

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

32180 グループ

ユーザーズマニュアル

ルネサス32ビットRISCシングルチップマイクロコンピュータ
M32Rファミリ / M32R/ECUシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりますと、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

ご使用になる前に

レジスタ表の見方

ビット番号：レジスタのビット番号

レジスタの枠：太枠で囲んでいるレジスタはハーフワードまたはワードでアクセスしてください。

リセット解除時の状態：リセット解除後の初期状態を16進数又は2進数で示します。

リセット解除時の状態：リセット解除後の初期状態をビット単位で示します。

- 0 : リセット解除後は0
- 1 : リセット解除後は1
- ? : リセット解除後は不定

何も配置されていないビットには網掛けをしています。

読み出し時の条件：

- R : 読み出し可能
- ? : 読み出しデータは不定(読み出し無効)
- 0 : 常に0が読み出される
- 1 : 常に1が読み出される

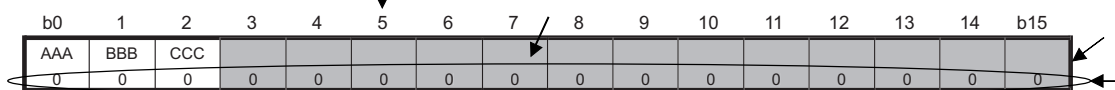
書き込み時の条件：

- W : 書き込み可能
- N : 書き込み禁止
- 0 : 常に0を書き込む
- 1 : 常に1を書き込む
- : 書き込み無効(書き込み時、"0"または"1"どちらでも良い)

(注)：書き込み時に注意が必要 各レジスタ表の注文を参照してください。

XXXレジスタ(XXX)

<アドレス：H'XXXX XXXX >



→ <リセット解除時：H'0000 >

| b | ビット名 | 機能 | R | W |
|---|-----------------|------------------------|--------|---|
| 0 | AAAビット | 0 : 1 : | R | W |
| 1 | BBBビット | 0 : 1 : | R | W |
| 2 | CCCビット | 0 : 1 : | R (注1) | |

3 ~ 15 何も配置されていません。"0"に固定してください。

0 0

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

↑ ↑

"L"アクティブ端子(信号)の表示について

端子名(信号名)の最後に"#が付いている端子(信号)は"L"アクティブ端子(信号)であることを示します。

目次

第1章 概要

| | | |
|-------|--------------------------------|------|
| 1.1 | 32180グループの概要 | 1-2 |
| 1.1.1 | FPU内蔵M32RファミリCPUコア(M32R-FPU) | 1-2 |
| 1.1.2 | 積和演算機能の内蔵 | 1-3 |
| 1.1.3 | 単精度FPU内蔵 | 1-3 |
| 1.1.4 | フラッシュメモリとRAMの内蔵 | 1-3 |
| 1.1.5 | クロック逡信回路の内蔵 | 1-4 |
| 1.1.6 | 強力な周辺機能の内蔵 | 1-4 |
| 1.2 | ブロック図 | 1-5 |
| 1.3 | 端子機能 | 1-8 |
| 1.4 | 端子配置 | 1-14 |

第2章 CPU

| | | |
|-------|--|------|
| 2.1 | CPUレジスタ | 2-2 |
| 2.2 | 汎用レジスタ | 2-2 |
| 2.3 | 制御レジスタ | 2-2 |
| 2.3.1 | プロセッサ状態語レジスタ：PSW(CR0) | 2-3 |
| 2.3.2 | 条件ビットレジスタ：CBR(CR1) | 2-4 |
| 2.3.3 | 割り込み用スタックポインタ：SP(CR2) ユーザ用スタックポインタ：SPU(CR3) | 2-4 |
| 2.3.4 | バックアップPC：BPC(CR6) | 2-4 |
| 2.3.5 | 浮動小数点ステータスレジスタ：FPSR(CR7) | 2-5 |
| 2.4 | アキュムレータ | 2-7 |
| 2.5 | プログラムカウンタ | 2-7 |
| 2.6 | データフォーマット | 2-8 |
| 2.6.1 | データタイプ | 2-8 |
| 2.6.2 | データフォーマット | 2-9 |
| 2.7 | BSET, BCLR, LOCK, UNLOCK命令実行時の補足説明 | 2-14 |

第3章 アドレス空間

| | | |
|-------|------------------------------------|------|
| 3.1 | アドレス空間概要 | 3-2 |
| 3.2 | 動作モード | 3-4 |
| 3.3 | 内蔵ROM領域/外部拡張領域 | 3-5 |
| 3.3.1 | 内蔵ROM領域 | 3-5 |
| 3.3.2 | 外部拡張領域 | 3-5 |
| 3.4 | 内蔵RAM領域/SFR領域 | 3-6 |
| 3.4.1 | 内蔵RAM領域 | 3-6 |
| 3.4.2 | SFR(Special Function Register)領域 | 3-6 |
| 3.5 | EITベクタエントリ | 3-35 |
| 3.6 | ICUベクタテーブル | 3-36 |
| 3.7 | アドレス空間の注意事項 | 3-38 |

第4章 EIT

| | |
|---------------------------|------|
| 4.1 EITの概要 | 4-2 |
| 4.2 EIT事象 | 4-3 |
| 4.2.1 例外(Exception) | 4-3 |
| 4.2.2 割り込み(Interrupt) | 4-5 |
| 4.2.3 トラップ(Trap) | 4-6 |
| 4.3 EITの処理手順 | 4-6 |
| 4.4 EITの処理機構 | 4-7 |
| 4.5 EIT事象の受付 | 4-8 |
| 4.6 PC, PSWの退避と復帰 | 4-8 |
| 4.7 EITベクタエントリ | 4-10 |
| 4.8 例外(Exception)処理 | 4-11 |
| 4.8.1 予約命令例外(RIE) | 4-11 |
| 4.8.2 アドレス例外(AE) | 4-12 |
| 4.8.3 浮動小数点例外(FPE) | 4-13 |
| 4.9 割り込み(Interrupt)処理 | 4-15 |
| 4.9.1 リセット割り込み(RI) | 4-15 |
| 4.9.2 システムブレーク割り込み(SBI) | 4-15 |
| 4.9.3 外部割り込み(EI) | 4-17 |
| 4.10 トラップ(Trap)処理 | 4-18 |
| 4.10.1 トラップ(TRAP) | 4-18 |
| 4.11 EITの優先順位 | 4-19 |
| 4.12 EIT処理の例 | 4-20 |
| 4.13 EITの注意事項 | 4-21 |

第5章 割り込みコントローラ(ICU)

| | |
|---------------------------------|------|
| 5.1 割り込みコントローラ概要 | 5-2 |
| 5.2 ICU関連レジスタ | 5-4 |
| 5.2.1 割り込みベクタレジスタ | 5-5 |
| 5.2.2 割り込み要求マスクレジスタ | 5-6 |
| 5.2.3 SBK(システムブレーク割り込み)制御レジスタ | 5-7 |
| 5.2.4 割り込み制御レジスタ | 5-8 |
| 5.3 内蔵周辺I/Oの割り込み要求要因 | 5-11 |
| 5.4 ICUベクタテーブル | 5-12 |
| 5.5 割り込み動作説明 | 5-13 |
| 5.5.1 内蔵周辺I/Oの割り込み要求受付 | 5-13 |
| 5.5.2 内蔵周辺I/Oの割り込みハンドラ処理 | 5-15 |
| 5.6 システムブレーク割り込み(SBI)動作説明 | 5-18 |
| 5.6.1 SBIの受付 | 5-18 |
| 5.6.2 SBIのハンドラ処理 | 5-18 |

第6章 内蔵メモリ

| | |
|----------------------|-----|
| 6.1 内蔵メモリ概要 | 6-2 |
| 6.2 内蔵RAM | 6-2 |
| 6.3 内蔵フラッシュメモリ | 6-2 |
| 6.4 内蔵フラッシュメモリ関連レジスタ | 6-4 |
| 6.4.1 フラッシュモードレジスタ | 6-4 |

| | | |
|-----------------|--------------------------|------|
| 6.4.2 | フラッシュステータスレジスタ | 6-5 |
| 6.4.3 | フラッシュステータスレジスタ2 (FSTAT2) | 6-5 |
| 6.4.4 | フラッシュ制御レジスタ | 6-7 |
| 6.4.5 | 疑似フラッシュバンクレジスタ | 6-11 |
| 6.5 | 内蔵フラッシュメモリの書き込み | 6-12 |
| 6.5.1 | 内蔵フラッシュメモリ書き込みの概要 | 6-12 |
| 6.5.2 | フラッシュ書き込み時における動作モードの制御 | 6-17 |
| 6.5.3 | P8データレジスタ | 6-18 |
| 6.5.4 | 内蔵フラッシュメモリへの書き込み/消去手順 | 6-20 |
| 6.5.5 | フラッシュ書き込み時間(参考値) | 6-29 |
| 6.6 | 疑似フラッシュエミュレーション機能 | 6-30 |
| 6.6.1 | 疑似フラッシュエミュレーション領域 | 6-31 |
| 6.6.2 | 疑似フラッシュエミュレーションモードへの移行 | 6-33 |
| 6.6.3 | 疑似フラッシュエミュレーションモードの応用例 | 6-34 |
| 6.7 | シリアルプログラマとの接続 | 6-36 |
| 6.8 | 内蔵フラッシュメモリのプロテクト機能 | 6-38 |
| 6.9 | 内蔵フラッシュメモリ書き込み時の注意事項 | 6-39 |
| | | |
| 第7章 リセット | | |
| 7.1 | リセット概要 | 7-2 |
| 7.2 | リセット動作 | 7-2 |
| 7.2.1 | 電源投入時のリセット | 7-3 |
| 7.2.2 | 動作中のリセット | 7-3 |
| 7.2.3 | RAMバックアップモードへ移行する場合のリセット | 7-3 |
| 7.2.4 | フラッシュ書き込み時のリセットベクタ移動 | 7-3 |
| 7.3 | リセット解除直後の内部状態 | 7-4 |
| 7.4 | リセット解除後の注意事項 | 7-4 |
| | | |
| 第8章 入出力ポートと端子機能 | | |
| 8.1 | 入出力ポート概要 | 8-2 |
| 8.2 | 端子機能の選択 | 8-3 |
| 8.3 | 入出力ポート関連レジスタ | 8-5 |
| 8.3.1 | ポートデータレジスタ | 8-7 |
| 8.3.2 | ポート方向レジスタ | 8-8 |
| 8.3.3 | ポート動作モードレジスタ | 8-9 |
| 8.3.4 | ポート周辺出力選択レジスタ | 8-20 |
| 8.3.5 | ポート入力特別機能制御レジスタ | 8-21 |
| 8.4 | ポート入力レベル切り換え機能 | 8-24 |
| 8.5 | ポート周辺回路 | 8-27 |
| 8.6 | 入出力ポートの注意事項 | 8-31 |
| | | |
| 第9章 DMAC | | |
| 9.1 | DMAC概要 | 9-2 |
| 9.2 | DMAC関連レジスタ | 9-4 |
| 9.2.1 | DMAチャネル制御レジスタ | 9-6 |
| 9.2.2 | DMAソフトウェア要求発生レジスタ | 9-18 |
| 9.2.3 | DMAソースアドレスレジスタ | 9-19 |

| | | |
|--------------------|------------------------------------|--------|
| 9.2.4 | DMAデスティネーションアドレスレジスタ | 9-20 |
| 9.2.5 | DMA転送カウントレジスタ | 9-21 |
| 9.2.6 | DMA割り込み関連レジスタ | 9-22 |
| 9.3 | DMAC機能説明 | 9-27 |
| 9.3.1 | DMA転送要求要因 | 9-27 |
| 9.3.2 | DMA転送の処理手順 | 9-33 |
| 9.3.3 | DMAの起動 | 9-34 |
| 9.3.4 | チャンネルの優先順位 | 9-34 |
| 9.3.5 | 内部バス権の獲得と解放 | 9-34 |
| 9.3.6 | 転送単位 | 9-35 |
| 9.3.7 | 転送回数 | 9-35 |
| 9.3.8 | アドレス空間 | 9-35 |
| 9.3.9 | 転送動作 | 9-35 |
| 9.3.10 | DMAの終了と割り込み | 9-37 |
| 9.3.11 | DMA転送終了後の各レジスタの状態 | 9-37 |
| 9.4 | DMACの注意事項 | 9-38 |
| | | |
| 第10章 マルチジャンクションタイマ | | |
| 10.1 | マルチジャンクションタイマ概要 | 10-2 |
| 10.2 | タイマ共通部 | 10-9 |
| 10.2.1 | タイマ共通部レジスタマップ | 10-10 |
| 10.2.2 | プリスケアラ部 | 10-12 |
| 10.2.3 | クロックバス/入出カイベントバス制御部 | 10-13 |
| 10.2.4 | 入力処理制御部 | 10-17 |
| 10.2.5 | 出力フリップフロップ制御部 | 10-26 |
| 10.2.6 | 割り込み制御部 | 10-35 |
| 10.3 | TOP(出力系16ビットタイマ) | 10-64 |
| 10.3.1 | TOP概要 | 10-64 |
| 10.3.2 | TOP各モードの概要 | 10-66 |
| 10.3.3 | TOP関連レジスタマップ | 10-68 |
| 10.3.4 | TOP制御レジスタ | 10-70 |
| 10.3.5 | TOPカウンタ(TOP0CT ~ TOP10CT) | 10-75 |
| 10.3.6 | TOPリロードレジスタ(TOP0RL ~ TOP10RL) | 10-76 |
| 10.3.7 | TOP補正レジスタ(TOP0CC ~ TOP10CC) | 10-77 |
| 10.3.8 | TOPイネーブル制御レジスタ | 10-78 |
| 10.3.9 | TOPワンショット出力モード(補正機能あり)の動作 | 10-80 |
| 10.3.10 | TOPディレイドワンショット出力モード(補正機能あり)の動作 | 10-86 |
| 10.3.11 | TOP連続出力モード(補正機能なし)の動作 | 10-91 |
| 10.4 | TIO(入出力系16ビットタイマ) | 10-94 |
| 10.4.1 | TIO概要 | 10-94 |
| 10.4.2 | TIO各モードの概要 | 10-96 |
| 10.4.3 | TIO関連レジスタマップ | 10-99 |
| 10.4.4 | TIO制御レジスタ | 10-101 |
| 10.4.5 | TIOカウンタ(TIO0CT ~ TIO9CT) | 10-109 |
| 10.4.6 | TIOリロード0/計測レジスタ(TIO0RL0 ~ TIO9RL0) | 10-110 |
| 10.4.7 | TIOリロード1レジスタ(TIO0RL1 ~ TIO9RL1) | 10-111 |
| 10.4.8 | TIOイネーブル制御レジスタ | 10-112 |
| 10.4.9 | TIO計測(フリーラン/クリア)入力モードの動作 | 10-114 |

| | | |
|---------|--------------------------------------|--------|
| 10.4.10 | TIOノイズ処理入力モードの動作 | 10-116 |
| 10.4.11 | TIO PWM出力モード動作 | 10-117 |
| 10.4.12 | TIOワンショット出力モード(補正機能なし)の動作 | 10-120 |
| 10.4.13 | TIOディレイドワンショット出力モード(補正機能なし)の動作 | 10-122 |
| 10.4.14 | TIO連続出力モード(補正機能なし)の動作 | 10-124 |
| 10.5 | TMS(入力系16ビットタイマ) | 10-126 |
| 10.5.1 | TMS概要 | 10-126 |
| 10.5.2 | TMSの動作概要 | 10-126 |
| 10.5.3 | TMS関連レジスタマップ | 10-128 |
| 10.5.4 | TMS制御レジスタ | 10-129 |
| 10.5.5 | TMSカウンタ(TMS0CT, TMS1CT) | 10-130 |
| 10.5.6 | TMS計測レジスタ(TMS0MR3~0, TMS1MR3~0) | 10-130 |
| 10.5.7 | TMS計測入力の動作 | 10-131 |
| 10.6 | TML(入力系32ビットタイマ) | 10-132 |
| 10.6.1 | TML概要 | 10-132 |
| 10.6.2 | TMLの動作概要 | 10-133 |
| 10.6.3 | TML関連レジスタマップ | 10-133 |
| 10.6.4 | TML制御レジスタ | 10-134 |
| 10.6.5 | TMLカウンタ | 10-135 |
| 10.6.6 | TML計測レジスタ | 10-135 |
| 10.6.7 | TML計測入力の動作 | 10-136 |
| 10.7 | TID(入力系16ビットタイマ) | 10-138 |
| 10.7.1 | TID概要 | 10-138 |
| 10.7.2 | TID関連レジスタマップ | 10-140 |
| 10.7.3 | TID制御&プリスケールインーブルレジスタ | 10-141 |
| 10.7.4 | TIDカウンタ(TID0CT, TID1CT, TID2CT) | 10-144 |
| 10.7.5 | TIDリロードレジスタ(TID0RL, TID1RL, TID2RL) | 10-144 |
| 10.7.6 | TID各モードの概略 | 10-145 |
| 10.8 | TOU(出力系24ビットタイマ) | 10-150 |
| 10.8.1 | TOU概要 | 10-150 |
| 10.8.2 | TOU各モードの概要 | 10-152 |
| 10.8.3 | TOU関連レジスタマップ | 10-154 |
| 10.8.4 | TOU制御レジスタ | 10-158 |
| 10.8.5 | TOUカウンタ | 10-161 |
| 10.8.6 | TOUリロードレジスタ | 10-164 |
| 10.8.7 | TOUインーブルプロテクトレジスタ | 10-168 |
| 10.8.8 | TOUカウントインーブルレジスタ | 10-169 |
| 10.8.9 | PWMOFF入力処理制御レジスタ | 10-171 |
| 10.8.10 | PWM出力制御レジスタ | 10-174 |
| 10.8.11 | PWM出力禁止レベル制御レジスタ | 10-177 |
| 10.8.12 | TOU PWM出力モード動作 | 10-179 |
| 10.8.13 | TOUワンショットPWM出力モード(補正機能なし)の動作 | 10-184 |
| 10.8.14 | TOUディレイドワンショット出力モード(補正機能なし)の動作 | 10-186 |
| 10.8.15 | TOUワンショット出力モード(補正機能なし)の動作 | 10-188 |
| 10.8.16 | TOU連続出力モード(補正機能なし)の動作 | 10-190 |
| 10.8.17 | PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力 | 10-192 |
| 10.8.18 | PWM出力禁止機能 | 10-197 |
| 10.8.19 | 32180モータ制御機能への応用例 | 10-201 |

第11章 A-D変換器

| | | |
|---------|-----------------------|-------|
| 11.1 | A-D変換器概要 | 11-2 |
| 11.1.1 | 変換モード | 11-6 |
| 11.1.2 | 動作モード | 11-6 |
| 11.1.3 | 特殊動作モード | 11-9 |
| 11.1.4 | A-D変換器の割り込み要求とDMA転送要求 | 11-12 |
| 11.1.5 | サンプル&ホールド機能 | 11-12 |
| 11.2 | A-D変換器関連レジスタ | 11-13 |
| 11.2.1 | A-D単一モードレジスタ0 | 11-16 |
| 11.2.2 | A-D単一モードレジスタ1 | 11-18 |
| 11.2.3 | A-Dスキャンモードレジスタ0 | 11-20 |
| 11.2.4 | A-Dスキャンモードレジスタ1 | 11-22 |
| 11.2.5 | A-D0変換速度制御レジスタ | 11-24 |
| 11.2.6 | A-D断線検出アシスト機能制御レジスタ | 11-25 |
| 11.2.7 | A-D断線検出アシスト方式選択レジスタ | 11-26 |
| 11.2.8 | A-D逐次近似レジスタ | 11-29 |
| 11.2.9 | A-Dコンパレートデータレジスタ | 11-30 |
| 11.2.10 | 10ビットA-Dデータレジスタ | 11-31 |
| 11.2.11 | 8ビットA-Dデータレジスタ | 11-32 |
| 11.3 | A-D変換器機能説明 | 11-33 |
| 11.3.1 | アナログ入力電圧の求め方 | 11-33 |
| 11.3.2 | 逐次近似比較方式のA-D変換 | 11-34 |
| 11.3.3 | コンパレータ動作 | 11-35 |
| 11.3.4 | A-D変換時間算出方法 | 11-36 |
| 11.3.5 | A-D変換精度の定義 | 11-39 |
| 11.4 | 注入電流バイパス回路 | 11-41 |
| 11.5 | A-D変換器の注意事項 | 11-43 |

第12章 シリアルI/O

| | | |
|--------|---------------|-------|
| 12.1 | シリアルI/O概要 | 12-2 |
| 12.2 | シリアルI/O関連レジスタ | 12-5 |
| 12.2.1 | SIO割り込み関連レジスタ | 12-6 |
| 12.2.2 | SIO送信制御レジスタ | 12-14 |
| 12.2.3 | SIO送受信モードレジスタ | 12-15 |
| 12.2.4 | SIO送信バッファレジスタ | 12-18 |
| 12.2.5 | SIO受信バッファレジスタ | 12-19 |
| 12.2.6 | SIO受信制御レジスタ | 12-20 |
| 12.2.7 | SIOポーレートレジスタ | 12-23 |
| 12.3 | CSIOモード送信動作説明 | 12-24 |
| 12.3.1 | CSIOポーレートの設定 | 12-24 |
| 12.3.2 | CSIO送信時の初期設定 | 12-25 |
| 12.3.3 | CSIO送信の開始 | 12-27 |
| 12.3.4 | CSIOの連続送信 | 12-27 |
| 12.3.5 | CSIO送信完了処理 | 12-28 |
| 12.3.6 | 送信割り込み | 12-28 |
| 12.3.7 | 送信DMA転送要求 | 12-28 |
| 12.3.8 | CSIO送信動作例 | 12-30 |

| | | |
|--------|--------------------|-------|
| 12.4 | CSIOモード受信動作説明 | 12-32 |
| 12.4.1 | CSIO受信時の初期設定 | 12-32 |
| 12.4.2 | CSIO受信の開始 | 12-34 |
| 12.4.3 | CSIO受信完了処理 | 12-34 |
| 12.4.4 | 連続受信について | 12-35 |
| 12.4.5 | CSIO受信動作の状態を示すフラグ | 12-36 |
| 12.4.6 | CSIO受信動作例 | 12-37 |
| 12.5 | CSIOモード時の注意事項 | 12-39 |
| 12.6 | UARTモード送信動作説明 | 12-40 |
| 12.6.1 | UARTボーレートの設定 | 12-40 |
| 12.6.2 | UART送受信データフォーマット | 12-40 |
| 12.6.3 | UART送信時の初期設定 | 12-42 |
| 12.6.4 | UART送信の開始 | 12-44 |
| 12.6.5 | UARTの連続送信 | 12-44 |
| 12.6.6 | UART送信完了処理 | 12-44 |
| 12.6.7 | 送信割り込み | 12-44 |
| 12.6.8 | 送信DMA転送要求 | 12-45 |
| 12.6.9 | UART送信動作例 | 12-46 |
| 12.7 | UARTモード受信動作説明 | 12-48 |
| 12.7.1 | UART受信時の初期設定 | 12-48 |
| 12.7.2 | UART受信の開始 | 12-50 |
| 12.7.3 | UART受信完了処理 | 12-50 |
| 12.7.4 | UART受信動作例 | 12-52 |
| 12.7.5 | UART受信時のスタートビットの検出 | 12-54 |
| 12.8 | 定周期クロック出力機能 | 12-55 |
| 12.9 | UARTモード時の注意事項 | 12-56 |

第13章 CANモジュール

| | | |
|---------|------------------------|-------|
| 13.1 | CANモジュールの概要 | 13-2 |
| 13.2 | CANモジュール関連レジスタ | 13-4 |
| 13.2.1 | CANコントロールレジスタ | 13-15 |
| 13.2.2 | CANステータレジスタ | 13-18 |
| 13.2.3 | CANフレームフォーマット選択レジスタ | 13-21 |
| 13.2.4 | CANコンフィグレーションレジスタ | 13-22 |
| 13.2.5 | CANタイムスタンプカウンタレジスタ | 13-24 |
| 13.2.6 | CANエラーカウンタレジスタ | 13-25 |
| 13.2.7 | CANボーレートプリスケアラ | 13-26 |
| 13.2.8 | CAN割り込み関連レジスタ | 13-27 |
| 13.2.9 | CANエラー要因レジスタ | 13-45 |
| 13.2.10 | CANモードレジスタ | 13-46 |
| 13.2.11 | CAN DMA転送要求選択レジスタ | 13-47 |
| 13.2.12 | CANマスクレジスタ | 13-48 |
| 13.2.13 | CANシングルショットモード制御レジスタ | 13-52 |
| 13.2.14 | CANメッセージスロットコントロールレジスタ | 13-53 |
| 13.2.15 | CANメッセージスロット | 13-57 |
| 13.3 | CANプロトコル | 13-72 |
| 13.3.1 | CANプロトコルフレーム | 13-72 |
| 13.3.2 | CAN送受信時のデータフォーマット | 13-73 |

| | | |
|--------|------------------------------|-------|
| 13.3.3 | CANコントローラのエラー状態 | 13-74 |
| 13.4 | CANモジュール初期設定 | 13-75 |
| 13.4.1 | CANモジュールの初期設定 | 13-75 |
| 13.5 | データフレーム送信 | 13-78 |
| 13.5.1 | データフレーム送信手順 | 13-78 |
| 13.5.2 | データフレーム送信動作 | 13-79 |
| 13.5.3 | 送信アボート機能 | 13-80 |
| 13.6 | データフレーム受信 | 13-81 |
| 13.6.1 | データフレーム受信手順 | 13-81 |
| 13.6.2 | データフレーム受信動作 | 13-82 |
| 13.6.3 | 受信データフレームの読み出し | 13-84 |
| 13.7 | リモートフレーム送信 | 13-86 |
| 13.7.1 | リモートフレーム送信手順 | 13-86 |
| 13.7.2 | リモートフレーム送信動作 | 13-87 |
| 13.7.3 | リモートフレーム送信設定時の受信データフレームの読み出し | 13-89 |
| 13.8 | リモートフレーム受信 | 13-91 |
| 13.8.1 | リモートフレーム受信手順 | 13-91 |
| 13.8.2 | リモートフレーム受信動作 | 13-92 |
| | | |
| 第14章 | リアルタイムデバッグ(RTD) | |
| 14.1 | リアルタイムデバッグ(RTD)概要 | 14-2 |
| 14.2 | RTD端子機能 | 14-3 |
| 14.3 | RTD動作説明 | 14-4 |
| 14.3.1 | RTD動作概要 | 14-4 |
| 14.3.2 | RDR(リアルタイムRAM内容出力)動作 | 14-4 |
| 14.3.3 | WRR(RAM内容強制書き換え)動作 | 14-6 |
| 14.3.4 | VER(継続モニタ)動作 | 14-7 |
| 14.3.5 | VE(割り込み要求)動作 | 14-7 |
| 14.3.6 | RCV(暴走状態からの復帰)動作 | 14-8 |
| 14.3.7 | リアルタイムデバッグ使用時の指定アドレス設定方法 | 14-9 |
| 14.3.8 | RTDのリセット | 14-10 |
| 14.4 | ホストとの接続例 | 14-11 |
| | | |
| 第15章 | 外部バスインタフェース | |
| 15.1 | 外部バスインタフェース概要 | 15-2 |
| 15.1.1 | 外部バスインタフェース関連信号 | 15-2 |
| 15.2 | 外部バスインタフェース関連レジスタ | 15-4 |
| 15.2.1 | ポート動作モードレジスタ | 15-4 |
| 15.2.2 | ポート周辺出力選択レジスタ | 15-8 |
| 15.2.3 | バスモード制御レジスタ | 15-9 |
| 15.3 | リード/ライト動作 | 15-10 |
| 15.4 | バスアービトレーション | 15-16 |
| 15.5 | 外部拡張メモリ接続例 | 15-18 |
| 15.6 | VCC-BUSによるバス電圧設定例 | 15-21 |
| | | |
| 第16章 | ウェイトコントローラ | |
| 16.1 | ウェイトコントローラ概要 | 16-2 |

| | | |
|-------------------|---------------------------|-------|
| 16.2 | ウエイトコントローラ関連レジスタ | 16-4 |
| 16.2.1 | CS領域ウエイト制御レジスタ | 16-4 |
| 16.3 | ウエイトコントローラ動作例 | 16-6 |
| | | |
| 第17章 RAMバックアップモード | | |
| 17.1 | 概要 | 17-2 |
| 17.2 | 電源断時のRAMバックアップ例 | 17-3 |
| 17.2.1 | 通常動作時の状態 | 17-3 |
| 17.2.2 | RAMバックアップ時の状態 | 17-4 |
| 17.3 | 低消費電力化のためのRAMバックアップ例 | 17-5 |
| 17.3.1 | 通常動作時の状態 | 17-5 |
| 17.3.2 | RAMバックアップ時の状態 | 17-6 |
| 17.3.3 | 電源立ち上げ時の注意事項 | 17-7 |
| 17.4 | RAMバックアップモードの解除(ウエイクアップ) | 17-8 |
| | | |
| 第18章 発振回路 | | |
| 18.1 | 発振回路 | 18-2 |
| 18.1.1 | 発振回路例 | 18-2 |
| 18.1.2 | XIN発振停止検知機能 | 18-3 |
| 18.1.3 | 発振駆動能力選択機能 | 18-5 |
| 18.1.4 | システムクロックの出力機能 | 18-7 |
| 18.1.5 | 電源投入時の発振安定時間 | 18-7 |
| 18.2 | クロック発生回路 | 18-8 |
| | | |
| 第19章 JTAG | | |
| 19.1 | JTAG概要 | 19-2 |
| 19.2 | JTAG回路構成 | 19-3 |
| 19.3 | JTAGレジスタ | 19-4 |
| 19.3.1 | 命令レジスタ(JTAGIR) | 19-4 |
| 19.3.2 | データレジスタ | 19-5 |
| 19.4 | JTAG基本動作 | 19-6 |
| 19.4.1 | JTAG動作概要 | 19-6 |
| 19.4.2 | IRバスシーケンス | 19-8 |
| 19.4.3 | DRバスシーケンス | 19-9 |
| 19.4.4 | データレジスタの参照および設定 | 19-10 |
| 19.5 | バウンダリスキャン記述言語 | 19-11 |
| 19.6 | JTAG接続時のボード設計注意事項 | 19-12 |
| 19.7 | JTAG未使用時の端子処理 | 19-14 |
| | | |
| 第20章 電源回路 | | |
| 20.1 | 電源回路の構成 | 20-2 |
| 20.2 | 電源立ち上げシーケンス | 20-3 |
| 20.2.1 | RAMバックアップ未使用時の電源立ち上げシーケンス | 20-3 |
| 20.2.2 | RAMバックアップ使用時の電源立ち上げシーケンス | 20-4 |
| 20.3 | 電源立ち下げシーケンス | 20-5 |
| 20.3.1 | RAMバックアップ未使用時の電源立ち下げシーケンス | 20-5 |
| 20.3.2 | RAMバックアップ使用時の電源立ち下げシーケンス | 20-6 |

第21章 電気的特性

| | | |
|--------|--|-------|
| 21.1 | 絶対最大定格 | 21-2 |
| 21.2 | VCCE = 5V、 $f(XIN) = 10\text{MHz}$ 時の電気的特性 | 21-3 |
| 21.2.1 | 推奨動作条件(VCCE = 5V、 $f(XIN) = 10\text{MHz}$ 時) | 21-3 |
| 21.2.2 | DC特性(VCCE = 5V、 $f(XIN) = 10\text{MHz}$ 時) | 21-5 |
| 21.2.3 | A-D変換特性(VCCE = 5V、 $f(XIN) = 10\text{MHz}$ 時) | 21-6 |
| 21.3 | VCCE = 5V、 $f(XIN) = 8\text{MHz}$ 時の電気的特性 | 21-7 |
| 21.3.1 | 推奨動作条件(VCCE = 5V、 $f(XIN) = 8\text{MHz}$ 時) | 21-7 |
| 21.3.2 | DC特性(VCCE = 5V、 $f(XIN) = 8\text{MHz}$ 時) | 21-9 |
| 21.3.3 | A-D変換特性(VCCE = 5V、 $f(XIN) = 8\text{MHz}$ 時) | 21-10 |
| 21.4 | VCCE = 3.3V、 $f(XIN) = 10\text{MHz}$ 時の電気的特性 | 21-11 |
| 21.4.1 | 推奨動作条件(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 10\text{MHz}$ 時) | 21-11 |
| 21.4.2 | DC特性(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 10\text{MHz}$ 時) | 21-13 |
| 21.4.3 | A-D変換特性(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 10\text{MHz}$ 時) | 21-14 |
| 21.5 | VCCE = 3.3V、 $f(XIN) = 8\text{MHz}$ 時の電気的特性 | 21-15 |
| 21.5.1 | 推奨動作条件(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 8\text{MHz}$ 時) | 21-15 |
| 21.5.2 | DC特性(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 8\text{MHz}$ 時) | 21-17 |
| 21.5.3 | A-D変換特性(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 8\text{MHz}$ 時) | 21-18 |
| 21.6 | フラッシュ関連特性 | 21-19 |
| 21.7 | AC特性(VCCE = 5V時) | 21-20 |
| 21.7.1 | タイミング必要条件 | 21-20 |
| 21.7.2 | スイッチング特性 | 21-24 |
| 21.7.3 | AC特性 | 21-27 |
| 21.8 | AC特性(VCCE = 3.3V時) | 21-36 |
| 21.8.1 | タイミング必要条件 | 21-36 |
| 21.8.2 | スイッチング特性 | 21-40 |
| 21.8.3 | AC特性 | 21-43 |

第22章 標準特性

| | |
|-----|------|
| 作成中 | 22-2 |
|-----|------|

付録1 機械的仕様

| | |
|-------------|-------|
| 付録1.1 外形寸法図 | 付録1-2 |
|-------------|-------|

付録2 命令処理時間

| | |
|-------------------|-------|
| 付録2.1 32180命令処理時間 | 付録2-2 |
|-------------------|-------|

付録3 未使用端子の処理

| | |
|-----------------|-------|
| 付録3.1 未使用端子の処理例 | 付録3-2 |
|-----------------|-------|

付録4 注意事項のまとめ

| | |
|--------------------|-------|
| 付録4.1 CPUに関する注意事項 | 付録4-2 |
| 付録4.1.1 データ転送の注意事項 | 付録4-2 |

| | | |
|----------|-----------------------------|--------|
| 付録4.2 | アドレス空間の注意事項 | 付録4-3 |
| 付録4.2.1 | 疑似フラッシュエミュレーション機能 | 付録4-3 |
| 付録4.3 | EITの注意事項 | 付録4-3 |
| 付録4.4 | 内蔵フラッシュメモリ書き込み時の注意事項 | 付録4-3 |
| 付録4.5 | リセット解除後の注意事項 | 付録4-4 |
| 付録4.5.1 | 入出力ポート | 付録4-4 |
| 付録4.6 | 入出力ポートの注意事項 | 付録4-4 |
| 付録4.6.1 | ポートを出力モードで使用する場合 | 付録4-4 |
| 付録4.6.2 | ポート入力禁止機能について | 付録4-4 |
| 付録4.7 | DMACの注意事項 | 付録4-5 |
| 付録4.7.1 | DMAC関連レジスタへの書き込みについて | 付録4-5 |
| 付録4.7.2 | DMA転送によるDMAC関連レジスタの操作 | 付録4-5 |
| 付録4.7.3 | DMA割り込み要求ステータスレジスタについて | 付録4-5 |
| 付録4.7.4 | DMA転送の安定動作について | 付録4-5 |
| 付録4.8 | マルチジャンクションタイマの注意事項 | 付録4-6 |
| 付録4.8.1 | TOPワンショット出力モード使用上の注意 | 付録4-6 |
| 付録4.8.2 | TOPディレイドワンショット出力モード使用上の注意 | 付録4-8 |
| 付録4.8.3 | TOP連続出力モード使用上の注意 | 付録4-9 |
| 付録4.8.4 | TIO計測(フリーラン/クリア)入力モード使用上の注意 | 付録4-9 |
| 付録4.8.5 | TIO PWM出力モード使用上の注意 | 付録4-9 |
| 付録4.8.6 | TIOワンショット出力モード使用上の注意 | 付録4-9 |
| 付録4.8.7 | TIOディレイドワンショット出力モード使用上の注意 | 付録4-10 |
| 付録4.8.8 | TIO連続出力モード使用上の注意 | 付録4-10 |
| 付録4.8.9 | TMS計測入力使用上の注意 | 付録4-10 |
| 付録4.8.10 | TML計測入力使用上の注意 | 付録4-11 |
| 付録4.8.11 | TOU PWM出力モード使用上の注意 | 付録4-12 |
| 付録4.8.12 | TOUワンショットPWM出力モード使用上の注意 | 付録4-12 |
| 付録4.8.13 | TOUディレイドワンショット出力モード使用上の注意 | 付録4-12 |
| 付録4.8.14 | TOUワンショット出力モード使用上の注意 | 付録4-13 |
| 付録4.8.15 | TOU連続出力モード使用上の注意 | 付録4-13 |
| 付録4.9 | A-D変換器の注意事項 | 付録4-14 |
| 付録4.10 | シリアルI/Oの注意事項 | 付録4-17 |
| 付録4.10.1 | CSIOモード時の注意事項 | 付録4-17 |
| 付録4.10.2 | UARTモード時の注意事項 | 付録4-18 |
| 付録4.11 | RAMバックアップモードの注意事項 | 付録4-19 |
| 付録4.11.1 | 電源立ち上げ時の注意事項 | 付録4-19 |
| 付録4.12 | JTAGに関する注意事項 | 付録4-20 |
| 付録4.12.1 | JTAG接続時のボード設計注意事項 | 付録4-20 |
| 付録4.12.2 | JTAG未使用時の端子処理 | 付録4-22 |
| 付録4.13 | ノイズに関する注意事項 | 付録4-23 |
| 付録4.13.1 | 配線長の短縮 | 付録4-23 |
| 付録4.13.2 | VSS - VCCライン間へのバイパスコンデンサ挿入 | 付録4-26 |
| 付録4.13.3 | アナログ入力端子の配線処理 | 付録4-26 |
| 付録4.13.4 | 発振子およびVCNT端子への配慮 | 付録4-27 |
| 付録4.13.5 | 入出力ポート処理 | 付録4-31 |

レイアウトの都合上、このページは白紙です。

第1章

概要

- 1.1 32180グループの概要
- 1.2 ブロック図
- 1.3 端子機能
- 1.4 端子配置

1.1 32180グループの概要

32180グループ(以下32180と略)は、M32RファミリでのM32R/ECUシリーズに属します。32180の開発状況については、弊社および弊社特約店半導体窓口までお問い合わせください。

表1.1.1 製品一覧表

| 形名 | ROM容量 | RAM容量 | パッケージ種類 | 動作周囲温度 |
|-------------|-------|--------|---------------------------------|-----------------------|
| M32180F8VFP | 1Mバイト | 48Kバイト | 240ピンQFP : 240P6Y-A(0.5mmピッチ) | - 40 ~ 125 (@64MHz) |
| M32180F8TFP | 1Mバイト | 48Kバイト | 240ピンQFP : 240P6Y-A(0.5mmピッチ) | - 40 ~ 85 (@80MHz) |

1.1.1 FPU内蔵M32RファミリCPUコア(M32R-FPU)

(1) RISCアーキテクチャの採用

- 32180は、32ビットRISCシングルチップマイクロコンピュータです。M32R-FPUは、M32R CPUと共通の命令セットと、高精度演算を実現するための、IEEE754規格に完全準拠した単精度FPUを実装しています。M32R-FPUを中心に、フラッシュメモリ、RAM、および各種周辺機能を1チップに集積しています。
- M32R-FPUは、RISCアーキテクチャを採用しています。メモリアクセスは、ロード/ストア命令により行い、各種の演算は、レジスタ間演算命令で実行します。
- 内部に32ビット汎用レジスタを16本備えています。命令セットは全部で100(M32R共通 : 83 + FPU & 拡張 : 17)種類あり、16ビット長命令と32ビット長命令の2種類があります。
- M32R-FPUは、通常のロード/ストア命令に加え、ロード&アドレス更新、ストア&アドレス更新といった複合命令もサポートしています。これらの命令は、データ転送の高速化に有効です。

(2) 5ステージのパイプライン処理

- M32R-FPUは、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの5ステージ浮動小数点演算(命令実行時は6ステージ)のパイプライン処理により、命令を実行します。ロード/ストア命令、レジスタ間演算命令だけでなく、浮動小数点演算命令、またロード&アドレス更新/ストア&アドレス更新命令といった複合命令も1CPUCLK(f_{CPUCLK})= 80MHz動作時、1CPUCLKは12.5ns)で実行します。
- 命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード/ストア命令の実行が、メモリアクセスのウェイトサイクルの挿入により延びた場合には、後続のレジスタ間命令が先に実行される場合があります。M32R-FPUは、このような「out-of-order-completion」機構の採用により、クロックサイクルに無駄のない命令実行制御を実現しています。

(3) コンパクトな命令コード

- M32R-FPUは、16ビット長命令と32ビット長命令の2つの形式があります。特に16ビット長命令形式の採用により、プログラムのコードサイズを抑えることができます。
- 32ビット長命令も備えることで、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易で、同一クロックスピードでの性能も向上させています。例えば32ビット長命令には、実行中のアドレスから±32Mバイトのアドレス範囲に1命令で分岐する命令があり、プログラミングも容易になっています。

1.1.2 積和演算機能の内蔵

(1) 高速乗算器の内蔵

- M32R-FPUは、32ビット×16ビットの高速乗算器の内蔵により、32ビット×32ビットの整数乗算命令を3CPUCLKで実行します。

(2) DSPに匹敵する積和演算命令をサポート

- M32R-FPUは、56ビットのアクキュレータによる積和演算命令(または乗算命令)として、次の4つをサポートしており、いずれも1CPUCLKで実行できます。

- (1)レジスタの上位16ビット×レジスタの上位16ビット
- (2)レジスタの下位16ビット×レジスタの下位16ビット
- (3)レジスタの32ビット全体×レジスタの上位16ビット
- (4)レジスタの32ビット全体×レジスタの下位16ビット

- M32R-FPUは、アクキュレータに格納された値を16ビットまたは32ビットに丸める命令や、アクキュレータ値の桁合わせのため、シフトしてレジスタに格納する命令を備えています。これらの命令も1CPUCLKで実行するため、ロード&アドレス更新、ストア&アドレス更新などの高速データ転送命令と組み合わせて使うことにより、DSPに匹敵するデータ処理能力を発揮できます。

1.1.3 単精度FPU内蔵

- M32R-FPUでは、IEEE754規格に完全準拠した単精度浮動小数点演算をサポートしています。IEEE754規格に規定された5つの例外(精度異常例外/アンダフロー例外/ゼロ除算例外/オーバフロー例外/無効演算例外)と4つの丸め(最も近い値への丸め/0方向への丸め/+ 方向への丸め/- 方向への丸め)をサポートしています。また、浮動小数点演算には汎用レジスタを使用するため、演算データ転送のオーバーヘッドを削減できます。

1.1.4 フラッシュメモリとRAMの内蔵

- 32180は、0ウエイトでアクセスが可能なRAMを内蔵しており、高速な組み込みシステムを構成できます。
- 内蔵フラッシュメモリは、プリント基板に実装した状態での書き込み(オンボード書き込み)ができます。フラッシュメモリの採用で開発時のチップがそのまま量産に使い、試作から量産へプリント基板を変更することなくスムーズに移行することができます。
- 内蔵フラッシュメモリは、100回書き換えることができます。
- 内蔵フラッシュメモリは、疑似フラッシュエミュレーション機能を備えており、内蔵フラッシュメモリの一部に疑似的に内蔵RAMをマッピングすることができます。この機能と内蔵リアルタイムデバッグ(RTD)やM32Rファミリ共通のデバッグインタフェース(SDI: Scalable Debug Interface)と組み合わせることにより、ROMテーブル上のデータチューニングが容易に行えます。
- 内蔵RAMは、RTD(リアルタイムデバッグ)を使用することで、M32R-FPUとは独立して外部からデータの読み出しや書き換えができます。外部との通信は、RTDの専用クロック同期形シリアルI/Oで行います。

1.1.5 クロック逓倍回路の内蔵

- 32180はクロック逓倍回路を内蔵しています。図1.1.1に 概念図を示します。

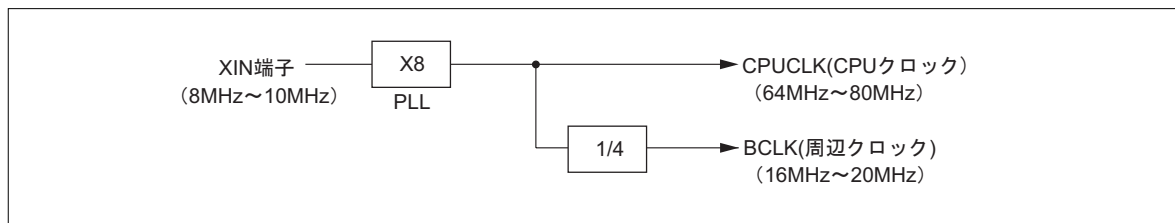


図1.1.1 クロック概念図

表1.1.2 クロック

| 機能ブロック | 特長 |
|------------------|--|
| CPUCLK | <ul style="list-style-type: none"> • CPUクロック：M32R-FPUコア、内蔵フラッシュメモリ、内蔵RAMの動作クロック 周波数を示す場合は「CPUCLK」と規定 |
| BCLK | <ul style="list-style-type: none"> • 内蔵周辺I/O、外部データバスの動作クロック 周波数を示す場合は「BCLK」と規定 |
| クロック出力(BCLK端子出力) | <ul style="list-style-type: none"> • 「BCLK」と同じ周波数のクロックを出力 |

1.1.6 強力な周辺機能の内蔵

- (1) マルチジャンクションタイマ(MJT)
- (2) 10チャンネルのDMAC
- (3) 16チャンネル×2系統のA-D変換器(ADC)
- (4) 6チャンネルの高速シリアルI/Q(SIO)
- (5) リアルタイムデバッグ(RTD)
- (6) 8レベルの割り込みコントローラ(ICU)
- (7) 3つの動作モード
- (8) ウェイトコントローラ
- (9) 2チャンネルのFull-CAN
- (10) M32Rファミリ共通デバッグ機能(SDI: Scalable Debug Interface)

1.2 ブロック図

図1.2.1に32180のブロック図を示し、それぞれのブロックの特長を表1.2.1に示します。

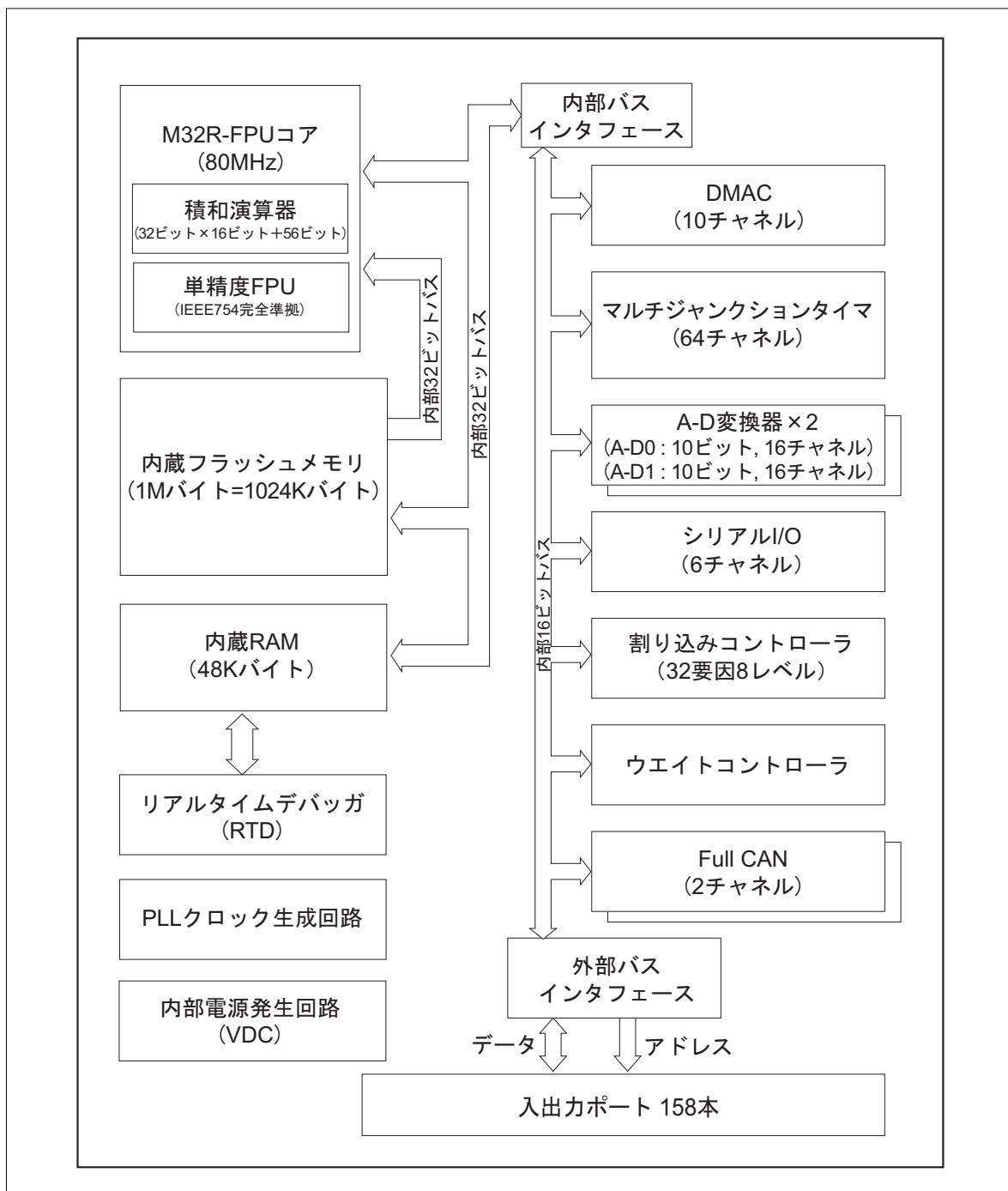


図1.2.1 32180のブロック図

表1.2.1 32180の特長(1/2)

| 機能ブロック | 特長 |
|--------------------|--|
| M32R-FPU CPUコア | <ul style="list-style-type: none"> インプリメンテーション：5段パイプライン方式(浮動小数点演算時は6段パイプライン) コア内部32ビット構成 レジスタ構成 <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×6本 命令セット <ul style="list-style-type: none"> 16ビット/32ビット命令形式 100命令/6アドレッシングモード 積和演算器内蔵(32ビット×16ビット+56ビット) 単精度浮動小数点演算器(FPU)内蔵 |
| RAM | <ul style="list-style-type: none"> 容量：48Kバイト：0ウエイトアクセス RTD(リアルタイムデバッガ)を使用することで、CPU性能を全く低下させることなく独立して外部から内蔵RAMのデータ読み出しや書き換えが可能 |
| フラッシュメモリ | <ul style="list-style-type: none"> 容量：1M(1024K)バイト：1ウエイトアクセス 書き換え回数：100回 |
| バス仕様 | <ul style="list-style-type: none"> 基本バスサイクル：12.5ns(CPUCLK)= 80MHz動作時) 論理アドレス空間：4Gバイトリニア 内部バス仕様：内部32ビットデータバス(CPU 内蔵フラッシュメモリ、RAMアクセス) (内蔵フラッシュメモリに対する命令アクセス時は64ビットアクセス) ：内部16ビットデータバス(内蔵周辺I/Oアクセス) 外部領域：最大8Mバイト(プロセッサモード時) 外部拡張領域：最大8Mバイト(外部拡張モード時：1Mバイト+2Mバイト×3ブロック) 外部データアドレス：20ビットアドレス 外部データバス：16ビットデータバス 外部バス最短アクセス：リード時=1BCLK ライト時=1BCLK |
| マルチジャンクションタイマ(MJT) | <ul style="list-style-type: none"> 64チャンネルの多機能タイマ <ul style="list-style-type: none"> 16ビット出力系タイマ11チャンネル、16ビット入出力系タイマ10チャンネル、16ビット入力系タイマ8チャンネル、32ビット入力系タイマ8チャンネル、16ビット入力系アップ/ダウンタイマ3チャンネル、24ビット出力系タイマ24チャンネル 各チャンネルの相互接続によるフレキシブルなタイマ構成が可能 割り込み要求：カウンタアンダフロー/オーバフロー、TIN端子からの立ち上がりエッジ/立ち下がりエッジ/両エッジ/"L"レベル/"H"レベル (タイマ動作と関係なく外部割り込み入力として使用可能) DMA転送要求：カウンタアンダフロー/オーバフロー、TIN端子からの立ち上がりエッジ/立ち下がりエッジ/両エッジ/"L"レベル/"H"レベル (タイマ動作と関係なく外部割り込み入力として使用可能) |
| DMAC | <ul style="list-style-type: none"> チャンネル数：10チャンネル 内蔵周辺I/O間、内蔵RAM間、または内蔵周辺I/Oと内蔵RAM間の転送サポート 内蔵周辺I/Oとのコンビネーションにより、高度なDMA転送が可能 転送要求：ソフトウェア、内蔵周辺I/Q(A-D変換機、MJT、シリアルI/O) DMAチャンネル間のカスケード接続(あるチャンネルの転送終了で他チャンネルのDMA転送を起動)が可能 割り込み要求：カウントレジスタのアンダフロー |

表1.2.1 32180の特長(2/2)

| 機能ブロック | 特長 |
|---------------------|---|
| A-D変換器(ADC) | <ul style="list-style-type: none"> ● 16チャンネル：10ビット分解能A-D変換器×2系統 ● 変換モード：通常のA-D変換モードに加え、コンパレータモード内蔵 ● 動作モード：単一変換モード、nチャンネルスキャンモード(n=1~16) ● サンプル&ホールド機能：A-D変換開始時のアナログ入力電圧をサンプリングしA-D変換 ● A-D断線検出アシスト機能：A-D変換実行時、前チャンネルのアナログ入力電圧の回り込みによる影響を抑制 ● 注入電流バイパス回路内蔵 ● A-D変換終了時の割り込みまたはDMA転送の起動が可能 ● 8ビット/10ビット変換結果読み出しが可能 ● 割り込み要求：A-D変換の終了 ● DMA転送要求：A-D変換の終了 |
| シリアルI/O (SIO) | <ul style="list-style-type: none"> ● 6チャンネルのシリアルI/O ● クロック同期形シリアルI/O、またはUARTに設定可能 ● クロック同期時2Mビット/秒、UART時156Kビット/秒の高速データ転送(BCLK)= 20MHz動作時) ● 割り込み要求：受信完了、受信エラー、送信バッファエンプティ、送信完了 ● DMA転送要求：受信完了、送信バッファエンプティ |
| CAN | <ul style="list-style-type: none"> ● 16本のメッセージスロット×2系統 ● CAN specification 2.0B active準拠 ● 割り込み要求：送信完了、受信完了、バスエラー、エラーパッシブ、バスオフ、シングルショット ● DMA転送要求：送信失敗、送信完了、受信完了 |
| リアルタイムデバッグ (RTD) | <ul style="list-style-type: none"> ● 外部からのコマンド入力による、CPUとは独立した内蔵RAMの書き換え/モニタ機能 ● 専用クロック同期シリアルポート装備 ● 割り込み要求：RTD割り込みコマンドの入力 |
| 割り込みコントローラ (ICU) | <ul style="list-style-type: none"> ● 内蔵周辺I/Oからの割り込み要求管理 ● 割り込み禁止状態を含めて8レベルの優先順位 ● 外部割り込み：35要因(SBI#, TIN0~TIN33) ● TIN端子の入力センス：立ち上がりエッジ/立ち下がりエッジ/両エッジ/"H"レベル/"L"レベル |
| ウェイトコントローラ | <ul style="list-style-type: none"> ● 外部拡張領域のアクセスに対するウェイト制御 ● ソフトウェア設定による0~7ウェイト挿入+WAIT#信号入力によるウェイト延長 |
| PLL | <ul style="list-style-type: none"> ● 8逓倍のクロック発生回路 |
| クロック | <ul style="list-style-type: none"> ● 最大外部入力クロック周波数(XIN)は10.0MHz(注1) ● CPUCLK：M32R-FPUコア、内蔵フラッシュメモリ、内蔵RAMの動作クロック 最大CPUクロックは80MHz(XIN)= 10MHz動作時) ● BCLK：内蔵周辺I/O、外部データバスの動作クロック 最大内部周辺クロックは20MHz(XIN)= 10MHz動作時の周辺モジュールのアクセス) ● クロック出力(BCLK端子出力)：BCLKと同じ周波数のクロックを出力 |
| JTAG | <ul style="list-style-type: none"> ● バウンダリスキャン機能 |
| VDC | <ul style="list-style-type: none"> ● 内部電源発生回路：外部の単一電源(5Vまたは3.3V)から内部電源(2.5V)を生成 |
| ポート | <ul style="list-style-type: none"> ● 入出力端子：158本 ● ポート入力しきい値をポートのグループ単位で3種類のレベル(シュミット有無選択可能)からプログラマブル設定可能 |

注1 . M32180F8VFPの最大外部入力クロック周波数(XIN)は8.0MHz

1.3 端子機能

図1.3.1に端子機能図を示し、表1.3.1に端子機能説明を示します。

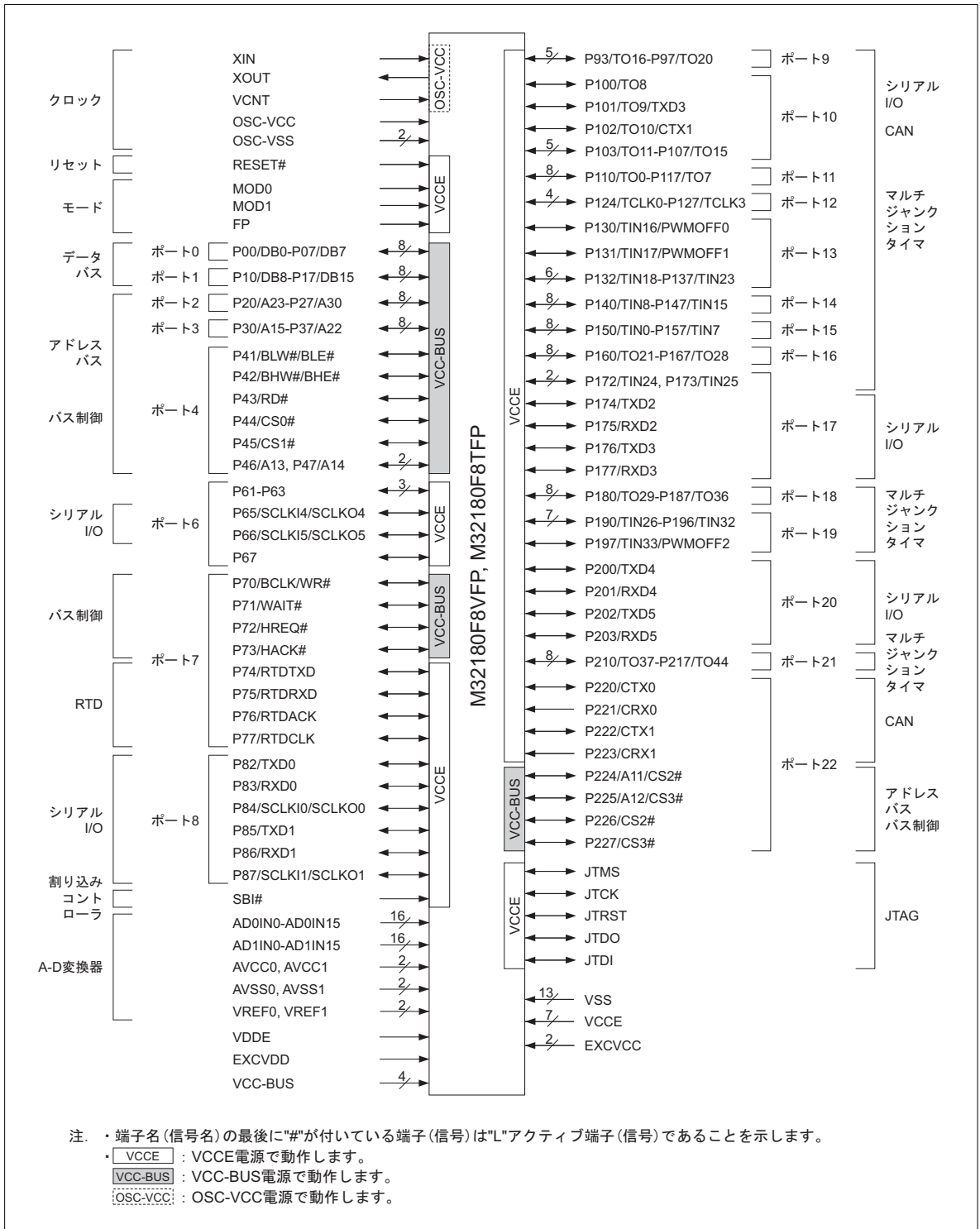


図1.3.1 端子機能図

表1.3.1 端子機能説明(1/5)

| 種類 | 端子名 | 名称 | 入出力 | 機能 | | | | | | | | | | | | | | | |
|----------------|---------------|---------------------------|------------|--|------------------|------|-----|---|---|------------|---|---|---------|---|---|---------------------------|---|---|--------|
| 電源 | VCCE | 主電源 | - | 供給電源(5.0V ± 0.5V、または3.3V ± 0.3V)です。 | | | | | | | | | | | | | | | |
| | EXCVCC | 内部電源 | - | 外付け容量接続端子です。 | | | | | | | | | | | | | | | |
| | VCC-BUS | バス電源 | - | バス制御端子への供給電源(5.0V ± 0.5V、または3.3V ± 0.3V)です。 | | | | | | | | | | | | | | | |
| | VDDE | RAM電源 | - | 内蔵RAMバックアップ用電源端子(5.0V ± 0.5V、または3.3V ± 0.3V)です。 | | | | | | | | | | | | | | | |
| | EXCVDD | RAM内部電源 | - | 内蔵RAM内部電源用の外付け容量を接続する端子です。 | | | | | | | | | | | | | | | |
| | VSS | グランド | - | VSSはすべてグランド(GND)に接続します。 | | | | | | | | | | | | | | | |
| クロック | XIN, XOUT | クロック入力 クロック出力 | 入力 出力 | クロック入出力端子です。PLLによる8逓倍回路を内蔵しており、内部CPUクロック動作周波数のクロック1/8周波数を入力します((CPUCLK) = 80MHz時、XIN入力10MHz)。 | | | | | | | | | | | | | | | |
| | BCLK | システム クロック | 出力 | 外部入力クロック周波数：XINの2倍のクロックを出力します((CPUCLK) = 80MHz時、BCLK出力は20MHz)。外部で同期設計を行う場合に使用します。 | | | | | | | | | | | | | | | |
| | OSC-VCC | クロック電源 | - | 発振回路の電源です。OSC-VCCは主電源に接続します。 | | | | | | | | | | | | | | | |
| | OSC-VSS | クロックグランド | - | OSC-VSSはグランドに接続します。 | | | | | | | | | | | | | | | |
| | VCNT | PLL制御 | - | PLL発振回路の制御端子で、抵抗とコンデンサを接続します。 | | | | | | | | | | | | | | | |
| | リセット | RESET# | リセット | 入力 | 内部回路のリセット入力端子です。 | | | | | | | | | | | | | | |
| モード | MOD0, MOD1 | モード | 入力 | 動作モードを設定します。 | | | | | | | | | | | | | | | |
| | | | | <table border="1"> <thead> <tr> <th>MOD0</th> <th>MOD1</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングルチップモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>プロセッサモード (ブートモード) (注1)</td> </tr> <tr> <td>1</td> <td>1</td> <td>(設定禁止)</td> </tr> </tbody> </table> | MOD0 | MOD1 | モード | 0 | 0 | シングルチップモード | 0 | 1 | 外部拡張モード | 1 | 0 | プロセッサモード (ブートモード) (注1) | 1 | 1 | (設定禁止) |
| | MOD0 | MOD1 | モード | | | | | | | | | | | | | | | | |
| | 0 | 0 | シングルチップモード | | | | | | | | | | | | | | | | |
| | 0 | 1 | 外部拡張モード | | | | | | | | | | | | | | | | |
| 1 | 0 | プロセッサモード (ブートモード) (注1) | | | | | | | | | | | | | | | | | |
| 1 | 1 | (設定禁止) | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | |
| フラッシュ プロテクト | FP | フラッシュ プロテクト | 入力 | フラッシュメモリに対して書き換えをハードウェアにてプロテクトする専用端子です。 | | | | | | | | | | | | | | | |
| アドレス バス | A11 ~ A30 | アドレスバス | 出力 | 各々最大2MBメモリ空間を4系統外付けするために20本のアドレス(A11 ~ A30)を持っています。A31は出力されません。 | | | | | | | | | | | | | | | |

注1 . ブートモードではFP端子が"H"レベルである必要があります。ブートモードについては、「第6章 内蔵メモリ」を参照してください。

表1.3.1 端子機能説明(2/5)

| 種類 | 端子名 | 名称 | 入出力 | 機能 |
|---------------|---------------|-------------|--|---|
| データバス | DB0 ~ DB15 | データバス | 入出力 | 外部デバイス接続用の16ビットデータバスです。ライトサイクル時にバイト単位で書き込む場合、有効でないバイト位置の出力データは不定です。リードサイクルでは常に16ビットのデータバスを読み込みます。ただし内部へは、有効なバイト位置のデータのみが転送されます。 |
| バス制御 | CS0#, CS1# | チップ | 出力 | 外部デバイスのチップセレクト信号です。 |
| | CS2#, CS3# | セレクト | | |
| | RD# | リード | 出力 | 外部デバイスのリード時に出力される信号です。 |
| | WR# | ライト | 出力 | 外部デバイスのライト時に出力される信号です。 |
| | BHW#/BLW# | バイトハイ/ロ-ライト | 出力 | 外部デバイスへのライト時に、有効なデータが転送されるバイト位置を示します。BHW#が上位アドレス側(b0 ~ b7 が有効)、BLW#が下位アドレス側(b8 ~ b15 が有効)に対応しています。 |
| | BHE# | バイトハイイネーブル | 出力 | 外部デバイスアクセスの上位データ(b0 ~ b7)の有効を示します。 |
| | BLE# | バイトローイネーブル | 出力 | 外部デバイスアクセスの下位データ(b8 ~ b15)の有効を示します。 |
| | WAIT# | ウエイト | 入力 | 外部デバイスをアクセスした場合、WAIT#"L"レベルが入力されているとウエイトサイクルが延長されます。 |
| HREQ# | ホールドリクエスト | 入力 | 外部のデバイスが外部バスのバス権を要求するための入力端子です。HREQ#端子に"L"レベルを入力するとホールド状態へ遷移します。 | |
| HACK# | ホールドアックノリッジ | 出力 | ホールド状態へ遷移し、外部バスのバス権を解放したことを通知するための信号です。 | |
| マルチジャンクションタイマ | TIN0 ~ TIN33 | タイマ入力 | 入力 | マルチジャンクションタイマの入力端子です。 |
| | TO0 ~ TO44 | タイマ出力 | 出力 | マルチジャンクションタイマの出力端子です。 |
| | TCLK0 ~ TCLK3 | タイマクロック | 入力 | マルチジャンクションタイマのクロック入力端子です。 |

表1.3.1 端子機能説明(3/5)

| 種類 | 端子名 | 名称 | 入出力 | 機能 | |
|-------------------|---------------------|--|--|---|---|
| A-D変換器 変換器 | AVCC0, AVCC1 | アナログ電源 | - | AVCC0はA-D0変換器の電源です。AVCC1はA-D1変換器の電源です。AVCC0, AVCC1は電源に接続します。 | |
| | AVSS0, AVSS1 | アナログ グランド | - | AVSS0はA-D0変換器のアナロググランドです。AVSS1はA-D1変換器のアナロググランドです。AVSS0, AVSS1はグランドに接続します。 | |
| | AD0IN0 ~ AD0IN15 | アナログ入力 | 入力 | 1系統目のA-D0変換器の16チャンネルアナログ入力端子です。 | |
| | AD1IN0 ~ AD1IN15 | アナログ入力 | 入力 | 2系統目のA-D1変換器の16チャンネルアナログ入力端子です。 | |
| | VREF0, VREF1 | 基準電圧入力 | 入力 | VREF0はA-D0変換器の基準電圧入力端子です。VREF1はA-D1変換器の基準電圧入力端子です。 | |
| | 割り込み コントローラ | SBI# | システム ブレーク インタラプト | 入力 | 割り込みコントローラのシステムブレーク割り込み(SBI)入力端子です。 |
| | シリアルI/O | SCLKI0/ SCLKO0 | UART送受信 クロック出力 または CSIO送受信 クロック入出力 | 入出力 | チャンネル0がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル0がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力 |
| SCLKI1/ SCLKO1 | | UART送受信 クロック出力 または CSIO送受信 クロック入出力 | 入出力 | チャンネル1がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル1がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力 | |
| SCLKI4/ SCLKO4 | | UART送受信 クロック出力 または CSIO送受信 クロック入出力 | 入出力 | チャンネル4がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル4がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力 | |
| SCLKI5/ SCLKO5 | | UART送受信 クロック出力 または CSIO送受信 クロック入出力 | 入出力 | チャンネル5がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル5がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力 | |

表1.3.1 端子機能説明(4/5)

| 種類 | 端子名 | 名称 | 入出力 | 機能 |
|--------------------|------------|----------------|-----|--|
| シリアル I/O | TXD0 | 送信データ | 出力 | シリアルI/Oチャンネル0の送信データ出力端子です。 |
| | RXD0 | 受信データ | 入力 | シリアルI/Oチャンネル0の受信データ入力端子です。 |
| | TXD1 | 送信データ | 出力 | シリアルI/Oチャンネル1の送信データ出力端子です。 |
| | RXD1 | 受信データ | 入力 | シリアルI/Oチャンネル1の受信データ入力端子です。 |
| | TXD2 | 送信データ | 出力 | シリアルI/Oチャンネル2の送信データ出力端子です。 |
| | RXD2 | 受信データ | 入力 | シリアルI/Oチャンネル2の受信データ入力端子です。 |
| | TXD3 | 送信データ | 出力 | シリアルI/Oチャンネル3の送信データ出力端子です。 |
| | RXD3 | 受信データ | 入力 | シリアルI/Oチャンネル3の受信データ入力端子です。 |
| | TXD4 | 送信データ | 出力 | シリアルI/Oチャンネル4の送信データ出力端子です。 |
| | RXD4 | 受信データ | 入力 | シリアルI/Oチャンネル4の受信データ入力端子です。 |
| | TXD5 | 送信データ | 出力 | シリアルI/Oチャンネル5の送信データ出力端子です。 |
| | RXD5 | 受信データ | 入力 | シリアルI/Oチャンネル5の受信データ入力端子です。 |
| リアル タイム デバッグ | RTD TXD | RTD送信データ | 出力 | リアルタイムデバッグのシリアルデータ出力端子です。 |
| | RTD RXD | RTD受信データ | 入力 | リアルタイムデバッグのシリアルデータ入力端子です。 |
| | RTD CLK | RTDクロック入力 | 入力 | リアルタイムデバッグのシリアルデータ送受信クロック入力端子です。 |
| | RTD ACK | RTDアクノリッジ | 出力 | リアルタイムデバッグのシリアルデータ出力ワードの先頭クロックに同期して"L"パルスを出力します。"L"パルス幅はリアルタイムデバッグが受信したコマンド/データの種類を示します。 |
| CAN | CTX0, CTX1 | 送信データ | 出力 | CANモジュールからのデータを出力する端子です。 |
| | CRX0, CRX1 | 受信データ | 入力 | CANモジュールへデータを入力する端子です。 |
| JTAG | JTMS | テストモード セレクト | 入力 | テスト回路の状態遷移を制御するテストモード選択入力です。 |
| | JTCK | テストクロック | 入力 | デバッグモジュールおよびテスト回路へのクロック入力です。 |
| | JTRST | テストリセット | 入力 | テスト回路を非同期に初期化するテストリセット入力です。 |
| | JTDI | テストデータ入力 | 入力 | テスト命令コードまたはテストデータをシリアルに入力する端子です。 |
| | JTDO | テストデータ出力 | 出力 | テスト命令コードまたはテストデータをシリアルに出力する端子です。 |

表1.3.1 端子機能説明(5/5)

| 種類 | 端子名 | 名称 | 入出力 | 機能 |
|--------------------|-------------|----------|-----|------------------|
| 入出力 ポート (注1) | P00 ~ P07 | 入出力ポート0 | 入出力 | プログラマブル入出力ポートです。 |
| | P10 ~ P17 | 入出力ポート1 | 入出力 | |
| | P20 ~ P27 | 入出力ポート2 | 入出力 | |
| | P30 ~ P37 | 入出力ポート3 | 入出力 | |
| | P41 ~ P47 | 入出力ポート4 | 入出力 | |
| | P61 ~ P63 | 入出力ポート6 | 入出力 | |
| | P65 ~ P67 | | | |
| | P70 ~ P77 | 入出力ポート7 | 入出力 | |
| | P82 ~ P87 | 入出力ポート8 | 入出力 | |
| | P93 ~ P97 | 入出力ポート9 | 入出力 | |
| | P100 ~ P107 | 入出力ポート10 | 入出力 | |
| | P110 ~ P117 | 入出力ポート11 | 入出力 | |
| | P124 ~ P127 | 入出力ポート12 | 入出力 | |
| | P130 ~ P137 | 入出力ポート13 | 入出力 | |
| | P140 ~ P147 | 入出力ポート14 | 入出力 | |
| | P150 ~ P157 | 入出力ポート15 | 入出力 | |
| | P160 ~ P167 | 入出力ポート16 | 入出力 | |
| | P172 ~ P177 | 入出力ポート17 | 入出力 | |
| | P180 ~ P187 | 入出力ポート18 | 入出力 | |
| | P190 ~ P197 | 入出力ポート19 | 入出力 | |
| | P200 ~ P203 | 入出力ポート20 | 入出力 | |
| | P210 ~ P217 | 入出力ポート21 | 入出力 | |
| P220 ~ P227 | 入出力ポート22 | 入出力 | | |

注1. ・入出力ポート5は、将来のために予約されています。

・P221, P223は入力専用ポートです。

1.4 端子配置

図1.4.1に端子配置図を、表1.4.1に端子配列表を示します。

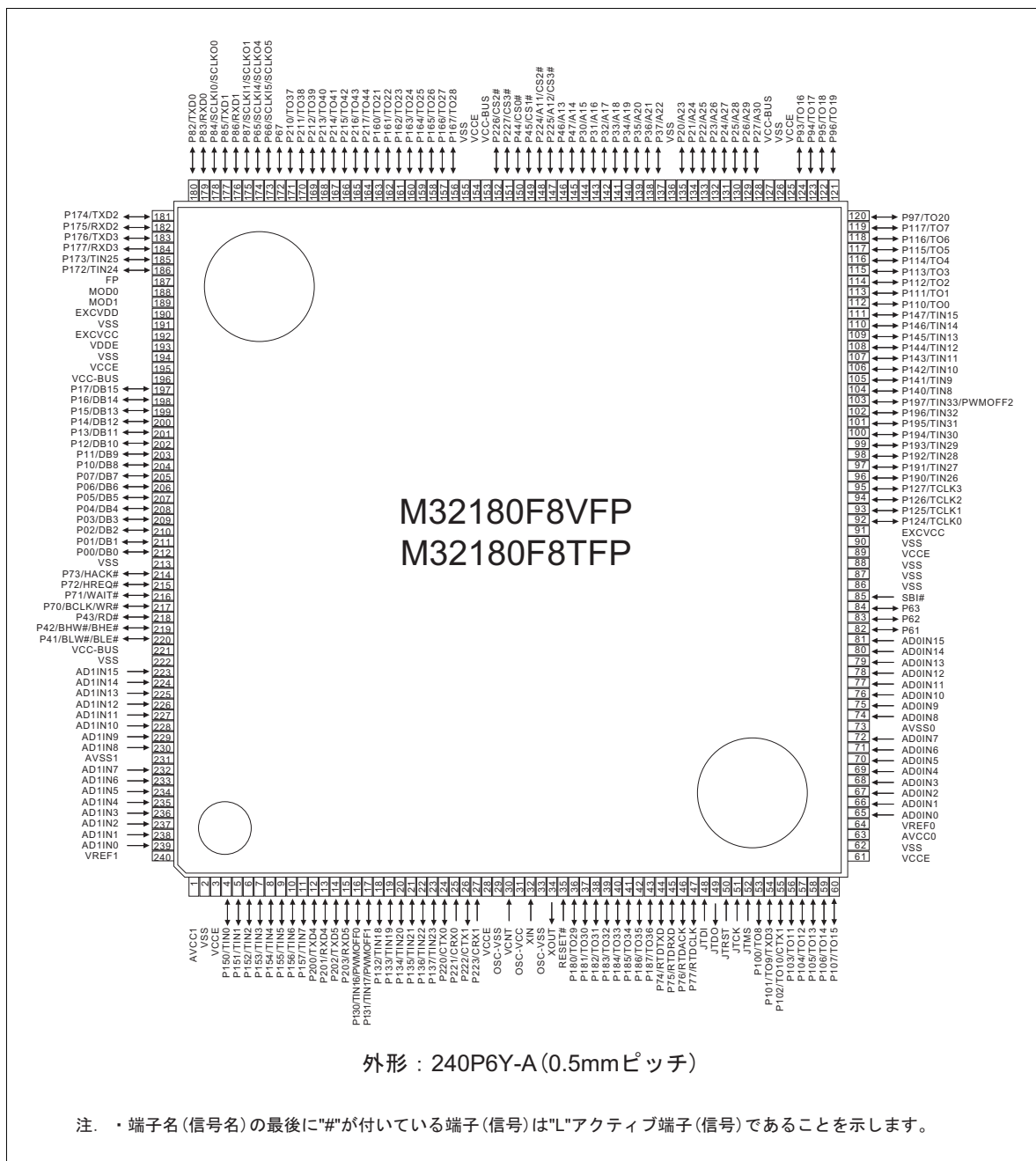


図1.4.1 240QFPの端子配置図(上面図)

リセット時に入力になっている端子はハイインピーダンス状態(Hi-z)となります。リセット時とはRESET#端子に"L"レベルが入力されている期間(リセット中)とRESET#端子を"L"レベルから"H"レベルに変化させたとき(リセット解除時)のことです。

表1.4.1 M32180F8VFP/TFPの端子配列表(1/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|--------------------|------|-------------------|-------|-----|----|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 1 | AVCC1 | - | AVCC1 | - | - | | AVCC1 | - | - | - |
| 2 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 3 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 4 | P150/TIN0 | P150 | TIN0 | - | 入出力 | | P150 | 入力 | Hi-z | Hi-z |
| 5 | P151/TIN1 | P151 | TIN1 | - | 入出力 | | P151 | 入力 | Hi-z | Hi-z |
| 6 | P152/TIN2 | P152 | TIN2 | - | 入出力 | | P152 | 入力 | Hi-z | Hi-z |
| 7 | P153/TIN3 | P153 | TIN3 | - | 入出力 | | P153 | 入力 | Hi-z | Hi-z |
| 8 | P154/TIN4 | P154 | TIN4 | - | 入出力 | | P154 | 入力 | Hi-z | Hi-z |
| 9 | P155/TIN5 | P155 | TIN5 | - | 入出力 | | P155 | 入力 | Hi-z | Hi-z |
| 10 | P156/TIN6 | P156 | TIN6 | - | 入出力 | | P156 | 入力 | Hi-z | Hi-z |
| 11 | P157/TIN7 | P157 | TIN7 | - | 入出力 | | P157 | 入力 | Hi-z | Hi-z |
| 12 | P200/TXD4 | P200 | TXD4 | - | 入出力 | | P200 | 入力 | Hi-z | Hi-z |
| 13 | P201/RXD4 | P201 | RXD4 | - | 入出力 | | P201 | 入力 | Hi-z | Hi-z |
| 14 | P202/TXD5 | P202 | TXD5 | - | 入出力 | | P202 | 入力 | Hi-z | Hi-z |
| 15 | P203/RXD5 | P203 | RXD5 | - | 入出力 | | P203 | 入力 | Hi-z | Hi-z |
| 16 | P130/TIN16/PWMOFF0 | P130 | TIN16/ PWMOFF0 | - | 入出力 | | P130 | 入力 | Hi-z | Hi-z |
| 17 | P131/TIN17/PWMOFF1 | P131 | TIN17/ PWMOFF1 | - | 入出力 | | P131 | 入力 | Hi-z | Hi-z |
| 18 | P132/TIN18 | P132 | TIN18 | - | 入出力 | | P132 | 入力 | Hi-z | Hi-z |
| 19 | P133/TIN19 | P133 | TIN19 | - | 入出力 | | P133 | 入力 | Hi-z | Hi-z |
| 20 | P134/TIN20 | P134 | TIN20 | - | 入出力 | | P134 | 入力 | Hi-z | Hi-z |
| 21 | P135/TIN21 | P135 | TIN21 | - | 入出力 | | P135 | 入力 | Hi-z | Hi-z |
| 22 | P136/TIN22 | P136 | TIN22 | - | 入出力 | | P136 | 入力 | Hi-z | Hi-z |
| 23 | P137/TIN23 | P137 | TIN23 | - | 入出力 | | P137 | 入力 | Hi-z | Hi-z |
| 24 | P220/CTX0 | P220 | CTX0 | - | 入出力 | | P220 | 入力 | Hi-z | Hi-z |
| 25 | P221/CRX0 | P221 | CRX0 | - | 入力 | | P221 | 入力 | Hi-z | Hi-z |
| 26 | P222/CTX1 | P222 | CTX1 | - | 入出力 | | P222 | 入力 | Hi-z | Hi-z |
| 27 | P223/CRX1 | P223 | CRX1 | - | 入力 | | P223 | 入力 | Hi-z | Hi-z |
| 28 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 29 | OSC-VSS | - | OSC-VSS | - | - | | OSC-VSS | - | - | - |
| 30 | VCNT | - | VCNT | - | - | | VCNT | - | - | - |
| 31 | OSC-VCC | - | OSC-VCC | - | - | | OSC-VCC | - | - | - |
| 32 | XIN | - | XIN | - | 入力 | | XIN | 入力 | - | - |
| 33 | OSC-VSS | - | OSC-VSS | - | - | | OSC-VSS | - | - | - |
| 34 | XOUT | - | XOUT | - | 出力 | | XOUT | 出力 | XOUT | XOUT |
| 35 | RESET# | - | RESET# | - | 入力 | | RESET# | 入力 | Hi-z | Hi-z |
| 36 | P180/TO29 | P180 | TO29 | - | 入出力 | | P180 | 入力 | Hi-z | Hi-z |
| 37 | P181/TO30 | P181 | TO30 | - | 入出力 | | P181 | 入力 | Hi-z | Hi-z |
| 38 | P182/TO31 | P182 | TO31 | - | 入出力 | | P182 | 入力 | Hi-z | Hi-z |
| 39 | P183/TO32 | P183 | TO32 | - | 入出力 | | P183 | 入力 | Hi-z | Hi-z |
| 40 | P184/TO33 | P184 | TO33 | - | 入出力 | | P184 | 入力 | Hi-z | Hi-z |
| 41 | P185/TO34 | P185 | TO34 | - | 入出力 | | P185 | 入力 | Hi-z | Hi-z |
| 42 | P186/TO35 | P186 | TO35 | - | 入出力 | | P186 | 入力 | Hi-z | Hi-z |
| 43 | P187/TO36 | P187 | TO36 | - | 入出力 | | P187 | 入力 | Hi-z | Hi-z |
| 44 | P74/RTD TXD | P74 | RTD TXD | - | 入出力 | | P74 | 入力 | Hi-z | Hi-z |
| 45 | P75/RTD RXD | P75 | RTD RXD | - | 入出力 | | P75 | 入力 | Hi-z | Hi-z |
| 46 | P76/RTD ACK | P76 | RTD ACK | - | 入出力 | | P76 | 入力 | Hi-z | Hi-z |
| 47 | P77/RTD CLK | P77 | RTD CLK | - | 入出力 | | P77 | 入力 | Hi-z | Hi-z |
| 48 | JTDI(注1) | - | JTDI | - | 入力 | | JTDI | 入力 | Hi-z | Hi-z |
| 49 | JTDO(注1) | - | JTDO | - | 出力 | | JTDO | 出力 | Hi-z | Hi-z |
| 50 | JTRST(注1) | - | JTRST | - | 入力 | | JTRST | 入力 | Hi-z | Hi-z |

注1. JTCK端子, JTDI端子, JTDO端子, JTMS端子はRESET#端子によってリセットされるのではなく、JTRST端子によってリセットされます。

表1.4.1 M32180F8VFP/TFPの端子配列表(2/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|----------------|------|---------|-------|-----|----|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 51 | JTCK(注1) | - | JTCK | - | 入力 | | JTCK | 入力 | Hi-z | Hi-z |
| 52 | JTMS(注1) | - | JTMS | - | 入力 | | JTMS | 入力 | Hi-z | Hi-z |
| 53 | P100/TO8 | P100 | TO8 | - | 入出力 | | P100 | 入力 | Hi-z | Hi-z |
| 54 | P101/TO9/TXD3 | P101 | TO9 | TXD3 | 入出力 | | P101 | 入力 | Hi-z | Hi-z |
| 55 | P102/TO10/CTX1 | P102 | TO10 | CTX1 | 入出力 | | P102 | 入力 | Hi-z | Hi-z |
| 56 | P103/TO11 | P103 | TO11 | - | 入出力 | | P103 | 入力 | Hi-z | Hi-z |
| 57 | P104/TO12 | P104 | TO12 | - | 入出力 | | P104 | 入力 | Hi-z | Hi-z |
| 58 | P105/TO13 | P105 | TO13 | - | 入出力 | | P105 | 入力 | Hi-z | Hi-z |
| 59 | P106/TO14 | P106 | TO14 | - | 入出力 | | P106 | 入力 | Hi-z | Hi-z |
| 60 | P107/TO15 | P107 | TO15 | - | 入出力 | | P107 | 入力 | Hi-z | Hi-z |
| 61 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 62 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 63 | AVCC0 | - | AVCC0 | - | - | | AVCC0 | - | - | - |
| 64 | VREF0 | - | VREF0 | - | - | | VREF0 | - | - | - |
| 65 | AD0IN0 | - | AD0IN0 | - | 入力 | | AD0IN0 | 入力 | Hi-z | Hi-z |
| 66 | AD0IN1 | - | AD0IN1 | - | 入力 | | AD0IN1 | 入力 | Hi-z | Hi-z |
| 67 | AD0IN2 | - | AD0IN2 | - | 入力 | | AD0IN2 | 入力 | Hi-z | Hi-z |
| 68 | AD0IN3 | - | AD0IN3 | - | 入力 | | AD0IN3 | 入力 | Hi-z | Hi-z |
| 69 | AD0IN4 | - | AD0IN4 | - | 入力 | | AD0IN4 | 入力 | Hi-z | Hi-z |
| 70 | AD0IN5 | - | AD0IN5 | - | 入力 | | AD0IN5 | 入力 | Hi-z | Hi-z |
| 71 | AD0IN6 | - | AD0IN6 | - | 入力 | | AD0IN6 | 入力 | Hi-z | Hi-z |
| 72 | AD0IN7 | - | AD0IN7 | - | 入力 | | AD0IN7 | 入力 | Hi-z | Hi-z |
| 73 | AVSS0 | - | AVSS0 | - | - | | AVSS0 | - | - | - |
| 74 | AD0IN8 | - | AD0IN8 | - | 入力 | | AD0IN8 | 入力 | Hi-z | Hi-z |
| 75 | AD0IN9 | - | AD0IN9 | - | 入力 | | AD0IN9 | 入力 | Hi-z | Hi-z |
| 76 | AD0IN10 | - | AD0IN10 | - | 入力 | | AD0IN10 | 入力 | Hi-z | Hi-z |
| 77 | AD0IN11 | - | AD0IN11 | - | 入力 | | AD0IN11 | 入力 | Hi-z | Hi-z |
| 78 | AD0IN12 | - | AD0IN12 | - | 入力 | | AD0IN12 | 入力 | Hi-z | Hi-z |
| 79 | AD0IN13 | - | AD0IN13 | - | 入力 | | AD0IN13 | 入力 | Hi-z | Hi-z |
| 80 | AD0IN14 | - | AD0IN14 | - | 入力 | | AD0IN14 | 入力 | Hi-z | Hi-z |
| 81 | AD0IN15 | - | AD0IN15 | - | 入力 | | AD0IN15 | 入力 | Hi-z | Hi-z |
| 82 | P61 | P61 | - | - | 入出力 | | P61 | 入力 | Hi-z | Hi-z |
| 83 | P62 | P62 | - | - | 入出力 | | P62 | 入力 | Hi-z | Hi-z |
| 84 | P63 | P63 | - | - | 入出力 | | P63 | 入力 | Hi-z | Hi-z |
| 85 | SBI# | - | SBI# | - | 入力 | | SBI# | 入力 | Hi-z | Hi-z |
| 86 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 87 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 88 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 89 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 90 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 91 | EXCVCC | - | EXCVCC | - | - | | EXCVCC | - | - | - |
| 92 | P124/TCLK0 | P124 | TCLK0 | - | 入出力 | | P124 | 入力 | Hi-z | Hi-z |
| 93 | P125/TCLK1 | P125 | TCLK1 | - | 入出力 | | P125 | 入力 | Hi-z | Hi-z |
| 94 | P126/TCLK2 | P126 | TCLK2 | - | 入出力 | | P126 | 入力 | Hi-z | Hi-z |
| 95 | P127/TCLK3 | P127 | TCLK3 | - | 入出力 | | P127 | 入力 | Hi-z | Hi-z |
| 96 | P190/TIN26 | P190 | TIN26 | - | 入出力 | | P190 | 入力 | Hi-z | Hi-z |
| 97 | P191/TIN27 | P191 | TIN27 | - | 入出力 | | P191 | 入力 | Hi-z | Hi-z |
| 98 | P192/TIN28 | P192 | TIN28 | - | 入出力 | | P192 | 入力 | Hi-z | Hi-z |
| 99 | P193/TIN29 | P193 | TIN29 | - | 入出力 | | P193 | 入力 | Hi-z | Hi-z |
| 100 | P194/TIN30 | P194 | TIN30 | - | 入出力 | | P194 | 入力 | Hi-z | Hi-z |

注1. JTCK端子, JTDI端子, JTDO端子, JTMS端子はRESET#端子によってリセットされるのではなく、JTRST端子によってリセットされます。

表1.4.1 M32180F8VFP/TFPの端子配列表(3/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|--------------------|------|-------------------|-------|-----|----------------------------|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 101 | P195/TIN31 | P195 | TIN31 | - | 入出力 | | P195 | 入力 | Hi-z | Hi-z |
| 102 | P196/TIN32 | P196 | TIN32 | - | 入出力 | | P196 | 入力 | Hi-z | Hi-z |
| 103 | P197/TIN33/PWMOFF2 | P197 | TIN33/ PWMOFF2 | - | 入出力 | | P197 | 入力 | Hi-z | Hi-z |
| 104 | P140/TIN8 | P140 | TIN8 | - | 入出力 | | P140 | 入力 | Hi-z | Hi-z |
| 105 | P141/TIN9 | P141 | TIN9 | - | 入出力 | | P141 | 入力 | Hi-z | Hi-z |
| 106 | P142/TIN10 | P142 | TIN10 | - | 入出力 | | P142 | 入力 | Hi-z | Hi-z |
| 107 | P143/TIN11 | P143 | TIN11 | - | 入出力 | | P143 | 入力 | Hi-z | Hi-z |
| 108 | P144/TIN12 | P144 | TIN12 | - | 入出力 | | P144 | 入力 | Hi-z | Hi-z |
| 109 | P145/TIN13 | P145 | TIN13 | - | 入出力 | | P145 | 入力 | Hi-z | Hi-z |
| 110 | P146/TIN14 | P146 | TIN14 | - | 入出力 | | P146 | 入力 | Hi-z | Hi-z |
| 111 | P147/TIN15 | P147 | TIN15 | - | 入出力 | | P147 | 入力 | Hi-z | Hi-z |
| 112 | P110/TO0 | P110 | TO0 | - | 入出力 | | P110 | 入力 | Hi-z | Hi-z |
| 113 | P111/TO1 | P111 | TO1 | - | 入出力 | | P111 | 入力 | Hi-z | Hi-z |
| 114 | P112/TO2 | P112 | TO2 | - | 入出力 | | P112 | 入力 | Hi-z | Hi-z |
| 115 | P113/TO3 | P113 | TO3 | - | 入出力 | | P113 | 入力 | Hi-z | Hi-z |
| 116 | P114/TO4 | P114 | TO4 | - | 入出力 | | P114 | 入力 | Hi-z | Hi-z |
| 117 | P115/TO5 | P115 | TO5 | - | 入出力 | | P115 | 入力 | Hi-z | Hi-z |
| 118 | P116/TO6 | P116 | TO6 | - | 入出力 | | P116 | 入力 | Hi-z | Hi-z |
| 119 | P117/TO7 | P117 | TO7 | - | 入出力 | | P117 | 入力 | Hi-z | Hi-z |
| 120 | P97/TO20 | P97 | TO20 | - | 入出力 | | P97 | 入力 | Hi-z | Hi-z |
| 121 | P96/TO19 | P96 | TO19 | - | 入出力 | | P96 | 入力 | Hi-z | Hi-z |
| 122 | P95/TO18 | P95 | TO18 | - | 入出力 | | P95 | 入力 | Hi-z | Hi-z |
| 123 | P94/TO17 | P94 | TO17 | - | 入出力 | | P94 | 入力 | Hi-z | Hi-z |
| 124 | P93/TO16 | P93 | TO16 | - | 入出力 | | P93 | 入力 | Hi-z | Hi-z |
| 125 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 126 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 127 | VCC-BUS | - | VCC-BUS | - | - | | VCC-BUS | - | - | - |
| 128 | P27/A30 | P27 | A30 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P27 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A30 | 出力 | Hi-z | 不定 |
| 129 | P26/A29 | P26 | A29 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P26 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A29 | 出力 | Hi-z | 不定 |
| 130 | P25/A28 | P25 | A28 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P25 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A28 | 出力 | Hi-z | 不定 |
| 131 | P24/A27 | P24 | A27 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P24 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A27 | 出力 | Hi-z | 不定 |
| 132 | P23/A26 | P23 | A26 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P23 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A26 | 出力 | Hi-z | 不定 |
| 133 | P22/A25 | P22 | A25 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P22 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A25 | 出力 | Hi-z | 不定 |
| 134 | P21/A24 | P21 | A24 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P21 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A24 | 出力 | Hi-z | 不定 |
| 135 | P20/A23 | P20 | A23 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P20 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A23 | 出力 | Hi-z | 不定 |
| 136 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 137 | P37/A22 | P37 | A22 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P37 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A22 | 出力 | Hi-z | 不定 |
| 138 | P36/A21 | P36 | A21 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P36 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A21 | 出力 | Hi-z | 不定 |
| 139 | P35/A20 | P35 | A20 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P35 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A20 | 出力 | Hi-z | 不定 |

表1.4.1 M32180F8VFP/TFPの端子配列表(4/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|-------------------|------|---------|--------|-----|----------------------------|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 140 | P34/A19 | P34 | A19 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P34 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A19 | 出力 | Hi-z | 不定 |
| 141 | P33/A18 | P33 | A18 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P33 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A18 | 出力 | Hi-z | 不定 |
| 142 | P32/A17 | P32 | A17 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P32 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A17 | 出力 | Hi-z | 不定 |
| 143 | P31/A16 | P31 | A16 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P31 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A16 | 出力 | Hi-z | 不定 |
| 144 | P30/A15 | P30 | A15 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P30 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A15 | 出力 | Hi-z | 不定 |
| 145 | P47/A14 | P47 | A14 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P47 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A14 | 出力 | Hi-z | 不定 |
| 146 | P46/A13 | P46 | A13 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P46 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A13 | 出力 | Hi-z | 不定 |
| 147 | P225/A12/CS3# | P225 | A12 | CS3# | 入出力 | シングルチップモード時 および外部拡張モード時 | P225 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A12 | 出力 | Hi-z | 不定 |
| 148 | P224/A11/CS2# | P224 | A11 | CS2# | 入出力 | シングルチップモード時 および外部拡張モード時 | P224 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | A11 | 出力 | Hi-z | 不定 |
| 149 | P45/CS1# | P45 | CS1# | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P45 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | CS1# | 出力 | Hi-z | "H"レベル |
| 150 | P44/CS0# | P44 | CS0# | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P44 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | CS0# | 出力 | Hi-z | "H"レベル |
| 151 | P227/CS3# | P227 | CS3# | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P227 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | CS3# | 出力 | Hi-z | "H"レベル |
| 152 | P226/CS2# | P226 | CS2# | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P226 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | CS2# | 出力 | Hi-z | "H"レベル |
| 153 | VCC-BUS | | VCC-BUS | | - | | VCC-BUS | - | - | - |
| 154 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 155 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 156 | P167/TO28 | P167 | TO28 | - | 入出力 | | P167 | 入力 | Hi-z | Hi-z |
| 157 | P166/TO27 | P166 | TO27 | - | 入出力 | | P166 | 入力 | Hi-z | Hi-z |
| 158 | P165/TO26 | P165 | TO26 | - | 入出力 | | P165 | 入力 | Hi-z | Hi-z |
| 159 | P164/TO25 | P164 | TO25 | - | 入出力 | | P164 | 入力 | Hi-z | Hi-z |
| 160 | P163/TO24 | P163 | TO24 | - | 入出力 | | P163 | 入力 | Hi-z | Hi-z |
| 161 | P162/TO23 | P162 | TO23 | - | 入出力 | | P162 | 入力 | Hi-z | Hi-z |
| 162 | P161/TO22 | P161 | TO22 | - | 入出力 | | P161 | 入力 | Hi-z | Hi-z |
| 163 | P160/TO21 | P160 | TO21 | - | 入出力 | | P160 | 入力 | Hi-z | Hi-z |
| 164 | P217/TO44 | P217 | TO44 | - | 入出力 | | P217 | 入力 | Hi-z | Hi-z |
| 165 | P216/TO43 | P216 | TO43 | - | 入出力 | | P216 | 入力 | Hi-z | Hi-z |
| 166 | P215/TO42 | P215 | TO42 | - | 入出力 | | P215 | 入力 | Hi-z | Hi-z |
| 167 | P214/TO41 | P214 | TO41 | - | 入出力 | | P214 | 入力 | Hi-z | Hi-z |
| 168 | P213/TO40 | P213 | TO40 | - | 入出力 | | P213 | 入力 | Hi-z | Hi-z |
| 169 | P212/TO39 | P212 | TO39 | - | 入出力 | | P212 | 入力 | Hi-z | Hi-z |
| 170 | P211/TO38 | P211 | TO38 | - | 入出力 | | P211 | 入力 | Hi-z | Hi-z |
| 171 | P210/TO37 | P210 | TO37 | - | 入出力 | | P210 | 入力 | Hi-z | Hi-z |
| 172 | P67 | P67 | - | - | 入出力 | | P67 | 入力 | Hi-z | Hi-z |
| 173 | P66/SCLKI5/SCLKO5 | P66 | SCLKI5 | SCLKO5 | 入出力 | | P66 | 入力 | Hi-z | Hi-z |
| 174 | P65/SCLKI4/SCLKO4 | P65 | SCLKI4 | SCLKO4 | 入出力 | | P65 | 入力 | Hi-z | Hi-z |
| 175 | P87/SCLKI1/SCLKO1 | P87 | SCLKI1 | SCLKO1 | 入出力 | | P87 | 入力 | Hi-z | Hi-z |

表1.4.1 M32180F8VFP/TFPの端子配列表(5/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|-------------------|------|---------|--------|-----|----------------------------|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 176 | P86/RXD1 | P86 | RXD1 | - | 入出力 | | P86 | 入力 | Hi-z | Hi-z |
| 177 | P85/TXD1 | P85 | TXD1 | - | 入出力 | | P85 | 入力 | Hi-z | Hi-z |
| 178 | P84/SCLKI0/SCLKO0 | P84 | SCLKI0 | SCLKO0 | 入出力 | | P84 | 入力 | Hi-z | Hi-z |
| 179 | P83/RXD0 | P83 | RXD0 | - | 入出力 | | P83 | 入力 | Hi-z | Hi-z |
| 180 | P82/TXD0 | P82 | TXD0 | - | 入出力 | | P82 | 入力 | Hi-z | Hi-z |
| 181 | P174/TXD2 | P174 | TXD2 | - | 入出力 | | P174 | 入力 | Hi-z | Hi-z |
| 182 | P175/RXD2 | P175 | RXD2 | - | 入出力 | | P175 | 入力 | Hi-z | Hi-z |
| 183 | P176/TXD3 | P176 | TXD3 | - | 入出力 | | P176 | 入力 | Hi-z | Hi-z |
| 184 | P177/RXD3 | P177 | RXD3 | - | 入出力 | | P177 | 入力 | Hi-z | Hi-z |
| 185 | P173/TIN25 | P173 | TIN25 | - | 入出力 | | P173 | 入力 | Hi-z | Hi-z |
| 186 | P172/TIN24 | P172 | TIN24 | - | 入出力 | | P172 | 入力 | Hi-z | Hi-z |
| 187 | FP | - | FP | - | 入力 | | FP | 入力 | Hi-z | Hi-z |
| 188 | MOD0 | - | MOD0 | - | 入力 | | MOD0 | 入力 | Hi-z | Hi-z |
| 189 | MOD1 | - | MOD1 | - | 入力 | | MOD1 | 入力 | Hi-z | Hi-z |
| 190 | EXCVDD | - | EXCVDD | - | - | | EXCVDD | - | - | - |
| 191 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 192 | EXCVCC | - | EXCVCC | - | - | | EXCVCC | - | - | - |
| 193 | VDDE | - | VDDE | - | - | | VDDE | - | - | - |
| 194 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 195 | VCCE | - | VCCE | - | - | | VCCE | - | - | - |
| 196 | VCC-BUS | - | VCC-BUS | - | - | | VCC-BUS | - | - | - |
| 197 | P17/DB15 | P17 | DB15 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P17 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB15 | 入出力 | Hi-z | Hi-z |
| 198 | P16/DB14 | P16 | DB14 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P16 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB14 | 入出力 | Hi-z | Hi-z |
| 199 | P15/DB13 | P15 | DB13 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P15 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB13 | 入出力 | Hi-z | Hi-z |
| 200 | P14/DB12 | P14 | DB12 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P14 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB12 | 入出力 | Hi-z | Hi-z |
| 201 | P13/DB11 | P13 | DB11 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P13 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB11 | 入出力 | Hi-z | Hi-z |
| 202 | P12/DB10 | P12 | DB10 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P12 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB10 | 入出力 | Hi-z | Hi-z |
| 203 | P11/DB9 | P11 | DB9 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P11 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB9 | 入出力 | Hi-z | Hi-z |
| 204 | P10/DB8 | P10 | DB8 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P10 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB8 | 入出力 | Hi-z | Hi-z |
| 205 | P07/DB7 | P07 | DB7 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P07 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB7 | 入出力 | Hi-z | Hi-z |
| 206 | P06/DB6 | P06 | DB6 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P06 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB6 | 入出力 | Hi-z | Hi-z |
| 207 | P05/DB5 | P05 | DB5 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P05 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB5 | 入出力 | Hi-z | Hi-z |
| 208 | P04/DB4 | P04 | DB4 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P04 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB4 | 入出力 | Hi-z | Hi-z |
| 209 | P03/DB3 | P03 | DB3 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P03 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB3 | 入出力 | Hi-z | Hi-z |
| 210 | P02/DB2 | P02 | DB2 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P02 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB2 | 入出力 | Hi-z | Hi-z |

表1.4.1 M32180F8VFP/TFPの端子配列表(6/6)

| 端子番号 | 端子名 | 機能 | | | 入出力 | 条件 | リセット時の端子状態 | | | |
|------|---------------|-----|---------|-------|-----|----------------------------|------------|-----|----------|------------|
| | | ポート | ポート以外 | ポート以外 | | | 機能 | 入出力 | リセット中の状態 | リセット解除時の状態 |
| 211 | P01/DB1 | P01 | DB1 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P01 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB1 | 入出力 | Hi-z | Hi-z |
| 212 | P00/DB0 | P00 | DB0 | - | 入出力 | シングルチップモード時 および外部拡張モード時 | P00 | 入力 | Hi-z | Hi-z |
| | | | | | | プロセッサモード時 | DB0 | 入出力 | Hi-z | Hi-z |
| 213 | VSS | - | VSS | - | - | | VSS | - | - | - |
| 214 | P73/HACK# | P73 | HACK# | - | 入出力 | | P73 | 入力 | Hi-z | Hi-z |
| 215 | P72/HREQ# | P72 | HREQ# | - | 入出力 | | P72 | 入力 | Hi-z | Hi-z |
| 216 | P71/WAIT# | P71 | WAIT# | - | 入出力 | | P71 | 入力 | Hi-z | Hi-z |
| 217 | P70/BCLKWR# | P70 | BCLK | WR# | 入出力 | | P70 | 入力 | Hi-z | Hi-z |
| 218 | P43/RD# | P43 | RD# | - | 入出力 | シングルチップモード時 | P43 | 入力 | Hi-z | Hi-z |
| | | | | | | 外部拡張モード時 およびプロセッサモード時 | RD# | 出力 | Hi-z | "H"レベル |
| 219 | P42/BHW#/BHE# | P42 | BHW# | BHE# | 入出力 | シングルチップモード時 | P42 | 入力 | Hi-z | Hi-z |
| | | | | | | 外部拡張モード時 およびプロセッサモード時 | BHW#/BHE# | 出力 | Hi-z | "H"レベル |
| 220 | P41/BLW#/BLE# | P41 | BLW# | BLE# | 入出力 | シングルチップモード時 | P41 | 入力 | Hi-z | Hi-z |
| | | | | | | 外部拡張モード時 およびプロセッサモード時 | BLW#/BLE# | 出力 | Hi-z | "H"レベル |
| 221 | VCC-BUS | - | VCC-BUS | - | - | | VCC-BUS | - | - | - |
| 222 | VSS | - | VSS | - | - | | - | - | - | - |
| 223 | AD1IN15 | - | AD1IN15 | - | 入力 | | AD1IN15 | 入力 | Hi-z | Hi-z |
| 224 | AD1IN14 | - | AD1IN14 | - | 入力 | | AD1IN14 | 入力 | Hi-z | Hi-z |
| 225 | AD1IN13 | - | AD1IN13 | - | 入力 | | AD1IN13 | 入力 | Hi-z | Hi-z |
| 226 | AD1IN12 | - | AD1IN12 | - | 入力 | | AD1IN12 | 入力 | Hi-z | Hi-z |
| 227 | AD1IN11 | - | AD1IN11 | - | 入力 | | AD1IN11 | 入力 | Hi-z | Hi-z |
| 228 | AD1IN10 | - | AD1IN10 | - | 入力 | | AD1IN10 | 入力 | Hi-z | Hi-z |
| 229 | AD1IN9 | - | AD1IN9 | - | 入力 | | AD1IN9 | 入力 | Hi-z | Hi-z |
| 230 | AD1IN8 | - | AD1IN8 | - | 入力 | | AD1IN8 | 入力 | Hi-z | Hi-z |
| 231 | AVSS1 | - | AVSS1 | - | - | | AVSS1 | - | - | - |
| 232 | AD1IN7 | - | AD1IN7 | - | 入力 | | AD1IN7 | 入力 | Hi-z | Hi-z |
| 233 | AD1IN6 | - | AD1IN6 | - | 入力 | | AD1IN6 | 入力 | Hi-z | Hi-z |
| 234 | AD1IN5 | - | AD1IN5 | - | 入力 | | AD1IN5 | 入力 | Hi-z | Hi-z |
| 235 | AD1IN4 | - | AD1IN4 | - | 入力 | | AD1IN4 | 入力 | Hi-z | Hi-z |
| 236 | AD1IN3 | - | AD1IN3 | - | 入力 | | AD1IN3 | 入力 | Hi-z | Hi-z |
| 237 | AD1IN2 | - | AD1IN2 | - | 入力 | | AD1IN2 | 入力 | Hi-z | Hi-z |
| 238 | AD1IN1 | - | AD1IN1 | - | 入力 | | AD1IN1 | 入力 | Hi-z | Hi-z |
| 239 | AD1IN0 | - | AD1IN0 | - | 入力 | | AD1IN0 | 入力 | Hi-z | Hi-z |
| 240 | VREF1 | - | VREF1 | - | - | | VREF1 | - | - | - |

第2章

CPU

- 2.1 CPUレジスタ
- 2.2 汎用レジスタ
- 2.3 制御レジスタ
- 2.4 アキュムレータ
- 2.5 プログラムカウンタ
- 2.6 データフォーマット
- 2.7 BSET, BCLR, LOCK, UNLOCK命令実行時の補足説明

2.1 CPUレジスタ

M32R-FPUには16本の汎用レジスタ、6本の制御レジスタ、アキュムレータおよびプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

2.2 汎用レジスタ

汎用レジスタは32ビット幅で16本(R0～R15)あり、データやベースアドレスの保持、整数演算/浮動小数点演算等に使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り替わります。

リセット解除時、汎用レジスタの値は不定です。

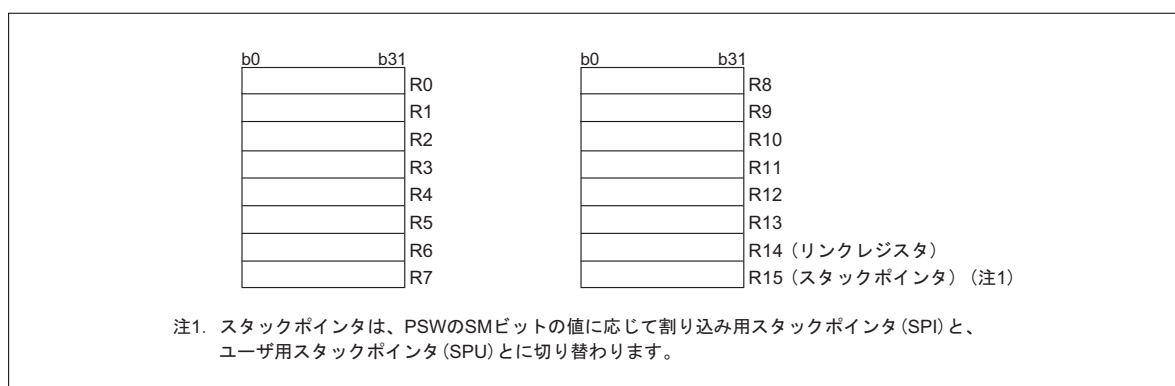


図2.2.1 汎用レジスタ

2.3 制御レジスタ

制御レジスタ(CR)には、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)、浮動小数点ステータスレジスタ(FPSR)の6つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

また、プロセッサ状態語レジスタ(PSW)のSMビット、IEビットおよびCビットについては、「SETPSW命令」と「CLRPSW命令」でも設定できます。

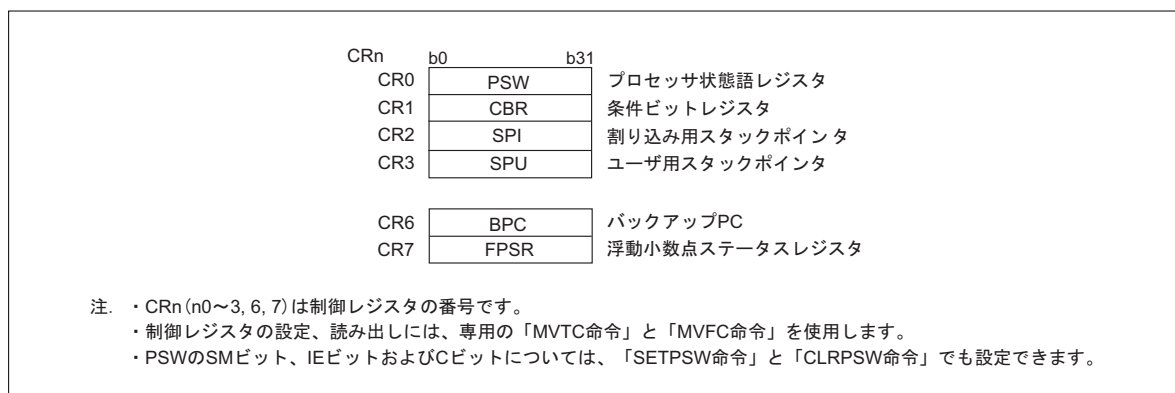
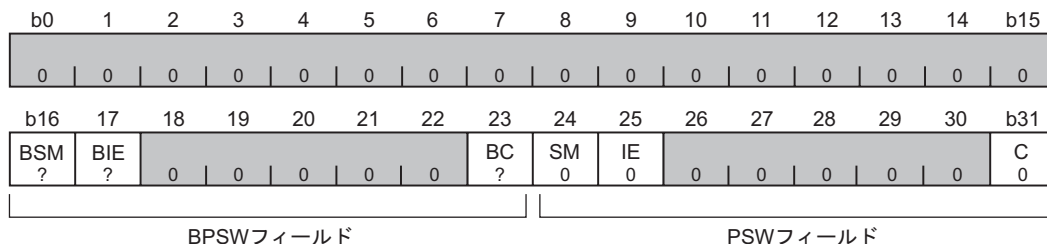


図2.3.1 制御レジスタ

2.3.1 プロセッサ状態語レジスタ：PSW(CR0)



<リセット解除時：B'0000 0000 0000 0000 ??00 000? 0000 0000 >

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|---|---|---|
| 0～15 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 16 | BSM バックアップSMビット | EIT受付時に、SMビットの値が保存される | R | W |
| 17 | BIE バックアップIEビット | EIT受付時に、IEビットの値が保存される | R | W |
| 18～22 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 23 | BC バックアップCビット | EIT受付時に、Cビットの値が保存される | R | W |
| 24 | SM スタックモードビット | 0：割り込み用スタックポインタを使用 1：ユーザ用スタックポインタを使用 | R | W |
| 25 | IE 割り込みイネーブルビット | 0：割り込みを受け付けない 1：割り込みを受け付ける | R | W |
| 26～30 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 31 | C 条件ビット | 命令の実行に応じて演算結果のキャリー、ポロー、オーバーフローの有無を示す | R | W |

プロセッサ状態語レジスタ(PSW)は、M32R-FPUのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを退避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモードビット(SM)、割り込みイネーブルビット(IE)、条件ビット(C)の各ビットで構成されています。

また、BPSWフィールドはバックアップSMビット(BSM)、バックアップIEビット(BIE)、バックアップCビット(BC)で構成されています。

リセット解除時、BSM、BIE、BCの値は不定、それ以外のビットは"0"です。

2.3.2 条件ビットレジスタ : CBR(CR1)

条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWの条件ビット(C)に書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です(「MVTC命令」で書き込みを行っても無視されます)。

リセット解除時、CBRの値は"H'0000 0000"です。

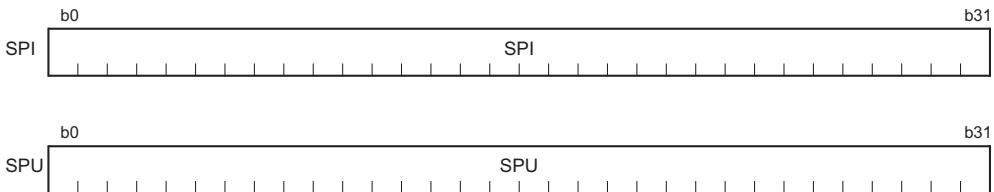


2.3.3 割り込み用スタックポインタ : SPI(CR2)

ユーザ用スタックポインタ : SPU(CR3)

割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このときR15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り替わります。

リセット解除時は、SPIとSPUの値は不定です。

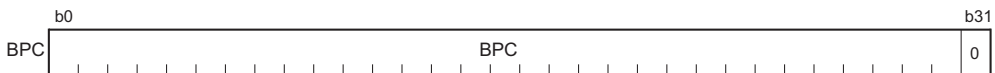


2.3.4 バックアップPC : BPC(CR6)

バックアップPC(BPC)は、EIT発生時にプログラムカウンタ(PC)の値を退避するためのレジスタです。b31は"0"に固定です。

EIT発生時には発生したEITによってEIT発生時又は次命令のPC値がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。ただし復帰時にPCの下位2ビットは常に"00"になります(常にワード境界に復帰します)。

リセット解除時、BPCの値は不定です。



2.3.5 浮動小数点ステータスレジスタ : FPSR(CR7)

| | | | | | | | | | | | | | | | |
|---------|---------|---------|---------|---------|---------|----|---------|---------|---------|---------|---------|---------|---------|---------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| FS 0 | FX 0 | FU 0 | FZ 0 | FO 0 | FV 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| b16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | b31 |
| 0 | EX 0 | EU 0 | EZ 0 | EO 0 | EV 0 | 0 | DN 1 | CE 0 | CX 0 | CU 0 | CZ 0 | CO 0 | CV 0 | RM 0 | 0 |

<リセット解除時 : H'0000 0100 >

| b | ビット名 | 機能 | R | W |
|------|-------------------------------|--|-------|---|
| 0 | FS 浮動小数点例外サマリビット | FU, FZ, FO, FVの論理和を反映します。 | R | - |
| 1 | FX 精度異常例外フラグ | 精度異常例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。 | R | W |
| 2 | FU アンダフロー例外フラグ | アンダフロー例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。 | R | W |
| 3 | FZ ゼロ除算例外フラグ | ゼロ除算例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。 | R | W |
| 4 | FO オーバフロー例外フラグ | オーバフロー例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。 | R | W |
| 5 | FV 無効演算例外フラグ | 無効演算例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。 | R | W |
| 6~16 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 17 | EX 精度異常例外イネーブルビット | 0 : 精度異常例外の発生によるEIT処理をマスク 1 : 精度異常例外の発生時にEIT処理を実行 | R | W |
| 18 | EU アンダフロー例外イネーブルビット | 0 : アンダフロー例外の発生によるEIT処理をマスク 1 : アンダフロー例外の発生時にEIT処理を実行 | R | W |
| 19 | EZ ゼロ除算例外イネーブルビット | 0 : ゼロ除算例外の発生によるEIT処理をマスク 1 : ゼロ除算例外の発生時にEIT処理を実行 | R | W |
| 20 | EO オーバフロー例外イネーブルビット | 0 : オーバフロー例外の発生によるEIT処理をマスク 1 : オーバフロー例外の発生時にEIT処理を実行 | R | W |
| 21 | EV 無効演算例外イネーブルビット | 0 : 無効演算例外の発生によるEIT処理をマスク 1 : 無効演算例外の発生時にEIT処理実行 | R | W |
| 22 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 23 | DN 非正規化数の0フラッシュビット (注2) | 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を0として扱います。 | R | W |
| 24 | CE 非実装例外要因ビット | 0 : 非実装例外の発生なし 1 : 非実装例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R(注3) | |
| 25 | CX 精度異常例外要因ビット | 0 : 精度異常例外の発生なし 1 : 精度異常例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R(注3) | |

| | | | |
|--------|---------------------|--|--------|
| 26 | CU アンダフロー例外要因ビット | 0 : アンダフロー例外の発生なし 1 : アンダフロー例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R (注3) |
| 27 | CZ ゼロ除算例外要因ビット | 0 : ゼロ除算例外の発生なし 1 : ゼロ除算例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R (注3) |
| 28 | CO オーバフロー例外要因ビット | 0 : オーバフロー例外の発生なし 1 : オーバフロー例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R (注3) |
| 29 | CV 無効演算例外要因ビット | 0 : 無効演算例外の発生なし 1 : 無効演算例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。 | R (注3) |
| 30, 31 | RM 丸めモード | 00 : 最近傍への丸め 01 : 0方向への丸め 10 : + 方向への丸め 11 : - 方向への丸め | R W |

注1. 「EIT処理実行なし」とは、各例外が発生した場合においても、b17～b21のイネーブルビットを"0"にし、マスクしていたことにより、EIT処理を実行しないことを言います。例えば、2つの例外が同時に発生し、それぞれのイネーブルビットの設定が異なる場合(どちらかがEIT処理の実行を設定)、EIT処理を行います。このときは、イネーブルビットの設定に関係なくこの2つのフラグは変化しません。

注2. DN=0のときに非正規化数がオペランドに与えられると、非実装例外が発生します。

注3. "0"書き込み"0"クリア、"1"書き込み無効(書き込み前の値を保持)です。

2.4 アキュムレータ

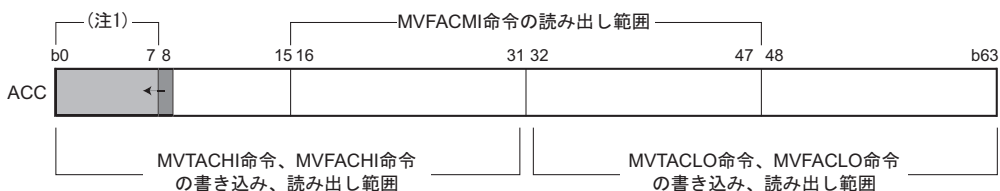
アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。

読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0~7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0~31)に、「MVTACLO命令」は下位側32ビット(ビット32~63)にデータを書き込みます。

読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」は上位側32ビット(ビット0~31)を、「MVFACLO命令」は下位側32ビット(ビット32~63)を、また「MVFACMI命令」は中央の32ビット(ビット16~47)のデータをそれぞれ読み出します。

リセット解除時、ACCの値は不定です。

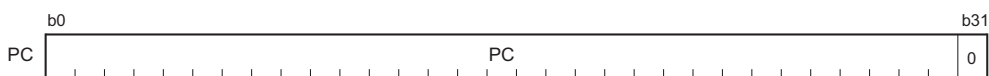


注1. ビット0~7は、ビット8の値を符号拡張した値が常に読み出されます。この部分への書き込みは無視されます。

2.5 プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32R-FPUの命令は偶数アドレスから始まるため、LSB(ビット31)は"0"になります。

リセット解除時、PCの値は"H'0000 0000"です。



2.6 データフォーマット

2.6.1 データタイプ

M32R-FPUの命令セットで扱えるデータタイプは、符号付き、または符号なしの8,16,32ビット整数および単精度浮動小数点です。符号付き整数の値は2の補数で表現されます。

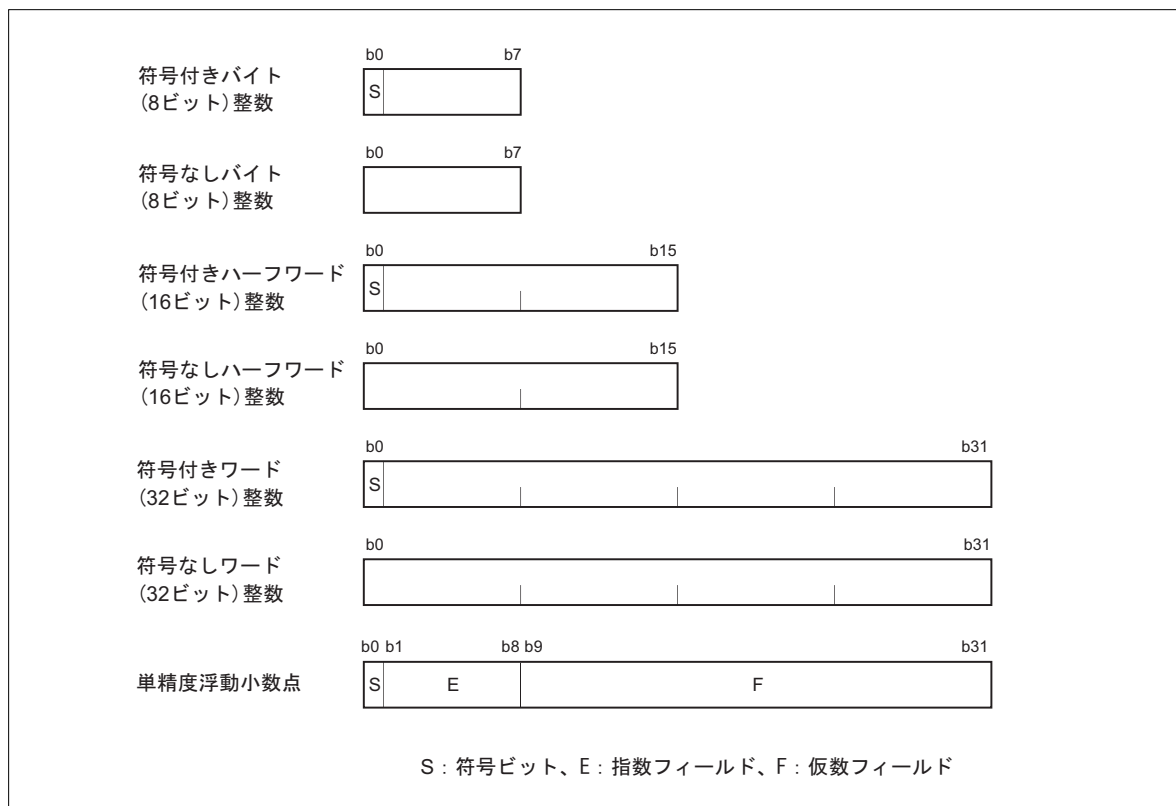


図2.6.1 データタイプ

2.6.2 データフォーマット

(1)レジスタ上のデータフォーマット

M32R-FPUのレジスタ上でのデータサイズは常にワード(32ビット)です。

メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをロードする場合は、ワード(32ビット)データに符号拡張(LDB, LDH命令)又はゼロ拡張(LDUB, LDUH命令)後、レジスタに格納されます。

レジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

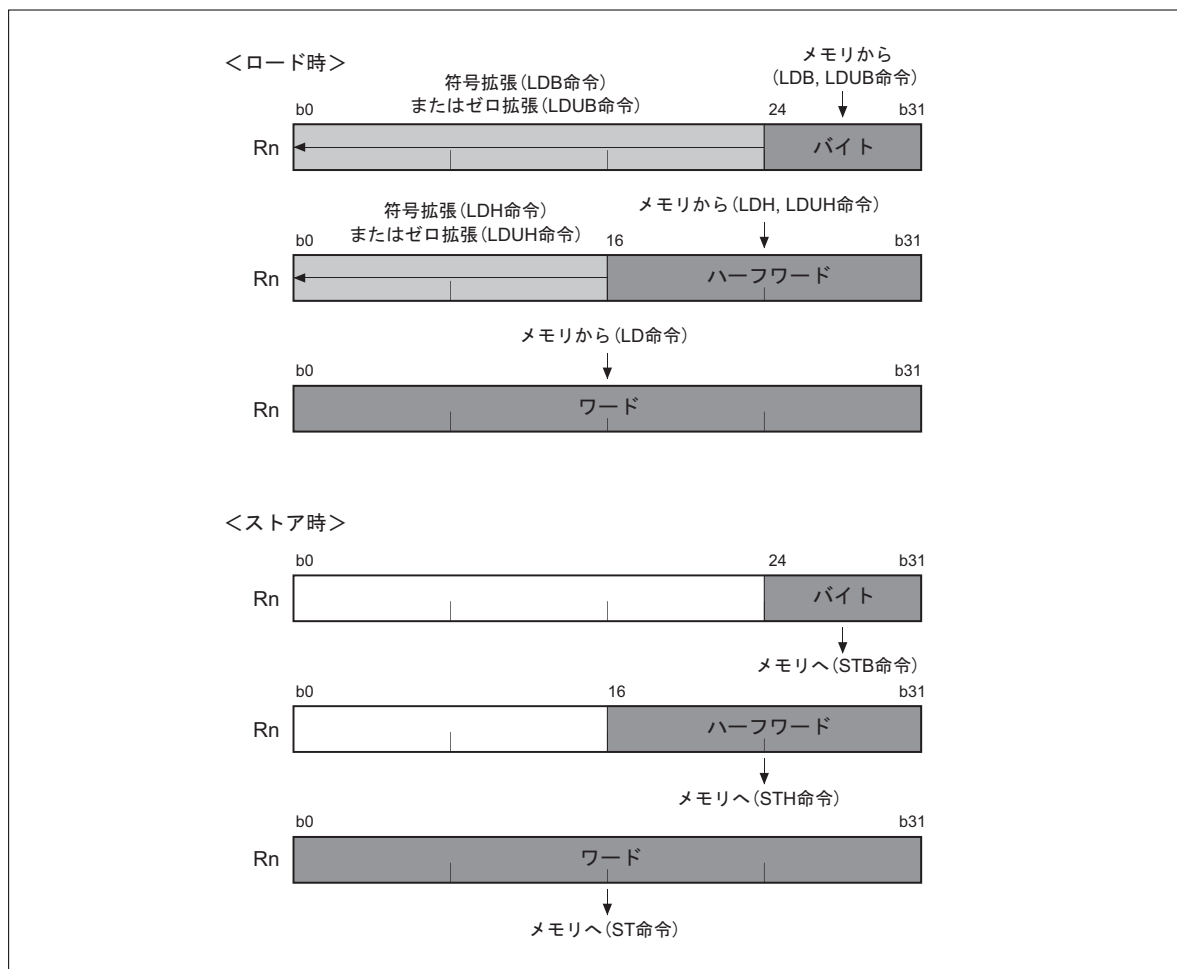


図1.6.2 レジスタ上のデータフォーマット

(2)メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするとアドレス例外が発生します。

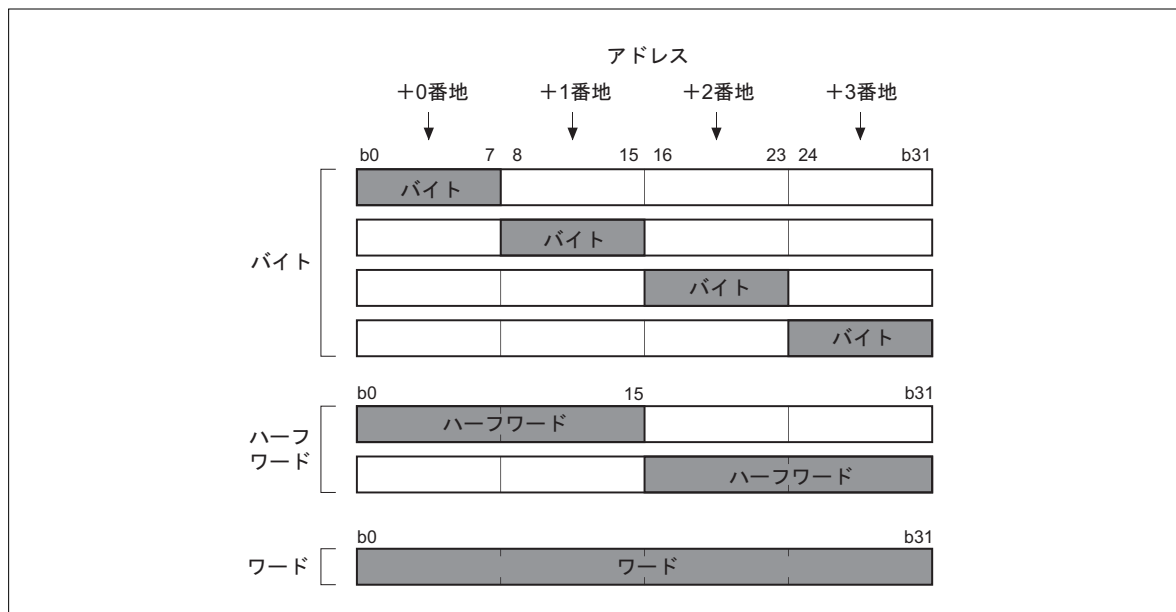


図2.6.3 メモリ上のデータフォーマット

(3)エンディアン

エンディアンの方式およびM32Rファミリのエンディアンを以下に示します。

| | ビットエンディアン (H'01) | バイトエンディアン (H'01234567) |
|-----------|--|--|
| ビッグエンディアン | <div style="border: 1px solid black; padding: 2px; display: inline-block;">B'0000001</div> b0 b7 | <div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'01</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'23</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'45</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'67</div> </div> HH HL LH LL |
| リトルエンディアン | <div style="border: 1px solid black; padding: 2px; display: inline-block;">B'0000001</div> b7 b0 | <div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'67</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'45</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'23</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'01</div> </div> LL LH HL HH |

注. ・ビットビッグエンディアンであってもH'01がB'10000000ではありません。

図2.6.4 エンディアンの方式

| | | | |
|---------------------|----------------------|----------------------|----------------------|
| 三菱製マイコンファミリー名 | 7700ファミリ M16Cファミリ | | <u>M32Rファミリ</u> |
| エンディアン (ビット/バイト) | リトル/リトル | リトル/ビッグ | ビッグ/ビッグ |
| アドレス | +0 +1 +2 +3 | +0 +1 +2 +3 | +0 +1 +2 +3 |
| データ配置 | LL LH HL HH | HH HL LH LL | HH HL LH LL |
| ビット番号 | 7~0 15~8 23~16 31~24 | 31~24 23~16 15~8 7~0 | 0~7 8~15 16~23 24~31 |
| 例: 0x01234567 | .byte 67,45,23,01 | .byte 01,23,45,67 | .byte 01,23,45,67 |

注. ・M32Rファミリはビット、バイトともにビッグエンディアンです。

図2.6.5 M32Rファミリのエンディアン

(4) 転送命令

・ 定数転送

LD24 Rdest, #imm24

LDI Rdest, #imm16

LDI Rdest, #imm8

SETH Rdest, #imm16

・ レジスタ間転送

MV Rdest, Rsrc

・ コントロールレジスタ転送

MVFC Rdest, CRsrc

MVTC Rsrc, CRdest

LD24 Rdest, #imm24

SETH Rdest, #imm16

MV Rdest, Rsrc

MVTC Rsrc, CRdest

注. ・MVTC命令を使用してCR0(PSW)へ書き込みを実行すると、条件ビットCは変化します。

図2.6.6 転送命令

(5)メモリ(符号あり)からレジスタへの転送

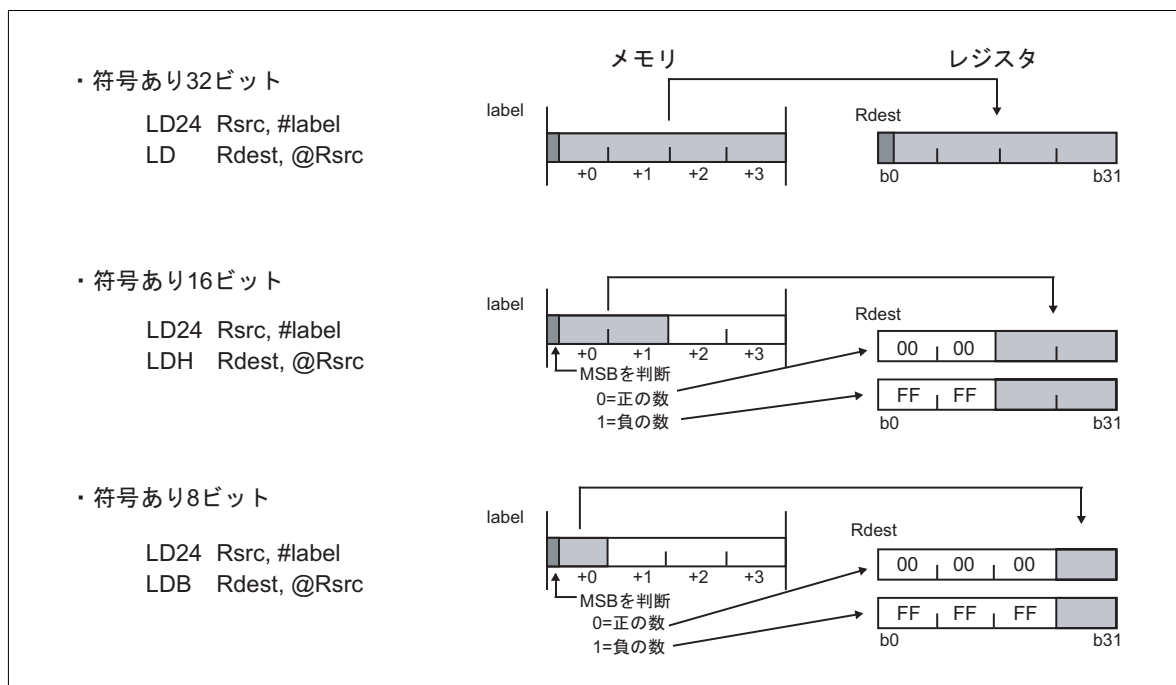


図2.6.7 メモリ(符号あり)からレジスタへの転送

(6)メモリ(符号なし)からレジスタ転送

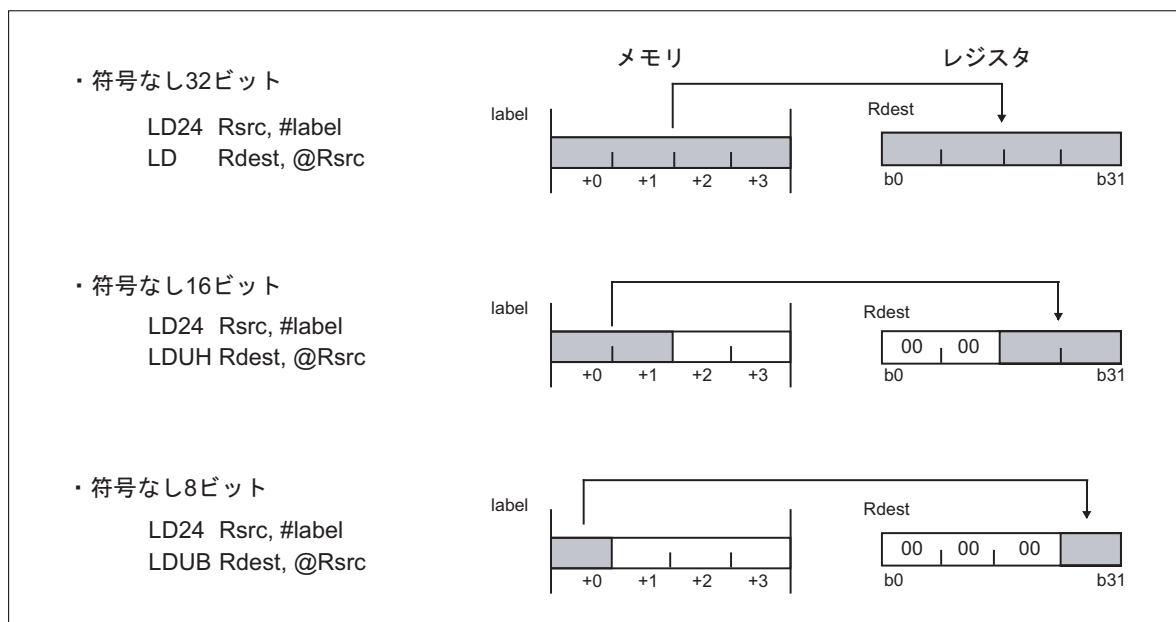


図2.6.8 メモリ(符号なし)からレジスタへの転送

(7) データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。

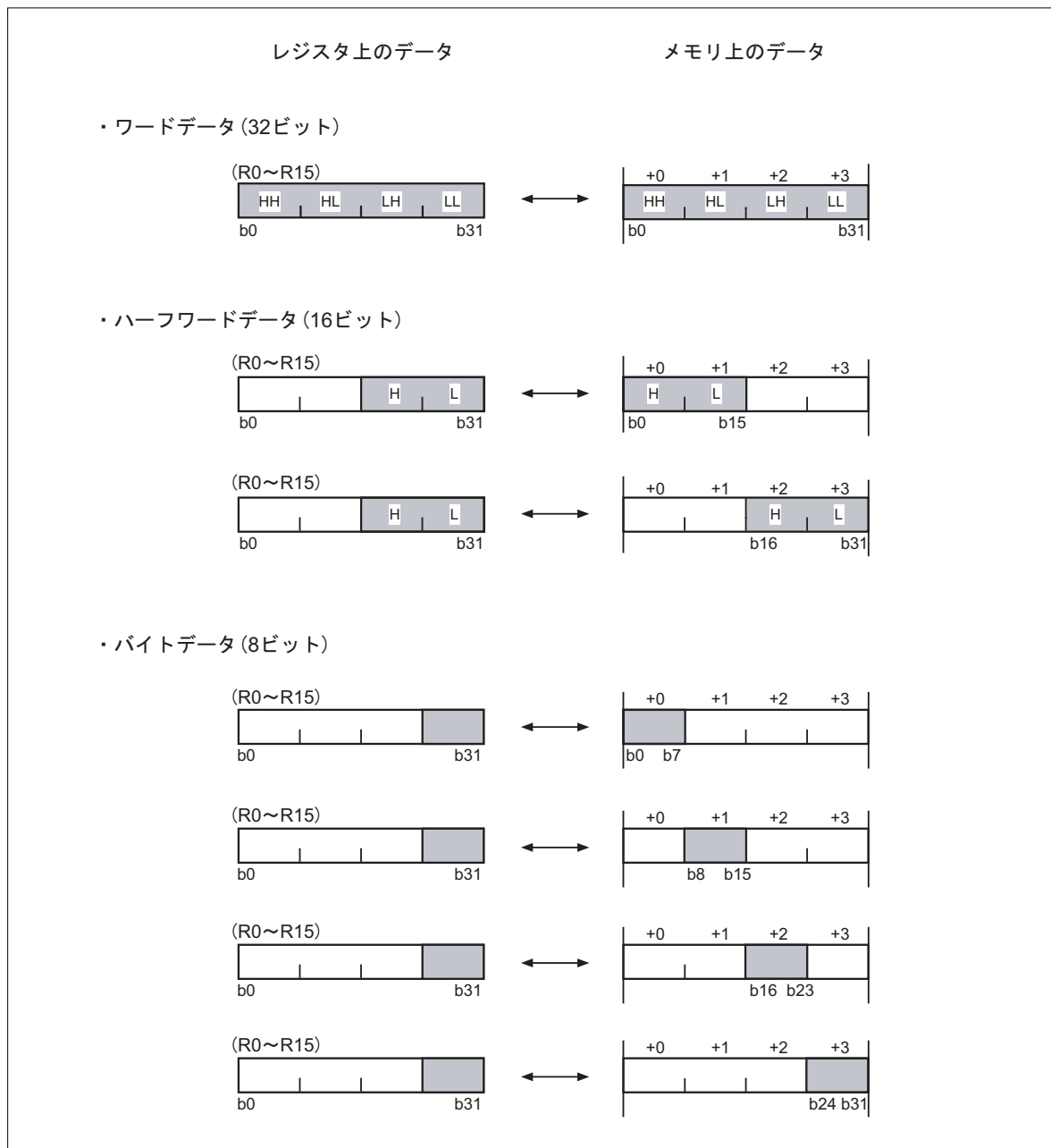


図2.6.9 データ配置の違い

2.7 BSET, BCLR, LOCK, UNLOCK命令実行時の補足説明

BSET, BCLR命令実行中はLOCKビットがセットされます。BSET, BCLR命令が終了すれば、LOCKビットがクリアされます。

LOCK命令は、通常のロードを行う以外にLOCKビットのセットも行います。

LOCKビットのクリアは、UNLOCK命令によって行われます。

LOCKビットはCPU内部にあり、ユーザがこのビットを直接リード/ライトすることはできません。LOCKビットとは、CPU以外のバス権を要求する回路に対してバス権の受付を制御するビットです。

LOCKビット = "0"の状態

CPU以外のバス権要求受付許可

LOCKビット = "1"の状態

CPU以外のバス権要求受付禁止

32180グループでは、CPU以外のバス権の要求としては、下記の2つがあります。

内蔵DMACによるDMA要求

HREQ#端子への"L"レベル入力によるホールド要求

第3章

アドレス空間

- 3.1 アドレス空間概要
- 3.2 動作モード
- 3.3 内蔵ROM領域/外部拡張領域
- 3.4 内蔵RAM領域/SFR領域
- 3.5 EITベクタエントリ
- 3.6 ICUベクタテーブル
- 3.7 アドレス空間の注意事項

3.1 アドレス空間概要

M32Rの論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。M32R/ECUのアドレス空間には、以下の空間が存在します。

(1) ユーザ空間

- 内蔵ROM領域
- 外部拡張領域
- 内蔵RAM領域
- SFR(Special Function Register)領域

(2) システム空間(ユーザ非公開領域)

(1) ユーザ空間

H'0000 0000 ~ H'7FFF FFFF番地の2Gバイトはユーザ空間です。この空間には、内蔵ROM領域、外部拡張領域、内蔵RAM領域、SFR(Special Function Register)領域(内蔵周辺I/Oのレジスタ群)などが配置されます。このうち内蔵ROM領域と外部拡張領域は、後で述べるモード設定で配置が異なります。

(2) システム空間

H'8000 0000 ~ H'FFFF FFFF番地の2Gバイトはシステム領域です。この空間は、インサーキットエミュレータや、デバッグ用モニタなどの開発ツール提供のために予約されており、ユーザが使用することはできません。

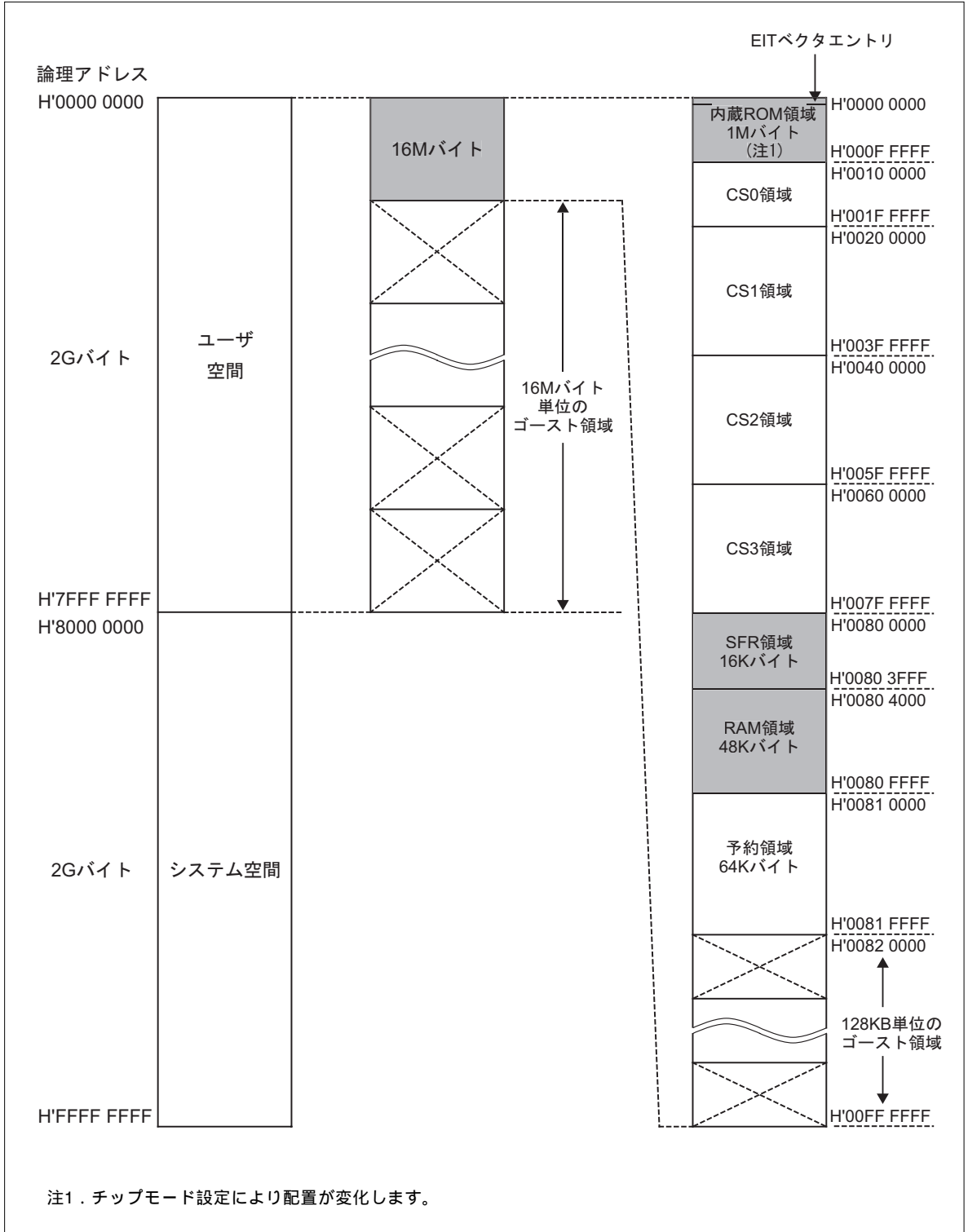


図3.1.1 アドレス空間

3.2 動作モード

チップ動作モードの設定(MOD0, MOD1端子の設定)により、以下のモードになります。ただし、内蔵フラッシュメモリ書き換えのためのモードについては、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

表3.2.1 動作モードの設定

| MOD0 | MOD1(注1) | 動作モード(注2) |
|------|----------|--------------------|
| VSS | VSS | シングルチップモード |
| VSS | VCCE | 外部拡張モード |
| VCCE | VSS | プロセッサモード(FP = VSS) |
| VCCE | VCCE | reserved(使用禁止) |

注1. 各記号、VCCEはVCCE入力電源に、VSSはGNDに接続します。

注2. この表に書かれていないフラッシュ書き換えのためのモード(FP = VCCE時)については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

動作モードによって内蔵ROM領域/外部拡張領域の配置は異なります(アドレス空間の他の領域は同じ配置です)。以下に各モードにおける内蔵ROM領域/外部拡張領域のアドレスマップを示します(フラッシュ書き換え時のモードについては「6.5 内蔵フラッシュメモリの書き込み」を参照してください)。

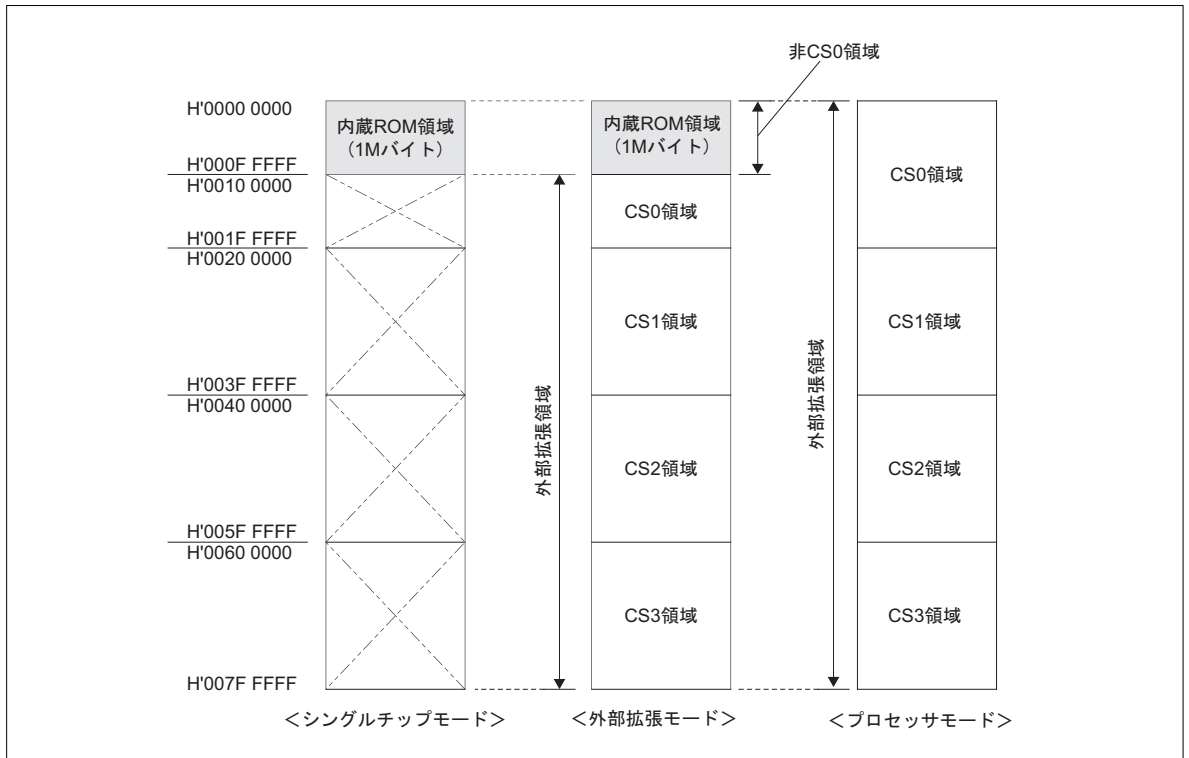


図3.2.1 M32180F8の動作モードと内蔵ROM領域/外部拡張領域

3.3 内蔵ROM領域/外部拡張領域

ユーザ空間内のH'0000 0000 ~ H'007F FFFF番地の8Mバイト領域は、内蔵ROM領域/外部拡張領域です。動作モード設定による内蔵ROM領域/外部拡張領域の配置の変化については、「3.2 動作モード」を参照してください。

3.3.1 内蔵ROM領域

以下の領域に、内蔵ROMが配置されます。また、この領域の先頭にはEITベクタエントリ(およびICUベクタテーブル)が配置されます。

表3.3.1 内蔵ROM配置アドレス

| 形名 | 容量 | 配置アドレス |
|----------|-------|---------------------------|
| M32180F8 | 1Mバイト | H'0000 0000 ~ H'000F FFFF |

3.3.2 外部拡張領域

動作モード設定で、外部拡張モードおよびプロセッサモード選択時のみ、外部拡張領域になります。外部拡張領域へのアクセスに対して、外部デバイスのアクセスに必要な制御信号が出力されます。

CS0#, CS1#, CS2#, CS3#信号は、外部拡張領域のアドレスマッピングに対応して出力します。CS0#信号がCS0領域に、CS1#信号がCS1領域に、CS2#信号がCS2領域に、CS3#信号がCS3領域にそれぞれ出力します。

表3.3.2 各動作モードにおける外部拡張領域のマッピング

| 動作モード | 外部拡張領域のアドレスマッピング |
|------------|--|
| シングルチップモード | なし |
| 外部拡張モード | H'0010 0000 ~ H'001F FFFF番地 (CS0領域: 1Mバイト) H'0020 0000 ~ H'003F FFFF番地 (CS1領域: 2Mバイト) H'0040 0000 ~ H'005F FFFF番地 (CS2領域: 2Mバイト) H'0060 0000 ~ H'007F FFFF番地 (CS3領域: 2Mバイト) |
| プロセッサモード | H'0000 0000 ~ H'001F FFFF番地 (CS0領域: 2Mバイト) H'0020 0000 ~ H'003F FFFF番地 (CS1領域: 2Mバイト) H'0040 0000 ~ H'005F FFFF番地 (CS2領域: 2Mバイト) H'0060 0000 ~ H'007F FFFF番地 (CS3領域: 2Mバイト) |

3.4 内蔵RAM領域/SFR領域

H'0080 0000 ~ H'00FF FFFF番地の8Mバイトの領域は、内蔵RAM領域/SFR(Special Function Register)領域です。このうち、ユーザが実際に利用可能な空間は、H'0080 0000 ~ H'0081 FFFF番地の128Kバイトの領域で、それ以外の領域には128Kバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

3.4.1 内蔵RAM領域

以下の領域に内蔵RAMが配置されます。

表3.4.1 内蔵RAM配置アドレス

| 形名 | 容量 | 配置アドレス |
|----------|--------|---------------------------|
| M32180F8 | 48Kバイト | H'0080 4000 ~ H'0080 FFFF |

3.4.2 SFR(Special Function Register)領域

H'0080 0000 ~ H'0080 3FFF番地はSFR(Special Function Register)領域です。SFR領域には、内蔵周辺I/Oのレジスタが配置されます。

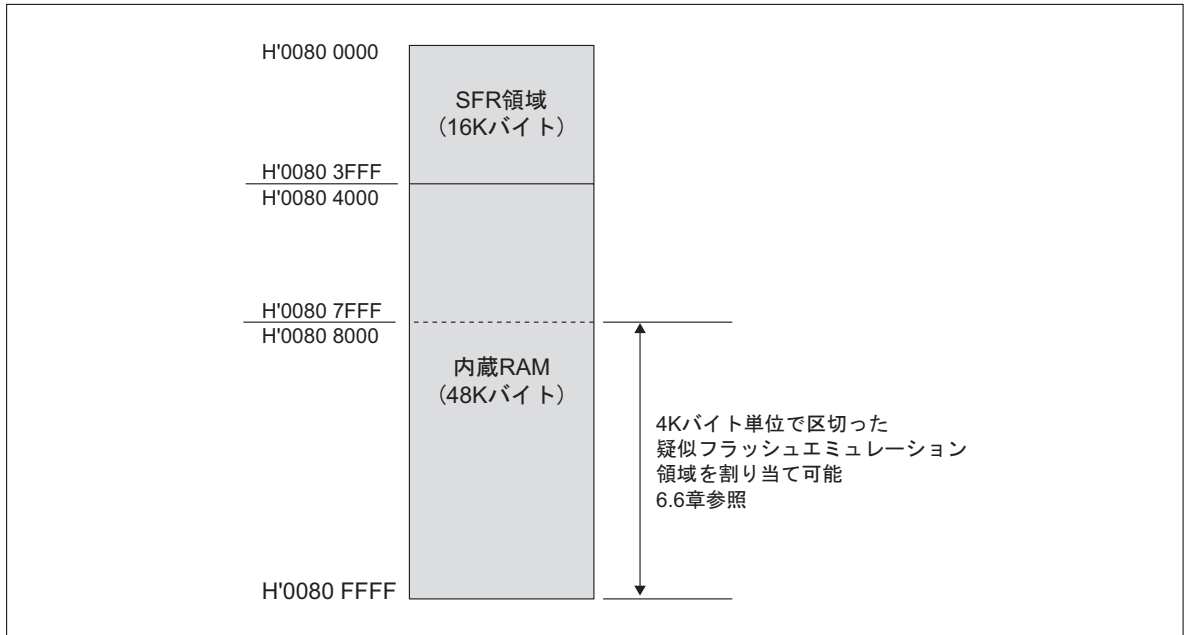


図3.4.1 M32180F8内蔵RAM領域/SFR(Special Function Register)領域

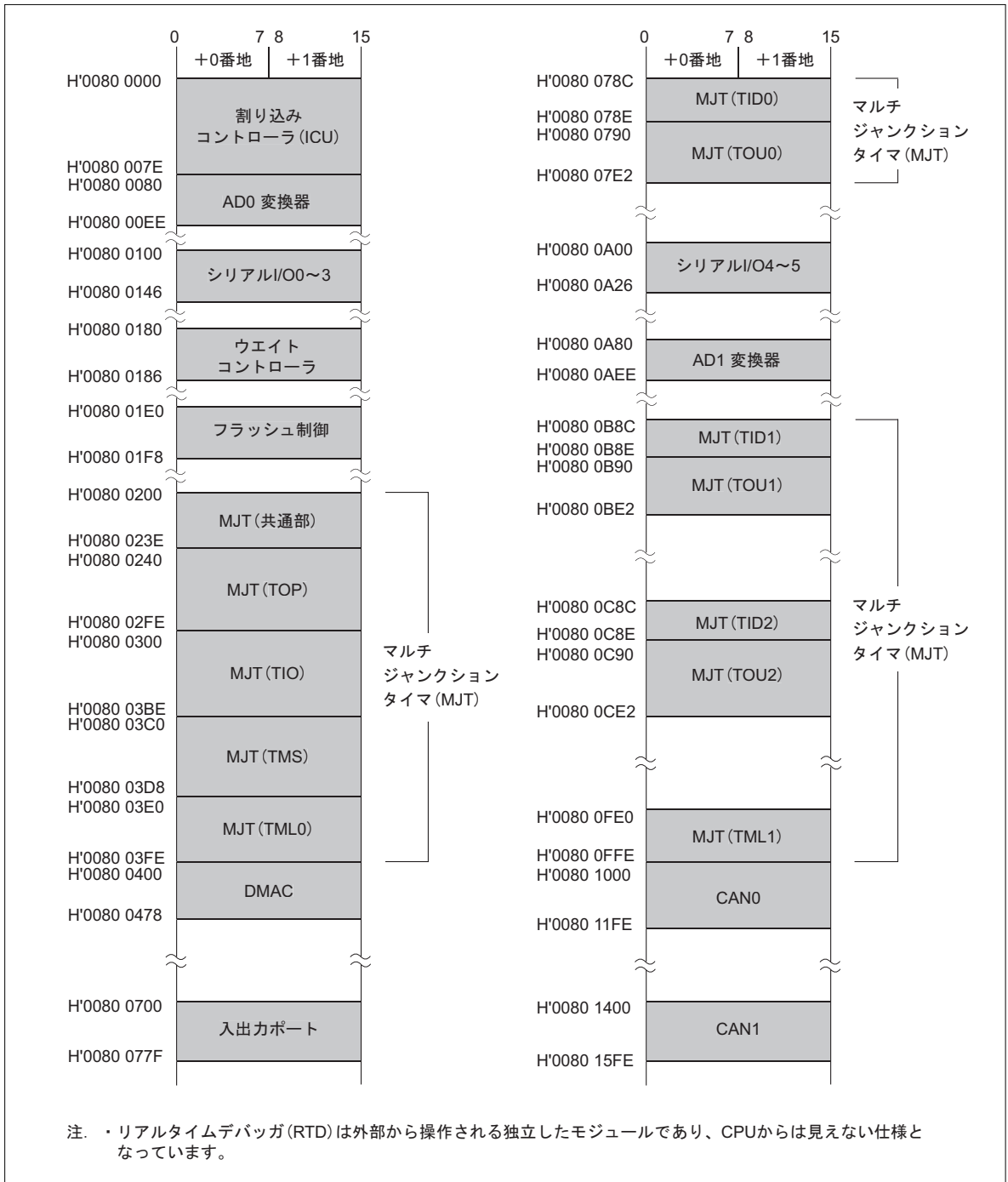


図3.4.2 SFR領域のマッピング概要

SFR領域のレジスタマップ(1/27)

| 番地 | + 0番地 | + 1番地 | 掲載ページ |
|-------------|-----------------------------------|-----------------------------------|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 0000 | 割り込みベクタレジスタ (IVECT) | | 5-5 |
| H'0080 0002 | (使用禁止領域) | | |
| H'0080 0004 | 割り込み要求マスクレジスタ (IMASK) | (使用禁止領域) | 5-6 |
| H'0080 0006 | SBI制御レジスタ (SBICR) | (使用禁止領域) | 5-7 |
| | (使用禁止領域) | | |
| H'0080 0060 | CAN0送受信&エラー割り込み制御レジスタ (ICAN0CR) | TIN30~33入力割り込み制御レジスタ (ITIN3033CR) | 5-8 |
| H'0080 0062 | TID2出力割り込み制御レジスタ (ITID2CR) | A-D1変換割り込み制御レジスタ (IAD1CCR) | 5-8 |
| H'0080 0064 | SIO4,5送受信割り込み制御レジスタ (ISIO45CR) | TOU1,2出力割り込み制御レジスタ (ITOU12CR) | 5-8 |
| H'0080 0066 | TID1出力割り込み制御レジスタ (ITID1CR) | RTD割り込み制御レジスタ (IRTD1CR) | 5-8 |
| H'0080 0068 | SIO2,3送受信割り込み制御レジスタ (ISIO23CR) | DMA5~9割り込み制御レジスタ (IDMA59CR) | 5-8 |
| H'0080 006A | TOU0出力割り込み制御レジスタ (ITOU0CR) | TID0出力割り込み制御レジスタ (ITID0CR) | 5-8 |
| H'0080 006C | A-D0変換割り込み制御レジスタ (IAD0CCR) | SIO0送受信割り込み制御レジスタ (ISIO0TXCR) | 5-8 |
| H'0080 006E | SIO0受信割り込み制御レジスタ (ISIO0RXCR) | SIO1送信割り込み制御レジスタ (ISIO1TXCR) | 5-8 |
| H'0080 0070 | SIO1受信割り込み制御レジスタ (ISIO1RXCR) | DMA0-4割り込み制御レジスタ (IDMA04CR) | 5-8 |
| H'0080 0072 | TIO0~3出力割り込み制御レジスタ (ITIO03CR) | TOP6,7出力割り込み制御レジスタ (ITOP67CR) | 5-8 |
| H'0080 0074 | TOP0~5出力割り込み制御レジスタ (ITOP05CR) | TIO8,9出力割り込み制御レジスタ (ITIO89CR) | 5-8 |
| H'0080 0076 | TIO4~7出力割り込み制御レジスタ (ITIO47CR) | TOP10出力割り込み制御レジスタ (ITOP10CR) | 5-8 |
| H'0080 0078 | TOP8,9出力割り込み制御レジスタ (ITOP89CR) | TMS0,1出力割り込み制御レジスタ (ITMS01CR) | 5-8 |
| H'0080 007A | TIN7~11入力割り込み制御レジスタ (ITIN711CR) | TIN0~2入力割り込み制御レジスタ (ITIN02CR) | 5-8 |
| H'0080 007C | TIN12~19入力割り込み制御レジスタ (ITIN1219CR) | TIN20~29入力割り込み制御レジスタ (ITIN2029CR) | 5-8 |
| H'0080 007E | TIN3~6入力割り込み制御レジスタ (ITIN36CR) | CAN1送受信&エラー割り込み制御レジスタ (ICAN1CR) | 5-8 |
| H'0080 0080 | A-D0単一モードレジスタ0 (AD0SIM0) | A-D0単一モードレジスタ1 (AD0SIM1) | 11-16 11-18 |
| H'0080 0082 | (使用禁止領域) | | |
| H'0080 0084 | A-D0スキャンモードレジスタ0 (AD0SCM0) | A-D0スキャンモードレジスタ1 (AD0SCM1) | 11-20 11-22 |
| H'0080 0086 | A-D0断線検出アシスト制御レジスタ (AD0DDACR) | A-D0変換速度制御レジスタ (AD0CVSCR) | 11-25 11-24 |
| H'0080 0088 | A-D0逐次近似レジスタ (AD0SAR) | | 11-29 |
| H'0080 008A | A-D0断線検出アシスト方式選択レジスタ (AD0DDASEL) | | 11-26 |
| H'0080 008C | A-D0コンパレートデータレジスタ (AD0CMP) | | 11-30 |
| H'0080 008E | (使用禁止領域) | | |
| H'0080 0090 | 10ビットA-D0データレジスタ0 (AD0DT0) | | 11-31 |
| H'0080 0092 | 10ビットA-D0データレジスタ1 (AD0DT1) | | 11-31 |
| H'0080 0094 | 10ビットA-D0データレジスタ2 (AD0DT2) | | 11-31 |
| H'0080 0096 | 10ビットA-D0データレジスタ3 (AD0DT3) | | 11-31 |
| H'0080 0098 | 10ビットA-D0データレジスタ4 (AD0DT4) | | 11-31 |
| H'0080 009A | 10ビットA-D0データレジスタ5 (AD0DT5) | | 11-31 |

SFR領域のレジスタマップ(2/27)

| 番地 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載ページ |
|-------------|------------------------------------|---------------------------------|---------------------------------|-----|----------------|
| H'0080 009C | | 10ビットA-D0データレジスタ6 (AD0DT6) | | | 11-31 |
| H'0080 009E | | 10ビットA-D0データレジスタ7 (AD0DT7) | | | 11-31 |
| H'0080 00A0 | | 10ビットA-D0データレジスタ8 (AD0DT8) | | | 11-31 |
| H'0080 00A2 | | 10ビットA-D0データレジスタ9 (AD0DT9) | | | 11-31 |
| H'0080 00A4 | | 10ビットA-D0データレジスタ10 (AD0DT10) | | | 11-31 |
| H'0080 00A6 | | 10ビットA-D0データレジスタ11 (AD0DT11) | | | 11-31 |
| H'0080 00A8 | | 10ビットA-D0データレジスタ12 (AD0DT12) | | | 11-31 |
| H'0080 00AA | | 10ビットA-D0データレジスタ13 (AD0DT13) | | | 11-31 |
| H'0080 00AC | | 10ビットA-D0データレジスタ14 (AD0DT14) | | | 11-31 |
| H'0080 00AE | | 10ビットA-D0データレジスタ15 (AD0DT15) | | | 11-31 |
| } | | (使用禁止領域) | | | |
| H'0080 00D0 | (使用禁止領域) | | 8ビットA-D0データレジスタ0 (AD08DT0) | | 11-32 |
| H'0080 00D2 | (使用禁止領域) | | 8ビットA-D0データレジスタ1 (AD08DT1) | | 11-32 |
| H'0080 00D4 | (使用禁止領域) | | 8ビットA-D0データレジスタ2 (AD08DT2) | | 11-32 |
| H'0080 00D6 | (使用禁止領域) | | 8ビットA-D0データレジスタ3 (AD08DT3) | | 11-32 |
| H'0080 00D8 | (使用禁止領域) | | 8ビットA-D0データレジスタ4 (AD08DT4) | | 11-32 |
| H'0080 00DA | (使用禁止領域) | | 8ビットA-D0データレジスタ5 (AD08DT5) | | 11-32 |
| H'0080 00DC | (使用禁止領域) | | 8ビットA-D0データレジスタ6 (AD08DT6) | | 11-32 |
| H'0080 00DE | (使用禁止領域) | | 8ビットA-D0データレジスタ7 (AD08DT7) | | 11-32 |
| H'0080 00E0 | (使用禁止領域) | | 8ビットA-D0データレジスタ8 (AD08DT8) | | 11-32 |
| H'0080 00E2 | (使用禁止領域) | | 8ビットA-D0データレジスタ9 (AD08DT9) | | 11-32 |
| H'0080 00E4 | (使用禁止領域) | | 8ビットA-D0データレジスタ10 (AD08DT10) | | 11-32 |
| H'0080 00E6 | (使用禁止領域) | | 8ビットA-D0データレジスタ11 (AD08DT11) | | 11-32 |
| H'0080 00E8 | (使用禁止領域) | | 8ビットA-D0データレジスタ12 (AD08DT12) | | 11-32 |
| H'0080 00EA | (使用禁止領域) | | 8ビットA-D0データレジスタ13 (AD08DT13) | | 11-32 |
| H'0080 00EC | (使用禁止領域) | | 8ビットA-D0データレジスタ14 (AD08DT14) | | 11-32 |
| H'0080 00EE | (使用禁止領域) | | 8ビットA-D0データレジスタ15 (AD08DT15) | | 11-32 |
| } | | (使用禁止領域) | | | |
| H'0080 0100 | SIO23割り込み要求ステータスレジスタ (SI23STAT) | | SIO03割り込み要求許可レジスタ (SI03EN) | | 12-9 12-10 |
| H'0080 0102 | SIO03割り込み要求要因選択レジスタ (SI03SEL) | | (使用禁止領域) | | 12-11 |
| } | (使用禁止領域) | | | | |
| H'0080 0110 | SIO0送信制御レジスタ (S0TCNT) | | SIO0送受信モードレジスタ (S0MOD) | | 12-14 12-15 |
| H'0080 0112 | SIO0送信バッファレジスタ (S0TXB) | | | | 12-18 |
| H'0080 0114 | SIO0受信バッファレジスタ (S0RXB) | | | | 12-19 |

SFR領域のレジスタマップ(3/27)

| 番地 | + 0番地 | + 1番地 | 掲載ページ |
|-------------|-------------------------------|------------------------------------|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 0116 | SIO0受信制御レジスタ (S0RCNT) | SIO0ポーレートレジスタ (S0BAUR) | 12-20 12-23 |
| } | (使用禁止領域) | | |
| H'0080 0120 | SIO1送信制御レジスタ (S1TCNT) | SIO1送受信モードレジスタ (S1MOD) | 12-14 12-15 |
| H'0080 0122 | SIO1送信バッファレジスタ (S1TXB) | | 12-18 |
| H'0080 0124 | SIO1受信バッファレジスタ (S1RXB) | | 12-19 |
| H'0080 0126 | SIO1受信制御レジスタ (S1RCNT) | SIO1ポーレートレジスタ (S1BAUR) | 12-20 12-23 |
| } | (使用禁止領域) | | |
| H'0080 0130 | SIO2送信制御レジスタ (S2TCNT) | SIO2送受信モードレジスタ (S2MOD) | 12-14 12-15 |
| H'0080 0132 | SIO2送信バッファレジスタ (S2TXB) | | 12-18 |
| H'0080 0134 | SIO2受信バッファレジスタ (S2RXB) | | 12-19 |
| H'0080 0136 | SIO2受信制御レジスタ (S2RCNT) | SIO2ポーレートレジスタ (S2BAUR) | 12-20 12-23 |
| } | (使用禁止領域) | | |
| H'0080 0140 | SIO3送信制御レジスタ (S3TCNT) | SIO3送受信モードレジスタ (S3MOD) | 12-14 12-15 |
| H'0080 0142 | SIO3送信バッファレジスタ (S3TXB) | | 12-18 |
| H'0080 0144 | SIO3受信バッファレジスタ (S3RXB) | | 12-19 |
| H'0080 0146 | SIO3受信制御レジスタ (S3RCNT) | SIO3ポーレートレジスタ (S3BAUR) | 12-20 12-23 |
| } | (使用禁止領域) | | |
| H'0080 0180 | CS0領域ウエイト制御レジスタ (CS0WTCR) | CS1領域ウエイト制御レジスタ (CS1WTCR) | 16-4 |
| H'0080 0182 | CS2領域ウエイト制御レジスタ (CS2WTCR) | CS3領域ウエイト制御レジスタ (CS3WTCR) | 16-4 |
| } | (使用禁止領域) | | |
| H'0080 01E0 | フラッシュモードレジスタ (FMOD) | フラッシュステータスレジスタ1 (FSTAT1) | 6-4 6-5 |
| H'0080 01E2 | フラッシュ制御レジスタ1 (FCNT1) | フラッシュ制御レジスタ2 (FCNT2) | 6-7 6-8 |
| H'0080 01E4 | フラッシュ制御レジスタ3 (FCNT3) | フラッシュ制御レジスタ4 (FCNT4) | 6-9 |
| H'0080 01E6 | (使用禁止領域) | | |
| H'0080 01E8 | 疑似フラッシュバンクレジスタ0 (FESBANK0) | | 6-11 |
| H'0080 01EA | 疑似フラッシュバンクレジスタ1 (FESBANK1) | | 6-11 |
| H'0080 01EC | 疑似フラッシュバンクレジスタ2 (FESBANK2) | | 6-11 |
| H'0080 01EE | 疑似フラッシュバンクレジスタ3 (FESBANK3) | | 6-11 |
| H'0080 01F0 | 疑似フラッシュバンクレジスタ4 (FESBANK4) | | 6-11 |
| H'0080 01F2 | 疑似フラッシュバンクレジスタ5 (FESBANK5) | | 6-11 |
| H'0080 01F4 | 疑似フラッシュバンクレジスタ6 (FESBANK6) | | 6-11 |
| H'0080 01F6 | 疑似フラッシュバンクレジスタ7 (FESBANK7) | | 6-11 |
| } | (使用禁止領域) | | |
| H'0080 0200 | (使用禁止領域) | クロックバス&入カイベントバス制御レジスタ (CKIEBCR) | 10-16 |
| H'0080 0202 | プリスケアラレジスタ0 (PRS0) | プリスケアラレジスタ1 (PRS1) | 10-12 |

SFR領域のレジスタマップ(4/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 b15 | |
| H'0080 0204 | ブリスケラレジスタ2 (PRS2) | 出力イベントバス制御レジスタ (OEBCR) | 10-12 10-17 |
| } | (使用禁止領域) | | |
| H'0080 0210 | TCLK入力処理制御レジスタ (TCLKCR) | | 10-20 |
| H'0080 0212 | TIN0 ~ 4入力処理制御レジスタ (TIN04CR) | | 10-21 |
| H'0080 0214 | TIN5 ~ 8入力処理制御レジスタ (TIN58CR) | | 10-22 |
| H'0080 0216 | TIN9 ~ 11入力処理制御レジスタ (TIN911CR) | | 10-23 |
| H'0080 0218 | TIN12 ~ 19入力処理制御レジスタ (TIN1219CR) | | 10-24 |
| H'0080 021A | TIN20 ~ 23, TIN30 ~ 33入力処理制御レジスタ (TIN2023_3033CR) | | 10-24 |
| } | (使用禁止領域) | | |
| H'0080 0220 | F/F6 ~ 15ソース選択レジスタ (FF615S) | | 10-28 |
| H'0080 0222 | (使用禁止領域) | F/F16 ~ 19ソース選択レジスタ (FF1619S) | 10-29 |
| H'0080 0224 | F/F0 ~ 15プロテクトレジスタ (FF015P) | | 10-30 |
| H'0080 0226 | F/F0 ~ 15データレジスタ (FF015D) | | 10-32 |
| H'0080 0228 | (使用禁止領域) | F/F16 ~ 20プロテクトレジスタ (FF1620P) | 10-30 |
| H'0080 022A | (使用禁止領域) | F/F16 ~ 20データレジスタ (FF1620D) | 10-32 |
| } | (使用禁止領域) | | |
| H'0080 0230 | TOP0 ~ 5割り込み要求ステータスレジスタ (TOP05IST) | TOP0 ~ 5割り込み要求マスクレジスタ (TOP05IMA) | 10-39 |
| H'0080 0232 | TOP6,7割り込み要求マスク&ステータスレジスタ (TOP67IMS) | TOP8,9割り込み要求マスク&ステータスレジスタ (TOP89IMS) | 10-41 10-42 |
| H'0080 0234 | TIO0 ~ 3割り込み要求マスク&ステータスレジスタ (TIO03IMS) | TIO4 ~ 7割り込み要求マスク&ステータスレジスタ (TIO47IMS) | 10-43 10-44 |
| H'0080 0236 | TIO8,9割り込み要求マスク&ステータスレジスタ (TIO89IMS) | TMS0,1割り込み要求マスク&ステータスレジスタ (TMS01IMS) | 10-45 10-46 |
| H'0080 0238 | TIN0 ~ 2割り込み要求マスク&ステータスレジスタ (TIN02IMS) | TIN3 ~ 6割り込み要求マスク&ステータスレジスタ (TIN36IMS) | 10-47 10-48 |
| H'0080 023A | TIN7 ~ 11割り込み要求ステータスレジスタ (TIN711IST) | TIN7 ~ 11割り込み要求マスクレジスタ (TIN711IMA) | 10-49 |
| H'0080 023C | TIN12 ~ 19割り込み要求ステータスレジスタ (TIN1219IST) | TIN12 ~ 19割り込み要求マスクレジスタ (TIN1219IMA) | 10-51 |
| H'0080 023E | TIN20 ~ 23割り込み要求マスク&ステータスレジスタ (TIN2023IMS) | TIN30 ~ 33割り込み要求マスク&ステータスレジスタ (TIN3033IMS) | 10-53 10-57 |
| H'0080 0240 | TOP0カウンタ (TOP0CT) | | 10-75 |
| H'0080 0242 | TOP0リロードレジスタ (TOP0RL) | | 10-76 |
| H'0080 0244 | (使用禁止領域) | | |
| H'0080 0246 | TOP0補正レジスタ (TOP0CC) | | 10-77 |
| } | (使用禁止領域) | | |
| H'0080 0250 | TOP1カウンタ (TOP1CT) | | 10-75 |
| H'0080 0252 | TOP1リロードレジスタ (TOP1RL) | | 10-76 |
| H'0080 0254 | (使用禁止領域) | | |
| H'0080 0256 | TOP1補正レジスタ (TOP1CC) | | 10-77 |
| } | (使用禁止領域) | | |

SFR領域のレジスタマップ(5/27)

| 番地 | b0 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----|----------|-----------------------------|-----------------------------|-----|-----------|
| H'0080 0260 | | | TOP2カウンタ (TOP2CT) | | | 10-75 |
| H'0080 0262 | | | TOP2リロードレジスタ (TOP2RL) | | | 10-76 |
| H'0080 0264 | | | (使用禁止領域) | | | |
| H'0080 0266 | | | TOP2補正レジスタ (TOP2CC) | | | 10-77 |
| } | | | (使用禁止領域) | | | |
| H'0080 0270 | | | TOP3カウンタ (TOP3CT) | | | 10-75 |
| H'0080 0272 | | | TOP3リロードレジスタ (TOP3RL) | | | 10-76 |
| H'0080 0274 | | | (使用禁止領域) | | | |
| H'0080 0276 | | | TOP3補正レジスタ (TOP3CC) | | | 10-77 |
| } | | | (使用禁止領域) | | | |
| H'0080 0280 | | | TOP4カウンタ (TOP4CT) | | | 10-75 |
| H'0080 0282 | | | TOP4リロードレジスタ (TOP4RL) | | | 10-76 |
| H'0080 0284 | | | (使用禁止領域) | | | |
| H'0080 0286 | | | TOP4補正レジスタ (TOP4CC) | | | 10-77 |
| } | | | (使用禁止領域) | | | |
| H'0080 0290 | | | TOP5カウンタ (TOP5CT) | | | 10-75 |
| H'0080 0292 | | | TOP5リロードレジスタ (TOP5RL) | | | 10-76 |
| H'0080 0294 | | | (使用禁止領域) | | | |
| H'0080 0296 | | | TOP5補正レジスタ (TOP5CC) | | | 10-77 |
| H'0080 0298 | | | (使用禁止領域) | | | |
| H'0080 029A | | | TOP0～5制御レジスタ0 (TOP05CR0) | | | 10-71 |
| H'0080 029C | | (使用禁止領域) | | TOP0～5制御レジスタ1 (TOP05CR1) | | 10-71 |
| } | | | (使用禁止領域) | | | |
| H'0080 02A0 | | | TOP6カウンタ (TOP6CT) | | | 10-75 |
| H'0080 02A2 | | | TOP6リロードレジスタ (TOP6RL) | | | 10-76 |
| H'0080 02A4 | | | (使用禁止領域) | | | |
| H'0080 02A6 | | | TOP6補正レジスタ (TOP6CC) | | | 10-77 |
| H'0080 02A8 | | | (使用禁止領域) | | | |
| H'0080 02AA | | | TOP6.7制御レジスタ (TOP67CR) | | | 10-73 |
| } | | | (使用禁止領域) | | | |
| H'0080 02B0 | | | TOP7カウンタ (TOP7CT) | | | 10-75 |
| H'0080 02B2 | | | TOP7リロードレジスタ (TOP7RL) | | | 10-76 |
| H'0080 02B4 | | | (使用禁止領域) | | | |
| H'0080 02B6 | | | TOP7補正レジスタ (TOP7CC) | | | 10-77 |
| } | | | (使用禁止領域) | | | |

SFR領域のレジスタマップ(6/27)

| 番地 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----------|-------------------------------|-----------------------------|-----|-----------|
| H'0080 02C0 | | TOP8カウンタ (TOP8CT) | | | 10-75 |
| H'0080 02C2 | | TOP8リロードレジスタ (TOP8RL) | | | 10-76 |
| H'0080 02C4 | | (使用禁止領域) | | | |
| H'0080 02C6 | | TOP8補正レジスタ (TOP8CC) | | | 10-77 |
| } | | (使用禁止領域) | | | |
| H'0080 02D0 | | TOP9カウンタ (TOP9CT) | | | 10-75 |
| H'0080 02D2 | | TOP9リロードレジスタ (TOP9RL) | | | 10-76 |
| H'0080 02D4 | | (使用禁止領域) | | | |
| H'0080 02D6 | | TOP9補正レジスタ (TOP9CC) | | | 10-77 |
| } | | (使用禁止領域) | | | |
| H'0080 02E0 | | TOP10カウンタ (TOP10CT) | | | 10-75 |
| H'0080 02E2 | | TOP10リロードレジスタ (TOP10RL) | | | 10-76 |
| H'0080 02E4 | | (使用禁止領域) | | | |
| H'0080 02E6 | | TOP10補正レジスタ (TOP10CC) | | | 10-77 |
| H'0080 02E8 | | (使用禁止領域) | | | |
| H'0080 02EA | | TOP8～10制御レジスタ (TOP810CR) | | | 10-74 |
| } | | (使用禁止領域) | | | |
| H'0080 02FA | | TOP外部イネーブル許可レジスタ (TOPEEN) | | | 10-78 |
| H'0080 02FC | | TOPイネーブルプロテクトレジスタ (TOPPRO) | | | 10-78 |
| H'0080 02FE | | TOPカウンタイネーブルレジスタ (TOPCEN) | | | 10-79 |
| H'0080 0300 | | TIO0カウンタ (TIO0CT) | | | 10-109 |
| H'0080 0302 | | (使用禁止領域) | | | |
| H'0080 0304 | | TIO0リロード1レジスタ (TIO0RL1) | | | 10-111 |
| H'0080 0306 | | TIO0リロード0/計測レジスタ (TIO0RL0) | | | 10-110 |
| } | | (使用禁止領域) | | | |
| H'0080 0310 | | TIO1カウンタ (TIO1CT) | | | 10-109 |
| H'0080 0312 | | (使用禁止領域) | | | |
| H'0080 0314 | | TIO1リロード1レジスタ (TIO1RL1) | | | 10-111 |
| H'0080 0316 | | TIO1リロード0/計測レジスタ (TIO1RL0) | | | 10-110 |
| H'0080 0318 | | (使用禁止領域) | | | |
| H'0080 031A | | TIO0～3制御レジスタ0 (TIO03CR0) | | | 10-102 |
| H'0080 031C | (使用禁止領域) | | TIO0～3制御レジスタ1 (TIO03CR1) | | 10-103 |
| } | | (使用禁止領域) | | | |
| H'0080 0320 | | TIO2カウンタ (TIO2CT) | | | 10-109 |
| H'0080 0322 | | (使用禁止領域) | | | |

SFR領域のレジスタマップ(7/27)

| 番地 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|------------------------|-------------------------------|------------------------|-----|------------------|
| H'0080 0324 | | TIO2リロード1レジスタ (TIO2RL1) | | | 10-111 |
| H'0080 0326 | | TIO2リロード0/計測レジスタ (TIO2RL0) | | | 10-110 |
| | | (使用禁止領域) | | | |
| H'0080 0330 | | TIO3カウンタ (TIO3CT) | | | 10-109 |
| H'0080 0332 | | (使用禁止領域) | | | |
| H'0080 0334 | | TIO3リロード1レジスタ (TIO3RL1) | | | 10-111 |
| H'0080 0336 | | TIO3リロード0/計測レジスタ (TIO3RL0) | | | 10-110 |
| | | (使用禁止領域) | | | |
| H'0080 0340 | | TIO4カウンタ (TIO4CT) | | | 10-109 |
| H'0080 0343 | | (使用禁止領域) | | | |
| H'0080 0344 | | TIO4リロード1レジスタ (TIO4RL1) | | | 10-111 |
| H'0080 0346 | | TIO4リロード0/計測レジスタ (TIO4RL0) | | | 10-110 |
| H'0080 0348 | | (使用禁止領域) | | | |
| H'0080 034A | TIO4制御レジスタ (TIO4CR) | | TIO5制御レジスタ (TIO5CR) | | 10-104 10-106 |
| | | (使用禁止領域) | | | |
| H'0080 0350 | | TIO5カウンタ (TIO5CT) | | | 10-109 |
| H'0080 0352 | | (使用禁止領域) | | | |
| H'0080 0354 | | TIO5リロード1レジスタ (TIO5RL1) | | | 10-111 |
| H'0080 0356 | | TIO5リロード0/計測レジスタ (TIO5RL0) | | | 10-110 |
| | | (使用禁止領域) | | | |
| H'0080 0360 | | TIO6カウンタ (TIO6CT) | | | 10-109 |
| H'0080 0362 | | (使用禁止領域) | | | |
| H'0080 0364 | | TIO6リロード1レジスタ (TIO6RL1) | | | 10-111 |
| H'0080 0366 | | TIO6リロード0/計測レジスタ (TIO6RL0) | | | 10-110 |
| H'0080 0368 | | (使用禁止領域) | | | |
| H'0080 036A | TIO6制御レジスタ (TIO6CR) | | TIO7制御レジスタ (TIO7CR) | | 10-107 10-108 |
| | | (使用禁止領域) | | | |
| H'0080 0370 | | TIO7カウンタ (TIO7CT) | | | 10-109 |
| H'0080 0372 | | (使用禁止領域) | | | |
| H'0080 0374 | | TIO7リロード1レジスタ (TIO7RL1) | | | 10-111 |
| H'0080 0376 | | TIO7リロード0/計測レジスタ (TIO7RL0) | | | 10-110 |
| | | (使用禁止領域) | | | |
| H'0080 0380 | | TIO8カウンタ (TIO8CT) | | | 10-109 |
| H'0080 0382 | | (使用禁止領域) | | | |
| H'0080 0384 | | TIO8リロード1レジスタ (TIO8RL1) | | | 10-111 |

SFR領域のレジスタマップ(8/27)

| 番地 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|-------------------------------|-------|------------------------|-----|------------------|
| H'0080 0386 | TIO8リロード0/計測レジスタ (TIO8RL0) | | | | 10-110 |
| H'0080 0388 | (使用禁止領域) | | | | |
| H'0080 038A | TIO8制御レジスタ (TIO8CR) | | TIO9制御レジスタ (TIO9CR) | | 10-108 10-109 |
| } | (使用禁止領域) | | | | |
| H'0080 0390 | TIO9カウンタ (TIO9CT) | | | | 10-109 |
| H'0080 0392 | (使用禁止領域) | | | | |
| H'0080 0394 | TIO9リロード1レジスタ (TIO9RL1) | | | | 10-111 |
| H'0080 0396 | TIO9リロード0/計測レジスタ (TIO9RL0) | | | | 10-110 |
| } | (使用禁止領域) | | | | |
| H'0080 03BC | TIOイネーブルプロテクトレジスタ (TIOPRO) | | | | 10-112 |
| H'0080 03BE | TIOカウントイネーブルレジスタ (TIOCEN) | | | | 10-113 |
| H'0080 03C0 | TMS0カウンタ (TMS0CT) | | | | 10-130 |
| H'0080 03C2 | TMS0計測3レジスタ (TMS0MR3) | | | | 10-130 |
| H'0080 03C4 | TMS0計測2レジスタ (TMS0MR2) | | | | 10-130 |
| H'0080 03C6 | TMS0計測1レジスタ (TMS0MR1) | | | | 10-130 |
| H'0080 03C8 | TMS0計測0レジスタ (TMS0MR0) | | | | 10-130 |
| H'0080 03CA | TMS0制御レジスタ (TMS0CR) | | TMS1制御レジスタ (TMS1CR) | | 10-129 |
| } | (使用禁止領域) | | | | |
| H'0080 03D0 | TMS1カウンタ (TMS1CT) | | | | 10-130 |
| H'0080 03D2 | TMS1計測3レジスタ (TMS1MR3) | | | | 10-130 |
| H'0080 03D4 | TMS1計測2レジスタ (TMS1MR2) | | | | 10-130 |
| H'0080 03D6 | TMS1計測1レジスタ (TMS1MR1) | | | | 10-130 |
| H'0080 03D8 | TMS1計測0レジスタ (TMS1MR0) | | | | 10-130 |
| } | (使用禁止領域) | | | | |
| H'0080 03E0 | TML0カウンタ (TML0CT) | | (上位) | | 10-135 |
| H'0080 03E2 | | | (下位) | | |
| } | (使用禁止領域) | | | | |
| H'0080 03EA | (使用禁止領域) | | TML0制御レジスタ (TML0CR) | | 10-134 |
| } | (使用禁止領域) | | | | |
| H'0080 03F0 | TML0計測3レジスタ (TML0MR3) | | (上位) | | 10-135 |
| H'0080 03F2 | | | (下位) | | |
| H'0080 03F4 | TML0計測2レジスタ (TML0MR2) | | (上位) | | 10-135 |
| H'0080 03F6 | | | (下位) | | |
| H'0080 03F8 | TML0計測1レジスタ (TML0MR1) | | (上位) | | 10-135 |
| H'0080 03FA | | | (下位) | | |

SFR領域のレジスタマップ(9/27)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載ページ |
|-------------|-------------------------------------|-------|-----------------------------------|----|-------|-----|--------------|
| H'0080 03FC | TMO計測0レジスタ (TMO0MR0) | | (上位) | | | | 10-135 |
| H'0080 03FE | | | (下位) | | | | |
| H'0080 0400 | DMA0～4割り込み要求ステータスレジスタ (DM04ITST) | | DMA0～4割り込み要求マスクレジスタ (DM04ITMK) | | | | 9-24 9-25 |
| } | (使用禁止領域) | | | | | | |
| H'0080 0408 | DMA5～9割り込み要求ステータスレジスタ (DM59ITST) | | DMA5～9割り込み要求マスクレジスタ (DM59ITMK) | | | | 9-24 9-25 |
| } | (使用禁止領域) | | | | | | |
| H'0080 0410 | DMA0チャンネル制御レジスタ0 (DM0CNT0) | | DMA0チャンネル制御レジスタ1 (DM0CNT1) | | | | 9-6 |
| H'0080 0412 | DMA0ソースアドレスレジスタ (DM0SA) | | | | | | 9-19 |
| H'0080 0414 | DMA0デスティネーションアドレスレジスタ (DM0DA) | | | | | | 9-20 |
| H'0080 0416 | DMA0転送カウントレジスタ (DM0TCT) | | | | | | 9-21 |
| H'0080 0418 | DMA5チャンネル制御レジスタ0 (DM5CNT0) | | DMA5チャンネル制御レジスタ1 (DM5CNT1) | | | | 9-11 |
| H'0080 041A | DMA5ソースアドレスレジスタ (DM5SA) | | | | | | 9-19 |
| H'0080 041C | DMA5デスティネーションアドレスレジスタ (DM5DA) | | | | | | 9-20 |
| H'0080 041E | DMA5転送カウントレジスタ (DM5TCT) | | | | | | 9-21 |
| H'0080 0420 | DMA1チャンネル制御レジスタ0 (DM1CNT0) | | DMA1チャンネル制御レジスタ1 (DM1CNT1) | | | | 9-7 |
| H'0080 0422 | DMA1ソースアドレスレジスタ (DM1SA) | | | | | | 9-19 |
| H'0080 0424 | DMA1デスティネーションアドレスレジスタ (DM1DA) | | | | | | 9-20 |
| H'0080 0426 | DMA1転送カウントレジスタ (DM1TCT) | | | | | | 9-21 |
| H'0080 0428 | DMA6チャンネル制御レジスタ0 (DM6CNT0) | | DMA6チャンネル制御レジスタ1 (DM6CNT1) | | | | 9-12 |
| H'0080 042A | DMA6ソースアドレスレジスタ (DM6SA) | | | | | | 9-19 |
| H'0080 042C | DMA6デスティネーションアドレスレジスタ (DM6DA) | | | | | | 9-20 |
| H'0080 042E | DMA6転送カウントレジスタ (DM6TCT) | | | | | | 9-21 |
| H'0080 0430 | DMA2チャンネル制御レジスタ0 (DM2CNT0) | | DMA2チャンネル制御レジスタ1 (DM2CNT1) | | | | 9-8 |
| H'0080 0432 | DMA2ソースアドレスレジスタ (DM2SA) | | | | | | 9-19 |
| H'0080 0434 | DMA2デスティネーションアドレスレジスタ (DM2DA) | | | | | | 9-20 |
| H'0080 0436 | DMA2転送カウントレジスタ (DM2TCT) | | | | | | 9-21 |
| H'0080 0438 | DMA7チャンネル制御レジスタ0 (DM7CNT0) | | DMA7チャンネル制御レジスタ1 (DM7CNT1) | | | | 9-13 |
| H'0080 043A | DMA7ソースアドレスレジスタ (DM7SA) | | | | | | 9-19 |
| H'0080 043C | DMA7デスティネーションアドレスレジスタ (DM7DA) | | | | | | 9-20 |
| H'0080 043E | DMA7転送カウントレジスタ (DM7TCT) | | | | | | 9-21 |
| H'0080 0440 | DMA3チャンネル制御レジスタ0 (DM3CNT0) | | DMA3チャンネル制御レジスタ1 (DM3CNT1) | | | | 9-9 |
| H'0080 0442 | DMA3ソースアドレスレジスタ (DM3SA) | | | | | | 9-19 |
| H'0080 0444 | DMA3デスティネーションアドレスレジスタ (DM3DA) | | | | | | 9-20 |
| H'0080 0446 | DMA3転送カウントレジスタ (DM3TCT) | | | | | | 9-21 |
| H'0080 0448 | DMA8チャンネル制御レジスタ0 (DM8CNT0) | | DMA8チャンネル制御レジスタ1 (DM8CNT1) | | | | 9-14 |

SFR領域のレジスタマップ(10/27)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|----------------------------------|-------------------------------|-----------|
| | b0 | b7 b8 | b15 |
| H'0080 044A | DMA8ソースアドレスレジスタ (DM8SA) | | 9-19 |
| H'0080 044C | DMA8デスティネーションアドレスレジスタ (DM8DA) | | 9-20 |
| H'0080 044E | DMA8転送カウントレジスタ (DM8TCT) | | 9-21 |
| H'0080 0450 | DMA4チャンネル制御レジスタ0 (DM4CNT0) | DMA4チャンネル制御レジスタ1 (DM4CNT1) | 9-10 |
| H'0080 0452 | DMA4ソースアドレスレジスタ (DM4SA) | | 9-19 |
| H'0080 0454 | DMA4デスティネーションアドレスレジスタ (DM4DA) | | 9-20 |
| H'0080 0456 | DMA4転送カウントレジスタ (DM4TCT) | | 9-21 |
| H'0080 0458 | DMA9チャンネル制御レジスタ0 (DM9CNT0) | DMA9チャンネル制御レジスタ1 (DM9CNT1) | 9-15 |
| H'0080 045A | DMA9ソースアドレスレジスタ (DM9SA) | | 9-19 |
| H'0080 045C | DMA9デスティネーションアドレスレジスタ (DM9DA) | | 9-20 |
| H'0080 045E | DMA9転送カウントレジスタ (DM9TCT) | | 9-21 |
| H'0080 0460 | DMA0ソフトウェア要求発生レジスタ (DM0SRI) | | 9-18 |
| H'0080 0462 | DMA1ソフトウェア要求発生レジスタ (DM1SRI) | | 9-18 |
| H'0080 0464 | DMA2ソフトウェア要求発生レジスタ (DM2SRI) | | 9-18 |
| H'0080 0466 | DMA3ソフトウェア要求発生レジスタ (DM3SRI) | | 9-18 |
| H'0080 0468 | DMA4ソフトウェア要求発生レジスタ (DM4SRI) | | 9-18 |
| } | (使用禁止領域) | | |
| H'0080 0470 | DMA5ソフトウェア要求発生レジスタ (DM5SRI) | | 9-18 |
| H'0080 0472 | DMA6ソフトウェア要求発生レジスタ (DM6SRI) | | 9-18 |
| H'0080 0474 | DMA7ソフトウェア要求発生レジスタ (DM7SRI) | | 9-18 |
| H'0080 0476 | DMA8ソフトウェア要求発生レジスタ (DM8SRI) | | 9-18 |
| H'0080 0478 | DMA9ソフトウェア要求発生レジスタ (DM9SRI) | | 9-18 |
| } | (使用禁止領域) | | |
| H'0080 0700 | P0データレジスタ (P0DATA) | P1データレジスタ (P1DATA) | 8-7 |
| H'0080 0702 | P2データレジスタ (P2DATA) | P3データレジスタ (P3DATA) | 8-7 |
| H'0080 0704 | P4データレジスタ (P4DATA) | (使用禁止領域) | 8-7 |
| H'0080 0706 | P6データレジスタ (P6DATA) | P7データレジスタ (P7DATA) | 8-7 |
| H'0080 0708 | P8データレジスタ (P8DATA) | P9データレジスタ (P9DATA) | 8-7 |
| H'0080 070A | P10データレジスタ (P10DATA) | P11データレジスタ (P11DATA) | 8-7 |
| H'0080 070C | P12データレジスタ (P12DATA) | P13データレジスタ (P13DATA) | 8-7 |
| H'0080 070E | P14データレジスタ (P14DATA) | P15データレジスタ (P15DATA) | 8-7 |
| H'0080 0710 | P16データレジスタ (P16DATA) | P17データレジスタ (P17DATA) | 8-7 |
| H'0080 0712 | P18データレジスタ (P18DATA) | P19データレジスタ (P19DATA) | 8-7 |
| H'0080 0714 | P20データレジスタ (P20DATA) | P21データレジスタ (P21DATA) | 8-7 |
| H'0080 0716 | P22データレジスタ (P22DATA) | (使用禁止領域) | 8-7 |

SFR領域のレジスタマップ(11/27)

| 番地 | + 0番地 | + 1番地 | 掲載ページ | |
|-------------|------------------------------------|-------|------------------------------------|--------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0720 | P0方向レジスタ (P0DIR) | | P1方向レジスタ (P1DIR) | 8-8 |
| H'0080 0722 | P2方向レジスタ (P2DIR) | | P3方向レジスタ (P3DIR) | 8-8 |
| H'0080 0724 | P4方向レジスタ (P4DIR) | | (使用禁止領域) | 8-8 |
| H'0080 0726 | P6方向レジスタ (P6DIR) | | P7方向レジスタ (P7DIR) | 8-8 |
| H'0080 0728 | P8方向レジスタ (P8DIR) | | P9方向レジスタ (P9DIR) | 8-8 |
| H'0080 072A | P10方向レジスタ (P10DIR) | | P11方向レジスタ (P11DIR) | 8-8 |
| H'0080 072C | P12方向レジスタ (P12DIR) | | P13方向レジスタ (P13DIR) | 8-8 |
| H'0080 072E | P14方向レジスタ (P14DIR) | | P15方向レジスタ (P15DIR) | 8-8 |
| H'0080 0730 | P16方向レジスタ (P16DIR) | | P17方向レジスタ (P17DIR) | 8-8 |
| H'0080 0732 | P18方向レジスタ (P18DIR) | | P19方向レジスタ (P19DIR) | 8-8 |
| H'0080 0734 | P20方向レジスタ (P20DIR) | | P21方向レジスタ (P21DIR) | 8-8 |
| H'0080 0736 | P22方向レジスタ (P22DIR) | | (使用禁止領域) | 8-8 |
| } | (使用禁止領域) | | | |
| H'0080 0740 | P0動作モードレジスタ (P0MOD) | | P1動作モードレジスタ (P1MOD) | 8-9 |
| H'0080 0742 | P2動作モードレジスタ (P2MOD) | | P3動作モードレジスタ (P3MOD) | 8-10 |
| H'0080 0744 | P4動作モードレジスタ (P4MOD) | | ポート入力特別機能制御レジスタ (PICNT) | 8-11 8-21 |
| H'0080 0746 | P6動作モードレジスタ (P6MOD) | | P7動作モードレジスタ (P7MOD) | 8-11 8-12 |
| H'0080 0748 | P8動作モードレジスタ (P8MOD) | | P9動作モードレジスタ (P9MOD) | 8-12 8-13 |
| H'0080 074A | P10動作モードレジスタ (P10MOD) | | P11動作モードレジスタ (P11MOD) | 8-13 8-14 |
| H'0080 074C | P12動作モードレジスタ (P12MOD) | | P13動作モードレジスタ (P13MOD) | 8-14 8-15 |
| H'0080 074E | P14動作モードレジスタ (P14MOD) | | P15動作モードレジスタ (P15MOD) | 8-15 8-16 |
| H'0080 0750 | P16動作モードレジスタ (P16MOD) | | P17動作モードレジスタ (P17MOD) | 8-16 8-17 |
| H'0080 0752 | P18動作モードレジスタ (P18MOD) | | P19動作モードレジスタ (P19MOD) | 8-17 8-18 |
| H'0080 0754 | P20動作モードレジスタ (P20MOD) | | P21動作モードレジスタ (P21MOD) | 8-18 8-19 |
| H'0080 0756 | P22動作モードレジスタ (P22MOD) | | (使用禁止領域) | 8-19 |
| } | (使用禁止領域) | | | |
| H'0080 0760 | ポートグループ0,1入力レベル設定レジスタ (PG01LEV) | | ポートグループ2,3入力レベル設定レジスタ (PG23LEV) | 8-25 |
| H'0080 0762 | ポートグループ4,5入力レベル設定レジスタ (PG45LEV) | | ポートグループ6,7入力レベル設定レジスタ (PG67LEV) | 8-25 |
| H'0080 0764 | ポートグループ8入力レベル設定レジスタ (PG8LEV) | | (使用禁止領域) | 8-25 |
| } | (使用禁止領域) | | | |
| H'0080 076A | P10周辺出力選択レジスタ (P10SMOD) | | (使用禁止領域) | 8-20 |
| } | (使用禁止領域) | | | |
| H'0080 0776 | P22周辺出力選択レジスタ (P22SMOD) | | (使用禁止領域) | 8-20 |
| } | (使用禁止領域) | | | |
| H'0080 077E | (使用禁止領域) | | バスモード制御レジスタ (BUSMODC) | 15-9 |

SFR領域のレジスタマップ(12/27)

| 番地 | +0番地 | +1番地 | 掲載ページ | |
|-------------|------------------------------|------------------------------|--------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0780 | PWM出力0禁止制御レジスタ (PO0DISCR) | | PWM出力0禁止レベル制御レジスタ (PO0LVCR) | 10-174 10-177 |
| H'0080 0782 | PWM出力1禁止制御レジスタ (PO1DISCR) | | PWM出力1禁止レベル制御レジスタ (PO1LVCR) | 10-174 10-177 |
| H'0080 0784 | PWM出力2禁止制御レジスタ (PO2DISCR) | | PWM出力2禁止レベル制御レジスタ (PO2LVCR) | 10-175 10-177 |
| H'0080 0786 | クロック制御レジスタ (CLKCR) | | (使用禁止領域) | 18-5 |
| | (使用禁止領域) | | | |
| H'0080 078C | | TID0カウンタ (TID0CT) | | 10-144 |
| H'0080 078E | | TID0リロードレジスタ (TID0RL) | | 10-144 |
| H'0080 0790 | | TOU0_0カウンタ (TOU00CTW) | (上位) (TOU00CTH) | 10-161 |
| H'0080 0792 | | | (下位) (TOU00CT) | 10-163 |
| H'0080 0794 | | TOU0_0リロードレジスタ (TOU00RLW) | TOU0_0リロード1レジスタ (TOU00RL1) | 10-164 10-167 |
| H'0080 0796 | | | TOU0_0リロード0レジスタ (TOU00RL0) | 10-166 |
| H'0080 0798 | | TOU0_1カウンタ (TOU01CTW) | (上位) (TOU01CTH) | 10-161 |
| H'0080 079A | | | (下位) (TOU01CT) | 10-163 |
| H'0080 079C | | TOU0_1リロードレジスタ (TOU01RLW) | TOU0_1リロード1レジスタ (TOU01RL1) | 10-164 10-167 |
| H'0080 079E | | | TOU0_1リロード0レジスタ (TOU01RL0) | 10-166 |
| H'0080 07A0 | | TOU0_2カウンタ (TOU02CTW) | (上位) (TOU02CTH) | 10-161 |
| H'0080 07A2 | | | (下位) (TOU02CT) | 10-163 |
| H'0080 07A4 | | TOU0_2リロードレジスタ (TOU02RLW) | TOU0_2リロード1レジスタ (TOU02RL1) | 10-164 10-167 |
| H'0080 07A6 | | | TOU0_2リロード0レジスタ (TOU02RL0) | 10-166 |
| H'0080 07A8 | | TOU0_3カウンタ (TOU03CTW) | (上位) (TOU03CTH) | 10-161 |
| H'0080 07AA | | | (下位) (TOU03CT) | 10-163 |
| H'0080 07AC | | TOU0_3リロードレジスタ (TOU03RLW) | TOU0_3リロード1レジスタ (TOU03RL1) | 10-164 10-167 |
| H'0080 07AE | | | TOU0_3リロード0レジスタ (TOU03RL0) | 10-166 |
| H'0080 07B0 | | TOU0_4カウンタ (TOU04CTW) | (上位) (TOU04CTH) | 10-161 |
| H'0080 07B2 | | | (下位) (TOU04CT) | 10-163 |
| H'0080 07B4 | | TOU0_4リロードレジスタ (TOU04RLW) | TOU0_4リロード1レジスタ (TOU04RL1) | 10-164 10-167 |
| H'0080 07B6 | | | TOU0_4リロード0レジスタ (TOU04RL0) | 10-166 |
| H'0080 07B8 | | TOU0_5カウンタ (TOU05CTW) | (上位) (TOU05CTH) | 10-161 |
| H'0080 07BA | | | (下位) (TOU05CT) | 10-163 |
| H'0080 07BC | | TOU0_5リロードレジスタ (TOU05RLW) | TOU0_5リロード1レジスタ (TOU05RL1) | 10-164 10-167 |
| H'0080 07BE | | | TOU0_5リロード0レジスタ (TOU05RL0) | 10-166 |
| H'0080 07C0 | | TOU0_6カウンタ (TOU06CTW) | (上位) (TOU06CTH) | 10-161 |
| H'0080 07C2 | | | (下位) (TOU06CT) | 10-163 |

SFR領域のレジスタマップ(13/27)

| 番地 | + 0番地 | + 1番地 | 掲載ページ | |
|-------------|---------------------------------------|---|-------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 07C4 | TOU0_6リロードレジスタ (TOU06RLW) | | TOU0_6リロード1レジスタ (TOU06RL1) | 10-164 10-167 |
| H'0080 07C6 | | | TOU0_6リロード0レジスタ (TOU06RL0) | 10-166 |
| H'0080 07C8 | TOU0_7カウンタ (TOU07CTW) | | (上位) (TOU07CTH) | 10-161 |
| H'0080 07CA | | | (下位) (TOU07CT) | 10-163 |
| H'0080 07CC | TOU0_7リロードレジスタ (TOU07RLW) | | TOU0_7リロード1レジスタ (TOU07RL1) | 10-164 10-167 |
| H'0080 07CE | | | TOU0_7リロード0レジスタ (TOU07RL0) | 10-166 |
| H'0080 07D0 | プリスケアラレジスタ3 (PRS3) | TID0制御&プリスケアラ3インーブルレジスタ (TID0PRS3EN) | | 10-12 10-141 |
| H'0080 07D2 | TOU0割り込み要求マスクレジスタ (TOU0IMA) | TOU0割り込み要求ステータスレジスタ (TOU0IST) | | 10-58 |
| H'0080 07D4 | (使用禁止領域) | F/F21~28プロテクトレジスタ (FF2128P) | | 10-31 |
| H'0080 07D6 | (使用禁止領域) | F/F21~28データレジスタ (FF2128D) | | 10-33 |
| H'0080 07D8 | TOU0制御レジスタ1 (TOU0CR1) | | | 10-158 |
| H'0080 07DA | TOU0制御レジスタ0 (TOU0CR0) | | | 10-158 |
| H'0080 07DC | (使用禁止領域) | TOU0インーブルプロテクトレジスタ (TOU0PRO) | | 10-168 |
| H'0080 07DE | (使用禁止領域) | TOU0カウンタインーブルレジスタ (TOU0CEN) | | 10-169 |
| H'0080 07E0 | PWMOFF0入力処理制御レジスタ (PWMOFF0CR) | TIN24,25入力処理制御レジスタ (TIN2425CR) | | 10-25 10-171 |
| H'0080 07E2 | TIN24,25割り込み要求マスクレジスタ (TIN2425IMA) | TIN24,25割り込み要求ステータスレジスタ (TIN2425IST) | | 10-53 |
| } | (使用禁止領域) | | | |
| H'0080 0A00 | SIO45割り込み要求ステータスレジスタ (SI45STAT) | SIO45割り込み要求許可レジスタ (SI45EN) | | 12-9 12-10 |
| H'0080 0A02 | SIO45割り込み要求要因選択レジスタ (SI45SEL) | (使用禁止領域) | | 12-11 |
| } | (使用禁止領域) | | | |
| H'0080 0A10 | SIO4送信制御レジスタ (S4TCNT) | SIO4送受信モードレジスタ (S4MOD) | | 12-14 12-15 |
| H'0080 0A12 | SIO4送信バッファレジスタ (S4TXB) | | | 12-18 |
| H'0080 0A14 | SIO4受信バッファレジスタ (S4RXB) | | | 12-19 |
| H'0080 0A16 | SIO4受信制御レジスタ (S4RCNT) | SIO4ポーレートレジスタ (S4BAUR) | | 12-20 12-23 |
| } | (使用禁止領域) | | | |
| H'0080 0A20 | SIO5送信制御レジスタ (S5TCNT) | SIO5送受信モードレジスタ (S5MOD) | | 12-14 12-15 |
| H'0080 0A22 | SIO5送信バッファレジスタ (S5TXB) | | | 12-18 |
| H'0080 0A24 | SIO5受信バッファレジスタ (S5RXB) | | | 12-19 |
| H'0080 0A26 | SIO5受信制御レジスタ (S5RCNT) | SIO5ポーレートレジスタ (S5BAUR) | | 12-20 12-23 |
| } | (使用禁止領域) | | | |
| H'0080 0A80 | A-D1単一モードレジスタ0 (AD1SIM0) | A-D1単一モードレジスタ1 (AD1SIM1) | | 11-16 11-18 |
| H'0080 0A82 | (使用禁止領域) | | | |
| H'0080 0A84 | A-D1スキャンモードレジスタ0 (AD1SCM0) | A-D1スキャンモードレジスタ1 (AD1SCM1) | | 11-20 11-22 |
| H'0080 0A86 | A-D1断線検出アシスト機能制御レジスタ (AD1DDACR) | A-D1変換速度制御レジスタ (AD1CVSCR) | | 11-25 11-24 |
| H'0080 0A88 | A-D1逐次近似レジスタ (AD1SAR) | | | 11-29 |

SFR領域のレジスタマップ(14/27)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|-------------------------------------|---------------------------------|-----------|
| | b0 | b7 b8 | b15 |
| H'0080 0A8A | A-D1断線検出アシスト方式選択レジスタ (AD1DDASEL) | | 11-26 |
| H'0080 0A8C | A-D1コンパレートデータレジスタ (AD1CMP) | | 11-30 |
| H'0080 0A8E | (使用禁止領域) | | |
| H'0080 0A90 | 10ビットA-D1データレジスタ0 (AD1DT0) | | 11-31 |
| H'0080 0A92 | 10ビットA-D1データレジスタ1 (AD1DT1) | | 11-31 |
| H'0080 0A94 | 10ビットA-D1データレジスタ2 (AD1DT2) | | 11-31 |
| H'0080 0A96 | 10ビットA-D1データレジスタ3 (AD1DT3) | | 11-31 |
| H'0080 0A98 | 10ビットA-D1データレジスタ4 (AD1DT4) | | 11-31 |
| H'0080 0A9A | 10ビットA-D1データレジスタ5 (AD1DT5) | | 11-31 |
| H'0080 0A9C | 10ビットA-D1データレジスタ6 (AD1DT6) | | 11-31 |
| H'0080 0A9E | 10ビットA-D1データレジスタ7 (AD1DT7) | | 11-31 |
| H'0080 0AA0 | 10ビットA-D1データレジスタ8 (AD1DT8) | | 11-31 |
| H'0080 0AA2 | 10ビットA-D1データレジスタ9 (AD1DT9) | | 11-31 |
| H'0080 0AA4 | 10ビットA-D1データレジスタ10 (AD1DT10) | | 11-31 |
| H'0080 0AA6 | 10ビットA-D1データレジスタ11 (AD1DT11) | | 11-31 |
| H'0080 0AA8 | 10ビットA-D1データレジスタ12 (AD1DT12) | | 11-31 |
| H'0080 0AAA | 10ビットA-D1データレジスタ13 (AD1DT13) | | 11-31 |
| H'0080 0AAC | 10ビットA-D1データレジスタ14 (AD1DT14) | | 11-31 |
| H'0080 0AAE | 10ビットA-D1データレジスタ15 (AD1DT15) | | 11-31 |
| } | (使用禁止領域) | | |
| H'0080 0AD0 | (使用禁止領域) | 8ビットA-D1データレジスタ0 (AD18DT0) | 11-32 |
| H'0080 0AD2 | (使用禁止領域) | 8ビットA-D1データレジスタ1 (AD18DT1) | 11-32 |
| H'0080 0AD4 | (使用禁止領域) | 8ビットA-D1データレジスタ2 (AD18DT2) | 11-32 |
| H'0080 0AD6 | (使用禁止領域) | 8ビットA-D1データレジスタ3 (AD18DT3) | 11-32 |
| H'0080 0AD8 | (使用禁止領域) | 8ビットA-D1データレジスタ4 (AD18DT4) | 11-32 |
| H'0080 0ADA | (使用禁止領域) | 8ビットA-D1データレジスタ5 (AD18DT5) | 11-32 |
| H'0080 0ADC | (使用禁止領域) | 8ビットA-D1データレジスタ6 (AD18DT6) | 11-32 |
| H'0080 0ADE | (使用禁止領域) | 8ビットA-D1データレジスタ7 (AD18DT7) | 11-32 |
| H'0080 0AE0 | (使用禁止領域) | 8ビットA-D1データレジスタ8 (AD18DT8) | 11-32 |
| H'0080 0AE2 | (使用禁止領域) | 8ビットA-D1データレジスタ9 (AD18DT9) | 11-32 |
| H'0080 0AE4 | (使用禁止領域) | 8ビットA-D1データレジスタ10 (AD18DT10) | 11-32 |
| H'0080 0AE6 | (使用禁止領域) | 8ビットA-D1データレジスタ11 (AD18DT11) | 11-32 |
| H'0080 0AE8 | (使用禁止領域) | 8ビットA-D1データレジスタ12 (AD18DT12) | 11-32 |
| H'0080 0AEA | (使用禁止領域) | 8ビットA-D1データレジスタ13 (AD18DT13) | 11-32 |
| H'0080 0AEC | (使用禁止領域) | 8ビットA-D1データレジスタ14 (AD18DT14) | 11-32 |

SFR領域のレジスタマップ(15/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|------------------------------|---------------------------------|------------------|
| | b0 | b7 b8 | b15 |
| H'0080 0AEE | (使用禁止領域) | 8ビットA-D1データレジスタ15 (AD18DT15) | 11-32 |
| } | (使用禁止領域) | | |
| H'0080 0B8C | TID1カウンタ (TID1CT) | | 10-144 |
| H'0080 0B8E | TID1リロードレジスタ (TID1RL) | | 10-144 |
| H'0080 0B90 | TOU1_0カウンタ (TOU10CTW) | (上位) (TOU10CTH) | 10-161 |
| H'0080 0B92 | ----- | (下位) (TOU10CT) | 10-163 |
| H'0080 0B94 | TOU1_0リロードレジスタ (TOU10RLW) | TOU1_0リロード1レジスタ (TOU10RL1) | 10-164 10-167 |
| H'0080 0B96 | ----- | TOU1_0リロード0レジスタ (TOU10RL0) | 10-166 |
| H'0080 0B98 | TOU1_1カウンタ (TOU11CTW) | (上位) (TOU11CTH) | 10-161 |
| H'0080 0B9A | ----- | (下位) (TOU11CT) | 10-163 |
| H'0080 0B9C | TOU1_1リロードレジスタ (TOU11RLW) | TOU1_1リロード1レジスタ (TOU11RL1) | 10-164 10-167 |
| H'0080 0B9E | ----- | TOU1_1リロード0レジスタ (TOU11RL0) | 10-166 |
| H'0080 0BA0 | TOU1_2カウンタ (TOU12CTW) | (上位) (TOU12CTH) | 10-161 |
| H'0080 0BA2 | ----- | (下位) (TOU12CT) | 10-163 |
| H'0080 0BA4 | TOU1_2リロードレジスタ (TOU12RLW) | TOU1_2リロード1レジスタ (TOU12RL1) | 10-164 10-167 |
| H'0080 0BA6 | ----- | TOU1_2リロード0レジスタ (TOU12RL0) | 10-166 |
| H'0080 0BA8 | TOU1_3カウンタ (TOU13CTW) | (上位) (TOU13CTH) | 10-161 |
| H'0080 0BAA | ----- | (下位) (TOU13CT) | 10-163 |
| H'0080 0BAC | TOU1_3リロードレジスタ (TOU13RLW) | TOU1_3リロード1レジスタ (TOU13RL1) | 10-164 10-167 |
| H'0080 0BAE | ----- | TOU1_3リロード0レジスタ (TOU13RL0) | 10-166 |
| H'0080 0BB0 | TOU1_4カウンタ (TOU14CTW) | (上位) (TOU14CTH) | 10-161 |
| H'0080 0BB2 | ----- | (下位) (TOU14CT) | 10-163 |
| H'0080 0BB4 | TOU1_4リロードレジスタ (TOU14RLW) | TOU1_4リロード1レジスタ (TOU14RL1) | 10-164 10-167 |
| H'0080 0BB6 | ----- | TOU1_4リロード0レジスタ (TOU14RL0) | 10-166 |
| H'0080 0BB8 | TOU1_5カウンタ (TOU15CTW) | (上位) (TOU15CTH) | 10-161 |
| H'0080 0BBA | ----- | (下位) (TOU15CT) | 10-163 |
| H'0080 0BBC | TOU1_5リロードレジスタ (TOU15RLW) | TOU1_5リロード1レジスタ (TOU15RL1) | 10-164 10-167 |
| H'0080 0BBE | ----- | TOU1_5リロード0レジスタ (TOU15RL0) | 10-166 |
| H'0080 0BC0 | TOU1_6カウンタ (TOU16CTW) | (上位) (TOU16CTH) | 10-161 |
| H'0080 0BC2 | ----- | (下位) (TOU16CT) | 10-163 |
| H'0080 0BC4 | TOU1_6リロードレジスタ (TOU16RLW) | TOU1_6リロード1レジスタ (TOU16RL1) | 10-164 10-167 |
| H'0080 0BC6 | ----- | TOU1_6リロード0レジスタ (TOU16RL0) | 10-166 |
| H'0080 0BC8 | TOU1_7カウンタ (TOU17CTW) | (上位) (TOU17CTH) | 10-161 |
| H'0080 0BCA | ----- | (下位) (TOU17CT) | 10-163 |

SFR領域のレジスタマップ(16/27)

| 番地 | +0番地 | +1番地 | 掲載ページ | |
|-------------|------------------------------------|-------|--------------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0BCC | TOU1_7リロードレジスタ (TOU17RLW) | | TOU1_7リロード1レジスタ (TOU17RL1) | 10-164 10-167 |
| H'0080 0BCE | | | TOU1_7リロード0レジスタ (TOU17RL0) | 10-166 |
| H'0080 0BD0 | プリスケアラレジスタ4 (PRS4) | | TID1制御&プリスケアラ4イネーブルレジスタ (TID1PRS4EN) | 10-12 10-142 |
| H'0080 0BD2 | TOU1割り込み要求マスクレジスタ (TOU1IMA) | | TOU1割り込み要求ステータスレジスタ (TOU1IST) | 10-60 |
| H'0080 0BD4 | (使用禁止領域) | | F/F29~36プロテクトレジスタ (FF2936P) | 10-31 |
| H'0080 0BD6 | (使用禁止領域) | | F/F29~36データレジスタ (FF2936D) | 10-33 |
| H'0080 0BD8 | TOU1制御レジスタ1 (TOU1CR1) | | | 10-159 |
| H'0080 0BDA | TOU1制御レジスタ0 (TOU1CR0) | | | 10-159 |
| H'0080 0BDC | (使用禁止領域) | | TOU1イネーブルプロテクトレジスタ (TOU1PRO) | 10-168 |
| H'0080 0BDE | (使用禁止領域) | | TOU1カウントイネーブルレジスタ (TOU1CEN) | 10-169 |
| H'0080 0BE0 | PWMOFF1入力処理制御レジスタ (PWMOFF1CR) | | TIN26,27入力処理制御レジスタ (TIN2627CR) | 10-25 10-171 |
| H'0080 0BE2 | TIN26,27割り込み要求マスクレジスタ (TIN2627IMA) | | TIN26,27割り込み要求ステータスレジスタ (TIN2627IST) | 10-54 |
| | (使用禁止領域) | | | |
| H'0080 0C8C | TID2カウンタ (TID2CT) | | | 10-144 |
| H'0080 0C8E | TID2リロードレジスタ (TID2RL) | | | 10-144 |
| H'0080 0C90 | TOU2_0カウンタ (TOU20CTW) | | (上位) (TOU20CTH) | 10-161 |
| H'0080 0C92 | | | (下位) (TOU20CT) | 10-163 |
| H'0080 0C94 | TOU2_0リロードレジスタ (TOU20RLW) | | TOU2_0リロード1レジスタ (TOU20RL1) | 10-164 10-167 |
| H'0080 0C96 | | | TOU2_0リロード0レジスタ (TOU20RL0) | 10-166 |
| H'0080 0C98 | TOU2_1カウンタ (TOU21CTW) | | (上位) (TOU21CTH) | 10-161 |
| H'0080 0C9A | | | (下位) (TOU21CT) | 10-163 |
| H'0080 0C9C | TOU2_1リロードレジスタ (TOU21RLW) | | TOU2_1リロード1レジスタ (TOU21RL1) | 10-164 10-167 |
| H'0080 0C9E | | | TOU2_1リロード0レジスタ (TOU21RL0) | 10-166 |
| H'0080 0CA0 | TOU2_2カウンタ (TOU22CTW) | | (上位) (TOU22CTH) | 10-161 |
| H'0080 0CA2 | | | (下位) (TOU22CT) | 10-163 |
| H'0080 0CA4 | TOU2_2リロードレジスタ (TOU22RLW) | | TOU2_2リロード1レジスタ (TOU22RL1) | 10-164 10-167 |
| H'0080 0CA6 | | | TOU2_2リロード0レジスタ (TOU22RL0) | 10-166 |
| H'0080 0CA8 | TOU2_3カウンタ (TOU23CTW) | | (上位) (TOU23CTH) | 10-161 |
| H'0080 0CAA | | | (下位) (TOU23CT) | 10-163 |
| H'0080 0CAC | TOU2_3リロードレジスタ (TOU23RLW) | | TOU2_3リロード1レジスタ (TOU23RL1) | 10-164 10-167 |
| H'0080 0CAE | | | TOU2_3リロード0レジスタ (TOU23RL0) | 10-166 |
| H'0080 0CB0 | TOU2_4カウンタ (TOU24CTW) | | (上位) (TOU24CTH) | 10-161 |
| H'0080 0CB2 | | | (下位) (TOU24CT) | 10-163 |
| H'0080 0CB4 | TOU2_4リロードレジスタ (TOU24RLW) | | TOU2_4リロード1レジスタ (TOU24RL1) | 10-164 10-167 |
| H'0080 0CB6 | | | TOU2_4リロード0レジスタ (TOU24RL0) | 10-166 |

SFR領域のレジスタマップ(17/27)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ | |
|-------------|---------------------------------------|---|-------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0CB8 | | TOU2_5カウンタ (TOU25CTW) | (上位) (TOU25CTH) | 10-161 |
| H'0080 0CBA | | | (下位) (TOU25CT) | 10-163 |
| H'0080 0CBC | | TOU2_5リロードレジスタ (TOU25RLW) | TOU2_5リロード1レジスタ (TOU25RL1) | 10-164 10-167 |
| H'0080 0CBE | | | TOU2_5リロード0レジスタ (TOU25RL0) | 10-166 |
| H'0080 0CC0 | | TOU2_6カウンタ (TOU26CTW) | (上位) (TOU26CTH) | 10-161 |
| H'0080 0CC2 | | | (下位) (TOU26CT) | 10-163 |
| H'0080 0CC4 | | TOU2_6リロードレジスタ (TOU26RLW) | TOU2_6リロード1レジスタ (TOU26RL1) | 10-164 10-167 |
| H'0080 0CC6 | | | TOU2_6リロード0レジスタ (TOU26RL0) | 10-166 |
| H'0080 0CC8 | | TOU2_7カウンタ (TOU27CTW) | (上位) (TOU27CTH) | 10-161 |
| H'0080 0CCA | | | (下位) (TOU27CT) | 10-163 |
| H'0080 0CCC | | TOU2_7リロードレジスタ (TOU27RLW) | TOU2_7リロード1レジスタ (TOU27RL1) | 10-164 10-167 |
| H'0080 0CCE | | | TOU2_7リロード0レジスタ (TOU27RL0) | 10-166 |
| H'0080 0CD0 | プリスケアラレジスタ5 (PRS5) | TID2制御&プリスケアラ5イネーブルレジスタ (TID2PRS5EN) | | 10-12 10-143 |
| H'0080 0CD2 | TOU2割り込み要求マスクレジスタ (TOU2IMA) | TOU2割り込み要求ステータスレジスタ (TOU2IST) | | 10-61 |
| H'0080 0CD4 | (使用禁止領域) | F/F37~44プロテクトレジスタ (FF3744P) | | 10-31 |
| H'0080 0CD6 | (使用禁止領域) | F/F37~44データレジスタ (FF3744D) | | 10-34 |
| H'0080 0CD8 | | TOU2制御レジスタ1 (TOU2CR1) | | 10-160 |
| H'0080 0CDA | | TOU2制御レジスタ0 (TOU2CR0) | | 10-160 |
| H'0080 0CDC | (使用禁止領域) | TOU2イネーブルプロテクトレジスタ (TOU2PRO) | | 10-168 |
| H'0080 0CDE | (使用禁止領域) | TOU2カウントイネーブルレジスタ (TOU2CEN) | | 10-169 |
| H'0080 0CE0 | PWMOFF2入力処理制御レジスタ (PWMOFF2CR) | TIN28,29入力処理制御レジスタ (TIN2829CR) | | 10-25 10-171 |
| H'0080 0CE2 | TIN28,29割り込み要求マスクレジスタ (TIN2829IMA) | TIN28,29割り込み要求ステータスレジスタ (TIN2829IST) | | 10-54 |
|) | (使用禁止領域) | | | |
| H'0080 0FE0 | | TML1カウンタ (TML1CT) | (上位) | 10-135 |
| H'0080 0FE2 | | | (下位) | |
|) | (使用禁止領域) | | | |
| H'0080 0FEA | (使用禁止領域) | TML1制御レジスタ (TML1CR) | | 10-134 |
|) | (使用禁止領域) | | | |
| H'0080 0FF0 | | TML1計測3レジスタ (TML1MR3) | (上位) | 10-135 |
| H'0080 0FF2 | | | (下位) | |
| H'0080 0FF4 | | TML1計測2レジスタ (TML1MR2) | (上位) | 10-135 |
| H'0080 0FF6 | | | (下位) | |
| H'0080 0FF8 | | TML1計測1レジスタ (TML1MR1) | (上位) | 10-135 |
| H'0080 0FFA | | | (下位) | |

SFR領域のレジスタマップ(18/27)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 0FFC | TML1計測0レジスタ (TML1MR0) | | (上位) 10-135 |
| H'0080 0FFE | (使用禁止領域) | | (下位) |
| H'0080 1000 | CAN0コントロールレジスタ (CAN0CNT) | | 13-15 |
| H'0080 1002 | CAN0ステータスレジスタ (CAN0STAT) | | 13-18 |
| H'0080 1004 | CAN0フレームフォーマット選択レジスタ (CAN0FFS) | | 13-21 |
| H'0080 1006 | CAN0コンフィグレーションレジスタ (CAN0CONF) | | 13-22 |
| H'0080 1008 | CAN0タイムスタンプカウントレジスタ (CAN0TSTMP) | | 13-24 |
| H'0080 100A | CAN0受信エラーカウントレジスタ (CAN0REC) | CAN0送信エラーカウントレジスタ (CAN0TEC) | 13-25 |
| H'0080 100C | CAN0スロット割り込み要求ステータスレジスタ (CAN0SLIST) | | 13-29 |
| H'0080 100E | (使用禁止領域) | | |
| H'0080 1010 | CAN0スロット割り込み要求許可レジスタ (CAN0SLIEN) | | 13-30 |
| H'0080 1012 | (使用禁止領域) | | |
| H'0080 1014 | CAN0エラー割り込み要求ステータスレジスタ (CAN0ERIST) | CAN0エラー割り込み要求許可レジスタ (CAN0ERIEN) | 13-31 13-32 |
| H'0080 1016 | CAN0ボーレートプリスケラ (CAN0BRP) | CAN0エラー要因レジスタ (CAN0EF) | 13-26 13-45 |
| H'0080 1018 | CAN0モードレジスタ (CAN0MOD) | CAN0DMA転送要求選択レジスタ (CAN0DMARQ) | 13-46 13-47 |
| H'0080 1028 | CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0) | CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1) | 13-48 |
| H'0080 102A | CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0) | CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1) | 13-49 |
| H'0080 102C | CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2) | (使用禁止領域) | 13-50 |
| H'0080 102E | (使用禁止領域) | | |
| H'0080 1030 | CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0) | CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1) | 13-48 |
| H'0080 1032 | CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0) | CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1) | 13-49 |
| H'0080 1034 | CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2) | (使用禁止領域) | 13-50 |
| H'0080 1036 | (使用禁止領域) | | |
| H'0080 1038 | CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0) | CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1) | 13-48 |
| H'0080 103A | CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0) | CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1) | 13-49 |
| H'0080 103C | CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2) | (使用禁止領域) | 13-50 |
| H'0080 103E | (使用禁止領域) | | |
| H'0080 1040 | CAN0シングルショットモード制御レジスタ (CAN0SSMODE) | | 13-52 |
| H'0080 1042 | (使用禁止領域) | | |
| H'0080 1044 | CAN0シングルショット割り込み要求ステータスレジスタ (CAN0SSIST) | | 13-33 |
| H'0080 1046 | (使用禁止領域) | | |
| H'0080 1048 | CAN0シングルショット割り込み要求許可レジスタ (CAN0SSIEN) | | 13-34 |
| H'0080 1050 | CAN0メッセージスロット0コントロールレジスタ (C0MSL0CNT) | CAN0メッセージスロット1コントロールレジスタ (C0MSL1CNT) | 13-53 |

SFR領域のレジスタマップ(19/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|---|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1052 | CAN0メッセージスロット2コントロールレジスタ (C0MSL2CNT) | CAN0メッセージスロット3コントロールレジスタ (C0MSL3CNT) | 13-53 |
| H'0080 1054 | CAN0メッセージスロット4コントロールレジスタ (C0MSL4CNT) | CAN0メッセージスロット5コントロールレジスタ (C0MSL5CNT) | 13-53 |
| H'0080 1056 | CAN0メッセージスロット6コントロールレジスタ (C0MSL6CNT) | CAN0メッセージスロット7コントロールレジスタ (C0MSL7CNT) | 13-53 |
| H'0080 1058 | CAN0メッセージスロット8コントロールレジスタ (C0MSL8CNT) | CAN0メッセージスロット9コントロールレジスタ (C0MSL9CNT) | 13-53 |
| H'0080 105A | CAN0メッセージスロット10コントロールレジスタ (C0MSL10CNT) | CAN0メッセージスロット11コントロールレジスタ (C0MSL11CNT) | 13-53 |
| H'0080 105C | CAN0メッセージスロット12コントロールレジスタ (C0MSL12CNT) | CAN0メッセージスロット13コントロールレジスタ (C0MSL13CNT) | 13-53 |
| H'0080 105E | CAN0メッセージスロット14コントロールレジスタ (C0MSL14CNT) | CAN0メッセージスロット15コントロールレジスタ (C0MSL15CNT) | 13-53 |
| | (使用禁止領域) | | |
| H'0080 1100 | CAN0メッセージスロット0標準ID0 (C0MSL0SID0) | CAN0メッセージスロット0標準ID1 (C0MSL0SID1) | 13-57 13-58 |
| H'0080 1102 | CAN0メッセージスロット0拡張ID0 (C0MSL0EID0) | CAN0メッセージスロット0拡張ID1 (C0MSL0EID1) | 13-59 13-60 |
| H'0080 1104 | CAN0メッセージスロット0拡張ID2 (C0MSL0EID2) | CAN0メッセージスロット0データ長レジスタ (C0MSL0DLC) | 13-61 13-62 |
| H'0080 1106 | CAN0メッセージスロット0データ0 (C0MSL0DT0) | CAN0メッセージスロット0データ1 (C0MSL0DT1) | 13-63 13-64 |
| H'0080 1108 | CAN0メッセージスロット0データ2 (C0MSL0DT2) | CAN0メッセージスロット0データ3 (C0MSL0DT3) | 13-65 13-66 |
| H'0080 110A | CAN0メッセージスロット0データ4 (C0MSL0DT4) | CAN0メッセージスロット0データ5 (C0MSL0DT5) | 13-67 13-68 |
| H'0080 110C | CAN0メッセージスロット0データ6 (C0MSL0DT6) | CAN0メッセージスロット0データ7 (C0MSL0DT7) | 13-69 13-70 |
| H'0080 110E | CAN0メッセージスロット0タイムスタンプ (C0MSL0TSP) | | 13-71 |
| H'0080 1110 | CAN0メッセージスロット1標準ID0 (C0MSL1SID0) | CAN0メッセージスロット1標準ID1 (C0MSL1SID1) | 13-57 13-58 |
| H'0080 1112 | CAN0メッセージスロット1拡張ID0 (C0MSL1EID0) | CAN0メッセージスロット1拡張ID1 (C0MSL1EID1) | 13-59 13-60 |
| H'0080 1114 | CAN0メッセージスロット1拡張ID2 (C0MSL1EID2) | CAN0メッセージスロット1データ長レジスタ (C0MSL1DLC) | 13-61 13-62 |
| H'0080 1116 | CAN0メッセージスロット1データ0 (C0MSL1DT0) | CAN0メッセージスロット1データ1 (C0MSL1DT1) | 13-63 13-64 |
| H'0080 1118 | CAN0メッセージスロット1データ2 (C0MSL1DT2) | CAN0メッセージスロット1データ3 (C0MSL1DT3) | 13-65 13-66 |
| H'0080 111A | CAN0メッセージスロット1データ4 (C0MSL1DT4) | CAN0メッセージスロット1データ5 (C0MSL1DT5) | 13-67 13-68 |
| H'0080 111C | CAN0メッセージスロット1データ6 (C0MSL1DT6) | CAN0メッセージスロット1データ7 (C0MSL1DT7) | 13-69 13-70 |
| H'0080 111E | CAN0メッセージスロット1タイムスタンプ (C0MSL1TSP) | | 13-71 |
| H'0080 1120 | CAN0メッセージスロット2標準ID0 (C0MSL2SID0) | CAN0メッセージスロット2標準ID1 (C0MSL2SID1) | 13-57 13-58 |
| H'0080 1122 | CAN0メッセージスロット2拡張ID0 (C0MSL2EID0) | CAN0メッセージスロット2拡張ID1 (C0MSL2EID1) | 13-59 13-60 |
| H'0080 1124 | CAN0メッセージスロット2拡張ID2 (C0MSL2EID2) | CAN0メッセージスロット2データ長レジスタ (C0MSL2DLC) | 13-61 13-62 |
| H'0080 1126 | CAN0メッセージスロット2データ0 (C0MSL2DT0) | CAN0メッセージスロット2データ1 (C0MSL2DT1) | 13-63 13-64 |
| H'0080 1128 | CAN0メッセージスロット2データ2 (C0MSL2DT2) | CAN0メッセージスロット2データ3 (C0MSL2DT3) | 13-65 13-66 |
| H'0080 112A | CAN0メッセージスロット2データ4 (C0MSL2DT4) | CAN0メッセージスロット2データ5 (C0MSL2DT5) | 13-67 13-68 |
| H'0080 112C | CAN0メッセージスロット2データ6 (C0MSL2DT6) | CAN0メッセージスロット2データ7 (C0MSL2DT7) | 13-69 13-70 |
| H'0080 112E | CAN0メッセージスロット2タイムスタンプ (C0MSL2TSP) | | 13-71 |
| H'0080 1130 | CAN0メッセージスロット3標準ID0 (C0MSL3SID0) | CAN0メッセージスロット3標準ID1 (C0MSL3SID1) | 13-57 13-58 |
| H'0080 1132 | CAN0メッセージスロット3拡張ID0 (C0MSL3EID0) | CAN0メッセージスロット3拡張ID1 (C0MSL3EID1) | 13-59 13-60 |
| H'0080 1134 | CAN0メッセージスロット3拡張ID2 (C0MSL3EID2) | CAN0メッセージスロット3データ長レジスタ (C0MSL3DLC) | 13-61 13-62 |

SFR領域のレジスタマップ(20/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--------------------------------------|---------------------------------------|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1136 | CAN0メッセージスロット3データ0 (C0MSL3DT0) | CAN0メッセージスロット3データ1 (C0MSL3DT1) | 13-63 13-64 |
| H'0080 1138 | CAN0メッセージスロット3データ2 (C0MSL3DT2) | CAN0メッセージスロット3データ3 (C0MSL3DT3) | 13-65 13-66 |
| H'0080 113A | CAN0メッセージスロット3データ4 (C0MSL3DT4) | CAN0メッセージスロット3データ5 (C0MSL3DT5) | 13-67 13-68 |
| H'0080 113C | CAN0メッセージスロット3データ6 (C0MSL3DT6) | CAN0メッセージスロット3データ7 (C0MSL3DT7) | 13-69 13-70 |
| H'0080 113E | CAN0メッセージスロット3タイムスタンプ (C0MSL3TSP) | | 13-71 |
| H'0080 1140 | CAN0メッセージスロット4標準ID0 (C0MSL4SID0) | CAN0メッセージスロット4標準ID1 (C0MSL4SID1) | 13-57 13-58 |
| H'0080 1142 | CAN0メッセージスロット4拡張ID0 (C0MSL4EID0) | CAN0メッセージスロット4拡張ID1 (C0MSL4EID1) | 13-59 13-60 |
| H'0080 1144 | CAN0メッセージスロット4拡張ID2 (C0MSL4EID2) | CAN0メッセージスロット4データ長レジスタ (C0MSL4DLC) | 13-61 13-62 |
| H'0080 1146 | CAN0メッセージスロット4データ0 (C0MSL4DT0) | CAN0メッセージスロット4データ1 (C0MSL4DT1) | 13-63 13-64 |
| H'0080 1148 | CAN0メッセージスロット4データ2 (C0MSL4DT2) | CAN0メッセージスロット4データ3 (C0MSL4DT3) | 13-65 13-66 |
| H'0080 114A | CAN0メッセージスロット4データ4 (C0MSL4DT4) | CAN0メッセージスロット4データ5 (C0MSL4DT5) | 13-67 13-68 |
| H'0080 114C | CAN0メッセージスロット4データ6 (C0MSL4DT6) | CAN0メッセージスロット4データ7 (C0MSL4DT7) | 13-69 13-70 |
| H'0080 114E | CAN0メッセージスロット4タイムスタンプ (C0MSL4TSP) | | 13-71 |
| H'0080 1150 | CAN0メッセージスロット5標準ID0 (C0MSL5SID0) | CAN0メッセージスロット5標準ID1 (C0MSL5SID1) | 13-57 13-58 |
| H'0080 1152 | CAN0メッセージスロット5拡張ID0 (C0MSL5EID0) | CAN0メッセージスロット5拡張ID1 (C0MSL5EID1) | 13-59 13-60 |
| H'0080 1154 | CAN0メッセージスロット5拡張ID2 (C0MSL5EID2) | CAN0メッセージスロット5データ長レジスタ (C0MSL5DLC) | 13-61 13-62 |
| H'0080 1156 | CAN0メッセージスロット5データ0 (C0MSL5DT0) | CAN0メッセージスロット5データ1 (C0MSL5DT1) | 13-63 13-64 |
| H'0080 1158 | CAN0メッセージスロット5データ2 (C0MSL5DT2) | CAN0メッセージスロット5データ3 (C0MSL5DT3) | 13-65 13-66 |
| H'0080 115A | CAN0メッセージスロット5データ4 (C0MSL5DT4) | CAN0メッセージスロット5データ5 (C0MSL5DT5) | 13-67 13-68 |
| H'0080 115C | CAN0メッセージスロット5データ6 (C0MSL5DT6) | CAN0メッセージスロット5データ7 (C0MSL5DT7) | 13-69 13-70 |
| H'0080 115E | CAN0メッセージスロット5タイムスタンプ (C0MSL5TSP) | | 13-71 |
| H'0080 1160 | CAN0メッセージスロット6標準ID0 (C0MSL6SID0) | CAN0メッセージスロット6標準ID1 (C0MSL6SID1) | 13-57 13-58 |
| H'0080 1162 | CAN0メッセージスロット6拡張ID0 (C0MSL6EID0) | CAN0メッセージスロット6拡張ID1 (C0MSL6EID1) | 13-59 13-60 |
| H'0080 1164 | CAN0メッセージスロット6拡張ID2 (C0MSL6EID2) | CAN0メッセージスロット6データ長レジスタ (C0MSL6DLC) | 13-61 13-62 |
| H'0080 1166 | CAN0メッセージスロット6データ0 (C0MSL6DT0) | CAN0メッセージスロット6データ1 (C0MSL6DT1) | 13-63 13-64 |
| H'0080 1168 | CAN0メッセージスロット6データ2 (C0MSL6DT2) | CAN0メッセージスロット6データ3 (C0MSL6DT3) | 13-65 13-66 |
| H'0080 116A | CAN0メッセージスロット6データ4 (C0MSL6DT4) | CAN0メッセージスロット6データ5 (C0MSL6DT5) | 13-67 13-68 |
| H'0080 116C | CAN0メッセージスロット6データ6 (C0MSL6DT6) | CAN0メッセージスロット6データ7 (C0MSL6DT7) | 13-69 13-70 |
| H'0080 116E | CAN0メッセージスロット6タイムスタンプ (C0MSL6TSP) | | 13-71 |
| H'0080 1170 | CAN0メッセージスロット7標準ID0 (C0MSL7SID0) | CAN0メッセージスロット7標準ID1 (C0MSL7SID1) | 13-57 13-58 |
| H'0080 1172 | CAN0メッセージスロット7拡張ID0 (C0MSL7EID0) | CAN0メッセージスロット7拡張ID1 (C0MSL7EID1) | 13-59 13-60 |
| H'0080 1174 | CAN0メッセージスロット7拡張ID2 (C0MSL7EID2) | CAN0メッセージスロット7データ長レジスタ (C0MSL7DLC) | 13-61 13-62 |
| H'0080 1176 | CAN0メッセージスロット7データ0 (C0MSL7DT0) | CAN0メッセージスロット7データ1 (C0MSL7DT1) | 13-63 13-64 |
| H'0080 1178 | CAN0メッセージスロット7データ2 (C0MSL7DT2) | CAN0メッセージスロット7データ3 (C0MSL7DT3) | 13-65 13-66 |
| H'0080 117A | CAN0メッセージスロット7データ4 (C0MSL7DT4) | CAN0メッセージスロット7データ5 (C0MSL7DT5) | 13-67 13-68 |

SFR領域のレジスタマップ(21/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 117C | CAN0メッセージスロット7データ6 (C0MSL8DT6) | CAN0メッセージスロット7データ7 (C0MSL7DT7) | 13-69 13-70 |
| H'0080 117E | CAN0メッセージスロット7タイムスタンプ (C0MSL7TSP) | | 13-71 |
| H'0080 1180 | CAN0メッセージスロット8標準ID0 (C0MSL8SID0) | CAN0メッセージスロット8標準ID1 (C0MSL8SID1) | 13-57 13-58 |
| H'0080 1182 | CAN0メッセージスロット8拡張ID0 (C0MSL8EID0) | CAN0メッセージスロット8拡張ID1 (C0MSL8EID1) | 13-59 13-60 |
| H'0080 1184 | CAN0メッセージスロット8拡張ID2 (C0MSL8EID2) | CAN0メッセージスロット8データ長レジスタ (C0MSL8DLC) | 13-61 13-62 |
| H'0080 1186 | CAN0メッセージスロット8データ0 (C0MSL8DT0) | CAN0メッセージスロット8データ1 (C0MSL8DT1) | 13-63 13-64 |
| H'0080 1188 | CAN0メッセージスロット8データ2 (C0MSL8DT2) | CAN0メッセージスロット8データ3 (C0MSL8DT3) | 13-65 13-66 |
| H'0080 118A | CAN0メッセージスロット8データ4 (C0MSL8DT4) | CAN0メッセージスロット8データ5 (C0MSL8DT5) | 13-67 13-68 |
| H'0080 118C | CAN0メッセージスロット8データ6 (C0MSL8DT6) | CAN0メッセージスロット8データ7 (C0MSL8DT7) | 13-69 13-70 |
| H'0080 118E | CAN0メッセージスロット8タイムスタンプ (C0MSL8TSP) | | 13-71 |
| H'0080 1190 | CAN0メッセージスロット9標準ID0 (C0MSL9SID0) | CAN0メッセージスロット9標準ID1 (C0MSL9SID1) | 13-57 13-58 |
| H'0080 1192 | CAN0メッセージスロット9拡張ID0 (C0MSL9EID0) | CAN0メッセージスロット9拡張ID1 (C0MSL9EID1) | 13-59 13-60 |
| H'0080 1194 | CAN0メッセージスロット9拡張ID2 (C0MSL9EID2) | CAN0メッセージスロット9データ長レジスタ (C0MSL9DLC) | 13-61 13-62 |
| H'0080 1196 | CAN0メッセージスロット9データ0 (C0MSL9DT0) | CAN0メッセージスロット9データ1 (C0MSL9DT1) | 13-63 13-64 |
| H'0080 1198 | CAN0メッセージスロット9データ2 (C0MSL9DT2) | CAN0メッセージスロット9データ3 (C0MSL9DT3) | 13-65 13-66 |
| H'0080 119A | CAN0メッセージスロット9データ4 (C0MSL9DT4) | CAN0メッセージスロット9データ5 (C0MSL9DT5) | 13-67 13-68 |
| H'0080 119C | CAN0メッセージスロット9データ6 (C0MSL9DT6) | CAN0メッセージスロット9データ7 (C0MSL9DT7) | 13-69 13-70 |
| H'0080 119E | CAN0メッセージスロット9タイムスタンプ (C0MSL9TSP) | | 13-71 |
| H'0080 11A0 | CAN0メッセージスロット10標準ID0 (C0MSL10SID0) | CAN0メッセージスロット10標準ID1 (C0MSL10SID1) | 13-57 13-58 |
| H'0080 11A2 | CAN0メッセージスロット10拡張ID0 (C0MSL10EID0) | CAN0メッセージスロット10拡張ID1 (C0MSL10EID1) | 13-59 13-60 |
| H'0080 11A4 | CAN0メッセージスロット10拡張ID2 (C0MSL10EID2) | CAN0メッセージスロット10データ長レジスタ (C0MSL10DLC) | 13-61 13-62 |
| H'0080 11A6 | CAN0メッセージスロット10データ0 (C0MSL10DT0) | CAN0メッセージスロット10データ1 (C0MSL10DT1) | 13-63 13-64 |
| H'0080 11A8 | CAN0メッセージスロット10データ2 (C0MSL10DT2) | CAN0メッセージスロット10データ3 (C0MSL10DT3) | 13-65 13-66 |
| H'0080 11AA | CAN0メッセージスロット10データ4 (C0MSL10DT4) | CAN0メッセージスロット10データ5 (C0MSL10DT5) | 13-67 13-68 |
| H'0080 11AC | CAN0メッセージスロット10データ6 (C0MSL10DT6) | CAN0メッセージスロット10データ7 (C0MSL10DT7) | 13-69 13-70 |
| H'0080 11AE | CAN0メッセージスロット10タイムスタンプ (C0MSL10TSP) | | 13-71 |
| H'0080 11B0 | CAN0メッセージスロット11標準ID0 (C0MSL11SID0) | CAN0メッセージスロット11標準ID1 (C0MSL11SID1) | 13-57 13-58 |
| H'0080 11B2 | CAN0メッセージスロット11拡張ID0 (C0MSL11EID0) | CAN0メッセージスロット11拡張ID1 (C0MSL11EID1) | 13-59 13-60 |
| H'0080 11B4 | CAN0メッセージスロット11拡張ID2 (C0MSL11EID2) | CAN0メッセージスロット11データ長レジスタ (C0MSL11DLC) | 13-61 13-62 |
| H'0080 11B6 | CAN0メッセージスロット11データ0 (C0MSL11DT0) | CAN0メッセージスロット11データ1 (C0MSL11DT1) | 13-63 13-64 |
| H'0080 11B8 | CAN0メッセージスロット11データ2 (C0MSL11DT2) | CAN0メッセージスロット11データ3 (C0MSL11DT3) | 13-65 13-66 |
| H'0080 11BA | CAN0メッセージスロット11データ4 (C0MSL11DT4) | CAN0メッセージスロット11データ5 (C0MSL11DT5) | 13-67 13-68 |
| H'0080 11BC | CAN0メッセージスロット11データ6 (C0MSL11DT6) | CAN0メッセージスロット11データ7 (C0MSL11DT7) | 13-69 13-70 |
| H'0080 11BE | CAN0メッセージスロット11タイムスタンプ (C0MSL11TSP) | | 13-71 |
| H'0080 11C0 | CAN0メッセージスロット12標準ID0 (C0MSL12SID0) | CAN0メッセージスロット12標準ID1 (C0MSL12SID1) | 13-57 13-58 |

SFR領域のレジスタマップ(22/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 11C2 | CAN0メッセージスロット12拡張ID0 (COMSL12EID0) | CAN0メッセージスロット12拡張ID1 (COMSL12EID1) | 13-59 13-60 |
| H'0080 11C4 | CAN0メッセージスロット12拡張ID2 (COMSL12EID2) | CAN0メッセージスロット12データ長レジスタ (COMSL12DLC) | 13-61 13-62 |
| H'0080 11C6 | CAN0メッセージスロット12データ0 (COMSL12DT0) | CAN0メッセージスロット12データ1 (COMSL12DT1) | 13-63 13-64 |
| H'0080 11C8 | CAN0メッセージスロット12データ2 (COMSL12DT2) | CAN0メッセージスロット12データ3 (COMSL12DT3) | 13-65 13-66 |
| H'0080 11CA | CAN0メッセージスロット12データ4 (COMSL12DT4) | CAN0メッセージスロット12データ5 (COMSL12DT5) | 13-67 13-68 |
| H'0080 11CC | CAN0メッセージスロット12データ6 (COMSL12DT6) | CAN0メッセージスロット12データ7 (COMSL12DT7) | 13-69 13-70 |
| H'0080 11CE | CAN0メッセージスロット12タイムスタンプ (COMSL12TSP) | | 13-71 |
| H'0080 11D0 | CAN0メッセージスロット13標準ID0 (COMSL13SID0) | CAN0メッセージスロット13標準ID1 (COMSL13SID1) | 13-57 13-58 |
| H'0080 11D2 | CAN0メッセージスロット13拡張ID0 (COMSL13EID0) | CAN0メッセージスロット13拡張ID1 (COMSL13EID1) | 13-59 13-60 |
| H'0080 11D4 | CAN0メッセージスロット13拡張ID2 (COMSL13EID2) | CAN0メッセージスロット13データ長レジスタ (COMSL13DLC) | 13-61 13-62 |
| H'0080 11D6 | CAN0メッセージスロット13データ0 (COMSL13DT0) | CAN0メッセージスロット13データ1 (COMSL13DT1) | 13-63 13-64 |
| H'0080 11D8 | CAN0メッセージスロット13データ2 (COMSL13DT2) | CAN0メッセージスロット13データ3 (COMSL13DT3) | 13-65 13-66 |
| H'0080 11DA | CAN0メッセージスロット13データ4 (COMSL13DT4) | CAN0メッセージスロット13データ5 (COMSL13DT5) | 13-67 13-68 |
| H'0080 11DC | CAN0メッセージスロット13データ6 (COMSL13DT6) | CAN0メッセージスロット13データ7 (COMSL13DT7) | 13-69 13-70 |
| H'0080 11DE | CAN0メッセージスロット13タイムスタンプ (COMSL13TSP) | | 13-71 |
| H'0080 11E0 | CAN0メッセージスロット14標準ID0 (COMSL14SID0) | CAN0メッセージスロット14標準ID1 (COMSL14SID1) | 13-57 13-58 |
| H'0080 11E2 | CAN0メッセージスロット14拡張ID0 (COMSL14EID0) | CAN0メッセージスロット14拡張ID1 (COMSL14EID1) | 13-59 13-60 |
| H'0080 11E4 | CAN0メッセージスロット14拡張ID2 (COMSL14EID2) | CAN0メッセージスロット14データ長レジスタ (COMSL14DLC) | 13-61 13-62 |
| H'0080 11E6 | CAN0メッセージスロット14データ0 (COMSL14DT0) | CAN0メッセージスロット14データ1 (COMSL14DT1) | 13-63 13-64 |
| H'0080 11E8 | CAN0メッセージスロット14データ2 (COMSL14DT2) | CAN0メッセージスロット14データ3 (COMSL14DT3) | 13-65 13-66 |
| H'0080 11EA | CAN0メッセージスロット14データ4 (COMSL14DT4) | CAN0メッセージスロット14データ5 (COMSL14DT5) | 13-67 13-68 |
| H'0080 11EC | CAN0メッセージスロット14データ6 (COMSL14DT6) | CAN0メッセージスロット14データ7 (COMSL14DT7) | 13-69 13-70 |
| H'0080 11EE | CAN0メッセージスロット14タイムスタンプ (COMSL14TSP) | | 13-71 |
| H'0080 11F0 | CAN0メッセージスロット15標準ID0 (COMSL15SID0) | CAN0メッセージスロット15標準ID1 (COMSL15SID1) | 13-57 13-58 |
| H'0080 11F2 | CAN0メッセージスロット15拡張ID0 (COMSL15EID0) | CAN0メッセージスロット15拡張ID1 (COMSL15EID1) | 13-59 13-60 |
| H'0080 11F4 | CAN0メッセージスロット15拡張ID2 (COMSL15EID2) | CAN0メッセージスロット15データ長レジスタ (COMSL15DLC) | 13-61 13-62 |
| H'0080 11F6 | CAN0メッセージスロット15データ0 (COMSL15DT0) | CAN0メッセージスロット15データ1 (COMSL15DT1) | 13-63 13-64 |
| H'0080 11F8 | CAN0メッセージスロット15データ2 (COMSL15DT2) | CAN0メッセージスロット15データ3 (COMSL15DT3) | 13-65 13-66 |
| H'0080 11FA | CAN0メッセージスロット15データ4 (COMSL15DT4) | CAN0メッセージスロット15データ5 (COMSL15DT5) | 13-67 13-68 |
| H'0080 11FC | CAN0メッセージスロット15データ6 (COMSL15DT6) | CAN0メッセージスロット15データ7 (COMSL15DT7) | 13-69 13-70 |
| H'0080 11FE | CAN0メッセージスロット15タイムスタンプ (COMSL15TSP) | | 13-71 |
| | (使用禁止領域) | | |
| H'0080 1400 | CAN1コントロールレジスタ (CAN1CNT) | | 13-15 |
| H'0080 1402 | CAN1ステータスレジスタ (CAN1STAT) | | 13-18 |
| H'0080 1404 | CAN1フレームフォーマット選択レジスタ (CAN1FFS) | | 13-21 |

SFR領域のレジスタマップ(23/27)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載ページ |
|-------------|---|-------|----|---|-------|-----|----------------|
| H'0080 1406 | CAN1コンフィグレーションレジスタ (CAN1CONF) | | | | | | 13-22 |
| H'0080 1408 | CAN1タイムスタンプカウントレジスタ (CAN1TSTMP) | | | | | | 13-24 |
| H'0080 140A | CAN1受信エラーカウントレジスタ (CAN1REC) | | | CAN1送信エラーカウントレジスタ (CAN1TEC) | | | 13-25 |
| H'0080 140C | CAN1スロット割り込み要求ステータスレジスタ (CAN1SLIST) | | | | | | 13-29 |
| H'0080 140E | (使用禁止領域) | | | | | | |
| H'0080 1410 | CAN1スロット割り込み要求許可レジスタ (CAN1SLIEN) | | | | | | 13-30 |
| H'0080 1412 | (使用禁止領域) | | | | | | |
| H'0080 1414 | CAN1エラー割り込み要求ステータスレジスタ (CAN1ERIST) | | | CAN1エラー割り込み要求許可レジスタ (CAN1ERIEEN) | | | 13-31 13-32 |
| H'0080 1416 | CAN1ボーレートプリスケアラ (CAN1BRP) | | | CAN1エラー要因レジスタ (CAN1EF) | | | 13-26 13-45 |
| H'0080 1418 | CAN1モードレジスタ (CAN1MOD) | | | (使用禁止領域) | | | 13-46 |
| | (使用禁止領域) | | | | | | |
| H'0080 1428 | CAN1グローバルマスクレジスタ標準ID0 (C1GMSKS0) | | | CAN1グローバルマスクレジスタ標準ID1 (C1GMSKS1) | | | 13-48 |
| H'0080 142A | CAN1グローバルマスクレジスタ拡張ID0 (C1GMSKE0) | | | CAN1グローバルマスクレジスタ拡張ID1 (C1GMSKE1) | | | 13-49 |
| H'0080 142C | CAN1グローバルマスクレジスタ拡張ID2 (C1GMSKE2) | | | (使用禁止領域) | | | 13-50 |
| H'0080 142E | (使用禁止領域) | | | | | | |
| H'0080 1430 | CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0) | | | CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1) | | | 13-48 |
| H'0080 1432 | CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0) | | | CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1) | | | 13-49 |
| H'0080 1434 | CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2) | | | (使用禁止領域) | | | 13-50 |
| H'0080 1436 | (使用禁止領域) | | | | | | |
| H'0080 1438 | CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0) | | | CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1) | | | 13-48 |
| H'0080 143A | CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0) | | | CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1) | | | 13-49 |
| H'0080 143C | CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2) | | | (使用禁止領域) | | | 13-50 |
| H'0080 143E | (使用禁止領域) | | | | | | |
| H'0080 1440 | CAN1シングルショットモード制御レジスタ (CAN1SSMODE) | | | | | | 13-52 |
| H'0080 1442 | (使用禁止領域) | | | | | | |
| H'0080 1444 | CAN1シングルショット割り込み要求ステータスレジスタ (CAN1SSIIST) | | | | | | 13-33 |
| H'0080 1446 | (使用禁止領域) | | | | | | |
| H'0080 1448 | CAN1シングルショット割り込み要求許可レジスタ (CAN1SSIEN) | | | | | | 13-34 |
| | (使用禁止領域) | | | | | | |
| H'0080 1450 | CAN1メッセージスロット0コントロールレジスタ (C1MSL0CNT) | | | CAN1メッセージスロット1コントロールレジスタ (C1MSL1CNT) | | | 13-53 |
| H'0080 1452 | CAN1メッセージスロット2コントロールレジスタ (C1MSL2CNT) | | | CAN1メッセージスロット3コントロールレジスタ (C1MSL3CNT) | | | 13-53 |
| H'0080 1454 | CAN1メッセージスロット4コントロールレジスタ (C1MSL4CNT) | | | CAN1メッセージスロット5コントロールレジスタ (C1MSL5CNT) | | | 13-53 |
| H'0080 1456 | CAN1メッセージスロット6コントロールレジスタ (C1MSL6CNT) | | | CAN1メッセージスロット7コントロールレジスタ (C1MSL7CNT) | | | 13-53 |
| H'0080 1458 | CAN1メッセージスロット8コントロールレジスタ (C1MSL8CNT) | | | CAN1メッセージスロット9コントロールレジスタ (C1MSL9CNT) | | | 13-53 |
| H'0080 145A | CAN1メッセージスロット10コントロールレジスタ (C1MSL10CNT) | | | CAN1メッセージスロット11コントロールレジスタ (C1MSL11CNT) | | | 13-53 |

SFR領域のレジスタマップ(24/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|---|---|----------------|
| | b0 | b7 | b8 |
| | b0 | b7 | b15 |
| H'0080 145C | CAN1メッセージスロット12コントロールレジスタ (C1MSL12CNT) | CAN1メッセージスロット13コントロールレジスタ (C1MSL13CNT) | 13-53 |
| H'0080 145E | CAN1メッセージスロット14コントロールレジスタ (C1MSL14CNT) | CAN1メッセージスロット15コントロールレジスタ (C1MSL15CNT) | 13-53 |
| | (使用禁止領域) | | |
| H'0080 1500 | CAN1メッセージスロット0標準ID0 (C1MSL0SID0) | CAN1メッセージスロット0標準ID1 (C1MSL0SID1) | 13-57 13-58 |
| H'0080 1502 | CAN1メッセージスロット0拡張ID0 (C1MSL0EID0) | CAN1メッセージスロット0拡張ID1 (C1MSL0EID1) | 13-59 13-60 |
| H'0080 1504 | CAN1メッセージスロット0拡張ID2 (C1MSL0EID2) | CAN1メッセージスロット0データ長レジスタ (C1MSL0DLC) | 13-61 13-62 |
| H'0080 1506 | CAN1メッセージスロット0データ0 (C1MSL0DT0) | CAN1メッセージスロット0データ1 (C1MSL0DT1) | 13-63 13-64 |
| H'0080 1508 | CAN1メッセージスロット0データ2 (C1MSL0DT2) | CAN1メッセージスロット0データ3 (C1MSL0DT3) | 13-65 13-66 |
| H'0080 150A | CAN1メッセージスロット0データ4 (C1MSL0DT4) | CAN1メッセージスロット0データ5 (C1MSL0DT5) | 13-67 13-68 |
| H'0080 150C | CAN1メッセージスロット0データ6 (C1MSL0DT6) | CAN1メッセージスロット0データ7 (C1MSL0DT7) | 13-69 13-70 |
| H'0080 150E | CAN1メッセージスロット0タイムスタンプ (C1MSL0TSP) | | 13-71 |
| H'0080 1510 | CAN1メッセージスロット1標準ID0 (C1MSL1SID0) | CAN1メッセージスロット1標準ID1 (C1MSL1SID1) | 13-57 13-58 |
| H'0080 1512 | CAN1メッセージスロット1拡張ID0 (C1MSL1EID0) | CAN1メッセージスロット1拡張ID1 (C1MSL1EID1) | 13-59 13-60 |
| H'0080 1514 | CAN1メッセージスロット1拡張ID2 (C1MSL1EID2) | CAN1メッセージスロット1データ長レジスタ (C1MSL1DLC) | 13-61 13-62 |
| H'0080 1516 | CAN1メッセージスロット1データ0 (C1MSL1DT0) | CAN1メッセージスロット1データ1 (C1MSL1DT1) | 13-63 13-64 |
| H'0080 1518 | CAN1メッセージスロット1データ2 (C1MSL1DT2) | CAN1メッセージスロット1データ3 (C1MSL1DT3) | 13-65 13-66 |
| H'0080 151A | CAN1メッセージスロット1データ4 (C1MSL1DT4) | CAN1メッセージスロット1データ5 (C1MSL1DT5) | 13-67 13-68 |
| H'0080 151C | CAN1メッセージスロット1データ6 (C1MSL1DT6) | CAN1メッセージスロット1データ7 (C1MSL1DT7) | 13-69 13-70 |
| H'0080 151E | CAN1メッセージスロット1タイムスタンプ (C1MSL1TSP) | | 13-71 |
| H'0080 1520 | CAN1メッセージスロット2標準ID0 (C1MSL2SID0) | CAN1メッセージスロット2標準ID1 (C1MSL2SID1) | 13-57 13-58 |
| H'0080 1522 | CAN1メッセージスロット2拡張ID0 (C1MSL2EID0) | CAN1メッセージスロット2拡張ID1 (C1MSL2EID1) | 13-59 13-60 |
| H'0080 1524 | CAN1メッセージスロット2拡張ID2 (C1MSL2EID2) | CAN1メッセージスロット2データ長レジスタ (C1MSL2DLC) | 13-61 13-62 |
| H'0080 1526 | CAN1メッセージスロット2データ0 (C1MSL2DT0) | CAN1メッセージスロット2データ1 (C1MSL2DT1) | 13-63 13-64 |
| H'0080 1528 | CAN1メッセージスロット2データ2 (C1MSL2DT2) | CAN1メッセージスロット2データ3 (C1MSL2DT3) | 13-65 13-66 |
| H'0080 152A | CAN1メッセージスロット2データ4 (C1MSL2DT4) | CAN1メッセージスロット2データ5 (C1MSL2DT5) | 13-67 13-68 |
| H'0080 152C | CAN1メッセージスロット2データ6 (C1MSL2DT6) | CAN1メッセージスロット2データ7 (C1MSL2DT7) | 13-69 13-70 |
| H'0080 152E | CAN1メッセージスロット2タイムスタンプ (C1MSL2TSP) | | 13-71 |
| H'0080 1530 | CAN1メッセージスロット3標準ID0 (C1MSL3SID0) | CAN1メッセージスロット3標準ID1 (C1MSL3SID1) | 13-57 13-58 |
| H'0080 1532 | CAN1メッセージスロット3拡張ID0 (C1MSL3EID0) | CAN1メッセージスロット3拡張ID1 (C1MSL3EID1) | 13-59 13-60 |
| H'0080 1534 | CAN1メッセージスロット3拡張ID2 (C1MSL3EID2) | CAN1メッセージスロット3データ長レジスタ (C1MSL3DLC) | 13-61 13-62 |
| H'0080 1536 | CAN1メッセージスロット3データ0 (C1MSL3DT0) | CAN1メッセージスロット3データ1 (C1MSL3DT1) | 13-63 13-64 |
| H'0080 1538 | CAN1メッセージスロット3データ2 (C1MSL3DT2) | CAN1メッセージスロット3データ3 (C1MSL3DT3) | 13-65 13-66 |
| H'0080 153A | CAN1メッセージスロット3データ4 (C1MSL3DT4) | CAN1メッセージスロット3データ5 (C1MSL3DT5) | 13-67 13-68 |
| H'0080 153C | CAN1メッセージスロット3データ6 (C1MSL3DT6) | CAN1メッセージスロット3データ7 (C1MSL3DT7) | 13-69 13-70 |
| H'0080 153E | CAN1メッセージスロット3タイムスタンプ (C1MSL3TSP) | | 13-71 |

SFR領域のレジスタマップ(25/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--------------------------------------|-------|--|
| | b0 | b7 b8 | b15 |
| H'0080 1540 | CAN1メッセージスロット4標準ID0 (C1MSL4SID0) | | CAN1メッセージスロット4標準ID1 (C1MSL4SID1) 13-57 13-58 |
| H'0080 1542 | CAN1メッセージスロット4拡張ID0 (C1MSL4EID0) | | CAN1メッセージスロット4拡張ID1 (C1MSL4EID1) 13-59 13-60 |
| H'0080 1544 | CAN1メッセージスロット4拡張ID2 (C1MSL4EID2) | | CAN1メッセージスロット4データ長レジスタ (C1MSL4DLC) 13-61 13-62 |
| H'0080 1546 | CAN1メッセージスロット4データ0 (C1MSL4DT0) | | CAN1メッセージスロット4データ1 (C1MSL4DT1) 13-63 13-64 |
| H'0080 1548 | CAN1メッセージスロット4データ2 (C1MSL4DT2) | | CAN1メッセージスロット4データ3 (C1MSL4DT3) 13-65 13-66 |
| H'0080 154A | CAN1メッセージスロット4データ4 (C1MSL4DT4) | | CAN1メッセージスロット4データ5 (C1MSL4DT5) 13-67 13-68 |
| H'0080 154C | CAN1メッセージスロット4データ6 (C1MSL4DT6) | | CAN1メッセージスロット4データ7 (C1MSL4DT7) 13-69 13-70 |
| H'0080 154E | CAN1メッセージスロット4タイムスタンプ (C1MSL4TSP) | | 13-71 |
| H'0080 1550 | CAN1メッセージスロット5標準ID0 (C1MSL5SID0) | | CAN1メッセージスロット5標準ID1 (C1MSL5SID1) 13-57 13-58 |
| H'0080 1552 | CAN1メッセージスロット5拡張ID0 (C1MSL5EID0) | | CAN1メッセージスロット5拡張ID1 (C1MSL5EID1) 13-59 13-60 |
| H'0080 1554 | CAN1メッセージスロット5拡張ID2 (C1MSL5EID2) | | CAN1メッセージスロット5データ長レジスタ (C1MSL5DLC) 13-61 13-62 |
| H'0080 1556 | CAN1メッセージスロット5データ0 (C1MSL5DT0) | | CAN1メッセージスロット5データ1 (C1MSL5DT1) 13-63 13-64 |
| H'0080 1558 | CAN1メッセージスロット5データ2 (C1MSL5DT2) | | CAN1メッセージスロット5データ3 (C1MSL5DT3) 13-65 13-66 |
| H'0080 155A | CAN1メッセージスロット5データ4 (C1MSL5DT4) | | CAN1メッセージスロット5データ5 (C1MSL5DT5) 13-67 13-68 |
| H'0080 155C | CAN1メッセージスロット5データ6 (C1MSL5DT6) | | CAN1メッセージスロット5データ7 (C1MSL5DT7) 13-69 13-70 |
| H'0080 155E | CAN1メッセージスロット5タイムスタンプ (C1MSL5TSP) | | 13-71 |
| H'0080 1560 | CAN1メッセージスロット6標準ID0 (C1MSL6SID0) | | CAN1メッセージスロット6標準ID1 (C1MSL6SID1) 13-57 13-58 |
| H'0080 1562 | CAN1メッセージスロット6拡張ID0 (C1MSL6EID0) | | CAN1メッセージスロット6拡張ID1 (C1MSL6EID1) 13-59 13-60 |
| H'0080 1564 | CAN1メッセージスロット6拡張ID2 (C1MSL6EID2) | | CAN1メッセージスロット6データ長レジスタ (C1MSL6DLC) 13-61 13-62 |
| H'0080 1566 | CAN1メッセージスロット6データ0 (C1MSL6DT0) | | CAN1メッセージスロット6データ1 (C1MSL6DT1) 13-63 13-64 |
| H'0080 1568 | CAN1メッセージスロット6データ2 (C1MSL6DT2) | | CAN1メッセージスロット6データ3 (C1MSL6DT3) 13-65 13-66 |
| H'0080 156A | CAN1メッセージスロット6データ4 (C1MSL6DT4) | | CAN1メッセージスロット6データ5 (C1MSL6DT5) 13-67 13-68 |
| H'0080 156C | CAN1メッセージスロット6データ6 (C1MSL6DT6) | | CAN1メッセージスロット6データ7 (C1MSL6DT7) 13-69 13-70 |
| H'0080 156E | CAN1メッセージスロット6タイムスタンプ (C1MSL6TSP) | | 13-71 |
| H'0080 1570 | CAN1メッセージスロット7標準ID0 (C1MSL7SID0) | | CAN1メッセージスロット7標準ID1 (C1MSL7SID1) 13-57 13-58 |
| H'0080 1572 | CAN1メッセージスロット7拡張ID0 (C1MSL7EID0) | | CAN1メッセージスロット7拡張ID1 (C1MSL7EID1) 13-59 13-60 |
| H'0080 1574 | CAN1メッセージスロット7拡張ID2 (C1MSL7EID2) | | CAN1メッセージスロット7データ長レジスタ (C1MSL7DLC) 13-61 13-62 |
| H'0080 1576 | CAN1メッセージスロット7データ0 (C1MSL7DT0) | | CAN1メッセージスロット7データ1 (C1MSL7DT1) 13-63 13-64 |
| H'0080 1578 | CAN1メッセージスロット7データ2 (C1MSL7DT2) | | CAN1メッセージスロット7データ3 (C1MSL7DT3) 13-65 13-66 |
| H'0080 157A | CAN1メッセージスロット7データ4 (C1MSL7DT4) | | CAN1メッセージスロット7データ5 (C1MSL7DT5) 13-67 13-68 |
| H'0080 157C | CAN1メッセージスロット7データ6 (C1MSL7DT6) | | CAN1メッセージスロット7データ7 (C1MSL7DT7) 13-69 13-70 |
| H'0080 157E | CAN1メッセージスロット7タイムスタンプ (C1MSL7TSP) | | 13-71 |
| H'0080 1580 | CAN1メッセージスロット8標準ID0 (C1MSL8SID0) | | CAN1メッセージスロット8標準ID1 (C1MSL8SID1) 13-57 13-58 |
| H'0080 1582 | CAN1メッセージスロット8拡張ID0 (C1MSL8EID0) | | CAN1メッセージスロット8拡張ID1 (C1MSL8EID1) 13-59 13-60 |
| H'0080 1584 | CAN1メッセージスロット8拡張ID2 (C1MSL8EID2) | | CAN1メッセージスロット8データ長レジスタ (C1MSL8DLC) 13-61 13-62 |

SFR領域のレジスタマップ(26/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1586 | CAN1メッセージスロット8データ0 (C1MSL8DT0) | CAN1メッセージスロット8データ1 (C1MSL8DT1) | 13-63 13-64 |
| H'0080 1588 | CAN1メッセージスロット8データ2 (C1MSL8DT2) | CAN1メッセージスロット8データ3 (C1MSL8DT3) | 13-65 13-66 |
| H'0080 158A | CAN1メッセージスロット8データ4 (C1MSL8DT4) | CAN1メッセージスロット8データ5 (C1MSL8DT5) | 13-67 13-68 |
| H'0080 158C | CAN1メッセージスロット8データ6 (C1MSL8DT6) | CAN1メッセージスロット8データ7 (C1MSL8DT7) | 13-69 13-70 |
| H'0080 158E | CAN1メッセージスロット8タイムスタンプ (C1MSL8TSP) | | 13-71 |
| H'0080 1590 | CAN1メッセージスロット9標準ID0 (C1MSL9SID0) | CAN1メッセージスロット9標準ID1 (C1MSL9SID1) | 13-57 13-58 |
| H'0080 1592 | CAN1メッセージスロット9拡張ID0 (C1MSL9EID0) | CAN1メッセージスロット9拡張ID1 (C1MSL9EID1) | 13-59 13-60 |
| H'0080 1594 | CAN1メッセージスロット9拡張ID2 (C1MSL9EID2) | CAN1メッセージスロット9データ長レジスタ (C1MSL9DLC) | 13-61 13-62 |
| H'0080 1596 | CAN1メッセージスロット9データ0 (C1MSL9DT0) | CAN1メッセージスロット9データ1 (C1MSL9DT1) | 13-63 13-64 |
| H'0080 1598 | CAN1メッセージスロット9データ2 (C1MSL9DT2) | CAN1メッセージスロット9データ3 (C1MSL9DT3) | 13-65 13-66 |
| H'0080 159A | CAN1メッセージスロット9データ4 (C1MSL9DT4) | CAN1メッセージスロット9データ5 (C1MSL9DT5) | 13-67 13-68 |
| H'0080 159C | CAN1メッセージスロット9データ6 (C1MSL9DT6) | CAN1メッセージスロット9データ7 (C1MSL9DT7) | 13-69 13-70 |
| H'0080 159E | CAN1メッセージスロット9タイムスタンプ (C1MSL9TSP) | | 13-71 |
| H'0080 15A0 | CAN1メッセージスロット10標準ID0 (C1MSL10SID0) | CAN1メッセージスロット10標準ID1 (C1MSL10SID1) | 13-57 13-58 |
| H'0080 15A2 | CAN1メッセージスロット10拡張ID0 (C1MSL10EID0) | CAN1メッセージスロット10拡張ID1 (C1MSL10EID1) | 13-59 13-60 |
| H'0080 15A4 | CAN1メッセージスロット10拡張ID2 (C1MSL10EID2) | CAN1メッセージスロット10データ長レジスタ (C1MSL10DLC) | 13-61 13-62 |
| H'0080 15A6 | CAN1メッセージスロット10データ0 (C1MSL10DT0) | CAN1メッセージスロット10データ1 (C1MSL10DT1) | 13-63 13-64 |
| H'0080 15A8 | CAN1メッセージスロット10データ2 (C1MSL10DT2) | CAN1メッセージスロット10データ3 (C1MSL10DT3) | 13-65 13-66 |
| H'0080 15AA | CAN1メッセージスロット10データ4 (C1MSL10DT4) | CAN1メッセージスロット10データ5 (C1MSL10DT5) | 13-67 13-68 |
| H'0080 15AC | CAN1メッセージスロット10データ6 (C1MSL10DT6) | CAN1メッセージスロット10データ7 (C1MSL10DT7) | 13-69 13-70 |
| H'0080 15AE | CAN1メッセージスロット10タイムスタンプ (C1MSL10TSP) | | 13-71 |
| H'0080 15B0 | CAN1メッセージスロット11標準ID0 (C1MSL11SID0) | CAN1メッセージスロット11標準ID1 (C1MSL11SID1) | 13-57 13-58 |
| H'0080 15B2 | CAN1メッセージスロット11拡張ID0 (C1MSL11EID0) | CAN1メッセージスロット11拡張ID1 (C1MSL11EID1) | 13-59 13-60 |
| H'0080 15B4 | CAN1メッセージスロット11拡張ID2 (C1MSL11EID2) | CAN1メッセージスロット11データ長レジスタ (C1MSL11DLC) | 13-61 13-62 |
| H'0080 15B6 | CAN1メッセージスロット11データ0 (C1MSL11DT0) | CAN1メッセージスロット11データ1 (C1MSL11DT1) | 13-63 13-64 |
| H'0080 15B8 | CAN1メッセージスロット11データ2 (C1MSL11DT2) | CAN1メッセージスロット11データ3 (C1MSL11DT3) | 13-65 13-66 |
| H'0080 15BA | CAN1メッセージスロット11データ4 (C1MSL11DT4) | CAN1メッセージスロット11データ5 (C1MSL11DT5) | 13-67 13-68 |
| H'0080 15BC | CAN1メッセージスロット11データ6 (C1MSL11DT6) | CAN1メッセージスロット11データ7 (C1MSL11DT7) | 13-69 13-70 |
| H'0080 15BE | CAN1メッセージスロット11タイムスタンプ (C1MSL11TSP) | | 13-71 |
| H'0080 15C0 | CAN1メッセージスロット12標準ID0 (C1MSL12SID0) | CAN1メッセージスロット12標準ID1 (C1MSL12SID1) | 13-57 13-58 |
| H'0080 15C2 | CAN1メッセージスロット12拡張ID0 (C1MSL12EID0) | CAN1メッセージスロット12拡張ID1 (C1MSL12EID1) | 13-59 13-60 |
| H'0080 15C4 | CAN1メッセージスロット12拡張ID2 (C1MSL12EID2) | CAN1メッセージスロット12データ長レジスタ (C1MSL12DLC) | 13-61 13-62 |
| H'0080 15C6 | CAN1メッセージスロット12データ0 (C1MSL12DT0) | CAN1メッセージスロット12データ1 (C1MSL12DT1) | 13-63 13-64 |
| H'0080 15C8 | CAN1メッセージスロット12データ2 (C1MSL12DT2) | CAN1メッセージスロット12データ3 (C1MSL12DT3) | 13-65 13-66 |
| H'0080 15CA | CAN1メッセージスロット12データ4 (C1MSL12DT4) | CAN1メッセージスロット12データ5 (C1MSL12DT5) | 13-67 13-68 |

SFR領域のレジスタマップ(27/27)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 15CC | CAN1メッセージスロット12データ6 (C1MSL12DT6) | CAN1メッセージスロット12データ7 (C1MSL12DT7) | 13-69 13-70 |
| H'0080 15CE | CAN1メッセージスロット12タイムスタンプ (C1MSL12TSP) | | 13-71 |
| H'0080 15D0 | CAN1メッセージスロット13標準ID0 (C1MSL13SID0) | CAN1メッセージスロット13標準ID1 (C1MSL13SID1) | 13-57 13-58 |
| H'0080 15D2 | CAN1メッセージスロット13拡張ID0 (C1MSL13EID0) | CAN1メッセージスロット13拡張ID1 (C1MSL13EID1) | 13-59 13-60 |
| H'0080 15D4 | CAN1メッセージスロット13拡張ID2 (C1MSL13EID2) | CAN1メッセージスロット13データ長レジスタ (C1MSL13DLC) | 13-61 13-62 |
| H'0080 15D6 | CAN1メッセージスロット13データ0 (C1MSL13DT0) | CAN1メッセージスロット13データ1 (C1MSL13DT1) | 13-63 13-64 |
| H'0080 15D8 | CAN1メッセージスロット13データ2 (C1MSL13DT2) | CAN1メッセージスロット13データ3 (C1MSL13DT3) | 13-65 13-66 |
| H'0080 15DA | CAN1メッセージスロット13データ4 (C1MSL13DT4) | CAN1メッセージスロット13データ5 (C1MSL13DT5) | 13-67 13-68 |
| H'0080 15DC | CAN1メッセージスロット13データ6 (C1MSL13DT6) | CAN1メッセージスロット13データ7 (C1MSL13DT7) | 13-69 13-70 |
| H'0080 15DE | CAN1メッセージスロット13タイムスタンプ (C1MSL13TSP) | | 13-71 |
| H'0080 15E0 | CAN1メッセージスロット14標準ID0 (C1MSL14SID0) | CAN1メッセージスロット14標準ID1 (C1MSL14SID1) | 13-57 13-58 |
| H'0080 15E2 | CAN1メッセージスロット14拡張ID0 (C1MSL14EID0) | CAN1メッセージスロット14拡張ID1 (C1MSL14EID1) | 13-59 13-60 |
| H'0080 15E4 | CAN1メッセージスロット14拡張ID2 (C1MSL14EID2) | CAN1メッセージスロット14データ長レジスタ (C1MSL14DLC) | 13-61 13-62 |
| H'0080 15E6 | CAN1メッセージスロット14データ0 (C1MSL14DT0) | CAN1メッセージスロット14データ1 (C1MSL14DT1) | 13-63 13-64 |
| H'0080 15E8 | CAN1メッセージスロット14データ2 (C1MSL14DT2) | CAN1メッセージスロット14データ3 (C1MSL14DT3) | 13-65 13-66 |
| H'0080 15EA | CAN1メッセージスロット14データ4 (C1MSL14DT4) | CAN1メッセージスロット14データ5 (C1MSL14DT5) | 13-67 13-68 |
| H'0080 15EC | CAN1メッセージスロット14データ6 (C1MSL14DT6) | CAN1メッセージスロット14データ7 (C1MSL14DT7) | 13-69 13-70 |
| H'0080 15EE | CAN1メッセージスロット14タイムスタンプ (C1MSL14TSP) | | 13-71 |
| H'0080 15F0 | CAN1メッセージスロット15標準ID0 (C1MSL15SID0) | CAN1メッセージスロット15標準ID1 (C1MSL15SID1) | 13-57 13-58 |
| H'0080 15F2 | CAN1メッセージスロット15拡張ID0 (C1MSL15EID0) | CAN1メッセージスロット15拡張ID1 (C1MSL15EID1) | 13-59 13-60 |
| H'0080 15F4 | CAN1メッセージスロット15拡張ID2 (C1MSL15EID2) | CAN1メッセージスロット15データ長レジスタ (C1MSL15DLC) | 13-61 13-62 |
| H'0080 15F6 | CAN1メッセージスロット15データ0 (C1MSL15DT0) | CAN1メッセージスロット15データ1 (C1MSL15DT1) | 13-63 13-64 |
| H'0080 15F8 | CAN1メッセージスロット15データ2 (C1MSL15DT2) | CAN1メッセージスロット15データ3 (C1MSL15DT3) | 13-65 13-66 |
| H'0080 15FA | CAN1メッセージスロット15データ4 (C1MSL15DT4) | CAN1メッセージスロット15データ5 (C1MSL15DT5) | 13-67 13-68 |
| H'0080 15FC | CAN1メッセージスロット15データ6 (C1MSL15DT6) | CAN1メッセージスロット15データ7 (C1MSL15DT7) | 13-69 13-70 |
| H'0080 15FE | CAN1メッセージスロット15タイムスタンプ (C1MSL15TSP) | | 13-71 |

3.5 EITベクタエントリ

EITベクタエントリは、内蔵ROM領域/拡張領域の先頭に置かれ、各EIT事象の処理ハンドラ先頭アドレスへの分岐命令(分岐先アドレスではないことに注意)を、ここに配置します。詳細については、「第4章 EIT」を参照してください。

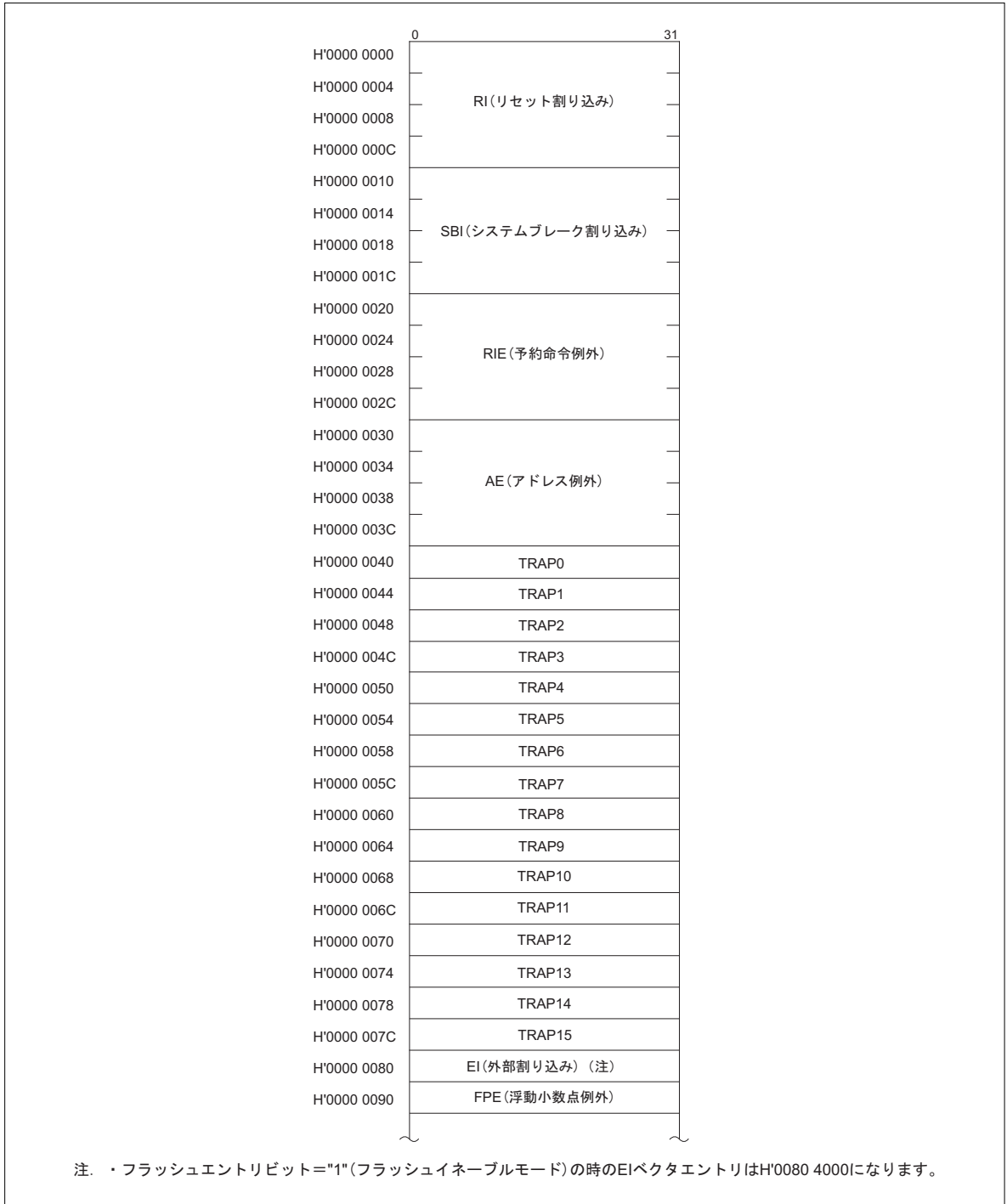


図3.5.1 EITベクタエントリ

3.6 ICUベクタテーブル

ICUベクタテーブルは、内蔵の割り込みコントローラで使用します。各内蔵周辺I/Oの割り込み要求に対応する割り込みハンドラの先頭アドレスを下記アドレスに設定します。詳細については、「第5章 割り込みコントローラ」を参照してください。

ICUベクタテーブルのメモリマップ(1/2)

| 番地 | b0 | +0番地 | b7 b8 | +1番地 | b15 |
|-------------|----|----------------|-------------------|------|-----|
| H'0000 0094 | | TIN3~6入力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 0096 | | TIN3~6入力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 0098 | | TIN20~29入力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 009A | | TIN20~29入力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 009C | | TIN12~19入力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 009E | | TIN12~19入力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00A0 | | TIN0~2入力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00A2 | | TIN0~2入力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00A4 | | TIN7~11入力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00A6 | | TIN7~11入力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00A8 | | TMS0,1出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00AA | | TMS0,1出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00AC | | TOP8,9出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00AE | | TOP8,9出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00B0 | | TOP10出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00B2 | | TOP10出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00B4 | | TIO4~7出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00B6 | | TIO4~7出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00B8 | | TIO8,9出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00BA | | TIO8,9出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00BC | | TOP0~5出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00BE | | TOP0~5出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00C0 | | TOP6,7出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00C2 | | TOP6,7出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00C4 | | TIO0~3出力割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00C6 | | TIO0~3出力割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00C8 | | DMA0~4割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00CA | | DMA0~4割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00CC | | SIO1受信割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00CE | | SIO1受信割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00D0 | | SIO1送信割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00D2 | | SIO1送信割り込み | ハンドラ先頭番地(A16~A31) | | |
| H'0000 00D4 | | SIO0受信割り込み | ハンドラ先頭番地(A0~A15) | | |
| H'0000 00D6 | | SIO0受信割り込み | ハンドラ先頭番地(A16~A31) | | |

ICUベクタテーブルのメモリマップ(2/2)

| 番地 | b0 | + 0番地 | b7 b8 | + 1番地 | b15 |
|-------------|----|-------------------|-----------------------|-------|-----|
| H'0000 00D8 | | SIO0送信割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00DA | | SIO0送信割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00DC | | A-D0変換割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00DE | | A-D0変換割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00E0 | | TID0入力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00E2 | | TID0入力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00E4 | | TOU0出力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00E6 | | TOU0出力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00E8 | | DMA5 ~ 9割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00EA | | DMA5 ~ 9割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00EC | | SIO2,3送受信割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00EE | | SIO2,3送受信割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00F0 | | RTD割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00F2 | | RTD割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00F4 | | TID1入力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00F6 | | TID1入力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00F8 | | TOU1 + TOU2出力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00FA | | TOU1 + TOU2出力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 00FC | | SIO4,5送受信割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 00FE | | SIO4,5送受信割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 0100 | | A-D1変換割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 0102 | | A-D1変換割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 0104 | | TID2入力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 0106 | | TID2入力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 0108 | | TIN30 ~ 33入力割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 010A | | TIN30 ~ 33入力割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 010C | | CAN0送受信&エラー割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 010E | | CAN0送受信&エラー割り込み | ハンドラ先頭番地(A16 ~ A31) | | |
| H'0000 0110 | | CAN1送受信&エラー割り込み | ハンドラ先頭番地(A0 ~ A15) | | |
| H'0000 0112 | | CAN1送受信&エラー割り込み | ハンドラ先頭番地(A16 ~ A31) | | |

3.7 アドレス空間の注意事項

- 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を4Kバイト毎に区切った領域(Sバンク)に、H'0080 8000番地から4Kバイト単位のブロックをマッピングする機能、これを疑似フラッシュエミュレーション機能と呼びます。

これは、内蔵RAMの4KB単位のブロックに配置したデータを、疑似フラッシュバンクレジスタで指定したアドレスのフラッシュメモリ内容と切り換える機能です。この機能については、「6.6 疑似フラッシュエミュレーション機能」を参照してください。

第4章

EIT

- 4.1 EITの概要
- 4.2 EIT事象
- 4.3 EITの処理手順
- 4.4 EITの処理機構
- 4.5 EIT事象の受付
- 4.6 PC, PSWの退避と復帰
- 4.7 EITベクタエントリ
- 4.8 例外(Exception)処理
- 4.9 割り込み(Interrupt)処理
- 4.10 トラップ(Trap)処理
- 4.11 EITの優先順位
- 4.12 EIT処理の例
- 4.13 EITの注意事項

4

4.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap) 事象と呼びます。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。アドレス例外 (AE)、予約命令例外 (RIE) と浮動小数点例外 (FPE) が、これに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号および内蔵周辺 I/Oによって発生します。リセット割り込み (RI)、システムブレーク割り込み (SBI) および外部割り込み (EI) がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラマがプログラム中で意識的に発生させるものです。

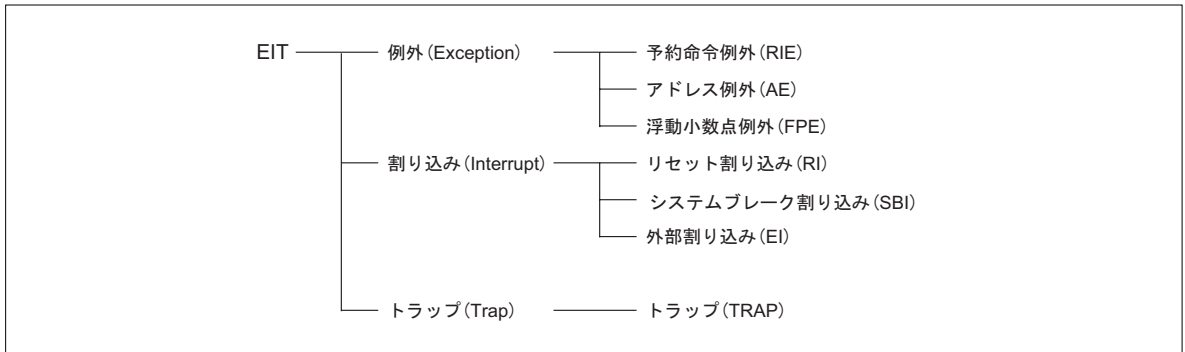


図4.1.1 EITの分類

4.2 EIT事象

4.2.1 例外(Exception)

(1) 予約命令例外(RIE)

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

(2) アドレス例外(AE)

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

(3) 浮動小数点例外(FPE)

浮動小数点例外(FPE : Floating Point Exception)は、IEEE754規格で規定された5つの例外(OVF/UDF/IXCT/DIV0/IVLD)の他に、非実装例外(UIPL)を検出した場合に発生します。以下に、各例外処理の概要を示します。

1) オーバフロー例外(OVF)

演算結果の絶対値が、浮動小数点フォーマットで表現可能な値よりも大きくなった場合に発生します。以下にOVFが発生したときの演算結果を示します。

表4.2.1 オーバフロー例外発生時の演算結果

| 丸めモード | 結果の符号 | 演算結果(デスティネーションレジスタの内容) | |
|-------|-------|--------------------------|----------------------------|
| | | オーバフロー例外によるEIT処理マスク時(注1) | オーバフロー例外によるEIT処理の実行設定時(注2) |
| - | + | +MAX | 変化なし |
| | - | - | |
| + | + | + | |
| | - | -MAX | |
| 0 | + | +MAX | |
| | - | -MAX | |
| 最近傍 | + | + | |
| | - | - | |

注1 . オーバフロー例外イネーブル(EO)ビット(FPSRレジスタのb20)="0"のとき

注2 . オーバフロー例外イネーブル(EO)ビット(FPSRレジスタのb20)="1"のとき

注 . ・オーバフロー例外によるEIT処理マスク時に、オーバフロー例外が発生すると、同時に精度異常例外が発生します。

・+MAX = H'7F7F FFFF, -MAX = H'FF7F FFFF

2) アンダフロー例外(UDF)

演算結果の絶対値が、浮動小数点フォーマットの正規化数で表現可能な値よりも小さくなった場合に発生します。以下にUDFが発生したときの演算結果を示します。

表4.2.2 アンダフロー例外発生時の演算結果

| 演算結果(デスティネーションレジスタの内容) | |
|---|----------------------------|
| アンダフロー例外によるEIT処理マスク時(注1) | アンダフロー例外によるEIT処理の実行設定時(注2) |
| DNビット=0 : 非実装例外が発生します。 DNビット=1 : 0を返します。 | 変化なし |

注1 . アンダフロー例外イネーブル(EU)ビット(FPSRレジスタのb18)="0"のとき

注2 . アンダフロー例外イネーブル(EU)ビット(FPSRレジスタのb18)="1"のとき

3)精度異常例外 (IXCT)

無限の有効桁を持つと仮定して計算したときの結果と、演算結果が異なっていたときに発生します。以下にIXCTの発生条件と、演算結果を示します。

表4.2.3 精度異常例外発生時の演算結果

| 発生条件 | 演算結果(デスティネーションレジスタの内容) | |
|---------------------------------|------------------------|--------------------------|
| | 精度異常例外によるEIT処理マスク時(注1) | 精度異常例外によるEIT処理の実行設定時(注2) |
| オーバフロー例外によるEIT処理マスク状態でのオーバフロー発生 | オーバフロー例外の演算結果参照 | 変化なし |
| 丸めの発生 | 丸め後の値 | 変化なし |

注1. 精度異常例外イネーブル(EX)ビット(FPSRレジスタのb17)="0"のとき

注2. 精度異常例外イネーブル(EX)ビット(FPSRレジスタのb17)="1"のとき

4)ゼロ除算例外(DIV0)

0でない有限数を0で割ったときに発生します。以下に演算結果を示します。

表4.2.4 ゼロ除算例外発生時の演算結果

| 被除数 | 演算結果(デスティネーションレジスタの内容) | |
|---------|----------------------------|-------------------------|
| | 0除算例外によるEIT処理マスク時(注1) | 0除算例外によるEIT処理の実行設定時(注2) |
| 0でない有限数 | ± (符号は除数、被除数の符号の排他的論理和となる) | 変化なし |

注1. ゼロ除算例外イネーブル(EZ)ビット(FPSRレジスタのb19)="0"のとき

注2. ゼロ除算例外イネーブル(EZ)ビット(FPSRレジスタのb19)="1"のとき

なお、次の場合は、DIV0は発生しません。ご注意ください。

表4.2.5 ゼロ除算例外が発生しない場合

| 被除数 | 動作 |
|-----|------------------|
| 0 | 無効演算例外発生 |
| | 例外は発生しない(結果は" ") |

5)無効演算例外 (IVLD)

無効な演算が実行されたときに発生します。以下にIVLDの発生条件と、演算結果を示します。

表4.2.6 無効演算例外発生時の演算結果

| 発生条件 | | 演算結果(デスティネーションレジスタの内容) | |
|--|---------------|--|------------------------------|
| | | 無効演算例外によるEIT処理 マスク時(注1) | 無効演算例外によるEIT 処理の実行設定時(注2) |
| SNaNオペランドに対する演算 | | QNaN | 変化なし |
| + -(+), - -(-) | | | |
| 0 × | | | |
| 0 ÷ 0、 ÷ | | | |
| <ul style="list-style-type: none"> ・整数変換がオーバーフローしたとき ・NaN、 を整数変換したとき | FTOI命令 実行時 | 変換前の符号ビットが 0のとき : H'7FFF FFFF 1のとき : H'8000 0000 | |
| | FTOS命令 実行時 | 変換前の符号ビットが 0のとき : H'0000 7FFF 1のとき : H'FFFF 8000 | |
| <、 > の比較をNaNに対して行ったとき | | 比較結果(比較不能) | |

注 . . NaN(非数 : Not a Number)

SNaN(Signaling NaN): 小数部の最上位ビットが0であるNaNです。SNaNを演算のソースオペランドとして使用すると、無効演算例外が発生します。変数の初期値として使用することにより、プログラムの発見に役立ちます。なお、SNaNはハードウェアが生成することはありません。

QNaN(Quiet NaN): 小数部の最上位ビットが1であるNaNです。QNaNを演算のソースオペランドとして使用しても、無効演算例外は発生しません(比較、フォーマット変換を除く)。演算によって伝播するため、トラップを発生させずに結果だけを見てデバッグを行うことができます。なお、QNaNは演算によりハードウェアが生成します。

注1 . 無効演算例外イネーブル(EV)ビット(FPSRレジスタのb21) = "0"のとき

注2 . 無効演算例外イネーブル(EV)ビット(FPSRレジスタのb21) = "1"のとき

6)非実装例外 (UIPL)

非正規化数の0フラッシュ(DN)ビット(FPSRレジスタのb23) = "0"であり、非正規化数が演算オペランドとして与えられたときに発生します(注1)。

UIPLにはイネーブルビットがないため、発生時UIPLをマスクすることはできません。

デスティネーションレジスタは変化しません。

注 . . 演算の中間結果が非正規化数となったときはUDFが発生し、このときDNビット(FPSRレジスタのb23) = "0"ならばUIPLが発生します。

4.2.2 割り込み(Interrupt)

(1)リセット割り込み(RI)

リセット割り込み(RI : Reset Interrupt)は、RESET#信号を入力することにより常に受け付けられます。

リセット割り込みは最高位の優先度を持ちます。

リセット割り込みについては「第7章 リセット」を参照してください。

(2)システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI : System Break Interrupt)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される緊急用割り込みです。割り込み処理後、原則として割り込み発生時に実行していた元のプログラムに復帰しない場合のみ使用できます。

(3)外部割り込み(EI)

外部割り込み(EI : External Interrupt)は、割り込みコントローラで管理される各内蔵周辺I/Oからの割り込み要求です。割り込みコントローラは、割り込み禁止を含めて8レベルの優先順位により管理を行います。

4.2.3 トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応して、ベクタアドレスが16種類用意されています。

4.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム(EITハンドラ)によって処理される部分があります。リセット割り込みを除くEIT受付時の処理手順を以下に示します。

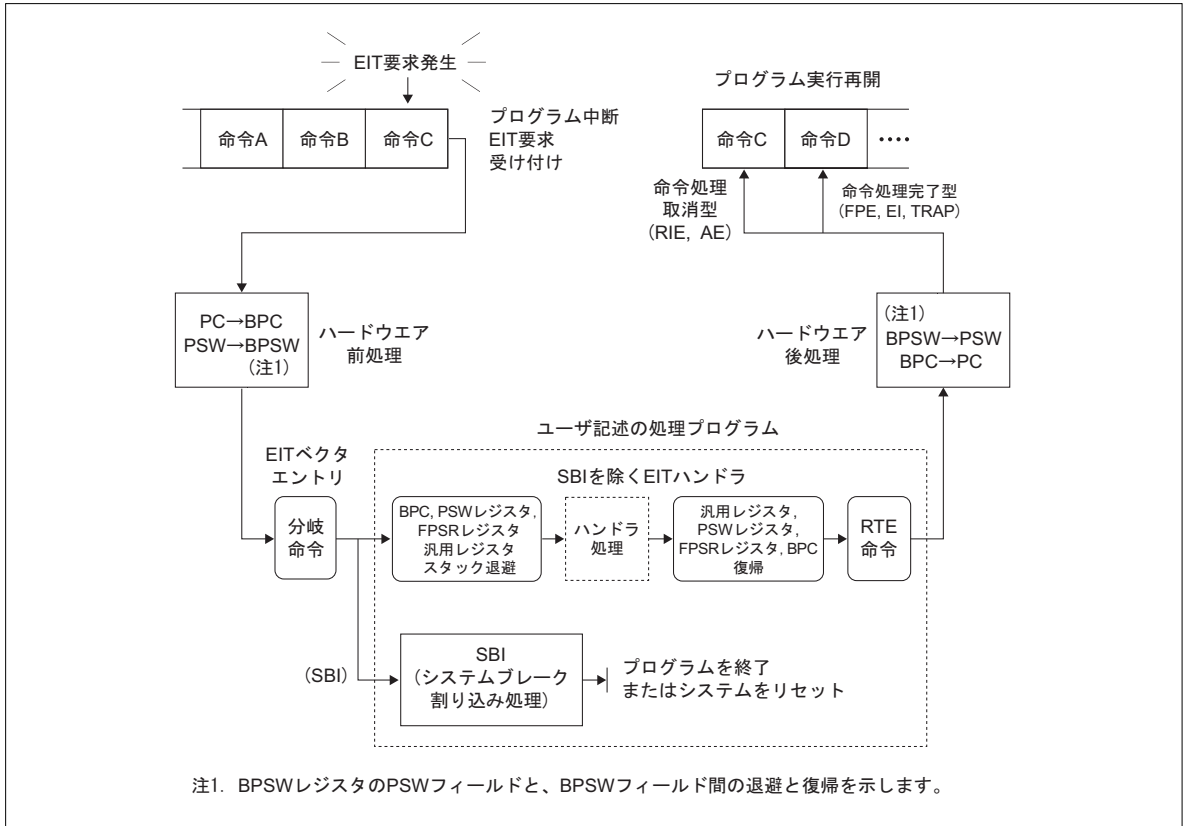


図4.3.1 EIT処理手順の概要

EITが受け付けられると、ハードウェア前処理(後述)を行った後、EITベクタに分岐します。EITベクタには各EITごとにエントリアドレスが割り当てられており、そこにEITハンドラへのBRA命令(分岐命令)を書きます(分岐先アドレスではないことに注意してください)。

ハードウェア前処理では、PCをBPC(バックアップPC)に、PSWレジスタのPSWフィールドの内容をBPSWフィールドへ保持します。

ユーザが記述するEITハンドラ中で、BPCとPSWレジスタ(BPSWフィールドを含む) およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRレジスタを退避してください。これらのレジスタのスタックへの退避は、ユーザがプログラムで行うことに注意してください。

EITハンドラ処理完了後は、スタックに退避したレジスタを復帰して、最後に「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します(ただしシステムブレイク割り込みは除きます)。

ハードウェア後処理では、BPCをPCに、PSWレジスタのBPSWフィールドの内容をPSWフィールドに戻します。なお、「RTE命令」実行後のBPC、PSWレジスタのBPSWフィールドの値は不定です。

4.4 EITの処理機構

EIT処理機構は、M32R CPUコア部と内蔵周辺I/Oの割り込みコントローラで構成されます。また、PC, PSWのバックアップ用のレジスタ(BPCレジスタ, PSWのBPSWフィールド)を備えています。内部EIT処理機構を以下に示します。

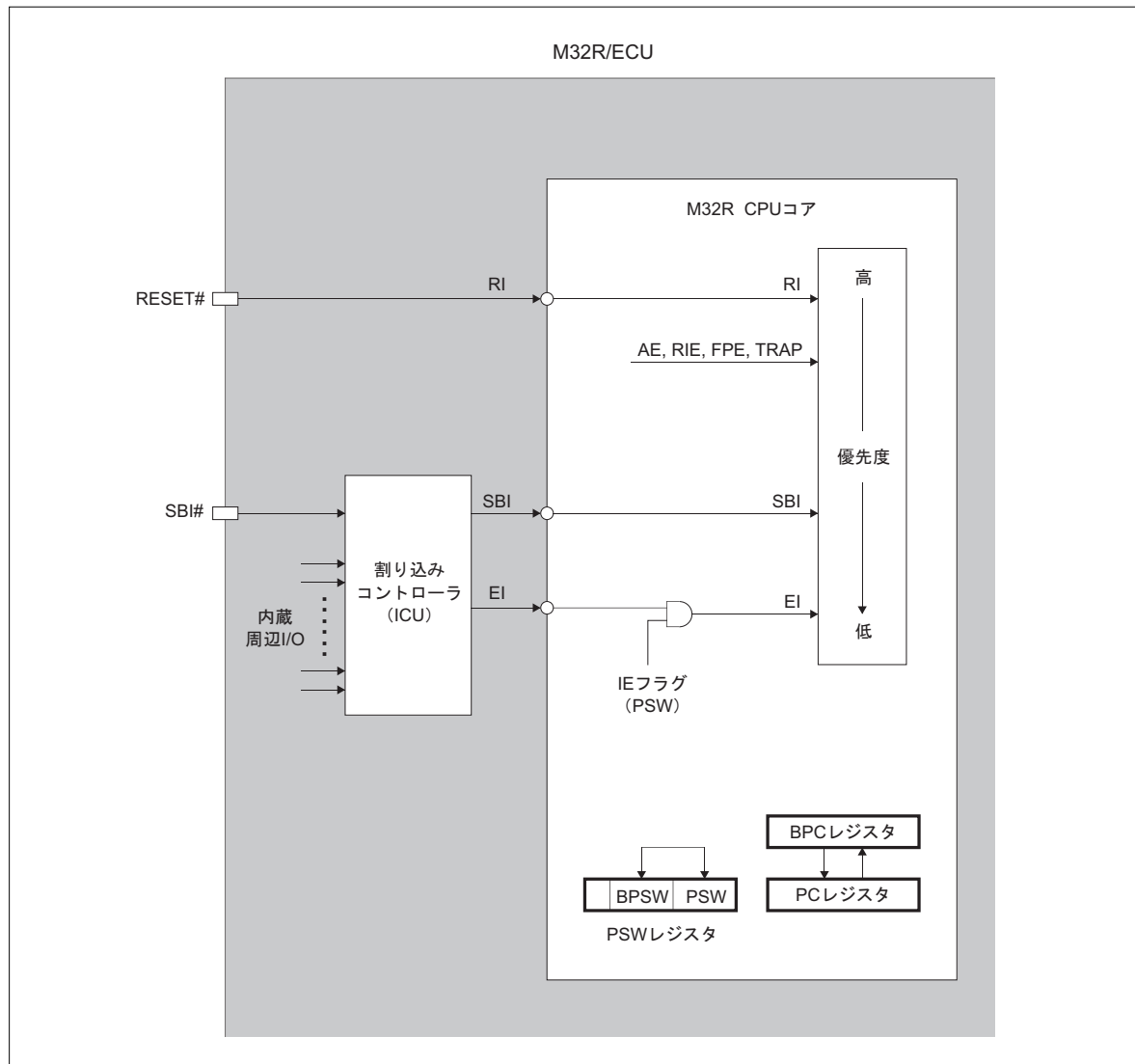


図4.4.1 EIT処理機構

4.5 EIT事象の受付

EIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受付タイミングを以下に示します。

表4.5.1 EIT事象の受付

| EIT事象 | 処理型 | 受付タイミング | BPCレジスタにセットされる値 |
|-------------------------|---------|---------------------|--------------------|
| 予約命令例外(RIE) | 命令処理取消型 | 命令実行中 | RIEを発生した命令のPC値 |
| アドレス例外(AE) | 命令処理取消型 | 命令実行中 | AEを発生した命令のPC値 |
| 浮動小数点例外(FPE) | 命令処理完了型 | 命令の区切り | FPEを発生した命令のPC値 + 4 |
| リセット割り込み(RI) | 命令処理放棄型 | 各マシンサイクル | 不定値 |
| システムブレーク 割り込み(SBI) | 命令処理完了型 | 命令の区切り (ワード境界のみ) | 次命令のPC値 |
| 外部割り込み(EI) | 命令処理完了型 | 命令の区切り (ワード境界のみ) | 次命令のPC値 |
| トラップ(TRAP) | 命令処理完了型 | 命令の区切り | TRAP命令のPC値 + 4 |

4.6 PC, PSWの退避と復帰

EIT受付時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受付時のハードウェア前処理

[1] PSW レジスタ中の SM, IE, C ビットの退避

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

[2] PSW レジスタ中の SM, IE, C ビットの更新

| | |
|----|---|
| SM | 不変(RIE, AE, FPE, TRAP) または"0"にクリア(SBI, EI, RI) |
| IE | "0"にクリア |
| C | "0"にクリア |

[3] PC レジスタの退避

| | |
|-----|----|
| BPC | PC |
|-----|----|

[4] ベクタアドレスを PC レジスタにセット

EITベクタに分岐し、さらにそこに書かれている分岐命令(BRA命令)を実行することで、ユーザが記述したEITハンドラ処理を移します。

(2) 「RTE命令」実行時のハードウェア後処理

[A] PSW レジスタ中の BSM, BIE, BC ビットの復帰

| | |
|----|-----|
| SM | BSM |
| IE | BIE |
| C | BC |

[B] BPC レジスタの値を PC レジスタに復帰

| | |
|----|-----|
| PC | BPC |
|----|-----|

注 . . 「RTE命令」実行後のBPC, PSWレジスタのBSM, BIE, BCビットの値は不定です。

[1] SM, IE, Cビットの退避

BSM ← SM
BIE ← IE
BC ← C

[2] SM, IE, Cビットの更新

SM ← 不変/0
IE ← 0
C ← 0

[A] BSM, BIE, BCビットの復帰

SM ← BSM
IE ← BIE
C ← BC

[3] PCの退避

BPC ← PC

[4] PCにベクタアドレスをセット

PC ← ベクタアドレス

[B] BPCの値をPCに復帰

「RTE命令」実行後のBPCの値は不定になります。

「RTE命令」実行後のBSM, BIE, BCビットの値は不定になります。

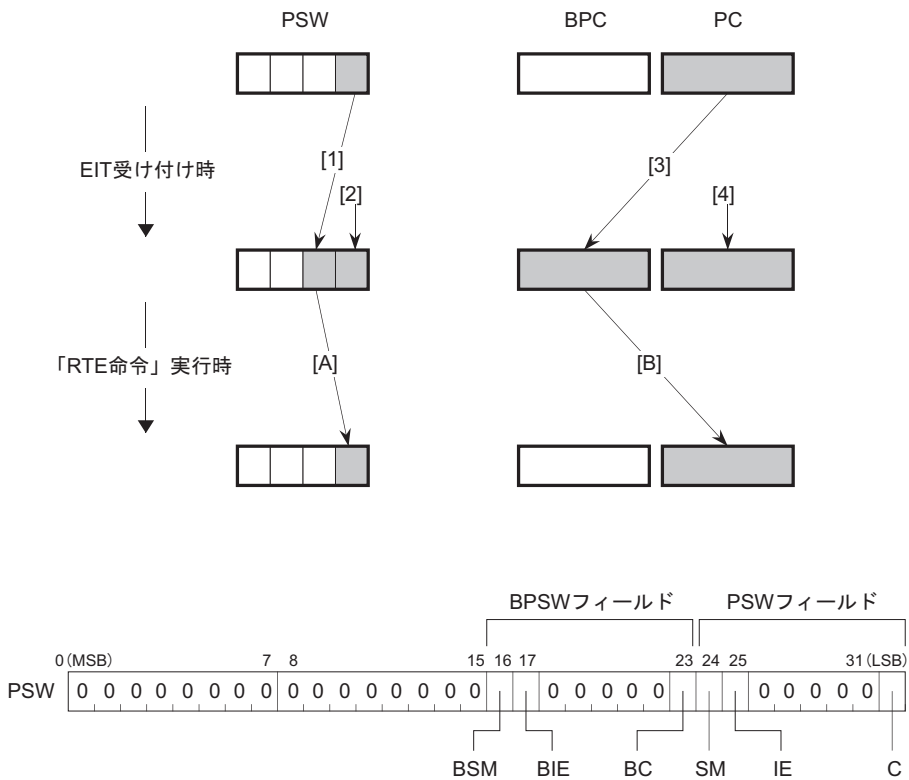


図4.6.1 PC, PSWの退避と復帰

4.7 EITベクタエントリ

EITベクタエントリはユーザ空間のH'0000 0000番地から置かれています。以下にEITベクタエントリの一覧を示します。

表4.7.1 EITベクタエントリ

| 名称 | 略号 | ベクタアドレス | SM | IE | BPC |
|------------------|--------|-----------------|----|----|----------------|
| リセット割り込み | RI | H'0000 0000(注1) | 0 | 0 | 不定 |
| システムブレーク 割り込み | SBI | H'0000 0010 | 0 | 0 | 次命令のPC |
| 予約命令例外 | RIE | H'0000 0020 | 不変 | 0 | 発生命令のPC |
| アドレス例外 | AE | H'0000 0030 | 不変 | 0 | 発生命令のPC |
| トラップ | TRAP0 | H'0000 0040 | 不変 | 0 | TRAP命令のPC + 4 |
| | TRAP1 | H'0000 0044 | 不変 | 0 | " |
| | TRAP2 | H'0000 0048 | 不変 | 0 | " |
| | TRAP3 | H'0000 004C | 不変 | 0 | " |
| | TRAP4 | H'0000 0050 | 不変 | 0 | " |
| | TRAP5 | H'0000 0054 | 不変 | 0 | " |
| | TRAP6 | H'0000 0058 | 不変 | 0 | " |
| | TRAP7 | H'0000 005C | 不変 | 0 | " |
| | TRAP8 | H'0000 0060 | 不変 | 0 | " |
| | TRAP9 | H'0000 0064 | 不変 | 0 | " |
| | TRAP10 | H'0000 0068 | 不変 | 0 | " |
| | TRAP11 | H'0000 006C | 不変 | 0 | " |
| | TRAP12 | H'0000 0070 | 不変 | 0 | " |
| | TRAP13 | H'0000 0074 | 不変 | 0 | " |
| | TRAP14 | H'0000 0078 | 不変 | 0 | " |
| | TRAP15 | H'0000 007C | 不変 | 0 | " |
| 外部割り込み | EI | H'0000 0080(注2) | 0 | 0 | 次命令のPC |
| 浮動小数点例外 | FPE | H'0000 0090 | 不変 | 0 | FPE発生命令のPC + 4 |

注1 . ブートモード時は、リセット解除後にブートプログラムの実行を開始します。詳細は、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

注2 . フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します。詳細については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

4.8 例外(Exception)処理

4.8.1 予約命令例外(RIE)

[発生条件]

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられません。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

| | |
|----|-------|
| SM | 変化しない |
| IE | 0 |
| C | 0 |

(3) PCの退避

予約命令例外を起こした命令のPC値がBPCレジスタにセットされます。例えば、予約命令例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、予約命令例外を起こした命令がワード境界上にあるか(BPCのb30 = "0")、ワード境界上でないか(BPCのb30 = "1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

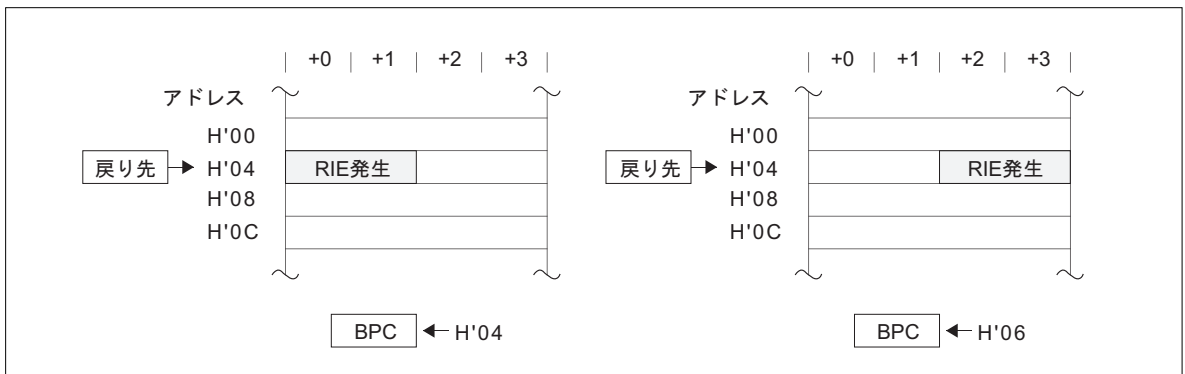


図4.8.1 予約命令例外(RIE)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0020番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0020番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから退避した各レジスタを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、RIE発生の命令を含むワード境界の命令から再開します(図4.8.1参照)。意図的に予約命令例外を使用している場合を除き、予約命令例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、予約命令例外ハンドラから再び元のプログラムに復帰させないでください。

4.8.2 アドレス例外(AE)

[発生条件]

アドレス例外(AE: Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

- LDH命令、LDUH命令、STH命令でアドレス下位2ビットが"01", "11"の場合
- LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが"01", "10", "11"の場合

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられません。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

| | |
|----|-------|
| SM | 変化しない |
| IE | 0 |
| C | 0 |

(3) PCの退避

アドレス例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、アドレス例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか(BPCのb30="0")、ワード境界上にないか(BPCのb30="1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

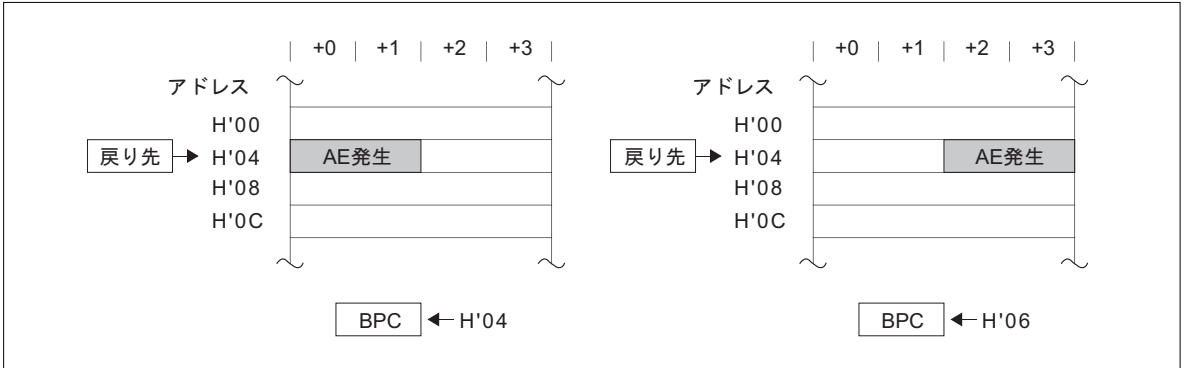


図4.8.2 アドレス例外(AE)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0030番地へ分岐します。ハードウェア前処理はここまではです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0030番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの前頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりで、スタックから退避した各レジスタを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、AE発生を含むワード境界の命令から再開します(図4.8.2参照)。意図的にアドレス例外を使用している場合を除き、予約命令例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、予約命令例外ハンドラから再び元のプログラムに復帰させないでください。

4.8.3 浮動小数点例外(FPE)

[発生条件]

浮動小数点例外(FPU: Floating Point Exception)は、IEEE754規格で規定された5つの例外(OVF/UDF/IXCT/DIV0/IVLD)の他に、非実装例外(UIPL)を検出した場合に発生します。

ただし、以下に示す[EIT処理]は、FPSRレジスタの例外イネーブルビットが"1"に設定されている例外の発生時、またはUIPL発生時に実行されます。

[EIT処理]

(1) SM,IE,Cビットの退避

PSWレジスタ中のSM,IE,Cビットを、BSM,BIE,BCビットに退避します。

BSM SM

BIE IE

BC C

(2) SM,IE,Cビットの更新

PSWレジスタ中のSM,IE,Cビットを次のように更新します。

SM 変化しない

IE 0

C 0

(3) PC の退避

FPE発生命令のPC + 4の値がBPCレジスタにセットされます。

FPEを発生する命令は全て32ビット命令のため、RTE命令の戻り先は常にFPE発生命令の次命令になります。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0090 番地へ分岐します。ハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0090番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEIT ハンドラの前頭では、まずBPC、PSW、FPSR、および必要な汎用レジスタをスタックに退避してください。

(6) EIT ハンドラからの復帰

EIT ハンドラの終わりでは、スタックから退避した各レジスタを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.9 割り込み(Interrupt)処理

4.9.1 リセット割り込み(RI)

[発生条件]

RESET#端子に"L"レベル信号を入力すると、各マシサイクルごと無条件にリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

[EIT 処理]

(1) SM, IE, Cビットの初期化

PSWレジスタ中のSM, IE, Cビットを次のように初期化します。

| | |
|----|---|
| SM | 0 |
| IE | 0 |
| C | 0 |

リセット割り込みの場合、BSM, BIE, BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0000番地へ分岐します。ただし、ブートモード時は、ブートプログラムへ分岐します(詳細については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください)。

(3) EITベクタエントリからユーザプログラムへの分岐

EITベクタエントリのH'0000 0000番地にユーザが書いた命令を実行します。リセットベクタエントリでは、PSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

4.9.2 システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用する緊急用割り込みです。システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません。

したがってシステムブレーク割り込みは、割り込みを検出した時点ですでにシステムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

[発生条件]

SBI#端子への立ち下がりエッジの入力でシステムブレーク割り込みが受け付けられます(システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

また、命令処理完了型のため命令の完了後にシステムブレーク割り込みが受け付けられます。

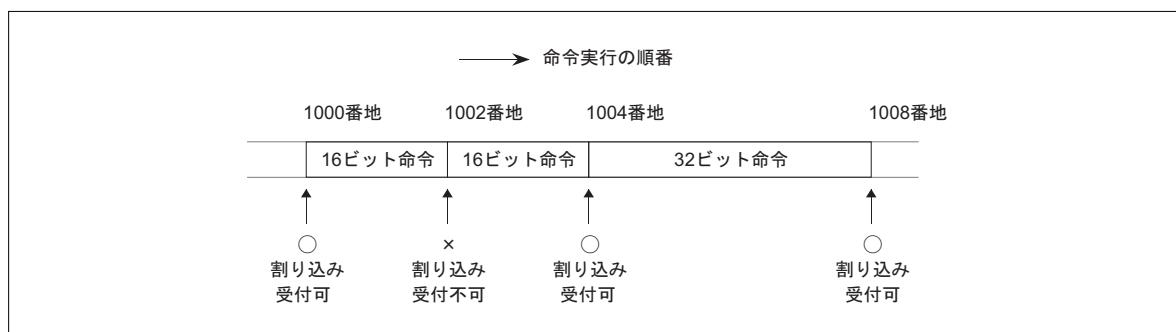


図4.9.1 システムブレイク割り込み(SBI)受付タイミング

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

| | |
|----|---|
| SM | 0 |
| IE | 0 |
| C | 0 |

(3) PCの退避

BPCには、割り込みを判定した時点の次命令のアドレス(常にワード境界)が格納されます。
割り込み判定前が分岐命令の場合、次命令は分岐先の命令になります。

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0010番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0010番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。

システムブレイク割り込みは、システムに何らかの致命的な事象が発生した場合にのみ使用します。
SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

4.9.3 外部割り込み(EI)

外部割り込みは、内蔵の割り込みコントローラから出力された割り込み要求に基づいて発生します。割り込みコントローラでは7レベルの優先順位を設けて、割り込み要求の管理を行っています。割り込みコントローラの詳細については「第5章 割り込みコントローラ」を、割り込み要求要因については内蔵周辺I/Oの各章を参照してください。

[発生条件]

外部割り込みは、各内蔵周辺I/Oからの割り込み要求に基づいて内蔵割り込みコントローラが管理を行い、それをCPUに伝えます。CPU、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSW中のIEフラグが1のときに外部割り込みは受け付けられます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

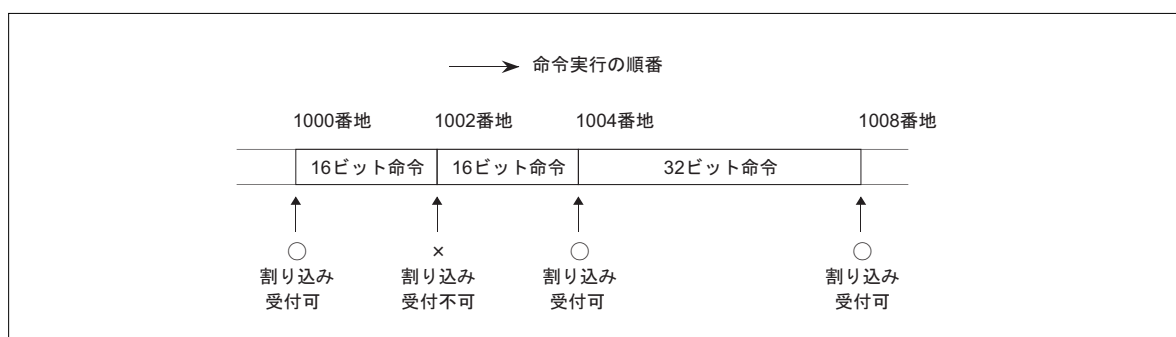


図4.9.2 外部割り込み(EI)受付タイミング

[EIT処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

| | |
|----|---|
| SM | 0 |
| IE | 0 |
| C | 0 |

(3) PCの退避

PCレジスタの内容(常にワード境界)をBPCレジスタに退避します。

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0080番地へ分岐します。ただし、フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します(詳細については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください)。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0080番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから退避したレジスタを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.10 トラップ(Trap)処理

4.10.1 トラップ(TRAP)

[発生条件]

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0~15に対応して16種類のトラップが発生します。これに対応して、ベクタエントリは16エントリ用意されています。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

| | |
|-----|----|
| BSM | SM |
| BIE | IE |
| BC | C |

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

| | |
|----|-------|
| SM | 変化しない |
| IE | 0 |
| C | 0 |

(3) PCの退避

トラップ命令を実行すると、(TRAP命令のPC値 + 4)の値がBPCレジスタにセットされます。例えば、4番地に「TRAP命令」が置かれた場合は、BPCレジスタにH'08がセットされます。同様に6番地に置かれた場合は、BPCレジスタにはH'0Aがセットされます。BPCレジスタのビット30の値は、トラップ命令がワード境界上にあるか(BPCのb30 = "0")、ワード境界上でないか(BPCのb30 = "1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も8番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

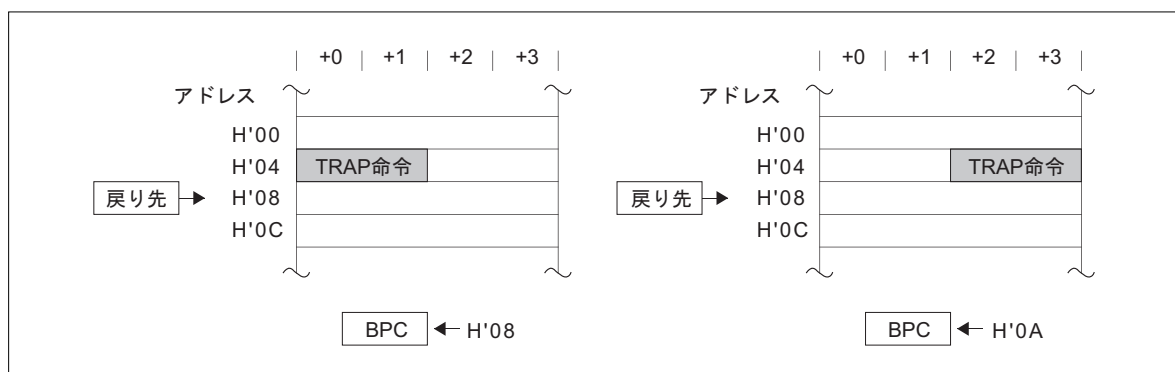


図4.10.1 トラップ(TRAP)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0040 ~ H'0000 007C番地へ分岐します。ハードウェア前処理はここまです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0040 ~ H'0000 007C番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの手元番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。このときトラップ発生時の命令を含みます。

4.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表4.11.1 EIT事象の優先度と復帰形態

| 優先度 | EIT事象 | 処理型 | BPCレジスタにセットされる値 |
|--------|-------------------------|---------|--------------------|
| 1(最優先) | リセット割り込み(RI) | 命令処理放棄型 | 不定 |
| 2 | アドレス例外(AE) | 命令処理取消型 | 発生した命令のPC |
| | 予約命令例外(RIE) | 命令処理取消型 | 発生した命令のPC |
| | 浮動小数点例外(FPE) | 命令処理完了型 | FPEを発生した命令のPC値 + 4 |
| | トラップ(TRAP) | 命令処理完了型 | TRAP命令 + 4 |
| 3 | システムブレーク 割り込み(SBI) | 命令処理完了型 | 次命令のPC |
| 4 | 外部割り込み(EI) | 命令処理完了型 | 次命令のPC |

なお、外部割り込み(EI)における周辺I/Oからの各割り込み要求の優先順位設定は、内蔵の割り込みコントローラで行います。詳細は第5章「割り込みコントローラ」を参照してください。

4.12 EIT処理の例

(1) RIE, AE, FPE, SBI, EI, TRAPが単独で発生した場合

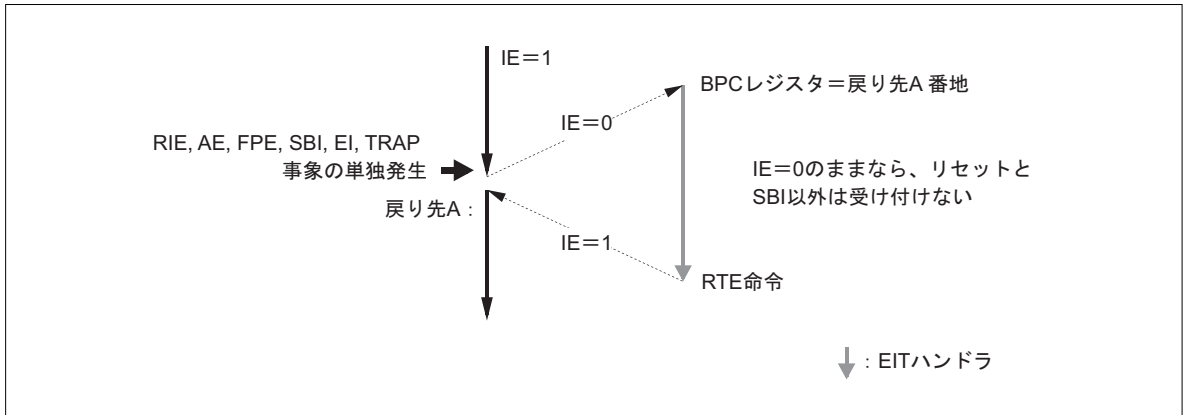


図4.12.1 RIE, AE, FPE, SBI, EI, TRAP各事象の処理

(2) RIE, AE, FPE, TRAPのいずれかとEIが同時に発生した場合

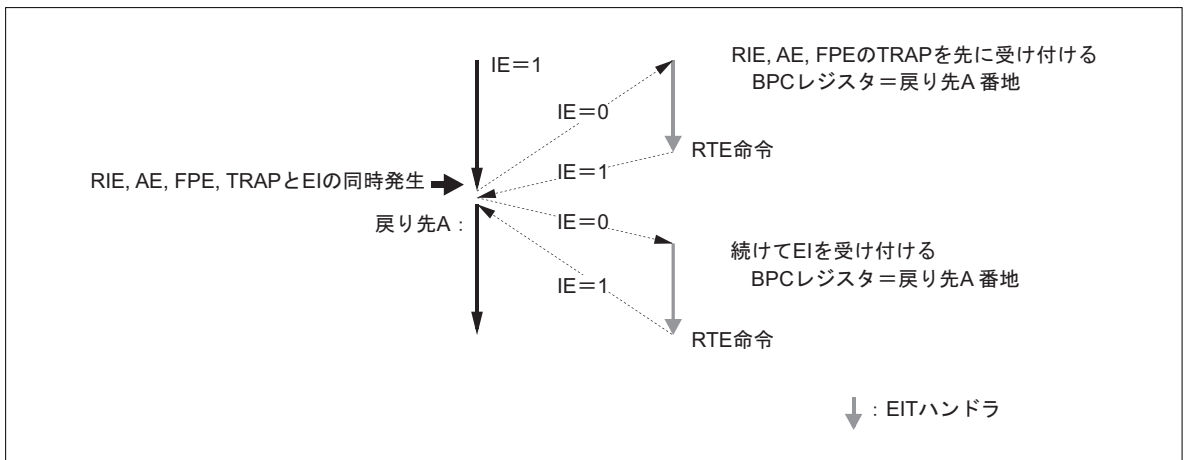


図4.12.2 RIE, AE, FPE, TRAPとEIが同時発生した場合の処理

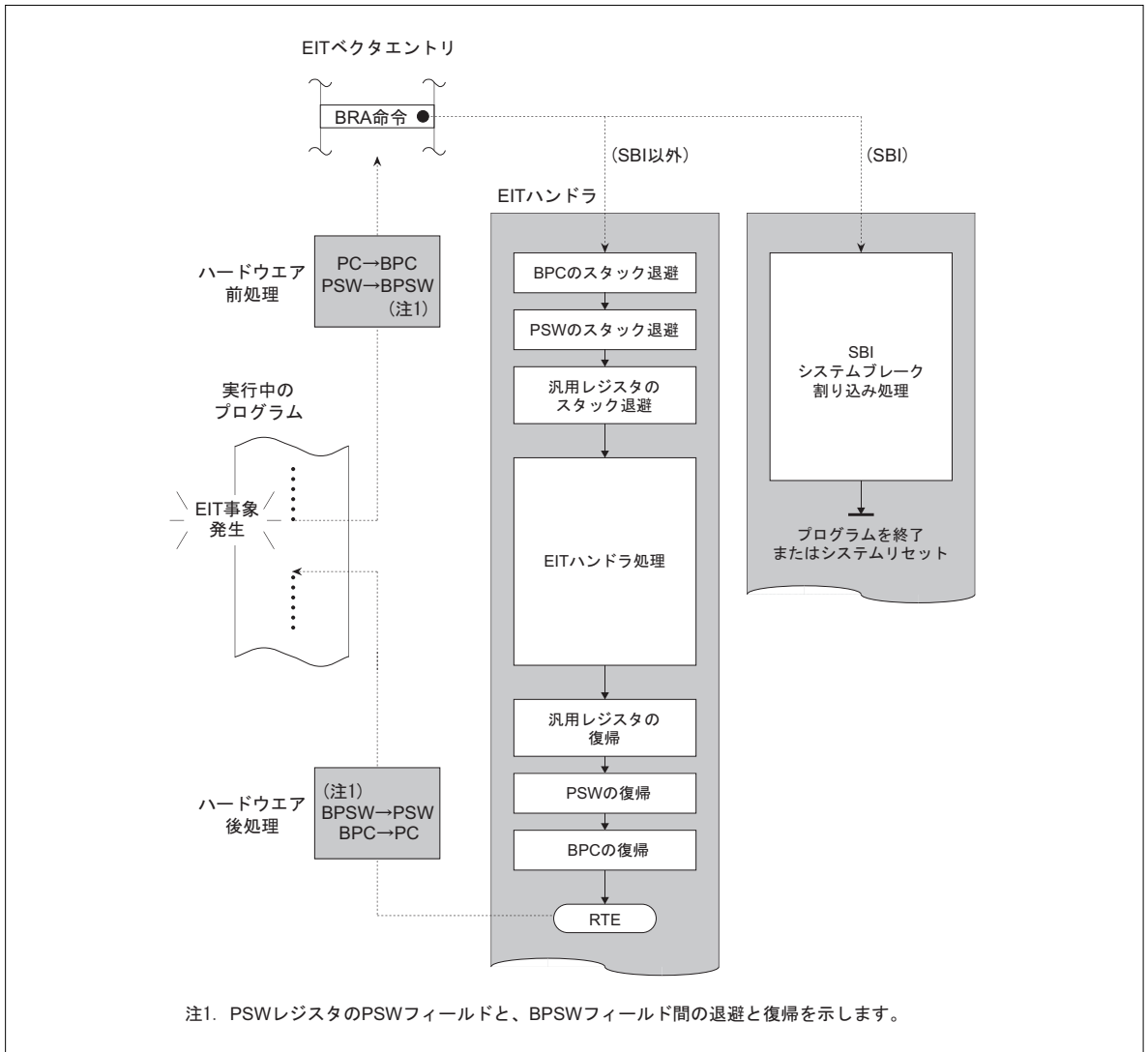


図4.12.3 EIT処理の例

4.13 EITの注意事項

アドレス例外は、「レジスタ間接 + レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(R_{src} , R_{src2})の値が不定となります。

なお、 R_{src} , R_{src2} の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

●対象命令

| | |
|----|-----------------------------|
| LD | R_{dest} , $@R_{src} +$ |
| ST | R_{src1} , $@ - R_{src2}$ |
| ST | R_{src1} , $@ + R_{src2}$ |

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

レイアウトの都合上、このページは白紙です。

第5章

割り込みコントローラ(ICU)

- 5.1 割り込みコントローラ概要
- 5.2 ICU関連レジスタ
- 5.3 内蔵周辺I/Oの割り込み要求要因
- 5.4 ICUベクタテーブル
- 5.5 割り込み動作説明
- 5.6 システムブレーク割り込み(SBI)動作説明

5.1 割り込みコントローラ概要

割り込みコントローラ(ICU)は、内蔵周辺I/Oからのマスク可能な割り込みと、システムブレーク割り込み(SBI)の管理を行います。内蔵周辺I/Oからのマスク可能な割り込みは、外部割り込み(EI)としてM32R CPU に伝えられます。

内蔵周辺I/Oからのマスク可能な割り込みは、割り込み禁止を含めて8レベルの優先順位により管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。内蔵周辺I/O内での割り込み要求発生元の特定は、内蔵周辺I/Oの割り込みステータスレジスタを読むことで行います。

一方システムブレーク割り込み(SBI)は、SBI#端子に立ち下がりエッジが入力された場合に発生する割り込みです。PSWレジスタのIEビットの状態にかかわらず常に受け付けられ、電源の異常検出時や、外部ウォッチドックタイマによる異常検出時に使用される緊急用の割り込みです。システムブレーク割り込みに対する処置の終了後には、割り込み要求発生時に実行していた元のプログラムには復帰せず、システムを終了するか、またはリセットしてください。

割り込みコントローラの概要を以下に示します。

表5.1.1 割り込みコントローラ(ICU)の概要

| 項目 | 概要 |
|----------|---|
| 割り込み要求要因 | 内蔵周辺I/Oからのマスク可能な割り込み要求 : 32要因(注1) システムブレーク割り込み要求 : 1要因(SBI#端子からの入力) |
| レベル管理 | 割り込み禁止を含めて8レベル (ただし同一レベルの場合はハードウェアで固定された優先順位を適用) |

注1．割り込み要求数をグループごとにまとめた数であり、割り込み要求要因総数としては179要因です。

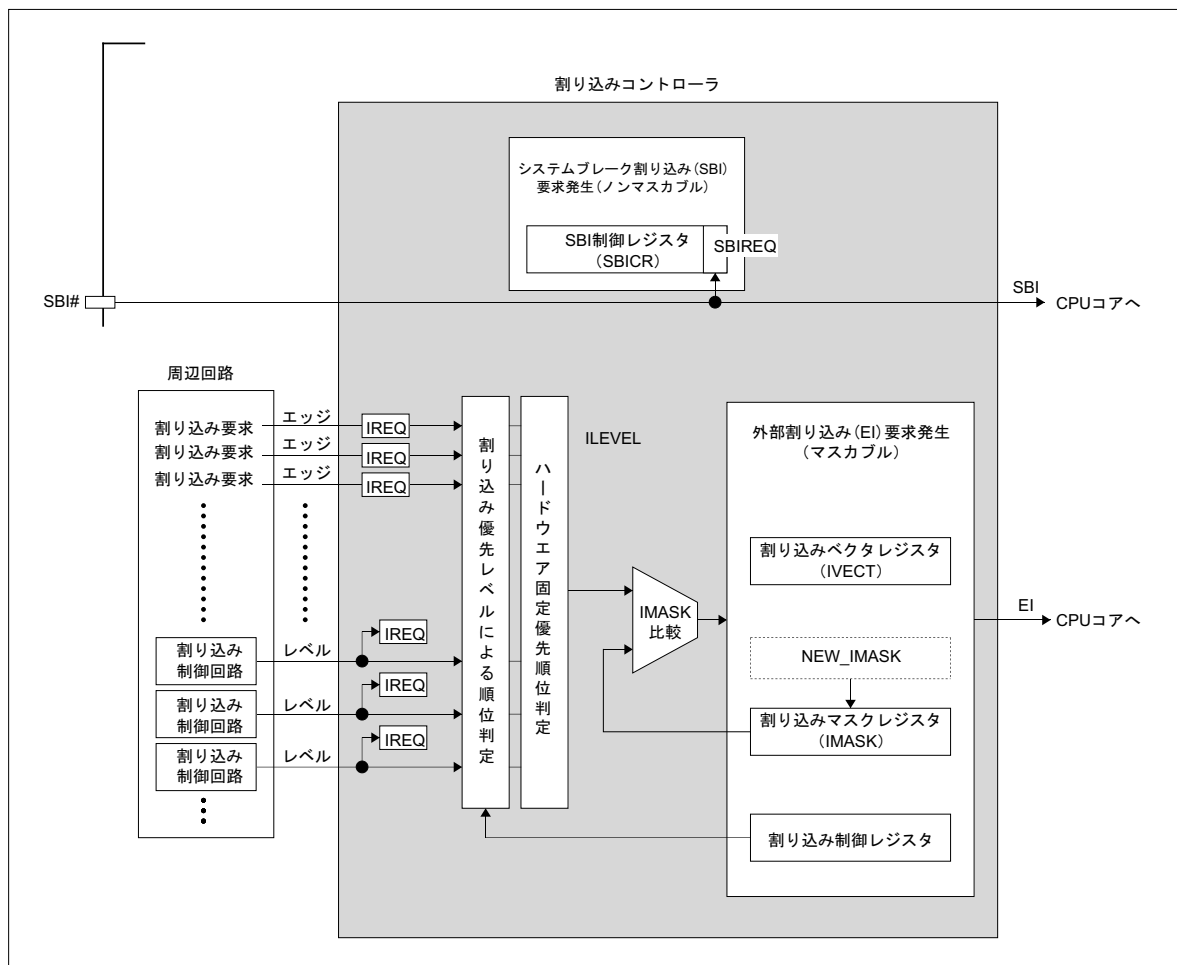


図5.1.1 割り込みコントローラブロック図

5.2 ICU関連レジスタ

割り込みコントローラ(ICU)関連のレジスタマップを以下に示します。

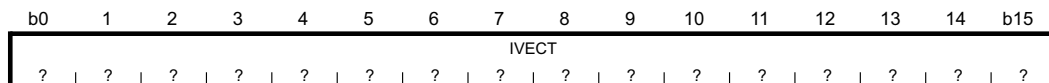
ICU関連レジスタマップ

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|--|--|-----------|
| | b0 | b7 b8 | b15 |
| H'0080 0000 | 割り込みベクタレジスタ (IVECT) | | 5-5 |
| H'0080 0002 | (使用禁止領域) | | |
| H'0080 0004 | 割り込み要求マスクレジスタ (IMASK) | (使用禁止領域) | 5-6 |
| H'0080 0006 | SBI制御レジスタ (SBICR) | (使用禁止領域) | 5-7 |
| } | (使用禁止領域) | | |
| H'0080 0060 | CAN0送受信 & エラー割り込み制御レジスタ (ICAN0CR) | TIN30 ~ 33入力割り込み制御レジスタ (ITIN3033CR) | 5-8 |
| H'0080 0062 | TID2出力割り込み制御レジスタ (ITID2CR) | A-D1変換割り込み制御レジスタ (IAD1CCR) | 5-8 |
| H'0080 0064 | SIO4,5送受信割り込み制御レジスタ (ISIO45CR) | TOU1,2出力割り込み制御レジスタ (ITOU12CR) | 5-8 |
| H'0080 0066 | TID1出力割り込み制御レジスタ (ITID1CR) | RTD割り込み制御レジスタ (IRTDICR) | 5-8 |
| H'0080 0068 | SIO2,3送受信割り込み制御レジスタ (ISIO23CR) | DMA5 ~ 9割り込み制御レジスタ (IDMA59CR) | 5-8 |
| H'0080 006A | TOU0出力割り込み制御レジスタ (ITOU0CR) | TID0出力割り込み制御レジスタ (ITID0CR) | 5-8 |
| H'0080 006C | A-D0変換割り込み制御レジスタ (IAD0CCR) | SIO0送信割り込み制御レジスタ (ISIO0TXCR) | 5-8 |
| H'0080 006E | SIO0受信割り込み制御レジスタ (ISIO0RXCR) | SIO1送信割り込み制御レジスタ (ISIO1TXCR) | 5-8 |
| H'0080 0070 | SIO1受信割り込み制御レジスタ (ISIO1RXCR) | DMA0 ~ 4割り込み制御レジスタ (IDMA04CR) | 5-8 |
| H'0080 0072 | TIO0 ~ 3出力割り込み制御レジスタ (ITIO03CR) | TOP6,7出力割り込み制御レジスタ (ITOP67CR) | 5-8 |
| H'0080 0074 | TOP0 ~ 5出力割り込み制御レジスタ (ITOP05CR) | TIO8,9出力割り込み制御レジスタ (ITIO89CR) | 5-8 |
| H'0080 0076 | TIO4 ~ 7出力割り込み制御レジスタ (ITIO47CR) | TOP10出力割り込み制御レジスタ (ITOP10CR) | 5-8 |
| H'0080 0078 | TOP8,9出力割り込み制御レジスタ (ITOP89CR) | TMS0,1出力割り込み制御レジスタ (ITMS01CR) | 5-8 |
| H'0080 007A | TIN7 ~ 11入力割り込み制御レジスタ (ITIN711CR) | TIN0 ~ 2入力割り込み制御レジスタ (ITIN02CR) | 5-8 |
| H'0080 007C | TIN12 ~ 19入力割り込み制御レジスタ (ITIN1219CR) | TIN20 ~ 29入力割り込み制御レジスタ (ITIN2029CR) | 5-8 |
| H'0080 007E | TIN3 ~ 6入力割り込み制御レジスタ (ITIN36CR) | CAN1送受信 & エラー割り込み制御レジスタ (ICAN1CR) | 5-8 |

5.2.1 割り込みベクタレジスタ

割り込みベクタレジスタ(IVECT)

<アドレス: H'0080 0000>



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|--------------------------------|---|---|---|
| 0~15 | IVECT ICUベクタテーブルアドレス下位16ビット | 割り込み要求受付時に、受け付けた割り込み要求要因に対応するICUベクタテーブルアドレスの下位16ビットが格納されます。 | R | N |

注. ・このレジスタは、ハーフワード(2バイト)で読み出してください(読み出し専用レジスタ)。

割り込みベクタレジスタ(IVECT)は、割り込み要求受付時に、受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。

ICUベクタテーブル(H'0000 0094 ~ H'0000 0113番地)には、あらかじめ各内蔵周辺I/Oの割り込みハンドラ先頭アドレスを設定しておきます。割り込み要求受付時には、受け付けた割り込み要求要因に対応するICUベクタテーブルのアドレス下位16ビットが、このIVECTレジスタにセットされます。EITハンドラでは、このIVECTレジスタの内容を「LDH命令」で読み出すことで、ICUベクタテーブルのアドレスを取得します。

なお、IVECTレジスタを読み出すと、以下の(1)~(4)の動作がハードウェアによって自動的に行われます。

- (1)受け付けた割り込み要求要因の割り込み優先レベル(ILEVEL)を、新しいIMASK値としてIMASKレジスタにセット(受け付けた割り込み要求要因より低い割り込み優先レベルの割り込みをマスク)
- (2)受け付けた割り込み要求要因をクリア(レベルタイプの割り込み要求要因はクリアされません)
- (3)CPUコアへの割り込み要求(EI)を解除
- (4)ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注. ・EITハンドラ内の割り込み禁止期間以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込み要求マスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。

- ・割り込みベクタレジスタ(IVECT)の読み出し後、割り込みを許可(IEビットへの"1"書き込み)する場合には、内蔵メモリ等へのダミーアクセス後に許可してください。(EITハンドラ処理例のICUベクタテーブルの読み出しは内蔵ROMへのアクセスとなりますので、ダミーアクセスを追加する必要はありません。)

5.2.2 割り込み要求マスクレジスタ

割り込み要求マスクレジスタ(IMASK)

<アドレス : H'0080 0004 >

| | | | | | | | |
|----|---|---|---|---|-------|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| | | | | | IMASK | | |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

<リセット解除時 : H'07 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5~7 | IMASK 割り込み要求マスクビット | 000 : マスカブル割り込み禁止 001 : レベル0 割り込み受付可 010 : レベル0~1割り込み受付可 011 : レベル0~2割り込み受付可 100 : レベル0~3割り込み受付可 101 : レベル0~4割り込み受付可 110 : レベル0~5割り込み受付可 111 : レベル0~6割り込み受付可 | R | W |

割り込み要求マスクレジスタ(IMASK)は、各割り込み要求要因ごとに設定した優先レベル(割り込み制御レジスタのILEVELビットの設定)と比較して、最終的にその割り込み要求を受け付けるかどうかを決定するレジスタです。

前出の割り込みベクタレジスタ(IVECT)を読み出すと、このIMASKレジスタに、受け付けた割り込み要求要因の割り込み優先レベルを、新しいマスク値としてセットします。

なお、IMASKレジスタに書き込みを行うと、以下(1)~(2)の動作がハードウェアによって自動的に行われます。

- (1) CPUコアへの割り込み要求(EI)を解除
- (2) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

- 注 .
- ・ EITハンドラ内の割り込み禁止期間以外での、割り込み要求マスクレジスタ(IMASK)への書き込みは行わないでください。
 - ・ 割り込み要求マスクレジスタ(IMASK)への書き込み後、割り込みを許可(IEビットへの"1"書き込み)する場合には、内蔵メモリ等へのダミーアクセス後に許可してください。

5.2.3 SBI(システムブレーク割り込み)制御レジスタ

SBI(システムブレーク割り込み)制御レジスタ(SBICR)

<アドレス : H'0080 0006 >

| | | | | | | | |
|----|---|---|---|---|---|---|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | SBIREQ 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|----------|---------------------------|--------|---|
| 0~6 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 7 | SBIREQ | 0 : SBI要求なし | R (注1) | |
| | SBI要求ビット | 1 : SBI要求あり | | |

注1 . クリア動作のみ可能(下記参照)

SBI(システムブレーク割り込み)は、SBI#端子に立ち下がりエッジが入力された場合に発生する割り込み要求です。

SBI#端子に立ち下がりエッジが入力され、このビットが"1"にセットされるとCPUに対してシステムブレーク割り込み(SBI)要求が発生します。

このビットは、ソフトウェアにて"1"にセットできません。

このビットを"0"にクリアする場合は、以下の手順で行ってください。

- 1 . SBI要求ビットに"1"を書き込む
- 2 . SBI要求ビットに"0"を書き込む

注 . . ただし、このビットに"1"がセットされていないときは、上記クリア動作を行わないでください。

5.2.4 割り込み制御レジスタ

| | |
|--------------------------------------|-----------------------|
| CAN0送受信 & エラー割り込み制御レジスタ(ICAN0CR) | <アドレス : H'0080 0060 > |
| TIN30 ~ 33入力割り込み制御レジスタ(ITIN3033CR) | <アドレス : H'0080 0061 > |
| TID2出力割り込み制御レジスタ(ITID2CR) | <アドレス : H'0080 0062 > |
| A-D1変換割り込み制御レジスタ(IAD1CCR) | <アドレス : H'0080 0063 > |
| SIO4,5送受信割り込み制御レジスタ(ISIO45CR) | <アドレス : H'0080 0064 > |
| TOU1,2出力割り込み制御レジスタ(ITOU12CR) | <アドレス : H'0080 0065 > |
| TID1出力割り込み制御レジスタ(ITID1CR) | <アドレス : H'0080 0066 > |
| RTD割り込み制御レジスタ(IRTDCR) | <アドレス : H'0080 0067 > |
| SIO2,3送受信割り込み制御レジスタ(ISIO23CR) | <アドレス : H'0080 0068 > |
| DMA5 ~ 9割り込み制御レジスタ(IDMA59CR) | <アドレス : H'0080 0069 > |
| TOU0出力割り込み制御レジスタ(ITOU0CR) | <アドレス : H'0080 006A > |
| TID0出力割り込み制御レジスタ(ITID0CR) | <アドレス : H'0080 006B > |
| A-D0変換割り込み制御レジスタ(IAD0CCR) | <アドレス : H'0080 006C > |
| SIO0送信割り込み制御レジスタ(ISIO0TXCR) | <アドレス : H'0080 006D > |
| SIO0受信割り込み制御レジスタ(ISIO0RXCR) | <アドレス : H'0080 006E > |
| SIO1送信割り込み制御レジスタ(ISIO1TXCR) | <アドレス : H'0080 006F > |
| SIO1受信割り込み制御レジスタ(ISIO1RXCR) | <アドレス : H'0080 0070 > |
| DMA0 ~ 4割り込み制御レジスタ(IDMA04CR) | <アドレス : H'0080 0071 > |
| TIO0 ~ 3出力割り込み制御レジスタ(ITIO03CR) | <アドレス : H'0080 0072 > |
| TOP6,7出力割り込み制御レジスタ(ITOP67CR) | <アドレス : H'0080 0073 > |
| TOP0 ~ 5出力割り込み制御レジスタ(ITOP05CR) | <アドレス : H'0080 0074 > |
| TIO8,9出力割り込み制御レジスタ(ITIO89CR) | <アドレス : H'0080 0075 > |
| TIO4 ~ 7出力割り込み制御レジスタ(ITIO47CR) | <アドレス : H'0080 0076 > |
| TOP10出力割り込み制御レジスタ(ITOP10CR) | <アドレス : H'0080 0077 > |
| TOP8,9出力割り込み制御レジスタ(ITOP89CR) | <アドレス : H'0080 0078 > |
| TMS0,1出力割り込み制御レジスタ(ITMS01CR) | <アドレス : H'0080 0079 > |
| TIN7 ~ 11入力割り込み制御レジスタ(ITIN711CR) | <アドレス : H'0080 007A > |
| TIN0 ~ 2入力割り込み制御レジスタ(ITIN02CR) | <アドレス : H'0080 007B > |
| TIN12 ~ 19入力割り込み制御レジスタ(ITIN1219CR) | <アドレス : H'0080 007C > |
| TIN20 ~ 29入力割り込み制御レジスタ(ITIN2029CR) | <アドレス : H'0080 007D > |
| TIN3 ~ 6入力割り込み制御レジスタ(ITIN36CR) | <アドレス : H'0080 007E > |
| CAN1送受信 & エラー割り込み制御レジスタ(ICAN1CR) | <アドレス : H'0080 007F > |

| | | | | | | | | |
|-----|---|----|-----------|----|-----------------|----|------|---|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 | |
| (b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15) | |
| 0 | 0 | 0 | IREQ 0 | 0 | ILEVEL 1 1 1 | | | 1 |

<リセット解除時: H'07>

| b | ビット名 | 機能 | R | W |
|----------------|---------------------------|--|---|---|
| 0~2 (8~10) | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 (11) | IREQ 割り込み要求ビット | <エッジタイプの場合> [読み出し時] 0: 割り込み要求なし 1: 割り込み要求あり [書き込み時] 0: 割り込み要求クリア 1: 割り込み要求発生 <レベルタイプの場合> [読み出し時] 0: 割り込み要求なし 1: 割り込み要求あり | R | W |
| 4 (12) | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5~7 (13~15) | ILEVEL 割り込み優先レベルビット | 000: 割り込み優先レベル0 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7(割り込み禁止状態) | R | W |

(1) IREQ (割り込み要求) ビット (b3又はb11)

内蔵周辺I/Oの割り込み要求が発生すると、IREQ (割り込み要求) ビットが"1"にセットされます。

このビットはエッジタイプの割り込み要求要因のみソフトウェアでセット/クリアすることができます(レベルタイプはソフトウェアでセット/クリアできません)。また、エッジタイプの割り込み要求発生でセットされたIREQビットは、割り込みベクタレジスタ(IVECT)を読み出すと、自動的に"0"にクリアされます(レベルタイプはIVECTを読み出してもクリアされません)。

割り込み要求発生によるセットとソフトウェアによるクリアが同時に発生した場合は、ソフトウェアによるクリアが優先されます。また、割り込み要求発生によるセットとIVECT読み出しによるクリアが同時に発生した場合は、IVECT読み出しによるクリアが優先されます。

注・ IREQビットをクリアしても、CPUコアへの割り込み要求(EI)はクリアされません。CPUコアへの割り込み要求(EI)は、次の動作によってのみクリアされます。

- (1) リセット
- (2) IVECTレジスタの読み出し
- (3) IMASKレジスタへの書き込み

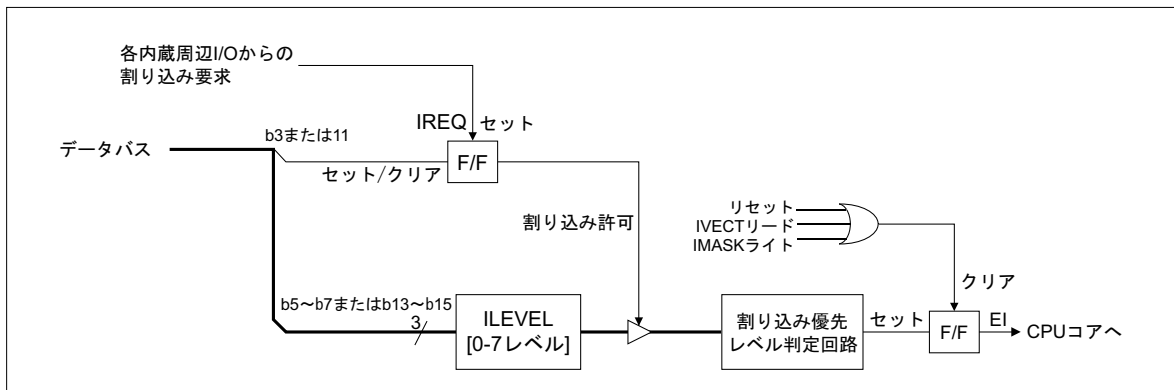


図5.2.1 割り込み制御レジスタ構成(エッジタイプ)

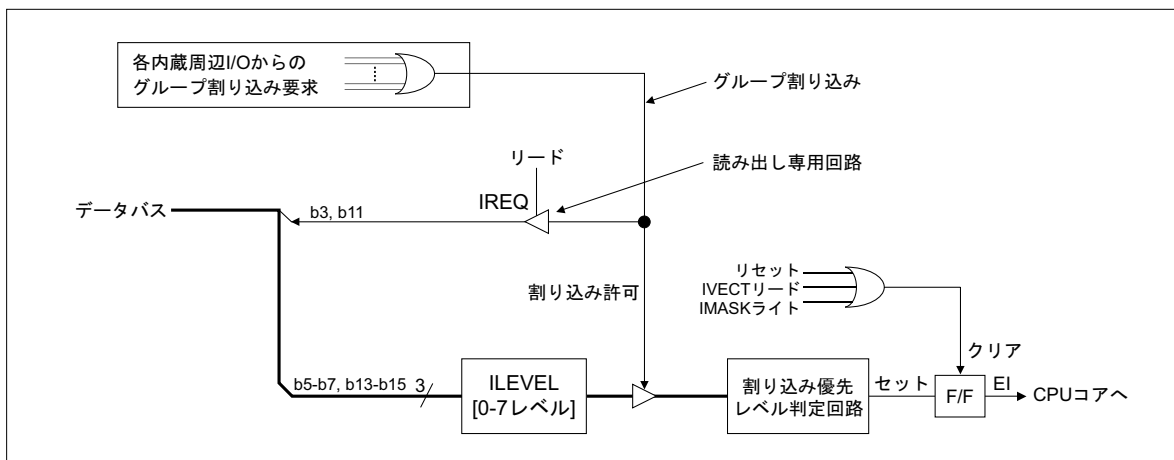


図5.2.2 割り込み制御レジスタ構成(レベルタイプ)

(2) ILEVEL(割り込み優先レベル) (b5~b7又はb13~b15)

各内蔵周辺I/Oの割り込み要求の優先レベルを設定します。内蔵周辺I/Oの割り込みを禁止する場合は"111"を、割り込みを使用する場合は"000"~"110"を設定します。

割り込み要求発生時、ILEVELの設定をもとに要因間の優先順位を判定するとともに、最終的にIMASKの値と比較してCPUへのEI要求を出力するか、保留するかが決定されます。

ILEVELの設定と受け付けられるIMASK値の関係を以下に示します。

表5.2.1 ILEVELの設定と受け付けられるIMASK値

| ILEVEL設定値 | 割り込みが受け付けられるIMASK値 |
|----------------------|-----------------------|
| 0 (ILEVEL = "000") | IMASKが 1~7 のとき受け付けられる |
| 1 (ILEVEL = "001") | IMASKが 2~7 のとき受け付けられる |
| 2 (ILEVEL = "010") | IMASKが 3~7 のとき受け付けられる |
| 3 (ILEVEL = "011") | IMASKが 4~7 のとき受け付けられる |
| 4 (ILEVEL = "100") | IMASKが 5~7 のとき受け付けられる |
| 5 (ILEVEL = "101") | IMASKが 6~7 のとき受け付けられる |
| 6 (ILEVEL = "110") | IMASKが 7 のとき受け付けられる |
| 7 (ILEVEL = "111") | 受け付けられない(割り込み禁止状態) |

5.3 内蔵周辺I/Oの割り込み要求要因

割り込みコントローラには、MJT(マルチジャンクションタイマ)、DMAC、シリアルI/O、A-D変換器、RTD、CANからの割り込み要求が入力されます。割り込みの詳細については、各内蔵周辺I/Oの章を参照してください。

表5.3.1 内蔵周辺I/Oの割り込み要求要因

| 割り込み要求要因 | 内容 | 入力要因数 | ICU入力要因タイプ(注1) |
|-------------------|--|-------|----------------|
| TIN3～6入力割り込み要求 | TIN3～TIN6入力 | 4 | レベル |
| TIN20～29入力割り込み要求 | TIN20～TIN29入力 | 10 | レベル |
| TIN12～19入力割り込み要求 | TIN12～TIN19入力 | 8 | レベル |
| TIN0～2入力割り込み要求 | TIN0～TIN2入力 | 3 | レベル |
| TIN7～11入力割り込み要求 | TIN7～TIN11入力 | 5 | レベル |
| TMS0,1出力割り込み要求 | TMS0, TMS1出力 | 2 | レベル |
| TOP8,9出力割り込み要求 | TOP8, TOP9出力 | 2 | レベル |
| TOP10出力割り込み要求 | TOP10出力 | 1 | エッジ |
| TIO4～7出力割り込み要求 | TIO4～TIO7出力 | 4 | レベル |
| TIO8,9出力割り込み要求 | TIO8, TIO9出力 | 2 | レベル |
| TOP0～5出力割り込み要求 | TOP0～TOP5出力 | 6 | レベル |
| TOP6,7出力割り込み要求 | TOP6, TOP7出力 | 2 | レベル |
| TIO0～3出力割り込み要求 | TIO0～TIO3出力 | 4 | レベル |
| DMA0～4割り込み要求 | DMA0～4の転送終了 | 5 | レベル |
| SIO1受信割り込み要求 | SIO1の受信完了、または受信エラー割り込み | 1 | エッジ |
| SIO1送信割り込み要求 | SIO1の送信完了、または送信バッファエンプティ割り込み | 1 | エッジ |
| SIO0受信割り込み要求 | SIO0の受信完了、または受信エラー割り込み | 1 | エッジ |
| SIO0送信割り込み要求 | SIO0の送信完了、または送信バッファエンプティ割り込み | 1 | エッジ |
| A-D0変換割り込み要求 | A-D0変換器のスキャンモードのワンショット終了、 単一モード終了、コンパレータモード終了 | 1 | エッジ |
| TID0出力割り込み要求 | TID0出力 | 1 | エッジ |
| TOU0出力割り込み要求 | TOU0_0～TOU0_7出力 | 8 | レベル |
| DMA5～9割り込み要求 | DMA5～9の転送終了 | 5 | レベル |
| SIO2,3送受信割り込み要求 | SIO2,3の受信完了または受信エラー割り込み、 送信完了または送信バッファエンプティ割り込み | 4 | レベル |
| RTD割り込み要求 | RTD割り込み発生コマンド | 1 | エッジ |
| TID1出力割り込み要求 | TID1出力 | 1 | エッジ |
| TOU1,2出力割り込み要求 | TOU1_0～TOU1_7出力, TOU2_0～TOU2_7出力 | 16 | レベル |
| SIO4,5送受信割り込み要求 | SIO4,5の受信完了、または受信エラー割り込み、 送信完了または送信バッファエンプティ割り込み | 4 | レベル |
| A-D1変換割り込み要求 | A-D1変換器のスキャンモードのワンショット終了、 単一モード終了、コンパレータモード終了 | 1 | エッジ |
| TID2出力割り込み要求 | TID2出力 | 1 | エッジ |
| TIN30～33入力割り込み要求 | TIN30～TIN33入力 | 4 | レベル |
| CAN0送受信&エラー割り込み要求 | CAN0送信完了, CAN0受信完了, CAN0エラーバッシブ, CAN0エラーパスオフ, CAN0バスエラー, シングルショット | 35 | レベル |
| CAN1送受信&エラー割り込み要求 | CAN1送信完了, CAN1受信完了, CAN1エラーバッシブ, CAN1エラーパスオフ, CAN1バスエラー, シングルショット | 35 | レベル |

注1. ICU入力要因タイプ

- ・エッジ：ICUに入力される割り込み信号の立ち上がりエッジで、割り込み要求が発生します。
- ・レベル：ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

5.4 ICUベクタテーブル

ICUベクタテーブルは、各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定するテーブルで、32要因の割り込み要求に対して以下のアドレスが割り付けられています。

表5.4.1 ICUベクタテーブルアドレス

| 割り込み要求要因 | ICUベクタテーブルアドレス |
|-------------------|---------------------------|
| TIN3～6入力割り込み要求 | H'0000 0094 ～ H'0000 0097 |
| TIN20～29入力割り込み要求 | H'0000 0098 ～ H'0000 009B |
| TIN12～19入力割り込み要求 | H'0000 009C ～ H'0000 009F |
| TIN0～2入力割り込み要求 | H'0000 00A0 ～ H'0000 00A3 |
| TIN7～11入力割り込み要求 | H'0000 00A4 ～ H'0000 00A7 |
| TMS0,1出力割り込み要求 | H'0000 00A8 ～ H'0000 00AB |
| TOP8,9出力割り込み要求 | H'0000 00AC ～ H'0000 00AF |
| TOP10出力割り込み要求 | H'0000 00B0 ～ H'0000 00B3 |
| TIO4～7出力割り込み要求 | H'0000 00B4 ～ H'0000 00B7 |
| TIO8,9出力割り込み要求 | H'0000 00B8 ～ H'0000 00BB |
| TOP0～5出力割り込み要求 | H'0000 00BC ～ H'0000 00BF |
| TOP6,7出力割り込み要求 | H'0000 00C0 ～ H'0000 00C3 |
| TIO0～3出力割り込み要求 | H'0000 00C4 ～ H'0000 00C7 |
| DMA0～4割り込み要求 | H'0000 00C8 ～ H'0000 00CB |
| SIO1受信割り込み要求 | H'0000 00CC ～ H'0000 00CF |
| SIO1送信割り込み要求 | H'0000 00D0 ～ H'0000 00D3 |
| SIO0受信割り込み要求 | H'0000 00D4 ～ H'0000 00D7 |
| SIO0送信割り込み要求 | H'0000 00D8 ～ H'0000 00DB |
| A-D0変換割り込み要求 | H'0000 00DC ～ H'0000 00DF |
| TID0出力割り込み要求 | H'0000 00E0 ～ H'0000 00E3 |
| TOU0出力割り込み要求 | H'0000 00E4 ～ H'0000 00E7 |
| DMA5～9割り込み要求 | H'0000 00E8 ～ H'0000 00EB |
| SIO2,3送受信割り込み要求 | H'0000 00EC ～ H'0000 00EF |
| RTD割り込み要求 | H'0000 00F0 ～ H'0000 00F3 |
| TID1出力割り込み要求 | H'0000 00F4 ～ H'0000 00F7 |
| TOU1,2出力割り込み要求 | H'0000 00F8 ～ H'0000 00FB |
| SIO4,5送受信割り込み要求 | H'0000 00FC ～ H'0000 00FF |
| A-D1変換割り込み要求 | H'0000 0100 ～ H'0000 0103 |
| TID2出力割り込み要求 | H'0000 0104 ～ H'0000 0107 |
| TIN30～33入力割り込み要求 | H'0000 0108 ～ H'0000 010B |
| CAN0送受信&エラー割り込み要求 | H'0000 010C ～ H'0000 010F |
| CAN1送受信&エラー割り込み要求 | H'0000 0110 ～ H'0000 0113 |

5.5 割り込み動作説明

5.5.1 内蔵周辺I/Oの割り込み要求受付

内蔵周辺I/Oからの割り込み要求は、割り込み制御レジスタで設定したILEVELと、割り込み要求マスクレジスタのIMASK値を比較して、IMASK値よりも優先度が高ければ受け付けます。ただし同時に複数の割り込み要求が発生した場合は、以下の手順で受け付けるかどうかを判定します。

- 1) 各内蔵周辺I/Oの割り込み制御レジスタで設定されたILEVEL値の比較
- 2) ILEVEL値が同一の場合は、ハードウェアであらかじめ決められた優先順位の適用
- 3) ILEVEL値とIMASK値の比較

同時に複数の割り込み要求が発生した場合、まず、各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度のもっとも高い割り込み要求が選ばれます。ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従います。

最終的に選ばれた割り込み要求のILEVELとIMASK値を比較して、IMASK値よりも優先度が高ければ、CPUに対してEI要求が出されます。

なお、割り込み要求のマスクは、各内蔵周辺I/Oの割り込み要求マスクレジスタ、割り込みコントローラのILEVEL設定(レベル7で禁止)、およびPSWレジスタのIEビットの設定で行います。

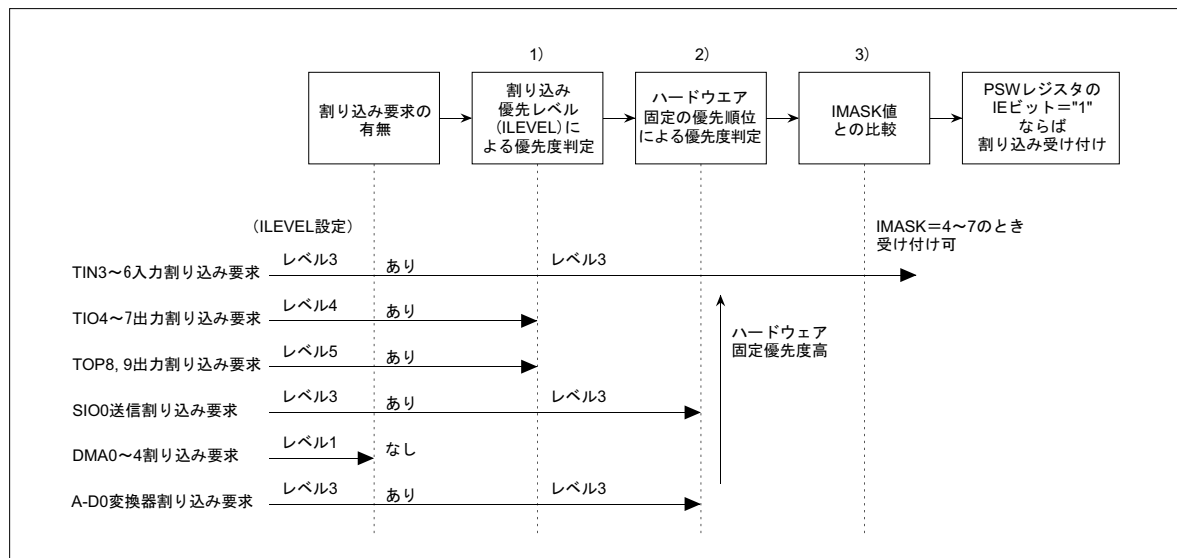


図5.5.1 割り込み要求受付時の優先順位判定例

5.5.2 内蔵周辺I/Oの割り込みハンドラ処理

(1) 割り込みハンドラへの分岐

CPUが割り込み要求を受け付けると、「4.3 EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み(EI)に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込み要求に対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。

(2) 外部割り込み(EI)ハンドラ処理

外部割り込み(EI)ハンドラ(内蔵周辺I/Oからの割り込み)の動作例を図5.5.2に示します。

各レジスタのスタックへの退避

BPC、PSW、および汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

割り込みマスクレジスタ(IMASK)読み出しとスタック退避

割り込みマスクレジスタを読み出してスタックに退避します。

割り込みベクタレジスタ(IVECT)読み出し

割り込みベクタレジスタを読み出します。割り込みベクタレジスタは、割り込み要求受付時に、受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。この割り込みベクタレジスタ読み出しにより、以下の処理がハードウェアで自動的に行われます。

- 受け付けた割り込み要求要因の割り込み優先レベル(ILEVEL)を、新しいIMASK値としてIMASKレジスタにセット(受け付けた割り込み要求要因より低い割り込み優先レベルの割り込みをマスク)
- 受け付けた割り込み要求要因をクリア(レベルタイプの割り込み要求要因はクリアされません)
- CPUコアへの割り込み要求(EI)を解除
- ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

割り込み要求マスクレジスタ(IMASK)の読み出しと上書き

割り込み要求マスクレジスタを読み出し、読み出した値で上書きします。この書き込みにより、以下の処理がハードウェアで自動的に行われます。

- CPUコアへの割り込み要求(EI)を解除
- ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注 . . この の処理は、 で多重割り込みを許可する場合は不要です。

ICUベクタテーブルの読み出し

受け付けた割り込み要求要因のICUベクタテーブルを読み出します。該当するICUベクタテーブルのアドレスは、 で読み出した割り込みベクタレジスタの内容(受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビット)をゼロ拡張することで得られます。ICUベクタテーブルには該当割り込み要求要因の割り込みハンドラ先頭番地を記述しておきます。

多重割り込みの許可

割り込みの処理中にさらに優先レベルの高い割り込みを許可(多重割り込みの許可)する場合には、PSWのIEビットを"1"にセットします。

各内蔵周辺I/Oの割り込みハンドラへの分岐

で読み出した割り込みハンドラの先頭番地へ分岐します。

各内蔵周辺I/Oの割り込みハンドラ処理

割り込みの禁止

PSWのIEビットを"0"にクリアして、割り込みを禁止します。

割り込みマスクレジスタ(IMASK)の復帰

で退避した割り込みマスクレジスタを復帰します。

スタックからの各レジスタの復帰

で退避したレジスタを復帰します。

外部割り込み処理の完了

RTE命令を実行し、外部割り込み処理を完了します。プログラムは現在処理中の割り込み要求が受け付けられる前の状態に戻ります。

(3) 割り込み要求発生元の特定

各内蔵周辺I/Oで割り込み要求に複数の要因がある場合は、各内蔵周辺I/Oの割り込み要求ステータスレジスタで、要因を特定してください。

(4) 多重割り込みの許可

割り込みハンドラ内で多重割り込みを許可する場合は、PSWのIE(割り込みイネーブル)ビットに"1"をセットして、割り込み要求の受付を許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC、PSW、汎用レジスタおよびIMASK)をスタックに退避してください。

注 . . 多重割り込みの許可は、「図5.5.2 内蔵周辺I/Oからの割り込み動作例」に示すように、割り込みベクタレジスタ(IVECT)読み出し後、ICUベクタテーブルを読み出してから行ってください。

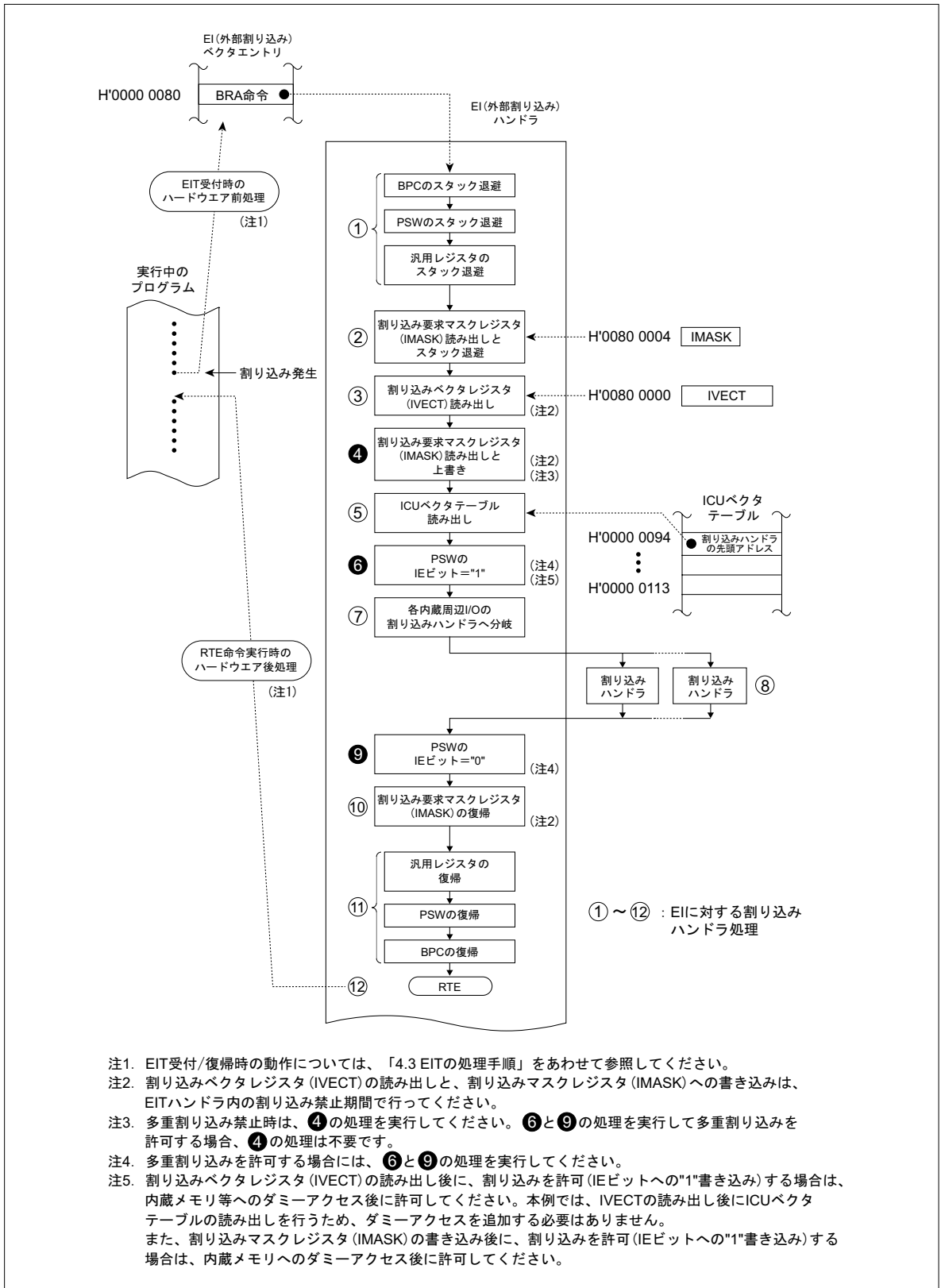


図5.5.2 内蔵周辺I/Oからの割り込み動作例

5.6 システムブレイク割り込み(SBI)動作説明

5.6.1 SBIの受付

SBIは、電源の異常検出や外部ウォッチドックタイマの異常検出に対して使用される緊急用の割り込み要求です。SBIは、PSWレジスタのIEビットの値にかかわらず、SBI#端子の立ち上がりエッジの検出で常時受け付けられ、マスクすることはできません。

5.6.2 SBIのハンドラ処理

SBIに対する処置が終わった後は、割り込み要求発生時に実行していた元のプログラムには復帰しないで、必ずシステムを終了またはリセットしてください。

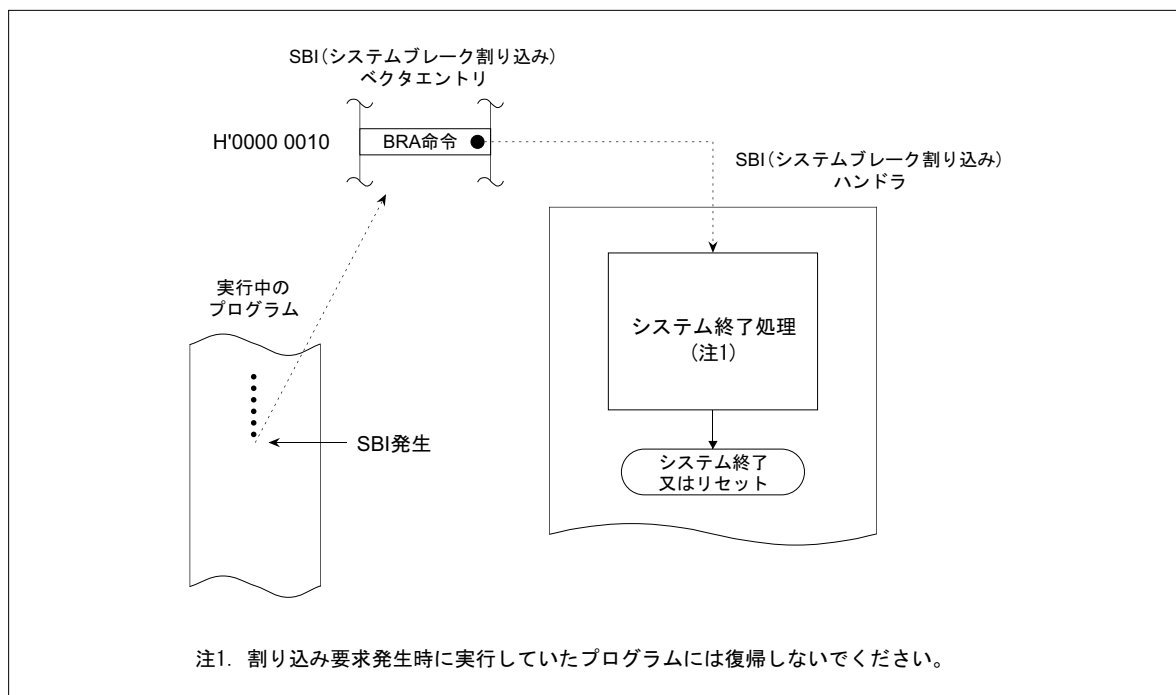


図5.6.1 SBI動作例

第6章

内蔵メモリ

- 6.1 内蔵メモリ概要
- 6.2 内蔵RAM
- 6.3 内蔵フラッシュメモリ
- 6.4 内蔵フラッシュメモリ関連レジスタ
- 6.5 内蔵フラッシュメモリの書き込み
- 6.6 疑似フラッシュエミュレーション機能
- 6.7 シリアルプログラマとの接続
- 6.8 内蔵フラッシュメモリのプロテクト機能
- 6.9 内蔵フラッシュメモリ書き込み時の注意事項

6.1 内蔵メモリ概要

32180は、以下のメモリを内蔵しています。

- 48KバイトのRAM
- 1M(1024K)バイトの内蔵フラッシュメモリ

6.2 内蔵RAM

内蔵RAM仕様を以下に示します。

表6.2.1 内蔵RAMの仕様

| 項目 | 仕様 |
|---------|---|
| 容量 | 48Kバイト |
| 配置アドレス | H'0080 4000 ~ H'0080 FFFF |
| ウェイト挿入 | 0ウェイト動作 |
| 内部バス接続 | 32ビットバス接続 |
| デュアルポート | RTD(リアルタイムデバッグ)により、CPUとは独立して外部からシリアル通信で内蔵RAM全域のデータ読み出し(モニタ)、書き込みが可能(「第14章 リアルタイムデバッグ」を参照してください) |

注．．電源投入時のRESET解除直後(VDDEもGNDから立ち上がるパワーオン時)は、RAM値は不定です。
 ・RAMバックアップ(VDDEにのみ電源供給)時、RESET解除直後はRESET前の値を保持しています。

6.3 内蔵フラッシュメモリ

内蔵フラッシュメモリ仕様を以下に示します。

表6.3.1 内蔵フラッシュメモリの仕様

| 項目 | 仕様 |
|--------|---|
| 容量 | 1Mバイト(1024Kバイト) |
| 配置アドレス | H'0000 0000 ~ H'000F FFFF |
| ウェイト挿入 | 1ウェイト動作 |
| 書き換え回数 | 100回 |
| 内部バス接続 | 命令アクセス : 64ビットバス接続(32ビット:0ウェイト相当の転送レートを実現) データアクセス : 32ビットバス接続 |
| その他 | 疑似フラッシュエミュレーション機能装備(「6.6 疑似フラッシュエミュレーション機能」を参照してください) |

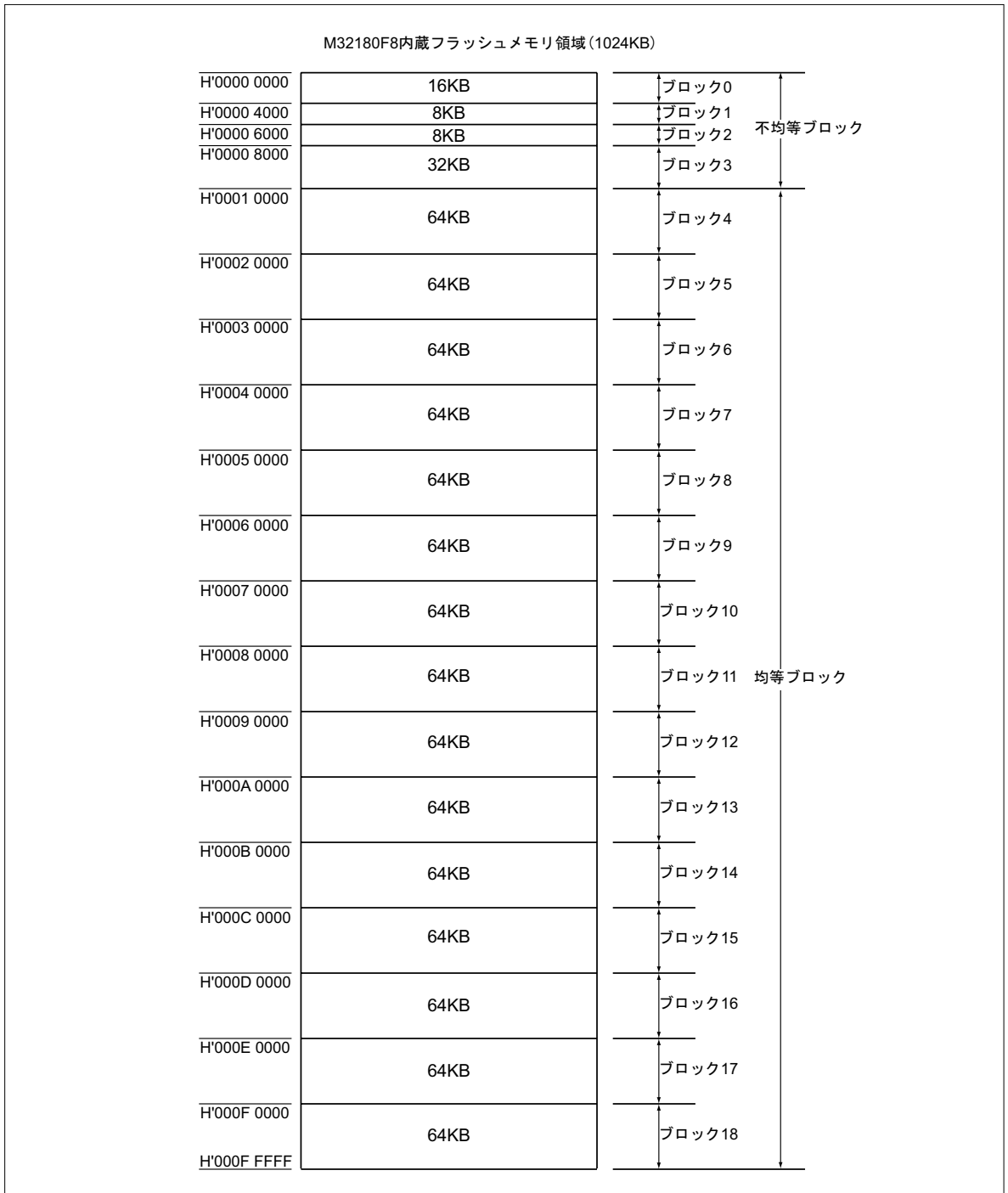


図6.3.1 M32180F8内蔵フラッシュメモリのブロック構成

6.4 内蔵フラッシュメモリ関連レジスタ

内蔵フラッシュメモリ関連のレジスタマップを以下に示します。

内蔵フラッシュメモリ関連レジスタマップ

| 番地 | +0番地 | | +1番地 | | 掲載 ページ |
|-------------|--------------------------------|----|-----------------------------|-----|------------|
| | b0 | b7 | b8 | b15 | |
| H'0080 01E0 | フラッシュモードレジスタ (FMOD) | | フラッシュステータスレジスタ1 (FSTAT1) | | 6-4 6-5 |
| H'0080 01E2 | フラッシュ制御レジスタ1 (FCNT1) | | フラッシュ制御レジスタ2 (FCNT2) | | 6-7 6-8 |
| H'0080 01E4 | フラッシュ制御レジスタ3 (FCNT3) | | フラッシュ制御レジスタ4 (FCNT4) | | 6-9 |
| H'0080 01E6 | (使用禁止領域) | | | | |
| H'0080 01E8 | 疑似フラッシュSバンクレジスタ0 (FESBANK0) | | | | 6-11 |
| H'0080 01EA | 疑似フラッシュSバンクレジスタ1 (FESBANK1) | | | | 6-11 |
| H'0080 01EC | 疑似フラッシュSバンクレジスタ2 (FESBANK2) | | | | 6-11 |
| H'0080 01EE | 疑似フラッシュSバンクレジスタ3 (FESBANK3) | | | | 6-11 |
| H'0080 01F0 | 疑似フラッシュSバンクレジスタ4 (FESBANK4) | | | | 6-11 |
| H'0080 01F2 | 疑似フラッシュSバンクレジスタ5 (FESBANK5) | | | | 6-11 |
| H'0080 01F4 | 疑似フラッシュSバンクレジスタ6 (FESBANK6) | | | | 6-11 |
| H'0080 01F6 | 疑似フラッシュSバンクレジスタ7 (FESBANK7) | | | | 6-11 |

6.4.1 フラッシュモードレジスタ

フラッシュモードレジスタ(FMOD)

<アドレス : H'0080 01E0>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|---|---|---|------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | FPMOD 0 |

<リセット解除時 : H'0?>

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|----------------------------------|---|---|
| 0~6 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 7 | FPMOD | 0 : FP端子 = "L" 1 : FP端子 = "H" | R | - |

フラッシュモードレジスタ(FMOD)は読み出し専用のステータスレジスタで、FPMODはFP(Flash Protect)端子のステータスを示します。

FPMODが"1"の時のみ、内蔵フラッシュメモリへの書き込み/消去が有効な状態となります。FPMODが"0"のときは、内蔵フラッシュメモリへの書き込み/消去は無効となります。

6.4.2 フラッシュステータスレジスタ

内蔵フラッシュメモリのステータスを示すレジスタがSFR領域 H'0080 01E1)のフラッシュステータスレジスタ1(FSTAT1)と、内蔵フラッシュメモリに内蔵しているフラッシュステータスレジスタ2(FSTAT2)があります。内蔵フラッシュメモリに対する書き込み/消去時には、両ステータスレジスタ(FSTAT1, FSTAT2)を使用し、制御してください。

フラッシュステータスレジスタ1(FSTAT1)

<アドレス : H'0080 01E1 >

| | | | | | | | |
|----|---|----|----|----|----|----|------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | FSTAT 1 |

<リセット解除時 : H'01 >

| b | ビット名 | 機能 | R | W |
|------|-----------------------------|-----------------------|---|---|
| 8~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | FSTAT Ready/Busyステータスビット | 0 : Busy 1 : Ready | R | - |

フラッシュステータスレジスタ1(FSTAT1)は、内蔵フラッシュメモリに対する書き込み/消去の状態を知るための、読み出し専用ステータスレジスタです。"0" : Busyの間は書き込み/消去中ですので、新たな書き込み/消去を開始しないでください。"1" : Readyの間は、新たな書き込み/消去を開始することが可能です。また、FSTATビットが"0" : Busyの間は、後述のFCNT4のFRESETビットを操作しないでください。

6.4.3 フラッシュステータスレジスタ2(FSTAT2)

フラッシュステータスレジスタ2(FSTAT2)

| | | | | | | | |
|------------|---|------------|-------------|-------------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| FBUSY 1 | 0 | ERASE 0 | WRERR1 0 | WRERR2 0 | 0 | 0 | 0 |

<リセット解除時 : H'80 >

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|-----------------------------------|---|---|
| 8 | FBUSY フラッシュビジービット | 0 : 書き込み、または消去中 1 : レディ状態 | R | - |
| 9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | ERASE 消去動作状況確認ビット | 0 : 消去正常動作中/終了 1 : 消去エラー発生 | R | - |
| 11 | WRERR1 書き込み動作状況確認ビット1 | 0 : 書き込み正常動作中/終了 1 : 書き込みエラー発生 | R | - |
| 12 | WRERR2 書き込み動作状況確認ビット2 | 0 : 書き込み正常動作中/終了 1 : 過剰書き込みが発生 | R | - |
| 13~15 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

このレジスタは、内蔵フラッシュメモリに内蔵されているステータスレジスタで、内蔵フラッシュメモリの任意アドレスにリードステータスコマンド(H'7070)をライトすることで読み出し可能となります。詳細については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

フラッシュステータスレジスタ(FSTAT2)は内蔵フラッシュメモリの動作状態を示す以下の4つの読み出し専用ステータスビットで構成されています。

(1) FBUSY (フラッシュビジー) ビット (b8)

FBUSYビットは、内蔵フラッシュメモリへの書き込み、および消去処理実行の終了判定を行うビットです。

このビットが"0"のとき処理実行中を示し、"1"のとき終了を示します。

(2) ERASE (消去の動作状況) ビット (b10)

ERASEビットは、内蔵フラッシュメモリへの消去処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のとき消去エラーを示します。

(3) WRERR1 (書き込み動作状況1) ビット (b11)

WRERR1ビットは内蔵フラッシュメモリへの書き込み処理完了後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のとき書き込みエラーを示します。

WRERR1が"1"にセットされる条件は、書き込みデータと内蔵フラッシュメモリ上のデータを比較し、"0"にすべきビット以外で"0"のビットが検出された場合です。

(4) WRERR2 (書き込み動作状況2) ビット (b12)

WRERR2ビットは、内蔵フラッシュメモリへの書き込み処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のとき書き込みエラーを示します。

WRERR2が"1"にセットされる条件は、書き込み処理を指定回数繰り返しても書き込めない場合です。

6.4.4 フラッシュ制御レジスタ

フラッシュ制御レジスタ1(FCNT1)

<アドレス : H'0080 01E2 >

| | | | | | | | |
|----|---|---|-------------|---|---|---|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | FENTRY 0 | 0 | 0 | 0 | FEMMOD 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------------|-------------------------------------|---|---|
| 0~2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 | FENTRY フラッシュE/Wイネーブルモードエントリビット | 0 : 通常リード 1 : 書き込み/消去可能 | R | W |
| 4~6 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 7 | FEMMOD 疑似フラッシュエミュレーションモードビット | 0 : 通常モード 1 : 疑似フラッシュエミュレーションモード | R | W |

フラッシュ制御レジスタ1(FCNT1)は内蔵フラッシュメモリの制御を行う以下の2つのビットで構成されています。

(1) FENTRY(フラッシュモードエントリ)ビット (b3)

FENTRYビットはフラッシュE/Wイネーブルモードへの移行を制御するビットです。このビットが"1"の場合のみフラッシュE/Wイネーブルモードへ移行します。

FENTRYビットに"1"をセットするには、FP端子="H"の状態、FENTRYビットへ連続して"0" "1"の書き込みが必要です。FENTRYビットをクリアする場合は、FSTAT1のFSTATビットが"1" : Ready 状態である事を確認した上で、FENTRYビットに"0"を書き込みます。

内蔵フラッシュメモリへの書き込み/消去中(FSTAT1のFSTATビットが"0"のBusy状態)に、以下の条件にしないようにしてください。また、以下の条件の時、FENTRYビットはハードウェア的に"0"にクリアされます。

- ・リセット端子に"L"レベルを入力した場合
- ・FP端子に"L"レベルへを入力した場合

FENTRYビットが"0"で内蔵フラッシュメモリ上のプログラムが動作する場合は、EIベクタエントリは内蔵フラッシュメモリ上のH'0000 0080になります。FENTRYビットが"1"でフラッシュ書き込み/消去プログラムをRAM上で動作させる場合、EIベクタエントリはRAM上のH'0080 4000になり、割り込みを使用したフラッシュ書き込み/消去制御が使用できます。

表6.4.1 FENTRYによるEIベクタエントリの遷移

| FENTRY | EIベクタエントリ | 番地 |
|--------|--------------|-------------|
| 0 | 内蔵フラッシュメモリ領域 | H'0000 0080 |
| 1 | 内蔵RAM領域 | H'0080 4000 |

(2) FEMMOD(疑似フラッシュエミュレーションモード)ビット (b7)

FEMMODビットは、疑似フラッシュエミュレーションモードへの移行を制御するビットです。FENTRYビット="0"の状態、FEMMODビットに"1"をセットすると疑似フラッシュエミュレーションモードへ移行します。

(詳細については、「6.6 疑似フラッシュエミュレーション機能」を参照してください。)

フラッシュ制御レジスタ α (FCNT2)

<アドレス : H'0080 01E3 >

| | | | | | | | |
|----|---|----|----|----|----|----|------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | FPROT 0 |

<リセット解除時 : H'00 >

| D | ビット名 | 機能 | R | W |
|------|----------|---------------------------|---|---|
| 8~14 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 15 | FPROT | 0 : ロックビットによるプロテクト有効 | R | W |
| | ロック解除ビット | 1 : ロックビットによるプロテクト無効 | | |

フラッシュ制御レジスタ α (FCNT2)は、内蔵フラッシュメモリのロックビットによるプロテクト(内蔵フラッシュメモリへの書き込み/消去の禁止)無効の制御を行います。FPROTビットに"1"をセットすると、内蔵フラッシュメモリのプロテクトが無効となり、ロックビットでプロテクトされたブロックに対する書き込み/消去が可能となります。

FPROTビットに"1"をセットするには、FENTRYビット="1"の状態ではFPROTビットに連続して"0" "1"の書き込みを行います。FPROTビットを"0"にクリアする場合は、FPROTビットに"0"を書き込みます。

また、以下の条件のときに、FPROTビットは"0"にクリアされます。

- (1) FP端子に"L"レベルを入力した場合
- (2) FENTRYビットを"0"にクリアした場合
- (3) リセット端子に"L"レベルを入力した場合

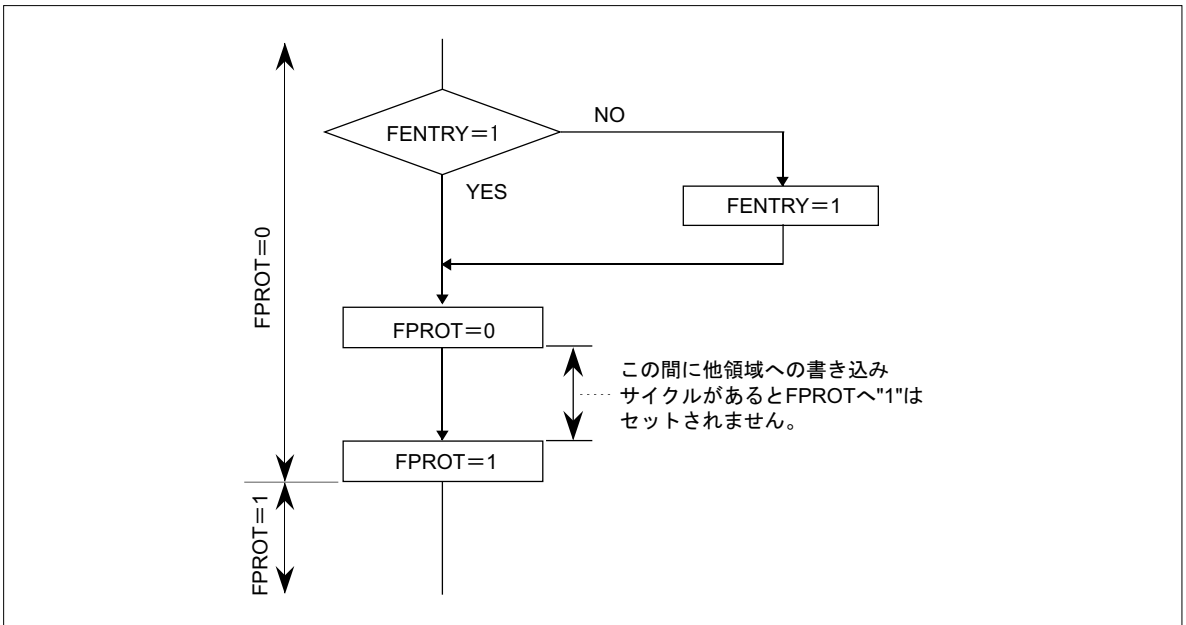


図6.4.1 プロテクト解除フロー

フラッシュ制御レジスタ3(FCNT3)

<アドレス : H'0080 01E4 >

| | | | | | | | |
|----|---|---|---|---|---|---|--------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | FELEVEL 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|----------------------------|---|---|
| 0~6 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 7 | FELEVEL 消去マージンアップビット | 0 : 通常レベル 1 : 消去マージンアップ | R | W |

フラッシュ制御レジスタ3(FCNT3)は、消去系コマンドで内蔵フラッシュメモリを消去する場合の消去レベルの深さの制御を行います。FELEVELビットに"1"をセットすると、内蔵フラッシュメモリの消去レベルをより深く行うことができます。

フラッシュ制御レジスタ4(FCNT4)

<アドレス : H'0080 01E5 >

| | | | | | | | |
|----|---|----|----|----|----|----|-------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | FRESET 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|---------------------------|------------------------|---|---|
| 8~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | FRESET フラッシュリセットビット | 0 : 何もしません 1 : リセット | R | W |

フラッシュ制御レジスタ4(FCNT4)は、フラッシュステータスレジスタ2(FSTAT2)の各ステータスビットの初期化、または書き込み/消去動作のキャンセルを制御するレジスタです。

FRESETビットに"1"をセットすると、FSTAT2の各ステータスビットの初期化、または書き込み/消去動作のキャンセルを行います。

FRESETビットは、FENTRYビット="1"の場合のみ有効です。FENTRYビット="0"の場合は、FRESETビット情報を無視します。

内蔵フラッシュメモリへの書き込み/消去時には、FRESETビットを"0"の状態に制御してください。

書き込み/消去動作でのFSTAT2の各ステータスのクリア例、およびタイムアウトによる書き込み/消去動作の強制終了(書き込み/消去動作のキャンセル)例を以下に示します。

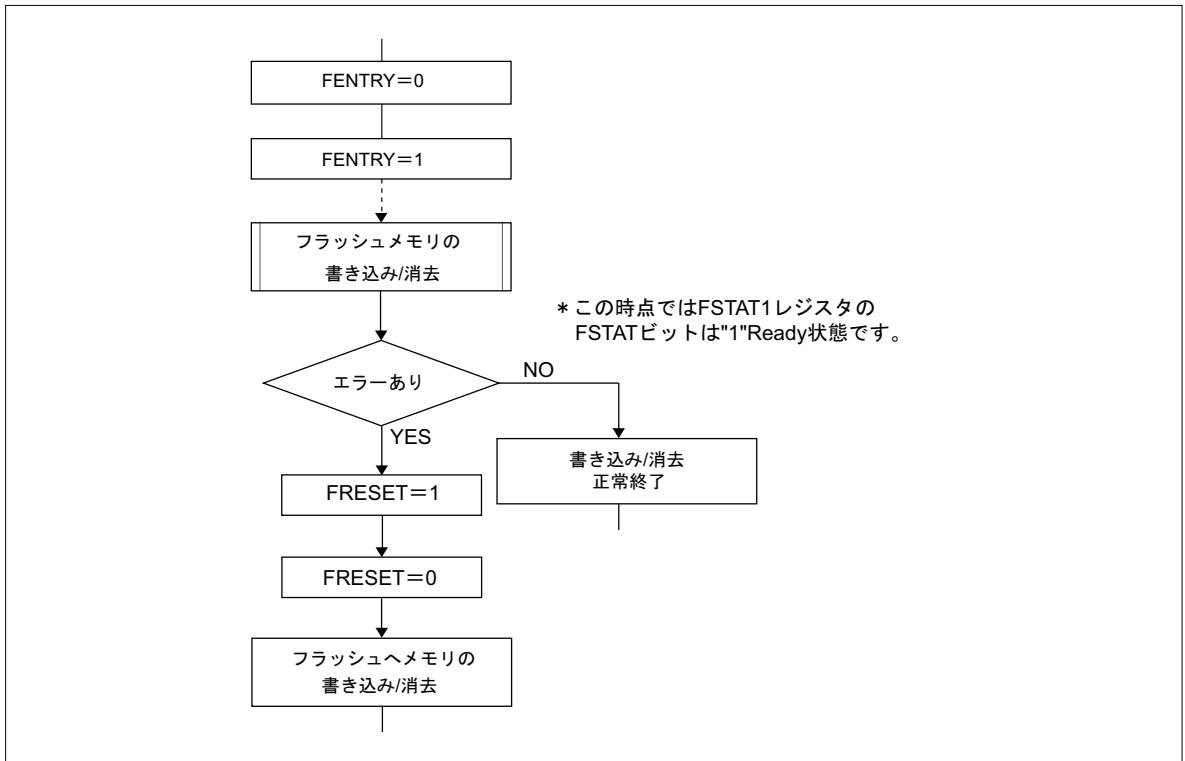


図6.4.2 FCNT4レジスタの操作例1(FSTAT2レジスタの各ステータスのクリア例)

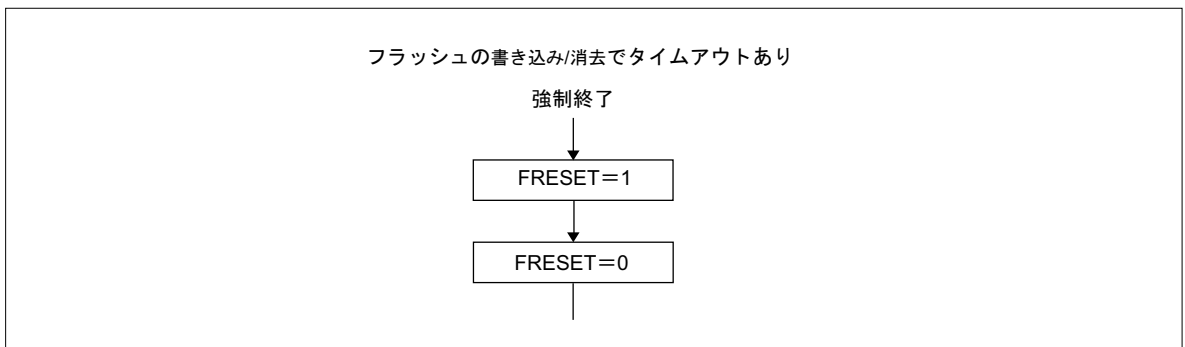


図6.4.3 FCNT4レジスタの使用例Ⅱ(内蔵フラッシュメモリの書き込み/消去での強制終了)

6.4.5 疑似フラッシュSバンクレジスタ

| | |
|-------------------------------|------------------------|
| 疑似フラッシュSバンクレジスタ0 (FESBANK0) | < アドレス : H'0080 01E8 > |
| 疑似フラッシュSバンクレジスタ1 (FESBANK1) | < アドレス : H'0080 01EA > |
| 疑似フラッシュSバンクレジスタ2 (FESBANK2) | < アドレス : H'0080 01EC > |
| 疑似フラッシュSバンクレジスタ3 (FESBANK3) | < アドレス : H'0080 01EE > |
| 疑似フラッシュSバンクレジスタ4 (FESBANK4) | < アドレス : H'0080 01F0 > |
| 疑似フラッシュSバンクレジスタ5 (FESBANK5) | < アドレス : H'0080 01F2 > |
| 疑似フラッシュSバンクレジスタ6 (FESBANK6) | < アドレス : H'0080 01F4 > |
| 疑似フラッシュSバンクレジスタ7 (FESBANK7) | < アドレス : H'0080 01F6 > |



< リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|------|-----------------------------------|--|---|---|
| 0 | MODENS 疑似フラッシュエミュレーションイネーブルビット | 0 : 疑似フラッシュ機能ディスエーブル 1 : 疑似フラッシュ機能イネーブル | R | W |
| 1~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8~15 | SBANKAD Sバンクアドレス | 該当Sバンクの先頭アドレスのA12~A19 | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

(1) MODENS (疑似フラッシュエミュレーションイネーブル) ビット (b0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット="0"の状態FEMMODビットに"1"をセット)後、MODENSビットに"1"をセットすることで、SBANKADビットで選択したSバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

(2) SBANKAD (Sバンクアドレス) ビット (b8 ~ b15)

SBANKADビットは、4KBに区切られたSバンクから一つのSバンクを選択するためのビットです。選択したいSバンクの先頭アドレス(32ビット)のA12~A19の8ビットをSBANKADビットに設定します。

注 . . 詳細については、「6.6 疑似フラッシュエミュレーション機能」を参照してください。

6.5 内蔵フラッシュメモリの書き込み

6.5.1 内蔵フラッシュメモリ書き込みの概要

内蔵フラッシュメモリへ書き込み/消去を行う場合、次の2つの方法があります。

- (1)内蔵フラッシュメモリ上にフラッシュ書き込み/消去プログラムがない場合
- (2)内蔵フラッシュメモリ上にすでにフラッシュ書き込み/消去プログラムがある場合

(1)の場合は、FP端子="H"、MOD0="H"、MOD1="L"に設定し、動作モードをブートモードに移行します。リセットを解除するとブートプログラムの実行を開始します。

ブートプログラムは、「フラッシュ書き込み/消去プログラム」を内蔵RAMに転送します。転送後、RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットに"1"をセットし、内蔵フラッシュメモリを書き込み/消去可能な状態(ブートモード+フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込み/消去プログラム」により、内蔵フラッシュメモリの書き込み/消去を実行します。

(2)の場合は、FP端子="H"、MOD0="L"、MOD1="L"に設定し、シングルチップモードに移行します。あらかじめ内蔵フラッシュメモリ内に用意した「フラッシュ書き込み/消去プログラム」を内蔵RAMに転送します。転送後、RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"にセットし、内蔵フラッシュメモリを書き込み/消去が可能な状態(シングルチップモード+フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込み/消去プログラム」により、内蔵フラッシュメモリへの書き込み/消去を実行します。FP端子="H"、MOD0="L"、MOD1="H"に設定し、外部拡張モードでフラッシュE/Wイネーブルモードに移行することもできます。

フラッシュE/Wイネーブルモード(FP端子=1、FENTRY=1)時は、外部割り込み(EI)のEITベクタエントリが内蔵RAMの先頭(H'0080 4000)に移動します。通常モード時はフラッシュ領域(H'0000 0080)になります。

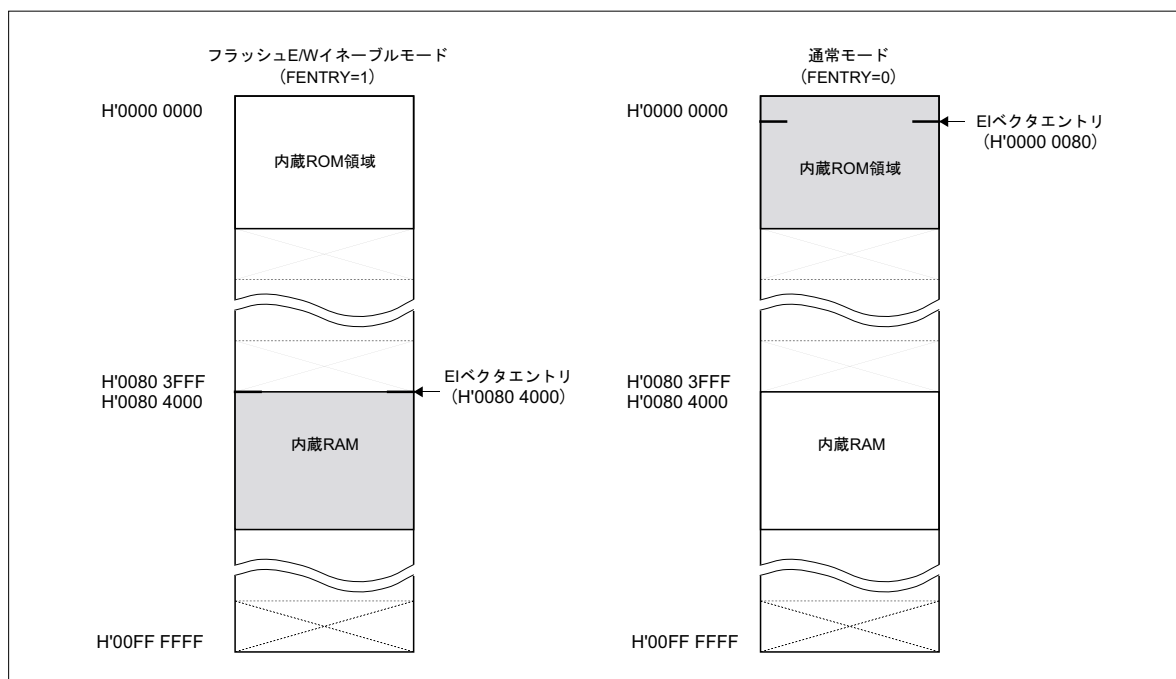


図6.5.1 フラッシュE/Wイネーブルモード時のEIベクタエントリ

(1) 内蔵フラッシュメモリ上に書き込み/消去プログラムがない場合

ブートプログラムにより、内蔵フラッシュメモリを書き込み/消去します。書き込みデータの転送には、シリアルI/O1をクロック同期シリアルで使用します。

フラッシュプログラマでのフラッシュ書き込み/消去は以下の手順を実行します。

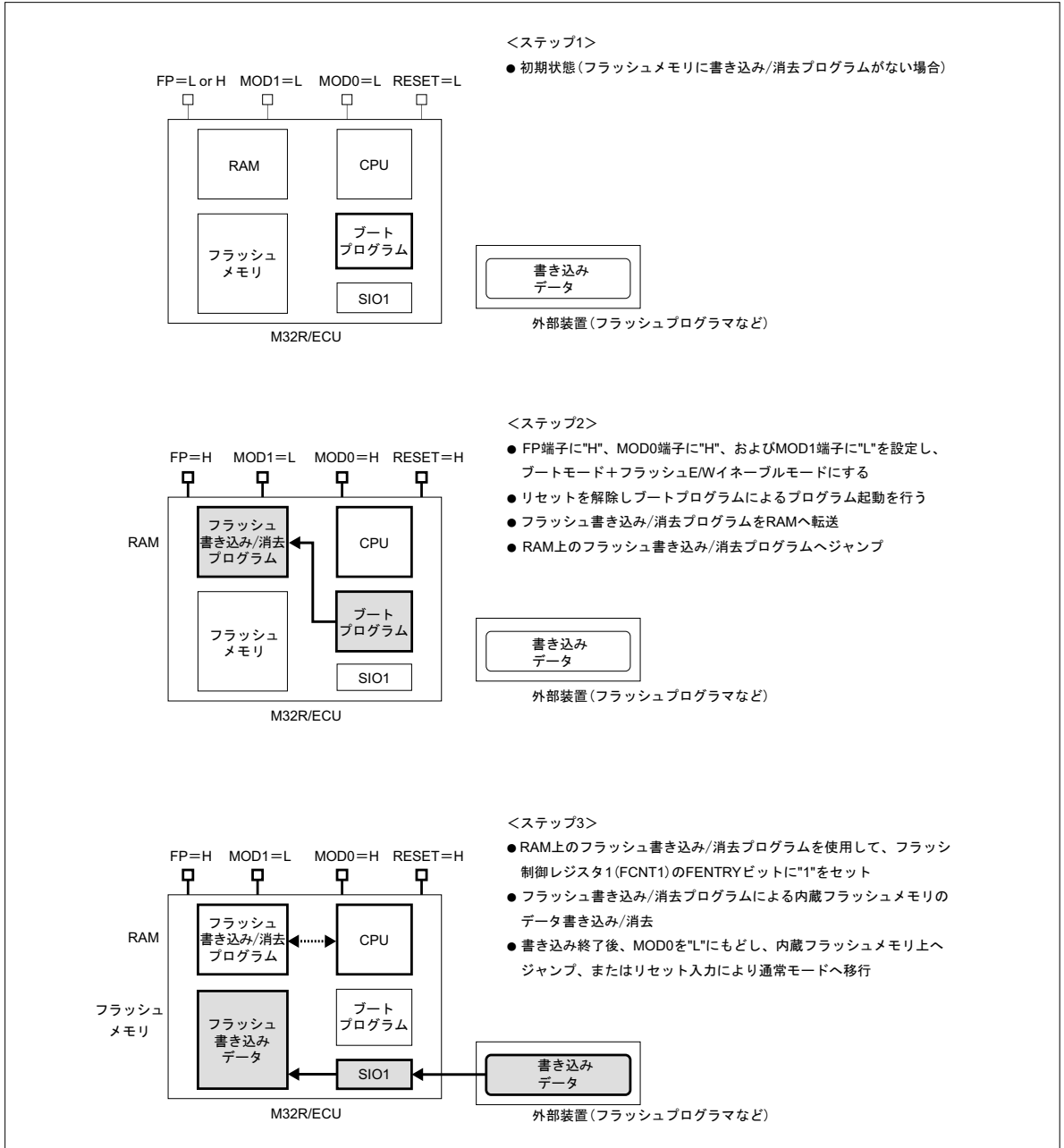


図6.5.2 内蔵フラッシュメモリへの書き込み/消去手順(書き込み/消去プログラムが内蔵フラッシュメモリ上にない場合)

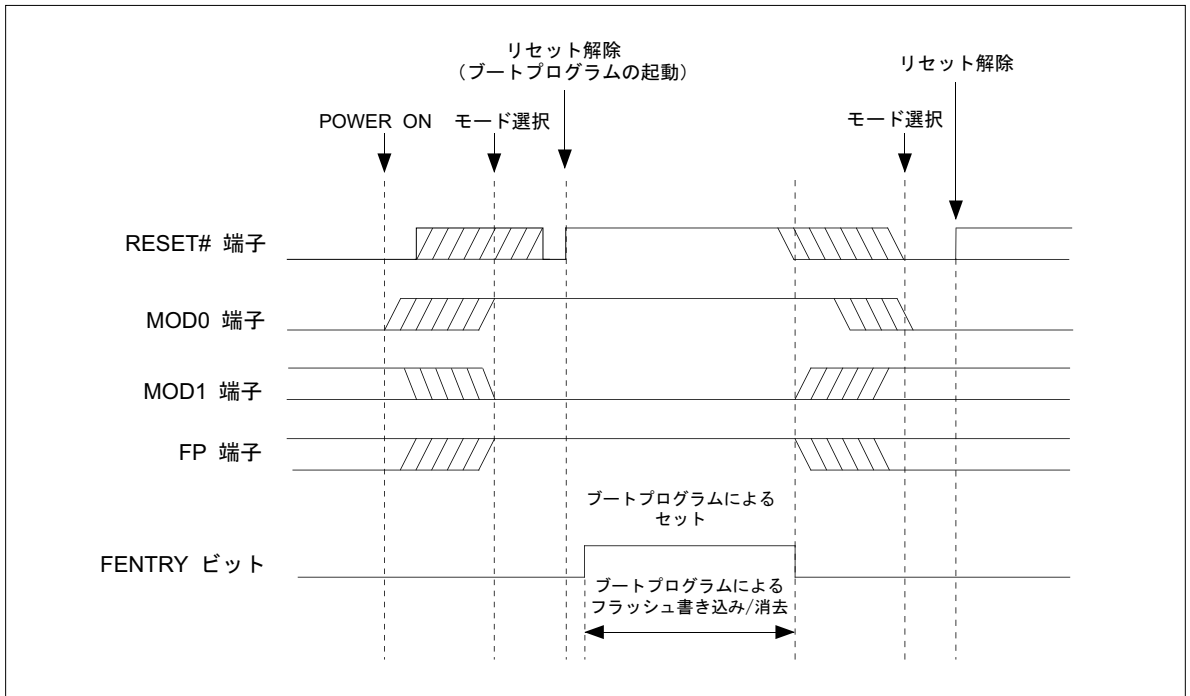


図6.5.3 内蔵フラッシュメモリ書き込み/消去制御端子タイミング(書き込み/消去プログラムが内蔵フラッシュメモリ上にない場合)

(2) 内蔵フラッシュメモリ上にすでに書き込み/消去プログラムがある場合

内蔵フラッシュメモリ上に配置したフラッシュ書き込み消去プログラムにより、内蔵フラッシュメモリに書き込みます。

書き込み/消去にはシステムに合わせて内蔵周辺回路を使用します。(データバスおよびシリアルI/O、ポート等内蔵する周辺回路の資源をすべて使用できます。)

以下に、シングルチップモードでシリアルI/Oを使用した書き込み/消去例を示します。

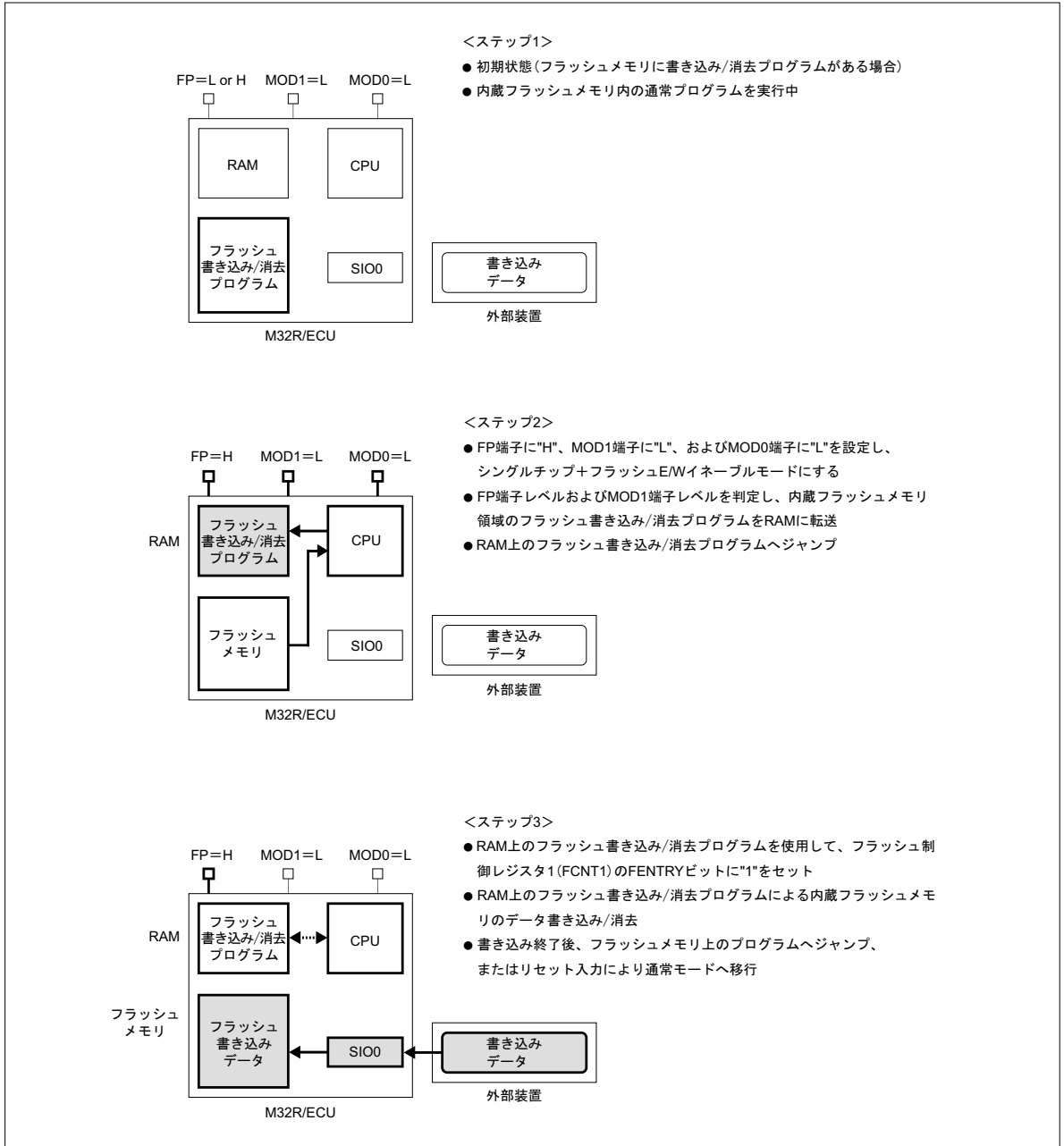


図6.5.4 内蔵フラッシュメモリへの書き込み/消去手順(書き込み/消去プログラムが内蔵フラッシュメモリ上にある場合)

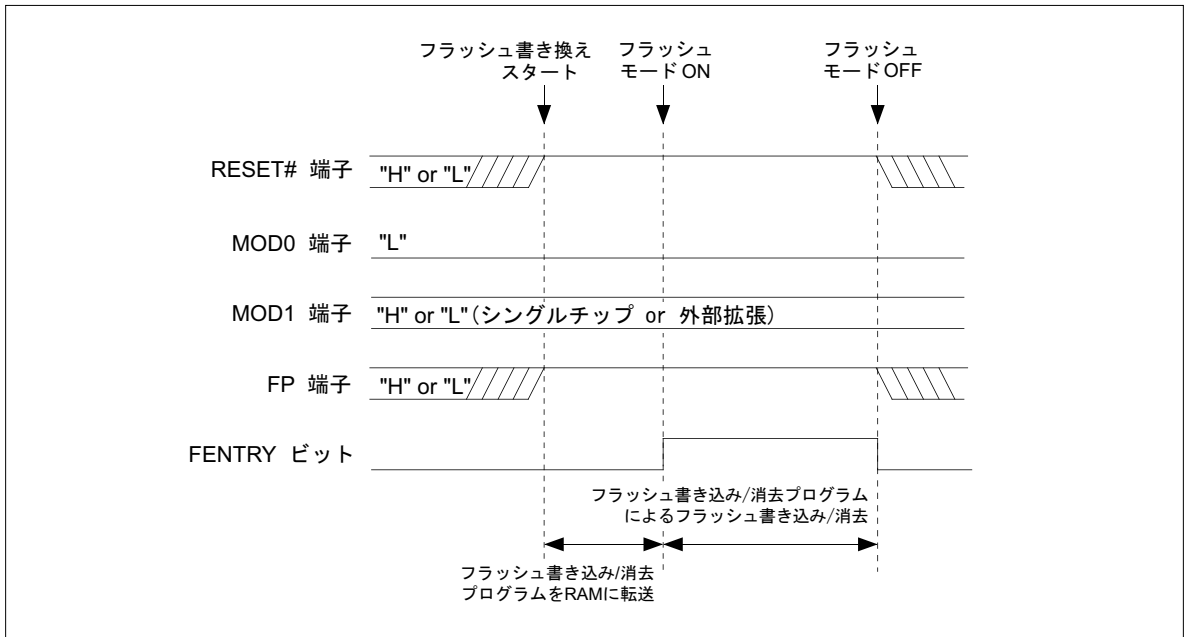


図6.5.5 内蔵フラッシュメモリ書き込み/消去制御端子タイミング(書き込み/消去プログラムが内蔵フラッシュメモリ上にある場合)

6.5.2 フラッシュ書き込み時における動作モードの制御

チップ動作モードはMOD0、MOD1、およびフラッシュ制御レジスタ1(FCNT1)のFENTRYビットで設定されます。以下にフラッシュ書き込み/消去時における動作モードの一覧を示します。

表6.5.1 フラッシュ書き込み/消去時における動作モードの設定

| FP | MOD0 | MOD1 | FENTRY(注1) | 動作モード | リセットベクタエントリ | EIベクタエントリ |
|----|------|------|------------|---------|-----------------------|---------------------------|
| 0 | 0 | 0 | 0 | シングルチップ | 内蔵フラッシュメモリ | フラッシュ領域 |
| 1 | 0 | 0 | 0 | モード | 先頭番地 (H'0000 0000) | (H'0000 0080) |
| 0 | 1 | 0 | 0 | プロセッサ | 外部領域先頭番地 | 外部領域 |
| 0 | 0 | 1 | 0 | 外部拡張 | 内蔵フラッシュメモリ | フラッシュ領域 |
| 1 | 0 | 1 | 0 | モード | 先頭番地 (H'0000 0000) | (H'0000 0080) |
| 1 | 0 | 0 | 1 | シングルチップ | 内蔵フラッシュメモリ | 内蔵RAMの先頭 |
| 1 | 1 | 0 | 0 | ブートモード | ブートプログラムの実行開始 | フラッシュ領域 (H'0000 0080) |
| 1 | 1 | 0 | 1 | ブートモード | ブートプログラムの実行開始 | 内蔵RAMの先頭 (H'0080 4000) |
| 1 | 0 | 1 | 1 | 外部拡張モード | 内蔵フラッシュメモリ | 内蔵RAMの先頭 |
| 1 | 1 | - | - | 使用禁止 | - | - |

注1. フラッシュ制御レジスタ1(FCNT1)内のFENTRYビット(-: Don't Care)の状態を示します。しかし、FPが"0"の場合は、FENTRYに"1"を書き込んでも"0"にしかありません。

(1) フラッシュE/Wイネーブルモード

フラッシュE/Wイネーブルモードは、内蔵フラッシュメモリへの書き込みと消去をするモードです。フラッシュE/Wイネーブルモードでは、内蔵フラッシュメモリ上でのプログラムは実行できません。したがって、フラッシュE/Wイネーブルモード移行前に必要なプログラムを内蔵RAM上に転送し、RAM上でプログラム動作を行う必要があります。

(2) フラッシュE/Wイネーブルモードへの移行

フラッシュE/Wイネーブルモードに移行できるのは、シングルチップモード、外部拡張モードとブートモードだけです。FP端子が"H"レベルで、フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"の場合のみ、「フラッシュE/Wイネーブルモード」に移行します。プロセッサモードおよびFP端子が"L"の場合は移行できません。

(3) MOD0端子、MOD1端子レベルの検出

MOD0およびMOD1端子レベル("H" or "L")は、P8データレジスタ(ポートデータレジスタ、H'0080 0708)のMOD0DTビットおよびMOD1DTビットで確認できます。

6.5.3 P8データレジスタ

P8データレジスタ(P8DATA)

< アドレス : H'0080 0708 >

| | | | | | | | |
|--------|--------|-------|-------|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MOD0DT | MOD1DT | P82DT | P83DT | P84DT | P85DT | P86DT | P87DT |
| ? | ? | ? | ? | ? | ? | ? | ? |

< リセット解除時 : 不定 >

| b | ビット名 | 機能 | R | W |
|---|-----------------------|--|---|---|
| 0 | MOD0DT MOD0データビット | 0 : MOD0端子 = "L" 1 : MOD0端子 = "H" | R | - |
| 1 | MOD1DT MOD1データビット | 0 : MOD1端子 = "L" 1 : MOD1端子 = "H" | R | - |
| 2 | P82DT ポートP82データビット | < 読み出し時 > ポート方向レジスタの設定により | R | W |
| 3 | P83DT ポートP83データビット | ・ 方向ビットが"0"(入力モード)の場合 0 : ポート入力端子 = "L" | | |
| 4 | P84DT ポートP84データビット | 1 : ポート入力端子 = "H" | | |
| 5 | P85DT ポートP85データビット | ・ 方向ビットが"1"(出力モード)の場合(注1) 0 : ポート出力ラッチ = "0"/ポート端子レベル = "L" | | |
| 6 | P86DT ポートP86データビット | 1 : ポート出力ラッチ = "1"/ポート端子レベル = "H" | | |
| 7 | P87DT ポートP87データビット | < 書き込み時 > ポート出力ラッチへの書き込み | | |

注1 . 読み出し対象の選択は、ポート入力特別機能制御レジスタのポート入力データ選択ビット(PISEL)で設定します。

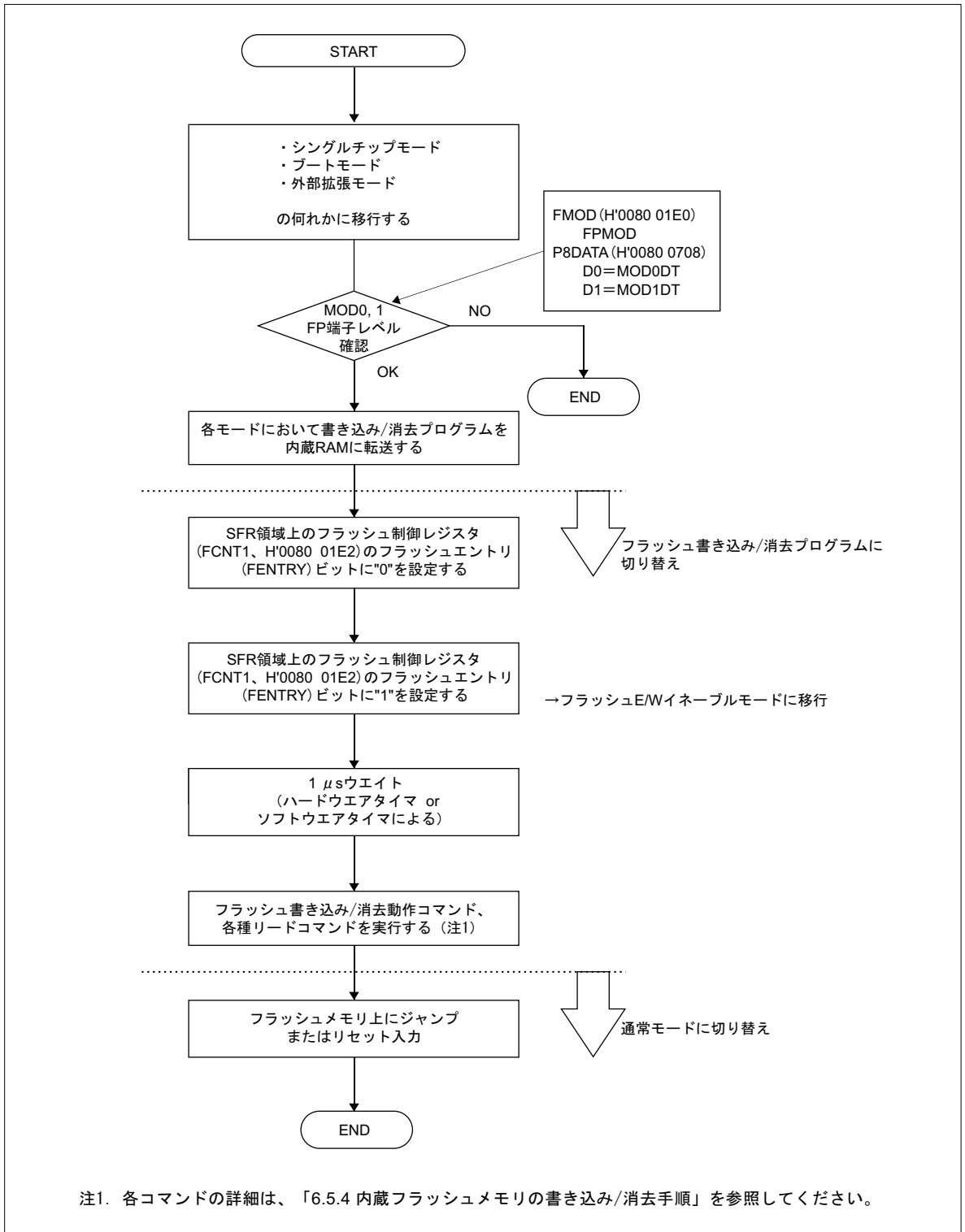


図6.5.6 フラッシュE/Wイネーブル移行手順

6.5.4 内蔵フラッシュメモリの書き込み/消去手順

内蔵フラッシュメモリへの書き込み/消去は、チップモードを制御してフラッシュE/Wイネーブルモードに移行した後、内蔵フラッシュメモリから内蔵RAMへ転送したフラッシュ書き込み/消去プログラムで行います。

フラッシュE/Wイネーブルモードでは、通常モードのように内蔵フラッシュメモリからの読み出しができませんので、内蔵フラッシュメモリ上のプログラムを実行することができません。そのため、フラッシュE/Wイネーブルモードへ移行する前にフラッシュ書き込み/消去プログラムを内蔵RAM上に用意しておかなければなりません(フラッシュE/Wイネーブルモードへの移行後、内蔵フラッシュメモリへのアクセスはフラッシュコマンド以外、禁止します)。

フラッシュE/Wイネーブルモードにおける内蔵フラッシュメモリへのアクセスは、対象とする内蔵フラッシュメモリアドレスに対するコマンド発行により行います。フラッシュE/Wイネーブルモードにおいて発行できるコマンドを以下に示します。

注．．フラッシュE/Wイネーブルモード時、内蔵フラッシュメモリへのリード/ライトは、ワードアクセスできませんのでご注意ください。

表6.5.2 フラッシュE/Wイネーブルモードにおけるコマンド

| コマンド名 | 発行コマンドデータ |
|--------------------|-----------|
| リードアレイコマンド | H'FFFF |
| ページプログラムコマンド | H'4141 |
| ロックビットプログラムコマンド | H'7777 |
| ブロックイレーズコマンド | H'2020 |
| イレーズ全アンロックブロックコマンド | H'A7A7 |
| リードステータスレジスタコマンド | H'7070 |
| クリアステータスレジスタコマンド | H'5050 |
| リードロックビットステータスコマンド | H'7171 |
| 確認コマンド (注1) | H'D0D0 |

注1．．このコマンドは、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックのときに使用します。
 ・このコマンドは、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドに連続して発行してください。
 ・ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドの後に、リードアレイコマンド(H'FFFF)を発行すると、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドはキャンセルされます。
 ・ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドの後に確認コマンド(H'D0D0)およびリードアレイコマンド(H'FFFF)以外のコマンド発行すると、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドが正常に実行されずエラー-終了します。

(1)リードアレイコマンド

内蔵フラッシュメモリの任意のアドレスに対して、コマンド(H'FFFF)をライトするとリードモードとなります。次に読み出したいアドレスをリードするとその内容が読み出せます。

フラッシュE/Wイネーブルモードから抜ける場合は、必ずリードアレイコマンドを実行してから抜けてください。

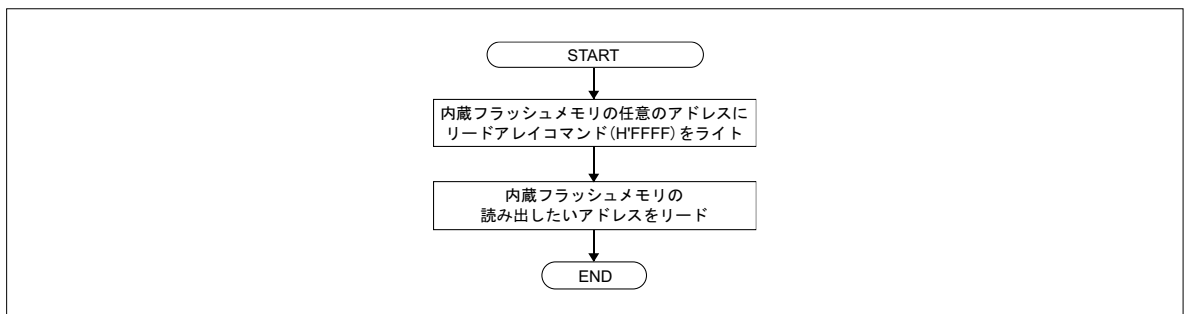


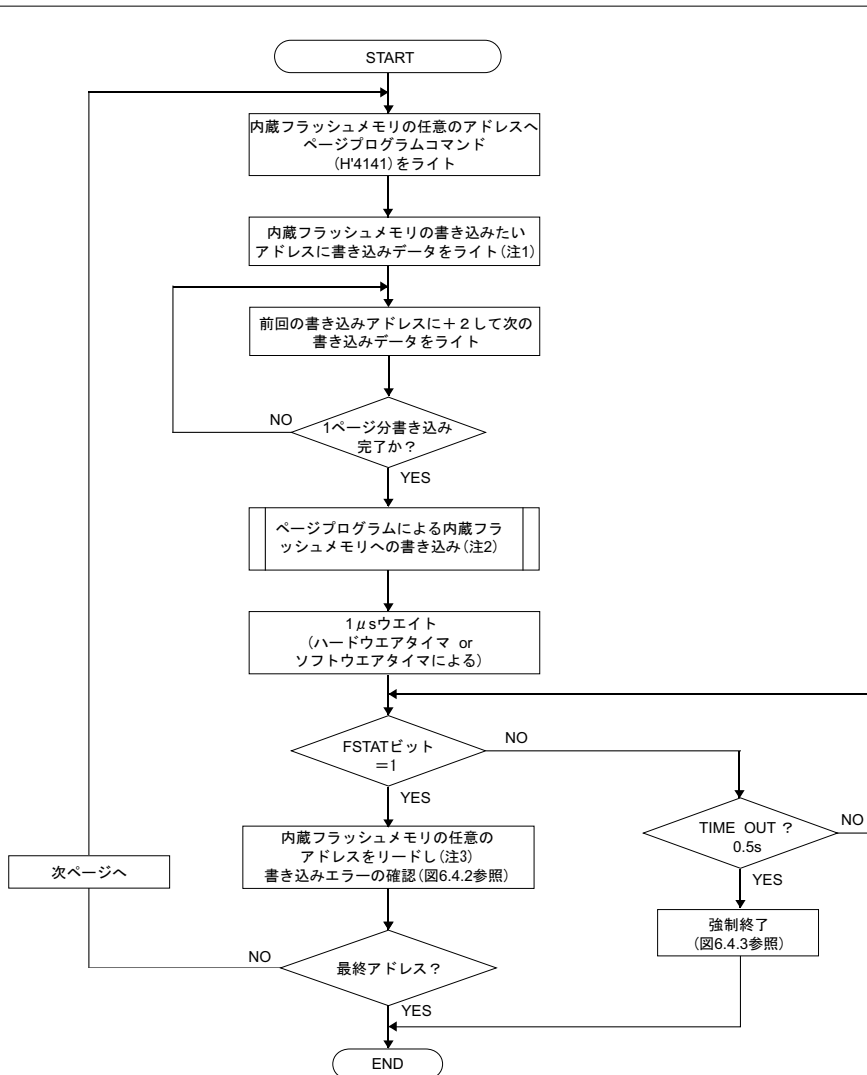
図6.5.7 リードアレイ

(2) ページプログラムコマンド

内蔵フラッシュメモリへの書き込みは、256バイト毎のページ単位(下位アドレスH'00~H'FF)で行います。フラッシュへのデータ書き込みは、内蔵フラッシュメモリの任意のアドレスに対してページプログラムコマンド(H'4141)をライトし、その後、書き込みたいアドレスに書き込むデータをライトします。

ページプログラムコマンドにおいて、プロテクトされているブロックへの書き込みはできません。

ページプログラムは内部制御回路で自動的に行われ、ページプログラムコマンドの完了はフラッシュステータスレジスタ1(FSTAT1)のFSTATビットで確認することができます(「6.4.2 フラッシュステータスレジスタ」を参照してください)。FSTATビットが"0": Busyの間は、次の書き込み(ページプログラムコマンド実行)は行えません。



注1 . 256バイト境界の先頭(下位アドレスH'00)から書き込みを開始してください。

注2 . 書き込み動作開始後、自動的にリードステータスレジスタコマンドを入力した状態になります(他のコマンドを入力するまで、リードステータスレジスタコマンドを入力する必要はありません)。

注3 . フラッシュステータスレジスタ2のERASE(消去動作状況)、WRERR1(書き込み動作状況1)およびWRERR2(書き込み動作状況2)ビットで確認。

図6.5.8 ページプログラム

(3) ロックビットプログラムコマンド

内蔵フラッシュメモリは、ブロック単位にプロテクト(書き込み/消去の禁止)が可能です。ロックビットプログラムコマンドは、メモリブロックに対してプロテクトを行うコマンドです。

内蔵フラッシュメモリの任意アドレスに対して、ロックビットコマンド(H'7777)をライトします。次にプロテクトをかけたいブロックの最終の偶数アドレスに確認コマンド(H'D0D0)をライトすると、該当メモリブロックがプロテクト(書き込み/消去の禁止)状態になります。プロテクトの解除は、フラッシュ制御レジスタ2(FCNT2)のFPROTビット(「6.4.3 フラッシュ制御レジスタ」を参照してください。)で、ロックビットによるプロテクトを無効にし、プロテクトを解除したいブロックを消去することにより行います(該当メモリブロックの内容も消去されます)。

ロックビットによりプロテクトされたブロックに書き込み/消去を実行した場合は、エラーが発生します。消去した場合は、FSTAT2のERASEビットが"1"(消去エラーが発生)に、書き込みをした場合は、FSTAT2のWERR1ビットが"1"(書き込みエラーが発生)になります。

以下に、確認コマンドをライトする際の対象ブロックと指定アドレスを示します。

表6.5.3 M32180F8対象ブロックと指定番地

| 対象ブロック | 指定番地 |
|--------|-------------|
| 0 | H'0000 3FFE |
| 1 | H'0000 5FFE |
| 2 | H'0000 7FFE |
| 3 | H'0000 FFFE |
| 4 | H'0001 FFFE |
| 5 | H'0002 FFFE |
| 6 | H'0003 FFFE |
| 7 | H'0004 FFFE |
| 8 | H'0005 FFFE |
| 9 | H'0006 FFFE |
| 10 | H'0007 FFFE |
| 11 | H'0008 FFFE |
| 12 | H'0009 FFFE |
| 13 | H'000A FFFE |
| 14 | H'000B FFFE |
| 15 | H'000C FFFE |
| 16 | H'000D FFFE |
| 17 | H'000E FFFE |
| 18 | H'000F FFFE |

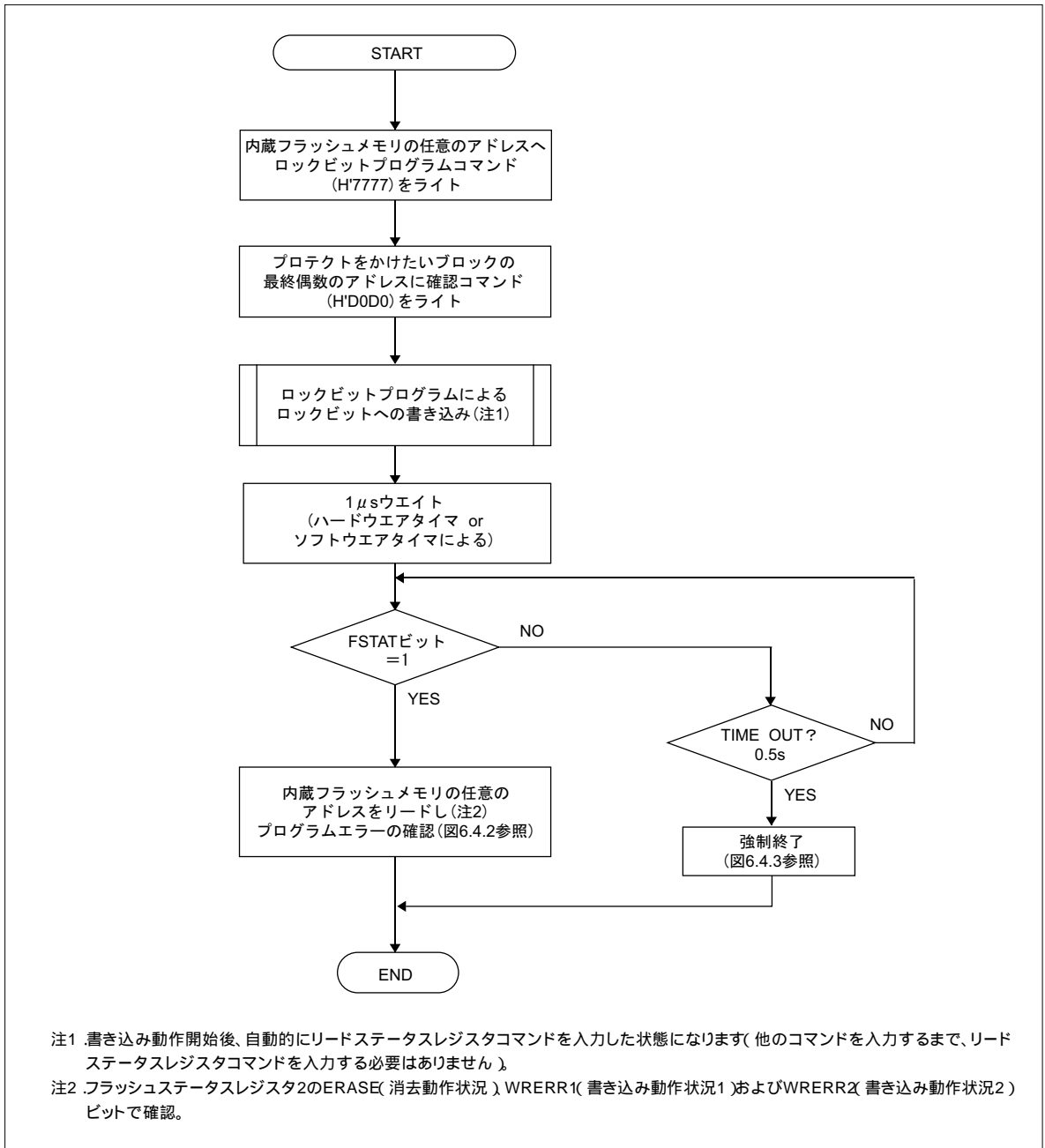


図6.5.9 ロックビットプログラム

(4) ブロックイレーズコマンド

ブロックイレーズコマンドは、内蔵フラッシュメモリの内容をブロック単位で消去します。ブロックイレーズは内蔵フラッシュメモリの任意アドレスに対して、ブロックイレーズコマンド(H'2020)をライトします。次に、消去したいメモリブロックの最終偶数アドレス(「表6.5.3 対象ブロックと指定番地」を参照してください。)に確認コマンド(H'D0D0)をライトすることにより、該当メモリブロックの内容を消去します。

ブロックイレーズコマンドにおいて、プロテクトされているブロックの消去はできません。

ブロックイレーズは内部制御回路で自動的に行われ、ブロックイレーズコマンドの完了はフラッシュステータスレジスタ1(FSTAT1)のFSTATビットで確認することができます(「6.4.2 フラッシュステータスレジスタ」を参照してください)。FSTATビットが"0" : Busyの間は、次のブロック単位の消去(ブロックイレーズコマンドの実行)は行えません。

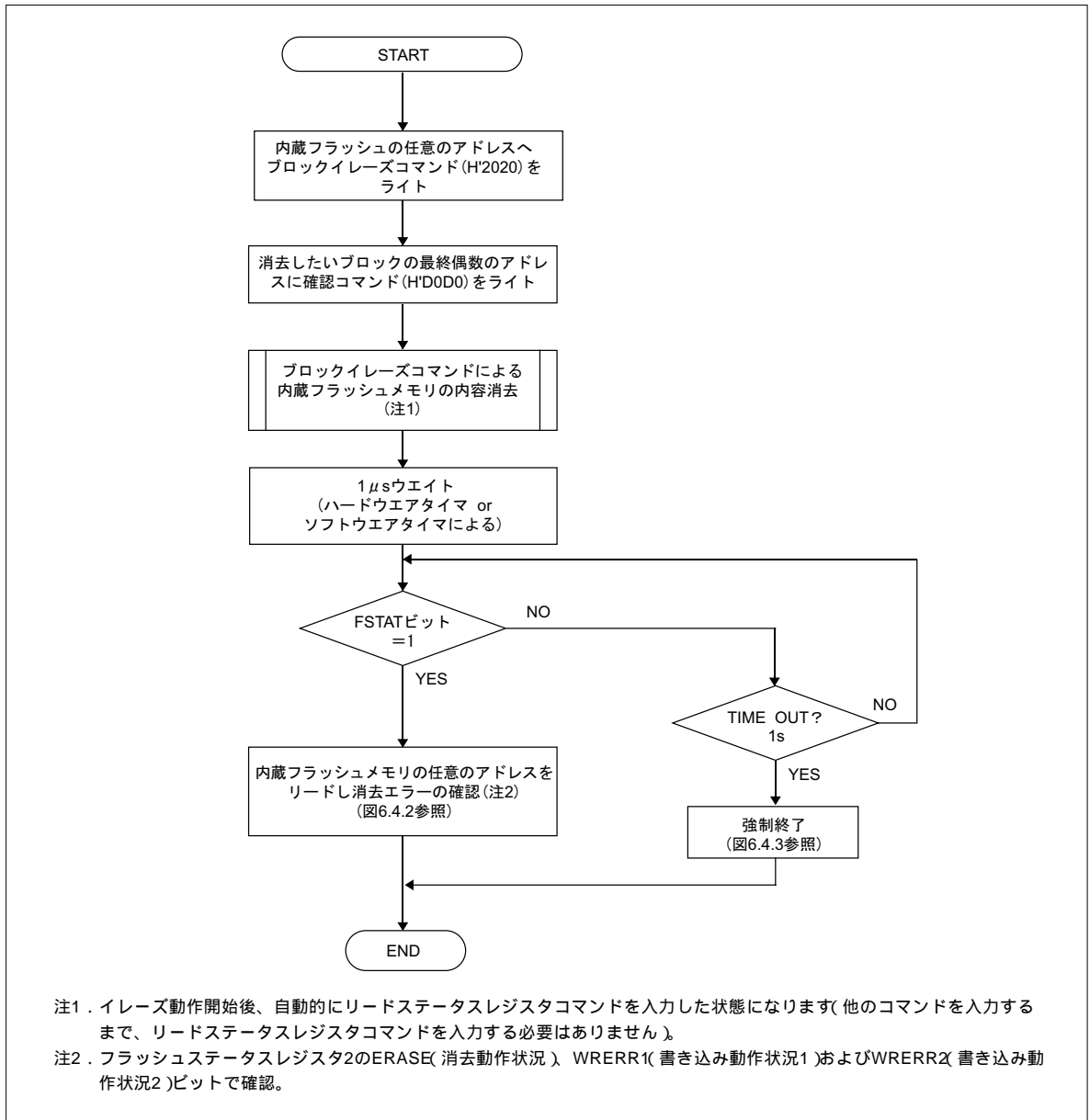


図6.5.10 ブロックイレーズ

(5) イレーズ全アンロックブロックコマンド

イレーズ全アンロックブロックコマンドは、プロテクトのかかっていない全てのメモリブロックを消去します。全アンロックブロックでの消去は、内蔵フラッシュメモリの任意アドレスに対して、コマンド (H'A7A7) をライトします。次に、内蔵フラッシュメモリの任意アドレスに確認コマンド (H'D0D0) をライトすると、プロテクトのかかっていない全てのメモリブロックを消去します。

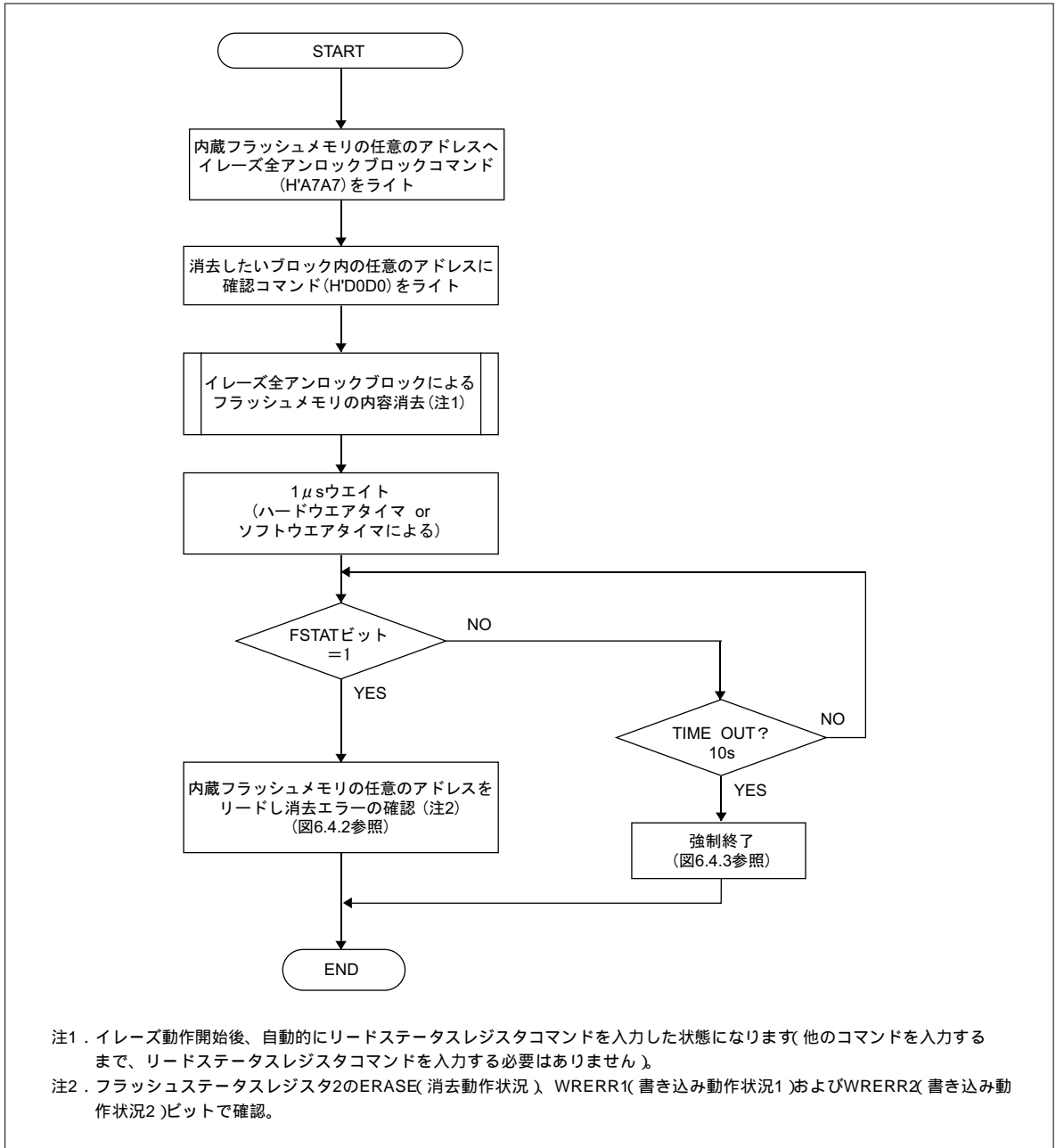


図6.5.11 イレーズ全アンロックブロックイレーズ

(6) リードステータスレジスタコマンド

リードステータスレジスタコマンドは、内蔵フラッシュメモリへの書き込み/消去動作の終了状態(正常、異常)を示すフラッシュステータスレジスタ α (FSTAT2)の内容を読み出します。フラッシュステータスレジスタ2のリードは、内蔵フラッシュメモリの任意アドレスに対して、リードステータスレジスタコマンド(H'7070)をライトします。次に、内蔵フラッシュメモリの任意アドレスをリードすると、フラッシュステータスレジスタ α (FSTAT2)を読み出します。

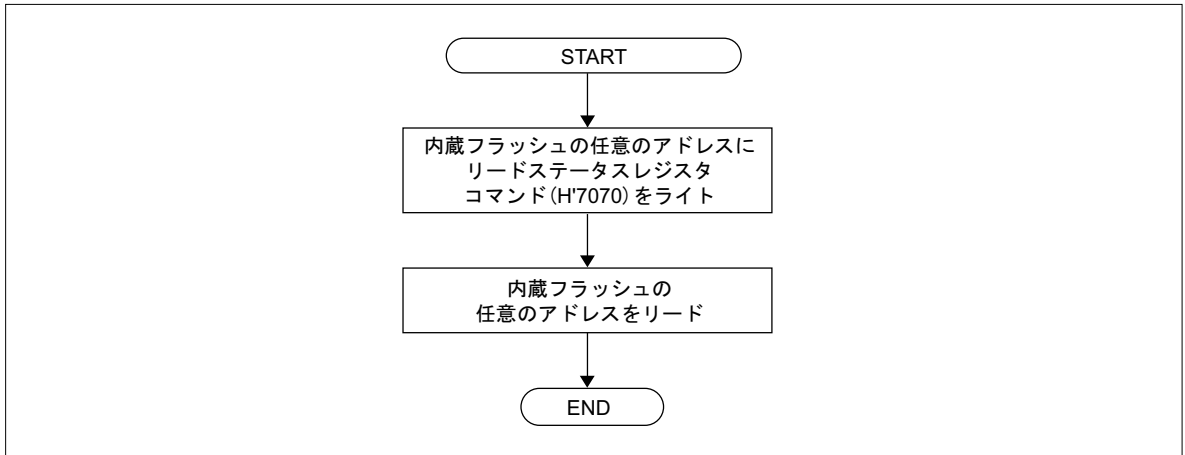


図6.5.12 リードステータス

(7) クリアステータスレジスタコマンド

クリアステータスレジスタコマンドは、フラッシュステータスレジスタ α (FSTAT2)のERASE(消去動作状況)、WRERR1(書き込み動作状況1)およびWRERR2(書き込み動作状況2)ビットを"0"クリアするコマンドです。内蔵フラッシュメモリの任意アドレスに対して、クリアステータスレジスタコマンド(H'5050)をライトすると、フラッシュステータスレジスタ2が初期化されます。

内蔵フラッシュメモリへの書き込み、消去動作でエラーが発生し、フラッシュステータスレジスタ2(FSTAT2)のERASE(消去動作状況)、WRERR1(書き込み動作状況1)またはWRERR2(書き込み動作状況2)ビットに"1"がセットされた場合、それぞれを"0"クリアしなければ、次の書き込み/消去はできません。

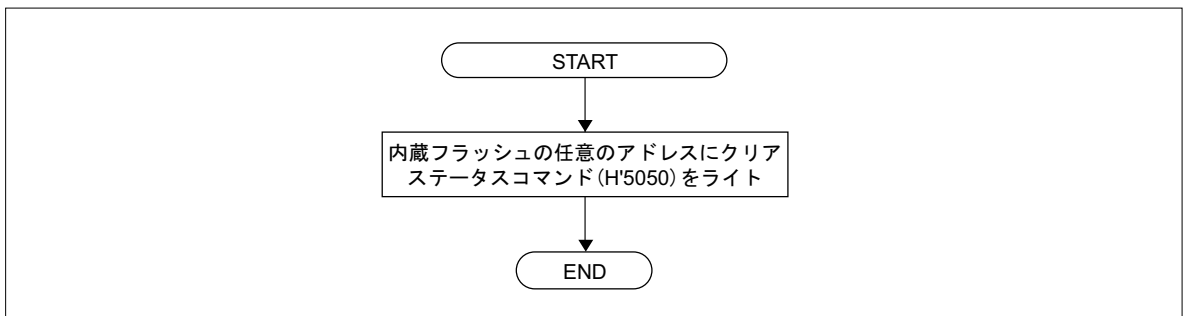


図6.5.13 クリアステータス

(8) リードロックビットステータスコマンド

リードロックビットステータスコマンドは、メモリブロックがプロテクト(書き込み/消去の禁止)状態か、プロテクト状態でないかを確認するためのコマンドです。内蔵フラッシュメモリの任意アドレスに対して、リードロックビットステータスコマンド(H'7171)をライトします。次に、対象ブロックの最終偶数アドレス(「表6.5.3 対象ブロックと指定番地」を参照してください。)をリードすると、対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

リードしたデータのFLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、FLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

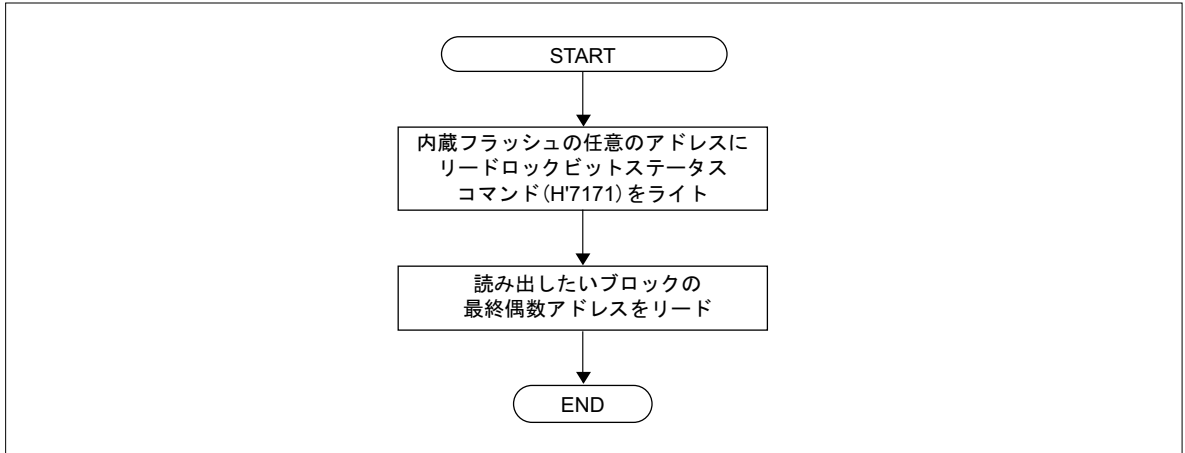


図6.5.14 リードロックビットステータス

ロックビットステータスレジスタ(FLBST)

| | | | | | | | | | | | | | | | |
|----|-------------|---|---|---|---|---|---|---|-------------|----|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| ? | FLBST0 ? | ? | ? | ? | ? | ? | ? | ? | FLBST1 ? | ? | ? | ? | ? | ? | ? |

<リセット解除時：不定>

| b | ビット名 | 機能 | R | W |
|-------|-------------------|---|---|---|
| 0 | 何も配置されていません | | ? | - |
| 1 | FLBST0 ロックビット0 | 0：プロテクト状態 1：非プロテクト状態 | R | - |
| 2~8 | 何も配置されていません | | ? | - |
| 9 | FLBST1 ロックビット1 | 0：プロテクト状態 1：非プロテクト状態 (FLBST0と同じ内容が出力されます) | R | - |
| 10~15 | 何も配置されていません | | ? | - |

ロックビットステータスレジスタは読み出し専用のレジスタで、各ブロックごとに独立したロックビットステータスレジスタを内蔵しています。ロックビットの書き込みは以下の方法で行います。

a)ロックビットの"0"セット方法(プロテクト状態)

プロテクトしたいメモリブロックへのロックビットプログラムコマンド(H'7777)の発行により行います。

b)ロックビットの"1"セット方法(非プロテクト状態)

フラッシュ制御レジスタ2のFPROTを"ロックビットによるプロテクト無効"にしたのち、ブロックイレーズコマンド(H'2020)またはイレーズ全アンロックブロックコマンド(H'A7A7)で、非プロテクト状態にしたいメモリブロックを消去することによってのみ行えます。ロックビットのみを"1"セットすることはできません。

c)ロックビットのリセット解除時の状態

ロックビットは不揮発性のビットであるため、リセットおよび電源OFFの影響を受けません。

6.5.5 フラッシュ書き込み時間(参考値)

内蔵フラッシュメモリへの書き込み時間の参考値を以下に示します。

(1) SIO による転送時間(転送データ容量:1024KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 1024\text{KB} = 200.2[\text{s}]$$

(2) フラッシュ書き込み時間

$$1024\text{KB}/256\text{バイトブロック} \times 8\text{ms} = 32.8[\text{s}]$$

(3) イレーズ時間(全領域)

$$50\text{ms} \times 19(\text{ブロック数}) = 950[\text{ms}]$$

(4) トータルフラッシュ書き込み時間(1024KB全領域)

UARTで57600pbs通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$(1)+(3) = 201[\text{s}]$$

なお、シリアル通信高速化、または他の手法で転送時間が無視できる場合、最速書き込み時間は下記の計算式となります。

$$(2)+(3) = 34[\text{s}]$$

6.6 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を4Kバイト毎に区切った領域(Sバンク)に、H'0080 8000番地から4Kバイト単位のブロックをマッピングする機能、これを疑似フラッシュエミュレーション機能と呼びます。

これは、疑似フラッシュSバンクレジスタで指定したアドレスの内蔵フラッシュメモリ内容を、内蔵RAMの4KB単位のブロックに配置したデータに切り換え、内蔵フラッシュメモリの内容をリードすると該当するRAMのデータが読み出される機能です。

この機能を使用することにより、動作中に内蔵フラッシュメモリ内容の変更(データテーブルなど)を必要とするアプリケーションであっても、該当するRAMデータを変更することにより、ダイナミックなデータ変更が可能となります。

疑似フラッシュエミュレーションに割り当てられたRAMは、通常のRAMと同様にリード、ライトできます。

この機能と内蔵リアルタイムデバッグ(RTD)などを組み合わせて使用することで、内蔵フラッシュメモリ上に設けたデータテーブルなどを外部から参照したり、書き換えることができ、外部からデータテーブルのチューニングなどが容易に行えます。

注．．内蔵フラッシュメモリに対する書き込み/消去操作を行う場合は、必ずこの疑似フラッシュエミュレーションモードを終了してください。

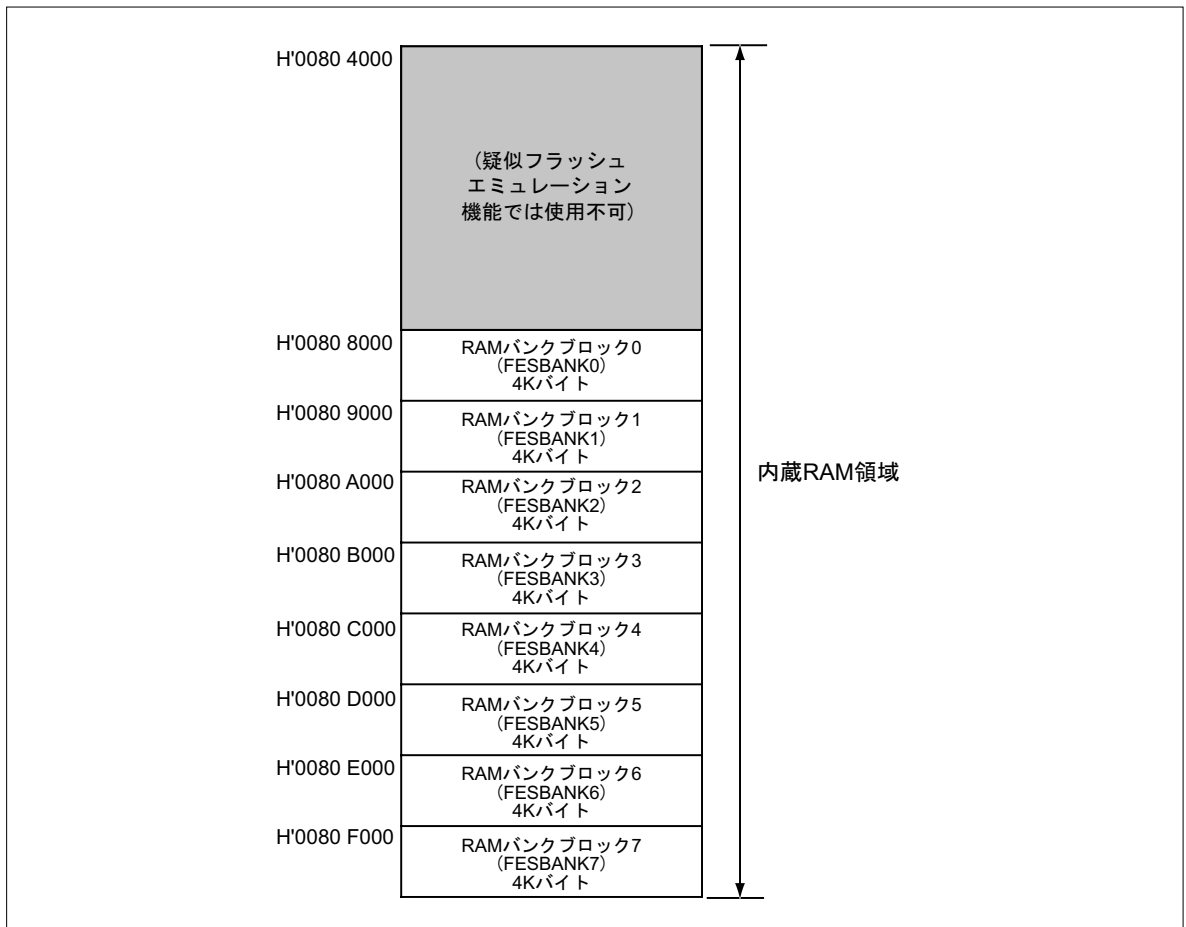


図6.6.1 M32180F8内蔵RAMのバンク構成

6.6.1 疑似フラッシュエミュレーション領域

疑似フラッシュエミュレーション機能が有効な領域を以下に示します。

疑似フラッシュSバンクレジスタ(FESBANK0～FESBANK7)によって、内蔵フラッシュメモリの4Kバイト毎に区切られた全てのSバンクから、Sバンク領域を選択(該当Sバンクの先頭アドレスのうちA12～A19の8ビットを疑似フラッシュSバンクレジスタのSBANKADビットに設定)します。疑似フラッシュSバンクレジスタの疑似フラッシュエミュレーションイネーブルビット(MODENS)に"1"を設定することで選択したSバンク領域を、内蔵RAMのH'0080 8000の領域から4Kバイト単位に最大8ブロック置き換えることができます。

注．・複数の疑似フラッシュSバンクレジスタ(FESBANK0～FESBANK7)に同じバンク領域を設定し、疑似フラッシュエミュレーションイネーブルビット(MODENS)を"1"：イネーブルにした場合は、下記に示す疑似フラッシュSバンクレジスタの優先順位で対応する内蔵RAM領域(4Kバイト)が割り当てられます。

FESBANK0 > FESBANK1 > FESBANK2 > FESBANK3 > FESBANK4 > FESBANK5 > FESBANK6 > FESBANK7

- ・疑似フラッシュエミュレーションモード時、内蔵RAM領域と疑似フラッシュエミュレーションに設定した領域の両方からRAMのリード/ライトが可能です。
- ・フラッシュ制御レジスタ1(FCNT1)の疑似フラッシュエミュレーションモードビット(FEMMOD)に"1"設定して、疑似フラッシュエミュレーション領域のリードを行う場合、疑似フラッシュエミュレーションモードビット(FEMMOD)が"1"になったことを一度読み出し確認してから疑似フラッシュリードを行ってください。
- ・疑似フラッシュSバンクレジスタ(FESBANK0～FESBANK7)の疑似フラッシュエミュレーションイネーブルビット(MODENS)、およびバンクアドレスビット(SBANKAD)を設定して、疑似フラッシュのリードを行う場合、疑似フラッシュエミュレーションイネーブルビット(MODENS)、およびバンクアドレスビット(SBANKAD)が設定値になっていることを一度読み出し確認してから疑似フラッシュリードを行ってください。

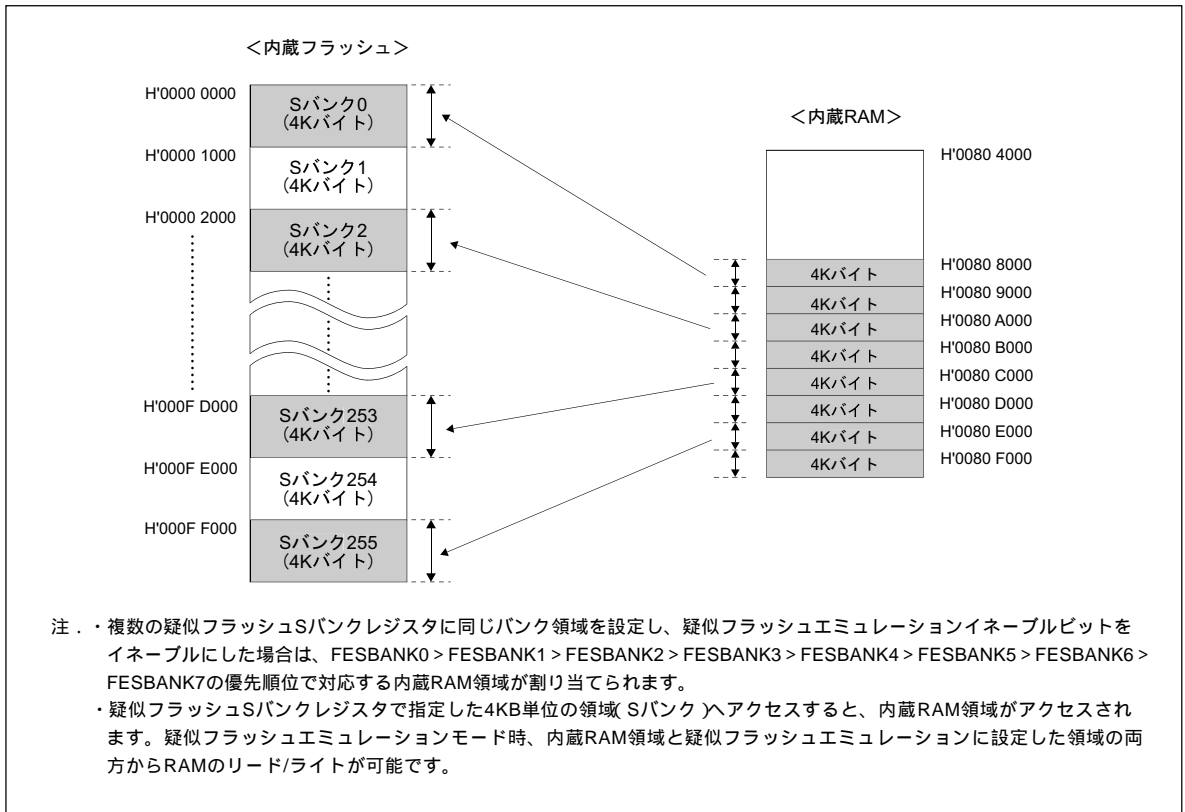


図6.6.2 M32180F8の疑似フラッシュエミュレーション領域

| Sバンク | フラッシュメモリ上のバンクの先頭アドレス | Sバンクアドレス (SBANKAD) ビット設定値 |
|---------|----------------------|---------------------------|
| Sバンク0 | H'0000_0000 (注1) | H'00 |
| Sバンク1 | H'0000_1000 (注1) | H'01 |
| Sバンク2 | H'0000_2000 (注1) | H'02 |
| ~ | ⋮ | ~ |
| Sバンク254 | H'000F_E000 (注1) | H'FE |
| Sバンク255 | H'000F_F000 (注1) | H'FF |

注1 . 内蔵フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.6.3 M32180F8の疑似フラッシュSバンクレジスタの設定値

6.6.2 疑似フラッシュエミュレーションモードへの移行

疑似フラッシュエミュレーションモードに移行するには、フラッシュ制御レジスタ1(FCNT1)のFEMMODビットに"1"を書き込みます。疑似フラッシュエミュレーションモードに移行後、疑似フラッシュSバンクレジスタのMODENビットに"1"を書き込むことで疑似フラッシュエミュレーション機能が有効になります。

疑似フラッシュエミュレーションモード時も、内蔵RAM領域(H'0080 8000 ~ H'0080 FFFF)は通常の内蔵RAMとしてアクセス可能です。

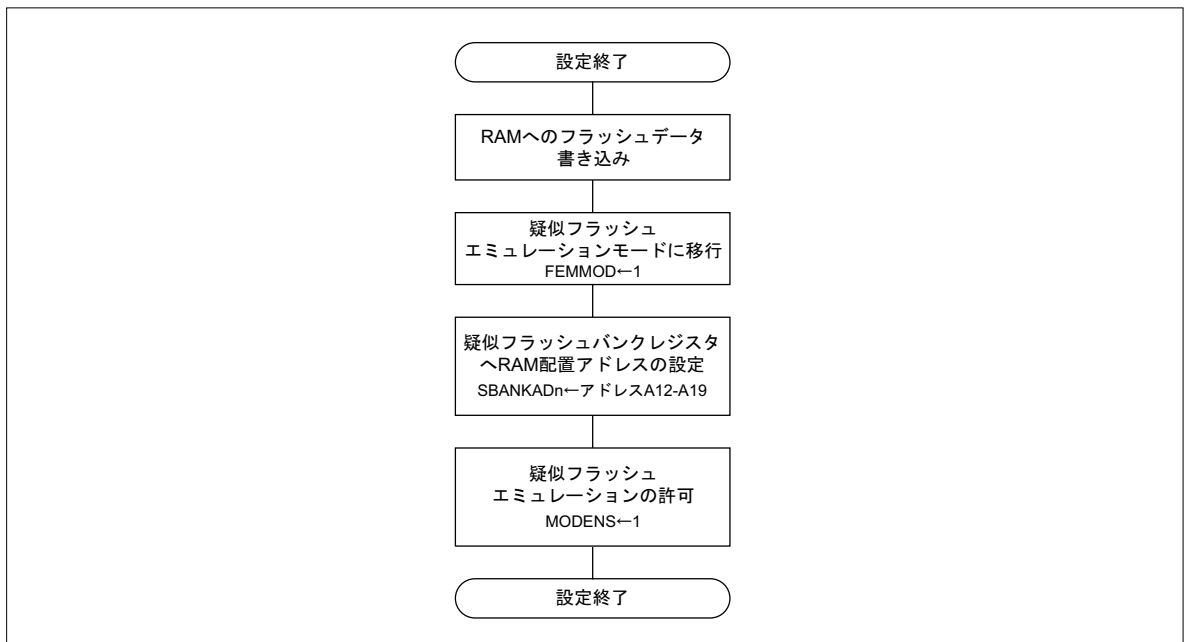


図6.6.4 疑似フラッシュエミュレーションモードシーケンス

6.6.3 疑似フラッシュエミュレーションモードの応用例

疑似フラッシュエミュレーション機能で2領域を同一エリアに設定して使用することで、フラッシュ中のデータを連続的に置き換えることができます。

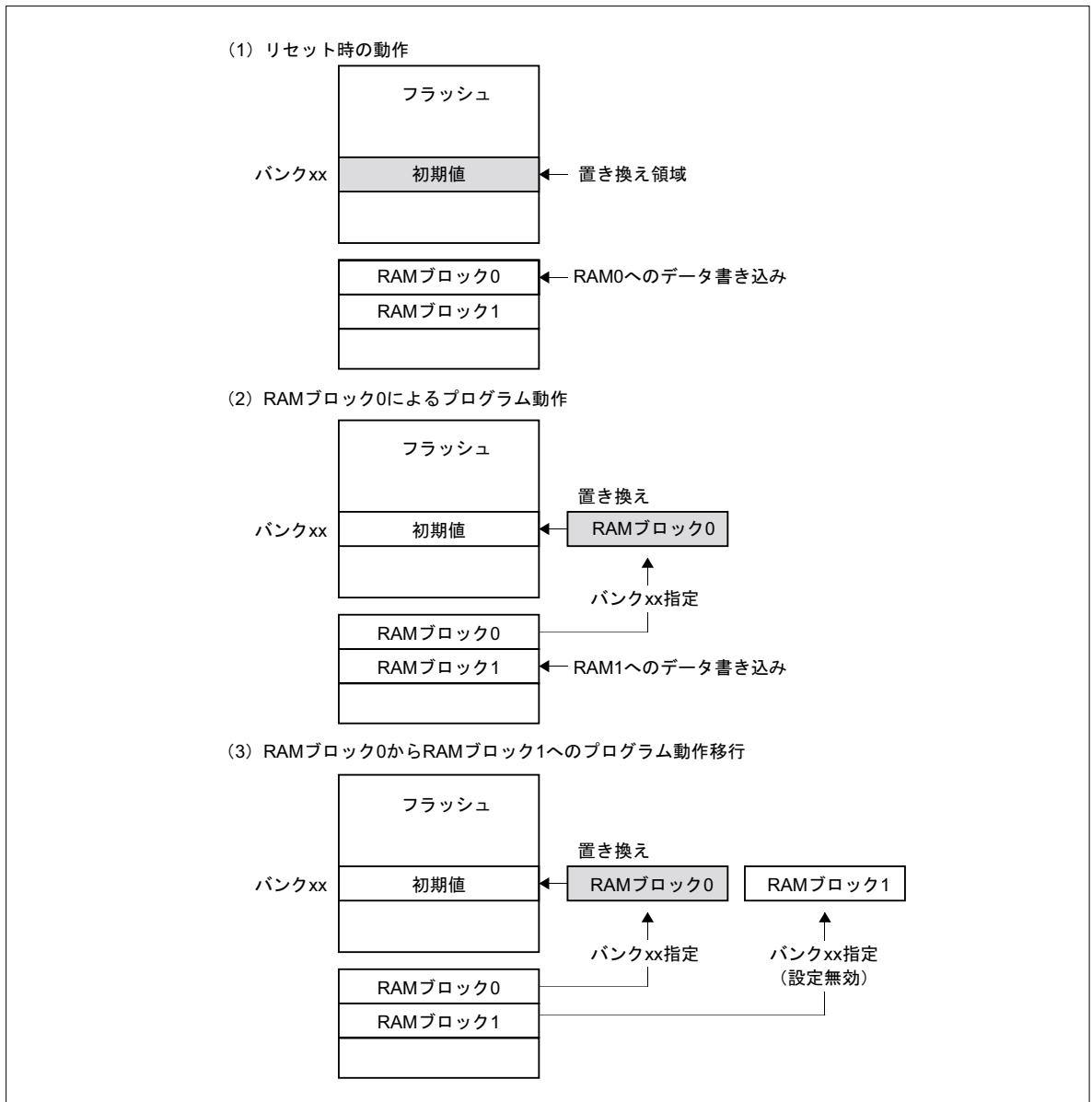


図6.6.5 疑似フラッシュエミュレーション使用例(1/2)

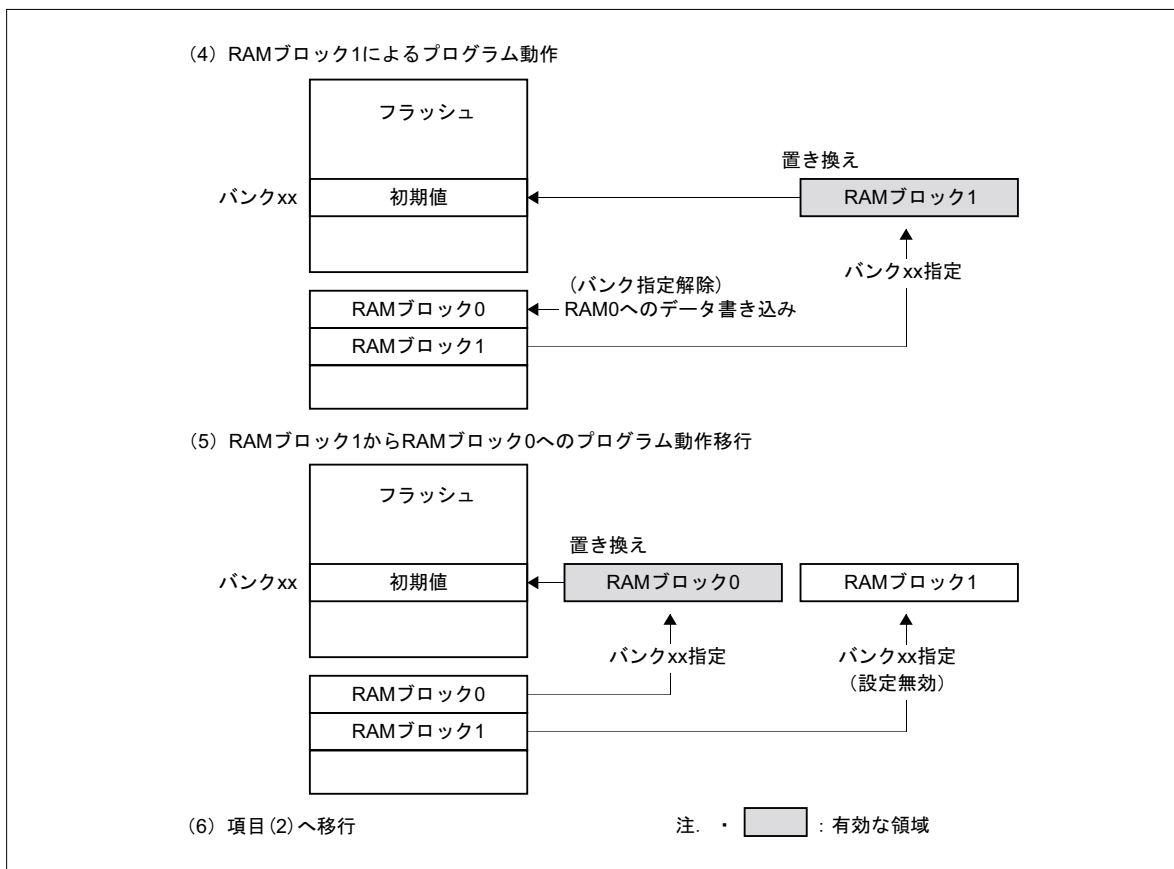


図6.6.6 疑似フラッシュエミュレーション使用例(2/2)

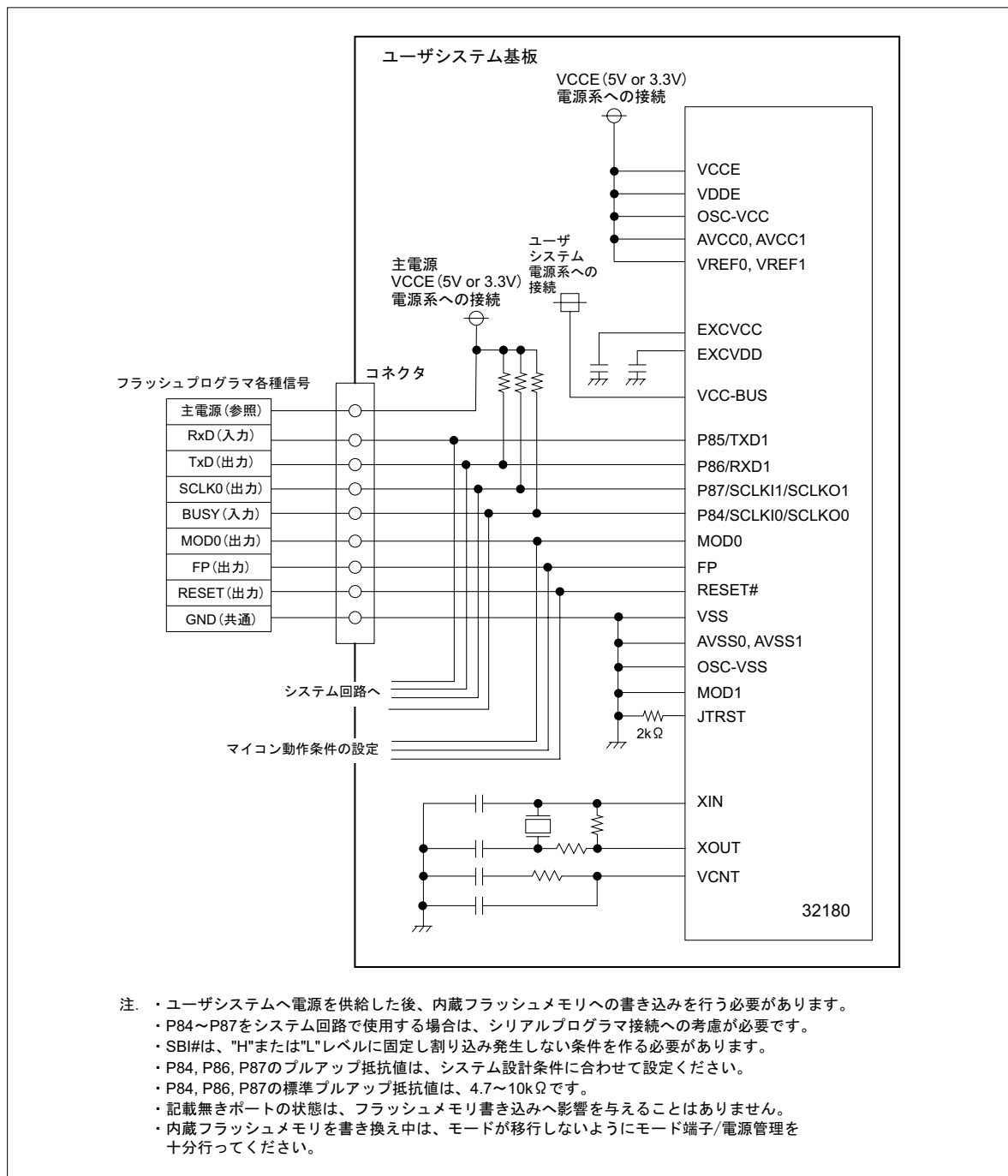
6.7 シリアルプログラマとの接続

ブートモード+フラッシュE/Wイネーブルモードで汎用シリアルプログラマを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルプログラマへ対応した端子処理が必要です。

表6.7.1 シリアルプログラマ使用時の端子処理

| 端子名 | 端子番号 | 機能 | 備考 |
|------------------|--|------------------|---------------------------|
| SCLKI1 | 175 | 転送クロック入力 | プルアップ必要 |
| RXD1 | 176 | シリアルデータ入力(受信データ) | プルアップ必要 |
| TXD1 | 177 | シリアルデータ出力(送信データ) | |
| P84 | 178 | 送受信許可出力 | プルアップ必要 |
| FP | 187 | フラッシュメモリのプロテクト | 主電源に接続 |
| MOD0 | 188 | 動作モード0 | 主電源に接続 |
| MOD1 | 189 | 動作モード1 | グランドに接続 |
| RESET# | 35 | リセット | MOD0/MOD1を設定後、グランド 主電源 |
| JTRST | 50 | JTAGリセット | 抵抗経由でプルダウン |
| XIN | 32 | クロック入力 | |
| XOUT | 34 | クロック出力 | |
| VCNT | 30 | PLL回路の制御入力 | |
| OSC-VCC | 31 | PLL回路電源 | 主電源に接続 |
| OSC-VSS | 29, 33 | PLL回路グランド | グランドに接続 |
| VREF0 | 64 | A-D変換器の基準電圧入力 | 主電源に接続 |
| VREF1 | 240 | | |
| AVCC0 | 63 | アナログ電源 | 主電源に接続 |
| AVCC1 | 1 | | |
| AVSS0 | 73 | アナロググランド | グランドに接続 |
| AVSS1 | 231 | | |
| VDDE | 193 | RAMバックアップ電源 | 主電源に接続 |
| VCCE | 3, 28, 61, 89, 125, 154, 193 | 主電源 | 5V±10%または3.3V±10% |
| VCC-BUS | 127, 153, 196, 221 | バス電源 | ターゲットシステムに依存 |
| EXCVCC EXCVDD | 91, 192 190 | 内部電源 | バスコン経由でグランド設置 |
| VSS | 2, 62, 86, 87, 88, 90, 126, 155, 191, 194, 213, 222 | グランド | 0V |

シリアルプログラマ接続時の、ユーザシステム構成例を以下に示します。シリアルプログラマは、ユーザシステムへ電源投入後、クロック同期形シリアルを使用し内蔵フラッシュメモリへの書き込みを行います。発振周波数に依存する通信上の問題が発生することはありません。シリアルプログラマに接続する端子をシステムで使用する場合は、シリアルプログラマ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084 ~ H'0000 008F間は内蔵フラッシュメモリのプロテクト用のID照合領域としてシリアルプログラマで使用します。内蔵フラッシュメモリのプロテクトが必要な場合は、任意のIDを設定してください。



- 注.
- ・ユーザシステムへ電源を供給した後、内蔵フラッシュメモリへの書き込みを行う必要があります。
 - ・P84~P87をシステム回路で使用する場合は、シリアルプログラマ接続への考慮が必要です。
 - ・SBI#は、“H”または“L”レベルに固定し割り込み発生しない条件を作る必要があります。
 - ・P84, P86, P87のプルアップ抵抗値は、システム設計条件に合わせて設定ください。
 - ・P84, P86, P87の標準プルアップ抵抗値は、4.7~10kΩです。
 - ・記載無きポートの状態は、フラッシュメモリ書き込みへ影響を与えることはありません。
 - ・内蔵フラッシュメモリを書き換え中は、モードが移行しないようにモード端子/電源管理を十分行ってください。

図6.7.1 端子接続図

6.8 内蔵フラッシュメモリのプロテクト機能

内蔵フラッシュメモリは、誤作動による書き換え、不正なコピーや書き込み/消去を防ぐ、以下の4つのプロテクト機能を備えています。

(1) フラッシュメモリプロテクトID

汎用シリアルプログラマ、エミュレータ等の内蔵フラッシュメモリを書き込む/消去するツール使用時は、ツールで入力したIDと、内蔵フラッシュメモリ内のIDと照合を行います。正しいIDを入力しないと書き込み/消去を実行できません(一部ツールでは、全領域消去した後に、ツール動作が実行可能になり、内蔵フラッシュメモリの書き込みも可能になります)。

(2) FP端子によるプロテクト

FP(フラッシュプロテクト)端子を"L"レベルにすると、内蔵フラッシュメモリに対する書き込み/消去がハードウェア的にプロテクトされます。また、フラッシュ書き込み/消去プログラムでは、フラッシュモードレジスタ(FMOD)内のFPMOD(外部FP端子ステータス)ビットを読み出すことによって、FP端子のレベルが判別できるため、ソフトウェア的にプロテクトすることもできます。外部端子設定によるプロテクトを要求されないシステムでは、FP端子を常に"H"レベルに設定することにより、内蔵フラッシュメモリ書き込み/消去時の操作を簡略化することができます。

(3) FENTRYビットによるプロテクト

フラッシュ制御レジスタ1(FCNT1)内のFENTRY(フラッシュモードエントリ)ビットを"1"に設定しないとフラッシュE/Wイネーブルモードに移行しません。また、FENTRYビットを"1"に設定するには、FP端子が"H"レベルの状態、連続して"0" "1"を書き込む必要があります。

(4) ロックビットによるプロテクト

内蔵フラッシュメモリのブロック単位に存在するロックビットを"0"にセットし、プロテクト状態にすると、該当するメモリブロックの書き込み/消去が禁止されます。

6.9 内蔵フラッシュメモリ書き込み時の注意事項

内蔵フラッシュメモリ書き込み/消去時の注意事項を以下に示します。

- 内蔵フラッシュメモリ書き込み/消去時は、内部で高電圧が生成されています。書き込み/消去時中のモード移行は、チップ破壊の要因となり得ますので、モード移行がないように、モード端子、電源管理を十分に行ってください。
- 汎用書き込み/消去ツールで使用する端子をシステムで使用する場合、ツール接続時に影響がでないよう考慮が必要です。
- 汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが必要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域 (H'0000 0084 ~ H'0000 008F) に任意のIDを設定してください。
- 汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが不要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域 (H'0000 0084 ~ H'0000 008F) すべてにH'FFを設定してください。
- フラッシュステータスレジスタ2 (FSTAT2) の各エラーステータスのクリア (初期化 H'80) に、フラッシュ制御レジスタ4 (FCNT4) のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1 (FSTAT1) のFSTATビットが"1" (Ready) であることを確認後実施ください。
- フラッシュ制御レジスタ1 (FCNT1) のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1 (FSTAT1) のFSTATビットが"1" (Ready) またはフラッシュステータスレジスタ2 (FSTAT2) のFBUSYビットが"1" (Ready) であることを確認後実施ください。
- フラッシュ制御レジスタ1 (FCNT1) のFENTRYビットが"1" でフラッシュステータスレジスタ1 (FSTAT1) のFSTATビットが"0" (Busy) またはフラッシュステータスレジスタ2 (FSTAT2) のFBUSYビットが"0" (書き込み/消去中) の場合、FENTRYビットのクリアは行わないでください。

レイアウトの都合上、このページは白紙です。

第7章

リセット

- 7.1 リセット概要
- 7.2 リセット動作
- 7.3 リセット解除直後の内部状態
- 7.4 リセット解除後の注意事項

7.1 リセット概要

RESET#端子に"L"レベル信号を入力するとリセット状態に入ります。その後、RESET#端子を"H"にするとリセット状態が解除され、PC(プログラムカウンタ)にリセットベクタエントリの番地がセットされ、以後リセットベクタエントリから実行を開始します。

7.2 リセット動作

RESET#端子にノイズキャンセル幅(200ns)以上の"L"レベルが入力されると、リセットが受け付けられます。リセットが受け付けられると、端子がリセットされ(「表1.4.1 端子配列表」のリセット時の端子状態を参照)、内部バスに対しホールド要求が出力されます(内部信号)。また、リセット受付後9~10BCLK後に内蔵回路(CPU含む)がリセットされます。

RESET#入力が"H"レベルになり17~18BCLK後に端子のリセット、内部バスへのホールド要求が解除され、さらに15BCLK後に内蔵回路のリセットが解除されます。

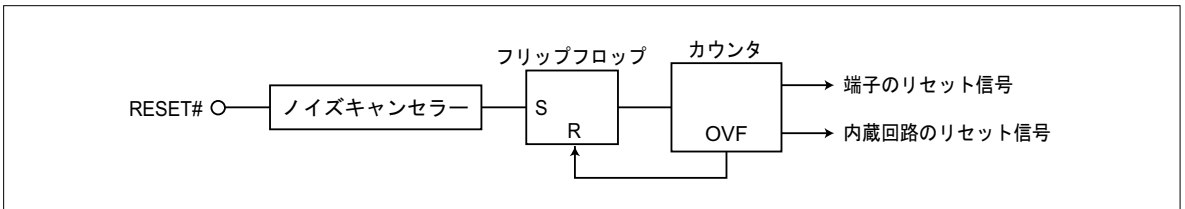


図7.2.1 リセット回路

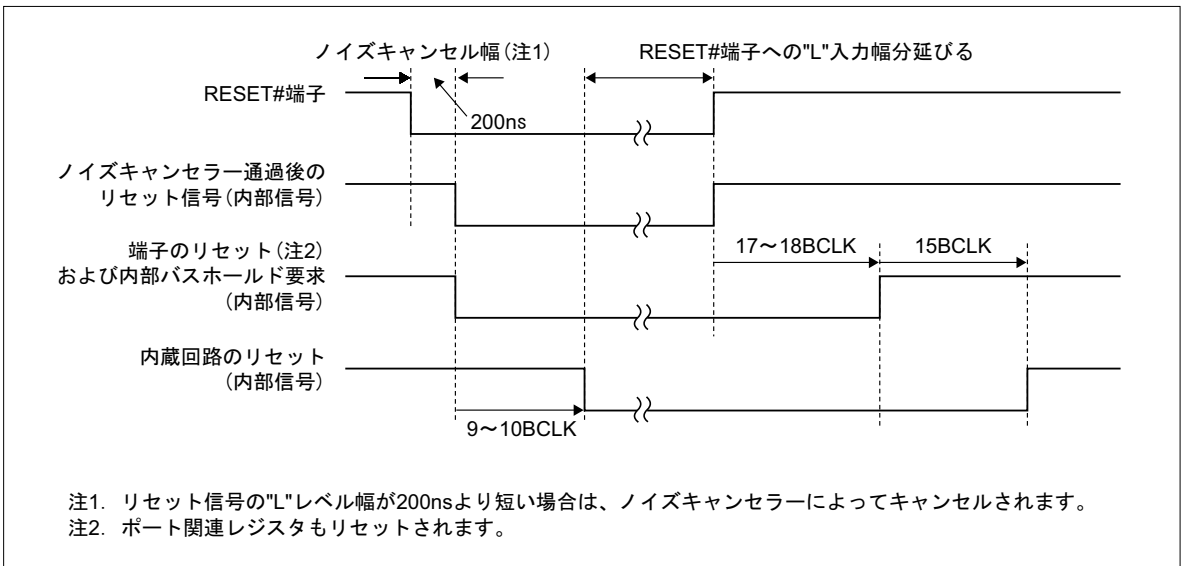


図7.2.2 リセットシーケンス

7.2.1 電源投入時のリセット

電源投入時は、電源が規格内に入り、内蔵する8逓倍のクロックジェネレータの発振が安定するまで、RESET#端子に"L"レベル信号を入力してください。

7.2.2 動作中のリセット

動作中のリセットは、200ns以上の幅でRESET#端子に"L"レベル信号を入力してください。

7.2.3 RAMバックアップモードへ移行する場合のリセット

CPU, DMAなどのRAMアクセスがリセットにより中断されてしまうのを防ぐため、リセットを受け付けると、まず内部バスに対しホールド要求が出力されます。そして内部バスがホールド状態に入った後、内蔵回路がリセットされます。

注 . ・RAMバックアップモードへ移行するためのリセットを入力するときは、以下の状態、および実行中には行わないで下さい。(内部バスのホールド要求が受け付けられないため、RAMの内容が破壊される可能性があります。)

- ・ LOCKビット = "1"の状態(詳細については「2.7 BSET, BCLR, LOCK, UNLOCK 命令実行時の補足説明」を参照してください。)
- ・ 外部メモリ上の命令実行中

7.2.4 フラッシュ書き込み時のリセットベクタ移動

ブートモードに移行してリセットを解除すると、ブートプログラムの実行を開始します。詳細については、「6.5 内蔵フラッシュメモリの書き込み」を参照してください。

7.3 リセット解除直後の内部状態

以下にリセット解除直後の内部状態を示します。各内蔵周辺I/Oのレジスタ初期状態については、それぞれの内蔵周辺I/Oの章を参照してください。

表7.3.1 リセット解除直後の内部状態

| レジスタ | リセット後の状態 |
|----------------|---|
| PSW (CR0) | B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BC ビット = 不定) |
| CBR (CR1) | H'0000 0000 (Cビット = 0) |
| SPI (CR2) | 不定 |
| SPU (CR3) | 不定 |
| BPC (CR6) | 不定 |
| FPSR (CR7) | H'0000 0100 (DNビットのみ1) |
| PC | H'0000 0000 (H'0000 0000 番地から実行) (注1) |
| R0 ~ R15 | 不定 |
| ACQ アキュムレ - タ) | 不定 |
| RAM | パワーオンリセット時、不定 (ただし、RAMバックアップモードの状態から復帰し、リセット解除した場合は、リセット前の内容を保持しています。) |

注1 . ブートモード時は、ブートプログラムを実行します。

7.4 リセット解除後の注意事項

• 入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力特別機能制御レジスタ(PICNT)のPIEN0で入力許可に設定してください。詳細については、「8.3 入出力ポート関連レジスタ」を参照してください。

第8章

入出力ポートと端子機能

- 8.1 入出力ポート概要
- 8.2 端子機能の選択
- 8.3 入出力ポート関連レジスタ
- 8.4 ポート入力レベル切り換え機能
- 8.5 ポート周辺回路
- 8.6 入出力ポートの注意事項

8.1 入出力ポート概要

32180は、P0～P22(ただしP5は将来のために予約)の計158本の入出力ポートを備えています。入出力ポートは、方向レジスタにより入力ポートまたは出力ポートとして使用できます。

各入出力ポートは、他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクションあるいはトリプルファンクション端子になっており、チップの動作モード選択、または入出力ポートの動作モードレジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

入力ポートの貫通電流対策に使用可能なポート入力機能許可ビットを内蔵しており、リセット直後およびフラッシュ書き換え時のソフトウェアおよびハードウェア処理を簡素化できます。

なお、ポートを入力モードで使用する場合には、ポート入力機能許可ビットの設定が必要です。

下記に入出力ポートの概要を示します。

表8.1.1 入出力ポートの概要

| 項目 | 仕様 |
|-------|---|
| ポート数 | 合計158本 |
| | P0 : P00～P07 (8本) |
| | P1 : P10～P17 (8本) |
| | P2 : P20～P27 (8本) |
| | P3 : P30～P37 (8本) |
| | P4 : P41～P47 (7本) |
| | P6 : P61～P63, P65～P67(6本) |
| | P7 : P70～P77 (8本) |
| | P8 : P82～P87 (6本) |
| | P9 : P93～P97 (5本) |
| | P10 : P100～P107 (8本) |
| | P11 : P110～P117 (8本) |
| | P12 : P124～P127 (4本) |
| | P13 : P130～P137 (8本) |
| | P14 : P140～P147 (8本) |
| | P15 : P150～P157 (8本) |
| | P16 : P160～P167 (8本) |
| | P17 : P172～P177 (6本) |
| | P18 : P180～P187 (8本) |
| | P19 : P190～P197 (8本) |
| | P20 : P200～P203 (4本) |
| | P21 : P210～P217 (8本) |
| | P22 : P220～P227 (8本) |
| ポート機能 | 入出力ポートの方向制御レジスタにより、各ポート単位で入力ポートまたは出力ポートに設定可能(ただし、P221/P223は入力専用ポート) |
| 端子機能 | 周辺I/Oまたは外部拡張信号とのダブルファンクション(または周辺I/Oの複数機能とのトリプルファンクション) |
| 端子機能 | P0～P4, P224～P227 : CPU動作モード設定(MOD0, MOD1端子)による。(注1) |
| 切り換え | P6～P22 : 入出力ポートの動作モードレジスタ設定による。 (ただし周辺I/Oの端子機能は周辺I/Oのレジスタで選択) |

注1. CPU動作モードが外部拡張モードの場合は、P0～P3/P44～P47/P224～P227は、初期状態は入出力ポート端子ですが、ポート動作モードレジスタ設定により外部拡張信号端子機能へ切り替わります。P41～P43は外部拡張モード時、外部バスインターフェース信号専用端子になります。

8.2 端子機能の選択

各入出力ポートは他の内蔵周辺I/O、または外部拡張バスの信号線とダブルファンクション(または周辺I/Oの複数機能とのトリプルファンクション)になっており、動作モードの設定、または入出力ポートの動作モードレジスタで機能を選択します。

P0～P4、P224～P227は、CPUの動作モードをプロセッサモードに設定した場合、すべて外部アクセスのための信号端子に切り替わります。動作モードはMOD0、MOD1端子の設定で決まります(下表参照)。

表8.2.1 CPU動作モードとP0～P4、P224～P227端子機能

| MOD0 | MOD1 | 動作モード | P0～P4、P224～P227端子機能 |
|------|------|----------------------|--------------------------|
| VSS | VSS | シングルチップモード | 入出力ポート端子 |
| VSS | VCCE | 外部拡張モード | 入出力ポート端子、または外部拡張信号端子(注1) |
| VCCE | VSS | プロセッサモード(FP端子 = VSS) | 外部拡張信号端子 |
| VCCE | VCCE | Reserved(使用禁止) | - |

注 . . VCCE = 5Vまたは3.3V、VSS = GNDに接続。

注1 . P41～P43は外部バスインターフェース信号専用端子になります。

各入出力ポートは入出力ポートの動作モードレジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り替わります。なお、内蔵周辺I/Oが複数の端子機能を備える場合は、それぞれの内蔵周辺I/Oのレジスタで端子機能を選択してください。

なお、内蔵フラッシュメモリ書き込み時の、FP端子とMOD1端子の操作は、端子機能には影響を与えません。

| | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|---------------------------|------|-------------------|--------------------|---------------------|-------|--------------------|--------------------|--------------------|--------------------|
| チップ動作 モード設定 (注1) | P0 | DB0 | DB1 | DB2 | DB3 | DB4 | DB5 | DB6 | DB7 |
| | P1 | DB8 | DB9 | DB10 | DB11 | DB12 | DB13 | DB14 | DB15 |
| | P2 | A23 | A24 | A25 | A26 | A27 | A28 | A29 | A30 |
| | P3 | A15 | A16 | A17 | A18 | A19 | A20 | A21 | A22 |
| | P4 | | BLW# / BLE# | BHW# / BHE# | RD# | CS0# | CS1# | A13 | A14 |
| | (予約) | | | | | | | | |
| | P5 | | | | | | | | |
| | P6 | | (P61) | (P62) | (P63) | SBI# (注3) | SCLKI4 / SCLKO4 | SCLKI5 / SCLKO5 | (P67) |
| | P7 | BCLK / WR# | WAIT# | HREQ# | HACK# | RTDTRXD | RTDRXD | RTDACK | RTDCLK |
| | P8 | MOD0 (注3) | MOD1 (注3) | TXD0 | RXD0 | SCLKI0 / SCLKO0 | TXD1 | RXD1 | SCLKI1 / SCLKO1 |
| 入出力ポート 動作モード レジスタ設定 | P9 | | | | TO16 | TO17 | TO18 | TO19 | TO20 |
| | P10 | TO8 | TO9 / TXD3 (注2) | TO10 / CTX1 (注2) | TO11 | TO12 | TO13 | TO14 | TO15 |
| | P11 | TO0 | TO1 | TO2 | TO3 | TO4 | TO5 | TO6 | TO7 |
| | P12 | | | | | TCLK0 | TCLK1 | TCLK2 | TCLK3 |
| | P13 | TIN16/ PWMOFF0 | TIN17/ PWMOFF1 | TIN18 | TIN19 | TIN20 | TIN21 | TIN22 | TIN23 |
| | P14 | TIN8 | TIN9 | TIN10 | TIN11 | TIN12 | TIN13 | TIN14 | TIN15 |
| | P15 | TIN0 | TIN1 | TIN2 | TIN3 | TIN4 | TIN5 | TIN6 | TIN7 |
| | P16 | TO21 | TO22 | TO23 | TO24 | TO25 | TO26 | TO27 | TO28 |
| | P17 | | | TIN24 | TIN25 | TXD2 | RXD2 | TXD3 | RXD3 |
| | P18 | TO29 | TO30 | TO31 | TO32 | TO33 | TO34 | TO35 | TO36 |
| | P19 | TIN26 | TIN27 | TIN28 | TIN29 | TIN30 | TIN31 | TIN32 | TIN33/ PWMOFF2 |
| | P20 | TXD4 | RXD4 | TXD5 | RXD5 | | | | |
| | P21 | TO37 | TO38 | TO39 | TO40 | TO41 | TO42 | TO43 | TO44 |
| | P22 | CTX0 | CRX0 | CTX1 | CRX1 | A11 / CS2# (注2) | A12 / CS3# (注2) | CS2# | CS3# |

(注1)

- 注1. プロセッサモード時は外部拡張信号端子機能に切り替わります。
外部拡張モード時は、P41～P43のみが外部バスインタフェース端子に切り替わります。その他の端子はリセット時に入出力ポート端子となるため、使用する端子をポート動作モードレジスタによって外部バスインタフェース端子に設定する必要があります。
- 注2. トリプルファンクション端子です。周辺出力選択レジスタによって、出力する周辺機能を設定する必要があります。
- 注3. 入出力ポートの機能としては使用できません。SBI#, MOD0, MOD1端子の入力レベルを読み出せません。

図8.2.1 入出力ポートと端子機能の割り当て

8.3 入出力ポート関連レジスタ

入出力ポート関連のレジスタには、ポートデータレジスタ、ポート方向レジスタ、ポート動作モードレジスタがあります。

なお、P5は将来のために予約されています。以下に入出力ポート関連のレジスタマップを示します。

入出力ポート関連レジスタマップ(1/2)

| 番地 | + 0番地 | | + 1番地 | | 掲載ページ |
|-------------|-------------------------|----|-------------------------|-----|-------|
| | b0 | b7 | b8 | b15 | |
| H'0080 0700 | P0データレジスタ (P0DATA) | | P1データレジスタ (P1DATA) | | 8-7 |
| H'0080 0702 | P2データレジスタ (P2DATA) | | P3データレジスタ (P3DATA) | | 8-7 |
| H'0080 0704 | P4データレジスタ (P4DATA) | | (使用禁止領域) | | 8-7 |
| H'0080 0706 | P6データレジスタ (P6DATA) | | P7データレジスタ (P7DATA) | | 8-7 |
| H'0080 0708 | P8データレジスタ (P8DATA) | | P9データレジスタ (P9DATA) | | 8-7 |
| H'0080 070A | P10データレジスタ (P10DATA) | | P11データレジスタ (P11DATA) | | 8-7 |
| H'0080 070C | P12データレジスタ (P12DATA) | | P13データレジスタ (P13DATA) | | 8-7 |
| H'0080 070E | P14データレジスタ (P14DATA) | | P15データレジスタ (P15DATA) | | 8-7 |
| H'0080 0710 | P16データレジスタ (P16DATA) | | P17データレジスタ (P17DATA) | | 8-7 |
| H'0080 0712 | P18データレジスタ (P18DATA) | | P19データレジスタ (P19DATA) | | 8-7 |
| H'0080 0714 | P20データレジスタ (P20DATA) | | P21データレジスタ (P21DATA) | | 8-7 |
| H'0080 0716 | P22データレジスタ (P22DATA) | | (使用禁止領域) | | 8-7 |
| } | (使用禁止領域) | | | | |
| H'0080 0720 | P0方向レジスタ (P0DIR) | | P1方向レジスタ (P1DIR) | | 8-8 |
| H'0080 0722 | P2方向レジスタ (P2DIR) | | P3方向レジスタ (P3DIR) | | 8-8 |
| H'0080 0724 | P4方向レジスタ (P4DIR) | | (使用禁止領域) | | 8-8 |
| H'0080 0726 | P6方向レジスタ (P6DIR) | | P7方向レジスタ (P7DIR) | | 8-8 |
| H'0080 0728 | P8方向レジスタ (P8DIR) | | P9方向レジスタ (P9DIR) | | 8-8 |
| H'0080 072A | P10方向レジスタ (P10DIR) | | P11方向レジスタ (P11DIR) | | 8-8 |
| H'0080 072C | P12方向レジスタ (P12DIR) | | P13方向レジスタ (P13DIR) | | 8-8 |
| H'0080 072E | P14方向レジスタ (P14DIR) | | P15方向レジスタ (P15DIR) | | 8-8 |
| H'0080 0730 | P16方向レジスタ (P16DIR) | | P17方向レジスタ (P17DIR) | | 8-8 |
| H'0080 0732 | P18方向レジスタ (P18DIR) | | P19方向レジスタ (P19DIR) | | 8-8 |
| H'0080 0734 | P20方向レジスタ (P20DIR) | | P21方向レジスタ (P21DIR) | | 8-8 |
| H'0080 0736 | P22方向レジスタ (P22DIR) | | (使用禁止領域) | | 8-8 |

入出力ポート関連レジスタマップ(2/2)

| 番地 | + 0番地 | | + 1番地 | | 掲載 ページ |
|-------------|------------------------------------|----|------------------------------------|-----|--------------|
| | b0 | b7 | b8 | b15 | |
| H'0080 0740 | P0動作モードレジスタ (P0MOD) | | P1動作モードレジスタ (P1MOD) | | 8-9 |
| H'0080 0742 | P2動作モードレジスタ (P2MOD) | | P3動作モードレジスタ (P3MOD) | | 8-10 |
| H'0080 0744 | P4動作モードレジスタ (P4MOD) | | ポート入力特別機能制御レジスタ (PICNT) | | 8-11 8-21 |
| H'0080 0746 | P6動作モードレジスタ (P6MOD) | | P7動作モードレジスタ (P7MOD) | | 8-11 8-12 |
| H'0080 0748 | P8動作モードレジスタ (P8MOD) | | P9動作モードレジスタ (P9MOD) | | 8-12 8-13 |
| H'0080 074A | P10動作モードレジスタ (P10MOD) | | P11動作モードレジスタ (P11MOD) | | 8-13 8-14 |
| H'0080 074C | P12動作モードレジスタ (P12MOD) | | P13動作モードレジスタ (P13MOD) | | 8-14 8-15 |
| H'0080 074E | P14動作モードレジスタ (P14MOD) | | P15動作モードレジスタ (P15MOD) | | 8-15 8-16 |
| H'0080 0750 | P16動作モードレジスタ (P16MOD) | | P17動作モードレジスタ (P17MOD) | | 8-16 8-17 |
| H'0080 0752 | P18動作モードレジスタ (P18MOD) | | P19動作モードレジスタ (P19MOD) | | 8-17 8-18 |
| H'0080 0754 | P20動作モードレジスタ (P20MOD) | | P21動作モードレジスタ (P21MOD) | | 8-18 8-19 |
| H'0080 0756 | P22動作モードレジスタ (P22MOD) | | (使用禁止領域) | | 8-19 |
| } | (使用禁止領域) | | | | |
| H'0080 0760 | ポートグループ0,1入力レベル設定レジスタ (PG01LEV) | | ポートグループ2,3入力レベル設定レジスタ (PG23LEV) | | 8-25 |
| H'0080 0762 | ポートグループ4,5入力レベル設定レジスタ (PG45LEV) | | ポートグループ6,7入力レベル設定レジスタ (PG67LEV) | | 8-25 |
| H'0080 0764 | ポートグループ8入力レベル設定レジスタ (PG8LEV) | | (使用禁止領域) | | 8-25 |
| } | (使用禁止領域) | | | | |
| H'0080 076A | P10周辺出力選択レジスタ (P10SMOD) | | (使用禁止領域) | | 8-20 |
| } | (使用禁止領域) | | | | |
| H'0080 0776 | P22周辺出力選択レジスタ (P22SMOD) | | (使用禁止領域) | | 8-20 |

8.3.1 ポートデータレジスタ

| | |
|---------------------|---------------------|
| P0データレジスタ(P0DATA) | <アドレス: H'0080 0700> |
| P1データレジスタ(P1DATA) | <アドレス: H'0080 0701> |
| P2データレジスタ(P2DATA) | <アドレス: H'0080 0702> |
| P3データレジスタ(P3DATA) | <アドレス: H'0080 0703> |
| P4データレジスタ(P4DATA) | <アドレス: H'0080 0704> |
| P6データレジスタ(P6DATA) | <アドレス: H'0080 0706> |
| P7データレジスタ(P7DATA) | <アドレス: H'0080 0707> |
| P8データレジスタ(P8DATA) | <アドレス: H'0080 0708> |
| P9データレジスタ(P9DATA) | <アドレス: H'0080 0709> |
| P10データレジスタ(P10DATA) | <アドレス: H'0080 070A> |
| P11データレジスタ(P11DATA) | <アドレス: H'0080 070B> |
| P12データレジスタ(P12DATA) | <アドレス: H'0080 070C> |
| P13データレジスタ(P13DATA) | <アドレス: H'0080 070D> |
| P14データレジスタ(P14DATA) | <アドレス: H'0080 070E> |
| P15データレジスタ(P15DATA) | <アドレス: H'0080 070F> |
| P16データレジスタ(P16DATA) | <アドレス: H'0080 0710> |
| P17データレジスタ(P17DATA) | <アドレス: H'0080 0711> |
| P18データレジスタ(P18DATA) | <アドレス: H'0080 0712> |
| P19データレジスタ(P19DATA) | <アドレス: H'0080 0713> |
| P20データレジスタ(P20DATA) | <アドレス: H'0080 0714> |
| P21データレジスタ(P21DATA) | <アドレス: H'0080 0715> |
| P22データレジスタ(P22DATA) | <アドレス: H'0080 0716> |

| | | | | | | | |
|------------|------------|------------|------------|------------|------------|------------|------------|
| b0 (b8) | 1 9 | 2 10 | 3 11 | 4 12 | 5 13 | 6 14 | b7 b15) |
| Pn0DT ? | Pn1DT ? | Pn2DT ? | Pn3DT ? | Pn4DT ? | Pn5DT ? | Pn6DT ? | Pn7DT ? |

n = 0 ~ 22 (ただしP5を除く)

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|---------|------------------------|--|---|---|
| 0 (b8) | Pn0DT ポートPn0 データビット | <読み出し時> ポート方向レジスタの設定により | R | W |
| 1 (b9) | Pn1DT ポートPn1 データビット | 方向ビットが"0"(入力モード)の場合 0: ポート入力端子="L" | R | W |
| 2 (b10) | Pn2DT ポートPn2 データビット | 1: ポート入力端子="H" 方向ビットが"1"(出力モード)の場合(注1) | R | W |
| 3 (b11) | Pn3DT ポートPn3 データビット | 0: ポート出力ラッチ="0"/ポート端子レベル="L" 1: ポート出力ラッチ="1"/ポート端子レベル="H" | R | W |
| 4 (b12) | Pn4DT ポートPn4 データビット | <書き込み時> ポート出力ラッチへの書き込み | R | W |
| 5 (b13) | Pn5DT ポートPn5 データビット | | R | W |
| 6 (b14) | Pn6DT ポートPn6 データビット | | R | W |
| 7 (b15) | Pn7DT ポートPn7 データビット | | R | W |

注. . 次のポートに対応するデータビットは配置されていません(読み出し時"0"、書き込み時無効)。

P40, P60, P90 ~ P92, P120 ~ P123, P170, P171, P204 ~ P207

・P64DTビット読み出しで、SBI#端子のレベルが読み出せません。P64DTビットの書き込みは無効です。

・P80DTビット読み出しでMOD0、P81DTビット読み出しでMOD1端子のレベルが読み出せません。P80DT、P81DTビットへの書き込みは無効です。

・ポートP221, P223は入力モードのみです。P221DT, P223DTビットへの書き込みは無効です。

注1. 読み出し対象の選択は、ポート入力特別機能制御レジスタのポート入力データ選択ビット(PISEL)で設定します。

8.3.2 ポート方向レジスタ

| | |
|---------------------|-----------------------|
| P0方向レジスタ(P0DIR) | <アドレス : H'0080 0720 > |
| P1方向レジスタ(P1DIR) | <アドレス : H'0080 0721 > |
| P2方向レジスタ(P2DIR) | <アドレス : H'0080 0722 > |
| P3方向レジスタ(P3DIR) | <アドレス : H'0080 0723 > |
| P4方向レジスタ(P4DIR) | <アドレス : H'0080 0724 > |
| P6方向レジスタ(P6DIR) | <アドレス : H'0080 0726 > |
| P7方向レジスタ(P7DIR) | <アドレス : H'0080 0727 > |
| P8方向レジスタ(P8DIR) | <アドレス : H'0080 0728 > |
| P9方向レジスタ(P9DIR) | <アドレス : H'0080 0729 > |
| P10方向レジスタ(P10DIR) | <アドレス : H'0080 072A > |
| P11方向レジスタ(P11DIR) | <アドレス : H'0080 072B > |
| P12方向レジスタ(P12DIR) | <アドレス : H'0080 072C > |
| P13方向レジスタ(P13DIR) | <アドレス : H'0080 072D > |
| P14方向レジスタ(P14DIR) | <アドレス : H'0080 072E > |
| P15方向レジスタ(P15DIR) | <アドレス : H'0080 072F > |
| P16方向レジスタ(P16DIR) | <アドレス : H'0080 0730 > |
| P17方向レジスタ(P17DIR) | <アドレス : H'0080 0731 > |
| P18方向レジスタ(P18DIR) | <アドレス : H'0080 0732 > |
| P19方向レジスタ(P19DIR) | <アドレス : H'0080 0733 > |
| P20方向レジスタ(P20DIR) | <アドレス : H'0080 0734 > |
| P21方向レジスタ(P21DIR) | <アドレス : H'0080 0735 > |
| P22方向レジスタ(P22DIR) | <アドレス : H'0080 0736 > |

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| (b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15) |
| Pn0DR | Pn1DR | Pn2DR | Pn3DR | Pn4DR | Pn5DR | Pn6DR | Pn7DR |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

n = 0 ~ 22 (ただしP5を除く)

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|----------------------|-----------|---|---|
| 0 (b8) | Pn0DR (ポートPn0 方向ビット) | 0 : 入力モード | R | W |
| 1 (b9) | Pn1DR (ポートPn1 方向ビット) | 1 : 出力モード | R | W |
| 2 (b10) | Pn2DR (ポートPn2 方向ビット) | | R | W |
| 3 (b11) | Pn3DR (ポートPn3 方向ビット) | | R | W |
| 4 (b12) | Pn4DR (ポートPn4 方向ビット) | | R | W |
| 5 (b13) | Pn5DR (ポートPn5 方向ビット) | | R | W |
| 6 (b14) | Pn6DR (ポートPn6 方向ビット) | | R | W |
| 7 (b15) | Pn7DR (ポートPn7 方向ビット) | | R | W |

注 . ・ 次のポートに対応する方向ビットは配置されていません(読み出し時"0"、書き込み時無効)。

P40, P60, P64, P80, P81, P90 ~ P92, P120 ~ P123, P170, P171, P204 ~ P207, P221, P223

・ リセット解除時は全ポート入力モードに設定されています。

8.3.3 ポート動作モードレジスタ

P0動作モードレジスタ(P0MOD)

<アドレス : H'0080 0740 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P00MD | P01MD | P02MD | P03MD | P04MD | P05MD | P06MD | P07MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-------------------------|--------------------|---|---|
| 0 | P00MD ポートP00動作モードビット | 0 : P00 1 : DB0 | R | W |
| 1 | P01MD ポートP01動作モードビット | 0 : P01 1 : DB1 | R | W |
| 2 | P02MD ポートP02動作モードビット | 0 : P02 1 : DB2 | R | W |
| 3 | P03MD ポートP03動作モードビット | 0 : P03 1 : DB3 | R | W |
| 4 | P04MD ポートP04動作モードビット | 0 : P04 1 : DB4 | R | W |
| 5 | P05MD ポートP05動作モードビット | 0 : P05 1 : DB5 | R | W |
| 6 | P06MD ポートP06動作モードビット | 0 : P06 1 : DB6 | R | W |
| 7 | P07MD ポートP07動作モードビット | 0 : P07 1 : DB7 | R | W |

注 . . P0動作モードレジスタは、CPU動作モードが外部拡張モードのときのみ有効になります。

P1動作モードレジスタ(P1MOD)

<アドレス : H'0080 0741 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P10MD | P11MD | P12MD | P13MD | P14MD | P15MD | P16MD | P17MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------|---------------------|---|---|
| 8 | P10MD ポートP10動作モードビット | 0 : P10 1 : DB8 | R | W |
| 9 | P11MD ポートP11動作モードビット | 0 : P11 1 : DB9 | R | W |
| 10 | P12MD ポートP12動作モードビット | 0 : P12 1 : DB10 | R | W |
| 11 | P13MD ポートP13動作モードビット | 0 : P13 1 : DB11 | R | W |
| 12 | P14MD ポートP14動作モードビット | 0 : P14 1 : DB12 | R | W |
| 13 | P15MD ポートP15動作モードビット | 0 : P15 1 : DB13 | R | W |
| 14 | P16MD ポートP16動作モードビット | 0 : P16 1 : DB14 | R | W |
| 15 | P17MD ポートP17動作モードビット | 0 : P17 1 : DB15 | R | W |

注 . . P1動作モードレジスタは、CPU動作モードが外部拡張モードのときのみ有効になります。

P2動作モードレジスタ(P2MOD)

<アドレス : H'0080 0742 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P20MD | P21MD | P22MD | P23MD | P24MD | P25MD | P26MD | P27MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-------------------------|--------------------|---|---|
| 0 | P20MD ポートP20動作モードビット | 0 : P20 1 : A23 | R | W |
| 1 | P21MD ポートP21動作モードビット | 0 : P21 1 : A24 | R | W |
| 2 | P22MD ポートP22動作モードビット | 0 : P22 1 : A25 | R | W |
| 3 | P23MD ポートP23動作モードビット | 0 : P23 1 : A26 | R | W |
| 4 | P24MD ポートP24動作モードビット | 0 : P24 1 : A27 | R | W |
| 5 | P25MD ポートP25動作モードビット | 0 : P25 1 : A28 | R | W |
| 6 | P26MD ポートP26動作モードビット | 0 : P26 1 : A29 | R | W |
| 7 | P27MD ポートP27動作モードビット | 0 : P27 1 : A30 | R | W |

注 . . P2動作モードレジスタは、CPU動作モードが外部拡張モードのときのみ有効になります。

P3動作モードレジスタ(P3MOD)

<アドレス : H'0080 0743 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P30MD | P31MD | P32MD | P33MD | P34MD | P35MD | P36MD | P37MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------|--------------------|---|---|
| 8 | P30MD ポートP30動作モードビット | 0 : P30 1 : A15 | R | W |
| 9 | P31MD ポートP31動作モードビット | 0 : P31 1 : A16 | R | W |
| 10 | P32MD ポートP32動作モードビット | 0 : P32 1 : A17 | R | W |
| 11 | P33MD ポートP33動作モードビット | 0 : P33 1 : A18 | R | W |
| 12 | P34MD ポートP34動作モードビット | 0 : P34 1 : A19 | R | W |
| 13 | P35MD ポートP35動作モードビット | 0 : P35 1 : A20 | R | W |
| 14 | P36MD ポートP36動作モードビット | 0 : P36 1 : A21 | R | W |
| 15 | P37MD ポートP37動作モードビット | 0 : P37 1 : A22 | R | W |

注 . . P3動作モードレジスタは、CPU動作モードが外部拡張モードのときのみ有効になります。

P4動作モードレジスタ(P4MOD)

<アドレス : H'0080 0744 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | P44MD | P45MD | P46MD | P47MD |
| | | | | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | P44MD ポートP44動作モードビット | 0 : P44 1 : CS0# | R | W |
| 5 | P45MD ポートP45動作モードビット | 0 : P45 1 : CS1# | R | W |
| 6 | P46MD ポートP46動作モードビット | 0 : P46 1 : A13 | R | W |
| 7 | P47MD ポートP47動作モードビット | 0 : P47 1 : A14 | R | W |

注 . . P4動作モードレジスタは、CPU動作モードが外部拡張モードのときのみ有効になります。

P6動作モードレジスタ(P6MOD)

<アドレス : H'0080 0746 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|---|-------|-------|----|
| 0 | 0 | 0 | 0 | 0 | P65MD | P66MD | 0 |
| | | | | | 0 | 0 | |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|------------------------------|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | P65MD ポートP65動作モードビット | 0 : P65 1 : SCLKI4/SCLKO4 | R | W |
| 6 | P66MD ポートP66動作モードビット | 0 : P66 1 : SCLKI5/SCLKO5 | R | W |
| 7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

注 . . ポートP60はありません。

- ・ポートP61 ~ P63、P67は常に入出力ポートです(シングルファンクション端子)。
- ・ポートP64はSBI#入力専用端子です。P64のデータレジスタを読むことで端子レベルを知ることができます。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P70MD | P71MD | P72MD | P73MD | P74MD | P75MD | P76MD | P77MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|-------------------------|-------------------------|---|---|
| 8 | P70MD ポートP70動作モードビット | 0 : P70 1 : BCLK/WR# | R | W |
| 9 | P71MD ポートP71動作モードビット | 0 : P71 1 : WAIT# | R | W |
| 10 | P72MD ポートP72動作モードビット | 0 : P72 1 : HREQ# | R | W |
| 11 | P73MD ポートP73動作モードビット | 0 : P73 1 : HACK# | R | W |
| 12 | P74MD ポートP74動作モードビット | 0 : P74 1 : RTDTXD | R | W |
| 13 | P75MD ポートP75動作モードビット | 0 : P75 1 : RTDRXD | R | W |
| 14 | P76MD ポートP76動作モードビット | 0 : P76 1 : RTDACK | R | W |
| 15 | P77MD ポートP77動作モードビット | 0 : P77 1 : RTDCLK | R | W |

P8動作モードレジスタ(P8MOD)

<アドレス : H'0080 0748>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|-------|-------|-------|-------|-------|-------|
| | | P82MD | P83MD | P84MD | P85MD | P86MD | P87MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|------------------------------|---|---|
| 0,1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | P82MD ポートP82動作モードビット | 0 : P82 1 : TXD0 | R | W |
| 3 | P83MD ポートP83動作モードビット | 0 : P83 1 : RXD0 | R | W |
| 4 | P84MD ポートP84動作モードビット | 0 : P84 1 : SCLKI0/SCLKO0 | R | W |
| 5 | P85MD ポートP85動作モードビット | 0 : P85 1 : TXD1 | R | W |
| 6 | P86MD ポートP86動作モードビット | 0 : P86 1 : RXD1 | R | W |
| 7 | P87MD ポートP87動作モードビット | 0 : P87 1 : SCLKI1/SCLKO1 | R | W |

注 . ・ポートP80, P81はありません。

P9動作モードレジスタ(P9MOD)

<アドレス : H'0080 0749>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|----|---|----|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | P93MD | P94MD | P95MD | P96MD | P97MD |
| | | | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|---------------------|---|---|
| 8~10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | P93MD ポートP93動作モードビット | 0 : P93 1 : TO16 | R | W |
| 12 | P94MD ポートP94動作モードビット | 0 : P94 1 : TO17 | R | W |
| 13 | P95MD ポートP95動作モードビット | 0 : P95 1 : TO18 | R | W |
| 14 | P96MD ポートP96動作モードビット | 0 : P96 1 : TO19 | R | W |
| 15 | P97MD ポートP97動作モードビット | 0 : P97 1 : TO20 | R | W |

注 . . ポートP90 ~ P92はありません。

P10動作モードレジスタ(P10MOD)

<アドレス : H'0080 074A>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P100MD | P101MD | P102MD | P103MD | P104MD | P105MD | P106MD | P107MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|---|---------------------------|-------------------------------|---|---|
| 0 | P100MD ポートP100動作モードビット | 0 : P100 1 : TO8 | R | W |
| 1 | P101MD ポートP101動作モードビット | 0 : P101 1 : TO9/TXD3(注1) | R | W |
| 2 | P102MD ポートP102動作モードビット | 0 : P102 1 : TO10/CTX1(注1) | R | W |
| 3 | P103MD ポートP103動作モードビット | 0 : P103 1 : TO11 | R | W |
| 4 | P104MD ポートP104動作モードビット | 0 : P104 1 : TO12 | R | W |
| 5 | P105MD ポートP105動作モードビット | 0 : P105 1 : TO13 | R | W |
| 6 | P106MD ポートP106動作モードビット | 0 : P106 1 : TO14 | R | W |
| 7 | P107MD ポートP107動作モードビット | 0 : P107 1 : TO15 | R | W |

注1 . それぞれの機能はP10周辺出力選択レジスタで選択します。

P11動作モードレジスタ(P11MOD)

<アドレス: H'0080 074B>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P110MD | P111MD | P112MD | P113MD | P114MD | P115MD | P116MD | P117MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|----|---------------------------|-------------------|---|---|
| 8 | P110MD ポートP110動作モードビット | 0: P110 1: TO0 | R | W |
| 9 | P111MD ポートP111動作モードビット | 0: P111 1: TO1 | R | W |
| 10 | P112MD ポートP112動作モードビット | 0: P112 1: TO2 | R | W |
| 11 | P113MD ポートP113動作モードビット | 0: P113 1: TO3 | R | W |
| 12 | P114MD ポートP114動作モードビット | 0: P114 1: TO4 | R | W |
| 13 | P115MD ポートP115動作モードビット | 0: P115 1: TO5 | R | W |
| 14 | P116MD ポートP116動作モードビット | 0: P116 1: TO6 | R | W |
| 15 | P117MD ポートP117動作モードビット | 0: P117 1: TO7 | R | W |

P12動作モードレジスタ(P12MOD)

<アドレス: H'0080 074C>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|--------|--------|--------|--------|
| | | | | P124MD | P125MD | P126MD | P127MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | P124MD ポートP124動作モードビット | 0: P124 1: TCLK0 | R | W |
| 5 | P125MD ポートP125動作モードビット | 0: P125 1: TCLK1 | R | W |
| 6 | P126MD ポートP126動作モードビット | 0: P126 1: TCLK2 | R | W |
| 7 | P127MD ポートP127動作モードビット | 0: P127 1: TCLK3 | R | W |

注 . . ポートP120 ~ P123はありません。

P13動作モードレジスタ(P13MOD)

<アドレス : H'0080 074D >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P130MD | P131MD | P132MD | P133MD | P134MD | P135MD | P136MD | P137MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|---------------------------|-----------------------------------|---|---|
| 8 | P130MD ポートP130動作モードビット | 0 : P130 1 : TIN16/PWMOFF0(注1) | R | W |
| 9 | P131MD ポートP131動作モードビット | 0 : P131 1 : TIN17/PWMOFF1(注1) | R | W |
| 10 | P132MD ポートP132動作モードビット | 0 : P132 1 : TIN18 | R | W |
| 11 | P133MD ポートP133動作モードビット | 0 : P133 1 : TIN19 | R | W |
| 12 | P134MD ポートP134動作モードビット | 0 : P134 1 : TIN20 | R | W |
| 13 | P135MD ポートP135動作モードビット | 0 : P135 1 : TIN21 | R | W |
| 14 | P136MD ポートP136動作モードビット | 0 : P136 1 : TIN22 | R | W |
| 15 | P137MD ポートP137動作モードビット | 0 : P137 1 : TIN23 | R | W |

注1 . TIN入力、PWMOFF入力の両方の機能が有効となります。

P14動作モードレジスタ(P14MOD)

<アドレス : H'0080 074E >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P140MD | P141MD | P142MD | P143MD | P144MD | P145MD | P146MD | P147MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|---------------------------|-----------------------|---|---|
| 0 | P140MD ポートP140動作モードビット | 0 : P140 1 : TIN8 | R | W |
| 1 | P141MD ポートP141動作モードビット | 0 : P141 1 : TIN9 | R | W |
| 2 | P142MD ポートP142動作モードビット | 0 : P142 1 : TIN10 | R | W |
| 3 | P143MD ポートP143動作モードビット | 0 : P143 1 : TIN11 | R | W |
| 4 | P144MD ポートP144動作モードビット | 0 : P144 1 : TIN12 | R | W |
| 5 | P145MD ポートP145動作モードビット | 0 : P145 1 : TIN13 | R | W |
| 6 | P146MD ポートP146動作モードビット | 0 : P146 1 : TIN14 | R | W |
| 7 | P147MD ポートP147動作モードビット | 0 : P147 1 : TIN15 | R | W |

P15動作モードレジスタ(P15MOD)

<アドレス: H'0080 074F>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P150MD | P151MD | P152MD | P153MD | P154MD | P155MD | P156MD | P157MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|----|---------------------------|--------------------|---|---|
| 8 | P150MD ポートP150動作モードビット | 0: P150 1: TIN0 | R | W |
| 9 | P151MD ポートP151動作モードビット | 0: P151 1: TIN1 | R | W |
| 10 | P152MD ポートP152動作モードビット | 0: P152 1: TIN2 | R | W |
| 11 | P153MD ポートP153動作モードビット | 0: P153 1: TIN3 | R | W |
| 12 | P154MD ポートP154動作モードビット | 0: P154 1: TIN4 | R | W |
| 13 | P155MD ポートP155動作モードビット | 0: P155 1: TIN5 | R | W |
| 14 | P156MD ポートP156動作モードビット | 0: P156 1: TIN6 | R | W |
| 15 | P157MD ポートP157動作モードビット | 0: P157 1: TIN7 | R | W |

P16動作モードレジスタ(P16MOD)

<アドレス: H'0080 0750>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P160MD | P161MD | P162MD | P163MD | P164MD | P165MD | P166MD | P167MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|---|---------------------------|--------------------|---|---|
| 0 | P160MD ポートP160動作モードビット | 0: P160 1: TO21 | R | W |
| 1 | P161MD ポートP161動作モードビット | 0: P161 1: TO22 | R | W |
| 2 | P162MD ポートP162動作モードビット | 0: P162 1: TO23 | R | W |
| 3 | P163MD ポートP163動作モードビット | 0: P163 1: TO24 | R | W |
| 4 | P164MD ポートP164動作モードビット | 0: P164 1: TO25 | R | W |
| 5 | P165MD ポートP165動作モードビット | 0: P165 1: TO26 | R | W |
| 6 | P166MD ポートP166動作モードビット | 0: P166 1: TO27 | R | W |
| 7 | P167MD ポートP167動作モードビット | 0: P167 1: TO28 | R | W |

P17動作モードレジスタ(P17MOD)

<アドレス : H'0080 0751 >

| | | | | | | | |
|----|---|--------|--------|--------|--------|--------|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | P172MD | P173MD | P174MD | P175MD | P176MD | P177MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|-----------------------|---|---|
| 8,9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | P172MD ポートP172動作モードビット | 0 : P172 1 : TIN24 | R | W |
| 11 | P173MD ポートP173動作モードビット | 0 : P173 1 : TIN25 | R | W |
| 12 | P174MD ポートP174動作モードビット | 0 : P174 1 : TXD2 | R | W |
| 13 | P175MD ポートP175動作モードビット | 0 : P175 1 : RXD2 | R | W |
| 14 | P176MD ポートP176動作モードビット | 0 : P176 1 : TXD3 | R | W |
| 15 | P177MD ポートP177動作モードビット | 0 : P177 1 : RXD3 | R | W |

注 . . ポートP170, P171はありません。

P18動作モードレジスタ(P18MOD)

<アドレス : H'0080 0752 >

| | | | | | | | |
|--------|--------|--------|--------|--------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| P180MD | P181MD | P182MD | P183MD | P184MD | P185MD | P186MD | P187MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|---------------------------|----------------------|---|---|
| 0 | P180MD ポートP180動作モードビット | 0 : P180 1 : TO29 | R | W |
| 1 | P181MD ポートP181動作モードビット | 0 : P181 1 : TO30 | R | W |
| 2 | P182MD ポートP182動作モードビット | 0 : P182 1 : TO31 | R | W |
| 3 | P183MD ポートP183動作モードビット | 0 : P183 1 : TO32 | R | W |
| 4 | P184MD ポートP184動作モードビット | 0 : P184 1 : TO33 | R | W |
| 5 | P185MD ポートP185動作モードビット | 0 : P185 1 : TO34 | R | W |
| 6 | P186MD ポートP186動作モードビット | 0 : P186 1 : TO35 | R | W |
| 7 | P187MD ポートP187動作モードビット | 0 : P187 1 : TO36 | R | W |

P19動作モードレジスタ(P19MOD)

<アドレス : H'0080 0753 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P190MD | P191MD | P192MD | P193MD | P194MD | P195MD | P196MD | P197MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|---------------------------|-----------------------------------|---|---|
| 8 | P190MD ポートP190動作モードビット | 0 : P190 1 : TIN26 | R | W |
| 9 | P191MD ポートP191動作モードビット | 0 : P191 1 : TIN27 | R | W |
| 10 | P192MD ポートP192動作モードビット | 0 : P192 1 : TIN28 | R | W |
| 11 | P193MD ポートP193動作モードビット | 0 : P193 1 : TIN29 | R | W |
| 12 | P194MD ポートP194動作モードビット | 0 : P194 1 : TIN30 | R | W |
| 13 | P195MD ポートP195動作モードビット | 0 : P195 1 : TIN31 | R | W |
| 14 | P196MD ポートP196動作モードビット | 0 : P196 1 : TIN32 | R | W |
| 15 | P197MD ポートP197動作モードビット | 0 : P197 1 : TIN33/PWMOFF2(注1) | R | W |

注1. TIN入力、PWMOFF入力の両方の機能が有効となります。

P20動作モードレジスタ(P20MOD)

<アドレス : H'0080 0754 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|--------|--------|---|---|---|----|
| P200MD | P201MD | P202MD | P203MD | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|----------------------|---|---|
| 0 | P200MD ポートP200動作モードビット | 0 : P200 1 : TXD4 | R | W |
| 1 | P201MD ポートP201動作モードビット | 0 : P201 1 : RXD4 | R | W |
| 2 | P202MD ポートP202動作モードビット | 0 : P202 1 : TXD5 | R | W |
| 3 | P203MD ポートP203動作モードビット | 0 : P203 1 : RXD5 | R | W |
| 4~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

注. ・ポートP204~P207はありません。

P21動作モードレジスタ(P21MOD)

<アドレス : H'0080 0755 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| P210MD | P211MD | P212MD | P213MD | P214MD | P215MD | P216MD | P217MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|---------------------------|----------------------|---|---|
| 8 | P210MD ポートP210動作モードビット | 0 : P210 1 : TO37 | R | W |
| 9 | P211MD ポートP211動作モードビット | 0 : P211 1 : TO38 | R | W |
| 10 | P212MD ポートP212動作モードビット | 0 : P212 1 : TO39 | R | W |
| 11 | P213MD ポートP213動作モードビット | 0 : P213 1 : TO40 | R | W |
| 12 | P214MD ポートP214動作モードビット | 0 : P214 1 : TO41 | R | W |
| 13 | P215MD ポートP215動作モードビット | 0 : P215 1 : TO42 | R | W |
| 14 | P216MD ポートP216動作モードビット | 0 : P216 1 : TO43 | R | W |
| 15 | P217MD ポートP217動作モードビット | 0 : P217 1 : TO44 | R | W |

P22動作モードレジスタ(P22MOD)

<アドレス : H'0080 0756 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|---|--------|--------|--------|--------|--------|--------|
| P220MD | | P222MD | P223MD | P224MD | P225MD | P226MD | P227MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-------------------------------|------------------------------|---|---|
| 0 | P220MD ポートP220動作モードビット | 0 : P220 1 : CTX0 | R | W |
| 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | P222MD ポートP222動作モードビット | 0 : P222 1 : CTX1 | R | W |
| 3 | P223MD ポートP223動作モードビット | 0 : P223 1 : CRX1 | R | W |
| 4 | P224MD ポートP224動作モードビット(注1) | 0 : P224 1 : A11/CS2#(注2) | R | W |
| 5 | P225MD ポートP225動作モードビット(注1) | 0 : P225 1 : A12/CS3#(注2) | R | W |
| 6 | P226MD ポートP226動作モードビット(注1) | 0 : P226 1 : CS2# | R | W |
| 7 | P227MD ポートP227動作モードビット(注1) | 0 : P227 1 : CS3# | R | W |

注 . . P221はCAN入力専用端子です。

注1 . . ポートP224 ~ P227動作モードは、CPU動作モードが外部拡張モードのときのみ有効になります。

注2 . . それぞれの機能はP22周辺出力選択レジスタで選択します。

8.3.4 ポート周辺出力選択レジスタ

P10周辺出力選択レジスタ(P10SMOD)

< アドレス : H'0080 076A >

| | | | | | | | |
|----|------------------|------------------|---|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | P101 SMD 0 | P102 SMD 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|----------------------|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1 | P101SMD ポートP101周辺出力選択モードビット | 0 : TO9 1 : TXD3 | R | W |
| 2 | P102SMD ポートP102周辺出力選択モードビット | 0 : TO10 1 : CTX1 | R | W |
| 3~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

P22周辺出力選択レジスタ(P22SMOD)

< アドレス : H'0080 0776 >

| | | | | | | | |
|----|---|---|---|------------------|------------------|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | P224 SMD 0 | P225 SMD 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | P224SMD ポートP224周辺出力選択モードビット | 0 : A11 1 : CS2# | R | W |
| 5 | P225SMD ポートP225周辺出力選択モードビット | 0 : A12 1 : CS3# | R | W |
| 6~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

8.3.5 ポート入力特別機能制御レジスタ

ポート入力特別機能制御レジスタ(PICNT)

<アドレス: H'0080 0745>

| | | | | | | | |
|----|---|----|-------|----|----|-------|-------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | XSTAT | | | PISEL | PIENO |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|----------------|--------|---|
| 8~10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | XSTAT | 0: XINは発振状態 | R (注1) | |
| | XIN発振状態ビット | 1: XINは停止状態 | | |
| 12~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | PISEL | 0: ポート出力ラッチの内容 | R | W |
| | ポート入力データ選択ビット | 1: ポート端子レベル | | |
| 15 | PIENO | 0: 入力禁止 | R | W |
| | ポート入力許可ビット | 1: 入力許可 | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

【XSTATの動作説明】

(1) XSTATが"1"となる条件

XSTATはXINの発振が停止したことを検知して、"1"にセットされます。XINが一定時間(最大4BCLK、最小3BCLK)以上同一レベルを保持したときを発振停止とみなします。なお、通常動作時においてXINは1BCLK間に1回の割合で変化します。

(2) XSTATが"0"となる条件

システムリセット、またはXSTATへの"0"書き込みにより"0"にクリアされます。上記(1)による"1"セットと、"0"書き込みが競合したときは、"0"書き込みによるクリアが優先されます。なおXSTATへの"1"書き込みは無視されます。

(3) XSTATを使用したXIN発振停止検出方法

M32R/ECUはPLLを内蔵しているため、XINの発振が停止していても内部クロックは停止しません。

リセット解除後、一度もXSTATをクリアすることなしにXSTATをリードすれば、リセット解除から現在までにXINが停止したことがあるかどうかを知ることができます。また、XSTATへ0を書き込んでからリードすれば、現時点でのXINの発振状態を知ることができます(ただし、ライトとリードの間は5BCLK(20CPUクロック)以上空けてください)。

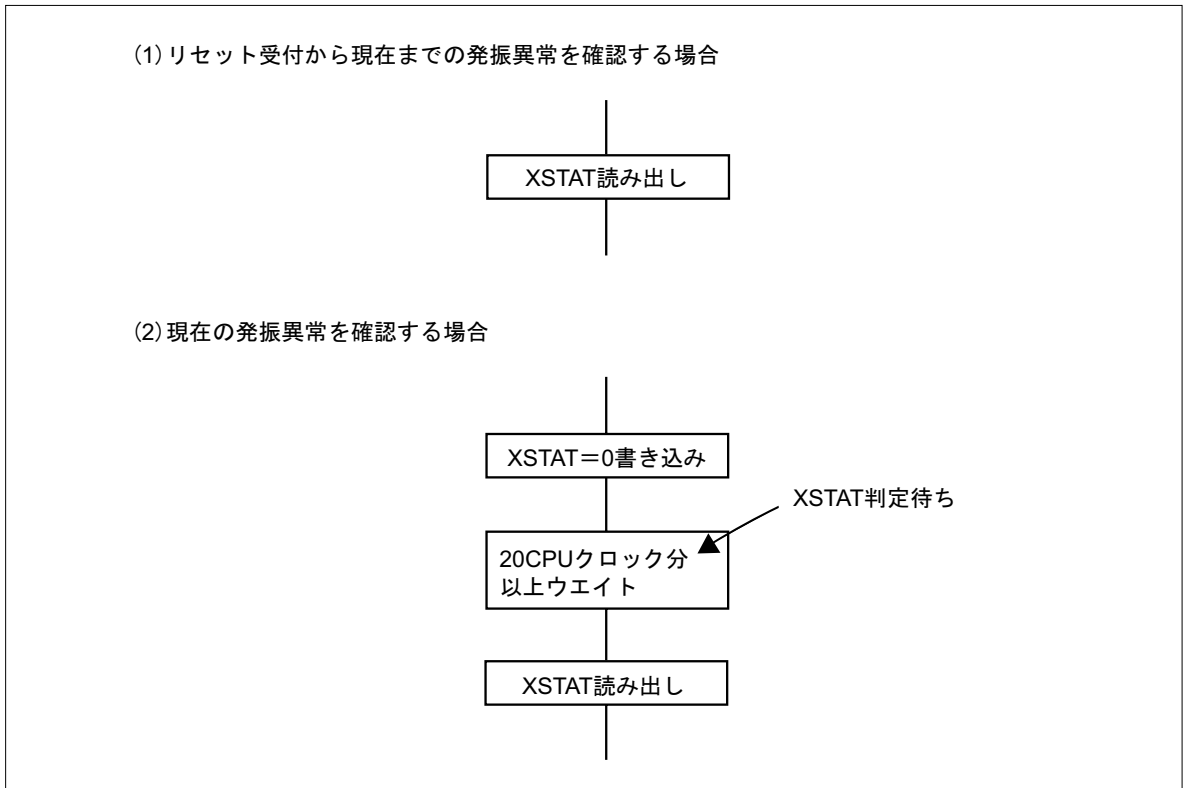


図8.3.1 XSTAT設定手順

【PISELの動作説明】

ポート方向レジスタが出力設定時のポートデータレジスタ読み出し対象を選択するビットです。
ポート動作モードレジスタの影響は受けません。

表8.3.1 ポート入力データ選択ビットの設定値とポートデータレジスタ読み出し対象

| 方向レジスタ | PISELの設定 | 読み出し対象 |
|--------|----------|----------|
| 0 (入力) | 0/1 | ポート端子レベル |
| 1 (出力) | 0 | ポート出力ラッチ |
| | 1 | ポート端子レベル |

【PIENOの動作説明】

ポート入力端子の貫通電流を防止するためのレジスタです。

リセット後は入力禁止になっているため、"1"にして入力処理を行う必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

周辺入力機能を選択する場合の設定順序を以下に示します。

- (1) 端子レベル確定後にポート入力許可
- (2) ポート動作モードによる機能選択

ブートモード時は、シリアルI/O機能と兼用となっている端子は入力許可となるため、シリアルによるフラッシュ書き換え時には、"0"にしてシリアルI/O機能以外の端子から貫通電流を防止することができます。

各モードにおけるポート入力許可ビットで制御可能な端子を次に示します。

表8.3.2 ポート入力許可ビットで制御可能な端子

| モード名 | 制御可能な端子 | 制御非対象端子 |
|-------------------|---|---|
| シングルチップ | P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P41 ~ P47, P61 ~ P63 P65 ~ P67, P70 ~ P77, P82 ~ P87 P93 ~ P97, P100 ~ P107, P110 ~ P117 P124 ~ P127, P130 ~ P137, P140 ~ P147 P150 ~ P157, P160 ~ P167, P172 ~ P177 P180 ~ P187, P190 ~ P197, P200 ~ P203 P210 ~ P217, P220, P222, P224 ~ P227 | P221, P223, FP, MOD0, MOD1, SBI#, RESET# |
| 外部拡張 マイクロプロセッサ | P61 ~ P63, P65 ~ P67, P70 ~ P77 P82 ~ P87, P93 ~ P97, P100 ~ P107 P110 ~ P117, P124 ~ P127, P130 ~ P137 P140 ~ P147, P150 ~ P157, P160 ~ P167 P172 ~ P177, P180 ~ P187, P190 ~ P197 P200 ~ P203, P210 ~ P217, P220 P222 | P00 ~ P07, P10 ~ P17 P20 ~ P27, P30 ~ P37 P41 ~ P47, P221, P223 ~ P227 FP, MOD0, MOD1, SBI#, RESET# |
| ブート (シングルチップ) | P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P41 ~ P47, P61 ~ P63 P67, P70 ~ P77, P93 ~ P97 P100, P102 ~ P107, P110 ~ P117, P124 ~ P127 P130 ~ P134, P137, P140 ~ P147, P150 ~ P157 P160 ~ P167, P172 ~ P173, P180 ~ P187 P190 ~ P197, P210 ~ P217, P220 P222, P224 ~ P227 | P65, P66, P82 ~ P87, P101 P135 ~ P136, P174 ~ P177, P200 ~ P203 P221, P223, FP, MOD0, MOD1, SBI#, RESET# |

8.4 ポート入力レベル切り換え機能

ポート入力レベル切り換え機能は、ポートしきい値を以下のグループ単位で3種類の電圧レベル(シュミット有無設定可能)に切り換える機能です。この設定は、以下レジスタにグループ単位で設定可能です。

- グループ0 : P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227
- グループ1 : P65 ~ P67, P82 ~ P87, P172 ~ P177
- グループ2 : P160 ~ P167, P210 ~ P217
- グループ3 : P93 ~ P97, P110 ~ P117
- グループ4 : P124 ~ P127, P140 ~ P147, P190 ~ P197
- グループ5 : P61 ~ P63, SBI#
- グループ6 : P74 ~ P77, P180 ~ P187, P100 ~ P107
- グループ7 : P136, P220 ~ P223
- グループ8 : P130 ~ P135, P137, P150 ~ P157, P200 ~ P203

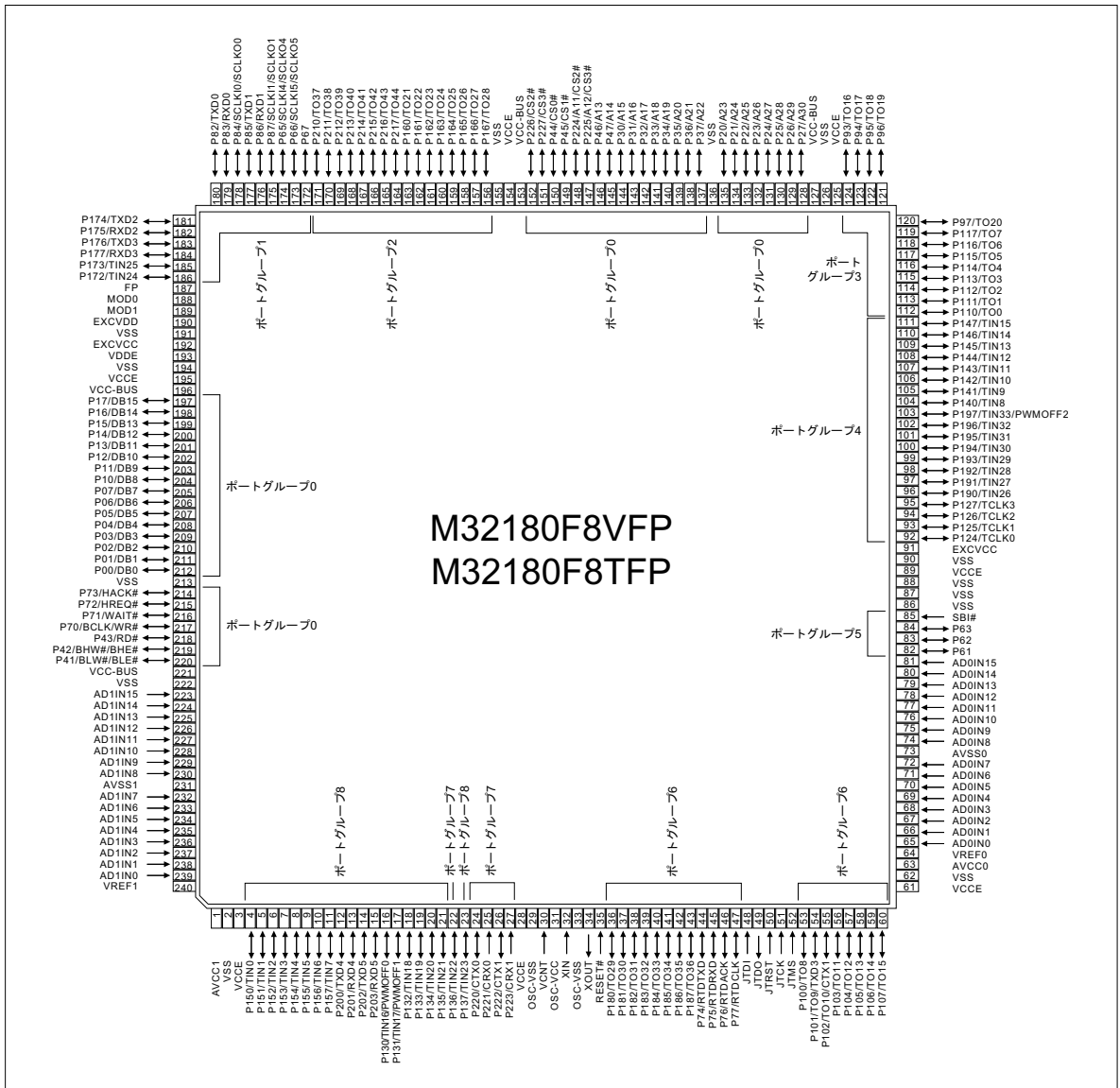


図8.4.1 ポート入力レベル切り換えるグループ

ポートグループ0, 1入力レベル設定レジスタ(PG01LEV)

<アドレス : H'0080 0760 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|---------|---------|--------|--------|---------|---------|
| WF0SEL | PT0SEL | VT0SELO | VT0SEL1 | WF1SEL | PT1SEL | VT1SELO | VT1SEL1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

ポートグループ2, 3入力レベル設定レジスタ(PG23LEV)

<アドレス : H'0080 0761 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|---------|---------|--------|--------|---------|---------|
| WF2SEL | PT2SEL | VT2SELO | VT2SEL1 | WF3SEL | PT3SEL | VT3SELO | VT3SEL1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

ポートグループ4, 5入力レベル設定レジスタ(PG45LEV)

<アドレス : H'0080 0762 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|---------|---------|--------|--------|---------|---------|
| WF4SEL | PT4SEL | VT4SELO | VT4SEL1 | WF5SEL | PT5SEL | VT5SELO | VT5SEL1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

ポートグループ6, 7入力レベル設定レジスタ(PG67LEV)

<アドレス : H'0080 0763 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|---------|---------|--------|--------|---------|---------|
| WF6SEL | PT6SEL | VT6SELO | VT6SEL1 | WF7SEL | PT7SEL | VT7SELO | VT7SEL1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

ポートグループ8入力レベル設定レジスタ(PG8LEV)

<アドレス : H'0080 0764 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|---------|---------|---|---|---|----|
| WF8SEL | PT8SEL | VT8SELO | VT8SEL1 | | | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

注 . . PG8LEVのb4 ~ b7には、何も配置されていません。

<リセット解除時 : B'0001 >

| b | ビット名 | 機能 | R | W |
|-----------|------------------------|-------------------------------|---|---|
| 0(4) | WFnSEL | 0 : 端子毎の標準入力を選択 | R | W |
| 0(12) | グループnダブルファンクション入力選択ビット | 1 : しきい値切り換え機能を選択 | | |
| 1(5) | PTnSEL | 0 : CMOS入力を選択 | R | W |
| 0(13) | グループnポート入力選択ビット | 1 : シュミット入力を選択 | | |
| 2 ~ 3 | VTnSEL | < PTnSEL = "0" : CMOS入力選択時 > | R | W |
| (6 ~ 7) | グループn入力しきい値選択ビット | 00 : 0.35VCCE選択 | | |
| 10 ~ 11 | | 01 : 0.5VCCE選択 | | |
| (14 ~ 15) | | 10 : 0.7VCCE選択 | | |
| | | 11 : 設定禁止 | | |
| | | < PTnSEL = "1" : シュミット入力選択時 > | | |
| | | 00 : VT+ = 0.5VCCE | | |
| | | VT- = 0.35VCCE | | |
| | | 01 : 設定禁止 | | |
| | | 10 : VT+ = 0.7VCCE | | |
| | | VT- = 0.35VCCE | | |
| | | 11 : VT+ = 0.7VCCE | | |
| | | VT- = 0.5VCCE | | |

注 . . 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227

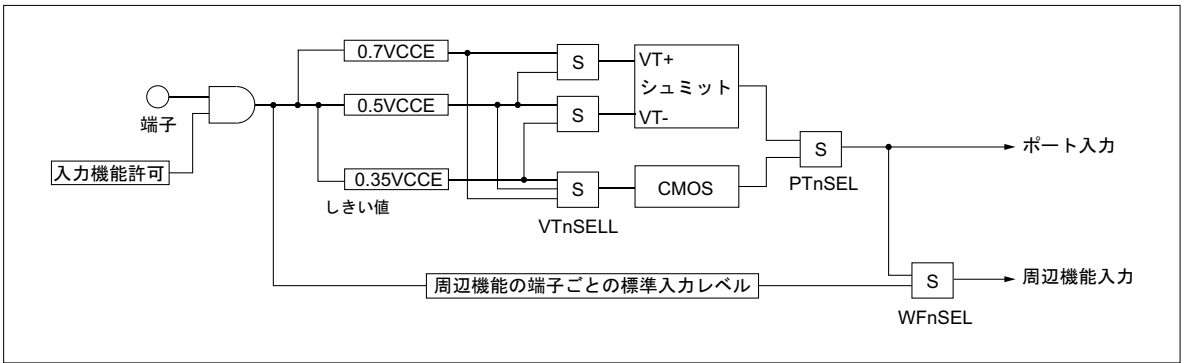


図8.4.2 ポートレベル切り換え機能

8.5 ポート周辺回路

図8.5.1～図8.5.4にポートの周辺回路図を示します。

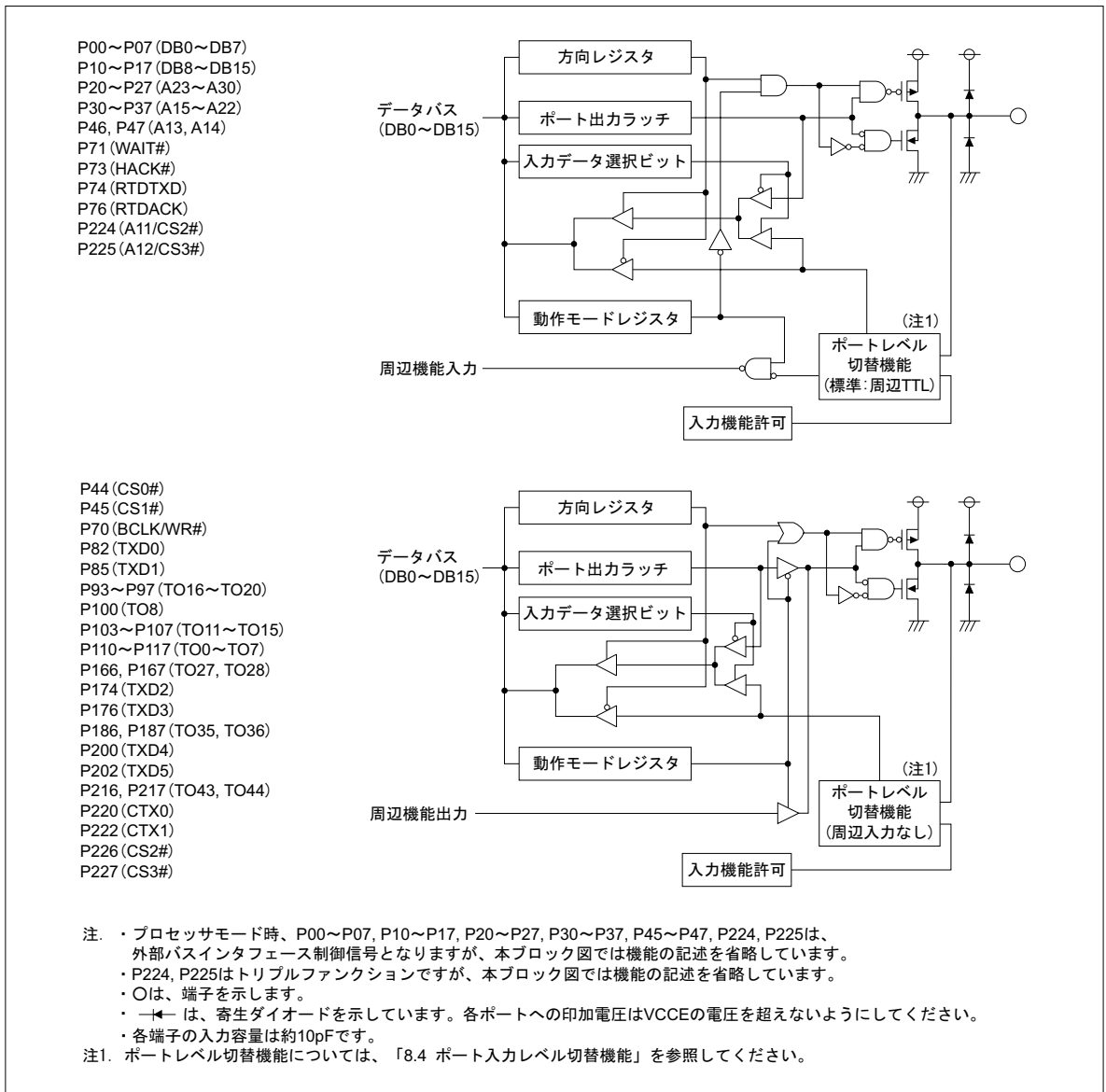


図8.5.1 ポート周辺回路図(1)

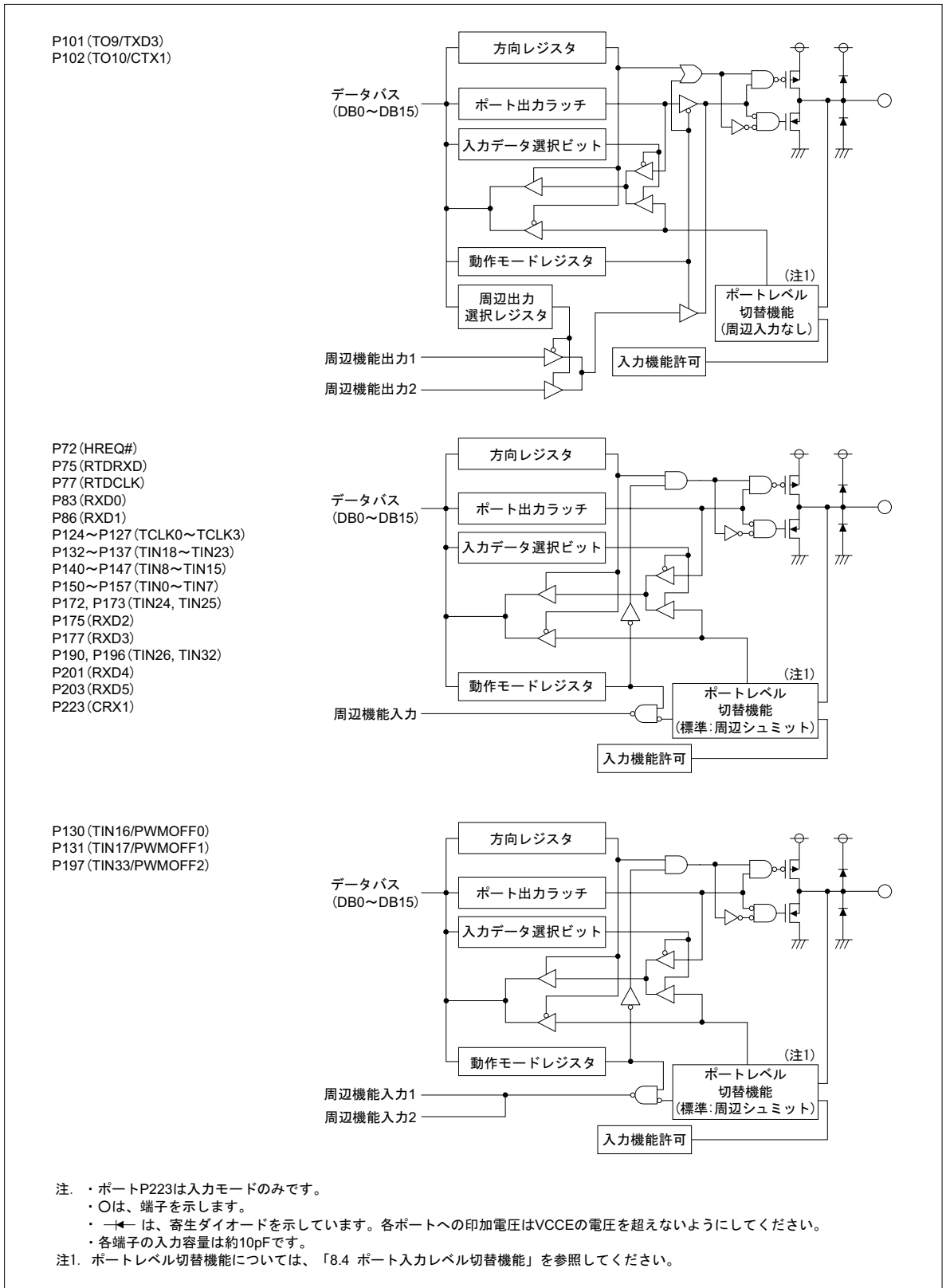


図8.5.2 ポート周辺回路図(2)

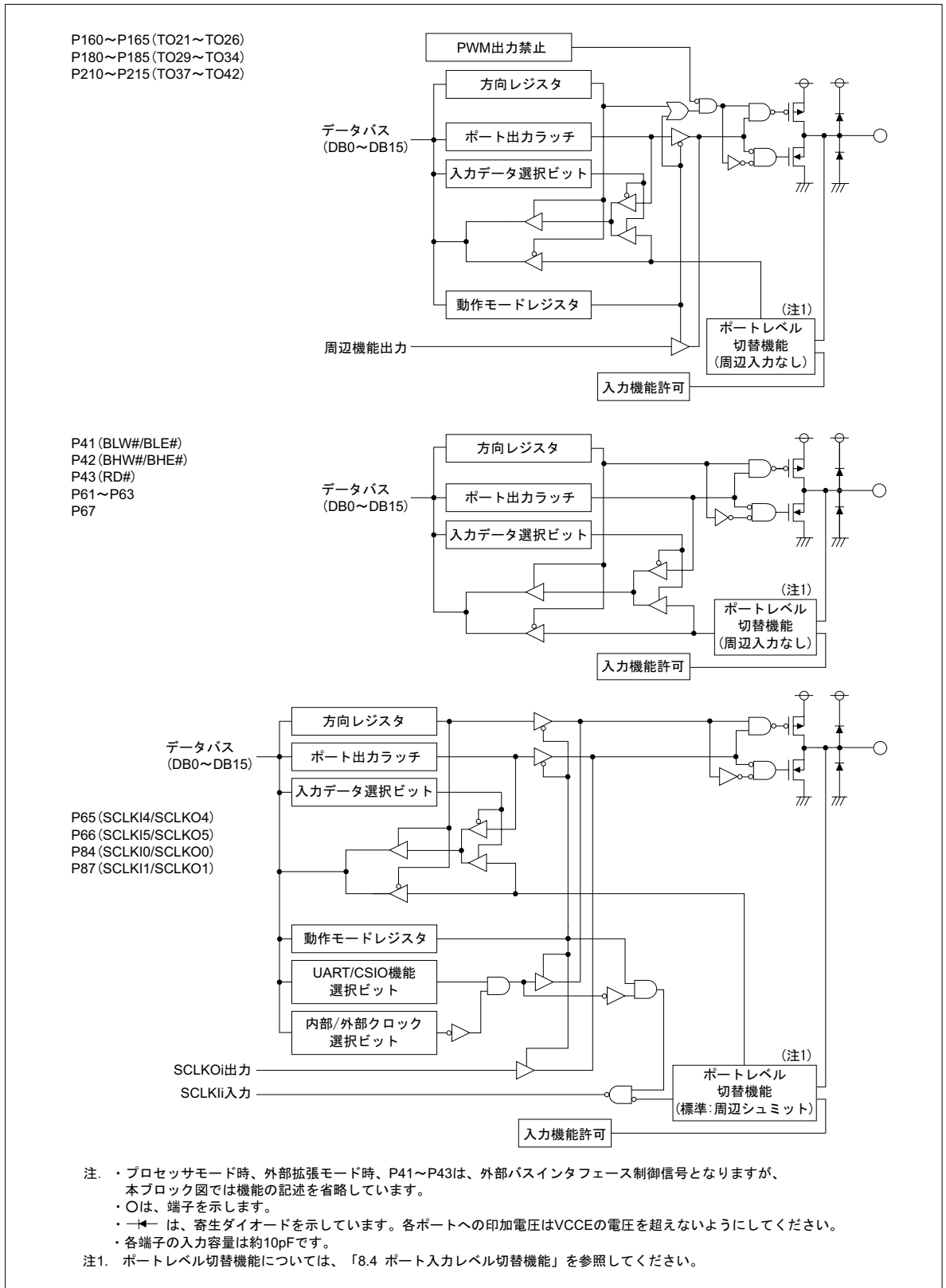


図8.5.3 ポート周辺回路図(3)

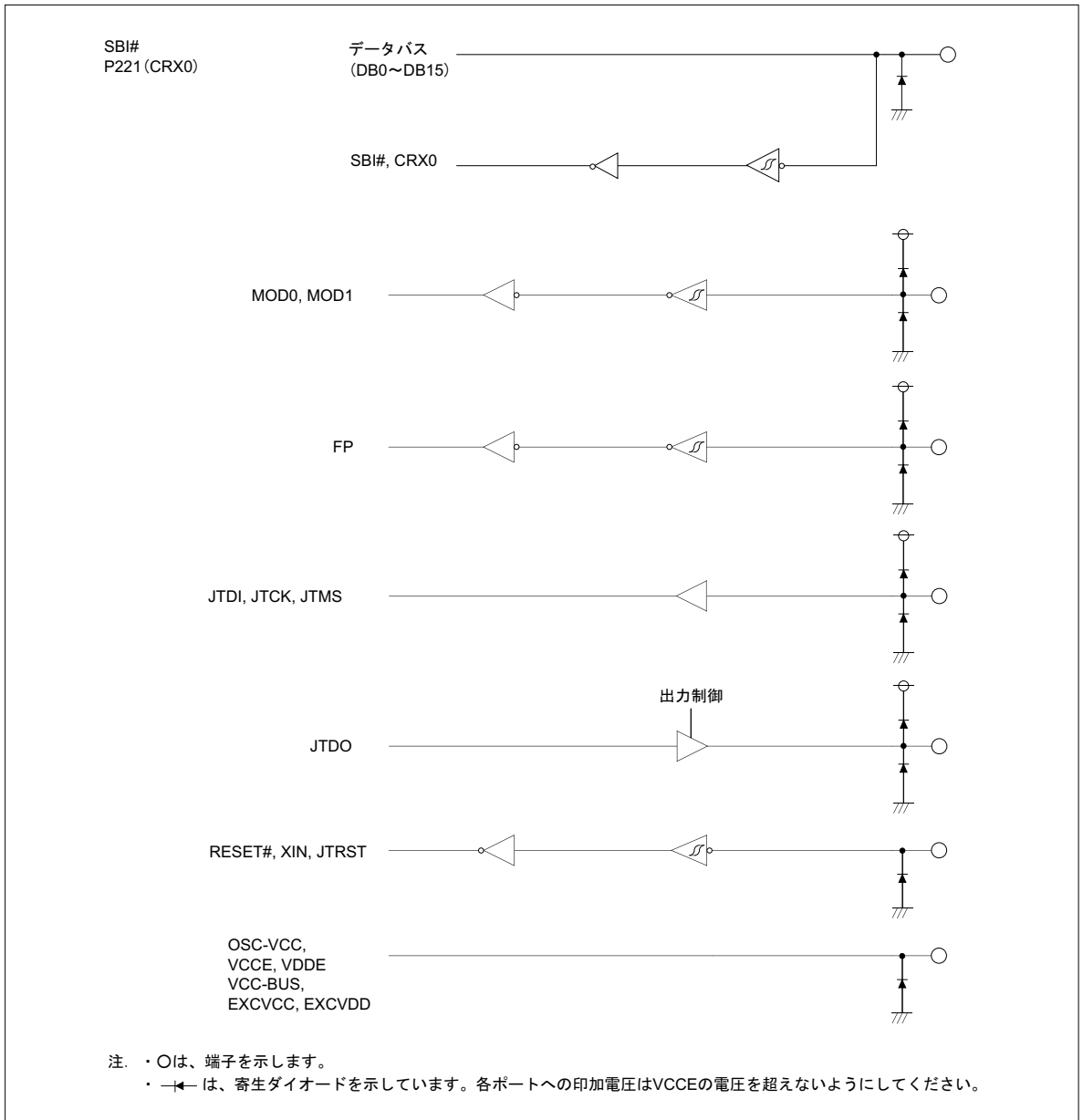


図8.5.4 ポート周辺回路図(4)

8.6 入出力ポートの注意事項

- ポートを出力モードで使用する場合

リセット解除時のポートデータレジスタは、値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力に設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力に設定すると、ポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

- ポート入力禁止機能について

リセット後は入力禁止になっているため、入力機能を使用するためには、ポート入力許可ビットを"1"にして入力許可に設定する必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

レイアウトの都合上、このページは白紙です。

第9章

DMAC

- 9.1 DMAC概要
- 9.2 DMAC関連レジスタ
- 9.3 DMAC機能説明
- 9.4 DMACの注意事項

9.1 DMAC概要

10チャンネルのDMAC(ダイレクトメモリアクセスコントローラ)を内蔵しており、ソフトウェアトリガや、内蔵周辺I/Oからの要求により、内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間において、高速にデータを転送できます。

表9.1.1 DMAC概要

| 項目 | 内容 |
|------------|---|
| チャンネル数 | 10チャンネル |
| 転送要求要因 | <ul style="list-style-type: none"> ・ソフトウェアトリガ ・内蔵周辺I/Oからの要求：A-D変換器、マルチジャンクションタイマ、およびシリアルI/O(受信完了、送信バッファエンプティ)、CAN ・DMAチャンネル間のカスケード接続可能(注1) |
| 最大転送回数 | 65536回 |
| 転送可能アドレス空間 | <ul style="list-style-type: none"> ・64Kバイト(H'0080 0000 ~ H'0080 FFFFのアドレス空間) ・内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間の転送をサポート |
| 転送データサイズ | 16ビットまたは8ビット |
| 転送方式 | 単転送方式DMA(1回の転送ごとに内部バス権を解放)、デュアルアドレス転送 |
| 転送モード | 単転送モード |
| 転送方向 | <p>ソースとデスティネーションに対して、3種類のモードを選択可能</p> <ul style="list-style-type: none"> ・アドレス固定 ・アドレスインクリメント ・32チャンネルリングバッファ |
| チャンネル優先度 | <p>DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5 > DMA6 > DMA7 > DMA8 > DMA9</p> <p>(優先順位固定)</p> |
| 最大転送速度 | 13.3Mバイト/秒(内部周辺クロック：BCLK20MHz時) |
| 割り込み要求 | 各転送カウントレジスタのアンダフロー発生時にグループ割り込み要求発生可能 |
| 転送エリア | <p>H'0080 0000 ~ H'0080 FFFFの64Kバイト</p> <p>(内蔵RAM/SFRの全領域で転送可能)</p> |

注1. 以下のDMAチャンネルはカスケード接続できます。

- ・DMA0の1回のDMA転送完了で、DMA1のDMA転送を起動
- ・DMA0のDMA全転送終了(転送カウントレジスタのアンダフロー)で、DMA5のDMA転送を起動
- ・DMA1の1回のDMA転送完了で、DMA2のDMA転送を起動
- ・DMA2の1回のDMA転送完了で、DMA0のDMA転送を起動
- ・DMA2の1回のDMA転送完了で、DMA3のDMA転送を起動
- ・DMA3の1回のDMA転送完了で、DMA4のDMA転送を起動
- ・DMA5の1回のDMA転送完了で、DMA6のDMA転送を起動
- ・DMA6の1回のDMA転送完了で、DMA7のDMA転送を起動
- ・DMA7の1回のDMA転送完了で、DMA5のDMA転送を起動
- ・DMA7の1回のDMA転送完了で、DMA8のDMA転送を起動
- ・DMA8の1回のDMA転送完了で、DMA9のDMA転送を起動

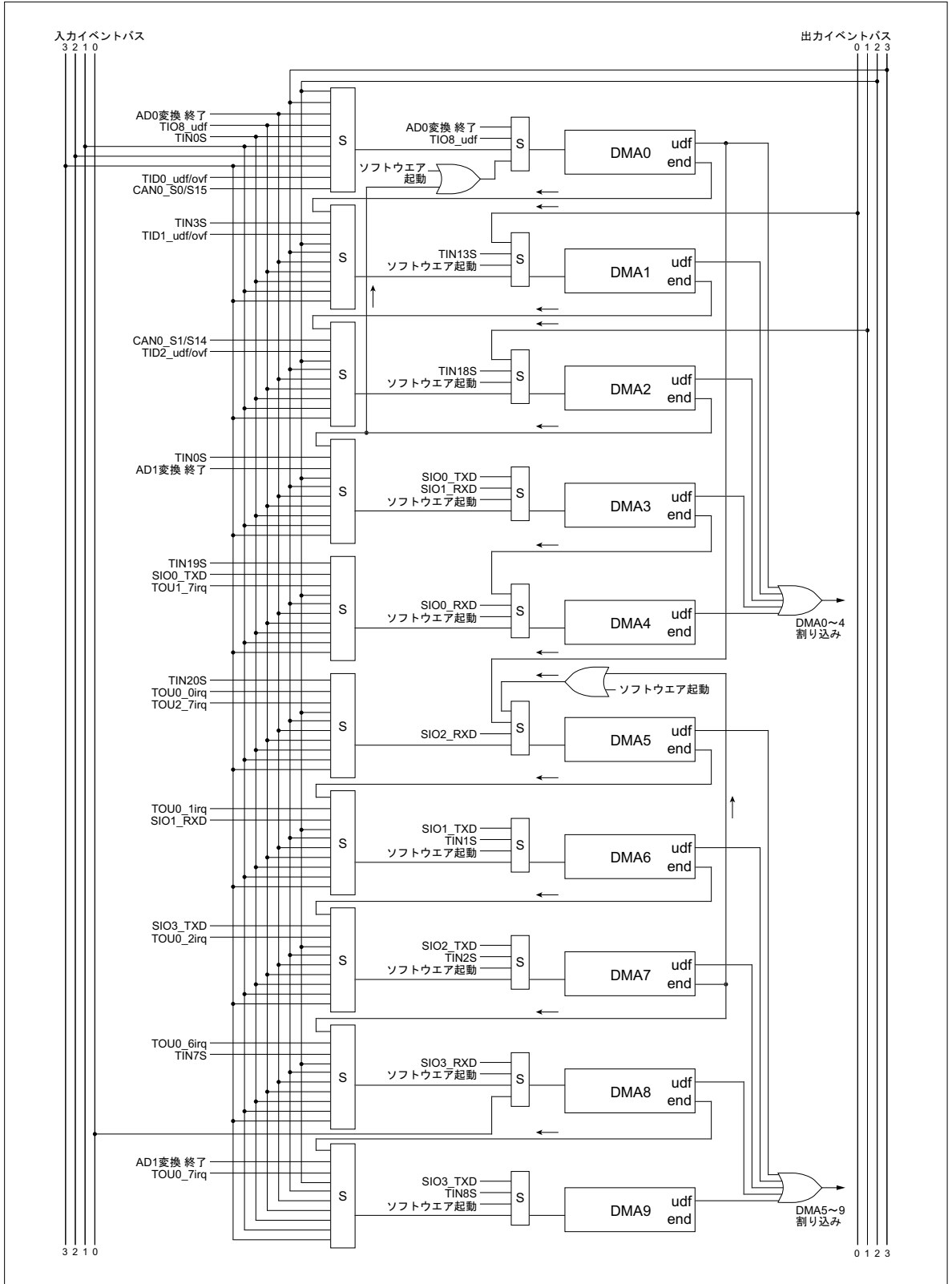


図9.1.1 DMACブロック図

9.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップを以下に示します。

DMAC関連レジスタマップ(1/2)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載ページ |
|-------------|---------------------------------------|-------|-------------------------------------|----|-------|-----|--------------|
| H'0080 0400 | DMA0 ~ 4割り込み要求ステータスレジスタ (DM04ITST) | | DMA0 ~ 4割り込み要求マスクレジスタ (DM04ITMK) | | | | 9-24 9-25 |
| | (使用禁止領域) | | | | | | |
| H'0080 0408 | DMA5 ~ 9割り込み要求ステータスレジスタ (DM59ITST) | | DMA5 ~ 9割り込み要求マスクレジスタ (DM59ITMK) | | | | 9-24 9-25 |
| | (使用禁止領域) | | | | | | |
| H'0080 0410 | DMA0チャンネル制御レジスタ0 (DM0CNT0) | | DMA0チャンネル制御レジスタ1 (DM0CNT1) | | | | 9-6 |
| H'0080 0412 | DMA0ソースアドレスレジスタ (DM0SA) | | | | | | 9-19 |
| H'0080 0414 | DMA0デスティネーションアドレスレジスタ (DM0DA) | | | | | | 9-20 |
| H'0080 0416 | DMA0転送カウントレジスタ (DM0TCT) | | | | | | 9-21 |
| H'0080 0418 | DMA5チャンネル制御レジスタ0 (DM5CNT0) | | DMA5チャンネル制御レジスタ1 (DM5CNT1) | | | | 9-11 |
| H'0080 041A | DMA5ソースアドレスレジスタ (DM5SA) | | | | | | 9-19 |
| H'0080 041C | DMA5デスティネーションアドレスレジスタ (DM5DA) | | | | | | 9-20 |
| H'0080 041E | DMA5転送カウントレジスタ (DM5TCT) | | | | | | 9-21 |
| H'0080 0420 | DMA1チャンネル制御レジスタ0 (DM1CNT0) | | DMA1チャンネル制御レジスタ1 (DM1CNT1) | | | | 9-7 |
| H'0080 0422 | DMA1ソースアドレスレジスタ (DM1SA) | | | | | | 9-19 |
| H'0080 0424 | DMA1デスティネーションアドレスレジスタ (DM1DA) | | | | | | 9-20 |
| H'0080 0426 | DMA1転送カウントレジスタ (DM1TCT) | | | | | | 9-21 |
| H'0080 0428 | DMA6チャンネル制御レジスタ0 (DM6CNT0) | | DMA6チャンネル制御レジスタ1 (DM6CNT1) | | | | 9-12 |
| H'0080 042A | DMA6ソースアドレスレジスタ (DM6SA) | | | | | | 9-19 |
| H'0080 042C | DMA6デスティネーションアドレスレジスタ (DM6DA) | | | | | | 9-20 |
| H'0080 042E | DMA6転送カウントレジスタ (DM6TCT) | | | | | | 9-21 |
| H'0080 0430 | DMA2チャンネル制御レジスタ0 (DM2CNT0) | | DMA2チャンネル制御レジスタ1 (DM2CNT1) | | | | 9-8 |
| H'0080 0432 | DMA2ソースアドレスレジスタ (DM2SA) | | | | | | 9-19 |
| H'0080 0434 | DMA2デスティネーションアドレスレジスタ (DM2DA) | | | | | | 9-20 |
| H'0080 0436 | DMA2転送カウントレジスタ (DM2TCT) | | | | | | 9-21 |
| H'0080 0438 | DMA7チャンネル制御レジスタ0 (DM7CNT0) | | DMA7チャンネル制御レジスタ1 (DM7CNT1) | | | | 9-13 |
| H'0080 043A | DMA7ソースアドレスレジスタ (DM7SA) | | | | | | 9-19 |
| H'0080 043C | DMA7デスティネーションアドレスレジスタ (DM7DA) | | | | | | 9-20 |
| H'0080 043E | DMA7転送カウントレジスタ (DM7TCT) | | | | | | 9-21 |

DMAC関連レジスタマップ(2/2)

| 番地 | + 0番地 | + 1番地 | 掲載ページ |
|-------------|----------------------------------|-------------------------------|-------|
| | b0 | b7 b8 b15 | |
| H'0080 0440 | DMA3チャンネル制御レジスタ0 (DM3CNT0) | DMA3チャンネル制御レジスタ1 (DM3CNT1) | 9-9 |
| H'0080 0442 | DMA3ソースアドレスレジスタ (DM3SA) | | 9-19 |
| H'0080 0444 | DMA3デスティネーションアドレスレジスタ (DM3DA) | | 9-20 |
| H'0080 0446 | DMA3転送カウントレジスタ (DM3TCT) | | 9-21 |
| H'0080 0448 | DMA8チャンネル制御レジスタ0 (DM8CNT0) | DMA8チャンネル制御レジスタ1 (DM8CNT1) | 9-14 |
| H'0080 044A | DMA8ソースアドレスレジスタ (DM8SA) | | 9-19 |
| H'0080 044C | DMA8デスティネーションアドレスレジスタ (DM8DA) | | 9-20 |
| H'0080 044E | DMA8転送カウントレジスタ (DM8TCT) | | 9-21 |
| H'0080 0450 | DMA4チャンネル制御レジスタ0 (DM4CNT0) | DMA4チャンネル制御レジスタ1 (DM4CNT1) | 9-10 |
| H'0080 0452 | DMA4ソースアドレスレジスタ (DM4SA) | | 9-19 |
| H'0080 0454 | DMA4デスティネーションアドレスレジスタ (DM4DA) | | 9-20 |
| H'0080 0456 | DMA4転送カウントレジスタ (DM4TCT) | | 9-21 |
| H'0080 0458 | DMA9チャンネル制御レジスタ0 (DM9CNT0) | DMA9チャンネル制御レジスタ1 (DM9CNT1) | 9-15 |
| H'0080 045A | DMA9ソースアドレスレジスタ (DM9SA) | | 9-19 |
| H'0080 045C | DMA9デスティネーションアドレスレジスタ (DM9DA) | | 9-20 |
| H'0080 045E | DMA9転送カウントレジスタ (DM9TCT) | | 9-21 |
| H'0080 0460 | DMA0ソフトウェア要求発生レジスタ (DM0SRI) | | 9-18 |
| H'0080 0462 | DMA1ソフトウェア要求発生レジスタ (DM1SRI) | | 9-18 |
| H'0080 0464 | DMA2ソフトウェア要求発生レジスタ (DM2SRI) | | 9-18 |
| H'0080 0466 | DMA3ソフトウェア要求発生レジスタ (DM3SRI) | | 9-18 |
| H'0080 0468 | DMA4ソフトウェア要求発生レジスタ (DM4SRI) | | 9-18 |
| | (使用禁止領域) | | |
| H'0080 0470 | DMA5ソフトウェア要求発生レジスタ (DM5SRI) | | 9-18 |
| H'0080 0472 | DMA6ソフトウェア要求発生レジスタ (DM6SRI) | | 9-18 |
| H'0080 0474 | DMA7ソフトウェア要求発生レジスタ (DM7SRI) | | 9-18 |
| H'0080 0476 | DMA8ソフトウェア要求発生レジスタ (DM8SRI) | | 9-18 |
| H'0080 0478 | DMA9ソフトウェア要求発生レジスタ (DM9SRI) | | 9-18 |

9.2.1 DMAチャンネル制御レジスタ

DMA0チャンネル制御レジスタα (DM0CNT0)

<アドレス : H'0080 0410>

| | | | | | | | |
|--------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MDSEL0 | TREQF0 | REQSL0 | | TENL0 | TSZSL0 | SADSL0 | DADSL0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|--|--------|---|
| 0 | MDSEL0 DMA0転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF0 DMA0転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL0 DMA0転送要求要因選択ビット | 00 : ソフトウェア起動 または、DMA2-1回転送完了 01 : A-D0変換終了 10 : MJT(TIO8_udf) 11 : DMA0拡張転送要求要因選択 (DMA0チャンネル制御レジスタ1) | R | W |
| 4 | TENL0 DMA0転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL0 DMA0転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL0 DMA0ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL0 DMA0デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

DMA0チャンネル制御レジスタ1 (DM0CNT1)

<アドレス : H'0080 0411>

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL0 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL0 DMA0拡張転送要求要因選択ビット | 0000 : MJT(入力イベントバス2) 0001 : MJT(TID0_udf/ovf) 0010 : CAN(CAN0_S0/S15) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 AD0変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } 1111 : 設定禁止 | R | W |

DMA1チャンネル制御レジスタ0 (DM1CNT0)

<アドレス : H'0080 0420 >

| | | | | | | | |
|-------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MSEL1 | TREQF1 | REQSL1 | | TENL1 | TSZSL1 | SADSL1 | DADSL1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MSEL1 DMA1転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF1 DMA1転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL1 DMA1転送要求要因選択ビット | 00 : ソフトウェア起動 01 : MJT(出力イベントバス0) 10 : MJT(TIN13S) 11 : DMA1拡張転送要求要因選択 (DMA1チャンネル制御レジスタ1) | R | W |
| 4 | TENL1 DMA1転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL1 DMA1転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL1 DMA1ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL1 DMA1デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA1チャンネル制御レジスタ1 (DM1CNT1)

<アドレス : H'0080 0421 >

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL1 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|-------------------------------|--|---|---|
| 8 ~ 11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12 ~ 15 | REQESEL1 DMA1拡張転送要求要因選択ビット | 0000 : DMA0-1回転送完了 0001 : MJT(TIN3S) 0010 : MJT(TID1_udf/ovf) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 ADO変換終了 0000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } } } 1111 : 設定禁止 | R | W |

DMA2チャンネル制御レジスタ0 (DM2CNT0)

<アドレス : H'0080 0430 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|-------|--------|--------|---|-------|--------|--------|--------|
| MSEL2 | TREQF2 | REQSL2 | | TENL2 | TSZSL2 | SADSL2 | DADSL2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|--|--------|---|
| 0 | MSEL2 DMA2転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF2 DMA2転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL2 DMA2転送要求要因選択ビット | 00 : ソフトウェア起動 01 : MJT(出力イベントバス1) 10 : MJT(TIN18S) 11 : DMA2拡張転送要求要因選択 (DMA2チャンネル制御レジスタ1) | R | W |
| 4 | TENL2 DMA2転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL2 DMA2転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL2 DMA2ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL2 DMA2デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA2チャンネル制御レジスタ1 (DM2CNT1)

<アドレス : H'0080 0431 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|----|---|----|----|----------|----|----|-----|
| | | | | REQESEL2 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|--|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL2 DMA2拡張転送要求要因選択ビット | 0000 : DMA1-1回転送完了 0001 : MJT(TID2_udf/ovf) 0010 : CAN(CAN0_S1/S14) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 ADO変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 } } 1111 : 設定禁止 | R | W |

DMA3チャンネル制御レジスタ0 (DM3CNT0)

<アドレス : H'0080 0440 >

| | | | | | | | |
|-------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MSEL3 | TREQF3 | REQSL3 | | TENL3 | TSZSL3 | SADSL3 | DADSL3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MSEL3 DMA3転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF3 DMA3転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL3 DMA3転送要求要因選択ビット | 00 : ソフトウェア起動 01 : SIO0_TXD(送信バッファエンプティ) 10 : SIO1_RXD 11 : DMA3拡張転送要求要因選択 (DMA3チャンネル制御レジスタ1) | R | W |
| 4 | TENL3 DMA3転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL3 DMA3転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL3 DMA3ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL3 DMA3デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA3チャンネル制御レジスタ1 (DM3CNT1)

<アドレス : H'0080 0441 >

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL3 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|-------------------------------|---|---|---|
| 8 ~ 11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12 ~ 15 | REQESEL3 DMA3拡張転送要求要因選択ビット | 0000 : MJT(TIN0S) 0001 : DMA2-1回転送完了 0010 : AD1変換終了 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 AD0変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 } } 1111 : 設定禁止 | R | W |

DMA4チャンネル制御レジスタ0 (DM4CNT0)

<アドレス : H'0080 0450 >

| | | | | | | | |
|-------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MSEL4 | TREQF4 | REQSL4 | | TENL4 | TSZSL4 | SADSL4 | DADSL4 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MSEL4 DMA4転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF4 DMA4転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL4 DMA4転送要求要因選択ビット | 00 : ソフトウェア起動 01 : DMA3-1回転送完了 10 : SIO0-RXD 11 : DMA4拡張転送要求要因選択 (DMA4チャンネル制御レジスタ1) | R | W |
| 4 | TENL4 DMA4転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL4 DMA4転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL4 DMA4ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL4 DMA4デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA4チャンネル制御レジスタ1 (DM4CNT1)

<アドレス : H'0080 0451 >

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL4 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|--|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL4 DMA4拡張転送要求要因選択ビット | 0000 : MJT(TIN19S) 0001 : SIO0_TXD(送信バッファエンプティ) 0010 : MJT(TOU1_7irq) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 ADO変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } { } 1111 : 設定禁止 | R | W |

DMA5チャンネル制御レジスタ0(DM5CNT0)

< アドレス : H'0080 0418 >

| | | | | | | | |
|--------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MDSEL5 | TREQF5 | REQSL5 | | TENL5 | TSZSL5 | SADSL5 | DADSL5 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|--|--------|---|
| 0 | MDSEL5 DMA5転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF5 DMA5転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL5 DMA5転送要求要因選択ビット | 00 : ソフトウェア起動 または、DMA7-1回転送完了 01 : DMA0全転送終了 10 : SIO2_RXD 11 : DMA5拡張転送要求要因選択 (DMA5チャンネル制御レジスタ1) | R | W |
| 4 | TENL5 DMA5転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL5 DMA5転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL5 DMA5ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL5 DMA5デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5チャンネル制御レジスタ1(DM5CNT1)

< アドレス : H'0080 0419 >

| | | | | | | | |
|----------|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| REQESEL5 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|--|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL5 DMA5拡張転送要求要因選択ビット | 0000 : MJT(TIN20S) 0001 : MJT(TOU0_0irq) 0010 : MJT(TOU2_7irq) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 AD0変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } 1111 : 設定禁止 | R | W |

DMA6チャンネル制御レジスタ0 (DM6CNT0)

<アドレス : H'0080 0428 >

| | | | | | | | |
|--------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MDSEL6 | TREQF6 | REQSL6 | | TENL6 | TSZSL6 | SADSL6 | DADSL6 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MDSEL6 DMA6転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF6 DMA6転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL6 DMA6転送要求要因選択ビット | 00 : ソフトウェア起動 01 : SIO1_TXD(送信バッファエンプティ) 10 : MJT(TIN1S) 11 : DMA6拡張転送要求要因選択 (DMA6チャンネル制御レジスタ1) | R | W |
| 4 | TENL6 DMA6転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL6 DMA6転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL6 DMA6ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL6 DMA6デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA6チャンネル制御レジスタ1 (DM6CNT1)

<アドレス : H'0080 0429 >

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL6 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL6 DMA6拡張転送要求要因選択ビット | 0000 : DMA5-1回転送完了 0001 : MJT(TOU0_1irq) 0010 : SIO1_RXD 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 ADO変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 } } 1111 : 設定禁止 | R | W |

DMA7チャンネル制御レジスタ0 (DM7CNT0)

<アドレス : H'0080 0438 >

| | | | | | | | |
|---------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MDSSEL7 | TREQF7 | REQSL7 | | TENL7 | TSZSL7 | SADSL7 | DADSL7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MDSSEL7 DMA7転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF7 DMA7転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL7 DMA7転送要求要因選択ビット | 00 : ソフトウェア起動 01 : SIO2_TXD(送信バッファエンブティ) 10 : MJT(TIN2S) 11 : DMA7拡張転送要求要因選択 (DMA7チャンネル制御レジスタ1) | R | W |
| 4 | TENL7 DMA7転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL7 DMA7転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL7 DMA7ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL7 DMA7デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA7チャンネル制御レジスタ1 (DM7CNT1)

<アドレス : H'0080 0439 >

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL7 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL7 DMA7拡張転送要求要因選択ビット | 0000 : DMA6-1回転送完了 0001 : MJT(TOU0_2irq) 0010 : SIO3_TXD(送信バッファエンブティ) 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 ADO変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } 1111 : 設定禁止 | R | W |

DMA8チャンネル制御レジスタ0 (DM8CNT0)

<アドレス : H'0080 0448>

| | | | | | | | |
|-------|--------|--------|---|-------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| MSEL8 | TREQF8 | REQSL8 | | TENL8 | TSZSL8 | SADSL8 | DADSL8 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|--|--------|---|
| 0 | MSEL8 DMA8転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF8 DMA8転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL8 DMA8転送要求要因選択ビット | 00 : ソフトウェア起動 01 : MJT(入力イベントバス0) 10 : SIO3_RXD 11 : DMA8拡張転送要求要因選択 (DMA8チャンネル制御レジスタ1) | R | W |
| 4 | TENL8 DMA8転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL8 DMA8転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL8 DMA8ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL8 DMA8デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA8チャンネル制御レジスタ1 (DM8CNT1)

<アドレス : H'0080 0449>

| | | | | | | | |
|----|---|----|----|----------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | REQESEL8 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL8 DMA8拡張転送要求要因選択ビット | 0000 : MJT(TIN7S) 0001 : MJT(TOU0_6irq) 0010 : DMA7-1回転送完了 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 JAD0変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 } } 1111 : 設定禁止 | R | W |

DMA9チャンネル制御レジスタ(DM9CNT0)

<アドレス : H'0080 0458 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|--------|--------|---|-------|--------|--------|--------|
| MDSSEL9 | TREQF9 | REQSL9 | | TENL9 | TSZSL9 | SADSL9 | DADSL9 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|---|--------|---|
| 0 | MDSSEL9 DMA9転送モード選択ビット | 0 : ノーマルモード 1 : リングバッファモード | R | W |
| 1 | TREQF9 DMA9転送要求フラグビット | 0 : 要求なし 1 : 要求あり | R (注1) | |
| 2, 3 | REQSL9 DMA9転送要求要因選択ビット | 00 : ソフトウェア起動 01 : SIO3_TXD(送信バッファエンプティ) 10 : MJT(TIN8S) 11 : DMA9拡張転送要求要因選択 (DMA9チャンネル制御レジスタ1) | R | W |
| 4 | TENL9 DMA9転送許可ビット | 0 : 転送禁止 1 : 転送許可 | R | W |
| 5 | TSZSL9 DMA9転送サイズ選択ビット | 0 : 16ビット 1 : 8ビット | R | W |
| 6 | SADSL9 DMA9ソースアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |
| 7 | DADSL9 DMA9デスティネーションアドレス方向選択ビット | 0 : 固定 1 : インクリメント | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA9チャンネル制御レジスタ1(DM9CNT1)

<アドレス : H'0080 0459 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|----|---|----|----|----------|----|----|-----|
| | | | | REQESEL9 | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-------|-------------------------------|--|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | REQESEL9 DMA9拡張転送要求要因選択ビット | 0000 : DMA8-1回転送完了 0001 : MJT(TOU0_7irq) 0010 : AD1変換終了 0011 : 共通1 MJT(入力イベントバス1) 0100 : 共通2 MJT(入力イベントバス3) 0101 : 共通3 MJT(出力イベントバス2) 0110 : 共通4 MJT(出力イベントバス3) 0111 : 共通5 AD0変換終了 1000 : 共通6 MJT(TIN0S) 1001 : 共通7 MJT(TIO8_udf) 1010 : 設定禁止 { } } } 1111 : 設定禁止 | R | W |

DMAチャンネル制御レジスタは、各チャンネルのDMA転送モード選択、DMA転送要求フラグ、DMA転送要因選択、DMA転送許可、転送サイズ、ソース/デスティネーションアドレス方向を設定するビットで構成されています。

【DMnCNT0 レジスタ】

(1) MDSELn (DMA_n 転送モード選択) ビット (b0)

単転送モードにおいて、ノーマルモードかリングバッファモードかを選択するビットです。このビットを"0"にするとノーマルモードに、"1"にするとリングバッファモードになります。

リングバッファモードでは、転送開始アドレスから32回転送後、再び転送開始アドレスに戻り、転送動作を繰り返します。リングバッファモードでは転送カウンタレジスタはフリーランとなり、転送許可ビットを"0"(転送禁止)にするまで転送動作を継続します。また、DMA転送終了割り込み要求は発生しません。

(2) TREQFn (DMA_n 転送要求フラグ) ビット (b1)

このフラグは、DMA転送要求が発生したとき"1"にセットされ、その転送要求に対する転送が完了すると"0"にクリアされます。フラグを読み出すことにより、各チャンネルのDMA転送要求が確認できます。

このビットに"0"を書き込むと、発生したDMA転送要求をクリアします。"1"を書き込んだ場合は、書き込み前の値を保持します。

すでにDMA転送要求フラグが"1"にセットされているチャンネルに対して新たなDMA転送要求が発生しても、そのチャンネルが転送を完了するまで次のDMA転送要求は受け付けられません。

(3) REQSLn (DMA_n 転送要求要因選択) ビット (b2, b3)

DMAの各チャンネルに対するDMA転送要求要因を選択します。

(4) TENLn (DMA_n 転送許可) ビット (b4)

このビットを"1"にすると転送が許可され、DMA転送可能状態となり、全転送が完了(転送カウンタレジスタのアンダフロー)すると"0"にクリアされます。また、"0"にすると転送が禁止されます。ただし、既に転送要求が受け付けられていた場合は、その転送が完了後に禁止されます。

(5) TSZSLn (DMA_n 転送サイズ選択) ビット (b5)

1回のDMA転送動作(1転送単位)で転送するビット数を選択します。

このビットを"0"にすると1転送単位が16ビット、"1"にすると1転送単位が8ビットになります。

(6) SADSLn (DMA_n ソースアドレス方向選択) ビット (b6)

ソースアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

(7) DADSLn (DMA_n デスティネーションアドレス方向選択) ビット (b7)

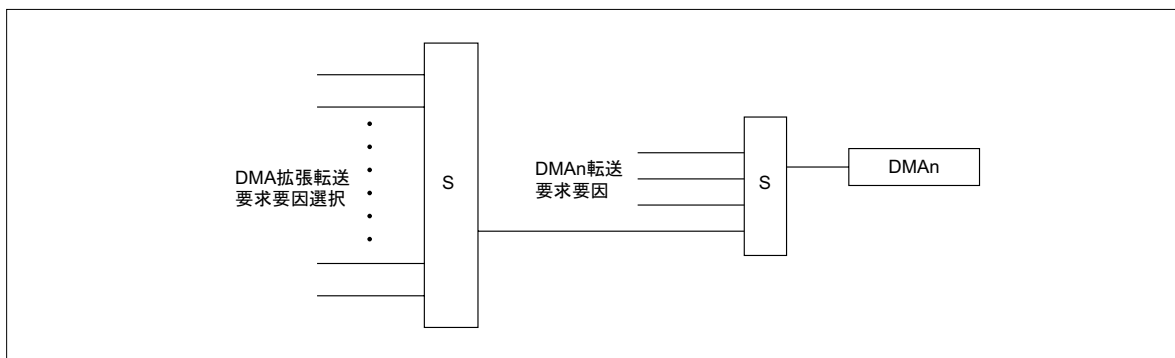
デスティネーションアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

【DMnCNT1 レジスタ】

(1) REQESLn (DMA_n 拡張転送要求要因選択) ビット (b12 ~ b15)

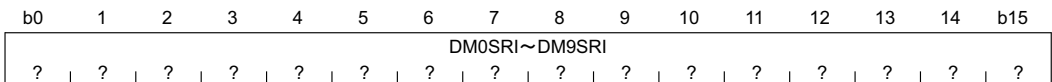
DMAの各チャンネルに対するDMA拡張転送要求要因を選択します。

注 . . DMAチャンネル制御レジスタのDMA要求要因選択(REQSLn)ビットで拡張転送要求要因を選択した場合のみ、REQESLn(DMA拡張転送要因)ビットで選択したDMA拡張転送要求要因が有効になります。

図9.2.1 DMA_n拡張転送要求要因選択ブロック図

9.2.2 DMAソフトウェア要求発生レジスタ

| | |
|----------------------------|---------------------|
| DMA0ソフトウェア要求発生レジスタ(DM0SRI) | <アドレス: H'0080 0460> |
| DMA1ソフトウェア要求発生レジスタ(DM1SRI) | <アドレス: H'0080 0462> |
| DMA2ソフトウェア要求発生レジスタ(DM2SRI) | <アドレス: H'0080 0464> |
| DMA3ソフトウェア要求発生レジスタ(DM3SRI) | <アドレス: H'0080 0466> |
| DMA4ソフトウェア要求発生レジスタ(DM4SRI) | <アドレス: H'0080 0468> |
| DMA5ソフトウェア要求発生レジスタ(DM5SRI) | <アドレス: H'0080 0470> |
| DMA6ソフトウェア要求発生レジスタ(DM6SRI) | <アドレス: H'0080 0472> |
| DMA7ソフトウェア要求発生レジスタ(DM7SRI) | <アドレス: H'0080 0474> |
| DMA8ソフトウェア要求発生レジスタ(DM8SRI) | <アドレス: H'0080 0476> |
| DMA9ソフトウェア要求発生レジスタ(DM9SRI) | <アドレス: H'0080 0478> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|------------------|-------------|---|---|
| 0~15 | DM0SRI ~ DM9SRI | 任意データの書き込みで | | |
| | DMAソフトウェア要求発生ビット | DMA転送要求を発生 | | |

注. . このレジスタはバイトでもハーフワードでもアクセス可能です。

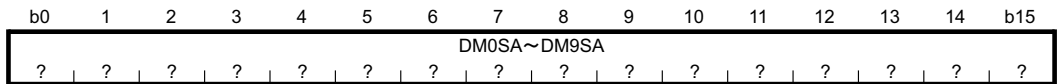
DMAソフトウェア要求発生レジスタは、ソフトウェアでDMA転送要求を発生するためのレジスタで、DMA転送要因として「ソフトウェア起動」を選択しているとき、このレジスタに任意の値を書き込むとDMA転送要求を発生することができます。

(1) DM0SRI ~ DM9SRI (DMAソフトウェア要求発生) ビット

DMA転送要求要因としてソフトウェアを選択(DMA_nチャンネル制御レジスタ0のb2, b3を"00"に設定)した場合、このレジスタにハーフワード(16ビット)か、偶数もしくは奇数番地で始まるバイト(8ビット)に任意データを書き込むと、ソフトウェアDMA転送要求が発生します。

9.2.3 DMAソースアドレスレジスタ

| | |
|------------------------|---------------------|
| DMA0ソースアドレスレジスタ(DM0SA) | <アドレス: H'0080 0412> |
| DMA1ソースアドレスレジスタ(DM1SA) | <アドレス: H'0080 0422> |
| DMA2ソースアドレスレジスタ(DM2SA) | <アドレス: H'0080 0432> |
| DMA3ソースアドレスレジスタ(DM3SA) | <アドレス: H'0080 0442> |
| DMA4ソースアドレスレジスタ(DM4SA) | <アドレス: H'0080 0452> |
| DMA5ソースアドレスレジスタ(DM5SA) | <アドレス: H'0080 041A> |
| DMA6ソースアドレスレジスタ(DM6SA) | <アドレス: H'0080 042A> |
| DMA7ソースアドレスレジスタ(DM7SA) | <アドレス: H'0080 043A> |
| DMA8ソースアドレスレジスタ(DM8SA) | <アドレス: H'0080 044A> |
| DMA9ソースアドレスレジスタ(DM9SA) | <アドレス: H'0080 045A> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|--------|----------------|--|---|---|
| 0 ~ 15 | DM0SA ~ DMA9SA | ソースアドレスのA16 ~ A31 (A0 ~ A15 はH'0080に固定) | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

DMAソースアドレスレジスタには、b0がA16、b15がA31になるようにDMA転送元のアドレスを設定します。このレジスタはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウントレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAソースアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

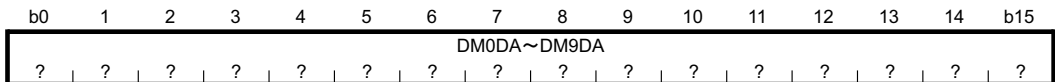
(1) DM0SA ~ DM9SA (ソースアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のソースアドレスを指定します。

ソースアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではソースアドレスの下位16ビットを設定します(b0がソースアドレスのA16、b15がソースアドレスのA31に相当します)。

9.2.4 DMAデスティネーションアドレスレジスタ

| | |
|------------------------------|---------------------|
| DMA0デスティネーションアドレスレジスタ(DM0DA) | <アドレス: H'0080 0414> |
| DMA1デスティネーションアドレスレジスタ(DM1DA) | <アドレス: H'0080 0424> |
| DMA2デスティネーションアドレスレジスタ(DM2DA) | <アドレス: H'0080 0434> |
| DMA3デスティネーションアドレスレジスタ(DM3DA) | <アドレス: H'0080 0444> |
| DMA4デスティネーションアドレスレジスタ(DM4DA) | <アドレス: H'0080 0454> |
| DMA5デスティネーションアドレスレジスタ(DM5DA) | <アドレス: H'0080 041C> |
| DMA6デスティネーションアドレスレジスタ(DM6DA) | <アドレス: H'0080 042C> |
| DMA7デスティネーションアドレスレジスタ(DM7DA) | <アドレス: H'0080 043C> |
| DMA8デスティネーションアドレスレジスタ(DM8DA) | <アドレス: H'0080 044C> |
| DMA9デスティネーションアドレスレジスタ(DM9DA) | <アドレス: H'0080 045C> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|-------------|---|---|---|
| 0~15 | DM0DA~DM9DA | デスティネーションアドレスの A16~A31(A0~A15はH'0080に固定) | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

DMAデスティネーションアドレスレジスタには、b0がA16、b15がA31になるようにDMA転送先のアドレスを設定します。このレジスタへのアクセスはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス+1(8ビット転送時)、または最終転送アドレス+ α (16ビット転送時)になります。

DMAデスティネーションアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

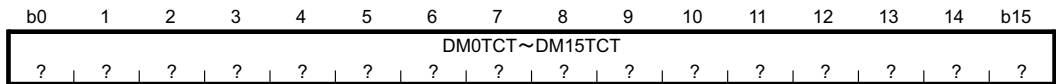
(1) DM0DA ~ DM9DA (デスティネーションアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のデスティネーションアドレスを指定します。

デスティネーションアドレスの上位16ビット(A0~A15)は、常にH'0080に固定です。このレジスタではデスティネーションアドレスの下部16ビットを設定します(b0がデスティネーションアドレスのA16、b15がデスティネーションアドレスのA31に相当します)。

9.2.5 DMA転送カウントレジスタ

| | |
|------------------------|-----------------------|
| DMA0転送カウントレジスタ(DM0TCT) | <アドレス : H'0080 0416 > |
| DMA1転送カウントレジスタ(DM1TCT) | <アドレス : H'0080 0426 > |
| DMA2転送カウントレジスタ(DM2TCT) | <アドレス : H'0080 0436 > |
| DMA3転送カウントレジスタ(DM3TCT) | <アドレス : H'0080 0446 > |
| DMA4転送カウントレジスタ(DM4TCT) | <アドレス : H'0080 0456 > |
| DMA5転送カウントレジスタ(DM5TCT) | <アドレス : H'0080 041E > |
| DMA6転送カウントレジスタ(DM6TCT) | <アドレス : H'0080 042E > |
| DMA7転送カウントレジスタ(DM7TCT) | <アドレス : H'0080 043E > |
| DMA8転送カウントレジスタ(DM8TCT) | <アドレス : H'0080 044E > |
| DMA9転送カウントレジスタ(DM9TCT) | <アドレス : H'0080 045E > |



<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|--------|-------------------------------------|---------|---|---|
| 0 ~ 15 | DM0TCT ~ DM9TCT (リングバッファモード時は無効) | DMA転送回数 | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

DMA転送カウントレジスタは、各チャンネルごとに転送する回数を設定します。ただし、リングバッファモード時はこのレジスタの値は無効です。

転送回数は(転送カウントレジスタの設定値 + 1)となります。DMA転送カウントレジスタは、カレントレジスタで構成されているため、読み出し値は現在値となります(ただし、転送直後のサイクルで読み出した場合は、転送前のカウントレジスタ値となります)。

また転送終了時は、アンダフロー(読み出し値はH'FFFF)となります。

転送許可状態では、ハードウェア的にプロテクトされているためデータの書き込みはできません。

リングバッファモードでは、転送カウントレジスタはフリーランダウンカウントとなります。転送禁止にするまで継続します。また、アンダフローによる割り込みは発生しません。

なお、カスケード接続されたチャンネルがある場合、DMAの1回転送(バイトまたはハーフワード)完了ごとに、または全転送終了(転送カウントレジスタのアンダフロー)で、カスケード接続されたチャンネルが起動します。

DMA転送カウントレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

9.2.6 DMA割り込み関連レジスタ

DMA割り込み関連レジスタは、DMACから割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求マスクビット

グルーピングされた割り込み要求の内、不要な割り込み要求を禁止にするためのフラグです。割り込み要求許可時には"0"、割り込み要求禁止時には"1"を設定します。

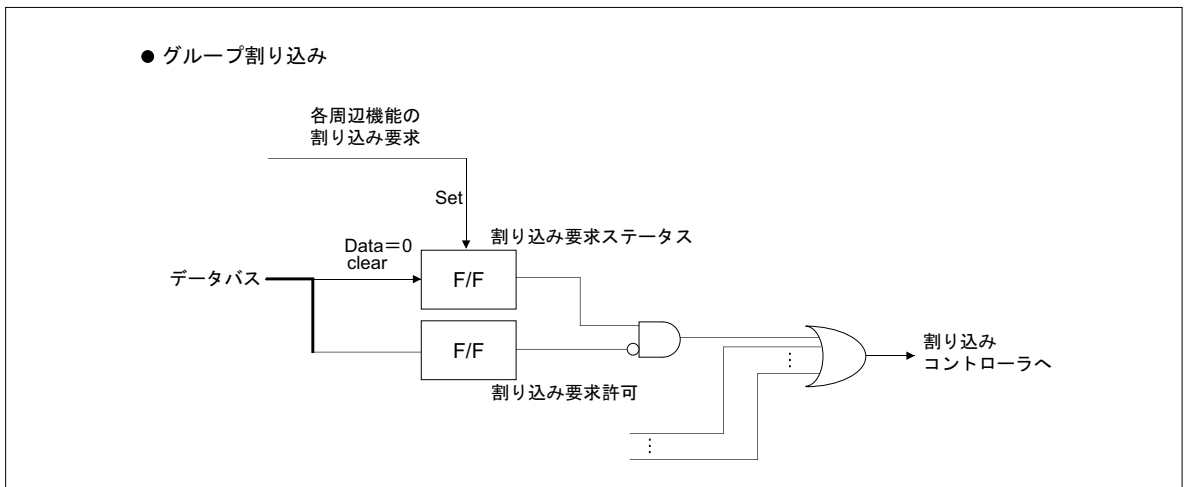
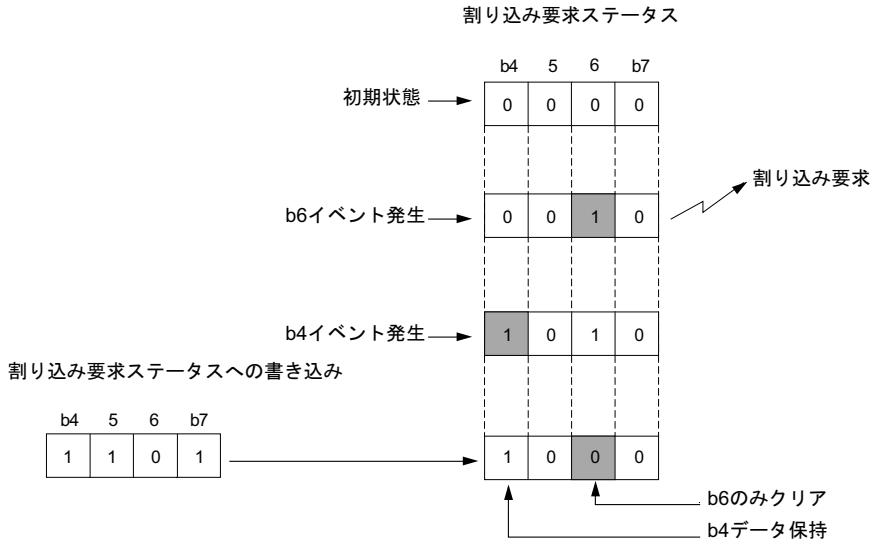


図9.2.2 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



```
ISTREG = 0xfd;
```

```
/*ISTAT1 (0x02ビット) のみクリア*/
```

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



```
ISTREG &= 0xfd;
```

```
/*ISTAT1 (0x02ビット) のみクリア*/
```

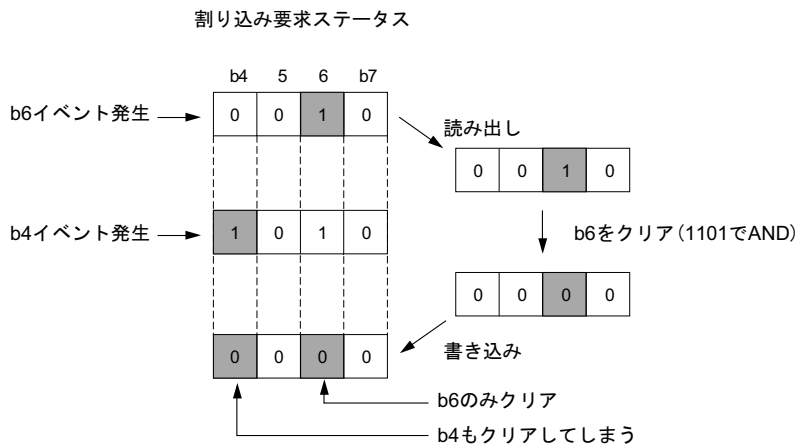


図9.2.3 割り込み要求ステータスクリア例

DMA0～4割り込み要求ステータスレジスタ(DM04ITST)

<アドレス: H'0080 0400>

| | | | | | | | |
|----|---|---|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | DMITST4 | DMITST3 | DMITST2 | DMITST1 | DMITST0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------|-------------|-------|---|
| 0～2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 | DMITST4(DMA4割り込み要求ステータスビット) | 0: 割り込み要求なし | R(注1) | |
| 4 | DMITST3(DMA3割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 5 | DMITST2(DMA2割り込み要求ステータスビット) | | | |
| 6 | DMITST1(DMA1割り込み要求ステータスビット) | | | |
| 7 | DMITST0(DMA0割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5～9割り込み要求ステータスレジスタ(DM59ITST)

<アドレス: H'0080 0408>

| | | | | | | | |
|----|---|---|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | DMITST9 | DMITST8 | DMITST7 | DMITST6 | DMITST5 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------|-------------|-------|---|
| 0～2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 | DMITST9(DMA9割り込み要求ステータスビット) | 0: 割り込み要求なし | R(注1) | |
| 4 | DMITST8(DMA8割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 5 | DMITST7(DMA7割り込み要求ステータスビット) | | | |
| 6 | DMITST6(DMA6割り込み要求ステータスビット) | | | |
| 7 | DMITST5(DMA5割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=0\sim 9$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

(1) DMITST n (DMA n 割り込み要求ステータス) ビット ($n=0\sim 9$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ・割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んだり、DMA n 割り込み要求ステータスビットはクリアされません。

DMA割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

DMA0～4割り込み要求マスクレジスタ(DM04ITMK)

<アドレス : H'0080 0401 >

| | | | | | | | |
|-----------|---|----|---------|---------|---------|---------|---------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 0 0 | | | DMITMK4 | DMITMK3 | DMITMK2 | DMITMK1 | DMITMK0 |
| 0 0 0 | | | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|----------------------------|-------------------|---|---|
| 8～10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | DMITMK4 (DMA4割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 12 | DMITMK3 (DMA3割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 13 | DMITMK2 (DMA2割り込み要求マスクビット) | | | |
| 14 | DMITMK1 (DMA1割り込み要求マスクビット) | | | |
| 15 | DMITMK0 (DMA0割り込み要求マスクビット) | | | |

DMA5～9割り込み要求マスクレジスタ(DM59ITMK)

<アドレス : H'0080 0409 >

| | | | | | | | |
|-----------|---|----|---------|---------|---------|---------|---------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 0 0 | | | DMITMK9 | DMITMK8 | DMITMK7 | DMITMK6 | DMITMK5 |
| 0 0 0 | | | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|----------------------------|-------------------|---|---|
| 8～10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | DMITMK9 (DMA9割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 12 | DMITMK8 (DMA8割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 13 | DMITMK7 (DMA7割り込み要求マスクビット) | | | |
| 14 | DMITMK6 (DMA6割り込み要求マスクビット) | | | |
| 15 | DMITMK5 (DMA5割り込み要求マスクビット) | | | |

DMA割り込みマスクレジスタは、DMA各チャンネルの割り込み要求をマスクするレジスタです。

(1) DMITMK_n (DMA_n割り込み要求マスク)ビット (n = 0～9)

DMA_n割り込み要求マスクビットを"1"にすると、DMA_nの割り込み要求がマスクされます。ただし割り込み要求発生時、DMA_n割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

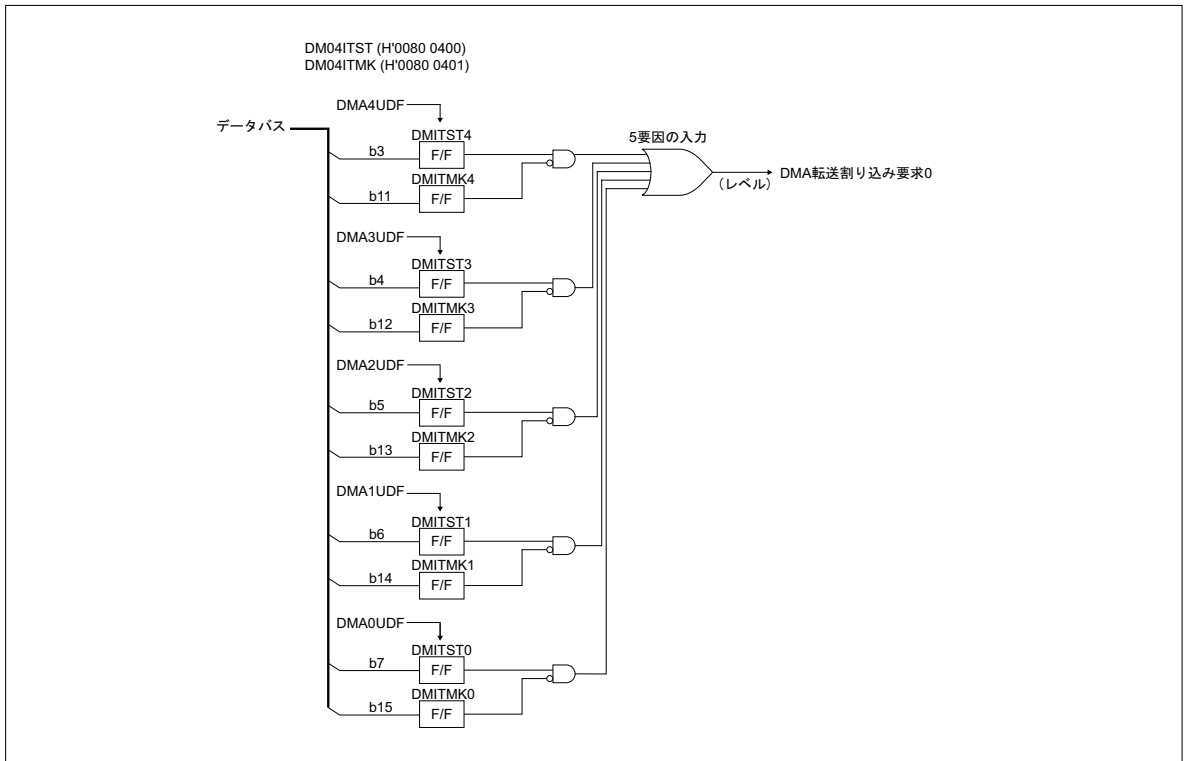


図9.2.4 DMA転送割り込み要求0ブロック図

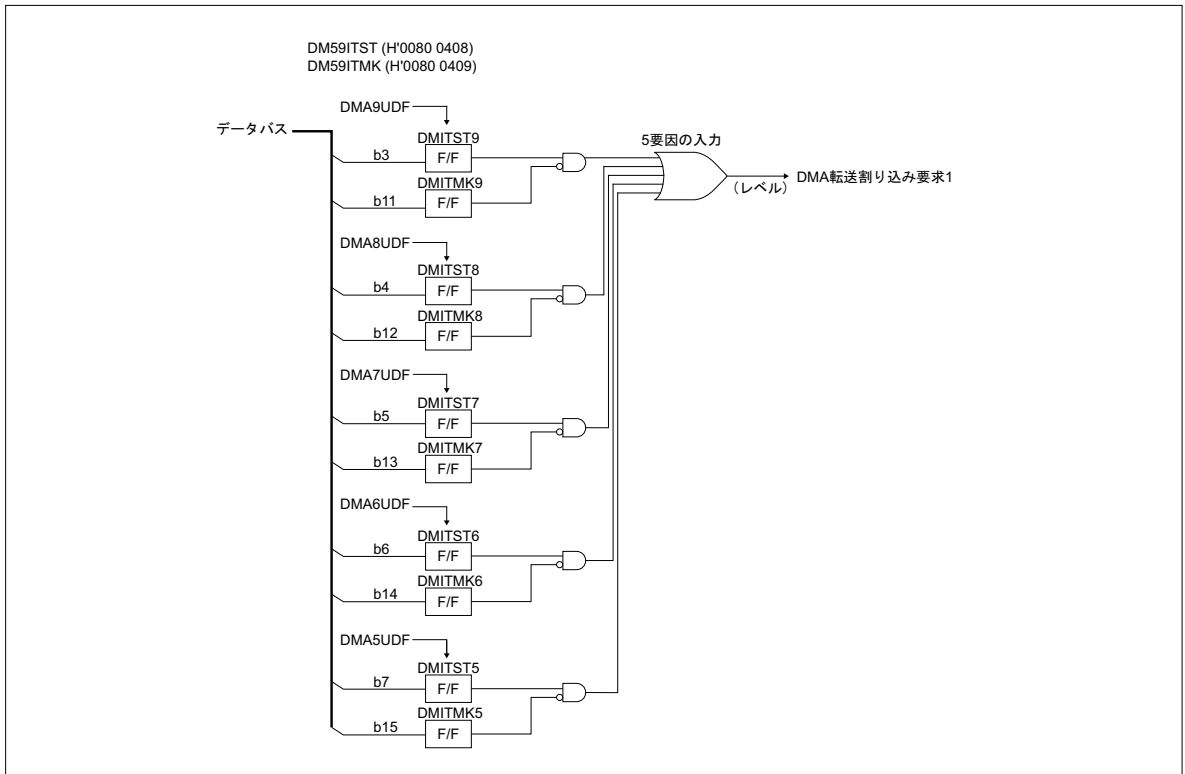


図9.2.5 DMA転送割り込み要求1ブロック図

9.3 DMAC機能説明

9.3.1 DMA転送要求要因

DMAは各チャンネル(0~9チャンネル)ごとに、複数の要因からDMA転送を要求することができます。DMA転送の要求要因には、内蔵周辺I/Oによる起動、プログラムによるソフトウェア起動、およびDMA他チャンネルの1回転送完了、または全転送終了による起動(カスケードモード)があります。

DMA転送要求要因の選択は、各チャンネルの転送要求要因選択ビットREQSLn(DMA nチャンネル制御レジスタ0のb2とb3)と拡張転送要求要因選択ビットREQSELn(DMA nチャンネル制御レジスタ1のb12~b15)で行います。以下に各チャンネルのDMA転送要求要因の一覧を示します。

表9.3.1 DMA0のDMA転送要求要因とその発生タイミング

| REQSL0 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------------------|--|
| 0 0 | ソフトウェア起動 またはDMA2-1回転送完了 | DMA0ソフトウェア要求発生レジスタに任意データを書き込んだとき (ソフトウェア起動) またはDMA2の1回転送完了時(カスケードモード) |
| 0 1 | A-D0変換終了 | A-D0変換終了時 |
| 1 0 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1 1 | DMA0拡張転送要求要因選択 | DMA0チャンネル制御レジスタ1: DM0CNT1のREQSEL0で選択した要因(以下参照) |

| REQSEL0 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|-------------------|---------------------------------|
| 0000 | MJT(入力イベントバス2) | MJTの入力イベントバス2の信号発生時 |
| 0001 | MJT(TID0_udf/ovf) | MJTのTID0アンダフロー/オーバーフロー発生時 |
| 0010 | CAN(CAN0_S0/S15) | CAN0: スロット0の送信失敗、またはスロット15の受信完了 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.2 DMA1のDMA転送要求要因とその発生タイミング

| REQSL1 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------|--|
| 0 0 | ソフトウェア起動 | DMA1ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | MJT(出力イベントバス0) | MJTの出力イベントバス0の信号発生時 |
| 1 0 | MJT(TIN13入力信号) | MJTのTIN13入力信号発生時 |
| 1 1 | DMA1拡張転送要求要因選択 | DMA 1 チャネル制御レジスタ1 : DM1CNT1のREQSEL1で選択した要因(以下参照) |

| REQSEL1 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|-------------------|--------------------------|
| 0000 | DMA0-1回転送完了 | DMA0の1回転送完了時(カスケードモード) |
| 0001 | MJT(TIN3入力信号) | MJTのTIN3入力信号発生時 |
| 0010 | MJT(TID1_udf/ovf) | MJTのTID1アンダフロー/オーバフロー発生時 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.3 DMA2のDMA転送要求要因とその発生タイミング

| REQSL2 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------|--|
| 0 0 | ソフトウェア起動 | DMA2ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | MJT(出力イベントバス1) | MJTの出力イベントバス1の信号発生時 |
| 1 0 | MJT(TIN18入力信号) | MJTのTIN18入力信号発生時 |
| 1 1 | DMA2拡張転送要求要因選択 | DMA2チャネル制御レジスタ1 : DM2CNT1のREQSEL2で選択した要因(以下参照) |

| REQSEL2 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|-------------------|-----------------------------------|
| 0000 | DMA1-1回転送完了 | DMA1の1回転送完了時(カスケードモード) |
| 0001 | MJT(TID2_udf/ovf) | MJTのTID2アンダフロー/オーバフロー発生時 |
| 0010 | CAN(CAN0_S1/S14) | CAN0 : スロット1の送信失敗、またはスロット14の送受信完了 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.4 DMA3のDMA転送要求要因とその発生タイミング

| REQSL3 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|---------------------------|--|
| 0 0 | ソフトウェア起動 | DMA3ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | シリアル/O-0 (送信バッファエンブティ) | シリアル/O-0送信バッファが空になったとき |
| 1 0 | シリアル/O-1(受信完了) | シリアル/O-1の受信完了時 |
| 1 1 | DMA3拡張転送要求要因選択 | DMA3チャンネル制御レジスタ1: DM3CNT1のREQSEL3で選択した要因(以下参照) |

| REQSEL3 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|----------------|------------------------|
| 0000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 0001 | DMA2-1回転送完了 | DMA2の1回転送完了時(カスケードモード) |
| 0010 | AD1変換終了 | AD1変換終了時 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.5 DMA4のDMA転送要求要因とその発生タイミング

| REQSL4 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------|--|
| 0 0 | ソフトウェア起動 | DMA4ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | DMA3-1回転送完了 | DMA3の1回転送完了時(カスケードモード) |
| 1 0 | シリアル/O-0(受信完了) | シリアル/O-0受信完了時 |
| 1 1 | DMA4拡張転送要求要因選択 | DMA4チャンネル制御レジスタ1: DM4CNT1のREQSEL4で選択した要因(以下参照) |

| REQSEL4 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|---------------------------|------------------------|
| 0000 | MJT(TIN19入力信号) | MJTのTIN19入力信号発生時 |
| 0001 | シリアル/O-0 (送信バッファエンブティ) | シリアル/O-0送信バッファが空になったとき |
| 0010 | MJT(TOU1_7irq) | MJTのTOU1_7の割り込み要因 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.6 DMA5のDMA転送要求要因とその発生タイミング

| REQSL5 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------------------|--|
| 0 0 | ソフトウェア起動 またはDMA7-1回転送完了 | DMA5ソフトウェア要求発生レジスタに任意データを書き込んだとき、 またはDMA7の1回転送完了時(カスケードモード) |
| 0 1 | DMA0全転送終了 | DMA0全転送終了時(カスケードモード) |
| 1 0 | シリアル/O-2(受信完了) | シリアル/O-2受信完了時 |
| 1 1 | DMA5拡張転送要求要因選択 | DMA5チャンネル制御レジスタ1: DM5CNT1のREQSEL5で選択した要因(以下参照) |

| REQSEL5 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|----------------|---------------------|
| 0000 | MJT(TIN20入力信号) | MJTのTIN20入力信号発生時 |
| 0001 | MJT(TOU0_0irq) | MJTのTOU0_0の割り込み要因 |
| 0010 | MJT(TOU2_7irq) | MJTのTOU2_7の割り込み要因 |
| 0011 | MJT(入カイベントバス1) | MJTの入カイベントバス1の信号発生時 |
| 0100 | MJT(入カイベントバス3) | MJTの入カイベントバス3の信号発生時 |
| 0101 | MJT(出カイベントバス2) | MJTの出カイベントバス2の信号発生時 |
| 0110 | MJT(出カイベントバス3) | MJTの出カイベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.7 DMA6のDMA転送要求要因とその発生タイミング

| REQSL6 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|---------------------------|--|
| 0 0 | ソフトウェア起動 | DMA6ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | シリアル/O-1 (送信バッファエンプティ) | シリアル/O-1送信バッファが空になったとき |
| 1 0 | MJT(TIN1入力信号) | MJTのTIN1入力信号発生時 |
| 1 1 | DMA6拡張転送要求要因選択 | DMA6チャンネル制御レジスタ1: DM6CNT1のREQSEL6で選択した要因(以下参照) |

| REQSEL6 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|----------------|------------------------|
| 0000 | DMA5-1回転送完了 | DMA5の1回転送完了時(カスケードモード) |
| 0001 | MJT(TOU0_1irq) | MJTのTOU0_1の割り込み要因 |
| 0010 | シリアル/O-1(受信完了) | シリアル/O-1受信完了時 |
| 0011 | MJT(入カイベントバス1) | MJTの入カイベントバス1の信号発生時 |
| 0100 | MJT(入カイベントバス3) | MJTの入カイベントバス3の信号発生時 |
| 0101 | MJT(出カイベントバス2) | MJTの出カイベントバス2の信号発生時 |
| 0110 | MJT(出カイベントバス3) | MJTの出カイベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

表9.3.8 DMA7のDMA転送要求要因とその発生タイミング

| REQSL7 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|---------------------------|--|
| 0 0 | ソフトウェア起動 | DMA7ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | シリアル/O-2 (送信バッファエンプティ) | シリアル/O-2送信バッファが空になったとき |
| 1 0 | MJT(TIN2入力信号) | MJTのTIN2入力信号発生時 |
| 1 1 | DMA7拡張転送要求要因選択 | DMA7チャンネル制御レジスタ1: DM7CNT1のREQSEL7で選択した要因(以下参照) |

| REQSEL7 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|---------------------------|------------------------|
| 0000 | DMA6-1回転送完了 | DMA6の1回転送完了時(カスケードモード) |
| 0001 | MJT(TOU0_2irq) | MJTのTOU0_2の割り込み要因 |
| 0010 | シリアル/O-3 (送信バッファエンプティ) | シリアル/O-3送信バッファが空になったとき |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | } | - |
| | | |
| 1111 | | |

表9.3.9 DMA8のDMA転送要求要因とその発生タイミング

| REQSL8 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------|--|
| 0 0 | ソフトウェア起動 | DMA8ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | MJT(入力イベントバス0) | MJTの入力イベントバス0の信号発生時 |
| 1 0 | シリアル/O-3(受信完了) | シリアル/O-3受信完了時 |
| 1 1 | DMA8拡張転送要求要因選択 | DMA8チャンネル制御レジスタ1: DM8CNT1のREQSEL8で選択した要因(以下参照) |

| REQSEL8 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|----------------|------------------------|
| 0000 | MJT(TIN7入力信号) | MJTのTIN7入力信号発生時 |
| 0001 | MJT(TOU0_6irq) | MJTのTOU0_6の割り込み要因 |
| 0010 | DMA7-1回転送完了 | DMA7の1回転送完了時(カスケードモード) |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | } | - |
| | | |
| 1111 | | |

表9.3.10 DMA9のDMA転送要求要因とその発生タイミング

| REQSL9 | DMA転送要求要因 | DMA転送要求発生タイミング |
|--------|----------------------------|--|
| 0 0 | ソフトウェア起動 | DMA9ソフトウェア要求発生レジスタに任意データを書き込んだとき |
| 0 1 | シリアルI/O-3 (送信バッファエンプティ) | シリアルI/O-3送信バッファが空になったとき |
| 1 0 | MJT(TIN8入力信号) | MJTのTIN8入力信号発生時 |
| 1 1 | DMA9拡張転送要求要因選択 | DMA9チャンネル制御レジスタ1: DM9CNT1のREQSEL9で選択した要因(以下参照) |

| REQSEL9 | DMA転送要求要因 | DMA転送要求発生タイミング |
|---------|----------------|------------------------|
| 0000 | DMA8-1回転送完了 | DMA8の1回転送完了時(カスケードモード) |
| 0001 | MJT(TOU0_7irq) | MJTのTOU0_7の割り込み要因 |
| 0010 | A-D1変換終了 | A-D1変換終了時 |
| 0011 | MJT(入力イベントバス1) | MJTの入力イベントバス1の信号発生時 |
| 0100 | MJT(入力イベントバス3) | MJTの入力イベントバス3の信号発生時 |
| 0101 | MJT(出力イベントバス2) | MJTの出力イベントバス2の信号発生時 |
| 0110 | MJT(出力イベントバス3) | MJTの出力イベントバス3の信号発生時 |
| 0111 | AD-0変換終了 | A-D0変換終了時 |
| 1000 | MJT(TIN0入力信号) | MJTのTIN0入力信号発生時 |
| 1001 | MJT(TIO8_udf) | MJTのTIO8アンダフロー発生時 |
| 1010 | 設定禁止 | - |
| 1111 | | |

9.3.2 DMA転送の処理手順

DMA0を使用してDMA転送を行う場合の制御例を以下に示します。

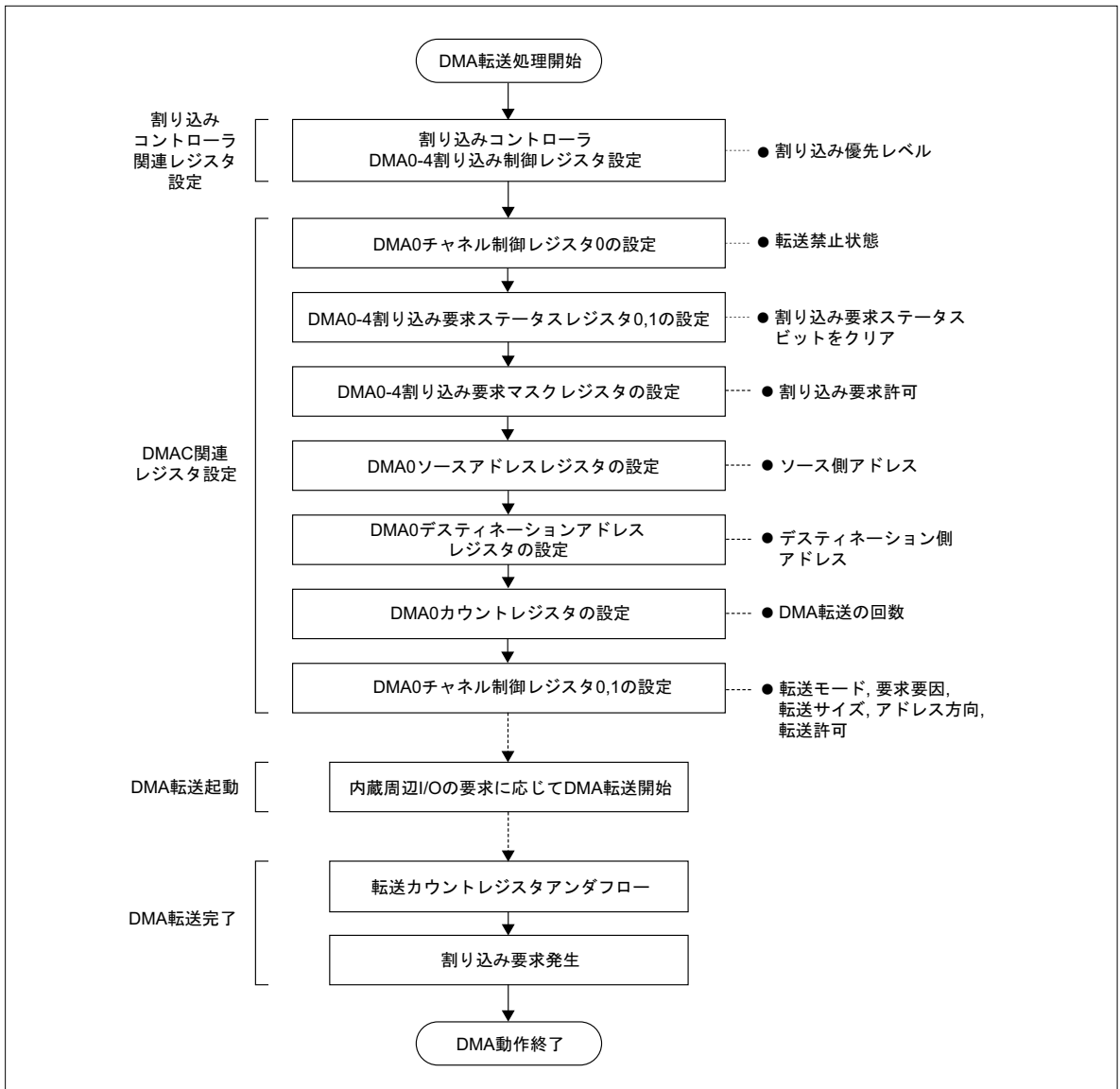


図9.3.1 DMA転送の処理手順(例)

9.3.3 DMAの起動

DMA転送要求要因は、DMA_nチャンネル制御レジスタ0のREQSL(DMA転送要求要因選択)およびDMA_nチャンネル制御レジスタ1のREQESEL(拡張転送要求要因選択)ビットで設定します。DMAの許可は、TENL(DMA転送許可)ビットを"1"にセットすることにより行います。TENL(DMA転送許可)ビットを"1"にセットし、指定した転送要因が有効になるとDMA転送が開始されます。

注 . . REQSL(DMA転送要求要因選択)ビット、およびREQESEL(拡張転送要求要因選択)ビットで指定した転送要求要因がMJT(TIN入力信号)の場合、TIN入力信号の立ち上がりエッジ、立ち下がりエッジ、または両エッジを検出してからDMA転送が開始されるまでの時間は、最短で3サイクル(内部周辺クロック = 20MHz動作時、150ns)かかります。また、前後のバスの使用状態によっては最大5サイクル(内部周辺クロック = 20MHz動作時、250ns)かかる場合があります。(ただし、外部バス未使用、HOLDなし、およびLOCK命令未使用の場合)
 なお、TIN入力信号の変化を正しく検出するために、 $7t_{\alpha}$ (BCLK)2以上のパルス幅のTIN入力信号を入力してください(詳細については、「21.7 AC特性(VCCE = 5V時)および21.8 AC特性(VCCE = 3.3V時)」を参照してください)。

9.3.4 チャンネルの優先順位

チャンネルの優先順位はDMA0が最優先で、以下、

DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5 > DMA6 > DMA7 > DMA8 > DMA9
 の順で固定です。要求の出ているチャンネルの中で最も優先順位の高いチャンネルが選択されます。

9.3.5 内部バス権の獲得と解放

内部バス権の獲得/解放は、各チャンネルすべて「単転送方式DMA」で行われます。単転送方式DMAでは、DMA転送要求が受け付けられると内部バス権を獲得(内部クロック1サイクル)し、1回の転送(内部周辺クロックの1リードサイクル + 1ライトサイクル)のDMA転送実行後、CPUへバス権を返します。以下に単転送方式DMAの動作を示します。

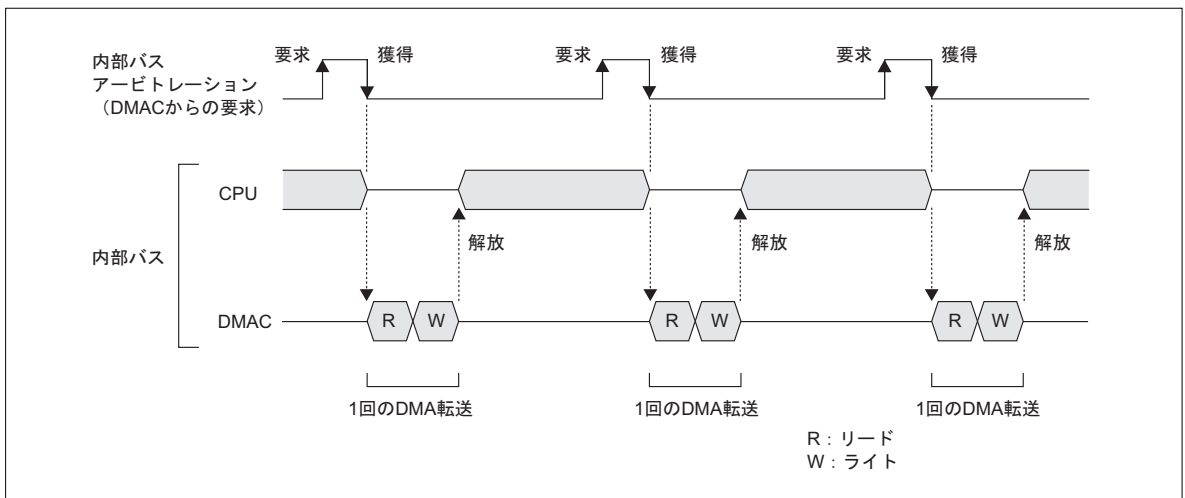


図9.3.2 内部バス権の獲得と解放

9.3.6 転送単位

1回のDMAで転送するビット数(8ビットまたは16ビット)は、チャンネルごとにTSZSL(DMA転送サイズ選択)ビットで設定します。

9.3.7 転送回数

転送回数は、チャンネルごとにDMA転送カウントレジスタに設定します。最大65536回まで転送できます。1転送単位を転送するごとに、転送カウントレジスタの値が1ずつダウンカウントします。

リングバッファモードではDMA転送カウントレジスタはフリーランとなり、設定値は無視されます。

9.3.8 アドレス空間

DMA転送が可能なアドレス空間は、ソース/デスティネーションとも内蔵周辺I/OまたはRAM空間の64Kバイト(H'0080 0000 ~ H'0080 FFFF)です。各DMAチャンネルのソース/デスティネーションアドレスは、DMAソースアドレスレジスタおよびDMAデスティネーションアドレスレジスタで設定します。

9.3.9 転送動作

(1) デュアルアドレス転送

転送単位にかかわらずソースリードアクセスと、デスティネーションライトアクセスの2つのバスサイクルによって転送します(転送データは一度、DMA内部のテンポラリレジスタに取り込まれます)。

(2) バスプロトコルおよびバスタイミング

バスインタフェースはCPUと共通であるため、バスプロトコル、バスタイミングともにCPUからの周辺モジュールアクセスと同じです。

(3) 転送速度

転送は、バス権の獲得(内部クロック1サイクル)+1回の転送(内部クロック1リードサイクル+1ライトサイクル)の計3サイクルで行います。このため、最大転送速度は、次式で算出されます。

$$\text{最大転送速度 [バイト/秒]} = 2 \text{バイト} \times \frac{1}{1 / (BCLK) \times 3 \text{サイクル}}$$

(4) アドレスカウント方向とアドレス変化

ソースアドレス、デスティネーションアドレスのカウント方向(アドレスの固定/インクリメント)は、チャンネルごとにSADSL(ソースアドレス方向選択)ビットと、DADSL(デスティネーションアドレス方向選択)ビットで設定します。

アドレスは、1回のDMA転送につき転送単位が16ビットの場合は+2され、転送単位が8ビットの場合は+1されます。

表9.3.11 アドレスカウント方向とアドレス変化

| アドレスカウント方向 | 転送単位 | 1回のDMAによるアドレス変化 |
|-------------|-------|-----------------|
| アドレス固定 | 8ビット | 0 |
| | 16ビット | 0 |
| アドレスインクリメント | 8ビット | +1 |
| | 16ビット | +2 |

(5) 転送カウント値

転送カウント値は、転送単位(8ビット/16ビット)に関係なく、1ずつデクリメントされます。

(6) 転送バイト位置

転送単位が8ビット単位の場合はソース/デスティネーションとも、アドレスレジスタのLSBが有効です(したがって偶数 偶数、奇数 奇数番地転送の他に、偶数 奇数、奇数 偶数番地転送も行われます)。転送単位が16ビットの場合、アドレスレジスタのLSB(アドレスレジスタのb15)は無視され、常に16ビットバスに対してアライメントのとれた2バイトを転送します。

以下に有効な転送バイト位置を示します。

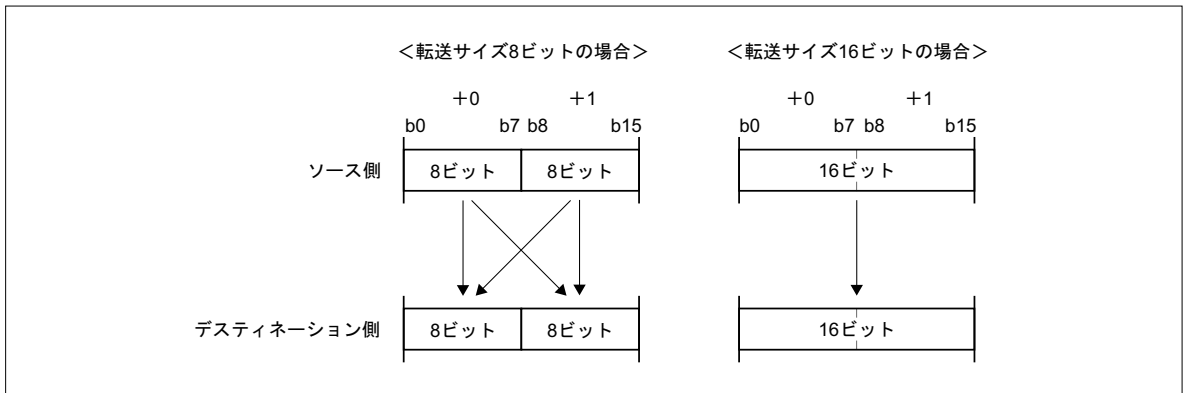


図9.3.3 転送バイト位置

(7) リングバッファモード

リングバッファモードを選択すると、転送開始アドレスから32回転送後再び転送開始アドレスに戻り、転送動作を繰り返します。ただし、リングバッファの開始アドレスの下位5ビットは必ずB'00000(転送サイズが16ビットの場合は下位6ビットがB'000000)でなければなりません。

リングバッファモードにおけるアドレスのインクリメント動作は、次のとおりです。

転送サイズ8ビットの場合

転送開始アドレスの上位27ビットは固定で、下位5ビットが1ずつインクリメントされます。開始アドレスから下位5ビットがB'11111に達したとき、次のインクリメント動作で下位5ビットはB'00000になり開始アドレスに戻ります。

転送サイズ16ビットの場合

転送開始アドレスの上位26ビットは固定で、下位6ビットが2ずつインクリメントされます。開始アドレスから下位6ビットがB'111110に達したとき、次のインクリメント動作で下位6ビットはB'000000になり開始アドレスに戻るようインクリメントされます。

開始アドレスに戻るの、ソース側がインクリメントに設定されている場合はソースアドレス、デスティネーション側がインクリメントに設定されている場合はデスティネーションアドレスです。

ソース側とデスティネーション側がともにインクリメントの場合は、両方のアドレスが開始アドレスに戻ります。ただしどちらの開始アドレスも初期値の下位5ビットは必ずB'00000(転送サイズが16ビットの場合は下位6ビットがB'000000)でなければなりません。

リングバッファモード時は転送カウントレジスタは無視されます。また、DMA動作開始後はフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。

| <転送サイズ8ビットの場合> | | <転送サイズ16ビットの場合> | |
|----------------|-------------|-----------------|-------------|
| 転送回数 | 転送アドレス | 転送回数 | 転送アドレス |
| 1 | H'0080 1000 | 1 | H'0080 1000 |
| 2 | H'0080 1001 | 2 | H'0080 1002 |
| 3 | H'0080 1002 | 3 | H'0080 1004 |
| ⋮ | ⋮ | ⋮ | ⋮ |
| 31 | H'0080 101E | 31 | H'0080 103C |
| 32 | H'0080 101F | 32 | H'0080 103E |
| ↓ | ↓ | ↓ | ↓ |
| 1 | H'0080 1000 | 1 | H'0080 1000 |
| 2 | H'0080 1001 | 2 | H'0080 1002 |
| ⋮ | ⋮ | ⋮ | ⋮ |

図9.3.4 32チャンネルリングバッファモードにおけるアドレスインクリメント動作例

9.3.10 DMAの終了と割り込み

ノーマルモードの場合、DMA転送は転送カウントレジスタのアンダフローで終了します。転送が終了すると、転送許可ビットが"0"にクリアされ転送禁止状態になります。また、転送終了時に割り込み要求が発生しますが、DMA割り込み要求マスクレジスタで割り込み要求がマスクされているチャンネルについては、割り込み要求は発生しません。

リングバッファモード時は、転送カウントレジスタはフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。このため、DMA転送終了割り込み要求は発生しません。また、転送許可ビットをクリアしてリングバッファモード転送を終了したときも、DMA転送終了割り込み要求は発生しません。

9.3.11 DMA転送終了後の各レジスタの状態

DMA転送終了時、ソースアドレスレジスタおよびデスティネーションアドレスレジスタは以下の条件となります。

(1) アドレス固定

DMA転送開始前の設定値のまま固定

(2) アドレスインクリメント時

8ビット転送時、最終転送アドレス+1

16ビット転送時、最終転送アドレス+2

また、転送カウントレジスタはDMA転送終了時、アンダフロー(H'FFFF)状態となっています。したがって再度DMA転送を行う場合は、65536(H'FFFF)回の転送を行う場合を除き、転送カウントレジスタの再設定を行ってください。

9.4 DMACの注意事項

- DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

表9.4.1 DMAC関連レジスタへのライトアクセスの可否

| 状態 | 転送許可ビット | 転送要求フラグ | その他DMAC関連レジスタ |
|--------|---------|---------|---------------|
| 転送許可状態 | | | x |
| 転送禁止状態 | | | |

: 可 x : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

(1) DMAチャンネル制御レジスタ0の転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んでください。なお、転送要求フラグは"0"の書き込みのみ有効です。

(2) DMA転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

(3) DMA転送による異なるチャンネルのDMAソースアドレス、およびDMAデスティネーションアドレスの書き換え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うことにはなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

- DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き換えが可能です(例えばチャンネル0による、チャンネル1のDMAソースアドレスレジスタとDMAデスティネーションアドレスレジスタの書き換え操作など)。

- DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んでください。"1"を書き込んだビットは、書き込み前のデータが保持されます。

- DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

第10章

マルチジャンクションタイマ

- 10.1 マルチジャンクションタイマ概要
- 10.2 タイマ共通部
- 10.3 TOP(出力系16ビットタイマ)
- 10.4 TIO(入出力系16ビットタイマ)
- 10.5 TMS(入力系16ビットタイマ)
- 10.6 TML(入力系32ビットタイマ)
- 10.7 TID(入力系16ビットタイマ)
- 10.8 TOU(出力系24ビットタイマ)

10.1 マルチジャンクションタイマ概要

マルチジャンクションタイマ(以下MJTと略)には入力イベントバスおよび出力イベントバスが備えられており、タイマ単独での使用に加えてタイマ相互の内部接続が可能です。この機能によりフレキシビリティに富んだタイマが構成でき、多様なアプリケーションに対応できます。タイマが内部のイベントバスとの多数の接続点を持つことからマルチジャンクションの名前が付けられています。

32180のMJTには6種類、合計64チャンネルのタイマがあります。

表10.1.1 MJTの概要

| 名称 | 種類 | チャンネル数 | 内容 |
|---|---------------------------------|--------|---|
| TOP (Timer OutPut) | 出力系 16ビットタイマ (ダウンカウンタ) | 11 | ソフトウェアにより、3種類の出力モードを選択 <補正機能あり> <ul style="list-style-type: none"> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> <ul style="list-style-type: none"> 連続出力モード |
| TIO (Timer Input OutPut) | 入出力系 16ビットタイマ (ダウンカウンタ) | 10 | ソフトウェアにより、3種類の入力モードと4種類の出力モードを選択 <入力モード> <ul style="list-style-type: none"> 計測クリア入力モード 計測フリーラン入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード |
| TMS (Timer Measure Small) | 入力系 16ビットタイマ (アップカウンタ) | 8 | 16ビット入力計測タイマ |
| TML (Timer Measure Large) | 入力系 32ビットタイマ (アップカウンタ) | 8 | 32ビット入力計測タイマ |
| TID (Timer Input Derivation) | 入力系 16ビットタイマ (アップダウンカウンタ) | 3 | ソフトウェアにより、4種類の入力モードを選択 <ul style="list-style-type: none"> 定周期モード イベントカウントモード 4逓倍イベントカウントモード アップ/ダウンイベントカウントモード |
| TOU (Timer output Unification) | 出力系 24ビットタイマ (ダウンカウンタ) | 24 | ソフトウェアにより、5種類の出力モードを選択 <補正機能なし> <ul style="list-style-type: none"> PWM出力モード ワンショットPWMモード ディレイドワンショット出力モード ワンショット出力モード 連続出力モード |

表10.1.2 MJTの割り込み発生機能

| 信号名 | MJT割り込み要求元 | 割り込み要因 | ICU要因入力数 |
|-------|-------------------------------------|-------------------|----------|
| IRQ0 | TIO0～3出力 | TIO0～3出力割り込み | 4 |
| IRQ1 | TOP6, TOP7出力 | TOP6, 7出力割り込み | 2 |
| IRQ2 | TOP0～5出力 | TOP0～5出力割り込み | 6 |
| IRQ3 | TIO8, TIO9出力 | TIO8, 9出力割り込み | 2 |
| IRQ4 | TIO4～7出力 | TIO4～7出力割り込み | 4 |
| IRQ5 | TOP10出力 | TOP10出力割り込み | 1 |
| IRQ6 | TOP8, TOP9出力 | TOP8, 9出力割り込み | 2 |
| IRQ7 | TMS0, TMS1出力 | TMS0, 1出力割り込み | 2 |
| IRQ8 | TIN7～TIN11入力 | TIN7～11入力割り込み | 5 |
| IRQ9 | TIN0～TIN2入力 | TIN0～2入力割り込み | 3 |
| IRQ10 | TIN12～TIN19入力 | TIN12～19入力割り込み | 8 |
| IRQ11 | TIN20～TIN23入力 | TIN20～23入力割り込み | 4 |
| IRQ12 | TIN3～TIN6入力 | TIN3～6入力割り込み | 4 |
| IRQ13 | TOU0_0～TOU0_7出力 | TOU0出力割り込み | 8 |
| IRQ14 | TID0出力 | TID0出力割り込み | 1 |
| IRQ15 | TID1出力 | TID1出力割り込み | 1 |
| IRQ16 | TOU1_0～TOU1_7出力, TOU2_0～TOU2_7出力 | TOU1 + TOU2出力割り込み | 16 |
| IRQ17 | TID2出力 | TID2出力割り込み | 1 |
| IRQ18 | TIN30～TIN33入力 | TIN30～33入力割り込み | 4 |

表10.1.3 MJTのDMA転送要求発生機能

| DMACの対応するチャンネル番号 | DMA転送要因 |
|------------------|--|
| DMA0 | TIO8_udf 入力イベントバス2 TID0_udf/ovf 共通転送要因(表10.1.4参照) |
| DMA1 | 出イベントバス0 TIN13入力信号 TIN3入力信号 TID1_udf/ovf 共通転送要因(表10.1.4参照) |
| DMA2 | 出イベントバス1 TIN18入力信号 TID2_udf/ovf 共通転送要因(表10.1.4参照) |
| DMA3 | TIN0入力信号 共通転送要因(表10.1.4参照) |
| DMA4 | TIN19入力入力信号 TOU1_7irq 共通転送要因(表10.1.4参照) |
| DMA5 | TIN20入力信号 TOU0_0irq TOU2_7irq 共通転送要因(表10.1.4参照) |

| | |
|------|-------------------|
| DMA6 | TIN1入力信号 |
| | TOU0_1irq |
| | 共通転送要因(表10.1.4参照) |
| DMA7 | TIN2入力信号 |
| | TOU0_2irq |
| | 共通転送要因(表10.1.4参照) |
| DMA8 | 入カイベントバス0 |
| | TIN7入力信号 |
| | TOU0_6irq |
| | 共通転送要因(表10.1.4参照) |
| DMA9 | TIN8入力信号 |
| | TOU0_7irq |
| | 共通転送要因(表10.1.4参照) |

表10.1.4 MJTのDMA転送要求発生機能(共通)

| DMACの対応するチャンネル番号 | DMA転送要因 |
|------------------|-----------|
| DMA _n | 入カイベントバス1 |
| | 入カイベントバス3 |
| | 出カイベントバス2 |
| | 出カイベントバス3 |
| | TIN0入力信号 |
| | TIO8_udf |

表10.1.5 MJTのA-D変換開始要求機能

| 信号名 | A-D変換開始要求元 | A-D変換器 |
|--------|--|------------------|
| AD0TRG | 入カイベントバス2、入カイベントバス3 出カイベントバス3、TIN23 | A-D0変換開始トリガに入力可能 |
| AD1TRG | 入カイベントバス2、入カイベントバス3 TID1udf/ovf、TIN23 | A-D1変換開始トリガに入力可能 |

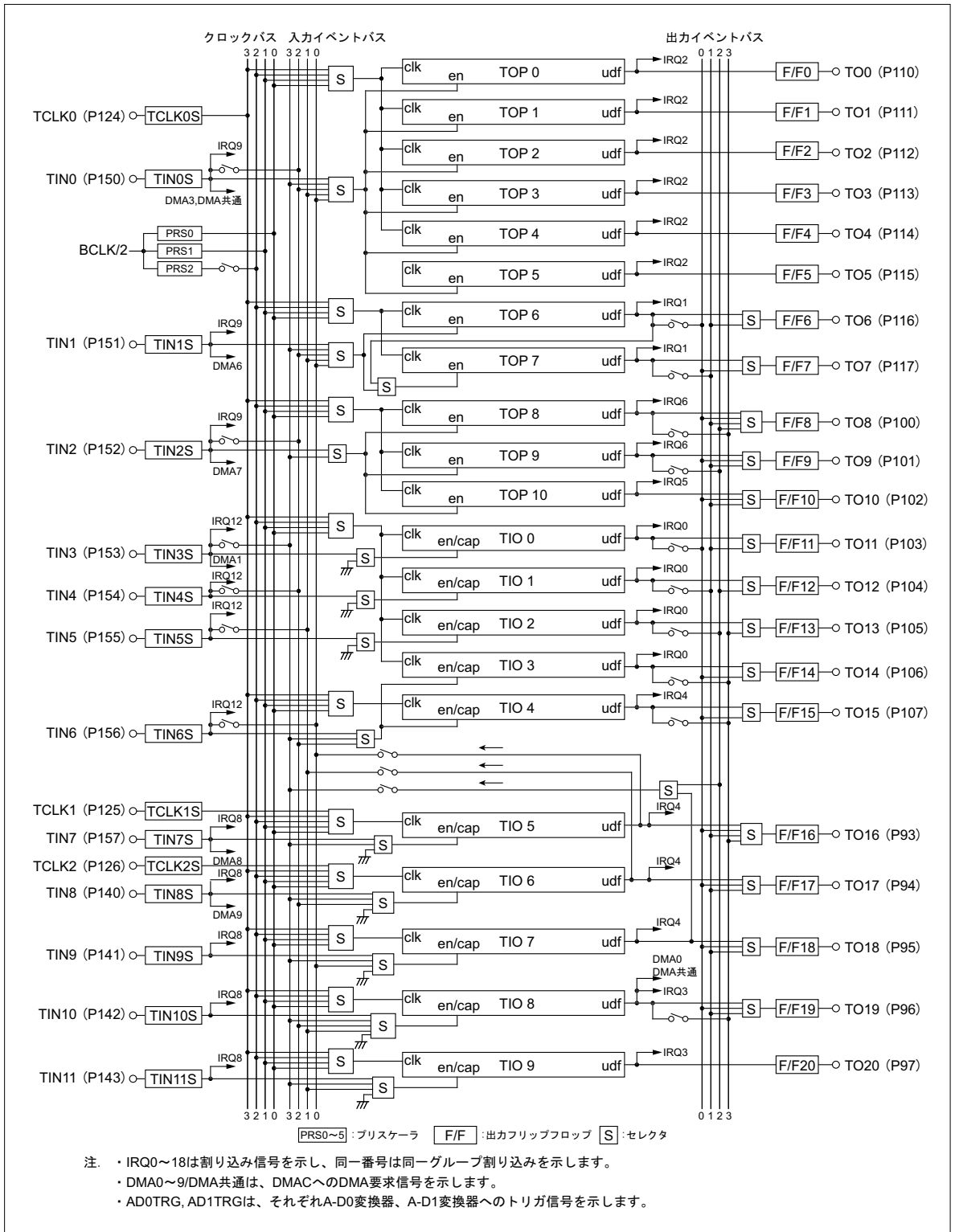


図10.1.1 MJTブロック図(1/4)

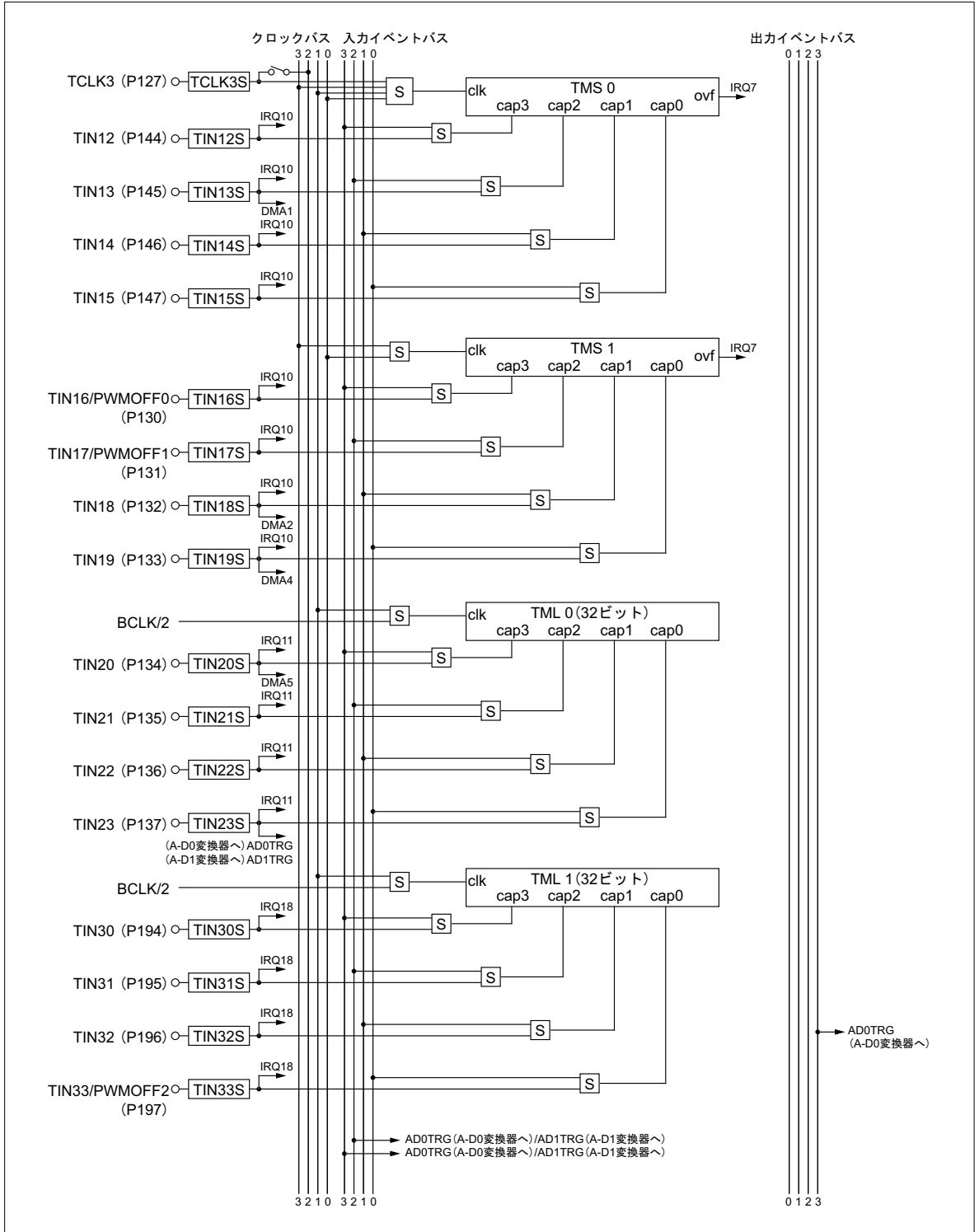


図10.1.2 MJTブロック図(2/4)

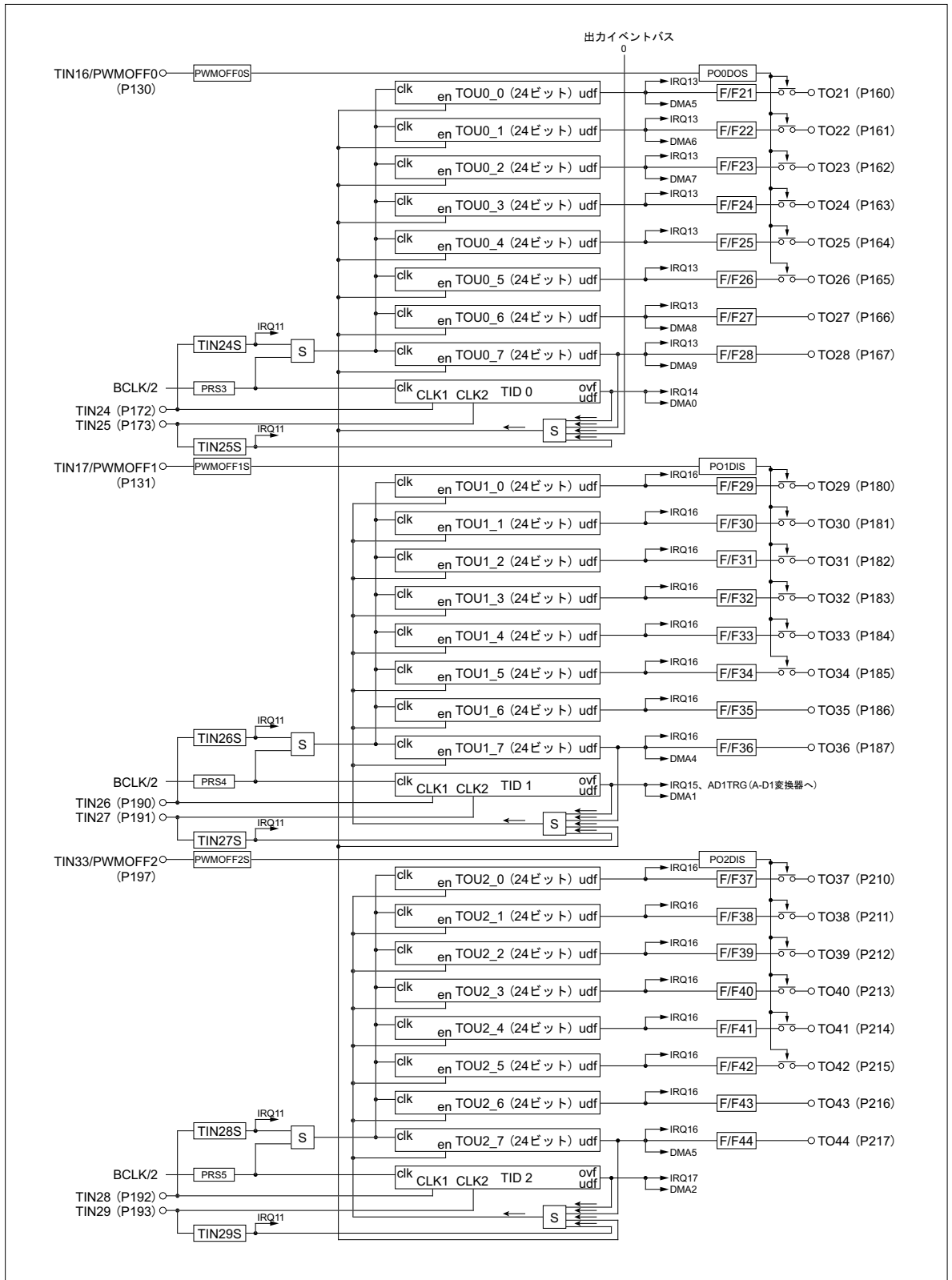


図10.1.3 MJTブロック図(3/4)

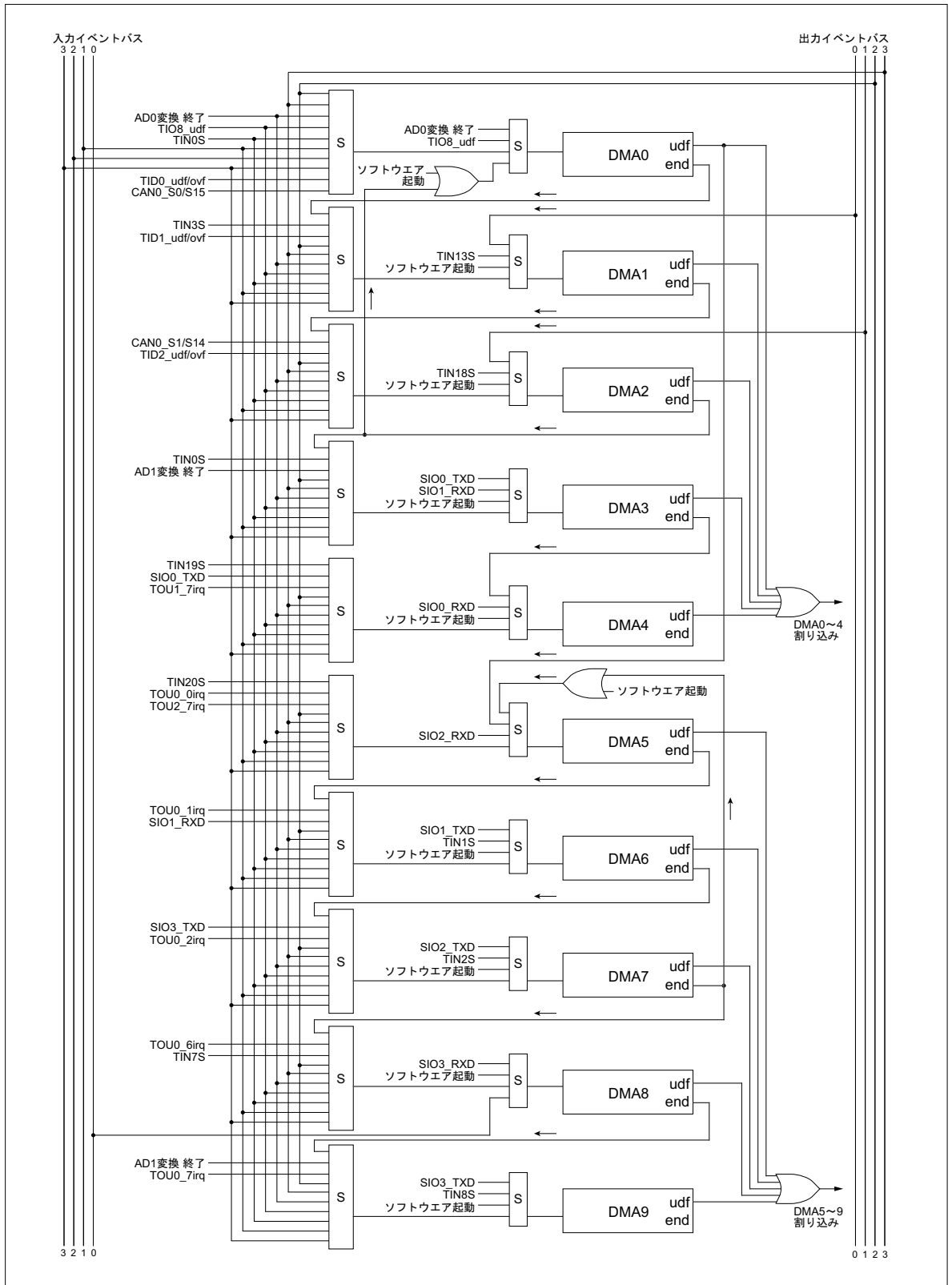


図10.1.4 MJTブロック図(4/4)

10.2 タイマ共通部

タイマ共通部には以下のブロックが含まれます。

- プリスケーラ部
- クロックバス/入出力イベントバス制御部
- 入力処理制御部
- 出力フリップフロップ制御部
- 割り込み制御部

10.2.1 タイマ共通部レジスタマップ

タイマ共通部のレジスタマップを以下に示します。

タイマ共通部レジスタマップ(1/2)

| 番地 | + 0番地 | + 1番地 | 掲載ページ |
|-------------|--|---|-----------------|
| | b0 | b7 b8 | b15 |
| H'0080 0200 | (使用禁止領域) | クロックバス&入力イベントバス制御レジスタ (CKIEBCR) | 10-16 |
| H'0080 0202 | プリスケアラレジスタ0 (PRS0) | プリスケアラレジスタ1 (PRS1) | 10-12 |
| H'0080 0204 | プリスケアラレジスタ2 (PRS2) | 出力イベントバス制御レジスタ (OEBCR) | 10-12 10-17 |
| | (使用禁止領域) | | |
| H'0080 0210 | TCLK入力処理制御レジスタ (TCLKCR) | | 10-20 |
| H'0080 0212 | TIN0~4入力処理制御レジスタ (TIN04CR) | | 10-21 |
| H'0080 0214 | TIN5~8入力処理制御レジスタ (TIN58CR) | | 10-22 |
| H'0080 0216 | TIN9~11入力処理制御レジスタ (TIN911CR) | | 10-23 |
| H'0080 0218 | TIN12~19入力処理制御レジスタ (TIN1219CR) | | 10-24 |
| H'0080 021A | TIN20~23, TIN30~33入力処理制御レジスタ (TIN2023_3033CR) | | 10-24 |
| | (使用禁止領域) | | |
| H'0080 0220 | F/F6~15ソース選択レジスタ (FF615S) | | 10-28 |
| H'0080 0222 | (使用禁止領域) | F/F16~19ソース選択レジスタ (FF1619S) | 10-29 |
| H'0080 0224 | F/F0~15プロテクトレジスタ (FF015P) | | 10-30 |
| H'0080 0226 | F/F0~15データレジスタ (FF015D) | | 10-32 |
| H'0080 0228 | (使用禁止領域) | F/F16~20プロテクトレジスタ (FF1620P) | 10-30 |
| H'0080 022A | (使用禁止領域) | F/F16~20データレジスタ (FF1620D) | 10-32 |
| | (使用禁止領域) | | |
| H'0080 0230 | TOP0~5割り込み要求ステータスレジスタ (TOP05IST) | TOP0~5割り込み要求マスクレジスタ (TOP05IMA) | 10-39 |
| H'0080 0232 | TOP6,7割り込み要求マスク&ステータスレジスタ (TOP67IMS) | TOP8,9割り込み要求マスク&ステータスレジスタ (TOP89IMS) | 10-41 10-42 |
| H'0080 0234 | TIO0~3割り込み要求マスク&ステータスレジスタ (TIO03IMS) | TIO4~7割り込み要求マスク&ステータスレジスタ (TIO47IMS) | 10-43 10-44 |
| H'0080 0236 | TIO8,9割り込み要求マスク&ステータスレジスタ (TIO89IMS) | TMS0,1割り込み要求マスク&ステータスレジスタ (TMS01IMS) | 10-45 10-46 |
| H'0080 0238 | TIN0~2割り込み要求マスク&ステータスレジスタ (TIN02IMS) | TIN3~6割り込み要求マスク&ステータスレジスタ (TIN36IMS) | 10-47 10-48 |
| H'0080 023A | TIN7~11割り込み要求ステータスレジスタ (TIN711IST) | TIN7~11割り込み要求マスクレジスタ (TIN711IMA) | 10-49 |
| H'0080 023C | TIN12~19割り込み要求ステータスレジスタ (TIN1219IST) | TIN12~19割り込み要求マスクレジスタ (TIN1219IMA) | 10-51 |
| H'0080 023E | TIN20~23割り込み要求マスク&ステータスレジスタ (TIN2023IMS) | TIN30~33割り込み要求マスク&ステータスレジスタ (TIN3033IMS) | 10-53 10-57 |
| | (使用禁止領域) | | |
| H'0080 07D0 | プリスケアラレジスタ3 (PRS3) | TID0制御&プリスケアラ3イネーブルレジスタ (TID0PRS3EN) | 10-12 10-141 |
| H'0080 07D2 | TOU0割り込み要求マスクレジスタ (TOU0IMA) | TOU0割り込み要求ステータスレジスタ (TOU0IST) | 10-58 |
| H'0080 07D4 | (使用禁止領域) | F/F21~28プロテクトレジスタ (FF2128P) | 10-31 |
| H'0080 07D6 | (使用禁止領域) | F/F21~28データレジスタ (FF2128D) | 10-33 |
| | (使用禁止領域) | | |

タイマ共通部レジスタマップ(2/2)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|---------------------------------------|---|-----------------|
| | b0 | b7 b8 | b15 |
| H'0080 07E0 | PWMOFF0入力処理制御レジスタ (PWMOFF0CR) | TIN24,25入力処理制御レジスタ (TIN2425CR) | 10-25 |
| H'0080 07E2 | TIN24,25割り込み要求マスクレジスタ (TIN2425IMA) | TIN24,25割り込み要求ステータスレジスタ (TIN2425IST) | 10-53 |
| } | | | |
| H'0080 0BD0 | プリスケアラレジスタ4 (PRS4) | TID1制御 & プリスケアラ4イネーブルレジスタ (TID1PRS4EN) | 10-12 10-142 |
| H'0080 0BD2 | TOU1割り込み要求マスクレジスタ (TOU1IMA) | TOU1割り込み要求ステータスレジスタ (TOU1IST) | 10-60 |
| H'0080 0BD4 | (使用禁止領域) | F/F29 ~ 36プロテクトレジスタ (FF2936P) | 10-31 |
| H'0080 0BD6 | (使用禁止領域) | F/F29 ~ 36データレジスタ (FF2936D) | 10-33 |
| } | | | |
| H'0080 0BE0 | PWMOFF1入力処理制御レジスタ (PWMOFF1CR) | TIN26,27入力処理制御レジスタ (TIN2627CR) | 10-25 |
| H'0080 0BE2 | TIN26,27割り込み要求マスクレジスタ (TIN2627IMA) | TIN26,27割り込み要求ステータスレジスタ (TIN2627IST) | 10-54 |
| } | | | |
| H'0080 0CD0 | プリスケアラレジスタ5 (PRS5) | TID2制御 & プリスケアラ5イネーブルレジスタ (TID2PRS5EN) | 10-12 10-143 |
| H'0080 0CD2 | TOU2割り込み要求マスクレジスタ (TOU2IMA) | TOU2割り込み要求ステータスレジスタ (TOU2IST) | 10-61 |
| H'0080 0CD4 | (使用禁止領域) | F/F37 ~ 44プロテクトレジスタ (FF3744P) | 10-31 |
| H'0080 0CD6 | (使用禁止領域) | F/F37 ~ 44データレジスタ (FF3744D) | 10-34 |
| } | | | |
| H'0080 0CE0 | PWMOFF2入力処理制御レジスタ (PWMOFF2CR) | TIN28,29入力処理制御レジスタ (TIN2829CR) | 10-25 |
| H'0080 0CE2 | TIN28,29割り込み要求マスクレジスタ (TIN2829IMA) | TIN28,29割り込み要求ステータスレジスタ (TIN2829IST) | 10-54 |

10.2.2 プリスケーラ部

プリスケーラPRS0～5は8ビット構成のカウンタで内部周辺クロック(BCLK)の1/2の周波数(f_{BCLK})=20MHz動作時、10MHz)をもとに、クロックを分周して各タイマ(TOP, TIO, TMS, TML, TID, TOU)へクロックを供給します。

プリスケーラレジスタの値はリセット解除時にH'00に初期化されます。

また、プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケーラレジスタにはH'00～H'FFの値が設定できます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{プリスケーラ設定値} + 1}$$

| | |
|--------------------|---------------------|
| プリスケーラレジスタ0 (PRS0) | <アドレス: H'0080 0202> |
| プリスケーラレジスタ1 (PRS1) | <アドレス: H'0080 0203> |
| プリスケーラレジスタ2 (PRS2) | <アドレス: H'0080 0204> |
| プリスケーラレジスタ3 (PRS3) | <アドレス: H'0080 07D0> |
| プリスケーラレジスタ4 (PRS4) | <アドレス: H'0080 0BD0> |
| プリスケーラレジスタ5 (PRS5) | <アドレス: H'0080 0CD0> |

| | | | | | | | |
|-----------|---|----|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| PRS0~PRS5 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|--------|-----------|-------------|---|---|
| 0~7 | PRS0~PRS5 | プリスケーラ分周値設定 | R | W |
| (8~15) | プリスケーラ | | | |

プリスケーラレジスタ0～2は、リセット解除後カウント動作を開始します。

プリスケーラレジスタ3～5は、それぞれTID0制御&プリスケーラ3イネーブルレジスタ、TID1制御&プリスケーラ4イネーブルレジスタ、TID2制御&プリスケーラ5イネーブルレジスタのプリスケーラ n イネーブル(PRS n EN)ビットに"1"をセット(カウント開始)すると起動し、プリスケーラレジスタ値をリロードして、カウント動作を開始します。

詳細については、「10.7 TID」を参照してください。

プリスケーラレジスタを動作中に読み出すと、カウント動作中の値ではなく書き込んだ値を読み出します。

10.2.3 クロックバス/入出カイベントバス制御部

(1) クロックバス

クロックバスは、各タイマにクロックを供給するためのバスで、クロックバス0～3の4本で構成されます。各タイマではこのクロックバス信号をクロック入力信号とすることができます。クロックバスに入力可能な信号は以下の通りです。

表10.2.1 クロックバス各線に入力可能な信号

| クロックバス | 入力可能信号 |
|--------|------------------------------|
| 3 | TCLK0入力 |
| 2 | 内部プリスケール(PRS2) または TCLK3入力 |
| 1 | 内部プリスケール(PRS1) |
| 0 | 内部プリスケール(PRS0) |

(2) 入力イベントバス

入力イベントバスは、各タイマのカウンティネーブル信号や計測キャプチャ信号を供給するためのバスで、入力イベントバス0～3の4本で構成されます。各タイマではこの入力イベントバス信号をイネーブル(またはキャプチャ)信号入力とすることができます。また、A-D変換、DMA転送の起動要求とすることができます。入力イベントバスに入力可能な信号は以下の通りです。

表10.2.2 入力イベントバス各線に接続(入力)可能な信号

| 入力イベントバス | 接続(入力)可能な信号(注1) |
|----------|-----------------------------------|
| 3 | TIN3入力、出力イベントバス2 または TIO7アンダフロー信号 |
| 2 | TIN0入力、TIN2入力 または TIN4入力 |
| 1 | TIO6アンダフロー信号 |
| 0 | TIO5アンダフロー信号 |

注1. 入力イベントバス信号の接続先(出力)については、「図10.1.1 MJTブロック図」を参照してください。

(3) 出力イベントバス

出力イベントバスは、各タイマのアンダフロー信号が接続され、出力イベントバス0～3の4本で構成されます。出力イベントバスの信号は出力フリップフロップに接続されるほか、A-D変換器、DMACに接続できます。また、出力イベントバス2は、入力イベントバス3に接続可能です。出力イベントバスに接続可能な信号は以下の通りです。

表10.2.3 出力イベントバス各線に接続(入力)可能な信号

| 出力イベントバス | 接続(入力)可能な信号(注1) |
|----------|-----------------------------|
| 3 | TOP8、TIO3、TIO4、TIO8アンダフロー信号 |
| 2 | TOP9 または TIO2アンダフロー信号 |
| 1 | TOP7 または TIO1アンダフロー信号 |
| 0 | TOP6 または TIO0アンダフロー信号 |

注1. 出力イベントバス信号の接続先(出力)については、「図10.1.1 MJTブロック図」を参照してください。

なお、各タイマから出力イベントバスに対する信号(およびTIO5, 6による入力イベントバスへの信号)が発生するのは、表10.2.4に示すタイミングです(タイマから出力フリップフロップへの信号出力タイミングとは異なるため注意してください)。

表10.2.4 各タイマから出カイベントバスに対する信号発生タイミング

| タイマ | モード | 出カイベントバスへの信号発生タイミング |
|---------|--------------------|---------------------|
| TOP | ワンショット出力モード | カウンタアンダフロー時 |
| | ディレイドワンショット出力モード | " |
| | 連続出力モード | " |
| TIO(注1) | 計測クリア入力モード | カウンタアンダフロー時 |
| | 計測フリーラン入力モード | " |
| | ノイズ処理入力モード | " |
| | PWM出力モード | カウンタアンダフロー時 |
| | ワンショット出力モード | " |
| | ディレイドワンショット出力モード | " |
| | 連続出力モード | " |
| TMS | (16ビット計測入力) | 信号発生機能なし |
| TML | (32ビット計測入力) | 信号発生機能なし |
| TID | 定周期モード | 信号発生機能なし |
| | イベントカウントモード | " |
| | 4通倍イベントカウントモード | " |
| | アップ/ダウンイベントカウントモード | " |
| TOU | PWM出力モード | 信号発生機能なし |
| | ワンショットPWMモード | " |
| | ディレイドワンショット出力モード | " |
| | ワンショット出力モード | " |
| | 連続出力モード | " |

注1. TIO5～7は入カイベントバスに対してアンダフロー信号を出力します。

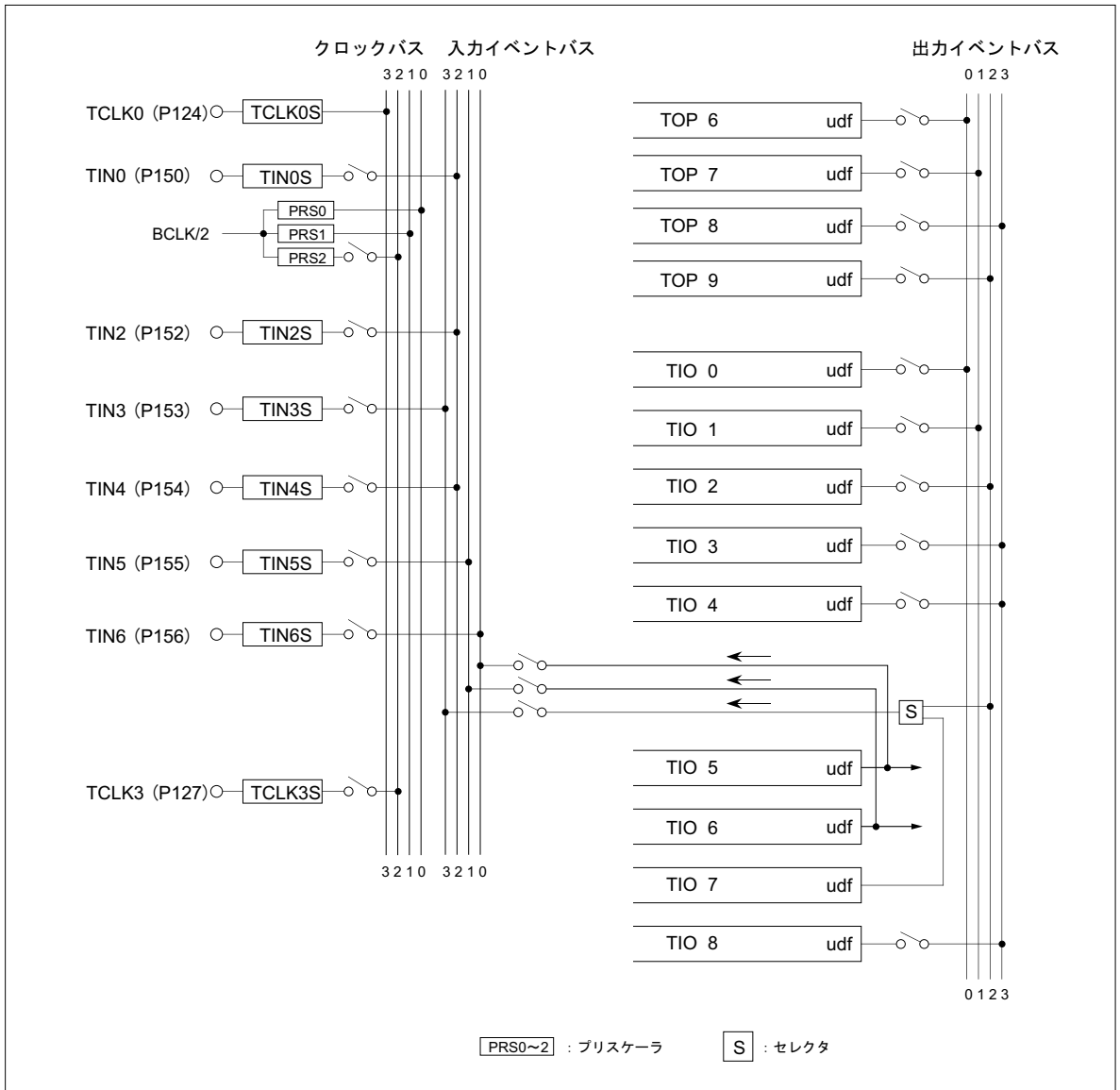


図10.2.1 クロックバス、入力/出イベントバスの概念図

クロックバス/入出力イベントバス制御部には以下のレジスタがあります。

- クロックバス&入力イベントバス制御レジスタ(CKIEBCR)
- 出力イベントバス制御レジスタ(OEBCR)

クロックバス&入力イベントバス制御レジスタ(CKIEBCR)

<アドレス : H'0080 0201 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|---|-------|----|-------|-------|----|-------|
| IEB3S | | IEB2S | | IEB1S | IEB0S | | CKB2S |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|--|---|---|
| 8, 9 | IEB3S 入力イベントバス3入力選択ビット | 00 : 外部入力③(TIN3)選択 01 : " 10 : 出力イベントバス2選択 11 : TIO7出力選択 | R | W |
| 10, 11 | IEB2S 入力イベントバス2入力選択ビット | 00 : 外部入力④(TIN0)選択 01 : 外部入力②(TIN2)選択 10 : 外部入力④(TIN4)選択 11 : " | R | W |
| 12 | IEB1S 入力イベントバス1入力選択ビット | 0 : 外部入力⑤(TIN5)選択 1 : TIO6出力選択 | R | W |
| 13 | IEB0S 入力イベントバス0入力選択ビット | 0 : 外部入力⑥(TIN6)選択 1 : TIO5出力選択 | R | W |
| 14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | CKB2S クロックバス2入力選択ビット | 0 : プリスケアラ2選択 1 : 外部クロック③(TCLK3)選択 | R | W |

CKIEBCRは、クロックバスに供給するクロックソースの選択(外部入力またはプリスケアラ) および入力イベントバスへ供給するカウントイネーブル/キャプチャ信号の選択(外部入力または出力イベントバス)を行うレジスタです。

出力イベントバス制御レジスタ(OEBCR)

<アドレス: H'0080 0205>

| | | | | | | | |
|-------|---|----|-------|----|-------|----|-------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| OEB3S | | | OEB2S | | OEB1S | | OEB0S |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|--|---|---|
| 8, 9 | OEB3S 出力イベントバス3入力選択ビット | 00: TOP8出力選択 01: TIO3出力選択 10: TIO4出力選択 11: TIO8出力選択 | R | W |
| 10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | OEB2S 出力イベントバス2入力選択ビット | 0: TOP9出力選択 1: TIO2出力選択 | R | W |
| 12 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 13 | OEB1S 出力イベントバス1入力選択ビット | 0: TOP7出力選択 1: TIO1出力選択 | R | W |
| 14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | OEB0S 出力イベントバス0入力選択ビット | 0: TOP6出力選択 1: TIO0出力選択 | R | W |

OEBCRは、出力イベントバスにどのタイマ(TOP, TIO)のアンダフロー信号を供給するかを選択するレジスタです。

10.2.4 入力処理制御部

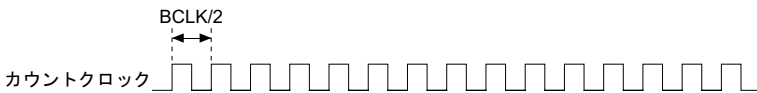
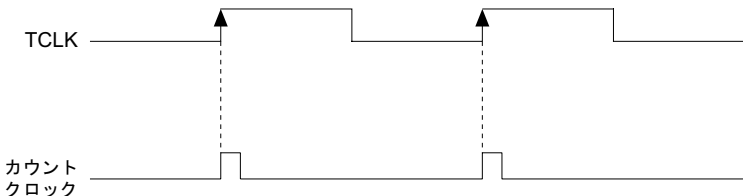
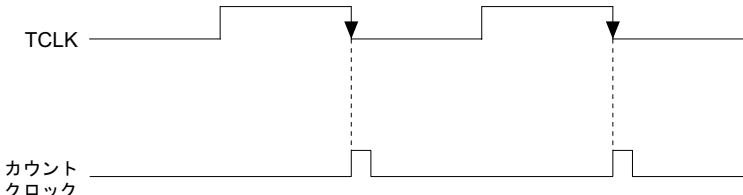
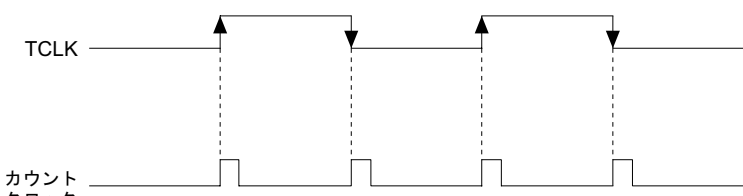
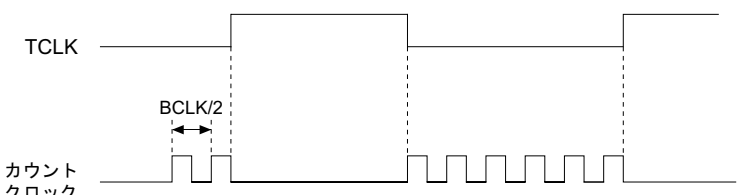
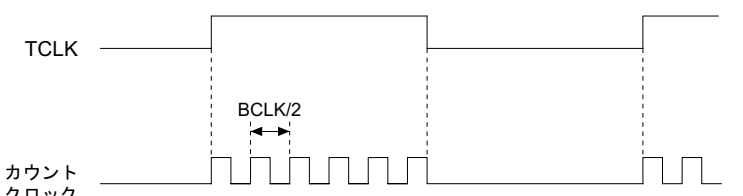
入力処理制御部では、TCLK信号およびTIN信号の入力処理を行います。TCLK入力処理部では、TCLK信号のソース、外部入力の場合は信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)でクロックバスへの供給クロック信号を発生させるかを選択します。

またTIN入力処理部では、信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)で、各タイマのイネーブル信号/計測信号/カウントソース信号、または各イベントバスへの供給信号を発生させるかを選択します。

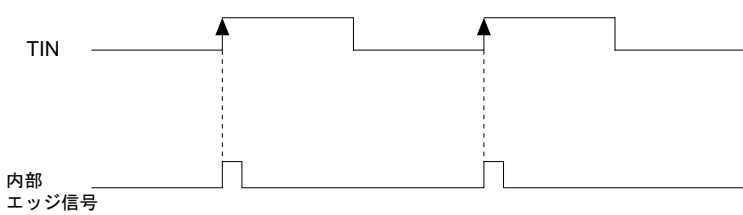
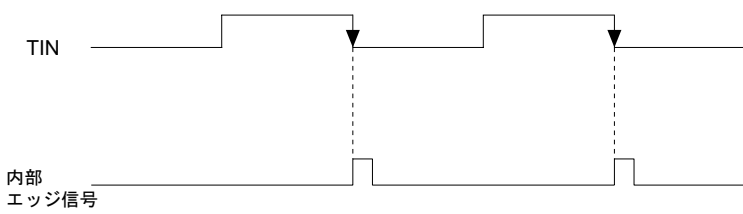
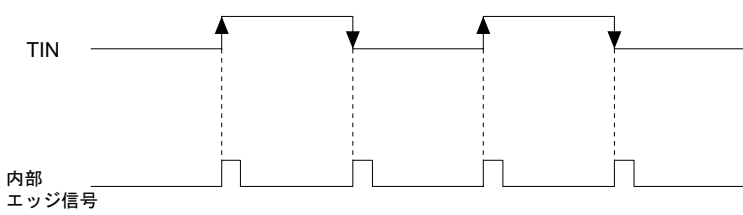
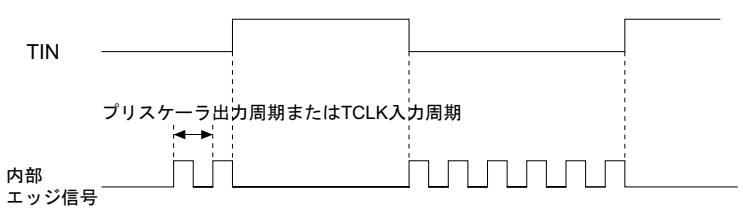
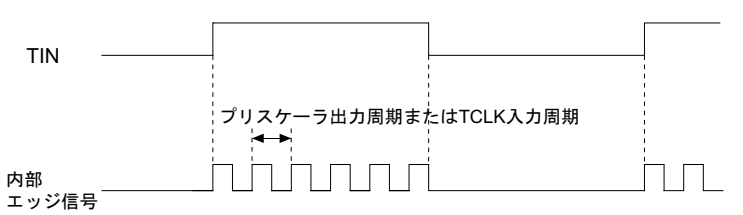
入力処理制御レジスタには以下のものがあります。

- TCLK入力処理制御レジスタ(TCLKCR)
- TIN0~4入力処理制御レジスタ(TIN04CR)
- TIN5~8入力処理制御レジスタ(TIN58CR)
- TIN9~11入力処理制御レジスタ(TIN911CR)
- TIN12~19入力処理制御レジスタ(TIN1219CR)
- TIN20~23, TIN30~33入力処理制御レジスタ(TIN2023_3033CR)
- TIN24, 25入力処理制御レジスタ(TIN2425CR)
- TIN26, 27入力処理制御レジスタ(TIN2627CR)
- TIN28, 29入力処理制御レジスタ(TIN2829CR)

(1)TCLK入力処理制御レジスタ機能一覧

| 項目 | 動作機能 |
|----------|--|
| BCLK/2 |  |
| 立ち上がりエッジ |  |
| 立ち下がりエッジ |  |
| 両エッジ |  |
| Lレベル |  |
| Hレベル |  |

(2) TIN入力処理制御レジスタ機能一覧

| 項目 | 動作機能 |
|----------|---|
| 立ち上がりエッジ |  <p>TIN</p> <p>内部エッジ信号</p> |
| 立ち下がりエッジ |  <p>TIN</p> <p>内部エッジ信号</p> |
| 両エッジ |  <p>TIN</p> <p>内部エッジ信号</p> |
| Lレベル |  <p>TIN</p> <p>プリスケータ出力周期またはTCLK入力周期</p> <p>内部エッジ信号</p> |
| Hレベル |  <p>TIN</p> <p>プリスケータ出力周期またはTCLK入力周期</p> <p>内部エッジ信号</p> |

TCLK入力処理制御レジスタ(TCLKCR)

<アドレス: H'0080 0210>

| | | | | | | | | | | | | | | | |
|--------|---|--------|---|---|---|--------|---|---|---|--------|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TCLK3S | | TCLK2S | | | | TCLK1S | | | | TCLK0S | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--|---|---|
| 0, 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2, 3 | TCLK3S TCLK3 入力処理選択ビット | 00: BCLK/2 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ | R | W |
| 4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5~7 | TCLK2S TCLK2 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9~11 | TCLK1S TCLK1 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 12,13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14,15 | TCLK0S TCLK0 入力処理選択ビット | 00: BCLK/2 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIN0～4入力処理制御レジスタ(TIN04CR)

<アドレス: H'0080 0212>

| | | | | | | | | | | | | | | | |
|-------|---|---|---|-------|---|---|---|-------|---|-------|----|-------|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIN4S | | | | TIN3S | | | | TIN2S | | TIN1S | | TIN0S | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1～3 | TIN4S TIN4 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5～7 | TIN3S TIN3 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 8,9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10,11 | TIN2S TIN2 入力処理選択ビット | 00: 入力を無効にする 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ | R | W |
| 12,13 | TIN1S TIN1 入力処理選択ビット | 00: 入力を無効にする 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ | R | W |
| 14,15 | TIN0S TIN0 入力処理選択ビット | 00: 入力を無効にする 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIN5～8入力処理制御レジスタ(TIN58CR)

<アドレス: H'0080 0214>

| | | | | | | | | | | | | | | | |
|-------|---|---|---|-------|---|---|---|-------|---|----|----|-------|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIN8S | | | | TIN7S | | | | TIN6S | | | | TIN5S | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

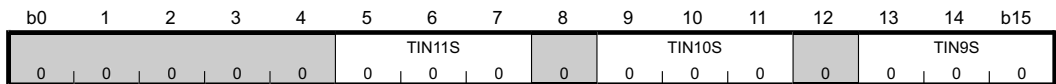
<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1～3 | TIN8S TIN8 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5～7 | TIN7S TIN7 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9～11 | TIN6S TIN6 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 12 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 13～15 | TIN5S TIN5 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |

注. ・ このレジスタは、必ずハーフワードでアクセスしてください。

TIN9～11入力処理制御レジスタ(TIN911CR)

<アドレス: H'0080 0216>



<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--|---|---|
| 0～4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5～7 | TIN11S TIN11 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9～11 | TIN10S TIN10 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |
| 12 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 13～15 | TIN9S TIN9 入力処理選択ビット | 000: 入力を無効にする 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 100: Lレベル 101: Lレベル 110: Hレベル 111: Hレベル | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIN12～19入力処理制御レジスタ(TIN1219CR)

<アドレス:H'0080 0218>

| | | | | | | | | | | | | | | | |
|--------|---|--------|---|--------|---|--------|---|--------|---|--------|----|--------|----|--------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIN19S | | TIN18S | | TIN17S | | TIN16S | | TIN15S | | TIN14S | | TIN13S | | TIN12S | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時:H'0000>

| b | ビット名 | 機能 | R | W |
|--------|-------------------------|--------------|---|---|
| 0, 1 | TIN19S(TIN19 入力処理選択ビット) | 00: 入力を無効にする | R | W |
| 2, 3 | TIN18S(TIN18 入力処理選択ビット) | 01: 立ち上がりエッジ | | |
| 4, 5 | TIN17S(TIN17 入力処理選択ビット) | 10: 立ち下がりエッジ | | |
| 6, 7 | TIN16S(TIN16 入力処理選択ビット) | 11: 両エッジ | | |
| 8, 9 | TIN15S(TIN15 入力処理選択ビット) | | | |
| 10, 11 | TIN14S(TIN14 入力処理選択ビット) | | | |
| 12, 13 | TIN13S(TIN13 入力処理選択ビット) | | | |
| 14, 15 | TIN12S(TIN12 入力処理選択ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIN20～23, TIN30～33入力処理制御レジスタ(TIN2023_3033CR)

<アドレス:H'0080 021A>

| | | | | | | | | | | | | | | | |
|--------|---|--------|---|--------|---|--------|---|--------|---|--------|----|--------|----|--------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIN33S | | TIN32S | | TIN31S | | TIN30S | | TIN23S | | TIN22S | | TIN21S | | TIN20S | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時:H'0000>

| b | ビット名 | 機能 | R | W |
|--------|-------------------------|--------------|---|---|
| 0, 1 | TIN33S(TIN33 入力処理選択ビット) | 00: 入力を無効にする | R | W |
| 2, 3 | TIN32S(TIN32 入力処理選択ビット) | 01: 立ち上がりエッジ | | |
| 4, 5 | TIN31S(TIN31 入力処理選択ビット) | 10: 立ち下がりエッジ | | |
| 6, 7 | TIN30S(TIN30 入力処理選択ビット) | 11: 両エッジ | | |
| 8, 9 | TIN23S(TIN23 入力処理選択ビット) | | | |
| 10, 11 | TIN22S(TIN22 入力処理選択ビット) | | | |
| 12, 13 | TIN21S(TIN21 入力処理選択ビット) | | | |
| 14, 15 | TIN20S(TIN20 入力処理選択ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIN24, 25入力処理制御レジスタ(TIN2425CR)

<アドレス : H'0080 07E1 >

| | | | | | | | |
|----|---|----|----|--------|----|--------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | TIN25S | | TIN24S | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12, 13 | TIN25S (TIN25 入力処理選択ビット) | 00 : 入力無効 | R | W |
| 14, 15 | TIN24S (TIN24 入力処理選択ビット) | 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ | | |

TIN26, 27入力処理制御レジスタ(TIN2627CR)

<アドレス : H'0080 0BE1 >

| | | | | | | | |
|----|---|----|----|--------|----|--------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | TIN27S | | TIN26S | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| D | ビット名 | 機能 | R | W |
|--------|---------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12, 13 | TIN27S (TIN27 入力処理選択ビット) | 00 : 入力無効 | R | W |
| 14, 15 | TIN26S (TIN26 入力処理選択ビット) | 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ | | |

TIN28, 29入力処理制御レジスタ(TIN2829CR)

<アドレス : H'0080 0CE1 >

| | | | | | | | |
|----|---|----|----|--------|----|--------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | TIN29S | | TIN28S | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12, 13 | TIN29S (TIN29 入力処理選択ビット) | 00 : 入力無効 | R | W |
| 14, 15 | TIN28S (TIN28 入力処理選択ビット) | 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ | | |

10.2.5 出力フリップフロップ制御部

出力フリップフロップ制御部では、各タイマ出力に設けられたフリップフロップ(F/F)の制御を行います。出力フリップフロップ制御レジスタには以下のものがあります。

- F/F6 ~ 15ソース選択レジスタ(FF615S)
- F/F16 ~ 19ソース選択レジスタ(FF1619S)
- F/F0 ~ 15プロテクトレジスタ(FF015P)
- F/F16 ~ 20プロテクトレジスタ(FF1620P)
- F/F21 ~ 28プロテクトレジスタ(FF2128P)
- F/F29 ~ 36プロテクトレジスタ(FF2936P)
- F/F37 ~ 44プロテクトレジスタ(FF3744P)
- F/F0 ~ 15データレジスタ(FF015D)
- F/F16 ~ 20データレジスタ(FF1620D)
- F/F21 ~ 28データレジスタ(FF2128D)
- F/F29 ~ 36データレジスタ(FF2936D)
- F/F37 ~ 44データレジスタ(FF3744D)

なお、各タイマから出力フリップフロップに対する信号の発生するタイミングを表10.2.5に示します(出力イベントバスへの信号出力タイミングと異なるため注意してください)。

表10.2.5 各タイマから出力フリップフロップに対する信号発生タイミング

| タイマ | モード | 出力フリップフロップへの信号発生タイミング |
|-----|--------------------|-----------------------|
| TOP | ワンショット出力モード | カウントイネーブル時およびアンダフロー時 |
| | ディレイドワンショット出力モード | カウンタアンダフロー時 |
| | 連続出力モード | カウントイネーブル時およびアンダフロー時 |
| TIO | 計測クリア入力モード | カウンタアンダフロー時 |
| | 計測フリーラン入力モード | カウンタアンダフロー時 |
| | ノイズ処理入力モード | カウンタアンダフロー時 |
| | PWM出力モード | カウントイネーブル時およびアンダフロー時 |
| | ワンショット出力モード | カウントイネーブル時およびアンダフロー時 |
| | ディレイドワンショット出力モード | カウンタアンダフロー時 |
| | 連続出力モード | カウントイネーブル時およびアンダフロー時 |
| TMS | (16ビット計測入力) | 信号発生機能なし |
| TML | (32ビット計測入力) | 信号発生機能なし |
| TID | 定周期カウントモード | 信号発生機能なし |
| | イベントカウントモード | 信号発生機能なし |
| | 4通倍イベントカウントモード | 信号発生機能なし |
| | アップ/ダウンイベントカウントモード | 信号発生機能なし |
| TOU | PWM出力モード | カウントイネーブル時およびアンダフロー時 |
| | ワンショットPWM出力モード | カウンタアンダフロー時 |
| | ディレイドワンショット出力モード | カウンタアンダフロー時 |
| | ワンショット出力モード | カウントイネーブル時およびアンダフロー時 |
| | 連続出力モード | カウントイネーブル時およびアンダフロー時 |

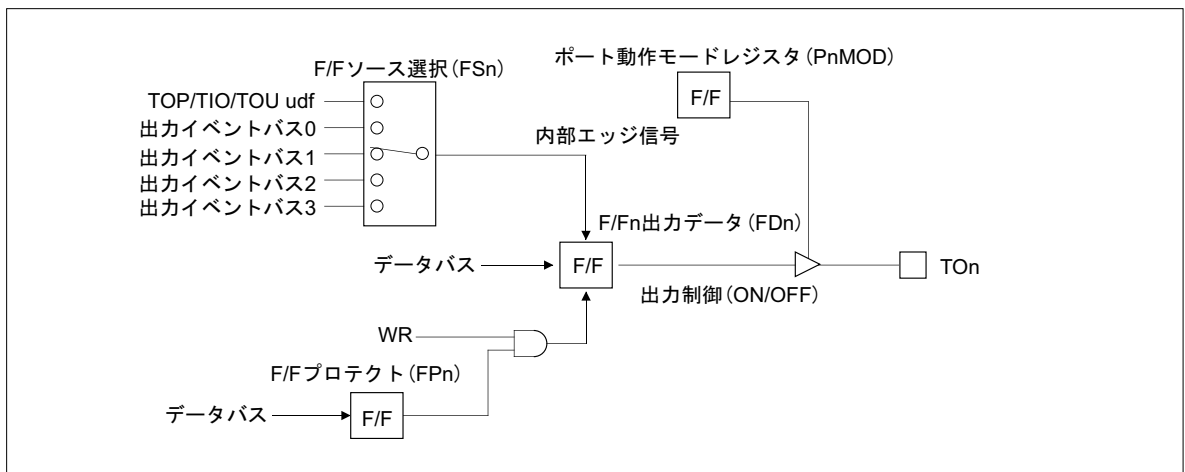


図10.2.2 F/F出力回路構成図

F/F6~15ソース選択レジスタ(FF615S)

<アドレス : H'0080 0220 >

| | | | | | | | | | | | | | | | |
|----|---|---|-----------|-----------|-----------|-----------|-----------|-----------|---|----------|----|----------|----|----------|----------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | FS15 0 | FS14 0 | FS13 0 | FS12 0 | FS11 0 | FS10 0 | 0 | FS9 0 | 0 | FS8 0 | 0 | FS7 0 | FS6 0 |

<リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|--|---|---|
| 0~2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 | FS15 F/F15 ソース選択ビット | 0 : TIO 4 出力 1 : 出力イベントバス0 | R | W |
| 4 | FS14 F/F14 ソース選択ビット | 0 : TIO 3 出力 1 : 出力イベントバス0 | R | W |
| 5 | FS13 F/F13 ソース選択ビット | 0 : TIO 2 出力 1 : 出力イベントバス3 | R | W |
| 6 | FS12 F/F12 ソース選択ビット | 0 : TIO 1 出力 1 : 出力イベントバス2 | R | W |
| 7 | FS11 F/F11 ソース選択ビット | 0 : TIO 0 出力 1 : 出力イベントバス1 | R | W |
| 8, 9 | FS10 F/F10 ソース選択ビット | 00 : TOP 10 出力 01 : TOP 10 出力 10 : 出力イベントバス0 11 : 出力イベントバス1 | R | W |
| 10, 11 | FS9 F/F9 ソース選択ビット | 00 : TOP 9 出力 01 : TOP 9 出力 10 : 出力イベントバス0 11 : 出力イベントバス1 | R | W |
| 12, 13 | FS8 F/F8 ソース選択ビット | 00 : TOP 8 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス2 | R | W |
| 14 | FS7 F/F7 ソース選択ビット | 0 : TOP 7 出力 1 : 出力イベントバス0 | R | W |
| 15 | FS6 F/F6 ソース選択ビット | 0 : TOP 6 出力 1 : 出力イベントバス1 | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/F16～19ソース選択レジスタ(FF1619S)

<アドレス : H'0080 0223 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|---|------|----|------|----|------|-----|
| FS19 | | FS18 | | FS17 | | FS16 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|--------|------------------------|---|---|---|
| 8, 9 | FS19 F/F19 ソース選択ビット | 00 : TIO 8 出力 01 : TIO 8 出力 10 : 出カイベントバス0 11 : 出カイベントバス1 | R | W |
| 10, 11 | FS18 F/F18 ソース選択ビット | 00 : TIO 7 出力 01 : TIO 7 出力 10 : 出カイベントバス0 11 : 出カイベントバス1 | R | W |
| 12, 13 | FS17 F/F17 ソース選択ビット | 00 : TIO 6 出力 01 : TIO 6 出力 10 : 出カイベントバス0 11 : 出カイベントバス1 | R | W |
| 14, 15 | FS16 F/F16 ソース選択ビット | 00 : TIO 5 出力 01 : 出カイベントバス0 10 : 出カイベントバス1 11 : 出カイベントバス3 | R | W |

各出力F/F(フリップフロップ)への信号ソースの選択レジスタです。信号ソースには内部出力バスからの選択、または各タイマからのアンダフロー出力を選択できます。

F/F0～15プロテクトレジスタ(FF015P)

<アドレス : H'0080 0224>

| | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| FP15 | FP14 | FP13 | FP12 | FP11 | FP10 | FP9 | FP8 | FP7 | FP6 | FP5 | FP4 | FP3 | FP2 | FP1 | FP0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000>

| b | ビット名 | 機能 | R | W |
|----|-----------------------|----------------------|---|---|
| 0 | FP15 (F/F15 プロテクトビット) | 0 : F/F出力ビットへの書き込み許可 | R | W |
| 1 | FP14 (F/F14 プロテクトビット) | 1 : F/F出力ビットへの書き込み禁止 | | |
| 2 | FP13 (F/F13 プロテクトビット) | | | |
| 3 | FP12 (F/F12 プロテクトビット) | | | |
| 4 | FP11 (F/F11 プロテクトビット) | | | |
| 5 | FP10 (F/F10 プロテクトビット) | | | |
| 6 | FP9 (F/F9 プロテクトビット) | | | |
| 7 | FP8 (F/F8 プロテクトビット) | | | |
| 8 | FP7 (F/F7 プロテクトビット) | | | |
| 9 | FP6 (F/F6 プロテクトビット) | | | |
| 10 | FP5 (F/F5 プロテクトビット) | | | |
| 11 | FP4 (F/F4 プロテクトビット) | | | |
| 12 | FP3 (F/F3 プロテクトビット) | | | |
| 13 | FP2 (F/F2 プロテクトビット) | | | |
| 14 | FP1 (F/F1 プロテクトビット) | | | |
| 15 | FP0 (F/F0 プロテクトビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/F16～20プロテクトレジスタ(FF1620P)

<アドレス : H'0080 0229>

| | | | | | | | |
|----|---|----|------|------|------|------|------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | FP20 | FP19 | FP18 | FP17 | FP16 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|----------------------|---|---|
| 8～10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | FP20 (F/F20 プロテクトビット) | 0 : F/F出力ビットへの書き込み許可 | R | W |
| 12 | FP19 (F/F19 プロテクトビット) | 1 : F/F出力ビットへの書き込み禁止 | | |
| 13 | FP18 (F/F18 プロテクトビット) | | | |
| 14 | FP17 (F/F17 プロテクトビット) | | | |
| 15 | FP16 (F/F16 プロテクトビット) | | | |

F/F21 ~ 28プロテクトレジスタ(FF2128P)

< アドレス : H'0080 07D5 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FP21 | FP22 | FP23 | FP24 | FP25 | FP26 | FP27 | FP28 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-----------------------|----------------------|---|---|
| 8 | FP21 (F/F21 プロテクトビット) | 0 : F/F出力ビットへの書き込み許可 | R | W |
| 9 | FP22 (F/F22 プロテクトビット) | 1 : F/F出力ビットへの書き込み禁止 | | |
| 10 | FP23 (F/F23 プロテクトビット) | | | |
| 11 | FP24 (F/F24 プロテクトビット) | | | |
| 12 | FP25 (F/F25 プロテクトビット) | | | |
| 13 | FP26 (F/F26 プロテクトビット) | | | |
| 14 | FP27 (F/F27 プロテクトビット) | | | |
| 15 | FP28 (F/F28 プロテクトビット) | | | |

F/F29 ~ 36プロテクトレジスタ(FF2936P)

< アドレス : H'0080 0BD5 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FP29 | FP30 | FP31 | FP32 | FP33 | FP34 | FP35 | FP36 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-----------------------|----------------------|---|---|
| 8 | FP29 (F/F29 プロテクトビット) | 0 : F/F出力ビットへの書き込み許可 | R | W |
| 9 | FP30 (F/F30 プロテクトビット) | 1 : F/F出力ビットへの書き込み禁止 | | |
| 10 | FP31 (F/F31 プロテクトビット) | | | |
| 11 | FP32 (F/F32 プロテクトビット) | | | |
| 12 | FP33 (F/F33 プロテクトビット) | | | |
| 13 | FP34 (F/F34 プロテクトビット) | | | |
| 14 | FP35 (F/F35 プロテクトビット) | | | |
| 15 | FP36 (F/F36 プロテクトビット) | | | |

F/F37 ~ 44プロテクトレジスタ(FF3744P)

< アドレス : H'0080 0CD5 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FP37 | FP38 | FP39 | FP40 | FP41 | FP42 | FP43 | FP44 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-----------------------|----------------------|---|---|
| 8 | FP37 (F/F37 プロテクトビット) | 0 : F/F出力ビットへの書き込み許可 | R | W |
| 9 | FP38 (F/F38 プロテクトビット) | 1 : F/F出力ビットへの書き込み禁止 | | |
| 10 | FP39 (F/F39 プロテクトビット) | | | |
| 11 | FP40 (F/F40 プロテクトビット) | | | |
| 12 | FP41 (F/F41 プロテクトビット) | | | |
| 13 | FP42 (F/F42 プロテクトビット) | | | |
| 14 | FP43 (F/F43 プロテクトビット) | | | |
| 15 | FP44 (F/F44 プロテクトビット) | | | |

各出力F/R(フリップフロップ)への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止した場合は、F/Fデータレジスタへの書き込みは無効になります。

F/F0 ~ 15データレジスタ(FF015D)

<アドレス : H'0080 0226>

| | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| FD15 | FD14 | FD13 | FD12 | FD11 | FD10 | FD9 | FD8 | FD7 | FD6 | FD5 | FD4 | FD3 | FD2 | FD1 | FD0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000>

| b | ビット名 | 機能 | R | W |
|----|-----------------------|------------------|---|---|
| 0 | FD15 (F/F15 出力データビット) | 0 : F/F出力データ = 0 | R | W |
| 1 | FD14 (F/F14 出力データビット) | 1 : F/F出力データ = 1 | | |
| 2 | FD13 (F/F13 出力データビット) | | | |
| 3 | FD12 (F/F12 出力データビット) | | | |
| 4 | FD11 (F/F11 出力データビット) | | | |
| 5 | FD10 (F/F10 出力データビット) | | | |
| 6 | FD9 (F/F9 出力データビット) | | | |
| 7 | FD8 (F/F8 出力データビット) | | | |
| 8 | FD7 (F/F7 出力データビット) | | | |
| 9 | FD6 (F/F6 出力データビット) | | | |
| 10 | FD5 (F/F5 出力データビット) | | | |
| 11 | FD4 (F/F4 出力データビット) | | | |
| 12 | FD3 (F/F3 出力データビット) | | | |
| 13 | FD2 (F/F2 出力データビット) | | | |
| 14 | FD1 (F/F1 出力データビット) | | | |
| 15 | FD0 (F/F0 出力データビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/F16 ~ 20データレジスタ(FF1620D)

<アドレス : H'0080 022B>

| | | | | | | | |
|----|---|----|------|------|------|------|------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | FD20 | FD19 | FD18 | FD17 | FD16 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|------------------|---|---|
| 8~10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | FD20 (F/F20 出力データビット) | 0 : F/F出力データ = 0 | R | W |
| 12 | FD19 (F/F19 出力データビット) | 1 : F/F出力データ = 1 | | |
| 13 | FD18 (F/F18 出力データビット) | | | |
| 14 | FD17 (F/F17 出力データビット) | | | |
| 15 | FD16 (F/F16 出力データビット) | | | |

F/F21 ~ 28データレジスタ(FF2128D)

<アドレス : H'0080 07D7>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FD21 | FD22 | FD23 | FD24 | FD25 | FD26 | FD27 | FD28 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|-----------------------|------------------|---|---|
| 8 | FD21 (F/F21 出力データビット) | 0 : F/F出力データ = 0 | R | W |
| 9 | FD22 (F/F22 出力データビット) | 1 : F/F出力データ = 1 | | |
| 10 | FD23 (F/F23 出力データビット) | | | |
| 11 | FD24 (F/F24 出力データビット) | | | |
| 12 | FD25 (F/F25 出力データビット) | | | |
| 13 | FD26 (F/F26 出力データビット) | | | |
| 14 | FD27 (F/F27 出力データビット) | | | |
| 15 | FD28 (F/F28 出力データビット) | | | |

F/F29 ~ 36データレジスタ(FF2936D)

<アドレス : H'0080 0BD7>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FD29 | FD30 | FD31 | FD32 | FD33 | FD34 | FD35 | FD36 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|-----------------------|------------------|---|---|
| 8 | FD29 (F/F29 出力データビット) | 0 : F/F出力データ = 0 | R | W |
| 9 | FD30 (F/F30 出力データビット) | 1 : F/F出力データ = 1 | | |
| 10 | FD31 (F/F31 出力データビット) | | | |
| 11 | FD32 (F/F32 出力データビット) | | | |
| 12 | FD33 (F/F33 出力データビット) | | | |
| 13 | FD34 (F/F34 出力データビット) | | | |
| 14 | FD35 (F/F35 出力データビット) | | | |
| 15 | FD36 (F/F36 出力データビット) | | | |

F/F37 ~ 44データレジスタ(FF3744D)

< アドレス : H'0080 0CD7 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| FD37 | FD38 | FD39 | FD40 | FD41 | FD42 | FD43 | FD44 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------|------------------|---|---|
| 8 | FD37 (F/F37 出力データビット) | 0 : F/F出力データ = 0 | R | W |
| 9 | FD38 (F/F38 出力データビット) | 1 : F/F出力データ = 1 | | |
| 10 | FD39 (F/F39 出力データビット) | | | |
| 11 | FD40 (F/F40 出力データビット) | | | |
| 12 | FD41 (F/F41 出力データビット) | | | |
| 13 | FD42 (F/F42 出力データビット) | | | |
| 14 | FD43 (F/F43 出力データビット) | | | |
| 15 | FD44 (F/F44 出力データビット) | | | |

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定がイネーブルの場合のみ操作できます。

10.2.6 割り込み制御部

割り込み制御部は、各タイマから割り込みコントローラに出力する割り込み要求信号を制御します。タイマ割り込み制御レジスタには、各タイマごとに以下のレジスタがあります。

- TOP0～5割り込み要求ステータスレジスタ(TOP05IST)
- TOP0～5割り込み要求マスクレジスタ(TOP05IMA)
- TOP6, 7割り込み要求マスク & ステータスレジスタ(TOP67IMS)
- TOP8, 9割り込み要求マスク & ステータスレジスタ(TOP89IMS)
- TIO0～3割り込み要求マスク & ステータスレジスタ(TIO03IMS)
- TIO4～7割り込み要求マスク & ステータスレジスタ(TIO47IMS)
- TIO8, 9割り込み要求マスク & ステータスレジスタ(TIO89IMS)
- TMS0, 1割り込み要求マスク & ステータスレジスタ(TMS01IMS)
- TIN0～2割り込み要求マスク & ステータスレジスタ(TIN02IMS)
- TIN3～6割り込み要求マスク & ステータスレジスタ(TIN36IMS)
- TIN7～11割り込み要求ステータスレジスタ(TIN711IST)
- TIN7～11割り込み要求マスクレジスタ(TIN711IMA)
- TIN12～19割り込み要求ステータスレジスタ(TIN1219IST)
- TIN12～19割り込み要求マスクレジスタ(TIN1219IMA)
- TIN20～23割り込み要求マスク & ステータスレジスタ(TIN2023IMS)
- TIN24, 25割り込み要求マスクレジスタ(TIN2425IMA)
- TIN24, 25割り込み要求ステータスレジスタ(TIN2425IST)
- TIN26, 27割り込み要求マスクレジスタ(TIN2627IMA)
- TIN26, 27割り込み要求ステータスレジスタ(TIN2627IST)
- TIN28, 29割り込み要求マスクレジスタ(TIN2829IMA)
- TIN28, 29割り込み要求ステータスレジスタ(TIN2829IST)
- TIN30～33割り込み要求マスク & ステータスレジスタ(TIN3033IMS)
- TOU0割り込み要求マスクレジスタ(TOU0IMA)
- TOU0割り込み要求ステータスレジスタ(TOU0IST)
- TOU1割り込み要求マスクレジスタ(TOU1IMA)
- TOU1割り込み要求ステータスレジスタ(TOU1IST)
- TOU2割り込み要求マスクレジスタ(TOU2IMA)
- TOU2割り込み要求ステータスレジスタ(TOU2IST)

1つの割り込みベクタテーブルに対して割り込み要求要因数が1つの割り込みは、タイマ内に割り込み制御レジスタを持っておらず、割り込みコントローラ中で割り込み要求ステータスフラグの管理を自動的にを行います。

(詳細については、「第5章 割り込みコントローラ」を参照してください。)

- TOP10 TOP10出力割り込み要求(IRQ5)
- TID0 TID0出力割り込み要求(IRQ14)
- TID1 TID1出力割り込み要求(IRQ15)
- TID2 TID2出力割り込み要求(IRQ17)

1つの割り込みベクタテーブルに対して、割り込み要因数が2以上の割り込みは割り込み制御レジスタを使用した割り込み要求制御と割り込み入力判定を行っています。このため割り込みコントローラ内のステータスフラグは割り込み許可された割り込み要求の判定ビットとしてのみ機能し、書き込み処理は出来ません。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求マスクビット

グルーピングされた割り込み要求の内、不要な割り込みを禁止にするためのフラグです。割り込み要求許可時には"0"、割り込み要求禁止時には"1"を設定します。

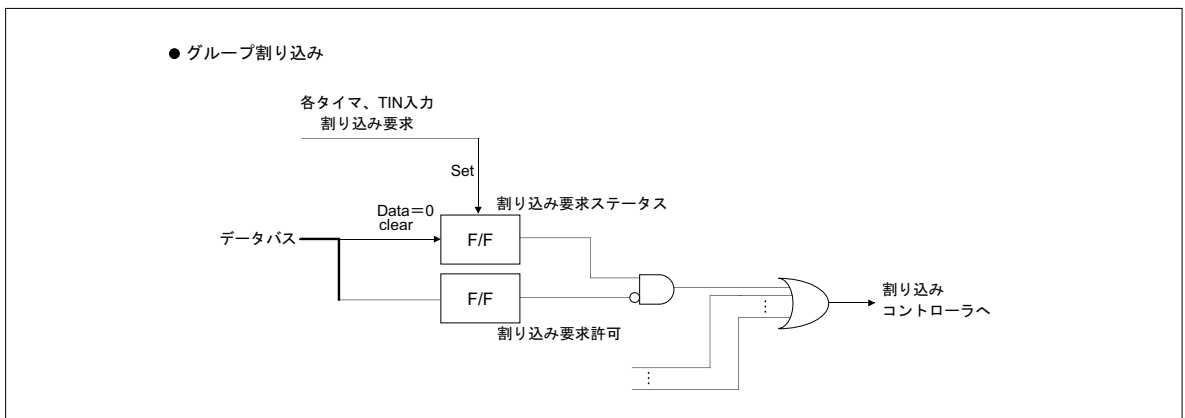
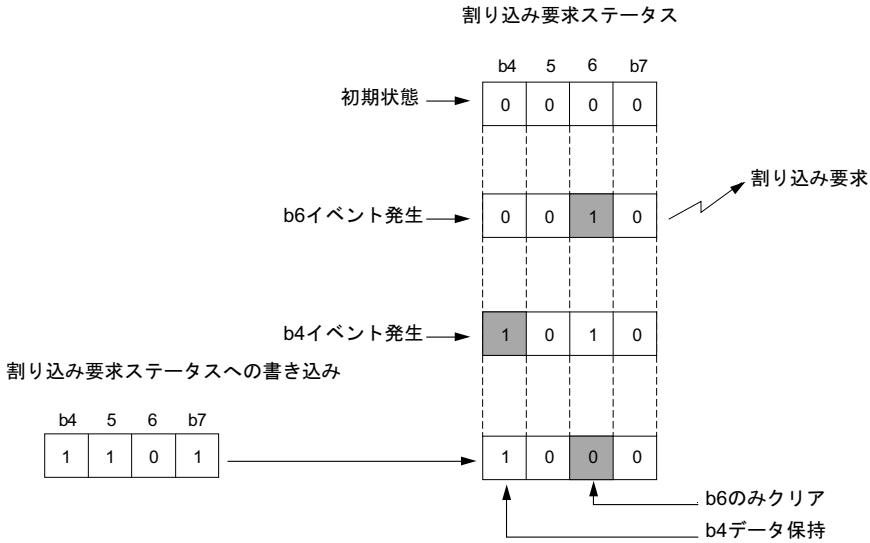


図10.2.3 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



```
ISTREG = 0xfd; /*ISTAT1(0x02ビット)のみクリア*/
```

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



```
ISTREG &= 0xfd; /*ISTAT1(0x02ビット)のみクリア*/
```

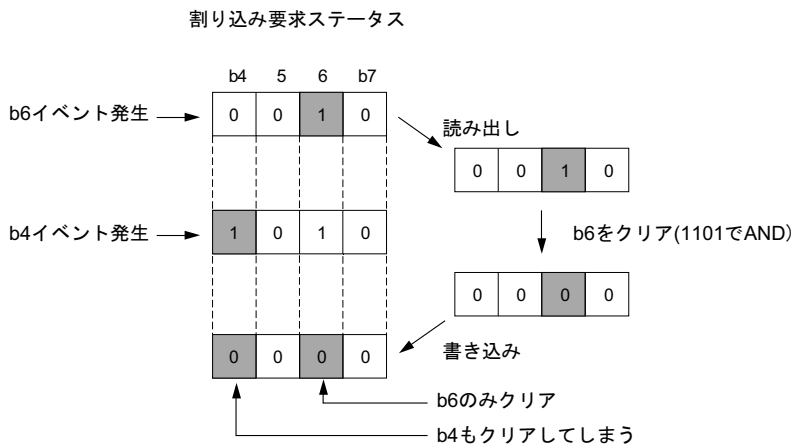


図10.2.4 割り込み要求ステータスクリア例

マルチジャンクションタイマから出力される割り込み要求信号と、割り込みコントローラの入力の間を以下に示します。

表10.2.6 MJTで発生する割り込み要求信号

| 信号名 | 発生源 | 割り込み要求要因(注1) | ICU入力要因数 |
|-------|--|-------------------|----------|
| IRQ0 | TIO0, TIO1, TIO2, TIO3 | TIO0 ~ 3出力割り込み | 4 |
| IRQ1 | TOP6, TOP7 | TOP6, 7出力割り込み | 2 |
| IRQ2 | TOP0, TOP1, TOP2, TOP3, TOP4, TOP5 | TOP0 ~ 5出力割り込み | 6 |
| IRQ3 | TIO8, TIO9 | TIO8, 9出力割り込み | 2 |
| IRQ4 | TIO4, TIO5, TIO6, TIO7 | TIO4 ~ 7出力割り込み | 4 |
| IRQ6 | TOP8, TOP9 | TOP8, 9出力割り込み | 2 |
| IRQ7 | TMS0, TMS1 | TMS0, 1出力割り込み | 2 |
| IRQ8 | TIN7, TIN8, TIN9, TIN10, TIN11 | TIN7 ~ 11入力割り込み | 5 |
| IRQ9 | TIN0, TIN1, TIN2 | TIN0 ~ 2入力割り込み | 3 |
| IRQ10 | TIN12, TIN13, TIN14, TIN15, TIN16, TIN17, TIN18, TIN19 | TIN12 ~ 19入力割り込み | 8 |
| IRQ11 | TIN20, TIN21, TIN22, TIN23, TIN24, TIN25, TIN26, TIN27, TIN28, TIN29 | TIN20 ~ 29入力割り込み | 10 |
| IRQ12 | TIN3, TIN4, TIN5, TIN6 | TIN3 ~ 6入力割り込み | 4 |
| IRQ13 | TOU0_0, TOU0_1, TOU0_2, TOU0_3, TOU0_4, TOU0_5, TOU0_6, TOU0_7 | TOU0出力割り込み | 8 |
| IRQ16 | TOU1_0, TOU1_1, TOU1_2, TOU1_3, TOU1_4, TOU1_5, TOU1_6, TOU1_7, TOU2_0, TOU2_1, TOU2_2, TOU2_3, TOU2_4, TOU2_5, TOU2_6, TOU2_7 | TOU1 + TOU2出力割り込み | 16 |
| IRQ18 | TIN30, TIN31, TIN32, TIN33 | TIN30 ~ 33入力割り込み | 4 |

注 . . TOP10、TID0 ~ 2は割り込みグループで1つの要求要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

注1 . 「第5章 割り込みコントローラ(ICU)」を参照してください。

TOP0～5割り込み要求ステータスレジスタ(TOP05IST)

<アドレス: H'0080 0230 >

| | | | | | | | |
|----|---|--------|--------|--------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | TOPIS5 | TOPIS4 | TOPIS3 | TOPIS2 | TOPIS1 | TOPIS0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------|-------------|--------|---|
| 0, 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | TOPIS5 (TOP5 割り込み要求ステータスビット) | 0: 割り込み要求なし | R (注1) | |
| 3 | TOPIS4 (TOP4 割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 4 | TOPIS3 (TOP3 割り込み要求ステータスビット) | | | |
| 5 | TOPIS2 (TOP2 割り込み要求ステータスビット) | | | |
| 6 | TOPIS1 (TOP1 割り込み要求ステータスビット) | | | |
| 7 | TOPIS0 (TOP0 割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOP0～5割り込み要求マスクレジスタ(TOP05IMA)

<アドレス: H'0080 0231 >

| | | | | | | | |
|----|---|--------|--------|--------|--------|--------|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | TOPIM5 | TOPIM4 | TOPIM3 | TOPIM2 | TOPIM1 | TOPIM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00 >

| b | ビット名 | 機能 | R | W |
|------|----------------------------|------------------|---|---|
| 8, 9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | TOPIM5 (TOP5 割り込み要求マスクビット) | 0: 割り込み要求許可 | R | W |
| 11 | TOPIM4 (TOP4 割り込み要求マスクビット) | 1: 割り込み要求マスク(禁止) | | |
| 12 | TOPIM3 (TOP3 割り込み要求マスクビット) | | | |
| 13 | TOPIM2 (TOP2 割り込み要求マスクビット) | | | |
| 14 | TOPIM1 (TOP1 割り込み要求マスクビット) | | | |
| 15 | TOPIM0 (TOP0 割り込み要求マスクビット) | | | |

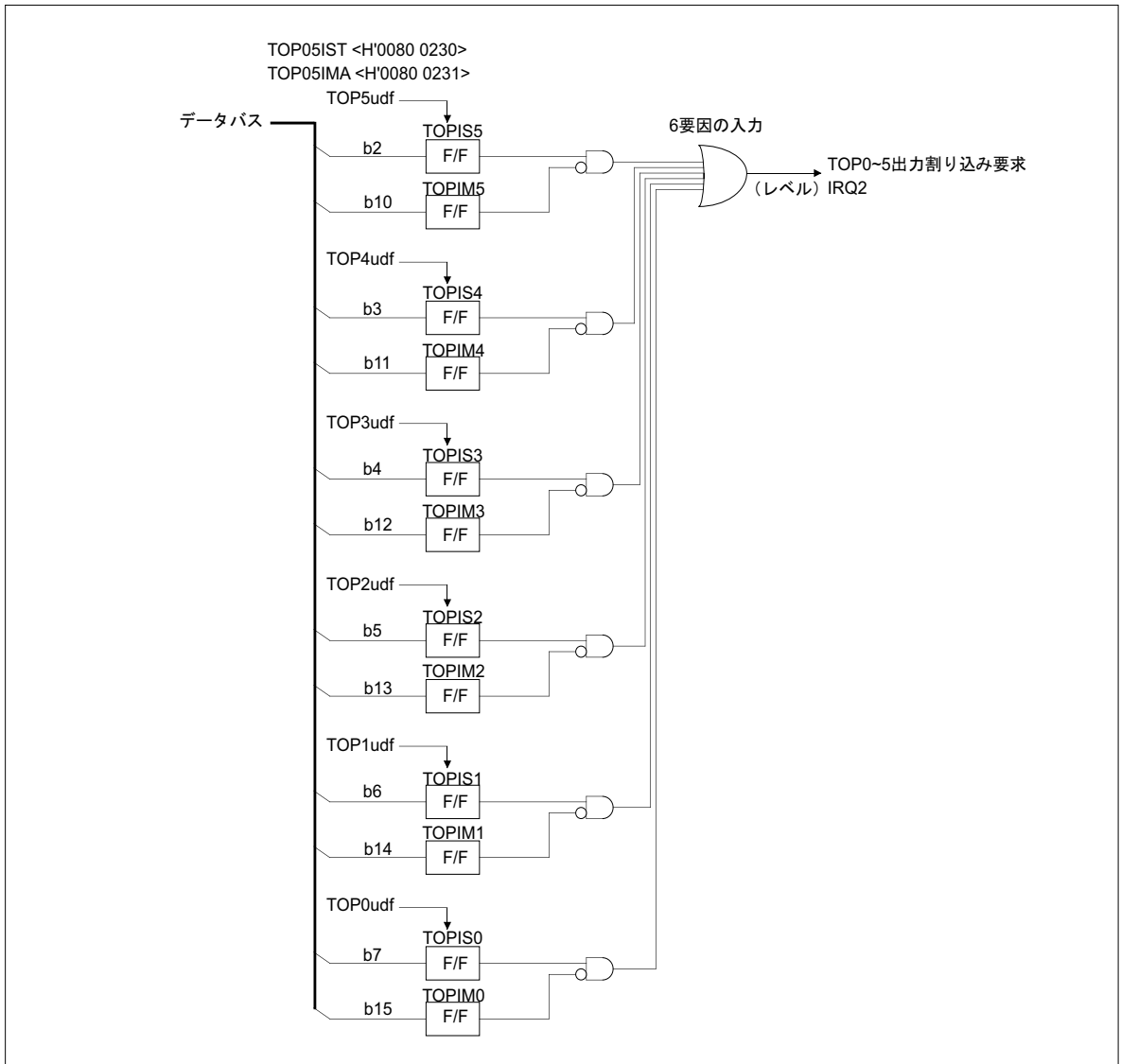


図10.2.5 TOP0~5出力割り込み要求ブロック図

TOP6, 7割り込み要求マスク & ステータスレジスタ (TOP67IMS)

<アドレス : H'0080 0232 >

| | | | | | | | |
|--------|---|--------|---|--------|---|--------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| TOPIS7 | | TOPIS6 | | TOPIM7 | | TOPIM6 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|------------------------------|--------------------|--------|---|
| 0, 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | TOPIS7 (TOP7 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 3 | TOPIS6 (TOP6 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 4, 5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TOPIM7 (TOP7 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 7 | TOPIM6 (TOP6 割り込み要求マスクビット) | 1 : 割り込み要求マスク (禁止) | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

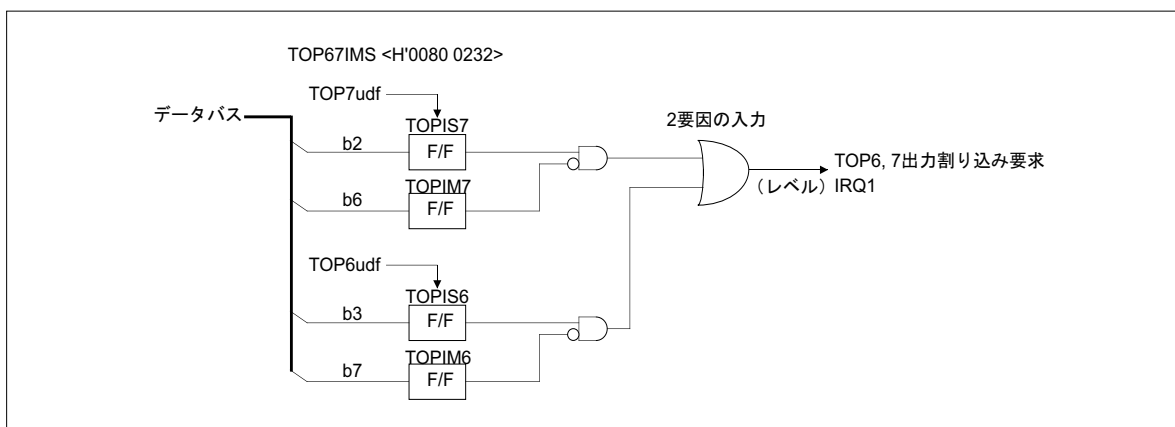


図10.2.6 TOP6, 7出力割り込み要求ブロック図

TOP8, 9割り込み要求マスク & ステータスレジスタ(TOP89IMS)

<アドレス : H'0080 0233>

| | | | | | | | |
|--------|---|--------|----|--------|----|--------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOPIS9 | | TOPIS8 | | TOPIM9 | | TOPIM8 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|--------|-------------------------------|---------------------|--------|---|
| 8, 9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | TOPIS9(TOP9 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 11 | TOPIS8(TOP8 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 12, 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | TOPIM9(TOP9 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 15 | TOPIM8(TOP8 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

注 . ・ TOP10は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

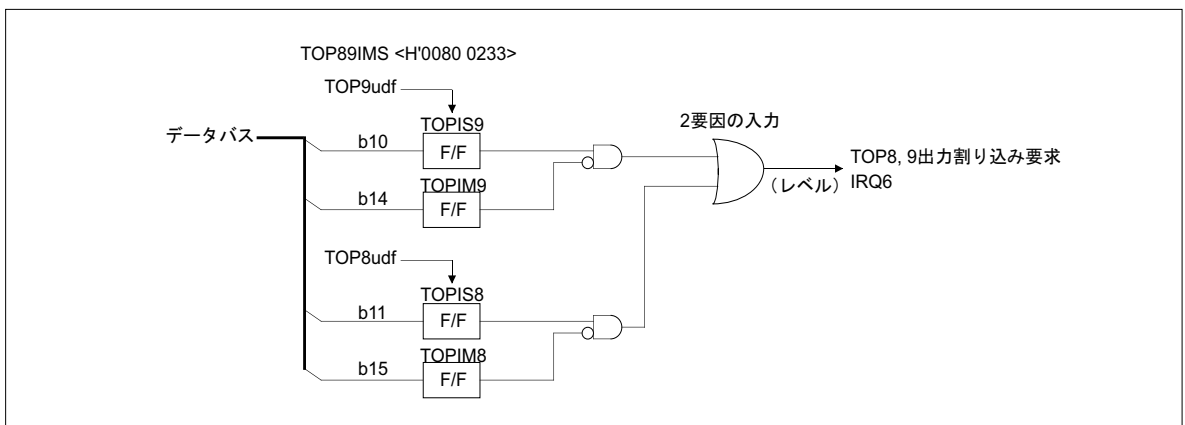


図10.2.7 TOP8, 9出力割り込み要求ブロック図

TIO0～3割り込み要求マスク&ステータスレジスタ(TIO03IMS)

<アドレス：H'0080 0234>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| TIOIS3 | TIOIS2 | TIOIS1 | TIOIS0 | TIOIM3 | TIOIM2 | TIOIM1 | TIOIM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時：H'00>

| b | ビット名 | 機能 | R | W |
|---|------------------------------|------------------|---|------|
| 0 | TIOIS3 (TIO3 割り込み要求ステータスビット) | 0: 割り込み要求なし | R | (注1) |
| 1 | TIOIS2 (TIO2 割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 2 | TIOIS1 (TIO1 割り込み要求ステータスビット) | | | |
| 3 | TIOIS0 (TIO0 割り込み要求ステータスビット) | | | |
| 4 | TIOIM3 (TIO3 割り込み要求マスクビット) | 0: 割り込み要求許可 | R | W |
| 5 | TIOIM2 (TIO2 割り込み要求マスクビット) | 1: 割り込み要求マスク(禁止) | | |
| 6 | TIOIM1 (TIO1 割り込み要求マスクビット) | | | |
| 7 | TIOIM0 (TIO0 割り込み要求マスクビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

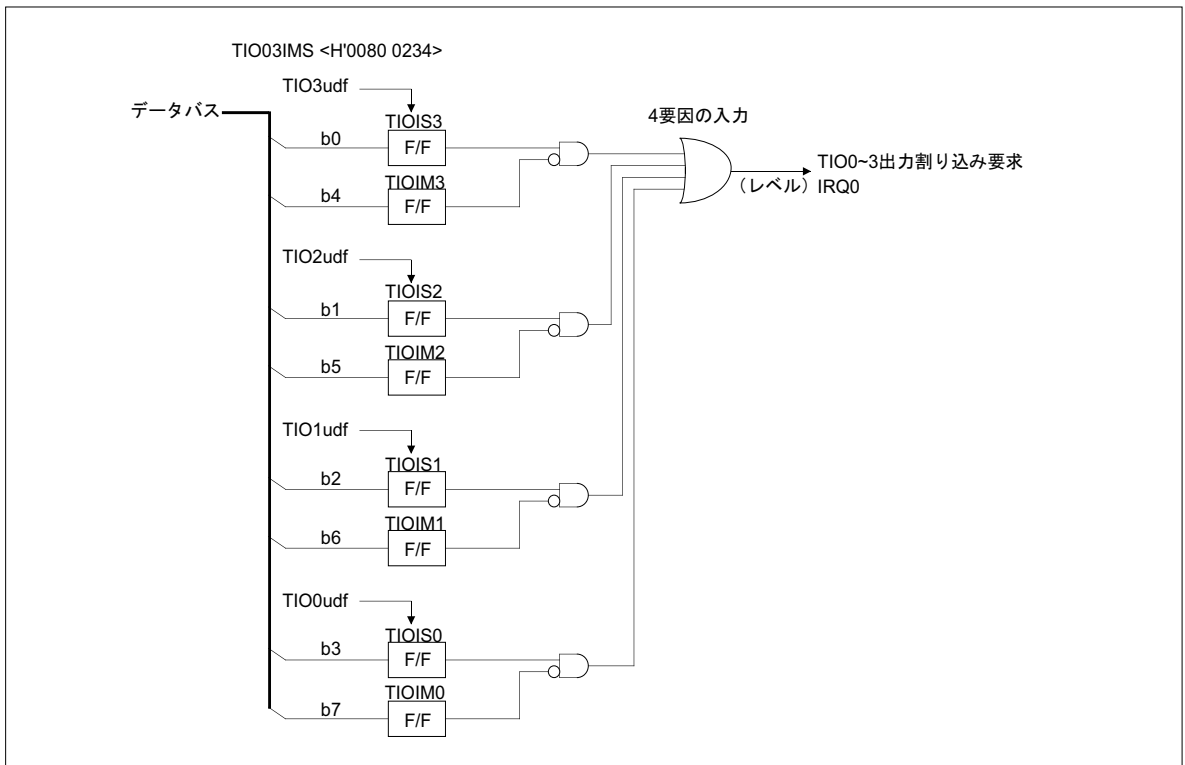


図10.2.8 TIO0～3出力割り込み要求ブロック図

TIO4～7割り込み要求マスク&ステータスレジスタ(TIO47IMS)

<アドレス : H'0080 0235 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| TIOIS7 | TIOIS6 | TIOIS5 | TIOIS4 | TIOIM7 | TIOIM6 | TIOIM5 | TIOIM4 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|--------------------------------|---------------------|---|------|
| 8 | TIOIS7 (TIO7 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R | (注1) |
| 9 | TIOIS6 (TIO6 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TIOIS5 (TIO5 割り込み要求ステータスビット) | | | |
| 11 | TIOIS4 (TIO4 割り込み要求ステータスビット) | | | |
| 12 | TIOIM7 (TIO7 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 13 | TIOIM6 (TIO6 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 14 | TIOIM5 (TIO5 割り込み要求マスクビット) | | | |
| 15 | TIOIM4 (TIO4 割り込み要求マスクビット) | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

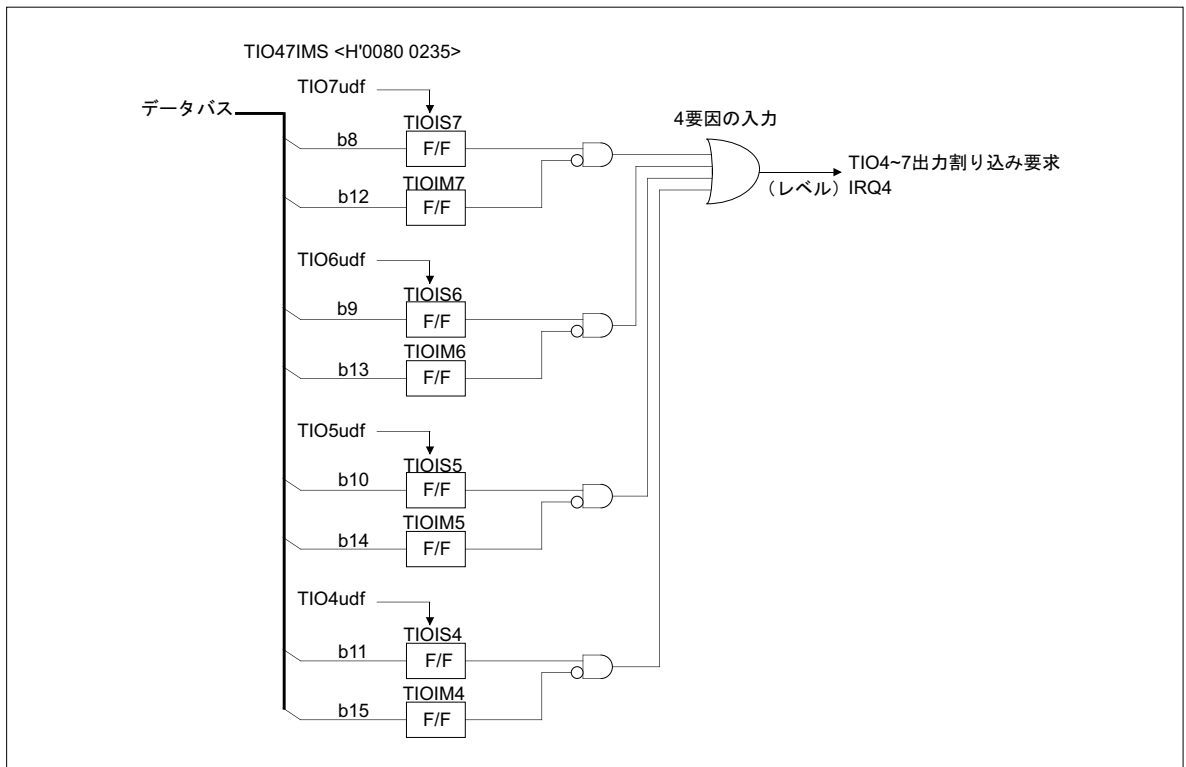


図10.2.9 TIO4～7出力割り込み要求ブロック図

TIO8, 9割り込み要求マスク & ステータスレジスタ(TIO89IMS)

<アドレス : H'0080 0236 >

| | | | | | | | |
|----|---|--------|--------|---|---|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| | | TIOIS9 | TIOIS8 | | | TIOIM9 | TIOIM8 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|-------------------------------|---------------------|--------|---|
| 0, 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | TIOIS9(TIO9 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 3 | TIOIS8(TIO8 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 4, 5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TIOIM9(TIO9 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 7 | TIOIM8(TIO8 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

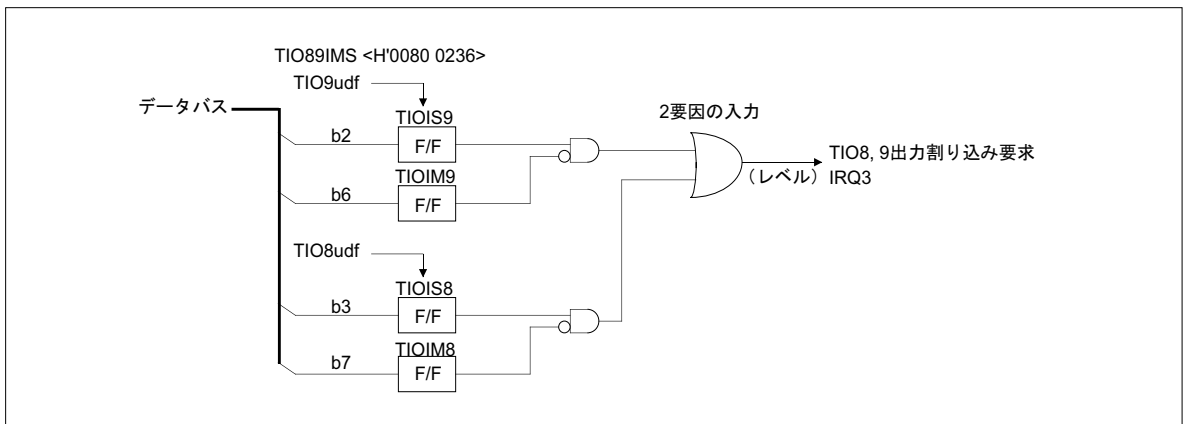


図10.2.10 TIO8, 9出力割り込み要求ブロック図

TMS0, 1割り込み要求マスク & ステータスレジスタ(TMS01IMS)

<アドレス : H'0080 0237>

| | | | | | | | |
|--------|---|--------|----|--------|----|--------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TMSIS1 | | TMSIS0 | | TMSIM1 | | TMSIM0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|--------|------------------------------|-------------------|--------|---|
| 8, 9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | TMSIS1 (TMS1 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 11 | TMSIS0 (TMS0 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 12, 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | TMSIM1 (TMS1 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 15 | TMSIM0 (TMS0 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します

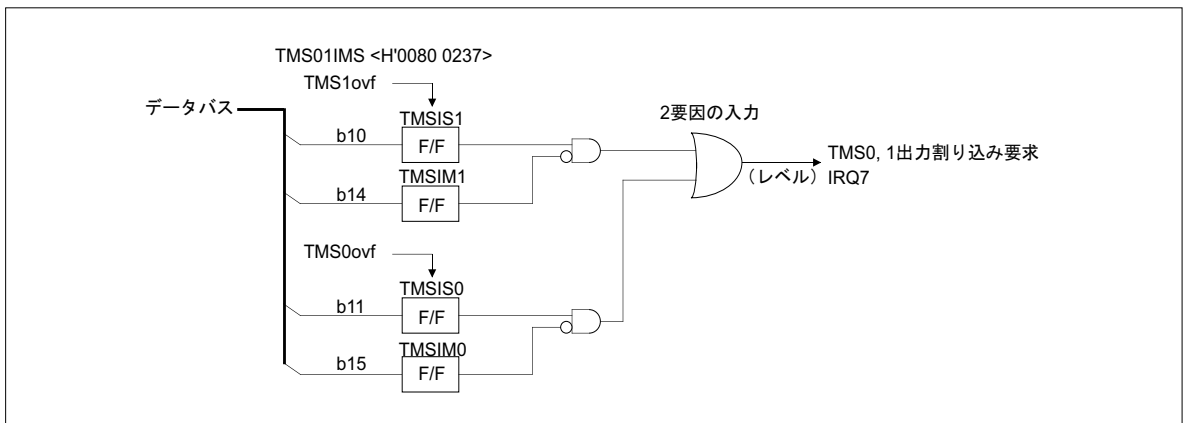


図10.2.11 TMS0, 1出力割り込み要求ブロック図

TIN0 ~ 2割り込み要求マスク & ステータスレジスタ(TIN02IMS)

<アドレス : H'0080 0238 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|--------|--------|--------|---|--------|--------|--------|
| 0 | TINIS2 | TINIS1 | TINIS0 | 0 | TINIM2 | TINIM1 | TINIM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|--------------------------------|---------------------|----------|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1 | TINIS2 (TIN2 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 2 | TINIS1 (TIN1 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 3 | TINIS0 (TIN0 割り込み要求ステータスビット) | | | |
| 4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | TINIM2 (TIN2 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 6 | TINIM1 (TIN1 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 7 | TINIM0 (TIN0 割り込み要求マスクビット) | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

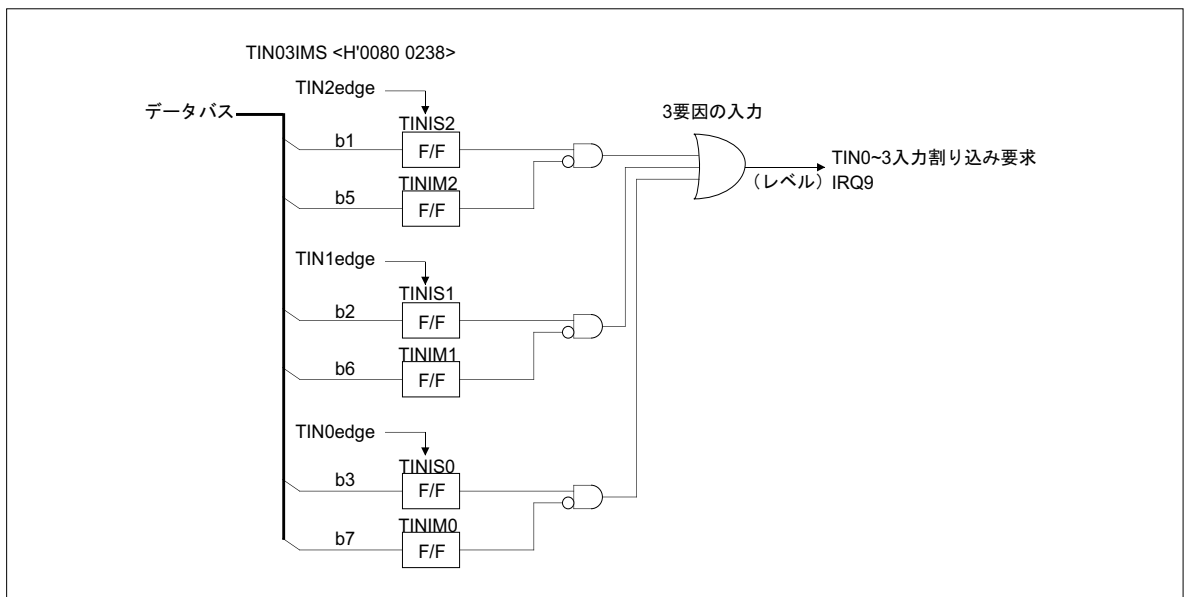


図10.2.12 TIN0 ~ 3入力割り込み要求ブロック図

TIN3～6割り込み要求マスク & ステータスレジスタ(TIN36IMS)

<アドレス : H'0080 0239 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| TINIS6 | TINIS5 | TINIS4 | TINIS3 | TINIM6 | TINIM5 | TINIM4 | TINIM3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------------|---------------------|--------|---|
| 8 | TINIS6(TIN6 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 9 | TINIS5(TIN5 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TINIS4(TIN4 割り込み要求ステータスビット) | | | |
| 11 | TINIS3(TIN3 割り込み要求ステータスビット) | | | |
| 12 | TINIM6(TIN6 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 13 | TINIM5(TIN5 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 14 | TINIM4(TIN4 割り込み要求マスクビット) | | | |
| 15 | TINIM3(TIN3 割り込み要求マスクビット) | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

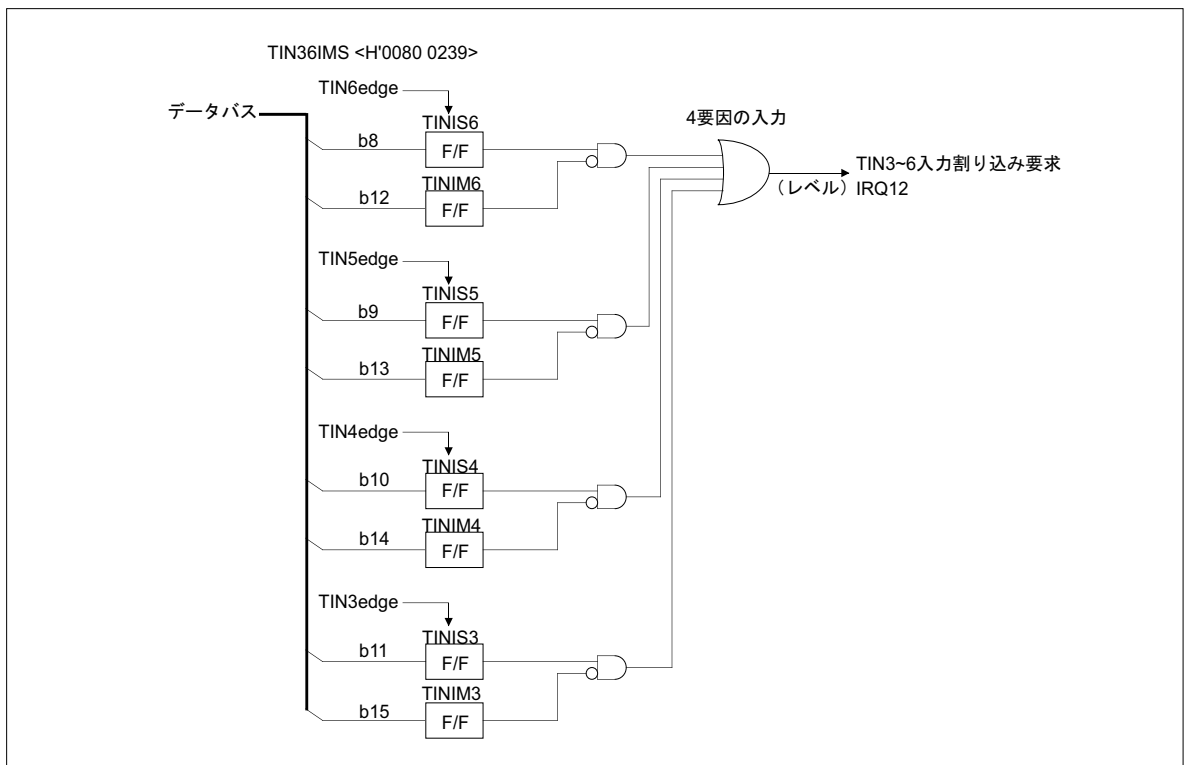


図10.2.13 TIN3～6入力割り込み要求ブロック図

TIN7～11割り込み要求ステータスレジスタ(TIN711IST)

<アドレス: H'0080 023A>

| | | | | | | | |
|----|---|---|---------|---------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | TINIS11 | TINIS10 | TINIS9 | TINIS8 | TINIS7 |
| | | | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|----------------------------------|-------------|--------|---|
| 0～2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3 | TINIS11 (TIN11 割り込み要求ステータスビット) | 0: 割り込み要求なし | R (注1) | |
| 4 | TINIS10 (TIN10 割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 5 | TINIS9 (TIN9 割り込み要求ステータスビット) | | | |
| 6 | TINIS8 (TIN8 割り込み要求ステータスビット) | | | |
| 7 | TINIS7 (TIN7 割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN7～11割り込み要求マスクレジスタ(TIN711IMA)

<アドレス: H'0080 023B>

| | | | | | | | |
|----|---|----|---------|---------|--------|--------|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | TINIM11 | TINIM10 | TINIM9 | TINIM8 | TINIM7 |
| | | | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|------|--------------------------------|------------------|---|---|
| 8～10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | TINIM11 (TIN11 割り込み要求マスクビット) | 0: 割り込み要求許可 | R | W |
| 12 | TINIM10 (TIN10 割り込み要求マスクビット) | 1: 割り込み要求マスク(禁止) | | |
| 13 | TINIM9 (TIN9 割り込み要求マスクビット) | | | |
| 14 | TINIM8 (TIN8 割り込み要求マスクビット) | | | |
| 15 | TINIM7 (TIN7 割り込み要求マスクビット) | | | |

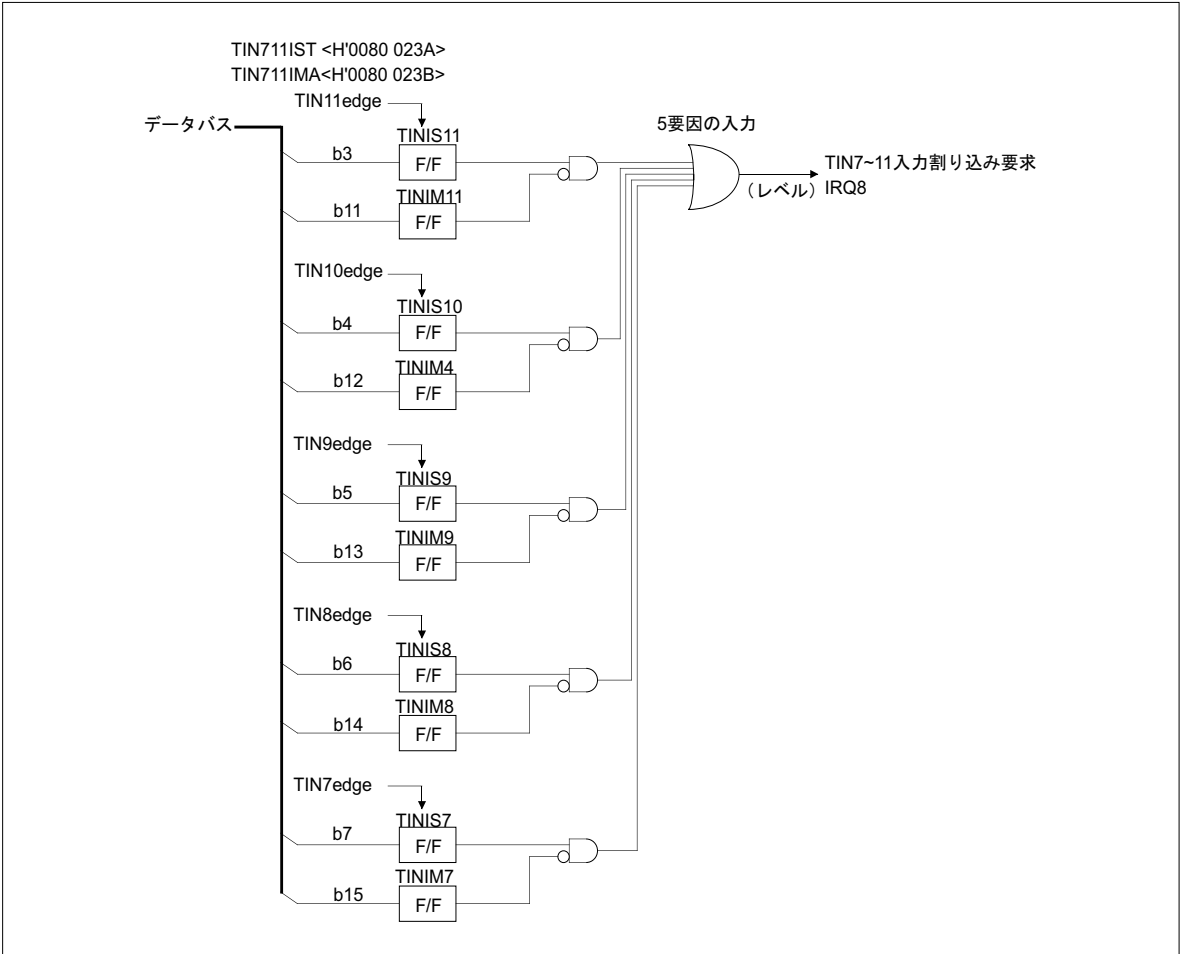


図10.2.14 TIN7~11入力割り込み要求ブロック図

TIN12～19割り込み要求ステータスレジスタ(TIN1219IST)

<アドレス: H'0080 023C>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TINIS19 | TINIS18 | TINIS17 | TINIS16 | TINIS15 | TINIS14 | TINIS13 | TINIS12 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|---|---------------------------------|-------------|---|------|
| 0 | TINIS19(TIN19 割り込み要求ステータスビット) | 0: 割り込み要求なし | R | (注1) |
| 1 | TINIS18(TIN18 割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 2 | TINIS17(TIN17 割り込み要求ステータスビット) | | | |
| 3 | TINIS16(TIN16 割り込み要求ステータスビット) | | | |
| 4 | TINIS15(TIN15 割り込み要求ステータスビット) | | | |
| 5 | TINIS14(TIN14 割り込み要求ステータスビット) | | | |
| 6 | TINIS13(TIN13 割り込み要求ステータスビット) | | | |
| 7 | TINIS12(TIN12 割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN12～19割り込み要求マスクレジスタ(TIN1219IMA)

<アドレス: H'0080 023D>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TINIM19 | TINIM18 | TINIM17 | TINIM16 | TINIM15 | TINIM14 | TINIM13 | TINIM12 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|----|-------------------------------|------------------|---|---|
| 8 | TINIM19(TIN19 割り込み要求マスクビット) | 0: 割り込み要求許可 | R | W |
| 9 | TINIM18(TIN18 割り込み要求マスクビット) | 1: 割り込み要求マスク(禁止) | | |
| 10 | TINIM17(TIN17 割り込み要求マスクビット) | | | |
| 11 | TINIM16(TIN16 割り込み要求マスクビット) | | | |
| 12 | TINIM15(TIN15 割り込み要求マスクビット) | | | |
| 13 | TINIM14(TIN14 割り込み要求マスクビット) | | | |
| 14 | TINIM13(TIN13 割り込み要求マスクビット) | | | |
| 15 | TINIM12(TIN12 割り込み要求マスクビット) | | | |

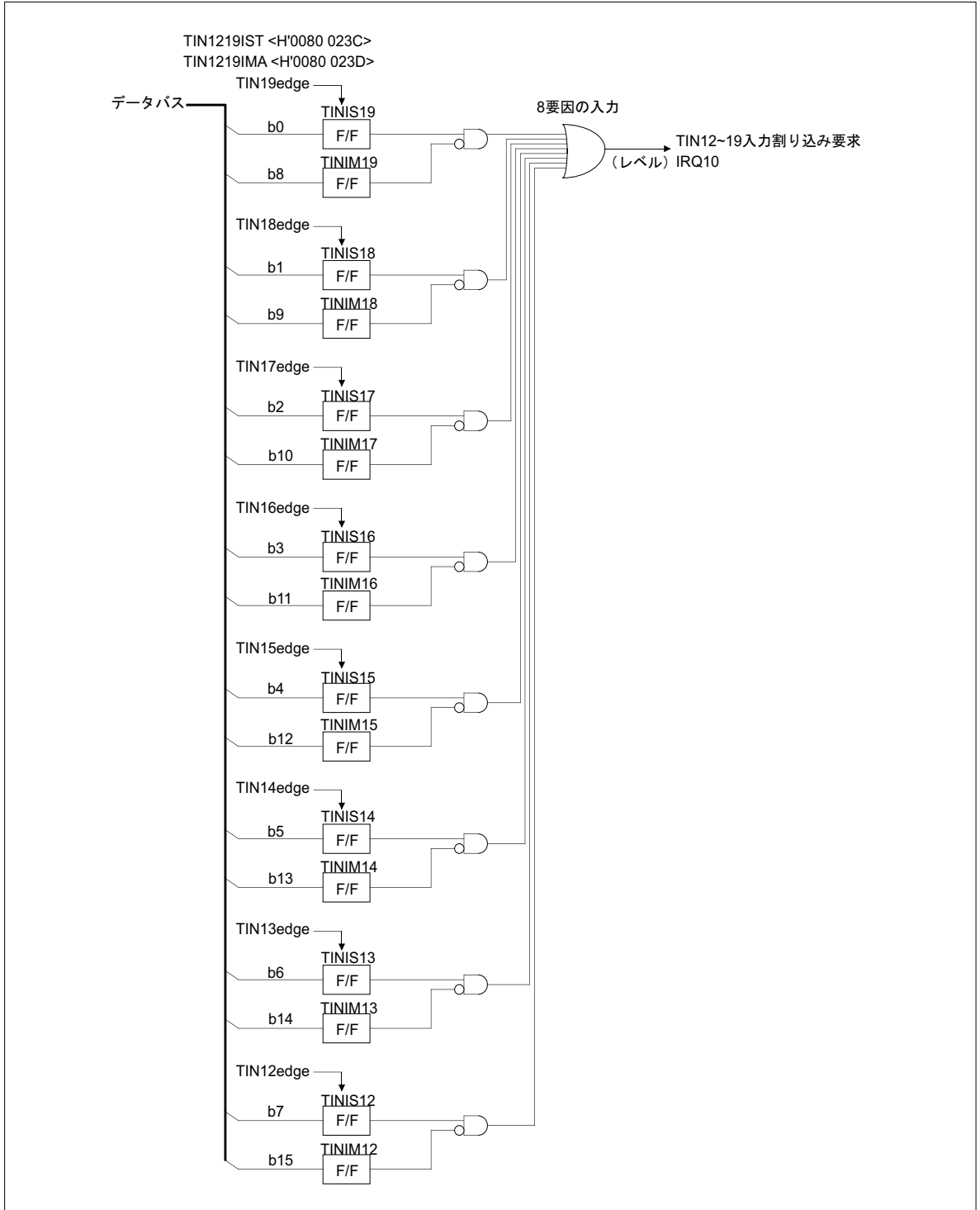


図10.2.15 TIN12~19力割り込み要求ブロック図

TIN20 ~ 23割り込み要求マスク & ステータスレジスタ(TIN2023IMS)

< アドレス : H'0080 023E >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TINIS23 | TINIS22 | TINIS21 | TINIS20 | TINIM23 | TINIM22 | TINIM21 | TINIM20 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|----------------------------------|---------------------|--------|---|
| 0 | TINIS23 (TIN23 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 1 | TINIS22 (TIN22 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 2 | TINIS21 (TIN21 割り込み要求ステータスビット) | | | |
| 3 | TINIS20 (TIN20 割り込み要求ステータスビット) | | | |
| 4 | TINIM23 (TIN23 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 5 | TINIM22 (TIN22 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 6 | TINIM21 (TIN21 割り込み要求マスクビット) | | | |
| 7 | TINIM20 (TIN20 割り込み要求マスクビット) | | | |

注 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN24, 25割り込み要求マスクレジスタ(TIN2425IMA)

< アドレス : H'0080 07E2 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|---|---|---------|---------|
| | | | | | | TINIM24 | TINIM25 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TINIM24 (TIN24 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 7 | TINIM25 (TIN25 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

TIN24, 25割り込み要求ステータスレジスタ(TIN2425IST)

< アドレス : H'0080 07E3 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|----|---|----|----|----|----|---------|---------|
| | | | | | | TINIS24 | TINIS25 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|----------------------------------|--------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | TINIS24 (TIN24 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R | W |
| 15 | TINIS25 (TIN25 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |

TIN26, 27割り込み要求マスクレジスタ(TIN2627IMA)

<アドレス : H'0080 0BE2>

| | | | | | | | |
|----|---|---|---|---|---|--------------|--------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | TINIM26 0 | TINIM27 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TINIM26 (TIN26 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 7 | TINIM27 (TIN27 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

TIN26, 27割り込み要求ステータスレジスタ(TIN2627IST)

<アドレス : H'0080 0BE3>

| | | | | | | | |
|----|---|----|----|----|----|--------------|--------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | TINIS26 0 | TINIS27 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|----------------------------------|--------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | TINIS26 (TIN26 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R | W |
| 15 | TINIS27 (TIN27 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |

TIN28, 29割り込み要求マスクレジスタ(TIN2829IMA)

<アドレス : H'0080 0CE2>

| | | | | | | | |
|----|---|---|---|---|---|--------------|--------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | TINIM28 0 | TINIM29 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TINIM28 (TIN28 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 7 | TINIM29 (TIN29 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |

TIN28, 29割り込み要求ステータスレジスタ(TIN2829IST)

<アドレス : H'0080 0CE3>

| | | | | | | | |
|----|---|----|----|----|----|--------------|--------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | TINIS28 0 | TINIS29 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|------|----------------------------------|--------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | TINIS28 (TIN28 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R | W |
| 15 | TINIS29 (TIN29 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |

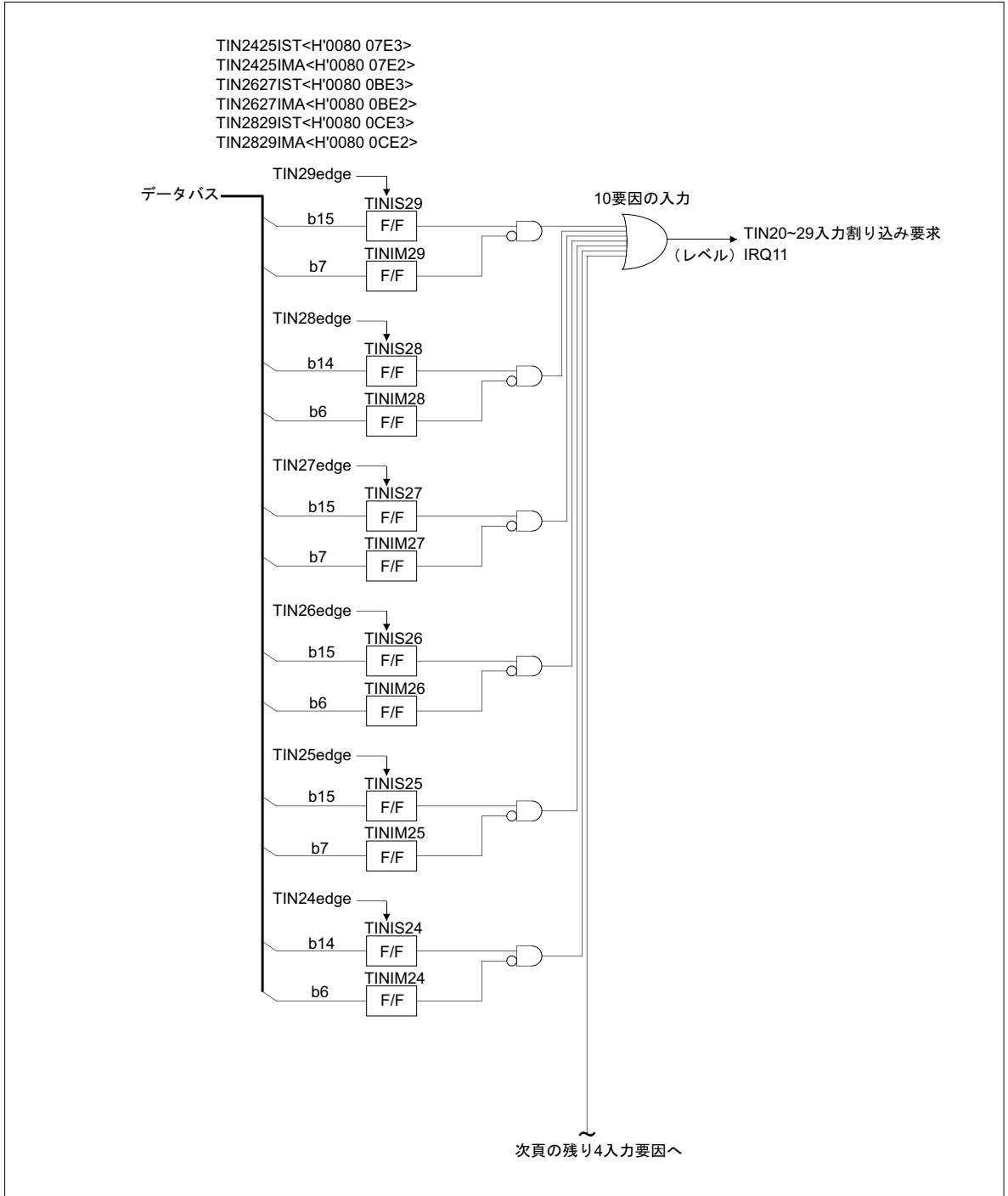


図10.2.16 TIN20~29入力割り込み要求ブロック図(1/2)

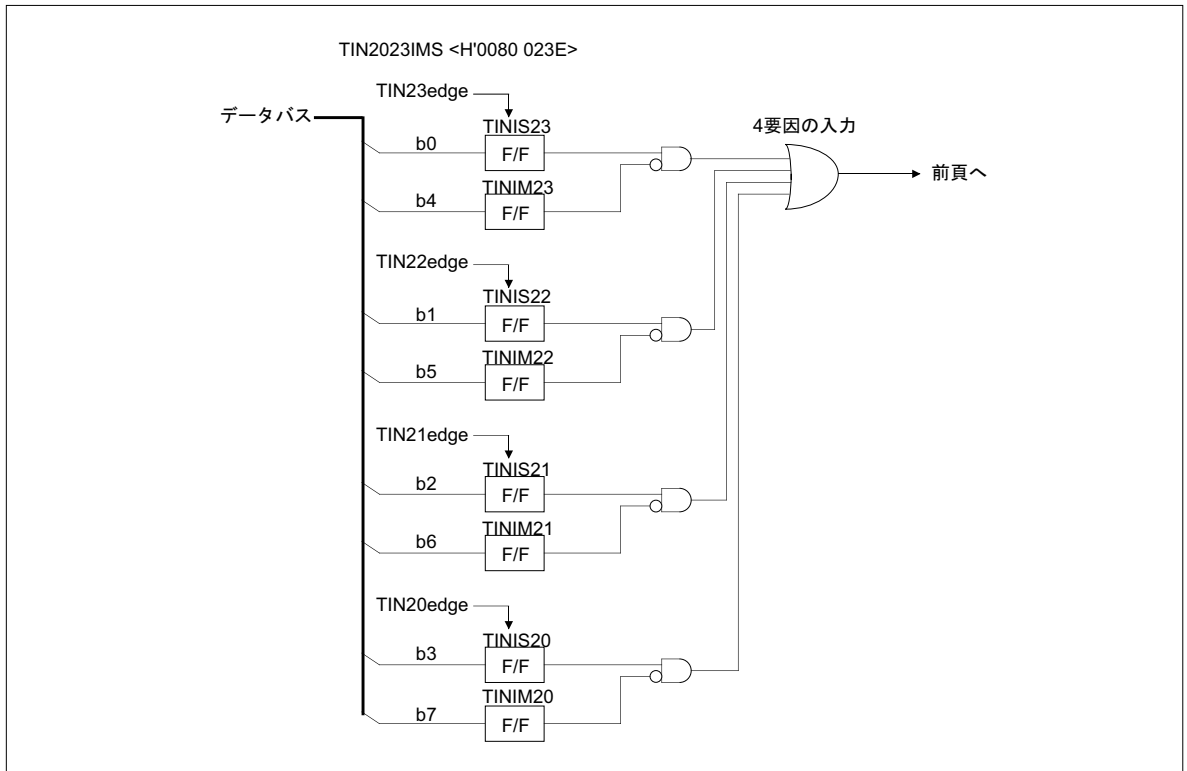


図10.2.17 TIN20~29入力割り込み要求ブロック図(2/2)

TIN30 ~ 33割り込み要求マスク & ステータスレジスタ(TIN3033IMS)

<アドレス : H'0080 023F>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TINIS33 | TINIS32 | TINIS31 | TINIS30 | TINIM33 | TINIM32 | TINIM31 | TINIM30 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|----------------------------------|---------------------|--------|---|
| 8 | TINIS33 (TIN33 割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 9 | TINIS32 (TIN32 割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TINIS31 (TIN31 割り込み要求ステータスビット) | | | |
| 11 | TINIS30 (TIN30 割り込み要求ステータスビット) | | | |
| 12 | TINIM33 (TIN33 割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 13 | TINIM32 (TIN32 割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 14 | TINIM31 (TIN31 割り込み要求マスクビット) | | | |
| 15 | TINIM30 (TIN30 割り込み要求マスクビット) | | | |

注 . ・ TIN24 ~ TIN29は割り込み機能がないため、割り込みステータス/マスクレジスタはありません。

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

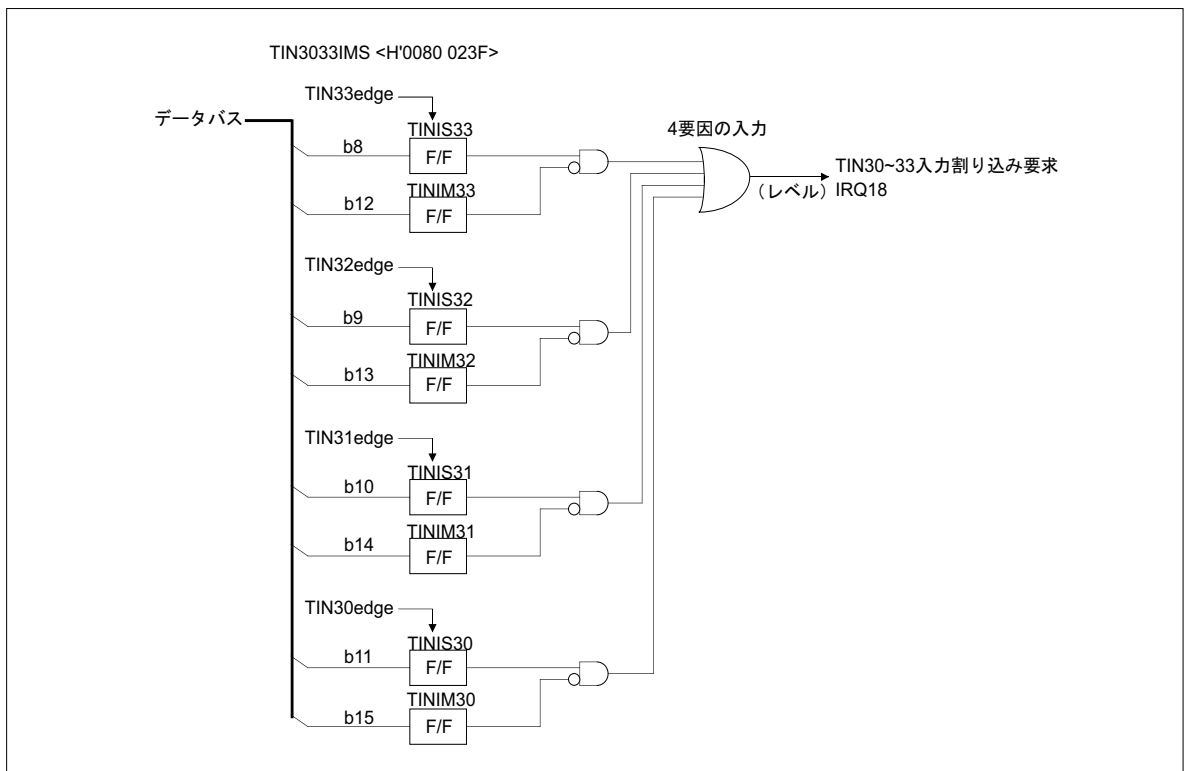


図10.2.18 TIN30 ~ 33入力割り込み要求ブロック図

TOU0割り込み要求マスクレジスタ(TOU0IMA)

< アドレス : H'0080 07D2 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU0IM7 | TOU0IM6 | TOU0IM5 | TOU0IM4 | TOU0IM3 | TOU0IM2 | TOU0IM1 | TOU0IM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|--------------------------------|---------------------|---|---|
| 0 | TOU0IM7 (TOU0_7割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 1 | TOU0IM6 (TOU0_6割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 2 | TOU0IM5 (TOU0_5割り込み要求マスクビット) | | | |
| 3 | TOU0IM4 (TOU0_4割り込み要求マスクビット) | | | |
| 4 | TOU0IM3 (TOU0_3割り込み要求マスクビット) | | | |
| 5 | TOU0IM2 (TOU0_2割り込み要求マスクビット) | | | |
| 6 | TOU0IM1 (TOU0_1割り込み要求マスクビット) | | | |
| 7 | TOU0IM0 (TOU0_0割り込み要求マスクビット) | | | |

TOU0割り込み要求ステータスレジスタ(TOU0IST)

< アドレス : H'0080 07D3 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU0IS7 | TOU0IS6 | TOU0IS5 | TOU0IS4 | TOU0IS3 | TOU0IS2 | TOU0IS1 | TOU0IS0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|----------------------------------|--------------|--------|---|
| 8 | TOU0IS7 (TOU0_7割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 9 | TOU0IS6 (TOU0_6割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TOU0IS5 (TOU0_5割り込み要求ステータスビット) | | | |
| 11 | TOU0IS4 (TOU0_4割り込み要求ステータスビット) | | | |
| 12 | TOU0IS3 (TOU0_3割り込み要求ステータスビット) | | | |
| 13 | TOU0IS2 (TOU0_2割り込み要求ステータスビット) | | | |
| 14 | TOU0IS1 (TOU0_1割り込み要求ステータスビット) | | | |
| 15 | TOU0IS0 (TOU0_0割り込み要求ステータスビット) | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

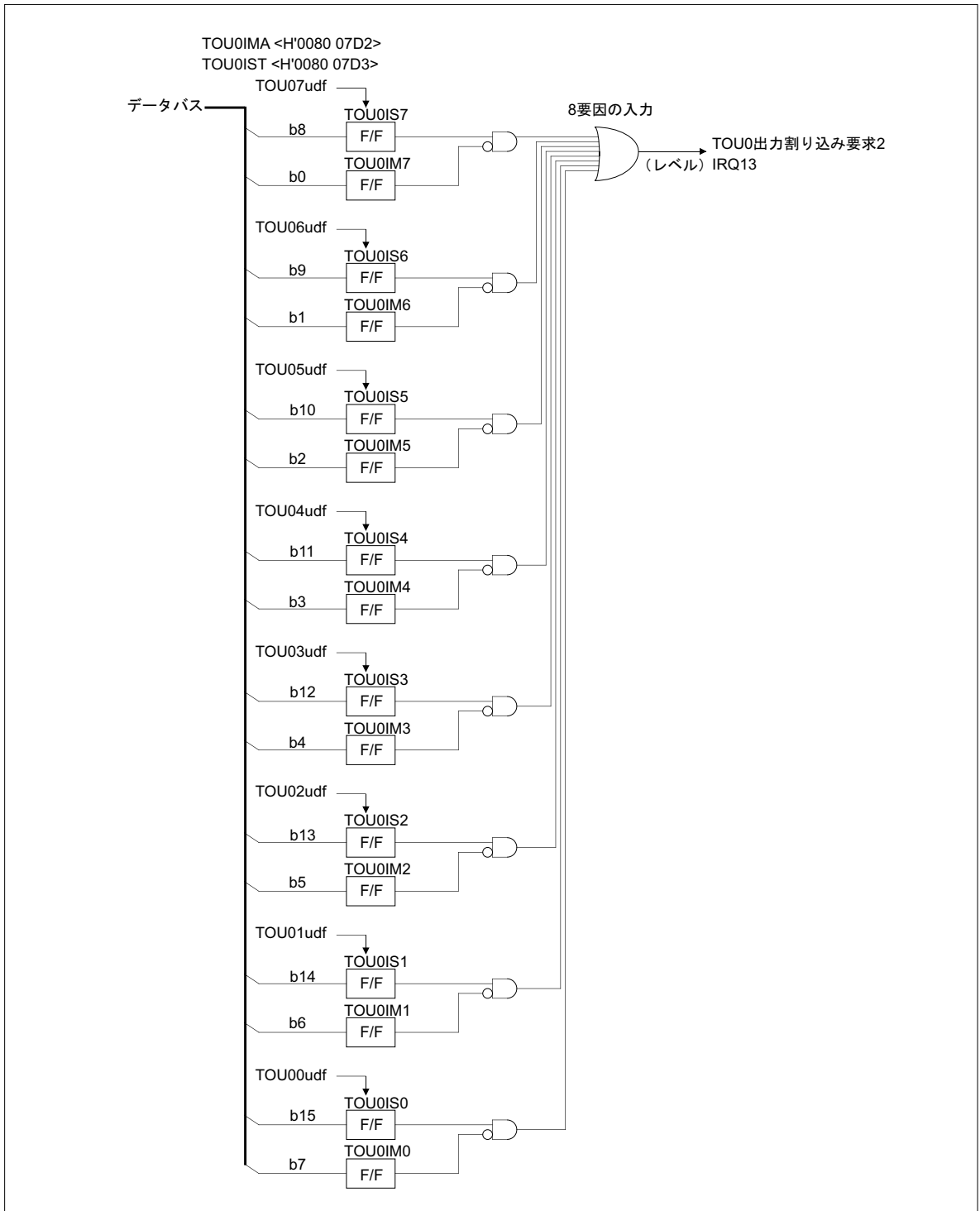


図10.2.19 TOU0出力割り込み要求ブロック図

TOU1割り込み要求マスクレジスタ(TOU1IMA)

< アドレス : H'0080 0BD2 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU1IM7 | TOU1IM6 | TOU1IM5 | TOU1IM4 | TOU1IM3 | TOU1IM2 | TOU1IM1 | TOU1IM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|------------------------------|-------------------|---|---|
| 0 | TOU1IM7 (TOU1_7割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 1 | TOU1IM6 (TOU1_6割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 2 | TOU1IM5 (TOU1_5割り込み要求マスクビット) | | | |
| 3 | TOU1IM4 (TOU1_4割り込み要求マスクビット) | | | |
| 4 | TOU1IM3 (TOU1_3割り込み要求マスクビット) | | | |
| 5 | TOU1IM2 (TOU1_2割り込み要求マスクビット) | | | |
| 6 | TOU1IM1 (TOU1_1割り込み要求マスクビット) | | | |
| 7 | TOU1IM0 (TOU1_0割り込み要求マスクビット) | | | |

TOU1割り込み要求ステータスレジスタ(TOU1IST)

< アドレス : H'0080 0BD3 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU1IS7 | TOU1IS6 | TOU1IS5 | TOU1IS4 | TOU1IS3 | TOU1IS2 | TOU1IS1 | TOU1IS0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|--------------------------------|--------------|--------|---|
| 8 | TOU1IS7 (TOU1_7割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 9 | TOU1IS6 (TOU1_6割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TOU1IS5 (TOU1_5割り込み要求ステータスビット) | | | |
| 11 | TOU1IS4 (TOU1_4割り込み要求ステータスビット) | | | |
| 12 | TOU1IS3 (TOU1_3割り込み要求ステータスビット) | | | |
| 13 | TOU1IS2 (TOU1_2割り込み要求ステータスビット) | | | |
| 14 | TOU1IS1 (TOU1_1割り込み要求ステータスビット) | | | |
| 15 | TOU1IS0 (TOU1_0割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOU2割り込み要求マスクレジスタ(TOU2IMA)

< アドレス : H'0080 0CD2 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU2IM7 | TOU2IM6 | TOU2IM5 | TOU2IM4 | TOU2IM3 | TOU2IM2 | TOU2IM1 | TOU2IM0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|------------------------------|-------------------|---|---|
| 0 | TOU2IM7 (TOU2_7割り込み要求マスクビット) | 0 : 割り込み要求許可 | R | W |
| 1 | TOU2IM6 (TOU2_6割り込み要求マスクビット) | 1 : 割り込み要求マスク(禁止) | | |
| 2 | TOU2IM5 (TOU2_5割り込み要求マスクビット) | | | |
| 3 | TOU2IM4 (TOU2_4割り込み要求マスクビット) | | | |
| 4 | TOU2IM3 (TOU2_3割り込み要求マスクビット) | | | |
| 5 | TOU2IM2 (TOU2_2割り込み要求マスクビット) | | | |
| 6 | TOU2IM1 (TOU2_1割り込み要求マスクビット) | | | |
| 7 | TOU2IM0 (TOU2_0割り込み要求マスクビット) | | | |

TOU2割り込み要求ステータスレジスタ(TOU2IST)

< アドレス : H'0080 0CD3 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| TOU2IS7 | TOU2IS6 | TOU2IS5 | TOU2IS4 | TOU2IS3 | TOU2IS2 | TOU2IS1 | TOU2IS0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|--------------------------------|--------------|--------|---|
| 8 | TOU2IS7 (TOU2_7割り込み要求ステータスビット) | 0 : 割り込み要求なし | R (注1) | |
| 9 | TOU2IS6 (TOU2_6割り込み要求ステータスビット) | 1 : 割り込み要求あり | | |
| 10 | TOU2IS5 (TOU2_5割り込み要求ステータスビット) | | | |
| 11 | TOU2IS4 (TOU2_4割り込み要求ステータスビット) | | | |
| 12 | TOU2IS3 (TOU2_3割り込み要求ステータスビット) | | | |
| 13 | TOU2IS2 (TOU2_2割り込み要求ステータスビット) | | | |
| 14 | TOU2IS1 (TOU2_1割り込み要求ステータスビット) | | | |
| 15 | TOU2IS0 (TOU2_0割り込み要求ステータスビット) | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

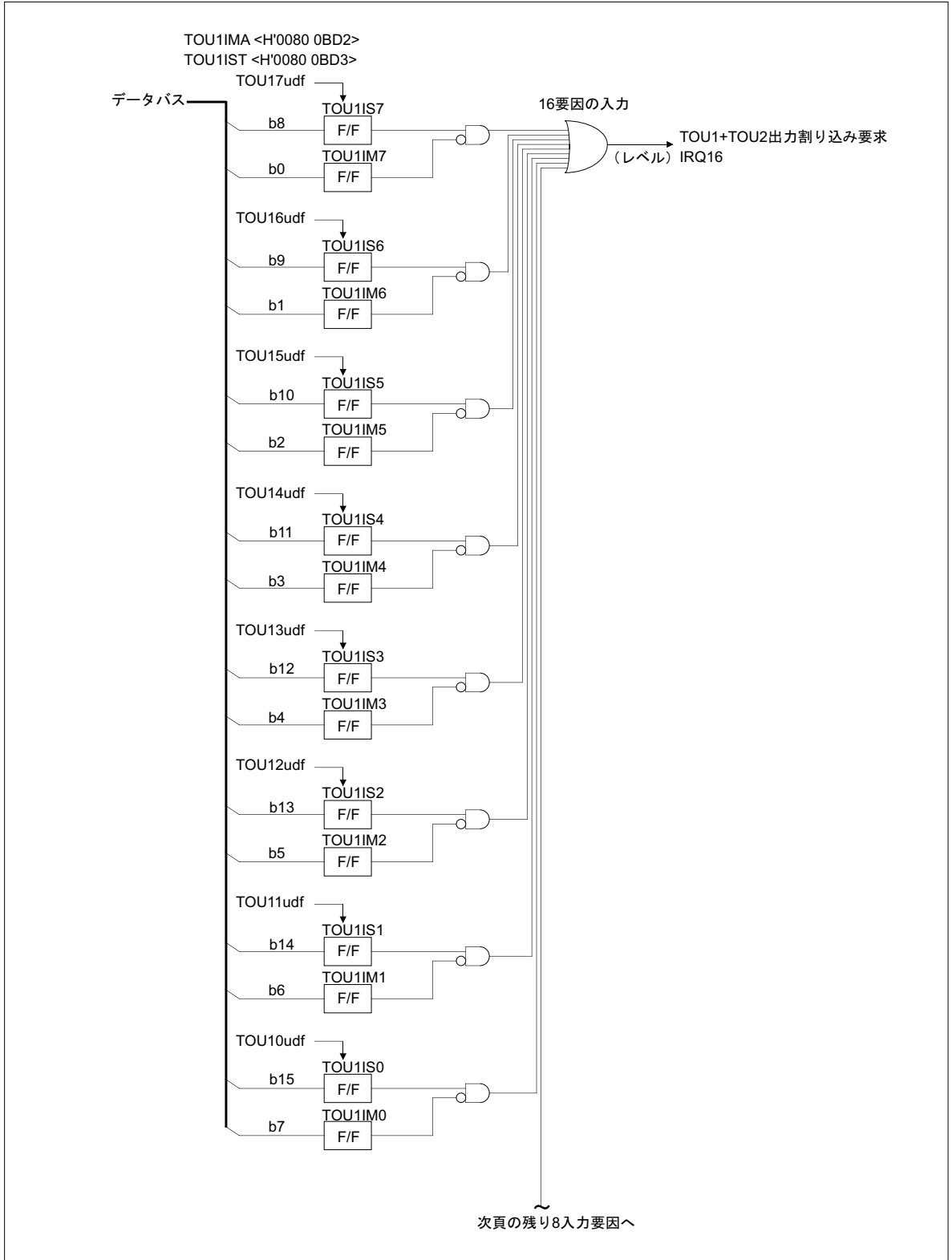


図10.2.20 TOU1 + TOU2出力割り込み要求ブロック図(1/2)

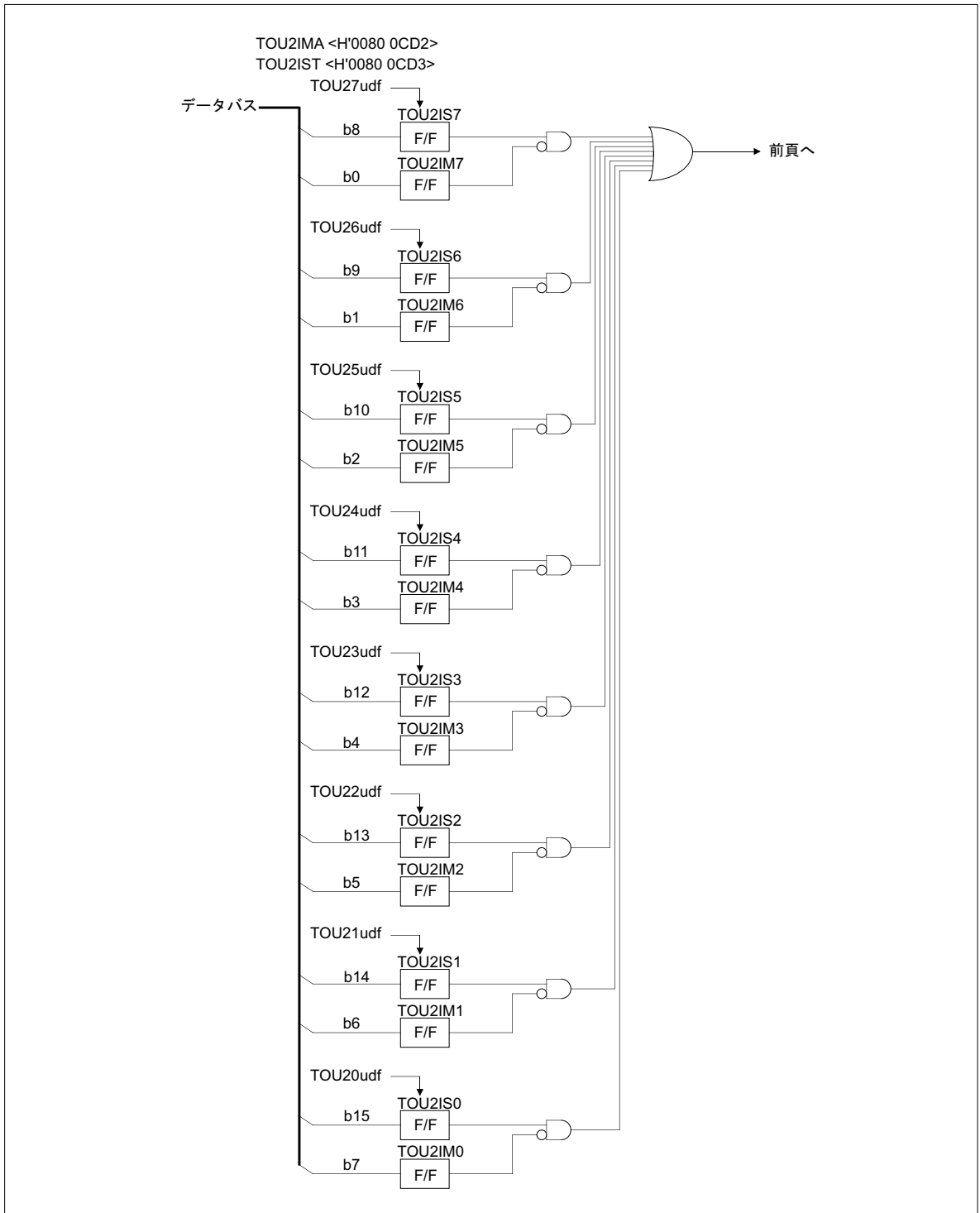


図10.2.21 TOU1 + TOU2出力割り込み要求ブロック図(2/2)

10.3 TOP(出力系16ビットタイマ)

10.3.1 TOP概要

TOP(Timer OutPut)は出力系16ビットタイマで、ソフトウェアによるモード切り換えにより以下のモードを選択できます。

- ワンショット出力モード
- ディレイドワンショット出力モード
- 連続出力モード

以下にTOPの仕様を、また、次ページにTOPのブロック図を示します。

表10.3.1 TOP(出力系16ビットタイマ)の仕様

| 項目 | 仕様 |
|----------|---|
| チャンネル数 | 11チャンネル |
| カウンタ | 16ビットダウンカウンタ |
| リロードレジスタ | 16ビットリロードレジスタ |
| 補正レジスタ | 16ビット補正レジスタ |
| タイマの起動 | イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ) |
| 動作モード | <補正機能あり> <ul style="list-style-type: none"> • ワンショット出力モード • ディレイドワンショット出力モード <補正機能なし> <ul style="list-style-type: none"> • 連続出力モード |
| 割り込み要求発生 | カウンタのアンダフローで発生可能 |

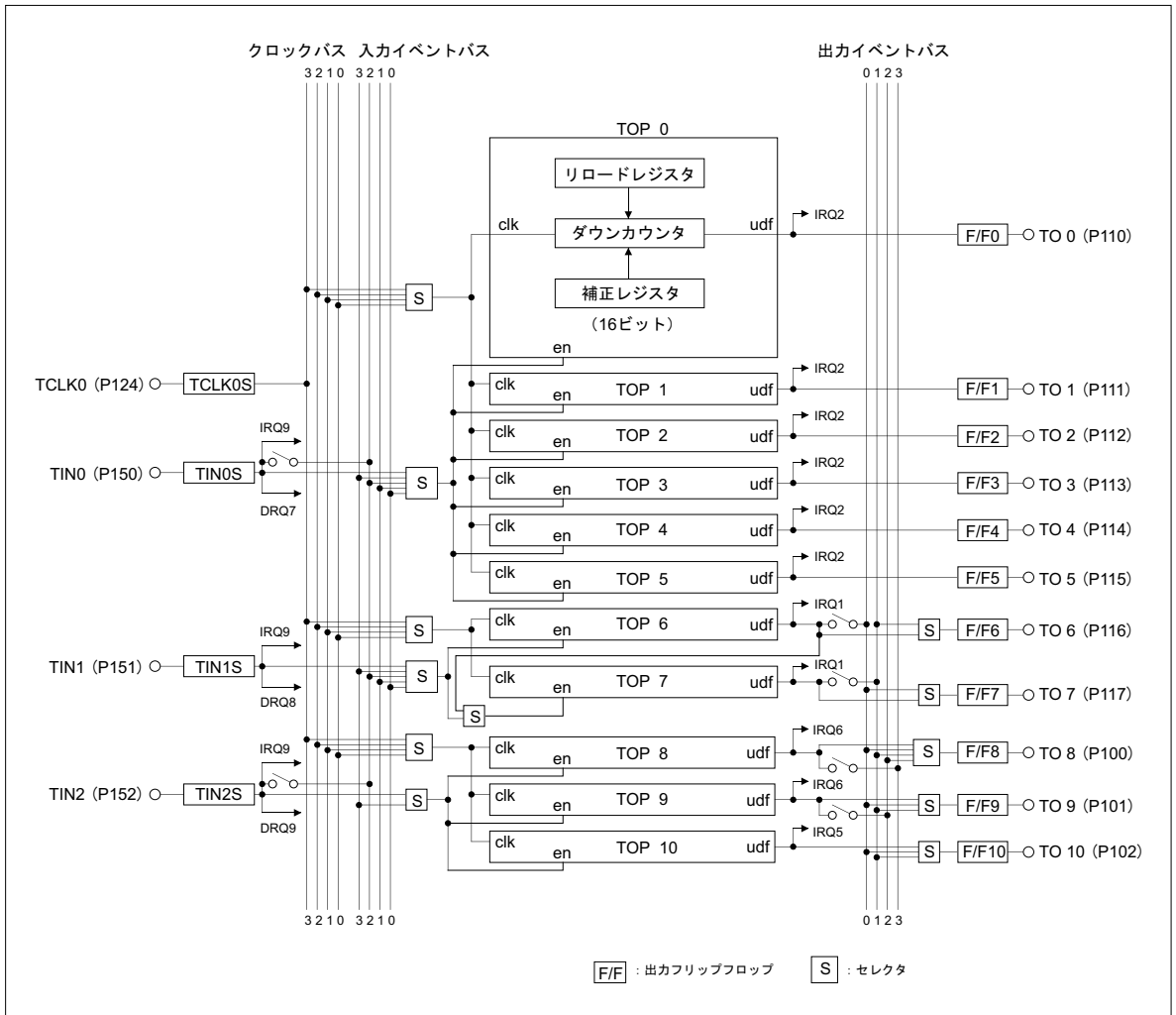


図10.3.1 TOP(出力系16ビットタイマ)ブロック図

10.3.2 TOP各モードの概要

以下にTOPの各モードの概要を示します。なお、TOP各チャンネルのモードは、この中から1つだけを選択できます。

(1)ワンショット出力モード

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。

(2)ディレイドワンショット出力モード

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

また、1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。

(3)連続出力モード

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する波形を持った連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求を発生することができます。

<カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

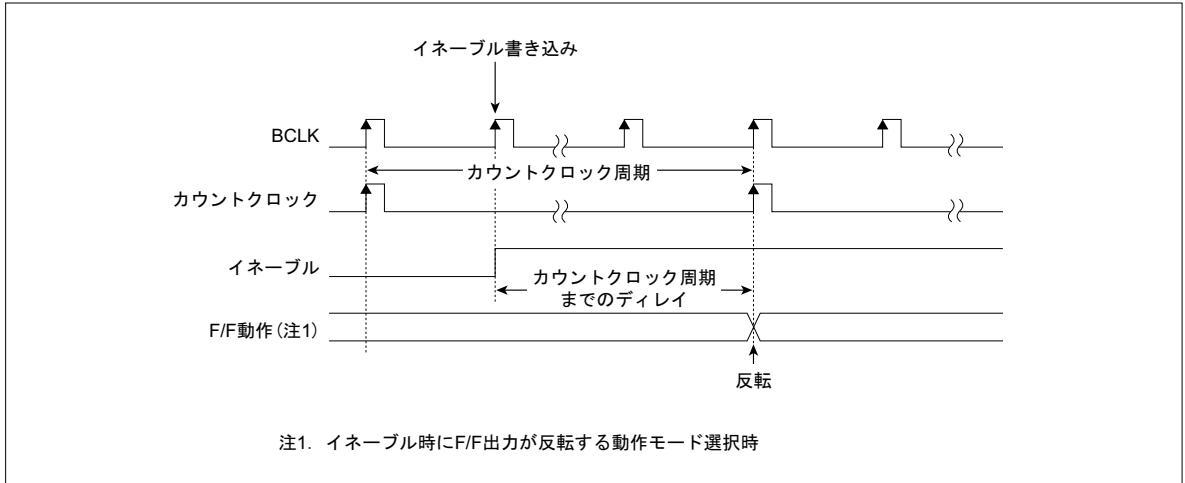


図10.3.2 カウントクロック分のディレイ

10.3.3 TOP関連レジスタマップ

以下にTOP関連のレジスタマップを示します。

TOP関連レジスタマップ(1/2)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----|-------|----|----|--------------------------|-----|-----------|
| H'0080 0240 | | | | | TOP0カウンタ (TOP0CT) | | 10-75 |
| H'0080 0242 | | | | | TOP0リロードレジスタ (TOP0RL) | | 10-76 |
| H'0080 0244 | | | | | (使用禁止領域) | | |
| H'0080 0246 | | | | | TOP0補正レジスタ (TOP0CC) | | 10-77 |
| } | | | | | (使用禁止領域) | | |
| H'0080 0250 | | | | | TOP1カウンタ (TOP1CT) | | 10-75 |
| H'0080 0252 | | | | | TOP1リロードレジスタ (TOP1RL) | | 10-76 |
| H'0080 0254 | | | | | (使用禁止領域) | | |
| H'0080 0256 | | | | | TOP1補正レジスタ (TOP1CC) | | 10-77 |
| } | | | | | (使用禁止領域) | | |
| H'0080 0260 | | | | | TOP2カウンタ (TOP2CT) | | 10-75 |
| H'0080 0262 | | | | | TOP2リロードレジスタ (TOP2RL) | | 10-76 |
| H'0080 0264 | | | | | (使用禁止領域) | | |
| H'0080 0266 | | | | | TOP2補正レジスタ (TOP2CC) | | 10-77 |
| } | | | | | (使用禁止領域) | | |
| H'0080 0270 | | | | | TOP3カウンタ (TOP3CT) | | 10-75 |
| H'0080 0272 | | | | | TOP3リロードレジスタ (TOP3RL) | | 10-76 |
| H'0080 0274 | | | | | (使用禁止領域) | | |
| H'0080 0276 | | | | | TOP3補正レジスタ (TOP3CC) | | 10-77 |
| } | | | | | (使用禁止領域) | | |
| H'0080 0280 | | | | | TOP4カウンタ (TOP4CT) | | 10-75 |
| H'0080 0282 | | | | | TOP4リロードレジスタ (TOP4RL) | | 10-76 |
| H'0080 0284 | | | | | (使用禁止領域) | | |
| H'0080 0286 | | | | | TOP4補正レジスタ (TOP4CC) | | 10-77 |
| } | | | | | (使用禁止領域) | | |
| H'0080 0290 | | | | | TOP5カウンタ (TOP5CT) | | 10-75 |
| H'0080 0292 | | | | | TOP5リロードレジスタ (TOP5RL) | | 10-76 |
| H'0080 0294 | | | | | (使用禁止領域) | | |
| H'0080 0296 | | | | | TOP5補正レジスタ (TOP5CC) | | 10-77 |
| H'0080 0298 | | | | | (使用禁止領域) | | |

TOP関連レジスタマップ(2/2)

| 番地 | + 0番地 | b7 b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----------|-------------------------------|-----------------------------|-----|-----------|
| H'0080 029A | | TOP0~5制御レジスタ0 (TOP05CR0) | | | 10-71 |
| H'0080 029C | (使用禁止領域) | | TOP0~5制御レジスタ1 (TOP05CR1) | | 10-71 |
| | | (使用禁止領域) | | | |
| H'0080 02A0 | | TOP6カウンタ (TOP6CT) | | | 10-75 |
| H'0080 02A2 | | TOP6リロードレジスタ (TOP6RL) | | | 10-76 |
| H'0080 02A4 | | (使用禁止領域) | | | |
| H'0080 02A6 | | TOP6補正レジスタ (TOP6CC) | | | 10-77 |
| H'0080 02A8 | | (使用禁止領域) | | | |
| H'0080 02AA | | TOP6,7制御レジスタ (TOP67CR) | | | 10-73 |
| | | (使用禁止領域) | | | |
| H'0080 02B0 | | TOP7カウンタ (TOP7CT) | | | 10-75 |
| H'0080 02B2 | | TOP7リロードレジスタ (TOP7RL) | | | 10-76 |
| H'0080 02B4 | | (使用禁止領域) | | | |
| H'0080 02B6 | | TOP7補正レジスタ (TOP7CC) | | | 10-77 |
| | | (使用禁止領域) | | | |
| H'0080 02C0 | | TOP8カウンタ (TOP8CT) | | | 10-75 |
| H'0080 02C2 | | TOP8リロードレジスタ (TOP8RL) | | | 10-76 |
| H'0080 02C4 | | (使用禁止領域) | | | |
| H'0080 02C6 | | TOP8補正レジスタ (TOP8CC) | | | 10-77 |
| | | (使用禁止領域) | | | |
| H'0080 02D0 | | TOP9カウンタ (TOP9CT) | | | 10-75 |
| H'0080 02D2 | | TOP9リロードレジスタ (TOP9RL) | | | 10-76 |
| H'0080 02D4 | | (使用禁止領域) | | | |
| H'0080 02D6 | | TOP9補正レジスタ (TOP9CC) | | | 10-77 |
| | | (使用禁止領域) | | | |
| H'0080 02E0 | | TOP10カウンタ (TOP10CT) | | | 10-75 |
| H'0080 02E2 | | TOP10リロードレジスタ (TOP10RL) | | | 10-76 |
| H'0080 02E4 | | (使用禁止領域) | | | |
| H'0080 02E6 | | TOP10補正レジスタ (TOP10CC) | | | 10-77 |
| H'0080 02E8 | | (使用禁止領域) | | | |
| H'0080 02EA | | TOP8~10制御レジスタ (TOP810CR) | | | 10-74 |
| | | (使用禁止領域) | | | |
| H'0080 02FA | | TOP外部イネーブル許可レジスタ (TOPEEN) | | | 10-78 |
| H'0080 02FC | | TOPイネーブルプロテクトレジスタ (TOPPRO) | | | 10-78 |
| H'0080 02FE | | TOPカウントイネーブルレジスタ (TOPCEN) | | | 10-79 |

10.3.4 TOP制御レジスタ

TOP制御レジスタは、TOP0～10の動作モード(ワンショット出力、ディレイドワンショット出力、連続出力モード)の選択、カウントイネーブルの入力選択、およびカウントクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに以下のレジスタがあります。

- TOP0～5制御レジスタ0(TOP05CR0)
- TOP0～5制御レジスタ1(TOP05CR1)
- TOP6,7制御レジスタ(TOP67CR)
- TOP8～10制御レジスタ(TOP810CR)

TOP0~5制御レジスタ0(TOP05CR0)

<アドレス: H'0080 029A>

| | | | | | | | | | | | | | | | |
|-------|---|-------|---|-------|---|-------|---|---|----------|----|----|----|----------|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOP3M | | TOP2M | | TOP1M | | TOP0M | | | TOP05ENS | | | | TOP05CKS | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|--------|---------------------------------|--|---|---|
| 0, 1 | TOP3M(TOP3動作モード選択ビット) | 00: ワンショット出力モード | R | W |
| 2, 3 | TOP2M(TOP2動作モード選択ビット) | 01: ディレイドワンショット出力モード | | |
| 4, 5 | TOP1M(TOP1動作モード選択ビット) | 10: 連続出力モード | | |
| 6, 7 | TOP0M(TOP0動作モード選択ビット) | 11: " | | |
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9~11 | TOP05ENS TOP0~5イネーブルソース選択ビット | 000: 外部TIN0 入力 001: " 010: " 011: " 100: 入力イベントバス0 101: 入力イベントバス1 110: 入力イベントバス2 111: 入力イベントバス3 | R | W |
| 12, 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14, 15 | TOP05CKS TOP0~5クロックソース選択ビット | 00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TOP0~5制御レジスタ1(TOP05CR1)

<アドレス: H'0080 029D>

| | | | | | | | |
|----|---|----|----|-------|----|-------|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | TOP5M | | TOP4M | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|--|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12, 13 | TOP5M(TOP5動作モード選択ビット) | 00: ワンショット出力モード | R | W |
| 14, 15 | TOP4M(TOP4動作モード選択ビット) | 01: ディレイドワンショット出力モード 10: 連続出力モード 11: " | | |

注. . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

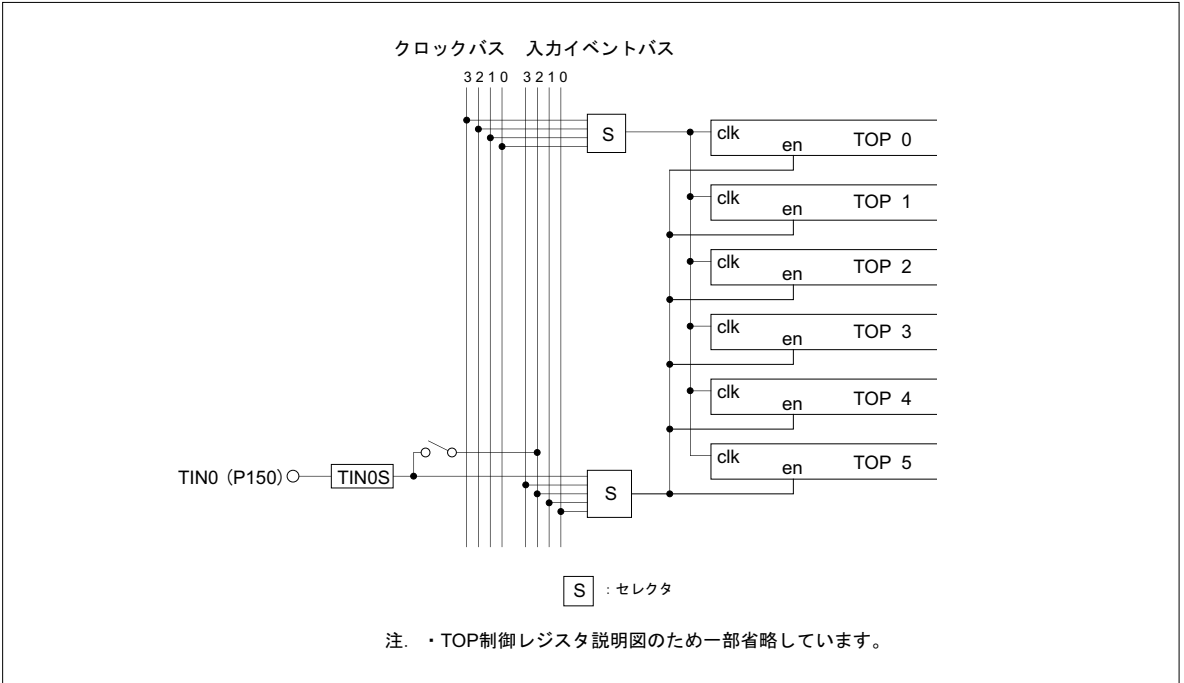


図10.3.3 TOP0~5のクロック/イネーブル入力概略図

TOP6, 7制御レジスタ(TOP67CR)

<アドレス: H'0080 02AA>

| | | | | | | | | | | | | | | | |
|---------|---|-------|---|---|-------|---|---|----------|---|----|----|----------|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOP7ENS | | TOP7M | | | TOP6M | | | TOP67ENS | | | | TOP67CKS | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|--------|-------------------------------------|--|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1 | TOP7ENS TOP7イネーブルソース選択ビット | 0: 「TOP67ENS」ビットの選択結果 1: TOP6出力 | R | W |
| 2, 3 | TOP7M TOP7動作モード選択ビット | 00: ワンショット出力モード 01: ディレイドワンショット出力モード 10: 連続出力モード 11: " | R | W |
| 4, 5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6, 7 | TOP6M TOP6動作モード選択ビット | 00: ワンショット出力モード 01: ディレイドワンショット出力モード 10: 連続出力モード 11: " | R | W |
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9~11 | TOP67ENS TOP6, TOP7イネーブルソース選択ビット | 000: 外部TIN1 入力 001: " 010: " 011: " 100: 入力イベントバス0 101: 入力イベントバス1 110: 入力イベントバス2 111: 入力イベントバス3 | R | W |
| 12, 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14, 15 | TOP67CKS TOP6, TOP7クロックソース選択ビット | 00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3 | R | W |

注. ・このレジスタは、必ずハーフワードでアクセスしてください。
 ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

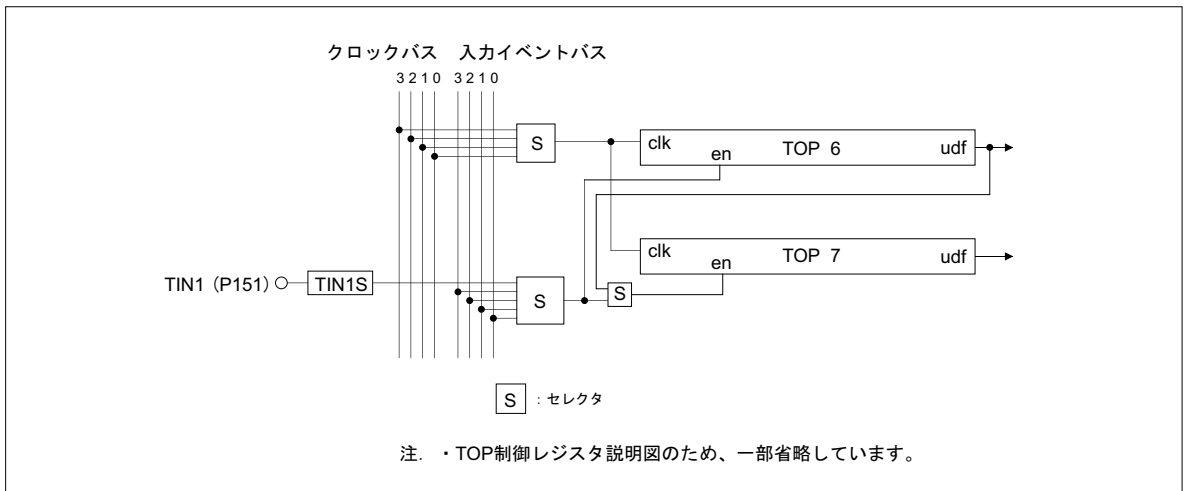
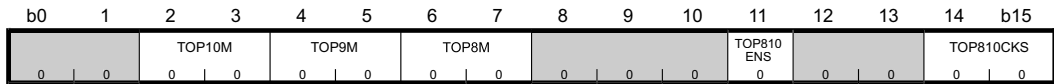


図10.3.4 TOP6, TOP7のクロック/イネーブル入力概略図

TOP8～10制御レジスタ(TOP810CR)

<アドレス: H'0080 02EA>



<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|-----------------------------------|--|---|---|
| 0,1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2,3 | TOP10M (TOP10動作モード選択ビット) | 00: ワンショット出力モード | R | W |
| 4,5 | TOP9M (TOP9動作モード選択ビット) | 01: デイレイドワンショット出力モード | | |
| 6,7 | TOP8M (TOP8動作モード選択ビット) | 10: 連続出力モード 11: " | | |
| 8~10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | TOP810ENS TOP8～10イネーブルソース選択ビット | 0: 外部TIN2入力 1: 入力イベントバス3 | R | W |
| 12,13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14,15 | TOP810CKS TOP8～10クロックソース選択ビット | 00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3 | R | W |

注. ・このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

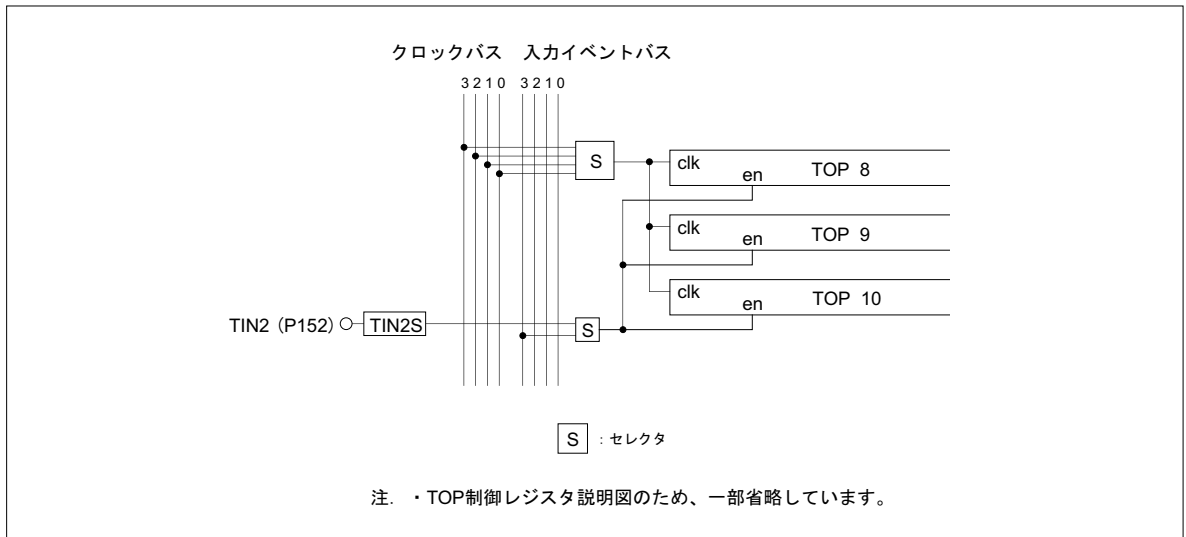
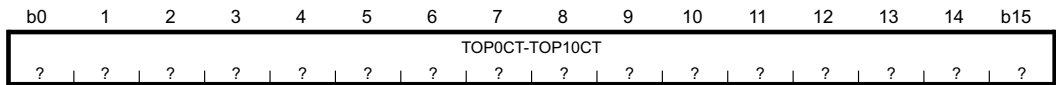


図10.3.5 TOP8～10のクロック/イネーブル入力概略図

10.3.5 TOPカウンタ(TOP0CT ~ TOP10CT)

| | |
|--------------------|----------------------|
| TOP0カウンタ(TOP0CT) | <アドレス : H'0080 0240> |
| TOP1カウンタ(TOP1CT) | <アドレス : H'0080 0250> |
| TOP2カウンタ(TOP2CT) | <アドレス : H'0080 0260> |
| TOP3カウンタ(TOP3CT) | <アドレス : H'0080 0270> |
| TOP4カウンタ(TOP4CT) | <アドレス : H'0080 0280> |
| TOP5カウンタ(TOP5CT) | <アドレス : H'0080 0290> |
| TOP6カウンタ(TOP6CT) | <アドレス : H'0080 02A0> |
| TOP7カウンタ(TOP7CT) | <アドレス : H'0080 02B0> |
| TOP8カウンタ(TOP8CT) | <アドレス : H'0080 02C0> |
| TOP9カウンタ(TOP9CT) | <アドレス : H'0080 02D0> |
| TOP10カウンタ(TOP10CT) | <アドレス : H'0080 02E0> |



<リセット解除時 : 不定>

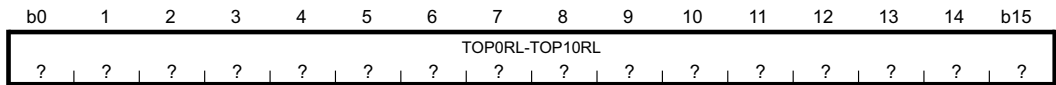
| b | ビット名 | 機能 | R | W |
|--------|----------------|------------|---|---|
| 0 ~ 15 | TOP0CT-TOP10CT | 16ビットカウンタ値 | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TOPカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

10.3.6 TOPリロードレジスタ(TOP0RL~TOP10RL)

| | |
|------------------------|---------------------|
| TOP0リロードレジスタ(TOP0RL) | <アドレス: H'0080 0242> |
| TOP1リロードレジスタ(TOP1RL) | <アドレス: H'0080 0252> |
| TOP2リロードレジスタ(TOP2RL) | <アドレス: H'0080 0262> |
| TOP3リロードレジスタ(TOP3RL) | <アドレス: H'0080 0272> |
| TOP4リロードレジスタ(TOP4RL) | <アドレス: H'0080 0282> |
| TOP5リロードレジスタ(TOP5RL) | <アドレス: H'0080 0292> |
| TOP6リロードレジスタ(TOP6RL) | <アドレス: H'0080 02A2> |
| TOP7リロードレジスタ(TOP7RL) | <アドレス: H'0080 02B2> |
| TOP8リロードレジスタ(TOP8RL) | <アドレス: H'0080 02C2> |
| TOP9リロードレジスタ(TOP9RL) | <アドレス: H'0080 02D2> |
| TOP10リロードレジスタ(TOP10RL) | <アドレス: H'0080 02E2> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|----------------|----------------|---|---|
| 0~15 | TOP0RL-TOP10RL | 16ビットリロードレジスタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOPリロードレジスタは、TOPカウンタレジスタ(TOP0CT~TOP10CT)へデータをロードするためのレジスタです。リロードレジスタの内容がカウンタにロードされるのは、以下の場合です。

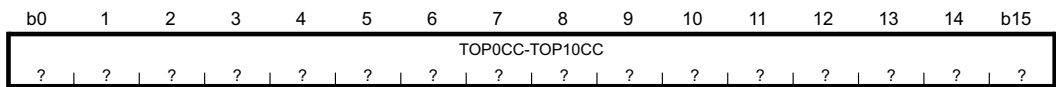
- ワンショット出力モードでカウンタがイネーブルになったとき
- ディレイドワンショット出力または連続出力モードでカウンタがアンダフローしたとき

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

なおアンダフロー後のデータリロードは、アンダフローを起こしたクロックに同期して行われます。

10.3.7 TOP補正レジスタ(TOP0CC ~ TOP10CC)

| | |
|----------------------|---------------------|
| TOP0補正レジスタ(TOP0CC) | <アドレス: H'0080 0246> |
| TOP1補正レジスタ(TOP1CC) | <アドレス: H'0080 0256> |
| TOP2補正レジスタ(TOP2CC) | <アドレス: H'0080 0266> |
| TOP3補正レジスタ(TOP3CC) | <アドレス: H'0080 0276> |
| TOP4補正レジスタ(TOP4CC) | <アドレス: H'0080 0286> |
| TOP5補正レジスタ(TOP5CC) | <アドレス: H'0080 0296> |
| TOP6補正レジスタ(TOP6CC) | <アドレス: H'0080 02A6> |
| TOP7補正レジスタ(TOP7CC) | <アドレス: H'0080 02B6> |
| TOP8補正レジスタ(TOP8CC) | <アドレス: H'0080 02C6> |
| TOP9補正レジスタ(TOP9CC) | <アドレス: H'0080 02D6> |
| TOP10補正レジスタ(TOP10CC) | <アドレス: H'0080 02E6> |



(設定可能値 +32767 ~ -32768)

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|--------|----------------|--------------|---|---|
| 0 ~ 15 | TOP0CC-TOP10CC | 16ビット補正レジスタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOP補正レジスタは、TOPカウンタの値を動作途中で補正(加減算)するために使用されます。カウンタの増減を行いたい場合は、カウンタの初めの設定からの増減値をこの補正レジスタに書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばカウンタ初期値が10で、カウンタが5まで来たところで3を補正レジスタに書き込んだ場合、全体としては15をカウントしたところでアンダフローします。

10.3.8 TOPイネーブル制御レジスタ

TOP外部イネーブル許可レジスタ(TOPEEN)

< アドレス : H'0080 02FA >

| | | | | | | | | | | | | | | | |
|----|---|---|---|---|----------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | TOP10 EEN 0 | TOP9 EEN 0 | TOP8 EEN 0 | TOP7 EEN 0 | TOP6 EEN 0 | TOP5 EEN 0 | TOP4 EEN 0 | TOP3 EEN 0 | TOP2 EEN 0 | TOP1 EEN 0 | TOP0 EEN 0 |

< リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|---------------|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | TOP10EEN(TOP10外部イネーブル許可ビット) | 0 : 外部イネーブル禁止 | R | W |
| 6 | TOP9EEN(TOP9外部イネーブル許可ビット) | 1 : 外部イネーブル許可 | | |
| 7 | TOP8EEN(TOP8外部イネーブル許可ビット) | | | |
| 8 | TOP7EEN(TOP7外部イネーブル許可ビット) | | | |
| 9 | TOP6EEN(TOP6外部イネーブル許可ビット) | | | |
| 10 | TOP5EEN(TOP5外部イネーブル許可ビット) | | | |
| 11 | TOP4EEN(TOP4外部イネーブル許可ビット) | | | |
| 12 | TOP3EEN(TOP3外部イネーブル許可ビット) | | | |
| 13 | TOP2EEN(TOP2外部イネーブル許可ビット) | | | |
| 14 | TOP1EEN(TOP1外部イネーブル許可ビット) | | | |
| 15 | TOP0EEN(TOP0外部イネーブル許可ビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TOP外部イネーブル許可レジスタは、TOPカウンタの外部からのイネーブル操作の許可/禁止を制御します。

TOPイネーブルプロテクトレジスタ(TOPPRO)

< アドレス : H'0080 02FC >

| | | | | | | | | | | | | | | | |
|----|---|---|---|---|----------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | TOP10 PRO 0 | TOP9 PRO 0 | TOP8 PRO 0 | TOP7 PRO 0 | TOP6 PRO 0 | TOP5 PRO 0 | TOP4 PRO 0 | TOP3 PRO 0 | TOP2 PRO 0 | TOP1 PRO 0 | TOP0 PRO 0 |

< リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|------------|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | TOP10PRO(TOP10イネーブルプロテクトビット) | 0 : 書き換え許可 | R | W |
| 6 | TOP9PRO(TOP9イネーブルプロテクトビット) | 1 : 書き換え禁止 | | |
| 7 | TOP8PRO(TOP8イネーブルプロテクトビット) | | | |
| 8 | TOP7PRO(TOP7イネーブルプロテクトビット) | | | |
| 9 | TOP6PRO(TOP6イネーブルプロテクトビット) | | | |
| 10 | TOP5PRO(TOP5イネーブルプロテクトビット) | | | |
| 11 | TOP4PRO(TOP4イネーブルプロテクトビット) | | | |
| 12 | TOP3PRO(TOP3イネーブルプロテクトビット) | | | |
| 13 | TOP2PRO(TOP2イネーブルプロテクトビット) | | | |
| 14 | TOP1PRO(TOP1イネーブルプロテクトビット) | | | |
| 15 | TOP0PRO(TOP0イネーブルプロテクトビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TOPイネーブルプロテクトレジスタは、TOPカウンタイネーブルビットの書き換への許可/禁止を制御するレジスタです。

TOPカウントイネーブルレジスタ(TOPCEN)

<アドレス: H'0080 02FE >

| | | | | | | | | | | | | | | | |
|----|---|---|---|---|--------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | | | | TOP10 CEN | TOP9 CEN | TOP8 CEN | TOP7 CEN | TOP6 CEN | TOP5 CEN | TOP4 CEN | TOP3 CEN | TOP2 CEN | TOP1 CEN | TOP0 CEN |
| 0 | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000 >

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|-----------|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | TOP10CEN(TOP10カウントイネーブルビット) | 0: カウント停止 | R | W |
| 6 | TOP9CEN(TOP9カウントイネーブルビット) | 1: カウント許可 | | |
| 7 | TOP8CEN(TOP8カウントイネーブルビット) | | | |
| 8 | TOP7CEN(TOP7カウントイネーブルビット) | | | |
| 9 | TOP6CEN(TOP6カウントイネーブルビット) | | | |
| 10 | TOP5CEN(TOP5カウントイネーブルビット) | | | |
| 11 | TOP4CEN(TOP4カウントイネーブルビット) | | | |
| 12 | TOP3CEN(TOP3カウントイネーブルビット) | | | |
| 13 | TOP2CEN(TOP2カウントイネーブルビット) | | | |
| 14 | TOP1CEN(TOP1カウントイネーブルビット) | | | |
| 15 | TOP0CEN(TOP0カウントイネーブルビット) | | | |

注: このレジスタは、必ずハーフワードでアクセスしてください。

TOPカウントイネーブルレジスタは、TOPカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続出力モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOPカウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

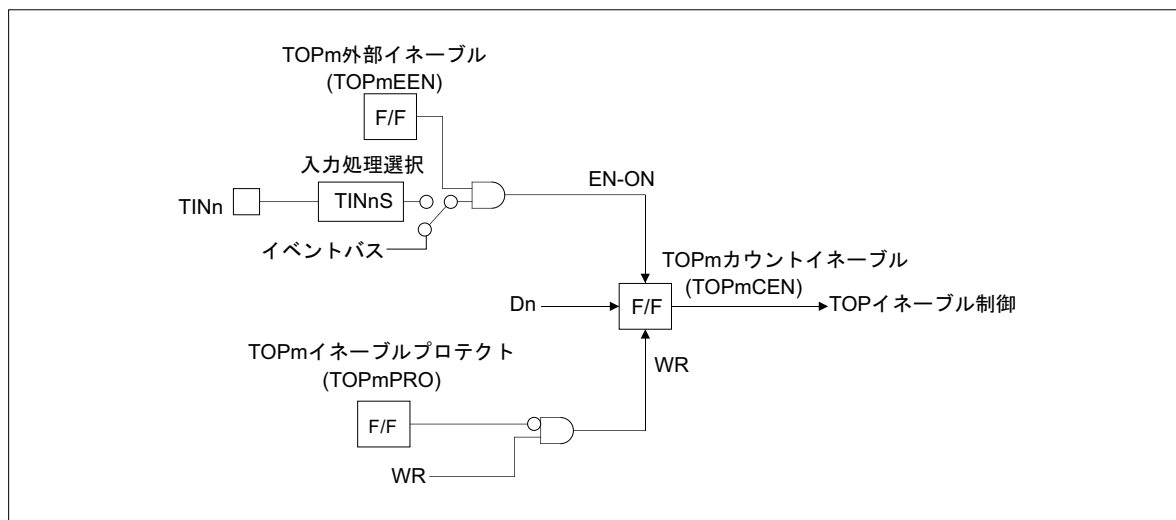


図10.3.6 TOPイネーブル回路構成図

10.3.9 TOPワンショット出力モード(補正機能あり)の動作

(1)TOPワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、イネーブル時とアンダフロー発生時に反転(F/F出力レベルが"L" "H",または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みを発生することができます。カウント値はリロードレジスタの設定値+1です。

例えばリロードレジスタの初期値が7の場合、カウント値は8となります。

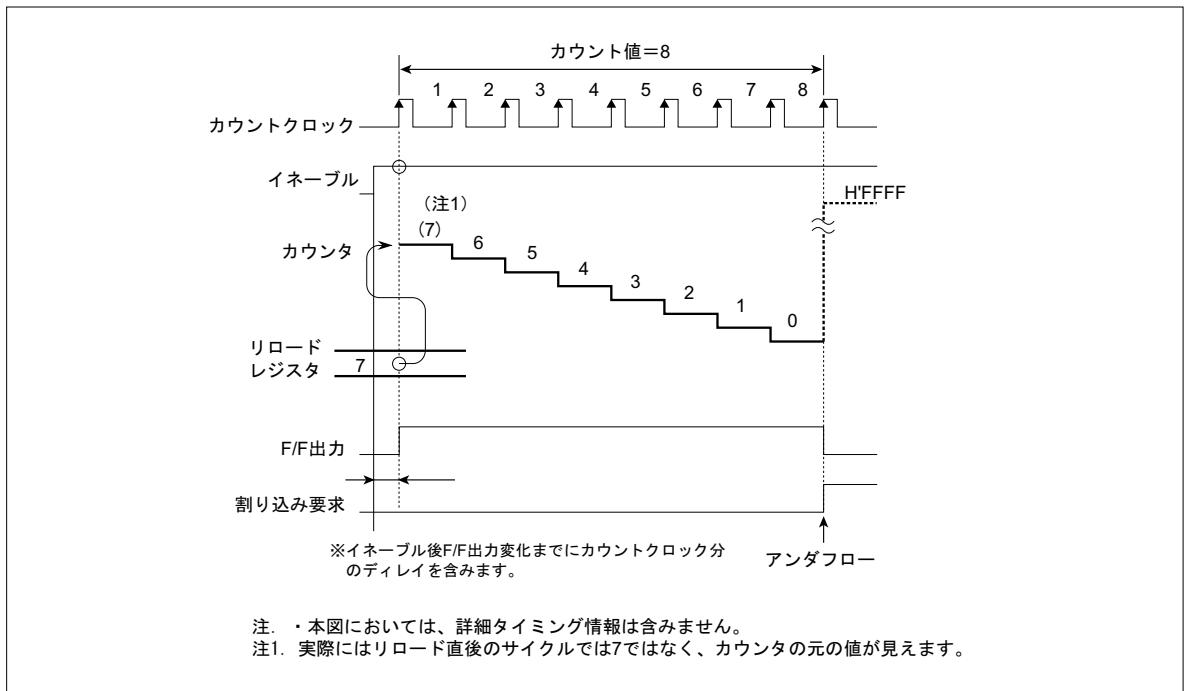


図10.3.7 TOPワンショット出力モードのカウント例

以下の例ではリロードレジスタの初期値にH'A000を設定しています(カウンタの初期値は不定でよい)。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、以後カウンタがアンダフローするまでダウンカウントします。

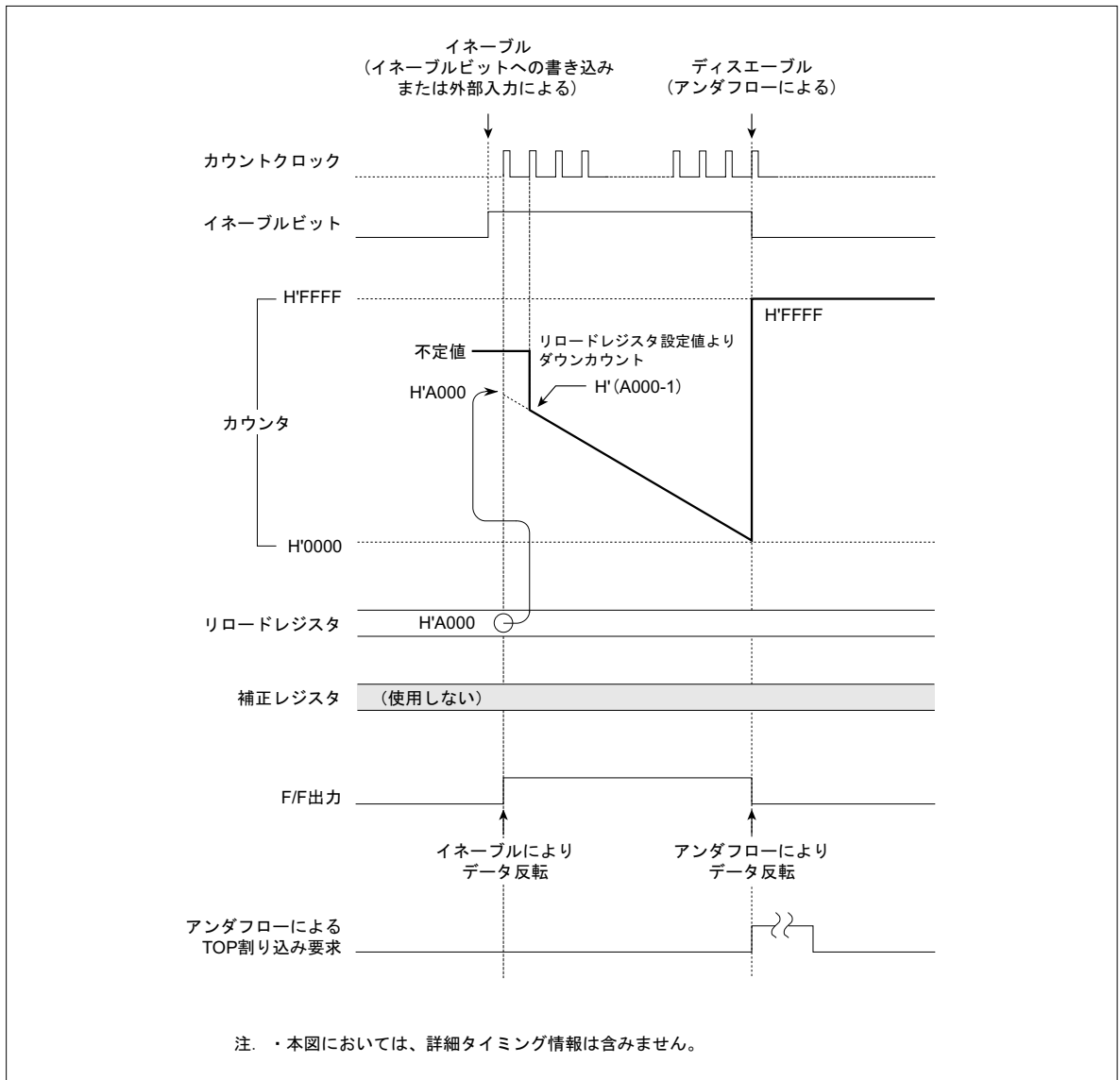


図10.3.8 TOPワンショット出力モード動作例

(2) TOPワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のカウントクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

例えばカウンタ初期値が7で、カウンタが3まで来たところで補正レジスタに3を書き込んだ場合、全体としては12をカウントしたところでアンダフローします。

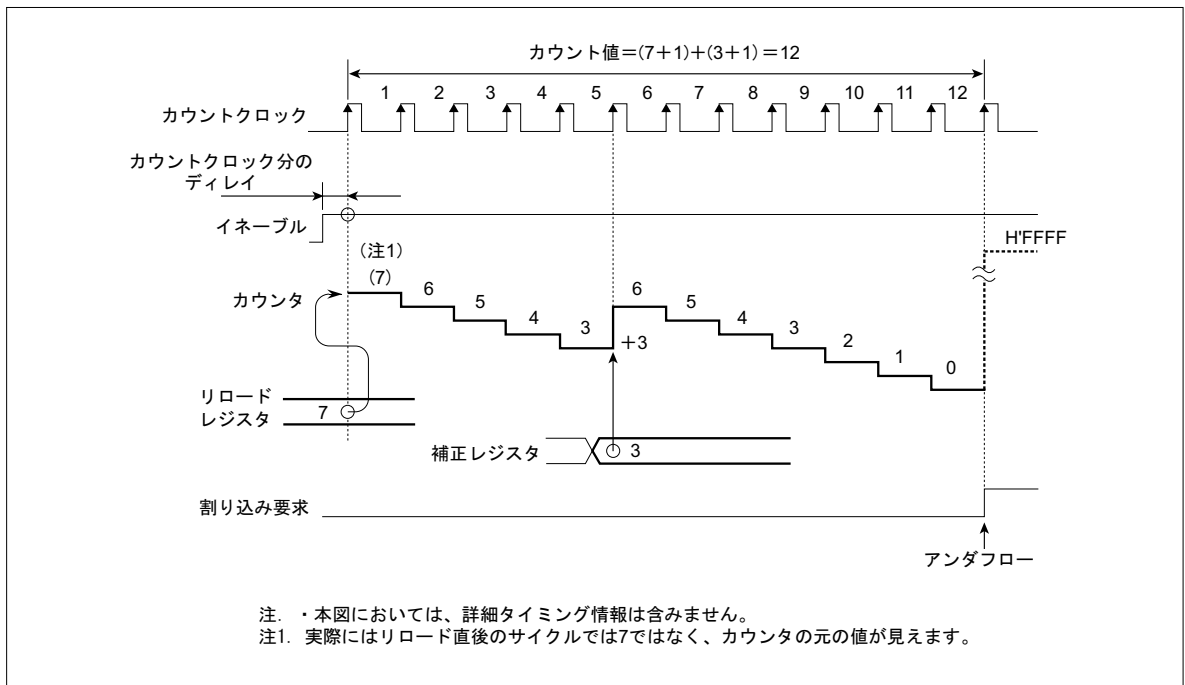


図10.3.9 TOPワンショット出力モード補正時のカウント例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込み要求は発生しません。

以下の例では、リロードレジスタの初期値にH'8000を設定しています。タイムが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'5000までカウントしたところで、補正レジスタにH'4000を書き込んでいます。この補正の結果、カウンタはH'9000になり、全体としては $(H'8000 + 1 + H'4000 + 1)$ をカウントしたところで停止します。

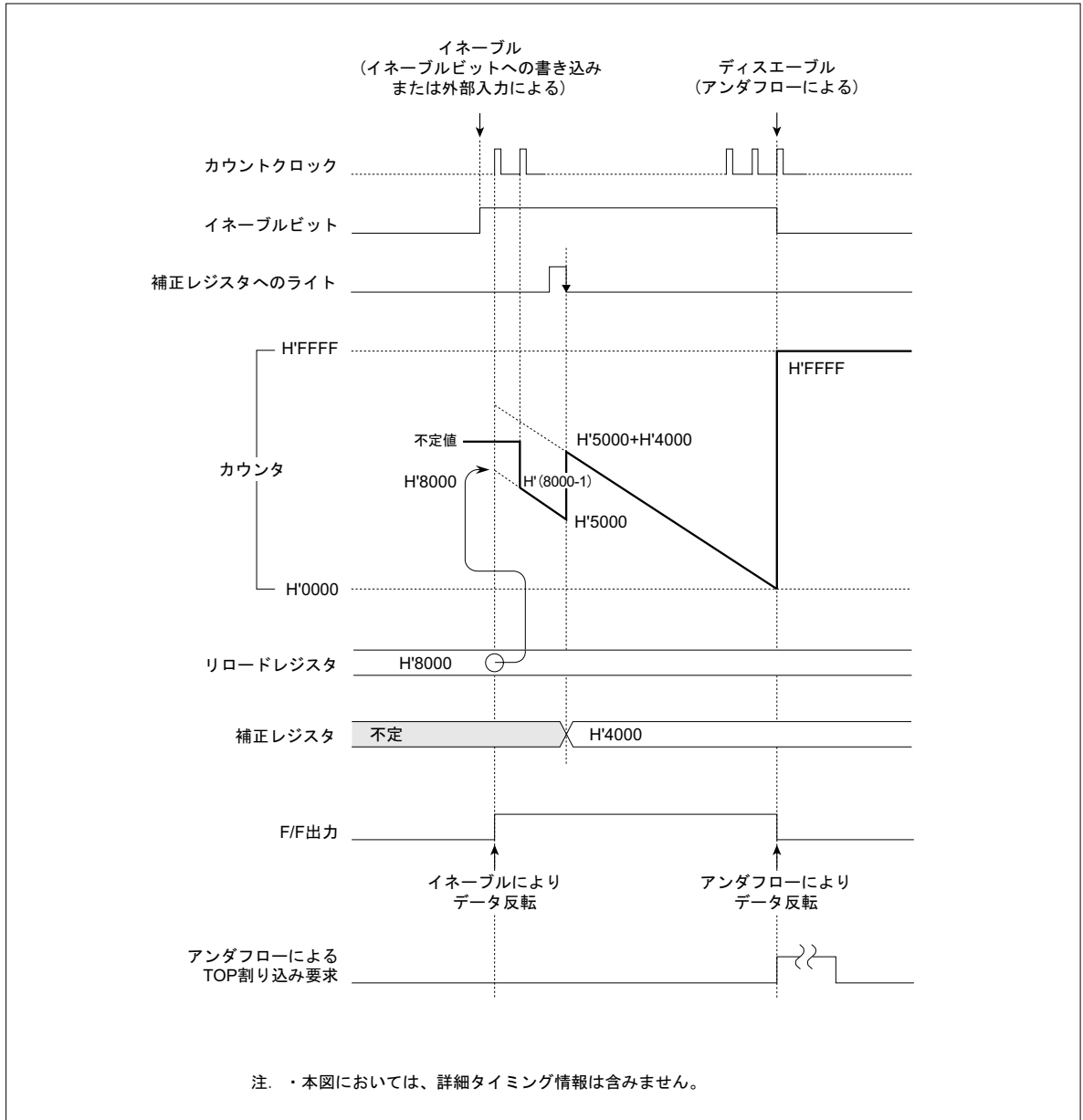


図10.3.10 TOPワンショット出力モード補正時の動作例

(3) TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。
- 補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万一オーバーフローしても、オーバーフローしたことによる割り込み要求は発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込み要求が発生します。

以下の例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込み要求は、オーバーフローした誤った値で発生しています。

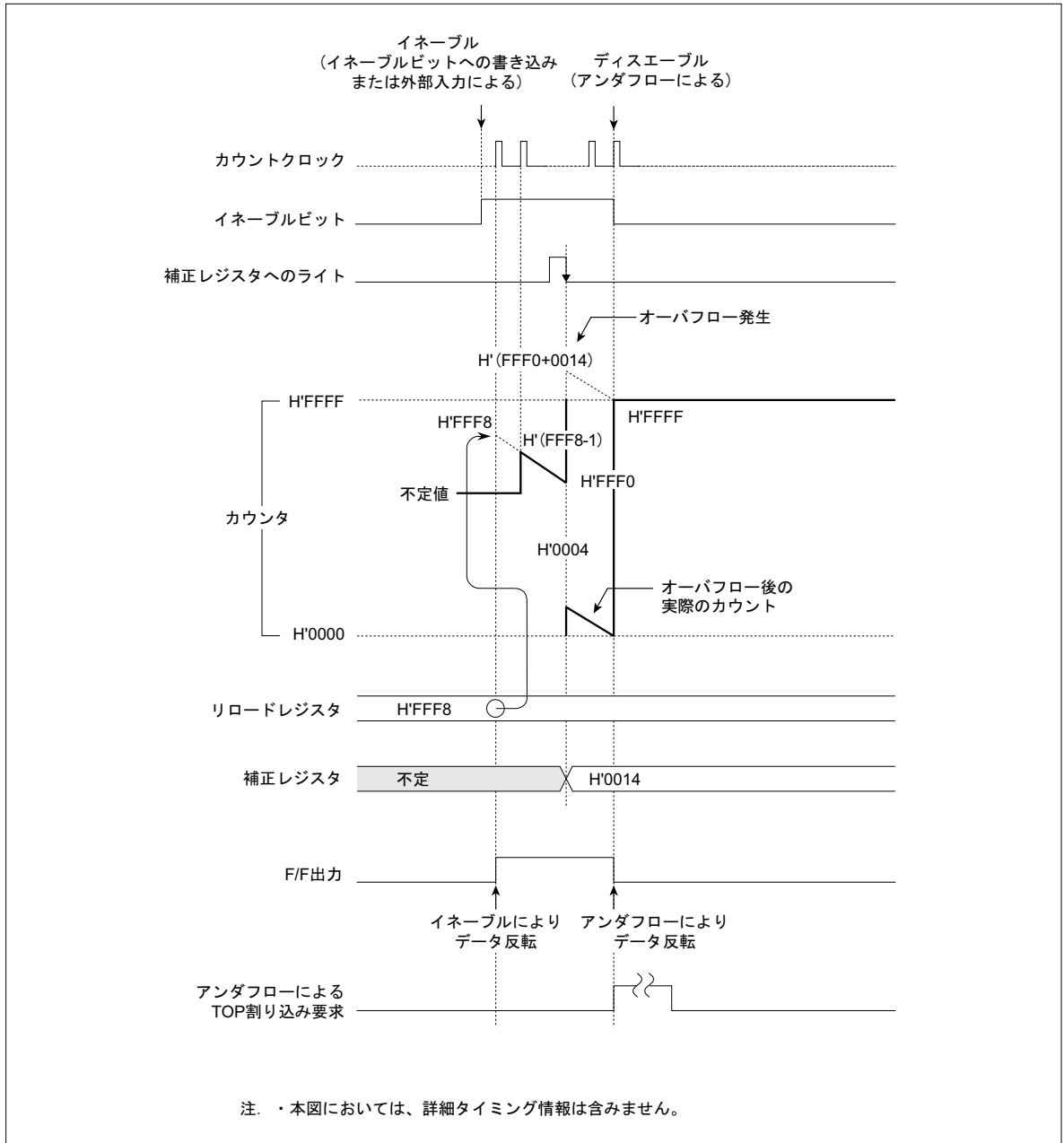


図10.3.11 TOPワンショット出力モード補正実行でオーバーフローした場合の例

10.3.10 TOPディレイドワンショット出力モード(補正機能あり)の動作

(1)TOPディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。

例えばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

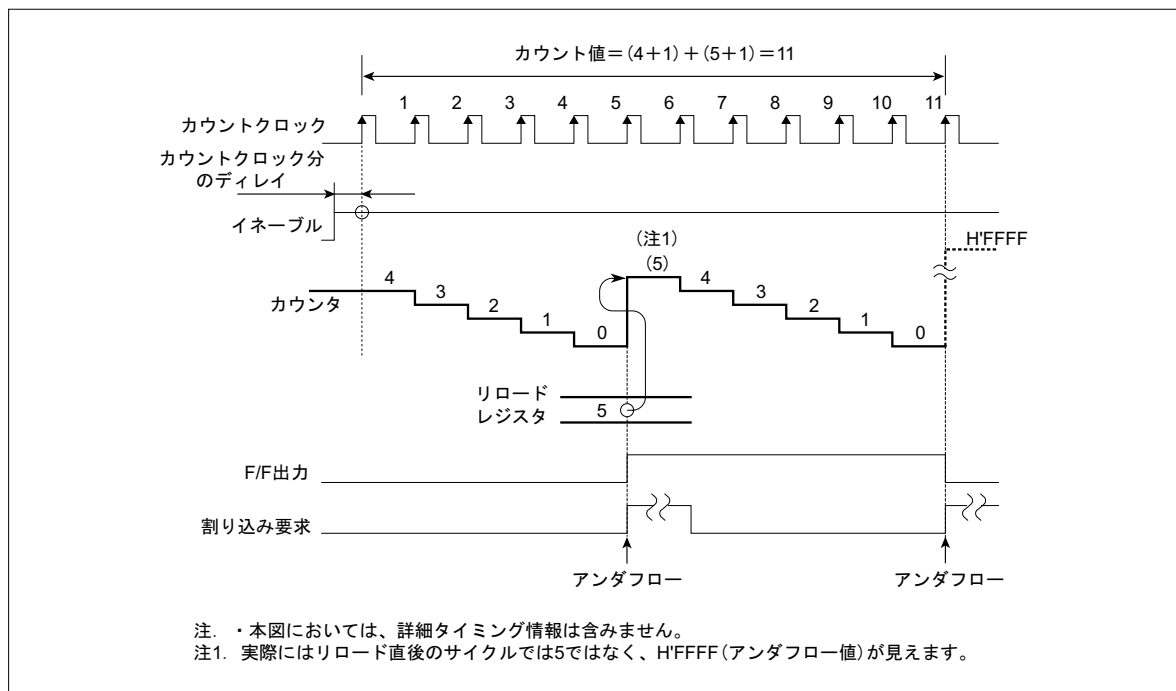


図10.3.12 TOPディレイドワンショット出力モードのカウンタ例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローするとリロードレジスタの内容をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止しています。

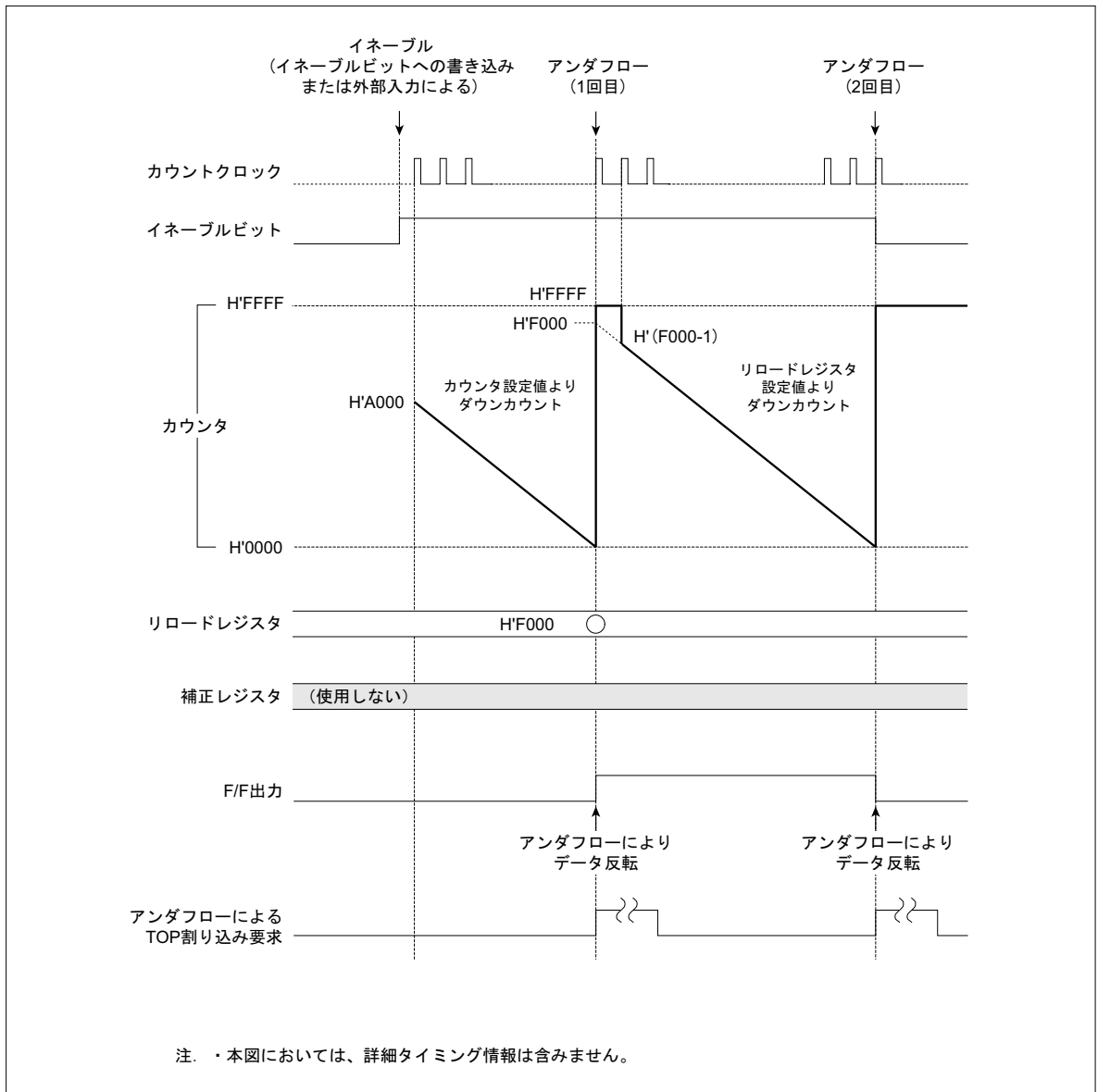


図10.3.13 TOPディレイドワンショット出力モード動作例

(2) TOPディレイドワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のカウントクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

例えばリロードレジスタ値が7で、リロード後カウンタが3まで来たところで3を補正レジスタに書き込むと、リロード後のカウント値は12でアンダフローします。

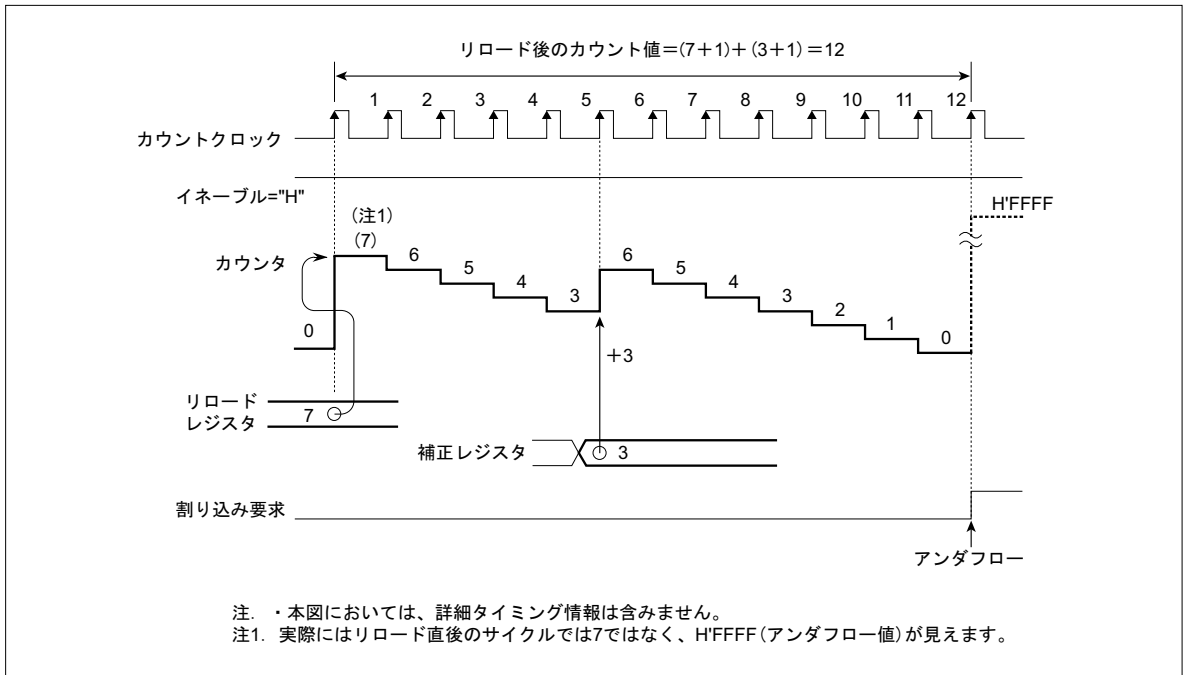


図10.3.14 TOPディレイドワンショット出力モード補正時のカウント例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込み要求は発生しません。

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動すると、ダウンカウントが始まります。1回目のアンダフローでリロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けます。図の例ではH'9000までカウントしたところで、補正レジスタにH'0008を書き込んでいます。この補正の結果、カウンタはH'9008になり、1回目のアンダフロー後($H'F000 + 1 + H'0008 + 1$)をカウントしたところで停止します。

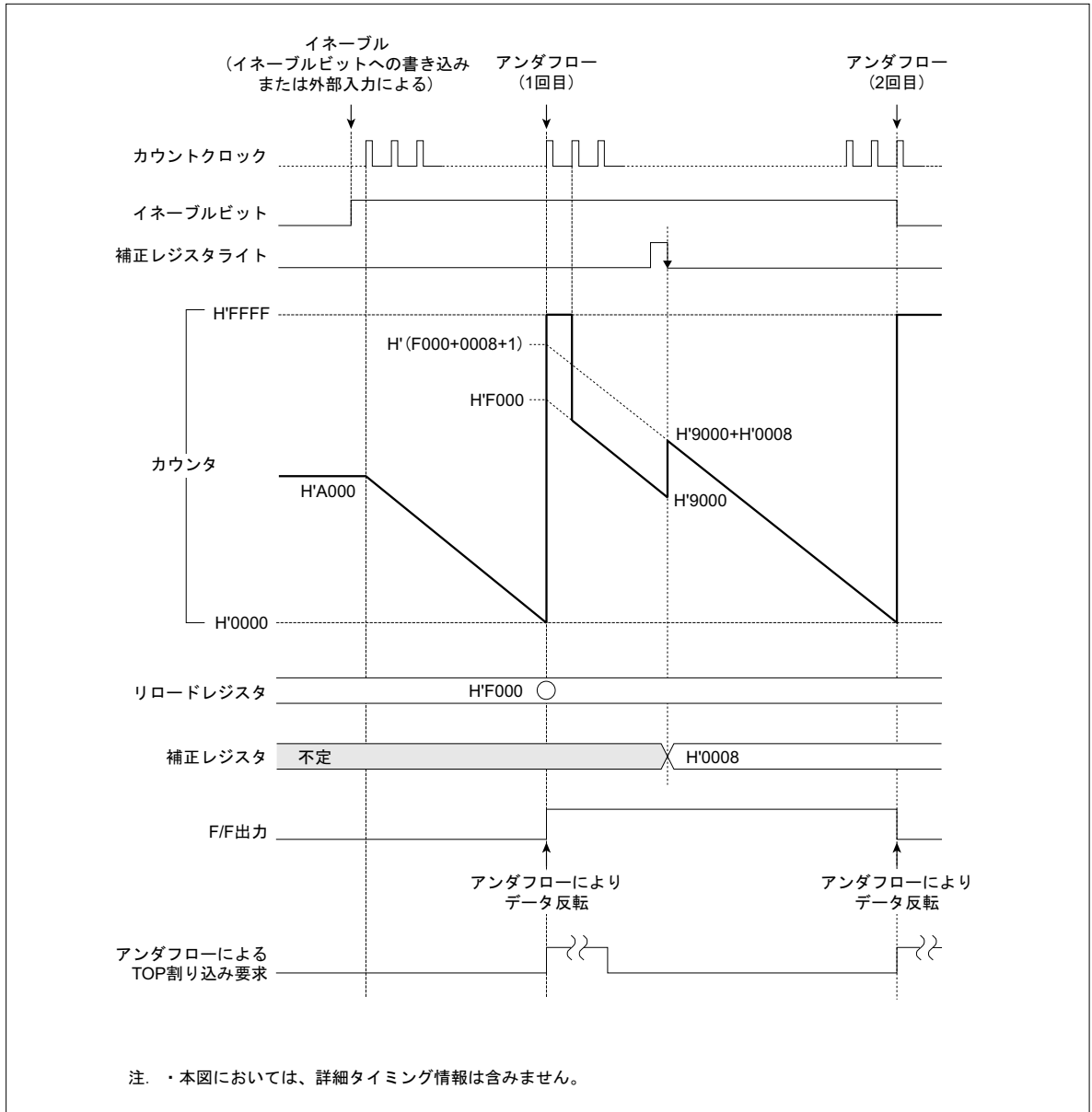


図10.3.15 TOPディレイドワンショット出力モード補正時の動作例

(3) TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウンタ許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウンタ禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ禁止書き込みが優先されます。
- 補正レジスタの操作により万一カウンタがオーバフローしても、オーバフローしたことによる割り込みは発生しません。オーバフロー後に継続したダウンカウントでアンダフローした場合は、オーバフローした値での誤ったアンダフロー割り込み要求が発生します。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

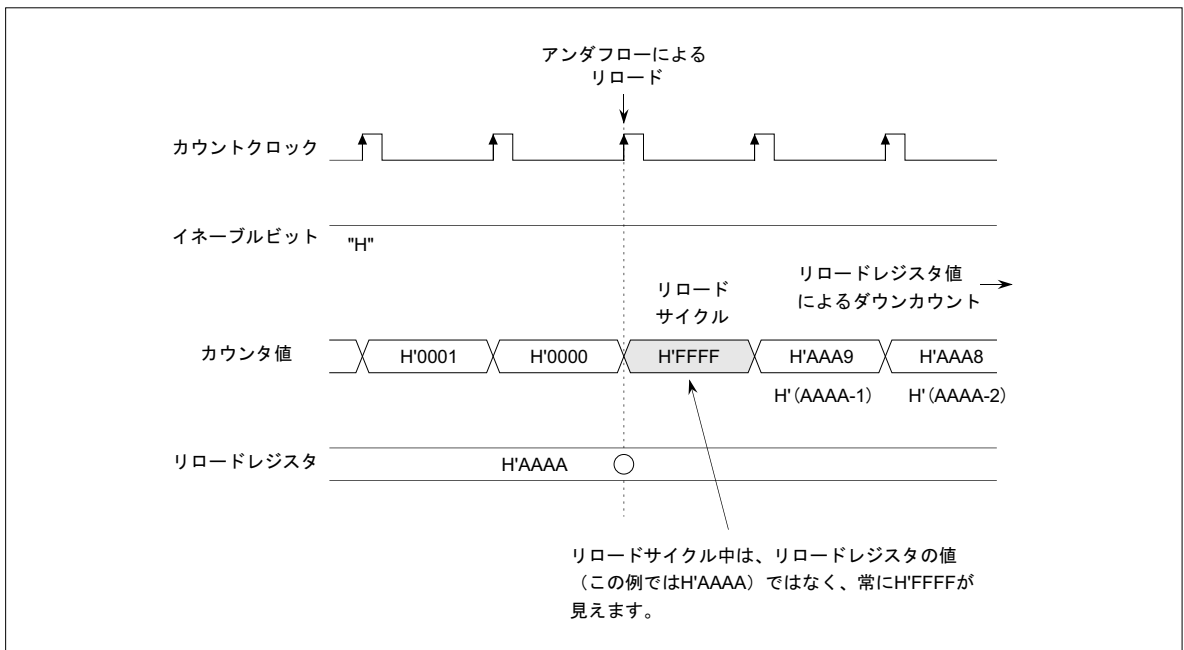


図10.3.16 アンダフロー直後のカウンタ値

10.3.11 TOP連続出力モード(補正機能なし)の動作

(1) TOP連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダフローごとに、割り込み要求が発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。

例えばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

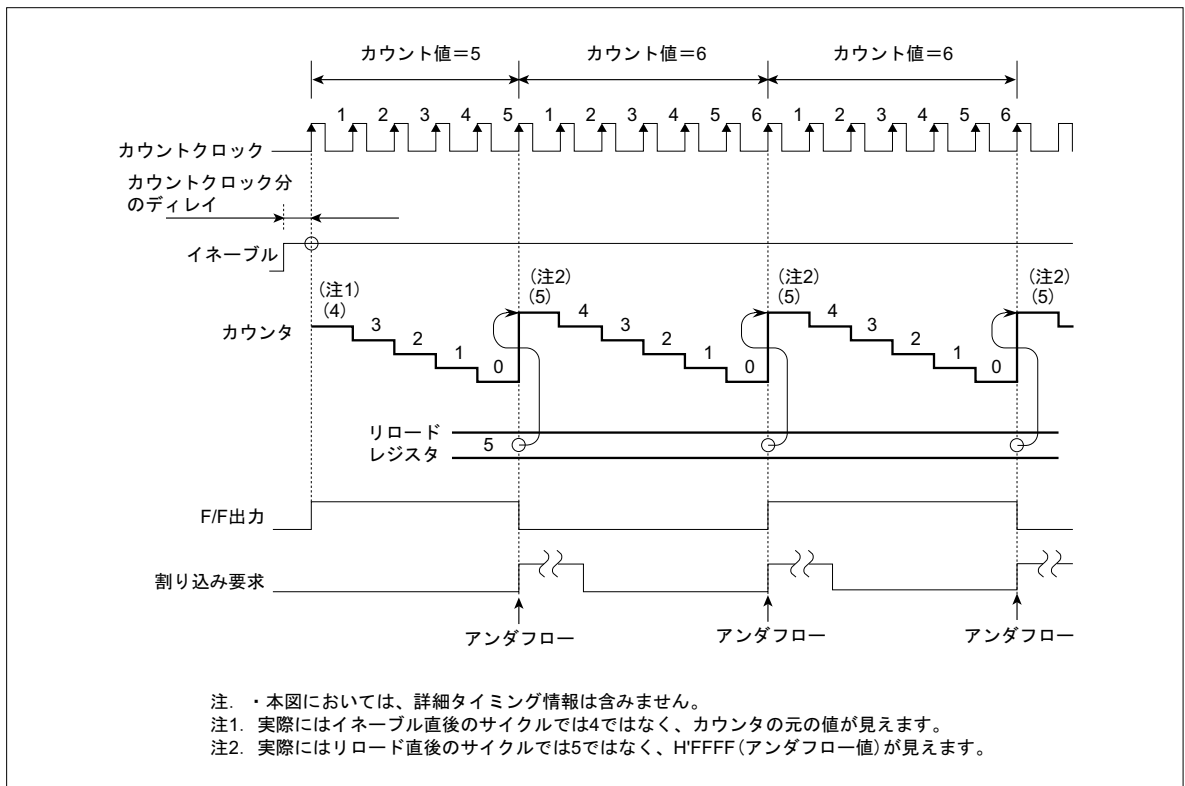


図10.3.17 TOP連続出力モードのカウンタ例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'E000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローするごとにリロードレジスタの内容をカウンタにロードし、ダウンカウントを続けます。

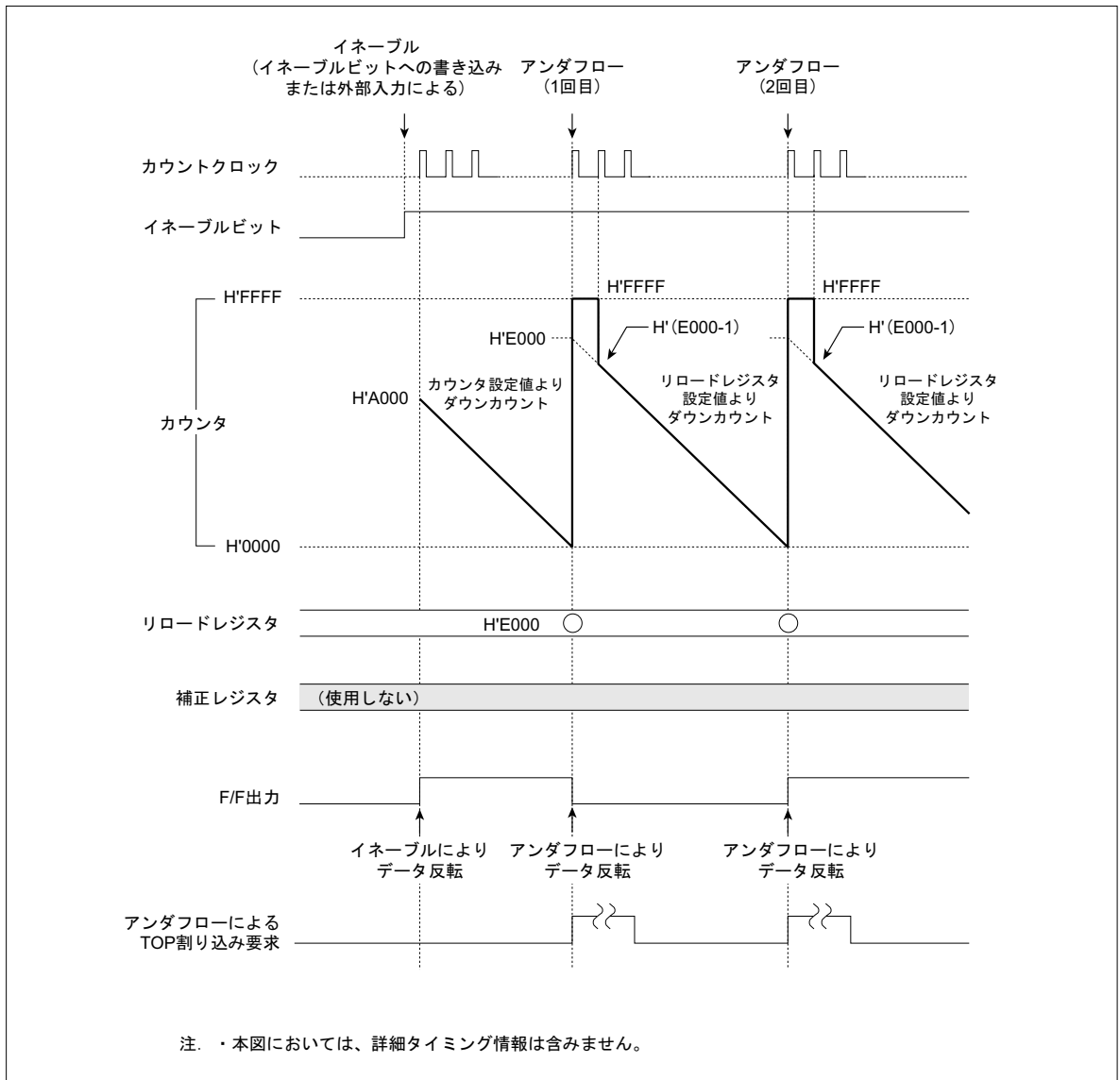


図10.3.18 TOP連続出力モード動作例

(2) TOP連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

10.4 TIO(入出力系16ビットタイマ)

10.4.1 TIO概要

TIO(Timer Input/Output)は入出力系16ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

<入力モード>

- 計測クリア入力モード
- 計測フリーラン入力モード
- ノイズ処理入力モード

<補正機能なし出力モード>

- PWM出力モード
- ワンショット出力モード
- デイレイドワンショット出力モード
- 連続出力モード

以下にTIOの仕様を、また次ページにTIOのブロック図を示します。

表10.4.1 TIO(入出力系16ビットタイマ)の仕様

| 項目 | 仕様 |
|----------|---|
| チャンネル数 | 10チャンネル |
| カウンタ | 16ビットダウンカウンタ |
| リロードレジスタ | 16ビットリロードレジスタ |
| 計測レジスタ | 16ビットキャプチャレジスタ |
| タイマの起動 | イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ/Hレベル/Lレベル) |
| 動作モード | <入力モード> <ul style="list-style-type: none"> ● 計測クリア入力モード ● 計測フリーラン入力モード ● ノイズ処理入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> ● PWM出力モード ● ワンショット出力モード ● デイレイドワンショット出力モード ● 連続出力モード |
| 割り込み要求発生 | カウンタのアンダフローで発生可能 |

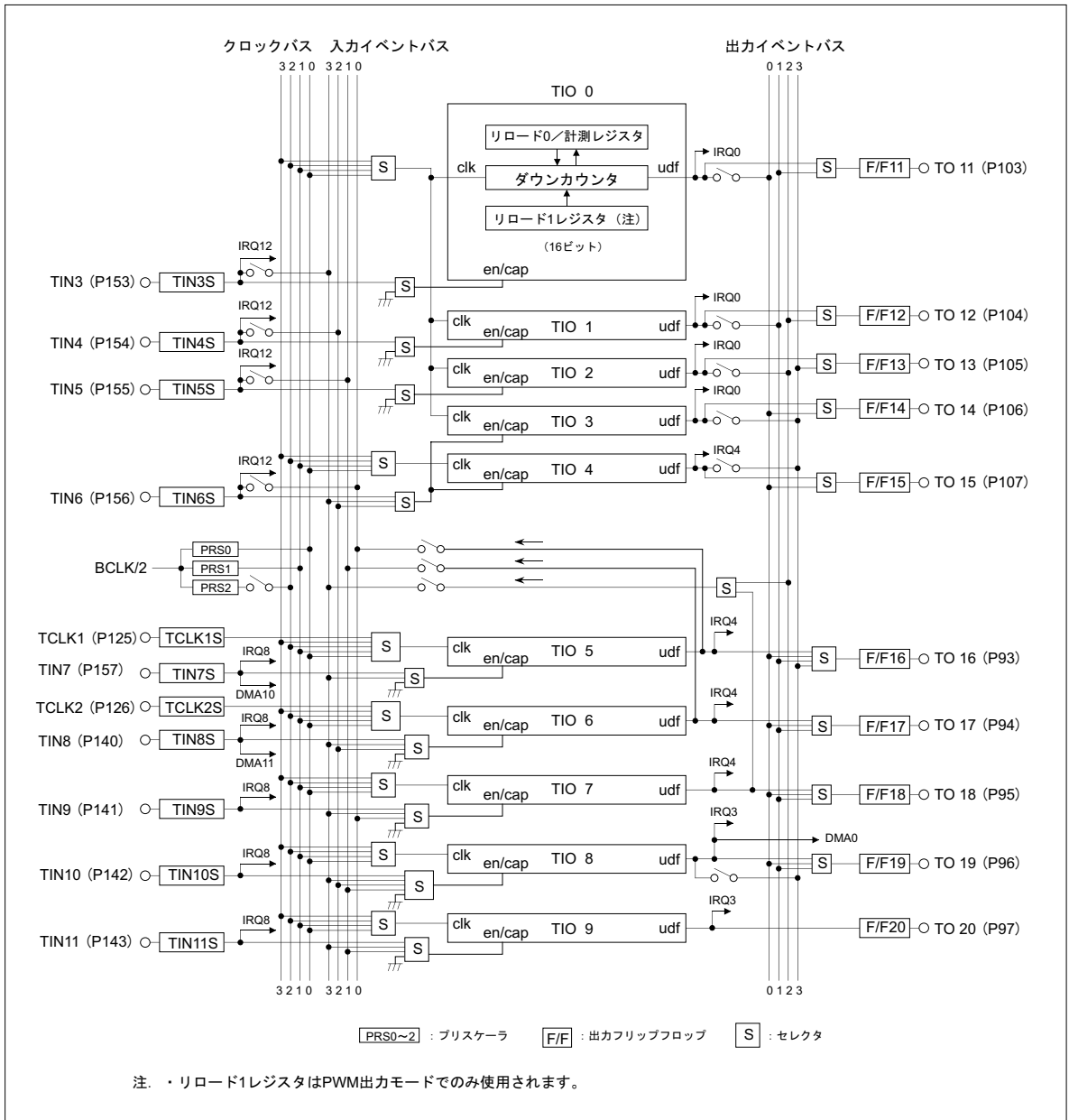


図10.4.1 TIQ 入出力系16ビットタイマ)ブロック図

10.4.2 TIO各モードの概要

以下にTIOの各モードの概要を示します。なおTIO各チャンネルのモードは、この中から1つだけを選択できます。

(1) 計測(クリア/フリーラン)入力モード

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。

計測フリーラン入力モードではキャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。なお、カウンタのアンダフローまたは計測動作の実行で割り込み要求を発生することができます。

(2) ノイズ処理入力モード

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込み要求を発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効レベルになった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時に行われます。

なお、カウンタのアンダフローで割り込み要求を発生することができます。

(3) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求を発生することができます。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。

(5) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。

(6) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロード0レジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1の連続的なパルスを発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求を発生することができます。

<カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

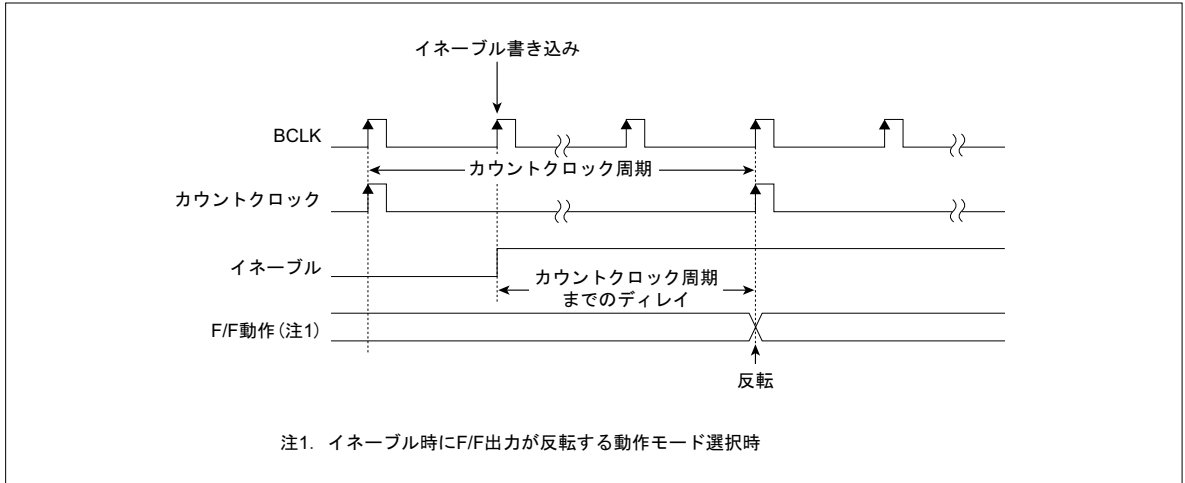


図10.4.2 カウントクロック分のディレイ

10.4.3 TIO関連レジスタマップ

以下にTIO関連のレジスタマップを示します。

TIO関連レジスタマップ(1/2)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----|------------------------|----|-------------------------------|-----------------------------|-----|-----------|
| H'0080 0300 | | | | TIO0カウンタ (TIO0CT) | | | 10-109 |
| H'0080 0302 | | | | (使用禁止領域) | | | |
| H'0080 0304 | | | | TIO0リロード1レジスタ (TIO0RL1) | | | 10-111 |
| H'0080 0306 | | | | TIO0リロード0/計測レジスタ (TIO0RL0) | | | 10-110 |
| } | | | | (使用禁止領域) | | | |
| H'0080 0310 | | | | TIO1カウンタ (TIO1CT) | | | 10-109 |
| H'0080 0312 | | | | (使用禁止領域) | | | |
| H'0080 0314 | | | | TIO1リロード1レジスタ (TIO1RL1) | | | 10-111 |
| H'0080 0316 | | | | TIO1リロード0/計測レジスタ (TIO1RL0) | | | 10-110 |
| H'0080 0318 | | | | (使用禁止領域) | | | |
| H'0080 031A | | | | TIO0～3制御レジスタ0 (TIO03CR0) | | | 10-102 |
| H'0080 031C | | (使用禁止領域) | | | TIO0～3制御レジスタ1 (TIO03CR1) | | 10-103 |
| } | | | | (使用禁止領域) | | | |
| H'0080 0320 | | | | TIO2カウンタ (TIO2CT) | | | 10-109 |
| H'0080 0322 | | | | (使用禁止領域) | | | |
| H'0080 0324 | | | | TIO2リロード1レジスタ (TIO2RL1) | | | 10-111 |
| H'0080 0326 | | | | TIO2リロード0/計測レジスタ (TIO2RL0) | | | 10-110 |
| } | | | | (使用禁止領域) | | | |
| H'0080 0330 | | | | TIO3カウンタ (TIO3CT) | | | 10-109 |
| H'0080 0332 | | | | (使用禁止領域) | | | |
| H'0080 0334 | | | | TIO3リロード1レジスタ (TIO3RL1) | | | 10-111 |
| H'0080 0336 | | | | TIO3リロード0/計測レジスタ (TIO3RL0) | | | 10-110 |
| } | | | | (使用禁止領域) | | | |
| H'0080 0340 | | | | TIO4カウンタ (TIO4CT) | | | 10-109 |
| H'0080 0342 | | | | (使用禁止領域) | | | |
| H'0080 0344 | | | | TIO4リロード1レジスタ (TIO4RL1) | | | 10-111 |
| H'0080 0346 | | | | TIO4リロード0/計測レジスタ (TIO4RL0) | | | 10-110 |
| H'0080 0348 | | | | (使用禁止領域) | | | |
| H'0080 034A | | TIO4制御レジスタ (TIO4CR) | | | TIO5制御レジスタ (TIO5CR) | | 10-104 |
| } | | | | (使用禁止領域) | | | 10-106 |

TIO関連レジスタマップ(2/2)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|------------------------|-------------------------------|------------------|
| | b0 | b7 b8 | b15 |
| H'0080 0350 | | TIO5カウンタ (TIO5CT) | 10-109 |
| H'0080 0352 | | (使用禁止領域) | |
| H'0080 0354 | | TIO5リロード1レジスタ (TIO5RL1) | 10-111 |
| H'0080 0356 | | TIO5リロード0/計測レジスタ (TIO5RL0) | 10-110 |
| } | | (使用禁止領域) | |
| H'0080 0360 | | TIO6カウンタ (TIO6CT) | 10-109 |
| H'0080 0362 | | (使用禁止領域) | |
| H'0080 0364 | | TIO6リロード1レジスタ (TIO6RL1) | 10-111 |
| H'0080 0366 | | TIO6リロード0/計測レジスタ (TIO6RL0) | 10-110 |
| H'0080 0368 | | (使用禁止領域) | |
| H'0080 036A | TIO6制御レジスタ (TIO6CR) | TIO7制御レジスタ (TIO7CR) | 10-107 10-108 |
| } | | (使用禁止領域) | |
| H'0080 0370 | | TIO7カウンタ (TIO7CT) | 10-109 |
| H'0080 0372 | | (使用禁止領域) | |
| H'0080 0374 | | TIO7リロード1レジスタ (TIO7RL1) | 10-111 |
| H'0080 0376 | | TIO7リロード0/計測レジスタ (TIO7RL0) | 10-110 |
| } | | (使用禁止領域) | |
| H'0080 0380 | | TIO8カウンタ (TIO8CT) | 10-109 |
| H'0080 0382 | | (使用禁止領域) | |
| H'0080 0384 | | TIO8リロード1レジスタ (TIO8RL1) | 10-111 |
| H'0080 0386 | | TIO8リロード0/計測レジスタ (TIO8RL0) | 10-110 |
| H'0080 0388 | | (使用禁止領域) | |
| H'0080 038A | TIO8制御レジスタ (TIO8CR) | TIO9制御レジスタ (TIO9CR) | 10-108 10-109 |
| } | | (使用禁止領域) | |
| H'0080 0390 | | TIO9カウンタ (TIO9CT) | 10-109 |
| H'0080 0392 | | (使用禁止領域) | |
| H'0080 0394 | | TIO9リロード1レジスタ (TIO9RL1) | 10-111 |
| H'0080 0396 | | TIO9リロード0/計測レジスタ (TIO9RL0) | 10-110 |
| } | | (使用禁止領域) | |
| H'0080 03BC | | TIOイネーブルプロテクトレジスタ (TIOPRO) | 10-112 |
| H'0080 03BE | | TIOカウントイネーブルレジスタ (TIOEN) | 10-113 |

10.4.4 TIO制御レジスタ

TIO制御レジスタは、TIO0～9の動作モード(計測入力, ノイズ処理入力, PWM出力, ワンショット出力, デイレイドワンショット出力, 連続出力モード)の選択、カウントイネーブルの入力選択、およびカウントクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに以下のレジスタがあります。

- TIO0～3制御レジスタ0(TIO03CR0)
- TIO0～3制御レジスタ1(TIO03CR1)
- TIO4制御レジスタ(TIO4CR)
- TIO5制御レジスタ(TIO5CR)
- TIO6制御レジスタ(TIO6CR)
- TIO7制御レジスタ(TIO7CR)
- TIO8制御レジスタ(TIO8CR)
- TIO9制御レジスタ(TIO9CR)

TIO0～3制御レジスタα(TIO03CR0)

<アドレス: H'0080 031A>

| | | | | | | | | | | | | | | | |
|---------|-------|---|---|---------|-------|---|---|---------|-------|----|----|---------|-------|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIO3EEN | TIO3M | | | TIO2ENS | TIO2M | | | TIO1ENS | TIO1M | | | TIO0ENS | TIO0M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-------|-----------------------------------|---|---|---|
| 0 | TIO3EEN(注1) TIO3外部入力許可ビット | 0: 外部入力禁止 1: 外部入力許可 | R | W |
| 1～3 | TIO3M TIO3動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |
| 4 | TIO2ENS TIO2イネーブル/計測入力ソース選択ビット | 0: 非選択 1: 外部入力TIN5 | R | W |
| 5～7 | TIO2M TIO2動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |
| 8 | TIO1ENS TIO1イネーブル/計測入力ソース選択ビット | 0: 非選択 1: 外部入力TIN4 | R | W |
| 9～11 | TIO1M TIO1動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |
| 12 | TIO0ENS TIO0イネーブル/計測入力ソース選択ビット | 0: 非選択 1: 外部入力TIN3 | R | W |
| 13～15 | TIO0M TIO0動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |

注・このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

・TIO3のイネーブル/測量入力ソース選択は、TIO4制御レジスタのTIO34ENS(TIO3, TIO4イネーブル/測量入力ソース選択)ビットで選択します。

注1. 計測(フリーラン/クリア)モード時、本ビットが"0(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。ただし、計測クリア入力モードでは本ビットが"0(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1(外部入力許可)にして使用してください。

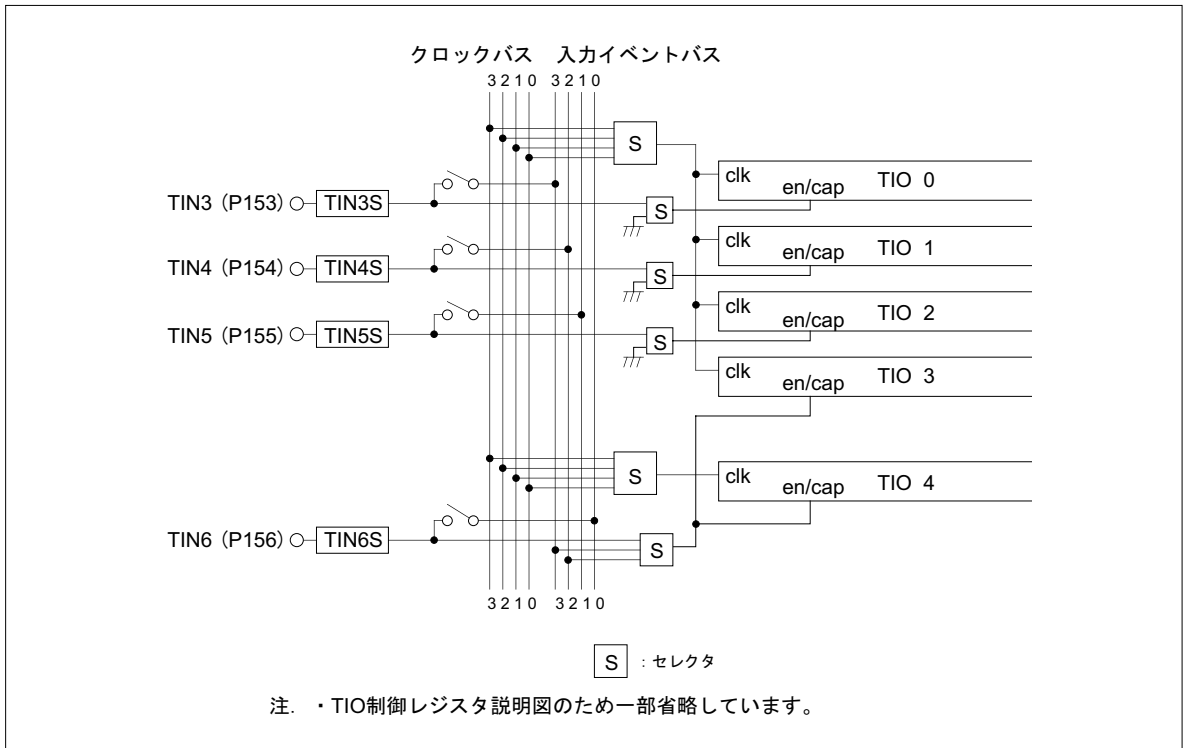


図10.4.3 TIO0~4のクロック/イネーブル入力概略図

TIO0~3制御レジスタ1(TIO03CR1)

<アドレス : H'0080 031D >

| | | | | | | | |
|----|---|----|----|----|----|----|----------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | | | | | | | TIO03CKS |
| | | | | | | | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|--------|---------------------------|--------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14, 15 | TIO03CKS | 00 : クロックバス0 | R | W |
| | TIO0~3クロックソース選択ビット | 01 : クロックバス1 | | |
| | | 10 : クロックバス2 | | |
| | | 11 : クロックバス3 | | |

TIO4制御レジスタ(TIO4CR)

<アドレス: H'0080 034A>

| | | | | | | | |
|---------|---------|----------|-------|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| TIO4CKS | TIO4EEN | TIO34ENS | TIO4M | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|------|---|---|---|---|
| 0, 1 | TIO4CKS TIO4クロックソース選択ビット | 00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3 | R | W |
| 2 | TIO4EEN (注1) TIO4外部入力許可ビット | 0: 外部入力禁止 1: 外部入力許可 | R | W |
| 3, 4 | TIO34ENS TIO3, 4イネーブル/ 計測入力ソース選択ビット | 00: 外部入力TIN6 01: " 10: 入力イベントバス2 11: 入力イベントバス3 | R | W |
| 5~7 | TIO4M TIO4動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |

注. ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

注1. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

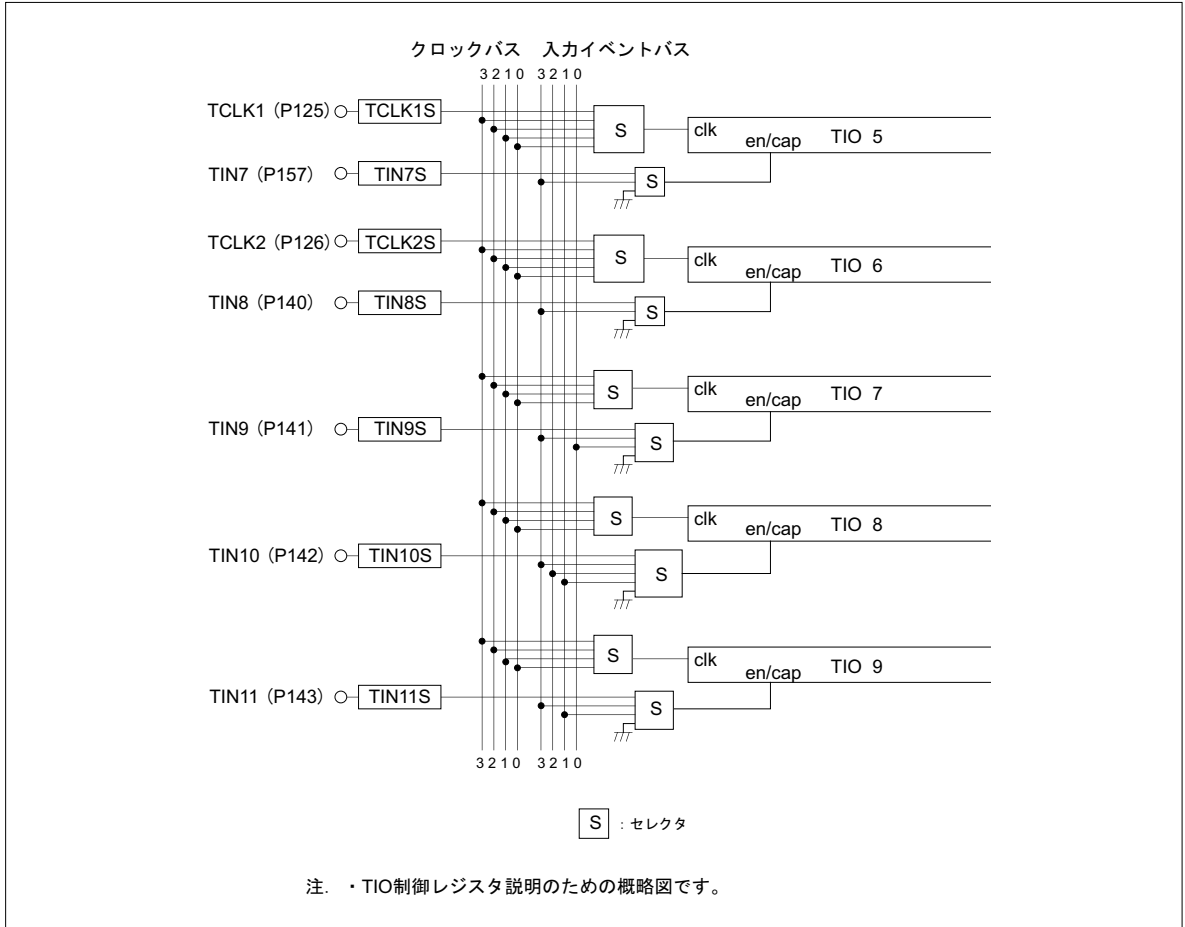


図10.4.4 TIO5～9のクロック/イネーブル入力概略図

TIO5制御レジスタ(TIO5CR)

<アドレス: H'0080 034B>

| | | | | | | | |
|---------|---|----|---------|----|-------|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIO5CKS | | | TIO5ENS | | TIO5M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|---------|---------------------------------------|---|---|---|
| 8 ~ 10 | TIO5CKS TIO5クロックソース選択ビット | 000: 外部入力TCLK1 001: " 010: " 011: " 100: クロックバス0 101: クロックバス1 110: クロックバス2 111: クロックバス3 | R | W |
| 11, 12 | TIO5ENS TIO5イネーブル/ 計測入力ソース選択ビット | 00: 非選択 01: " 10: 外部入力TIN7 11: 入力イベントバス3 | R | W |
| 13 ~ 15 | TIO5M TIO5動作モード選択ビット | 000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: " | R | W |

注. ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO6制御レジスタ(TIO6CR)

<アドレス : H'0080 036A>

| D0 | 1 | 2 | 3 | 4 | 5 | 6 | D7 |
|---------|---|---|---------|---|-------|---|----|
| TIO6CKS | | | TIO6ENS | | TIO6M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|---------------|----------------------------|------------------------|---|---|
| 0 ~ 2 | TIO6CKS | 000 : 外部入力TCLK2 | R | W |
| | TIO6クロックソース選択ビット | 001 : " | | |
| | | 010 : " | | |
| | | 011 : " | | |
| | | 100 : クロックバス0 | | |
| | | 101 : クロックバス1 | | |
| | | 110 : クロックバス2 | | |
| 111 : クロックバス3 | | | | |
| 3, 4 | TIO6ENS | 00 : 非選択 | R | W |
| | TIO6イネーブル/ 計測入力ソース選択ビット | 01 : 外部入力TIN8 | | |
| | | 10 : 入力イベントバス2 | | |
| | | 11 : 入力イベントバス3 | | |
| 5 ~ 7 | TIO6M | 000 : ワンショット出力モード | R | W |
| | TIO6動作モード選択ビット | 001 : ディレイドワンショット出力モード | | |
| | | 010 : 連続出力モード | | |
| | | 011 : PWM出力モード | | |
| | | 100 : 計測クリア入力モード | | |
| | | 101 : 計測フリーラン入力モード | | |
| | | 110 : ノイズ処理入力モード | | |
| 111 : " | | | | |

注 . ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO7制御レジスタ(TIO7CR)

<アドレス : H'0080 036B>

| | | | | | | | |
|----|---------|----|---------|----|-------|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | TIO7CKS | | TIO7ENS | | TIO7M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|---------|---------------------------------------|---|---|---|
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9, 10 | TIO7CKS TIO7クロックソース選択ビット | 00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3 | R | W |
| 11, 12 | TIO7ENS TIO7イネーブル/ 計測入力ソース選択ビット | 00 : 非選択 01 : 外部入力TIN9 10 : 入力イベントバス0 11 : 入力イベントバス3 | R | W |
| 13 ~ 15 | TIO7M TIO7動作モード選択ビット | 000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 110 : ノイズ処理入力モード 111 : " | R | W |

注 . ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO8制御レジスタ(TIO8CR)

<アドレス : H'0080 038A>

| | | | | | | | |
|---------|---|---------|---|---|-------|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| TIO8CKS | | TIO8ENS | | | TIO8M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------------------|---|---|---|
| 0, 1 | TIO8CKS TIO8クロックソース選択ビット | 00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3 | R | W |
| 2 ~ 4 | TIO8ENS TIO8イネーブル/ 計測入力ソース選択ビット | 000 : 非選択 001 : " 010 : " 011 : " 100 : 外部入力TIN10 101 : 入力イベントバス1 110 : 入力イベントバス2 111 : 入力イベントバス3 | R | W |
| 5 ~ 7 | TIO8M TIO8動作モード選択ビット | 000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 110 : ノイズ処理入力モード 111 : " | R | W |

注 . ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO9制御レジスタ(TIO9CR)

<アドレス: H'0080 038B>

| | | | | | | | |
|----|---------|----|---------|----|-------|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | TIO9CKS | | TIO9ENS | | TIO9M | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|--------|---------------------------------------|---|---|---|
| 8 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 9, 10 | TIO9CKS TIO9クロックソース選択ビット | 00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3 | R | W |
| 11, 12 | TIO9ENS TIO9イネーブル/ 計測入力ソース選択ビット | 00: 非選択 01: 外部入力TIN11 10: 入力イベントバス1 11: 入力イベントバス3 | R | W |
| 13~15 | TIO9M TIO9動作モード選択ビット | 000: ワンショット出力モード 001: デイレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: # | R | W |

注. . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

10.4.5 TIOカウンタ(TIO0CT~TIO9CT)

TIO0カウンタ(TIO0CT)

<アドレス: H'0080 0300>

TIO1カウンタ(TIO1CT)

<アドレス: H'0080 0310>

TIO2カウンタ(TIO2CT)

<アドレス: H'0080 0320>

TIO3カウンタ(TIO3CT)

<アドレス: H'0080 0330>

TIO4カウンタ(TIO4CT)

<アドレス: H'0080 0340>

TIO5カウンタ(TIO5CT)

<アドレス: H'0080 0350>

TIO6カウンタ(TIO6CT)

<アドレス: H'0080 0360>

TIO7カウンタ(TIO7CT)

<アドレス: H'0080 0370>

TIO8カウンタ(TIO8CT)

<アドレス: H'0080 0380>

TIO9カウンタ(TIO9CT)

<アドレス: H'0080 0390>

| | | | | | | | | | | | | | | | |
|---------------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TIO0CT-TIO9CT | | | | | | | | | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---------------|------------|-------|---|
| 0~15 | TIO0CT-TIO9CT | 16ビットカウンタ値 | R(注1) | |

注1. PWM出力モード時は書き込み不可

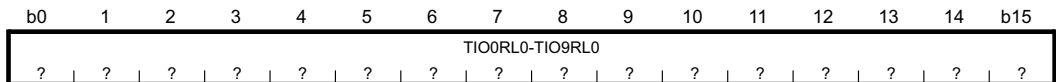
注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIOカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モードでは書き込み不可になります。

10.4.6 TIOリロード0/計測レジスタ(TIO0RL0~TIO9RL0)

| | |
|---------------------------|---------------------|
| TIO0リロード0/計測レジスタ(TIO0RL0) | <アドレス: H'0080 0306> |
| TIO1リロード0/計測レジスタ(TIO1RL0) | <アドレス: H'0080 0316> |
| TIO2リロード0/計測レジスタ(TIO2RL0) | <アドレス: H'0080 0326> |
| TIO3リロード0/計測レジスタ(TIO3RL0) | <アドレス: H'0080 0336> |
| TIO4リロード0/計測レジスタ(TIO4RL0) | <アドレス: H'0080 0346> |
| TIO5リロード0/計測レジスタ(TIO5RL0) | <アドレス: H'0080 0356> |
| TIO6リロード0/計測レジスタ(TIO6RL0) | <アドレス: H'0080 0366> |
| TIO7リロード0/計測レジスタ(TIO7RL0) | <アドレス: H'0080 0376> |
| TIO8リロード0/計測レジスタ(TIO8RL0) | <アドレス: H'0080 0386> |
| TIO9リロード0/計測レジスタ(TIO9RL0) | <アドレス: H'0080 0396> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|-----------------|----------------|---|------|
| 0~15 | TIO0RL0-TIO9RL0 | 16ビットリロードレジスタ値 | R | (注1) |

注1. 計測入力モード時は書き込み不可

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード0/計測レジスタは、TIOカウンタレジスタ(TIO0CT~TIO9CT)へデータをリロードするためのレジスタと、計測入力モードでの計測レジスタを兼ねています。このレジスタは、計測入力モード時には書き込み不可となります。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

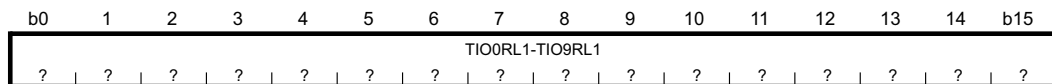
- ノイズ処理入力モードでカウントを開始した後、カウンタアンダフロー前に、入力信号が反転し、再度有効レベルの入力があったとき
- ワンショットモードでカウンタがイネーブルになったとき
- ディレイドワンショットまたは連続モードでカウンタがアンダフローしたとき
- PWM出力モードでイネーブルになった時と、リロード1レジスタでセットしたカウンタ値がアンダフローしたとき

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

一方計測レジスタとして使用する場合は、イベント入力により、カウンタの値をこの計測レジスタに取り込みます。

10.4.7 TIOリロード1レジスタ(TIO0RL1 ~ TIO9RL1)

| | |
|------------------------|----------------------|
| TIO0リロード1レジスタ(TIO0RL1) | <アドレス : H'0080 0304> |
| TIO1リロード1レジスタ(TIO1RL1) | <アドレス : H'0080 0314> |
| TIO2リロード1レジスタ(TIO2RL1) | <アドレス : H'0080 0324> |
| TIO3リロード1レジスタ(TIO3RL1) | <アドレス : H'0080 0334> |
| TIO4リロード1レジスタ(TIO4RL1) | <アドレス : H'0080 0344> |
| TIO5リロード1レジスタ(TIO5RL1) | <アドレス : H'0080 0354> |
| TIO6リロード1レジスタ(TIO6RL1) | <アドレス : H'0080 0364> |
| TIO7リロード1レジスタ(TIO7RL1) | <アドレス : H'0080 0374> |
| TIO8リロード1レジスタ(TIO8RL1) | <アドレス : H'0080 0384> |
| TIO9リロード1レジスタ(TIO9RL1) | <アドレス : H'0080 0394> |



<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|--------|-----------------|----------------|---|---|
| 0 ~ 15 | TIO0RL1-TIO9RL1 | 16ビットリロードレジスタ値 | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード1レジスタは、TIOカウンタレジスタ(TIO0CT ~ TIO9CT)へデータをリロードするためのレジスタです。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

- PWM出力モードでリロード0レジスタでセットしたカウント値がアンダフローしたとき

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.4.8 TIOイネーブル制御レジスタ

TIOイネーブルプロテクトレジスタ(TIOPRO)

< アドレス : H'0080 03BC >

| | | | | | | | | | | | | | | | |
|----|---|---|---|---|---|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | TIO9PRO | TIO8PRO | TIO7PRO | TIO6PRO | TIO5PRO | TIO4PRO | TIO3PRO | TIO2PRO | TIO1PRO | TIO0PRO |
| | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TIO9PRO (TIO9イネーブルプロテクトビット) | 0 : 書き換え許可 | R | W |
| 7 | TIO8PRO (TIO8イネーブルプロテクトビット) | 1 : 書き換え禁止 | | |
| 8 | TIO7PRO (TIO7イネーブルプロテクトビット) | | | |
| 9 | TIO6PRO (TIO6イネーブルプロテクトビット) | | | |
| 10 | TIO5PRO (TIO5イネーブルプロテクトビット) | | | |
| 11 | TIO4PRO (TIO4イネーブルプロテクトビット) | | | |
| 12 | TIO3PRO (TIO3イネーブルプロテクトビット) | | | |
| 13 | TIO2PRO (TIO2イネーブルプロテクトビット) | | | |
| 14 | TIO1PRO (TIO1イネーブルプロテクトビット) | | | |
| 15 | TIO0PRO (TIO0イネーブルプロテクトビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIOイネーブルプロテクトレジスタは、次に示すTIOカウントイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

TIOカウントイネーブルレジスタ(TIOcEN)

< アドレス : H'0080 03BE >

| | | | | | | | | | | | | | | | |
|----|---|---|---|---|---|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | TIO9CEN | TIO8CEN | TIO7CEN | TIO6CEN | TIO5CEN | TIO4CEN | TIO3CEN | TIO2CEN | TIO1CEN | TIO0CEN |
| | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|-----|------------------------------|------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | TIO9CEN (TIO9カウントイネーブルビット) | 0 : カウント停止 | R | W |
| 7 | TIO8CEN (TIO8カウントイネーブルビット) | 1 : カウント許可 | | |
| 8 | TIO7CEN (TIO7カウントイネーブルビット) | | | |
| 9 | TIO6CEN (TIO6カウントイネーブルビット) | | | |
| 10 | TIO5CEN (TIO5カウントイネーブルビット) | | | |
| 11 | TIO4CEN (TIO4カウントイネーブルビット) | | | |
| 12 | TIO3CEN (TIO3カウントイネーブルビット) | | | |
| 13 | TIO2CEN (TIO2カウントイネーブルビット) | | | |
| 14 | TIO1CEN (TIO1カウントイネーブルビット) | | | |
| 15 | TIO0CEN (TIO0カウントイネーブルビット) | | | |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIOカウントイネーブルレジスタは、TIOカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続出力モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTIOカウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

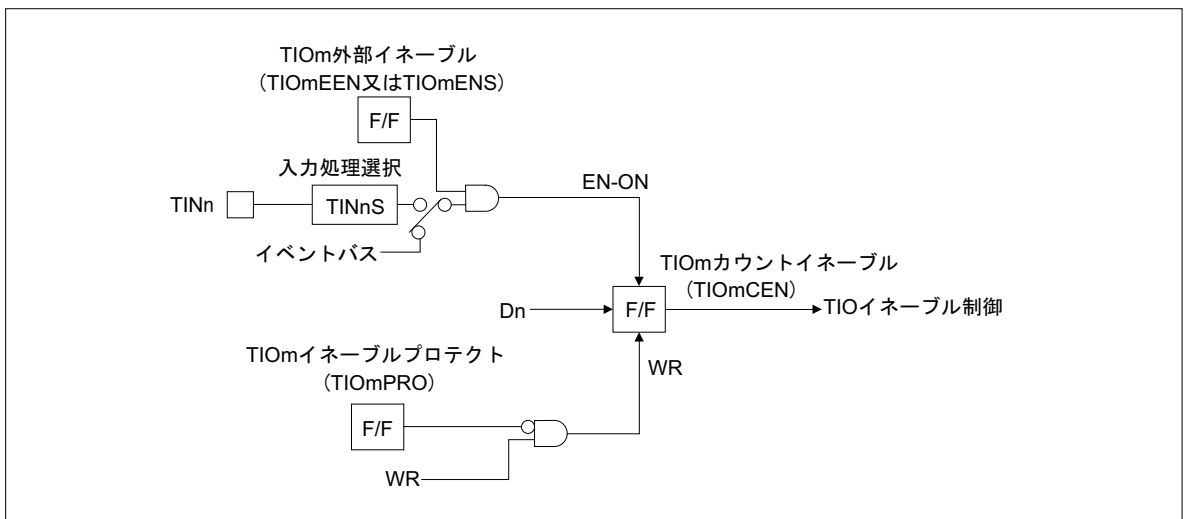


図10.4.5 TIOイネーブル回路構成図

10.4.9 TIO計測(フリーラン/クリア)入力モードの動作

(1) TIO計測(フリーラン/クリア)入力モード概要

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。カウンタのアンダフローまたは計測動作の実行で割り込み要求を発生させることができます。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。また、アンダフローするとH'FFFFダウンフローカウントを続けます。

計測フリーラン入力モードでは、キャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

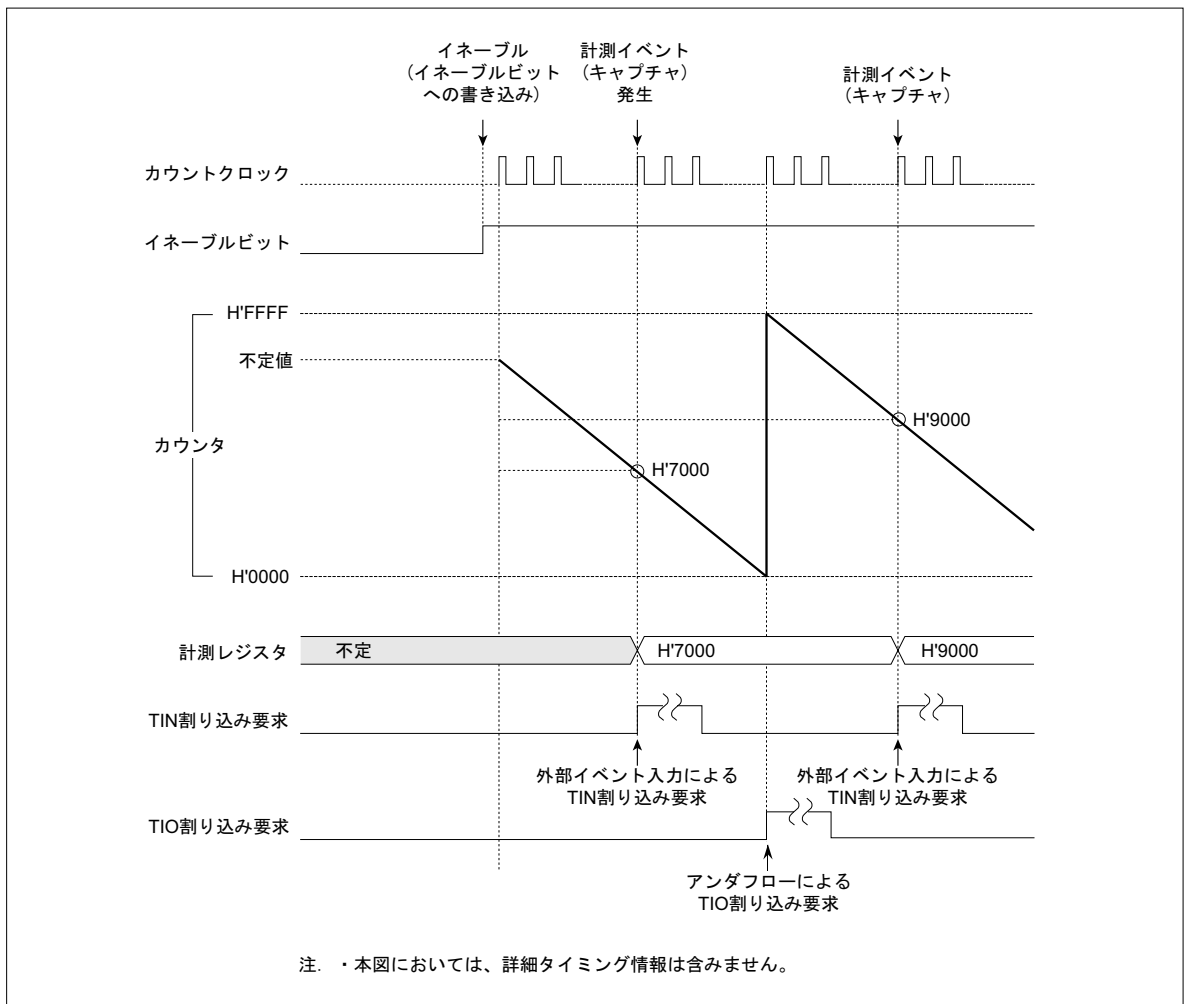


図10.4.6 計測フリーラン入力モードの動作例

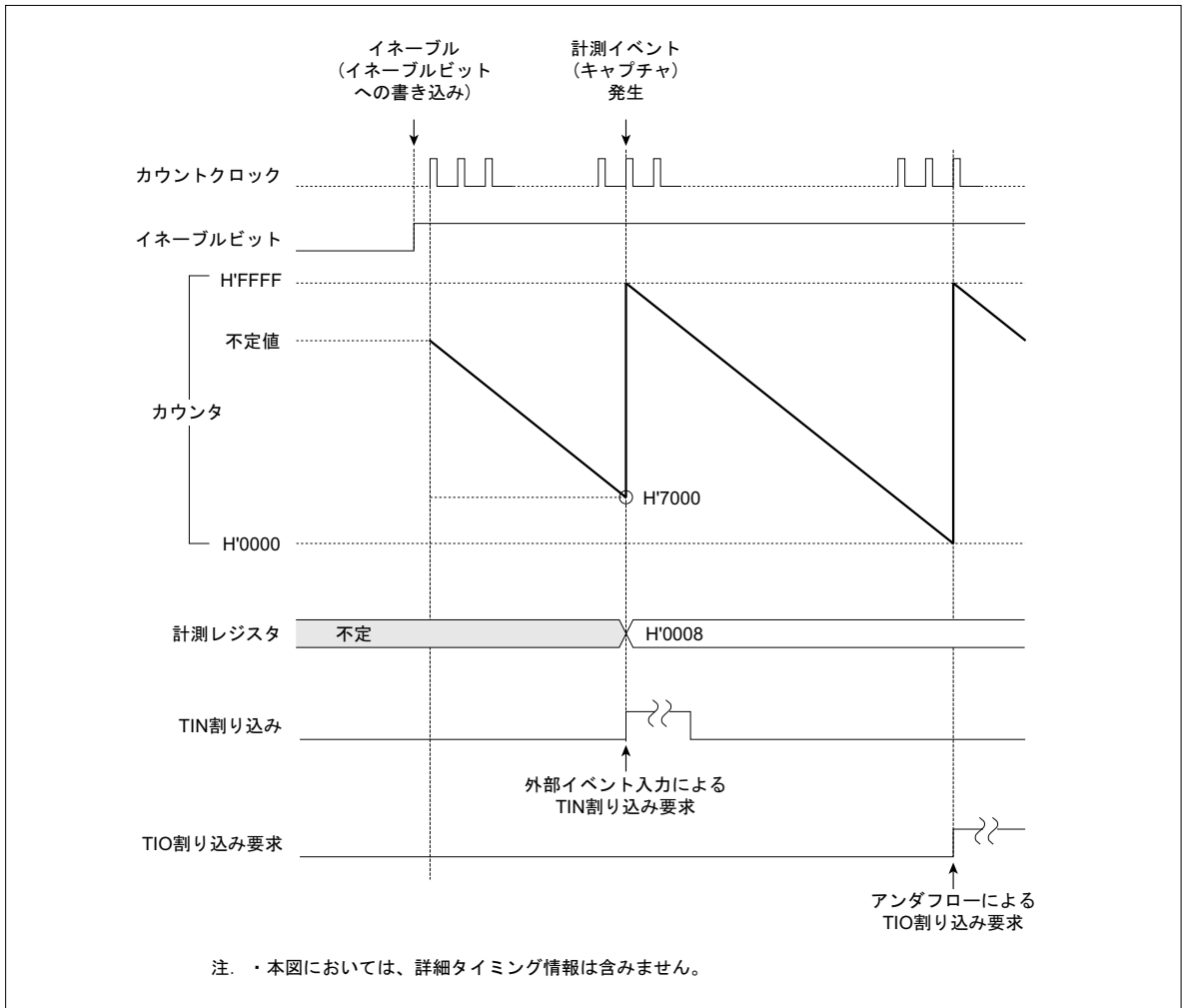


図10.4.7 計測クリア入力モードの動作例

(2) TIO計測(フリーラン/クリア)入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

- 計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.4.10 TIOノイズ処理入力モードの動作

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込み要求を発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効になった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。有効カウント幅はリロード0レジスタの設定値+1です。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時にされます。

なお、カウンタのアンダフローで割り込み要求を発生することができます。

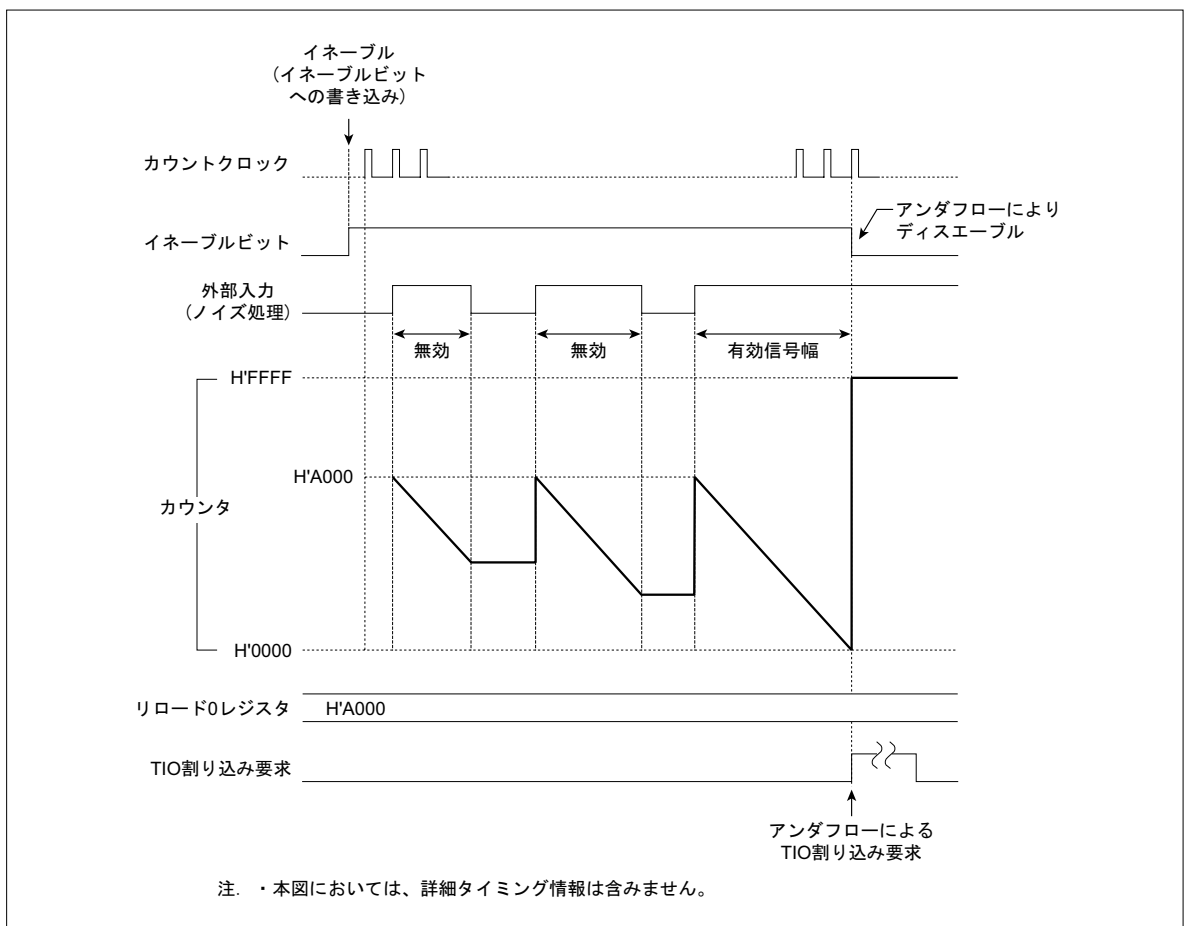


図10.4.8 ノイズ処理入力モードの動作例

10.4.11 TIO PWM出力モード動作

(1) TIO PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが "L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求を発生することができます。

なお、TIOのPWM出力モードには補正機能はありません。

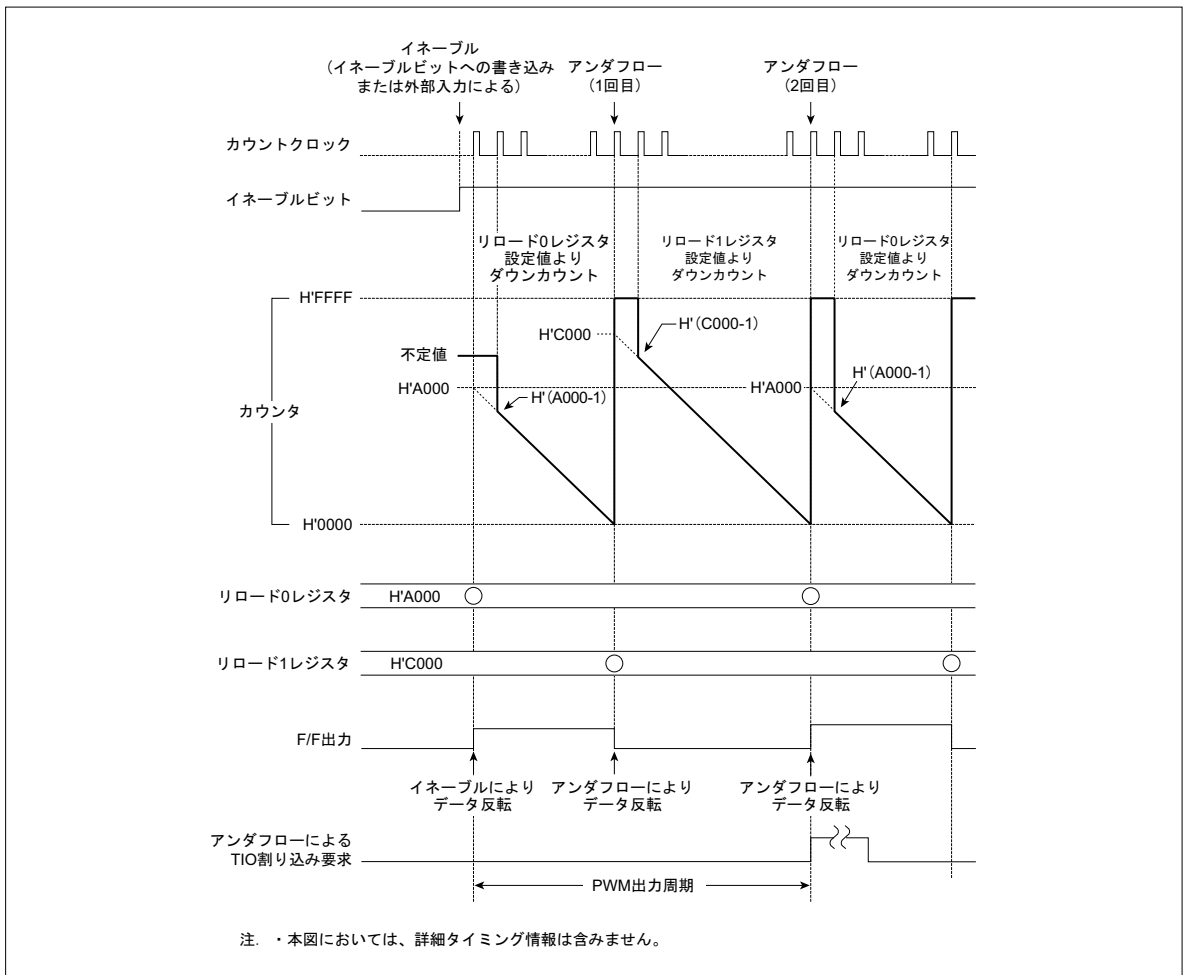


図10.4.9 PWM出力モードの動作例

(2) TIO PWM出力モードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0, 1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0, 1レジスタをリードすると、常にかき込んだデータが読み出されます。

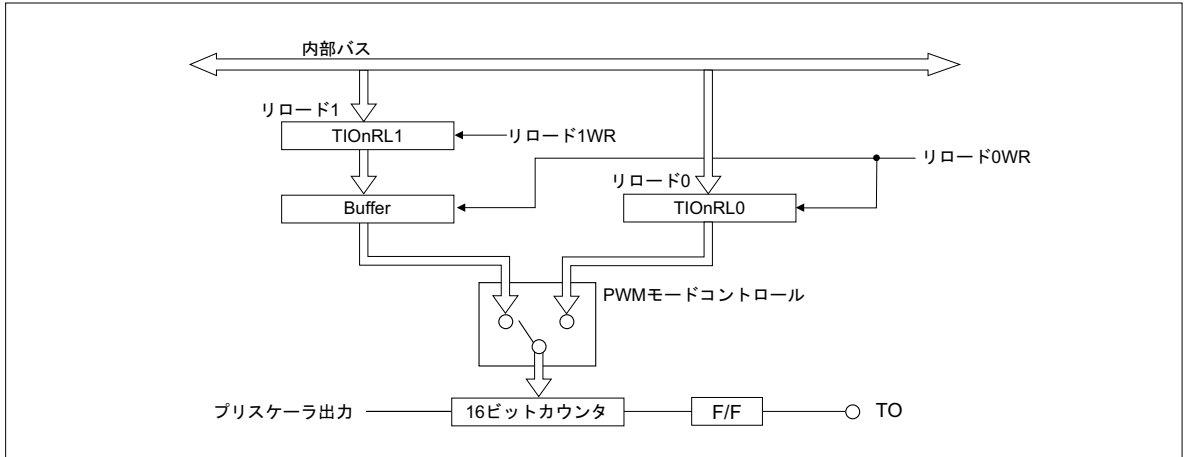


図10.4.10 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0, 1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0, 1レジスタをリード時、常にかき込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

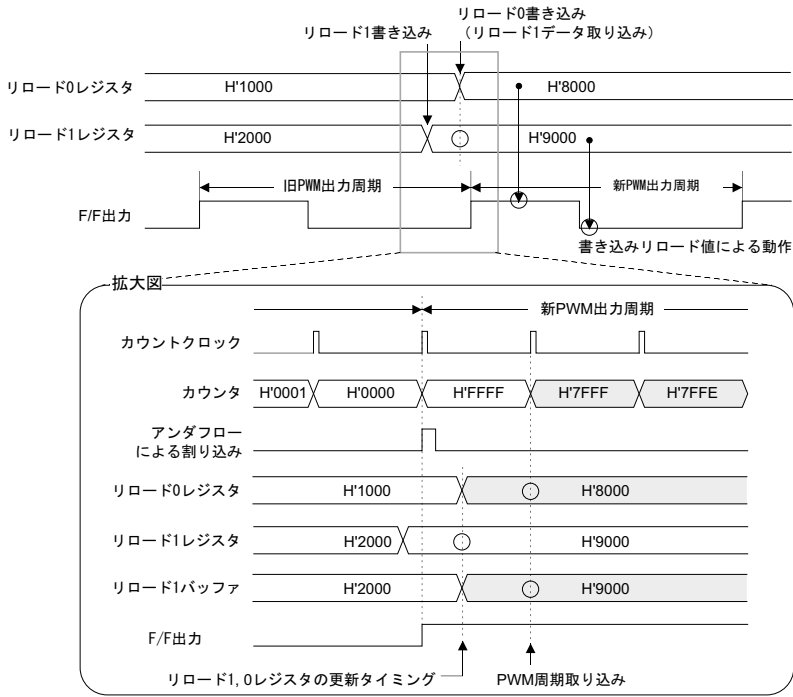
なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

(3) TIO PWM出力モード使用上の注意

TIO PWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

(a) 現周期でリロードレジスタ更新が有効となる場合 (次周期に反映)



(b) 次周期でリロードレジスタ更新が有効となる場合 (1周期遅れて反映)

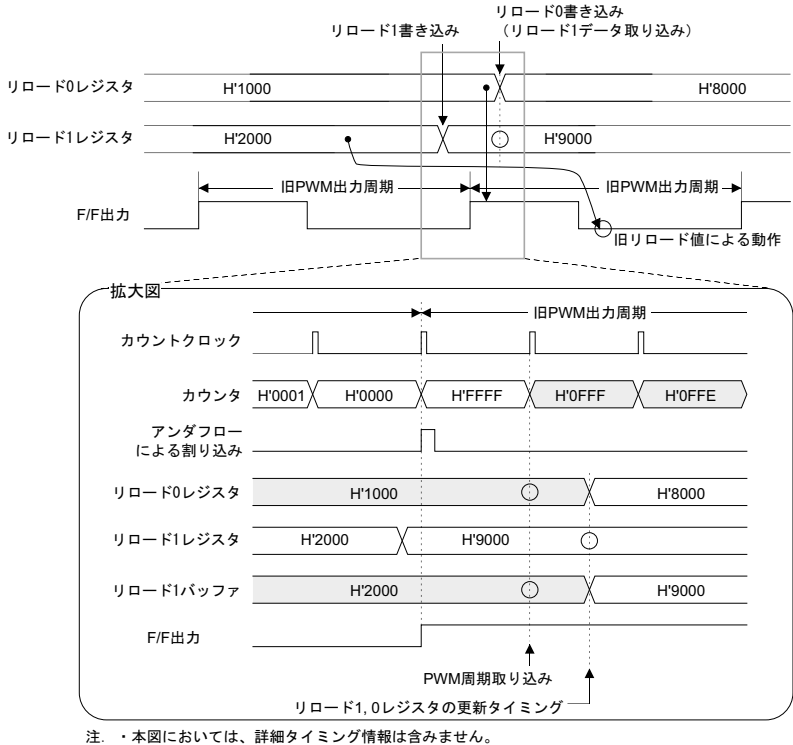


図10.4.11 PWM出力モードにおけるリロード0, 1レジスタの更新

10.4.12 TIOワンショット出力モード(補正機能なし)の動作

(1) TIOワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。

カウント値はリロード0レジスタの設定値+1です(カウント動作については「10.3.9 TOPワンショット出力モード」も参照してください)。

(2) TIOワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

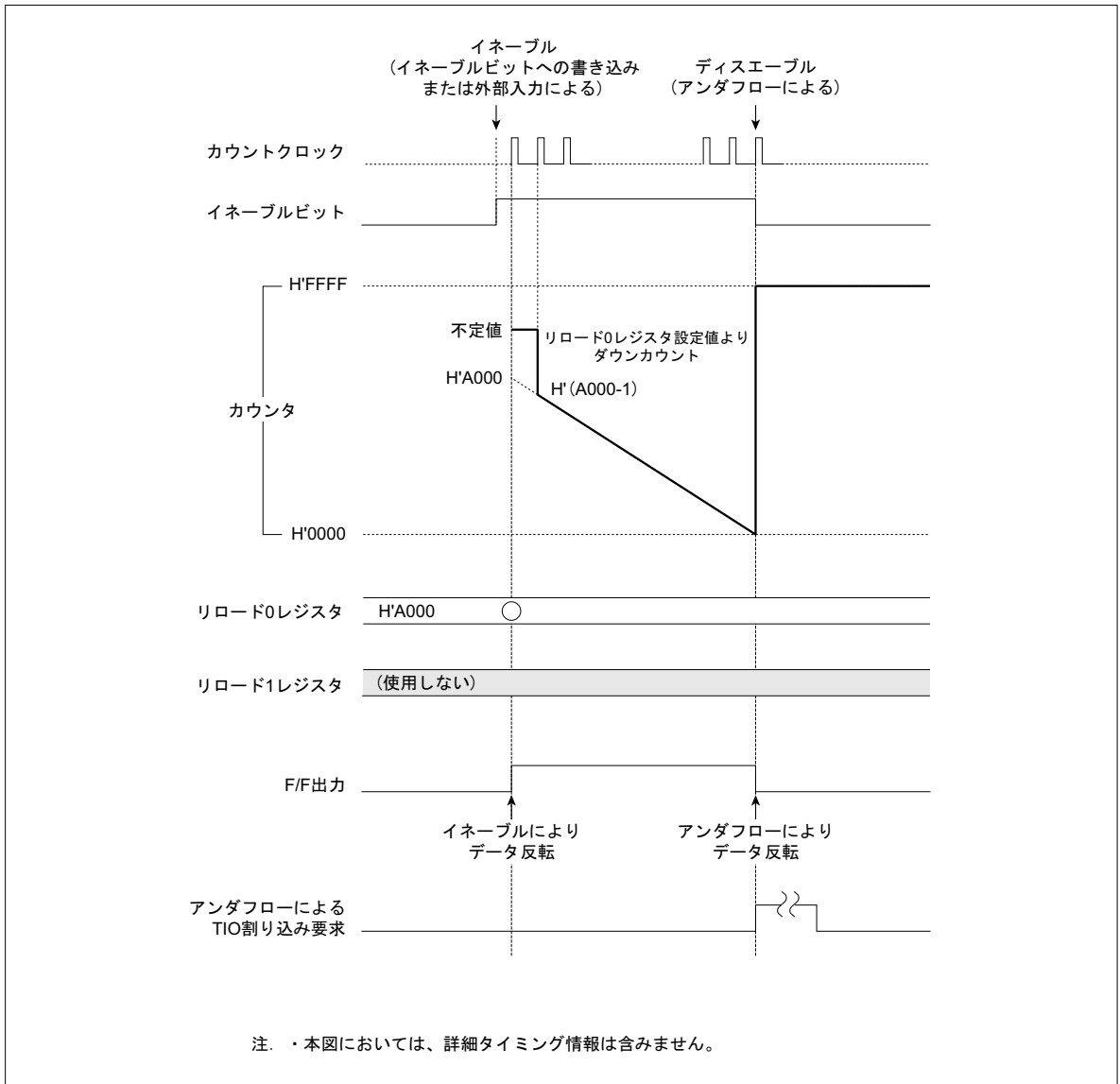


図10.4.12 TIOワンショット出力モード(補正機能なし)の動作例

10.4.13 TIOディレイドワンショット出力モード(補正機能なし)の動作

(1) TIOディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については「10.3.10 TOPディレイドワンショット出力モード」も参照してください)。

(2) TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

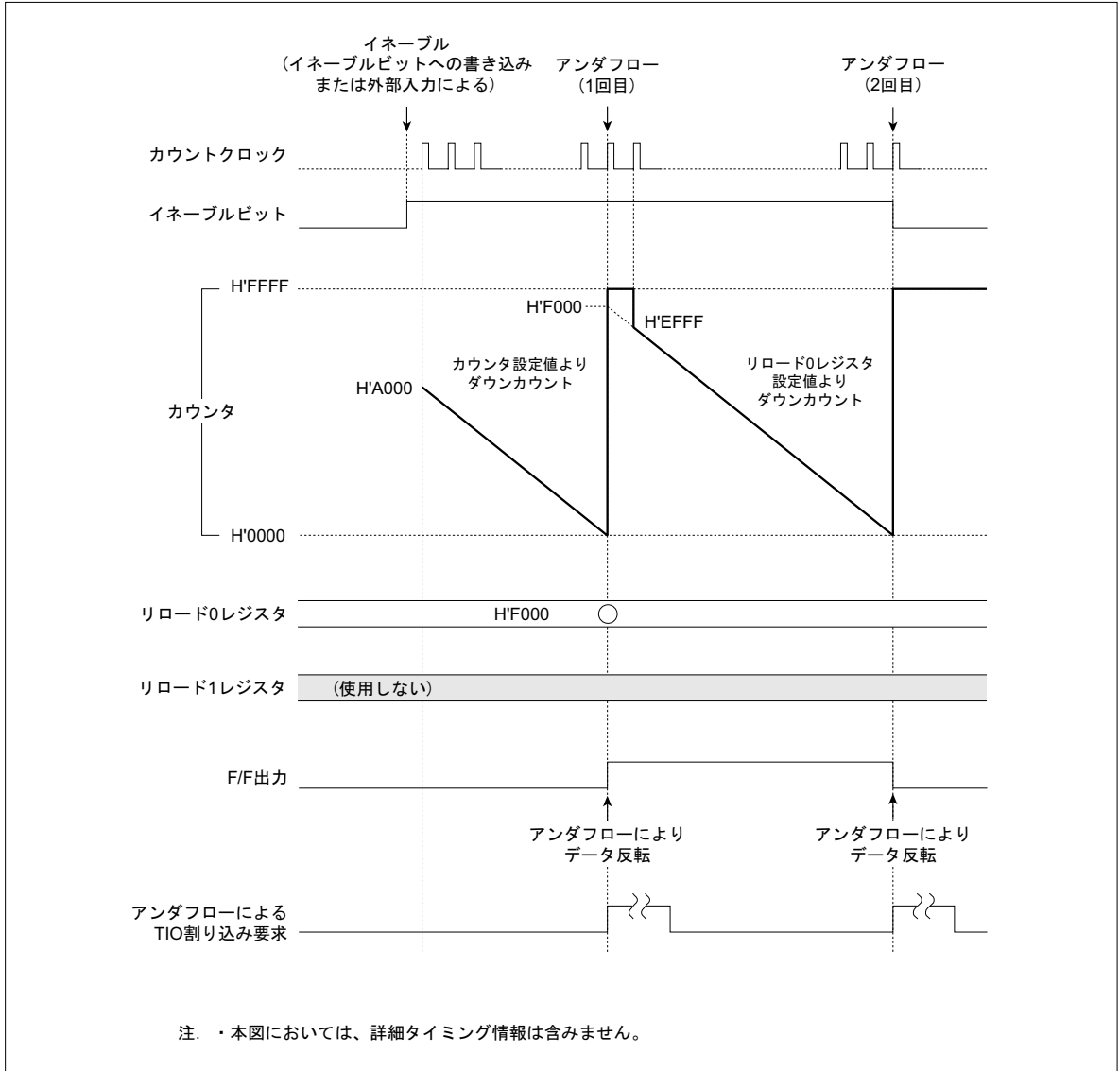


図10.4.13 TIOディレイドワンショット出力モード(補正機能なし)の動作例

10.4.14 TIO連続出力モード(補正機能なし)の動作

(1) TIO連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求を発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です(カウント動作については「10.3.11 TOP連続出力モード」も参照してください)。

(2) TIO連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をHFFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロック出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

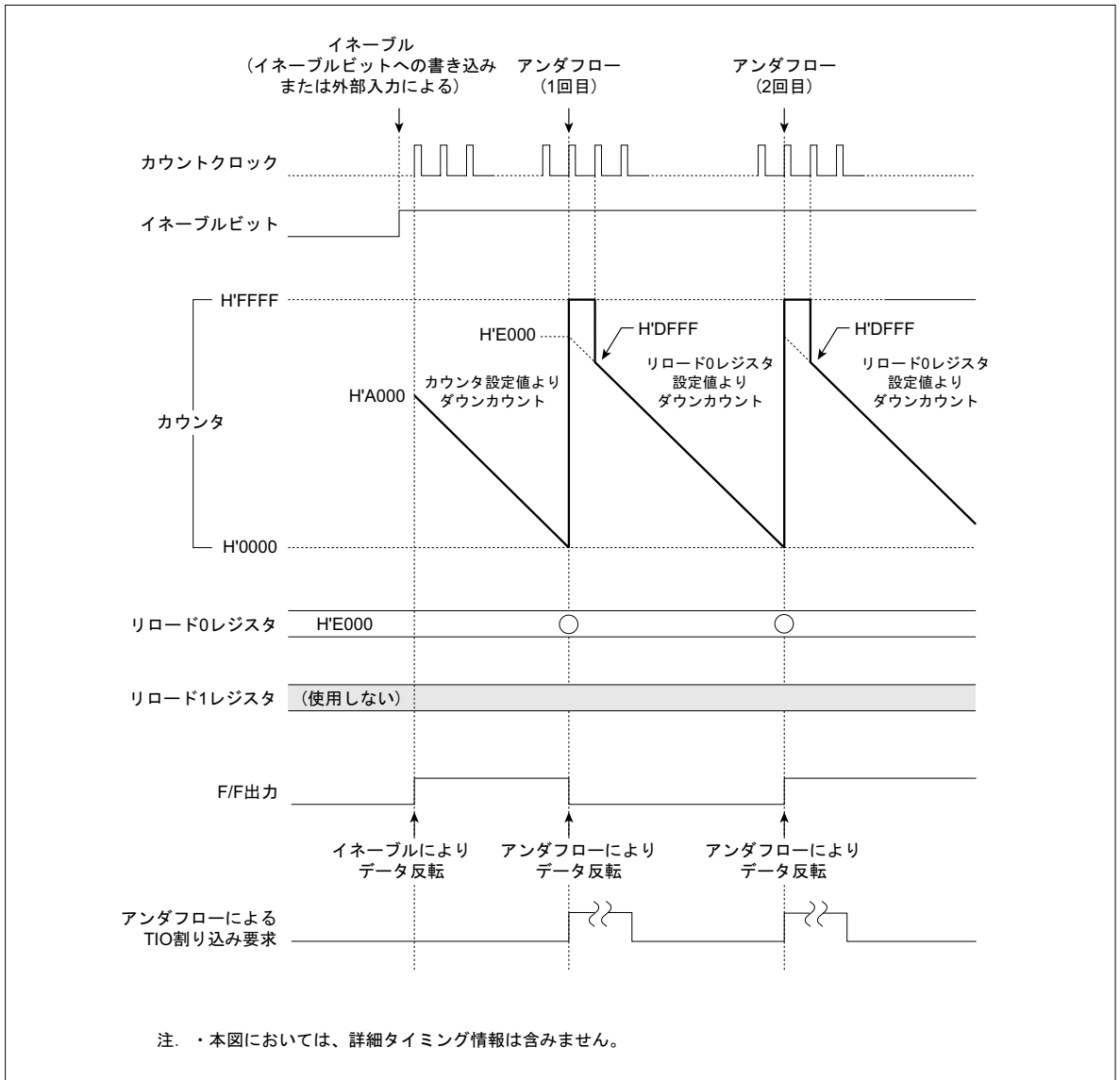


図10.4.14 TIO連続出力モード(補正機能なし)の動作例

10.5 TMS(入力系16ビットタイマ)

10.5.1 TMS概要

TMS(Timer Measure Small)は入力系16ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMSの仕様を、また次ページにTMSのブロック図を示します。

表10.5.1 TMS(入力系16ビットタイマ)の仕様

| 項目 | 仕様 |
|----------|-----------------------------|
| チャンネル数 | 8チャンネル(2系統 各4チャンネル、計8チャンネル) |
| カウンタ | 16ビットアップカウンタ(2本) |
| 計測レジスタ | 16ビット計測レジスタ(8本) |
| タイマの起動 | イネーブルビットへのソフトウェア書き込み |
| 割り込み要求発生 | カウンタのオーバフローで発生可能 |

10.5.2 TMSの動作概要

TMSは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは16ビットのアップカウンタで、外部入力による計測信号の発生で、カウンタ値を各計測レジスタに取り込みます。

カウントの停止は、ソフトウェアによるイネーブルビットへのカウント禁止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを、またカウンタのオーバフロー発生でTMS割り込み要求を発生することができます。

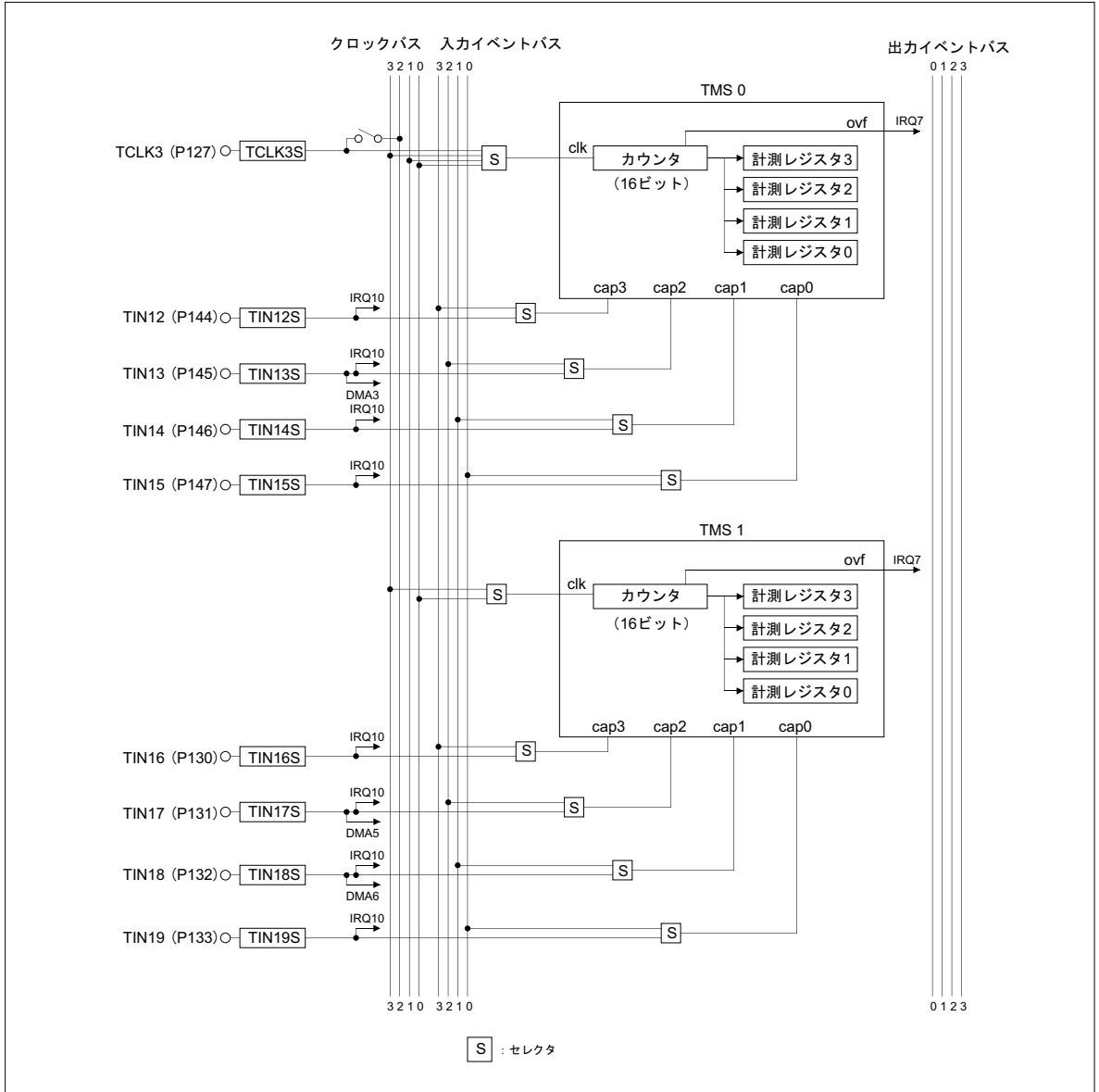


図10.5.1 TMS(入力系16ビットタイマ)ブロック図

<カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。

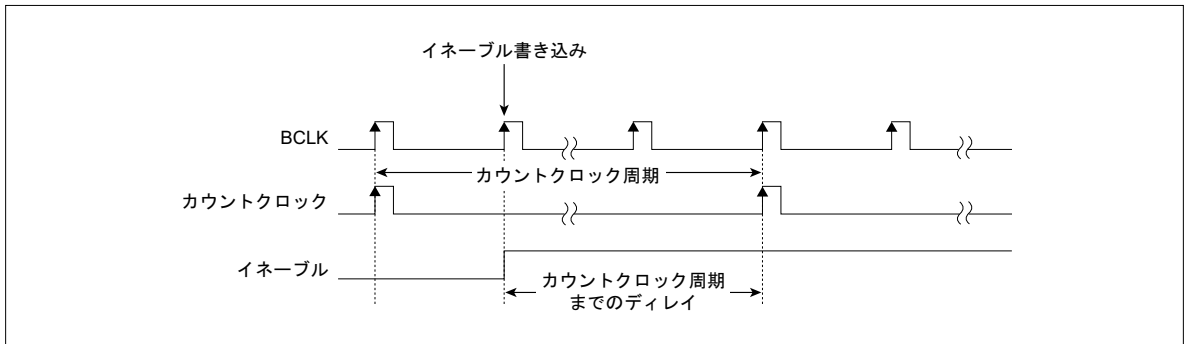


図10.5.2 カウントクロック分のディレイ

10.5.3 TMS関連レジスタマップ

以下にTMS関連のレジスタマップを示します。

TMS関連レジスタマップ

| 番地 | +0番地 | b7 b8 | +1番地 | b15 | 掲載ページ |
|-------------|---------------------|-----------------------|---------------------|-----|--------|
| H'0080 03C0 | | TMS0カウンタ (TMS0CT) | | | 10-130 |
| H'0080 03C2 | | TMS0計測3レジスタ (TMS0MR3) | | | 10-130 |
| H'0080 03C4 | | TMS0計測2レジスタ (TMS0MR2) | | | 10-130 |
| H'0080 03C6 | | TMS0計測1レジスタ (TMS0MR1) | | | 10-130 |
| H'0080 03C8 | | TMS0計測0レジスタ (TMS0MR0) | | | 10-130 |
| H'0080 03CA | TMS0制御レジスタ (TMS0CR) | | TMS1制御レジスタ (TMS1CR) | | 10-129 |
| } | | (使用禁止領域) | | | |
| H'0080 03D0 | | TMS1カウンタ (TMS1CT) | | | 10-130 |
| H'0080 03D2 | | TMS1計測3レジスタ (TMS1MR3) | | | 10-130 |
| H'0080 03D4 | | TMS1計測2レジスタ (TMS1MR2) | | | 10-130 |
| H'0080 03D6 | | TMS1計測1レジスタ (TMS1MR1) | | | 10-130 |
| H'0080 03D8 | | TMS1計測0レジスタ (TMS1MR0) | | | 10-130 |

10.5.4 TMS制御レジスタ

TMS制御レジスタは、TMS0, 1の入カイベント選択、カウントクロックの入力選択、およびカウントイネーブルの制御を行います。

TMS制御レジスタには、以下のレジスタがあります。

- TMS0制御レジスタ(TMS0CR)
- TMS1制御レジスタ(TMS1CR)

TMS0制御レジスタ(TMS0CR)

< アドレス : H'0080 03CA >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|---------|---------|---------|---------|---|---|---------|
| TMS0SS0 | TMS0SS1 | TMS0SS2 | TMS0SS3 | TMS0CKS | | | TMS0CEN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|-----------------------------|---|---|---|
| 0 | TMS0SS0 TMS0計測0ソース選択ビット | 0 : 外部入力TIN15 1 : 入力イベントバス0 | R | W |
| 1 | TMS0SS1 TMS0計測1ソース選択ビット | 0 : 外部入力TIN14 1 : 入力イベントバス1 | R | W |
| 2 | TMS0SS2 TMS0計測2ソース選択ビット | 0 : 外部入力TIN13 1 : 入力イベントバス2 | R | W |
| 3 | TMS0SS3 TMS0計測3ソース選択ビット | 0 : 外部入力TIN12 1 : 入力イベントバス3 | R | W |
| 4, 5 | TMS0CKS TMS0クロックソース選択ビット | 00 : 外部入力CLK3 01 : クロックバス0 10 : クロックバス1 11 : クロックバス3 | R | W |
| 6 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 7 | TMS0CEN TMS0カウントイネーブルビット | 0 : カウント停止 1 : カウント開始 | R | W |

TMS1制御レジスタ(TMS1CR)

< アドレス : H'0080 03CB >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|---------|---------|---------|---------|----|---------|----|---------|
| TMS1SS0 | TMS1SS1 | TMS1SS2 | TMS1SS3 | | TMS1CKS | | TMS1CEN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-----------------------------|--------------------------------|---|---|
| 8 | TMS1SS0 TMS1計測0ソース選択ビット | 0 : 外部入力TIN19 1 : 入力イベントバス0 | R | W |
| 9 | TMS1SS1 TMS1計測1ソース選択ビット | 0 : 外部入力TIN18 1 : 入力イベントバス1 | R | W |
| 10 | TMS1SS2 TMS1計測2ソース選択ビット | 0 : 外部入力TIN17 1 : 入力イベントバス2 | R | W |
| 11 | TMS1SS3 TMS1計測3ソース選択ビット | 0 : 外部入力TIN16 1 : 入力イベントバス3 | R | W |
| 12 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 13 | TMS1CKS TMS1クロックソース選択ビット | 0 : クロックバス0 1 : クロックバス3 | R | W |
| 14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | TMS1CEN TMS1カウントイネーブルビット | 0 : カウント停止 1 : カウント開始 | R | W |

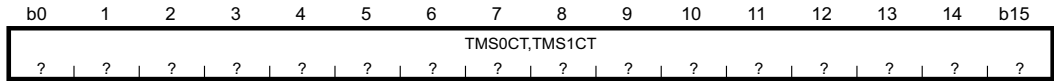
10.5.5 TMSカウンタ(TMS0CT, TMS1CT)

TMS0カウンタ(TMS0CT)

<アドレス: H'0080 03C0>

TMS1カウンタ(TMS1CT)

<アドレス: H'0080 03D0>



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|----------------|------------|---|---|
| 0~15 | TMS0CT, TMS1CT | 16ビットカウンタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TMSカウンタは16ビットのアップカウンタで、タイマの起動 イネーブルビットへのソフトウェア書き込み)によりカウント動作を開始します。

カウンタは動作中の読み出しが可能です。

10.5.6 TMS計測レジスタ(TMS0MR3~0, TMS1MR3~0)

TMS0計測3レジスタ(TMS0MR3)

<アドレス: H'0080 03C2>

TMS0計測2レジスタ(TMS0MR2)

<アドレス: H'0080 03C4>

TMS0計測1レジスタ(TMS0MR1)

<アドレス: H'0080 03C6>

TMS0計測0レジスタ(TMS0MR0)

<アドレス: H'0080 03C8>

TMS1計測3レジスタ(TMS1MR3)

<アドレス: H'0080 03D2>

TMS1計測2レジスタ(TMS1MR2)

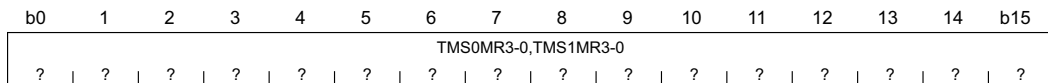
<アドレス: H'0080 03D4>

TMS1計測1レジスタ(TMS1MR1)

<アドレス: H'0080 03D6>

TMS1計測0レジスタ(TMS1MR0)

<アドレス: H'0080 03D8>



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|------------------------------------|----------|---|---|
| 0~15 | TMS0MR3-TMS0MR0 TMS1MR3-TMS1MR0 | 16ビット計測値 | R | - |

注. . このレジスタは読み出しのみ可能です。

. このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TMS計測レジスタは、読み出しのみ可能です。

10.5.7 TMS計測入力の動作

(1) TMS計測入力概要

TMS計測入力では、まずタイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウンタを開始します。タイマ動作中にTMSへイベント入力がある場合、計測レジスタ0~3にカウンタ値を取り込みます。

タイマの停止は、イネーブルビットへのカウンタ停止書き込みと同時に Rowe れます。

外部から計測信号が入力された場合にはTIN割り込みを、またカウンタがオーバーフローした場合にはTMS割り込み要求を発生することができます。

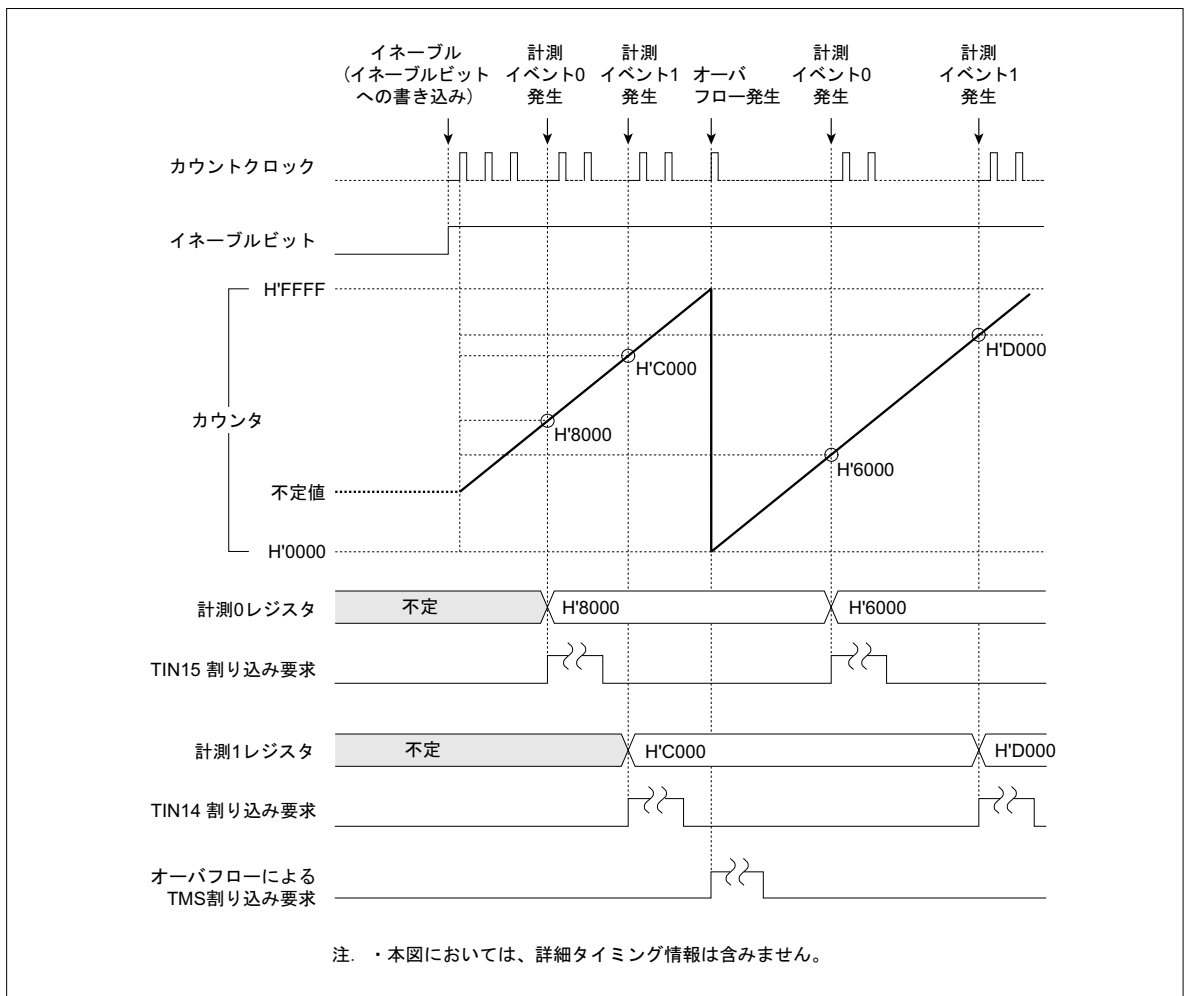


図10.5.3 TMS計測入力の動作例

(2) TMS計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.6 TML(入力系32ビットタイマ)

10.6.1 TML概要

TML(Timer Measure Large)は入力系32ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMLの仕様を、また次ページにTMLのブロック図を示します。

表10.6.1 TML(入力系32ビットタイマ)の仕様

| 項目 | 仕様 |
|--------|--|
| チャンネル数 | 8チャンネル(2系統、各4チャンネル、計8チャンネル) |
| 入力クロック | BCLK/2 (BCLK)=20MHz時は10.0MHz) または、クロックバス1入力 |
| カウンタ | 32ビットアップカウンタ(2本) |
| 計測レジスタ | 32ビット計測レジスタ(8本) |
| タイマの起動 | リセット解除後カウント動作開始 |

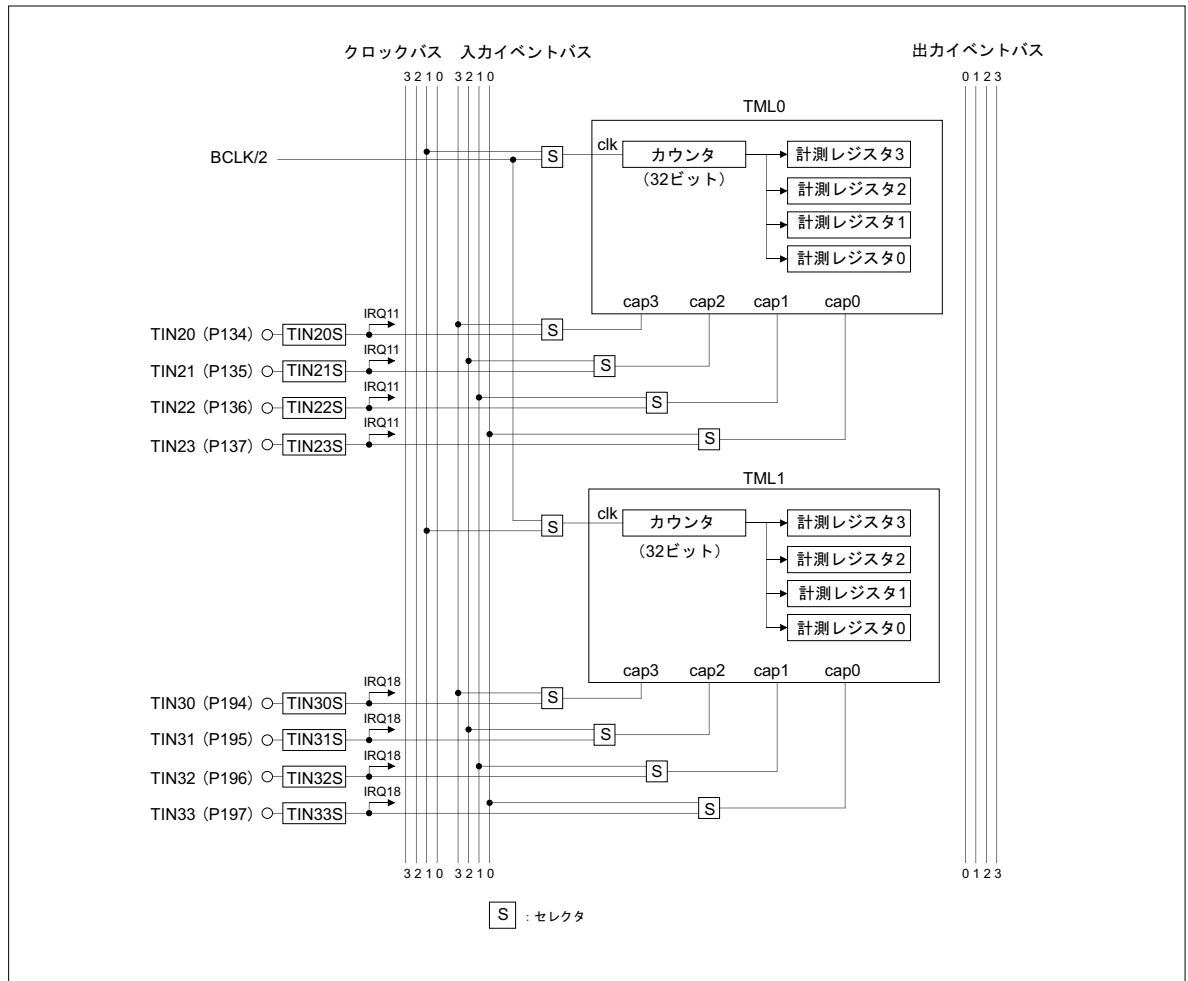


図10.6.1 TML(入力系32ビットタイマ)ブロック図

10.6.2 TMLの動作概要

TMLは、リセット解除により、カウンタの動作を開始します。カウンタは32ビットのアップカウンタで、外部入力による計測イベント信号の発生で、その時点のカウント値を各計測レジスタ(32ビット)に格納します。

カウンタはリセット解除により、BCLK/2クロックで動作を開始します。動作開始後カウンタを停止させることはできません。リセット中のみカウントを停止します。

外部計測信号の入力でTIN割り込み要求を発生することができます。ただし、TMLカウンタのオーバーフロー割り込み要求はありません。

10.6.3 TML関連レジスタマップ

以下にTML関連のレジスタマップを示します。

TML関連レジスタマップ

| 番地 | + 0番地 | + 1番地 | 掲載ページ | |
|-------------|-----------------------|---------------------|-------|--------|
| | b0 | b7 b8 | b15 | |
| H'0080 03E0 | TML0カウンタ (TML0CT) | | (上位) | 10-135 |
| H'0080 03E2 | | | (下位) | |
| } | | | | |
| H'0080 03EA | (使用禁止領域) | TML0制御レジスタ (TML0CR) | | 10-134 |
| } | (使用禁止領域) | | | |
| H'0080 03F0 | TML0計測3レジスタ (TML0MR3) | | (上位) | 10-135 |
| H'0080 03F2 | | | (下位) | |
| H'0080 03F4 | TML0計測2レジスタ (TML0MR2) | | (上位) | 10-135 |
| H'0080 03F6 | | | (下位) | |
| H'0080 03F8 | TML0計測1レジスタ (TML0MR1) | | (上位) | 10-135 |
| H'0080 03FA | | | (下位) | |
| H'0080 03FC | TML0計測0レジスタ (TML0MR0) | | (上位) | 10-135 |
| H'0080 03FE | | | (下位) | |
| } | | | | |
| H'0080 0FE0 | TML1カウンタ (TML1CT) | | (上位) | 10-135 |
| H'0080 0FE2 | | | (下位) | |
| } | | | | |
| H'0080 0FEA | (使用禁止領域) | TML1制御レジスタ (TML1CR) | | 10-134 |
| } | (使用禁止領域) | | | |
| H'0080 0FF0 | TML1計測3レジスタ (TML1MR3) | | (上位) | 10-135 |
| H'0080 0FF2 | | | (下位) | |
| H'0080 0FF4 | TML1計測2レジスタ (TML1MR2) | | (上位) | 10-135 |
| H'0080 0FF6 | | | (下位) | |
| H'0080 0FF8 | TML1計測1レジスタ (TML1MR1) | | (上位) | 10-135 |
| H'0080 0FFA | | | (下位) | |
| H'0080 0FFC | TML1計測0レジスタ (TML1MR0) | | (上位) | 10-135 |
| H'0080 0FFE | | | (下位) | |

10.6.4 TML制御レジスタ

TML0制御レジスタ(TML0CR)

<アドレス: H'0080 03EB>

| | | | | | | | |
|---------|---------|---------|---------|----|----|----|---------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TMLOSS0 | TMLOSS1 | TMLOSS2 | TMLOSS3 | | | | TML0CKS |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--------------|---|---|
| 8 | TMLOSS0 | 0: 外部入力TIN23 | R | W |
| | TML0計測0ソース選択ビット | 1: 入力イベントバス0 | | |
| 9 | TMLOSS1 | 0: 外部入力TIN22 | R | W |
| | TML0計測1ソース選択ビット | 1: 入力イベントバス1 | | |
| 10 | TMLOSS2 | 0: 外部入力TIN21 | R | W |
| | TML0計測2ソース選択ビット | 1: 入力イベントバス2 | | |
| 11 | TMLOSS3 | 0: 外部入力TIN20 | R | W |
| | TML0計測3ソース選択ビット | 1: 入力イベントバス3 | | |
| 12~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | TML0CKS(注1) | 0: BCLK/2 | R | W |
| | TML0クロックソース選択ビット | 1: クロックバス1 | | |

注1. クロックソースとして、BCLK/2が入力されている場合のみ、カウンタの正常書き込みが可能です。BCLK/2以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

TML1制御レジスタ(TML1CR)

<アドレス: H'0080 0FEB>

| | | | | | | | |
|---------|---------|---------|---------|----|----|----|---------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TML1SS0 | TML1SS1 | TML1SS2 | TML1SS3 | | | | TML1CKS |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|--------------|---|---|
| 8 | TML1SS0 | 0: 外部入力TIN33 | R | W |
| | TML1計測0ソース選択ビット | 1: 入力イベントバス0 | | |
| 9 | TML1SS1 | 0: 外部入力TIN32 | R | W |
| | TML1計測1ソース選択ビット | 1: 入力イベントバス1 | | |
| 10 | TML1SS2 | 0: 外部入力TIN31 | R | W |
| | TML1計測2ソース選択ビット | 1: 入力イベントバス2 | | |
| 11 | TML1SS3 | 0: 外部入力TIN30 | R | W |
| | TML1計測3ソース選択ビット | 1: 入力イベントバス3 | | |
| 12~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | TML1CKS(注1) | 0: BCLK/2 | R | W |
| | TML1クロックソース選択ビット | 1: クロックバス1 | | |

注1. クロックソースとして、BCLK/2が入力されている場合のみ、カウンタの正常書き込みが可能です。BCLK/2以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

TML制御レジスタは、TMLの入力イベント選択およびカウントクロックの選択を行います。

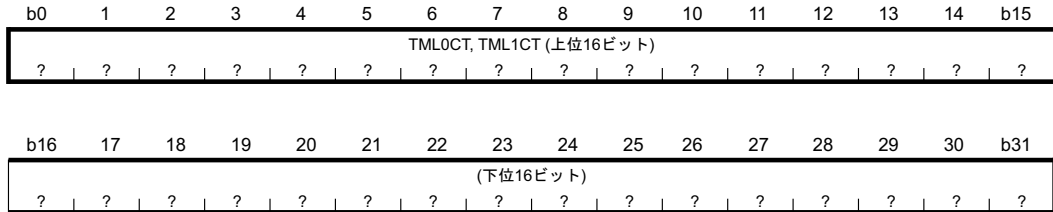
10.6.5 TMLカウンタ

TML0カウンタ(TML0CT)

<アドレス: H'0080 03E0>

TML1カウンタ(TML1CT)

<アドレス: H'0080 0FE0>



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|--------|------------|--------|---|
| 0~31 | TML0CT | 32ビットカウンタ値 | R (注1) | |

注1. クロックソースとしてBCLK/2以外のクロックが入力されている場合は、書き込み禁止です。

注. . このレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TMLカウンタは32ビットのアップカウンタで、リセット解除後、カウント動作を開始します。
カウンタは動作中の読み出しが可能です。

10.6.6 TML計測レジスタ

TML0計測3レジスタ(TML0MR3)

<アドレス: H'0080 03F0>

TML0計測2レジスタ(TML0MR2)

<アドレス: H'0080 03F4>

TML0計測1レジスタ(TML0MR1)

<アドレス: H'0080 03F8>

TML0計測0レジスタ(TML0MR0)

<アドレス: H'0080 03FC>

TML1計測3レジスタ(TML1MR3)

<アドレス: H'0080 0FF0>

TML1計測2レジスタ(TML1MR2)

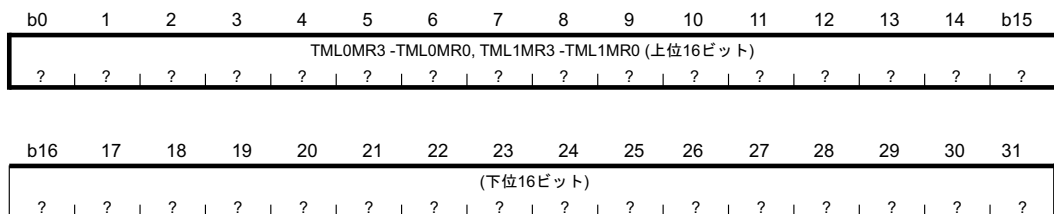
<アドレス: H'0080 0FF4>

TML1計測1レジスタ(TML1MR1)

<アドレス: H'0080 0FF8>

TML1計測0レジスタ(TML1MR0)

<アドレス: H'0080 0FFC>



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|----------------------------------|--------------|---|---|
| 0~31 | TML0MR3-TML0MR0, TML1MR3-TML1MR0 | 32ビット計測レジスタ値 | R | - |

注. . これらのレジスタは読み出しのみ可能です。

. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML計測レジスタは、イベント入力時にカウンタの内容を取り込む32ビットのレジスタです。TML計測レジスタは、読み出しのみ可能です。

10.6.7 TML計測入力の動作

(1) TML計測入力概要

TML計測入力では、リセット解除によりアップカウントを開始します。計測レジスタ0~3へイベント入力があると、カウンタ値を計測レジスタに取り込みます。

外部計測信号の入力でTIN割り込み要求を発生することができます(カウンタのオーバーフロー割り込み要求はありません)。

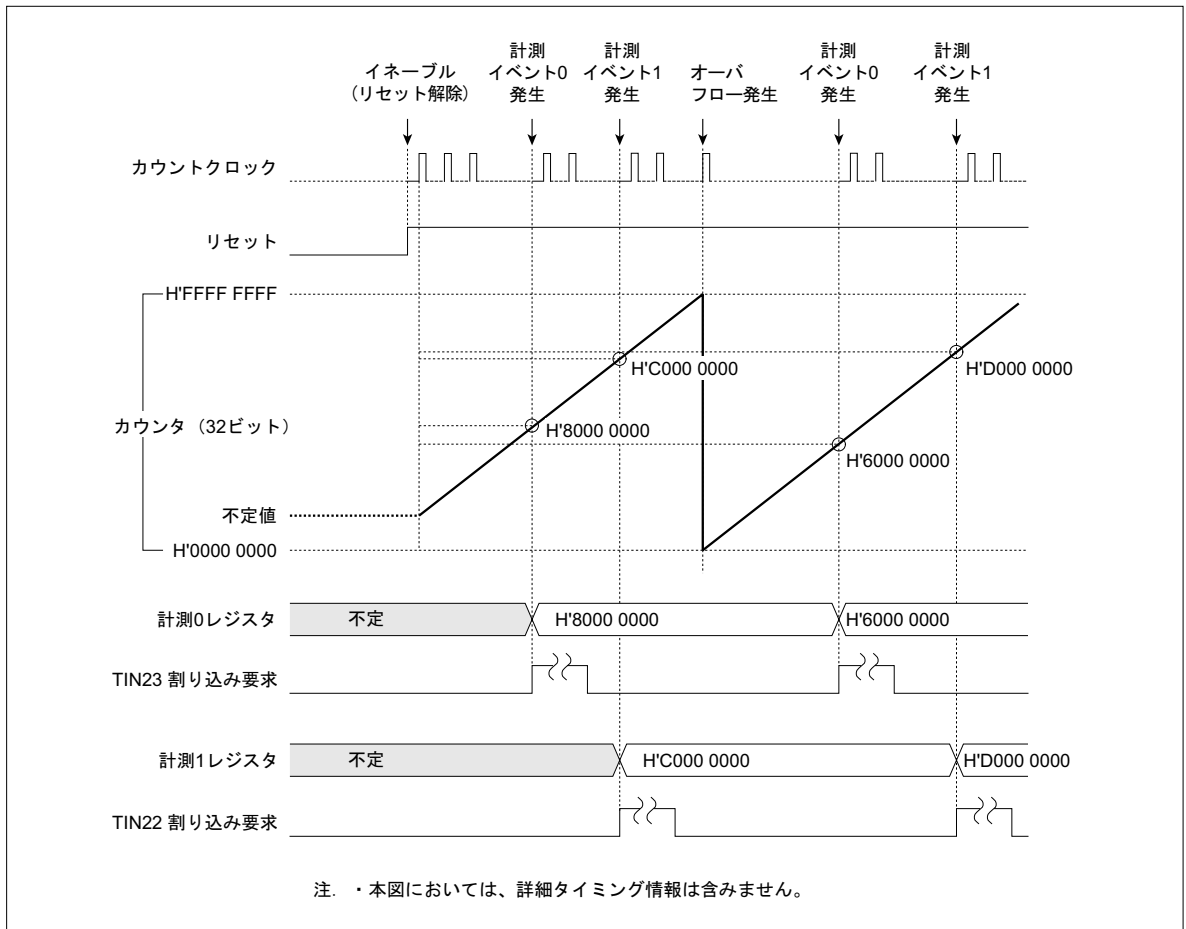


図10.6.2 TML計測入力の動作例

(2) TML計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き換え前の)アップカウント値が取り込まれます。
- クロックバス1を選択した場合で、BCLK/2以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、BCLK/2以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。
- クロックバス1を選択した場合で、BCLK/2以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも一つ進んだ値を取り込みます。ただし、カウントクロックからBCLK/2周期の間は、カウンタ値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

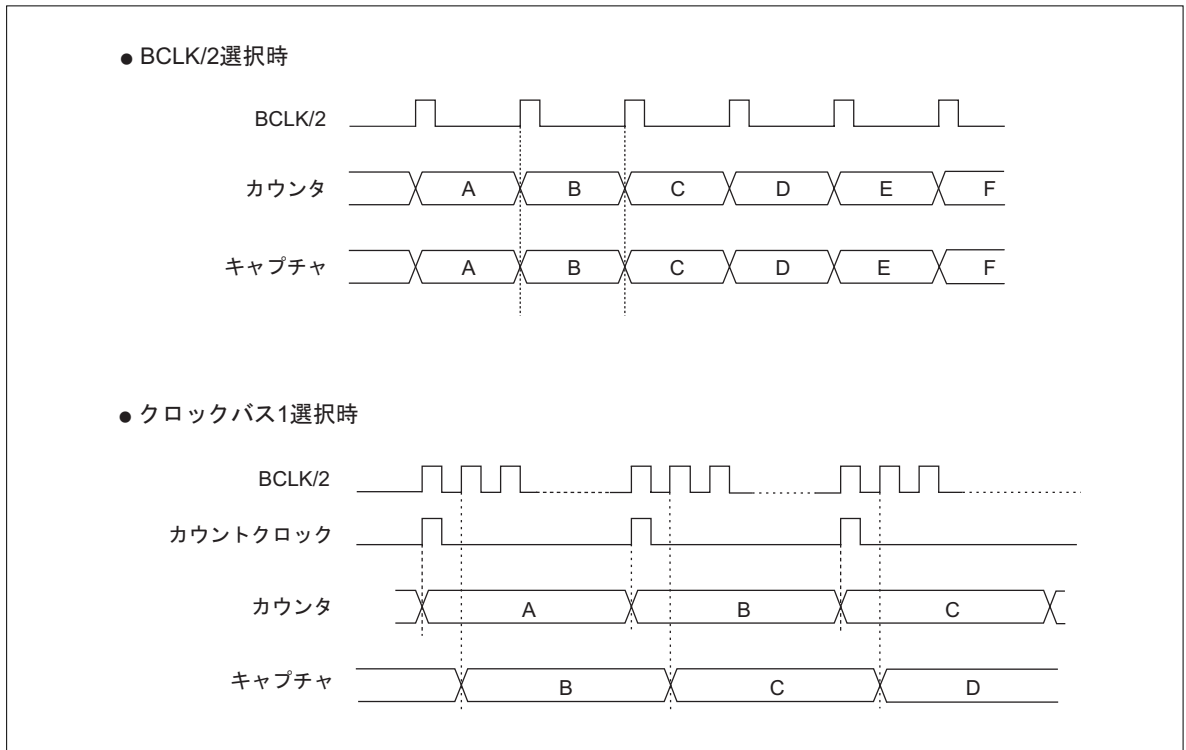


図10.6.3 カウンタ値とキャプチャ値のずれ

10.7 TID(入力系16ビットタイマ)

10.7.1 TID概要

TID(Timer Input Derivation)は入力系16ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

- 定周期カウントモード
- イベントカウントモード
- 4逓倍イベントカウントモード
- アップ/ダウンイベントカウントモード

以下にTIDの仕様を、また次ページにTIDのブロック図を示します。

表10.7.1 TID(入力16ビットタイマ)の仕様

| 項目 | 仕様 |
|----------|---|
| チャンネル数 | 3チャンネル |
| カウンタ | 16ビットアップダウンカウンタ |
| リロードレジスタ | 16ビットリロードレジスタ |
| タイマの起動 | イネーブルビットへのソフトウェア書き込み |
| 動作モード | <入力モード> <ul style="list-style-type: none"> ● 定周期カウントモード ● イベントカウントモード ● 4逓倍イベントカウントモード ● アップ/ダウンイベントカウントモード |
| 割り込み要求発生 | カウンタのアンダフローとオーバフローで発生可能 |

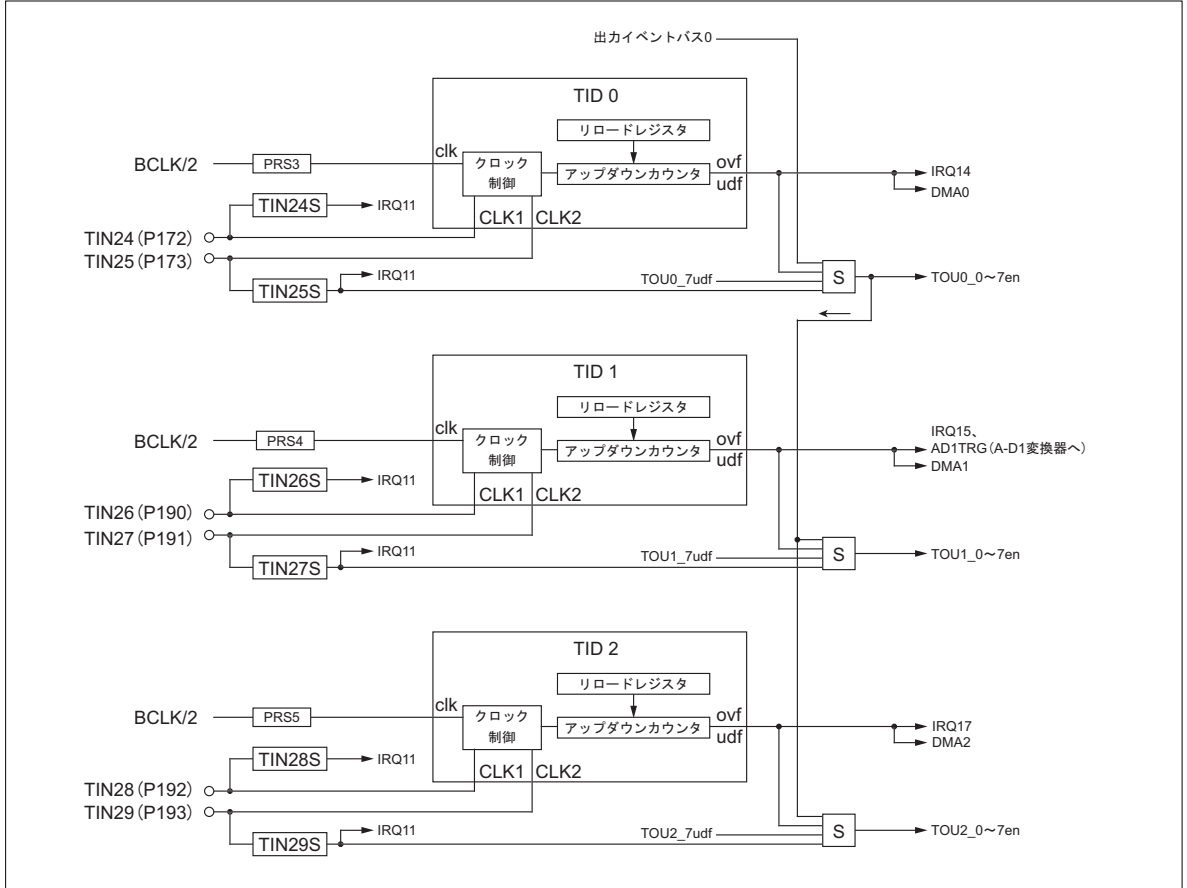


図10.7.1 TID(入力系16ビットタイマ)ブロック図

<カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。

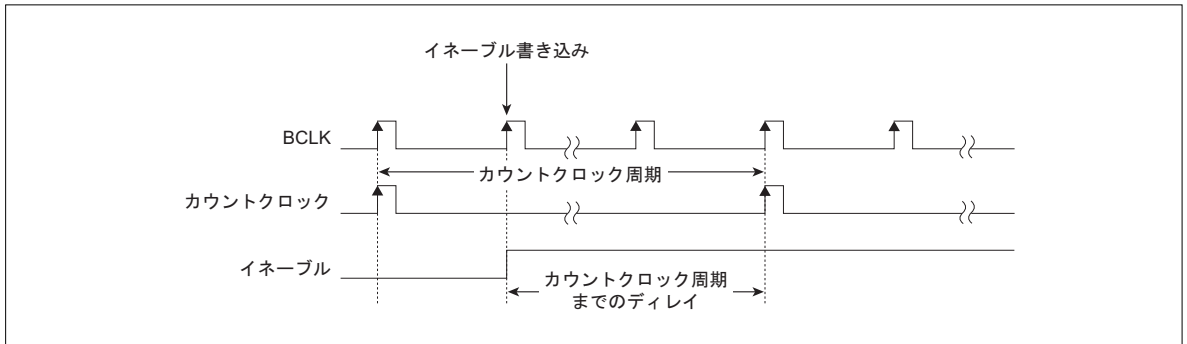


図10.7.2 カウントクロック分のディレイ

10.7.2 TID関連レジスタマップ

以下にTID関連のレジスタマップを示します。

TID関連レジスタマップ

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載 ページ |
|-------------|----|-----------------------|--------------------------|----|---|-----|-----------------|
| H'0080 078C | | | TID0カウンタ (TID0CT) | | | | 10-144 |
| H'0080 078E | | | TID0リロードレジスタ (TID0RL) | | | | 10-144 |
| } | | | | | | | |
| H'0080 07D0 | | プリスケアラレジスタ3 (PRS3) | | | TID0制御 & プリスケアラ3イネーブルレジスタ (TID0PRS3EN) | | 10-12 10-141 |
| } | | | | | | | |
| H'0080 0B8C | | | TID1カウンタ (TID1CT) | | | | 10-144 |
| H'0080 0B8E | | | TID1リロードレジスタ (TID1RL) | | | | 10-144 |
| } | | | | | | | |
| H'0080 0BD0 | | プリスケアラレジスタ4 (PRS4) | | | TID1制御 & プリスケアラ4イネーブルレジスタ (TID1PRS4EN) | | 10-12 10-142 |
| } | | | | | | | |
| H'0080 0C8C | | | TID2カウンタ (TID2CT) | | | | 10-144 |
| H'0080 0C8E | | | TID2リロードレジスタ (TID2RL) | | | | 10-144 |
| } | | | | | | | |
| H'0080 0CD0 | | プリスケアラレジスタ5 (PRS5) | | | TID2制御 & プリスケアラ5イネーブルレジスタ (TID2PRS5EN) | | 10-12 10-143 |

10.7.3 TID制御&プリスケラ3イネーブルレジスタ

TID0制御&プリスケラ3イネーブルレジスタ(TID0PRS3EN)

<アドレス: H'0080 07D1>

| | | | | | | | |
|-------|---|----|---------|---------|----|----|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TID0M | | | TID0CEN | TOU0ENS | | | PRS3EN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|-----------------------------|--|---|---|
| 8~10 | TID0M TID0動作モード選択ビット | 000: 定周期カウントモード | R | W |
| | | 001: " | | |
| | | 010: 4通倍イベントカウントモード | | |
| | | 011: イベントカウントモード | | |
| | | 100: 定周期カウントモード | | |
| | | 101: " | | |
| | | 110: 4通倍イベントカウントモード 111: アップ/ダウンイベントカウントモード | | |
| 11 | TID0CEN TID0カウントイネーブルビット | 0: TID0 カウント停止 | R | W |
| | | 1: TID0 カウント開始 | | |
| 12~14 | TOU0ENS TOU0イネーブル要因選択ビット | 000: イベントイネーブル禁止 | R | W |
| | | 001: " | | |
| | | 010: TID0アンダフロー/オーバフロー | | |
| | | 011: TOU0_7アンダフロー | | |
| | | 100: イベントイネーブル禁止 | | |
| | | 101: " | | |
| 15 | PRS3EN プリスケラ3イネーブルビット | 0: カウント停止 | R | W |
| | | 1: カウント開始 | | |
| | | 110: 出力イベントバス0 111: 外部入力TIN25信号 | | |

注. . 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TID0制御&プリスケラ3イネーブルレジスタは、TID0の動作モード(定周期カウントモード、イベントカウントモード、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOU0_0~7タイマのイネーブル要因選択、プリスケラ3の起動制御を行います。

TID1制御&プリスケラ4イネーブルレジスタ(TID1PRS4EN)

<アドレス:H'0080 0BD1>

| | | | | | | | |
|-------|---|----|---------|---------|----|----|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TID1M | | | TID1CEN | TOU1ENO | | | PRS4EN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時:H'00>

| b | ビット名 | 機能 | R | W |
|-------|-----------------------------|---|---|---|
| 8~10 | TID1M TID1動作モード選択ビット | 000: 定周期カウントモード 001: " 010: 4通倍イベントカウントモード 011: イベントカウントモード 100: 定周期カウントモード 101: " 110: 4通倍イベントカウントモード 111: アップ/ダウンイベントカウントモード | R | W |
| 11 | TID1CEN TID1カウントイネーブルビット | 0: TID1 カウント停止 1: TID1 カウント開始 | R | W |
| 12~14 | TOU1ENS TOU1イネーブル要因選択ビット | 000: イベントイネーブル禁止 001: " 010: TID1アンダフロー/オーバフロー 011: TOU1_7アンダフロー 100: イベントイネーブル禁止 101: " 110: TOU0の起動要因(注1) (TOU0ENSで選択した要因) 111: 外部入力TIN27信号 | R | W |
| 15 | PRS4EN プリスケラ4イネーブルビット | 0: プリスケラ4 カウント停止 1: プリスケラ4 カウント開始 | R | W |

注・動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

注1・TOU0イネーブル要因選択で、イベントイネーブルを選択する必要があります。

TID1制御&プリスケラ4イネーブルレジスタは、TID1の動作モード(定周期カウントモード、イベントカウント、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOU1_0~7タイマのイネーブル要因選択、プリスケラ4の起動の制御を行います。

TID2制御&プリスケアラ5イネーブルレジスタ(TID2PRS5EN)

<アドレス: H'0080 0CD1>

| | | | | | | | |
|-------|---|----|---------|---------|----|----|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TID2M | | | TID2CEN | TOU2ENO | | | PRS5EN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|-----------------------------|---|---|---|
| 8~10 | TID2M TID2動作モード選択ビット | 000: 定周期カウントモード 001: " 010: 4通倍イベントカウントモード 011: イベントカウントモード 100: 定周期カウントモード 101: " 110: 4通倍イベントカウントモード 111: アップ/ダウンイベントカウントモード | R | W |
| 11 | TID2CEN TID2カウントイネーブルビット | 0: TID2 カウント停止 1: TID2 カウント開始 | R | W |
| 12~14 | TOU2ENS TOU2イネーブル要因選択ビット | 000: イベントイネーブル禁止 001: " 010: TID2アンダフロー/オーバフロー 011: TOU2_7アンダフロー 100: イベントイネーブル禁止 101: " 110: TOU0の起動要因(注1) (TOU0ENSで選択した要因) 111: 外部入力TIN29信号 | R | W |
| 15 | PRS5EN プリスケアラ5イネーブルビット | 0: プリスケアラ5 カウント停止 1: プリスケアラ5 カウント開始 | R | W |

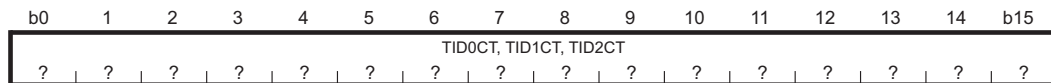
注・動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

注1・TOU0イネーブル要因選択で、イベントイネーブルを選択する必要があります。

TID2制御&プリスケアラ5イネーブルレジスタは、TID2の動作モード(定周期カウントモード、イベントカウント、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOU2_0~7タイマのイネーブル要因選択、プリスケアラ5の起動の制御を行います。

10.7.4 TIDカウンタ(TID0CT, TID1CT, TID2CT)

| | |
|------------------|---------------------|
| TID0カウンタ(TID0CT) | <アドレス: H'0080 078C> |
| TID1カウンタ(TID1CT) | <アドレス: H'0080 0B8C> |
| TID2カウンタ(TID2CT) | <アドレス: H'0080 0C8C> |



<リセット解除時: 不定>

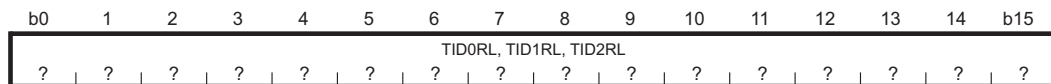
| b | ビット名 | 機能 | R | W |
|------|------------------------|------------|---|---|
| 0~15 | TID0CT, TID1CT, TID2CT | 16ビットカウンタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIDカウンタは16ビットのアップダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウントクロックに同期してカウント動作を開始します。

10.7.5 TIDリロードレジスタ(TID0RL, TID1RL, TID2RL)

| | |
|----------------------|---------------------|
| TID0リロードレジスタ(TID0RL) | <アドレス: H'0080 078E> |
| TID1リロードレジスタ(TID1RL) | <アドレス: H'0080 0B8E> |
| TID2リロードレジスタ(TID2RL) | <アドレス: H'0080 0C8E> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|------------------------|----------------|---|---|
| 0~15 | TID0RL, TID1RL, TID2RL | 16ビットリロードレジスタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIDリロードレジスタは、TIDカウンタレジスタ(TID0CT, TID1CT, TID2CT)へデータをリロードするためのレジスタです。

リロードレジスタの内容がカウンタにデータがロードされるのは、以下の場合です。

- 定周期カウントモードでカウンタがイネーブルになったとき
- 定周期カウントモードでカウンタがアンダフローしたとき

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.7.6 TID各モードの概略

以下にTIDの各モードの概要を示します。TIDのモードは、この中から1つだけを選択できます。

(1) 定周期カウントモード

定周期カウントモードは、リロードレジスタを使用してリロードレジスタの設定値+1の周期で割り込み要求を発生するモードです。

リロードレジスタ設定後(初期値は不定)、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期して、リロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローすると、再びリロードレジスタの内容をカウンタにロードし、カウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

また、カウンタのアンダフローごとに、割り込み要求を発生することができます。

リロードレジスタの設定値+1がカウント値として有効です。

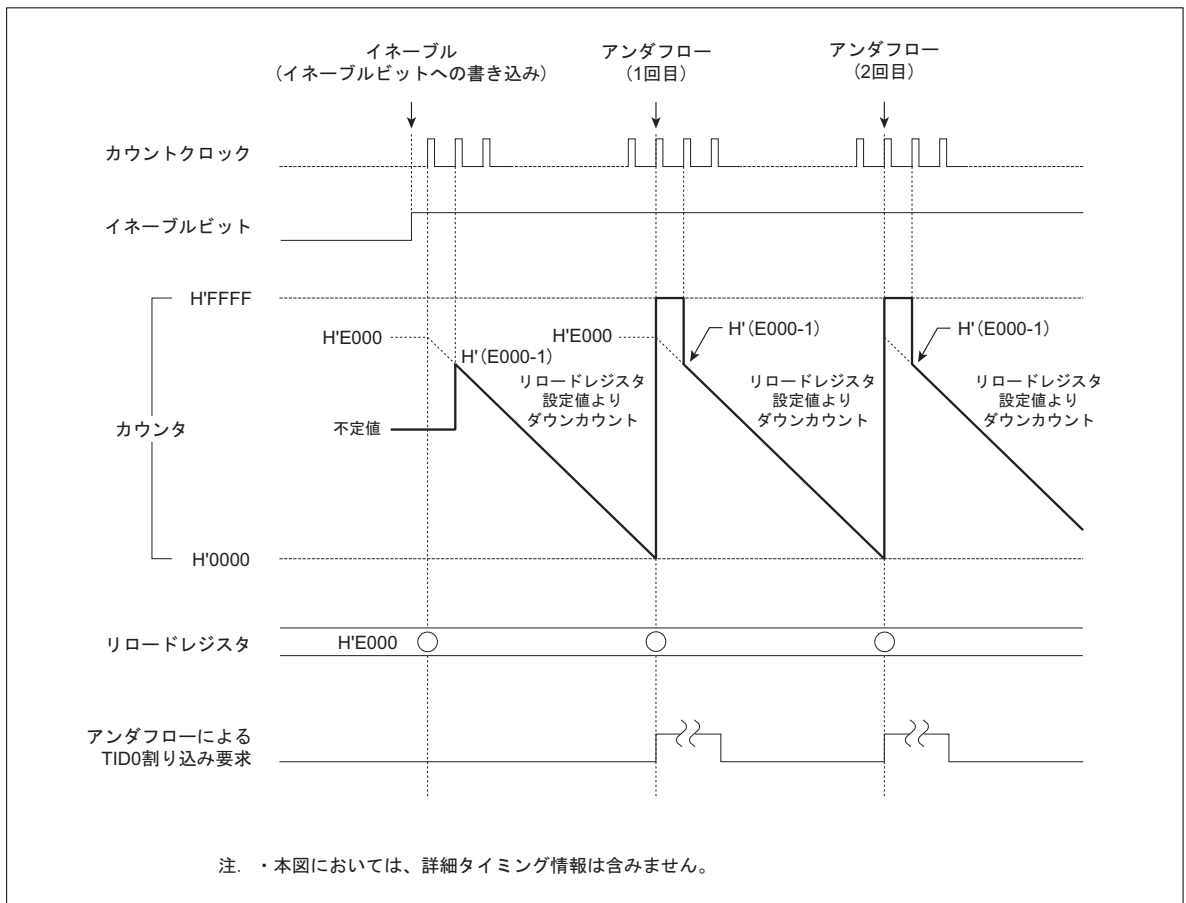


図10.7.3 TID定周期カウントモードの動作例

(2) イベントカウントモード

イベントカウントモードは、外部から入力された信号(TIN24, TIN26, TIN28)をクロック源として、カウンタを動作させるモードです。

注 . . TIN25, TIN27, TIN29はクロック源として使用できません。

外部から入力された信号(TIN24, TIN26, TIN28)の立ち上がり、立ち下がりのエッジを検出し、内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウント設定値からアップカウントを開始します。

また、カウンタのオーバーフローで割り込み要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

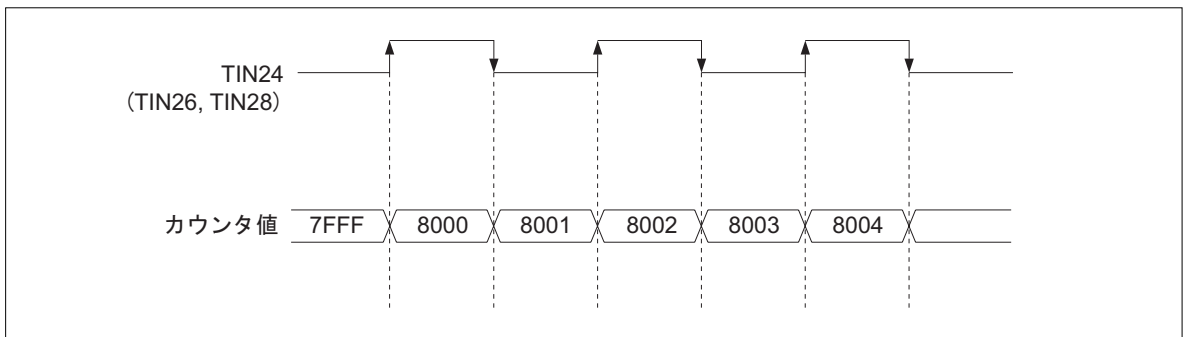


図10.7.4 TIDイベントカウントモード動作例(基本動作)

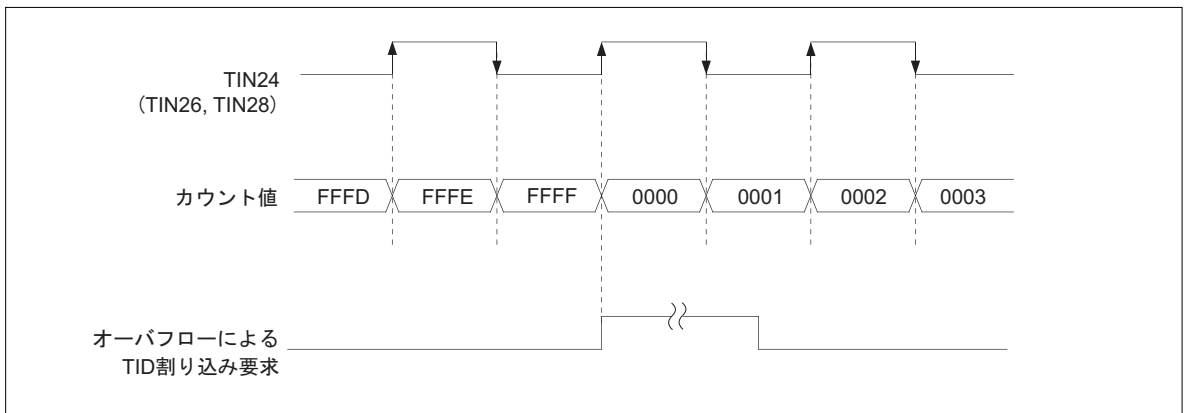


図10.7.5 TIDイベントカウントモード動作例(オーバーフロー発生時)

(3) 4 通倍イベントカウントモード

4通倍イベントカウントモードは、外部から入力された2系統の信号(TIN24とTIN25, TIN26とTIN27, TIN28とTIN29)をクロック源として、カウンタを動作させるモードです。2本の信号の入力状態によって、アップカウントとダウンカウントを切り換えます。

外部から入力された信号は、2本とも立ち上がり、立ち下がりエッジを検出し内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウントを開始します。カウントの方向は、表10.7.2を参照してください。

また、カウンタのオーバフロー、アンダフローで割り込み要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

表10.7.2 4通倍イベントカウントモード時のカウント方向

| 入力 | カウント方向 | | | | | | | |
|-------------------------|---------|---|---|---|---------|---|---|---|
| | アップカウント | | | | ダウンカウント | | | |
| TIN24 (TIN26, TIN28) | H | ↓ | L | ↑ | H | ↓ | L | ↑ |
| TIN25 (TIN27, TIN29) | ↑ | H | ↓ | L | ↓ | L | ↑ | H |

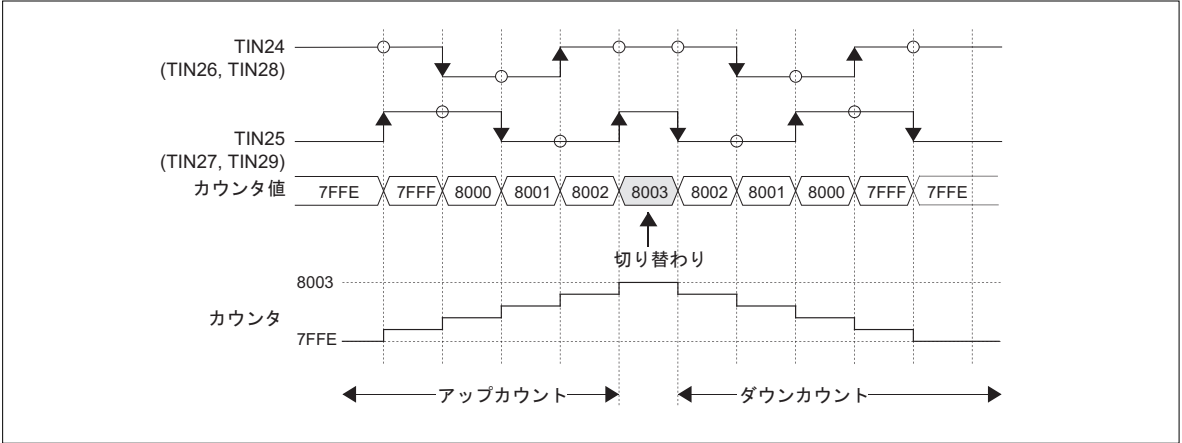


図10.7.6 4逓倍カウント動作(切り替わりタイミング)

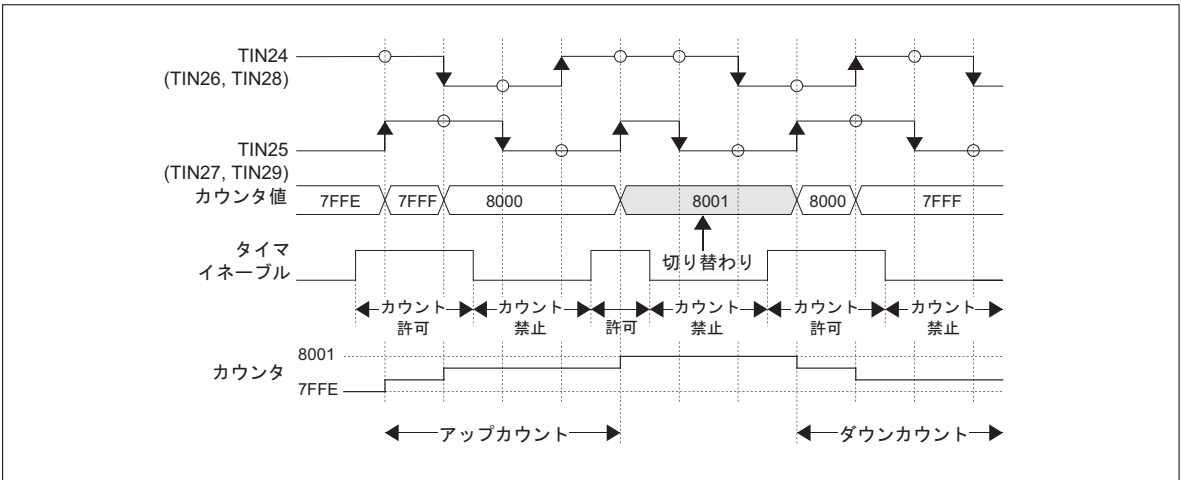


図10.7.7 4逓倍カウント動作(カウント許可禁止)

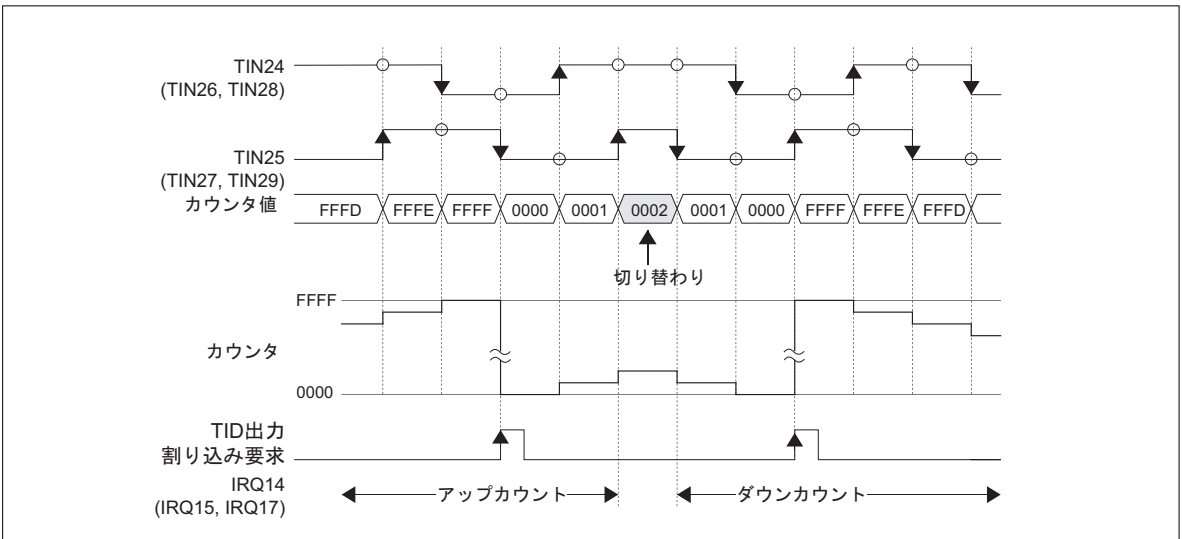


図10.7.8 4逓倍カウント動作(割り込み要求タイミング)

(4) アップ/ダウンイベントカウントモード

アップ/ダウンイベントカウントモードは、外部から入力された2系統の信号の一方 (TIN24, TIN26, TIN28) をクロック源として、もう一方 (TIN25, TIN27, TIN29) をアップ/ダウンの信号としてカウンタを動作させるモードです。

アップ/ダウンの信号の入力状態によって、アップカウントとダウンカウントを切り換えます。

外部から入力されたクロック源の信号は、立ち上がり、立ち下がりエッジを検出して内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブルにすると、生成されたクロックに同期してアップまたはダウンカウントを開始します。

カウントの方向は、アップ/ダウンの信号の入力レベルにより決定されます(表10.7.3を参照してください)。また、カウンタのオーバーフロー/アンダフローで割り込み要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からのクロック源の入力信号を"H"または"L"レベルに固定してください。

TIN25, TIN27, TIN29 は、クロック源として使用できません。

表10.7.3 アップ/ダウンイベントカウントモード時のカウント方向

| 入力 | カウント方向 | |
|-------------------------|---------|---------|
| | アップカウント | ダウンカウント |
| TIN24 (TIN26, TIN28) | ↑ | ↓ |
| TIN25 (TIN27, TIN29) | Lレベル | Hレベル |

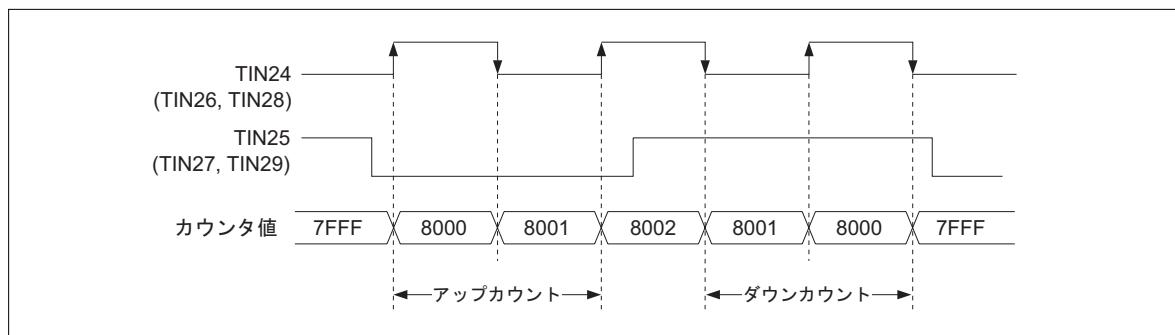


図10.7.9 アップダウンカウント動作

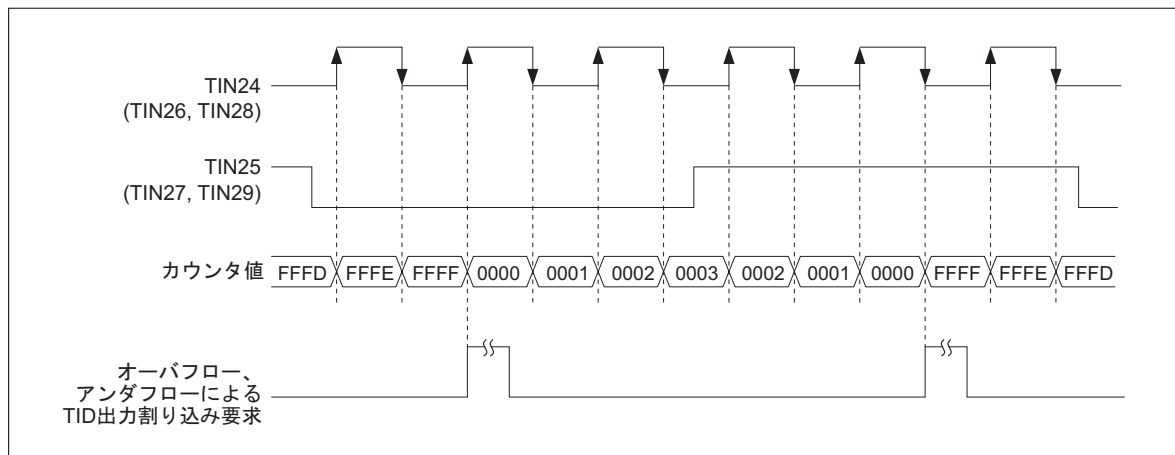


図10.7.10 アップダウンカウント動作(割り込み要求タイミング)

10.8 TOU(出力系24ビットタイマ)

10.8.1 TOU概要

TOU(Timer Output Unification)は出力系24ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

<補正機能なし出力モード>

- PWM出力モード
- ワンショットPWM出力モード
- ディレイドワンショット出力モード
- ワンショット出力モード
- 連続出力モード

以下にTOUの仕様を、また次ページにTOUのブロック図を示します。

表10.8.1 TOU(出力系24ビットタイマ)の仕様

| 項目 | 仕様 |
|----------|--|
| チャンネル数 | 24チャンネル(8チャンネル×3系統) |
| カウンタ | 24ビットダウンカウンタ (PWM出力/ワンショットPWM出力モード時は、16ビットダウンカウンタ) |
| リロードレジスタ | 24ビットリロードレジスタ (PWM出力/ワンショットPWM出力モード時は、16ビットリロードレジスタ) |
| タイマの起動 | TOU0 : <ul style="list-style-type: none"> • イネーブルビットへのソフトウェア書き込み • TID0のアンダフロー/オーバフロー信号 • TOU0_7のアンダフロー信号 • 出力イベントバス0信号 • 外部入力TIN25信号 TOU1 : <ul style="list-style-type: none"> • イネーブルビットへのソフトウェア書き込み • TID1のアンダフロー/オーバフロー信号 • TOU1_7のアンダフロー信号 • TOU0の起動要因信号 (TOU0がイベントイネーブルを選択する必要あり) • 外部入力TIN27信号 TOU2 : <ul style="list-style-type: none"> • イネーブルビットへのソフトウェア書き込み • TID2のアンダフロー/オーバフロー信号 • TOU2_7のアンダフロー信号 • TOU0の起動要因信号 (TOU0がイベントイネーブルを選択する必要あり) • 外部入力TIN29信号 |
| モード切り換え | <補正機能なし出力モード> <ul style="list-style-type: none"> • PWM出力モード • ワンショットPWM出力モード • ディレイドワンショット出力モード • ワンショット出力モード • 連続出力モード |
| 割り込み要求発生 | カウンタのアンダフローで発生可能 |

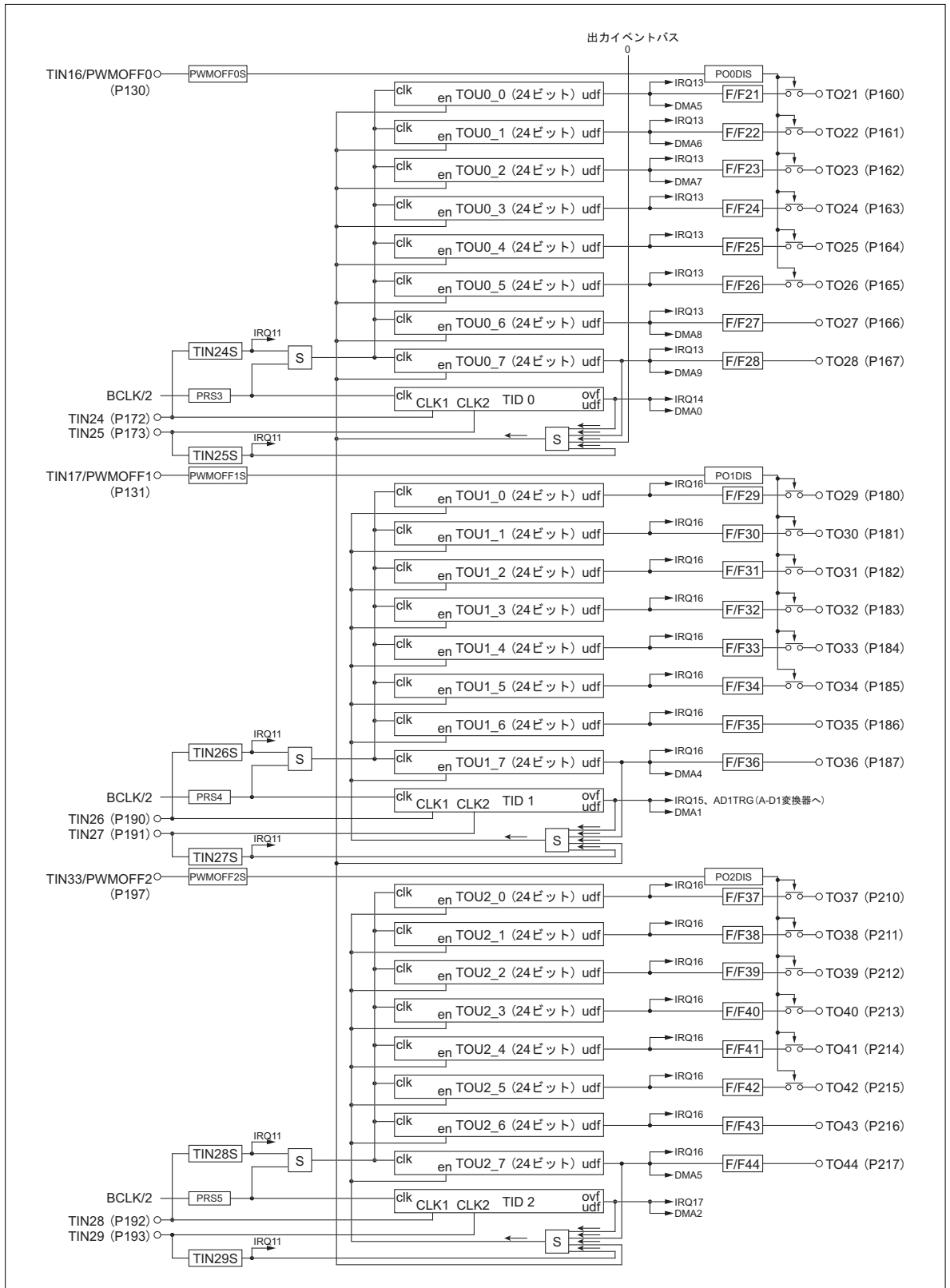


図10.8.1 TOU 出力系24ビットタイマ)ブロック図

10.8.2 TOU各モードの概要

以下にTOUの各モードの概要を示します。なおTOU各チャンネルのモードは、この中から1つだけを選択できます。

(1) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。PWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求、およびDMA転送要求を発生することができます。

(2) ワンショットPWM出力モード(補正機能なし)

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。ワンショットPWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時はF/F出力の反転はありません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込み要求、およびDMA転送要求を発生することができます。

(3) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロードレジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、およびDMA転送要求を発生することができます。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロードレジスタの設定値+1のパルスを1回だけ発生して止まるモードです。リロードレジスタ設定後、タイマをイネーブルすると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求、およびDMA転送要求を発生することができます。

(5) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA転送要求を発生することができます。

<カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

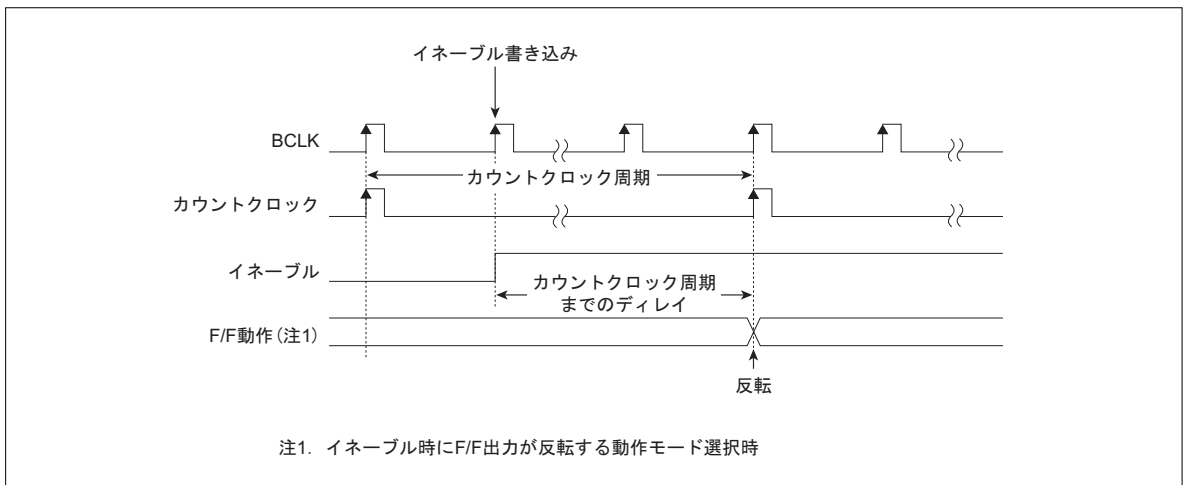


図10.8.2 カウントクロック分のディレイ

10.8.3 TOU関連レジスタマップ

以下にTOU関連のレジスタマップを示します。

TOU関連レジスタマップ(1/4)

| 番地 | b0 | + 0番地 | b7 | b8 | + 1番地 | b15 | 掲載ページ |
|-------------|----|------------------------------|----|------------------------------|--------------------------------|-----|------------------|
| H'0080 0780 | | PWM出力0禁止制御レジスタ (PO0DISCR) | | | PWM出力0禁止レベル制御レジスタ (PO0LVCR) | | 10-174 10-177 |
| H'0080 0782 | | PWM出力1禁止制御レジスタ (PO1DISCR) | | | PWM出力1禁止レベル制御レジスタ (PO1LVCR) | | 10-174 10-177 |
| H'0080 0784 | | PWM出力2禁止制御レジスタ (PO2DISCR) | | | PWM出力2禁止レベル制御レジスタ (PO2LVCR) | | 10-175 10-177 |
| | | | | | | | |
| H'0080 0790 | | | | TOU0_0カウンタ (TOU00CTW) | (上位) (TOU00CTH) | | 10-161 |
| H'0080 0792 | | | | | (下位) (TOU00CT) | | 10-163 |
| H'0080 0794 | | | | TOU0_0リロードレジスタ (TOU00RLW) | TOU0_0リロード1レジスタ (TOU00RL1) | | 10-164 10-167 |
| H'0080 0796 | | | | | TOU0_0リロード0レジスタ (TOU00RL0) | | 10-166 |
| H'0080 0798 | | | | TOU0_1カウンタ (TOU01CTW) | (上位) (TOU01CTH) | | 10-161 |
| H'0080 079A | | | | | (下位) (TOU01CT) | | 10-163 |
| H'0080 079C | | | | TOU0_1リロードレジスタ (TOU01RLW) | TOU0_1リロード1レジスタ (TOU01RL1) | | 10-164 10-167 |
| H'0080 079E | | | | | TOU0_1リロード0レジスタ (TOU01RL0) | | 10-166 |
| H'0080 07A0 | | | | TOU0_2カウンタ (TOU02CTW) | (上位) (TOU02CTH) | | 10-161 |
| H'0080 07A2 | | | | | (下位) (TOU02CT) | | 10-163 |
| H'0080 07A4 | | | | TOU0_2リロードレジスタ (TOU02RLW) | TOU0_2リロード1レジスタ (TOU02RL1) | | 10-164 10-167 |
| H'0080 07A6 | | | | | TOU0_2リロード0レジスタ (TOU02RL0) | | 10-166 |
| H'0080 07A8 | | | | TOU0_3カウンタ (TOU03CTW) | (上位) (TOU03CTH) | | 10-161 |
| H'0080 07AA | | | | | (下位) (TOU03CT) | | 10-163 |
| H'0080 07AC | | | | TOU0_3リロードレジスタ (TOU03RLW) | TOU0_3リロード1レジスタ (TOU03RL1) | | 10-164 10-167 |
| H'0080 07AE | | | | | TOU0_3リロード0レジスタ (TOU03RL0) | | 10-166 |
| H'0080 07B0 | | | | TOU0_4カウンタ (TOU04CTW) | (上位) (TOU04CTH) | | 10-161 |
| H'0080 07B2 | | | | | (下位) (TOU04CT) | | 10-163 |
| H'0080 07B4 | | | | TOU0_4リロードレジスタ (TOU04RLW) | TOU0_4リロード1レジスタ (TOU04RL1) | | 10-164 10-167 |
| H'0080 07B6 | | | | | TOU0_4リロード0レジスタ (TOU04RL0) | | 10-166 |
| H'0080 07B8 | | | | TOU0_5カウンタ (TOU05CTW) | (上位) (TOU05CTH) | | 10-161 |
| H'0080 07BA | | | | | (下位) (TOU05CT) | | 10-163 |
| H'0080 07BC | | | | TOU0_5リロードレジスタ (TOU05RLW) | TOU0_5リロード1レジスタ (TOU05RL1) | | 10-164 10-167 |
| H'0080 07BE | | | | | TOU0_5リロード0レジスタ (TOU05RL0) | | 10-166 |
| H'0080 07C0 | | | | TOU0_6カウンタ (TOU06CTW) | (上位) (TOU06CTH) | | 10-161 |
| H'0080 07C2 | | | | | (下位) (TOU06CT) | | 10-163 |
| H'0080 07C4 | | | | TOU0_6リロードレジスタ (TOU06RLW) | TOU0_6リロード1レジスタ (TOU06RL1) | | 10-164 10-167 |
| H'0080 07C6 | | | | | TOU0_6リロード0レジスタ (TOU06RL0) | | 10-166 |

TOU関連レジスタマップ(2/4)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ | |
|-------------|----------------------------------|------------------------------|----------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 07C8 | | TOU0_7カウンタ (TOU07CTW) | (上位) (TOU07CTH) | 10-161 |
| H'0080 07CA | | | (下位) (TOU07CT) | 10-163 |
| H'0080 07CC | | TOU0_7リロードレジスタ (TOU07RLW) | TOU0_7リロード1レジスタ (TOU07RL1) | 10-164 10-167 |
| H'0080 07CE | | | TOU0_7リロード0レジスタ (TOU07RL0) | 10-166 |
| { | | | | |
| H'0080 07D2 | TOU0割り込み要求マスクレジスタ (TOU0IMA) | | TOU0割り込み要求ステータスレジスタ (TOU0IST) | 10-58 |
| { | | | | |
| H'0080 07D8 | | TOU0制御レジスタ1 (TOU0CR1) | | 10-158 |
| H'0080 07DA | | TOU0制御レジスタ0 (TOU0CR0) | | 10-158 |
| H'0080 07DC | (使用禁止領域) | | TOU0イネーブルプロテクトレジスタ (TOU0PRO) | 10-168 |
| H'0080 07DE | (使用禁止領域) | | TOU0カウントイネーブルレジスタ (TOU0CEN) | 10-169 |
| H'0080 07E0 | PWMOFF0入力処理制御レジスタ (PWMOFF0CR) | | | 10-171 |
| { | | | | |
| H'0080 0B90 | | TOU1_0カウンタ (TOU10CTW) | (上位) (TOU10CTH) | 10-161 |
| H'0080 0B92 | | | (下位) (TOU10CT) | 10-163 |
| H'0080 0B94 | | TOU1_0リロードレジスタ (TOU10RLW) | TOU1_0リロード1レジスタ (TOU10RL1) | 10-164 10-167 |
| H'0080 0B96 | | | TOU1_0リロード0レジスタ (TOU10RL0) | 10-166 |
| H'0080 0B98 | | TOU1_1カウンタ (TOU11CTW) | (上位) (TOU11CTH) | 10-161 |
| H'0080 0B9A | | | (下位) (TOU11CT) | 10-163 |
| H'0080 0B9C | | TOU1_1リロードレジスタ (TOU11RLW) | TOU1_1リロード1レジスタ (TOU11RL1) | 10-164 10-167 |
| H'0080 0B9E | | | TOU1_1リロード0レジスタ (TOU11RL0) | 10-166 |
| H'0080 0BA0 | | TOU1_2カウンタ (TOU12CTW) | (上位) (TOU12CTH) | 10-161 |
| H'0080 0BA2 | | | (下位) (TOU12CT) | 10-163 |
| H'0080 0BA4 | | TOU1_2リロードレジスタ (TOU12RLW) | TOU1_2リロード1レジスタ (TOU12RL1) | 10-164 10-167 |
| H'0080 0BA6 | | | TOU1_2リロード0レジスタ (TOU12RL0) | 10-166 |
| H'0080 0BA8 | | TOU1_3カウンタ (TOU13CTW) | (上位) (TOU13CTH) | 10-161 |
| H'0080 0BAA | | | (下位) (TOU13CT) | 10-163 |
| H'0080 0BAC | | TOU1_3リロードレジスタ (TOU13RLW) | TOU1_3リロード1レジスタ (TOU13RL1) | 10-164 10-167 |
| H'0080 0BAE | | | TOU1_3リロード0レジスタ (TOU13RL0) | 10-166 |
| H'0080 0BB0 | | TOU1_4カウンタ (TOU14CTW) | (上位) (TOU14CTH) | 10-161 |
| H'0080 0BB2 | | | (下位) (TOU14CT) | 10-163 |
| H'0080 0BB4 | | TOU1_4リロードレジスタ (TOU14RLW) | TOU1_4リロード1レジスタ (TOU14RL1) | 10-164 10-167 |
| H'0080 0BB6 | | | TOU1_4リロード0レジスタ (TOU14RL0) | 10-166 |

TOU関連レジスタマップ(3/4)

| 番地 | +0番地 | +1番地 | 掲載ページ | |
|-------------|----------------------------------|----------------------------------|-------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0BB8 | | TOU1_5カウンタ (TOU15CTW) | (上位) (TOU15CTH) | 10-161 |
| H'0080 0BBA | | | (下位) (TOU15CT) | 10-163 |
| H'0080 0BBC | | TOU1_5リロードレジスタ (TOU15RLW) | TOU1_5リロード1レジスタ (TOU15RL1) | 10-164 10-167 |
| H'0080 0BBE | | | TOU1_5リロード0レジスタ (TOU15RL0) | 10-166 |
| H'0080 0BC0 | | TOU1_6カウンタ (TOU16CTW) | (上位) (TOU16CTH) | 10-161 |
| H'0080 0BC2 | | | (下位) (TOU16CT) | 10-163 |
| H'0080 0BC4 | | TOU1_6リロードレジスタ (TOU16RLW) | TOU1_6リロード1レジスタ (TOU16RL1) | 10-164 10-167 |
| H'0080 0BC6 | | | TOU1_6リロード0レジスタ (TOU16RL0) | 10-166 |
| H'0080 0BC8 | | TOU1_7カウンタ (TOU17CTW) | (上位) (TOU17CTH) | 10-161 |
| H'0080 0BCA | | | (下位) (TOU17CT) | 10-163 |
| H'0080 0BCC | | TOU1_7リロードレジスタ (TOU17RLW) | TOU1_7リロード1レジスタ (TOU17RL1) | 10-164 10-167 |
| H'0080 0BCE | | | TOU1_7リロード0レジスタ (TOU17RL0) | 10-166 |
| } | | | | |
| H'0080 0BD2 | TOU1割り込み要求マスクレジスタ (TOU1IMA) | TOU1割り込み要求ステータスレジスタ (TOU1IST) | | 10-60 |
| } | | | | |
| H'0080 0BD8 | | TOU1制御レジスタ1 (TOU1CR1) | | 10-159 |
| H'0080 0BDA | | TOU1制御レジスタ0 (TOU1CR0) | | 10-159 |
| H'0080 0BDC | (使用禁止領域) | TOU1イネーブルプロテクトレジスタ (TOU1PRO) | | 10-168 |
| H'0080 0BDE | (使用禁止領域) | TOU1カウントイネーブルレジスタ (TOU1CEN) | | 10-169 |
| H'0080 0BE0 | PWMOFF1入力処理制御レジスタ (PWMOFF1CR) | | | 10-171 |
| } | | | | |
| H'0080 0C90 | | TOU2_0カウンタ (TOU20CTW) | (上位) (TOU20CTH) | 10-161 |
| H'0080 0C92 | | | (下位) (TOU20CT) | 10-163 |
| H'0080 0C94 | | TOU2_0リロードレジスタ (TOU20RLW) | TOU2_0リロード1レジスタ (TOU20RL1) | 10-164 10-167 |
| H'0080 0C96 | | | TOU2_0リロード0レジスタ (TOU20RL0) | 10-166 |
| H'0080 0C98 | | TOU2_1カウンタ (TOU21CTW) | (上位) (TOU21CTH) | 10-161 |
| H'0080 0C9A | | | (下位) (TOU21CT) | 10-163 |
| H'0080 0C9C | | TOU2_1リロードレジスタ (TOU21RLW) | TOU2_1リロード1レジスタ (TOU21RL1) | 10-164 10-167 |
| H'0080 0C9E | | | TOU2_1リロード0レジスタ (TOU21RL0) | 10-166 |
| H'0080 0CA0 | | TOU2_2カウンタ (TOU22CTW) | (上位) (TOU22CTH) | 10-161 |
| H'0080 0CA2 | | | (下位) (TOU22CT) | 10-163 |
| H'0080 0CA4 | | TOU2_2リロードレジスタ (TOU22RLW) | TOU2_2リロード1レジスタ (TOU22RL1) | 10-164 10-167 |
| H'0080 0CA6 | | | TOU2_2リロード0レジスタ (TOU22RL0) | 10-166 |

TOU関連レジスタマップ(4/4)

| 番地 | +0番地 | +1番地 | 掲載ページ | |
|-------------|------|----------------------------------|----------------------------------|------------------|
| | b0 | b7 b8 | b15 | |
| H'0080 0CA8 | | TOU2_3カウンタ (TOU23CTW) | (上位) (TOU23CTH) | 10-161 |
| H'0080 0CAA | | | (下位) (TOU23CT) | 10-163 |
| H'0080 0CAC | | TOU2_3リロードレジスタ (TOU23RLW) | TOU2_3リロード1レジスタ (TOU23RL1) | 10-164 10-167 |
| H'0080 0CAE | | | TOU2_3リロード0レジスタ (TOU23RL0) | 10-166 |
| H'0080 0CB0 | | TOU2_4カウンタ (TOU24CTW) | (上位) (TOU24CTH) | 10-161 |
| H'0080 0CB2 | | | (下位) (TOU24CT) | 10-163 |
| H'0080 0CB4 | | TOU2_4リロードレジスタ (TOU24RLW) | TOU2_4リロード1レジスタ (TOU24RL1) | 10-164 10-167 |
| H'0080 0CB6 | | | TOU2_4リロード0レジスタ (TOU24RL0) | 10-166 |
| H'0080 0CB8 | | TOU2_5カウンタ (TOU25CTW) | (上位) (TOU25CTH) | 10-161 |
| H'0080 0CBA | | | (下位) (TOU25CT) | 10-163 |
| H'0080 0CBC | | TOU2_5リロードレジスタ (TOU25RLW) | TOU2_5リロード1レジスタ (TOU25RL1) | 10-164 10-167 |
| H'0080 0CBE | | | TOU2_5リロード0レジスタ (TOU25RL0) | 10-166 |
| H'0080 0CC0 | | TOU2_6カウンタ (TOU26CTW) | (上位) (TOU26CTH) | 10-161 |
| H'0080 0CC2 | | | (下位) (TOU26CT) | 10-163 |
| H'0080 0CC4 | | TOU2_6リロードレジスタ (TOU26RLW) | TOU2_6リロード1レジスタ (TOU26RL1) | 10-164 10-167 |
| H'0080 0CC6 | | | TOU2_6リロード0レジスタ (TOU26RL0) | 10-166 |
| H'0080 0CC8 | | TOU2_7カウンタ (TOU27CTW) | (上位) (TOU27CTH) | 10-161 |
| H'0080 0CCA | | | (下位) (TOU27CT) | 10-163 |
| H'0080 0CCC | | TOU2_7リロードレジスタ (TOU27RLW) | TOU2_7リロード1レジスタ (TOU27RL1) | 10-164 10-167 |
| H'0080 0CCE | | | TOU2_7リロード0レジスタ (TOU27RL0) | 10-166 |
| } | | | | |
| H'0080 0CD2 | | TOU2割り込み要求マスクレジスタ (TOU2IMA) | TOU2割り込み要求ステータスレジスタ (TOU2IST) | 10-61 |
| } | | | | |
| H'0080 0CD8 | | TOU2制御レジスタ1 (TOU2CR1) | | 10-160 |
| H'0080 0CDA | | TOU2制御レジスタ0 (TOU2CR0) | | 10-160 |
| H'0080 0CDC | | (使用禁止領域) | TOU2イネーブルプロテクトレジスタ (TOU2PRO) | 10-168 |
| H'0080 0CDE | | (使用禁止領域) | TOU2カウントイネーブルレジスタ (TOU2CEN) | 10-169 |
| H'0080 0CE0 | | PWMOFF2入力処理制御レジスタ (PWMOFF2CR) | | 10-171 |

10.8.4 TOU制御レジスタ

TOU0制御レジスタα(TOU0CR0)

<アドレス: H'0080 07DA>

| | | | | | | | | | | | | | | | |
|---------|---|---------|---|---------|---|---------|---|---------|---|---------|----|---------|----|---------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOU00M0 | | TOU01M0 | | TOU02M0 | | TOU03M0 | | TOU04M0 | | TOU05M0 | | TOU06M0 | | TOU07M0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|--------|-----------------------------|--------------------------|---|---|
| 0, 1 | TOU00M0(TOU0_0動作モード選択0ビット) | 00: ワンショット出力モード | R | W |
| 2, 3 | TOU01M0(TOU0_1動作モード選択0ビット) | 01: ワンショットPWM出力モード | | |
| 4, 5 | TOU02M0(TOU0_2動作モード選択0ビット) | または、ディレイドワンショット出力モード(注1) | | |
| 6, 7 | TOU03M0(TOU0_3動作モード選択0ビット) | 10: 連続出力モード | | |
| 8, 9 | TOU04M0(TOU0_4動作モード選択0ビット) | 11: PWM出力モード | | |
| 10, 11 | TOU05M0(TOU0_5動作モード選択0ビット) | | | |
| 12, 13 | TOU06M0(TOU0_6動作モード選択0ビット) | | | |
| 14, 15 | TOU07M0(TOU0_7動作モード選択0ビット) | | | |

注・このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

注1・TOU0制御レジスタ1で選択します。

TOU0制御レジスタ1(TOU0CR1)

<アドレス: H'0080 07D8>

| | | | | | | | | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|---------|---------|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOU0CK5 | | | | | | | | TOU00M1 | TOU01M1 | TOU02M1 | TOU03M1 | TOU04M1 | TOU05M1 | TOU06M1 | TOU07M1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------|-----------------------|---|---|
| 0 | TOU0CK5 | 0: プリスケアラ3を使用 | R | W |
| | TOU0クロックソース選択ビット | 1: 外部クロック(TIN24)を使用 | | |
| 1~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8 | TOU00M1(TOU0_0動作モード選択1ビット) | 0: ワンショットPWM出力モード | R | W |
| 9 | TOU01M1(TOU0_1動作モード選択1ビット) | 1: ディレイドワンショット出力モード | | |
| 10 | TOU02M1(TOU0_2動作モード選択1ビット) | | | |
| 11 | TOU03M1(TOU0_3動作モード選択1ビット) | | | |
| 12 | TOU04M1(TOU0_4動作モード選択1ビット) | | | |
| 13 | TOU05M1(TOU0_5動作モード選択1ビット) | | | |
| 14 | TOU06M1(TOU0_6動作モード選択1ビット) | | | |
| 15 | TOU07M1(TOU0_7動作モード選択1ビット) | | | |

注・このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は必ずカウンタ停止状態で行ってください

TOU0制御レジスタ0, 1では、TOU0_0~7の動作モードの選択を行います。

TOU0のクロックソースにプリスケアラ3を選択する場合、TID0制御&プリスケアラ3イネーブルレジスタにてプリスケアラ3をカウント開始に設定してください。

詳細については「10.7.3 TID制御&プリスケアライネーブルレジスタ」を参照してください。

TOU1制御レジスタ0(TOU1CR0)

<アドレス: H'0080 0BDA>

| | | | | | | | | | | | | | | | |
|---------|---|---------|---|---------|---|---------|---|---------|---|---------|----|---------|----|---------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOU10M0 | | TOU11M0 | | TOU12M0 | | TOU13M0 | | TOU14M0 | | TOU15M0 | | TOU16M0 | | TOU17M0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|--------|------------------------------|--------------------------|---|---|
| 0, 1 | TOU10M0(TOU1_0動作モード選択0ビット) | 00: ワンショット出力モード | R | W |
| 2, 3 | TOU11M0(TOU1_1動作モード選択0ビット) | 01: ワンショットPWM出力モード | | |
| 4, 5 | TOU12M0(TOU1_2動作モード選択0ビット) | または、ディレイドワンショット出力モード(注1) | | |
| 6, 7 | TOU13M0(TOU1_3動作モード選択0ビット) | 10: 連続出力モード | | |
| 8, 9 | TOU14M0(TOU1_4動作モード選択0ビット) | 11: PWM出力モード | | |
| 10, 11 | TOU15M0(TOU1_5動作モード選択0ビット) | | | |
| 12, 13 | TOU16M0(TOU1_6動作モード選択0ビット) | | | |
| 14, 15 | TOU17M0(TOU1_7動作モード選択0ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

注1. TOU1制御レジスタ1で選択します。

TOU1制御レジスタ1(TOU1CR1)

<アドレス: H'0080 0BD8>

| | | | | | | | | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|---------|---------|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOU1CK5 | | | | | | | | TOU10M1 | TOU11M1 | TOU12M1 | TOU13M1 | TOU14M1 | TOU15M1 | TOU16M1 | TOU17M1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-----|------------------------------|--|---|---|
| 0 | TOU1CK5 TOU1クロックソース選択ビット | 0: プリスケアラ4を使用 1: 外部クロック(TIN26)を使用 | R | W |
| 1~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8 | TOU10M1(TOU1_0動作モード選択1ビット) | 0: ワンショットPWM出力モード | R | W |
| 9 | TOU11M1(TOU1_1動作モード選択1ビット) | 1: ディレイドワンショット出力モード | | |
| 10 | TOU12M1(TOU1_2動作モード選択1ビット) | | | |
| 11 | TOU13M1(TOU1_3動作モード選択1ビット) | | | |
| 12 | TOU14M1(TOU1_4動作モード選択1ビット) | | | |
| 13 | TOU15M1(TOU1_5動作モード選択1ビット) | | | |
| 14 | TOU16M1(TOU1_6動作モード選択1ビット) | | | |
| 15 | TOU17M1(TOU1_7動作モード選択1ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TOU1制御レジスタ0, 1では、TOU1_0~7の動作モードの選択を行います。

TOU1のクロックソースにプリスケアラ4を選択する場合、TID1制御&プリスケアラ4イネーブルレジスタにてプリスケアラ4をカウント開始に設定してください。

詳細については「10.7.3 TID制御&プリスケアライネーブルレジスタ」を参照してください。

TOU2制御レジスタ0(TOU2CR0)

<アドレス: H'0080 0CDA>

| | | | | | | | | | | | | | | | |
|---------|---|---------|---|---------|---|---------|---|---------|---|---------|----|---------|----|---------|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TOU20M0 | | TOU21M0 | | TOU22M0 | | TOU23M0 | | TOU24M0 | | TOU25M0 | | TOU26M0 | | TOU27M0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|--------|-----------------------------|--------------------------|---|---|
| 0, 1 | TOU20M0(TOU2_0動作モード選択0ビット) | 00: ワンショット出力モード | R | W |
| 2, 3 | TOU21M0(TOU2_1動作モード選択0ビット) | 01: ワンショットPWM出力モード | | |
| 4, 5 | TOU22M0(TOU2_2動作モード選択0ビット) | または、ディレイドワンショット出力モード(注1) | | |
| 6, 7 | TOU23M0(TOU2_3動作モード選択0ビット) | 10: 連続出力モード | | |
| 8, 9 | TOU24M0(TOU2_4動作モード選択0ビット) | 11: PWM出力モード | | |
| 10, 11 | TOU25M0(TOU2_5動作モード選択0ビット) | | | |
| 12, 13 | TOU26M0(TOU2_6動作モード選択0ビット) | | | |
| 14, 15 | TOU27M0(TOU2_7動作モード選択0ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

注1. TOU2制御レジスタ1で選択します。

TOU2制御レジスタ1(TOU2CR1)

<アドレス: H'0080 0CD8>

| | | | | | | | | | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|---------|---------|---------|---------|---------|---------|---------|--|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 | |
| TOU2CK5 | | | | | | | | TOU20M1 | TOU21M1 | TOU22M1 | TOU23M1 | TOU24M1 | TOU25M1 | TOU26M1 | TOU27M1 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------|--------------------------------------|---|---|
| 0 | TOU2CK5 TOU2クロックソース選択ビット | 0: プリスケアラ5を使用 1: 外部クロック(TIN28)を使用 | R | W |
| 1~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8 | TOU20M1(TOU2_0動作モード選択1ビット) | 0: ワンショットPWM出力モード | R | W |
| 9 | TOU21M1(TOU2_1動作モード選択1ビット) | 1: ディレイドワンショット出力モード | | |
| 10 | TOU22M1(TOU2_2動作モード選択1ビット) | | | |
| 11 | TOU23M1(TOU2_3動作モード選択1ビット) | | | |
| 12 | TOU24M1(TOU2_4動作モード選択1ビット) | | | |
| 13 | TOU25M1(TOU2_5動作モード選択1ビット) | | | |
| 14 | TOU26M1(TOU2_6動作モード選択1ビット) | | | |
| 15 | TOU27M1(TOU2_7動作モード選択1ビット) | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TOU2制御レジスタ0, 1では、TOU2_0~7の動作モードの選択を行います。

TOU2のクロックソースにプリスケアラ5を選択する場合、TID2制御&プリスケアラ5イネーブルレジスタにてプリスケアラ5をカウント開始に設定してください。

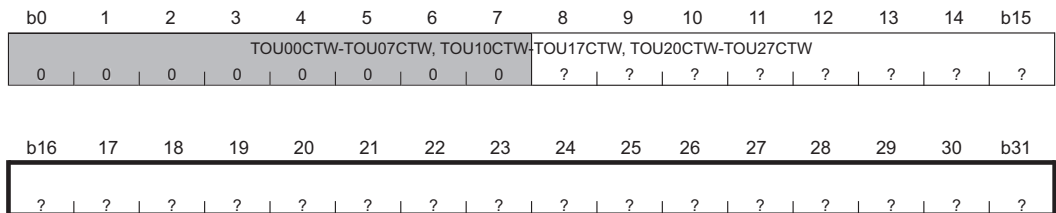
詳細については「10.7.3 TID制御&プリスケアラ5イネーブルレジスタ」を参照してください。

10.8.5 TOUカウンタ

TOUのカウンタです。このレジスタは、タイマの動作モードによって機能が異なります。

(1) ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUカウンタ

| | |
|----------------------|----------------------|
| TOU0_0カウンタ(TOU00CTW) | <アドレス : H'0080 0790> |
| TOU0_1カウンタ(TOU01CTW) | <アドレス : H'0080 0798> |
| TOU0_2カウンタ(TOU02CTW) | <アドレス : H'0080 07A0> |
| TOU0_3カウンタ(TOU03CTW) | <アドレス : H'0080 07A8> |
| TOU0_4カウンタ(TOU04CTW) | <アドレス : H'0080 07B0> |
| TOU0_5カウンタ(TOU05CTW) | <アドレス : H'0080 07B8> |
| TOU0_6カウンタ(TOU06CTW) | <アドレス : H'0080 07C0> |
| TOU0_7カウンタ(TOU07CTW) | <アドレス : H'0080 07C8> |
| TOU1_0カウンタ(TOU10CTW) | <アドレス : H'0080 0B90> |
| TOU1_1カウンタ(TOU11CTW) | <アドレス : H'0080 0B98> |
| TOU1_2カウンタ(TOU12CTW) | <アドレス : H'0080 0BA0> |
| TOU1_3カウンタ(TOU13CTW) | <アドレス : H'0080 0BA8> |
| TOU1_4カウンタ(TOU14CTW) | <アドレス : H'0080 0BB0> |
| TOU1_5カウンタ(TOU15CTW) | <アドレス : H'0080 0BB8> |
| TOU1_6カウンタ(TOU16CTW) | <アドレス : H'0080 0BC0> |
| TOU1_7カウンタ(TOU17CTW) | <アドレス : H'0080 0BC8> |
| TOU2_0カウンタ(TOU20CTW) | <アドレス : H'0080 0C90> |
| TOU2_1カウンタ(TOU21CTW) | <アドレス : H'0080 0C98> |
| TOU2_2カウンタ(TOU22CTW) | <アドレス : H'0080 0CA0> |
| TOU2_3カウンタ(TOU23CTW) | <アドレス : H'0080 0CA8> |
| TOU2_4カウンタ(TOU24CTW) | <アドレス : H'0080 0CB0> |
| TOU2_5カウンタ(TOU25CTW) | <アドレス : H'0080 0CB8> |
| TOU2_6カウンタ(TOU26CTW) | <アドレス : H'0080 0CC0> |
| TOU2_7カウンタ(TOU27CTW) | <アドレス : H'0080 0CC8> |



<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|------|---|------------|---|---|
| 0~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8~31 | TOU00CTW-TOU07CTW, TOU10CTW-TOU17CTW, TOU20CTW-TOU27CTW | 24ビットカウンタ値 | R | W |

注 . . 下位16ビットは、必ずハーフワード以上でアクセスしてください。

TOUカウンタはワンショット出力/ディレイドワンショット出力/連続出力モード時には24ビットのダウンカウンタとなり、タイマのイネーブル(カウントイネーブルビットへのソフトウェア書き込み、またはTOUイネーブル要因選択ビットで選択したイベント発生)後、カウントクロックに同期してカウントを開始します。b8~b15が上位8ビット、b16~b31が下位16ビットとなり、b0~b7は無視されます。

カウンタを上位、下位に分けて書き込む場合は、まず上位8ビットを書き換えてから下位16ビットを書き換えてください。下位16ビット書き換え時に上位8ビットの値が有効となります。逆の順序で下位16ビットから書き換えた場合、上位8ビットの値は次に下位16ビットを書き換えるまで反映されません。上位8ビット書き換え後、下位16ビットを書き換える前に上位8ビットを読み出した場合は、書き換えたデータは読み出せず、その前の状態(カウント停止中:前データ、カウント中:前データの現カウント値)を読み出します。32ビット単位で書き換えた場合は、自動的に上位8ビット 下位16ビットの書き換えを連続して行います。

PWM出力/ワンショットPWM出力モード時は、下位16ビットのみ有効な16ビットのダウンカウンタとなります。詳細は「10.8.5(2)PWM出力/ワンショットPWM出力モード時のTOUカウンタ」を参照してください。

カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出して判定するなどの対策を実施してください。

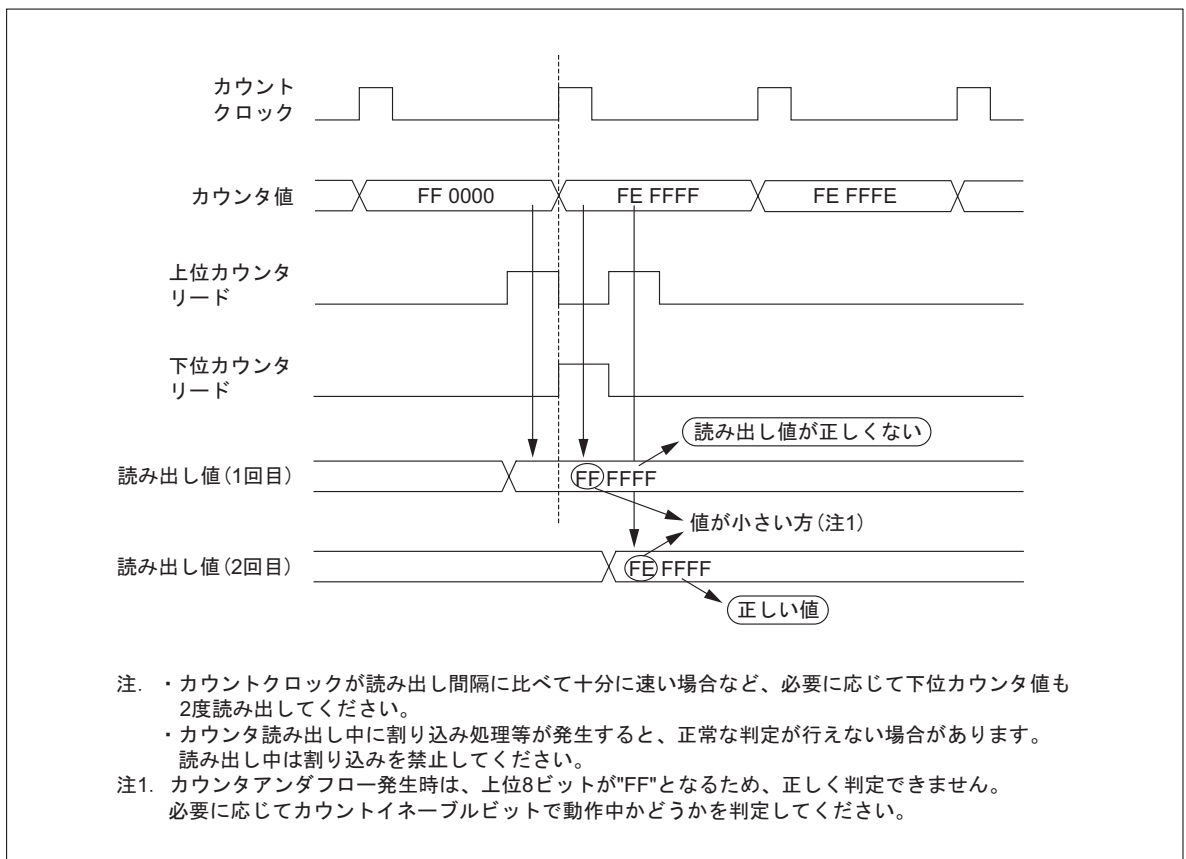
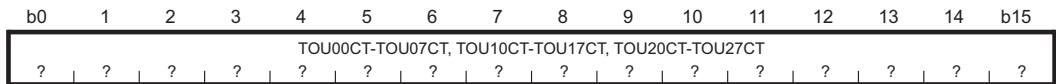


図10.8.3 カウンタ値の読み出し例

(2) PWM出力/ワンショットPWM出力モード時のTOUカウンタ

| | |
|---------------------|---------------------|
| TOU0_0カウンタ(TOU00CT) | <アドレス: H'0080 0792> |
| TOU0_1カウンタ(TOU01CT) | <アドレス: H'0080 079A> |
| TOU0_2カウンタ(TOU02CT) | <アドレス: H'0080 07A2> |
| TOU0_3カウンタ(TOU03CT) | <アドレス: H'0080 07AA> |
| TOU0_4カウンタ(TOU04CT) | <アドレス: H'0080 07B2> |
| TOU0_5カウンタ(TOU05CT) | <アドレス: H'0080 07BA> |
| TOU0_6カウンタ(TOU06CT) | <アドレス: H'0080 07C2> |
| TOU0_7カウンタ(TOU07CT) | <アドレス: H'0080 07CA> |
| TOU1_0カウンタ(TOU10CT) | <アドレス: H'0080 0B92> |
| TOU1_1カウンタ(TOU11CT) | <アドレス: H'0080 0B9A> |
| TOU1_2カウンタ(TOU12CT) | <アドレス: H'0080 0BA2> |
| TOU1_3カウンタ(TOU13CT) | <アドレス: H'0080 0BAA> |
| TOU1_4カウンタ(TOU14CT) | <アドレス: H'0080 0BB2> |
| TOU1_5カウンタ(TOU15CT) | <アドレス: H'0080 0BBA> |
| TOU1_6カウンタ(TOU16CT) | <アドレス: H'0080 0BC2> |
| TOU1_7カウンタ(TOU17CT) | <アドレス: H'0080 0BCA> |
| TOU2_0カウンタ(TOU20CT) | <アドレス: H'0080 0C92> |
| TOU2_1カウンタ(TOU21CT) | <アドレス: H'0080 0C9A> |
| TOU2_2カウンタ(TOU22CT) | <アドレス: H'0080 0CA2> |
| TOU2_3カウンタ(TOU23CT) | <アドレス: H'0080 0CAA> |
| TOU2_4カウンタ(TOU24CT) | <アドレス: H'0080 0CB2> |
| TOU2_5カウンタ(TOU25CT) | <アドレス: H'0080 0CBA> |
| TOU2_6カウンタ(TOU26CT) | <アドレス: H'0080 0CC2> |
| TOU2_7カウンタ(TOU27CT) | <アドレス: H'0080 0CCA> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---|------------|---|---|
| 0~15 | TOU00CT-TOU07CT, TOU10CT-TOU17CT, TOU20CT-TOU27CT | 16ビットカウンタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOUカウンタはPWM出力/ワンショットPWM出力モード時には16ビットのダウンカウンタとなり、タイマのイネーブル(カウントイネーブルビットへのソフトウェア書き込み、またはTOUイネーブル要因選択ビットで選択したイベント発生)後、カウントクロックに同期してカウントを開始します。

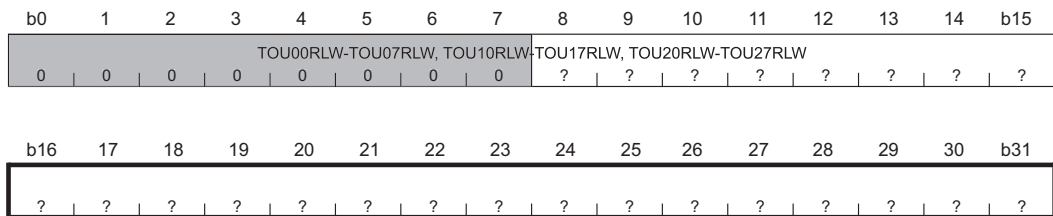
ワンショット出力/ディレイドワンショット出力/連続出力モード時は、上位8ビットを追加した24ビットのダウンカウンタとなります。詳細は「10.8.5(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUカウンタ」を参照してください。

10.8.6 TOUリロードレジスタ

TOUリロードレジスタは、TOUカウンタヘデータをリロードするためのレジスタです。このレジスタは、タイマの動作モードによって機能が異なります。

(1) ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ

| | |
|--------------------------|-----------------------|
| TOU0_0リロードレジスタ(TOU00RLW) | <アドレス : H'0080 0794 > |
| TOU0_1リロードレジスタ(TOU01RLW) | <アドレス : H'0080 079C > |
| TOU0_2リロードレジスタ(TOU02RLW) | <アドレス : H'0080 07A4 > |
| TOU0_3リロードレジスタ(TOU03RLW) | <アドレス : H'0080 07AC > |
| TOU0_4リロードレジスタ(TOU04RLW) | <アドレス : H'0080 07B4 > |
| TOU0_5リロードレジスタ(TOU05RLW) | <アドレス : H'0080 07BC > |
| TOU0_6リロードレジスタ(TOU06RLW) | <アドレス : H'0080 07C4 > |
| TOU0_7リロードレジスタ(TOU07RLW) | <アドレス : H'0080 07CC > |
| TOU1_0リロードレジスタ(TOU10RLW) | <アドレス : H'0080 0B94 > |
| TOU1_1リロードレジスタ(TOU11RLW) | <アドレス : H'0080 0B9C > |
| TOU1_2リロードレジスタ(TOU12RLW) | <アドレス : H'0080 0BA4 > |
| TOU1_3リロードレジスタ(TOU13RLW) | <アドレス : H'0080 0BAC > |
| TOU1_4リロードレジスタ(TOU14RLW) | <アドレス : H'0080 0BB4 > |
| TOU1_5リロードレジスタ(TOU15RLW) | <アドレス : H'0080 0BBC > |
| TOU1_6リロードレジスタ(TOU16RLW) | <アドレス : H'0080 0BC4 > |
| TOU1_7リロードレジスタ(TOU17RLW) | <アドレス : H'0080 0BCC > |
| TOU2_0リロードレジスタ(TOU20RLW) | <アドレス : H'0080 0C94 > |
| TOU2_1リロードレジスタ(TOU21RLW) | <アドレス : H'0080 0C9C > |
| TOU2_2リロードレジスタ(TOU22RLW) | <アドレス : H'0080 0CA4 > |
| TOU2_3リロードレジスタ(TOU23RLW) | <アドレス : H'0080 0CAC > |
| TOU2_4リロードレジスタ(TOU24RLW) | <アドレス : H'0080 0CB4 > |
| TOU2_5リロードレジスタ(TOU25RLW) | <アドレス : H'0080 0CBC > |
| TOU2_6リロードレジスタ(TOU26RLW) | <アドレス : H'0080 0CC4 > |
| TOU2_7リロードレジスタ(TOU27RLW) | <アドレス : H'0080 0CCC > |



<リセット解除時：不定>

| b | ビット名 | 機能 | R | W |
|------|---|----------------|---|---|
| 0~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 8~31 | TOU00RLW-TOU07RLW, TOU10RLW-TOU17RLW, TOU20RLW-TOU27RLW | 24ビットリロードレジスタ値 | R | W |

注．．下位16ビットは、必ずハーフワード以上でアクセスしてください。

TOUはワンショット出力/ディレイドワンショット出力/連続出力モード時には、24ビットタイマとして動作します。このレジスタの下位24ビットに設定した値が、カウンタにリロードされます。b8～b15が上位8ビット、b16～b31が下位16ビットとなり、b0～b7は無視されます。

リロードレジスタの内容がカウンタにロードされるのは、以下の場合です。

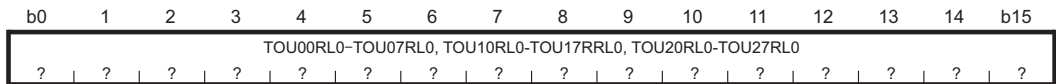
- ワンショット出力モードでカウンタがイネーブルになったとき
- ディレイドワンショット出力または連続出力モードでカウンタがアンダフローしたとき

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

PWM出力/ワンショットPWM出力モード時は、16ビットのリロード0レジスタ、リロード1レジスタとなります。詳細は「10.8.6(2)PWM出力/ワンショットPWM出力モード時のTOUリロードレジスタ」を参照してください。

(2) PWM出力/ワンショットPWM出力モード時のTOUリロードレジスタ

| | |
|--------------------------|---------------------|
| TOU0_0リロードレジスタ(TOU00RL0) | <アドレス: H'0080 0796> |
| TOU0_1リロードレジスタ(TOU01RL0) | <アドレス: H'0080 079E> |
| TOU0_2リロードレジスタ(TOU02RL0) | <アドレス: H'0080 07A6> |
| TOU0_3リロードレジスタ(TOU03RL0) | <アドレス: H'0080 07AE> |
| TOU0_4リロードレジスタ(TOU04RL0) | <アドレス: H'0080 07B6> |
| TOU0_5リロードレジスタ(TOU05RL0) | <アドレス: H'0080 07BE> |
| TOU0_6リロードレジスタ(TOU06RL0) | <アドレス: H'0080 07C6> |
| TOU0_7リロードレジスタ(TOU07RL0) | <アドレス: H'0080 07CE> |
| TOU1_0リロードレジスタ(TOU10RL0) | <アドレス: H'0080 0B96> |
| TOU1_1リロードレジスタ(TOU11RL0) | <アドレス: H'0080 0B9E> |
| TOU1_2リロードレジスタ(TOU12RL0) | <アドレス: H'0080 0BA6> |
| TOU1_3リロードレジスタ(TOU13RL0) | <アドレス: H'0080 0BAE> |
| TOU1_4リロードレジスタ(TOU14RL0) | <アドレス: H'0080 0BB6> |
| TOU1_5リロードレジスタ(TOU15RL0) | <アドレス: H'0080 0BBE> |
| TOU1_6リロードレジスタ(TOU16RL0) | <アドレス: H'0080 0BC6> |
| TOU1_7リロードレジスタ(TOU17RL0) | <アドレス: H'0080 0BCE> |
| TOU2_0リロードレジスタ(TOU20RL0) | <アドレス: H'0080 0C96> |
| TOU2_1リロードレジスタ(TOU21RL0) | <アドレス: H'0080 0C9E> |
| TOU2_2リロードレジスタ(TOU22RL0) | <アドレス: H'0080 0CA6> |
| TOU2_3リロードレジスタ(TOU23RL0) | <アドレス: H'0080 0CAE> |
| TOU2_4リロードレジスタ(TOU24RL0) | <アドレス: H'0080 0CB6> |
| TOU2_5リロードレジスタ(TOU25RL0) | <アドレス: H'0080 0CBE> |
| TOU2_6リロードレジスタ(TOU26RL0) | <アドレス: H'0080 0CC6> |
| TOU2_7リロードレジスタ(TOU27RL0) | <アドレス: H'0080 0CCE> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---|----------------|---|---|
| 0~15 | TOU00RL0-TOU07RL0, TOU10RL0-TOU17RL0, TOU20RL0-TOU27RL0 | 16ビットリロードレジスタ値 | R | W |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOUはPWM出力/ワンショットPWM出力モード時には、16ビットタイマとして動作します。リロード0レジスタには、カウントイネーブル時にロードする16ビットの値を設定します。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

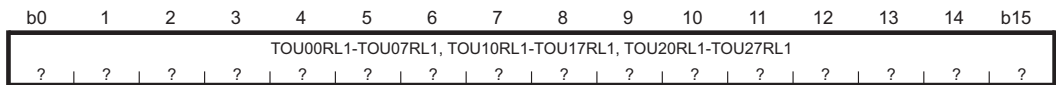
- カウンタがイネーブルになったとき
- PWM出力モードでリロード1レジスタでセットしたカウント値がアンダフローしたとき

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

リロードレジスタに"FFFF"を設定すると、PWM出力の反転を行わないカウント(デューティ0%、100%)が可能です。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

ワンショット出力/ディレイドワンショット出力/連続出力モード時は、リロード0レジスタ、リロード1レジスタを合わせて、24ビットのリロードレジスタとなります。詳細は「10.8.6(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ」を参照してください。

| | |
|---------------------------|---------------------|
| TOU0_0リロード1レジスタ(TOU00RL1) | <アドレス: H'0080 0794> |
| TOU0_1リロード1レジスタ(TOU01RL1) | <アドレス: H'0080 079C> |
| TOU0_2リロード1レジスタ(TOU02RL1) | <アドレス: H'0080 07A4> |
| TOU0_3リロード1レジスタ(TOU03RL1) | <アドレス: H'0080 07AC> |
| TOU0_4リロード1レジスタ(TOU04RL1) | <アドレス: H'0080 07B4> |
| TOU0_5リロード1レジスタ(TOU05RL1) | <アドレス: H'0080 07BC> |
| TOU0_6リロード1レジスタ(TOU06RL1) | <アドレス: H'0080 07C4> |
| TOU0_7リロード1レジスタ(TOU07RL1) | <アドレス: H'0080 07CC> |
| TOU1_0リロード1レジスタ(TOU10RL1) | <アドレス: H'0080 0B94> |
| TOU1_1リロード1レジスタ(TOU11RL1) | <アドレス: H'0080 0B9C> |
| TOU1_2リロード1レジスタ(TOU12RL1) | <アドレス: H'0080 0BA4> |
| TOU1_3リロード1レジスタ(TOU13RL1) | <アドレス: H'0080 0BAC> |
| TOU1_4リロード1レジスタ(TOU14RL1) | <アドレス: H'0080 0BB4> |
| TOU1_5リロード1レジスタ(TOU15RL1) | <アドレス: H'0080 0BBC> |
| TOU1_6リロード1レジスタ(TOU16RL1) | <アドレス: H'0080 0BC4> |
| TOU1_7リロード1レジスタ(TOU17RL1) | <アドレス: H'0080 0BCC> |
| TOU2_0リロード1レジスタ(TOU20RL1) | <アドレス: H'0080 0C94> |
| TOU2_1リロード1レジスタ(TOU21RL1) | <アドレス: H'0080 0C9C> |
| TOU2_2リロード1レジスタ(TOU22RL1) | <アドレス: H'0080 0CA4> |
| TOU2_3リロード1レジスタ(TOU23RL1) | <アドレス: H'0080 0CAC> |
| TOU2_4リロード1レジスタ(TOU24RL1) | <アドレス: H'0080 0CB4> |
| TOU2_5リロード1レジスタ(TOU25RL1) | <アドレス: H'0080 0CBC> |
| TOU2_6リロード1レジスタ(TOU26RL1) | <アドレス: H'0080 0CC4> |
| TOU2_7リロード1レジスタ(TOU27RL1) | <アドレス: H'0080 0CCC> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---|----------------|---|---|
| 0~15 | TOU00RL1-TOU07RL1, TOU10RL1-TOU17RL1, TOU20RL1-TOU27RL1 | 16ビットリロードレジスタ値 | R | W |

注. ・このレジスタは、必ずハーフワードでアクセスしてください。

TOUはPWM出力/ワンショットPWM出力モード時には、16ビットタイムとして動作します。リロード1レジスタには、リロード1レジスタで設定したカウント値がアンダフローした時にリロードされる16ビットの値を設定します。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

- PWM出力モードでリロード0レジスタでセットしたカウント値がアンダフローしたとき

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

リロードレジスタに"FFFF"を設定すると、PWM出力の反転を行わないカウント(デューティ0%、100%)が可能です。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

ワンショット出力/ディレイドワンショット出力/連続出力モード時は、リロード0レジスタ、リロード1レジスタを組み合わせた24ビットのリロードレジスタとなります。詳細は「10.8.6(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ」を参照してください。

10.8.7 TOUイネーブルプロテクトレジスタ

TOU0イネーブルプロテクトレジスタ(TOU0PRO)

<アドレス : H'0080 07DD >

TOU1イネーブルプロテクトレジスタ(TOU1PRO)

<アドレス : H'0080 0BDD >

TOU2イネーブルプロテクトレジスタ(TOU2PRO)

<アドレス : H'0080 0CDD >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| TOUn 0PRO 0 | TOUn 1PRO 0 | TOUn 2PRO 0 | TOUn 3PRO 0 | TOUn 4PRO 0 | TOUn 5PRO 0 | TOUn 6PRO 0 | TOUn 7PRO 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|---------------------|------------|---|---|
| 8 | TOUn0PRO | 0 : 書き換え許可 | R | W |
| | TOUn_0イネーブルプロテクトビット | 1 : 書き換え禁止 | | |
| 9 | TOUn1PRO | | | |
| | TOUn_1イネーブルプロテクトビット | | | |
| 10 | TOUn2PRO | | | |
| | TOUn_2イネーブルプロテクトビット | | | |
| 11 | TOUn3PRO | | | |
| | TOUn_3イネーブルプロテクトビット | | | |
| 12 | TOUn4PRO | | | |
| | TOUn_4イネーブルプロテクトビット | | | |
| 13 | TOUn5PRO | | | |
| | TOUn_5イネーブルプロテクトビット | | | |
| 14 | TOUn6PRO | | | |
| | TOUn_6イネーブルプロテクトビット | | | |
| 15 | TOUn7PRO | | | |
| | TOUn_7イネーブルプロテクトビット | | | |

TOUイネーブルプロテクトレジスタは、「10.8.8 TOUカウントイネーブルレジスタ」に示すTOUカウントイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

10.8.8 TOUカウントイネーブルレジスタ

TOU0カウントイネーブルレジスタ(TOU0CEN) <アドレス: H'0080 07DF>
 TOU1カウントイネーブルレジスタ(TOU1CEN) <アドレス: H'0080 0BDF>
 TOU2カウントイネーブルレジスタ(TOU2CEN) <アドレス: H'0080 0CDF>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| TOUn 0CEN 0 | TOUn 1CEN 0 | TOUn 2CEN 0 | TOUn 3CEN 0 | TOUn 4CEN 0 | TOUn 5CEN 0 | TOUn 6CEN 0 | TOUn 7CEN 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|----|--------------------|-----------|---|---|
| 8 | TOUn0CEN | 0: カウント停止 | R | W |
| | TOUn_0カウントイネーブルビット | 1: カウント許可 | | |
| 9 | TOUn1CEN | | | |
| | TOUn_1カウントイネーブルビット | | | |
| 10 | TOUn2CEN | | | |
| | TOUn_2カウントイネーブルビット | | | |
| 11 | TOUn3CEN | | | |
| | TOUn_3カウントイネーブルビット | | | |
| 12 | TOUn4CEN | | | |
| | TOUn_4カウントイネーブルビット | | | |
| 13 | TOUn5CEN | | | |
| | TOUn_5カウントイネーブルビット | | | |
| 14 | TOUn6CEN | | | |
| | TOUn_6カウントイネーブルビット | | | |
| 15 | TOUn7CEN | | | |
| | TOUn_7カウントイネーブルビット | | | |

TOUカウントイネーブルレジスタは、TOUカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き換え許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き換え許可にし、カウントイネーブルビットに"0"を書き込みます。

ワンショット出力、ワンショットPWM出力、またはディレイドワンショット出力モードではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOUカウントイネーブルレジスタを読み出した場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

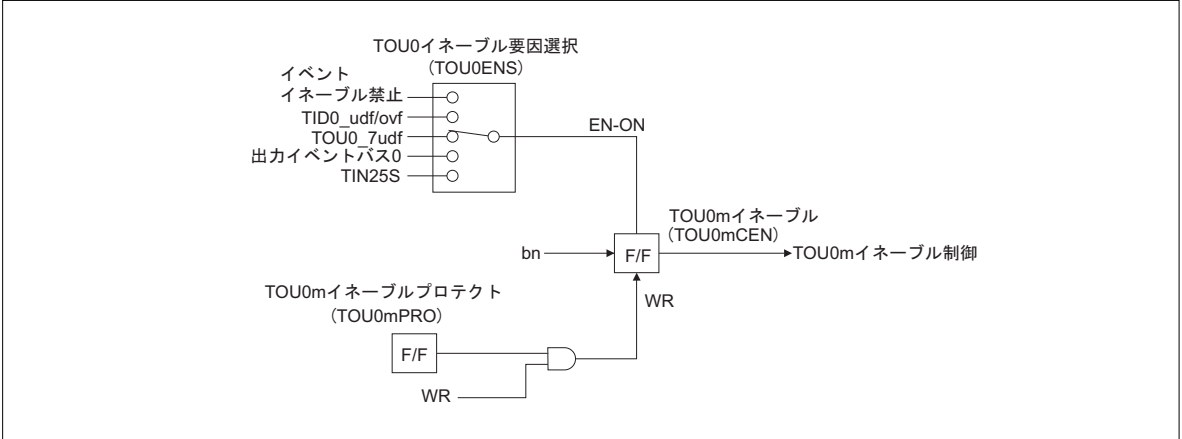


図10.8.4 TOU0イネーブル回路構成図

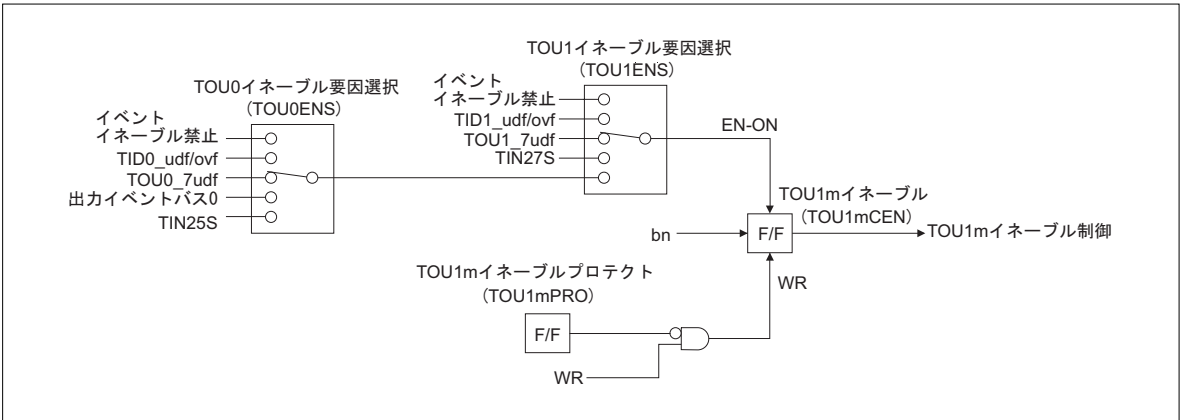


図10.8.5 TOU1イネーブル回路構成図

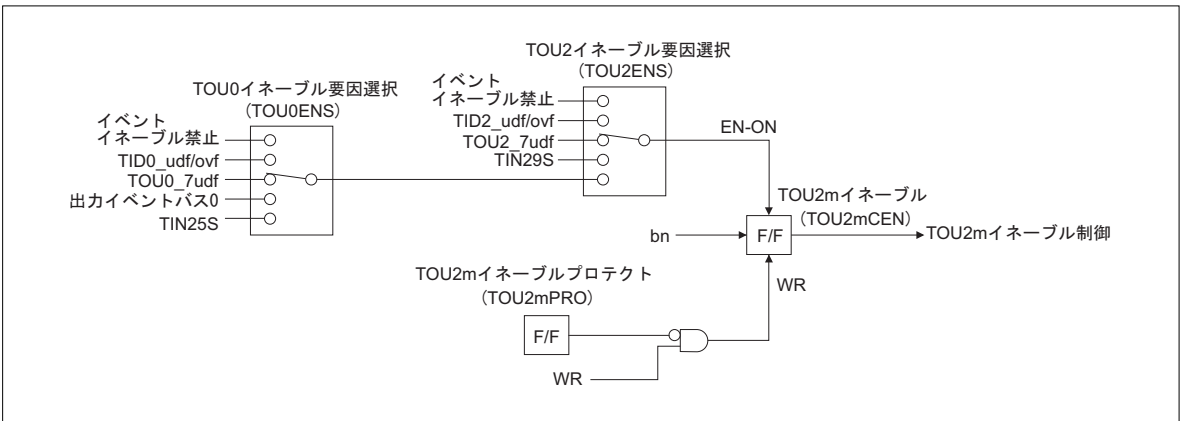


図10.8.6 TOU2イネーブル回路構成図

10.8.9 PWMOFF入力処理制御レジスタ

PWMOFF0入力処理制御レジスタ(PWMOFF0CR)

< アドレス : H'0080 07E0 >

| | | | | | | | |
|----|---|---|---|--------------------|---|---------------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | PWM OFF0SP 0 | 0 | PWMOFF0S 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|--|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | PWMOFF0SP PWMOFF0S書き込み制御ビット | | 0 | W |
| 5~7 | PWMOFF0S PWMOFF0入力処理制御ビット | 000 : 入力無効 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル | R | W |

PWMOFF1入力処理制御レジスタ(PWMOFF1CR)

< アドレス : H'0080 0BE0 >

| | | | | | | | |
|----|---|---|---|--------------------|---|---------------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | PWM OFF1SP 0 | 0 | PWMOFF1S 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|--|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | PWMOFF1SP PWMOFF1S書き込み制御ビット | | 0 | W |
| 5~7 | PWMOFF1S PWMOFF1入力処理制御ビット | 000 : 入力無効 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル | R | W |

PWMOFF2入力処理制御レジスタ(PWMOFF2CR)

< アドレス : H'0080 0CE0 >

| | | | | | | | |
|----|---|---|---|--------------------|---|---------------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | PWM OFF2SP 0 | 0 | PWMOFF2S 0 | 0 |

< リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|--|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | PWMOFF2SP PWMOFF2S書き込み制御ビット | | 0 | W |
| 5~7 | PWMOFF2S PWMOFF2入力処理制御ビット | 000 : 入力無効 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル | R | W |

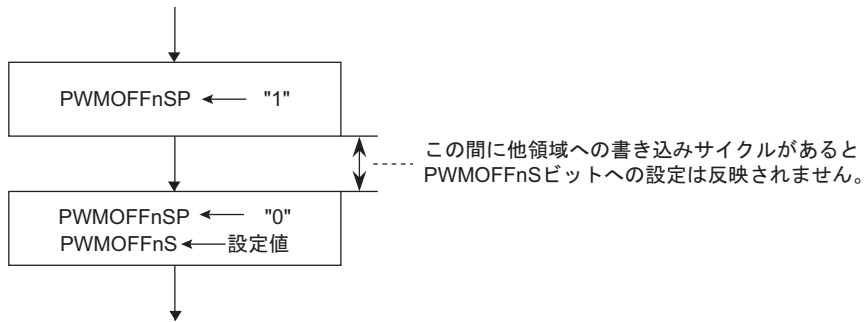
PWMOFF入力処理制御レジスタは、外部端子によるPWM出力禁止制御を設定するレジスタです。PWM出力禁止機能の詳細は「10.8.18 PWM出力禁止機能」を参照してください。

PWMOFF入力処理制御ビットを設定する場合は、下記の手順で行います。

1. PWMOFFnS書き込み制御ビット(PWMOFFnSP)に"1"を書き込み
2. 上記1. に連続してPWMOFFnS書き込み制御ビット(PWMOFFnSP)に"0"を、PWMOFF入力処理制御ビット(PWMOFFnS)に設定値を書き込み

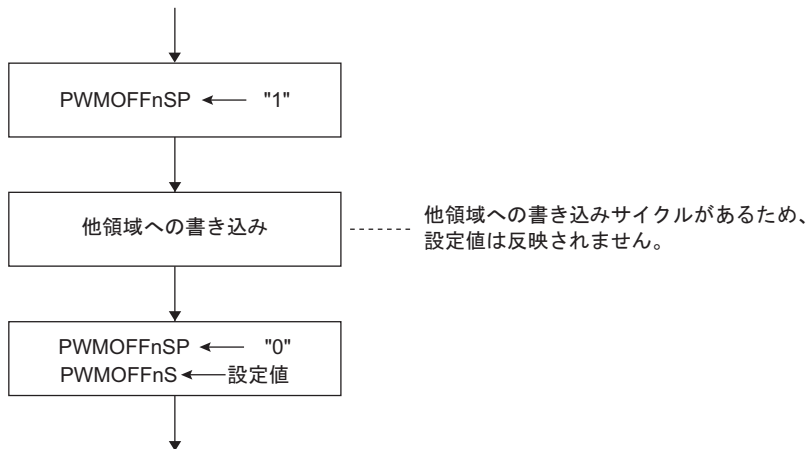
注. ・1. と2. の間に他の領域への書き込みサイクルがあると連続設定は無効になり、書き込み値は反映されません。割り込み、DMA転送を禁止状態にして、設定してください。また、書き込み動作は、2回連続が1組となります。

■ 正しい設定例



■ 設定無効となる場合

(1)



(2)

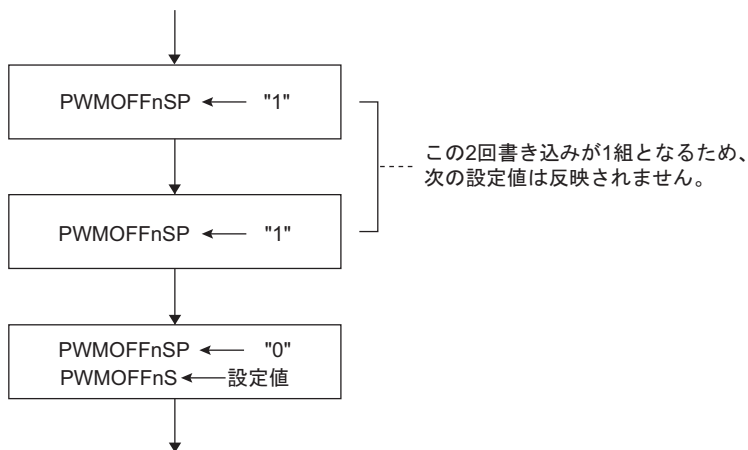


図10.8.7 PWMOFFnS設定手順

10.8.10 PWM出力制御レジスタ

PWM出力0禁止制御レジスタ(PO0DISCR)

<アドレス : H'0080 0780 >

| | | | | | | | |
|----|---|---|---|---|---|--------------|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO0DISP 0 | PO0DIS 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--|----------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | PO0DISP PO0DIS書き込み制御ビット | - | 0 | W |
| 7 | PO0DIS P160/TO21 ~ P165/TO26出力禁止選択ビット | 0 : 出力許可 1 : 出力禁止 | R | W |

PWM出力1禁止制御レジスタ(PO1DISCR)

<アドレス : H'0080 0782 >

| | | | | | | | |
|----|---|---|---|---|---|--------------|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO1DISP 0 | PO1DIS 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--|----------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | PO1DISP PO1DIS書き込み制御ビット | - | 0 | W |
| 7 | PO1DIS P180/TO29 ~ P185/TO34出力禁止選択ビット | 0 : 出力許可 1 : 出力禁止 | R | W |

PWM出力2禁止制御レジスタ(PO2DISCR)

<アドレス : H'0080 0784 >

| | | | | | | | |
|----|---|---|---|---|---|--------------|-------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO2DISP 0 | PO2DIS 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--|----------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | PO2DISP PO2DIS書き込み制御ビット | - | 0 | W |
| 7 | PO2DIS P210/TO37~P215/TO42出力禁止選択ビット | 0 : 出力許可 1 : 出力禁止 | R | W |

このレジスタは、それぞれ対応する端子の出力許可/禁止を制御するレジスタです。これらの端子はTOUタイムで3相PWM出力制御を行う場合に使用可能です。

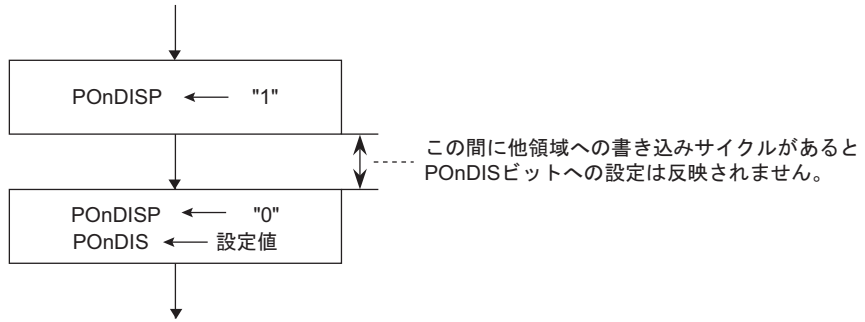
このレジスタを制御することにより、3相PWM出力を強制的に禁止(ハイインピーダンス状態)にすることができます。詳細は「10.8.18 PWM出力禁止機能」を参照してください。また、POnDISを読み出した場合は、出力禁止状態を示すステータスビットとなります。

このレジスタを設定する場合は、下記の手順で行います。

1. POnDIS書き込み制御ビット(POnDISP)に"1"を書き込み
2. 上記1. に連続してPOnDIS書き込み制御ビット(POnDISP)に"0"を、出力禁止選択ビット(POnDIS)に"0"または"1"を書き込み

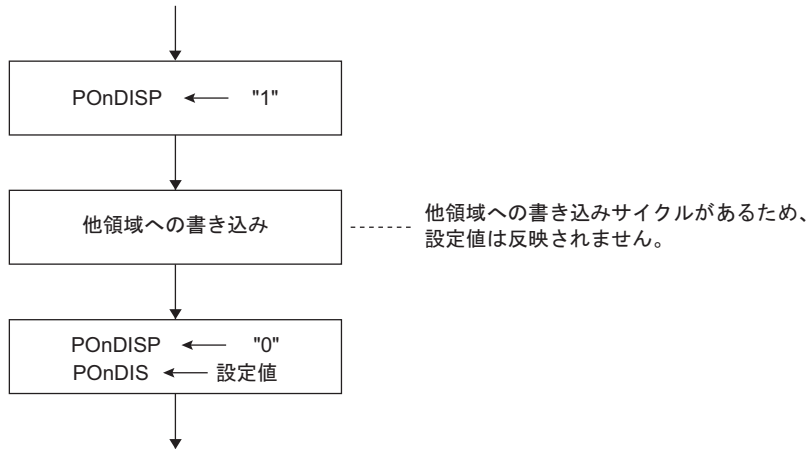
注 . ・1. と2. の間に他の領域への書き込みサイクルがあると連続設定は無効になり、書き込み値は反映されません。割り込み、DMA転送は禁止状態にして設定してください。また、書き込み動作は、2回連続が1組となります。

■ 正しい設定例



■ 設定無効となる場合

(1)



(2)

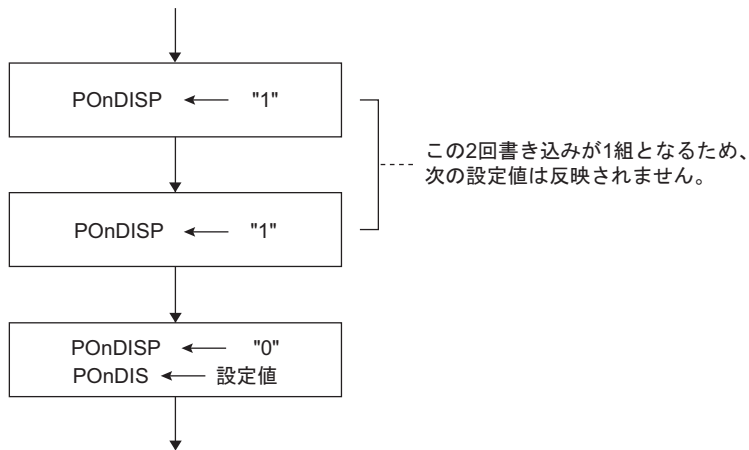


図10.8.8 POnDIS設定手順

10.8.11 PWM出力禁止レベル制御レジスタ

PWM出力0禁止レベル制御レジスタ(PO0LVCR)

<アドレス: H'0080 0781 >

| | | | | | | | |
|----|---|----|----|----|----|---------------|--------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO0LVSEL 0 | PO0LVEN 0 |

<リセット解除時: H'00 >

| b | ビット名 | 機能 | R | W |
|------|---|------------------------------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | PO0LVSEL P160/TO21 ~ P165/TO26出力禁止レベル選択ビット | 0: 出力禁止レベル"L"選択 1: 出力禁止レベル"H"選択 | R | W |
| 15 | PO0LVEN 出力禁止レベル有効/無効選択ビット | 0: 出力禁止レベル選択無効 1: 出力禁止レベル選択有効 | R | W |

PWM出力1禁止レベル制御レジスタ(PO1LVCR)

<アドレス: H'0080 0783 >

| | | | | | | | |
|----|---|----|----|----|----|---------------|--------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO1LVSEL 0 | PO1LVEN 0 |

<リセット解除時: H'00 >

| b | ビット名 | 機能 | R | W |
|------|---|------------------------------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | PO1LVSEL P180/TO29 ~ P185/TO34出力禁止レベル選択ビット | 0: 出力禁止レベル"L"選択 1: 出力禁止レベル"H"選択 | R | W |
| 15 | PO1LVEN 出力禁止レベル有効/無効選択ビット | 0: 出力禁止レベル選択無効 1: 出力禁止レベル選択有効 | R | W |

PWM出力2禁止レベル制御レジスタ(PO2LVCR)

<アドレス: H'0080 0785 >

| | | | | | | | |
|----|---|----|----|----|----|---------------|--------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | PO2LVSEL 0 | PO2LVEN 0 |

<リセット解除時: H'00 >

| b | ビット名 | 機能 | R | W |
|------|---|------------------------------------|---|---|
| 8~13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | PO2LVSEL P210/TO37 ~ P215/TO42出力禁止レベル選択ビット | 0: 出力禁止レベル"L"選択 1: 出力禁止レベル"H"選択 | R | W |
| 15 | PO2LVEN 出力禁止レベル有効/無効選択ビット | 0: 出力禁止レベル選択無効 1: 出力禁止レベル選択有効 | R | W |

出力禁止レベル選択機能は、ポートの出力状態に応じてポートの出力を強制的に禁止(ハイインピーダンス状態)する機能です。

出力禁止レベル選択機能は、3相PWMの信号同時ONの判定等で使用可能です。また、ポートの出力状態に応じて動作するためポートの2重検証としても使用可能です。

(1) POnLVSEL (出力禁止レベル選択) ビット (b14)

どの出力レベル("L"レベル、"H"レベル)で出力を禁止するかを指定するビットです。

"L"レベルのとき出力を禁止する場合にはこのビットに"0"を、"H"レベルのとき出力を禁止する場合にはこのビットに"1"を設定します。

ポートの出力状態状態に応じてポートの出力をOFFにする場合の条件を以下に示します。

1) PO0LVSEL = 0

下記条件のうち、いずれか一つでも成立すれば、P160/TO21 ~ P165/TO26(TOU0_0 ~ TOU0_5出力端子)の出力が禁止されます。

- P160/TO21(TOU0_0出力端子)出力、P161/TO22(TOU0_1出力端子)出力が共に"L"レベル
- P162/TO23(TOU0_2出力端子)出力、P163/TO24(TOU0_3出力端子)出力が共に"L"レベル
- P164/TO25(TOU0_4出力端子)出力、P165/TO26(TOU0_5出力端子)出力が共に"L"レベル

2) PO0LVSEL = 1

下記条件のうち、いずれか一つでも成立すれば、P160/TO21 ~ P165/TO26(TOU0_0 ~ TOU0_5出力端子)の出力が禁止されます。

- P160/TO21(TOU0_0出力端子)出力、P161/TO22(TOU0_1出力端子)出力が共に"H"レベル
- P162/TO23(TOU0_2出力端子)出力、P163/TO24(TOU0_3出力端子)出力が共に"H"レベル
- P164/TO25(TOU0_4出力端子)出力、P165/TO26(TOU0_5出力端子)出力が共に"H"レベル

3) PO1LVSEL = 0

下記条件のうち、いずれか一つでも成立すれば、P180/TO29 ~ P185/TO34(TOU1_0 ~ TOU1_5出力端子)の出力が禁止されます。

- P180/TO29(TOU1_0出力端子)出力、P181/TO30(TOU1_1出力端子)出力が共に"L"レベル
- P182/TO31(TOU1_2出力端子)出力、P183/TO32(TOU1_3出力端子)出力が共に"L"レベル
- P184/TO33(TOU1_4出力端子)出力、P185/TO34(TOU1_5出力端子)出力が共に"L"レベル

4) PO1LVSEL = 1

下記条件のうち、いずれか一つでも成立すれば、P180/TO29 ~ P185/TO34(TOU1_0 ~ TOU1_5出力端子)の出力が禁止されます。

- P180/TO29(TOU1_0出力端子)出力、P181/TO30(TOU1_1出力端子)出力が共に"H"レベル
- P182/TO31(TOU1_2出力端子)出力、P183/TO32(TOU1_3出力端子)出力が共に"H"レベル
- P184/TO33(TOU1_4出力端子)出力、P185/TO34(TOU1_5出力端子)出力が共に"H"レベル

5) PO2LVSEL = 0

下記条件のうち、いずれか一つでも成立すれば、P210/TO37 ~ P215/TO42(TOU2_0 ~ TOU2_5出力端子)の出力が禁止されます。

- P210/TO37(TOU2_0出力端子)出力、P211/TO38(TOU2_1出力端子)出力が共に"L"レベル
- P212/TO39(TOU2_2出力端子)出力、P213/TO40(TOU2_3出力端子)出力が共に"L"レベル
- P214/TO41(TOU2_4出力端子)出力、P215/TO42(TOU2_5出力端子)出力が共に"L"レベル

6) PO2LVSEL = 1

下記条件のうち、いずれか一つでも成立すれば、P210/TO37 ~ P215/TO42(TOU2_0 ~ TOU2_5出力端子)の出力が禁止されます。

- P210/TO37(TOU2_0出力端子)出力、P211/TO38(TOU2_1出力端子)出力が共に"H"レベル
- P212/TO39(TOU2_2出力端子)出力、P213/TO40(TOU2_3出力端子)出力が共に"H"レベル
- P214/TO41(TOU2_4出力端子)出力、P215/TO42(TOU2_5出力端子)出力が共に"H"レベル

(2) POnLVEN (出力禁止レベル有効/無効選択) ビット (b15)

POnLVSELビットで選択した出力禁止レベルの有効/無効を指定するビットです。このビットに"1"を設定した場合、POnLVSELビットで選択した出力禁止レベルが有効になり、このビットに"0"を設定した場合、POnLVSELビットで選択した出力禁止レベルは無効になります。

10.8.12 TOU PWM出力モード動作

(1) TOU PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが "L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求を発生することができます。

リロードレジスタに"FFFF"を設定した場合は、割り込み要求は発生しますがF/Fは反転しないデューティ0%、100%のPWM出力を行うことが可能です。また、リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

なお、TOUのPWM出力モードには補正機能はありません。

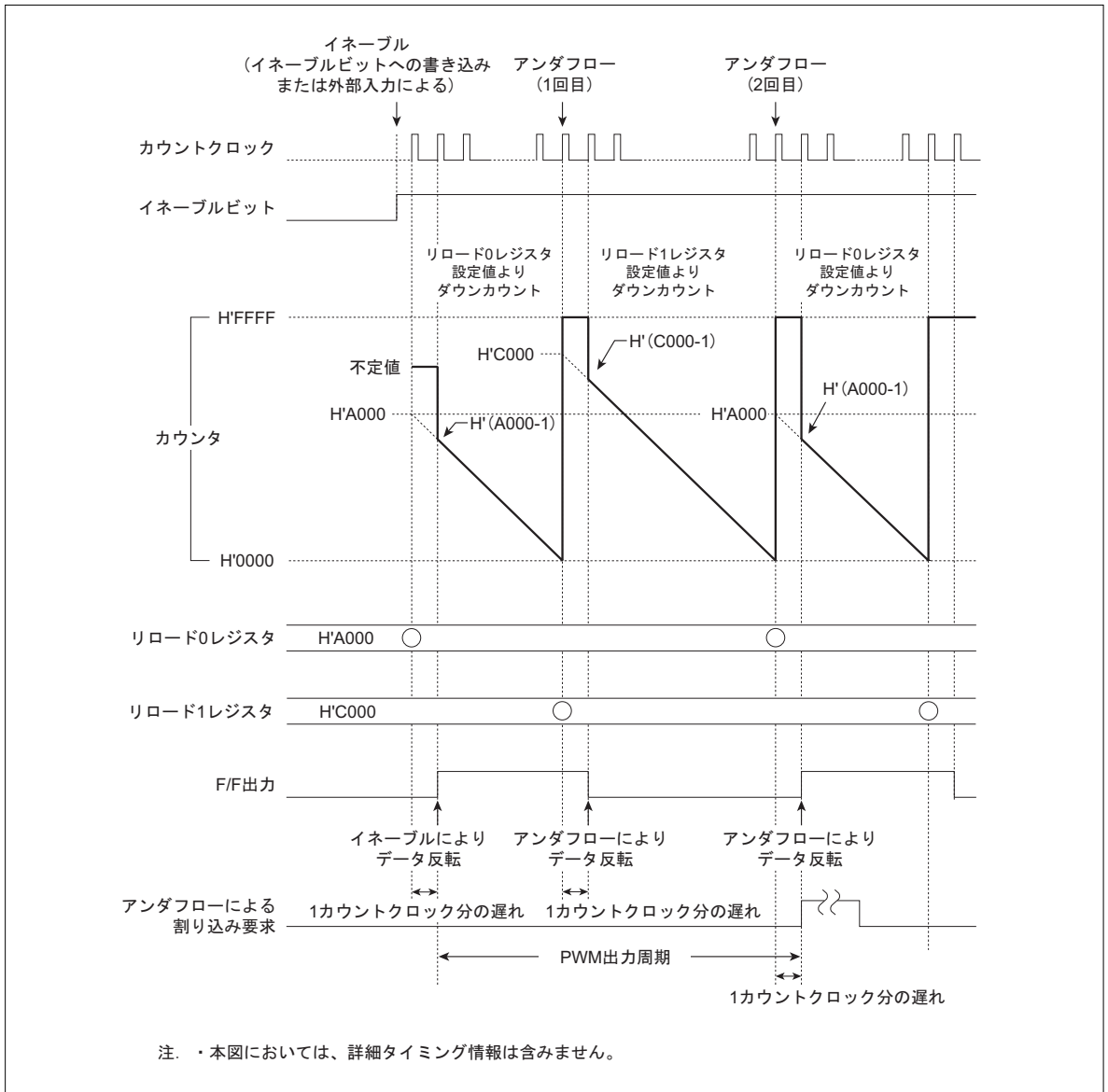


図10.8.9 PWM出力モードの動作例

(2) TOU PWM出力モードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0, 1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0, 1レジスタをリードすると、常に書き込んだデータが読み出されます。

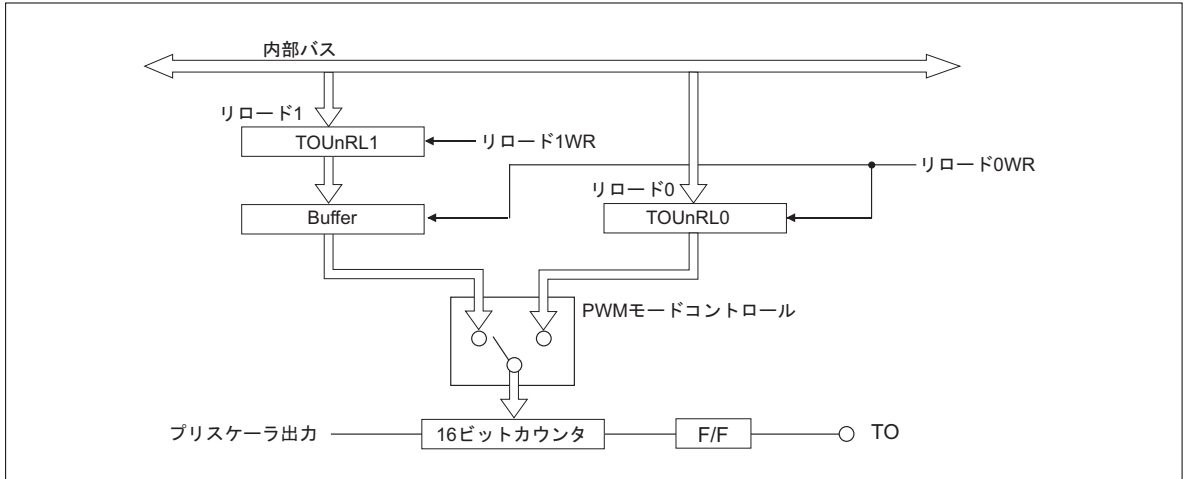


図10.8.10 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0, 1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0, 1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

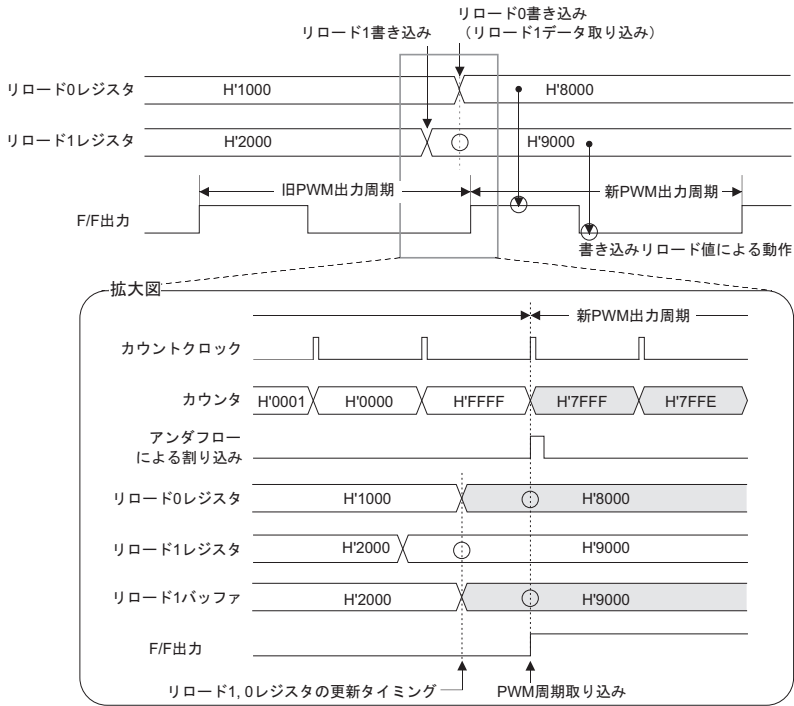
(3) TOU PWM出力モード使用上の注意

TOU PWM出力モードを使用する場合の注意点を以下に示します。

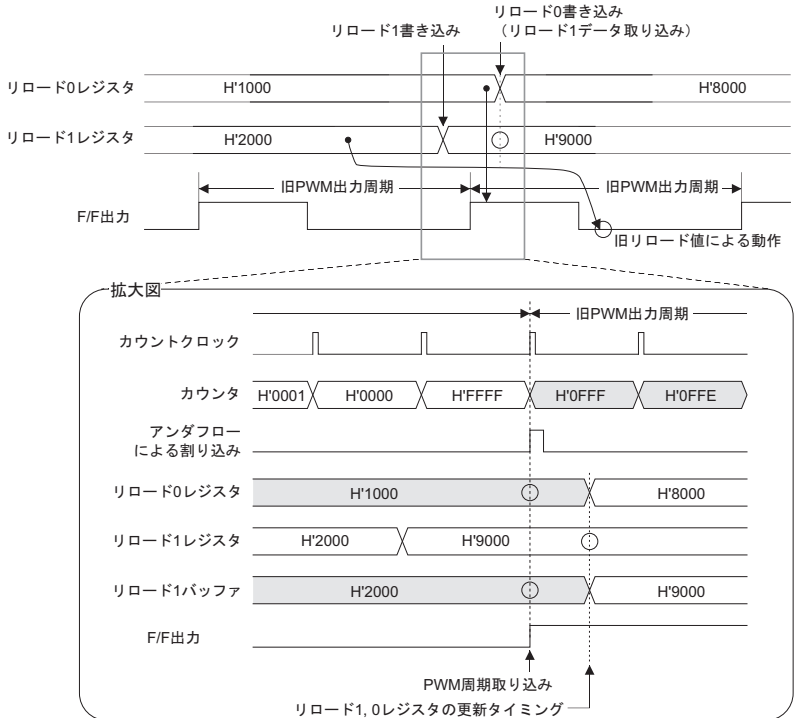
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

(a) 現周期でリロードレジスタ更新が有効となる場合 (次周期に反映)

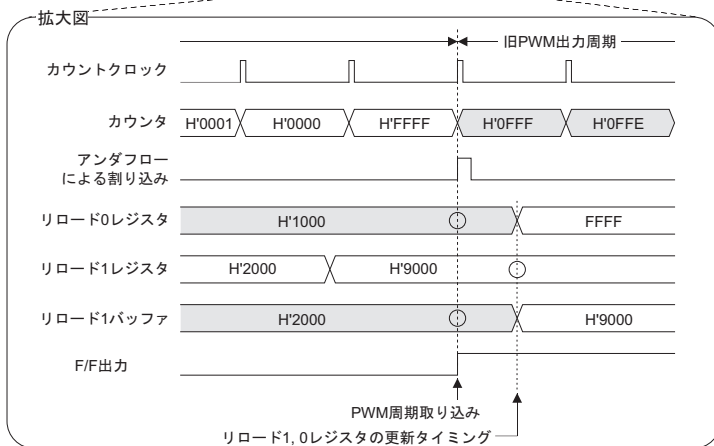
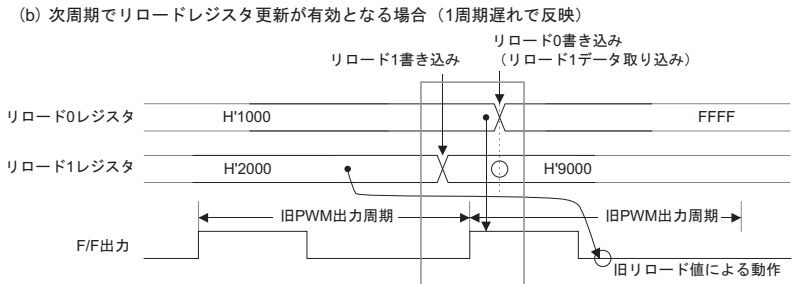
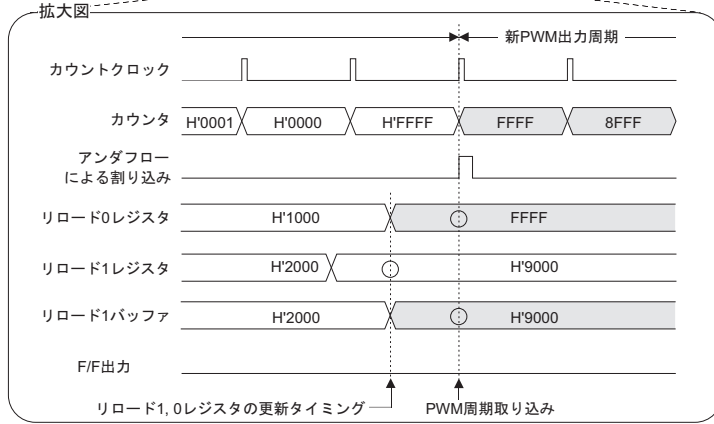
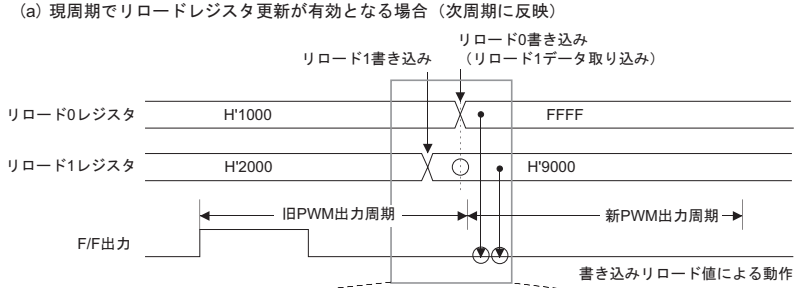


(b) 次周期でリロードレジスタ更新が有効となる場合 (1周期遅れで反映)



注・本図においては、詳細タイミング情報は含みません。

図10.8.11 PWM出力モードにおけるリロード0,1レジスタの更新



注・本図においては、詳細タイミング情報は含みません。

図10.8.12 PWM出力モードにおけるリロード0, 1レジスタの更新(デューティ0%、100%出力時)

10.8.13 TOUワンショットPWM出力モード(補正機能なし)の動作

(1) TOUワンショットPWM出力モード概要

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウンタクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に Rowe れます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時、F/F出力は反転しません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込み要求を発生することができます。

リロードレジスタに"FFFF"を設定した場合は、割り込み要求は発生しますがF/Fは反転しないデューティ0%、100%のPWM出力を行うことが可能です。また、リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウンタクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

なお、TOUのワンショットPWM出力モードには補正機能はありません。

(2) TOUワンショットPWM出力モード使用上の注意

TOUワンショットPWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウンタクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

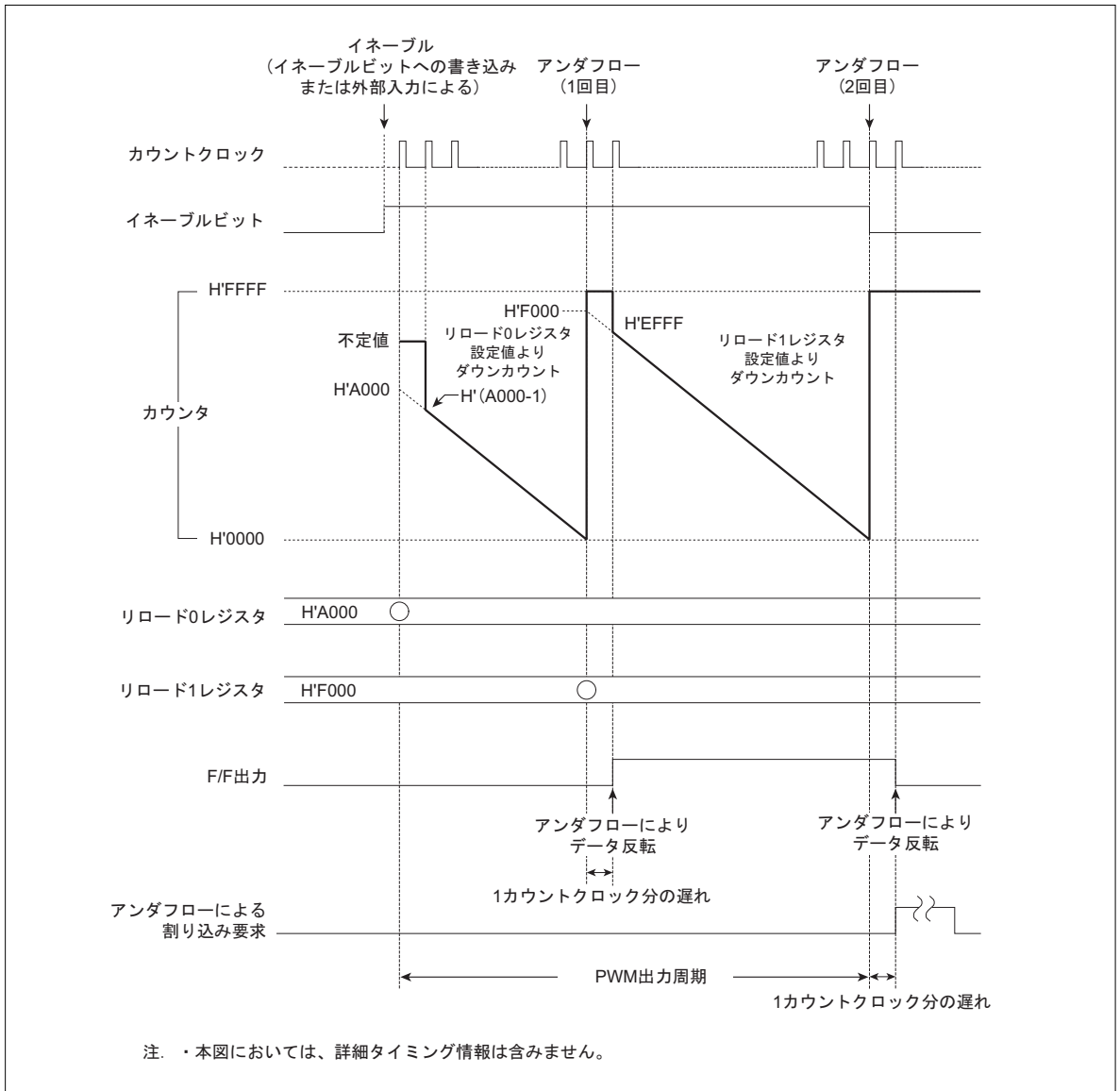


図10.8.13 TOUワンショットPWM出力モード(補正機能なし)の動作例

10.8.14 TOUディレイドワンショット出力モード(補正機能なし)の動作

(1)TOUディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して停止するモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です(カウント動作については「10.3.10 TOPディレイドワンショット出力モード」も参照してください)。

(2)TOUディレイドワンショット出力モード使用上の注意

TOUディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出しで判定するなどの対策を実施してください。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FF FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウンタクロックに同期しているため、イネーブルからF/F出力反転までにはカウンタクロック分のディレイを含みます。

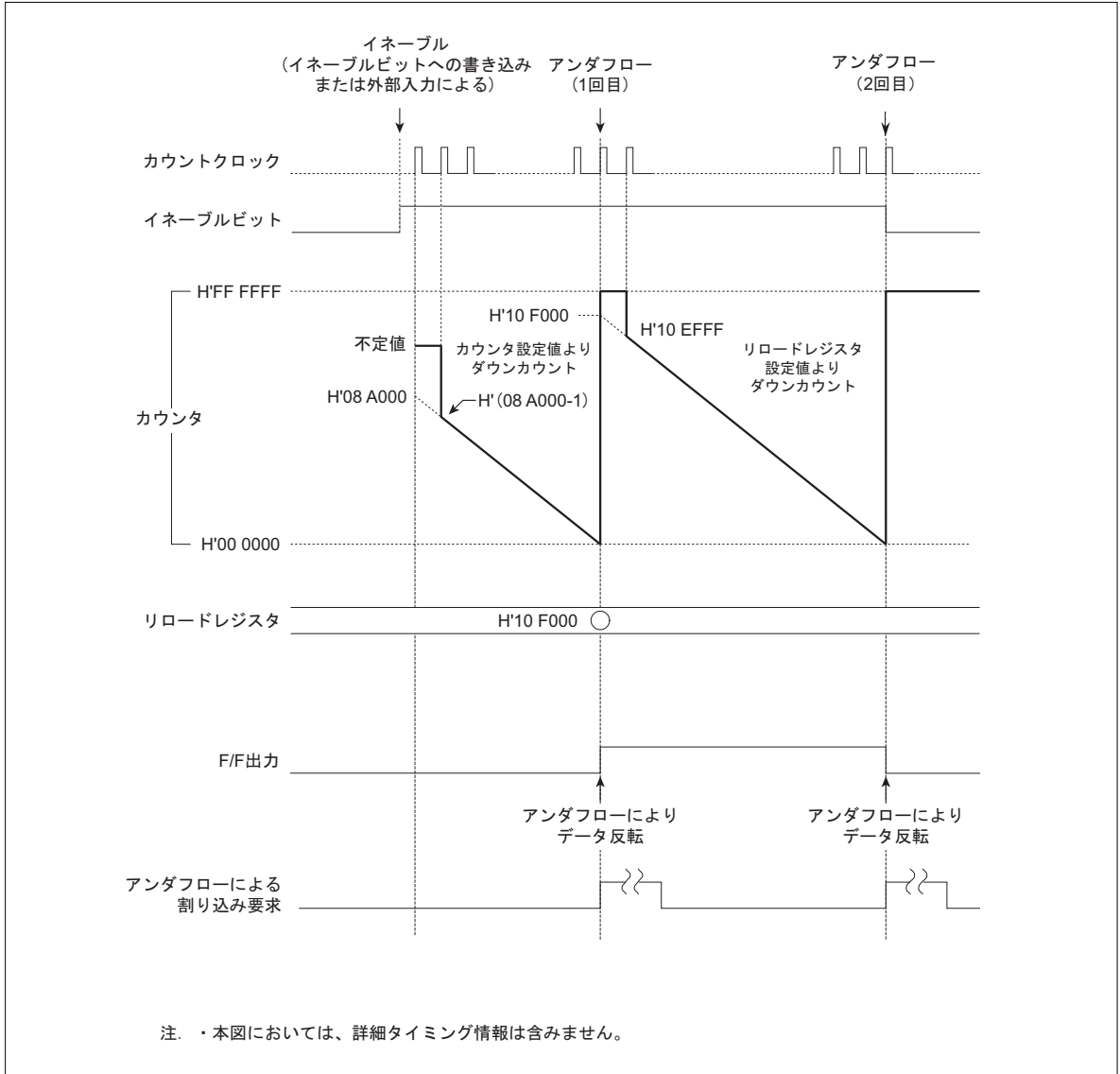


図10.8.14 TODディレイドワンショット出力モード(補正機能なし)の動作例

10.8.15 TOUワンショット出力モード(補正機能なし)の動作

(1)TOUワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して停止するモードです。

リロードレジスタ設定後、タイマをイネーブルすると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。

カウント値はリロードレジスタの設定値+1です(カウント動作については「10.3.9 TOPワンショット出力モード」も参照してください)。

(2)TOUワンショット出力モード使用上の注意

TOUワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出して判定するなどの対策を実施してください。
- タイマ動作はカウントクロック出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

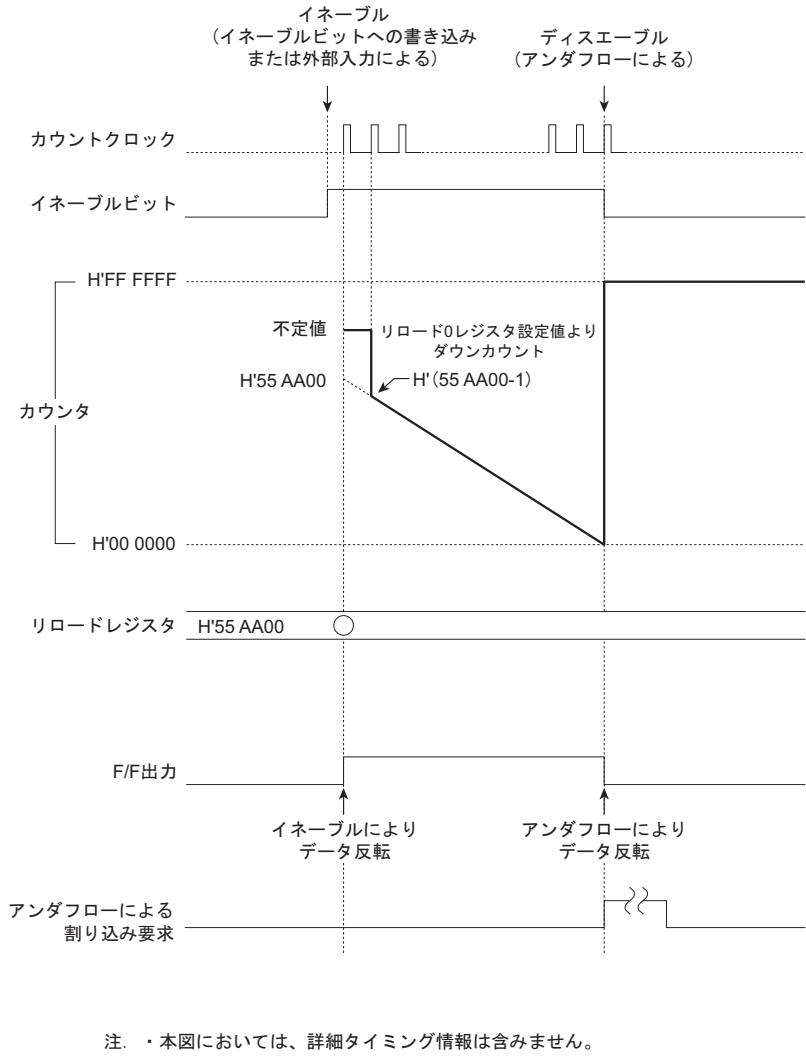


図10.8.15 TOUワンショット出力モード(補正機能なし)の動作例

10.8.16 TOU連続出力モード(補正機能なし)の動作

(1) TOU連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値 + 1の反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウンタクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求を発生することができます。

カウンタの設定値 + 1、リロードレジスタの設定値 + 1がカウント値として有効です(カウント動作については「10.3.11 TOP連続出力モード」も参照してください)。

(2) TOU連続出力モード使用上の注意

TOU連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出して判定するなどの対策を実施してください。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FF FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウンタクロック出力に同期しているため、イネーブルからF/F出力反転までにカウンタクロック分のディレイを含みます。

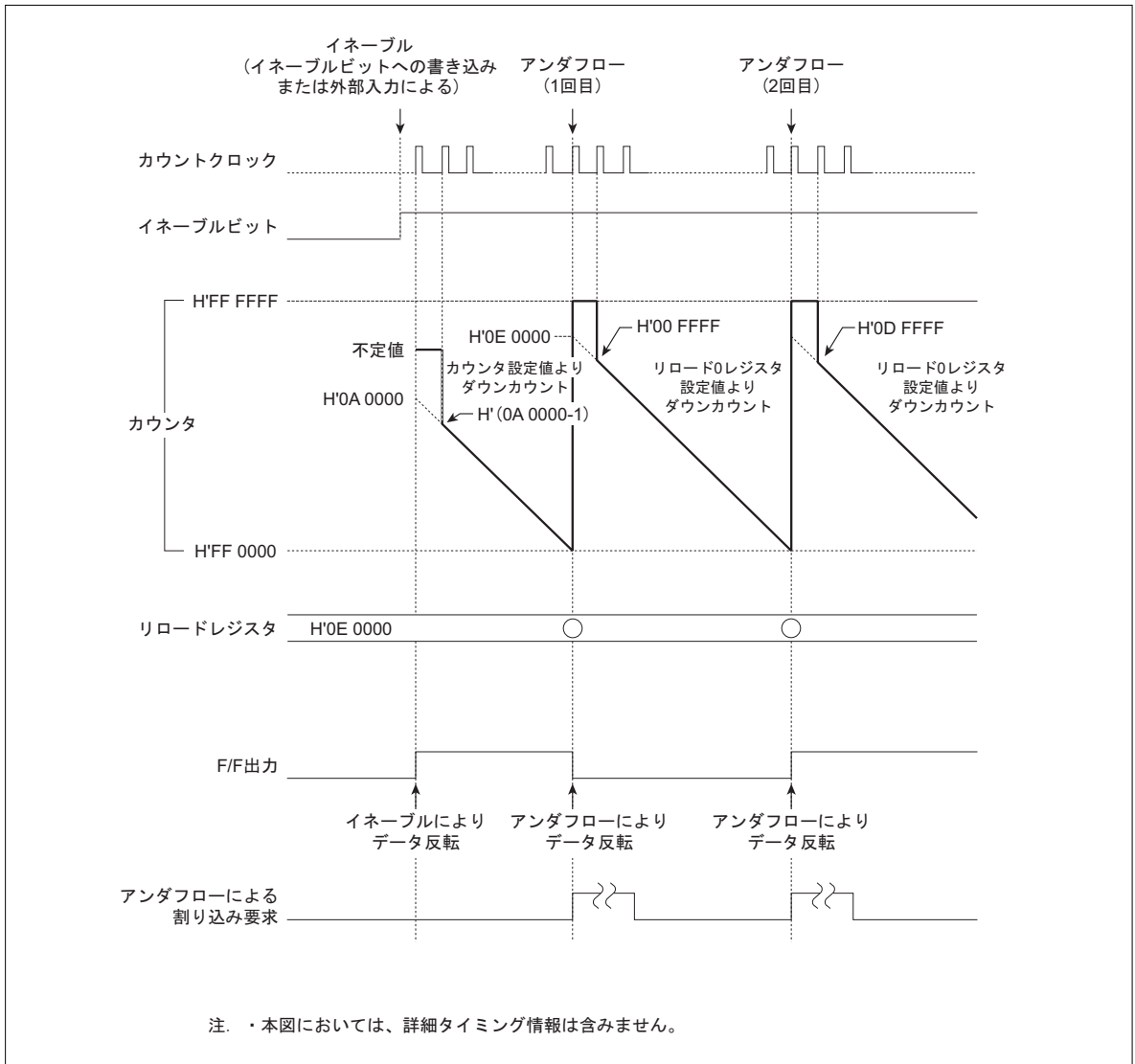


図10.8.16 TOU連続出力モード(補正機能なし)の動作例

10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力

PWM出力/ワンショットPWM出力モード時にリロード0レジスタ、またはリロード1レジスタに"FFFF"を書き込み、動作させるとF/Fを反転しないPWM出力(デューティ0%、100%)を設定できます。

PWM出力/ワンショットPWM出力モード時は、リロード値が"FFFF"かどうかを判定するため、下記の注意が必要です。

- (1)0%、100%検出時でも1カウントするため、片方のリロードレジスタには、-1した値を入れなければ周期は一定になりません。

(例)出力したい周期が、"10"カウントのとき

| | | | | |
|---------|-------------|-------------|-------------|------------------------|
| 周期割合 | 50% : 50% | 80% : 20% | 90% : 10% | 100% : 0% |
| カウント割合 | 5 : 5 | 8 : 2 | 9 : 1 | 10 : 0 |
| レジスタ設定値 | 0004 : 0004 | 0007 : 0001 | 0008 : 0000 | 0009 : FFFF |

n + 1カウントするので実際の設定値はそれぞれ"-1"する必要があります。

0008:FFFF

"FFFF"を検出後F/F反転せず、1カウントします。

このため、周期を一定にするには"0009"を"0008"にしてください。

- (2)リロードレジスタに"FFFF"を設定した場合はデューティ0%、100%となるため、純粋な"FFFF"カウントはできません。
- (3)リロード0レジスタ、およびリロード1レジスタ共に"FFFF"を設定するのは、使用禁止です。
- (4)動作中のカウンタへの"FFFF"書き込みは、使用禁止です。
- (5)デューティ0%、100%の場合でも、割り込み要求、他のタイマへの起動要求は発生します。
- (6)リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロックだけ遅れます。ただし、他のタイマへの起動要求は遅れません。

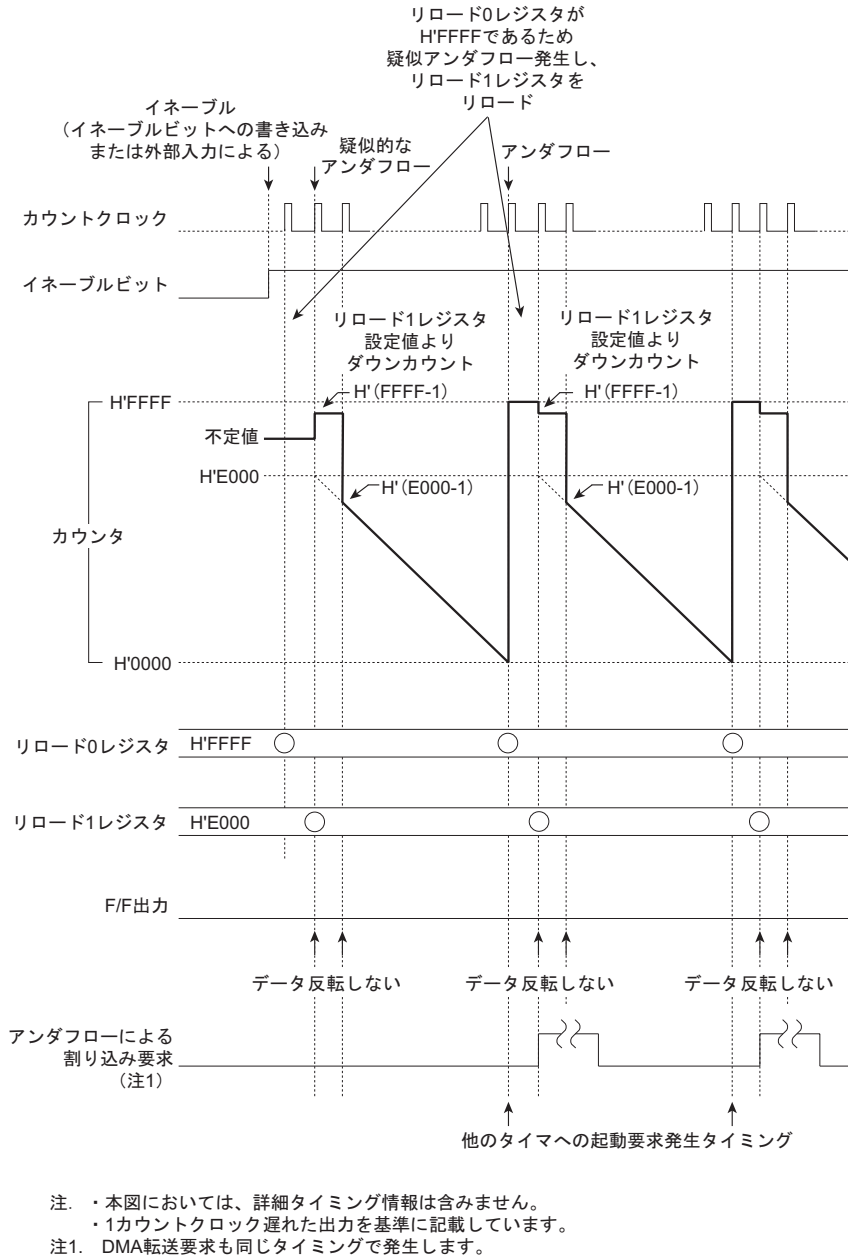
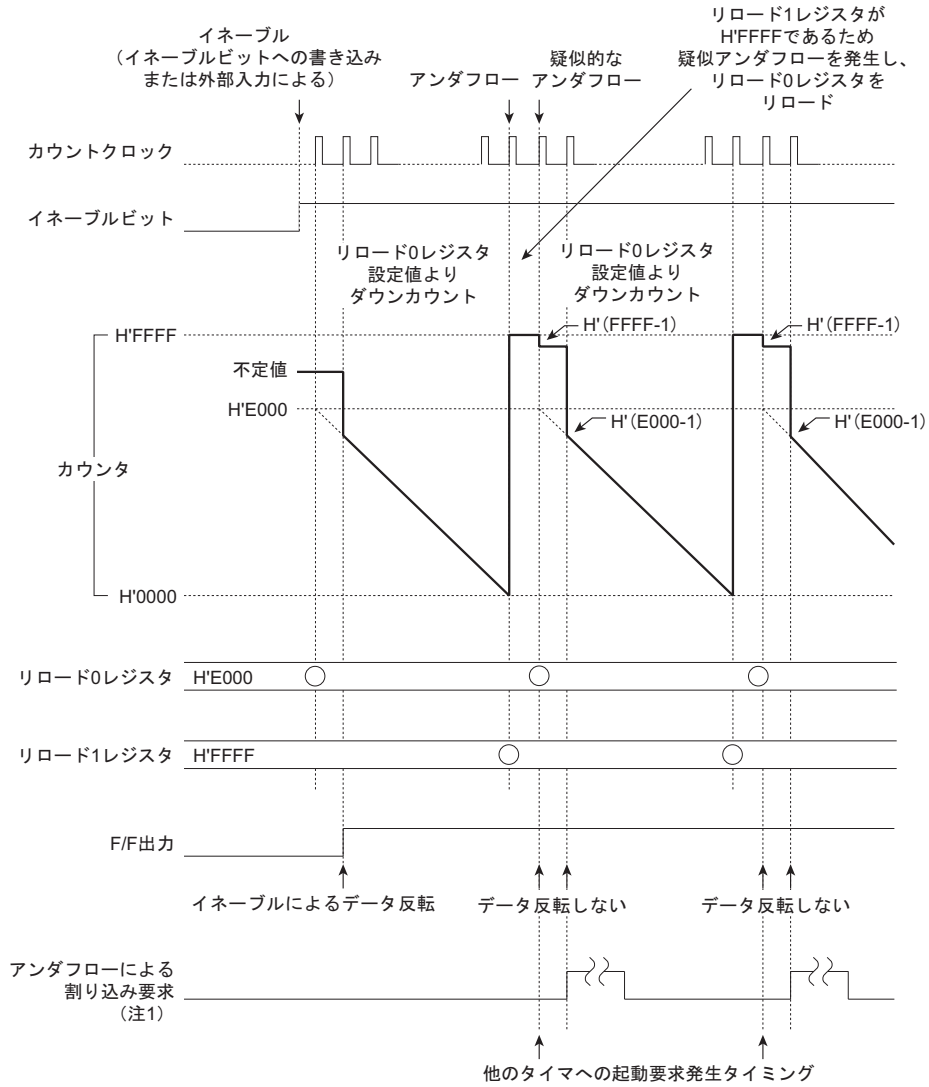
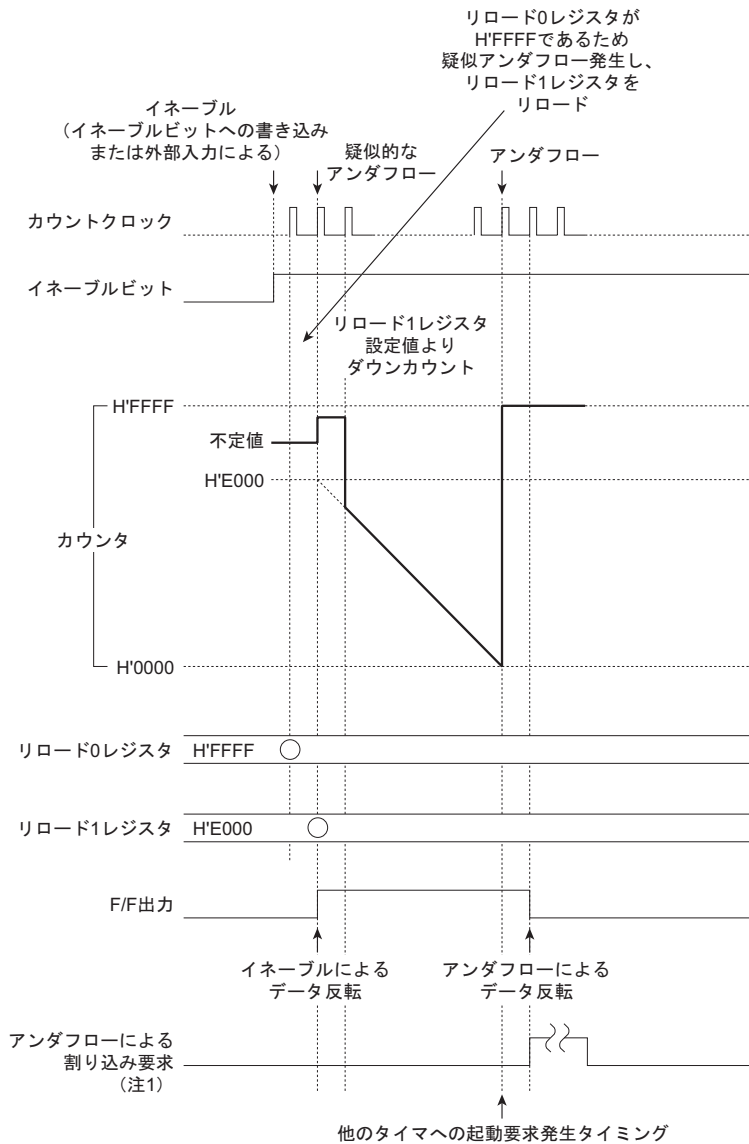


図10.8.17 PWM出力モードの動作例(リロード0レジスタ : H'FFFF)



注. ・本図においては、詳細タイミング情報は含みません。
 ・1カウントクロック遅れた出力を基準に記載しています。
 注1. DMA転送要求も同じタイミングで発生します。

図10.8.18 PWM出力モードの動作例(リロード1レジスタ : H'FFFF)



- 注. ・本図においては、詳細タイミング情報は含みません。
 ・1カウントクロック遅れた出力を基準に記載しています。
 注1. DMA転送要求も同じタイミングで発生します。

図10.8.19 ワンショットPWM出力モードの動作例(リロード0レジスタ:H'FFFF)

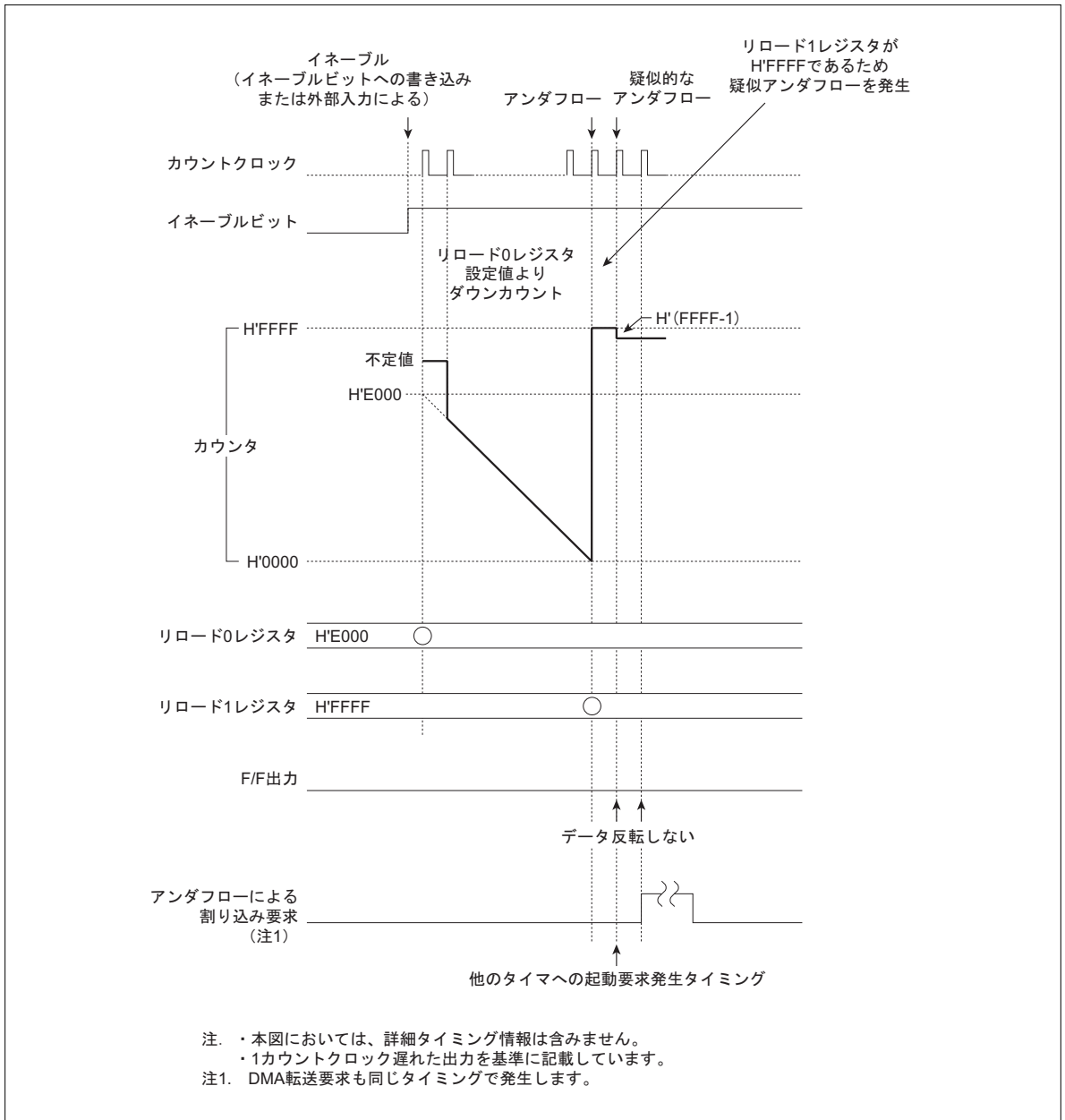


図10.8.20 ワンショットPWM出力モードの動作例(リロード1レジスタ:H'FFFF)

10.8.18 PWM出力禁止機能

TOU0_0 ~ TOU0_5 タイマ、TOU1_0 ~ TOU1_5 タイマ、および TOU2_0 ~ TOU2_5 タイマの出力端子である P160/TO21 ~ P165/TO26, P180/TO29 ~ P185/TO34、および P210/TO37 ~ P215/TO42 からの出力を強制的に禁止する機能を備えています。この機能は3相PWM制御時に短絡等の異常状態検出時の保護機能として使用可能ですが、TOUのすべての出力モード、ポート出力であっても使用できます。図10.8.20、図10.8.21にPWM出力禁止機能の回路構成を示します。

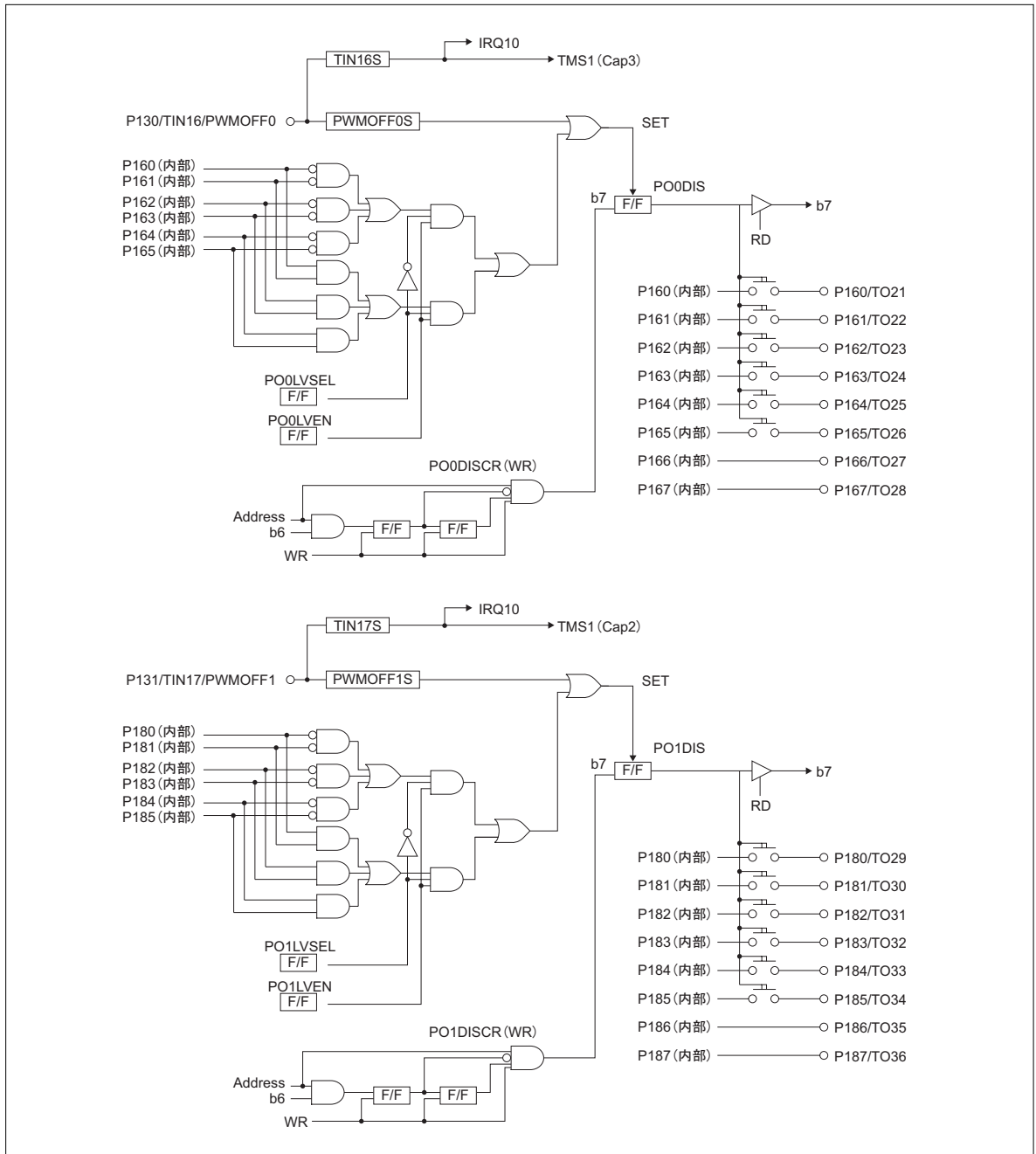


図10.8.21 PWM出力禁止機能の回路構成(1)

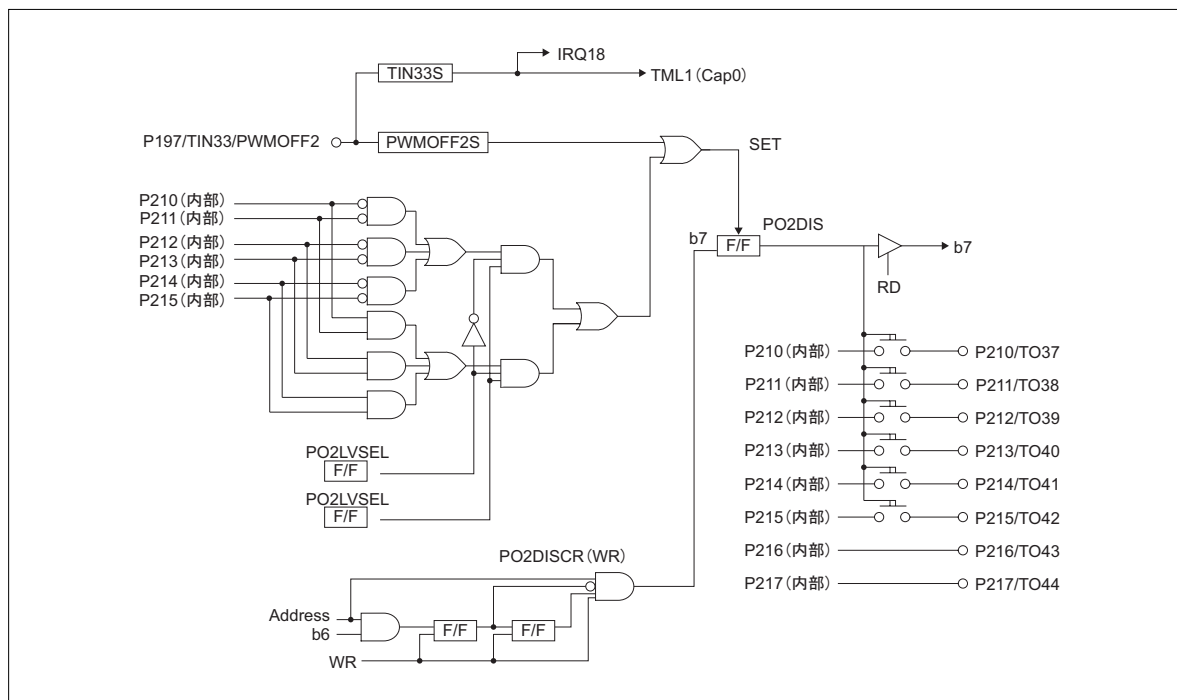


図10.8.22 PWM出力禁止機能の回路構成(2)

PWM出力を禁止するには次の3つの方法があります。

(1) 外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1, TIN33/PWMOFF2)から入力された信号によるPWM出力禁止

外部端子TIN16/PWMOFF0への入力信号によって、TOU0_0～TOU0_5タイマのPWM出力に対応するポートP160/TO21～P165/TO26への出力を禁止することができます。また、外部端子TIN17/PWMOFF1への入力信号によって、TOU1_0～TOU1_5タイマのPWM出力に対応するポートP180/TO29～P185/TO34への出力を禁止することができます。同様に、外部端子TIN33/PWMOFF2への入力信号によって、TOU2_0～TOU2_5タイマのPWM出力に対応するポートP210/TO37～P215/TO42への出力を禁止することができます。

外部端子TIN16/PWMOFF0、TIN17/PWMOFF1、TIN33/PWMOFF2への入力信号によってPWM出力を禁止するためには、PWMOFF入力処理制御レジスタ(PWMOFFnCR)に対して下記の設定を行います。

【PWMOFF入力処理制御レジスタの設定方法】

TIN16/PWMOFF0によるPWM出力禁止の場合

1. PWMOFF0CRのPWMOFF0SPビットに"1"を書き込む。
2. 上記1. 書き込み後、連続してPWMOFF0SPビットに"0"を、PWMOFF0Sビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注. ・1. と2. の間に他の領域への書き込みサイクルがあるとPWMOFF0Sビットへの設定値は無効になります。

TIN17/PWMOFF1によるPWM出力禁止の場合

1. PWMOFF1CRのPWMOFF1SPビットに"1"を書き込む。
2. 上記1.書き込み後、連続してPWMOFF1SPビットに"0"を、PWMOFF1Sビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注．・1．と2．の間に他の領域への書き込みサイクルがあるとPWMOFF1Sビットへの設定値は無効になります。

TIN33/PWMOFF2によるPWM出力禁止の場合

1. PWMOFF2CRのPWMOFF2SPビットに"1"を書き込む。
2. 上記1.書き込み後、連続してPWMOFF2SPビットに"0"を、PWMOFF2Sビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注．・1．と2．の間に他の領域への書き込みサイクルがあるとPWMOFF2Sビットへの設定値は無効になります。

(2) PWM出力制御レジスタによるPWM出力禁止

PWM出力0制御レジスタ(PO0DISCR)によってTOU0_0~TOU0_5タイマのPWM出力に対応するポートP160/TO21~P165/TO26への出力を禁止することができます。また、PWM出力1制御レジスタ(PO1DISCR)によってTOU1_0~TOU1_5タイマのPWM出力に対応するポートP180/TO29~P185/TO34への出力を禁止することができます。同様に、PWM出力2制御レジスタ(PO2DISCR)によって、TOU2_0~TOU2_5タイマのPWM出力に対応するポートP210/TO37~P215/TO42への出力を禁止することができます。

PWM出力制御レジスタ(POnDISCR)に対して下記の設定を行います。

PWM出力0制御レジスタ(PO0DISCR)によるPWM出力禁止の場合

1. PO0DISCRのPO0DISPビットに"1"を設定。
2. 上記1.書き込み後、連続してPO0DISPビットに"0"を、PO0DISビットに"1"(出力禁止)を設定。

注．・1．と2．の間に他の領域への書き込みサイクルがあるとPO0DISビットへの設定は無効になります。

PWM出力1制御レジスタ(PO1DISCR)によるPWM出力禁止の場合

1. PO1DISCRのPO1DISPビットに"1"を設定。
2. 上記1.書き込み後、連続してPO1DISPビットに"0"を、PO1DISビットに"1"(出力禁止)を設定。

注．・1．と2．の間に他の領域への書き込みサイクルがあるとPO1DISビットへの設定は無効になります。

PWM出力2制御レジスタ(PO2DISCR)によるPWM出力禁止の場合

1. PO2DISCRのPO2DISPビットに"1"を設定。
2. 上記1.書き込み後、連続してPO2DISPビットに"0"を、PO2DISビットに"1"(出力禁止)を設定。

注．・1．と2．の間に他の領域への書き込みサイクルがあるとPO2DISビットへの設定は無効になります。

- (3) ポートP160/TO21 ~ P165/TO26、P180/TO29 ~ P185/TO34、P210/TO37 ~ P215/TO42の端子レベルによるPWM出力禁止

ポートP160/TO21 ~ P165/TO26の端子レベル("L"レベルまたは"H"レベル)によってTOU0_0 ~ TOU0_5タイマのPWM出力に対応するポートP160/TO21 ~ P165/TO26への出力を禁止することができます。また、ポートP180/TO29 ~ P185/TO34の端子レベル("L"レベルまたは"H"レベル)によってTOU1_0 ~ TOU1_5タイマのPWM出力に対応するポートP180/TO29 ~ P185/TO34への出力を禁止することができます。同様に、ポートP210/TO37 ~ P215/TO42の端子レベル("L"レベルまたは"H"レベル)によってTOU2_0 ~ TOU2_5タイマのPWM出力に対応するポートP210/TO37 ~ P215/TO42への出力を禁止することができます。

ポートの端子レベルによってPWM出力を禁止するためには、PWM出力禁止レベル制御レジスタ(POnLVCR)に対して下記の設定を行います。

ポートP160/TO21 ~ P165/TO26のレベルによるPWM出力禁止の場合

1. PO0LVCRレジスタのPO0LVSELビットにどのレベル("L"レベルまたは"H"レベル)のときにPWM出力禁止するかを設定する。
2. PO0LVENビットに"1"(出力禁止有効)を設定する。

ポートP180/TO29 ~ P185/TO34のレベルによるPWM出力禁止の場合

1. PO1LVCRレジスタのPO1LVSELビットにどのレベル("L"レベルまたは"H"レベル)のときにPWM出力禁止するかを設定する。
2. PO1LVENビットに"1"(出力禁止有効)を設定する。

ポートP210/TO37 ~ P215/TO42のレベルによるPWM出力禁止の場合

1. PO2LVCRレジスタのPO2LVSELビットにどのレベル("L"レベルまたは"H"レベル)のときにPWM出力禁止するかを設定する。
2. PO2LVENビットに"1"(出力禁止有効)を設定する。

10.8.19 32180モータ制御機能への応用例

32180ではモータ制御時のS/W負荷を軽減したタイマTOU3系統を内蔵しています。

3相モータ制御波形は、TIDで生成した20kHz定周期のTOU起動タイミングに対応してTOUを起動し実現します。TOUに内蔵したワンショットPWM機能を使用し、書き換え必要タイミングのみに波形データを格納することで容易に出力波形を構成することができます。なお、トランジスタの短絡防止時間はTOUへの設定時間をソフトウェアで変更することにより実現します。

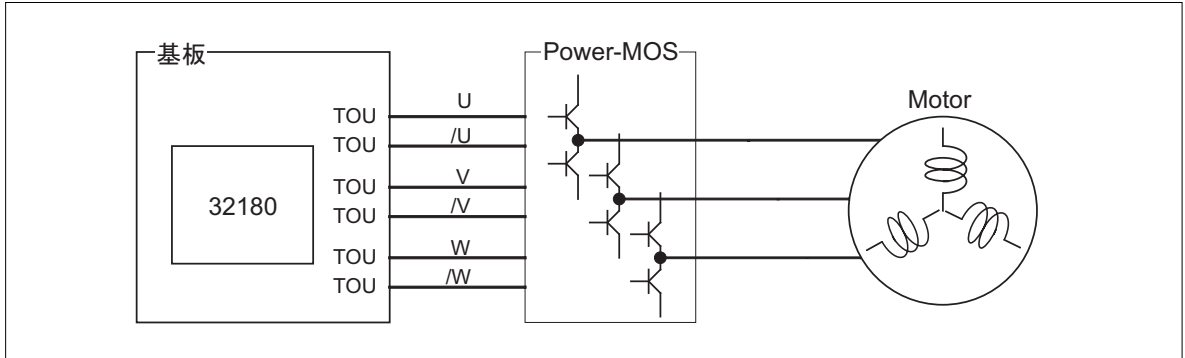


図10.8.23 システム構成図

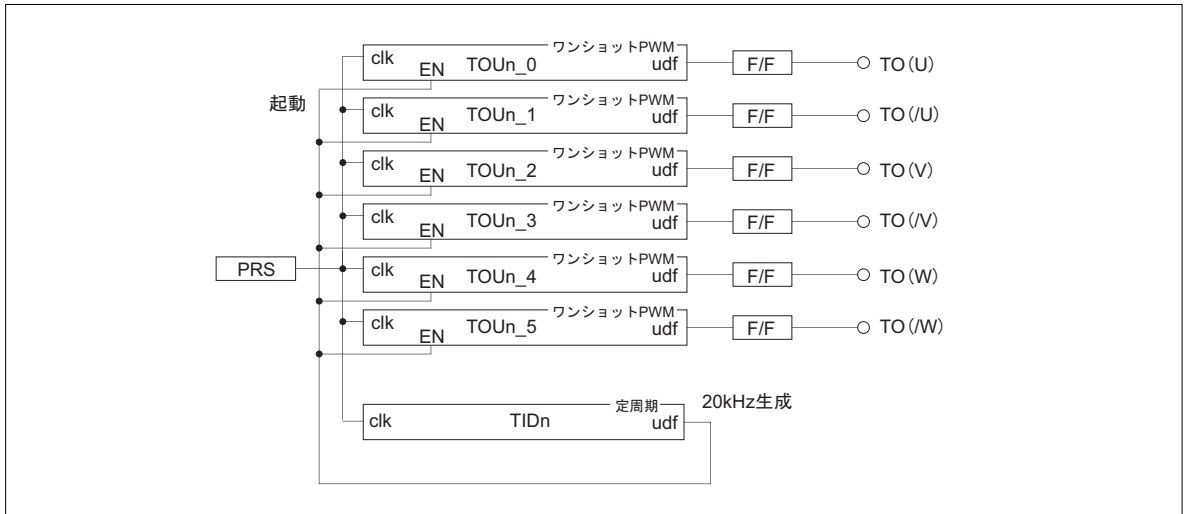


図10.8.24 3相モータ制御時のタイマ接続方法

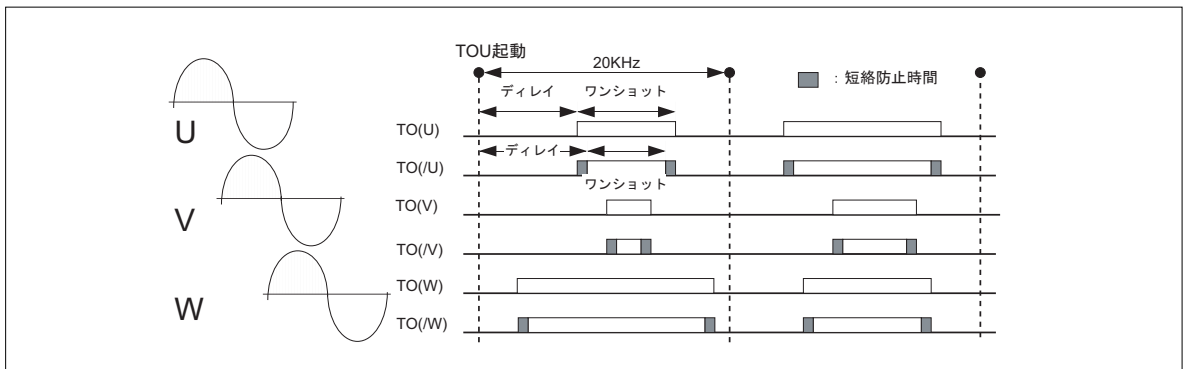


図10.8.25 制御イメージ図

レイアウトの都合上、このページは白紙です。

第11章

A-D変換器

- 11.1 A-D変換器概要
- 11.2 A-D変換器関連レジスタ
- 11.3 A-D変換器機能説明
- 11.4 注入電流バイパス回路
- 11.5 A-D変換器の注意事項

11.1 A-D変換器概要

32180は、10ビット分解能を持つ逐次近似比較方式のA-D変換器を2つ(A-D0変換器、A-D1変換器)内蔵しています。各チャンネルの単独変換のほかに、 N ($N=1\sim 16$)チャンネルを1つのグループとした連続的なA-D変換が可能です。A-D変換値は、10ビットまたは8ビットで読み出すことができます。

A-D変換には、以下に示す変換モードと動作モードがあります。

(1) 変換モード

- A-D変換モード : 通常のアナログ入力電圧をA-D変換するモード
- コンパレータモード(注1) : 設定した比較電圧とアナログ入力電圧を比較して、その大小のみを得るモード (単一モードのみ)

(2) 動作モード

- 単一モード : 1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレート(注1)するモード
- スキャンモード : 選択された複数チャンネル(N チャンネル単位、 $N=1\sim 16$)のアナログ入力電圧を順次A-D変換するモード
スキャンワンショットモード : スキャン動作を1周期行うモード
スキャン連続モード : スキャン動作を停止するまで繰り返し行うモード

(3) 特殊動作モード

- スキャンモード動作中の単一モード強制実行 : スキャン動作中に強制的に単一モード(コンパレータモード)変換を実行するモード
- 単一モード実行後スキャンモード開始 : 単一モードからスキャン動作を連続して起動するモード
- 変換再スタート : 単一モードまたはスキャンモードで、動作中のA-D変換動作を再スタートするモード

(4) サンプル&ホールド機能

A-D変換開始時に入力電圧をサンプリングし、サンプリングされた電圧に対してA-D変換を行う機能です。この機能は、有効/無効の切り換えが可能です。

(5) A-D断線検出アシスト機能

スキャンモード動作時に前のチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態($AVCC$ または $AVSS$)に固定する機能を内蔵しています。この機能によりアナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

(6) 注入電流バイパス回路

A-D変換中でないアナログ入力チャンネルに過電圧/負電圧が印加されると、内部の回路を經由して、A-D変換中のアナログ入力チャンネルへ電流の流れ込み、または流れ出しが発生し、正しい変換精度が得られなくなります。この影響を受けないように、電流をバイパスする注入電流バイパス回路を内蔵しています。なお、この回路は常に有効となっています。

(7) 変換速度

A-D変換、およびコンパレート速度は、低速モード時のノーマルと倍速、および高速モードのノーマルと倍速の4種類から選択できます。低速モード時のノーマルと倍速は、32170グループの互換モードです。

(8) 割り込み要求およびDMA転送要求発生機能

A-D変換終了時、コンパレート終了時、スキャンワンショット終了時及びスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求、またはDMA要求を発生することができます。

注1. 逐次近似比較方式であるA-D変換器内部の比較動作と、A-D変換器をコンパレータとして使用するコンパレータモードでの動作を区別するために、本書ではコンパレータモードでの比較動作のことを「コンパレート」と呼びます。

表11.1.1にA-D変換器の概要を、図11.1.1および図11.1.2にA-D変換器のブロック図を示します。

表11.1.1 A-D変換器の概要

| 項目 | 内容 | | | | |
|--|--|---|---|---------|---------------|
| アナログ入力 | 16チャンネル×2 A-D0変換器 アナログ入力専用端子16チャンネル A-D1変換器 アナログ入力専用端子16チャンネル | | | | |
| A-D変換方式 | 逐次近似比較方式 | | | | |
| 分解能 | 10ビット(8ビット/10ビット変換結果読み出し機能) | | | | |
| 絶対精度(注1) 条件: Ta = 25℃, AVCC0, 1 = 5.12V, VREF0, 1 = 5.12V | 低速モード時: ノーマル: ±2LSB、倍速: ±2LSB 高速モード時: ノーマル: ±3LSB、倍速: ±3LSB 注. ・サンプル&ホールド有効時の精度はT.B.D. | | | | |
| 変換モード | A-D変換モード, コンパレータモード | | | | |
| 動作モード | 単一モード, スキャンワンショットモード, スキャン連続モード | | | | |
| 変換起動トリガ | ソフトウェア起動 | A-D変換スタートビットに"1"をセット | | | |
| | ハードウェア起動 | A-D0変換器 | MJT(入力イベントバス2), MJT(入力イベントバス3) MJT(出力イベントバス3), MJT(TIN23S) | | |
| A-D1変換器 | | MJT(入力イベントバス2), MJT(入力イベントバス3) TID1_udf/ovf, MJT(TIN23S) | | | |
| 変換速度 BCLK: 周辺クロック | 単一モード時 (・サンプル&ホールド無効時 ・ノーマルサンプル&ホールド有効時) | 低速モード | ノーマル | 299BCLK | 14.95 μs (注2) |
| | | 倍速 | | 173BCLK | 8.65 μs |
| | 高速モード | ノーマル | 131BCLK | 6.55 μs | |
| | | 倍速 | 89BCLK | 4.45 μs | |
| | 単一モード時 (高速サンプル&ホールド有効時) | 低速モード | ノーマル | 191BCLK | 9.55 μs |
| | | | 倍速 | 101BCLK | 5.05 μs |
| | | 高速モード | ノーマル | 95BCLK | 4.75 μs |
| | | | 倍速 | 53BCLK | 2.65 μs |
| | コンパレータモード時 | 低速モード | ノーマル | 47BCLK | 2.35 μs |
| | | | 倍速 | 29BCLK | 1.45 μs |
| | | 高速モード | ノーマル | 23BCLK | 1.15 μs |
| | | | 倍速 | 17BCLK | 0.85 μs |
| サンプル&ホールド機能 | サンプル&ホールド機能有効/無効切り換え可能 | | | | |
| A-D断線検出アシスト機能 | スキャンモード動作時、前チャンネルのアナログ入力電圧の回り込みによる影響を抑制 | | | | |
| 割り込み要求発生機能 | A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時 | | | | |
| DMA転送要求発生機能 | A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時 | | | | |

注1. 規格値(精度)はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。

注2. (BCLK) = 20MHz動作時(1BCLK = 50ns)の変換時間

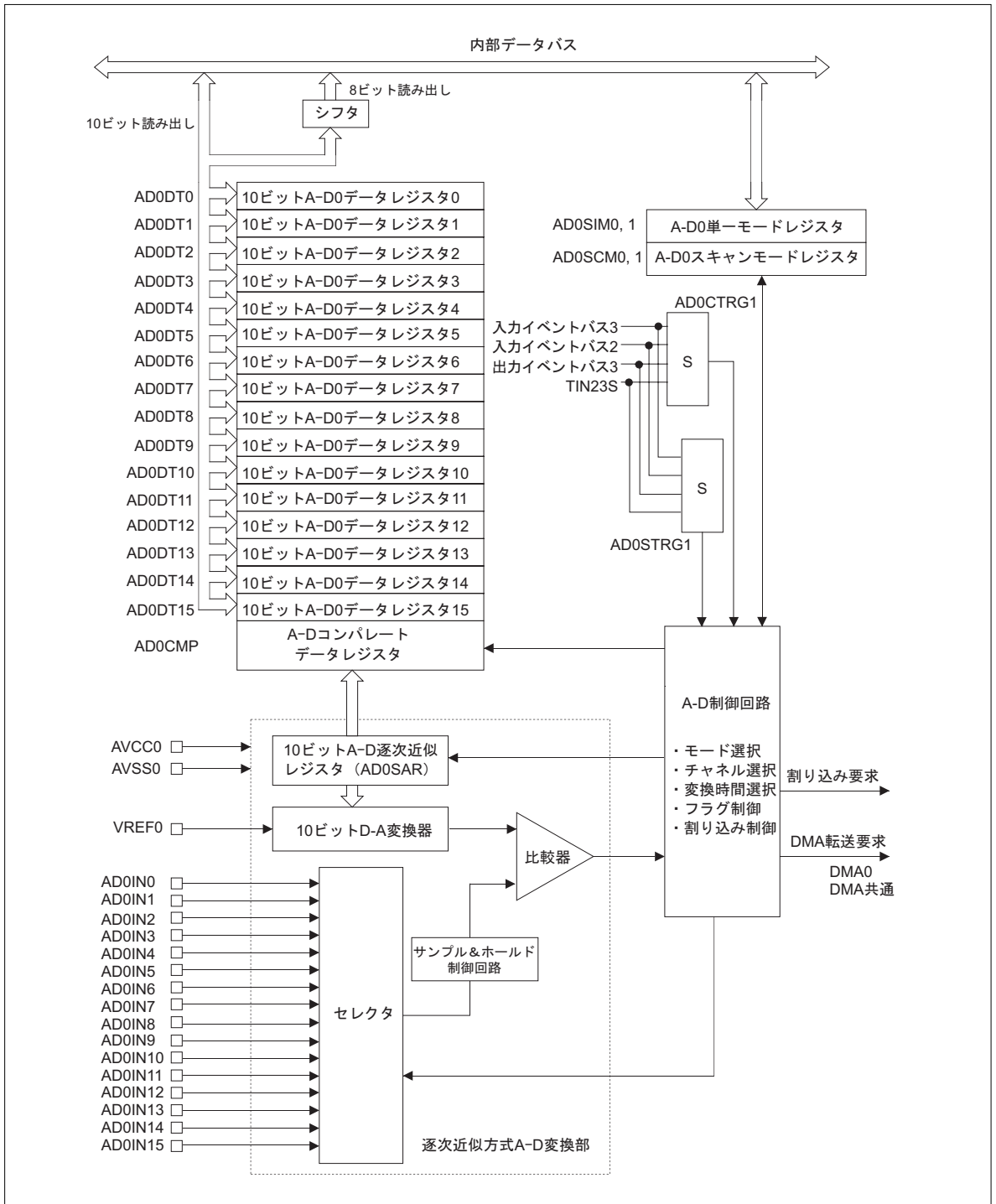


図11.1.1 A-D0変換器のブロック図

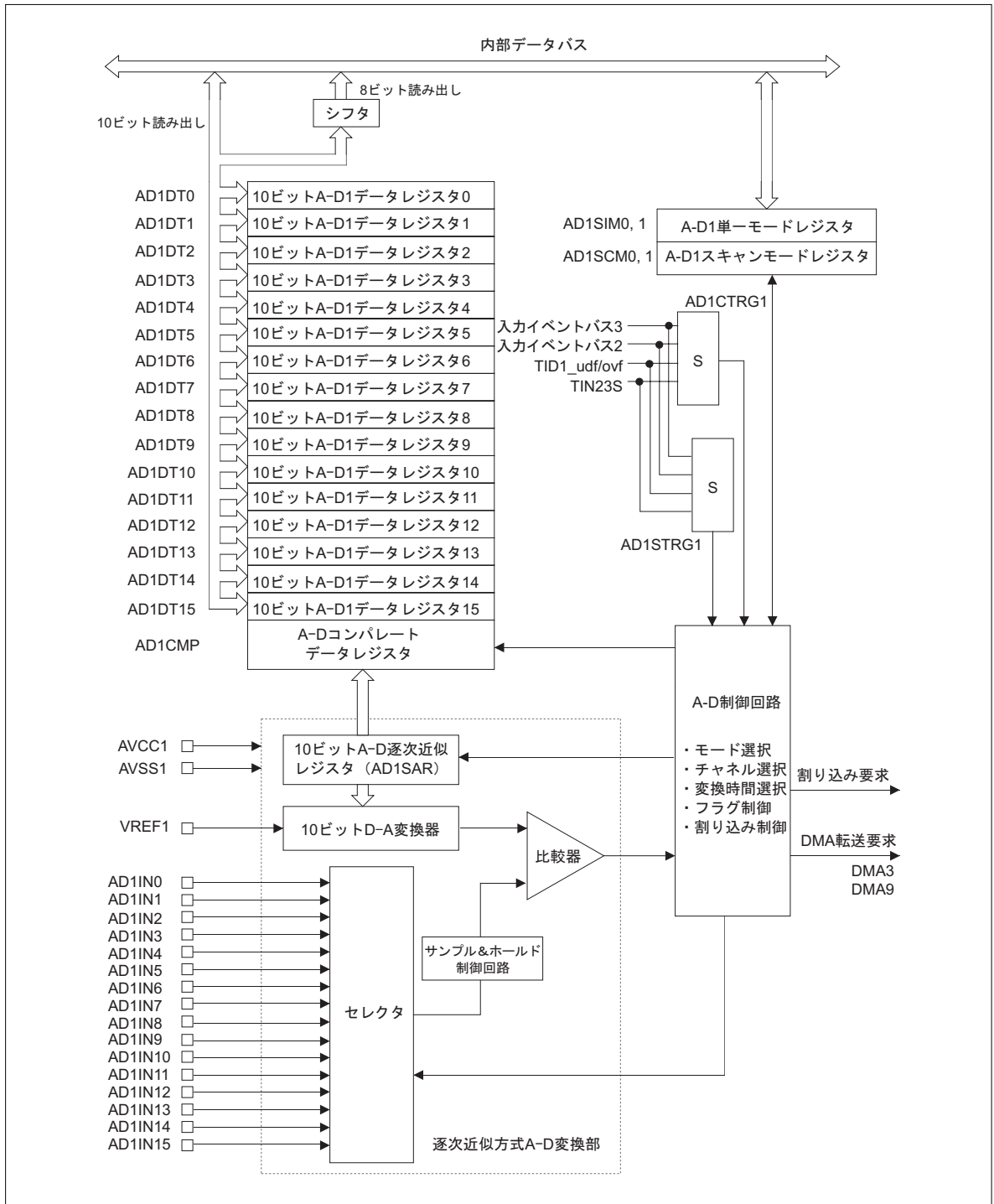


図11.1.2 A-D1変換器のブロック図

11.1.1 変換モード

A-D変換器の変換モードには「A-D変換モード」と「コンパレータモード」があります。

(1) A-D変換モード

A-D変換モードでは、指定されたチャンネルのアナログ入力電圧をA-D変換します。

単一モードは、A-D単一モードレジスタ1のアナログ入力端子選択ビットで選択されたチャンネルのA-D変換を行います。

スキャンモードは、A-Dスキャンモードレジスタ0の設定に従い、A-Dスキャンモードレジスタ1で選択されたチャンネルのA-D変換を行います。

変換結果はそれぞれのチャンネルに対応した10ビットA-Dデータレジスタに格納します。また、8ビットA-Dデータレジスタからは8ビットA-D変換結果が読み出せます。

単一モードの場合はA-D変換終了時に、またスキャンモードの場合はスキャンループの1周期終了時に、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

(2) コンパレータモード

コンパレータモードでは、指定されたチャンネルのアナログ入力電圧と逐次近似レジスタの値をコンパレート(比較)し、その結果(値の大小)をフラグに返します。

コンパレートするチャンネルの指定は、A-D単一モードレジスタ1のアナログ入力端子選択ビットで行います。またコンパレート結果のフラグ("1"または"0")は、A-Dコンパレートデータレジスタの、選択されたチャンネルに対応するビットにセットされます。

コンパレート終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

11.1.2 動作モード

A-D変換器の動作モードには、「単一モード」と「スキャンモード」があります。

ただし、変換モードとしてコンパレータモードを選択した場合には、「単一モード」のみ使用可能です。

(1) 単一モード

単一モードは、選択された1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレートするモードです。A-D変換の終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

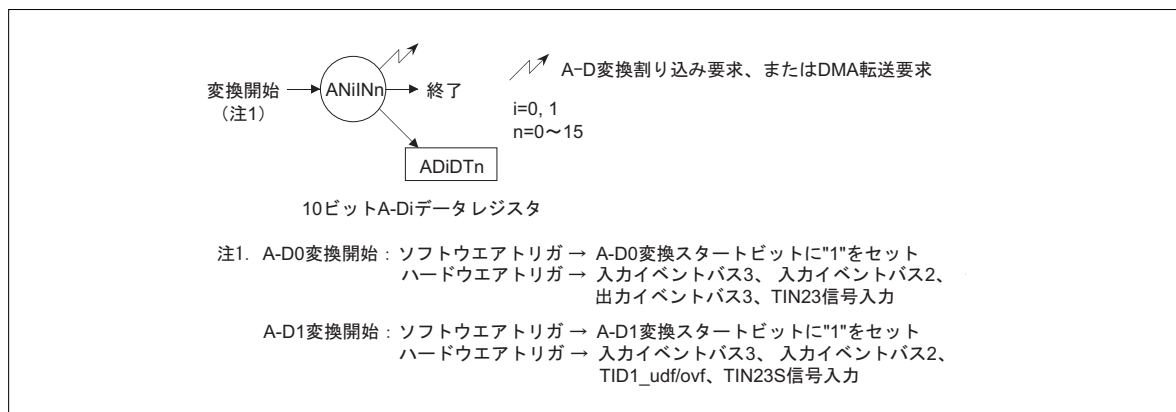


図11.1.3 単一モード動作(A-D変換)

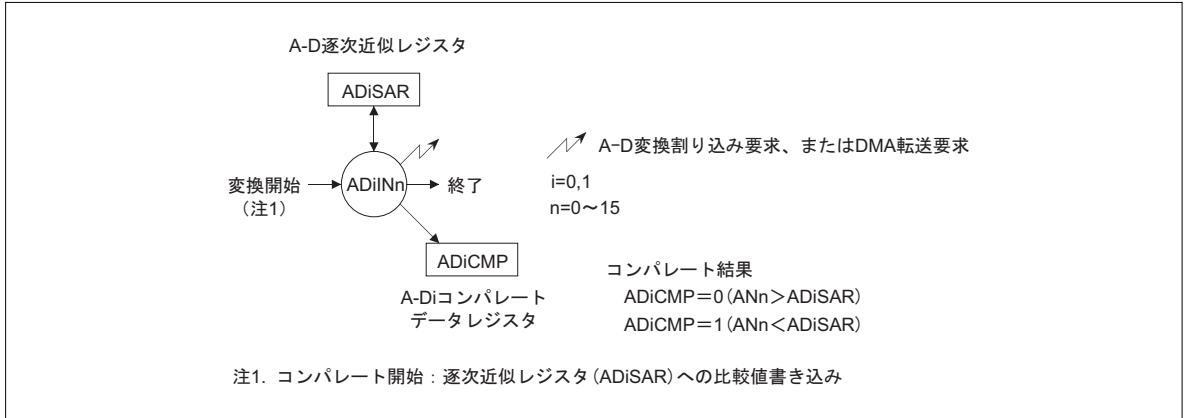


図11.1.4 単一モード動作(コンパレート)

(2) スキャンモード

スキャンモードは、チャンネル α (ADiIN0 : $i = 0, 1$) からA-Dスキャンモードレジスタ1のスクャンループ指定ビットで指定したチャンネル(チャンネル0~15)のアナログ入力電圧を順次A-D変換するモードです。

スキャンモードには、1周期のスキャン動作でA-D変換を終了する「スキャンワンショットモード」と、スキャンモードレジスタのA-D変換ストップビットに"1"を書き込むまでスキャン動作を継続する「スキャン連続モード」があります。

スキャンモードの選択は、A-Dスキャンモードレジスタ0で行います。また、スキャンするチャンネルの選択は、A-Dスキャンモードレジスタ1で行います。スキャンはチャンネル0から順に行います。

1周期のスキャン動作終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

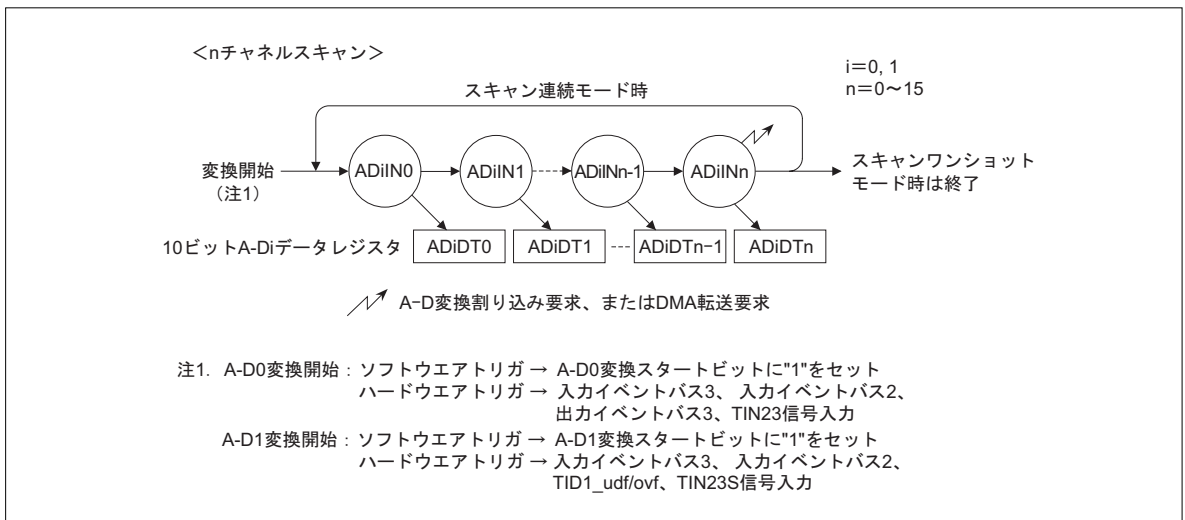


図11.1.5 スキャンモードA-D変換動作

表11.1.2 スキャンモードでのA-D変換結果の格納レジスタ

| スキャンモードレジスタ1 指定チャンネル | スキャンワンショット モード対象チャンネル | スキャン連続 モード対象チャンネル | A-D変換結果 格納レジスタ |
|------------------------------------|--------------------------|----------------------|-------------------|
| B'0000 : 0 (ADiIN0) | ADiIN0 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | 終了 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | | ⋮ (強制終了まで繰り返し) | ⋮ |
| | | | |
| B'0001 : 1 (ADiIN1) | ADiIN0 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | ADiIN1 | ADiIN1 | 10ビットA-Diデータレジスタ1 |
| | 終了 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | | ⋮ (強制終了まで繰り返し) | ⋮ |
| B'0010 : 2 (ADiIN2) | ADiIN0 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | ADiIN1 | ADiIN1 | 10ビットA-Diデータレジスタ1 |
| | ADiIN2 | ADiIN2 | 10ビットA-Diデータレジスタ2 |
| | 終了 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | | ⋮ (強制終了まで繰り返し) | ⋮ |
| B'0011 : 3 (ADiIN3) | ADiIN0 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | ADiIN1 | ADiIN1 | 10ビットA-Diデータレジスタ1 |
| | ADiIN2 | ADiIN2 | 10ビットA-Diデータレジスタ2 |
| | ADiIN3 | ADiIN3 | 10ビットA-Diデータレジスタ3 |
| | 終了 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | | ⋮ (強制終了まで繰り返し) | ⋮ |
| B'XXXX : n (ADiINn) n 15 | ADiIN0 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | ADiIN1 | ADiIN1 | 10ビットA-Diデータレジスタ1 |
| | ADiIN2 | ADiIN2 | 10ビットA-Diデータレジスタ2 |
| | | ⋮ | ⋮ |
| | ADiINn | ADiINn | 10ビットA-Diデータレジスタn |
| | 終了 | ADiIN0 | 10ビットA-Diデータレジスタ0 |
| | ⋮ (強制終了まで繰り返し) | ⋮ | |

(i = 0, 1)

11.1.3 特殊動作モード

(1) スキャンモード動作中の単一モード強制実行

この特殊動作モードは、スキャンモード動作中に指定チャンネルの単一モード変換(A-D変換またはコンパレート)を強制的に実行します。A-D変換モードの場合は、指定チャンネルに対応した10ビットA-Dデータレジスタに、コンパレートモードの場合は10ビットA-Dコンパレートデータレジスタに変換結果を格納します。指定チャンネルのA-D変換またはコンパレートが終了すると、スキャン中にキャンセルされたチャンネルから再びスキャンモードのA-D変換を再開します。

ソフトウェアでスキャンモード動作中に単一モード変換を起動するには、A-D単一モードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、A-D変換の場合は、同レジスタのA-D変換スタートビットに"1"をセットします。また、コンパレートモードの場合は、スキャンモード動作中にA-D逐次近似レジスタ(AD0SAR, AD1SAR)へ比較する値を書き込みます。

ハードウェアでスキャンモード動作中に単一モード変換を起動するには、A-D単一モードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、同レジスタで指定したハードウェアトリガを入力します。

指定チャンネルでの変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

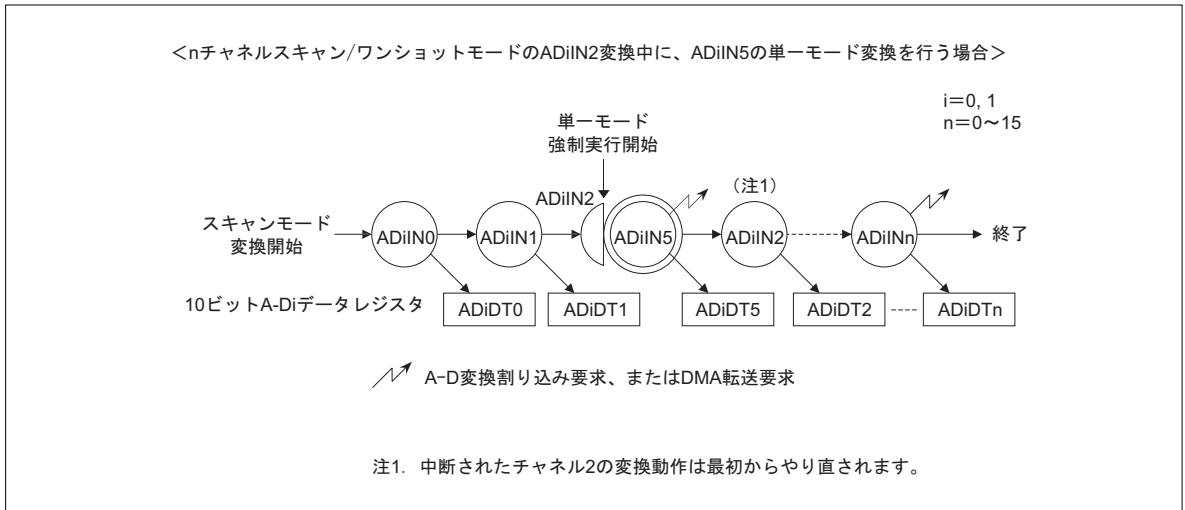


図11.1.6 スキャンモード動作中の単一モード強制実行

(2) 単一モード実行後スキャンモード開始

この特殊動作モードは、単一モード変換(A-D変換またはコンパレート)から連続してスキャン動作を起動します。

ソフトウェアで起動するには、A-Dスキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、単一モード変換動作中にA-Dスキャンモードレジスタ0内のA-D変換スタートビットに"1"をセットします。

ハードウェアで起動するには、A-Dスキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、単一モード変換動作中に同レジスタで指定したハードウェアトリガを入力します。

A-D単一モードレジスタ0、およびA-Dスキャンモードレジスタ0の両方のレジスタのA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、ハードウェアトリガが入力された場合は、最初に単一モード変換を行い、単一モード変換実行後、続けてスキャンモード変換を行います。

指定チャンネルでの単一モード変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

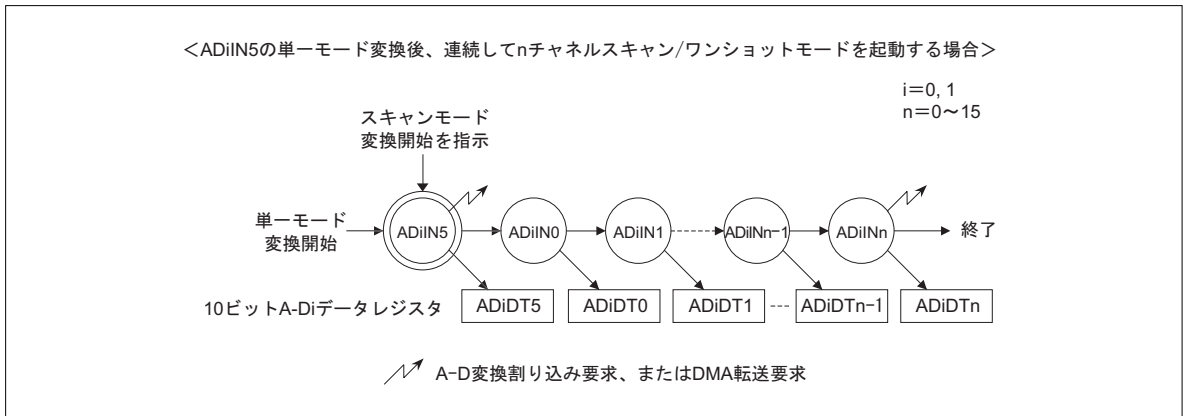


図11.1.7 単一モード実行後スキャンモード開始

(3) 変換再スタート

この特殊動作モードは、単一モードまたはスキャンモードで実行中の動作を中止して、再度最初からやり直すものです。

単一モードの場合は、A-D変換またはコンパレート中にA-D単一モードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガを入力すると、実行中の動作をやり直します。

スキャンモードの場合は、スキャン動作中にA-Dスキャンモードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号を入力すると、変換中のチャンネルをキャンセルし、チャンネル0からA-D変換を行います。

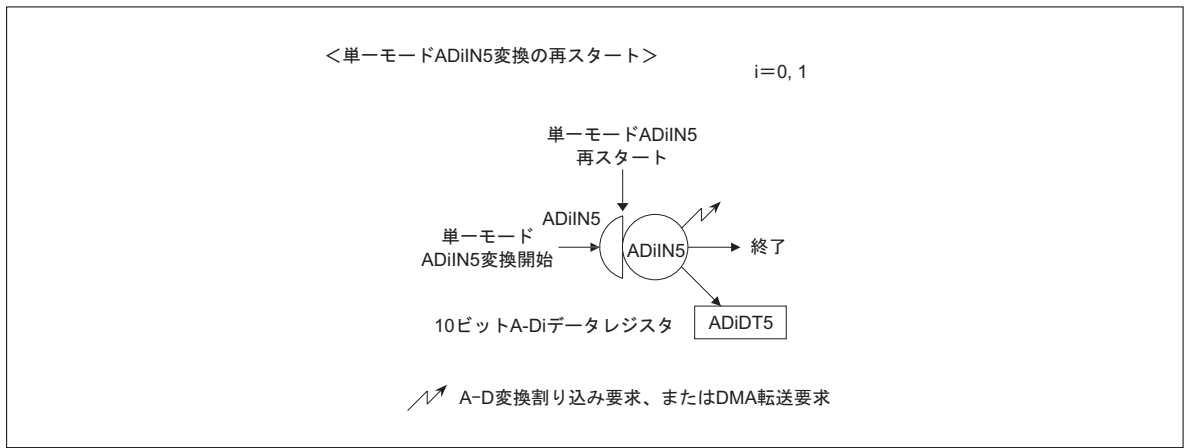


図11.1.8 単一モード動作中の変換再スタート

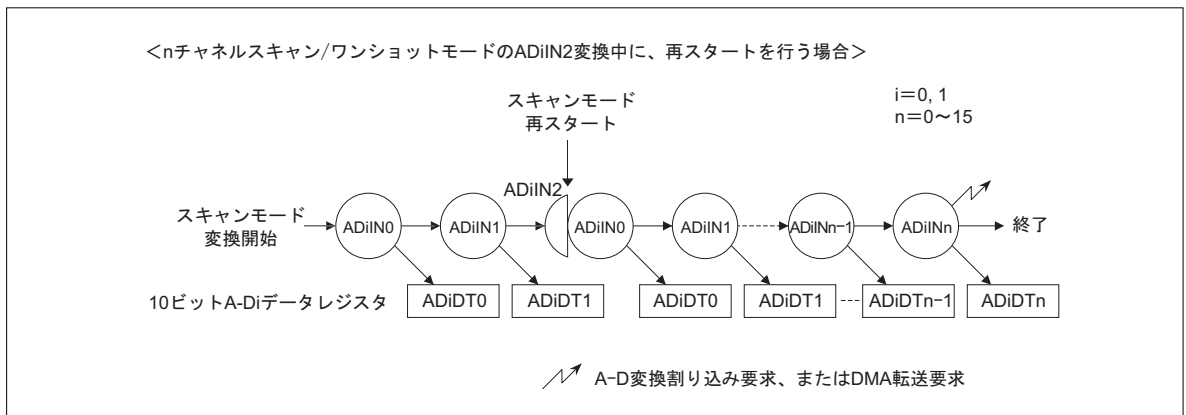


図11.1.9 スキャン動作中の変換再スタート

11.1.4 A-D変換器の割り込み要求とDMA転送要求

A-D変換器では、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。A-D変換割り込み要求とDMA転送要求の選択は、A-D単一モードレジスタ0と、A-Dスキャンモードレジスタ0で行います。

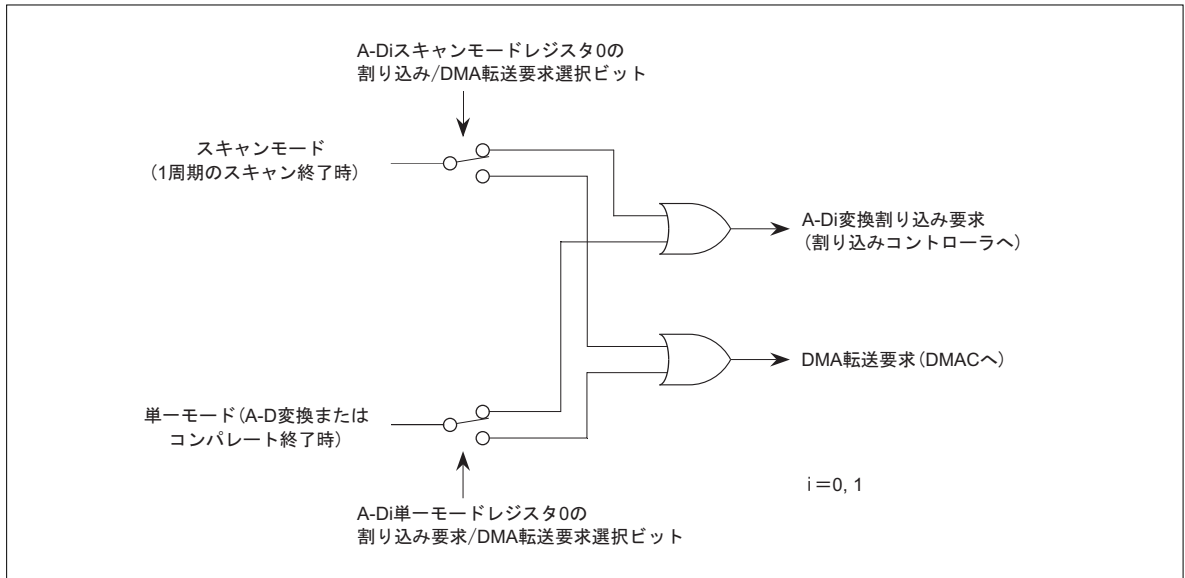


図11.1.10 割り込み要求とDMA転送要求の切り換え

11.1.5 サンプル&ホールド機能

A-D開始直後にサンプリングしたアナログ入力電圧をホールドし、そのホールドした電圧に対してA-D変換を行います。

ノーマルサンプル&ホールドモード時のA-D変換時間は、従来の32170グループなどのA-D変換モードと同じですが、高速サンプル&ホールドモード時のA-D変換時間は、より高速に変換結果を得ることができます。

11.2 A-D変換器関連レジスタ

A-D変換器関連レジスタマップを以下に示します。

A-D変換関連レジスタマップ(1/3)

| 番地 | +0番地 | | +1番地 | | 掲載 ページ |
|-------------|-------------------------------------|----|-------------------------------|-----|----------------|
| | b0 | b7 | b8 | b15 | |
| H'0080 0080 | A-D0単一モードレジスタ0 (AD0SIM0) | | A-D0単一モードレジスタ1 (AD0SIM1) | | 11-16 11-18 |
| H'0080 0082 | (使用禁止領域) | | | | |
| H'0080 0084 | A-D0スキャンモードレジスタ0 (AD0SCM0) | | A-D0スキャンモードレジスタ1 (AD0SCM1) | | 11-20 11-22 |
| H'0080 0086 | A-D0断線検出アシスト機能制御レジスタ (AD0DDACR) | | A-D0変換速度制御レジスタ (AD0CVSCR) | | 11-25 11-24 |
| H'0080 0088 | A-D0逐次近似レジスタ (AD0SAR) | | | | 11-29 |
| H'0080 008A | A-D0断線検出アシスト方式選択レジスタ (AD0DDASEL) | | | | 11-26 |
| H'0080 008C | A-D0コンパレートデータレジスタ (AD0CMP) | | | | 11-30 |
| H'0080 008E | (使用禁止領域) | | | | |
| H'0080 0090 | 10ビットA-D0データレジスタ0 (AD0DT0) | | | | 11-31 |
| H'0080 0092 | 10ビットA-D0データレジスタ1 (AD0DT1) | | | | 11-31 |
| H'0080 0094 | 10ビットA-D0データレジスタ2 (AD0DT2) | | | | 11-31 |
| H'0080 0096 | 10ビットA-D0データレジスタ3 (AD0DT3) | | | | 11-31 |
| H'0080 0098 | 10ビットA-D0データレジスタ4 (AD0DT4) | | | | 11-31 |
| H'0080 009A | 10ビットA-D0データレジスタ5 (AD0DT5) | | | | 11-31 |
| H'0080 009C | 10ビットA-D0データレジスタ6 (AD0DT6) | | | | 11-31 |
| H'0080 009E | 10ビットA-D0データレジスタ7 (AD0DT7) | | | | 11-31 |
| H'0080 00A0 | 10ビットA-D0データレジスタ8 (AD0DT8) | | | | 11-31 |
| H'0080 00A2 | 10ビットA-D0データレジスタ9 (AD0DT9) | | | | 11-31 |
| H'0080 00A4 | 10ビットA-D0データレジスタ10 (AD0DT10) | | | | 11-31 |
| H'0080 00A6 | 10ビットA-D0データレジスタ11 (AD0DT11) | | | | 11-31 |
| H'0080 00A8 | 10ビットA-D0データレジスタ12 (AD0DT12) | | | | 11-31 |
| H'0080 00AA | 10ビットA-D0データレジスタ13 (AD0DT13) | | | | 11-31 |
| H'0080 00AC | 10ビットA-D0データレジスタ14 (AD0DT14) | | | | 11-31 |
| H'0080 00AE | 10ビットA-D0データレジスタ15 (AD0DT15) | | | | 11-31 |
| } | (使用禁止領域) | | | | |
| H'0080 00D0 | (使用禁止領域) | | 8ビットA-D0データレジスタ0 (AD08DT0) | | 11-32 |
| H'0080 00D2 | (使用禁止領域) | | 8ビットA-D0データレジスタ1 (AD08DT1) | | 11-32 |
| H'0080 00D4 | (使用禁止領域) | | 8ビットA-D0データレジスタ2 (AD08DT2) | | 11-32 |
| H'0080 00D6 | (使用禁止領域) | | 8ビットA-D0データレジスタ3 (AD08DT3) | | 11-32 |
| H'0080 00D8 | (使用禁止領域) | | 8ビットA-D0データレジスタ4 (AD08DT4) | | 11-32 |
| H'0080 00DA | (使用禁止領域) | | 8ビットA-D0データレジスタ5 (AD08DT5) | | 11-32 |
| H'0080 00DC | (使用禁止領域) | | 8ビットA-D0データレジスタ6 (AD08DT6) | | 11-32 |

A-D変換関連レジスタマップ(2/3)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|-------------------------------------|---------------------------------|----------------|
| | b0 | b7 b8 b15 | |
| H'0080 00DE | (使用禁止領域) | 8ビットA-D0データレジスタ7 (AD08DT7) | 11-32 |
| H'0080 00E0 | (使用禁止領域) | 8ビットA-D0データレジスタ8 (AD08DT8) | 11-32 |
| H'0080 00E2 | (使用禁止領域) | 8ビットA-D0データレジスタ9 (AD08DT9) | 11-32 |
| H'0080 00E4 | (使用禁止領域) | 8ビットA-D0データレジスタ10 (AD08DT10) | 11-32 |
| H'0080 00E6 | (使用禁止領域) | 8ビットA-D0データレジスタ11 (AD08DT11) | 11-32 |
| H'0080 00E8 | (使用禁止領域) | 8ビットA-D0データレジスタ12 (AD08DT12) | 11-32 |
| H'0080 00EA | (使用禁止領域) | 8ビットA-D0データレジスタ13 (AD08DT13) | 11-32 |
| H'0080 00EC | (使用禁止領域) | 8ビットA-D0データレジスタ14 (AD08DT14) | 11-32 |
| H'0080 00EE | (使用禁止領域) | 8ビットA-D0データレジスタ15 (AD08DT15) | 11-32 |
| } | (使用禁止領域) | | |
| H'0080 0A80 | A-D1単一モードレジスタ0 (AD1SIM0) | A-D1単一モードレジスタ1 (AD1SIM1) | 11-16 11-18 |
| H'0080 0A82 | (使用禁止領域) | | |
| H'0080 0A84 | A-D1スキャンモードレジスタ0 (AD1SCM0) | A-D1スキャンモードレジスタ1 (AD1SCM1) | 11-20 11-22 |
| H'0080 0A86 | A-D1断線検出アシスト機能制御レジスタ (AD1DDACR) | A-D1変換速度制御レジスタ (AD1CVSCR) | 11-25 11-24 |
| H'0080 0A88 | A-D1逐次近似レジスタ (AD1SAR) | | 11-29 |
| H'0080 0A8A | A-D1断線検出アシスト方式選択レジスタ (AD1DDASEL) | | 11-26 |
| H'0080 0A8C | A-D1コンパレートデータレジスタ (AD1CMP) | | 11-30 |
| H'0080 0A8E | (使用禁止領域) | | |
| H'0080 0A90 | 10ビットA-D1データレジスタ0 (AD1DT0) | | 11-31 |
| H'0080 0A92 | 10ビットA-D1データレジスタ1 (AD1DT1) | | 11-31 |
| H'0080 0A94 | 10ビットA-D1データレジスタ2 (AD1DT2) | | 11-31 |
| H'0080 0A96 | 10ビットA-D1データレジスタ3 (AD1DT3) | | 11-31 |
| H'0080 0A98 | 10ビットA-D1データレジスタ4 (AD1DT4) | | 11-31 |
| H'0080 0A9A | 10ビットA-D1データレジスタ5 (AD1DT5) | | 11-31 |
| H'0080 0A9C | 10ビットA-D1データレジスタ6 (AD1DT6) | | 11-31 |
| H'0080 0A9E | 10ビットA-D1データレジスタ7 (AD1DT7) | | 11-31 |
| H'0080 0AA0 | 10ビットA-D1データレジスタ8 (AD1DT8) | | 11-31 |
| H'0080 0AA2 | 10ビットA-D1データレジスタ9 (AD1DT9) | | 11-31 |
| H'0080 0AA4 | 10ビットA-D1データレジスタ10 (AD1DT10) | | 11-31 |
| H'0080 0AA6 | 10ビットA-D1データレジスタ11 (AD1DT11) | | 11-31 |
| H'0080 0AA8 | 10ビットA-D1データレジスタ12 (AD1DT12) | | 11-31 |
| H'0080 0AAA | 10ビットA-D1データレジスタ13 (AD1DT13) | | 11-31 |
| H'0080 0AAC | 10ビットA-D1データレジスタ14 (AD1DT14) | | 11-31 |
| H'0080 0AAE | 10ビットA-D1データレジスタ15 (AD1DT15) | | 11-31 |
| } | (使用禁止領域) | | |

A-D変換関連レジスタマップ(3/3)

| 番地 | + 0番地 | | + 1番地 | | 掲載 ページ |
|-------------|----------|----|---------------------------------|-----|-----------|
| | b0 | b7 | b8 | b15 | |
| H'0080 0AD0 | (使用禁止領域) | | 8ビットA-D1データレジスタ0 (AD18DT0) | | 11-32 |
| H'0080 0AD2 | (使用禁止領域) | | 8ビットA-D1データレジスタ1 (AD18DT1) | | 11-32 |
| H'0080 0AD4 | (使用禁止領域) | | 8ビットA-D1データレジスタ2 (AD18DT2) | | 11-32 |
| H'0080 0AD6 | (使用禁止領域) | | 8ビットA-D1データレジスタ3 (AD18DT3) | | 11-32 |
| H'0080 0AD8 | (使用禁止領域) | | 8ビットA-D1データレジスタ4 (AD18DT4) | | 11-32 |
| H'0080 0ADA | (使用禁止領域) | | 8ビットA-D1データレジスタ5 (AD18DT5) | | 11-32 |
| H'0080 0ADC | (使用禁止領域) | | 8ビットA-D1データレジスタ6 (AD18DT6) | | 11-32 |
| H'0080 0ADE | (使用禁止領域) | | 8ビットA-D1データレジスタ7 (AD18DT7) | | 11-32 |
| H'0080 0AE0 | (使用禁止領域) | | 8ビットA-D1データレジスタ8 (AD18DT8) | | 11-32 |
| H'0080 0AE2 | (使用禁止領域) | | 8ビットA-D1データレジスタ9 (AD18DT9) | | 11-32 |
| H'0080 0AE4 | (使用禁止領域) | | 8ビットA-D1データレジスタ10 (AD18DT10) | | 11-32 |
| H'0080 0AE6 | (使用禁止領域) | | 8ビットA-D1データレジスタ11 (AD18DT11) | | 11-32 |
| H'0080 0AE8 | (使用禁止領域) | | 8ビットA-D1データレジスタ12 (AD18DT12) | | 11-32 |
| H'0080 0AEA | (使用禁止領域) | | 8ビットA-D1データレジスタ13 (AD18DT13) | | 11-32 |
| H'0080 0AEC | (使用禁止領域) | | 8ビットA-D1データレジスタ14 (AD18DT14) | | 11-32 |
| H'0080 0AEE | (使用禁止領域) | | 8ビットA-D1データレジスタ15 (AD18DT15) | | 11-32 |

11.2.1 A-D単一モードレジスタ0

A-D0単一モードレジスタ(AD0SIM0)

<アドレス: H'0080 0080>

A-D1単一モードレジスタ(AD1SIM0)

<アドレス: H'0080 0A80>

| | | | | | | | |
|---------|---|---------|--------|--------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| ADSTRG1 | | ADSTRG0 | ADSSEL | ADSREQ | ADSCMP | ADSSTP | ADSSTT |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |

<リセット解除時: H'04>

| b | ビット名 | 機能 | R | W |
|---|-----------------------------------|--|---|---|
| 0 | ADSTRG1(注1) ADハードウェアトリガ選択1ビット | b0およびb2ビットでA-Dハードウェアトリガを選択 b0 b2 A-D0変換器 A-D1変換器 0 0 : 入力イベントバス2 入力イベントバス2 0 1 : 入力イベントバス3 入力イベントバス3 1 0 : 出力イベントバス3 TID1_udf/ovf 1 1 : TIN23S信号 TIN23S信号 | R | W |
| 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | ADSTRG0(注1) A-Dハードウェアトリガ選択0ビット | b0およびb2ビットでA-Dハードウェアトリガを選択 (b0ビットの欄参照) | R | W |
| 3 | ADSSEL A-D変換開始トリガ選択ビット | 0 : ソフトウェアトリガ 1 : ハードウェアトリガ(注2) | R | W |
| 4 | ADSREQ 割り込み要求/DMA要求選択ビット | 0 : A-D変換割り込み要求 1 : DMA転送要求 | R | W |
| 5 | ADSCMP A-D変換/コンパレート終了ビット | 0 : A-D変換中/コンパレート中 1 : A-D変換終了/コンパレート終了 | R | - |
| 6 | ADSSTP A-D変換ストップビット | 0 : 何もしません 1 : A-D変換停止 | 0 | W |
| 7 | ADSSTT A-D変換スタートビット | 0 : 何もしません 1 : A-D変換開始 | 0 | W |

注1. ハードウェアトリガ選択はA-Dハードウェアトリガ選択1(b0)およびA-Dハードウェアトリガ選択(注2)の2ビットで行います。

注2. コンパレータモード時は、ハードウェアトリガを選択しても無視され、ソフトウェアトリガ動作となります。

A-D単一モードレジスタ0は、A-D変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) ADSTRG(A-Dハードウェアトリガ選択)ビット(b0, b2)

A-D変換器のA-D変換をハードウェアで起動する場合のハードウェアトリガを選択するビットです。ハードウェアトリガの以下の要因から選択します。

A-D0変換器 : 入力イベントバス2
 入力イベントバス3
 出力イベントバス3
 TIN23のエッジ選択出力

A-D1変換器 : 入力イベントバス2
 入力イベントバス3
 TID1のudf/ovf
 TIN23のエッジ選択出力

ADSSEL(A-D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) ADSSEL (A-D変換開始トリガ選択)ビット (b3)

単一モード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADSSTT(A-D変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADSTRG(ハードウェアトリガ選択)ビットで選択した要因でA-D変換が起動されます。

(3) ADSREQ (A-D割り込み要求/DMA転送要求選択)ビット (b4)

単一モード(A-D変換またはコンパレート)終了時に、A-D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、A-D変換割り込み要求を選択し、ICUのA-D変換器割り込み制御レジスタでマスクするか、DMA転送を選択し、DMAチャンネル制御レジスタでA-D変換終了によるDMA転送を行わないよう設定してください。

(4) ADSCMP (A-D変換/コンパレート終了)ビット (b5)

読み出し専用のビットで、リセット解除時は"1"です。A-D変換器の単一モード(A-D変換またはコンパレート)動作中は"0"になり、終了時に"1"になります。

A-D変換中またはコンパレート中にADSSTT(A-D変換ストップ)ビットを"1"を書き込み、A-D変換動作またはコンパレート動作を強制終了したときも"1"になります。

(5) ADSSTP (A-D変換ストップ)ビット (b6)

A-D変換器の単一モード(A-D変換またはコンパレート)中にこのビットを"1"にすると、その動作を停止させることができます。単一モードの動作停止中、およびスキャンモードの動作に対しては、このビットの操作は無視されます。

動作の停止はこのビットへの書き込み後直ちに行われ、停止後に「A-D逐次近似レジスタ」の内容を読み出すと、変換途中の値が読み出されます(A-Dデータレジスタへの転送は行われません)。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

特殊モード「スキャンモード動作中の単一モード強制実行」で、単一モードの動作中にこのビットを"1"にすると単一モード変換のみが停止し、スキャンモード動作が再開されます。

(6) ADSSTT (A-D変換スタート)ビット (b7)

ADSSEL(A-D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットを"1"にするとA-D変換器のA-D変換がスタートします。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

単一モード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、単一モードでの変換を再スタートします。

スキャンモードのA-D変換中にこのビットを"1"にすると、特殊動作モード「スキャンモード動作中の単一モード強制実行」になり、スキャンモードで変換中のチャンネルをキャンセルして単一モード変換を行います。単一モード変換終了後は、キャンセルされたチャンネルからスキャンモードでのA-D変換を再開します。

11.2.2 A-D単一モードレジスタ1

A-D0単一モードレジスタ1 (AD0SIM1)

<アドレス : H'0080 0081 >

A-D1単一モードレジスタ1 (AD1SIM1)

<アドレス : H'0080 0A81 >

| | | | | | | | |
|---------|--------|---------|----------|-------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| ADSM SL | ADSSPD | ADSSHSL | ADSSHSPD | ANSEL | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|--|---|---|---|
| 8 | ADSM SL A-D変換モード選択ビット | 0 : A-D変換モード 1 : コンパレータモード | R | W |
| 9 | ADSSPD (注1) A-D変換速度選択ビット | 0 : ノーマル 1 : 倍速 | R | W |
| 10 | ADSSHSL A-D変換方式選択ビット | 0 : サンプル&ホールド無効 1 : サンプル&ホールド有効 | R | W |
| 11 | ADSSHSPD (注2) A-Dサンプル&ホールド変換速度選択ビット | 0 : ノーマルサンプル&ホールド 1 : 高速サンプル&ホールド | R | W |
| 12 ~ 15 | ANSEL A-Dアナログ入力端子選択ビット | 0000 : ADiIN0を選択 (i = 0, 1) 0001 : ADiIN1を選択 0010 : ADiIN2を選択 0011 : ADiIN3を選択 0100 : ADiIN4を選択 0101 : ADiIN5を選択 0110 : ADiIN6を選択 0111 : ADiIN7を選択 1000 : ADiIN8を選択 1001 : ADiIN9を選択 1010 : ADiIN10を選択 1011 : ADiIN11を選択 1100 : ADiIN12を選択 1101 : ADiIN13を選択 1110 : ADiIN14を選択 1111 : ADiIN15を選択 | R | W |

注1 . A-D変換速度はADSSPDビット、ADSSHSLビット、ADSSHSPDビットおよびA-D変換速度制御レジスタのADCVSDビットとの組み合わせで決まります。

注2 . ADSSHSLビットでサンプル&ホールド有効を選択した場合に有効になります。

A-D単一モードレジスタ1は、A-D変換器の単一モード時の動作モード、変換スピード及びアナログ入力端子の選択を制御するためのレジスタです。

(1) ADSMSL (A-D変換モード選択) ビット (b8)

A-D変換器の単一モード時のA-D変換モードを選択するビットです。このビットが"0"のときはA-D変換モード、"1"のときはコンパレータモードになります。

(2) ADSSPD (A-D変換速度選択) ビット (b9)

A-D変換器の単一モード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(3) ADSSHSL (A-D変換方式選択) ビット (b10)

A-D変換器の単一モード時、サンプル&ホールド機能の有効/無効を切り換えるビットです。このビットが"0"のときは、サンプル&ホールド無効、"1"のときはサンプル&ホールド有効です。

ADSMSL(A-D変換モード選択)ビットでコンパレータモードを選択した場合は、このビットの設定は無効になります。

(4) ADSSHSPD (A-Dサンプル&ホールド速度選択) ビット (b11)

A-D変換器のサンプル&ホールド機能を有効にしたときの変換速度を切り換えるビットです。このビットが"0"のときは通常のA-D変換速度と同じになりますが、"1"のときは通常のA-D変換に比べ高速に変換します。

ADSSHSL(A-D変換方式選択)ビットを"0"のサンプル&ホールド無効に設定した場合、このビットは無効になります。

変換時間については、「11.3.4 A-D変換時間の算出方法」を参照してください。

(5) ANSEL (アナログ入力端子選択) ビット (b12 ~ b15)

A-D変換器の単一モード時のアナログ入力端子選択ビットです。このビットで選択されたチャンネルがA-D変換、またはコンパレータの対象チャンネルになります。なお、読み出し時は書き込んだ値が読み出されます。

11.2.3 A-Dスキャンモードレジスタ0

A-D0スキャンモードレジスタ0(AD0SCM0)

<アドレス: H'0080 0084>

A-D1スキャンモードレジスタ0(AD1SCM0)

<アドレス: H'0080 0A84>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|---------|--------|---------|---------|--------|--------|--------|--------|
| ADCTRG1 | ADCMSL | ADCTRG0 | ADSHIDE | ADCREQ | ADCCMP | ADCSTP | ADCSTT |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |

<リセット解除時: H'04>

| b | ビット名 | 機能 | R | W |
|---|-----------------------------------|--|---|---|
| 0 | ADCTRG1(注1) A-Dハードウェアトリガ選択1ビット | b0およびb2ビットでA-Dハードウェアトリガを選択 b0 b2 A-D0変換器 A-D1変換器 0 0 : 入力イベントバス2 入力イベントバス2 0 1 : 入力イベントバス3 入力イベントバス3 1 0 : 出力イベントバス3 TID1_udf/ovf 1 1 : TIN23S信号 TIN23S信号 | R | W |
| 1 | ADCMSL A-Dスキャンモード選択ビット | 0 : ワンショットモード 1 : 連続モード | R | W |
| 2 | ADCTRG0(注1) A-Dハードウェアトリガ選択0ビット | b0およびb2ビットでA-Dハードウェアトリガを選択 (b0ビットの欄参照) | R | W |
| 3 | ADCSEL A-D変換開始トリガ選択ビット | 0 : ソフトウェアトリガ 1 : ハードウェアトリガ | R | W |
| 4 | ADCREQ 割り込み要求/DMA要求選択ビット | 0 : A-D変換割り込み要求 1 : DMA転送要求 | R | W |
| 5 | ADCCMP A-D変換終了ビット | 0 : A-D変換中 1 : A-D変換終了 | R | - |
| 6 | ADCSTP A-D変換ストップビット | 0 : 何もしません 1 : A-D変換停止 | 0 | W |
| 7 | ADCSTT A-D変換スタートビット | 0 : 何もしません 1 : A-D変換開始 | 0 | W |

注1. ハードウェアトリガ選択はA-Dハードウェアトリガ選択1(b0)およびA-Dハードウェアトリガ選択0(b2)の2ビットで行います。

A-Dスキャンモードレジスタ0は、スキャンモード時のA-D変換器の動作を制御するためのモード設定用レジスタです。

(1) ADCTRG (A-Dハードウェアトリガ選択) ビット (b0, b2)

A-D変換器のA-D変換をハードウェアで起動する場合のハードウェアトリガを選択するビットです。ハードウェアトリガの以下の要因から選択します。

A-D0変換器 : 入力イベントバス2
 入力イベントバス3
 出力イベントバス3
 TIN23のエッジ選択出力

A-D1変換器 : 入力イベントバス2
 入力イベントバス3
 TID1のudf/ovf
 TIN23のエッジ選択出力

ADCSEL(A-D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) ADCMSL (A-D スキャンモード選択) ビット (b1)

このビットでA-D変換器スキャンワンショットモードと、スキャン連続モードを選択します。

このビットが"0"のときはスキャンワンショットモードになり、ANSCAN(スキャンループ選択)ビットで選択されたチャンネルのA-D変換を順次行い、すべてのチャンネルのA-D変換が終了すると変換動作は停止します。

このビットが"1"のときはスキャン連続モードになり、スキャンワンショットモードの動作終了後、再び最初のチャンネルからA-D変換を行い、ADCSTP(A-D変換ストップ)ビットを"1"にして停止するまでこれを継続します。

(3) ADCSEL (A-D 変換開始トリガ選択) ビット (b3)

A-D変換器のスキャンモード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADCSTT(A-D変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADnCTRG(ハードウェアトリガ選択)ビットで選択した要因でA-D変換が起動されます。

(4) ADCREQ (A-D 割り込み/DMA 転送要求選択) ビット (b4)

スキャンモードの1周期終了時に、A-D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、A-D変換割り込み要求を選択し、ICUのA-D変換器割り込み制御レジスタでマスクするか、DMA転送を選択し、DMAチャンネル制御レジスタでA-D変換終了によるDMA転送を行わないよう設定してください。

(5) ADCCMP (A-D 変換終了) ビット (b5)

読み出し専用のビットで、リセット解除時は"1"です。A-D変換器のスキャンモードA-D変換動作中は"0"になり、スキャンワンショットモード終了時、またはスキャン連続モードをADCSTT(A-D変換ストップ)ビットを"1"にして停止したとき"1"になります。

(6) ADCSTP (A-D 変換ストップ) ビット (b6)

A-D変換器でスキャンモードのA-D変換中に、このビットに"1"を書き込むことで、スキャンモードの動作を停止させることができます。このビットはスキャンモードの動作にのみ有効で、特殊動作モードで、単一モード、スキャンモードが共に起動されている場合でも単一モードの動作には影響を与えません。

動作の停止はこのビットへの書き込み後直ちに行われ、変換途中のチャンネルのA-D変換は途中で打ち切れ、A-Dデータレジスタへの転送は行われません。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

(7) ADCSTT (A-D 変換スタート) ビット (b7)

ADCSEL(A-D変換開始トリガ選択)ビットで、A-D変換器のスキャンモードをソフトウェアで起動するためのビットで、ソフトウェアトリガを選択している場合にのみ、このビットを"1"にするとA-D変換がスタートします。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

スキャンモード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、スキャンモードレジスタ0およびスキャンモードレジスタ1で設定された内容で、スキャン動作が再起動されます。

単一モードのA-D変換中にこのビットを"1"にすると、特殊動作モード「単一モード実行後スキャンモード開始」になり、単一モード終了後にスキャンモード動作を連続して開始します。

11.2.4 A-Dスキャンモードレジスタ1

A-D0スキャンモードレジスタ1(AD0SCM1)

<アドレス: H'0080 0085>

A-D1スキャンモードレジスタ1(AD1SCM1)

<アドレス: H'0080 0A85>

| | | | | | | | |
|----|--------|---------|----------|--------|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | ADCSPD | ADCSHSL | ADCSHSPD | ADSCAN | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------------------|--|---|---|
| 8 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 9 | ADCSPD(注1) A-D変換速度選択ビット | 0: ノーマル 1: 倍速 | R | W |
| 10 | ADCSHSL A-D変換方式選択ビット | 0: サンプル&ホールド無効 1: サンプル&ホールド有効 | R | W |
| 11 | ADCSHSPD(注2) A-Dサンプル&ホールド変換速度選択ビット | 0: ノーマルサンプル&ホールド 1: 高速サンプル&ホールド | R | W |
| 12~15 | ADSCAN A-Dスキャンループ指定ビット | <書き込み時> 'B0000~1111(チャンネル0~チャンネル15) <変換中読み出し時> (i=0,1) 0000 : ADiIN0を変換中 0001 : ADiIN1を変換中 0010 : ADiIN2を変換中 0011 : ADiIN3を変換中 0100 : ADiIN4を変換中 0101 : ADiIN5を変換中 0110 : ADiIN6を変換中 0111 : ADiIN7を変換中 1000 : ADiIN8を変換中 1001 : ADiIN9を変換中 1010 : ADiIN10を変換中 1011 : ADiIN11を変換中 1100 : ADiIN12を変換中 1101 : ADiIN13を変換中 1110 : ADiIN14を変換中 1111 : ADiIN15を変換中 | R | W |

注1. A-D変換速度はADCSPDビット、ADCSHSLビット、ADCSHSPDビットおよびA-D変換速度制御レジスタのADCVSDビットとの組み合わせで決まります。

注2. ADCSHSLビットでサンプル&ホールド有効を選択した場合に有効になります。

A-Dスキャンモードレジスタ1は、A-D変換器のスキャンモード時の動作モード、変換スピード及びスキャンループの選択を制御するためのレジスタです。スキャンループ選択ビットにより設定されたチャンネルまでのスキャン(nチャンネルスキャン)動作が可能です。

(1) ADCSPD (A-D変換速度選択)ビット (b9)

A-D変換器のスキャンモード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(2) ADCSHSL (A-D変換方式選択)ビット (b10)

A-D変換器のスキャンモード時、サンプル&ホールド機能の有効/無効を切り換えるビットです。このビットが"0"のときは、サンプル&ホールド無効、"1"のときはサンプル&ホールド有効です。

(3) ADSSHSPD (A-Dサンプル&ホールド速度選択)ビット (b11)

A-D変換器のサンプル&ホールド機能を有効にしたときの交換速度を切り換えるビットです。このビットが"0"のときは通常のA-D変換速度と同じになりますが、"1"のときは通常のA-D変換に比べ高速に変換します。

ADCSHSL(A-D変換方式選択)ビットを"0"のサンプル&ホールド無効に設定した場合、このビットは無効になります。

変換時間については、「11.3.4 A-D変換時間の算出方法」を参照してください。

(4) ANSCAN (A-Dスキャンループ選択)ビット (b12 ~ b15)

ANSCAN(スキャンループ選択)ビットで、A-D変換器のスキャンモード時のスキャンチャンネルを設定します。

ANSCAN(A-Dスキャンループ選択)ビットをスキャン動作時に読み出すと、変換中のチャンネルを示すステータスとなります。

単一モード時に、このビットは常に 'B'0000 'が読み出されます。

スキャンモード実行中に、スキャンモードレジスタ0のADCSTP(A-D変換ストップ)ビットに"1"をセットしてA-D変換を中止した場合は、A-D変換動作をキャンセルされたチャンネルの値が読み出されます。

また、特殊動作モード「スキャンモード動作中の単一モード強制実行」で単一モード変換中は、スキャン途中でA-D変換動作をキャンセルされたチャンネルの値が読み出されます。

11.2.5 A-D0変換速度制御レジスタ

A-D0変換速度制御レジスタ (AD0CVSCR)

<アドレス : H'0080 0087 >

A-D1変換速度制御レジスタ (AD1CVSCR)

<アドレス : H'0080 0A87 >

| | | | | | | | |
|----|---|----|----|----|----|----|-------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | ADCVSD 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|---------------------------|-----------|---|---|
| 8~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | ADCVSD (注1) | 0 : 低速モード | R | W |
| | A-D変換速度制御ビット | 1 : 高速モード | | |

注1 . A-D変換速度は、単一モードではADCVSDビットとA-D単一モードレジスタ1の設定で、スキャンモードではADCVSDビットとA-Dスキャンモードレジスタ1の設定で決まります。

A-D変換速度制御レジスタは、A-D変換器の単一モード時及びスキャンモード時のA-D変換速度を制御するレジスタです。A-D単一モードレジスタ1の変換速度選択ビット(倍速/ノーマル)との組み合わせで変換スピードが決定されます。

11.2.6 A-D断線検出アシスト機能制御レジスタ

A-D0断線検出アシスト機能制御レジスタ (AD0DDACR)

<アドレス : H'0080 0086 >

A-D1断線検出アシスト機能制御レジスタ (AD1DDACR)

<アドレス : H'0080 0A86 >

| | | | | | | | |
|----|---|---|---|---|---|---|--------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | ADDDAEN 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------|--|---|---|
| 0~6 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 7 | ADDDAEN (注1) | 0 : A-D断線検出アシスト機能無効 1 : A-D断線検出アシスト機能有効 | R | W |

注1 . A-D断線検出アシスト機能を有効にするためには、ADDDAENビットを"1"にセット後、A-D断線検出アシスト方式選択レジスタで変換開始状態を設定してください。

A-D断線検出アシスト機能制御レジスタは、A-D断線検出アシスト方式選択レジスタの内容を有効にするか無効にするかを選択するためのレジスタです。

注 . 断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で使用してください。

11.2.7 A-D断線検出アシスト方式選択レジスタ

A-D0断線検出アシスト方式選択レジスタ (AD0DDASEL)

<アドレス: H'0080 008A>

A-D1断線検出アシスト方式選択レジスタ (AD1DDASEL)

<アドレス: H'0080 0A8A>

| | | | | | | | | | | | | | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| ADDDASEL0 ? | ADDDASEL1 ? | ADDDASEL2 ? | ADDDASEL3 ? | ADDDASEL4 ? | ADDDASEL5 ? | ADDDASEL6 ? | ADDDASEL7 ? | ADDDASEL8 ? | ADDDASEL9 ? | ADDDASEL10 ? | ADDDASEL11 ? | ADDDASEL12 ? | ADDDASEL13 ? | ADDDASEL14 ? | ADDDASEL15 ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|----|--------------------------------------|-------------------------------|---|---|
| 0 | ADDDASEL0 チャンネル0断線検出アシスト方式選択ビット | 0: 変換前ディスチャージ 1: 変換前プリチャージ | R | W |
| 1 | ADDDASEL1 チャンネル1断線検出アシスト方式選択ビット | | | |
| 2 | ADDDASEL2 チャンネル2断線検出アシスト方式選択ビット | | | |
| 3 | ADDDASEL3 チャンネル3断線検出アシスト方式選択ビット | | | |
| 4 | ADDDASEL4 チャンネル4断線検出アシスト方式選択ビット | | | |
| 5 | ADDDASEL5 チャンネル5断線検出アシスト方式選択ビット | | | |
| 6 | ADDDASEL6 チャンネル6断線検出アシスト方式選択ビット | | | |
| 7 | ADDDASEL7 チャンネル7断線検出アシスト方式選択ビット | | | |
| 8 | ADDDASEL8 チャンネル8断線検出アシスト方式選択ビット | | | |
| 9 | ADDDASEL9 チャンネル9断線検出アシスト方式選択ビット | | | |
| 10 | ADDDASEL10 チャンネル10断線検出アシスト方式選択ビット | | | |
| 11 | ADDDASEL11 チャンネル11断線検出アシスト方式選択ビット | | | |
| 12 | ADDDASEL12 チャンネル12断線検出アシスト方式選択ビット | | | |
| 13 | ADDDASEL13 チャンネル13断線検出アシスト方式選択ビット | | | |
| 14 | ADDDASEL14 チャンネル14断線検出アシスト方式選択ビット | | | |
| 15 | ADDDASEL15 チャンネル15断線検出アシスト方式選択ビット | | | |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

- これらのビットを有効にするには、ADDDAENビット(A-D断線検出アシスト機能制御レジスタのb7)を"1"にセット後、これらのビットを設定してください。

A-D断線検出アシスト方式選択レジスタは、A-D変換結果が前のチャンネルのアナログ入力電圧の影響を抑制するために、チョップアップキャパシタにたまった電荷を引き抜く、または充電してから従来の変換動作を行う場合の状態制御レジスタです。

図11.2.1にAVCC側でのA-D断線検出例を示し、図11.2.2にはAVSS側でのA-D断線検出例を示します。

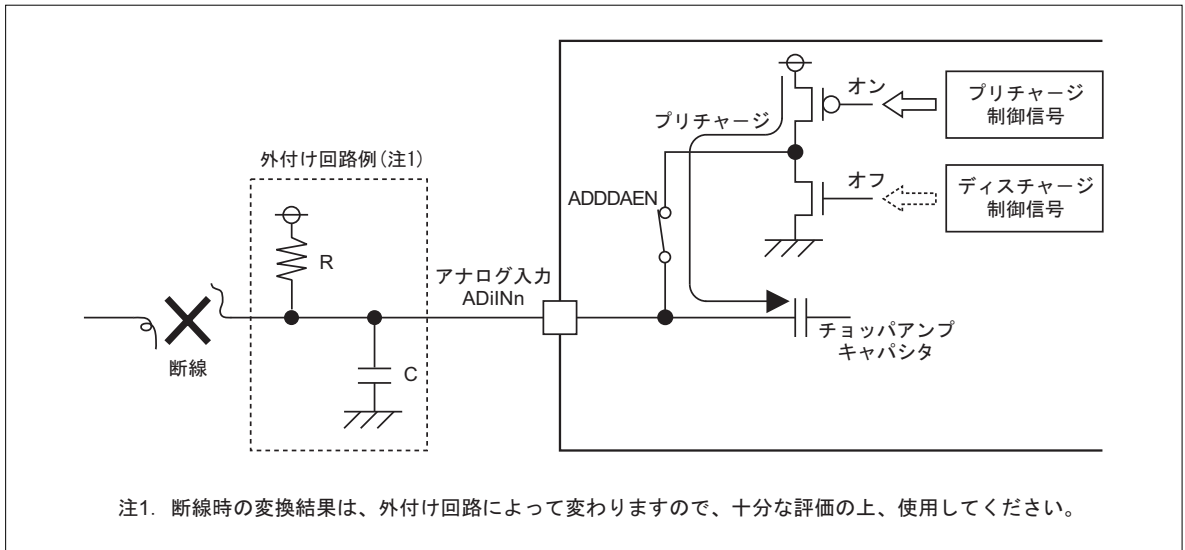


図11.2.1 AVCC側でのA-D断線検出例(変換前プリチャージを選択)

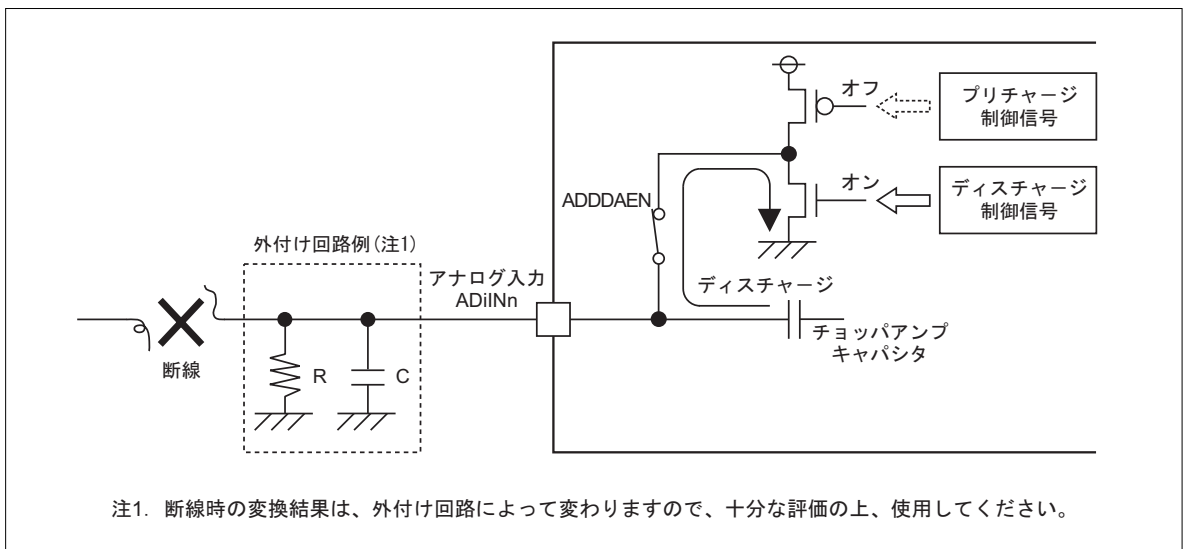


図11.2.2 AVSS側でのA-D断線検出例(変換前ディスチャージを選択)

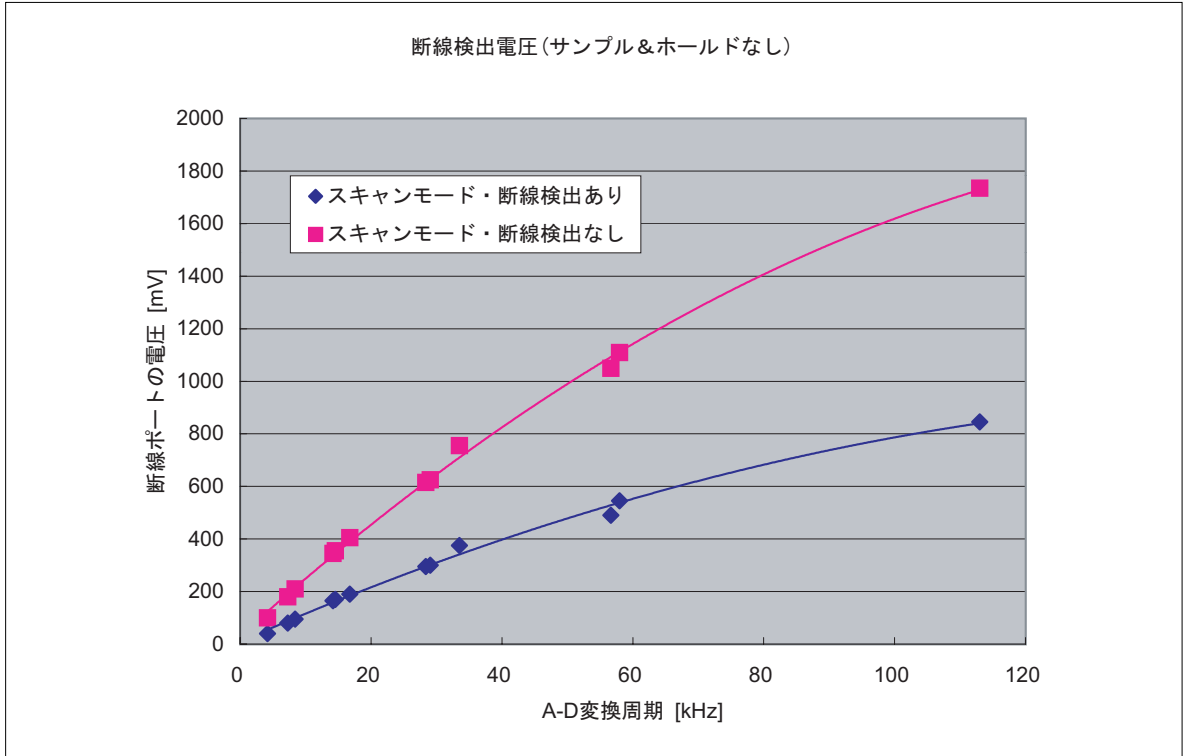


図11.2.3 A-D断線検知アシストデータ(変換前ディスチャージ使用時)

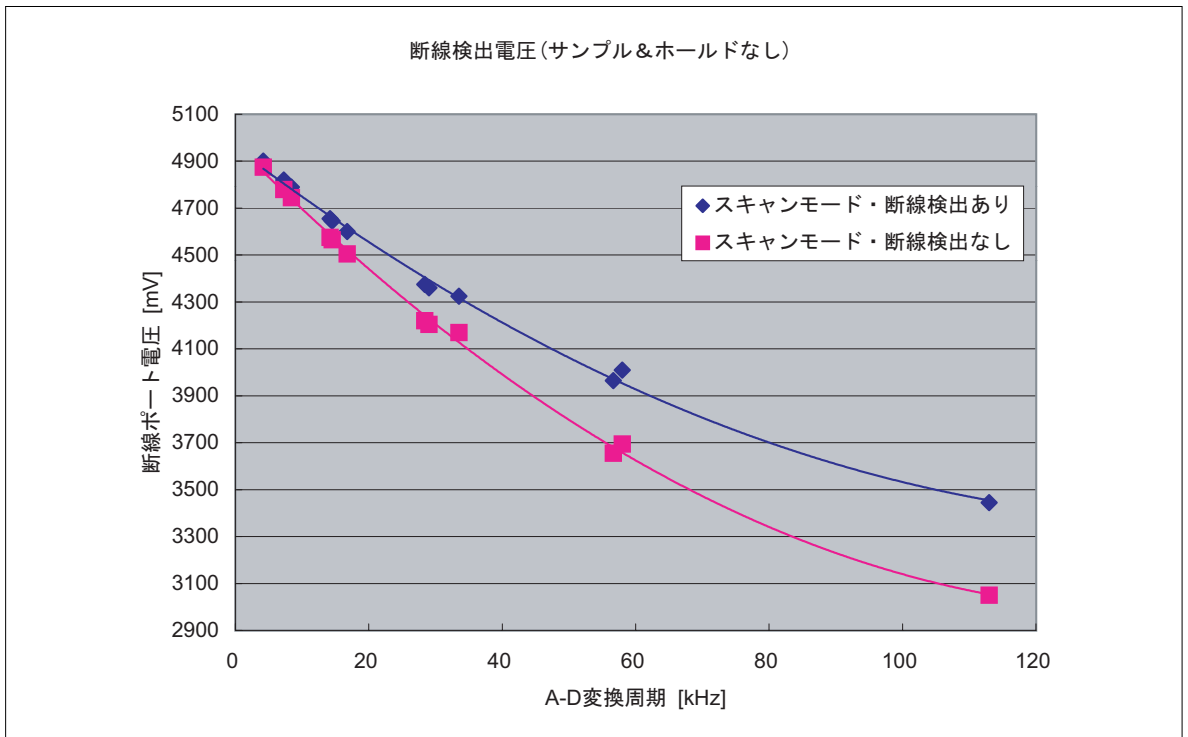


図11.2.4 A-D断線検知アシストデータ(変換前プリチャージ使用時)

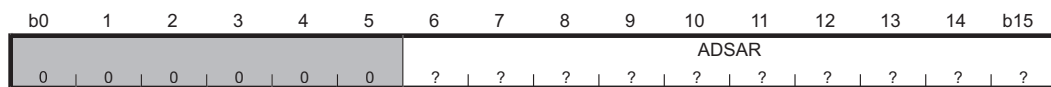
11.2.8 A-D逐次近似レジスタ

A-D0逐次近似レジスタ(AD0SAR)

<アドレス: H'0080 0088 >

A-D1逐次近似レジスタ(AD1SAR)

<アドレス: H'0080 0A88 >



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|--|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6~15 | ADSAR A-D逐次近似値/比較値 | ・ A-D逐次近似値(A-D変換モード) ・ 比較値(コンパレータモード) | R | W |

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

A-D逐次近似レジスタ(ADSAR)は、A-D変換モードの場合はA-D変換器の変換結果を読み出し、コンパレータモードの場合は比較値を書き込むレジスタです。

A-D変換モードでは、A-D変換を逐次近似比較方式で行いますが、この方式では基準電圧VREFとアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A-D逐次近似レジスタ(ADSAR)の各ビット(b6 ~ b15)に対してセットします。A-D変換終了時はこのレジスタの値が、変換を行ったチャンネルに対する10ビットA-Dデータレジスタ(ADDTn)に転送されます。なお、A-D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

コンパレータモードでは、このレジスタに比較値(コンパレート比較電圧)を書き込みます。書き込みと同時に単一モードレジスタ1で設定したアナログ入力端子とのコンパレート動作が開始されます。コンパレート終了後、結果はA-Dコンパレートデータレジスタ(ADCMP)に格納されます。

コンパレータモードでA-D逐次近似レジスタ(ADSAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H' } 3\text{FF} \times \frac{\text{コンパレート比較電圧 [V]}}{\text{VREF入力電圧 [V]}}$$

11.2.9 A-Dコンパレートデータレジスタ

A-D0コンパレートデータレジスタ(AD0CMP)

<アドレス: H'0080 008C>

A-D1コンパレートデータレジスタ(AD1CMP)

<アドレス: H'0080 0A8C>

| | | | | | | | | | | | | | | | |
|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| ADCMP0 | ADCMP1 | ADCMP2 | ADCMP3 | ADCMP4 | ADCMP5 | ADCMP6 | ADCMP7 | ADCMP8 | ADCMP9 | ADCMP10 | ADCMP11 | ADCMP12 | ADCMP13 | ADCMP14 | ADCMP15 |
| ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---------------------------------------|--|---|---|
| 0~15 | ADCMP0-ADCMP15 (注1) A-Dコンパレート結果フラグ | 0: アナログ入力電圧 > 比較電圧 1: アナログ入力電圧 < 比較電圧 | R | - |

注. ・このレジスタは、必ずハーフワードでアクセスしてください。

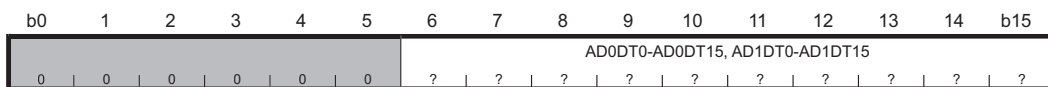
注1. コンパレータモード時に、各ビットがチャンネル0~チャンネル15に対応します。

A-Dコンパレートデータレジスタは、A-D単一モードレジスタ1のADSMSL(A-D変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A-D逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

11.2.10 10ビットA-Dデータレジスタ

| | |
|-----------------------------|---------------------|
| 10ビットA-D0データレジスタ0(AD0DT0) | <アドレス: H'0080 0090> |
| 10ビットA-D0データレジスタ1(AD0DT1) | <アドレス: H'0080 0092> |
| 10ビットA-D0データレジスタ2(AD0DT2) | <アドレス: H'0080 0094> |
| 10ビットA-D0データレジスタ3(AD0DT3) | <アドレス: H'0080 0096> |
| 10ビットA-D0データレジスタ4(AD0DT4) | <アドレス: H'0080 0098> |
| 10ビットA-D0データレジスタ5(AD0DT5) | <アドレス: H'0080 009A> |
| 10ビットA-D0データレジスタ6(AD0DT6) | <アドレス: H'0080 009C> |
| 10ビットA-D0データレジスタ7(AD0DT7) | <アドレス: H'0080 009E> |
| 10ビットA-D0データレジスタ8(AD0DT8) | <アドレス: H'0080 00A0> |
| 10ビットA-D0データレジスタ9(AD0DT9) | <アドレス: H'0080 00A2> |
| 10ビットA-D0データレジスタ10(AD0DT10) | <アドレス: H'0080 00A4> |
| 10ビットA-D0データレジスタ11(AD0DT11) | <アドレス: H'0080 00A6> |
| 10ビットA-D0データレジスタ12(AD0DT12) | <アドレス: H'0080 00A8> |
| 10ビットA-D0データレジスタ13(AD0DT13) | <アドレス: H'0080 00AA> |
| 10ビットA-D0データレジスタ14(AD0DT14) | <アドレス: H'0080 00AC> |
| 10ビットA-D0データレジスタ15(AD0DT15) | <アドレス: H'0080 00AE> |
| 10ビットA-D1データレジスタ0(AD1DT0) | <アドレス: H'0080 0A90> |
| 10ビットA-D1データレジスタ1(AD1DT1) | <アドレス: H'0080 0A92> |
| 10ビットA-D1データレジスタ2(AD1DT2) | <アドレス: H'0080 0A94> |
| 10ビットA-D1データレジスタ3(AD1DT3) | <アドレス: H'0080 0A96> |
| 10ビットA-D1データレジスタ4(AD1DT4) | <アドレス: H'0080 0A98> |
| 10ビットA-D1データレジスタ5(AD1DT5) | <アドレス: H'0080 0A9A> |
| 10ビットA-D1データレジスタ6(AD1DT6) | <アドレス: H'0080 0A9C> |
| 10ビットA-D1データレジスタ7(AD1DT7) | <アドレス: H'0080 0A9E> |
| 10ビットA-D1データレジスタ8(AD1DT8) | <アドレス: H'0080 0AA0> |
| 10ビットA-D1データレジスタ9(AD1DT9) | <アドレス: H'0080 0AA2> |
| 10ビットA-D1データレジスタ10(AD1DT10) | <アドレス: H'0080 0AA4> |
| 10ビットA-D1データレジスタ11(AD1DT11) | <アドレス: H'0080 0AA6> |
| 10ビットA-D1データレジスタ12(AD1DT12) | <アドレス: H'0080 0AA8> |
| 10ビットA-D1データレジスタ13(AD1DT13) | <アドレス: H'0080 0AAA> |
| 10ビットA-D1データレジスタ14(AD1DT14) | <アドレス: H'0080 0AAC> |
| 10ビットA-D1データレジスタ15(AD1DT15) | <アドレス: H'0080 0AAE> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|---|--------------|---|---|
| 0~5 | 何も配置されていません。 | | 0 | - |
| 6~15 | AD0DT0-AD0DT15, AD1DT0-AD1DT15 10ビットA-Dデータ | 10ビットA-D変換結果 | R | - |

注. . このレジスタは、必ずハーフワードでアクセスしてください。

10ビットA-Dデータレジスタは、単一モードでは、対応するチャンネルのA-D変換の結果が、格納されるレジスタです。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D逐次近似レジスタの内容が、対応するチャンネルの10ビットA-Dデータレジスタに転送されます。

各10ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.2.11 8ビットA-Dデータレジスタ

| | |
|-------------------------------|------------------------|
| 8ビットA-D0データレジスタ0(AD08DT0) | < アドレス : H'0080 00D1 > |
| 8ビットA-D0データレジスタ1(AD08DT1) | < アドレス : H'0080 00D3 > |
| 8ビットA-D0データレジスタ2(AD08DT2) | < アドレス : H'0080 00D5 > |
| 8ビットA-D0データレジスタ3(AD08DT3) | < アドレス : H'0080 00D7 > |
| 8ビットA-D0データレジスタ4(AD08DT4) | < アドレス : H'0080 00D9 > |
| 8ビットA-D0データレジスタ5(AD08DT5) | < アドレス : H'0080 00DB > |
| 8ビットA-D0データレジスタ6(AD08DT6) | < アドレス : H'0080 00DD > |
| 8ビットA-D0データレジスタ7(AD08DT7) | < アドレス : H'0080 00DF > |
| 8ビットA-D0データレジスタ8(AD08DT8) | < アドレス : H'0080 00E1 > |
| 8ビットA-D0データレジスタ9(AD08DT9) | < アドレス : H'0080 00E3 > |
| 8ビットA-D0データレジスタ10(AD08DT10) | < アドレス : H'0080 00E5 > |
| 8ビットA-D0データレジスタ11(AD08DT11) | < アドレス : H'0080 00E7 > |
| 8ビットA-D0データレジスタ12(AD08DT12) | < アドレス : H'0080 00E9 > |
| 8ビットA-D0データレジスタ13(AD08DT13) | < アドレス : H'0080 00EB > |
| 8ビットA-D0データレジスタ14(AD08DT14) | < アドレス : H'0080 00ED > |
| 8ビットA-D0データレジスタ15(AD08DT15) | < アドレス : H'0080 00EF > |
| 8ビットA-D1データレジスタ0(AD18DT0) | < アドレス : H'0080 0AD1 > |
| 8ビットA-D1データレジスタ1(AD18DT1) | < アドレス : H'0080 0AD3 > |
| 8ビットA-D1データレジスタ2(AD18DT2) | < アドレス : H'0080 0AD5 > |
| 8ビットA-D1データレジスタ3(AD18DT3) | < アドレス : H'0080 0AD7 > |
| 8ビットA-D1データレジスタ4(AD18DT4) | < アドレス : H'0080 0AD9 > |
| 8ビットA-D1データレジスタ5(AD18DT5) | < アドレス : H'0080 0ADB > |
| 8ビットA-D1データレジスタ6(AD18DT6) | < アドレス : H'0080 0ADD > |
| 8ビットA-D1データレジスタ7(AD18DT7) | < アドレス : H'0080 0ADF > |
| 8ビットA-D1データレジスタ8(AD18DT8) | < アドレス : H'0080 0AE1 > |
| 8ビットA-D1データレジスタ9(AD18DT9) | < アドレス : H'0080 0AE3 > |
| 8ビットA-D1データレジスタ10(AD18DT10) | < アドレス : H'0080 0AE5 > |
| 8ビットA-D1データレジスタ11(AD18DT11) | < アドレス : H'0080 0AE7 > |
| 8ビットA-D1データレジスタ12(AD18DT12) | < アドレス : H'0080 0AE9 > |
| 8ビットA-D1データレジスタ13(AD18DT13) | < アドレス : H'0080 0AEB > |
| 8ビットA-D1データレジスタ14(AD18DT14) | < アドレス : H'0080 0AED > |
| 8ビットA-D1データレジスタ15(AD18DT15) | < アドレス : H'0080 0AEF > |

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------------------------------------|---|----|----|----|----|----|-----|
| AD08DT0-AD08DT15, AD18DT0-AD18DT15 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時:不定>

| b | ビット名 | 機能 | R | W |
|------|--|-------------|---|---|
| 8~15 | AD08DT0-AD08DT15, AD18DT0-AD18DT15 8ビットA-Dデータ | 8ビットA-D変換結果 | R | - |

8ビットA-Dデータレジスタは、単一モードでは、対応するチャンネルのA-D変換の結果が、格納されるレジスタです。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D逐次近似レジスタの内容が、対応するチャンネルの8ビットA-Dデータレジスタに転送されます。

各8ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.3 A-D変換器機能説明

11.3.1 アナログ入力電圧の求め方

A-D変換器は、10ビット逐次近似方式を採用しており、A-D変換の実行結果で得られる値(デジタル値)から実際のアナログ入力電圧を求めるには、以下の計算を行います。

$$\text{アナログ入力電圧 [V]} = \frac{\text{A-D変換結果} \times \text{VREF入力電圧 [V]}}{1024}$$

A-D変換器は10ビット構成であり、分解能は1024となります。A-D変換器の基準電圧は、VREF端子に入力された電圧になるため、VREFには正確かつ安定な定電圧電源を接続してください。またアナログ系の電源、グラウンド(AVCC, AVSS)はデジタル系の電源と分離し、ノイズ対策を十分とってください。

なお、変換の精度については、「11.3.5 A-D変換の精度」を参照してください。

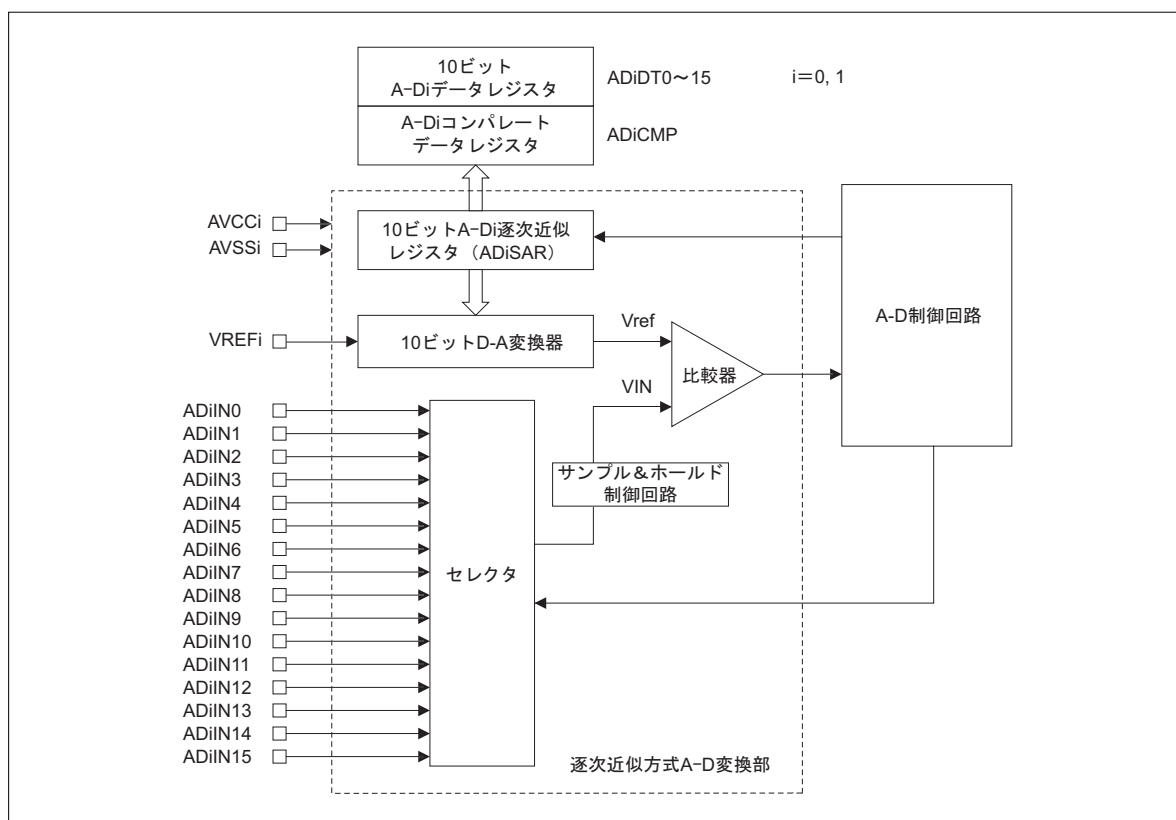


図11.3.1 逐次近似方式A-D変換部概略ブロック図

11.3.2 逐次近似比較方式のA-D変換

A-D変換器は、A-D変換開始トリガ(ソフトウェアまたはハードウェア)によりA-D変換動作を開始します。A-D変換開始後は、以下の動作を自動的に実行します。

1. 単一モード時は単一モードレジスタ0のA-D変換/コンパレート終了ビットを、またスキャンモード時はスキャンモードレジスタ0のA-D変換終了ビットを"0"にクリア
2. A-D逐次近似レジスタの内容を"H'0000"にクリア
3. A-D逐次近似レジスタの最上位ビット(b6)を"1"にセット
4. 比較電圧Vref(注1)を、D-Aコンバータから比較器へ入力
5. 比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をD6に格納
 $V_{ref} < V_{IN}$ ならば、b6 = "1"
 $V_{ref} > V_{IN}$ ならば、b6 = "0"
6. 上記(3~5)の動作を、以下b7~b15までの全ビットに対して実行
7. b15の比較終了時A-D逐次近似レジスタに格納されている値をA-D変換結果として確定

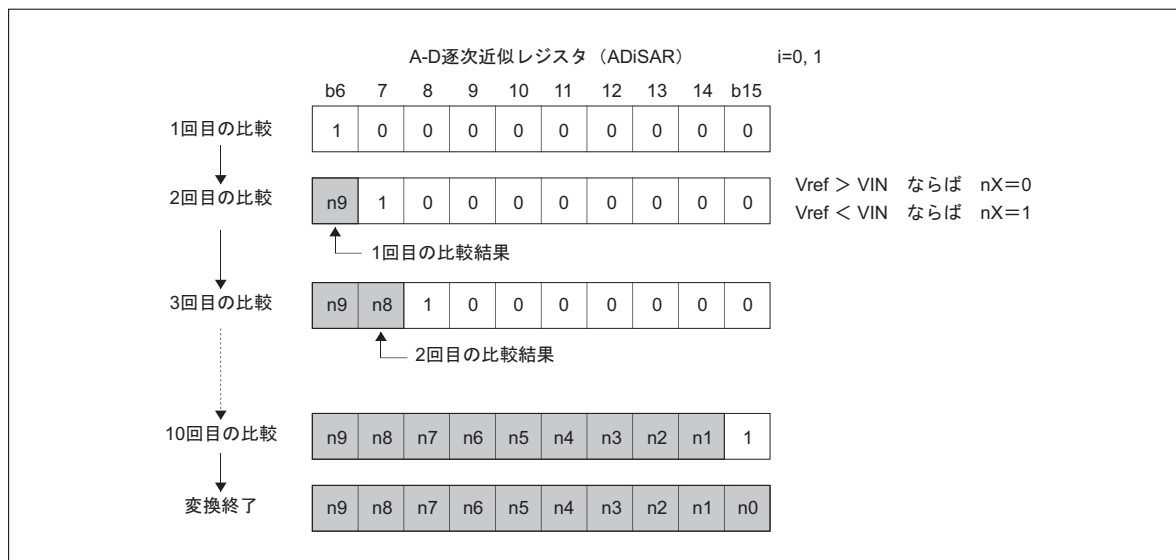


図11.3.2 A-D変換動作中のA-D逐次近似レジスタの変化

注1. 比較電圧Vref(D-Aコンバータから比較器に入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

- A-D逐次近似レジスタの内容 = 0の場合
 $V_{ref}[V] = 0$
- A-D逐次近似レジスタの内容 = 1 ~ 1023の場合
 $V_{ref}[V] = (\text{基準電圧 } V_{REF}/1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$

比較結果は、変換を行ったチャンネルに対応した10ビットA-Dデータレジスタ(AD0DTn, AD1DTn)に格納されます。また、8ビットA-Dデータレジスタ(AD08DTn, AD18DTn)からは、10ビットA-D変換結果の上位8ビットが読み出せます。

各動作モードにおける逐次近似比較方式のA-D変換の手順を以下に示します。

(1) 単一モードの場合

A-D逐次近似レジスタのb15ビットの比較が完了すると変換動作は停止します。A-D逐次近似レジスタの内容(A-D変換結果)は、変換を行った10ビットA-Dデータレジスタ0~15に転送されます。

(2) スキャンワンショットモードの場合

指定したあるチャンネルのA-D逐次近似レジスタでb15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記2.~7.の変換動作を再び実行します。

スキャンワンショットモード時は、指定した1スキャンループのA-D変換が終了すると、変換動作は停止します。

(3) スキャン連続モードの場合

指定したチャンネルのA-D逐次近似レジスタでb15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記2.~7.の変換動作を再び実行します。

スキャン連続モード時は、A-D変換ストップビット(スキャンモードレジスタ0のb6)を"1"にセットし、スキャン動作を強制停止させるまで、連続して変換動作を実行します。

11.3.3 コンパレータ動作

コンパレータモード(単一モードのみ)を選択すると、A-D変換器はソフトウェアによって設定した比較電圧と、アナログ入力電圧を比較するコンパレータとして機能します。

逐次近似レジスタに比較値を書き込むと、単一モードレジスタ1のアナログ入力選択ビットで選択されたアナログ入力電圧と、逐次近似レジスタに書き込んだ値とのコンパレートを開始します。コンパレートが開始すると、以下の動作が自動的に実行されます。

1. 単一モードレジスタ0またはスキャンモードレジスタ0のA-D変換/コンパレート終了フラグを"0"にクリア
2. 比較電圧Vref(注1)を、D-Aコンバータから比較器へ入力
3. 比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をコンパレート結果フラグ(A-Dコンパレートデータレジスタのb15)に格納
 - Vref < VIN ならば、コンパレート結果フラグ="0"
 - Vref > VIN ならば、コンパレート結果フラグ="1"
4. 比較結果を格納後、コンパレート動作を停止

比較結果は、A-Dコンパレートデータレジスタ(AD0CMP, AD1CMP)の対応するビットに格納されます。

注1. 比較電圧Vref(D-Aコンバータから比較器へ入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

- A-D逐次近似レジスタの内容 = 0の場合

$$Vref[V] = 0$$
- A-D逐次近似レジスタの内容 = 1 ~ 1023の場合

$$Vref[V] = (\text{基準電圧 } VREF/1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$$

11.3.4 A-D変換時間算出方法

A-D変換時間はダミーサイクル時間と実際の実行サイクル時間との和で表されます。変換時間の算出に必要な各時間は以下の通りです。

1. 開始ダミー時間

CPUがA-D変換の開始命令を実行した時点から、A-D変換器がA-D変換を開始するまでの時間

2. A-D変換実行サイクル時間

サンプル&ホールド有効時のサンプリング時間は、この実行サイクルに含まれます。

3. コンパレート実行サイクル時間

4. 終了ダミー時間

A-D変換器がA-D変換を終了した時点から、CPUがその変換結果をA-Dデータレジスタから読み出せる(安定読み出し領域)までの時間

5. スキャン間ダミー時間

スキャンワンショット/連続モード時、A-D変換器があるチャンネルのA-D変換を終了した時点から、次のチャンネルのA-D変換を開始するまでの時間

A-D変換時間の計算式は以下のとおりです。

$$\begin{aligned} \text{A-D変換時間} &= \text{開始ダミー時間} + \text{実行サイクル時間} \\ &\quad (+ \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ &\quad + \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ &\quad + \text{スキャン間ダミー時間} \quad + \text{実行サイクル時間}) \\ &\quad + \text{終了ダミー時間} \end{aligned}$$

注．・()内はスキャンモードで、2チャンネル目以降の変換時間を示します。

(1) A-D変換モード時の変換時間算出方法

A-D変換モード時の変換時間算出方法を以下に示します。

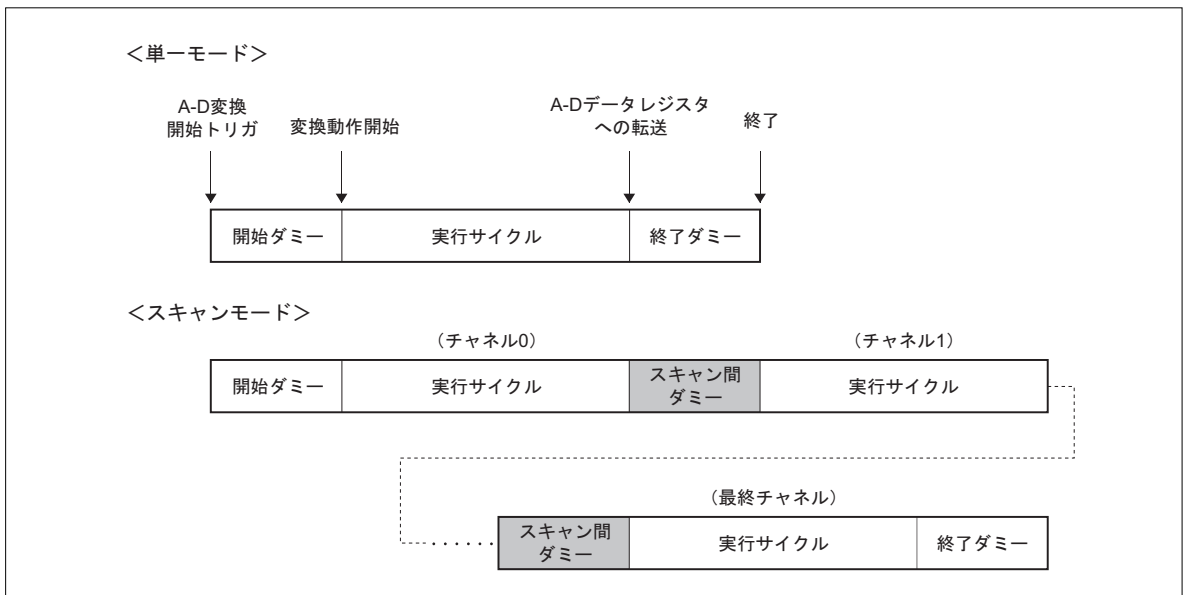


図11.3.3 A-D変換時間概念図

表11.3.1 A-D変換モードの変換クロック数一覧表

単位：BCLK

| 変換速度 | | 開始ダミー(注1) | 実行サイクル | 終了ダミー | スキャン間ダミー(注2) |
|-------|------|-----------|--------|-------|--------------|
| 低速モード | ノーマル | 4 | 294 | 1 | 4 |
| | 倍速 | 4 | 168 | 1 | 4 |
| 高速モード | ノーマル | 4 | 126 | 1 | 4 |
| | 倍速 | 4 | 84 | 1 | 4 |

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一。

注2. スキャン動作時のみ、チャンネルごとの実行時間に加算されず。

(2) サンプル&ホールド有効時の変換時間算出方法

サンプル&ホールド有効時の変換時間算出方法を以下に示します。

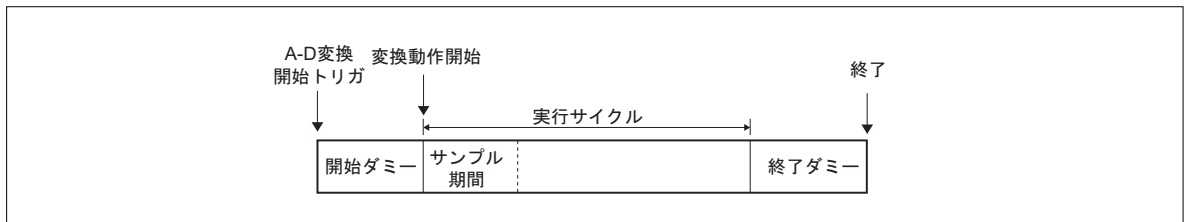


図11.3.4 サンプル&ホールド有効時の時間概念図

表11.3.2 ノーマルサンプル&ホールド時の変換クロック数一覧表

単位：BCLK

| 変換速度 | | 開始ダミー(注1) | 実行サイクル | 終了ダミー | スキャン間ダミー(注2) |
|-------|------|-----------|--------|-------|--------------|
| 低速モード | ノーマル | 4 | 294 | 1 | 4 |
| | 倍速 | 4 | 168 | 1 | 4 |
| 高速モード | ノーマル | 4 | 126 | 1 | 4 |
| | 倍速 | 4 | 84 | 1 | 4 |

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一。

注2. スキャン動作時のみ、チャンネルごとの実行時間に加算されず。

表11.3.3 高速サンプル&ホールド時の変換クロック数一覧表

単位：BCLK

| 変換速度 | | 開始ダミー(注1) | 実行サイクル | 終了ダミー | スキャン間ダミー(注2) |
|-------|------|-----------|--------|-------|--------------|
| 低速モード | ノーマル | 4 | 186 | 1 | 4 |
| | 倍速 | 4 | 96 | 1 | 4 |
| 高速モード | ノーマル | 4 | 90 | 1 | 4 |
| | 倍速 | 4 | 48 | 1 | 4 |

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一。

注2. スキャン動作時のみ、チャンネルごとの実行時間に加算されず。

(3) コンパレートモード時の変換時間算出方法

コンパレートモード時の変換時間算出方法を以下に示します。

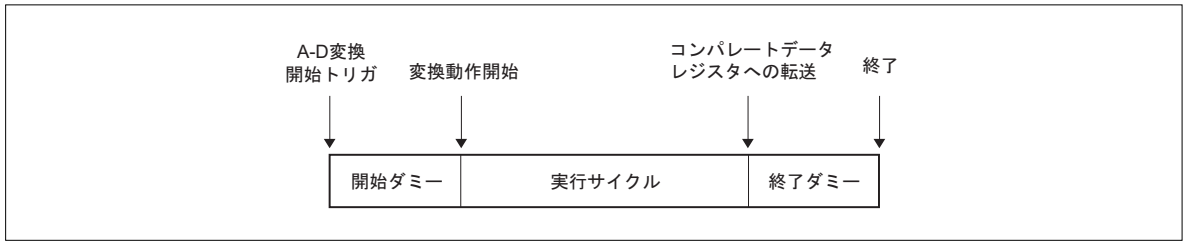


図11.3.5 コンパレートモード時の時間概念図

表11.3.4 コンパレートモードの変換クロック数一覧表

単位：BCLK

| 変換速度 | | 開始ダミー | 実行サイクル | 終了ダミー |
|-------|------|-------|--------|-------|
| 低速モード | ノーマル | 4 | 42 | 1 |
| | 倍速 | 4 | 24 | 1 |
| 高速モード | ノーマル | 4 | 18 | 1 |
| | 倍速 | 4 | 12 | 1 |

(4) A-D変換時間

A-D変換時間を以下に示します。

表11.3.5 A-D変換時間(合計時間)

単位：BCLK

| 変換開始方法 | 変換速度 | 変換モード(注1) | 変換時間 | 高速サンプル&ホールド時 |
|---------------------------------------|-----------|----------------------|---------------------------------------|----------------------|
| ソフトウェアトリガ および ハードウェアトリガ (注2) | 低速 モード | 単一モード | 299 | 191 |
| | | スキャンワンショット /連続モード | n チャンネルスキャン $(298 \times n) + 1$ | $(190 \times n) + 1$ |
| | 倍速 モード | コンパレータモード | 47 | 47 |
| | | 単一モード | 173 | 101 |
| | ノーマル | スキャンワンショット /連続モード | n チャンネルスキャン $(172 \times n) + 1$ | $(100 \times n) + 1$ |
| | | コンパレータモード | 29 | 29 |
| | 高速 モード | 単一モード | 131 | 95 |
| | | スキャンワンショット /連続モード | n チャンネルスキャン $(130 \times n) + 1$ | $(94 \times n) + 1$ |
| 倍速 モード | コンパレータモード | 23 | 23 | |
| | 単一モード | 89 | 53 | |
| | | スキャンワンショット /連続モード | n チャンネルスキャン $(88 \times n) + 1$ | $(52 \times n) + 1$ |
| | | コンパレータモード | 17 | 17 |

注1. 単一モードおよびコンパレータモードは、1チャンネルのA-D変換、コンパレート時間を示します。スキャンワンショット/連続モードは、1スキャンループのA-D変換時間を示します。

注2. レジスタの書き込みサイクルが終了してから、A-D変換終了割り込み要求が発生するまでの時間を示します。またはイベントバスを含むMJTなどのイベントによる起動後、A-D変換終了割り込み要求が発生するまでの時間を示します。

11.3.5 A-D変換精度の定義

A-D変換器の精度は絶対精度で示します。絶対精度とは、アナログ入力電圧をA-D変換して得られる出力コードと、理想的な特性を持つA-D変換器に期待される出力コードの差をLSBを用いて示した精度です。

精度測定時のアナログ入力電圧は、理想的な特性を持つA-D変換器が同一の出力コードを出力する電圧幅の中点の値とします。例えば、 $V_{REF0} = 5.12V$ の場合、10ビットA-D変換器の1LSBの幅は5mVとなり、アナログ入力電圧の中点として0mV, 5mV, 10mV, 15mV, 20mV, 25mV.....が選ばれます。

A-D変換器の絶対精度 = $\pm 2LSB$ とは、例えば入力電圧が25mVの場合、理想的なA-D変換器に期待される出力コードが"H'005"であるのに対して、実際のA-D変換結果は"H'003 ~ H'007"の範囲にあることを示します。なお、絶対精度にはゼロ誤差、フルスケール誤差が含まれます。

実際にA-D変換器を使用するときの、アナログ入力電圧の範囲はAVSS0からVREF0までですが、VREF0の電圧を下げると分解能が悪くなります。また、VREF0からAVCC0までのアナログ入力電圧に対する出力コードは、常に"H'3FF"となります。

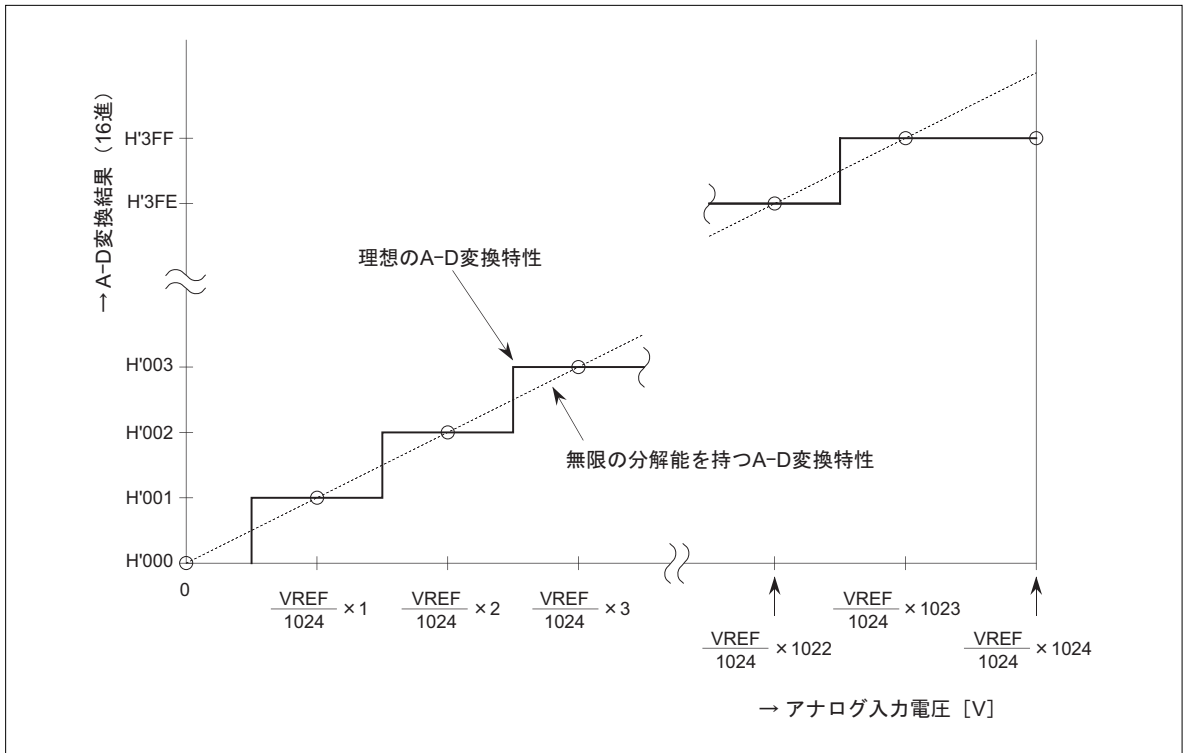


図11.3.6 10ビットA-D変換器のアナログ入力電圧に対する理想的A-D変換特性

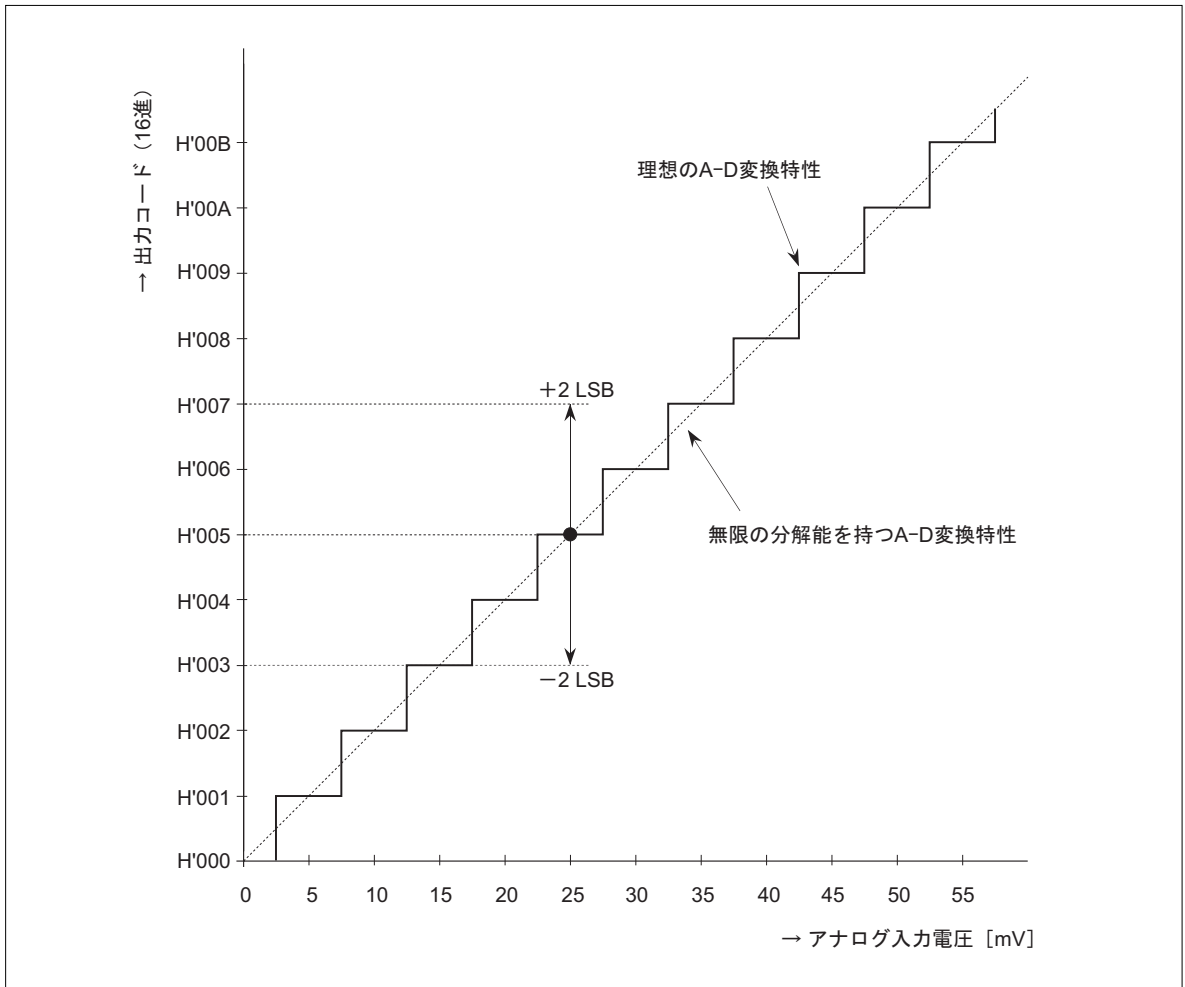


図11.3.7 A-D変換器の絶対精度

11.4 注入電流バイパス回路

A-D変換器は、選択されたアナログ入力をA-D変換中に、非選択のアナログ入力に絶対最大定格を越える過電圧が印可されると、非選択のアナログ入力の選択回路が過電圧により選択されてしまい、選択中のアナログ入力へ回り込みを起し、A-D変換結果の精度異常を起します。

注入電流バイパス回路では、アナログ入力の内部信号を非選択時にGNDレベルへ固定することで、過電圧が印可された場合にGND側へ電流を流し、選択中のアナログ入力への回り込みを防ぎ、A-D変換結果の精度異常を防止します。

この回路は、A-D変換器を使用中は絶えず動作しており、ソフトウェアでの制御は不要です。

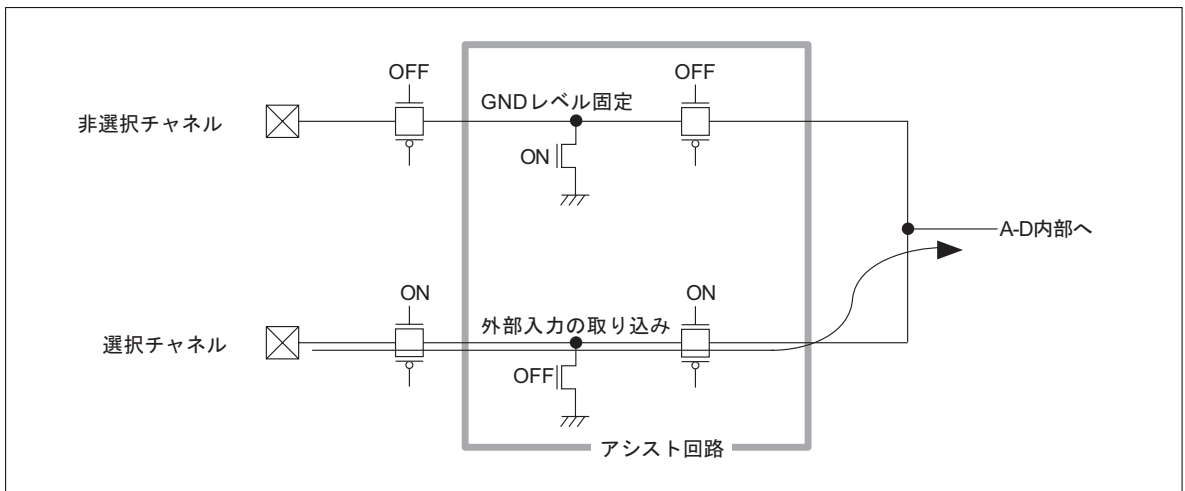


図11.4.1 注入電流バイパス回路構成図

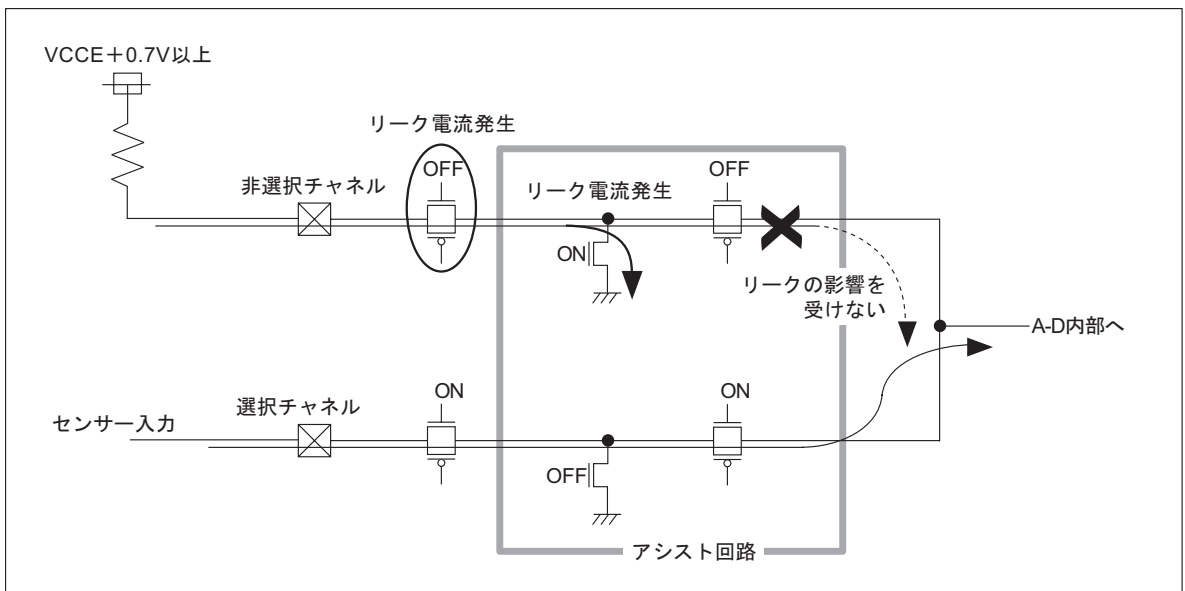


図11.4.2 注入電流バイパス回路へVCCE + 0.7V以上印加例

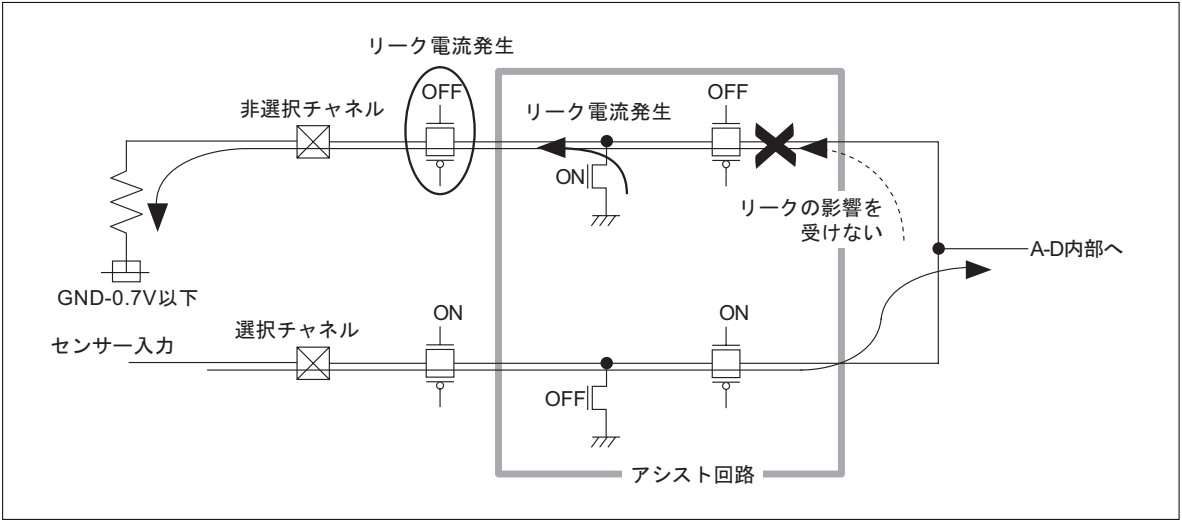


図11.4.3 注入電流バイパス回路へGND - 0.7V以下印加例

表11.4.1 AD0IN0へ電流注入時の精度誤差(実力値)

| | | 過電流注入ポートの精度誤差 (単位: LSB) | | | | | | | | | | | | | | |
|--------------|--------|-------------------------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|
| アナログ入力端子 | AD0IN0 | AD0IN1 | AD0IN2 | AD0IN3 | AD0IN4 | AD0IN5 | AD0IN6 | AD0IN7 | AD0IN8 | AD0IN9 | AD0IN10 | AD0IN11 | AD0IN12 | AD0IN13 | AD0IN14 | AD0IN15 |
| 注入電流 (注1) | 10mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 9mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 8mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 7mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 6mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 5mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 4mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 3mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 2mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -1mA | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -2mA | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -3mA | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -4mA | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -5mA | -2 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | -6mA | -3 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| -7mA | -3 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| -8mA | -3 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| -9mA | -4 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| -10mA | -5 | -1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

注1. 注入電流が1mA以内であれば、精度への影響はありません。

11.5 A-D変換器の注意事項

- スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(AD0CSTP, AD1CSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されません。

- A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

- アナログ入力信号の取り扱い

サンプル&ホールドなしで使用する場合、A-D変換中はアナログ入力レベルを固定してください。

- A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のb5ビット、およびスキャンモードレジスタ0のb5ビット)を読み出す場合は、NOP命令などで2BCLK分タイミング調整してから読み出してください。

- アナログ入力端子に関して

図11.5.1にアナログ入力部の内部等価回路を示します。正確なA-D変換結果を得るには、所定の時間(サンプリング時間)内にA-D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不要な場合についての考え方も示します。

- 絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですので、ボード上の電源配線が安定であることや、ノイズの影響を受けない環境であることが前提です。ボード設計時には、AVCC/AVSS/VREFを他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないよう、レイアウトには十分注意してください。

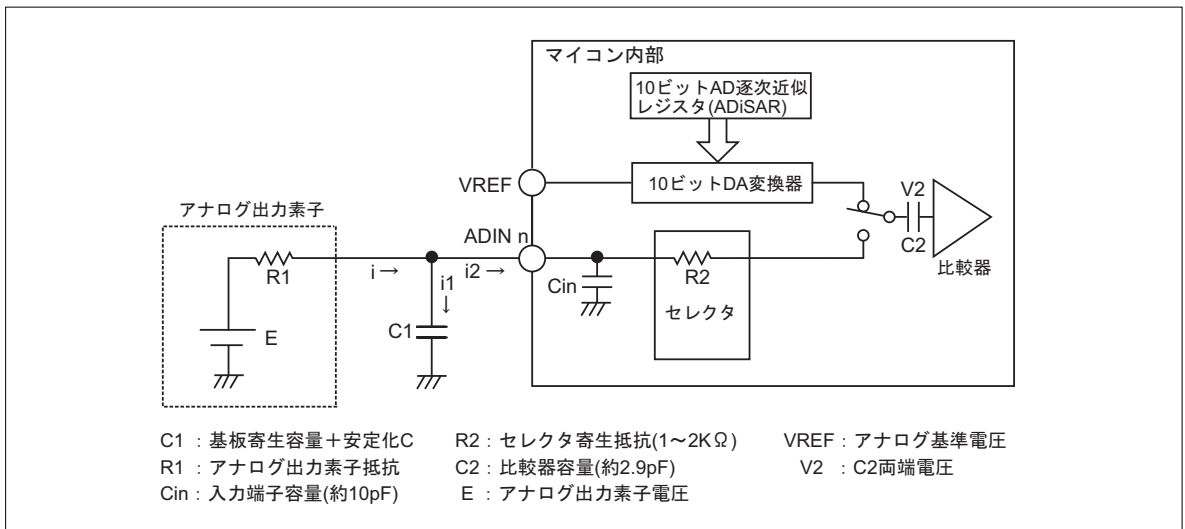


図11.5.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1(付加を推奨)の算出例

図11.5.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VERFを5.12Vとした場合の10ビットA-D変換器では、1LSB判定電圧 = 5.12V/1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \text{ ----- (A-1) 式}$$

また、Vpは以下の式にて求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF}}{10 \times 2^x} \text{ ----- (A-2) 式}$$

注・ Vp1は、A-D変換1回目の電位変動
・ 10ビット分解能A-D変換器ため、xは"10"です。

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \text{ ----- (A-3) 式}$$

$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \text{ ----- (A-4) 式}$$

よって、10ビット分解能 = A-D変換器でC2 = 2.9pFの場合のC1は、0.06 μ F以上となります。C1設定時の参考としてご使用ください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

図11.5.1において、外付けコンデンサC1を使用しない場合、アナログ出力素子が一定時間内にC2を十分に充電できるかを検討する必要があります。まず、図11.5.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i_2 = \frac{C_2(E - V_2)}{C_{in} \times R_1 + C_2(R_1 + R_2)} \times \exp \left\{ \frac{-t}{C_{in} \times R_1 + C_2(R_1 + R_2)} \right\} \text{ ----- (B-1) 式}$$

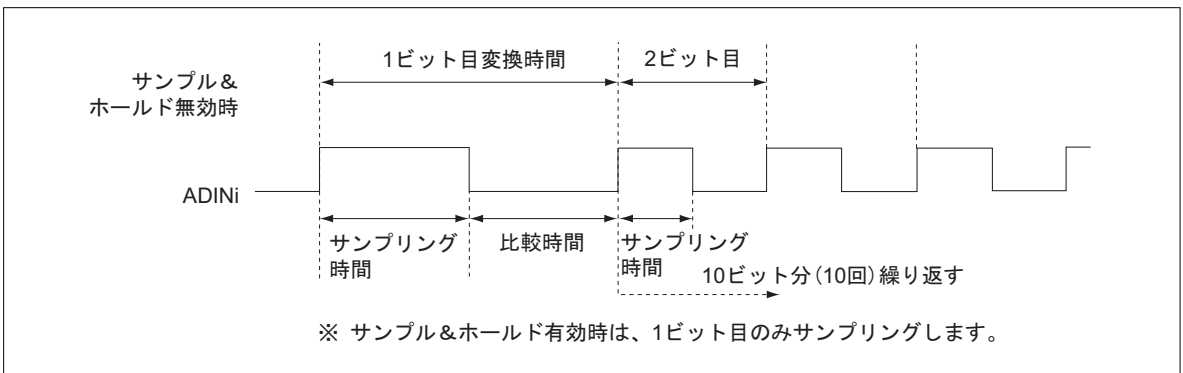


図11.5.2 A-D変換タイミング図

図11.5.2にA-D変換タイミング図を示します。C2への充電に必要な時間は図中のサンプリング時間ですが、サンプル&ホールド無効の場合の2ビット目以降のサンプリング時間は、1ビット目に比べて約半分となります。

各変換スピード毎のサンプリング時間を次ページに示します。なお、サンプル&ホールド有効の場合は1ビット目のサンプリングのみとなります。

表11.5.1 サンプル時間(C2充電必要時間)

| 変換開始方法 | 変換速度 | | 1ビット目サンプリング時間 | 2ビット目以降サンプリング時間 |
|-----------------------------|-------|------|---------------|-----------------|
| 単一モード (サンプル& ホールド無効時) | 低速モード | ノーマル | 27.5BCLK | 13.5BCLK |
| | | 倍速 | 15.5BCLK | 7.5BCLK |
| | 高速モード | ノーマル | 11.5BCLK | 5.5BCLK |
| | | 倍速 | 7.5BCLK | 3.5BCLK |
| 単一モード (サンプル& ホールド有効時) | 低速モード | ノーマル | 27.5BCLK | — |
| | | 倍速 | 15.5BCLK | — |
| | 高速モード | ノーマル | 11.5BCLK | — |
| | | 倍速 | 7.5BCLK | — |
| コンパレータモード | 低速モード | ノーマル | 27.5BCLK | — |
| | | 倍速 | 15.5BCLK | — |
| | 高速モード | ノーマル | 11.5BCLK | — |
| | | 倍速 | 7.5BCLK | — |

よって、C2を充電するために必要な時間は、(B-1)式より

$$\text{サンプリング時間(C2充電必要時間)} > C_{in} \times R1 + C2(R1 + R2) \text{-----}(B-2) \text{式}$$

となり、R1の最大値を求める目安の式は、以下のようになります。

なお、単一モード(サンプル&ホールド無効時)は、2ビット目以降のサンプリング時間(C2充電必要時間)を使用してください。

$$R1 < \frac{C2 \text{充電必要時間} - C2 \times R2}{C_{in} + C2}$$

レイアウトの都合上、このページは白紙です。

第12章

シリアルI/O

- 12.1 シリアルI/O概要
- 12.2 シリアルI/O関連レジスタ
- 12.3 CSIOモード送信動作説明
- 12.4 CSIOモード受信動作説明
- 12.5 CSIOモード時の注意事項
- 12.6 UARTモード送信動作説明
- 12.7 UARTモード受信動作説明
- 12.8 定周期クロック出力機能
- 12.9 UARTモード時の注意事項

12.1 シリアルI/O概要

32180は、SIO0～SIO5の計6チャンネルのシリアルI/Oを内蔵しています。SIO0, SIO1, SIO4, SIO5はCSIOモード(クロック同期形シリアルI/O)と、UARTモード(クロック非同期形シリアルI/O)を選択できます。SIO2およびSIO3はUARTモード専用です。

- CSIOモード(クロック同期形シリアルI/O)

転送クロックに同期して通信を行うモードで、送受信間で同一のクロックを使用します。転送データ長は8ビット固定です。

- UARTモード(クロック非同期形シリアルI/O)

任意の転送速度、転送データフォーマットを設定できるモードです。転送データ長は7ビット、8ビット、9ビットから選択できます。

SIO0～SIO3は、それぞれ送信DMA転送要求と受信DMA転送要求を持っています。内蔵DMACを用いることにより、高速なシリアル通信が可能となり、また、データ通信にともなうCPUの負荷も低減されます。

以下にシリアルI/Oの概要を示します。

表12.1.1 シリアルI/Oの概要

| 項目 | 内容 |
|---------------------------|--|
| チャンネル数 | CSIOモード/UARTモード：4チャンネル(SIO0, SIO1, SIO4, SIO5) UART専用：2チャンネル(SIO2, SIO3) |
| クロック | CSIOモード時：内部クロック/外部クロック選択可(注1) UARTモード時：内部クロック固定 |
| 転送モード | 送信半二重, 受信半二重, 送受信全二重 |
| BRGカウントソース (内部クロック選択時) | $f(\text{BCLK})$, $f(\text{BCLK})/8$, $f(\text{BCLK})/32$, $f(\text{BCLK})/256$ (注2) $f(\text{BCLK})$: 周辺クロック動作周波数 |
| データフォーマット | CSIOモード：データ長=8ビット固定 転送順序=LSBファースト固定 UARTモード：スタートビット=1ビット キャラクタ長=7ビット/8ビット/9ビット パリティビット=あり(奇数、偶数)なし ストップビット=1ビット/2ビット 転送順序=LSBファースト固定 |
| ボーレート | CSIOモード：152ビット/秒～2Mビット/秒 ($f(\text{BCLK})=20\text{MHz}$ 動作時) UARTモード：19ビット/秒～156Kビット/秒 ($f(\text{BCLK})=20\text{MHz}$ 動作時) |
| エラー検出 | CSIOモード：オバランエラーのみ UARTモード：オバランエラー, パリティエラー, フレミングエラー (いずれかのエラーが発生したことはエラーサムビットで表示) |
| 定周期クロック出力機能 | SIO0, SIO1, SIO4, SIO5をUARTとして用いる場合、SCLK端子からBRGの2分周クロックを出力させる機能 |

注1. CSIOモード時の外部クロックの最大入力周波数は $f(\text{BCLK})$ の16分周です。

注2. BRGカウントソースとして $f(\text{BCLK})$ を選択した場合、BRG設定値に制限があります。

表12.1.2 シリアルI/Oの割り込み要求発生機能

| シリアルI/Oの割り込み要求元 | ICU割り込み要求要因 |
|--------------------------|--------------------------|
| SIO0の送信バッファエンプティ、または送信完了 | SIO0送信割り込み |
| SIO0の受信完了、または受信エラー | SIO0受信割り込み |
| SIO1の送信バッファエンプティ、または送信完了 | SIO1送信割り込み |
| SIO1の受信完了、または受信エラー | SIO1受信割り込み |
| SIO2の送信バッファエンプティ、または送信完了 | SIO2, 3送受信割り込み(グループ割り込み) |
| SIO2の受信完了、または受信エラー | SIO2, 3送受信割り込み(グループ割り込み) |
| SIO3の送信バッファエンプティ、または送信完了 | SIO2, 3送受信割り込み(グループ割り込み) |
| SIO3の受信完了、または受信エラー | SIO2, 3送受信割り込み(グループ割り込み) |
| SIO4の送信バッファエンプティ、または送信完了 | SIO4, 5送受信割り込み(グループ割り込み) |
| SIO4の受信完了、または受信エラー | SIO4, 5送受信割り込み(グループ割り込み) |
| SIO5の送信バッファエンプティ、または送信完了 | SIO4, 5送受信割り込み(グループ割り込み) |
| SIO5の受信完了、または受信エラー | SIO4, 5送受信割り込み(グループ割り込み) |

注 . . . 送信完了割り込みはUARTモード、またはCSIOモードで内部クロック選択時に有効です。

表12.1.3 シリアルI/OのDMA転送要求発生機能

| シリアルI/OのDMA転送要求 | DMAC入力チャネル |
|-----------------|------------|
| SIO0送信バッファエンプティ | DMA3, DMA4 |
| SIO0受信完了 | DMA4 |
| SIO1送信バッファエンプティ | DMA6 |
| SIO1受信完了 | DMA6, DMA3 |
| SIO2送信バッファエンプティ | DMA7 |
| SIO2受信完了 | DMA5 |
| SIO3送信バッファエンプティ | DMA7, DMA9 |
| SIO3受信完了 | DMA8 |

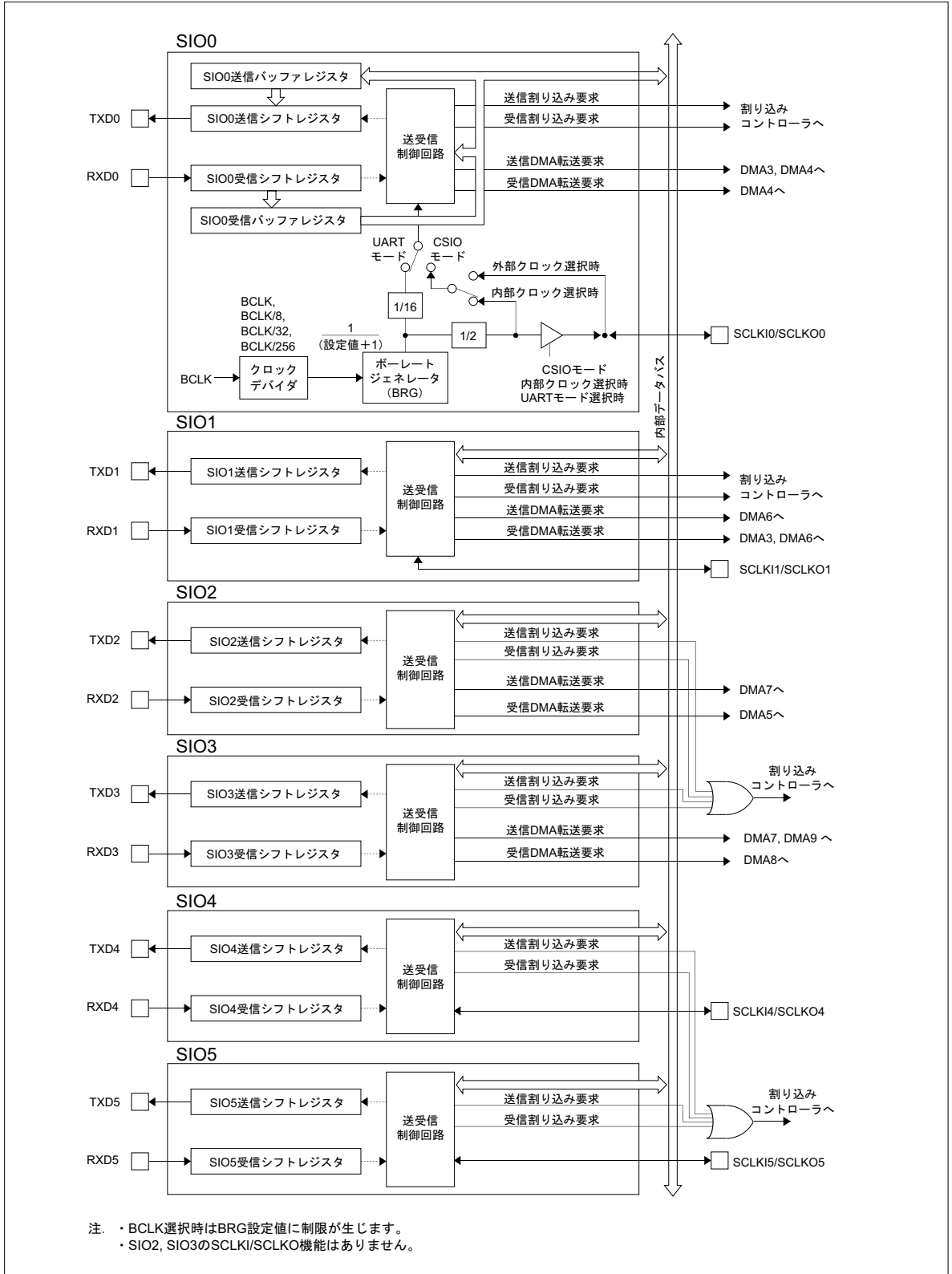


図12.1.1 SIO0～SIO5のブロック図

12.2 シリアルI/O関連レジスタ

シリアルI/O関連のレジスタマップを以下に示します。

シリアルI/O関連レジスタマップ

| 番地 | b0 | +0番地 | b7 | b8 | +1番地 | b15 | 掲載 ページ |
|-------------|------------------------------------|------|----|-------------------------------|------|-----|----------------|
| H'0080 0100 | SIO23割り込み要求ステータスレジスタ (S123STAT) | | | SIO03割り込み要求許可レジスタ (S103EN) | | | 12-9 12-10 |
| H'0080 0102 | SIO03割り込み要因選択レジスタ (S103SEL) | | | (使用禁止領域) | | | 12-11 |
| | (使用禁止領域) | | | | | | |
| H'0080 0110 | SIO0送信制御レジスタ (S0TCNT) | | | SIO0送受信モードレジスタ (S0MOD) | | | 12-14 12-15 |
| H'0080 0112 | SIO0送信バッファレジスタ (S0TXB) | | | | | | 12-18 |
| H'0080 0114 | SIO0受信バッファレジスタ (S0RXB) | | | | | | 12-19 |
| H'0080 0116 | SIO0受信制御レジスタ (S0RCNT) | | | SIO0ボーレートレジスタ (S0BAUR) | | | 12-20 12-23 |
| | (使用禁止領域) | | | | | | |
| H'0080 0120 | SIO1送信制御レジスタ (S1TCNT) | | | SIO1送受信モードレジスタ (S1MOD) | | | 12-14 12-15 |
| H'0080 0122 | SIO1送信バッファレジスタ (S1TXB) | | | | | | 12-18 |
| H'0080 0124 | SIO1受信バッファレジスタ (S1RXB) | | | | | | 12-19 |
| H'0080 0126 | SIO1受信制御レジスタ (S1RCNT) | | | SIO1ボーレートレジスタ (S1BAUR) | | | 12-20 12-23 |
| | (使用禁止領域) | | | | | | |
| H'0080 0130 | SIO2送信制御レジスタ (S2TCNT) | | | SIO2送受信モードレジスタ (S2MOD) | | | 12-14 12-15 |
| H'0080 0132 | SIO2送信バッファレジスタ (S2TXB) | | | | | | 12-18 |
| H'0080 0134 | SIO2受信バッファレジスタ (S2RXB) | | | | | | 12-19 |
| H'0080 0136 | SIO2受信制御レジスタ (S2RCNT) | | | SIO2ボーレートレジスタ (S2BAUR) | | | 12-20 12-23 |
| | (使用禁止領域) | | | | | | |
| H'0080 0140 | SIO3送信制御レジスタ (S3TCNT) | | | SIO3送受信モードレジスタ (S3MOD) | | | 12-14 12-15 |
| H'0080 0142 | SIO3送信バッファレジスタ (S3TXB) | | | | | | 12-18 |
| H'0080 0144 | SIO3受信バッファレジスタ (S3RXB) | | | | | | 12-19 |
| H'0080 0146 | SIO3受信制御レジスタ (S3RCNT) | | | SIO3ボーレートレジスタ (S3BAUR) | | | 12-20 12-23 |
| | (使用禁止領域) | | | | | | |
| H'0080 0A00 | SIO45割り込み要求ステータスレジスタ (S145STAT) | | | SIO45割り込み要求許可レジスタ (S145EN) | | | 12-9 12-10 |
| H'0080 0A02 | SIO45割り込み要因選択レジスタ (S145SEL) | | | (使用禁止領域) | | | 12-11 |
| | (使用禁止領域) | | | | | | |
| H'0080 0A10 | SIO4送信制御レジスタ (S4TCNT) | | | SIO4送受信モードレジスタ (S4MOD) | | | 12-14 12-15 |
| H'0080 0A12 | SIO4送信バッファレジスタ (S4TXB) | | | | | | 12-18 |
| H'0080 0A14 | SIO4受信バッファレジスタ (S4RXB) | | | | | | 12-19 |
| H'0080 0A16 | SIO4受信制御レジスタ (S4RCNT) | | | SIO4ボーレートレジスタ (S4BAUR) | | | 12-20 12-23 |
| | (使用禁止領域) | | | | | | |
| H'0080 0A20 | SIO5送信制御レジスタ (S5TCNT) | | | SIO5送受信モードレジスタ (S5MOD) | | | 12-14 12-15 |
| H'0080 0A22 | SIO5送信バッファレジスタ (S5TXB) | | | | | | 12-18 |
| H'0080 0A24 | SIO5受信バッファレジスタ (S5RXB) | | | | | | 12-19 |
| H'0080 0A26 | SIO5受信制御レジスタ (S5RCNT) | | | SIO5ボーレートレジスタ (S5BAUR) | | | 12-20 12-23 |

12.2.1 SIO割り込み関連レジスタ

SIO割り込み関連レジスタは、SIOから割り込みコントローラに出力する割り込み要求信号の制御や、割り込み要求要因を選択するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求許可ビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求許可ビット

グルーピングされた割り込み要求の内、不要な割り込みを禁止にするためのフラグです。割り込み要求許可時には"1"、割り込み要求禁止時には"0"を設定します。

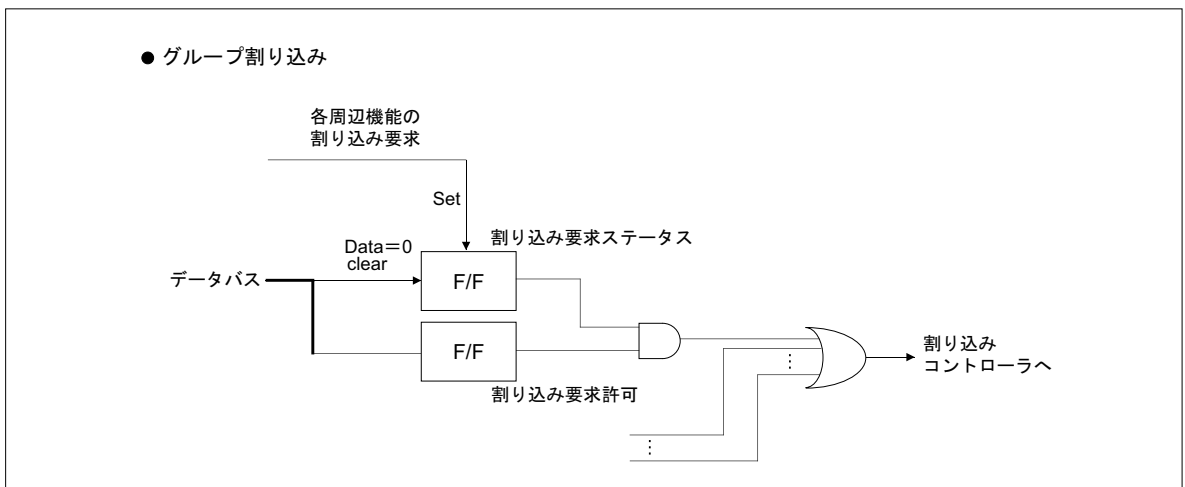
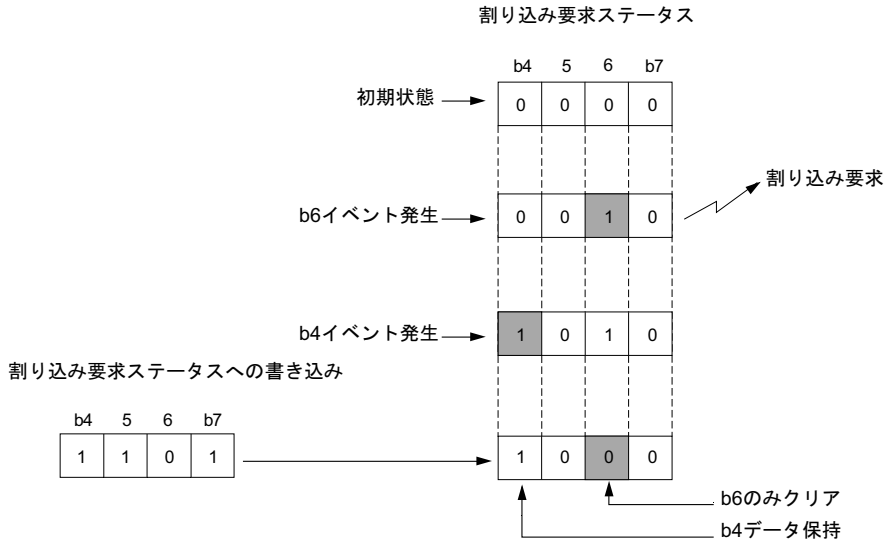


図12.2.1 割り込み要求ステータスレジスタと許可レジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



```
ISTREG = 0xfd; /*ISTAT1 (0x02ビット)のみクリア*/
```

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



```
ISTREG &= 0xfd; /*ISTAT1 (0x02ビット)のみクリア*/
```

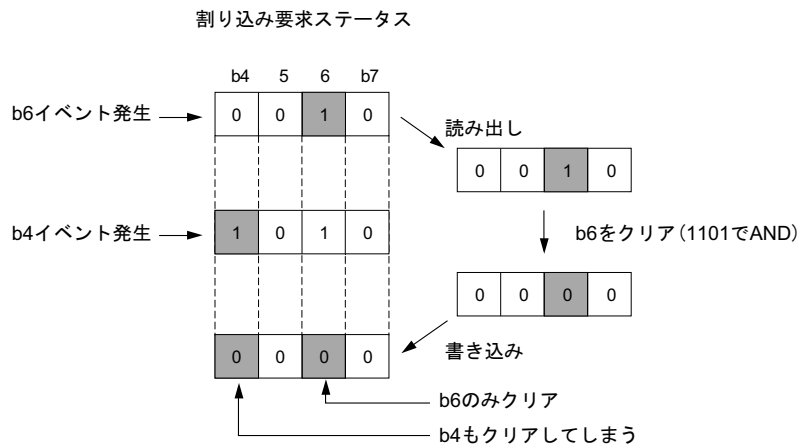


図12.2.2 割り込み要求ステータスクリア例

(3) 割り込み要求要因の選択

各SIOからICU(割り込みコントローラ)へ出力される割り込み要求信号には、送信割り込みと、受信割り込みとがあります。それぞれの割り込みは、割り込み要因選択レジスタ(SI03SEL, SI45SEL)によって、送信バッファエンプティ割り込みと送信完了割り込みから、受信完了割り込みと受信エラー割り込みから選択できます。

- 注
- ・割り込み要求信号は、対応するSIOのTEN(送信許可)ビット、またはREN(受信許可)ビットを許可にし、SIO割り込み要求許可レジスタで許可することによってはじめて発生します。
 - ・SIO2とSIO3、SIO4とSIO5は、それぞれ2本でグループ割り込み一つとなっています。
 - ・送信完了割り込みはUARTモード、またはCSIOモードで内部クロック選択時に有効です。

(4) 送信割り込みに関する注意

SIO 割り込み要求許可レジスタが割り込み要求許可状態では、対応するTEN(送信許可)ビットを許可にすると、送信割り込み要求が発生します。

(5) SIOのDMA転送要求について

各SIOは送信DMA転送要求と受信完了DMA転送要求を発生することができます。DMA転送要求は各SIOの対応するTEN(送信許可)ビット、もしくはREN(受信許可)ビットを許可することで発生可能となります。DMA転送を用いて通信を行う場合は、TENビット、RENビットを許可にする前にDMACの設定を行ってください。

受信エラーが発生した場合、受信完了DMA転送要求は発生しません。

- 送信 DMA 転送要求

送信バッファエンプティで、TENビットが許可の場合に発生します。

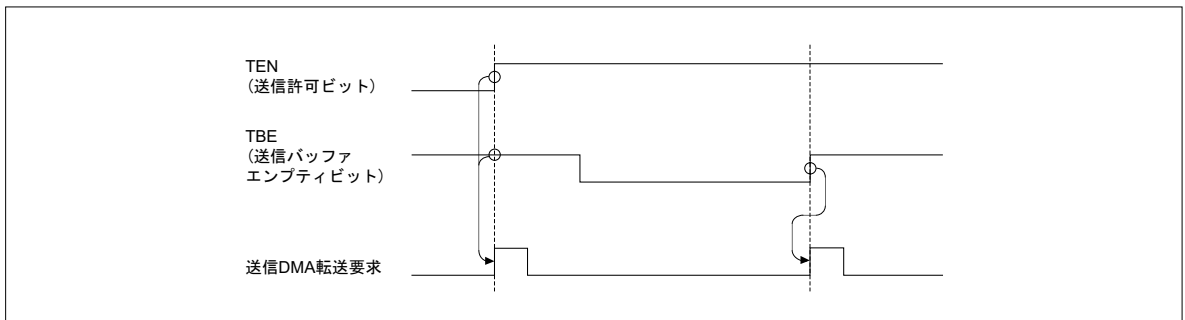


図12.2.3 送信DMA転送要求

- 受信完了 DMA 転送要求

受信バッファフルになった時にDMA転送要求を発生します。

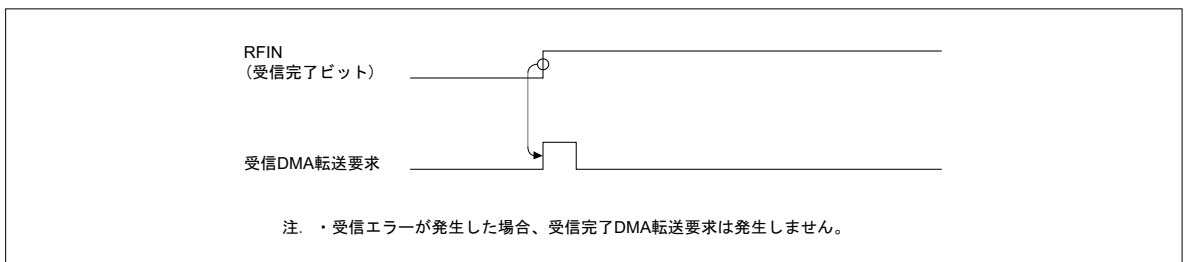


図12.2.4 受信完了DMA転送要求

SIO23割り込み要求ステータスレジスタ(SI23STAT)

<アドレス: H'0080 0100>

| | | | | | | | |
|----|---|---|---|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | IRQT2 | IRQR2 | IRQT3 | IRQR3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|----------------------------|--------|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | IRQT2 SIO2送信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 5 | IRQR2 SIO2受信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 6 | IRQT3 SIO3送信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 7 | IRQR3 SIO3受信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO45割り込み要求ステータスレジスタ(SI45STAT)

<アドレス: H'0080 0A00>

| | | | | | | | |
|-------|-------|-------|-------|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| IRQT4 | IRQR4 | IRQT5 | IRQR5 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|----------------------------|--------|---|
| 0 | IRQT4 SIO4送信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 1 | IRQR4 SIO4受信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 2 | IRQT5 SIO5送信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 3 | IRQR5 SIO5受信割り込み要求ステータスビット | 0: 割り込み要求なし 1: 割り込み要求あり | R (注1) | |
| 4~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

各SIOからの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ・ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO03割り込み要求許可レジスタ(SI03EN)

<アドレス : H'0080 0101 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|
| T0EN | R0EN | T1EN | R1EN | T2EN | R2EN | T3EN | R3EN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|---------------------------|-----------------------------------|---|---|
| 8 | T0EN SIO0送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 9 | R0EN SIO0受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 10 | T1EN SIO1送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 11 | R1EN SIO1受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 12 | T2EN SIO2送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 13 | R2EN SIO2受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 14 | T3EN SIO3送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 15 | R3EN SIO3受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |

SIO45割り込み要求許可レジスタ(SI45EN)

<アドレス : H'0080 0A01 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|----|----|----|-----|
| T4EN | R4EN | T5EN | R5EN | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|---------------------------|-----------------------------------|---|---|
| 8 | T4EN SIO4送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 9 | R4EN SIO4受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 10 | T5EN SIO5送信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 11 | R5EN SIO5受信割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 12 ~ 15 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

各SIOから出された割り込み要求の許可/禁止を制御するレジスタです。割り込み要求許可ビットに"1"をセットすると、対応するSIOからの割り込み要求が許可されます。

SIO03割り込み要求要因選択レジスタ(SI03SEL)

<アドレス : H'0080 0102 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|------|------|------|------|------|------|------|------|
| IST0 | IST1 | IST2 | IST3 | ISR0 | ISR1 | ISR2 | ISR3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-----------------------------|---------------------------------------|---|---|
| 0 | IST0 SIO0送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 1 | IST1 SIO1送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 2 | IST2 SIO2送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 3 | IST3 SIO3送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 4 | ISR0 SIO0受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |
| 5 | ISR1 SIO1受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |
| 6 | ISR2 SIO2受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |
| 7 | ISR3 SIO3受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |

SIO45割り込み要求要因選択レジスタ(SI45SEL)

<アドレス : H'0080 0A02 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|------|------|---|---|------|------|---|----|
| IST4 | IST5 | | | ISR4 | ISR5 | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|-----------------------------|---------------------------------------|---|---|
| 0 | IST4 SIO4送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 1 | IST5 SIO5送信割り込み要求要因選択ビット | 0 : 送信バッファエンプティイー割り込み 1 : 送信完了割り込み | R | W |
| 2, 3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | ISR4 SIO4受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |
| 5 | ISR5 SIO5受信割り込み要求要因選択ビット | 0 : 受信完了割り込み 1 : 受信エラー割り込み | R | W |
| 6, 7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

送信/受信動作完了時の割り込み要求要因を選択します。

(1) SIO_n 送信割り込み要求要因選択ビット

["0"にセットした場合]

送信バッファエンプティ割り込みが選択されます。送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込み要求が発生します。また、TEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込み要求が発生します。

["1"にセットした場合]

送信完了(送信シフトバッファエンプティ)割り込みが選択されます。送信シフトレジスタのデータ転送が完了したときに、送信完了割り込み要求が発生します。

注 . . CSIOモードで外部クロック選択時は、送信完了割り込みを選択しないでください。

(2) SIO_n 受信割り込み要求要因選択ビット

["0"にセットした場合]

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込み要求は、受信エラー発生時でも発生します(オーバランエラーを除く)。

["1"にセットした場合]

受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

- CSIOモード : オーバランエラー
- UARTモード : オーバランエラー、パリティエラー、フレーミングエラー

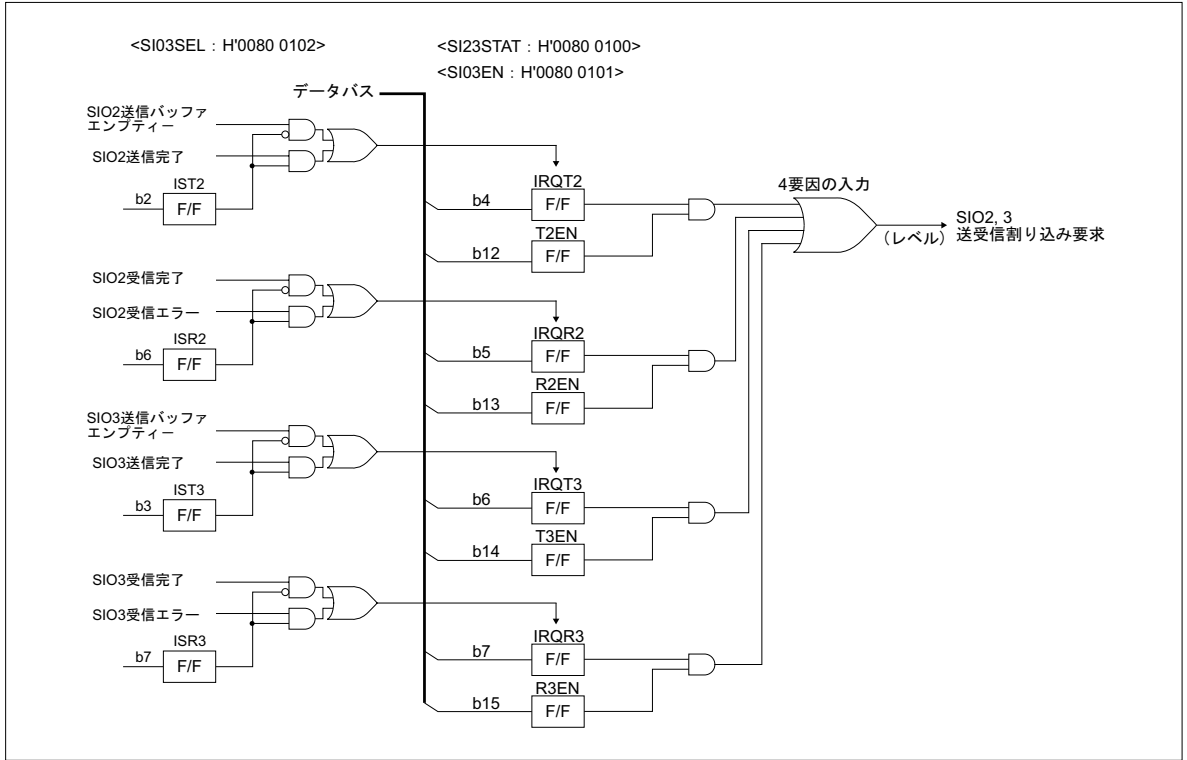


図12.2.5 SIO2,3送信割り込み要求ブロック図

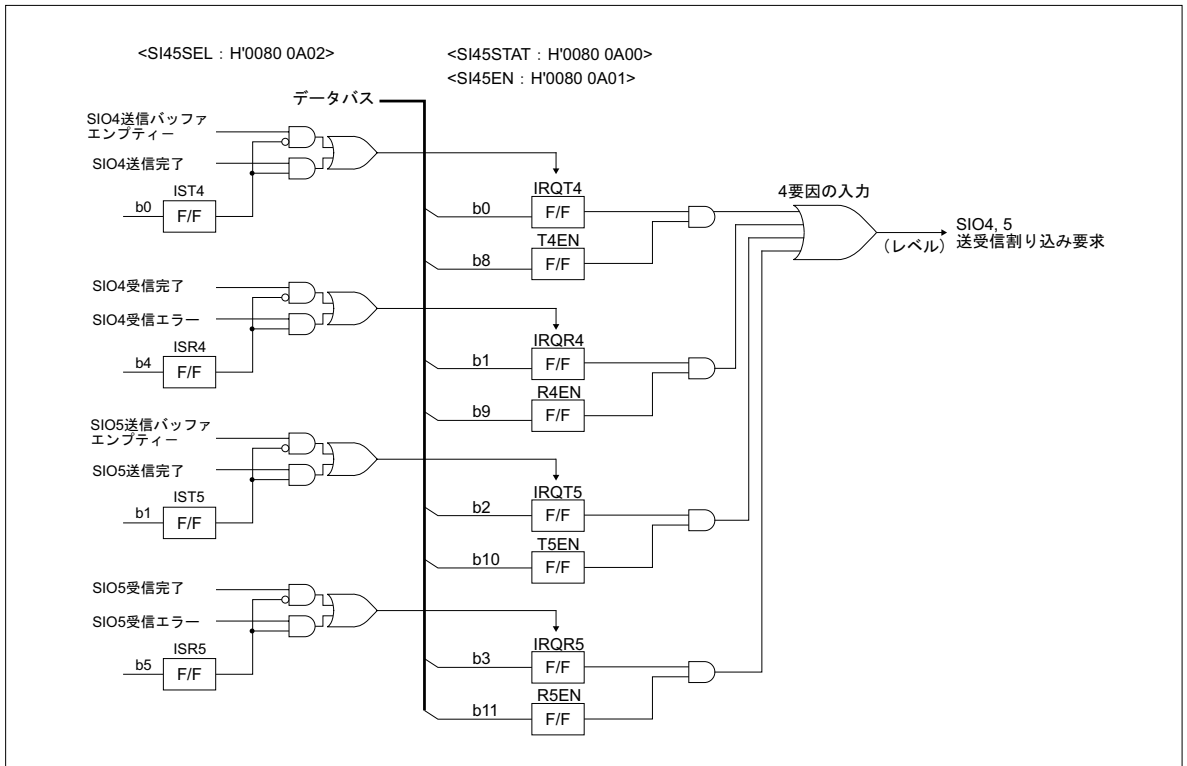


図12.2.6 SIO4,5送信割り込み要求ブロック図

12.2.2 SIO送信制御レジスタ

| | |
|----------------------|---------------------|
| SIO0送信制御レジスタ(S0TCNT) | <アドレス: H'0080 0110> |
| SIO1送信制御レジスタ(S1TCNT) | <アドレス: H'0080 0120> |
| SIO2送信制御レジスタ(S2TCNT) | <アドレス: H'0080 0130> |
| SIO3送信制御レジスタ(S3TCNT) | <アドレス: H'0080 0140> |
| SIO4送信制御レジスタ(S4TCNT) | <アドレス: H'0080 0A10> |
| SIO5送信制御レジスタ(S5TCNT) | <アドレス: H'0080 0A20> |

| | | | | | | | |
|----|---|------|---|---|-------|-----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | CDIV | | 0 | TSTAT | TBE | TEN |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |

<リセット解除時: H'12>

| b | ビット名 | 機能 | R | W |
|------|---------------------------|--|---|---|
| 0, 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2, 3 | CDIV BRGカウントソース選択ビット | b2 b3 0 0: (BCLK)を選択 0 1: (BCLK)の8分周を選択 1 0: (BCLK)の32分周を選択 1 1: (BCLK)の256分周を選択 | R | W |
| 4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | TSTAT 送信ステータスビット | 0: 送信停止 & 送信バッファレジスタ内にデータなし 1: 送信中or送信バッファレジスタ内にデータあり | R | - |
| 6 | TBE 送信バッファ エンプティビット | 0: 送信バッファレジスタ内にデータあり 1: 送信バッファレジスタ内にデータなし | R | - |
| 7 | TEN 送信許可ビット | 0: 送信禁止 1: 送信許可 | R | W |

(1) CDIV (ポーレートジェネレータカウントソース選択) ビット (b2, b3)

ポーレートジェネレータ(BRG)のカウントソースを選択するビットです。

注・BRGのカウントソースとして(BCLK)を選択した場合、ポーレートが最大転送速度を上回ることがないようにBRGを設定する必要があります。詳細は、BRGレジスタの項を参照してください。

(2) TSTAT (送信ステータス) ビット (b5)

[セット条件]

送信許可状態の時に送信バッファレジスタへ書き込むと"1"がセットされます。

[クリア条件]

送信停止(送信シフトレジスタにデータがない)、かつ送信バッファレジスタにデータが存在しない場合、"0"にクリアされます。また、送信許可ビットのクリアによってもクリアされます。

(3) TBE (送信バッファエンプティ) ビット (b6)

[セット条件]

送信バッファレジスタから送信シフトレジスタにデータが転送され、送信バッファレジスタが空になると"1"にセットされます。また、送信許可ビットを"0"にクリアするとセットされます。

[クリア条件]

送信許可の状態(TENが"1"にセット)で送信バッファレジスタの下位バイトにデータを書き込むと"0"にクリアされます。

(4) TEN (送信許可) ビット (b7)

このビットを"1"にセットすると送信許可状態になり、"0"にクリアすると送信禁止となります。データ送信中に"0"にクリアした場合、送信動作は停止します。

12.2.3 SIO送受信モードレジスタ

| | |
|-----------------------|----------------------|
| SIO0送受信モードレジスタ(S0MOD) | <アドレス: H'0080 0111 > |
| SIO1送受信モードレジスタ(S1MOD) | <アドレス: H'0080 0121 > |
| SIO2送受信モードレジスタ(S2MOD) | <アドレス: H'0080 0131 > |
| SIO3送受信モードレジスタ(S3MOD) | <アドレス: H'0080 0141 > |
| SIO4送受信モードレジスタ(S4MOD) | <アドレス: H'0080 0A11 > |
| SIO5送受信モードレジスタ(S5MOD) | <アドレス: H'0080 0A21 > |

| | | | | | | | |
|------|---|----|-----|-----|------|-----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| SMOD | | | CKS | STB | PSEL | PEN | SEN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: 00 >

| b | ビット名 | 機能 | R | W |
|------|---------------------------------|--|---|-----------|
| 8~10 | SMOD シリアルI/Oモード選択ビット (注1) | b8 b9 b10 0 0 0 : 7ビットUART 0 0 1 : 8ビットUART 0 1 X : 9ビットUART 1 X X : 8ビットクロック同期シリアルI/O | R | W |
| 11 | CKS 内部/外部クロック 選択ビット | 0: 内部クロック 1: 外部クロック | R | W (注2) |
| 12 | STB ストップビット長選択ビット、UARTモード専用 | 0: 1ストップビット 1: 2ストップビット | R | W (注3) |
| 13 | PSEL パリティ奇/偶選択ビット、UARTモード専用 | 0: 奇数パリティ 1: 偶数パリティ | R | W (注3) |
| 14 | PEN パリティ許可ビット、UARTモード専用 | 0: パリティ禁止 1: パリティ許可 | R | W (注3) |
| 15 | SEN スリープ選択ビット、UARTモード専用 | 0: スリープ機能無効 1: スリープ機能有効 | R | W (注3) |

注1. SIO2, 3では、b8ビットはハードウェア的に"0"固定です。b8ビットに"1"を設定(クロック同期シリアルI/Oを選択)することはできません。

注2. UARTモード選択時は無効となります。

注3. クロック同期モード時、b12~b15は無効となります。

SIOモードレジスタは、シリアルI/Oの動作モード、デ - タフォ - マットおよび通信時に使用する機能を設定するビットで構成されています。

SIO送受信モードレジスタは、必ずシリアルI/Oの動作開始前に設定を行ってください。送受信開始後に設定を変更する場合は、送信および受信動作の完了を確認し、送受信動作を禁止(SIO送信制御レジスタの送信許可ビットおよびSIO受信制御レジスタの受信許可ビットを"0"にクリア)したのち設定してください。

(1) SMOD (シリアルI/Oモード選択) ビット (b8 ~ b10)

シリアルI/Oモード選択ビットは、シリアルI/Oの動作モードを選択するビットです。

(2) CKS (内部/外部クロック選択) ビット (b11)

CSIOモード選択時に有効なビットです。UARTモード選択時は、このビットの設定は無効となり、内部クロックで動作します。

(3) STB (ストップビット長選択) ビット (b12)

UARTモード時に有効なビットです。送信するデータの終わりを示すストップビット長を、このビットで選択します。このビットが"0"のとき1ストップビット、"1"のとき2ストップビットです。

クロック同期モード時、このビットの内容は無効となります。

(4) PSEL (パリティ奇/偶選択) ビット (b13)

UARTモード時に有効なビットです。パリティを許可(b14="1")した場合、このビットでパリティの属性(奇数/偶数)を選択します。このビットが"0"のとき奇数パリティ、"1"のとき偶数パリティです。

パリティを禁止(b14="0")した場合、およびクロック同期形モード時はこのビットの内容は無効になります。

(5) PEN (パリティ許可) ビット (b14)

UARTモード時に有効なビットです。このビットを"1"にしたとき、送信データのデータビットの直後にパリティビットを付加します。受信データに対しては、パリティチェックを行います。

送信データに付加されるパリティビットは、データビットの"1"の個数とパリティビットの内容を加算した結果の属性(奇数/偶数)が、パリティ奇/偶選択ビット(b13)で選択した属性と一致するように、自動的に"0"または"1"に決定されます。

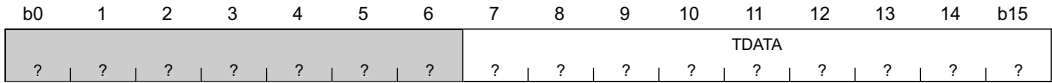
図12.2.7にパリティ許可時のデータフォーマット例を示します。

(6) SEN (スリープ選択) ビット (b15)

UARTモード時に有効なビットです。このビットを"1"にしてスリープ機能を有効にした場合、受信データの最上位ビット(MSB)の内容が"1"の場合だけ、UART受信バッファレジスタへデータを取り込みます。

12.2.4 SIO送信バッファレジスタ

| | |
|-----------------------|---------------------|
| SIO0送信バッファレジスタ(S0TXB) | <アドレス: H'0080 0112> |
| SIO1送信バッファレジスタ(S1TXB) | <アドレス: H'0080 0122> |
| SIO2送信バッファレジスタ(S2TXB) | <アドレス: H'0080 0132> |
| SIO3送信バッファレジスタ(S3TXB) | <アドレス: H'0080 0142> |
| SIO4送信バッファレジスタ(S4TXB) | <アドレス: H'0080 0A12> |
| SIO5送信バッファレジスタ(S5TXB) | <アドレス: H'0080 0A22> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|----------------|---------------------------|---|---|
| 0~6 | | 何も配置されていません。"0"に固定してください。 | ? | 0 |
| 7~15 | TDATA 送信データ | 送信データを設定します。 | ? | W |

SIO送信バッファレジスタは、送信データを設定するレジスタです。このレジスタは書き込み専用レジスタで、このレジスタの内容を読み出すことはできません。データはLSB側につめて設定し、7ビットデータ(UARTモードのみ 時はb9~b15に、8ビットデータ時はb8~b15に、9ビットデータ(UARTモードのみ 時はb7~b15に送信データを書きます。

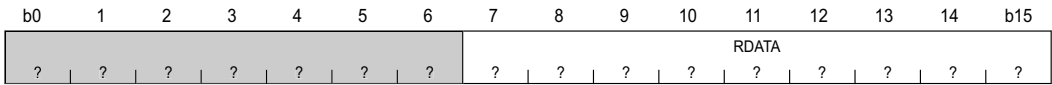
送信データの設定は、送信制御レジスタのTEN(送信許可)ビットを許可("1"にセット)してから行ってください。TENビットが不許可("0"にクリア)の状態での書き込みは無効です。

送信許可の状態で送信バッファレジスタにデータが書き込まれると、SIO送信バッファレジスタのデータはSIO送信シフトレジスタに転送され、送信が開始されます。

注 . . 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.5 SIO受信バッファレジスタ

| | |
|-----------------------|---------------------|
| SIO0受信バッファレジスタ(S0RXB) | <アドレス: H'0080 0114> |
| SIO1受信バッファレジスタ(S1RXB) | <アドレス: H'0080 0124> |
| SIO2受信バッファレジスタ(S2RXB) | <アドレス: H'0080 0134> |
| SIO3受信バッファレジスタ(S3RXB) | <アドレス: H'0080 0144> |
| SIO4受信バッファレジスタ(S4RXB) | <アドレス: H'0080 0A14> |
| SIO5受信バッファレジスタ(S5RXB) | <アドレス: H'0080 0A24> |



<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|----------------|---------------|---|---|
| 0~6 | | 何も配置されていません。 | 0 | - |
| 8~15 | RDATA 受信データ | 受信データが格納されます。 | R | - |

SIO受信バッファレジスタは、受信データを格納するレジスタです。データの受信が完了すると、SIO受信シフトレジスタの内容がSIO受信バッファレジスタに転送されます。このレジスタは読み出し専用のレジスタです。

7ビットデータ(UARTモードのみ)時は、b9~b15にデータがセットされ、b8、b7には必ず"0"がセットされます。8ビットデータ時は、b8~b15にデータがセットされ、b7には必ず"0"がセットされます。

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバーランエラーが発生し、それ以後受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、受信制御レジスタのREN(受信許可)ビットを"0"にクリアしてください。

注. . 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.6 SIO受信制御レジスタ

| | |
|----------------------|---------------------|
| SIO0受信制御レジスタ(S0RCNT) | <アドレス: H'0080 0116> |
| SIO1受信制御レジスタ(S1RCNT) | <アドレス: H'0080 0126> |
| SIO2受信制御レジスタ(S2RCNT) | <アドレス: H'0080 0136> |
| SIO3受信制御レジスタ(S3RCNT) | <アドレス: H'0080 0146> |
| SIO4受信制御レジスタ(S4RCNT) | <アドレス: H'0080 0A16> |
| SIO5受信制御レジスタ(S5RCNT) | <アドレス: H'0080 0A26> |

| | | | | | | | |
|-------|------|-----|-----|-----|-----|-----|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| RSTAT | RFIN | REN | OVR | PTY | FLM | ERS | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|---|-------------------------------|--|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1 | RSTAT 受信ステータスビット | 0: 受信停止 1: 受信中 | R | - |
| 2 | RFIN 受信完了ビット | 0: 受信バッファレジスタ内にデータなし 1: 受信バッファレジスタ内にデータあり | R | - |
| 3 | REN 受信許可ビット | 0: 受信禁止 1: 受信許可 | R | W |
| 4 | OVR オーバーランエラービット | 0: オーバーランエラーなし 1: オーバーランエラー発生 | R | - |
| 5 | PTY パリティエラービット、UARTモード専用 | 0: パリティエラーなし 1: パリティエラー発生 | R | - |
| 6 | FLM フレーミングエラービット、UARTモード専用 | 0: フレーミングエラーなし 1: フレーミングエラー発生 | R | - |
| 7 | ERS エラーサムビット | 0: エラーなし 1: エラー発生 | R | - |

(1) RSTAT (受信ステータス) ビット (b1)

[セット条件]

受信動作の開始によって"1"にセットされます。このビットが"1"の時は、データ受信中であることを示しています。

[クリア条件]

受信動作の完了、もしくはREN(受信許可)ビットを"0"にクリアすることによってクリアされます。

(2) RFIN (受信完了) ビット (b2)

[セット条件]

受信シフトレジスタにデータが揃い、その内容が受信バッファレジスタに転送された時、"1"にセットされます。

[クリア条件]

受信バッファレジスタの下位バイトの読み出し、もしくはREN(受信許可)ビットのクリアによって行います。ただし、オーバーランエラー発生時は、受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(3) REN (受信許可) ビット (b3)

このビットを"1"にセットすると受信許可状態になり、"0"にクリアすると受信禁止となるとともに受信部を初期化します。これに伴い、受信ステータスフラグ、受信完了フラグビット、オーバーランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグの各ビットがクリアされます。

データ受信中に受信許可ビットを"0"にクリアした場合、受信動作は停止します。

(4) OVR (オーバーランエラー) ビット (b4)

[セット条件]

受信バッファレジスタに前回の受信データが存在するにもかかわらず、受信シフトレジスタに次の受信データが揃ってしまった場合、"1"にセットされます。受信データの受信バッファレジスタへの格納は行われません。オーバーランエラーフラグが"1"の状態では受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、このビットをクリアする必要があります。

[クリア条件]

REN(受信許可)ビットを"0"にクリアすることによってのみクリアされます。

(5) PTY (パリティエラー) ビット (b5)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

PTY(パリティエラーフラグ)ビットはSIO送受信モードレジスタのPEN(パリティ有効/無効)ビットが有効でかつ、受信データのパリティ(偶数/奇数)が同じレジスタのPSEL(パリティ選択)ビットで設定した値と異なる場合、"1"がセットされます。

[クリア条件]

PTYビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくはSIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(6) FLM (フレーミングエラー) ビット (b6)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

FLM(フレーミングエラー)ビットは受信したビットの数が、SIO送受信モードレジスタで選択した数と異なる場合に"1"がセットされます。

[クリア条件]

FLMビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(7) ERS (エラーサム) ビット (b7)

[セット条件]

受信完了時にオーバーランエラー、フレーミングエラー、およびパリティエラーのうち、いずれかの一つでも発生した場合、このフラグに"1"がセットされます。

[クリア条件]

オーバーランエラー発生時は、REN(受信許可)ビットを"0"にクリアすることによって行います。それ以外の場合は、受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

12.2.7 SIOボーレートレジスタ

| | |
|-----------------------|---------------------|
| SIO0ボーレートレジスタ(S0BAUR) | <アドレス: H'0080 0117> |
| SIO1ボーレートレジスタ(S1BAUR) | <アドレス: H'0080 0127> |
| SIO2ボーレートレジスタ(S2BAUR) | <アドレス: H'0080 0137> |
| SIO3ボーレートレジスタ(S3BAUR) | <アドレス: H'0080 0147> |
| SIO4ボーレートレジスタ(S4BAUR) | <アドレス: H'0080 0A17> |
| SIO5ボーレートレジスタ(S5BAUR) | <アドレス: H'0080 0A27> |

| | | | | | | | |
|-----|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| BRG | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|------|-----------------|--|---|---|
| 8~15 | BRG ボーレート分周値 | SIOモードレジスタで選択された ボーレートカウントソースを、 BRG設定値nにしたがって(n+1)分周します。 | R | W |

(1) BRG (ボーレート分周値) (b8 ~ 15)

SIOボーレートレジスタは、SIOモードレジスタで選択したボーレートカウントソースを、BRG設定値に従って(BRG設定値+1)分周します。

初期状態ではBRGの値は不定となっているため、必ずシリアルI/O動作前に分周値を設定してください。送受信中のBRG書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。

CSIOモードで内部クロックを使用する(SCLKO信号を出力する)場合は、内部BCLKをクロックデバイダで分周し、次にBRG設定値に従って(BRG設定値+1)分周後、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで外部クロックを使用する場合は、BRGは使用しません(外部から入力されたクロックに同期して送受信が行われます)。

UARTモードでは、内部BCLKをクロックデバイダで分周した後、BRG設定値に従って(BRG設定値+1)分周し、さらに16分周したクロックが送受信シフトクロックになります。

SIO0, SIO1, SIO4, SIO5をUARTモードで使用する場合、該当ポート(P84, P87, P65, P66)をそれぞれSCLKO端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

内部クロック使用時(内部クロックCSIOモード, UARTモード)で、BRGカウントソースとして(BCLK)を選択した場合、CSIOモードの時には転送速度が2Mビット/秒を越えないように、UARTモードの時にはBRGが7以上となるように設定してください。

12.3 CSIOモード送信動作説明

12.3.1 CSIOボーレートの設定

CSIOモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックを生成するクロックソースは、内部クロック(BCLK) または外部クロックから選択します。クロックソースの選択はCKS(内部/外部クロック選択)ビット(SIO送受信モードレジスタのb11)により行います。

送受信のボーレート値の算出式は、内部/外部クロックの選択によって異なります。

(1) CSIOモードで内部クロック選択時

内部クロックを選択した場合、(BCLK)はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力されます。

クロックデバイダの分周値は、CDIV(ボーレートジェネレータカウトソース選択)ビット(送信制御レジスタb2, b3)で、1分周, 8分周, 32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)分周し、さらに2分周したクロックをデータの送受信シフトクロックとします。

CSIOモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} = \frac{\text{(BCLK)}}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 2} \text{ [bps]}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF (注1)

クロックデバイダ分周値 = 1, 8, 32, 256

注1. ボーレートジェネレータカウトソースとして1分周(BCLK)そのものを選択した場合は、2Mbpsを越えないようにボーレートレジスタの値を設定してください。

(2) CSIOモードで外部クロック選択時

ボーレートジェネレータは使用されず、SCLKI端子からの入力クロックが、そのままCSIOの送受信シフトクロックになります。

SCLKI端子への入力クロック最大周波数は、(BCLK)/16です。

$$\text{ボーレート} = \text{SCLKI端子入力クロック} \text{ [bps]}$$

12.3.2 CSIO送信時の初期設定

CSIOで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

- CSIOモードに設定
- 内部クロック/外部クロック選択

(2) SIO送信制御レジスタの設定

- クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(「12.3.1 CSIOボーレートの設定」を参照してください)。

(4) SIO割り込み関連レジスタの設定

- 送信割り込み要求要因(送信バッファEMPTY/送信完了)の選択(SIO割り込み要求要因選択レジスタ)
- 送信割り込み要求の許可/禁止(SIO割り込み要求許可レジスタ)

注：・送信完了割り込み要求は、内部クロック選択時のみ有効です。

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファEMPTY時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

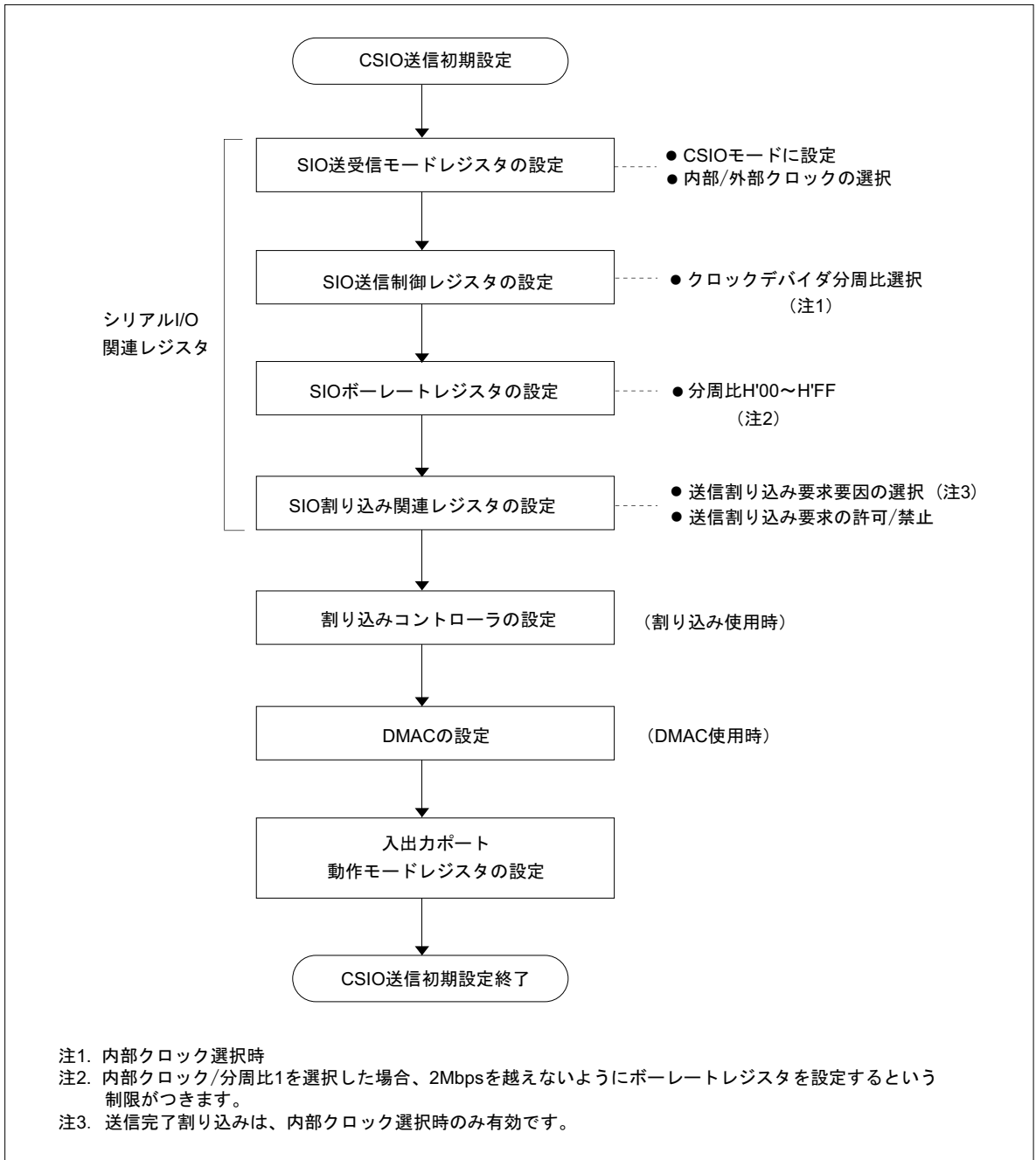


図12.3.1 CSIO送信初期化手順

12.3.3 CSIO送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

(1) CSIOモード内部クロック選択時の送信条件

- SIO制御レジスタの送信許可ビットに"1"をセット
- SIO送信バッファレジスタの下位バイトに送信データ(8ビット)を書き込み(送信バッファエンプティビットが"0")

(2) CSIOモード外部クロック選択時の送信条件

- SIO制御レジスタ0の送信許可ビットに"1"をセット
- SIO送信バッファレジスタの下位バイトに送信データを書き込み(送信バッファエンプティビットが"0")
- SCLKI端子へ送信クロックの立ち下がりエッジが入力される

注1. 送信許可ビットが"0"にクリアされた状態では、送信バッファレジスタの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

注2. 内部クロック選択時は、上記(注1)の送信バッファレジスタの下位バイトへの書き込みが送信開始のトリガとなります。

注3. SIO送信バッファレジスタの下位バイトにデータをセットした時点で、送信ステータスビットが"1"にセットされます。

送信が開始されると以下の手順でデータが送信されます。

- SIO送信バッファの内容を、SIO送信シフトレジスタに転送
- 送信バッファエンプティビットに"1"をセット(注1)
- シフトクロックに同期してLSBからデータ送信を開始

注1. 送信バッファエンプティ、送信完了により送信割り込み要求を発生することができます。また、送信バッファエンプティは、DMA転送要求を発生することができます。送信完了では、DMA転送要求を発生することはできません。

12.3.4 CSIOの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIOステータスレジスタの送信バッファエンプティフラグで確認します。

12.3.5 CSIO送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

- 送信ステータスビットに"0"をセット

(2) 連続送信の場合

- 連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.3.6 送信割り込み

(1) 送信バッファエンプティ割り込み

SIO割り込み要求要因選択レジスタで送信バッファエンプティ割り込みを選択した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込み要求が発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込み要求が発生します。

(2) 送信完了割り込み

SIO割り込み要求要因選択レジスタで送信完了割り込みを選択した場合、送信シフトレジスタのデータの最終ビットの転送が完了する内部転送クロックの立ち下がり、または送信許可ビットのクリアで送信完了割り込み要求が発生します。

送信割り込みを使用するためには、SIO割り込み要求許可レジスタ、割り込みコントローラ(ICU)の設定が必要です。

12.3.7 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止 許可)した場合も出力されます。DMA転送を使用して送信を行うためには、DMACの設定が必要です。

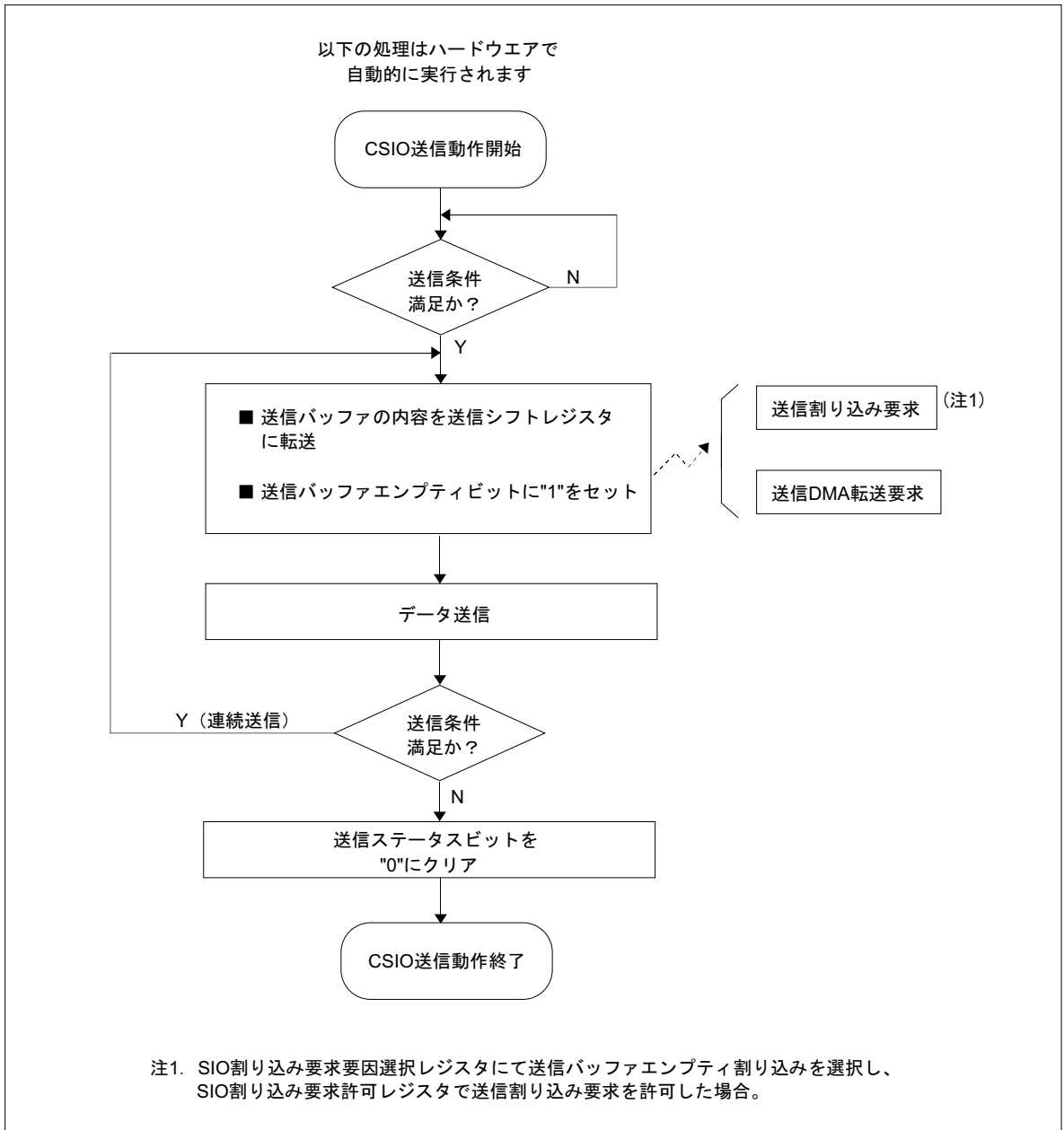


図12.3.2 CSIOモード時の送信動作(ハードウェア処理)

12.3.8 CSIO送信動作例

CSIOモードでの送信動作例を以下に示します。

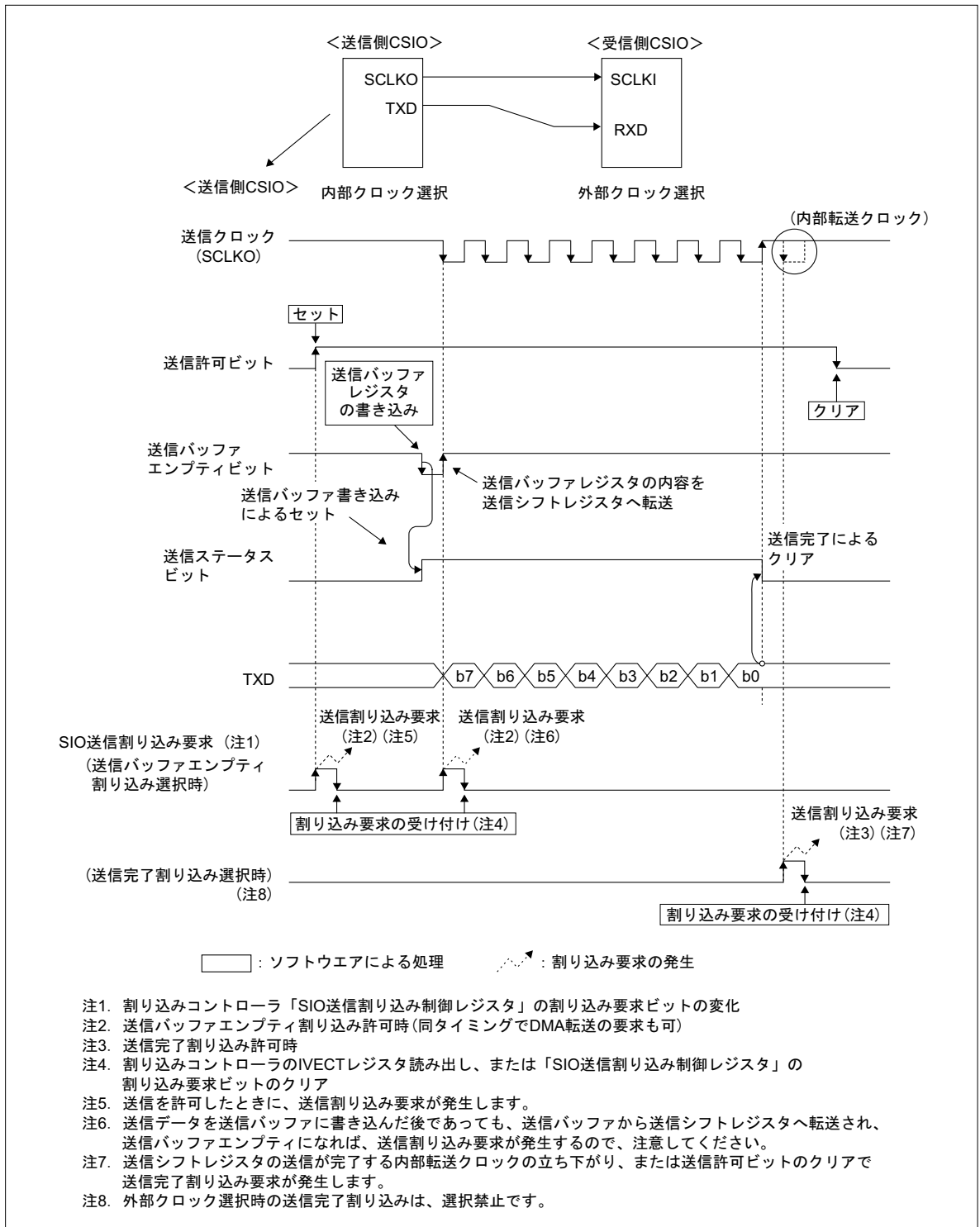


図12.3.3 CSIO送信例 (1回だけの送信)

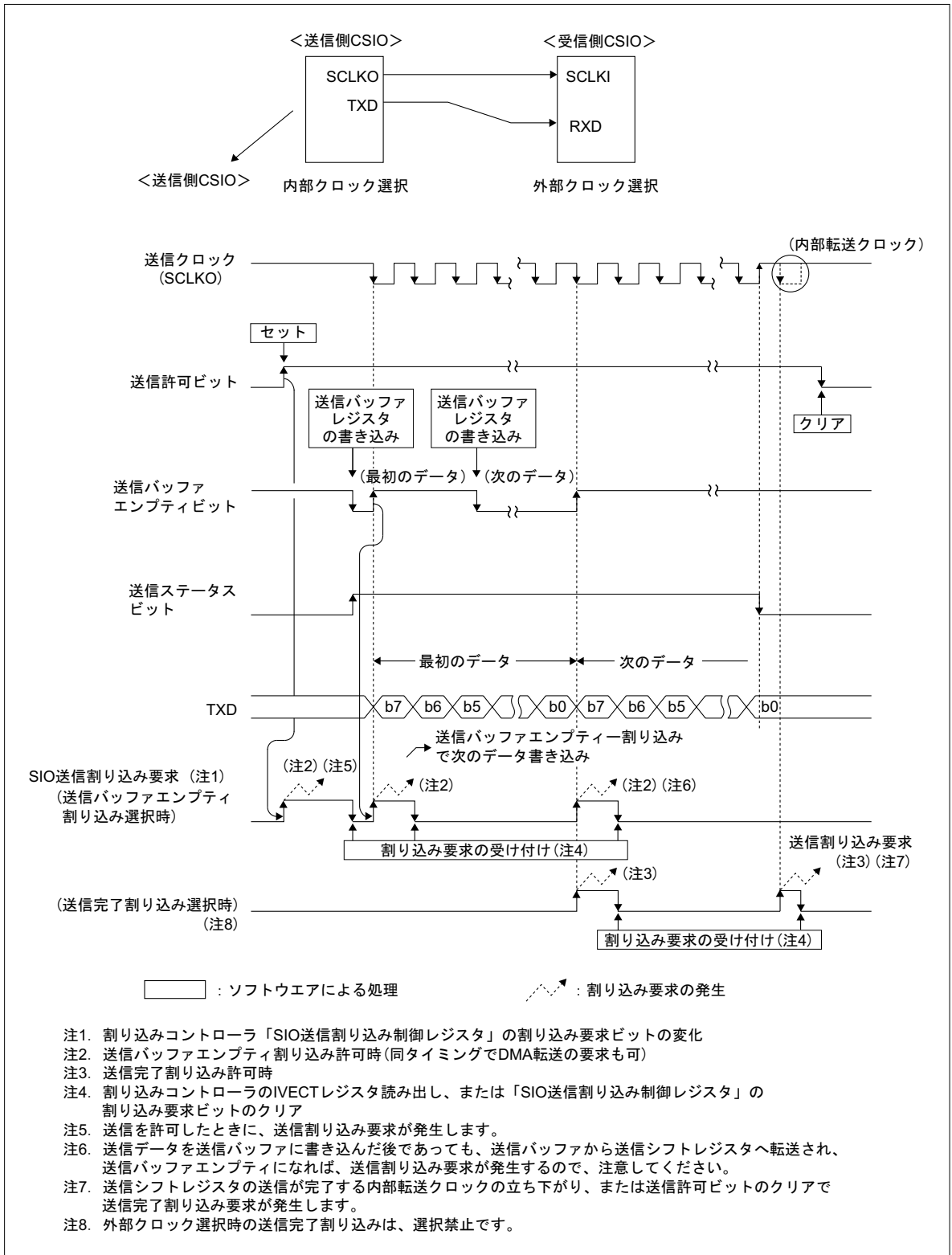


図12.3.4 CSIO送信例(連続送信)

12.4 CSIOモード受信動作説明

12.4.1 CSIO受信時の初期設定

CSIOで受信を行う場合は、以下の手順で初期設定を行います。なお、受信シフトクロックは送信回路の動作によって得られますので、受信だけ行う場合にも送信動作を実行させる必要があります。

(1) SIOモードレジスタの設定

- CSIOモードに設定
- 内部クロック/外部クロックの選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(「12.3.1 CSIOボーレートの設定」を参照してください)。

(4) SIO割り込み関連レジスタの設定

- 受信割り込み要因(受信完了/エラー)の選択(受信割り込み要因選択レジスタ)
- 受信割り込みの許可/禁止(SIO割り込みマスクレジスタ)

(5) SIO受信制御レジスタの設定

受信許可ビットのセット

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送受信時に送信割り込み、または、受信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

送信バッファエンプティ時、または、送信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(8) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

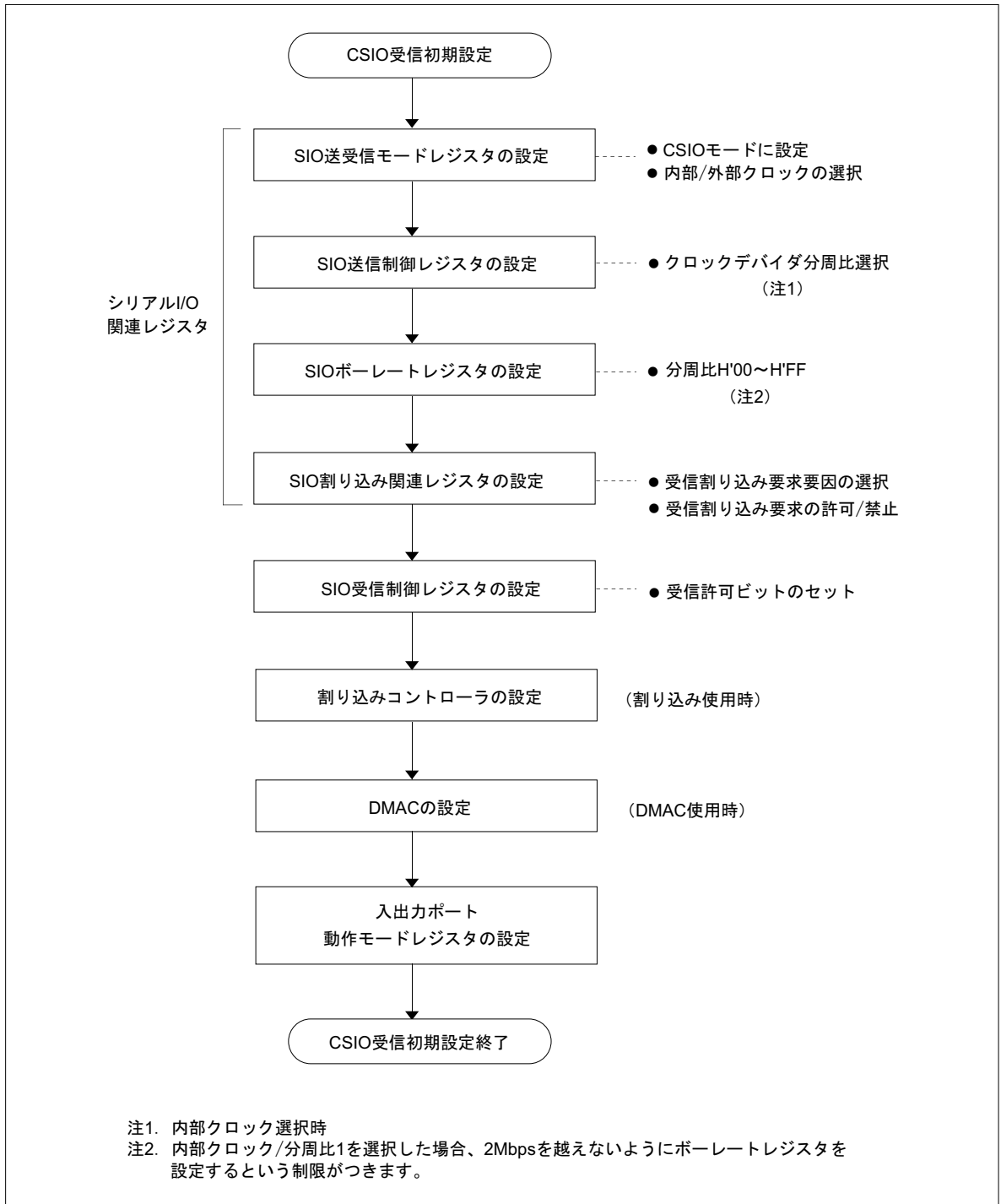


図12.4.1 CSIO受信初期化手順

12.4.2 CSIO受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

(1) CSIOモード内部クロック選択時の受信条件

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- 送信条件が満たされていること(「12.3.3 CSIO送信の開始」を参照してください。)

(2) CSIOモード外部クロック選択時の受信条件

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- 送信条件が満たされていること(「12.3.3 CSIO送信の開始」を参照してください。)

注．．SIO送信バッファレジスタの下位バイトにダミーデータをセットした時点で、受信ステータスビットが"1"にセットされます。

上記の条件が満たされると、受信シフトクロックに同期して、8ビットのシリアルデータの受信(LSBファースト)を行います。

12.4.3 CSIO受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

- 注．．受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求が発生します。
- DMA転送要求が発生します。

(2) 受信エラーが発生した場合

受信エラー(CSIOモード時はオーバーランエラーのみ発生)時は、オーバーランエラービットと受信エラーサムビットに"1"をセット

- 注．．受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時は、受信完了割り込み要求もDMA転送要求も発生しません。
- 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時は、割り込み要求が可許された場合、受信エラー割り込み要求が発生します。DMA転送要求は発生しません。

12.4.4 連続受信について

データ受信完了時に以下の条件が満たされていれば、連続受信可能となります。

- 受信許可ビットが"1"にセットされていること
- 送信条件が満たされていること
- オーバランエラーが発生していないこと

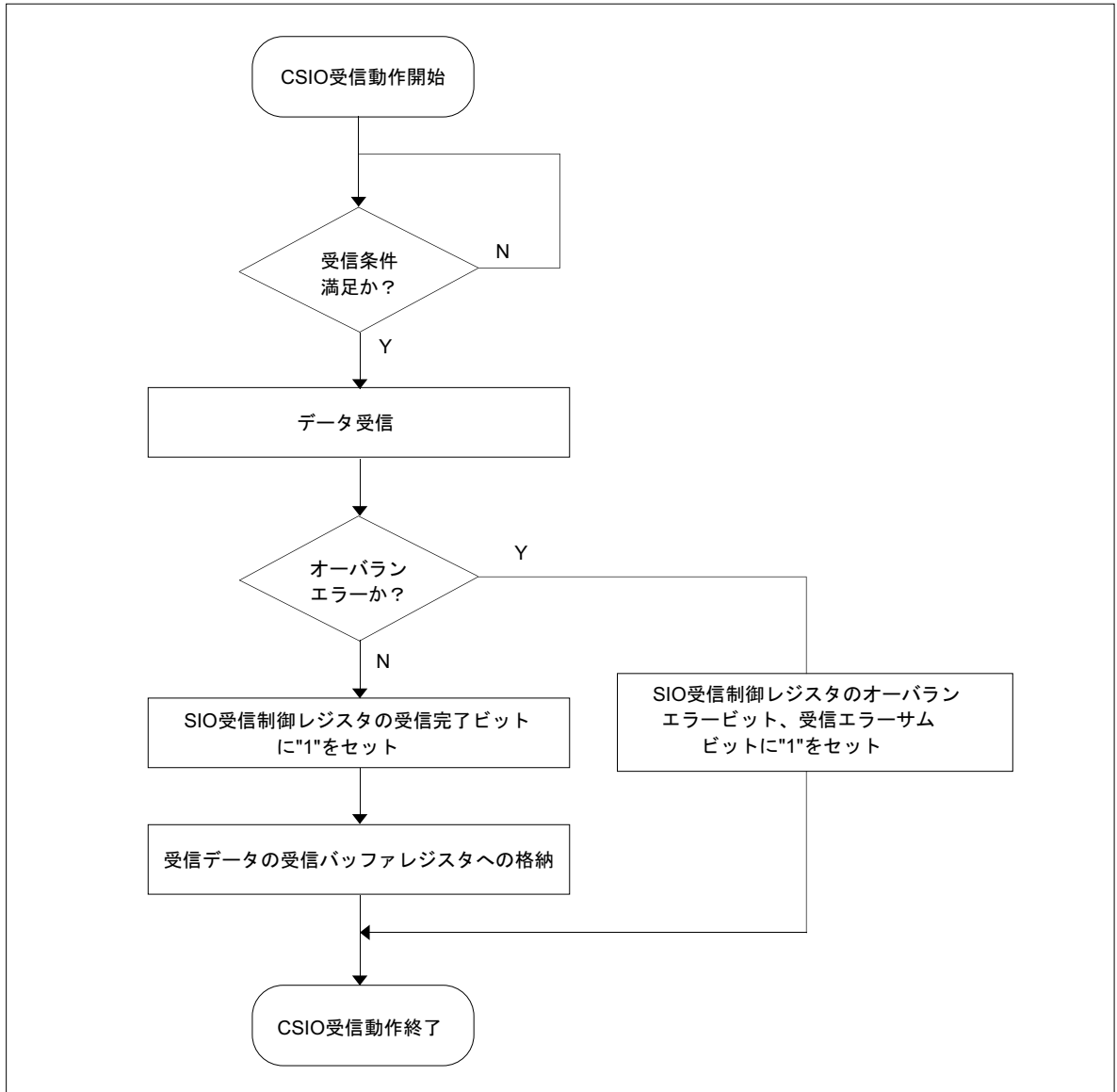


図12.4.2 CSIOモード時の受信動作(ハードウェア処理)

12.4.5 CSIO受信動作の状態を示すフラグ

CSIOモードの受信動作の状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、以後の受信データのSIO受信バッファレジスタへの格納は行われなくなります。

受信を再開するためには、いったん受信許可ビットを"0"にクリアし、受信制御部を初期化する必要があります。

上記の受信完了ビットのクリアは、受信エラー(注1)が発生していない場合は、SIO受信バッファレジスタの下位バイト読み出し、もしくは、REN(受信許可)ビットのクリアで行います。

受信エラーが発生した場合は、REN(受信許可)ビットのクリアで行います。この場合、SIO受信バッファレジスタの下位バイトの読み出しでのクリアはできませんので、ご注意ください。

注1 . CSIOモードで検出可能なエラーは、オーバランエラーのみとなっています。

12.4.6 CSIO受信動作例

CSIOモードでの受信動作例を以下に示します。

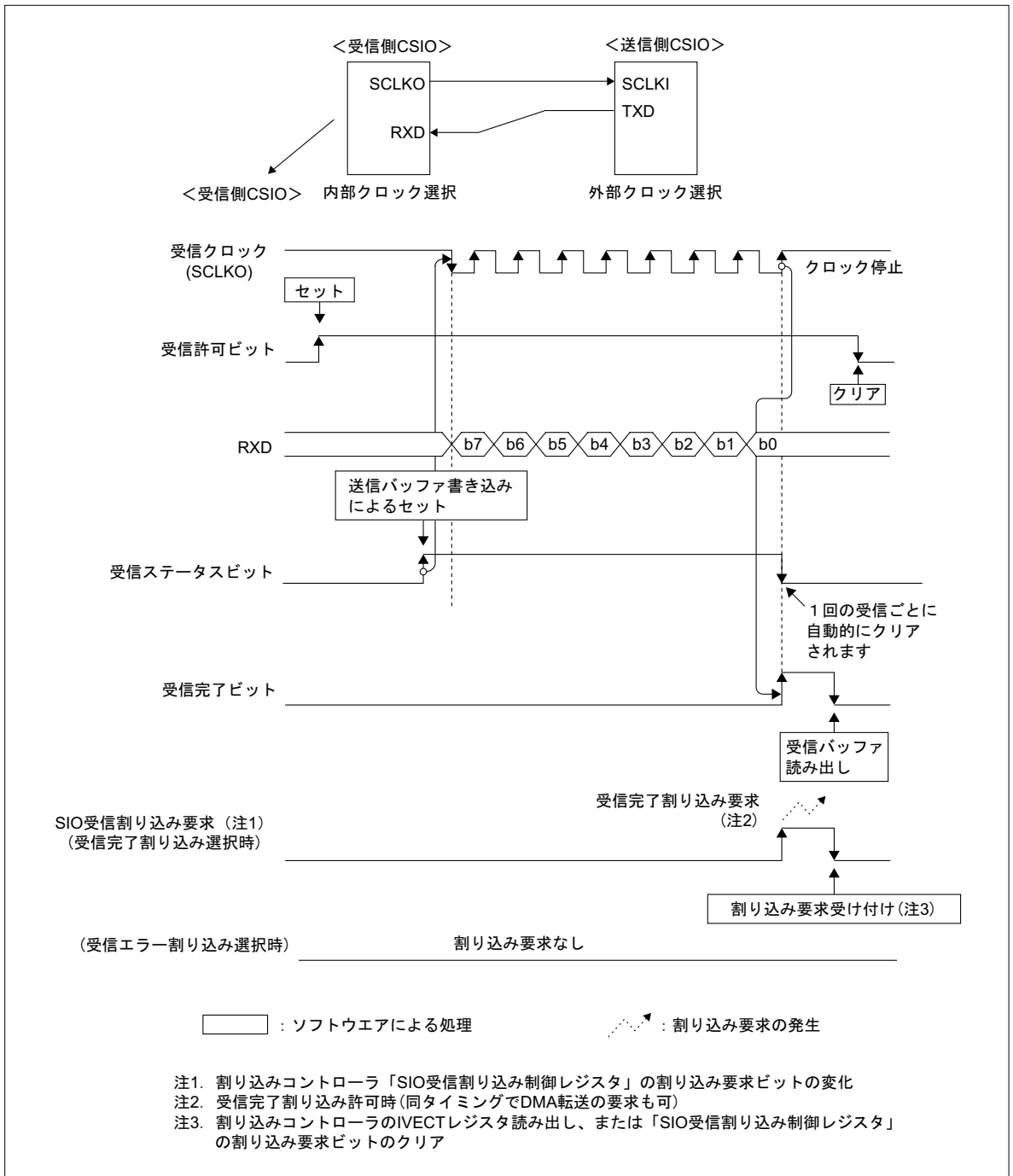


図12.4.3 CSIO受信例(正常受信時)

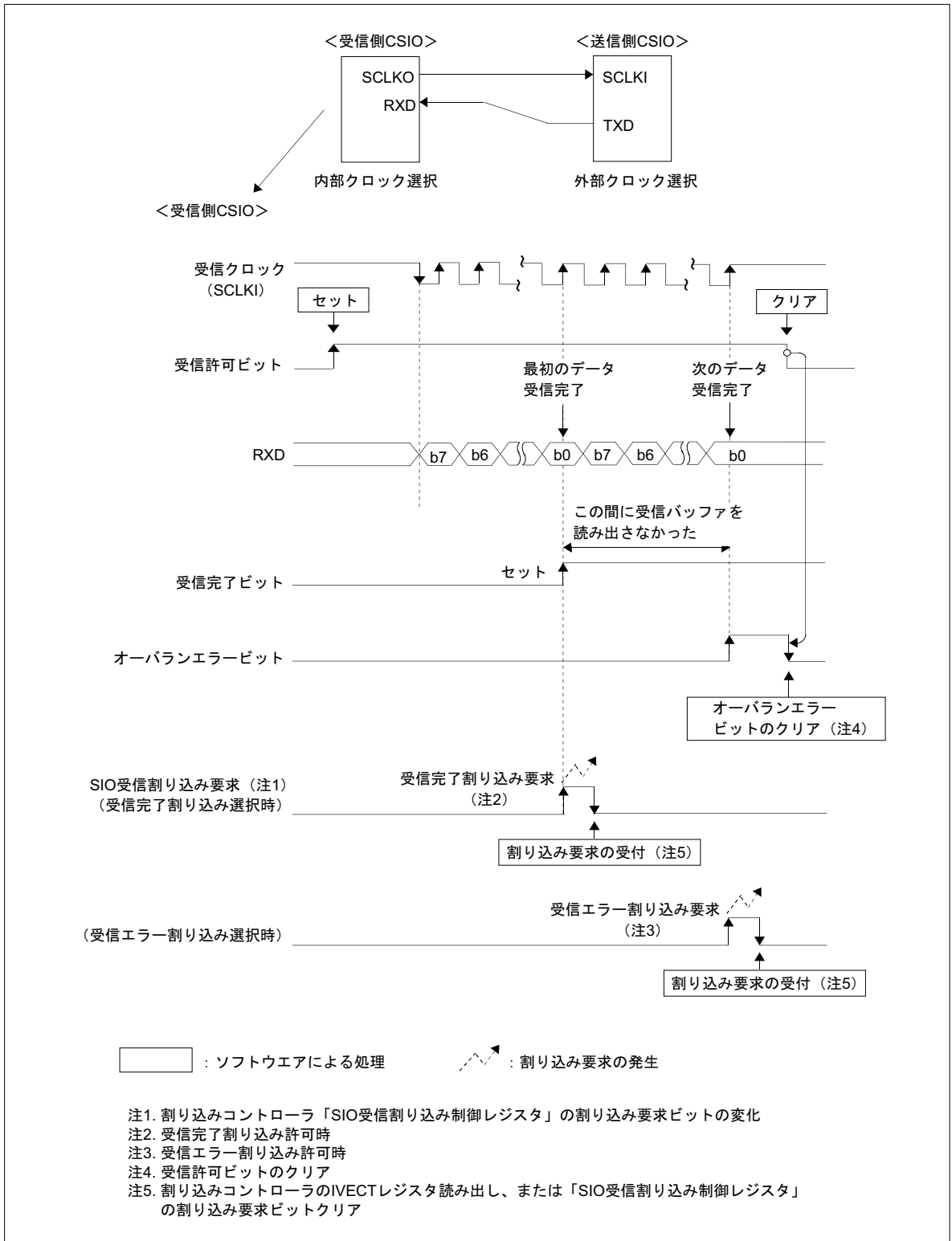


図12.4.4 CSIO受信例(オーバーランエラー発生時)

12.5 CSIOモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず動作開始前に設定してください。送受信動作開始後に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG（ボーレート）レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、2Mbpsを越えないようにBRGレジスタの値を設定してください。

- 連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

- 受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

- 連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- 受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

- SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

- SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんので注意してください。

12.6 UARTモード送信動作説明

12.6.1 UARTボーレートの設定

UARTモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックのソースは、内部/外部クロック選択ビット(SIO送受信モードレジスタのb11)の内容にかかわらず内部クロックとなります。

(1) UARTモードのボーレート算出

〔BCLK〕はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力され、その後さらに16分周されて送受信シフトクロックになります。

クロックデバイダの分周値は、SIO送信制御レジスタのCDIV(ボーレートジェネレータカウントソース選択)ビット(b2, b3)で、1分周, 8分周, 32分周または256分周から選択します。(注1)

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)に分周し、さらにその後16分周して送受信シフトクロックとします。

UARTモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} = \frac{\text{〔BCLK〕}}{\text{[bps]} \quad \text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 16}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF(注1)

クロックデバイダ分周値 = 1, 8, 32, 256

注1. ボーレートジェネレータカウントソースとして1分周値〔BCLK〕そのものを選択した場合、ボーレートレジスタには7以上の値を設定してください。

12.6.2 UART送受信データフォーマット

UARTモード時の送受信データのフォーマットは、SIO送受信モードレジスタで設定します。以下にUARTモードで使用可能な送受信データフォーマットを示します。

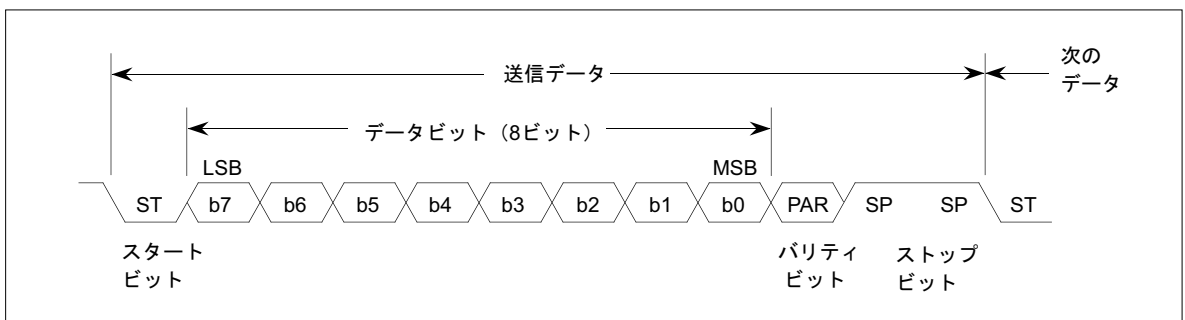


図12.6.1 UARTモード時の転送データフォーマット例

表12.6.1 UARTモード時の転送データ

| ビット名称 | 内容 |
|-----------------|--|
| ST(スタートビット) | データの送信開始を示すビットで、1ビット分の"L"信号が送信データの直前に付加されます。 |
| b0~b8(キャラクタビット) | シリアルI/Oを通じて転送される送受信データです。UARTモードでは7ビット、8ビットデータ、または9ビットデータの送受信が可能です。 |
| PAR(パリティビット) | 送受信キャラクタに付加されるビットで、パリティ有効時、偶数/奇数パリティの選択によって、パリティビットを含めたキャラクタ中の"1"の個数が常に偶数、または奇数になるように自動的に設定されます。 |
| SP(ストップビット) | データの送信終了を示すビットで、キャラクタの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットは1ビット、または2ビットを選択することができます。 |

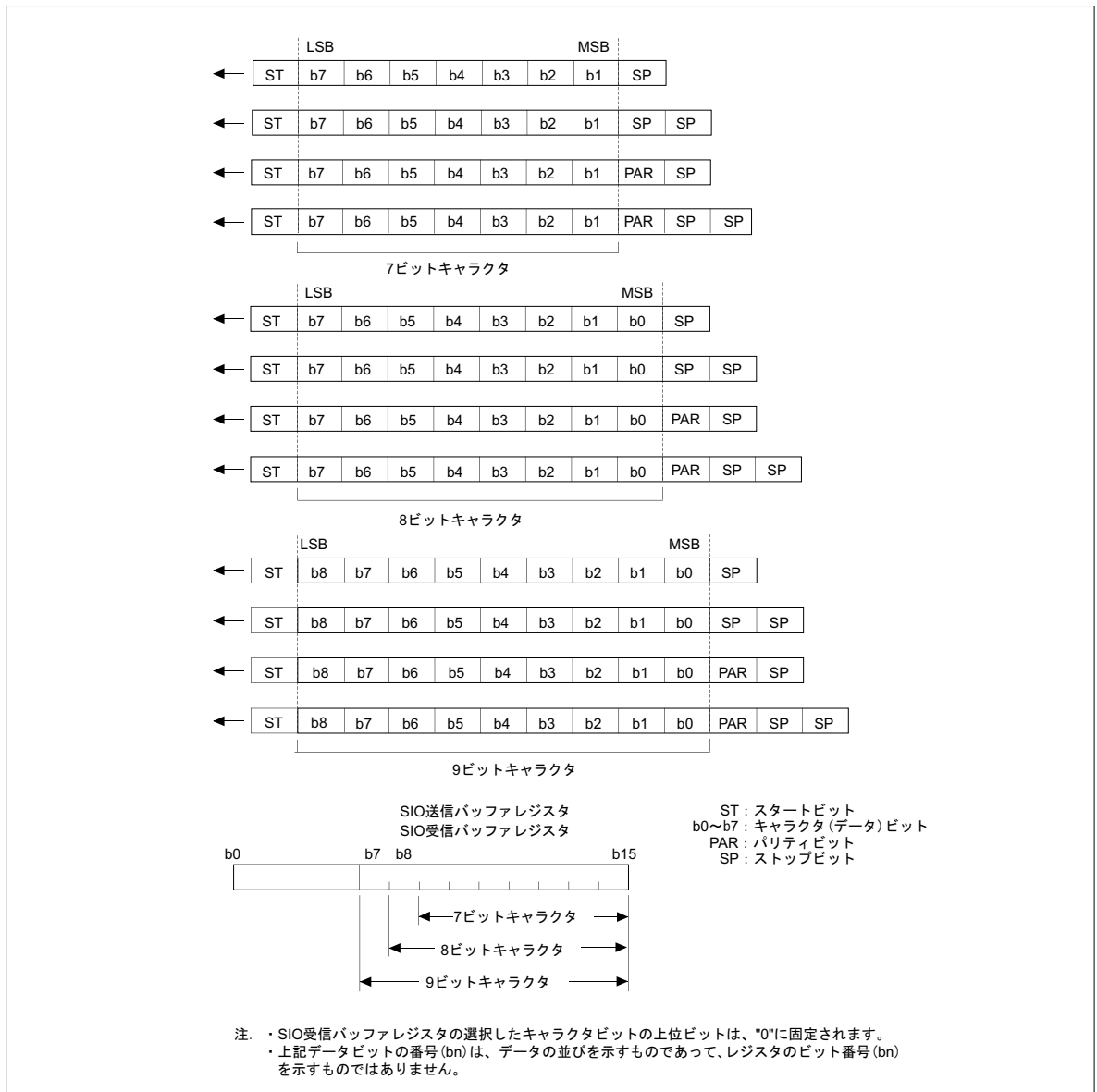


図12.6.2 UARTモード時に選択可能なデータフォーマット一覧

12.6.3 UART送信時の初期設定

UARTで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

- UARTモードに設定
- パリティの設定(有効時は奇数/偶数選択)
- ストップビット長の設定
- キャラクタ長の設定(注1)

注1 . UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比を選択します。

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(「12.6.1 UARTボーレートの設定」を参照してください)。

(4) SIO割り込み関連レジスタの設定

- 送信割り込み要因(送信バッファEMPTY/送信完了)の選択(SIO割り込み要因選択レジスタ)
- SIO送信割り込みの許可/禁止(SIO割り込みマスクレジスタ)

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファEMPTY時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

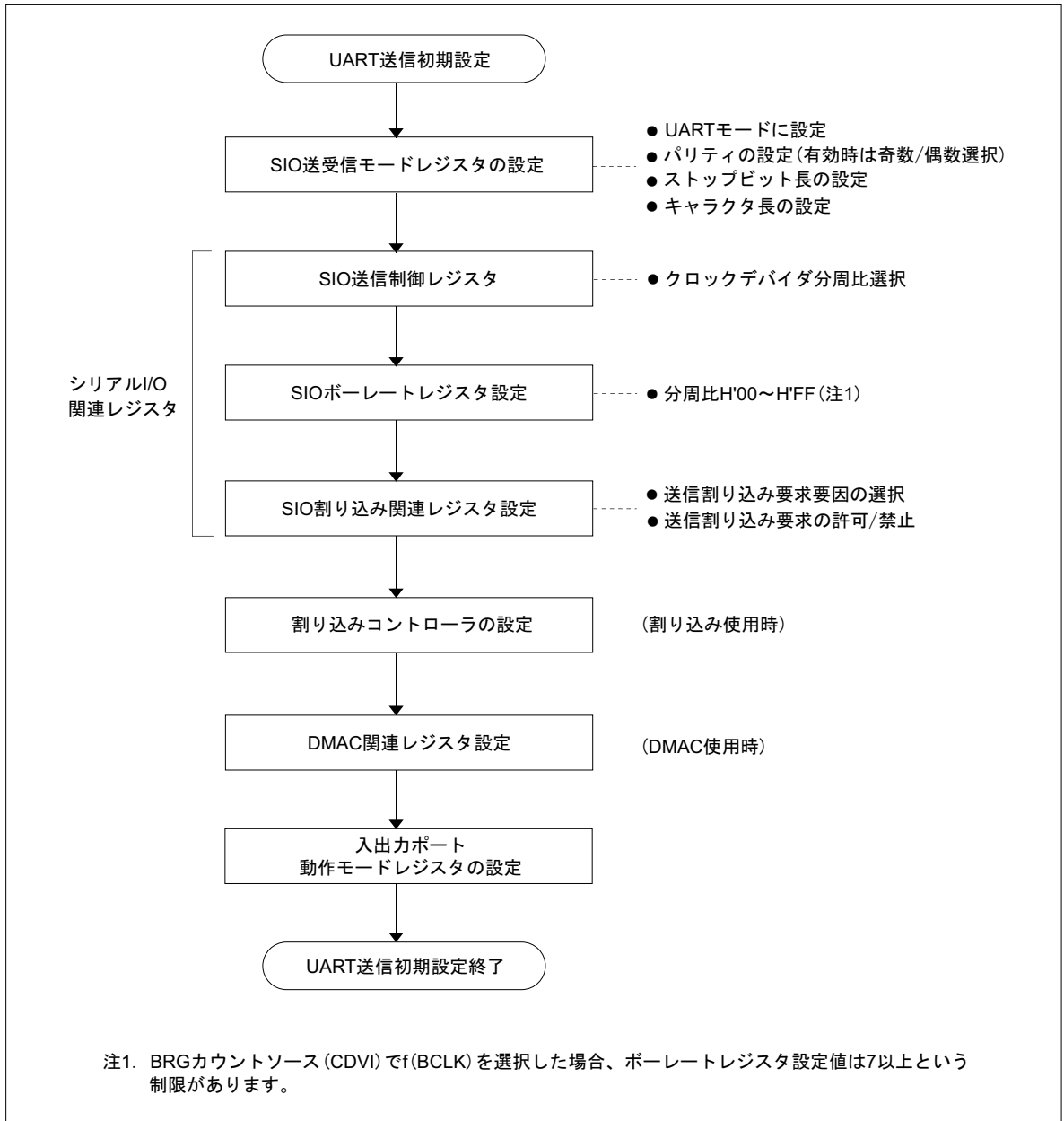


図12.6.3 UART送信初期化手順

12.6.4 UART送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

- SIO送信制御レジスタのTEN(送信許可)ビットに"1"をセット(注1)
- SIO送信バッファレジスタに送信データを書き込み
(送信バッファエンプティビットが"0")

注1. 送信許可ビットが"0"にクリアされている状態では、送信バッファへの書き込みは無視されます。
必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

送信が開始されると以下の手順でデータが送信されます。

- SIO送信バッファの内容を、SIO送信シフトレジスタに転送
- 送信バッファエンプティビットに"1"をセット (注2)
- シフトクロックに同期してデータ送信を開始(LSBファースト)

注2. 送信バッファエンプティ、送信完了により送信割り込み要求を発生する事が出来ます。
また、送信バッファエンプティは、DMA転送要求を発生することができます。
送信完了では、DMA転送要求を発生する事は出来ません。

12.6.5 UARTの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIO送信制御レジスタの送信バッファエンプティフラグで確認します。

12.6.6 UART送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1)連続送信しない場合

- 送信ステータスビットに"0"をセット

(2)連続送信の場合

- 連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.6.7 送信割り込み

(1)送信バッファエンプティ割り込み

SIO割り込み要因選択レジスタで送信バッファエンプティ割り込みを選択した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。

(2)送信完了割り込み

SIO割り込み要因選択レジスタで送信完了割り込みを選択した場合、送信シフトレジスタのデータ転送が完了したときに、送信完了割り込みが発生します。

送信割り込みを使用するためには、SIO割り込みマスクレジスタ、割り込みコントローラ(ICU)の設定が必要です。

12.6.8 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止 許可)した場合も出力されます。DMA転送を使用して送信を行うためには、DMACの設定が必要となります。

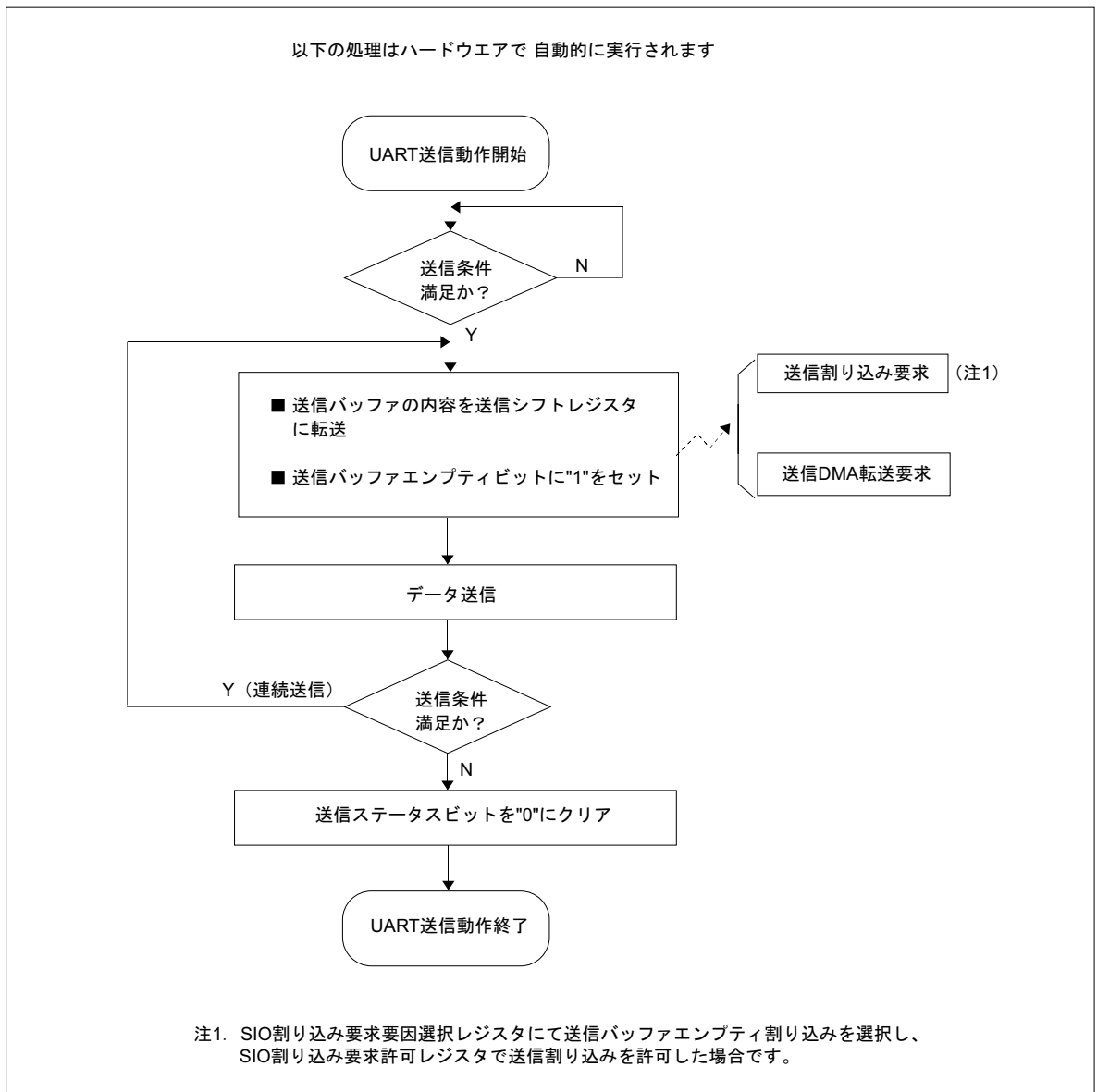


図12.6.4 UARTモード時の送信動作(ハードウェア処理)

12.6.9 UART送信動作例

UARTモードでの送信動作例を以下に示します。

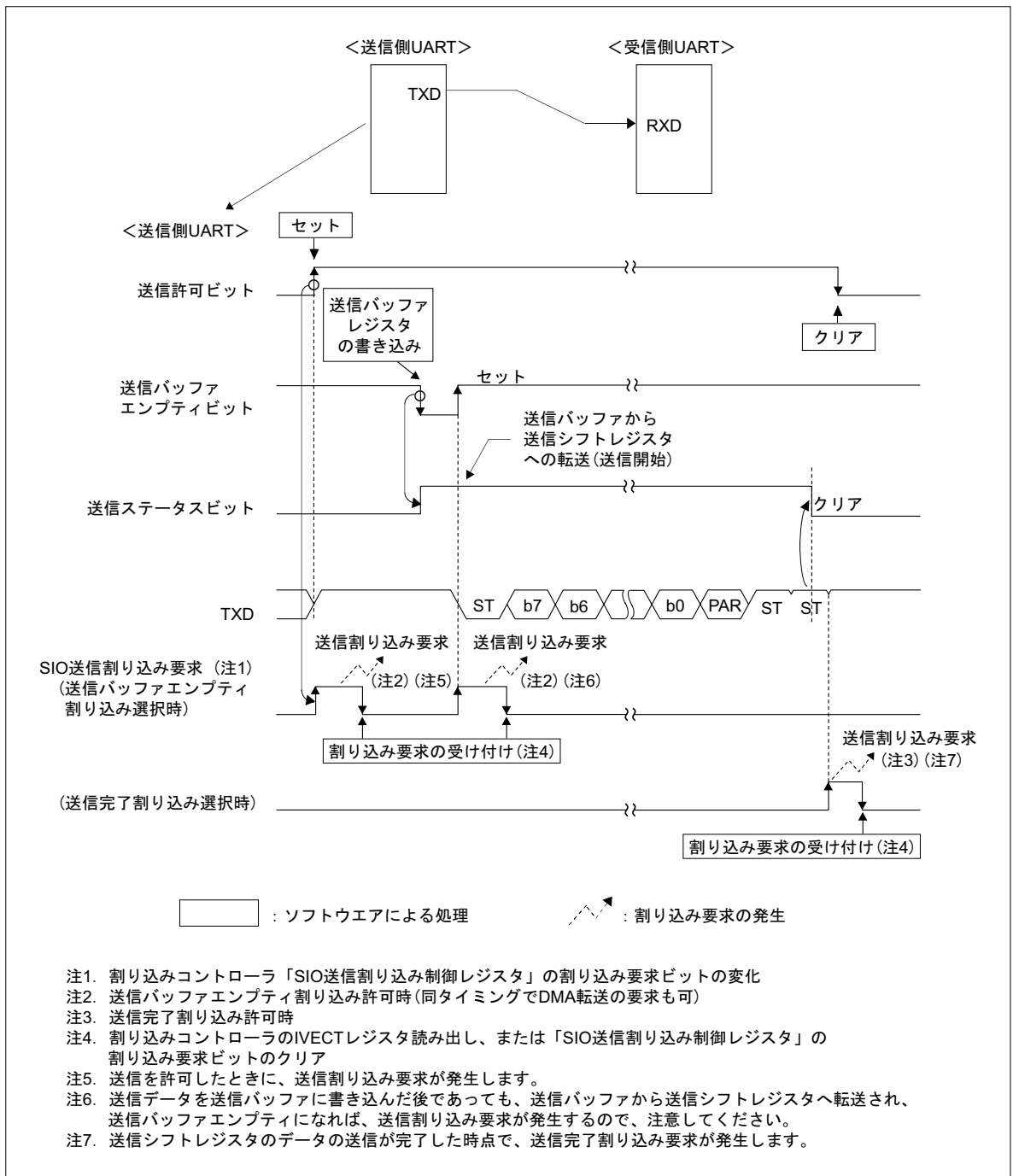


図12.6.5 UART送信例(1回だけの送信)

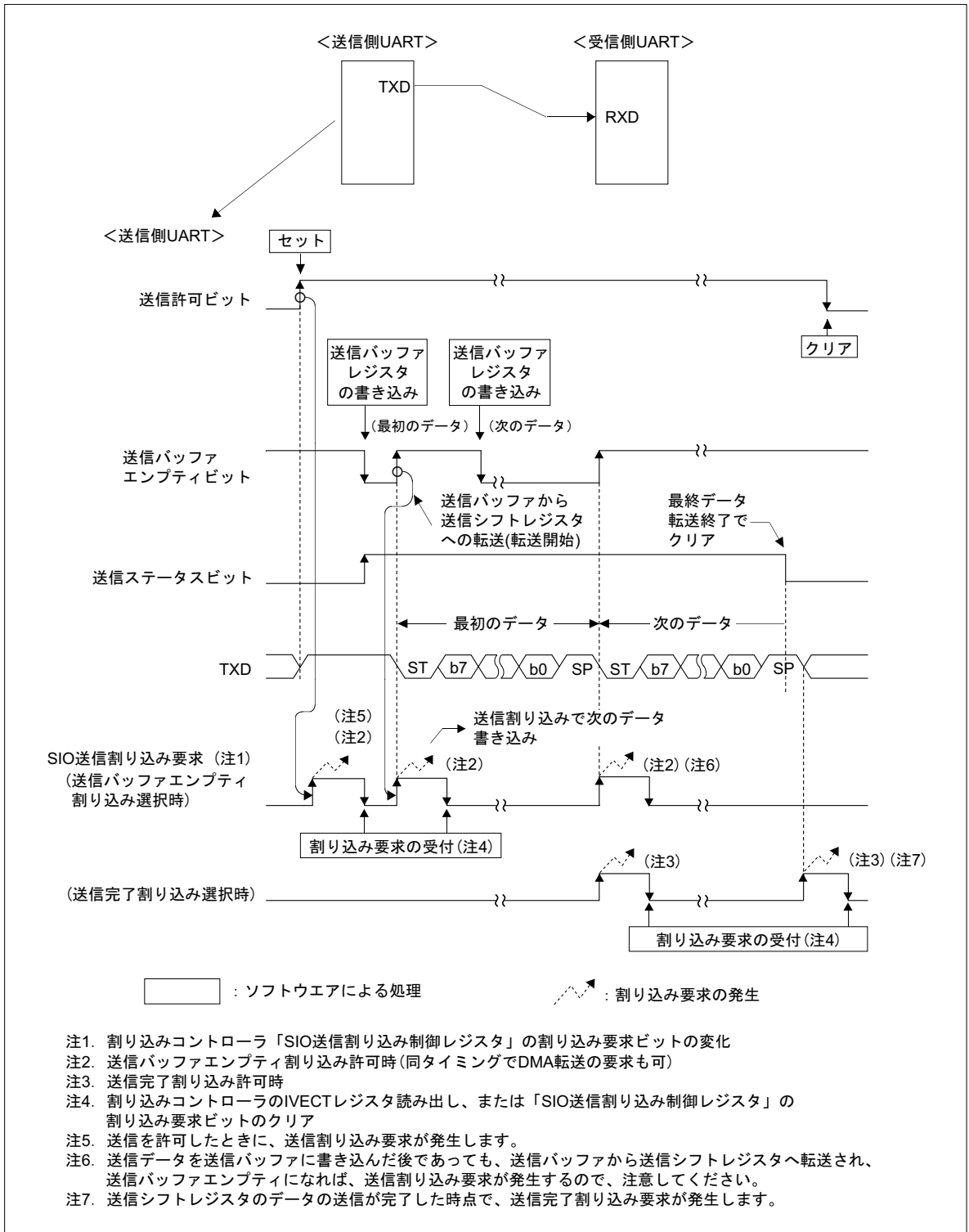


図12.6.6 UART送信例(連続送信)

12.7 UARTモード受信動作説明

12.7.1 UART受信時の初期設定

UARTで受信を行う場合は、以下の手順で初期設定を行います。

(1) SIOモードレジスタの設定

- UARTモードに設定
- パリティの設定(有効時は奇数/偶数選択)
- ストップビット長の設定
- キャラクタ長の設定

注 . ・UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

- クロックデバイダ分周比の設定

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(「12.6.1 UARTボーレートの設定」を参照してください)。

(4) SIO割り込み関連の設定

- 受信割り込み要因(受信完了/受信エラー)の選択(受信割り込み要因選択レジスタ)
- 受信割り込みの許可/禁止(割り込みマスクレジスタ)

(5) 割り込みコントローラの設定

受信時に割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

受信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションピンとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

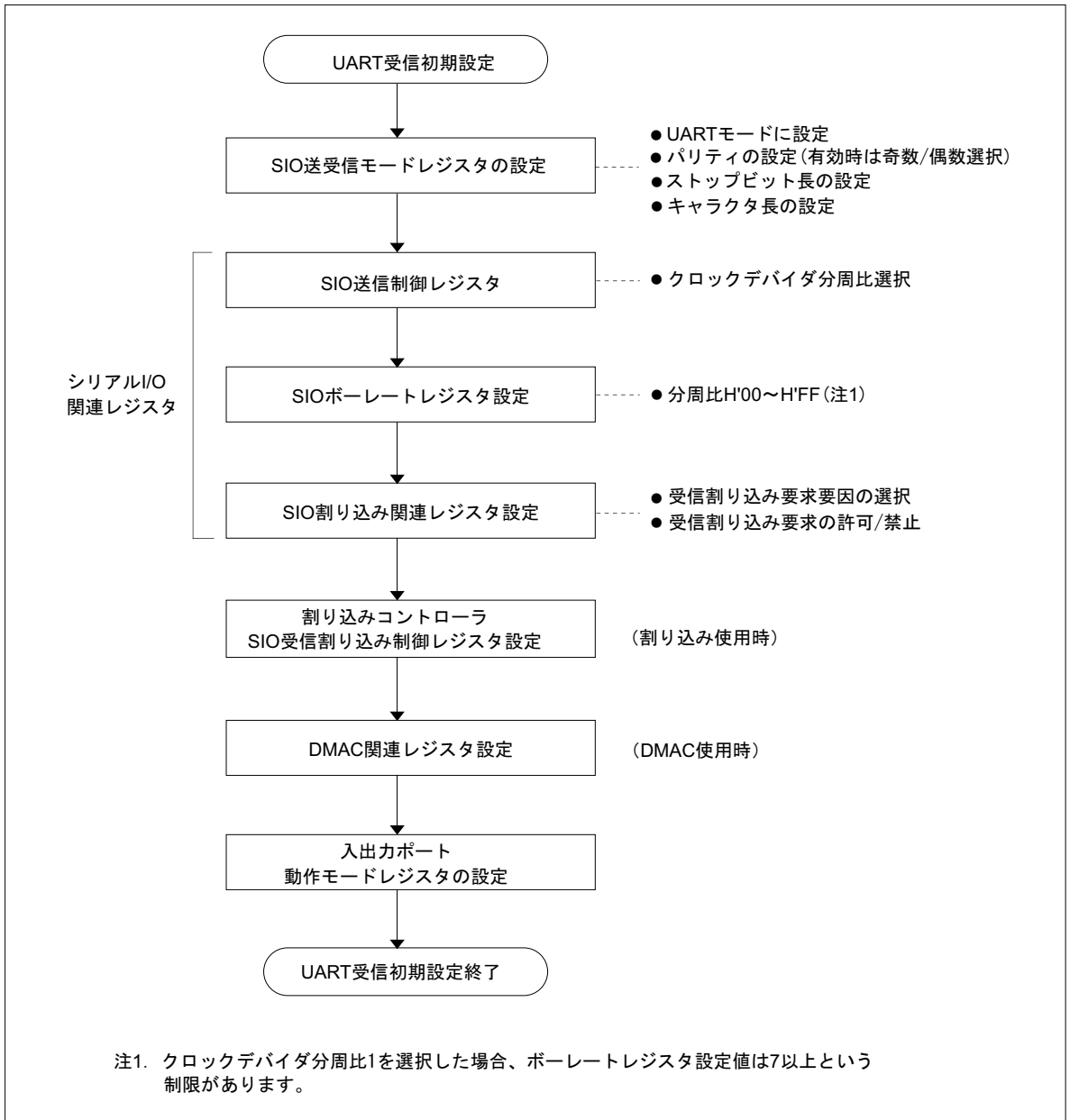


図12.7.1 UART受信初期化手順

12.7.2 UART受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- RXD端子へのスタートビット(立ち下がりエッジ信号)入力

上記の条件が満たされるとUART受信動作に入ります。ただし、内部受信シフトクロックの最初の立ち上がりでもう一度スタートビットをチェックし、その時ノイズなどにより"H"が検出された場合は、受信動作を停止し、再度スタートビット待ちとなります。

12.7.3 UART受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

- 注 .
- ・ 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求が発生します。
 - ・ DMA転送要求が発生します。

(2) 受信エラーが発生した場合

エラー発生時は該当エラービット(OE, FE, PE)と受信エラーサムビットに"1"をセット

- 注 .
- ・ 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が許可された場合、受信完了割り込み要求が発生します。ただし、オーバランエラー発生時は、受信完了割り込みは発生しませんので注意してください。
 - ・ 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が許可された場合、受信エラー割り込み要求が発生します。
 - ・ DMA転送要求は発生しません。

以下の処理はハードウェアで自動的に実行されます

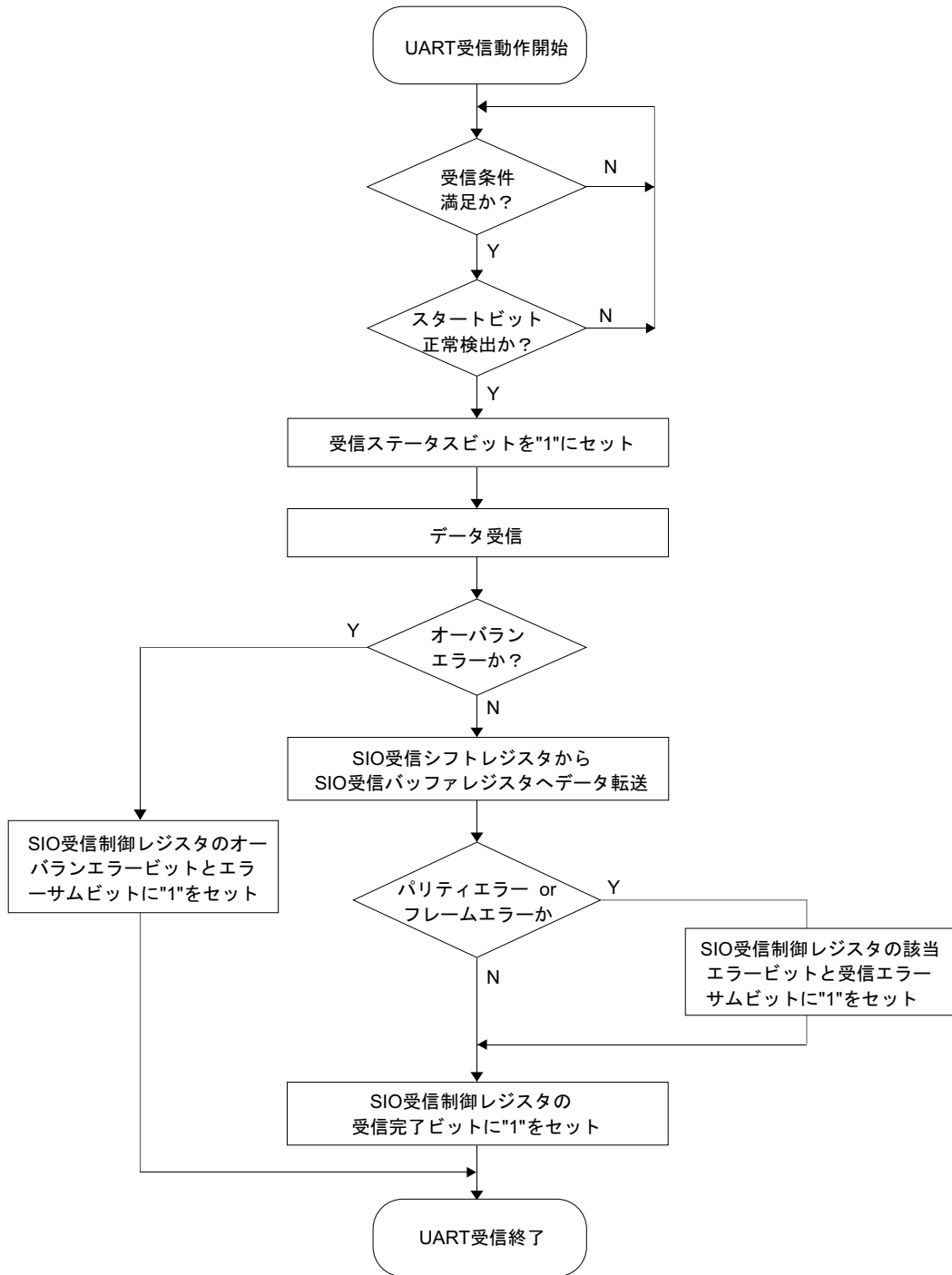


図12.7.2 UARTモード時の受信動作(ハードウェア処理)

12.7.4 UART受信動作例

UARTモードでの受信動作例を以下に示します。

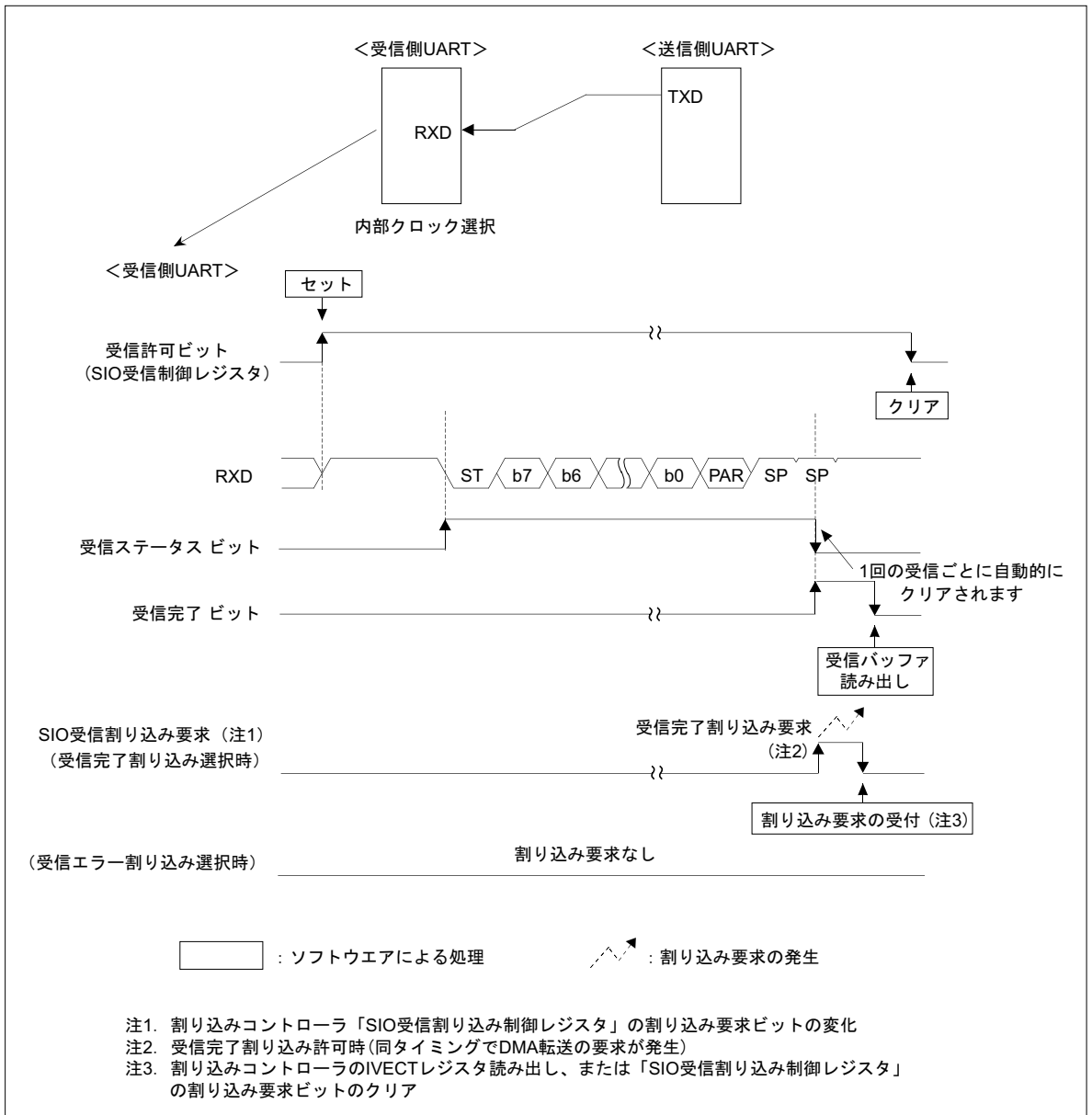


図12.7.3 UART受信例(正常受信時)

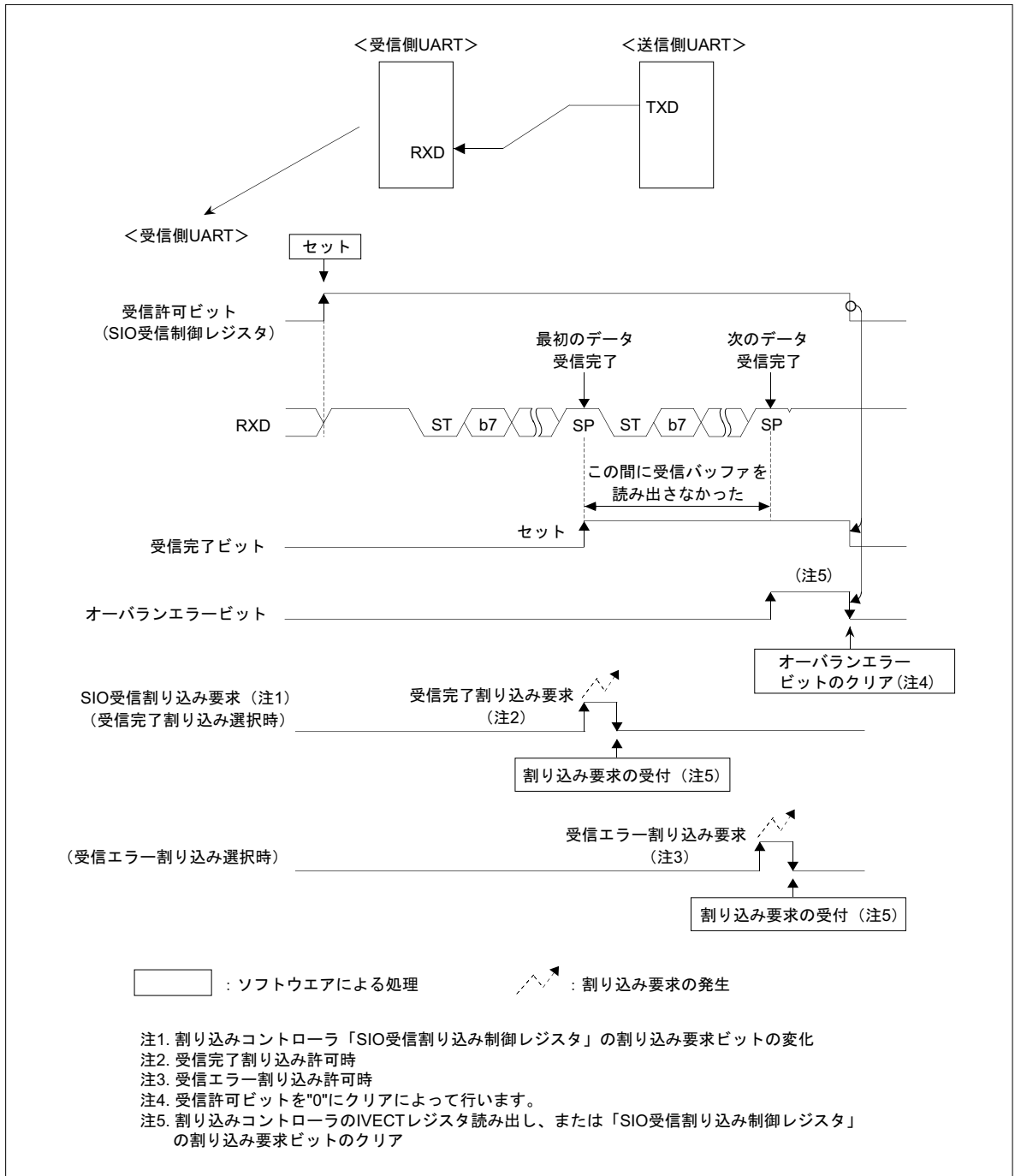


図12.7.4 UART受信例(オーバーランエラー発生時)

12.7.5 UART受信時のスタートビットの検出

スタートビットは、内部BRG出力のタイミングでサンプリングします。スタートビットの立ち下がり検出後、内部BRG出力の8サイクル後のレベルが"L"であれば、スタートビットが確定し、更に8サイクル後からをLSBデータ(1ビット目のデータ)として取り込みます。スタートビット確定時に"H"であれば、再度立ち下がり検出を行います。内部BRGに同期してサンプリングするため、最大BRG出力分のディレイが生じます。以降、ディレイが生じたタイミングで受信します。

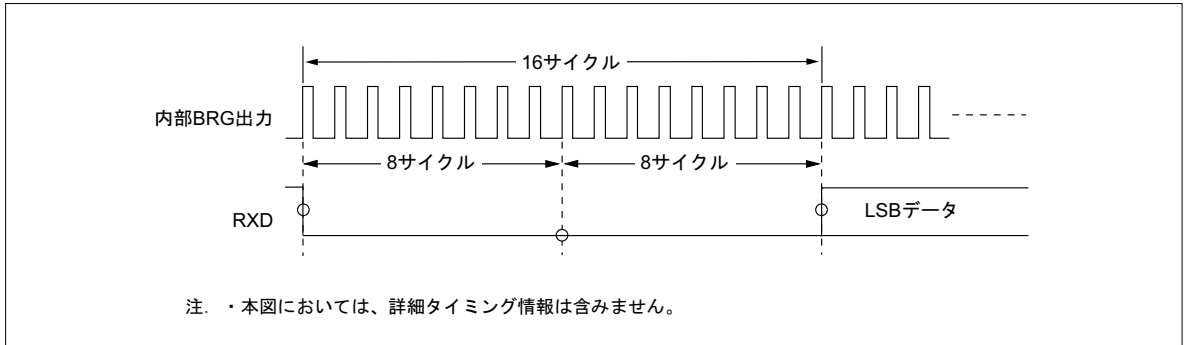


図12.7.5 スタートビットの検出

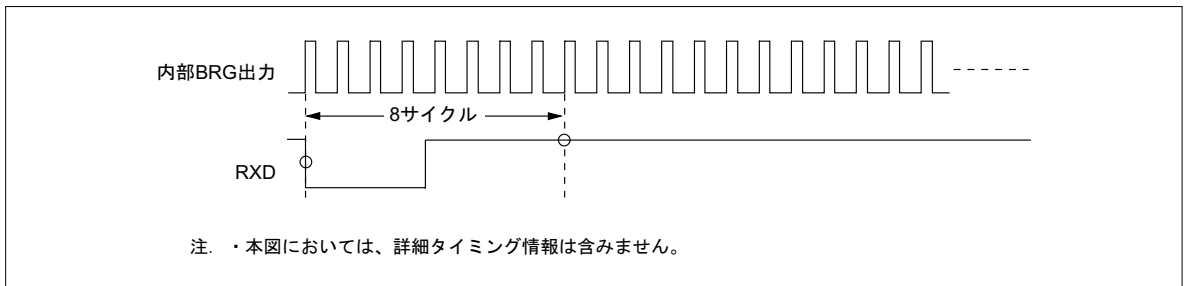


図12.7.6 スタートビット無効例(受信しない)

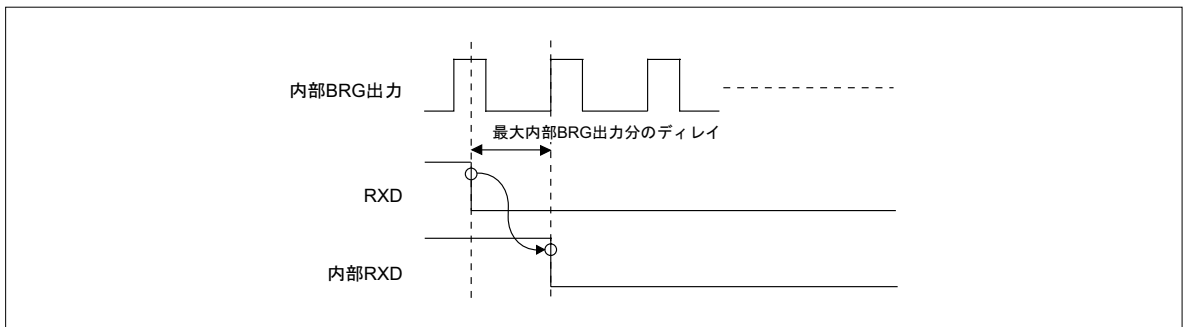


図12.7.7 受信時のディレイ

12.8 定周期クロック出力機能

SIO0, SIO1, SIO4, SIO5をUARTモードで使用する場合、該当ポート(P84, P87, P65, P66)をそれぞれSCLKO0端子, SCLKO1端子, SCLKO4端子, SCLKO5端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

注．．クロック出力はデータ転送時以外も出力されます。

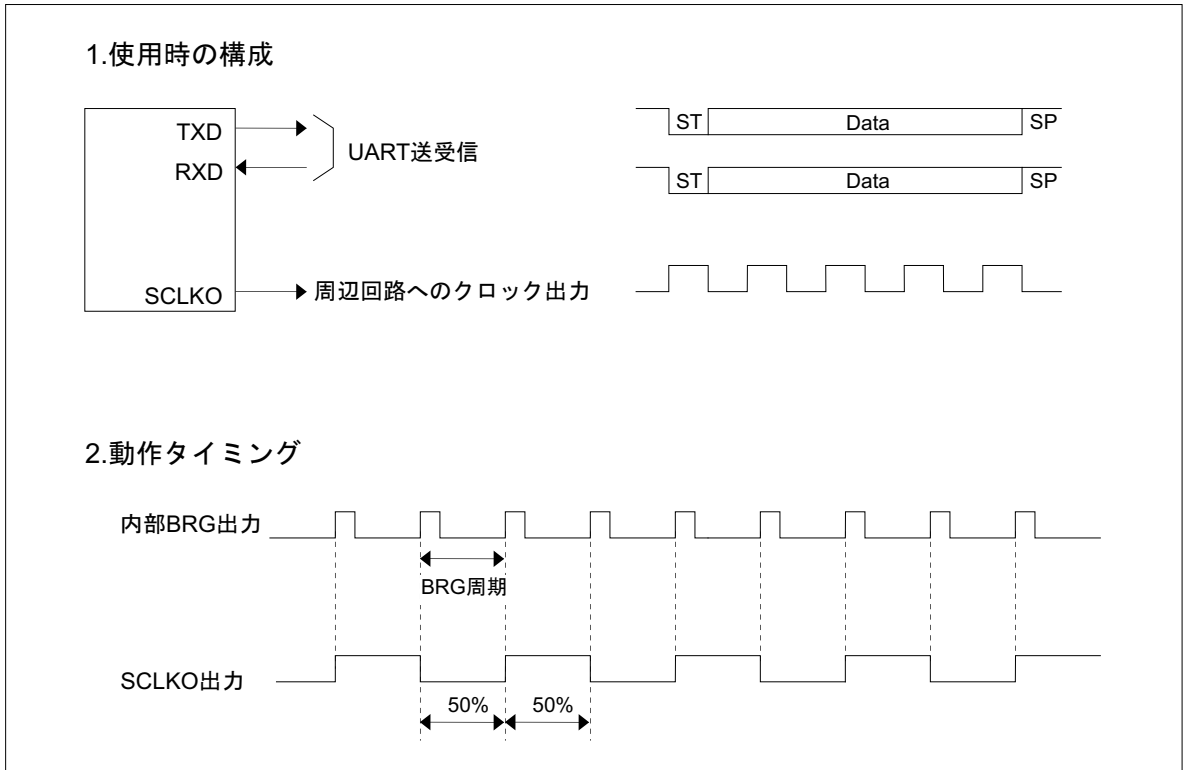


図12.8.1 定周期クロック出力例

12.9 UARTモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず動作開始前に設定してください。送受信動作開始後に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

- UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

第13章

CANモジュール

- 13.1 CANモジュールの概要
- 13.2 CANモジュール関連レジスタ
- 13.3 CANプロトコル
- 13.4 CANモジュール初期設定
- 13.5 データフレーム送信
- 13.6 データフレーム受信
- 13.7 リモートフレーム送信
- 13.8 リモートフレーム受信

13.1 CANモジュールの概要

32180は、CAN(Controller Area Network) Specification V2.0B active準拠のFull CANモジュールを2系統内蔵しています。16本のメッセージスロットと3本のマスクレジスタを有効に活用することにより、データ処理に伴うCPUの負荷を低減することができます。

以下にFull CANモジュールの概要を示します。

表13.1.1 CANモジュールの概要

| 項目 | 内容 |
|--|---|
| プロトコル | CAN Specification 2.0B active |
| メッセージスロット数 | 16本(グローバルスロット:14本、ローカルスロット:2本) |
| 極性 | 0: Dominant 1: Recessive |
| アクセプタンスフィルタ (受信IDフィルタにより指定 範囲のIDのみを受信する機能) | グローバルマスク:1本 ローカルマスク :2本 |
| | $1 \text{ Time quantum} (T_q) = (BRP + 1) / (\text{CPUクロック}/2)$ (BRP: ボーレートプリスケアラ設定値) $\text{ボーレート} = \frac{1}{T_q \text{周期} \times 1 \text{ビット分の} T_q \text{の数}} \dots \text{Max } 1 \text{ Mbps} (\text{注1})$ BRP: 1 ~ 255 (0: 禁止) 1ビット分のTqの数 = Synchronization Segment + Propagation Segment + Phase Segment 1 + Phase Segment 2 Propagation Segment : 1 ~ 8Tq Phase Segment 1 : 1 ~ 8Tq Phase Segment 2 : 1 ~ 8Tq (IPT = 1) |
| リモートフレーム 自動応答機能 | リモートフレームを受信したボックスが自動的に送信を行う機能 |
| タイムスタンプ機能 | 16ビットカウンタによるタイムスタンプ機能。CANバスのビット周期を基本周期として、カウント周期を1, 2, 3, 4分周に設定可能 |
| BasicCANモード | ローカルスロットを2本使用してBasicCAN機能を実現 |
| 送信アボート機能 | 送信要求をキャンセルする機能 |
| ループバック機能 | CANモジュールが送信したデータ自身を受信する機能 |
| リターンバスオフ機能 | エラーカウンタをクリアし、強制的にエラーアクティブモードに移行させる機能 |
| シングルショット機能 | アービトレーションロストや送信エラー発生により送信に失敗しても再送信を行わない機能 |
| DMA転送機能 | 送信失敗、または送受信完了によりDMA転送要求を発生させる機能(CAN0のみ) |
| 自己診断機能 | CANモジュール内部で通信を行い、通信モジュールを診断する機能 |

注1. 発振最大許容誤差はシステム構成(バス長、クロック誤差、CANバストランシーバ、サンプリング位置、ビット構成など)に依存します。

表13.1.2 CANのDMA転送要求発生機能

| CANのDMA転送要求 | DMAC入力チャネル |
|-----------------------------------|------------|
| CAN0 : スロット0の送信失敗、またはスロット15の送受信完了 | DMA0 |
| CAN0 : スロット1の送信失敗、またはスロット14の送受信完了 | DMA2 |

表13.1.3 CANモジュールの割り込み要求発生機能

| CANモジュール割り込み要求元 | ICU割り込み要求要因 |
|-----------------|-------------------|
| CAN0送信完了 | CAN0送受信 & エラー割り込み |
| CAN1送信完了 | CAN1送受信 & エラー割り込み |
| CAN0受信完了 | CAN0送受信 & エラー割り込み |
| CAN1受信完了 | CAN1送受信 & エラー割り込み |
| CAN0バスエラー | CAN0送受信 & エラー割り込み |
| CAN1バスエラー | CAN1送受信 & エラー割り込み |
| CAN0エラーパッシブ | CAN0送受信 & エラー割り込み |
| CAN1エラーパッシブ | CAN1送受信 & エラー割り込み |
| CAN0バスオフ | CAN0送受信 & エラー割り込み |
| CAN1バスオフ | CAN1送受信 & エラー割り込み |
| CAN0シングルショット | CAN0送受信 & エラー割り込み |
| CAN1シングルショット | CAN1送受信 & エラー割り込み |

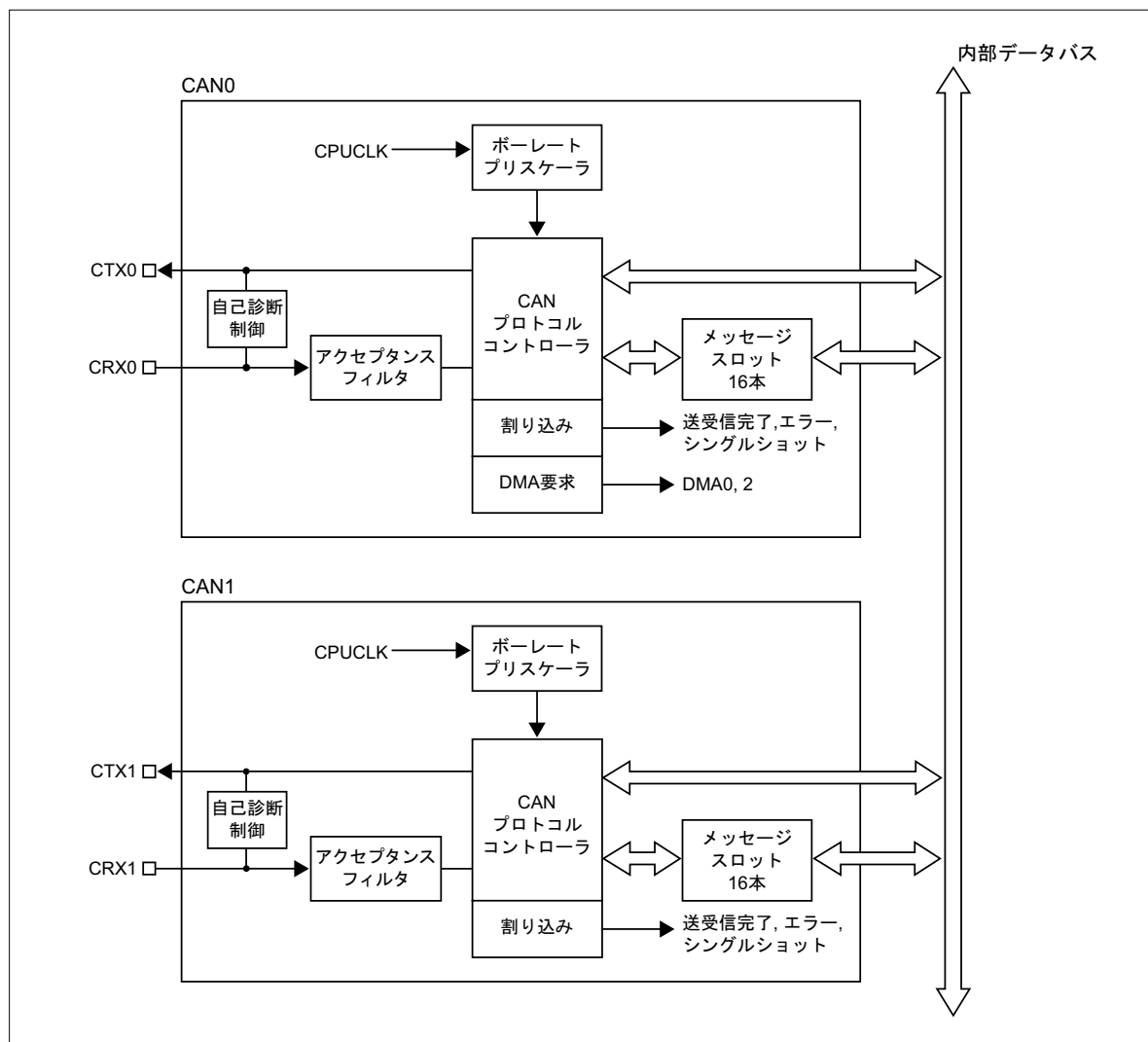


図13.1.1 CANモジュールブロック図

13.2 CANモジュール関連レジスタ

CANモジュール関連のレジスタマップを以下に示します。

CANモジュール関連レジスタマップ(1/11)

| 番地 | + 0番地 | + 1番地 | 掲載ページ |
|-------------|--|--------------------------------------|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1000 | CAN0コントロールレジスタ (CAN0CNT) | | 13-15 |
| H'0080 1002 | CAN0ステータスレジスタ (CAN0STAT) | | 13-18 |
| H'0080 1004 | CAN0フレームフォーマット選択レジスタ (CAN0FFS) | | 13-21 |
| H'0080 1006 | CAN0コンフィグレーションレジスタ (CAN0CONF) | | 13-22 |
| H'0080 1008 | CAN0タイムスタンプカウントレジスタ (CAN0TSTMP) | | 13-24 |
| H'0080 100A | CAN0受信エラーカウントレジスタ (CAN0REC) | CAN0送信エラーカウントレジスタ (CAN0TEC) | 13-25 |
| H'0080 100C | CAN0スロット割り込み要求ステータスレジスタ (CAN0SLIST) | | 13-29 |
| H'0080 100E | (使用禁止領域) | | |
| H'0080 1010 | CAN0スロット割り込み要求許可レジスタ (CAN0SLIEN) | | 13-30 |
| H'0080 1012 | (使用禁止領域) | | |
| H'0080 1014 | CAN0エラー割り込み要求ステータスレジスタ (CAN0ERIST) | CAN0エラー割り込み要求許可レジスタ (CAN0ERIEN) | 13-31 13-32 |
| H'0080 1016 | CAN0ボーレートプリスケアラ (CAN0BRP) | CAN0エラー要因レジスタ (CAN0EF) | 13-26 13-45 |
| H'0080 1018 | CAN0モードレジスタ (CAN0MOD) | CAN0DMA転送要求選択レジスタ (CAN0DMARQ) | 13-46 13-47 |
| | (使用禁止領域) | | |
| H'0080 1028 | CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0) | CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1) | 13-48 |
| H'0080 102A | CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0) | CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1) | 13-49 |
| H'0080 102C | CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2) | (使用禁止領域) | 13-50 |
| H'0080 102E | (使用禁止領域) | | |
| H'0080 1030 | CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0) | CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1) | 13-48 |
| H'0080 1032 | CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0) | CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1) | 13-49 |
| H'0080 1034 | CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2) | (使用禁止領域) | 13-50 |
| H'0080 1036 | (使用禁止領域) | | |
| H'0080 1038 | CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0) | CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1) | 13-48 |
| H'0080 103A | CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0) | CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1) | 13-49 |
| H'0080 103C | CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2) | (使用禁止領域) | 13-50 |
| H'0080 103E | (使用禁止領域) | | |
| H'0080 1040 | CAN0シングルショットモード制御レジスタ (CAN0SSMODE) | | 13-52 |
| H'0080 1042 | (使用禁止領域) | | |
| H'0080 1044 | CAN0シングルショット割り込み要求ステータスレジスタ (CAN0SSIST) | | 13-33 |
| H'0080 1046 | (使用禁止領域) | | |
| H'0080 1048 | CAN0シングルショット割り込み要求許可レジスタ (CAN0SSIEN) | | 13-34 |

CANモジュール関連レジスタマップ(2/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|---|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1050 | CAN0メッセージスロット0コントロールレジスタ (C0MSL0CNT) | CAN0メッセージスロット1コントロールレジスタ (C0MSL1CNT) | 13-53 |
| H'0080 1052 | CAN0メッセージスロット2コントロールレジスタ (C0MSL2CNT) | CAN0メッセージスロット3コントロールレジスタ (C0MSL3CNT) | 13-53 |
| H'0080 1054 | CAN0メッセージスロット4コントロールレジスタ (C0MSL4CNT) | CAN0メッセージスロット5コントロールレジスタ (C0MSL5CNT) | 13-53 |
| H'0080 1056 | CAN0メッセージスロット6コントロールレジスタ (C0MSL6CNT) | CAN0メッセージスロット7コントロールレジスタ (C0MSL7CNT) | 13-53 |
| H'0080 1058 | CAN0メッセージスロット8コントロールレジスタ (C0MSL8CNT) | CAN0メッセージスロット9コントロールレジスタ (C0MSL9CNT) | 13-53 |
| H'0080 105A | CAN0メッセージスロット10コントロールレジスタ (C0MSL10CNT) | CAN0メッセージスロット11コントロールレジスタ (C0MSL11CNT) | 13-53 |
| H'0080 105C | CAN0メッセージスロット12コントロールレジスタ (C0MSL12CNT) | CAN0メッセージスロット13コントロールレジスタ (C0MSL13CNT) | 13-53 |
| H'0080 105E | CAN0メッセージスロット14コントロールレジスタ (C0MSL14CNT) | CAN0メッセージスロット15コントロールレジスタ (C0MSL15CNT) | 13-53 |
| | (使用禁止領域) | | |
| H'0080 1100 | CAN0メッセージスロット0標準ID0 (C0MSL0SID0) | CAN0メッセージスロット0標準ID1 (C0MSL0SID1) | 13-57 13-58 |
| H'0080 1102 | CAN0メッセージスロット0拡張ID0 (C0MSL0EID0) | CAN0メッセージスロット0拡張ID1 (C0MSL0EID1) | 13-59 13-60 |
| H'0080 1104 | CAN0メッセージスロット0拡張ID2 (C0MSL0EID2) | CAN0メッセージスロット0データ長レジスタ (C0MSL0DLC) | 13-61 13-62 |
| H'0080 1106 | CAN0メッセージスロット0データ0 (C0MSL0DT0) | CAN0メッセージスロット0データ1 (C0MSL0DT1) | 13-63 13-64 |
| H'0080 1108 | CAN0メッセージスロット0データ2 (C0MSL0DT2) | CAN0メッセージスロット0データ3 (C0MSL0DT3) | 13-65 13-66 |
| H'0080 110A | CAN0メッセージスロット0データ4 (C0MSL0DT4) | CAN0メッセージスロット0データ5 (C0MSL0DT5) | 13-67 13-68 |
| H'0080 110C | CAN0メッセージスロット0データ6 (C0MSL0DT6) | CAN0メッセージスロット0データ7 (C0MSL0DT7) | 13-69 13-70 |
| H'0080 110E | CAN0メッセージスロット0タイムスタンプ (C0MSL0TSP) | | 13-71 |
| H'0080 1110 | CAN0メッセージスロット1標準ID0 (C0MSL1SID0) | CAN0メッセージスロット1標準ID1 (C0MSL1SID1) | 13-57 13-58 |
| H'0080 1112 | CAN0メッセージスロット1拡張ID0 (C0MSL1EID0) | CAN0メッセージスロット1拡張ID1 (C0MSL1EID1) | 13-59 13-60 |
| H'0080 1114 | CAN0メッセージスロット1拡張ID2 (C0MSL1EID2) | CAN0メッセージスロット1データ長レジスタ (C0MSL1DLC) | 13-61 13-62 |
| H'0080 1116 | CAN0メッセージスロット1データ0 (C0MSL1DT0) | CAN0メッセージスロット1データ1 (C0MSL1DT1) | 13-63 13-64 |
| H'0080 1118 | CAN0メッセージスロット1データ2 (C0MSL1DT2) | CAN0メッセージスロット1データ3 (C0MSL1DT3) | 13-65 13-66 |
| H'0080 111A | CAN0メッセージスロット1データ4 (C0MSL1DT4) | CAN0メッセージスロット1データ5 (C0MSL1DT5) | 13-67 13-68 |
| H'0080 111C | CAN0メッセージスロット1データ6 (C0MSL1DT6) | CAN0メッセージスロット1データ7 (C0MSL1DT7) | 13-69 13-70 |
| H'0080 111E | CAN0メッセージスロット1タイムスタンプ (C0MSL1TSP) | | 13-71 |
| H'0080 1120 | CAN0メッセージスロット2標準ID0 (C0MSL2SID0) | CAN0メッセージスロット2標準ID1 (C0MSL2SID1) | 13-57 13-58 |
| H'0080 1122 | CAN0メッセージスロット2拡張ID0 (C0MSL2EID0) | CAN0メッセージスロット2拡張ID1 (C0MSL2EID1) | 13-59 13-60 |
| H'0080 1124 | CAN0メッセージスロット2拡張ID2 (C0MSL2EID2) | CAN0メッセージスロット2データ長レジスタ (C0MSL2DLC) | 13-61 13-62 |
| H'0080 1126 | CAN0メッセージスロット2データ0 (C0MSL2DT0) | CAN0メッセージスロット2データ1 (C0MSL2DT1) | 13-63 13-64 |
| H'0080 1128 | CAN0メッセージスロット2データ2 (C0MSL2DT2) | CAN0メッセージスロット2データ3 (C0MSL2DT3) | 13-65 13-66 |
| H'0080 112A | CAN0メッセージスロット2データ4 (C0MSL2DT4) | CAN0メッセージスロット2データ5 (C0MSL2DT5) | 13-67 13-68 |
| H'0080 112C | CAN0メッセージスロット2データ6 (C0MSL2DT6) | CAN0メッセージスロット2データ7 (C0MSL2DT7) | 13-69 13-70 |
| H'0080 112E | CAN0メッセージスロット2タイムスタンプ (C0MSL2TSP) | | 13-71 |

CANモジュール関連レジスタマップ(3/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--------------------------------------|-------|--|
| | b0 | b7 b8 | b15 |
| H'0080 1130 | CAN0メッセージスロット3標準ID0 (C0MSL3SID0) | | CAN0メッセージスロット3標準ID1 (C0MSL3SID1) 13-57 13-58 |
| H'0080 1132 | CAN0メッセージスロット3拡張ID0 (C0MSL3EID0) | | CAN0メッセージスロット3拡張ID1 (C0MSL3EID1) 13-59 13-60 |
| H'0080 1134 | CAN0メッセージスロット3拡張ID2 (C0MSL3EID2) | | CAN0メッセージスロット3データ長レジスタ (C0MSL3DLC) 13-61 13-62 |
| H'0080 1136 | CAN0メッセージスロット3データ0 (C0MSL3DT0) | | CAN0メッセージスロット3データ1 (C0MSL3DT1) 13-63 13-64 |
| H'0080 1138 | CAN0メッセージスロット3データ2 (C0MSL3DT2) | | CAN0メッセージスロット3データ3 (C0MSL3DT3) 13-65 13-66 |
| H'0080 113A | CAN0メッセージスロット3データ4 (C0MSL3DT4) | | CAN0メッセージスロット3データ5 (C0MSL3DT5) 13-67 13-68 |
| H'0080 113C | CAN0メッセージスロット3データ6 (C0MSL3DT6) | | CAN0メッセージスロット3データ7 (C0MSL3DT7) 13-69 13-70 |
| H'0080 113E | CAN0メッセージスロット3タイムスタンプ (C0MSL3TSP) | | 13-71 |
| H'0080 1140 | CAN0メッセージスロット4標準ID0 (C0MSL4SID0) | | CAN0メッセージスロット4標準ID1 (C0MSL4SID1) 13-57 13-58 |
| H'0080 1142 | CAN0メッセージスロット4拡張ID0 (C0MSL4EID0) | | CAN0メッセージスロット4拡張ID1 (C0MSL4EID1) 13-59 13-60 |
| H'0080 1144 | CAN0メッセージスロット4拡張ID2 (C0MSL4EID2) | | CAN0メッセージスロット4データ長レジスタ (C0MSL4DLC) 13-61 13-62 |
| H'0080 1146 | CAN0メッセージスロット4データ0 (C0MSL4DT0) | | CAN0メッセージスロット4データ1 (C0MSL4DT1) 13-63 13-64 |
| H'0080 1148 | CAN0メッセージスロット4データ2 (C0MSL4DT2) | | CAN0メッセージスロット4データ3 (C0MSL4DT3) 13-65 13-66 |
| H'0080 114A | CAN0メッセージスロット4データ4 (C0MSL4DT4) | | CAN0メッセージスロット4データ5 (C0MSL4DT5) 13-67 13-68 |
| H'0080 114C | CAN0メッセージスロット4データ6 (C0MSL4DT6) | | CAN0メッセージスロット4データ7 (C0MSL4DT7) 13-69 13-70 |
| H'0080 114E | CAN0メッセージスロット4タイムスタンプ (C0MSL4TSP) | | 13-71 |
| H'0080 1150 | CAN0メッセージスロット5標準ID0 (C0MSL5SID0) | | CAN0メッセージスロット5標準ID1 (C0MSL5SID1) 13-57 13-58 |
| H'0080 1152 | CAN0メッセージスロット5拡張ID0 (C0MSL5EID0) | | CAN0メッセージスロット5拡張ID1 (C0MSL5EID1) 13-59 13-60 |
| H'0080 1154 | CAN0メッセージスロット5拡張ID2 (C0MSL5EID2) | | CAN0メッセージスロット5データ長レジスタ (C0MSL5DLC) 13-61 13-62 |
| H'0080 1156 | CAN0メッセージスロット5データ0 (C0MSL5DT0) | | CAN0メッセージスロット5データ1 (C0MSL5DT1) 13-63 13-64 |
| H'0080 1158 | CAN0メッセージスロット5データ2 (C0MSL5DT2) | | CAN0メッセージスロット5データ3 (C0MSL5DT3) 13-65 13-66 |
| H'0080 115A | CAN0メッセージスロット5データ4 (C0MSL5DT4) | | CAN0メッセージスロット5データ5 (C0MSL5DT5) 13-67 13-68 |
| H'0080 115C | CAN0メッセージスロット5データ6 (C0MSL5DT6) | | CAN0メッセージスロット5データ7 (C0MSL5DT7) 13-69 13-70 |
| H'0080 115E | CAN0メッセージスロット5タイムスタンプ (C0MSL5TSP) | | 13-71 |
| H'0080 1160 | CAN0メッセージスロット6標準ID0 (C0MSL6SID0) | | CAN0メッセージスロット6標準ID1 (C0MSL6SID1) 13-57 13-58 |
| H'0080 1162 | CAN0メッセージスロット6拡張ID0 (C0MSL6EID0) | | CAN0メッセージスロット6拡張ID1 (C0MSL6EID1) 13-59 13-60 |
| H'0080 1164 | CAN0メッセージスロット6拡張ID2 (C0MSL6EID2) | | CAN0メッセージスロット6データ長レジスタ (C0MSL6DLC) 13-61 13-62 |
| H'0080 1166 | CAN0メッセージスロット6データ0 (C0MSL6DT0) | | CAN0メッセージスロット6データ1 (C0MSL6DT1) 13-63 13-64 |
| H'0080 1168 | CAN0メッセージスロット6データ2 (C0MSL6DT2) | | CAN0メッセージスロット6データ3 (C0MSL6DT3) 13-65 13-66 |
| H'0080 116A | CAN0メッセージスロット6データ4 (C0MSL6DT4) | | CAN0メッセージスロット6データ5 (C0MSL6DT5) 13-67 13-68 |
| H'0080 116C | CAN0メッセージスロット6データ6 (C0MSL6DT6) | | CAN0メッセージスロット6データ7 (C0MSL6DT7) 13-69 13-70 |
| H'0080 116E | CAN0メッセージスロット6タイムスタンプ (C0MSL6TSP) | | 13-71 |

CANモジュール関連レジスタマップ(4/11)

| 番地 | + 0番地 | | + 1番地 | | 掲載 ページ |
|-------------|--|----|---|-----|----------------|
| | b0 | b7 | b8 | b15 | |
| H'0080 1170 | CAN0メッセージスロット7標準ID0 (C0MSL7SID0) | | CAN0メッセージスロット7標準ID1 (C0MSL7SID1) | | 13-57 13-58 |
| H'0080 1172 | CAN0メッセージスロット7拡張ID0 (C0MSL7EID0) | | CAN0メッセージスロット7拡張ID1 (C0MSL7EID1) | | 13-59 13-60 |
| H'0080 1174 | CAN0メッセージスロット7拡張ID2 (C0MSL7EID2) | | CAN0メッセージスロット7データ長レジスタ (C0MSL7DLC) | | 13-61 13-62 |
| H'0080 1176 | CAN0メッセージスロット7データ0 (C0MSL7DT0) | | CAN0メッセージスロット7データ1 (C0MSL7DT1) | | 13-63 13-64 |
| H'0080 1178 | CAN0メッセージスロット7データ2 (C0MSL7DT2) | | CAN0メッセージスロット7データ3 (C0MSL7DT3) | | 13-65 13-66 |
| H'0080 117A | CAN0メッセージスロット7データ4 (C0MSL7DT4) | | CAN0メッセージスロット7データ5 (C0MSL7DT5) | | 13-67 13-68 |
| H'0080 117C | CAN0メッセージスロット7データ6 (C0MSL7DT6) | | CAN0メッセージスロット7データ7 (C0MSL7DT7) | | 13-69 13-70 |
| H'0080 117E | CAN0メッセージスロット7タイムスタンプ (C0MSL7TSP) | | | | 13-71 |
| H'0080 1180 | CAN0メッセージスロット8標準ID0 (C0MSL8SID0) | | CAN0メッセージスロット8標準ID1 (C0MSL8SID1) | | 13-57 13-58 |
| H'0080 1182 | CAN0メッセージスロット8拡張ID0 (C0MSL8EID0) | | CAN0メッセージスロット8拡張ID1 (C0MSL8EID1) | | 13-59 13-60 |
| H'0080 1184 | CAN0メッセージスロット8拡張ID2 (C0MSL8EID2) | | CAN0メッセージスロット8データ長レジスタ (C0MSL8DLC) | | 13-61 13-62 |
| H'0080 1186 | CAN0メッセージスロット8データ0 (C0MSL8DT0) | | CAN0メッセージスロット8データ1 (C0MSL8DT1) | | 13-63 13-64 |
| H'0080 1188 | CAN0メッセージスロット8データ2 (C0MSL8DT2) | | CAN0メッセージスロット8データ3 (C0MSL8DT3) | | 13-65 13-66 |
| H'0080 118A | CAN0メッセージスロット8データ4 (C0MSL8DT4) | | CAN0メッセージスロット8データ5 (C0MSL8DT5) | | 13-67 13-68 |
| H'0080 118C | CAN0メッセージスロット8データ6 (C0MSL8DT6) | | CAN0メッセージスロット8データ7 (C0MSL8DT7) | | 13-69 13-70 |
| H'0080 118E | CAN0メッセージスロット8タイムスタンプ (C0MSL8TSP) | | | | 13-71 |
| H'0080 1190 | CAN0メッセージスロット9標準ID0 (C0MSL9SID0) | | CAN0メッセージスロット9標準ID1 (C0MSL9SID1) | | 13-57 13-58 |
| H'0080 1192 | CAN0メッセージスロット9拡張ID0 (C0MSL9EID0) | | CAN0メッセージスロット9拡張ID1 (C0MSL9EID1) | | 13-59 13-60 |
| H'0080 1194 | CAN0メッセージスロット9拡張ID2 (C0MSL9EID2) | | CAN0メッセージスロット9データ長レジスタ (C0MSL9DLC) | | 13-61 13-62 |
| H'0080 1196 | CAN0メッセージスロット9データ0 (C0MSL9DT0) | | CAN0メッセージスロット9データ1 (C0MSL9DT1) | | 13-63 13-64 |
| H'0080 1198 | CAN0メッセージスロット9データ2 (C0MSL9DT2) | | CAN0メッセージスロット9データ3 (C0MSL9DT3) | | 13-65 13-66 |
| H'0080 119A | CAN0メッセージスロット9データ4 (C0MSL9DT4) | | CAN0メッセージスロット9データ5 (C0MSL9DT5) | | 13-67 13-68 |
| H'0080 119C | CAN0メッセージスロット9データ6 (C0MSL9DT6) | | CAN0メッセージスロット9データ7 (C0MSL9DT7) | | 13-69 13-70 |
| H'0080 119E | CAN0メッセージスロット9タイムスタンプ (C0MSL9TSP) | | | | 13-71 |
| H'0080 11A0 | CAN0メッセージスロット10標準ID0 (C0MSL10SID0) | | CAN0メッセージスロット10標準ID1 (C0MSL10SID1) | | 13-57 13-58 |
| H'0080 11A2 | CAN0メッセージスロット10拡張ID0 (C0MSL10EID0) | | CAN0メッセージスロット10拡張ID1 (C0MSL10EID1) | | 13-59 13-60 |
| H'0080 11A4 | CAN0メッセージスロット10拡張ID2 (C0MSL10EID2) | | CAN0メッセージスロット10データ長レジスタ (C0MSL10DLC) | | 13-61 13-62 |
| H'0080 11A6 | CAN0メッセージスロット10データ0 (C0MSL10DT0) | | CAN0メッセージスロット10データ1 (C0MSL10DT1) | | 13-63 13-64 |
| H'0080 11A8 | CAN0メッセージスロット10データ2 (C0MSL10DT2) | | CAN0メッセージスロット10データ3 (C0MSL10DT3) | | 13-65 13-66 |
| H'0080 11AA | CAN0メッセージスロット10データ4 (C0MSL10DT4) | | CAN0メッセージスロット10データ5 (C0MSL10DT5) | | 13-67 13-68 |
| H'0080 11AC | CAN0メッセージスロット10データ6 (C0MSL10DT6) | | CAN0メッセージスロット10データ7 (C0MSL10DT7) | | 13-69 13-70 |
| H'0080 11AE | CAN0メッセージスロット10タイムスタンプ (C0MSL10TSP) | | | | 13-71 |

CANモジュール関連レジスタマップ(5/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 b15 | |
| H'0080 11B0 | CAN0メッセージスロット11標準ID0 (C0MSL11SID0) | CAN0メッセージスロット11標準ID1 (C0MSL11SID1) | 13-57 13-58 |
| H'0080 11B2 | CAN0メッセージスロット11拡張ID0 (C0MSL11EID0) | CAN0メッセージスロット11拡張ID1 (C0MSL11EID1) | 13-59 13-60 |
| H'0080 11B4 | CAN0メッセージスロット11拡張ID2 (C0MSL11EID2) | CAN0メッセージスロット11データ長レジスタ (C0MSL11DLC) | 13-61 13-62 |
| H'0080 11B6 | CAN0メッセージスロット11データ0 (C0MSL11DT0) | CAN0メッセージスロット11データ1 (C0MSL11DT1) | 13-63 13-64 |
| H'0080 11B8 | CAN0メッセージスロット11データ2 (C0MSL11DT2) | CAN0メッセージスロット11データ3 (C0MSL11DT3) | 13-65 13-66 |
| H'0080 11BA | CAN0メッセージスロット11データ4 (C0MSL11DT4) | CAN0メッセージスロット11データ5 (C0MSL11DT5) | 13-67 13-68 |
| H'0080 11BC | CAN0メッセージスロット11データ6 (C0MSL11DT6) | CAN0メッセージスロット11データ7 (C0MSL11DT7) | 13-69 13-70 |
| H'0080 11BE | CAN0メッセージスロット11タイムスタンプ (C0MSL11TSP) | | 13-71 |
| H'0080 11C0 | CAN0メッセージスロット12標準ID0 (C0MSL12SID0) | CAN0メッセージスロット12標準ID1 (C0MSL12SID1) | 13-57 13-58 |
| H'0080 11C2 | CAN0メッセージスロット12拡張ID0 (C0MSL12EID0) | CAN0メッセージスロット12拡張ID1 (C0MSL12EID1) | 13-59 13-60 |
| H'0080 11C4 | CAN0メッセージスロット12拡張ID2 (C0MSL12EID2) | CAN0メッセージスロット12データ長レジスタ (C0MSL12DLC) | 13-61 13-62 |
| H'0080 11C6 | CAN0メッセージスロット12データ0 (C0MSL12DT0) | CAN0メッセージスロット12データ1 (C0MSL12DT1) | 13-63 13-64 |
| H'0080 11C8 | CAN0メッセージスロット12データ2 (C0MSL12DT2) | CAN0メッセージスロット12データ3 (C0MSL12DT3) | 13-65 13-66 |
| H'0080 11CA | CAN0メッセージスロット12データ4 (C0MSL12DT4) | CAN0メッセージスロット12データ5 (C0MSL12DT5) | 13-67 13-68 |
| H'0080 11CC | CAN0メッセージスロット12データ6 (C0MSL12DT6) | CAN0メッセージスロット12データ7 (C0MSL12DT7) | 13-69 13-70 |
| H'0080 11CE | CAN0メッセージスロット12タイムスタンプ (C0MSL12TSP) | | 13-71 |
| H'0080 11D0 | CAN0メッセージスロット13標準ID0 (C0MSL13SID0) | CAN0メッセージスロット13標準ID1 (C0MSL13SID1) | 13-57 13-58 |
| H'0080 11D2 | CAN0メッセージスロット13拡張ID0 (C0MSL13EID0) | CAN0メッセージスロット13拡張ID1 (C0MSL13EID1) | 13-59 13-60 |
| H'0080 11D4 | CAN0メッセージスロット13拡張ID2 (C0MSL13EID2) | CAN0メッセージスロット13データ長レジスタ (C0MSL13DLC) | 13-61 13-62 |
| H'0080 11D6 | CAN0メッセージスロット13データ0 (C0MSL13DT0) | CAN0メッセージスロット13データ1 (C0MSL13DT1) | 13-63 13-64 |
| H'0080 11D8 | CAN0メッセージスロット13データ2 (C0MSL13DT2) | CAN0メッセージスロット13データ3 (C0MSL13DT3) | 13-65 13-66 |
| H'0080 11DA | CAN0メッセージスロット13データ4 (C0MSL13DT4) | CAN0メッセージスロット13データ5 (C0MSL13DT5) | 13-67 13-68 |
| H'0080 11DC | CAN0メッセージスロット13データ6 (C0MSL13DT6) | CAN0メッセージスロット13データ7 (C0MSL13DT7) | 13-69 13-70 |
| H'0080 11DE | CAN0メッセージスロット13タイムスタンプ (C0MSL13TSP) | | 13-71 |
| H'0080 11E0 | CAN0メッセージスロット14標準ID0 (C0MSL14SID0) | CAN0メッセージスロット14標準ID1 (C0MSL14SID1) | 13-57 13-58 |
| H'0080 11E2 | CAN0メッセージスロット14拡張ID0 (C0MSL14EID0) | CAN0メッセージスロット14拡張ID1 (C0MSL14EID1) | 13-59 13-60 |
| H'0080 11E4 | CAN0メッセージスロット14拡張ID2 (C0MSL14EID2) | CAN0メッセージスロット14データ長レジスタ (C0MSL14DLC) | 13-61 13-62 |
| H'0080 11E6 | CAN0メッセージスロット14データ0 (C0MSL14DT0) | CAN0メッセージスロット14データ1 (C0MSL14DT1) | 13-63 13-64 |
| H'0080 11E8 | CAN0メッセージスロット14データ2 (C0MSL14DT2) | CAN0メッセージスロット14データ3 (C0MSL14DT3) | 13-65 13-66 |
| H'0080 11EA | CAN0メッセージスロット14データ4 (C0MSL14DT4) | CAN0メッセージスロット14データ5 (C0MSL14DT5) | 13-67 13-68 |
| H'0080 11EC | CAN0メッセージスロット14データ6 (C0MSL14DT6) | CAN0メッセージスロット14データ7 (C0MSL14DT7) | 13-69 13-70 |
| H'0080 11EE | CAN0メッセージスロット14タイムスタンプ (C0MSL14TSP) | | 13-71 |

CANモジュール関連レジスタマップ(6/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 11F0 | CAN0メッセージスロット15標準ID0 (C0MSL15SID0) | CAN0メッセージスロット15標準ID1 (C0MSL15SID1) | 13-57 13-58 |
| H'0080 11F2 | CAN0メッセージスロット15拡張ID0 (C0MSL15EID0) | CAN0メッセージスロット15拡張ID1 (C0MSL15EID1) | 13-59 13-60 |
| H'0080 11F4 | CAN0メッセージスロット15拡張ID2 (C0MSL15EID2) | CAN0メッセージスロット15データ長レジスタ (C0MSL15DLC) | 13-61 13-62 |
| H'0080 11F6 | CAN0メッセージスロット15データ0 (C0MSL15DT0) | CAN0メッセージスロット15データ1 (C0MSL15DT1) | 13-63 13-64 |
| H'0080 11F8 | CAN0メッセージスロット15データ2 (C0MSL15DT2) | CAN0メッセージスロット15データ3 (C0MSL15DT3) | 13-65 13-66 |
| H'0080 11FA | CAN0メッセージスロット15データ4 (C0MSL15DT4) | CAN0メッセージスロット15データ5 (C0MSL15DT5) | 13-67 13-68 |
| H'0080 11FC | CAN0メッセージスロット15データ6 (C0MSL15DT6) | CAN0メッセージスロット15データ7 (C0MSL15DT7) | 13-69 13-70 |
| H'0080 11FE | CAN0メッセージスロット15タイムスタンプ (C0MSL15TSP) | | 13-71 |
| } | (使用禁止領域) | | |
| H'0080 1400 | CAN1コントロールレジスタ (CAN1CNT) | | 13-15 |
| H'0080 1402 | CAN1ステータスレジスタ (CAN1STAT) | | 13-18 |
| H'0080 1404 | CAN1フレームフォーマット選択レジスタ (CAN1FFS) | | 13-21 |
| H'0080 1406 | CAN1コンフィギュレーションレジスタ (CAN1CONF) | | 13-22 |
| H'0080 1408 | CAN1タイムスタンプカウントレジスタ (CAN1TSTMP) | | 13-24 |
| H'0080 140A | CAN1受信エラーカウントレジスタ (CAN1REC) | CAN1送信エラーカウントレジスタ (CAN1TEC) | 13-25 |
| H'0080 140C | CAN1スロット割り込み要求ステータスレジスタ (CAN1SLIST) | | 13-29 |
| H'0080 140E | (使用禁止領域) | | |
| H'0080 1410 | CAN1スロット割り込み要求許可レジスタ (CAN1SLIEN) | | 13-30 |
| H'0080 1412 | (使用禁止領域) | | |
| H'0080 1414 | CAN1エラー割り込み要求ステータスレジスタ (CAN1ERIST) | CAN1エラー割り込み要求許可レジスタ (CAN1ERIEN) | 13-31 13-32 |
| H'0080 1416 | CAN1ボーレートプリスケアラ (CAN1BRP) | CAN1エラー要因レジスタ (CAN1EF) | 13-26 13-45 |
| H'0080 1418 | CAN1モードレジスタ (CAN1MOD) | (使用禁止領域) | 13-46 |
| } | (使用禁止領域) | | |
| H'0080 1428 | CAN1グローバルマスクレジスタ標準ID0 (C1GMSKS0) | CAN1グローバルマスクレジスタ標準ID1 (C1GMSKS1) | 13-48 |
| H'0080 142A | CAN1グローバルマスクレジスタ拡張ID0 (C1GMSKE0) | CAN1グローバルマスクレジスタ拡張ID1 (C1GMSKE1) | 13-49 |
| H'0080 142C | CAN1グローバルマスクレジスタ拡張ID2 (C1GMSKE2) | (使用禁止領域) | 13-50 |
| H'0080 142E | (使用禁止領域) | | |
| H'0080 1430 | CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0) | CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1) | 13-48 |
| H'0080 1432 | CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0) | CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1) | 13-49 |
| H'0080 1434 | CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2) | (使用禁止領域) | 13-50 |
| H'0080 1436 | (使用禁止領域) | | |
| H'0080 1438 | CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0) | CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1) | 13-48 |
| H'0080 143A | CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0) | CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1) | 13-49 |
| H'0080 143C | CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2) | (使用禁止領域) | 13-50 |
| H'0080 143E | (使用禁止領域) | | |

CANモジュール関連レジスタマップ(7/11)

| 番地 | + 0番地 | + 1番地 | 掲載 ページ |
|-------------|--|---|----------------|
| | b0 | b7 b8 | b15 |
| H'0080 1440 | CAN1シングルショットモード制御レジスタ (CAN1SSMODE) | | 13-52 |
| H'0080 1442 | (使用禁止領域) | | |
| H'0080 1444 | CAN1シングルショット割り込み要求ステータスレジスタ (CAN1SSIST) | | 13-33 |
| H'0080 1446 | (使用禁止領域) | | |
| H'0080 1448 | CAN1シングルショット割り込み要求許可レジスタ (CAN1SSIEN) | | 13-34 |
| } | (使用禁止領域) | | |
| H'0080 1450 | CAN1メッセージスロット0コントロールレジスタ (C1MSL0CNT) | CAN1メッセージスロット1コントロールレジスタ (C1MSL1CNT) | 13-53 |
| H'0080 1452 | CAN1メッセージスロット2コントロールレジスタ (C1MSL2CNT) | CAN1メッセージスロット3コントロールレジスタ (C1MSL3CNT) | 13-53 |
| H'0080 1454 | CAN1メッセージスロット4コントロールレジスタ (C1MSL4CNT) | CAN1メッセージスロット5コントロールレジスタ (C1MSL5CNT) | 13-53 |
| H'0080 1456 | CAN1メッセージスロット6コントロールレジスタ (C1MSL6CNT) | CAN1メッセージスロット7コントロールレジスタ (C1MSL7CNT) | 13-53 |
| H'0080 1458 | CAN1メッセージスロット8コントロールレジスタ (C1MSL8CNT) | CAN1メッセージスロット9コントロールレジスタ (C1MSL9CNT) | 13-53 |
| H'0080 145A | CAN1メッセージスロット10コントロールレジスタ (C1MSL10CNT) | CAN1メッセージスロット11コントロールレジスタ (C1MSL11CNT) | 13-53 |
| H'0080 145C | CAN1メッセージスロット12コントロールレジスタ (C1MSL12CNT) | CAN1メッセージスロット13コントロールレジスタ (C1MSL13CNT) | 13-53 |
| H'0080 145E | CAN1メッセージスロット14コントロールレジスタ (C1MSL14CNT) | CAN1メッセージスロット15コントロールレジスタ (C1MSL15CNT) | 13-53 |
| } | (使用禁止領域) | | |
| H'0080 1500 | CAN1メッセージスロット0標準ID0 (C1MSL0SID0) | CAN1メッセージスロット0標準ID1 (C1MSL0SID1) | 13-57 13-58 |
| H'0080 1502 | CAN1メッセージスロット0拡張ID0 (C1MSL0EID0) | CAN1メッセージスロット0拡張ID1 (C1MSL0EID1) | 13-59 13-60 |
| H'0080 1504 | CAN1メッセージスロット0拡張ID2 (C1MSL0EID2) | CAN1メッセージスロット0データ長レジスタ (C1MSL0DLC) | 13-61 13-62 |
| H'0080 1506 | CAN1メッセージスロット0データ0 (C1MSL0DT0) | CAN1メッセージスロット0データ1 (C1MSL0DT1) | 13-63 13-64 |
| H'0080 1508 | CAN1メッセージスロット0データ2 (C1MSL0DT2) | CAN1メッセージスロット0データ3 (C1MSL0DT3) | 13-65 13-66 |
| H'0080 150A | CAN1メッセージスロット0データ4 (C1MSL0DT4) | CAN1メッセージスロット0データ5 (C1MSL0DT5) | 13-67 13-68 |
| H'0080 150C | CAN1メッセージスロット0データ6 (C1MSL0DT6) | CAN1メッセージスロット0データ7 (C1MSL0DT7) | 13-69 13-70 |
| H'0080 150E | CAN1メッセージスロット0タイムスタンプ (C1MSL0TSP) | | 13-71 |
| H'0080 1510 | CAN1メッセージスロット1標準ID0 (C1MSL1SID0) | CAN1メッセージスロット1標準ID1 (C1MSL1SID1) | 13-57 13-58 |
| H'0080 1512 | CAN1メッセージスロット1拡張ID0 (C1MSL1EID0) | CAN1メッセージスロット1拡張ID1 (C1MSL1EID1) | 13-59 13-60 |
| H'0080 1514 | CAN1メッセージスロット1拡張ID2 (C1MSL1EID2) | CAN1メッセージスロット1データ長レジスタ (C1MSL1DLC) | 13-61 13-62 |
| H'0080 1516 | CAN1メッセージスロット1データ0 (C1MSL1DT0) | CAN1メッセージスロット1データ1 (C1MSL1DT1) | 13-63 13-64 |
| H'0080 1518 | CAN1メッセージスロット1データ2 (C1MSL1DT2) | CAN1メッセージスロット1データ3 (C1MSL1DT3) | 13-65 13-66 |
| H'0080 151A | CAN1メッセージスロット1データ4 (C1MSL1DT4) | CAN1メッセージスロット1データ5 (C1MSL1DT5) | 13-67 13-68 |
| H'0080 151C | CAN1メッセージスロット1データ6 (C1MSL1DT6) | CAN1メッセージスロット1データ7 (C1MSL1DT7) | 13-69 13-70 |
| H'0080 151E | CAN1メッセージスロット1タイムスタンプ (C1MSL1TSP) | | 13-71 |

CANモジュール関連レジスタマップ(8/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--------------------------------------|-------|--|
| | b0 | b7 b8 | b15 |
| H'0080 1520 | CAN1メッセージスロット2標準ID0 (C1MSL2SID0) | | CAN1メッセージスロット2標準ID1 (C1MSL2SID1) 13-57 13-58 |
| H'0080 1522 | CAN1メッセージスロット2拡張ID0 (C1MSL2EID0) | | CAN1メッセージスロット2拡張ID1 (C1MSL2EID1) 13-59 13-60 |
| H'0080 1524 | CAN1メッセージスロット2拡張ID2 (C1MSL2EID2) | | CAN1メッセージスロット2データ長レジスタ (C1MSL2DLC) 13-61 13-62 |
| H'0080 1526 | CAN1メッセージスロット2データ0 (C1MSL2DT0) | | CAN1メッセージスロット2データ1 (C1MSL2DT1) 13-63 13-64 |
| H'0080 1528 | CAN1メッセージスロット2データ2 (C1MSL2DT2) | | CAN1メッセージスロット2データ3 (C1MSL2DT3) 13-65 13-66 |
| H'0080 152A | CAN1メッセージスロット2データ4 (C1MSL2DT4) | | CAN1メッセージスロット2データ5 (C1MSL2DT5) 13-67 13-68 |
| H'0080 152C | CAN1メッセージスロット2データ6 (C1MSL2DT6) | | CAN1メッセージスロット2データ7 (C1MSL2DT7) 13-69 13-70 |
| H'0080 152E | CAN1メッセージスロット2タイムスタンプ (C1MSL2TSP) | | 13-71 |
| H'0080 1530 | CAN1メッセージスロット3標準ID0 (C1MSL3SID0) | | CAN1メッセージスロット3標準ID1 (C1MSL3SID1) 13-57 13-58 |
| H'0080 1532 | CAN1メッセージスロット3拡張ID0 (C1MSL3EID0) | | CAN1メッセージスロット3拡張ID1 (C1MSL3EID1) 13-59 13-60 |
| H'0080 1534 | CAN1メッセージスロット3拡張ID2 (C1MSL3EID2) | | CAN1メッセージスロット3データ長レジスタ (C1MSL3DLC) 13-61 13-62 |
| H'0080 1536 | CAN1メッセージスロット3データ0 (C1MSL3DT0) | | CAN1メッセージスロット3データ1 (C1MSL3DT1) 13-63 13-64 |
| H'0080 1538 | CAN1メッセージスロット3データ2 (C1MSL3DT2) | | CAN1メッセージスロット3データ3 (C1MSL3DT3) 13-65 13-66 |
| H'0080 153A | CAN1メッセージスロット3データ4 (C1MSL3DT4) | | CAN1メッセージスロット3データ5 (C1MSL3DT5) 13-67 13-68 |
| H'0080 153C | CAN1メッセージスロット3データ6 (C1MSL3DT6) | | CAN1メッセージスロット3データ7 (C1MSL3DT7) 13-69 13-70 |
| H'0080 153E | CAN1メッセージスロット3タイムスタンプ (C1MSL3TSP) | | 13-71 |
| H'0080 1540 | CAN1メッセージスロット4標準ID0 (C1MSL4SID0) | | CAN1メッセージスロット4標準ID1 (C1MSL4SID1) 13-57 13-58 |
| H'0080 1542 | CAN1メッセージスロット4拡張ID0 (C1MSL4EID0) | | CAN1メッセージスロット4拡張ID1 (C1MSL4EID1) 13-59 13-60 |
| H'0080 1544 | CAN1メッセージスロット4拡張ID2 (C1MSL4EID2) | | CAN1メッセージスロット4データ長レジスタ (C1MSL4DLC) 13-61 13-62 |
| H'0080 1546 | CAN1メッセージスロット4データ0 (C1MSL4DT0) | | CAN1メッセージスロット4データ1 (C1MSL4DT1) 13-63 13-64 |
| H'0080 1548 | CAN1メッセージスロット4データ2 (C1MSL4DT2) | | CAN1メッセージスロット4データ3 (C1MSL4DT3) 13-65 13-66 |
| H'0080 154A | CAN1メッセージスロット4データ4 (C1MSL4DT4) | | CAN1メッセージスロット4データ5 (C1MSL4DT5) 13-67 13-68 |
| H'0080 154C | CAN1メッセージスロット4データ6 (C1MSL4DT6) | | CAN1メッセージスロット4データ7 (C1MSL4DT7) 13-69 13-70 |
| H'0080 154E | CAN1メッセージスロット4タイムスタンプ (C1MSL4TSP) | | 13-71 |
| H'0080 1550 | CAN1メッセージスロット5標準ID0 (C1MSL5SID0) | | CAN1メッセージスロット5標準ID1 (C1MSL5SID1) 13-57 13-58 |
| H'0080 1552 | CAN1メッセージスロット5拡張ID0 (C1MSL5EID0) | | CAN1メッセージスロット5拡張ID1 (C1MSL5EID1) 13-59 13-60 |
| H'0080 1554 | CAN1メッセージスロット5拡張ID2 (C1MSL5EID2) | | CAN1メッセージスロット5データ長レジスタ (C1MSL5DLC) 13-61 13-62 |
| H'0080 1556 | CAN1メッセージスロット5データ0 (C1MSL5DT0) | | CAN1メッセージスロット5データ1 (C1MSL5DT1) 13-63 13-64 |
| H'0080 1558 | CAN1メッセージスロット5データ2 (C1MSL5DT2) | | CAN1メッセージスロット5データ3 (C1MSL5DT3) 13-65 13-66 |
| H'0080 155A | CAN1メッセージスロット5データ4 (C1MSL5DT4) | | CAN1メッセージスロット5データ5 (C1MSL5DT5) 13-67 13-68 |
| H'0080 155C | CAN1メッセージスロット5データ6 (C1MSL5DT6) | | CAN1メッセージスロット5データ7 (C1MSL5DT7) 13-69 13-70 |
| H'0080 155E | CAN1メッセージスロット5タイムスタンプ (C1MSL5TSP) | | 13-71 |

CANモジュール関連レジスタマップ(9/11)

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|--------------------------------------|-------|--|
| | b0 | b7 b8 | b15 |
| H'0080 1560 | CAN1メッセージスロット6標準ID0 (C1MSL6SID0) | | CAN1メッセージスロット6標準ID1 (C1MSL6SID1) 13-57 13-58 |
| H'0080 1562 | CAN1メッセージスロット6拡張ID0 (C1MSL6EID0) | | CAN1メッセージスロット6拡張ID1 (C1MSL6EID1) 13-59 13-60 |
| H'0080 1564 | CAN1メッセージスロット6拡張ID2 (C1MSL6EID2) | | CAN1メッセージスロット6データ長レジスタ (C1MSL6DLC) 13-61 13-62 |
| H'0080 1566 | CAN1メッセージスロット6データ0 (C1MSL6DT0) | | CAN1メッセージスロット6データ1 (C1MSL6DT1) 13-63 13-64 |
| H'0080 1568 | CAN1メッセージスロット6データ2 (C1MSL6DT2) | | CAN1メッセージスロット6データ3 (C1MSL6DT3) 13-65 13-66 |
| H'0080 156A | CAN1メッセージスロット6データ4 (C1MSL6DT4) | | CAN1メッセージスロット6データ5 (C1MSL6DT5) 13-67 13-68 |
| H'0080 156C | CAN1メッセージスロット6データ6 (C1MSL6DT6) | | CAN1メッセージスロット6データ7 (C1MSL6DT7) 13-69 13-70 |
| H'0080 156E | CAN1メッセージスロット6タイムスタンプ (C1MSL6TSP) | | 13-71 |
| H'0080 1570 | CAN1メッセージスロット7標準ID0 (C1MSL7SID0) | | CAN1メッセージスロット7標準ID1 (C1MSL7SID1) 13-57 13-58 |
| H'0080 1572 | CAN1メッセージスロット7拡張ID0 (C1MSL7EID0) | | CAN1メッセージスロット7拡張ID1 (C1MSL7EID1) 13-59 13-60 |
| H'0080 1574 | CAN1メッセージスロット7拡張ID2 (C1MSL7EID2) | | CAN1メッセージスロット7データ長レジスタ (C1MSL7DLC) 13-61 13-62 |
| H'0080 1576 | CAN1メッセージスロット7データ0 (C1MSL7DT0) | | CAN1メッセージスロット7データ1 (C1MSL7DT1) 13-63 13-64 |
| H'0080 1578 | CAN1メッセージスロット7データ2 (C1MSL7DT2) | | CAN1メッセージスロット7データ3 (C1MSL7DT3) 13-65 13-66 |
| H'0080 157A | CAN1メッセージスロット7データ4 (C1MSL7DT4) | | CAN1メッセージスロット7データ5 (C1MSL7DT5) 13-67 13-68 |
| H'0080 157C | CAN1メッセージスロット7データ6 (C1MSL7DT6) | | CAN1メッセージスロット7データ7 (C1MSL7DT7) 13-69 13-70 |
| H'0080 157E | CAN1メッセージスロット7タイムスタンプ (C1MSL7TSP) | | 13-71 |
| H'0080 1580 | CAN1メッセージスロット8標準ID0 (C1MSL8SID0) | | CAN1メッセージスロット8標準ID1 (C1MSL8SID1) 13-57 13-58 |
| H'0080 1582 | CAN1メッセージスロット8拡張ID0 (C1MSL8EID0) | | CAN1メッセージスロット8拡張ID1 (C1MSL8EID1) 13-59 13-60 |
| H'0080 1584 | CAN1メッセージスロット8拡張ID2 (C1MSL8EID2) | | CAN1メッセージスロット8データ長レジスタ (C1MSL8DLC) 13-61 13-62 |
| H'0080 1586 | CAN1メッセージスロット8データ0 (C1MSL8DT0) | | CAN1メッセージスロット8データ1 (C1MSL8DT1) 13-63 13-64 |
| H'0080 1588 | CAN1メッセージスロット8データ2 (C1MSL8DT2) | | CAN1メッセージスロット8データ3 (C1MSL8DT3) 13-65 13-66 |
| H'0080 158A | CAN1メッセージスロット8データ4 (C1MSL8DT4) | | CAN1メッセージスロット8データ5 (C1MSL8DT5) 13-67 13-68 |
| H'0080 158C | CAN1メッセージスロット8データ6 (C1MSL8DT6) | | CAN1メッセージスロット8データ7 (C1MSL8DT7) 13-69 13-70 |
| H'0080 158E | CAN1メッセージスロット8タイムスタンプ (C1MSL8TSP) | | 13-71 |
| H'0080 1590 | CAN1メッセージスロット9標準ID0 (C1MSL9SID0) | | CAN1メッセージスロット9標準ID1 (C1MSL9SID1) 13-57 13-58 |
| H'0080 1592 | CAN1メッセージスロット9拡張ID0 (C1MSL9EID0) | | CAN1メッセージスロット9拡張ID1 (C1MSL9EID1) 13-59 13-60 |
| H'0080 1594 | CAN1メッセージスロット9拡張ID2 (C1MSL9EID2) | | CAN1メッセージスロット9データ長レジスタ (C1MSL9DLC) 13-61 13-62 |
| H'0080 1596 | CAN1メッセージスロット9データ0 (C1MSL9DT0) | | CAN1メッセージスロット9データ1 (C1MSL9DT1) 13-63 13-64 |
| H'0080 1598 | CAN1メッセージスロット9データ2 (C1MSL9DT2) | | CAN1メッセージスロット9データ3 (C1MSL9DT3) 13-65 13-66 |
| H'0080 159A | CAN1メッセージスロット9データ4 (C1MSL9DT4) | | CAN1メッセージスロット9データ5 (C1MSL9DT5) 13-67 13-68 |
| H'0080 159C | CAN1メッセージスロット9データ6 (C1MSL9DT6) | | CAN1メッセージスロット9データ7 (C1MSL9DT7) 13-69 13-70 |
| H'0080 159E | CAN1メッセージスロット9タイムスタンプ (C1MSL9TSP) | | 13-71 |

CANモジュール関連レジスタマップ(10/11)

| 番地 | +0番地 | +1番地 | 掲載ページ | |
|-------------|--|-------|---|----------------|
| | b0 | b7 b8 | b15 | |
| H'0080 15A0 | CAN1メッセージスロット10標準ID0 (C1MSL10SID0) | | CAN1メッセージスロット10標準ID1 (C1MSL10SID1) | 13-57 13-58 |
| H'0080 15A2 | CAN1メッセージスロット10拡張ID0 (C1MSL10EID0) | | CAN1メッセージスロット10拡張ID1 (C1MSL10EID1) | 13-59 13-60 |
| H'0080 15A4 | CAN1メッセージスロット10拡張ID2 (C1MSL10EID2) | | CAN1メッセージスロット10データ長レジスタ (C1MSL10DLC) | 13-61 13-62 |
| H'0080 15A6 | CAN1メッセージスロット10データ0 (C1MSL10DT0) | | CAN1メッセージスロット10データ1 (C1MSL10DT1) | 13-63 13-64 |
| H'0080 15A8 | CAN1メッセージスロット10データ2 (C1MSL10DT2) | | CAN1メッセージスロット10データ3 (C1MSL10DT3) | 13-65 13-66 |
| H'0080 15AA | CAN1メッセージスロット10データ4 (C1MSL10DT4) | | CAN1メッセージスロット10データ5 (C1MSL10DT5) | 13-67 13-68 |
| H'0080 15AC | CAN1メッセージスロット10データ6 (C1MSL10DT6) | | CAN1メッセージスロット10データ7 (C1MSL10DT7) | 13-69 13-70 |
| H'0080 15AE | CAN1メッセージスロット10タイムスタンプ (C1MSL10TSP) | | | 13-71 |
| H'0080 15B0 | CAN1メッセージスロット11標準ID0 (C1MSL11SID0) | | CAN1メッセージスロット11標準ID1 (C1MSL11SID1) | 13-57 13-58 |
| H'0080 15B2 | CAN1メッセージスロット11拡張ID0 (C1MSL11EID0) | | CAN1メッセージスロット11拡張ID1 (C1MSL11EID1) | 13-59 13-60 |
| H'0080 15B4 | CAN1メッセージスロット11拡張ID2 (C1MSL11EID2) | | CAN1メッセージスロット11データ長レジスタ (C1MSL11DLC) | 13-61 13-62 |
| H'0080 15B6 | CAN1メッセージスロット11データ0 (C1MSL11DT0) | | CAN1メッセージスロット11データ1 (C1MSL11DT1) | 13-63 13-64 |
| H'0080 15B8 | CAN1メッセージスロット11データ2 (C1MSL11DT2) | | CAN1メッセージスロット11データ3 (C1MSL11DT3) | 13-65 13-66 |
| H'0080 15BA | CAN1メッセージスロット11データ4 (C1MSL11DT4) | | CAN1メッセージスロット11データ5 (C1MSL11DT5) | 13-67 13-68 |
| H'0080 15BC | CAN1メッセージスロット11データ6 (C1MSL11DT6) | | CAN1メッセージスロット11データ7 (C1MSL11DT7) | 13-69 13-70 |
| H'0080 15BE | CAN1メッセージスロット11タイムスタンプ (C1MSL11TSP) | | | 13-71 |
| H'0080 15C0 | CAN1メッセージスロット12標準ID0 (C1MSL12SID0) | | CAN1メッセージスロット12標準ID1 (C1MSL12SID1) | 13-57 13-58 |
| H'0080 15C2 | CAN1メッセージスロット12拡張ID0 (C1MSL12EID0) | | CAN1メッセージスロット12拡張ID1 (C1MSL12EID1) | 13-59 13-60 |
| H'0080 15C4 | CAN1メッセージスロット12拡張ID2 (C1MSL12EID2) | | CAN1メッセージスロット12データ長レジスタ (C1MSL12DLC) | 13-61 13-62 |
| H'0080 15C6 | CAN1メッセージスロット12データ0 (C1MSL12DT0) | | CAN1メッセージスロット12データ1 (C1MSL12DT1) | 13-63 13-64 |
| H'0080 15C8 | CAN1メッセージスロット12データ2 (C1MSL12DT2) | | CAN1メッセージスロット12データ3 (C1MSL12DT3) | 13-65 13-66 |
| H'0080 15CA | CAN1メッセージスロット12データ4 (C1MSL12DT4) | | CAN1メッセージスロット12データ5 (C1MSL12DT5) | 13-67 13-68 |
| H'0080 15CC | CAN1メッセージスロット12データ6 (C1MSL12DT6) | | CAN1メッセージスロット12データ7 (C1MSL12DT7) | 13-69 13-70 |
| H'0080 15CE | CAN1メッセージスロット12タイムスタンプ (C1MSL12TSP) | | | 13-71 |
| H'0080 15D0 | CAN1メッセージスロット13標準ID0 (C1MSL13SID0) | | CAN1メッセージスロット13標準ID1 (C1MSL13SID1) | 13-57 13-58 |
| H'0080 15D2 | CAN1メッセージスロット13拡張ID0 (C1MSL13EID0) | | CAN1メッセージスロット13拡張ID1 (C1MSL13EID1) | 13-59 13-60 |
| H'0080 15D4 | CAN1メッセージスロット13拡張ID2 (C1MSL13EID2) | | CAN1メッセージスロット13データ長レジスタ (C1MSL13DLC) | 13-61 13-62 |
| H'0080 15D6 | CAN1メッセージスロット13データ0 (C1MSL13DT0) | | CAN1メッセージスロット13データ1 (C1MSL13DT1) | 13-63 13-64 |
| H'0080 15D8 | CAN1メッセージスロット13データ2 (C1MSL13DT2) | | CAN1メッセージスロット13データ3 (C1MSL13DT3) | 13-65 13-66 |
| H'0080 15DA | CAN1メッセージスロット13データ4 (C1MSL13DT4) | | CAN1メッセージスロット13データ5 (C1MSL13DT5) | 13-67 13-68 |
| H'0080 15DC | CAN1メッセージスロット13データ6 (C1MSL13DT6) | | CAN1メッセージスロット13データ7 (C1MSL13DT7) | 13-69 13-70 |
| H'0080 15DE | CAN1メッセージスロット13タイムスタンプ (C1MSL13TSP) | | | 13-71 |

CANモジュール関連レジスタマップ(11/11)

| 番地 | + 0番地 | | + 1番地 | | 掲載 ページ |
|-------------|--|----|---|-----|----------------|
| | b0 | b7 | b8 | b15 | |
| H'0080 15E0 | CAN1メッセージスロット14標準ID0 (C1MSL14SID0) | | CAN1メッセージスロット14標準ID1 (C1MSL14SID1) | | 13-57 13-58 |
| H'0080 15E2 | CAN1メッセージスロット14拡張ID0 (C1MSL14EID0) | | CAN1メッセージスロット14拡張ID1 (C1MSL14EID1) | | 13-59 13-60 |
| H'0080 15E4 | CAN1メッセージスロット14拡張ID2 (C1MSL14EID2) | | CAN1メッセージスロット14データ長レジスタ (C1MSL14DLC) | | 13-61 13-62 |
| H'0080 15E6 | CAN1メッセージスロット14データ0 (C1MSL14DT0) | | CAN1メッセージスロット14データ1 (C1MSL14DT1) | | 13-63 13-64 |
| H'0080 15E8 | CAN1メッセージスロット14データ2 (C1MSL14DT2) | | CAN1メッセージスロット14データ3 (C1MSL14DT3) | | 13-65 13-66 |
| H'0080 15EA | CAN1メッセージスロット14データ4 (C1MSL14DT4) | | CAN1メッセージスロット14データ5 (C1MSL14DT5) | | 13-67 13-68 |
| H'0080 15EC | CAN1メッセージスロット14データ6 (C1MSL14DT6) | | CAN1メッセージスロット14データ7 (C1MSL14DT7) | | 13-69 13-70 |
| H'0080 15EE | CAN1メッセージスロット14タイムスタンプ (C1MSL14TSP) | | | | 13-71 |
| H'0080 15F0 | CAN1メッセージスロット15標準ID0 (C1MSL15SID0) | | CAN1メッセージスロット15標準ID1 (C1MSL15SID1) | | 13-57 13-58 |
| H'0080 15F2 | CAN1メッセージスロット15拡張ID0 (C1MSL15EID0) | | CAN1メッセージスロット15拡張ID1 (C1MSL15EID1) | | 13-59 13-60 |
| H'0080 15F4 | CAN1メッセージスロット15拡張ID2 (C1MSL15EID2) | | CAN1メッセージスロット15データ長レジスタ (C1MSL15DLC) | | 13-61 13-62 |
| H'0080 15F6 | CAN1メッセージスロット15データ0 (C1MSL15DT0) | | CAN1メッセージスロット15データ1 (C1MSL15DT1) | | 13-63 13-64 |
| H'0080 15F8 | CAN1メッセージスロット15データ2 (C1MSL15DT2) | | CAN1メッセージスロット15データ3 (C1MSL15DT3) | | 13-65 13-66 |
| H'0080 15FA | CAN1メッセージスロット15データ4 (C1MSL15DT4) | | CAN1メッセージスロット15データ5 (C1MSL15DT5) | | 13-67 13-68 |
| H'0080 15FC | CAN1メッセージスロット15データ6 (C1MSL15DT6) | | CAN1メッセージスロット15データ7 (C1MSL15DT7) | | 13-69 13-70 |
| H'0080 15FE | CAN1メッセージスロット15タイムスタンプ (C1MSL15TSP) | | | | 13-71 |

13.2.1 CANコントロールレジスタ

CAN0コントロールレジスタ(CAN0CNT)

<アドレス : H'0080 1000 >

CAN1コントロールレジスタ(CAN1CNT)

<アドレス : H'0080 1400 >

| | | | | | | | | | | | | | | | |
|----|---|---|---|-----|-----|-----|---|---|---|----|------|-----|----|-----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | RBO | TSR | TSP | | | | | FRST | BCM | | LBM | RST |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

<リセット解除時 : H'0011 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|--|---|------|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | RBO リターンバスオフビット | 0 : 通常動作許可 1 : エラーカウンタのクリアを要求 | R | (注1) |
| 5 | TSR タイムスタンプカウンタリセットビット | 0 : カウント動作許可 1 : カウントの初期化(H'0000のセット) | R | (注1) |
| 6~7 | TSP タイムスタンププリスケラビット | 00 : CANバスビットクロックを選択 01 : CANバスビットクロックの2分周を選択 10 : CANバスビットクロックの3分周を選択 11 : CANバスビットクロックの4分周を選択 | R | W |
| 8~9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | FRST 強制リセットビット | 0 : リセット解除 1 : 強制リセット | R | W |
| 12 | BCM BasicCANモードビット | 0 : BasicCAN機能無効 1 : BasicCANモード | R | W |
| 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | LBM ループバックモードビット | 0 : ループバック機能無効 1 : ループバック機能有効 | R | W |
| 15 | RST CANリセットビット | 0 : リセット解除 1 : リセット要求 | R | W |

注1 . 書き込みは"1"のみ有効。"0"へのクリアはハードウェアによって自動的に行われます。

(1)RBQ(リターンバスオフ)ビット(b4)

このビットに"1"を設定することによって、受信エラーカウンタ(CANnREC)送信エラーカウンタ(CANnTEC)をクリアし、CANモジュールの状態を強制的にエラーアクティブにすることができます。このビットは、エラーアクティブに遷移したとき、クリアされます。

注．・エラーカウンタクリア後は、CANバス上に11ビットの連続したレセシブビットを検出した後に通信可能となります。

(2)TSR(タイムスタンプカウンタリセット)ビット(b5)

このビットに"1"を設定することによって、CANタイムスタンプカウントレジスタ(CANnTSTMP)の値をH'0000にクリアする事ができます。

このビットは、CANタイムスタンプカウントレジスタ(CANnTSTMP)の値がH'0000にクリアされた後、クリアされます。

(3)TSP(タイムスタンププリスケーラ)ビット(b6, b7)

タイムスタンプカウンタのカウントクロックソースを選択します。

注．・CAN動作中(CANステータスレジスタのCRSビットが"0")は、TSPビットの設定変更を行わないでください。

(4)FRST(強制リセット)ビット(b11)

FRSTビットに"1"をセットすると、CANモジュールが通信中かどうかに関係なくCANモジュールをCANバスから切り離し、プロトコル制御部がリセットされます。

FRSTビットセットからプロトコル制御部リセットまでは最大で5BCLKかかります。

- 注．・CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。
- ・通信中にFRSTビットに"1"をセットした場合、その直後からCTX端子出力は"H"になります。このため、CANフレーム送信中にFRSTビットに"1"をセットした場合、CANバスエラー発生の原因になることがあります。
 - ・FRST、RSTビットのセットによりCANメッセージスロットコントロールレジスタの送受信要求はクリアされません。
 - ・FRSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウントレジスタとCAN送受信エラーカウンタレジスタは0に初期化されます。

(5)BCM(BasicCANモード)ビット(b12)

このビットに"1"をセットすることによって、CANモジュールをBasicCANモードで動作させることができます。

- ・BasicCANモード時の動作

BasicCANモードでは、ローカルスロット14, 15の2本をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDマッチした受信フレームをスロット14, 15へ交互に格納します。そのときのアクセプタンスフィルタリングには、スロット14がアクティブ(つぎの受信フレームが格納されるスロットが14)の場合はスロット14にセットしたIDとローカルマスクAが、スロット15がアクティブの場合はスロット15にセットしたIDとローカルマスクBが使用されます。また、データフレーム、リモートフレームの2タイプのフレームを受信することができます。2つのスロットのIDとマスクレジスタの設定を同じにすることによって、多数のIDを持ったフレームを受信する場合などで、メッセージロス発生の可能性を低くすることができます。

• BasicCANモードエントリ手順

初期設定の中で以下の手順で行います。

- 1) スロット14, 15のID、およびローカルマスクレジスタA, Bを設定する。(同一値設定を推奨)
- 2) スロット14, 15で扱うフレームのタイプ(標準/拡張)をCAN拡張IDレジスタへ設定する。(同一タイプを推奨)
- 3) スロット14, 15のメッセージスロットコントロールレジスタをデータフレーム受信に設定する。
- 4) BCMビットを"1"にセットする。

注. ・ CAN動作中(CANステータスレジスタのCRSビットが"0")は、BCMビットの設定を変更しないでください。

- ・ RSTビットクリア後、最初にアクティブなスロットはスロット14です。
- ・ BasicCANモードでもスロット0~スロット13は通常動作時と同様に使用できます。

(6) LBM(ループバックモード)ビット(b14)

LBMビットに"1"を設定すると、自分が送信したフレームとIDマッチする受信スロットがあった場合に、そのフレームを受信することができます。

注. ・ 送信フレームに対するACKは返しません。

- ・ CAN動作中(CANステータスレジスタのCRSビットが"0")は、LBMビットの設定変更を行わないでください。

(7) RST(CANリセット)ビット(b15)

RSTビットを"0"にクリアすると、CANモジュールはCANバスと接続され、11ビットの連続したレセシブビットを検出した後に通信可能となります。また、これによってCANタイムスタンプカウントレジスタがカウントを開始します。

RSTビットを"1"にセットすると、それまでに送信要求をセットしたスロットのフレームを送信した後、バスアイドル状態となるのを待って、プロトコル制御部がリセット状態になりCANバスから切り離されます。その間受信したフレームは正常に処理されます。

注. ・ RSTビットを"1"にセットした後、CANステータスレジスタのCRSビットが"1"となってプロトコル制御部がリセット状態になるまでの間、新たな送信要求をセットする事は禁止です。

- ・ RSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウントレジスタとCAN送受信エラーカウントレジスタは0に初期化されます。
- ・ CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

13.2.2 CANステータスレジスタ

CAN0ステータスレジスタ(CAN0STAT)

<アドレス : H'0080 1002>

CAN1ステータスレジスタ(CAN1STAT)

<アドレス : H'0080 1402>

| | | | | | | | | | | | | | | | |
|----|-----|-----|-----|-----|---|-----|-----|-----|-----|-----|-----|-----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | BOS | EPS | CBS | BCS | | LBS | CRS | RSB | TSB | RSC | TSC | MSN | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0100>

| b | ビット名 | 機能 | R | W |
|---------|-------------------------|---|---|---|
| 0 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 1 | BOS バスオフステータスビット | 0 : バスオフでない 1 : バスオフ状態 | R | - |
| 2 | EPS エラーパッシブステータスビット | 0 : エラーパッシブでない 1 : エラーパッシブ状態 | R | - |
| 3 | CBS CANバスエラービット | 0 : エラー発生なし 1 : エラー発生あり | R | - |
| 4 | BCS BasicCANステータスビット | 0 : 通常モード 1 : BasicCANモード | R | - |
| 5 | | 何も配置されていません。"0"に固定してください。 | 0 | 0 |
| 6 | LBS ループバックステータスビット | 0 : 通常モード 1 : ループバックモード | R | - |
| 7 | CRS CANリセットステータスビット | 0 : 動作中 1 : リセット状態 | R | - |
| 8 | RSB 受信ステータスビット | 0 : 非受信状態 1 : 受信中 | R | - |
| 9 | TSB 送信ステータスビット | 0 : 非送信状態 1 : 送信中 | R | - |
| 10 | RSC 受信完了ステータスビット | 0 : 受信未完了 1 : 受信完了 | R | - |
| 11 | TSC 送信完了ステータスビット | 0 : 送信未完了 1 : 送信完了 | R | - |
| 12 ~ 15 | MSN メッセージスロットナンバービット | 送信/受信完了したメッセージスロットの番号 0000 : スロット0 0001 : スロット1 0010 : スロット2 0011 : スロット3 0100 : スロット4 0101 : スロット5 0110 : スロット6 0111 : スロット7 1000 : スロット8 1001 : スロット9 1010 : スロット10 1011 : スロット11 1100 : スロット12 1101 : スロット13 1110 : スロット14 1111 : スロット15 | R | - |

(1) BOS(バスオフステータス)ビット(b1)

BOSビットが"1"のとき、CANモジュールの状態がバスオフであることを示します。

[セット条件]

送信エラーカウントレジスタの値が255を超えてバスオフになった場合に"1"がセットされます。

[クリア条件]

バスオフ状態から復帰したときにクリアされます。

(2) EPS(エラーパッシブステータス)ビット(b2)

EPSビットが"1"のとき、CANモジュールの状態がエラーパッシブであることを示します。

[セット条件]

送信エラーカウントレジスタの値、あるいは受信エラーカウントレジスタの値が127を超えてエラーパッシブになった場合に"1"がセットされます。

[クリア条件]

エラーパッシブから変化したときにクリアされます。

(3) CBS(CANバスエラー)ビット(b3)

[セット条件]

CANバス上にエラーを検出した場合に"1"がセットされます。

[クリア条件]

正常に送受信が完了したときにクリアされます。

(4) BCS(BasicCANステータス)ビット(b4)

BCSビットが"1"のとき、BasicCANモードで動作していることを示します。

[セット条件]

BasicCANモードで動作しているとき、"1"がセットされます。

BasicCANモードは、下記条件で動作します。

- CANコントロールレジスタのBCMビットが"1"にセットされていること
- スロット14, 15がともにデータフレーム受信にセットされていること

[クリア条件]

BCMビットを"0"にクリアすると、BCSビットもクリアされます。

(5) LBS(ループバックステータス)ビット(b6)

LBSビットが"1"のとき、ループバックモードで動作していることを示します。

[セット条件]

CANコントロールレジスタのLBM(ループバックモード)ビットに"1"をセットすると"1"がセットされます。

[クリア条件]

LBMビットを"0"にクリアすると、LBSビットもクリアされます。

(6) CRS(CANリセットステータス)ビット(b7)

CRSビットが"1"のとき、プロトコル制御部がリセット状態にあることを示します。

[セット条件]

CANのプロトコル制御部がリセット状態にあるとき、"1"がセットされます。

[クリア条件]

CANコントロールレジスタのRST(CANリセット)ビットとFRSTビットを"0"にクリアすると、CRSビットもクリアされます。

(7) RSB(受信ステータス)ビット(b8)

[セット条件]

CANが受信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

送信ノードして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(8) TSB(送信ステータス)ビット(b9)

[セット条件]

CANが送信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

受信ノードして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(9) RSQ(受信完了ステータス)ビット(b10)

[セット条件]

CANが正常に受信を完了した(受信条件を満たすスロットの有無にかかわらず)とき、"1"がセットされます。

[クリア条件]

正常に送信完了したときにクリアされます。

(10) TSQ(送信完了ステータス)ビット(b11)

[セット条件]

CANが正常に送信を完了したとき、"1"がセットされます。

[クリア条件]

正常に受信完了したときにクリアされます。

(11) MSN(メッセージスロットナンバー)ビット(b12~b15)

送信完了時または受信データ格納完了時に、該当スロット番号を表示します。

MSNビットはソフトウェアによって"0"クリアすることはできません。

注 . . ループバックモード時に自分自身が送信したフレームを受信した場合、MSNビットは送信スロット番号を表示します。

13.2.3 CANフレームフォーマット選択レジスタ

CAN0フレームフォーマット選択レジスタ(CAN0FFS)

<アドレス : H'0080 1004 >

CAN1フレームフォーマット選択レジスタ(CAN1FFS)

<アドレス : H'0080 1404 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|
| FFE0 | FFE1 | FFE2 | FFE3 | FFE4 | FFE5 | FFE6 | FFE7 | FFE8 | FFE9 | FFE10 | FFE11 | FFE12 | FFE13 | FFE14 | FFE15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|----|--------------------------|-----------------------------|---|---|
| 0 | FFE0(スロット0拡張フォーマットビット) | 0 : 標準ID(Standard ID)フォーマット | R | W |
| 1 | FFE1(スロット1拡張フォーマットビット) | 1 : 拡張ID(Extended ID)フォーマット | | |
| 2 | FFE2(スロット2拡張フォーマットビット) | | | |
| 3 | FFE3(スロット3拡張フォーマットビット) | | | |
| 4 | FFE4(スロット4拡張フォーマットビット) | | | |
| 5 | FFE5(スロット5拡張フォーマットビット) | | | |
| 6 | FFE6(スロット6拡張フォーマットビット) | | | |
| 7 | FFE7(スロット7拡張フォーマットビット) | | | |
| 8 | FFE8(スロット8拡張フォーマットビット) | | | |
| 9 | FFE9(スロット9拡張フォーマットビット) | | | |
| 10 | FFE10(スロット10拡張フォーマットビット) | | | |
| 11 | FFE11(スロット11拡張フォーマットビット) | | | |
| 12 | FFE12(スロット12拡張フォーマットビット) | | | |
| 13 | FFE13(スロット13拡張フォーマットビット) | | | |
| 14 | FFE14(スロット14拡張フォーマットビット) | | | |
| 15 | FFE15(スロット15拡張フォーマットビット) | | | |

各ビットに対応したメッセージスロットで取り扱うフレームのフォーマットを選択します。

"0"を設定した場合、標準(Standard ID)フォーマットが選択されます。

"1"を設定した場合、拡張(Extended ID)フォーマットが選択されます。

注 . . このレジスタの各ビットの変更は、対応するスロットの送信要求/受信要求が立っていない状態で行ってください。

13.2.4 CANコンフィグレーションレジスタ

CAN0コンフィグレーションレジスタ(CAN0CONF)

<アドレス : H'0080 1006 >

CAN1コンフィグレーションレジスタ(CAN1CONF)

<アドレス : H'0080 1406 >

| | | | | | | | | | | | | | | | |
|-----|---|-----|---|---|-----|---|---|-----|---|----|-----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| SJW | | PH2 | | | PH1 | | | PRB | | | SAM | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W | |
|-------|--|--|---|---|---|
| 0~1 | SJW reSynchronization Jump Width設定ビット | 00 : SJW = 1Tq 01 : SJW = 2Tq 10 : SJW = 3Tq 11 : SJW = 4Tq | R | W | |
| 2~4 | PH2 Phase Segment2設定ビット | 000 : Phase Segment2 = 1Tq 001 : Phase Segment2 = 2Tq 010 : Phase Segment2 = 3Tq 011 : Phase Segment2 = 4Tq 100 : Phase Segment2 = 5Tq 101 : Phase Segment2 = 6Tq 110 : Phase Segment2 = 7Tq 111 : Phase Segment2 = 8Tq | R | W | |
| 5~7 | PH1 Phase Segment1設定ビット | 000 : Phase Segment1 = 1Tq 001 : Phase Segment1 = 2Tq 010 : Phase Segment1 = 3Tq 011 : Phase Segment1 = 4Tq 100 : Phase Segment1 = 5Tq 101 : Phase Segment1 = 6Tq 110 : Phase Segment1 = 7Tq 111 : Phase Segment1 = 8Tq | R | W | |
| 8~10 | PRB Propagation Segment設定ビット | 000 : Propagation Segment = 1Tq 001 : Propagation Segment = 2Tq 010 : Propagation Segment = 3Tq 011 : Propagation Segment = 4Tq 100 : Propagation Segment = 5Tq 101 : Propagation Segment = 6Tq 110 : Propagation Segment = 7Tq 111 : Propagation Segment = 8Tq | R | W | |
| 11 | SAM サンプリング数選択ビット | 0 : 1回サンプリング 1 : 3回サンプリング | R | W | |
| 12~15 | 何も配置されていません。"0"に固定してください。 | | | 0 | 0 |

注 . ・ CAN動作中(CANステータスレジスタのCRSビットが"0")は、CANコンフィグレーションレジスタ(CAN0CONF、CAN1CONF)の設定変更を行わないでください。

・ ビット構成は以下の条件を満たすように設定してください。

- ・ 1 ビット分のTq 数 : 8 ~ 25Tq
- ・ SJW $\min(\text{Phase Segment1}, \text{Phase Segment2})$
- ・ Phase Segment2 = $\max(\text{Phase Segment1}, \text{IPT})$ ただし、32180内蔵のCANモジュールはIPT = 1となっています。
 $\min()$ は小さい方の値を返す関数です。
 $\max()$ は最大値を返す関数です。

(1) SJWビット (b0 ~ b1)

reSynchronization Jump Widthの幅を設定します。

(2) PH2ビット (b2 ~ b4)

Phase Segment2の幅を設定します。

(3) PH1ビット (b5 ~ b7)

Phase Segment1の幅を設定します。

(4) PRBビット (b8 ~ b10)

Propagation Segmentの幅を設定します。

(5) SAMビット (b11)

1ビットあたりのサンプリング数を設定します。

"0" : Phase Segment1の最後でサンプリングした値をそのビット値とみなします。

"1" : Phase Segment1の最後でサンプリングした値、1Tq前のサンプリング値、および2Tq前のサンプリング値の計3ポイントの値から多数決回路によって、ビットの値を決定します。

表13.2.1 CPUクロック : 80MHz時のビットタイミング設定例

| ボーレート | BRP設定値 | Tq周期 (ns) | 1ビットのTq数 | PROP + PH1 | PH2 | サンプリングポイント |
|----------|--------|-----------|----------|------------|-----|------------|
| 1M bps | 1 | 50 | 20 | 13 | 6 | 70% |
| | 3 | 100 | 10 | 7 | 2 | 80% |
| | 3 | 100 | 10 | 6 | 3 | 70% |
| | 3 | 100 | 10 | 5 | 4 | 60% |
| | 4 | 125 | 8 | 5 | 2 | 75% |
| | 4 | 125 | 8 | 4 | 3 | 63% |
| 500K bps | 4 | 125 | 16 | 13 | 2 | 88% |
| | 4 | 125 | 16 | 12 | 3 | 81% |
| | 4 | 125 | 16 | 11 | 4 | 75% |
| | 7 | 200 | 10 | 7 | 2 | 80% |
| | 7 | 200 | 10 | 6 | 3 | 70% |
| | 7 | 200 | 10 | 5 | 4 | 60% |
| | 9 | 250 | 8 | 5 | 2 | 75% |
| | 9 | 250 | 8 | 4 | 3 | 63% |

表13.2.2 CPUクロック : 64MHz時のビットタイミング設定例

| ボーレート | BRP設定値 | Tq周期 (ns) | 1ビットのTq数 | PROP + PH1 | PH2 | サンプリングポイント |
|----------|--------|-----------|----------|------------|-----|------------|
| 1M bps | 1 | 62.5 | 16 | 10 | 5 | 69% |
| | 3 | 125 | 8 | 5 | 2 | 75% |
| | 3 | 125 | 8 | 4 | 3 | 63% |
| 500K bps | 3 | 125 | 16 | 13 | 2 | 88% |
| | 3 | 125 | 16 | 11 | 4 | 75% |
| | 7 | 250 | 8 | 5 | 2 | 75% |
| | 7 | 250 | 8 | 4 | 3 | 63% |

13.2.5 CANタイムスタンプカウントレジスタ

CAN0タイムスタンプカウントレジスタ(CAN0TSTMP)

<アドレス : H'0080 1008 >

CAN1タイムスタンプカウントレジスタ(CAN1TSTMP)

<アドレス : H'0080 1408 >

| | | | | | | | | | | | | | | | |
|----------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| CANTSTMP | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|------|----------|-------------------|---|---|
| 0~15 | CANTSTMP | 16ビットタイムスタンプカウンタ値 | R | — |

CANモジュールは16ビットのアップカウントレジスタを内蔵しています。カウント周期はCANコントロールレジスタ(CANnCNT)のTSR(タイムスタンププリスケラ)ビットでCANバスビット周期の1分周、2分周、3分周、4分周のいずれかを選択します。

送信/受信完了時、カウントレジスタ値をキャプチャし、その値をメッセージスロットへ格納します。

カウンタは、CANコントロールレジスタ(CANnCNT)のRSTビットを"0"クリアすることによってカウント動作を開始します。

注 . . CANコントロールレジスタ(CANnCNT)のRST(CANリセット)ビットを"1"にセットすることによって、プロトコル制御部がリセットされH'0000へ初期化することができます。また、TSR(タイムスタンプカウンタリセット)ビットを"1"にセットすることによって、CANモジュールを動作させたままH'0000へ初期化することができます。

- ・ ループバックモード時、IDマッチするスロットが存在する場合には、受信完了時に対応したスロットへタイムスタンプ値が格納されます(送信完了時、タイムスタンプ値は格納されません)。
- ・ CANタイムスタンプカウントレジスタのカウント周期はCAN再同期機能により変化します。

13.2.6 CANエラーカウントレジスタ

CAN0受信エラーカウントレジスタ(CAN0REC)

<アドレス: H'0080 100A>

CAN1受信エラーカウントレジスタ(CAN1REC)

<アドレス: H'0080 140A>

| | | | | | | | |
|-----|---|---|---|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| REC | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|------|------------|---|---|
| 0~7 | REC | 受信エラーカウント値 | R | — |

エラーアクティブ/エラーパッシブ状態のときは、受信エラーのカウンタ値が格納されます。正常受信時ダウンカウントし、エラー発生時にアップカウントします。

REC 128の状態(エラーパッシブ)で正常に受信完了した場合、RECは127にセットされます。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

CAN0送信エラーカウントレジスタ(CAN0TEC)

<アドレス: H'0080 100B>

CAN1送信エラーカウントレジスタ(CAN1TEC)

<アドレス: H'0080 140B>

| | | | | | | | |
|-----|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| TEC | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|------|------|------------|---|---|
| 8~15 | TEC | 送信エラーカウント値 | R | — |

エラーアクティブ/エラーパッシブ状態のときは、送信エラーのカウンタ値が格納されます。正常送信時ダウンカウントし、エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

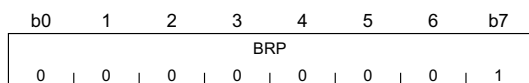
13.2.7 CANボーレートプリスケーラ

CAN0ボーレートプリスケーラ(CAN0BRP)

<アドレス : H'0080 1016 >

CAN1ボーレートプリスケーラ(CAN1BRP)

<アドレス : H'0080 1416 >



<リセット解除時 : H'01 >

| b | ビット名 | 機能 | R | W |
|-----|------|--------------|---|---|
| 0~7 | BRP | ボーレートプリスケーラ値 | R | W |

CANのTq周期を設定します。CANボーレートは、「Tq周期×1ビット内のTqの数」で決定します。

$$\text{Tq周期} = (\text{BRP} + 1) \times (\text{CPUクロック}/2)$$

$$\text{CAN転送ボーレート} = \frac{1}{\text{Tq周期} \times 1 \text{ビット内のTqの数}}$$

$$1 \text{ビット内のTqの数} = \text{Synchronization Segment} + \text{Propagation Segment} \\ + \text{Phase Segment 1} + \text{Phase Segment 2}$$

注 . ・ H'00(1分周)は設定禁止です。

- ・ CAN動作中(CANステータスレジスタのCRSビット"0")は、CANボーレートプリスケーラ(CANnBRP)の設定を変更しないでください。

13.2.8 CAN割り込み関連レジスタ

CAN割り込み関連レジスタは、CANから割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、“0”を書き込むことによりクリアされ、“1”を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求許可ビット

グルーピングされた割り込み要求の内、不要な割り込みを禁止にするためのフラグです。割り込み要求許可時には“1”、割り込み要求禁止時には“0”を設定します。

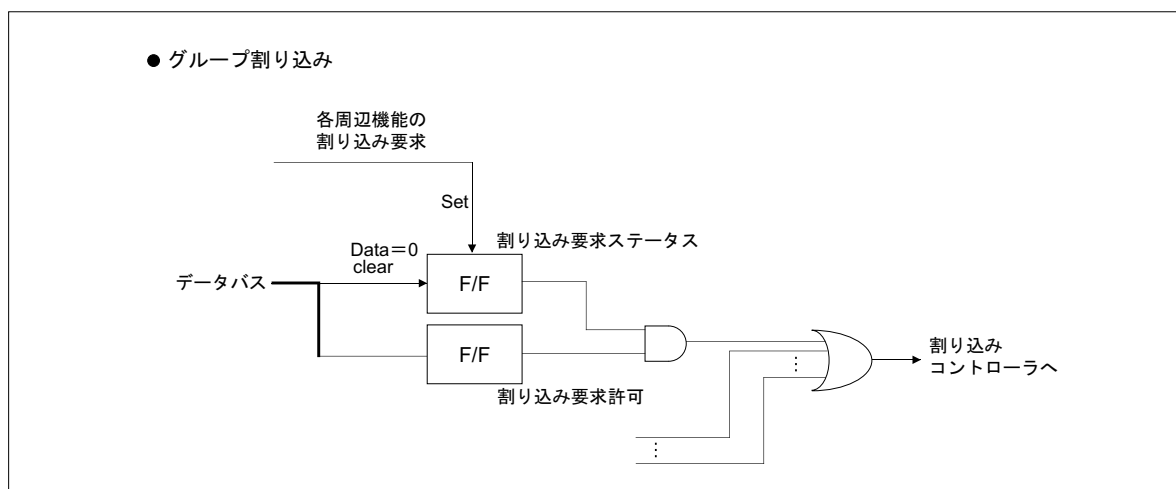
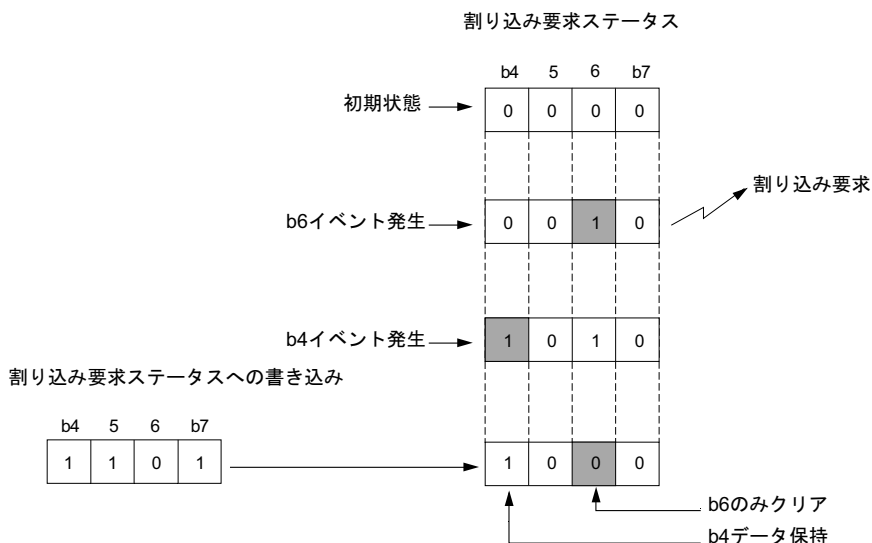


図13.2.1 割り込み要求ステータスレジスタと許可レジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



```
ISTREG = 0xfd; /*ISTAT1 (0x02ビット)のみクリア*/
```

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



```
ISTREG &= 0xfd; /*ISTAT1 (0x02ビット)のみクリア*/
```

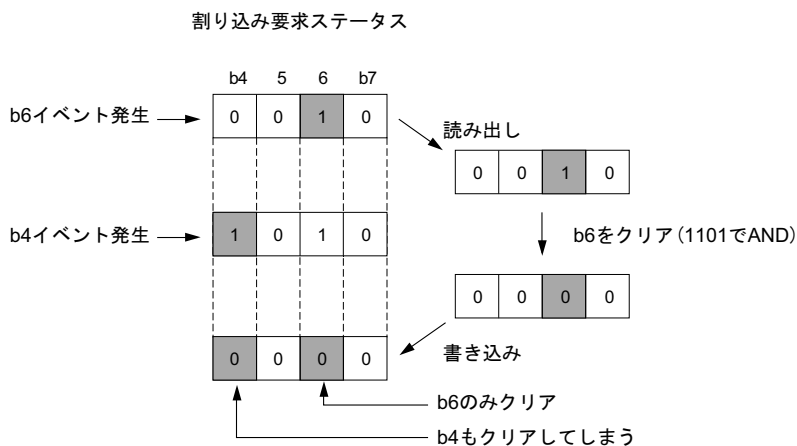


図13.2.2 割り込み要求ステータスクリア例

CAN0スロット割り込み要求ステータスレジスタ(CAN0SLIST) <アドレス: H'0080 100C>
CAN1スロット割り込み要求ステータスレジスタ(CAN1SLIST) <アドレス: H'0080 140C>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|
| SSB0 | SSB1 | SSB2 | SSB3 | SSB4 | SSB5 | SSB6 | SSB7 | SSB8 | SSB9 | SSB10 | SSB11 | SSB12 | SSB13 | SSB14 | SSB15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|----|-----------------------------|-------------|---|-------|
| 0 | SSB0(スロット0割り込み要求ステータスビット) | 0: 割り込み要求なし | | R(注1) |
| 1 | SSB1(スロット1割り込み要求ステータスビット) | 1: 割り込み要求あり | | |
| 2 | SSB2(スロット2割り込み要求ステータスビット) | | | |
| 3 | SSB3(スロット3割り込み要求ステータスビット) | | | |
| 4 | SSB4(スロット4割り込み要求ステータスビット) | | | |
| 5 | SSB5(スロット5割り込み要求ステータスビット) | | | |
| 6 | SSB6(スロット6割り込み要求ステータスビット) | | | |
| 7 | SSB7(スロット7割り込み要求ステータスビット) | | | |
| 8 | SSB8(スロット8割り込み要求ステータスビット) | | | |
| 9 | SSB9(スロット9割り込み要求ステータスビット) | | | |
| 10 | SSB10(スロット10割り込み要求ステータスビット) | | | |
| 11 | SSB11(スロット11割り込み要求ステータスビット) | | | |
| 12 | SSB12(スロット12割り込み要求ステータスビット) | | | |
| 13 | SSB13(スロット13割り込み要求ステータスビット) | | | |
| 14 | SSB14(スロット14割り込み要求ステータスビット) | | | |
| 15 | SSB15(スロット15割り込み要求ステータスビット) | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、どのスロットから割り込み要求があったかをこのレジスタで知ることができます。

• 送信設定スロット

送信が完了したとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

• 受信設定スロット

受信が完了し、受信メッセージのメッセージスロットへの格納が終わったとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

CANスロット割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

- 注. ・リモートフレーム受信スロットで自動応答機能を有効にしている場合は、リモートフレーム受信完了後、およびデータフレーム送信完了後ともに要求ステータスがセットされます。
- ・リモートフレーム送信スロットでは、リモートフレーム送信完了後、およびデータフレーム受信完了後ともに要求ステータスがセットされます。
 - ・割り込み要求による要求ステータスのセットとソフトウェアによる要求ステータスのクリアが同時に起こった場合は、割り込み要求による要求ステータスのセットが優先されます。

CAN0スロット割り込み要求許可レジスタ(CAN0SLIEN)

<アドレス : H'0080 1010>

CAN1スロット割り込み要求許可レジスタ(CAN1SLIEN)

<アドレス : H'0080 1410>

| | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| IRB0 | IRB1 | IRB2 | IRB3 | IRB4 | IRB5 | IRB6 | IRB7 | IRB8 | IRB9 | IRB10 | IRB11 | IRB12 | IRB13 | IRB14 | IRB15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000>

| b | ビット名 | 機能 | R | W |
|----|---------------------------|-------------------|---|---|
| 0 | IRB0 (スロット0割り込み要求許可ビット) | 0 : 割り込み要求マスク(禁止) | R | W |
| 1 | IRB1 (スロット1割り込み要求許可ビット) | 1 : 割り込み要求許可 | | |
| 2 | IRB2 (スロット2割り込み要求許可ビット) | | | |
| 3 | IRB3 (スロット3割り込み要求許可ビット) | | | |
| 4 | IRB4 (スロット4割り込み要求許可ビット) | | | |
| 5 | IRB5 (スロット5割り込み要求許可ビット) | | | |
| 6 | IRB6 (スロット6割り込み要求許可ビット) | | | |
| 7 | IRB7 (スロット7割り込み要求許可ビット) | | | |
| 8 | IRB8 (スロット8割り込み要求許可ビット) | | | |
| 9 | IRB9 (スロット9割り込み要求許可ビット) | | | |
| 10 | IRB10 (スロット10割り込み要求許可ビット) | | | |
| 11 | IRB11 (スロット11割り込み要求許可ビット) | | | |
| 12 | IRB12 (スロット12割り込み要求許可ビット) | | | |
| 13 | IRB13 (スロット13割り込み要求許可ビット) | | | |
| 14 | IRB14 (スロット14割り込み要求許可ビット) | | | |
| 15 | IRB15 (スロット15割り込み要求許可ビット) | | | |

対応するスロットのデータの送信/受信完了による割り込み要求の許可/禁止を制御するレジスタです。IRB n ($n=0 \sim 15$)に"1"を設定した場合、対応するスロットの送信/受信完了による割り込み要求が許可されます。

どのスロットから割り込み要求があったかは、CANスロット割り込み要求ステータスレジスタ(CANnSLIST)で確認できます。

CAN0エラー割り込み要求ステータスレジスタ(CAN0ERIST)

<アドレス : H'0080 1014>

CAN1エラー割り込み要求ステータスレジスタ(CAN1ERIST)

<アドレス : H'0080 1414>

| | | | | | | | |
|----|---|---|---|---|-----------|-----------|-----------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | BEIS 0 | EPIS 0 | EOIS 0 |

<リセット解除時:H'00>

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|------------------------------|--------|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | BEIS CANバスエラー割り込み要求ステータスビット | 0 : 割り込み要求なし 1 : 割り込み要求あり | R (注1) | |
| 6 | EPIS エラーパッシブ割り込み要求ステータスビット | | | |
| 7 | EOIS バスオフ割り込み要求ステータスビット | | | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、割り込み要求要因がエラーに関連するものであったときはこのレジスタでその要因を確認することができます。

(1) BEIS (CANバスエラー割り込み要求ステータス)ビット (b5)

通信エラーが検出された場合、BEISビットに"1"がセットされます。

BEISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(2) EPIS (エラーパッシブ割り込み要求ステータス)ビット (b6)

CANモジュールの状態がエラーパッシブとなった場合、EPISビットに"1"がセットされます。

EPISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(3) EOIS (バスオフ割り込み要求ステータス)ビット (b7)

CANモジュールの状態がバスオフとなった場合、EOISビットに"1"がセットされます。

EOISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

CANエラー割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0エラー割り込み要求許可レジスタ(CAN0ERIEN)

<アドレス : H'0080 1015>

CAN1エラー割り込み要求許可レジスタ(CAN1ERIEN)

<アドレス : H'0080 1415>

| | | | | | | | |
|----|---|----|----|----|------------|------------|------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | BEIEN 0 | EPIEN 0 | EOIEN 0 |

<リセット解除時:H'00>

| b | ビット名 | 機能 | R | W |
|------|------------------------------|-----------------------------------|---|---|
| 8~12 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 13 | BEIEN CANバスエラー割り込み要求許可ビット | 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可 | R | W |
| 14 | EPIEN エラーパッシブ割り込み要求許可ビット | | | |
| 15 | EOIEN バスオフ割り込み要求許可ビット | | | |

(1)BEIEN(CANバスエラー割り込み要求許可)ビット(b5)

CANバスエラーの発生による割り込み要求の許可/禁止を制御するビットです。BEIENビットに"1"をセットすることによって、CANバスエラー割り込み要求が許可されます。

(2)EPIEN(エラーパッシブ割り込み要求許可)ビット(b6)

CANモジュールの状態がエラーパッシブに遷移したときの割り込み要求の許可/禁止を制御するビットです。EPIENビットに"1"をセットすることによって、エラーパッシブ割り込み要求が許可されます。

(3)EOIEN(バスオフ割り込み要求許可)ビット(b7)

CANモジュールの状態がバスオフに遷移したときの割り込み要求の許可/禁止を制御するビットです。EOIENビットに"1"をセットすることによって、バスオフ割り込み要求が許可されます。

CAN0シングルショット割り込み要求ステータスレジスタ(CAN0SSIST) <アドレス: H'0080 1044>
 CAN1シングルショット割り込み要求ステータスレジスタ(CAN1SSIST) <アドレス: H'0080 1444>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|
| SSIST0 | SSIST1 | SSIST2 | SSIST3 | SSIST4 | SSIST5 | SSIST6 | SSIST7 | SSIST8 | SSIST9 | SSIST10 | SSIST11 | SSIST12 | SSIST13 | SSIST14 | SSIST15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'0000>

| b | ビット名 | 機能 | R | W |
|----|--------------------------------------|--|---|------|
| 0 | SSIST0 スロット0シングルショット割り込み要求ステータス | 0: アービトレーションロスト/エラーなし 1: アービトレーションロスト/エラー発生 | R | (注1) |
| 1 | SSIST1 スロット1シングルショット割り込み要求ステータス | | | |
| 2 | SSIST2 スロット2シングルショット割り込み要求ステータス | | | |
| 3 | SSIST3 スロット3シングルショット割り込み要求ステータス | | | |
| 4 | SSIST4 スロット4シングルショット割り込み要求ステータス | | | |
| 5 | SSIST5 スロット5シングルショット割り込み要求ステータス | | | |
| 6 | SSIST6 スロット6シングルショット割り込み要求ステータス | | | |
| 7 | SSIST7 スロット7シングルショット割り込み要求ステータス | | | |
| 8 | SSIST8 スロット8シングルショット割り込み要求ステータス | | | |
| 9 | SSIST9 スロット9シングルショット割り込み要求ステータス | | | |
| 10 | SSIST10 スロット10シングルショット割り込み要求ステータス | | | |
| 11 | SSIST11 スロット11シングルショット割り込み要求ステータス | | | |
| 12 | SSIST12 スロット12シングルショット割り込み要求ステータス | | | |
| 13 | SSIST13 スロット13シングルショット割り込み要求ステータス | | | |
| 14 | SSIST14 スロット14シングルショット割り込み要求ステータス | | | |
| 15 | SSIST15 スロット15シングルショット割り込み要求ステータス | | | |

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

アービトレーションロストあるいは送信エラーによって送信が失敗した場合はスロットに対応したビットに"1"がセットされます。ビットのクリアは、ソフトウェアによって"0"を書き込むことで行います。

また、シングルショット割り込み要求許可レジスタの対応するビットに"1"をセットしていた場合、割り込みを発生させることができます。

CANシングルショット割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットに"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0シングルショット割り込み要求許可レジスタ(CAN0SSIEN) <アドレス:H'0080 1048>
CAN1シングルショット割り込み要求許可レジスタ(CAN1SSIEN) <アドレス:H'0080 1448>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|
| SSIEN0 | SSIEN1 | SSIEN2 | SSIEN3 | SSIEN4 | SSIEN5 | SSIEN6 | SSIEN7 | SSIEN8 | SSIEN9 | SSIEN10 | SSIEN11 | SSIEN12 | SSIEN13 | SSIEN14 | SSIEN15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時:H'0000>

| b | ビット名 | 機能 | R | W |
|----|--------------------------------------|----------------------------|---|---|
| 0 | SSIEN0 スロット0シングルショット割り込み要求許可ビット | 0: 割り込み要求禁止 1: 割り込み要求許可 | R | W |
| 1 | SSIEN1 スロット1シングルショット割り込み要求許可ビット | | | |
| 2 | SSIEN2 スロット2シングルショット割り込み要求許可ビット | | | |
| 3 | SSIEN3 スロット3シングルショット割り込み要求許可ビット | | | |
| 4 | SSIEN4 スロット4シングルショット割り込み要求許可ビット | | | |
| 5 | SSIEN5 スロット5シングルショット割り込み要求許可ビット | | | |
| 6 | SSIEN6 スロット6シングルショット割り込み要求許可ビット | | | |
| 7 | SSIEN7 スロット7シングルショット割り込み要求許可ビット | | | |
| 8 | SSIEN8 スロット8シングルショット割り込み要求許可ビット | | | |
| 9 | SSIEN9 スロット9シングルショット割り込み要求許可ビット | | | |
| 10 | SSIEN10 スロット10シングルショット割り込み要求許可ビット | | | |
| 11 | SSIEN11 スロット11シングルショット割り込み要求許可ビット | | | |
| 12 | SSIEN12 スロット12シングルショット割り込み要求許可ビット | | | |
| 13 | SSIEN13 スロット13シングルショット割り込み要求許可ビット | | | |
| 14 | SSIEN14 スロット14シングルショット割り込み要求許可ビット | | | |
| 15 | SSIEN15 スロット15シングルショット割り込み要求許可ビット | | | |

対応するスロットが送信に失敗したことによる割り込み要求の許可/禁止を制御するレジスタです。SSIENnに"1"をセットした場合、対応するスロット(シングルショットモードの場合のみ)での送信失敗による割り込み要求が許可されます。

どのスロットから割り込み要求があったかは、CANシングルショット割り込み要求ステータスレジスタで確認することができます。

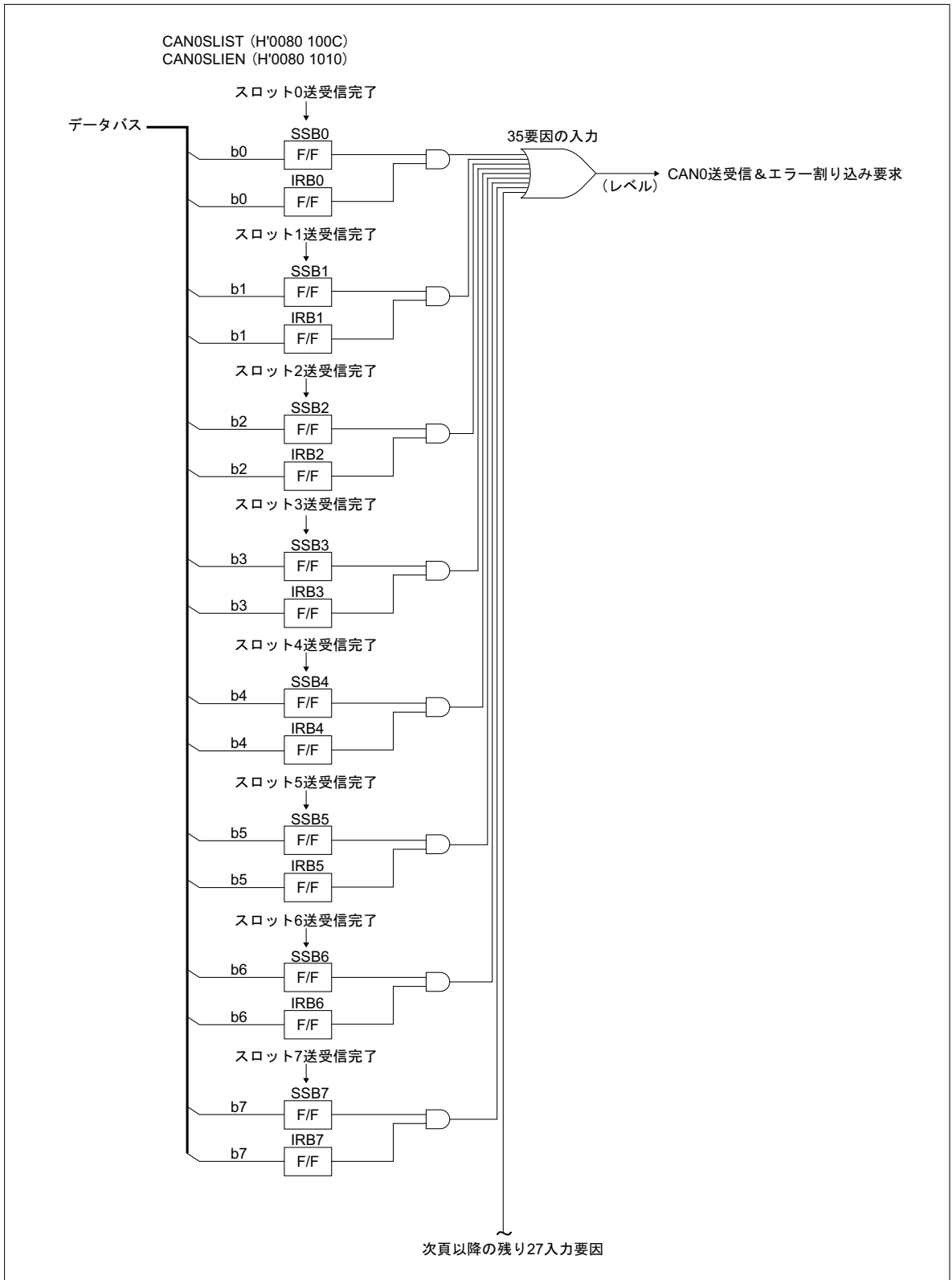


図13.2.3 CAN0送受信&エラー割り込み要求ブロック図(1/5)

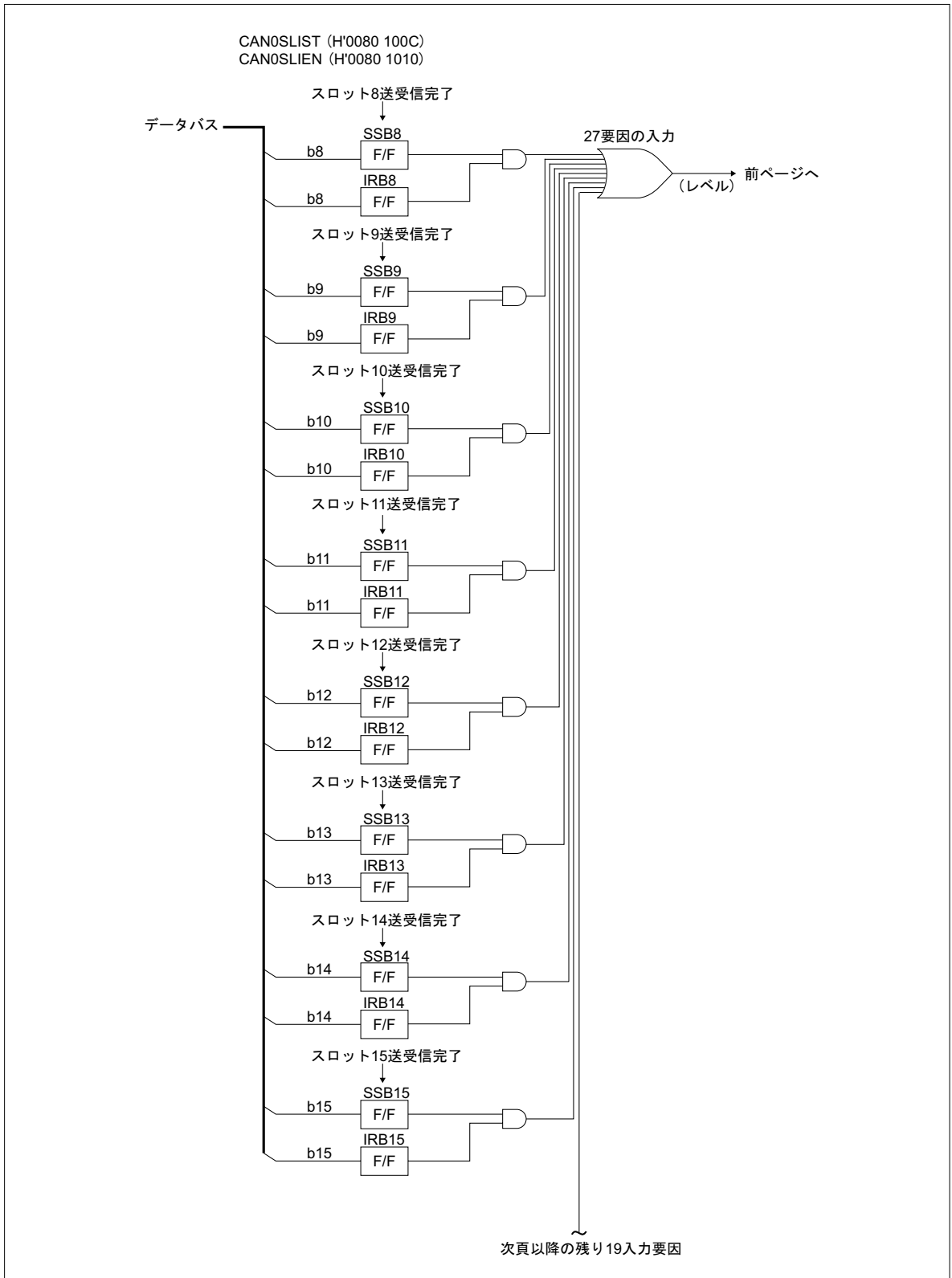


図13.2.4 CAN0送受信&エラー割り込み要求ブロック図 (2/5)

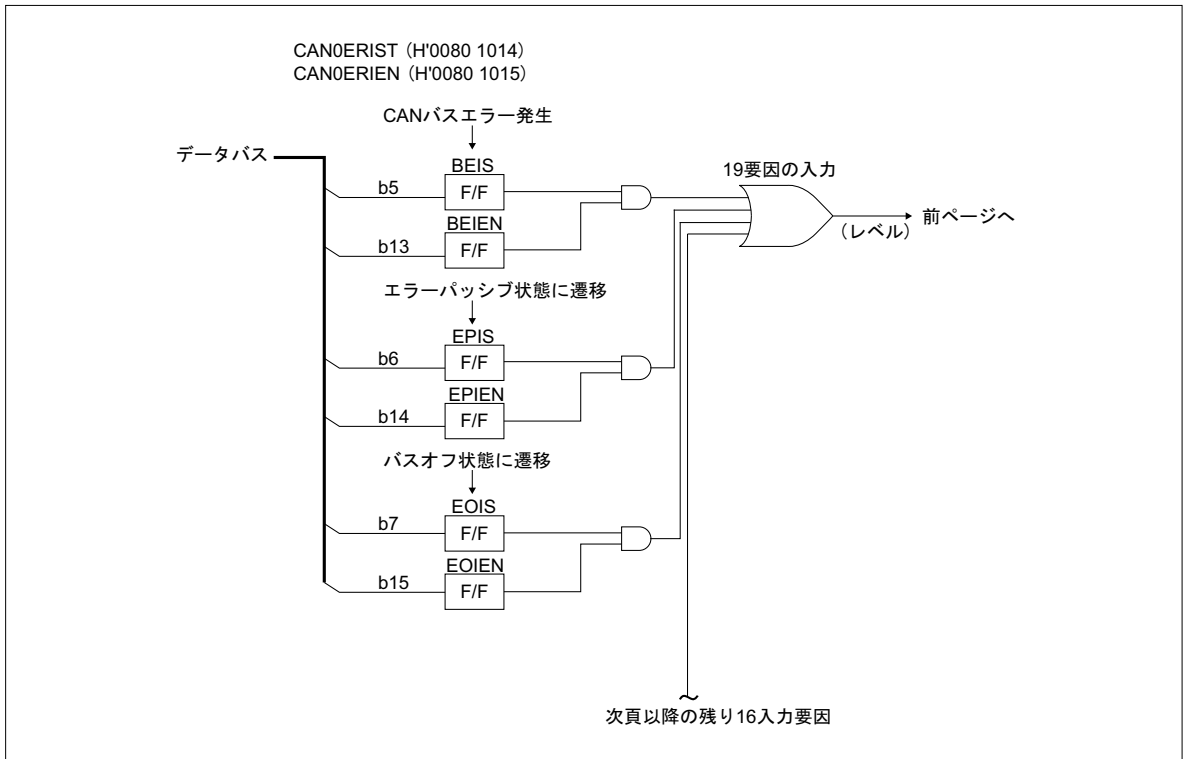


図13.2.5 CAN0送信&エラー割り込み要求ブロック図(3/5)

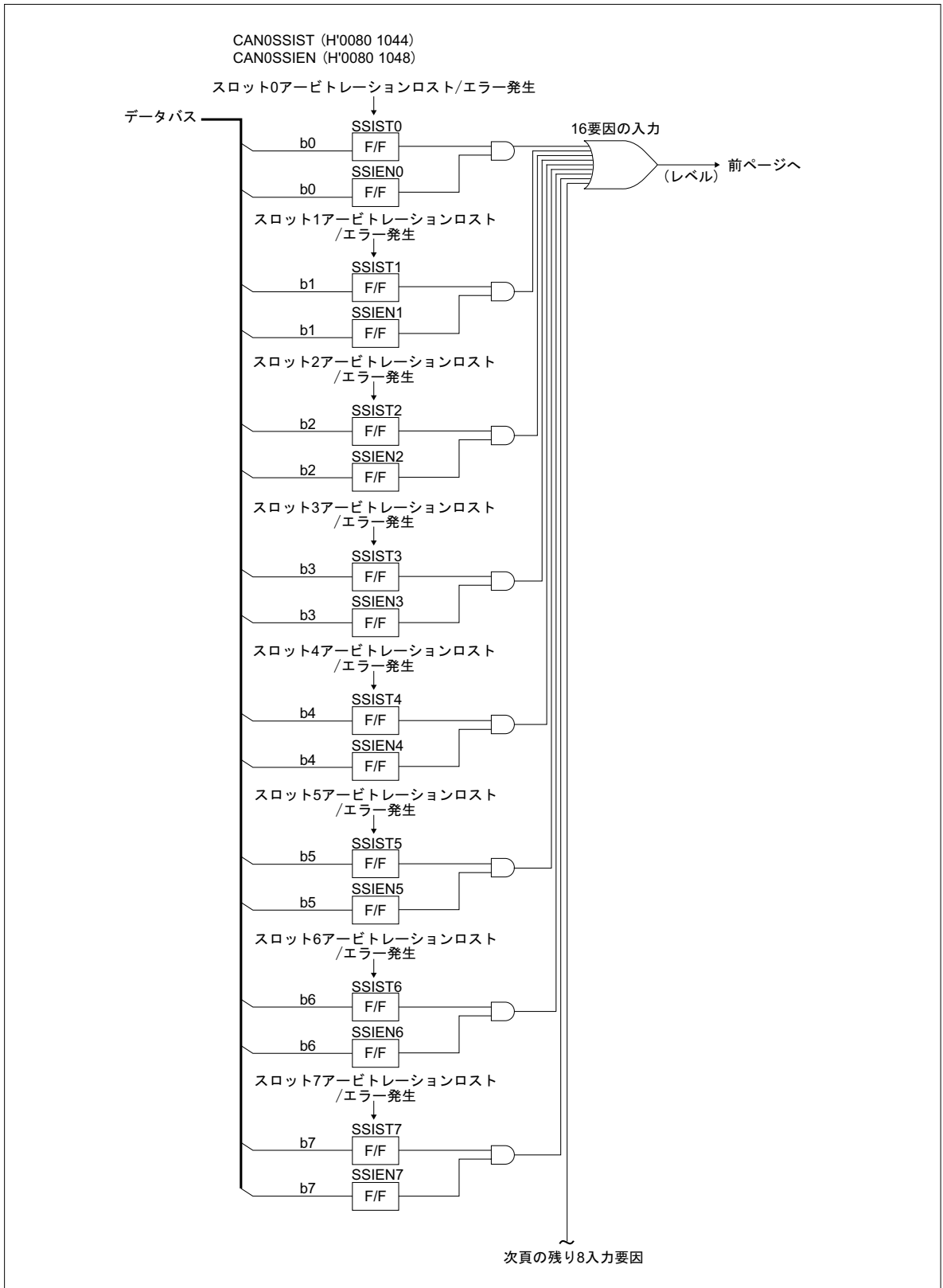


図13.2.6 CAN0送受信&エラー割り込み要求ブロック図(4/5)

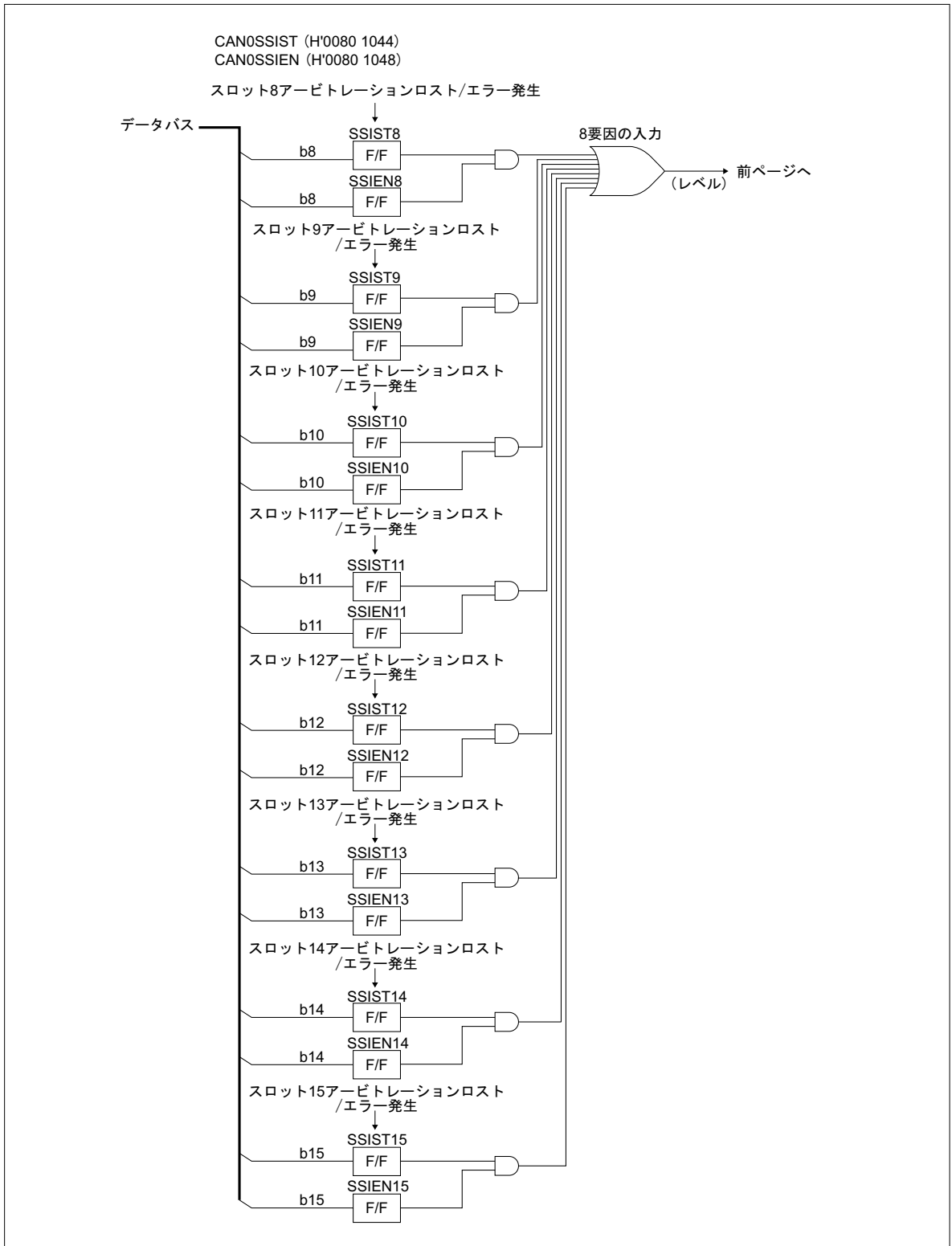


図13.2.7 CAN0送受信&エラー割り込み要求ブロック図(5/5)

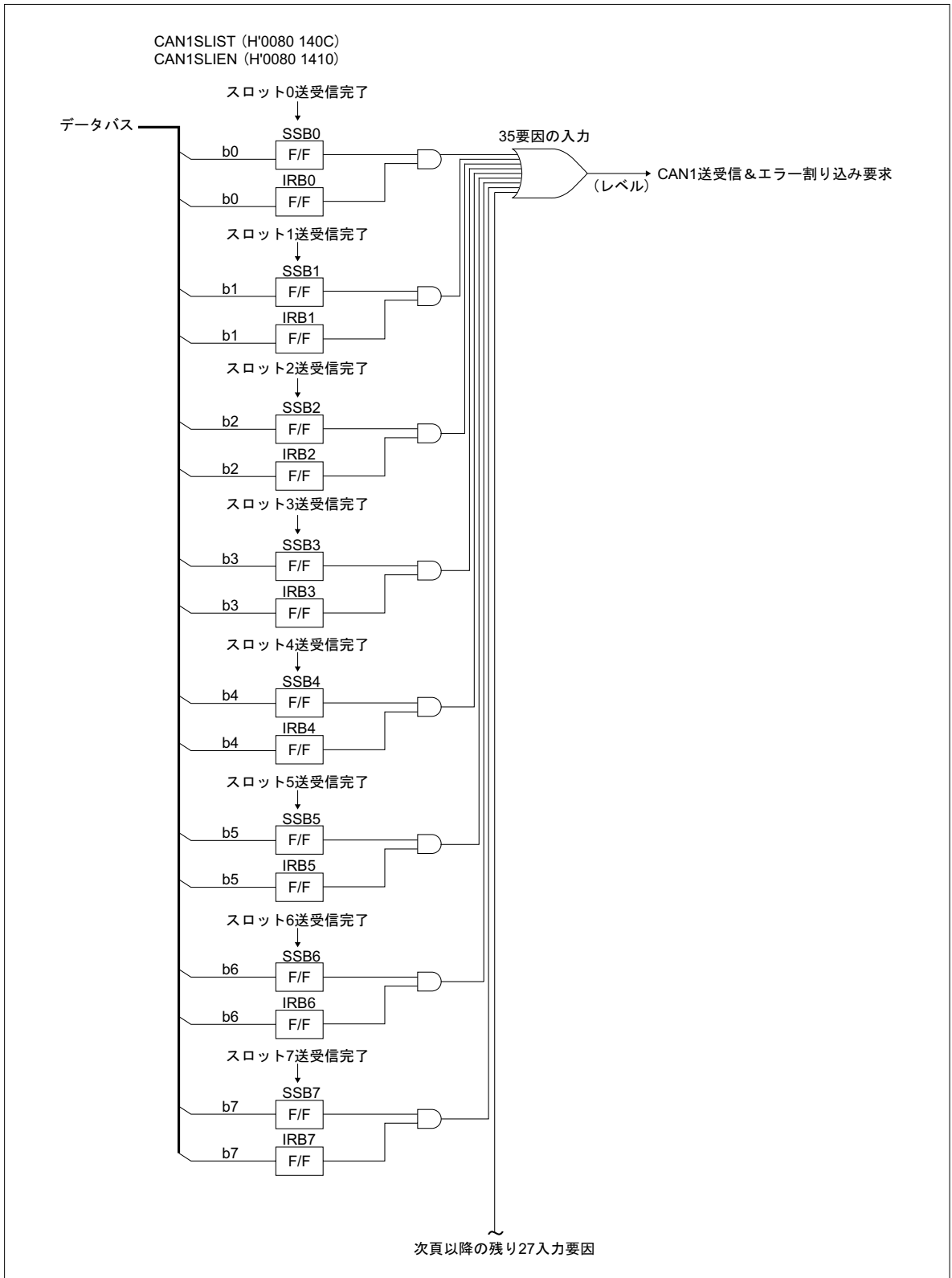


図13.2.8 CAN1送受信&エラー割り込み要求ブロック図(1/5)

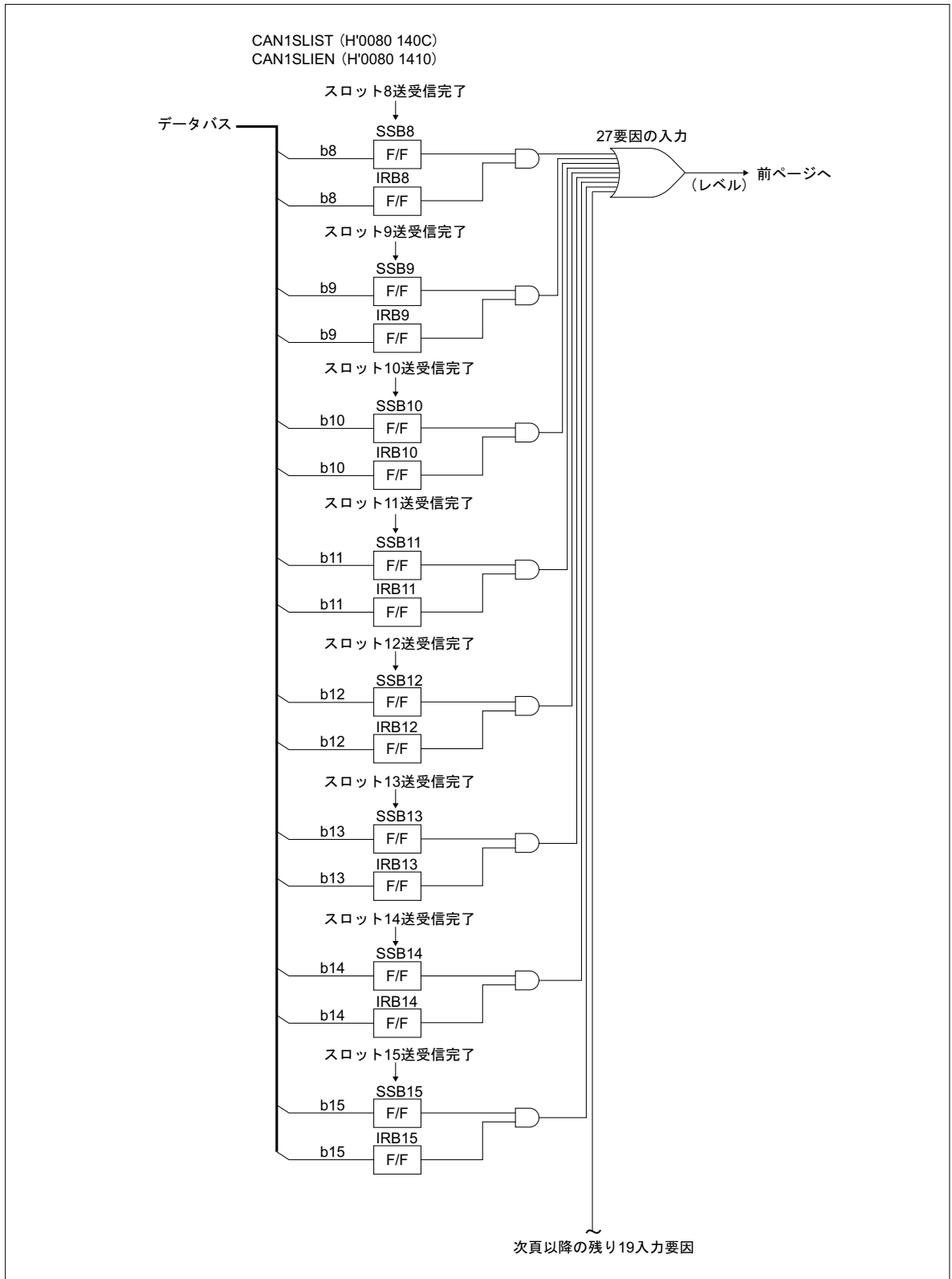


図13.2.9 CAN1送受信&エラー割り込み要求ブロック図(2/5)

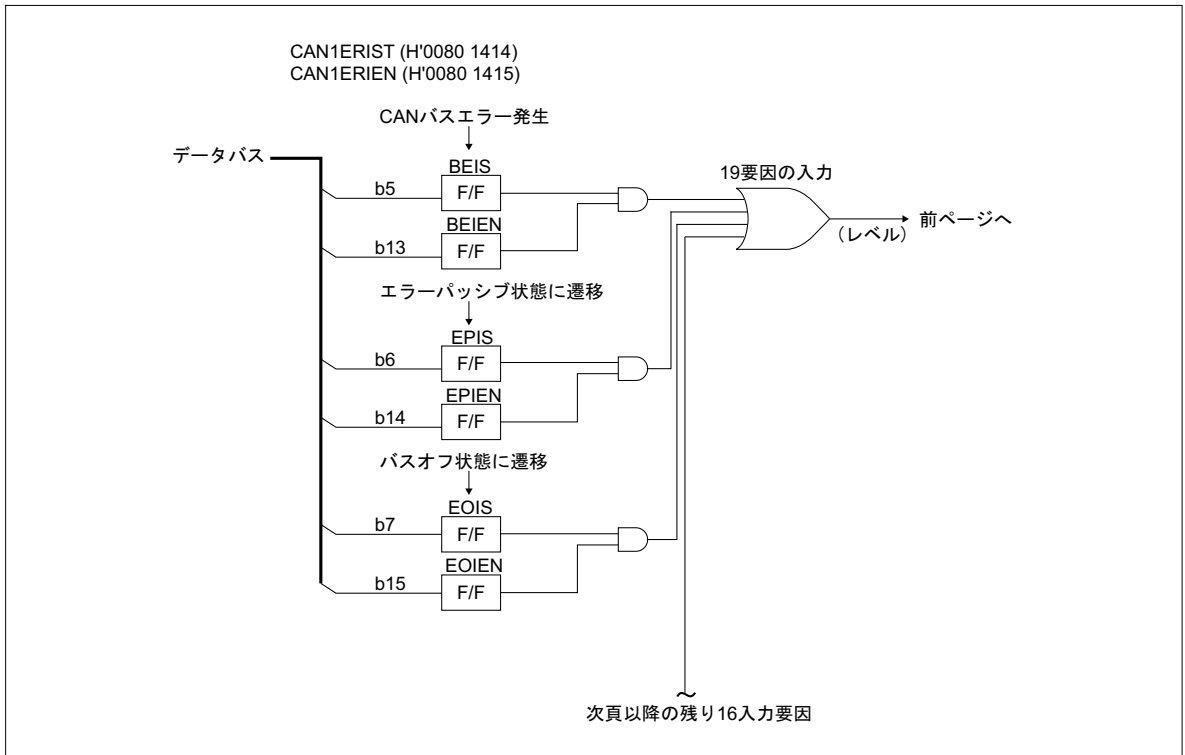


図13.2.10 CAN1送受信&エラー割り込み要求ブロック図(3/5)

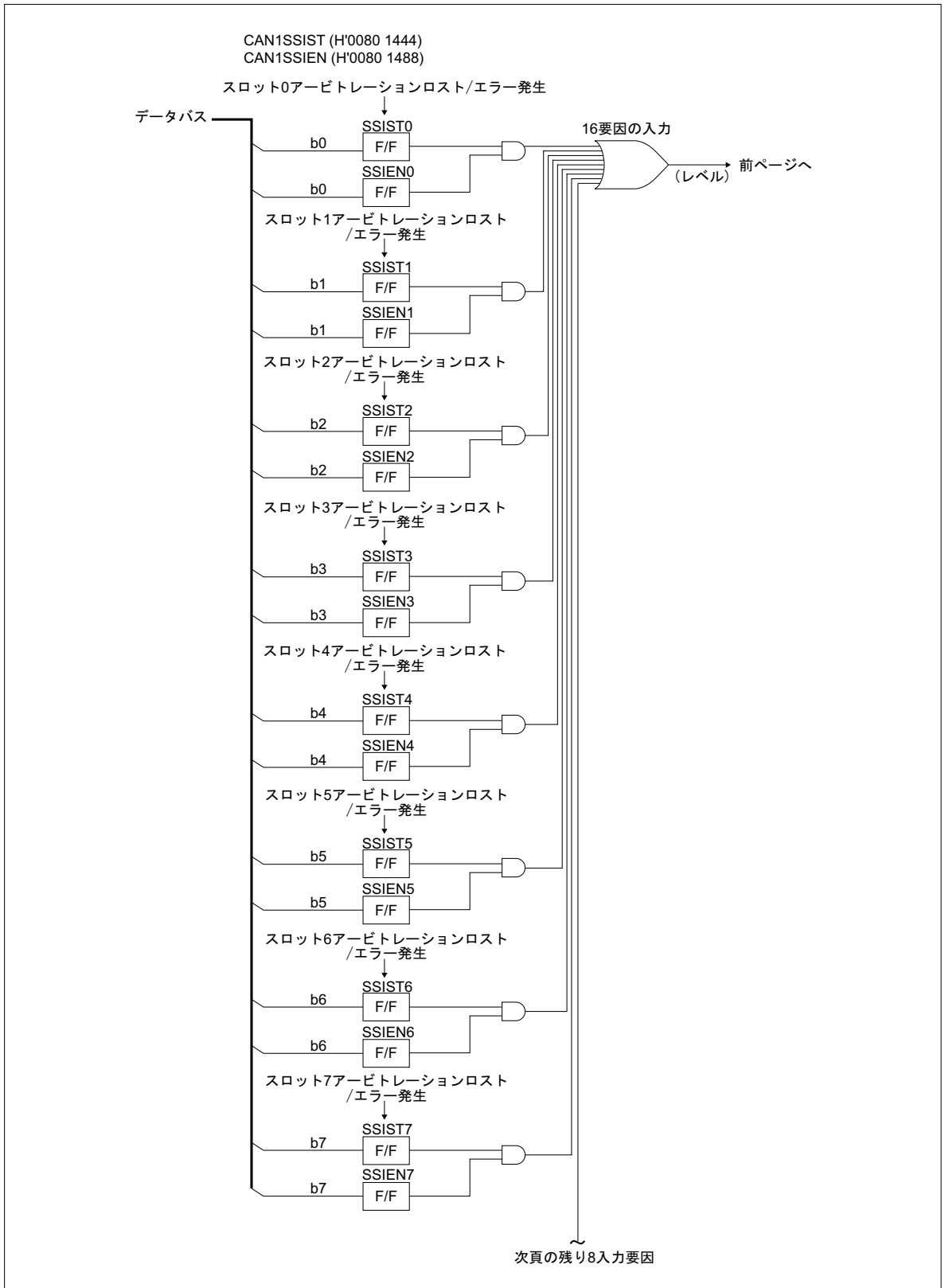


図13.2.11 CAN1送受信&エラー割り込み要求ブロック図(4/5)

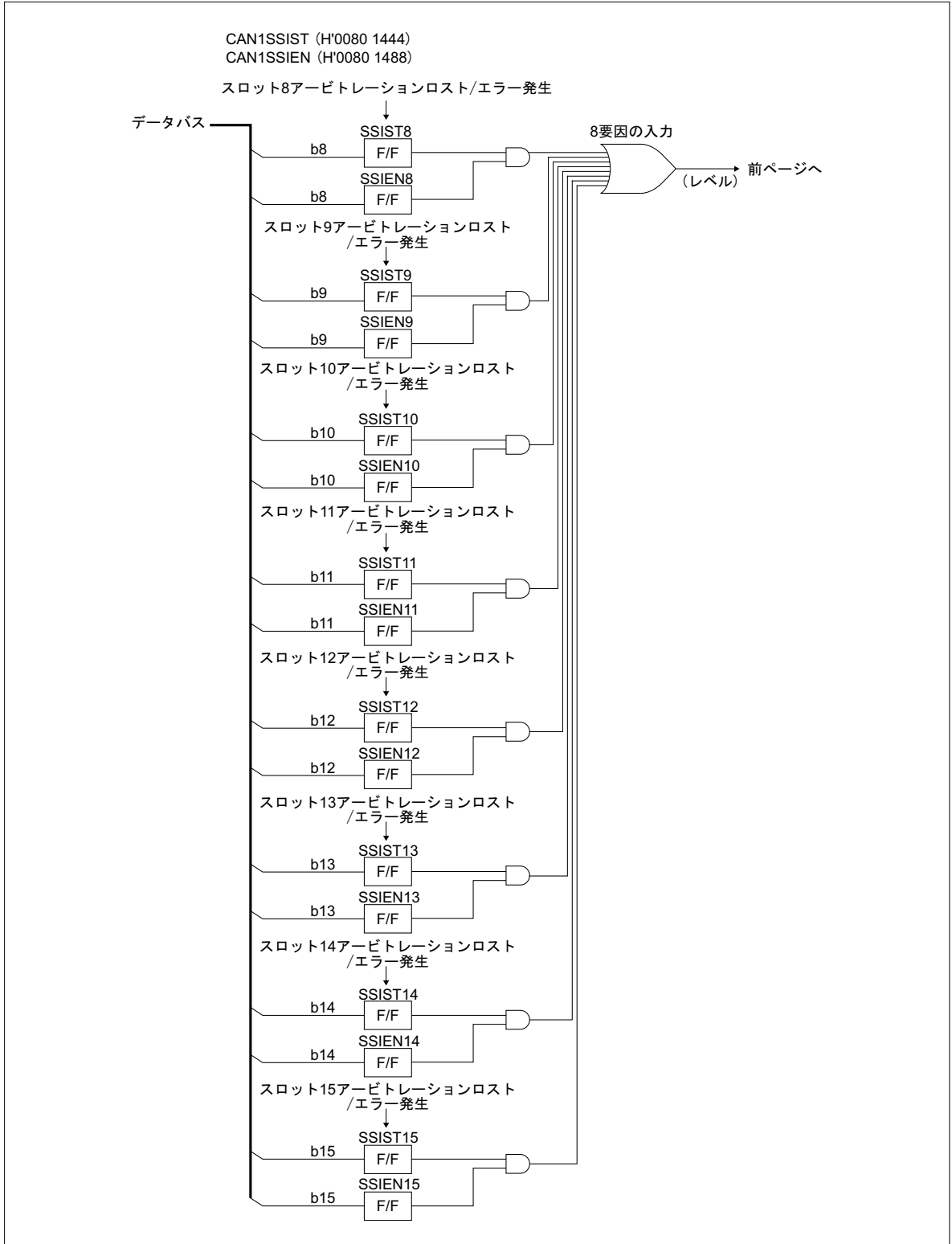


図13.2.12 CAN1送受信&エラー割り込み要求ブロック図(5/5)

13.2.9 CANエラー要因レジスタ

CAN0エラー要因レジスタ(CAN0EF)

<アドレス : H'0080 1017 >

CAN1エラー要因レジスタ(CAN1EF)

<アドレス : H'0080 1417 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|-----|------|------|-------|------|------|
| 0 | 0 | ETR | BITE | STFE | FORME | CRCE | ACKE |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|-----------------------------------|---|---|
| 0~1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | ETR 送受信エラー判別ビット | 0 : 送信中にエラー検出 1 : 受信中にエラー検出 | R | - |
| 3 | BITE ビットエラー検出ビット | 0 : ビットエラーを未検出 1 : ビットエラーを検出 | R | - |
| 4 | STFE スタッフエラー検出ビット | 0 : スタッフエラーを未検出 1 : スタッフエラーを検出 | R | - |
| 5 | FORME フォームエラー検出ビット | 0 : フォームエラーを未検出 1 : フォームエラーを検出 | R | - |
| 6 | CRCE CRCエラー検出ビット | 0 : CRCエラーを未検出 1 : CRCエラーを検出 | R | - |
| 7 | ACKE ACKエラー検出ビット | 0 : ACKエラーを未検出 1 : ACKエラーを検出 | R | - |

通信エラー発生時、エラー情報を表示するレジスタです。

(1) ETR ビット(b2)

通信エラー発生時、CANが送信ノードとして動作していたのかを示すビットです。
このレジスタの読み出しによって、"0"にクリアされます。

(2) BITE ビット(b3)

ビットエラー検出時、"1"にセットされます。
このレジスタの読み出しによって"0"にクリアされます。

(3) STFE ビット(b4)

スタッフエラー検出時、"1"にセットされます。
このレジスタの読み出しによって"0"にクリアされます。

(4) FORME ビット(b5)

フォームエラー検出時、"1"にセットされます。
このレジスタの読み出しによって"0"にクリアされます。

(5) CRCE ビット(b6)

CRCエラー検出時、"1"にセットされます。
このレジスタの読み出しによって"0"にクリアされます。

(6) ACKE ビット(b7)

ACKエラー検出時、"1"にセットされます。
このレジスタの読み出しによって"0"にクリアされます。

注 . . エラー状態によっては、複数ビットが同時にセットされる場合があります。

13.2.10 CANモードレジスタ

CAN0モードレジスタ(CAN0MOD)

<アドレス : H'0080 1018 >

CAN1モードレジスタ(CAN1MOD)

<アドレス : H'0080 1418 >

| | | | | | | | |
|----|---|---|---|---|---|-------------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | CMOD 0 0 | |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6~7 | CMOD | 00 : 通常モード | R | W |
| | CAN動作モード選択ビット | 01 : バスモニターモード 10 : 自己診断モード 11 : 設定禁止 | | |

(1)CMOD ビット

CANの動作モードを選択します。

• 通常動作モード

通常の送受信を行うことができます。

• バスモニターモード

受信動作のみを行うモードです。バスモニターモードではCTX出力は"H"固定となり、ACKを返すこともエラーフレームを返すこともできません。

注 . . バスモニターモード時は、送信要求を出すことは禁止です。

バスモニターモード時は、ACKビットは"Don't Care"として扱われます。従って、CRCデリミタまで正常に受信できた場合、ACKビットが"H"でも正常受信できたものと判定されます。

• 自己診断モード

CANモジュール内部で、CTX-CRXを接続します。ループバックモードと組み合わせることによってCAN単体で通信を行うことができます。自己診断モード時は、送信中もCTX端子出力が"H"固定となります。

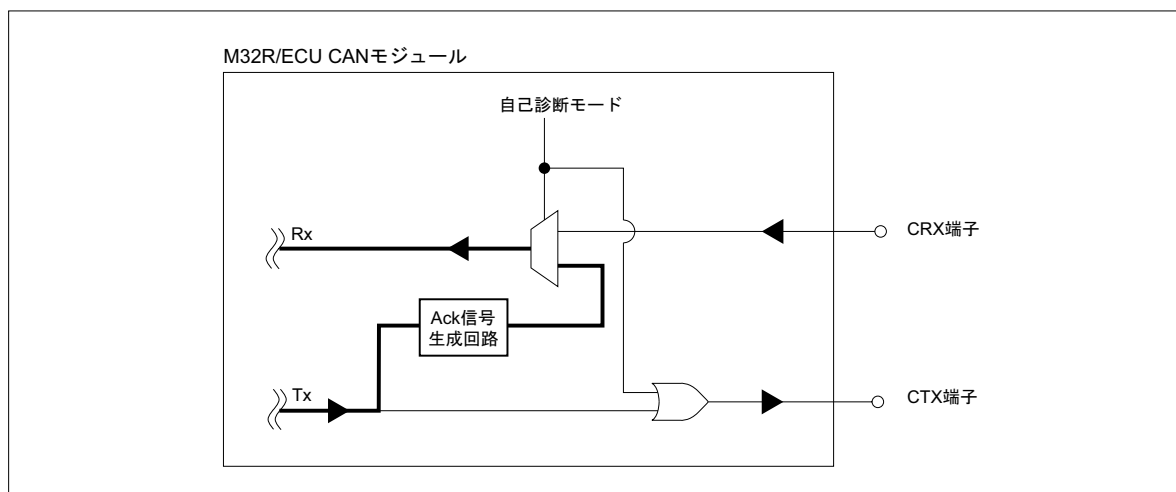


図13.2.13 自己診断モード(イメージ図)

13.2.11 CAN DMA転送要求選択レジスタ

CAN0DMA転送要求選択レジスタ(CAN0DMARQ)

<アドレス: H'0080 1019>

| | | | | | | | |
|----|---|---|---|---|---|---------|---------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | 0 | CDMSEL1 | CDMSEL0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|-------------------------------|----------------------------------|---|---|
| 0~5 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 6 | CDMSEL1 CANDMA1転送要求要因選択ビット | 0 : スロット1送信失敗 1 : スロット14送受信完了 | R | W |
| 7 | CDMSEL0 CANDMA0転送要求要因選択ビット | 0 : スロット0送信失敗 1 : スロット15送受信完了 | R | W |

CAN0はDMA転送要求を発生させることができます。このレジスタではその要因を選択します。

(1) CDMSEL0 ビット

DMA0 への転送要求要因として、次の2つから選択します。

- スロット0送信失敗
CDMSEL0ビットに"0"をセットした場合、スロット0での送信がアービトレーションロストか送信エラーによって失敗した場合に転送要求を発生します。
- スロット15送受信完了
CDMSEL0 ビットに"1"をセットした場合、スロット15での送受信が完了した場合に転送要求を発生します。

注 . . スロット15をリモートフレーム送信設定にした場合、リモートフレーム送信完了/データフレーム受信完了のそれぞれの事象に対してDMA転送要求を発生します。
 . スロット15をリモートフレーム受信(自動応答)設定にした場合、リモートフレーム受信完了/データフレーム送信完了のそれぞれの事象に対してDMA転送要求を発生します。

(2) CDMSEL1 ビット

DMA1への転送要求要因として、次の2つから選択します。

- スロット1送信失敗
CDMSEL1ビットに"0"セットした場合、スロット1での送信がアービトレーションロストか送信エラーによって失敗した場合に転送要求を発生します。
- スロット14送受信完了
CDMSEL1ビットに"1"をセットした場合、スロット14での送受信が完了した場合に転送要求を発生します。

注 . . スロット14をリモートフレーム送信設定にした場合は、リモートフレーム送信完了/データフレーム受信完了のそれぞれの事象に対してDMA転送要求を発生します。
 . スロット14をリモートフレーム受信(自動応答)設定にした場合、リモートフレーム受信完了/データフレーム送信完了のそれぞれの事象に対してDMA転送要求を発生します。

注 . . CAN1にDMA転送要求機能はありません。

13.2.12 CANマスキングレジスタ

| | |
|------------------------------------|---------------------|
| CAN0グローバルマスキングレジスタ標準IDX(C0GMSKS0) | <アドレス: H'0080 1028> |
| CAN0ローカルマスキングレジスタA標準IDX(C0LMSKAS0) | <アドレス: H'0080 1030> |
| CAN0ローカルマスキングレジスタB標準IDX(C0LMSKBS0) | <アドレス: H'0080 1038> |
| CAN1グローバルマスキングレジスタ標準IDX(C1GMSKS0) | <アドレス: H'0080 1428> |
| CAN1ローカルマスキングレジスタA標準IDX(C1LMSKAS0) | <アドレス: H'0080 1430> |
| CAN1ローカルマスキングレジスタB標準IDX(C1LMSKBS0) | <アドレス: H'0080 1438> |

| | | | | | | | |
|----|---|---|-------|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | SID0M | SID1M | SID2M | SID3M | SID4M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-----|------------------------------------|----------------------------|---|---|
| 0~2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3~7 | SID0M~SID4M (標準マスクID0~標準マスクID4) | 0: IDチェックなし 1: IDチェックあり | R | W |

| | |
|------------------------------------|---------------------|
| CAN0グローバルマスキングレジスタ標準ID1(C0GMSKS1) | <アドレス: H'0080 1029> |
| CAN0ローカルマスキングレジスタA標準ID1(C0LMSKAS1) | <アドレス: H'0080 1031> |
| CAN0ローカルマスキングレジスタB標準ID1(C0LMSKBS1) | <アドレス: H'0080 1039> |
| CAN1グローバルマスキングレジスタ標準ID1(C1GMSKS1) | <アドレス: H'0080 1429> |
| CAN1ローカルマスキングレジスタA標準ID1(C1LMSKAS1) | <アドレス: H'0080 1431> |
| CAN1ローカルマスキングレジスタB標準ID1(C1LMSKBS1) | <アドレス: H'0080 1439> |

| | | | | | | | |
|----|---|-------|-------|-------|-------|-------|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | SID5M | SID6M | SID7M | SID8M | SID9M | SID10M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時: H'00>

| b | ビット名 | 機能 | R | W |
|-------|--------------------------------------|----------------------------|---|---|
| 8~9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10~15 | SID5M~SID10M (標準マスクID5~標準マスクID10) | 0: IDチェックなし 1: IDチェックあり | R | W |

アクセプタンスフィルタリングに使用するマスキングレジスタには、グローバルマスキングレジスタ、ローカルマスキングレジスタA、ローカルマスキングレジスタBがあります。

グローバルマスキングレジスタはメッセージスロット0~13に、ローカルマスキングレジスタA、Bはそれぞれメッセージスロット14、15に適用されます。

- "0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。
- "1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

注 . . SID0Mが標準IDのMSBに対応します。

- グローバルマスキングレジスタの変更は、スロット0~13のどのスロットにも受信要求をセットしていない状態で行ってください。
- ローカルマスキングレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。
- ローカルマスキングレジスタBの変更は、スロット15に受信要求をセットしていない状態で行ってください。

| | |
|---|----------------------|
| CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE0) | <アドレス : H'0080 102A> |
| CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE0) | <アドレス : H'0080 1032> |
| CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE0) | <アドレス : H'0080 103A> |
| CAN1グローバルマスクレジスタ拡張ID α (C1GMSKE0) | <アドレス : H'0080 142A> |
| CAN1ローカルマスクレジスタA拡張ID α (C1LMSKAE0) | <アドレス : H'0080 1432> |
| CAN1ローカルマスクレジスタB拡張ID α (C1LMSKBE0) | <アドレス : H'0080 143A> |

| | | | | | | | |
|----|---|---|---|-------|-------|-------|-------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | EID0M | EID1M | EID2M | EID3M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|------------------------------------|------------------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4~7 | EID0M~EID3M (拡張マスクID0~拡張マスクID3) | 0 : IDチェックなし 1 : IDチェックあり | R | W |

| | |
|----------------------------------|----------------------|
| CAN0グローバルマスクレジスタ拡張ID1(C0GMSKE1) | <アドレス : H'0080 102B> |
| CAN0ローカルマスクレジスタA拡張ID1(C0LMSKAE1) | <アドレス : H'0080 1033> |
| CAN0ローカルマスクレジスタB拡張ID1(C0LMSKBE1) | <アドレス : H'0080 103B> |
| CAN1グローバルマスクレジスタ拡張ID1(C1GMSKE1) | <アドレス : H'0080 142B> |
| CAN1ローカルマスクレジスタA拡張ID1(C1LMSKAE1) | <アドレス : H'0080 1433> |
| CAN1ローカルマスクレジスタB拡張ID1(C1LMSKBE1) | <アドレス : H'0080 143B> |

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|--------|--------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| EID4M | EID5M | EID6M | EID7M | EID8M | EID9M | EID10M | EID11M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| D | ビット名 | 機能 | R | W |
|------|--------------------------------------|------------------------------|---|---|
| 8~15 | EID4M~EID11M (拡張マスクID4~拡張マスクID11) | 0 : IDチェックなし 1 : IDチェックあり | R | W |

| | |
|---|----------------------|
| CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE2) | <アドレス : H'0080 102C> |
| CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE2) | <アドレス : H'0080 1034> |
| CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE2) | <アドレス : H'0080 103C> |
| CAN1グローバルマスクレジスタ拡張ID α (C1GMSKE2) | <アドレス : H'0080 142C> |
| CAN1ローカルマスクレジスタA拡張ID α (C1LMSKAE2) | <アドレス : H'0080 1434> |
| CAN1ローカルマスクレジスタB拡張ID α (C1LMSKBE2) | <アドレス : H'0080 143C> |

| | | | | | | | |
|----|---|--------|--------|--------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | B7 |
| | | EID12M | EID13M | EID14M | EID15M | EID16M | EID17M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|--|------------------------------|---|---|
| 0,1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2~7 | EID12M ~ EID17M (拡張マスクID12 ~ 拡張マスクID17) | 0 : IDチェックなし 1 : IDチェックあり | R | W |

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタはメッセージスロット0~13に、ローカルマスクレジスタA, Bはそれぞれメッセージスロット14, 15に適用されます。

- "0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。
- "1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

注 . ・ EID0Mが拡張IDのMSBに対応します。

- ・ グローバルマスクレジスタの変更は、スロット0~13のどのスロットにも受信要求をセットしていない状態で行ってください。
- ・ ローカルマスクレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。
- ・ ローカルマスクレジスタBの変更は、スロット15に受信要求をセットしていない状態で行ってください。

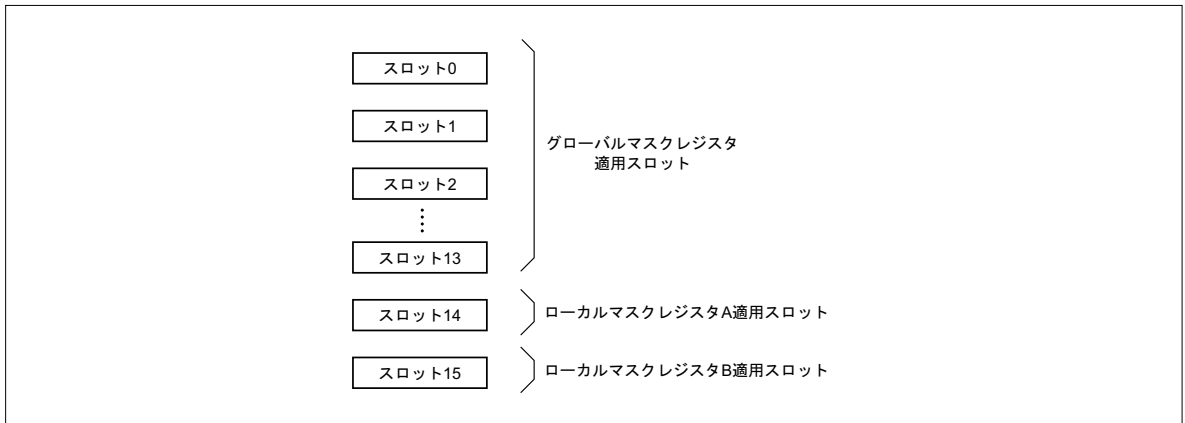


図13.2.14 マスクレジスタと適用スロットの対応

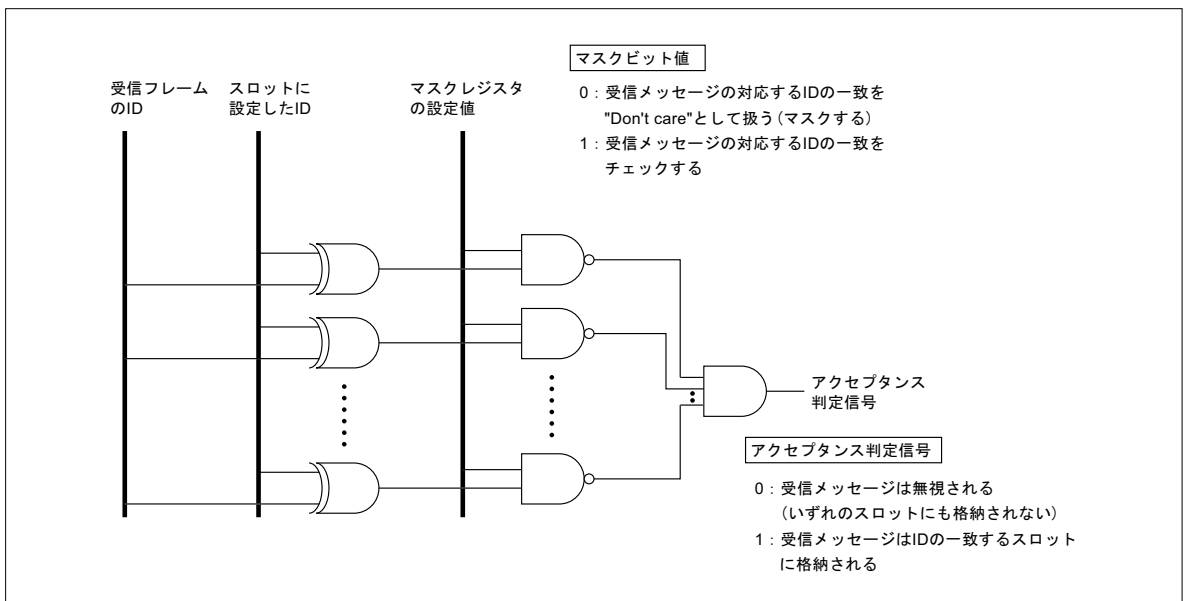


図13.2.15 アクセプタンスフィルタ動作説明

13.2.13 CANシングルショットモード制御レジスタ

CAN0シングルショットモード制御レジスタ(CAN0SSMODE)

<アドレス : H'0080 1040 >

CAN1シングルショットモード制御レジスタ(CAN1SSMODE)

<アドレス : H'0080 1440 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|---------|---------|---------|---------|
| SSCNT0 | SSCNT1 | SSCNT2 | SSCNT3 | SSCNT4 | SSCNT5 | SSCNT6 | SSCNT7 | SSCNT8 | SSCNT9 | SSCNT10 | SSCNT11 | SSCNT12 | SSCNT13 | SSCNT14 | SSCNT15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'0000 >

| b | ビット名 | 機能 | R | W |
|----|---------------------------------|-----------------|---|---|
| 0 | SSCNT0(スロット0シングルショットモードビット) | 0 : 通常モード | R | W |
| 1 | SSCNT1(スロット1シングルショットモードビット) | 1 : シングルショットモード | | |
| 2 | SSCNT2(スロット2シングルショットモードビット) | | | |
| 3 | SSCNT3(スロット3シングルショットモードビット) | | | |
| 4 | SSCNT4(スロット4シングルショットモードビット) | | | |
| 5 | SSCNT5(スロット5シングルショットモードビット) | | | |
| 6 | SSCNT6(スロット6シングルショットモードビット) | | | |
| 7 | SSCNT7(スロット7シングルショットモードビット) | | | |
| 8 | SSCNT8(スロット8シングルショットモードビット) | | | |
| 9 | SSCNT9(スロット9シングルショットモードビット) | | | |
| 10 | SSCNT10(スロット10シングルショットモードビット) | | | |
| 11 | SSCNT11(スロット11シングルショットモードビット) | | | |
| 12 | SSCNT12(スロット12シングルショットモードビット) | | | |
| 13 | SSCNT13(スロット13シングルショットモードビット) | | | |
| 14 | SSCNT14(スロット14シングルショットモードビット) | | | |
| 15 | SSCNT15(スロット15シングルショットモードビット) | | | |

通常、CANではアービトレーションロストや送信エラーによって送信に失敗した場合、送信が成功するまで送信動作を実行しつづけます。このレジスタでは、その再送信動作を行うかどうかについてスロット毎に制御することができます。

シングルショットモードでは、アービトレーションロストや送信エラーによって送信に失敗した場合、再送信動作を行いません。SSCNTnビット(n=0~15)に"1"をセットすると対応するスロットnは、シングルショットモードで動作します。

注 . . このレジスタの設定変更は、変更を加えるビットに対応したスロットのメッセージスロットコントロールレジスタの値がH'00の状態で行ってください。

13.2.14 CANメッセージスロットコントロールレジスタ

| | |
|---------------------------------------|---------------------|
| CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT) | <アドレス: H'0080 1050> |
| CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT) | <アドレス: H'0080 1051> |
| CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT) | <アドレス: H'0080 1052> |
| CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT) | <アドレス: H'0080 1053> |
| CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT) | <アドレス: H'0080 1054> |
| CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT) | <アドレス: H'0080 1055> |
| CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT) | <アドレス: H'0080 1056> |
| CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT) | <アドレス: H'0080 1057> |
| CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT) | <アドレス: H'0080 1058> |
| CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT) | <アドレス: H'0080 1059> |
| CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT) | <アドレス: H'0080 105A> |
| CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT) | <アドレス: H'0080 105B> |
| CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT) | <アドレス: H'0080 105C> |
| CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT) | <アドレス: H'0080 105D> |
| CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT) | <アドレス: H'0080 105E> |
| CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT) | <アドレス: H'0080 105F> |
| | |
| CAN1メッセージスロット0コントロールレジスタ(C1MSL0CNT) | <アドレス: H'0080 1450> |
| CAN1メッセージスロット1コントロールレジスタ(C1MSL1CNT) | <アドレス: H'0080 1451> |
| CAN1メッセージスロット2コントロールレジスタ(C1MSL2CNT) | <アドレス: H'0080 1452> |
| CAN1メッセージスロット3コントロールレジスタ(C1MSL3CNT) | <アドレス: H'0080 1453> |
| CAN1メッセージスロット4コントロールレジスタ(C1MSL4CNT) | <アドレス: H'0080 1454> |
| CAN1メッセージスロット5コントロールレジスタ(C1MSL5CNT) | <アドレス: H'0080 1455> |
| CAN1メッセージスロット6コントロールレジスタ(C1MSL6CNT) | <アドレス: H'0080 1456> |
| CAN1メッセージスロット7コントロールレジスタ(C1MSL7CNT) | <アドレス: H'0080 1457> |
| CAN1メッセージスロット8コントロールレジスタ(C1MSL8CNT) | <アドレス: H'0080 1458> |
| CAN1メッセージスロット9コントロールレジスタ(C1MSL9CNT) | <アドレス: H'0080 1459> |
| CAN1メッセージスロット10コントロールレジスタ(C1MSL10CNT) | <アドレス: H'0080 145A> |
| CAN1メッセージスロット11コントロールレジスタ(C1MSL11CNT) | <アドレス: H'0080 145B> |
| CAN1メッセージスロット12コントロールレジスタ(C1MSL12CNT) | <アドレス: H'0080 145C> |
| CAN1メッセージスロット13コントロールレジスタ(C1MSL13CNT) | <アドレス: H'0080 145D> |
| CAN1メッセージスロット14コントロールレジスタ(C1MSL14CNT) | <アドレス: H'0080 145E> |
| CAN1メッセージスロット15コントロールレジスタ(C1MSL15CNT) | <アドレス: H'0080 145F> |

| b0(b8) | 1 | 2 | 3 | 4 | 5 | 6 | b7(b15) |
|--------|----|----|----|----|----|--------|---------|
| TR | RR | RM | RL | RA | ML | TRSTAT | TRFIN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時：H'00>

| b | ビット名 | 機能 | R | W |
|---|-----------------------|--|--------|---|
| 0 | TR 送信要求ビット | 0 : メッセージスロットを送信スロットとして 使用しない 1 : メッセージスロットを送信スロットとして 使用する | R | W |
| 1 | RR 受信要求ビット | 0 : メッセージスロットを受信スロットとして 使用しない 1 : メッセージスロットを受信スロットとして 使用する | R | W |
| 2 | RM リモートビット | 0 : データフレームの送受信 1 : リモートフレームの送受信 | R | W |
| 3 | RL 自動応答禁止ビット | 0 : リモートフレームに対する自動応答許可 1 : リモートフレームに対する自動応答禁止 | R | W |
| 4 | RA リモートアクティブビット | BasicCANモード時 0 : データフレーム受信(ステータス) 1 : リモートフレーム受信(ステータス) 通常モード時 0 : データフレーム 1 : リモートフレーム | R | — |
| 5 | ML メッセージロストビット | 0 : メッセージロスト発生なし 1 : メッセージロスト発生 | R (注1) | |
| 6 | TRSTAT 送受信ステータスビット | 送信スロット時 0 : 送信停止 1 : 送信要求受付 受信スロット時 0 : 受信停止 1 : 受信データ格納中 | R | — |
| 7 | TRFIN 送受信完了ビット | 送信スロット時 0 : 未送信 1 : 送信完了 受信スロット時 0 : 未受信 1 : 受信完了 | R (注1) | |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

- 注 .
- ・ CANモジュールがリセット状態(CANnCNTのFRSTまたはRSTビットがセットされた状態)で CANメッセージスロットコントロールレジスタに送信要求を書き込んだ場合、リセット解除後 CANバス上に11ビットの連続したレセシブビットを検出後、送信を開始します。
 - ・ 複数スロットにデータ/リモートフレーム送信要求が出ている場合、スロット番号の一番小さいロットがフレーム送信を行います。
複数スロットにデータ/リモートフレーム受信要求が出ている場合、受信条件を満たすスロットのうち、スロット番号の一番小さいスロットがフレーム受信を行います。
 - ・ シングルショットモード設定時、送信に失敗した場合このレジスタはH'00にクリアされます。

(1)TR(送信要求)ビット(b0)

メッセージスロットを送信スロットとして使用する場合に"1"を設定します。
データフレーム受信/リモートフレーム受信スロットとして使用する場合は、"0"を設定してください。

(2)RR(受信要求)ビット(b1)

メッセージボックスを受信スロットとして使用する場合に"1"を設定します。
データフレーム送信/リモートフレーム送信スロットとして使用する場合は、"0"を設定してください。
TR(送信要求)ビットとRR(受信要求)ビットを両方とも"1"に設定した場合、動作は不定になります。

(3)RM(リモート)ビット(b2)

メッセージスロットでリモートフレームを扱う場合に"1"を設定します。
リモートフレームを扱う設定には以下の2通りがあります。

- リモートフレーム送信設定
メッセージスロットに設定されているデータをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信スロットに切り替わります
ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータをメッセージスロットへ格納しリモートフレームの送信は行いません。
- リモートフレーム受信設定
リモートフレームを受信します。受信後の処理はRL(自動応答禁止)ビットにより選択します。

(4)RL(自動応答禁止)ビット(b3)

リモートフレーム受信スロットとして設定した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

"0"を設定した場合は、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているデータをデータフレームとして送信します。

また、"1"を設定した場合は、リモートフレーム受信後、停止します。

注．．リモートフレーム受信スロット以外の設定の場合は、必ず"0"を設定してください。

(5)RA(リモートアクティブ)ビット(b4)

スロット0~13までと、スロット14, 15では機能が異なります。

- スロット0~13
スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。その後、リモートフレームの送信(受信)が完了すると"0"にクリアされます。
- スロット14, 15
CANコントロールレジスタのBCM(BasicCANモード)ビットの設定によって機能が異なります。
BCM="0"(通常動作時)：スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。
BCM="1"(BasicCAN)：RAビットは、どのタイプのフレームを受信したかを示します。BasicCANモード時のスロット14, 15ではデータフレーム、リモートフレームともに受信データの格納を行います。
RA="0"：スロットに格納されているフレームがデータフレームであることを示します。
RA="1"：スロットに格納されているフレームがリモートフレームであることを示します。

(6)ML(メッセージロスト)ビット(b5)

受信スロット時に有効なビットで、メッセージスロットに未読の受信データがあり、受信により上書きされた場合に"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。

(7) TRSTAT(送受信ステータス)ビット(b6)

CANモジュールが送受信中で、メッセージスロットへアクセス中であることを示します。アクセス中は"1"がセットされ、アクセスしていないときは"0"がセットされます。

- 送信スロット時
メッセージスロットの送信要求が受け付けられたとき、"1"がセットされます。アービトレーションに敗れた場合、CANバスエラー発生、送信完了によって"0"にクリアされます。
- 受信スロット時
データ受信中でメッセージスロットに受信データを格納中であるとき、"1"がセットされます。このビットが"1"の間にメッセージスロットから読み出した値は不定値となりますのでご注意ください。

(8) TRFIN(送受信完了)ビット(b7)

CANモジュールが送受信を完了したことを示します。

- 送信スロット設定時
メッセージスロットのデータが送信完了したとき、"1"がセットされます。
このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT(送受信ステータス)ビットが"1"の場合は"0"クリアできません。
- 受信スロット設定時
メッセージスロットへ格納すべきデータを正常受信にしたとき、"1"がセットされます。
このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT(送受信ステータス)ビットが"1"の場合は"0"クリアできません。

注．．受信データをメッセージスロットから読み出す場合は、読み出し前にTRFIN(送受信完了)ビットをクリアしてください。また、読み出し後にTRFIN(送受信完了)ビットが"1"にセットされていた場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は、読み出しデータを破棄し、TRFIN(送受信完了)ビットをクリア後、再度読み出し処理を行ってください。

- リモートフレーム送受信時は、TRFINビットはハードウェアにより自動的にクリア動作が行われます。TRFINビットを送受信完了フラグとして使用できません。

13.2.15 CANメッセージスロット

| | |
|--|---------------------|
| CAN0メッセージスロット0標準ID α (C0MSL0SID0) | <アドレス: H'0080 1100> |
| CAN0メッセージスロット1標準ID α (C0MSL1SID0) | <アドレス: H'0080 1110> |
| CAN0メッセージスロット2標準ID α (C0MSL2SID0) | <アドレス: H'0080 1120> |
| CAN0メッセージスロット3標準ID α (C0MSL3SID0) | <アドレス: H'0080 1130> |
| CAN0メッセージスロット4標準ID α (C0MSL4SID0) | <アドレス: H'0080 1140> |
| CAN0メッセージスロット5標準ID α (C0MSL5SID0) | <アドレス: H'0080 1150> |
| CAN0メッセージスロット6標準ID α (C0MSL6SID0) | <アドレス: H'0080 1160> |
| CAN0メッセージスロット7標準ID α (C0MSL7SID0) | <アドレス: H'0080 1170> |
| CAN0メッセージスロット8標準ID α (C0MSL8SID0) | <アドレス: H'0080 1180> |
| CAN0メッセージスロット9標準ID α (C0MSL9SID0) | <アドレス: H'0080 1190> |
| CAN0メッセージスロット10標準ID α (C0MSL10SID0) | <アドレス: H'0080 11A0> |
| CAN0メッセージスロット11標準ID α (C0MSL11SID0) | <アドレス: H'0080 11B0> |
| CAN0メッセージスロット12標準ID α (C0MSL12SID0) | <アドレス: H'0080 11C0> |
| CAN0メッセージスロット13標準ID α (C0MSL13SID0) | <アドレス: H'0080 11D0> |
| CAN0メッセージスロット14標準ID α (C0MSL14SID0) | <アドレス: H'0080 11E0> |
| CAN0メッセージスロット15標準ID α (C0MSL15SID0) | <アドレス: H'0080 11F0> |

| | |
|--|---------------------|
| CAN1メッセージスロット0標準ID α (C1MSL0SID0) | <アドレス: H'0080 1500> |
| CAN1メッセージスロット1標準ID α (C1MSL1SID0) | <アドレス: H'0080 1510> |
| CAN1メッセージスロット2標準ID α (C1MSL2SID0) | <アドレス: H'0080 1520> |
| CAN1メッセージスロット3標準ID α (C1MSL3SID0) | <アドレス: H'0080 1530> |
| CAN1メッセージスロット4標準ID α (C1MSL4SID0) | <アドレス: H'0080 1540> |
| CAN1メッセージスロット5標準ID α (C1MSL5SID0) | <アドレス: H'0080 1550> |
| CAN1メッセージスロット6標準ID α (C1MSL6SID0) | <アドレス: H'0080 1560> |
| CAN1メッセージスロット7標準ID α (C1MSL7SID0) | <アドレス: H'0080 1570> |
| CAN1メッセージスロット8標準ID α (C1MSL8SID0) | <アドレス: H'0080 1580> |
| CAN1メッセージスロット9標準ID α (C1MSL9SID0) | <アドレス: H'0080 1590> |
| CAN1メッセージスロット10標準ID α (C1MSL10SID0) | <アドレス: H'0080 15A0> |
| CAN1メッセージスロット11標準ID α (C1MSL11SID0) | <アドレス: H'0080 15B0> |
| CAN1メッセージスロット12標準ID α (C1MSL12SID0) | <アドレス: H'0080 15C1> |
| CAN1メッセージスロット13標準ID α (C1MSL13SID0) | <アドレス: H'0080 15D0> |
| CAN1メッセージスロット14標準ID α (C1MSL14SID0) | <アドレス: H'0080 15E0> |
| CAN1メッセージスロット15標準ID α (C1MSL15SID0) | <アドレス: H'0080 15F0> |

| | | | | | | | |
|----|---|---|------|------|------|------|------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| ? | ? | ? | SID0 | SID1 | SID2 | SID3 | SID4 |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| D | ビット名 | 機能 | R | W |
|-----|----------------------------|-------------|---|---|
| 0~2 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 3~7 | SID0~SID4 (標準ID0~標準ID4) | 標準ID0~標準ID4 | R | W |

送信フレーム/受信フレームのメモリスペースです。

CAN0メッセージロット0標準ID1(C0MSL0SID1) <アドレス : H'0080 1101 >
 CAN0メッセージロット1標準ID1(C0MSL1SID1) <アドレス : H'0080 1111 >
 CAN0メッセージロット2標準ID1(C0MSL2SID1) <アドレス : H'0080 1121 >
 CAN0メッセージロット3標準ID1(C0MSL3SID1) <アドレス : H'0080 1131 >
 CAN0メッセージロット4標準ID1(C0MSL4SID1) <アドレス : H'0080 1141 >
 CAN0メッセージロット5標準ID1(C0MSL5SID1) <アドレス : H'0080 1151 >
 CAN0メッセージロット6標準ID1(C0MSL6SID1) <アドレス : H'0080 1161 >
 CAN0メッセージロット7標準ID1(C0MSL7SID1) <アドレス : H'0080 1171 >
 CAN0メッセージロット8標準ID1(C0MSL8SID1) <アドレス : H'0080 1181 >
 CAN0メッセージロット9標準ID1(C0MSL9SID1) <アドレス : H'0080 1191 >
 CAN0メッセージロット10標準ID1(C0MSL10SID1) <アドレス : H'0080 11A1 >
 CAN0メッセージロット11標準ID1(C0MSL11SID1) <アドレス : H'0080 11B1 >
 CAN0メッセージロット12標準ID1(C0MSL12SID1) <アドレス : H'0080 11C1 >
 CAN0メッセージロット13標準ID1(C0MSL13SID1) <アドレス : H'0080 11D1 >
 CAN0メッセージロット14標準ID1(C0MSL14SID1) <アドレス : H'0080 11E1 >
 CAN0メッセージロット15標準ID1(C0MSL15SID1) <アドレス : H'0080 11F1 >

CAN1メッセージロット0標準ID1(C1MSL0SID1) <アドレス : H'0080 1501 >
 CAN1メッセージロット1標準ID1(C1MSL1SID1) <アドレス : H'0080 1511 >
 CAN1メッセージロット2標準ID1(C1MSL2SID1) <アドレス : H'0080 1521 >
 CAN1メッセージロット3標準ID1(C1MSL3SID1) <アドレス : H'0080 1531 >
 CAN1メッセージロット4標準ID1(C1MSL4SID1) <アドレス : H'0080 1541 >
 CAN1メッセージロット5標準ID1(C1MSL5SID1) <アドレス : H'0080 1551 >
 CAN1メッセージロット6標準ID1(C1MSL6SID1) <アドレス : H'0080 1561 >
 CAN1メッセージロット7標準ID1(C1MSL7SID1) <アドレス : H'0080 1571 >
 CAN1メッセージロット8標準ID1(C1MSL8SID1) <アドレス : H'0080 1581 >
 CAN1メッセージロット9標準ID1(C1MSL9SID1) <アドレス : H'0080 1591 >
 CAN1メッセージロット10標準ID1(C1MSL10SID1) <アドレス : H'0080 15A1 >
 CAN1メッセージロット11標準ID1(C1MSL11SID1) <アドレス : H'0080 15B1 >
 CAN1メッセージロット12標準ID1(C1MSL12SID1) <アドレス : H'0080 15C1 >
 CAN1メッセージロット13標準ID1(C1MSL13SID1) <アドレス : H'0080 15D1 >
 CAN1メッセージロット14標準ID1(C1MSL14SID1) <アドレス : H'0080 15E1 >
 CAN1メッセージロット15標準ID1(C1MSL15SID1) <アドレス : H'0080 15F1 >

| | | | | | | | |
|----|---|------|------|------|------|------|-------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| | | SID5 | SID6 | SID7 | SID8 | SID9 | SID10 |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|---------|----------------------------------|----------------|---|---|
| 8, 9 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 10 ~ 15 | SID5 ~ SID10 (標準ID5 ~ 標準ID10) | 標準ID5 ~ 標準ID10 | R | W |

送信フレーム/受信フレームのメモリスペースです。

CAN0メッセージスロット0拡張ID α (C0MSL0EID0) <アドレス: H'0080 1102>
 CAN0メッセージスロット1拡張ID α (C0MSL1EID0) <アドレス: H'0080 1112>
 CAN0メッセージスロット2拡張ID α (C0MSL2EID0) <アドレス: H'0080 1122>
 CAN0メッセージスロット3拡張ID α (C0MSL3EID0) <アドレス: H'0080 1132>
 CAN0メッセージスロット4拡張ID α (C0MSL4EID0) <アドレス: H'0080 1142>
 CAN0メッセージスロット5拡張ID α (C0MSL5EID0) <アドレス: H'0080 1152>
 CAN0メッセージスロット6拡張ID α (C0MSL6EID0) <アドレス: H'0080 1162>
 CAN0メッセージスロット7拡張ID α (C0MSL7EID0) <アドレス: H'0080 1172>
 CAN0メッセージスロット8拡張ID α (C0MSL8EID0) <アドレス: H'0080 1182>
 CAN0メッセージスロット9拡張ID α (C0MSL9EID0) <アドレス: H'0080 1192>
 CAN0メッセージスロット10拡張ID α (C0MSL10EID0) <アドレス: H'0080 11A2>
 CAN0メッセージスロット11拡張ID α (C0MSL11EID0) <アドレス: H'0080 11B2>
 CAN0メッセージスロット12拡張ID α (C0MSL12EID0) <アドレス: H'0080 11C2>
 CAN0メッセージスロット13拡張ID α (C0MSL13EID0) <アドレス: H'0080 11D2>
 CAN0メッセージスロット14拡張ID α (C0MSL14EID0) <アドレス: H'0080 11E2>
 CAN0メッセージスロット15拡張ID α (C0MSL15EID0) <アドレス: H'0080 11F2>

CAN1メッセージスロット0拡張ID α (C1MSL0EID0) <アドレス: H'0080 1502>
 CAN1メッセージスロット1拡張ID α (C1MSL1EID0) <アドレス: H'0080 1512>
 CAN1メッセージスロット2拡張ID α (C1MSL2EID0) <アドレス: H'0080 1522>
 CAN1メッセージスロット3拡張ID α (C1MSL3EID0) <アドレス: H'0080 1532>
 CAN1メッセージスロット4拡張ID α (C1MSL4EID0) <アドレス: H'0080 1542>
 CAN1メッセージスロット5拡張ID α (C1MSL5EID0) <アドレス: H'0080 1552>
 CAN1メッセージスロット6拡張ID α (C1MSL6EID0) <アドレス: H'0080 1562>
 CAN1メッセージスロット7拡張ID α (C1MSL7EID0) <アドレス: H'0080 1572>
 CAN1メッセージスロット8拡張ID α (C1MSL8EID0) <アドレス: H'0080 1582>
 CAN1メッセージスロット9拡張ID α (C1MSL9EID0) <アドレス: H'0080 1592>
 CAN1メッセージスロット10拡張ID α (C1MSL10EID0) <アドレス: H'0080 15A2>
 CAN1メッセージスロット11拡張ID α (C1MSL11EID0) <アドレス: H'0080 15B2>
 CAN1メッセージスロット12拡張ID α (C1MSL12EID0) <アドレス: H'0080 15C2>
 CAN1メッセージスロット13拡張ID α (C1MSL13EID0) <アドレス: H'0080 15D2>
 CAN1メッセージスロット14拡張ID α (C1MSL14EID0) <アドレス: H'0080 15E2>
 CAN1メッセージスロット15拡張ID α (C1MSL15EID0) <アドレス: H'0080 15F2>

| | | | | | | | |
|----|---|---|---|------|------|------|------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| ? | | | | EID0 | EID1 | EID2 | EID3 |
| ? | | | | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-----|----------------------------|-------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4~7 | EID0~EID3 (拡張ID0~拡張ID3) | 拡張ID0~拡張ID3 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注. . 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID1(C0MSL0EID1) <アドレス : H'0080 1103>
 CAN0メッセージスロット1拡張ID1(C0MSL1EID1) <アドレス : H'0080 1113>
 CAN0メッセージスロット2拡張ID1(C0MSL2EID1) <アドレス : H'0080 1123>
 CAN0メッセージスロット3拡張ID1(C0MSL3EID1) <アドレス : H'0080 1133>
 CAN0メッセージスロット4拡張ID1(C0MSL4EID1) <アドレス : H'0080 1143>
 CAN0メッセージスロット5拡張ID1(C0MSL5EID1) <アドレス : H'0080 1153>
 CAN0メッセージスロット6拡張ID1(C0MSL6EID1) <アドレス : H'0080 1163>
 CAN0メッセージスロット7拡張ID1(C0MSL7EID1) <アドレス : H'0080 1173>
 CAN0メッセージスロット8拡張ID1(C0MSL8EID1) <アドレス : H'0080 1183>
 CAN0メッセージスロット9拡張ID1(C0MSL9EID1) <アドレス : H'0080 1193>
 CAN0メッセージスロット10拡張ID1(C0MSL10EID1) <アドレス : H'0080 11A3>
 CAN0メッセージスロット11拡張ID1(C0MSL11EID1) <アドレス : H'0080 11B3>
 CAN0メッセージスロット12拡張ID1(C0MSL12EID1) <アドレス : H'0080 11C3>
 CAN0メッセージスロット13拡張ID1(C0MSL13EID1) <アドレス : H'0080 11D3>
 CAN0メッセージスロット14拡張ID1(C0MSL14EID1) <アドレス : H'0080 11E3>
 CAN0メッセージスロット15拡張ID1(C0MSL15EID1) <アドレス : H'0080 11F3>

CAN1メッセージスロット0拡張ID1(C1MSL0EID1) <アドレス : H'0080 1503>
 CAN1メッセージスロット1拡張ID1(C1MSL1EID1) <アドレス : H'0080 1513>
 CAN1メッセージスロット2拡張ID1(C1MSL2EID1) <アドレス : H'0080 1523>
 CAN1メッセージスロット3拡張ID1(C1MSL3EID1) <アドレス : H'0080 1533>
 CAN1メッセージスロット4拡張ID1(C1MSL4EID1) <アドレス : H'0080 1543>
 CAN1メッセージスロット5拡張ID1(C1MSL5EID1) <アドレス : H'0080 1553>
 CAN1メッセージスロット6拡張ID1(C1MSL6EID1) <アドレス : H'0080 1563>
 CAN1メッセージスロット7拡張ID1(C1MSL7EID1) <アドレス : H'0080 1573>
 CAN1メッセージスロット8拡張ID1(C1MSL8EID1) <アドレス : H'0080 1583>
 CAN1メッセージスロット9拡張ID1(C1MSL9EID1) <アドレス : H'0080 1593>
 CAN1メッセージスロット10拡張ID1(C1MSL10EID1) <アドレス : H'0080 15A3>
 CAN1メッセージスロット11拡張ID1(C1MSL11EID1) <アドレス : H'0080 15B3>
 CAN1メッセージスロット12拡張ID1(C1MSL12EID1) <アドレス : H'0080 15C3>
 CAN1メッセージスロット13拡張ID1(C1MSL13EID1) <アドレス : H'0080 15D3>
 CAN1メッセージスロット14拡張ID1(C1MSL14EID1) <アドレス : H'0080 15E3>
 CAN1メッセージスロット15拡張ID1(C1MSL15EID1) <アドレス : H'0080 15F3>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|------|------|------|------|------|------|-------|-------|
| EID4 | EID5 | EID6 | EID7 | EID8 | EID9 | EID10 | EID11 |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時 : 不定>

| D | ビット名 | 機能 | R | W |
|--------|------------------------------------|----------------|---|---|
| 8 ~ 15 | EID4 ~ EID11 (拡張ID4 ~ 拡張ID11) | 拡張ID4 ~ 拡張ID11 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . ・受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID α (C0MSL0EID2) <アドレス : H'0080 1104>
 CAN0メッセージスロット1拡張ID α (C0MSL1EID2) <アドレス : H'0080 1114>
 CAN0メッセージスロット2拡張ID α (C0MSL2EID2) <アドレス : H'0080 1124>
 CAN0メッセージスロット3拡張ID α (C0MSL3EID2) <アドレス : H'0080 1134>
 CAN0メッセージスロット4拡張ID α (C0MSL4EID2) <アドレス : H'0080 1144>
 CAN0メッセージスロット5拡張ID α (C0MSL5EID2) <アドレス : H'0080 1154>
 CAN0メッセージスロット6拡張ID α (C0MSL6EID2) <アドレス : H'0080 1164>
 CAN0メッセージスロット7拡張ID α (C0MSL7EID2) <アドレス : H'0080 1174>
 CAN0メッセージスロット8拡張ID α (C0MSL8EID2) <アドレス : H'0080 1184>
 CAN0メッセージスロット9拡張ID α (C0MSL9EID2) <アドレス : H'0080 1194>
 CAN0メッセージスロット10拡張ID α (C0MSL10EID2) <アドレス : H'0080 11A4>
 CAN0メッセージスロット11拡張ID α (C0MSL11EID2) <アドレス : H'0080 11B4>
 CAN0メッセージスロット12拡張ID α (C0MSL12EID2) <アドレス : H'0080 11C4>
 CAN0メッセージスロット13拡張ID α (C0MSL13EID2) <アドレス : H'0080 11D4>
 CAN0メッセージスロット14拡張ID α (C0MSL14EID2) <アドレス : H'0080 11E4>
 CAN0メッセージスロット15拡張ID α (C0MSL15EID2) <アドレス : H'0080 11F4>

CAN1メッセージスロット0拡張ID α (C1MSL0EID2) <アドレス : H'0080 1504>
 CAN1メッセージスロット1拡張ID α (C1MSL1EID2) <アドレス : H'0080 1514>
 CAN1メッセージスロット2拡張ID α (C1MSL2EID2) <アドレス : H'0080 1524>
 CAN1メッセージスロット3拡張ID α (C1MSL3EID2) <アドレス : H'0080 1534>
 CAN1メッセージスロット4拡張ID α (C1MSL4EID2) <アドレス : H'0080 1544>
 CAN1メッセージスロット5拡張ID α (C1MSL5EID2) <アドレス : H'0080 1554>
 CAN1メッセージスロット6拡張ID α (C1MSL6EID2) <アドレス : H'0080 1564>
 CAN1メッセージスロット7拡張ID α (C1MSL7EID2) <アドレス : H'0080 1574>
 CAN1メッセージスロット8拡張ID α (C1MSL8EID2) <アドレス : H'0080 1584>
 CAN1メッセージスロット9拡張ID α (C1MSL9EID2) <アドレス : H'0080 1594>
 CAN1メッセージスロット10拡張ID α (C1MSL10EID2) <アドレス : H'0080 15A4>
 CAN1メッセージスロット11拡張ID α (C1MSL11EID2) <アドレス : H'0080 15B4>
 CAN1メッセージスロット12拡張ID α (C1MSL12EID2) <アドレス : H'0080 15C4>
 CAN1メッセージスロット13拡張ID α (C1MSL13EID2) <アドレス : H'0080 15D4>
 CAN1メッセージスロット14拡張ID α (C1MSL14EID2) <アドレス : H'0080 15E4>
 CAN1メッセージスロット15拡張ID α (C1MSL15EID2) <アドレス : H'0080 15F4>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|-------|-------|-------|-------|-------|-------|
| ? | ? | EID12 | EID13 | EID14 | EID15 | EID16 | EID17 |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------|---|---|
| 0,1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2~7 | EID12~EID17 (拡張ID12~拡張ID17) | 拡張ID12~拡張ID17 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

| | |
|------------------------------------|---------------------|
| CAN0メッセージロット0データ長レジスタ(C0MSL0DLC) | <アドレス: H'0080 1105> |
| CAN0メッセージロット1データ長レジスタ(C0MSL1DLC) | <アドレス: H'0080 1115> |
| CAN0メッセージロット2データ長レジスタ(C0MSL2DLC) | <アドレス: H'0080 1125> |
| CAN0メッセージロット3データ長レジスタ(C0MSL3DLC) | <アドレス: H'0080 1135> |
| CAN0メッセージロット4データ長レジスタ(C0MSL4DLC) | <アドレス: H'0080 1145> |
| CAN0メッセージロット5データ長レジスタ(C0MSL5DLC) | <アドレス: H'0080 1155> |
| CAN0メッセージロット6データ長レジスタ(C0MSL6DLC) | <アドレス: H'0080 1165> |
| CAN0メッセージロット7データ長レジスタ(C0MSL7DLC) | <アドレス: H'0080 1175> |
| CAN0メッセージロット8データ長レジスタ(C0MSL8DLC) | <アドレス: H'0080 1185> |
| CAN0メッセージロット9データ長レジスタ(C0MSL9DLC) | <アドレス: H'0080 1195> |
| CAN0メッセージロット10データ長レジスタ(C0MSL10DLC) | <アドレス: H'0080 11A5> |
| CAN0メッセージロット11データ長レジスタ(C0MSL11DLC) | <アドレス: H'0080 11B5> |
| CAN0メッセージロット12データ長レジスタ(C0MSL12DLC) | <アドレス: H'0080 11C5> |
| CAN0メッセージロット13データ長レジスタ(C0MSL13DLC) | <アドレス: H'0080 11D5> |
| CAN0メッセージロット14データ長レジスタ(C0MSL14DLC) | <アドレス: H'0080 11E5> |
| CAN0メッセージロット15データ長レジスタ(C0MSL15DLC) | <アドレス: H'0080 11F5> |

| | |
|------------------------------------|---------------------|
| CAN1メッセージロット0データ長レジスタ(C1MSL0DLC) | <アドレス: H'0080 1505> |
| CAN1メッセージロット1データ長レジスタ(C1MSL1DLC) | <アドレス: H'0080 1515> |
| CAN1メッセージロット2データ長レジスタ(C1MSL2DLC) | <アドレス: H'0080 1525> |
| CAN1メッセージロット3データ長レジスタ(C1MSL3DLC) | <アドレス: H'0080 1535> |
| CAN1メッセージロット4データ長レジスタ(C1MSL4DLC) | <アドレス: H'0080 1545> |
| CAN1メッセージロット5データ長レジスタ(C1MSL5DLC) | <アドレス: H'0080 1555> |
| CAN1メッセージロット6データ長レジスタ(C1MSL6DLC) | <アドレス: H'0080 1565> |
| CAN1メッセージロット7データ長レジスタ(C1MSL7DLC) | <アドレス: H'0080 1575> |
| CAN1メッセージロット8データ長レジスタ(C1MSL8DLC) | <アドレス: H'0080 1585> |
| CAN1メッセージロット9データ長レジスタ(C1MSL9DLC) | <アドレス: H'0080 1595> |
| CAN1メッセージロット10データ長レジスタ(C1MSL10DLC) | <アドレス: H'0080 15A5> |
| CAN1メッセージロット11データ長レジスタ(C1MSL11DLC) | <アドレス: H'0080 15B5> |
| CAN1メッセージロット12データ長レジスタ(C1MSL12DLC) | <アドレス: H'0080 15C5> |
| CAN1メッセージロット13データ長レジスタ(C1MSL13DLC) | <アドレス: H'0080 15D5> |
| CAN1メッセージロット14データ長レジスタ(C1MSL14DLC) | <アドレス: H'0080 15E5> |
| CAN1メッセージロット15データ長レジスタ(C1MSL15DLC) | <アドレス: H'0080 15F5> |

| | | | | | | | |
|----|---|----|----|------|------|------|------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| ? | | | | DLC0 | DLC1 | DLC2 | DLC3 |
| ? | | | | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-------|---------------------------|---|---|---|
| 8~11 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 12~15 | DLC0~DLC3 データ長設定ビット | 0000 : 0バイト 0001 : 1バイト 0010 : 2バイト 0011 : 3バイト 0100 : 4バイト 0101 : 5バイト 0110 : 6バイト 0111 : 7バイト 1xxx : 8バイト | R | W |

送信フレーム/受信フレームのメモリスペースです。送信時は送信データ長を設定します。受信時は受信DLCが格納されます。

CAN0メッセージスロット0データα (C0MSL0DT0) <アドレス: H'0080 1106>
 CAN0メッセージスロット1データα (C0MSL1DT0) <アドレス: H'0080 1116>
 CAN0メッセージスロット2データα (C0MSL2DT0) <アドレス: H'0080 1126>
 CAN0メッセージスロット3データα (C0MSL3DT0) <アドレス: H'0080 1136>
 CAN0メッセージスロット4データα (C0MSL4DT0) <アドレス: H'0080 1146>
 CAN0メッセージスロット5データα (C0MSL5DT0) <アドレス: H'0080 1156>
 CAN0メッセージスロット6データα (C0MSL6DT0) <アドレス: H'0080 1166>
 CAN0メッセージスロット7データα (C0MSL7DT0) <アドレス: H'0080 1176>
 CAN0メッセージスロット8データα (C0MSL8DT0) <アドレス: H'0080 1186>
 CAN0メッセージスロット9データα (C0MSL9DT0) <アドレス: H'0080 1196>
 CAN0メッセージスロット10データα (C0MSL10DT0) <アドレス: H'0080 11A6>
 CAN0メッセージスロット11データα (C0MSL11DT0) <アドレス: H'0080 11B6>
 CAN0メッセージスロット12データα (C0MSL12DT0) <アドレス: H'0080 11C6>
 CAN0メッセージスロット13データα (C0MSL13DT0) <アドレス: H'0080 11D6>
 CAN0メッセージスロット14データα (C0MSL14DT0) <アドレス: H'0080 11E6>
 CAN0メッセージスロット15データα (C0MSL15DT0) <アドレス: H'0080 11F6>

CAN1メッセージスロット0データα (C1MSL0DT0) <アドレス: H'0080 1506>
 CAN1メッセージスロット1データα (C1MSL1DT0) <アドレス: H'0080 1516>
 CAN1メッセージスロット2データα (C1MSL2DT0) <アドレス: H'0080 1526>
 CAN1メッセージスロット3データα (C1MSL3DT0) <アドレス: H'0080 1536>
 CAN1メッセージスロット4データα (C1MSL4DT0) <アドレス: H'0080 1546>
 CAN1メッセージスロット5データα (C1MSL5DT0) <アドレス: H'0080 1556>
 CAN1メッセージスロット6データα (C1MSL6DT0) <アドレス: H'0080 1566>
 CAN1メッセージスロット7データα (C1MSL7DT0) <アドレス: H'0080 1576>
 CAN1メッセージスロット8データα (C1MSL8DT0) <アドレス: H'0080 1586>
 CAN1メッセージスロット9データα (C1MSL9DT0) <アドレス: H'0080 1596>
 CAN1メッセージスロット10データα (C1MSL10DT0) <アドレス: H'0080 15A6>
 CAN1メッセージスロット11データα (C1MSL11DT0) <アドレス: H'0080 15B6>
 CAN1メッセージスロット12データα (C1MSL12DT0) <アドレス: H'0080 15C6>
 CAN1メッセージスロット13データα (C1MSL13DT0) <アドレス: H'0080 15D6>
 CAN1メッセージスロット14データα (C1MSL14DT0) <アドレス: H'0080 15E6>
 CAN1メッセージスロット15データα (C1MSL15DT0) <アドレス: H'0080 15F6>

| D0 | 1 | 2 | 3 | 4 | 5 | 6 | D7 |
|--|---|---|---|---|---|---|----|
| C0MSL0DT0-C0MSL15DT0, C1MSL0DT0-C1MSL15DT0 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-----|---|---------------|---|---|
| 0~7 | C0MSL0DT0-C0MSL15DT0, C1MSL0DT0-C1MSL15DT0 | メッセージスロットデータ0 | R | W |

送信フレーム/受信フレームのメモリスペースです。

- 注 . ・ 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が0の場合には不定値が書き込まれます。
 ・ CANフレームのデータフィールド1バイト目がメッセージスロットnデータ0に対応します。データはレジスタのMSB側から送受信されます。

CAN0メッセージスロット0データ1(C0MSL0DT1) <アドレス:H'0080 1107>
 CAN0メッセージスロット1データ1(C0MSL1DT1) <アドレス:H'0080 1117>
 CAN0メッセージスロット2データ1(C0MSL2DT1) <アドレス:H'0080 1127>
 CAN0メッセージスロット3データ1(C0MSL3DT1) <アドレス:H'0080 1137>
 CAN0メッセージスロット4データ1(C0MSL4DT1) <アドレス:H'0080 1147>
 CAN0メッセージスロット5データ1(C0MSL5DT1) <アドレス:H'0080 1157>
 CAN0メッセージスロット6データ1(C0MSL6DT1) <アドレス:H'0080 1167>
 CAN0メッセージスロット7データ1(C0MSL7DT1) <アドレス:H'0080 1177>
 CAN0メッセージスロット8データ1(C0MSL8DT1) <アドレス:H'0080 1187>
 CAN0メッセージスロット9データ1(C0MSL9DT1) <アドレス:H'0080 1197>
 CAN0メッセージスロット10データ1(C0MSL10DT1) <アドレス:H'0080 11A7>
 CAN0メッセージスロット11データ1(C0MSL11DT1) <アドレス:H'0080 11B7>
 CAN0メッセージスロット12データ1(C0MSL12DT1) <アドレス:H'0080 11C7>
 CAN0メッセージスロット13データ1(C0MSL13DT1) <アドレス:H'0080 11D7>
 CAN0メッセージスロット14データ1(C0MSL14DT1) <アドレス:H'0080 11E7>
 CAN0メッセージスロット15データ1(C0MSL15DT1) <アドレス:H'0080 11F7>

CAN1メッセージスロット0データ1(C1MSL0DT1) <アドレス:H'0080 1507>
 CAN1メッセージスロット1データ1(C1MSL1DT1) <アドレス:H'0080 1517>
 CAN1メッセージスロット2データ1(C1MSL2DT1) <アドレス:H'0080 1527>
 CAN1メッセージスロット3データ1(C1MSL3DT1) <アドレス:H'0080 1537>
 CAN1メッセージスロット4データ1(C1MSL4DT1) <アドレス:H'0080 1547>
 CAN1メッセージスロット5データ1(C1MSL5DT1) <アドレス:H'0080 1557>
 CAN1メッセージスロット6データ1(C1MSL6DT1) <アドレス:H'0080 1567>
 CAN1メッセージスロット7データ1(C1MSL7DT1) <アドレス:H'0080 1577>
 CAN1メッセージスロット8データ1(C1MSL8DT1) <アドレス:H'0080 1587>
 CAN1メッセージスロット9データ1(C1MSL9DT1) <アドレス:H'0080 1597>
 CAN1メッセージスロット10データ1(C1MSL10DT1) <アドレス:H'0080 15A7>
 CAN1メッセージスロット11データ1(C1MSL11DT1) <アドレス:H'0080 15B7>
 CAN1メッセージスロット12データ1(C1MSL12DT1) <アドレス:H'0080 15C7>
 CAN1メッセージスロット13データ1(C1MSL13DT1) <アドレス:H'0080 15D7>
 CAN1メッセージスロット14データ1(C1MSL14DT1) <アドレス:H'0080 15E7>
 CAN1メッセージスロット15データ1(C1MSL15DT1) <アドレス:H'0080 15F7>

| | | | | | | | |
|--|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| C0MSL0DT1-C0MSL15DT1, C1MSL0DT1-C1MSL15DT1 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時:不定>

| b | ビット名 | 機能 | R | W |
|------|---|---------------|---|---|
| 8~15 | C0MSL0DT1-C0MSL15DT1, C1MSL0DT1-C1MSL15DT1 | メッセージスロットデータ1 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注. ・受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が1以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT2) <アドレス: H'0080 1108>
 CAN0メッセージスロット1データ(C0MSL1DT2) <アドレス: H'0080 1118>
 CAN0メッセージスロット2データ(C0MSL2DT2) <アドレス: H'0080 1128>
 CAN0メッセージスロット3データ(C0MSL3DT2) <アドレス: H'0080 1138>
 CAN0メッセージスロット4データ(C0MSL4DT2) <アドレス: H'0080 1148>
 CAN0メッセージスロット5データ(C0MSL5DT2) <アドレス: H'0080 1158>
 CAN0メッセージスロット6データ(C0MSL6DT2) <アドレス: H'0080 1168>
 CAN0メッセージスロット7データ(C0MSL7DT2) <アドレス: H'0080 1178>
 CAN0メッセージスロット8データ(C0MSL8DT2) <アドレス: H'0080 1188>
 CAN0メッセージスロット9データ(C0MSL9DT2) <アドレス: H'0080 1198>
 CAN0メッセージスロット10データ(C0MSL10DT2) <アドレス: H'0080 11A8>
 CAN0メッセージスロット11データ(C0MSL11DT2) <アドレス: H'0080 11B8>
 CAN0メッセージスロット12データ(C0MSL12DT2) <アドレス: H'0080 11C8>
 CAN0メッセージスロット13データ(C0MSL13DT2) <アドレス: H'0080 11D8>
 CAN0メッセージスロット14データ(C0MSL14DT2) <アドレス: H'0080 11E8>
 CAN0メッセージスロット15データ(C0MSL15DT2) <アドレス: H'0080 11F8>

CAN1メッセージスロット0データ(C1MSL0DT2) <アドレス: H'0080 1508>
 CAN1メッセージスロット1データ(C1MSL1DT2) <アドレス: H'0080 1518>
 CAN1メッセージスロット2データ(C1MSL2DT2) <アドレス: H'0080 1528>
 CAN1メッセージスロット3データ(C1MSL3DT2) <アドレス: H'0080 1538>
 CAN1メッセージスロット4データ(C1MSL4DT2) <アドレス: H'0080 1548>
 CAN1メッセージスロット5データ(C1MSL5DT2) <アドレス: H'0080 1558>
 CAN1メッセージスロット6データ(C1MSL6DT2) <アドレス: H'0080 1568>
 CAN1メッセージスロット7データ(C1MSL7DT2) <アドレス: H'0080 1578>
 CAN1メッセージスロット8データ(C1MSL8DT2) <アドレス: H'0080 1588>
 CAN1メッセージスロット9データ(C1MSL9DT2) <アドレス: H'0080 1598>
 CAN1メッセージスロット10データ(C1MSL10DT2) <アドレス: H'0080 15A8>
 CAN1メッセージスロット11データ(C1MSL11DT2) <アドレス: H'0080 15B8>
 CAN1メッセージスロット12データ(C1MSL12DT2) <アドレス: H'0080 15C8>
 CAN1メッセージスロット13データ(C1MSL13DT2) <アドレス: H'0080 15D8>
 CAN1メッセージスロット14データ(C1MSL14DT2) <アドレス: H'0080 15E8>
 CAN1メッセージスロット15データ(C1MSL15DT2) <アドレス: H'0080 15F8>

| | | | | | | | |
|--|---|---|---|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| C0MSL0DT2-C0MSL15DT2, C1MSL0DT2-C1MSL15DT2 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-----|---|---------------|---|---|
| 0~7 | C0MSL0DT2-C0MSL15DT2, C1MSL0DT2-C1MSL15DT2 | メッセージスロットデータ2 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注. . 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が2以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ3 (C0MSL0DT3) <アドレス: H'0080 1109>
 CAN0メッセージスロット1データ3 (C0MSL1DT3) <アドレス: H'0080 1119>
 CAN0メッセージスロット2データ3 (C0MSL2DT3) <アドレス: H'0080 1129>
 CAN0メッセージスロット3データ3 (C0MSL3DT3) <アドレス: H'0080 1139>
 CAN0メッセージスロット4データ3 (C0MSL4DT3) <アドレス: H'0080 1149>
 CAN0メッセージスロット5データ3 (C0MSL5DT3) <アドレス: H'0080 1159>
 CAN0メッセージスロット6データ3 (C0MSL6DT3) <アドレス: H'0080 1169>
 CAN0メッセージスロット7データ3 (C0MSL7DT3) <アドレス: H'0080 1179>
 CAN0メッセージスロット8データ3 (C0MSL8DT3) <アドレス: H'0080 1189>
 CAN0メッセージスロット9データ3 (C0MSL9DT3) <アドレス: H'0080 1199>
 CAN0メッセージスロット10データ3 (C0MSL10DT3) <アドレス: H'0080 11A9>
 CAN0メッセージスロット11データ3 (C0MSL11DT3) <アドレス: H'0080 11B9>
 CAN0メッセージスロット12データ3 (C0MSL12DT3) <アドレス: H'0080 11C9>
 CAN0メッセージスロット13データ3 (C0MSL13DT3) <アドレス: H'0080 11D9>
 CAN0メッセージスロット14データ3 (C0MSL14DT3) <アドレス: H'0080 11E9>
 CAN0メッセージスロット15データ3 (C0MSL15DT3) <アドレス: H'0080 11F9>

CAN1メッセージスロット0データ3 (C1MSL0DT3) <アドレス: H'0080 1509>
 CAN1メッセージスロット1データ3 (C1MSL1DT3) <アドレス: H'0080 1519>
 CAN1メッセージスロット2データ3 (C1MSL2DT3) <アドレス: H'0080 1529>
 CAN1メッセージスロット3データ3 (C1MSL3DT3) <アドレス: H'0080 1539>
 CAN1メッセージスロット4データ3 (C1MSL4DT3) <アドレス: H'0080 1549>
 CAN1メッセージスロット5データ3 (C1MSL5DT3) <アドレス: H'0080 1559>
 CAN1メッセージスロット6データ3 (C1MSL6DT3) <アドレス: H'0080 1569>
 CAN1メッセージスロット7データ3 (C1MSL7DT3) <アドレス: H'0080 1579>
 CAN1メッセージスロット8データ3 (C1MSL8DT3) <アドレス: H'0080 1589>
 CAN1メッセージスロット9データ3 (C1MSL9DT3) <アドレス: H'0080 1599>
 CAN1メッセージスロット10データ3 (C1MSL10DT3) <アドレス: H'0080 15A9>
 CAN1メッセージスロット11データ3 (C1MSL11DT3) <アドレス: H'0080 15B9>
 CAN1メッセージスロット12データ3 (C1MSL12DT3) <アドレス: H'0080 15C9>
 CAN1メッセージスロット13データ3 (C1MSL13DT3) <アドレス: H'0080 15D9>
 CAN1メッセージスロット14データ3 (C1MSL14DT3) <アドレス: H'0080 15E9>
 CAN1メッセージスロット15データ3 (C1MSL15DT3) <アドレス: H'0080 15F9>

| | | | | | | | |
|--|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| C0MSL0DT3-C0MSL15DT3, C1MSL0DT3-C1MSL15DT3 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|--------|---|---------------|---|---|
| 8 ~ 15 | C0MSL0DT3-C0MSL15DT3, C1MSL0DT3-C1MSL15DT3 | メッセージスロットデータ3 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が3以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ4 (C0MSL0DT4) <アドレス: H'0080 110A>
 CAN0メッセージスロット1データ4 (C0MSL1DT4) <アドレス: H'0080 111A>
 CAN0メッセージスロット2データ4 (C0MSL2DT4) <アドレス: H'0080 112A>
 CAN0メッセージスロット3データ4 (C0MSL3DT4) <アドレス: H'0080 113A>
 CAN0メッセージスロット4データ4 (C0MSL4DT4) <アドレス: H'0080 114A>
 CAN0メッセージスロット5データ4 (C0MSL5DT4) <アドレス: H'0080 115A>
 CAN0メッセージスロット6データ4 (C0MSL6DT4) <アドレス: H'0080 116A>
 CAN0メッセージスロット7データ4 (C0MSL7DT4) <アドレス: H'0080 117A>
 CAN0メッセージスロット8データ4 (C0MSL8DT4) <アドレス: H'0080 118A>
 CAN0メッセージスロット9データ4 (C0MSL9DT4) <アドレス: H'0080 119A>
 CAN0メッセージスロット10データ4 (C0MSL10DT4) <アドレス: H'0080 11AA>
 CAN0メッセージスロット11データ4 (C0MSL11DT4) <アドレス: H'0080 11BA>
 CAN0メッセージスロット12データ4 (C0MSL12DT4) <アドレス: H'0080 11CA>
 CAN0メッセージスロット13データ4 (C0MSL13DT4) <アドレス: H'0080 11DA>
 CAN0メッセージスロット14データ4 (C0MSL14DT4) <アドレス: H'0080 11EA>
 CAN0メッセージスロット15データ4 (C0MSL15DT4) <アドレス: H'0080 11FA>

CAN1メッセージスロット0データ4 (C1MSL0DT4) <アドレス: H'0080 150A>
 CAN1メッセージスロット1データ4 (C1MSL1DT4) <アドレス: H'0080 151A>
 CAN1メッセージスロット2データ4 (C1MSL2DT4) <アドレス: H'0080 152A>
 CAN1メッセージスロット3データ4 (C1MSL3DT4) <アドレス: H'0080 153A>
 CAN1メッセージスロット4データ4 (C1MSL4DT4) <アドレス: H'0080 154A>
 CAN1メッセージスロット5データ4 (C1MSL5DT4) <アドレス: H'0080 155A>
 CAN1メッセージスロット6データ4 (C1MSL6DT4) <アドレス: H'0080 156A>
 CAN1メッセージスロット7データ4 (C1MSL7DT4) <アドレス: H'0080 157A>
 CAN1メッセージスロット8データ4 (C1MSL8DT4) <アドレス: H'0080 158A>
 CAN1メッセージスロット9データ4 (C1MSL9DT4) <アドレス: H'0080 159A>
 CAN1メッセージスロット10データ4 (C1MSL10DT4) <アドレス: H'0080 15AA>
 CAN1メッセージスロット11データ4 (C1MSL11DT4) <アドレス: H'0080 15BA>
 CAN1メッセージスロット12データ4 (C1MSL12DT4) <アドレス: H'0080 15CA>
 CAN1メッセージスロット13データ4 (C1MSL13DT4) <アドレス: H'0080 15DA>
 CAN1メッセージスロット14データ4 (C1MSL14DT4) <アドレス: H'0080 15EA>
 CAN1メッセージスロット15データ4 (C1MSL15DT4) <アドレス: H'0080 15FA>

| | | | | | | | |
|--|---|---|---|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| C0MSL0DT4-C0MSL15DT4, C1MSL0DT4-C1MSL15DT4 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-----|---|---------------|---|---|
| 0~7 | C0MSL0DT4-C0MSL15DT4, C1MSL0DT4-C1MSL15DT4 | メッセージスロットデータ4 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注. ・受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が4以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ5 (C0MSL0DT5) <アドレス: H'0080 110B>
 CAN0メッセージスロット1データ5 (C0MSL1DT5) <アドレス: H'0080 111B>
 CAN0メッセージスロット2データ5 (C0MSL2DT5) <アドレス: H'0080 112B>
 CAN0メッセージスロット3データ5 (C0MSL3DT5) <アドレス: H'0080 113B>
 CAN0メッセージスロット4データ5 (C0MSL4DT5) <アドレス: H'0080 114B>
 CAN0メッセージスロット5データ5 (C0MSL5DT5) <アドレス: H'0080 115B>
 CAN0メッセージスロット6データ5 (C0MSL6DT5) <アドレス: H'0080 116B>
 CAN0メッセージスロット7データ5 (C0MSL7DT5) <アドレス: H'0080 117B>
 CAN0メッセージスロット8データ5 (C0MSL8DT5) <アドレス: H'0080 118B>
 CAN0メッセージスロット9データ5 (C0MSL9DT5) <アドレス: H'0080 119B>
 CAN0メッセージスロット10データ5 (C0MSL10DT5) <アドレス: H'0080 11AB>
 CAN0メッセージスロット11データ5 (C0MSL11DT5) <アドレス: H'0080 11BB>
 CAN0メッセージスロット12データ5 (C0MSL12DT5) <アドレス: H'0080 11CB>
 CAN0メッセージスロット13データ5 (C0MSL13DT5) <アドレス: H'0080 11DB>
 CAN0メッセージスロット14データ5 (C0MSL14DT5) <アドレス: H'0080 11EB>
 CAN0メッセージスロット15データ5 (C0MSL15DT5) <アドレス: H'0080 11FB>

CAN1メッセージスロット0データ5 (C1MSL0DT5) <アドレス: H'0080 150B>
 CAN1メッセージスロット1データ5 (C1MSL1DT5) <アドレス: H'0080 151B>
 CAN1メッセージスロット2データ5 (C1MSL2DT5) <アドレス: H'0080 152B>
 CAN1メッセージスロット3データ5 (C1MSL3DT5) <アドレス: H'0080 153B>
 CAN1メッセージスロット4データ5 (C1MSL4DT5) <アドレス: H'0080 154B>
 CAN1メッセージスロット5データ5 (C1MSL5DT5) <アドレス: H'0080 155B>
 CAN1メッセージスロット6データ5 (C1MSL6DT5) <アドレス: H'0080 156B>
 CAN1メッセージスロット7データ5 (C1MSL7DT5) <アドレス: H'0080 157B>
 CAN1メッセージスロット8データ5 (C1MSL8DT5) <アドレス: H'0080 158B>
 CAN1メッセージスロット9データ5 (C1MSL9DT5) <アドレス: H'0080 159B>
 CAN1メッセージスロット10データ5 (C1MSL10DT5) <アドレス: H'0080 15AB>
 CAN1メッセージスロット11データ5 (C1MSL11DT5) <アドレス: H'0080 15BB>
 CAN1メッセージスロット12データ5 (C1MSL12DT5) <アドレス: H'0080 15CB>
 CAN1メッセージスロット13データ5 (C1MSL13DT5) <アドレス: H'0080 15DB>
 CAN1メッセージスロット14データ5 (C1MSL14DT5) <アドレス: H'0080 15EB>
 CAN1メッセージスロット15データ5 (C1MSL15DT5) <アドレス: H'0080 15FB>

| | | | | | | | |
|--|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| C0MSL0DT5-C0MSL15DT5, C1MSL0DT5-C1MSL15DT5 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|--------|---|---------------|---|---|
| 8 ~ 15 | C0MSL0DT5-C0MSL15DT5, C1MSL0DT5-C1MSL15DT5 | メッセージスロットデータ5 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . ・ 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が5以下の場合には不定値が書き込まれます。

| | |
|--------------------------------|---------------------|
| CAN0メッセージスロット0データ(C0MSL0DT6) | <アドレス: H'0080 110C> |
| CAN0メッセージスロット1データ(C0MSL1DT6) | <アドレス: H'0080 111C> |
| CAN0メッセージスロット2データ(C0MSL2DT6) | <アドレス: H'0080 112C> |
| CAN0メッセージスロット3データ(C0MSL3DT6) | <アドレス: H'0080 113C> |
| CAN0メッセージスロット4データ(C0MSL4DT6) | <アドレス: H'0080 114C> |
| CAN0メッセージスロット5データ(C0MSL5DT6) | <アドレス: H'0080 115C> |
| CAN0メッセージスロット6データ(C0MSL6DT6) | <アドレス: H'0080 116C> |
| CAN0メッセージスロット7データ(C0MSL7DT6) | <アドレス: H'0080 117C> |
| CAN0メッセージスロット8データ(C0MSL8DT6) | <アドレス: H'0080 118C> |
| CAN0メッセージスロット9データ(C0MSL9DT6) | <アドレス: H'0080 119C> |
| CAN0メッセージスロット10データ(C0MSL10DT6) | <アドレス: H'0080 11AC> |
| CAN0メッセージスロット11データ(C0MSL11DT6) | <アドレス: H'0080 11BC> |
| CAN0メッセージスロット12データ(C0MSL12DT6) | <アドレス: H'0080 11CC> |
| CAN0メッセージスロット13データ(C0MSL13DT6) | <アドレス: H'0080 11DC> |
| CAN0メッセージスロット14データ(C0MSL14DT6) | <アドレス: H'0080 11EC> |
| CAN0メッセージスロット15データ(C0MSL15DT6) | <アドレス: H'0080 11FC> |

| | |
|--------------------------------|---------------------|
| CAN1メッセージスロット0データ(C1MSL0DT6) | <アドレス: H'0080 150C> |
| CAN1メッセージスロット1データ(C1MSL1DT6) | <アドレス: H'0080 151C> |
| CAN1メッセージスロット2データ(C1MSL2DT6) | <アドレス: H'0080 152C> |
| CAN1メッセージスロット3データ(C1MSL3DT6) | <アドレス: H'0080 153C> |
| CAN1メッセージスロット4データ(C1MSL4DT6) | <アドレス: H'0080 154C> |
| CAN1メッセージスロット5データ(C1MSL5DT6) | <アドレス: H'0080 155C> |
| CAN1メッセージスロット6データ(C1MSL6DT6) | <アドレス: H'0080 156C> |
| CAN1メッセージスロット7データ(C1MSL7DT6) | <アドレス: H'0080 157C> |
| CAN1メッセージスロット8データ(C1MSL8DT6) | <アドレス: H'0080 158C> |
| CAN1メッセージスロット9データ(C1MSL9DT6) | <アドレス: H'0080 159C> |
| CAN1メッセージスロット10データ(C1MSL10DT6) | <アドレス: H'0080 15AC> |
| CAN1メッセージスロット11データ(C1MSL11DT6) | <アドレス: H'0080 15BC> |
| CAN1メッセージスロット12データ(C1MSL12DT6) | <アドレス: H'0080 15CC> |
| CAN1メッセージスロット13データ(C1MSL13DT6) | <アドレス: H'0080 15DC> |
| CAN1メッセージスロット14データ(C1MSL14DT6) | <アドレス: H'0080 15EC> |
| CAN1メッセージスロット15データ(C1MSL15DT6) | <アドレス: H'0080 15FC> |

| | | | | | | | |
|--|---|---|---|---|---|---|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| C0MSL0DT6-C0MSL15DT6, C1MSL0DT6-C1MSL15DT6 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|-----|---|---------------|---|---|
| 0~7 | C0MSL0DT6-C0MSL15DT6, C1MSL0DT6-C1MSL15DT6 | メッセージスロットデータ6 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . ・ 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が6以下の場合には不定値が書き込まれます。

| | |
|----------------------------------|------------------------|
| CAN0メッセージスロット0データ7 (C0MSL0DT7) | < アドレス : H'0080 110D > |
| CAN0メッセージスロット1データ7 (C0MSL1DT7) | < アドレス : H'0080 111D > |
| CAN0メッセージスロット2データ7 (C0MSL2DT7) | < アドレス : H'0080 112D > |
| CAN0メッセージスロット3データ7 (C0MSL3DT7) | < アドレス : H'0080 113D > |
| CAN0メッセージスロット4データ7 (C0MSL4DT7) | < アドレス : H'0080 114D > |
| CAN0メッセージスロット5データ7 (C0MSL5DT7) | < アドレス : H'0080 115D > |
| CAN0メッセージスロット6データ7 (C0MSL6DT7) | < アドレス : H'0080 116D > |
| CAN0メッセージスロット7データ7 (C0MSL7DT7) | < アドレス : H'0080 117D > |
| CAN0メッセージスロット8データ7 (C0MSL8DT7) | < アドレス : H'0080 118D > |
| CAN0メッセージスロット9データ7 (C0MSL9DT7) | < アドレス : H'0080 119D > |
| CAN0メッセージスロット10データ7 (C0MSL10DT7) | < アドレス : H'0080 11AD > |
| CAN0メッセージスロット11データ7 (C0MSL11DT7) | < アドレス : H'0080 11BD > |
| CAN0メッセージスロット12データ7 (C0MSL12DT7) | < アドレス : H'0080 11CD > |
| CAN0メッセージスロット13データ7 (C0MSL13DT7) | < アドレス : H'0080 11DD > |
| CAN0メッセージスロット14データ7 (C0MSL14DT7) | < アドレス : H'0080 11ED > |
| CAN0メッセージスロット15データ7 (C0MSL15DT7) | < アドレス : H'0080 11FD > |

| | |
|----------------------------------|------------------------|
| CAN1メッセージスロット0データ7 (C1MSL0DT7) | < アドレス : H'0080 150D > |
| CAN1メッセージスロット1データ7 (C1MSL1DT7) | < アドレス : H'0080 151D > |
| CAN1メッセージスロット2データ7 (C1MSL2DT7) | < アドレス : H'0080 152D > |
| CAN1メッセージスロット3データ7 (C1MSL3DT7) | < アドレス : H'0080 153D > |
| CAN1メッセージスロット4データ7 (C1MSL4DT7) | < アドレス : H'0080 154D > |
| CAN1メッセージスロット5データ7 (C1MSL5DT7) | < アドレス : H'0080 155D > |
| CAN1メッセージスロット6データ7 (C1MSL6DT7) | < アドレス : H'0080 156D > |
| CAN1メッセージスロット7データ7 (C1MSL7DT7) | < アドレス : H'0080 157D > |
| CAN1メッセージスロット8データ7 (C1MSL8DT7) | < アドレス : H'0080 158D > |
| CAN1メッセージスロット9データ7 (C1MSL9DT7) | < アドレス : H'0080 159D > |
| CAN1メッセージスロット10データ7 (C1MSL10DT7) | < アドレス : H'0080 15AD > |
| CAN1メッセージスロット11データ7 (C1MSL11DT7) | < アドレス : H'0080 15BD > |
| CAN1メッセージスロット12データ7 (C1MSL12DT7) | < アドレス : H'0080 15CD > |
| CAN1メッセージスロット13データ7 (C1MSL13DT7) | < アドレス : H'0080 15DD > |
| CAN1メッセージスロット14データ7 (C1MSL14DT7) | < アドレス : H'0080 15ED > |
| CAN1メッセージスロット15データ7 (C1MSL15DT7) | < アドレス : H'0080 15FD > |

| | | | | | | | |
|--|---|----|----|----|----|----|-----|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| C0MSL0DT7-C0MSL15DT7, C1MSL0DT7-C1MSL15DT7 | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時 : 不定>

| b | ビット名 | 機能 | R | W |
|-----|---|---------------|---|---|
| 0~7 | C0MSL0DT7-C0MSL15DT7, C1MSL0DT7-C1MSL15DT7 | メッセージスロットデータ7 | R | W |

送信フレーム/受信フレームのメモリスペースです。

注 . ・ 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が7以下の場合には不定値が書き込まれます。

| | |
|-----------------------------------|---------------------|
| CAN0メッセージロット0タイムスタンプ(C0MSL0TSP) | <アドレス: H'0080 110E> |
| CAN0メッセージロット1タイムスタンプ(C0MSL1TSP) | <アドレス: H'0080 111E> |
| CAN0メッセージロット2タイムスタンプ(C0MSL2TSP) | <アドレス: H'0080 112E> |
| CAN0メッセージロット3タイムスタンプ(C0MSL3TSP) | <アドレス: H'0080 113E> |
| CAN0メッセージロット4タイムスタンプ(C0MSL4TSP) | <アドレス: H'0080 114E> |
| CAN0メッセージロット5タイムスタンプ(C0MSL5TSP) | <アドレス: H'0080 115E> |
| CAN0メッセージロット6タイムスタンプ(C0MSL6TSP) | <アドレス: H'0080 116E> |
| CAN0メッセージロット7タイムスタンプ(C0MSL7TSP) | <アドレス: H'0080 117E> |
| CAN0メッセージロット8タイムスタンプ(C0MSL8TSP) | <アドレス: H'0080 118E> |
| CAN0メッセージロット9タイムスタンプ(C0MSL9TSP) | <アドレス: H'0080 119E> |
| CAN0メッセージロット10タイムスタンプ(C0MSL10TSP) | <アドレス: H'0080 11AE> |
| CAN0メッセージロット11タイムスタンプ(C0MSL11TSP) | <アドレス: H'0080 11BE> |
| CAN0メッセージロット12タイムスタンプ(C0MSL12TSP) | <アドレス: H'0080 11CE> |
| CAN0メッセージロット13タイムスタンプ(C0MSL13TSP) | <アドレス: H'0080 11DE> |
| CAN0メッセージロット14タイムスタンプ(C0MSL14TSP) | <アドレス: H'0080 11EE> |
| CAN0メッセージロット15タイムスタンプ(C0MSL15TSP) | <アドレス: H'0080 11FE> |

| | |
|-----------------------------------|---------------------|
| CAN1メッセージロット0タイムスタンプ(C1MSL0TSP) | <アドレス: H'0080 150E> |
| CAN1メッセージロット1タイムスタンプ(C1MSL1TSP) | <アドレス: H'0080 151E> |
| CAN1メッセージロット2タイムスタンプ(C1MSL2TSP) | <アドレス: H'0080 152E> |
| CAN1メッセージロット3タイムスタンプ(C1MSL3TSP) | <アドレス: H'0080 153E> |
| CAN1メッセージロット4タイムスタンプ(C1MSL4TSP) | <アドレス: H'0080 154E> |
| CAN1メッセージロット5タイムスタンプ(C1MSL5TSP) | <アドレス: H'0080 155E> |
| CAN1メッセージロット6タイムスタンプ(C1MSL6TSP) | <アドレス: H'0080 156E> |
| CAN1メッセージロット7タイムスタンプ(C1MSL7TSP) | <アドレス: H'0080 157E> |
| CAN1メッセージロット8タイムスタンプ(C1MSL8TSP) | <アドレス: H'0080 158E> |
| CAN1メッセージロット9タイムスタンプ(C1MSL9TSP) | <アドレス: H'0080 159E> |
| CAN1メッセージロット10タイムスタンプ(C1MSL10TSP) | <アドレス: H'0080 15AE> |
| CAN1メッセージロット11タイムスタンプ(C1MSL11TSP) | <アドレス: H'0080 15BE> |
| CAN1メッセージロット12タイムスタンプ(C1MSL12TSP) | <アドレス: H'0080 15CE> |
| CAN1メッセージロット13タイムスタンプ(C1MSL13TSP) | <アドレス: H'0080 15DE> |
| CAN1メッセージロット14タイムスタンプ(C1MSL14TSP) | <アドレス: H'0080 15EE> |
| CAN1メッセージロット15タイムスタンプ(C1MSL15TSP) | <アドレス: H'0080 15FE> |

| | | | | | | | | | | | | | | | |
|--|---|---|---|---|---|---|---|---|---|----|----|----|----|----|-----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| C0MSL0TSP-C0MSL15TSP, C1MSL0TSP-C1MSL15TSP | | | | | | | | | | | | | | | |
| ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? | ? |

<リセット解除時: 不定>

| b | ビット名 | 機能 | R | W |
|--------|---|-----------------|---|---|
| 0 ~ 15 | C0MSL0TSP-C0MSL15TSP, C1MSL0TSP-C1MSL15TSP | メッセージロットタイムスタンプ | R | W |

送信フレーム/受信フレームのメモリスペースです。送信/受信完了時にCAN0タイムスタンプカウントレジスタの値が格納されます。

13.3 CANプロトコル

13.3.1 CANプロトコルフレーム

CANプロトコルで取り扱うフレームは

- (1)データフレーム
- (2)リモートフレーム
- (3)エラーフレーム
- (4)オーバーロードフレーム

の4種類があります。各フレームはインタフレームスペースで区切られています。

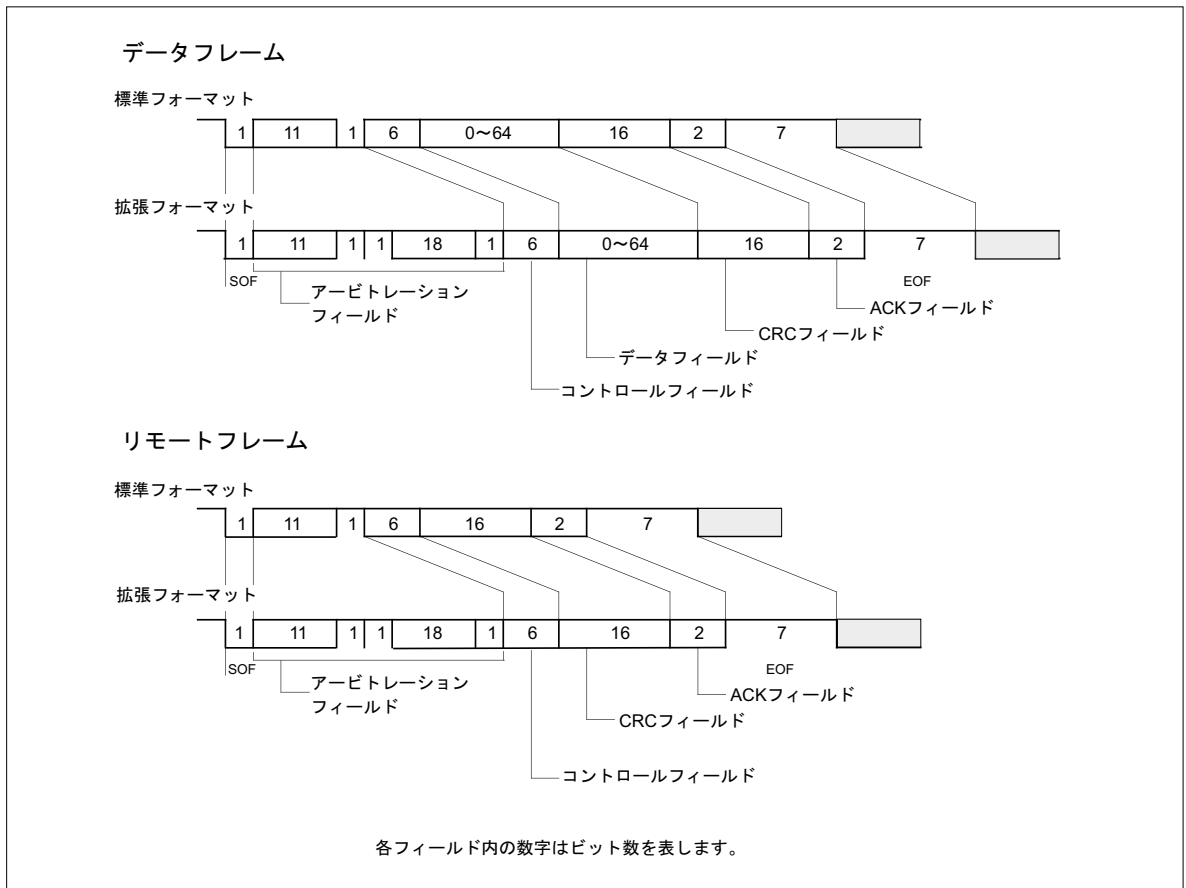


図13.3.1 CANプロトコルフレーム(1)

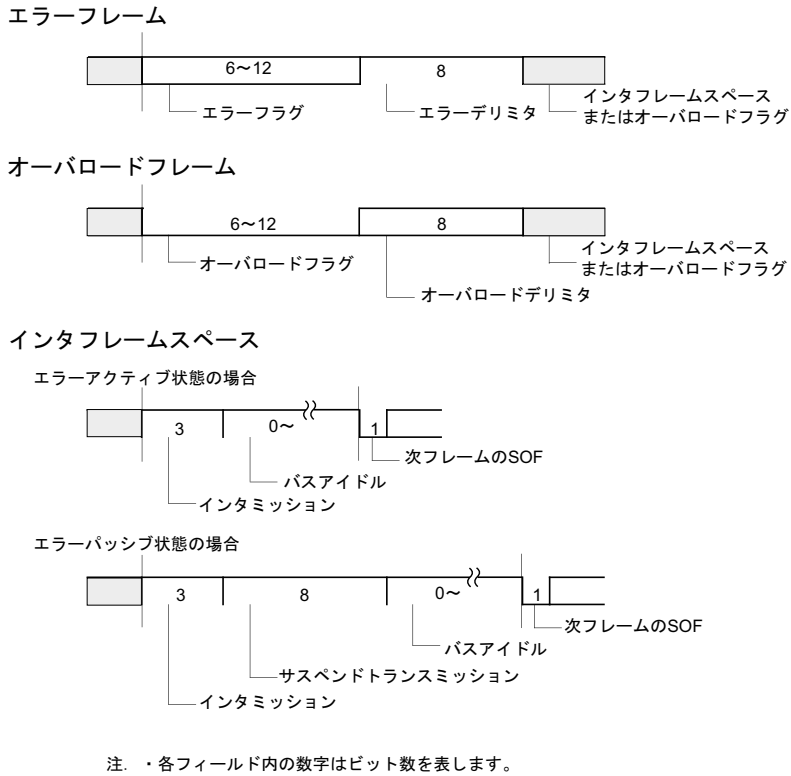


図13.3.2 CANプロトコルフレーム(2)

13.3.2 CAN送受信時のデータフォーマット

図13.3.3に、CANで使用可能な送受信転送データフォーマット例を示します。

送受信はCANメッセージスロット(C0MSLnSID0 ~ C0MSLnDT7, C1MSLnSID0 ~ C1MSLnDT7)のMSB側から順に行われます。

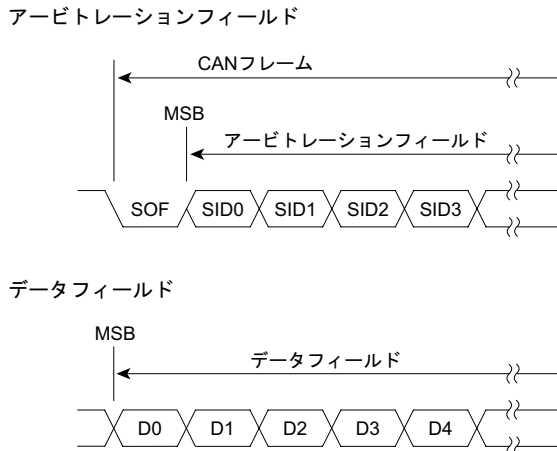


図13.3.3 CAN送受信転送データフォーマット例

13.3.3 CANコントローラのエラー状態

CANコントローラは送信エラーカウンタと受信エラーカウンタの値により次の三つのエラー状態をとります。

(1) エラーアクティブ状態

- エラーがほとんど発生していない状態
- エラー検出時にアクティブエラーフラグを送信
- 初期設定直後のCANコントローラの状態

(2) エラーパッシブ状態

- エラーが多数発生している状態
- エラー検出時にパッシブエラーフラグを送信

(3) バスオフ状態

- エラーが非常に多数発生している状態
- エラーアクティブ状態に戻るまで他のノードとのCAN通信が不可能

| ユニットエラーの状態 | 送信エラーカウンタ | | 受信エラーカウンタ |
|------------|-----------|-----|-----------|
| エラーアクティブ状態 | 0 ~ 127 | かつ | 0 ~ 127 |
| エラーパッシブ状態 | 128 ~ 255 | または | 128 ~ |
| バスオフ状態 | 256 ~ | | - |

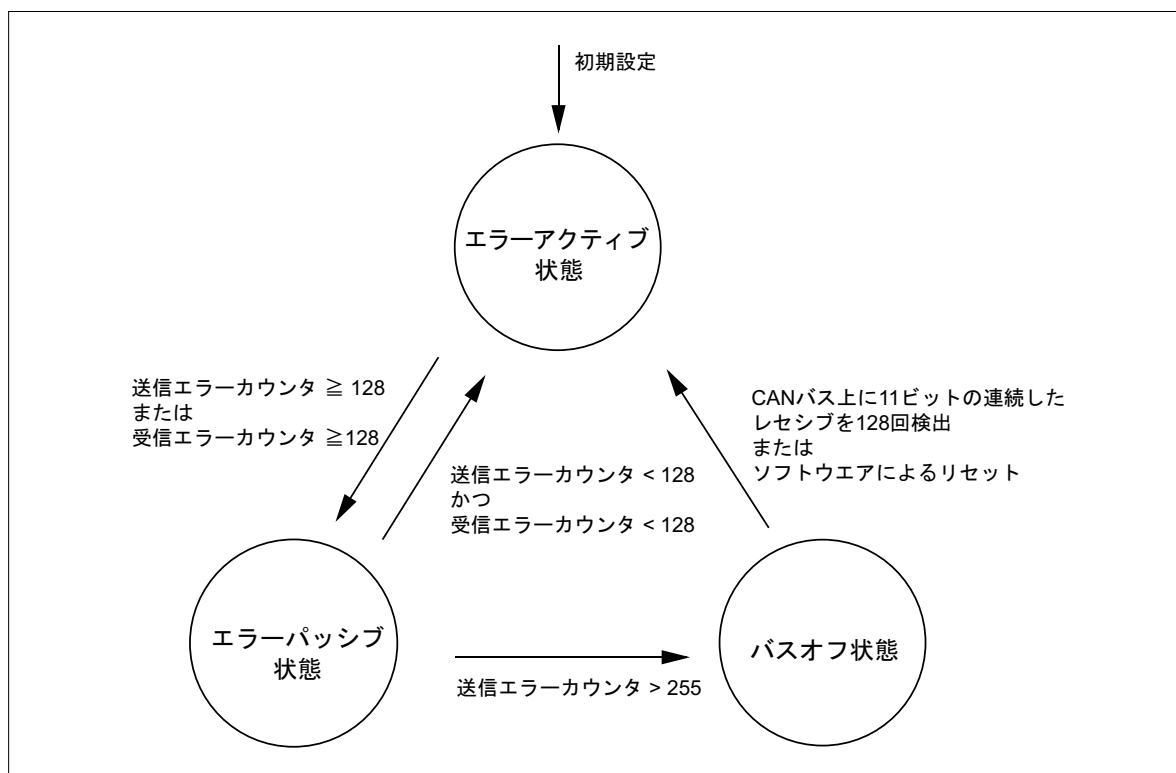


図13.3.4 CANコントローラのエラー状態

13.4 CANモジュール初期設定

13.4.1 CANモジュールの初期設定

通信を行う前に以下の設定を行います。

(1) 端子機能の選択

CAN送信データ出力端子 (CTX)、およびCAN受信データ入力端子 (CRX)は、入出力ポートとのダブルファンクションになっていますので端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

(2) 割り込みコントローラ (ICU) の設定

CANモジュールの割り込みを使用する場合は、割り込み優先レベルを設定します。

(3) CANエラー割り込み要求許可レジスタ、CANシングルショット割り込み要求許可レジスタ、CANスロット割り込み要求許可レジスタの設定

CANバスエラー割り込み、CANエラーパッシブ割り込み、CANエラーバスオフ割り込み、CANシングルショット割り込み、あるいはCANスロット割り込みを使用する場合は、対応するビットに"1"をセットして、割り込み要求を許可してください。

(4) ビットタイミング/サンプリング回数の設定

CANコンフィグレーションレジスタとCANボーレートプリスケラでビットタイミングとCANバスのサンプリング回数を設定します。

1) ビットタイミングの設定

ビットタイミングの基本となる周期 T_q と、Propagation Segment、Phase Segment1、Phase Segment2の構成、およびreSynchronization Jump Widthを決めます。

T_q の計算式を以下に示します。

$$T_q = (BRP + 1) / (\text{CPUクロック} / 2)$$

1ビットをいくつの T_q で構成するかによってボーレートが決まります。

ボーレートの計算式を以下に示します。

$$\text{ボーレート (bps)} = \frac{1}{T_q \text{周期} \times 1 \text{ビット分の} T_q \text{の数}}$$

$$1 \text{ビット分の} T_q \text{の数} = \text{Synchronization Segment} + \text{Propagation Segment} + \text{Phase Segment 1} + \text{Phase Segment 2}$$

2) サンプリング回数の設定

CANバスのサンプリング回数を"1回"と"3回"とから選択します。

- 1回を選択した場合は、Phase Segment1の最後にサンプリングした値をそのビットの値とみなします。
- 3回を選択した場合は、1回のサンプリングに加え、その T_q 前、および $2T_q$ 前のサンプリング値の計3ポイントのサンプリング値による多数決によって、そのビットの値とみなします。

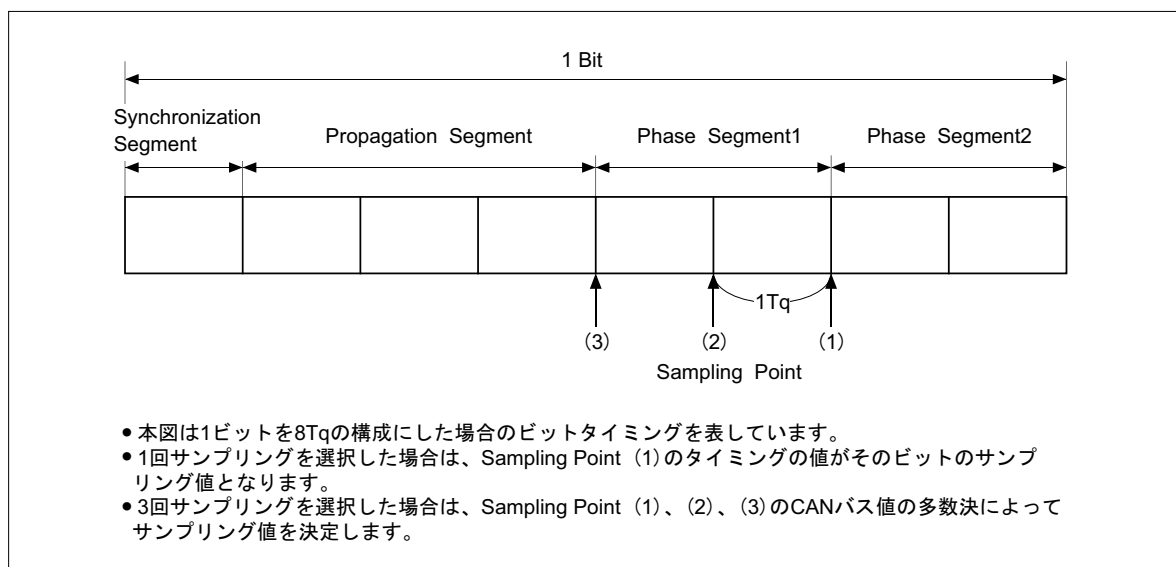


図13.4.1 ビットタイミング例

(5) IDマスクレジスタ設定

受信メッセージのアクセプタンスフィルタリングに使用されるIDマスクレジスタ(グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタB)の値を設定します。

(6) BasicCANモードで使用する場合の設定

- CAN拡張IDレジスタのIDE14, IDE15ビットを設定(同一設定を推奨)
- メッセージスロット14, 15へIDを設定
- メッセージコントロールレジスタ14, 15をデータフレーム受信(H'40)に設定

(7) シングルショットモードで使用する場合の設定

CANモードレジスタ(CANnMODE)、CANコントロールレジスタ(CANnCNT)によって、CANモジュールの動作モード(BasicCANモード、ループバックモード)およびタイムスタンプカウンタのクロックソースを選択します。

(8) CANモジュールの動作モードの設定

CANシングルショットモード制御レジスタにシングルショットモードで動作させるスロットを設定します。

(9) CANモジュールのリセット解除

(1)~(7)の初期設定完了後、CANコントロールレジスタ(CANnCNT)の強制リセットビット(FRST)およびリセットビット(RST)を"0"クリアすると、CANバス上に11個の連続したレセシブビットを検出した後、CANモジュールは通信可能となります。

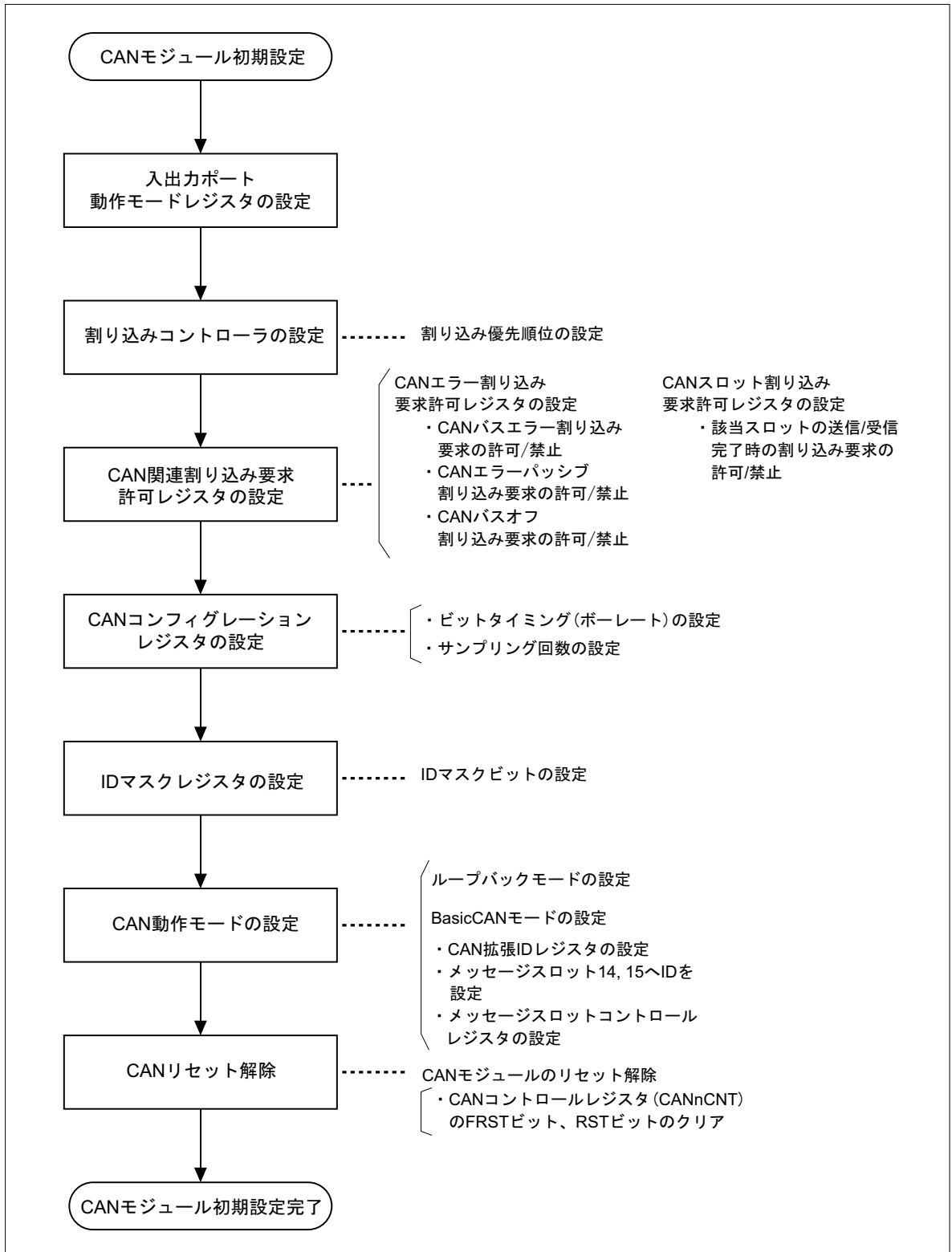


図13.4.2 CANモジュール初期設定

13.5 データフレーム送信

13.5.1 データフレーム送信手順

データフレーム送信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 送信データの設定

送信ID、送信データをメッセージスロットへセットします。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'80(注1)を書き込み、TR(送信要求)ビットに"1"をセットします。

注1. データフレーム送信の場合は、必ずH'80を書き込んでください。

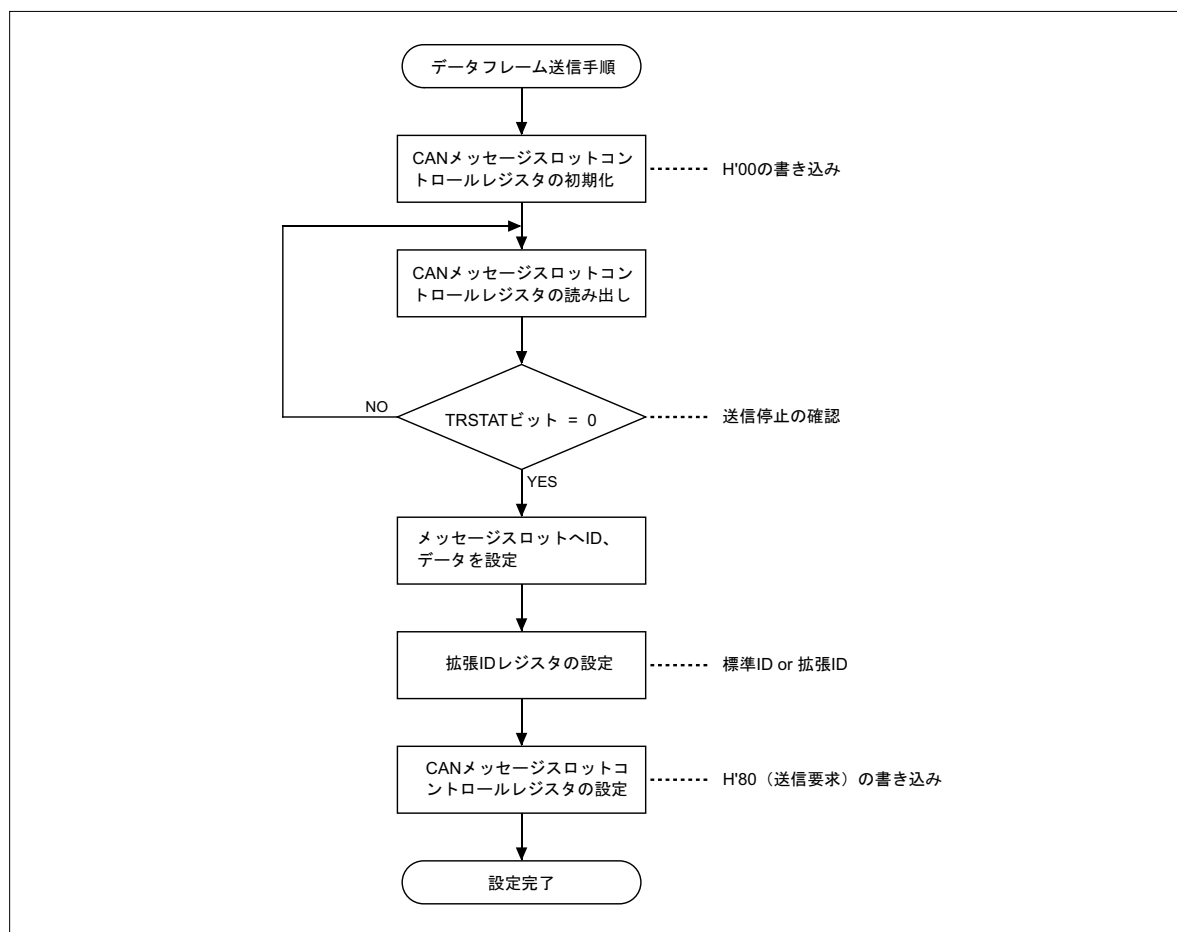


図13.5.1 データフレーム送信手順

13.5.2 データフレーム送信動作

データフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(2) データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットに"1"をセットし、送信を開始します。

(3) CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(4)データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込み要求ステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ送信が完了したときのタイムスタンプカウンタ値を書き込み、送信動作を完了します。

CANスロット割り込み要求を許可にしていた場合は、送信動作完了で割り込み要求が発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送信は行われません。

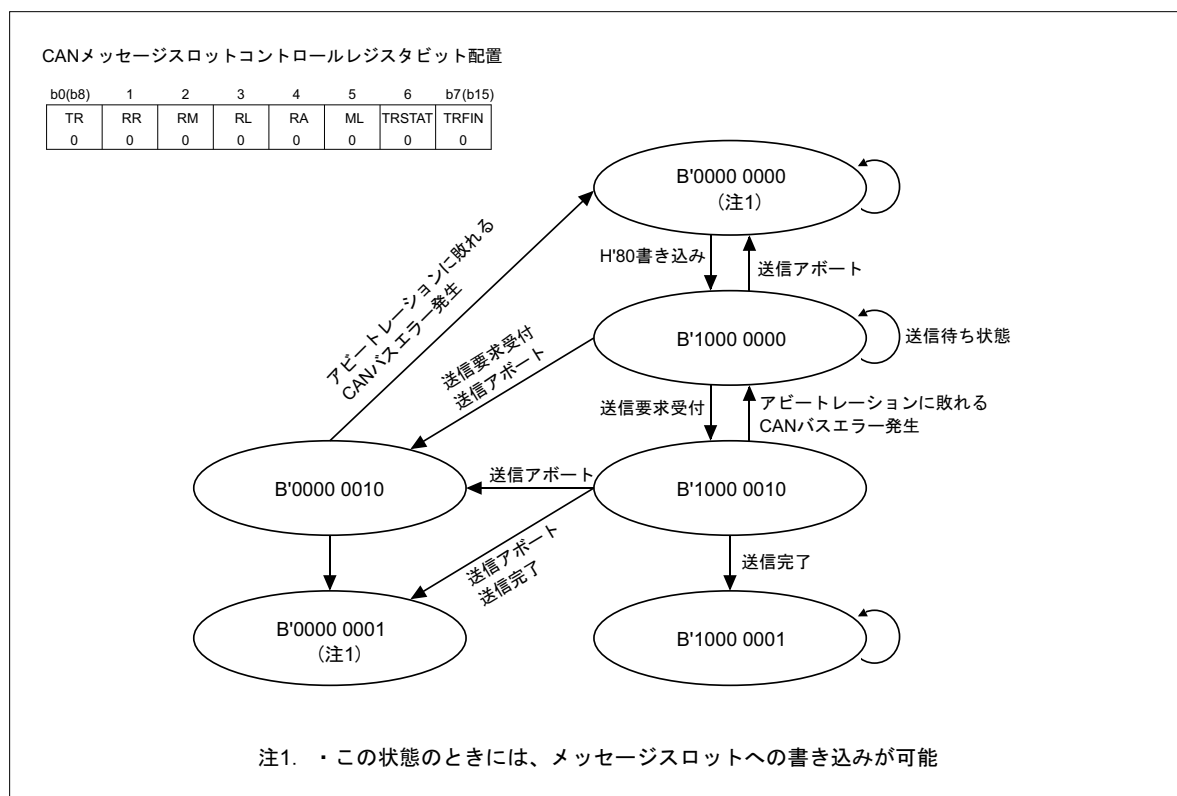


図13.5.2 データフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.5.3 送信アボート機能

送信アボート機能は、一度立てた送信要求をキャンセルする機能です。キャンセルしたいスロットに対応したCANメッセージスロットコントロールレジスタにH'0Fを書き込むことによって行います。

送信アボート機能が受け付けられると、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアし、メッセージスロットへの書き込みが可能になります。

送信アボートが受け付けられる条件を以下に示します。

【条件】

- 対象のメッセージが送信待ち状態の場合
- 送信中にCANバスエラーが発生した場合
- アービトレーションに敗れた場合

13.6 データフレーム受信

13.6.1 データフレーム受信手順

データフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'40を書き込み、RR(受信要求)ビットに"1"をセットします。

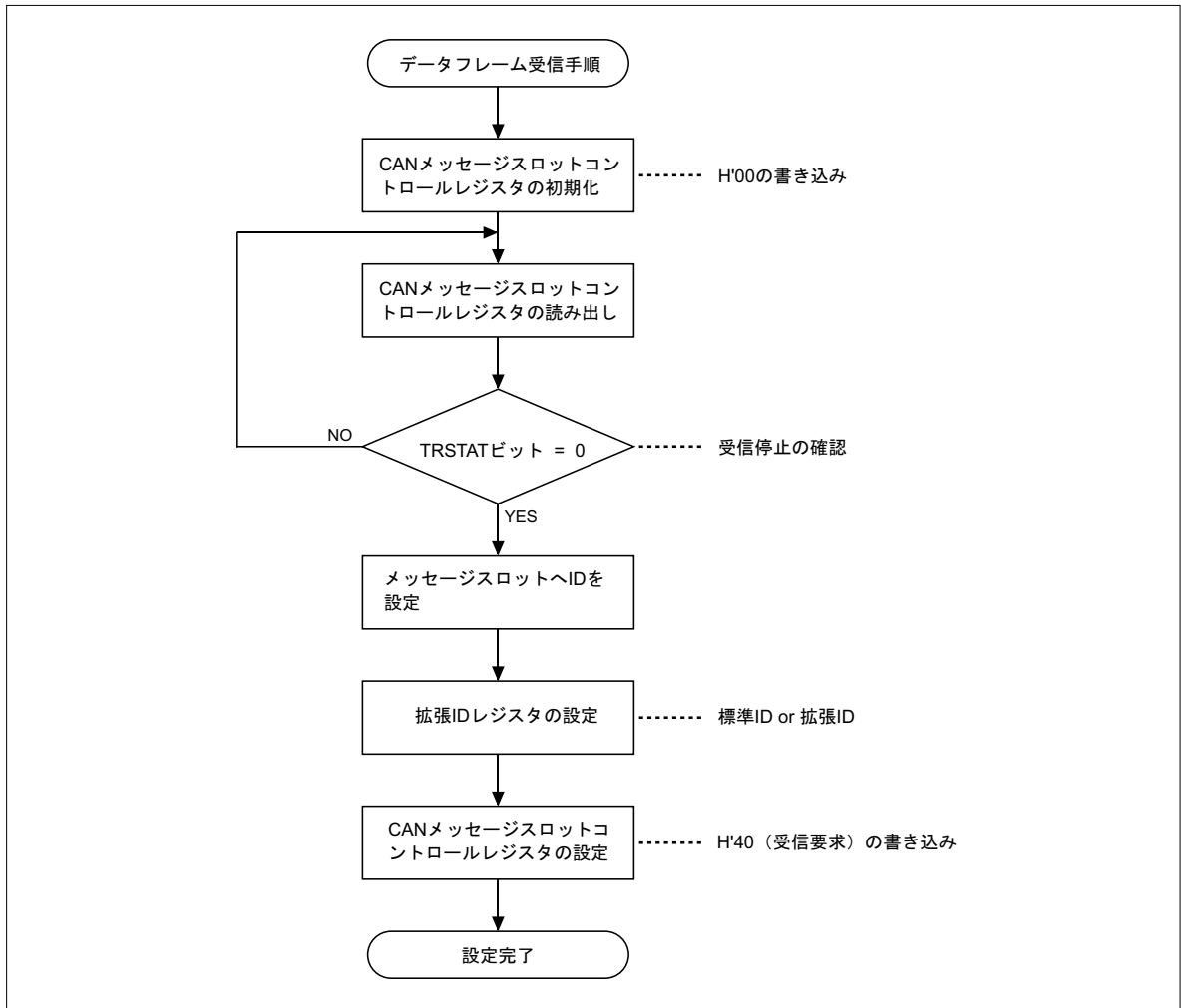


図13.6.1 データフレーム受信手順

13.6.2 データフレーム受信動作

データフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがデータフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

注 . . BasicCANモード時のスロット14, 15ではデータフレーム受信設定でリモートフレームの受信も行います。

(2) 受信条件を満たした場合

前記(1)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定し、メッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウンタ値をCANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求を発生し、次の受信待ち状態となります。

(3) 受信条件を満たしていない場合

受信フレームは破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

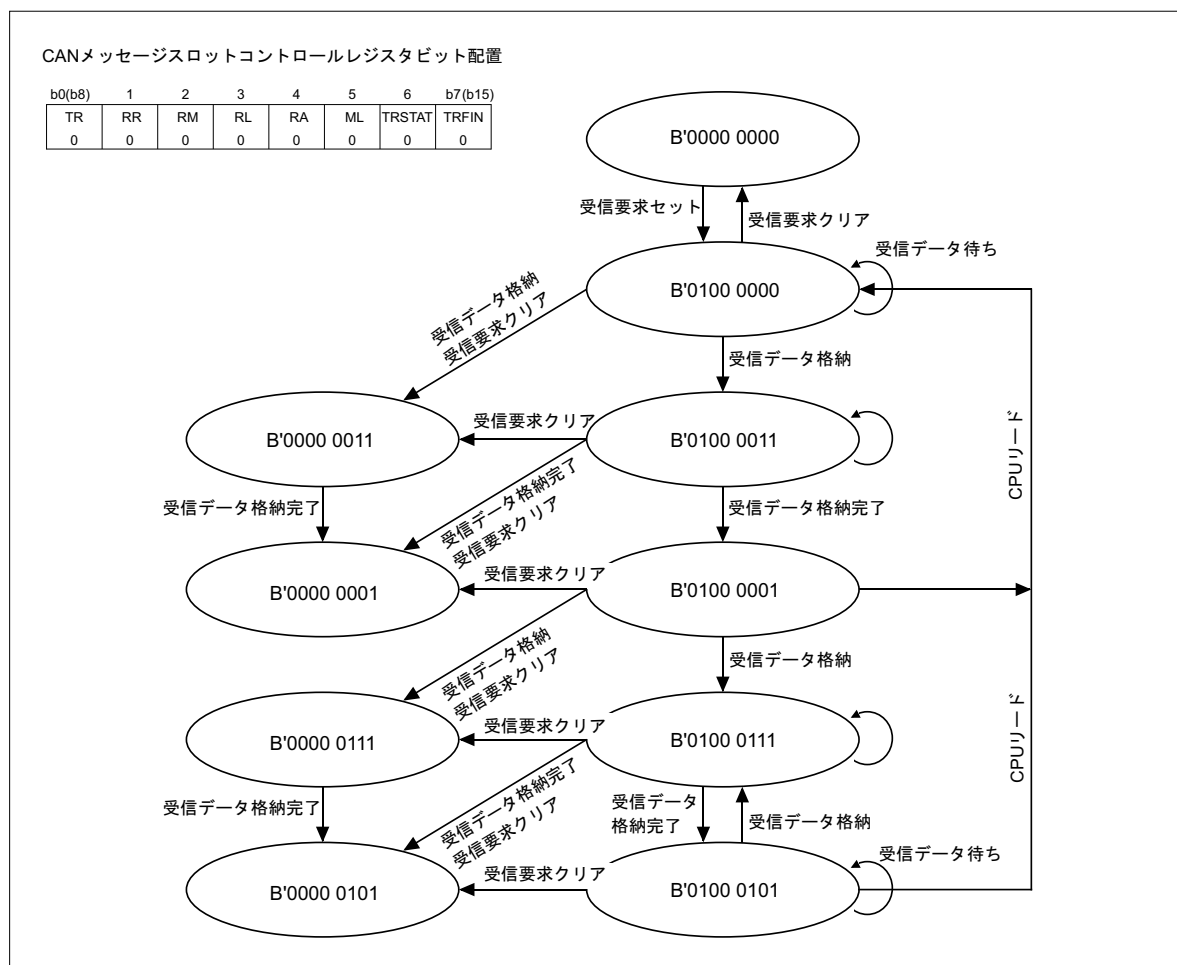


図13.6.2 データフレーム受信時のCANメッセージスロットコントロールレジスタの動作

13.6.3 受信データフレームの読み出し

受信データフレームの読み出し手順を以下に示します。

(1)TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(C0MSLnCNT, C1MSLnCNT)にH'4E、H'40またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

| CnMSLnCNTに書き込む値 | 書き込み後のスロットの動作 |
|-----------------|--|
| H'4E | データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。 |
| H'40 | データフレーム受信スロットとして動作します。 MLビットによる上書き確認はできません。 |
| H'00 | スロットは送受信動作を停止します。 |

注 . ・ MLビットによるメッセージロスチェックが必要な場合には、H'4Eを書き込んでTRFINビットをクリアしてください。
・ H'4E、H'40またはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。

(2)メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3)TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

1)TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

2)TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

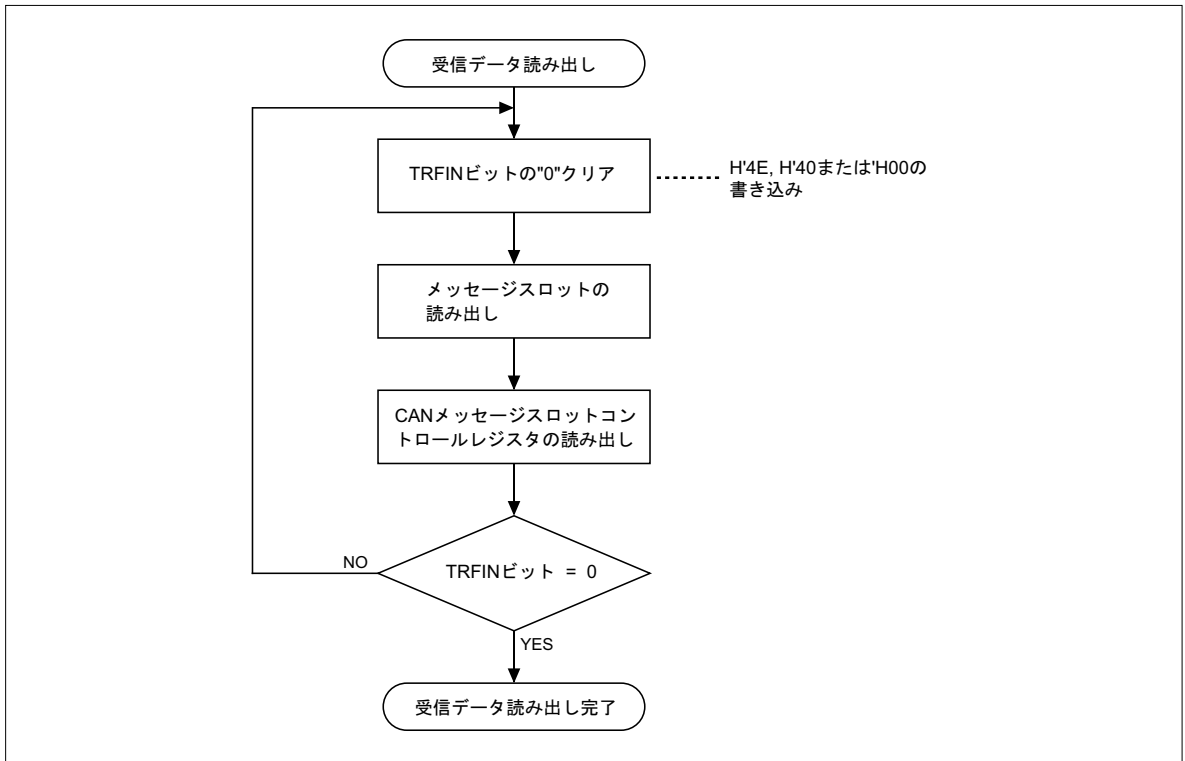


図13.6.3 受信データ読み出し手順

13.7 リモートフレーム送信

13.7.1 リモートフレーム送信手順

リモートフレーム送信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 送信IDのセット

メッセージスロットへ送信すべきIDをセットします。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'A0を書き込み、TR(送信要求)ビット、RM(リモート)ビットに"1"をセットします。

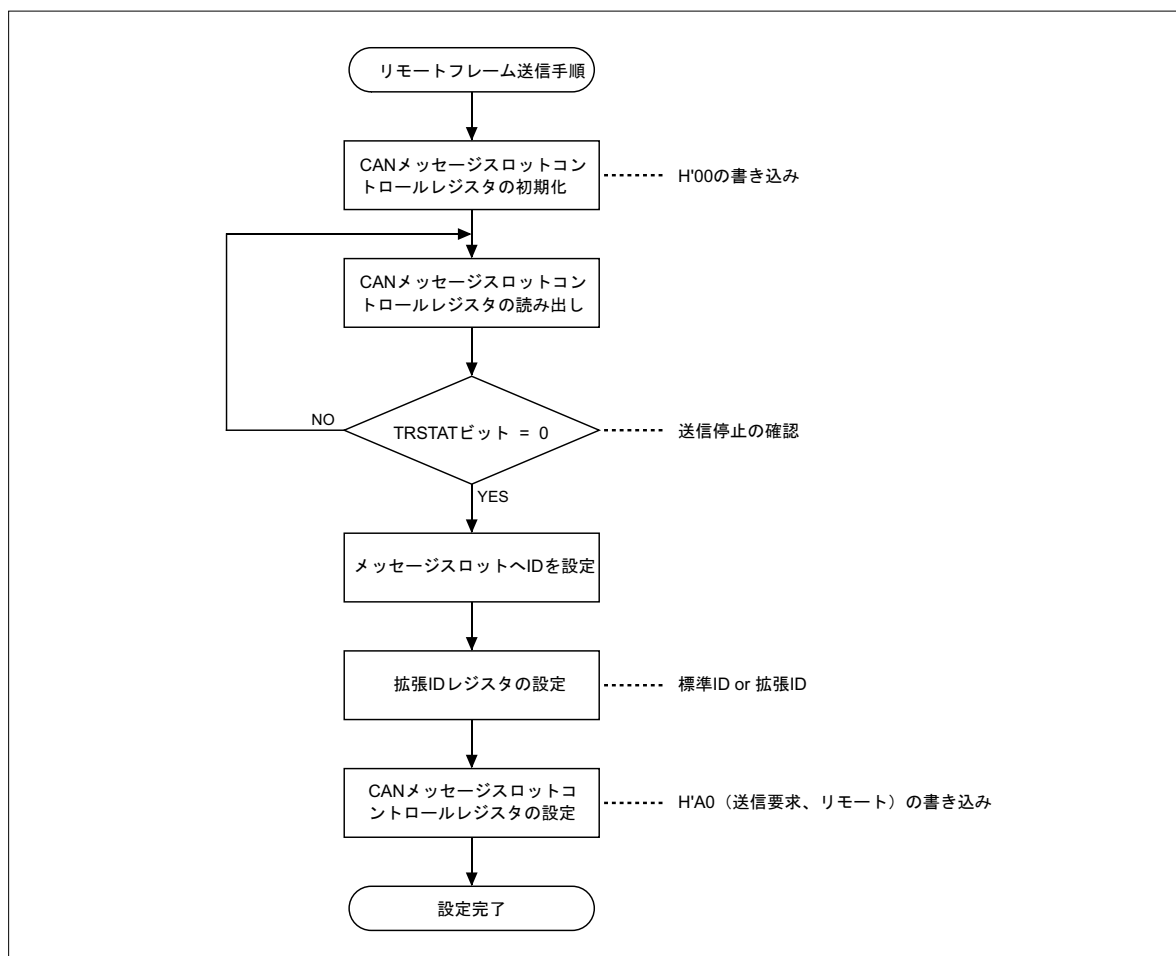


図13.7.1 リモートフレーム送信手順

13.7.2 リモートフレーム送信動作

リモートフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA(リモートアクティブ)ビットの設定

CANメッセージスロットコントロールレジスタへH'A0(送信要求、リモート)を書き込むと同時に、対応するスロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(データフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(3) リモートフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

(4) CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(5) リモートフレーム送信完了

リモートフレームの送信が完了すると、完了したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSL_nTSP, C1MSL_nTSP)に格納し、CANメッセージスロットコントロールレジスタのRA(リモートアクティブ)ビットを"0"クリアします。

また、送信完了によってCANスロット割り込み要求ステータスビットは"1"がセットされますが、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビットへは"1"がセットされません。

CANスロット割り込み要求を許可にしていた場合は、送信完了で割り込み要求が発生します。

(6) データフレーム受信

リモートフレームの送信が完了したら、そのスロットは自動的にデータフレーム受信スロットとして機能します。

(7) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがデータフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

注．．BasicCANモードではスロット14, 15を送信スロットとして使用することはできません。

(8) 受信条件を満たした場合

上記(7)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定しメッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSL_nTSP, C1MSL_nTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求が発生し、次のフレームの受信待ち状態となります。

注．．リモートフレームを送信する前に対応するデータフレームを受信した場合は、データフレームの格納を行いリモートフレームは送信されません。

(9) 受信条件を満たしていない場合

受信フレームを破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

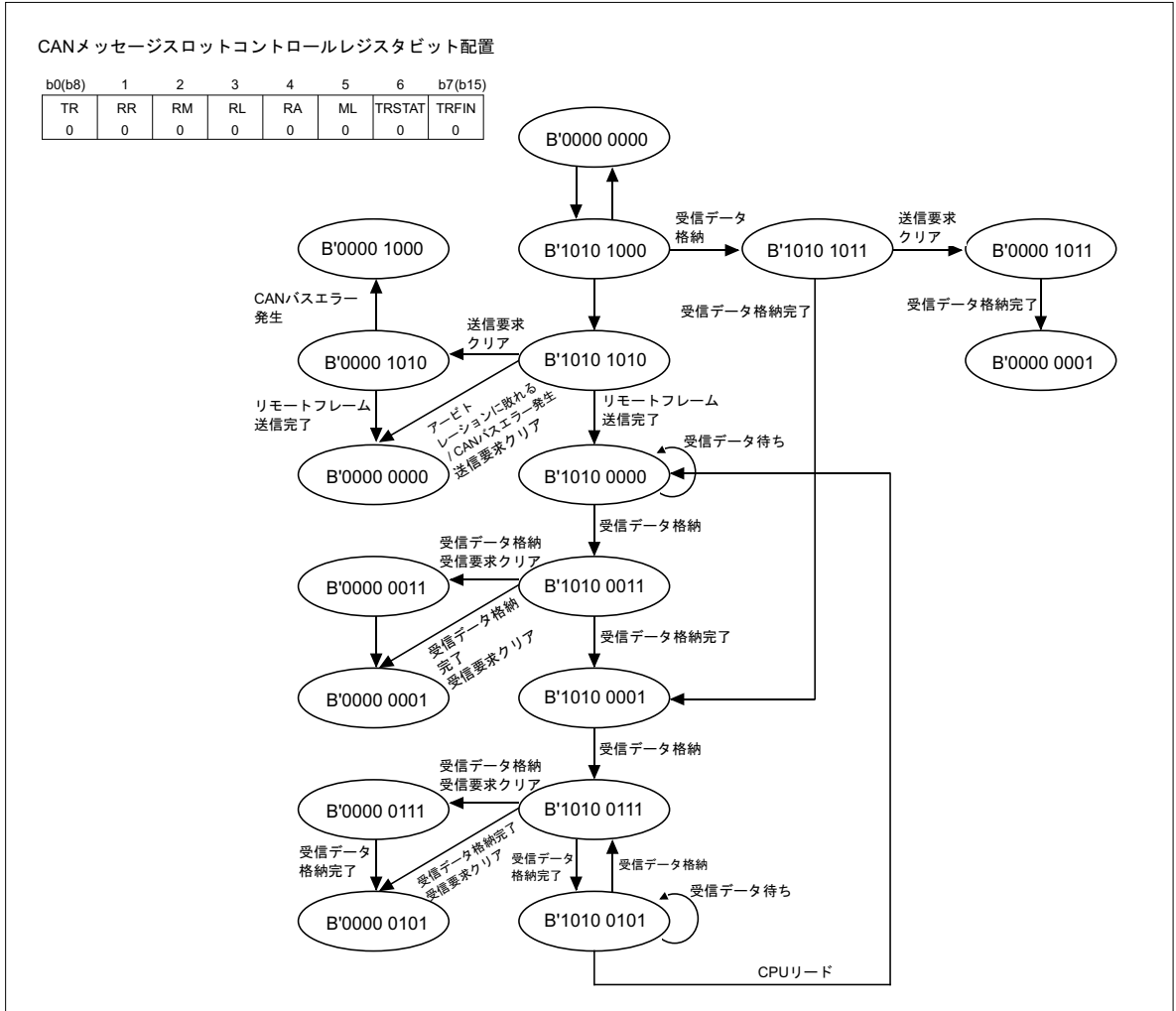


図13.7.2 リモートフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.7.3 リモートフレーム送信設定時の受信データフレームの読み出し

リモートフレーム送信設定時に受信したデータフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(C0MSL_nCNT, C1MSL_nCNT)にH'AE、またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

| CnMSL _n CNTに書き込む値 | 書き込み後のスロットの動作 |
|------------------------------|---|
| H'AE | データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。 |
| H'00 | スロットは送受信動作を停止します。 |

注 . . MLビットによるメッセージロスチェックが必要な場合には、H'AEを書き込んでTRFINビットをクリアしてください。
 . H'AEまたはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。
 . H'A0を書き込んで受信データフレームを読み出すことはできません。H'A0を書き込んでTRFINビットを"0"クリアした場合は、スロットはリモートフレーム送信動作を行います。

(2)メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3)TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

1)TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

2)TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

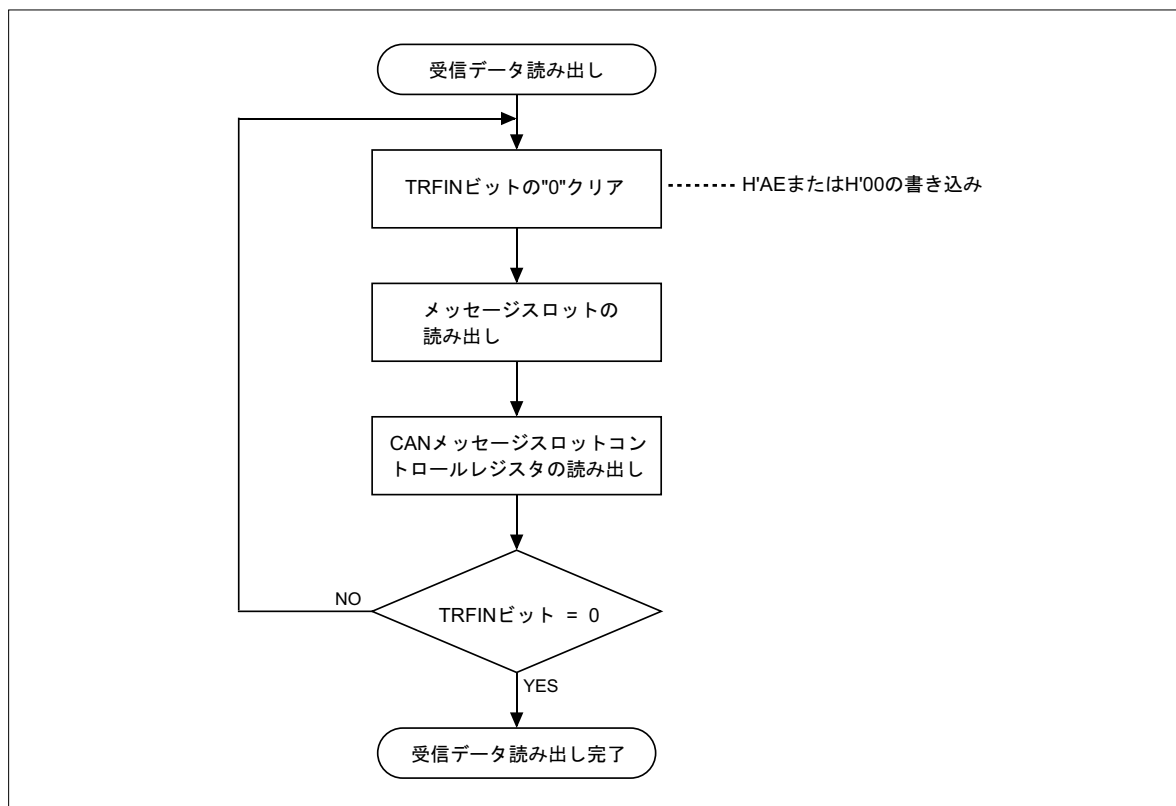


図13.7.3 リモートフレーム送信設定時の受信データ読み出し手順

13.8 リモートフレーム受信

13.8.1 リモートフレーム受信手順

リモートフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

1) リモートフレーム受信に対して自動応答させたい場合(データフレーム送信)

CANメッセージスロットコントロールレジスタへH'60を書き込み、RR(受信要求)ビット、RM(リモート)ビットに"1"をセットします。

2) リモートフレーム受信に対して自動応答を禁止させたい場合

CANメッセージスロットコントロールレジスタへH'70を書き込み、RR(受信要求)ビット、RM(リモート)ビット、RL(自動応答許可)ビットに"1"をセットします。

注 . . BasicCANモード時はスロット14, 15ではリモートフレーム受信はできますが、自動応答を行うことはできません。

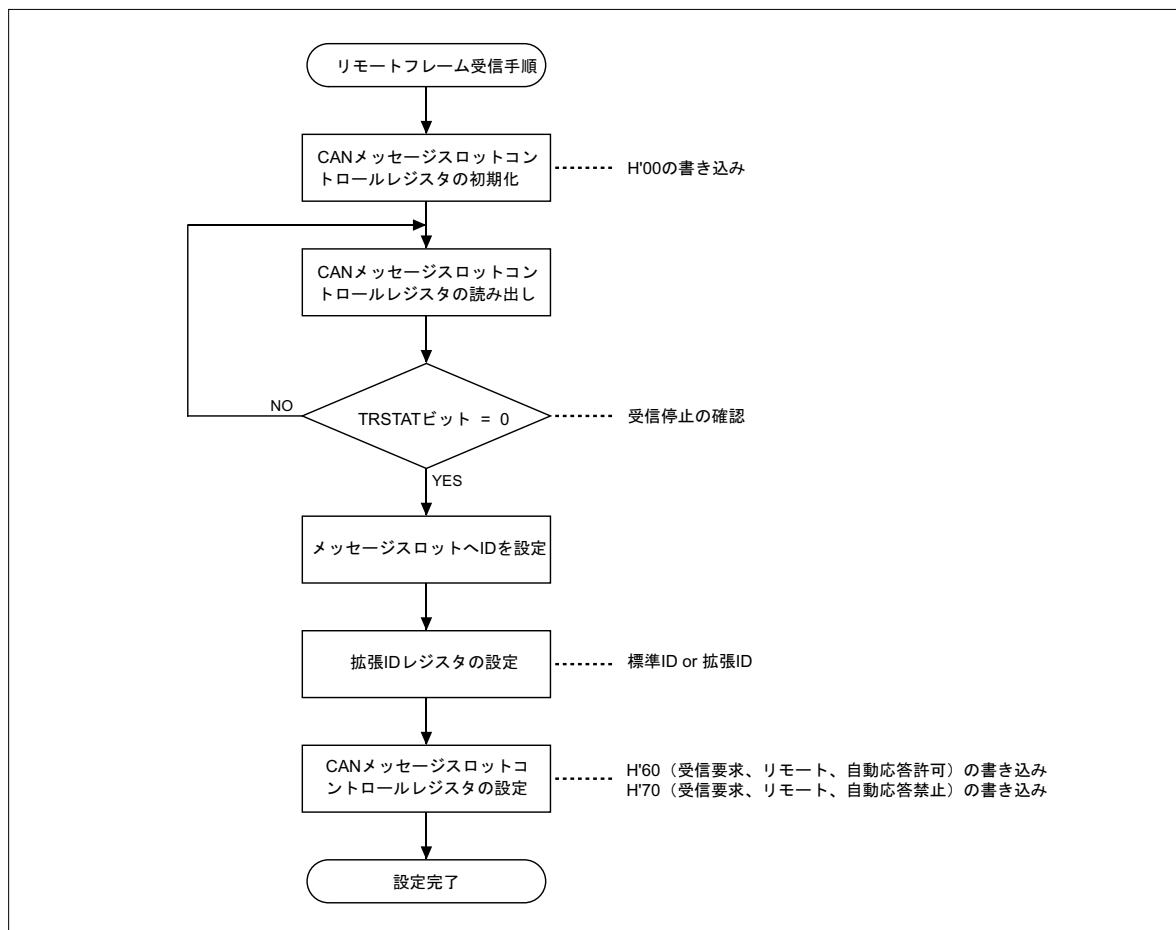


図13.8.1 リモートフレーム受信手順

13.8.2 リモートフレーム受信動作

リモートフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA (リモートアクティブ) ビットの設定

CANメッセージスロットコントロールレジスタへH'60(受信要求、リモート)またはH'70(受信要求、リモート、自動応答禁止)を書き込むと、対応スロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがリモートフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

(3) 受信条件を満たした場合

前記(2)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求が発生します。

- 注
- ・メッセージスロットにはIDフィールドとDLCの値が書き込まれます。
 - ・標準フォーマット時の拡張ID領域には不定値が書き込まれます。
 - ・データフィールドに対しては書き込み動作は行いません。
 - ・リモートフレーム受信データの書き込み後、RAビット、TRFINビットは"0"クリアされます。

(4) 受信条件を満たしていない場合

受信データを破棄され、次の受信フレームを待ちます。メッセージスロットへの書き込みは行いません。

(5) リモートフレーム受信後の動作

リモートフレーム受信後の動作は、自動応答の設定によって異なります。

1) 自動応答禁止の場合

受信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで該当スロットの送受信は行われません。

2) 自動応答許可の場合

リモートフレーム受信後、自動的にデータフレーム送信スロットに切り替わり、以下動作で送信処理を行います。その場合、送信されるデータは受信したリモートフレームのID、DLCに従います。

●送信フレーム選択

CANモジュールは、インタミッションごとに送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロットナンバーの小さいものから送信されます。

●データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

●CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アポート要求をしていた場合は、送信アポートが受け付けられメッセージスロットへの書き込みが可能となります。

●データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込み要求ステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込み要求を許可にしていた場合は、送信動作完了で割り込み要求が発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

CANメッセージスロットコントロールレジスタビット配置

| b0(b8) | 1 | 2 | 3 | 4 | 5 | 6 | b7(b15) |
|--------|----|----|----|----|----|--------|---------|
| TR | RR | RM | RL | RA | ML | TRSTAT | TRFIN |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

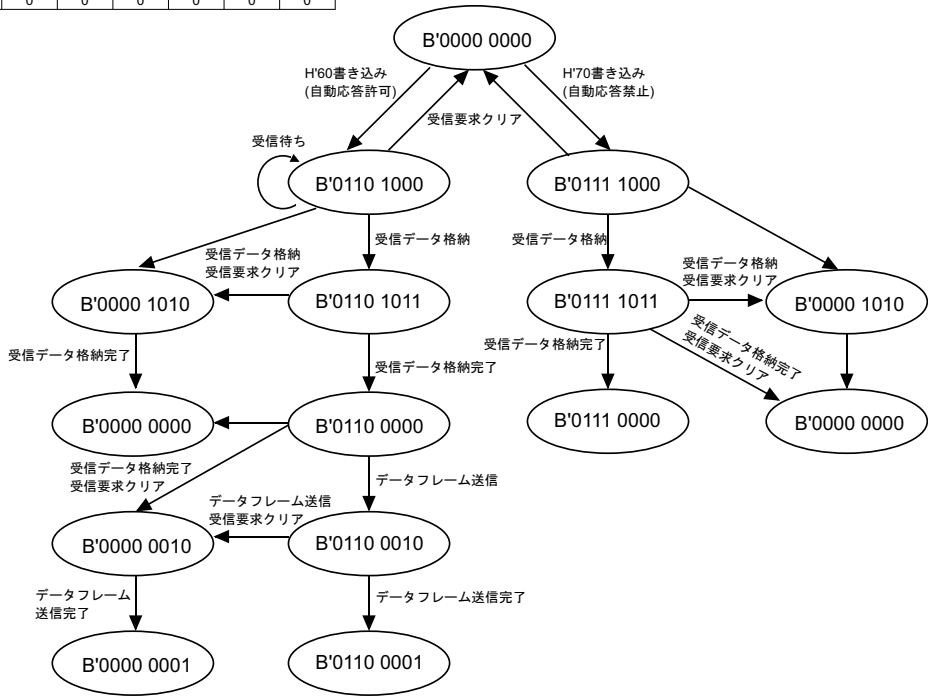


図13.8.2 リモートフレーム受信時のCANメッセージスロットコントロールレジスタの動作

第14章

リアルタイムデバッガ(RTD)

- 14.1 リアルタイムデバッガ(RTD)概要
- 14.2 RTD端子機能
- 14.3 RTD動作説明
- 14.4 ホストとの接続例

14.1 リアルタイムデバッガ(RTD)概要

リアルタイムデバッガ(Real Time Debugger)は、内蔵RAM全領域を、マイコン外部からコマンドを使用し、リード/ライトするためのシリアルI/Oです。RTDと内蔵RAM間のデータ転送はM32R-FPUと別に内蔵した専用バスを通じて行なうため、M32R-FPUの動作を停止させることなく制御することができます。

表14.1.1 リアルタイムデバッガ(RTD)の概要

| 項目 | 内容 |
|-----------|---|
| 転送方式 | クロック同期形シリアルI/O |
| 転送クロックの発生 | 外部ホスト側が発生 |
| RAMアクセス領域 | 内蔵RAM全領域(A16 ~ A29による制御) |
| 送受信データ長 | 32ビット(固定) |
| ビット転送順序 | LSBファースト |
| 最大転送速度 | 2Mビット/秒 |
| 入出力端子 | 4本(RTDTXD, RTDRXD, RTDACK, RTDCLK) |
| コマンド数 | 以下の5機能 <ul style="list-style-type: none"> ● 継続モニタ ● リアルタイムRAM内容出力 ● RAM内容強制書き換え(ベリファイ付き) ● 暴走状態からの復帰 ● RTD割り込み要求 |

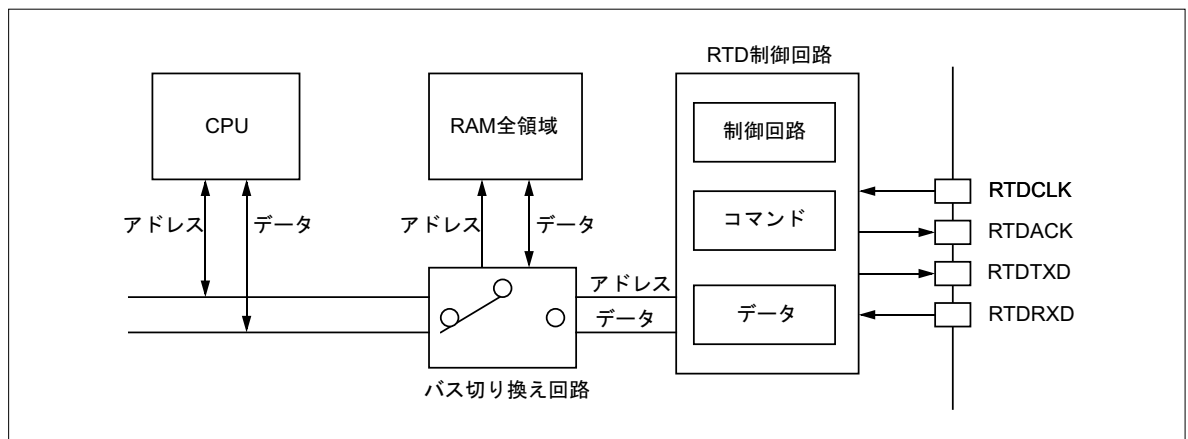


図14.1.1 リアルタイムデバッガ(RTD)のブロック図

14.2 RTD端子機能

RTDの端子機能を以下に示します。

表14.2.1 RTD端子機能

| 端子名 | 入出力 | 機能 |
|--------|-----|--|
| RTDTXD | 出力 | RTDシリアルデータ出力 |
| RTDRXD | 入力 | RTDシリアルデータ入力 |
| RTDACK | 出力 | 出力データワードの先頭クロックに同期した、"L"パルスを出力します。 出力される"L"パルスの幅は、RTDが受信した命令/データの種類を示します。 1クロック : VER(継続モニタ)コマンド 1クロック : VE(RTD割り込み要求)コマンド 2クロック : RDR(リアルタイムRAM内容出力)コマンド 3クロック : WRR(RAM内容強制書き換え)コマンド、またはそのデータ 4クロック以上 : RCV(暴走状態からの復帰)コマンド |
| RTDCLK | 入力 | RTD転送クロック入力 |

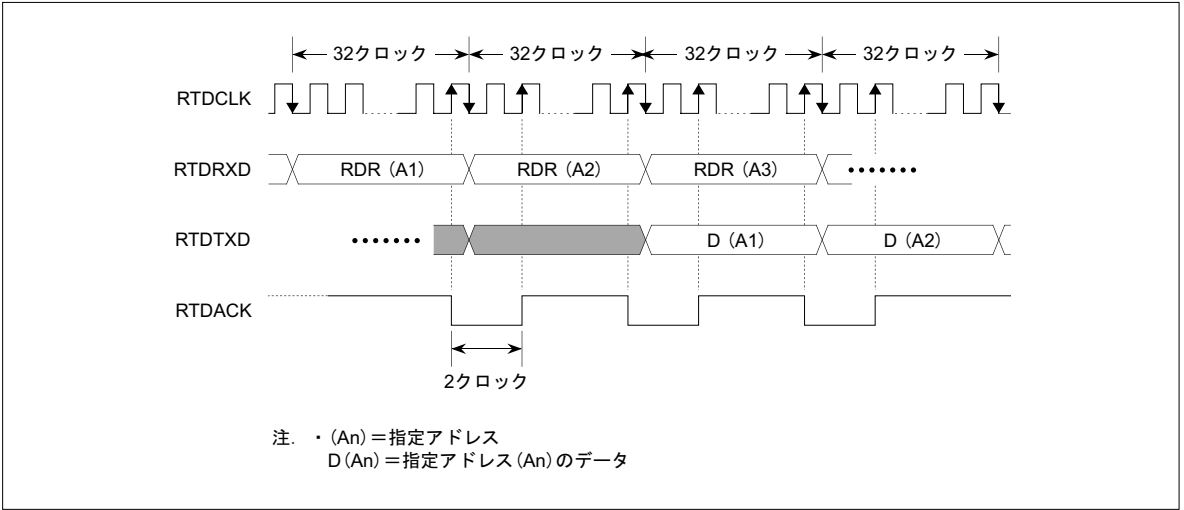


図14.3.2 RDRコマンド動作

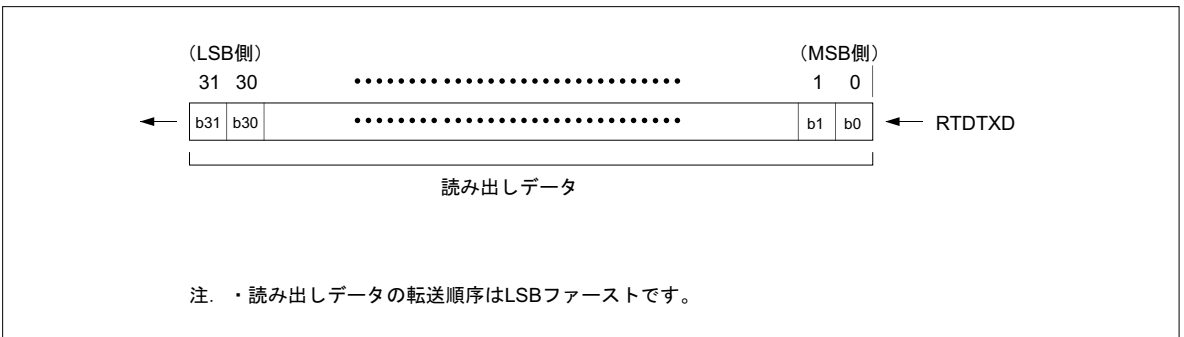


図14.3.3 読み出しデータ転送フォーマット

14.3.3 WRR(RAM内容強制書き換え)動作

WRR(RAM内容強制書き換え)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を強制的に書き換えます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMへデータを書き込むため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また、内蔵RAMへのデータ書き込みは、32ビット単位で行われます。

外部ホストからは、第1フレームでコマンドとアドレスを送信し、第2フレームで書き込みデータを送信します。RTDから内蔵RAMへの書き込みは、書き込みデータ受信後の第3フレームで行われます。

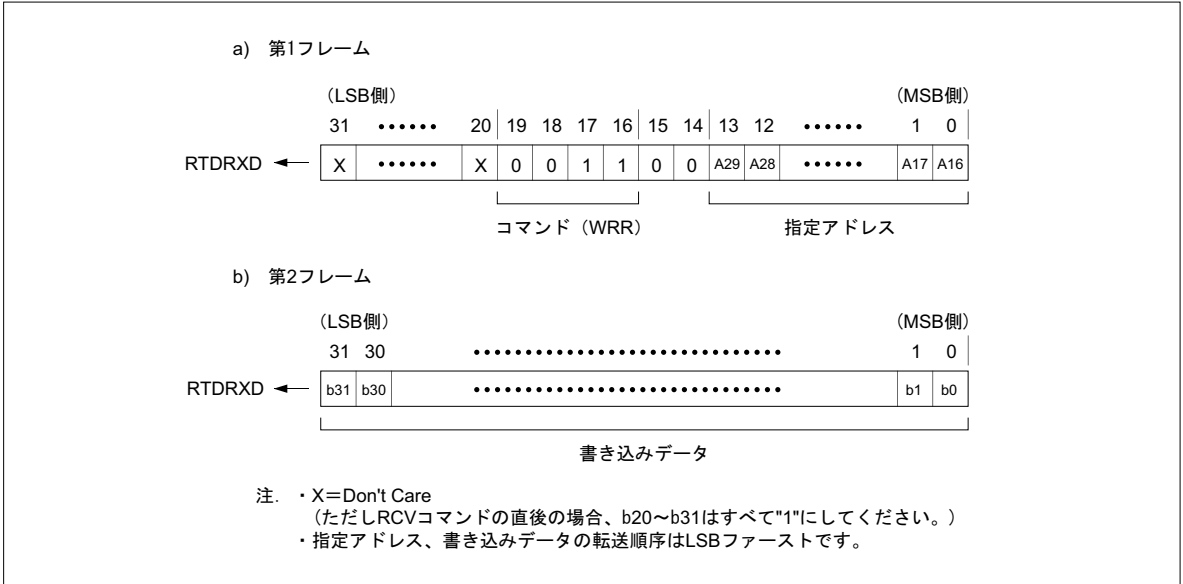


図14.3.4 WRRコマンドデータフォーマット

RTDは指定アドレスのデータを書き込みの前に読み出すとともに、書き込み直後に再度、同一アドレスのデータを読み出します(これによりベリファイができます)。読み出されたデータは以下のタイミングで出力されます。

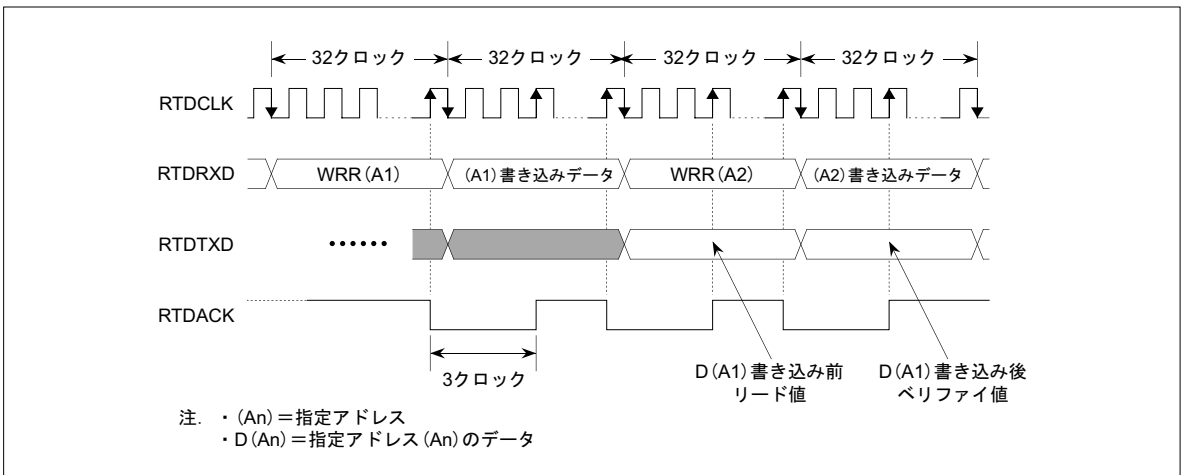


図14.3.5 WRRコマンド動作

14.3.4 VER(継続モニタ)動作

VER(継続モニタ)コマンドを発行すると、RTDはVERコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。

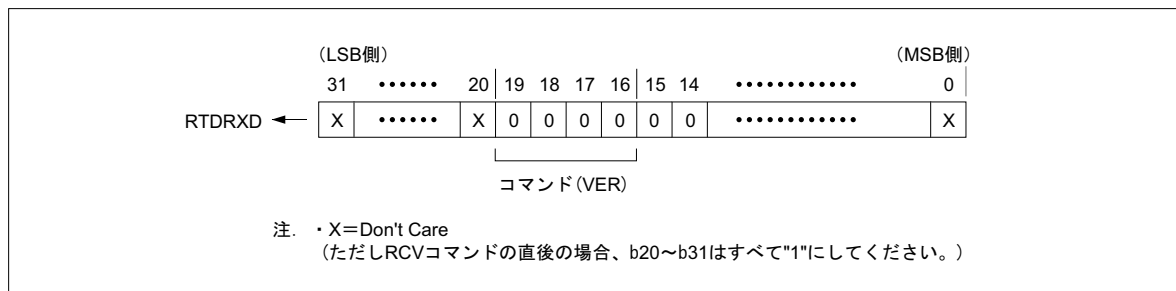


図14.3.6 VER(継続モニタ)コマンドデータフォーマット

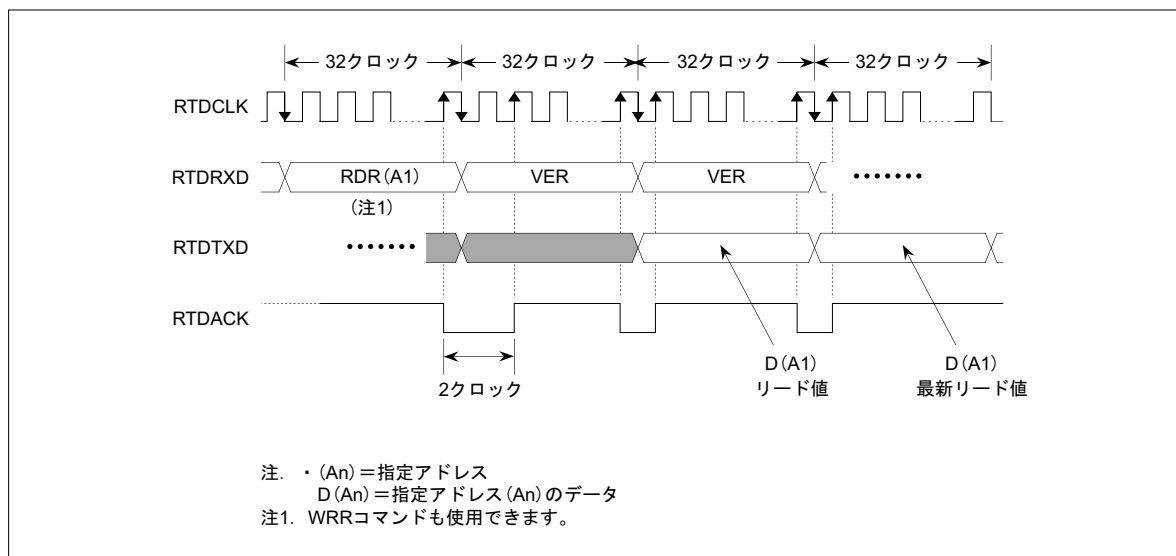


図14.3.7 VER(継続モニタ)コマンド動作

14.3.5 VEI(割り込み要求)動作

VEI(割り込み要求)コマンドを発行すると、RTD割り込み要求が発生します。また、RTDはVEIコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。



図14.3.8 VEI(割り込み要求)コマンドデータフォーマット

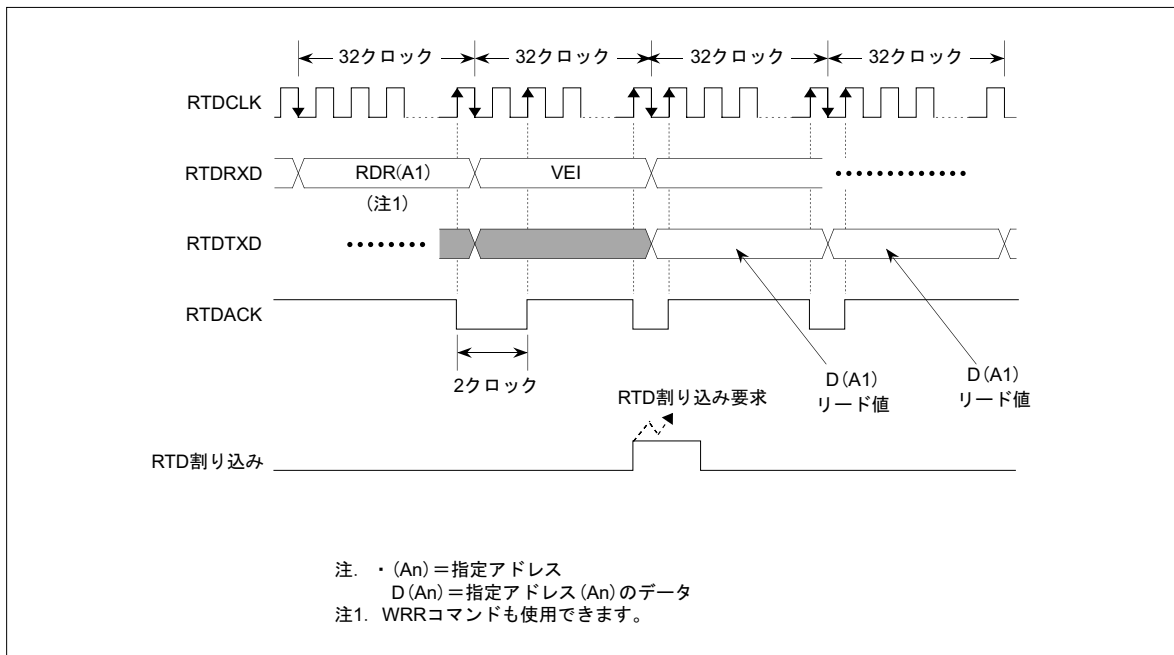


図14.3.9 VEI(割り込み要求)コマンド動作

14.3.6 RCV(暴走状態からの復帰)動作

RTDが暴走した場合、RCV(暴走状態からの復帰)コマンドを発行することでシステムリセットを行うことなく、強制的に暴走状態から復帰させることができます。RCVコマンドは必ず2回続けて発行してください。また、RCVコマンドに続けて発行するコマンドのb20～b31はすべて"1"にしてください。

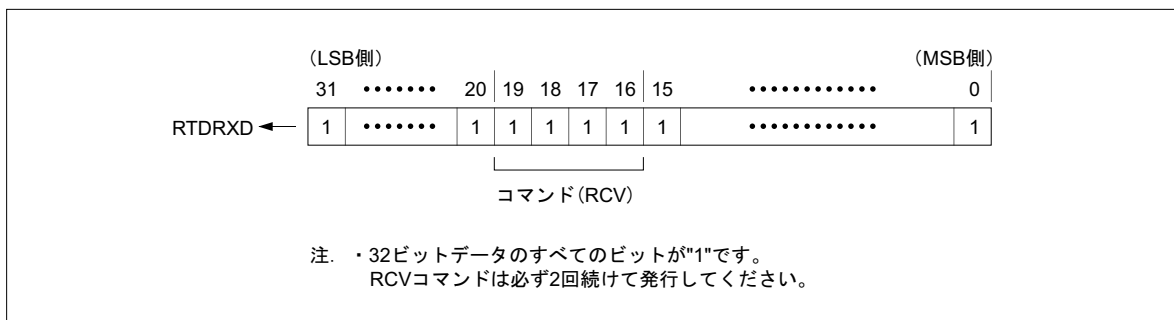


図14.3.10 RCVコマンドデータフォーマット

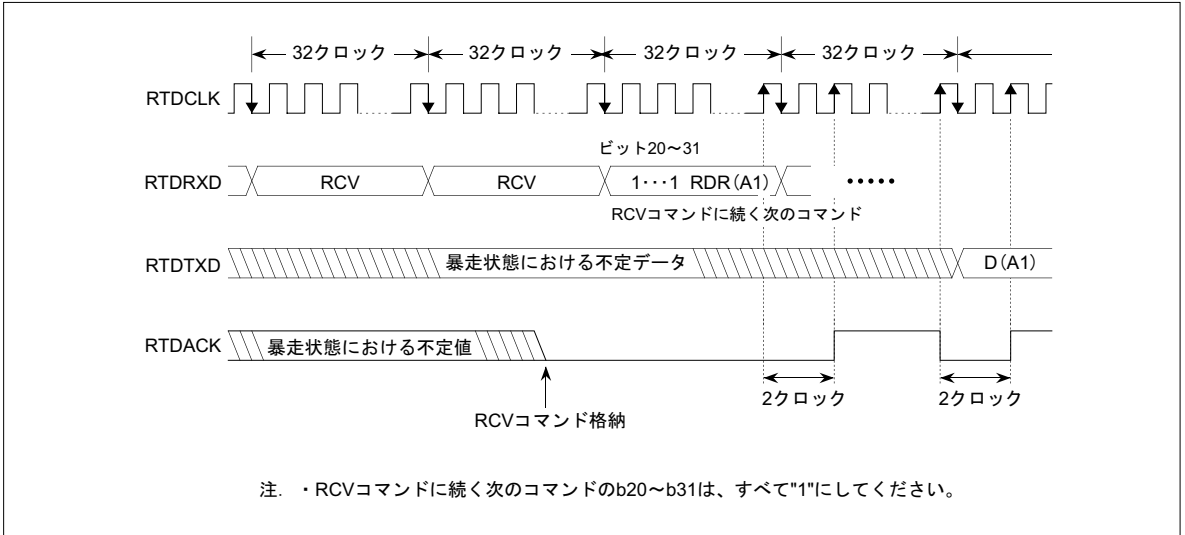


図14.3.11 RCVコマンド動作

14.3.7 リアルタイムデバッグ使用時の指定アドレス設定方法

RTDでは内蔵RAM領域の下位16ビットアドレスが設定可能です。内蔵RAM領域がH'0080 4000 ~ H'0080 FFFFの48KB領域内に配置しているため、その下位16ビットアドレス(H'4000 ~ H'FFFF)が設定できます。ただし、RAM配置領域以外はアクセスを禁止します。また、アドレス最下位の2ビットA31、A30はリード、ライトのデータ幅が32ビット固定長のため、常に"0"になります。

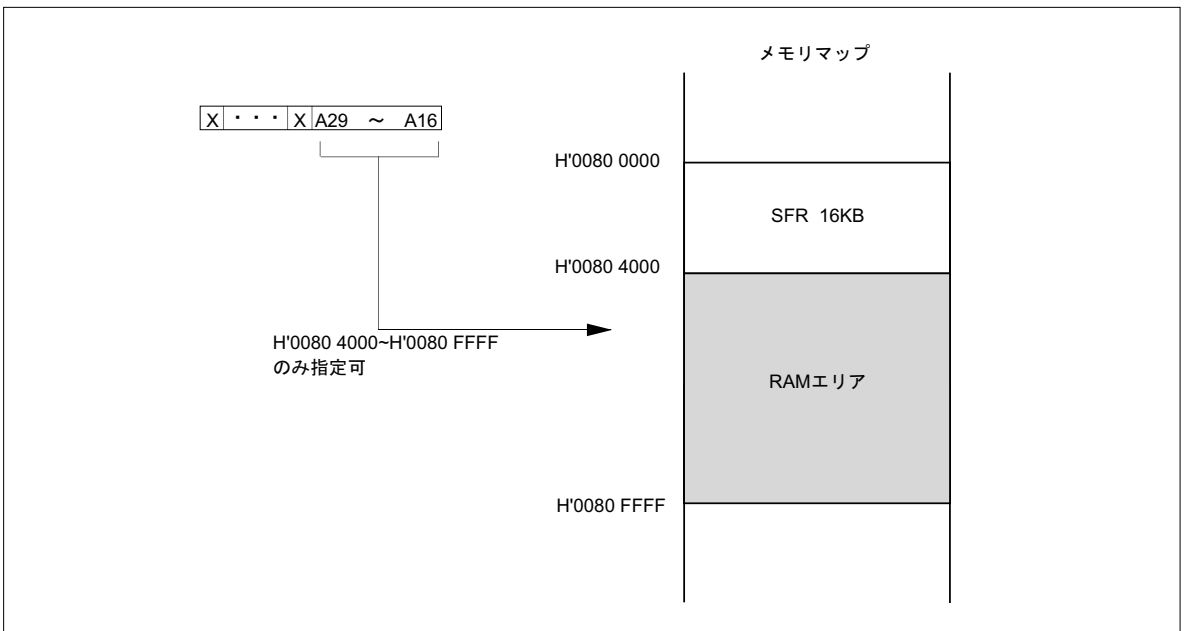


図14.3.12 リアルタイムデバッグのアドレス設定方法

14.3.8 RTDのリセット

RTDは、システムリセット(RESET#信号の入力)によりリセットされます。システムリセット後のRTD関連の出力端子の状態は以下のとおりです。

表14.3.2 システムリセット解除後のRTD端子状態

| 端子名 | 状態 |
|--------|----------|
| RTDACK | "H"レベル出力 |
| RTDTXD | "H"レベル出力 |

RTDのリセットを行った後の最初のコマンド転送は、RTDCLKの立ち下がりエッジに同期してRTDRXD端子へデータを転送することで開始されます。

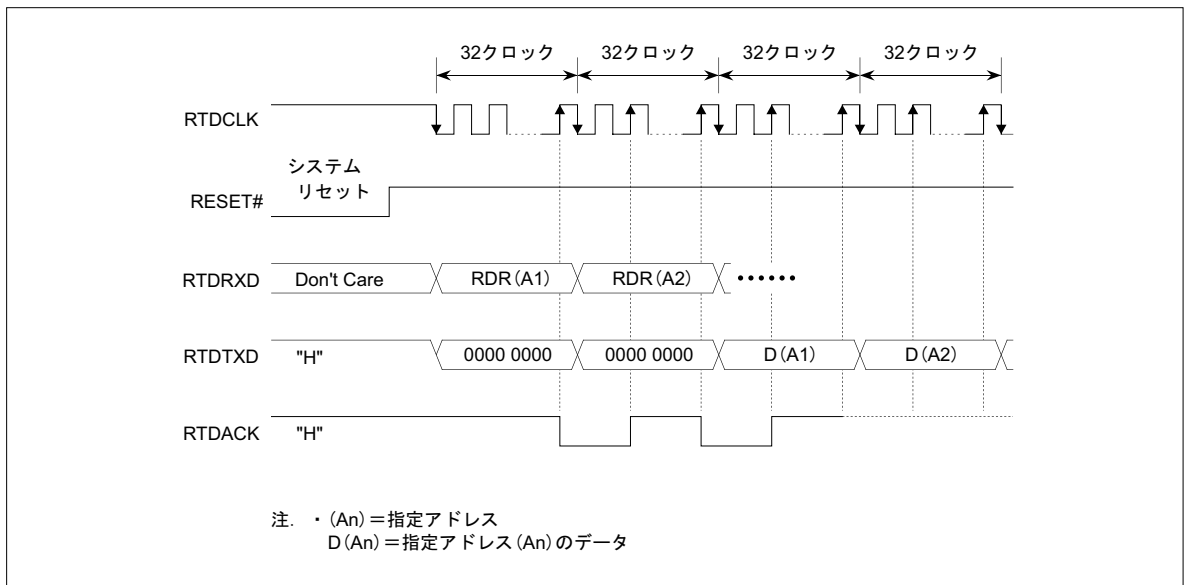


図14.3.13 システムリセット後のRTDへのコマンド転送

14.4 ホストとの接続例

ホスト側ではシリアル同期式のインタフェースで、データの転送を行います。同期通信用のクロックは、ホスト側が発生します。RTDとホストの接続例を以下に示します。

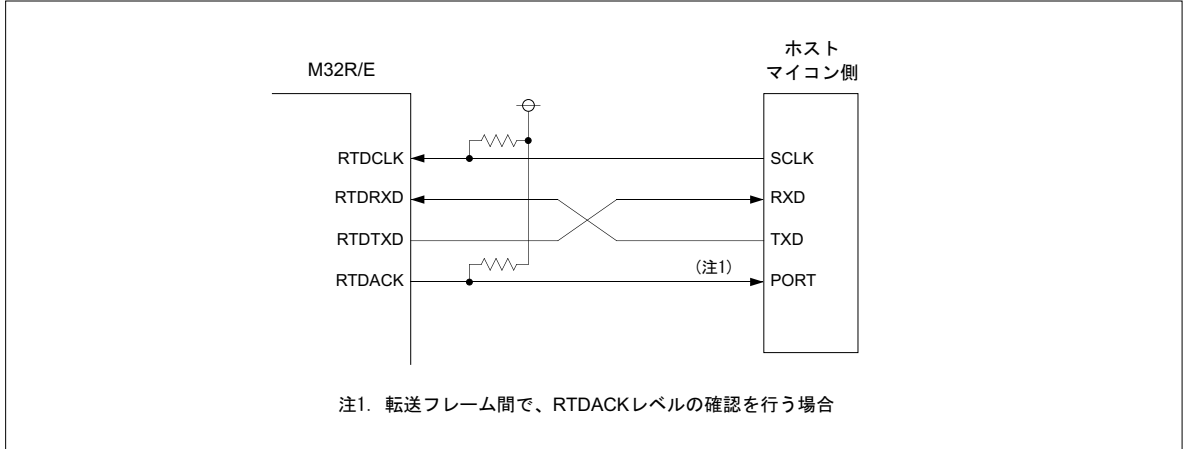


図14.4.1 RTDとホストの接続

RTD通信は1フレーム32ビット固定長の通信です。一般にシリアルインタフェースでは8ビット単位で転送を行うため、8ビット単位で4回に分けて行います。また、通信が正常に行われていることは、RTDACK信号で確認します。

RTDACK信号は、コマンドを送信した後"L"レベルになることで通信状態を確認します。VERコマンド発行時には、1クロック分のみ"L"が出力されるため、シリアルインタフェースで1フレーム32ビットを送信した後、RTDCLKの送出を止めてRTDACKが"L"レベルになっていれば正常に通信できているか容易に判断できます。

なお、RTDACKの幅で送信コマンドの種類まで特定したい場合は、マイコン内蔵の計測タイマを利用(RTDACKが"L"の期間、RTDCLKをカウント)するか、または専用の回路を作成してください。

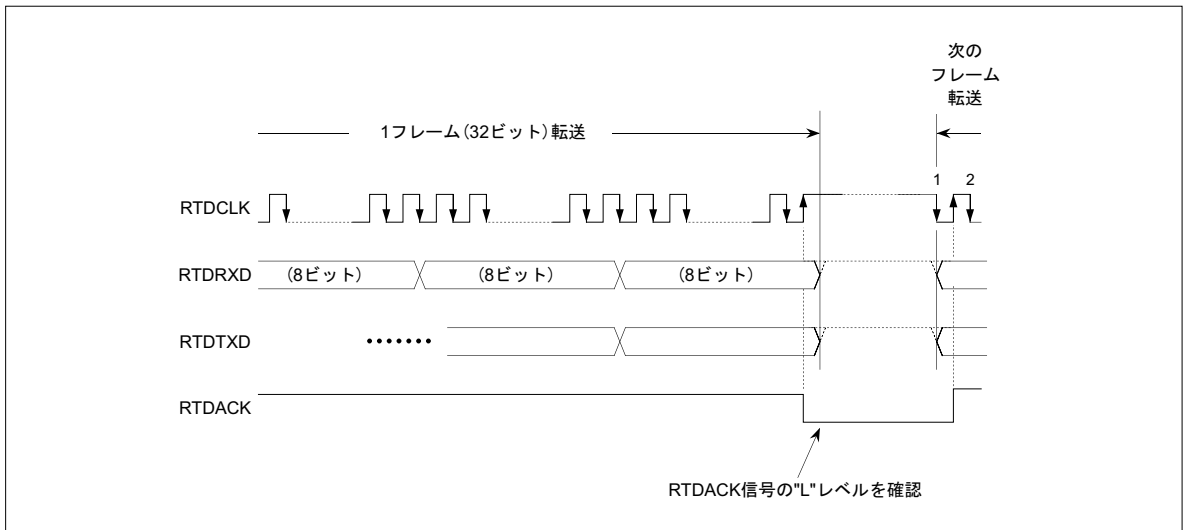


図14.4.2 ホストとの通信動作例(VERコマンド時)

レイアウトの都合上、このページは白紙です。

第15章

外部バスインタフェース

- 15.1 外部バスインタフェース概要
- 15.2 外部バスインタフェース関連レジスタ
- 15.3 リード/ライト動作
- 15.4 バスアービトレーション
- 15.5 外部拡張メモリ接続例
- 15.6 VCC-BUSによるバス電圧設定例

15.1 外部バスインタフェース概要

15.1.1 外部バスインタフェース関連信号

32180は、以下に示す外部バスインタフェース関連信号を備えています。これらの信号は、外部拡張モードまたはプロセッサモードで使用できます。また、バス制御端子への供給電源(バス電源: VCC-BUS)を分離することにより、主電源と異なる電圧レベルの外部デバイスと接続できます。

信号名(端子名)の最後に"#"が付いている信号(端子)は、"L"アクティブ信号(端子)であることを示します。

(1) アドレス

32180は2Mバイトの空間をアドレッシングする20ビットのアドレス(A11~A30)を出力します。最下位のA31は出力されません。

注・外部拡張モード時は、リセット解除時にポート機能となっています。アドレスとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(2) チップセレクト(CS0# ~ CS3#)

2Mバイトごとの外部拡張領域をCS0#~CS3#信号で出力します。CS0#信号は、プロセッサモード使用時、2Mバイトの領域を示し、外部拡張モード使用時、1Mバイトの領域を示します(詳細については、「第3章 アドレス空間」を参照してください)。

注・外部拡張モード時は、リセット解除時にポート機能となっています。チップセレクトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(3) リードストローブ(RD#)

外部リードサイクル中に出力され、リードデータの読み込みタイミングを示します。ライト時および内蔵領域アクセス時には"H"を出力します。

(4) バイトハイライト/バイトハイイネーブル(BHW#/BHE#)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り換わります。

BUSMOD=0でバイトハイライト(BHW#)の場合、外部ライトアクセス時にデータバスの上位側バイト(DB0~DB7)で有効なデータ転送を示します。外部リード時および内蔵領域アクセス時には"H"を出力します。

BUSMOD=1でバイトハイイネーブル(BHE#)の場合、外部アクセス(外部リードおよび外部ライト)時にデータバスの上位側バイト(DB0~DB7)で有効なデータ転送を示します。内蔵領域アクセス時には"H"を出力します。

(5) バイトローライト/バイトローイネーブル(BLW#/BLE#)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り換わります。

BUSMOD=0でバイトローライト(BLW#)の場合、外部ライトアクセス時にデータバスの下位側バイト(DB8~DB15)で有効なデータ転送を示します。外部リード時および内蔵領域アクセス時には"H"を出力します。

BUSMOD=1でバイトローイネーブル(BLE#)の場合、外部アクセス(外部リードおよび外部ライト)時にデータバスの下位側バイト(DB8~DB15)で有効なデータ転送を示します。内蔵領域をアクセス時には"H"を出力します。

(6) データバス (DB0 ~ DB15)

外部デバイスをアクセスするための16ビットデータバスです。外部リードアクセス時、リードストロープの立ち上がりに同期してデータを取り込みます。8ビットリード時であっても常に16ビットのデータを読み込みますが、内部へは有効なバイト位置のみが転送されます。外部ライトアクセス時、データを出力します。8ビットライト時は、有効な書き込みを行うバイト位置をBHW#/BLW#として出力します。内蔵領域アクセス時、入力機能となります。

注．．外部拡張モード時は、リセット解除時にポート機能となっています。データバスとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(7) システムクロック/ライト (BCLKWR#)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り換わります。

BUSMOD = 0でシステムクロック(BCLK)の場合、外部システムで同期設計を行うためのシステムクロックを出力します。CPUクロック80MHzの場合、BCLKには20MHzのクロックが出力します。また、BCLK/WR機能を未使用時、P7動作モードレジスタのP70MODを"0"にクリアすることで、P70として使用できます。

BUSMOD = 1でライト(WR#)の場合、外部ライトアクセス時にデータバスの有効なデータ転送を示します。外部リードサイクルおよび内蔵領域アクセス時には"H"を出力します。

注．．外部拡張モード時は、リセット解除時にポート機能となっています。システムクロック/ライトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(8) ウェイト (WAIT#)

外部バスサイクルを起動した場合、WAIT#信号が入力されている間、ウェイトサイクルを自動的に挿入します。詳細については、「第16章 ウェイトコントローラ」を参照してください。また、WAIT機能を未使用時、P7動作モードレジスタのP71MODを"0"にクリアすることで、P71として使用できます。

注．．外部拡張モード時は、リセット解除時にポート機能となっています。ウェイトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(9) ホールド制御 (HREQ#, HACK#)

ホールド状態とは、バスアクセスを停止し、バスインタフェース関連の各端子がハイインピーダンスになっている状態をいいます。ホールド状態にある間は、外部にあるバスマスタはシステムバスを使用したデータ転送を行うことができます。

HREQ#端子に"L"信号を入力すると、ホールド状態へ遷移します。ホールド要求受け付け後のホールド中およびホールド状態への遷移中は、HACK#端子から"L"信号を出力します。ホールド状態から通常動作状態へ復帰するにはHREQ#信号を"H"にしてください。

注．．外部拡張モード時は、リセット解除時にポート機能となっています。ホールド制御として使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

ホールド中の各端子状態を以下に示します。

表15.1.1 ホールド期間中の端子状態

| 端子名 | 端子の状態または動作 |
|--|------------|
| A11 ~ A30, DB0 ~ DB15, CS0# ~ CS3#, RD#, BHW#, BLW#, BHE#, BLE#, WR# | ハイインピーダンス |
| HACK# | "L"を出力 |
| その他の端子(ポート及びタイマ出力等) | 通常動作 |

(10) バス電源 (VCC-BUS)

バス制御端子への供給電源です。外部デバイスとの接続を考慮し、主電源と異なる電圧を印加できます。

15.2 外部バスインタフェース関連レジスタ

以下に外部バスインタフェース関連レジスタを示します。

15.2.1 ポート動作モードレジスタ

ポートP0～P4(P41～P43は除く)、P224～P227は外部拡張モード時に、対応する動作モードレジスタの設定により、外部アクセスのための信号端子に切り換わります。プロセッサモード時は、外部アクセス信号端子に固定されます。

これらの端子は、外部拡張モードでリセット解除した場合にポート機能となっているため、外部アクセスのために使用する端子のみを切り換えることで、残りの端子をポートとして使用できます。

ポートP70～P73は、いずれのCPU動作モードであっても、外部アクセスのための信号端子に切り換えることができます。また、ポートP41～P43は外部拡張モード、プロセッサモード時は、外部アクセス信号端子に固定されます。

P0動作モードレジスタ(P0MOD)

<アドレス : H'0080 0740 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P00MD | P01MD | P02MD | P03MD | P04MD | P05MD | P06MD | P07MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-------------------------|--------------------|---|---|
| 0 | P00MD ポートP00動作モードビット | 0 : P00 1 : DB0 | R | W |
| 1 | P01MD ポートP01動作モードビット | 0 : P01 1 : DB1 | R | W |
| 2 | P02MD ポートP02動作モードビット | 0 : P02 1 : DB2 | R | W |
| 3 | P03MD ポートP03動作モードビット | 0 : P03 1 : DB3 | R | W |
| 4 | P04MD ポートP04動作モードビット | 0 : P04 1 : DB4 | R | W |
| 5 | P05MD ポートP05動作モードビット | 0 : P05 1 : DB5 | R | W |
| 6 | P06MD ポートP06動作モードビット | 0 : P06 1 : DB6 | R | W |
| 7 | P07MD ポートP07動作モードビット | 0 : P07 1 : DB7 | R | W |

注 . . P0動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P1動作モードレジスタ(P1MOD)

<アドレス : H'0080 0741>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P10MD | P11MD | P12MD | P13MD | P14MD | P15MD | P16MD | P17MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|-------------------------|---------------------|---|---|
| 8 | P10MD ポートP10動作モードビット | 0 : P10 1 : DB8 | R | W |
| 9 | P11MD ポートP11動作モードビット | 0 : P11 1 : DB9 | R | W |
| 10 | P12MD ポートP12動作モードビット | 0 : P12 1 : DB10 | R | W |
| 11 | P13MD ポートP13動作モードビット | 0 : P13 1 : DB11 | R | W |
| 12 | P14MD ポートP14動作モードビット | 0 : P14 1 : DB12 | R | W |
| 13 | P15MD ポートP15動作モードビット | 0 : P15 1 : DB13 | R | W |
| 14 | P16MD ポートP16動作モードビット | 0 : P16 1 : DB14 | R | W |
| 15 | P17MD ポートP17動作モードビット | 0 : P17 1 : DB15 | R | W |

注 . . P1動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P2動作モードレジスタ(P2MOD)

<アドレス : H'0080 0742>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P20MD | P21MD | P22MD | P23MD | P24MD | P25MD | P26MD | P27MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|---|-------------------------|--------------------|---|---|
| 0 | P20MD ポートP20動作モードビット | 0 : P20 1 : A23 | R | W |
| 1 | P21MD ポートP21動作モードビット | 0 : P21 1 : A24 | R | W |
| 2 | P22MD ポートP22動作モードビット | 0 : P22 1 : A25 | R | W |
| 3 | P23MD ポートP23動作モードビット | 0 : P23 1 : A26 | R | W |
| 4 | P24MD ポートP24動作モードビット | 0 : P24 1 : A27 | R | W |
| 5 | P25MD ポートP25動作モードビット | 0 : P25 1 : A28 | R | W |
| 6 | P26MD ポートP26動作モードビット | 0 : P26 1 : A29 | R | W |
| 7 | P27MD ポートP27動作モードビット | 0 : P27 1 : A30 | R | W |

注 . . P2動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P3動作モードレジスタ(P3MOD)

<アドレス : H'0080 0743>

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P30MD | P31MD | P32MD | P33MD | P34MD | P35MD | P36MD | P37MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|----|-------------------------|--------------------|---|---|
| 8 | P30MD ポートP30動作モードビット | 0 : P30 1 : A15 | R | W |
| 9 | P31MD ポートP31動作モードビット | 0 : P31 1 : A16 | R | W |
| 10 | P32MD ポートP32動作モードビット | 0 : P32 1 : A17 | R | W |
| 11 | P33MD ポートP33動作モードビット | 0 : P33 1 : A18 | R | W |
| 12 | P34MD ポートP34動作モードビット | 0 : P34 1 : A19 | R | W |
| 13 | P35MD ポートP35動作モードビット | 0 : P35 1 : A20 | R | W |
| 14 | P36MD ポートP36動作モードビット | 0 : P36 1 : A21 | R | W |
| 15 | P37MD ポートP37動作モードビット | 0 : P37 1 : A22 | R | W |

注 . . P3動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P4動作モードレジスタ(P4MOD)

<アドレス : H'0080 0744>

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|-------|-------|-------|-------|
| | | | | P44MD | P45MD | P46MD | P47MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00>

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | P44MD ポートP44動作モードビット | 0 : P44 1 : CS0# | R | W |
| 5 | P45MD ポートP45動作モードビット | 0 : P45 1 : CS1# | R | W |
| 6 | P46MD ポートP46動作モードビット | 0 : P46 1 : A13 | R | W |
| 7 | P47MD ポートP47動作モードビット | 0 : P47 1 : A14 | R | W |

注 . . P4動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| P70MD | P71MD | P72MD | P73MD | P74MD | P75MD | P76MD | P77MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------|-------------------------|---|---|
| 8 | P70MD ポートP70動作モードビット | 0 : P70 1 : BCLK/WR# | R | W |
| 9 | P71MD ポートP71動作モードビット | 0 : P71 1 : WAIT# | R | W |
| 10 | P72MD ポートP72動作モードビット | 0 : P72 1 : HREQ# | R | W |
| 11 | P73MD ポートP73動作モードビット | 0 : P73 1 : HACK# | R | W |
| 12 | P74MD ポートP74動作モードビット | 0 : P74 1 : RTD TXD | R | W |
| 13 | P75MD ポートP75動作モードビット | 0 : P75 1 : RTD RXD | R | W |
| 14 | P76MD ポートP76動作モードビット | 0 : P76 1 : RTD ACK | R | W |
| 15 | P77MD ポートP77動作モードビット | 0 : P77 1 : RTD CLK | R | W |

P22動作モードレジスタ(P22MOD)

<アドレス : H'0080 0756 >

| | | | | | | | |
|--------|--------|--------|--------|--------|--------|--------|--------|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| P220MD | P221MD | P222MD | P223MD | P224MD | P225MD | P226MD | P227MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---|-------------------------------|------------------------------|---|---|
| 0 | P220MD ポートP220動作モードビット | 0 : P220 1 : CTX0 | R | W |
| 1 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 2 | P222MD ポートP222動作モードビット | 0 : P222 1 : CTX1 | R | W |
| 3 | P223MD ポートP223動作モードビット | 0 : P223 1 : CRX1 | R | W |
| 4 | P224MD ポートP224動作モードビット(注1) | 0 : P224 1 : A11/CS2#(注2) | R | W |
| 5 | P225MD ポートP225動作モードビット(注1) | 0 : P225 1 : A12/CS3#(注2) | R | W |
| 6 | P226MD ポートP226動作モードビット(注1) | 0 : P226 1 : CS2# | R | W |
| 7 | P227MD ポートP227動作モードビット(注1) | 0 : P227 1 : CS3# | R | W |

注 . ・ P221はCAN入力専用端子です。

注1 . ポートP224 ~ P227動作モードは、CPU動作モードが外部拡張モードのときのみ有効になります。

注2 . それぞれの機能はP22周辺出力選択レジスタで選択します。

15.2.2 ポート周辺出力選択レジスタ

ポートP224、P225を外部アクセスのための信号端子として使用する場合、A11端子とCS2#端子、A12端子とCS3#端子は共有となりますので、P22周辺出力選択レジスタによる端子機能の設定が必要です。

P22周辺出力選択レジスタ(P22SMOD)

<アドレス : H'0080 0776 >

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|---|---|---|------------------|------------------|---|----|
| 0 | 0 | 0 | 0 | P224 SMD 0 | P225 SMD 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|-----|--------------------------------|---------------------|---|---|
| 0~3 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 4 | P224SMD ポートP224周辺出力選択モードビット | 0 : A11 1 : CS2# | R | W |
| 5 | P225SMD ポートP225周辺出力選択モードビット | 0 : A12 1 : CS3# | R | W |
| 6~7 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |

15.2.3 バスモード制御レジスタ

バスモード制御レジスタ(BUSMODC)

<アドレス : H'0080 077F >

| | | | | | | | |
|----|---|----|----|----|----|----|-------------|
| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | BUSMOD 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|------|---------------------------|-------------------|---|---|
| 8~14 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 15 | BUSMOD | 0 : WR信号分離モード | R | W |
| | バスモードコントロールビット | 1 : バイトイネーブル分離モード | | |

プロセッサモードおよび外部拡張モードで、メモリ接続方法を容易にするため使用します。

バスモードコントロールビット(BUSMOD)を"0"にクリアした場合、WR#信号をバイト領域ごとに分離して出力します。RD#, BHW#, BLW#, BCLK#, WAIT#信号を使用できます。

バスモードコントロールビット(BUSMOD)を"1"にセットした場合、バイトイネーブル信号をバイト領域ごとに分離して出力します。RD#, BHE#, BLE#, WR#, WAIT#信号を使用できます。WAIT制御回路構成時は、BCLKが出力されないため、外部でタイミング制御が必要です。

注 . . バスモードコントロールビット(BUSMOD)を"1"(バイトイネーブル分離モード)で使用する場合は、"1"に設定する前に任意の外部バス領域へのリード、またはライトアクセスを実施してください。

ブートモードでメモリ接続時、バスモード制御レジスタは無効となり、バスモードコントロールビット(BUSMOD)を"0"にクリアした設定で動作します。

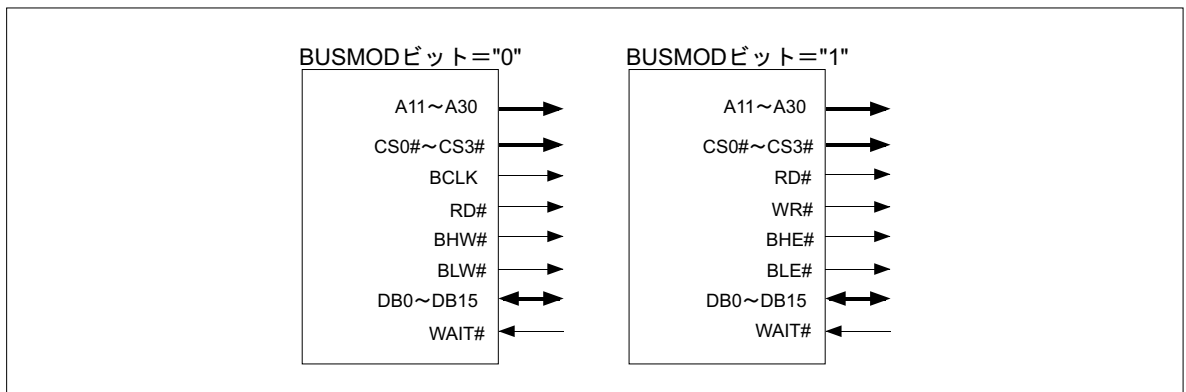


図15.2.1 外部バスモード切り換え時の端子機能

15.3 リード/ライト動作

(1) バスモード制御レジスタを "0" に設定した場合

外部リード/ライト動作は、アドレスバス、データバスとCS0# ~ CS3#, RD#, BHW#, BLW#, WAIT#, BCLKの各信号により行います。外部リードサイクルで、RD#信号は"L"、BHW#, BLW#は共に"H"になり、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、書き込みを行うバイト位置に対応したBHW#またはBLW#信号に"L"を出力し、データの書き込みを行います。

外部バスサイクル起動時、WAIT#信号を"L"にするとウエイトサイクルを挿入し続けます。WAIT#信号は必要なとき以外は、常に"H"状態を保ってください。

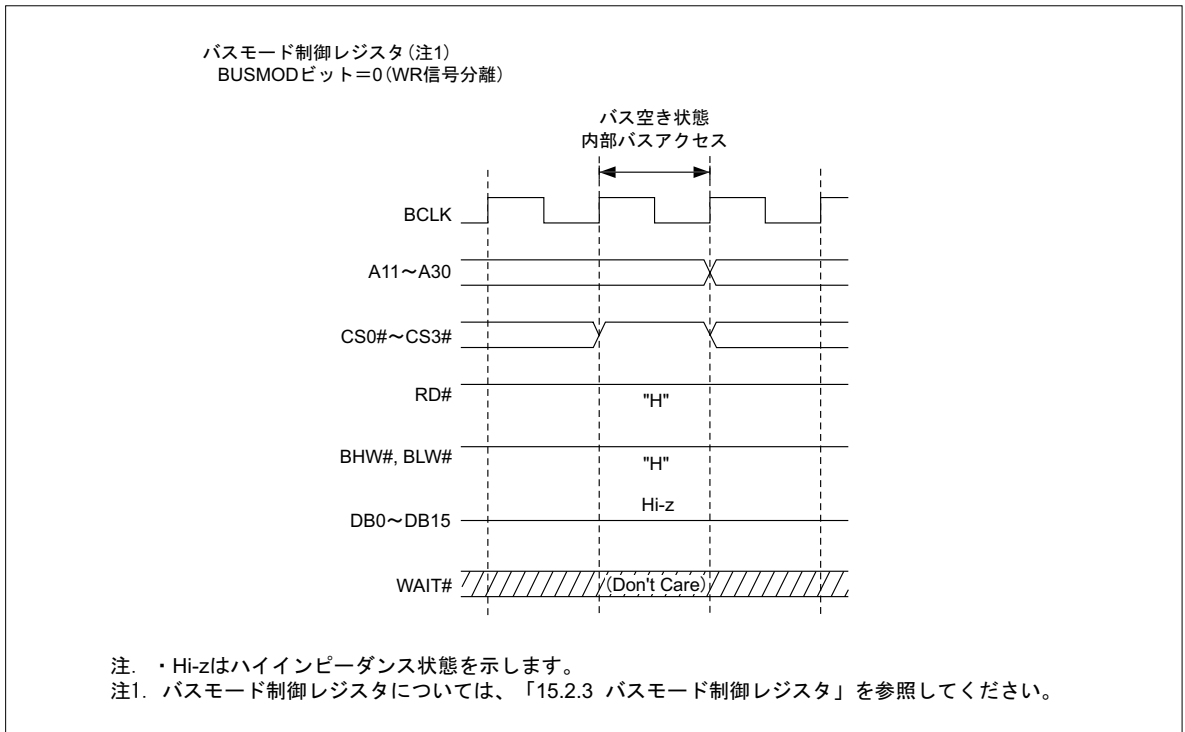
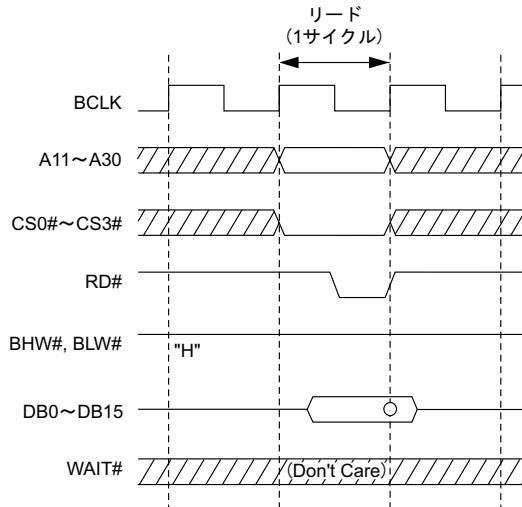


図15.3.1 バス空き状態/内部バスアクセス時

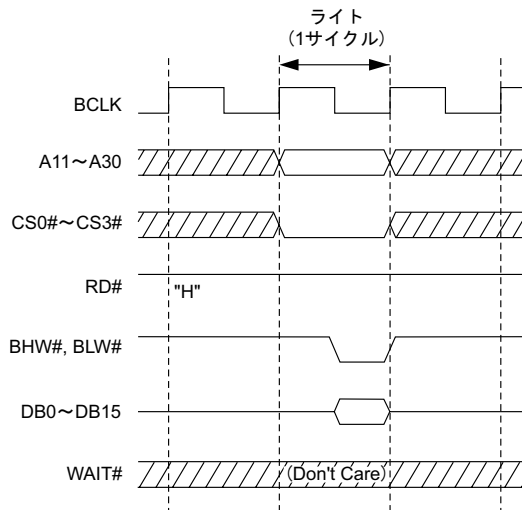
バスモード制御レジスタ (注1)
BUSMODビット=0 (WR信号分離)

CS領域ウエイト制御レジスタ (注2)
WTCSELビット=000 (0ウエイト)
SWAITビット =0 (ストローブウエイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

リード



ライト



注. ・0ウエイト選択時は、WAIT#によるウエイトは受け付けられません。

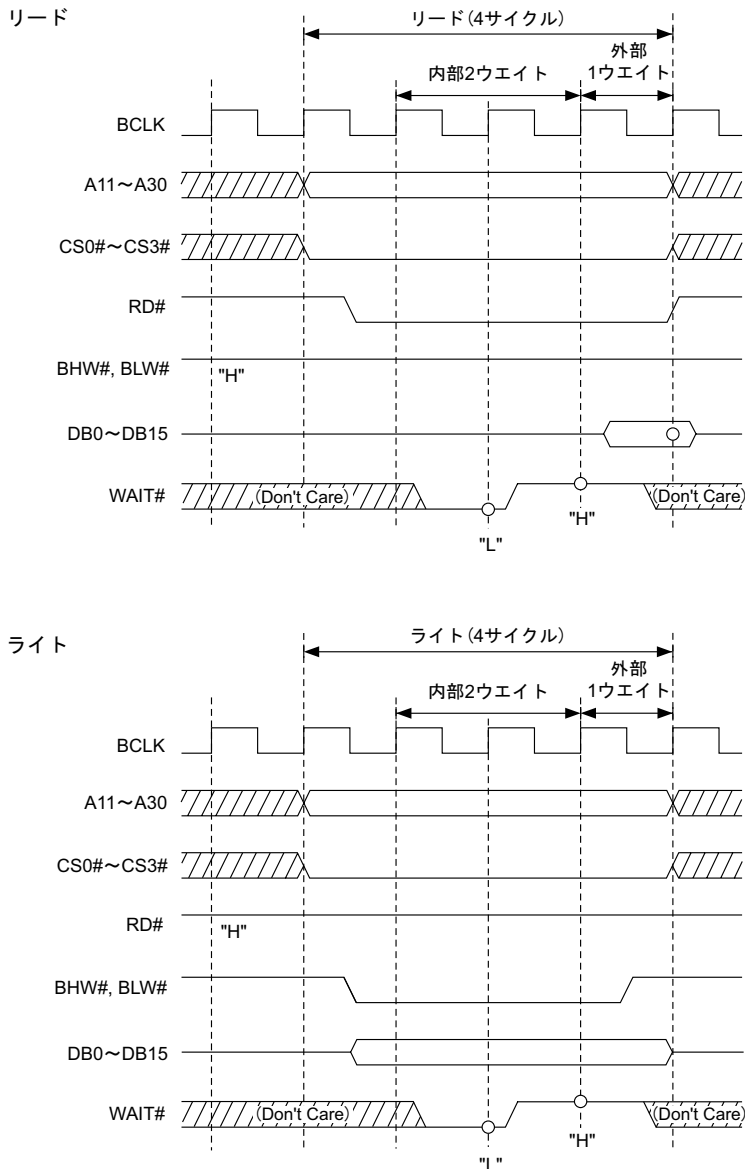
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウエイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図15.3.2 リード/ライトタイミング(0ウエイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウエイト制御レジスタ(注2)
WTCSELビット=010(2ウエイト)
SWAITビット =0 (ストローブウエイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注・ 図中○印はサンプリングタイミングを示します。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウエイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図15.3.3 リード/ライトタイミング(内部2ウエイト+外部1ウエイトアクセス時)

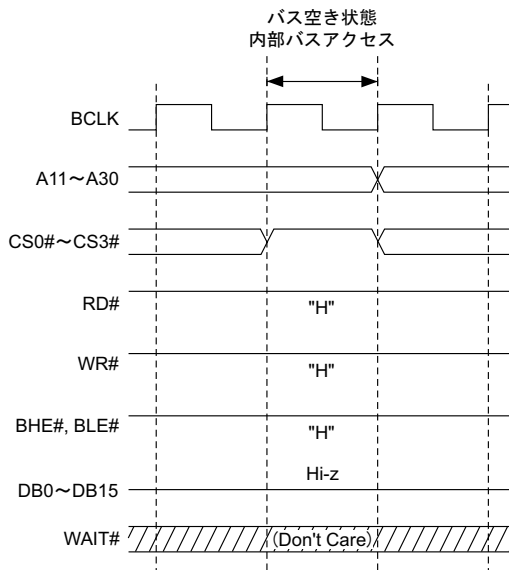
(2) バスモード制御レジスタが1の場合

外部リード/ライト動作は、アドレスバス、データバスとCS0# ~ CS3#, RD#, BHE#, BLE#, WAIT#, WR#の各信号により行います。外部リードサイクルでは、RD#信号は"L"、読み込みを行うバイト位置に対応したBHE#, またはBLE#に"L"を出力し、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、WR#信号は"L"、書き込みを行うバイト位置に対応したBHE#, またはBLE#に"L"を出力し、必要なバイト位置のデータの書き込みを行います。

外部バスサイクル起動時、WAIT#信号を"L"にするとウエイトサイクルを挿入し続けます。WAIT#信号は必要なとき以外は、常に"H"状態を保ってください。WAIT機能を使用しない場合、P7動作モードレジスタのP71MODを"0"にしてください。P71として使用できます。

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)



注. ・Hi-zはハイインピーダンス状態を示します。

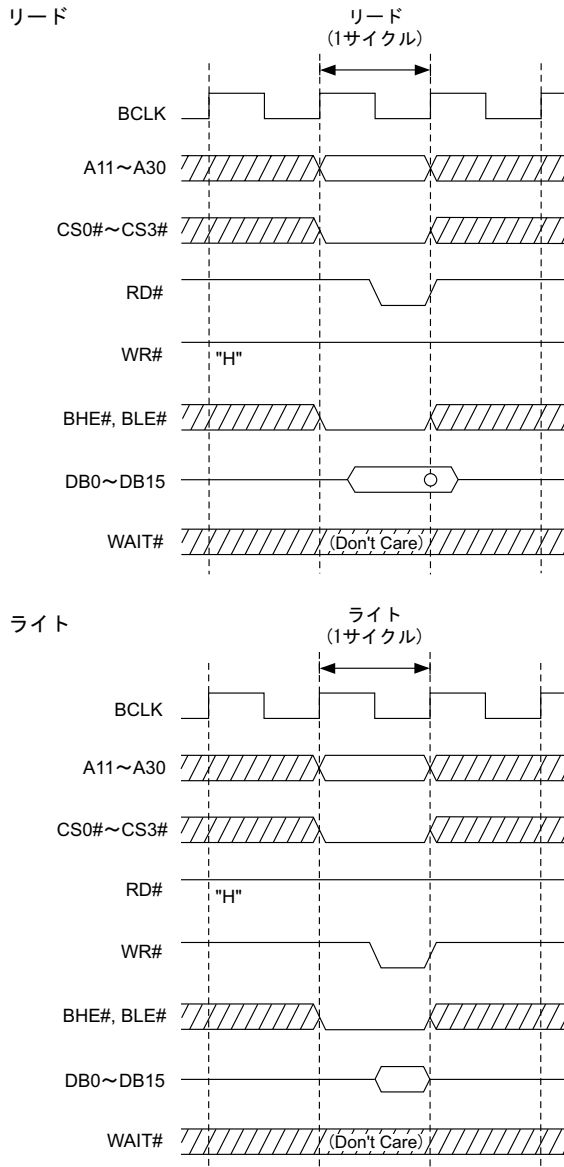
・BCLKは出力されません。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

図15.3.4 バス空き状態/内部バスアクセス時

バスモード制御レジスタ(注1)
 BUSMODビット=1(バイトイネーブル分離)

CS領域ウエイト制御レジスタ(注2)
 WTCSELビット=000(0ウエイト)
 SWAITビット =0 (ストローブウエイトなし)
 RECOVビット =0 (リカバリサイクルなし)
 IDLEビット =0 (アイドルサイクルなし)



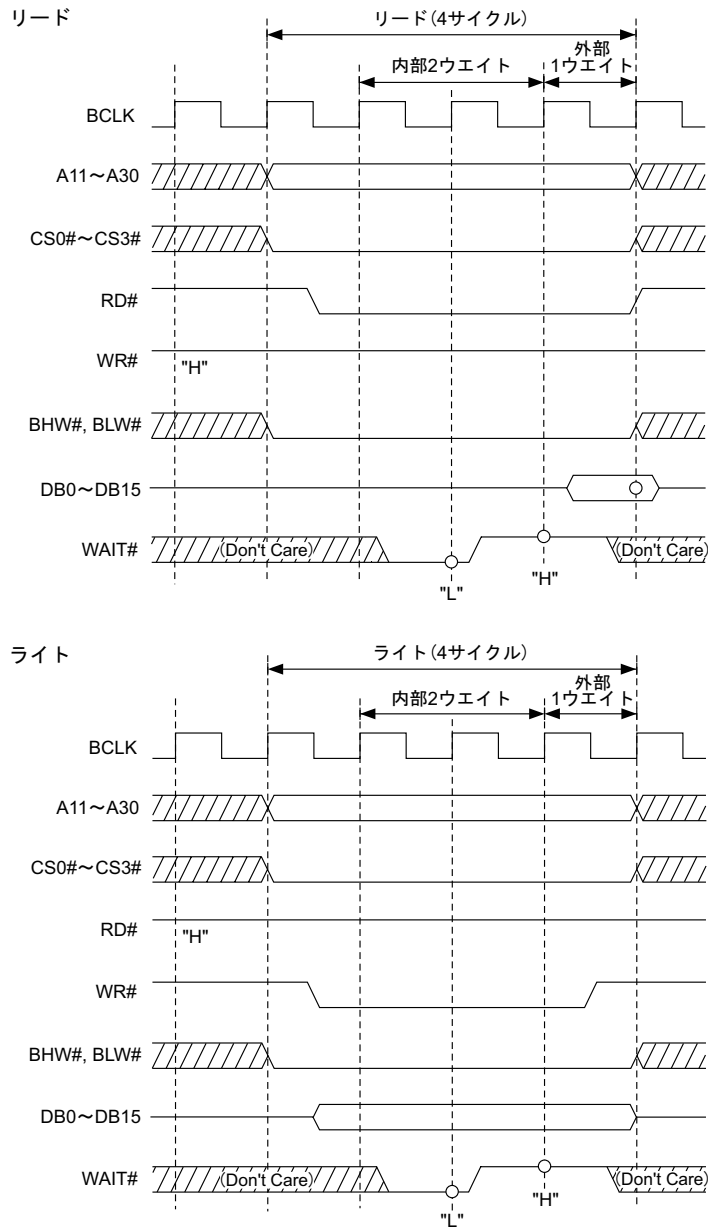
注. ・0ウエイト選択時は、WAIT#によるウエイトは受けられません。
 ・BCLKは出力されません。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウエイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図15.3.5 リード/ライトタイミング(0ウエイトアクセス時)

バスモード制御レジスタ(注1)
 BUSMODビット=1(バイトイネーブル分離)
 CS領域ウエイト制御レジスタ(注2)
 WTCSELビット=010(2ウエイト)
 SWAITビット =0 (ストローブウエイトなし)
 RECOVビット =0 (リカバリサイクルなし)
 IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。

・ BCLKは出力されません。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウエイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図15.3.6 リード/ライトタイミング(内部2ウエイト+外部1ウエイトアクセス時)

15.4 バスアービトレーション

(1) バスモード制御レジスタが0の場合

HREQ#端子に"L"信号を入力し、それが受け付けられると32180はホールド状態へ遷移し、HACK#端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ#信号を"H"にしてください。

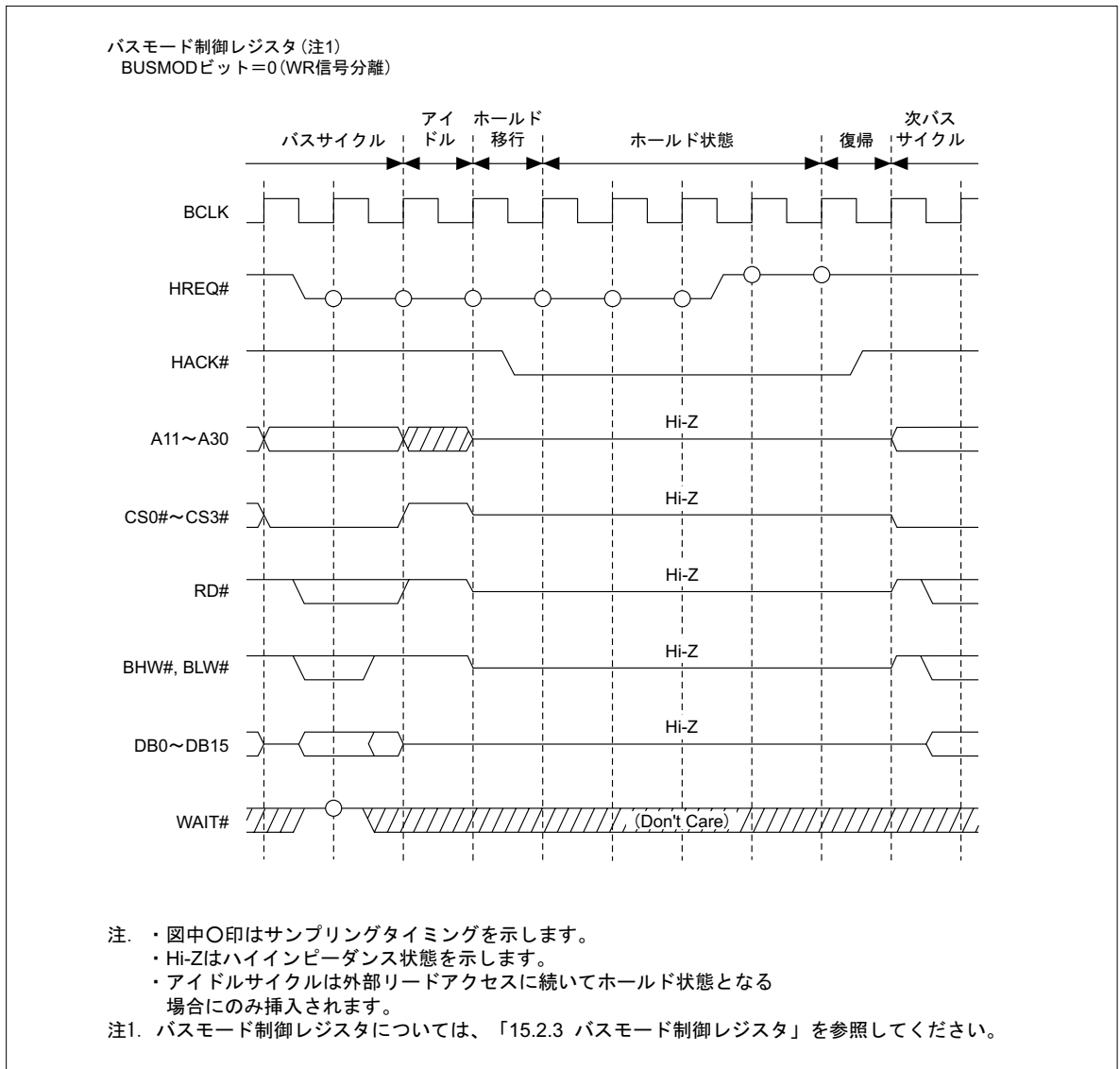


図15.4.1 バスアービトレーションタイミング

(2) バスモード制御レジスタが1の場合

HREQ#端子に"L"信号を入力し、それが受け付けられると32180はホールド状態へ遷移し、HACK#端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ#信号を"H"にしてください。

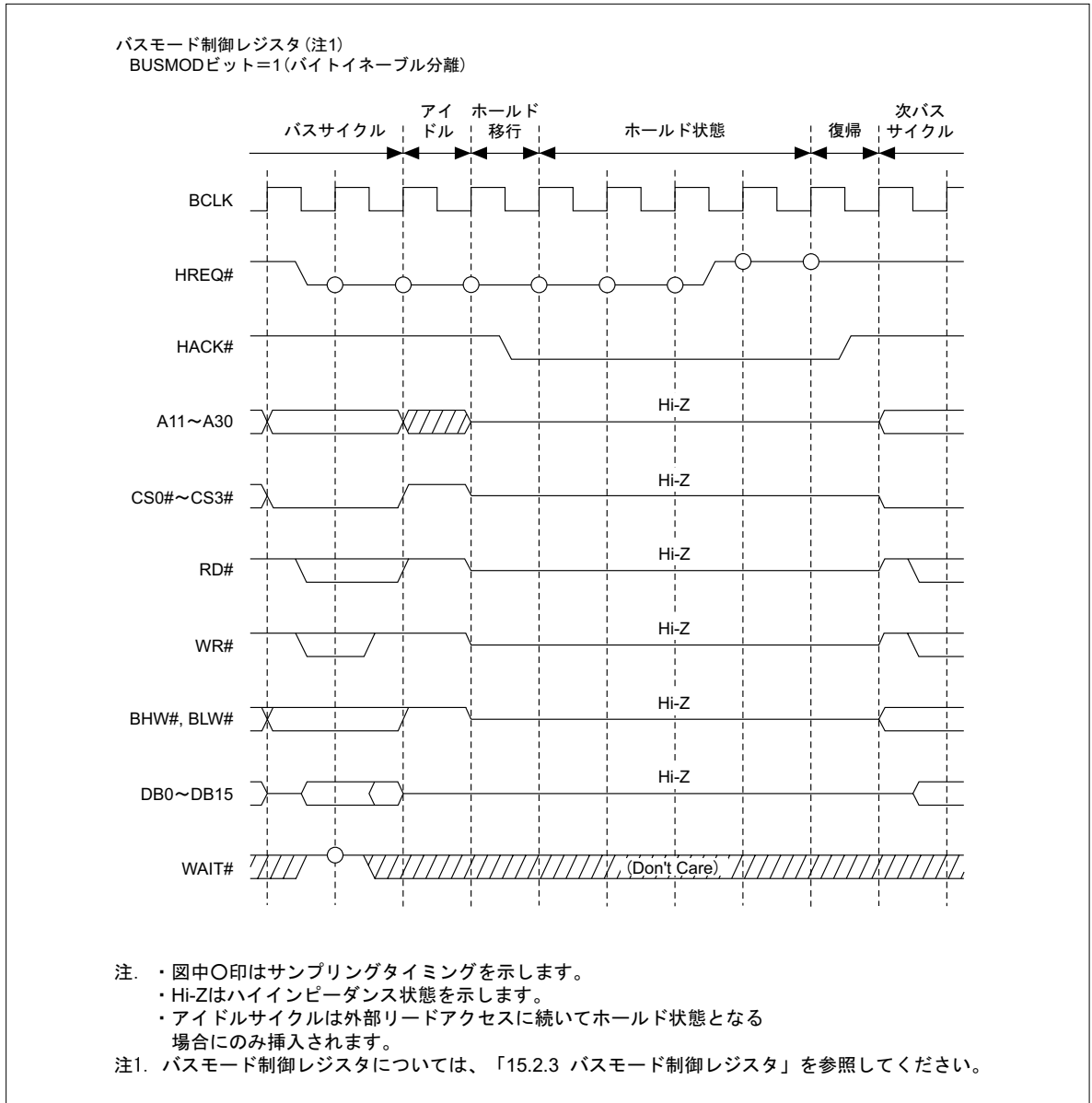


図15.4.2 バスアービトレーションタイミング

15.5 外部拡張メモリ接続例

(1) バスモード制御レジスタが0の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.5.1に示します。

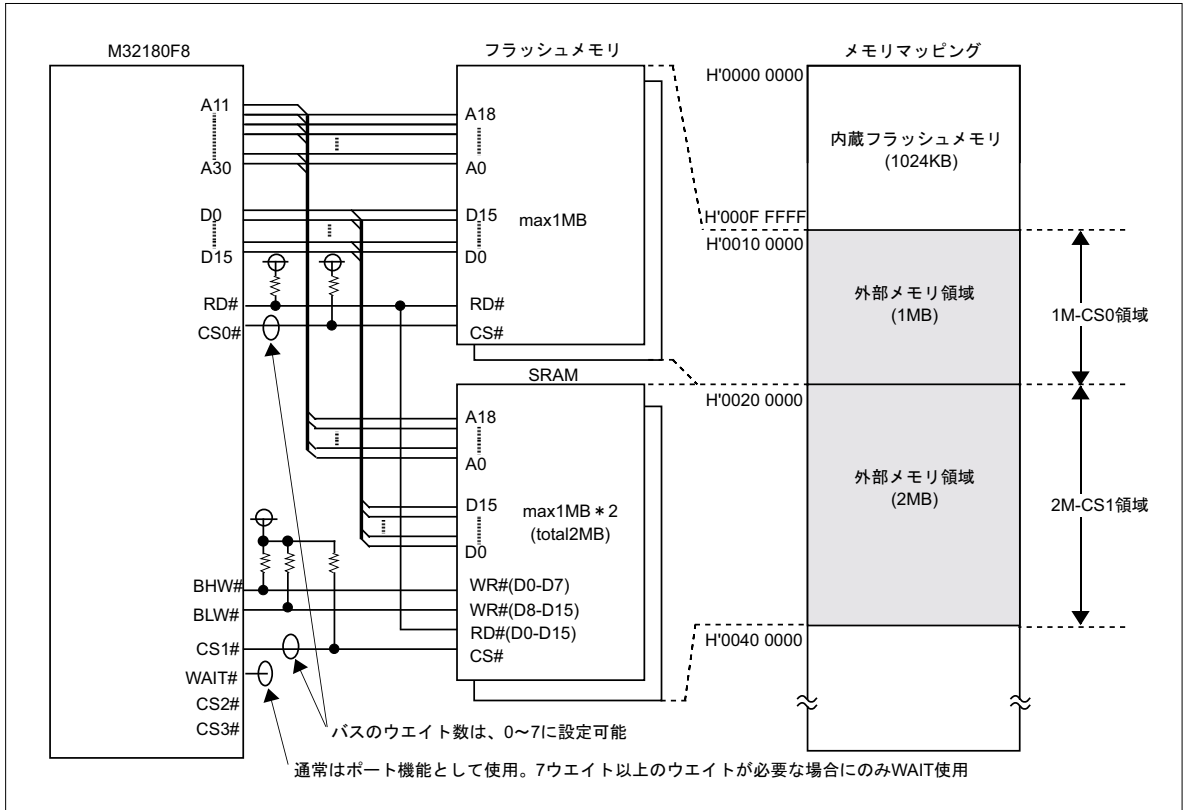


図15.5.1 外部拡張メモリ接続例(BUSMODビット = "0"の場合)

注 . . アドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(2) バスモード制御レジスタが1の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.5.2に示します。

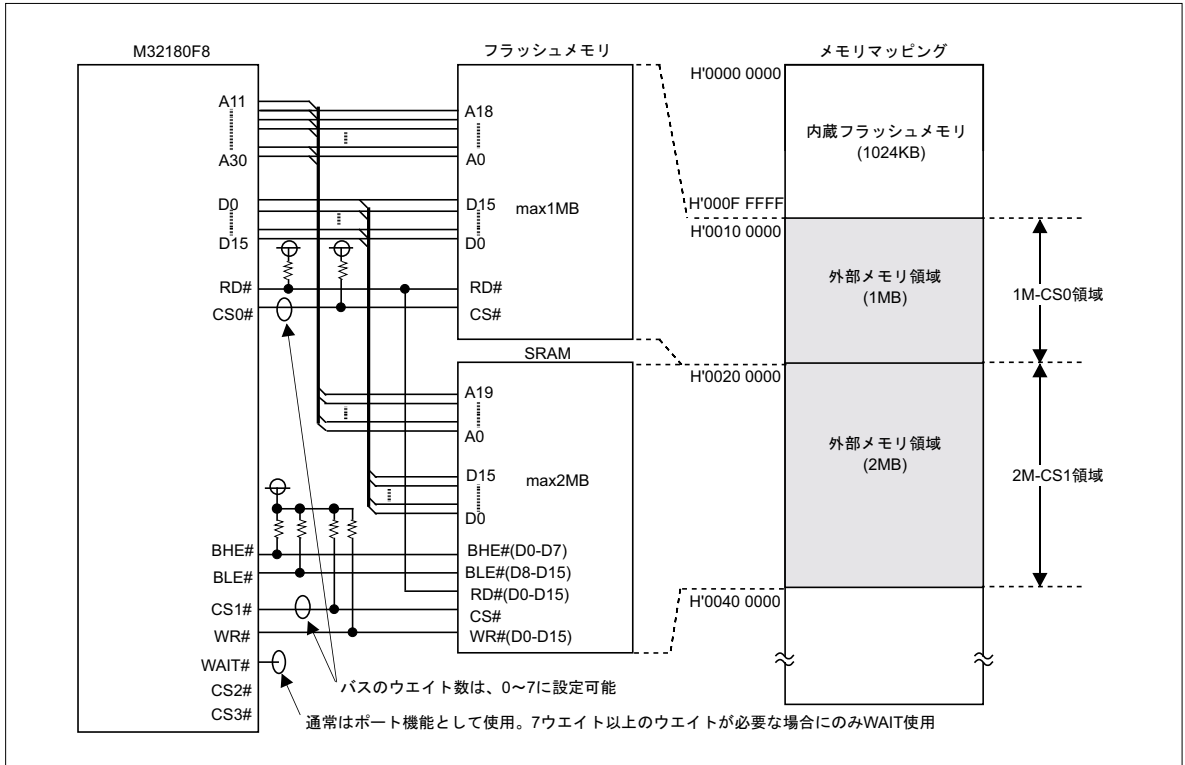


図15.5.2 外部拡張メモリ接続例(BUSMODビット = "1"の場合)

注 . . アドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(3) バスモード制御レジスタが1で8/16ビットデータバスメモリを混在使用する場合

CS0領域に8ビットデータバスメモリを配置し、CS1領域に16ビットデータバスメモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.5.3に示します。

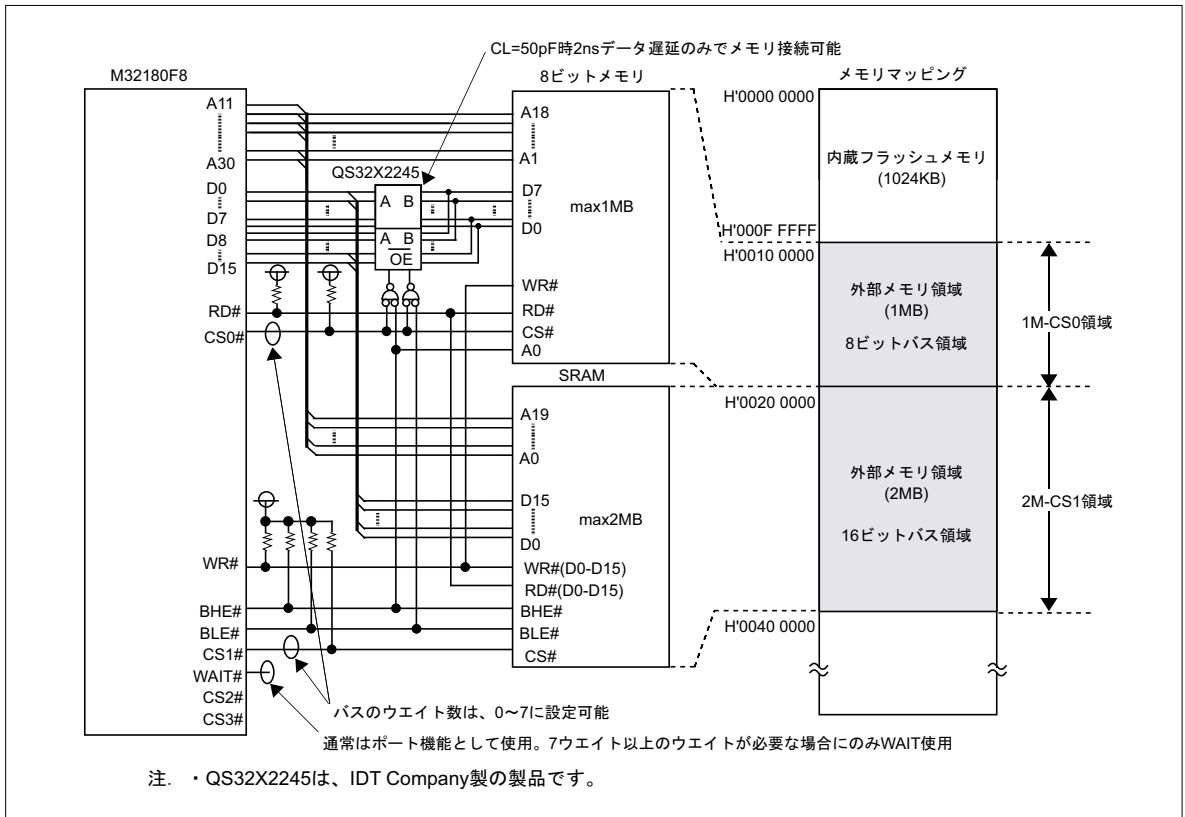


図15.5.3 外部拡張メモリ接続例(BUSMOD = "1"で8/16ビット混在メモリ使用時)

注. ・ アドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

15.6 VCC-BUSによるバス電圧設定例

(1) ポート、メモリとも5V接続時

ポートおよびメモリを、5Vインタフェースで外部回路と接続できます。

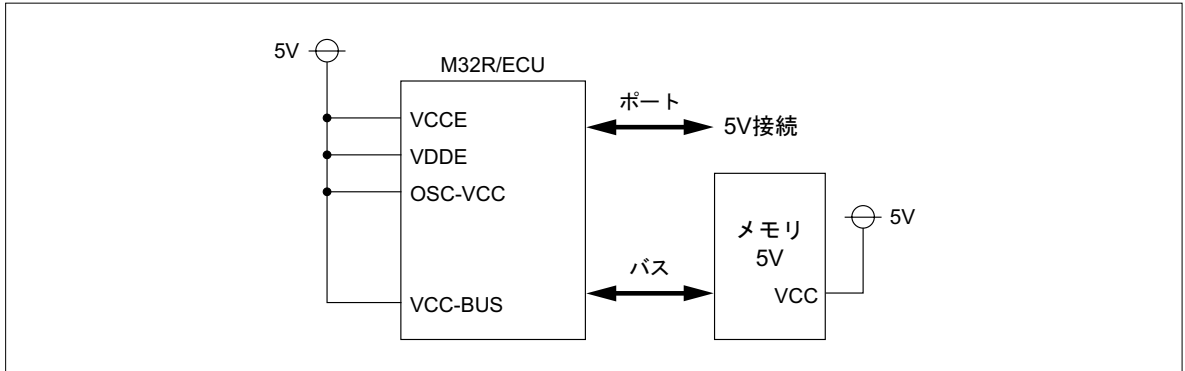


図15.6.1 ポート、メモリとも5V接続時

(2) ポート3.3V、メモリ5V接続時

ポートは3.3Vインタフェースのまま、メモリを5Vインタフェースで外部回路と接続できます。

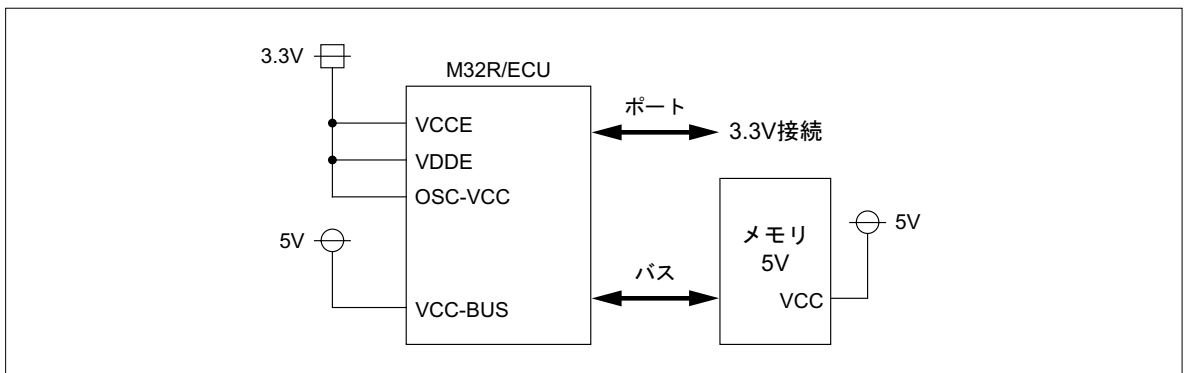


図15.6.2 ポート3.3V、メモリ5V接続時

(3) ポート5V、メモリ3.3V接続時

ポートは5Vインタフェースのまま、メモリを3.3Vインタフェースで外部回路と接続できます。

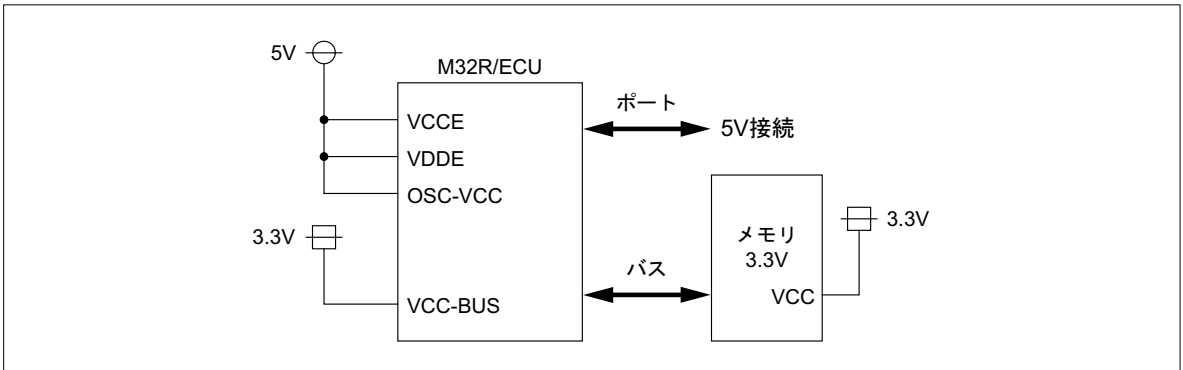


図15.6.3 ポート5V、メモリ3.3V接続時

(4) ポート、メモリとも3.3V接続時

ポートおよびメモリを、3.3Vインタフェースで外部回路と接続できます。

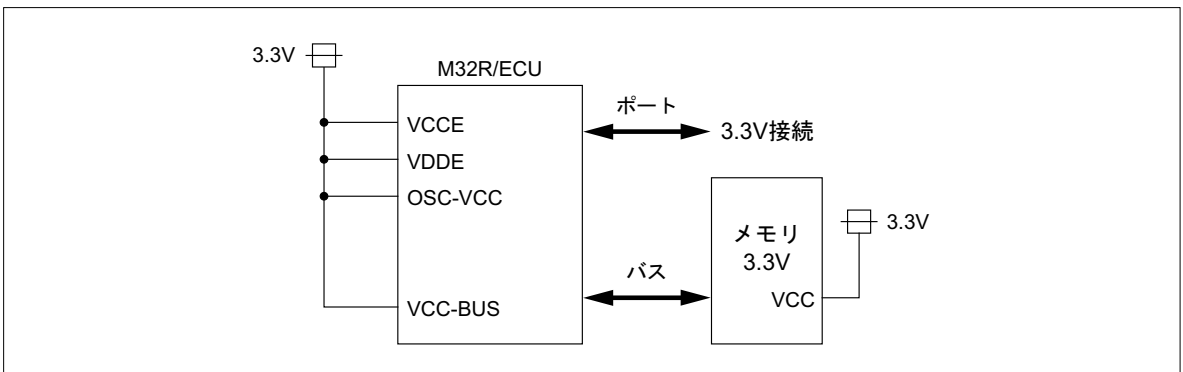


図15.6.4 ポート、メモリとも3.3V接続時

第16章

ウェイトコントローラ

- 16.1 ウェイトコントローラ概要
- 16.2 ウェイトコントローラ関連レジスタ
- 16.3 ウェイトコントローラ動作例

表16.1.2 ウエイトコントローラで設定可能なウエイト数

| 外部拡張領域 | アドレス | 挿入ウエイト数 |
|--------|---|---|
| CS0領域 | H'0010 0000 ~ H'001F FFFF (外部拡張モード) H'0000 0000 ~ H'001F FFFF (プロセッサモード) | ソフトウェア設定により0~7ウエイト挿入 + WAIT#端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます) |
| CS1領域 | H'0020 0000 ~ H'003F FFFF (外部拡張モード およびプロセッサモード) | ソフトウェア設定により0~7ウエイト挿入 + WAIT#端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます) |
| CS2領域 | H'0040 0000 ~ H'005F FFFF (外部拡張モード およびプロセッサモード) | ソフトウェア設定により0~7ウエイト挿入 + WAIT#端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます) |
| CS3領域 | H'0060 0000 ~ H'007F FFFF (外部拡張モード およびプロセッサモード) | ソフトウェア設定により0~7ウエイト挿入 + WAIT#端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます) |

16.2 ウエイトコントローラ関連レジスタ

以下にウエイトコントローラ関連のレジスタマップを示します。

ウエイトコントローラ関連レジスタマップ

| 番地 | +0番地 | +1番地 | 掲載ページ |
|-------------|---------------------------|---------------------------|-------|
| | b0 | b7 b8 | b15 |
| H'0080 0180 | CS0領域ウエイト制御レジスタ (CS0WTCR) | CS1領域ウエイト制御レジスタ (CS1WTCR) | 16-4 |
| H'0080 0182 | CS2領域ウエイト制御レジスタ (CS2WTCR) | CS3領域ウエイト制御レジスタ (CS3WTCR) | 16-4 |

16.2.1 CS領域ウエイト制御レジスタ

| | |
|---------------------------|-----------------------|
| CS0領域ウエイト制御レジスタ (CS0WTCR) | <アドレス : H'0080 0180 > |
| CS1領域ウエイト制御レジスタ (CS1WTCR) | <アドレス : H'0080 0181 > |
| CS2領域ウエイト制御レジスタ (CS2WTCR) | <アドレス : H'0080 0182 > |
| CS3領域ウエイト制御レジスタ (CS3WTCR) | <アドレス : H'0080 0183 > |

| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
|----|--------|---|---|------|-------|-------|------|
| | WTCSEL | | | (注3) | SWAIT | RECOV | IDLE |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

<リセット解除時 : H'7F >

| b | ビット名 | 機能 | R | W |
|-----|-----------------------------|--|---|---|
| 0 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 1~3 | WTCSEL CSnブロックウエイト数選択ビット | 000 : 0ウエイト(注1) 001 : 1ウエイト(注2) 010 : 2ウエイト 011 : 3ウエイト 100 : 4ウエイト 101 : 5ウエイト 110 : 6ウエイト 111 : 7ウエイト | R | W |
| 4 | 外部バス使用時は、"0"に設定してください。(注3) | | R | W |
| 5 | SWAIT ストローブ信号ウエイトビット | 0 : ストローブウエイトなし 1 : ストローブウエイトあり | R | W |
| 6 | RECOV リカバリサイクル追加ビット | 0 : リカバリサイクルなし 1 : リカバリサイクルあり | R | W |
| 7 | IDLE リード後のアイドルサイクル追加ビット | 0 : リード後のアイドルサイクルなし 1 : リード後のアイドルサイクルあり | R | W |

注1. 0ウエイト選択時は外部/WAIT入力によるウエイトは受け付けられません。また、この状態でのSWAIT, RECOV, IDLEビットは全て"0"としてください。それ以外の設定をした場合の動作は保証されません。

注2. 1ウエイト選択時において、SWAITビット=1の設定は行わないでください。その設定をした場合の動作は保証されません。

注3. 外部バス使用時は、"0"を設定してください。

なお、リードサイクル後にライトサイクルが実行される場合は、RECOVビット=1, IDLEビット=0以外の条件で、アイドルサイクルが1サイクル分追加されます。表16.2.1にRECOV, IDLEビットの設定と、バスサイクルの後に挿入されるアイドルサイクル数の関係を示します。

表16.2.1 RECOV, IDLEビットの設定と、バスサイクル後に挿入されるアイドルサイクル数

| RECOV | IDLE | リード(後にライトが続く場合) | リード(後にリードが続く場合) | ライト |
|-------|------|-----------------|-----------------|-----|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

注．．リカバリサイクルは上記各条件において、RECOVビット=0のときは0サイクル、RECOVビット=1のときは1サイクルのリカバリサイクルが挿入されます。

16.3 ウェイトコントローラ動作例

以下にウェイトコントローラの動作例を示します。

ウェイトコントローラでは0~7サイクルのバスアクセスが制御可能で、それ以上のアクセスサイクルが必要な場合にはWAIT機能との組み合わせ使用が必要です。

(1) バスモード制御レジスタが0の場合

外部リード/ライト動作は、アドレスバス、データバスとCS0#, CS1#, CS2#, CS3#, RD#, BHW#, BLW#, WAIT#, BCLKの各信号により行います。

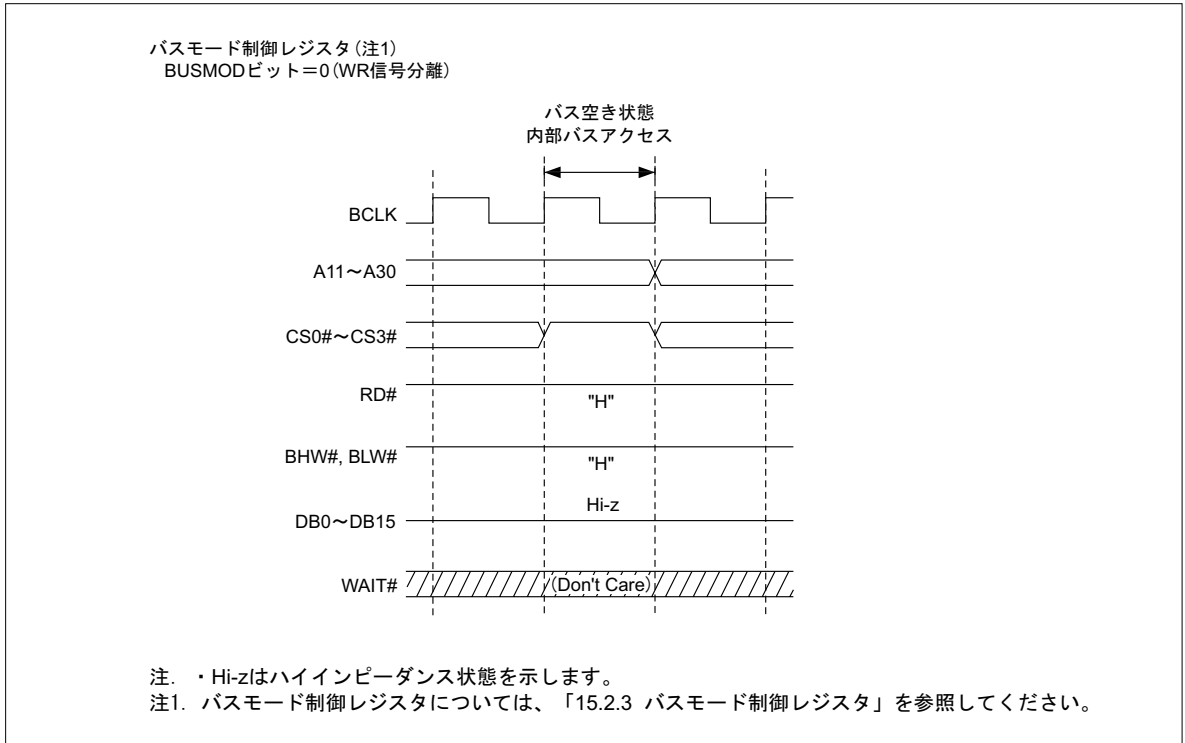
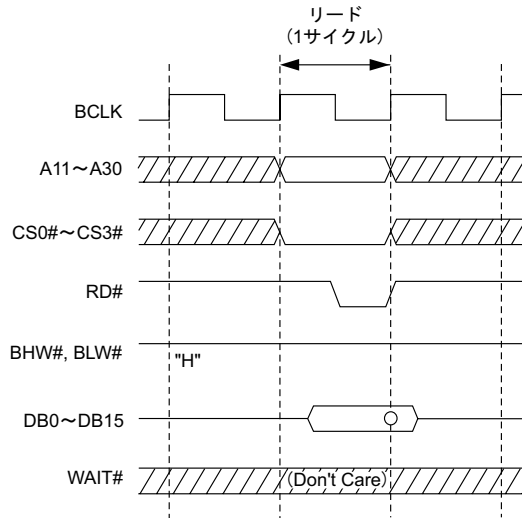


図16.3.1 バス空き状態/内部バスアクセス時

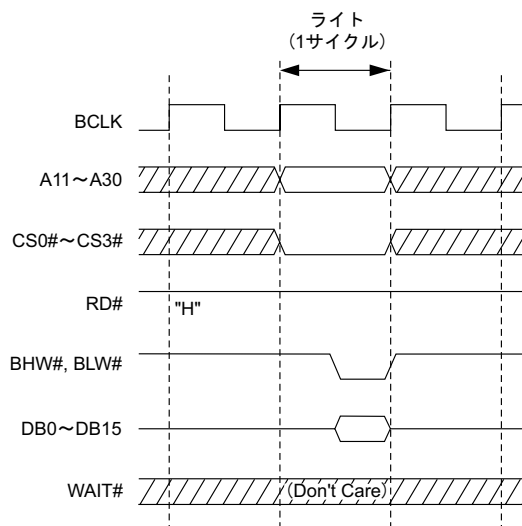
バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=000(0ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

リード



ライト



注. 0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

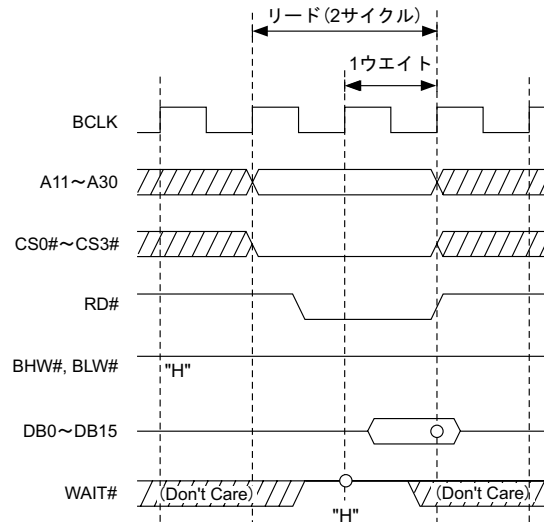
注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.2 リード/ライトタイミング(0ウェイトアクセス時)

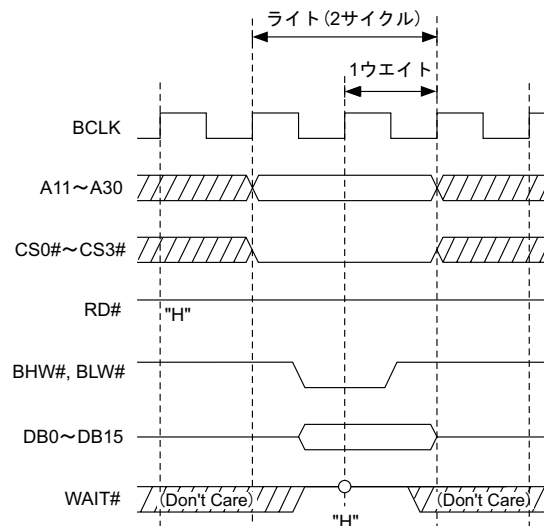
バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

リード



ライト



注. ・ 図中○印はサンプリングタイミングを示します。

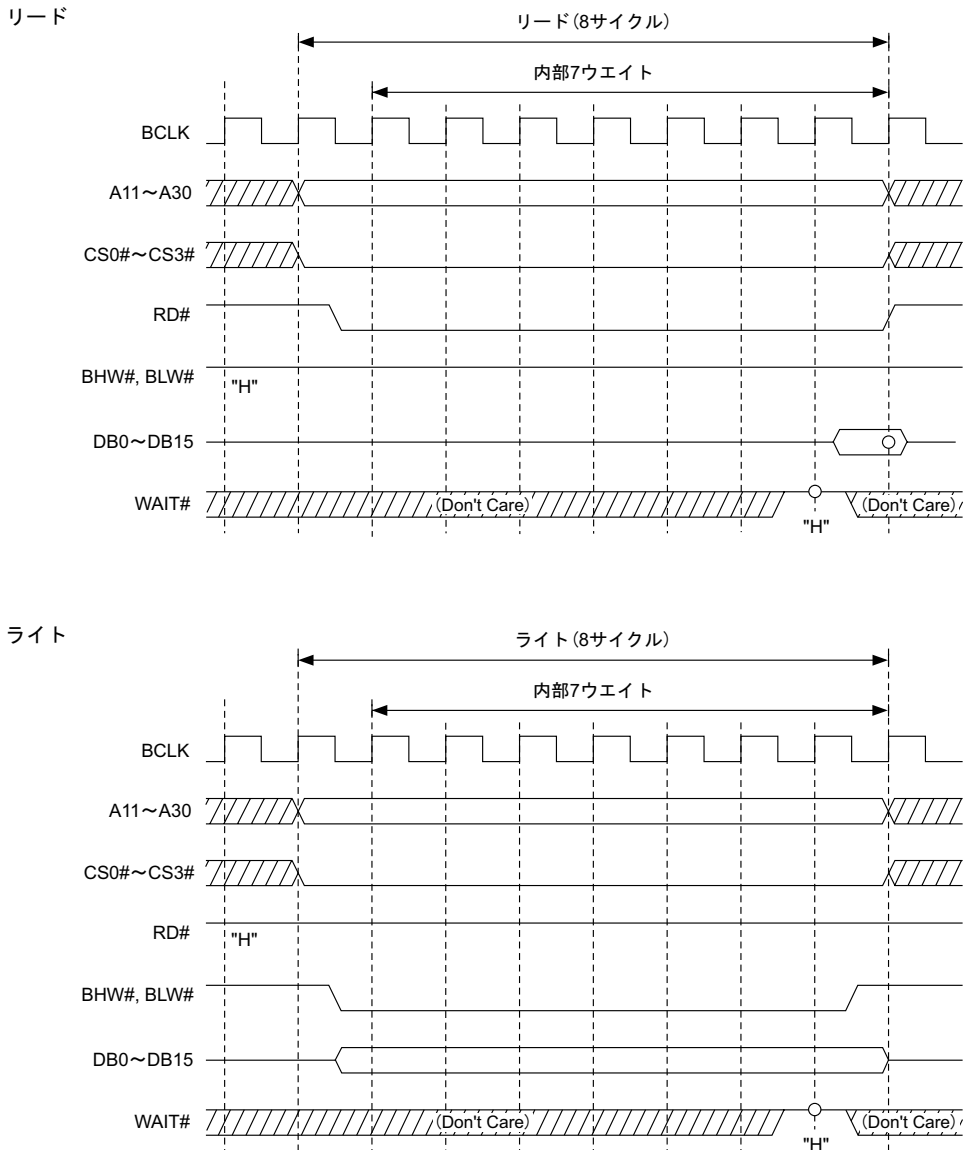
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.3 リード/ライトタイミング(内部1ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=111(7ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。

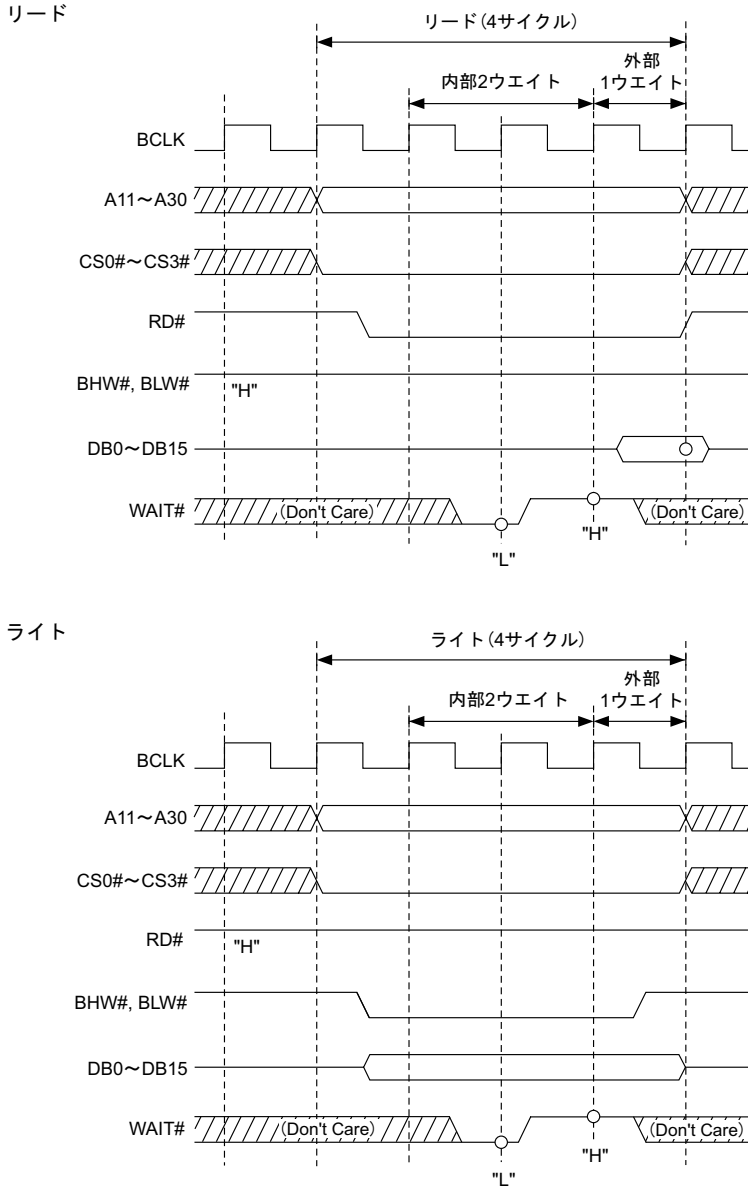
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.4 リード/ライトタイミング(内部7ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=010(2ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注・ 図中○印はサンプリングタイミングを示します。

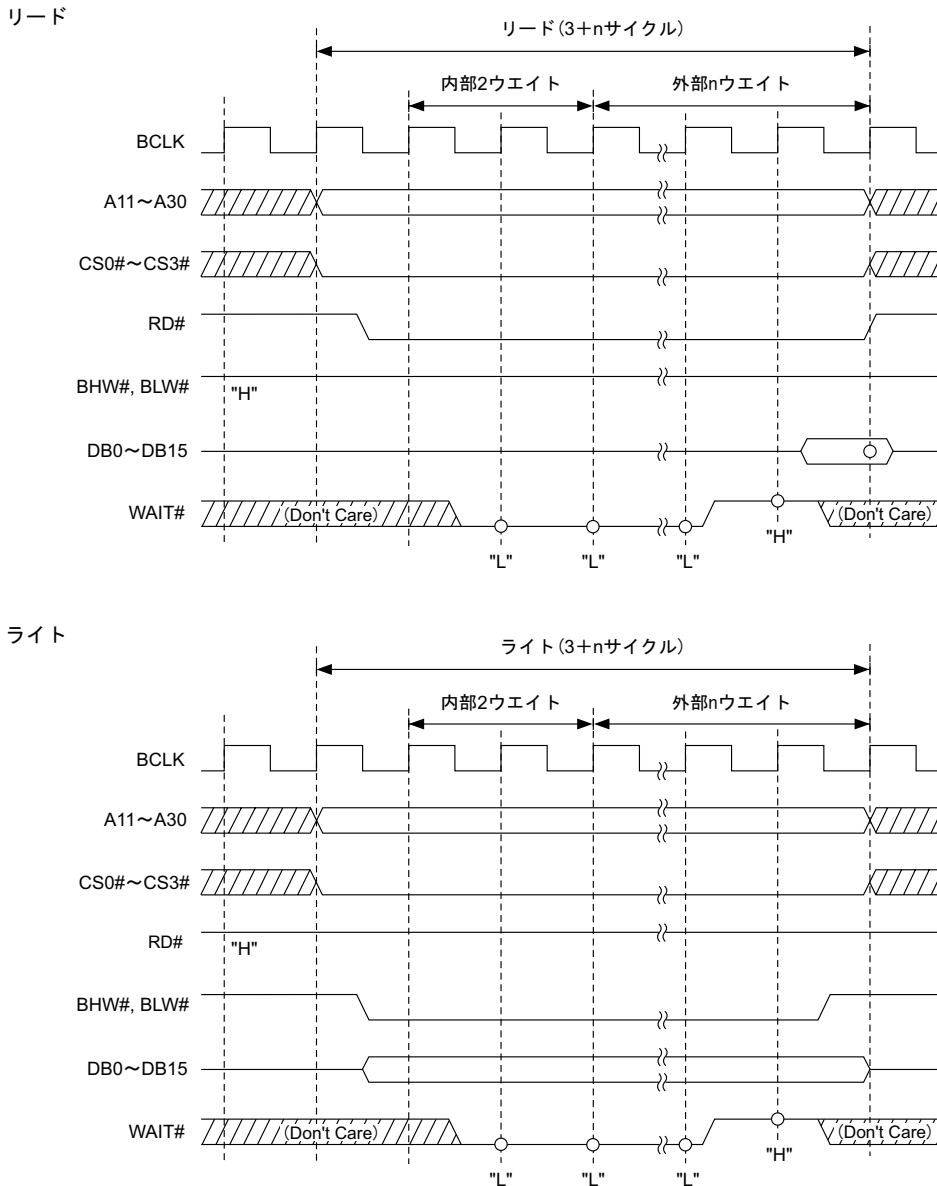
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.5 リード/ライトタイミング(内部2ウェイト+外部1ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=010(2ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注・図中○印はサンプリングタイミングを示します。

注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

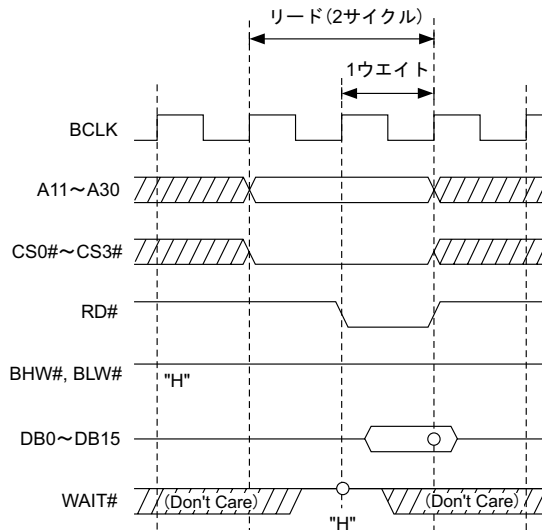
注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.6 リード/ライトタイミング(内部2ウェイト+外部nウェイトアクセス時)

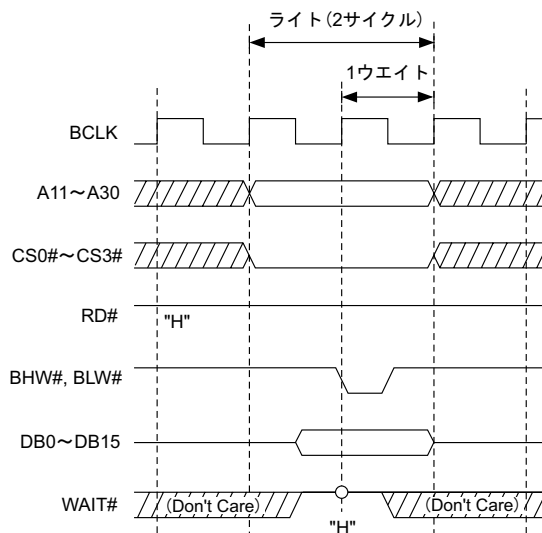
バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウェイト)
SWAITビット =1 (ストローブウェイトあり)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

リード



ライト



注・ 図中○印はサンプリングタイミングを示します。

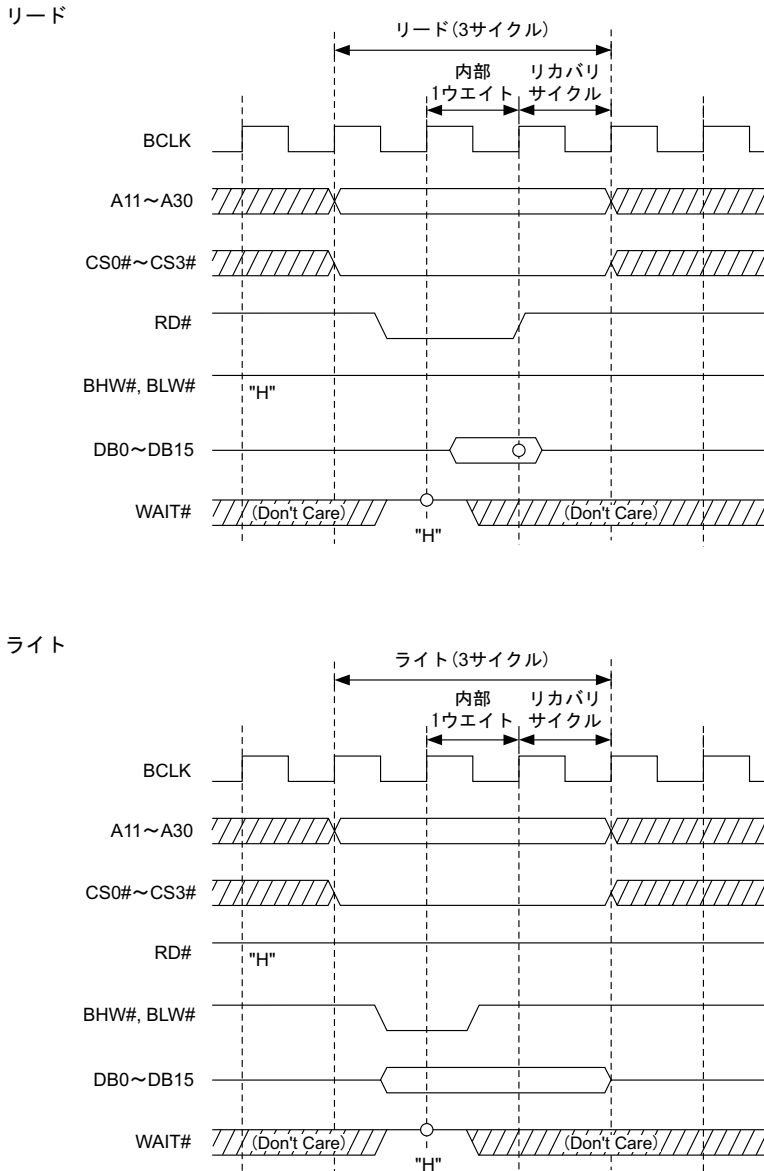
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.7 リード/ライトタイミング(内部1ウェイト+ストローブウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット=0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WTCSELビット=001 (1ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =1 (リカバリサイクルあり)
IDLEビット =0 (アイドルサイクルなし)

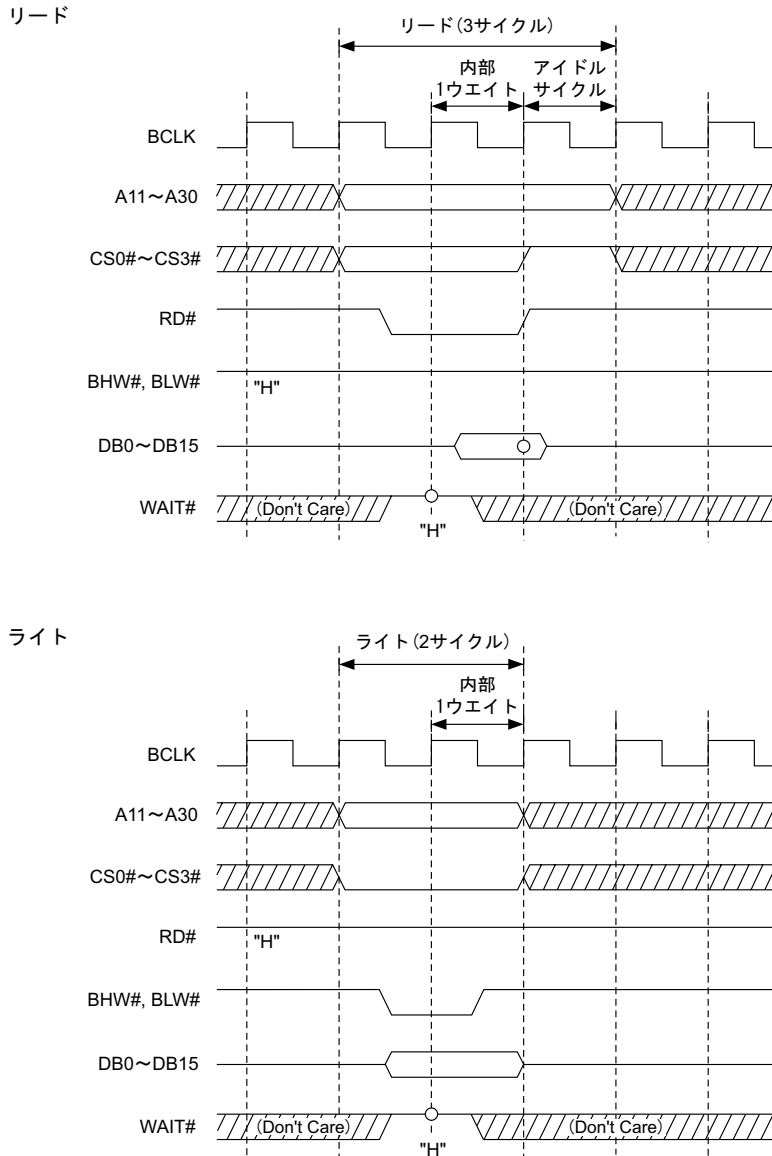


注. ・ 図中○印はサンプリングタイミングを示します。
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.8 リード/ライトタイミング(内部1ウェイト+リカバリサイクル追加)

バスモード制御レジスタ (注1)
BUSMODビット=0 (WR信号分離)

CS領域ウエイト制御レジスタ (注2)
WTCSELビット=001 (1ウエイト)
SWAITビット =0 (ストローブウエイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =1 (アイドルサイクルあり)

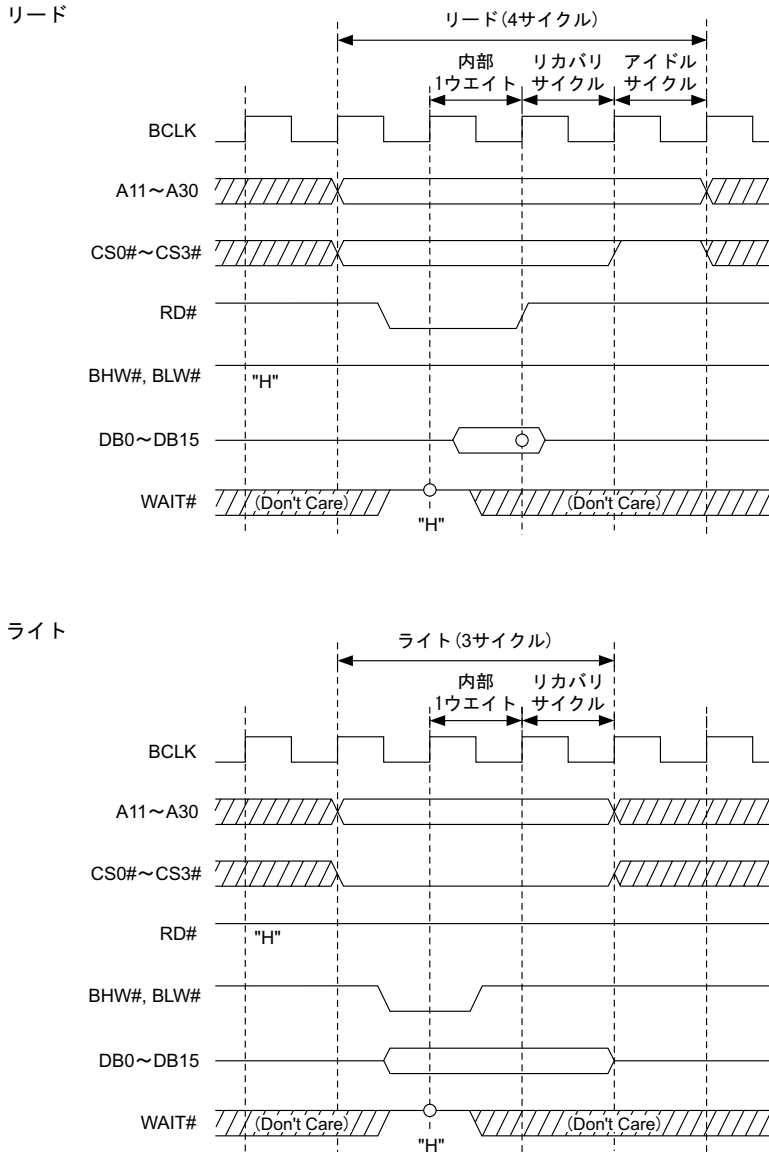


- 注. ・ 図中○印はサンプリングタイミングを示します。
・ ライトサイクルの後にアイドルサイクルは追加されません。
- 注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。
- 注2. CS領域ウエイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.9 リード/ライトタイミング(内部1ウエイト+アイドルサイクル追加)

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウエイト)
SWAITビット =0 (ストローブウエイトなし)
RECOVビット =1 (リカバリサイクルあり)
IDLEビット =1 (アイドルサイクルあり)



- 注. 図中○印はサンプリングタイミングを示します。
・ライトサイクルの後にアイドルサイクルは追加されません。
- 注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。
- 注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.10 リード/ライトタイミング(内部2ウエイト+リカバリ+アイドルサイクル追加)

(2) バスモード制御レジスタが1の場合

外部リード/ライト動作は、アドレスバス、データバスとCS0#, CS1#, CS2#, CS3#, RD#, BHE#, BLE#, WAIT#, WR#の各信号により行います。

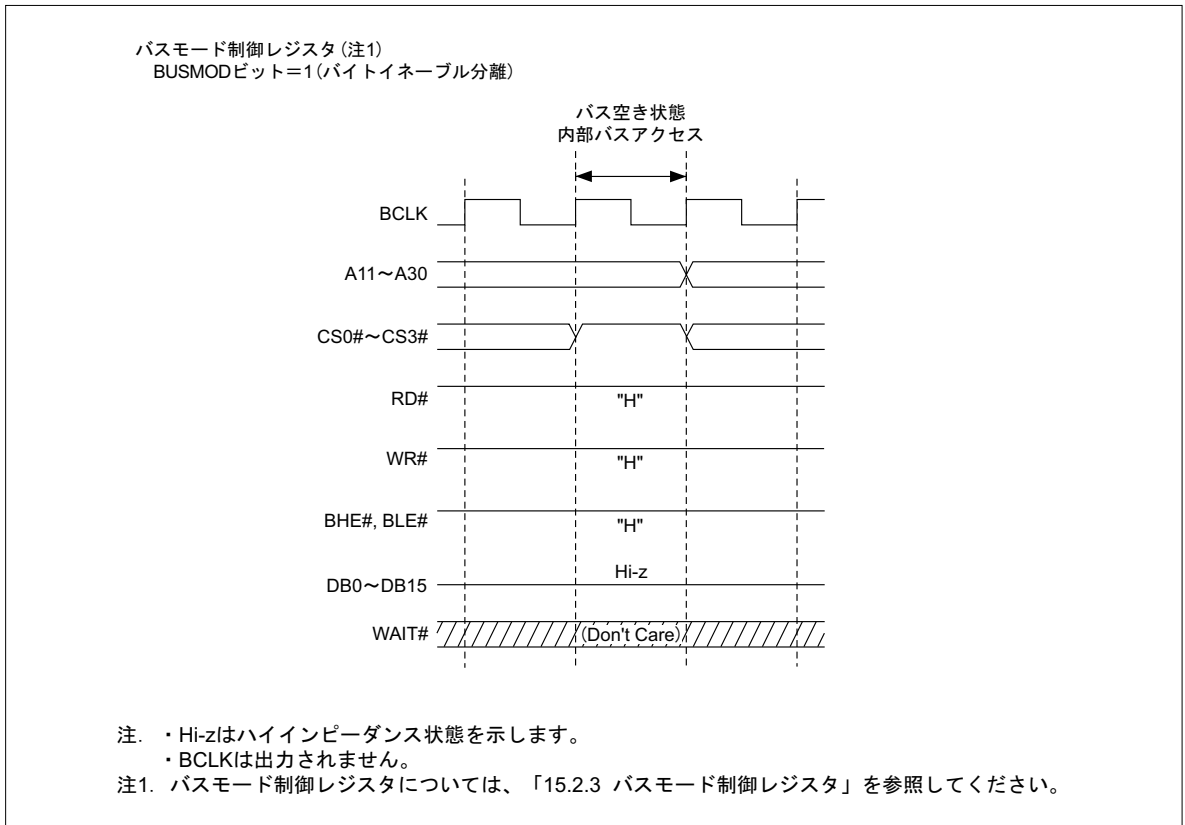
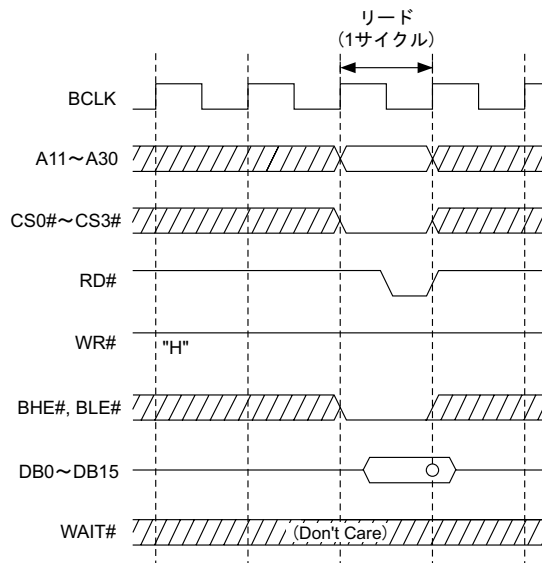


図16.3.11 バス空き状態/内部バスアクセス時

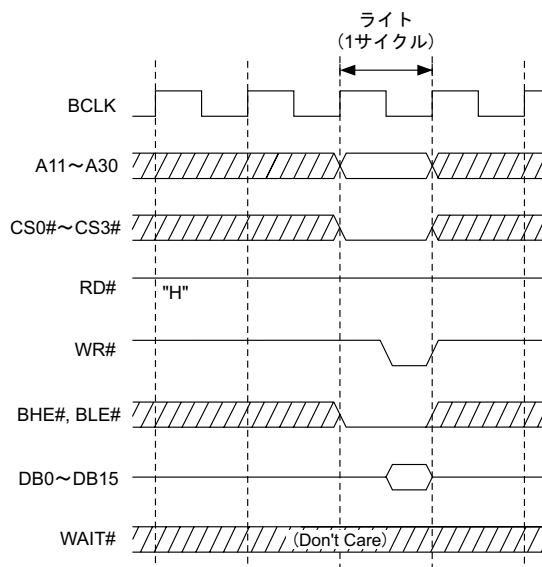
バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=000(0ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

リード



ライト



注. ・ 図中○印はサンプリングタイミングを示します。

・ 0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。

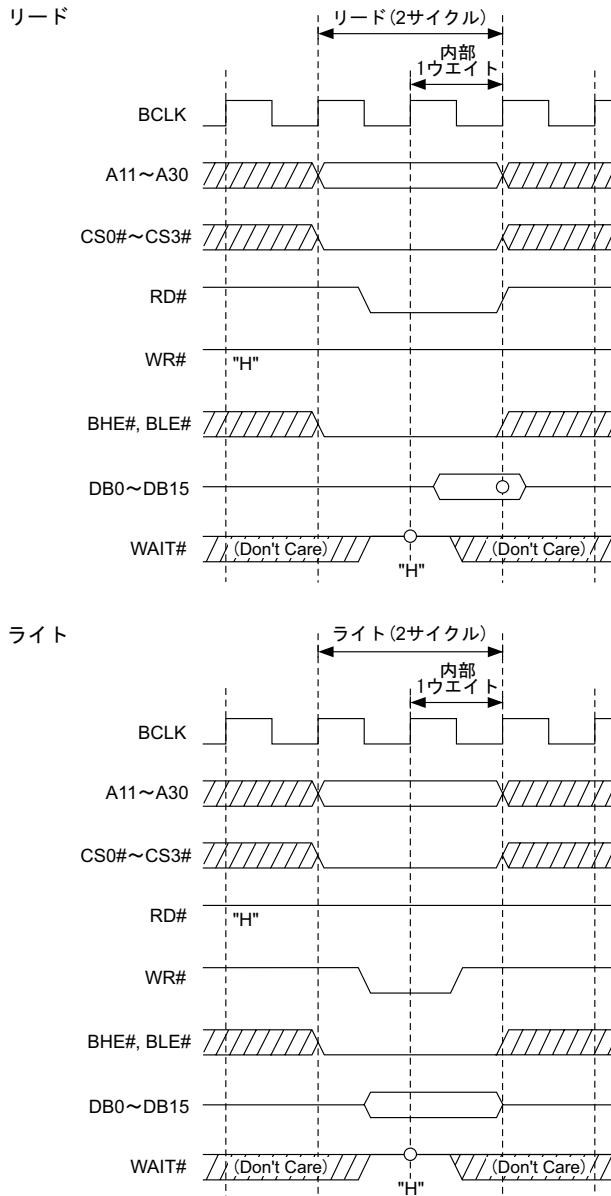
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.12 リード/ライトタイミング(0ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。

・ BCLKは出力されません。

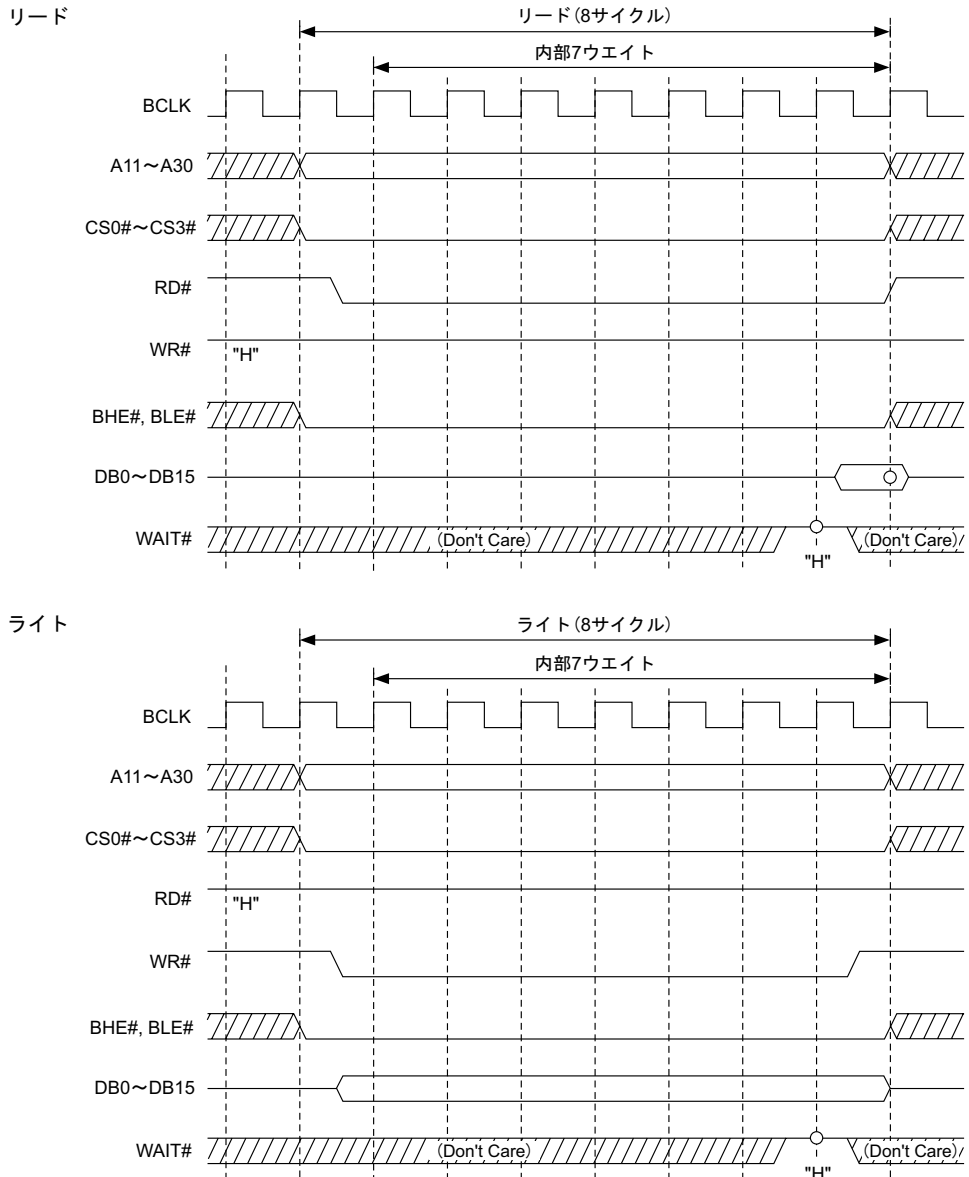
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.13 リード/ライトタイミング(内部1ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=111(7ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注. 図中○印はサンプリングタイミングを示します。

・BCLKは出力されません。

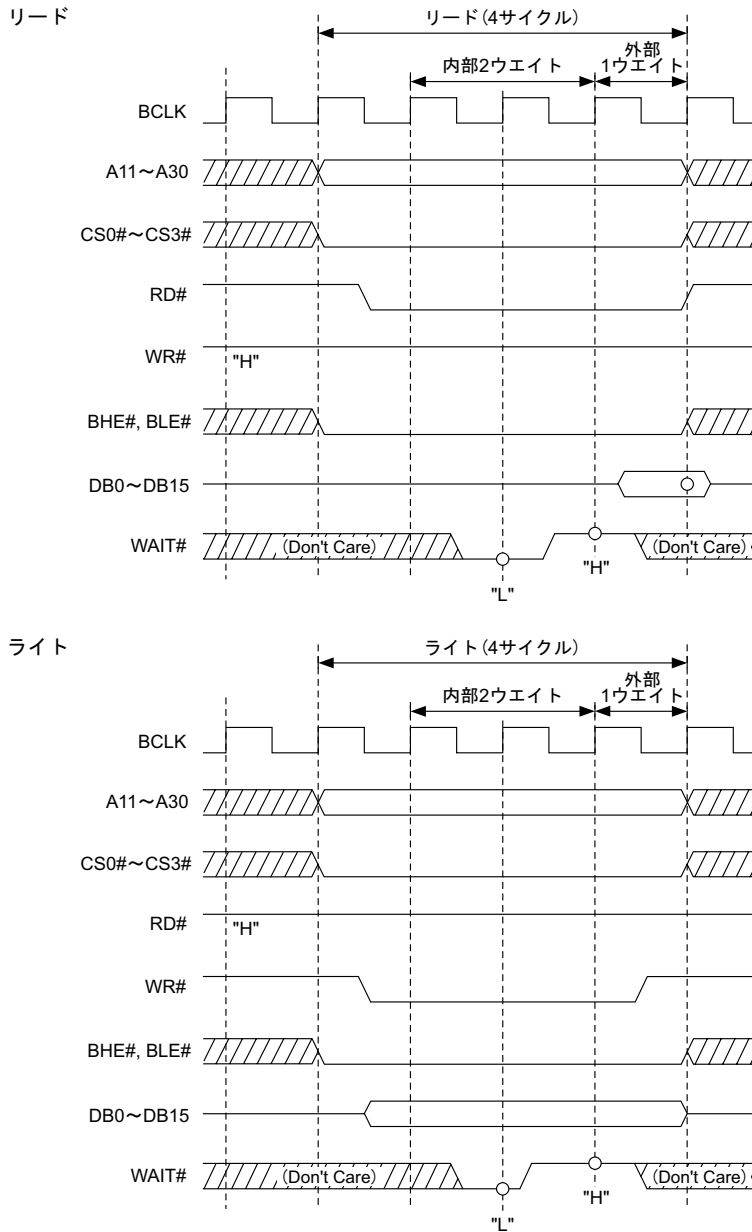
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.14 リード/ライトタイミング(内部7ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=010(2ウェイト)
SWAITビット =0 (ストロブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。

・ BCLKは出力されません。

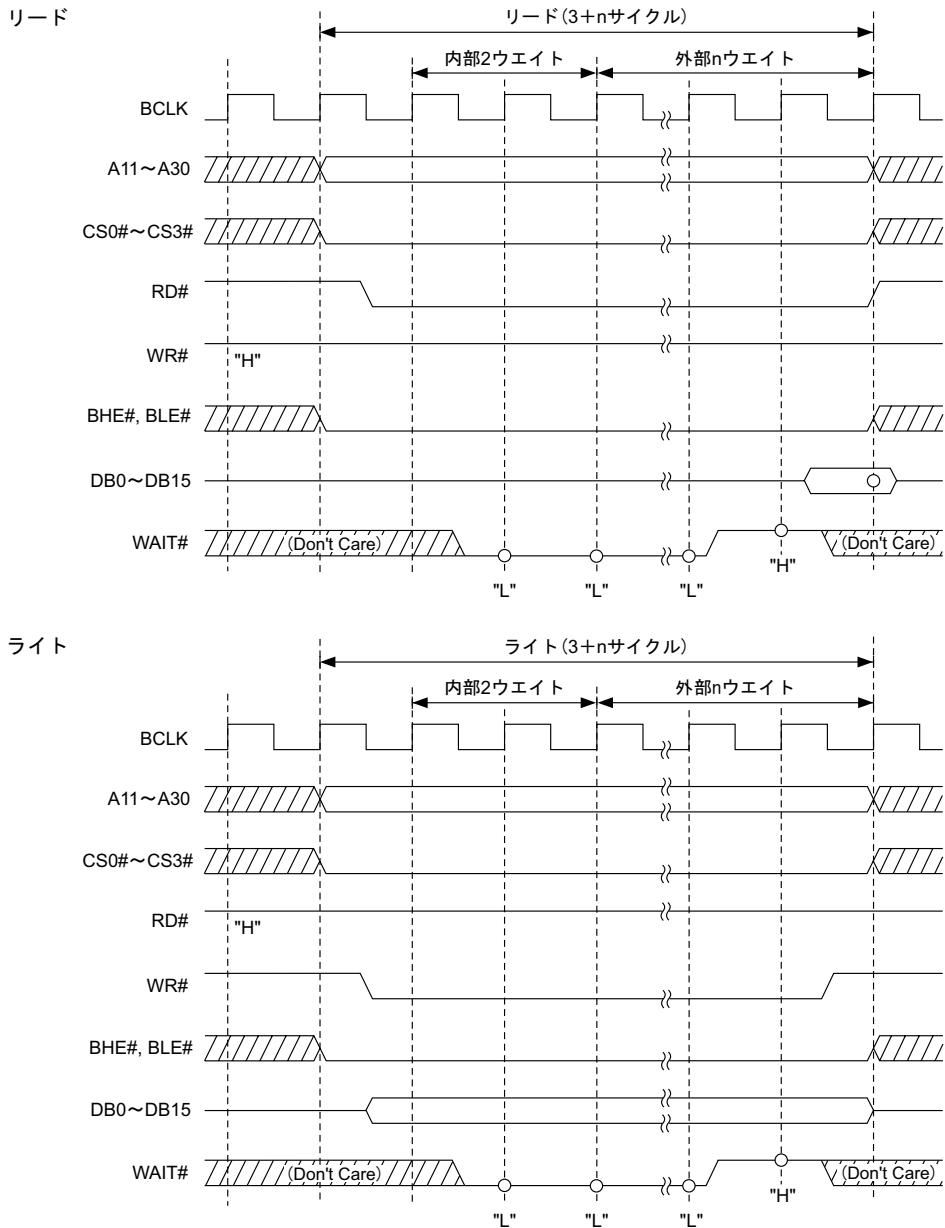
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.15 リード/ライトタイミング(内部2ウェイト+外部1ウェイトアクセス時)

バスモード制御レジスタ(注1)
 BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
 WTCSELビット=010(2ウェイト)
 SWAITビット =0 (ストローブウェイトなし)
 RECOVビット =0 (リカバリサイクルなし)
 IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。
 ・ BCLKは出力されません。

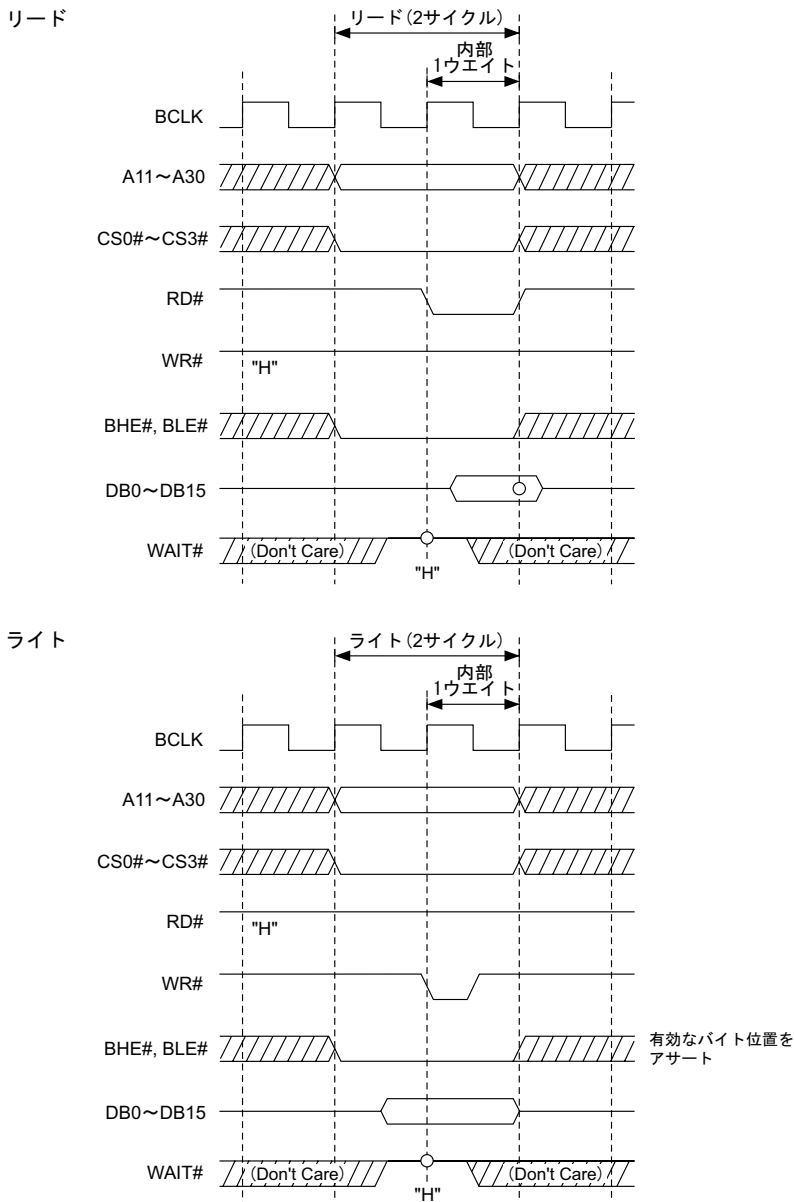
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.16 リード/ライトタイミング(内部2ウェイト+外部nウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウェイト)
SWAITビット =1 (ストローブウェイトあり)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中○印はサンプリングタイミングを示します。
・ BCLKは出力されません。

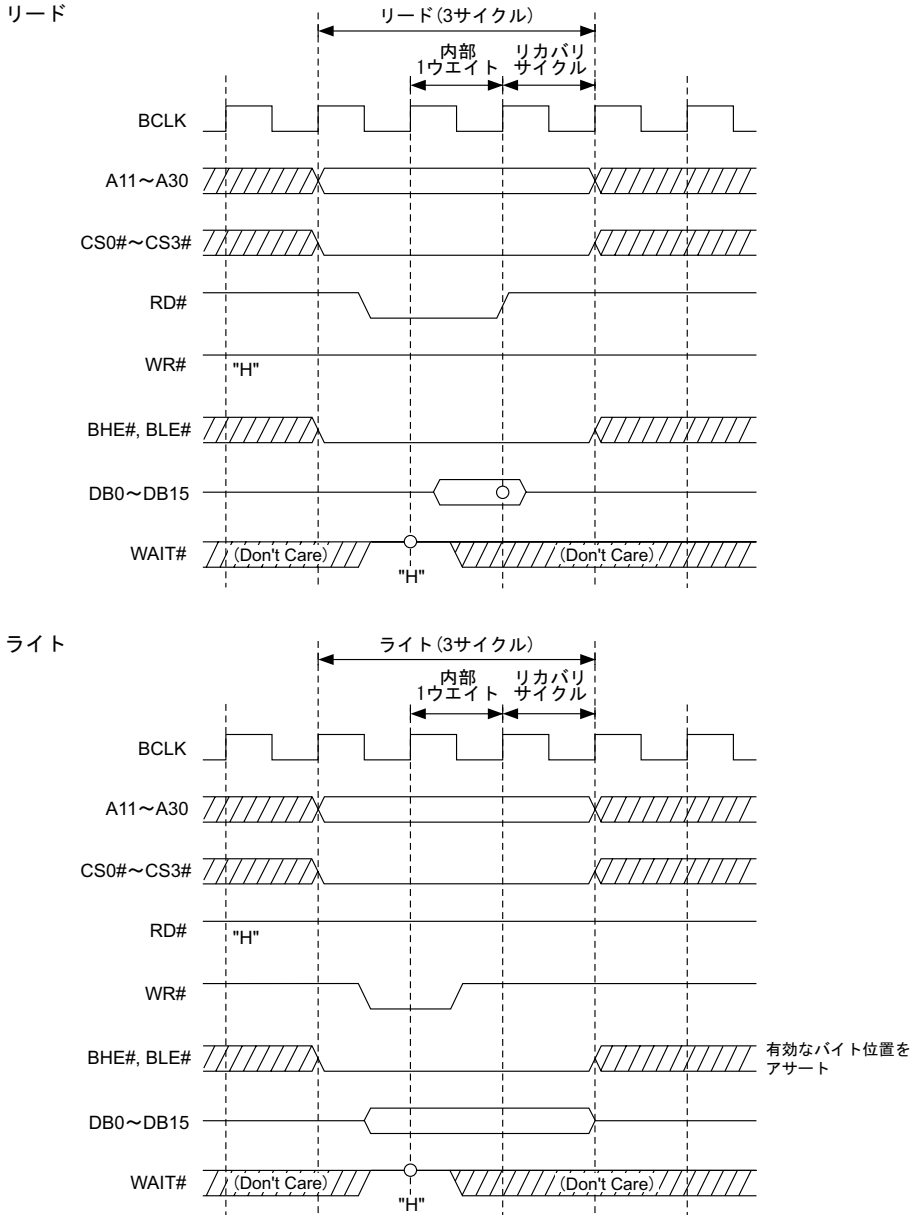
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.17 リード/ライトタイミング(内部1ウェイト+ストローブウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット=1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WTCSELビット=001 (1ウェイト)
SWAITビット =0 (ストロープウェイトなし)
RECOVビット =1 (リカバリサイクルあり)
IDLEビット =0 (アイドルサイクルなし)



注. ・ 図中O印はサンプリングタイミングを示します。
・ BCLKは出力されません。

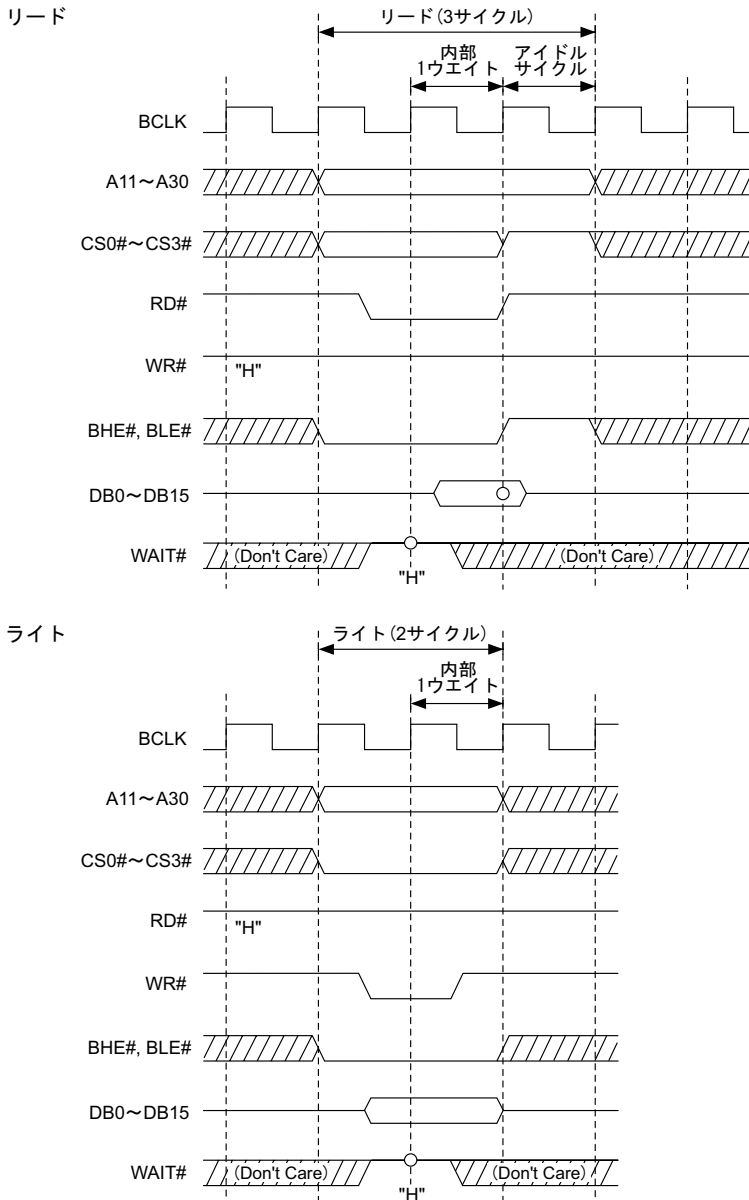
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.18 リード/ライトタイミング(内部1ウェイト+リカバリサイクル追加時)

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WTCSELビット=001(1ウェイト)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =1 (アイドルサイクルあり)



注. ・ 図中○印はサンプリングタイミングを示します。
・ BCLKは出力されません。
・ ライトサイクル後にはアイドルサイクルは追加されません。

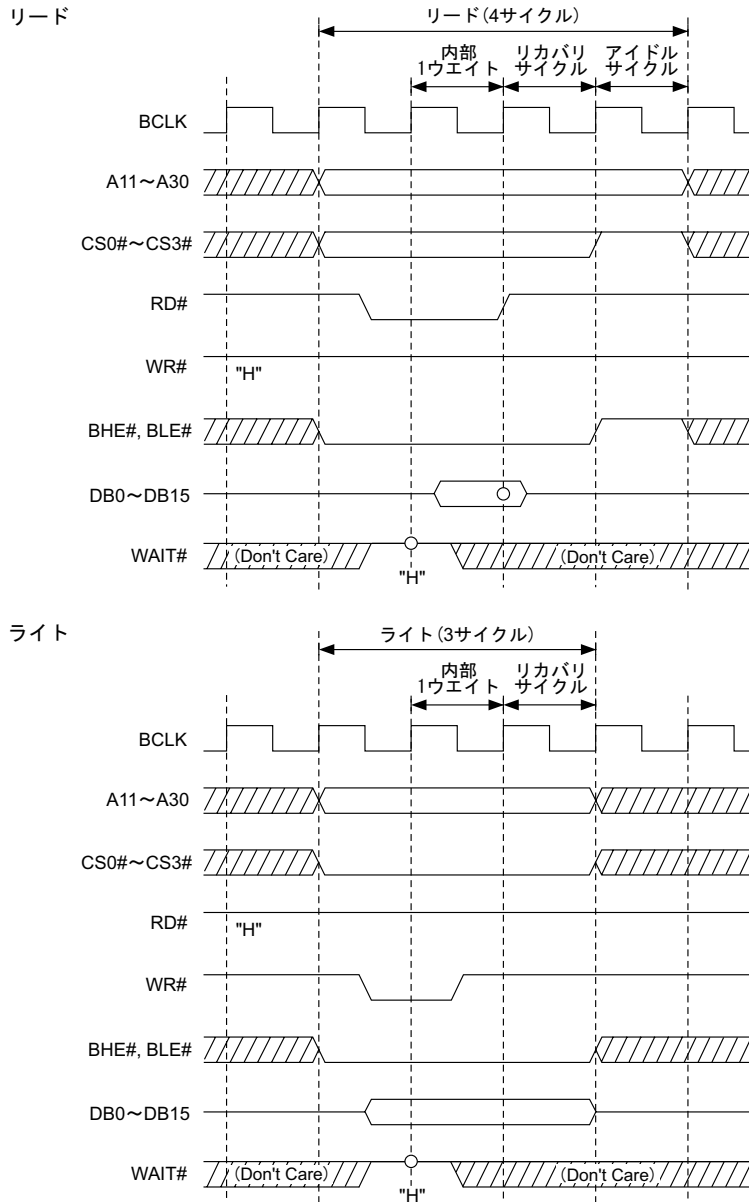
注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.19 リード/ライトタイミング(内部1ウェイト+アイドルサイクル追加時)

バスモード制御レジスタ(注1)
 BUSMODビット=1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
 WTCSELビット=001(1ウェイト)
 SWAITビット =0 (ストローブウェイトなし)
 RECOVビット =1 (リカバリサイクルあり)
 IDLEビット =1 (アイドルサイクルあり)



- 注. ・ 図中○印はサンプリングタイミングを示します。
 ・ BCLKは出力されません。
 ・ ライトサイクル後にはアイドルサイクルは追加されません。
- 注1. バスモード制御レジスタについては、「15.2.3 バスモード制御レジスタ」を参照してください。
- 注2. CS領域ウェイト制御レジスタについては、「16.2.1 CS領域制御レジスタ」を参照してください。

図16.3.20 リード/ライトタイミング(内部1ウェイト+リカバリ/アイドルサイクル追加時)

レイアウトの都合上、このページは白紙です。

第17章

RAMバックアップモード

- 17.1 概要
- 17.2 電源断時のRAMバックアップ例
- 17.3 低消費電力化のためのRAMバックアップ例
- 17.4 RAMバックアップモードの解除
(ウエイクアップ)

17.1 概要

RAMバックアップモードは、電源オフ状態で内蔵RAMの内容を保持するモードです(RAM電源のみ供給)。RAMバックアップモードは、次の二つの目的で使用されます。

- 外部より、強制的に電源オフされる場合の内蔵RAMデータのバックアップ(電源断時のRAMバックアップ)
- システムの低消費電力化のために、M32R/ECUが内蔵RAMデータを保持しながら任意のタイミングでCPUの電源をオフにする場合(低消費電力化のためのRAMバックアップ)

RAMバックアップ用のVDDE端子に3.0 ~ 5.5Vの電圧を印加し、その他の電源端子に0Vを印加すると、M32R/ECUはRAMバックアップモードになります。

RAMバックアップモード時、内部RAMの内容が保持された状態で、CPUおよび内蔵周辺I/Oは停止しています。また、RAMバックアップモード中はVDDE端子以外のすべての出力端子は"L"レベルのため、効果的な低消費電力が実現できます。

17.2 電源断時のRAMバックアップ例

電源断時のRAMバックアップ回路例を図17.2.1に示します。この回路例を使用した場合のRAMバックアップ例について、以下に説明します。

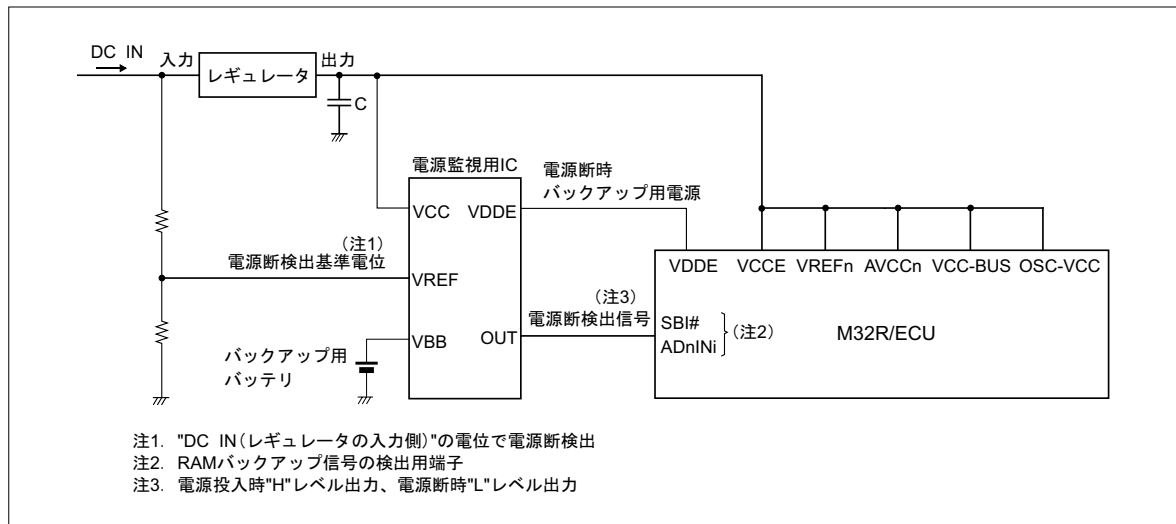


図17.2.1 電源断時のRAMバックアップ回路例

17.2.1 通常動作時の状態

図17.2.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号の検出用のSBI#端子またはADnIN*i*(*i* = 0 ~ 15)端子へは"H"レベルが入力されます。

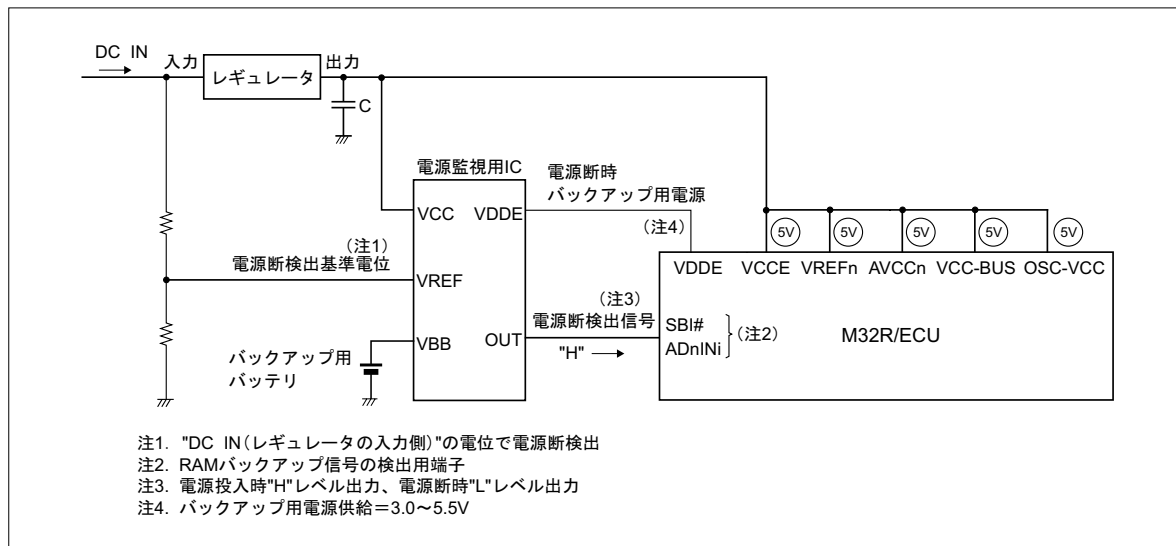


図17.2.2 通常動作時の状態(VCCE = 5V時)

17.2.2 RAMバックアップ時の状態

図17.2.3に電源断時のRAMバックアップの状態を示します。電源オフすると電源監視用ICによって、バックアップ用バッテリーから電流が供給されます。また、電源監視用ICの電源断検出信号端子から"L"レベルが出力され、SBI#端子またはADnINi端子は"L"レベルになりRAMバックアップ信号の発生となります(図17.2.3の)。電源断検出判定は、電源断時のソフトウェア処理時間を確保するため、必ず"DC IN(レギュレータの入力側)"の電位で行う必要があります。

RAMバックアップモードを有効にするためには、次の設定を行ってください。

(1)RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図17.2.3の)

(1)の設定後、VCCへの電流の供給が無くなると、VDDE端子は3.0V~5.5V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図17.2.3の)。

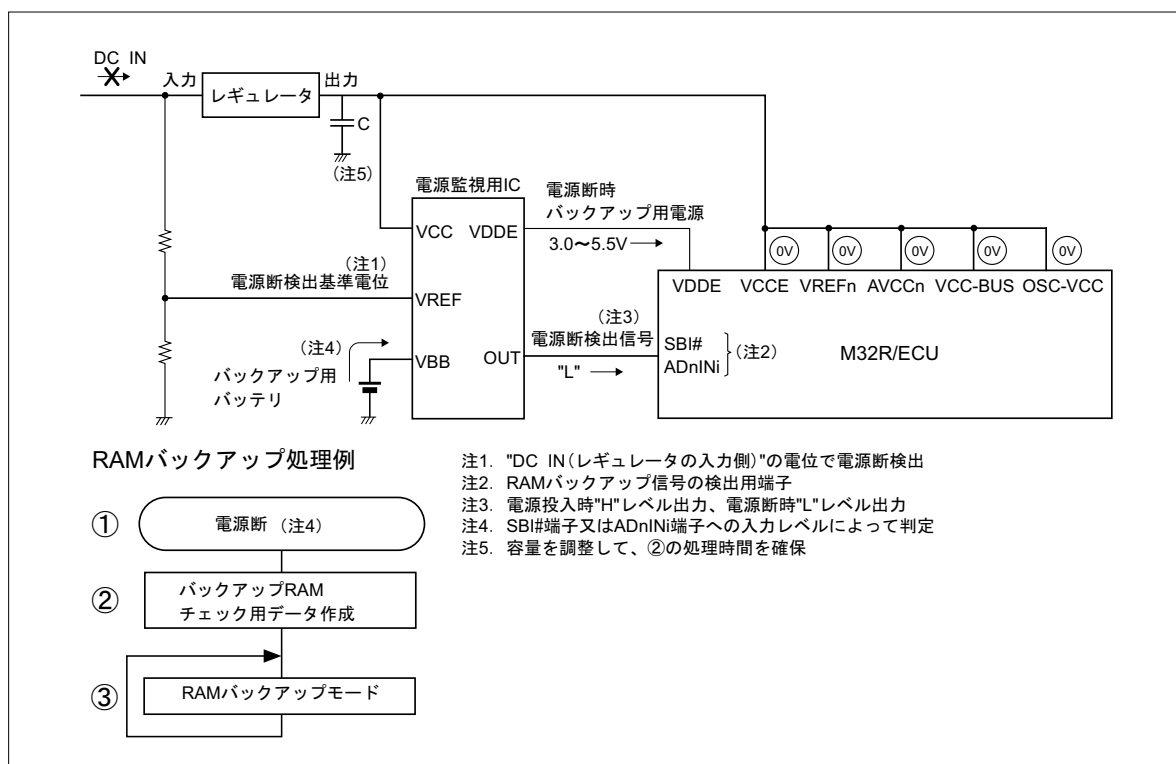


図17.2.3 電源断時のRAMバックアップ時の状態

17.3 低消費電力化のためのRAMバックアップ例

低消費電力化のためのRAMバックアップ回路例を図17.3.1に示します。この回路例を使用した場合の低消費電力化のためのRAMバックアップ例について、以下に説明します。

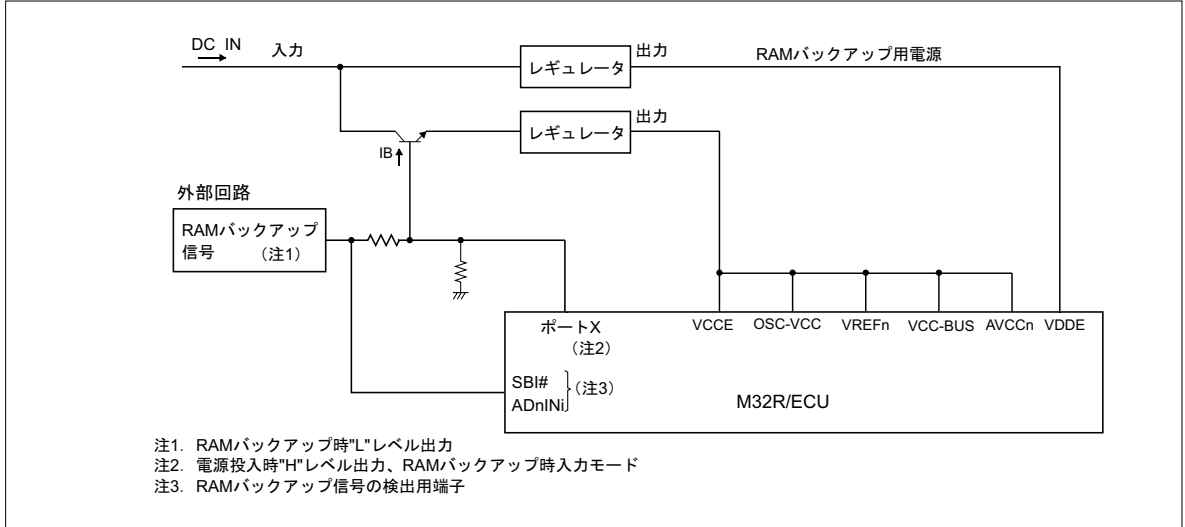


図17.3.1 低消費電力化のためのRAMバックアップ回路例

17.3.1 通常動作時の状態

図17.3.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号を出力する外部回路からは、"H"レベルが出力されます。RAMバックアップ信号の検出用のSBI#端子またはADnINi(i = 0 ~ 15)端子へは"H"レベルが入力されます。

トランジスタのベース接続端子であるポートXからは、"H"レベルを出力してください。この処置によって、トランジスタのベース電圧IBが"H"レベルになり、トランジスタを経由して電源からVCCE端子へ電流が供給されます。

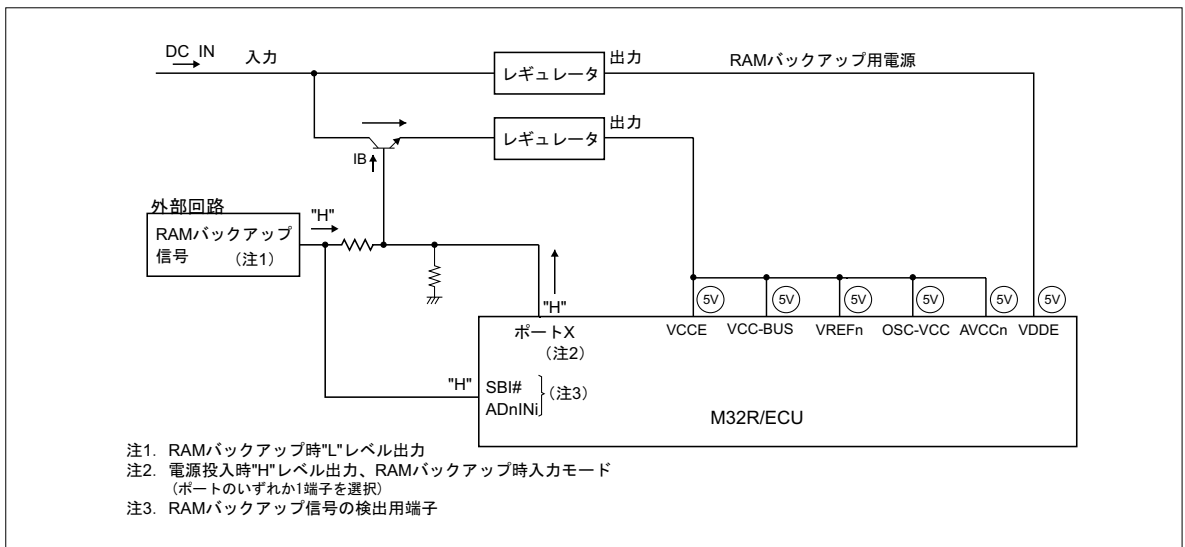


図17.3.2 通常動作時の状態(VCCE = 5V時)

17.3.2 RAMバックアップ時の状態

図17.3.3にRAMバックアップ時の状態を示し、図17.3.4にRAMバックアップシーケンスを示します。外部回路から"L"レベルが出力されるとSBI#端子またはADnINi端子へ"L"レベルが入力されます。これらの端子への"L"レベル入力、RAMバックアップ信号の発生となります(図17.3.3のA、)。RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図17.3.3の)
- (2) 低消費電力を実現するために、ポートX以外のプログラマブル入出力ポートをすべて入力モード(または出力モードで"L"レベル出力)に設定(図17.3.3の)
- (3) ポートXを入力モードに設定(図17.3.3のB、)
 - この処置によってトランジスタのベース電圧IBが"L"レベルになり、VDDE端子以外の電源端子への電源供給が遮断(図17.3.3のC、D)

(1)~(3)の設定によってVDDE端子は3.0V~5.5V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図17.3.3の)

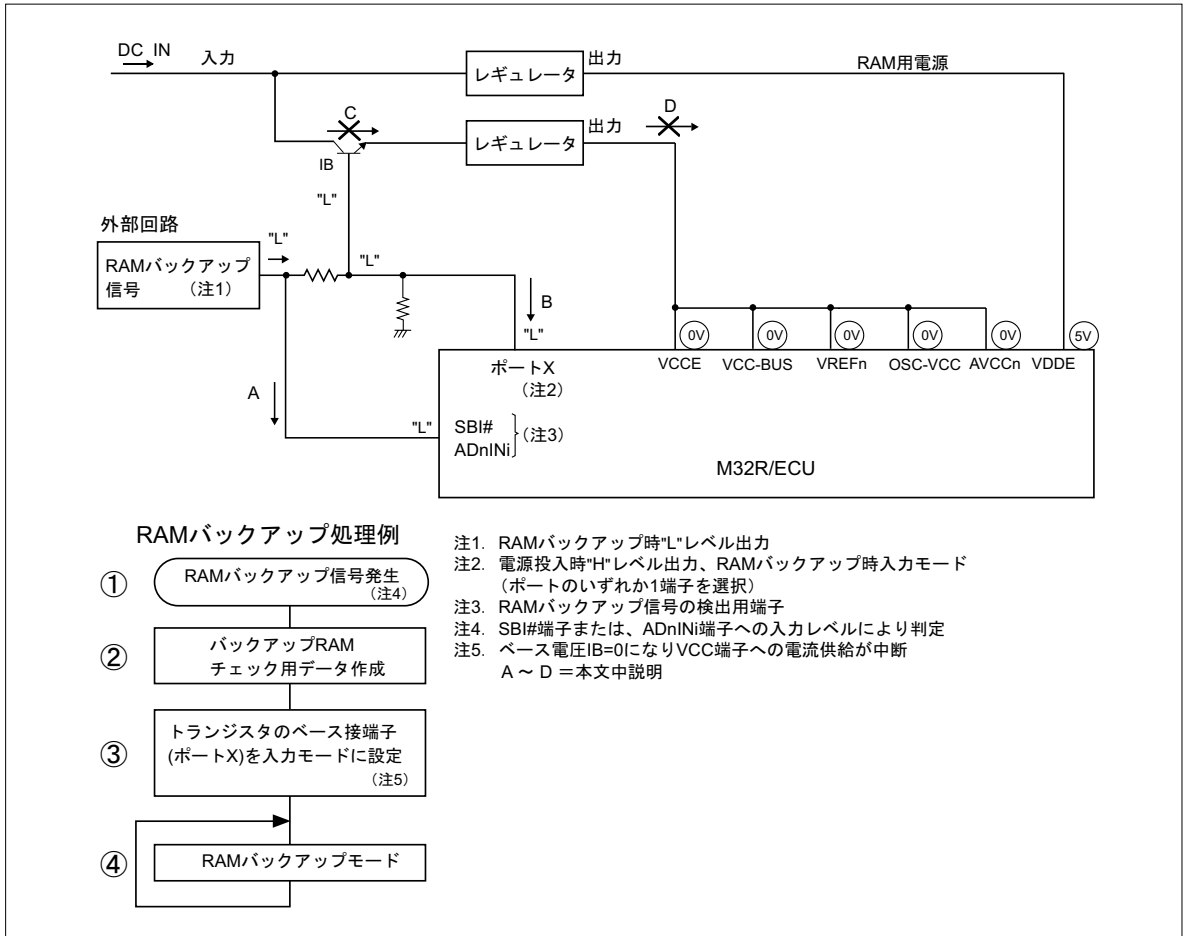


図17.3.3 低消費電力化時のRAMバックアップ時の状態

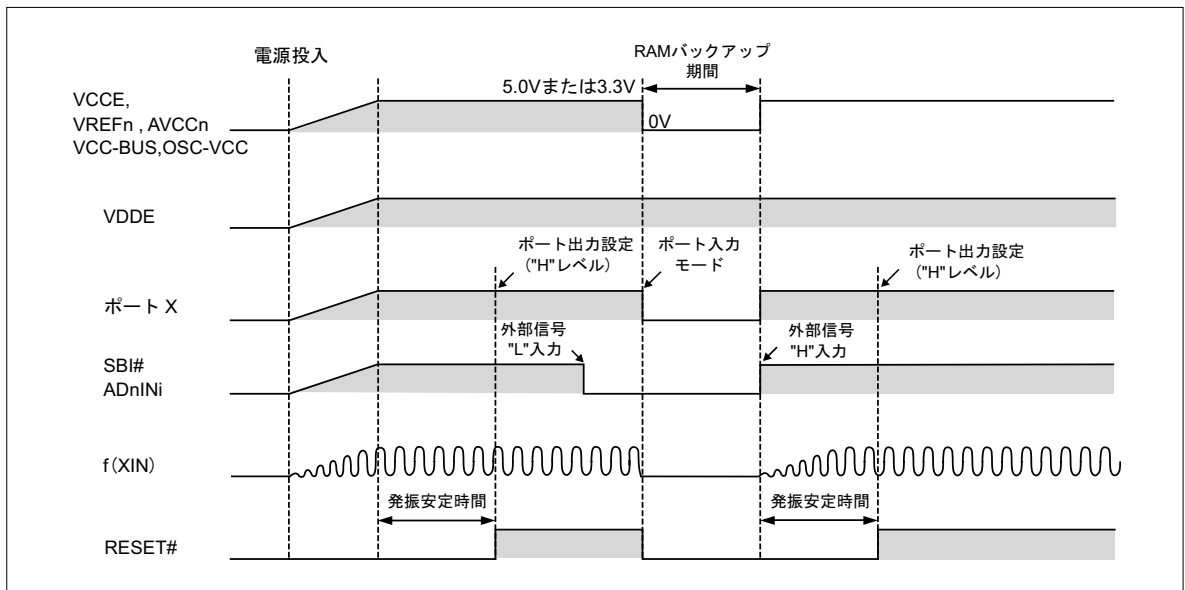


図17.3.4 低消費電力化のためのRAMバックアップシーケンス例

17.3.3 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル"H"を設定した後、ポートXを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が"L"レベルになり、RAMバックアップモードになることがあります。

17.4 RAMバックアップモードの解除(ウエイクアップ)

RAMバックアップモードを解除して通常動作に復帰するための処理を、ウエイクアップ処理と呼びます。図17.4.1にウエイクアップ処理例を示します。

ウエイクアップ処理は、リセット入力により行います。ウエイクアップ処理を次に示します。

- (1)リセット動作を実行(図17.4.1の(A))
- (2)ポートXを出力モードに設定し、"H"レベルを出力(図17.4.1の(B))〔注1〕
- (3)RAMバックアップモード時に作成した、チェック用データの内容を判定(図17.4.1の(C))
- (4)(3)の判定結果が一致しなかった場合、RAMの初期設定を実行(図17.4.1の(D))
 - (3)の判定結果が一致した場合は、保持されていたデータをプログラム中で使用
- (5)各初期設定の実行(図17.4.1の(E))後、メインルーチンへ復帰(図17.4.1の(F))

注1. 電源断時のRAMバックアップモードのウエイクアップには、ポートXの設定処理は不要です。

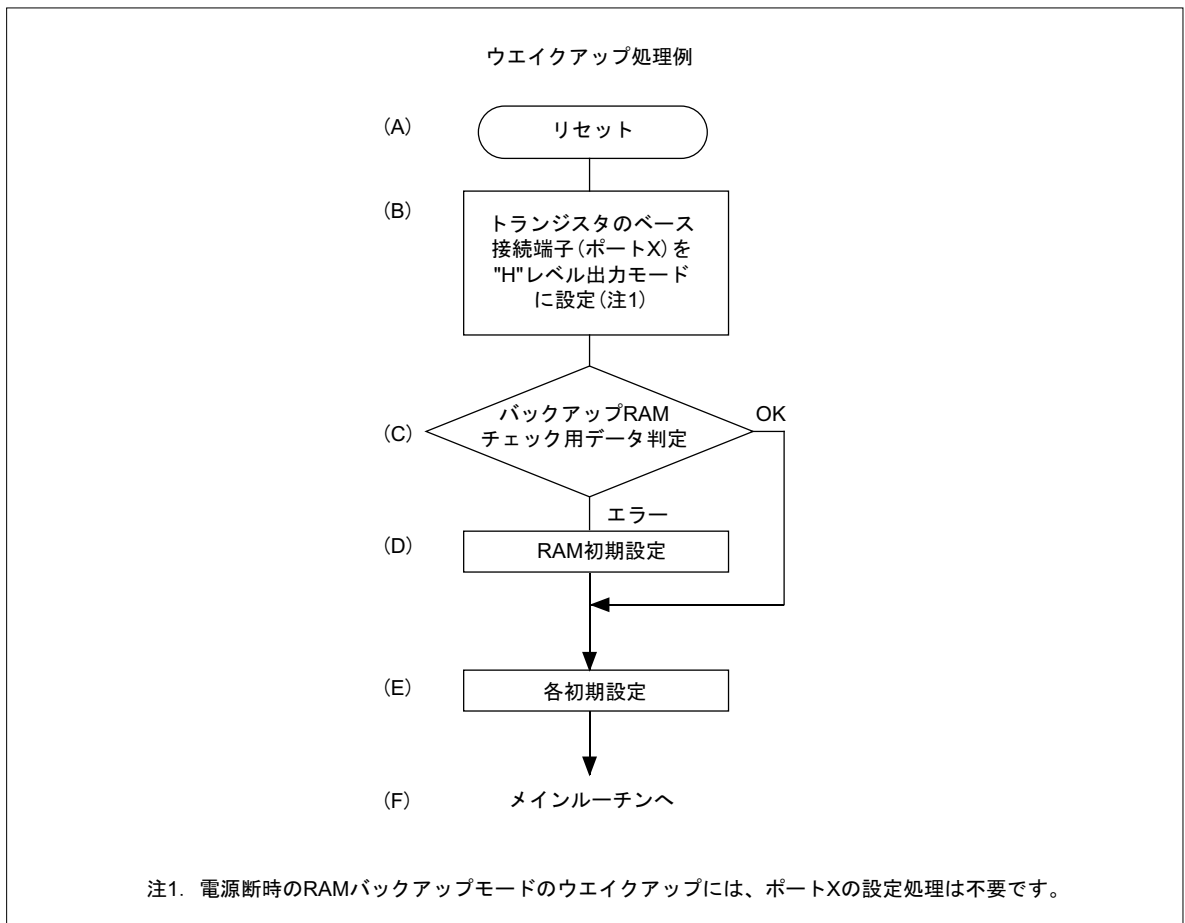


図17.4.1 ウエイクアップ処理

第18章

発振回路

- 18.1 発振回路
- 18.2 クロック発生回路

18.1 発振回路

M32R/ECUは、CPUコア、内蔵周辺I/Oおよび内蔵メモリなどの動作クロックを供給する発振回路を内蔵しています。クロック入力端子(XIN)に入力された周波数を内蔵PLL回路により8乗倍したクロックがCPUコア、内蔵メモリの動作クロックであるCPUクロックになります。また、8乗倍したクロックを4分周したクロックが内蔵周辺I/Oおよび外部データバスの動作クロックである周辺クロックになります。

18.1.1 発振回路例

XIN端子とXOUT端子の間にセラミック共振子(または水晶発振子)を外付けすることによって、クロック発振回路を構成することができます。

共振子を外付けした場合の回路およびPLL回路の制御端子(VCNT)に接続する回路を示したシステムクロック発生回路例を図18.1.1に示します。Rf, CIN, COUT, Rdなどの定数は、共振子および発振子メーカーにお問い合わせの上、推奨する値に設定してください。

発振回路を用いずに、外部からクロック信号を入力する場合は、XIN端子にクロック信号を入力し、XOUT端子はオープンにしてください。

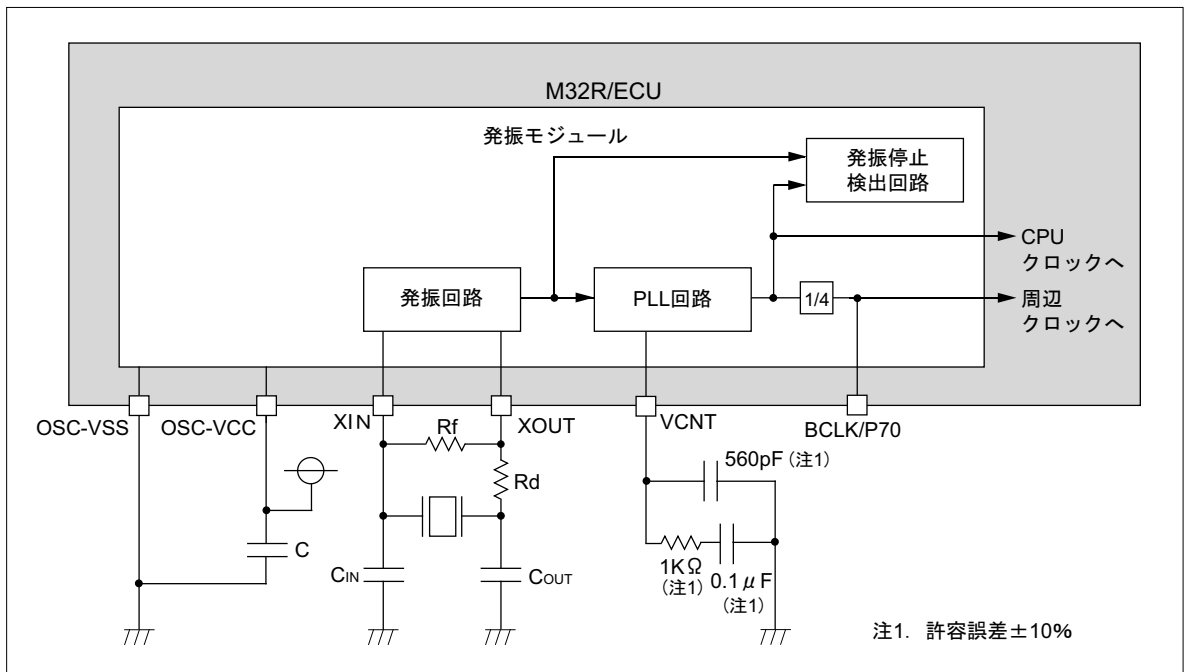


図18.1.1 発振回路例

18.1.2 XIN発振停止検知機能

M32R/ECUは、発振入力停止を検知する回路を内蔵しています。

PLL回路には、基準となる発振入力がない場合、固有振動数で発振する特長があります。

XIN発振入力をPLL回路の逡倍周波数でサンプリングし、XIN発振が同一レベルの場合にXSTATビットをセットします。XIN発振が停止していても、PLL回路の固有周波数でCPUは動作しますので、ソフトウェアによりXSTATを確認することで、XIN発振停止により異常処理を行うことができます。

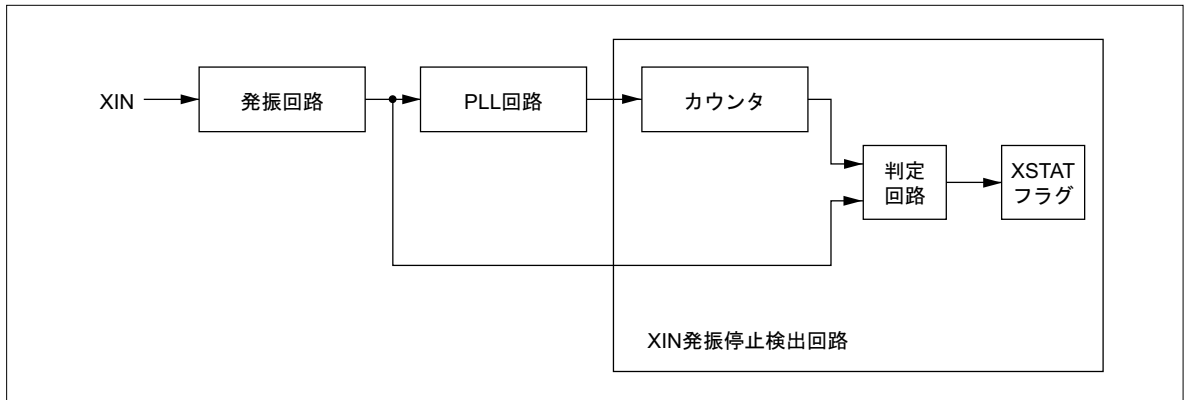


図18.1.2 XIN発振停止検出回路ブロック図

ポート入力特別機能制御レジスタ(PICNT)

<アドレス : H'0080 0745 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|----|---|----|-------|----|----|-------|-------|
| 0 | 0 | 0 | XSTAT | 0 | 0 | PISEL | PIEN0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|---------|---------------------------|---------------------------------|--------|---|
| 8 ~ 10 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 11 | XSTAT XIN発振状態ビット | 0 : XINは発振状態 1 : XINは停止状態 | R (注1) | |
| 12 ~ 13 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 14 | PISEL ポート入力データ選択ビット | 0 : ポート出力ラッチの内容 1 : ポート端子レベル | R | W |
| 15 | PIEN0 ポート入力許可ビット | 0 : 入力禁止 1 : 入力許可 | R | W |

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

ポート入力データ選択ビット(PISEL) およびポート入力許可ビット(PIEN0)の動作については、「8.3.5 ポート入力特別機能制御レジスタ」を参照してください。

【XSTATの動作説明】

(1) XSTATが"1"となる条件

XSTATはXINの発振が停止したことを検知して、"1"にセットされます。XINが一定時間(最大4BCLK、最小3BCLK)以上同一レベルを保持したときを発振停止とみなします。なお、通常動作時においてXINは1BCLK間に1回の割合で変化します。

(2) XSTATが"0"となる条件

システムリセット、またはXSTATへの"0"書き込みにより"0"にクリアされます。上記(1)による"1"セットと、"0"書き込みが競合したときは、"0"書き込みによるクリアが優先されます。なおXSTATへの"1"書き込みは無視されます。

(3) XSTATを使用したXIN発振停止検出方法

M32R/ECUはPLLを内蔵しているため、XINの発振が停止していても内部クロックは停止しません。

リセット解除後、一度もXSTATをクリアすることなしにXSTATをリードすれば、リセット解除から現在までにXINが停止したことがあるかどうかを知ることができます。また、XSTATへ0を書き込んでからリードすれば、現時点でのXINの発振状態を知ることができます(ただし、ライトとリードの間は5BCLK(20CPUクロック)以上空けてください)。

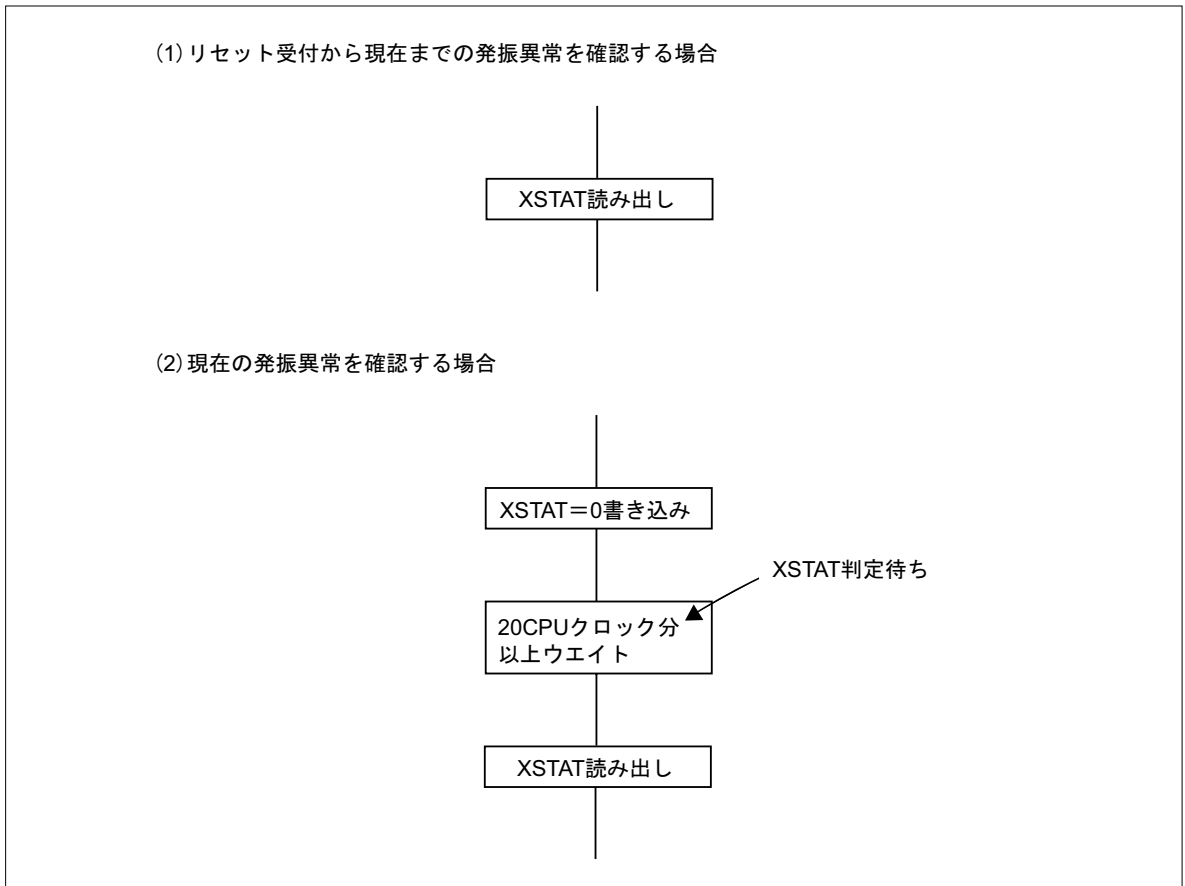


図18.1.3 XSTAT設定手順

18.1.3 発振駆動能力選択機能

発振駆動能力を4段階内蔵しています。

発振回路の発振が安定した後は、XIN-XOUT駆動能力を弱めることができます。駆動能力を弱めると、消費電力は低減します。

クロック制御レジスタ(CLKCR)

< アドレス : H'0080 0786 >

| | | | | | | | |
|----|---|---|---|---|------------|-----------|----|
| b0 | 1 | 2 | 3 | 4 | 5 | 6 | b7 |
| 0 | 0 | 0 | 0 | 0 | XDRVP 0 | XDRV 1 | 1 |

< リセット解除時 : H'03 >

| b | ビット名 | 機能 | R | W |
|-----|---------------------------|---|---|---|
| 0~4 | 何も配置されていません。"0"に固定してください。 | | 0 | 0 |
| 5 | XDRVP XDRV書き込み制御ビット | | 0 | W |
| 6~7 | XDRV XIN-XOUT駆動能力選択ビット | XIN-XOUT駆動能力(能力比) 00 : 低 0.25 01 : ↑ 0.5 10 : ↓ 0.75 11 : 高 1 | R | W |

(1) XDRV書き込み制御(XDRVP)(b5)

XIN-XOUT駆動能力選択ビットの書き込み制御ビットです。

(2) XIN-XOUT駆動能力選択ビット(b6, b7)

以下にこのビットへの書き込み方法を示します。

- 書き込み制御ビット(XDRVP)に"1"を書き込む。
- 上記1. に連続して書き込み制御ビット(XDRVP)に"0"を、XIN-XOUT駆動能力選択ビットに"設定内容"を書き込む。

注 . . 1 . と 2 . の間に他の領域への書き込みサイクルがあるとXDRVへの書き込みは無効になり、書き込み値は反映されません。割り込み、DMA転送を禁止状態にして設定してください。また、書き込み動作は、2回連続が1組となります。

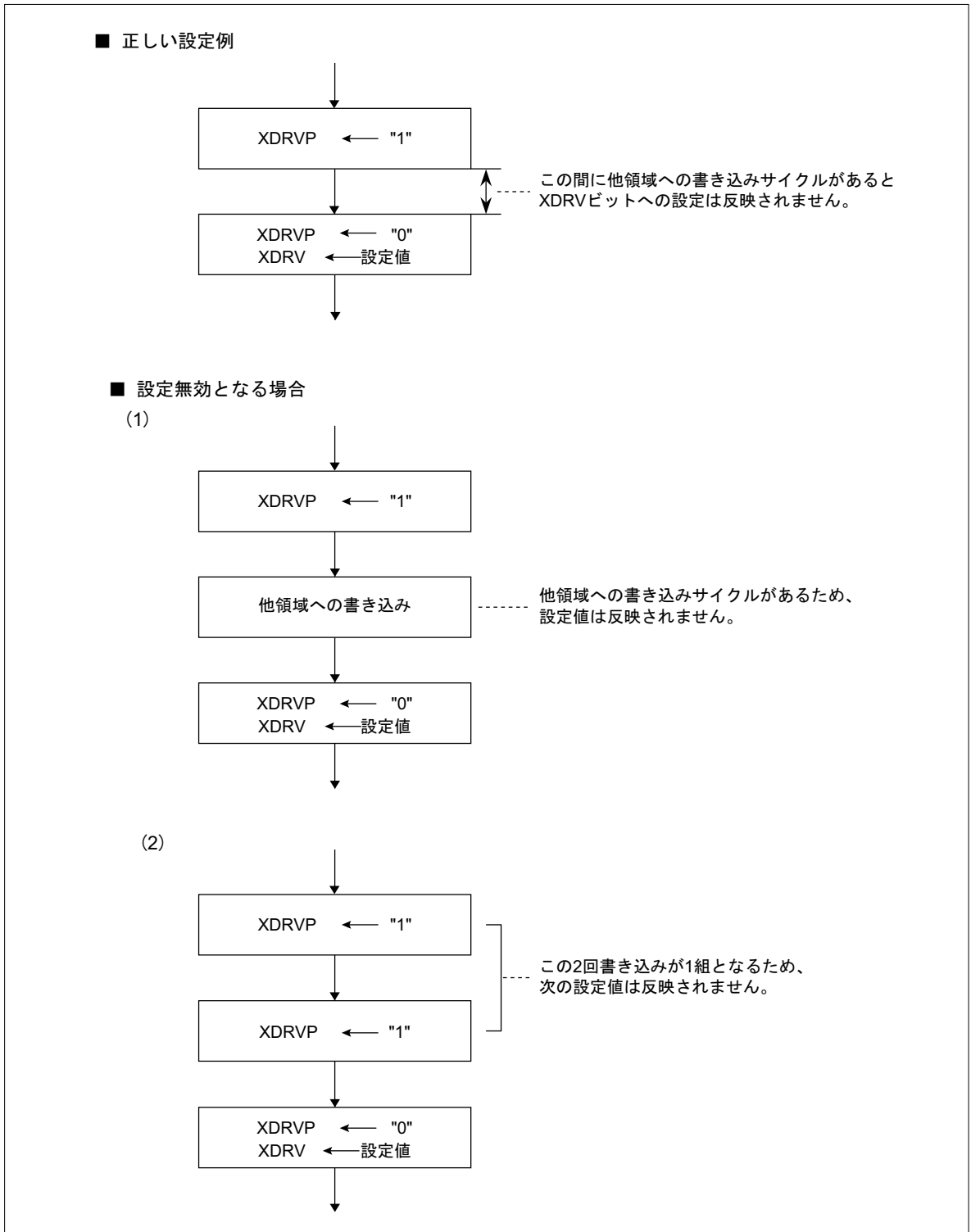


図18.1.4 発振駆動能力の設定手順

18.1.4 システムクロックの出力機能

入力クロックの2倍の周波数のクロック(周辺クロック)をBCLK端子から出力させることができます。BCLK端子はポートP70と共用しています。周辺クロックを出力させる場合は、P7動作モードレジスタ(P7MOD)のb8を"1"にしてください。

下記にP7動作モードレジスタの構成を示します。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

| b8 | 9 | 10 | 11 | 12 | 13 | 14 | b15 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| P70MD | P71MD | P72MD | P73MD | P74MD | P75MD | P76MD | P77MD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

<リセット解除時 : H'00 >

| b | ビット名 | 機能 | R | W |
|----|-------------------------|-----------------------|---|---|
| 8 | P70MD ポートP70動作モードビット | 0 : P70 1 : BCLK | R | W |
| 9 | P71MD ポートP71動作モードビット | 0 : P71 1 : WAIT# | R | W |
| 10 | P72MD ポートP72動作モードビット | 0 : P72 1 : HREQ# | R | W |
| 11 | P73MD ポートP73動作モードビット | 0 : P73 1 : HACK# | R | W |
| 12 | P74MD ポートP74動作モードビット | 0 : P74 1 : RTDXTD | R | W |
| 13 | P75MD ポートP75動作モードビット | 0 : P75 1 : RTDRXD | R | W |
| 14 | P76MD ポートP76動作モードビット | 0 : P76 1 : RTDACK | R | W |
| 15 | P77MD ポートP77動作モードビット | 0 : P77 1 : RTDCLK | R | W |

18.1.5 電源投入時の発振安定時間

セラミック共振子(または水晶発振子)を使用した発振回路では、電源投入後に発振が安定しない期間があります。このため、使用する発振回路条件に適応した発振安定時間を生成してください。

図18.1.5に電源投入時の発振安定時間を示します。

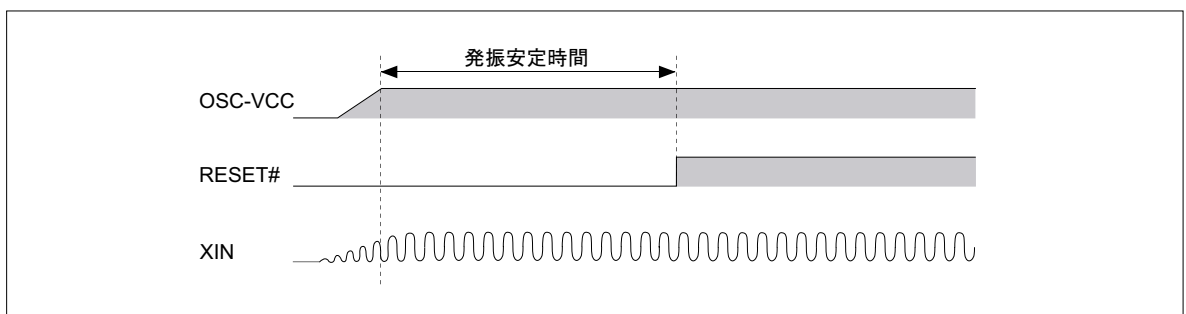


図18.1.5 電源投入時の発振安定時間

18.2 クロック発生回路

CPUおよび周辺回路にそれぞれ独立したクロックを供給します。

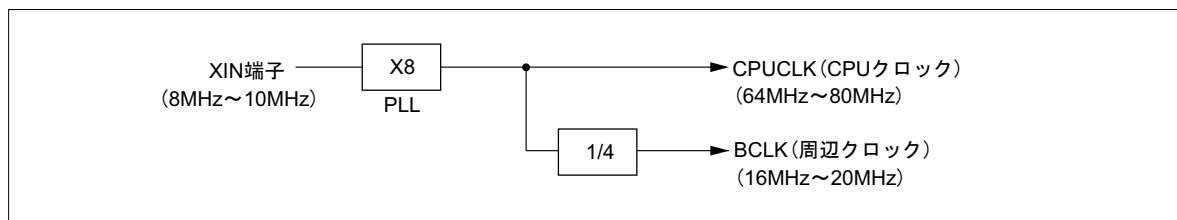


図18.2.1 クロック概念図

第19章

JTAG

- 19.1 JTAG概要
- 19.2 JTAG回路構成
- 19.3 JTAGレジスタ
- 19.4 JTAG基本動作
- 19.5 バウンダリスキャン記述言語
- 19.6 JTAG接続時のボード設計注意事項
- 19.7 JTAG未使用時の端子処理

19.1 JTAG概要

M32R/ECUは、IEEE 1149.1テストアクセスポート規格(IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE Std. 1149.1a-1993))に準拠したJTAG(Joint Test Action Group)インタフェースを備えています。

このJTAGインタフェースは、バウンダリスキャンテストのための入出力バス(バウンダリスキャンバス)として使用できます。IEEE 1149.1 JTAGテストアクセスポートの詳細については、「IEEE Std. 1149.1a-1993」の文書を参照してください。

注．・M32R/ECUでは、JTAGインタフェースはデバッグ時にJTAGエミュレータとの接続にも使用します。本章では、主にJTAGインタフェースをバウンダリスキャンテストのための入出力バスとして使用する場合について説明します。

M32R/ECUに実装されているJTAGインタフェース関連端子の機能を、以下に示します。

表19.1.1 JTAG端子機能

| 種類 | 端子名 | 名称 | 入出力 | 機能 |
|-------------|-------|----------------|-----|---|
| TAP (注1) | JTCK | テスト クロック | 入力 | テスト回路へのクロック入力です。 |
| | JTDI | テストデータ 入力 | 入力 | テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。JTCKの立ち上がりでサンプリングされます。 |
| | JTDO | テストデータ 出力 | 出力 | テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。JTCKの立ち下がりで変化、「Shift-IR」もしくは「Shift-DR」状態のときのみ出力されます。それ以外の状態の時はハイインピーダンス状態になります。 |
| | JTMS | テストモード セレクト | 入力 | テスト回路の状態遷移を制御するテストモード選択入力です。JTCKの立ち上がりでサンプリングされます。 |
| | JTRST | テスト リセット | 入力 | テスト回路を非同期に初期化する「L」アクティブのテストリセット入力です。リセット動作を保証するため、この信号が「L」から「H」に変化する時にはJTMS信号入力を「H」に保つ必要があります。 |

注1．TAP：Test Access Port(IEEE 1149.1に規定されたJTAGインタフェース)

19.2 JTAG回路構成

M32R/ECUのJTAG回路は、図19.2.1に示すように次のブロックから構成されます。

- バウンダリスキャンパスを通してフェッチされる命令コードを保持する命令レジスタ
- バウンダリスキャンパスを通してアクセスされるデータレジスタ群
(バウンダリスキャンレジスタ、バイパスレジスタ、IDコードレジスタ)
- JTAG部の状態遷移を制御するテストアクセスポート(以下TAPと略)コントローラ
- 入力選択、出力選択等の制御ロジック

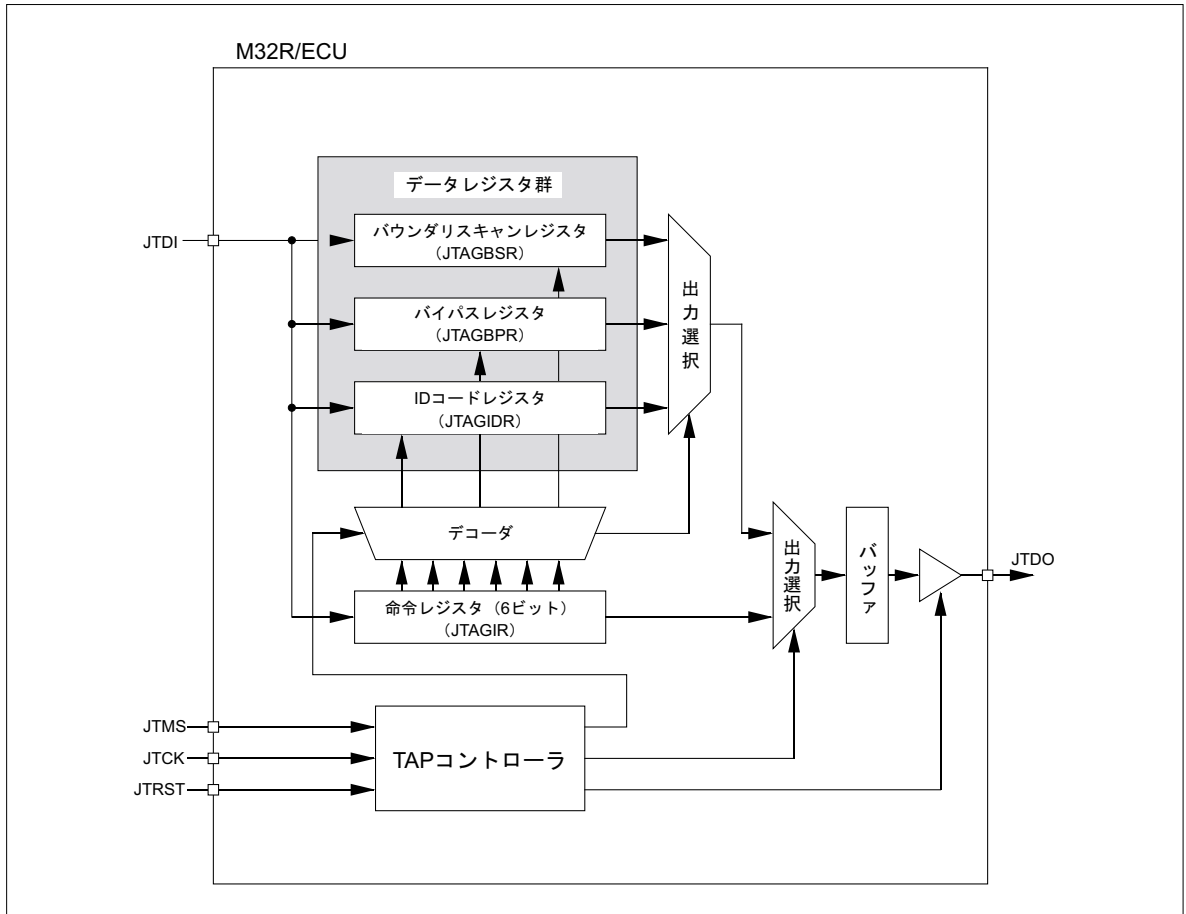


図19.2.1 JTAG回路構成

19.3 JTAGレジスタ

19.3.1 命令レジスタ(JTAGIR)

命令レジスタは、命令コードを保持する6ビットのレジスタであり、IRパスシーケンスで設定します。命令レジスタに設定された命令によって、続くDRパスシーケンスで選択するデータレジスタが決定されます。

テストリセット解除時(テスト回路の初期化)の初期値はb'000010(IDCODE命令)です。テストリセット後は、外部から命令コードが設定されるまでデータレジスタとしてIDCODEレジスタが選択されています。

「Capture-IR」状態では必ずb'110001(固定値)がロードされます。このため、本レジスタに設定した値にかかわらず、「Shift-IR」状態では必ずb'110001が(LSB側から順に)JTDO端子から出力されます。ただし、通常はこの値が命令コードとして扱われることはありません。

以下の操作は動作保証対象外です。以下の操作を行うと、例外的にb'110001を命令コードとして扱おうとするため、正常動作できなくなりますのでご注意ください。

「Capture-IR」 「Exit1-IR」 「Update-IR」

M32R/ECUのJTAGインタフェースでは、以下の命令をサポートしています。

- IEEE 1149.1で必須として定められた3命令(EXTEST, SAMPLE/PRELOAD, BYPASS)
- デバイス識別レジスタアクセス命令(IDCODE)

表19.3.1 JTAG命令一覧

| 命令コード | 命令略称 | 動作 |
|----------|----------------|--|
| b'000000 | EXTEST | チップ外の回路/基板レベルの接続テストを行います。 |
| b'000001 | SAMPLE/PRELOAD | 動作中の回路の状態をサンプリングし、JTDO端子から出力すると同時に、次のバウンダリスキャンテストで使用されるデータをJTDI端子から入力し、事前に「バウンダリスキャンレジスタ」に設定します。 |
| b'000010 | IDCODE | 「IDコードレジスタ」を選択し、デバイスおよびメーカー識別データをJTDO端子から出力します。 |
| b'111111 | BYPASS | 「バイパスレジスタ」を選択し、データの参照/設定を行います。 |

注 . . 上記以外の命令コードは、設定しないでください。

- 「IRパスシーケンス」、「DRパスシーケンス」、「テストリセット」、「Capture-IR」状態、「Shift-IR」状態、「Exit1-IR」状態、「Update-IR」状態については、「19.4 JTAG基本動作」を参照してください。

19.3.2 データレジスタ

(1) バウンダリスキャンレジスタ (JTAGBSR)

バウンダリスキャンレジスタは、バウンダリスキャンテストを行うための475ビットのレジスタで、各端子ごとに割り当てられています。

このレジスタは、JTDI/JTDO端子間に接続されており、「EXTEST命令」および「SAMPLE/PRELOAD命令」発行時に選択されます。「Capture-DR」状態で入力端子または内部ロジック出力値の状態をキャプチャします。「Shift-DR」状態では、サンプリングした値を出力すると並行して、バウンダリスキャンテスト用データを入力し、端子機能(入出力端子、3ステート出力端子の方向)および出力値を設定します。

(2) バイパスレジスタ (JTAGBPR)

バイパスレジスタは、バウンダリスキャンテストにおいて、その対象とならないときに、バウンダリスキャンパスをバイパスするための1ビットのレジスタです。

JTDI/JTDO端子間に接続されており、「BYPASS命令」発行時に選択されます。本レジスタは、「Capture-DR」状態でb'0(固定値)がロードされます。

(3) IDコードレジスタ (JTAGIDR)

IDコードレジスタは、デバイスおよびメーカを識別するための32ビットのレジスタであり、以下の情報を保持しています。

- バージョン情報(4ビット) : b'0000
- パート番号(16ビット) : b'0011 0010 0010 0011
- 製造者ID(11ビット) : b'000 0001 1100

このレジスタは、JTDI/JTDO端子間に接続されており、「IDCODE命令」発行時に選択されます。「Capture-DR」状態で上記IDCODEデータをロードし、「Shift-DR」状態でJTDO端子から出力します。

本レジスタは読み出しのみ可能です。DRパスシーケンスにおけるJTDI端子からの書き込みデータは無視されますので、「Shift-DR」状態中はJTDI端子へは"L"レベルを入力してください。

| | | | |
|-------|-------|-------|-------|
| 0 | 3 4 | 19 20 | 30 31 |
| バージョン | パート番号 | 製造者ID | 1 |
| 4ビット | 16ビット | 11ビット | |

注 . . 「Capture-DR」状態、「Shift-DR」状態については「19.4 JTAG基本動作」を参照してください。

19.4 JTAG基本動作

19.4.1 JTAG動作概要

命令レジスタおよびデータレジスタに対する基本的なアクセスには以下の3動作があり、TAPコントローラの状態遷移にもとづいて行われます。TAPコントローラは、JTMS入力によって状態遷移を行い、それぞれの状態における動作に必要な制御信号を生成し供給します。

- キャプチャ(Capture)動作

バウンダリスキャンテストの結果、またはレジスタごとに定義された固定データをサンプリングします。レジスタの動作としては、データ入力をシフトレジスタステージへロードします。

- シフト(Shift)動作

バウンダリスキャンパスを通して外部からアクセスを行います。外部からのデータ設定を行うと同時に、キャプチャ時にサンプリングした値を外部に出力します。レジスタの動作としては、各ビットのシフトレジスタステージ間で右シフト動作を行います。

- アップデート(Update)動作

シフト時に外部から設定したデータをドライブします。レジスタの動作としては、シフトレジスタステージに設定した値をパラレル出力ステージへ転送します。

JTAGインタフェースは、JTMS入力にしたがって内部状態を遷移し、以下の二つの動作を行います。いずれの場合も基本的に「キャプチャ シフト アップデート」の順で行われます。

- IRパスシーケンス

命令コードを命令レジスタに設定して、続くDRパスシーケンスで操作の対象となるデータレジスタを選択します。

- DRパスシーケンス

選択されたデータレジスタに対して、データの参照や設定を行います。

TAPコントローラの状態遷移、およびJTAG関連レジスタの基本構成を以下に示します。

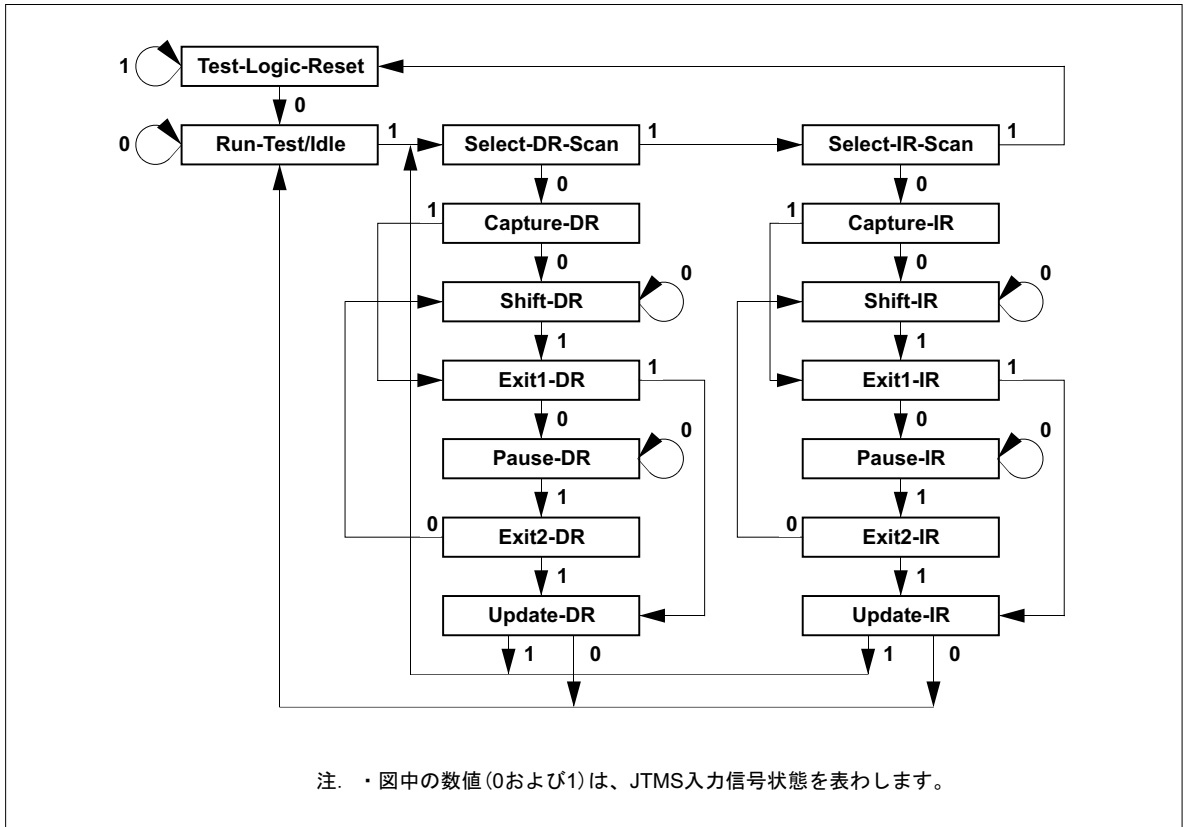


図19.4.1 TAPコントローラの状態遷移

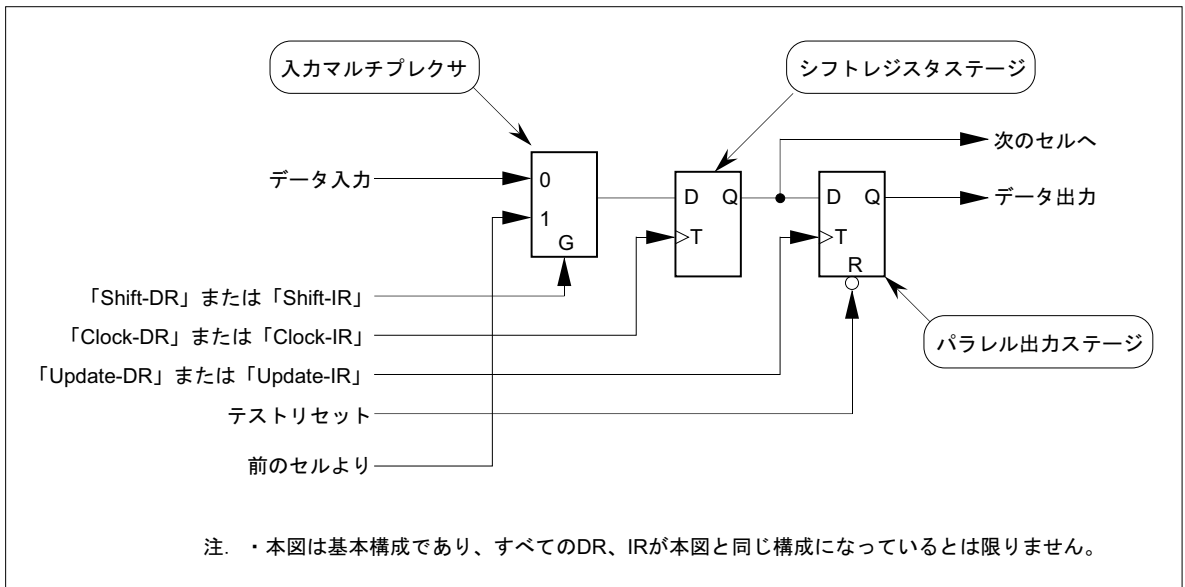


図19.4.2 JTAG関連レジスタの基本構成

19.4.2 IRパスシーケンス

命令レジスタ(JTAGIR)に命令コードを設定し、続くDRパスシーケンスでアクセス対象となるデータレジスタを選択します。IRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS = "H"をJTCKの2サイクル期間入力し、「Select-IR-Scan」状態に移行します。
- (2) JTMS = "L"にして「Capture-IR」状態に移行します。このとき、b'110001(固定値)が命令レジスタのシフトレジスタステージに設定されます。
- (3) 続けてJTMS = "L"を入力すると「Shift-IR」状態に移行します。
「Shift-IR」状態では、各サイクルごとにシフトレジスタステージの値が1ビット右シフトされ、(2)で設定されたb'110001(固定値)がJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される命令コードがシフトレジスタステージに設定されていきます。6ビット構成の命令レジスタのシフトレジスタステージに命令コードを設定するため、「Shift-IR」状態はJTCKの6サイクル期間続けます。
シフト動作を中断したい場合は、一旦「Exit1-IR」状態を経由して「Pause-IR」状態へ移行します(JTMS = "H" "L"を入力)。また「Pause-IR」状態から復帰する場合は、一旦「Exit2-IR」状態を経由して「Shift-IR」状態へ移行します(JTMS = "H" "L"を入力)。
- (4) JTMS = "H"にして「Shift-IR」状態から「Exit1-IR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS = "H"を入力すると「Update-IR」状態に移行します。「Update-IR」状態では、命令レジスタのシフトレジスタステージに設定された命令コードが、命令レジスタの平行出力ステージに転送され、JTAG命令のデコードが開始されます。
- (6) 続けてJTMS = "H"を入力すると「Select-DR-Scan」状態に、JTMS = "L"を入力すると「Run-Test/Idle」状態に移行します。

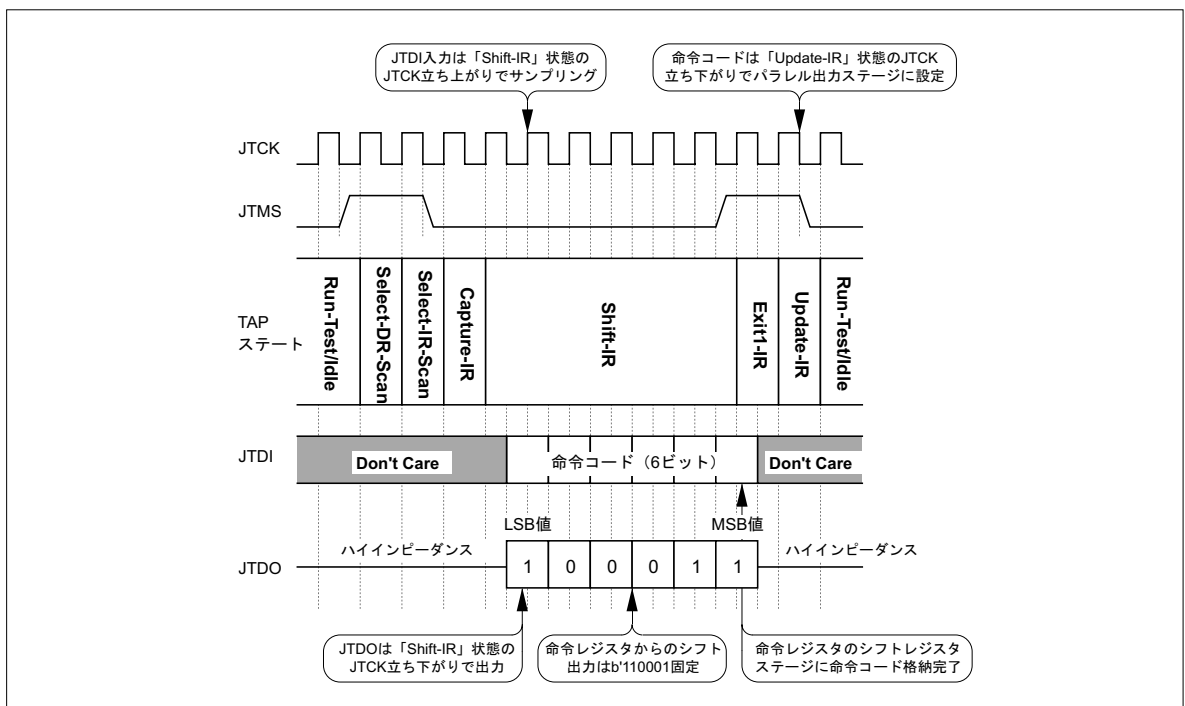


図19.4.3 IRパスシーケンス

19.4.3 DRパスシーケンス

DRパスシーケンスの前に行われたIRパスシーケンスで選択されたデータレジスタに対し、データの参照および設定を行います。DRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS = "H"をJTCKの1サイクル期間入力し、「Select-DR-Scan」状態に移行します。このとき、どのデータレジスタが選択されるかは、DRパスシーケンスの前に行われたIRパスシーケンスで設定された命令によって決まります。
- (2) JTMS = "L"にして「Capture-DR」状態に移行します。このとき、データレジスタのシフトレジスタステージに、バウンダリスキャンテストの結果またはレジスタごとに定義された固定データが設定されます。
- (3) 続けてJTMS = "L"を入力すると「Shift-DR」状態に移行します。「Shift-DR」状態では、各サイクルごとにDRの値が1ビット右シフトされ、(2)で設定されたデータがJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される設定データがデータレジスタのシフトレジスタステージに設定されていきます。「Shift-IR」状態を選択したデータレジスタのビット数分続ける(JTMS = "L"を入力すること)で、シフトレジスタステージ全ビットのデータを設定および読み出すことができます。シフト動作を中断したい場合は、一旦「Exit1-DR」状態を経由して「Pause-DR」状態へ移行します(JTMS = "H" "L"を入力)。また「Pause-DR」状態から復帰する場合は、一旦「Exit2-DR」状態を経由して「Shift-DR」状態へ移行します(JTMS = "H" "L"を入力)。
- (4) JTMS = "H"にして「Shift-DR」状態から「Exit1-DR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS = "H"を入力すると「Update-DR」状態に移行します。「Update-DR」状態では、データレジスタのシフトレジスタステージに設定されたデータがパラレル出力ステージに転送され、設定データが使用可能になります。
- (6) 続けてJTMS = "H"を入力すると「Select-DR-Scan」状態に、JTMS = "L"を入力すると「Run-Test/Idle」状態に移行します。

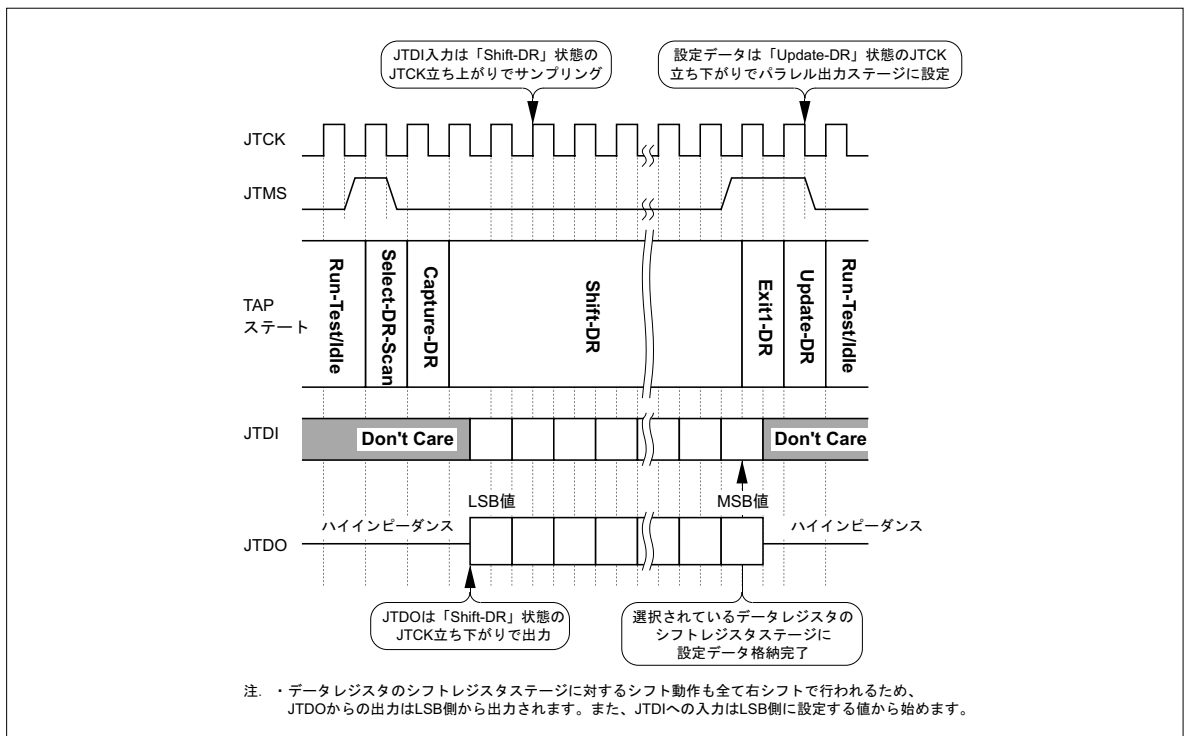
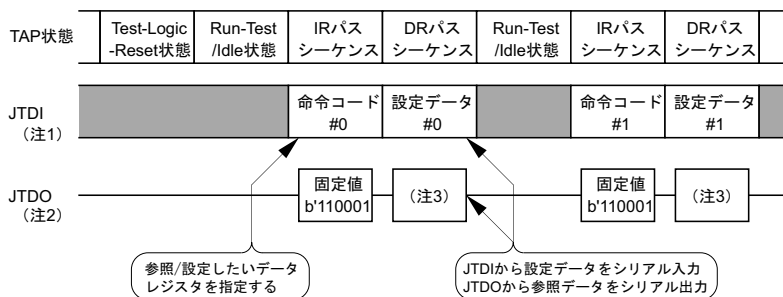


図19.4.4 DRパスシーケンス

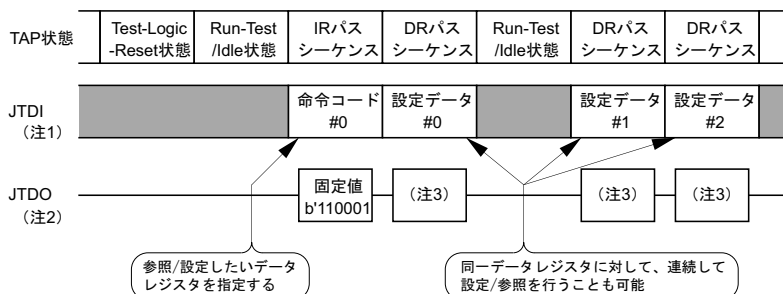
19.4.4 データレジスタの参照および設定

データレジスタを参照/設定する場合は、以下の手順で行います。

- (1)最初にテストアクセスポート(JTAG)をアクセスする場合は、テストリセット(テスト回路の初期化)を行います。テストリセットを行うには以下の二つの方法があります。
 - JTRST#端子に"L"を入力する
 - JTMS端子を"H"にして5サイクル以上JTCKを入力する
- (2)JTMS = "L"にして「Run-Test/Idle」状態に移行します。アイドル状態を続ける場合は、JTMS = "L"を入力し続けます。
- (3)JTMS = "H"にして「Run-Test/Idle」状態を抜け、IRバスシーケンスを行います。IRバスシーケンスでは参照/設定したいデータレジスタを指定します。
- (4)続いてDRバスシーケンスを行います。IRバスシーケンスで指定したデータレジスタに対し、JTDI端子から設定データを入力し、JTDO端子から参照データを読み出します。
- (5)DRバスシーケンス完了後、続けてIRバスシーケンスやDRバスシーケンスを行う場合は、JTMS = "H"を入力して「Select-DR-Scan」状態に戻ります。一連のIR/DRバスシーケンス処理が完了して次の処理を待つ場合は、JTMS = "L"を入力して「Run-Test/Idle」状態に移行し、その状態を保ちます。



(1) 基本的なアクセス



(2) 同一データレジスタへの連続アクセス

- 注1. 各レジスタへの設定値は、LSB側からJTDI端子へ入力します。
 注2. 各レジスタの値は、LSB側からJTDO端子へ出力されます。またJTDO端子は、IRバスシーケンスの「Shift-IR」状態およびDRバスシーケンスの「Shift-DR」状態時のみ有効な値が出力され、それ以外の状態ではハイインピーダンスになります。
 注3. 直前のIRバスシーケンスで設定された命令で選択されたデータレジスタからの読み出しです。選択されたデータレジスタのシフトレジスタステージに、「Capture-DR」状態時にサンプリングされた値が出力されます。

図19.4.5 JTAG連続アクセス

19.5 バウンダリスキャン記述言語

バウンダリスキャン記述言語(以下BSDLと略)は、IEEE 1149.1-1990およびIEEE 1149.1a-1993の「Standard Test Access Port and Boundary-Scan Architecture」に対する補足事項の中で述べられています。

BSDLは、IEEE 1076-1993 Standard VHSIC Hardware Description Language(VHDL)のサブセットです。BSDLでは、基準を満たすコンポーネントのテスト対象の機能を厳密に記述することができます。この言語は、パッケージ接続テストではAutomated Test Pattern Generationツールで、Synthesized Test Logic and VerificationではElectronic Design Automationツールで使用されます。BSDLは、内部のTest Generationで使用可能な、またHardware Debug and Diagnostics用のソフトウェアを記述するための強力な拡張機能を規定します。

BSDLのプライマリセクションには、論理ポート記述、物理ピンマップ、命令セット、およびバウンダリレジスタ記述のステートメントがあります。

- 論理ポート記述

論理ポート記述は、チップのピンに対して意味のある記号名を割り当てます。ここで、信号フローの論理方向を定義する各ピンの入力、出力、入出力、バッファ、またはリンクの論理タイプが決まります。

- 物理ピンマップ

物理ピンマップは、チップの論理ポートを各パッケージの物理ピンに関連付けます。各マップを個別の名前にすれば、1つのBSDL記述で複数の物理ピンマップを定義することができます。

- 命令セットステートメント

命令セットステートメントは、チップの命令レジスタにシフトインすべきビットパターンを記述します。このビットパターンは、基準で定義される各テストモードにチップを移行させるために必要です。また、チップ専用の命令を記述することも可能です。

- バウンダリレジスタ記述

バウンダリレジスタ記述は、バウンダリレジスタの各セルまたはシフトステージのリストです。各セルには個別の番号が付きます。番号が0のセルは、テストデータ出力(JTDO)ピンに最も近接するセル、番号が最大のセルはテストデータ入力(JTDI)ピンに最も近接するセルです。セルにはそれ以外の関連情報、つまりセルタイプ、セルに対応する論理ポート、セルの論理機能、安全値、制御セル番号、ディセーブル値、および結果値などの情報も含まれます。

注．．バウンダリスキャン言語(BSDL)につきましては、量産後に「三菱マイコン技術ホームページ」のM32Rファミリ応用技術資料からのダウンロードを予定しています。以下にホームページのURLを示します。

<http://www.infomicom.maec.co.jp/>

19.6 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

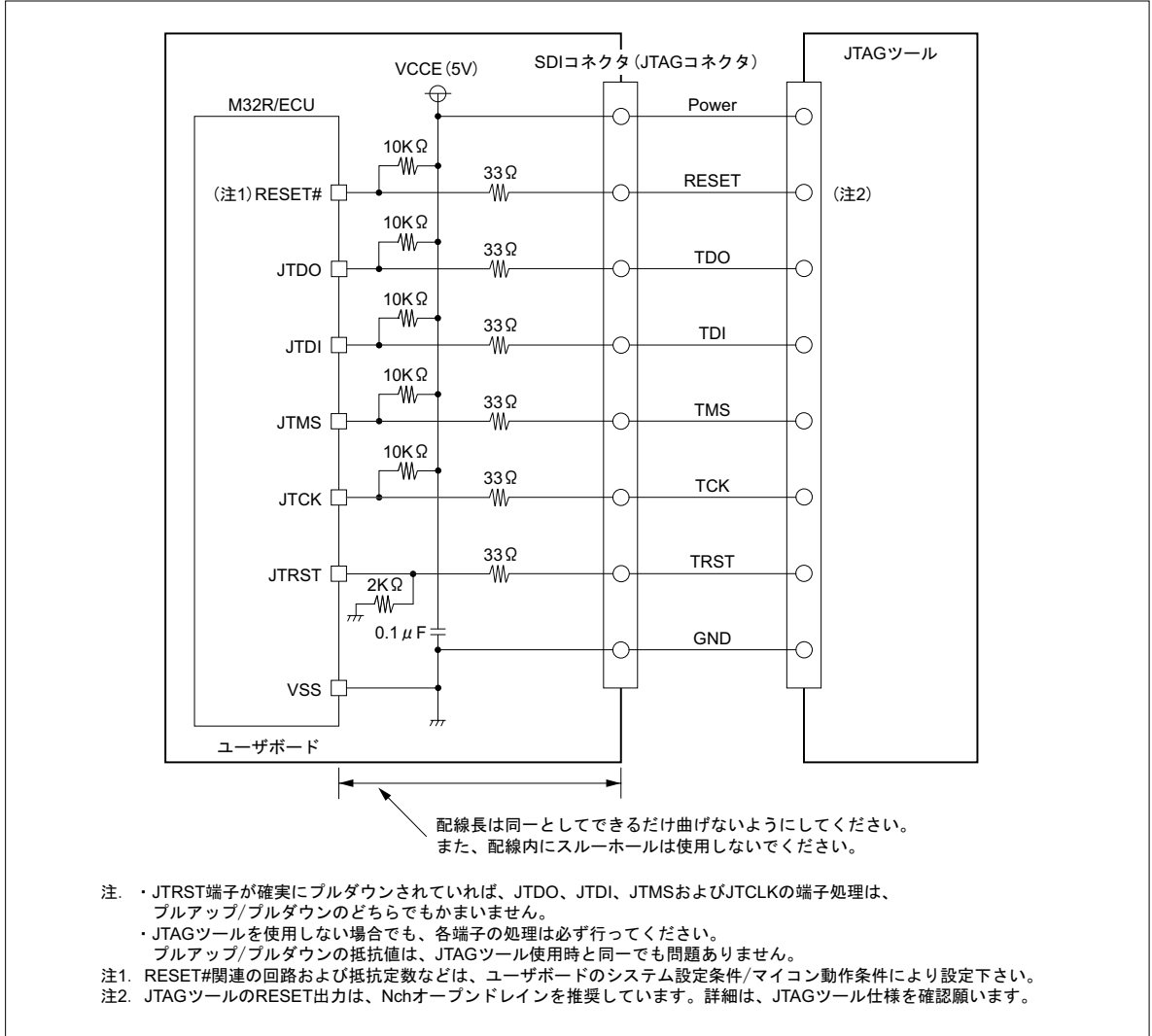
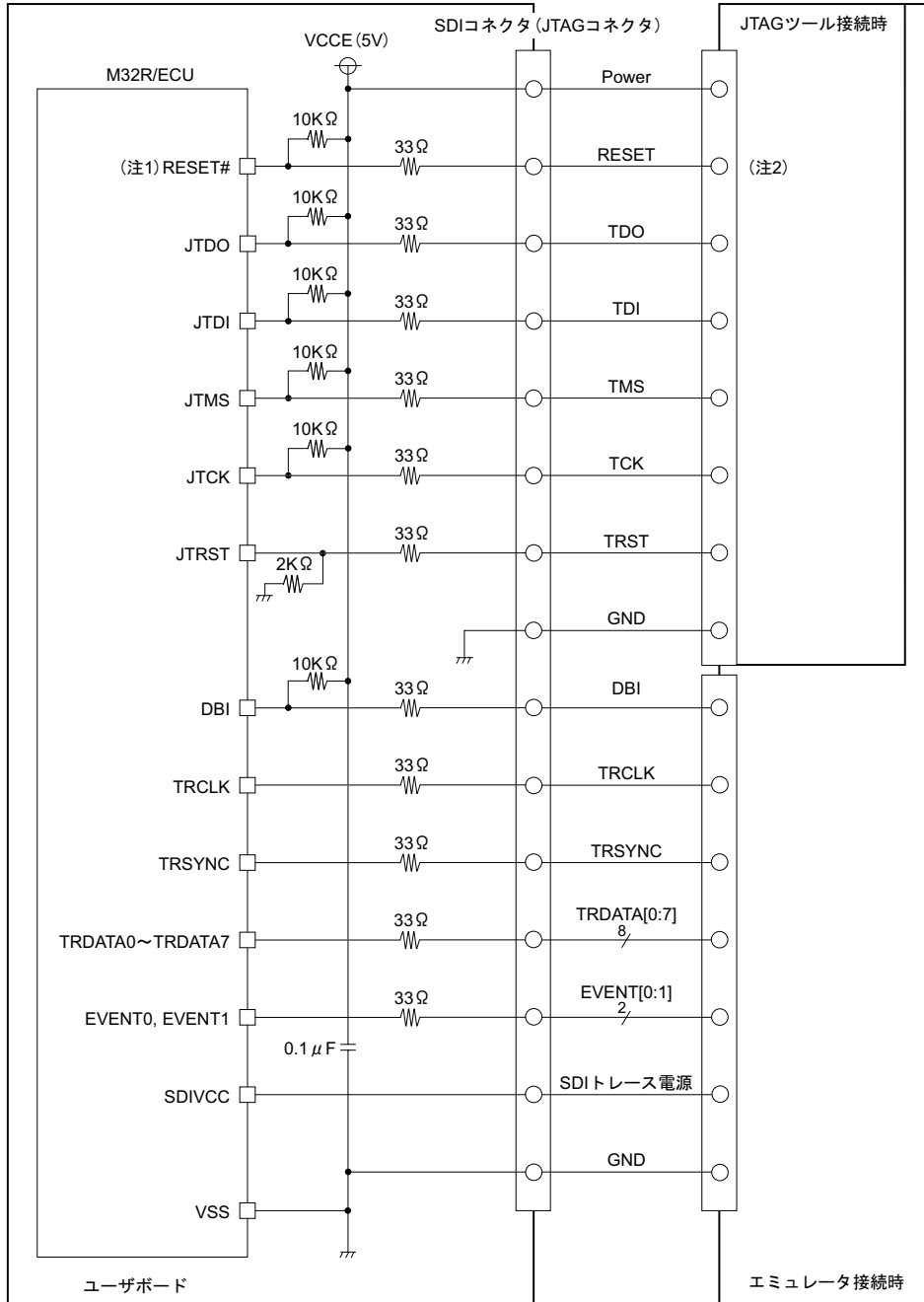


図19.6.1 JTAGツール接続時の注意事項 (240QFP使用時)



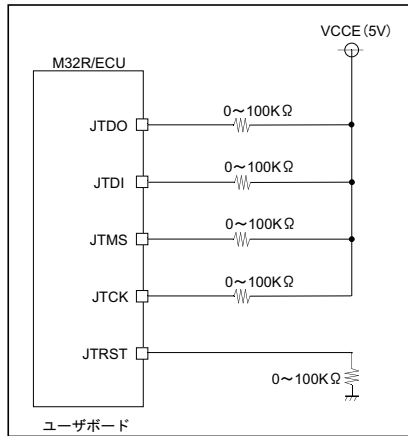
配線長は同一としてできるだけ曲げないようにしてください。
また、配線内にスルーホールは使用しないでください。

- 注. ・ JTRST端子が確実にプルダウンされていれば、JTDO、JTDI、JTMSおよびJTCKの端子処理は、プルアップ/プルダウンのどちらでもかまいません。
- ・ JTAGツールを使用しない場合でも、各端子の処理は必ず行ってください。
- ・ プルアップ/プルダウンの抵抗値は、JTAGツール使用時と同一でも問題ありません。
- 注1. RESET#関連の回路および抵抗定数などは、ユーザーボードのシステム設定条件/マイコン動作条件により設定下さい。
- 注2. JTAGツールのRESET出力は、Nchオープンドレインを推奨しています。詳細は、JTAGツール仕様を確認願います。

図19.6.2 JTAGツール接続時の注意事項(255FBGA使用時)

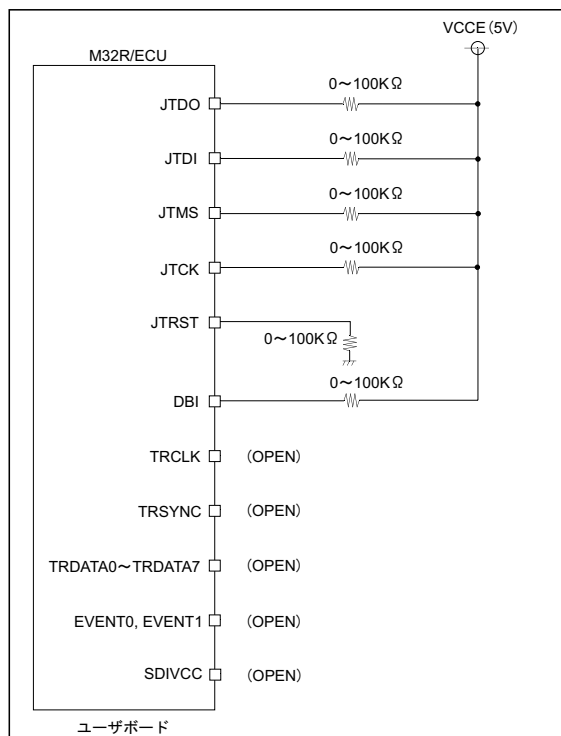
19.7 JTAG未使用時の端子処理

JTAG端子を使用しない場合の端子処理を以下に示します。



注. ・ JTRST端子が確実にプルダウンされていれば、JTDO、JTDI、JTMS、およびJTCLKの端子処理は、プルアップ/プルダウンのどちらでもかまいません。

図19.7.1 JTAG未使用時の端子処理(240QFP使用時)



注. ・ JTRST端子が確実にプルダウンされていれば、JTDO、JTDI、JTMS、およびJTCLKの端子処理は、プルアップ/プルダウンのどちらでもかまいません。

図19.7.2 JTAG未使用時の端子処理(255QFP使用時)

第20章

電源回路

- 20.1 電源回路の構成
- 20.2 電源立ち上げシーケンス
- 20.3 電源立ち下げシーケンス

20.1 電源回路の構成

32180は、 $5V \pm 0.5V$ 又は $3.3V \pm 0.3V$ の単一電源で動作します。

以下、本章で注釈がない場合 $5V \pm 0.5V$ は $5V$ 、 $3.3V \pm 0.3V$ は $3.3V$ と示します。

表20.1.1 電源機能一覧

| 電源種別 | 端子名 | 機能 |
|------------|--------------|----------------|
| 5.0V又は3.3V | VCCE | 主電源 |
| | AVCC0, AVCC1 | A-D変換器の電源 |
| | VREF0, VREF1 | A-D変換器の基準電圧 |
| | VCC-BUS | 外部バス電源 |
| | OSC-VCC | 発振回路の電源 |
| | VDDE | 内部RAMバックアップ用電源 |
| | | |

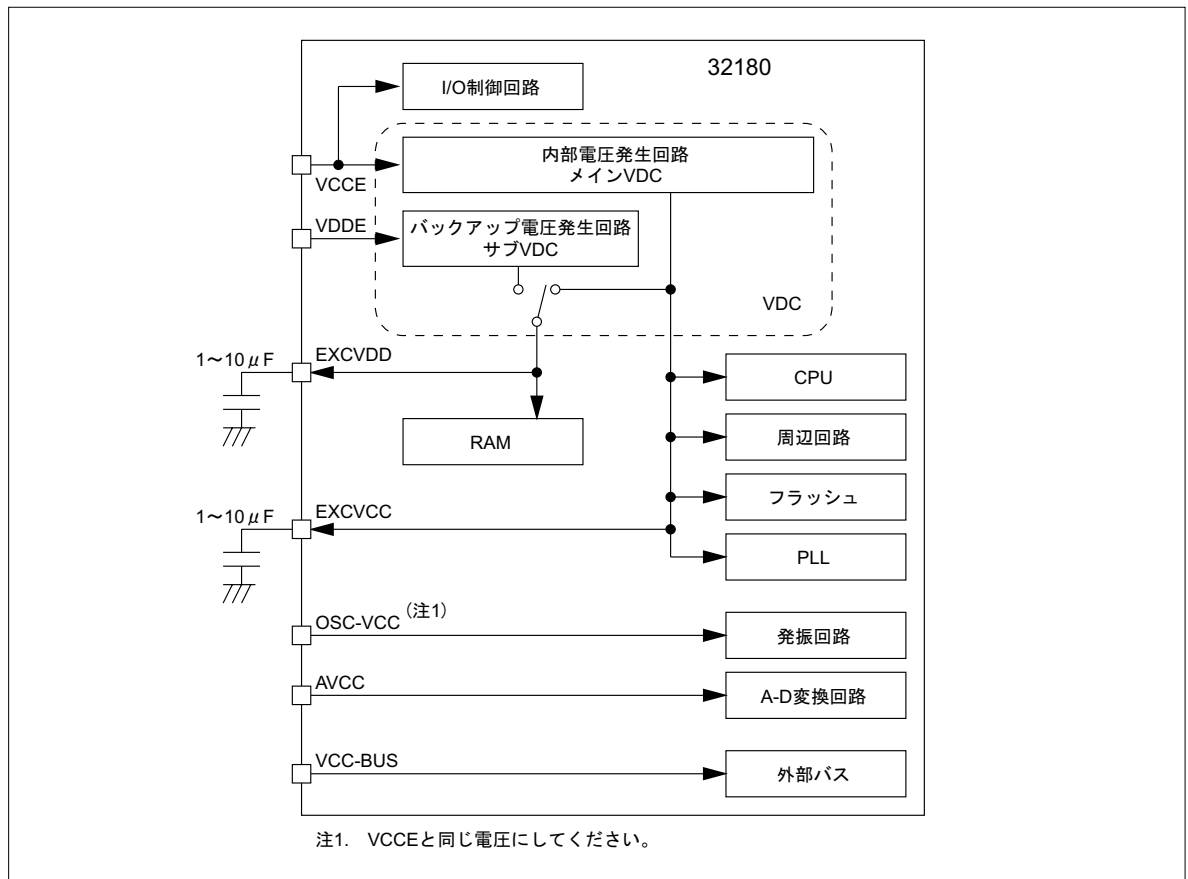


図20.1.1 電源回路構成図(VCCE = 5.0Vまたは3.3V)

20.2 電源立ち上げシーケンス

20.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

RAMバックアップ未使用時の電源(5.0Vまたは3.3V)立ち上げシーケンスを以下に示します。

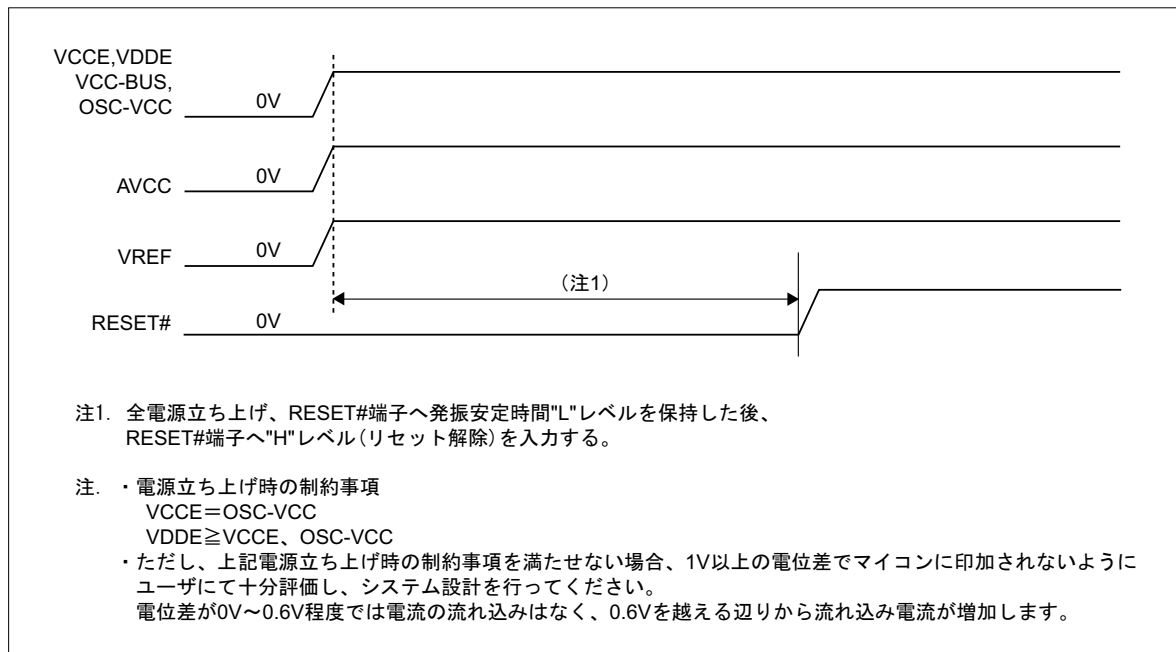


図20.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

20.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

RAMバックアップ使用時の電源(5.0Vまたは3.3V)立ち上げシーケンスを以下に示します。

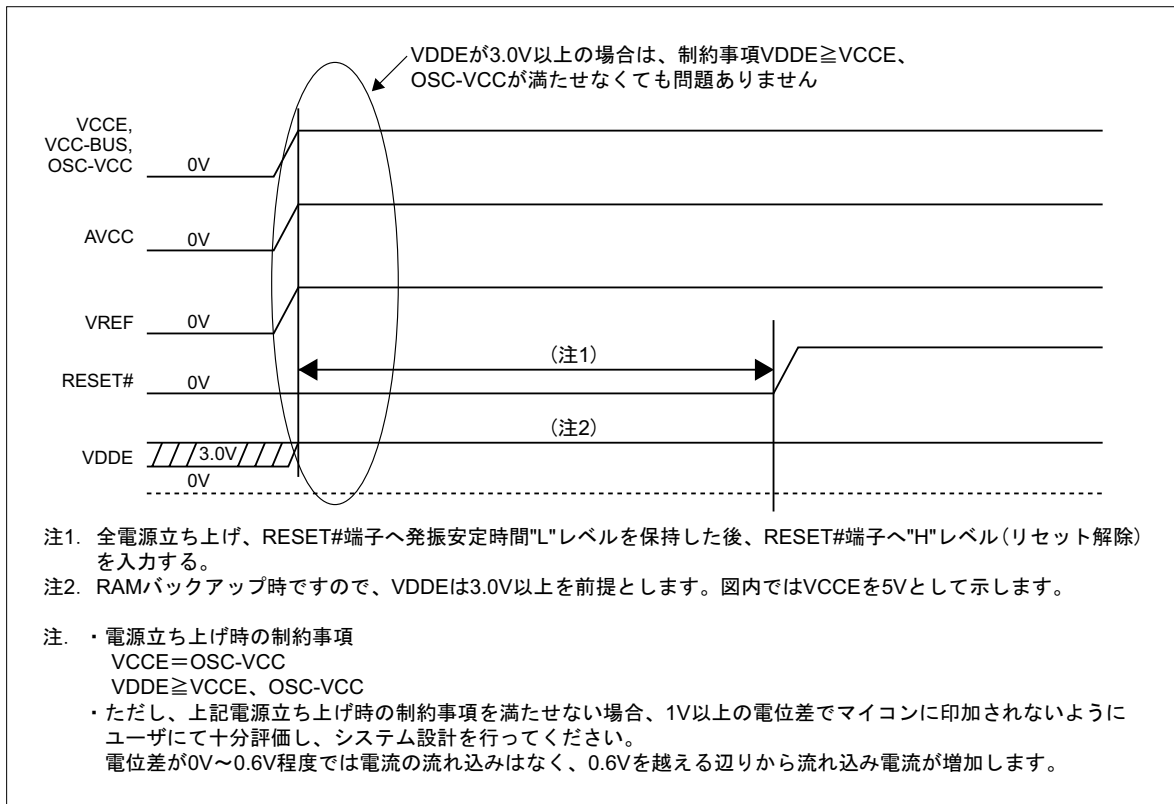


図20.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

20.3 電源立ち下げシーケンス

20.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

RAMバックアップ未使用時の電源(5.0Vまたは3.3V)立ち下げシーケンスを以下に示します。

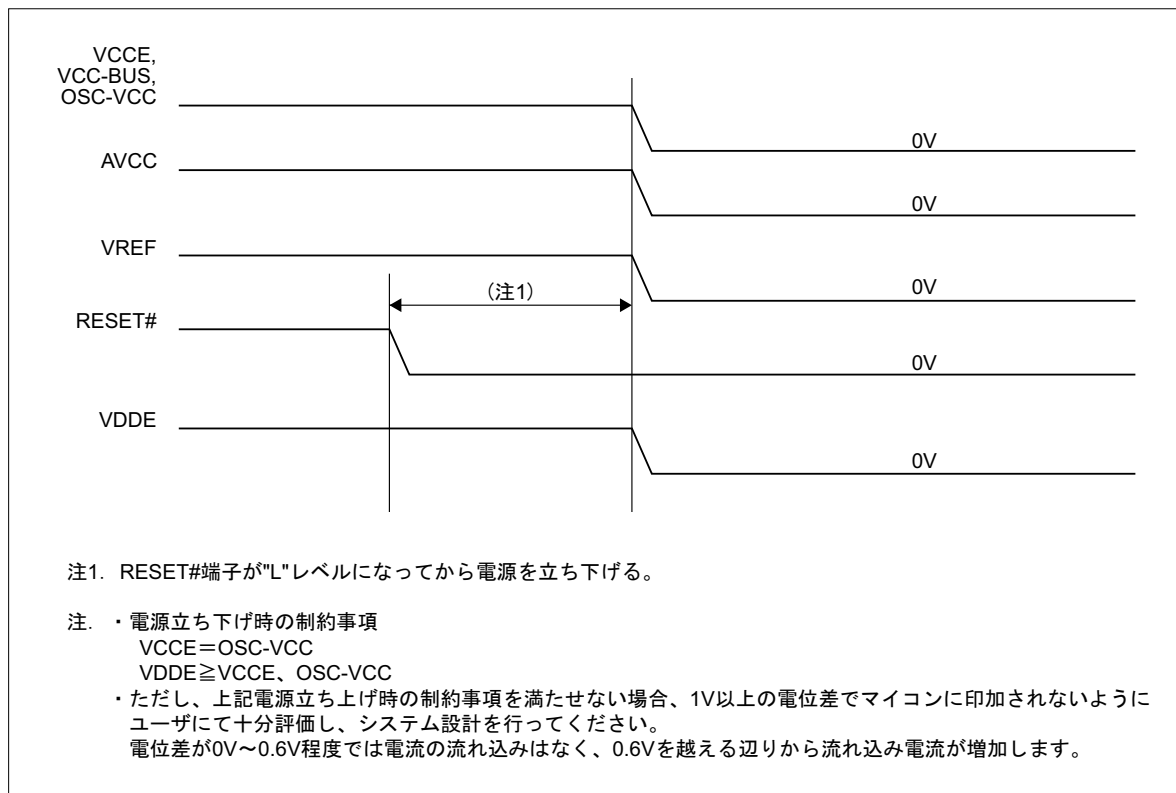


図20.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

20.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

HREQ機能を使用したRAMバックアップ使用時の電源(5.0Vまたは3.3V)立ち下げシーケンスを以下に示します。

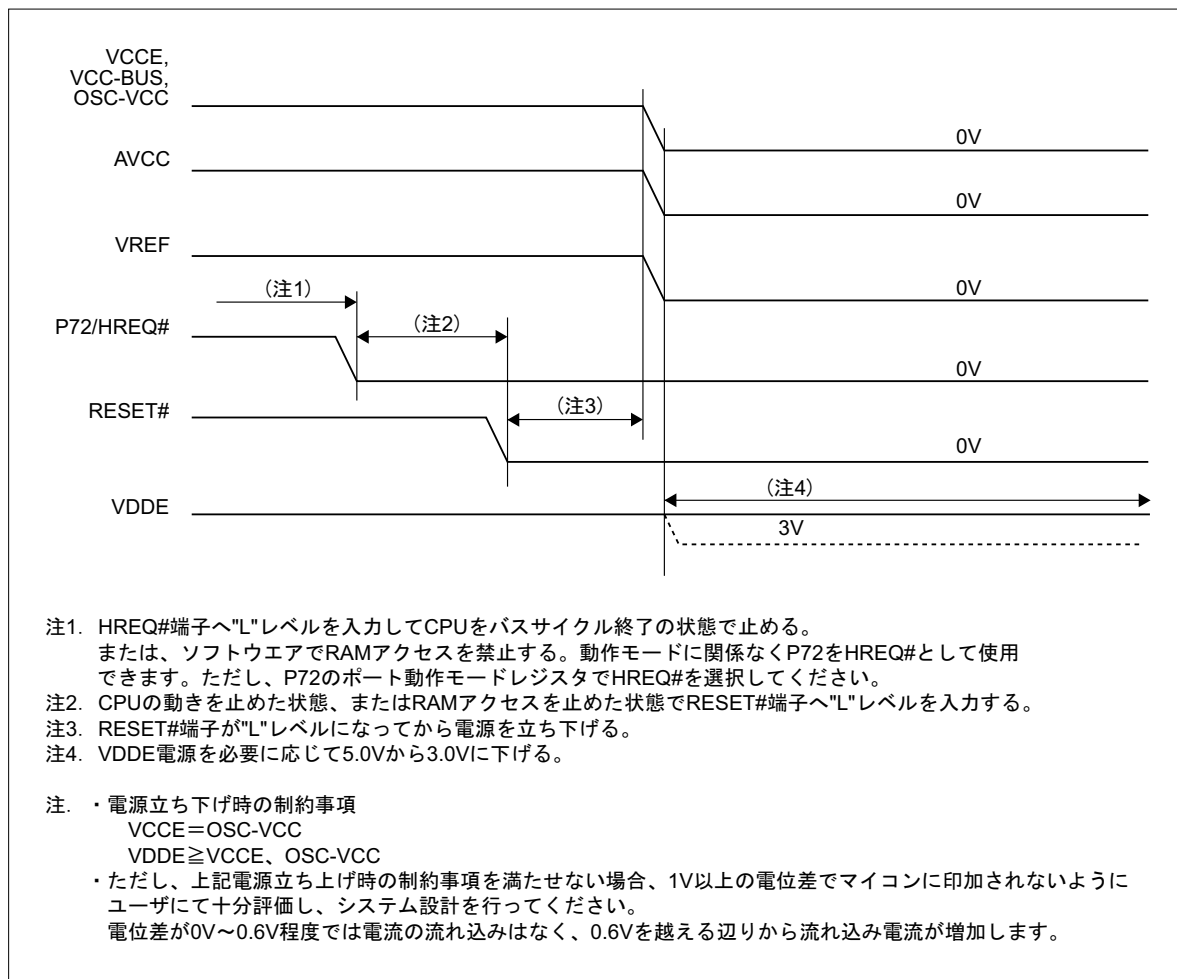


図20.3.2 RAMバックアップ使用時の電源立ち下げシーケンス(VCCE = 5.0Vまたは3.3V)

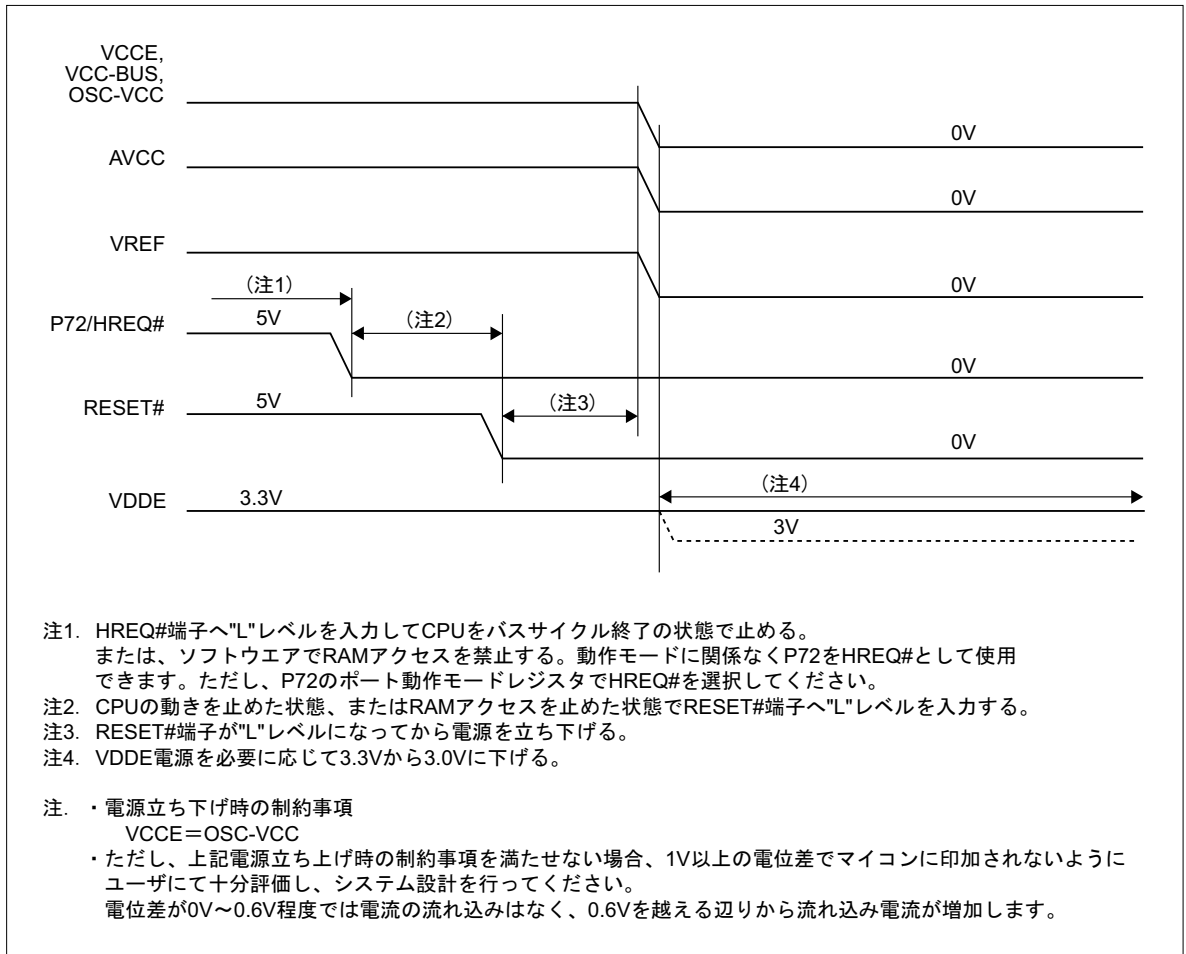


図20.3.3 RAMバックアップ使用時の電源立ち下げシーケンス(VCCE = 5.0V時、VDDE = 3.3V)

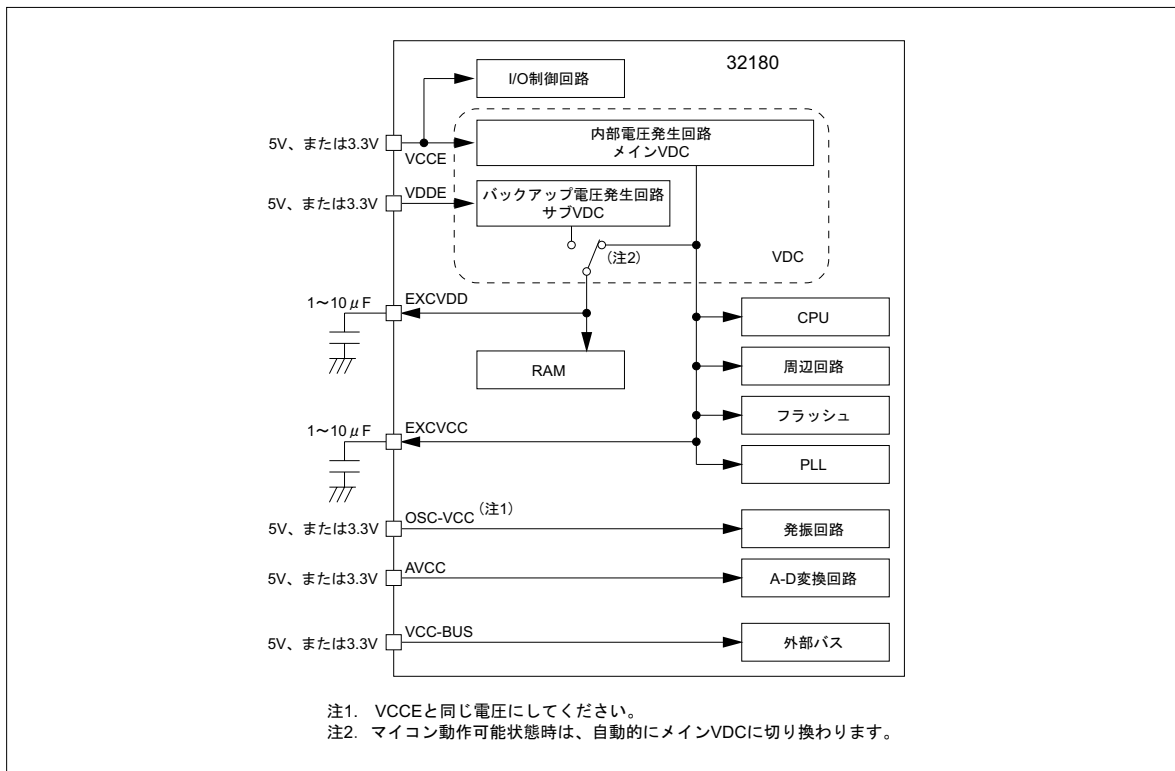


図20.3.4 マイコン動作可能状態(VCCE = 5.0Vまたは3.3V)

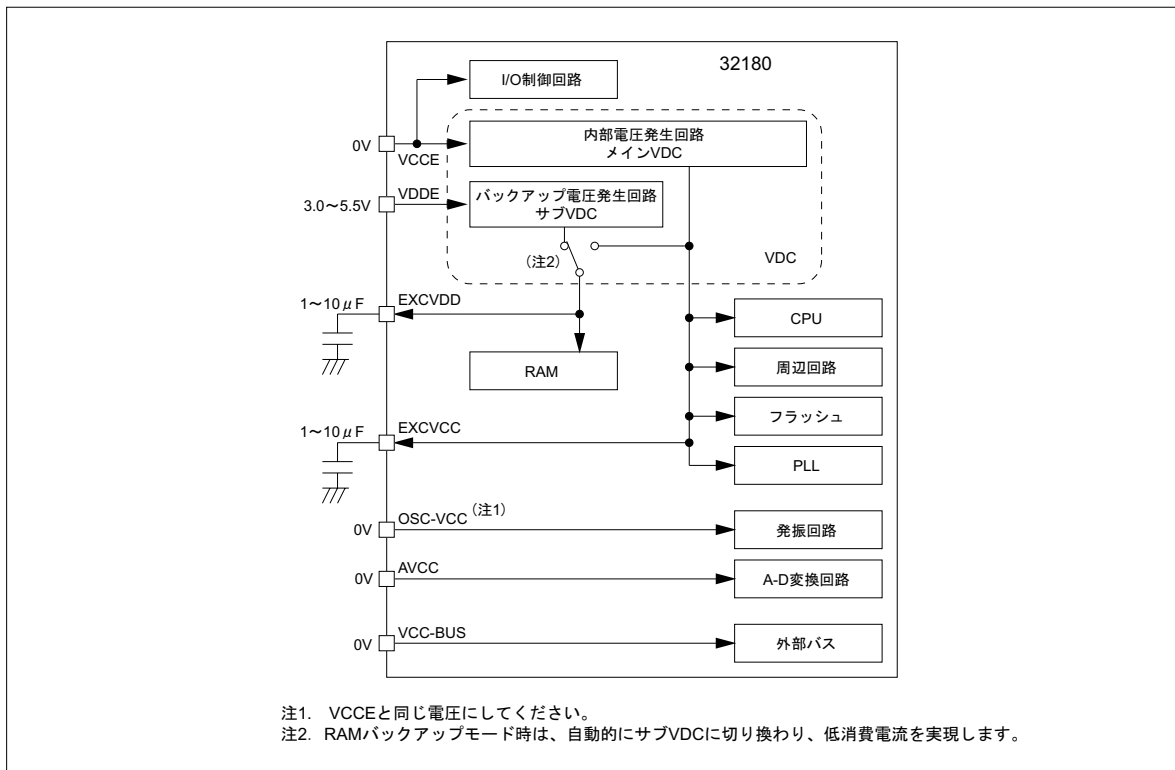


図20.3.5 SRAMデータバックアップ状態(VCCE = 5.0Vまたは3.3V)

第21章

電気的特性

- 21.1 絶対最大定格
- 21.2 $V_{CC} = 5V$ 、 $f(XIN) = 10MHz$ 時の電気的特性
- 21.3 $V_{CC} = 5V$ 、 $f(XIN) = 8MHz$ 時の電気的特性
- 21.4 $V_{CC} = 3.3V$ 、 $f(XIN) = 10MHz$ 時の電気的特性
- 21.5 $V_{CC} = 3.3V$ 、 $f(XIN) = 8MHz$ 時の電気的特性
- 21.6 フラッシュ関連特性
- 21.7 AC特性($V_{CC} = 5V$ 時)
- 21.8 AC特性($V_{CC} = 3.3V$ 時)

21.1 絶対最大定格

絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|---------|------------|----------------|--------------------|----|
| VCCE | 主電源 | VCCE=OSC-VCC | -0.3 ~ 6.5 | V |
| OSC-VCC | クロック電源 | VCCE=OSC-VCC | -0.3 ~ 6.5 | V |
| VCC-BUS | バス電源 | VCCE=OSC-VCC | -0.3 ~ 6.5 | V |
| VDDE | RAM電源 | VCCE=OSC-VCC | -0.3 ~ 6.5 | V |
| AVCC | アナログ電源 | VCCE AVCC VREF | -0.3 ~ 6.5 | V |
| VREF | 基準電圧入力 | VCCE AVCC VREF | -0.3 ~ 6.5 | V |
| VI | Xin | | -0.3 ~ OSC-VCC+0.3 | V |
| | VCNT | | -0.3 ~ 3.2 | V |
| | その他 | | -0.3 ~ VCCE+0.3 | V |
| VO | Xout | | -0.3 ~ OSC-VCC+0.3 | V |
| | その他 | | -0.3 ~ VCCE+0.3 | V |
| Pd | 消費電力 | Ta=-40 ~ 85 | 600 | mW |
| | | Ta=-40 ~ 125 | 500 | mW |
| TOPR | 動作周囲温度(注1) | | -40 ~ 125 | |
| Tstg | 保存温度 | | -65 ~ 150 | |

注1 . 125 連続動作を保証するものではありません。125 応用を検討されているお客様は弊社までお問い合わせください。

21.2 VCCE = 5V、f(XIN) = 10MHz時の電氣的特性

21.2.1 推奨動作条件(VCCE = 5V、f(XIN) = 10MHz時)

推奨動作条件(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5V ± 0.5V, Ta = -40 ~ 85)

| 記号 | 項目 | | | | 定格値 | | | 単位 | |
|---------------------------|---------------------|---|-------------------------------|-------------------------------|----------|----------|----------|------|---|
| | | | | | 最小 | 標準 | 最大 | | |
| VCCE | 主電源(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| OSC-VCC | クロック電源(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| VCC-BUS | バス電源(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| VDDE | RAM電源(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| AVCC | アナログ電源(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| VREF | 基準電圧入力(注1) | | | | 4.5 | 5.0 | 5.5 | V | |
| VIH | "H"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0.45VCCE | | VCCE | V | |
| | | | | しきい値選択 : 0.5VCCE | 0.6VCCE | | VCCE | V | |
| | | | | しきい値選択 : 0.7VCCE | 0.8VCCE | | VCCE | V | |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0.6VCCE | | VCCE | V | |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0.8VCCE | | VCCE | V | |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0.8VCCE | | VCCE | V | |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | | 0.8VCCE | | VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | | | | 0.8VCCE | | VCCE | V |
| 次の端子の標準入力: DB0 ~ 15, WAIT | | | | 0.43VCCE | | VCCE | V | | |
| 次の端子の標準入力: SBI, HREQ | | | | 0.6VCCE | | VCCE | V | | |
| VIL | "L"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0 | | 0.25VCCE | V | |
| | | | | しきい値選択 : 0.5VCCE | 0 | | 0.4VCCE | V | |
| | | | | しきい値選択 : 0.7VCCE | 0 | | 0.6VCCE | V | |
| | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0 | | 0.25VCCE | V | | |
| | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0 | | 0.25VCCE | V | | |
| | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0 | | 0.4VCCE | V | | |

| 記号 | 項目 | | 定格値 | | | 単位 |
|-----------|-------------|---|-----|----|----------|-----|
| | | | 最小 | 標準 | 最大 | |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | 0 | | 0.2VCCE | V |
| | | 次の端子の標準入力： RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | 0 | | 0.25VCCE | V |
| | | 次の端子の標準入力：DB0 ~ 15, WAIT | 0 | | 0.16VCCE | V |
| | | 次の端子の標準入力：SBI, HREQ | 0 | | 0.25VCCE | V |
| IOH(peak) | "H"尖塔出力電流 | P0 ~ P2(注2) | | | -10 | mA |
| IOH(avg) | "H"平均出力電流 | P0 ~ P2(注3) | | | -5 | mA |
| IOL(peak) | "L"尖塔出力電流 | P0 ~ P2(注2) | | | 10 | mA |
| IOL(avg) | "L"平均出力電流 | P0 ~ P2(注3) | | | 5 | mA |
| CL | 出力負荷 | JTDO, JTMS | | | 80 | pF |
| | 容量 | 上記以外 | | | 50 | pF |
| f(XIN) | 外部クロック入力周波数 | | 5 | | 10 | MHz |

注1．条件：VCCE AVCC VREF, VCCE=OSC-VCCE

注2．ポートの出力電流(peak)の合計は、

ポートP0 + P1 80mA
 ポートP2 + P3 80mA
 ポートP41 ~ P43 + P70 ~ P73 80mA
 ポートP44 ~ P47 + P224 ~ P227 80mA
 ポートP61 ~ P63 + P12 + P14 + P19 80mA
 ポートP65 ~ P67 + P8 + P16 + P17 + P21 80mA
 ポートP74 ~ P77 + P10 + P18 80mA
 ポートP9 + P11 80mA
 ポートP13 + P220 ~ P223 80mA
 ポートP15 + P20 80mA

注3．平均出力電流は、100msの期間内での平均値です。

注4．以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227

21.2.2 DC特性(VCCE = 5V、f(XIN) = 10MHz時)

電氣的特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5V ± 0.5V, Ta = -40 ~ 85)

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 |
|------------|---|------------------|--------------------------|-------------------------|-----|------------------|----|
| | | | | 最小 | 標準 | 最大 | |
| VOH | "H"出力電圧 | | IOH -5mA | VCCE+0.165 × IOH(mA) | | VCCE | V |
| VOL | "L"出力電圧 | | IOL 5mA | 0 | | 0.15×IOL (mA) | V |
| VDDE | RAM保持電源電圧 | | 動作時 | 4.5 | | 5.5 | V |
| | | | バックアップ時 | 3.0 | | 5.5 | V |
| IIH | "H"入力電流 | | VI=VCCE | -5 | | 5 | μA |
| IIL | "L"入力電流 | | VI=0V | -5 | | 5 | μA |
| ICC | 全電源電流(注1) | | f(XIN)=10.0MHz, リセット時 | | | 75 | mA |
| | | | f(XIN)=10.0MHz, 動作時 | | 80 | 120 | |
| IDDEhold | RAM保持電源電流 | VDDE=5.5V | Ta=25 | | 1 | 50 | μA |
| | | | Ta=85 | | | 1500 | |
| | | VDDE=3.0V | Ta=25 | | 0.5 | 10 | |
| | | | Ta=85 | | | 300 | |
| VT+ VT- | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | 1.0 | | | V |
| | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0~5, TCLK0~3, TIN0~33, CRX0, 1 | | | 1.0 | | | |
| | 次の端子の標準入力: SBI, HREQ | | | 0.3 | | | |
| | しきい値切り換え機能 使用時(VT+/VT-) | 0.7VCCE/0.35VCCE | | 1.0 | | | |
| | | 0.7VCCE/0.5VCCE | | 0.3 | | | |
| | | 0.5VCCE/0.35VCCE | | 0.3 | | | |

注1. シングルチップモード、VCCE = OSC-VCC = VCC-BUS = VDDE = AVCC = VREFの全電流

各電源端子の電氣的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------|------------------|-----|----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| ICCE | 動作時VCCE/OSC-VCC電源電流 | f(XIN) = 10.0MHz | | | 120 | mA |
| IDDE | 動作時VDDE電源電流 | f(XIN) = 10.0MHz | | | 1 | mA |
| ICC-BUS | 動作時VCC-BUS電源電流 | f(XIN) = 10.0MHz | | | 10 | mA |
| IAVCC | 動作時AVCC電源電流 | f(XIN) = 10.0MHz | | | 3 | mA |
| IVREF | 動作時VREF電源電流 | f(XIN) = 10.0MHz | | | 1 | mA |

21.2.3 A-D変換特性(VCCE = 5V、f(XIN) = 10MHz時)

A-D変換特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5.12V、Ta = - 40 ~ 85)

| 記号 | 項目 | | | | 測定条件 | 定格値 | | | 単位 |
|-------|-----------------|------------------------------|-------|------|----------------|-------|----|----|------|
| | | | | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | VREF=VCCE=AVCC | | | 10 | bits |
| - | 絶対精度 (注1) | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | | | ±2 | LSB |
| | | | | 倍速 | | | | ±2 | |
| | | 高速 S&H時 | 高速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±3 | |
| | | 高速 S&H時 | 低速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±3 | |
| | | | 高速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±8 | |
| TCONV | 変換時間 | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | 14.95 | | | μs |
| | | | | 倍速 | | 8.65 | | | |
| | | 高速 S&H時 | 高速モード | ノーマル | | 6.55 | | | |
| | | | | 倍速 | | 4.45 | | | |
| | | 高速 S&H時 | 低速モード | ノーマル | | 9.55 | | | |
| | | | | 倍速 | | 5.05 | | | |
| | | | 高速モード | ノーマル | | 4.75 | | | |
| | | | | 倍速 | | 2.65 | | | |
| IIAN | アナログ入力リーク電流(注2) | | | | AVSS ANi AVCC | -5 | | 5 | μA |

注1. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

絶対精度 = 出力コード - (アナログ入力電圧Ani/1LSB)

AVCC = AVREF = 5.12Vの時、1LSB = 5mVです。

注2. A-D変換器が静止した状態におけるANiの入力リーク電流です。

21.3 VCCE = 5V、f(XIN) = 8MHz時の電氣的特性

21.3.1 推奨動作条件(VCCE = 5V、f(XIN) = 8MHz時)

推奨動作条件(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5V ± 0.5V, Ta = -40 ~ 125)

| 記号 | 項目 | | | 定格値 | | | 単位 | |
|---------------------------|---------------------|---|-------------------------------|-------------------------------|----------|----------|----------|---|
| | | | | 最小 | 標準 | 最大 | | |
| VCCE | 主電源(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| OSC-VCC | クロック電源(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| VCC-BUS | バス電源(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| VDDE | RAM電源(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| AVCC | アナログ電源(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| VREF | 基準電圧入力(注1) | | | 4.5 | 5.0 | 5.5 | V | |
| VIH | "H"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0.45VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0.6VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0.8VCCE | | VCCE | V |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0.6VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0.8VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0.8VCCE | | VCCE | V |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | 0.8VCCE | | VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | | | 0.8VCCE | | VCCE | V |
| 次の端子の標準入力: DB0 ~ 15, WAIT | | | 0.43VCCE | | VCCE | V | | |
| 次の端子の標準入力: SBI, HREQ | | | 0.6VCCE | | VCCE | V | | |
| VIL | "L"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0 | | 0.25VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0 | | 0.4VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0 | | 0.6VCCE | V |
| | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0 | | 0.25VCCE | V | |
| | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0 | | 0.25VCCE | V | |
| | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0 | | 0.4VCCE | V | |

| 記号 | 項目 | | 定格値 | | | 単位 |
|-----------|-------------|---|-----|----|----------|-----|
| | | | 最小 | 標準 | 最大 | |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | 0 | | 0.2VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | 0 | | 0.25VCCE | V |
| | | 次の端子の標準入力: DB0 ~ 15, WAIT | 0 | | 0.16VCCE | V |
| | | 次の端子の標準入力: SBI, HREQ | 0 | | 0.25VCCE | V |
| IOH(peak) | "H"尖塔出力電流 | P0 ~ P2(注2) | | | -10 | mA |
| IOH(avg) | "H"平均出力電流 | P0 ~ P2(注3) | | | -5 | mA |
| IOL(peak) | "L"尖塔出力電流 | P0 ~ P2(注2) | | | 10 | mA |
| IOL(avg) | "L"平均出力電流 | P0 ~ P2(注3) | | | 5 | mA |
| CL | 出力負荷 | JTDO, JTMS | | | 80 | pF |
| | 容量 | 上記以外 | | | 50 | pF |
| f(XIN) | 外部クロック入力周波数 | | 5 | | 8 | MHz |

注1. 条件: VCCE AVCC VREF, VCCE=OSC-VCCE

注2. ポートの出力電流(peak)の合計は、

ポートP0 + P1 80mA
 ポートP2 + P3 80mA
 ポートP41 ~ P43 + P70 ~ P73 80mA
 ポートP44 ~ P47 + P224 ~ P227 80mA
 ポートP61 ~ P63 + P12 + P14 + P19 80mA
 ポートP65 ~ P67 + P8 + P16 + P17 + P21 80mA
 ポートP74 ~ P77 + P10 + P18 80mA
 ポートP9 + P11 80mA
 ポートP13 + P220 ~ P223 80mA
 ポートP15 + P20 80mA

注3. 平均出力電流は、100msの期間内での平均値です。

注4. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227

21.3.2 DC特性(VCCE = 5V、f(XIN) = 8MHz時)

電氣的特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5V ± 0.5V, Ta = -40 ~ 125)

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 |
|----------|---|------------------|-------------------------|-------------------------|-----|------------------|----|
| | | | | 最小 | 標準 | 最大 | |
| VOH | "H"出力電圧 | | IOH -5mA | VCCE+0.165 × IOH(mA) | | VCCE | V |
| VOL | "L"出力電圧 | | IOL 5mA | 0 | | 0.15×IOL (mA) | V |
| VDDE | RAM保持電源電圧 | | 動作時 | 4.5 | | 5.5 | V |
| | | | バックアップ時 | 3.0 | | 5.5 | V |
| IIH | "H"入力電流 | | VI=VCCE | -5 | | 5 | μA |
| IIL | "L"入力電流 | | VI=0V | -5 | | 5 | μA |
| ICC | 全電源電流(注1) | | f(XIN)=8.0MHz, リセット時 | | | 65 | mA |
| | | | f(XIN)=8.0MHz, 動作時 | | 65 | 90 | |
| IDDEhold | RAM保持電源電流 | VDDE=5.5V | Ta=25 | | 1 | 50 | μA |
| | | | Ta=125 | | | 4000 | |
| | | VDDE=3.0V | Ta=25 | | 0.5 | 10 | |
| | | | Ta=125 | | | 1500 | |
| VT+ | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | 1.0 | | V | |
| VT- | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0~5, TCLK0~3, TIN0~33, CRX0, 1 | | | 1.0 | | | |
| | 次の端子の標準入力: SBI, HREQ | | | 0.3 | | | |
| | しきい値切り換え機能 使用時(VT+/VT-) | 0.7VCCE/0.35VCCE | | 1.0 | | | |
| | | 0.7VCCE/0.5VCCE | | 0.3 | | | |
| | | 0.5VCCE/0.35VCCE | | 0.3 | | | |

注1. シングルチップモード、VCCE = OSC-VCC = VCC-BUS = VDDE = AVCC = VREFの全電流

各電源端子の電氣的特性

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------|--|-----------------|-----|----|----|----|
| | | | | 最小 | 標準 | 最大 | |
| ICCE | 動作時VCCE/OSC-VCC電源電流 | | f(XIN) = 8.0MHz | | | 90 | mA |
| IDDE | 動作時VDDE電源電流 | | f(XIN) = 8.0MHz | | | 1 | mA |
| ICC-BUS | 動作時VCC-BUS電源電流 | | f(XIN) = 8.0MHz | | | 10 | mA |
| IAVCC | 動作時AVCC電源電流 | | f(XIN) = 8.0MHz | | | 3 | mA |
| IVREF | 動作時VREF電源電流 | | f(XIN) = 8.0MHz | | | 1 | mA |

21.3.3 A-D変換特性(VCCE = 5V、f(XIN) = 8MHz時)

A-D変換特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5.12V、Ta = - 40 ~ 125)

| 記号 | 項目 | | | | 測定条件 | 定格値 | | | 単位 |
|-------|-----------------|------------------------------|-------|------|----------------|---------|----|----|------|
| | | | | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | VREF=VCCE=AVCC | | | 10 | bits |
| - | 絶対精度 (注1) | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | | | ±2 | LSB |
| | | | | 倍速 | | | | ±2 | |
| | | | 高速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±3 | |
| | | 高速 S&H時 | 低速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±3 | |
| | | | 高速モード | ノーマル | | | | ±3 | |
| | | | | 倍速 | | | | ±8 | |
| TCONV | 変換時間 | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | 18.6875 | | | μs |
| | | | | 倍速 | | 10.8125 | | | |
| | | | 高速モード | ノーマル | | 8.1875 | | | |
| | | | | 倍速 | | 5.5625 | | | |
| | | 高速 S&H時 | 低速モード | ノーマル | | 11.9375 | | | |
| | | | | 倍速 | | 6.3125 | | | |
| | | | 高速モード | ノーマル | | 5.9375 | | | |
| | | | | 倍速 | | 3.3125 | | | |
| IIAN | アナログ入力リーク電流(注2) | | | | AVSS ANi AVCC | -5 | | 5 | μA |

注1. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} \text{Ani} / 1\text{LSB})$$

AVCC = AVREF = 5.12Vの時、1LSB = 5mVです。

注2. A-D変換器が静止した状態におけるANiの入力リーク電流です。

21.4 VCCE = 3.3V、f(XIN) = 10MHz時の電氣的特性

21.4.1 推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 10MHz時)

推奨動作条件(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V ± 0.3V, Ta = - 40 ~ 85)

| 記号 | 項目 | | | 定格値 | | | 単位 | |
|---------------------------|---------------------|---|----------------|-------------------------------|----------|-----|----------|---|
| | | | | 最小 | 標準 | 最大 | | |
| VCCE | 主電源(注1) | | | 3.0 | 3.3 | 3.6 | V | |
| OSC-VCC | クロック電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VCC-BUS | バス電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VDDE | RAM電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| AVCC | アナログ電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VREF | 基準電圧入力(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VIH | "H"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0.5VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0.65VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0.8VCCE | | VCCE | V |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0.65VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0.8VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0.8VCCE | | VCCE | V |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | 0.8VCCE | | VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | | | 0.8VCCE | | VCCE | V |
| 次の端子の標準入力: DB0 ~ 15, WAIT | | | 0.5VCCE | | VCCE | V | | |
| 次の端子の標準入力: SBI, HREQ | | | 0.65VCCE | | VCCE | V | | |
| VIL | "L"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0 | | 0.35VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0 | | 0.5VCCE | V |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0 | | 0.35VCCE | V |

| 記号 | 項目 | | 定格値 | | | 単位 |
|-----------|----------------------|---|-----|----|---------|-----|
| | | | 最小 | 標準 | 最大 | |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | 0 | | 0.2VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | 0 | | 0.2VCCE | V |
| | | 次の端子の標準入力: DB0 ~ 15, WAIT | 0 | | 0.2VCCE | V |
| | | 次の端子の標準入力: SBI, HREQ | 0 | | 0.2VCCE | V |
| IOH(peak) | "H"尖塔出力電流P0 ~ P2(注2) | | | | -10 | mA |
| IOH(avg) | "H"平均出力電流P0 ~ P2(注3) | | | | -5 | mA |
| IOL(peak) | "L"尖塔出力電流P0 ~ P2(注2) | | | | 10 | mA |
| IOL(avg) | "L"平均出力電流P0 ~ P2(注3) | | | | 5 | mA |
| CL | 出力負荷 | JTDO, JTMS | | | 80 | pF |
| | 容量 | 上記以外 | | | 50 | pF |
| f(XIN) | 外部クロック入力周波数 | | 5 | | 10 | MHz |

注1. 条件: VCCE AVCC VREF, VCCE=OSC-VCCE

注2. ポートの出力電流(peak)の合計は、

ポートP0 + P1 80mA
 ポートP2 + P3 80mA
 ポートP41 ~ P43 + P70 ~ P73 80mA
 ポートP44 ~ P47 + P224 ~ P227 80mA
 ポートP61 ~ P63 + P12 + P14 + P19 80mA
 ポートP65 ~ P67 + P8 + P16 + P17 + P21 80mA
 ポートP74 ~ P77 + P10 + P18 80mA
 ポートP9 + P11 80mA
 ポートP13 + P220 ~ P223 80mA
 ポートP15 + P20 80mA

注3. 平均出力電流は、100msの期間内での平均値です。

注4. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227

21.4.2 DC特性 (VCCE = 3.3V \pm 0.3V、 $f(XIN) = 10\text{MHz}$ 時)電氣的特性 (指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V \pm 0.3V, Ta = -40 ~ 85)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------------|---|--------------------------|------------------------------|-----|----------------------------|---------|
| | | | 最小 | 標準 | 最大 | |
| VOH | "H"出力電圧 | IOH -2mA | VCCE+0.5 \times IOH(mA) | | VCCE | V |
| VOL | "L"出力電圧 | IOL 2mA | 0 | | 0.225 \times IOL (mA) | V |
| VDDE | RAM保持電源電圧 | 動作時 | 3.0 | | 3.6 | V |
| | | バックアップ時 | 3.0 | | 3.6 | V |
| IIH | "H"入力電流 | VI=VCCE | -5 | | 5 | μ A |
| IIL | "L"入力電流 | VI=0V | -5 | | 5 | μ A |
| ICC | 全電源電流(注1) | f(XIN)=10.0MHz, リセット時 | | | 75 | mA |
| | | f(XIN)=10.0MHz, 動作時 | | 80 | 120 | |
| IDDEhold | RAM保持電源電流 | Ta=25 | | 0.5 | 10 | μ A |
| | | Ta=85 | | | 300 | |
| VT+- VT- | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | 0.65 | | | V |
| | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0~5, TCLK0~3, TIN0~33, CRX0, 1 | | 0.5 | | | |
| | 次の端子の標準入力: SBI, HREQ | | 0.2 | | | |
| | しきい値切り換え機能 使用時(VT+/VT-) | 0.7VCCE/0.35VCCE | 0.5 | | | |
| | | 0.7VCCE/0.5VCCE | 0.2 | | | |
| | | 0.5VCCE/0.35VCCE | 0.2 | | | |

注1. シングルチップモード、VCCE = OSC-VCC = VCC-BUS = VDDE = AVCC = VREFの全電流

各電源端子の電氣的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------|---------------------------|-----|----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| ICCE | 動作時VCCE/OSC-VCC電源電流 | $f(XIN) = 10.0\text{MHz}$ | | | 120 | mA |
| IDDE | 動作時VDDE電源電流 | $f(XIN) = 10.0\text{MHz}$ | | | 1 | mA |
| ICC-BUS | 動作時VCC-BUS電源電流 | $f(XIN) = 10.0\text{MHz}$ | | | 7 | mA |
| IAVCC | 動作時AVCC電源電流 | $f(XIN) = 10.0\text{MHz}$ | | | 2 | mA |
| IVREF | 動作時VREF電源電流 | $f(XIN) = 10.0\text{MHz}$ | | | 1 | mA |

21.4.3 A-D変換特性(VCCE = 3.3V \pm 0.3V、 $f(XIN) = 10\text{MHz}$ 時)A-D変換特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V、 $T_a = -40 \sim 85$)

| 記号 | 項目 | | | | 測定条件 | 定格値 | | | 単位 |
|-------|-----------------|------------------------------|-------|------|----------------|-------|----|----------|---------------|
| | | | | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | VREF=VCCE=AVCC | | | 10 | bits |
| - | 絶対精度 (注1) | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | | | ± 4 | LSB |
| | | | | 倍速 | | | | ± 4 | |
| | | 高速 S&H時 | 高速モード | ノーマル | | | | ± 6 | |
| | | | | 倍速 | | | | ± 6 | |
| | | 高速 S&H時 | 低速モード | ノーマル | | | | ± 4 | |
| | | | | 倍速 | | | | ± 4 | |
| | | | 高速モード | ノーマル | | | | ± 6 | |
| | | | | 倍速 | | | | ± 16 | |
| TCONV | 変換時間 | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | 14.95 | | | μs |
| | | | | 倍速 | | 8.65 | | | |
| | | 高速 S&H時 | 高速モード | ノーマル | | 6.55 | | | |
| | | | | 倍速 | | 4.45 | | | |
| | | 高速 S&H時 | 低速モード | ノーマル | | 9.55 | | | |
| | | | | 倍速 | | 5.05 | | | |
| | | | 高速モード | ノーマル | | 4.75 | | | |
| | | | | 倍速 | | 2.65 | | | |
| IIAN | アナログ入力リーク電流(注2) | | | | AVSS ANi AVCC | -5 | | 5 | μA |

注1．絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

絶対精度 = 出力コード - (アナログ入力電圧 $ANi/1\text{LSB}$)

AVCC = AVREF = 3.072Vの時、1LSB = 3mVです。

注2．A-D変換器が静止した状態におけるANiの入力リーク電流です。

21.5 VCCE = 3.3V、f(XIN) = 8MHz時の電氣的特性

21.5.1 推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 8MHz時)

推奨動作条件(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V ± 0.3V, Ta = - 40 ~ 125)

| 記号 | 項目 | | | 定格値 | | | 単位 | |
|---------------------------|---------------------|---|----------------|-------------------------------|----------|-----|----------|---|
| | | | | 最小 | 標準 | 最大 | | |
| VCCE | 主電源(注1) | | | 3.0 | 3.3 | 3.6 | V | |
| OSC-VCC | クロック電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VCC-BUS | バス電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VDDE | RAM電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| AVCC | アナログ電源(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VREF | 基準電圧入力(注1) | | | 3.0 | VCCE | 3.6 | V | |
| VIH | "H"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0.5VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0.65VCCE | | VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0.8VCCE | | VCCE | V |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0.65VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0.8VCCE | | VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0.8VCCE | | VCCE | V |
| | | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | | 0.8VCCE | | VCCE | V |
| | | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | | | 0.8VCCE | | VCCE | V |
| 次の端子の標準入力: DB0 ~ 15, WAIT | | | 0.5VCCE | | VCCE | V | | |
| 次の端子の標準入力: SBI, HREQ | | | 0.65VCCE | | VCCE | V | | |
| VIL | "L"入力 電圧 (注4) | しきい値 切り換え 機能使用時 | CMOS 入力選択時 | しきい値選択 : 0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | しきい値選択 : 0.5VCCE | 0 | | 0.35VCCE | V |
| | | | | しきい値選択 : 0.7VCCE | 0 | | 0.5VCCE | V |
| | | | シュミット 入力選択時 | VT+/VT- : 0.5VCCE/0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.35VCCE | 0 | | 0.2VCCE | V |
| | | | | VT+/VT- : 0.7VCCE/0.5VCCE | 0 | | 0.35VCCE | V |

| 記号 | 項目 | 定格値 | | | 単位 | |
|-----------|---|------------|----|---------|-----|----|
| | | 最小 | 標準 | 最大 | | |
| | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | 0 | | 0.2VCCE | V | |
| | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0 ~ 5, TCLK0 ~ 3, TIN0 ~ 33, CRX0, 1 | 0 | | 0.2VCCE | V | |
| | 次の端子の標準入力: DB0 ~ 15, WAIT | 0 | | 0.2VCCE | V | |
| | 次の端子の標準入力: SBI, HREQ | 0 | | 0.2VCCE | V | |
| IOH(peak) | "H"尖塔出力電流P0 ~ P2(注2) | | | -10 | mA | |
| IOH(avg) | "H"平均出力電流P0 ~ P2(注3) | | | -5 | mA | |
| IOL(peak) | "L"尖塔出力電流P0 ~ P2(注2) | | | 10 | mA | |
| IOL(avg) | "L"平均出力電流P0 ~ P2(注3) | | | 5 | mA | |
| CL | 出力負荷 | JTDO, JTMS | | | 80 | pF |
| | 容量 | 上記以外 | | | 50 | pF |
| f(XIN) | 外部クロック入力周波数 | 5 | | 8 | MHz | |

注1. 条件: VCCE AVCC VREF, VCCE=OSC-VCCE

注2. ポートの出力電流(peak)の合計は、

ポートP0 + P1 80mA
 ポートP2 + P3 80mA
 ポートP41 ~ P43 + P70 ~ P73 80mA
 ポートP44 ~ P47 + P224 ~ P227 80mA
 ポートP61 ~ P63 + P12 + P14 + P19 80mA
 ポートP65 ~ P67 + P8 + P16 + P17 + P21 80mA
 ポートP74 ~ P77 + P10 + P18 80mA
 ポートP9 + P11 80mA
 ポートP13 + P220 ~ P223 80mA
 ポートP15 + P20 80mA

注3. 平均出力電流は、100msの期間内での平均値です。

注4. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224 ~ P227

21.5.2 DC特性 (VCCE = 3.3V ± 0.3、f(XIN) = 8MHz時)

電氣的特性 (指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V ± 0.3V, Ta = -40 ~ 125)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------------|---|-------------------------|-----------------------|-----|-------------------|----|
| | | | 最小 | 標準 | 最大 | |
| VOH | "H"出力電圧 | IOH -2mA | VCCE+0.5 × IOH(mA) | | VCCE | V |
| VOL | "L"出力電圧 | IOL 2mA | 0 | | 0.225×IOL (mA) | V |
| VDDE | RAM保持電源電圧 | 動作時 | 3.0 | | 3.6 | V |
| | | バックアップ時 | 3.0 | | 3.6 | V |
| IIH | "H"入力電流 | VI=VCCE | -5 | | 5 | μA |
| IIL | "L"入力電流 | VI=0V | -5 | | 5 | μA |
| ICC | 全電源電流(注1) | f(XIN)=8.0MHz, リセット時 | | | 65 | mA |
| | | f(XIN)=8.0MHz, 動作時 | | 65 | 90 | |
| IDDEhold | RAM保持電源電流 | Ta=25 | | 0.5 | 10 | μA |
| | | Ta=125 | | | 1500 | |
| VT+- VT- | FP, MOD0, 1, JTMS, JTRST, JTDI, RESET | | 0.65 | | | V |
| | 次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, 1, 4, 5, RXD0~5, TCLK0~3, TIN0~33, CRX0, 1 | | 0.5 | | | |
| | 次の端子の標準入力: SBI, HREQ | | 0.2 | | | |
| | しきい値切り換え機能 使用時(VT+/VT-) | 0.7VCCE/0.35VCCE | 0.5 | | | |
| | | 0.7VCCE/0.5VCCE | 0.2 | | | |
| | | 0.5VCCE/0.35VCCE | 0.2 | | | |

注1. シングルチップモード、VCCE = OSC-VCC = VCC-BUS = VDDE = AVCC = VREFの全電流

各電源端子の電氣的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------|-----------------|-----|----|----|----|
| | | | 最小 | 標準 | 最大 | |
| ICCE | 動作時VCCE/OSC-VCC電源電流 | f(XIN) = 8.0MHz | | | 90 | mA |
| IDDE | 動作時VDDE電源電流 | f(XIN) = 8.0MHz | | | 1 | mA |
| ICC-BUS | 動作時VCC-BUS電源電流 | f(XIN) = 8.0MHz | | | 7 | mA |
| IAVCC | 動作時AVCC電源電流 | f(XIN) = 8.0MHz | | | 2 | mA |
| IVREF | 動作時VREF電源電流 | f(XIN) = 8.0MHz | | | 1 | mA |

21.5.3 A-D変換特性(VCCE = 3.3V ± 0.3V、f(XIN) = 8MHz時)

A-D変換特性(指定のない場合は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V、Ta = - 40 ~ 125)

| 記号 | 項目 | | | | 測定条件 | 定格値 | | | 単位 |
|-------|-----------------|------------------------------|-------|------|----------------|-----|----|-------|------|
| | | | | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | VREF=VCCE=AVCC | | | 10 | bits |
| - | 絶対精度 (注1) | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | | | | ± TBD | LSB |
| | | | | 倍速 | | | | ± TBD | |
| | | | 高速モード | ノーマル | | | | ± TBD | |
| | | | | 倍速 | | | | ± TBD | |
| | | 高速 S&H時 | 低速モード | ノーマル | | | | ± TBD | |
| | | | | 倍速 | | | | ± TBD | |
| | | | 高速モード | ノーマル | | | | ± TBD | |
| | | | | 倍速 | | | | ± TBD | |
| TCONV | 変換時間 | S&Hなし または ノーマル S&H時 | 低速モード | ノーマル | 18.6875 | | | μs | |
| | | | | 倍速 | 10.8125 | | | | |
| | | | 高速モード | ノーマル | 8.1875 | | | | |
| | | | | 倍速 | 5.5625 | | | | |
| | | 高速 S&H時 | 低速モード | ノーマル | 11.9375 | | | | |
| | | | | 倍速 | 6.3125 | | | | |
| | | | 高速モード | ノーマル | 5.9375 | | | | |
| | | | | 倍速 | 3.3125 | | | | |
| IIAN | アナログ入力リーク電流(注2) | | | | AVSS ANi AVCC | -5 | | 5 | μA |

注1. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

絶対精度 = 出力コード - (アナログ入力電圧Ani/1LSB)

AVCC = AVREF = 3.072Vの時、1LSB = 3mVです。

注2. A-D変換器が静止した状態におけるANiの入力リーク電流です。

21.6 フラッシュ関連特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------|---------------|--------|-----|----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| Topr | フラッシュ書き換え周囲温度 | | 0 | | 70 | |
| cycle | フラッシュ書き換え回数 | | | | 100 | 回 |
| tPRG | プログラム空間 | 1page | | 8 | 120 | ms |
| TBERS | ブロックイレーズ時間 | 1Block | | 50 | 600 | ms |

21.7 AC特性(VCCE = 5V時)

- 指定のないタイミング条件は、VCCE, OSC-VCC, VCC-BUS, VDDE = 5V ± 0.5V, Ta = -40 ~ 125 です。
- 規格値は測定端子の出力負荷容量が15pF ~ 50pFの時の保証値(ただし、JTAG関連は80pFの集中キャパシタンス時の保証値)です。
- 規格値中のS, R, ID, Wの意味は下記のとおりです。
 - S : CS領域ウェイト制御レジスタのSWAITビット = 1の時"1", SWAITビット = 0の時"0"
 - R : CS領域ウェイト制御レジスタのRECOVビット = 1の時"1", RECOVビット = 0の時"0"
 - ID : バスサイクルの最後に挿入されるアイドルサイクルのサイクル数。CS領域ウェイト制御レジスタのIDLEビットの設定により挿入される場合と、リードの直後にライトが実行された場合にデフォルトで挿入される場合がある(ID = 0、または1)。
 - W : ウェイト数(WTCSELビットで選択)

21.7.1 タイミング必要条件

(1) 入出力ポート

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.1 |
|----------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tsu(P-E) | ポート入力セットアップ時間 | 100 | | ns | [1] |
| th(E-P) | ポート入力ホールド時間 | 0 | | ns | [2] |

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.2 |
|------------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tsu(D-CLK) | RXD入力セットアップ時間 | 150 | | ns | [4] |
| th(CLK-D) | RXD入力ホールド時間 | 50 | | ns | [5] |

b) CSIOモード、外部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.2 |
|------------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tc(CLK) | CLK入力サイクル時間 | 640 | | ns | [7] |
| tw(CLKH) | CLK入力"H"パルス幅 | 300 | | ns | [8] |
| tw(CLKL) | CLK入力"L"パルス幅 | 300 | | ns | [9] |
| tsu(D-CLK) | RXD入力セットアップ時間 | 60 | | ns | [10] |
| th(CLK-D) | RXD入力ホールド時間 | 100 | | ns | [11] |

(3) SBI

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.3 |
|----------|------------|-------------------------------|----|----|-----------------|
| | | 最小 | 最大 | | |
| tw(SBIL) | SBI#入力パルス幅 | $5 \times \frac{tc(BCLK)}{2}$ | | ns | [13] |

(4) TIN_i (i = 0 ~ 33)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.5 |
|-------------|----------------|-------------------------------|----|----|-----------------|
| | | 最小 | 最大 | | |
| $tw(TIN_i)$ | TIN_i 入力パルス幅 | $7 \times \frac{tc(BCLK)}{2}$ | | ns | [14] |

(5) リードおよびライトタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.6 図21.7.7 図21.7.8 図21.7.9 図21.7.10 |
|--------------------------------------|------------------------------|---|----|----|--|
| | | 最小 | 最大 | | |
| $tsu(D-BCLKH)$ | BCLK前データ入力セットアップ時間 | 26 | | ns | [31] |
| $th(BCLKH-D)$ | BCLK後データ入力ホールド時間 | 0 | | ns | [32] |
| $tsu(WAITL-BCLKH)$ | BCLK前WAIT#入力セットアップ時間 | 26 | | ns | [33] |
| $th(BCLKH-WAITL)$ | BCLK後WAIT#入力ホールド時間 | 0 | | ns | [34] |
| $tsu(WAITH-BCLKH)$ | BCLK前WAIT#入力セットアップ時間 | 26 | | ns | [78] |
| $th(BCLKH-WAITH)$ | BCLK後WAIT#入力ホールド時間 | 0 | | ns | [79] |
| $tw(RDL)$ | リード"L"パルス幅 | $(\frac{tc(BCLK)}{2}) \times (1+2W-S) - 20$ | | ns | [43] |
| $tsu(D-RDH)$ | リード前データ入力セットアップ時間 | 30 | | ns | [44] |
| $th(RDH-D)$ | リード後データ入力ホールド時間 | 0 | | ns | [45] |
| $tw(BLWL)$ $tw(BHWL)$ | ライト"L"パルス幅 (バイトライトモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 8$ 1ウエイト以上時: $(\frac{tc(BCLK)}{2}) \times (2W-S) - 20$ | | ns | [51] |
| $td(RDH-BLWL)$ $td(RDH-BHWL)$ | リード後ライト遅延時間 | $tc(BCLK) \times (\frac{1}{2} + R + ID) - 10$ | | ns | [56] |
| $td(BLWH-RDL)$ $td(BHWH-RDL)$ | ライト後リード遅延時間 | 0ウエイト時: $\frac{tc(BCLK)}{2} - 10$ 1ウエイト以上時: $tc(BCLK) \times (1+R) - 10$ | | ns | [57] |
| $tw(WRL)$ | ライト"L"パルス幅 (バイトイネーブルモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 6$ 1ウエイト以上時: $(\frac{tc(BCLK)}{2}) \times (2W-S) - 20$ | | ns | [68] |
| $td(RDH-WRL)$ | リード後ライト遅延時間 (バイトイネーブルモード) | $tc(BCLK) \times (\frac{1}{2} + R + ID) - 10$ | | ns | [80] |
| $td(WRH-RDL)$ | ライト後リード遅延時間 (バイトイネーブルモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 20$ 1ウエイト以上時: $tc(BCLK) \times (1+R) - 20$ | | ns | [81] |
| $tv(BCLKH-BLWL)$ $tv(BCLKH-BHWL)$ | BCLK後ライト有効時間 (0ウエイト時) | -5 | | ns | [90] |
| $td(BCLKH-RDL)$ | BCLK後リード遅延時間 (SWAIT=1設定時) | | 12 | ns | [92] |

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.6 図21.7.8 図21.7.9 図21.7.10 |
|----------------------------------|----------------------------------|--|----|----|---|
| | | 最小 | 最大 | | |
| t α (CSL-RDL) | リード前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 16$ | | ns | [93] |
| td(CSL-BLWL) td(CSL-BHWL) | ライト前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [95] |
| td(CSL-WRL) | ライト前チップセレクト遅延時間 (バイトイネーブルモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [96] |
| td(BCLKL-BLWH) td(BCLKL-BHWH) | BCLK後ライト遅延時間 | 14 | | ns | [97] |

(6) パスアークレションタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.11 |
|------------------|----------------------|-----|----|----|------------------|
| | | 最小 | 最大 | | |
| tsu(HREQ#-BCLKH) | BCLK前HREQ#入力セットアップ時間 | 27 | | ns | [35] |
| th(BCLKH-HREQ#) | BCLK後HREQ#入力ホールド時間 | 0 | | ns | [36] |

(7) JTAG端子の入力遷移時間

| 記号 | 項目 | | 規格値 | | 単位 | 参照図番 図21.7.12 | | |
|----|-----------------|---------------------------------------|---------|----|----|------------------|------|----|
| | | | 最小 | 最大 | | | | |
| tr | 入力立ち上がり 遷移時間 | JTRST端子以外 (JTCK, JTDI, JTMS, JTDO) | | | 10 | ns | [58] | |
| | | JTRST端子 | TAP使用時 | | | 10 | | ns |
| | | | TAP未使用時 | | | 2 | | ms |
| tf | 入力立ち下がり 遷移時間 | JTRST端子以外 (JTCK, JTDI, JTMS, JTDO) | | | 10 | ns | [59] | |
| | | JTRST端子 | TAP使用時 | | | 10 | | ns |
| | | | TAP未使用時 | | | 2 | | ms |

注 . . 規格値は測定端子の負荷容量CL = 80pF時の保証値

(8) JTAGインタフェースタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.13 |
|----------------|-----------------------------|----------|----|----|------------------|
| | | 最小 | 最大 | | |
| tc(JTCK) | JTCK入力サイクル時間 | 100 | | ns | [60] |
| tw(JTCKH) | JTCK入力"H"パルス幅 | 40 | | ns | [61] |
| tw(JTCKL) | JTCK入力"L"パルス幅 | 40 | | ns | [62] |
| tsu(JTDI-JTCK) | JTDI, JTMS入力セットアップ時間 | 15 | | ns | [63] |
| th(JTCK-JTDI) | JTDI, JTMS入力ホールド時間 | 20 | | ns | [64] |
| td(JTCK-JTDOV) | JTCK立ち下がり後JTDO出力の遅延時間 | | 40 | ns | [65] |
| td(JTCK-JTDOX) | JTCK立ち下がり後JTDO出力Hi-Zまでの遅延時間 | | 40 | ns | [66] |
| tw(JTRST) | JTRST入力"L"パルス幅 | tc(JTCK) | | ns | [67] |

注．．規格値は測定端子の負荷容量CL = 80pF時の保証値

(9) RTDタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.14 |
|---------------------|----------------------|-----|------------------------------|----|------------------|
| | | 最小 | 最大 | | |
| tc(RTDCLK) | RTDCLK入力サイクル時間 | 500 | | ns | [82] |
| tw(RTDCLKH) | RTDCLK入力"H"パルス幅 | 230 | | ns | [83] |
| tw(RTDCLKL) | RTDCLK入力"L"パルス幅 | 230 | | ns | [84] |
| td(RTDCLKH-RTDACK) | RTDCLK入力後RTDACK遅延時間 | | 160 | ns | [85] |
| tv(RTDCLKL-RTDACK) | RTDCLK入力後RTDACK有効時間 | | 160 | ns | [86] |
| td(RTDCLKH-RTDTRXD) | RTDCLK入力後RTDTRXD遅延時間 | | 160 | ns | [87] |
| th(RTDCLKH-RTDRXD) | RTDRXD入力ホールド時間 | 50 | | ns | [88] |
| tv(RTDRXD-RTDCLKL) | RTDRXD入力セットアップ時間 | 60 | $\frac{tc(RTDCLK)}{2} + 160$ | ns | [89] |

21.7.2 スイッチング特性

(1) 入出力ポート

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.1 |
|---------|--------------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(E-P) | ポートデータ出力遅延時間 | | 100 | ns | [3] |

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.2 |
|-----------|-----------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| td(CLK-D) | TXD出力遅延時間 | | 60 | ns | [6] |
| th(CLK-D) | TXDホールド時間 | 0 | | ns | [98] |

b) CSIOモード、外部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.2 |
|-----------|-----------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(CLK-D) | TXD出力遅延時間 | | 160 | ns | [12] |

(3) TO($i = 0 \sim 44$)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.4 |
|--------------|-----------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(BCLK-TOi) | TOi出力遅延時間 | | 100 | ns | [15] |

(4) リードおよびライトタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.6 図21.7.7 図21.7.8 図21.7.9 |
|----------------------------------|--------------------------------|---|--------------------------|----|--|
| | | 最小 | 最大 | | |
| tc(BCLK) | BCLK出力サイクル時間 | | $\frac{tc(Xin)}{2}$ | ns | [16] |
| tw(BCLKH) | BCLK出力"H"パルス幅 | $\frac{tc(BCLK)}{2} - 5$ | | ns | [17] |
| tw(BCLKL) | BCLK出力"L"パルス幅 | $\frac{tc(BCLK)}{2} - 5$ | | ns | [18] |
| td(BCLKH-A) | BCLK後アドレス遅延時間 | | 24 | ns | [19] |
| td(BCLKH-CS) | BCLK後チップセレクト遅延時間 | | 24 | ns | [20] |
| tv(BCLKH-A) | BCLK後アドレス有効時間 | -5 | | ns | [21] |
| tv(BCLKH-CS) | BCLK後チップセレクト有効時間 | -5 | | ns | [22] |
| td(BCLKL-RDL) | BCLK後リード遅延時間 | | 10 | ns | [23] |
| tv(BCLKH-RDL) | BCLK後リード有効時間 | -5 | | ns | [24] |
| td(BCLKL-BLWL) td(BCLKL-BHWL) | BCLK後ライト遅延時間 | | 11 | ns | [25] |
| tv(BCLKL-BLWL) tv(BCLKL-BHWL) | BCLK後ライト有効時間 | -5 | | ns | [26] |
| td(BCLKL-D) | BCLK後データ出力遅延時間 | | 0ウエイト時：11 1ウエイト以上時：18 | ns | [27] |
| tv(BCLKH-D) | BCLK後データ出力有効時間 | 0ウエイト時：-4 1ウエイト以上時：-10 | | ns | [28] |
| tpzx(BCLKL-DZ) | BCLK後データ出カインエーブル時間 | -10 | | ns | [29] |
| tpzx(BCLKH-DZ) | BCLK後データ出カディスエーブル時間 | | 5 | ns | [30] |
| td(A-RDL) | リード前アドレス遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [39] |
| td(CS-RDL) | リード前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [40] |
| tv(RDH-A) | リード後アドレス有効時間 | $tc(BCLK) \times (R+ID)$ | | ns | [41] |
| tv(RDH-CS) | リード後チップセレクト有効時間 | $tc(BCLK) \times R$ | | ns | [42] |
| tpzx(RDH-DZ) | リード後データ出カインエーブル時間 | $tc(BCLK) \times (\frac{1}{2} + R + ID)$ | | ns | [46] |
| td(A-BLWL) td(A-BHWL) | ライト前アドレス遅延時間 (バイトライトモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [47] |
| td(CS-BLWL) td(CS-BHWL) | ライト前チップセレクト遅延時間 (バイトライトモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [48] |
| tv(BLWH-A) tv(BHWH-A) | ライト後アドレス有効時間 (バイトライトモード) | 0ウエイト時：-5 1ウエイト以上時： $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [49] |
| tv(BLWH-CS) tv(BHWH-CS) | ライト後チップセレクト有効時間 (バイトライトモード) | 0ウエイト時：-5 1ウエイト以上時： $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [50] |

リードおよびライトタイミング(前ページの続き)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.6 図21.7.7 図21.7.8 図21.7.9 |
|--------------------------------|--------------------------------------|--|--|----|--|
| | | 最小 | 最大 | | |
| td(BLWL-D) td(BHWH-D) | ライト後データ出力遅延時間 (バイトライトモード) | | 0ウエイト時: 5 1ウエイト以上時: $15 - \left(\frac{tc(BCLK)}{2}\right) \times S$ | ns | [52] |
| tv(BLWH-D) tv(BHWH-D) | ライト後データ出力有効時間 (バイトライトモード) | 0ウエイト時: -7 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) - 13$ | | ns | [53] |
| tpxz(BLWH-DZ) tpxz(BHWH-DZ) | ライト後データ出力カディスエーブル時間 (バイトライトモード) | | 0ウエイト時: 5 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) + 5$ | ns | [54] |
| td(A-WRL) | ライト前アドレス遅延時間 (バイトイネーブルモード) | $\left(\frac{tc(BCLK)}{2}\right) \times (1+S) - 15$ | | ns | [69] |
| td(CS-WRL) | ライト前チップセレクト遅延時間 (バイトイネーブルモード) | $\left(\frac{tc(BCLK)}{2}\right) \times (1+S) - 15$ | | ns | [70] |
| tv(WRH-A) | ライト後アドレス有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) - 5$ | | ns | [71] |
| tv(WRH-CS) | ライト後チップセレクト有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) - 5$ | | ns | [72] |
| td(BLE-WRL) td(BHE-WRL) | ライト前バイトイネーブル遅延時間 (バイトイネーブルモード) | $\left(\frac{tc(BCLK)}{2}\right) \times (1+S) - 15$ | | ns | [73] |
| tv(WRH-BLE) tv(WRH-BHE) | ライト後バイトイネーブル有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) - 5$ | | ns | [74] |
| td(WRL-D) | ライト後データ出力遅延時間 (バイトイネーブルモード) | | 0ウエイト時: 7 1ウエイト以上時: $15 - \left(\frac{tc(BCLK)}{2}\right) \times S$ | ns | [75] |
| tv(WRH-D) | ライト後データ出力有効時間 (バイトイネーブルモード) | 0ウエイト時: -7 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) - 13$ | | ns | [76] |
| tpxz(WRH-DZ) | ライト後データ出力カディスエーブル時間 (バイトイネーブルモード) | | 0ウエイト時: 5 1ウエイト以上時: $tc(BCLK) \times \left(\frac{1}{2} + R\right) + 5$ | ns | [77] |
| tw(RDH) | リード"H"パルス幅 | $\left(\frac{tc(BCLK)}{2}\right) \times (1+S) - 5$ | | ns | [55] |

(5) パスアビトレーション

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.7.11 |
|-----------------|----------------|-----|----|----|------------------|
| | | 最小 | 最大 | | |
| td(BCLKL-HACKL) | BCLK後HACK#遅延時間 | | 29 | ns | [37] |
| tv(BCLKL-HACKL) | BCLK後HACK#有効時間 | -11 | | ns | [38] |

21.7.3 AC特性

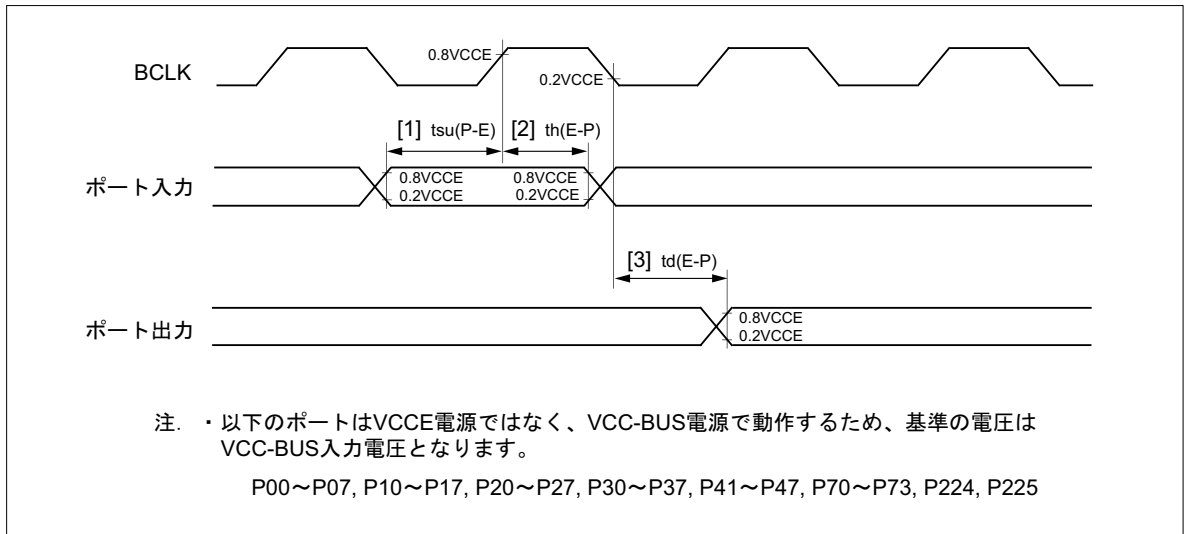


図21.7.1 入出力ポートタイミング

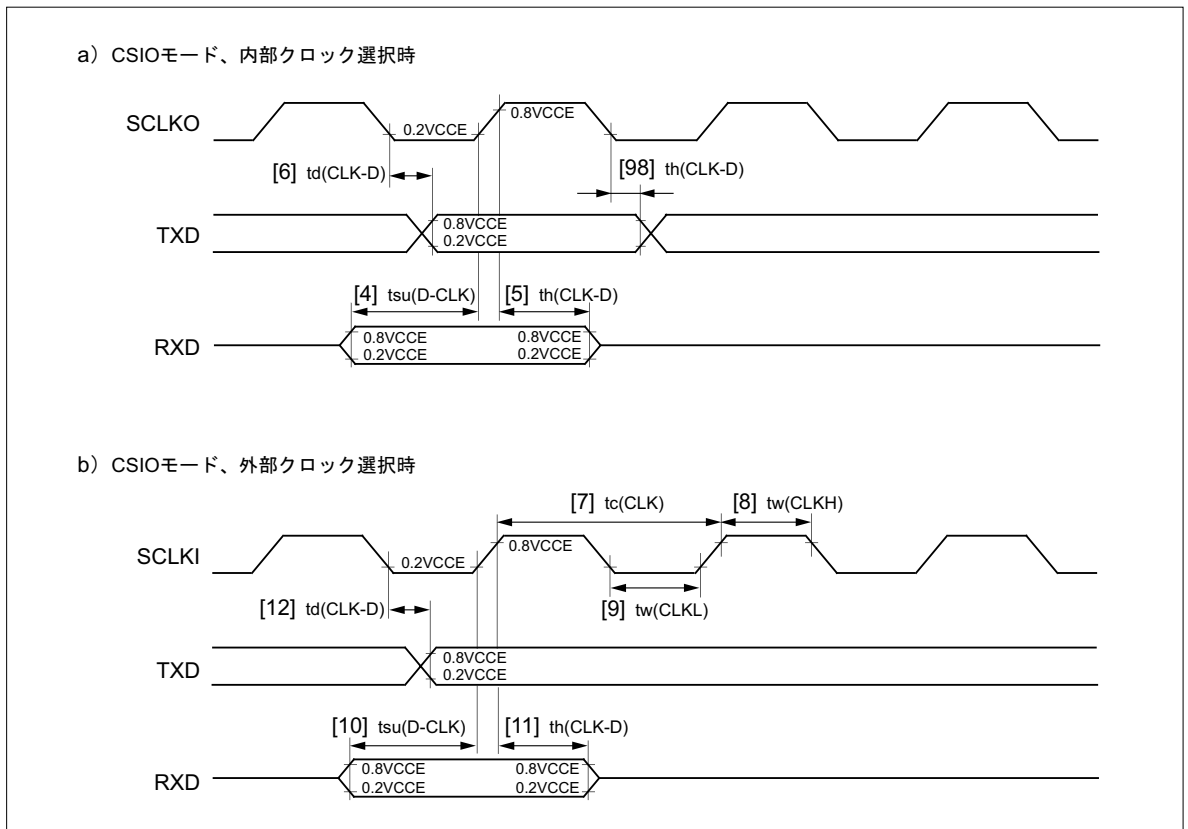


図21.7.2 シリアルI/Oタイミング

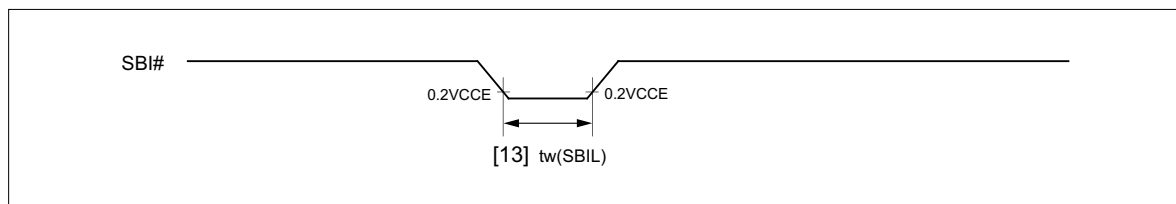


図21.7.3 SBIタイミング

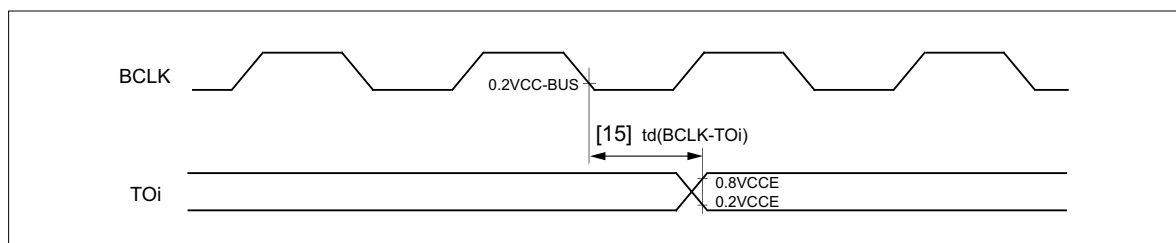


図21.7.4 TOiタイミング

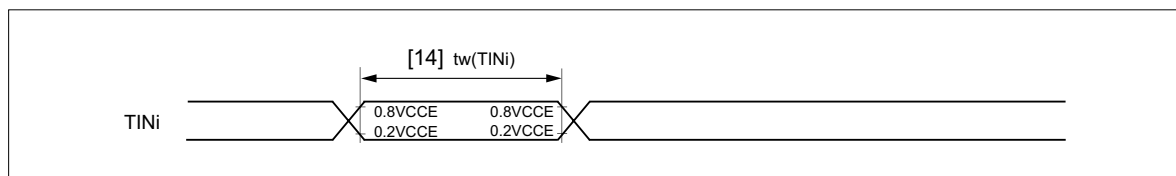


図21.7.5 TINiタイミング

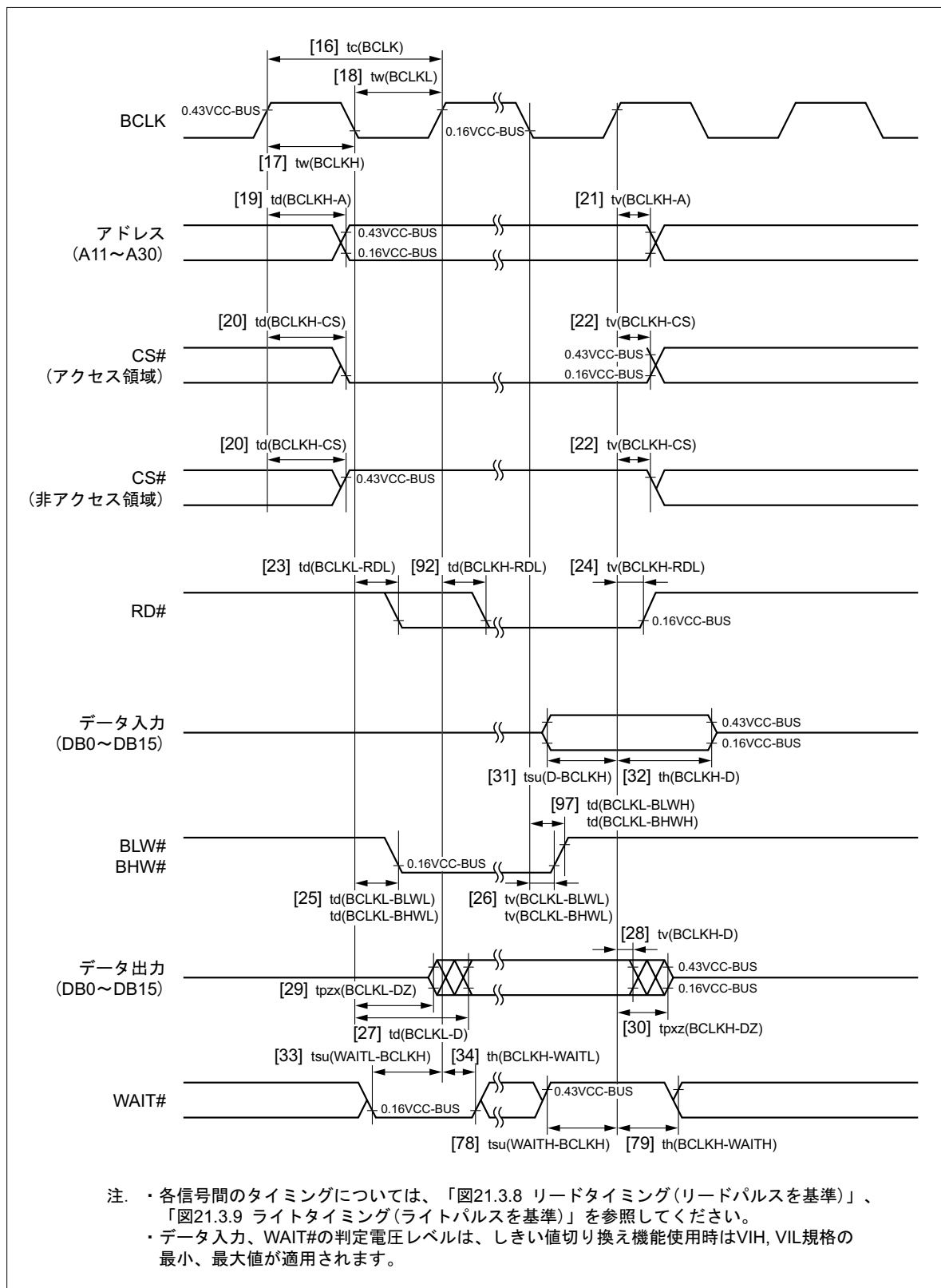


図21.7.6 リードおよびライトタイミング (BCLK基準) 1ウエイト以上挿入時

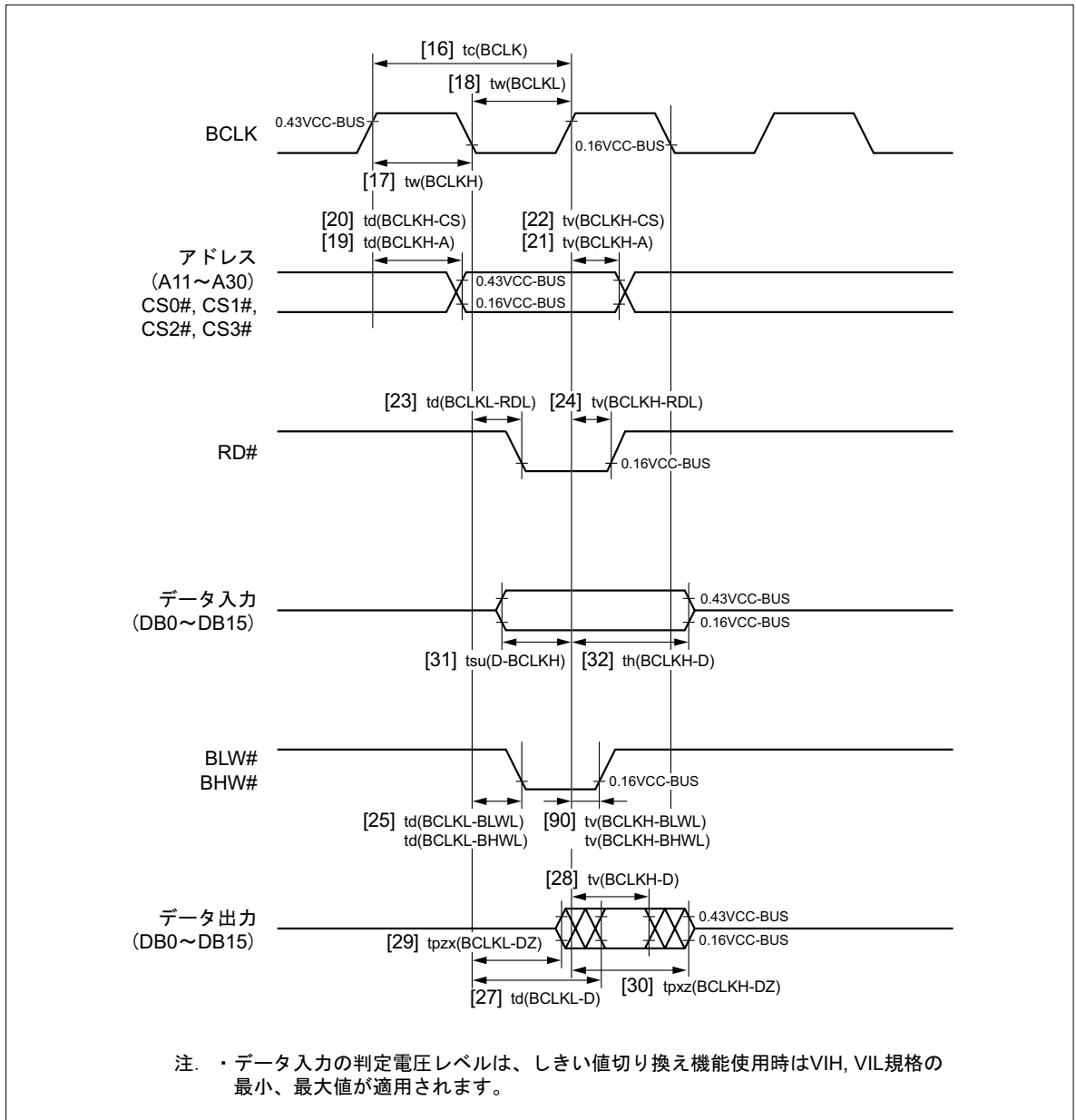


図21.7.7 リードおよびライトタイミング (BCLK基準) 0ウエイト時

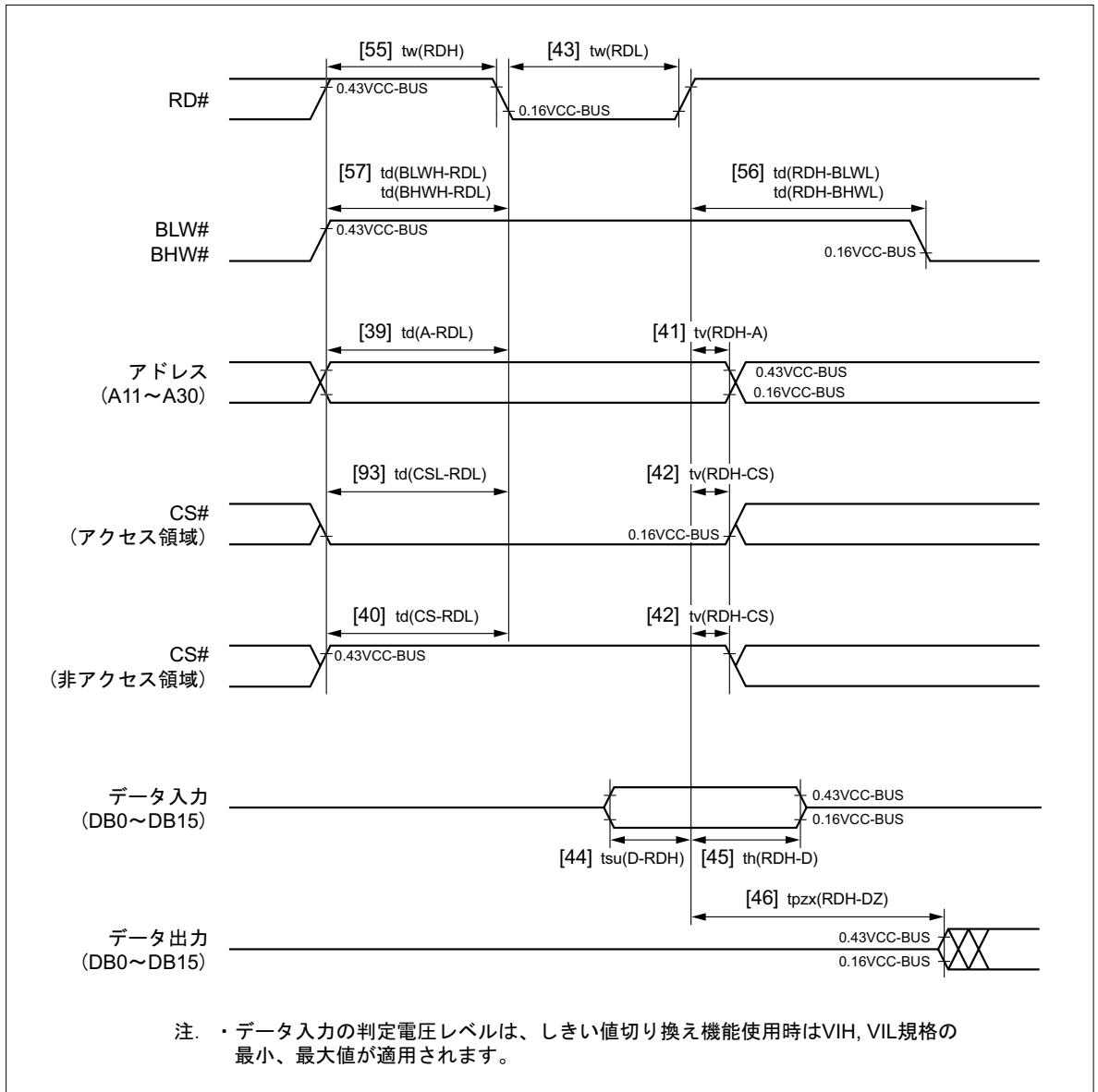


図21.7.8 リードタイミング(リードパルスを基準)

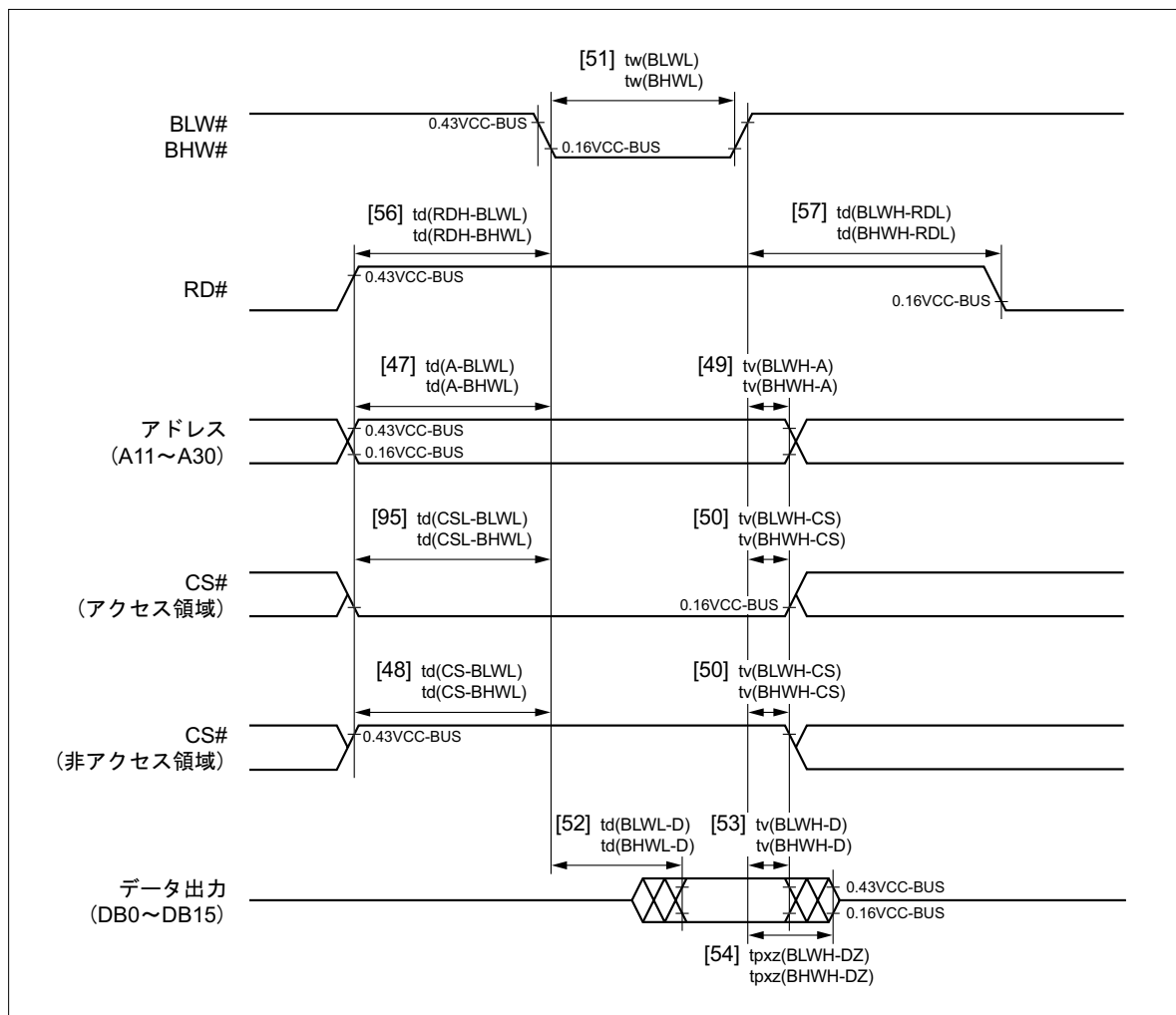


図21.7.9 ライトタイミング(ライトパルスを基準)

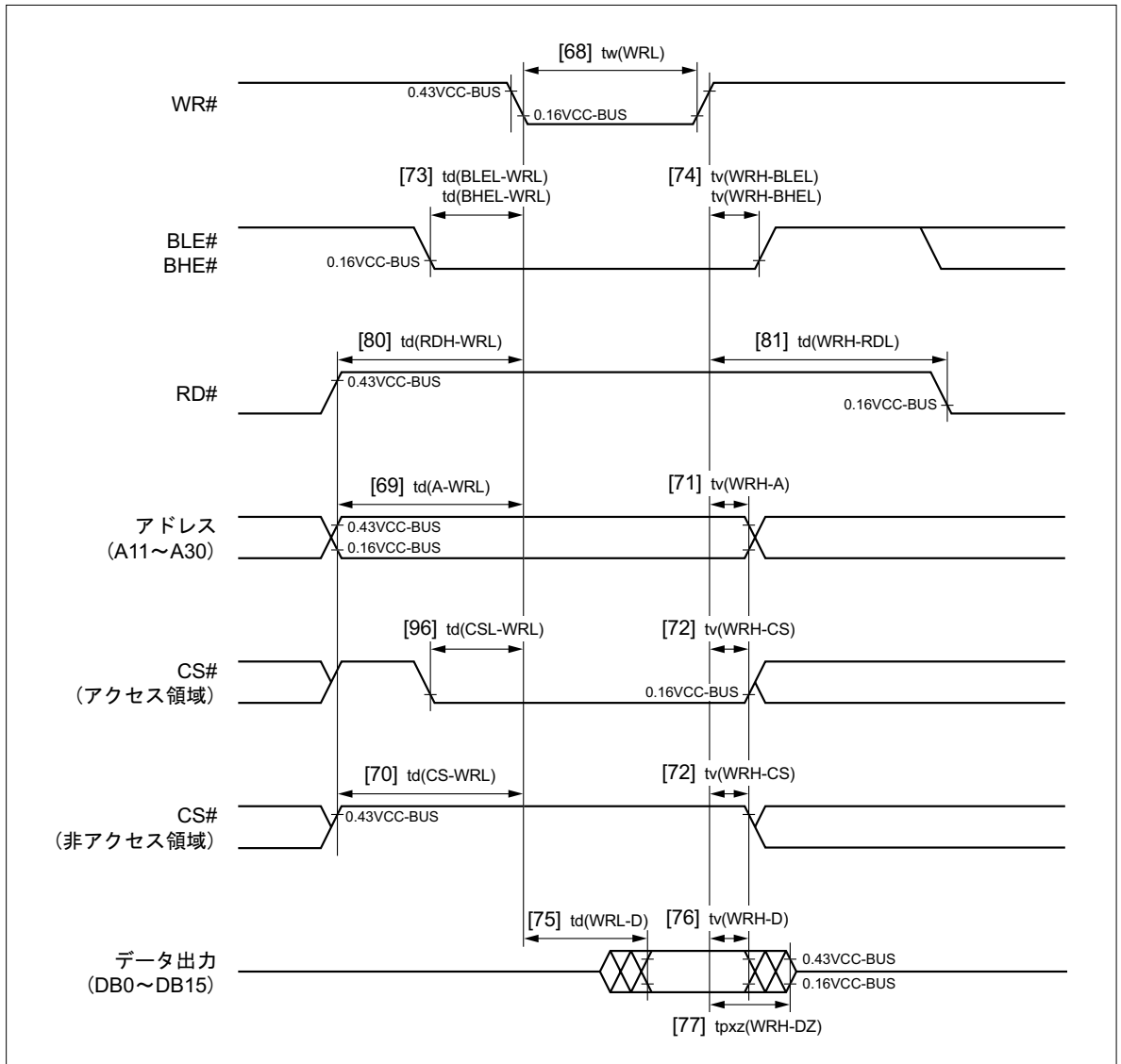


図21.7.10 ライトタイミング(バイトイネーブルモード)

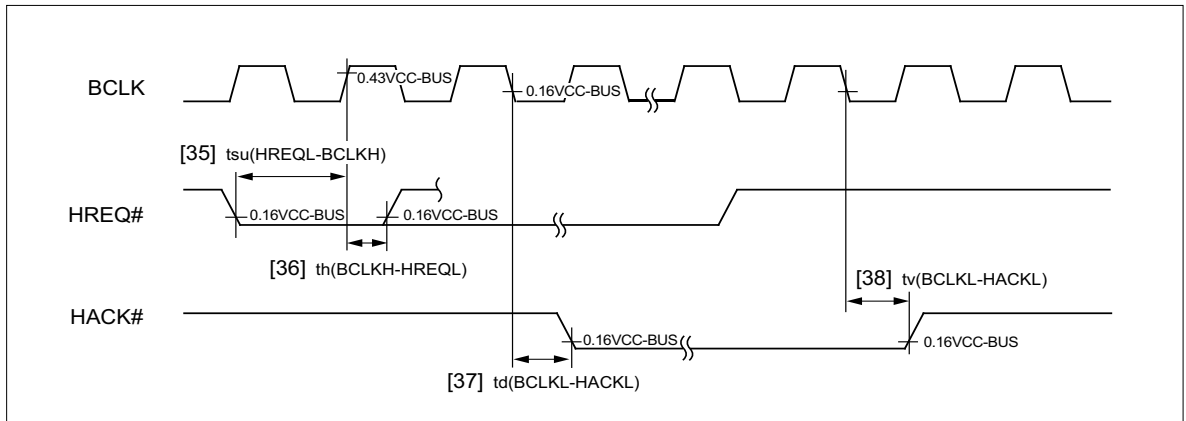


図21.7.11 バスアービトラクションタイミング

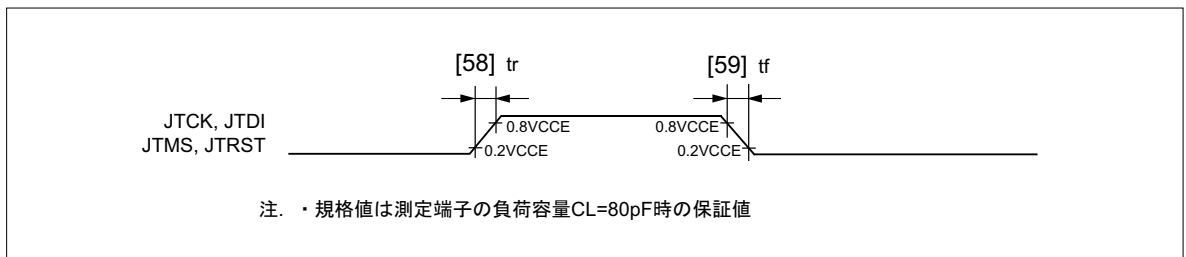


図21.7.12 JTAG端子の入力遷移時間

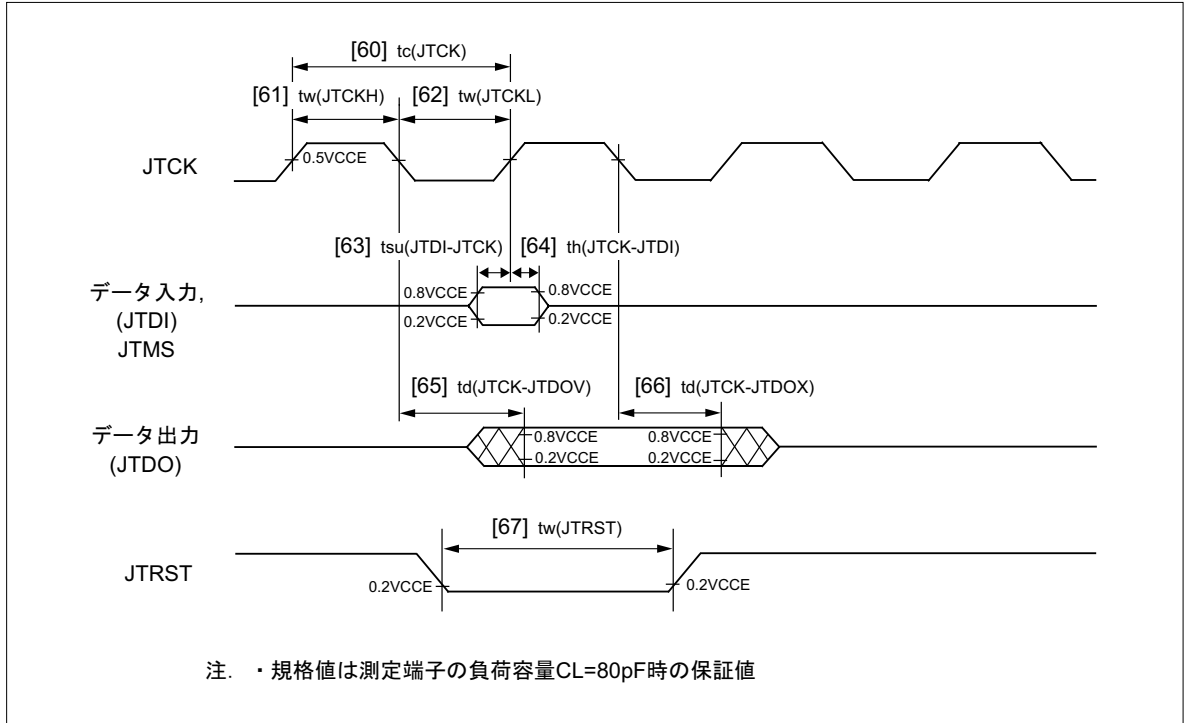


図21.7.13 JTAGインタフェースタイミング

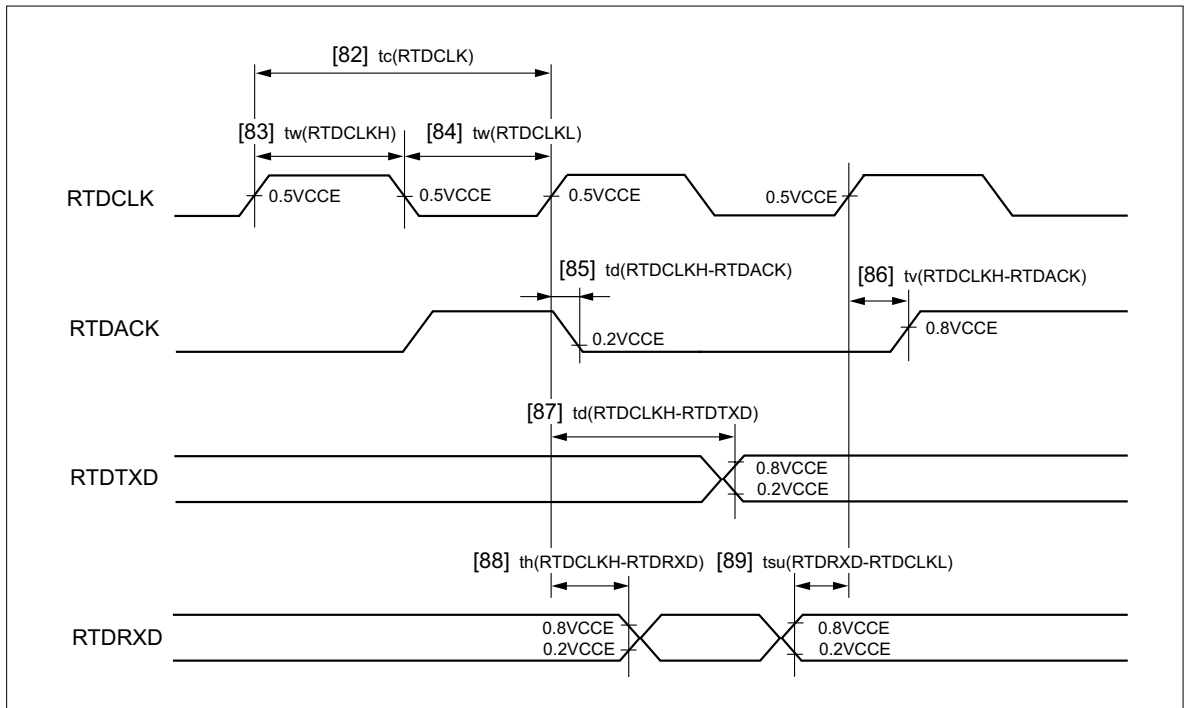


図21.7.14 RTDタイミング

21.8 AC特性(VCCE = 3.3V時)

- 指定のないタイミング条件は、VCCE, OSC-VCC, VCC-BUS, VDDE = 3.3V ± 0.3V, Ta = - 40 ~ 125 です。
- 規格値は測定端子の出力負荷容量が15pF ~ 50pFの時の保証値(ただし、JTAG関連は80pFの集中キャパシタンス時の保証値)です。
- 規格値中のS, R, ID, Wの意味は下記のとおりです。
 - S : CS領域ウェイト制御レジスタのSWAITビット = 1の時"1", SWAITビット = 0の時"0"
 - R : CS領域ウェイト制御レジスタのRECOVビット = 1の時"1", RECOVビット = 0の時"0"
 - ID : バスサイクルの最後に挿入されるアイドルサイクルのサイクル数。CS領域ウェイト制御レジスタのIDLEビットの設定により挿入される場合と、リードの直後にライトが実行された場合にデフォルトで挿入される場合がある(ID = 0、または1)。
 - W : ウェイト数(WTCSELビットで選択)

21.8.1 タイミング必要条件

(1) 入出力ポート

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.1 |
|----------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tsu(P-E) | ポート入力セットアップ時間 | 100 | | ns | [1] |
| th(E-P) | ポート入力ホールド時間 | 0 | | ns | [2] |

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.2 |
|------------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tsu(D-CLK) | RXD入力セットアップ時間 | 150 | | ns | [4] |
| th(CLK-D) | RXD入力ホールド時間 | 50 | | ns | [5] |

b) CSIOモード、外部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.2 |
|------------|---------------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| tc(CLK) | CLK入力サイクル時間 | 640 | | ns | [7] |
| tw(CLKH) | CLK入力"H"パルス幅 | 300 | | ns | [8] |
| tw(CLKL) | CLK入力"L"パルス幅 | 300 | | ns | [9] |
| tsu(D-CLK) | RXD入力セットアップ時間 | 60 | | ns | [10] |
| th(CLK-D) | RXD入力ホールド時間 | 100 | | ns | [11] |

(3) SBI

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.3 |
|----------|------------|-------------------------------|----|----|-----------------|
| | | 最小 | 最大 | | |
| tw(SBIL) | SBI#入力パルス幅 | $5 \times \frac{tc(BCLK)}{2}$ | | ns | [13] |

(4) TIN_i (i = 0 ~ 33)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.5 |
|----------|------------|-------------------------------|----|----|-----------------|
| | | 最小 | 最大 | | |
| tw(TINi) | TINi入力パルス幅 | $7 \times \frac{tc(BCLK)}{2}$ | | ns | [14] |

(5) リードおよびライトタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.6 図21.8.7 図21.8.8 図21.8.9 図21.8.10 |
|----------------------------------|------------------------------|--|----|----|--|
| | | 最小 | 最大 | | |
| tsu(D-BCLKH) | BCLK前データ入力セットアップ時間 | 26 | | ns | [31] |
| th(BCLKH-D) | BCLK後データ入力ホールド時間 | 0 | | ns | [32] |
| tsu(WAITL-BCLKH) | BCLK前WAIT#入力セットアップ時間 | 26 | | ns | [33] |
| th(BCLKH-WAITL) | BCLK後WAIT#入力ホールド時間 | 0 | | ns | [34] |
| tsu(WAITH-BCLKH) | BCLK前WAIT#入力セットアップ時間 | 26 | | ns | [78] |
| th(BCLKH-WAITH) | BCLK後WAIT#入力ホールド時間 | 0 | | ns | [79] |
| tw(RDL) | リード"L"パルス幅 | $(\frac{tc(BCLK)}{2}) \times (1+2W-S) - 20$ | | ns | [43] |
| tsu(D-RDH) | リード前データ入力セットアップ時間 | 30 | | ns | [44] |
| th(RDH-D) | リード後データ入力ホールド時間 | 0 | | ns | [45] |
| tw(BLWL) tw(BHWL) | ライト"L"パルス幅 (バイトライトモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 11$ 1ウエイト以上時: $(\frac{tc(BCLK)}{2}) \times (2W-S) - 20$ | | ns | [51] |
| td(RDH-BLWL) td(RDH-BHWL) | リード後ライト遅延時間 | $tc(BCLK) \times (\frac{1}{2} + R + ID) - 10$ | | ns | [56] |
| td(BLWH-RDL) td(BHWH-RDL) | ライト後リード遅延時間 | 0ウエイト時: $\frac{tc(BCLK)}{2} - 10$ 1ウエイト以上時: $tc(BCLK) \times (1+R) - 10$ | | ns | [57] |
| tw(WRL) | ライト"L"パルス幅 (バイトイネーブルモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 7$ 1ウエイト以上時: $(\frac{tc(BCLK)}{2}) \times (2W-S) - 20$ | | ns | [68] |
| td(RDH-WRL) | リード後ライト遅延時間 (バイトイネーブルモード) | $tc(BCLK) \times (\frac{1}{2} + R + ID) - 10$ | | ns | [80] |
| td(WRH-RDL) | ライト後リード遅延時間 (バイトイネーブルモード) | 0ウエイト時: $\frac{tc(BCLK)}{2} - 20$ 1ウエイト以上時: $tc(BCLK) \times (1+R) - 20$ | | ns | [81] |
| tv(BCLKH-BLWL) tv(BCLKH-BHWL) | BCLK後ライト有効時間 (0ウエイト時) | -5 | | ns | [90] |
| td(BCLKH-RDL) | BCLK後リード遅延時間 (SWAIT=1設定時) | 17 | | ns | [92] |

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.6 図21.8.8 図21.8.9 図21.8.10 |
|----------------------------------|----------------------------------|--|----|----|---|
| | | 最小 | 最大 | | |
| t α (CSL-RDL) | リード前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 16$ | | ns | [93] |
| td(CSL-BLWL) td(CSL-BHWL) | ライト前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 16$ | | ns | [95] |
| td(CSL-WRL) | ライト前チップセレクト遅延時間 (バイトイネーブルモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 20$ | | ns | [96] |
| td(BCLKL-BLWH) td(BCLKL-BHWH) | BCLK後ライト遅延時間 | | 14 | ns | [97] |

(6) パスアークレシジョンタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.11 |
|------------------|----------------------|-----|----|----|------------------|
| | | 最小 | 最大 | | |
| tsu(HREQ#-BCLKH) | BCLK前HREQ#入力セットアップ時間 | 27 | | ns | [35] |
| th(BCLKH-HREQ#) | BCLK後HREQ#入力ホールド時間 | 0 | | ns | [36] |

(7) JTAG端子の入力遷移時間

| 記号 | 項目 | | 規格値 | | 単位 | 参照図番 図21.8.12 | |
|----|-----------------|---------------------------------------|---------|----|----|------------------|------|
| | | | 最小 | 最大 | | | |
| tr | 入力立ち上がり 遷移時間 | JTRST端子以外 (JTCK, JTDI, JTMS, JTDO) | | | 10 | ns | [58] |
| | | JTRST端子 | TAP使用時 | | 10 | ns | |
| | | | TAP未使用時 | | 2 | ms | |
| tf | 入力立ち下がり 遷移時間 | JTRST端子以外 (JTCK, JTDI, JTMS, JTDO) | | | 10 | ns | [59] |
| | | JTRST端子 | TAP使用時 | | 10 | ns | |
| | | | TAP未使用時 | | 2 | ms | |

注 . . 規格値は測定端子の負荷容量CL = 80pF時の保証値

(8) JTAGインタフェースタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.13 |
|----------------|-----------------------------|----------|----|----|------------------|
| | | 最小 | 最大 | | |
| tc(JTCK) | JTCK入力サイクル時間 | 100 | | ns | [60] |
| tw(JTCKH) | JTCK入力"H"パルス幅 | 40 | | ns | [61] |
| tw(JTCKL) | JTCK入力"L"パルス幅 | 40 | | ns | [62] |
| tsu(JTDI-JTCK) | JTDI, JTMS入力セットアップ時間 | 15 | | ns | [63] |
| th(JTCK-JTDI) | JTDI, JTMS入力ホールド時間 | 20 | | ns | [64] |
| td(JTCK-JTDOV) | JTCK立ち下がり後JTDO出力の遅延時間 | | 40 | ns | [65] |
| td(JTCK-JTDOX) | JTCK立ち下がり後JTDO出力Hi-Zまでの遅延時間 | | 40 | ns | [66] |
| tw(JTRST) | JTRST入力"L"パルス幅 | tc(JTCK) | | ns | [67] |

注 . . 規格値は測定端子の負荷容量CL = 80pF時の保証値

(9) RTDタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.14 |
|---------------------|----------------------|-----|------------------------------|----|------------------|
| | | 最小 | 最大 | | |
| tc(RTDCLK) | RTDCLK入力サイクル時間 | 500 | | ns | [82] |
| tw(RTDCLKH) | RTDCLK入力"H"パルス幅 | 230 | | ns | [83] |
| tw(RTDCLKL) | RTDCLK入力"L"パルス幅 | 230 | | ns | [84] |
| td(RTDCLKH-RTDACK) | RTDCLK入力後RTDACK遅延時間 | | 160 | ns | [85] |
| tv(RTDCLKL-RTDACK) | RTDCLK入力後RTDACK有効時間 | | 160 | ns | [86] |
| td(RTDCLKH-RTDTRXD) | RTDCLK入力後RTDTRXD遅延時間 | | 160 | ns | [87] |
| th(RTDCLKH-RTDRXD) | RTDRXD入力ホールド時間 | 50 | | ns | [88] |
| tv(RTDRXD-RTDCLKL) | RTDRXD入力セットアップ時間 | 60 | $\frac{tc(RTDCLK)}{2} + 160$ | ns | [89] |

21.8.2 スイッチング特性

(1) 入出力ポート

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.1 |
|---------|--------------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(E-P) | ポートデータ出力遅延時間 | | 100 | ns | [3] |

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.2 |
|-----------|-----------|-----|----|----|-----------------|
| | | 最小 | 最大 | | |
| td(CLK-D) | TXD出力遅延時間 | | 60 | ns | [6] |
| th(CLK-D) | TXDホールド時間 | 0 | | ns | [98] |

b) CSIOモード、外部クロック選択時

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.2 |
|-----------|-----------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(CLK-D) | TXD出力遅延時間 | | 160 | ns | [12] |

(3) TO(i = 0 ~ 44)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.4 |
|--------------|-----------|-----|-----|----|-----------------|
| | | 最小 | 最大 | | |
| td(BCLK-TOi) | TOi出力遅延時間 | | 100 | ns | [15] |

(4) リードおよびライトタイミング

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.6 図21.8.7 図21.8.8 図21.8.9 |
|----------------------------------|--------------------------------|---|--------------------------|----|--|
| | | 最小 | 最大 | | |
| tc(BCLK) | BCLK出力サイクル時間 | | $\frac{tc(Xin)}{2}$ | ns | [16] |
| tw(BCLKH) | BCLK出力"H"パルス幅 | $\frac{tc(BCLK)}{2} - 5$ | | ns | [17] |
| tw(BCLKL) | BCLK出力"L"パルス幅 | $\frac{tc(BCLK)}{2} - 5$ | | ns | [18] |
| td(BCLKH-A) | BCLK後アドレス遅延時間 | | 29 | ns | [19] |
| td(BCLKH-CS) | BCLK後チップセレクト遅延時間 | | 30 | ns | [20] |
| tv(BCLKH-A) | BCLK後アドレス有効時間 | -5 | | ns | [21] |
| tv(BCLKH-CS) | BCLK後チップセレクト有効時間 | -5 | | ns | [22] |
| td(BCLKL-RDL) | BCLK後リード遅延時間 | | 14 | ns | [23] |
| tv(BCLKH-RDL) | BCLK後リード有効時間 | -5 | | ns | [24] |
| td(BCLKL-BLWL) td(BCLKL-BHWL) | BCLK後ライト遅延時間 | | 14 | ns | [25] |
| tv(BCLKL-BLWL) tv(BCLKL-BHWL) | BCLK後ライト有効時間 | -5 | | ns | [26] |
| td(BCLKL-D) | BCLK後データ出力遅延時間 | | 0ウエイト時：14 1ウエイト以上時：19 | ns | [27] |
| tv(BCLKH-D) | BCLK後データ出力有効時間 | 0ウエイト時：-4 1ウエイト以上時：-10 | | ns | [28] |
| tpzx(BCLKL-DZ) | BCLK後データ出カインエーブル時間 | -10 | | ns | [29] |
| tpzx(BCLKH-DZ) | BCLK後データ出カディスエーブル時間 | | 5 | ns | [30] |
| td(A-RDL) | リード前アドレス遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [39] |
| td(CS-RDL) | リード前チップセレクト遅延時間 | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [40] |
| tv(RDH-A) | リード後アドレス有効時間 | $tc(BCLK) \times (R+ID)$ | | ns | [41] |
| tv(RDH-CS) | リード後チップセレクト有効時間 | $tc(BCLK) \times R$ | | ns | [42] |
| tpzx(RDH-DZ) | リード後データ出カインエーブル時間 | $tc(BCLK) \times (\frac{1}{2} + R + ID)$ | | ns | [46] |
| td(A-BLWL) td(A-BHWL) | ライト前アドレス遅延時間 (バイトライトモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [47] |
| td(CS-BLWL) td(CS-BHWL) | ライト前チップセレクト遅延時間 (バイトライトモード) | $(\frac{tc(BCLK)}{2}) \times (1+S) - 15$ | | ns | [48] |
| tv(BLWH-A) tv(BHWH-A) | ライト後アドレス有効時間 (バイトライトモード) | 0ウエイト時：-5 1ウエイト以上時： $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [49] |
| tv(BLWH-CS) tv(BHWH-CS) | ライト後チップセレクト有効時間 (バイトライトモード) | 0ウエイト時：-5 1ウエイト以上時： $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [50] |

リードおよびライトタイミング(前ページの続き)

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.6 図21.8.7 図21.8.8 図21.8.9 |
|--------------------------------|-------------------------------------|---|---|----|--|
| | | 最小 | 最大 | | |
| td(BLWL-D) td(BHWL-D) | ライト後データ出力遅延時間 (バイトライトモード) | | 0ウエイト時: 5 1ウエイト以上時: $15 - \frac{tc(BCLK)}{2} \times S$ | ns | [52] |
| tv(BLWH-D) tv(BHWH-D) | ライト後データ出力有効時間 (バイトライトモード) | 0ウエイト時: -7 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) - 13$ | | ns | [53] |
| tpxz(BLWH-DZ) tpxz(BHWH-DZ) | ライト後データ出力ディスエーブル時間 (バイトライトモード) | | 0ウエイト時: 5 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) + 5$ | ns | [54] |
| td(A-WRL) | ライト前アドレス遅延時間 (バイトイネーブルモード) | $(\frac{tc(BCLK)}{2}) \times (1 + S) - 20$ | | ns | [69] |
| td(CS-WRL) | ライト前チップセレクト遅延時間 (バイトイネーブルモード) | $(\frac{tc(BCLK)}{2}) \times (1 + S) - 15$ | | ns | [70] |
| tv(WRH-A) | ライト後アドレス有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [71] |
| tv(WRH-CS) | ライト後チップセレクト有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [72] |
| td(BLE-WRL) td(BHE-WRL) | ライト前バイトイネーブル遅延時間 (バイトイネーブルモード) | $(\frac{tc(BCLK)}{2}) \times (1 + S) - 15$ | | ns | [73] |
| tv(WRH-BLE) tv(WRH-BHE) | ライト後バイトイネーブル有効時間 (バイトイネーブルモード) | 0ウエイト時: -5 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) - 5$ | | ns | [74] |
| td(WRL-D) | ライト後データ出力遅延時間 (バイトイネーブルモード) | | 0ウエイト時: 9 1ウエイト以上時: $15 - \frac{tc(BCLK)}{2} \times S$ | ns | [75] |
| tv(WRH-D) | ライト後データ出力有効時間 (バイトイネーブルモード) | 0ウエイト時: -7 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) - 13$ | | ns | [76] |
| tpxz(WRH-DZ) | ライト後データ出力ディスエーブル時間 (バイトイネーブルモード) | | 0ウエイト時: 5 1ウエイト以上時: $tc(BCLK) \times (\frac{1}{2} + R) + 5$ | ns | [77] |
| tw(RDH) | リード"H"パルス幅 | $(\frac{tc(BCLK)}{2}) \times (1 + S) - 5$ | | ns | [55] |

(5) パスアビトレーション

| 記号 | 項目 | 規格値 | | 単位 | 参照図番 図21.8.11 |
|-----------------|----------------|-----|----|----|------------------|
| | | 最小 | 最大 | | |
| td(BCLKL-HACKL) | BCLK後HACK#遅延時間 | | 29 | ns | [37] |
| tv(BCLKL-HACKL) | BCLK後HACK#有効時間 | -11 | | ns | [38] |

21.8.3 AC特性

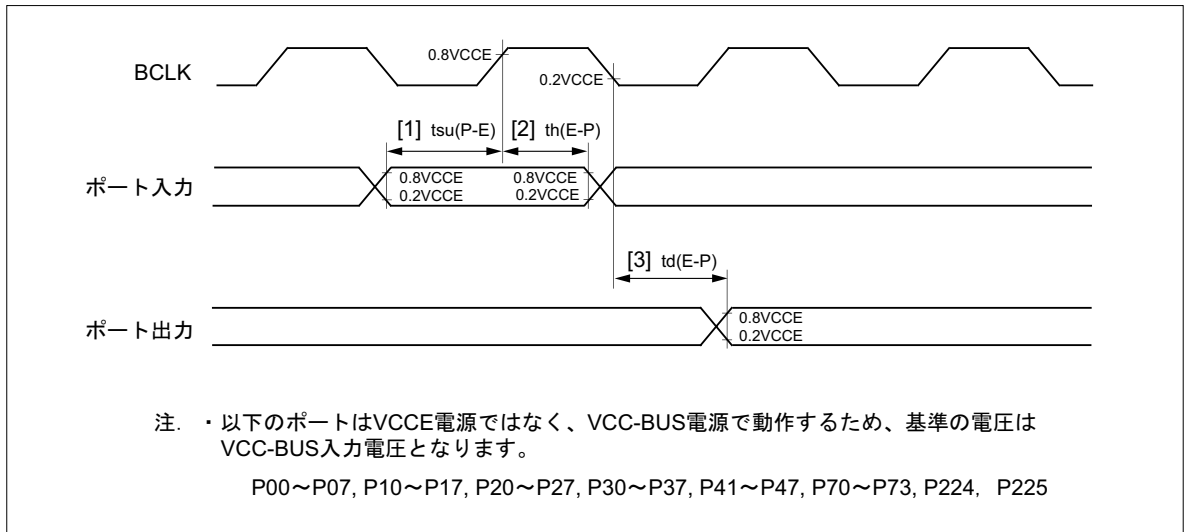


図21.8.1 入出力ポートタイミング

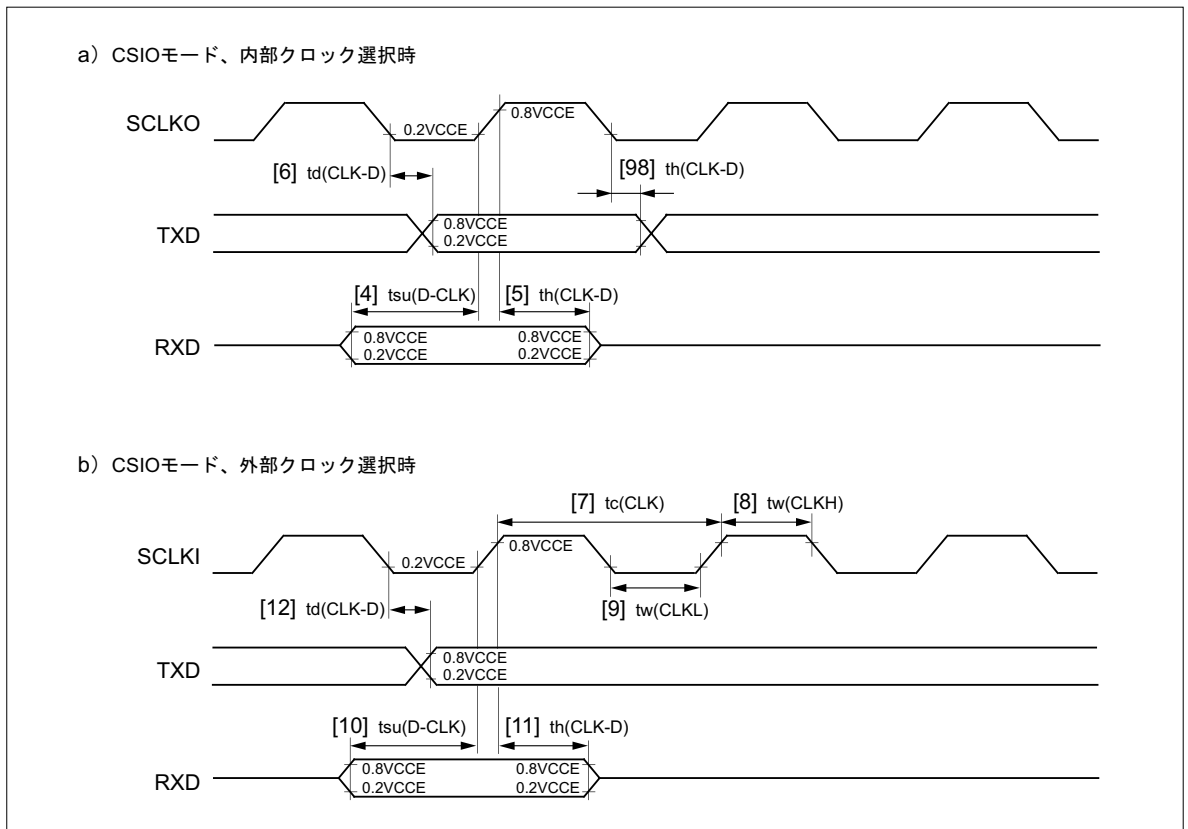


図21.8.2 シリアルI/Oタイミング

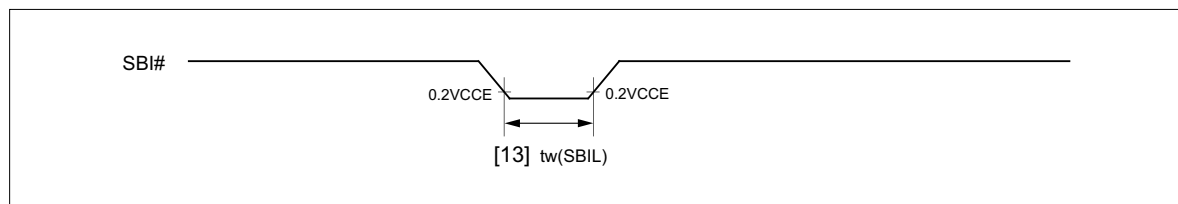


図21.8.3 SBIタイミング

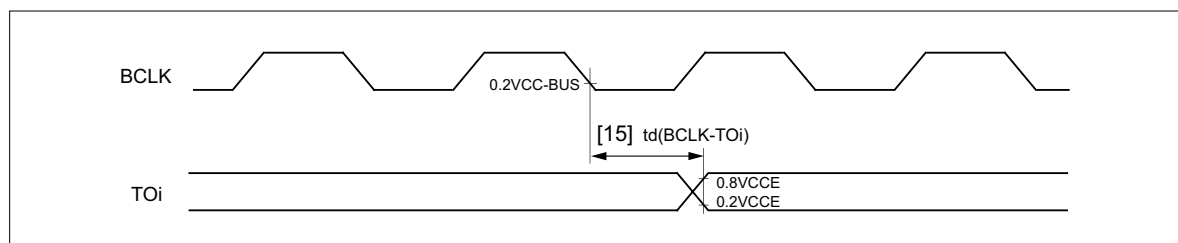


図21.8.4 TOiタイミング

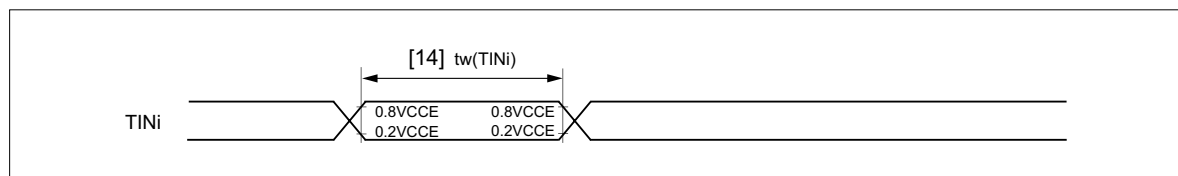


図21.8.5 TINiタイミング

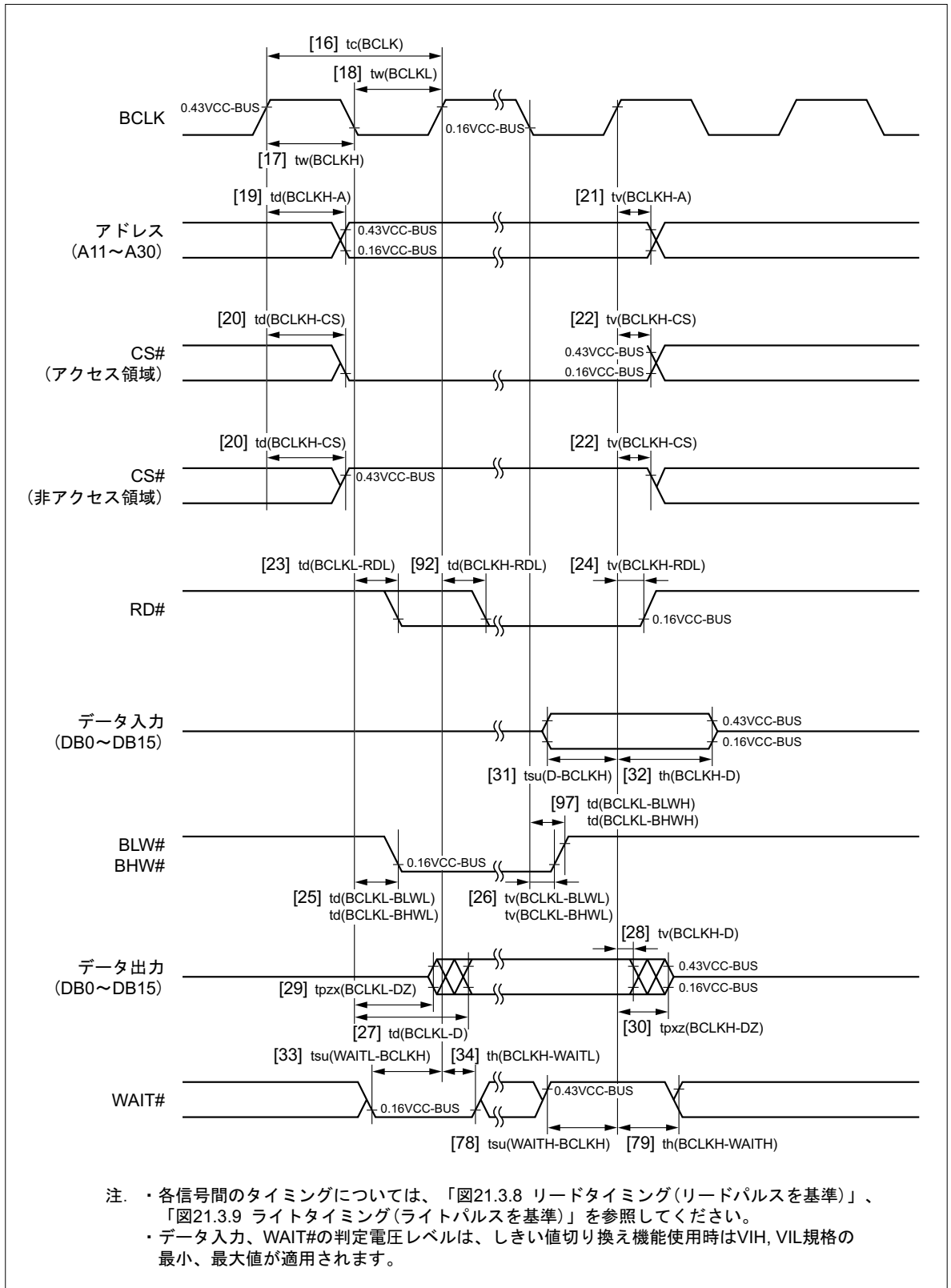


図21.8.6 リードおよびライトタイミング (BCLK基準) 1ウイト以上挿入時

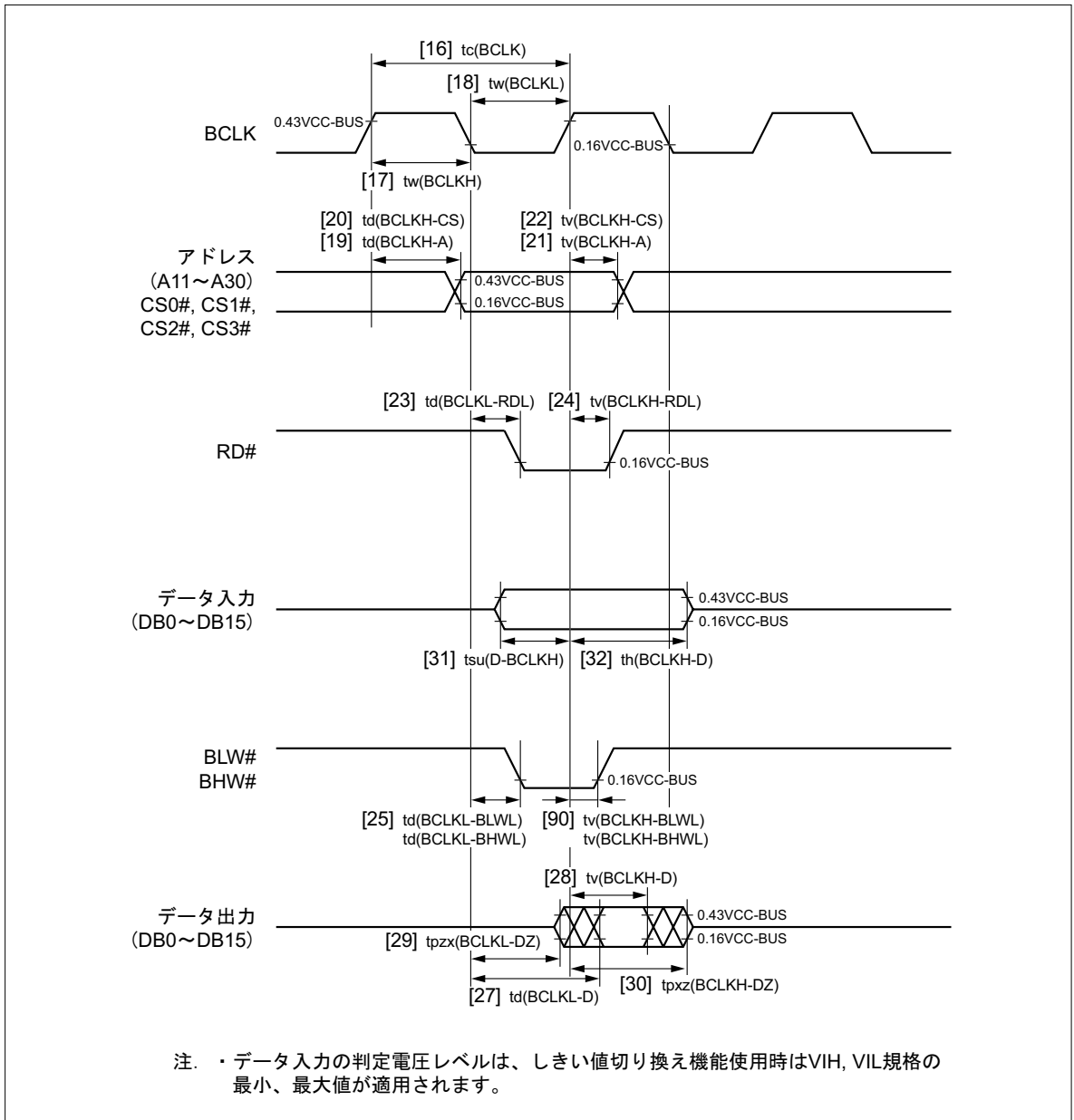


図21.8.7 リードおよびライトタイミング (BCLK基準) 0ウエイト時

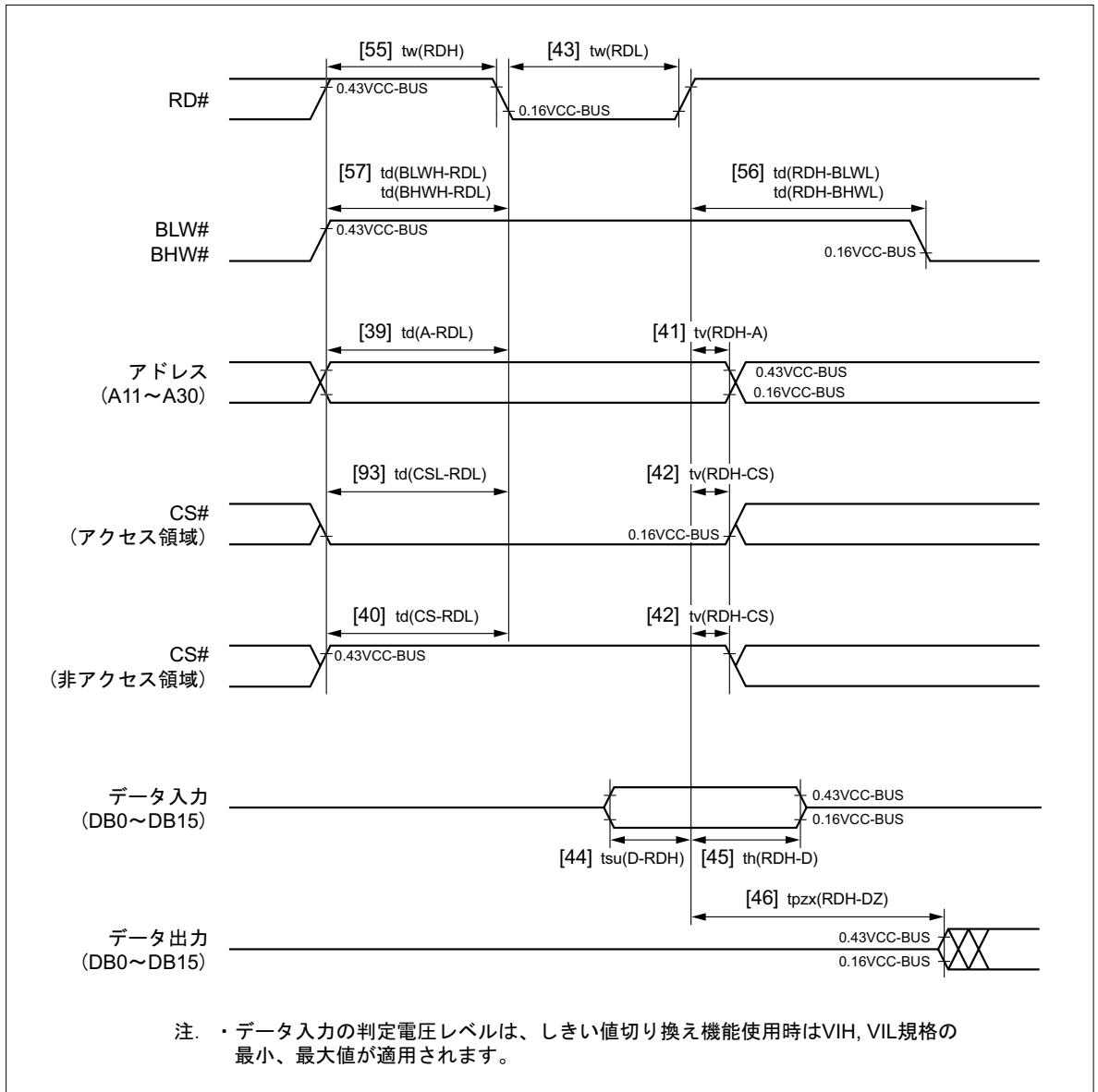


図21.8.8 リードタイミング(リードパルスを基準)

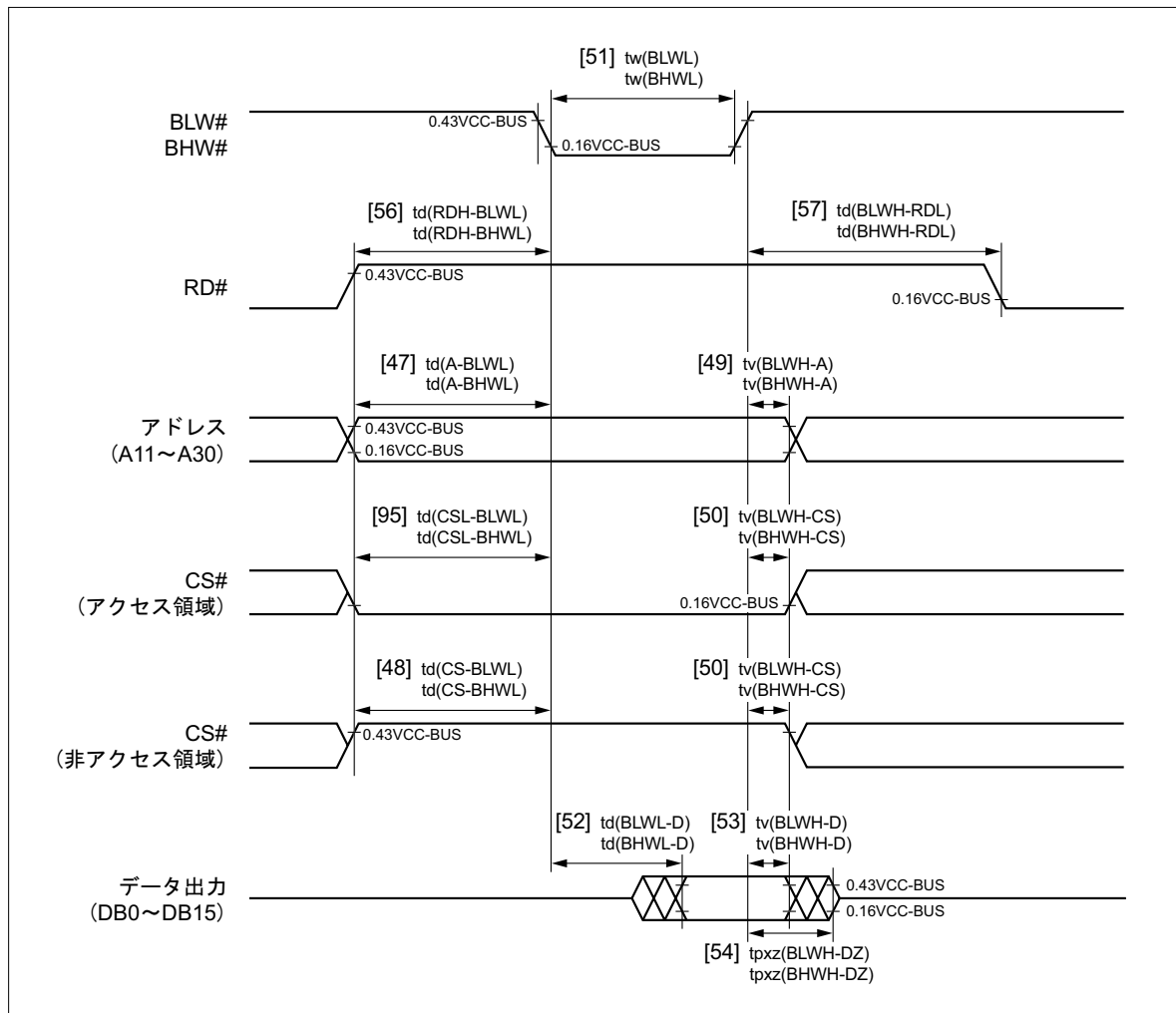


図21.8.9 ライトタイミング(ライトパルスを基準)

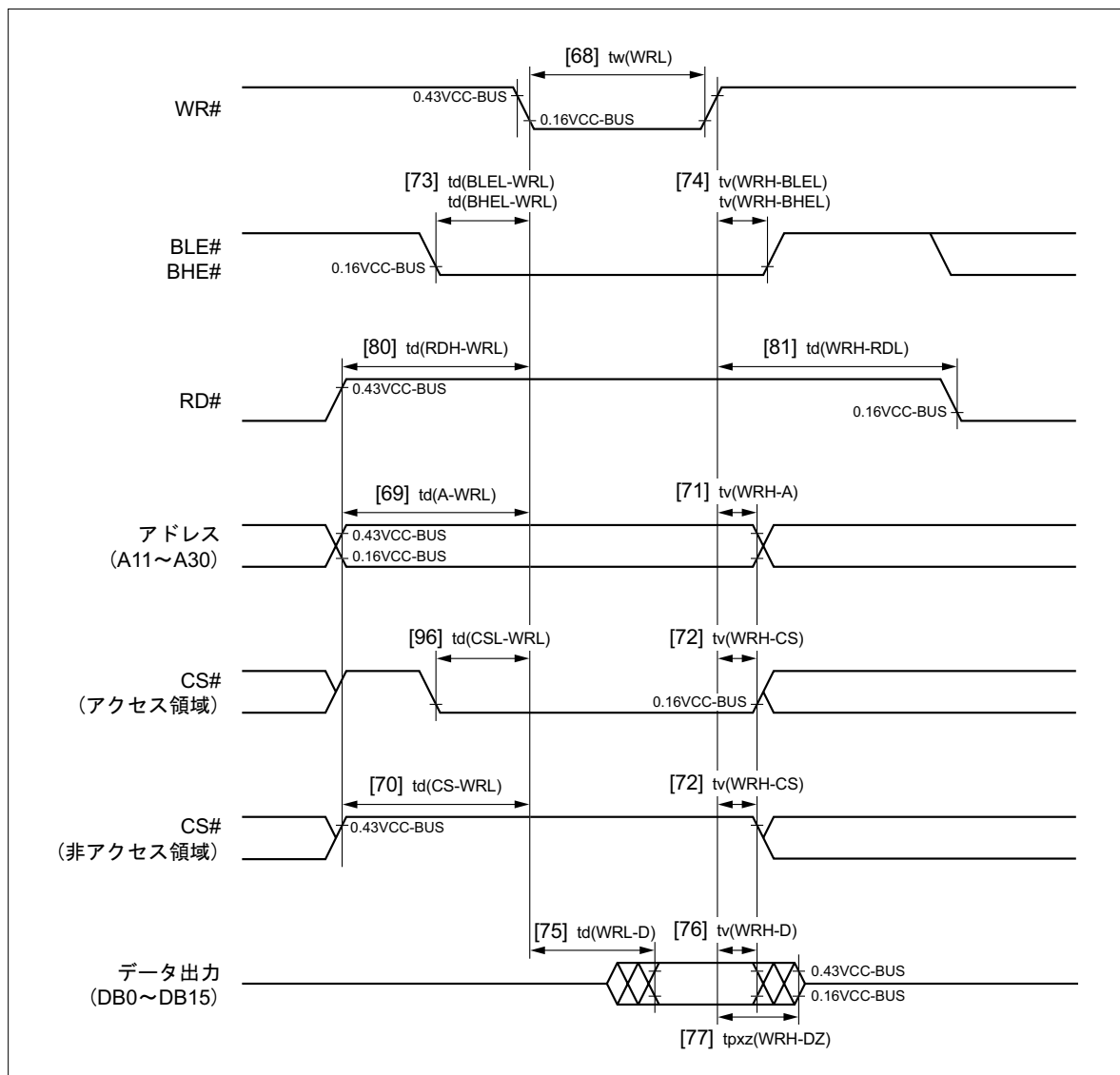


図21.8.10 ライトタイミング(バイトイネーブルモード)

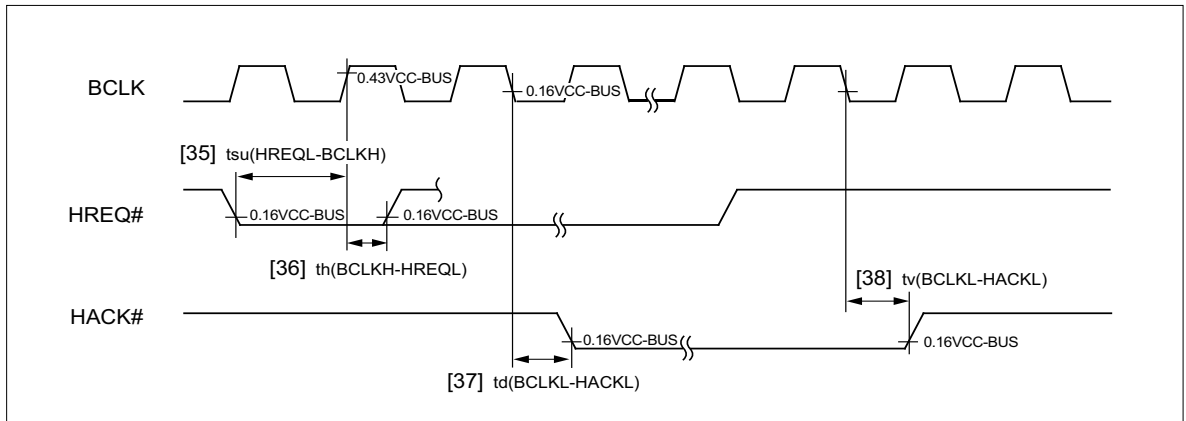


図21.8.11 バスアービトラクションタイミング

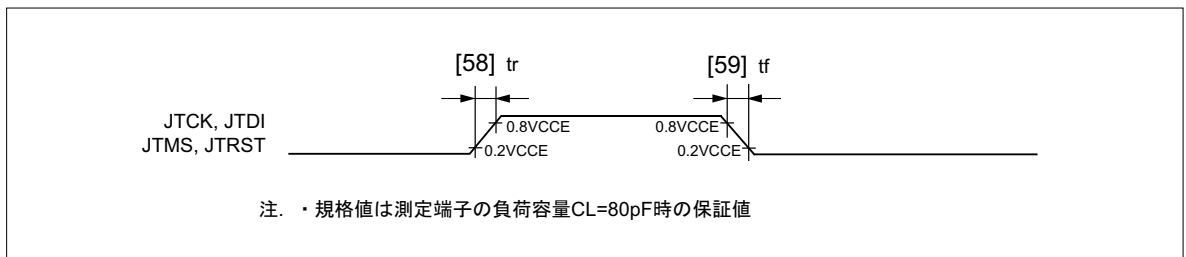


図21.8.12 JTAG端子の入力遷移時間

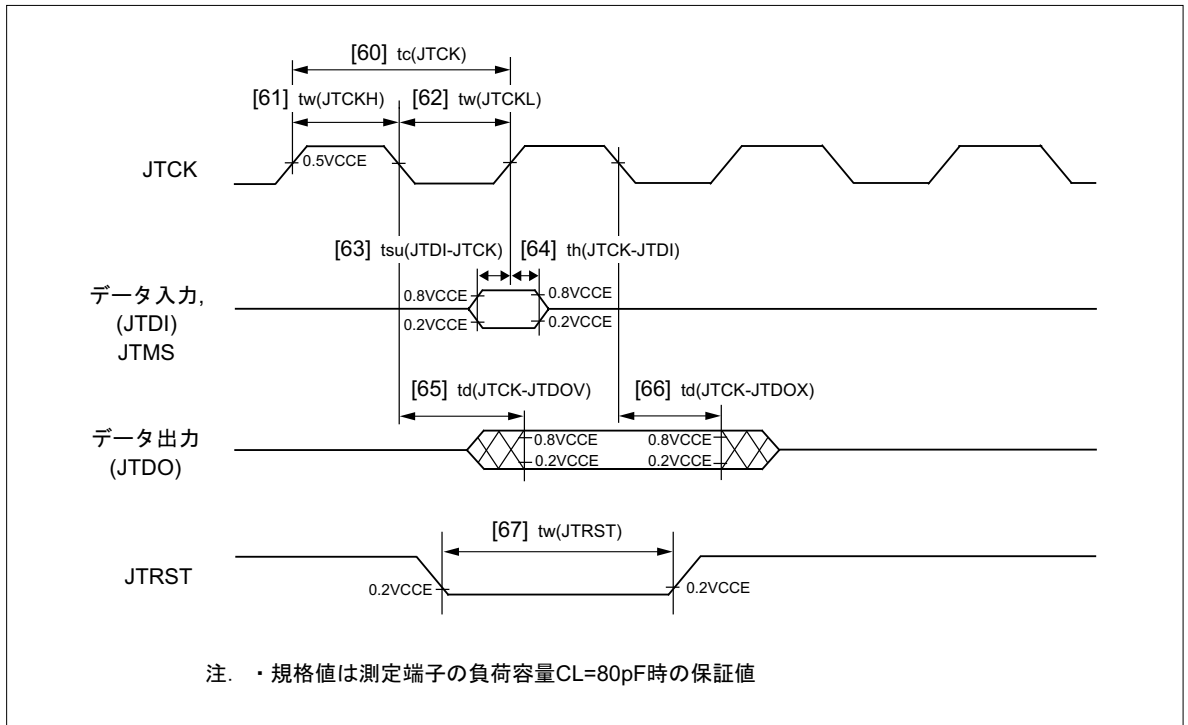


図21.8.13 JTAGインタフェースタイミング

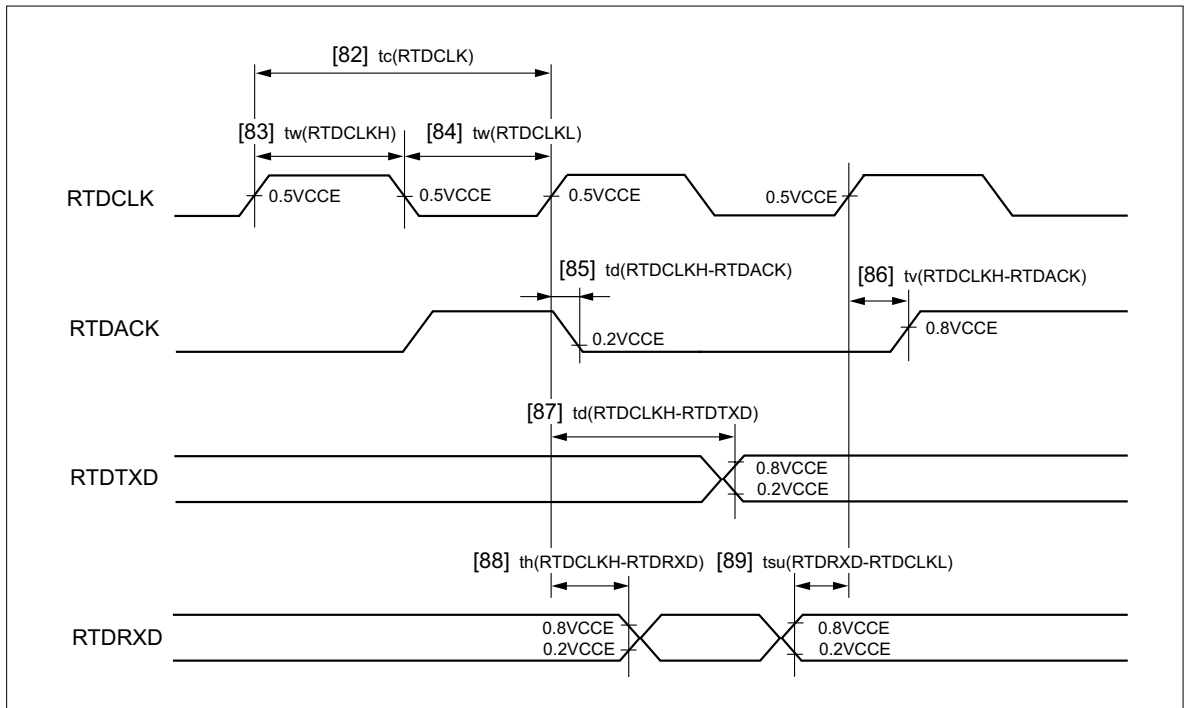


図21.8.14 RTDタイミング

レイアウトの都合上、このページは白紙です。

第22章

標準特性

作成中

付録1

機械の仕様

付録1.1 外形寸法図

付録1.1 外形寸法図

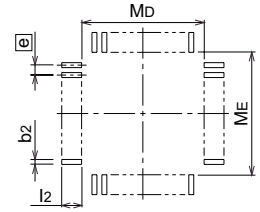
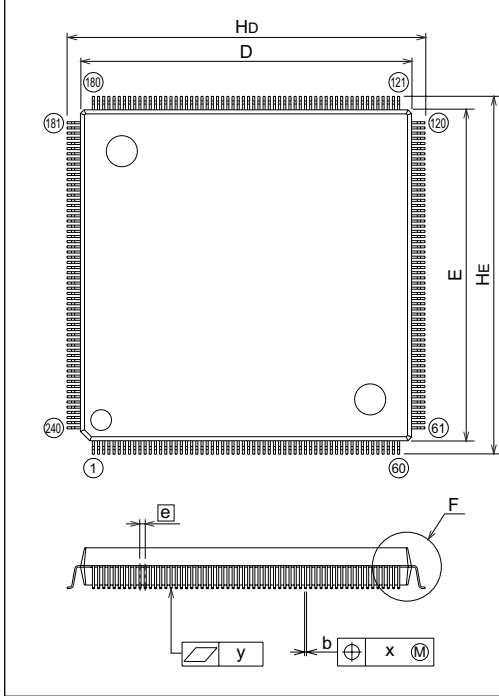
(1) 240pin QFP

240P6Y-A

(MMP)

Plastic 240pin 32 × 32mm body QFP

| EIAJ Package Code | JEDEC Code | Weight(g) | Lead Material |
|--------------------|------------|-----------|---------------|
| QFP240-P-3232-0.50 | - | | Cu Alloy |



Recommended Mount Pad

| Symbol | Dimension in Millimeters | | |
|----------|--------------------------|-------|------|
| | Min | Nom | Max |
| A | - | - | 4.1 |
| A1 | 0.25 | 0.35 | 0.45 |
| A2 | - | 3.6 | - |
| b | 0.15 | 0.2 | 0.3 |
| c | 0.13 | 0.15 | 0.2 |
| D | 31.9 | 32.0 | 32.1 |
| E | 31.9 | 32.0 | 32.1 |
| e | - | 0.5 | - |
| HD | 34.4 | 34.6 | 34.8 |
| HE | 34.4 | 34.6 | 34.8 |
| L | 0.3 | 0.5 | 0.7 |
| L1 | - | 1.3 | - |
| x | - | - | 0.08 |
| y | - | - | 0.1 |
| θ | 0° | - | 10° |
| b2 | - | 0.225 | - |
| l2 | 1.2 | - | - |
| MD | - | 32.6 | - |
| ME | - | 32.6 | - |

付録2

命令処理時間

付録2.1 32180命令処理時間

付録2

付録2.1 32180命令処理時間

通常Eステージ(注1)における命令実行サイクル数を命令処理時間として代表しますが、パイプラインの動作によっては、それ以外のステージが処理時間に影響を与えることがあります。特に分岐命令を実行した場合の次命令においては、IF(命令フェッチ)、D(デコード)、E(実行)の各ステージの処理時間を考慮に入れることが必要です。

以下に各パイプラインステージごとの命令処理時間を示します。

注1. FPU命令ではE1およびEMステージを使用します。

付表2.1.1 各パイプラインステージにおける命令処理時間 [FPU命令以外]

| 命令 | 各ステージにおける実行サイクル数 | | | | | |
|--|------------------|---|-------------|-------|------|---------|
| | IF | D | E | MEM1 | MEM2 | WB |
| ロード命令(LD, LDB, LDUB, LDH, LDUH, LOCK) | R(注1) | 1 | 1 | R(注1) | 1 | 1 |
| ストア命令(ST, STB, STH, UNLOCK) | R(注1) | 1 | 1 | W(注1) | 1 | (1)(注2) |
| BSET, BCLR命令 | R(注1) | 1 | R(注1) +3 | W(注1) | 1 | - |
| 乗算命令(MUL) | R(注1) | 1 | 3 | - | - | 1 |
| 除算/剰余命令(DIV, DIVU, REM, REMU) | R(注1) | 1 | 37 | - | - | 1 |
| 上記以外の命令(DSP機能用命令 BTST, SETPSW, CLRPSWを含む) | R(注1) | 1 | 1 | - | - | 1 |

注1. R, W: 計算方法は次ページを参照してください。

注2. ストア命令のうち、レジスタ間接+レジスタ更新アドレッシングモードを持つもののみWBステージに1サイクル必要です(それ以上は必要ありません)。

付表2.1.2 各パイプラインステージにおける命令処理時間 [FPU命令]

| 命令 | 各ステージにおける実行サイクル数 | | | | | | |
|----------------|------------------|---|----|----|----|----|----|
| | IF | D | E1 | EM | EA | E2 | WB |
| FMADD, FMSUB命令 | R(注1) | 1 | - | 1 | 1 | 1 | 1 |
| FDIV命令 | R(注1) | 1 | 14 | - | - | 1 | 1 |
| 上記以外のFPU命令 | R(注1) | 1 | 1 | - | - | 1 | 1 |

注1. R, W: 計算方法は次ページを参照してください。

以下にIF、MEMステージでのメモリアクセスのサイクル数を示します。ここに示す値は、メモリアクセスのための最小サイクル数です。したがって実際のメモリやバスアクセスにかかるサイクル数とは異なる場合があります。

例えばライトアクセスについては、CPUはライトバッファに書き込むだけでMEMステージを終了しますが、実際にはその後にメモリのライトが行われます。CPUがメモリアクセス要求した前後のメモリやバスの状態によって、命令処理時間は計算値から増える場合があります。

R (リードサイクル)

| | |
|----------------------------------|----------------------|
| 命令キューにある場合 | 1CPUCLK |
| 内蔵リソース(RAM)をリードした場合 | 1CPUCLK |
| 内蔵リソース(ROM)をリードした場合 | 2CPUCLK |
| 内蔵リソース(SFR)をリードした場合(バイト, ハーフワード) | 4CPUCLK |
| 内蔵リソース(SFR)をリードした場合(ワード) | 8CPUCLK |
| 外部メモリをリードした場合(バイト, ハーフワード) | 1CPUCLK + 1BCLK (注1) |
| 外部メモリをリードした場合(ワード) | 1CPUCLK + 2BCLK (注1) |
| 外部メモリから連続して命令フェッチした場合 | 2BCLK (注1) |

W (ライトサイクル)

| | |
|----------------------------------|------------|
| 内蔵リソース(RAM)にライトした場合 | 1CPUCLK |
| 内蔵リソース(SFR)にライトした場合(バイト, ハーフワード) | 4CPUCLK |
| 内蔵リソース(SFR)にライトした場合(ワード) | 8CPUCLK |
| 外部メモリにライトした場合(バイト, ハーフワード) | 1BCLK (注1) |
| 外部メモリにライトした場合(ワード) | 2BCLK (注1) |

注 . . BCLKとCPUCLKとの関係は、1BCLK = 4CPUCLKです。

注1 . 外部アクセスが0ウエイトの場合です。1ウエイト挿入で、1BCLK増えます。

レイアウトの都合上、このページは白紙です。

付録3

未使用端子の処理

付録3.1 未使用端子の処理例

付録3.1 未使用端子の処理例

未使用端子の処理例を以下に示します。

(1) 動作モードがシングルチップモードの場合

付表3.1.1 シングルチップモード時の未使用端子の処理例(注1)

| 端子名 | 処理 |
|--|---|
| 入出力ポート(注2) | |
| P61~P63, P65~P67, P74~P77, P82~P87, P93~P97, P100~P107, P110~P117, P124~P127, P130~P137, P140~P147, P150~P157, P160~P167, P172~P177, P180~P187, P190~P197, P200~P203, P210~P217, P220~P223 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| P00~P07, P10~P17, P20~P27, P30~P37, P41~P47, P70~P73, P224~P227 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| SBI#(注3) | 1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン) |
| XOUT(注4) | 開放 |
| A-D変換器 | |
| AD0IN0~AD0IN15, AD1IN0~AD1IN15, AVREF0, AVREF1, AVSS0, AVSS1 | VSSに接続 |
| AVCC0, AVCC1 | VCCEに接続 |
| JTAG | |
| JTDO, JTMS, JTDI, JTCK | 0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン) |
| JTRST | 0~100kΩの抵抗を介してVSSに接続(プルダウン) |

注1. 未使用端子処理はマイコンの端子からできるだけ短い(20mm以内)配線で処理してください。

注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り替えるまではポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。

ただし、P221, P223は入力専用ポートのため、出力ポートにはなりません。

注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。
(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)

注4. XINIに外部クロック入力時。

(2) 動作モードが外部拡張モードの場合

付表3.1.2 外部拡張モード時の未使用端子の処理例(注1)

| 端子名 | 処理 |
|--|---|
| 入出力ポート(注2) | |
| P61~P63, P65~P67, P74~P77, P82~P87, P93~P97, P100~P107, P110~P117, P124~P127, P130~P137, P140~P147, P150~P157, P160~P167, P172~P177, P180~P187, P190~P197, P200~P203, P210~P217, P220~P223 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| P00~P07, P10~P17, P20~P27, P30~P37, P44~P47, P70~P73, P224~P227 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| BLW#/BLE#, BHW#/BHE#, RD# | 開放 |
| SBI#(注3) | 1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン) |
| XOUT(注4) | 開放 |
| A-D変換器 | |
| AD0IN0~AD0IN15, AD1IN0~AD1IN15, AVREF0, AVREF1, AVSS0, AVSS1 | VSSに接続 |
| AVCC0, AVCC1 | VCCEに接続 |
| JTAG | |
| JTDO, JTMS, JTDI, JTCK | 0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン) |
| JTRST | 0~100kΩの抵抗を介してVSSに接続(プルダウン) |

- 注1. 未使用端子処理はマイコンの端子からできるだけ短い(20mm以内)配線で処理してください。
- 注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り替えるまではポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。
ただし、P221, P223は入力専用ポートのため、出力ポートにはなりません。
- 注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。
(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)
- 注4. XINIに外部クロック入力時。

(3) 動作モードがプロセッサモードの場合

付表3.1.3 プロセッサモード時の未使用端子の処理例(注1)

| 端子名 | 処理 |
|--|---|
| 入出力ポート(注2) | |
| P61~P63, P65~P67, P74~P77, P82~P87, P93~P97, P100~P107, P110~P117, P124~P127, P130~P137, P140~P147, P150~P157, P160~P167, P172~P177, P180~P187, P190~P197, P200~P203, P210~P217, P220~P223 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| P70~P73 | ポート入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放 |
| A11~A30, DB0~DB15, BLW#/BLE#, BHW#/BHE#, RD# CS0#, CS1#, CS2#, CS3# | 開放 |
| SBI#(注3) | 1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン) |
| XOUT(注4) | 開放 |
| A-D変換器 | |
| AD0IN0~AD0IN15, AD1IN0~AD1IN15, AVREF0, AVREF1, AVSS0, AVSS1 | VSSに接続 |
| AVCC0, AVCC1 | VCCEに接続 |
| JTAG | |
| JTDO, JTMS, JTDI, JTCK | 0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン) |
| JTRST | 0~100kΩの抵抗を介してVSSに接続(プルダウン) |

- 注1. 未使用端子処理はマイコンの端子からできるだけ短い(20mm以内)配線で処理してください。
- 注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り替えるまではポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。
ただし、P221, P223は入力専用ポートのため、出力ポートにはなりません。
- 注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。
(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)
- 注4. XINに外部クロック入力時。

付録4

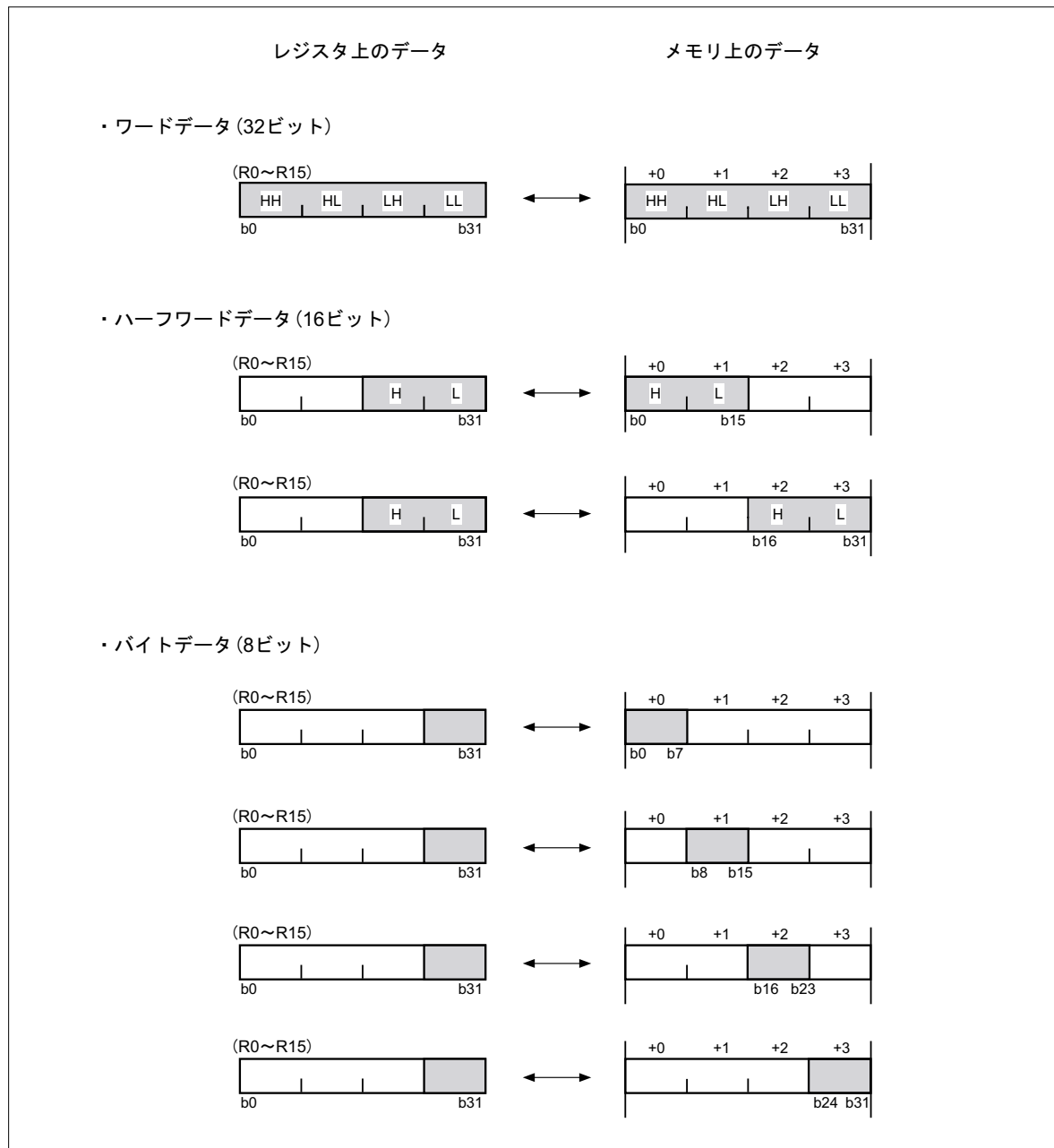
注意事項のまとめ

- 付録4.1 CPUに関する注意事項
- 付録4.2 アドレス空間の注意事項
- 付録4.3 EITの注意事項
- 付録4.4 内蔵フラッシュメモリ書き込み時の注意事項
- 付録4.5 リセット解除後の注意事項
- 付録4.6 入出力ポートの注意事項
- 付録4.7 DMACの注意事項
- 付録4.8 マルチジャンクションタイマの注意事項
- 付録4.9 A-D変換器の注意事項
- 付録4.10 シリアルI/Oの注意事項
- 付録4.11 RAMバックアップモードの注意事項
- 付録4.12 JTAGに関する注意事項
- 付録4.13 ノイズに関する注意事項

付録4.1 CPUに関する注意事項

付録4.1.1 データ転送の注意事項

データの転送は、レジスタ上のデータ配置とメモリ上のデータ配置に違いがありますのでご注意ください。



付図4.1.1 データ配置の違い

付録4.2 アドレス空間の注意事項

付録4.2.1 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を4Kバイト毎に区切った領域(Sバンク)に、H'0080 8000番地から4Kバイト単位のブロックをマッピングする機能、これを疑似フラッシュエミュレーション機能と呼びます。

これは、内蔵RAMの4KB単位のブロックに配置したデータを、疑似フラッシュバンクレジスタで指定したアドレスのフラッシュメモリ内容と切り換える機能です。この機能については、「6.6 疑似フラッシュエミュレーション機能」を参照してください。

付録4.3 EITの注意事項

アドレス例外は、「レジスタ間接+レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc、Rsrc2)の値が不定となります。なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

●対象命令

LD Rdest, @Rsrc +
ST Rsrc1, @ - Rsrc2
ST Rsrc1, @ + Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

付録4.4 内蔵フラッシュメモリ書き込み時の注意事項

内蔵フラッシュメモリ書き込み/消去時の注意事項を以下に示します。

- 内蔵フラッシュメモリ書き込み/消去時は、内部で高電圧が生成されています。書き込み/消去時中のモード移行は、チップ破壊の要因となり得ますので、モード移行がないように、モード端子、電源管理を十分に行ってください。
- 汎用書き込み/消去時ツールで使用する端子をシステムで使用する場合、ツール接続時に影響がでないよう考慮が必要です。
- 汎用書き込み/消去時ツール使用時に内蔵フラッシュメモリのプロテクトが必要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域(H'0000 0084 ~ H'0000 008F)に任意のIDを設定してください。
- 汎用書き込み/消去時ツール使用時に内蔵フラッシュメモリのプロテクトが不要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域(H'0000 0084 ~ H'0000 008F)すべてにH'FFを設定してください。
- フラッシュステータスレジスタ2(FSTAT2)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)であることを確認後実施ください。

- フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"1"(Ready)であることを確認後実施ください。
- フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"でフラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"0"(Busy) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"0"(書き込み/消去中)の場合、FENTRYビットのクリアは行わないでください。

付録4.5 リセット解除後の注意事項

付録4.5.1 入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力特別機能制御レジスタ(PICNT)のPIEN0で入力許可に設定してください。詳細については、「8.3 入出力ポート関連レジスタ」を参照してください。

付録4.6 入出力ポートの注意事項

付録4.6.1 ポートを出力モードで使用する場合

リセット解除時のポートデータレジスタは、値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力に設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力に設定すると、ポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

付録4.6.2 ポート入力禁止機能について

リセット後は入力禁止になっているため、入力機能を使用するためには、ポート入力許可ビットを"1"にして入力許可に設定する必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

付録4.7 DMACの注意事項

付録4.7.1 DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

付表4.7.1 DMAC関連レジスタへのライトアクセスの可否

| 状態 | 転送許可ビット | 転送要求フラグ | その他DMAC関連レジスタ |
|--------|---------|---------|---------------|
| 転送許可状態 | | | x |
| 転送禁止状態 | | | |

: 可 x : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

(1) DMAチャンネル制御レジスタ0の転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んでください。なお、転送要求フラグは"0"の書き込みのみ有効です。

(2) DMA転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

(3) DMA転送による異なるチャンネルのDMAソースアドレス、およびDMAデスティネーションアドレスの書き換え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うことにはなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

付録4.7.2 DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き換えが可能です(例えばチャンネル0による、チャンネル1のDMAソースアドレスレジスタとDMAデスティネーションアドレスレジスタの書き換え操作など)。

付録4.7.3 DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んでください。"1"を書き込んだビットは、書き込み前のデータが保持されます。

付録4.7.4 DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

付録4.8 マルチジャンクションタイマの注意事項

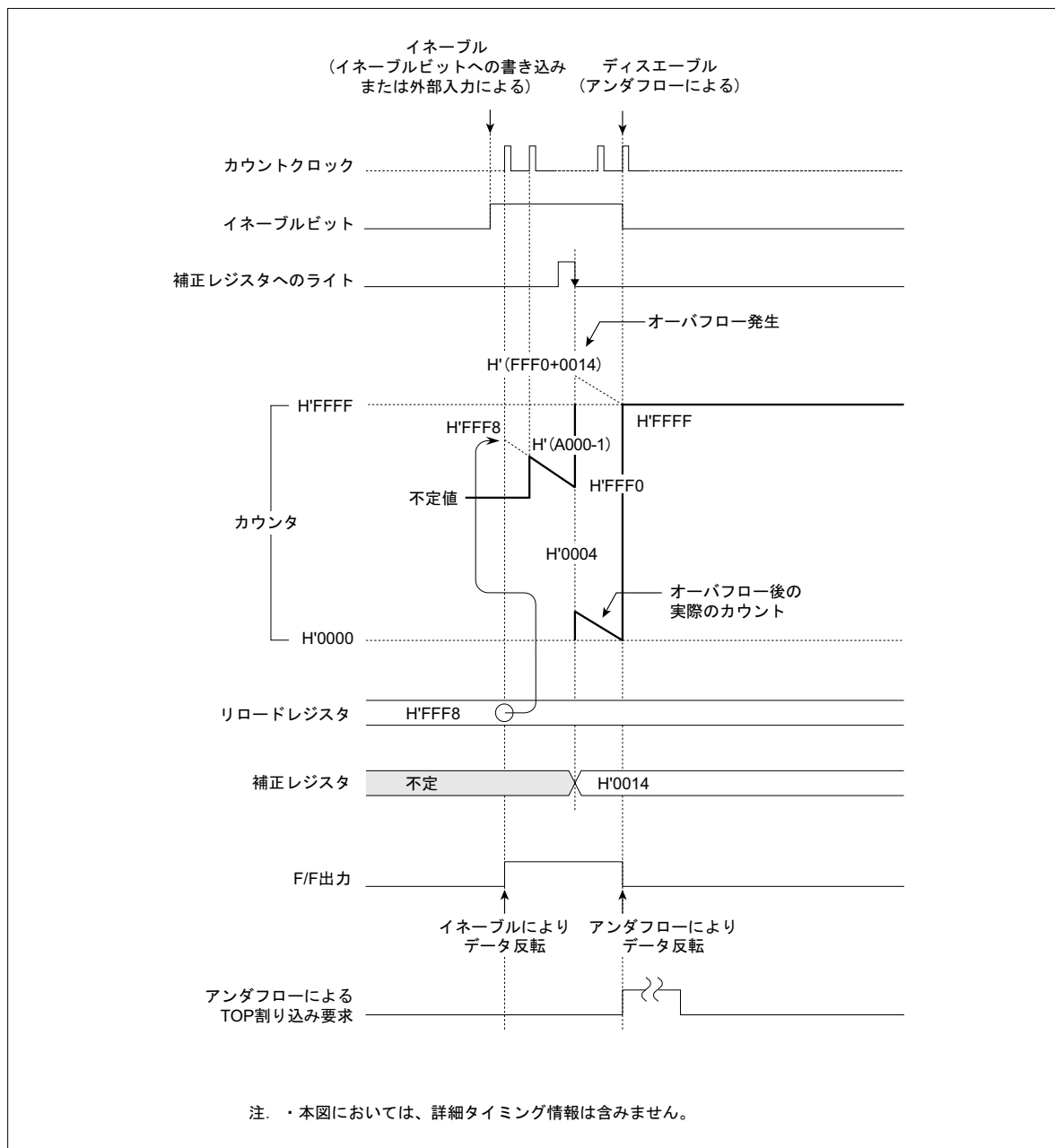
付録4.8.1 TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。
- 補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万一オーバーフローしても、オーバーフローしたことによる割り込み要求は発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込み要求が発生します。

次ページの例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込み要求は、オーバーフローした誤った値で発生しています。



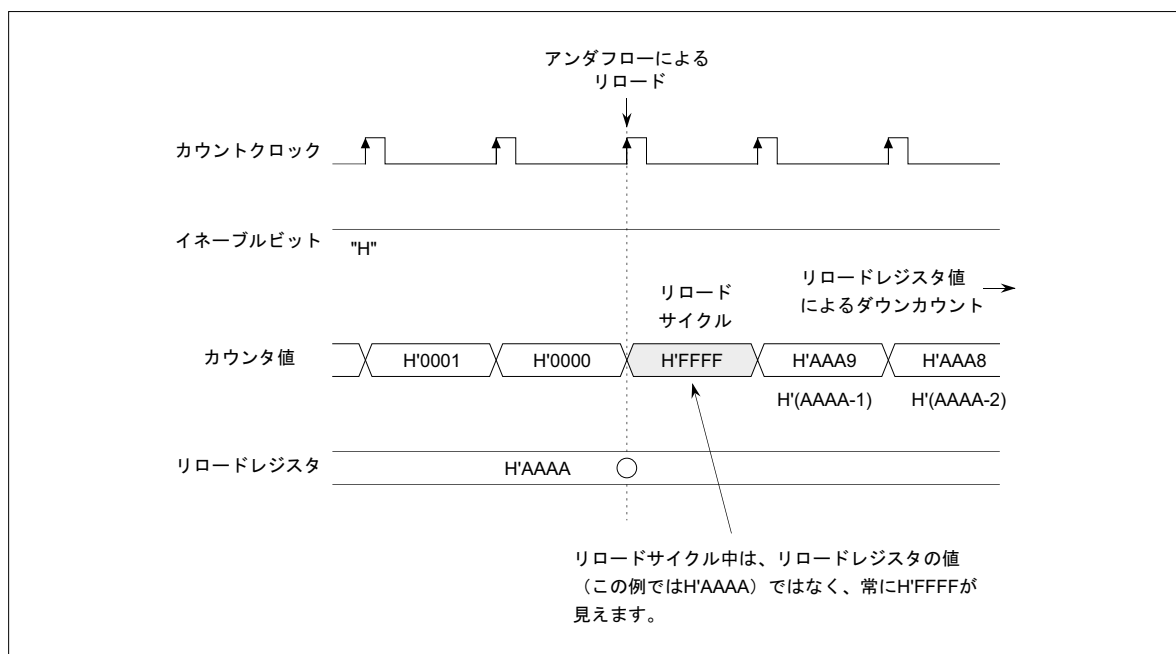
付図4.8.1 TOPワンショット出力モード補正実行でオーバーフローした場合の例

付録4

付録4.8.2 TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウンタ許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウンタ禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ禁止書き込みが優先されます。
- 補正レジスタの操作により万一カウンタがオーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込み要求が発生します。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。



付図4.8.2 アンダフロー直後のカウンタ値

付録4.8.3 TOP連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

付録4.8.4 TIO計測(フリーラン/クリア)入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

- 計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

付録4.8.5 TIO PWM出力モード使用上の注意

TIO PWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

付録4.8.6 TIOワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

付録4.8.7 TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

付録4.8.8 TIO連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロック出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

付録4.8.9 TMS計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

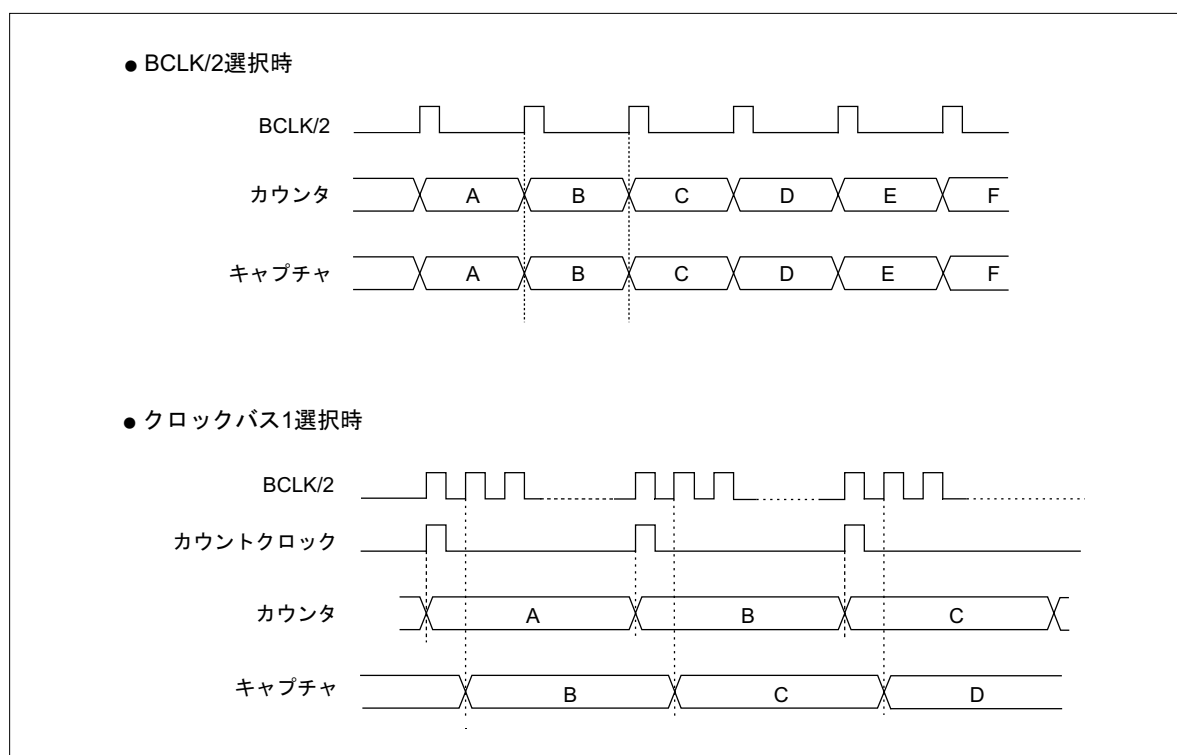
- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

付録4.8.10 TML計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き替え前の)アップカウント値が取り込まれます。
- クロックバス1を選択した場合で、BCLK/2以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、BCLK/2以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。
- クロックバス1を選択した場合で、BCLK/2以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも一つ進んだ値を取り込みます。ただし、カウントクロックからBCLK/2周期の間は、カウンタ値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。



付図4.8.3 カウンタ値とキャプチャ値のずれ

付録4.8.11 TOU PWM出力モード使用上の注意

TOU PWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

付録4.8.12 TOUワンショットPWM出力モード使用上の注意

TOUワンショットPWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値をH'FFFFと読み出しますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.17 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

付録4.8.13 TOUディレイドワンショット出力モード使用上の注意

TOUディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出しで判定するなどの対策を実施してください。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FF FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はプリスケラ出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

付録4.8.14 TOUワンショット出力モード使用上の注意

TOUワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出しで判定するなどの対策を実施してください。
- タイマ動作はプリスケアラ出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

付録4.8.15 TOU連続出力モード使用上の注意

TOU連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- カウンタを動作中に読み出す場合、読み出しタイミングが下位16ビットのアンダフロー(上位8ビットがデクリメント)と重なると、正しい値が読み出せません。動作中に読み出す場合は、2度連続で読み出しで判定するなどの対策を実施してください。
- アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FF FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。
- タイマ動作はカウントクロック出力に同期しているため、イネーブルからF/F出力反転までにはカウントクロック分のディレイを含みます。

付録4.9 A-D変換器の注意事項

- スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット (AD0CSTP, AD1CSTP) を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

- A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

- アナログ入力信号の取り扱い

サンプル&ホールドなしで使用する場合、A-D変換中はアナログ入力レベルを固定してください。

- A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のb5ビット、およびスキャンモードレジスタ0のb5ビット)を読み出す場合は、NOP命令などで2BCLK分タイミング調整してから読み出してください。

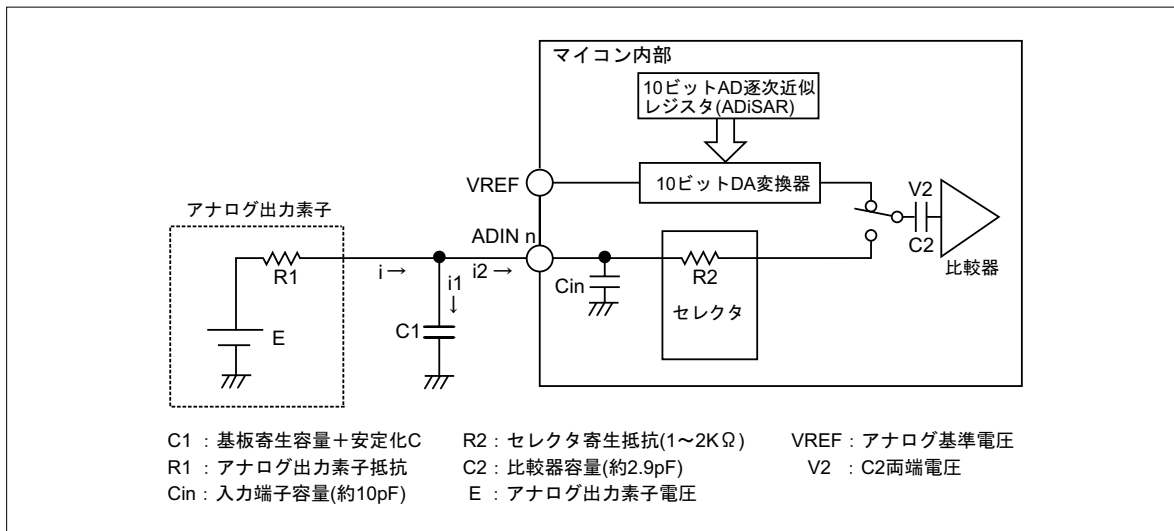
- アナログ入力端子に関して

付図4.9.1にアナログ入力部の内部等価回路を示します。正確なA-D変換結果を得るには、所定の時間(サンプリング時間)内にA-D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不用な場合についての考え方も示します。

- 絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですので、ボード上の電源配線が安定であることや、ノイズの影響を受けない環境であることが前提です。ボード設計時には、AVCC/AVSS/VREFを他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないよう、レイアウトには十分注意してください。



付図4.9.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1(付加を推奨)の算出例

付図4.9.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VERFを5.12Vとした場合の10ビットA-D変換器では、1LSB判定電圧 = 5.12V/1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \text{ ----- (A-1) 式}$$

また、Vpは以下の式にても求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF}}{10 \times 2^x} \text{ ----- (A-2) 式}$$

注・ Vp1は、A-D変換1回目の電位変動
・ 10ビット分解能A-D変換器ため、xは"10"です。

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \text{ ----- (A-3) 式}$$

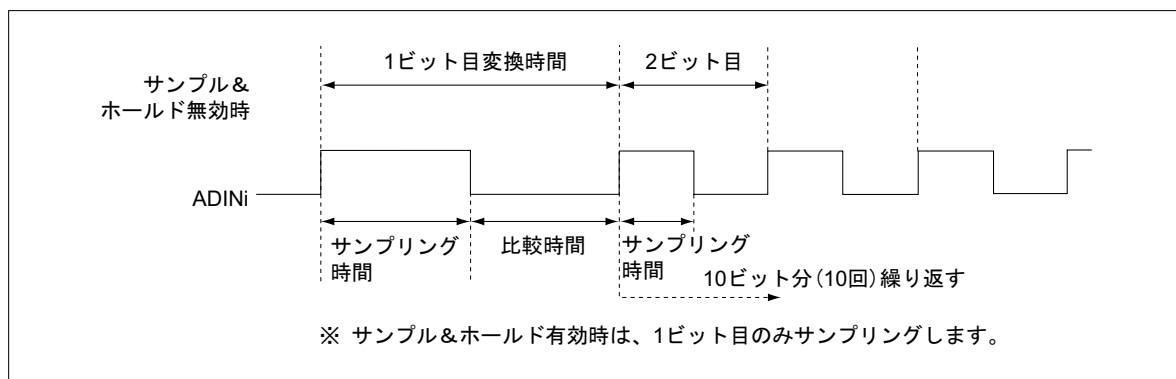
$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \text{ ----- (A-4) 式}$$

よって、10ビット分解能 = A-D変換器でC2 = 2.9pFの場合のC1は、0.06 μF以上となります。C1設定時の参考としてご使用ください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

付図4.9.1において、外付けコンデンサC1を使用しない場合、アナログ出力素子が一定時間内にC2を十分に充電できるかを検討する必要があります。まず、付図4.9.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i_2 = \frac{C_2(E - V_2)}{C_{in} \times R_1 + C_2(R_1 + R_2)} \times \exp \left\{ \frac{-t}{C_{in} \times R_1 + C_2(R_1 + R_2)} \right\} \text{ ----- (B-1) 式}$$



付図4.9.2 A-D変換タイミング図

付図4.9.2にA-D変換タイミング図を示します。C2への充電に必要な時間は図中のサンプリング時間ですが、サンプル&ホールド無効の場合の2ビット目以降のサンプリング時間は、1ビット目に比べて約半分となります。

各変換スピード毎のサンプリング時間を次ページに示します。なお、サンプル&ホールド有効の場合は1ビット目のサンプリングのみとなります。

付表4.9.1 サンプリング時間(C2充電必要時間)

| 変換開始方法 | 変換速度 | | 1ビット目サンプリング時間 | 2ビット目以降サンプリング時間 |
|-------------------------------|-------|------|---------------|-----------------|
| 単一モード (サンプル& ホールド無効時) | 低速モード | ノーマル | 27.5BCLK | 13.5BCLK |
| | | 倍速 | 15.5BCLK | 7.5BCLK |
| | 高速モード | ノーマル | 11.5BCLK | 5.5BCLK |
| | | 倍速 | 7.5BCLK | 3.5BCLK |
| 単一モード (サンプル& ホールド有効時) | 低速モード | ノーマル | 27.5BCLK | — |
| | | 倍速 | 15.5BCLK | — |
| | 高速モード | ノーマル | 11.5BCLK | — |
| | | 倍速 | 7.5BCLK | — |
| コンパレータモード | 低速モード | ノーマル | 27.5BCLK | — |
| | | 倍速 | 15.5BCLK | — |
| | 高速モード | ノーマル | 11.5BCLK | — |
| | | 倍速 | 7.5BCLK | — |

よって、C2を充電するために必要な時間は、(B-1) 式より

$$\text{サンプリング時間(C2充電必要時間)} > C_{in} \times R1 + C2(R1 + R2) \text{ -----(B-2) 式}$$

となり、R1の最大値を求める目安の式は、以下のようになります。

なお、単一モード(サンプル&ホールド無効時)は、2ビット目以降のサンプリング時間(C2充電必要時間)を使用してください。

$$R1 < \frac{C2\text{充電必要時間} - C2 \times R2}{C_{in} + C2}$$

付録4.10 シリアルI/Oの注意事項

付録4.10.1 CSIOモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず動作開始前に設定してください。送受信動作開始後に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG (ボーレート) レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、2Mbpsを越えないようにBRGレジスタの値を設定してください。

- 連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

- 受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

- 連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- 受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

- SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

- SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんので注意してください。

付録4.10.2 UARTモード時の注意事項

• SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず動作開始前に設定してください。送受信動作開始後に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

• BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

• DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

• オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

• UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

付録4.11 RAMバックアップモードの注意事項

付録4.11.1 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

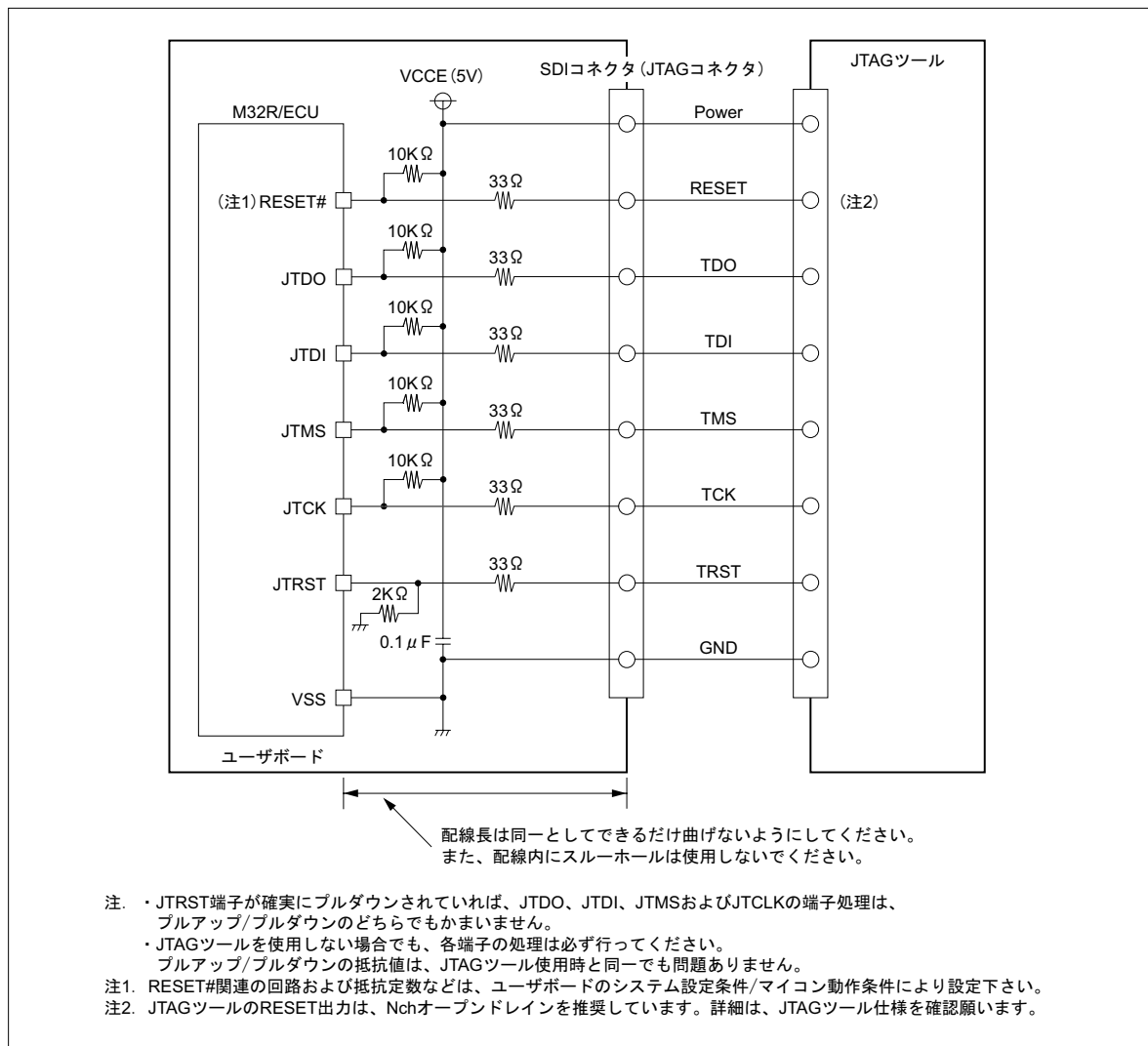
ポートXデータレジスタヘデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル"H"を設定した後、ポートXを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が"L"レベルになり、RAMバックアップモードになることがあります。

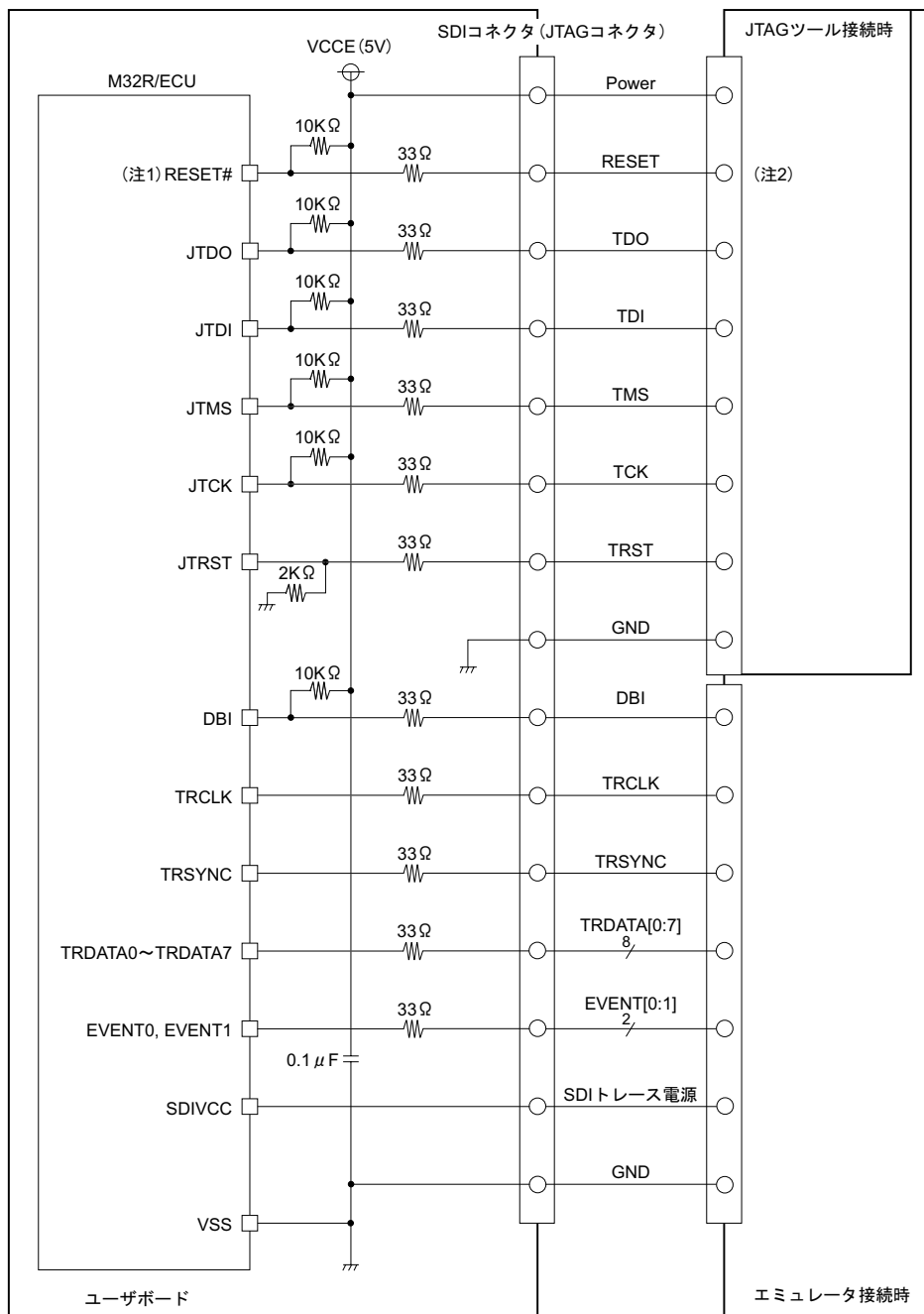
付録4.12 JTAGに関する注意事項

付録4.12.1 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。



付図4.12.1 JTAGツール接続時の注意事項 (240QFP使用時)



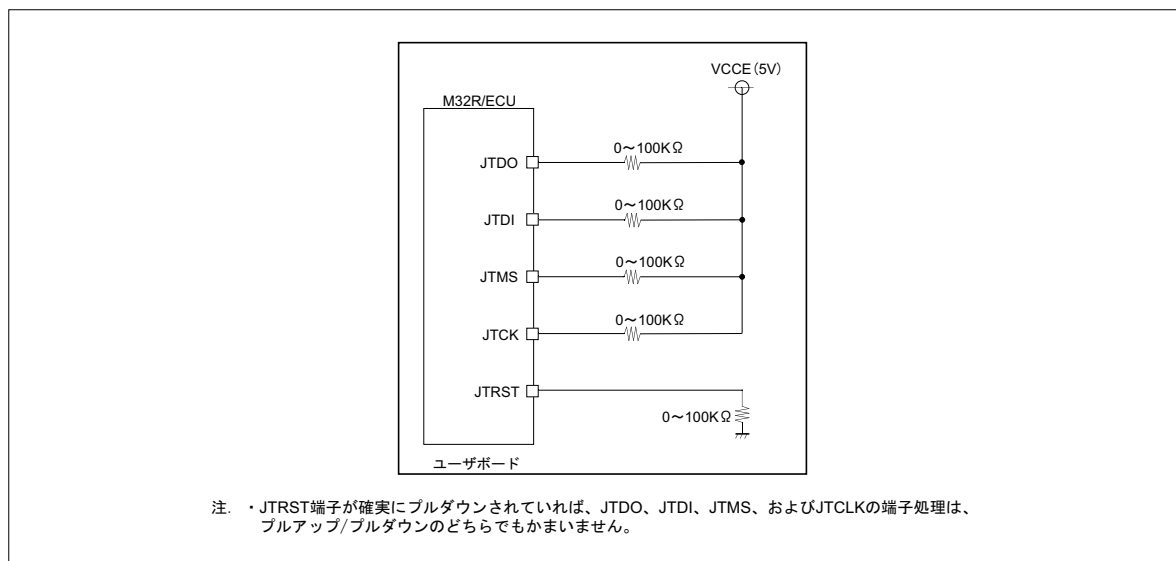
配線長は同一としてできるだけ曲げないようにしてください。
また、配線内にスルーホールは使用しないでください。

- 注1. JTRST端子が確実にプルダウンされていれば、JTDO、JTDI、JTMSおよびJTCKの端子処理は、プルアップ/プルダウンのどちらでもかまいません。
 注2. JTAGツールのRESET出力は、Nchオープンドレインを推奨しています。詳細は、JTAGツール仕様を確認願います。

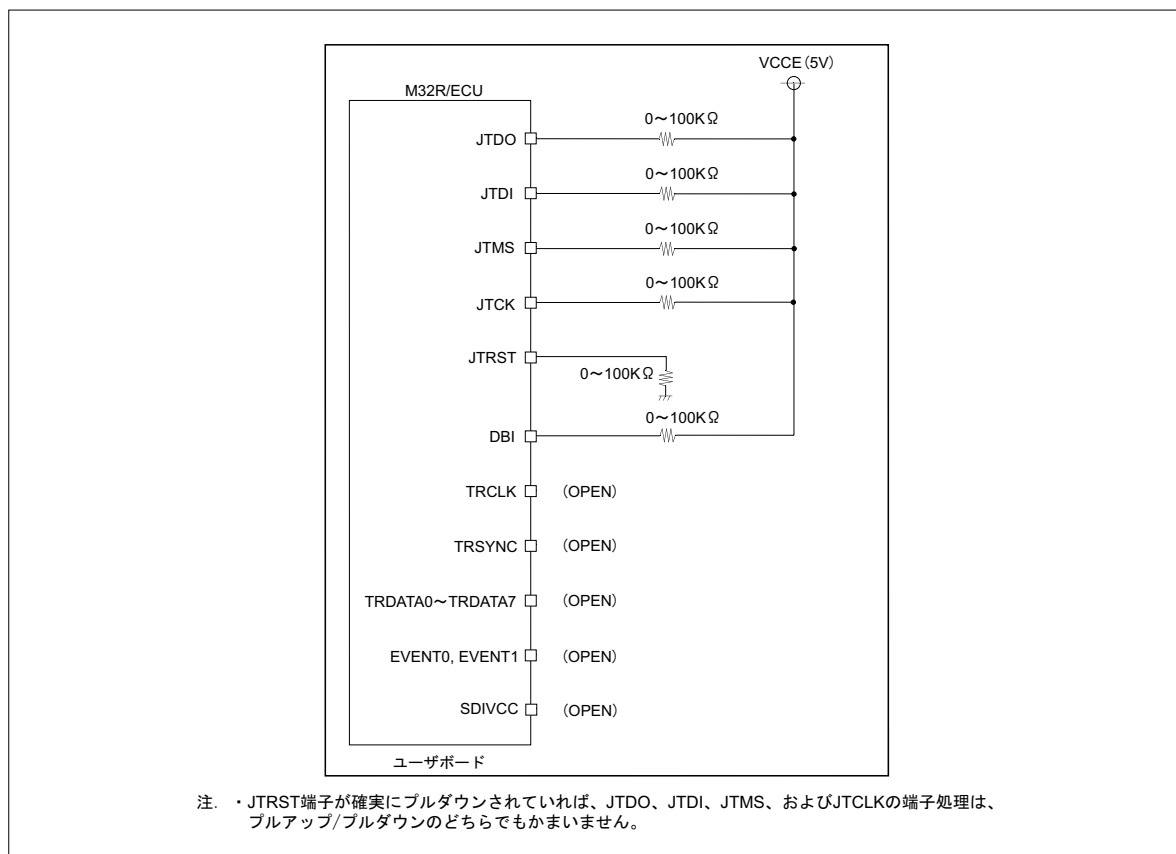
付図4.12.2 JTAGツール接続時の注意事項 (255FBGA使用時)

付録4.12.2 JTAG未使用時の端子処理

JTAG端子を使用しない場合の端子処理を以下に示します。



付図4.12.3 JTAG未使用時の端子処理(240QFP使用時)



付図4.12.4 JTAG未使用時の端子処理(255QFP使用時)

付録4.13 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。

付録4.13.1 配線長の短縮

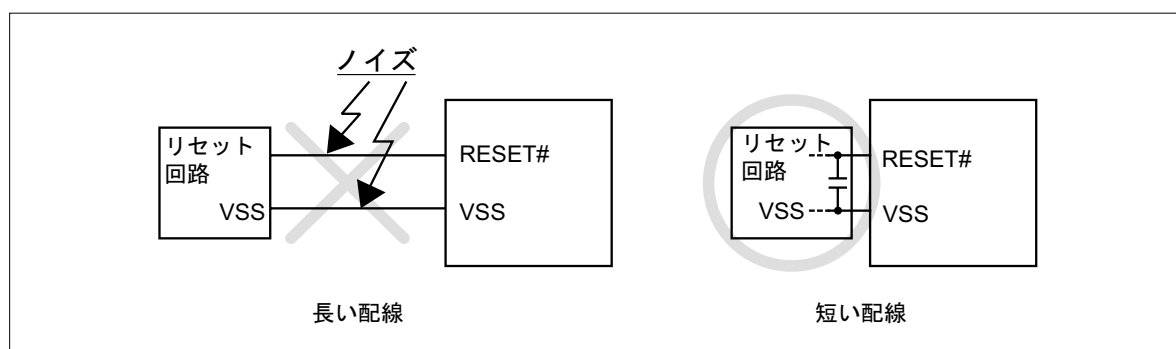
基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。

(1) RESET# 端子の配線

RESET#端子に接続する配線は、短くしてください。特にRESET#端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。

<理由>

リセットは、マイコン内部を初期状態にする機能です。RESET#端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET#端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。



付図4.13.1 RESET#端子の配線例

(2) クロック入出力端子の配線

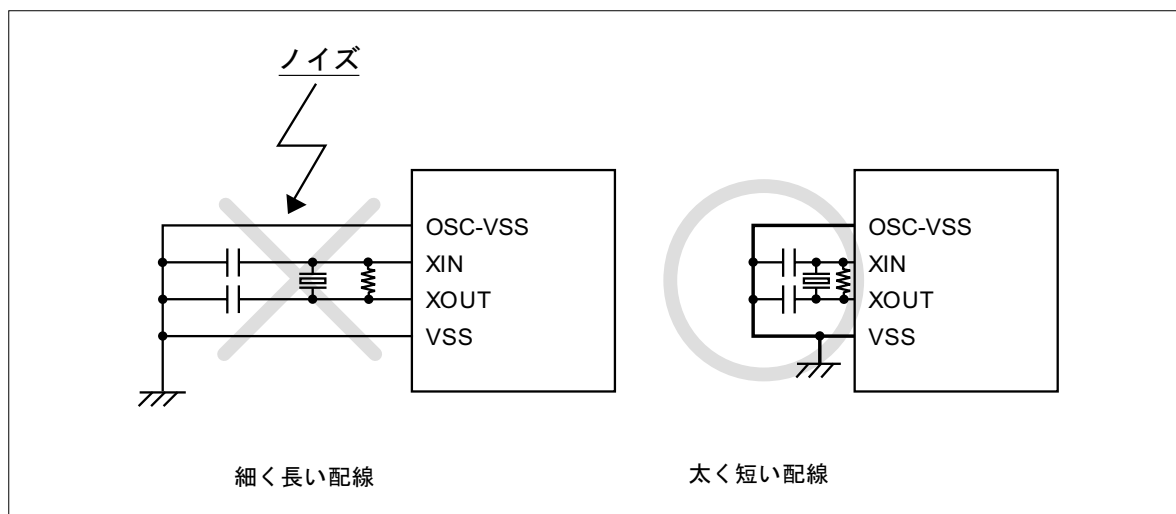
クロック入出力端子に接続する配線は、できるだけ太く短くしてください。

発振子に接続するコンデンサの接地側リード線とマイコンのOSC-VSS端子とは、最短(20mm以内)の配線で接続してください。

発振用のVSSパターンはベタパターンとしてGNDに接地ください。

<理由>

マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロックの入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコン入力されません。



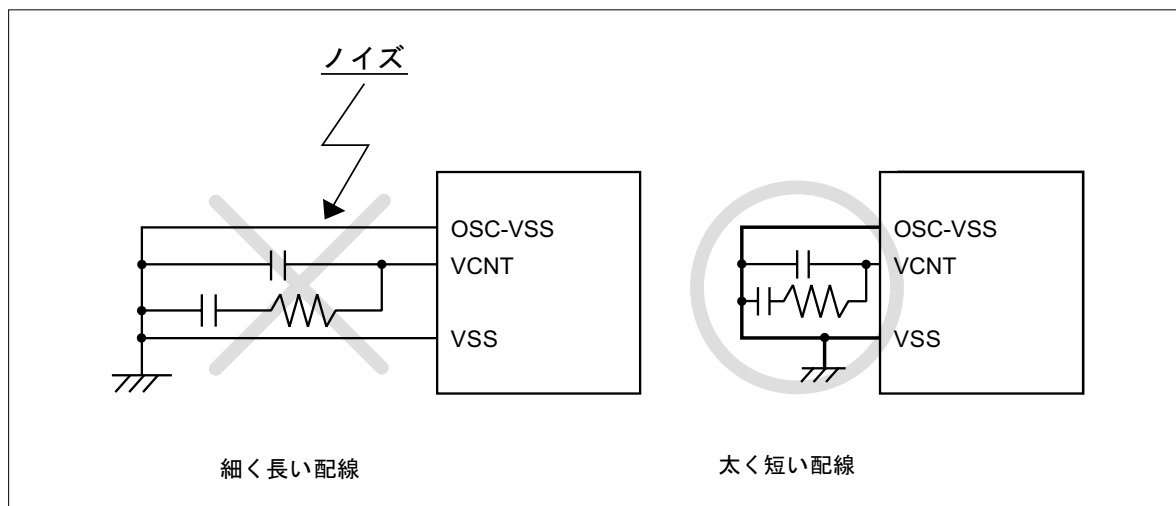
付図4.13.2 クロック入出力端子の配線例

(3) VCNT 端子の配線

VCNT端子に接続する配線は、できるだけ太く短くしてください。
VCNTに接続するコンデンサの接地用リード線とマイコンのOSC-VSS端子とは最短で接続してください。
VCNT用のVSSパターンはベタパターンとしてGNDに接地ください。

<理由>

VCNT端子の外付け回路は、搭載されているPLLの内部電圧の安定化とノイズ除去としてのローパスフィルタの役割があります。そのためローパスフィルタの限度を超えたノイズが侵入すると、内部回路が安定せず正常なクロックが生成できなくなる可能性があり、誤動作や暴走の原因になります。



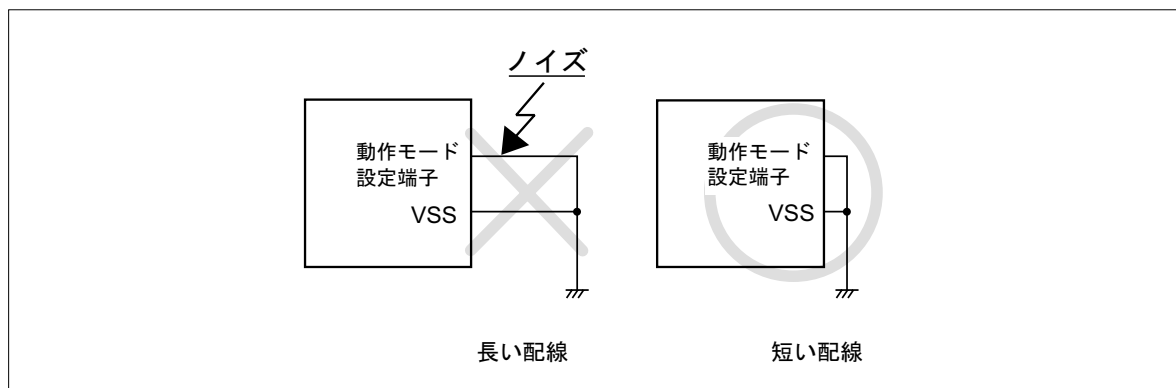
付図4.13.3 VCNT端子の配線例

(4) 動作モード設定端子の配線

動作モード設定端子とVCC又はVSS端子とを接続する場合、最短の配線で接続してください。

<理由>

動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCC又はVSS端子とを接続する場合、動作モード設定端子とVCC又はVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

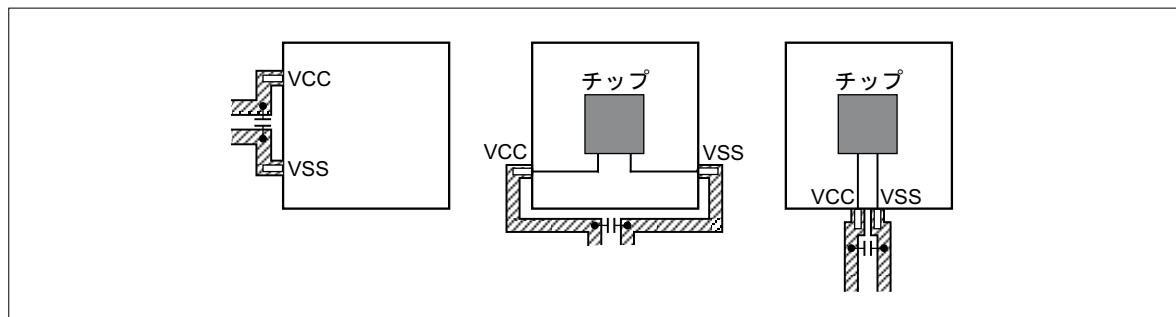


付図4.13.4 MOD0, MOD1端子の配線例

付録4.13.2 VSS - VCCライン間へのバイパスコンデンサ挿入

VSS - VCCライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を等しくする
- VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を最短とする
- VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する



付図4.13.5 VSS - VCCライン間のバイパスコンデンサ挿入例

付録4.13.3 アナログ入力端子の配線処理

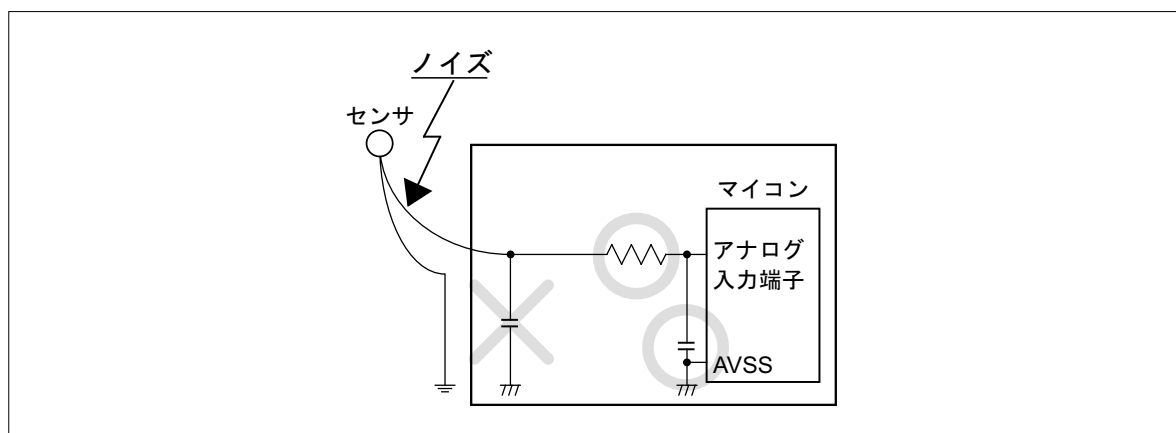
アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100 ~ 500 Ω 程度の抵抗を直列に接続してください。

アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。

<理由>

通常、アナログ入力端子(A-D変換器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。



付図4.13.6 アナログ信号線と抵抗及びコンデンサ挿入例

付録4.13.4 発振子およびVCNT端子への配慮

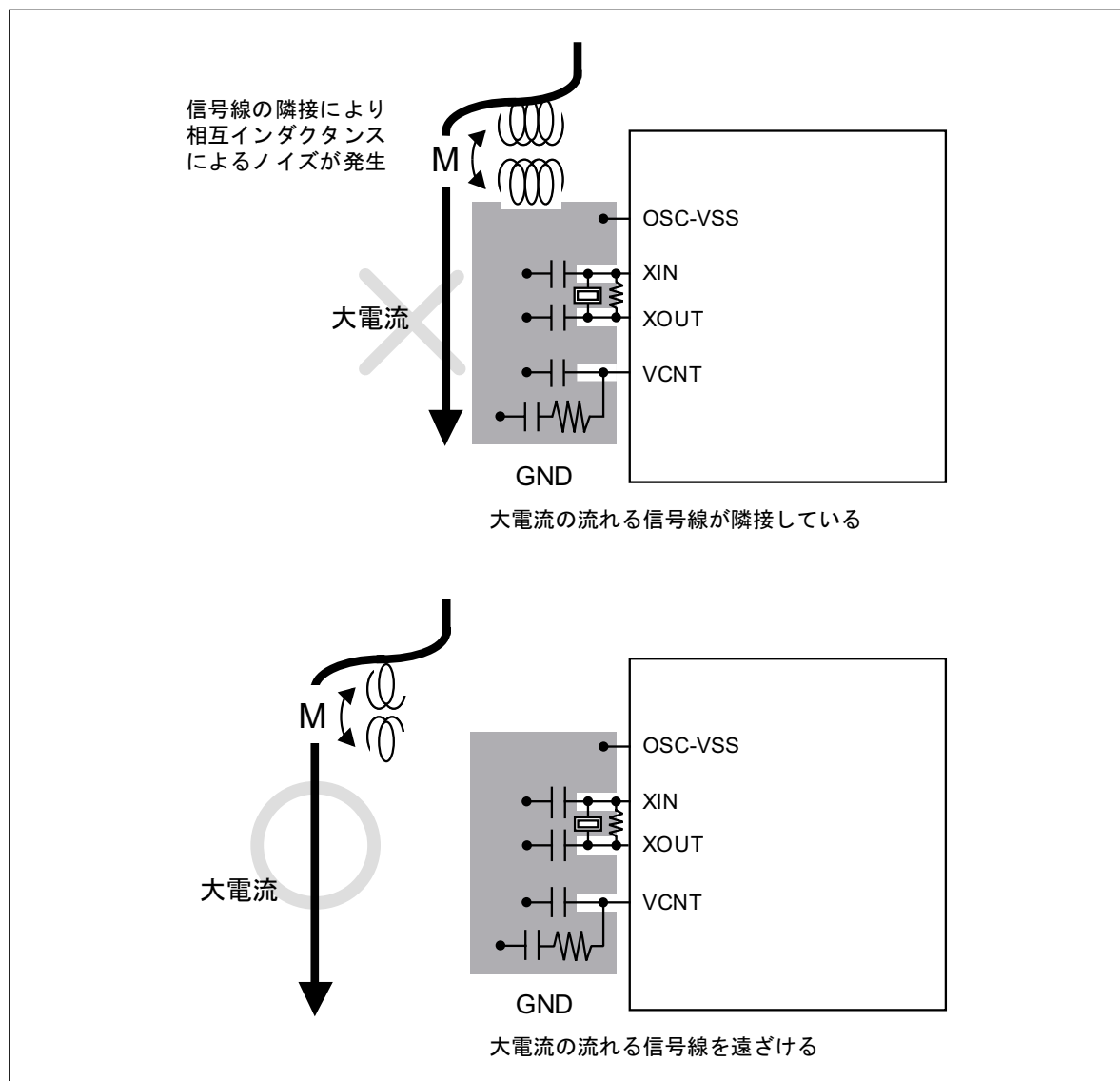
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子、VCNT端子)からできるだけ遠い位置に配置ください。また、GNDパターンによる回路の保護を実施ください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンス(M)によるノイズが発生します。



付図4.13.7 大電流が流れる信号線の配線例

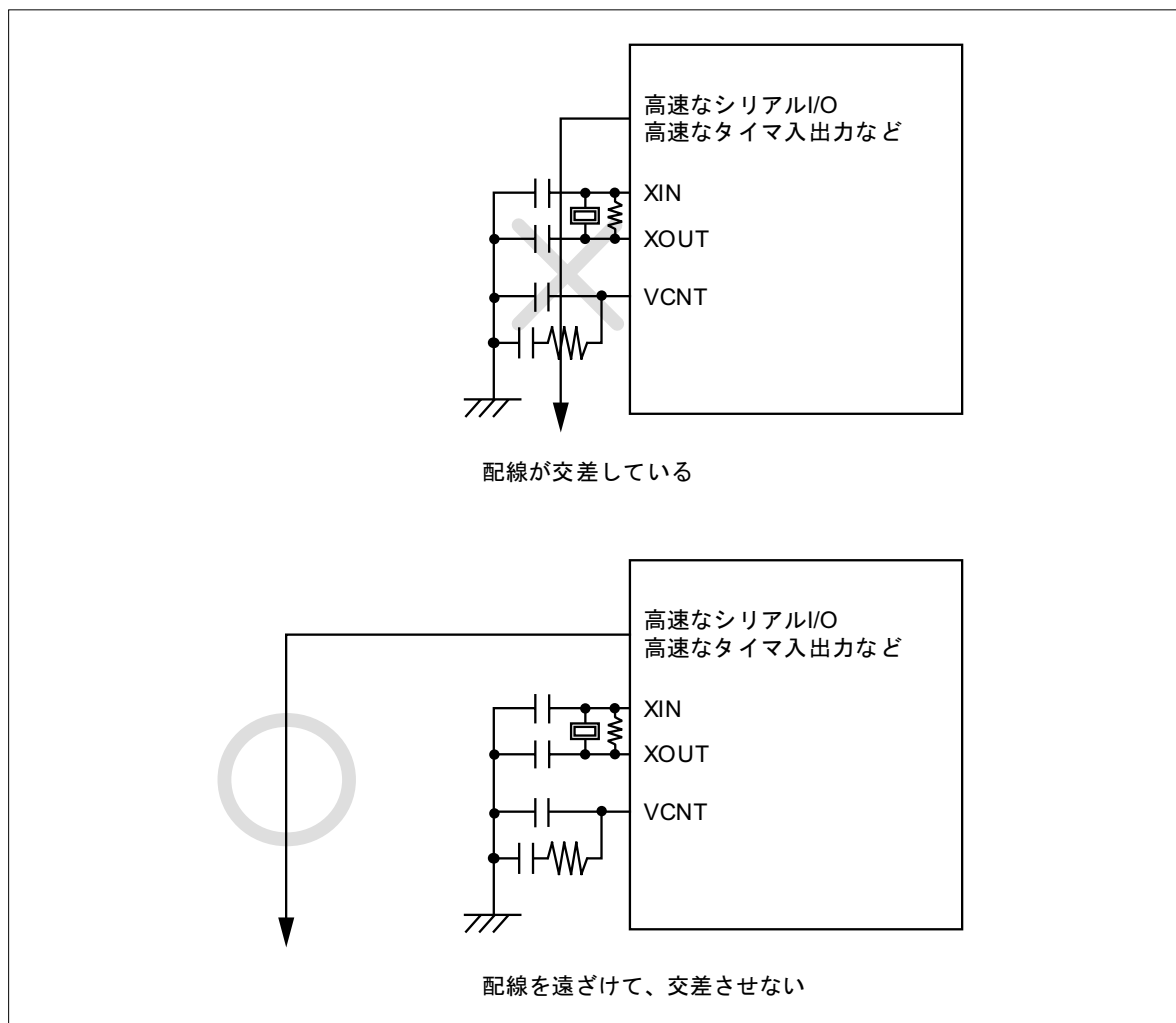
(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。



付図4.13.8 高速にレベル変化する信号線の配線例

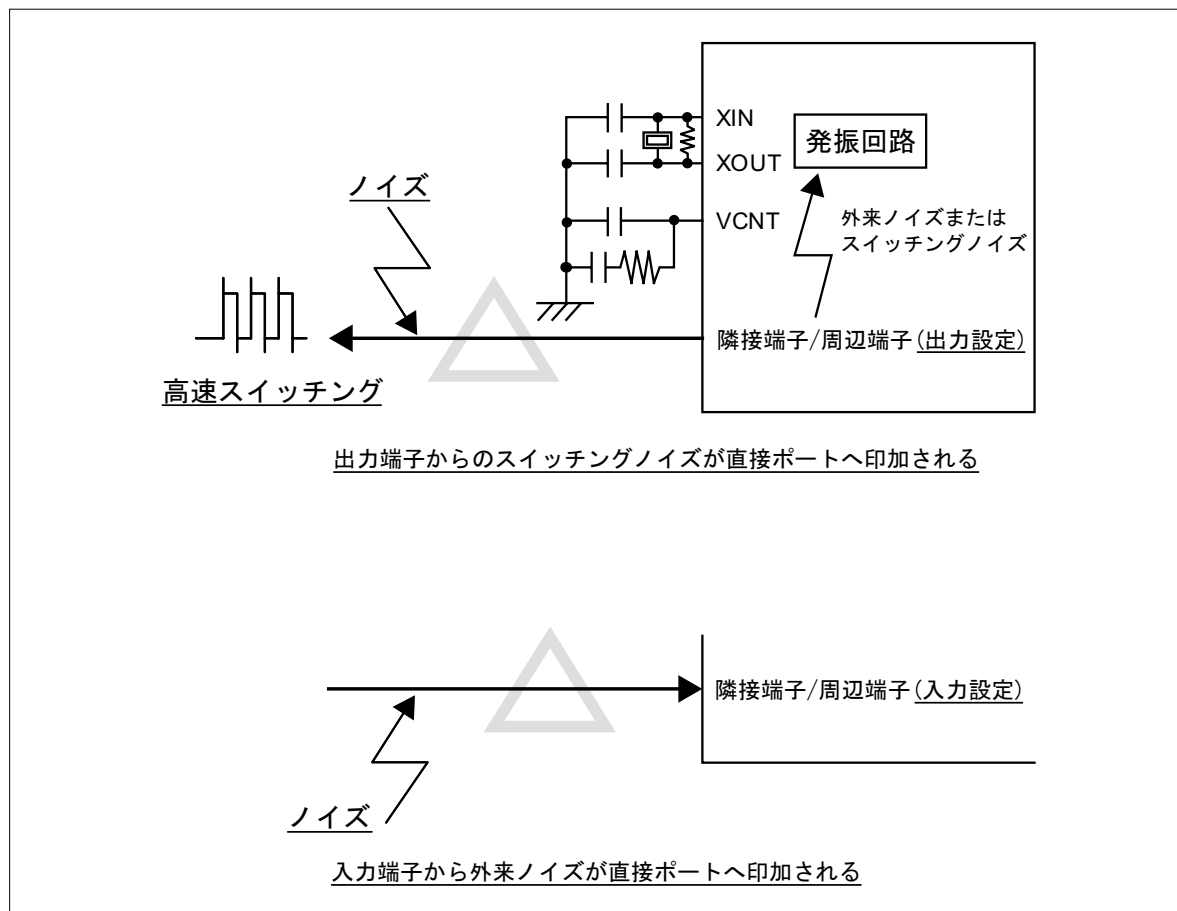
(3) 強力なノイズ源となる信号線からの保護

強力なノイズが印加される可能性のある端子を発振用端子/VCNT端子の隣接ポートに極力使用しないでください。もし空き端子として処理が可能である場合は入力ポート状態で抵抗を介してGNDに接続、もしくは出力オープン状態で出力固定としてください。使用される場合は、入力専用を推奨いたします。

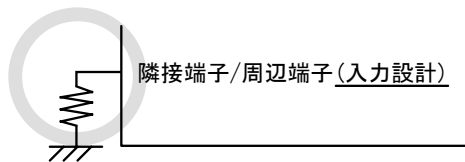
より強力なノイズ源から保護するには、隣接ポートを入力ポート状態で抵抗を介してGNDに接続し、隣接ポートと同一のポートグループは、なるべく入力専用とします。更に安定させたい場合には、同一のポートグループも使用せず入力ポート状態で抵抗を介してGNDに接続します。使用される場合は、ノイズ保護のための制限抵抗を接続します。

<理由>

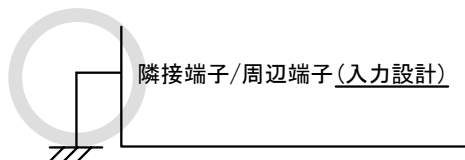
発振用端子およびVCNT端子に隣接するポートまたは端子が、高速動作したり、外部から強いノイズを受けると、発振回路にノイズが回り込むことが考えられ、発振が不安定になる可能性があります。



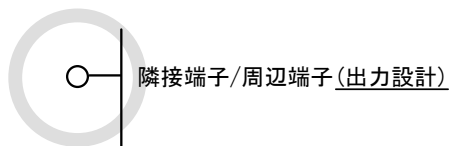
付図4.13.9 ノイズが印加される端子処理例



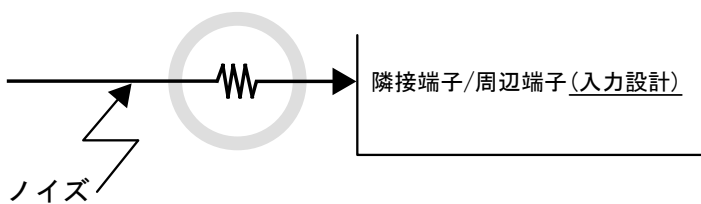
入力モードでノイズの影響を制限する方法



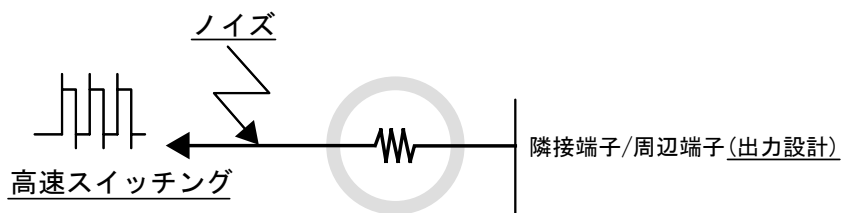
入力モードでノイズの影響を制限する方法



出力モードでノイズの影響を制限する方法



抵抗によるノイズを制限する方法



抵抗によるスイッチングノイズを制限する方法

付図4.13.10 発振用端子およびVCNT端子に隣接する端子処理例

付録4.13.5 入出力ポート処理

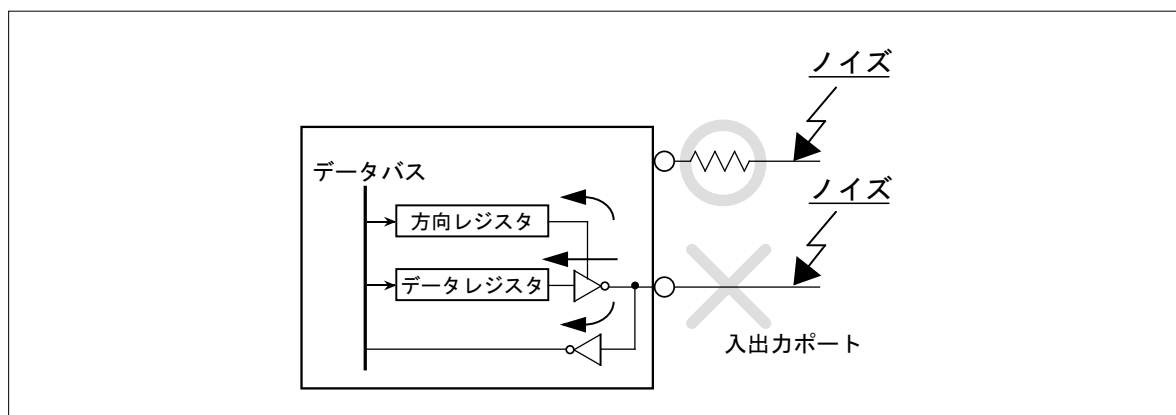
入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面対策を行ってください。

ハードウェア面

- 入出力ポートに100 Ω以上の抵抗を直列に挿入する

ソフトウェア面

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する
- 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う
- 一定周期で、方向レジスタの再書き込みを行う



付図4.13.11 入出力ポート処理例

レイアウトの都合上、このページは白紙です。

三菱32ビットRISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
32180グループ Rev. 1.0

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2002 MITSUBISHI ELECTRIC CORPORATION

32180 グループ
ユーザーズマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668