

# PFESiP/V850EP3

ユーザーズマニュアル ハードウェア編

PFESiP®向け V850E2M  
CPU コア・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOS デバイスの一般的注意事項

### (1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS デバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### (2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### (3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。

### (4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### (5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### (6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

# このマニュアルの使い方

**対象者** このマニュアルは V850E2M CPU コア内蔵マイクロコンピュータ機能チップ「PFESiP/V850EP3」の機能を理解し、それを用いた応用評価システムを設計するユーザを対象とします。

**目的** このマニュアルは、PFESiP/V850EP3 のハードウェア機能をユーザに理解していただくことを目的としています。

**読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

基本仕様と使用方法を一通り理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この " " を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

<b>凡例</b>	<b>データ表記の重み</b>	: 左が上位桁, 右が下位桁
	<b>アクティブ・ローの表記</b>	: xxxZ (端子, 信号名称のあとに Z)
	<b>注</b>	: 本文中につけた注の説明
	<b>注意</b>	: 気をつけて読んでいただきたい内容
	<b>備考</b>	: 本文の補足説明
	<b>数の表記</b>	: 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH
	<b>2 のべき数を示す接頭語 (アドレス空間, メモリ容量):</b>	K (キロ) ... $2^{10} = 1024$ M (メガ) ... $2^{20} = 1024^2$ G (ギガ) ... $2^{30} = 1024^3$
	<b>データ・タイプ</b>	: ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

PFESiP/V850EP3 に関する資料

資料名	資料番号
V850E2M ユーザーズ・マニュアル アーキテクチャ編	U19949
PFESiP/V850EP3 ユーザーズ・マニュアル ハードウェア編	このマニュアル
PFESiP® EP-3 Evaluation Board ユーザーズ・マニュアル 技術情報編	IDF-05-026426
USB2.0 ボード作成ガイド	S16438

(参考) PFESiP/V850EP1 に関する資料

資料名	資料番号
PFESiP EP-1 設計マニュアル	A19068J
PFESiP/V850EP1 製品データ編	A19069J
PFESiP/V850EP1 ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ハードウェア編 (USB 機能)	A19071J
PFESiP/V850EP1 USB ファンクション・サンプル・ソフトウェア編	A19349J
PFESiP EP-1 Evaluation Board 技術情報編	A19350J
PFESiP EP-1 Evaluation Board オータ情報編	A19352J

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

# 目 次

## 第 1 章 イントロダクション ... 1

- 1.1 概 説 ... 1
- 1.2 特 徴 ... 6
- 1.3 内部クロックの定義 ... 10
- 1.4 最高動作周波数の注意事項 ... 11
- 1.5 応用分野 ... 12
- 1.6 関連製品 ... 12
- 1.7 端子接続図(参考) ... 13
- 1.8 機能ブロック構成 ... 18
  - 1.8.1 PFESiP/V850EP3 内部ブロック図 ... 18

## 第 2 章 端子機能 ... 19

- 2.1 端子機能一覧 ... 20
  - 2.1.1 ポート端子 ... 20
  - 2.1.2 16 ビット・タイマ/カウンタ AA (TAA) 入出力端子 ... 25
  - 2.1.3 16 ビット・タイマ/イベント・カウンタ T (TMT) 入出力端子 ... 27
  - 2.1.4 シリアル・インタフェース入出力端子 ... 28
  - 2.1.5 外部割り込み入力端子 ... 30
  - 2.1.6 DMA 入出力端子 ... 32
  - 2.1.7 SiP 内部接続用 DMA 入出力端子 ... 33
  - 2.1.8 外部メモリ・インタフェース端子 ... 34
  - 2.1.9 SiP 内部接続用バス・インタフェース端子 ... 36
  - 2.1.10 シリアル・フラッシュ ROM インタフェース端子 ... 37
  - 2.1.11 USB 端子 ... 38
  - 2.1.12 Ether MAC 端子 ... 40
  - 2.1.13 A/D コンバータ用端子 ... 41
  - 2.1.14 D/A コンバータ用端子 ... 41
  - 2.1.15 Nexus インタフェース端子 ... 42
  - 2.1.16 システム端子 ... 42
  - 2.1.17 テスト端子 ... 43
  - 2.1.18 動作モード設定端子 ... 44
- 2.2 端子状態 ... 45
  - 2.2.1 外部メモリ・インタフェース, 内蔵周辺機能端子 ... 45
  - 2.2.2 SiP 内部接続用外部メモリ・インタフェース, DMA 端子 ... 46
- 2.3 電源投入/遮断手順 ... 47
- 2.4 端子機能の説明 ... 48
  - 2.4.1 ポート端子 ... 48
  - 2.4.2 内蔵周辺機能(タイマ, シリアル・インタフェース) 入出力端子 ... 72

2.4.3	外部割り込み入力端子	...	75
2.4.4	DMA 端子	...	77
2.4.5	SiP 内部接続用 DMA 端子	...	78
2.4.6	外部メモリ・インタフェース端子	...	79
2.4.7	SiP 内部接続用外部メモリ・インタフェース端子	...	84
2.4.8	シリアル・フラッシュ ROM インタフェース端子	...	87
2.4.9	USB 端子	...	88
2.4.10	Ether MAC 端子	...	91
2.4.11	A/D コンバータ端子	...	93
2.4.12	D/A コンバータ端子	...	93
2.4.13	Nexus インタフェース端子	...	94
2.4.14	システム端子	...	95
2.4.15	動作モード設定端子	...	99
2.4.16	テスト端子	...	102
<b>2.5</b>	<b>動作モード・モニタ機能</b>	...	<b>103</b>
2.5.1	動作モード・モニタ・レジスタ	...	103
<b>2.6</b>	<b>バッファ機能切り替え機能</b>	...	<b>104</b>
2.6.1	バッファ機能切り替えレジスタの初期値	...	104
2.6.2	バッファ機能切り替えレジスタ (DRCTRL)	...	106
<b>2.7</b>	<b>各端子のバッファ・タイプ</b>	...	<b>111</b>
2.7.1	各端子の負荷容量	...	121

## **第 3 章 CPU 機能** ... 123

<b>3.1</b>	<b>特 徴</b>	...	<b>123</b>
<b>3.2</b>	<b>CPU レジスタ・セット</b>	...	<b>124</b>
3.2.1	プログラム・レジスタ・セット	...	125
3.2.2	システム・レジスタ・バンク	...	127
3.2.3	レジスタ・バンク選択レジスタ (BSEL)	...	129
3.2.4	CPU 機能グループ / 基本バンク	...	130
3.2.5	CPU 機能バンク / 例外ハンドラ・アドレス切り替え機能バンク	...	139
3.2.6	ユーザ・グループ	...	142
<b>3.3</b>	<b>浮動小数点演算機能</b>	...	<b>143</b>
3.3.1	特 徴	...	143
3.3.2	レジスタ・セット	...	144
3.3.3	データ・タイプ	...	151
<b>3.4</b>	<b>アドレス空間</b>	...	<b>154</b>
3.4.1	CPU アドレス空間	...	154
3.4.2	メモリ・マップ	...	155
3.4.3	領 域	...	156
3.4.4	周辺 I/O レジスタ	...	158
<b>3.5</b>	<b>起動手順</b>	...	<b>207</b>
3.5.1	ブート選択	...	207

3.5.2	命令 RAM キャッシュの初期化	...	207
3.5.3	初期化シーケンス	...	208
3.5.4	A20-A26 の設定	...	214
3.5.5	周辺バス・ウエイト・コントロール・レジスタ (NPBWAIT)	...	214
3.5.6	ベクタ・アドレス関連レジスタ	...	215
3.5.7	命令 RAM モード・レジスタ (IRAMM)	...	217
3.5.8	命令 RAM キャッシュ関連レジスタ	...	218
3.5.9	外部メモリ・ブートの動作例	...	219

## **第 4 章 システム・バス・ブリッジとキャッシュ機能 ... 220**

<b>4.1</b>	<b>特 徴</b>	...	<b>221</b>
<b>4.2</b>	<b>CPCLK と HCLK の分周比設定</b>	...	<b>222</b>
<b>4.3</b>	<b>領域設定</b>	...	<b>223</b>
4.3.1	キャッシュ領域 / バッファ領域を設定できる空間	...	223
4.3.2	キャッシュ領域 / バッファ領域の設定レジスタ	...	224
4.3.3	キャッシュ領域 / バッファ領域設定の優先度	...	224
4.3.4	アドレス・レジスタとマスク・レジスタの動作	...	225
<b>4.4</b>	<b>制御レジスタ</b>	...	<b>226</b>
4.4.1	システム・バス・ブリッジ設定レジスタ (ETSCFG)	...	226
4.4.2	システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD)	...	227
4.4.3	システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn)	...	228
4.4.4	システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn)	...	229
4.4.5	システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn)	...	230
<b>4.5</b>	<b>ダイレクト・アクセス機能</b>	...	<b>231</b>
<b>4.6</b>	<b>バッファ機能</b>	...	<b>232</b>
4.6.1	リード・バッファ機能	...	232
4.6.2	ライト・バッファの機能	...	233
4.6.3	リード・バッファ / ライト・バッファ共通機能	...	233
4.6.4	バッファ機能の設定	...	234
4.6.5	リード・バッファ動作	...	236
4.6.6	ライト・バッファ動作	...	237
4.6.7	リード・バッファ / ライト・バッファ共通の動作	...	238
<b>4.7</b>	<b>キャッシュ機能</b>	...	<b>239</b>
4.7.1	キャッシュ機能の特長	...	239
4.7.2	制御レジスタ	...	240
4.7.3	動 作	...	241
<b>4.8</b>	<b>ワーク RAM 機能</b>	...	<b>246</b>
4.8.1	ワーク RAM の概要	...	246
4.8.2	ワーク RAM の配置アドレス	...	247
4.8.3	IDLE モード設定時の動作	...	247

## **第 5 章 外部メモリ・アクセス機能 ... 248**



<b>5.1</b>	<b>概 要</b> ...	<b>248</b>
<b>5.2</b>	<b>特 徴</b> ...	<b>249</b>
<b>5.3</b>	<b>バス制御機能</b> ...	<b>252</b>
5.3.1	制御レジスタ ...	252
<b>5.4</b>	<b>メモリ接続例</b> ...	<b>270</b>
5.4.1	SRAMの接続例 ...	270
5.4.2	ページROMの接続例 ...	271
5.4.3	SDRAMの接続例 ...	272
<b>5.5</b>	<b>外部ウエイト機能</b> ...	<b>273</b>
<b>5.6</b>	<b>スタンバイ機能</b> ...	<b>276</b>
<b>5.7</b>	<b>バス・ホールド機能</b> ...	<b>276</b>
<b>5.8</b>	<b>制御レジスタ設定手順</b> ...	<b>277</b>
<b>5.9</b>	<b>SDRAMアクセスの状態遷移</b> ...	<b>278</b>
<b>5.10</b>	<b>メモリ・アクセス・タイミング例</b> ...	<b>280</b>

## **第6章 SiP 内部接続インタフェース ... 288**

<b>6.1</b>	<b>外部メモリ・インタフェース信号との対比</b> ...	<b>289</b>
<b>6.2</b>	<b>SiP 内部接続インタフェースのメモリ・コントローラ</b> ...	<b>291</b>
<b>6.3</b>	<b>特 徴</b> ...	<b>292</b>
<b>6.4</b>	<b>バス制御機能</b> ...	<b>294</b>
6.4.1	制御レジスタ ...	294
<b>6.5</b>	<b>外部ウエイト機能</b> ...	<b>304</b>
<b>6.6</b>	<b>スタンバイ機能</b> ...	<b>305</b>
<b>6.7</b>	<b>バス・ホールド機能</b> ...	<b>305</b>
<b>6.8</b>	<b>制御レジスタ設定手順</b> ...	<b>306</b>
<b>6.9</b>	<b>メモリ・アクセス・タイミング例</b> ...	<b>306</b>
<b>6.10</b>	<b>SiP 内部接続割り込み信号</b> ...	<b>307</b>
6.10.1	外部割り込みモード・レジスタ2 (INTM2) ...	308
6.10.2	ノイズ・フィルタ設定レジスタ2 (NFC2) ...	310

## **第7章 シリアル・フラッシュROMメモリ・コントローラ ... 311**

<b>7.1</b>	<b>特 徴</b> ...	<b>311</b>
<b>7.2</b>	<b>端子機能</b> ...	<b>311</b>
<b>7.3</b>	<b>シリアル・フラッシュROMのメモリ空間への配置</b> ...	<b>312</b>
<b>7.4</b>	<b>制御レジスタ</b> ...	<b>313</b>
<b>7.5</b>	<b>シリアル・フラッシュROMとの接続</b> ...	<b>323</b>
<b>7.6</b>	<b>動 作</b> ...	<b>324</b>
7.6.1	SPIバスの動作 ...	324
7.6.2	SPIバスのタイミング調整 ...	325
7.6.3	シリアル・フラッシュROMアクセスで用いるSPI命令セット ...	330
7.6.4	SPIバス・サイクルのアレンジ ...	333

- 7.6.5 Deep Power-Down の自動解除 ... 335
- 7.6.6 直接通信 ... 336

## **第 8 章 セントラル DMA コントローラ (セントラル DMAC) ... 337**

- 8.1 セントラル DMAC の概要 ... 337**
- 8.2 用語定義 ... 340**
- 8.3 セントラル DMAC のレジスタ ... 341**
- 8.4 DMA 転送の設定フロー ... 363**
- 8.5 セントラル DMAC の転送モード ... 364**
  - 8.5.1 シングル転送モード (ハードウェア : 割り込み信号による DMA 転送要求時) ... 364
  - 8.5.2 シングルステップ転送モード (ソフトウェア DMA 転送要求時) ... 364
- 8.6 DMA チャンネルの優先順位 ... 364**
- 8.7 DMA 転送要求の有効条件 ... 365**
- 8.8 割り込み信号による DMA 転送要求の受け付け ... 365**
- 8.9 DMA 転送回数一致割り込み ... 366**
- 8.10 ネクスト・アドレス機能 ... 367**
- 8.11 DMA 転送の中断 / 再開 ... 368**
- 8.12 エラー・レスポンス ... 369**
- 8.13 IDLE モード設定時の動作 ... 369**
- 8.14 DMA 転送トリガ選択機能 ... 370**

## **第 9 章 システム・バス DMA コントローラ (システム・バス DMAC) ... 376**

- 9.1 システム・バス DMAC の概要 ... 376**
- 9.2 用語定義 ... 381**
- 9.3 システム・バス DMAC のレジスタ ... 382**
  - 9.3.1 レジスタ構成 ... 382
  - 9.3.2 Next レジスタ・セット ... 384
  - 9.3.3 Current レジスタ・セット ... 387
  - 9.3.4 チャンネル・レジスタ・セット ... 390
  - 9.3.5 リンク・レジスタ・セット ... 407
  - 9.3.6 DMA 制御レジスタ ... 412
  - 9.3.7 DMA インタフェース・レジスタ ... 418
- 9.4 システム・バス DMAC の動作設定 ... 428**
  - 9.4.1 レジスタ・モードとリンク・モードの選択 ... 428
  - 9.4.2 レジスタ・モード ... 429
  - 9.4.3 リンク・モード ... 436
  - 9.4.4 ライト・オンリー・モード ... 447
- 9.5 システム・バス DMAC の動作 ... 448**
  - 9.5.1 転送モード ... 448
  - 9.5.2 DMA チャンネルの優先順位制御 ... 451
  - 9.5.3 DMA 転送要求 ... 453

9.5.4	DMA アクノリッジ出力機能	...	458
9.5.5	DMA 転送完了割り込み	...	464
9.5.6	DMA ターミナル・カウント出力機能	...	465
9.5.7	強制掃き出し機能	...	468
9.5.8	DMA エラー割り込み	...	468
9.5.9	インターバル・カウント機能	...	468
9.5.10	転送サイズによる動作の相違	...	469
9.5.11	転送状態	...	471
9.5.12	一時停止機能	...	471
9.5.13	転送中断機能	...	472
<b>9.6</b>	<b>DMA 転送の設定例</b>	...	<b>473</b>
9.6.1	設定例 1 (レジスタ・モード, シングル転送モード, ハードウェア・トリガ)	...	473
9.6.2	設定例 2 (レジスタ・モード, ブロック転送モード, ソフトウェア・トリガ)	...	476
9.6.3	設定例 3 (レジスタ・モード: 連続実行, ブロック転送モード, ソフトウェア・トリガ)	...	479
9.6.4	設定例 4 (リンク・モード, ブロック転送モード, ソフトウェア・トリガ)	...	482
<b>9.7</b>	<b>注意事項</b>	...	<b>485</b>

## 第 10 章 割り込み / 例外処理機能 ... 486

<b>10.1</b>	<b>例外ハンドラ・アドレス切り替え機能</b>	...	<b>496</b>
10.1.1	例外ハンドラ・アドレスの決定	...	496
10.1.2	例外ハンドラ・アドレス切り替え機能の設定方法	...	497
<b>10.2</b>	<b>割り込みコントローラの制御レジスタ</b>	...	<b>500</b>
10.2.1	EI レベル割り込み制御レジスタ	...	500
10.2.2	EI レベル割り込みマスク・レジスタ	...	503
10.2.3	インサース・プライオリティ・レジスタ	...	506
10.2.4	プライオリティ・マスク・レジスタ	...	508
10.2.5	インサース・プライオリティ・クリア・レジスタ (ISPC)	...	509
10.2.6	選択チャンネル保持レジスタ	...	510
10.2.7	割り込みコントローラ・ステータス・レジスタ	...	511
10.2.8	FE レベル・マスクブル割り込み制御レジスタ	...	513
10.2.9	割り込みコントローラのレジスタのアクセス方法	...	514
<b>10.3</b>	<b>割り込みの受け付けと復帰</b>	...	<b>515</b>
10.3.1	NMI 端子による FE レベル・マスクブル割り込み	...	515
10.3.2	FE レベル・マスクブル割り込み (FEINT) からの復帰	...	517
10.3.3	EIINT 割り込み要求による EI レベル・マスクブル割り込み	...	518
10.3.4	EI レベル・マスクブル割り込み (EIINT) からの復帰	...	520
<b>10.4</b>	<b>割り込み動作</b>	...	<b>521</b>
10.4.1	EI レベル・マスクブル割り込み (EIINT) の割り込みマスク機能	...	521
10.4.2	割り込み優先度判断	...	521
10.4.3	優先度マスク機能	...	526
10.4.4	保留割り込み通知機能	...	527
10.4.5	イン・サース・プライオリティ・クリア機能	...	527

<b>10.5</b>	<b>IDLE モードの解除が可能な割り込み / 例外</b>	<b>... 528</b>
<b>10.6</b>	<b>外部割り込みのトリガ・モードの選択</b>	<b>... 529</b>
10.6.1	外部割り込みモード・レジスタ 0-4 (INTM0-INTM4)	... 529
<b>10.7</b>	<b>デジタル・ノイズ・フィルタ</b>	<b>... 532</b>
10.7.1	ノイズ・フィルタ設定レジスタ	... 533
10.7.2	ノイズ・フィルタの動作	... 537

## **第 11 章 クロック発生機能 ... 538**

<b>11.1</b>	<b>特 徴</b>	<b>... 538</b>
<b>11.2</b>	<b>構 成</b>	<b>... 539</b>
<b>11.3</b>	<b>発振ブロック</b>	<b>... 540</b>
<b>11.4</b>	<b>CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定</b>	<b>... 540</b>
<b>11.5</b>	<b>クロック発生機能の制御レジスタ</b>	<b>... 541</b>
11.5.1	PLL 動作モード設定レジスタ (EP3PLLCFG)	... 542
11.5.2	システム・クロック選択レジスタ (SYSCLKSEL)	... 545
11.5.3	PLL プロテクト・コマンド・レジスタ (PLLPCMD)	... 546
11.5.4	PLL ステータス・レジスタ (PLLS)	... 547
<b>11.6</b>	<b>PLL 動作への移行方法</b>	<b>... 548</b>
<b>11.7</b>	<b>動作クロックの規定</b>	<b>... 549</b>
11.7.1	動作周波数の最小値, 最大値, 平均値	... 549
11.7.2	BUSCLK 周波数の算出	... 551
11.7.3	各内蔵周辺機能の動作クロック周波数の算出	... 552
<b>11.8</b>	<b>パワー・セーブ制御</b>	<b>... 554</b>
11.8.1	概 要	... 554
11.8.2	各クロックの動作状態	... 555
<b>11.9</b>	<b>パワー・セーブ機能の制御レジスタ</b>	<b>... 556</b>
11.9.1	パワー・セーブ・コントロール・レジスタ (PSC)	... 557
11.9.2	スタンバイ解除要因マスク設定レジスタ (SRFMK)	... 558
11.9.3	STBC プロテクト・コマンド・レジスタ (STBPCMD)	... 559
11.9.4	HALT モード	... 560
11.9.5	IDLE モード	... 563

## **第 12 章 16 ビット・インターバル・タイマ M (TMM) ... 569**

<b>12.1</b>	<b>概 要</b>	<b>... 569</b>
<b>12.2</b>	<b>構 成</b>	<b>... 570</b>
<b>12.3</b>	<b>制御レジスタ</b>	<b>... 573</b>
<b>12.4</b>	<b>動 作</b>	<b>... 574</b>
12.4.1	インターバル・タイマ・モード	... 574
<b>12.5</b>	<b>TMM 専用プリスケアラ</b>	<b>... 578</b>
12.5.1	制御レジスタ	... 579
12.5.2	動 作	... 581

- 12.6 IDLE モード解除トリガ ... 582
- 12.7 A/D コンバータ, D/A コンバータの変換トリガ ... 582
- 12.8 注意事項 ... 583

## 第 13 章 16 ビット・タイマ/カウンタ AA (TAA) ... 584

- 13.1 概 要 ... 584
- 13.2 機 能 ... 585
- 13.3 構 成 ... 586
- 13.4 レジスタ ... 591
- 13.5 タイマ出力動作説明 ... 607
- 13.6 動 作 ... 608
  - 13.6.1 基本動作 ... 609
  - 13.6.2 インターバル・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 000) ... 615
  - 13.6.3 ワンショット・パルス出力モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 011) ... 625
  - 13.6.4 PWM 出力モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 100) ... 632
  - 13.6.5 フリー・ランニング・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 101) ... 641
  - 13.6.6 パルス幅測定モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 110) ... 657
- 13.7 注意事項 ... 663

## 第 14 章 16 ビット・タイマ/イベント・カウンタ T (TMT) ... 662

- 14.1 概 要 ... 662
- 14.2 機 能 ... 663
- 14.3 構 成 ... 664
- 14.4 レジスタ ... 668
- 14.5 タイマ出力動作説明 ... 690
- 14.6 動 作 ... 691
  - 14.6.1 基本動作 ... 692
  - 14.6.2 インターバル・タイマ・モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0000) ... 700
  - 14.6.3 外部イベント・カウント・モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0001) ... 710
  - 14.6.4 外部トリガ・パルス出力モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0010) ... 721
  - 14.6.5 ワンショット・パルス出力モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0011) ... 734
  - 14.6.6 PWM 出力モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0100) ... 741
  - 14.6.7 フリー・ランニング・タイマ・モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0101) ... 750
  - 14.6.8 パルス幅測定モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0110) ... 768
  - 14.6.9 三角波 PWM 出力モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 0111) ... 774
  - 14.6.10 エンコーダ・カウント機能 ... 777
  - 14.6.11 エンコーダ・コンペア・モード (TT<sub>n</sub>MD3-TT<sub>n</sub>MD0 ビット = 1000) ... 793
- 14.7 注意事項 ... 801

## 第 15 章 ウォッチドッグ・タイマ機能 ... 802

- 15.1 機 能 ... 802

- 15.2 構 成 ... 803
- 15.3 制御レジスタ ... 804
- 15.4 動 作 ... 806

## 第 16 章 アシクロナス・シリアル・インタフェース ... 807

- 16.1 特 長 ... 807
- 16.2 制御レジスタ ... 808
- 16.3 動 作 ... 825
  - 16.3.1 UART シリアル・プロトコル ... 825
  - 16.3.2 割り込み ... 826
  - 16.3.3 DMA インタフェース ... 829
- 16.4 受信データのノイズ・フィルタ ... 836
  - 16.4.1 ノイズ・フィルタ設定レジスタ ... 836

## 第 17 章 クロック同期式シリアル・インタフェース (CSI3) ... 837

- 17.1 特 徴 ... 837
- 17.2 構 成 ... 838
- 17.3 制御レジスタ ... 840
- 17.4 専用ポー・レート・ジェネレータ 0-7 (BRG0-BRG7) ... 852
  - 17.4.1 転送クロック ... 852
  - 17.4.2 ポー・レート ... 853
- 17.5 動 作 ... 854
- 17.6 使用方法 ... 875
- 17.7 注意事項 ... 882

## 第 18 章 USB 機能 ... 884

- 18.1 概 要 ... 884
  - 18.1.1 特 徴 ... 885
  - 18.1.2 USB 機能の構成 ... 886
- 18.2 USB 外部回路 ... 888
  - 18.2.1 USB 外部回路 ... 888
- 18.3 USB 用クロック ... 889
  - 18.3.1 USB 用クロックと、クロック選択 ... 889
  - 18.3.2 USB 機能周辺のクロック構成 ... 890
- 18.4 レジスタ・マッピング ... 891
  - 18.4.1 USB ホスト・コントローラ側レジスタ・マッピング ... 892
  - 18.4.2 USB ホスト・コントローラ側レジスタ一覧 ... 896
  - 18.4.3 OHCI 制御レジスタ ... 898
  - 18.4.4 EHCI 制御レジスタ ... 917
  - 18.4.5 PCI Configuration Registers for OHCI ... 930
  - 18.4.6 PCI Configuration Registers for EHCI ... 938

18.4.7	PCI Configuration Registers for System Bus-PCI Bridge	...	947
18.4.8	System Bus-PCI Bridge PCI Communication Registers	...	953
18.4.9	USB ファンクション・コントローラ側レジスタ・マッピング	...	962
18.4.10	エンドポイント・コントローラのバッファ RAM	...	963
18.4.11	USB ファンクション・コントローラ側レジスタ一覧	...	964
18.4.12	USB Function 側 EPC Registers	...	968
18.4.13	System Bus-EPC Bridge Registers	...	1002
<b>18.5</b>	<b>USB 機能のレジスタ・アクセス方法</b>	...	<b>1011</b>
18.5.1	USB Host 側のレジスタ・アクセス	...	1011
18.5.2	USB Function 側のレジスタ・アクセス	...	1015
<b>18.6</b>	<b>割り込み</b>	...	<b>1016</b>
18.6.1	割り込み一覧	...	1016
18.6.2	割り込み制御レジスタ	...	1017
18.6.3	割り込み要求信号クリアの注意事項	...	1017
<b>18.7</b>	<b>VBUS の検出</b>	...	<b>1018</b>
18.7.1	VBUS 検出のフロー	...	1018
<b>18.8</b>	<b>Power Management 機能</b>	...	<b>1019</b>
18.8.1	Power Management 機能概要	...	1019
18.8.2	USB ホスト・コントローラの Power Management	...	1020
18.8.3	USB ファンクション・コントローラの Power Management	...	1024
18.8.4	ダイレクト・パワーダウン	...	1027
<b>18.9</b>	<b>USB 機能を利用しない場合について</b>	...	<b>1029</b>
18.9.1	ホスト・コントローラを使用しない場合の処理	...	1030
18.9.2	ファンクション・コントローラを使用しない場合の処理	...	1031
18.9.3	双方の機能を使用しない場合の処理	...	1031
<b>18.10</b>	<b>操作手順</b>	...	<b>1032</b>
18.10.1	リセット・シーケンス	...	1032
18.10.2	初期化シーケンス	...	1033
18.10.3	ホスト・コントローラの転送フロー	...	1036
18.10.4	ファンクション・コントローラの転送フロー	...	1037

## **第 19 章 Ether MAC ... 1065**

<b>19.1</b>	<b>概 要</b>	...	<b>1065</b>
19.1.1	特 徴	...	1065
<b>19.2</b>	<b>システム構成</b>	...	<b>1067</b>
<b>19.3</b>	<b>PHY デバイスとの接続例</b>	...	<b>1069</b>
19.3.1	MII インタフェースでの接続例	...	1070
19.3.2	RMII インタフェースでの接続例	...	1071
19.3.3	PHY との接続の注意事項	...	1072
<b>19.4</b>	<b>割り込み信号</b>	...	<b>1073</b>
<b>19.5</b>	<b>MAC / FIFO 機能</b>	...	<b>1074</b>
19.5.1	サポートするフレーム・フォーマット	...	1074

19.5.2	Ether MAC FIFO の制限事項	...	1078
19.5.3	送信機能	...	1079
19.5.4	受信機能	...	1083
19.5.5	MAC 制御機能	...	1085
19.5.6	回線インタフェース	...	1089
19.5.7	シリアル・マネジメント・インタフェース機能	...	1090
19.5.8	アドレス・フィルタリング	...	1094
19.5.9	統計カウンタ	...	1099
<b>19.6</b>	<b>MACAD 機能</b>	...	<b>1100</b>
19.6.1	レジスタ・アクセス	...	1100
19.6.2	バス・マスタ機能	...	1100
19.6.3	DMA 機能	...	1101
19.6.4	ディスクリプタ・メカニズム	...	1102
<b>19.7</b>	<b>受信チェックサム機能</b>	...	<b>1117</b>
19.7.1	ソフトウェア上の処理	...	1118
<b>19.8</b>	<b>送信チェックサム機能</b>	...	<b>1119</b>
19.8.1	送信チェックサム用ディスクリプタの構成	...	1119
19.8.2	異常時の処理	...	1120
<b>19.9</b>	<b>制御手順</b>	...	<b>1121</b>
19.9.1	制御手順の概略	...	1121
19.9.2	初期化	...	1122
19.9.3	モード設定	...	1125
19.9.4	ディスクリプタの構築と操作	...	1127
19.9.5	割り込み処理	...	1135
19.9.6	受信チェックサム機能の使い方	...	1147
19.9.7	送信チェックサム機能の使い方	...	1149
19.9.8	動作中のモード変更	...	1150
19.9.9	Power Down 手順	...	1151
19.9.10	MII マネジメント・フロー	...	1152
<b>19.10</b>	<b>制御レジスタ</b>	...	<b>1153</b>
19.10.1	レジスタの設定手順	...	1153
19.10.2	Ether MAC 制御レジスタ一覧	...	1153
19.10.3	Ether MAC コア制御レジスタ	...	1156
19.10.4	Ether MAC コア統計カウンタ・レジスタ	...	1177
19.10.5	MFF 制御レジスタ	...	1181
19.10.6	送受信 MACAD 制御レジスタ	...	1204
19.10.7	送信チェックサム用 MACAD 制御レジスタ	...	1210
<b>19.11</b>	<b>注意事項</b>	...	<b>1216</b>
19.11.1	各種制御レジスタの変更について	...	1216
19.11.2	MACC1, MACC2 レジスタの設定変更時の注意	...	1217
19.11.3	受信動作 / 送信動作ハングアップ時の復帰例	...	1217
19.11.4	MIIC レジスタの MIRST ビット操作の注意	...	1217
19.11.5	異常 Ethernet MAC フレーム受信時の動作について (制限事項)	...	1218



- 19.11.6 MDC 分周比の設定/変更時 ... 1219
- 19.11.7 送信時のバス・スループット ... 1219
- 19.11.8 統計カウンタ更新中のアクセス ... 1219
- 19.11.9 スタンバイ中の統計カウンタの更新と割り込み ... 1219

## **第 20 章 CAN コントローラ ... 1220**

### **20.1 概 要 ... 1220**

- 20.1.1 特 徴 ... 1220
- 20.1.2 機能概要 ... 1221
- 20.1.3 構 成 ... 1222

### **20.2 CAN プロトコル ... 1224**

- 20.2.1 フレーム・フォーマット ... 1225
- 20.2.2 フレーム・タイプ ... 1225
- 20.2.3 データ・フレーム/リモート・フレーム ... 1226
- 20.2.4 エラー・フレーム ... 1234
- 20.2.5 オーバロード・フレーム ... 1235

### **20.3 機 能 ... 1236**

- 20.3.1 バス・プライオリティの決定 ... 1236
- 20.3.2 ビット・スタッフ ... 1236
- 20.3.3 マルチマスタ ... 1236
- 20.3.4 マルチキャスト ... 1237
- 20.3.5 CAN スリープ・モード/CAN ストップ・モード機能 ... 1237
- 20.3.6 エラー制御機能 ... 1237
- 20.3.7 ボー・レート制御機能 ... 1243

### **20.4 ターゲット・システムとの接続 ... 1248**

### **20.5 CAN コントローラの内部レジスタ ... 1249**

- 20.5.1 CAN コントローラの構成 ... 1249
- 20.5.2 レジスタ・アクセス・タイプ ... 1250
- 20.5.3 レジスタのビット構成 ... 1284

### **20.6 レジスタ ... 1288**

### **20.7 ビットのセット/クリア機能 ... 1328**

### **20.8 CAN コントローラの初期化処理 ... 1330**

- 20.8.1 CAN モジュールの初期化 ... 1330
- 20.8.2 メッセージ・バッファの初期化 ... 1330
- 20.8.3 メッセージ・バッファの再定義 ... 1331
- 20.8.4 動作モードへの移行 ... 1333
- 20.8.5 CAN モジュールのエラー・カウンタ CnERC のリセット ... 1334

### **20.9 メッセージ受信 ... 1335**

- 20.9.1 メッセージ受信 ... 1335
- 20.9.2 受信データの読み出し ... 1336
- 20.9.3 受信履歴・リスト機能 ... 1337
- 20.9.4 マスク機能 ... 1339

20.9.5	マルチ・バッファ受信ブロック機能	...	1340
20.9.6	リモート・フレーム受信	...	1342
<b>20.10</b>	<b>メッセージ送信</b>	...	<b>1343</b>
20.10.1	メッセージ送信	...	1343
20.10.2	送信履歴・リスト機能	...	1345
20.10.3	自動ブロック送信機能 (ABT : Automatic Block Transmission)	...	1347
20.10.4	送信中断処理	...	1348
20.10.5	リモート・フレーム送信	...	1350
<b>20.11</b>	<b>パワー・セーブ・モード</b>	...	<b>1351</b>
20.11.1	CAN スリープ・モード	...	1351
20.11.2	CAN ストップ・モード	...	1354
20.11.3	パワー・セーブ・モード使用例	...	1355
<b>20.12</b>	<b>割り込み機能</b>	...	<b>1356</b>
<b>20.13</b>	<b>診断機能と特殊動作モード</b>	...	<b>1357</b>
20.13.1	受信オンリー・モード	...	1357
20.13.2	シングル・ショット・モード	...	1358
20.13.3	セルフ・テスト・モード	...	1359
20.13.4	各動作モードにおける送受信動作	...	1360
<b>20.14</b>	<b>タイム・スタンプ機能</b>	...	<b>1361</b>
20.14.1	タイム・スタンプ機能	...	1361
<b>20.15</b>	<b>ボー・レート設定について</b>	...	<b>1363</b>
20.15.1	ボー・レート設定について	...	1363
20.15.2	代表的なボー・レート設定例	...	1367
<b>20.16</b>	<b>CAN コントローラの動作</b>	...	<b>1375</b>
<b>20.17</b>	<b>注意事項</b>	...	<b>1401</b>

## **第 21 章 A/D コンバータ ... 1402**

<b>21.1</b>	<b>特 徴</b>	...	<b>1402</b>
<b>21.2</b>	<b>構 成</b>	...	<b>1403</b>
<b>21.3</b>	<b>制御レジスタ</b>	...	<b>1405</b>
<b>21.4</b>	<b>動 作</b>	...	<b>1412</b>
21.4.1	基本動作	...	1412
21.4.2	動作モードとトリガ・モード	...	1412
<b>21.5</b>	<b>A/D トリガ・モード時の動作</b>	...	<b>1417</b>
21.5.1	セレクト・モードの動作	...	1417
21.5.2	スキャン・モードの動作	...	1419
<b>21.6</b>	<b>タイマ・トリガ・モード時の動作</b>	...	<b>1420</b>
21.6.1	セレクト・モードの動作	...	1420
21.6.2	スキャン・モードの動作	...	1423
<b>21.7</b>	<b>外部トリガ・モード時の動作</b>	...	<b>1424</b>
21.7.1	セレクト・モードの動作	...	1424
21.7.2	スキャン・モードの動作 (外部トリガ・スキャン)	...	1427

21.8 動作上の注意事項 ... 1428

## 第 22 章 D/A コンバータ ... 1432

22.1 機能 ... 1432

22.2 構成 ... 1433

22.3 レジスタ ... 1434

22.4 動作 ... 1437

22.4.1 レジスタ・ライト・トリガ時の動作例 ... 1437

22.4.2 タイマ・トリガ時の動作例 ... 1437

22.5 外付け推奨回路 ... 1438

22.6 使用上の注意点 ... 1439

## 第 23 章 ポート機能 ... 1440

23.1 特徴 ... 1440

23.2 ポートの基本構成 ... 1441

23.3 ポートの構成 ... 1449

23.4 ポート・レジスタ (P0-P9, PA-PE, PL) ... 1451

23.5 ポート・モード・レジスタ (PM0-PM9, PMA-PME, PML) ... 1453

23.6 ポート・モード・コントロール・レジスタ  
(PMCT0-PMCT9, PMCTA-PMCTE) ... 1455

23.7 ポート・ファンクション・コントロール・レジスタ  
(PFC2-PFC5, PFC9, PFC9A-PFCE) ... 1457

23.8 ポート・ファンクション・コントロール拡張レジスタ  
(PFCEX9, PFCEXA) ... 1459

23.9 ポート端子入力レジスタ (PIN0-PIN9, PINA-PINE, PINL) ... 1460

23.10 兼用機能の選択一覧 ... 1462

23.11 バッファ機能切り替えレジスタ (DRCTRL) ... 1466

23.12 ポート構成 ... 1470

23.12.1 ポート 0 ... 1470

23.12.2 ポート 1 ... 1471

23.12.3 ポート 2 ... 1472

23.12.4 ポート 3 ... 1475

23.12.5 ポート 4 ... 1480

23.12.6 ポート 5 ... 1484

23.12.7 ポート 6 ... 1486

23.12.8 ポート 7 ... 1489

23.12.9 ポート 8 ... 1494

23.12.10 ポート 9 ... 1500

23.12.11 ポート A ... 1505

23.12.12 ポート B ... 1509

23.12.13 ポート C ... 1511

23.12.14	ポート D	...	1515
23.12.15	ポート E	...	1519
23.12.16	ポート L	...	1523
<b>23.13</b>	<b>ポート機能の動作</b>	...	<b>1528</b>
23.13.1	入出力ポートへのリード/ライト動作	...	1528
23.13.2	コントロール・モード時の兼用機能の出力状態	...	1528
<b>23.14</b>	<b>ノイズ除去回路</b>	...	<b>1529</b>
23.14.1	ノイズ・フィルタ設定レジスタ	...	1530
23.14.2	ノイズ・フィルタの動作	...	1534

## **第 24 章 リセット機能 ... 1535**

<b>24.1</b>	<b>概 要</b>	...	<b>1535</b>
<b>24.2</b>	<b>動 作</b>	...	<b>1536</b>
24.2.1	リセット入力のノイズ除去	...	1539
24.2.2	リセット出力	...	1539
24.2.3	PONR 入力	...	1539
<b>24.3</b>	<b>イニシャライズ</b>	...	<b>1540</b>

## **第 25 章 デバッグ機能 ... 1541**

<b>25.1</b>	<b>機能概要</b>	...	<b>1541</b>
25.1.1	デバッグ機能	...	1541
25.1.2	トレース機能	...	1542
25.1.3	イベント機能	...	1543
<b>25.2</b>	<b>RTE-2000H-TP + PB-NEXUS-N38 のハードウェア仕様</b>	...	<b>1544</b>
<b>25.3</b>	<b>ターゲット・ボード設計上の注意事項</b>	...	<b>1546</b>
25.3.1	推奨回路	...	1546
25.3.2	接続コネクタ	...	1547

## **第 26 章 電気的特性 ... 1548**

<b>26.1</b>	<b>用語説明</b>	...	<b>1548</b>
<b>26.2</b>	<b>絶対最大定格</b>	...	<b>1550</b>
<b>26.3</b>	<b>推奨動作範囲</b>	...	<b>1550</b>
<b>26.4</b>	<b>DC 特性</b>	...	<b>1551</b>
<b>26.5</b>	<b>プルアップ/プルダウン抵抗値</b>	...	<b>1552</b>
<b>26.6</b>	<b>AC 特性</b>	...	<b>1553</b>
26.6.1	クロック端子	...	1553
26.6.2	外部メモリ・インタフェース端子	...	1556
26.6.3	SiP 内部接続バス・インタフェース端子	...	1566
26.6.4	外部 DMA インタフェース端子	...	1572
26.6.5	SiP 内部接続 DMA インタフェース端子	...	1573
26.6.6	CSI インタフェース端子	...	1574

26.6.7	シリアル・フラッシュ ROM インタフェース端子 ...	1577
26.6.8	CAN インタフェース端子 ...	1578
26.6.9	Ether MAC 端子 ...	1579
26.6.10	Nexus インタフェース端子 ...	1582
<b>26.7</b>	<b>A/D コンバータ特性 ...</b>	<b>1586</b>
<b>26.8</b>	<b>D/A コンバータ特性 ...</b>	<b>1587</b>
<b>26.9</b>	<b>端子負荷容量 ...</b>	<b>1588</b>
26.9.1	SiP 内メモリ・インタフェース端子 ...	1588
26.9.2	SiP 内 DMA インタフェース端子 ...	1588
26.9.3	外部メモリ・インタフェース端子 ...	1589
26.9.4	外部 DMA インタフェース端子 ...	1589
26.9.5	Ether MAC 端子 ...	1590
<b>26.10</b>	<b>内蔵 SSCG-PLL の特性 ...</b>	<b>1591</b>
26.10.1	推奨動作範囲 ...	1591
26.10.2	電気的特性 ...	1591

## 第1章 イン트로ダクション

PFESiP/V850EP3 は、SiP (System in a Package) への搭載を前提とした、PFESiP シリーズのマイクロコンピュータ機能チップです。

この章では、PFESiP/V850EP3 の概要を簡単に説明します。

### 1.1 概 説

PFESiP/V850EP3 は、PFESiP への搭載を前提に開発された第二世代マイクロコンピュータ機能チップで、V850E2M CPU コアを採用しています。CPU コアには浮動小数点演算機能、メモリ保護機能を内蔵し、また CPU 周辺機能として命令 RAM、データ RAM、ワーク RAM、セントラル DMA コントローラ、割り込みコントローラ、メモリ・サイド・キャッシュを内蔵しています。これらを含めて CPU サブシステムと呼びます。

この CPU サブシステムとともに、システム・バス DMA コントローラ、USB 2.0 HS (High-Speed) に対応した USB ホスト・コントローラ/ファンクション・コントローラ、10/100Mbps 対応 Ether MAC を内部システム・バスのバス・マスタとして内蔵しています。

外部メモリ・アクセス機能は、SiP 内部接続と、外部メモリ用に独立したメモリ・コントローラを内蔵し、SiP 内部接続はページ ROM、SRAM インタフェース、外部メモリ接続はページ ROM、SRAM、SDRAM インタフェースに対応しています。

汎用周辺機能として、汎用ポート、タイマ、シリアル・インタフェース、CAN コントローラ、A/D コンバータ、D/A コンバータ (オプション) が内蔵されており、シングルチップ・マイクロコンピュータとしての機能を実現しています。

表 1-1 PFESiP/V850EP3 の機能概要

(1/2)

項目	品名	PFESiP/V850EP3
CPU コア		V850E2M CPU コア FPU 内蔵
	最小命令実行時間	3.76ns (266MHz 動作時)
	命令セット	V850E2M 命令セット
命令 RAM (I_RAM)		512K バイト内蔵
データ RAM (D_RAM)		32K バイト
ワーク RAM (W_RAM)		64K バイト×2 バンク CPU サブシステム, 内部システム・バスのバス・マスタの双方からアクセス可能。
メモリ・サイド・キャッシュ		16K バイト 4 ウエイ内蔵
内部システム・バス		32 ビット・マルチレイヤ 100.0MHz (MAX.) CPU 動作クロックの 2 分周 / 3 分周 / 4 分周から選択
セントラル DMA コントローラ		CPU サブシステムに内蔵。16 チャンネル (ソフトウェア・トリガ, 各種割り込み信号からの DMA 起動が可能)
システム・バス DMA コントローラ		内部システム・バスのバス・マスタとして動作。8 チャンネル (ソフトウェア・トリガ, 各種割り込み信号, 端子入力による DMA 起動が可能) DMA インタフェース信号 (リクエスト, アクノリッジ, ターミナル・カウント信号) ・外部 DMA インタフェース: 4 チャンネル分 ・SiP 内部 DMA インタフェース: 2 チャンネル分
ブート・モード選択機能		・シリアル・フラッシュ ROM ブート (シリアル・フラッシュ ROM メモリ・コントローラ) ・外部メモリ・ブート (外部メモリ・コントローラ) ・SiP 内部ブート (SiP 内部接続メモリ・コントローラ)
外部メモリ・アクセス機能		100.0MHz (MAX.), CPU 動作クロックの 1/2, 1/3, 1/4 に設定 32 / 16 ビット・インタフェース ・ページ ROM / ROM / SRAM / SDRAM インタフェース ・スタティック・メモリ用チップ・セレクト信号: 4 本 ・SDRAM 用チップ・セレクト信号: 1 本 ・プログラム / データ空間: 合計 176M バイト ページ ROM / SRAM インタフェース: 32M バイト SRAM インタフェース: 合計 16M バイト (8M バイト + 4M バイト + 4M バイト) SDRAM インタフェース: 128M バイト ・プログラマブル・ウエイト機能: データ・ウエイト, アドレス設定ウエイト, アイドル・ステート, ライト・リカバリ・ウエイト
SiP 専用インタフェース機能		100.0MHz (MAX.), CPU 動作クロックの 1/2, 1/3, 1/4 に設定 32 / 16 ビット・インタフェース ・ページ ROM / ROM / SRAM インタフェース ・スタティック・メモリ用チップ・セレクト信号: 4 本 ・プログラム / データ空間: 合計 48M バイト ページ ROM / SRAM インタフェース: 32M バイト SRAM インタフェース: 合計 16M バイト (8M バイト + 4M バイト + 4M バイト) ・プログラマブル・ウエイト機能: データ・ウエイト, アドレス設定ウエイト, アイドル・ステート, ライト・リカバリ・ウエイト
SiP 専用インタフェース機能		・システム・バス DMAC インタフェース: 2 チャンネルのインタフェース ・外部割り込み機能: 8 本の割り込み信号を SiP 内部接続に優先割り当て

(2/2)

項目	品名	PFESiP/V850EP3
シリアル・フラッシュ ROM メモリ・ コントローラ機能		<ul style="list-style-type: none"> <li>・ 各社 SPI 互換シリアル・インタフェース対応</li> <li>・ シリアル・メモリ・デバイスから直接ブート可能</li> <li>・ Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応</li> <li>・ メモリ空間に直接割り付け可能</li> </ul>
割り込み / 例外		<ul style="list-style-type: none"> <li>・ FE レベル・マスカブル割り込み (NMI) 1 本</li> <li>・ EI レベル・マスカブル割り込み 175 本 ユーザ割り込み 50 本 (外部割り込み) 内部割り込み 125 本</li> <li>・ 16 レベルの優先順位指定可能</li> <li>・ 有効エッジ選択機能</li> <li>・ 可変デジタル・ノイズ・フィルタ機能</li> </ul>
内蔵周辺機能		
I/O ポート		CMOS 入出力 : 131 本
インターバル・タイマ		16 ビット×6 チャンネル
プリスケアラ・タイマ		インターバル・タイマ機能として 6 チャンネル
16 ビット・タイマ/カウンタ AA (TAA)		16 ビット×6 チャンネル
16 ビット・タイマ/イベント・ カウンタ T (TMT)		16 ビット×2 チャンネル
ウォッチドッグ・タイマ		1 チャンネル
シリアル・インタフェース		16 バイト送受信 FIFO 内蔵アシンクロナス・シリアル・インタフェース×4 チャンネル (NS16550 ソフトウェア互換) 16 ビット×16 送受信 FIFO 内蔵クロック同期式シリアル・インタフェース×8 チャンネル
D/A コンバータ (オプション)		8 ビット 5MHz, 2 チャンネル D/A コンバータ
A/D コンバータ		8 チャンネル 10 ビット 500kHz A/D コンバータ
USB ホスト・コントローラ		USB 2.0 HS (High-Speed) 対応×1 チャンネル
USB ファンクション・ コントローラ		USB 2.0 HS (High-Speed) 対応×1 チャンネル エンドポイント数 : 10 個 (Control, Bulk-In×3, Bulk-Out×3, Interrupt×3)
10/100Mbps Ether MAC		IEEE 802.3 1998 Edition 準拠 10/100Mbps Ethernet Media Access Controller (MAC)
CAN コントローラ		ISO11898 準拠 2 チャンネル
スタンバイ機能		IDLE / HALT モード (IDLE モードは、一部の割り込みとリセットで解除可能)
オンチップ・デバッグ機能		・ラン/ブレーク機能, ・トレース機能, ・イベント機能
内蔵 PLL シンセサイザ		SSCG 機能付き逡倍 PLL レジスタ設定による PLL 動作モード切り替え可能
電源電圧		端子電源用 : EVDD = 3.3 ± 0.3V 内部電源用 : IVDD = 1.0 ± 0.1V



## (1) 「V850E2M CPU」搭載

「V850E2M CPU」は、高性能、高機能、高信頼をコンセプトに設計された、リアルタイム制御マイコン向け CPU コアです。

高信頼プログラミングを可能にする様々な例外処理、倍精度 / 単精度浮動小数点演算命令機能、プログラムごとのメモリ・リソースを保護するためのメモリ保護機能を備えています。

## (2) マルチレイヤ内部システム・バス構造

内部システム・バスは、32 ビット・データ・バス・マルチレイヤ構造を採用しています。

PFESiP/V850EP3 は、USB ホスト・コントローラ、USB ファンクション・コントローラ、Ether MAC、システム・バス DMA コントローラを内蔵しており、これらと CPU は、それぞれ独立のレイヤを用いたバス・マスタとして相互接続されています。この構造により、バスのスループット向上を図りながら、外部メモリや、ワーク RAM を共用できます。

## (3) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のアドレス・バス、データ・バスと SDRAM、ROM 用インタフェースのほか、ページ ROM などに直結できる各種メモリ・コントローラを内蔵していることで、システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

## (4) シリアル・フラッシュ ROM メモリ・コントローラ

セットの基板面積縮小に効果的なシリアル・フラッシュ ROM メモリ・コントローラを内蔵しています。

シリアル・フラッシュ ROM は、データ転送速度でパラレル接続 ROM に劣る反面、必要信号線が少なく、メモリに小型パッケージが採用されていることから、セットの基板面積縮小などの効果があります。

シリアル・フラッシュ ROM メモリ・コントローラを利用することで、シリアル・フラッシュ ROM を、システムのメモリ空間上に配置でき、特にソフトウェアから意識することなく、従来のパラレル接続 ROM と同様にアクセスでき、また直接のブートも可能です。

## (5) メモリ・サイド・キャッシュ機能

CPU サブシステムと内部システム・バスの間には、16K バイト 4 ウエイのメモリ・サイド・キャッシュを内蔵しています。CPU からの内部システム・バス経由で外部メモリや、SiP 内部接続空間へのアクセスに対して、アドレス範囲指定でキャッシュの ON / OFF 設定が可能です。

## (6) 大容量 RAM 内蔵

PFESiP/V850EP3 は、用途別に 3 種類の大容量 RAM を内蔵しています。

RAM の種類	容量	機能呼称	呼称	フェッチ
命令 RAM	512K バイト	命令 RAM	I_RAM	可能
データ RAM	32K バイト	データ RAM	D_RAM	可能
ワーク RAM	64K バイト × 2	ワーク RAM	W_RAM	可能

## (a) 命令 RAM (I\_RAM)

命令 RAM の接続には、ワイドな 128 ビット・フェッチ・バスを採用しています。リアルタイム性を必要とする、アプリケーション・プログラムの実行が可能です。主にプログラムや固定データに利用されます。プログラムの格納などを目的に、ライトが行えます。

## (b) データ RAM (D\_RAM)

データ RAM は 32K バイト実装しています。CPU と同一のクロックで、1 クロックでアクセス可能な高速データ RAM です。主に可変データやスタックに利用します。

## (c) ワーク RAM (W\_RAM)

CPU と、内部システム・バス上のバス・マスタの双方からアクセスできるワーク RAM を 64K バイト×2 バンク構成で内蔵しています。

2 バンク構造のため、CPU サブシステム側 (CPU またはセントラル DMA コントローラ) と、内部システム・バスのバス・マスタ (システム・バス DMA コントローラ、USB ホスト・コントローラ、USB ファンクション・コントローラ、Ether MAC) から別々のバンクを利用することで競合を回避できます。同一バンクを同時にアクセスした場合のみ調停が行われます。CPU が外部メモリをアクセスしている場合でも、CPU の外部メモリ・アクセスをさまたげることなく他のバス・マスタは同時にワーク RAM にアクセスできます。

## (7) SiP 内部接続用外部バス・インタフェース、DMA インタフェース

外部バス・インタフェースとは独立に、外部バス・インタフェースのサブセット (SDRAM インタフェースのみ削除) として、SiP 内部接続専用の外部バス・インタフェース、DMA インタフェースを持ち、SiP 製品を容易に実現できるように配慮されています。このインタフェースは、SiP 内部接続用にドライバ能力の最適化を図っています。

## (8) USB 機能内蔵

USB ホスト・コントローラは、USB Rev 2.0, OHCI Rev 1.0a, EHCI Rev 1.0a に準拠し、USB 2.0 High-Speed (480Mbps) / Full-Speed (12Mbps) / Low-Speed (1.5Mbps) の転送をサポートしています。

USB ファンクション・コントローラは、USB Rev 2.0 に準拠し、High-Speed (480Mbps) / Full-Speed (12Mbps) の転送をサポートしています。エンド・ポイント数は 10 個 (Control, Bulk-In × 3, Bulk-Out × 3, Interrupt × 3) です。

両コントローラとも 30MHz の単一クロックで動作可能です。このクロックは逡倍前の CPU のクロックと共通化できます。

## (9) Ether MAC 機能内蔵

IEEE 802.3 1998 Edition に準拠した 10/100Mbps Ethernet Media Access Controller (MAC) を内蔵しています。外付け PHY とのインタフェースには、MII または RMII を利用できます。また RFC1071 に準拠したチェックサム計算機能も内蔵しています。

## (10) CAN コントローラ内蔵

CAN プロトコル ISO11898 に準拠した CAN (Controller Area Network) コントローラを 2 チャンネル内蔵しています。

## 1.2 特 徴

命令数	98
最小命令実行時間	3.76ns (内部 266MHz 動作時)
汎用レジスタ	32 ビット × 32 本
命令セット	V850E2M CPU ロング/ショート形式を持つロード/ストア命令 飽和演算命令 ビット操作命令 乗算命令 (ハードウェア乗算器内蔵により、1クロックでの乗算処理が可能) 16 ビット × 16 ビット 32 ビット 32 ビット × 32 ビット 32 ビット、または 64 ビット MAC 演算命令 32 ビット × 32 ビット + 64 ビット 64 ビット
メモリ空間	512M バイト・リニア・アドレス空間 (プログラム/データ共有)
浮動小数点ユニット (FPU)	ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠
プロセッサ保護機能	4 種類のリソースに対するアクセス制御機能 <ul style="list-style-type: none"><li>・ システム・レジスタ保護</li><li>・ 命令アドレス空間保護</li><li>・ データ・アドレス空間保護</li><li>・ 周辺装置保護</li></ul>

## 外部バス・インタフェース

32ビット・データ・バス（アドレス/データ分離型バス）

32/16ビット・バス・サイジング機能

ページROM, ROM, SRAM, SDRAM に対応

合計 176M バイト・アドレス空間

SRAM インタフェース（ページROM 対応）：32M バイト

SRAM インタフェース：合計 16M バイト（8M バイト+4M バイト+4M バイト）

SDRAM：128M バイト

バス・ホールド機能

プログラマブル・ウェイト機能

アドレス設定ウェイト

データ・ウェイト

ライト・リカバリ・ウェイト

アイドル・ステート

## SiP 内部接続インタフェース

32ビット・データ・バス（アドレス/データ分離型バス）

32/16ビット・バス・サイジング機能

ページROM, ROM, SRAM に対応

合計 48M バイト・アドレス空間

SRAM インタフェース（ページROM 対応）：32M バイト

SRAM インタフェース：合計 16M バイト（8M バイト+4M バイト+4M バイト）

バス・ホールド機能

プログラマブル・ウェイト機能

アドレス設定ウェイト

データ・ウェイト

ライト・リカバリ・ウェイト

アイドル・ステート

内蔵メモリ	命令 RAM (I_RAM)	: 512K バイト
	データ RAM (D_RAM)	: 32K バイト
	ワーク RAM (W_RAM)	: 128K バイト (64K バイト×2)

## メモリ・サイド・キャッシュ

16K バイト 4 ウエイ・セット・アソシアティブ

## 割り込み / 例外

CPU と同一クロック動作の高速割り込みコントローラ

外部割り込み : 51 本 (NMI 含む)

内部割り込み : 125 要因

16 レベルの優先順位指定可能

8 本の外部割り込み (INTPZ16-INTPZ23) は, SiP 内部接続優先  
可変デジタル・ノイズ・フィルタ機能

## セントラル DMA コントローラ

16 チャンネル構成

転送トリガ : ソフトウェア・トリガ / 割り込み信号

転送データ・サイズ : 8 / 16 / 32 / 128 ビット

最大転送回数 : 32,768 (2<sup>15</sup>) 回

優先順位制御 : 固定優先順位

転送タイプ : 2 サイクル転送

転送モード : シングル転送モード (ハードウェア要求時)  
シングルステップ転送モード (ソフトウェア DMA 転送要求時)転送対象 : 命令 RAM, データ RAM, ワーク RAM, 内部システム・バス,  
外部メモリ, SiP 内部接続先

転送回数一致割り込み出力機能

転送完了割り込み出力機能

ネクスト・アドレス設定機能

## システム・バス DMA コントローラ

8 チャンネル構成

レジスタ・モードとリンク・モード (ディスクリプタ参照) を選択可能

チャンネルあたり 2 セットのレジスタを持ち, 複合転送に対応

連続転送と離散転送に対応

バス占有率調整のため, 転送インターバルを設定可能

16 段バッファ内蔵

転送トリガ : ソフトウェア・トリガ / 割り込み信号 / 端子入力

転送データ・サイズ : 8 / 16 / 32 / 128 / 256 / 512 ビット

最大転送回数 : 2<sup>32</sup>-1 回

優先順位制御 : 固定優先順位モード / ラウンドロビン・モード

転送タイプ : 2 サイクル転送

転送モード : シングル転送モード / ブロック転送モード

転送対象 : ワーク RAM, 内部システム・バス,  
外部メモリ, SiP 内部接続先, 命令 RAM の書き込み

アクノリッジ出力機能 (リクエスト信号との連携動作可能)

転送完了割り込み出力機能

## シリアル・フラッシュ ROM メモリ・コントローラ機能

各社 SPI 互換シリアル・インタフェース対応

シリアル・メモリ・デバイスから直接ブート可能

Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応

メモリ空間に直接割り付け可能

## USB 2.0 HS コントローラ

USB ホスト・コントローラ : 1 チャンネル

High-Speed (480Mbps) / Full-Speed (12Mbps) / Low-Speed (1.5Mbps)

USB ファンクション・コントローラ : 1 チャンネル

High-Speed (480Mbps) / Full-Speed (12Mbps)

エンドポイント数 : 10 個 (Control, Bulk-In x 3, Bulk-Out x 3, Interrupt x 3)

Ether MAC	IEEE 802.3 1998 Edition 準拠した 10/100Mbps 全二重通信および半二重通信，フロー制御 物理層デバイス（PHY）とのインタフェースとして MII または RMII を利用可能 送受信 FIFO サイズ：送信 FIFO 2K バイト，受信 FIFO 2K バイト RFC1071 に準拠した送信 / 受信チェックサム計算機能内蔵	
CAN コントローラ	CAN プロトコル ISO11898 に準拠 2 チャンネル内蔵	
I/O ライン	131 本	
タイマ機能	16 ビット・インターバル・タイマ M (TMM)	: 6 チャンネル
	16 ビット・タイマ / カウンタ AA (TAA)	: 最大 6 チャンネル
	Z 相入力対応 16 ビット・タイマ / イベント・カウンタ T (TMT)	: 最大 2 チャンネル
	プリスケアラ割り込み	: 6 本
シリアル・インタフェース (SIO)	アシンクロナス・シリアル・インタフェース (UART) : 4 チャンネル NS16550 ソフトウェア互換 送信 / 受信に独立に 16 バイト FIFO 内蔵	
	クロック同期式シリアル・インタフェース : 8 チャンネル	
	16 / 8 ビット・データ長対応 送信用，受信用に各々 16 ビット × 16 段の FIFO を搭載	
A/D コンバータ	10 ビット分解能 A/D コンバータ : 8 入力 タイマ・トリガ，外部トリガにも対応	
D/A コンバータ	8 ビット 5MHz, 2 チャンネル DA コンバータ タイマ割り込みに同期した出力可能	

**注意** PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

#### クロック・ジェネレータ

SSCG 内蔵 PLL  
内蔵 PLL の全通倍率設定，全 SSCG モードの設定が可能

パワー・セーブ機能 HALT モード / IDLE モード

#### オンチップ・デバッグ機能

Nexus インタフェース  
トレース機能 (トレース本数 : 8 本)  
イベント検出機能

CMOS 構造完全スタティック回路

### 1.3 内部クロックの定義

PFESiP/V850EP3 では、多数のクロックを使用しています。  
本書に記載されている代表的クロック信号を下記に示します。

クロック信号	用途
OSCCLK	内蔵 SSCG-PLL 前段のクロックです。逡倍，変調される前のクロックです。 リセット解除後の CPU は，このクロックで動作します。 アシンクロナス・シリアル・インタフェース (UART)，タイマ/カウンタ (選択)，CAN コントローラは，このクロックを直接または分周して利用しています。
CPCLK	CPU のパイプライン用クロックです。命令 RAM，データ RAM，割り込みコントローラ，セントラル DMA コントローラも CPCLK を基準にアクセスされます。 リセット解除後は，CPCLK = OSCCLK です。CPU は，このクロックで動作します。 ワーク RAM は，CPCLK と HCLK の両クロックでアクセスされます。 XT1, XT2 端子または，UCLK から入力されたクロックを，内蔵の PLL で逡倍して供給しています。
HCLK	内部システム・バスのクロックです。 システム・バス DMA コントローラ，メモリ・コントローラは HCLK を基準にアクセスされます。 ワーク RAM は，CPCLK と HCLK の両クロックでアクセスされます。 CPCLK を分周して供給されています。 CLKDV0-CLKDV2 端子で PCLK とともに CPCLK との分周関係を設定できます。
PCLK	内部周辺マクロ用のクロックです。 タイマ，シリアル・インタフェース，A/D コンバータ，D/A コンバータ (オプション) などの周辺回路は，PCLK を基準にアクセスされます。 CPCLK を分周して供給されています。 CLKDV0-CLKDV2 端子で HCLK とともに CPCLK との分周関係を設定できます。
BUSCLK	メモリ・コントローラによる外部バス・インタフェースのバス・クロックです。 HCLK と同一クロックです。
SBUSCLK	BUSCLK と同一のクロックで，SiP 内部接続専用です。 HCLK と同一クロックです。
USBCLK	USB 機能専用のクロックです。
PCICLK	USB ホスト・コントローラ内部の PCI インタフェース用クロックです。
REFCLK	Ether MAC の PHY インタフェースで RMII インタフェースを利用する場合の入力クロックです。50MHz を入力してください。

## 1.4 最高動作周波数の注意事項

PFESiP/V850EP3 は動作条件によって最高動作周波数が異なります。また CPCLK, HCLK, PCLK は、整数倍の関係にあり、HCLK は CPCLK の 1/2 以下、PCLK は 50MHz 以下の条件が加わります。このため、下記のように設定の組み合わせに制限があります。

表 1-2 PFESiP/V850EP3 の動作条件による最高動作周波数

優先クロック	クロック		
	CPCLK	HCLK, BUSCLK	PCLK
CPCLK	266MHz <sup>注</sup>	88.7MHz	44.35MHz
HCLK, BUSCLK	200MHz	100MHz <sup>注</sup>	50MHz

注 周波数決定の基準となるクロックです。

- 注意 1. PFESiP/V850EP3 の外部端子は、一定の負荷条件で電気的特性を算出しています。最高動作周波数については、パッケージや基板の配線、外部メモリの負荷などの影響により、必ずしも実現できるものではありませんのでご了承ください。
2. BUSCLK の最高動作周波数を 100MHz でご使用になる場合は、お客様での評価にて負荷条件などに問題がないことを確認していただくようお願いいたします。なお当社の想定している条件は、この製品を利用する形態で最も一般的なフラッシュ ROM×1 個と SDRAM×1 個接続したケースで、基板を含めた経路検証結果を基にしています。



## 1.5 応用分野

FA / 産業機器： サーボ，インバータ，シーケンサ，計測器，工作機械，自動販売機，監視カメラ等  
OA / 民生機器： 楽器，ホーム・オーディオ，ビデオ/フォト・プリンタ，バーコード・リーダー，  
サーマル/ドット・プリンタ，POS レジ・プリンタ等

## 1.6 関連製品

最高 200MHz 動作の V850E2S コアを内蔵した PFESiP 用マイコン「PFESiP/V850EP1」があります。

### 1.7 端子接続図 (参考)

単体製品の端子配置図を下記に示します。

**注意 1.** 参考として、PFESiP EP-3 シリーズ製品の開発評価ボードである「PFESiP EP-3 Evaluation Board」に搭載している評価用の単体製品の端子配置図を示します。

**2.** 下記端子配置図は、Top View です。

	A	B	C	D	E	F	G	H	J	K	L	M	N																																
26	PD2/SI4/ DMATCZ0	D15	D8	D6	P81/ HLDAKZ	P82/ BUSREQZ	P73/ STCSZ3	P74/ DYCSZ	PA7/D31 INTPZ49	PA4/D28/ EVT11/INTPZ48	PA2/D26/ TECR1/INTPZ46	P96/D22/ TIT01/TOT01	P92/D18/ TECR0/INTPZ42																																
25	PD4/SO5/ DMAACKZ1	D13	D9	D3	D4	D2	P75/ IDLEOUTZ	P71/ STCSZ1	WRSTBZ	STCSZ0	PA0/D24/ TENC10	P97/D23/ INTPZ45	P91/D17/ TENC01																																
24	PE2/SI6/ DMATCZ2	PE1/SO6/ DMAACKZ2	PD1/SO4 DMAACKZ0	D14	D7	D5	D1	P77/ BENZ3/WRZ3	P80/ HLDRQZ	P72/ STCSZ2	PA6/D30/ TIT11/TOT11	PA1/D25/ TENC11	BENZ0/ WRZ0																																
23	PE4/SO7/ DMAACKZ3	PE5/SI7/ DMATCZ3	PD5/SI5/ DMATCZ1	PB2/INTPZ34/ TIA50/TOA50	PB0/INTPZ32/ TIA40/TOA40	D11	PB3/INTPZ35/ TIA51/TOA51	PB1/INTPZ33/ TIA41/TOA41	D10	D0	P76/ BENZ2/WRZ2	PA5/D29/ TIT10/TOT10	P94/D20/ EVT10/INTPZ44																																
22	P53/INTPZ27/ TIA11/TOA11	P52/INTPZ26/ TIA10/TOA10	P50/INTPZ24/ TIA00/TOA00	PD3/INTPZ37/ SCK5/DMAREQZ1	PD0/INTPZ36 SCK4/DMAREQZ0	GND	GND	GND	D12	EVDD	GND	RDZ	PA3/D27/ TRGT1/INTPZ47																																
21	P57/INTPZ31 TIA31/TOA31	P56/INTPZ30/ TIA30/TOA30	P55/INTPZ29/ TIA21/TOA21	PE3/INTPZ39/ SCK7/DMAREQZ3	PE0/INTPZ38/ SCK6/DMAREQZ2	EVDD	GND	GND	EVDD	EVDD	GND	GND	EVDD																																
20	USB _PPON	USB _OC1	USB _VBUS	P54/INTPZ28/ TIA20/TOA20	P51/INTPZ25/ TIA01/TOA01	EVDD	<table border="1"> <tr> <td>IVDD</td> <td>IVDD</td> <td>IVDD</td> <td>GND</td> </tr> <tr> <td>USB _RSDPH</td> <td>USB _DPH</td> <td>IVDD</td> <td>GND</td> </tr> <tr> <td>USB _RSDMH</td> <td>USB _DMH</td> <td>GND</td> <td>GND</td> </tr> <tr> <td>USB _RSDMF</td> <td>USB _DMF</td> <td>GND</td> <td>GND</td> </tr> <tr> <td>USB _RSDPF</td> <td>USB _DPF</td> <td>GND</td> <td>GND</td> </tr> <tr> <td>IVDD</td> <td>IVDD</td> <td>GND</td> <td>GND</td> </tr> <tr> <td>IVDD</td> <td>IVDD</td> <td>GND</td> <td>GND</td> </tr> <tr> <td>IVDD</td> <td>IVDD</td> <td>GND</td> <td>GND</td> </tr> </table>							IVDD	IVDD	IVDD	GND	USB _RSDPH	USB _DPH	IVDD	GND	USB _RSDMH	USB _DMH	GND	GND	USB _RSDMF	USB _DMF	GND	GND	USB _RSDPF	USB _DPF	GND	GND	IVDD	IVDD	GND	GND	IVDD	IVDD	GND	GND	IVDD	IVDD	GND	GND
IVDD	IVDD	IVDD	GND																																										
USB _RSDPH	USB _DPH	IVDD	GND																																										
USB _RSDMH	USB _DMH	GND	GND																																										
USB _RSDMF	USB _DMF	GND	GND																																										
USB _RSDPF	USB _DPF	GND	GND																																										
IVDD	IVDD	GND	GND																																										
IVDD	IVDD	GND	GND																																										
IVDD	IVDD	GND	GND																																										
19	EVDD	EVDD	EVDD	EVDD	EVDD	EVDD																																							
18	GND	GND	GND	GND	GND	GND																																							
17	GND	GND	GND	GND	GND	GND																																							
16	USB _VD332	USB _VD331	USB _GND3	USB _GND2	USB _GND1	GND																																							
15	USB _RREF	USB _AVDD	USB _PVDDFIL	USB _PVSS	USB _RPU	GND																																							
14	USB _AVSS	USB _AVSS	USB _COM	GND	GND	GND																																							
13	USB _UCLK	P00/ INTPZ0	P03/ INTPZ3	P01/ INTPZ1	EVDD	EVDD																																							
12	USB _PCLK	P05/ INTPZ5	P02/ INTPZ2	P07/ INTPZ7	GND	EVDD																																							
11	GND	P04/ INTPZ4	P06/ INTPZ6	GND	GND	GND																																							
10	XT1	UCLKSEL0	TESTCLK	RESETZ	GND	GND																																							
9	XT2	TMODE0	UCLKSEL1	EVDD	EVDD	EVDD																																							
8	TMODE1	TMODE2	BOOTSEL0	PONR	GND	EVDD																																							
7	JTAGSEL	BUS32EN0	BOOTSEL1	CLKDV2	GND	GND																																							
6	BUS32EN1	PMODE	OSCTH	GND	GND	GND	GND	EVDD	EVDD	GND	GND	EVDD	EVDD																																
5	CLKDV1	CLKDV0	NMI	GND	GND	GND	GND	EVDD	EVDD	GND	GND	EVDD	EVDD																																
4	USBEN	ETHEN	GND	P24/ INTPZ20	P21/ INTPZ17	SWAITZ	P27/INTPZ23/ WDTOUTZ	P20/ INTPZ16	SDMAREQZ1	GND	GND	SA23	SA14																																
3	GND	GND	P26/ INTPZ22	P23/ INTPZ19	SDMATCZ1	SHLDAKZ	SCSZ0	SCSZ1	SA22	SA18	SA11	SA9	SA6																																
2	GND	P25/ INTPZ21	P22/ INTPZ18	SDMATCZ0	SDMAACKZ1	SA24	SCSZ3	SA20	SA17	SA15	SA12	SA8	SA5																																
1	GND	SDMAACKZ0	SDMAREQZ0	SHLDROZ	SRESTOZ	SCSZ2	SA21	SA19	SA16	SA13	SA10	SA7	SA4																																

注意 1. PFESiP/V850EP3 は, SiP 化を前提とした PFESiP EP-3 シリーズ製品に搭載されるため, 製品化を検討する場合は, お問合せ下さい。

2. 下記端子配置図は, Top View です。

P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF			
P90/D16/ TENC00	BENZ1/ WRZ1	BUSCLK	GND	A19	A15	A12	A8	A4	P60/ A20	P63/ A23	P85/ SMSO	P84/ SMSCK	26		
DQM1	DQM2	SDCASZ	SDWEZ	A17	A14	A10	A6	P67/ A1	P61/ A21	P83/ WDTOUZ	P86/ SMSI	P87/ SMCSZ	25		
SDCKE	DQM3	P70/ WAITZ	SDRASZ	A18	A11	A7	A5	P66/ A26	P64/ A24	MCKO	MDO7	MDO5	24		
P95/D21/ TIT00/TOT00	BCYSTZ	DQM0	A13	A16	A3	P62/ A22	A2	P65/ A25	MDO6	MDO4	MDO3	MDO1	23		
P93/D19/ TRGT0/INTPZ43	EVDD	GND	GND	A9	EVDD	TMC2	TMC1	GND	MDO2	MSE00	MDO0	MSE01	22		
EVDD	EVDD	GND	GND	EVDD	EVDD	GND	GND	GND	DCK	DDI	DDO	DRSTZ	21		
									GND	GND	EVTOZ	EVTIZ/ DBINT	DMS	DRDYZ	20
									EVDD	EVDD	P16/ INTPZ14	P14/ INTPZ12	P17/ INTPZ15	P15/ INTPZ13	19
									EVDD	EVDD	PC6/ INTPZ40	P13/ INTPZ11	PC7/INTPZ41/ ADTRG	RESTOZ	18
									GND	GND	GND	P11/ INTPZ9	P12/ INTPZ10	P10/ INTPZ8	17
									GND	GND	AIN0	AIN2	AIN1	AIN3	16
									GND	GND	AIN4	AIN6	AIN5	AIN7	15
									AVREFM	AD_AGND	AD_AVDD	AVREFP	GND	PC5/ SI1	14
									EVDD	EVDD	PC2/ SIO	PC1/ SO0	PC3/ SCK1	PC4/ SO1	13
									EVDD	EVDD	PC0/ SCK0	P33/ CTS0	P35/ RXD1/SO3	P37/ CTS1	12
									PLL_AGND	P34/ TXD1/SCK3	P36/ RTS1/SI3	P32/ RTS0/SI2	VOB	DA_AGND	11
									PLL_AVDD	P43/ CTS2	P41/ RXD2	P31/ RXD0/SO2	VOA	DA_AVDD	10
									EVDD	EVDD	P47/ CTS3/CRXD1	P44/ TXD3/CTXD0	P30/ TXD0/SCK2	GND	9
									EVDD	EVDD	PL16/ ETH_MDC	PL15/ ETH_RXER	P45/ RXD3/CRXD0	P42/ RTS2	8
									GND	GND	PL6/ ETH_TXER	PL18/ ETH_REFCLK	PL17/ ETH_MDIO	P46/ RTS3/CTXD1	7
EVDD	GND	GND	GND	EVDD	EVDD	GND	GND	GND	PL4/ ETH_TXD3	PL9/ ETH_RXCLK	PL13/ ETH_RXD3	P40/ TXD2	6		
GND	GND	GND	GND	EVDD	EVDD	GND	GND	GND	PL8/ ETH_CRS	PL10/ ETH_RXD0	PL14/ ETH_RXDV	PL11/ ETH_RXD1	5		
SBCYSTZ	SBENZ1/ SWRZ1	GND	SD5	SD13	SD24	SD30	SD21	SD25	SD31	PL2/ ETH_TXD1	PL12/ ETH_RXD2	PL7/ ETH_COL	4		
SA1	SBENZ2/ SWRZ2	SRDZ	SD1	SD7	SD9	SD14	SD16	SD18	SD26	SD28	PL3/ ETH_TXD2	PL5/ ETH_TXEN	3		
SA2	SBENZ0/ SWRZ0	SBENZ3/ SWRZ3	SD0	SD3	SD6	SD10	SD12	SD15	SD20	SD23	SD29	PL1/ ETH_TXD0	2		
SA3	SWRSTBZ	SBUSCLK	GND	SD2	SD4	SD8	SD11	SD19	SD17	SD22	SD27	PL0/ ETH_TXCLK	1		

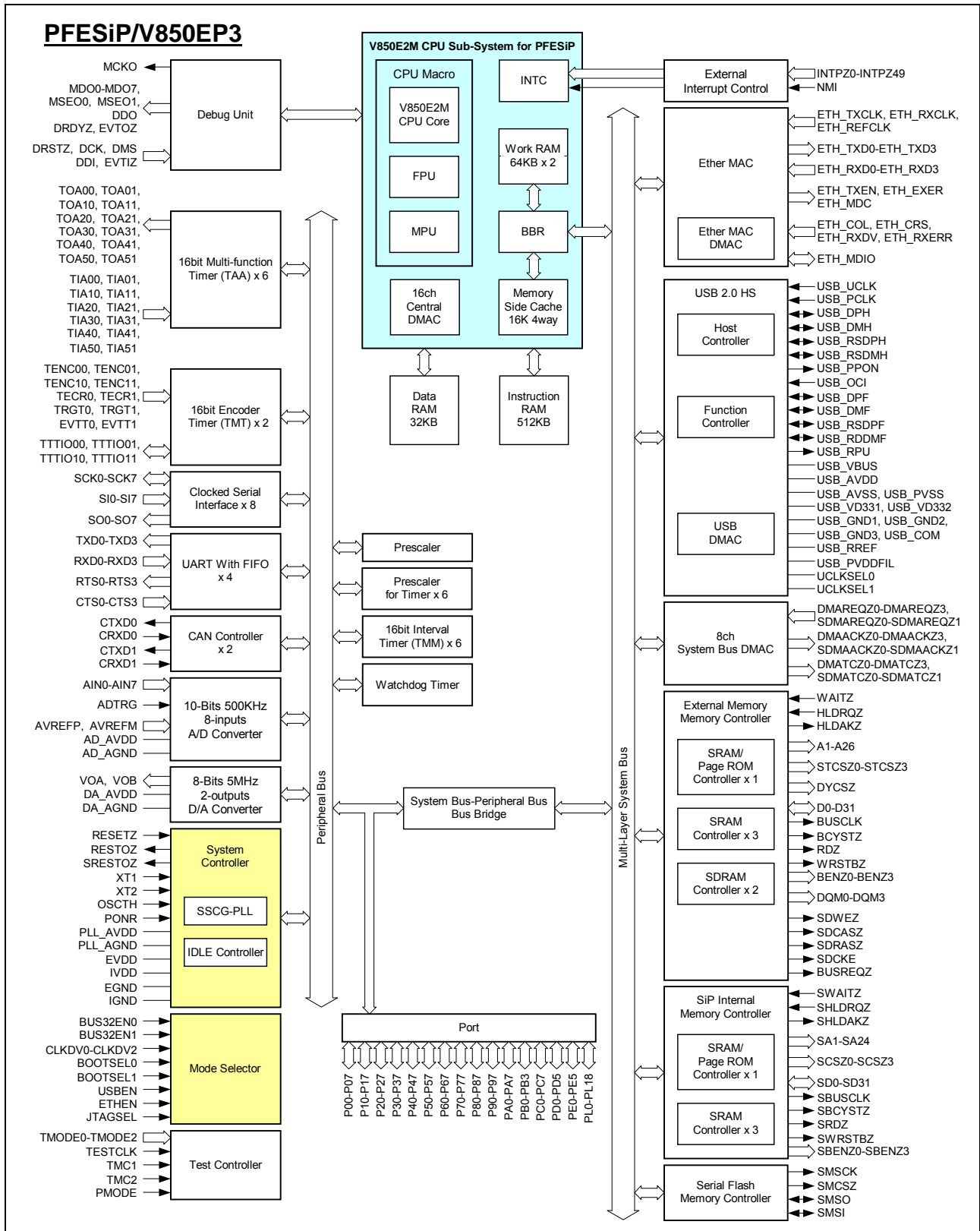
P00-P07	: Port 0	CTXD0, CTXD1	: CAN Transmit Data
P10-P17	: Port 1	CRXD0, CRXD1	: CAN Receive Data
P20-P27	: Port 2		
P30-P37	: Port 3	SMSCK	: Serial Flash Clock
P40-P47	: Port 4	SMSO	: Serial Flash Data Output
P50-P57	: Port 5	SMSI	: Serial Flash Data Input
P60-P67	: Port 6	SMCSZ	: Serial Flash Chip Select
P70-P77	: Port 7		
P80-P87	: Port 8	NMI	: FE Level Maskable Interrupt Request
P90-P97	: Port 9	INTPZ0-INTPZ49	: EI Level Maskable Interrupt Request
PA0-PA7	: Port A		
PB0-PB3	: Port B	STCSZ0-STCSZ3	: Static Memory Chip Select
PC0-PC7	: Port C	A1-A26	: Address Bus
PD0-PD5	: Port D	D0-D31	: Data Bus
PE0-PE5	: Port E	RDZ	: Read Strobe
PL0-PL18	: Port L	BENZ0-BENZ3	: Byte Enable or Write Strobe
		WRSTBZ	: Write Strobe
TOA00, TOA01	: TAA0 Timer Outputs	DYCSZ	: SDRAM Chip Select
TOA10, TOA11	: TAA1 Timer Outputs	SDCKE	: SDRAM Clock Enable Output
TOA20, TOA21	: TAA2 Timer Outputs	SDRASZ	: SDRAM Row address strobe
TOA30, TOA31	: TAA3 Timer Outputs	SDCASZ	: SDRAM Column address strobe
TOA40, TOA41	: TAA4 Timer Outputs	SDWEZ	: SDRAM Write enable
TOA50, TOA51	: TAA5 Timer Outputs	DQM0-DQM3	: SDRAM DQ mask enable
TIA00, TIA01	: TAA0 Capture Trigger Inputs	WAITZ	: Wait Input
TIA10, TIA11	: TAA1 Capture Trigger Inputs	HLDRQZ	: Hold Request
TIA20, TIA21	: TAA2 Capture Trigger Inputs	HLDKZ	: Hold Acknowledge
TIA30, TIA31	: TAA3 Capture Trigger Inputs	BCYSTZ	: Bus Cycle Start Timing
TIA40, TIA41	: TAA4 Capture Trigger Inputs	BUSCLK	: SDRAM Clock / Bus Clock output
TIA50, TIA51	: TAA5 Capture Trigger Inputs	BUSREQZ	: BUS Request ( Refresh Request )
TENC00, TENC01	: TMT0 Encoder Inputs		
TENC10, TENC11	: TMT1 Encoder Inputs	DMAREQZ0-	: DMA Request Inputs
TECR0, TECR1	: TMT Encoder Clear Input	DMAREQZ3	
TRGT0, TRGT1	: TMT Trigger Input	DMAACKZ0-	: DMA Acknowledge Outputs
EVT0, EVTT1	: TMT Event Input	DMAACKZ3	
TIT00, TIT01	: TMT0 Capture Inputs	DMATCZ0-	: DMA Terminal Count Outputs
TIT10, TIT11	: TMT1 Capture Inputs	DMATCZ3	
TOT00, TOT01	: TMT0 Timer Outputs		
TOT10, TOT11	: TMT1 Timer Outputs	WDTOUTZ	: Watchdog Timer Output
		IDLEOUTZ	: IDLE Mode Status Output
TXD0-TXD3	: UART transmit Outputs		
RXD0-RXD3	: UART receive Inputs		
RTS0-RTS3	: UART Request to Send Output		
CTS0-CTS3	: UART Clear to Send Inputs		
SCK0-SCK7	: CSI Serial Clock I/O		
SO0-SO7	: CSI Serial Data Outputs		
SI0-SI7	: CSI Serial Data Inputs		

SCSZ0-SCSZ3	: SiP Static Memory Chip Select	ETH_TXCLK	: Ether Transfer Clock Input
SA1-SA24	: SiP Address Bus	ETH_TXD0-	: Ether Transfer Data Outputs
SD0-SD31	: SiP Data Bus	ETH_TXD3	
SRDZ	: SiP Read Strobe	ETH_TXEN	: Ether Transfer Data Enable Output
SBENZ0-SBENZ3	: SiP Byte Enable or Write Strobe	ETH_TXER	: Ether Transfer Error Output
SWRSTBZ	: SiP Write Strobe	ETH_COL	: Ether COL Input
SWAITZ	: SiP Wait Input	ETH_CRS	: Ether CRS Input
SHLDRQZ	: SiP Hold Request	ETH_RXCLK	: Ether Receive Clock Input
SHLDAKZ	: SiP Hold Acknowledge	ETH_RXD0-	: Ether Receive Data Inputs
SBCYSTZ	: SiP Bus Cycle Start Timing	ETH_RXD3	
SBUSCLK	: SiP Bus Clock output	ETH_RXDV	: Ether Receive Data VALID Input
SRESTOZ	: System Reset Output for SiP internal	ETH_RXER	: Ether Receive Data Error Input
		ETH_MDC	: Ether Serial Clock
SDMAREQZ0,	: DMA Request Inputs for SiP	ETH_MDIO	: Ether Serial Data I/O
SDMAREQZ1		ETH_REFCLK	: Ether RMI Interface reference clock Input
SDMAACKZ0,	: DMA Acknowledge Outputs for SiP		
SDMAACKZ1		AD_AVDD	: A/D Converter VDD (3.3V)
SDMATCZ0,	: DMA Terminal Count Outputs for SiP	AVREFP	: A/D Converter Reference Voltage +
SDMATCZ1		AIN0-AIN7	: Analog Input
		AVREFM	: A/D Converter Reference Voltage -
USB_UCLK	: USB Reference Clock Input	AD_AGND	: A/D Converter GND
USB_PCLK	: USB Bus Bridge Clock Input	ADTRG	: A/D Trigger Input
USB_DPH	: USB Host D+ Signal		
USB_DMH	: USB Host D- Signal	DA_AVDD	: D/A Converter VDD (3.3V)
USB_RSDPH	: USB Host D+ RSDPH	DA_AGND	: D/A Converter GND
USB_RSDMH	: USB Host D- RSDMH	VOA	: D/A Converter Output A port
USB_PPON	: USB Host Port Power Control Output	VOB	: D/A Converter Output B port
USB_OCI	: USB Host Over Current Input		
USB_DPF	: USB Function D+ Signal	MCKO	: Message Clock Output
USB_DMF	: USB Function D- Signal	MDO0-MDO7	: Message Data Outputs
USB_RSDPF	: USB Function D+ RSDPH	MSEO0, MSEO1	: Message Start / End Outputs
USB_RSDMF	: USB Function D- RSDMH	DRSTZ	: Debug Reset
USB_RPU	: USB Function D+ Pull-up	DCK	: Debug Clock Input
USB_VBUS	: USB Function BUS Power	DMS	: Debug mode
USB_AVDD	: USB Analog VDD (3.3V)	DDI	: Debug Data Input
USB_AVSS	: USB Analog GND	DDO	: Debug Data Output
USB_PVSS	: USB PLL GND	DRDYZ	: DCU Debug Ready
USB_VD331	: USB I/O Power (3.3V)	EVTOZ	: Event Trigger Output
USB_VD332	: USB I/O Power (3.3V)	EVTIZ	: Event Trigger Input
USB_GND1	: USB I/O GND	DBINT	: Debug Interrupt Input
USB_GND2	: USB I/O GND		
USB_GND3	: USB I/O GND		
USB_COM	: USB Common GND		
USB_RREF	: USB Reference Current		
USB_PVDDFIL	: USB PLL Power Filter		
UCLKSEL0	: USB Clock Select 0		
UCLKSEL1	: USB Clock Select 1		

RESETZ	: System Reset Input	BUS32EN0	: External Bus Size Select
RESTOZ	: System Reset Output	BUS32EN1	: SiP Internal Bus Size Select
XT1, XT2	: Oscillator	CLKDV0-	: HCLK Divide Control
PLL_AVDD	: SSCG PLL Power Supply (1.0V)	CLKDV2	
PLL_AGND	: SSCG PLL Ground	BOOTSEL0,	: Boot Select
OSCTH	: OSC Through Clock	BOOTSEL1	
EVDD	: I/O Power Supply (3.3V)	USBEN	: USB Enable
IVDD	: Internal Power Supply (1.0V)	ETHEN	: Ether MAC Enable
EGND	: I/O Power Ground		
IGND	: Internal Power Ground		
PONR	: Power On Reset for Redundancy RAM		
JTAGSEL	: JTAG Interface Select		
TMODE0	: Test Mode Select		
TMODE1	: Test Mode Select		
TMODE2	: Test Mode Select		
TESTCLK	: Test Clock Input		
TMC1	: 1 Chip Test Mode Select		
TMC2	: 1 Chip Test Mode Select		

## 1.8 機能ブロック構成

### 1.8.1 PFESiP/V850EP3 内部ブロック図



## 第2章 端子機能

PFESiP/V850EP3の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

また SiP 化においては、利用しない信号を実際の端子に出さず、パッケージの全体のピン数を絞り込むことができます。詳しくは弊社にお問い合わせください。



## 2.1 端子機能一覧

### 2.1.1 ポート端子

すべて 3.3V インタフェースで、ポート L を除き、1 ビット単位で入力 / 出力の設定が可能なポートです。

SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗、またはプルダウン抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

表 2-1 ポート端子の最大仕様と最小仕様

ポート	兼用機能	最大仕様	最小仕様
P00-P07	外部割り込み (INTPZ0-INTPZ7)	P00-P07	削除不可
P10-P17	外部割り込み (INTPZ8-INTPZ15)	P10-P17	削除不可
P20-P27	SiP 内部接続外部割り込み (INTPZ16-INTPZ23) , ウォッチドッグ・タイマ出力 (WDTOUTZ)	P20-P27	削除不可
P30-P37	UART 入出力 (チャンネル 0, 1) クロック同期式シリアル・インタフェース (チャンネル 2, 3)	P30-P37	削除不可
P40-P47	UART 入出力 (チャンネル 2, 3) , CAN 入出力	P40-P47	削除可
P50-P57	16 ビット・タイマ / カウンタ AA (TAA) 入出力 (チャンネル 0-3) , 外部割り込み (INTPZ24-INTPZ31)	P50-P57	削除不可
P60-P67	アドレス・バス (A20-A26, A1)	P60-P67	削除不可
P70-P77	ウェイト入力 (WAITZ) , チップ・セレクト出力, 上位用バイト・レーン信号 (BENZ2, BENZ3) , IDLE モード状態出力 (IDLEOUTZ)	P70-P77	P70-P73
P80-P87	バス・ホールド機能入出力 (HLDRQZ, HLDKZ) , バス・リクエスト (BUSREQZ) , ウォッチドッグ・タイマ出力 (WDTOUTZ) , シリアル・フラッシュ ROM インタフェース	P80-P87	P80-P83
P90-P97	上位データ・バス (D16-D23) , TMT 入出力 (チャンネル 0) , 外部割り込み (INTPZ42-INTPZ45)	P90-P97	削除可
PA0-PA7	上位データ・バス (D24-D31) , TMT 入出力 (チャンネル 1) , 外部割り込み (INTPZ46-INTPZ49)	PA0-PA7	削除可
PB0-PB3	16 ビット・タイマ / カウンタ AA (TAA) 入出力 (チャンネル 4, 5) , 外部割り込み (INTPZ32-INTPZ35)	PB0-PB3	削除可
PC0-PC7	クロック同期式シリアル・インタフェース (チャンネル 0, 1) , 外部 A/D トリガ (ADTRG) , 外部割り込み (INTPZ40, INTPZ41)	PC0-PC7	PC0-PC5, PC7
PD0-PD5	システム・バス DMA 入出力 (チャンネル 0, 1) , クロック同期式シリアル・インタフェース (チャンネル 4, 5) , 外部割り込み (INTPZ36, INTPZ37)	PD0-PD5	削除不可
PE0-PE5	システム・バス DMA 入出力 (チャンネル 2, 3) , クロック同期式シリアル・インタフェース (チャンネル 6, 7) 外部割り込み (INTPZ38, INTPZ39)	PE0-PE5	削除可
PL0-PL18	Ether MAC インタフェース	PL0-PL18	削除可

( 1/4 )

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	リセット中
P00	入出力	ポート 0, 8 ビット入出力ポート 外部割り込み INTPZ0-INTPZ7 と兼用されています。 リセット解除後は入力ポートとして動作し、外部割り込み機能は動作しません。外部割り込みを選択した場合でも、入力ポートとして利用できます。	INTPZ0		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P01			INTPZ1		
P02			INTPZ2		
P03			INTPZ3		
P04			INTPZ4		
P05			INTPZ5		
P06			INTPZ6		
P07			INTPZ7		
P10	入出力	ポート 1, 8 ビット入出力ポート 外部割り込み INTPZ8-INTPZ15 と兼用されています。 リセット解除後は入力ポートとして動作し、外部割り込み機能は動作しません。外部割り込みを選択した場合でも、入力ポートとして利用できます。	INTPZ8		
P11			INTPZ9		
P12			INTPZ10		
P13			INTPZ11		
P14			INTPZ12		
P15			INTPZ13		
P16			INTPZ14		
P17			INTPZ15		
P20	入出力	ポート 2, 8 ビット入出力ポート SiP 内部接続を前提としたポート / 外部割り込み入力端子です。 外部割り込み INTPZ16-INTPZ23 と兼用されています。 リセット解除後は入力ポートとして動作し、外部割り込み機能は動作しません。外部割り込みを選択した場合でも、入力ポートとして利用できます。 また、P27 はウォッチドッグ・タイマ出力 (WDTOUTZ) として利用できます。この信号は P83 に兼用されている WDTOUTZ と同じです。 SiP 内部接続用を目的に設けられています。	INTPZ16		
P21			INTPZ17		
P22			INTPZ18		
P23			INTPZ19		
P24			INTPZ20		
P25			INTPZ21		
P26			INTPZ22		
P27			INTPZ23	WDTOUTZ	
P30	入出力	ポート 3, 8 ビット入出力ポート アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 の入出力端子、クロック同期式シリアル・インタフェースのチャンネル 2, 3 の入出力端子と兼用されています。 リセット解除後は入力ポートとして動作します。	TXD0	SCK2	
P31			RXD0	SO2	
P32			RTS0	SI2	
P33			CTS0		
P34			TXD1	SCK3	
P35			RXD1	SO3	
P36			RTS1	SI3	
P37			CTS1		

(2/4)

端子名称	入出力	機能	兼用機能 1	兼用機能 2	リセット中	
P40	入出力	ポート 4, 8 ビット入出力ポート アシンクロナス・シリアル・インタフェースのチャンネル 2, 3 の入出力端子と兼用されています。 また P44-P47 は CAN の入出力端子とも兼用しています。P45, P47 は CAN の入力端子との兼用のため 5V トレラント対応です。 リセット解除後は入力ポートとして動作します。	TXD2	/	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
P41			RXD2			
P42			RTS2			
P43			CTS2			
P44			TXD3			CTXD0
P45			RXD3			CRXD0
P46			RTS3			CTXD1
P47			CTS3			CRXD1
P50	入出力	ポート 5, 8 ビット入出力ポート P50-P57 は, 16 ビット・タイマ/カウンタ AA (TAA) のタイマ入出力端子と兼用されています。また, 外部割り込み INTPZ24-INTPZ31 と兼用されています。 リセット解除後は入力ポートとして動作します。	TIA00 / INTPZ24	TOA00	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
P51			TIA01 / INTPZ25	TOA01		
P52			TIA10 / INTPZ26	TOA10		
P53			TIA11 / INTPZ27	TOA11		
P54			TIA20 / INTPZ28	TOA20		
P55			TIA21 / INTPZ29	TOA21		
P56			TIA30 / INTPZ30	TOA30		
P57			TIA31 / INTPZ31	TOA31		
P60	入出力	ポート 6, 8 ビット入出力ポート 外部バスのアドレス端の A20-A26, A1 と兼用されています。 P60-P66/A20-A26 は, リセット解除後は入力ポートです。 P67/A1 は, BUS32EN0 端子の設定で選択されます。	A20	/	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル	
P61			A21			
P62			A22			
P63			A23			
P64			A24			
P65			A25			
P66			A26			
P67			A1			
P70	入出力	ポート 7, 8 ビット入出力ポート 外部バスのウェイト信号入力端子, チップ・セレクト出力 (STCSZ1-STCSZ3, DYCSZ), 上位バイト・レーン出力 (BENZ2, BENZ3) と兼用されています。 BUS32EN0 端子にハイ・レベルを入力し, 起動時に 32 ビット幅を選択した場合, P76/BENZ2, P77/BENZ3 端子はリセット解除後から BENZ2, BENZ3 出力が選択されます。 外部バスから起動する場合に, 最初に有効となる STCSZ0 端子は, ポートと兼用しない独立端子として設けられています。 P75 は, IDLE モード状態の出力 IDELOUTZ と兼用されています。	WAITZ	/	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
P71			STCSZ1			
P72			STCSZ2			
P73			STCSZ3			
P74			DYCSZ			
P75			IDLEOUTZ			
P76			BENZ2			
P77			BENZ3			
P80	入出力	ポート 8, 8 ビット入出力ポート P80-P82 は, 外部バスの制御信号入出力と兼用されています。 P83 は, ウォッチドッグ・タイマ出力と兼用されています。この信号は P27 に兼用されている WDTOUTZ と同じです。 P84-P87 は, シリアル・フラッシュ ROM メモリ・コントローラ入出力端子と兼用されています。シリアル・フラッシュ ROM ブートを選択していない場合は, リセット解除後は入力ポートとして動作します。シリアル・フラッシュ ROM ブートを選択している場合は, P84-P87 はリセット解除後から兼用機能が選択されます。	HLDQRZ	/	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
P81			HLDKAZ			
P82			BUSREQZ			
P83			WDTOUTZ			
P84			SMSCK			
P85			SMSO			
P86			SMSI			
P87			SMCSZ			

( 3/4 )

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	兼用機能 3	リセット中	
P90	入出力	ポート 9, ビット入出力ポート  外部バスに 32 ビット幅を選択した場合, D16-D23 のデータ・バスとして使用されます。  リセット解除後は, BUS32EN0 端子にハイ・レ ベルを入力し, 起動時に 32 ビット幅を選択した 場合のみ D16-D23 として機能します。それ以外で は, 入力ポートです。  また 16 ビット・タイマ/イベント・カウンタ T ( TMT ) のチャンネル 0 の入出力端子と外部割り込 み INTPZ42-INTPZ45 とも兼用しています。	D16	TENC00	/	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル	
P91			D17	TENC01			
P92			D18	TECR0 / INTPZ42			
P93			D19	TRGT0 / INTPZ43			
P94			D20	EVT0 / INTPZ44			
P95			D21	TIT00			TOT00
P96			D22	TIT01			TOT01
P97			D23	INTPZ45			
PA0	入出力	ポート A, 8 ビット入出力ポート  外部バスに 32 ビット幅を選択した場合, D24-D31 のデータ・バスとして使用されます。  リセット解除後は, BUS32EN0 端子にハイ・レ ベルを入力し, 起動時に 32 ビット幅を選択した 場合のみ D24-D31 として機能します。それ以外で は, 入力ポートです。  また 16 ビット・タイマ/イベント・カウンタ T ( TMT ) のチャンネル 1 の入出力端子と外部割り込 み INTPZ46-INTPZ49 とも兼用しています。	D24	TENC10	/	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル	
PA1			D25	TENC11			
PA2			D26	TECR1 / INTPZ46			
PA3			D27	TRGT1 / INTPZ47			
PA4			D28	EVT1 / INTPZ48			
PA5			D29	TIT10			TOT10
PA6			D30	TIT11			TOT11
PA7			D31	INTPZ49			
PB0	入出力	ポート B, 4 ビット入出力ポート  PB0-PB7 は, 16 ビット・タイマ/カウンタ AA ( TAA ) のタイマ出力, キャプチャ・トリガ入力 と兼用されています。また外部割り込み INTPZ32-INTPZ35 と兼用されています。  リセット解除後は入力ポートとして動作します。	TIA40 / INTPZ32	TOA40	/	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
PB1			TIA41 / INTPZ33	TOA41			
PB2			TIA50 / INTPZ34	TOA50			
PB3			TIA51 / INTPZ35	TOA51			
PC0	入出力	ポート C, 8 ビット入出力ポート  PC0-PC5 は, クロック同期式シリアル・インタ フェースの端子と兼用されています。PC7 は, 外 部 A/D トリガ入力と兼用されています。  また PC6-PC7 は外部割り込み INTPZ40, INTPZ41 と兼用されています。  リセット解除後は入力ポートとして動作します。	SCK0	/	/	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル	
PC1			SO0				
PC2			SI0				
PC3			SCK1				
PC4			SO1				
PC5			SI1				
PC6			INTPZ40				
PC7			ADTRG / INTPZ41				

(4/4)

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	リセット中
PD0	入出力	ポート D, 6 ビット入出力ポート PD0-PD5 は, システム・バスDMA コントローラの入出力端子, クロック同期式シリアル・インタフェースのチャンネル4, 5 の入出力端子と兼用されています。 また, PD0, PD3 は, 外部割り込み入力 INTPZ36, INTPZ37 と兼用されています。 リセット解除後は入力ポートとして動作します。	DMAREQZ0 / INTPZ36	SCK4	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PD1			DMAACKZ0	SO4	
PD2			DMATCZ0	SI4	
PD3			DMAREQZ1 / INTPZ37	SCK5	
PD4			DMAACKZ1	SO5	
PD5			DMATCZ1	SI5	
PE0	入出力	ポート E, 6 ビット入出力ポート PE0-PE5 は, システム・バスDMA コントローラの入出力端子, クロック同期式シリアル・インタフェースのチャンネル6, 7 の入出力端子と兼用されています。 また, PE0, PE3 は, 外部割り込み入力 INTPZ38, INTPZ39 と兼用されています。 リセット解除後は入力ポートとして動作します。	DMAREQZ2 / INTPZ38	SCK6	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PE1			DMAACKZ2	SO6	
PE2			DMATCZ2	SI6	
PE3			DMAREQZ3 / INTPZ39	SCK7	
PE4			DMAACKZ3	SO7	
PE5			DMATCZ3	SI7	
PL0	入出力	ポート L, 19 ビット入出力ポート PL0-PL18 は, Ether MAC の入出力端子と兼用されています。 ETHEN = 0 の場合は, リセット解除後は入力ポートとして機能します。 ETHEN = 1 の場合は, リセット解除後は Ether MAC 端子として機能します。	ETH_TXCLK		入力ポート 注
PL1			ETH_TXD0		
PL2			ETH_TXD1		
PL3			ETH_TXD2		
PL4			ETH_TXD3		
PL5			ETH_TXEN		
PL6			ETH_TXER		
PL7			ETH_COL		
PL8			ETH_CRS		
PL9			ETH_RXCLK		
PL10			ETH_RXD0		
PL11			ETH_RXD1		
PL12			ETH_RXD2		
PL13			ETH_RXD3		
PL14			ETH_RXDV		
PL15			ETH_RXER		
PL16			ETH_MDC		
PL17			ETH_MDIO		
PL18			ETH_REFCLK		

注 ETHEN = 0 の場合は, ポート・モードのため, 内蔵 Pull-up 抵抗によりハイ・レベルになります。  
ETHEN = 1 の場合は, 兼用機能が選択されるため, 端子によって状態が異なります。詳細は, 2.1.12 Ether MAC端子を参照してください。

### 2.1.2 16 ビット・タイマ/カウンタ AA (TAA) 入出力端子

16 ビット・タイマ/カウンタ AA (TAA) 入出力端子は、SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

入出力端子を使用しないインターバル・タイマなどの機能は、端子を削減しても利用できます。

表 2-2 16 ビット・タイマ/カウンタ AA (TAA) 入出力端子の最大仕様と最小仕様

ポート	兼用端子	最大仕様	最小仕様
P50	TAA チャンネル 0	TIA00 / TOA00	削除不可
P51		TIA01 / TOA01	
P52	TAA チャンネル 1	TIA10 / TOA10	
P53		TIA11 / TOA11	
P54	TAA チャンネル 2	TIA20 / TOA20	
P55		TIA21 / TOA21	
P56	TAA チャンネル 3	TIA30 / TOA30	
P57		TIA31 / TOA31	
PB0 <sup>注</sup>	TAA チャンネル 4	TIA40 / TOA40	削除可
PB1 <sup>注</sup>		TIA41 / TOA41	
PB2 <sup>注</sup>	TAA チャンネル 5	TIA50 / TOA50	
PB3 <sup>注</sup>		TIA51 / TOA51	

注 PB0-PB3 は削除可能ですが、外部割り込み入力端子とも兼用されています。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
TOA00	出力	TAA0 タイマ出力 0	P50	-	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
TOA01	出力	TAA0 タイマ出力 1	P51	-	
TOA10	出力	TAA1 タイマ出力 0	P52	-	
TOA11	出力	TAA1 タイマ出力 1	P53	-	
TOA20	出力	TAA2 タイマ出力 0	P54	-	
TOA21	出力	TAA2 タイマ出力 1	P55	-	
TOA30	出力	TAA3 タイマ出力 0	P56	-	
TOA31	出力	TAA3 タイマ出力 1	P57	-	
TOA40	出力	TAA4 タイマ出力 0	PB0	-	
TOA41	出力	TAA4 タイマ出力 1	PB1	-	
TOA50	出力	TAA5 タイマ出力 0	PB2	-	
TOA51	出力	TAA5 タイマ出力 1	PB3	-	
TIA00	入力	TAA0 キャプチャ・トリガ入力 0	P50	/	
TIA01	入力	TAA0 キャプチャ・トリガ入力 1	P51	/	
TIA10	入力	TAA1 キャプチャ・トリガ入力 0	P52	/	
TIA11	入力	TAA1 キャプチャ・トリガ入力 1	P53	/	
TIA20	入力	TAA2 キャプチャ・トリガ入力 0	P54	/	
TIA21	入力	TAA2 キャプチャ・トリガ入力 1	P55	/	
TIA30	入力	TAA3 キャプチャ・トリガ入力 0	P56	/	
TIA31	入力	TAA3 キャプチャ・トリガ入力 1	P57	/	
TIA40	入力	TAA4 キャプチャ・トリガ入力 0	PB0	/	
TIA41	入力	TAA4 キャプチャ・トリガ入力 1	PB1	/	
TIA50	入力	TAA5 キャプチャ・トリガ入力 0	PB2	/	
TIA51	入力	TAA5 キャプチャ・トリガ入力 1	PB3	/	

### 2.1.3 16 ビット・タイマ/イベント・カウンタ T (TMT) 入出力端子

外部 16 ビット・バスを利用している場合のみ TMT 入出力端子を利用できます。

TMT 入出力端子を利用しない場合は削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルダウン抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

入出力端子を使用しないインターバル・タイマなどの機能は、端子を削減しても利用できます。

**注意** PFESiP/V850EP3 で、外部バスに 32 ビット・バスを利用する場合は、TMT 入出力端子は利用できません。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
TENC00	入力	TMT0 エンコーダ・カウント入力 0	P90		Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
TENC01	入力	TMT0 エンコーダ・カウント入力 1	P91		
TENC10	入力	TMT1 エンコーダ・カウント入力 0	PA0		
TENC11	入力	TMT1 エンコーダ・カウント入力 1	PA1		
TECR0	入力	TMT0 エンコーダ・クリア入力	P92	/	
TECR1	入力	TMT1 エンコーダ・クリア入力	PA2	/	
TRGT0	入力	TMT0 外部トリガ入力	P93	/	
TRGT1	入力	TMT1 外部トリガ入力	PA3	/	
EVTT0	入力	TMT0 外部イベント入力	P94	/	
EVTT1	入力	TMT1 外部イベント入力	PA4	/	
TIT00/TOT00	入出力	TMT0 キャプチャ・トリガ入力 0 / 出力 0	P95	/	
TIT01/TOT01	入出力	TMT0 キャプチャ・トリガ入力 1 / 出力 1	P96	/	
TIT10/TOT10	入出力	TMT1 キャプチャ・トリガ入力 0 / 出力 0	PA5	/	
TIT11/TOT11	入出力	TMT1 キャプチャ・トリガ入力 1 / 出力 1	PA6	/	



### 2.1.4 シリアル・インタフェース入出力端子

シリアル・インタフェース入出力端子は、P40-P47 および PE0-PE5 に兼用している機能を利用しない場合は、SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。

表 2-3 シリアル・インタフェース入出力端子の最大仕様と最小仕様

ポート	兼用端子		最大仕様	最小仕様
P30	UART0, CSI32	TXD0/SCK2	P30/TXD0/SCK2	削除不可
P31		RXD0/SO2	P31/RXD0/SO2	
P32		RTS0/SI2	P32/RTS0/SI2	
P33		CTS0	P33/CTS0	
P34	UART1, CSI33	TXD1/SCK3	P34/TXD1/SCK3	
P35		RXD1/SO3	P35/RXD1/SO3	
P36		RTS1/SI3	P36/RTS1/SI3	
P37		CTS1	P37/CTS1	
P40	UART2	TXD2	P40/TXD2	削除可
P41		RXD2	P41/RXD2	
P42		RTS2	P42/RTS2	
P43		CTS2	P43/CTS2	
P44	UART3, CAN0	TXD3/CTXD0	P44/TXD3/CTXD0	
P45		RXD3/CRXD0	P45/RXD3/CRXD0	
P46	UART3, CAN1	RTS3/CTXD1	P46/RTS3/CTXD1	
P47		CTS3/CRXD1	P47/CTS3/CRXD1	
PC0	CSI30	SCK0	PC0/SCK0	削除不可
PC1		SO0	PC1/SO0	
PC2		SI0	PC2/SI0	
PC3	CSI31	SCK1	PC3/SCK1	
PC4		SO1	PC4/SO1	
PC5		SI1	PC5/SI1	
PD0	CSI34	SCK4	PD0/SCK4	削除不可
PD1		SO4	PD1/SO4	
PD2		SI4	PD2/SI4	
PD3	CSI35	SCK5	PD3/SCK5	
PD4		SO5	PD4/SO5	
PD5		SI5	PD5/SI5	
PE0 <sup>注</sup>	CSI36	SCK6	PE0/SCK6	削除可
PE1 <sup>注</sup>		SO6	PE1/SO6	
PE2 <sup>注</sup>		SI6	PE2/SI6	
PE3 <sup>注</sup>	CSI37	SCK7	PE3/SCK7	
PE4 <sup>注</sup>		SO7	PE4/SO7	
PE5 <sup>注</sup>		SI7	PE5/SI7	

注 PE0-PE5 は削除可能ですが、システム・バス DMAC 入出力（チャンネル 2, 3）とも兼用されています。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
TXD0	出力	UART0 のシリアル・データ出力	P30	□-	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
TXD1	出力	UART1 のシリアル・データ出力	P34	□-	
TXD2	出力	UART2 のシリアル・データ出力	P40	□-	
TXD3	出力	UART3 のシリアル・データ出力	P44	□-	
RXD0	入力	UART0 のシリアル・データ入力	P31	□-	
RXD1	入力	UART1 のシリアル・データ入力	P35	□-	
RXD2	入力	UART2 のシリアル・データ入力	P41	□-	
RXD3	入力	UART3 のシリアル・データ入力	P45	□-	
RTS0	出力	UART0 の送信データ要求信号出力	P32	□-	
RTS1	出力	UART1 の送信データ要求信号出力	P36	□-	
RTS2	出力	UART2 送信データ要求信号出力	P42	□-	
RTS3	出力	UART3 送信データ要求信号出力	P46	□-	
CTS0	入力	UART0 の相手側のデータ送信要求信号入力	P33	□-	
CTS1	入力	UART1 の相手側のデータ送信要求信号入力	P37	□-	
CTS2	入力	UART2 の相手側のデータ送信要求信号入力	P43	□-	
CTS3	入力	UART3 の相手側のデータ送信要求信号入力	P47	□-	
SCK0	入出力	CSI30 のクロック入出力	PC0	-	
SCK1	入出力	CSI31 のクロック入出力	PC3	-	
SCK2	入出力	CSI32 のクロック入出力	P30		
SCK3	入出力	CSI33 のクロック入出力	P34		
SCK4	入出力	CSI34 のクロック入出力	PD0		
SCK5	入出力	CSI35 のクロック入出力	PD3		
SCK6	入出力	CSI36 のクロック入出力	PE0		
SCK7	入出力	CSI37 のクロック入出力	PE3		
SI0	入力	CSI30 のシリアル・データ入力	PC2	-	
SI1	入力	CSI31 のシリアル・データ入力	PC5	-	
SI2	入力	CSI32 のシリアル・データ入力	P32	-	
SI3	入力	CSI33 のシリアル・データ入力	P36	-	
SI4	入力	CSI34 のシリアル・データ入力	PD2		
SI5	入力	CSI35 のシリアル・データ入力	PD5		
SI6	入力	CSI36 のシリアル・データ入力	PE2		
SI7	入力	CSI37 のシリアル・データ入力	PE5		
SO0	出力	CSI30 のシリアル・データ出力	PC1		
SO1	出力	CSI31 のシリアル・データ出力	PC4		
SO2	出力	CSI32 のシリアル・データ出力	P31		
SO3	出力	CSI33 のシリアル・データ出力	P35		
SO4	出力	CSI34 のシリアル・データ出力	PD1		
SO5	出力	CSI35 のシリアル・データ出力	PD4		
SO6	出力	CSI36 のシリアル・データ出力	PE1		
SO7	出力	CSI37 のシリアル・データ出力	PE4		
CTXD0	出力	CAN0 送信データ出力	P44	-	
CRXD0	入力	CAN0 受信データ入力 (5V トレラント対応)	P45	-	
CTXD1	出力	CAN1 送信データ出力	P46	-	
CRXD1	入力	CAN1 受信データ入力 (5V トレラント対応)	P47	-	

### 2.1.5 外部割り込み入力端子

NMI 端子を除いた外部割り込み入力は、すべてポートと兼用されています。兼用されているポートによっては、プルダウン抵抗により、リセット解除後から有効レベルが入力されます。エッジやレベル指定のインシャライズ後に、いったん外部割り込み入力の割り込み要求フラグをクリアして利用してください。

P20-P27 と兼用されている INTPZ17-INTPZ23 は、SiP 内部接続専用です。

SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗、またはプルダウン抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

表 2-4 外部割り込み入力端子の最大仕様と最小仕様

ポート	兼用端子	最大仕様	最小仕様
P00-P07	INTPZ0-INTPZ7	P00-P07 / INTPZ0-INTPZ7	削除不可
P10-P17	INTPZ8-INTPZ15	P10-P17 / INTPZ8-INTPZ15	削除不可
P20-P27	INTPZ16-INTPZ23	P20-P27 / INTPZ16-INTPZ23	削除不可
P50-P57	INTPZ24-INTPZ31	P50-P57 / INTPZ24-INTPZ31	削除不可
P92-P94 注	INTPZ42-INTPZ44	P92-P94 / INTPZ42-INTPZ44	削除可
P97 注	INTPZ45	P97 / INTPZ45	削除可
PA2-PA4 注	INTPZ46-INTPZ48	PA2-PA4 / INTPZ46-INTPZ48	削除可
PA7 注	INTPZ49	PA7 / INTPZ49	削除可
PB0-PB3 注	INTPZ32-INTPZ35	PB0-PB3 / INTPZ32-INTPZ35	削除可
PC6	INTPZ40	PC6 / INTPZ40	削除可
PC7	INTPZ41	PC7 / INTPZ41	削除不可
PD0	INTPZ36	PD0 / INTPZ36	削除不可
PD3	INTPZ37	PD3 / INTPZ37	削除不可
PE0 注	INTPZ38	PE0 / INTPZ38	削除可
PE3 注	INTPZ39	PE3 / INTPZ39	削除可

注 これらの端子は削除可能ですが、外部割り込み入力信号以外にも兼用されています。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
NMI	入力	FE レベル・マスカブル外部割り込み入力	-	立ち上がり / 立ち下がり / 両エッジ / ロー・アク ティブのレベ ル	内蔵 Pull-up 抵抗により ハイ・レベル
INTPZ0-INTPZ7		EI レベル・マスカブル外部割り込み入力	P00-P07		
INTPZ8-INTPZ15			P10-P17		
INTPZ16-INTPZ23		EI レベル・マスカブル外部割り込み入力 ( SiP 内部接続用優先 )	P20-P27		
INTPZ24-INTPZ31		EI レベル・マスカブル外部割り込み入力	P50-P57		
INTPZ32-INTPZ35			PB0-PB3		
INTPZ36			PD0		
INTPZ37			PD3		
INTPZ38			PE0		
INTPZ39			PE3		
INTPZ40			PC6		
INTPZ41			PC7		
INTPZ42-INTPZ44			P92-P94		
INTPZ45			P97		
INTPZ46-INTPZ48		PA2-PA4	内蔵 Pull-down 抵抗により ロー・レベル		
INTPZ49		PA7			

### 2.1.6 DMA 入出力端子

すべてポートと兼用されています。

SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

表 2-5 DMA 端子の最大仕様と最小仕様

ポート	兼用端子	最大仕様	最小仕様
PD0	DMAREQZ0	PD0 / DMAREQZ0	削除不可
PD1	DMAACKZ0	PD1 / DMAACKZ0	削除不可
PD2	DMATCZ0	PD2 / DMATCZ0	削除不可
PD3	DMAREQZ1	PD3 / DMAREQZ1	削除不可
PD4	DMAACKZ1	PD4 / DMAACKZ1	削除不可
PD5	DMATCZ1	PD5 / DMATCZ1	削除不可
PE0 注	DMAREQZ2	PE0 / DMAREQZ2	削除可
PE1 注	DMAACKZ2	PE1 / DMAACKZ2	削除可
PE2 注	DMATCZ2	PE2 / DMATCZ2	削除可
PE3 注	DMAREQZ3	PE3 / DMAREQZ3	削除可
PE4 注	DMAACKZ3	PE4 / DMAACKZ3	削除可
PE5 注	DMATCZ3	PE5 / DMATCZ3	削除可

注 PE0-PE5 は削除可能ですが、クロック同期式シリアル・インタフェース入出力（チャンネル 6, 7）とも兼用されています。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
DMAREQZ0	入力	DMA 転送要求入力 0	PD0	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
DMAREQZ1		DMA 転送要求入力 1	PD3		
DMAREQZ2		DMA 転送要求入力 2	PE0		
DMAREQZ3		DMA 転送要求入力 3	PE3		
DMAACKZ0	出力	DMA アクノリッジ出力 0	PD1	ロー	
DMAACKZ1		DMA アクノリッジ出力 1	PD4		
DMAACKZ2		DMA アクノリッジ出力 2	PE1		
DMAACKZ3		DMA アクノリッジ出力 3	PE4		
DMATCZ0	出力	ターミナル・カウント（DMA 転送完了パルス）出力 0	PD2	ロー	
DMATCZ1		ターミナル・カウント（DMA 転送完了パルス）出力 1	PD5		
DMATCZ2		ターミナル・カウント（DMA 転送完了パルス）出力 2	PE2		
DMATCZ3		ターミナル・カウント（DMA 転送完了パルス）出力 3	PE5		

### 2.1.7 SiP 内部接続用 DMA 入出力端子

SiP 内部接続用 DMA 入出力端子は、端子を削除できません。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
SDMAREQZ0	入力	SiP 内専用 DMA 転送要求入力 0	-	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SDMAREQZ1		SiP 内専用 DMA 転送要求入力 1	-		
SDMAACKZ0	出力	SiP 内専用 DMA アクノリッジ出力 0	-	ロー	ハイ
SDMAACKZ1		SiP 内専用 DMA アクノリッジ出力 1	-		
SDMATCZ0	出力	SiP 内専用ターミナル・カウント (DMA 転送完了) 出力 0	-	ロー	ハイ
SDMATCZ1		SiP 内専用ターミナル・カウント (DMA 転送完了) 出力 1	-		

### 2.1.8 外部メモリ・インタフェース端子

ポートと兼用されている端子と独立端子があります。

SDRAM 利用の有無，バス・サイズにより，SiP 化の際に不要な端子は，最小仕様にまで削減できます。

削減した端子は，兼用機能とともに利用できなくなります。これらの端子は，プルアップ抵抗 / プルダウン抵抗を内蔵した端子，または出力専用端子で，SiP 内部でオープン処理されます。

表 2-6 外部メモリ・インタフェース端子の最大仕様と最小仕様

端子	最大仕様	最小仕様
STCSZ0	STCSZ0	削除不可
STCSZ1-STCSZ3/P71-P73	STCSZ1-STCSZ3 / P71-P73	削除不可
DYCSZ/P74	DYCSZ / P74	削除可
A1/P67	A1 / P67	削除不可
A2-A19	A2-A19	削除不可
A20-A26/P60-P66	A20-A26 / P60-P66	削除不可
D0-D15	D0-D15	削除不可
D16-D23/P90-P97	D16-D23 / P90-P97	削除可
D24-D31/PA0-PA7	D24-D31 / PA0-PA7	削除可
RDZ	RDZ	削除不可
WRZ0, WRZ1 / BENZ0, BENZ1	WRZ0, WRZ1 / BENZ0, BENZ1	削除不可
WRZ2, WRZ3 / BENZ2, BENZ3 / P76, P77	WRZ2, WRZ3 / BENZ2, BENZ3 / P76, P77	削除可
DQM0	DQM0	削除可
DQM1	DQM1	削除可
DQM2	DQM2	削除可
DQM3	DQM3	削除可
SDWEZ	SDWEZ	削除可
SDCASZ	SDCASZ	削除可
SDRASZ	SDRASZ	削除可
SDCKE	SDCKE	削除可
WRSTBZ	WRSTBZ	削除不可
WAITZ / P70	WAITZ / P70	削除不可
HLDQRZ / P80	HLDQRZ / P80	削除不可
HLDKZ / P81	HLDKZ / P81	削除不可
BCYSTZ	BCYSTZ	削除不可
BUSCLK	BUSCLK	削除不可
BUSREQZ / P82	BUSREQZ / P82	削除不可

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中 <sup>注1</sup>
STCSZ0	出力	スタティック・メモリ用チップ・セレクト出力	-	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
STCSZ1-STCSZ3	出力		P71-P73		
DYCSZ	出力		P74		
A1	出力	ROM / SRAM / SDRAM 用アドレス出力	P67	ハイ	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
A2-A19	出力		-		
A20-A26	出力		P60-P66		
D0-D15	入出力	ROM / SRAM / SDRAM 用データ・バス	-	ハイ	Hi-Z 内蔵 Pull-up 抵抗により ロー・レベル
D16-D23	入出力		P90-P97		
D24-D31	入出力		PA0-PA7		
RDZ	出力	ROM / SRAM 用リード・ストロブ信号	-	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
WRZ0, WRZ1 <sup>注2</sup>	出力	ROM / SRAM 用ライト・ストロブ信号	-	ロー	
WRZ2, WRZ3 <sup>注2</sup>	出力		P76, P77		
DQM0	出力	SDRAM 用ビット 7-0 DQ マスク	-	ハイ	
DQM1	出力	SDRAM 用ビット 15-8 DQ マスク	-		
DQM2	出力	SDRAM 用ビット 23-16 DQ マスク	-		
DQM3	出力	SDRAM 用ビット 31-24 DQ マスク	-		
SDWEZ	出力	SDRAM 用ライト・ストロブ信号	-	ロー	
SDCASZ	出力	SDRAM 用カラム・アドレス選択信号	-	ロー	
SDRASZ	出力	SDRAM 用ロウ・アドレス選択信号	-	ロー	
SDCKE	出力	SDRAM 用クロック許可出力	-	ハイ	
WRSTBZ	出力	ROM / SRAM 用ライト・ストロブ出力 (WRZ0-WRZ3 の負論理 OR)	-	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
WAITZ	入力	ROM / SRAM 用ウエイト信号入力	P70		
HLDQRZ	入力	外部バス・ホールド要求入力	P80		
HLDKAZ	出力	外部バス・ホールド要求アクノリッジ出力	P81		
BENZ0, BENZ1 <sup>注2</sup>	出力	ROM / SRAM 用バイト・イネーブル出力信号	-	ロー	
BENZ2, BENZ3 <sup>注2</sup>	出力		P76, P77		
BCYSTZ	出力	バス・サイクル・スタート・ステータス出力	-	ロー	
BUSCLK	出力	バス・クロック (SDRAM 用クロック) 出力	-	-	ロー
BUSREQZ	出力	リフレッシュ・ステータス出力 メモリ・バスに接続された外部バス・マスタに対する、バス開放要求出力信号です。	P82	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル

注1. リセット中の状態です。リセット解除後の動作を示しているものではありません。

2. WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット解除後は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ(WREN)の WREN ビットで切り替えられます。

WRZ2/BENZ2, WRZ3/BENZ3 端子は、BUS32EN0 端子にハイ・レベルが入力されている場合は、リセット解除後から BENZ2, BENZ3 端子として機能します。



### 2.1.9 SiP 内部接続用バス・インタフェース端子

SiP 内部接続用バス・インタフェース端子は、いずれの製品の場合でも端子を削除できません。

端子名称	入出力	機能	アクティブ	リセット中 <sup>注1</sup>
SCSZ0-SCSZ3	出力	SiP 内専用メモリ・コントローラ・チップ・セレクト出力	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SA1-SA24	出力	SiP 内専用アドレス出力	ハイ	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
SD0-SD15	入出力	SiP 内専用データ・バス（下位 16 ビット）	ハイ	
SD16-SD31	入出力	SiP 内専用データ・バス（上位 16 ビット）	ハイ	
SRDZ	出力	SiP 内専用リード・ストロブ信号	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SWRZ0, SWRZ1 <sup>注2</sup>	出力	SiP 内専用ライト・ストロブ信号	ロー	
SWRZ2, SWRZ3 <sup>注2</sup>	出力		ロー	
SWRSTBZ	出力	SiP 内専用ライト・ストロブ出力 （SWRZ0-SWRZ3 の負論理 OR）	ロー	
SWAITZ	入力	SiP 内専用ウエイト信号入力	ロー	
SHLDRQZ	入力	SiP 内専用外部バス・ホールド要求入力	ロー	
SHLDAKZ	出力	SiP 内専用外部バス・ホールド要求アクノリッジ出力	ロー	ハイ
SBENZ0, SBENZ1 <sup>注2</sup>	出力	SiP 内専用バイト・イネーブル出力信号	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SBENZ2, SBENZ3 <sup>注2</sup>	出力		ロー	
SBCYSTZ	出力	SiP 内専用バス・サイクル・スタート・ステータス出力	ロー	
SBUSCLK	出力	SiP 内専用バス・クロック出力	-	ロー
SRESTOZ	出力	SiP 内部接続用バス・リセット出力	ロー	ロー

注 1. リセット解除後の動作を示しているものではありません。

2. SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット解除後は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）の SWREN ビットで切り替えられます。

### 2.1.10 シリアル・フラッシュ ROM インタフェース端子

すべてポートと兼用されています。

シリアル・フラッシュ ROM インタフェース端子を利用しない場合は削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
SMSCK	出力	シリアル・フラッシュ ROM に対するクロック出力	P84	-	内蔵 Pull-up 抵抗により ハイ・レベル
SMSO	入出力	シリアル・フラッシュ ROM へのデータ出力	P85	-	
SMSI	入出力	シリアル・フラッシュ ROM からのデータ入力	P86	-	
SMCSZ	出力	シリアル・フラッシュ ROM に対するチップ・セレクト出力	P87	ロー	

## 2.1.11 USB 端子

USB 機能を利用しない場合は、SiP 内部での端子処理ができます。

端子名称	入出力	機能	アクティブ	リセット中
USB_UCLK	入力	USB クロック (30MHz / 48MHz) 入力	-	-
USB_PCLK	入力	USB ホスト PCI ブリッジ・クロック入力	-	-
USB_DPH	入出力	USB ホスト・データ入出力 (+)	-	-
USB_DMH	入出力	USB ホスト・データ入出力 (-)	-	-
USB_RSDPH	入出力	USB ホスト・データ入出力 (+) 終端抵抗外付け端子 外部 Rs 抵抗 (39 ±1%) を介して USB_DPH と接続	-	-
USB_RSDMH	入出力	USB ホスト・データ入出力 (-) 終端抵抗外付け端子 外部 Rs 抵抗 (39 ±1%) を介して USB_DMH と接続	-	-
USB_PPON	出力	USB ホスト電源制御出力	ハイ	ロー
USB_OCI	入力	USB ホスト過電流検出入力	ロー	-
USB_DPF	入出力	USB ファンクション・データ入出力 (+)	-	-
USB_DMF	入出力	USB ファンクション・データ入出力 (-)	-	-
USB_RSDPF	入出力	USB ファンクション・データ入出力 (+) 終端抵抗外付け端子 外部 Rs 抵抗 (39 ±1%) を介して USB_DPF と接続	-	Hi-Z
USB_RSDFM	入出力	USB ファンクション・データ入出力 (-) 終端抵抗外付け端子 外部 Rs 抵抗 (39 ±1%) を介して USB_DMF と接続	-	Hi-Z
USB_RPU	出力	USB ファンクション・プルアップ抵抗外付け端子 外部抵抗 (1.5K ±1%) を介して、USB_DPF と接続	ハイ	Hi-Z
USB_VBUS	入力	USB ファンクション・バス・パワー検出入力	ハイ	-
USB_AVDD	-	USB 内部レギュレータ電源端子 (3.3V)	-	-
USB_AVSS	-	USB 内部レギュレータ GND 端子	-	-
USB_PVSS	-	USB 内部 PLL GND 端子	-	-
USB_VD331	-	USB I/O 電源端子 (3.3V)	-	-
USB_VD332	-			
USB_GND1	-	USB I/O GND 端子	-	-
USB_GND2	-			
USB_GND3	-			
USB_COM	-	USB 共通 GND 端子 (ボード上で USB_AVSS と接続)	-	-
USB_RREF	入力	基準電流生成端子 外部抵抗 (1.6 K ±1%) を介して USB_AVSS と接続	-	-
USB_PVDDFIL	出力	PLL 電源フィルタ (USB_PVSS と 1000pF で容量接続)		
UCLKSEL0	入力	USB クロック選択入力	-	-
UCLKSEL1	入力		-	-

USB コントローラは、ホスト・コントローラとファンクション・コントローラの統合コアです。一部またはすべての機能を利用しない場合には、下記のように未使用端子を処理してください。

端子名称	入出力	ファンクション・コントローラのみ使用する場合	ホスト・コントローラのみ使用する場合	双方とも使用しない場合		
USB_UCLK	入力	クロック入力	クロック入力	オープン		
USB_PCLK	入力	オープン	PCLK 利用時はクロック入力			
USB_DPH	入出力	10K の抵抗を介して EGND に接続 <sup>注</sup>		10K の抵抗を介して EGND に接続 <sup>注</sup>		
USB_DMH	入出力					
USB_RSDPH	入出力	オープン		オープン		
USB_RSDMH	入出力					
USB_PPON	出力	オープン		オープン		
USB_OCI	入力	10K の抵抗を介して USB 用 VDD に接続 <sup>注</sup>		10K の抵抗を介して EVDD に接続 <sup>注</sup>		
USB_DPF	入出力		10K の抵抗を介して EGND に接続 <sup>注</sup>	10K の抵抗を介して EGND に接続 <sup>注</sup>		
USB_DMF	入出力					
USB_RSDFP	入出力		オープン	オープン		
USB_RSDFM	入出力					
USB_RPU	出力					
USB_VBUS	入力		10K の抵抗を介して USB 用 GND に接続 <sup>注</sup>	10K の抵抗を介して EGND に接続 <sup>注</sup>		
USB_AVDD	-			EVDD に接続		
USB_AVSS	-			EGND に接続		
USB_PVSS	-					
USB_VD331	-			EVDD に接続		
USB_VD332	-					
USB_GND1	-			EGND に接続		
USB_GND2	-					
USB_GND3	-					
USB_COM	-					
USB_RREF	入力			オープン		
USB_PVDDFIL	出力					
UCLKSEL0	入力			EVDD または EGND に接続して 動作モードを設定	EVDD または EGND に接続して 動作モードを設定	EVDD または EGND に接続して 動作モードを設定
UCLKSEL1	入力					

注 ファンクション・コントローラ、ホスト・コントローラ的一方または双方を固定的に利用しない場合は、SiP 内部で未使用端子処理することが可能です。この場合は、抵抗は接続されません。

### 2.1.12 Ether MAC 端子

Ether MAC 機能を利用しない場合は、Ether MAC 端子を削減できます。この際、PL0-PL18 も削除されま  
す。

ETHEN 端子にハイ・レベルを入力し、Ether MAC 機能を有効にした場合のみ利用できます。この場合は、  
プルアップ抵抗は内蔵されません。

ETHEN 端子にロー・レベルを入力し、Ether MAC 機能を無効にした場合は、入力ポート状態となり、プ  
ルアップ抵抗が接続され、SiP 内部でオープン処理できます。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
ETH_TXCLK	入力	送信クロック入力	PL0		Hi-Z
ETH_TXD0-ETH_TXD3	出力	送信データ 0-3	PL1-PL4	-	ロー
ETH_TXEN	出力	送信データ・イネーブル出力	PL5	ハイ	ロー
ETH_TXER	出力	送信エラー出力	PL6	ハイ	ロー
ETH_COL	入力	衝突検出入力	PL7	ハイ	Hi-Z
ETH_CRS	入力	キャリア検出入力	PL8	ハイ	Hi-Z
ETH_RXCLK	入力	受信クロック入力	PL9		Hi-Z
ETH_RXD0-ETH_RXD3	入力	受信データ 0-3	PL10-PL13	-	Hi-Z
ETH_RXDV	入力	受信データ VALID	PL14	-	Hi-Z
ETH_RXER	入力	受信データ・エラー	PL15	ハイ	Hi-Z
ETH_MDC	出力	シリアル転送クロック	PL16		ロー
ETH_MDIO	入出力	シリアル入出力	PL17	-	Hi-Z
ETH_REFCLK	入力	RMII インタフェース用リファレンス・クロック入力	PL18	-	Hi-Z

### 2.1.13 A/D コンバータ用端子

A/D コンバータを利用しない場合は、SiP 化の際に A/D コンバータ端子は未使用処理できます。未使用時は、SiP 内部でアナログ入力端子(AIN0-AIN7)、AVREFM、AD\_AGND は GND に接続、AVREFP、AD\_AVDD は EVDD に接続されます。

表 2-7 A/D コンバータ用端子の最大仕様と最小仕様

端子	兼用端子	最大仕様	最小仕様
AD_AVDD	-	AD_AVDD	削除可
AVREFP	-	AVREFP	削除可
AIN0-AIN7	-	AIN0-AIN7	削除可
AVREFM	-	AVREFM	削除可
AD_AGND	-	AD_AGND	削除可
ADTRG	PC7	ADTRG	削除不可

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
AD_AVDD	-	A/D コンバータのアナログ電源。3.3V に接続	-	-	-
AVREFP	-	A/D コンバータの基準電圧入力 (+)	-	-	-
AIN0-AIN7	入力	A/D コンバータのアナログ入力	-	-	-
AVREFM	-	A/D コンバータの基準電圧入力 (-)	-	-	-
AD_AGND	-	A/D コンバータのアナログ電源。GND に接続	-	-	-
ADTRG	入力	A/D コンバータの外部変換トリガ入力	PC7	/	-

### 2.1.14 D/A コンバータ用端子

**注意** PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

D/A コンバータを利用しない場合は、SiP 化の際に D/A コンバータ端子は未使用処理できます。未使用時は、SiP 内部でアナログ出力端子はオープン、DA\_AGND は GND に接続、DA\_AVDD は EVDD に接続されます。

表 2-8 D/A コンバータ用端子の最大仕様と最小仕様

端子	最大仕様	最小仕様
DA_AVDD	DA_AVDD	削除可
VOA	VOA	削除可
VOB	VOB	削除可
DA_AGND	DA_AGND	削除可

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
DA_AVDD	-	D/A コンバータのアナログ電源。3.3V に接続	-	-	-
VOA	出力	D/A コンバータのアナログ出力 0	-	-	-
VOB	出力	D/A コンバータのアナログ出力 1	-	-	-
DA_AGND	-	D/A コンバータのアナログ電源。GND に接続	-	-	-

### 2.1.15 Nexus インタフェース端子

Nexus インタフェース端子は、端子を削除できません。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
MCKO	出力	メッセージ・クロック出力	-	/	ロー
MDO0-MDO7	出力	メッセージ・データ出力	-	-	ロー
MSEO0, MSEO1	出力	メッセージ・スタート/エンド出力	-	ロー	ハイ
DRSTZ	入力	リセット信号	-	ロー	-
DCK	入力	クロック信号 (JTAG クロック)	-	-	-
DMS	入力	モード・セレクト信号	-	-	-
DDI	入力	シリアル・データ入力	-	-	-
DDO	出力	シリアル・データ出力	-	-	-
DRDYZ	出力	レディ応答 IR/DR 転送に伴うアクセスの完了通知	-	ロー	ハイ
EVTOZ	出力	イベント・トリガ出力	-	ロー	ハイ
EVTIZ/DBINT	入力	外部イベント入力/デバッグ割り込み入力	-	ロー	-

### 2.1.16 システム端子

システム端子は、端子を削除できません。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
RESETZ	入力	システム・リセット入力	-	ロー	入力
RESTOZ	出力	バス・リセット出力	-	ロー	ロー
XT1	入力	システム・クロック発振用クリスタル接続端子 発振器出力を直接接続する場合は XT2 に入力 <sup>※</sup>	-	-	-
XT2	-			-	-
OSCTH	入力	外部クロック入力モード時にハイ・レベル入力 <sup>※</sup>	-	-	-
PONR	入力	内蔵リダグダンシ RAM 用パワーオン・リセット入力	-	ロー	入力
PLL_AVDD	-	SSCG PLL 用電源 (1.0V)	-	-	-
PLL_AGND	-	SSCG PLL 用グランド電位 (GND)	-	-	-
IDLEOUTZ	出力	IDLE モード状態出力	P75	ロー	入力
WDTOUZ	出力	ウォッチドッグ・タイマ出力	P27, P83	ロー	入力
EVDD	-	I/O 電源 (3.3V)	-	-	-
IVDD	-	内部電源 (1.0V)	-	-	-
EGND	-	I/O 電源用グランド電位 (GND)	-	-	-
IGND	-	内部電源用グランド電位 (GND)	-	-	-

注 発振器出力を直接接続する場合 (外部クロック入力モード時) は XT2 に入力し, XT1 を EGND に接続, OSCTH を EVDD に接続してください。

クリスタルを接続する場合は XT1, XT2 に接続し, OSCTH を EGND に接続してください。

### 2.1.17 テスト端子

テスト端子は、PMODE 以外の端子は削除できません。通常動作時は、これらの端子はすべて EGND に接続してください。

端子名称	入出力	機能	アクティブ	リセット中
TMODE0	入力	テスト・モードの選択入力	ハイ	入力
TMODE1	入力		ハイ	入力
TMODE2	入力		ハイ	入力
TESTCLK	入力	テスト・クロック入力	-	入力
TMC1	入力	ノーマル・モード/LFT テスト・モード/HFT テスト・モード/ $I_{DD}$ テスト・モードの選択端子	ハイ	入力
TMC2	入力		ハイ	入力
PMODE	入力	テスト時の動作モード設定入力	ハイ	入力



## 2.1.18 動作モード設定端子

動作モードに合わせて、各端子を EVDD または EGND に接続してください。

**注意 1.** 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

**2.** PLL の M, N, P 値の設定は、内部レジスタ設定で行います。

端子名称	入出力	機能	バッファ・タイプ																																					
BUS32EN0	入力	外部メモリ・インタフェースの起動時のバス幅選択 0 : 16 ビット 1 : 32 ビット	Normal Input																																					
BUS32EN1	入力	SiP 内部インタフェースの起動時のバス幅選択 0 : 16 ビット 1 : 32 ビット																																						
CLKDV0-CLKDV2	入力	CPU と内部システム・バスのクロック分周比設定 <table border="1" data-bbox="491 790 1233 1196"> <thead> <tr> <th>CLKDV2</th> <th>CLKDV1</th> <th>CLKDV0</th> <th>システム・バス・クロック (HCLK)</th> <th>周辺マクロ・クロック (PCLK)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td rowspan="2">CPCLK/2</td> <td>CPCLK/2 (HCLK/1)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>CPCLK/4 (HCLK/2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td rowspan="2">CPCLK/3</td> <td>CPCLK/3 (HCLK/1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>CPCLK/6 (HCLK/2)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td rowspan="2">CPCLK/4</td> <td>CPCLK/4 (HCLK/1)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>CPCLK/8 (HCLK/2)</td> </tr> <tr> <td>1</td> <td>1</td> <td>任意</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table> 備考 1. CPCLK : CPU 動作クロック 2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。		CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)	0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)	0	0	1	CPCLK/4 (HCLK/2)	0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)	0	1	1	CPCLK/6 (HCLK/2)	1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)	1	0	1	CPCLK/8 (HCLK/2)	1	1	任意	設定禁止	
CLKDV2	CLKDV1	CLKDV0		システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)																																			
0	0	0		CPCLK/2	CPCLK/2 (HCLK/1)																																			
0	0	1			CPCLK/4 (HCLK/2)																																			
0	1	0		CPCLK/3	CPCLK/3 (HCLK/1)																																			
0	1	1	CPCLK/6 (HCLK/2)																																					
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)																																				
1	0	1		CPCLK/8 (HCLK/2)																																				
1	1	任意	設定禁止																																					
BOOTSEL0, BOOTSEL1	入力	ブート・モード選択 <table border="1" data-bbox="491 1426 1233 1655"> <thead> <tr> <th>BOOTSEL1</th> <th>BOOTSEL0</th> <th>ブート・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>STCSZ0 領域 (外部メモリ・インタフェースより)</td> </tr> <tr> <td>0</td> <td>1</td> <td>SCSZ0 領域 (SiP 内部より)</td> </tr> <tr> <td>1</td> <td>0</td> <td>シリアル・フラッシュ ROM</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	BOOTSEL1	BOOTSEL0	ブート・モード	0	0	STCSZ0 領域 (外部メモリ・インタフェースより)	0	1	SCSZ0 領域 (SiP 内部より)	1	0	シリアル・フラッシュ ROM	1	1	設定禁止																							
BOOTSEL1	BOOTSEL0	ブート・モード																																						
0	0	STCSZ0 領域 (外部メモリ・インタフェースより)																																						
0	1	SCSZ0 領域 (SiP 内部より)																																						
1	0	シリアル・フラッシュ ROM																																						
1	1	設定禁止																																						
USBEN	入力	USB 動作許可 / 禁止設定 0 : USB 動作停止 1 : USB 動作許可																																						
ETHEN	入力	Ether MAC 動作許可 / 禁止設定 (兼用のポート機能は制御されません) 0 : Ether MAC 動作停止 1 : Ether MAC 動作許可																																						
JTAGSEL	入力	JTAG 端子の動作モード設定 0 : 通常動作時, デバッガ・インタフェース・モード 1 : ボード・テスト・モード	Pull-down																																					

## 2.2 端子状態

### 2.2.1 外部メモリ・インタフェース，内蔵周辺機能端子

端子 \ モード	リセット中	IDLE モード	HALT モード / DMA 転送中 / リフレッシュ	バス・ホールド <sup>注1</sup>
A1 ( P67 )	Hi-Z ( Pull-down )	保持	動作	Hi-Z ( Pull-down )
A2-A19	Hi-Z ( Pull-down )	保持	動作	Hi-Z ( Pull-down )
A20-A26 ( P60-P66 )	Hi-Z ( Pull-down )	保持	動作	Hi-Z ( Pull-down )
D0-D15	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	動作	Hi-Z ( Pull-down )
D16-D23 ( P90-P97 )	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	動作	Hi-Z ( Pull-down )
D24-D31 ( PA0-PA7 )	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	動作	Hi-Z ( Pull-down )
STCSZ0	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
STCSZ1-STCSZ3 ( P71-P73 )	x	H	動作	Hi-Z ( Pull-up )
DYCSZ ( P74 )	Hi-Z ( Pull-up )	H <sup>注1</sup>	動作	Hi-Z ( Pull-up )
WRZ0, WRZ1 ( BENZ0, BENZ1 )	x	H	動作	Hi-Z ( Pull-up )
WRZ2, WRZ3 ( P75, P76 )	x	H <sup>注1</sup>	動作	Hi-Z ( Pull-up )
BENZ0, BENZ1 ( WRZ0, WRZ1 )	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
BENZ2, BENZ3 ( P75, P76 )	Hi-Z ( Pull-up )	H <sup>注1</sup>	動作	Hi-Z ( Pull-up )
DQM0-DQM3	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
RDZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
WRSTBZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SDWEZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
BCYSTZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
WAITZ ( P70 )	x	-	動作	入力 ( Pull-up )
HLDKZ ( P81 )	x	H	動作	L
HLDRQZ ( P80 )	x	-	動作	動作
BUSREQZ ( P82 )	x	H	動作	動作
SDCKE	Hi-Z ( Pull-up )	L	動作	Hi-Z ( Pull-up )
BUSCLK	L	L or H で停止	動作	動作
SDCASZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SDRASZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
IDLEOUTZ	H	L	H	H
上記以外の周辺機能入力端子	Hi-Z <sup>注2,3</sup>	-	動作	動作
上記以外の周辺機能出力端子	端子機能に依存	保持	動作	動作
上記以外のポート入力端子	Hi-Z <sup>注2,3</sup>	-	-	動作
上記以外のポート出力端子	x	保持	保持	動作

注1. ポート・モードに指定した端子は，直前の状態を保持します。

2. 端子に接続されているプルアップ抵抗，プルダウン抵抗に依存します。

3. Ether MAC端子は，ETHENによって動作が異なります。詳細は，2.1.12 Ether MAC端子を参照してください。

備考 備考の説明は次ページに記載しています。

## 2.2.2 SiP 内部接続用外部メモリ・インタフェース , DMA 端子

端子 \ モード	リセット中	IDLE モード	HALT モード / DMA 転送中	バス・ホールド
SA1-SA24	Hi-Z ( Pull-down )	保持	動作	Hi-Z ( Pull-down )
SD0-SD31	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	動作	Hi-Z ( Pull-down )
SCSZ0-SCSZ3	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SWRZ0-SWRZ3 ( SBENZ0-SBENZ3 )	x	H	動作	Hi-Z ( Pull-up )
SBENZ0-SBENZ3 ( SWRZ0-SWRZ3 )	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SRDZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SWRSTBZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SBCYSTZ	Hi-Z ( Pull-up )	H	動作	Hi-Z ( Pull-up )
SWAITZ	入力 ( Pull-up )	入力 ( Pull-up )	動作 ( Pull-up )	動作 ( Pull-up )
SHLDAKZ	H	H	動作	L
SHLDRQZ	入力 ( Pull-up )	-	動作 ( Pull-up )	動作 ( Pull-up )
SBUSCLK	L	L or H で停止	動作	動作
SDMAREQZ0, SDMAREQZ1	入力 ( Pull-up )	入力 ( Pull-up )	動作 ( Pull-up )	動作 ( Pull-up ) <sup>注1</sup>
SDMAACKZ0, SDMAACKZ1	H	H	動作	H <sup>注2</sup>
SDMATCZ0, SDMATCZ1	H	H	動作	H
SRESTOZ	L	H	H	H

注 1. バスが解放されるまで , DMA 転送要求は保留されます。

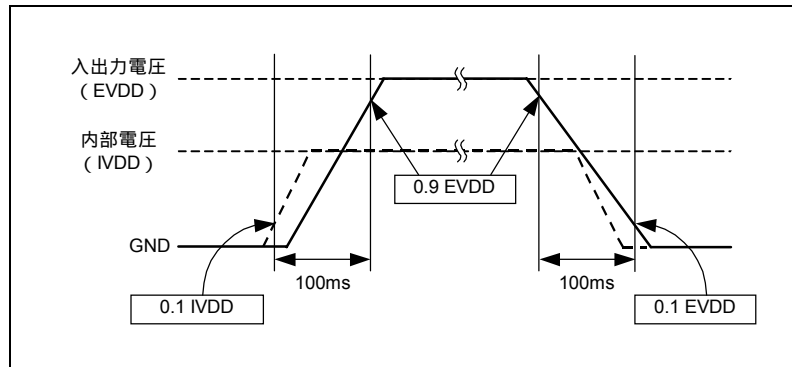
2. 出力期間中にバス・ホールドに遷移した場合は , 設定した出力期間後 , ハイ・レベルになります。

備考 Hi-Z : ハイ・インピーダンス  
 H : ハイ・レベル出力  
 L : ロー・レベル出力  
 - : 入力非サンプリング  
 x : リセット解除後非選択機能

## 2.3 電源投入 / 遮断手順

電源投入時間差については、電源投入順序にかかわらず、内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から、両方の電源が安定するポイントまでの時間差が 100ms 以内であることを推奨します。時間を測定する際の電圧は、 $0.1V_{DD} \sim 0.9V_{DD}$  の期間とします（図 2-1 参照）。

図 2-1 電源投入遮断順序例



## 2.4 端子機能の説明

### 2.4.1 ポート端子

#### (1) ポート0 (Port 0) ... 3 ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポート0は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート0モード・コントロール・レジスタ (PMCT0) で指定します。

#### (a) ポート・モード

P00-P07は、ポート0モード・レジスタ (PM0) により、ビット単位で入力または出力を設定できます。

#### (b) コントロール・モード

P00-P07は、ポート0モード・コントロール・レジスタ (PMCT0) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

#### (i) INTNZ0-INTNZ7 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) のEIレベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

#### (2) ポート1 (Port 1) ... 3 ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポート1は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート1モード・コントロール・レジスタ (PMCT1) で指定します。

#### (a) ポート・モード

P10-P17は、ポート1モード・レジスタ (PM1) により、ビット単位で入力または出力を設定できます。

#### (b) コントロール・モード

P10-P17は、ポート1モード・コントロール・レジスタ (PMCT1) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

#### (i) INTNZ8-INTNZ15 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) のEIレベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (3) ポート 2 (Port 2) ... 3 ステート入出力

ポート 2 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

このポートは SiP 内部接続を前提としたポートです。

ポート 2 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力、ウォッチドッグ・タイマ出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 2 モード・コントロール・レジスタ (PMCT2) で指定します。

P27 の兼用機能の INTPZ23 と WDTOUTZ は、ポート 2 ファンクション・コントロール・レジスタ (PFC2) で選択します。

## (a) ポート・モード

P20-P27 は、ポート 2 モード・レジスタ (PM2) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P20-P27 は、ポート 2 モード・コントロール・レジスタ (PMCT2) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

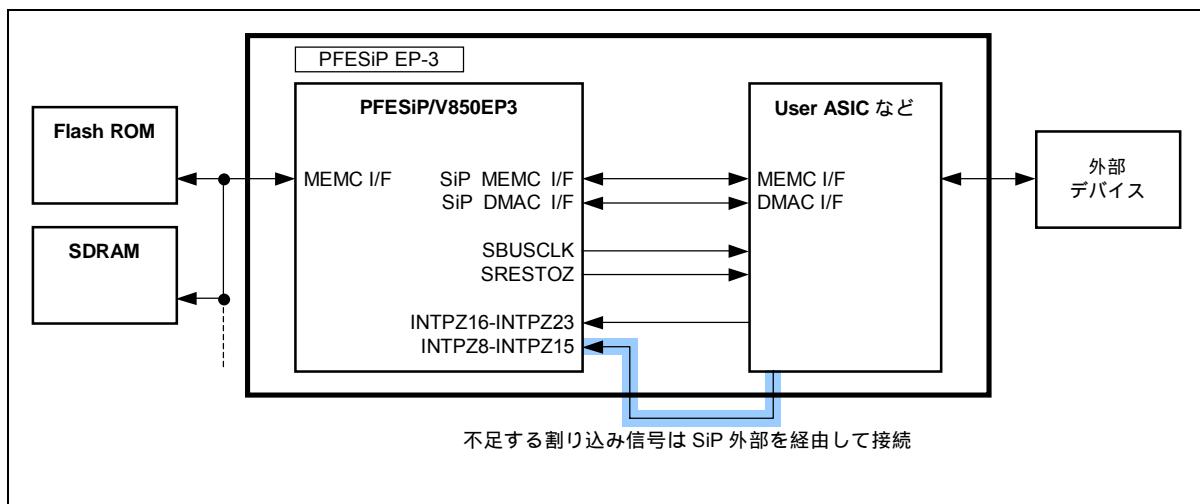
## (i) INTPZ16-INTPZ23 (EI Level Maskable Interrupt Request for SiP Internal) ... 入力

SiP 内部接続を前提とした、有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

SiP 内部のチップ間ボンディングに対応させるため、PFESiP/V850EP3 の端子レイアウトにて、チップ間接続に適した位置に配置されています。

INTPZ16-INTPZ23 は 8 本のみのため、不足する場合は SiP 外部を経由し、INTPZ16-INTPZ23 以外の外部割り込みと接続してください。

図 2-2 割り込み信号の接続



## (ii) WDTOUTZ ( Watchdog Timer Output ) ... 出力 ( ロー・アクティブ )

ウォッチドッグ・タイマ出力です。

ウォッチドッグ・タイマがクリア ( 0 ) されず , オーバフローが発生するとロー・レベルを出力します。P83 に兼用されている WDTOUTZ と同じ信号が出力されます。この機能は , SiP 内部接続でウォッチドッグ・タイマ出力を利用するために設けられています。

**備考 1. WDTOUTZ はロー・アクティブ出力で , P27, P83 に兼用されています。外部端子に出力する場合は P83 , SiP 内部接続で利用する場合は P27 を利用してください。**

**2. 一度 WDTOUTZ にロー・レベルが出力されると , RESETZ 端子からのリセット入力までロー・レベルから変化しません。**

## (4) ポート 3 (Port 3) ... 3 ステート入出力

ポート 3 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 3 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 (UART0, UART1)、クロック同期式シリアル・インタフェースのチャンネル 2, 3 (CSI32, CSI33) の入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 3 モード・コントロール・レジスタ (PMCT3) で指定します。

P30-P32, P34-P36 は、UART 端子と CSI 端子で兼用されています。ポート 3 ファンクション・コントロール・レジスタ (PFC3) で、両者の機能を選択します。

## (a) ポート・モード

P30-P37 は、ポート 3 モード・レジスタ (PM3) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P30-P37 は、ポート 3 モード・コントロール・レジスタ (PMCT3) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) TXD0, TXD1 (UART transmit Outputs) ... 出力

UART0, UART1 のシリアル・データ出力端子です。

## (ii) RXD0, RXD1 (UART receive Inputs) ... 入力

UART0, UART1 のシリアル・データ入力端子です。

## (iii) RTS0, RTS1 (UART request to send) ... 出力

UART0, UART1 の送信データ要求信号出力端子です。  
対向の CTS (clear to send) と接続します。

## (iv) CTS0, CTS1 (UART clear to send) ... 入力

UART0, UART1 の送信データ要求入力端子です。  
対向の RTS (request to send) と接続します。

## (v) SCK2, SCK3 (Serial Clock) ... 入出力

CSI32, CSI33 のシリアル・クロック入出力端子です。

## (vi) SI2, SI3 (Serial Input) ... 入力

CSI32, CSI33 のシリアル・データ入力端子です。

## (vii) SO2, SO3 (Serial Output) ... 出力

CSI32, CSI33 のシリアル・データ出力端子です。



## (5) ポート 4 (Port 4) ... 3 ステート入出力

ポート 4 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 4 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 2, 3 (UART2, UART3) の入出力、CAN コントローラの入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 4 モード・コントロール・レジスタ (PMCT4) で指定します。

P44-P47 は、UART 端子と CAN 端子で兼用されています。ポート 4 ファンクション・コントロール・レジスタ (PFC4) で、両者の機能を選択します。また P45, P47 は 5V トレラント端子です。

## (a) ポート・モード

P40-P47 は、ポート 4 モード・レジスタ (PM4) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P40-P47 は、ポート 4 モード・コントロール・レジスタ (PMCT4) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

## (i) TXD2, TXD3 (UART transmit Outputs) ... 出力

UART2, UART3 のシリアル・データ出力端子です。

## (ii) RXD2, RXD3 (UART receive Inputs) ... 入力

UART2, UART3 のシリアル・データ入力端子です。

## (iii) RTS2, RTS3 (UART request to send) ... 出力

UART2, UART3 の送信データ要求信号出力端子です。  
対向の CTS (clear to send) と接続します。

## (iv) CTS2, CTS3 (UART clear to send) ... 入力

UART2, UART3 の送信データ要求入力端子です。  
対向の RTS (request to send) と接続します。

## (v) CTXD0, CTXD1 (CAN Transmit Data) ... 出力

CAN0, CAN1 の送信データ出力端子です。CAN トランシーバ IC に接続します。

## (vi) CRXD0, CRXD1 (CAN Receive Data) ... 入力

CAN0, CAN1 の受信データ入力端子です。CAN トランシーバ IC に接続します。

## (6) ポート5 (Port 5) ... 3 ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポート5は入出力ポートとして機能するほか、コントロール・モードでは、16ビット・タイマ/カウンタAA (TAA) のチャンネル0-3の入出力端子として動作します。またEIレベル・マスクブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート5モード・コントロール・レジスタ (PMCT5) で指定します。

複数の機能が兼用されている端子は、ポート5ファンクション・コントロール・レジスタ (PFC5) で兼用機能を選択します。16ビット・タイマ/カウンタAA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

## (a) ポート・モード

P50-P57は、ポート5モード・レジスタ (PM5) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P50-P57は、ポート5モード・コントロール・レジスタ (PMCT5) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

- (i) TIA00, TIA01 (TAA0 capture trigger Inputs) ... 入力  
TAA0のキャプチャ・トリガ入力端子です。
- (ii) TIA10, TIA11 (TAA1 capture trigger Inputs) ... 入力  
TAA1のキャプチャ・トリガ入力端子です。
- (iii) TIA20, TIA21 (TAA2 capture trigger Inputs) ... 入力  
TAA2のキャプチャ・トリガ入力端子です。
- (iv) TIA30, TIA31 (TAA3 capture trigger Inputs) ... 入力  
TAA3のキャプチャ・トリガ入力端子です。
- (v) TOA00, TOA01 (TAA0 external pulse Outputs) ... 出力  
TAA0の外部パルス出力端子です。
- (vi) TOA10, TOA11 (TAA1 external pulse Outputs) ... 出力  
TAA1の外部パルス出力端子です。
- (vii) TOA20, TOA21 (TAA2 external pulse Outputs) ... 出力  
TAA2の外部パルス出力端子です。
- (viii) TOA30, TOA31 (TAA3 external pulse Outputs) ... 出力  
TAA3の外部パルス出力端子です。

## (ix) INTPZ24-INTPZ31 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能(レベル選択時はロー・アクティブ)のEIレベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (7) ポート 6 (Port 6) ... 3 ステート入出力

ポート 6 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 6 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のアドレス・バス (A1, A20-A26) として動作します。

リセット時はプルダウン抵抗付きです。パッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 6 モード・コントロール・レジスタ (PMCT6) で指定します。

## (a) ポート・モード

P60-P67 は、ポート 6 モード・レジスタ (PM6) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P60-P67 は、ポート 6 モード・コントロール・レジスタ (PMCT6) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

## (i) A1, A20-A26 (Address) ... 3 ステート出力

外部アクセス時のアドレス・バスで、A1 は 26 ビット・アドレスの下位 1 ビット・アドレス出力端子、A20-A26 は 26 ビット・アドレスの上位 7 ビット・アドレス出力端子です。8 ビット・アクセスには対応していますが、8 ビット・バスには対応していないため A0 はありません。

出力は、バス・サイクルの T1 ステートの、BUSCLK の立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

なお A1 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-9 起動時の外部バス・サイズとアドレス / ポートの関係

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

備考 SiP 内部接続用の SA1 は独立端子のため、ポート兼用動作はありません。

注意 A20-A26 は、リセット時は入力ポートです。またプルダウン抵抗を接続しています。このアドレス線を利用する場合は、最初のイニシャライズ処理にて、A20-A26 のうち必要なアドレス線について、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

## (8) ポート 7 (Port 7) ... 3 ステート入出力

ポート 7 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 7 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合の制御信号 (WAITZ, STCSZ1-STCSZ3, DYCSZ, BENZ2/WRZ2, BENZ3/WRZ3), IDLE モード状態出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 7 モード・コントロール・レジスタ (PMCT7) で指定します。

## (a) ポート・モード

P70-P77 は、ポート 7 モード・レジスタ (PM7) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P70-P77 は、ポート 7 モード・コントロール・レジスタ (PMCT7) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

## (i) WAITZ (Wait) ... 入力 (ロー・アクティブ)

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、BUSCLK 信号に対する非同期入力が可能です。この端子は、プルアップ抵抗付きです。

WAITZ 端子は P70 に兼用されており、リセット解除直後はポートとして動作します。WAITZ 入力端子として使用する場合は、ポート 7 モード・コントロール・レジスタ (PMCT7) でコントロール・モードに設定してください。

なお、SiP 内部接続用インタフェースの SWAITZ 端子とは独立端子で、相互関係がありません。

**注 PFESiP/V850EP3 に外部回路を接続した 1 チップ開発を行う場合、WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。**

## (ii) STCSZ1-STCSZ3 (Static Memory Chip Select) ... 3 ステート出力 (ロー・アクティブ)

SRAM, 外部 ROM, 外部周辺 I/O 領域に対するチップ・セレクト信号出力端子です。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

**注意 ページ ROM には、STCSZ0 のみ対応しています。**

## (iii) DYCSZ (SDRAM Chip Select) ... 3 ステート出力 (ロー・アクティブ)

SDRAM 領域に対するチップ・セレクト信号出力端子です。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

## (iv) BENZ2, BENZ3 (ROM / SRAM Byte Enable) ... 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへの上位バイト・イネーブル出力です。32 ビット・バス幅を用いる場合のみ利用します。

BUS32EN0 端子にハイ・レベルを入力し, 32 ビット・バスで起動した場合は, リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され, PMCT7 の初期値は C0H になりません。

BENZ2, BENZ3 と WRZ2, WRZ3 は兼用されています。BENZ2, BENZ3 / WRZ2, WRZ3 の機能切り替えは, ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

**備考 BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと, SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは, WREN レジスタの独立ビットで選択できます。**

## (v) WRZ2, WRZ3 (Write Strobe) ... 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへの上位ライト・ストロブ出力です。32 ビット・バス幅を用いる場合のみ利用します。

WRZ2, WRZ3 と BENZ2, BENZ3 は兼用されています。BENZ2, BENZ3 / WRZ2, WRZ3 の機能切り替えは, ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

**備考 BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと, SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは, WREN レジスタの独立ビットで選択できます。**

## (vi) IDLEOUTZ (IDLE Mode Status Output) ... 出力 (ロー・アクティブ)

IDLE モードの状態出力です。

IDLE モードに入り, クロック停止が行われるタイミングで, ロー・レベルが出力されます。

## (9) ポート 8 (Port 8) ... 3 ステート入出力

ポート 8 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 8 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合の制御信号 (HLDRQZ, HLDKZ, BUSREQZ)、ウォッチドッグ・タイマ出力、およびシリアル・フラッシュ ROM メモリ・コントローラのインタフェースとして動作します。

リセット時はプルアップ抵抗付きです。P80-P82 のみ、バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BOOTSEL0, BOOTSEL1 端子で、シリアル・フラッシュ ROM からのブートを選択した場合は、P84-P87 はリセット解除直後から兼用機能が有効になります。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 8 モード・コントロール・レジスタ (PMCT8) で指定します。

## (a) ポート・モード

P80-P87 は、ポート 8 モード・レジスタ (PM8) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P80-P87 は、ポート 8 モード・コントロール・レジスタ (PMCT8) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

## (i) HLDRQZ (Hold request) ... 入力 (ロー・アクティブ)

外部デバイスが PFESiP/V850EP3 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、プルアップ抵抗付きです。

この端子は、BUSCLK に対して非同期入力が可能です。この端子がアクティブになると、PFESiP/V850EP3 は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、HLDKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、HLDKZ 信号が出力されるまで、HLDRQZ 信号をアクティブに保ってください。

バス・ホールド中に、外部メモリ・インタフェースにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウエイト状態になります。外部メモリ・インタフェース以外は、バス・ホールドの影響を受けずにアクセスできます。ただし SDRAM を利用している場合に、リフレッシュの必要が生じた場合には、BUSREQZ によりバスの解放を外部バス・マスタに要求します。

なお、SiP 内部接続用インタフェースの SHLDRQZ 端子とは独立端子で 相互関係がありません。

**注意** メモリ・コントローラの各種初期化 (レジスタ設定など) が完了するまでは、HLDRQZ が入力されないようにしてください。なおリセット時は、ポート機能です。

## (ii) HLDKZ (Hold acknowledge) ... 出力 (ロー・アクティブ)

PFESiP/V850EP3 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

- (iii) BUSREQZ ( Bus Release Request ) ... 出力 (ロー・アクティブ)  
 外部メモリ・インタフェースに接続された、外部バス・マスタに対するバス解放要求出力です。  
 バス・ホールド中に SDRAM へのリフレッシュ要求が発生すると、BUSREQZ 端子にロー・レベルを出力し、外部バス・マスタに対してバスの解放を要求します。

**注意** バス・ホールド中に SDRAM へのリフレッシュ要求が発生しても、HLDAKZ 信号はディASSERT されません。

- (iv) WDTOUTZ ( Watchdog Timer Output ) ... 出力 (ロー・アクティブ)  
 ウォッチドッグ・タイマ出力です。  
 ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。P27 に兼用されている WDTOUTZ と同じ信号が出力されます。

**備考 1.** WDTOUTZ はロー・アクティブ出力で、P27, P83 に兼用されています。外部端子に出力する場合は P83, SiP 内部接続で利用する場合は P27 を利用してください。

**2.** 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

- (v) SMSCK<sup>注</sup> ( Serial Flash Clock ) ... 出力  
 シリアル・フラッシュ ROM に対するクロック出力端子です。

- (vi) SMSO<sup>注</sup> ( Serial Flash Data Output ) ... 入出力  
 シリアル・フラッシュ ROM へのデータ出力端子です。  
 デュアル・モードでは、入出力端子として機能します。

- (vii) SMSI<sup>注</sup> ( Serial Flash Data Input ) ... 入出力  
 シリアル・フラッシュ ROM からのデータ入力端子です。  
 デュアル・モードでは、入出力端子として機能します。

- (viii) SMCSZ<sup>注</sup> ( Serial Flash Chip Select )  
 シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

**注** BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	-	-



## (10) ポート 9 (Port 9) ... 3 ステート入出力

ポート 9 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 9 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のデータ・バス (D16-D23)、16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネル 0 の入出力端子として動作します。このうち P92-P94, P97 は EI レベル・マスクプル割り込み入力端子としても動作します。

リセット時はブルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 9 モード・コントロール・レジスタ (PMCT9) で指定します。

また複数の機能が兼用されている端子は、ポート 9 ファンクション・コントロール・レジスタ (PFC9) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T (TMT) の機能と、外部割り込みの機能は、同時に動作します。

P95, P96 は、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート 9 ファンクション・コントロール拡張レジスタ (PFCEX9) で選択します。

## (a) ポート・モード

P90-P97 は、ポート 9 モード・レジスタ (PM9) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

P90-P97 は、ポート 9 モード・コントロール・レジスタ (PMCT9) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) D16-D23 (Data) ... 3 ステート入出力

外部アクセス時のデータ・バスです。32 ビット・データの D16-D23 入出力端子となります。なお、P90-P97 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-10 起動時の外部バス・サイズとデータ/ポートの関係

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

## (ii) TENC00, TENC01 (Encoder Inputs) ... 入力

TMT0 のエンコーダ入力端子です。TENC00 を A 相、TENC01 を B 相入力に使用します。

## (iii) TECR0 (Encoder Clear Input)

TMT0 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

## (iv) TRGT0 (Trigger inputs) ... 入力

TMT0 の外部トリガ入力端子です。

- (v) EVTT0 ( Event inputs ) ... 入力  
TMT0 の外部イベント入力端子です。
- (vi) TIT00, TIT01 ( Capture Trigger Inputs ) ... 入力  
TMT0 のキャプチャ・トリガ入力兼用端子です。
- (vii) TOT00, TOT01 ( Timer Outputs ) ... 出力  
TMT0 のタイマ出力兼用端子です。
- (viii) INTPZ42-INTPZ45 ( EI Level Maskable Interrupt request ) ... 入力  
有効エッジ指定可能 ( レベル選択時はロー・アクティブ ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は , ロー・アクティブです。この割り込み入力は , デジタル・ノイズ・フィルタ処理されています。

## (11) ポート A (Port A) ... 3 ステート入出力

ポート A は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート A は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のデータ・バス (D24-D31)、16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネル 1 の入出力端子として動作します。このうち PA2-PA4, PA7 は EI レベル・マスクプル割り込み入力端子としても動作します。

リセット時はブルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート A モード・コントロール・レジスタ (PMCTA) で指定します。

また複数の機能が兼用されている端子は、ポート A ファンクション・コントロール・レジスタ (PFCA) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T (TMT) の機能と、外部割り込みの機能は、同時に動作します。

PA5, PA6 は、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート A ファンクション・コントロール拡張レジスタ (PFCEXA) で選択します。

## (a) ポート・モード

PA0-PA7 は、ポート A モード・レジスタ (PMA) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

PA0-PA7 は、ポート A モード・コントロール・レジスタ (PMCTA) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) D24-D31 (Data) ... 3 ステート入出力

外部アクセス時のデータ・バスです。32 ビット・データの D24-D31 入出力端子となります。なお、PA0-PA7 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-11 起動時の外部バス・サイズとデータ/ポートの関係

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

## (ii) TENC10, TENC11 (Encoder Inputs) ... 入力

TMT1 のエンコーダ入力端子です。TENC10 を A 相、TENC11 を B 相入力に使用します。

## (iii) TECR1 (Encoder Clear Input) ... 入力

TMT1 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

## (iv) TRGT1 (Trigger inputs) ... 入力

TMT1 の外部トリガ入力端子です。

- (v) EVTT1 ( Event inputs ) ... 入力  
TMT1 の外部イベント入力端子です。
- (vi) TIT10, TIT11 ( Capture Trigger Inputs ) ... 入力  
TMT1 のキャプチャ・トリガ入力兼用端子です。
- (vii) TOT10, TOT11 ( Timer Outputs ) ... 出力  
TMT1 のタイマ出力兼用端子です。
- (viii) INTPZ46-INTPZ49 ( EI Level Maskable Interrupt request ) ... 入力  
有効エッジ指定可能 ( レベル選択時はロー・アクティブ ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は , ロー・アクティブです。この割り込み入力は , デジタル・ノイズ・フィルタ処理されています。

## (12) ポート B (Port B) ... 3 ステート入出力

ポート B は、1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

ポート B は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子として動作します。また EI レベル・マスクブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート B モード・コントロール・レジスタ (PMCTB) で指定します。

複数の機能が兼用されている端子は、ポート B ファンクション・コントロール・レジスタ (PFCB) で兼用機能を選択します。16 ビット・タイマ/カウンタ AA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

## (a) ポート・モード

PB0-PB3 は、ポート B モード・レジスタ (PMB) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

PB0-PB3 は、ポート B モード・コントロール・レジスタ (PMCTB) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) TIA40, TIA41 (TAA4 capture trigger Inputs) ... 入力

TAA4 のキャプチャ・トリガ入力端子です。

## (ii) TIA50, TIA51 (TAA5 capture trigger Inputs) ... 入力

TAA5 のキャプチャ・トリガ入力端子です。

## (iii) TOA40, TOA41 (TAA4 external pulse Outputs) ... 出力

TAA4 の外部パルス出力端子です。

## (iv) TOA50, TOA51 (TAA5 external pulse Outputs) ... 出力

TAA5 の外部パルス出力端子です。

## (v) INTPZ32-INTPZ35 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスクブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (13) ポート C (Port C) ... 3 ステート入出力

ポート C は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート C は入出力ポートとして機能するほか、コントロール・モードでは、クロック同期式シリアル・インタフェース (CSI30, CSI31) の入出力、A/D コンバータの外部トリガ入力、EI レベル・マスクブル割り込み入力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート C モード・コントロール・レジスタ (PMCTC) で指定します。

## (a) ポート・モード

PC0-PC7 は、ポート C モード・レジスタ (PMC) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

PC0-PC7 は、ポート C モード・コントロール・レジスタ (PMCTC) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) SCK0, SCK1 (Serial Clock) ... 入出力

CSI30, CSI31 のシリアル・クロック入出力端子です。

## (ii) SI0, SI1 (Serial Input) ... 入力

CSI30, CSI31 のシリアル・データ入力端子です。

## (iii) SO0, SO1 (Serial Output) ... 出力

CSI30, CSI31 のシリアル・データ出力端子です。

## (iv) ADTRG (A/D trigger input) ... 入力 (ハイ・アクティブ)

A/D コンバータの外部トリガ入力端子です。

この入力は、デジタル・ノイズ・フィルタ処理されています。

## (v) INTPZ40, INTPZ41 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスクブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (14) ポート D (Port D) ... 3 ステート入出力

ポート D は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート D は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 0, 1 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 4, 5 (CSI34, CSI35) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート D モード・コントロール・レジスタ (PMCTD) で指定します。

PD0-PD5 は、システム・バス DMA コントローラ入出力端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート D ファンクション・コントロール・レジスタ (PFCD) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

## (a) ポート・モード

PD0-PD5 は、ポート D モード・レジスタ (PMD) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

PD0-PD5 は、ポート D モード・コントロール・レジスタ (PMCTD) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

## (i) DMAREQZ0, DMAREQZ1 (DMA request) ... 入力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 の転送要求入力端子です。

BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

## (ii) DMAACKZ0, DMAACKZ1 (DMA acknowledge) ... 出力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 のアクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がり同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。非同期インタフェースに対応し、対応する DMA 転送要求信号がディアサートされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

## (iii) DMATCZ0, DMATCZ1 (Terminal count) ... 出力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 の DMA ターミナル・カウント (DMA 転送完了) 出力端子です。最終の DMA 転送を実行する際に、1 × BUSCLK 期間のロー・レベルを出力します。

## (iv) INTPZ36, INTPZ37 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (v) SCK4, SCK5 (Serial Clock) ... 入出力

CSI34, CSI35 のシリアル・クロック入出力端子です。

- (vi) SI4, SI5 ( Serial Input ) ... 入力  
CSI34, CSI35 のシリアル・データ入力端子です。
  
- (vii) SO4, SO5 ( Serial Output ) ... 出力  
CSI34, CSI35 のシリアル・データ出力端子です。



## (15) ポート E (Port E) ... 3 ステート入出力

ポート E は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート E は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 2, 3 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 6, 7 (CSI36, CSI37) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート E モード・コントロール・レジスタ (PMCTE) で指定します。

PE0-PE5 は、システム・バス DMA コントローラ入出力端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート E ファンクション・コントロール・レジスタ (PFCE) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

## (a) ポート・モード

PE0-PE5 は、ポート E モード・レジスタ (PME) により、ビット単位で入力または出力を設定できます。

## (b) コントロール・モード

PE0-PE5 は、ポート E モード・コントロール・レジスタ (PMCTE) により、ビット単位でポート・モード / コントロール・モードの設定ができます。

## (i) DMAREQZ2, DMAREQZ3 (DMA request) ... 入力 (ロー・アクティブ)

DMA チャンネル 2, 3 の転送要求入力端子です。

BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

## (ii) DMAACKZ2, DMAACKZ3 (DMA acknowledge) ... 出力 (ロー・アクティブ)

DMA チャンネル 2, 3 のアクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がり同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。

非同期インタフェースに対応し、対応する DMA 転送要求信号がディアサートされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

## (iii) DMATCZ2, DMATCZ3 (Terminal count) ... 出力 (ロー・アクティブ)

DMA チャンネル 2, 3 の DMA ターミナル・カウンタ (DMA 転送完了) 出力端子です。最終の DMA 転送を実行する際に、1 × BUSCLK 期間のロー・レベルを出力します。

## (iv) INTPZ38, INTPZ39 (EI Level Maskable Interrupt request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

## (v) SCK6, SCK7 (Serial Clock) ... 入出力

CSI36, CSI37 のシリアル・クロック入出力端子です。

- (vi) SI6, SI7 ( Serial Input ) ... 入力  
CSI36, CSI37 のシリアル・データ入力端子です。
- (vii) SO6, SO7 ( Serial Output ) ... 出力  
CSI36, CSI37 のシリアル・データ出力端子です。

## (16)ポート L (Port L) ... 3 ステート入出力

ポート L は、1 ビット単位で入力または出力を設定できる 19 ビットの入出力ポートです。

ポート L は入出力ポートとして機能するほか、コントロール・モードでは、Ether MAC 入出力端子として動作します。

動作モードは、ポート単位で ETHEN 端子により選択します。

ETHEN 端子にハイ・レベルが入力されている場合は、リセット解除後から Ether MAC 入出力端子として機能します。この場合はプルアップ抵抗もプルダウン抵抗も接続されません。

ETHEN 端子にロー・レベルが入力されている場合は、ポートとして機能します。リセット解除後はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

ETHEN	Ether MAC 機能の 動作許可 / 禁止	DRCTRL レジスタ	PL0-PL18 の動作	
0	Ether MAC 機能禁止 (クロック供給停止)	608A 8495H	ポート	プルアップ抵抗
1	Ether MAC 機能許可	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

## (a) ポート・モード

PL0-PL18 は、ポート L モード・レジスタ (PML) により、ビット単位で入力または出力を設定できます。

## (b) Ether MAC 入出力端子モード

PL0-PL18 は、ETHEN 端子によりポート単位でポート・モード / Ether MAC 入出力端子を選択します。

ETHEN 端子にハイ・レベルを入力した場合は、リセット解除後からコントロール・モードが選択され、ポート L のすべてが Ether MAC の入出力端子として機能します。

## (i) ETH\_TXCLK (Ether Transfer Clock Input) ... 入力

Ether MAC の送信クロック入力端子です。

## (ii) ETH\_TXD0, ETH\_TXD1, ETH\_TXD2, ETH\_TXD3 (Ether Transfer Data Outputs) ... 出力

Ether MAC の送信データ出力端子です。

## (iii) ETH\_TXEN (Ether Transfer Data Enable Output) ... 出力

Ether MAC の送信データ・イネーブル出力端子です。

## (iv) ETH\_TXER (Ether Transfer Error Output) ... 出力

Ether MAC の送信エラー出力端子です。

## (v) ETH\_COL (Ether COL Input) ... 入力

Ether MAC データの衝突検出入力端子です。

- (vi) ETH\_CRS ( Ether CRS Input ) ... 入力  
Ether MAC データのキャリア検出入力端子です。
- (vii) ETH\_RXCLK ( Ether Receive Clock Input ) ... 入力  
Ether MAC の受信クロック入力です。
- (viii) ETH\_RXD0, ETH\_RXD1, ETH\_RXD2, ETH\_RXD3 ( Ether Receive Data Inputs ) ... 入力  
Ether MAC の受信データ入力端子です。
- (ix) ETH\_RXDV ( Ether Receive Data VALID Input ) ... 入力  
Ether MAC の受信データ VALID 入力端子です。
- (x) ETH\_RXER ( Ether Receive Data Error Input ) ... 入力  
Ether MAC の受信データ・エラー入力端子です。
- (xi) ETH\_MDC ( Ether Serial Clock ) ... 入力  
Ether MAC シリアル転送クロック出力端子です。
- (xii) ETH\_MDIO ( Ether Serial Data I/O ) ... 入出力  
Ether MAC シリアル・データ入出力端子です。
- (xiii) ETH\_REFCLK ( Ether RMII Interface reference clock Input ) ... 入力  
Ether MAC の RMII インタフェース用リファレンス・クロック入力端子です。

## 2.4.2 内蔵周辺機能（タイマ，シリアル・インタフェース）入出力端子

**注意** 内蔵周辺機能の入出力端子は，すべてポートと兼用されています。リセット時はポート・モードが選択されていますので，使用するには，適宜 PMCTn, PFCn, PFCEXn で，兼用機能を許可してください（n：3-5, 9-C）。

(1) 16 ビット・タイマ/カウンタ AA (TAA) 入出力端子

(a) TIA00, TIA01 (TAA0 capture trigger Inputs) ... 入力  
TAA0 のキャプチャ・トリガ入力端子です。

(b) TIA10, TIA11 (TAA1 capture trigger Inputs) ... 入力  
TAA1 のキャプチャ・トリガ入力端子です。

(c) TIA20, TIA21 (TAA0 capture trigger Inputs) ... 入力  
TAA2 のキャプチャ・トリガ入力端子です。

(d) TIA30, TIA31 (TAA1 capture trigger Inputs) ... 入力  
TAA3 のキャプチャ・トリガ入力端子です。

(e) TIA40, TIA41 (TAA4 capture trigger Inputs) ... 入力  
TAA4 のキャプチャ・トリガ入力端子です。

(f) TIA50, TIA51 (TAA5 capture trigger Inputs) ... 入力  
TAA5 のキャプチャ・トリガ入力端子です。

(g) TOA00, TOA01 (TAA0 external pulse Outputs) ... 出力  
TAA0 の外部パルス出力端子です。

(h) TOA10, TOA11 (TAA1 external pulse Outputs) ... 出力  
TAA1 の外部パルス出力端子です。

(i) TOA20, TOA21 (TAA2 external pulse Outputs) ... 出力  
TAA2 の外部パルス出力端子です。

(j) TOA30, TOA31 (TAA1 external pulse Outputs) ... 出力  
TAA3 の外部パルス出力端子です。

(k) TOA40, TOA41 (TAA4 external pulse Outputs) ... 出力  
TAA4 の外部パルス出力端子です。

(l) TOA50, TOA51 (TAA5 external pulse Outputs) ... 出力  
TAA5 の外部パルス出力端子です。

## (2) 16 ビット・タイマ/イベント・カウンタ T (TMT) 入出力端子

**注意** 16 ビット・タイマ/イベント・カウンタ T (TMT) 機能は、16 ビット・バスを選択した場合のみ利用できます。

## (a) TENC00, TENC01 (Encoder Inputs) ... 入力

TMT0 のエンコーダ入力端子です。TENC00 を A 相、TENC01 を B 相入力に使用します。

## (b) TECR0 (Encoder Clear Input)

TMT0 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

## (c) TRGT0 (Trigger inputs) ... 入力

TMT0 の外部トリガ入力端子です。

## (d) EVTT0 (Event inputs) ... 入力

TMT0 の外部イベント入力端子です。

## (e) TIT00, TIT01 (Capture Trigger Inputs) ... 入力

TMT0 のキャプチャ・トリガ入力兼用端子です。

## (f) TOT00, TOT01 (Timer Outputs) ... 出力

TMT0 のタイマ出力兼用端子です。

## (g) TENC10, TENC11 (Encoder Inputs) ... 入力

TMT1 のエンコーダ入力端子です。TENC10 を A 相、TENC11 を B 相入力に使用します。

## (h) TECR1 (Encoder Clear Input)

TMT1 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

## (i) TRGT1 (Trigger inputs) ... 入力

TMT1 の外部トリガ入力端子です。

## (j) EVTT1 (Event inputs) ... 入力

TMT1 の外部イベント入力端子です。

## (k) TIT10, TIT11 (Capture Trigger Inputs) ... 入力

TMT1 のキャプチャ・トリガ入力兼用端子です。

## (l) TOT10, TOT11 (Timer Outputs) ... 出力

TMT1 のタイマ出力兼用端子です。

## (3) アシクロナス・シリアル・インタフェース (UART) 入出力端子

- (a) TXD0-TXD3 (UART transmit Outputs) ... 出力  
UART0-UART3 のシリアル・データ出力端子です。
- (b) RXD0-RXD3 (UART receive Inputs) ... 入力  
UART0-UART3 のシリアル・データ入力端子です。
- (c) RTS0-RTS3 (UART request to send) ... 出力  
UART0-UART3 の送信データ要求信号出力端子です。  
対向の CTS (clear to send) と接続します。
- (d) CTS0-CTS3 (UART clear to send) ... 入力  
UART0-UART3 の送信データ要求入力端子です。  
対向の RTS (request to send) と接続します。

## (4) クロック同期式シリアル・インタフェース (CSI3) 入出力端子

- (a) SCK0-SCK7 (Serial Clock) ... 入出力  
CSI30-CSI37 のシリアル・クロック入出力端子です。
- (b) SI0-SI7 (Serial Input) ... 入力  
CSI30-CSI37 のシリアル・データ入力端子です。
- (c) SO0-SO7 (Serial Output) ... 出力  
CSI30-CSI37 のシリアル・データ出力端子です。

## (5) CAN コントローラ入出力端子

- (a) CTXD0, CTXD1 (CAN Transmit Data) ... 出力  
CAN0, CAN1 の送信データ出力端子です。CAN トランシーバ IC に接続します。
- (b) CRXD0, CRXD1 (CAN Receive Data) ... 入力  
CAN0, CAN1 の受信データ入力端子です。CAN トランシーバ IC に接続します。

## (6) その他の入出力端子

- (a) ADTRG (A/D trigger input) ... 入力 (ハイ・アクティブ)  
A/D コンバータの外部トリガ入力端子です。  
この入力は、デジタル・ノイズ・フィルタ処理されています。

### 2.4.3 外部割り込み入力端子

CPU 動作クロック (CPCLK) と同一のクロックを用いたデジタル・ノイズ・フィルタ構造の外部割り込み入力端子です。CPU 動作クロックと異なり IDLE モードで停止しないクロックを用いているため、NMI、INTPZ0-INTPZ9、INTPZ16-INTPZ23 の外部割り込みは IDLE モードの解除が可能です。また、すべて立ち上がり / 立ち下がり / 両エッジ / ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

**注意** NMI を除く外部割り込み入力端子は、すべてポートと兼用されています。リセット時はポート・モードが選択されていますので、割り込み機能を使用する場合には、適宜ポート・モード・コントロール・レジスタ、ポート・モード・ファクション・コントロール・レジスタで、外部割り込み機能を選択してください。

#### (1) NMI (FE Level Maskable Interrupt Request) ... 入力

有効エッジ指定可能の FE レベル・マスカブル割り込み入力です。インサーキット・エミュレータからマスクできます。

この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

#### (2) INTPZ0-INTPZ15 (EI Level Maskable Interrupt Request) ... 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

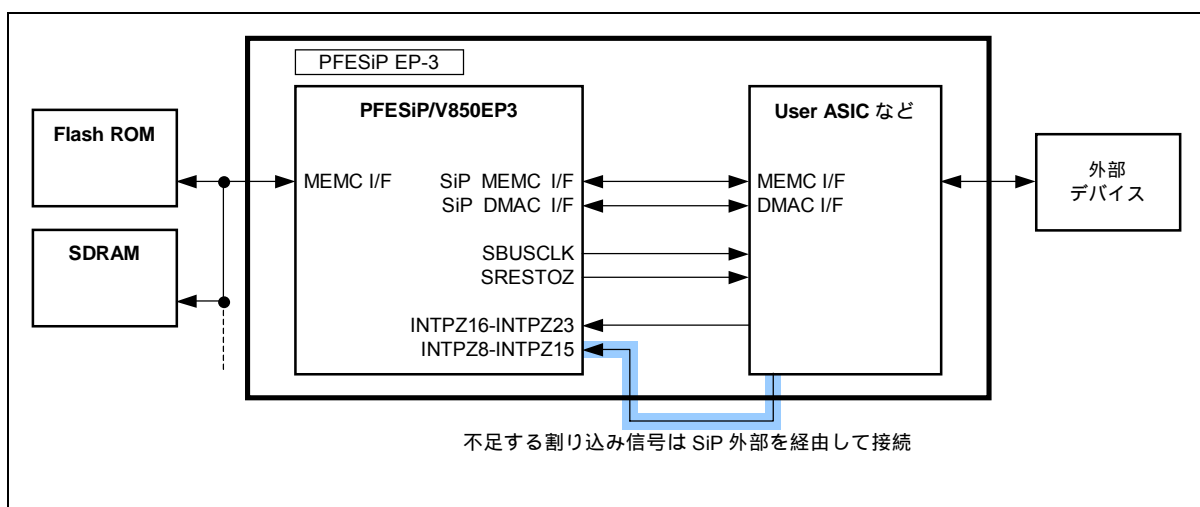
#### (3) INTPZ16-INTPZ23 (EI Level Maskable Interrupt Request for SiP Internal) ... 入力

SiP 内部接続を前提とした、有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

SiP 内部のチップ間ボンディングに対応させるため、PFESiP/V850EP3 の端子レイアウトにて、チップ間接続に適した位置に配置されています。

INTPZ16-INTPZ23 は 8 本のみのため、不足する場合は SiP 外部を経由し、INTPZ16-INTPZ23 以外の外部割り込みと接続してください。

図 2-3 割り込み信号の接続





- (4) INTPZ24-INTPZ31 (EI Level Maskable Interrupt Request & TAA Capture Trigger Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 0-3 のキャプチャ・トリガ端子と兼用して  
います。
- (5) INTPZ32-INTPZ35 (EI Level Maskable Interrupt Request & TAA Capture Trigger Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 4, 5 のキャプチャ・トリガ端子と兼用して  
います。
- (6) INTPZ36-INTPZ39 (EI Level Maskable Interrupt Request & DMA Request Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 DMA コントローラへのリクエスト端子と兼用しています。
- (7) INTPZ40 (EI Level Maskable Interrupt Request ) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。
- (8) INTPZ41 (EI Level Maskable Interrupt Request & A/D Converter Trigger Input) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 A/D コンバータの変換トリガ端子と兼用しています。
- (9) INTPZ42, INTPZ46 (EI Level Maskable Interrupt Request & TMT Encoder Clear Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 16 ビット・タイマ/イベント・カウンタ T (TMT) のエンコーダ・クリア入力端子と兼用して  
います。
- (10) INTPZ43, INTPZ47 (EI Level Maskable Interrupt Request & TMT Trigger Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 16 ビット・タイマ/イベント・カウンタ T (TMT) の外部トリガ入力端子と兼用しています。
- (11) INTPZ44, INTPZ48 (EI Level Maskable Interrupt Request & TMT Event Inputs) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。  
内蔵 16 ビット・タイマ/イベント・カウンタ T (TMT) の外部イベント入力端子と兼用しています。
- (12) INTPZ45, INTPZ49 (EI Level Maskable Interrupt Request ) ... 入力  
有効エッジ指定可能(レベル選択時はロー・アクティブ)のEI レベル・マスクابل割り込み入力です。

**注意** 外部割り込み入力端子は、端子によってプルアップ/プルダウン抵抗が異なります。有効エッジ/レベルを指定する際に注意してください。

**NMI, INTPZ0-INTPZ41** : プルアップ抵抗付きポートと兼用  
**INTPZ42-INTPZ49** : プルダウン抵抗付きポートと兼用

## 2.4.4 DMA 端子

- 注意 1.** DMA 端子は、すべてポートと兼用されています。リセット時はポート・モードが選択されていますので、DMA 端子機能を使用する場合には、適宜 PMCTD, PMCTE で、兼用機能を許可してください。
- 2.** DMA 端子と兼用されているポートは、すべてプルアップ抵抗付きです。

(1) DMAREQZ0-DMAREQZ3 (DMA Request) ... 入力 (ロー・アクティブ)

DMA 転送要求入力端子です。

バス・クロック BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

(2) DMAACKZ0-DMAACKZ3 (DMA Acknowledge) ... 出力 (ロー・アクティブ)

DMA アクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がり同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。非同期インタフェースに対応し、対応する DMA 転送要求信号がディassertされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

(3) DMATCZ0-DMATCZ3 (DMA Terminal Count) ... 出力 (ロー・アクティブ)

ターミナル・カウント (DMA 転送完了) 出力端子です。

最終の DMA 転送を実行する際に、1 × BUSCLK 期間のロー・レベルを出力します。

### 2.4.5 SiP 内部接続用 DMA 端子

SiP 内部接続用 DMA 端子として、2 チャンネル分を確保しています。

SiP 内部の DMA インタフェース信号は、兼用機能を持たない専用端子です。

(1) SDMAREQZ0, SDMAREQZ1 (DMA Request Inputs for SiP Internal) ... 入力 (ロー・アクティブ)

SiP 内部接続専用 DMA 転送要求入力端子です。

バス・クロック SBUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

(2) SDMAACKZ0, SDMAACKZ1 (DMA Acknowledge Outputs for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用 DMA アクノリッジ信号です。

DMA 要求を受け付けると、SBUSCLK の立ち上がり同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。

非同期インタフェースに対応し、対応する DMA 転送要求信号がディアサートされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

(3) SDMATCZ0, SDMATCZ1 (DMA Terminal Count Outputs for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用ターミナル・カウント (DMA 転送完了) 出力端子です。

最終の DMA 転送を実行する際に、1 × SBUSCLK 期間のロー・レベルを出力します。

## 2.4.6 外部メモリ・インタフェース端子

### (1) STCSZ0 (Static Memory Chip Select) ... 出力 (ロー・アクティブ)

外部スタティック・メモリ (SRAM, I/O デバイス, ページ ROM) に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

**注意** ページ ROM は、STCSZ0 以外に接続した場合、オンページ・モードを利用できません。

### (2) STCSZ1-STCSZ3 (Static Memory Chip Select) ... 出力 (ロー・アクティブ)

外部スタティック・メモリ (SRAM, I/O デバイス) に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

### (3) DYCSZ (Dynamic Memory Chip Select) ... 出力 (ロー・アクティブ)

外部 SDRAM に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

STCSZ0-STCSZ3 とあわせて、外部メモリ・インタフェースのアドレス空間は、チップ・セレクト信号ごとに表 2-12 のように割り当てられています。

表 2-12 外部メモリ・インタフェースのアドレス空間

チップ・セレクト信号	アドレス空間	サイズ
STCSZ0	0800 0000H-09FF FFFFH	32M バイト
STCSZ1	0A00 0000H-0A7F FFFFH	8M バイト
STCSZ2	0A80 0000H-0ABF FFFFH	4M バイト
STCSZ3	0AC0 0000H-0AFF FFFFH	4M バイト
DYCSZ	F000 0000H-F7FF FFFFH	128M バイト

## (4) A1-A26 (Address Outputs) ... 出力

ROM / SRAM / SDRAM 共用アドレス出力です。この端子はプルダウン抵抗付きです。

A20-A26 は、リセット解除後は入力ポートです。アドレス出力として使用する場合は、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

A1 は P67 と兼用されていますが、BUS32EN0 端子で 16 ビット・バスを選択した場合には A1 端子が有効になります。

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

**注意** A20-A26 は、リセット解除後は入力ポートです。またプルダウン抵抗を内蔵しています。このアドレス線を利用する場合は、最初のイニシャライズ処理にて、A20-A26 のうち必要なアドレス線について、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

## (5) D0-D31 (Data Bus) ... 入出力

ROM / SRAM / SDRAM 共用データ・バスです。この端子は、プルダウン抵抗付きです。

出力は、バス・サイクル T1 ステートの BUSCLK の立ち上がりに同期して変化します。

D0-D31 のうち、D16-D31 はポート 9、ポート A と兼用しています。BUS32EN0 端子入力により、次のように動作します。

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

## (6) RDZ (Read Strobe) ... 出力 (ロー・アクティブ)

ROM / SRAM 用リード・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。

## (7) WRZ0-WRZ3 (Write Strobe) ... 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへのライト・ストロブ出力です。

WRZ2, WRZ3 は, 32 ビット・バスを選択している場合のみ利用できます。

WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。リセット解除後は, BENZ0-BENZ3 が選択されています。BENZ0-BENZ3 / WRZ0-WRZ3 の機能切り替えは, ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。また BENZ2/WRZ2, BENZ3/WRZ3 は, P76, P77 に兼用されています。端子名称は BENZ0, BENZ1, P76, P77 です。

**備考 BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと, SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは, WREN レジスタの独立ビットで選択できます。**

表 2-13 WRZ 信号対象データ・ビット

WRZ 信号	対象データ・ビット
WRZ0	D0-D7
WRZ1	D8-D15
WRZ2	D16-D23
WRZ3	D24-D31

## (8) DQM0-DQM3 (SDRAM DQ mask enable) ... 出力

SDRAM アクセス用 DQ マスク信号です。この端子は, プルアップ抵抗付きです。

DQM2, DQM3 は, 32 ビット幅で SDRAM を接続している場合のみ利用します。

リード時には, DQM0-DQM3 端子はすべてロー・レベルを出力します。それぞれ下記のように対応しています。

表 2-14 DQM 信号対象データ・ビット

DQM 信号	対象データ・ビット
DQM0	D0-D7
DQM1	D8-D15
DQM2	D16-D23
DQM3	D24-D31

## (9) SDWEZ (SDRAM Write enable) ... 出力 (ロー・アクティブ)

SDRAM アクセス用ライト・ストロブ信号です。

この端子は, プルアップ抵抗付きです。

## (10) SDCASZ (SDRAM Column address strobe) ... 出力 (ロー・アクティブ)

SDRAM アクセス用カラム・アドレス・ストロブ信号です。

この端子は, プルアップ抵抗付きです。

## (11) SDRASZ (SDRAM Row address strobe) ... 出力 (ロー・アクティブ)

SDRAM アクセス用 ROW・アドレス・ストロブ信号です。

この端子は, プルアップ抵抗付きです。

## (12)SDCKE (SDRAM Clock Enable) ... 出力

SDRAM 用クロック・イネーブル信号です。

セルフ・リフレッシュ・サイクル時にインアクティブ・レベル(ロー・レベル)を出力します。

## (13)WRSTBZ (ROM / SRAM Write Strobe) ... 出力(ロー・アクティブ)

内蔵メモリ・コントローラの WRZ0-WRZ3 のロー・アクティブ OR 出力です。

この端子は、プルアップ抵抗付きです。

汎用 SRAM のように、ライト・ストロブ入力が1本で、バイト・レーンのイネーブルを入力するデバイスに使用します。

## (14)WAITZ (ROM / SRAM Wait Input) ... 入力(ロー・アクティブ)

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、PFESiP/V850EP3 内部で BUSCLK 信号による同期化処理が行われるため非同期入力が可能です<sup>\*</sup>。この端子は、プルアップ抵抗付きです。

WAITZ 端子は P70 に兼用されており、リセット解除直後はポートとして動作します。WAITZ 入力端子として使用する場合は、ポート7モード・コントロール・レジスタ(PMCT7)でコントロール・モードに設定してください。

なお、SiP 内部接続用インタフェースの SWAITZ 端子とは独立端子で、相互関係がありません。

**注 WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。**

## (15)HLDRQZ (Hold Request) ... 入力(ロー・アクティブ)

外部デバイスが PFESiP/V850EP3 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、プルアップ抵抗付きです。

この端子は、BUSCLK に対して非同期入力が可能です。この端子がアクティブになると、PFESiP/V850EP3 は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、HLDAKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、HLDAKZ 信号が出力されるまで、HLDRQZ 信号をアクティブに保ってください。

バス・ホールド中に、外部メモリ・インタフェースにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウエイト状態になります。外部メモリ・インタフェース以外は、バス・ホールドの影響を受けずにアクセスできます。ただし SDRAM を利用している場合に、リフレッシュの必要が生じた場合には、BUSREQZ によりバスの解放を外部バス・マスタに要求します。

なお、SiP 内部接続用インタフェースの SHLDRQZ 端子とは独立端子で、相互関係がありません。

**注意 メモリ・コントローラの各種初期化(レジスタ設定など)が完了するまでは、HLDRQZ が入力されないようにしてください。なおリセット解除後は、ポート機能です。**

## (16)HLDKAZ (Hold Acknowledge) ... 出力 (ロー・アクティブ)

PFESiP/V850EP3 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

## (17)BENZ0-BENZ3 (ROM / SRAM Byte Enable) ... 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへのバイト・イネーブル出力です。

BENZ2, BENZ3 は、32 ビット・バスを選択している場合のみ利用できます。

BENZ0-BENZ3 と WRZ0-WRZ3 は兼用されています。リセット解除後は、BENZ0-BENZ3 が選択されています。BENZ0-BENZ3 / WRZ0-WRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

また BENZ2/WRZ2, BENZ3/WRZ3 は、P76, P77 に兼用されています。端子名称は BENZ0, BENZ1, P76, P77 です。BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

この端子は、プルアップ抵抗付きです。

**備考 BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。**

表 2-15 BENZ 信号対象データ・ビット

BENZ 信号	対象データ・ビット
BENZ0	D0-D7
BENZ1	D8-D15
BENZ2	D16-D23
BENZ3	D24-D31

## (18)BCYSTZ (ROM / SRAM Bus Cycle Start Status) ... 出力 (ロー・アクティブ)

バス・サイクルのスタート状態を示す出力です。

バス・サイクルの最初のステートにロー・レベルを出力します。

この端子は、プルアップ抵抗付きです。

## (19)BUSCLK (SDRAM Clock output) ... 出力

SDRAM へのクロック出力、およびメモリ・コントローラのバス・クロック出力信号です。

内部システム・バスと同一のクロックです。

## (20)BUSREQZ (Bus Release Request) ... 出力 (ロー・アクティブ)

外部メモリ・インタフェースに接続された、外部バス・マスタに対するバス解放要求出力です。

バス・ホールド中に SDRAM へのリフレッシュ要求が発生すると、BUSREQZ 端子にロー・レベルを出力し、外部バス・マスタに対してバスの解放を要求します。

**注意 バス・ホールド中に SDRAM へのリフレッシュ要求が発生しても、HLDKAZ 信号はディアサー  
トされません。**



### 2.4.7 SiP 内部接続用外部メモリ・インタフェース端子

SiP 内部接続専用の外部メモリ・インタフェース端子です。SDRAM アクセスはサポートしません。

外部メモリ・インタフェースは、高速に大きな負荷に対応させるため、一般的には駆動能力の大きな出力バッファを使用します。大きな出力バッファでは、伝送路に反射が発生するため、ダンピング抵抗などで反射を防止します。しかし SiP 内部の結線で 2 つのチップをボンディングで直結する場合などはダンピング抵抗を設けられず、また SiP 外部の端子と共通化できません。

このため PFESiP/V850EP3 では、SiP 内部接続用外部メモリ・インタフェース端子を設けています。また内部システム・バスにおいても、外部メモリ・インタフェースと、SiP 内部接続用外部メモリ・インタフェースには独立したメモリ・コントローラを配置しており、それぞれ異なるアドレス空間に配置されています。

#### (1) SCSZ0-SCSZ3 (Chip Select for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のチップ・セレクト信号出力です。この端子は、プルアップ抵抗付きです。

SiP 内部のチップ・セレクト信号は 4 本 (SCSZ0-SCSZ3) あり、外部メモリ・インタフェースとは独立しています。SiP 内部接続用外部メモリ・インタフェースのアドレス空間は、チップ・セレクト信号ごとに表 2-16 のように割り当てられています。

表 2-16 SiP 内部接続インタフェースのアドレス空間

チップ・セレクト信号	アドレス空間	サイズ
SCSZ0	0B00 0000H-0CFF FFFFH	32M バイト
SCSZ1	0D00 0000H-0D7F FFFFH	8M バイト
SCSZ2	0D80 0000H-0DBF FFFFH	4M バイト
SCSZ3	0DC0 0000H-0DFF FFFFH	4M バイト

#### (2) SA1-SA24 (Address Outputs for SiP Internal) ... 出力

SiP 内部接続専用のアドレス出力です。この端子は、プルダウン抵抗付きです。

#### (3) SD0-SD31 (Data Bus for SiP Internal) ... 入出力

SiP 内部接続専用の 32 ビット・データ・バスです。この端子は、プルダウン抵抗付きです。

#### (4) SRDZ (Read Strobe for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のリード・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。

## (5) SWRZ0-SWRZ3 (Write Strobe for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のライト・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。それぞれ下記のように対応しています。

SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。SBENZ0-SBENZ3 / SWRZ0-SWRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

**備考 BENZO-BENZ3 と WRZ0-WRZ3 の機能切り替えと、SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。**

表 2-17 SWRZ 信号対象データ・ビット

SWRZ 信号	対象データ・ビット
SWRZ0	SD0-SD7
SWRZ1	SD8-SD15
SWRZ2	SD16-SD23
SWRZ3	SD24-SD31

## (6) SWRSTBZ (ROM / SRAM Write Strobe for SiP Internal) ... 出力 (ロー・アクティブ)

内蔵メモリ・コントローラの SiP 内部接続専用 SWRZ0-SWRZ3 の負論理 OR 出力です。この端子は、プルアップ抵抗付きです。

## (7) SWAITZ (ROM / SRAM Wait Input for SiP Internal) ... 入力 (ロー・アクティブ)

SiP 内部接続専用の周辺 I/O または、メモリ制御回路からのウェイト入力端子です。PFESiP/V850EP3 内部で SBUSCLK 信号による同期化処理が行われるため非同期入力が可能です。この端子は、プルアップ抵抗付きです。

外部メモリ・インタフェースの WAITZ 端子とは独立端子で、相互関係がありません。

**注 SWAITZ 信号の非同期入力は推奨するものではありません。SWAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。**

## (8) SHLDRQZ (Hold Request for SiP Internal) ... 入力 (ロー・アクティブ)

SiP 内部接続専用の外部からのバス・ホールド要求入力です。この端子は、プルアップ抵抗付きです。

SiP 内部デバイスが PFESiP/V850EP3 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、SBUSCLK に対して非同期入力が可能です。この端子がアクティブになると、PFESiP/V850EP3 は実行中のバス・サイクルがあればその終了後に、なければすぐに SiP 内部接続のアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、SHLDAKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、SHLDAKZ 信号が出力されるまで、SHLDRQZ 信号をアクティブに保ってください。

バス・ホールド中に、外部メモリ・インタフェースにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウェイト状態になります。SiP 内部接続以外は、バス・ホールドの影響を受けずにアクセスできます。

なお、外部メモリ・インタフェースの HLDQRZ 端子とは独立端子で、相互関係がありません。

## (9) SHLDAKZ (Hold Acknowledge for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用の外部へのバス・ホールド・アクノリッジ出力です。

PFESiP/V850EP3 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用権を渡します。

## (10) SBENZ0-SBENZ3 (ROM / SRAM Byte Enable for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用の SRAM または、周辺 I/O へのバイト・イネーブル出力です。この端子は、プルアップ抵抗付きです。

それぞれ下記のように対応しています。

SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。SBENZ0-SBENZ3 / SWRZ0-SWRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

**備考 BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。**

表 2-18 SBENZ 信号対象データ・ビット

SBENZ 信号	対象データ・ビット
SBENZ0	D0-D7
SBENZ1	D8-D15
SBENZ2	D16-D23
SBENZ3	D24-D31

## (11) SBCYSTZ (ROM / SRAM Bus Cycle Start Status for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のバス・サイクルのスタート状態を示す出力です。

バス・サイクルの最初のステートにロー・レベルを出力します。

この端子は、プルアップ抵抗付きです。

## (12) SBUSCLK (Bus Clock output for SiP Internal) ... 出力

SiP 内部接続専用のメモリ・コントローラのバス・クロック出力信号です。

リセット解除後のドライブ能力は  $I_{OL} = 6\text{mA}$  です。機能は BUSCLK 端子と同一です。

内部システム・バスと同一のクロックです。

## (13) SRESTOZ (System Reset Output for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のリセット出力端子です。

### 2.4.8 シリアル・フラッシュ ROM インタフェース端子

ブートにも対応した，シリアル・フラッシュ ROM インタフェース端子です。

- (1) SMCK ( Serial Flash Clock ) ... 出力  
シリアル・フラッシュ ROM に対するクロック出力端子です。
- (2) SMSO ( Serial Flash Data Output ) ... 入出力  
シリアル・フラッシュ ROM へのデータ出力端子です。  
デュアル・モードでは，入出力端子として機能します。
- (3) SMSI ( Serial Flash Data Input ) ... 入出力  
シリアル・フラッシュ ROM からのデータ入力端子です。  
デュアル・モードでは，入出力端子として機能します。
- (4) SMCSZ ( Serial Flash Chip Select )  
シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

## 2.4.9 USB 端子

- (1) USB\_DPH ( USB Host D+ Signal ) ... 入出力  
USB ホスト・コントローラのデータ入出力 ( + ) 端子です。
- (2) USB\_DMH ( USB Host D- Signal ) ... 入出力  
USB ホスト・コントローラのデータ入出力 ( - ) 端子です。
- (3) USB\_RSDPH ( USB Host D+ RSDPH ) ... 入出力  
USB ホスト・コントローラの Full Speed データ入出力 ( + ) 端子です。  
外部 Rs 抵抗 ( 39  $\pm$  1% ) を介して USB\_DPH と接続してください。
- (4) USB\_RSDMH ( USB Host D- RSDMH ) ... 入出力  
USB ホスト・コントローラの Full Speed データ入出力 ( - ) 端子です。  
外部 Rs 抵抗 ( 39  $\pm$  1% ) を介して USB\_DMH と接続してください。
- (5) USB\_PPON ( USB Host Port Power Control Output ) ... 出力  
USB ホスト・コントローラ電源制御出力です。
- (6) USB\_OCI ( USB Host Over Current Input ) ... 入力  
USB ホスト・コントローラの過電流検出入力です。  
一般的なハイサイド・スイッチに対応させるため、ロー・レベル入力で過電流検出となります。
- (7) USB\_DPF ( USB Function D+ Signal ) ... 入出力  
USB ファンクション・コントローラのデータ入出力 ( + ) 端子です。
- (8) USB\_DMF ( USB Function D- Signal ) ... 入出力  
USB ファンクション・コントローラのデータ入出力 ( - ) 端子です。
- (9) USB\_RSDPF ( USB Function D+ RSDPH ) ... 入出力  
USB ファンクション・コントローラの Full Speed データ入出力 ( + ) 端子です。  
外部 Rs 抵抗 ( 39  $\pm$  1% ) を介して USB\_DPF と接続してください。
- (10) USB\_RSDMF ( USB Function D- RSDMH ) ... 入出力  
USB ファンクション・コントローラの Full Speed データ入出力 ( - ) 端子です。  
外部 Rs 抵抗 ( 39  $\pm$  1% ) を介して USB\_DMF と接続してください。
- (11) USB\_RPU ( USB Function D+ Pull-up ) ... 出力  
USB ファンクション・プルアップ抵抗外付け端子です。  
外部抵抗 ( 1.5K  $\pm$  1% ) を介して、USB\_DPF と接続してください。
- (12) USB\_VBUS ( USB Function BUS Power ) ... 入力  
USB ファンクション・コントローラの挿抜検知入力端子です。  
この端子は、プルダウン抵抗付きです。

## (13)USB\_AVDD ( USB Analog VDD ( 3.3V ) )

USB 内部レギュレータ電源端子です。USB 用に独立した 3.3V 電源を供給してください。

## (14)USB\_AVSS ( USB Analog GND )

USB 内部レギュレータ GND 端子です。USB\_AVDD とともに分離した GND に接続してください。

## (15)USB\_PVSS ( USB PLL GND )

USB 内部 PLL GND 端子です。GND に接続してください。

## (16)USB\_VD331, USB\_VD332 ( USB I/O Power ( 3.3V ) )

USB I/O 電源端子です。3.3V 電源を供給してください。

## (17)USB\_GND1, USB\_GND2, USB\_GND3 ( USB I/O GND )

USB I/O GND 端子です。GND に接続してください。

## (18)USB\_COM ( USB Common GND )

USB 共通 GND 端子です。ボード上で USB\_AVSS と接続してください。

## (19)USB\_RREF ( USB Reference Current ) ... 入力

基準電流生成端子です。外部抵抗 ( 1.6 K  $\pm$  1% ) を介して USB\_AVSS と接続してください。

## (20)USB\_PVDDFIL ( USB PLL Power Filter ) ... 出力

PLL 電源フィルタ端子です。USB\_PVSS と 1000pF で容量接続してください。

## (21)USB\_UCLK ( USB Reference Clock Input ) ... 入力

USB リファレンス・クロック入力端子です。48MHz または 30MHz を入力してください。

USB\_UCLK に 48MHz を利用する場合は、USB\_PCLK に 25MHz-33MHz を別途入力してください。

また UCLKSEL0 端子入力で、XT1, XT2 入力クロックを USB リファレンス・クロックとして使用することもできます。USB\_UCLK 入力を使用しない場合は、USB\_UCLK 端子はオープンにしてください。USB\_UCLK 端子には内部にプルダウン抵抗が接続されているため、内部にロー・レベルが伝播されません。

## (22)USB\_PCLK ( USB Bus Bridge Clock Input ) ... 入力

USB 内部バス・ブリッジのクロック入力端子です。25MHz-33MHz の範囲で入力してください。

また UCLKSEL1 端子入力で、USB\_UCLK または XT1, XT2 入力クロックを USB 内部バス・ブリッジのクロックとして使用することもできます。USB\_PCLK を使用しない場合は、USB\_PCLK 端子はオープンにしてください。USB\_PCLK 端子には内部にプルダウン抵抗が接続されているため、内部にロー・レベルが伝播されます。

(23)UCLKSEL0, UCLKSEL1 ( USB Clock Select ) ... 入力

USB リファレンス・クロックと, USB 内部バス・ブリッジのクロック入力を選択します。

USB 機能は, 30MHz 単一クロック動作または, USB\_UCLK = 48MHz, USB\_PCLK = 25-33MHz で動作します。USB\_UCLK, USB\_PCLK は, XT1, XT2 入力クロックとも共用化できます。

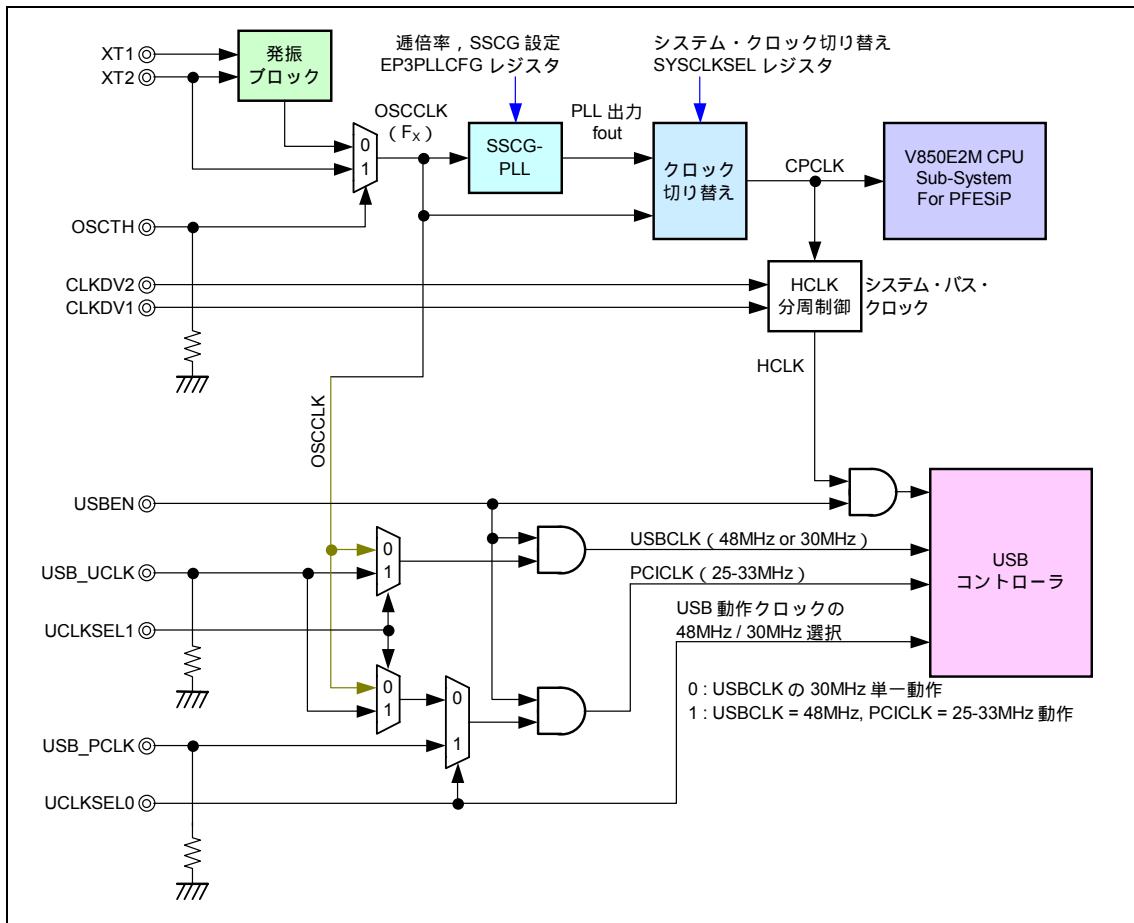
XT1, XT2 に 30MHz を入力した場合は, CPU 動作クロック, USB リファレンス・クロック, USB 内部バス・ブリッジのクロックを共用化でき, 単一クロックで動作可能です。

以下の組み合わせから, システムに合わせて USB クロックの供給方法を選択してください。

表 2-19 UCLKSEL0, UCLKSEL1 による USB クロック選択

UCLKSEL1	UCLKSEL0	動作モード	CPU 動作クロック	USB リファレンス・クロック	USB PCI クロック
0	0	XT1/XT2 単一動作	XT1/XT2 に 30MHz 入力	XT1/XT2 入力を供給 (USB_UCLK はオープン)	XT1/XT2 入力を供給 (USB_PCLK はオープン)
0	1	XT1/XT2 と USB_UCLK を兼用	XT1/XT2 に 48MHz 入力	XT1/XT2 入力を供給 (USB_UCLK はオープン)	USB_PCLK に 25-33MHz 入力
1	0	USB_UCLK と USB_PCLK を兼用	XT1/XT2 入力	USB_UCLK に 30MHz 入力	USB_UCLK を供給 (USB_PCLK はオープン)
1	1	独立クロック	XT1/XT2 入力	USB_UCLK に 48MHz 入力	USB_PCLK に 25-33MHz 入力

図 2-4 USB 機能周辺のクロック構成



### 2.4.10 Ether MAC 端子

Ether MAC 端子は、ポート L と兼用されており、ETHEN 端子入力により、ポート L の動作は下記のように変わります。

Ether MAC 端子の利用方法は、**第 19 章 Ether MAC** を参照してください。

ETHEN	Ether MAC 機能の 動作許可 / 禁止	DRCTRL レジスタ	PL0-PL18 の動作	
0	Ether MAC 機能禁止 (クロック供給停止)	608A 8495H	ポート	プルアップ抵抗
1	Ether MAC 機能許可	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

表 2-20 ETHEN = 1 の場合の Ether MAC 端子のリセット中の状態

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
ETH_TXCLK	入力	送信クロック入力	PL0		Hi-Z
ETH_TXD0-ETH_TXD3	出力	送信データ 0-3	PL1-PL4	-	□
ETH_TXEN	出力	送信データ・イネーブル出力	PL5	ハイ	□
ETH_TXER	出力	送信エラー出力	PL6	ハイ	□
ETH_COL	入力	衝突検出入力	PL7	ハイ	Hi-Z
ETH_CRS	入力	キャリア検出入力	PL8	ハイ	Hi-Z
ETH_RXCLK	入力	受信クロック入力	PL9		Hi-Z
ETH_RXD0-ETH_RXD3	入力	受信データ 0-3	PL10-PL13	-	Hi-Z
ETH_RXDV	入力	受信データ VALID	PL14	-	Hi-Z
ETH_RXER	入力	受信データ・エラー	PL15	ハイ	Hi-Z
ETH_MDC	出力	シリアル転送クロック	PL16		□
ETH_MDIO	入出力	シリアル入出力	PL17	-	Hi-Z
ETH_REFCLK	入力	RMII インタフェース用リファレンス・クロック入力	PL18	-	Hi-Z

(1) ETH\_TXCLK ( Ether Transfer Clock Input ) ... 入力

Ether MAC の送信クロック入力端子です。

(2) ETH\_TXD0, ETH\_TXD1, ETH\_TXD2, ETH\_TXD3 ( Ether Transfer Data Outputs ) ... 出力

Ether MAC の送信データ出力端子です。

(3) ETH\_TXEN ( Ether Transfer Data Enable Output ) ... 出力

Ether MAC の送信データ・イネーブル出力端子です。

(4) ETH\_TXER ( Ether Transfer Error Output ) ... 出力

Ether MAC の送信エラー出力端子です。

(5) ETH\_COL ( Ether COL Input ) ... 入力

Ether MAC データの衝突検出入力端子です。



- (6) ETH\_CRS ( Ether CRS Input ) ... 入力  
Ether MAC データのキャリア検出入力端子です。
- (7) ETH\_RXCLK ( Ether Receive Clock Input ) ... 入力  
Ether MAC の受信クロック入力です。
- (8) ETH\_RXD0, ETH\_RXD1, ETH\_RXD2, ETH\_RXD3 ( Ether Receive Data Inputs ) ... 入力  
Ether MAC の受信データ入力端子です。
- (9) ETH\_RXDV ( Ether Receive Data VALID Input ) ... 入力  
Ether MAC の受信データ VALID 入力端子です。
- (10) ETH\_RXER ( Ether Receive Data Error Input ) ... 入力  
Ether MAC の受信データ・エラー入力端子です。
- (11) ETH\_MDC ( Ether Serial Clock ) ... 入力  
Ether MAC シリアル転送クロック出力端子です。
- (12) ETH\_MDIO ( Ether Serial Data I/O ) ... 入出力  
Ether MAC シリアル・データ入出力端子です。
- (13) ETH\_REFCLK ( Ether RMII Interface reference clock Input ) ... 入力  
Ether MAC の RMII インタフェース用リファレンス・クロック入力端子です。

### 2.4.11 A/D コンバータ端子

**注意** A/D コンバータの電源は、EVDD 系と同電位ですが、デジタル系の電源ノイズの影響を受けにくい電源回路構成を推奨します。

(1) AIN0-AIN7 ( Analog Input ) ... 入力

A/D コンバータへのアナログ入力端子です。

ノイズに対する誤動作を防ぐため、AD\_AGND との間にコンデンサを接続してください。また A/D コンバータへの入力に使用している端子には、AVREFP-AVREFM の範囲外の電圧が加わらないようにしてください。AVREFP 以上、AVREFM 以下のノイズが入る可能性がある場合は、 $V_F$  の小さいショットキー・バリア・ダイオードなどで電源にクランプしてください。

(2) AD\_AVDD ( A/D Converter VDD )

A/D コンバータ用アナログ電源供給端子です。EVDD ( 3.3V ) と同電位の電源ラインに接続してください。

(3) AD\_AGND ( A/D Converter GND )

A/D コンバータ用グランド端子です。EGND と同電位のグランド・ラインに接続してください。

(4) AVREFP, AVREFM ( A/D Converter Reference Voltage ) ... 入力

A/D コンバータ用の基準電圧供給端子です。

(5) ADTRG ( A/D Conversion Trigger ) ... 入力

A/D コンバータ用の変換トリガ入力です。PC7 と兼用されています。PC7 をコントロール・モードに設定し、変換トリガに外部トリガ・モードを選択した場合に利用できます。

この端子は、プルダウン抵抗付きです。このトリガ入力は、シュミット入力を受け、デジタル・ノイズ・フィルタ処理されています。

### 2.4.12 D/A コンバータ端子

**注意 1.** PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

**2.** D/A コンバータの電源は、EVDD 系と同電位ですが、デジタル系の電源ノイズの影響を受けにくい電源回路構成を推奨します。

(1) VOA, VOB ( Analog Outputs ) ... 出力

D/A コンバータのアナログ出力端子です。

(2) DA\_AVDD ( D/A Converter VDD )

D/A コンバータ用アナログ電源供給端子です。EVDD ( 3.3V ) と同電位の電源ラインに接続してください。

(3) DA\_AGND ( D/A Converter GND )

D/A コンバータ用グランド端子です。EGND と同電位のグランド・ラインに接続してください。

### 2.4.13 Nexus インタフェース端子

オンチップ・デバッグ機能により、デバッガを接続するための Nexus インタフェース端子です。

下記の信号が利用できます。

MCKO,	MDO0-MDO7,	MSEO0,	MSEO1,	DRSTZ,
DCK,	DMS,	DDI,	DDO,	DRDYZ,
EVTOZ, EVTIZ / DBINT				

## 2.4.14 システム端子

### (1) IDLEOUTZ (IDLE Mode Status Output) ... 出力 (ロー・アクティブ)

IDLE モードの状態出力です。

IDLE モードに入り、クロック停止が行われるタイミングで、ロー・レベルになります。IDLE モードが解除されるとハイ・レベルになります。

この端子は P75 に兼用されています。

### (2) WDTOUTZ (Watchdog Timer Output) ... 出力 (ロー・アクティブ)

ウォッチドッグ・タイマ出力です。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。

この端子は P27, P83 に兼用されています。外部端子に出力する場合は P83, SiP 内部接続で利用する場合は P27 を利用してください。

**備考 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。**

### (3) RESETZ (System Reset Input) ... 入力 (ロー・アクティブ)

RESETZ 入力は非同期入力です。クロック・コントローラを経て内部に伝播します。通常のイニシャライズ/スタートのほかに、パワー・セーブ・モード (HALT モード, IDLE モード) の解除にも使用できます。

RESETZ 端子へのロー・レベル入力は 500  $\mu$ s (MIN.) です。ただし、発振安定時間が 500  $\mu$ s 以上必要な場合は、発振安定時間分、ロー・レベルを確保してください。

### (4) RESTOZ (System Reset Output) ... 出力 (ロー・アクティブ)

リセット出力端子です。

リセットは RESETZ 端子により、リセットは非同期で行われます。リセットの解除は BUSCLK 同期で行われます。

### (5) SRESTOZ (System Reset Output for SiP Internal) ... 出力 (ロー・アクティブ)

SiP 内部接続専用のリセット出力端子です。RESTOZ と同じ信号です。

## (6) XT1, XT2 (Oscillator) ... 入力

発振ブロックの標準入力周波数は 27MHz-48MHz です。

外部クロック入力モード時 (発振器出力を直接接続する場合) には, OSCTH 端子にハイ・レベルを入力 (EVDD に接続) し, XT2 端子に外部クロックを入力し, XT1 端子にはロー・レベルを入力 (EGND に接続) してください。

USB 機能を利用する場合で, CPU の動作クロックと USB の動作クロックを共用する場合は 30MHz を入力してください。また, CAN コントローラを利用する場合は, 27MHz-33MHz を入力してください。

リセット解除後はこの入力周波数で動作します。起動後, レジスタ設定にて PLL の通倍率を変更できます。

なお, PFESiP/V850EP3 は, 源発振を停止する STOP モードを持っていません。

**注意 1.** 発振子, 発振器 (発振モジュール) いずれの場合も, 上限の周波数は 48MHz です。

**2.** 発振子の選択および発振回路定数については, お客様にて発振評価していただくか, 発振器メーカーに評価を依頼してください。

**備考** USB, CAN の双方を利用する場合, 外部発振器 (発振子) 数が最小となるのは 30MHz 入力の場合です。この場合は CPU, USB, CAN で 30MHz 入力を共用できます。ただし Ether MAC 機能は, 外部の発振器または PHY からのクロック供給が必要です。

## (7) OSCTH (OSC Through Clock) ... 入力

外部クロック入力モード時 (発振器出力を直接接続する場合) には, OSCTH 端子にハイ・レベルを入力 (EVDD に接続) し, XT2 端子に外部クロックを入力し, XT1 端子にはロー・レベルを入力 (EGND に接続) してください。

XT1, XT2 に発振子を接続する場合は, OSCTH 端子にロー・レベルを入力 (EGND に接続) してください。

**表 2-21 OSCTH によるクロック入力制御**

利用方法	OSCTH 入力	XT1, XT2 端子処理
発振子接続	ロー	XT1, XT2 に発振子接続
外部クロック入力	ハイ	XT2 に外部クロック入力, XT1 はロー・レベル入力

## (8) PONR ( Power On Reset for Redundancy RAM ) ... 入力

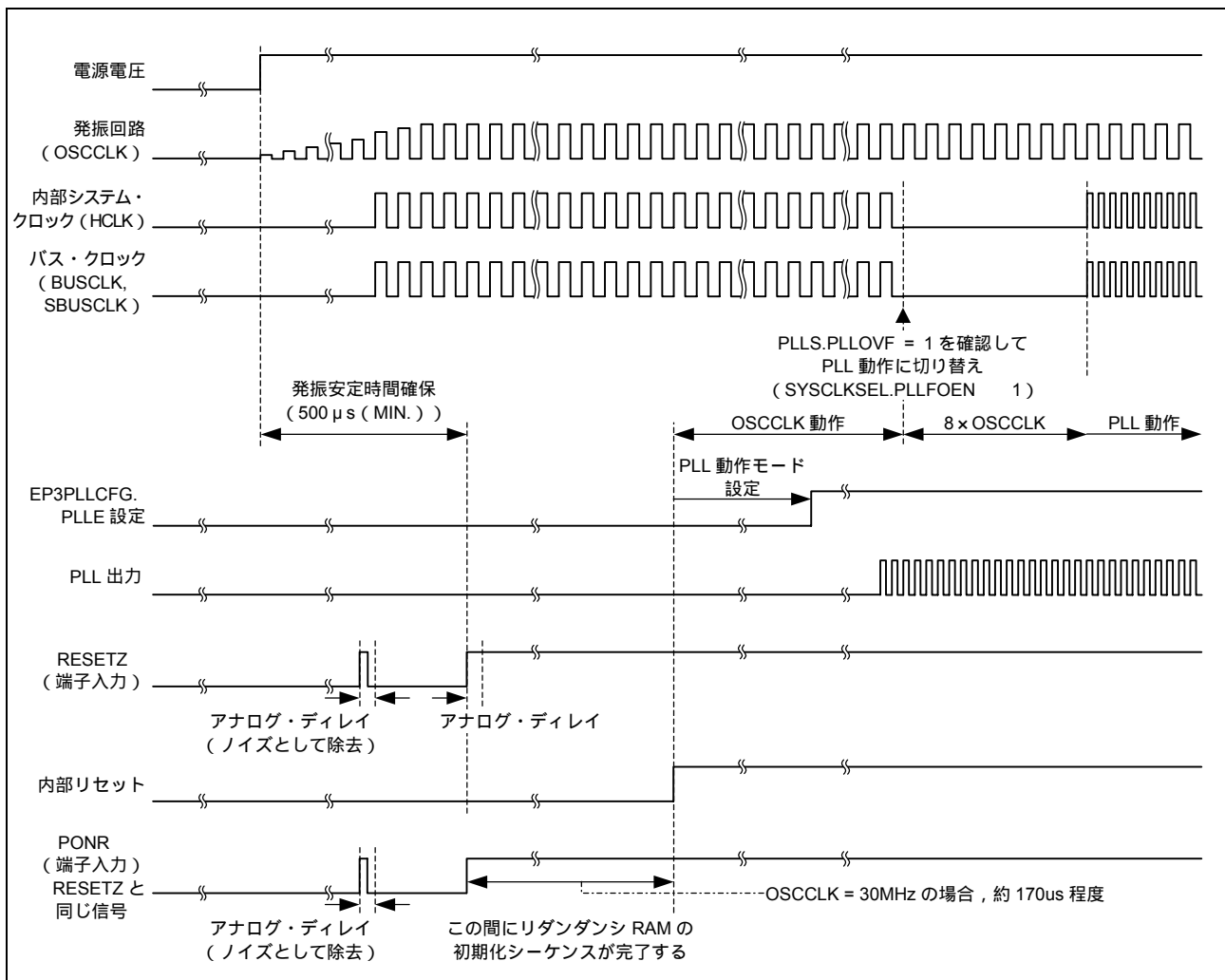
PFESiP/V850EP3 の内蔵 RAM には、製造歩留まり向上のため、リダンダンシ RAM を採用しています。内蔵 RAM は複数のグループに分けられており、検査過程で、グループ単位で発生した 1 ビットまでのエラーをビット線ごとエラーのないビット線に置き換えています。

このエラーの有無の情報を内蔵 RAM に展開する初期化シーケンスを設けるため、PONR 信号を入力する必要があります。PONR には RESETZ 信号と同じリセット信号を入力してください。

RESETZ 入力によるリセット解除に対して、内部回路のリセット動作を行ってから内部リセット信号は解除されるため、この期間にリダンダンシ RAM の初期化シーケンスが完了します。

**注意** リセット解除後には、リダンダンシ RAM のエラー情報を RAM 上に展開するため、リセット前の内蔵 RAM のデータは、リセット後は保証されません。ただし、インサーキット・エミュレータを用い、デバッガからソフトウェア・リセットする場合は、ソフトウェア・リセット前のデータは保証されます。

図 2-5 リセット動作，PONR 信号とリダンダンシ RAM の初期化シーケンス



## (9) PLL\_AVDD (SSCG-PLL Power Supply)

SSCG-PLL 用電源端子です。IVDD (1.0V) と同電位の電源ラインに接続してください。

## (10) PLL\_AGND (SSCG-PLL Ground)

SSCG-PLL 用グランド電位端子です。IGND と同電位のグランド・ラインに接続してください。

**注意 PLL の電源は、IVDD 系と同電位ですが、デジタル系の電源ノイズの影響を受けにくい電源回路構成を推奨します。**

## (11) EVDD (I/O Power Supply)

I/O バッファ用電源 (3.3V) 供給端子です。

## (12) IVDD (Internal Power Supply)

内部電源供給端子です。PFESiP/V850EP3 の内部電源は、1.0V です。

## (13) EGND (Ground)

I/O バッファ用グランド電位端子です。すべての EGND 端子をグランドに接続してください。

## (14) IGND (Ground)

内部電源用グランド電位端子です。すべての IGND 端子をグランドに接続してください。

### 2.4.15 動作モード設定端子

起動時のバス・サイズ、CPU と内部システム・バスのクロックの分周比などを設定します。ほとんどの動作モード設定端子は、動作中の設定変更を許可していないため、SiP 内外で固定しなければなりません。動作モード設定端子の設定は、EVDD または EGND に直接接続します。

**注意** 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

#### (1) BUS32EN0 (External Bus Size Select) ... 入力

起動時の外部バス・サイズを選択します。起動後、BSC レジスタで、チップ・セレクト信号 (STCSZ0-STCSZ3, DYCSZ) ごとにバス・サイズを変更できます。

表 2-22 起動時の外部バス・サイズの設定

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

#### (2) BUS32EN1 (SiP Internal Bus Size Select) ... 入力

SiP 内部から起動する場合に、起動時の SiP 内部バス・サイズを選択します。起動後、SPBSC レジスタで、チップ・セレクト信号 (SCSZ0-SCSZ3) ごとにバス・サイズを変更できます。

表 2-23 起動時の SiP 内部バス・サイズの設定

BUS32EN1	起動時の SiP 内部バス・サイズ	SPBSC レジスタ
0	16 ビット	0000 5555H
1	32 ビット	0000 FFFFH



## (3) CLKDV0-CLKDV2 (HCLK Divide Control) ... 入力

CPU の動作クロック (CPCLK) に対する内部システム・バス・クロック (HCLK) および周辺マクロ・クロック (PCLK) の分周比設定入力です。

外部バス・インタフェースの BUSCLK, SiP 内部接続インタフェースの SBUSCLK は, 常に HCLK と同一周波数に設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

**備考 1. CPCLK : CPU 動作クロック**

2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。

3. HCLK に CPCLK/3 を選択した場合の HCLK のデューティは 50% になります。

## (4) BOOTSEL (Boot Select) ... 入力

ブート領域を外部メモリ / SiP 内部メモリ / 外部シリアル・フラッシュ ROM の 3 種類から選択します。起動した領域 (デバイス) により, ブート・アドレスが異なります。

表 2-24 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	-

## (5) USBEN ( USB Enable ) ... 入力

PFESiP/V850EP3 の内蔵 USB 機能の動作許可 / 禁止を設定します。

USBEN = 0 の場合は、USB機能へのUSBリファレンス・クロック ( USBCLK ) ，USB内部バス・クロック ( PCICLK ) ，内部システム・バス・クロック ( HCLK ) のすべての供給が行われません。USB機能を使用しない場合は、「2.1.11 USB端子」の端子処理に従ってください。

USBEN	USB 機能の動作許可 / 禁止
0	USB 機能禁止 ( クロック供給停止 )
1	USB ホスト / ファンクション許可

## (6) ETHEN ( Ether MAC Enable ) ... 入力

内蔵 Ether MAC 機能の動作許可 / 禁止を設定します。

ETHEN = 0 の場合は、Ether MAC への内部システム・バス・クロック ( HCLK ) の供給が行われません。

この設定により、ポート L の動作も下記のように変わります。

ETHEN	Ether MAC 機能の動作許可 / 禁止	DRCTRL レジスタ	PL0-PL18 の動作	
0	Ether MAC 機能禁止 ( クロック供給停止 )	608A 8495H	ポート	プルアップ抵抗
1	Ether MAC 機能許可	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

**備考 Ether MAC の機能と、兼用されているポート L の機能の双方を利用しない場合は、ポート L はオープンとすることができます。**

## (7) JTAGSEL ( JTAG Interface Select ) ... 入力

JTAG インタフェース端子 ( DRSTZ, DCK, DMS, DDI, DDO ) の動作モード設定端子です。

通常動作時、インサーキット・エミュレータを接続してデバッグする場合はロー・レベルを入力してください。ボード・テストを利用する場合は、ハイ・レベルを入力してください。

JTAGSEL	JTAG 端子の動作モード
0	通常動作時、デバッガ・インタフェース・モード
1	ボード・テスト・モード

### 2.4.16 テスト端子

テスト端子は、PFESiP/V850EP3 の出荷テストで使用されます。通常動作時には、表 2-25 の処理を行ってください。

表 2-25 テスト端子の処理

端子名	端子の推奨処理方法
TMODE0-TMODE2	EGND に接続
TESTCLK	
TMC1	
TMC2	

## 2.5 動作モード・モニタ機能

動作モード設定端子は、動作モード・モニタ・レジスタで設定状態を確認できます。  
 確認可能な動作モード設定端子を、以下に示します。

表 2-26 確認可能な動作モード設定端子

端子名称	機能
BUS32EN0	外部メモリ・インタフェースの起動時のバス幅選択
BUS32EN1	SiP 内部インタフェースの起動時のバス幅選択
CLKDV0-CLKDV2	CPU と内部システム・バス・クロック, 周辺マクロ・クロックの分周比設定
BOOTSEL0, BOOTSEL1	ブート・モード選択
USBEN	USB 動作許可 / 禁止設定
ETHEN	Ether MAC 動作許可 / 禁止設定 ( 兼用のポート機能は制御されません )
JTAGSEL	JTAG 端子の動作モード設定
OSCTH	XT2 ダイレクト入力時にハイ・レベル入力

### 2.5.1 動作モード・モニタ・レジスタ

表 2-26 に示す動作モード設定端子のレベルを読み出すレジスタです。  
 端子名とビット名が対応しています。  
 32 ビット単位でリードのみ可能です。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MDMNT		0	0	0	0	0	0	0	0	0	0	0	OSCTH	0	0	USBEN	ETHEN	0F01 9100H
R/W		0	0	0	0	0	0	0	0	0	0	0	R	0	0	R	R	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
		0	0	0	JTAGSEL	0	CLKDV2	CLKDV1	CLKDV0	0	0	BOOTSEL1	BOOTSEL0	0	0	BUS32EN1	BUS32EN0	端子設定
R/W		0	0	0	R	0	R	R	R	0	0	R	R	0	0	R	R	

ビット位置	ビット名	意味
20, 17, 16, 12, 10-8, 5, 4, 1, 0	-	動作モード設定端子のレベルを読み出します。 0 : ロー・レベル入力 1 : ハイ・レベル入力

## 2.6 バッファ機能切り替え機能

外部バス・インタフェース端子 ,SiP 内部接続インタフェース端子 ,Ether MAC 端子 ,IDLEOUTZ 端子には ,ドライブ能力 ,プルアップ /プルダウン抵抗を ,プログラマブルに変更できます。

負荷の大きいシステムや ,PFESiP/V850EP3 評価ボードでは ,ドライブ能力の高いバッファ・タイプに変更して ,安定した動作を実現できます。

バッファ機能の切り替えには ,バッファ機能切り替えレジスタ (DRCTRL) を使用します。

### 2.6.1 バッファ機能切り替えレジスタの初期値

DRCTRL レジスタの初期値は ,下記の負荷容量を前提にしています。また ,端子の用途特性に応じ ,DRCTRL のプルアップ /プルダウンの初期値が決定されています。

( 1/2 )

端子の種類	端子名	兼用ポート	DRCTRL レジスタの設定ビット	DRCTRL レジスタ初期値			ドライブ能力 可変範囲 [ mA ]
				プルアップ/ プルダウン 指定	想定 負荷容量 [ pF ]	ドライブ 能力 [ mA ]	
外部バス・ インタフェース	A1	P67	DRCTRL.3-0	プルダウン	18.5	6	6/9
	A2-A19	-			26		
	A20-A26	P60-P66					
	D0-D15	-					
	D16-D23	P90-P97					
	D24-D31	PA0-PA7					
	RDZ	-	DRCTRL.7-4	プルアップ	18.5	6	6/9
	WRSTBZ	-					
	BCYSTZ	-					
	WAITZ	P70					
	STCSZ0	-					
	STCSZ1	P71					
	STCSZ2	P72					
	STCSZ3	P73					
	DYCSZ	P74					
	BENZ0/WRZ0	-					
	BENZ1/WRZ1	-					
	BENZ2/WRZ2	P76					
	BENZ3/WRZ3	P77					
	HLDQRZ	P80					
	HLDKZ	P81			18.5	6	6/9
	BUSREQZ	P82					
	DQM0-DQM3	-					
	SDRASZ	-					
	SDCASZ	-					
	SDWEZ	-					
SDCKE	-	6	6/9				
IDLEOUTZ	P75	DRCTRL.7-4	プルアップ	30	6	6/9	
BUSCLK	-	DRCTRL.29, 28	-	18.5	9	6/9/12	

(2/2)

端子の種類	端子名	兼用 ポート	DRCTRL レジスタの 設定ビット	DRCTRL レジスタ初期値			ドライブ能力 可変範囲 [ mA ]	
				プルアップ/ プルダウン 指定	想定 負荷容量 [ pF ]	ドライブ 能力 [ mA ]		
SiP 内部接続	SA1-SA24	-	DRCTRL.11-8	プルダウン	5	3	3/6	
	SD0-SD31	-						
	SRDZ	-	DRCTRL.15-12	プルアップ				
	SWRSTBZ	-						
	SBCYSTZ	-						
	SWAITZ	-						
	SCSZ0-SCSZ3	-						
	SBENZ0-SBENZ3	-						
	SRESTOZ	-						
	SHLDRQZ	-						
	SHLDAKZ	-						
	SBUSCLK	-						DRCTRL.31, 30
	SDMARQZ0, SDMARQZ1	-	DRCTRL.23-20	プルアップ				
	SDMAACKZ0, SDMAACKZ1	-						
	SDMATCZ0, SDMATCZ1	-						
P20-P27	-							
				5		6	3/6/9	
Ether MAC 端子	ETH_TXCLK	PL0	DRCTRL.19-16	プルアップ ETHEN = 1 の 場合はプル アップなし	15	9	6/9	
	ETH_TXD0	PL1						
	ETH_TXD1	PL2						
	ETH_TXD2	PL3						
	ETH_TXD3	PL4						
	ETH_TXEN	PL5						
	ETH_TXER	PL6						
	ETH_COL	PL7						
	ETH_CRS	PL8						
	ETH_RXCLK	PL9						
	ETH_RXD0	PL10						
	ETH_RXD1	PL11						
	ETH_RXD2	PL12						
	ETH_RXD3	PL13						
	ETH_RXDV	PL14						
	ETH_RXER	PL15						
	ETH_MDC	PL16						
	ETH_MDIO	PL17						
ETH_REFCLK	PL18							

## 2.6.2 バッファ機能切り替えレジスタ (DRCTRL)

外部バス・インタフェース端子 ,SiP 内部接続インタフェース端子 ,Ether MAC 端子 ,IDLEOUTZ 端子の ,ドライブ能力 ,プルアップ/プルダウン抵抗を設定するレジスタです。

外部バス・インタフェース端子 ,SiP 内部接続インタフェース端子 (バスのみ) は ,プルアップ端子系とプルダウン端子系でレジスタ・ビットが分かれています。

DRCTRL レジスタは ,リセット解除後の初期化処理で設定し ,以降の設定変更は ,バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば ,内部アクセスのみを行っているときに設定を変更してください。

DRCTRL レジスタの設定は ,その端子の動作モード (ポート・モードと兼用機能を利用するコントロール・モードなど) に関係なく有効になります。

32 ビット単位でリード/ライト可能です。

**注意** プルアップ/プルダウンの設定変更は ,基本的に推奨しません。変更する場合は ,以下の点に十分注意してください。

プルアップ/プルダウンの設定変更は ,ハイ・インピーダンス時のレベルが変化します。

外部バス・インタフェースとポートのプルアップ/プルダウンが同時に変更されるものがあります。特にバス・ホールドなどでのハイ・インピーダンス制御時などに注意が必要です。

( 1/4 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
DRCTRL	IOL SBUS1	IOL SUBS0	IOL BUS1	IOL BUS0	0	0	0	0	PUI	PDI	IOL1	IOL0	PUL	PDL	IOLL1	IOLL0	0F01 910CH	
	SBUSCLK		BUSCLK		SiP (バス以外)						Ether MAC							
R/W	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	PU SU	PD SU	IOL SU1	IOL SU0	PU SD	PD SD	IOL SD1	IOL SD0	PU EU	PD EU	IOL EU1	IOL EU0	PU ED	PD ED	IOL ED1	IOL ED0	608A 8495H/ 6082 8495H <sup>※</sup>	
	SiP バス・プルアップ系				SiP バス・プルダウン系				外部バス・プルアップ系				外部バス・プルダウン系					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味															
31, 30	IOLSBUS1, IOLSBUS0	SBUSCLK 端子のドライブ能力を設定します。 <table border="1" style="margin: 5px; width: 100%; border-collapse: collapse;"> <thead> <tr> <th>IOLSBUS1</th> <th>IOLSBUS0</th> <th>SBUSCLK 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>3mA</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLSBUS1	IOLSBUS0	SBUSCLK 端子のドライブ能力	0	0	3mA	0	1	6mA (初期値)	1	0	設定禁止	1	1	設定禁止
IOLSBUS1	IOLSBUS0	SBUSCLK 端子のドライブ能力															
0	0	3mA															
0	1	6mA (初期値)															
1	0	設定禁止															
1	1	設定禁止															
29, 28	IOLBUS1, IOLBUS0	BUSCLK 端子のドライブ能力を設定します。 <table border="1" style="margin: 5px; width: 100%; border-collapse: collapse;"> <thead> <tr> <th>IOLBUS1</th> <th>IOLBUS0</th> <th>BUSCLK 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>3mA (推奨しません)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>9mA (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA (推奨しません)</td> </tr> </tbody> </table>	IOLBUS1	IOLBUS0	BUSCLK 端子のドライブ能力	0	0	3mA (推奨しません)	0	1	6mA	1	0	9mA (初期値)	1	1	12mA (推奨しません)
IOLBUS1	IOLBUS0	BUSCLK 端子のドライブ能力															
0	0	3mA (推奨しません)															
0	1	6mA															
1	0	9mA (初期値)															
1	1	12mA (推奨しません)															

注 ETHEN 端子により初期値が決定されます。

ETHEN	DRCTRL レジスタ	ポート L の動作	
0	608A 8495H	ポート	プルアップ抵抗
1	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし



(2/4)

ビット位置	ビット名	意味															
23, 22	PUI, PDI	SDMARQZ0, SDMARQZ1, P20-P27 端子のプルアップ抵抗 / プルダウン抵抗を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PUI</th> <th>PDI</th> <th>SDMARQZ0, SDMARQZ1, P20-P27 端子の プルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUI	PDI	SDMARQZ0, SDMARQZ1, P20-P27 端子の プルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (推奨しません)	1	0	プルアップ抵抗 (初期値)	1	1	設定禁止
PUI	PDI	SDMARQZ0, SDMARQZ1, P20-P27 端子の プルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (推奨しません)															
1	0	プルアップ抵抗 (初期値)															
1	1	設定禁止															
21, 20	IOLI1, IOLI0	SDMAACKZ0, SDMAACKZ1, SDMATCZ0, SDMATCZ1, P20-P27 端子のドライブ能力を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IOLI1</th> <th>IOLI0</th> <th>SDMAACKZ0, SDMAACKZ1, SDMATCZ0, SDMATCZ1, P20-P27 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLI1	IOLI0	SDMAACKZ0, SDMAACKZ1, SDMATCZ0, SDMATCZ1, P20-P27 端子のドライブ能力	0	0	3mA (初期値)	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLI1	IOLI0	SDMAACKZ0, SDMAACKZ1, SDMATCZ0, SDMATCZ1, P20-P27 端子のドライブ能力															
0	0	3mA (初期値)															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															
19, 18	PUL, PDL	Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PUL</th> <th>PDL</th> <th>Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし<sup>注</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗<sup>注</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUL	PDL	Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし <sup>注</sup>	0	1	プルダウン抵抗 (推奨しません)	1	0	プルアップ抵抗 <sup>注</sup>	1	1	設定禁止
PUL	PDL	Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし <sup>注</sup>															
0	1	プルダウン抵抗 (推奨しません)															
1	0	プルアップ抵抗 <sup>注</sup>															
1	1	設定禁止															
17, 16	IOLL1, IOLL0	Ether MAC 端子のドライブ能力を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IOLL1</th> <th>IOLL0</th> <th>Ether MAC 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLL1	IOLL0	Ether MAC 端子のドライブ能力	0	0	3mA	0	1	6mA	1	0	9mA (初期値)	1	1	設定禁止
IOLL1	IOLL0	Ether MAC 端子のドライブ能力															
0	0	3mA															
0	1	6mA															
1	0	9mA (初期値)															
1	1	設定禁止															

注 ETHEN 端子で初期値が変わります。

ETHEN = 0 : プルアップ抵抗

ETHEN = 1 : プルアップ抵抗 / プルダウン抵抗なし

( 3/4 )

ビット位置	ビット名	意味															
15, 14	PUSU, PDSU	<p>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗 / プルダウン抵抗を設定します。</p> <table border="1"> <thead> <tr> <th>PUSU</th> <th>PDSU</th> <th>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUSU	PDSU	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (推奨しません)	1	0	プルアップ抵抗 (初期値)	1	1	設定禁止
PUSU	PDSU	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (推奨しません)															
1	0	プルアップ抵抗 (初期値)															
1	1	設定禁止															
13, 12	IOLSU1, IOLSU0	<p>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のドライブ能力を設定します。</p> <table border="1"> <thead> <tr> <th>IOLSU1</th> <th>IOLSU0</th> <th>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLSU1	IOLSU0	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のドライブ能力	0	0	3mA (初期値)	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLSU1	IOLSU0	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SRESTOZ, SHLDRQZ, SHLDAKZ 端子のドライブ能力															
0	0	3mA (初期値)															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															
11, 10	PUSD, PDSU	<p>SA1-SA24, SD0-SD31 端子のプルアップ抵抗 / プルダウン抵抗を設定します。</p> <table border="1"> <thead> <tr> <th>PUSD</th> <th>PDSU</th> <th>SA1-SA24, SD0-SD31 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUSD	PDSU	SA1-SA24, SD0-SD31 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (初期値)	1	0	プルアップ抵抗 (推奨しません)	1	1	設定禁止
PUSD	PDSU	SA1-SA24, SD0-SD31 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (初期値)															
1	0	プルアップ抵抗 (推奨しません)															
1	1	設定禁止															
9, 8	IOLSD1, IOLSD0	<p>SA1-SA24, SD0-SD31 端子のドライブ能力を設定します。</p> <table border="1"> <thead> <tr> <th>IOLSD1</th> <th>IOLSD0</th> <th>SA1-SA24, SD0-SD31 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLSD1	IOLSD0	SA1-SA24, SD0-SD31 端子のドライブ能力	0	0	3mA (初期値)	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLSD1	IOLSD0	SA1-SA24, SD0-SD31 端子のドライブ能力															
0	0	3mA (初期値)															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															

(4/4)

ビット位置	ビット名	意味															
7, 6	PUEU, PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗 / プルダウン抵抗を設定します。  <table border="1"> <thead> <tr> <th>PUEU</th> <th>PDEU</th> <th>RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUEU	PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (推奨しません)	1	0	プルアップ抵抗 (初期値)	1	1	設定禁止
PUEU	PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (推奨しません)															
1	0	プルアップ抵抗 (初期値)															
1	1	設定禁止															
5, 4	IOLEU1, IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ <sup>注</sup> , STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ <sup>注</sup> , HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力を設定します。  <table border="1"> <thead> <tr> <th>IOLEU1</th> <th>IOLEU0</th> <th>RDZ, WRSTBZ, BCYSTZ, WAITZ<sup>注</sup>, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ<sup>注</sup>, HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLEU1	IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ <sup>注</sup> , STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ <sup>注</sup> , HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力	0	0	3mA (推奨しません)	0	1	6mA (初期値)	1	0	9mA	1	1	設定禁止
IOLEU1	IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ <sup>注</sup> , STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ <sup>注</sup> , HLDKAZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力															
0	0	3mA (推奨しません)															
0	1	6mA (初期値)															
1	0	9mA															
1	1	設定禁止															
3, 2	PUED, PDED	A1-A26, D0-D31 端子のプルアップ抵抗 / プルダウン抵抗を設定します。  <table border="1"> <thead> <tr> <th>PUED</th> <th>PDED</th> <th>A1-A26, D0-D31 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 (推奨しません)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUED	PDED	A1-A26, D0-D31 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (初期値)	1	0	プルアップ抵抗 (推奨しません)	1	1	設定禁止
PUED	PDED	A1-A26, D0-D31 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (初期値)															
1	0	プルアップ抵抗 (推奨しません)															
1	1	設定禁止															
1, 0	IOLED1, IOLED0	A1-A26, D0-D31 端子のドライブ能力を設定します。  <table border="1"> <thead> <tr> <th>IOLSD1</th> <th>IOLSD0</th> <th>A1-A26, D0-D31 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA (推奨しません)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLSD1	IOLSD0	A1-A26, D0-D31 端子のドライブ能力	0	0	3mA (推奨しません)	0	1	6mA (初期値)	1	0	9mA	1	1	設定禁止
IOLSD1	IOLSD0	A1-A26, D0-D31 端子のドライブ能力															
0	0	3mA (推奨しません)															
0	1	6mA (初期値)															
1	0	9mA															
1	1	設定禁止															

注 WAITZ, HLDRQZ は入力機能のため、ポートとして利用する場合にこのビットが機能します。

## 2.7 各端子のバッファ・タイプ

各端子の入出力回路タイプと、未使用端子の処理を表 2-27 に以降に示します。  
また、各タイプの入出力回路の構成は表 2-39 を参照してください。

表 2-27 各端子の入出力回路タイプと未使用端子の処理（ポート端子）

(1/3)

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
P00-P07	INTPZ0-INTPZ7	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50kΩ Pull-up	オープン	不可
P10-P17	INTPZ8-INTPZ15					
P20-P26	INTPZ16-INTPZ22	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 3mA 50k Pull-up	オープン	SiP 内処理 必須
P27	INTPZ23/WDTOUTZ					
P30	TXD0/SCK2	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50kΩ Pull-up	オープン	不可
P31	RXD0/SO2					
P32	RTS0/SI2					
P33	CTS0					
P34	TXD1/SCK3					
P35	RXD1/SO3					
P36	RTS1/SI3					
P37	CTS1					
P40	TXD2					
P41	RXD2					
P42	RTS2					
P43	CTS2					
P44	TXD3/CTXD0					
P45	RXD3/CRXD0					
P46	RTS3/CTXD1	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50kΩ Pull-up		
P47	CTS3/CRXD1	TUD4ZE1269	入出力	I/O Buffer (5V-TOL) Schmitt in 4mA 50kΩ Pull-up		
P50	TIA00/TOA00/INTPZ24	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50kΩ Pull-up		不可
P51	TIA01/TOA01/INTPZ25					
P52	TIA10/TOA10/INTPZ26					
P53	TIA11/TOA11/INTPZ27					
P54	TIA20/TOA20/INTPZ28					
P55	TIA21/TOA21/INTPZ29					
P56	TIA30/TOA30/INTPZ30					
P57	TIA31/TOA31/INTPZ31					

(2/3)

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
P60-P66	A20-A26	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-down	オープン	不可
P67	A1					
P70	WAITZ	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-up	オープン	不可
P71-P73	STCSZ1-STCSZ3					
P74	DYCSZ					可
P75	IDLEOUTZ					
P76	BENZ2					
P77	BENZ3					
P80	HLDRQZ					
P81	HLDKAZ					
P82	BUSREQZ					
P83	WDTOUTZ	TUD1BC33NN06U	入出力	I/O Buffer (3.3V) 6mA 50k Pull-up	オープン	可
P84	SMSCK					
P85	SMSO					
P86	SMSI					
P87	SMCSZ					
P90	D16/TENC00					TUD4ZE1023
P91	D17/TENC01					
P92	D18/TECR0/INTPZ42					
P93	D19/TRGT0/INTPZ43					
P94	D20/EVTT0/INTPZ44					
P95	D21/TIT00/TOT00					
P96	D22/TIT01/TOT01					
P97	D23/INTPZ45					
PA0	D24/TENC10					
PA1	D25/TENC11					
PA2	D26/TECR1/INTPZ46					
PA3	D27/TRGT1/INTPZ47					
PA4	D28/EVTT1/INTPZ48					
PA5	D29/TIT10/TOT10					
PA6	D30/TIT11/TOT11					
PA7	D31/INTPZ49					
PB0	TIA40/TOA40/INTPZ32	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Pull-up	オープン	
PB1	TIA41/TOA41/INTPZ33					
PB2	TIA50/TOA50/INTPZ34					
PB3	TIA51/TOA51/INTPZ35					

( 3/3 )

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
PC0	SCK0	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Pull-up	オープン	不可
PC1	SO0					
PC2	SI0					
PC3	SCK1					
PC4	SO1					
PC5	SI1					
PC6	INTPZ40					TUD1BC33HN06U
PC7	ADTRG/INTPZ41	不可				
PD0	DMAREQZ0/INTPZ36 /SCK4	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Pull-up	オープン	不可
PD1	DMAACKZ0/SO4					
PD2	DMATCZ0/SI4					
PD3	DMAREQZ1/INTPZ37 /SCK5					
PD4	DMAACKZ1/SO5					
PD5	DMATCZ1/SI5					
PE0	DMAREQZ2/INTPZ38/ SCK6	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Pull-up	オープン	可
PE1	DMAACKZ2/SO6					
PE2	DMATCZ2/SI6					
PE3	DMAREQZ3/INTPZ39/ SCK7					
PE4	DMAACKZ3/SO7					
PE5	DMATCZ3/SI7					
PL0	ETH_TXCLK	TUD4ZE1023	入出力	ETHEN = 0 の場合 , Programmable I/O Buffer (3.3V) 6mA 50k Pull-up ETHEN = 1 の場合 , Programmable I/O Buffer (3.3V) 9mA	オープン	可
PL1	ETH_TXD0					
PL2	ETH_TXD1					
PL3	ETH_TXD2					
PL4	ETH_TXD3					
PL5	ETH_TXEN					
PL6	ETH_TXER					
PL7	ETH_COL					
PL8	ETH_CRS					
PL9	ETH_RXCLK					
PL10	ETH_RXD0					
PL11	ETH_RXD1					
PL12	ETH_RXD2					
PL13	ETH_RXD3					
PL14	ETH_RXDV					
PL15	ETH_RXER					
PL16	ETH_MDC					
PL17	ETH_MDIO					
PL18	ETH_REFCLK					

表 2-28 各端子の入出力回路タイプと未使用端子の処理（外部割り込み入力端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
NMI	TUD1IC33HU	入力	Input Buffer (3.3V) Schmitt in 50k Pull-up	オープン	可

表 2-29 各端子の入出力回路タイプと未使用端子の処理（SiP 内部接続用 DMA インタフェース端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
SDMAREQZ0, SDMAREQZ1	TUD4ZE1023	入力	Programmable I/O Buffer : Always Input (3.3V) 50k Pull-up	オープン	SiP 内処理 必須
SDMAACKZ0, SDMAACKZ1	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 3mA		
SDMATCZ0, SDMATCZ1					

表 2-30 各端子の入出力回路タイプと未使用端子の処理（外部メモリ・インタフェース端子）

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
STCSZ0	-	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-up	オープン	不可
A2-A19	-	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-down		
D0-D15	-	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-down		
RDZ	-	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-up		
BENZ0-BENZ1	WRZ0-WRZ1					
DQM0-DQM3	-	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-state Output (3.3V) 6mA 50k Pull-up	オープン	可
SDWEZ	-					
SDCASZ	-					
SDRASZ	-					
SDCKE	-	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 6mA 50k Pull-up	オープン	不可
WRSTBZ	-	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Pull-up	オープン	
BCYSTZ	-					
BUSCLK	-	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 9mA 50k Pull-up		

表 2-31 各端子の入出力回路タイプと未使用端子の処理 (SiP 内部接続用メモリ・インタフェース端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
SCSZ0-SCSZ3	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Pull-up	オープン	可
SA1-SA24	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Pull-down		
SD0-SD31	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 3mA 50k Pull-down		
SRDZ	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Pull-up		
SWRSTBZ					
SWAITZ	TUD4ZE1023	出力	Programmable I/O Buffer : Always Input (3.3V) 50k Pull-up		
SHLDRQZ					
SHLDAKZ	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 3mA		
SBENZ0-SBENZ3/SWRZ0-SWRZ3	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Pull-up		
SBCYSTZ					
SBUSCLK	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 6mA		
SRESTOZ	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 3mA		



表 2-32 各端子の入出力回路タイプと未使用端子の処理 (USB 端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理		
USB_UCLK	TUD1IC33ND	入力	Input Buffer (3.3V) , 50k Pull-down	2.1.11 USB端子の未使用端子処理に従ってください。	可		
USB_PCLK							
USB_DPH	ABU2PHYHM4P7CUPS1V01	入出力	USB Buffer				
USB_DMH							
USB_RSDPH							
USB_RSDMH							
USB_PPON							
USB_OCI	TUD1OC33N06N	出力	Output Buffer (3.3V) 6mA				
USB_DP	ABU2PHYHM4P7CUPS1V01	入出力	USB Buffer				
USB_DM							
USB_RSDP							
USB_RSDM							
USB_RPU							
USB_VBUS	TUD1IC33FHD	入力	Input Buffer (3.3V) with Failsafe Schmitt in, 50k Pull-down				
USB_AVDD	ABU2PHYHM4P7CUPS1V01	-	USB Buffer				
USB_AVSS							
USB_PVSS							
USB_VD331							
USB_VD332							
USB_GND1							
USB_GND2							
USB_GND3							
USB_COM							
USB_RREF				入力			
USB_PVDDFIL				出力			
UCLKSEL0				TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in,	SiP 内 or 外部端子処理必須
UCLKSEL1							

表 2-33 各端子の入出力回路タイプと未使用端子の処理 (A/D コンバータ端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
AD_AVDD	ABAD10B001M08CCR3VV10	-	A/D Converter	EVDD と同電位に接続	可
AVREFP		-		EVDD と同電位に接続	
AIN0-AIN7		入力		EGND と同電位に接続	
AVREFM		-		EGND と同電位に接続	
AD_AGND		-		EGND と同電位に接続	

表 2-34 各端子の入出力回路タイプと未使用端子の処理 (D/A コンバータ端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
DA_AVDD	ABDA08B005M02CRR3VV10	-	D/A Converter	EVDD と同電位に接続	可
VOA		出力		オープン	
VOB		出力		オープン	
DA_AGND		-		EGND と同電位に接続	

表 2-35 各端子の入出力回路タイプと未使用端子の処理 (Nexus 端子)

端子名称	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
MCKO	TUD1OC33N09N	出力	Output Buffer (3.3V) 9mA	オープン	不可
MDO0-MDO7					
MSEO0, MSEO1					
DRSTZ	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Pull-down		
DCK	TUD1IC33HW	入力	Input Buffer (3.3V) , Schmitt in, 5k Pull-up		
DMS					
DDI					
DDO	TUD1TC33N06W	出力	3-state Output Buffer (3.3V) 6mA, 5k $\Omega$ Pull-up		
DRDYZ	TUD1OC33N06N	出力	Output Buffer (3.3V) 6mA		
EVTOZ					
EVTIZ	TUD1IC33HW	入力	Input Buffer (3.3V) , Schmitt in, 5k Pull-up		

表 2-36 各端子の入出力回路タイプと未使用端子の処理 (システム端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
RESETZ	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	-	不可
RESTOZ	TUD1OC33N06N	出力	Output Buffer (3.3V) 6mA	オープン	
XT1	TUD4COSCN48MT	入力	Oscillator with EN ( $f_{MAX.} = 48MHz$ )	ロー・レベル	
XT2		-		-	
OSCTH	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Pull-down	-	
PONR	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	-	

表 2-37 各端子の入出力回路タイプと未使用端子の処理（テスト端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
TMODE0	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Pull-down	EGND に接続	不可
TMODE1					
TMODE2					
TESTCLK	TUD1IC33ND	入力	Input Buffer (3.3V) , 50k Pull-down		
TMC1	TUD1ITE1C33ND	入力	(TMC1) Input Buffer for TMC Terminal		
TMC2	TUD1ITE2C33ND	入力	(TMC2) Input Buffer for TMC Terminal		
PMODE	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Pull-down		可

表 2-38 各端子の入出力回路タイプと未使用端子の処理（動作モード設定端子）

注意 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法	SiP 内処理
BUS32EN0	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	EVDD または GND に接続	SiP 内処理 必須
BUS32EN1					
CLKDV0-CLKDV2					
BOOTSEL0, BOOTSEL1					
USBEN					
ETHEN					
JTAGSEL	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Pull-down	-	不可

表 2-39 端子の入出力回路の構成

<p><b>TUD1BC33HN06U</b></p> <p>I/O Buffer (3.3V) Schmitt in 6mA 50kΩ</p> <p>Pull-up</p>		<p><b>TUD1BC33NN06U</b></p> <p>I/O Buffer (3.3V) 6mA 50k Pull-up</p>		<p><b>TUD4ZE1269</b></p> <p>I/O Buffer (5V-TOL) Schmitt in 4mA 50kΩ</p> <p>Pull-up</p>	
<p><b>TUD1IC33HD</b></p> <p>Input Buffer (3.3V) Schmitt in, 50k Pull-down</p>	<p><b>TUD1IC33HN</b></p> <p>Input Buffer (3.3V) Schmitt in</p>	<p><b>TUD1IC33HU</b></p> <p>Input Buffer (3.3V) Schmitt in 50k Pull-up</p>	<p><b>TUD1IC33HW</b></p> <p>Input Buffer (3.3V), Schmitt in, 5k Pull-up</p>		
<p><b>TUD1IC33ND</b></p> <p>Input Buffer (3.3V), 50K Pull-down</p>	<p><b>TUD1ITE1C33ND</b></p> <p>Input Buffer for TMC1 Terminal</p>		<p><b>TUD1ITE2C33ND</b></p> <p>Input Buffer for TMC2 Terminal</p>		
<p><b>TUD1OC33N06N</b></p> <p>Output Buffer (3.3V) 6mA</p>	<p><b>TUD1OC33N09N</b></p> <p>Output Buffer (3.3V) 9mA</p>		<p><b>TUD1TC33N06W</b></p> <p>3-state Output Buffer (3.3V) 6mA, 5k Pull-up</p>		
<p><b>TUD4ZE1023</b></p> <p>I/O Buffer (3.3V)</p> <p>3/6/9/12mA 50k Pull-down / Pull-down Programmable</p>					

## 2.7.1 各端子の負荷容量

PFESiP/V850EP3のタイミング設計では、各端子は以下に示す負荷容量を使用しています。

なお、SiP 内部接続端子は、負荷容量を 5pF としています。PFESiP/V850EP3 評価ボードで使用する場合は、FPGA に接続されるため、約 10pF が想定されます。周波数については、タイミング設計時の目標値です。

表 2-40 各端子の動作周波数と負荷容量

( 1/2 )

端子名	機能 / 兼用機能	バッファ・タイプ	入出力	周波数 [ MHz ] ( MAX. )	負荷容量 [ pF ]
P00-P07, P10-P17	外部割り込み	TUD1BC33HN06U	入出力	25	15
P20-P27	SiP 内部接続外部割り込み	TUD4ZE1023	入出力	25	5
P30-P37, P40-P44, P46, P47	UART 入出力, CSI 入出力	TUD1BC33HN06U	入出力	25	15
P45	UART 入力 / CAN 入力	TUD4ZE1269		25	15
P50-P57	タイマ入出力, 外部割り込み	TUD1BC33HN06U		25	15
P60-P67	アドレス・バス	TUD4ZE1023	入出力	50	18.5
P70-P77	制御信号	TUD4ZE1023	入出力	25	18.5
P80-P82	制御信号			25	18.5
P83	ウォッチドッグ・タイマ出力	TUD1BC33NN06U	入出力	25	15
P84	シリアル・フラッシュ ROM			50	15
P85-P87				25	15
P90-P97, PA0-PA7	上位データ・バス, タイマ入出力, 外部割り込み	TUD4ZE1023	入出力	25	26
PB0-PB3	タイマ入出力, 外部割り込み	TUD1BC33HN06U	入出力	25	15
PC0-PC7	CSI 入出力, 外部割り込み			25	15
PD0-PD5, PE0-PE5	DMA 入出力, 外部割り込み, CSI 入出力			25	15
PL0-PL18	Ether MAC	TUD4ZE1023	入出力	25	15
NMI	外部割り込み	TUD11C33HU	入力	-	-
SDMAREQZ0, SDMAREQZ1	SiP 内部 DMA 要求	TUD4ZE1023	入力	-	-
SDMAACKZ0, SDMAACKZ1	SiP 内部 DMA アクノリッジ		出力	5	5
SDMATCZ0, SDMATCZ1	SiP 内部 DMA ターミナル・カウン ト				
STCSZ0	制御信号	TUD4ZE1023	出力	25	18.5
A2-A19	アドレス・バス			50	18.5
D0-D15	下位データ・バス		入出力	50	26
RDZ, WRSTBZ	コントロール信号		出力	25	18.5
BENZ0-BENZ1	コントロール信号			25	18.5
BCYSTZ	コントロール信号			25	18.5
DQM0-DQM3, SDWEZ, SDCASZ, SDRASZ	SDRAM 用制御信号		出力	50	18.5
SDCKE	SDRAM 用制御信号	出力	1	18.5	
BUSCLK	バス・クロック	出力	100	18.5	

( 2/2 )

端子名	機能 / 兼用機能	バッファ・タイプ	入出力	周波数 [ MHz ] ( MAX. )	負荷容量 [ pF ]
SCSZ0-SCSZ3	SiP 内部接続制御信号	TUD4ZE1023	出力	25	5
SA1-SA24	SiP 内部接続アドレス・バス		出力	12.5	5
SD0-SD31	SiP 内部接続データ・バス		入出力	12.5	5
SRDZ, SWRSTBZ	SiP 内部接続制御信号		出力	25	5
SWAITZ, SHLDRQZ	SiP 内部接続制御信号		入力	-	-
SHLDAKZ	SiP 内部接続制御信号		出力	1	5
SBENZ0-SBENZ3, SBCYSTZ	SiP 内部接続制御信号		出力	25	5
SBUSCLK	SiP 内部接続バス・クロック		出力	100	5
SRESTOZ	SiP 内部接続リセット出力		0	5	
USB_UCLK, USB_PCLK	USB 関連クロック入力	TUD11C33ND	入力	-	-
USB_PPON	USB 関連出力信号	TUD10C33N06N	出力	0	30
USB_OCI	USB 関連入力信号	TUD11C33HN	入力	-	-
USB_VBUS	USB 関連入力信号	TUD11C33HD	入力	-	-
UCLKSEL0, UCLKSEL1	USB クロック選択	TUD11C33HN	入力	-	-
MCKO, MDO0-MDO7, MSEO0, MSEO1	Nexus 出力	TUD10C33N09N	出力	100	10
DRSTZ	Nexus 入力	TUD11C33HD	入力	-	-
DCK, DMS, DDI	Nexus 入力	TUD11C33HW	入力	-	-
DDO	Nexus 出力	TUD11C33N06W	出力	12.5	10
DRDYZ, EVTOZ	Nexus 出力	TUD10C33N06N	出力	12.5	10
EVTIZ	Nexus 入力	TUD11C33HU	入力	-	-
RESETZ	リセット入力	TUD11C33HW	入力	-	-
RESTOZ	リセット出力	TUD10C33N06N	出力	0	30
OSCTH	クロック・スルー入力	TUD11C33HD	入力	-	-
PONR	リダンダンシ RAM 用リセット 入力	TUD11C33HN	入力	-	-
TMODE0-TMODE2	テスト・モード設定	TUD11C33HD	入力	-	-
TMC1	テスト動作設定	TUD11TE1C33ND	入力	-	-
TMC2	テスト動作設定	TUD11TE2C33ND	入力	-	-
PMODE	テスト動作設定	TUD11C33HD	入力	-	-
TESTCLK	テスト・クロック入力	TUD11C33ND	入力	-	-
BUS32EN0, BUS32EN1, CLKDV0-CLKDV2, BOOTSEL0, BOOTSEL1, USBEN, ETHEN	動作モード設定	TUD11C33HN	入力	-	-
JTAGSEL	JTAG インタフェース動作設定	TUD11C33HD	入力	-	-

## 第3章 CPU 機能

PFESiP/V850EP3 の CPU コア V850E2M は、RISC アーキテクチャをベースとし、7 段並列パイプラインで構成されています。命令の依存関係を検出し、最大で 2 命令同時発行することができます。

### 3.1 特 徴

#### (1) 組み込み制御用高性能 32 ビット・アーキテクチャ

命令数：98

32 ビット汎用レジスタ：32 本

複数のディスプレイメント形式を持つロード/ストア命令

- ロング (23 ビット)

- ミドル (16 ビット)

- ショート (8 ビット)

3 オペランド命令

アドレス空間：プログラム領域：512M バイト・リニア

データ領域：4G バイト・リニア

#### (2) 各種応用分野に適した命令セット

飽和演算命令

ビット操作命令

乗算命令 (ハードウェア乗算器内蔵により、1 クロックでの乗算処理が可能)

16 ビット×16 ビット 32 ビット

32 ビット×32 ビット 32 ビット、または 64 ビット

MAC 演算命令

32 ビット×32 ビット+64 ビット 64 ビット

高速除算命令

有効なビット長を検出して、必要最小の実行サイクル数に変化する除算命令です。

32 ビット÷32 ビット 32 ビット (商)、32 ビット (剰余)

#### (3) 高機能 / 高性能プログラミングに適した命令群

スタック・フレーム操作命令

システム・コール命令 (OS サービス呼び出し命令)

**備考** CPU 機能の詳細は、V850E2M ユーザーズ・マニュアル アーキテクチャ編 (U19949) を参照してください。

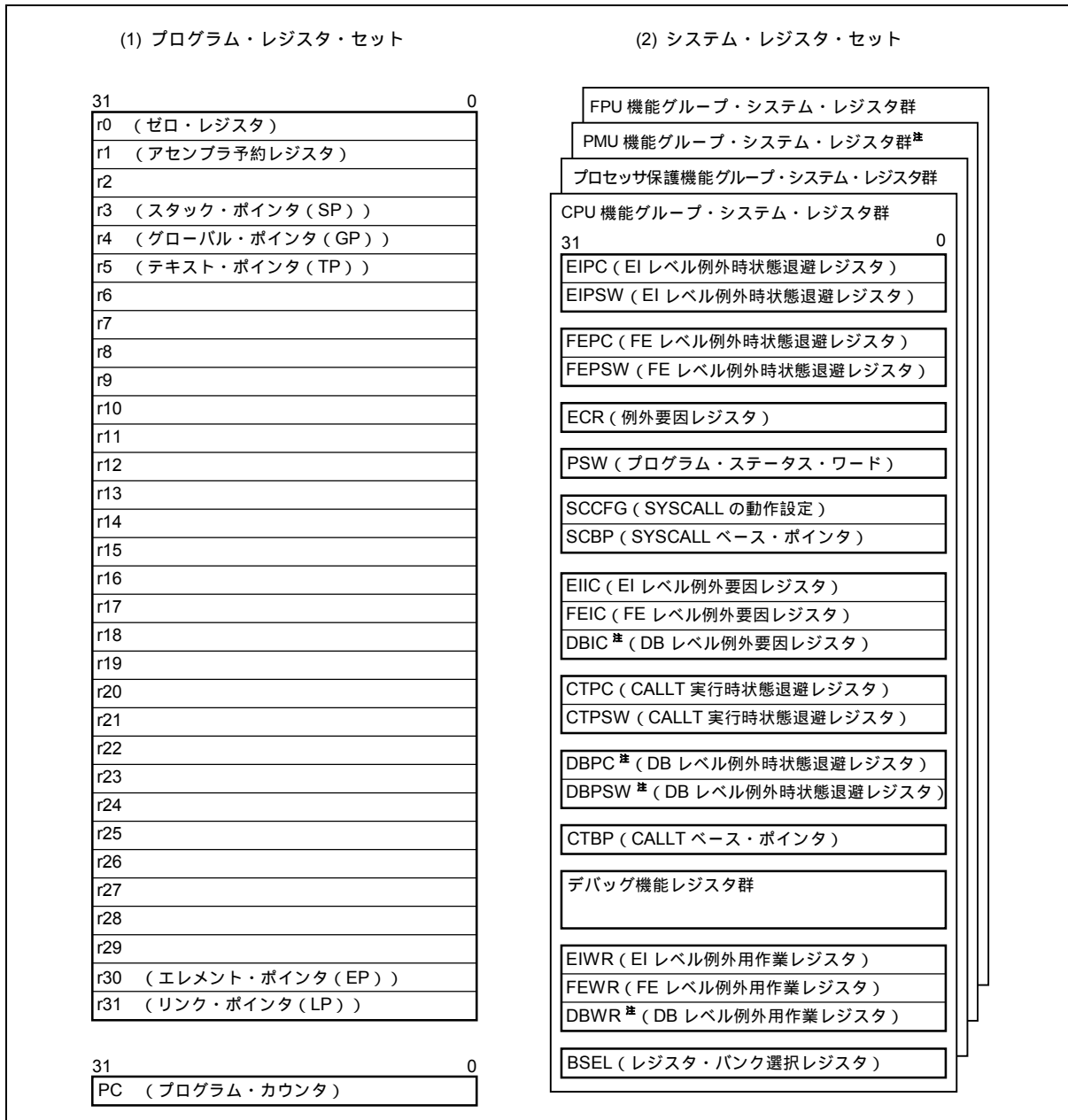


## 3.2 CPU レジスタ・セット

PFESiP/V850EP3 の V850E2M CPU レジスタは、一般のプログラム用として使用するプログラム・レジスタ・セットと、実行環境を制御するシステム・レジスタ・セットの2種類に分類できます。すべて 32 ビット・レジスタです。

詳細は V850E2M ユーザーズ・マニュアル アーキテクチャ編を参照してください。

図 3-1 CPU レジスタ・セット



注 開発ツール向けのデバッグ機能です。

### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタ（r0-r31）とプログラム・カウンタ（PC）があります。

表 3-1 プログラム・レジスタ一覧

プログラム・レジスタ	名 称	機 能	説 明
汎用レジスタ	r0	ゼロ・レジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキング・レジスタとして使用
	r2	アドレス/データ変数用レジスタ（使用するリアルタイム OS が r2 を使用していない場合）	
	r3	スタック・ポインタ（SP）	関数コール時のスタック・フレーム生成時に使用
	r4	グローバル・ポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキスト・ポインタ（TP）	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
	r6-r29	アドレス/データ変数用レジスタ	
	r30	エレメント・ポインタ（EP）	メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用
	r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
プログラム・カウンタ	PC	プログラム実行中の命令アドレスを保持	

**備考** アセンブラや C コンパイラで使用される r1, r3-r5, r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

#### (1) 汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

ただし、r0-r5, r30, r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

##### (a) r0, r3, r30

命令により暗黙的に使用されます。

r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベース・アドレスが 0 のアドレッシングで使用されます。

r3 は PREPARE 命令、DISPOSE 命令により、暗黙的に使用されます。

r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベース・ポインタとして使用されます。

##### (b) r1, r4, r5, r31

アセンブラと C コンパイラにより暗黙的に使用されます。

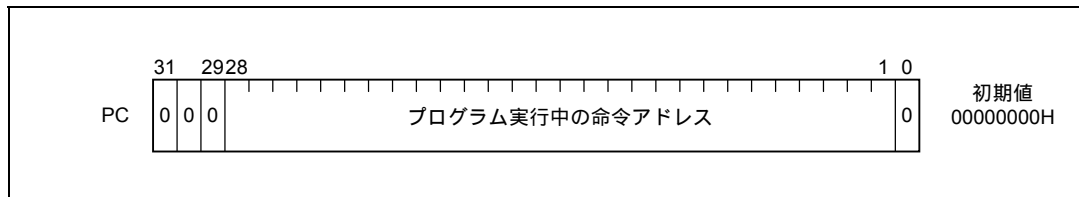
これらのレジスタを使用するには、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

##### (c) r2

リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

## (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持しています。また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・バンク

V850E2M CPU のシステム・レジスタは、システム・レジスタ・バンク上に用意されています。機能ごとに分類されたシステム・レジスタ群を「グループ」と定義し、さらに細かく用途ごとに分類したものを「バンク」と定義します。各バンクには、0 から 27 まで最大 28 本のシステム・レジスタが定義可能です。

V850E2M CPU には次のようなグループとバンクがあります。

#### CPU 機能グループ

- ・基本バンク：従来のシステム・レジスタ群です。
- ・例外ハンドラ切り替え機能バンク 0：例外ハンドラ・アドレス設定をするシステム・レジスタ群です。
- ・例外ハンドラ切り替え機能バンク 1：例外ハンドラ・アドレス設定をするシステム・レジスタ群です。

#### プロセッサ保護機能グループ

- ・プロセッサ保護違反バンク：プロセッサ保護違反に関するシステム・レジスタ群です。
- ・プロセッサ保護設定バンク：プロセッサ保護機能に関するシステム・レジスタ群です。
- ・ソフトウェア・ページング・バンク：メモリ保護をページング方式で利用する場合に使用するシステム・レジスタ群です。

#### PMU 機能グループ

- ・PMU 機能バンク：パフォーマンス測定機能を設定するシステム・レジスタ群です。<sup>注</sup>

#### FPU 機能グループ

- ・FPU ステータス・バンク：浮動小数点演算に関するシステム・レジスタ群です。

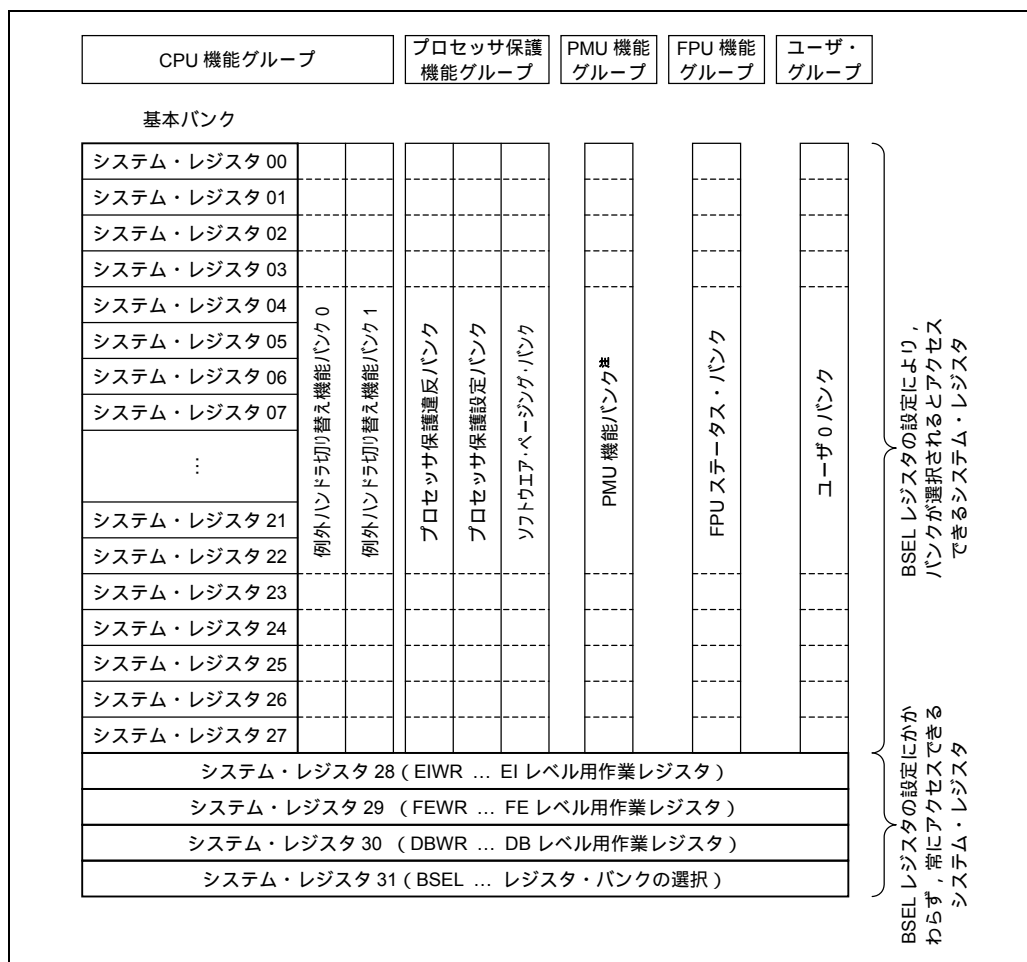
#### ユーザ・グループ

- ・ユーザ 0 バンク：ユーザ・アプリケーションで使用されるシステム・レジスタだけをアクセスできるバンクです。

**注** 開発ツール向けのデバッグ機能です。

**注意** プロセッサ保護設定バンク、ソフトウェア・ページング・バンクのシステム・レジスタ番号 26(DPA5L) と 27(DPA5U) は、PFESiP/V850EP3 では使用禁止です。

図 3-2 システム・レジスタ・バンク



注 開発ツール向けのデバッグ機能です。

注意 プロセッサ保護設定バンク、ソフトウェア・ページング・バンクのシステム・レジスタ番号 26(DPA5L) と 27(DPA5U) は、PFESiP/V850EP3 では使用禁止です。

### 3.2.3 レジスタ・バンク選択レジスタ (BSEL)

レジスタ・バンク選択レジスタは、LDSR 命令および STSR 命令でアクセスされるシステム・レジスタ群を選択します。BSEL レジスタは、どのバンクが選択されているときでも常に参照可能です。

ビット 31-16 には必ず 0 を設定してください。

BSEL	<div style="display: flex; justify-content: space-between; font-size: small;"> <span>31</span> <span>16 15</span> <span>8 7</span> <span>0</span> </div> <div style="display: flex; justify-content: space-between; font-size: x-small;"> <span>0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</span> <span>GRP</span> <span>BNK</span> </div>	初期値 0000 0000H																													
ビット位置	ビット名	意味																													
15-8	GRP	システム・レジスタ・バンクのグループ番号を指定します (初期値: 0)。 00H: CPU 機能グループ 10H: プロセッサ保護機能グループ 11H: PMU 機能グループ <sup>注</sup> 20H: FPU 機能グループ FFH: ユーザ・グループ 上記以外の設定は禁止です。																													
7-0	BNK	システム・レジスタ・バンクのバンク番号を指定します (初期値: 0)。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 15%;">GRP</th> <th style="width: 15%;">BNK</th> <th style="width: 70%;">対応する実行レベル</th> </tr> </thead> <tbody> <tr> <td rowspan="3" style="text-align: center;">00H</td> <td style="text-align: center;">00H</td> <td>基本バンク</td> </tr> <tr> <td style="text-align: center;">10H</td> <td>例外ハンドラ切り替え機能バンク 0</td> </tr> <tr> <td style="text-align: center;">11H</td> <td>例外ハンドラ切り替え機能バンク 1</td> </tr> <tr> <td rowspan="3" style="text-align: center;">10H</td> <td style="text-align: center;">00H</td> <td>プロセッサ保護違反バンク</td> </tr> <tr> <td style="text-align: center;">01H</td> <td>プロセッサ保護設定バンク</td> </tr> <tr> <td style="text-align: center;">10H</td> <td>ソフトウェア・ページング・バンク</td> </tr> <tr> <td style="text-align: center;">11H</td> <td style="text-align: center;">00H</td> <td>PMU 機能バンク<sup>注</sup></td> </tr> <tr> <td style="text-align: center;">20H</td> <td style="text-align: center;">00H</td> <td>FPU ステータス・バンク</td> </tr> <tr> <td style="text-align: center;">FFH</td> <td style="text-align: center;">00H</td> <td>ユーザ 0 バンク</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td style="text-align: center;">設定禁止</td> </tr> </tbody> </table>	GRP	BNK	対応する実行レベル	00H	00H	基本バンク	10H	例外ハンドラ切り替え機能バンク 0	11H	例外ハンドラ切り替え機能バンク 1	10H	00H	プロセッサ保護違反バンク	01H	プロセッサ保護設定バンク	10H	ソフトウェア・ページング・バンク	11H	00H	PMU 機能バンク <sup>注</sup>	20H	00H	FPU ステータス・バンク	FFH	00H	ユーザ 0 バンク	上記以外		設定禁止
GRP	BNK	対応する実行レベル																													
00H	00H	基本バンク																													
	10H	例外ハンドラ切り替え機能バンク 0																													
	11H	例外ハンドラ切り替え機能バンク 1																													
10H	00H	プロセッサ保護違反バンク																													
	01H	プロセッサ保護設定バンク																													
	10H	ソフトウェア・ページング・バンク																													
11H	00H	PMU 機能バンク <sup>注</sup>																													
20H	00H	FPU ステータス・バンク																													
FFH	00H	ユーザ 0 バンク																													
上記以外		設定禁止																													

**注** PMU 機能グループ, PMU 機能バンクは開発ツール向けのデバッグ機能です。

**注意** プロセッサ保護設定バンク,ソフトウェア・ページング・バンクのシステム・レジスタ番号 26(DPA5L) と 27(DPA5U) は、PFESiP/V850EP3 では使用禁止です。

### 3.2.4 CPU 機能グループ / 基本バンク

基本バンクのシステム・レジスタは、CPU の状態制御、例外情報保持などを行います。

システム・レジスタへのリード/ライトは、LDSR 命令、STSR 命令により、次に示すシステム・レジスタ番号を指定することで行います。

表 3-2 システム・レジスタ一覧 (基本バンク)

システム・レジスタ番号	名称	機能	オペランド指定の可否		システム・レジスタ保護
			LDSR 命令	STSR 命令	
0	EIPC	EI レベル例外受け付け時の状態退避レジスタ			
1	EIPSW	EI レベル例外受け付け時の状態退避レジスタ			
2	FEPC	FE レベル例外受け付け時の状態退避レジスタ			
3	FEPSW	FE レベル例外受け付け時の状態退避レジスタ			
4	ECR	例外要因	x		
5	PSW	プログラム・ステータス・ワード			注 <sup>1</sup>
8-10		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	x	x	
11	SCCFG	SYSCAL の動作設定			
12	SCBP	SYSCALL ベース・ポインタ			
13	EIIC	EI レベル例外要因			
14	FEIC	FE レベル例外要因			
15	DBIC <sup>注2</sup>	DB レベル例外要因	-	-	-
16	CTPC	CALLT 実行時の状態退避レジスタ			
17	CTPSW	CALLT 実行時の状態退避レジスタ			
18	DBPC <sup>注2</sup>	DB レベル例外受け付け時の状態退避レジスタ	-	-	-
19	DBPSW <sup>注2</sup>	DB レベル例外受け付け時の状態退避レジスタ	-	-	-
20	CTBP	CALLT ベース・ポインタ			x
21	DIR <sup>注2</sup>	デバッグ・インタフェース・レジスタ	-	-	-
22-27		デバッグ機能レジスタ	-	-	-
28	EIWR	EI レベル例外用作業レジスタ			
29	FEWR	FE レベル例外用作業レジスタ			
30	DBWR <sup>注2</sup>	DB レベル例外用作業レジスタ			
31	BSEL	レジスタ・バンクの選択			

注 1. ビット 31-6 のみ保護。保護されている場合に書き込みがあっても、システム・レジスタ保護違反として検出しません。

2. 開発ツール向けのデバッグ関係のレジスタです。

備考 : オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

x : オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

## (1) EIPC, EIPSW - EI レベル例外受け付け時の状態退避レジスタ

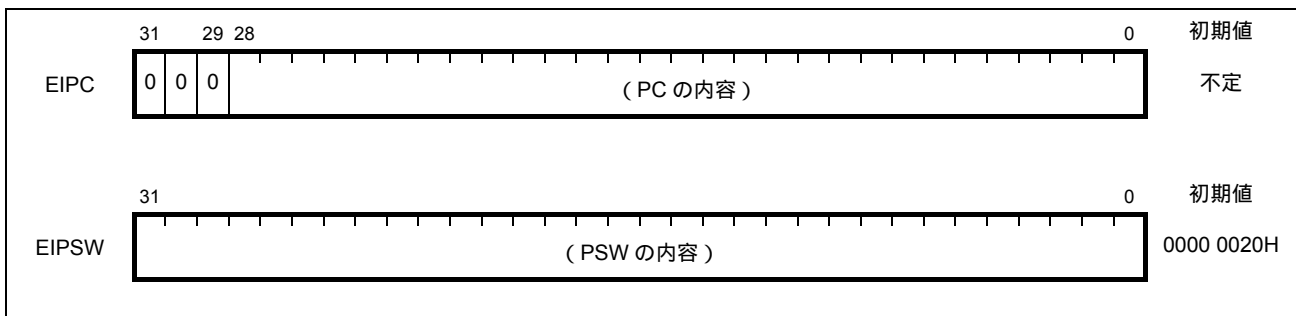
EI レベル例外時状態退避レジスタには、EIPC と EIPSW があります。

EI レベル例外 (EI レベル・ソフトウェア例外や EI レベル割り込み (INT) など) が発生した場合、EIPC には、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます (表 10-2 割り込み要因一覧)。EIPSW には、現在の PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお、PSW で「0 を設定してください」とされているビットは、EIPSW でも必ず 0 を設定してください。



## (2) FEPC, FEPSW - FE レベル例外受け付け時の状態退避レジスタ

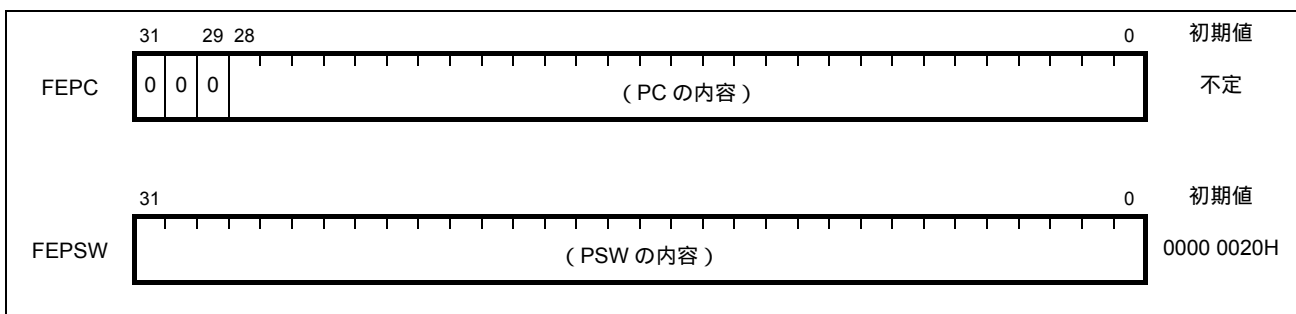
FE レベル例外時状態退避レジスタには、FEPC と FEPSW があります。

FE レベル例外 (FE レベル・ソフトウェア例外や FE レベル割り込み (FEINT, FENMI) など) が発生した場合、FEPC には、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます (表 10-2 割り込み要因一覧)。FEPSW には、現在の PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお、PSW で「0 を設定してください」とされているビットは、FEPSW でも必ず 0 を設定してください。



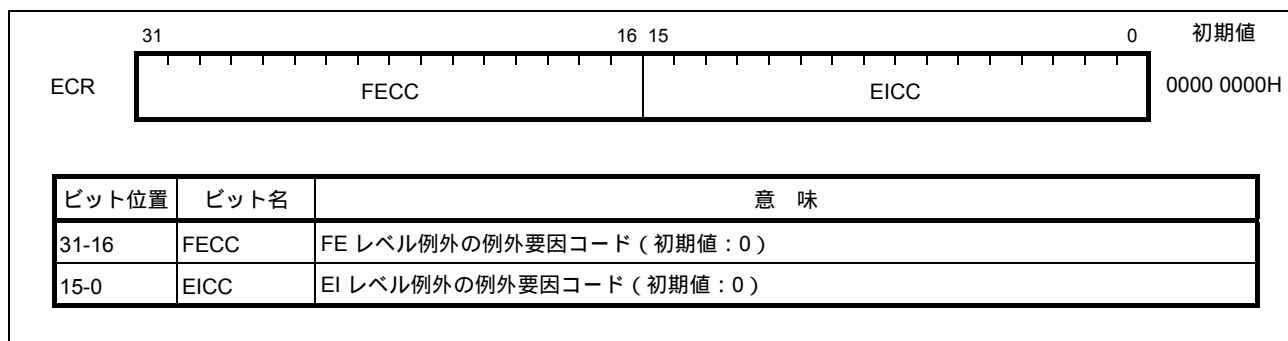


## (3) ECR - 例外要因

ECR レジスタは、例外が発生した場合に、その要因を保持するレジスタです。ECR が保持する値は、例外要因ごとにコード化された例外要因コードです（表 10-2 割り込み要因一覧）。なお、このレジスタは読み出し専用のため、LDSR 命令を使ってこのレジスタにデータを書き込むことはできません。

**注意** ECR レジスタは V850E1, V850E2 CPU コア上位互換のための機能であり、原則として使用を禁止しています。

修正の不可能な既存プログラム以外では、ECR レジスタを使用していた部分すべてを、EIIC レジスタまたは FEIC レジスタを使用するプログラムで置き換えて使用してください。



(4) PSW - プログラム・ステータス・ワード

PSW (プログラム・ステータス・ワード) は、プログラムの状態 (命令実行の結果) を示すフラグや CPU の動作状態を示すビットの集合です (フラグとは条件命令 (Bcond や CMOV など) によって参照される PSW 上のビットを示します)。

LDSR 命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。

ビット 31-6 は、システム・レジスタ保護の対象です。システム・レジスタ保護が有効であるとき、LDSR 命令を使用してビット 31-6 の内容を変更することはできません。

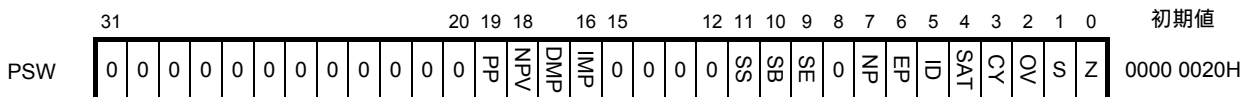
なお、ビット 31-20, 15-12, 8 は、将来の機能拡張のために予約されているため、必ず 0 を設定してください。

また、読み出した場合の値は不定です<sup>注</sup>。

**注** ビット 19-16 はプロセッサ保護機能で使用するビットです。

ビット 11-9 は開発ツール向けのデバッグ機能で使用するビットです。ユーザ・プログラムでは LDSR 命令によりこれらのビットの値を変更することはできません。

( 1/3 )



ビット位置	ビット名	意味
19	PP	周辺装置保護の状態ビットです。 CPU が、現在実行中のプログラムによる周辺装置へのアクセスを信頼している状態であるかどうかを示します。 0: T ステート (CPU は、周辺装置へのアクセスを信頼しています) (初期値) 1: NT ステート (CPU は、周辺装置へのアクセスを信頼していません) 周辺装置保護機能は、PP ビットが T ステートを示している場合、限定的なアクセス制限を行います。また、NT ステートを示している場合、厳密なアクセス制限を行います。
18	NPV	システム・レジスタ保護の状態ビットです。 CPU が、現在実行中のプログラムによるシステム・レジスタへのアクセスを信頼している状態であるかどうかを示します。 0: T ステート (CPU は、システム・レジスタへのアクセスを信頼しています) (初期値) 1: NT ステート (CPU は、システム・レジスタへのアクセスを信頼していません) システム・レジスタ保護機能は、NPV ビットが T ステートを示している場合、アクセス制限を行いません。また、NT ステートを示している場合、アクセス制限を行います。
17	DMP	データ・アクセス (データ領域) に対するメモリ保護の状態ビットです。 CPU が、現在実行中のプログラムによるデータ・アクセスを信頼している状態であるかどうかを示します。 0: T ステート (CPU は、データ・アクセスを信頼しています) (初期値) 1: NT ステート (CPU は、データ・アクセスを信頼していません) メモリ保護機能は、DMP ビットが T ステートを示している場合、データ・アクセスに対するアクセス制限を行いません。また、NT ステートを示している場合、データ・アクセスに対するアクセス制限を行います。

(2/3)

ビット位置	ビット名	意味
16	IMP	プログラム領域に対するメモリ保護の状態ビットです。CPUが、現在実行中のプログラムによるプログラム領域へのアクセスを信頼している状態であるかどうかを示します。 0: Tステート (CPUはプログラム領域へのアクセスを信頼しています) (初期値) 1: NTステート (CPUはプログラム領域へのアクセスを信頼していません) メモリ保護機能は、IMPビットがTステートを示している場合、プログラム領域に対するアクセス制限を行いません。また、NTステートを示している場合、プログラム領域に対するアクセス制限を行います。
11	SS	開発ツール向けのデバッグ機能で使われます。
10	SB	開発ツール向けのデバッグ機能で使われます。
9	SE	開発ツール向けのデバッグ機能で使われます。
7	NP	FEレベル例外処理中であることを示します。FEレベル例外が受け付けられるとセット(1)され、多重例外の発生を禁止します。 0: FEレベル例外処理中でない (初期値) 1: FEレベル例外処理中である
6	EP	割り込み以外の例外処理中であることを示します。該当する例外の発生でセット(1)されます。なお、このビットはセット(1)されても例外要求の受け付けには影響しません。 0: 割り込み以外の例外処理中である (初期値) 1: 割り込み以外の例外処理中である
5	ID	EIレベル例外処理中であることを示します。EIレベル例外が受け付けられるとセット(1)され、多重例外の発生を禁止します。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EIレベル例外の受け付けを禁止する場合にも使用されます。DI命令の実行によってセット(1)し、EI命令の実行によってクリア(0)します。 0: EIレベル例外処理中またはクリティカル・セクションでない (EI命令実行後) 1: EIレベル例外処理中またはクリティカル・セクションである (DI命令実行後) (初期値)
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット(1)され、以降の命令の演算結果が飽和しなくてもクリア(0)されません。クリア(0)する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット(1)もクリア(0)も行いません。 0: 飽和していない (初期値) 1: 飽和している
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、およびボローが発生していない (初期値) 1: キャリー、またはボローが発生した

**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正 (最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負 (最大値を越えない)			1	

( 3/3 )

ビット位置	ビット名	意 味
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない（初期値） 1：オーバーフローが発生した
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった（初期値） 1：演算の結果は負であった
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった（初期値） 1：演算の結果は0であった

**注** 飽和演算時の OV フラグと S フラグの内容で飽和处理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されません。

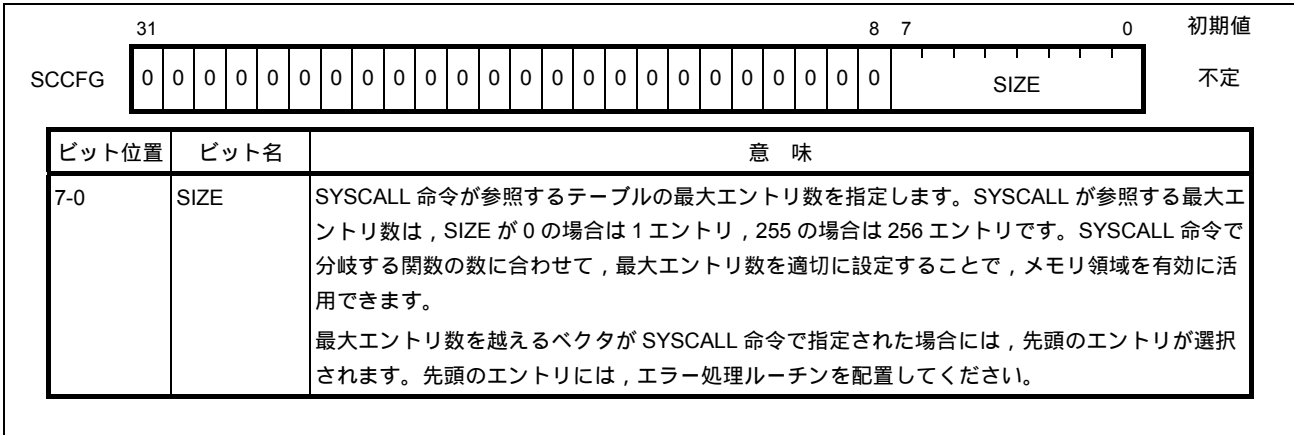
演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の 値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) SCCFG - SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

ビット 31-8 には必ず 0 を設定してください。

**注意** SCCFG レジスタの変更を行う LDSR 命令の直後に、SYSCALL 命令を配置しないでください。



(6) SCBP - SYSCALL ベース・ポインタ

SCBP レジスタは、SYSCALL 命令のテーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

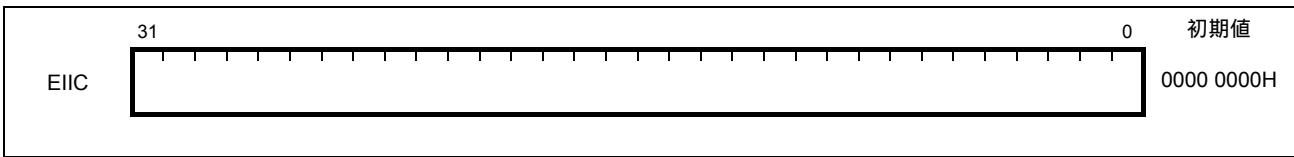
SCBP レジスタには必ずワード・アドレスを設定してください。

また、ビット 1, 0 は 0 に固定されています。



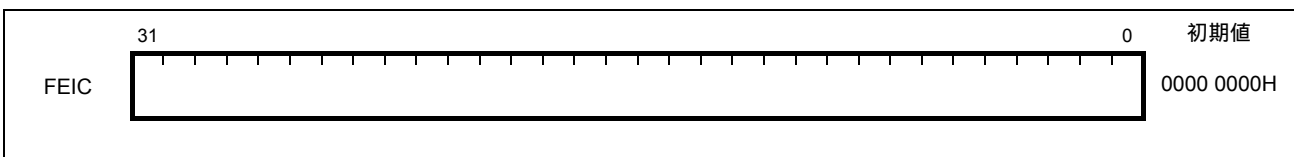
## (7) EIIC - EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。  
EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。



## (8) FEIC - FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。



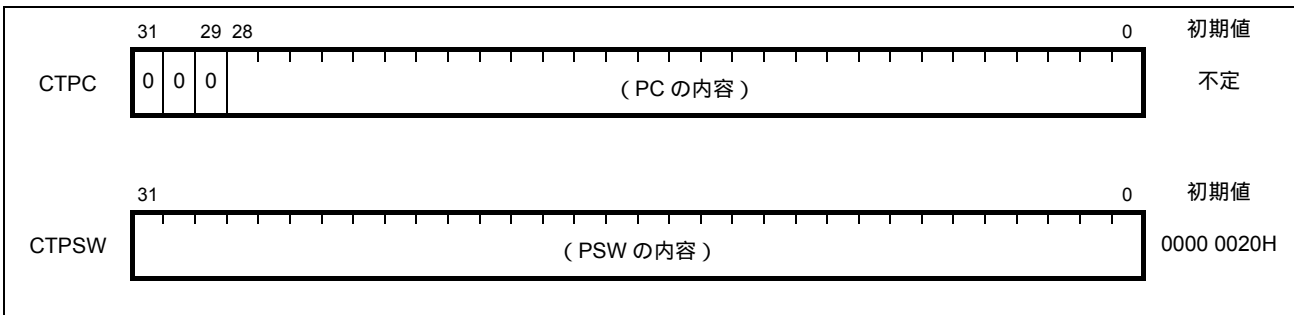
## (9) CTPC, CTPSW - CALLT 実行時の状態退避レジスタ

CALLT 実行時状態退避レジスタには、CTPC と CTPSW があります。

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に、PSW (プログラム・ステータス・ワード) の内容が CTPSW に退避されます。

CTPC レジスタのビット 0 は、必ず 0 を設定してください。

なお、PSW で「0 を設定してください」とされているビットは、CTPSW でも必ず 0 を設定してください。



## (10) CTBP - CALLT ベース・ポインタ

CTBP レジスタは、CALLT 命令のテーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます。

CTBP レジスタには必ずハーフワード・アドレスを設定してください。

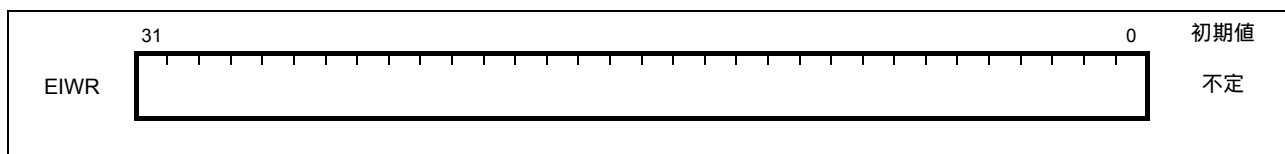
また、ビット 0 は、0 に固定されています。



## (11)EIWR - EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

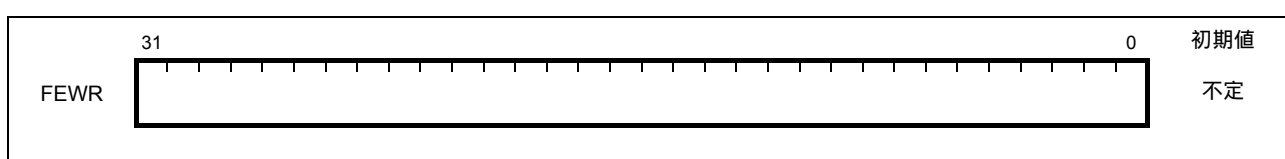
EIWR レジスタは、どのバンクが選択されているときでも常に参照可能です。



## (12)FEWR - FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

FEWR レジスタは、どのバンクが選択されているときでも常に参照可能です。



## (13)DBIC - DB レベル例外要因

DBIC レジスタは、デバッグ機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使します。

## (14)DBPC, DBPSW - DB レベル例外受け付け時の状態退避レジスタ

DB レベル例外時状態退避レジスタとして、DBPC と DBPSW があります。

このレジスタは開発ツール向けのデバッグ機能で使します。

## (15)DBWR - DB レベル例外用作業レジスタ

DBWR レジスタは、デバッグ機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使します。

## (16)DIR - デバッグ・インタフェース・レジスタ

DIR レジスタは、デバッグ機能の制御や状態を示します。

DIR レジスタ、およびデバッグ機能レジスタ（システム・レジスタ 22-27）は、開発ツール向けのデバッグ機能で使します。

### 3.2.5 CPU機能バンク / 例外ハンドラ・アドレス切り替え機能バンク

例外ハンドラ切り替え機能バンク 0, 1 は、各LDSR命令でBSELレジスタ（3.2.3 レジスタ・バンク選択レジスタ（BSEL）参照）に 0000 0010Hおよび 0000 0011Hを設定することにより選択されます。

システム・レジスタ番号 28-31 はバンク共通のシステム・レジスタで、BSEL レジスタの設定値に関係なく、CPU 機能バンクの EIWR, FEWR, DBWR, BSEL レジスタが参照されます。

例外ハンドラ切り替え機能バンク 0

（グループ番号 00H, バンク番号 10H, 略称 EHSW0 バンク）

例外ハンドラ切り替え機能バンク 1

（グループ番号 00H, バンク番号 11H, 略称 EHSW1 バンク）

表 3-3 システム・レジスタ・バンク

グループ	CPU 機能 (00H)									
バンク	例外ハンドラ切り替え機能バンク 0 (10H)				例外ハンドラ切り替え機能バンク 1 (11H)					
バンク・ラベル	EHSW0				EHSW1					
レジスタ番号	名称	機能	オペランド指定の可否		システム・レジスタ保護	名称	機能	オペランド指定の可否		システム・レジスタ保護
			LDSR命令	STSR命令				LDSR命令	STSR命令	
0	SW_CTL	例外ハンドラ・アドレス切り替えの制御				機能拡張用に予約				
1	機能拡張用に予約					機能拡張用に予約				
2	機能拡張用に予約		x	x		EH_RESET	リセット・アドレス・レジスタ			
3	SW_BASE	例外ハンドラ・アドレス切り替えベース・アドレス				EH_BASE	例外ハンドラ・ベース・アドレス			
4-27	機能拡張用に予約		x	x		機能拡張用に予約		x	x	
28	EIWR	EI レベル例外用作業レジスタ								
29	FEWR	FE レベル例外用作業レジスタ								
30	DBWR <sup>※</sup>	DB レベル例外用作業レジスタ								
31	BSEL	レジスタ・バンクの選択								

注 開発ツール向けのデバッグ関係のレジスタです。

備考 : オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

x : オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。



(1) レジスタ・セット

(a) SW\_CTL - 例外ハンドラ・アドレス切り替えの制御

例外ハンドラ・アドレス切り替え機能の制御レジスタです。  
ビット 31-1 には必ず 0 を設定してください。

SW_CTL	31	1 0	初期値
	0 0	SET	0000 0000H

ビット位置	ビット名	意味
0	SET	SET ビットをセット (1) すると, SW_BASE レジスタの値を EH_BASE へ転送します。 転送終了後, SET ビットはクリア (0) されます。

(b) SW\_BASE - 例外ハンドラ・アドレス切り替えベース・アドレス

例外ハンドラ・アドレス切り替え機能の切り替えを行う例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。  
ビット 12-0 には必ず 0 を設定してください。

SW_BASE	31	29 28	13 12	0	初期値
	0 0 0	SW_BASE28-SW_BASE13	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0	不定

ビット位置	ビット名	意味
28-13	SW_BASE28-SW_BASE13	SW_CTL.SET ビットをセット (1) すると, この SW_BASE レジスタの内容が EH_BASE レジスタに転送されます。

(c) EH\_BASE - 例外ハンドラ・ベース・アドレス

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。  
ビット 12-0 は 0 に固定されています。

EH_BASE	31	29 28	13 12	0	初期値
	0 0 0	EH_BASE28-EH_BASE13	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0	不定

ビット位置	ビット名	意味
28-13	EH_BASE28-EH_BASE13	例外ハンドラ・ルーチンのアドレスは, このレジスタで指定されたベース・アドレスに各例外のオフセット・アドレスを加えたアドレスに変更されます。 EH_BASE レジスタは, 端子機能によってリセット時に初期値が設定されます。また LDSR 命令による直接書き換えは行えません。SW_CTL.SET ビットをセット (1) することによって, SW_BASE の内容が転送されます。

(d) EH\_RESET - リセット・アドレス

現在のリセット入力時のリセット・アドレスを示します。

ビット 12-0 は 0 に固定されています。

	31	29	28		13	12		0		初期値	
EH_RESET	0	0	0	EH_RESET28-EH_RESET13	0	0	0	0	0	0	不定

ビット位置	ビット名	意味																				
28-13	EC_RESET28- EC_RESET13	EH_RESET レジスタはBOOTSEL1, BOOTSEL0 端子によるブート領域の選択により値が決定されます。  <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th style="width: 10%;">BOOTSEL1</th> <th style="width: 10%;">BOOTSEL0</th> <th style="width: 50%;">ブート領域の選択</th> <th style="width: 30%;">ブート・アドレス</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>外部バス・インタフェースの STCSZ0 に接続されているメモリ</td> <td style="text-align: center;">0800 0000H</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>SiP 内部の SCSZ0 に接続されているメモリ</td> <td style="text-align: center;">0B00 0000H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>シリアル・フラッシュ ROM</td> <td style="text-align: center;">0E00 0000H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> <td style="text-align: center;">-</td> </tr> </tbody> </table>	BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	1	0	シリアル・フラッシュ ROM	0E00 0000H	1	1	設定禁止	-
BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス																			
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H																			
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H																			
1	0	シリアル・フラッシュ ROM	0E00 0000H																			
1	1	設定禁止	-																			

### 3.2.6 ユーザ・グループ

ユーザ・グループは、LDSR命令でBSELレジスタに0000 FF00Hを設定することにより選択されます(3.2.3 レジスタ・バンク選択レジスタ (BSEL) 参照)。ユーザ・グループにあるシステム・レジスタは基本バンク、FPUステータス・バンクにあるレジスタの写像となっています。

ユーザ・グループには次のバンクがあります。

表 3-4 システム・レジスタ一覧 (ユーザ0バンク)

システム・レジスタ番号	名称	機能	オペランド指定の可否		システム・レジスタ保護
			LDSR 命令	STSR 命令	
0-4		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
5	PSW	プログラム・ステータス・ワード			注 <sup>1</sup>
6, 7		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
8	FPST	浮動小数点演算のステータス			×
9	FPCC	浮動小数点演算の比較結果			×
10	FPCFG	浮動小数点機能の設定			×
11-15		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
16	CTPC	CALLT 実行時の状態退避レジスタ			
17	CTPSW	CALLT 実行時の状態退避レジスタ			
18, 19		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
20	CTBP	CALLT ベース・ポイント			×
21-27		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
28	EIWR	EI レベル例外用作業レジスタ			
29	FEWR	FE レベル例外用作業レジスタ			
30	DBWR <sup>注2</sup>	DB レベル例外用作業レジスタ			
31	BSEL	レジスタ・バンクの選択			

注 1. ビット 31-6 のみ保護

2. 開発ツール向けのデバッグ関係のレジスタです。

備考 : オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

× : オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

### 3.3 浮動小数点演算機能

浮動小数点ユニット (FPU) は、CPU のコプロセッサとして動作し、浮動小数点演算命令を実行します。単精度 (32 ビット)、倍精度 (64 ビット) のどちらのデータも使用できます。また、浮動小数点値と整数値の変換も可能です。

V850E2M の FPU は ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠しています。

#### 3.3.1 特 徴

##### (1) 浮動小数点演算命令

ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠  
 単精度 (32 ビット)、倍精度 (64 ビット) をサポート  
 基本的な加減乗除算命令、積和命令、最大 / 最小命令、平方根命令をサポート  
 浮動小数点設定 / 状態レジスタの条件ビットを PSW レジスタの Z フラグに転送する、フラグ転送命令をサポート  
 TRFSR  
 条件分岐の速度改善のために、条件付き転送命令をサポート  
 CMOV.F.S, CMOV.F.D  
 符号なし整数との型変換を効率よく実行する、符号なし変換命令をサポート  
 最近接整数への型変換を効率よく実行する、CEIL 命令、FLOOR 命令をサポート  
 浮動小数点の比較結果を格納する 8 ビットの条件ビットをサポート  
 FPU の実行モードとしてプレサイス・モードとインプレサイス・モードをサポート

##### (2) レジスタ・セット

浮動小数点レジスタ	: 汎用レジスタを使用 (浮動小数点演算専用のレジスタはありません)。
浮動小数点システム・レジスタ	: FPSR - 浮動小数点演算の設定 / ステータス FPEPC - 浮動小数点演算例外プログラム・カウンタ FPST - 浮動小数点のステータス FPCC - 浮動小数点演算の比較結果 FPCFG - 浮動小数点機能の設定 FPEC - 浮動小数点演算例外の制御

### 3.3.2 レジスタ・セット

#### (1) 浮動小数点レジスタ

FPUはCPUの汎用レジスタ(r0-r31)を使用します。浮動小数点演算専用のレジスタ・ファイルはありません。

単精度浮動小数点演算命令：

32個の32ビット・レジスタを指定できます。これは汎用レジスタのr0-r31に相当します。

倍精度浮動小数点演算命令：

16個の64ビット・レジスタを指定できます。これは汎用レジスタを1対ずつ使用するレジスタ・ペア({r1, r0}, {r3, r2} ... {r31, r30})に相当します。レジスタ・ペアは命令形式上、偶数レジスタで指定します。

r0がゼロ・レジスタ(常に0を保持)であるので、原則として{r1, r0}は倍精度浮動小数点演算命令では使用するべきではありません。

#### (2) 浮動小数点システム・レジスタ

28個の制御レジスタがシステム・レジスタ・バンク上のFPUステータス・バンク(グループ#20-バンク番号00Hのバンク)にあります。FPUステータス・バンクはLDSR命令でレジスタ・バンク選択レジスタ(BSEL)に0x2000を設定することにより選択されます。

FPUでは6個のシステム・レジスタが使用できます。

FPSR： 例外の制御と監視を行います。また、比較演算の結果を保持し、FPUの動作モードを設定します。条件コード、例外モード、非正規化数フラッシュ許可、丸めモード制御、原因、例外許可、保存の各ビットがあります。

FPEPC： 浮動小数点演算例外が発生した命令のプログラム・カウンタが格納されます。

FPST： FPSR.XC, XP, PRビットと同一の内容を示します。

FPCC： FPSR.CC(7:0)ビットと同一の内容を示します。

FPCFG： FPSR.RM, XEビットと同一の内容を示します。

FPEC： FPI例外の保留状態の確認、取り下げ等の制御を行います。

上記以外のFPUバンクのシステム・レジスタは、将来の拡張のために予約されています。書き込みは禁止です。

また、読み出し値は不定です。システム・レジスタへのアクセスは、LDSR, STSR命令またはTRFSR命令によって可能です。

表 3-5 に、システム・レジスタ・バンクの構成を示します。システム・レジスタ番号28-31はバンク共通のシステム・レジスタで、BSELレジスタの設定値に関係なく、CPU機能バンクのEIWR, FEWR, DBWR<sup>※</sup>, BSELレジスタが参照されます。

**注 DBWR レジスタは、開発ツール向けのデバッグ機能で使用します。**

表 3-5 システム・レジスタ・バンク

システム・レジスタ番号	名称	機能	オペランド指定の可否		システム・レジスタ保護
			LDSR 命令	STSR 命令	
0-5		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
6	FPSR	浮動小数点演算の設定 / ステータス			
7	FPEPC	浮動小数点演算例外プログラム・カウンタ			
8	FPST	浮動小数点のステータス			×
9	FPCC	浮動小数点演算の比較結果			×
10	FPCFG	浮動小数点機能の設定			×
11	FPEC	浮動小数点演算例外の制御			
12-27		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	
28	EIWR	EI レベル例外用作業レジスタ			
29	FEWR	FE レベル例外用作業レジスタ			
30	DBWR <sup>注</sup>	DB レベル例外用作業レジスタ			
31	BSEL	レジスタ・バンクの選択			

注 DBWR レジスタは、開発ツール向けのデバッグ機能で使います。

備考 : オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

× : オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

(a) FPSR - 浮動小数点演算の設定 / ステータス

FPSR レジスタは、浮動小数点演算の実行状態や例外の発生を示します。

ビット 23, 22 は、将来の機能拡張のために予約されており、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。また、読み出した場合の値は不定です。

( 1/2 )



ビット位置	ビット名	意味														
31-24	CC7-CC0	CC (コンディション) ビットです。浮動小数点比較命令の結果がストアされます。CC(7:0)ビットは、比較命令と LDSR 命令以外の影響を受けません。初期値は不定です。 0 : 比較結果が偽 1 : 比較結果が真														
21	DEM	倍精度演算例外モードです。DEM ビットが 1 の場合、倍精度 (Double) 命令の実行により発生した例外は、プレサイス例外として扱います。初期値は 0 です。														
20	SEM	単精度演算例外モードです。SEM ビットが 1 の場合、単精度 (Single) 命令の実行により発生した例外は、プレサイス例外として扱います。初期値は 0 です。														
19, 18	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。初期値は 0 です。RM ビットには必ず "00" を設定してください。														
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">RM ビット</th> <th rowspan="2">二モニック</th> <th rowspan="2">説明</th> </tr> <tr> <th>ビット 19</th> <th>ビット 18</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">RN</td> <td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td colspan="2" style="text-align: center;">設定禁止</td> </tr> </tbody> </table>			RM ビット		二モニック	説明	ビット 19	ビット 18	0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。	上記以外		設定禁止	
RM ビット		二モニック	説明													
ビット 19	ビット 18															
0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。													
上記以外		設定禁止														
17	FS	正規化できない値 (ディノーマル数) のフラッシュを許可するビットです。FS ビットがセットされているとき、ディノーマル数の結果は未実装演算例外 (E) を起こさず、フラッシュされます。フラッシュされたものが 0 になるか最小正規化値になるかは、丸めモードによって決まります。初期値は 1 です。FS ビットには、必ず 1 を設定してください。														
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ディノーマル数の結果</th> <th>フラッシュされる結果の丸めモード (RN)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">正</td> <td style="text-align: center;">+0</td> </tr> <tr> <td style="text-align: center;">負</td> <td style="text-align: center;">-0</td> </tr> </tbody> </table>			ディノーマル数の結果	フラッシュされる結果の丸めモード (RN)	正	+0	負	-0								
ディノーマル数の結果	フラッシュされる結果の丸めモード (RN)															
正	+0															
負	-0															
16	FR	浮動小数点演算例外の発生要因となった命令の例外モードがインプレサイス例外であればクリア (0) され、プレサイス例外であればセット (1) されます。初期値は不定です。														

注 各ビットの説明を参照してください。

(2/2)

ビット位置	ビット名	意味
15-10	XC (E,V,Z,O,U,I)	原因ビットです。初期値は不定です。詳細は以降の「(i) 原因ビット (XC)」を参照してください。
9-5	XE (V,Z,O,U,I)	許可ビットです。初期値は0です。詳細は以降の「(ii) 許可ビット (XE)」を参照してください。
4-0	XP (V,Z,O,U,I)	保存ビットです。初期値は不定です。詳細は以降の「(iii) 保存ビット (XP)」を参照してください。

## (i) 原因ビット (XC)

FPSR レジスタのビット 15-ビット 10 は原因ビットで、浮動小数点演算例外の発生とその要因を示します。

IEEE754 で定義されている例外が起き、その例外に対応する許可ビットがセット (1) されていた場合、原因ビットをセットし、例外を発生します。1つの命令で2つ以上の例外を検出した場合、それぞれのビットがセット (1) されます。

2つ以上の例外を検出した場合、いずれかの例外に対応する許可ビットがセット (1) されていれば、例外を発生します。この場合、許可ビットがクリア (0) されている例外を含め、検出したすべての例外の原因ビットがセット (1) されます。

原因ビットは、浮動小数点演算例外を発生した浮動小数点演算命令 (TRFSR 命令を除く) によって書き換えられます。E ビットは、ソフトウェアのエミュレートが必要な場合にセット (1) され、それ以外の場合はクリア (0) されます。そのほかのビットは、IEEE754 で定義されている例外が発生したかどうかによりクリア (0) もしくはセット (1) されます。

浮動小数点演算例外が発生した場合、演算結果はストアされず原因ビットだけが影響を受けます。

LDSR 命令により原因ビットをセット (1) しても、浮動小数点演算例外は発生しません。

## (ii) 許可ビット (XE)

FPSR レジスタのビット 9-ビット 5 は許可ビットで、浮動小数点演算例外の発生を許可します。IEEE754 で定義されている例外が起きたとき、例外に対応する許可ビットがセット (1) されていれば、浮動小数点演算例外が発生します。

未実装演算例外 (E) に対応する許可ビットはありません。未実装演算例外 (E) は、常に浮動小数点演算例外を発生します。

対応する許可ビットがセット (1) されていない場合、例外は発生せず、IEEE754 によって定義されたデフォルトの結果がストアされます。

## (iii) 保存ビット (XP)

FPSR レジスタのビット 4-ビット 0 は保存ビットで、リセット後、検出した例外を蓄積、表示します。

IEEE754 で定義されている例外が発生し、対応する許可ビットがセット (1) されていない場合に、保存ビットがセット (1) され、そのほかの場合は変化しません。保存ビットは、浮動小数点オペレーションではクリア (0) されません。しかし、LDSR 命令を使用して FPSR レジスタに新たな値を書き込むことで、ソフトウェアによるセット/クリアができます。

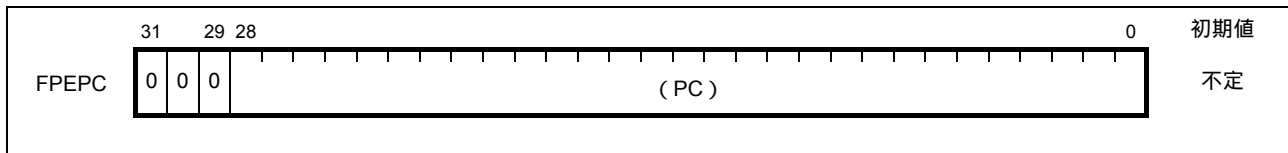
未実装演算例外 (E) に対応する保存ビットはありません。未実装演算例外 (E) は、常に浮動小数点演算例外を発生します。



(b) FPEPC - 浮動小数点演算例外プログラム・カウンタ

許可ビットによって許可されている例外が発生した場合、例外が発生した命令のプログラム・カウンタ(PC)が格納されます。

ビット0は、0に固定されています。



(c) FPST - 浮動小数点演算のステータス

FPSR.PR, XC, XP ビットと同一の内容を示します。

ビット 31-16, 14, 7-5 は、0以外の書き込みを禁止します。0以外の値を書き込んだ場合の動作は不定です。



(d) FPCC - 浮動小数点演算の比較結果

FPSR.CC(7:0)ビットと同一の内容を示します。

ビット 31-8 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FPCC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0
	初期値															
	不定															

ビット位置	ビット名	意味
7-0	CC(7:0)	CC (コンディション) ビットです。浮動小数点比較命令の結果がストアされます。CC(7:0)ビットは、比較命令と LDSR 命令以外の影響を受けません。初期値は不定です。また、このビットへの書き込みは FPSR.CC(7:0) ビットへ反映されます。  0 : 比較結果が偽 1 : 比較結果が真

(e) FPCFG - 浮動小数点演算の設定

FPSR.RM, XE ビットと同一の内容を示します。

ビット 31-10, 7-5 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FPCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RM	0	0	0	許可ビット(XE)					
												V	Z	O	U	I
	初期値															
	0000 0000H															

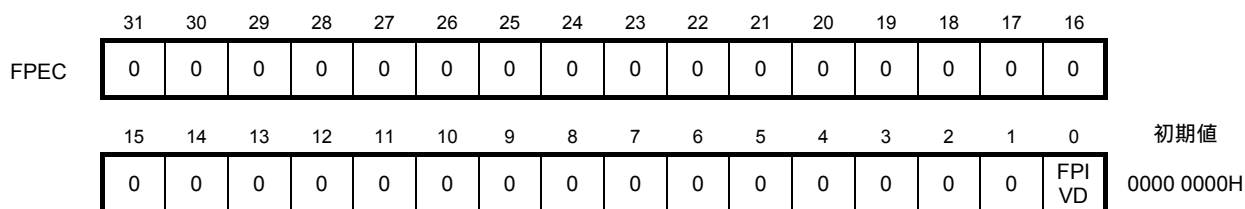
  

ビット位置	ビット名	意味														
9, 8	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。初期値は0です。RM ビットには、必ず“00”を設定してください。また、このビットへの書き込みは FPSR.RM ビットへ反映されます。  <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th colspan="2">RM ビット</th> <th rowspan="2">二モニク</th> <th rowspan="2">説明</th> </tr> <tr> <th>ビット19</th> <th>ビット18</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">RN</td> <td>表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td colspan="2" style="text-align: center;">設定禁止</td> </tr> </tbody> </table>	RM ビット		二モニク	説明	ビット19	ビット18	0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます	上記以外		設定禁止	
RM ビット		二モニク	説明													
ビット19	ビット18															
0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます													
上記以外		設定禁止														
4-0	XE (V,Z,O,U,I)	許可ビットです。初期値は0です。詳細は「(a)(ii) 許可ビット (XE)」を参照してください。また、このビットへの書き込みは FPSR.XE ビットへ反映されます。														

(f) FPEC - 浮動小数点演算例外制御

浮動小数点演算例外に関する制御を行うレジスタです。

ビット 31-1 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。



ビット位置	ビット名	意 味
0	FPIVD <sup>注</sup>	FPI 例外の通知状況を示します。 このビットがセット（1）されている場合、CPU に対して FPI 例外を通知していて、かつ FPI 例外が受け付けられていない状態を示します。CPU が FPI 例外を受け付けた時点で、このビットは自動的にクリア（0）されます。 また、このビットがセット（1）されている間は、すべての浮動小数点演算命令を無効化します。このビットがセット（1）されている状態から、LDSR 命令によってクリア（0）することで、FPI 例外の通知を取り下げることができます。FPI 例外の通知を取り下げると、CPU が FPI 例外を受け付けることはありません。 0：FPI 例外非通知状態（FPI 例外の通知を行っていません）。 1：FPI 例外通知状態（FPI 例外の通知を行っています）。

**注 FPIVD ビットに対する LDSR 命令による書き込み操作は、クリア（0）のみ可能です。セット（1）は行えません。**

### 3.3.3 データ・タイプ

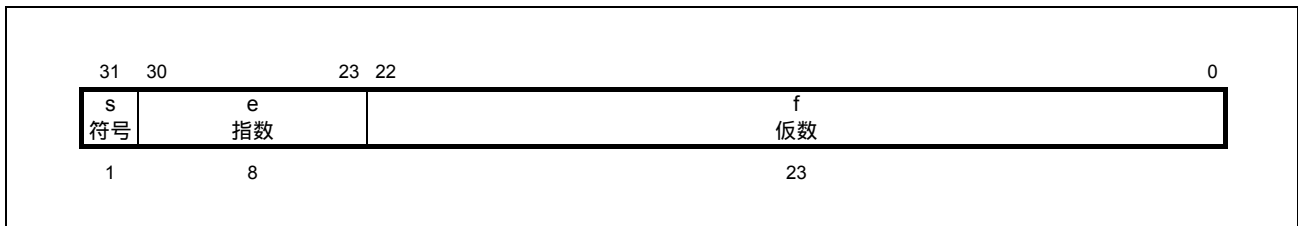
#### (1) データ形式

##### (a) 浮動小数点の形式

FPU は、32 ビット（単精度）と 64 ビット（倍精度）の IEEE754 浮動小数点演算をサポートします。

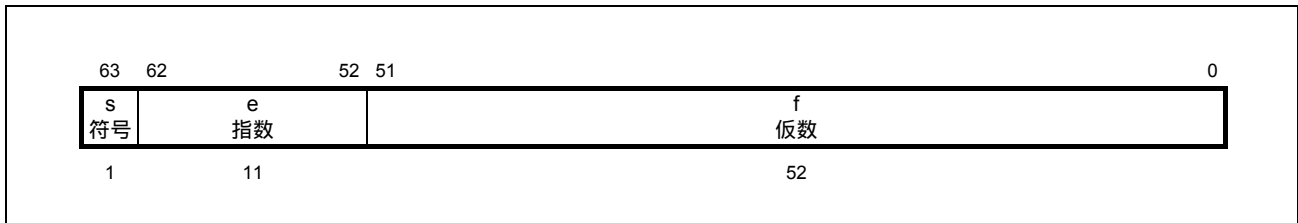
単精度浮動小数点形式は、図 3-3 に示すように 24 ビットの符号付き仮数部 (s+f) と、8 ビットの指数部 (e) で構成されます。

図 3-3 単精度浮動小数点形式



倍精度浮動小数点形式は、図 3-4 に示すように 53 ビットの符号付き仮数部 (s+f) と、11 ビットの指数部 (e) で構成されます。

図 3-4 倍精度浮動小数点形式



浮動小数点形式の数値は、次の 3 つの領域により構成されます。

- ・符号ビット : s
- ・指数部 :  $e = E + \text{バイアス値}$
- ・仮数部 :  $f = .b_1b_2\dots b_{p-1}$  (小数点第 1 位以下の値)

単精度形式の場合、バイアス値は 127 です。倍精度形式の場合、バイアス値は 1023 です。

バイアスしていない指数値 E の範囲は、 $E_{\min}$  から  $E_{\max}$  までのすべての整数値と 2 つの予約値、 $E_{\min} - 1$  ( $\pm 0$ , あるいはディノーマル数) と、 $E_{\max} + 1$  ( $\pm \infty$ , あるいは NaN: 非数) です。単精度と倍精度の形式によって、0 以外の数値の表現は、1 つの形式で表現されます。

この形式で表現される数値 (v) は、表 3-6 に示す式によって求められます。

表 3-6 浮動小数点値の計算式

種類	計算式
NaN (非数)	$E = E_{max} + 1$ かつ $f = 0$ ならば $v$ は $s$ にかかわらず NaN
$\pm$ (無限大数)	$E = E_{max} + 1$ かつ $f = 0$ ならば $v = (-1)^s$
ノーマル数 (正規化数)	$E_{min} \leq E \leq E_{max}$ ならば $v = (-1)^s 2^E (1.f)$
ディノーマル数 (非正規化数)	$E = E_{min} - 1$ かつ $f \neq 0$ ならば $v = (-1)^s 2^{E_{min}} (0.f)$
$\pm 0$ (ゼロ)	$E = E_{min} - 1$ かつ $f = 0$ ならば $v = (-1)^s 0$

・ NaN (非数)

IEEE754 では、NaN (Not a Number) という浮動小数点値を規定しています。これは非数とも呼ばれ、数値ではないため大小関係もありません。

すべての浮動小数点形式において、 $v$  が NaN であった場合、 $f$  の最上位ビットの値によって SignalingNaN (S-NaN) か、QuietNaN (Q-NaN) のどちらかになります。 $f$  の最上位ビットがセットされている場合は QuietNaN で、クリアされている場合は SignalingNaN です。

浮動小数点の形式で定義されている各パラメータの値を表 3-7 に示します。

表 3-7 浮動小数点形式とパラメータ値

パラメータ	形式	
	単精度	倍精度
$E_{max}$	+ 127	+ 1023
$E_{min}$	- 126	- 1022
指数部のバイアス値	+ 127	+ 1023
指数部の長さ (ビット数)	8	11
整数ビット	見えない	見えない
仮数部の長さ (ビット数)	23	52
形式の長さ (ビット数)	32	64

この浮動小数点形式で表現できる最小値、最大値を表 3-8 に示します。

表 3-8 浮動小数点の最大値、最小値

タイプ	値
単精度浮動小数点の最小値	1.40129846e - 45
単精度浮動小数点の最小値 (ノーマル)	1.17549435e - 38
単精度浮動小数点の最大値	3.40282347e + 38
倍精度浮動小数点の最小値	4.9406564584124654e - 324
倍精度浮動小数点の最小値 (ノーマル)	2.2250738585072014e - 308
倍精度浮動小数点の最大値	1.7976931348623157e + 308

## (b) 整数の形式

整数の値は2の補数の形式で保持されます。図 3-5 に32ビット整数形式, 図 3-6 に64ビット整数形式を示します。符号なし整数においては, 符号ビットは存在せず, 全ビットが整数値を表現します。

図 3-5 32ビット整数形式

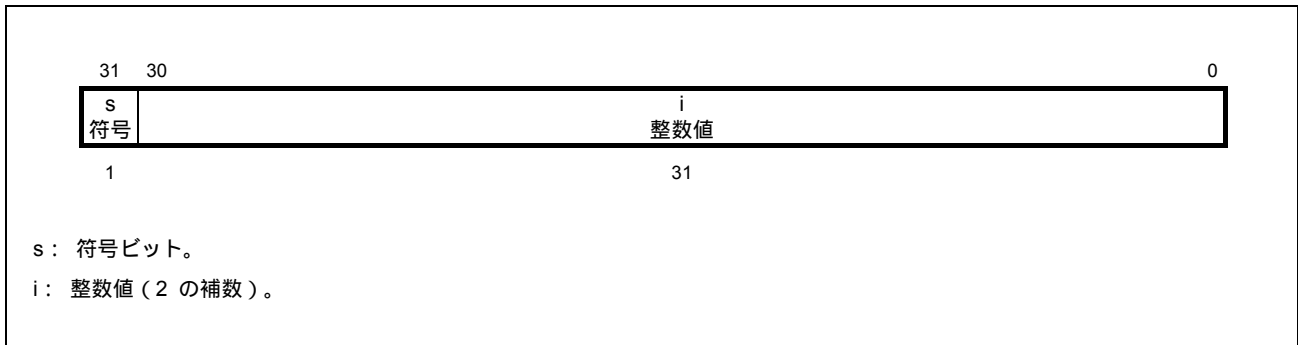
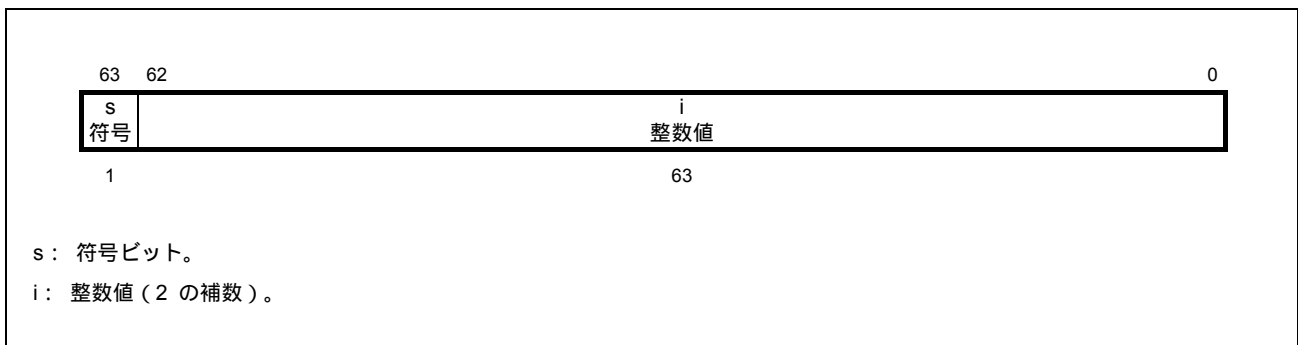


図 3-6 64ビット整数形式



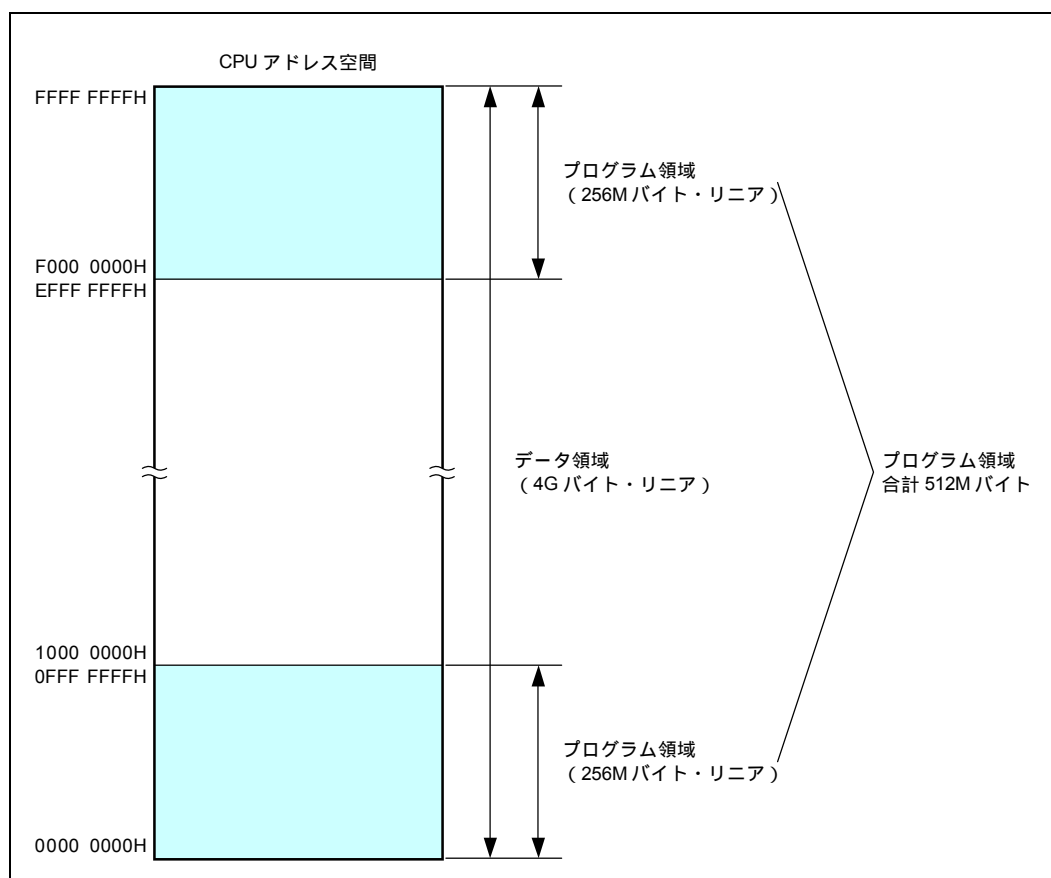
## 3.4 アドレス空間

### 3.4.1 CPU アドレス空間

PFESiP/V850EP3 の CPU は、32 ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大 4G バイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大 512M バイトのリニア・アドレス空間（プログラム空間）をサポートしています

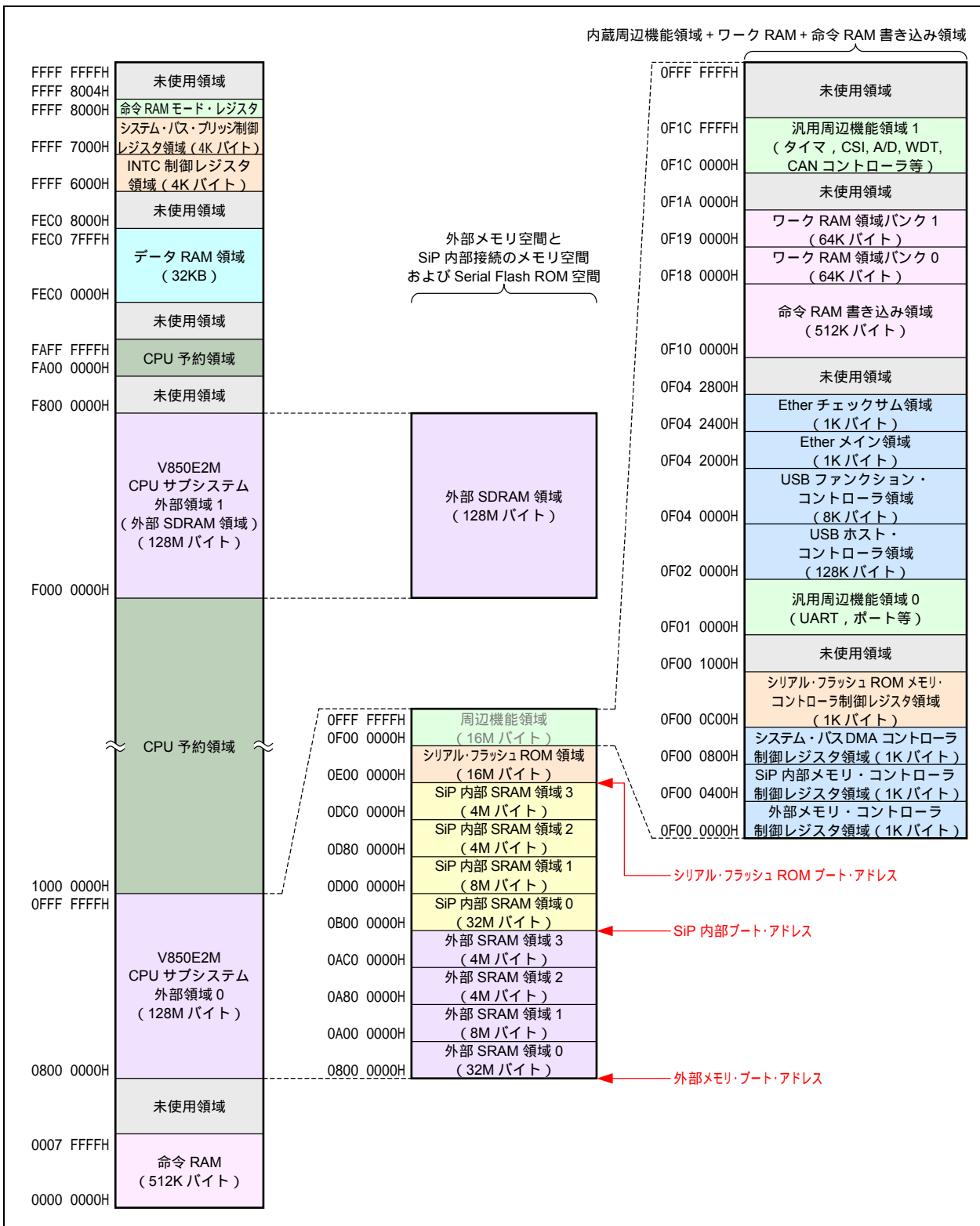
次に CPU アドレス空間を示します。

図 3-7 CPU アドレス空間



### 3.4.2 メモリ・マップ

PFESiP/V850EP3 のメモリ・マップを以下に示します。



- 注意 1.** 異なるメモリ境界をまたがるミス・アライン・アクセス動作は保証されません。異なるメモリ境界を移動する場合は、必ず分岐命令を使用してください。またその分岐命令は、各メモリ境界の上限から4バイト以内に配置しないでください。
- 2.** 異なるメモリ領域をまたがるプログラムの動作は保証されません。



### 3.4.3 領 域

#### (1) 内蔵命令 RAM 領域 (I\_RAM 領域)

命令 RAM は、高速応答を必要とするプログラムを外部 ROM からダウンロードして利用します。

命令 RAM は、128 ビット・バスを採用し、CPU のパイプライン処理とあわせて、大容量ながら高いスループットを発揮します。リアルタイム性を必要とするアプリケーション・プログラムの実行が可能です。主にプログラムや固定データに利用されます。プログラムの格納などを目的に、ライトが行えます。ただしライト時は、別アドレス (0F10 0000H 以降の命令 RAM 書き込み領域) にライトします。

命令 RAM は、リード・モードとライト・モードを命令 RAM モード・レジスタ (IRAMM) で切り替えてアクセスしてください。リード (フェッチ) 時はリード・モード、ライト時はライト・モードに設定してください。

**注意 1.** 命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトしてください。

**2.** 命令 RAM の書き込みは、以下の条件を守ってください。

- ・128 ビット (= 4 ワード = 16 バイト) で割り切れるデータ数を書き込んでください。
- ・ライト・アクセスは、32 ビット (ワード) でのみアクセスしてください。
- ・先頭アドレスは、128 ビット (= 4 ワード = 16 バイト) で割り切れるアドレスとしてください。
- ・アドレスはインクリメント方向で連続して書き込んでください。

**3.** システム・バス DMAC を用いて、命令 RAM を転送先に選択する場合は、以下の設定を守ってください。

- ・トランザクション・バイト・レジスタの値 (Current トランザクション・バイト・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
- ・デスティネーション・アドレス・レジスタの値 (Current デスティネーション・アドレス・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
- ・チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn [2:0] の設定は 32 ビット以上に設定してください (n = 0-7)。
- ・チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn の設定はインクリメントに設定してください (n = 0-7)。

**4.** 命令 RAM は、PFESiP/V850EP1 と異なり、常に有効となります。

#### (a) 命令 RAM サイズ

命令 RAM は、0000 0000H-0007 FFFFH に 512K バイト内蔵しています。

#### (b) 命令 RAM 書き込み領域

命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトする必要があります。

## (2) データ RAM 領域 (D\_RAM 領域)

データ RAM は 32K バイト実装しています。配置アドレスは FEC0 0000H-FEC0 7FFFH です。

CPU と同一のクロックで、1 クロックでアクセス可能な高速データ RAM です。主に可変データやスタックに利用します。この領域からのプログラム・フェッチも可能です。

## (3) ワーク RAM 領域 (W\_RAM 領域)

CPU と、内部システム・バス上のバス・マスタの双方からアクセスできるワーク RAM を 64K バイト × 2 バンク構成で内蔵しています。

配置アドレスは、下記のとおりです。

バンク	ワーク RAM サイズ	配置アドレス
バンク 0	64K バイト	0F18 0000H-0F18 FFFFH
バンク 1	64K バイト	0F19 0000H-0F19 FFFFH

2 バンク構造のため、CPU サブシステム側 (CPU またはセントラル DMA コントローラ) と、内部システム・バスのバス・マスタ (システム・バス DMA コントローラ、USB ホスト・コントローラ、USB ファンクション・コントローラ、Ether MAC) から別々のバンクを利用することで競合を回避できます。同一バンクを同時にアクセスした場合のみ調停が行われます。CPU が外部メモリをアクセスしている場合でも、CPU の外部メモリ・アクセスをさまたげることなく他のバス・マスタは同時にワーク RAM にアクセスできます。

## (4) 割り込み / 例外テーブル

PFESiP/V850EP3 は、割り込み / 例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

PFESiP/V850EP3 では、端子 (BOOTSEL0, BOOTSEL1) で選択したブート・モードにより、ハンドラ・アドレスが決まります。このハンドラ・アドレスは、起動後に変更できます。

表 3-9 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート・モード	ブート領域の選択	ブート・アドレス
0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H
0	1	SiP 内部ブート	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	設定禁止	-

外部メモリ・ブートでは、起動アドレスが 0800 0000H となるため、このアドレスをベースとしたハンドラ・アドレスが設定されます。

各割り込み要因とハンドラ・アドレスは、「表 10-2 割り込み要因一覧」を参照してください。

### 3.4.4 周辺 I/O レジスタ

内蔵周辺機能には、多くの周辺 I/O レジスタが割り付けられています。周辺 I/O レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

周辺 I/O レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16, 32) は、各特殊機能レジスタで異なります。

以降に周辺 I/O レジスタの一覧を示します。表中の項目の意味は次のとおりです。

略号 内蔵された周辺 I/O レジスタのアドレスを示す C コンパイラ、アセンブラで使用する略号です。

R/W 該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

操作可能ビット単位

操作可能なビット単位 (1, 8, 16, 32) を示します。

リセット時

RESETZ 入力時の各レジスタの状態を示します。

**注意 1.** 各内蔵周辺 I/O レジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、下記のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

該当する内蔵周辺 I/O レジスタは、以下の内蔵周辺機能のレジスタです。

- ・ 16 ビット・インターバル・タイマ M (TMM)
- ・ 16 ビット・タイマ / カウンタ AA (TAA)
- ・ 16 ビット・タイマ / イベント・カウンタ T (TMT)
- ・ ウォッチドッグ・タイマ機能
- ・ クロック同期式シリアル・インタフェース (CSI3)
- ・ CAN コントローラ
- ・ A/D コンバータ

**2.** 各内蔵周辺 I/O レジスタへ書き込みを行う場合、各内蔵周辺 I/O レジスタのフォーマットにおいて、0 のビット個所には 0 を、1 のビット個所には 1 を必ず設定してください。禁止されている設定を行った場合、動作が不定となります。

**備考** USB 機能、Ether MAC、CAN コントローラのレジスタは、ここには記載していません。それぞれの章に個別に記載しています。

表 3-10 キャッシュ/バッファ機能制御用レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6480H	命令 RAM キャッシュ動作設定レジスタ	FCCTL0	R/W	-	-		-	40B4H
FFFF 6482H	命令 RAM キャッシュ・トリガ機能レジスタ	FCCTL1	R/W	-	-		-	0000H
FFFF 7100H	システム・バス・ブリッジ設定レジスタ	ETSCFG	R/W	-	-		-	0980H
FFFF 7102H	システム・バス・ブリッジ・コマンド・レジスタ	ETSCMD	R/W	-	-		-	0000H
FFFF 7140H	システム・バス・ブリッジ領域 0 設定レジスタ	ETSRCFG0	R/W	-	-		-	0000H
FFFF 7142H	システム・バス・ブリッジ領域 1 設定レジスタ	ETSRCFG1	R/W	-	-		-	0000H
FFFF 7144H	システム・バス・ブリッジ領域 2 設定レジスタ	ETSRCFG2	R/W	-	-		-	0000H
FFFF 7146H	システム・バス・ブリッジ領域 3 設定レジスタ	ETSRCFG3	R/W	-	-		-	0000H
FFFF 7150H	システム・バス・ブリッジ領域 0 アドレス・レジスタ	ETSRADRS0	R/W	-	-	-		不定
FFFF 7150H	システム・バス・ブリッジ領域 0 アドレス・レジスタ L	ETSRADRS0L	R/W	-	-		-	不定
FFFF 7152H	システム・バス・ブリッジ領域 0 アドレス・レジスタ H	ETSRADRS0H	R/W	-	-		-	不定
FFFF 7154H	システム・バス・ブリッジ領域 0 マスク・レジスタ	ETSRMASK0	R/W	-	-	-		不定
FFFF 7154H	システム・バス・ブリッジ領域 0 マスク・レジスタ L	ETSRMASK0L	R/W	-	-		-	不定
FFFF 7156H	システム・バス・ブリッジ領域 0 マスク・レジスタ H	ETSRMASK0H	R/W	-	-		-	不定
FFFF 7158H	システム・バス・ブリッジ領域 1 アドレス・レジスタ	ETSRADRS1	R/W	-	-	-		不定
FFFF 7158H	システム・バス・ブリッジ領域 1 アドレス・レジスタ L	ETSRADRS1L	R/W	-	-		-	不定
FFFF 715AH	システム・バス・ブリッジ領域 1 アドレス・レジスタ H	ETSRADRS1H	R/W	-	-		-	不定
FFFF 715CH	システム・バス・ブリッジ領域 1 マスク・レジスタ	ETSRMASK1	R/W	-	-	-		不定
FFFF 715CH	システム・バス・ブリッジ領域 1 マスク・レジスタ L	ETSRMASK1L	R/W	-	-		-	不定
FFFF 715EH	システム・バス・ブリッジ領域 1 マスク・レジスタ H	ETSRMASK1H	R/W	-	-		-	不定
FFFF 7160H	システム・バス・ブリッジ領域 2 アドレス・レジスタ	ETSRADRS2	R/W	-	-	-		不定
FFFF 7160H	システム・バス・ブリッジ領域 2 アドレス・レジスタ L	ETSRADRS2L	R/W	-	-		-	不定
FFFF 7162H	システム・バス・ブリッジ領域 2 アドレス・レジスタ H	ETSRADRS2H	R/W	-	-		-	不定
FFFF 7164H	システム・バス・ブリッジ領域 2 マスク・レジスタ	ETSRMASK2	R/W	-	-	-		不定
FFFF 7164H	システム・バス・ブリッジ領域 2 マスク・レジスタ L	ETSRMASK2L	R/W	-	-		-	不定
FFFF 7166H	システム・バス・ブリッジ領域 2 マスク・レジスタ H	ETSRMASK2H	R/W	-	-		-	不定
FFFF 7168H	システム・バス・ブリッジ領域 3 アドレス・レジスタ	ETSRADRS3	R/W	-	-	-		不定
FFFF 7168H	システム・バス・ブリッジ領域 3 アドレス・レジスタ L	ETSRADRS3L	R/W	-	-		-	不定
FFFF 716AH	システム・バス・ブリッジ領域 3 アドレス・レジスタ H	ETSRADRS3H	R/W	-	-		-	不定
FFFF 716CH	システム・バス・ブリッジ領域 3 マスク・レジスタ	ETSRMASK3	R/W	-	-	-		不定
FFFF 716CH	システム・バス・ブリッジ領域 3 マスク・レジスタ L	ETSRMASK3L	R/W	-	-		-	不定
FFFF 716EH	システム・バス・ブリッジ領域 3 マスク・レジスタ H	ETSRMASK3H	R/W	-	-		-	不定

表 3-11 外部メモリ・アクセス用メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0004H	バス・サイズ制御レジスタ	BSC	R/W	-	-	-		0000 5555H/ 0000 FFFFH <sup>※1</sup>
0F00 0008H	スタティック・メモリ制御レジスタ 0	SMC0	R/W	-	-	-		0000 FFFFH
0F00 000CH	スタティック・メモリ制御レジスタ 1	SMC1	R/W	-	-	-		0000 FFFFH
0F00 0010H	スタティック・メモリ制御レジスタ 2	SMC2	R/W	-	-	-		0000 FFFFH
0F00 0014H	スタティック・メモリ制御レジスタ 3	SMC3	R/W	-	-	-		0000 FFFFH
0F00 0018H	ページ ROM 制御レジスタ	PRC	R/W	-	-	-		F000 0000H
0F00 001CH	ダイナミック・メモリ制御レジスタ	DMC	R/W	-	-	-		20C0 0000H
0F00 002CH	ダイナミック・メモリ・リフレッシュ制御レジスタ	RFC	R/W	-	-	-		001F 0000H

注 1. BUS32EN0 の端子レベルにより，BSC レジスタの初期値が決定されます。

BUS32EN0 では，外部メモリ・アクセス用メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

表 3-12 SiP 内部接続用メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0404H	バス・サイズ制御レジスタ	SPBSC	R/W	-	-	-		0000 5555H/ 0000 FFFFH <sup>※2</sup>
0F00 0408H	スタティック・メモリ制御レジスタ 0	SPSMC0	R/W	-	-	-		0000 FFFFH
0F00 040CH	スタティック・メモリ制御レジスタ 1	SPSMC1	R/W	-	-	-		0000 FFFFH
0F00 0410H	スタティック・メモリ制御レジスタ 2	SPSMC2	R/W	-	-	-		0000 FFFFH
0F00 0414H	スタティック・メモリ制御レジスタ 3	SPSMC3	R/W	-	-	-		0000 FFFFH
0F00 0418H	ページ ROM 制御レジスタ	SPPRC	R/W	-	-	-		F000 0000H

注 2. BUS32EN1 の端子レベルにより，SPBSC レジスタの初期値が決定されます。

BUS32EN1 では，SiP 内部接続用メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

表 3-13 割り込みコントローラ制御用レジスタ (1/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6000H	EI レベル割り込み制御レジスタ 0	EIC0	R/W	-	-	-	-	008FH
FFFF 6000H	EI レベル割り込み制御レジスタ 0L	EIC0L	R/W			-	-	8FH
FFFF 6001H	EI レベル割り込み制御レジスタ 0H	EIC0H	R/W			-	-	00H
FFFF 6002H	EI レベル割り込み制御レジスタ 1	EIC1	R/W	-	-	-	-	008FH
FFFF 6002H	EI レベル割り込み制御レジスタ 1L	EIC1L	R/W			-	-	8FH
FFFF 6003H	EI レベル割り込み制御レジスタ 1H	EIC1H	R/W			-	-	00H
FFFF 6004H	EI レベル割り込み制御レジスタ 2	EIC2	R/W	-	-	-	-	008FH
FFFF 6004H	EI レベル割り込み制御レジスタ 2L	EIC2L	R/W			-	-	8FH
FFFF 6005H	EI レベル割り込み制御レジスタ 2H	EIC2H	R/W			-	-	00H
FFFF 6006H	EI レベル割り込み制御レジスタ 3	EIC3	R/W	-	-	-	-	008FH
FFFF 6006H	EI レベル割り込み制御レジスタ 3L	EIC3L	R/W			-	-	8FH
FFFF 6007H	EI レベル割り込み制御レジスタ 3H	EIC3H	R/W			-	-	00H
FFFF 6008H	EI レベル割り込み制御レジスタ 4	EIC4	R/W	-	-	-	-	008FH
FFFF 6008H	EI レベル割り込み制御レジスタ 4L	EIC4L	R/W			-	-	8FH
FFFF 6009H	EI レベル割り込み制御レジスタ 4H	EIC4H	R/W			-	-	00H
FFFF 600AH	EI レベル割り込み制御レジスタ 5	EIC5	R/W	-	-	-	-	008FH
FFFF 600AH	EI レベル割り込み制御レジスタ 5L	EIC5L	R/W			-	-	8FH
FFFF 600BH	EI レベル割り込み制御レジスタ 5H	EIC5H	R/W			-	-	00H
FFFF 600CH	EI レベル割り込み制御レジスタ 6	EIC6	R/W	-	-	-	-	008FH
FFFF 600CH	EI レベル割り込み制御レジスタ 6L	EIC6L	R/W			-	-	8FH
FFFF 600DH	EI レベル割り込み制御レジスタ 6H	EIC6H	R/W			-	-	00H
FFFF 600EH	EI レベル割り込み制御レジスタ 7	EIC7	R/W	-	-	-	-	008FH
FFFF 600EH	EI レベル割り込み制御レジスタ 7L	EIC7L	R/W			-	-	8FH
FFFF 600FH	EI レベル割り込み制御レジスタ 7H	EIC7H	R/W			-	-	00H
FFFF 6010H	EI レベル割り込み制御レジスタ 8	EIC8	R/W	-	-	-	-	008FH
FFFF 6010H	EI レベル割り込み制御レジスタ 8L	EIC8L	R/W			-	-	8FH
FFFF 6011H	EI レベル割り込み制御レジスタ 8H	EIC8H	R/W			-	-	00H
FFFF 6012H	EI レベル割り込み制御レジスタ 9	EIC9	R/W	-	-	-	-	008FH
FFFF 6012H	EI レベル割り込み制御レジスタ 9L	EIC9L	R/W			-	-	8FH
FFFF 6013H	EI レベル割り込み制御レジスタ 9H	EIC9H	R/W			-	-	00H
FFFF 6014H	EI レベル割り込み制御レジスタ 10	EIC10	R/W	-	-	-	-	008FH
FFFF 6014H	EI レベル割り込み制御レジスタ 10L	EIC10L	R/W			-	-	8FH
FFFF 6015H	EI レベル割り込み制御レジスタ 10H	EIC10H	R/W			-	-	00H
FFFF 6016H	EI レベル割り込み制御レジスタ 11	EIC11	R/W	-	-	-	-	008FH
FFFF 6016H	EI レベル割り込み制御レジスタ 11L	EIC11L	R/W			-	-	8FH
FFFF 6017H	EI レベル割り込み制御レジスタ 11H	EIC11H	R/W			-	-	00H
FFFF 6018H	EI レベル割り込み制御レジスタ 12	EIC12	R/W	-	-	-	-	008FH
FFFF 6018H	EI レベル割り込み制御レジスタ 12L	EIC12L	R/W			-	-	8FH
FFFF 6019H	EI レベル割り込み制御レジスタ 12H	EIC12H	R/W			-	-	00H
FFFF 601AH	EI レベル割り込み制御レジスタ 13	EIC13	R/W	-	-	-	-	008FH
FFFF 601AH	EI レベル割り込み制御レジスタ 13L	EIC13L	R/W			-	-	8FH
FFFF 601BH	EI レベル割り込み制御レジスタ 13H	EIC13H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (2/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 601CH	EI レベル割り込み制御レジスタ 14	EIC14	R/W	-	-	-	-	008FH
FFFF 601CH	EI レベル割り込み制御レジスタ 14L	EIC14L	R/W			-	-	8FH
FFFF 601DH	EI レベル割り込み制御レジスタ 14H	EIC14H	R/W			-	-	00H
FFFF 601EH	EI レベル割り込み制御レジスタ 15	EIC15	R/W	-	-	-	-	008FH
FFFF 601EH	EI レベル割り込み制御レジスタ 15L	EIC15L	R/W			-	-	8FH
FFFF 601FH	EI レベル割り込み制御レジスタ 15H	EIC15H	R/W			-	-	00H
FFFF 6020H	EI レベル割り込み制御レジスタ 16	EIC16	R/W	-	-	-	-	008FH
FFFF 6020H	EI レベル割り込み制御レジスタ 16L	EIC16L	R/W			-	-	8FH
FFFF 6021H	EI レベル割り込み制御レジスタ 16H	EIC16H	R/W			-	-	00H
FFFF 6022H	EI レベル割り込み制御レジスタ 17	EIC17	R/W	-	-	-	-	008FH
FFFF 6022H	EI レベル割り込み制御レジスタ 17L	EIC17L	R/W			-	-	8FH
FFFF 6023H	EI レベル割り込み制御レジスタ 17H	EIC17H	R/W			-	-	00H
FFFF 6024H	EI レベル割り込み制御レジスタ 18	EIC18	R/W	-	-	-	-	008FH
FFFF 6024H	EI レベル割り込み制御レジスタ 18L	EIC18L	R/W			-	-	8FH
FFFF 6025H	EI レベル割り込み制御レジスタ 18H	EIC18H	R/W			-	-	00H
FFFF 6026H	EI レベル割り込み制御レジスタ 19	EIC19	R/W	-	-	-	-	008FH
FFFF 6026H	EI レベル割り込み制御レジスタ 19L	EIC19L	R/W			-	-	8FH
FFFF 6027H	EI レベル割り込み制御レジスタ 19H	EIC19H	R/W			-	-	00H
FFFF 6028H	EI レベル割り込み制御レジスタ 20	EIC20	R/W	-	-	-	-	008FH
FFFF 6028H	EI レベル割り込み制御レジスタ 20L	EIC20L	R/W			-	-	8FH
FFFF 6029H	EI レベル割り込み制御レジスタ 20H	EIC20H	R/W			-	-	00H
FFFF 602AH	EI レベル割り込み制御レジスタ 21	EIC21	R/W	-	-	-	-	008FH
FFFF 602AH	EI レベル割り込み制御レジスタ 21L	EIC21L	R/W			-	-	8FH
FFFF 602BH	EI レベル割り込み制御レジスタ 21H	EIC21H	R/W			-	-	00H
FFFF 602CH	EI レベル割り込み制御レジスタ 22	EIC22	R/W	-	-	-	-	008FH
FFFF 602CH	EI レベル割り込み制御レジスタ 22L	EIC22L	R/W			-	-	8FH
FFFF 602DH	EI レベル割り込み制御レジスタ 22H	EIC22H	R/W			-	-	00H
FFFF 602EH	EI レベル割り込み制御レジスタ 23	EIC23	R/W	-	-	-	-	008FH
FFFF 602EH	EI レベル割り込み制御レジスタ 23L	EIC23L	R/W			-	-	8FH
FFFF 602FH	EI レベル割り込み制御レジスタ 23H	EIC23H	R/W			-	-	00H
FFFF 6030H	EI レベル割り込み制御レジスタ 24	EIC24	R/W	-	-	-	-	008FH
FFFF 6030H	EI レベル割り込み制御レジスタ 24L	EIC24L	R/W			-	-	8FH
FFFF 6031H	EI レベル割り込み制御レジスタ 24H	EIC24H	R/W			-	-	00H
FFFF 6032H	EI レベル割り込み制御レジスタ 25	EIC25	R/W	-	-	-	-	008FH
FFFF 6032H	EI レベル割り込み制御レジスタ 25L	EIC25L	R/W			-	-	8FH
FFFF 6033H	EI レベル割り込み制御レジスタ 25H	EIC25H	R/W			-	-	00H
FFFF 6034H	EI レベル割り込み制御レジスタ 26	EIC26	R/W	-	-	-	-	008FH
FFFF 6034H	EI レベル割り込み制御レジスタ 26L	EIC26L	R/W			-	-	8FH
FFFF 6035H	EI レベル割り込み制御レジスタ 26H	EIC26H	R/W			-	-	00H
FFFF 6036H	EI レベル割り込み制御レジスタ 27	EIC27	R/W	-	-	-	-	008FH
FFFF 6036H	EI レベル割り込み制御レジスタ 27L	EIC27L	R/W			-	-	8FH
FFFF 6037H	EI レベル割り込み制御レジスタ 27H	EIC27H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (3/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6038H	EI レベル割り込み制御レジスタ 28	EIC28	R/W	-	-	-	-	008FH
FFFF 6038H	EI レベル割り込み制御レジスタ 28L	EIC28L	R/W			-	-	8FH
FFFF 6039H	EI レベル割り込み制御レジスタ 28H	EIC28H	R/W			-	-	00H
FFFF 603AH	EI レベル割り込み制御レジスタ 29	EIC29	R/W	-	-	-	-	008FH
FFFF 603AH	EI レベル割り込み制御レジスタ 29L	EIC29L	R/W			-	-	8FH
FFFF 603BH	EI レベル割り込み制御レジスタ 29H	EIC29H	R/W			-	-	00H
FFFF 603CH	EI レベル割り込み制御レジスタ 30	EIC30	R/W	-	-	-	-	008FH
FFFF 603CH	EI レベル割り込み制御レジスタ 30L	EIC30L	R/W			-	-	8FH
FFFF 603DH	EI レベル割り込み制御レジスタ 30H	EIC30H	R/W			-	-	00H
FFFF 603EH	EI レベル割り込み制御レジスタ 31	EIC31	R/W	-	-	-	-	008FH
FFFF 603EH	EI レベル割り込み制御レジスタ 31L	EIC31L	R/W			-	-	8FH
FFFF 603FH	EI レベル割り込み制御レジスタ 31H	EIC31H	R/W			-	-	00H
FFFF 6040H	EI レベル割り込み制御レジスタ 32	EIC32	R/W	-	-	-	-	008FH
FFFF 6040H	EI レベル割り込み制御レジスタ 32L	EIC32L	R/W			-	-	8FH
FFFF 6041H	EI レベル割り込み制御レジスタ 32H	EIC32H	R/W			-	-	00H
FFFF 6042H	EI レベル割り込み制御レジスタ 33	EIC33	R/W	-	-	-	-	008FH
FFFF 6042H	EI レベル割り込み制御レジスタ 33L	EIC33L	R/W			-	-	8FH
FFFF 6043H	EI レベル割り込み制御レジスタ 33H	EIC33H	R/W			-	-	00H
FFFF 6044H	EI レベル割り込み制御レジスタ 34	EIC34	R/W	-	-	-	-	008FH
FFFF 6044H	EI レベル割り込み制御レジスタ 34L	EIC34L	R/W			-	-	8FH
FFFF 6045H	EI レベル割り込み制御レジスタ 34H	EIC34H	R/W			-	-	00H
FFFF 6046H	EI レベル割り込み制御レジスタ 35	EIC35	R/W	-	-	-	-	008FH
FFFF 6046H	EI レベル割り込み制御レジスタ 35L	EIC35L	R/W			-	-	8FH
FFFF 6047H	EI レベル割り込み制御レジスタ 35H	EIC35H	R/W			-	-	00H
FFFF 6048H	EI レベル割り込み制御レジスタ 36	EIC36	R/W	-	-	-	-	008FH
FFFF 6048H	EI レベル割り込み制御レジスタ 36L	EIC36L	R/W			-	-	8FH
FFFF 6049H	EI レベル割り込み制御レジスタ 36H	EIC36H	R/W			-	-	00H
FFFF 604AH	EI レベル割り込み制御レジスタ 37	EIC37	R/W	-	-	-	-	008FH
FFFF 604AH	EI レベル割り込み制御レジスタ 37L	EIC37L	R/W			-	-	8FH
FFFF 604BH	EI レベル割り込み制御レジスタ 37H	EIC37H	R/W			-	-	00H
FFFF 604CH	EI レベル割り込み制御レジスタ 38	EIC38	R/W	-	-	-	-	008FH
FFFF 604CH	EI レベル割り込み制御レジスタ 38L	EIC38L	R/W			-	-	8FH
FFFF 604DH	EI レベル割り込み制御レジスタ 38H	EIC38H	R/W			-	-	00H
FFFF 604EH	EI レベル割り込み制御レジスタ 39	EIC39	R/W	-	-	-	-	008FH
FFFF 604EH	EI レベル割り込み制御レジスタ 39L	EIC39L	R/W			-	-	8FH
FFFF 604FH	EI レベル割り込み制御レジスタ 39H	EIC39H	R/W			-	-	00H
FFFF 6050H	EI レベル割り込み制御レジスタ 40	EIC40	R/W	-	-	-	-	008FH
FFFF 6050H	EI レベル割り込み制御レジスタ 40L	EIC40L	R/W			-	-	8FH
FFFF 6051H	EI レベル割り込み制御レジスタ 40H	EIC40H	R/W			-	-	00H
FFFF 6052H	EI レベル割り込み制御レジスタ 41	EIC41	R/W	-	-	-	-	008FH
FFFF 6052H	EI レベル割り込み制御レジスタ 41L	EIC41L	R/W			-	-	8FH
FFFF 6053H	EI レベル割り込み制御レジスタ 41H	EIC41H	R/W			-	-	00H



表 3-13 割り込みコントローラ制御用レジスタ (4/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6054H	EI レベル割り込み制御レジスタ 42	EIC42	R/W	-	-	-	-	008FH
FFFF 6054H	EI レベル割り込み制御レジスタ 42L	EIC42L	R/W			-	-	8FH
FFFF 6055H	EI レベル割り込み制御レジスタ 42H	EIC42H	R/W			-	-	00H
FFFF 6056H	EI レベル割り込み制御レジスタ 43	EIC43	R/W	-	-	-	-	008FH
FFFF 6056H	EI レベル割り込み制御レジスタ 43L	EIC43L	R/W			-	-	8FH
FFFF 6057H	EI レベル割り込み制御レジスタ 43H	EIC43H	R/W			-	-	00H
FFFF 6058H	EI レベル割り込み制御レジスタ 44	EIC44	R/W	-	-	-	-	008FH
FFFF 6058H	EI レベル割り込み制御レジスタ 44L	EIC44L	R/W			-	-	8FH
FFFF 6059H	EI レベル割り込み制御レジスタ 44H	EIC44H	R/W			-	-	00H
FFFF 605AH	EI レベル割り込み制御レジスタ 45	EIC45	R/W	-	-	-	-	008FH
FFFF 605AH	EI レベル割り込み制御レジスタ 45L	EIC45L	R/W			-	-	8FH
FFFF 605BH	EI レベル割り込み制御レジスタ 45H	EIC45H	R/W			-	-	00H
FFFF 605CH	EI レベル割り込み制御レジスタ 46	EIC46	R/W	-	-	-	-	008FH
FFFF 605CH	EI レベル割り込み制御レジスタ 46L	EIC46L	R/W			-	-	8FH
FFFF 605DH	EI レベル割り込み制御レジスタ 46H	EIC46H	R/W			-	-	00H
FFFF 605EH	EI レベル割り込み制御レジスタ 47	EIC47	R/W	-	-	-	-	008FH
FFFF 605EH	EI レベル割り込み制御レジスタ 47L	EIC47L	R/W			-	-	8FH
FFFF 605FH	EI レベル割り込み制御レジスタ 47H	EIC47H	R/W			-	-	00H
FFFF 6060H	EI レベル割り込み制御レジスタ 48	EIC48	R/W	-	-	-	-	008FH
FFFF 6060H	EI レベル割り込み制御レジスタ 48L	EIC48L	R/W			-	-	8FH
FFFF 6061H	EI レベル割り込み制御レジスタ 48H	EIC48H	R/W			-	-	00H
FFFF 6062H	EI レベル割り込み制御レジスタ 49	EIC49	R/W	-	-	-	-	008FH
FFFF 6062H	EI レベル割り込み制御レジスタ 49L	EIC49L	R/W			-	-	8FH
FFFF 6063H	EI レベル割り込み制御レジスタ 49H	EIC49H	R/W			-	-	00H
FFFF 6064H	EI レベル割り込み制御レジスタ 50	EIC50	R/W	-	-	-	-	008FH
FFFF 6064H	EI レベル割り込み制御レジスタ 50L	EIC50L	R/W			-	-	8FH
FFFF 6065H	EI レベル割り込み制御レジスタ 50H	EIC50H	R/W			-	-	00H
FFFF 6066H	EI レベル割り込み制御レジスタ 51	EIC51	R/W	-	-	-	-	008FH
FFFF 6066H	EI レベル割り込み制御レジスタ 51L	EIC51L	R/W			-	-	8FH
FFFF 6067H	EI レベル割り込み制御レジスタ 51H	EIC51H	R/W			-	-	00H
FFFF 6068H	EI レベル割り込み制御レジスタ 52	EIC52	R/W	-	-	-	-	008FH
FFFF 6068H	EI レベル割り込み制御レジスタ 52L	EIC52L	R/W			-	-	8FH
FFFF 6069H	EI レベル割り込み制御レジスタ 52H	EIC52H	R/W			-	-	00H
FFFF 606AH	EI レベル割り込み制御レジスタ 53	EIC53	R/W	-	-	-	-	008FH
FFFF 606AH	EI レベル割り込み制御レジスタ 53L	EIC53L	R/W			-	-	8FH
FFFF 606BH	EI レベル割り込み制御レジスタ 53H	EIC53H	R/W			-	-	00H
FFFF 606CH	EI レベル割り込み制御レジスタ 54	EIC54	R/W	-	-	-	-	008FH
FFFF 606CH	EI レベル割り込み制御レジスタ 54L	EIC54L	R/W			-	-	8FH
FFFF 606DH	EI レベル割り込み制御レジスタ 54H	EIC54H	R/W			-	-	00H
FFFF 606EH	EI レベル割り込み制御レジスタ 55	EIC55	R/W	-	-	-	-	008FH
FFFF 606EH	EI レベル割り込み制御レジスタ 55L	EIC55L	R/W			-	-	8FH
FFFF 606FH	EI レベル割り込み制御レジスタ 55H	EIC55H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (5/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6070H	EI レベル割り込み制御レジスタ 56	EIC56	R/W	-	-	-	-	008FH
FFFF 6070H	EI レベル割り込み制御レジスタ 56L	EIC56L	R/W			-	-	8FH
FFFF 6071H	EI レベル割り込み制御レジスタ 56H	EIC56H	R/W			-	-	00H
FFFF 6072H	EI レベル割り込み制御レジスタ 57	EIC57	R/W	-	-	-	-	008FH
FFFF 6072H	EI レベル割り込み制御レジスタ 57L	EIC57L	R/W			-	-	8FH
FFFF 6073H	EI レベル割り込み制御レジスタ 57H	EIC57H	R/W			-	-	00H
FFFF 6074H	EI レベル割り込み制御レジスタ 58	EIC58	R/W	-	-	-	-	008FH
FFFF 6074H	EI レベル割り込み制御レジスタ 58L	EIC58L	R/W			-	-	8FH
FFFF 6075H	EI レベル割り込み制御レジスタ 58H	EIC58H	R/W			-	-	00H
FFFF 6076H	EI レベル割り込み制御レジスタ 59	EIC59	R/W	-	-	-	-	008FH
FFFF 6076H	EI レベル割り込み制御レジスタ 59L	EIC59L	R/W			-	-	8FH
FFFF 6077H	EI レベル割り込み制御レジスタ 59H	EIC59H	R/W			-	-	00H
FFFF 6078H	EI レベル割り込み制御レジスタ 60	EIC60	R/W	-	-	-	-	008FH
FFFF 6078H	EI レベル割り込み制御レジスタ 60L	EIC60L	R/W			-	-	8FH
FFFF 6079H	EI レベル割り込み制御レジスタ 60H	EIC60H	R/W			-	-	00H
FFFF 607AH	EI レベル割り込み制御レジスタ 61	EIC61	R/W	-	-	-	-	008FH
FFFF 607AH	EI レベル割り込み制御レジスタ 61L	EIC61L	R/W			-	-	8FH
FFFF 607BH	EI レベル割り込み制御レジスタ 61H	EIC61H	R/W			-	-	00H
FFFF 607CH	EI レベル割り込み制御レジスタ 62	EIC62	R/W	-	-	-	-	008FH
FFFF 607CH	EI レベル割り込み制御レジスタ 62L	EIC62L	R/W			-	-	8FH
FFFF 607DH	EI レベル割り込み制御レジスタ 62H	EIC62H	R/W			-	-	00H
FFFF 607EH	EI レベル割り込み制御レジスタ 63	EIC63	R/W	-	-	-	-	008FH
FFFF 607EH	EI レベル割り込み制御レジスタ 63L	EIC63L	R/W			-	-	8FH
FFFF 607FH	EI レベル割り込み制御レジスタ 63H	EIC63H	R/W			-	-	00H
FFFF 6080H	EI レベル割り込み制御レジスタ 64	EIC64	R/W	-	-	-	-	008FH
FFFF 6080H	EI レベル割り込み制御レジスタ 64L	EIC64L	R/W			-	-	8FH
FFFF 6081H	EI レベル割り込み制御レジスタ 64H	EIC64H	R/W			-	-	00H
FFFF 6082H	EI レベル割り込み制御レジスタ 65	EIC65	R/W	-	-	-	-	008FH
FFFF 6082H	EI レベル割り込み制御レジスタ 65L	EIC65L	R/W			-	-	8FH
FFFF 6083H	EI レベル割り込み制御レジスタ 65H	EIC65H	R/W			-	-	00H
FFFF 6084H	EI レベル割り込み制御レジスタ 66	EIC66	R/W	-	-	-	-	008FH
FFFF 6084H	EI レベル割り込み制御レジスタ 66L	EIC66L	R/W			-	-	8FH
FFFF 6085H	EI レベル割り込み制御レジスタ 66H	EIC66H	R/W			-	-	00H
FFFF 6086H	EI レベル割り込み制御レジスタ 67	EIC67	R/W	-	-	-	-	008FH
FFFF 6086H	EI レベル割り込み制御レジスタ 67L	EIC67L	R/W			-	-	8FH
FFFF 6087H	EI レベル割り込み制御レジスタ 67H	EIC67H	R/W			-	-	00H
FFFF 6088H	EI レベル割り込み制御レジスタ 68	EIC68	R/W	-	-	-	-	008FH
FFFF 6088H	EI レベル割り込み制御レジスタ 68L	EIC68L	R/W			-	-	8FH
FFFF 6089H	EI レベル割り込み制御レジスタ 68H	EIC68H	R/W			-	-	00H
FFFF 608AH	EI レベル割り込み制御レジスタ 69	EIC69	R/W	-	-	-	-	008FH
FFFF 608AH	EI レベル割り込み制御レジスタ 69L	EIC69L	R/W			-	-	8FH
FFFF 608BH	EI レベル割り込み制御レジスタ 69H	EIC69H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (6/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 608CH	EI レベル割り込み制御レジスタ 70	EIC70	R/W	-	-	-	-	008FH
FFFF 608CH	EI レベル割り込み制御レジスタ 70L	EIC70L	R/W			-	-	8FH
FFFF 608DH	EI レベル割り込み制御レジスタ 70H	EIC70H	R/W			-	-	00H
FFFF 608EH	EI レベル割り込み制御レジスタ 71	EIC71	R/W	-	-	-	-	008FH
FFFF 608EH	EI レベル割り込み制御レジスタ 71L	EIC71L	R/W			-	-	8FH
FFFF 608FH	EI レベル割り込み制御レジスタ 71H	EIC71H	R/W			-	-	00H
FFFF 6090H	EI レベル割り込み制御レジスタ 72	EIC72	R/W	-	-	-	-	008FH
FFFF 6090H	EI レベル割り込み制御レジスタ 72L	EIC72L	R/W			-	-	8FH
FFFF 6091H	EI レベル割り込み制御レジスタ 72H	EIC72H	R/W			-	-	00H
FFFF 6092H	EI レベル割り込み制御レジスタ 73	EIC73	R/W	-	-	-	-	008FH
FFFF 6092H	EI レベル割り込み制御レジスタ 73L	EIC73L	R/W			-	-	8FH
FFFF 6093H	EI レベル割り込み制御レジスタ 73H	EIC73H	R/W			-	-	00H
FFFF 6094H	EI レベル割り込み制御レジスタ 74	EIC74	R/W	-	-	-	-	008FH
FFFF 6094H	EI レベル割り込み制御レジスタ 74L	EIC74L	R/W			-	-	8FH
FFFF 6095H	EI レベル割り込み制御レジスタ 74H	EIC74H	R/W			-	-	00H
FFFF 6096H	EI レベル割り込み制御レジスタ 75	EIC75	R/W	-	-	-	-	008FH
FFFF 6096H	EI レベル割り込み制御レジスタ 75L	EIC75L	R/W			-	-	8FH
FFFF 6097H	EI レベル割り込み制御レジスタ 75H	EIC75H	R/W			-	-	00H
FFFF 6098H	EI レベル割り込み制御レジスタ 76	EIC76	R/W	-	-	-	-	008FH
FFFF 6098H	EI レベル割り込み制御レジスタ 76L	EIC76L	R/W			-	-	8FH
FFFF 6099H	EI レベル割り込み制御レジスタ 76H	EIC76H	R/W			-	-	00H
FFFF 609AH	EI レベル割り込み制御レジスタ 77	EIC77	R/W	-	-	-	-	008FH
FFFF 609AH	EI レベル割り込み制御レジスタ 77L	EIC77L	R/W			-	-	8FH
FFFF 609BH	EI レベル割り込み制御レジスタ 77H	EIC77H	R/W			-	-	00H
FFFF 609CH	EI レベル割り込み制御レジスタ 78	EIC78	R/W	-	-	-	-	008FH
FFFF 609CH	EI レベル割り込み制御レジスタ 78L	EIC78L	R/W			-	-	8FH
FFFF 609DH	EI レベル割り込み制御レジスタ 78H	EIC78H	R/W			-	-	00H
FFFF 609EH	EI レベル割り込み制御レジスタ 79	EIC79	R/W	-	-	-	-	008FH
FFFF 609EH	EI レベル割り込み制御レジスタ 79L	EIC79L	R/W			-	-	8FH
FFFF 609FH	EI レベル割り込み制御レジスタ 79H	EIC79H	R/W			-	-	00H
FFFF 60A0H	EI レベル割り込み制御レジスタ 80	EIC80	R/W	-	-	-	-	008FH
FFFF 60A0H	EI レベル割り込み制御レジスタ 80L	EIC80L	R/W			-	-	8FH
FFFF 60A1H	EI レベル割り込み制御レジスタ 80H	EIC80H	R/W			-	-	00H
FFFF 60A2H	EI レベル割り込み制御レジスタ 81	EIC81	R/W	-	-	-	-	008FH
FFFF 60A2H	EI レベル割り込み制御レジスタ 81L	EIC81L	R/W			-	-	8FH
FFFF 60A3H	EI レベル割り込み制御レジスタ 81H	EIC81H	R/W			-	-	00H
FFFF 60A4H	EI レベル割り込み制御レジスタ 82	EIC82	R/W	-	-	-	-	008FH
FFFF 60A4H	EI レベル割り込み制御レジスタ 82L	EIC82L	R/W			-	-	8FH
FFFF 60A5H	EI レベル割り込み制御レジスタ 82H	EIC82H	R/W			-	-	00H
FFFF 60A6H	EI レベル割り込み制御レジスタ 83	EIC83	R/W	-	-	-	-	008FH
FFFF 60A6H	EI レベル割り込み制御レジスタ 83L	EIC83L	R/W			-	-	8FH
FFFF 60A7H	EI レベル割り込み制御レジスタ 83H	EIC83H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (8/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60A8H	EI レベル割り込み制御レジスタ 84	EIC84	R/W	-	-	-	-	008FH
FFFF 60A8H	EI レベル割り込み制御レジスタ 84L	EIC84L	R/W			-	-	8FH
FFFF 60A9H	EI レベル割り込み制御レジスタ 84H	EIC84H	R/W			-	-	00H
FFFF 60AAH	EI レベル割り込み制御レジスタ 85	EIC85	R/W	-	-	-	-	008FH
FFFF 60AAH	EI レベル割り込み制御レジスタ 85L	EIC85L	R/W			-	-	8FH
FFFF 60ABH	EI レベル割り込み制御レジスタ 85H	EIC85H	R/W			-	-	00H
FFFF 60ACH	EI レベル割り込み制御レジスタ 86	EIC86	R/W	-	-	-	-	008FH
FFFF 60ACH	EI レベル割り込み制御レジスタ 86L	EIC86L	R/W			-	-	8FH
FFFF 60ADH	EI レベル割り込み制御レジスタ 86H	EIC86H	R/W			-	-	00H
FFFF 60AEH	EI レベル割り込み制御レジスタ 87	EIC87	R/W	-	-	-	-	008FH
FFFF 60AEH	EI レベル割り込み制御レジスタ 87L	EIC87L	R/W			-	-	8FH
FFFF 60AFH	EI レベル割り込み制御レジスタ 87H	EIC87H	R/W			-	-	00H
FFFF 60B0H	EI レベル割り込み制御レジスタ 88	EIC88	R/W	-	-	-	-	008FH
FFFF 60B0H	EI レベル割り込み制御レジスタ 88L	EIC88L	R/W			-	-	8FH
FFFF 60B1H	EI レベル割り込み制御レジスタ 88H	EIC88H	R/W			-	-	00H
FFFF 60B2H	EI レベル割り込み制御レジスタ 89	EIC89	R/W	-	-	-	-	008FH
FFFF 60B2H	EI レベル割り込み制御レジスタ 89L	EIC89L	R/W			-	-	8FH
FFFF 60B3H	EI レベル割り込み制御レジスタ 89H	EIC89H	R/W			-	-	00H
FFFF 60B4H	EI レベル割り込み制御レジスタ 90	EIC90	R/W	-	-	-	-	008FH
FFFF 60B4H	EI レベル割り込み制御レジスタ 90L	EIC90L	R/W			-	-	8FH
FFFF 60B5H	EI レベル割り込み制御レジスタ 90H	EIC90H	R/W			-	-	00H
FFFF 60B6H	EI レベル割り込み制御レジスタ 91	EIC91	R/W	-	-	-	-	008FH
FFFF 60B6H	EI レベル割り込み制御レジスタ 91L	EIC91L	R/W			-	-	8FH
FFFF 60B7H	EI レベル割り込み制御レジスタ 91H	EIC91H	R/W			-	-	00H
FFFF 60B8H	EI レベル割り込み制御レジスタ 92	EIC92	R/W	-	-	-	-	008FH
FFFF 60B8H	EI レベル割り込み制御レジスタ 92L	EIC92L	R/W			-	-	8FH
FFFF 60B9H	EI レベル割り込み制御レジスタ 92H	EIC92H	R/W			-	-	00H
FFFF 60BAH	EI レベル割り込み制御レジスタ 93	EIC93	R/W	-	-	-	-	008FH
FFFF 60BAH	EI レベル割り込み制御レジスタ 93L	EIC93L	R/W			-	-	8FH
FFFF 60BBH	EI レベル割り込み制御レジスタ 93H	EIC93H	R/W			-	-	00H
FFFF 60BCH	EI レベル割り込み制御レジスタ 94	EIC94	R/W	-	-	-	-	008FH
FFFF 60BCH	EI レベル割り込み制御レジスタ 94L	EIC94L	R/W			-	-	8FH
FFFF 60BDH	EI レベル割り込み制御レジスタ 94H	EIC94H	R/W			-	-	00H
FFFF 60BEH	EI レベル割り込み制御レジスタ 95	EIC95	R/W	-	-	-	-	008FH
FFFF 60BEH	EI レベル割り込み制御レジスタ 95L	EIC95L	R/W			-	-	8FH
FFFF 60BFH	EI レベル割り込み制御レジスタ 95H	EIC95H	R/W			-	-	00H
FFFF 60C0H	EI レベル割り込み制御レジスタ 96	EIC96	R/W	-	-	-	-	008FH
FFFF 60C0H	EI レベル割り込み制御レジスタ 96L	EIC96L	R/W			-	-	8FH
FFFF 60C1H	EI レベル割り込み制御レジスタ 96H	EIC96H	R/W			-	-	00H
FFFF 60C2H	EI レベル割り込み制御レジスタ 97	EIC97	R/W	-	-	-	-	008FH
FFFF 60C2H	EI レベル割り込み制御レジスタ 97L	EIC97L	R/W			-	-	8FH
FFFF 60C3H	EI レベル割り込み制御レジスタ 97H	EIC97H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (9/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60C4H	EI レベル割り込み制御レジスタ 98	EIC98	R/W	-	-	-	-	008FH
FFFF 60C4H	EI レベル割り込み制御レジスタ 98L	EIC98L	R/W			-	-	8FH
FFFF 60C5H	EI レベル割り込み制御レジスタ 98H	EIC98H	R/W			-	-	00H
FFFF 60C6H	EI レベル割り込み制御レジスタ 99	EIC99	R/W	-	-	-	-	008FH
FFFF 60C6H	EI レベル割り込み制御レジスタ 99L	EIC99L	R/W			-	-	8FH
FFFF 60C7H	EI レベル割り込み制御レジスタ 99H	EIC99H	R/W			-	-	00H
FFFF 60C8H	EI レベル割り込み制御レジスタ 100	EIC100	R/W	-	-	-	-	008FH
FFFF 60C8H	EI レベル割り込み制御レジスタ 100L	EIC100L	R/W			-	-	8FH
FFFF 60C9H	EI レベル割り込み制御レジスタ 100H	EIC100H	R/W			-	-	00H
FFFF 60CAH	EI レベル割り込み制御レジスタ 101	EIC101	R/W	-	-	-	-	008FH
FFFF 60CAH	EI レベル割り込み制御レジスタ 101L	EIC101L	R/W			-	-	8FH
FFFF 60CBH	EI レベル割り込み制御レジスタ 101H	EIC101H	R/W			-	-	00H
FFFF 60CCH	EI レベル割り込み制御レジスタ 102	EIC102	R/W	-	-	-	-	008FH
FFFF 60CCH	EI レベル割り込み制御レジスタ 102L	EIC102L	R/W			-	-	8FH
FFFF 60CDH	EI レベル割り込み制御レジスタ 102H	EIC102H	R/W			-	-	00H
FFFF 60CEH	EI レベル割り込み制御レジスタ 103	EIC103	R/W	-	-	-	-	008FH
FFFF 60CEH	EI レベル割り込み制御レジスタ 103L	EIC103L	R/W			-	-	8FH
FFFF 60CFH	EI レベル割り込み制御レジスタ 103H	EIC103H	R/W			-	-	00H
FFFF 60D0H	EI レベル割り込み制御レジスタ 104	EIC104	R/W	-	-	-	-	008FH
FFFF 60D0H	EI レベル割り込み制御レジスタ 104L	EIC104L	R/W			-	-	8FH
FFFF 60D1H	EI レベル割り込み制御レジスタ 104H	EIC104H	R/W			-	-	00H
FFFF 60D2H	EI レベル割り込み制御レジスタ 105	EIC105	R/W	-	-	-	-	008FH
FFFF 60D2H	EI レベル割り込み制御レジスタ 105L	EIC105L	R/W			-	-	8FH
FFFF 60D3H	EI レベル割り込み制御レジスタ 105H	EIC105H	R/W			-	-	00H
FFFF 60D4H	EI レベル割り込み制御レジスタ 106	EIC106	R/W	-	-	-	-	008FH
FFFF 60D4H	EI レベル割り込み制御レジスタ 106L	EIC106L	R/W			-	-	8FH
FFFF 60D5H	EI レベル割り込み制御レジスタ 106H	EIC106H	R/W			-	-	00H
FFFF 60D6H	EI レベル割り込み制御レジスタ 107	EIC107	R/W	-	-	-	-	008FH
FFFF 60D6H	EI レベル割り込み制御レジスタ 107L	EIC107L	R/W			-	-	8FH
FFFF 60D7H	EI レベル割り込み制御レジスタ 107H	EIC107H	R/W			-	-	00H
FFFF 60D8H	EI レベル割り込み制御レジスタ 108	EIC108	R/W	-	-	-	-	008FH
FFFF 60D8H	EI レベル割り込み制御レジスタ 108L	EIC108L	R/W			-	-	8FH
FFFF 60D9H	EI レベル割り込み制御レジスタ 108H	EIC108H	R/W			-	-	00H
FFFF 60DAH	EI レベル割り込み制御レジスタ 109	EIC109	R/W	-	-	-	-	008FH
FFFF 60DAH	EI レベル割り込み制御レジスタ 109L	EIC109L	R/W			-	-	8FH
FFFF 60DBH	EI レベル割り込み制御レジスタ 109H	EIC109H	R/W			-	-	00H
FFFF 60DCH	EI レベル割り込み制御レジスタ 110	EIC110	R/W	-	-	-	-	008FH
FFFF 60DCH	EI レベル割り込み制御レジスタ 110L	EIC110L	R/W			-	-	8FH
FFFF 60DDH	EI レベル割り込み制御レジスタ 110H	EIC110H	R/W			-	-	00H
FFFF 60DEH	EI レベル割り込み制御レジスタ 111	EIC111	R/W	-	-	-	-	008FH
FFFF 60DEH	EI レベル割り込み制御レジスタ 111L	EIC111L	R/W			-	-	8FH
FFFF 60DFH	EI レベル割り込み制御レジスタ 111H	EIC111H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (10/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60E0H	EI レベル割り込み制御レジスタ 112	EIC112	R/W	-	-	-	-	008FH
FFFF 60E0H	EI レベル割り込み制御レジスタ 112L	EIC112L	R/W			-	-	8FH
FFFF 60E1H	EI レベル割り込み制御レジスタ 112H	EIC112H	R/W			-	-	00H
FFFF 60E2H	EI レベル割り込み制御レジスタ 113	EIC113	R/W	-	-	-	-	008FH
FFFF 60E2H	EI レベル割り込み制御レジスタ 113L	EIC113L	R/W			-	-	8FH
FFFF 60E3H	EI レベル割り込み制御レジスタ 113H	EIC113H	R/W			-	-	00H
FFFF 60E4H	EI レベル割り込み制御レジスタ 114	EIC114	R/W	-	-	-	-	008FH
FFFF 60E4H	EI レベル割り込み制御レジスタ 114L	EIC114L	R/W			-	-	8FH
FFFF 60E5H	EI レベル割り込み制御レジスタ 114H	EIC114H	R/W			-	-	00H
FFFF 60E6H	EI レベル割り込み制御レジスタ 115	EIC115	R/W	-	-	-	-	008FH
FFFF 60E6H	EI レベル割り込み制御レジスタ 115L	EIC115L	R/W			-	-	8FH
FFFF 60E7H	EI レベル割り込み制御レジスタ 115H	EIC115H	R/W			-	-	00H
FFFF 60E8H	EI レベル割り込み制御レジスタ 116	EIC116	R/W	-	-	-	-	008FH
FFFF 60E8H	EI レベル割り込み制御レジスタ 116L	EIC116L	R/W			-	-	8FH
FFFF 60E9H	EI レベル割り込み制御レジスタ 116H	EIC116H	R/W			-	-	00H
FFFF 60EAH	EI レベル割り込み制御レジスタ 117	EIC117	R/W	-	-	-	-	008FH
FFFF 60EAH	EI レベル割り込み制御レジスタ 117L	EIC117L	R/W			-	-	8FH
FFFF 60EBH	EI レベル割り込み制御レジスタ 117H	EIC117H	R/W			-	-	00H
FFFF 60ECH	EI レベル割り込み制御レジスタ 118	EIC118	R/W	-	-	-	-	008FH
FFFF 60ECH	EI レベル割り込み制御レジスタ 118L	EIC118L	R/W			-	-	8FH
FFFF 60EDH	EI レベル割り込み制御レジスタ 118H	EIC118H	R/W			-	-	00H
FFFF 60EEH	EI レベル割り込み制御レジスタ 119	EIC119	R/W	-	-	-	-	008FH
FFFF 60EEH	EI レベル割り込み制御レジスタ 119L	EIC119L	R/W			-	-	8FH
FFFF 60EFH	EI レベル割り込み制御レジスタ 119H	EIC119H	R/W			-	-	00H
FFFF 60F0H	EI レベル割り込み制御レジスタ 120	EIC120	R/W	-	-	-	-	008FH
FFFF 60F0H	EI レベル割り込み制御レジスタ 120L	EIC120L	R/W			-	-	8FH
FFFF 60F1H	EI レベル割り込み制御レジスタ 120H	EIC120H	R/W			-	-	00H
FFFF 60F2H	EI レベル割り込み制御レジスタ 121	EIC121	R/W	-	-	-	-	008FH
FFFF 60F2H	EI レベル割り込み制御レジスタ 121L	EIC121L	R/W			-	-	8FH
FFFF 60F3H	EI レベル割り込み制御レジスタ 121H	EIC121H	R/W			-	-	00H
FFFF 60F4H	EI レベル割り込み制御レジスタ 122	EIC122	R/W	-	-	-	-	008FH
FFFF 60F4H	EI レベル割り込み制御レジスタ 122L	EIC122L	R/W			-	-	8FH
FFFF 60F5H	EI レベル割り込み制御レジスタ 122H	EIC122H	R/W			-	-	00H
FFFF 60F6H	EI レベル割り込み制御レジスタ 123	EIC123	R/W	-	-	-	-	008FH
FFFF 60F6H	EI レベル割り込み制御レジスタ 123L	EIC123L	R/W			-	-	8FH
FFFF 60F7H	EI レベル割り込み制御レジスタ 123H	EIC123H	R/W			-	-	00H
FFFF 60F8H	EI レベル割り込み制御レジスタ 124	EIC124	R/W	-	-	-	-	008FH
FFFF 60F8H	EI レベル割り込み制御レジスタ 124L	EIC124L	R/W			-	-	8FH
FFFF 60F9H	EI レベル割り込み制御レジスタ 124H	EIC124H	R/W			-	-	00H
FFFF 60FAH	EI レベル割り込み制御レジスタ 125	EIC125	R/W	-	-	-	-	008FH
FFFF 60FAH	EI レベル割り込み制御レジスタ 125L	EIC125L	R/W			-	-	8FH
FFFF 60FBH	EI レベル割り込み制御レジスタ 125H	EIC125H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (11/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60FCH	EI レベル割り込み制御レジスタ 126	EIC126	R/W	-	-	-	-	008FH
FFFF 60FCH	EI レベル割り込み制御レジスタ 126L	EIC126L	R/W			-	-	8FH
FFFF 60FDH	EI レベル割り込み制御レジスタ 126H	EIC126H	R/W			-	-	00H
FFFF 60FEH	EI レベル割り込み制御レジスタ 127	EIC127	R/W	-	-	-	-	008FH
FFFF 60FEH	EI レベル割り込み制御レジスタ 127L	EIC127L	R/W			-	-	8FH
FFFF 60FFH	EI レベル割り込み制御レジスタ 127H	EIC127H	R/W			-	-	00H
FFFF 6100H	EI レベル割り込み制御レジスタ 128	EIC128	R/W	-	-	-	-	008FH
FFFF 6100H	EI レベル割り込み制御レジスタ 128L	EIC128L	R/W			-	-	8FH
FFFF 6101H	EI レベル割り込み制御レジスタ 128H	EIC128H	R/W			-	-	00H
FFFF 6102H	EI レベル割り込み制御レジスタ 129	EIC129	R/W	-	-	-	-	008FH
FFFF 6102H	EI レベル割り込み制御レジスタ 129L	EIC129L	R/W			-	-	8FH
FFFF 6103H	EI レベル割り込み制御レジスタ 129H	EIC129H	R/W			-	-	00H
FFFF 6104H	EI レベル割り込み制御レジスタ 130	EIC130	R/W	-	-	-	-	008FH
FFFF 6104H	EI レベル割り込み制御レジスタ 130L	EIC130L	R/W			-	-	8FH
FFFF 6105H	EI レベル割り込み制御レジスタ 130H	EIC130H	R/W			-	-	00H
FFFF 6106H	EI レベル割り込み制御レジスタ 131	EIC131	R/W	-	-	-	-	008FH
FFFF 6106H	EI レベル割り込み制御レジスタ 131L	EIC131L	R/W			-	-	8FH
FFFF 6107H	EI レベル割り込み制御レジスタ 131H	EIC131H	R/W			-	-	00H
FFFF 6108H	EI レベル割り込み制御レジスタ 132	EIC132	R/W	-	-	-	-	008FH
FFFF 6108H	EI レベル割り込み制御レジスタ 132L	EIC132L	R/W			-	-	8FH
FFFF 6109H	EI レベル割り込み制御レジスタ 132H	EIC132H	R/W			-	-	00H
FFFF 610AH	EI レベル割り込み制御レジスタ 133	EIC133	R/W	-	-	-	-	008FH
FFFF 610AH	EI レベル割り込み制御レジスタ 133L	EIC133L	R/W			-	-	8FH
FFFF 610BH	EI レベル割り込み制御レジスタ 133H	EIC133H	R/W			-	-	00H
FFFF 610CH	EI レベル割り込み制御レジスタ 134	EIC134	R/W	-	-	-	-	008FH
FFFF 610CH	EI レベル割り込み制御レジスタ 134L	EIC134L	R/W			-	-	8FH
FFFF 610DH	EI レベル割り込み制御レジスタ 134H	EIC134H	R/W			-	-	00H
FFFF 610EH	EI レベル割り込み制御レジスタ 135	EIC135	R/W	-	-	-	-	008FH
FFFF 610EH	EI レベル割り込み制御レジスタ 135L	EIC135L	R/W			-	-	8FH
FFFF 610FH	EI レベル割り込み制御レジスタ 135H	EIC135H	R/W			-	-	00H
FFFF 6110H	EI レベル割り込み制御レジスタ 136	EIC136	R/W	-	-	-	-	008FH
FFFF 6110H	EI レベル割り込み制御レジスタ 136L	EIC136L	R/W			-	-	8FH
FFFF 6111H	EI レベル割り込み制御レジスタ 136H	EIC136H	R/W			-	-	00H
FFFF 6112H	EI レベル割り込み制御レジスタ 137	EIC137	R/W	-	-	-	-	008FH
FFFF 6112H	EI レベル割り込み制御レジスタ 137L	EIC137L	R/W			-	-	8FH
FFFF 6113H	EI レベル割り込み制御レジスタ 137H	EIC137H	R/W			-	-	00H
FFFF 6114H	EI レベル割り込み制御レジスタ 138	EIC138	R/W	-	-	-	-	008FH
FFFF 6114H	EI レベル割り込み制御レジスタ 138L	EIC138L	R/W			-	-	8FH
FFFF 6115H	EI レベル割り込み制御レジスタ 138H	EIC138H	R/W			-	-	00H
FFFF 6116H	EI レベル割り込み制御レジスタ 139	EIC139	R/W	-	-	-	-	008FH
FFFF 6116H	EI レベル割り込み制御レジスタ 139L	EIC139L	R/W			-	-	8FH
FFFF 6117H	EI レベル割り込み制御レジスタ 139H	EIC139H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (12/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6118H	EI レベル割り込み制御レジスタ 140	EIC140	R/W	-	-	-	-	008FH
FFFF 6118H	EI レベル割り込み制御レジスタ 140L	EIC140L	R/W			-	-	8FH
FFFF 6119H	EI レベル割り込み制御レジスタ 140H	EIC140H	R/W			-	-	00H
FFFF 611AH	EI レベル割り込み制御レジスタ 141	EIC141	R/W	-	-	-	-	008FH
FFFF 611AH	EI レベル割り込み制御レジスタ 141L	EIC141L	R/W			-	-	8FH
FFFF 611BH	EI レベル割り込み制御レジスタ 141H	EIC141H	R/W			-	-	00H
FFFF 611CH	EI レベル割り込み制御レジスタ 142	EIC142	R/W	-	-	-	-	008FH
FFFF 611CH	EI レベル割り込み制御レジスタ 142L	EIC142L	R/W			-	-	8FH
FFFF 611DH	EI レベル割り込み制御レジスタ 142H	EIC142H	R/W			-	-	00H
FFFF 611EH	EI レベル割り込み制御レジスタ 143	EIC143	R/W	-	-	-	-	008FH
FFFF 611EH	EI レベル割り込み制御レジスタ 143L	EIC143L	R/W			-	-	8FH
FFFF 611FH	EI レベル割り込み制御レジスタ 143H	EIC143H	R/W			-	-	00H
FFFF 6120H	EI レベル割り込み制御レジスタ 144	EIC144	R/W	-	-	-	-	008FH
FFFF 6120H	EI レベル割り込み制御レジスタ 144L	EIC144L	R/W			-	-	8FH
FFFF 6121H	EI レベル割り込み制御レジスタ 144H	EIC144H	R/W			-	-	00H
FFFF 6122H	EI レベル割り込み制御レジスタ 145	EIC145	R/W	-	-	-	-	008FH
FFFF 6122H	EI レベル割り込み制御レジスタ 145L	EIC145L	R/W			-	-	8FH
FFFF 6123H	EI レベル割り込み制御レジスタ 145H	EIC145H	R/W			-	-	00H
FFFF 6124H	EI レベル割り込み制御レジスタ 146	EIC146	R/W	-	-	-	-	008FH
FFFF 6124H	EI レベル割り込み制御レジスタ 146L	EIC146L	R/W			-	-	8FH
FFFF 6125H	EI レベル割り込み制御レジスタ 146H	EIC146H	R/W			-	-	00H
FFFF 6126H	EI レベル割り込み制御レジスタ 147	EIC147	R/W	-	-	-	-	008FH
FFFF 6126H	EI レベル割り込み制御レジスタ 147L	EIC147L	R/W			-	-	8FH
FFFF 6127H	EI レベル割り込み制御レジスタ 147H	EIC147H	R/W			-	-	00H
FFFF 6128H	EI レベル割り込み制御レジスタ 148	EIC148	R/W	-	-	-	-	008FH
FFFF 6128H	EI レベル割り込み制御レジスタ 148L	EIC148L	R/W			-	-	8FH
FFFF 6129H	EI レベル割り込み制御レジスタ 148H	EIC148H	R/W			-	-	00H
FFFF 612AH	EI レベル割り込み制御レジスタ 149	EIC149	R/W	-	-	-	-	008FH
FFFF 612AH	EI レベル割り込み制御レジスタ 149L	EIC149L	R/W			-	-	8FH
FFFF 612BH	EI レベル割り込み制御レジスタ 149H	EIC149H	R/W			-	-	00H
FFFF 612CH	EI レベル割り込み制御レジスタ 150	EIC150	R/W	-	-	-	-	008FH
FFFF 612CH	EI レベル割り込み制御レジスタ 150L	EIC150L	R/W			-	-	8FH
FFFF 612DH	EI レベル割り込み制御レジスタ 150H	EIC150H	R/W			-	-	00H
FFFF 612EH	EI レベル割り込み制御レジスタ 151	EIC151	R/W	-	-	-	-	008FH
FFFF 612EH	EI レベル割り込み制御レジスタ 151L	EIC151L	R/W			-	-	8FH
FFFF 612FH	EI レベル割り込み制御レジスタ 151H	EIC151H	R/W			-	-	00H
FFFF 6130H	EI レベル割り込み制御レジスタ 152	EIC152	R/W	-	-	-	-	008FH
FFFF 6130H	EI レベル割り込み制御レジスタ 152L	EIC152L	R/W			-	-	8FH
FFFF 6131H	EI レベル割り込み制御レジスタ 152H	EIC152H	R/W			-	-	00H
FFFF 6132H	EI レベル割り込み制御レジスタ 153	EIC153	R/W	-	-	-	-	008FH
FFFF 6132H	EI レベル割り込み制御レジスタ 153L	EIC153L	R/W			-	-	8FH
FFFF 6133H	EI レベル割り込み制御レジスタ 153H	EIC153H	R/W			-	-	00H



表 3-13 割り込みコントローラ制御用レジスタ (13/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6134H	EI レベル割り込み制御レジスタ 154	EIC154	R/W	-	-	-	-	008FH
FFFF 6134H	EI レベル割り込み制御レジスタ 154L	EIC154L	R/W			-	-	8FH
FFFF 6135H	EI レベル割り込み制御レジスタ 154H	EIC154H	R/W			-	-	00H
FFFF 6136H	EI レベル割り込み制御レジスタ 155	EIC155	R/W	-	-	-	-	008FH
FFFF 6136H	EI レベル割り込み制御レジスタ 155L	EIC155L	R/W			-	-	8FH
FFFF 6137H	EI レベル割り込み制御レジスタ 155H	EIC155H	R/W			-	-	00H
FFFF 6138H	EI レベル割り込み制御レジスタ 156	EIC156	R/W	-	-	-	-	008FH
FFFF 6138H	EI レベル割り込み制御レジスタ 156L	EIC156L	R/W			-	-	8FH
FFFF 6139H	EI レベル割り込み制御レジスタ 156H	EIC156H	R/W			-	-	00H
FFFF 613AH	EI レベル割り込み制御レジスタ 157	EIC157	R/W	-	-	-	-	008FH
FFFF 613AH	EI レベル割り込み制御レジスタ 157L	EIC157L	R/W			-	-	8FH
FFFF 613BH	EI レベル割り込み制御レジスタ 157H	EIC157H	R/W			-	-	00H
FFFF 613CH	EI レベル割り込み制御レジスタ 158	EIC158	R/W	-	-	-	-	008FH
FFFF 613CH	EI レベル割り込み制御レジスタ 158L	EIC158L	R/W			-	-	8FH
FFFF 613DH	EI レベル割り込み制御レジスタ 158H	EIC158H	R/W			-	-	00H
FFFF 613EH	EI レベル割り込み制御レジスタ 159	EIC159	R/W	-	-	-	-	008FH
FFFF 613EH	EI レベル割り込み制御レジスタ 159L	EIC159L	R/W			-	-	8FH
FFFF 613FH	EI レベル割り込み制御レジスタ 159H	EIC159H	R/W			-	-	00H
FFFF 6140H	EI レベル割り込み制御レジスタ 160	EIC160	R/W	-	-	-	-	008FH
FFFF 6140H	EI レベル割り込み制御レジスタ 160L	EIC160L	R/W			-	-	8FH
FFFF 6141H	EI レベル割り込み制御レジスタ 160H	EIC160H	R/W			-	-	00H
FFFF 6142H	EI レベル割り込み制御レジスタ 161	EIC161	R/W	-	-	-	-	008FH
FFFF 6142H	EI レベル割り込み制御レジスタ 161L	EIC161L	R/W			-	-	8FH
FFFF 6143H	EI レベル割り込み制御レジスタ 161H	EIC161H	R/W			-	-	00H
FFFF 6144H	EI レベル割り込み制御レジスタ 162	EIC162	R/W	-	-	-	-	008FH
FFFF 6144H	EI レベル割り込み制御レジスタ 162L	EIC162L	R/W			-	-	8FH
FFFF 6145H	EI レベル割り込み制御レジスタ 162H	EIC162H	R/W			-	-	00H
FFFF 6146H	EI レベル割り込み制御レジスタ 163	EIC163	R/W	-	-	-	-	008FH
FFFF 6146H	EI レベル割り込み制御レジスタ 163L	EIC163L	R/W			-	-	8FH
FFFF 6147H	EI レベル割り込み制御レジスタ 163H	EIC163H	R/W			-	-	00H
FFFF 6148H	EI レベル割り込み制御レジスタ 164	EIC164	R/W	-	-	-	-	008FH
FFFF 6148H	EI レベル割り込み制御レジスタ 164L	EIC164L	R/W			-	-	8FH
FFFF 6149H	EI レベル割り込み制御レジスタ 164H	EIC164H	R/W			-	-	00H
FFFF 614AH	EI レベル割り込み制御レジスタ 165	EIC165	R/W	-	-	-	-	008FH
FFFF 614AH	EI レベル割り込み制御レジスタ 165L	EIC165L	R/W			-	-	8FH
FFFF 614BH	EI レベル割り込み制御レジスタ 165H	EIC165H	R/W			-	-	00H
FFFF 614CH	EI レベル割り込み制御レジスタ 166	EIC166	R/W	-	-	-	-	008FH
FFFF 614CH	EI レベル割り込み制御レジスタ 166L	EIC166L	R/W			-	-	8FH
FFFF 614DH	EI レベル割り込み制御レジスタ 166H	EIC166H	R/W			-	-	00H
FFFF 614EH	EI レベル割り込み制御レジスタ 167	EIC167	R/W	-	-	-	-	008FH
FFFF 614EH	EI レベル割り込み制御レジスタ 167L	EIC167L	R/W			-	-	8FH
FFFF 614FH	EI レベル割り込み制御レジスタ 167H	EIC167H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (14/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6150H	EI レベル割り込み制御レジスタ 168	EIC168	R/W	-	-	-	-	008FH
FFFF 6150H	EI レベル割り込み制御レジスタ 168L	EIC168L	R/W			-	-	8FH
FFFF 6151H	EI レベル割り込み制御レジスタ 168H	EIC168H	R/W			-	-	00H
FFFF 6152H	EI レベル割り込み制御レジスタ 169	EIC169	R/W	-	-	-	-	008FH
FFFF 6152H	EI レベル割り込み制御レジスタ 169L	EIC169L	R/W			-	-	8FH
FFFF 6153H	EI レベル割り込み制御レジスタ 169H	EIC169H	R/W			-	-	00H
FFFF 6154H	EI レベル割り込み制御レジスタ 170	EIC170	R/W	-	-	-	-	008FH
FFFF 6154H	EI レベル割り込み制御レジスタ 170L	EIC170L	R/W			-	-	8FH
FFFF 6155H	EI レベル割り込み制御レジスタ 170H	EIC170H	R/W			-	-	00H
FFFF 6156H	EI レベル割り込み制御レジスタ 171	EIC171	R/W	-	-	-	-	008FH
FFFF 6156H	EI レベル割り込み制御レジスタ 171L	EIC171L	R/W			-	-	8FH
FFFF 6157H	EI レベル割り込み制御レジスタ 171H	EIC171H	R/W			-	-	00H
FFFF 6158H	EI レベル割り込み制御レジスタ 172	EIC172	R/W	-	-	-	-	008FH
FFFF 6158H	EI レベル割り込み制御レジスタ 172L	EIC172L	R/W			-	-	8FH
FFFF 6159H	EI レベル割り込み制御レジスタ 172H	EIC172H	R/W			-	-	00H
FFFF 615AH	EI レベル割り込み制御レジスタ 173	EIC173	R/W	-	-	-	-	008FH
FFFF 615AH	EI レベル割り込み制御レジスタ 173L	EIC173L	R/W			-	-	8FH
FFFF 615BH	EI レベル割り込み制御レジスタ 173H	EIC173H	R/W			-	-	00H
FFFF 615CH	EI レベル割り込み制御レジスタ 174	EIC174	R/W	-	-	-	-	008FH
FFFF 615CH	EI レベル割り込み制御レジスタ 174L	EIC174L	R/W			-	-	8FH
FFFF 615DH	EI レベル割り込み制御レジスタ 174H	EIC174H	R/W			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (15/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6400H	割り込みマスク・レジスタ 0	IMR0	R/W	-	-	-	-	FFFFH
FFFF 6400H	割り込みマスク・レジスタ 0L	IMR0L	R/W			-	-	FFH
FFFF 6401H	割り込みマスク・レジスタ 0H	IMR0H	R/W			-	-	FFH
FFFF 6402H	割り込みマスク・レジスタ 1	IMR1	R/W	-	-	-	-	FFFFH
FFFF 6402H	割り込みマスク・レジスタ 1L	IMR1L	R/W			-	-	FFH
FFFF 6403H	割り込みマスク・レジスタ 1H	IMR1H	R/W			-	-	FFH
FFFF 6404H	割り込みマスク・レジスタ 2	IMR2	R/W	-	-	-	-	FFFFH
FFFF 6404H	割り込みマスク・レジスタ 2L	IMR2L	R/W			-	-	FFH
FFFF 6405H	割り込みマスク・レジスタ 2H	IMR2H	R/W			-	-	FFH
FFFF 6406H	割り込みマスク・レジスタ 3	IMR3	R/W	-	-	-	-	FFFFH
1FFF 6406H	割り込みマスク・レジスタ 3L	IMR3L	R/W			-	-	FFH
1FFF 6407H	割り込みマスク・レジスタ 3H	IMR3H	R/W			-	-	FFH
FFFF 6408H	割り込みマスク・レジスタ 4	IMR4	R/W	-	-	-	-	FFFFH
FFFF 6408H	割り込みマスク・レジスタ 4L	IMR4L	R/W			-	-	FFH
FFFF 6409H	割り込みマスク・レジスタ 4H	IMR4H	R/W			-	-	FFH
FFFF 640AH	割り込みマスク・レジスタ 5	IMR5	R/W	-	-	-	-	FFFFH
FFFF 640AH	割り込みマスク・レジスタ 5L	IMR5L	R/W			-	-	FFH
FFFF 640BH	割り込みマスク・レジスタ 5H	IMR5H	R/W			-	-	FFH
FFFF 640CH	割り込みマスク・レジスタ 6	IMR6	R/W	-	-	-	-	FFFFH
FFFF 640CH	割り込みマスク・レジスタ 6L	IMR6L	R/W			-	-	FFH
FFFF 640DH	割り込みマスク・レジスタ 6H	IMR6H	R/W			-	-	FFH
FFFF 640EH	割り込みマスク・レジスタ 7	IMR7	R/W	-	-	-	-	FFFFH
FFFF 640EH	割り込みマスク・レジスタ 7L	IMR7L	R/W			-	-	FFH
FFFF 640FH	割り込みマスク・レジスタ 7H	IMR7H	R/W			-	-	FFH
FFFF 6410H	割り込みマスク・レジスタ 8	IMR8	R/W	-	-	-	-	FFFFH
FFFF 6410H	割り込みマスク・レジスタ 8L	IMR8L	R/W			-	-	FFH
FFFF 6411H	割り込みマスク・レジスタ 8H	IMR8H	R/W			-	-	FFH
FFFF 6412H	割り込みマスク・レジスタ 9	IMR9	R/W	-	-	-	-	FFFFH
FFFF 6412H	割り込みマスク・レジスタ 9L	IMR9L	R/W			-	-	FFH
FFFF 6413H	割り込みマスク・レジスタ 9H	IMR9H	R/W			-	-	FFH
FFFF 6414H	割り込みマスク・レジスタ 10	IMR10	R/W	-	-	-	-	FFFFH
FFFF 6414H	割り込みマスク・レジスタ 10L	IMR10L	R/W			-	-	FFH
FFFF 6415H	割り込みマスク・レジスタ 10H	IMR10H	R/W			-	-	FFH
FFFF 6440H	インサースビス・プライオリティ・レジスタ	ISPR	R	-	-	-	-	0000H
FFFF 6440H	インサースビス・プライオリティ・レジスタ L	ISPR L	R	-	-	-	-	00H
FFFF 6441H	インサースビス・プライオリティ・レジスタ H	ISPR H	R	-	-	-	-	00H
FFFF 6448H	プライオリティ・マスク・レジスタ	PMR	R/W	-	-	-	-	0000H
FFFF 6448H	プライオリティ・マスク・レジスタ L	PMR L	R/W			-	-	00H
FFFF 6449H	プライオリティ・マスク・レジスタ H	PMR H	R/W			-	-	00H
FFFF 6450H	インサースビス・プライオリティ・クリア・レジスタ	ISPC	R/W	-	-	-	-	0000H
FFFF 6458H	選択チャンネル保持レジスタ	ISCR	R	-	-	-	-	0000H
FFFF 6458H	選択チャンネル保持レジスタ L	ISCR L	R			-	-	00H

表 3-13 割り込みコントローラ制御用レジスタ (16/16)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 645AH	割り込みコントローラ・ステータス・レジスタ	ICSR	R	-	-	-	-	0000H
FFFF 645AH	割り込みコントローラ・ステータス・レジスタ L	ICSRL	R			-	-	00H
FFFF 645BH	割り込みコントローラ・ステータス・レジスタ H	ICSRH	R			-	-	00H
FFFF 645EH	FE レベル・マスカブル割り込み制御レジスタ	FIC	R/W	-	-	-	-	0000H
FFFF 645EH	FE レベル・マスカブル割り込み制御レジスタ L	FICL	R/W			-	-	00H
FFFF 645FH	FE レベル・マスカブル割り込み制御レジスタ H	FICH	R/W			-	-	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (1/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7300H	DMA 転送要求コントロール・レジスタ 0	DTRC0	R/W			-	-	00H
FFFF 7310H	DMA 転送要求選択レジスタ 0	DTRS0	R/W	-	-			0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 0	DSA0	R/W	-	-	-		0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 0L	DSA0L	R	-	-			0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 0H	DSA0H	R	-	-			0000H
FFFF 7318H	DMA ソース・チップ・セレクト・レジスタ 0	DSC0	R/W	-	-			0001H
FFFF 731CH	DMA ネクスト・ソース・アドレス・レジスタ 0	DNSA0	R/W	-	-	-		0000 0000H
FFFF 7320H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 0	DNSC0	R/W	-	-			0001H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 0	DDA0	R/W	-	-	-		0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 0L	DDA0L	R	-	-			0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 0H	DDA0H	R	-	-			0000H
FFFF 7328H	DMA デスティネーション・チップ・セレクト・レジスタ 0	DDC0	R/W	-	-			0001H
FFFF 732CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 0	DNDA0	R/W	-	-	-		0000 0000H
FFFF 7330H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 0	DNDC0	R/W	-	-			0001H
FFFF 7332H	DMA 転送カウント・レジスタ 0	DTC0	R/W	-	-			0000H
FFFF 7334H	DMA ネクスト転送カウント・レジスタ 0	DNTC0	R/W	-	-			0000H
FFFF 7336H	DMA 転送カウント・コンペア・レジスタ 0	DTCC0	R/W	-	-			0000H
FFFF 7338H	DMA 転送制御レジスタ 0	DTCT0	R/W	-	-			0000H
FFFF 733AH	DMA 転送ステータス・レジスタ 0	DTS0	R/W			-	-	00H
FFFF 7340H	DMA 転送要求選択レジスタ 1	DTRS1	R/W	-	-			0000H
FFFF 7344H	DMA ソース・アドレス・レジスタ 1	DSA1	R/W	-	-	-		0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 1L	DSA1L	R	-	-			0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 1H	DSA1H	R	-	-			0000H
FFFF 7348H	DMA ソース・チップ・セレクト・レジスタ 1	DSC1	R/W	-	-			0001H
FFFF 734CH	DMA ネクスト・ソース・アドレス・レジスタ 1	DNSA1	R/W	-	-	-		0000 0000H
FFFF 7350H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 1	DNSC1	R/W	-	-			0001H
FFFF 7354H	DMA デスティネーション・アドレス・レジスタ 1	DDA1	R/W	-	-	-		0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 1L	DDA1L	R	-	-			0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 1H	DDA1H	R	-	-			0000H
FFFF 7358H	DMA デスティネーション・チップ・セレクト・レジスタ 1	DDC1	R/W	-	-			0001H
FFFF 735CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 1	DNDA1	R/W	-	-	-		0000 0000H
FFFF 7360H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 1	DNDC1	R/W	-	-			0001H
FFFF 7362H	DMA 転送カウント・レジスタ 1	DTC1	R/W	-	-			0000H
FFFF 7364H	DMA ネクスト転送カウント・レジスタ 1	DNTC1	R/W	-	-			0000H
FFFF 7366H	DMA 転送カウント・コンペア・レジスタ 1	DTCC1	R/W	-	-			0000H
FFFF 7368H	DMA 転送制御レジスタ 1	DTCT1	R/W	-	-			0000H
FFFF 736AH	DMA 転送ステータス・レジスタ 1	DTS1	R/W			-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (2/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7370H	DMA 転送要求選択レジスタ 2	DTRS2	R/W	-	-	-	-	0000H
FFFF 7374H	DMA ソース・アドレス・レジスタ 2	DSA2	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 2L	DSA2L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 2H	DSA2H	R	-	-	-	-	0000H
FFFF 7378H	DMA ソース・チップ・セレクト・レジスタ 2	DSC2	R/W	-	-	-	-	0001H
FFFF 737CH	DMA ネクスト・ソース・アドレス・レジスタ 2	DNSA2	R/W	-	-	-	-	0000 0000H
FFFF 7380H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 2	DNSC2	R/W	-	-	-	-	0001H
FFFF 7384H	DMA デスティネーション・アドレス・レジスタ 2	DDA2	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 2L	DDA2L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 2H	DDA2H	R	-	-	-	-	0000H
FFFF 7388H	DMA デスティネーション・チップ・セレクト・レジスタ 2	DDC2	R/W	-	-	-	-	0001H
FFFF 738CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 2	DNDA2	R/W	-	-	-	-	0000 0000H
FFFF 7390H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 2	DNDC2	R/W	-	-	-	-	0001H
FFFF 7392H	DMA 転送カウント・レジスタ 2	DTC2	R/W	-	-	-	-	0000H
FFFF 7394H	DMA ネクスト転送カウント・レジスタ 2	DNTC2	R/W	-	-	-	-	0000H
FFFF 7396H	DMA 転送カウント・コンペア・レジスタ 2	DTCC2	R/W	-	-	-	-	0000H
FFFF 7398H	DMA 転送制御レジスタ 2	DTCT2	R/W	-	-	-	-	0000H
FFFF 739AH	DMA 転送ステータス・レジスタ 2	DTS2	R/W	-	-	-	-	00H
FFFF 73A0H	DMA 転送要求選択レジスタ 3	DTRS3	R/W	-	-	-	-	0000H
FFFF 73A4H	DMA ソース・アドレス・レジスタ 3	DSA3	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 3L	DSA3L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 3H	DSA3H	R	-	-	-	-	0000H
FFFF 73A8H	DMA ソース・チップ・セレクト・レジスタ 3	DSC3	R/W	-	-	-	-	0001H
FFFF 73ACH	DMA ネクスト・ソース・アドレス・レジスタ 3	DNSA3	R/W	-	-	-	-	0000 0000H
FFFF 73B0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 3	DNSC3	R/W	-	-	-	-	0001H
FFFF 73B4H	DMA デスティネーション・アドレス・レジスタ 3	DDA3	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 3L	DDA3L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 3H	DDA3H	R	-	-	-	-	0000H
FFFF 73B8H	DMA デスティネーション・チップ・セレクト・レジスタ 3	DDC3	R/W	-	-	-	-	0001H
FFFF 73BCH	DMA ネクスト・デスティネーション・アドレス・レジスタ 3	DNDA3	R/W	-	-	-	-	0000 0000H
FFFF 73C0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 3	DNDC3	R/W	-	-	-	-	0001H
FFFF 73C2H	DMA 転送カウント・レジスタ 3	DTC3	R/W	-	-	-	-	0000H
FFFF 73C4H	DMA ネクスト転送カウント・レジスタ 3	DNTC3	R/W	-	-	-	-	0000H
FFFF 73C6H	DMA 転送カウント・コンペア・レジスタ 3	DTCC3	R/W	-	-	-	-	0000H
FFFF 73C8H	DMA 転送制御レジスタ 3	DTCT3	R/W	-	-	-	-	0000H
FFFF 73CAH	DMA 転送ステータス・レジスタ 3	DTS3	R/W	-	-	-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (3/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 73D0H	DMA 転送要求選択レジスタ 4	DTRS4	R/W	-	-	-	-	0000H
FFFF 73D4H	DMA ソース・アドレス・レジスタ 4	DSA4	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 4L	DSA4L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 4H	DSA4H	R	-	-	-	-	0000H
FFFF 73D8H	DMA ソース・チップ・セレクト・レジスタ 4	DSC4	R/W	-	-	-	-	0001H
FFFF 73DCH	DMA ネクスト・ソース・アドレス・レジスタ 4	DNSA4	R/W	-	-	-	-	0000 0000H
FFFF 73E0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 4	DNSC4	R/W	-	-	-	-	0001H
FFFF 73E4H	DMA デスティネーション・アドレス・レジスタ 4	DDA4	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 4L	DDA4L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 4H	DDA4H	R	-	-	-	-	0000H
FFFF 73E8H	DMA デスティネーション・チップ・セレクト・レジスタ 4	DDC4	R/W	-	-	-	-	0001H
FFFF 73ECH	DMA ネクスト・デスティネーション・アドレス・レジスタ 4	DNDA4	R/W	-	-	-	-	0000 0000H
FFFF 73F0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 4	DNDC4	R/W	-	-	-	-	0001H
FFFF 73F2H	DMA 転送カウント・レジスタ 4	DTC4	R/W	-	-	-	-	0000H
FFFF 73F4H	DMA ネクスト転送カウント・レジスタ 4	DNTC4	R/W	-	-	-	-	0000H
FFFF 73F6H	DMA 転送カウント・コンペア・レジスタ 4	DTCC4	R/W	-	-	-	-	0000H
FFFF 73F8H	DMA 転送制御レジスタ 4	DTCT4	R/W	-	-	-	-	0000H
FFFF 73FAH	DMA 転送ステータス・レジスタ 4	DTS4	R/W	-	-	-	-	00H
FFFF 7400H	DMA 転送要求選択レジスタ 5	DTRS5	R/W	-	-	-	-	0000H
FFFF 7404H	DMA ソース・アドレス・レジスタ 5	DSA5	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 5L	DSA5L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 5H	DSA5H	R	-	-	-	-	0000H
FFFF 7408H	DMA ソース・チップ・セレクト・レジスタ 5	DSC5	R/W	-	-	-	-	0001H
FFFF 740CH	DMA ネクスト・ソース・アドレス・レジスタ 5	DNSA5	R/W	-	-	-	-	0000 0000H
FFFF 7410H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 5	DNSC5	R/W	-	-	-	-	0001H
FFFF 7414H	DMA デスティネーション・アドレス・レジスタ 5	DDA5	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 5L	DDA5L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 5H	DDA5H	R	-	-	-	-	0000H
FFFF 7418H	DMA デスティネーション・チップ・セレクト・レジスタ 5	DDC5	R/W	-	-	-	-	0001H
FFFF 741CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 5	DNDA5	R/W	-	-	-	-	0000 0000H
FFFF 7420H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 5	DNDC5	R/W	-	-	-	-	0001H
FFFF 7422H	DMA 転送カウント・レジスタ 5	DTC5	R/W	-	-	-	-	0000H
FFFF 7424H	DMA ネクスト転送カウント・レジスタ 5	DNTC5	R/W	-	-	-	-	0000H
FFFF 7426H	DMA 転送カウント・コンペア・レジスタ 5	DTCC5	R/W	-	-	-	-	0000H
FFFF 7428H	DMA 転送制御レジスタ 5	DTCT5	R/W	-	-	-	-	0000H
FFFF 742AH	DMA 転送ステータス・レジスタ 5	DTS5	R/W	-	-	-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (4/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7430H	DMA 転送要求選択レジスタ 6	DTRS6	R/W	-	-	-	-	0000H
FFFF 7434H	DMA ソース・アドレス・レジスタ 6	DSA6	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 6L	DSA6L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 6H	DSA6H	R	-	-	-	-	0000H
FFFF 7438H	DMA ソース・チップ・セレクト・レジスタ 6	DSC6	R/W	-	-	-	-	0001H
FFFF 743CH	DMA ネクスト・ソース・アドレス・レジスタ 6	DNSA6	R/W	-	-	-	-	0000 0000H
FFFF 7440H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 6	DNSC6	R/W	-	-	-	-	0001H
FFFF 7444H	DMA デスティネーション・アドレス・レジスタ 6	DDA6	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 6L	DDA6L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 6H	DDA6H	R	-	-	-	-	0000H
FFFF 7448H	DMA デスティネーション・チップ・セレクト・レジスタ 6	DDC6	R/W	-	-	-	-	0001H
FFFF 744CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 6	DNDA6	R/W	-	-	-	-	0000 0000H
FFFF 7450H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 6	DNDC6	R/W	-	-	-	-	0001H
FFFF 7452H	DMA 転送カウント・レジスタ 6	DTC6	R/W	-	-	-	-	0000H
FFFF 7454H	DMA ネクスト転送カウント・レジスタ 6	DNTC6	R/W	-	-	-	-	0000H
FFFF 7456H	DMA 転送カウント・コンペア・レジスタ 6	DTCC6	R/W	-	-	-	-	0000H
FFFF 7458H	DMA 転送制御レジスタ 6	DTCT6	R/W	-	-	-	-	0000H
FFFF 745AH	DMA 転送ステータス・レジスタ 6	DTS6	R/W	-	-	-	-	00H
FFFF 7460H	DMA 転送要求選択レジスタ 7	DTRS7	R/W	-	-	-	-	0000H
FFFF 7464H	DMA ソース・アドレス・レジスタ 7	DSA7	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 7L	DSA7L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 7H	DSA7H	R	-	-	-	-	0000H
FFFF 7468H	DMA ソース・チップ・セレクト・レジスタ 7	DSC7	R/W	-	-	-	-	0001H
FFFF 746CH	DMA ネクスト・ソース・アドレス・レジスタ 7	DNSA7	R/W	-	-	-	-	0000 0000H
FFFF 7470H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 7	DNSC7	R/W	-	-	-	-	0001H
FFFF 7474H	DMA デスティネーション・アドレス・レジスタ 7	DDA7	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 7L	DDA7L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 7H	DDA7H	R	-	-	-	-	0000H
FFFF 7478H	DMA デスティネーション・チップ・セレクト・レジスタ 7	DDC7	R/W	-	-	-	-	0001H
FFFF 747CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 7	DNDA7	R/W	-	-	-	-	0000 0000H
FFFF 7480H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 7	DNDC7	R/W	-	-	-	-	0001H
FFFF 7482H	DMA 転送カウント・レジスタ 7	DTC7	R/W	-	-	-	-	0000H
FFFF 7484H	DMA ネクスト転送カウント・レジスタ 7	DNTC7	R/W	-	-	-	-	0000H
FFFF 7486H	DMA 転送カウント・コンペア・レジスタ 7	DTCC7	R/W	-	-	-	-	0000H
FFFF 7488H	DMA 転送制御レジスタ 7	DTCT7	R/W	-	-	-	-	0000H
FFFF 748AH	DMA 転送ステータス・レジスタ 7	DTS7	R/W	-	-	-	-	00H



表 3-14 セントラルDMAコントローラ制御用レジスタ (5/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7500H	DMA 転送要求コントロール・レジスタ 1	DTRC1	R/W			-	-	00H
FFFF 7510H	DMA 転送要求選択レジスタ 8	DTRS8	R/W	-	-	-	-	0000H
FFFF 7514H	DMA ソース・アドレス・レジスタ 8	DSA8	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 8L	DSA8L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 8H	DSA8H	R	-	-	-	-	0000H
FFFF 7518H	DMA ソース・チップ・セレクト・レジスタ 8	DSC8	R/W	-	-	-	-	0001H
FFFF 751CH	DMA ネクスト・ソース・アドレス・レジスタ 8	DNSA8	R/W	-	-	-	-	0000 0000H
FFFF 7520H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 8	DNSC8	R/W	-	-	-	-	0001H
FFFF 7524H	DMA デスティネーション・アドレス・レジスタ 8	DDA8	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 8L	DDA8L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 8H	DDA8H	R	-	-	-	-	0000H
FFFF 7528H	DMA デスティネーション・チップ・セレクト・レジスタ 8	DDC8	R/W	-	-	-	-	0001H
FFFF 752CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 8	DNDA8	R/W	-	-	-	-	0000 0000H
FFFF 7530H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 8	DNDC8	R/W	-	-	-	-	0001H
FFFF 7532H	DMA 転送カウント・レジスタ 8	DTC8	R/W	-	-	-	-	0000H
FFFF 7534H	DMA ネクスト転送カウント・レジスタ 8	DNTC8	R/W	-	-	-	-	0000H
FFFF 7536H	DMA 転送カウント・コンペア・レジスタ 8	DTCC8	R/W	-	-	-	-	0000H
FFFF 7538H	DMA 転送制御レジスタ 8	DTCT8	R/W	-	-	-	-	0000H
FFFF 753AH	DMA 転送ステータス・レジスタ 8	DTS8	R/W			-	-	00H
FFFF 7540H	DMA 転送要求選択レジスタ 9	DTRS9	R/W	-	-	-	-	0000H
FFFF 7544H	DMA ソース・アドレス・レジスタ 9	DSA9	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 9L	DSA9L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 9H	DSA9H	R	-	-	-	-	0000H
FFFF 7548H	DMA ソース・チップ・セレクト・レジスタ 9	DSC9	R/W	-	-	-	-	0001H
FFFF 754CH	DMA ネクスト・ソース・アドレス・レジスタ 9	DNSA9	R/W	-	-	-	-	0000 0000H
FFFF 7550H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 9	DNSC9	R/W	-	-	-	-	0001H
FFFF 7554H	DMA デスティネーション・アドレス・レジスタ 9	DDA9	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 9L	DDA9L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 9H	DDA9H	R	-	-	-	-	0000H
FFFF 7558H	DMA デスティネーション・チップ・セレクト・レジスタ 9	DDC9	R/W	-	-	-	-	0001H
FFFF 755CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 9	DNDA9	R/W	-	-	-	-	0000 0000H
FFFF 7560H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 9	DNDC9	R/W	-	-	-	-	0001H
FFFF 7562H	DMA 転送カウント・レジスタ 9	DTC9	R/W	-	-	-	-	0000H
FFFF 7564H	DMA ネクスト転送カウント・レジスタ 9	DNTC9	R/W	-	-	-	-	0000H
FFFF 7566H	DMA 転送カウント・コンペア・レジスタ 9	DTCC9	R/W	-	-	-	-	0000H
FFFF 7568H	DMA 転送制御レジスタ 9	DTCT9	R/W	-	-	-	-	0000H
FFFF 756AH	DMA 転送ステータス・レジスタ 9	DTS9	R/W			-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (6/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7570H	DMA 転送要求選択レジスタ 10	DTRS10	R/W	-	-	-	-	0000H
FFFF 7574H	DMA ソース・アドレス・レジスタ 10	DSA10	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 10L	DSA10L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 10H	DSA10H	R	-	-	-	-	0000H
FFFF 7578H	DMA ソース・チップ・セレクト・レジスタ 10	DSC10	R/W	-	-	-	-	0001H
FFFF 757CH	DMA ネクスト・ソース・アドレス・レジスタ 10	DNSA10	R/W	-	-	-	-	0000 0000H
FFFF 7580H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 10	DNSC10	R/W	-	-	-	-	0001H
FFFF 7584H	DMA デスティネーション・アドレス・レジスタ 10	DDA10	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 10L	DDA10L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 10H	DDA10H	R	-	-	-	-	0000H
FFFF 7588H	DMA デスティネーション・チップ・セレクト・レジスタ 10	DDC10	R/W	-	-	-	-	0001H
FFFF 758CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 10	DNDA10	R/W	-	-	-	-	0000 0000H
FFFF 7590H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 10	DNDC10	R/W	-	-	-	-	0001H
FFFF 7592H	DMA 転送カウント・レジスタ 10	DTC10	R/W	-	-	-	-	0000H
FFFF 7594H	DMA ネクスト転送カウント・レジスタ 10	DNTC10	R/W	-	-	-	-	0000H
FFFF 7596H	DMA 転送カウント・コンペア・レジスタ 10	DTCC10	R/W	-	-	-	-	0000H
FFFF 7598H	DMA 転送制御レジスタ 10	DTCT10	R/W	-	-	-	-	0000H
FFFF 759AH	DMA 転送ステータス・レジスタ 10	DTS10	R/W	-	-	-	-	00H
FFFF 75A0H	DMA 転送要求選択レジスタ 11	DTRS11	R/W	-	-	-	-	0000H
FFFF 75A4H	DMA ソース・アドレス・レジスタ 11	DSA11	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 11L	DSA11L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 11H	DSA11H	R	-	-	-	-	0000H
FFFF 75A8H	DMA ソース・チップ・セレクト・レジスタ 11	DSC11	R/W	-	-	-	-	0001H
FFFF 75ACH	DMA ネクスト・ソース・アドレス・レジスタ 11	DNSA11	R/W	-	-	-	-	0000 0000H
FFFF 75B0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 11	DNSC11	R/W	-	-	-	-	0001H
FFFF 75B4H	DMA デスティネーション・アドレス・レジスタ 11	DDA11	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 11L	DDA11L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 11H	DDA11H	R	-	-	-	-	0000H
FFFF 75B8H	DMA デスティネーション・チップ・セレクト・レジスタ 11	DDC11	R/W	-	-	-	-	0001H
FFFF 75BCH	DMA ネクスト・デスティネーション・アドレス・レジスタ 11	DNDA11	R/W	-	-	-	-	0000 0000H
FFFF 75C0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 11	DNDC11	R/W	-	-	-	-	0001H
FFFF 75C2H	DMA 転送カウント・レジスタ 11	DTC11	R/W	-	-	-	-	0000H
FFFF 75C4H	DMA ネクスト転送カウント・レジスタ 11	DNTC11	R/W	-	-	-	-	0000H
FFFF 75C6H	DMA 転送カウント・コンペア・レジスタ 11	DTCC11	R/W	-	-	-	-	0000H
FFFF 75C8H	DMA 転送制御レジスタ 11	DTCT11	R/W	-	-	-	-	0000H
FFFF 75CAH	DMA 転送ステータス・レジスタ 11	DTS11	R/W	-	-	-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (7/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 75D0H	DMA 転送要求選択レジスタ 12	DTRS12	R/W	-	-	-	-	0000H
FFFF 75D4H	DMA ソース・アドレス・レジスタ 12	DSA12	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 12L	DSA12L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 12H	DSA12H	R	-	-	-	-	0000H
FFFF 75D8H	DMA ソース・チップ・セレクト・レジスタ 12	DSC12	R/W	-	-	-	-	0001H
FFFF 75DCH	DMA ネクスト・ソース・アドレス・レジスタ 12	DNSA12	R/W	-	-	-	-	0000 0000H
FFFF 75E0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 12	DNSC12	R/W	-	-	-	-	0001H
FFFF 75E4H	DMA デスティネーション・アドレス・レジスタ 12	DDA12	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 12L	DDA12L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 12H	DDA12H	R	-	-	-	-	0000H
FFFF 75E8H	DMA デスティネーション・チップ・セレクト・レジスタ 12	DDC12	R/W	-	-	-	-	0001H
FFFF 75ECH	DMA ネクスト・デスティネーション・アドレス・レジスタ 12	DNDA12	R/W	-	-	-	-	0000 0000H
FFFF 75F0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 12	DNDC12	R/W	-	-	-	-	0001H
FFFF 75F2H	DMA 転送カウント・レジスタ 12	DTC12	R/W	-	-	-	-	0000H
FFFF 75F4H	DMA ネクスト転送カウント・レジスタ 12	DNTC12	R/W	-	-	-	-	0000H
FFFF 75F6H	DMA 転送カウント・コンペア・レジスタ 12	DTCC12	R/W	-	-	-	-	0000H
FFFF 75F8H	DMA 転送制御レジスタ 12	DTCT12	R/W	-	-	-	-	0000H
FFFF 75FAH	DMA 転送ステータス・レジスタ 12	DTS12	R/W	-	-	-	-	00H
FFFF 7600H	DMA 転送要求選択レジスタ 13	DTRS13	R/W	-	-	-	-	0000H
FFFF 7604H	DMA ソース・アドレス・レジスタ 13	DSA13	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 13L	DSA13L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 13H	DSA13H	R	-	-	-	-	0000H
FFFF 7608H	DMA ソース・チップ・セレクト・レジスタ 13	DSC13	R/W	-	-	-	-	0001H
FFFF 760CH	DMA ネクスト・ソース・アドレス・レジスタ 13	DNSA13	R/W	-	-	-	-	0000 0000H
FFFF 7610H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 13	DNSC13	R/W	-	-	-	-	0001H
FFFF 7614H	DMA デスティネーション・アドレス・レジスタ 13	DDA13	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 13L	DDA13L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 13H	DDA13H	R	-	-	-	-	0000H
FFFF 7618H	DMA デスティネーション・チップ・セレクト・レジスタ 13	DDC13	R/W	-	-	-	-	0001H
FFFF 761CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 13	DNDA13	R/W	-	-	-	-	0000 0000H
FFFF 7620H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 13	DNDC13	R/W	-	-	-	-	0001H
FFFF 7622H	DMA 転送カウント・レジスタ 13	DTC13	R/W	-	-	-	-	0000H
FFFF 7624H	DMA ネクスト転送カウント・レジスタ 13	DNTC13	R/W	-	-	-	-	0000H
FFFF 7626H	DMA 転送カウント・コンペア・レジスタ 13	DTCC13	R/W	-	-	-	-	0000H
FFFF 7628H	DMA 転送制御レジスタ 13	DTCT13	R/W	-	-	-	-	0000H
FFFF 762AH	DMA 転送ステータス・レジスタ 13	DTS13	R/W	-	-	-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (8/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7630H	DMA 転送要求選択レジスタ 14	DTRS14	R/W	-	-	-	-	0000H
FFFF 7634H	DMA ソース・アドレス・レジスタ 14	DSA14	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 14L	DSA14L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 14H	DSA14H	R	-	-	-	-	0000H
FFFF 7638H	DMA ソース・チップ・セレクト・レジスタ 14	DSC14	R/W	-	-	-	-	0001H
FFFF 763CH	DMA ネクスト・ソース・アドレス・レジスタ 14	DNSA14	R/W	-	-	-	-	0000 0000H
FFFF 7640H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 14	DNSC14	R/W	-	-	-	-	0001H
FFFF 7644H	DMA デスティネーション・アドレス・レジスタ 14	DDA14	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 14L	DDA14L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 14H	DDA14H	R	-	-	-	-	0000H
FFFF 7648H	DMA デスティネーション・チップ・セレクト・レジスタ 14	DDC14	R/W	-	-	-	-	0001H
FFFF 764CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 14	DNDA14	R/W	-	-	-	-	0000 0000H
FFFF 7650H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 14	DNDC14	R/W	-	-	-	-	0001H
FFFF 7652H	DMA 転送カウント・レジスタ 14	DTC14	R/W	-	-	-	-	0000H
FFFF 7654H	DMA ネクスト転送カウント・レジスタ 14	DNTC14	R/W	-	-	-	-	0000H
FFFF 7656H	DMA 転送カウント・コンペア・レジスタ 14	DTCC14	R/W	-	-	-	-	0000H
FFFF 7658H	DMA 転送制御レジスタ 14	DTCT14	R/W	-	-	-	-	0000H
FFFF 765AH	DMA 転送ステータス・レジスタ 14	DTS14	R/W	-	-	-	-	00H
FFFF 7660H	DMA 転送要求選択レジスタ 15	DTRS15	R/W	-	-	-	-	0000H
FFFF 7664H	DMA ソース・アドレス・レジスタ 15	DSA15	R/W	-	-	-	-	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 15L	DSA15L	R	-	-	-	-	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 15H	DSA15H	R	-	-	-	-	0000H
FFFF 7668H	DMA ソース・チップ・セレクト・レジスタ 15	DSC15	R/W	-	-	-	-	0001H
FFFF 766CH	DMA ネクスト・ソース・アドレス・レジスタ 15	DNSA15	R/W	-	-	-	-	0000 0000H
FFFF 7670H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 15	DNSC15	R/W	-	-	-	-	0001H
FFFF 7674H	DMA デスティネーション・アドレス・レジスタ 15	DDA15	R/W	-	-	-	-	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 15L	DDA15L	R	-	-	-	-	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 15H	DDA15H	R	-	-	-	-	0000H
FFFF 7678H	DMA デスティネーション・チップ・セレクト・レジスタ 15	DDC15	R/W	-	-	-	-	0001H
FFFF 767CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 15	DNDA15	R/W	-	-	-	-	0000 0000H
FFFF 7680H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 15	DNDC15	R/W	-	-	-	-	0001H
FFFF 7682H	DMA 転送カウント・レジスタ 15	DTC15	R/W	-	-	-	-	0000H
FFFF 7684H	DMA ネクスト転送カウント・レジスタ 15	DNTC15	R/W	-	-	-	-	0000H
FFFF 7686H	DMA 転送カウント・コンペア・レジスタ 15	DTCC15	R/W	-	-	-	-	0000H
FFFF 7688H	DMA 転送制御レジスタ 15	DTCT15	R/W	-	-	-	-	0000H
FFFF 768AH	DMA 転送ステータス・レジスタ 15	DTS15	R/W	-	-	-	-	00H

表 3-14 セントラルDMAコントローラ制御用レジスタ (9/9)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7B00H	CDMA トリガ要因選択レジスタ 0	CDTFR0	R/W	-	-		-	0000H
FFFF 7B02H	CDMA トリガ要因選択レジスタ 1	CDTFR1	R/W	-	-		-	0000H
FFFF 7B04H	CDMA トリガ要因選択レジスタ 2	CDTFR2	R/W	-	-		-	0000H
FFFF 7B06H	CDMA トリガ要因選択レジスタ 3	CDTFR3	R/W	-	-		-	0000H
FFFF 7B08H	CDMA トリガ要因選択レジスタ 4	CDTFR4	R/W	-	-		-	0000H
FFFF 7B0AH	CDMA トリガ要因選択レジスタ 5	CDTFR5	R/W	-	-		-	0000H
FFFF 7B0CH	CDMA トリガ要因選択レジスタ 6	CDTFR6	R/W	-	-		-	0000H
FFFF 7B0EH	CDMA トリガ要因選択レジスタ 7	CDTFR7	R/W	-	-		-	0000H
FFFF 7B10H	CDMA トリガ要因選択レジスタ 8	CDTFR8	R/W	-	-		-	0000H
FFFF 7B12H	CDMA トリガ要因選択レジスタ 9	CDTFR9	R/W	-	-		-	0000H
FFFF 7B14H	CDMA トリガ要因選択レジスタ 10	CDTFR10	R/W	-	-		-	0000H
FFFF 7B16H	CDMA トリガ要因選択レジスタ 11	CDTFR11	R/W	-	-		-	0000H
FFFF 7B18H	CDMA トリガ要因選択レジスタ 12	CDTFR12	R/W	-	-		-	0000H
FFFF 7B1AH	CDMA トリガ要因選択レジスタ 13	CDTFR13	R/W	-	-		-	0000H
FFFF 7B1CH	CDMA トリガ要因選択レジスタ 14	CDTFR14	R/W	-	-		-	0000H
FFFF 7B1EH	CDMA トリガ要因選択レジスタ 15	CDTFR15	R/W	-	-		-	0000H
FFFF 7B40H	CDMA 転送要求クリア・レジスタ	DRQCLR	R/W	-	-		-	0000H
FFFF 7B44H	CDMA 転送要求ステータス・レジスタ	DRQSTR	R	-	-		-	0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (1/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0800H	Next0 ソース・アドレス・レジスタ 0	N0SA0	R/W	-	-	-		0000 0000H
0F00 0804H	Next0 デスティネーション・アドレス・レジスタ 0	N0DA0	R/W	-	-	-		0000 0000H
0F00 0808H	Next0 トランザクション・バイト・レジスタ 0	N0TB0	R/W	-	-	-		0000 0000H
0F00 080CH	Next1 ソース・アドレス・レジスタ 0	N1SA0	R/W	-	-	-		0000 0000H
0F00 0810H	Next1 デスティネーション・アドレス・レジスタ 0	N1DA0	R/W	-	-	-		0000 0000H
0F00 0814H	Next1 トランザクション・バイト・レジスタ 0	N1TB0	R/W	-	-	-		0000 0000H
0F00 0818H	Current ソース・アドレス・レジスタ 0	CRSA0	R	-	-	-		0000 0000H
0F00 081CH	Current デスティネーション・アドレス・レジスタ 0	CRDA0	R	-	-	-		0000 0000H
0F00 0820H	Current トランザクション・バイト・レジスタ 0	CRTB0	R	-	-	-		0000 0000H
0F00 0824H	チャンネル・ステータス・レジスタ 0	CHSTAT0	R	-	-	-		0000 0000H
0F00 0828H	チャンネル・コントロール・レジスタ 0	CHCTRL0	W	-	-	-		0000 0000H
0F00 082CH	チャンネル・コンフィギュレーション・レジスタ 0	CHCFG0	R/W	-	-	-		0000 0000H
0F00 0830H	チャンネル・インターバル・レジスタ 0	CHITVL0	R/W	-	-	-		0000 0000H
0F00 0838H	Next リンク・アドレス・レジスタ 0	NXLA0	R/W	-	-	-		0000 0000H
0F00 083CH	Current リンク・アドレス・レジスタ 0	CRLA0	R	-	-	-		0000 0000H
0F00 0840H	Next0 ソース・アドレス・レジスタ 1	N0SA1	R/W	-	-	-		0000 0000H
0F00 0844H	Next0 デスティネーション・アドレス・レジスタ 1	N0DA1	R/W	-	-	-		0000 0000H
0F00 0848H	Next0 トランザクション・バイト・レジスタ 1	N0TB1	R/W	-	-	-		0000 0000H
0F00 084CH	Next1 ソース・アドレス・レジスタ 1	N1SA1	R/W	-	-	-		0000 0000H
0F00 0850H	Next1 デスティネーション・アドレス・レジスタ 1	N1DA1	R/W	-	-	-		0000 0000H
0F00 0854H	Next1 トランザクション・バイト・レジスタ 1	N1TB1	R/W	-	-	-		0000 0000H
0F00 0858H	Current ソース・アドレス・レジスタ 1	CRSA1	R	-	-	-		0000 0000H
0F00 085CH	Current デスティネーション・アドレス・レジスタ 1	CRDA1	R	-	-	-		0000 0000H
0F00 0860H	Current トランザクション・バイト・レジスタ 1	CRTB1	R	-	-	-		0000 0000H
0F00 0864H	チャンネル・ステータス・レジスタ 1	CHSTAT1	R	-	-	-		0000 0000H
0F00 0868H	チャンネル・コントロール・レジスタ 1	CHCTRL1	W	-	-	-		0000 0000H
0F00 086CH	チャンネル・コンフィギュレーション・レジスタ 1	CHCFG1	R/W	-	-	-		0000 0000H
0F00 0870H	チャンネル・インターバル・レジスタ 1	CHITVL1	R/W	-	-	-		0000 0000H
0F00 0878H	Next リンク・アドレス・レジスタ 1	NXLA1	R/W	-	-	-		0000 0000H
0F00 087CH	Current リンク・アドレス・レジスタ 1	CRLA1	R	-	-	-		0000 0000H

表 3-15 システム・バスDMAコントローラ制御用レジスタ (2/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0880H	Next0 ソース・アドレス・レジスタ 2	N0SA2	R/W	-	-	-		0000 0000H
0F00 0884H	Next0 デスティネーション・アドレス・レジスタ 2	N0DA2	R/W	-	-	-		0000 0000H
0F00 0888H	Next0 トランザクション・バイト・レジスタ 2	N0TB2	R/W	-	-	-		0000 0000H
0F00 088CH	Next1 ソース・アドレス・レジスタ 2	N1SA2	R/W	-	-	-		0000 0000H
0F00 0890H	Next1 デスティネーション・アドレス・レジスタ 2	N1DA2	R/W	-	-	-		0000 0000H
0F00 0894H	Next1 トランザクション・バイト・レジスタ 2	N1TB2	R/W	-	-	-		0000 0000H
0F00 0898H	Current ソース・アドレス・レジスタ 2	CRSA2	R	-	-	-		0000 0000H
0F00 089CH	Current デスティネーション・アドレス・レジスタ 2	CRDA2	R	-	-	-		0000 0000H
0F00 08A0H	Current トランザクション・バイト・レジスタ 2	CRTB2	R	-	-	-		0000 0000H
0F00 08A4H	チャンネル・ステータス・レジスタ 2	CHSTAT2	R	-	-	-		0000 0000H
0F00 08A8H	チャンネル・コントロール・レジスタ 2	CHCTRL2	W	-	-	-		0000 0000H
0F00 08ACH	チャンネル・コンフィギュレーション・レジスタ 2	CHCFG2	R/W	-	-	-		0000 0000H
0F00 08B0H	チャンネル・インターバル・レジスタ 2	CHITVL2	R/W	-	-	-		0000 0000H
0F00 08B8H	Next リンク・アドレス・レジスタ 2	NXLA2	R/W	-	-	-		0000 0000H
0F00 08BCH	Current リンク・アドレス・レジスタ 2	CRLA2	R	-	-	-		0000 0000H
0F00 08C0H	Next0 ソース・アドレス・レジスタ 3	N0SA3	R/W	-	-	-		0000 0000H
0F00 08C4H	Next0 デスティネーション・アドレス・レジスタ 3	N0DA3	R/W	-	-	-		0000 0000H
0F00 08C8H	Next0 トランザクション・バイト・レジスタ 3	N0TB3	R/W	-	-	-		0000 0000H
0F00 08CCH	Next1 ソース・アドレス・レジスタ 3	N1SA3	R/W	-	-	-		0000 0000H
0F00 08D0H	Next1 デスティネーション・アドレス・レジスタ 3	N1DA3	R/W	-	-	-		0000 0000H
0F00 08D4H	Next1 トランザクション・バイト・レジスタ 3	N1TB3	R/W	-	-	-		0000 0000H
0F00 08D8H	Current ソース・アドレス・レジスタ 3	CRSA3	R	-	-	-		0000 0000H
0F00 08DCH	Current デスティネーション・アドレス・レジスタ 3	CRDA3	R	-	-	-		0000 0000H
0F00 08E0H	Current トランザクション・バイト・レジスタ 3	CRTB3	R	-	-	-		0000 0000H
0F00 08E4H	チャンネル・ステータス・レジスタ 3	CHSTAT3	R	-	-	-		0000 0000H
0F00 08E8H	チャンネル・コントロール・レジスタ 3	CHCTRL3	W	-	-	-		0000 0000H
0F00 08ECH	チャンネル・コンフィギュレーション・レジスタ 3	CHCFG3	R/W	-	-	-		0000 0000H
0F00 08F0H	チャンネル・インターバル・レジスタ 3	CHITVL3	R/W	-	-	-		0000 0000H
0F00 08F8H	Next リンク・アドレス・レジスタ 3	NXLA3	R/W	-	-	-		0000 0000H
0F00 08FCH	Current リンク・アドレス・レジスタ 3	CRLA3	R	-	-	-		0000 0000H

表 3-15 システム・バスDMAコントローラ制御用レジスタ (3/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0900H	Next0 ソース・アドレス・レジスタ 4	N0SA4	R/W	-	-	-		0000 0000H
0F00 0904H	Next0 デスティネーション・アドレス・レジスタ 4	N0DA4	R/W	-	-	-		0000 0000H
0F00 0908H	Next0 トランザクション・バイト・レジスタ 4	N0TB4	R/W	-	-	-		0000 0000H
0F00 090CH	Next1 ソース・アドレス・レジスタ 4	N1SA4	R/W	-	-	-		0000 0000H
0F00 0910H	Next1 デスティネーション・アドレス・レジスタ 4	N1DA4	R/W	-	-	-		0000 0000H
0F00 0914H	Next1 トランザクション・バイト・レジスタ 4	N1TB4	R/W	-	-	-		0000 0000H
0F00 0918H	Current ソース・アドレス・レジスタ 4	CRSA4	R	-	-	-		0000 0000H
0F00 091CH	Current デスティネーション・アドレス・レジスタ 4	CRDA4	R	-	-	-		0000 0000H
0F00 0920H	Current トランザクション・バイト・レジスタ 4	CRTB4	R	-	-	-		0000 0000H
0F00 0924H	チャンネル・ステータス・レジスタ 4	CHSTAT4	R	-	-	-		0000 0000H
0F00 0928H	チャンネル・コントロール・レジスタ 4	CHCTRL4	W	-	-	-		0000 0000H
0F00 092CH	チャンネル・コンフィギュレーション・レジスタ 4	CHCFG4	R/W	-	-	-		0000 0000H
0F00 0930H	チャンネル・インターバル・レジスタ 4	CHITVL4	R/W	-	-	-		0000 0000H
0F00 0938H	Next リンク・アドレス・レジスタ 4	NXLA4	R/W	-	-	-		0000 0000H
0F00 093CH	Current リンク・アドレス・レジスタ 4	CRLA4	R	-	-	-		0000 0000H
0F00 0940H	Next0 ソース・アドレス・レジスタ 5	N0SA5	R/W	-	-	-		0000 0000H
0F00 0944H	Next0 デスティネーション・アドレス・レジスタ 5	N0DA5	R/W	-	-	-		0000 0000H
0F00 0948H	Next0 トランザクション・バイト・レジスタ 5	N0TB5	R/W	-	-	-		0000 0000H
0F00 094CH	Next1 ソース・アドレス・レジスタ 5	N1SA5	R/W	-	-	-		0000 0000H
0F00 0950H	Next1 デスティネーション・アドレス・レジスタ 5	N1DA5	R/W	-	-	-		0000 0000H
0F00 0954H	Next1 トランザクション・バイト・レジスタ 5	N1TB5	R/W	-	-	-		0000 0000H
0F00 0958H	Current ソース・アドレス・レジスタ 5	CRSA5	R	-	-	-		0000 0000H
0F00 095CH	Current デスティネーション・アドレス・レジスタ 5	CRDA5	R	-	-	-		0000 0000H
0F00 0960H	Current トランザクション・バイト・レジスタ 5	CRTB5	R	-	-	-		0000 0000H
0F00 0964H	チャンネル・ステータス・レジスタ 5	CHSTAT5	R	-	-	-		0000 0000H
0F00 0968H	チャンネル・コントロール・レジスタ 5	CHCTRL5	W	-	-	-		0000 0000H
0F00 096CH	チャンネル・コンフィギュレーション・レジスタ 5	CHCFG5	R/W	-	-	-		0000 0000H
0F00 0970H	チャンネル・インターバル・レジスタ 5	CHITVL5	R/W	-	-	-		0000 0000H
0F00 0978H	Next リンク・アドレス・レジスタ 5	NXLA5	R/W	-	-	-		0000 0000H
0F00 097CH	Current リンク・アドレス・レジスタ 5	CRLA5	R	-	-	-		0000 0000H



表 3-15 システム・バスDMAコントローラ制御用レジスタ (4/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0980H	Next0 ソース・アドレス・レジスタ 6	N0SA6	R/W	-	-	-		0000 0000H
0F00 0984H	Next0 デスティネーション・アドレス・レジスタ 6	N0DA6	R/W	-	-	-		0000 0000H
0F00 0988H	Next0 トランザクション・バイト・レジスタ 6	N0TB6	R/W	-	-	-		0000 0000H
0F00 098CH	Next1 ソース・アドレス・レジスタ 6	N1SA6	R/W	-	-	-		0000 0000H
0F00 0990H	Next1 デスティネーション・アドレス・レジスタ 6	N1DA6	R/W	-	-	-		0000 0000H
0F00 0994H	Next1 トランザクション・バイト・レジスタ 6	N1TB6	R/W	-	-	-		0000 0000H
0F00 0998H	Current ソース・アドレス・レジスタ 6	CRSA6	R	-	-	-		0000 0000H
0F00 099CH	Current デスティネーション・アドレス・レジスタ 6	CRDA6	R	-	-	-		0000 0000H
0F00 09A0H	Current トランザクション・バイト・レジスタ 6	CRTB6	R	-	-	-		0000 0000H
0F00 09A4H	チャンネル・ステータス・レジスタ 6	CHSTAT6	R	-	-	-		0000 0000H
0F00 09A8H	チャンネル・コントロール・レジスタ 6	CHCTRL6	W	-	-	-		0000 0000H
0F00 09ACH	チャンネル・コンフィギュレーション・レジスタ 6	CHCFG6	R/W	-	-	-		0000 0000H
0F00 09B0H	チャンネル・インターバル・レジスタ 6	CHITVL6	R/W	-	-	-		0000 0000H
0F00 09B8H	Next リンク・アドレス・レジスタ 6	NXLA6	R/W	-	-	-		0000 0000H
0F00 09BCH	Current リンク・アドレス・レジスタ 6	CRLA6	R	-	-	-		0000 0000H
0F00 09C0H	Next0 ソース・アドレス・レジスタ 7	N0SA7	R/W	-	-	-		0000 0000H
0F00 09C4H	Next0 デスティネーション・アドレス・レジスタ 7	N0DA7	R/W	-	-	-		0000 0000H
0F00 09C8H	Next0 トランザクション・バイト・レジスタ 7	N0TB7	R/W	-	-	-		0000 0000H
0F00 09CCH	Next1 ソース・アドレス・レジスタ 7	N1SA7	R/W	-	-	-		0000 0000H
0F00 09D0H	Next1 デスティネーション・アドレス・レジスタ 7	N1DA7	R/W	-	-	-		0000 0000H
0F00 09D4H	Next1 トランザクション・バイト・レジスタ 7	N1TB7	R/W	-	-	-		0000 0000H
0F00 09D8H	Current ソース・アドレス・レジスタ 7	CRSA7	R	-	-	-		0000 0000H
0F00 09DCH	Current デスティネーション・アドレス・レジスタ 7	CRDA7	R	-	-	-		0000 0000H
0F00 09E0H	Current トランザクション・バイト・レジスタ 7	CRTB7	R	-	-	-		0000 0000H
0F00 09E4H	チャンネル・ステータス・レジスタ 7	CHSTAT7	R	-	-	-		0000 0000H
0F00 09E8H	チャンネル・コントロール・レジスタ 7	CHCTRL7	W	-	-	-		0000 0000H
0F00 09ECH	チャンネル・コンフィギュレーション・レジスタ 7	CHCFG7	R/W	-	-	-		0000 0000H
0F00 09F0H	チャンネル・インターバル・レジスタ 7	CHITVL7	R/W	-	-	-		0000 0000H
0F00 09F8H	Next リンク・アドレス・レジスタ 7	NXLA7	R/W	-	-	-		0000 0000H
0F00 09FCH	Current リンク・アドレス・レジスタ 7	CRLA7	R	-	-	-		0000 0000H

表 3-15 システム・バスDMAコントローラ制御用レジスタ (5/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0A00H	連続空間ソース・サイズ・レジスタ 0	SCNT0	R/W	-	-	-		0000 0000H
0F00 0A04H	スキップ空間ソース・サイズ・レジスタ 0	SSKP0	R/W	-	-	-		0000 0000H
0F00 0A08H	連続空間デスティネーション・サイズ・レジスタ 0	DCNT0	R/W	-	-	-		0000 0000H
0F00 0A0CH	スキップ空間デスティネーション・サイズ・レジスタ 0	DSKP0	R/W	-	-	-		0000 0000H
0F00 0A20H	連続空間ソース・サイズ・レジスタ 1	SCNT1	R/W	-	-	-		0000 0000H
0F00 0A24H	スキップ空間ソース・サイズ・レジスタ 1	SSKP1	R/W	-	-	-		0000 0000H
0F00 0A28H	連続空間デスティネーション・サイズ・レジスタ 1	DCNT1	R/W	-	-	-		0000 0000H
0F00 0A2CH	スキップ空間デスティネーション・サイズ・レジスタ 1	DSKP1	R/W	-	-	-		0000 0000H
0F00 0A40H	連続空間ソース・サイズ・レジスタ 2	SCNT2	R/W	-	-	-		0000 0000H
0F00 0A44H	スキップ空間ソース・サイズ・レジスタ 2	SSKP2	R/W	-	-	-		0000 0000H
0F00 0A48H	連続空間デスティネーション・サイズ・レジスタ 2	DCNT2	R/W	-	-	-		0000 0000H
0F00 0A4CH	スキップ空間デスティネーション・サイズ・レジスタ 2	DSKP2	R/W	-	-	-		0000 0000H
0F00 0A60H	連続空間ソース・サイズ・レジスタ 3	SCNT3	R/W	-	-	-		0000 0000H
0F00 0A64H	スキップ空間ソース・サイズ・レジスタ 3	SSKP3	R/W	-	-	-		0000 0000H
0F00 0A68H	連続空間デスティネーション・サイズ・レジスタ 3	DCNT3	R/W	-	-	-		0000 0000H
0F00 0A6CH	スキップ空間デスティネーション・サイズ・レジスタ 3	DSKP3	R/W	-	-	-		0000 0000H
0F00 0A80H	連続空間ソース・サイズ・レジスタ 4	SCNT4	R/W	-	-	-		0000 0000H
0F00 0A84H	スキップ空間ソース・サイズ・レジスタ 4	SSKP4	R/W	-	-	-		0000 0000H
0F00 0A88H	連続空間デスティネーション・サイズ・レジスタ 4	DCNT4	R/W	-	-	-		0000 0000H
0F00 0A8CH	スキップ空間デスティネーション・サイズ・レジスタ 4	DSKP4	R/W	-	-	-		0000 0000H
0F00 0AA0H	連続空間ソース・サイズ・レジスタ 5	SCNT5	R/W	-	-	-		0000 0000H
0F00 0AA4H	スキップ空間ソース・サイズ・レジスタ 5	SSKP5	R/W	-	-	-		0000 0000H
0F00 0AA8H	連続空間デスティネーション・サイズ・レジスタ 5	DCNT5	R/W	-	-	-		0000 0000H
0F00 0AACH	スキップ空間デスティネーション・サイズ・レジスタ 5	DSKP5	R/W	-	-	-		0000 0000H
0F00 0AC0H	連続空間ソース・サイズ・レジスタ 6	SCNT6	R/W	-	-	-		0000 0000H
0F00 0AC4H	スキップ空間ソース・サイズ・レジスタ 6	SSKP6	R/W	-	-	-		0000 0000H
0F00 0AC8H	連続空間デスティネーション・サイズ・レジスタ 6	DCNT6	R/W	-	-	-		0000 0000H
0F00 0ACCH	スキップ空間デスティネーション・サイズ・レジスタ 6	DSKP6	R/W	-	-	-		0000 0000H
0F00 0AE0H	連続空間ソース・サイズ・レジスタ 7	SCNT7	R/W	-	-	-		0000 0000H
0F00 0AE4H	スキップ空間ソース・サイズ・レジスタ 7	SSKP7	R/W	-	-	-		0000 0000H
0F00 0AE8H	連続空間デスティネーション・サイズ・レジスタ 7	DCNT7	R/W	-	-	-		0000 0000H
0F00 0AECH	スキップ空間デスティネーション・サイズ・レジスタ 7	DSKP7	R/W	-	-	-		0000 0000H
0F00 0B00H	システム・バス DMAC コントロール・レジスタ	DCTRL	R/W	-	-	-		0000 0000H
0F00 0B04H	ディスクリプタ・インターバル・レジスタ	DSCITVL	R/W	-	-	-		0000 0000H
0F00 0B10H	システムバス DMAC イネーブルステータス・レジスタ	DSTEN	R	-	-	-		0000 0000H
0F00 0B14H	システム・バス DMAC エラー・ステータス・レジスタ	DSTER	R	-	-	-		0000 0000H
0F00 0B18H	システム・バス DMAC 完了ステータス・レジスタ	DSTEND	R	-	-	-		0000 0000H
0F00 0B1CH	システム・バス DMAC ターミナル・カウント・ステータス・レジスタ	DSTTC	R	-	-	-		0000 0000H
0F00 0B20H	システムバス DMAC サスペンドステータス・レジスタ	DSTSUS	R	-	-	-		0000 0000H

表 3-15 システム・バスDMAコントローラ制御用レジスタ (6/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 9150H	DMA トリガ要因選択レジスタ 0	DTFR0	R/W	-	-	-		0000 0000H
0F01 9154H	DMA トリガ要因選択レジスタ 1	DTFR1	R/W	-	-	-		0000 0000H
0F01 9158H	DMA トリガ要因選択レジスタ 2	DTFR2	R/W	-	-	-		0000 0000H
0F01 915CH	DMA トリガ要因選択レジスタ 3	DTFR3	R/W	-	-	-		0000 0000H
0F01 9160H	DMA トリガ要因選択レジスタ 4	DTFR4	R/W	-	-	-		0000 0000H
0F01 9164H	DMA トリガ要因選択レジスタ 5	DTFR5	R/W	-	-	-		0000 0000H
0F01 9168H	DMA トリガ要因選択レジスタ 6	DTFR6	R/W	-	-	-		0000 0000H
0F01 916CH	DMA トリガ要因選択レジスタ 7	DTFR7	R/W	-	-	-		0000 0000H
0F01 9170H	DMA 転送インタフェース信号制御レジスタ 0	DMAIFC0	R/W	-	-	-		0000 0000H
0F01 9174H	DMA 転送インタフェース信号制御レジスタ 1	DMAIFC1	R/W	-	-	-		0000 0000H
0F01 9178H	DMA 転送インタフェース信号制御レジスタ 2	DMAIFC2	R/W	-	-	-		0000 0000H
0F01 917CH	DMA 転送インタフェース信号制御レジスタ 3	DMAIFC3	R/W	-	-	-		0000 0000H
0F01 9180H	DMA 転送インタフェース信号制御レジスタ 4	DMAIFC4	R/W	-	-	-		0000 0000H
0F01 9184H	DMA 転送インタフェース信号制御レジスタ 5	DMAIFC5	R/W	-	-	-		0000 0000H

表 3-16 シリアル・フラッシュ・メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0C00H	転送モード制御レジスタ	SFMSMD	R/W	-	-	-		0000 0110H
0F00 0C04H	チップ選択制御レジスタ	SFMSSC	R/W	-	-	-		0000 0037H
0F00 0C08H	クロック制御レジスタ	SFMSKC	R/W	-	-	-		0000 0008H
0F00 0C0CH	ステータス・レジスタ	SFMSST	R	-	-	-		0000 0080H
0F00 0C10H	通信ポート	SFMCOM	R/W	-	-	-		不定
0F00 0C14H	通信モード制御レジスタ	SFMCMD	R/W	-	-	-		0000 0000H
0F00 0C18H	通信ステータス・レジスタ	SFMCST	R/W	-	-	-		0000 0000H

表 3-17 汎用周辺機能制御レジスタ (1/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C FFF0H	周辺バス・ウェイト・コントロール・レジスタ	NPBWAIT	R/W	-	-	-	-	0000 0000H
0F1C 0C02H	TMM0 プリスケラ・モード・レジスタ	TM0PRSM	R/W	-	-	-	-	00H
0F1C 0C07H	TMM0 プリスケラ・コンペア・レジスタ	TM0PRSCM	R/W	-	-	-	-	00H
0F1C 0C12H	TMM1 プリスケラ・モード・レジスタ	TM1PRSM	R/W	-	-	-	-	00H
0F1C 0C17H	TMM1 プリスケラ・コンペア・レジスタ	TM1PRSCM	R/W	-	-	-	-	00H
0F1C 0C22H	TMM2 プリスケラ・モード・レジスタ	TM2PRSM	R/W	-	-	-	-	00H
0F1C 0C27H	TMM2 プリスケラ・コンペア・レジスタ	TM2PRSCM	R/W	-	-	-	-	00H
0F1C 0C32H	TMM3 プリスケラ・モード・レジスタ	TM3PRSM	R/W	-	-	-	-	00H
0F1C 0C37H	TMM3 プリスケラ・コンペア・レジスタ	TM3PRSCM	R/W	-	-	-	-	00H
0F1C 0C42H	TMM4 プリスケラ・モード・レジスタ	TM4PRSM	R/W	-	-	-	-	00H
0F1C 0C47H	TMM4 プリスケラ・コンペア・レジスタ	TM4PRSCM	R/W	-	-	-	-	00H
0F1C 0C52H	TMM5 プリスケラ・モード・レジスタ	TM5PRSM	R/W	-	-	-	-	00H
0F1C 0C57H	TMM5 プリスケラ・コンペア・レジスタ	TM5PRSCM	R/W	-	-	-	-	00H

表 3-17 汎用周辺機能制御レジスタ (2/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0602H	TMM0 制御レジスタ 0	TM0CTL0	R/W			-	-	00H
0F1C 0610H	TMM0 コンペア・レジスタ 0	TM0CMP0	R/W	-	-		-	0000H
0F1C 0642H	TMM1 制御レジスタ 0	TM1CTL0	R/W			-		00H
0F1C 0650H	TMM1 コンペア・レジスタ 0	TM1CMP0	R/W	-	-			0000H
0F1C 0682H	TMM2 制御レジスタ 0	TM2CTL0	R/W			-		00H
0F1C 0690H	TMM2 コンペア・レジスタ 0	TM2CMP0	R/W	-	-			0000H
0F1C 06C2H	TMM3 制御レジスタ 0	TM3CTL0	R/W			-		00H
0F1C 06D0H	TMM3 コンペア・レジスタ 0	TM3CMP0	R/W	-	-		-	0000H
0F1C 0702H	TMM4 制御レジスタ 0	TM4CTL0	R/W			-	-	00H
0F1C 0710H	TMM4 コンペア・レジスタ 0	TM4CMP0	R/W	-	-		-	0000H
0F1C 0742H	TMM5 制御レジスタ 0	TM5CTL0	R/W			-	-	00H
0F1C 0750H	TMM5 コンペア・レジスタ 0	TM5CMP0	R/W	-	-		-	0000H
0F1C 0202H	TMT0 制御レジスタ 0	TT0CTL0	R/W			-		00H
0F1C 0207H	TMT0 制御レジスタ 1	TT0CTL1	R/W			-		00H
0F1C 020AH	TMT0 制御レジスタ 2	TT0CTL2	R/W			-		00H
0F1C 020FH	TMT0 I/O 制御レジスタ 0	TT0IOC0	R/W			-		00H
0F1C 0212H	TMT0 I/O 制御レジスタ 1	TT0IOC1	R/W			-		00H
0F1C 0217H	TMT0 I/O 制御レジスタ 2	TT0IOC2	R/W			-		00H
0F1C 021AH	TMT0 I/O 制御レジスタ 3	TT0IOC3	R/W			-		00H
0F1C 021FH	TMT0 オプション・レジスタ 0	TT0OPT0	R/W			-	-	00H
0F1C 0222H	TMT0 オプション・レジスタ 1	TT0OPT1	R/W			-	-	00H
0F1C 0228H	TMT0 キャプチャ・コンペア・レジスタ 0	TT0CCR0	R/W	-	-		-	0000H
0F1C 0230H	TMT0 キャプチャ・コンペア・レジスタ 1	TT0CCR1	R/W	-	-		-	0000H
0F1C 0238H	TMT0 カウンタ・リード・バッファ・レジスタ	TT0CNT	R	-	-		-	0000H
0F1C 0240H	TMT0 カウンタ・ライト・レジスタ	TT0TCW	R/W	-	-		-	0000H
0F1C 0282H	TMT1 制御レジスタ 0	TT1CTL0	R/W			-	-	00H
0F1C 0287H	TMT1 制御レジスタ 1	TT1CTL1	R/W			-	-	00H
0F1C 028AH	TMT1 制御レジスタ 2	TT1CTL2	R/W			-	-	00H
0F1C 028FH	TMT1 I/O 制御レジスタ 0	TT1IOC0	R/W			-	-	00H
0F1C 0292H	TMT1 I/O 制御レジスタ 1	TT1IOC1	R/W			-	-	00H
0F1C 0297H	TMT1 I/O 制御レジスタ 2	TT1IOC2	R/W			-	-	00H
0F1C 029AH	TMT1 I/O 制御レジスタ 3	TT1IOC3	R/W			-	-	00H
0F1C 029FH	TMT1 オプション・レジスタ 0	TT1OPT0	R/W			-	-	00H
0F1C 02A2H	TMT1 オプション・レジスタ 1	TT1OPT1	R/W			-	-	00H
0F1C 02A8H	TMT1 キャプチャ・コンペア・レジスタ 0	TT1CCR0	R/W	-	-		-	0000H
0F1C 02B0H	TMT1 キャプチャ・コンペア・レジスタ 1	TT1CCR1	R/W	-	-		-	0000H
0F1C 02B8H	TMT1 カウンタ・リード・バッファ・レジスタ	TT1CNT	R	-	-		-	0000H
0F1C 02C0H	TMT1 カウンタ・ライト・レジスタ	TT1TCW	R/W	-	-		-	0000H

表 3-17 汎用周辺機能制御レジスタ (3/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0302H	TAA0 制御レジスタ 0	TAA0CTL0	R/W			-	-	00H
0F1C 0307H	TAA0 制御レジスタ 1	TAA0CTL1	R/W			-	-	00H
0F1C 030AH	TAA0 I/O 制御レジスタ 0	TAA0IOC0	R/W			-	-	00H
0F1C 030FH	TAA0 I/O 制御レジスタ 1	TAA0IOC1	R/W			-	-	00H
0F1C 0317H	TAA0 オプション・レジスタ 0	TAA0OPT0	R/W			-	-	00H
0F1C 0318H	TAA0 キャプチャ・コンペア・レジスタ 0	TAA0CCR0	R/W	-	-		-	0000H
0F1C 0320H	TAA0 キャプチャ・コンペア・レジスタ 1	TAA0CCR1	R/W	-	-		-	0000H
0F1C 0328H	TAA0 カウンタ・リード・バッファ・レジスタ	TAA0CNT	R	-	-		-	0000H
0F1C 0382H	TAA1 制御レジスタ 0	TAA1CTL0	R/W			-	-	00H
0F1C 0387H	TAA1 制御レジスタ 1	TAA1CTL1	R/W			-	-	00H
0F1C 038AH	TAA1 I/O 制御レジスタ 0	TAA1IOC0	R/W			-	-	00H
0F1C 038FH	TAA1 I/O 制御レジスタ 1	TAA1IOC1	R/W			-	-	00H
0F1C 0397H	TAA1 オプション・レジスタ 0	TAA1OPT0	R/W			-	-	00H
0F1C 0398H	TAA1 キャプチャ・コンペア・レジスタ 0	TAA1CCR0	R/W	-	-		-	0000H
0F1C 03A0H	TAA1 キャプチャ・コンペア・レジスタ 1	TAA1CCR1	R/W	-	-		-	0000H
0F1C 03A8H	TAA1 カウンタ・リード・バッファ・レジスタ	TAA1CNT	R	-	-		-	0000H
0F1C 0402H	TAA2 制御レジスタ 0	TAA2CTL0	R/W			-	-	00H
0F1C 0407H	TAA2 制御レジスタ 1	TAA2CTL1	R/W			-	-	00H
0F1C 040AH	TAA2 I/O 制御レジスタ 0	TAA2IOC0	R/W			-	-	00H
0F1C 040FH	TAA2 I/O 制御レジスタ 1	TAA2IOC1	R/W			-	-	00H
0F1C 0417H	TAA2 オプション・レジスタ 0	TAA2OPT0	R/W			-	-	00H
0F1C 0418H	TAA2 キャプチャ・コンペア・レジスタ 0	TAA2CCR0	R/W	-	-		-	0000H
0F1C 0420H	TAA2 キャプチャ・コンペア・レジスタ 1	TAA2CCR1	R/W	-	-		-	0000H
0F1C 0428H	TAA2 カウンタ・リード・バッファ・レジスタ	TAA2CNT	R	-	-		-	0000H

表 3-17 汎用周辺機能制御レジスタ (4/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0482H	TAA3 制御レジスタ 0	TAA3CTL0	R/W			-	-	00H
0F1C 0487H	TAA3 制御レジスタ 1	TAA3CTL1	R/W			-	-	00H
0F1C 048AH	TAA3 I/O 制御レジスタ 0	TAA3IOC0	R/W			-	-	00H
0F1C 048FH	TAA3 I/O 制御レジスタ 1	TAA3IOC1	R/W			-	-	00H
0F1C 0497H	TAA3 オプション・レジスタ 0	TAA3OPT0	R/W			-	-	00H
0F1C 0498H	TAA3 キャプチャ・コンペア・レジスタ 0	TAA3CCR0	R/W	-	-		-	0000H
0F1C 04A0H	TAA3 キャプチャ・コンペア・レジスタ 1	TAA3CCR1	R/W	-	-		-	0000H
0F1C 04A8H	TAA3 カウンタ・リード・バッファ・レジスタ	TAA3CNT	R	-	-		-	0000H
0F1C 0502H	TAA4 制御レジスタ 0	TAA4CTL0	R/W			-	-	00H
0F1C 0507H	TAA4 制御レジスタ 1	TAA4CTL1	R/W			-	-	00H
0F1C 050AH	TAA4 I/O 制御レジスタ 0	TAA4IOC0	R/W			-	-	00H
0F1C 050FH	TAA4 I/O 制御レジスタ 1	TAA4IOC1	R/W			-	-	00H
0F1C 0517H	TAA4 オプション・レジスタ 0	TAA4OPT0	R/W			-	-	00H
0F1C 0518H	TAA4 キャプチャ・コンペア・レジスタ 0	TAA4CCR0	R/W	-	-		-	0000H
0F1C 0520H	TAA4 キャプチャ・コンペア・レジスタ 1	TAA4CCR1	R/W	-	-		-	0000H
0F1C 0528H	TAA4 カウンタ・リード・バッファ・レジスタ	TAA4CNT	R	-	-		-	0000H
0F1C 0582H	TAA5 制御レジスタ 0	TAA5CTL0	R/W			-	-	00H
0F1C 0587H	TAA5 制御レジスタ 1	TAA5CTL1	R/W			-	-	00H
0F1C 058AH	TAA5 I/O 制御レジスタ 0	TAA5IOC0	R/W			-	-	00H
0F1C 058FH	TAA5 I/O 制御レジスタ 1	TAA5IOC1	R/W			-	-	00H
0F1C 0597H	TAA5 オプション・レジスタ 0	TAA5OPT0	R/W			-	-	00H
0F1C 0598H	TAA5 キャプチャ・コンペア・レジスタ 0	TAA5CCR0	R/W	-	-		-	0000H
0F1C 05A0H	TAA5 キャプチャ・コンペア・レジスタ 1	TAA5CCR1	R/W	-	-		-	0000H
0F1C 05A8H	TAA5 カウンタ・リード・バッファ・レジスタ	TAA5CNT	R	-	-		-	0000H



表 3-17 汎用周辺機能制御レジスタ (5/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0802H	クロック同期式シリアル・インタフェース・モード・レジスタ 30	CSIM30	R/W			-	-	00H
0F1C 0807H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 30	CSIC30	R/W			-	-	07H
0F1C 0808H	受信データ・バッファ・レジスタ 30	SIRB30	R	-	-			0000H
0F1C 080AH	受信データ・バッファ・レジスタ 30L	SIRB30L	R	-	-			00H
0F1C 080FH	受信データ・バッファ・レジスタ 30H	SIRB30H	R	-	-			00H
0F1C 0818H	送信データ CSI バッファ・レジスタ 30	SFDB30	R/W	-	-			0000H
0F1C 081AH	送信データ CSI バッファ・レジスタ 30L	SFDB30L	R/W	-	-			00H
0F1C 081FH	送信データ CSI バッファ・レジスタ 30H	SFDB30H	R/W	-	-			00H
0F1C 0822H	CSIBUF 状態レジスタ 30	SFA30	R/W			-	-	20H
0F1C 0827H	転送データ長選択レジスタ 30	CSIL30	R/W			-	-	00H
0F1C 0832H	転送データ数指定レジスタ 30	SFN30	R/W			-	-	00H
0F1C 0882H	クロック同期式シリアル・インタフェース・モード・レジスタ 31	CSIM31	R/W			-	-	00H
0F1C 0887H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 31	CSIC31	R/W			-	-	07H
0F1C 0888H	受信データ・バッファ・レジスタ 31	SIRB31	R	-	-			0000H
0F1C 088AH	受信データ・バッファ・レジスタ 31L	SIRB31L	R	-	-			00H
0F1C 088FH	受信データ・バッファ・レジスタ 31H	SIRB31H	R	-	-			00H
0F1C 0898H	送信データ CSI バッファ・レジスタ 31	SFDB31	R/W	-	-			0000H
0F1C 089AH	送信データ CSI バッファ・レジスタ 31L	SFDB31L	R/W	-	-			00H
0F1C 089FH	送信データ CSI バッファ・レジスタ 31H	SFDB31H	R/W	-	-			00H
0F1C 08A2H	CSIBUF 状態レジスタ 31	SFA31	R/W			-	-	20H
0F1C 08A7H	転送データ長選択レジスタ 31	CSIL31	R/W			-	-	00H
0F1C 08B2H	転送データ数指定レジスタ 31	SFN31	R/W			-	-	00H
0F1C 0902H	クロック同期式シリアル・インタフェース・モード・レジスタ 32	CSIM32	R/W			-	-	00H
0F1C 0907H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 32	CSIC32	R/W			-	-	07H
0F1C 0908H	受信データ・バッファ・レジスタ 32	SIRB32	R	-	-			0000H
0F1C 090AH	受信データ・バッファ・レジスタ 32L	SIRB32L	R	-	-			00H
0F1C 090FH	受信データ・バッファ・レジスタ 32H	SIRB32H	R	-	-			00H
0F1C 0918H	送信データ CSI バッファ・レジスタ 32	SFDB32	R/W	-	-			0000H
0F1C 091AH	送信データ CSI バッファ・レジスタ 32L	SFDB32L	R/W	-	-			00H
0F1C 091FH	送信データ CSI バッファ・レジスタ 32H	SFDB32H	R/W	-	-			00H
0F1C 0922H	CSIBUF 状態レジスタ 32	SFA32	R/W			-	-	20H
0F1C 0927H	転送データ長選択レジスタ 32	CSIL32	R/W			-	-	00H
0F1C 0932H	転送データ数指定レジスタ 32	SFN32	R/W			-	-	00H

表 3-17 汎用周辺機能制御レジスタ (6/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0982H	クロック同期式シリアル・インタフェース・モード・レジスタ 33	CSIM33	R/W			-	-	00H
0F1C 0987H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 33	CSIC33	R/W			-	-	07H
0F1C 0988H	受信データ・バッファ・レジスタ 33	SIRB33	R	-	-			0000H
0F1C 098AH	受信データ・バッファ・レジスタ 33L	SIRB33L	R	-	-			00H
0F1C 098FH	受信データ・バッファ・レジスタ 33H	SIRB33H	R	-	-			00H
0F1C 0998H	送信データ CSI バッファ・レジスタ 33	SFDB33	R/W	-	-			0000H
0F1C 099AH	送信データ CSI バッファ・レジスタ 33L	SFDB33L	R/W	-	-			00H
0F1C 099FH	送信データ CSI バッファ・レジスタ 33H	SFDB33H	R/W	-	-			00H
0F1C 09A2H	CSIBUF 状態レジスタ 33	SFA33	R/W			-	-	20H
0F1C 09A7H	転送データ長選択レジスタ 33	CSIL33	R/W			-	-	00H
0F1C 09B2H	転送データ数指定レジスタ 33	SFN33	R/W			-	-	00H
0F1C 0A02H	クロック同期式シリアル・インタフェース・モード・レジスタ 34	CSIM34	R/W			-	-	00H
0F1C 0A07H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 34	CSIC34	R/W			-	-	07H
0F1C 0A08H	受信データ・バッファ・レジスタ 34	SIRB34	R	-	-			0000H
0F1C 0A0AH	受信データ・バッファ・レジスタ 34L	SIRB34L	R	-	-			00H
0F1C 0A0FH	受信データ・バッファ・レジスタ 34H	SIRB34H	R	-	-			00H
0F1C 0A18H	送信データ CSI バッファ・レジスタ 34	SFDB34	R/W	-	-			0000H
0F1C 0A1AH	送信データ CSI バッファ・レジスタ 34L	SFDB34L	R/W	-	-			00H
0F1C 0A1FH	送信データ CSI バッファ・レジスタ 34H	SFDB34H	R/W	-	-			00H
0F1C 0A22H	CSIBUF 状態レジスタ 34	SFA34	R/W			-	-	20H
0F1C 0A27H	転送データ長選択レジスタ 34	CSIL34	R/W			-	-	00H
0F1C 0A32H	転送データ数指定レジスタ 34	SFN34	R/W			-	-	00H
0F1C 0A82H	クロック同期式シリアル・インタフェース・モード・レジスタ 35	CSIM35	R/W			-	-	00H
0F1C 0A87H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 35	CSIC35	R/W			-	-	07H
0F1C 0A88H	受信データ・バッファ・レジスタ 35	SIRB35	R	-	-			0000H
0F1C 0A8AH	受信データ・バッファ・レジスタ 35L	SIRB35L	R	-	-			00H
0F1C 0A8FH	受信データ・バッファ・レジスタ 35H	SIRB35H	R	-	-			00H
0F1C 0A98H	送信データ CSI バッファ・レジスタ 35	SFDB35	R/W	-	-			0000H
0F1C 0A9AH	送信データ CSI バッファ・レジスタ 35L	SFDB35L	R/W	-	-			00H
0F1C 0A9FH	送信データ CSI バッファ・レジスタ 35H	SFDB35H	R/W	-	-			00H
0F1C 0AA2H	CSIBUF 状態レジスタ 35	SFA35	R/W			-	-	20H
0F1C 0AA7H	転送データ長選択レジスタ 35	CSIL35	R/W			-	-	00H
0F1C 0AB2H	転送データ数指定レジスタ 35	SFN35	R/W			-	-	00H

表 3-17 汎用周辺機能制御レジスタ (7/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0B02H	クロック同期式シリアル・インタフェース・モード・レジスタ 36	CSIM36	R/W			-	-	00H
0F1C 0B07H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 36	CSIC36	R/W			-	-	07H
0F1C 0B08H	受信データ・バッファ・レジスタ 36	SIRB36	R	-	-			0000H
0F1C 0B0AH	受信データ・バッファ・レジスタ 36L	SIRB36L	R	-		-	-	00H
0F1C 0B0FH	受信データ・バッファ・レジスタ 36H	SIRB36H	R	-		-	-	00H
0F1C 0B18H	送信データ CSI バッファ・レジスタ 36	SFDB36	R/W	-	-			0000H
0F1C 0B1AH	送信データ CSI バッファ・レジスタ 36L	SFDB36L	R/W	-		-	-	00H
0F1C 0B1FH	送信データ CSI バッファ・レジスタ 36H	SFDB36H	R/W	-		-	-	00H
0F1C 0B22H	CSIBUF 状態レジスタ 36	SFA36	R/W			-	-	20H
0F1C 0B27H	転送データ長選択レジスタ 36	CSIL36	R/W			-	-	00H
0F1C 0B32H	転送データ数指定レジスタ 36	SFN36	R/W			-	-	00H
0F1C 0B82H	クロック同期式シリアル・インタフェース・モード・レジスタ 37	CSIM37	R/W			-	-	00H
0F1C 0B87H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 37	CSIC37	R/W			-	-	07H
0F1C 0B88H	受信データ・バッファ・レジスタ 37	SIRB37	R	-	-			0000H
0F1C 0B8AH	受信データ・バッファ・レジスタ 37L	SIRB37L	R	-		-	-	00H
0F1C 0B8FH	受信データ・バッファ・レジスタ 37H	SIRB37H	R	-		-	-	00H
0F1C 0B98H	送信データ CSI バッファ・レジスタ 37	SFDB37	R/W	-	-			0000H
0F1C 0B9AH	送信データ CSI バッファ・レジスタ 37L	SFDB37L	R/W	-		-	-	00H
0F1C 0B9FH	送信データ CSI バッファ・レジスタ 37H	SFDB37H	R/W	-		-	-	00H
0F1C 0BA2H	CSIBUF 状態レジスタ 37	SFA37	R/W			-	-	20H
0F1C 0BA7H	転送データ長選択レジスタ 37	CSIL37	R/W			-	-	00H
0F1C 0BB2H	転送データ数指定レジスタ 37	SFN37	R/W			-	-	00H

表 3-17 汎用周辺機能制御レジスタ (8/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 4800H	UART 受信バッファ・レジスタ 0	RBR0	R	-	-	-		0000 0000H
	UART 送信ホールディング・レジスタ 0	THR0	W	-	-	-		0000 0000H
	UART デバイザ・ラッチ下位レジスタ 0	DLL0	R/W	-	-	-		0000 0000H
0F01 4804H	UART デバイザ・ラッチ上位レジスタ 0	DLH0	R/W	-	-	-		0000 0000H
	UART 割り込み許可レジスタ 0	IER0	R/W	-				0000 0000H
0F01 4808H	UART 割り込み識別レジスタ 0	IIR0	R	-	-	-		0000 0001H
	UART FIFO 制御レジスタ 0	FCR0	W	-	-	-		0000 0000H
0F01 480CH	UART ライン制御レジスタ 0	LCR0	R/W	-	-	-		0000 0000H
0F01 4810H	UART モデム制御レジスタ 0	MCR0	R/W	-	-	-		0000 0000H
0F01 4814H	UART ライン・ステータス・レジスタ 0	LSR0	R	-	-	-		0000 0060H
0F01 4818H	UART モデム・ステータス・レジスタ 0	MSR0	R	-	-	-		0000 0000H
0F01 481CH	UART スクラッチ・パッド・レジスタ 0	SCR0	R/W	-	-	-		0000 0000H
0F01 487CH	UART ステータス・レジスタ 0	USR0	R	-	-	-		0000 0000H
0F01 4900H	UART DMA 転送要求制御レジスタ 0	FDR0	R/W	-	-	-		0000 0000H
0F01 4A00H	UART 受信バッファ・レジスタ 1	RBR1	R	-	-	-		0000 0000H
	UART 送信ホールディング・レジスタ 1	THR1	W	-	-	-		0000 0000H
	UART デバイザ・ラッチ下位レジスタ 1	DLL1	R/W	-	-	-		0000 0000H
0F01 4A04H	UART デバイザ・ラッチ上位レジスタ 1	DLH1	R/W	-	-	-		0000 0000H
	UART 割り込み許可レジスタ 1	IER1	R/W	-				0000 0000H
0F01 4A08H	UART 割り込み識別レジスタ 1	IIR1	R	-	-	-		0000 0001H
	UART FIFO 制御レジスタ 1	FCR1	W	-	-	-		0000 0000H
0F01 4A0CH	UART ライン制御レジスタ 1	LCR1	R/W	-	-	-		0000 0000H
0F01 4A10H	UART モデム制御レジスタ 1	MCR1	R/W	-	-	-		0000 0000H
0F01 4A14H	UART ライン・ステータス・レジスタ 1	LSR1	R	-	-	-		0000 0060H
0F01 4A18H	UART モデム・ステータス・レジスタ 1	MSR1	R	-	-	-		0000 0000H
0F01 4A1CH	UART スクラッチ・パッド・レジスタ 1	SCR1	R/W	-	-	-		0000 0000H
0F01 4A80H	UART ステータス・レジスタ 1	USR1	R	-	-	-		0000 0000H
0F01 4B00H	UART DMA 転送要求制御レジスタ 1	FDR1	R/W	-	-	-		0000 0000H

表 3-17 汎用周辺機能制御レジスタ (9/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16		
0F01 4C00H	UART 受信バッファ・レジスタ 2	RBR2	R	-	-	-		0000 0000H
	UART 送信ホールディング・レジスタ 2	THR2	W	-	-	-		0000 0000H
	UART デバイザ・ラッチ下位レジスタ 2	DLL2	R/W	-	-	-		0000 0000H
0F01 4C04H	UART デバイザ・ラッチ上位レジスタ 2	DLH2	R/W	-	-	-		0000 0000H
	UART 割り込み許可レジスタ 2	IER2	R/W	-				0000 0000H
0F01 4C08H	UART 割り込み識別レジスタ 2	IIR2	R	-	-	-		0000 0001H
	UART FIFO 制御レジスタ 2	FCR2	W	-	-	-		0000 0000H
0F01 4C0CH	UART ライン制御レジスタ 2	LCR2	R/W	-	-	-		0000 0000H
0F01 4C10H	UART モデム制御レジスタ 2	MCR2	R/W	-	-	-		0000 0000H
0F01 4C14H	UART ライン・ステータス・レジスタ 2	LSR2	R	-	-	-		0000 0060H
0F01 4C18H	UART モデム・ステータス・レジスタ 2	MSR2	R	-	-	-		0000 0000H
0F01 4C1CH	UART スクラッチ・パッド・レジスタ 2	SCR2	R/W	-	-	-		0000 0000H
0F01 4C7CH	UART ステータス・レジスタ 2	USR2	R	-	-	-		0000 0000H
0F01 4D00H	UART DMA 転送要求制御レジスタ 2	FDR2	R/W	-	-	-		0000 0000H
0F01 4E00H	UART 受信バッファ・レジスタ 3	RBR3	R	-	-	-		0000 0000H
	UART 送信ホールディング・レジスタ 3	THR3	W	-	-	-		0000 0000H
	UART デバイザ・ラッチ下位レジスタ 3	DLL3	R/W	-	-	-		0000 0000H
0F01 4E04H	UART デバイザ・ラッチ上位レジスタ 3	DLH3	R/W	-	-	-		0000 0000H
	UART 割り込み許可レジスタ 3	IER3	R/W	-				0000 0000H
0F01 4E08H	UART 割り込み識別レジスタ 3	IIR3	R	-	-	-		0000 0001H
	UART FIFO 制御レジスタ 3	FCR3	W	-	-	-		0000 0000H
0F01 4E0CH	UART ライン制御レジスタ 3	LCR3	R/W	-	-	-		0000 0000H
0F01 4E10H	UART モデム制御レジスタ 3	MCR3	R/W	-	-	-		0000 0000H
0F01 4E14H	UART ライン・ステータス・レジスタ 3	LSR3	R	-	-	-		0000 0060H
0F01 4E18H	UART モデム・ステータス・レジスタ 3	MSR3	R	-	-	-		0000 0000H
0F01 4E1CH	UART スクラッチ・パッド・レジスタ 3	SCR3	R/W	-	-	-		0000 0000H
0F01 4E80H	UART ステータス・レジスタ 3	USR3	R	-	-	-		0000 0000H
0F01 4F00H	UART DMA 転送要求制御レジスタ 3	FDR3	R/W	-	-	-		0000 0000H

表 3-17 汎用周辺機能制御レジスタ (10/10)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0002H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W	-		-	-	67H
0F1C 0007H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	-	1AH
0F1C 0102H	A/D コンバータ・モード・レジスタ 0	ADM0	R/W			-	-	00H
0F1C 0107H	A/D コンバータ・モード・レジスタ 1	ADM1	R/W			-	-	00H
0F1C 010AH	A/D コンバータ・モード・レジスタ 2	ADM2	R/W			-	-	00H
0F1C 0140H	A/D 変換結果レジスタ 0	ADCR0	R	-	-		-	不定
0F1C 0147H	A/D 変換結果レジスタ 0H	ADCR0H	R	-		-	-	不定
0F1C 0148H	A/D 変換結果レジスタ 1	ADCR1	R	-	-		-	不定
0F1C 014FH	A/D 変換結果レジスタ 1H	ADCR1H	R	-		-	-	不定
0F1C 0150H	A/D 変換結果レジスタ 2	ADCR2	R	-	-		-	不定
0F1C 0157H	A/D 変換結果レジスタ 2H	ADCR2H	R	-		-	-	不定
0F1C 0158H	A/D 変換結果レジスタ 3	ADCR3	R	-	-		-	不定
0F1C 015FH	A/D 変換結果レジスタ 3H	ADCR3H	R	-		-	-	不定
0F1C 0160H	A/D 変換結果レジスタ 4	ADCR4	R	-	-		-	不定
0F1C 0167H	A/D 変換結果レジスタ 4H	ADCR4H	R	-		-	-	不定
0F1C 0168H	A/D 変換結果レジスタ 5	ADCR5	R	-	-		-	不定
0F1C 016FH	A/D 変換結果レジスタ 5H	ADCR5H	R	-		-	-	不定
0F1C 0170H	A/D 変換結果レジスタ 6	ADCR6	R	-	-		-	不定
0F1C 0177H	A/D 変換結果レジスタ 6H	ADCR6H	R	-		-	-	不定
0F1C 0178H	A/D 変換結果レジスタ 7	ADCR7	R	-	-		-	不定
0F1C 017FH	A/D 変換結果レジスタ 7H	ADCR7H	R	-		-	-	不定
0F1C 0182H	ADC トリガ・レジスタ	ADTS	R/W	-		-	-	00H
0F1C 0FEAH	タイマ・クロック選択レジスタ	TCKSEL	R/W	-		-	-	00H
0F1C 0FF2H	セクタ動作制御レジスタ	SELCNT0	R/W			-	-	00H
0F01 9000H	D/A コンバータ・モード・レジスタ 0 <sup>※</sup>	DAM0	R/W	-	-	-		0000 0000H
0F01 9004H	D/A コンバータ・モード・レジスタ 1 <sup>※</sup>	DAM1	R/W	-	-	-		0000 0000H
0F01 9008H	D/A コンバータ・データ・レジスタ 0 <sup>※</sup>	DACD0	R/W	-	-	-		0000 0000H
0F01 900CH	D/A コンバータ・データ・レジスタ 1 <sup>※</sup>	DACD1	R/W	-	-	-		0000 0000H

注 PFESiP/V850EP3 の D/A コンバータはオプション機能となります。

通常の製品では、これらのレジスタは利用できません。

表 3-18 ポート制御レジスタ (1/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8000H	ポート・レジスタ 0	P0	R/W			-	-	00H
0F01 8004H	ポート・レジスタ 1	P1	R/W			-	-	00H
0F01 8008H	ポート・レジスタ 2	P2	R/W			-	-	00H
0F01 800CH	ポート・レジスタ 3	P3	R/W			-	-	00H
0F01 8010H	ポート・レジスタ 4	P4	R/W			-	-	00H
0F01 8014H	ポート・レジスタ 5	P5	R/W			-	-	00H
0F01 8018H	ポート・レジスタ 6	P6	R/W			-	-	00H
0F01 801CH	ポート・レジスタ 7	P7	R/W			-	-	00H
0F01 8020H	ポート・レジスタ 8	P8	R/W			-	-	00H
0F01 8024H	ポート・レジスタ 9	P9	R/W			-	-	00H
0F01 8028H	ポート・レジスタ A	PA	R/W			-	-	00H
0F01 802CH	ポート・レジスタ B	PB	R/W			-	-	00H
0F01 8030H	ポート・レジスタ C	PC	R/W			-	-	00H
0F01 8034H	ポート・レジスタ D	PD	R/W			-	-	00H
0F01 8038H	ポート・レジスタ E	PE	R/W			-	-	00H
0F01 803CH	ポート・レジスタ L	PL	R/W	-	-	-	-	0000 0000H
0F01 8100H	ポート 0 モード・レジスタ	PM0	R/W			-	-	FFH
0F01 8104H	ポート 1 モード・レジスタ	PM1	R/W			-	-	FFH
0F01 8108H	ポート 2 モード・レジスタ	PM2	R/W			-	-	FFH
0F01 810CH	ポート 3 モード・レジスタ	PM3	R/W			-	-	FFH
0F01 8110H	ポート 4 モード・レジスタ	PM4	R/W			-	-	FFH
0F01 8114H	ポート 5 モード・レジスタ	PM5	R/W			-	-	FFH
0F01 8118H	ポート 6 モード・レジスタ	PM6	R/W			-	-	FFH
0F01 811CH	ポート 7 モード・レジスタ	PM7	R/W			-	-	FFH
0F01 8120H	ポート 8 モード・レジスタ	PM8	R/W			-	-	FFH
0F01 8124H	ポート 9 モード・レジスタ	PM9	R/W			-	-	FFH
0F01 8128H	ポート A モード・レジスタ	PMA	R/W			-	-	FFH
0F01 812CH	ポート B モード・レジスタ	PMB	R/W			-	-	FFH
0F01 8130H	ポート C モード・レジスタ	PMC	R/W			-	-	FFH
0F01 8134H	ポート D モード・レジスタ	PMD	R/W			-	-	FFH
0F01 8138H	ポート E モード・レジスタ	PME	R/W			-	-	FFH
0F01 813CH	ポート L モード・レジスタ	PML	R/W	-	-	-	-	FFFF FFFFH

表 3-18 ポート制御レジスタ (2/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8200H	ポート0モード・コントロール・レジスタ	PMCT0	R/W			-	-	00H
0F01 8204H	ポート1モード・コントロール・レジスタ	PMCT1	R/W			-	-	00H
0F01 8208H	ポート2モード・コントロール・レジスタ	PMCT2	R/W			-	-	00H
0F01 820CH	ポート3モード・コントロール・レジスタ	PMCT3	R/W			-	-	00H
0F01 8210H	ポート4モード・コントロール・レジスタ	PMCT4	R/W			-	-	00H
0F01 8214H	ポート5モード・コントロール・レジスタ	PMCT5	R/W			-	-	00H
0F01 8218H	ポート6モード・コントロール・レジスタ	PMCT6	R/W			-	-	注1
0F01 821CH	ポート7モード・コントロール・レジスタ	PMCT7	R/W			-	-	注1
0F01 8220H	ポート8モード・コントロール・レジスタ	PMCT8	R/W			-	-	注2
0F01 8224H	ポート9モード・コントロール・レジスタ	PMCT9	R/W			-	-	注1
0F01 8228H	ポートAモード・コントロール・レジスタ	PMCTA	R/W			-	-	注1
0F01 822CH	ポートBモード・コントロール・レジスタ	PMCTB	R/W			-	-	00H
0F01 8230H	ポートCモード・コントロール・レジスタ	PMCTC	R/W			-	-	00H
0F01 8234H	ポートDモード・コントロール・レジスタ	PMCTD	R/W			-	-	00H
0F01 8238H	ポートEモード・コントロール・レジスタ	PMCTE	R/W			-	-	00H

注1. BUS32EN0 端子による外部バス・サイズの設定により初期値が決定されます。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

2. BOOTSEL0, BOOTSEL1 端子により初期値が決定されます。

BOOTSEL1	BOOTSEL0	PMCT8 レジスタ	P84-P87 端子の動作
0	0	00H	入力ポート
0	1	00H	入力ポート
1	0	F0H	SMSCK, SMSO, SMSI, SMCSZ
1	1	設定禁止	



表 3-18 ポート制御レジスタ (3/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8308H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W			-	-	00H
0F01 830CH	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W			-	-	00H
0F01 8310H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W			-	-	00H
0F01 8314H	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W			-	-	00H
0F01 8324H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W			-	-	00H
0F01 8328H	ポートAファンクション・コントロール・レジスタ	PFCA	R/W			-	-	00H
0F01 832CH	ポートBファンクション・コントロール・レジスタ	PFCB	R/W			-	-	00H
0F01 8334H	ポートDファンクション・コントロール・レジスタ	PFCD	R/W			-	-	00H
0F01 8338H	ポートEファンクション・コントロール・レジスタ	PFCE	R/W			-	-	00H
0F01 8424H	ポート9ファンクション・コントロール拡張レジスタ	PFCEX9	R/W			-	-	00H
0F01 8428H	ポートAファンクション・コントロール拡張レジスタ	PFCEXA	R/W			-	-	00H
0F01 8500H	ポート0端子入力レジスタ	PIN0	R			-	-	端子レベル による
0F01 8504H	ポート1端子入力レジスタ	PIN1	R			-	-	
0F01 8508H	ポート2端子入力レジスタ	PIN2	R			-	-	
0F01 850CH	ポート3端子入力レジスタ	PIN3	R			-	-	
0F01 8510H	ポート4端子入力レジスタ	PIN4	R			-	-	
0F01 8514H	ポート5端子入力レジスタ	PIN5	R			-	-	
0F01 8518H	ポート6端子入力レジスタ	PIN6	R			-	-	
0F01 851CH	ポート7端子入力レジスタ	PIN7	R			-	-	
0F01 8520H	ポート8端子入力レジスタ	PIN8	R			-	-	
0F01 8524H	ポート9端子入力レジスタ	PIN9	R			-	-	
0F01 8528H	ポートA端子入力レジスタ	PINA	R			-	-	
0F01 852CH	ポートB端子入力レジスタ	PINB	R			-	-	
0F01 8530H	ポートC端子入力レジスタ	PINC	R			-	-	
0F01 8534H	ポートD端子入力レジスタ	PIND	R			-	-	
0F01 8538H	ポートE端子入力レジスタ	PINE	R			-	-	
0F01 853CH	ポートL端子入力レジスタ	PINL	R	-	-	-	-	

表 3-19 その他の周辺 I/O レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 9100H	動作モード・モニタ・レジスタ	MDMNT	R	-	-	-	-	注 1
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	-	-	-	-	0000 0000H
0F01 910CH	バッファ能力切り替えレジスタ	DRCTRL	R/W	-	-	-	-	注 2
0F01 9110H	ノイズ・フィルタ設定レジスタ 0 (NMI)	NFC0	R/W	-	-	-	-	0000 0000H
0F01 9114H	ノイズ・フィルタ設定レジスタ 1 (INTPZ0-INTPZ15)	NFC1	R/W	-	-	-	-	0000 0000H
0F01 9118H	ノイズ・フィルタ設定レジスタ 2 (INTPZ16-INTPZ31)	NFC2	R/W	-	-	-	-	0000 0000H
0F01 911CH	ノイズ・フィルタ設定レジスタ 3 (INTPZ32-INTPZ47)	NFC3	R/W	-	-	-	-	0000 0000H
0F01 9120H	ノイズ・フィルタ設定レジスタ 4 (INTPZ48-INTPZ49)	NFC4	R/W	-	-	-	-	0000 0000H
0F01 9124H	ノイズ・フィルタ設定レジスタ 5 (TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51)	NFC5	R/W	-	-	-	-	0000 0000H
0F01 9128H	ノイズ・フィルタ設定レジスタ 6 (TENC00, TENC01, TECR0, TECR1, TRGT0, TRGT1, EVTT0, EVTT1, TIT00, TIT01, TIT10, TIT11)	NFC6	R/W	-	-	-	-	0000 0000H
0F01 912CH	ノイズ・フィルタ設定レジスタ 7 (ADTRG, RXD0-RXD3)	NFC7	R/W	-	-	-	-	0000 0000H
0F01 9130H	外部割り込みモード・レジスタ 0 (NMI)	INTM0	R/W	-	-	-	-	0000 0000H
0F01 9134H	外部割り込みモード・レジスタ 1 (INTPZ0-INTPZ15)	INTM1	R/W	-	-	-	-	0000 0000H
0F01 9138H	外部割り込みモード・レジスタ 2 (INTPZ16-INTPZ31)	INTM2	R/W	-	-	-	-	0000 0000H
0F01 913CH	外部割り込みモード・レジスタ 3 (INTPZ32-INTPZ47)	INTM3	R/W	-	-	-	-	0000 0000H
0F01 9140H	外部割り込みモード・レジスタ 4 (INTPZ48-INTPZ49)	INTM4	R/W	-	-	-	-	0000 0000H

注 1. 動作モード設定端子は、製品ごとの仕様によって異なります。このため MDMNT の初期値は製品ごとに異なります。

2. ETHEN 端子により初期値が決定されます。

ETHEN	DRCTRL レジスタ	ポート L の動作	
0	608A 8495H	ポート	プルアップ抵抗
1	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

表 3-20 特定レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 A014H	PLL ステータス・レジスタ	PLLS	R/W	-	-	-		0000 0025H
0F01 A080H	パワー・セーブ・コントロール・レジスタ	PSC	R/W	-	-	-		0000 0000H
0F01 A084H	スタンバイ解除要因マスク設定レジスタ	SRFMK	R/W	-	-	-		0000 0000H
0F01 A088H	STBC プロテクト・コマンド・レジスタ	STBPCMD	W	-	-	-		不定
0F01 A100H	PLL 動作モード設定レジスタ	EP3PLLCFG	R/W	-	-	-		0000 0000H
0F01 A104H	システム・クロック選択レジスタ	SYSCCLKSEL	R/W	-	-	-		0000 0000H
0F01 A114H	PLL プロテクト・コマンド・レジスタ	PLLPCMD	W	-	-	-		不定
FFFF 8000H	命令 RAM モード・レジスタ	IRAMM	R/W	-	-	-		0000 0000H

## 3.5 起動手順

PFESiP/V850EP3 は、外部端子 (BOOTSEL0, BOOTSEL1) でブートするターゲットを、SiP 内部 / 外部メモリ / シリアル・フラッシュ ROM の 3 種類から選択できます。また、レジスタ設定により、リセットおよび割り込みベクタを切り替えることも可能です。本章では、外部メモリ・ブートから、命令 RAM へのプログラム・コピー、そして命令 RAM への例外ベクタ配置までの一連の動作を説明します。

### 3.5.1 ブート選択

ブート領域を SiP 内部 / 外部メモリ / シリアル Flash ROM から選択します。

表 3-21 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート・モード	ブート領域の選択	ブート・アドレス
0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H
0	1	SiP 内部ブート	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	設定禁止	-

### 3.5.2 命令 RAM キャッシュの初期化

PFESiP/V850EP3 は、大容量の命令 RAM を内蔵しています。主要なプログラムを命令 RAM で実行することで、PFESiP/V850EP3 の性能を最大限に発揮することができます。一方で、一般的に大容量の RAM はアクセス・タイムが低下する傾向にあります。このため、命令 RAM は 128 ビットのバス幅接続として、一度のフェッチで 4 ワードの命令を読み出すとともに、命令 RAM 専用のキャッシュ経路で接続されています。

PFESiP/V850EP3 の推奨利用方法では、外部 ROM や外部シリアル・フラッシュ ROM から起動し、それらに格納されているプログラムを命令 RAM にダウンロードし、プログラムの実行を命令 RAM に移すこととなります。起動時は命令 RAM キャッシュ機能はオフの状態です。命令 RAM へのダウンロードが完了し、命令 RAM にジャンプする前に、命令 RAM キャッシュの許可と命令 RAM キャッシュのクリア操作が必要です。

### 3.5.3 初期化シーケンス

命令 RAM に例外ベクタを変更するまでの手順を以下に示します。

(1) 外部メモリからブートする場合

(a) リセット解除後，BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

外部メモリの場合，0800 0000H に分岐します。0800 0000H に配置されたプログラムにより，最初に PLL 動作モード，外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお，パワーオン状態でのリセット入力も，0800 0000H に分岐します。

(i) PLL 動作モードの設定

PLL 動作を行う場合は，11.6 PLL 動作への移行方法に従って，PLL 動作モードに設定してください。

(ii) スタティック・メモリ制御レジスタ (SMC0-SMC3)

STCSZ0-STCSZ3 領域 (外部 SRAM 領域 0 外部 SRAM 領域 3) のウエイト設定

(iii) ページ ROM 制御レジスタ (PRC)

STCSZ0 領域 (外部のメモリ・タイプ設定，ページ・サイズ設定)

SDRAM を搭載している場合，必要に応じてダイナミック・メモリ制御レジスタ (DMC)，ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

(iv) SiP 内部接続用スタティック・メモリ制御レジスタ (SPSMC0-SPSMC3)

SCSZ0-SCSZ3 領域 (SiP 内部 SRAM 領域 0 SiP 内部 SRAM 領域 3) のウエイト設定

(b) 内蔵周辺機能アクセスのウエイト設定

周辺機能にアクセスする前に，周辺マクロ・クロック (PCLK) 周波数に応じて，周辺バス・ウエイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

(c) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し，IRAMM レジスタを読み出し，ライト・モードに切り替わったことを確認してください。

(d) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理，または DMA 機能により，内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは，専用書き込み領域 (0F10 0000H-0F17 FFFFH) から行ってください。

(e) 割り込みマスク設定

ベクタ・アドレスを切り替えるため，割り込み動作をすべてマスクします。また，ソフトウェア例外，例外トラップも実行しないでください。

## (f) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。  
ベクタ・アドレスの変更は、以下の手順で行います。

## (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW\_BASE) の設定

## (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW\_CTL) の設定

## (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH\_BASE) の確認

## (g) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域( 0F10 0000H-0F17 FFFFH )の任意のアドレスを 32 ビット単位でダミー・リードしてください。

**注意** IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

## (h) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

## (i) メイン・ルーチンへの分岐 (通常動作)

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。

## (2) SiP 内部メモリからブートする場合

SiP 内部のマスク ROM, SiP 内部の ASIC を経由した外部メモリからブートする場合に利用します。

## (a) リセット解除後, BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

SiP 内部メモリの場合, 0B00 0000H に分岐します。0B00 0000H に配置されたプログラムにより, 最初に PLL 動作モード, 外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお, パワーオン状態でのリセット入力も, 0B00 0000H に分岐します。

## (i) PLL 動作モードの設定

PLL 動作を行う場合は, **11.6 PLL 動作への移行方法**に従って, PLL 動作モードに設定してください。

## (ii) SiP 内部接続メモリのレジスタ設定

必要に応じて, スタティック・メモリ制御レジスタ (SPSMC0-SPSMC3), ページ ROM 制御レジスタ (SPPRC) を設定してください。

## (b) 外部メモリのレジスタ設定

必要に応じて, スタティック・メモリ制御レジスタ (SMC0-SMC3), ページ ROM 制御レジスタ (PRC) を設定してください。SDRAM を搭載している場合, 必要に応じてダイナミック・メモリ制御レジスタ (DMC), ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

## (c) 内蔵周辺機能アクセスのウェイト設定

周辺機能にアクセスする前に, 周辺マクロ・クロック (PCLK) 周波数に応じて, 周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

## (d) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し, IRAMM レジスタを読み出し, ライト・モードに切り替わったことを確認してください。

## (e) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理, または DMA 機能により, 内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは, 専用書き込み領域( 0F10 0000H-0F17 FFFFH )から行ってください。

## (f) 割り込みマスク設定

ベクタ・アドレスを切り替えるため, 割り込み動作をすべてマスクします。また, ソフトウェア例外, 例外トラップも実行しないでください。

## (g) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。  
ベクタ・アドレスの変更は、以下の手順で行います。

- (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW\_BASE) の設定
- (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW\_CTL) の設定
- (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH\_BASE) の確認

## (h) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域( 0F10 0000H-0F17 FFFFH )の任意のアドレスを 32 ビット単位でダミー・リードしてください。

**注意** IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

## (i) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

## (j) メイン・ルーチンへの分岐 (通常動作)

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。



## (3) 外部シリアル・フラッシュ ROM からブートする場合

シリアル・フラッシュ ROM からのリード時は、CPU や内部のバス・マスタからは、メモリ・マップト・メモリとして見えます。

ライトに関しては、各シリアル・フラッシュ ROM のコマンド・シーケンスに従った操作が必要です。

## (a) リセット解除後、BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

シリアル・フラッシュ ROM ブートの場合、0E00 0000H に分岐します。0E00 0000H に配置されたプログラムにより、最初に PLL 動作モード、外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお、パワーオン状態でのリセット入力も、0E00 0000H に分岐します。

## (i) PLL 動作モードの設定

PLL 動作を行う場合は、11.6 PLL 動作への移行方法に従って、PLL 動作モードに設定してください。

## (b) 外部メモリのレジスタ設定

必要に応じて、スタティック・メモリ制御レジスタ (SMC0-SMC3, SPSMC0-SPSMC3)、ページ ROM 制御レジスタ (PRC, SPPRC) を設定してください。SDRAM を搭載している場合、必要に応じてダイナミック・メモリ制御レジスタ (DMC)、ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

## (c) 内蔵周辺機能アクセスのウェイト設定

周辺機能にアクセスする前に、周辺マクロ・クロック (PCLK) 周波数に応じて、周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

## (d) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し、IRAMM レジスタを読み出し、ライト・モードに切り替わったことを確認してください。

## (e) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理、または DMA 機能により、内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは、専用書き込み領域 (0F10 0000H-0F17 FFFFH) から行ってください。

## (f) 割り込みマスク設定

ベクタ・アドレスを切り替えるため、割り込み動作をすべてマスクします。また、ソフトウェア例外、例外トラップも実行しないでください。

## (g) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。  
ベクタ・アドレスの変更は、以下の手順で行います。

- (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW\_BASE) の設定
- (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW\_CTL) の設定
- (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH\_BASE) の確認

## (h) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域( 0F10 0000H-0F17 FFFFH )の任意のアドレスを 32 ビット単位でダミー・リードしてください。

**注意** IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

## (i) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

## (j) メイン・ルーチンへの分岐 (通常動作)

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。

### 3.5.4 A20-A26 の設定

外部バス・インタフェースの A20-A26 は ,ポート P60-P66 と兼用しており ,リセット解除直後は入力ポートとして動作します。

A20-A26 を使用するシステムの場合には ,必要に応じてポート 6 モード・コントロール・レジスタ( PMCT6 ) を設定してください。

### 3.5.5 周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT)

内蔵周辺機能へのアクセスを行う場合 ,内部システム・バス動作周波数に応じて ,内部周辺バスのウェイト数を設定する必要があります。

タイマ機能 ( TMM, TAA, TMT, WDT ) , クロック同期式シリアル・インタフェース , A/D コンバータ , CAN コントローラが対象となります。使用する周辺マクロ・クロック ( PCLK ) に応じて , NPBWAIT レジスタには次に示す値を設定してください。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NPBWAIT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F1C FFF0H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	HD WL1	HD WL0	0	0	VS WL1	VS WL0	0	0	SU WL1	SU WL0	0000 0000H
R/W	0	0	0	0	0	0	R/W	R/W	0	0	R/W	R/W	0	0	R/W	R/W	

ビット位置	ビット名	意 味
9, 8	HDWL1 , HDWL0	周辺マクロ・クロック ( PCLK ) に応じて , 下記の値を NPBWAIT レジスタに設定してください。
5, 4	VSWL1 , VSWL0	
1, 0	SUWL1 , SUWL0	

周辺マクロ・クロック ( PCLK )		NPBWAIT の設定値
PCLK	33.00MHz	0000 0000H
33.00MHz < PCLK	50.00MHz	0000 0010H

**備考** タイマのカウント値を示すレジスタへのアクセスにおいて , フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合 , レジスタ・アクセスへのリトライ動作が発生します。このため , 通常より内蔵周辺 I/O レジスタへのアクセスに時間がかかる場合があります。



(3) 例外ハンドラ・ベース・アドレス設定レジスタ (EH\_BASE) の確認

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。このレジスタが、0000 0000H になっていることを確認します。

このレジスタは、確認用レジスタのため、必ずリードする必要はありません。

EH_BASE	31	29	28	EH_BASE28-EH_BASE13	13	12	0	初期値
	0	0	0		0	0	0	注

ビット位置	ビット名	意味
28-13	EH_BASE28- EH_BASE13	例外ハンドラ・ルーチンのアドレスは、このレジスタで指定されたベース・アドレスに各例外のオフセット・アドレスを加えたアドレスに変更されます。  EH_BASE レジスタは、端子機能によってリセット時に初期値が設定されます。また LDSR 命令による直接書き換えは行えません。SW_CTL.SET ビットをセット (1) することによって、SW_BASE の内容が転送されます。

**注** BOOTSEL0, BOOTSEL1 端子の設定により初期値は異なります。

- 00 : 0800 0000H (外部メモリの STCSZ0 からブート)
- 01 : 0B00 0000H (SiP 内部の SCSZ0 からブート)
- 10 : 0E00 0000H (シリアル・フラッシュ ROM からブート)
- 11 : 設定禁止

### 3.5.7 命令 RAM モード・レジスタ (IRAMM)

命令 RAM に対するアクセス・モードを指定します。

32 ビット単位でリード/ライト可能です。

- 注意 1.** 内部バスの各種レーテンシや CPU のパイプライン動作により、IRAMM レジスタによる命令 RAM のリード・モード/ライト・モードの切り替えが、命令 RAM へのアクセス最中に行われた場合、不正な動作となります。これを防ぐために、切り替えは、命令 RAM 以外で実行するプログラムで行い、切り替える前に、命令 RAM 書き込み領域の任意のアドレスにダミー・リードを行ってください。
- 2.** IRAMM レジスタで、命令 RAM のリード・モード/ライト・モードを切り替えた場合は、IRAMM レジスタを読み出し、設定したモードに切り替わったことを確認してから、命令 RAM へのアクセスを行ってください。
- 3.** IRAMM レジスタは、命令 RAM でプログラムを実行している場合は、操作禁止です。
- 4.** 命令 RAM は、0000 0000H から配置されていますが、書き込みは 0F10 0000H 以降に行ってください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IRAMM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFF_8000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	IRAM MWR
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0000 0000H
	ビット位置	ビット名	意味														
	0	IRAMMWR	命令 RAM の動作モード 0: リード・モード 1: ライト・モード														

### 3.5.8 命令 RAM キャッシュ関連レジスタ

#### (1) 命令 RAM キャッシュ動作設定レジスタ (FCCTL0)

命令 RAM キャッシュの動作を許可するレジスタです。リセット後はキャッシュは許可されていません。

ビット0のICHENをセット(1)することで、キャッシュを許可してください。ビット0以外は、初期値の40B4Hから変更しないでください。

16ビット単位でリード/ライト可能です。

**注意 FCCTL0 レジスタは、ビット0のICHEN以外は変更しないでください。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FCCTL0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	ICHEN	FFFF 6480H	40B4H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W		

ビット位置	ビット名	意味
15-1	-	0100 0000 1011 010b から変更しないでください。
0	ICHEN	命令 RAM キャッシュの動作許可を行います。 0: 命令 RAM キャッシュの動作禁止 (初期値) 1: 命令 RAM キャッシュの動作許可

#### (2) 命令 RAM キャッシュ・トリガ機能レジスタ (FCCTL1)

命令 RAM キャッシュをクリアするレジスタです。FCCTL0 レジスタで、命令 RAM キャッシュを許可したあと、ビット0のCHCLRビットをセット(1)して、命令 RAM キャッシュをクリアしてください。

16ビット単位でリード/ライト可能です。

**注意 FCCTL1 レジスタは、ビット0のCHCLR以外は変更しないでください。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FCCTL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CHCLR	FFFF 6482H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W		

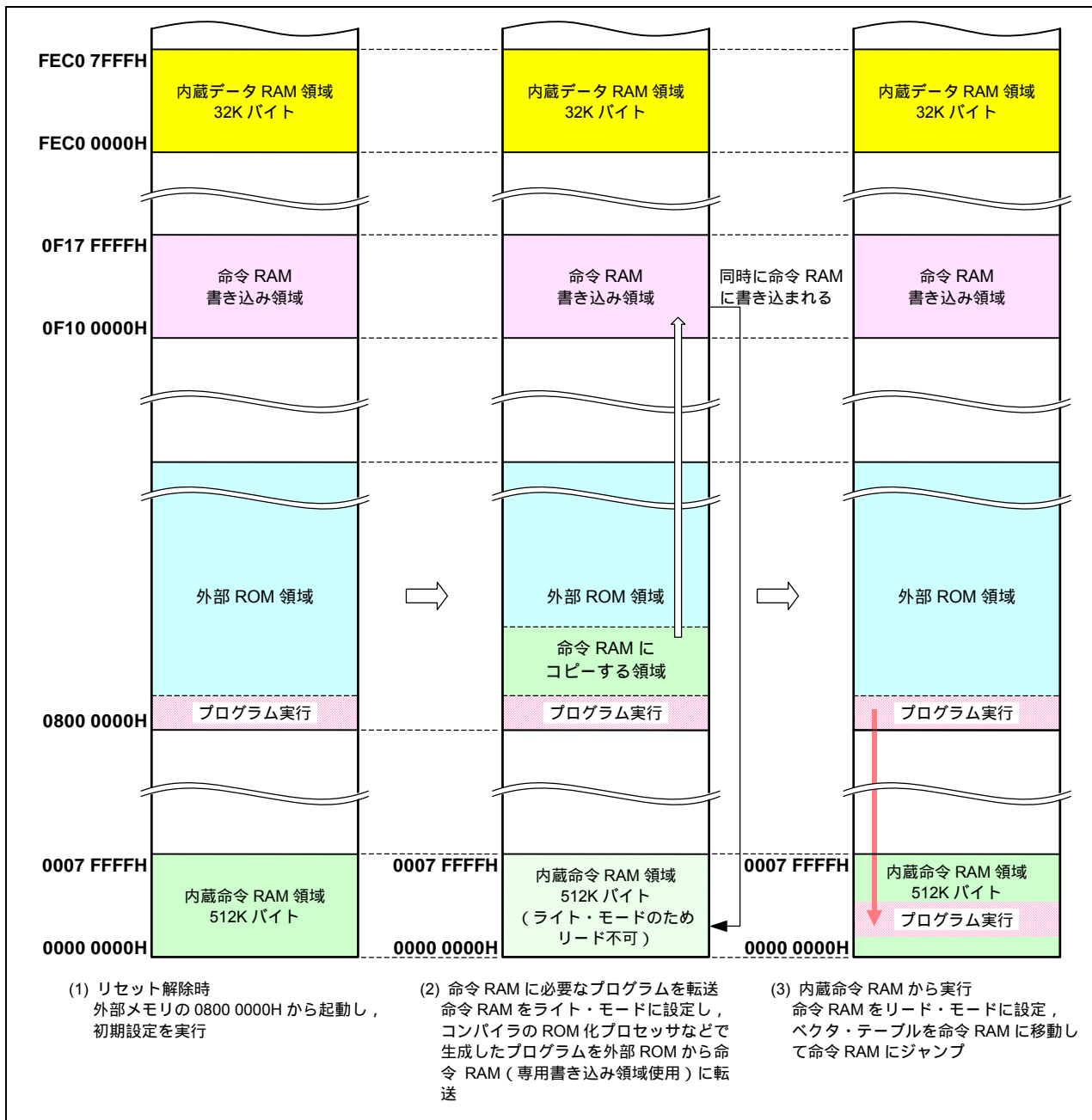
ビット位置	ビット名	意味
0	CHCLR	命令 RAM キャッシュをクリアします。リード値は常に0です。 0: 何もしません。 1: 命令 RAM キャッシュをクリアします。

### 3.5.9 外部メモリ・ブートの動作例

最も代表的な、外部メモリ・ブートの命令 RAM へのプログラム転送の動作例を以下に示します。

命令 RAM に転送するプログラムの生成には、コンパイラの ROM 化プロセッサ等を利用することを推奨します。詳しくはコンパイラのマニュアルを参照してください。

図 3-8 外部 ROM から命令 RAM への転送



**注意** 命令RAMのリード・モード/ライト・モードの切り替えは、3.5.7 命令RAMモード・レジスタ(IRAMM)の注意事項を守ってください。

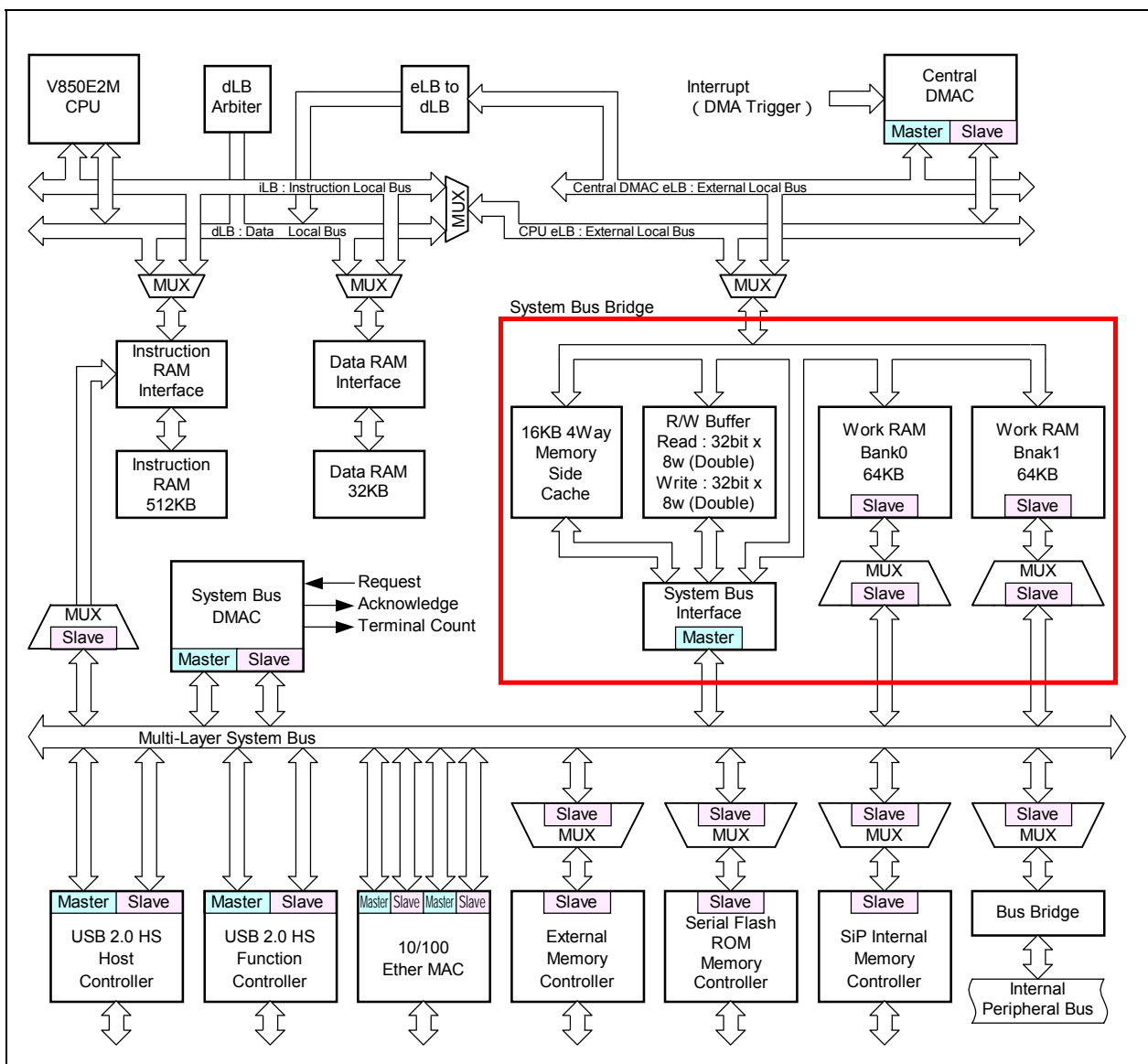


## 第4章 システム・バス・ブリッジとキャッシュ機能

PFESiP/V850EP3 は、CPU 周辺に CPU 動作クロック (CPCLK) と同じクロックを利用する高速バス (iLB, dLB, eLB) と、内蔵周辺機能や、メモリ・コントローラを接続するシステム・バスの 2 つのバス・システムを採用しています。システム・バスは CPCLK を分周した HCLK で動作します。

CPU 周辺の高速バスは eLB というバスに変換され、システム・バス・ブリッジを介してシステム・バスと接続されています。CPU やセントラル DMAC から外部メモリや、内蔵周辺機能にアクセスする場合は、システム・バス・ブリッジを介してアクセスされます。このシステム・バス・ブリッジは通常のリード/ライトも可能ですが、スループット向上を図るために、バッファ機能、キャッシュ機能を利用できます。

図 4-1 内部バス構造とシステム・バス・ブリッジ



## 4.1 特 徴

CPU 動作クロック (CPCLK) と、システム・バス・クロック (HCLK) の分周比を端子設定可能

3 種類のアクセス機能

- ・ダイレクト・アクセス機能
- ・バッファ機能
- ・メモリ・サイド・キャッシュ機能

バッファ機能

★  
★

- ・リード・バッファ機能 : 8 ワード×2 本
- ・ライト・バッファ機能 : 8 ワード×2 本

キャッシュ機能

- ・16K バイト 4 ウエイ・セット・アソシアティブ・メモリ・サイド・キャッシュ
- ・擬似 LRU アルゴリズム (最も長くアクセスされなかったブロックが置き換え対象となります)
- ・シーケンシャル/クリティカル・ファースト・アクセス対応
- ・フラッシュ機能 (メモリ・サイド・キャッシュの内容をクリアします)

## 4.2 CPCLK と HCLK の分周比設定

CPU の動作クロック (CPCLK) に対する内部システム・バス・クロック (HCLK, PCLK) の分周比設定は、CLKDV2-CLKDV0 端子で設定します。動作中の変更はできません。また CLKDV0 ビットでは、周辺マクロ・クロック (PCLK) の分周比が設定されます。

なお、外部バス・インタフェースの BUSCLK, SiP 内部接続インタフェースの SBUSCLK は、HCLK と同一周波数に設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

**備考 1. CPCLK : CPU 動作クロック**

**2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。**

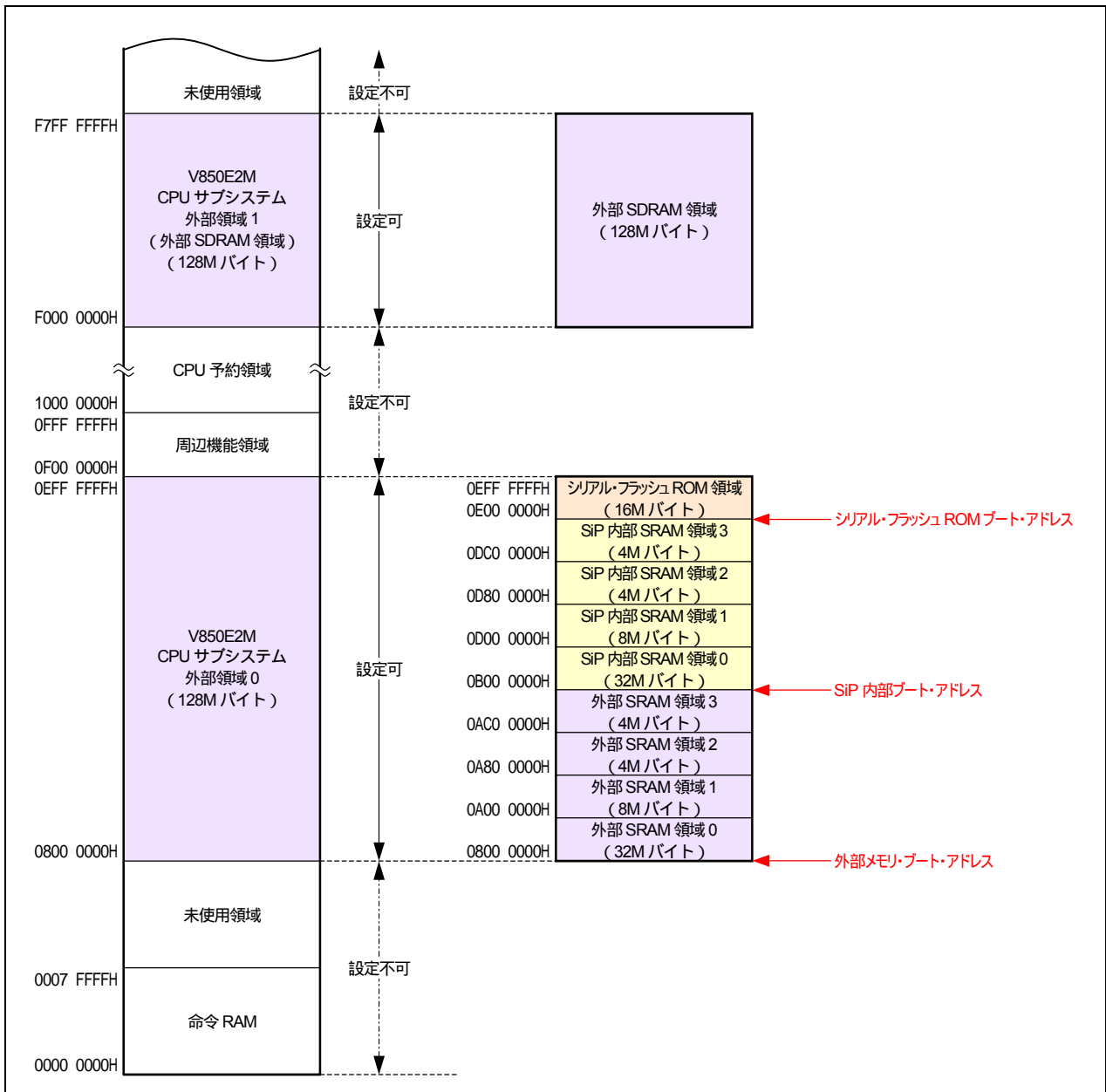
### 4.3 領域設定

#### 4.3.1 キャッシュ領域/バッファ領域を設定できる空間

システム・バス・ブリッジは、4セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード(ダイレクト・モード)でアクセスされます。

図 4-2 キャッシュ領域/バッファ領域を設定できる空間



### 4.3.2 キャッシュ領域/バッファ領域の設定レジスタ

キャッシュ動作/バッファ動作は、システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn) で設定します。領域は、システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn) で開始アドレスを、システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn) で空間サイズをバイト数で設定します。

表 4-1 領域設定レジスタ

機能	対応レジスタ
領域の動作モード設定	システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFG0-ETSRCFG3)
領域の開始アドレス	システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRS0-ETSRADRS3)
領域の空間サイズ	システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASK0-ETSRMASK3)

- 注意 1. ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード (ダイレクト・モード) でアクセスされます。
2. ETSRMASKn レジスタに設定する空間サイズは、バイト数 - 1000H です。
3. ワーク RAM は、キャッシュ動作やバッファ動作を設定しないでください。
4. 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH 以外の領域には、キャッシュ動作、バッファ動作を指定しないでください。

備考 n = 0-3

### 4.3.3 キャッシュ領域/バッファ領域設定の優先度

ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで設定した空間が重なった場合は、以下の優先度で、優先度の高い領域が設定有効となります。

表 4-2 キャッシュ領域/バッファ領域設定の優先度

優先度	領域
0 (高優先)	キャッシュ領域
1	バッファ領域
2 (低優先)	通常アクセス (ダイレクト・アクセス) 領域

### 4.3.4 アドレス・レジスタとマスク・レジスタの動作

アドレス・レジスタ (ETSRADRSn) には、キャッシュ領域、バッファ領域を設定する領域の先頭アドレスを設定します。

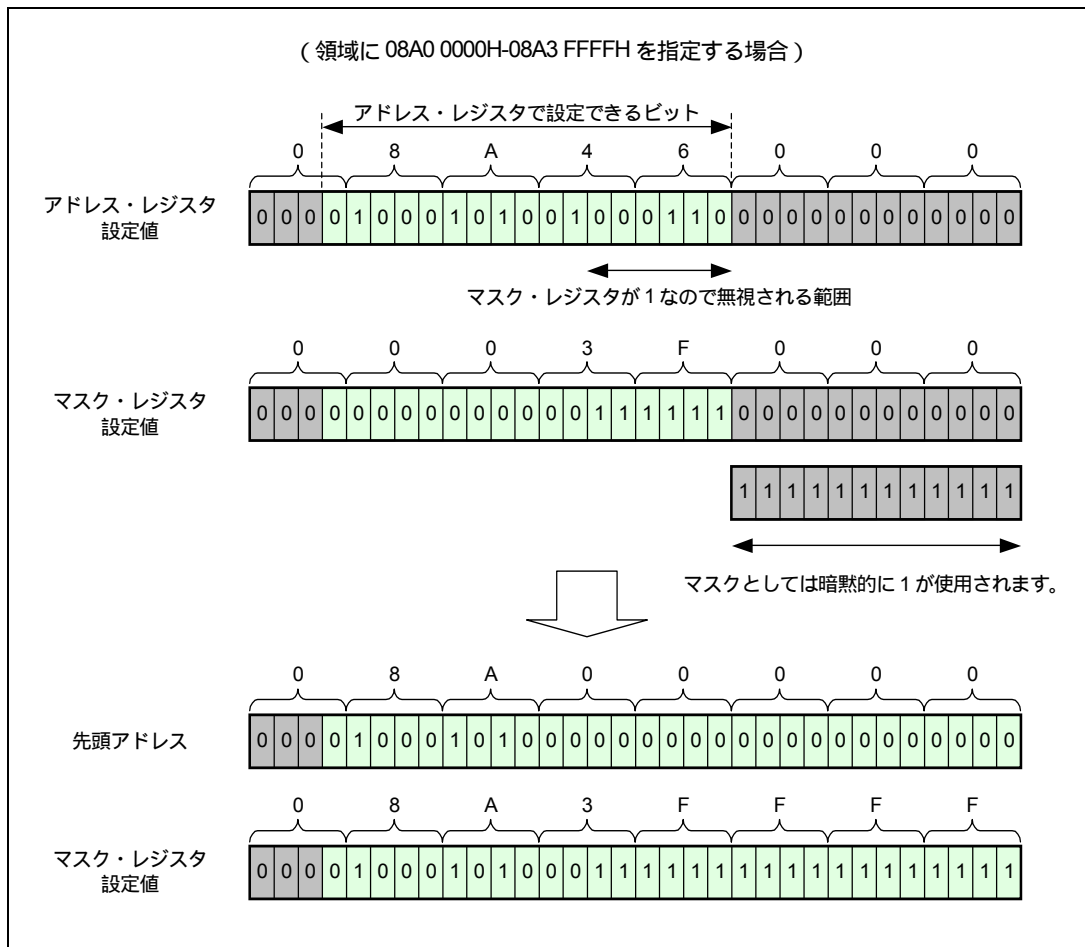
また、マスク・レジスタ (ETSRMASKn) には、その領域の空間サイズをバイト数 - 1000H で設定します。開始アドレス、空間サイズとも、設定単位は 4K バイトです。

アドレス・レジスタは、ベース・アドレスとして管理されています。これに対して、マスク・レジスタは、アドレスの変化を許容する範囲で管理しています。このとき、マスク・レジスタに設定可能な値は、下位から 1b が連続した値のみです (ビット 12 以上)。

これにより、領域の先頭アドレスは、アドレス・レジスタの設定値、終端アドレスは、アドレス・レジスタの設定値 + マスク・レジスタの設定値となります。

- 注意 1.** マスク・レジスタに 1b を設定している範囲に、アドレス・レジスタに 1b が設定されていても 0 として見なされます。
- 2.** マスク・レジスタに下位から 1b が連続していない値を設定した場合は、動作を保証しません。

図 4-3 アドレス・レジスタとマスク・レジスタの動作



## 4.4 制御レジスタ

### 4.4.1 システム・バス・ブリッジ設定レジスタ (ETSCFG)

システム・バス・ブリッジのキャッシュ機能，バッファ機能の動作モードを設定するレジスタです。  
16ビット単位でリード/ライト可能です。

**注意** ビット 11, 9, 8, 7 以外のビットには，必ず 0 を設定してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ETSCFG	0	0	0	0	BFM	0	BPM 1	BPM 0	CFM	0	0	0	0	0	0	FFFF 7100H	0980H
R/W	0	0	0	0	R/W	0	R/W	R/W	R/W	0	0	0	0	0	0		

ビット位置	ビット名	意味															
11	BFM	バッファ機能のフィル動作を設定します。 0：シーケンシャル 1：クリティカル・ワード・ファースト（初期値）															
9, 8	BPM1, BPM0	バッファ機能のプリフェッチ動作を設定します。 <table border="1"> <thead> <tr> <th>BPM1</th><th>BPM0</th><th>バッファ機能のプリフェッチ動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>プリフェッチなし</td></tr> <tr> <td>0</td><td>1</td><td>プリフェッチあり/アドレス・インクリメント（初期値）</td></tr> <tr> <td>1</td><td>0</td><td>プリフェッチあり/アドレス・デクリメント</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	BPM1	BPM0	バッファ機能のプリフェッチ動作	0	0	プリフェッチなし	0	1	プリフェッチあり/アドレス・インクリメント（初期値）	1	0	プリフェッチあり/アドレス・デクリメント	1	1	設定禁止
BPM1	BPM0	バッファ機能のプリフェッチ動作															
0	0	プリフェッチなし															
0	1	プリフェッチあり/アドレス・インクリメント（初期値）															
1	0	プリフェッチあり/アドレス・デクリメント															
1	1	設定禁止															
7	CFM	キャッシュ機能のフィル動作を設定します。 0：シーケンシャル 1：クリティカル・ワード・ファースト（初期値）															

#### 4.4.2 システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD)

システム・バス・ブリッジのキャッシュ機能，バッファ機能のフラッシュ動作モードを設定するレジスタです。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ETSCMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BFL	CFL	FFFF 7102H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1	BFL	バッファのフラッシュ動作を行うビットです。 セット(1)すると、バッファはフラッシュされます。フラッシュ動作完了後、このビットは自動的にクリア(0)されます。 0: バッファのフラッシュ機能非動作中(初期値) 1: バッファのフラッシュ機能動作中/バッファのフラッシュ動作開始
0	CFL	キャッシュのフラッシュ動作を行うビットです。 セット(1)すると、キャッシュはフラッシュされます。フラッシュ動作完了後、このビットは自動的にクリア(0)されます。 0: キャッシュのフラッシュ機能非動作中(初期値) 1: キャッシュのフラッシュ機能動作中/キャッシュのフラッシュ動作開始



### 4.4.3 システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn)

システム・バス・ブリッジは、4セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRCFGn は領域 n に対応しており、それぞれの領域の動作モードを設定するレジスタです。

16ビット単位でリード/ライト可能です。

**注意.** ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード (ダイレクト・モード) でアクセスされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ETSRCFGn	0	0	0	0	0	0	0	0	MODE <sub>n3</sub>	MODE <sub>n2</sub>	MODE <sub>n1</sub>	MODE <sub>n0</sub>	0	0	0	EN <sub>n</sub>	FFFF 7140H +02H × n	0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味										
7-4	MODE <sub>n3</sub> - MODE <sub>n0</sub>	領域 n の動作モードを選択します。  <table border="1"> <thead> <tr> <th>MODE<sub>n3</sub>-MODE<sub>n0</sub></th> <th>領域 n の動作モード</th> </tr> </thead> <tbody> <tr> <td>0000b</td> <td>通常アクセス (ダイレクト・アクセス)</td> </tr> <tr> <td>0001b</td> <td>バッファ使用</td> </tr> <tr> <td>0010b</td> <td>キャッシュ使用</td> </tr> <tr> <td>その他</td> <td>設定禁止</td> </tr> </tbody> </table>	MODE <sub>n3</sub> -MODE <sub>n0</sub>	領域 n の動作モード	0000b	通常アクセス (ダイレクト・アクセス)	0001b	バッファ使用	0010b	キャッシュ使用	その他	設定禁止
MODE <sub>n3</sub> -MODE <sub>n0</sub>	領域 n の動作モード											
0000b	通常アクセス (ダイレクト・アクセス)											
0001b	バッファ使用											
0010b	キャッシュ使用											
その他	設定禁止											
0	EN <sub>n</sub>	領域 n のバッファ機能 / キャッシュ機能の有効 / 無効を選択します。 0 : バッファ機能 / キャッシュ機能無効 1 : MODE <sub>n3</sub> -MODE <sub>n0</sub> で設定したモード設定が有効										

備考 n = 0-3

#### 4.4.4 システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn)

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRADRSn は領域 n に対応しており、キャッシュ動作 / バッファ動作を設定する領域の開始アドレスを設定するレジスタです。領域の空間サイズは、システム・バス・ブリッジ領域 n マスク・レジスタ(ETSRMASKn) で設定します。

設定単位は、4K バイト単位です。したがって、このレジスタに設定した下位 12 ビットは、すべて 0 と見なされます。16 ビット単位でリード / ライト可能です。

**注意 1.** ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード (ダイレクト・モード) でアクセスされます。

**2.** ETSRADRSn レジスタに設定できる最小単位は 4K バイトです。

ETSRADRSn	31	0	アドレス	初期値
	[ 32-bit field ]		FFFF 7150H +8H × n	不定
R/W	R/W			
ビット位置	ビット名	意味		
31-0	-	キャッシュ動作 / バッファ動作を設定する領域の開始アドレスを設定します。		

**備考 n = 0-3**

#### 4.4.5 システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn)

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRMASKn は領域 n に対応しており、キャッシュ動作/バッファ動作を設定する領域の空間サイズ(バイト数 - 1000H)を設定するレジスタです。領域の開始アドレスは、システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRADRSn) で設定します。

設定単位は、4K バイト単位です。したがって、このレジスタに設定した下位 12 ビットは、すべて 0 と見なされますが、暗黙的に FFFH が使用されます。

16 ビット単位でリード/ライト可能です。

**注意 1.** ETSRMASKn レジスタには、空間サイズ - 1000H を設定してください。設定できる最小単位は 4K バイトです。

**2.** ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード (ダイレクト・モード) でアクセスされます。

**3.** ETSRMASKn レジスタに設定できる最小単位は 4K バイト - 1000H です。

ETSRMASKn	31	0	アドレス	初期値
	[ ]		FFFF 7154H +8H × n	不定
R/W	R/W			
ビット位置	ビット名	意味		
31-0	-	キャッシュ動作/バッファ動作を設定する領域の空間 (バイト数 - 1000H) を設定します。		

**備考 n = 0-3**

## 4.5 ダイレクト・アクセス機能

ダイレクト領域に対して eLB からのアクセス要求が発生すると、システム・バス・ブリッジはダイレクト転送を行います。

ダイレクト転送では、eLB からリード要求が発生すると、システム・バスにシングルリード要求を出力し、eLB からライト要求が発生すると、システム・バスにシングルライト要求を出力します。ライト要求はポスト・ライトで行われます。

**注意** ライト動作はポスト・ライトのため、実際のライト・サイクルの前に、CPU に対して eLB のバス解放が行われます。

## 4.6 バッファ機能

システム・バス上のスレーブ（外部メモリや SiP 内部接続のメモリ空間を含みます）に対するアクセス・レーテンシやスループット向上のために、リード・バッファとライト・バッファを内蔵しています。

### 4.6.1 リード・バッファ機能

★

8ワードのバッファを2本搭載しています。これらのバッファは、TAG アドレスとオフセット値でデータが管理されており、1本のバッファには、アドレスの連続したリード・データが8個格納されます。リード・バッファは、eLB からシステム・バスに対するリード要求を受けた場合、連続した8ワードを1ブロックとして、CPU からリード・アクセスのあったブロックの範囲にあるデータをバースト転送で読み出します。あらかじめ8ワードのデータを読み出しておくことで、ブロック内のアドレスへのアクセスに対して、システム・バスへアクセスすることなくデータ応答することを可能にしています。これにより、連続したアドレスへのリード・アクセスのアクセス・レーテンシを低減できます。なお、2本あるリード・バッファは、FIFO 方式で更新されます。次に、リード・バッファの持つ機能について説明します。

#### (1) プリフェッチ機能

リード・バッファは、プリフェッチ機能を備えています。8ワードを1ブロックとして、CPU からアクセスのあったブロックに対し、次のブロックにあるデータを、CPU からリード要求が発行される前にバースト・リード転送で読み出し、バッファ内に格納します。これにより、CPU がこれらのデータへのリード要求を発行した際、改めてシステム・バスへアクセスすることなくデータ応答することが可能になり、アクセス・レーテンシを低減します。なお、プリフェッチの開始アドレスは、プリフェッチ対象ブロックの先頭アドレスです。プリフェッチ機能では、プリフェッチ機能の ON/OFF、プリフェッチするブロックのアドレス方向（インクリメント/デクリメント）の設定が可能です。設定はシステム・バス・ブリッジ設定レジスタ (ETSCFG) の BPM ビットで行います。動作の設定については、4.6.4 バッファ機能の設定を参照してください。

#### (2) フィル・モード切り替え機能

リード・バッファがバースト・リード転送を開始するアドレスについて、以下の設定が可能です。設定の方法については 4.6.4 バッファ機能の設定を参照してください。

- ・シーケンシャル・アクセス
- ・クリティカル・ワード・ファースト・アクセス

## 4.6.2 ライト・バッファの機能

★

8ワードのバッファを2本搭載しています。これらのバッファは、TAGアドレスとオフセット値でデータが管理されており、1本のバッファには、アドレスの連続したライト・データが8個格納されます。eLBからバッファ領域へのライト・アクセス要求を受けるごとに、ライト・データをバッファに格納することで、eLBに対して低速なシステム・バスのライト・サイクル完了を待たずにeLBライト・サイクルを1サイクルで完了します。これにより、eLBマスタ(CPU、セントラルDMAC)は、低速なシステム・バスのライト・サイクルの完了を待たずに後続の処理を実行でき、スループットを向上します。バッファに格納されたライト要求は、以下のときにバースト転送、またはシングル転送でシステム・バスに出力されます。なお、2本あるライト・バッファは、FIFO方式で更新されます。

- ・8ワードを1ブロックとして、別のブロックに対するライト・アクセスを発行した場合
- ・フラッシュ要求が発生した場合
- ・バイト・アクセスを受け付けた場合
- ・ハーフワード・アクセスを受け付けた場合

ライト・バッファは、ライト要求をバッファリングします。同一アドレスに対するライト要求を複数受けた場合、バッファリングしているライト要求を、最新のライト要求で上書きします。

## 4.6.3 リード・バッファ/ライト・バッファ共通機能

リード・バッファ、ライト・バッファ共通の機能について説明します。

### (1) フラッシュ機能

バッファはフラッシュ機能を備えています。フラッシュ機能は、システム・バス・ブリッジ・コマンド・レジスタ(ETSCMD)によりフラッシュ機能の実行を指定した場合と、スタンバイ・モード移行した場合に実行されます。

リード・バッファ、ライト・バッファ双方のフラッシュが完了したとき、システム・バス・ブリッジ・コマンド・レジスタ(ETSCMD)のBFLビットをクリア(0)してフラッシュの完了を通知します。

フラッシュ機能が実行された場合、リード・バッファとライト・バッファはそれぞれ、以下のフラッシュ動作を行います。

#### (a) リード・バッファのフラッシュ機能

リード・バッファ内のデータをすべて削除します。

#### (b) ライト・バッファのフラッシュ機能

ライト・バッファ内に保持している全ライト要求実行します。

#### 4.6.4 バッファ機能の設定

バッファの機能の中で動作設定変更が可能なものについて、その設定方法を説明します。

##### (1) リード・バッファ機能の設定

###### (a) プリフェッチ・モード機能

リード・バッファのプリフェッチ機能の ON/OFF の設定が可能です。設定は、システム・バス・ブリッジ設定レジスタ (ETSCFG) の BPM0, BPM1 ビットで行います。設定値とリード・バッファの動作の対応を表 4-3 に示します。

###### (b) プリフェッチ方向切り替え機能

プリフェッチするブロックの方向を指定できます。インクリメント/デクリメントが設定できます。プリフェッチ・モード機能と同様に、システム・バス・ブリッジ設定レジスタ (ETSCFG) の BPM0, BPM1 ビットで設定します。設定値と動作の関係を表 4-3 に示します。

表 4-3 プリフェッチ・モード設定一覧

ETSCFG.BPM の設定値	リード・バッファの動作
00	プリフェッチ機能オフ
01	プリフェッチ機能オン (アドレス・インクリメント)
10	プリフェッチ機能オン (アドレス・デクリメント)
11	設定禁止

###### (c) フィル・モード切り替え機能

リード・バッファがバースト転送を実行する際の先頭アドレスを以下の 2 種類から選択可能です。システム・バス・ブリッジ設定レジスタ (ETSCFG) の BFM ビットで動作を設定します。設定値と動作の関係を表 4-4 に示します。

###### (i) シーケンシャル・アクセス

アクセス要求のあったアドレスが含まれるブロックの先頭アドレスから、バースト・リードを開始します。

###### (ii) クリティカル・ワード・ファースト・アクセス

アクセス要求のあったアドレスから、バースト・リードを開始します。

表 4-4 フィル・モード設定一覧

ETSCFG.BPM の設定値	リード・バッファの動作
0	シーケンシャル・アクセス
1	クリティカル・ワード・ファースト・アクセス

## (2) リード・バッファ/ライト・バッファ共通機能設定

システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn) , システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn) , システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn) を用いて , バッファリングする領域を指定できます。ETSRCFGn の値を 1 に設定すると , ETSRADRSn と ETSRMASKn で設定された領域がバッファ領域として設定されます。領域設定方法については「4.3 領域設定」を参照してください。

**備考 n = 0-3**



### 4.6.5 リード・バッファ動作

(1) フィル・モードが「シーケンシャル」の場合

バッファ領域にリード要求が発生するごとに、要求データがリード・バッファ内に存在するかをチェックします。バッファ内に要求データが存在した場合は、バッファのデータを eLB へ返し、eLB 転送を完了します。存在しなかった場合は、eLB へウエイト・レスポンスを返し、要求データのブロックの先頭アドレスを開始アドレスとして、システム・バスにバースト・リード転送を実行し、リード・データをバッファに格納します。

システム・バスから要求データが読み出された時点で、バースト・リード転送の完了を待たずに、データを eLB へ出力し、eLB 転送を完了します。

プリフェッチ・モード・オンに設定した場合、バースト・リード転送完了後、次のブロックに対してバースト・リード転送を実行します。

(2) フィル・モードが「クリティカル・ワード・ファースト」の場合

バッファ領域にリード要求が発生するごとに、要求データとその次のブロックのデータがリード・バッファ内に存在するかをチェックします。バッファ内に要求データが存在した場合は、バッファのデータ eLB へ返し、eLB 転送を完了します。存在しなかった場合は、eLB へウエイト・レスポンスを返し、eLB からリード要求のあったアドレスを開始アドレスとして、システム・バスにバースト・リード転送を実行し、リード・データをバッファに格納します。

システム・バスから要求データが読み出された時点で、バースト・リード転送の完了を待たずに、データを eLB へ出力し、eLB 転送を完了します。

プリフェッチ・モード・オンに設定した場合、バースト・リード転送完了後、次のブロックに対してバースト・リード転送を実行します。

### 4.6.6 ライト・バッファ動作

(1) ライト要求の格納動作

バッファ領域へのライト要求が発生するごとに、ライト要求をバッファ内に格納します。後続の eLB アクセスで、ライト要求を受けた場合、先に格納したライト要求と同じブロック内のアドレスに対するライト要求であるかをチェックし、同一ブロックに対するライト要求であった場合、バッファの該当箇所にライト要求を格納します。別のブロックに対するライト・アクセスであった場合、他方のバッファにライト要求を格納します。

(2) リード要求の監視動作

eLB から、バッファリングしているライト要求のアドレスに対するリード要求が入力されていないかを監視します。入力された場合、該当のライト要求が完了するまで eLB に対してウエイト・レスポンスを発行します。

(3) ライト要求の吐き出し動作

以下の条件の時、ライト・バッファ内のライト要求を実行します。

- ・ 後続のライト要求の書き込み先アドレスが、別のブロックであった場合
- ・ ハーフワード/バイトのライト・アクセスを受けた場合
- ・ ライト・バッファリングしているアドレスに対するリード要求が発行された場合
- ・ フラッシュ要求がアサートされた場合

また、ライト要求を実行する際、バッファ内の状態により、以下のように動作が変わります。

(i) ライト・バッファがフルの場合

ライト・バッファに 8 個のライト要求が格納されている場合、ライト・バッファはバースト・ライト転送を実行します。

(ii) ライト・バッファがフルでない場合

ライト・バッファに 1~7 個のライト要求が格納されている場合、ライト・バッファはシングル転送で格納されているライト要求を出力します。

#### 4.6.7 リード・バッファ/ライト・バッファ共通の動作

リード・バッファ/ライト・バッファ共通の動作として、フラッシュ動作があります。

フラッシュ要求がアサートされた場合、リード・バッファ、ライト・バッファそれぞれがフラッシュ動作を実行し、両方のフラッシュ動作の完了後に、システム・バス・ブリッジ・コマンド・レジスタ(ETSCMD)のBFLビットをクリア(0)します。

次に、リード・バッファ、ライト・バッファそれぞれのフラッシュ動作を説明します。

##### (1) リード・バッファ・フラッシュ動作

リード・バッファのフラッシュ動作は、プリフェッチ機能の設定により変わります。以下で、各設定でのフラッシュ動作について説明します。なお、フィル・モードの設定ではフラッシュ動作は変わりません。

###### (i) プリフェッチ機能オフの場合

フラッシュ要求がアサートされた場合、リード・バッファは、2本のバッファ内のデータをすべて消去します。リード・バッファがバースト・リード転送を実行中にフラッシュ要求がアサートされた場合、バースト転送終了後に全データが消去されます。

###### (ii) プリフェッチ機能オンの場合

フラッシュ要求がアサートされた場合、リード・バッファは、2本のバッファ内のデータと、プリフェッチの実行予約をすべて消去します。システム・バスがバースト・リード転送を実行中にフラッシュ要求がアサートされた場合、バースト転送終了後に全データが消去されます。

##### (2) ライト・バッファ・フラッシュ動作

フラッシュ要求がアサートされた場合、ライト・バッファは、保持している全ライト要求を実行します。バッファがフルの場合はバースト・ライト転送を実行し、フルでない場合はシングル・ライト転送を実行します。

## 4.7 キャッシュ機能

PFESiP/V850EP3 は、16K バイト 4 ウエイ・セット・アソシアティブ構成のメモリ・サイド・キャッシュを内蔵しています。このキャッシュは、命令フェッチ、データ・アクセスに関係なく、指定されたメモリ領域に対してキャッシュ動作を行います。

このメモリ・サイド・キャッシュを利用できるのは、CPU からのアクセスとセントラル DMA コントローラです。一般的には CPU からのアクセスに使用します。

システム・バス上の空間から eLB へのデータ受け渡しによる応答性を改善し、外部 SDRAM からプログラム・フェッチするようなシステムにおいても高い性能を発揮します。ライト時はライト・スルー動作となります。

### 4.7.1 キャッシュ機能の特長

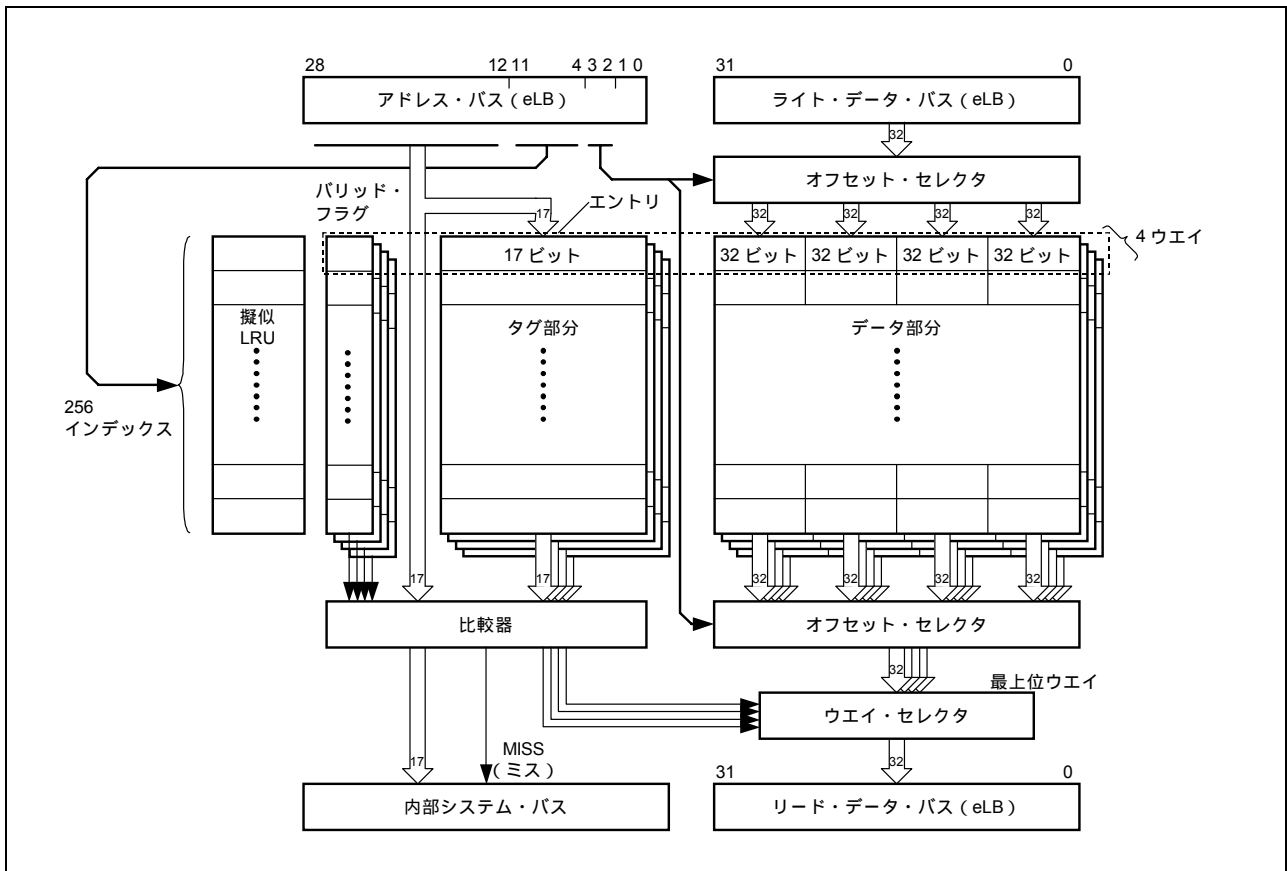
4 ウエイ 16K バイト・キャッシュ

擬似 LRU アルゴリズム (最も長くアクセスされなかったブロックが置き換え対象となります)

シーケンシャル/クリティカル・ワード・ファースト・アクセス対応

フラッシュ機能 (メモリ・サイド・キャッシュの内容をクリアします)

図 4-4 メモリ・サイド・キャッシュのブロック図



## 4.7.2 制御レジスタ

### (1) システム・バス・ブリッジ設定レジスタ (ETSCFG)

メモリ・サイド・キャッシュの動作の設定は ETSCFG レジスタで行います。

ETSCFG レジスタの CFM ビットで、フィル動作の設定を行います。

ETSCFG.CFM	キャッシュのフィル動作
0	シーケンシャル
1	クリティカル・ワード・ファースト

### (2) システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD)

メモリ・サイド・キャッシュのフラッシュ動作は ETSCMD レジスタの CFL ビットで設定します。

ETSCMD.CFL	キャッシュのフィル動作
0	キャッシュのフラッシュ機能非動作中
1	キャッシュのフラッシュ機能動作中 / キャッシュのフラッシュ動作開始

CFL ビットをセット (1) したあと、CFL = 0 であることを確認することで、フラッシュ動作の完了を確認できます。

### 4.7.3 動作

メモリ・サイド・キャッシュは、キャッシュ領域へのアクセスがあるたび自動的にキャッシング動作を行います。システム・バス・ブリッジ設定レジスタ (ETSCFG) の設定により2つの動作モードを選択できます。動作モード表を以下に示します。

表 4-5 キャッシュ動作モード一覧

動作モード	アクセス・タイプ		リフィル・モード
ライト・スルー	リード	ヒット	-
		ミスヒット	シーケンシャル クリティカル・ワード・ファースト
	ライト	ヒット	-
		ミスヒット	-

(1) リード/ライト, ヒット/ミスヒット時のメモリ・サイド・キャッシュの動作

次に、ライト・スルー・モードでのメモリ・サイド・キャッシュの動作について説明します。

(a) リード時

(i) キャッシュ・ヒット時

<1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。

<2> そのアドレスがキャッシュ内に存在し、ヒットすると、キャッシュからデータをリードします。

(ii) キャッシュ・ミスヒット時

<1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。

<2> そのアドレスがキャッシュ内に存在せず、ミスヒットの場合、キャッシュからシステム・バスを介してシステム・バス<sup>注</sup>上にアドレスを出力し、リードすべきアドレスのデータ1ライン分(4ワード)をキャッシュへリフィルします。

<3> このあと、キャッシュは、4ワードのリフィル・データの中で必要なデータを eLB 上に出力します。

<4> 1ライン分のデータをキャッシュに格納し、バリッド・フラグとLRUの更新を行います。

**注** システム・バス上のスレーブが対象となります。外部メモリや SiP 内部接続領域もシステム・バス上のスレーブです。

## (b) ライト時

## (i) キャッシュ・ヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> キャッシュからシステム・バス<sup>注</sup>上のスレーブにデータをライトします。
- <3> ライトしたデータのアドレスがキャッシュ内に存在し、ヒットするとキャッシュにデータを格納し、バリッド・フラグとLRUの更新を行います。

## (ii) キャッシュ・ミスヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> キャッシュからシステム・バス<sup>注</sup>上のスレーブにデータをライトします。
- <3> ミスヒットのため、バリッド・フラグとLRUの更新は行いません。

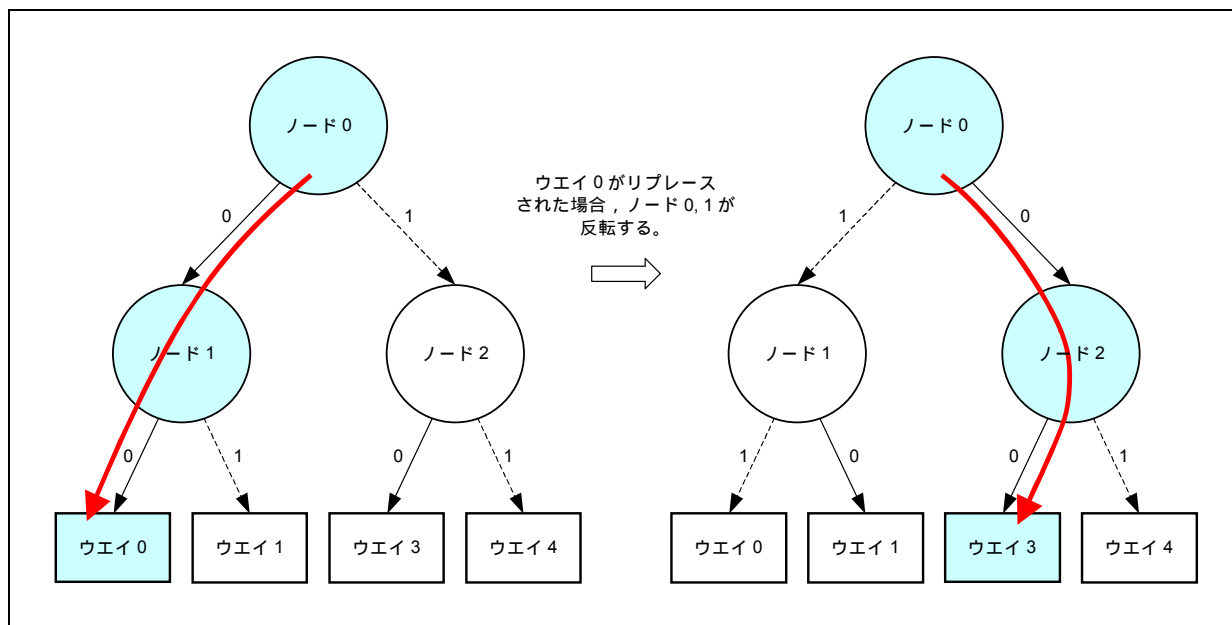
**注** システム・バス上のスレーブが対象となります。外部メモリや SiP 内部接続領域もシステム・バス上のスレーブです。

(2) 擬似 LRU 動作

メモリ・サイド・キャッシュは、入れ替えアルゴリズムとして、擬似 LRU を搭載しています。

擬似 LRU は、2 ウエイ用 LRU アルゴリズムを 3 つ使用しています。LRU の更新は、図 4-5 に示すように、ノードごとに 1 ビットの LRU を持ち、0 および 1 で、いずれかの子ノードまたはウエイを示しています。選ばれたウエイのアクセスが完了すると、ヒットしたウエイまでの LRU を反転させ、リプレース対象から選ばれません。

図 4-5 擬似 LRU の更新動作





## (3) キャッシュの更新動作

リード・アクセスのミスヒット時とライトのヒット時に、キャッシュ内のデータを更新します。

## (a) リード・ミスヒット時

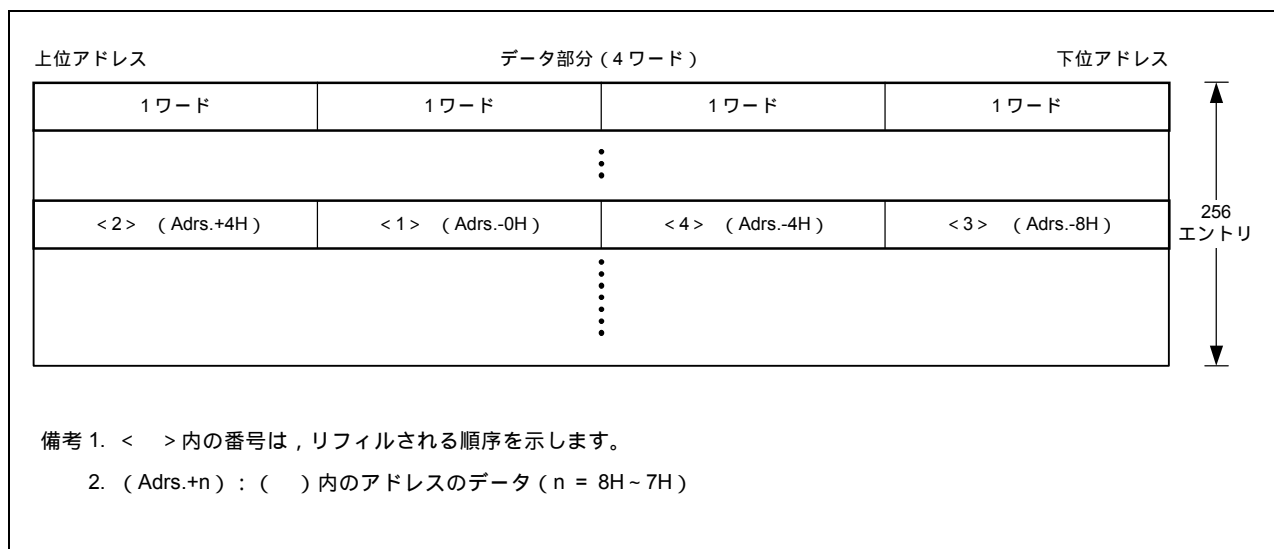
タグ情報の更新は、タグ・リード時にキャッシュ・メモリから4ウエイ分のタグ情報を同時にリードし、擬似LRUにて指定したリプレース対象ウエイだけを変更します。

データ部分へのリフィル順序は、リフィル・モードによって異なります。以下にリフィル・モード別の動作を示します。

## (i) クリティカル・ワード・アクセス・リフィル動作

eLBより要求されたアドレスを先頭アドレスとしたバースト転送で、1ライン分のデータをシステム・バスからリードします。要求のあったデータのリードが完了すると、バースト転送の終了を待たずにeLBにデータを出力します。1ライン分のデータのリードが完了した時点で、擬似LRUの情報に従って、キャッシュのデータを1ライン分まとめて更新します。

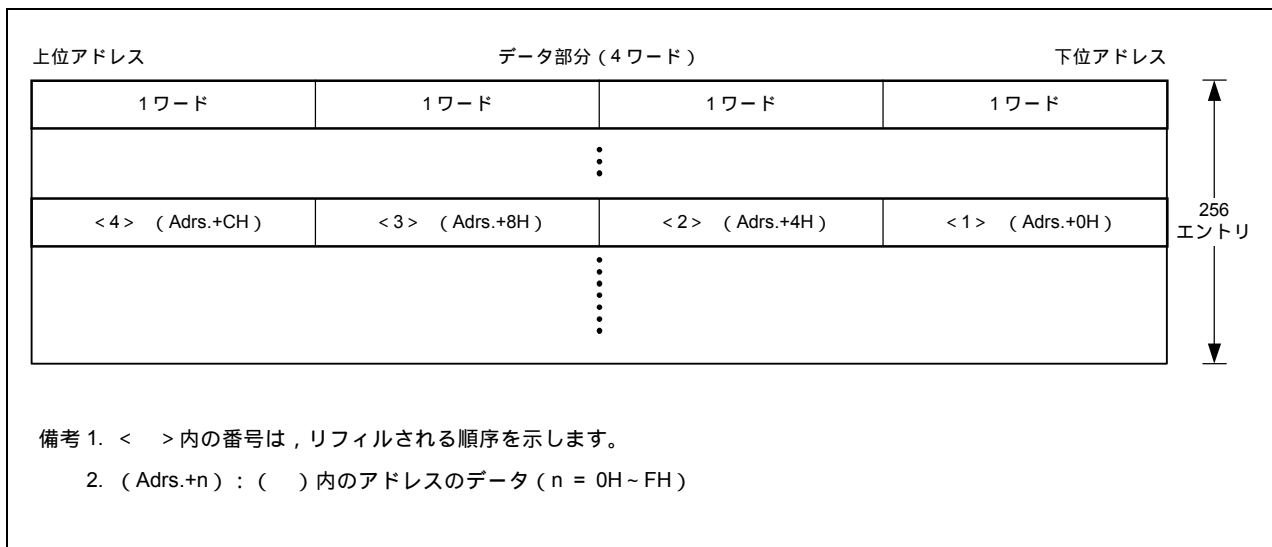
図 4-6 クリティカル・ワード・アクセス・リフィル動作



## (ii) シーケンシャル・アクセス・リフィル動作

eLB より要求されたアドレスの属するラインの0番目を先頭アドレスとしたバースト転送で、1ライン分のデータをシステム・バスからリードします。要求のあったデータのリードが完了すると、バースト転送の終了を待たずに eLB にデータを出力します。1ライン分のデータのリードが完了した時点で、擬似 LRU の情報に従って、キャッシュのデータを1ライン分まとめて更新します。

図 4-7 シーケンシャル・アクセス・リフィル動作



## (b) ライト・ヒット時

タグ情報の更新は行いません。

データ部分への更新は、タグ・リード時により、リードした該当ウエイの1ライン分のデータに対し、eLB からのライト要求アドレスのデータの更新を行い、1ライン分まとめて更新します。

## 4.8 ワーク RAM 機能

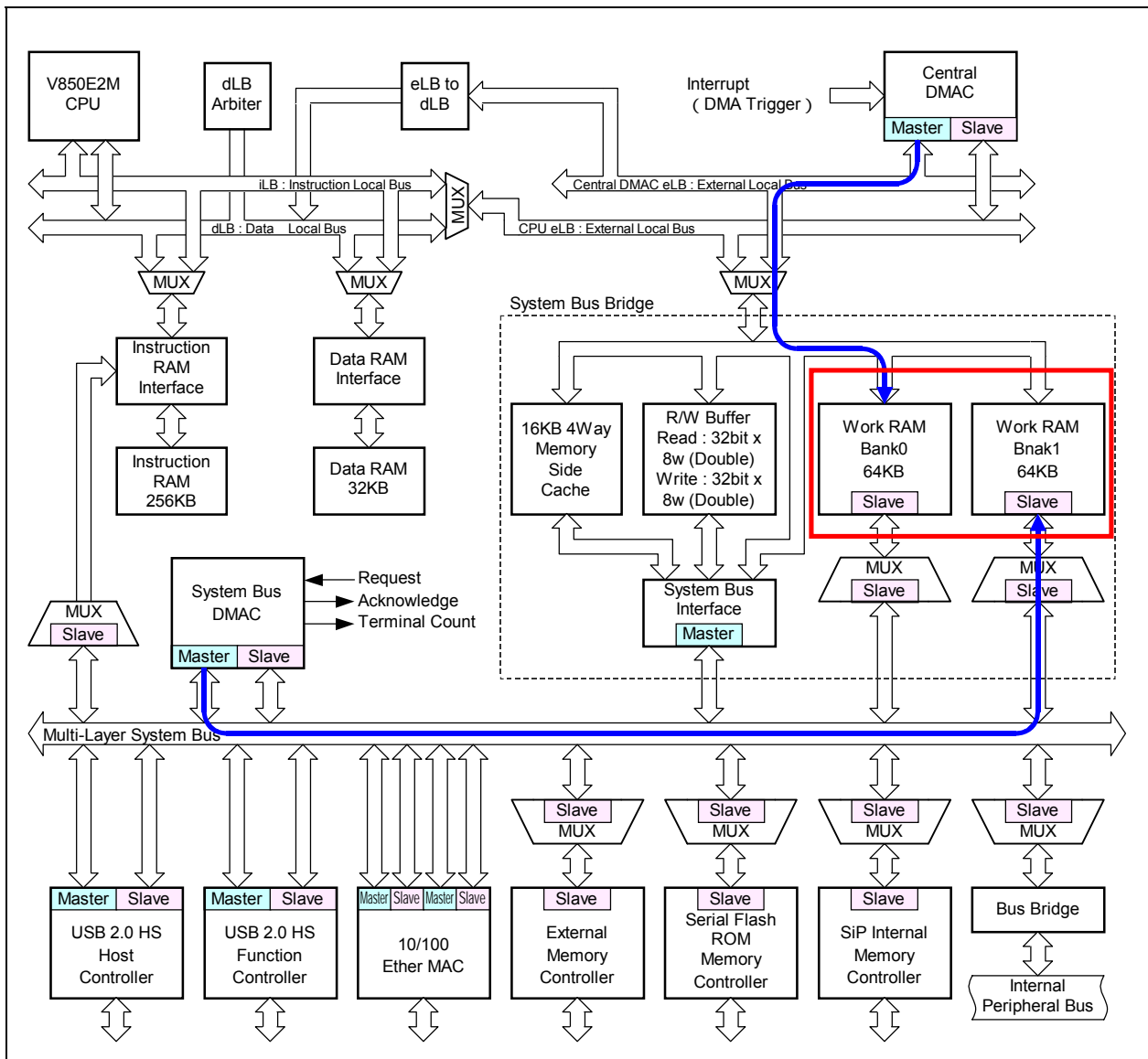
ワーク RAM は、eLB 側とシステム・バス側の双方からアクセス可能な RAM です。

### 4.8.1 ワーク RAM の概要

ワーク RAM は、64K バイト×2 バンクあり、eLB のバス・マスタ (CPU またはセントラル DMAC) と、システム・バスのバス・マスタ (システム・バス DMAC、USB 機能、Ether MAC 機能) が、異なるワーク RAM を同時にアクセスできます。

eLB 側とシステム・バス側から同一バンクのワーク RAM を同時にアクセスした場合は、アービトレーションが行われます。アービトレーションは、ラウンドロビン方式で行われます。競合が発生した場合は、eLB 側とシステム・バス側に交互に優先権が割り当てられます。

図 4-8 ワーク RAM への並列アクセス

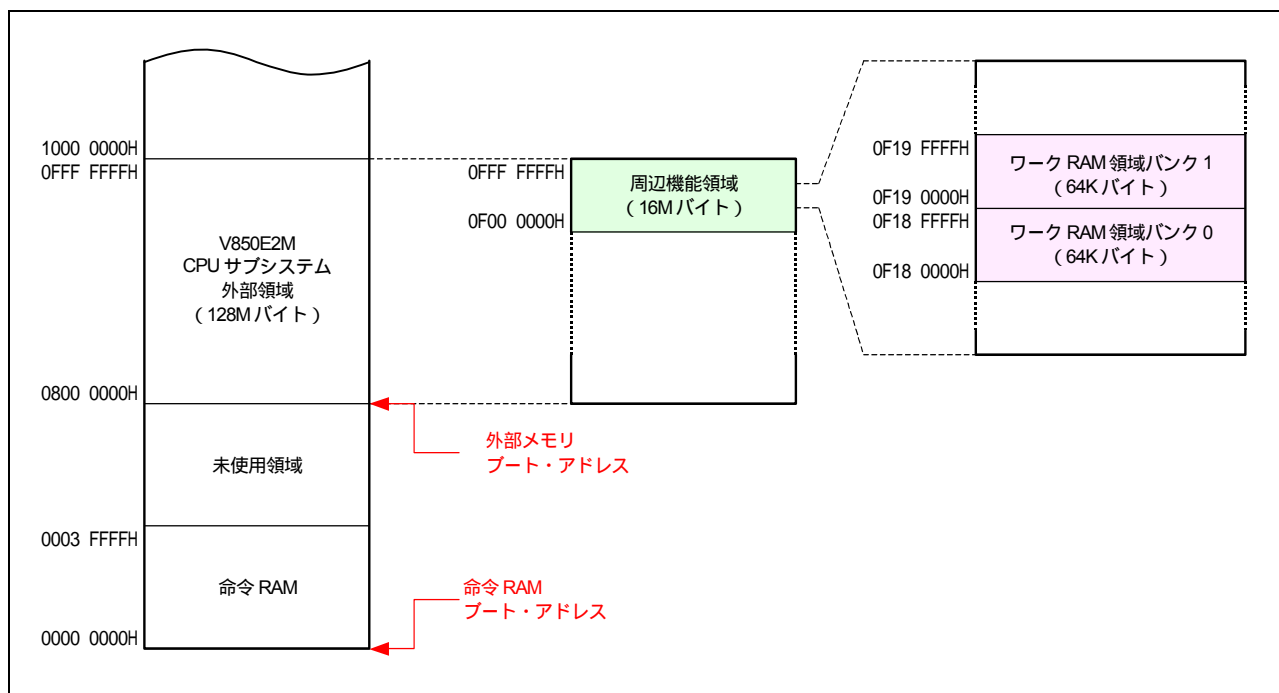


## 4.8.2 ワーク RAM の配置アドレス

配置アドレスは、下記のとおりです。

バンク	ワーク RAM サイズ	配置アドレス
バンク 0	64K バイト	0F18 0000H-0F18 FFFFH
バンク 1	64K バイト	0F19 0000H-0F19 FFFFH

図 4-9 ワーク RAM の配置アドレス



## 4.8.3 IDLE モード設定時の動作

ソフトウェアで IDLE モードに設定した時点で、ワーク RAM に対するバス・サイクルが実行中の場合は、そのバス・サイクルが完了してから IDLE モードに設定されます。

## 第5章 外部メモリ・アクセス機能

内蔵のメモリ・コントローラを利用し、32/16ビット・バスで外部にページROM / ROM / SRAM / SDRAMを接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

端子設定でBOOTSEL1 = 0, BOOTSEL0 = 0とした場合、STCSZ0に接続されたメモリからブートします。このときのブート・アドレスは、0800 0000Hです。

### 5.1 概要

ページROM, ROM, SRAM, SDR-SDRAM 対応メモリ・コントローラ

32 / 16 ビット・データ・バス

スタティック・メモリ制御機能

- ・ SRAM, 外部 I/O 接続機能
- ・ 4本のチップ・セレクト信号が利用可能 (STCSZ0-STCSZ3)
  - STCSZ0 : ページROM / SRAM 対応 : 0800 0000H-09FF FFFFH (32M バイト)
  - STCSZ1 : SRAM のみ対応 : 0A00 0000H-0A7F FFFFH (8M バイト)
  - STCSZ2 : SRAM のみ対応 : 0A80 0000H-0ABF FFFFH (4M バイト)
  - STCSZ3 : SRAM のみ対応 : 0AC0 0000H-0AFF FFFFH (4M バイト)
- ・ ページROM 接続機能 (STCSZ0 のみ)
- ・ プログラマブル・ウエイト機能
  - アドレス設定ウエイト
  - データ・ウエイト
  - ライト・リカバリ・ウエイト
  - アイドル・ステート

SDRAM 制御機能

- ・ 1本のチップ・セレクト信号が利用可能 (DYCSZ) : F000 0000H-F7FF FFFFH (128M バイト)  
(16ビット幅 512Mビット SDRAM を2個使用し、32ビット幅で接続した場合が、最大の128Mバイトになります。)
  - ・ シングル・アクセス
  - ・ CAS レーテンシ = 1, 2, 3
  - ・ SDRAM イニシャライズ・サイクル生成機能
  - ・ CBR リフレッシュ機能
- ライト・ストローブ/バイト・イネーブル兼用

**注意** PFESiP/V850EP3のメモリ・コントローラは8ビット・バス幅には対応していません。

**備考 1.** PFESiP/V850EP3 は、

スタティック・メモリ制御機能として4本のチップ・セレクト信号、  
ダイナミック・メモリ制御機能として1本のチップ・セレクト信号  
を持っています。

**2.** PFESiP/V850EP3 は、外部メモリ・アクセス用と、SiP 内部接続用に、独立したメモリ・コントローラを内蔵しています。

## 5.2 特 徴

### (1) マルチレイヤ構成

PFESiP/V850EP3 の内部バスは、マルチレイヤ構成を採用しており、CPU を含めた複数のバス・マスタからのアクセスを調停してメモリ・コントローラ経由で外部メモリをアクセスします。

マルチレイヤ構成により、たとえば CPU が SiP 内部接続インタフェースを利用して、SiP 内部の ASIC にアクセスしている場合でも、同時に外部メモリと USB ファンクション・コントローラとの間でデータ転送を行えます。内部バスのバス・マスタとバス・スレーブの組み合わせが独立している場合、それぞれのバスの待ち合わせが存在せず、データ処理、通信処理などを同時に実行することで、従来製品から大幅な性能向上を図っています。

### (2) 外部メモリ・アクセス用と SiP 内部接続用に独立のメモリ・コントローラ

外部メモリ・アクセス用と SiP 内部接続用に独立のメモリ・コントローラを内蔵しています。外部メモリ・アクセス用は SDRAM にも対応していますが、SiP 内部接続用は SDRAM には対応していません。

異なるバス・マスタから、外部メモリ・アクセス用と SiP 内部接続用のそれぞれのメモリ・コントローラを利用する場合、お互いのバスの待ち合わせは発生しません。

## (3) スタティック・メモリ制御機能

PFESiP/V850EP3 のスタティック・メモリ用コントローラは、STCSZ0-STCSZ3 のチップ・セレクト信号に接続されたスタティック・メモリ (SRAM, I/O, ページ ROM) を制御します。

ただしページ ROM に対応しているチップ・セレクト信号は、STCSZ0 のみです。

## (a) SRAM, 外部 I/O 接続機能

SRAM, 外部 I/O 接続機能の主な特徴は以下のとおりです。

- ・最小 4 サイクル (4×BUSCLK) のリード・サイクル
- ・最小 5 サイクル (5×BUSCLK) のライト・サイクル
- ・レジスタ設定により、最大 15×BUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のアイドル・ステートを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能

## (b) ページ ROM 接続機能

ページ ROM 接続機能の主な特徴は以下のとおりです。

- ・ページ ROM は STCSZ0 にのみ接続可能
- ・最小 3 サイクル (3×BUSCLK) のリード・サイクル
- ・オンページ判定機能
- ・レジスタ設定により、アドレス比較ビット幅を変更可能
- ・レジスタ設定により、最大 15×BUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のアイドル・ウエイトを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能
- ・ページ ROM が配置された領域に対してライト・サイクルが要求された場合は、SRAM ライト・サイクルを起動
- ・レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能

**備考** BUSCLK は、HCLK と同一周波数です。

## (4) SDR-SDRAM 接続機能

PFESiP/V850EP3 のダイナミック・メモリ用コントローラは、DYCSZ に接続された SDR-SDRAM を制御します。

- ・シングル・アクセス（バースト長 = 1）だけ起動可能（ただし CPU コアなどのバス・マスタからバースト・アクセスが要求されると、リード/ライト・コマンドを 1 クロックごとに発行して擬似的なバースト・アクセスを実行）
- ・CAS レーテンシ = 1, 2, 3 に対応
- ・アドレス・マルチプレクス機能
- ・レジスタの設定により、アドレス・マルチプレクス幅（8, 9, 10, 11 ビット）を変更可能
- ・レジスタの設定により、最大 3 ウェイト・ステートを挿入可能
- ・SDR-SDRAM イニシャライズ・サイクル（モード・レジスタ設定サイクル）を起動  
ダイナミック・メモリ制御レジスタ（DMC）に書き込み動作を行うと、メモリ・コントローラは SDRAM のイニシャライズを行います。イニシャライズが終了すると DMC レジスタのモード・レジスタ・ライト・ステータス・ビットがセット（1）されます。
- ・CBR（CAS ビフォーRAS）リフレッシュ・コマンドを発行  
ダイナミック・メモリ・リフレッシュ制御レジスタ（RFC）で設定したリフレッシュ間隔でリフレッシュ・コマンドを発行します。リフレッシュ・コマンドはメモリ・アクセスおよびバス・ホールドが完了した時点で発行されます。



## 5.3 バス制御機能

### 5.3.1 制御レジスタ

外部メモリ・アクセス機能を利用するには、バス制御レジスタの設定を行う必要があります。

表 5-1 バス制御レジスタ一覧

アドレス	レジスタ名称	略号	R/W	リセット時
0F00 0004H	バス・サイズ制御レジスタ	BSC	R/W	0000 5555H/ 0000 FFFFH <sup>※</sup>
0F00 0008H	スタティック・メモリ制御レジスタ 0	SMC0	R/W	0000 FFFFH
0F00 000CH	スタティック・メモリ制御レジスタ 1	SMC1	R/W	0000 FFFFH
0F00 0010H	スタティック・メモリ制御レジスタ 2	SMC2	R/W	0000 FFFFH
0F00 0014H	スタティック・メモリ制御レジスタ 3	SMC3	R/W	0000 FFFFH
0F00 0018H	ページ ROM 制御レジスタ	PRC	R/W	F000 0000H
0F00 001CH	ダイナミック・メモリ制御レジスタ	DMC	R/W	20C0 0000H
0F00 002CH	ダイナミック・メモリ・リフレッシュ制御レジスタ	RFC	R/W	001F 0000H
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	0000 0000H

注 BUS32EN0 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN0 では、外部メモリ・アクセス用メモリ・コントローラのリセット解除時のバス幅を選択します。

- 0 : 0000 5555H (16 ビット・バス・モード)
- 1 : 0000 FFFFH (32 ビット・バス・モード)

## (1) バス・サイズ制御レジスタ (BSC)

BSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。

SBS3-SBS0 ビットはスタティック・メモリ用チップ・セレクト出力 (STCSZ3-STCSZ0)、DBS ビットはダイナミック・メモリ用チップ・セレクト出力 (DYCSZ) にそれぞれ対応しています。

BSC レジスタの初期値は、BUS32EN0 端子の入力レベルにより変わります。

BSC レジスタはリード/ライト可能です。ビット 31-16 には必ず 0 を設定してください。ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
BSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0004H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	1/0 <sup>注2</sup>	1	1/0 <sup>注2</sup>	1	1/0 <sup>注2</sup>	1	DBS	1	SBS3	1	SBS2	1	SBS1	1	SBS0	1	0000 5555H/ 0000 FFFFH <sup>注1</sup>
R/W	R	1	R	1	R	1	R/W	1	R/W	1	R/W	1	R/W	1	R/W	1	

ビット位置	ビット名	意味
9	DBS	ダイナミック・メモリ用チップ・セレクト出力 (DYCSZ) のデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット
7, 5, 3, 1	SBS3- SBS0	スタティック・メモリ用チップ・セレクト出力 (STCSZ3-STCSZ0) ごとのデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット

注 1. BUS32EN0 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN0 では、外部メモリ・アクセス用メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

2. このビットに該当するチップ・セレクト信号は存在しませんが、メモリ・コントローラの仕様により、BUS32EN0 端子により初期値が変わります。

(2) スタティック・メモリ制御レジスタ 0-3 ( SMC0-SMC3 )

SMC0-SMC3 レジスタは、スタティック・メモリ用チップ・セレクト出力 ( STCSZ0-STCSZ3 ) ごとに各種ウエイト・ステートを設定します。

SMC0-SMC3 レジスタはリード/ライト可能です。ビット 31-16 には必ず 0 を設定してください。

**注意** SMC0-SMC3 レジスタには 0000 0000H を設定しないでください。IW (アイドル・ウエイト) , DW (データ・ウエイト) , AC (アドレス設定ウエイト) の合計が 1 以上になるように設定してください。

( 1/5 )

																アドレス	
SMC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0008H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC	
	03	02	01	00	03	02	01	00	03	02	01	00	03	02	01	00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SMC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 000CH
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC	
	13	12	11	10	13	12	11	10	13	12	11	10	13	12	11	10	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SMC2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0010H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC	
	23	22	21	20	23	22	21	20	23	22	21	20	23	22	21	20	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SMC3	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0014H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC	
	33	32	31	30	33	32	31	30	33	32	31	30	33	32	31	30	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

★

ビット位置	ビット名	意 味																																																																																					
15-12	IWn3- IWn0	<p>STCSZn ごとにアイドル・ステートを設定します。</p> <p>このビットの設定は、リード・アクセス直後のアイドル・ステートにのみ反映されます。</p> <p>アイドル・ステートとは、STCSZn のディアサート ( STCSZn : L H ) から、次の BCYSTZ がアサート ( BCYSTZ : H L ) されるまでの最短サイクルです。</p> <p>リード・サイクルで、データ・フロート時間が長く、直後のライト・サイクルでバス・ファイトが発生するケースなどで、アイドル・ステートを挿入します。</p> <p>キャッシュのリフィル動作などで、ページ ROM にバースト・アクセスする場合は、バースト・アクセス期間中の STCSZ0 信号はロー・レベルのままとなるため、ここで設定したアイドル・ステートは、バースト・アクセス後にのみ挿入されます。</p> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IWn3</th> <th>IWn2</th> <th>IWn1</th> <th>IWn0</th> <th>STCSZn のアイドル・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1 × BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2 × BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3 × BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16 × BUSCLK ( 初期値 )</td></tr> </tbody> </table>	IWn3	IWn2	IWn1	IWn0	STCSZn のアイドル・ステート数	0	0	0	0	1 × BUSCLK	0	0	0	1	2 × BUSCLK	0	0	1	0	3 × BUSCLK	0	0	1	1	4 × BUSCLK	0	1	0	0	5 × BUSCLK	0	1	0	1	6 × BUSCLK	0	1	1	0	7 × BUSCLK	0	1	1	1	8 × BUSCLK	1	0	0	0	9 × BUSCLK	1	0	0	1	10 × BUSCLK	1	0	1	0	11 × BUSCLK	1	0	1	1	12 × BUSCLK	1	1	0	0	13 × BUSCLK	1	1	0	1	14 × BUSCLK	1	1	1	0	15 × BUSCLK	1	1	1	1	16 × BUSCLK ( 初期値 )
IWn3	IWn2	IWn1	IWn0	STCSZn のアイドル・ステート数																																																																																			
0	0	0	0	1 × BUSCLK																																																																																			
0	0	0	1	2 × BUSCLK																																																																																			
0	0	1	0	3 × BUSCLK																																																																																			
0	0	1	1	4 × BUSCLK																																																																																			
0	1	0	0	5 × BUSCLK																																																																																			
0	1	0	1	6 × BUSCLK																																																																																			
0	1	1	0	7 × BUSCLK																																																																																			
0	1	1	1	8 × BUSCLK																																																																																			
1	0	0	0	9 × BUSCLK																																																																																			
1	0	0	1	10 × BUSCLK																																																																																			
1	0	1	0	11 × BUSCLK																																																																																			
1	0	1	1	12 × BUSCLK																																																																																			
1	1	0	0	13 × BUSCLK																																																																																			
1	1	0	1	14 × BUSCLK																																																																																			
1	1	1	0	15 × BUSCLK																																																																																			
1	1	1	1	16 × BUSCLK ( 初期値 )																																																																																			

備考 n = 0-3

★

**注意** アイドル・ステートは、リード・アクセス直後も、ライト・アクセス直後も 1 ステート挿入されます。IWn3-IWn0 ビットの設定は、リード・アクセス直後のアイドル・ステート数に反映されます。ライト・アクセス直後のアイドル・ステートは常に 1 ステートです。

ビット位置	ビット名	意味																																																																																				
11-8	WWn3- WWn0	<p>STCSZn ごとにライト・リカバリ・ウエイト・ステートを設定します。</p> <p>ライト・リカバリ・ウエイト・ステートとは、WRSTBZ のディアサート (WRSTBZ : L H) から、STCSZn がディアサート (STCSZn : L H) されるまでのサイクルです。</p> <p>低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合などで、ライト・リカバリ・ウエイト・ステートを挿入します。</p> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>WWn3</th> <th>WWn2</th> <th>WWn1</th> <th>WWn0</th> <th>STCSZn のライト・リカバリ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">1 × BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 × BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 × BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10 × BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14 × BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15 × BUSCLK (初期値)</td></tr> </tbody> </table>	WWn3	WWn2	WWn1	WWn0	STCSZn のライト・リカバリ・ウエイト・ステート数	0	0	0	0	1 × BUSCLK	0	0	0	1	0	0	1	0	2 × BUSCLK	0	0	1	1	3 × BUSCLK	0	1	0	0	4 × BUSCLK	0	1	0	1	5 × BUSCLK	0	1	1	0	6 × BUSCLK	0	1	1	1	7 × BUSCLK	1	0	0	0	8 × BUSCLK	1	0	0	1	9 × BUSCLK	1	0	1	0	10 × BUSCLK	1	0	1	1	11 × BUSCLK	1	1	0	0	12 × BUSCLK	1	1	0	1	13 × BUSCLK	1	1	1	0	14 × BUSCLK	1	1	1	1	15 × BUSCLK (初期値)
WWn3	WWn2	WWn1	WWn0	STCSZn のライト・リカバリ・ウエイト・ステート数																																																																																		
0	0	0	0	1 × BUSCLK																																																																																		
0	0	0	1																																																																																			
0	0	1	0	2 × BUSCLK																																																																																		
0	0	1	1	3 × BUSCLK																																																																																		
0	1	0	0	4 × BUSCLK																																																																																		
0	1	0	1	5 × BUSCLK																																																																																		
0	1	1	0	6 × BUSCLK																																																																																		
0	1	1	1	7 × BUSCLK																																																																																		
1	0	0	0	8 × BUSCLK																																																																																		
1	0	0	1	9 × BUSCLK																																																																																		
1	0	1	0	10 × BUSCLK																																																																																		
1	0	1	1	11 × BUSCLK																																																																																		
1	1	0	0	12 × BUSCLK																																																																																		
1	1	0	1	13 × BUSCLK																																																																																		
1	1	1	0	14 × BUSCLK																																																																																		
1	1	1	1	15 × BUSCLK (初期値)																																																																																		

**注意** ライト・リカバリ・ウエイト・ステート数には 0 × BUSCLK に設定できません。  
必ず 1 × BUSCLK のライト・リカバリ・ウエイト・ステートが挿入されます。

**備考** n = 0-3

(4/5)

ビット位置	ビット名	意味																																																																																					
7-4	DWn3- DWn0	<p>STCSZn ごとにデータ・ウェイト・ステートを設定します。 ノー・ウェイトでは、1×BUSCLK 幅の RDZ, WRSTBZ は、データ・ウェイトで設定したステート数分延長されます。</p> <table border="1"> <thead> <tr> <th>DWn3</th> <th>DWn2</th> <th>DWn1</th> <th>DWn0</th> <th>STCSZn のデータ・ウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK (初期値)</td></tr> </tbody> </table>	DWn3	DWn2	DWn1	DWn0	STCSZn のデータ・ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1×BUSCLK	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK (初期値)
DWn3	DWn2	DWn1	DWn0	STCSZn のデータ・ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×BUSCLK																																																																																			
0	0	1	0	2×BUSCLK																																																																																			
0	0	1	1	3×BUSCLK																																																																																			
0	1	0	0	4×BUSCLK																																																																																			
0	1	0	1	5×BUSCLK																																																																																			
0	1	1	0	6×BUSCLK																																																																																			
0	1	1	1	7×BUSCLK																																																																																			
1	0	0	0	8×BUSCLK																																																																																			
1	0	0	1	9×BUSCLK																																																																																			
1	0	1	0	10×BUSCLK																																																																																			
1	0	1	1	11×BUSCLK																																																																																			
1	1	0	0	12×BUSCLK																																																																																			
1	1	0	1	13×BUSCLK																																																																																			
1	1	1	0	14×BUSCLK																																																																																			
1	1	1	1	15×BUSCLK (初期値)																																																																																			

**注意** 外部ウェイト (WAITZ 端子) によるウェイト制御を利用する場合は、データ・ウェイト・ステートは 1×BUSCLK 以上に設定してください。

**備考** n = 0-3

(5/5)

ビット位置	ビット名	意味																																																																																					
3-0	ACn3- ACn0	<p>STCSZn ごとにアドレス設定ウエイト・ステートを設定します。</p> <p>アドレス設定ウエイトとは、STCSZn のアサート (STCSZn : H L ... アドレスの変化点も同一タイミング) から、RDZ や WRSTBZ のアサート (RDZ / WRSTBZ : H L) されるまでのサイクルです。</p> <p>リード/ライト・ストロブに対するアドレスやチップ・セレクト信号のセット・アップ時間を必要とするデバイスをアクセスする場合に、アドレス設定ウエイト・ステートを適宜挿入します。</p> <table border="1" data-bbox="497 573 1378 1281"> <thead> <tr> <th>ACn3</th> <th>ACn2</th> <th>ACn1</th> <th>ACn0</th> <th>STCSZn のアドレス設定ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 (リード時), 1×BUSCLK (ライト時)<sup>注</sup></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1×BUSCLK</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2×BUSCLK</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>3×BUSCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>4×BUSCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>5×BUSCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>6×BUSCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>7×BUSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>8×BUSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>9×BUSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>10×BUSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>11×BUSCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>12×BUSCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>13×BUSCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>14×BUSCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>15×BUSCLK (初期値)</td> </tr> </tbody> </table>	ACn3	ACn2	ACn1	ACn0	STCSZn のアドレス設定ウエイト・ステート数	0	0	0	0	0 (リード時), 1×BUSCLK (ライト時) <sup>注</sup>	0	0	0	1	1×BUSCLK	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK (初期値)
ACn3	ACn2	ACn1	ACn0	STCSZn のアドレス設定ウエイト・ステート数																																																																																			
0	0	0	0	0 (リード時), 1×BUSCLK (ライト時) <sup>注</sup>																																																																																			
0	0	0	1	1×BUSCLK																																																																																			
0	0	1	0	2×BUSCLK																																																																																			
0	0	1	1	3×BUSCLK																																																																																			
0	1	0	0	4×BUSCLK																																																																																			
0	1	0	1	5×BUSCLK																																																																																			
0	1	1	0	6×BUSCLK																																																																																			
0	1	1	1	7×BUSCLK																																																																																			
1	0	0	0	8×BUSCLK																																																																																			
1	0	0	1	9×BUSCLK																																																																																			
1	0	1	0	10×BUSCLK																																																																																			
1	0	1	1	11×BUSCLK																																																																																			
1	1	0	0	12×BUSCLK																																																																																			
1	1	0	1	13×BUSCLK																																																																																			
1	1	1	0	14×BUSCLK																																																																																			
1	1	1	1	15×BUSCLK (初期値)																																																																																			

**注** ライト時は、必ず 1×BUSCLK のアドレス設定ウエイトが挿入されます。

**注意** このレジスタで設定したアドレス設定ウエイト・ステートは、ページ ROM に対するオンページ・アクセス時も挿入されます。

**備考** n = 0-3

(3) ページROM 制御レジスタ (PRC)

スタティック・メモリ用チップ・セレクト出力0 (STCSZ0) 接続されているメモリ・タイプの指定, ページROM を選択した場合の接続するページROM の構成, 連続読み出し可能なビット数に応じて, アドレス (A3-A6) のうちマスクする (比較しない) アドレスや BUSCLK に応じたウェイト数を設定します。

なおオフページ・アクセス時のウェイト設定は, スタティック・メモリ制御レジスタ0 (SMC0) で行います。このとき, オフページ・アクセス時のウェイト・ステート数は1以上を設定してください。

PRC レジスタはリード/ライト可能です。ビット27-20, ビット15-1には必ず0を設定してください。

**注意 1. ページROM をオンページROM モードで利用できるのは, STCSZ0 に接続されているページROM のみです。**

**2. オフページ・アクセスのウェイト・ステート数は, 必ず1以上を設定してください。**

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PRC	PRW 3	PRW 2	PRW 1	PRW 0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	0F00 0018H
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST	F000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意味																																																																																					
31-28	PRW3- PRW0	STCSZ0 のページROM の, オンページ・サイクル時のデータ・ウェイト・ステート数を設定します。																																																																																					
		<table border="1"> <thead> <tr> <th>PRW3</th> <th>PRW2</th> <th>PRW1</th> <th>PRW0</th> <th>STCSZ0 のオンページ・アクセスの ウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×BUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×BUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK (初期値)</td></tr> </tbody> </table>	PRW3	PRW2	PRW1	PRW0	STCSZ0 のオンページ・アクセスの ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1×BUSCLK	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK (初期値)
PRW3	PRW2	PRW1	PRW0	STCSZ0 のオンページ・アクセスの ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×BUSCLK																																																																																			
0	0	1	0	2×BUSCLK																																																																																			
0	0	1	1	3×BUSCLK																																																																																			
0	1	0	0	4×BUSCLK																																																																																			
0	1	0	1	5×BUSCLK																																																																																			
0	1	1	0	6×BUSCLK																																																																																			
0	1	1	1	7×BUSCLK																																																																																			
1	0	0	0	8×BUSCLK																																																																																			
1	0	0	1	9×BUSCLK																																																																																			
1	0	1	0	10×BUSCLK																																																																																			
1	0	1	1	11×BUSCLK																																																																																			
1	1	0	0	12×BUSCLK																																																																																			
1	1	0	1	13×BUSCLK																																																																																			
1	1	1	0	14×BUSCLK																																																																																			
1	1	1	1	15×BUSCLK (初期値)																																																																																			

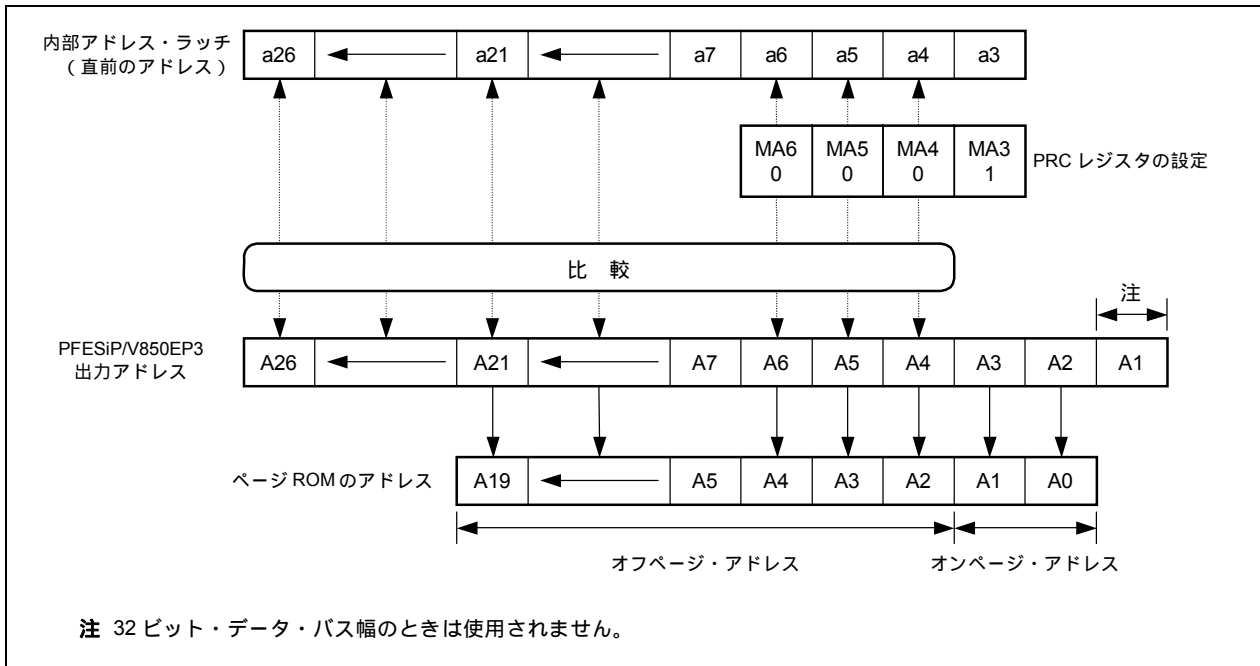


ビット位置	ビット名	意味																																			
19-16	MA6-MA3	<p>アドレス比較時のマスク・ビットを設定します。</p> <table border="1"> <thead> <tr> <th>MA6</th> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>接続するページ ROM のページ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>32 ビット×2, 16 ビット×4 (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>32 ビット×4, 16 ビット×8</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>32 ビット×8, 16 ビット×16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>32 ビット×16, 16 ビット×32</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>32 ビット×32, 16 ビット×64</td> </tr> <tr> <td colspan="4">上記以外</td> <td>設定禁止 (設定した場合の動作は保証できません。)</td> </tr> </tbody> </table>	MA6	MA5	MA4	MA3	接続するページ ROM のページ・サイズ	0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)	0	0	0	1	32 ビット×4, 16 ビット×8	0	0	1	1	32 ビット×8, 16 ビット×16	0	1	1	1	32 ビット×16, 16 ビット×32	1	1	1	1	32 ビット×32, 16 ビット×64	上記以外				設定禁止 (設定した場合の動作は保証できません。)
MA6	MA5	MA4	MA3	接続するページ ROM のページ・サイズ																																	
0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)																																	
0	0	0	1	32 ビット×4, 16 ビット×8																																	
0	0	1	1	32 ビット×8, 16 ビット×16																																	
0	1	1	1	32 ビット×16, 16 ビット×32																																	
1	1	1	1	32 ビット×32, 16 ビット×64																																	
上記以外				設定禁止 (設定した場合の動作は保証できません。)																																	
0	ST	<p>スタティック・メモリ用チップ・セレクト出力 0 (STCSZ0) に接続するメモリ・タイプを指定します。</p> <p>0 : SRAM, I/O デバイス (初期値) 1 : ページ ROM</p>																																			

ページ ROM 制御レジスタ (PRC) により接続するページ ROM の構成，連続する読み出し可能なビット数に応じて，アドレス (A3-A6) のうちマスクする (比較しない) アドレスを設定します。

次に，512K ワード×16 ビットのページ ROM を 2 つ接続した場合の，アドレス・マスク制御の例を示します。

図 5-1 PRC レジスタの MA6-MA3 ビットによる制御例



## (4) ライト・イネーブル切り替えレジスタ (WREN)

BENZ0-BENZ3 端子の機能において，WRZ0-WRZ3 と BENZ0-BENZ3 とを選択するレジスタです。  
外部メモリ・インタフェース用は，ビット 0 の WREN ビットです。

バイト・イネーブル付きの SRAMなどを接続する場合は，ライト・ストロブ信号に WRZ0-WRZ3  
の負論理 OR を取った WRSTBZ を使用します。

WREN レジスタは，リード/ライト可能です。ビット 31-2 には必ず 0 を設定してください。

リセットで 0000 0000H になり，BENZ0-BENZ3 端子は BENZ0-BENZ3 として動作します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
WREN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9104H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H
															SWR EN	WR EN	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意 味
1	SWREN	SiP 内部接続インタフェースの SBENZ0-SBENZ3 端子機能を選択します。 0 : SBENZ0-SBENZ3 として動作 (初期値) 1 : SWRZ0-SWRZ3 として動作
0	WREN	外部メモリ・インタフェースの BENZ0-BENZ3 端子機能を選択します。 0 : BENZ0-BENZ3 として動作 (初期値) 1 : WRZ0-WRZ3 として動作

**備考** BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと，SiP 内部接続の SBENZ0-SBENZ3 と  
SWRZ0-SWRZ3 の機能切り替えは，WREN レジスタの SWREN, WREN の独立ビットで選択でき  
ます。

(5) ダイナミック・メモリ制御レジスタ (DMC)

DMC レジスタは、接続するダイナミック・メモリの、レーテンシ、ウエイト、ロウ・アドレス幅、アドレス・マルチプレクス幅を設定します。

DMC レジスタはリード/ライト可能です。ビット 31, ビット 27-24, ビット 21, 20, ビット 14-0 には必ず 0 を設定してください。

ビット 15 はリードのみ可能で、書き込んだ値は無視されます。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMC	0	LTM 2	LTM 1	LTM 0	0	0	0	0	BCW 1	BCW 0	0	0	RAW 1	RAW 0	SAW 1	SAW 0	0F00 001CH
R/W	0	R/W	R/W	R/W	0	0	0	0	R/W	R/W	0	0	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	20C0 0000H
R/W	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味																								
30-28	LTM2- LTM0	リード時の CAS レーテンシを設定します。  <table border="1"> <thead> <tr> <th>LTM2</th> <th>LTM1</th> <th>LTM0</th> <th>CAS レーテンシ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	LTM2	LTM1	LTM0	CAS レーテンシ	0	0	0	設定禁止	0	0	1	1	0	1	0	2	0	1	1	3	上記以外			設定禁止
LTM2	LTM1	LTM0	CAS レーテンシ																							
0	0	0	設定禁止																							
0	0	1	1																							
0	1	0	2																							
0	1	1	3																							
上記以外			設定禁止																							
23, 22	BCW1, BCW0	バンク・アクティブ・コマンドからリード/ライト・コマンド, またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでの発行間隔 (ウエイト・ステート数) を設定します。  <table border="1"> <thead> <tr> <th>BCW1</th> <th>BCW0</th> <th>ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCW1	BCW0	ウエイト・ステート数	0	0	設定禁止	0	1	1	1	0	2	1	1	3									
BCW1	BCW0	ウエイト・ステート数																								
0	0	設定禁止																								
0	1	1																								
1	0	2																								
1	1	3																								
19-18	RAW1, RAW0	ロウ・アドレス幅を指定します。  <table border="1"> <thead> <tr> <th>RAW1</th> <th>RAW0</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>13 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RAW1	RAW0	ロウ・アドレス幅	0	0	11 ビット	0	1	12 ビット	1	0	13 ビット	1	1	設定禁止									
RAW1	RAW0	ロウ・アドレス幅																								
0	0	11 ビット																								
0	1	12 ビット																								
1	0	13 ビット																								
1	1	設定禁止																								

(2/2)

ビット位置	ビット名	意味															
17-16	SAW1, SAW0	<p>アドレス・マルチプレクス幅を指定します。</p> <table border="1"> <thead> <tr> <th>RAW1</th> <th>RAW0</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11ビット</td> </tr> </tbody> </table>	RAW1	RAW0	アドレス・マルチプレクス幅	0	0	8ビット	0	1	9ビット	1	0	10ビット	1	1	11ビット
RAW1	RAW0	アドレス・マルチプレクス幅															
0	0	8ビット															
0	1	9ビット															
1	0	10ビット															
1	1	11ビット															
15	IST	<p>モード・レジスタ・ライト・ステータス・ビットです。</p> <p>DMC レジスタを設定したあとに、このビットがセット(1)されていることを確認してから SDRAM をアクセスしてください。このビットはリードのみ可能で、ライトは無視されます。</p> <p>0: モード・レジスタ・ライト未完了 1: モード・レジスタ・ライト完了</p>															

**注意** IST ビットがセット(1)されていることを確認してから SDRAM にアクセスをしてください。DMC レジスタへの設定は、メモリ・コントローラの初期化時のみ行ってください。初期化後の変更はしないでください。

(a) SDRAM アドレス制御

以下に、SDRAM アクセス・サイクル時のアドレス制御について説明します。

(i) アクティブ・コマンド時

ロウ・アドレスを出力します。

ビット設定		アドレス端子																	
SAW1	SAW0	26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	a26-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
0	1	a26-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
1	0	a26-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
1	1	a26-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

(ii) オール・バンク・プリチャージ・コマンド時

SDRAM の A10 = 1 にします。

ビット設定		アドレス端子																	
DBS		26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0		a26-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
1		a26-a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

(iii) レジスタ・ライト・コマンド時

ビット設定		アドレス端子																	
DBS		26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0		0	0	0	0	0	0	0	0	0	0	0	LTM <sub>2</sub>	LTM <sub>1</sub>	LTM <sub>0</sub>	a4	a3	a2	a1
1		0	0	0	0	0	0	0	0	0	0	LTM <sub>2</sub>	LTM <sub>1</sub>	LTM <sub>0</sub>	0	a4	a3	a2	a1

(iv) リード/ライト・コマンド時

コラム・アドレスを出力します。SDRAM の A10 = 1 としてオート・プリチャージは発行しません。

ビット設定		アドレス端子																	
DBS		26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0		a26-a18	a17	a16	a15	a14	a13	a12	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
1		a26-a18	a17	a16	a15	a14	a13	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

(b) アドレス対応について

メモリ・コントローラは、以下のレジスタ設定値よりのアドレス対応が行われます。

- ・DMC レジスタの RAW1, RAW0 (ロウ・アドレス幅) , SAW1, SAW0 (アドレス・マルチプレクス幅)
- ・BSC レジスタの DBS (メモリ・バス幅)

表 5-2 にレジスタ設定とアドレスの対応を示します。メモリ・コントローラは直前のアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。

- ・バンク・アドレスとロウ・アドレスが同じ場合は、オンページ・アクセスと判断します。
- ・バンク・アドレスが同じでロウ・アドレスが異なる場合は、ページ・チェンジ・アクセスと判断します。バンク・アドレスが異なる場合は、バンク・チェンジ・アクセスと判断します。

表 5-2 アドレス対応表

ロウ・アドレス幅	カラム・アドレス幅	メモリ・バス幅	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11	8	16	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (8 ビット)				-					
12	8	16	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (8 ビット)				-					
13	8	16	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (8 ビット)				-					
11	9	16	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (9 ビット)				-					
12	9	16	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (9 ビット)				-					
13	9	16	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (9 ビット)				-					
11	10	16	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (10 ビット)				-					
12	10	16	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (10 ビット)				-					
13	10	16	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (10 ビット)				-					
11	11	16	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (11 ビット)				-					
12	11	16	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (11 ビット)				-					
13	11	16	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (11 ビット)				-					
11	8	32	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (8 ビット)				-	-				
12	8	32	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (8 ビット)				-	-				
13	8	32	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (8 ビット)				-	-				
11	9	32	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (9 ビット)				-	-				
12	9	32	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (9 ビット)				-	-				
13	9	32	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (9 ビット)				-	-				
11	10	32	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (10 ビット)				-	-				
12	10	32	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (10 ビット)				-	-				
13	10	32	バンク・アドレス						ロウ・アドレス (13 ビット)											カラム・アドレス (10 ビット)				-	-				
11	11	32	バンク・アドレス						ロウ・アドレス (11 ビット)											カラム・アドレス (11 ビット)				-	-				
12	11	32	バンク・アドレス						ロウ・アドレス (12 ビット)											カラム・アドレス (11 ビット)				-	-				

**注意** バンク・アドレスとして認識している上位アドレスのアドレス・ビットを用いて、外部でチップ・セレクト等の制御を行うと、メモリ・コントローラの認識と実際の SDRAM のアクセスとの間で不整合が生じ、不正アクセス (不正コマンド) が発生するおそれがあります。

## (c) モード・レジスタ・ライト

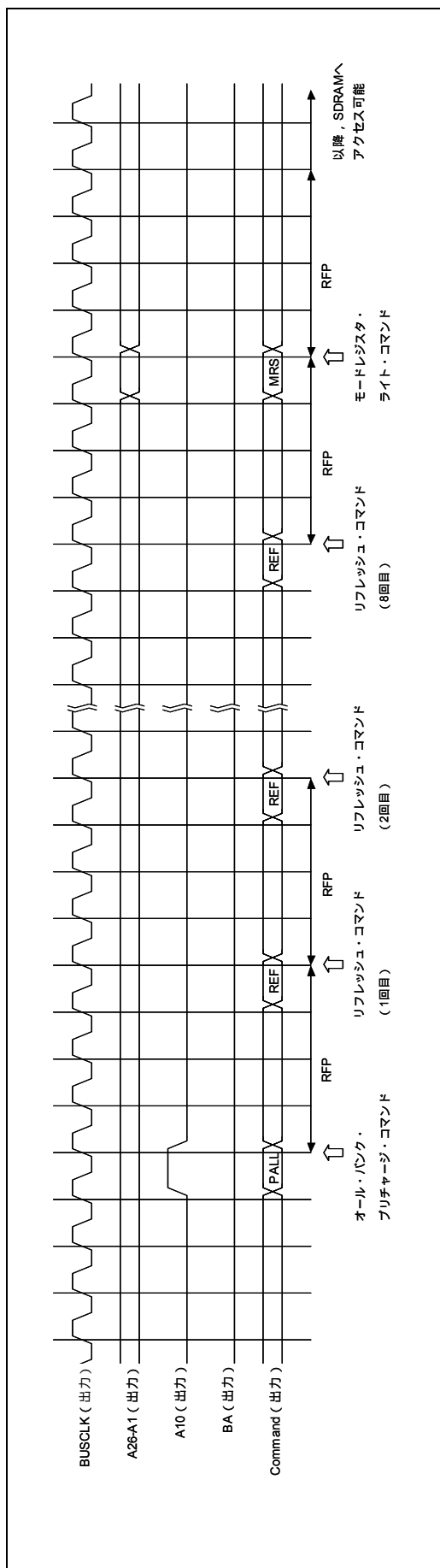
DMC レジスタへの書き込みが行われると、メモリ・コントローラは SDRAM へのモード・レジスタ・ライト・サイクルを起動し、該当する SDRAM の初期化を行います。

初期化が開始されると、初期化が終わるまではメモリ・コントローラは、内部のバス・マスタからのアクセスを受け付けず、バス・マスタをウエイトさせます。

モード・レジスタ・ライト・サイクルのタイミング例を図 5-2 に示します。

**注意** モード・レジスタの設定完了は、必ず DMC レジスタの IST ビットで確認してください。それまでは、他のメモリ・コントローラの制御レジスタや、外部メモリにアクセスしないでください。ただし、SiP 内部接続用メモリ・コントローラは、外部メモリ・アクセス用メモリ・コントローラと独立しているため、この制限はありません。

図 5-2 SDRAM モード・レジスタ・ライト・サイクル





(6) ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC)

RFC レジスタは、リフレッシュ許可とリフレッシュ間隔を設定します。

RFC レジスタはリード/ライト可能です。ビット 31-21, ビット 14-10 には必ず 0 を設定してください。

( 1/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RFC	0	0	0	0	0	0	0	0	0	0	0	RFP4	RFP3	RFP2	RFP1	RFP0	0F00 002CH
R/W	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	REN0	0	0	0	0	0	RCC1	RCC0	RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	001F 0000H
R/W	R/W	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味																																										
20-16	RFP4- RFP0	<p>前のコマンド発行からリフレッシュ・コマンド発行までの間隔、リフレッシュ・コマンド発行から次のコマンド発行までの間隔を BUSCLK 単位で指定します。</p> <table border="1"> <thead> <tr> <th>RFP4</th> <th>RFP3</th> <th>RFP2</th> <th>RFP1</th> <th>RFP0</th> <th>モード・レジスタ・ライト・サイクル時のリフレッシュ・コマンド間隔</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1×BUSCLK</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2×BUSCLK</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>3×BUSCLK</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>32×BUSCLK</td> </tr> </tbody> </table>	RFP4	RFP3	RFP2	RFP1	RFP0	モード・レジスタ・ライト・サイクル時のリフレッシュ・コマンド間隔	0	0	0	0	0	設定禁止	0	0	0	0	1	1×BUSCLK	0	0	0	1	0	2×BUSCLK	0	0	0	1	1	3×BUSCLK	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	32×BUSCLK
RFP4	RFP3	RFP2	RFP1	RFP0	モード・レジスタ・ライト・サイクル時のリフレッシュ・コマンド間隔																																							
0	0	0	0	0	設定禁止																																							
0	0	0	0	1	1×BUSCLK																																							
0	0	0	1	0	2×BUSCLK																																							
0	0	0	1	1	3×BUSCLK																																							
⋮	⋮	⋮	⋮	⋮	⋮																																							
1	1	1	1	1	32×BUSCLK																																							
15	REN	<p>SDRAM のリフレッシュ・イネーブルを設定します。</p> <p>0 : リフレッシュ禁止</p> <p>1 : リフレッシュ許可</p>																																										
9, 8	RCC1, RCC0	<p>リフレッシュ・インターバル・カウンタのカウンタ・ソース・クロック・ファクタを設定します。</p> <table border="1"> <thead> <tr> <th>RCC1</th> <th>RCC0</th> <th>カウンタ・ソース・クロック・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32</td> </tr> <tr> <td>0</td> <td>1</td> <td>128</td> </tr> <tr> <td>1</td> <td>0</td> <td>256</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCC1	RCC0	カウンタ・ソース・クロック・ファクタ	0	0	32	0	1	128	1	0	256	1	1	設定禁止																											
RCC1	RCC0	カウンタ・ソース・クロック・ファクタ																																										
0	0	32																																										
0	1	128																																										
1	0	256																																										
1	1	設定禁止																																										

(2/2)

ビット位置	ビット名	意味																																																															
7-0	RIN7- RIN0	リフレッシュ・インターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RIN7</th> <th>RIN6</th> <th>RIN5</th> <th>RIN4</th> <th>RIN3</th> <th>RIN2</th> <th>RIN1</th> <th>RIN0</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>256</td> </tr> </tbody> </table>	RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	2	0	0	0	0	0	0	1	0	3	0	0	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	1	1	256
RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ																																																									
0	0	0	0	0	0	0	0	1																																																									
0	0	0	0	0	0	0	1	2																																																									
0	0	0	0	0	0	1	0	3																																																									
0	0	0	0	0	0	1	1	4																																																									
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																									
1	1	1	1	1	1	1	1	256																																																									

注意 1. リフレッシュ発生要因は、メモリ・コントローラ内部のインターバル・タイマのカウント値と、リフレッシュ間隔レジスタの設定値との一致によって発生しますが、実際のリフレッシュ実行は外部バスの状態（サイクル実行中またはバス・ホールド中）により待たされることがあります。したがって、リフレッシュ間隔の設定は、システムのバス稼働率を考慮して、メモリの仕様よりも短い値を設定する必要があります。

2. リフレッシュ間隔（RCC, RIN）は、モード・レジスタ設定サイクル時のリフレッシュ間隔（RFP）より長い時間に設定してください。

リフレッシュ間隔 =  $64\text{ms}/4096 = 15.625\ \mu\text{s}$  の場合の設定例を示します。リフレッシュ間隔の規定値に対して、使用する動作クロックにあわせて、ソース・クロック・ファクタとインターバル・ファクタを設定します。

表 5-3 SDRAM リフレッシュ間隔設定例

リフレッシュ間隔の規定値（ $\mu\text{s}$ ）	カウント・ソース・クロック・ファクタ（RCC1-RCC0）	インターバル・ファクタ（RIN7-RIN0）			
		BUSCLK = 48MHz 時	BUSCLK = 66MHz 時	BUSCLK = 88.7MHz 時	BUSCLK = 100MHz 時
$64 \times 1000 / 4096 = 15.625$	00 (32)	23 (15.33 $\mu\text{s}$ ) 注	32 (15.52 $\mu\text{s}$ ) 注	43 (15.52 $\mu\text{s}$ ) 注	48 (15.36 $\mu\text{s}$ ) 注
	01 (128)	5 (15.33 $\mu\text{s}$ ) 注	8 (15.52 $\mu\text{s}$ ) 注	11 (14.44 $\mu\text{s}$ ) 注	12 (15.36 $\mu\text{s}$ ) 注
	10 (256)	2 (10.67 $\mu\text{s}$ ) 注	4 (15.52 $\mu\text{s}$ ) 注	6 (14.44 $\mu\text{s}$ ) 注	6 (15.36 $\mu\text{s}$ ) 注

注（ ）内は、リフレッシュ間隔の計算値です。

リフレッシュ間隔（ $\mu\text{s}$ ）= カウント・ソース・クロック・ファクタ / BUSCLK × インターバル・ファクタ

## 5.4 メモリ接続例

### 5.4.1 SRAM の接続例

SRAM との接続例は次のようになります。

図 5-3 PFESiP/V850EP3 と 32 ビット幅 SRAM との接続例

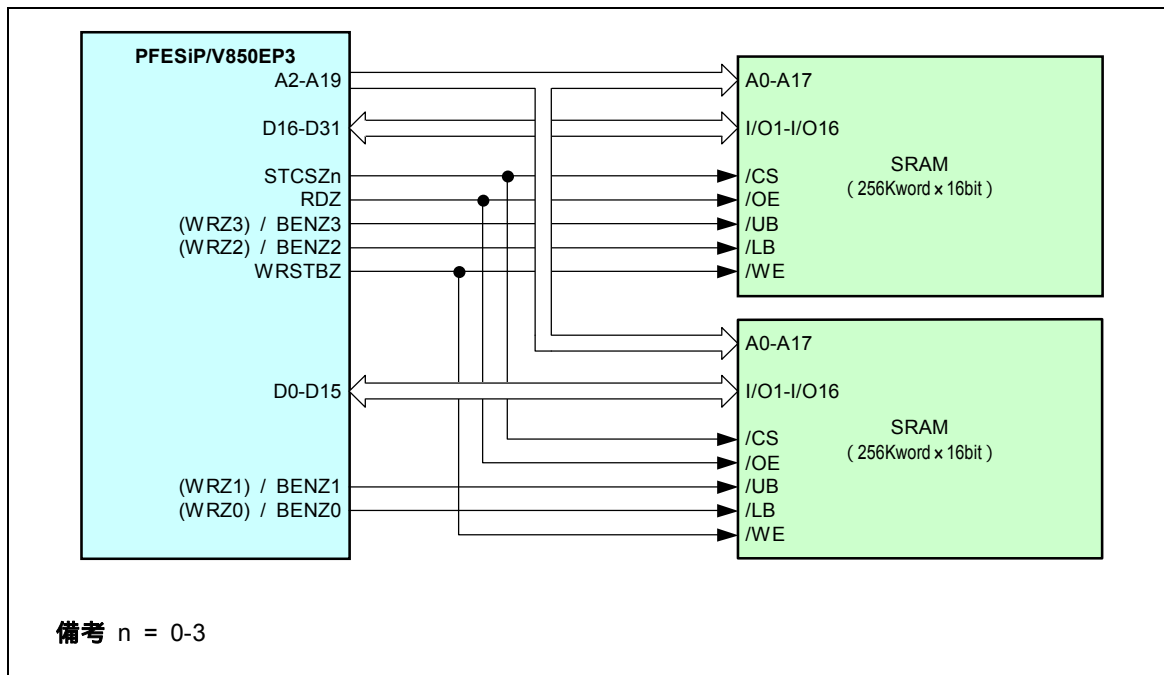
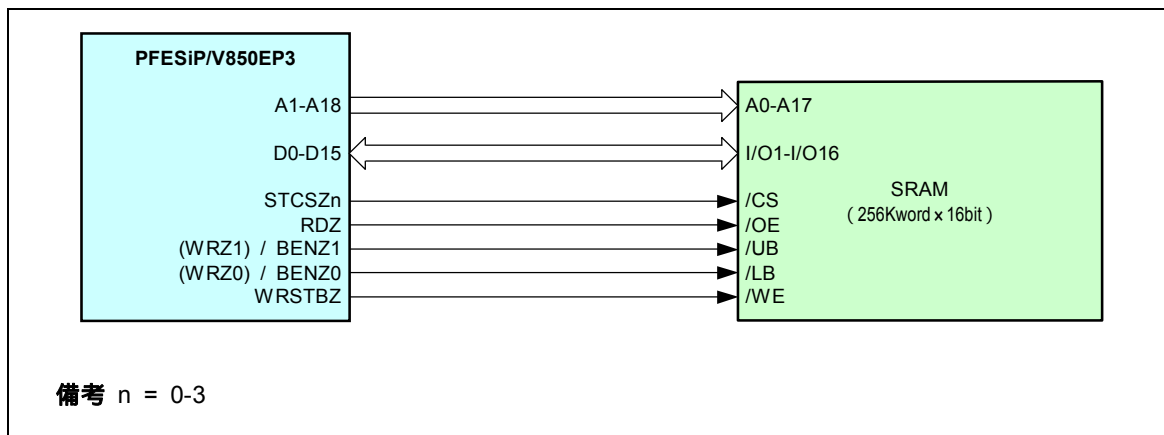


図 5-4 PFESiP/V850EP3 と 16 ビット幅 SRAM との接続例



### 5.4.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

図 5-5 PFESiP/V850EP3 と 32 ビット幅ページ ROM との接続例

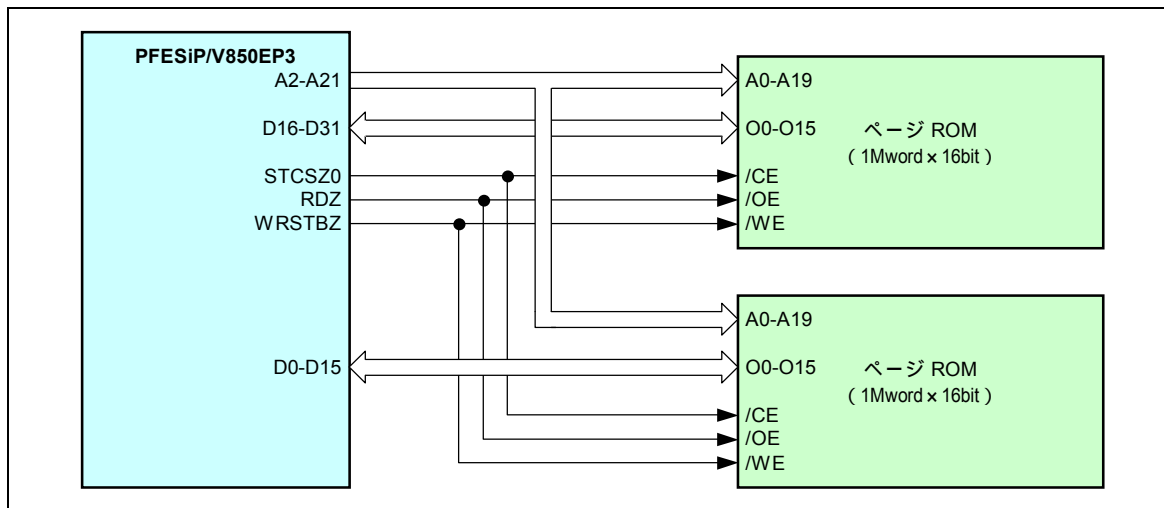
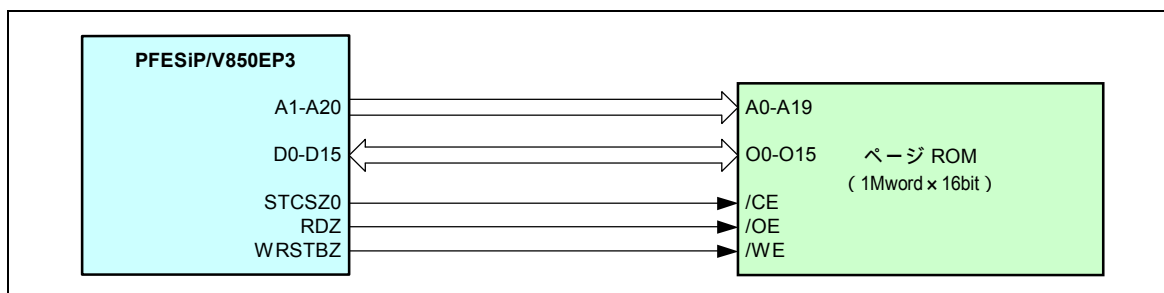


図 5-6 PFESiP/V850EP3 と 16 ビット幅ページ ROM との接続例



注意 ページ ROM は、STCSZ0 以外に接続した場合、オンページ・モードを利用できません。

### 5.4.3 SDRAM の接続例

SDRAM との接続例を次に示します。

図 5-7 PFESiP/V850EP3 と 32 ビット幅 SDRAM との接続例

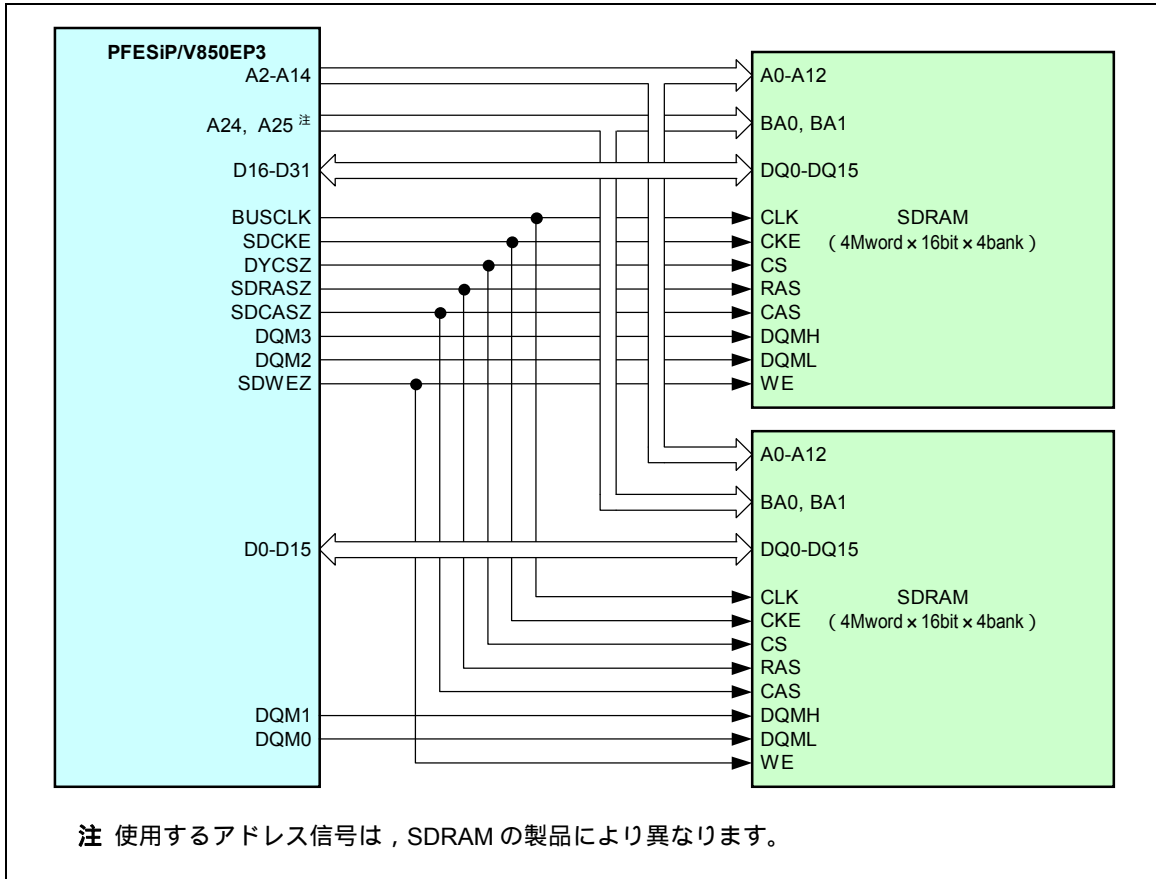
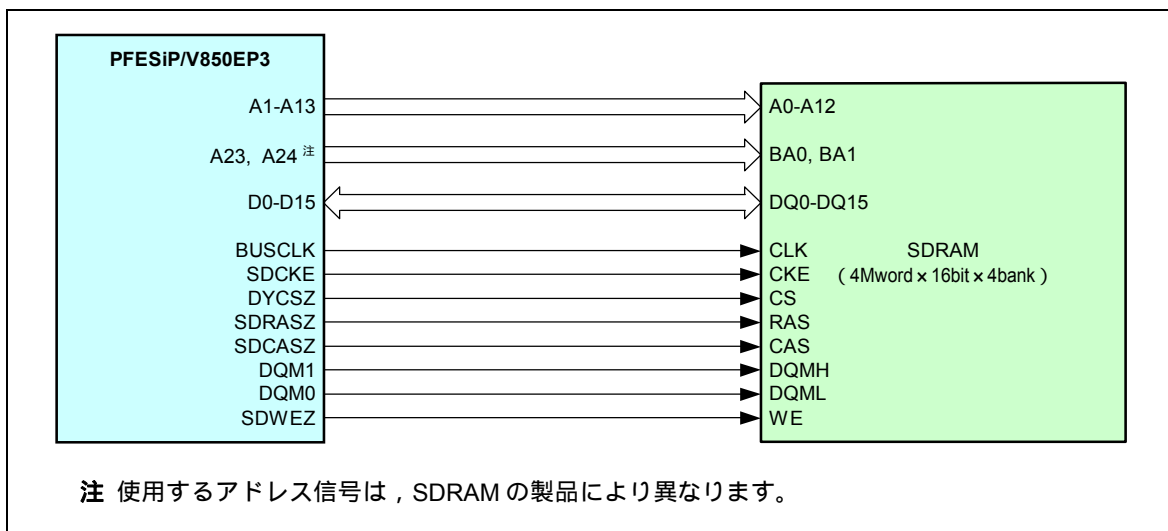


図 5-8 PFESiP/V850EP3 と 16 ビット幅 SDRAM との接続例



## 5.5 外部ウエイト機能

PFESiP/V850EP3 のメモリ・コントローラに低速のマクロ、または低速のシステムを接続する場合は、外部ウエイト端子 (WAITZ) を使用して、バス・サイクルのウエイト・ステートを挿入できます。

WAITZ 信号は、BUSCLK 信号に対する非同期入力が可能です<sup>※</sup>。BUSCLK の立ち下がり、BUSCLK の立ち上がりの、2 段の F/F よって WAITZ 信号を取り込んでいます。つまり BUSCLK の立ち下がり、でサンプリングし、 $1.5 \times \text{BUSCLK}$  のタイミングでウエイトが解除されます。

このため、外部ウエイト機能を利用する場合は、少なくともアドレス設定ウエイト (SMCn レジスタの ACn3-ACn0) とデータ・ウエイト (SMCn レジスタの DWn3-DWn0) の合計値が  $1 \times \text{BUSCLK}$  以上が必要です。実際の設計では、BCYSTZ や STCSZn がアクティブになるタイミングから、次の BUSCLK の立ち下がりまでに WAITZ をロー・レベルとすることは困難なため、アドレス設定ウエイト (SMCn レジスタの ACn3-ACn0) とデータ・ウエイト (SMCn レジスタの DWn3-DWn0) の合計値は  $2 \times \text{BUSCLK}$  以上が必要です。

なお、外部ウエイト・ステートは、スタティック・メモリのデータ・ウエイトのみに挿入されます。ダイナミック・メモリ・サイクル、スタティック・メモリ・サイクルのデータ・ウエイト以外には、外部ウエイト端子に入力は無効です。

**注** PFESiP/V850EP3 に外部回路を接続した 1 チップ開発を行う場合、WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

図 5-9 WAITZ 信号サンプリング回路構成

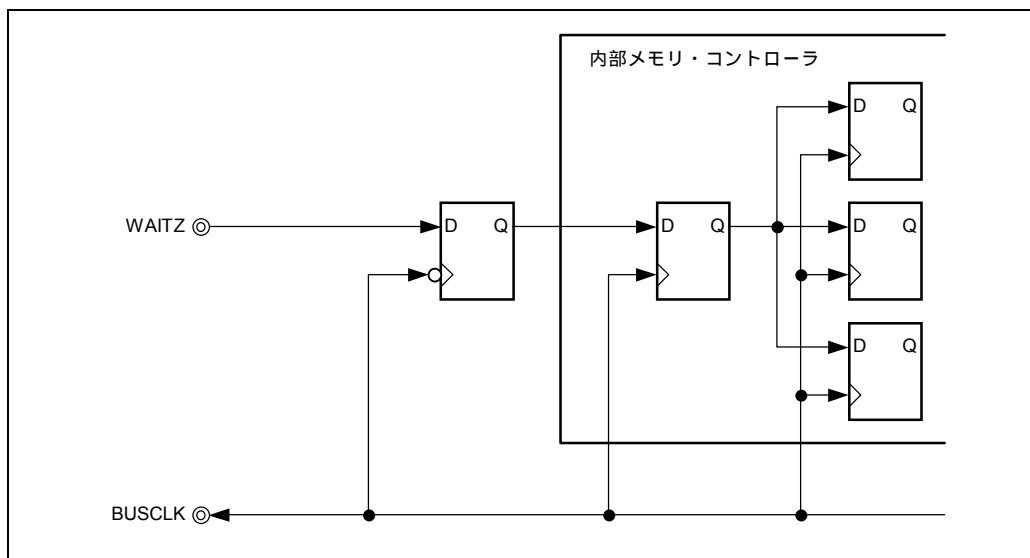
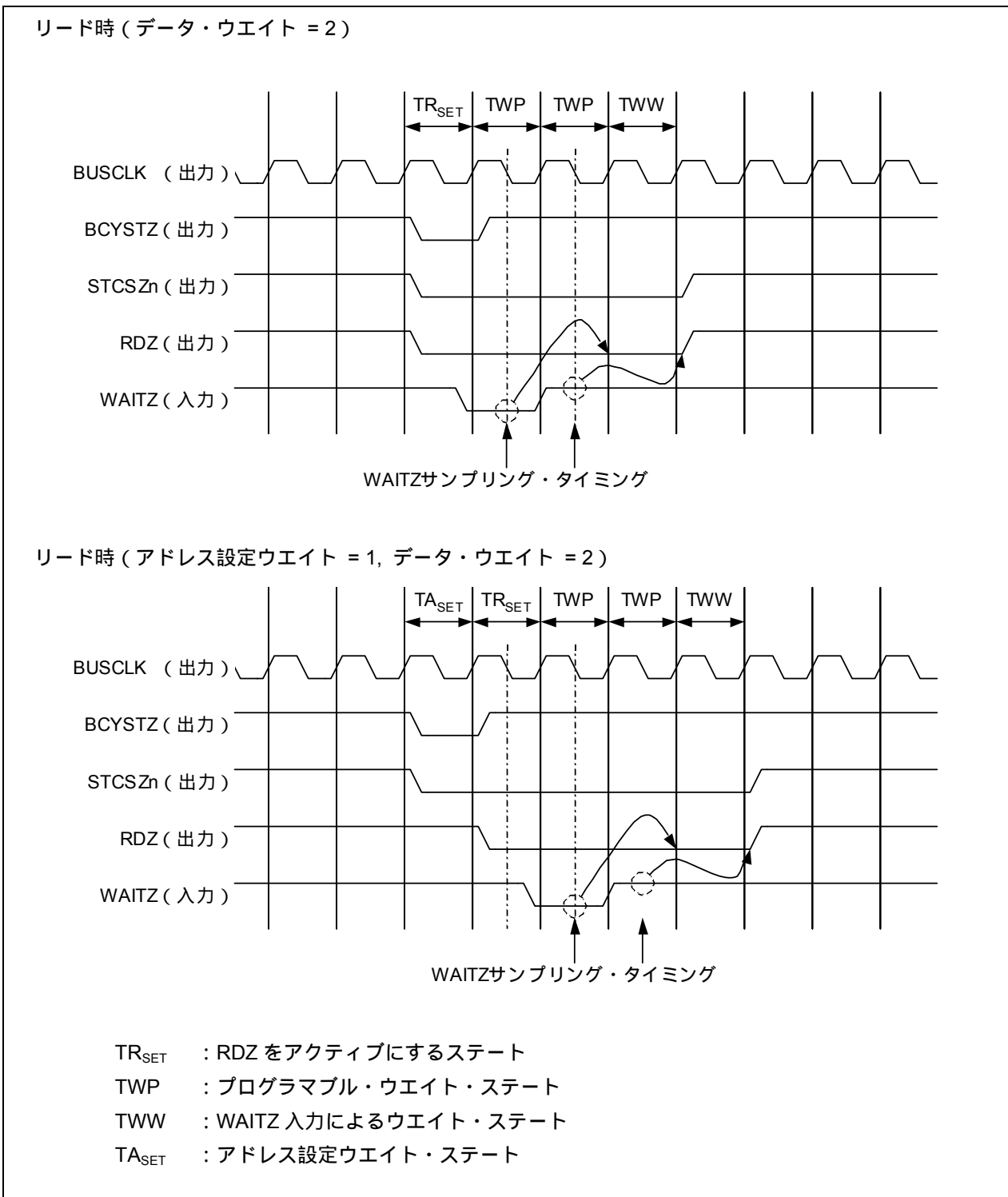


図 5-10 WAITZ 端子のサンプリング・タイミング (リード時)

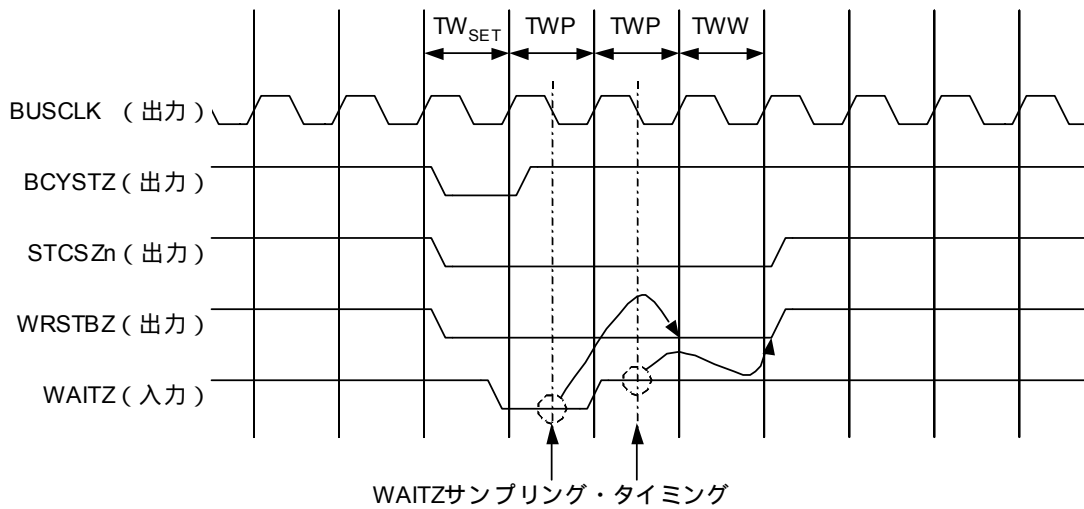


注意 1. データ・ウエイト・サイクルは、SMCn レジスタの DWn3-DWn0 の設定によるウエイト数と、WAITZ 端子入力による外部ウエイト数の論理和をとったものが挿入されます。

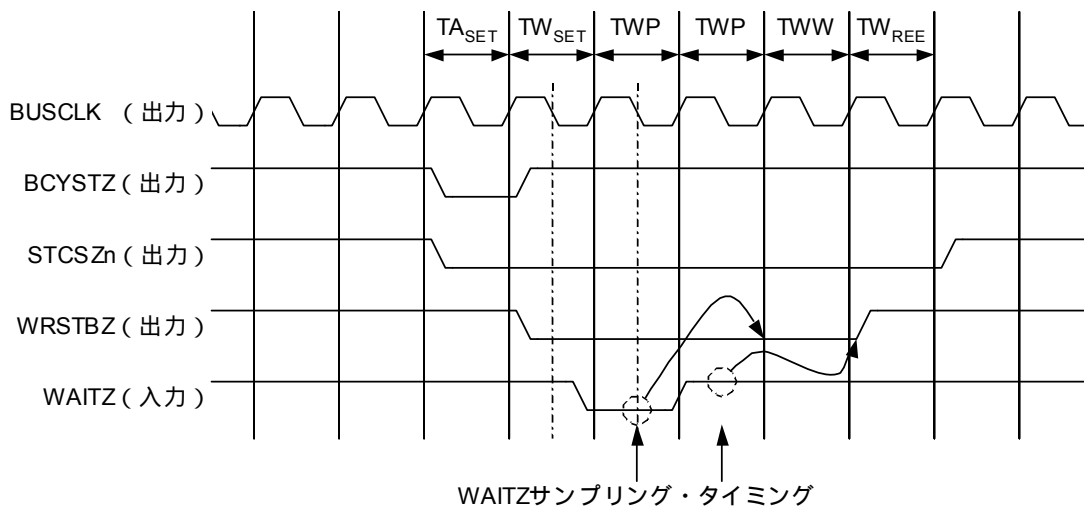
2. WAITZ 入力を利用する場合は、ポート P70 をコントロール・モードに設定してください。

図 5-11 WAITZ 端子のサンプリング・タイミング (ライト時)

ライト時 (データ・ウエイト = 2)



ライト時 (アドレス設定ウエイト = 1, データ・ウエイト = 2, ライト・リカバリ・ウエイト = 1)



- TW<sub>SET</sub> : WRSTBZ をアクティブにするステート
- TWP : プログラマブル・ウエイト・ステート
- TWW : WAITZ 入力によるウエイト・ステート
- TA<sub>SET</sub> : アドレス設定ウエイト・ステート
- TA<sub>REE</sub> : ライト・リカバリ・ウエイト・ステート

**注意 1.** データ・ウエイト・サイクルは、SMCn レジスタの DWn3-DWn0 の設定によるウエイト数と、WAITZ 端子入力による外部ウエイト数の論理和をとったものが挿入されます。

**2.** WAITZ 入力を利用する場合は、ポート P70 をコントロール・モードに設定してください。



## 5.6 スタンバイ機能

CPU コアからスタンバイ要求を受けると、メモリ・コントローラは外部 SDRAM に対しセルフ・リフレッシュ・コマンドを発行します。

SDRAM へのセルフ・リフレッシュ・コマンドの発行が完了すると、メモリ・コントローラは CPU にスタンバイ・アクノリッジ信号を返し、PFESiP/V850EP3 内部のクロック・コントローラに対して、クロックの停止許可を通知します。

IDLE モードを解除可能なマスクされていない割り込み、またはリセット入力 (RESETZ) により、スタンバイ状態が解除され、クロック供給が再開されると、メモリ・コントローラは外部 SDRAM のセルフ・リフレッシュ状態を解除します。SDRAM がコマンド受け付け可能になるまで、メモリ・コントローラへのアクセスはウエイトされます。

## 5.7 バス・ホールド機能

HLDQRZ 信号がアクティブ (ロー・レベル) になりバス・ホールドを受け付けると、メモリ・コントローラはバス・ホールド状態に移行します。バス・ホールド状態への移行が完了すると、HLDKZ 信号出力がアクティブ (ロー・レベル) になります。バス・ホールド期間中は、HLDKZ 信号はアクティブ・レベルを保持します。

HLDQRZ 信号がインアクティブ (ハイ・レベル) になると、メモリ・コントローラはバス・ホールド状態を解除して HLDKZ 信号がインアクティブ (ハイ・レベル) にします。

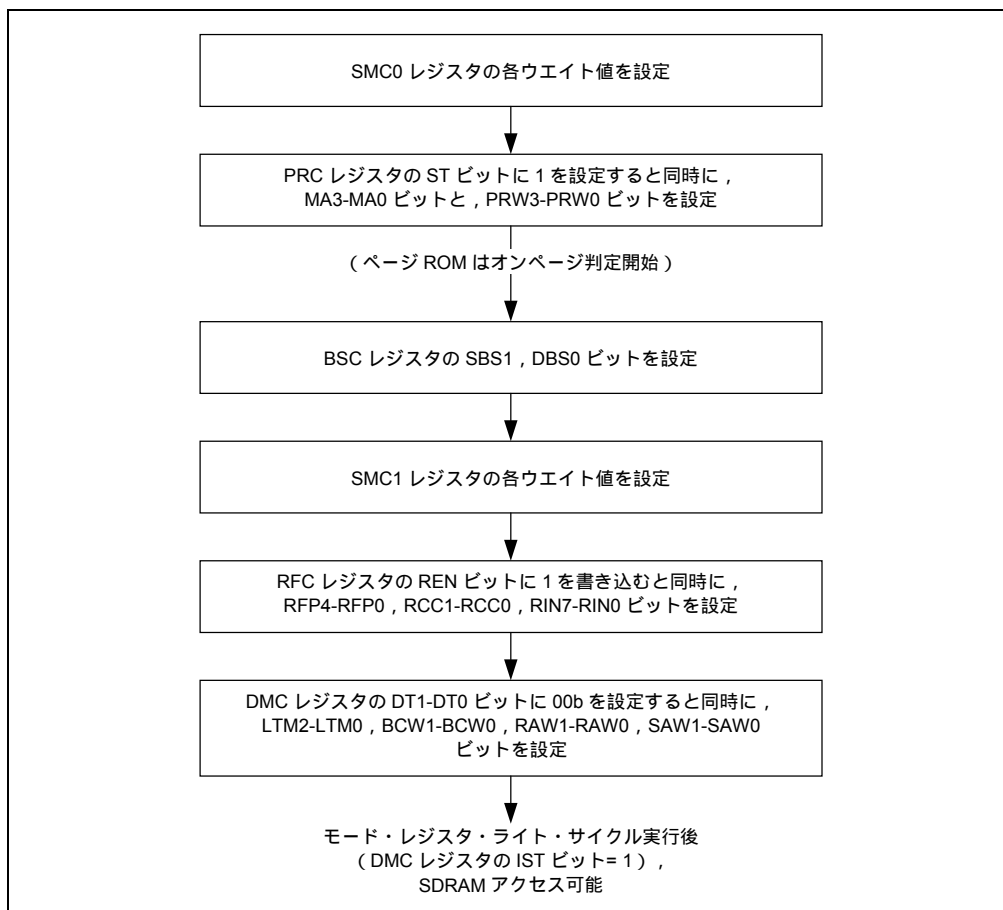
バス・ホールド中にダイナミック・メモリへのリフレッシュ要求が発生すると、メモリ・コントローラは、BUSREQZ 端子をロー・レベルにして、外部バス・マスタへ転送要求が発生したことを通知します。

- 注意 1.** バス・ホールド機能を利用する場合は、ポート P80, P81 をコントロール・モードに設定し、HLDQRZ, HLDKZ 端子機能として使用してください。
- 2.** バス・ホールド時に、外部バス・マスタが SDRAM へアクセスする場合には、必ずバンク・プリチャージ・コマンドを実行してからアクセスしてください。逆にバス・ホールド解除時は、外部バス・マスタは SDRAM に対し、特別にコマンドを実行する必要はありません。メモリ・コントローラはバス・ホールドから復帰後、最初の SDRAM アクセスは、オール・バンク・プリチャージ・コマンドから実行します

## 5.8 制御レジスタ設定手順

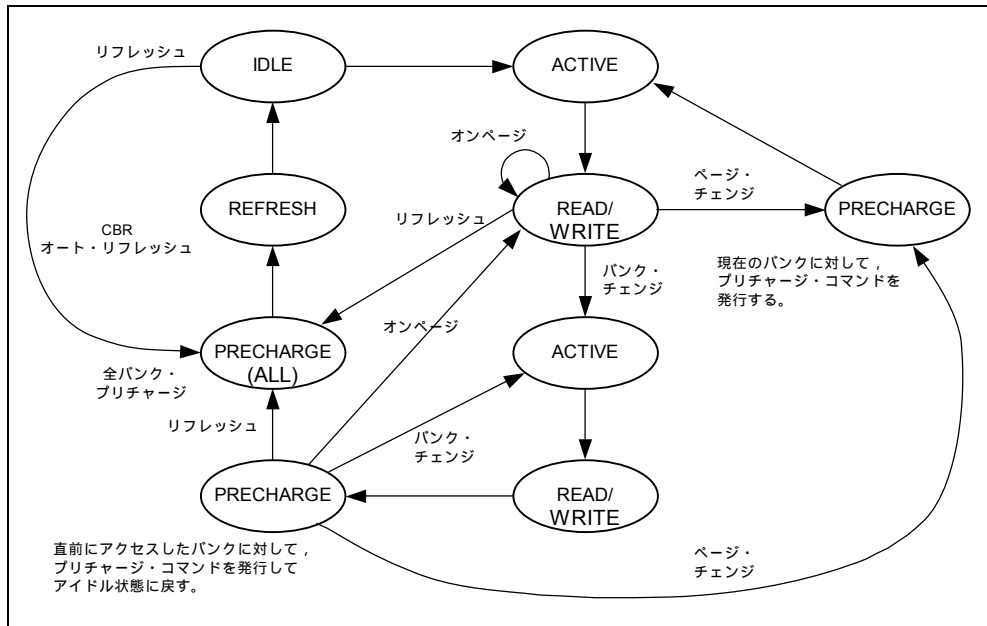
STCSZ0 領域にページ ROM, STCSZ1 領域に SRAM, DYCSZ 領域に SDRAM を接続する場合を例に, 制御レジスタ設定手順を説明します。

図 5-12 メモリ・コントローラの制御レジスタ設定手順例



## 5.9 SDRAM アクセスの状態遷移

図 5-13 SDRAM アクセスの状態遷移図



コマンド発行の手順を説明します。PFESiP/V850EP3 のメモリ・コントローラはダイナミック・メモリ制御レジスタ (DMC) とバス・サイズ制御レジスタ (BSC) に設定された情報より、バンク・アドレス、ロウ・アドレス、カラム・アドレスを認識します。それぞれの設定値におけるアドレス・マップは、5.3.1(5) ダイナミック・メモリ制御レジスタ (DMC) の表 5-2 アドレス対応表を参照してください。

直前にアクセスしたアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。同一チャンネルに接続された SDRAM に対しては、ロウ・アドレスが選択された状態が存在するのは 1 つのバンクのみになります。

## (1) 初期化後，リフレッシュ後およびバス・ホールド解除後に，アクセスした場合

初期化時，リフレッシュ時は，必ずオールバンク・プリチャージ・コマンドが発行されますので，すべてのSDRAMはアイドル状態になっています。よって，このあとの最初のアクセスではアクティブ・コマンド，リード/ライト・コマンドが順に発行されアクセスを終了します（ ）。

また，バス・ホールド解除後の最初のアクセスでも，最初にオールバンク・プリチャージ・コマンドが発行されてから，アクティブ・コマンド，リード/ライト・コマンドが順に発行されアクセスを終了します。アクセス終了後，アクセスしたSDRAMのバンクはロウ・アドレスが選択されている の状態にあります。ただし，この状態でリフレッシュ・タイミングになるとオールバンク・プリチャージ・コマンドを発行してからリフレッシュを行うため，すべてのSDRAMはアイドル状態に戻ります（ ）。

## (2) オンページ・アクセス

(1)のアクセス以外するとき，直前にアクセスしたアドレスと現在アクセスするアドレスにおいて，バンク・アドレスとロウ・アドレスが同じ場合は，オンページ・アクセスと判断します。アクセスするSDRAMのバンクはロウ・アドレスが選択された の状態にいるので，ページがヒットしている間はリード/ライト・コマンドのみが発行されます（ ~ ）。

アクセス終了後，アクセスしたSDRAMのバンクはロウ・アドレスが選択されている の状態にいます。この状態でリフレッシュ・タイミングになると と遷移して，すべてのSDRAMはアイドル状態に戻ります。

## (3) ページ・チェンジ・アクセス

(1)のアクセス以外するとき，直前にアクセスしたアドレスと現在アクセスするアドレスにおいて，バンク・アドレスが同じでロウ・アドレスが異なる場合は，ページ・チェンジ・アクセスと判断します。アクセスするSDRAMのバンクはロウ・アドレスが選択されている の状態にいるので，アクセスするバンクに対して最初にプリチャージ・コマンドが発行されアイドル状態にします。続けて，アクティブ・コマンドで新たなロウ・アドレスを発行し，リード/ライト・コマンドが発行されアクセスを終了します（ ）。

アクセス終了後，アクセスしたSDRAMのバンクはロウ・アドレスが選択されている の状態にいます。この状態でリフレッシュ・タイミングになると と遷移して，すべてのSDRAMはアイドル状態に戻ります。

## (4) バンク・チェンジ・アクセス

(1)のアクセス以外するとき，直前にアクセスしたアドレスと現在アクセスするアドレスにおいて，バンク・アドレスが異なる場合は，バンク・チェンジ・アクセスと判断します。これからアクセスするSDRAMのバンクはアイドル状態にあるため，アクティブ・コマンド，リード/ライト・コマンドが順に発行されアクセスを終了します。更に，直前にアクセスしたSDRAMのバンクはロウ・アドレスが選択されている状態にあるため，直前にアクセスしたバンクに対してプリチャージ・コマンドを発行しアイドル状態にします（ ）。よって，ロウ・アドレスが選択された状態にあるSDRAMのバンクは必ず1つになります。

アクセス終了後，アクセスしたSDRAMのバンクはロウ・アドレスが選択されている（ ）の状態にいます。次にオンページ・アクセスがあった場合は ，ページ・チェンジ・アクセスがあった場合は ，バンク・チェンジ・アクセスがあった場合は と遷移します。また，リフレッシュ・タイミングになると と遷移して，すべてのSDRAMはアイドル状態に戻ります。

## 5.10 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

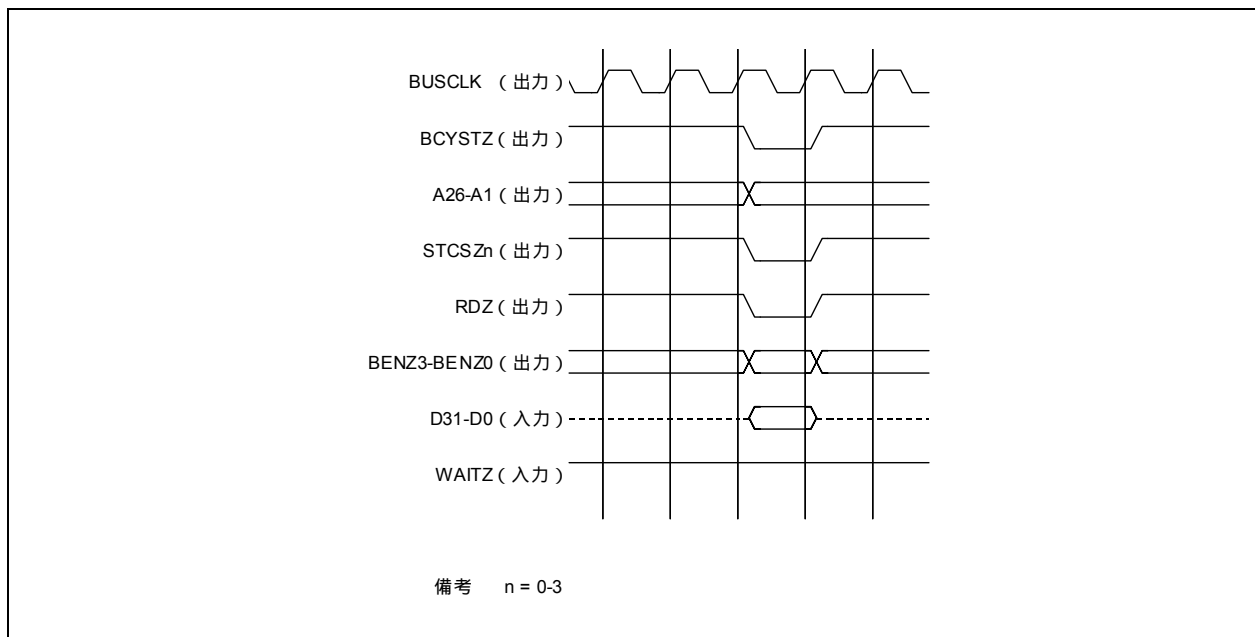
表 5-4 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図 5-14	SRAM	リード, ウェイトなし	281
図 5-15	SRAM	リード, ウェイトあり	281
図 5-16	SRAM	リード, 外部ウェイト挿入	282
図 5-17	SRAM	ライト, ウェイトなし	283
図 5-18	SRAM	ライト, ウェイトあり	283
図 5-19	SRAM	ライト, 外部ウェイト挿入	284
図 5-20	ページ ROM	リード, シングル転送	285
図 5-21	ページ ROM	リード, 4 バースト転送	285
図 5-22	SDRAM	リード, シングル転送	286
図 5-23	SDRAM	リード, 4 ワード・バースト転送	286
図 5-24	SDRAM	ライト, シングル転送	287
図 5-25	SDRAM	ライト, 4 ワード・バースト転送	287

図 5-14 SRAM リード・サイクル

★

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0000B (1 ステート) ,  
 DWn3-DWn0 = 0000B (0 ウェイト) , ACn3-ACn0 = 0000B (0 ウェイト)



★

図 5-15 SRAM リード・サイクル (ウェイト設定あり)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0001B (2 ステート) ,  
 DWn3-DWn0 = 0001B (1 ウェイト) , ACn3-ACn0 = 0001B (1 ウェイト)

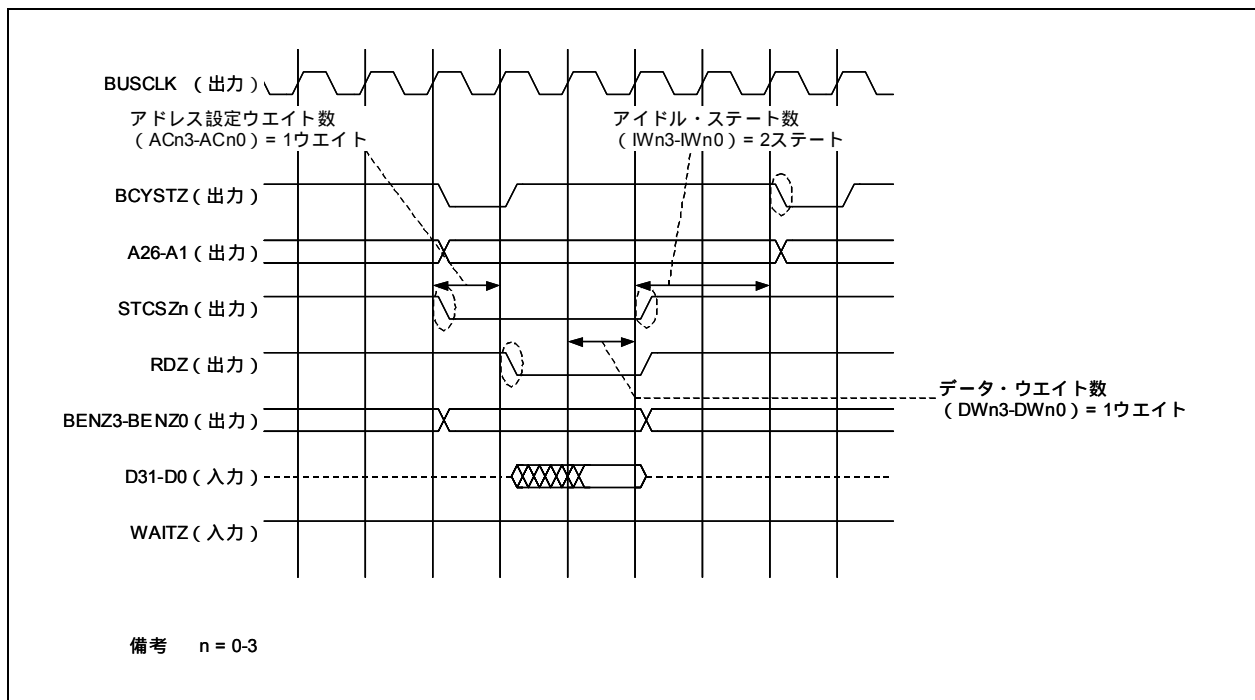


図 5-16 SRAM リード・サイクル (外部ウエイト挿入)

★

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0000B (1 ステート) ,  
 DWn3-DWn0 = 0010B (2 ウエイト) , ACn3-ACn0 = 0000B (0 ウエイト)

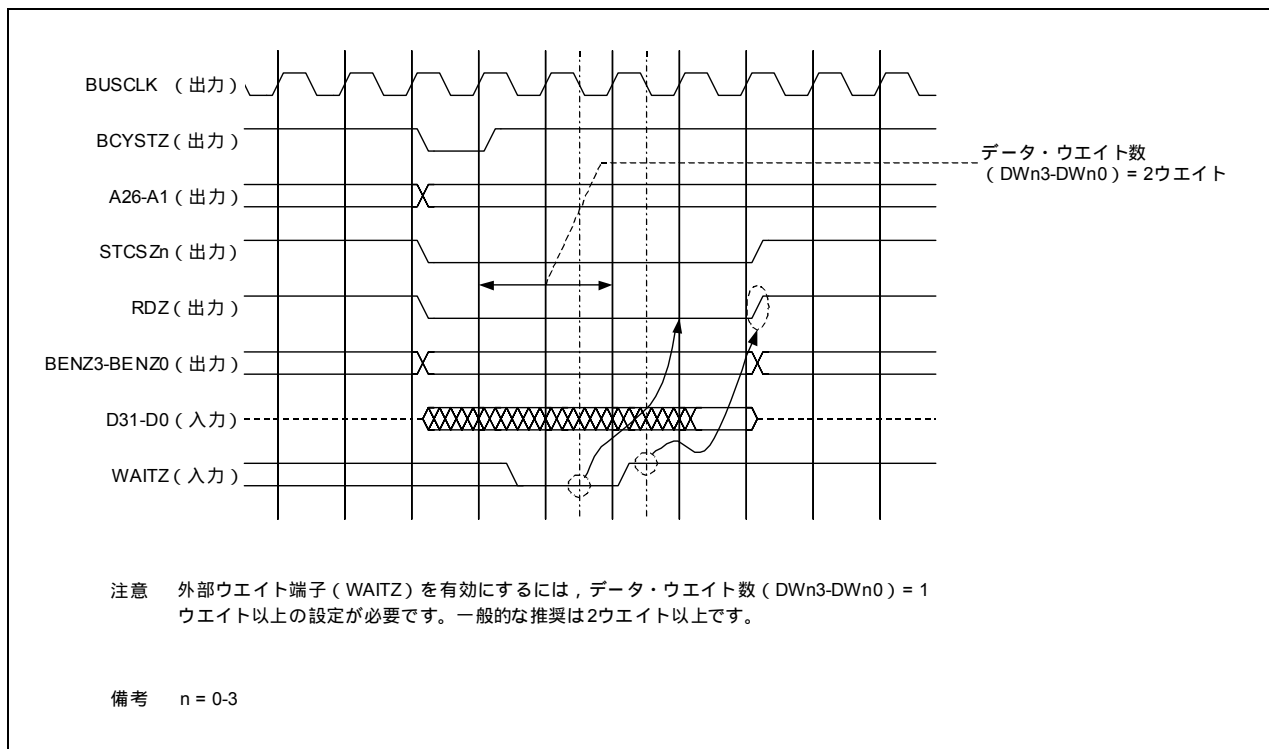


図 5-17 SRAM ライト・サイクル (ウエイトなし)

BSC : SBS3-SBS0 = 1111B ( 32 ビット ) , SMCn : WWn3-WWn0 = 0000B/0001B ( 1 ウエイト ) ,  
 DWn3-DWn0 = 0000B ( 0 ウエイト ) , ACn3-ACn0 = 0000B/0001B ( 0 ウエイト )

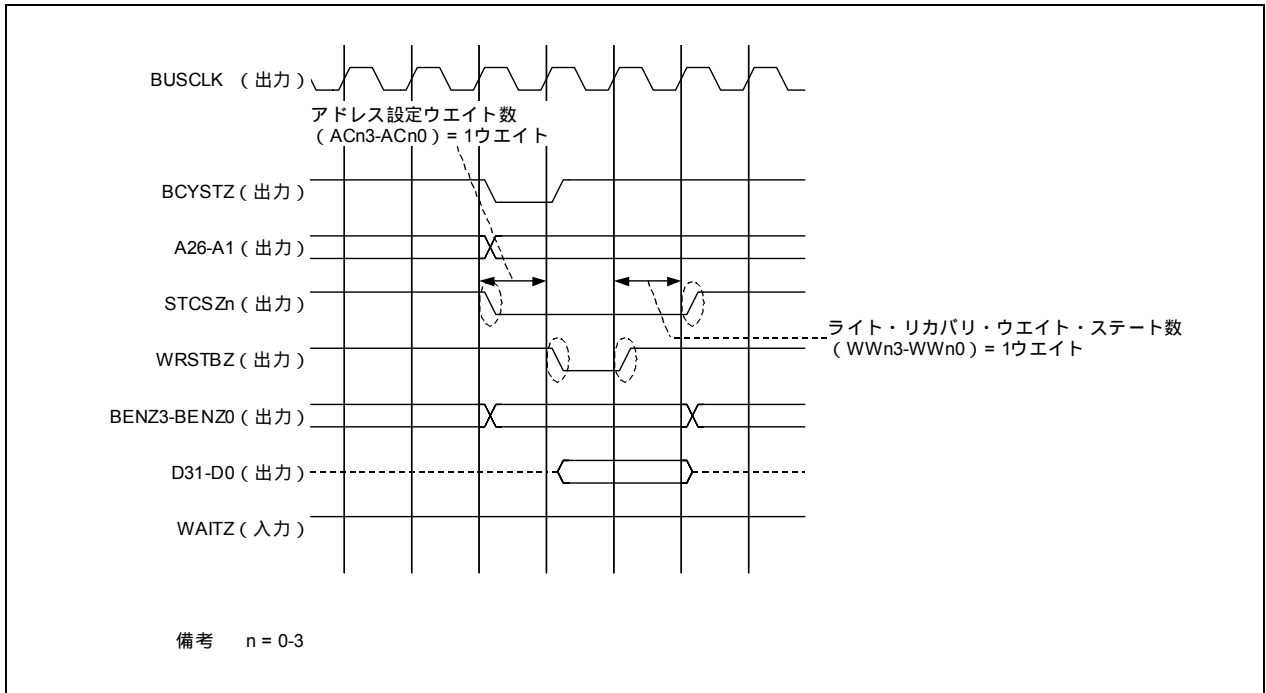


図 5-18 SRAM ライト・サイクル (ウエイトあり)

BSC : SBS3-SBS0 = 1111B ( 32 ビット ) , SMCn : WWn3-WWn0 = 0010B ( 2 ウエイト ) ,  
 DWn3-DWn0 = 0001B ( 1 ウエイト ) , ACn3-ACn0 = 0010B ( 2 ウエイト )

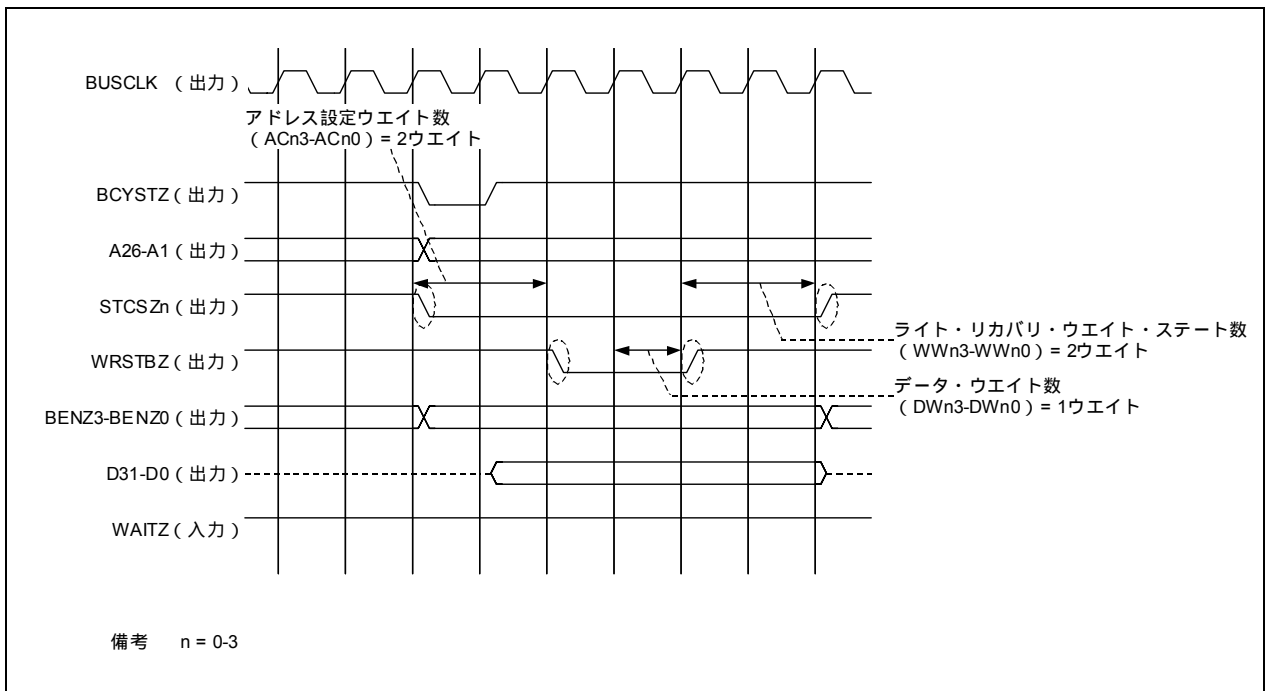
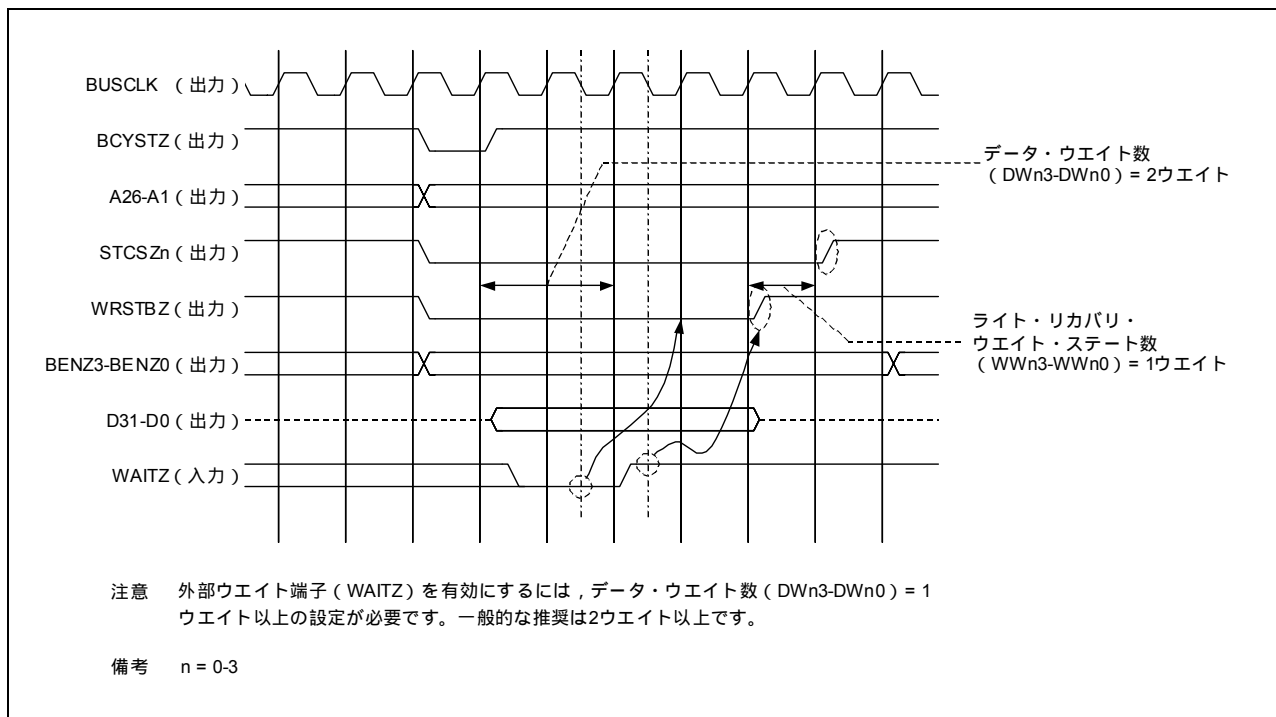




図 5-19 SRAM ライト・サイクル (外部ウエイト挿入)

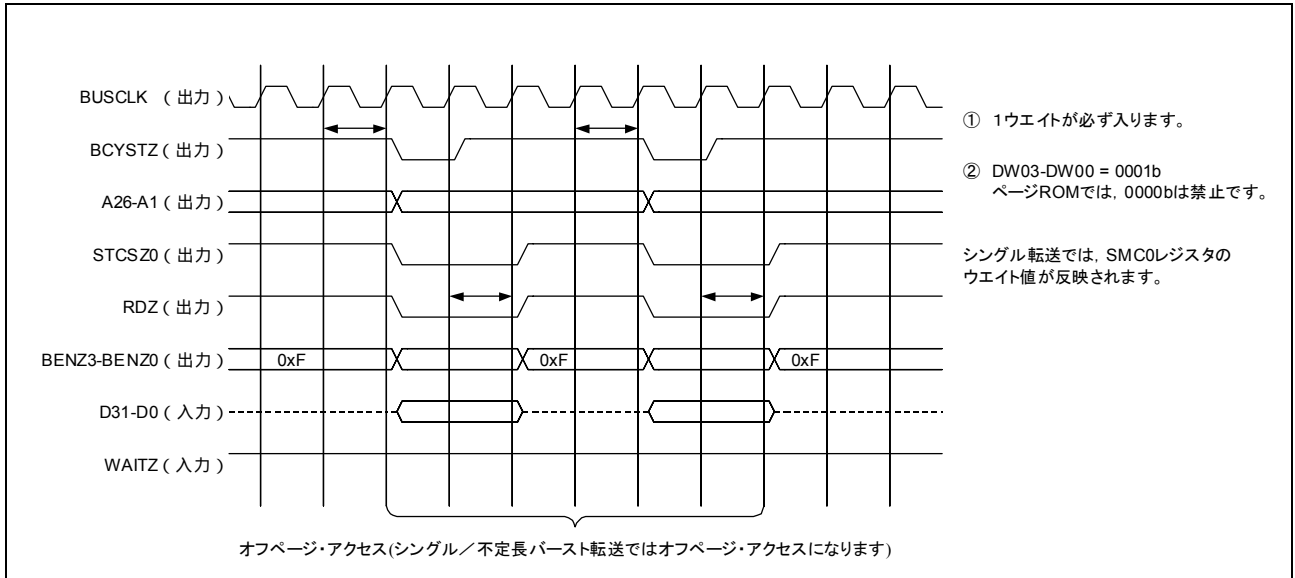
BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : WWn3-WWn0 = 0000B/0001B (1 ウエイト) ,  
 DWn3-DWn0 = 0010B (2 ウエイト) , ACn3-ACn0 = 0000B (0 ウエイト)



★

図 5-20 ページROM リード・サイクル (シングル転送)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMC0 : DW3-DW00 = 0001B (1 ウェイト)



★

図 5-21 ページROM リード・サイクル (4 バースト転送)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMC0 : IW03-IW00 = 0001B (2 ステート) ,  
DW03-DW00 = 0001B (1 ウェイト) , AC03-AC00 = 0001B (1 ウェイト) ,  
PRC : PRW3-PRW0 = 0001B (1 ウェイト)

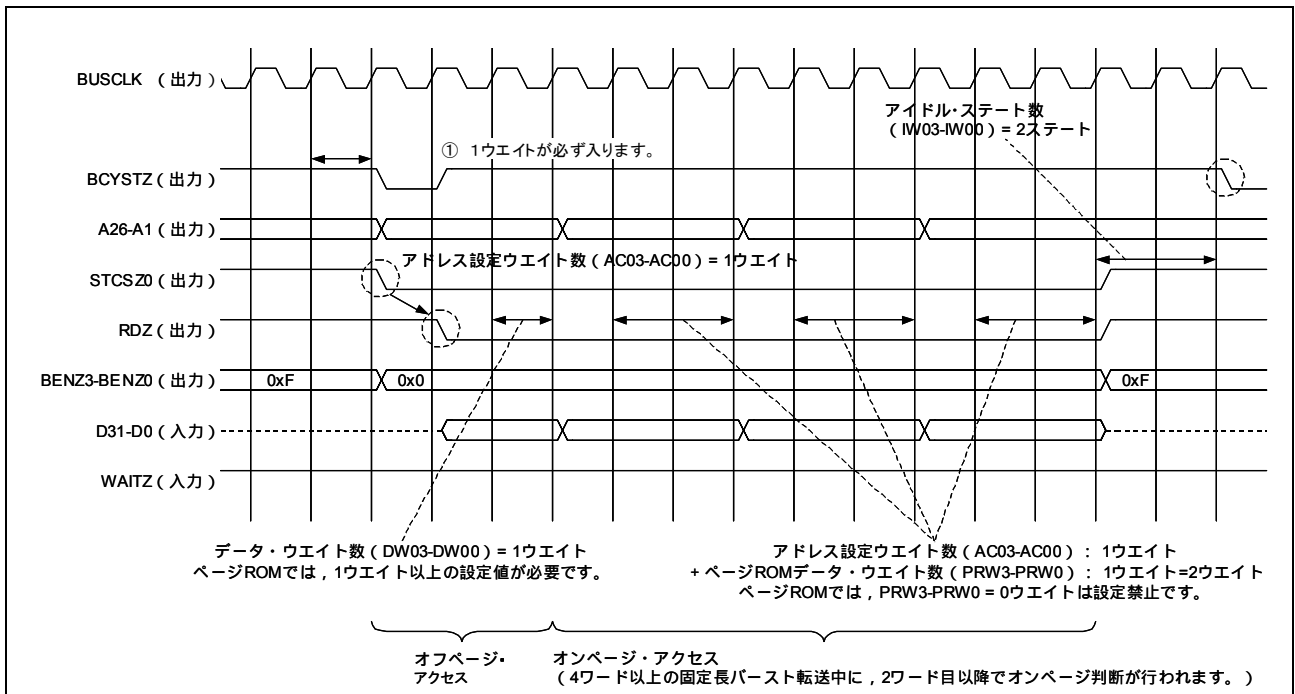


図 5-22 SDRAM リード・サイクル (シングル転送)

BSC : DBS3-DBS0 = 1111B ( 32 ビット ) , DMCn : LTMn2-LTMn0 = 010B ( CL = 2 ) ,  
BCWn1-BCWn0 = 01B ( 1 × BUSCLK )

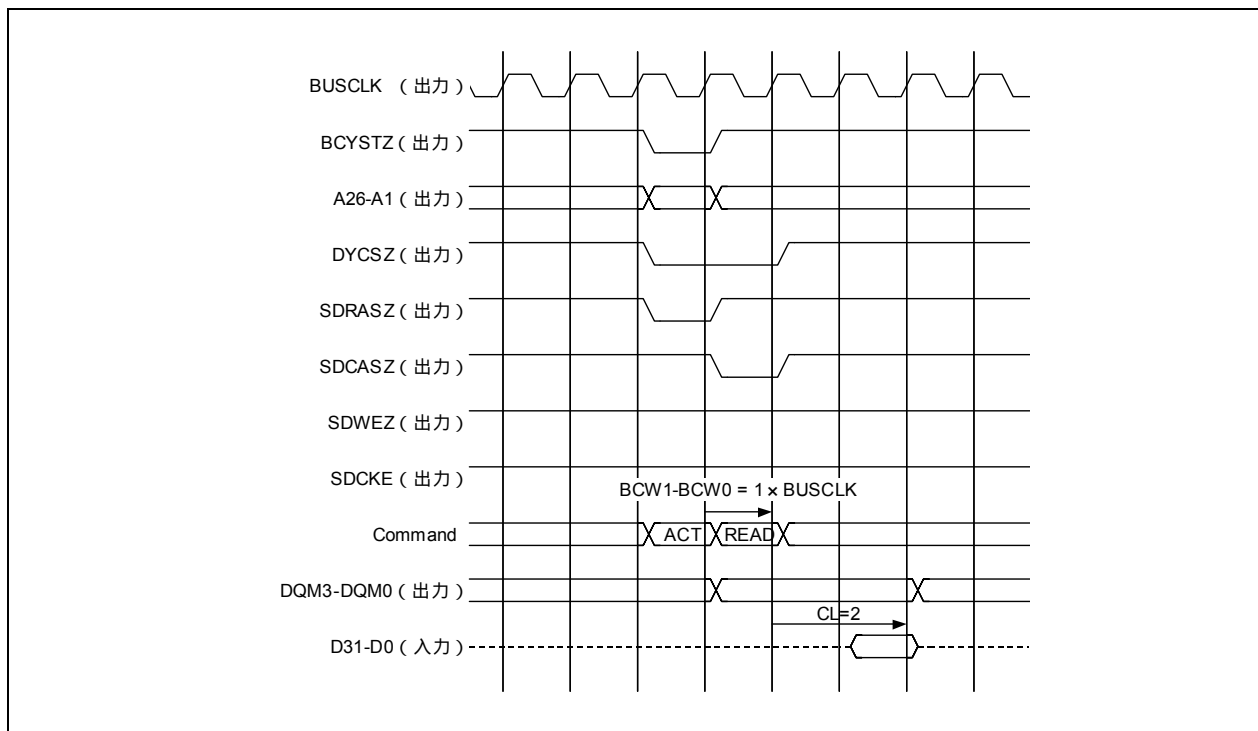


図 5-23 SDRAM リード・サイクル (4 バースト転送)

BSC : DBS3-DBS0 = 1111B ( 32 ビット ) , DMCn : LTMn2-LTMn0 = 001B ( CL = 2 ) ,  
BCWn1-BCWn0 = 01B ( 1 × BUSCLK )

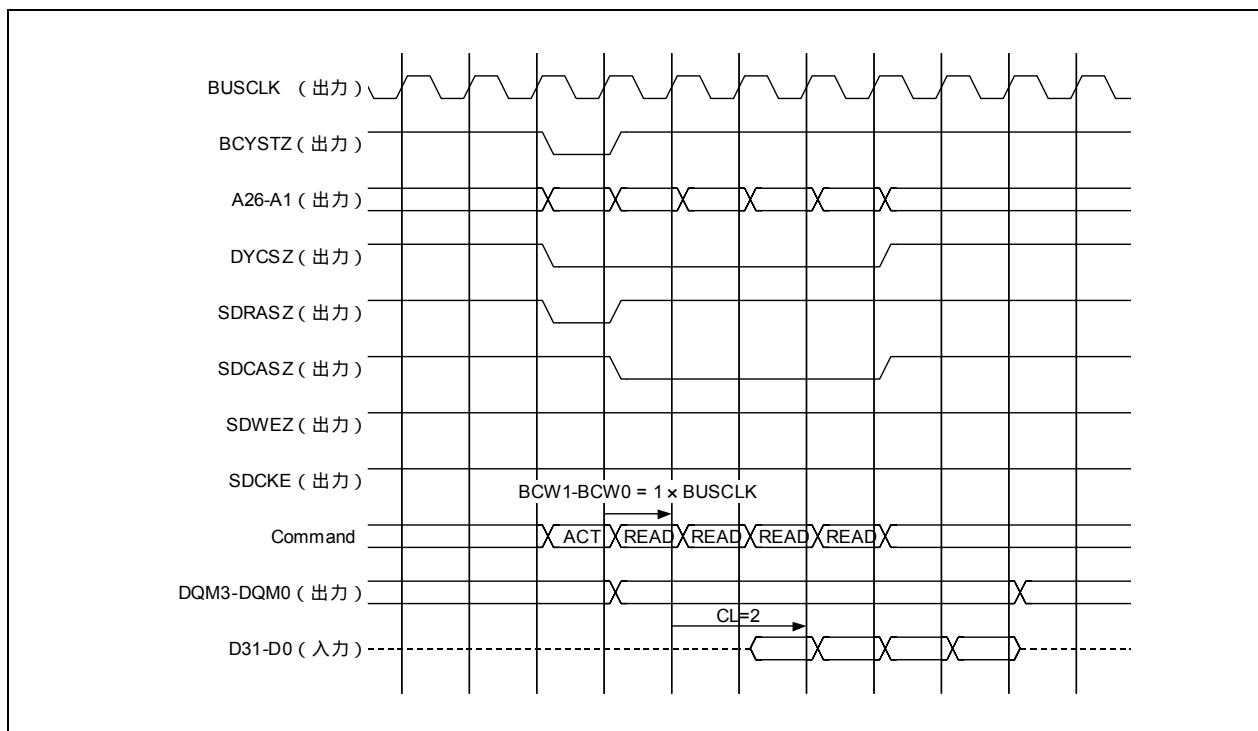


図 5-24 SDRAM ライト・サイクル (シングル転送)

BSC : DBS3-DBS0 = 1111B ( 32 ビット ) , DMCn : BCWn1-BCWn0 = 01B ( 1 × BUSCLK )

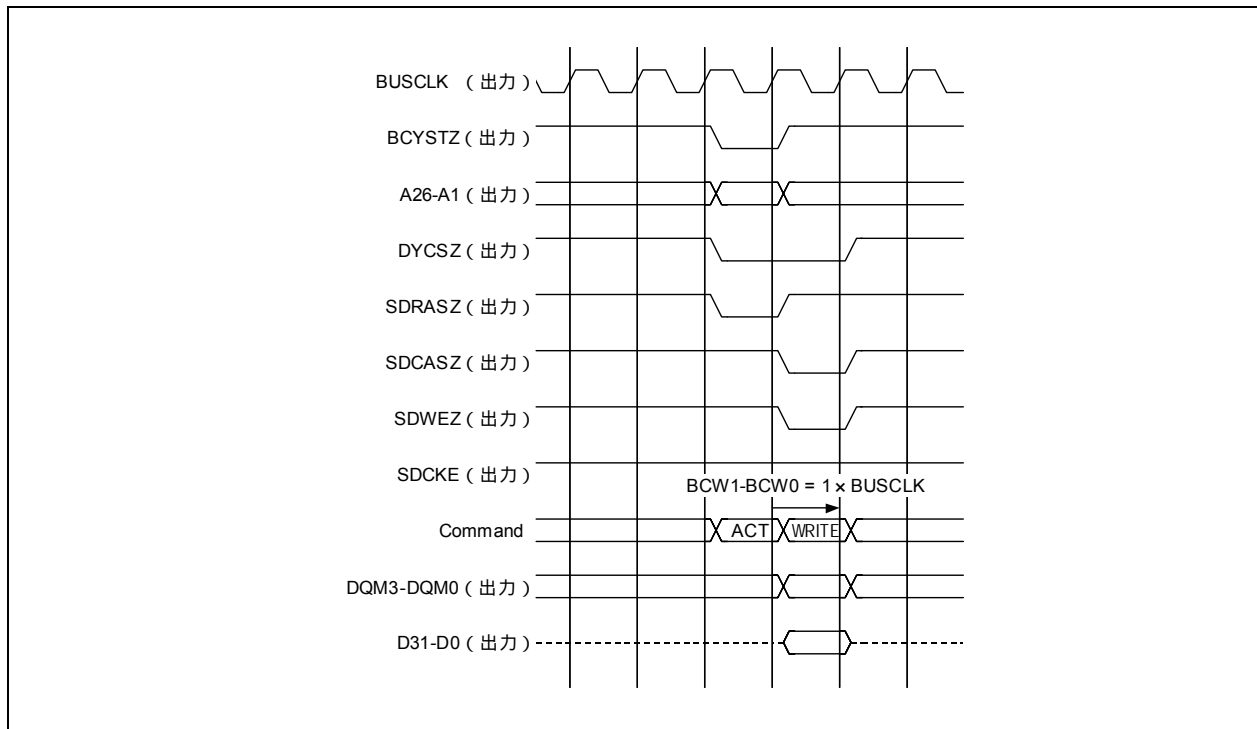
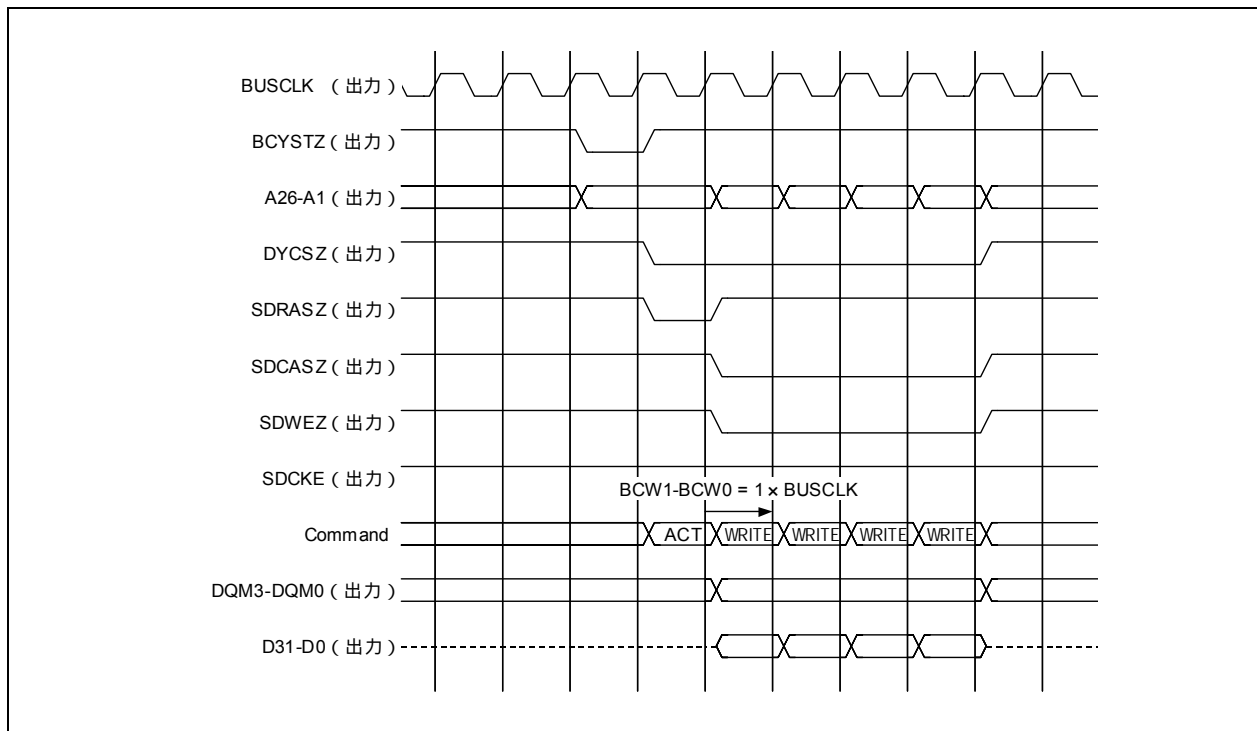


図 5-25 SDRAM ライト・サイクル (4 バースト転送)

BSC : DBS3-DBS0 = 1111B ( 32 ビット ) , DMCn : BCWn1-BCWn0 = 01B ( 1 × BUSCLK )



## 第6章 SiP 内部接続インタフェース

PFESiP/V850EP3 は、SiP 化を目的に、SiP 内部接続専用インタフェースを搭載しています。

- SiP 内部接続専用外部バス・インタフェース (SRAM, I/O 接続)
- SiP 内部接続専用 DMA インタフェース
- SiP 内部接続推奨割り込み入力 (ポート 2 と兼用)

これらの端子は、特に SiP 内部接続を前提に、通常の外部インタフェースのサブセットで構成し、I/O バッファのドライブ能力の最適化を図っています。

端子設定で BOOTSEL1 = 0, BOOTSEL0 = 1 とした場合、SiP 内部接続インタフェースの SCSZ0 に接続されたメモリからブートします。このときのブート・アドレスは、0B00 0000H です。

通常の外部バス・インタフェースと比較して、次のような相違があります。

表 6-1 SiP 内部接続インタフェースと通常の外部バス・インタフェースの相違

項 目	外部バス・インタフェース	SiP 内部接続インタフェース
出力バッファのドライブ能力の初期値	外部メモリ・インタフェース：6mA DMA, 割り込み端子：6mA Low-Noise	3mA
アドレス空間	スタティック・メモリ：合計 48M バイト SDRAM：128M バイト	スタティック・メモリ：合計 48M バイト
チップ・セレクト信号	スタティック・メモリ：STCSZ0-STCSZ3 SDRAM：DYCSZ	スタティック・メモリ：SCSZ0-SCSZ3
SDRAM インタフェース	あり	なし
DMA インタフェース	システム・バス DMAC の チャンネル 0 からチャンネル 3 に割り当て	システム・バス DMAC の チャンネル 4 からチャンネル 5 に割り当て
推奨外部割り込み端子	INTPZ0-INTPZ15, INTPZ24-INTPZ49	INTPZ16-INTPZ23
ウォッチドッグ・タイマ出力 (WDTOUTZ)	P85 に兼用	P27 に兼用
ポートとの兼用	兼用多数あり	INTPZ16-INTPZ23 を除いて独立端子

外部端子は、高速に大きな負荷に対応させるため、一般的には駆動能力の大きな出力バッファを使用します。大きな出力バッファでは、伝送路に反射が発生するため、ダンピング抵抗などで反射を防止します。しかし SiP 内部の結線で 2 つのチップをボンディングで直結する場合などはダンピング抵抗を設けられず、また SiP 外部の端子と共通化できません。このため PFESiP/V850EP3 では、SiP 内部接続用インタフェース端子を設けています。

なお、PFESiP/V850EP3 では、外部メモリ・インタフェースと SiP 内部接続インタフェースに独立したメモリ・コントローラを採用しているため、双方で割り付けられているアドレス空間が異なります。外部メモリ・インタフェースと SiP 内部接続インタフェースとの間での DMA 転送は 2 サイクル転送になります。

また端子数や、SiP 化の構造などの理由により、DMA インタフェースは 2 チャンネル分に限られ、バス・インタフェースは、SDRAM インタフェースを除いた仕様になっています。

## 6.1 外部メモリ・インタフェース信号との対比

外部メモリ・インタフェースと SiP 内部接続専用インタフェースとは、独立したメモリ・コントローラで接続され、またシステム・バス DMAC にて割り当てられているチャンネルも独立していますが、メモリ・インタフェースは SRAM, I/O に関する仕様は同一で、DMA インタフェースも割り当てられているチャンネルが異なるのみです。

また、SiP 内部接続専用インタフェースには、P20 / INTPZ16-P27 / INTPZ23 の独立した割り込み / ポート信号のインタフェースが設けられています。

### (1) バス・インタフェース

端子機能	入出力	通常 インタフェース	兼用ポート	SiP 内部接続専用 インタフェース	アクティブ
チップ・セレクト出力	出力	STCSZ0	-	SCSZ0-SCSZ3	ロー
	出力	STCSZ1-STCSZ3	P71-P73		ロー
	出力	DYCSZ	P74	-	ロー
アドレス出力	出力	A1	P67	SA1-SA24	ハイ
	出力	A2-A19	-		ハイ
	出力	A20-A26	P60-P66		ハイ
データ・バス	入出力	D0-D15	-	SD0-SD31	ハイ
	入出力	D16-D23	P90-P97		ハイ
	入出力	D24-D31	PA0-PA7		ハイ
ROM / SRAM 用リード・ストロブ信号	出力	RDZ	-	SRDZ	ロー
★ ROM / SRAM 用ライト・ストロブ信号	出力	WRZ0-WRZ3 <sup>注</sup>	- <sup>注</sup>	SWRZ0-SWRZ3 <sup>注</sup>	ロー
SDRAM 用ビット 7-0 DQ マスク	出力	DQM0	-		ハイ
SDRAM 用ビット 15-8 DQ マスク	出力	DQM1	-		ハイ
SDRAM 用ビット 23-16 DQ マスク	出力	DQM2	-		ハイ
SDRAM 用ビット 31-24 DQ マスク	出力	DQM3	-		ハイ
SDRAM 用ライト・ストロブ信号	出力	SDWEZ	-		ロー
SDRAM 用カラム・アドレス選択信号	出力	SDCASZ	-		ロー
SDRAM 用 ROW・アドレス選択信号	出力	SDRASZ	-		ロー
SDRAM 用クロック許可出力	出力	SDCKE	-		ロー
SRAM / ページ ROM 用ライト・ストロブ出力 (WRZ [3:0] の OR)	出力	WRSTBZ	-	SWRSTBZ	ロー
ROM / SRAM 用ウエイト信号入力	入力	WAITZ	P70	SWAITZ	ロー
外部バス・ホールド要求入力	入力	HLDRQZ	P80	SHLDRQZ	ロー
外部バス・ホールド要求アクノリッジ出力	出力	HLDAKZ	P81	SHLDAKZ	ロー
★ ROM / SRAM 用バイト・イネーブル出力信号	出力	BENZ0-BENZ3 <sup>注</sup>	- <sup>注</sup>	SBENZ0-SBENZ3 <sup>注</sup>	ロー
バス・サイクル・スタート・ステータス出力	出力	BCYSTZ	-	SBCYSTZ	ロー
バス・クロック出力	出力	BUSCLK	-	SBUSCLK	-
バス・リクエスト入力	入力	BUSREQZ	P82		ロー

★ 注 WRZ0-WRZ3 (SWRZ0-SWRZ3) と BENZ0-BENZ3 (SBENZ0-SBENZ3) は、兼用されています。リセット時は、BENZ0-BENZ3 (SBENZ0-SBENZ3) が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で通常インタフェース、SiP 内部接続用外部メモリ・インタフェースが独立して切り替えられます。

## (2) DMA インタフェース

端子機能	入出力	通常 インタフェース	兼用ポート	SiP 内部接続専用 インタフェース	アクティブ
DMA 転送要求入力	入力	DMAREQZ0	PD0	SDMAREQZ0	ロー
		DMAREQZ1	PD3	SDMAREQZ1	
		DMAREQZ2	PE0		
		DMAREQZ3	PE3		
DMA アクノリッジ出力	出力	DMAACKZ0	PD1	SDMAACKZ0	ロー
		DMAACKZ1	PD4	SDMAACKZ1	
		DMAACKZ2	PE1		
		DMAACKZ3	PE4		
ターミナル・カウント出力	出力	DMATCZ0	PD2	SDMATCZ0	ロー
		DMATCZ1	PD5	SDMATCZ1	
		DMATCZ2	PE2		
		DMATCZ3	PE5		

## (3) 割り込み入力

端子機能	入出力	通常 インタフェース	SiP 内部接続専用 インタフェース	アクティブ
FE レベル・マスカブル外部割り込み入力	入力	NMI	-	選択可能
EI レベル・マスカブル外部割り込み入力	入力	INTPZ0-INTPZ15, INTPZ24-INTPZ49	-	
EI レベル・マスカブル外部割り込み入力 (SiP 内部接続用優先)	入力	-	INTPZ16-INTPZ23	

## (4) ウォッチドッグ・タイマ出力

端子機能	入出力	通常 インタフェース	SiP 内部接続専用 インタフェース	アクティブ
ウォッチドッグ・タイマ出力 (WDTOUTZ)	出力	P83 に兼用	P27 に兼用	ロー

## 6.2 SiP 内部接続インタフェースのメモリ・コントローラ

ページ ROM, ROM, SRAM 対応メモリ・コントローラ

32 / 16 ビット・データ・バス

スタティック・メモリ制御機能

- ・ SRAM, 外部 I/O 接続機能

- ・ 4 本のチップ・セレクト信号が利用可能 (SCSZ0-SCSZ3)

SCSZ0 : ページ ROM / SRAM 対応 : 0B00 0000H-0CFF FFFFH (32M バイト)

SCSZ1 : SRAM のみ対応 : 0D00 0000H-0D7F FFFFH (8M バイト)

SCSZ2 : SRAM のみ対応 : 0D80 0000H-0DBF FFFFH (4M バイト)

SCSZ3 : SRAM のみ対応 : 0DC0 0000H-0DFF FFFFH (4M バイト)

- ・ ページ ROM 接続機能 (SCSZ0 のみ)

- ・ プログラマブル・ウェイト機能

- アドレス設定ウェイト

- データ・ウェイト

- ライト・リカバリ・ウェイト

- アイドル・ステート

ライト・ストロープ / バイト・イネーブル兼用

**注意** PFESiP/V850EP3 のメモリ・コントローラは 8 ビット・バス幅には対応していません。

**備考** PFESiP/V850EP3 は、外部メモリ・アクセス用と、SiP 内部接続用に、独立したメモリ・コントローラを内蔵しています。



## 6.3 特 徴

### (1) マルチレイヤ構成

PFESiP/V850EP3 の内部バスは、マルチレイヤ構成を採用しており、CPU を含めた複数のバス・マスタからのアクセスを調停してメモリ・コントローラ経由で外部メモリをアクセスします。

マルチレイヤ構成により、たとえば CPU が SiP 内部接続インタフェースを利用して、SiP 内部の ASIC にアクセスしている場合でも、同時に外部メモリと USB ファンクション・コントローラとの間でデータ転送を行えます。内部バスのバス・マスタとバス・スレーブの組み合わせが独立している場合、それぞれのバスの待ち合わせが存在せず、データ処理、通信処理などを同時に実行することで、従来製品から大幅な性能向上を図っています。

### (2) 外部メモリ・アクセス用と SiP 内部接続用に独立のメモリ・コントローラ

外部メモリ・アクセス用と SiP 内部接続用に独立のメモリ・コントローラを内蔵しています。外部メモリ・アクセス用は SDRAM にも対応していますが、SiP 内部接続用は SDRAM には対応していません。

異なるバス・マスタから、外部メモリ・アクセス用と SiP 内部接続用のそれぞれのメモリ・コントローラを利用する場合、お互いのバスの待ち合わせは発生しません。

## (3) スタティック・メモリ制御機能

PFESiP/V850EP3 の SiP 内部接続インタフェース用コントローラは、SCSZ0-SCSZ3 のチップ・セレクト信号に接続されたスタティック・メモリ (SRAM, I/O, ページ ROM) を制御します。

ただしページ ROM に対応しているチップ・セレクト信号は、SCSZ0 のみです。

## (a) SRAM, 外部 I/O 接続機能

SRAM, 外部 I/O 接続機能の主な特徴は以下のとおりです。

- ・最小 4 サイクル (4×SBUSCLK) のリード・サイクル
- ・最小 5 サイクル (5×SBUSCLK) のライト・サイクル
- ・レジスタ設定により、最大 15×SBUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のライト・リカバリ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のアイドル・ステートを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能

## (b) ページ ROM 接続機能

ページ ROM 接続機能の主な特徴は以下のとおりです。

- ・ページ ROM は SCSZ0 にのみ接続可能
- ・最小 3 サイクル (3×SBUSCLK) のリード・サイクル
- ・オンページ判定機能
- ・レジスタ設定により、アドレス比較ビット幅を変更可能
- ・レジスタ設定により、最大 15×SBUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のアイドル・ウエイトを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能
- ・ページ ROM が配置された領域に対してライト・サイクルが要求された場合は、SRAM ライト・サイクルを起動
- ・レジスタ設定により、最大 15×SBUSCLK のライト・リカバリ・ウエイトを挿入可能

**備考 SBUSCLK は、HCLK と同一周波数です。**

## 6.4 バス制御機能

### 6.4.1 制御レジスタ

外部メモリ・アクセス機能を利用するには、バス制御レジスタの設定を行う必要があります。

表 6-2 バス制御レジスタ一覧

アドレス	レジスタ名称	略号	R/W	リセット時
0F00 0404H	バス・サイズ制御レジスタ	SPBSC	R/W	0000 5555H/ 0000 FFFFH <sup>※</sup>
0F00 0408H	スタティック・メモリ制御レジスタ 0	SPSMC0	R/W	0000 FFFFH
0F00 040CH	スタティック・メモリ制御レジスタ 1	SPSMC1	R/W	0000 FFFFH
0F00 0410H	スタティック・メモリ制御レジスタ 2	SPSMC2	R/W	0000 FFFFH
0F00 0414H	スタティック・メモリ制御レジスタ 3	SPSMC3	R/W	0000 FFFFH
0F00 0418H	ページ ROM 制御レジスタ	SPPRC	R/W	F000 0000H
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	0000 0000H

注 BUS32EN1 の端子レベルにより、SPBSC レジスタの初期値が決定されます。

BUS32EN1 では、SiP 内部接続インタフェース用メモリ・コントローラのリセット解除時のバス幅を選択します。

- 0 : 0000 5555H (16 ビット・バス・モード)
- 1 : 0000 FFFFH (32 ビット・バス・モード)

(1) バス・サイズ制御レジスタ (SPBSC)

SPBSC レジスタは、SiP 内接続インタフェース用チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。

SSBS3-SSBS0 ビットは SiP 内接続インタフェースのチップ・セレクト出力 (SCSZ3-SCSZ0) にそれぞれ対応しています。

SPBSC レジスタの初期値は、BUS32EN1 端子の入力レベルにより変わります。

SPBSC レジスタはリード/ライト可能です。ビット 31-16 には必ず 0 を設定してください。ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SPBSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0404H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	1/0 <sup>注2</sup>	1	1/0 <sup>注2</sup>	1	1/0 <sup>注2</sup>	1	1/0 <sup>注2</sup>	1	SSBS 3	1	SSBS 2	1	SSBS 1	1	SSBS 0	1	0000 5555H/ 0000 FFFFH <sup>注1</sup>
R/W	R	1	R	1	R	1	R	1	R/W	1	R/W	1	R/W	1	R/W	1	

ビット位置	ビット名	意味
7, 5, 3, 1	SSBS3-SSBS0	SiP 内部接続インタフェース用チップ・セレクト出力 (SCSZ3-SCSZ0) ごとのデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット

注 1. BUS32EN1 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN1 では、外部メモリ・アクセス用メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

2. このビットに該当するチップ・セレクト信号は存在しませんが、メモリ・コントローラの仕様により、BUS32EN1 端子により初期値が変わります。

(2) スタティック・メモリ制御レジスタ 0-3 (SPSMC0-SPSMC3)

SPSMC0-SPSMC3 レジスタは、SiP 内部接続インタフェース用チップ・セレクト出力 (SCSZ0-SCSZ3) ごとに各種ウエイト・ステートを設定します。

SPSMC0-SPSMC3 レジスタはリード/ライト可能です。ビット 31-16 には必ず 0 を設定してください。

★ **注意** SPSMC0-SPSMC3 レジスタには 0000 0000H を設定しないでください。SIW (アイドル・ウエイト), SDW (データ・ウエイト), SAC (アドレス設定ウエイト) の合計が 1 以上になるように設定してください。

(1/5)

																アドレス	
SPSMC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0408H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	SIW	SIW	SIW	SIW	SWW	SWW	SWW	SWW	SDW	SDW	SDW	SDW	SAC	SAC	SAC	SAC	
	03	02	01	00	03	02	01	00	03	02	01	00	03	02	01	00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SPSMC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 040CH
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	SIW	SIW	SIW	SIW	SWW	SWW	SWW	SWW	SDW	SDW	SDW	SDW	SAC	SAC	SAC	SAC	
	13	12	11	10	13	12	11	10	13	12	11	10	13	12	11	10	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SPSMC2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0410H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	SIW	SIW	SIW	SIW	SWW	SWW	SWW	SWW	SDW	SDW	SDW	SDW	SAC	SAC	SAC	SAC	
	23	22	21	20	23	22	21	20	23	22	21	20	23	22	21	20	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
SPSMC3	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F00 0414H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 FFFFH
	SIW	SIW	SIW	SIW	SWW	SWW	SWW	SWW	SDW	SDW	SDW	SDW	SAC	SAC	SAC	SAC	
	33	32	31	30	33	32	31	30	33	32	31	30	33	32	31	30	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

★

ビット位置	ビット名	意味																																																																																					
15-12	SIWn3- SIWn0	<p>SCSZn ごとにアイドル・ステートを設定します。</p> <p>このビットの設定は、リード・アクセス直後のアイドル・ステートにのみ反映されます。</p> <p>アイドル・ステートとは、SCSZn のディアサート (SCSZn : L H) から、次の SBCYSTZ がアサート (SBCYSTZ : H L) されるまでの最短サイクルです。</p> <p>リード・サイクルで、データ・フロート時間が長く、直後のライト・サイクルでバス・ファイトが発生するケースなどで、アイドル・ステートを挿入します。</p> <p>キャッシュのリフィル動作などで、ページ ROM にバースト・アクセスする場合は、バースト・アクセス期間中の SCSZ0 信号はロー・レベルのままとなるため、ここで設定したアイドル・ステートは、バースト・アクセス後にのみ挿入されます。</p> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SIWn3</th> <th>SIWn2</th> <th>SIWn1</th> <th>SIWn0</th> <th>SCSZn のアイドル・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16 × SBUSCLK (初期値)</td></tr> </tbody> </table>	SIWn3	SIWn2	SIWn1	SIWn0	SCSZn のアイドル・ステート数	0	0	0	0	1 × SBUSCLK	0	0	0	1	2 × SBUSCLK	0	0	1	0	3 × SBUSCLK	0	0	1	1	4 × SBUSCLK	0	1	0	0	5 × SBUSCLK	0	1	0	1	6 × SBUSCLK	0	1	1	0	7 × SBUSCLK	0	1	1	1	8 × SBUSCLK	1	0	0	0	9 × SBUSCLK	1	0	0	1	10 × SBUSCLK	1	0	1	0	11 × SBUSCLK	1	0	1	1	12 × SBUSCLK	1	1	0	0	13 × SBUSCLK	1	1	0	1	14 × SBUSCLK	1	1	1	0	15 × SBUSCLK	1	1	1	1	16 × SBUSCLK (初期値)
SIWn3	SIWn2	SIWn1	SIWn0	SCSZn のアイドル・ステート数																																																																																			
0	0	0	0	1 × SBUSCLK																																																																																			
0	0	0	1	2 × SBUSCLK																																																																																			
0	0	1	0	3 × SBUSCLK																																																																																			
0	0	1	1	4 × SBUSCLK																																																																																			
0	1	0	0	5 × SBUSCLK																																																																																			
0	1	0	1	6 × SBUSCLK																																																																																			
0	1	1	0	7 × SBUSCLK																																																																																			
0	1	1	1	8 × SBUSCLK																																																																																			
1	0	0	0	9 × SBUSCLK																																																																																			
1	0	0	1	10 × SBUSCLK																																																																																			
1	0	1	0	11 × SBUSCLK																																																																																			
1	0	1	1	12 × SBUSCLK																																																																																			
1	1	0	0	13 × SBUSCLK																																																																																			
1	1	0	1	14 × SBUSCLK																																																																																			
1	1	1	0	15 × SBUSCLK																																																																																			
1	1	1	1	16 × SBUSCLK (初期値)																																																																																			

備考 n = 0-3

★

**注意** アイドル・ステートは、リード・アクセス直後も、ライト・アクセス直後も 1 ステート挿入されます。SIWn3-SIWn0 ビットの設定は、リード・アクセス直後のアイドル・ステート数に反映されます。ライト・アクセス直後のアイドル・ステートは常に 1 ステートです。

ビット位置	ビット名	意味																																																																																					
11-8	SWWn3- SWWn0	<p>SCSZn ごとにライト・リカバリ・ウエイト・ステートを設定します。</p> <p>ライト・リカバリ・ウエイト・ステートとは、SWRSTBZ のディアサート ( SWRSTBZ : L H ) から、SCSZn がディアサート ( SCSZn : L H ) されるまでのサイクルです。</p> <p>低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合などで、ライト・リカバリ・ウエイト・ステートを挿入します。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SWWn3</th> <th>SWWn2</th> <th>SWWn1</th> <th>SWWn0</th> <th>SCSZn のライト・リカバリ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td></td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15 × SBUSCLK ( 初期値 )</td></tr> </tbody> </table>	SWWn3	SWWn2	SWWn1	SWWn0	SCSZn のライト・リカバリ・ウエイト・ステート数	0	0	0	0	1 × SBUSCLK	0	0	0	1		0	0	1	0	2 × SBUSCLK	0	0	1	1	3 × SBUSCLK	0	1	0	0	4 × SBUSCLK	0	1	0	1	5 × SBUSCLK	0	1	1	0	6 × SBUSCLK	0	1	1	1	7 × SBUSCLK	1	0	0	0	8 × SBUSCLK	1	0	0	1	9 × SBUSCLK	1	0	1	0	10 × SBUSCLK	1	0	1	1	11 × SBUSCLK	1	1	0	0	12 × SBUSCLK	1	1	0	1	13 × SBUSCLK	1	1	1	0	14 × SBUSCLK	1	1	1	1	15 × SBUSCLK ( 初期値 )
SWWn3	SWWn2	SWWn1	SWWn0	SCSZn のライト・リカバリ・ウエイト・ステート数																																																																																			
0	0	0	0	1 × SBUSCLK																																																																																			
0	0	0	1																																																																																				
0	0	1	0	2 × SBUSCLK																																																																																			
0	0	1	1	3 × SBUSCLK																																																																																			
0	1	0	0	4 × SBUSCLK																																																																																			
0	1	0	1	5 × SBUSCLK																																																																																			
0	1	1	0	6 × SBUSCLK																																																																																			
0	1	1	1	7 × SBUSCLK																																																																																			
1	0	0	0	8 × SBUSCLK																																																																																			
1	0	0	1	9 × SBUSCLK																																																																																			
1	0	1	0	10 × SBUSCLK																																																																																			
1	0	1	1	11 × SBUSCLK																																																																																			
1	1	0	0	12 × SBUSCLK																																																																																			
1	1	0	1	13 × SBUSCLK																																																																																			
1	1	1	0	14 × SBUSCLK																																																																																			
1	1	1	1	15 × SBUSCLK ( 初期値 )																																																																																			

**注意** ライト・リカバリ・ウエイト・ステート数には 0 × SBUSCLK に設定できません。  
必ず 1 × SBUSCLK のライト・リカバリ・ウエイト・ステートが挿入されます。

**備考** n = 0-3

(4/5)

ビット位置	ビット名	意味																																																																																					
7-4	SDWn3- SDWn0	SCSZn ごとにデータ・ウエイト・ステートを設定します。 ノー・ウエイトでは、1×SBUSCLK 幅の SRDZ, SWRSTBZ は、データ・ウエイトで設定したステート数分延長されます。																																																																																					
		<table border="1"> <thead> <tr> <th>SDWn3</th> <th>SDWn2</th> <th>SDWn1</th> <th>SDWn0</th> <th>SCSZn のデータ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×SBUSCLK (初期値)</td></tr> </tbody> </table>	SDWn3	SDWn2	SDWn1	SDWn0	SCSZn のデータ・ウエイト・ステート数	0	0	0	0	0	0	0	0	1	1×SBUSCLK	0	0	1	0	2×SBUSCLK	0	0	1	1	3×SBUSCLK	0	1	0	0	4×SBUSCLK	0	1	0	1	5×SBUSCLK	0	1	1	0	6×SBUSCLK	0	1	1	1	7×SBUSCLK	1	0	0	0	8×SBUSCLK	1	0	0	1	9×SBUSCLK	1	0	1	0	10×SBUSCLK	1	0	1	1	11×SBUSCLK	1	1	0	0	12×SBUSCLK	1	1	0	1	13×SBUSCLK	1	1	1	0	14×SBUSCLK	1	1	1	1	15×SBUSCLK (初期値)
SDWn3	SDWn2	SDWn1	SDWn0	SCSZn のデータ・ウエイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×SBUSCLK																																																																																			
0	0	1	0	2×SBUSCLK																																																																																			
0	0	1	1	3×SBUSCLK																																																																																			
0	1	0	0	4×SBUSCLK																																																																																			
0	1	0	1	5×SBUSCLK																																																																																			
0	1	1	0	6×SBUSCLK																																																																																			
0	1	1	1	7×SBUSCLK																																																																																			
1	0	0	0	8×SBUSCLK																																																																																			
1	0	0	1	9×SBUSCLK																																																																																			
1	0	1	0	10×SBUSCLK																																																																																			
1	0	1	1	11×SBUSCLK																																																																																			
1	1	0	0	12×SBUSCLK																																																																																			
1	1	0	1	13×SBUSCLK																																																																																			
1	1	1	0	14×SBUSCLK																																																																																			
1	1	1	1	15×SBUSCLK (初期値)																																																																																			

**注意** 外部ウエイト (SWAITZ 端子) によるウエイト制御を利用する場合は、データ・ウエイト・ステートは 1×SBUSCLK 以上に設定してください。

**備考** n = 0-3



ビット位置	ビット名	意味																																																																																					
3-0	SACn3- SACn0	<p>SCSZn ごとにアドレス設定ウエイト・ステートを設定します。</p> <p>アドレス設定ウエイトとは、SCSZn のアサート ( SCSZn : H L ... アドレスの変化点も同一タイミング ) から、SRDZ や SWRSTBZ のアサート ( SRDZ / SWRSTBZ : H L ) されるまでのサイクルです。</p> <p>リード / ライト・ストロープに対するアドレスやチップ・セレクト信号のセット・アップ時間を必要とするデバイスをアクセスする場合に、アドレス設定ウエイト・ステートを適宜挿入します。</p> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SACn3</th> <th>SACn2</th> <th>SACn1</th> <th>SACn0</th> <th>SCSZn のアドレス設定ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15 × SBUSCLK ( 初期値 )</td></tr> </tbody> </table>	SACn3	SACn2	SACn1	SACn0	SCSZn のアドレス設定ウエイト・ステート数	0	0	0	0	0	0	0	0	1	1 × SBUSCLK	0	0	1	0	2 × SBUSCLK	0	0	1	1	3 × SBUSCLK	0	1	0	0	4 × SBUSCLK	0	1	0	1	5 × SBUSCLK	0	1	1	0	6 × SBUSCLK	0	1	1	1	7 × SBUSCLK	1	0	0	0	8 × SBUSCLK	1	0	0	1	9 × SBUSCLK	1	0	1	0	10 × SBUSCLK	1	0	1	1	11 × SBUSCLK	1	1	0	0	12 × SBUSCLK	1	1	0	1	13 × SBUSCLK	1	1	1	0	14 × SBUSCLK	1	1	1	1	15 × SBUSCLK ( 初期値 )
SACn3	SACn2	SACn1	SACn0	SCSZn のアドレス設定ウエイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1 × SBUSCLK																																																																																			
0	0	1	0	2 × SBUSCLK																																																																																			
0	0	1	1	3 × SBUSCLK																																																																																			
0	1	0	0	4 × SBUSCLK																																																																																			
0	1	0	1	5 × SBUSCLK																																																																																			
0	1	1	0	6 × SBUSCLK																																																																																			
0	1	1	1	7 × SBUSCLK																																																																																			
1	0	0	0	8 × SBUSCLK																																																																																			
1	0	0	1	9 × SBUSCLK																																																																																			
1	0	1	0	10 × SBUSCLK																																																																																			
1	0	1	1	11 × SBUSCLK																																																																																			
1	1	0	0	12 × SBUSCLK																																																																																			
1	1	0	1	13 × SBUSCLK																																																																																			
1	1	1	0	14 × SBUSCLK																																																																																			
1	1	1	1	15 × SBUSCLK ( 初期値 )																																																																																			

**注** ライト時は、必ず 1 × SBUSCLK のアドレス設定ウエイトが挿入されます。

**注意** このレジスタで設定したアドレス設定ウエイト・ステートは、ページ ROM に対するオンページ・アクセス時も挿入されます。

**備考** n = 0-3

(3) ページ ROM 制御レジスタ (SPPRC)

SiP 内部接続インタフェース用チップ・セレクト出力 0 (SCSZ0) 接続されているメモリ・タイプの指定、ページ ROM を選択した場合の接続するページ ROM の構成、連続読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスや SBUSCLK に応じたウェイト数を設定します。

なおオフページ・アクセス時のウェイト設定は、スタティック・メモリ制御レジスタ 0 (SPSMC0) で行います。このとき、オフページ・アクセス時のウェイト・ステート数は 1 以上を設定してください。

SPPRC レジスタはリード/ライト可能です。ビット 27-20, ビット 15-1 には必ず 0 を設定してください。

**注意 1. ページ ROM をオンページ ROM モードで利用できるのは、SCSZ0 に接続されているページ ROM のみです。**

**2. オフページ・アクセスのウェイト・ステート数は、必ず 1 以上を設定してください。**

( 1/2 )

																アドレス	
SPPRC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	SPRW3	SPRW2	SPRW1	SPRW0	0	0	0	0	0	0	0	0	SMA6	SMA5	SMA4	SMA3	0F00 0418H
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SST	F000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

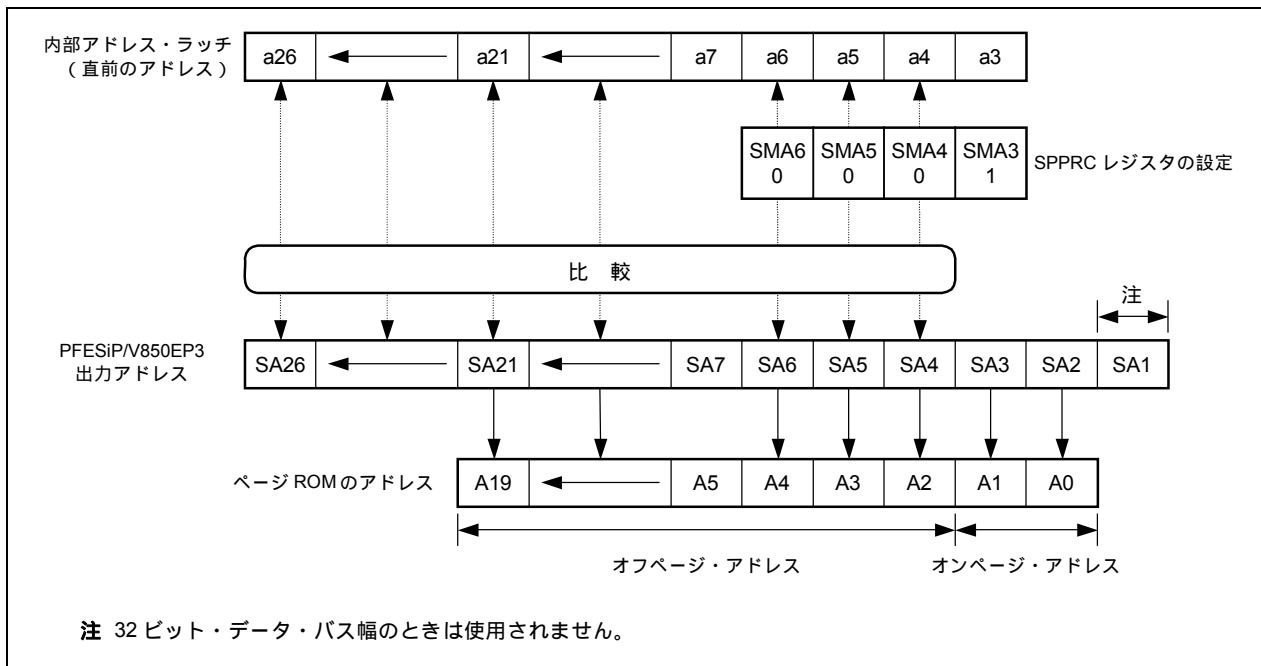
ビット位置	ビット名	意味																																																																																					
31-28	SPRW3-SPRW0	SCSZ0 のページ ROM の、オンページ・サイクル時のデータ・ウェイト・ステート数を設定します。																																																																																					
		<table border="1"> <thead> <tr> <th>SPRW3</th> <th>SPRW2</th> <th>SPRW1</th> <th>SPRW0</th> <th>SCSZ0 のオンページ・アクセスのウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 × SBUSCLK</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 × SBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 × SSBUSCLK</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10 × SBUSCLK</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14 × SBUSCLK</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15 × SBUSCLK (初期値)</td></tr> </tbody> </table>	SPRW3	SPRW2	SPRW1	SPRW0	SCSZ0 のオンページ・アクセスのウェイト・ステート数	0	0	0	0	0	0	0	0	1	1 × SBUSCLK	0	0	1	0	2 × SBUSCLK	0	0	1	1	3 × SBUSCLK	0	1	0	0	4 × SBUSCLK	0	1	0	1	5 × SBUSCLK	0	1	1	0	6 × SSBUSCLK	0	1	1	1	7 × SBUSCLK	1	0	0	0	8 × SBUSCLK	1	0	0	1	9 × SBUSCLK	1	0	1	0	10 × SBUSCLK	1	0	1	1	11 × SBUSCLK	1	1	0	0	12 × SBUSCLK	1	1	0	1	13 × SBUSCLK	1	1	1	0	14 × SBUSCLK	1	1	1	1	15 × SBUSCLK (初期値)
SPRW3	SPRW2	SPRW1	SPRW0	SCSZ0 のオンページ・アクセスのウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1 × SBUSCLK																																																																																			
0	0	1	0	2 × SBUSCLK																																																																																			
0	0	1	1	3 × SBUSCLK																																																																																			
0	1	0	0	4 × SBUSCLK																																																																																			
0	1	0	1	5 × SBUSCLK																																																																																			
0	1	1	0	6 × SSBUSCLK																																																																																			
0	1	1	1	7 × SBUSCLK																																																																																			
1	0	0	0	8 × SBUSCLK																																																																																			
1	0	0	1	9 × SBUSCLK																																																																																			
1	0	1	0	10 × SBUSCLK																																																																																			
1	0	1	1	11 × SBUSCLK																																																																																			
1	1	0	0	12 × SBUSCLK																																																																																			
1	1	0	1	13 × SBUSCLK																																																																																			
1	1	1	0	14 × SBUSCLK																																																																																			
1	1	1	1	15 × SBUSCLK (初期値)																																																																																			

ビット位置	ビット名	意味																																			
19-16	SMA6- SMA3	<p>アドレス比較時のマスク・ビットを設定します。</p> <table border="1"> <thead> <tr> <th>SMA6</th> <th>SMA5</th> <th>SMA4</th> <th>SMA3</th> <th>接続するページ ROM のページ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>32 ビット×2, 16 ビット×4 (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>32 ビット×4, 16 ビット×8</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>32 ビット×8, 16 ビット×16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>32 ビット×16, 16 ビット×32</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>32 ビット×32, 16 ビット×64</td> </tr> <tr> <td colspan="4">上記以外</td> <td>設定禁止 (設定した場合の動作は保証できません。)</td> </tr> </tbody> </table>	SMA6	SMA5	SMA4	SMA3	接続するページ ROM のページ・サイズ	0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)	0	0	0	1	32 ビット×4, 16 ビット×8	0	0	1	1	32 ビット×8, 16 ビット×16	0	1	1	1	32 ビット×16, 16 ビット×32	1	1	1	1	32 ビット×32, 16 ビット×64	上記以外				設定禁止 (設定した場合の動作は保証できません。)
SMA6	SMA5	SMA4	SMA3	接続するページ ROM のページ・サイズ																																	
0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)																																	
0	0	0	1	32 ビット×4, 16 ビット×8																																	
0	0	1	1	32 ビット×8, 16 ビット×16																																	
0	1	1	1	32 ビット×16, 16 ビット×32																																	
1	1	1	1	32 ビット×32, 16 ビット×64																																	
上記以外				設定禁止 (設定した場合の動作は保証できません。)																																	
0	SST	<p>SiP 内部接続インタフェース用チップ・セレクト出力 0 (SCSZ0) に接続するメモリ・タイプを指定します。</p> <p>0 : SRAM, I/O デバイス (初期値) 1 : ページ ROM</p>																																			

ページ ROM 制御レジスタ (SPPRC) により接続するページ ROM の構成, 連続する読み出し可能なビット数に応じて, アドレス (SA3-SA6) のうちマスクする (比較しない) アドレスを設定します。

次に, 512K ワード×16 ビットのページ ROM を 2 つ接続した場合の, アドレス・マスク制御の例を示します。

図 6-1 SPPRC レジスタの SMA6-SMA3 ビットによる制御例



## (4) ライト・イネーブル切り替えレジスタ (WREN)

SBENZ0-SBENZ3 端子の機能において、SWRZ0-SWRZ3 と SBENZ0-SBENZ3 とを選択するレジスタです。

SiP 内部接続インタフェース用は、ビット 1 の SWREN ビットです。

バイト・イネーブル付きの SRAMなどを接続する場合は、ライト・ストロブ信号に SWRZ0-SWRZ3 の負論理 OR を取った SWRSTBZ を使用します。

WREN レジスタは、リード/ライト可能です。ビット 31-2 には必ず 0 を設定してください。

リセットで 0000 0000H になり、SBENZ0-SBENZ3 端子は SBENZ0-SBENZ3 として動作します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
WREN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9104H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWR EN	WRE N	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意味
1	SWREN	SiP 内部接続インタフェースの SBENZ0-SBENZ3 端子機能を選択します。 0 : SBENZ0-SBENZ3 として動作 (初期値) 1 : SWRZ0-SWRZ3 として動作
0	WREN	外部メモリ・インタフェースの BENZ0-BENZ3 端子機能を選択します。 0 : BENZ0-BENZ3 として動作 (初期値) 1 : WRZ0-WRZ3 として動作

**備考** BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、SiP 内部接続の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの SWREN, WREN の独立ビットで選択できます。

## 6.5 外部ウエイト機能

合は、外部ウエイト端子 (SWAITZ) を使用して、バス・サイクルのウエイト・ステートを挿入できます。SWAITZ 信号は、SBUSCLK 信号に対する非同期入力が可能です<sup>※</sup>。SBUSCLK の立ち下がり時、SBUSCLK の立ち上がり時、2 段の F/F よって SWAITZ 信号を取り込んでいます。つまり SBUSCLK の立ち下がり時でサンプリングし、 $1.5 \times \text{SBUSCLK}$  のタイミングでウエイトが解除されます。

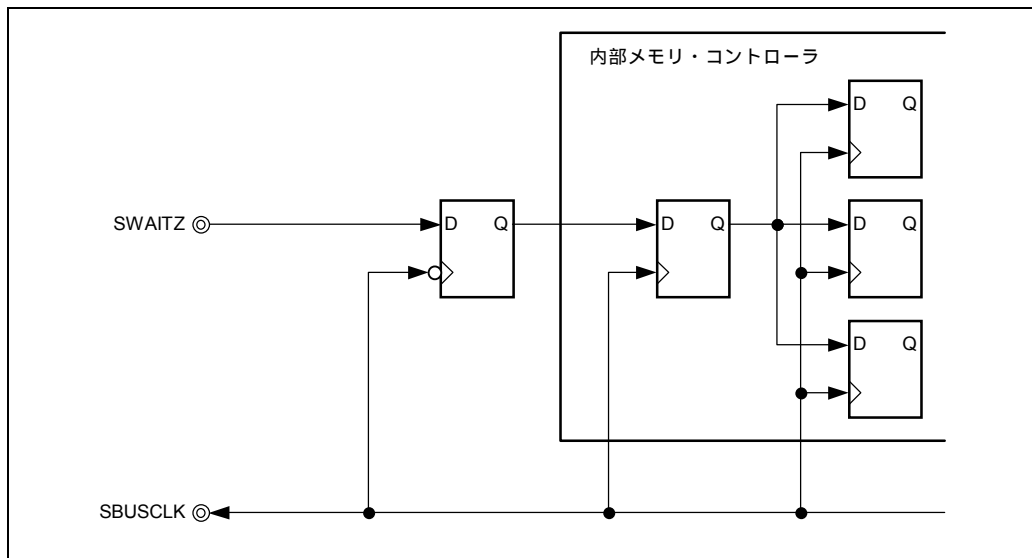
このため、外部ウエイト機能を利用する場合は、少なくともアドレス設定ウエイト (SPSMCn レジスタの SACn3-SACn0) とデータ・ウエイト (SPSMCn レジスタの SDWn3-SDWn0) の合計値が  $1 \times \text{SBUSCLK}$  以上が必要です。実際の設計では、SBCYSTZ や SCSZn がアクティブになるタイミングから、次の SBUSCLK の立ち下がりまでに SWAITZ をロー・レベルとすることは困難なため、アドレス設定ウエイト (SPSMCn レジスタの SACn3-SACn0) とデータ・ウエイト (SPSMCn レジスタの SDWn3-SDWn0) の合計値は  $2 \times \text{SBUSCLK}$  以上が必要です。

なお、外部ウエイト・ステートは、スタティック・メモリのデータ・ウエイトのみに挿入されます。ダイナミック・メモリ・サイクル、スタティック・メモリ・サイクルのデータ・ウエイト以外には、外部ウエイト端子に入力は無効です。

タイミング・チャートは、図 5-10、図 5-11 を参照してください。

**注** PFESiP/V850EP3 に外部回路を接続した 1 チップ開発を行う場合、SWAITZ 信号の非同期入力は推奨するものではありません。SWAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

図 6-2 SWAITZ 信号サンプリング回路構成



**注意** データ・ウエイト・サイクルは、SPSMCn レジスタの SDWn3-SDWn0 の設定によるウエイト数と、SWAITZ 端子入力による外部ウエイト数の論理和をとったものが挿入されます。

## 6.6 スタンバイ機能

CPU コアからスタンバイ要求を受けると、現在行っているバス・サイクルが終了するとメモリ・コントローラは CPU にスタンバイ・アクノリッジ信号を返し、PFESiP/V850EP3 内部のクロック・コントローラに対して、クロックの停止許可を通知します。

マスクされていない割り込み、またはリセット入力 (RESETZ) により、スタンバイ状態が解除されます。

## 6.7 バス・ホールド機能

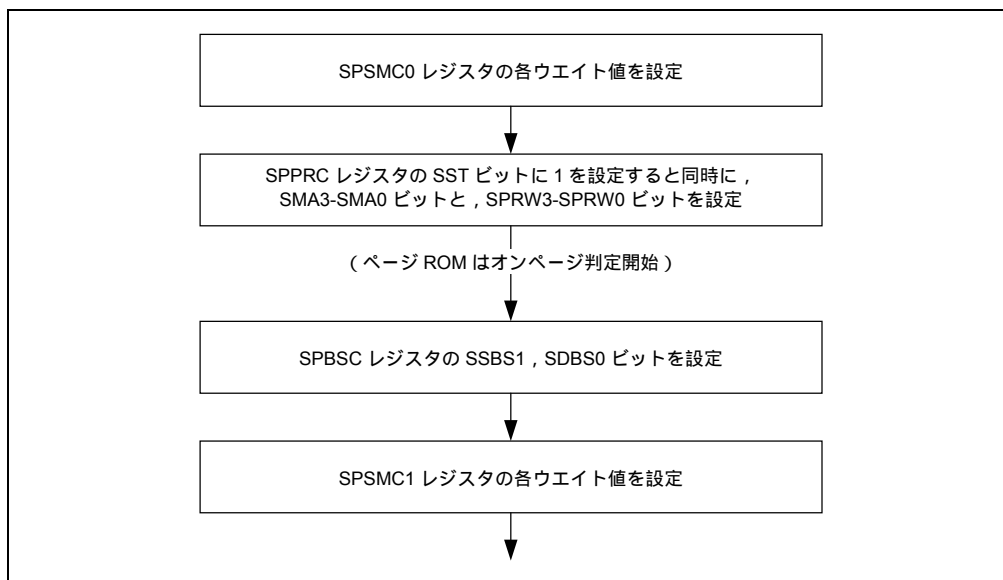
SHLDRQZ 信号がアクティブ (ロー・レベル) になりバス・ホールドを受け付けると、メモリ・コントローラはバス・ホールド状態に移行します。バス・ホールド状態への移行が完了すると、SHLDAKZ 信号出力がアクティブ (ロー・レベル) になります。バス・ホールド期間中は、SHLDAKZ 信号はアクティブ・レベルを保持します。

SHLDRQZ 信号がインアクティブ (ハイ・レベル) になると、メモリ・コントローラはバス・ホールド状態を解除して SHLDAKZ 信号がインアクティブ (ハイ・レベル) にします。

## 6.8 制御レジスタ設定手順

SCSZ0 領域にページ ROM, STCSZ1 領域に SRAM を接続する場合を例に、制御レジスタ設定手順を説明します。

図 6-3 メモリ・コントローラの制御レジスタ設定手順例



## 6.9 メモリ・アクセス・タイミング例

SiP 内部接続の SRAM / ページ ROM インタフェースは、外部メモリ・インタフェースと同一のタイミングです。信号名を読み替えて、図 5-14 ~ 図 5-21 を参照してください。

## 6.10 SiP 内部接続割り込み信号

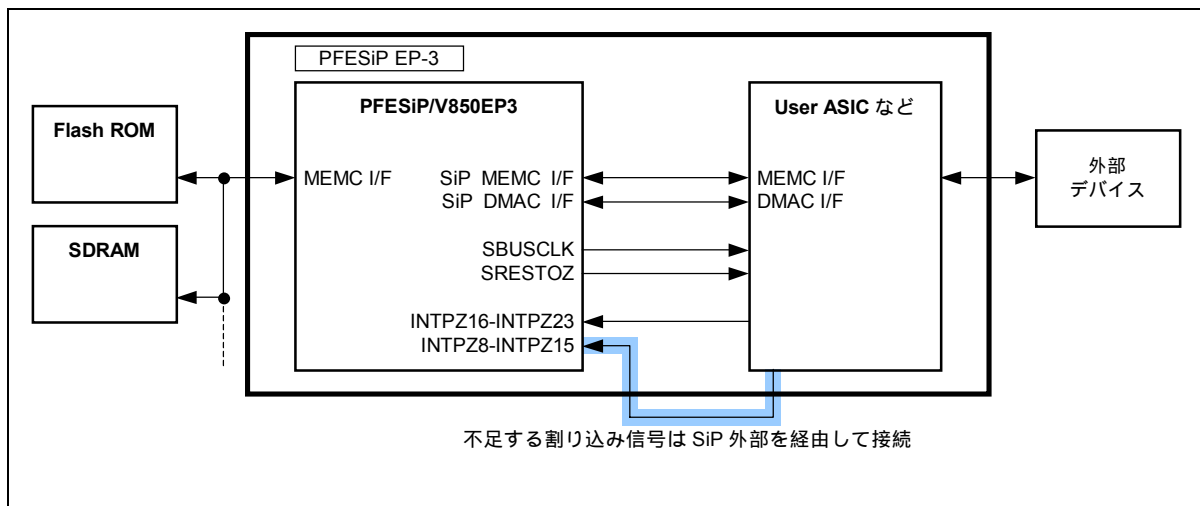
INTPZ16-INTPZ23 は、SiP 内部接続を前提とした、有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力です。未使用時はオープンとするため、プルアップ付きです。

ポート 2 の機能と兼用されているため、割り込み入力として使用する場合は、ポート 2 モード・コントロール・レジスタ（PMCT2）で、コントロール・モードに設定してください。また、ポートとして使用し、PFESiP/V850EP3 との通信線として利用することも可能です。

SiP 内部のチップ間ボンディングに対応させるため、PFESiP/V850EP3 の端子レイアウトにて、チップ間接続に適した位置に配置されています。チップ間接続に利用しない場合は、SiP 外部とのインタフェースとして、これらの信号をインタポーザにボンディングする場合があります。

INTPZ16-INTPZ23 は 8 本のみのため、不足する場合は SiP 外部を経由し、INTPZ16-INTPZ23 以外の外部割り込みと接続してください。

図 6-4 SiP 内部の接続





### 6.10.1 外部割り込みモード・レジスタ 2 (INTM2)

SiP 内部接続を前提とした P20-P27/INTPZ16-INTPZ23 の，外部割り込みのトリガ・モードを指定するレジスタです。

ビット 31-16 は，INPZ24-INTPZ31 用のため，SiP 内部接続用ではありません。

32 ビット単位でリード/ライト可能です。

( 1/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM2	ESP 311	ESP 310	ESP 301	ESP 300	ESP 291	ESP 290	ESP 281	ESP 280	ESP 271	ESP 270	ESP 261	ESP 260	ESP 251	ESP 250	ESP 241	ESP 240	0F01 9138H
	INTPZ31		INTPZ30		INTPZ29		INTPZ28		INTPZ27		INTPZ26		INTPZ25		INTPZ24		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ESP 231	ESP 230	ESP 221	ESP 220	ESP 211	ESP 210	ESP 201	ESP 200	ESP 191	ESP 190	ESP 181	ESP 180	ESP 171	ESP 170	ESP 161	ESP 160	0000 0000H
	INTPZ23		INTPZ22		INTPZ21		INTPZ20		INTPZ19		INTPZ18		INTPZ17		INTPZ16		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味															
15-0	ESPn1- ESPn0	INTPZ16-INTPZ31 のトリガ・モードを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ESnm1</th> <th style="width: 10%;">Esnm0</th> <th style="width: 80%;">INTPZ16-INTPZ31 のトリガ・モード指定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル検出 (ロー・レベル検出) <sup>※1,2</sup></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり，立ち下がり両エッジ</td> </tr> </tbody> </table>	ESnm1	Esnm0	INTPZ16-INTPZ31 のトリガ・モード指定	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	レベル検出 (ロー・レベル検出) <sup>※1,2</sup>	1	1	立ち上がり，立ち下がり両エッジ
ESnm1	Esnm0	INTPZ16-INTPZ31 のトリガ・モード指定															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	レベル検出 (ロー・レベル検出) <sup>※1,2</sup>															
1	1	立ち上がり，立ち下がり両エッジ															

(2/2)

注 1. INTPZ16-INTPZ23 端子のレベルは、アクティブ・レベル（ロー・レベル）が入力されていると、CPU クロック（CPCLK）の立ち上がりごとにトグルする連続パルスとして、割り込み要求が発生します。つまり CPU クロックを 2 分周したタイミングごとに割り込み要求が発生し EIRFn ビットとして割り込み要求がラッチされます。このため、CPU が割り込みを受け付けて、EI レベル割り込み制御レジスタ（EICn）の EIRFn ビットが自動的にクリア（0）されても、すぐに EIRFn ビットがセット（1）され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、外部デバイスに対して INTPZn 端子をインアクティブにする処理を行ったあと、EIRFn ビットを強制的にクリア（0）してください。

2. 割り込み処理中に、より優先順位の低いレベル検出割り込み要求（INTPZm）が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み（INTPZm）がインアクティブになった場合、新たに発生した割り込み（INTPZm）の割り込み要求は保留されます。この INTPZm の割り込み要求を受け付けたくない場合は、EI レベル割り込み制御レジスタ（EIC）の EIRFm ビットをクリア（0）してください。

注意 INTPZ16-INTPZ23 は、P20-P27 と兼用されています。PMCT2 レジスタで割り込み機能として利用するように設定した際に、直前の状態によっては不要な割り込みが発生する場合があります。これを避けるためには、PMCT2 レジスタで割り込み機能として利用するように設定する場合に、これらの割り込みをマスクした状態で設定し、設定後にこれらの割り込み要求フラグをクリアしてください。

備考 n = 101-108

m = 0-49

### 6.10.2 ノイズ・フィルタ設定レジスタ 2 (NFC2)

SiP 内部接続を前提とした P20-P27/INTPZ16-INTPZ23 の、ノイズ除去幅を設定するレジスタです。  
 ビット 31-16 は、INPZ24-INTPZ31 用のため、SiP 内部接続用ではありません。  
 32 ビット単位でリード/ライト可能です。

**注意** 入力パルス幅が、NFC2 設定値 ~ NFC2 設定値 - 1 の場合は、有効エッジとして検出するか、ノイズとして除去するかは不定です。

2. INTPZ0-INTPZ49, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも遅延が生じます。
3. NFC2 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC2 レジスタの変更は DI 状態で行い、レジスタ変更後に該当している割り込み要求 (EIRFn) クリアしてください。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC2		NFP 311	NFP 310	NFP 301	NFP 300	NFP 291	NFP 290	NFP 281	NFP 280	NFP 271	NFP 270	NFP 261	NFP 260	NFP 251	NFP 250	NFP 241	NFP 240	0F01 9118H
		INTPZ31		INTPZ30		INTPZ29		INTPZ28		INTPZ27		INTPZ26		INTPZ25		INTPZ24		
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
		NFP 231	NFP 230	NFP 221	NFP 220	NFP 211	NFP 210	NFP 201	NFP 200	NFP 191	NFP 190	NFP 181	NFP 180	NFP 171	NFP 170	NFP 161	NFP 160	0000 0000H
		INTPZ23		INTPZ22		INTPZ21		INTPZ20		INTPZ19		INTPZ18		INTPZ17		INTPZ16		
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味															
★ 15-0	NFm1- NFm0	ノイズ・フィルタ段数を、内部システム・バス・クロック (HCLK) 基準で設定します。 CLKDV0-CLKDV2 端子により、内部システム・バス・クロックは、CPU 動作クロックの分周関係で設定されます。															
		<table border="1" style="margin: auto;"> <thead> <tr> <th>NFm1</th> <th>NFm0</th> <th>ノイズ・フィルタ段数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 × HCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 × HCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>8 × HCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>16 × HCLK</td> </tr> </tbody> </table>	NFm1	NFm0	ノイズ・フィルタ段数	0	0	0 × HCLK	0	1	4 × HCLK	1	0	8 × HCLK	1	1	16 × HCLK
		NFm1	NFm0	ノイズ・フィルタ段数													
		0	0	0 × HCLK													
0	1	4 × HCLK															
1	0	8 × HCLK															
1	1	16 × HCLK															

**備考** m = P16-P31

## 第7章 シリアル・フラッシュ ROM メモリ・コントローラ

PFESiP/V850EP3 は、SPI 互換のインタフェースを有するシリアル・フラッシュ ROM を接続するためのメモリ・コントローラを内蔵しています。

### 7.1 特 徴

- SPI インタフェース： SPI モード 0 と SPI モード 3 に対応（初期状態は SPI モード 3）  
アドレス幅は 24 ビット
- タイミング調整機能： レジスタ設定により、広範囲のシリアル ROM に対応可能
- ROM 読み出し機能： 内部システム・バスの読み出しバス・サイクルを SPI バス・サイクルに自動変換  
シリアル ROM からの直接ブートが可能  
Read, Fast Read, Fast Read Dual Output, Fast Read Dual I/O 命令に対応  
プリフェッチ機能搭載  
ポーリング処理が可能  
SPI バス・サイクル延長機能搭載
- 直接通信機能： 多様なデバイスの命令・機能に、ソフトウェア制御で柔軟に対応可能（消去、書き込み、ID 読み出し、Power-Down 制御等）
- 最高転送クロック： 50MHz

### 7.2 端子機能

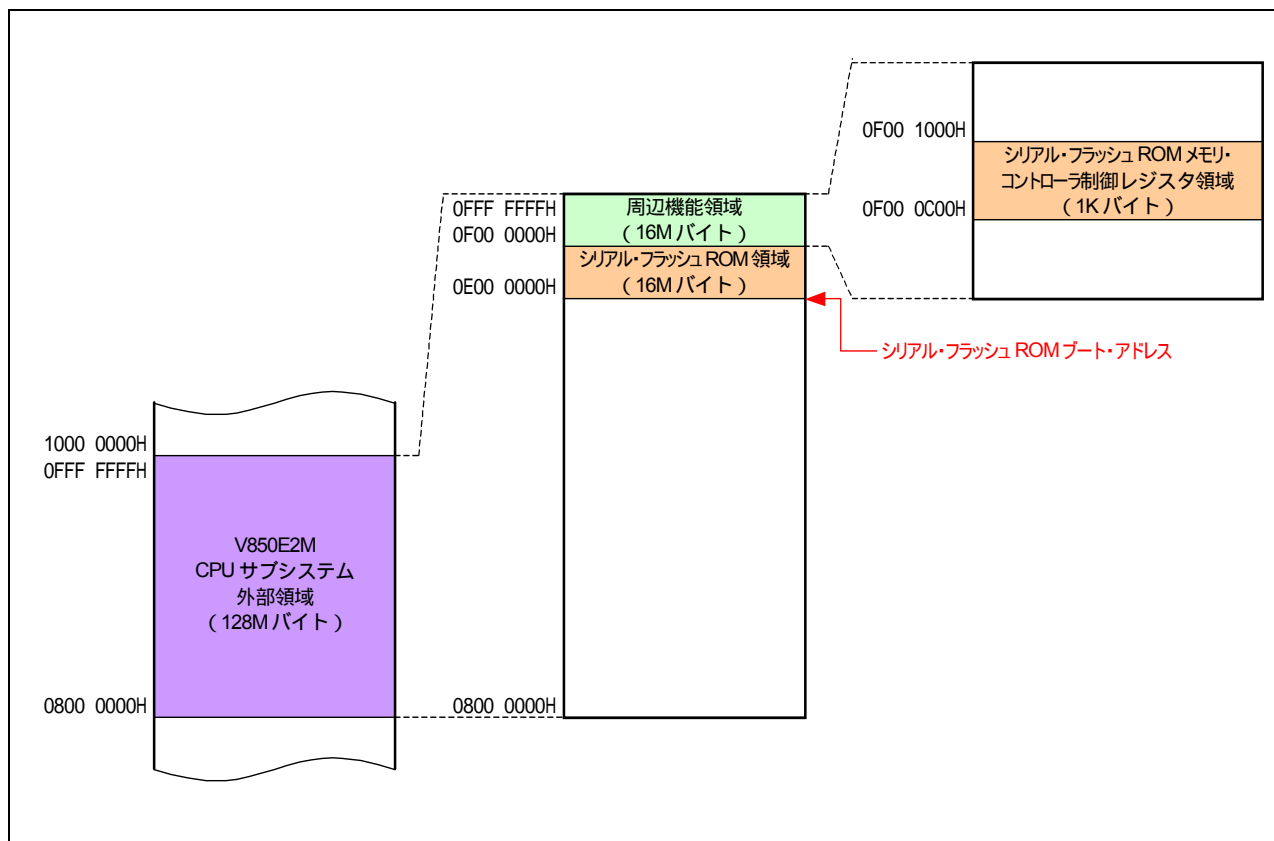
- (1) SMSCK ( Serial Flash Clock ) ... 出力  
シリアル・フラッシュ ROM に対するクロック出力端子です。
- (2) SMSO ( Serial Flash Data Output ) ... 入出力  
シリアル・フラッシュ ROM へのデータ出力端子です。  
デュアル・モードでは、入出力端子として機能します。
- (3) SMSI ( Serial Flash Data Input ) ... 入出力  
シリアル・フラッシュ ROM からのデータ入力端子です。  
デュアル・モードでは、入出力端子として機能します。
- (4) SMCSZ ( Serial Flash Chip Select )  
シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

### 7.3 シリアル・フラッシュ ROM のメモリ空間への配置

シリアル・フラッシュ ROM メモリ・コントローラは、最大 16M バイトの ROM 自体が配置される空間と、シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタが配置される空間が存在します。

端子設定で BOOTSEL1 = 1, BOOTSEL0 = 0 とした場合、シリアル・フラッシュ ROM からブートします。このときのブート・アドレスは、0E00 0000H です。

図 7-1 シリアル・フラッシュ ROM のメモリ空間への配置



**注意** 16M バイト未満のシリアル・フラッシュ ROM を接続した場合は、イメージ領域をアクセスしないでください。0E00 0000H から続く本来のアドレスをアクセスしてください。シリアル ROM によっては、イメージ・アドレスとなる上位のアドレスを無視しない製品があるためです。

## 7.4 制御レジスタ

シリアル・フラッシュ ROM メモリ・コントローラを利用するには、制御レジスタで動作モードを設定する必要があります。

表 7-1 シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタ

アドレス	レジスタ名称	略号	R/W	リセット時
0F00 0C00H	転送モード制御レジスタ	SFMSMD	R/W	0000 0110H
0F00 0C04H	チップ選択制御レジスタ	SFMSSC	R/W	0000 0037H
0F00 0C08H	クロック制御レジスタ	SFMSKC	R/W	0000 0008H
0F00 0C0CH	ステータス・レジスタ	SFMSST	R	0000 0080H
0F00 0C10H	通信ポート・レジスタ	SFMCOM	R/W	不定
0F00 0C14H	通信モード制御レジスタ	SFMCMD	R/W	0000 0000H
0F00 0C18H	通信ステータス・レジスタ	SFMCST	R/W	0000 0000H

**注意** シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタの設定内容は、システム動作中にダイナミックに変更できます。

ただし、複数の制御レジスタの設定内容を順次変更する場合、すべてのレジスタへの変更が完了する前に、SPI バス・サイクルが発生する可能性があるため、レジスタ設定変更過程のどの段階においても SPI バスのタイミング仕様を逸脱しないよう、レジスタ内容の変更順序には十分な注意が必要です。

(1) 転送モード制御レジスタ (SFMSMD)

SPI バス・サイクルを制御するレジスタです。

SFMSMD レジスタは 8 / 16 ビット単位でリード/ライト可能です。

ビット 31-12, 3, 2 には必ず 0 を設定してください。

( 1/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMSMD0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C00H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	SFM OSW	SFM OHW	SFM OEX	SFM MD3	SFM PAE	SFM PFE	SFM SE1	SFM SE0	0	0	SFM RM1	SFM RM0	0000 0110H
R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	R/W	R/W	

ビット位置	ビット名	意味
11	SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0 : シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。(初期値) 1 : シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
10	SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0 : シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。(初期値) 1 : シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
9	SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0 : シリアル・データの出力許可期間を延長しません。(初期値) 1 : シリアル・データの出力許可期間を 1 × SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
8	SFMMD3	SPI モードを選択します。 0 : SPI モード 0 1 : SPI モード 3 (初期値)
7	SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0 : バイト境界以外でのプリフェッチ中断機能を無効にします。(初期値) 1 : バイト境界以外でのプリフェッチ中断機能を有効にします。
6	SFMPFE	プリフェッチ機能を選択します。 0 : プリフェッチ機能を無効にします。(初期値) 1 : プリフェッチ機能を有効にします

ビット位置	ビット名	意味															
5, 4	SFMSE1, SFMSE0	<p>SPI バス・アクセス後の SMCSZ (チップ・セレクト) 信号の延長機能を選択します。</p> <table border="1"> <thead> <tr> <th>SFMSE1</th> <th>SFMSE0</th> <th>SMCSZ (チップ・セレクト) 信号の延長モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SMCSZ 信号を延長しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>SMCSZ 信号を最長 129 シリアル・クロック分延長します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>SMCSZ 信号を無期限で延長します。</td> </tr> </tbody> </table> <p>SMCSZ 信号がハイ・レベルの期間は、シリアル・フラッシュ ROM の消費電力低減の効果があります。</p>	SFMSE1	SFMSE0	SMCSZ (チップ・セレクト) 信号の延長モード	0	0	SMCSZ 信号を延長しません。	0	1	SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。	1	0	SMCSZ 信号を最長 129 シリアル・クロック分延長します。	1	1	SMCSZ 信号を無期限で延長します。
SFMSE1	SFMSE0	SMCSZ (チップ・セレクト) 信号の延長モード															
0	0	SMCSZ 信号を延長しません。															
0	1	SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。															
1	0	SMCSZ 信号を最長 129 シリアル・クロック分延長します。															
1	1	SMCSZ 信号を無期限で延長します。															
1, 0	SFMRM1, SFMRM0	<p>シリアル・フラッシュ ROM のリード・モードを選択します。</p> <table border="1"> <thead> <tr> <th>SFMRM1</th> <th>SFMRM0</th> <th>シリアル・フラッシュ ROM のリード・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>標準 Read (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Fast Read</td> </tr> <tr> <td>1</td> <td>0</td> <td>Fast Read dual Output</td> </tr> <tr> <td>1</td> <td>1</td> <td>Fast Read dual I/O</td> </tr> </tbody> </table>	SFMRM1	SFMRM0	シリアル・フラッシュ ROM のリード・モード	0	0	標準 Read (初期値)	0	1	Fast Read	1	0	Fast Read dual Output	1	1	Fast Read dual I/O
SFMRM1	SFMRM0	シリアル・フラッシュ ROM のリード・モード															
0	0	標準 Read (初期値)															
0	1	Fast Read															
1	0	Fast Read dual Output															
1	1	Fast Read dual I/O															



(2) チップ選択制御レジスタ (SFMSSC)

シリアルROMのチップ・セレクト信号のタイミングを設定するレジスタです。

SFMSSCレジスタは8ビット単位でリード/ライト可能です。

ビット31-6には必ず0を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMSSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C04H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	SFM SLD	SFM SHD	SFM SW3	SFM SW2	SFM SW1	SFM SW0	0000 0037H
R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味																																																																																					
5	SFMSLD	SMCSZ (チップ・セレクト) 信号の出力タイミングを選択します。 0: 最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1: 最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。(初期値)																																																																																					
4	SFM SHD	SMCSZ (チップ・セレクト) 信号の解除タイミングを選択します。 0: 最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1: 最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。(初期値)																																																																																					
3-0	SFMSW3- SFMSW0	SMCSZ (チップ・セレクト) 信号の最小ハイ・レベル幅を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SFMSW3</th> <th>SFMSW2</th> <th>SFMSW1</th> <th>SFMSW0</th> <th>SMCSZ (チップ・セレクト) 信号の 最小ハイ・レベル幅</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1 × SMSCK 周期</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2 × SMSCK 周期</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3 × SMSCK 周期</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4 × SMSCK 周期</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5 × SMSCK 周期</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6 × SMSCK 周期</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7 × SMSCK 周期</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8 × SMSCK 周期 (初期値)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9 × SMSCK 周期</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10 × SMSCK 周期</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11 × SMSCK 周期</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12 × SMSCK 周期</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13 × SMSCK 周期</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14 × SMSCK 周期</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15 × SMSCK 周期</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16 × SMSCK 周期</td></tr> </tbody> </table>	SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ (チップ・セレクト) 信号の 最小ハイ・レベル幅	0	0	0	0	1 × SMSCK 周期	0	0	0	1	2 × SMSCK 周期	0	0	1	0	3 × SMSCK 周期	0	0	1	1	4 × SMSCK 周期	0	1	0	0	5 × SMSCK 周期	0	1	0	1	6 × SMSCK 周期	0	1	1	0	7 × SMSCK 周期	0	1	1	1	8 × SMSCK 周期 (初期値)	1	0	0	0	9 × SMSCK 周期	1	0	0	1	10 × SMSCK 周期	1	0	1	0	11 × SMSCK 周期	1	0	1	1	12 × SMSCK 周期	1	1	0	0	13 × SMSCK 周期	1	1	0	1	14 × SMSCK 周期	1	1	1	0	15 × SMSCK 周期	1	1	1	1	16 × SMSCK 周期
SFMSW3	SFMSW2	SFMSW1	SFMSW0	SMCSZ (チップ・セレクト) 信号の 最小ハイ・レベル幅																																																																																			
0	0	0	0	1 × SMSCK 周期																																																																																			
0	0	0	1	2 × SMSCK 周期																																																																																			
0	0	1	0	3 × SMSCK 周期																																																																																			
0	0	1	1	4 × SMSCK 周期																																																																																			
0	1	0	0	5 × SMSCK 周期																																																																																			
0	1	0	1	6 × SMSCK 周期																																																																																			
0	1	1	0	7 × SMSCK 周期																																																																																			
0	1	1	1	8 × SMSCK 周期 (初期値)																																																																																			
1	0	0	0	9 × SMSCK 周期																																																																																			
1	0	0	1	10 × SMSCK 周期																																																																																			
1	0	1	0	11 × SMSCK 周期																																																																																			
1	0	1	1	12 × SMSCK 周期																																																																																			
1	1	0	0	13 × SMSCK 周期																																																																																			
1	1	0	1	14 × SMSCK 周期																																																																																			
1	1	1	0	15 × SMSCK 周期																																																																																			
1	1	1	1	16 × SMSCK 周期																																																																																			

(3) クロック制御レジスタ (SFMSKC)

SPI バスの動作速度を指定するレジスタです。

SFMSKC レジスタは8ビット単位でリード/ライト可能です。

ビット 31-6 には必ず 0 を設定してください。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMSKC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C08H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	SFM DTY	SFM DV4	SFM DV3	SFM DV2	SFM DV1	SFM DV0	0000 0008H
R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味																																																																																																						
5	SFM DTY	SMSCK 信号のデューティ比補正機能を選択します。 0 : SMSCK 信号の立ち上がりを 0.5×HCLK 周期分遅らせます。 1 : SMSCK 信号の補正を行いません。																																																																																																						
4-0	SFMDV4- SFMDV0	シリアル・クロック (SMSCK) を内部システム・クロック (HCLK) を基準に選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SFMDV4</th> <th>SFMDV3</th> <th>SFMDV2</th> <th>SFMDV1</th> <th>SFMDV0</th> <th>シリアル・クロックの選択</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>HCLK / 2</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>HCLK / 3 (奇数分周) 注</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>HCLK / 4</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>HCLK / 5 (奇数分周) 注</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>HCLK / 6</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>HCLK / 7 (奇数分周) 注</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>HCLK / 8</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>HCLK / 9 (奇数分周) 注</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>HCLK / 10 (初期値)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>HCLK / 11 (奇数分周) 注</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>HCLK / 12</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>HCLK / 13 (奇数分周) 注</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>HCLK / 14</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>HCLK / 15 (奇数分周) 注</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>HCLK / 16</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>HCLK / 17 (奇数分周) 注</td></tr> </tbody> </table>	SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択	0	0	0	0	0	HCLK / 2	0	0	0	0	1	HCLK / 3 (奇数分周) 注	0	0	0	1	0	HCLK / 4	0	0	0	1	1	HCLK / 5 (奇数分周) 注	0	0	1	0	0	HCLK / 6	0	0	1	0	1	HCLK / 7 (奇数分周) 注	0	0	1	1	0	HCLK / 8	0	0	1	1	1	HCLK / 9 (奇数分周) 注	0	1	0	0	0	HCLK / 10 (初期値)	0	1	0	0	1	HCLK / 11 (奇数分周) 注	0	1	0	1	0	HCLK / 12	0	1	0	1	1	HCLK / 13 (奇数分周) 注	0	1	1	0	0	HCLK / 14	0	1	1	0	1	HCLK / 15 (奇数分周) 注	0	1	1	1	0	HCLK / 16	0	1	1	1	1	HCLK / 17 (奇数分周) 注
SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択																																																																																																			
0	0	0	0	0	HCLK / 2																																																																																																			
0	0	0	0	1	HCLK / 3 (奇数分周) 注																																																																																																			
0	0	0	1	0	HCLK / 4																																																																																																			
0	0	0	1	1	HCLK / 5 (奇数分周) 注																																																																																																			
0	0	1	0	0	HCLK / 6																																																																																																			
0	0	1	0	1	HCLK / 7 (奇数分周) 注																																																																																																			
0	0	1	1	0	HCLK / 8																																																																																																			
0	0	1	1	1	HCLK / 9 (奇数分周) 注																																																																																																			
0	1	0	0	0	HCLK / 10 (初期値)																																																																																																			
0	1	0	0	1	HCLK / 11 (奇数分周) 注																																																																																																			
0	1	0	1	0	HCLK / 12																																																																																																			
0	1	0	1	1	HCLK / 13 (奇数分周) 注																																																																																																			
0	1	1	0	0	HCLK / 14																																																																																																			
0	1	1	0	1	HCLK / 15 (奇数分周) 注																																																																																																			
0	1	1	1	0	HCLK / 16																																																																																																			
0	1	1	1	1	HCLK / 17 (奇数分周) 注																																																																																																			

次ページに続く

注 奇数分周の場合で、デューティ比補正機能を利用しない場合、SMSCK 信号のハイ・レベル幅は、ロー・レベル幅より 1×HCLK 長くなります。

備考 HCLK : 内部システム・バス・クロック

ビット位置	ビット名	意味																																																																																																						
4-0	SFMDV4- SFMDV0	<p>シリアル・クロック (SMSCK) を内部システム・クロック (HCLK) を基準に選択します。</p> <table border="1" data-bbox="512 389 1375 1144"> <thead> <tr> <th>SFMDV4</th> <th>SFMDV3</th> <th>SFMDV2</th> <th>SFMDV1</th> <th>SFMDV0</th> <th>シリアル・クロックの選択</th> </tr> </thead> <tbody> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>HCLK / 18</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>HCLK / 20</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>HCLK / 22</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>HCLK / 24</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>HCLK / 26</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>HCLK / 28</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>HCLK / 30</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>HCLK / 32</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>HCLK / 34</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>HCLK / 36</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>HCLK / 38</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>HCLK / 40</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>HCLK / 42</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>HCLK / 44</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>HCLK / 46</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>HCLK / 48</td></tr> </tbody> </table>	SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択	1	0	0	0	0	HCLK / 18	1	0	0	0	1	HCLK / 20	1	0	0	1	0	HCLK / 22	1	0	0	1	1	HCLK / 24	1	0	1	0	0	HCLK / 26	1	0	1	0	1	HCLK / 28	1	0	1	1	0	HCLK / 30	1	0	1	1	1	HCLK / 32	1	1	0	0	0	HCLK / 34	1	1	0	0	1	HCLK / 36	1	1	0	1	0	HCLK / 38	1	1	0	1	1	HCLK / 40	1	1	1	0	0	HCLK / 42	1	1	1	0	1	HCLK / 44	1	1	1	1	0	HCLK / 46	1	1	1	1	1	HCLK / 48
SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択																																																																																																			
1	0	0	0	0	HCLK / 18																																																																																																			
1	0	0	0	1	HCLK / 20																																																																																																			
1	0	0	1	0	HCLK / 22																																																																																																			
1	0	0	1	1	HCLK / 24																																																																																																			
1	0	1	0	0	HCLK / 26																																																																																																			
1	0	1	0	1	HCLK / 28																																																																																																			
1	0	1	1	0	HCLK / 30																																																																																																			
1	0	1	1	1	HCLK / 32																																																																																																			
1	1	0	0	0	HCLK / 34																																																																																																			
1	1	0	0	1	HCLK / 36																																																																																																			
1	1	0	1	0	HCLK / 38																																																																																																			
1	1	0	1	1	HCLK / 40																																																																																																			
1	1	1	0	0	HCLK / 42																																																																																																			
1	1	1	0	1	HCLK / 44																																																																																																			
1	1	1	1	0	HCLK / 46																																																																																																			
1	1	1	1	1	HCLK / 48																																																																																																			

備考 HCLK : 内部システム・バス・クロック

(4) ステータス・レジスタ (SFMSST)

シリアル・フラッシュ ROM のアクセス状況を確認するためのレジスタです。  
SFMSST レジスタは 8 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMSST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C0CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	PF OFF	PF FUL	0	0	0	PF CNT2	PF CNT1	PF CNT0	0000 0080H
R/W	0	0	0	0	0	0	0	0	R	R	0	0	0	R	R	R	

ビット位置	ビット名	意味																																				
7	PFOFF	プリフェッチの動作状態が示されます。 <sup>※</sup> 0：プリフェッチ機能が動作中です。 1：プリフェッチが許可されていない、または動作していません。（初期値）																																				
6	PFFUL	プリフェッチ・バッファの状態を示します。 0：プリフェッチ・バッファに空きがあります。（初期値） 1：プリフェッチ・バッファがフル状態です。																																				
2-0	PFCNT2- PFCNT0	プリフェッチ済みデータのバイト数を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PFCNT2</th> <th>PFCNT1</th> <th>PFCNT0</th> <th>プリフェッチ済みデータのバイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>プリフェッチ済みのデータがない（初期値）</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>6 バイトのデータをプリフェッチ済み</td> </tr> <tr> <td colspan="3">上記以外</td> <td>この組み合わせはありません。</td> </tr> </tbody> </table>	PFCNT2	PFCNT1	PFCNT0	プリフェッチ済みデータのバイト数	0	0	0	プリフェッチ済みのデータがない（初期値）	0	0	1	1 バイトのデータをプリフェッチ済み	0	1	0	2 バイトのデータをプリフェッチ済み	0	1	1	3 バイトのデータをプリフェッチ済み	1	0	0	4 バイトのデータをプリフェッチ済み	1	0	1	5 バイトのデータをプリフェッチ済み	1	1	0	6 バイトのデータをプリフェッチ済み	上記以外			この組み合わせはありません。
PFCNT2	PFCNT1	PFCNT0	プリフェッチ済みデータのバイト数																																			
0	0	0	プリフェッチ済みのデータがない（初期値）																																			
0	0	1	1 バイトのデータをプリフェッチ済み																																			
0	1	0	2 バイトのデータをプリフェッチ済み																																			
0	1	1	3 バイトのデータをプリフェッチ済み																																			
1	0	0	4 バイトのデータをプリフェッチ済み																																			
1	0	1	5 バイトのデータをプリフェッチ済み																																			
1	1	0	6 バイトのデータをプリフェッチ済み																																			
上記以外			この組み合わせはありません。																																			

注 プリフェッチ機能は、SFMSMD レジスタの SFMPFE ビットがセット (1) された状態において、最初のシリアル・フラッシュ ROM に対するリード・アクセスをトリガとして動作を開始し、SFMCMD レジスタへの書き込みによって停止します。  
プリフェッチ機能を用いてポーリング処理を行う場合、PFOFF ビットが 1 であれば、PFCNT2-PFCNT0 ビットの値に関わらず、シリアル・フラッシュ ROM データの読み出しを開始する必要があります。

(5) 通信ポート・レジスタ (SFMCOM)

シリアル・フラッシュ ROM に対して、命令コードやアドレスや書き込みデータの出力、また読み出しデータやステータス情報の取り出しを行うために用いられる入出力ポートです。

直接通信モード (SFMCMD.DCOM = 1) において SFMCOM ポートへの書き込みを行うと、書き込まれたデータがシリアル ROM に対して送信されます。また SFMCOM から読み出しを行うと、シリアル・フラッシュ ROM から 1 バイト分のデータ受信が行われ、その受信データが読み出されます。

SFMCOM に対する書き込みまたは読み出しが行われると、シリアル・フラッシュ ROM に対するチップ・セレクト信号 (SMCSZ) がアクティブ状態となり、送信または受信の完了後もシリアル・フラッシュ ROM に対するチップ・セレクト信号 (SMCSZ) がアクティブ状態に保たれます。いったんアクティブ状態となったチップ・セレクト信号 (SMCSZ) は、後述の SFMCMD レジスタへ任意データの書き込みにより、インアクティブ状態に戻ります。

各社から提供されるシリアル・フラッシュ ROM は、特に書き込みや消去の場面において、コマンドやプロトコルに関する標準化が進んでおらず、デバイス固有の制御が必要となります。

PFESiP/V850EP3 でシリアル・フラッシュ ROM を利用する場合も、書き込みや消去は、SFMCOM を介したソフトウェア制御が必要です。

SFMCOM レジスタは 8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMCOM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C10H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	SFMD	SFMD	SFMD	SFMD	SFMD	SFMD	SFMD	SFMD	不定
									7	6	5	4	3	2	1	0	
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
7-0	SFMD7-SFMD0	シリアル ROM と直接通信するために、データの入出力を行う通信ポート・レジスタです。 このレジスタへのリード/ライト動作は、SPI バス・サイクルに変換されます。 このレジスタは、直接通信モード (SFMCMD.DCOM = 1) でのみアクセス可能です。ROM アクセス・モード (SFMCMD.DCOM = 0) の場合のアクセスは無視されます。

## (6) 通信モード制御レジスタ (SFMCMMD)

システム・バスとSPIバスとの間の通信方法を選択するためのレジスタです。システム・バスとSPIバスとの間の通信方法には、ROMアクセス・モードと直接通信モードがあります。

ROMアクセス・モードでは、システム・バス・サイクルが自動的にSPIバス・サイクルに変換されるため、通常のROMと同様に、シリアルROMの内容を容易に参照することが可能です。

一方の直接通信モードでは、通信ポート・レジスタ (SFMCOM) への入出力を繰り返すことによりSPIバス・サイクルを組み立て、ソフトウェア制御でシリアルROMとの通信を行います。シリアルROMへの書き込みや消去操作で使われます。

SFMCMMDレジスタへ書き込みを行うと、以前のSFMCOMに対するアクセスによってアクティブ状態となったシリアルROMへのチップ・セレクト信号 (SMCSZ) を、インアクティブ状態に戻します。

SFMCMMDレジスタは8ビット単位でのみリード/ライト可能です。

ビット31-1には必ず0を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMCMMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C14H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DCOM	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意味
0	DCOM	シリアルROMとの通信モードを選択します。 0: ROMアクセス・モード (ROMアクセスが有効) (初期値) 1: 直接通信モード (ROMアクセスは無効)

**注意** 一般的なシリアルROMは、書き込みや消去等をデバイス内部で処理している期間、ステータス確認等の一部の処理を除き、読み出し等の要求に応答することができません。このため、書き込みや消去等のオペレーションと、プログラム・フェッチやデータ・アクセス通常処理との間の、適切な前後関係の確保はソフトウェア処理に委ねられます。ソフトウェア設計においては、使用するシリアルROMの仕様に合わせ、適切な処理フローを実現してください。

(7) 通信ステータス・レジスタ (SFM CST)

シリアル・フラッシュ ROM との通信状態を示すレジスタです。

SFMCMD.DCOM = 1 (直接通信モード) のときに、シリアル・フラッシュ ROM 自体が配置される空間 (0E00 0000H-0EFF FFFFH) にアクセスすると、エラーが発生し INTSFMC が発生します。

INTSFMC はレベルで発生し、EROMR ビットをクリア (0) することでロー・レベルに戻ります。なお EROMR ビットのセット (1) はできません。

SFMCST レジスタは 8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
SFMCST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C18H	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	0	0	0	0	0	0	0	0	EROMR	0	0	0	0	0	0	0	COMBSY	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	R	

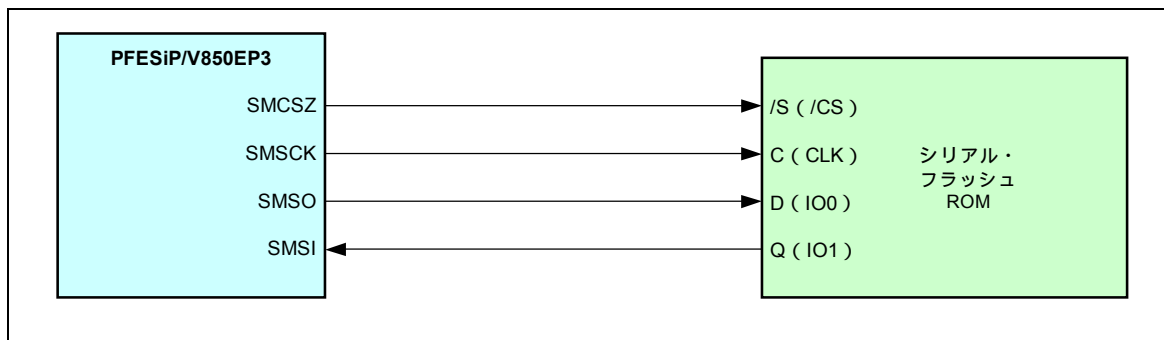
ビット位置	ビット名	意味
7	EROMR	直接通信モード中の不正 ROM アクセスの検出状況を示します。 0: 異常なし。(初期値) 1: 異常あり(直接通信モード期間中の不正 ROM アクセスを検出)。
0	COMBSY	直接通信による SPI バス・サイクルの処理状態を示します。 0: 処理中の SPI バス・サイクルはありません。(初期値) 1: 処理中の SPI バス・サイクルが存在します。

**注意** EROMR ビットで検出可能な異常は、SFMEMC マクロの直接通信用レジスタの操作手順に関するエラーに限定されます。各社から提供される個々のシリアル ROM の仕様や制限事項に関しては、ソフトウェアによる管理が必要となります。

## 7.5 シリアル・フラッシュROMとの接続

シリアル・フラッシュROMとの接続は次のようになります。

図 7-2 シリアル・フラッシュROMとの接続図





## 7.6 動作

### 7.6.1 SPIバスの動作

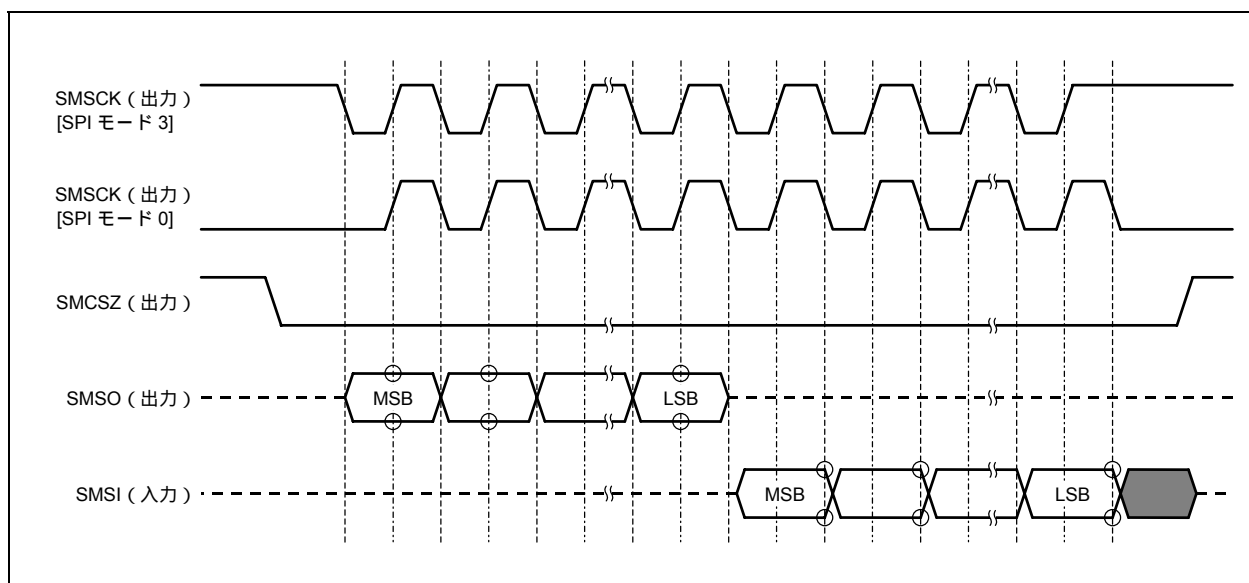
シリアル・フラッシュROMメモリ・コントローラは、リセット解除後 SPI モード 3 で動作を開始します。レジスタ設定内容変更によって、動作中に SPI モード 0 と SPI モード 3 とを切り替えられます。

SPI モード 0 と SPI モード 3 との違いは、待機中の SMSCK 信号のレベルです。SPI モード 0 における SMSCK 信号の待機レベルはロー・レベル、SPI モード 3 における SMSCK 信号の待機レベルはハイ・レベルとなります。

シリアル・データ出力は、シリアル・クロック (SMSCK) の立ち下がりエッジに同期して出力され、シリアル・クロック (SMSCK) の立ち上がりエッジに同期して取り込まれます。

シリアル・データ入力、シリアル・クロック (SMSCK) の立ち下がりエッジに同期して出力され、次の立ち下がりエッジに同期して取り込まれます。

図 7-3 SPIバスの基本動作



## 7.6.2 SPIバスのタイミング調整

SPIバス信号のタイミングを、レジスタ設定によって調整できます。

ここでのタイミング設定内容は、ROMアクセスや直接通信に関わらず、すべてのSPIバス・アクセスに適用されます。

### (1) SPIバスの基準周期

SPIバスは、HCLK周期を整数倍して得られる基準周期に従って動作します。

この基準周期は、SFMSKC.SFMDV4-SFMDV0にて、HCLK周期の2-48倍の範囲内で選択できます。

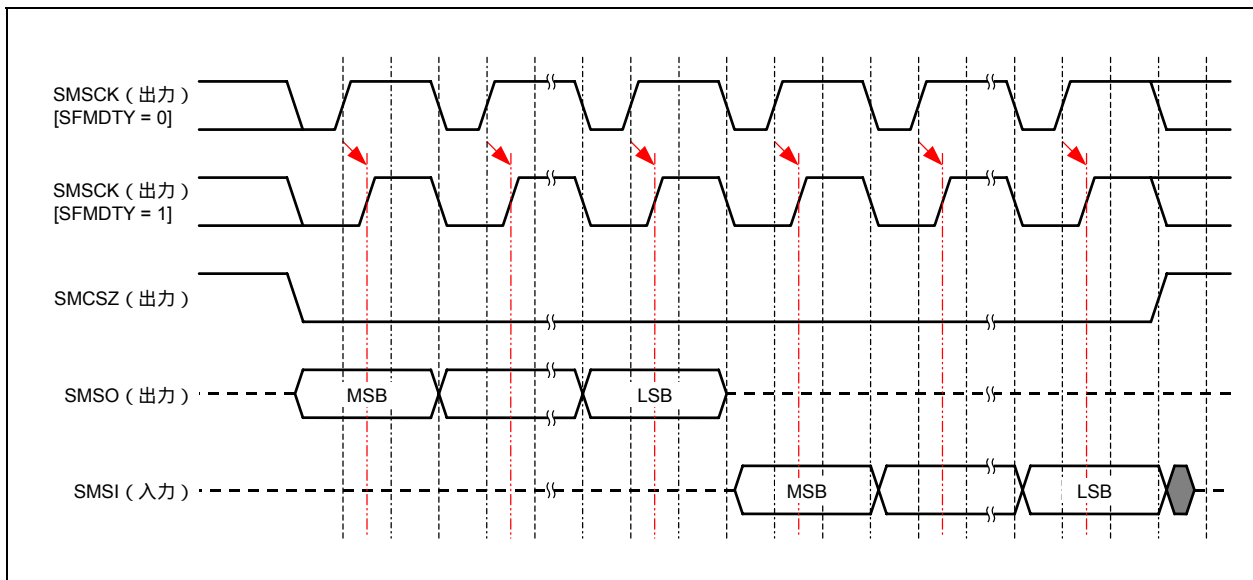
### (2) SMSCK信号のDuty比

システム・クロックのHCLK周期の偶数倍を基準周期とすると、SMSCK信号のハイ・レベル幅とロー・レベル幅は等しくなりますが、奇数倍を基準周期とすると、SMSCK信号のハイ・レベル幅はロー・レベル幅より $1 \times \text{HCLK}$ だけ長くなります。

HCLK周期の奇数倍を基準周期とする場合のSMSCK信号のデューティー比を50%に近づけるためには、SFMSKC.SFMDTYをセット(1)します。SFMSKC.SFMDTY = 1の場合、SMSCK出力信号の立ち上がり時間をHCLK半周期分遅らせ、デューティー比50%相当を実現します。

なお、HCLK周期の偶数倍を基準周期とする場合には、SFMSKC.SFMDTYの設定内容は無視されません。

図 7-4 SFMDTY ビットによる SMSCK 信号のデューティー比補正 (HCLK / 3 の例)



### (3) SMCSZ信号の最小ハイ幅

隣接するSPIバス・サイクル間では、SMCSZ信号を一定時間以上ハイ・レベル(インアクティブ状態)に保ち、デバイスが要求する非選択時間を満足させる必要があります。

SMCSZ出力信号の最小ハイ・レベル幅は、SFMSSC.SFMSW3-SFMSW0で、基準周期の1-16倍の範囲内で選択できます。

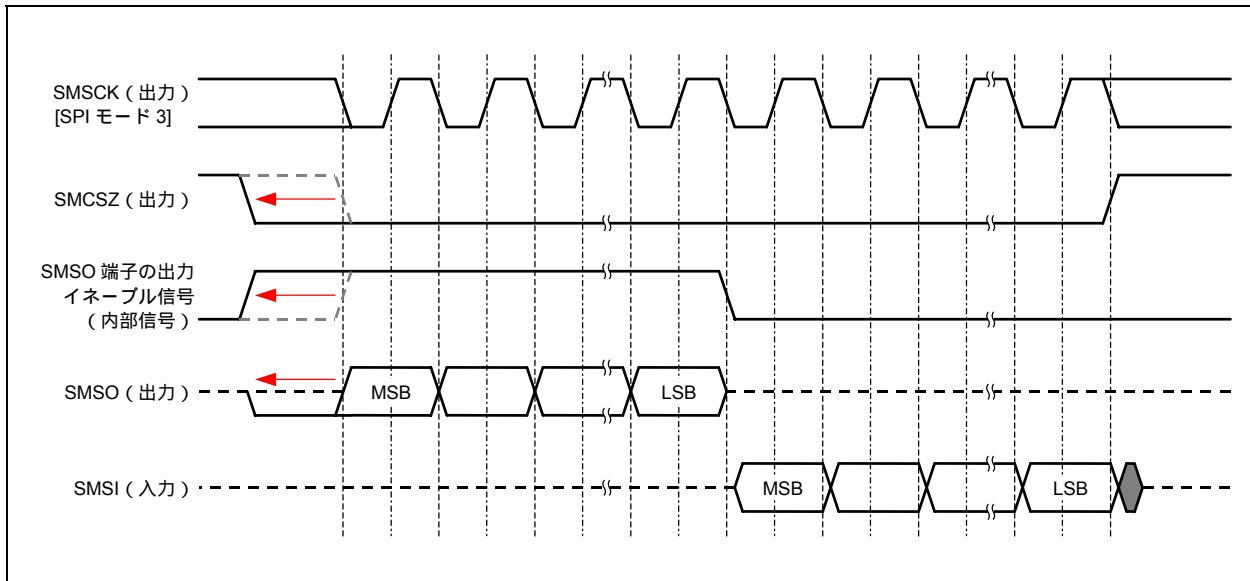
(4) SMCSZ 信号のセットアップ時間

SMCSZ 信号をロー・レベルにしてから最初の SMSCK 信号が立ち上がり時に、デバイスが要求する SMCSZ 信号のセットアップ時間を満足させる必要があります。

SMCSZ 信号のセットアップ時間は、SFMSSC.SFMSLD で、 $0.5 \times \text{SMSCK}$  と  $1.5 \times \text{SMSCK}$  を選択できます。

なお、SFMSSC.SFMSLD の設定内容は、シリアル・データ出力の出力バッファのイネーブル制御から、最初の SMSCK 信号の立ち上げまでのセットアップ時間確保にも適用されます。

図 7-5 SFMSLD ビットによる SMCSZ 信号のセットアップ時間調整

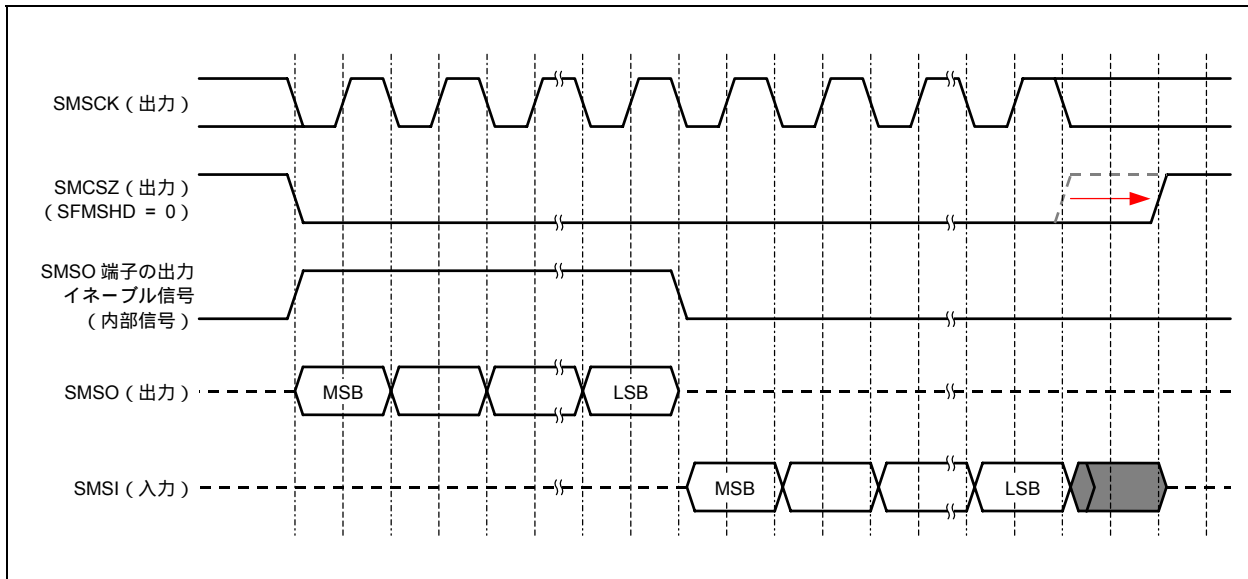


(5) SMCSZ 信号のホールド時間

最後の SMSCK 信号の立ち上がりから SMCSZ 信号をハイ・レベルにするときには、シリアル・フラッシュ ROM の SMCSZ 信号のホールド時間を満足させる必要があります。

SMCSZ 信号のホールド時間は、SFMSSC.SFMSSHD で、 $0.5 \times \text{SMSCK}$  と  $1.5 \times \text{SMSCK}$  を選択できます。

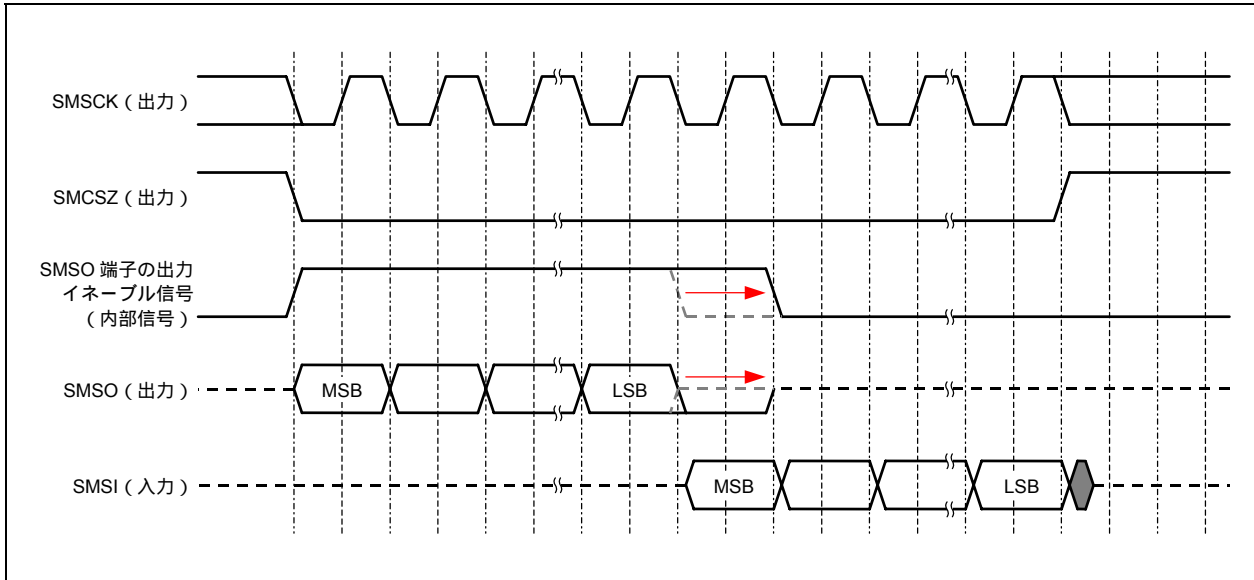
図 7-6 SFMSSHD ビットによる SMCSZ 信号のホールド時間調整



(6) シリアル・データ出力バッファの出力許可時間

SFMSMD.SFMOEX で、SMSI, SMSO 端子のバッファ出力許可期間を 1×SMSCK 延長できます。

図 7-7 SFMOEX ビット設定による出力許可期間の調整



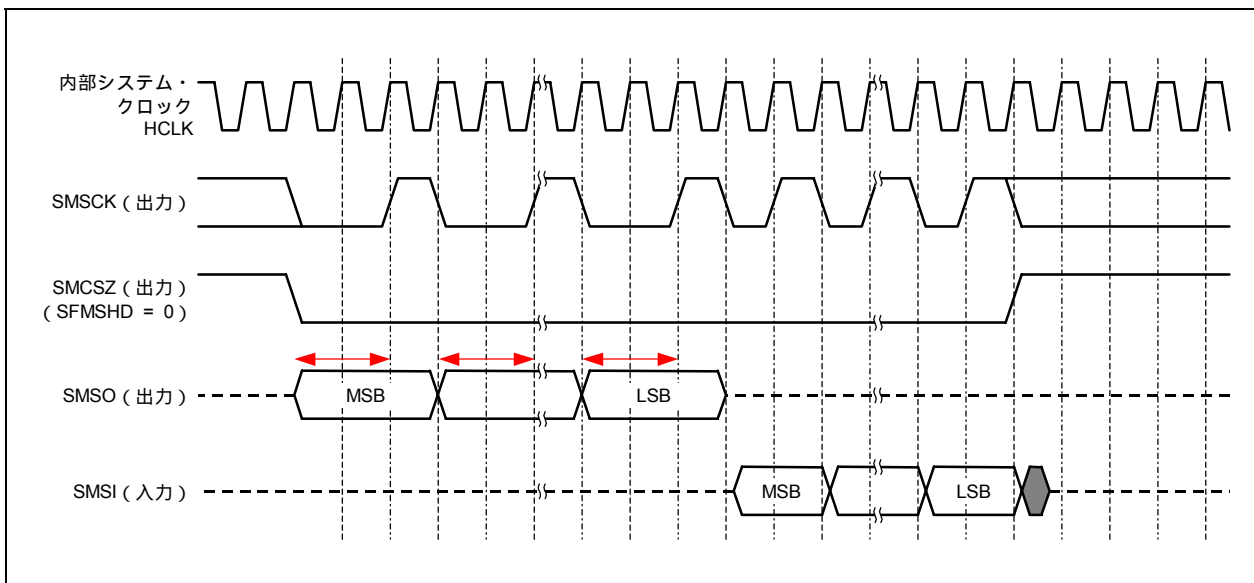
(7) シリアル・データ出力のセットアップ時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのセットアップ時間を満足させる必要があります。

このセットアップ時間が不足する場合には、SFMSMD.SFMOSW で、シリアル・データの出力から SMSCK 信号の立ち上がりまでの時間を、1×SMSCK 延長できます。

SFMOSW ビットをセット (1) すると、データ出力期間でシリアル・データ送信時の SMSCK のロー・レベル幅が 1×SMSCK 延長されます。この機能は、シリアル・データ受信では無効です。

図 7-8 SFMOSW ビット設定によるシリアル・データのセットアップ時間調整



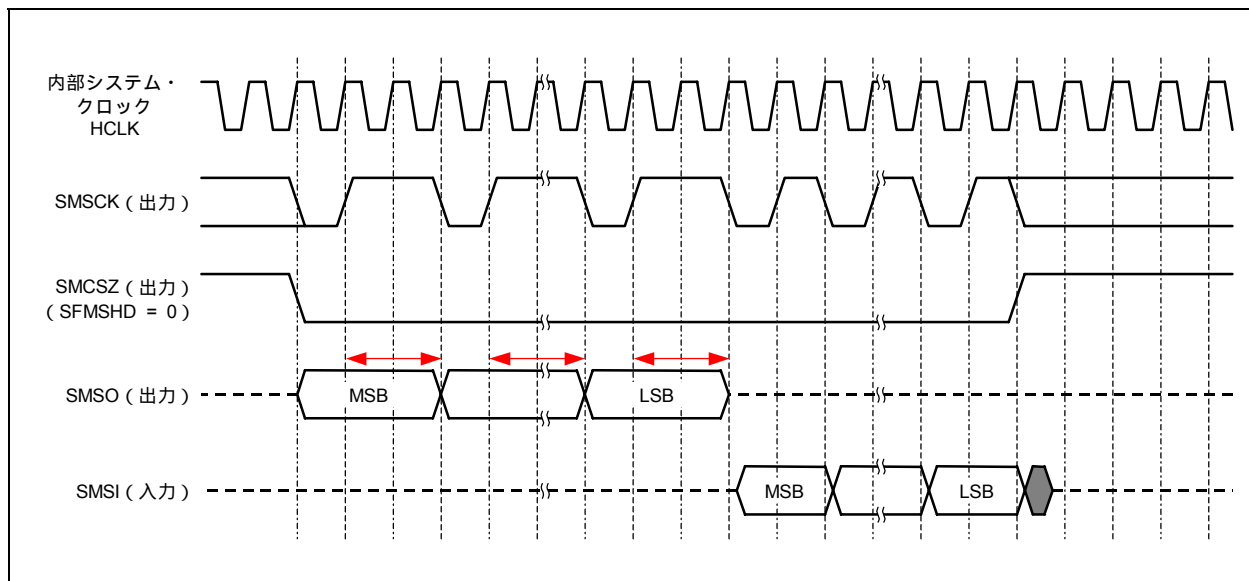
## (8) シリアル・データ出力のホールド時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのホールド時間を満足させる必要があります。

このホールド時間が不足する場合には、SFMSMD.SFMOHW で、SMSCK 信号の立ち上がりからシリアル・データの次の変化までの時間を、 $1 \times$  SMSCK 延長できます。

SFMOHW ビットをセット(1)すると、データを出力する期間で、シリアル・データ送信時の SMSCK のハイ・レベル幅が  $1 \times$  SMSCK 延長されます。この機能は、シリアル・データ受信では無効です。

図 7-9 SFMOHW ビット設定によるシリアル・データのホールド時間調整



### 7.6.3 シリアル・フラッシュ ROM アクセスで用いる SPI 命令セット

#### (1) 自動生成される SPI 命令の種類

シリアル・フラッシュ ROM に対するアクセスが行われると、SFMSMD レジスタの設定内容に応じ、以下の命令を用いた SPI バス・サイクルを自動生成します。

またリセット解除時には、一定時間経過後、Deep Power-Down 解除のための命令を自動発行します。

表 7-2 自動生成される SPI 命令セット

命令	命令コード	アドレス・バイト数	ダミー・データ数	データ・バイト数	SFMSMD レジスタの SFMRM ビットの設定
標準 Read	03H	3	-	1~	SFMRM[1:0] = 00
Fast Read	0BH	3	1	1~	SFMRM[1:0] = 01
Fast Read Dual Output	3BH	3	1	1~	SFMRM[1:0] = 10
Fast Read Dual I/O	BBH	3	1	1~	SFMRM[1:0] = 11
Release from Deep Power-Down	ABH	-	-	-	-

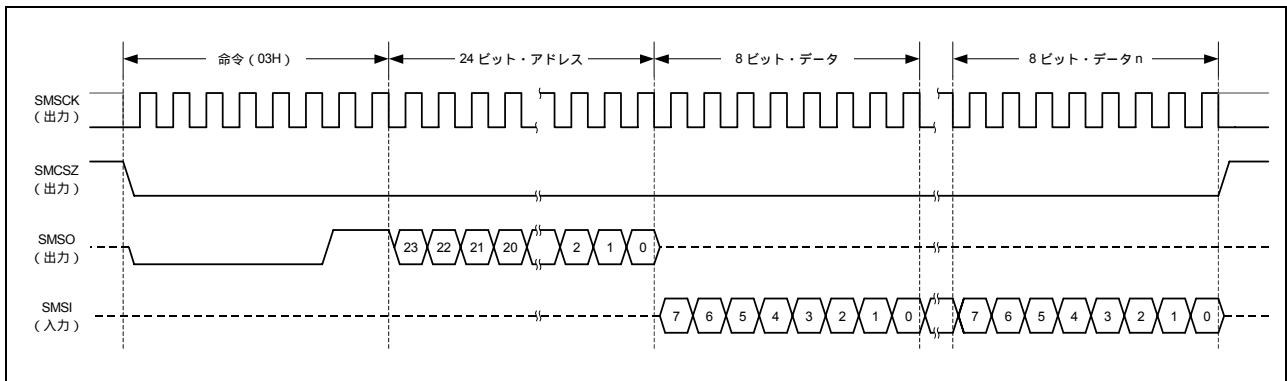
#### (2) 標準 Read 命令

標準 Read は、大多数のシリアル・フラッシュ ROM でサポートされる共通の読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 03H が出力され、続いて 24 ビットのアドレスを送信し、その後にデータの受信を行います。

初期状態では、この標準 Read が選択されています。

図 7-10 標準 Read バス・サイクル



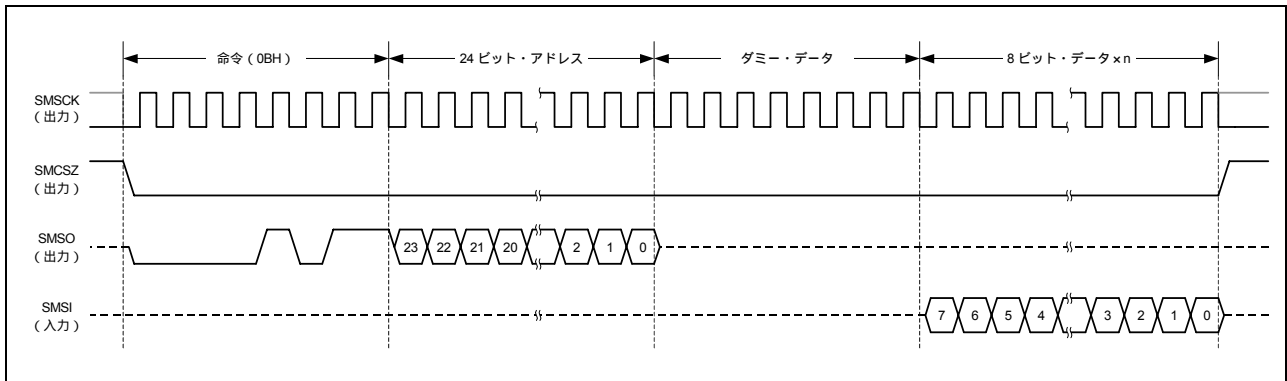
## (3) Fast Read 命令

Fast Read は、標準 Read よりも高い通信クロック速度に対応した読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 0BH が出力され、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後にデータの受信が続きます。

Fast Read への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-11 Fast Read バス・サイクル



**注意** Fast Read は、Fast Read に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

## (4) Fast Read Dual Output 命令

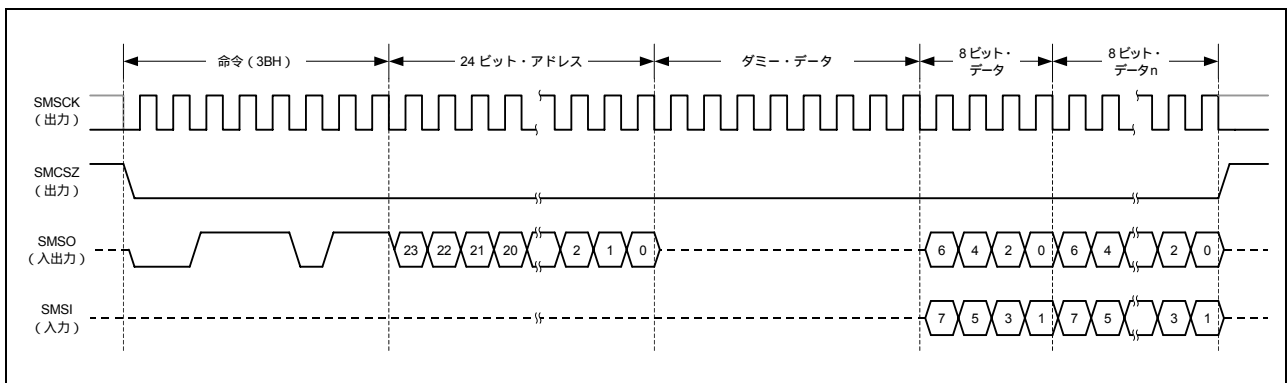
Fast Read Dual Output は、2本の信号線を用いてデータの受信を行う読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 3BH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後 SMSO 端子と SMSI 端子の両方を利用して受信を行います。

データは、偶数ビットを SMSO 端子から、奇数ビットを SMSI 端子から受信します。

Fast Read Dual Output への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-12 Fast Read Dual Output バス・サイクル



**注意** Fast Read Dual Output は、Fast Read Dual Output に対応したシリアル・フラッシュ ROM に対してのみ行ってください。



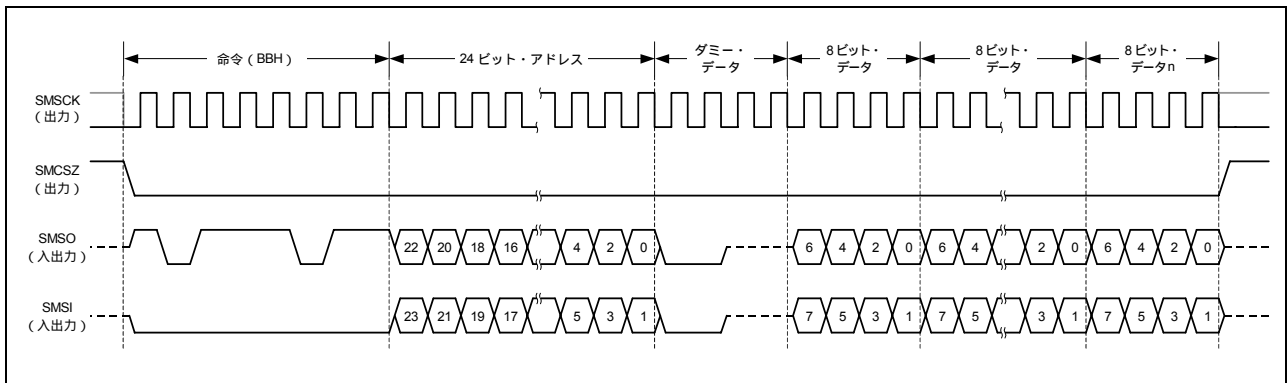
## (5) Fast Read Dual I/O 命令

Fast Read Dual I/O 転送は、アドレス送信とデータ受信に2本の信号線を用いる読み出し方式です。SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして BBH を出力し、続いて24ビットのアドレスと1バイトのダミー・バイトを SMSO 端子と SMSI 端子で送信し、その後 SMSO 端子と SMSI 端子でデータの受信を行います。

アドレスとダミー・データの送信およびデータの受信は、偶数ビットは SMSO 端子を通して、奇数ビットは SMSI 端子を使用します。

Fast Read Dual I/O への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-13 Fast Read Dual I/O バス・サイクル



**注意** Fast Read Dual I/O は、Fast Read Dual I/O に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

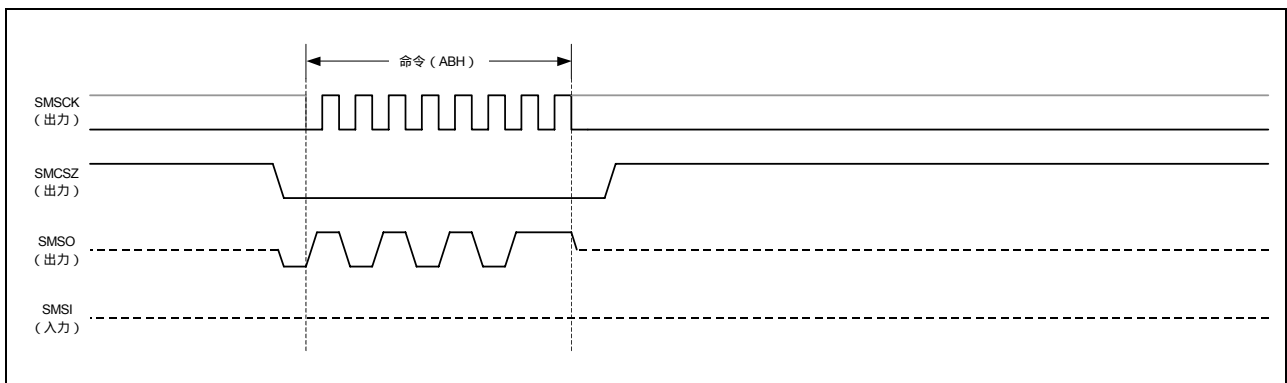
## (6) Release from Deep Power-Down 命令

シリアル・フラッシュ ROM を Deep Power-Down 状態から復帰させるための命令です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして ABH を出力します。

Release from Deep Power-Down 命令は、リセット解除後に自動発行されます。

図 7-14 Release from Deep Power-Down バス・サイクル



## 7.6.4 SPI バス・サイクルのアレンジ

### (1) 個別変換による ROM 読み出し

内部システム・バスのシリアル・フラッシュ ROM 読み出しサイクルを、1 対 1 の関係で、個別に SPI バス・サイクルに変換します。

シリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号がアクティブ状態となり、SPI バス・サイクルが始まります。シリアル・フラッシュ ROM から必要なデータの受信を取得すると、SMCSZ 信号がインアクティブ状態となり SPI バス・サイクルが完了します。

その後、次のシリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号の最小ハイ・レベル幅を確保した上で、再び SMCSZ 信号がアクティブ状態となり、新たな SPI バス・サイクルが起動されます。

### (2) プリフェッチ機能を用いた ROM 読み出し

CPU の命令実行やブロック・データの転送等の場面では、連続したアドレスから ROM が読み出される機会が多くなります。

シリアル・フラッシュ ROM には、命令コードやアドレスを再発行することなく、データ受信を繰り返す機能が備わっていますが、CPU が発行するバス・サイクルを個別に変換した場合、SPI バス・サイクルが分断されるため、シリアル・フラッシュ ROM を効率良く利用できません。

PFESiP/V850EP3 のシリアル・フラッシュ ROM メモリ・コントローラにはプリフェッチ機能が搭載されており、SFMSMD.SFMPFE をセット (1) することでプリフェッチが許可されます。

プリフェッチ機能が許可されると、次の ROM 読み出し要求を待つことなく、直前の ROM 読み出しから連続したデータを継続受信してバッファに蓄えます。次に CPU から ROM 読み出しが行われると、アドレスの照合を行い、アドレスが一致すればバッファ内部のデータを CPU に引き渡し、アドレスが一致しなければバッファ内部のデータを破棄し、新たな SPI バス・サイクルを発行します。

プリフェッチ用のバッファのサイズは 6 バイトです。このバッファがフルになると、いったん SPI バス・サイクルを終了しますが、その後バッファ中のデータが読み出されバッファに空きができると、自動的に新たな SPI バス・サイクルを開始し、プリフェッチを継続します。

プリフェッチ機能を用いると、命令のフェッチやブロック・データの転送のように、連続したアドレスから間隔を空けずにデータを読み出すような場面において、効率の良い転送を実現できます。

### (3) プリフェッチの中断

プリフェッチのためのシリアル転送を行っている途中で、別のアドレスへの ROM 読み出しバス・サイクルが発生すると、不要となった現在のシリアル転送を中断し、新たな SPI バス・サイクルを開始します。

通常、このようなシリアル転送の中断はデータ受信のバイト境界で行いますが、SFMSMD.SFMPAE がセット (1) されていると、バイト境界以外の部分でも中断を受け付けます。ただし、使用するシリアル・フラッシュ ROM がバイト境界外での中断に対応している必要があります。

## (4) SPI バス・サイクル延長機能を用いた ROM 読み出し

SFMSMD.SFMSE1, SFMSMD.SFMSE0 に 00b 以外の値を設定すると, シリアル・フラッシュ ROM からデータを取得した後も, SMSCK 信号を停止し SMCSZ 信号をロー・レベルに保ち, SPI バス・サイクルを保留したまま次の ROM 読み出しを待ちます。

もし, 次の ROM 読み出しが前回と連続したアドレスであれば, SMSCK 信号のトグルを再開し, 後続のデータ受信を継続します。もし, 次の ROM 読み出しが前回と連続しないアドレスであれば, いったん SMCSZ 信号をハイ・レベルに戻して保留中の SPI バス・サイクルを完了させ, その後に新たな SPI バス・サイクルを開始します。

この機能を用いれば, 連続したアドレスから間欠的にデータを読み出すような場面において, 命令コードやアドレス送信のためのオーバーヘッドを削減し, 効率の良い転送を実現できます。

SPI バス・サイクルの延長時間は, SFMSMD.SFMSE1, SFMSMD.SFMSE0 で設定します。初期値では SMCSZ 信号を最長 33 シリアル・クロック分延長します。指定された延長時間が経過すると, SMCSZ 信号をハイ・レベルに戻し, 保留中の SPI バス・サイクルを自動的に完了させます。なお, SFMSMD.SFMSE1 = 1, SFMSMD.SFMSE0 = 1 の場合は, SMCSZ 信号が無期限に延長されますので, シリアル・フラッシュ ROM の消費電力の増加に注意が必要です。

### 7.6.5 Deep Power-Down の自動解除

Deep Power-Down 状態のシリアル・フラッシュ ROM は、Release from Deep Power-Down 命令以外には、Read 命令を含むほとんどの命令を受け付けることができません。

その一方で、シリアル・フラッシュ ROM の多くでは、端子数削減のために電源投入の検出と内部ロジックの初期化をデバイス内部で行っており、外部端子にはリセット入力端子が存在しません。このため Deep Power-Down 状態に移行した後に、解除を行わずに読み出すことができません。たとえば、電源断を伴わないリセットによるリブートでは、システムの誤動作につながります。

そこで、このシリアル・フラッシュ ROM メモリ・コントローラは、Deep Power-Down の自動解除機能を備えており、リセット解除時に Deep Power-Down の解除コマンドを発行後、内部システム・クロックの HCLK x 12336 の待ち合わせを行います。シリアル・フラッシュ ROM からブートするように設定している場合は、この待ち合わせ後にブートが開始されます。

## 7.6.6 直接通信

### (1) 直接通信とは

PFESiP/V850EP3 のシリアル・フラッシュ ROM メモリ・コントローラは、ROM 読み出しバス・サイクルを自動的に SPI バス・サイクルに変換してシリアル ROM の内容を読み出すことができますが、シリアル・フラッシュ ROM には、メモリ内容の読み出し以外にも、ID 情報の読み出し、消去、プログラミング、ステータス情報の読み出し等の、多様な機能があります。しかし、これらの命令セットは、ベンダやデバイス間で統一されていないため、これらの操作を行う手段として、一般的な 3 線式シリアル・インタフェースと同様にソフトウェア制御による任意の SPI バス・サイクルによる通信が可能です。PFESiP/V850EP3 では、これを直接通信と呼んでいます。

### (2) 直接通信モード

シリアル・フラッシュ ROM との直接通信を行うためには、SFMCMD.DCOM をセット (1) し、直接通信モードに設定してください。

直接通信モード中は、通常の ROM 読み出しは禁止です。直接通信モードから、通常の ROM アクセス・モードに移行する場合は、SFMCMD.DCOM をクリア (0) してください。

**注意 1.** SFMCMD.DCOM の書き換えを行うと、現在転送中の通信がある場合は、その通信を終えたあとにモードが切り替わります。また、プリフェッチ動作を行っている場合は、現在実行中の 1 バイトのプリフェッチ後に通信を終了してモードが切り替わります。

**2.** 直接通信モードと、ROM アクセス・モード切り替えプログラムは、必ずシリアル・フラッシュ ROM 以外で実行してください。また、キャッシュ・フィル動作や、DMA コントローラなどのバス・マスタからのアクセスが行われない状態でモードを切り替えてください。

### (3) 直接通信での SPI バス・サイクル生成

シリアル・フラッシュ ROM に対する SPI バス・サイクルは、SMCSZ のアクティブ期間を指します。直接通信モードに移行すると、通信ポート・レジスタ (SFMCOM) への最初のアクセスで SMCSZ がアクティブ (ロー・レベルを出力) となり、SFMCOM を介しての一連の入出力操作の後に、SFMCMD.DCOM をクリア (0) することで SMCSZ がインアクティブになります。

この時、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、また SFMCOM ポートからの読み出しは SPI バスからの 1 バイトの受信に変換されます。

**注意** 直接通信モード選択中は、SFMCMD 以外のレジスタ (SFMSMD, SFMSSC, SFMSKC, SFMSST, SFMCST) への書き込みは禁止です。

# 第8章 セントラル DMA コントローラ (セントラル DMAC)

PFESiP/V850EP3 は、CPU ローカル・バス用のセントラル DMAC と、システム・バス用のシステム・バス DMAC の 2 つの DMA コントローラを内蔵しています。

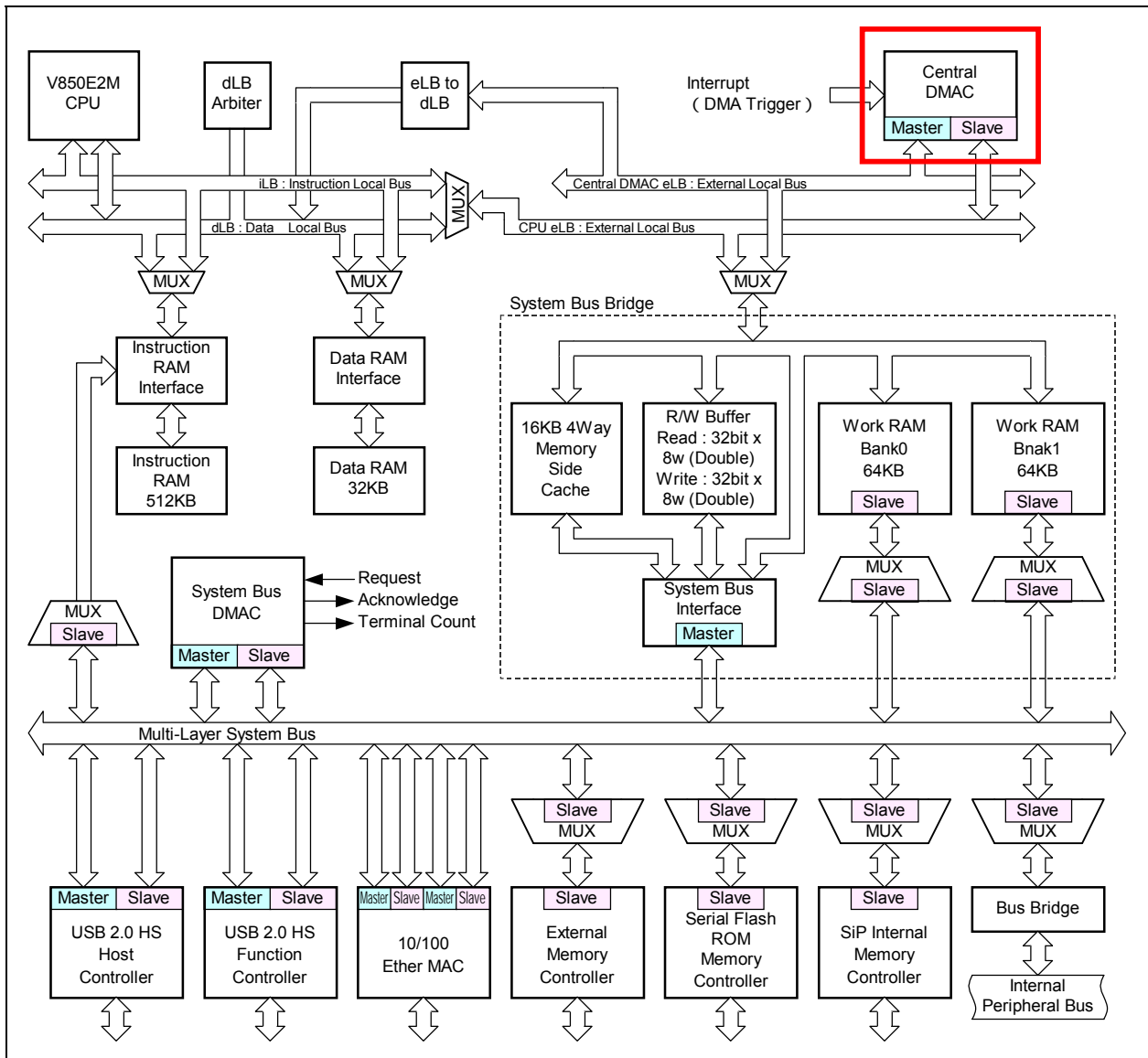
備考 USB 機能, Ether MAC 機能は、それぞれに DMA 機能を内蔵しています。

## 8.1 セントラル DMAC の概要

セントラル DMAC は、CPU ローカル・バスのバス・マスタとして動作する DMA コントローラです。システム・バス用のシステム・バス DMAC とは独立に動作します。

セントラル DMAC は、割り込みやソフトウェア・トリガによる起動で、DMA 転送を行う DMA コントローラです。

図 8-1 内部バス構造とセントラル DMAC



チャンネル数：16チャンネル(8チャンネル×2グループ)

転送データ・サイズ：8ビット/16ビット/32ビット/128ビット

最大転送回数：32768(2<sup>15</sup>)回

チャンネル優先順位制御：固定優先順位(2グループ間ではグループ0が常に優先)

転送タイプ：2サイクル転送

転送モード：

- ・シングル転送モード

内蔵周辺機能からの割り込み要求が発生するとバス権を獲得し、1回の転送を行ったあと必ずバスを解放します。その後、ハードウェアDMA転送要求があると、再度1回の転送を行います。この動作を、転送回数レジスタ(DTC)で指定した回数分の転送が終了するまで繰り返します。

- ・シングルステップ転送モード

ソフトウェアでDMA転送要求が発生するとバス権を獲得し、1回の転送ごとにバスを解放します。1度ソフトウェアDMA転送要求を受け付けると、転送回数レジスタ(DTC)で指定した回数分の転送が終了するまで、この動作を繰り返します。

転送アドレス制御

- ・インクリメンタル
- ・デクリメンタル
- ・固定

DMA転送要求選択機能

チャンネルごとに、ハードウェアDMA転送要求(割り込み要求)、およびソフトウェアDMA転送要求から任意のDMA転送要求を選択できます(DTRSレジスタ設定)。

転送回数一致割り込み出力機能

チャンネルごとに、転送回数コンペア用レジスタ(DTCC)を持ち、転送回数レジスタ(DTC)と一致すると割り込み信号(INTCDMACT0-INTCDMACT15)を出力します。

転送完了割り込み出力機能

チャンネルごとに、転送回数レジスタ(DTC)で指定した回数分のDMA転送を終了すると、転送完了割り込み信号(INTCDMA0-INTCDMA15)を出力します。

ネクスト・アドレス設定機能

チャンネルごとに、現在実行中のDMAトランザクション(一連のDMA転送)の転送アドレスおよび転送回数(Current)を設定しているレジスタと、実行中のDMA転送完了後、次にDMA転送したい転送アドレスおよび転送回数(Next)を設定するレジスタを持っています。レジスタごとに、DMA転送完了後、NextレジスタをCurrentレジスタにコピーするかを、ネクスト・ソース/デスティネーション・アドレス・レジスタで選択できます。

転送の種類と転送対象の関係 ( : 転送可, x : 転送不可)

セントラル DMAC は、CPU と等価なアクセス範囲をサポートしているため、CPU コア内部の特殊レジスタを除き、転送対象に制限はありません。

表 8-1 セントラル DMAC の転送対象

転送先 転送元	命令 RAM 注	データ RAM	ワーク RAM	外部メモリ	SiP 内部接続 メモリ, ユーザ・レジスタ	内蔵周辺機能 (一部除く)
命令 RAM	x					
データ RAM						
ワーク RAM						
外部メモリ						
SiP 内部接続メモリ, ユーザ・レジスタ						
内蔵周辺機能 (一部除く)						

注 命令 RAM を転送先とする場合は、命令 RAM 書き込み領域を使用してください。



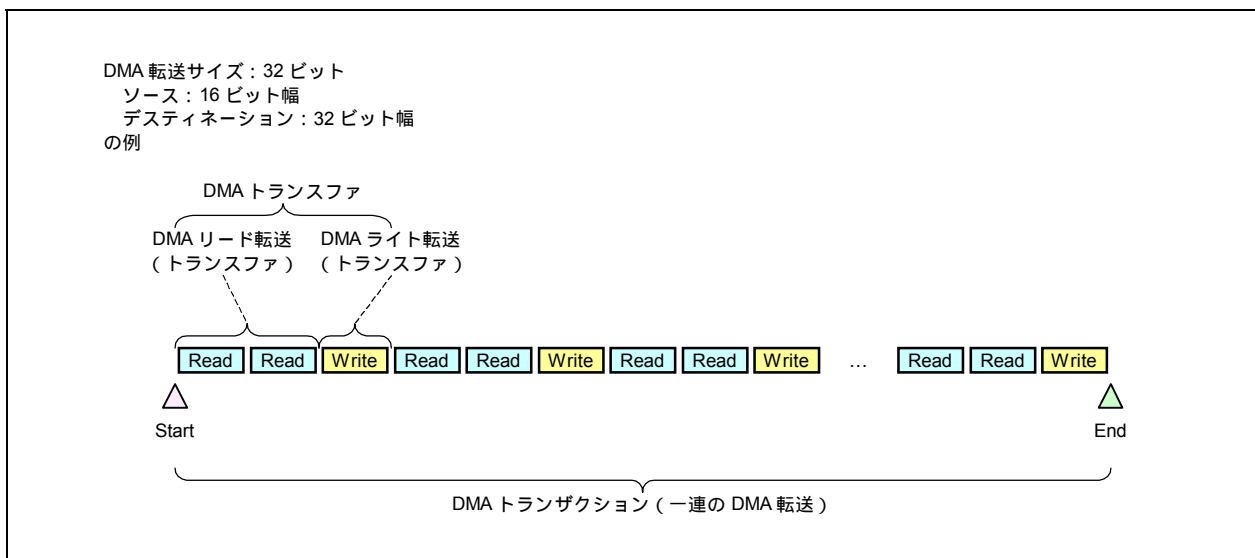
## 8.2 用語定義

セントラル DMAC で使用している用語の定義は、次のとおりです。

表 8-2 セントラル DMAC の用語定義

用語	定義
DMA 転送 (トランスファ)	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA 転送実行すること、すなわち一連の DMA 転送が完了するまでの期間を指します。
ハードウェア DMA 転送要求	内蔵周辺機能や外部端子からの割り込み要求信号による DMA 転送要求です。
ソフトウェア DMA 転送要求	DMA 転送ステータス・レジスタ (DTSn) の SR ビットのセット (1) による DMA 転送要求です。
DMA 転送要求	ハードウェア DMA 転送要求、およびソフトウェア DMA 転送要求です。
シングル転送	ハードウェア DMA 転送要求時の動作です。 一回の転送要求につき一回の DMA 転送を実行します。
シングルステップ転送	ソフトウェア DMA 転送要求時の動作です。 一回のソフトウェア DMA 転送要求につき、転送回数設定レジスタ (DTCn) で設定した回数の転送を行います。転送ごとにバスを開放するため、CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は、シングルステップ転送を中断し、優先順位が高い転送要求を実行します。

図 8-2 転送の呼称



セントラル DMAC が実行する一回のリード/ライト転送を DMA トランスファと呼びます。また、設定した一連の DMA 転送 (トランスファ) の実行を DMA トランザクションと呼びます。

### 8.3 セントラル DMAC のレジスタ

(1) DMA 転送要求コントロール・レジスタ (DTRC0, DTRC1)

DMA 転送のエラー，転送中断状態を示します。

8/1 ビット単位でリード/ライト可能です。

DTRC0 は DMA チャンネル 0-7，DTRC1 は DMA チャンネル 8-15 用です。

リセットにより 00H になります。

ビット 6-1 には，必ず 0 を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
DTRC0	ERR0	0	0	0	0	0	0	ADS0	FFFF 7300H	00H
R/W	R/W	0	0	0	0	0	0	R/W		
DTRC1	ERR1	0	0	0	0	0	0	ADS1	FFFF 7500H	00H
R/W	R/W	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
7	ERRm	DMA 転送エラー・ステータス・ビットです。 DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。エラー・レスポンスを受信すると，ERRm ビットと ADSm ビットをセットし，DMA 転送エラーを割り込みにて通知します。クリア (0) する場合 "0" を書き込んでください。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
0	ADSm	DMA 転送中断状態を示すビットです。 DMA 転送が転送停止要求により中断していることを示します。また，このビットをセット (1) することで，現在転送している DMA 転送を中断できます。 0 : DMA 転送中断なし 1 : DMA 転送中断中 / DMA 転送中断要求

**備考 m = 0, 1**

(2) DMA 転送要求選択レジスタ (DTRS<sub>n</sub>)

DMA チャンネルごとにソフトウェア・トリガ/ハードウェア・トリガの DMA 転送要求を選択します。  
 16 ビット単位でリード/ライト可能です。  
 リセットにより 0000H になります。  
 ビット 15-1 には、必ず 0 を設定してください。

**注意** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTS<sub>n</sub>) の DTE<sub>n</sub> ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTRS <sub>n</sub>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DTR <sub>n</sub>	注	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意 味
0	DTR <sub>n</sub>	DMA 転送要求割り付け チャンネル n の DMA 転送要求の割り付けを設定します。ここで選択していない DMA 転送要求がアクティブになっても、セントラル DMAC は何も動作しません。 0 : ソフトウェア・トリガ 1 : ハードウェア・トリガ (割り込み要求信号による起動)

**注** DTRS0-DTRS7 : FFFF 7310H+30H × p ( p = 0-7 )  
 DTRS8-DTRS15 : FFFF 7510H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(3) DMA ソース・アドレス・レジスタ (DSAn, DSAnL, DSAnH)

(a) DMA ソース・アドレス・レジスタ (DSAn)

DMA チャンネル n の DMA 転送元アドレス (29 ビット) を設定します。

DMA 転送中は, DSAnL, DSAnH レジスタで, 次に DMA 転送するアドレスが読み出せます。

DSAn レジスタの NSAV ビットがセット (1) されていない場合, DMA トランザクション (一連の DMA 転送) が完了すると, DMA トランザクション開始時の設定値に戻ります。

32 ビット単位でリード/ライト可能です。

- 注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。**
- 2. アドレスは, 設定途中のアドレスで転送しないために, DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=0 の状態で 32 ビット・アクセスで設定してください。**
- 3. DMA 転送中の転送元アドレスは, DSAnL, DSAnH レジスタを参照してください。DSAn レジスタでは, 正しい転送元アドレスを読み出せません。**
- 4. ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。**
- 下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	SAn3	SAn2	SAn1	SAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DSAn	0	0	0	SA <sub>n28</sub>	SA <sub>n27</sub>	SA <sub>n26</sub>	SA <sub>n25</sub>	SA <sub>n24</sub>	SA <sub>n23</sub>	SA <sub>n22</sub>	SA <sub>n21</sub>	SA <sub>n20</sub>	SA <sub>n19</sub>	SA <sub>n18</sub>	SA <sub>n17</sub>	SA <sub>n16</sub>	<b>注</b>
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SA <sub>n15</sub>	SA <sub>n14</sub>	SA <sub>n13</sub>	SA <sub>n12</sub>	SA <sub>n11</sub>	SA <sub>n10</sub>	SA <sub>n9</sub>	SA <sub>n8</sub>	SA <sub>n7</sub>	SA <sub>n6</sub>	SA <sub>n5</sub>	SA <sub>n4</sub>	SA <sub>n3</sub>	SA <sub>n2</sub>	SA <sub>n1</sub>	SA <sub>n0</sub>	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
28-0	SAn28-SAn0	DMA 転送元のアドレス (A28-A0) を設定します。

**注 DSA0-DSA7 : FFFF 7314H+30H x p (p = 0-7)**  
**DSA8-DSA15 : FFFF 7514H+30H x (q - 8) (q = 8-15)**

**備考 n = 0-15**

(b) DMA ソース・アドレス・レジスタ L (DSAnL)

DMA チャンネル n の DMA 転送元アドレスの下位 16 ビットです。

DMA 転送中に転送元アドレスを読み出す場合は、この DSAnL と DSAnH レジスタをリードしてください。

DSAn レジスタの NSAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

**注意** DMA 停止中に転送元アドレスを設定する場合や、転送元アドレスをリードする場合は、DSAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSAnL	SA <sub>n15</sub>	SA <sub>n14</sub>	SA <sub>n13</sub>	SA <sub>n12</sub>	SA <sub>n11</sub>	SA <sub>n10</sub>	SA <sub>n9</sub>	SA <sub>n8</sub>	SA <sub>n7</sub>	SA <sub>n6</sub>	SA <sub>n5</sub>	SA <sub>n4</sub>	SA <sub>n3</sub>	SA <sub>n2</sub>	SA <sub>n1</sub>	SA <sub>n0</sub>	<b>注</b>	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	SAn15-SAn0	DMA 転送中の、次の DMA 転送元アドレスの下位 16 ビットを保持します。

**注** DSA0-DSA7 : FFFF 7314H+30H × p ( p = 0-7 )  
 DSA8-DSA15 : FFFF 7514H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(c) DMA ソース・アドレス・レジスタ H (DSAnH)

DMA チャンネル n の DMA 転送元アドレスの上位 13 ビットです。

DMA 転送中に転送元アドレスを読み出す場合は、この DSAnL と DSAnH レジスタをリードしてください。

DSAn レジスタの NSAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

**注意** DMA 停止中に転送元アドレスを設定する場合や、転送元アドレスをリードする場合は、DSAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSAnH	0	0	0	SA n28	SA n27	SA n26	SA n25	SA n24	SA n23	SA n22	SA n21	SA n20	SA n19	SA n18	SA n17	SA n16	<b>注</b>	0000H
R/W	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
12-0	SAn28- SAn16	DMA 転送中の、次の DMA 転送元アドレスの上位 13 ビットを保持します。

**注** DSA0-DSA7 : FFFF 7315H+30H × p ( p = 0-7 )  
 DSA8-DSA15 : FFFF 7515H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

## (4) DMA ソース・チップ・セレクト・レジスタ (DSCn)

DMA チャンネル n の転送元として選択する領域を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0001H になります。

**注意 1.** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

**2.** SCSn0, SCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

**3.** ビット 15-2 には、必ず 0 を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSCn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SCSn0	SCSEn	注	0001H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味												
1, 0	SCSn0, SCSEn	DMA チャンネル n の転送元として選択する領域を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SCSn0</th> <th>SCSEn</th> <th>転送元の選択領域</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>命令 RAM, データ RAM 以外</td> </tr> <tr> <td>1</td> <td>0</td> <td>命令 RAM, データ RAM</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	SCSn0	SCSEn	転送元の選択領域	0	1	命令 RAM, データ RAM 以外	1	0	命令 RAM, データ RAM	上記以外		設定禁止
SCSn0	SCSEn	転送元の選択領域												
0	1	命令 RAM, データ RAM 以外												
1	0	命令 RAM, データ RAM												
上記以外		設定禁止												

**注 DSC0-DSC7 :** FFFF 7318H+30H × p ( p = 0-7 )  
**DSC8-DSC15 :** FFFF 7518H+30H × ( q - 8 ) ( q = 8-15 )

**備考 n = 0-15**

(5) DMA ネクスト・ソース・アドレス・レジスタ (DNSAn)

DMA チャンネル n の次回 DMA 転送元アドレス (29 ビット) と, DMA トランザクション (一連の DMA 転送) 完了時の DMA ソース・アドレス・レジスタ (DSAn) へのコピー動作を設定します。

32 ビット単位でリード/ライト可能です。

**注意** ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NSAn3	NSAn2	NSAn1	NSAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DNSAn	NS AVn	0	0	NSA n28	NSA n27	NSA n26	NSA n25	NSA n24	NSA n23	NSA n22	NSA n21	NSA n20	NSA n19	NSA n18	NSA n17	NSA n16	<b>注</b>
R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NSA n15	NSA n14	NSA n13	NSA n12	NSA n11	NSA n10	NSA n9	NSA n8	NSA n7	NSA n6	NSA n5	NSA n4	NSA n3	NSA n2	NSA n1	NSA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31	NSAVn	DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト・ソース・アドレス・レジスタ n からアドレスを DMA ソース・アドレス・レジスタ (DSAn) へのコピー動作を設定します。 コピーが完了すると, このビットはクリア (0) されます。 0: コピーしない / コピー完了 1: コピーする / コピー未了
28-0	NSAn28-NSAn0	次回転送時の DMA 転送元のアドレス (A28-A0) を設定します。

**注** DNSA0-DNSA7 : FFFF 731CH+30H × p ( p = 0-7 )  
 DNSA8-DNSA15 : FFFF 751CH+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15



(6) DMA ネクスト・ソース・チップ・セレクト・レジスタ (DNSCn)

DMA チャンネル n の次回転送元として選択する領域と，DMA トランザクション（一連の DMA 転送）完了時の DMA ネクスト・ソース・チップ・セレクト・レジスタのコピー動作を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0001H になります。

- 注意 1. NSCSn0, NSCSEn ビットは，単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません
- 2. ビット 14-2 には，必ず 0 を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DNSCn	NS CVn	0	0	0	0	0	0	0	0	0	0	0	0	0	NS CS0n	NSC SEn	注	0001H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味												
15	NSCVn	DMA トランザクション（一連の DMA 転送）完了時に DMA ネクスト・ソース・チップ・セレクト・レジスタからチップ・セレクトを DMA ソース・チップ・セレクト・レジスタへのコピー動作を設定します。 チップ・セレクトのコピーが完了すると，このビットはクリア（0）されます。 0：コピーしない/コピー完了 1：コピーする/コピー未了												
1, 0	NSCSn0, NSCSEn	次回転送時の DMA チャンネル n の転送元として選択する領域を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">NSCSn0</th> <th style="width: 10%;">NSCSEn</th> <th style="width: 80%;">転送元の選択領域</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>命令 RAM, データ RAM 以外</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>命令 RAM, データ RAM</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	NSCSn0	NSCSEn	転送元の選択領域	0	1	命令 RAM, データ RAM 以外	1	0	命令 RAM, データ RAM	上記以外		設定禁止
NSCSn0	NSCSEn	転送元の選択領域												
0	1	命令 RAM, データ RAM 以外												
1	0	命令 RAM, データ RAM												
上記以外		設定禁止												

注 DNSC0-DNSC7 : FFFF 7320H+30H × p ( p = 0-7 )  
 DNSC8-DNSC15 : FFFF 7520H+30H × ( q - 8 ) ( q = 8-15 )

備考 n = 0-15

## (7) DMA デスティネーション・アドレス・レジスタ (DDAn, DDAnL, DDAnH)

## (a) DMA デスティネーション・アドレス・レジスタ (DDAn)

DMA チャンネル n の DMA 転送先アドレス (29 ビット) を設定します。

DMA 転送中は, DDAnL, DDAnH レジスタで, 次に DMA 転送するアドレスが読み出せます。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合, DMA トランザクション (一連の DMA 転送) が完了すると, DMA トランザクション開始時の設定値に戻ります。

32 ビット単位でリード/ライト可能です。

**注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。**

**2. アドレスは, 設定途中のアドレスで転送しないために, DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=0 の状態で 32 ビット・アクセスで設定してください。**

**3. DMA 転送中の転送先アドレスは, DDAnL, DDAnH レジスタを参照してください。DDAn レジスタでは, 正しい転送先アドレスを読み出せません。**

**4. DMA 転送のリード・サイクルで転送対象にエラーが発生すると, ライト・サイクルは実行しませんが, デスティネーション・アドレスは更新されます。**

**5. ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。**

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DAn3	DAn2	DAn1	DAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

**6. データ RAM 以外にライト動作を行う転送時に, システム・バス・ブリッジのライト・バッファ機能を利用している場合, ターミナル・カウント (DMA 転送完了) が発生しても, システム・バス上のライト動作が完了しません。この動作で不都合がある場合は, ターミナル・カウント (DMA 転送完了) 時にバッファの掃き出しを実行するか, ライト・バッファ機能を利用せず, ダイレクト・アクセスで DMA 転送を行ってください。**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DDAn	0	0	0	DA n28	DA n27	DA n26	DA n25	DA n24	DA n23	DA n22	DA n21	DA n20	DA n19	DA n18	DA n17	DA n16	注
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	DA n15	DA n14	DA n13	DA n12	DA n11	DA n10	DA n9	DA n8	DA n7	DA n6	DA n5	DA n4	DA n3	DA n2	DA n1	DA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
28-0	DAn28- DAn0	DMA 転送先のアドレス (A28-A0) を設定します。

注 DDA0-DDA7 : FFFF 7324H+30H × p ( p = 0-7 )  
 DDA8-DDA15 : FFFF 7524H+30H × ( q - 8 ) ( q = 8-15 )

備考 n = 0-15

(b) DMA デスティネーション・アドレス・レジスタ L (DDAnL)

DMA チャンネル n の DMA 転送先アドレスの下位 16 ビットです。

DMA 転送中に転送先アドレスを読み出す場合は、この DDAnL と DDAnH レジスタをリードしてください。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

**注意** DMA 停止中に転送先アドレスを設定する場合や、転送先アドレスをリードする場合は、DDAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDAnL	DA n15	DA n14	DA n13	DA n12	DA n11	DA n10	DA n9	DA n8	DA n7	DA n6	DA n5	DA n4	DA n3	DA n2	DA n1	DA n0	<b>注</b>	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	DAn15- DAn0	DMA 転送中の、次の DMA 転送先アドレスの下位 16 ビットを保持します。

**注** DDA0-DDA7 : FFFF 7324H+30H × p ( p = 0-7 )  
 DDA8-DDA15 : FFFF 7524H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(c) DMA デスティネーション・アドレス・レジスタ H (DDAnH)

DMA チャンネル n の DMA 転送先アドレスの上位 13 ビットです。

DMA 転送中に転送先アドレスを読み出す場合は、この DDAnL と DDAnH レジスタをリードしてください。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

**注意** DMA 停止中に転送先アドレスを設定する場合や、転送先アドレスをリードする場合は、DDAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDAnH	0	0	0	DA n28	DA n27	DA n26	DA n25	DA n24	DA n23	DA n22	DA n21	DA n20	DA n19	DA n18	DA n17	DA n16	<b>注</b>	0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	DAn28- DAn16	DMA 転送中の、次の DMA 転送先アドレスの上位 13 ビットを保持します。

**注** DDA0-DDA7 : FFFF 7325H+30H × p ( p = 0-7 )  
 DDA8-DDA15 : FFFF 7525H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(8) DMA デスティネーション・チップ・セレクト・レジスタ (DDCn)

DMA チャンネル n の転送先として選択する領域を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0001H になります。

**注意 1.** 転送先に命令 RAM を指定する場合は、データ RAM 以外を選択してください。

**2.** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

**3.** DCSn0, DCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

**4.** ビット 15-2 には、必ず 0 を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDCn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	注	0001H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意味												
1, 0	DCSn0, DCSEn	DMA チャンネル n の転送先として選択する領域を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">DCSn0</th> <th style="width: 10%;">DCSEn</th> <th style="width: 80%;">転送元の選択領域</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>データ RAM 以外</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>データ RAM</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	DCSn0	DCSEn	転送元の選択領域	0	1	データ RAM 以外	1	0	データ RAM	上記以外		設定禁止
DCSn0	DCSEn	転送元の選択領域												
0	1	データ RAM 以外												
1	0	データ RAM												
上記以外		設定禁止												

**注** DDC0-DDC7 : FFFF 7328H+30H × p ( p = 0-7 )  
 DDC8-DDC15 : FFFF 7528H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(9) DMA ネクスト・デスティネーション・アドレス・レジスタ (DNDA<sub>n</sub>)

DMA チャンネル *n* の次回 DMA 転送先アドレス (29 ビット) と, DMA トランザクション (一連の DMA 転送) 完了時の DMA デスティネーション・アドレス・レジスタ (DDA<sub>n</sub>) へのコピー動作を設定します。

32 ビット単位でリード/ライト可能です。

**注意** ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NDAn3	NDAn2	NDAn1	NDAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																アドレス	
DNDA <sub>n</sub>	ND AV <sub>n</sub>	0	0	NDA n28	NDA n27	NDA n26	NDA n25	NDA n24	NDA n23	NDA n22	NDA n21	NDA n20	NDA n19	NDA n18	NDA n17	NDA n16	<b>注</b>
	R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																初期値	
	NDA n15	NDA n14	NDA n13	NDA n12	NDA n11	NDA n10	NDA n9	NDA n8	NDA n7	NDA n6	NDA n5	NDA n4	NDA n3	NDA n2	NDA n1	NDA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31	ND AV <sub>n</sub>	DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト・デスティネーション・アドレス・レジスタ <i>n</i> からアドレスを DMA デスティネーション・アドレス・レジスタへのコピー動作を設定します。 コピーが完了すると、このビットはクリア (0) されます。 0 : コピーしない / コピー完了 1 : コピーする / コピー未了
28-0	NDAn28-NDAn0	次回転送時の DMA 転送先のアドレス (A28-A0) を設定します。

**注** DNDA0-DNDA7 : FFFF 732CH+30H × *p* (*p* = 0-7)  
DNDA8-DNDA15 : FFFF 752CH+30H × (*q* - 8) (*q* = 8-15)

**備考** *n* = 0-15

## (10) DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ (DNDCn)

DMA チャンネル n の次回転送先として選択する領域と、DMA トランザクション（一連の DMA 転送）完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタのコピー動作を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0001H になります。

**注意 1.** 転送先に命令 RAM を指定する場合は、データ RAM 以外を選択してください。

**2.** NDCSn0, NDCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

**3.** ビット 14-2 には、必ず 0 を設定してください。

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DNDCn	ND CVn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ND CS0n	NDC SEn	注	0001H
	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味												
15	NDCVn	DMA トランザクション（一連の DMA 転送）完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタからチップ・セレクトを DMA デスティネーション・チップ・セレクト・レジスタへのコピー動作を設定します。 チップ・セレクトのコピーが完了すると、このビットはクリア（0）されます。 0：コピーしない/コピー完了 1：コピーする/コピー未了												
1, 0	NDCSn0, NDCSEn	次回転送時の DMA チャンネル n の転送先として選択する領域を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>NDCSn0</th> <th>NDCSEn</th> <th>転送先の選択領域</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>データ RAM 以外</td> </tr> <tr> <td>1</td> <td>0</td> <td>データ RAM</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	NDCSn0	NDCSEn	転送先の選択領域	0	1	データ RAM 以外	1	0	データ RAM	上記以外		設定禁止
NDCSn0	NDCSEn	転送先の選択領域												
0	1	データ RAM 以外												
1	0	データ RAM												
上記以外		設定禁止												

**注 DNDC0-DNDC7 : FFFF 7330H+30H × p ( p = 0-7 )**  
**DNDC8-DNDC15 : FFFF 7530H+30H × ( q - 8 ) ( q = 8-15 )**

**備考 n = 0-15**



(11) DMA 転送カウント・レジスタ n (DTCn)

DMA チャンネル n の転送回数を設定するレジスタです。1 回の転送につき 1 ずつデクリメントされ、ポローが発生すると転送を終了します。DMA 転送中は、残り転送回数を保持します。

DNTCn レジスタの NTCV ビットをセット (1) していない場合、DMA トランザクション (一連の DMA 転送) が完了すると、完了時の値として 0000H を保持します。

- 注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。**
- 2. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新されます。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTCn	0	DTC n14	DTC n13	DTC n12	DTC n11	DTC n10	DTC n9	DTC n8	DTC n7	DTC n6	DTC n5	DTC n4	DTC n3	DTC n2	DTC n1	DTC n0	<b>注</b>	0000H
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味										
14-0	DTCn14 -DTCn0	<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:30%;">DTCn14-DTCn0</th> <th style="width:70%;">状 態</th> </tr> </thead> <tbody> <tr> <td style="text-align:center;">0000H</td> <td>32768 回転送, または転送完了</td> </tr> <tr> <td style="text-align:center;">0001H</td> <td>1 回の転送, または残り転送回数 1 回</td> </tr> <tr> <td style="text-align:center;">⋮</td> <td style="text-align:center;">⋮</td> </tr> <tr> <td style="text-align:center;">7FFFH</td> <td>32767 回転送, または残り転送回数 32767 回</td> </tr> </tbody> </table>	DTCn14-DTCn0	状 態	0000H	32768 回転送, または転送完了	0001H	1 回の転送, または残り転送回数 1 回	⋮	⋮	7FFFH	32767 回転送, または残り転送回数 32767 回
DTCn14-DTCn0	状 態											
0000H	32768 回転送, または転送完了											
0001H	1 回の転送, または残り転送回数 1 回											
⋮	⋮											
7FFFH	32767 回転送, または残り転送回数 32767 回											

**注 DTC0-DTC7 : FFFF 7332H+30H × p ( p = 0-7 )**  
**DTC8-DTC15 : FFFF 7532H+30H × ( q - 8 ) ( q = 8-15 )**

**備考 n = 0-15**

(12) DMA ネクスト転送カウント・レジスタ n (DNTCn)

DMA チャンネル n の次回転送回数と、DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト転送カウント・レジスタのコピー動作を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DNTCn	NT CVn	DNTC n14	DNTC n13	DNTC n12	DNTC n11	DNTC n10	DNTC n9	DNTC n8	DNTC n7	DNTC n6	DNTC n5	DNTC n4	DNTC n3	DNTC n2	DNTC n1	DNTC n0	<b>注</b>	0000H
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味										
15	NTCVn	DMA 転送完了時に DMA ネクスト転送カウント・レジスタから転送回数を DMA 転送カウント・レジスタへのコピー動作を設定します。 転送回数のコピーが完了すると、このビットはクリア (0) されます。 0 : コピーしない / コピー完了 1 : コピーする / コピー未了										
14-0	DNTCn14 -DNTCn0	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;">DNTCn14-DNTCn0</th> <th style="width: 70%;">状 態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0000H</td> <td style="text-align: center;">32768 回転送</td> </tr> <tr> <td style="text-align: center;">0001H</td> <td style="text-align: center;">1 回の転送</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td style="text-align: center;">7FFFH</td> <td style="text-align: center;">32767 回転送</td> </tr> </tbody> </table>	DNTCn14-DNTCn0	状 態	0000H	32768 回転送	0001H	1 回の転送	⋮	⋮	7FFFH	32767 回転送
DNTCn14-DNTCn0	状 態											
0000H	32768 回転送											
0001H	1 回の転送											
⋮	⋮											
7FFFH	32767 回転送											

**注** DNTC0-DNTC7 : FFFF 7334H+30H × p ( p = 0-7 )  
 DNTC8-DNTC15 : FFFF 7534H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(13) DMA 転送カウント・コンペア・レジスタ n (DTCCn)

DMA チャネル n の転送カウント・レジスタ (DTCn) と比較し、一致割り込みを発生させる転送回数を設定します。ネクスト・アドレス設定のトリガとして使用できます。

**注意** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTE<sub>n</sub> ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTCCn	0	DTCC n14	DTCC n13	DTCC n12	DTCC n11	DTCC n10	DTCC n9	DTCC n8	DTCC n7	DTCC n6	DTCC n5	DTCC n4	DTCC n3	DTCC n2	DTCC n1	DTCC n0	<b>注</b>	0000H
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味										
14-0	DTCCn14 -DTCCn0	<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:30%;">DTCCn14-DTCCn0</th> <th style="width:70%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align:center;">0000H</td> <td>コンペア動作を行わない</td> </tr> <tr> <td style="text-align:center;">0001H</td> <td>DTC = 0001H のときに割り込み発生</td> </tr> <tr> <td style="text-align:center;">⋮</td> <td style="text-align:center;">⋮</td> </tr> <tr> <td style="text-align:center;">7FFFH</td> <td>DTC = 7FFFH のときに割り込み発生</td> </tr> </tbody> </table>	DTCCn14-DTCCn0	動 作	0000H	コンペア動作を行わない	0001H	DTC = 0001H のときに割り込み発生	⋮	⋮	7FFFH	DTC = 7FFFH のときに割り込み発生
DTCCn14-DTCCn0	動 作											
0000H	コンペア動作を行わない											
0001H	DTC = 0001H のときに割り込み発生											
⋮	⋮											
7FFFH	DTC = 7FFFH のときに割り込み発生											

**注** DTCC0-DTCC7 : FFFF 7336H+30H × p ( p = 0-7 )  
 DTCC8-DTCC15 : FFFF 7536H+30H × ( q - 8 ) ( q = 8-15 )

**備考** n = 0-15

(14) DMA 転送制御レジスタ n (DTCTn)

DMA チャンネル n の DMA 転送動作モードを制御する 16 ビット・レジスタです。  
このレジスタは、16 ビット単位でリード/ライト可能です。

- 注意 1.** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTE<sub>n</sub> ビット= 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
- 2.** SACM<sub>n1</sub>, SACM<sub>n0</sub>, DACM<sub>n1</sub>, DACM<sub>n0</sub> ビットを設定禁止の状態に設定した場合の動作は保証しません。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTCTn	0	DSn1	DSn0	MLE <sub>n</sub>	0	0	0	0	SACM <sub>n1</sub>	SACM <sub>n0</sub>	DACM <sub>n1</sub>	DACM <sub>n0</sub>	0	0	0	0	注	0000H
R/W	0	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	0		

ビット位置	ビット名	意味															
14, 13	DSn1, DSn0	DMA チャンネル n の DMA 転送データ・サイズを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">DSn1</th> <th style="width: 10%;">DSn0</th> <th style="width: 80%;">DMA チャンネル n の DMA 転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>8 ビット</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>16 ビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>32 ビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>128 ビット</td> </tr> </tbody> </table>	DSn1	DSn0	DMA チャンネル n の DMA 転送データ・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	128 ビット
DSn1	DSn0	DMA チャンネル n の DMA 転送データ・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	128 ビット															
12	MLE <sub>n</sub>	DMA トランザクション (一連の DMA 転送) 完了時 (ターミナル・カウント出力時) の、DMA 転送要求受け付け動作を指定します。 このビットをセット (1) すると、DMA 転送完了時に DMA 転送ステータス・レジスタ (DTSn) の DTE ビットをクリア (0) しません。また TC ビットをクリア (0) しなくても、DMA 転送要求があれば、DMA 転送を行います。 0 : DMA 転送完了時 (ターミナル・カウント出力時) に DTE ビットをクリア (0) します : DMA 転送禁止 1 : DMA 転送完了時 (ターミナル・カウント出力時) に DTE ビットをクリア (0) しません : DMA 転送許可															

**注 DTCT0-DTCT7 : FFFF 7338H+30H × p ( p = 0-7 )**  
**DTCT8-DTCT15 : FFFF 7538H+30H × ( q - 8 ) ( q = 8-15 )**

**備考 n = 0-15**

ビット位置	ビット名	意 味															
7, 6	SACMn1, SACMn0	<p>DMA チャンネル n の DMA 転送元アドレスのカウント方向を指定します。</p> <table border="1"> <thead> <tr> <th>SACMn1</th> <th>SACMn0</th> <th>DMA チャンネル n の DMA 転送元アドレスのカウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SACMn1	SACMn0	DMA チャンネル n の DMA 転送元アドレスのカウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SACMn1	SACMn0	DMA チャンネル n の DMA 転送元アドレスのカウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
5, 4	DACMn1- DACMn0	<p>DMA チャンネル n の DMA 転送先アドレスのカウント方向を指定します。</p> <table border="1"> <thead> <tr> <th>DACMn1</th> <th>DACMn0</th> <th>DMA チャンネル n の DMA 転送先アドレスのカウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DACMn1	DACMn0	DMA チャンネル n の DMA 転送先アドレスのカウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DACMn1	DACMn0	DMA チャンネル n の DMA 転送先アドレスのカウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

備考 n = 0-15

(15) DMA 転送ステータス・レジスタ (DTSn)

DMA チャンネル n のステータスを示します。

8/1 ビット単位でリード/ライト可能です。ただしビット 3, 2 はリードのみ可能です。

リセットにより 00H になります。

ビット 5, 4 には、必ず 0 を設定してください。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
DTSn	TCn	DTn	0	0	ERn	DRn	SRn	DTEn	注	00H
R/W	R/W	R/W	0	0	R	R	R/W	R/W		

ビット位置	ビット名	意味
7	TCn	DMA 転送完了ステータス・ビットです。 DMA チャンネル n の DMA トランザクション (一連の DMA 転送) が完了したことを示します。ソフトウェアによる “1” 読み出し後, “0” 書き込みによりクリア (0) してください。CLR1 等のリード・モディファイ・ライト命令による書き込みを推奨します。 0 : DMA トランザクション (一連の DMA 転送) 未完了 1 : DMA トランザクション (一連の DMA 転送) 完了
6	DTn	DMA 転送ステータス・ビットです。 DMA チャンネル n において, DMA 転送要求が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセット (1) されません。DMA トランザクション (一連の DMA 転送) 完了によりクリア (0) されます。また, DTEn ビットが “0” のときは, ソフトウェアによるクリアが可能です (DTE ビットとの同時書き込みも可能)。 0 : DMA 転送要求受け付け 1 : DMA 転送中
3	ERn	DMA 転送エラー・フラグです。 DMA チャンネル n で DMA 転送エラーが発生したことを示します。DMA 転送要求コントロール・レジスタ n (DTRCn) の ERRn ビットをクリア (0) するとクリア (0) されます。また ERn ビットはリードのみ可能です。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
2	DRn	ハードウェア DMA 転送要求フラグです。 DMA チャンネル n にハードウェア DMA 転送要求 (割り込みによる転送要求) があることを示します。ハードウェア DMA 転送要求がインアクティブになるとクリア (0) されます。DTEn ビットの状態に関わらず動作します。ソフトウェア DMA 転送要求や, DMA 転送要求選択レジスタ n (DTRS <sub>n</sub> ) でソフトウェア DMA 転送要求を選択している場合のハードウェア DMA 転送要求ではセット (1) されません。また, DRn ビットはリードのみ可能です。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり

注 DTS0-DTS7 : FFFF 733AH+30H × p ( p = 0-7 )  
 DTS8-DTS15 : FFFF 753AH+30H × ( q - 8 ) ( q = 8-15 )

備考 n = 0-15

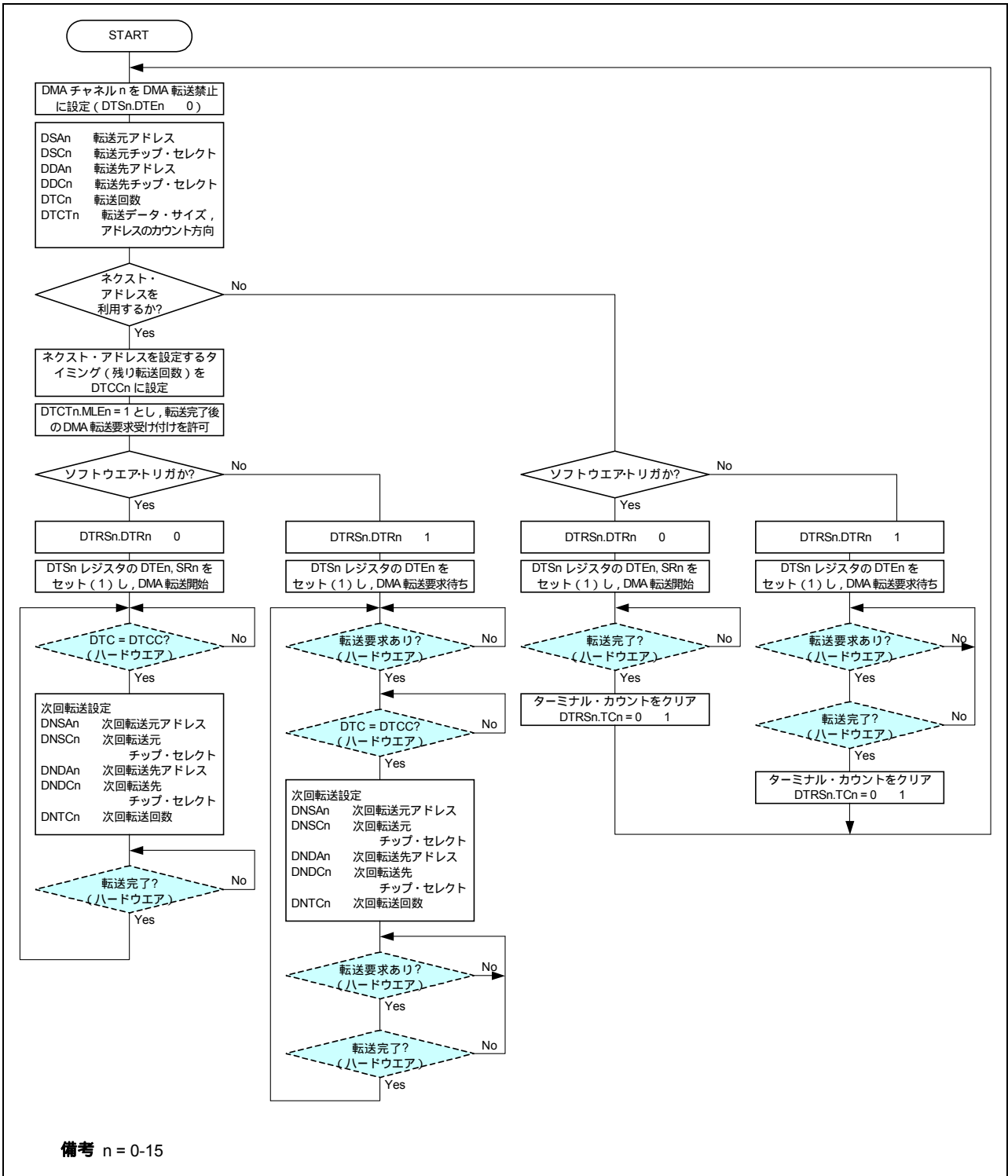
(2/2)

ビット位置	ビット名	意 味
1	SRn	<p>ソフトウェア DMA 転送要求設定ビットです。</p> <p>ソフトウェア DMA 転送要求を設定します。DMA 転送要求選択レジスタ n (DTRSn) においてソフトウェア DMA 転送要求を選択している場合、SRn ビットと DTEn ビットに “1” を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリア (0) されます。また、SRn ビットに “0” を書き込むと DMA 転送を中断します。</p> <p>0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり</p>
0	DTEn	<p>DMA チャンネル n の DMA 転送許可を設定します。DTEn ビットをセット (1) すると、DMA 転送要求があった場合に DMA 転送を行います。DMA トランザクション (一連の DMA 転送) 完了時に MLEn ビットが “0” の場合、自動的にクリア (0) されます。また、DMA 転送中に DTEn ビットに “0” を書き込むと、DMA チャンネル n の DMA 転送を中断します。</p> <p>0 : DMA 転送禁止 1 : DMA 転送許可</p>

備考 n = 0-15

### 8.4 DMA 転送の設定フロー

セントラル DMAC は、設定内容に応じて以下のように動作します。





## 8.5 セントラル DMAC の転送モード

転送モードは、シングル転送モード、およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても 2 サイクル転送を行うため、1 回の転送ごとにリード・サイクルとライト・サイクルを発生します。128 ビット転送時にはリード・サイクル 4 回、ライト・サイクル 4 回の順にサイクルを発生します。

なお、バスをロックしないため、リード・サイクルとライト・サイクルの間や、128 ビット転送時の 4 回のリード・サイクル、およびライト・サイクルの間に CPU サイクルが割り込むことがあります。

### 8.5.1 シングル転送モード (ハードウェア : 割り込み信号による DMA 転送要求時)

ハードウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ (8 ビット / 16 ビット / 32 ビット / 128 ビット) の転送を行い、1 回の転送ごとにバスを解放して、DMA 転送要求待ち状態になります。

ハードウェア DMA 転送要求を受け付けるごとに 1 回の転送を行い、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます。

### 8.5.2 シングルステップ転送モード (ソフトウェア DMA 転送要求時)

ソフトウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ (8 ビット / 16 ビット / 32 ビット / 128 ビット) の転送を行い、1 回の転送ごとにバスを解放します。

いったんソフトウェア DMA 転送要求を受け付けると、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます。なお、1 回の転送ごとに優先順位判定を行うため、優先順位の高いチャンネルの DMA サイクルが割り込むことがあります。

備考 n = 0-15

## 8.6 DMA チャンネルの優先順位

セントラル DMAC の優先順位は固定優先順位です。グループの優先順位とチャンネルの優先順位があります。優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。ソフトウェア DMA 転送要求時も、1 回の DMA サイクルごとにバスを解放するので、優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。

#### (1) グループ間の優先順位

16 チャンネルのうち、上位チャンネルの CH0-CH7 と下位チャンネルの CH8-CH15 はグループ 0、グループ 1 に分けられます。グループの優先順位は、次のようになります。

グループ 0 (CH0-CH-7) > グループ 1 (CH8-CH15)

#### (2) チャンネル間の優先順位

各チャンネルの優先順位は固定となり次のようになります。

CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7  
CH8 > CH9 > CH10 > CH11 > CH12 > CH13 > CH14 > CH15

## 8.7 DMA 転送要求の有効条件

DMA チャンネル  $n$  の DMA 転送要求を受け付けるかどうかは、DMA 転送要求コントロールレジスタ (DTRC0, DTRC1) の ERR $m$  ビット, ADS $m$  ビット, DMA 転送制御レジスタ (DTCT $n$ ) の MLE $n$  ビット, DMA 転送ステータスレジスタ (DTS $n$ ) の TC $n$  ビット, DTE $n$  ビットの設定によります。それぞれのビットの設定状態による、DMA 転送要求受け付け可否を表 8-3 に示します。

表 8-3 DMA チャンネル  $n$  の DMA 転送要求有効条件

レジスタ.ビット名	DTS $n$ .DTE $n$	DTS $n$ .TC $n$	DTCT $n$ .MLE $n$	DTRC $m$ .ERR $m$	DTRC $m$ .ADS $m$	DMA 転送要求
DMA 転送禁止	0	×	×	×	×	無効
DMA 転送エラー発生中	×	×	×	1	×	無効
DMA 転送中断中	×	×	×	×	1	無効
DMA 転送完了 (MLE $n$ = 0)	×	1	0	×	×	無効
DMA 転送完了 (MLE $n$ = 1)	1	×	1	0	0	有効
DMA 転送許可	1	0	0	0	0	有効

備考  $n = 0-15, m = 0, 1$

## 8.8 割り込み信号による DMA 転送要求の受け付け

割り込み信号によるハードウェア DMA 転送要求を受け付けると、DMA 転送を開始します。ただし、DMA ステータスレジスタ  $n$  (DTS $n$ ) の DTE $n$  ビットが “0” の場合は受け付けられません。

また、DMA 転送中は DMA 転送要求を受け付けません。DMA 転送完了後に DMA 転送要求の受け付けを再開します。

DMA トランザクション (一連の DMA 転送) が完了すると、DMA 転送完了割り込み (INTCDMA $n$ ) が発生します。

備考  $n = 0-15$

## 8.9 DMA 転送回数一致割り込み

### (1) DMA 転送回数一致割り込み (INTCDMACTn)

DMA 転送カウント・コンペア・レジスタ n (DTCCn) に、割り込みを通知する「残り DMA 転送回数」を設定して DMA 転送を実行します。1 回の転送ごとに DMA 転送カウント・レジスタ n (DTCn) をデクリメントし、DMA 転送カウント・コンペア・レジスタの設定値と一致すると INTCDMACTn 割り込みが発生します。

DMA 転送カウント・コンペア・レジスタ n (DTCCn) に、DMA 転送カウント・レジスタ n (DTCn) の設定値より小さい値を設定すると、INTCDMACTn 割り込みは発生しないので注意してください。

### (2) DMA 転送回数一致割り込み信号 (INTCDMACTn) 発生タイミング

DMA 転送カウント・レジスタ n (DTCn) の値が DMA 転送カウント・コンペア・レジスタ n (DTCCn) の設定値 + 1 と一致した DMA サイクルにて、DMA サイクル完了後の CPU 動作クロックの 1 クロック後に DMA 転送回数一致割り込み信号 (INTCDMACTn) が発生します。

## 8.10 ネクスト・アドレス機能

### (1) ネクスト・アドレス設定レジスタ

DMA トランザクション (一連の DMA 転送) 中に、次に転送したい転送情報をあらかじめ設定しておくレジスタです。最後の DMA 転送開始時に、対応するレジスタにコピーします。用意しているレジスタを次に示します。

- ・ DMA ネクスト・ソース・アドレス・レジスタ  $n$  (DNSAn)
- ・ DMA ネクスト・ソース・チップ・セレクト・レジスタ  $n$  (DNScn)
- ・ DMA ネクスト・デスティネーション・アドレス・レジスタ  $n$  (DNDA $n$ )
- ・ DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ  $n$  (DNDC $n$ )
- ・ DMA ネクスト転送カウント・レジスタ  $n$  (DNTC $n$ )

それぞれのレジスタの最上位ビットで、最後の DMA 転送開始時にカレント・レジスタにネクスト・レジスタのコピー動作を指定します。次に転送したい転送情報をカレント・レジスタにコピーすると、この最上位ビットをクリア (0) します。

### (2) ネクスト・アドレス機能使用時の DMA 転送完了時の処理

通常、DMA トランザクション (一連の DMA 転送) が完了すると、DMA 転送ステータス・レジスタ  $n$  (DTS $n$ ) の DMA 転送完了ステータス・ビット  $n$  (TC $n$ ) をセット (1) すると同時に DMA 転送許可ビット  $n$  (DTE $n$ ) をクリア (0) し、以降の DMA 転送要求を受け付けません。ただし DMA 転送制御レジスタ  $n$  (DTCT $n$ ) の MLE $n$  = 1 の場合は、DTE $n$  をクリア (0) せず、TC $n$  がセット (1) された状態でも DMA 転送要求が受け付けられます。したがって、ネクスト・アドレス機能を使用する場合は、MLE $n$  をセット (1) しておくことで、DMA 転送完了後の TC $n$  のクリア、および DTE $n$  のセットの手順を省略できます。

### (3) ネクスト・アドレスを設定するタイミング

ネクスト・アドレス設定レジスタは常に書き換え可能です。ただしカレント・レジスタへのコピーと、ソフトウェアによる書き込みとの競合を避けるため、最後の DMA 転送が始まる前にネクスト・アドレス設定レジスタの設定を完了させてください。

ネクスト・アドレス設定レジスタを設定するトリガとして、DMA 転送回数一致割り込み (INTCDMACT $n$ ) の利用を推奨します。その場合、DMA 転送カウント・コンペア・レジスタ  $n$  (DTCC $n$ ) は、ネクスト・アドレス設定レジスタの設定に必要な時間を確保できるように設定してください。

## 8.11 DMA 転送の中断 / 再開

### (1) ソフトウェアによる全チャンネルの DMA 転送中断 / 再開

DMA 転送要求コントロール・レジスタ  $m$  (DTRC $m$ ) の DMA 転送中断ビット (ADSm) をセット (1) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。なお、DMA 転送ステータス・レジスタ  $n$  (DTSn) の DMA 転送許可ビット  $n$  (DTE $n$ ) や、ソフトウェア DMA 転送要求ビット  $n$  (SR $n$ ) はクリア (0) しません。

再開するには ADS $m$  ビットをクリア (0) してください。その時点で DMA 転送が要求されている場合、優先順位が最も高いチャンネルの転送を行います。また、DMA トランザクション (一連の DMA 転送) を終了するには、DTE $n$  ビットをクリア (0) した状態で、DMA 転送要求をクリアしてください。

### (2) DMA 転送許可ビット $n$ (DTE $n$ ) による DMA 転送中断 / 再開

DMA 転送ステータス・レジスタ  $n$  (DTS $n$ ) の DMA 転送許可ビット (DTE $n$ ) をクリア (0) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。なお、DTS $n$  レジスタのソフトウェア DMA 転送要求ビット  $n$  (SR $n$ ) はクリア (0) しません。

再開するには DTE $n$  ビットをセット (1) してください。その時点で他のチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。他のチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。また、DMA トランザクション (一連の DMA 転送) を終了するには、DTE $n$  ビットをクリア (0) した状態で、DMA 転送要求をクリアしてください。

### (3) ソフトウェア DMA 転送要求ビット $n$ (SR $n$ ) による DMA 転送中断 / 再開

DMA 転送ステータス・レジスタ  $n$  (DTS $n$ ) のソフトウェア DMA 転送要求ビット  $n$  (SR $n$ ) をクリア (0) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。

再開するには SR $n$  ビットをセット (1) してください。その時点で他のチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。他のチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。

**備考**  $n = 0-15$  ,  $m = 0, 1$

## 8.12 エラー・レスポンス

### (1) エラー・レスポンスによる DMA 転送中断

DMA の転送先 / 転送元がエラーを発生すると、DMA 転送要求コントロール・レジスタ  $m$  (DTRC $m$ ) の DMA 転送中断ビット (ADSm) をセット (1) して、次回以降の DMA 転送を中断します。同時に DMA 転送エラー・ステータス・ビット (ERR $m$ ) をセット (1) し、CPU にシステム・エラー例外を発生させます (システム・エラーの発生 / 非発生は、システム・エラー機能により設定可能です)。

ERR $m$  ビットがセット (1) された場合、DMA 転送ステータス・レジスタ  $n$  (DTS $n$ ) の DMA 転送エラー・フラグ  $n$  (ER $n$ ) で、エラーが発生したチャンネルを確認できます。

なお、リード・サイクルでエラーが発生した場合、ライト・サイクルは行われませんが、転送アドレスおよび転送回数は更新されます。

### (2) エラー・レスポンスによる転送中断の解除の方法

エラー・レスポンスによる転送中断状態は、DMA 転送要求コントロール・レジスタ  $m$  (DTRC $m$ ) の DMA 転送中断ビット (ADSm)、および DMA 転送エラー・ステータス・ビット (ERR $m$ ) をクリア (0) することで解除できます。

解除後に DMA 転送が再開しないように、あらかじめ DMA 転送ステータス・レジスタ  $n$  (DTS $n$ ) の DMA 転送許可ビット  $n$  (DTE $n$ ) をクリア (0) してください。また、ソフトウェア DMA 転送要求の場合は、ソフトウェア DMA 転送要求ビット  $n$  (SR $n$ ) もクリア (0) してください。

備考  $n = 0-15$ ,  $m = 0, 1$

## 8.13 IDLE モード設定時の動作

スタンバイ状態として IDLE モードに設定すると、現在実行中の DMA 転送の完了を待ち、その後 DMA 転送は停止します (ソフトウェアによる DMA の中断とは異なり、DMA 制御レジスタに影響を与えません)。IDLE モードが解除されると DMA は動作再開し、すでに DMA 要求を保持した状態であれば、その DMA 転送を開始します。

## 8.14 DMA 転送トリガ選択機能

DTFR (DMA Trigger Factor Register) は、割り込み信号の中から DMA 起動要因を選択し、セントラル DMAC に対して DMA 転送要求を行います。

チャンネルごとに、PFESiP/V850EP3 の 83 本の割り込み信号から任意の割り込み要求信号を、DMA 起動要因に選択できます。

割り込み信号の選択は DTFR0-DTFR15 で指定します。チャンネルごとに 1 つの DTFR レジスタが割り付けられています。

## (1) CDMA トリガ要因選択レジスタ n (CDTFRn)

内蔵周辺機能や外部端子からの割り込み要求信号から，DMA 転送要求を選択する 16 ビット・レジスタです。このレジスタで選択した割り込み要求が，DMA 転送の起動トリガになります。

CDTFR レジスタは，セントラル DMAC チャンネル数と同じ 16 本あり，それぞれが対応しています。たとえば CDTFR0 レジスタはセントラル DMAC チャンネル 0 の DMA トリガ要因レジスタです。

16 ビット単位でリード/ライト可能です。

DMA 転送要求には，以下のトリガを選択できます。

DMA 転送要求の種類		DMA 転送トリガ
外部割り込み入力		INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41
★ 内蔵周辺機能 からの割り込み	16 ビット・インターバル・タイマ M (TMM)	INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTTM3EQ0, INTTM4EQ0, INTTM5EQ0
	16 ビット・タイマ/カウンタ AA (TAA)	INTTA0CC0, INTTA0CC1, INTTA1CC0, INTTA1CC1, INTTA2CC0, INTTA2CC1, INTTA3CC0, INTTA3CC1, INTTA4CC0, INTTA4CC1, INTTA5CC0, INTTA5CC1
	16 ビット・タイマ/イベント・カウンタ T (TMT)	INTTEQC00, INTTEQC01, INTTIEC0, INTTEQC10, INTTEQC11, INTTIEC1
	クロック同期式シリアル・インタフェース (CSI3)	INTCSI30-INTCSI37
	A/D コンバータ	INTAD
	CAN コントローラ	INTC0TRX, INTC0REC, INTC0WUP, INTC1TRX, INTC1REC, INTC1WUP
システム・バス DMAC のトリガ (DMA の連携動作)		INTDMA0-INTDMA7 (転送完了)

**注意 1.** CDTFRn レジスタの設定を変更する場合は，必ず DMA 動作を停止してから行ってください。

**2.** INTPZ32-INTPZ35, INTPZ38, INTPZ39, INTPZ42-INTPZ49 の外部割り込み要求は，DMA 転送トリガに利用できません。

**備考 1.** すべての割り込み要求は，内部システム・バス・クロック (HCLK) で再同期処理を行っています。

**2.** n = 0-15



	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CDTFRn	REQ ENn	0	0	0	0	0	0	0	0	IFCn 6	IFCn 5	IFCn 4	IFCn 3	IFCn 2	IFCn 1	IFCn 0	FFFF 7B00H +2n	0000H
	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																														
15	REQENn	チャンネル n の DMA トリガ要因選択機能の動作許可 0 : 動作停止。DMA 転送要求は発生せず、IFCn6-IFCn0 の設定は無効。 1 : 動作許可。IFCn6-IFCn0 の設定が有効。																																																														
6-0	IFCn6-IFCn0	セントラル DMA チャンネル n のトリガ要因を選択します。 <table border="1" style="width:100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width:15%;">IFCn6-IFCn0</th> <th style="width:85%;">DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>00H</td><td>INTPZ0 (外部割り込み)</td></tr> <tr><td>01H</td><td>INTPZ1 (外部割り込み)</td></tr> <tr><td>02H</td><td>INTPZ2 (外部割り込み)</td></tr> <tr><td>03H</td><td>INTPZ3 (外部割り込み)</td></tr> <tr><td>04H</td><td>INTPZ4 (外部割り込み)</td></tr> <tr><td>05H</td><td>INTPZ5 (外部割り込み)</td></tr> <tr><td>06H</td><td>INTPZ6 (外部割り込み)</td></tr> <tr><td>07H</td><td>INTPZ7 (外部割り込み)</td></tr> <tr><td>08H</td><td>INTPZ16 (SiP 内部接続割り込み)</td></tr> <tr><td>09H</td><td>INTPZ17 (SiP 内部接続割り込み)</td></tr> <tr><td>0AH</td><td>INTPZ18 (SiP 内部接続割り込み)</td></tr> <tr><td>0BH</td><td>INTPZ19 (SiP 内部接続割り込み)</td></tr> <tr><td>0CH</td><td>INTPZ20 (SiP 内部接続割り込み)</td></tr> <tr><td>0DH</td><td>INTPZ21 (SiP 内部接続割り込み)</td></tr> <tr><td>0EH</td><td>INTPZ22 (SiP 内部接続割り込み)</td></tr> <tr><td>0FH</td><td>INTPZ23 (SiP 内部接続割り込み)</td></tr> <tr><td>10H</td><td>INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>11H</td><td>INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)</td></tr> <tr><td>12H</td><td>INTTIEC0 (TMT0 エンコーダ・クリア割り込み)</td></tr> <tr><td>13H</td><td>INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>14H</td><td>INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)</td></tr> <tr><td>15H</td><td>INTTIEC1 (TMT1 エンコーダ・クリア割り込み)</td></tr> <tr><td>16H</td><td>INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>17H</td><td>INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)</td></tr> <tr><td>18H</td><td>INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>19H</td><td>INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)</td></tr> <tr><td>1AH</td><td>INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>1BH</td><td>INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)</td></tr> <tr><td>1CH</td><td>INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)</td></tr> <tr><td>1DH</td><td>INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	00H	INTPZ0 (外部割り込み)	01H	INTPZ1 (外部割り込み)	02H	INTPZ2 (外部割り込み)	03H	INTPZ3 (外部割り込み)	04H	INTPZ4 (外部割り込み)	05H	INTPZ5 (外部割り込み)	06H	INTPZ6 (外部割り込み)	07H	INTPZ7 (外部割り込み)	08H	INTPZ16 (SiP 内部接続割り込み)	09H	INTPZ17 (SiP 内部接続割り込み)	0AH	INTPZ18 (SiP 内部接続割り込み)	0BH	INTPZ19 (SiP 内部接続割り込み)	0CH	INTPZ20 (SiP 内部接続割り込み)	0DH	INTPZ21 (SiP 内部接続割り込み)	0EH	INTPZ22 (SiP 内部接続割り込み)	0FH	INTPZ23 (SiP 内部接続割り込み)	10H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)	11H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)	12H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み)	13H	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)	14H	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)	15H	INTTIEC1 (TMT1 エンコーダ・クリア割り込み)	16H	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)	17H	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)	18H	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)	19H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)	1AH	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)	1BH	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)	1CH	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)	1DH	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																															
00H	INTPZ0 (外部割り込み)																																																															
01H	INTPZ1 (外部割り込み)																																																															
02H	INTPZ2 (外部割り込み)																																																															
03H	INTPZ3 (外部割り込み)																																																															
04H	INTPZ4 (外部割り込み)																																																															
05H	INTPZ5 (外部割り込み)																																																															
06H	INTPZ6 (外部割り込み)																																																															
07H	INTPZ7 (外部割り込み)																																																															
08H	INTPZ16 (SiP 内部接続割り込み)																																																															
09H	INTPZ17 (SiP 内部接続割り込み)																																																															
0AH	INTPZ18 (SiP 内部接続割り込み)																																																															
0BH	INTPZ19 (SiP 内部接続割り込み)																																																															
0CH	INTPZ20 (SiP 内部接続割り込み)																																																															
0DH	INTPZ21 (SiP 内部接続割り込み)																																																															
0EH	INTPZ22 (SiP 内部接続割り込み)																																																															
0FH	INTPZ23 (SiP 内部接続割り込み)																																																															
10H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)																																																															
11H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)																																																															
12H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み)																																																															
13H	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)																																																															
14H	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)																																																															
15H	INTTIEC1 (TMT1 エンコーダ・クリア割り込み)																																																															
16H	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)																																																															
17H	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)																																																															
18H	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)																																																															
19H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)																																																															
1AH	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)																																																															
1BH	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)																																																															
1CH	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)																																																															
1DH	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)																																																															

**備考 n = 0-15**

ビット位置	ビット名	意 味																																																																										
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>1EH</td><td>INTTA4CC0 ( TAA4 コンペア 0 or キャプチャ割り込み )</td></tr> <tr><td>1FH</td><td>INTTA4CC1 ( TAA4 コンペア 1 or キャプチャ割り込み )</td></tr> <tr><td>20H</td><td>INTTA5CC0 ( TAA5 コンペア 0 or キャプチャ割り込み )</td></tr> <tr><td>21H</td><td>INTTA5CC1 ( TAA5 コンペア 0 or キャプチャ割り込み )</td></tr> <tr><td>22H</td><td>INTDMA0 ( システム・バス DMAC チャンネル 0 転送完了割り込み )</td></tr> <tr><td>23H</td><td>INTDMA1 ( システム・バス DMAC チャンネル 1 転送完了割り込み )</td></tr> <tr><td>24H</td><td>INTDMA2 ( システム・バス DMAC チャンネル 2 転送完了割り込み )</td></tr> <tr><td>25H</td><td>INTDMA3 ( システム・バス DMAC チャンネル 3 転送完了割り込み )</td></tr> <tr><td>26H</td><td>INTDMA4 ( システム・バス DMAC チャンネル 4 転送完了割り込み )</td></tr> <tr><td>27H</td><td>INTDMA5 ( システム・バス DMAC チャンネル 5 転送完了割り込み )</td></tr> <tr><td>28H</td><td>INTDMA6 ( システム・バス DMAC チャンネル 6 転送完了割り込み )</td></tr> <tr><td>29H</td><td>INTDMA7 ( システム・バス DMAC チャンネル 7 転送完了割り込み )</td></tr> <tr><td>2AH</td><td>INTC0WUP ( CAN0 ウェイクアップ割り込み )</td></tr> <tr><td>2BH</td><td>INTC0REC ( CAN0 受信完了割り込み )</td></tr> <tr><td>2CH</td><td>INTC0TRX ( CAN0 送信完了割り込み )</td></tr> <tr><td>2DH</td><td>INTC1WUP ( CAN1 ウェイクアップ割り込み )</td></tr> <tr><td>2EH</td><td>INTC1REC ( CAN1 受信完了割り込み )</td></tr> <tr><td>2FH</td><td>INTC1TRX ( CAN1 送信完了割り込み )</td></tr> <tr><td>30H</td><td>INTCSI30 ( CSI30 送受信完了割り込み )</td></tr> <tr><td>31H</td><td>INTCSI31 ( CSI31 送受信完了割り込み )</td></tr> <tr><td>32H</td><td>INTCSI32 ( CSI32 送受信完了割り込み )</td></tr> <tr><td>33H</td><td>INTCSI33 ( CSI33 送受信完了割り込み )</td></tr> <tr><td>34H</td><td>INTCSI34 ( CSI34 送受信完了割り込み )</td></tr> <tr><td>35H</td><td>INTCSI35 ( CSI35 送受信完了割り込み )</td></tr> <tr><td>36H</td><td>INTCSI36 ( CSI36 送受信完了割り込み )</td></tr> <tr><td>37H</td><td>INTCSI37 ( CSI37 送受信完了割り込み )</td></tr> <tr><td>38H</td><td>INTTM0EQ0 ( TMM0 一致割り込み )</td></tr> <tr><td>39H</td><td>INTTM1EQ0 ( TMM1 一致割り込み )</td></tr> <tr><td>3AH</td><td>INTTM2EQ0 ( TMM2 一致割り込み )</td></tr> <tr><td>3BH</td><td>INTTM3EQ0 ( TMM3 一致割り込み )</td></tr> <tr><td>3CH</td><td>INTTM4EQ0 ( TMM4 一致割り込み )</td></tr> <tr><td>3DH</td><td>INTTM5EQ0 ( TMM5 一致割り込み )</td></tr> <tr><td>3EH</td><td>INTAD ( A/D 変換完了割り込み )</td></tr> <tr><td>3FH</td><td>INTPZ8 ( 外部割り込み )</td></tr> <tr><td>40H</td><td>INTPZ9 ( 外部割り込み )</td></tr> <tr><td>41H</td><td>INTPZ10 ( 外部割り込み )</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	1EH	INTTA4CC0 ( TAA4 コンペア 0 or キャプチャ割り込み )	1FH	INTTA4CC1 ( TAA4 コンペア 1 or キャプチャ割り込み )	20H	INTTA5CC0 ( TAA5 コンペア 0 or キャプチャ割り込み )	21H	INTTA5CC1 ( TAA5 コンペア 0 or キャプチャ割り込み )	22H	INTDMA0 ( システム・バス DMAC チャンネル 0 転送完了割り込み )	23H	INTDMA1 ( システム・バス DMAC チャンネル 1 転送完了割り込み )	24H	INTDMA2 ( システム・バス DMAC チャンネル 2 転送完了割り込み )	25H	INTDMA3 ( システム・バス DMAC チャンネル 3 転送完了割り込み )	26H	INTDMA4 ( システム・バス DMAC チャンネル 4 転送完了割り込み )	27H	INTDMA5 ( システム・バス DMAC チャンネル 5 転送完了割り込み )	28H	INTDMA6 ( システム・バス DMAC チャンネル 6 転送完了割り込み )	29H	INTDMA7 ( システム・バス DMAC チャンネル 7 転送完了割り込み )	2AH	INTC0WUP ( CAN0 ウェイクアップ割り込み )	2BH	INTC0REC ( CAN0 受信完了割り込み )	2CH	INTC0TRX ( CAN0 送信完了割り込み )	2DH	INTC1WUP ( CAN1 ウェイクアップ割り込み )	2EH	INTC1REC ( CAN1 受信完了割り込み )	2FH	INTC1TRX ( CAN1 送信完了割り込み )	30H	INTCSI30 ( CSI30 送受信完了割り込み )	31H	INTCSI31 ( CSI31 送受信完了割り込み )	32H	INTCSI32 ( CSI32 送受信完了割り込み )	33H	INTCSI33 ( CSI33 送受信完了割り込み )	34H	INTCSI34 ( CSI34 送受信完了割り込み )	35H	INTCSI35 ( CSI35 送受信完了割り込み )	36H	INTCSI36 ( CSI36 送受信完了割り込み )	37H	INTCSI37 ( CSI37 送受信完了割り込み )	38H	INTTM0EQ0 ( TMM0 一致割り込み )	39H	INTTM1EQ0 ( TMM1 一致割り込み )	3AH	INTTM2EQ0 ( TMM2 一致割り込み )	3BH	INTTM3EQ0 ( TMM3 一致割り込み )	3CH	INTTM4EQ0 ( TMM4 一致割り込み )	3DH	INTTM5EQ0 ( TMM5 一致割り込み )	3EH	INTAD ( A/D 変換完了割り込み )	3FH	INTPZ8 ( 外部割り込み )	40H	INTPZ9 ( 外部割り込み )	41H	INTPZ10 ( 外部割り込み )
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																																											
1EH	INTTA4CC0 ( TAA4 コンペア 0 or キャプチャ割り込み )																																																																											
1FH	INTTA4CC1 ( TAA4 コンペア 1 or キャプチャ割り込み )																																																																											
20H	INTTA5CC0 ( TAA5 コンペア 0 or キャプチャ割り込み )																																																																											
21H	INTTA5CC1 ( TAA5 コンペア 0 or キャプチャ割り込み )																																																																											
22H	INTDMA0 ( システム・バス DMAC チャンネル 0 転送完了割り込み )																																																																											
23H	INTDMA1 ( システム・バス DMAC チャンネル 1 転送完了割り込み )																																																																											
24H	INTDMA2 ( システム・バス DMAC チャンネル 2 転送完了割り込み )																																																																											
25H	INTDMA3 ( システム・バス DMAC チャンネル 3 転送完了割り込み )																																																																											
26H	INTDMA4 ( システム・バス DMAC チャンネル 4 転送完了割り込み )																																																																											
27H	INTDMA5 ( システム・バス DMAC チャンネル 5 転送完了割り込み )																																																																											
28H	INTDMA6 ( システム・バス DMAC チャンネル 6 転送完了割り込み )																																																																											
29H	INTDMA7 ( システム・バス DMAC チャンネル 7 転送完了割り込み )																																																																											
2AH	INTC0WUP ( CAN0 ウェイクアップ割り込み )																																																																											
2BH	INTC0REC ( CAN0 受信完了割り込み )																																																																											
2CH	INTC0TRX ( CAN0 送信完了割り込み )																																																																											
2DH	INTC1WUP ( CAN1 ウェイクアップ割り込み )																																																																											
2EH	INTC1REC ( CAN1 受信完了割り込み )																																																																											
2FH	INTC1TRX ( CAN1 送信完了割り込み )																																																																											
30H	INTCSI30 ( CSI30 送受信完了割り込み )																																																																											
31H	INTCSI31 ( CSI31 送受信完了割り込み )																																																																											
32H	INTCSI32 ( CSI32 送受信完了割り込み )																																																																											
33H	INTCSI33 ( CSI33 送受信完了割り込み )																																																																											
34H	INTCSI34 ( CSI34 送受信完了割り込み )																																																																											
35H	INTCSI35 ( CSI35 送受信完了割り込み )																																																																											
36H	INTCSI36 ( CSI36 送受信完了割り込み )																																																																											
37H	INTCSI37 ( CSI37 送受信完了割り込み )																																																																											
38H	INTTM0EQ0 ( TMM0 一致割り込み )																																																																											
39H	INTTM1EQ0 ( TMM1 一致割り込み )																																																																											
3AH	INTTM2EQ0 ( TMM2 一致割り込み )																																																																											
3BH	INTTM3EQ0 ( TMM3 一致割り込み )																																																																											
3CH	INTTM4EQ0 ( TMM4 一致割り込み )																																																																											
3DH	INTTM5EQ0 ( TMM5 一致割り込み )																																																																											
3EH	INTAD ( A/D 変換完了割り込み )																																																																											
3FH	INTPZ8 ( 外部割り込み )																																																																											
40H	INTPZ9 ( 外部割り込み )																																																																											
41H	INTPZ10 ( 外部割り込み )																																																																											

備考 n = 0-15

ビット位置	ビット名	意 味																																						
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>42H</td><td>INTPZ11 (外部割り込み)</td></tr> <tr><td>43H</td><td>INTPZ12 (外部割り込み)</td></tr> <tr><td>44H</td><td>INTPZ13 (外部割り込み)</td></tr> <tr><td>45H</td><td>INTPZ14 (外部割り込み)</td></tr> <tr><td>46H</td><td>INTPZ15 (外部割り込み)</td></tr> <tr><td>47H</td><td>INTPZ24 (外部割り込み)</td></tr> <tr><td>48H</td><td>INTPZ25 (外部割り込み)</td></tr> <tr><td>49H</td><td>INTPZ26 (外部割り込み)</td></tr> <tr><td>4AH</td><td>INTPZ27 (外部割り込み)</td></tr> <tr><td>4BH</td><td>INTPZ28 (外部割り込み)</td></tr> <tr><td>4CH</td><td>INTPZ29 (外部割り込み)</td></tr> <tr><td>4DH</td><td>INTPZ30 (外部割り込み)</td></tr> <tr><td>4EH</td><td>INTPZ31 (外部割り込み)</td></tr> <tr><td>4FH</td><td>INTPZ36 (外部割り込み)</td></tr> <tr><td>50H</td><td>INTPZ37 (外部割り込み)</td></tr> <tr><td>51H</td><td>INTPZ40 (外部割り込み)</td></tr> <tr><td>52H</td><td>INTPZ41 (外部割り込み)</td></tr> <tr><td>上記以外</td><td>設定禁止</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	42H	INTPZ11 (外部割り込み)	43H	INTPZ12 (外部割り込み)	44H	INTPZ13 (外部割り込み)	45H	INTPZ14 (外部割り込み)	46H	INTPZ15 (外部割り込み)	47H	INTPZ24 (外部割り込み)	48H	INTPZ25 (外部割り込み)	49H	INTPZ26 (外部割り込み)	4AH	INTPZ27 (外部割り込み)	4BH	INTPZ28 (外部割り込み)	4CH	INTPZ29 (外部割り込み)	4DH	INTPZ30 (外部割り込み)	4EH	INTPZ31 (外部割り込み)	4FH	INTPZ36 (外部割り込み)	50H	INTPZ37 (外部割り込み)	51H	INTPZ40 (外部割り込み)	52H	INTPZ41 (外部割り込み)	上記以外	設定禁止
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																							
42H	INTPZ11 (外部割り込み)																																							
43H	INTPZ12 (外部割り込み)																																							
44H	INTPZ13 (外部割り込み)																																							
45H	INTPZ14 (外部割り込み)																																							
46H	INTPZ15 (外部割り込み)																																							
47H	INTPZ24 (外部割り込み)																																							
48H	INTPZ25 (外部割り込み)																																							
49H	INTPZ26 (外部割り込み)																																							
4AH	INTPZ27 (外部割り込み)																																							
4BH	INTPZ28 (外部割り込み)																																							
4CH	INTPZ29 (外部割り込み)																																							
4DH	INTPZ30 (外部割り込み)																																							
4EH	INTPZ31 (外部割り込み)																																							
4FH	INTPZ36 (外部割り込み)																																							
50H	INTPZ37 (外部割り込み)																																							
51H	INTPZ40 (外部割り込み)																																							
52H	INTPZ41 (外部割り込み)																																							
上記以外	設定禁止																																							

備考 n = 0-15

(2) CDMA 転送要求クリア・レジスタ (DRQCLR)

CDTFRn レジスタで選択した割り込み要因による DMA 転送要求をクリアするレジスタです。  
 各ビットが、セントラル DMAC の各チャンネルに対応しており、セット (1) することで DMA 転送要求がクリアされます。  
 16 ビット単位でリード/ライト可能です。

**備考 ビット 15-0 への"0"の書き込みは無視されます。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DRQCLR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	RQCR	FFFF 7B40H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	RQCRn	このビットをセット (1) すると、チャンネル n に保持している転送要求がクリアされます。

**備考 n = 0-15**

(3) CDMA 転送要求ステータス・レジスタ (DRQSTR)

セントラル DMAC の各チャンネルの DMA 転送要求状態を示すレジスタです。  
 各ビットが、セントラル DMAC の各チャンネルに対応しています。  
 16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DRQSTR	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	FFFF 7B44H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	RQSTn	システム・バス DMAC チャンネル n の DMA 転送要求状態を示します。 0 : DMA 転送要求なし 1 : DMA 転送要求あり

**備考 n = 0-15**

## 第9章 システム・バス DMA コントローラ(システム・バス DMAC)

PFESiP/V850EP3 は、CPU ローカル・バス用のセントラル DMAC と、システム・バス用のシステム・バス DMAC の 2 つの DMA コントローラを内蔵しています。

**備考** USB 機能, Ether MAC 機能は、それぞれに DMA 機能を内蔵しています。

### 9.1 システム・バス DMAC の概要

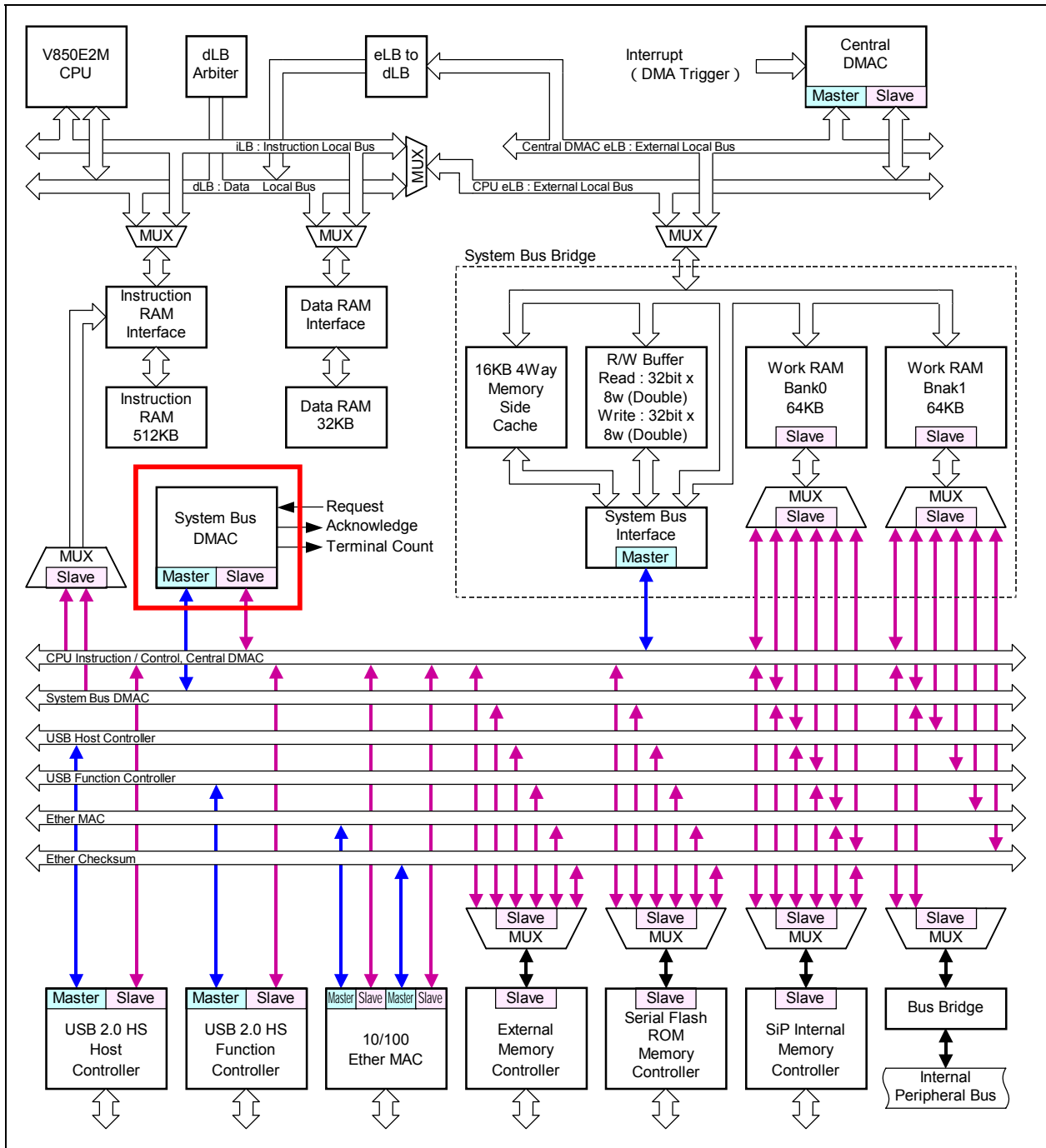
システム・バス DMAC は、マルチレイヤ構造のシステム・バス上のバス・マスタとして動作する DMA コントローラです。CPU ローカル・バス用のセントラル DMAC とは独立に動作します。

特定のスレーブをアクセスする場合、他のバス・マスタと競合しない限り、システム・バス DMAC のバスを占有できるため、他のバス・マスタとの競合が発生しにくく、高スループットの転送が可能です。

**注意** 内部バス構造は、マルチレイヤを採用しており、バス・マスタ対スレーブの関係が競合しない限り、複数のアクセスを同時に実行できます。

一方、異なるバス・マスタから共通のスレーブにアクセスするケースでは、同一番地のリード・モディファイ・ライト・アクセスとライト・アクセスが競合すると期待しないデータとなる可能性があります。このような競合が発生しないデータ構成とるように注意してください。

図 9-1 内部バス構造とシステム・バス DMAC



チャンネル数 : 8 チャンネル (各チャンネルは独立)

転送データ・サイズ :

- ・ソースとデスティネーションに、それぞれ独立にサイズ設定可能
- ・設定可能サイズ : 8 ビット-512 ビット

最大転送バイト数 :  $2^{32}-1$  バイト

**注意 DMA 転送量は、バイト数で設定します。**

チャンネル優先順位制御

- ・優先順位固定モード
- ・ラウンドロビン・モード (直前に転送を行ったチャンネルを最低優先にシフト)

転送設定値取り込み方式

DMA 転送に使用する設定データは、以下の2種類の方法により、内部レジスタに設定されます。

- ・レジスタ・モード

CPU から設定した、DMA コントローラ内部の制御レジスタに従って DMA 転送を行います。従来の一般的な DMA 転送をサポートしています。

- ・リンク・モード

ワーク RAM, 外部メモリ, SiP 内部接続のメモリに配置したディスクリプタに従って、DMA 転送を行います。多様な DMA 転送を実現できます。ただし、DMA 転送ごとにディスクリプタへのアクセスが発生するため、応答性はレジスタ・モードに劣ります。

スキップ機能

DMA 転送でアクセスする領域に対し、連続アクセス・サイズと離散アクセス・サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスを離散アクセス・サイズで設定サイズ分スキップできます。

バッファ内データ掃き出し機能

DMA を強制停止した際、バッファ内データを掃き出して停止することができます。掃き出し後、引き続き DMA 転送を継続します。

サスペンド機能

DMA トランザクション中に、実行中の DMA トランザクションを一時停止できます。

DMA 転送間隔設定機能

バス占有率を調整するため、DMA 転送間隔を指定できます。

転送モード

- ・シングル転送モード

DMA 転送要求が発生するとバス使用权を獲得し、1回の転送ごとにバスを解放します。その後 DMA 転送の要求があるごとに、制御レジスタで指定した転送回数分の転送を終了するまで、この動作を繰り返します。

- ・ブロック転送モード

DMA 転送要求が発生するとバス使用权を獲得し、制御レジスタで指定した回数分の転送が終了するまでデータ転送を繰り返します。ただしバスは占有しません。

転送の種類と転送対象の関係 ( : 転送可, × : 転送不可)

システム・バス DMAC がサポートする転送対象は, システム・バスのスレーブになります( 図 9-1 内部バス構造とシステム・バス DMAC 参照 )。

表 9-1 システム・バス DMAC の転送対象

転送先 転送元	命令 RAM <sup>注</sup>	データ RAM	ワーク RAM	外部メモリ	SiP 内部接続 メモリ, ユーザ・レジスタ	内蔵周辺機能 (一部除く)
命令 RAM	×	×	×	×	×	×
データ RAM	×	×	×	×	×	×
ワーク RAM		×				
外部メモリ		×				
SiP 内部接続メモリ, ユーザ・レジスタ		×				
内蔵周辺機能 (一部除く)		×				

注 命令 RAM を転送先にする場合, 次ページの注意事項を守ってください。

#### 転送要求

- ・ハードウェアによる要求 (端子入力または割り込み要求等)
- ・ソフトウェアによる要求

#### アクノリッジ出力機能

- ・各チャンネルにアクノリッジ信号を出力

#### ターミナル・カウント出力機能

- ・指定した回数分の DMA 転送を終了するとターミナル・カウント信号を出力



- 注意 1. 命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトしてください。
2. 命令 RAM の書き込みは、以下の条件を守ってください。
- ・128 ビット (= 4 ワード = 16 バイト) で割り切れるデータ数を書き込んでください。
  - ・ライト・アクセスは、32 ビット (ワード) でのみアクセスしてください。
  - ・先頭アドレスは、128 ビット (= 4 ワード = 16 バイト) で割り切れるアドレスとしてください。
  - ・アドレスはインクリメント方向で連続して書き込んでください。
3. システム・バス DMAC を用いて、命令 RAM を転送先に選択する場合は、以下の設定を守ってください。
- ・トランザクション・バイト・レジスタの値 (Current トランザクション・バイト・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
  - ・デスティネーション・アドレス・レジスタの値 (Current デスティネーション・アドレス・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
  - ・チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn [2:0] の設定は 32 ビット以上に設定してください (n = 0-7)。
  - ・チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn の設定はインクリメントに設定してください (n = 0-7)。
4. 命令 RAM は、PFESiP/V850EP1 と異なり、常に有効となります。

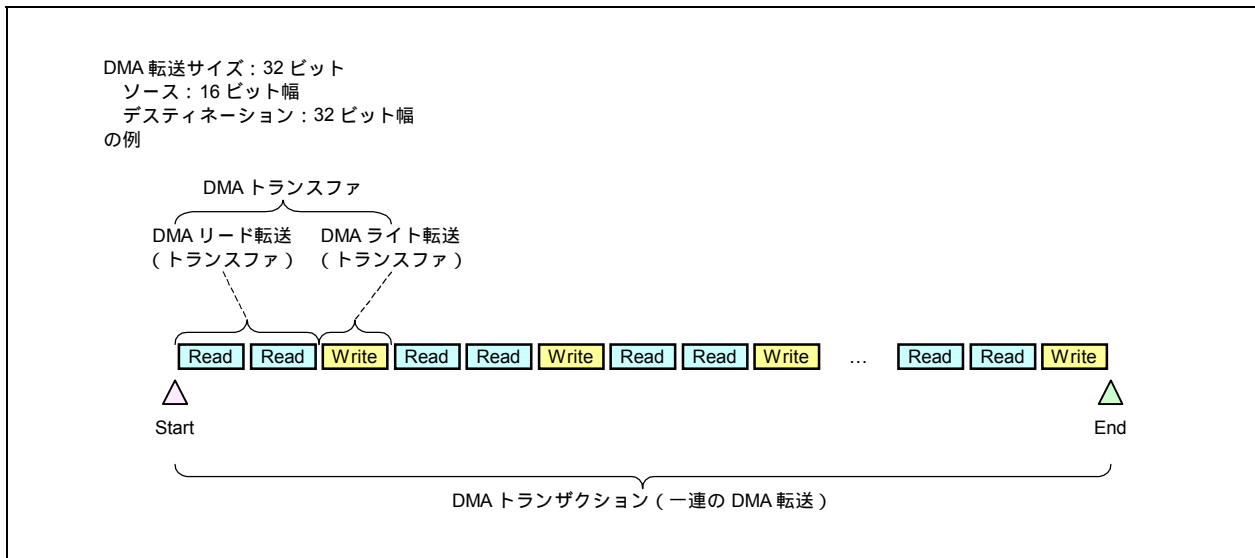
## 9.2 用語定義

システム・バス DMAC で使用している用語の定義は、次のとおりです。

**表 9-2 システム・バス DMAC の用語定義**

用語	定義
バースト	一回のバス・サイクルを意味します。
DMA 転送 (トランスファ)	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA 転送実行すること、すなわち一連の DMA 転送が完了するまでの期間を指します。
ディスクリプタ	DMAC がリンク・モード時にロードする DMA 転送設定が書かれたデータを意味します。
アライン	転送するアドレスが、トランスファ・サイズ境界の先頭を指している状態です。 具体的には、指定する先頭アドレスのビット $[(\log_2 \text{SIZE} - 1): 0]$ が 0 である状態です (SIZE: トランスファ・サイズ [バイト])。 ビート・アライン: 転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0 (または DDS2-DSS0) を転送サイズとする、アライン境界の先頭を指している状態です。
アンアライン	指定するアドレスが、転送するサイズのアライン境界の先頭を指していない状態です。 具体的には、指定する先頭アドレスのビット $[(\log_2 \text{SIZE} - 1): 0]$ が 0 でない状態です (SIZE: 転送サイズ [バイト])。 ビート・アンアライン: 転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0 (または DDS2-DDS0) を転送サイズとする、アライン境界の先頭を指していない状態です。

**図 9-2 転送の呼称**



システム・バス DMAC が実行する一回のリード/ライト転送を DMA トランスファと呼びます。また、設定した一連の DMA 転送 (トランスファ) の実行を DMA トランザクションと呼びます。

## 9.3 システム・バス DMAC のレジスタ

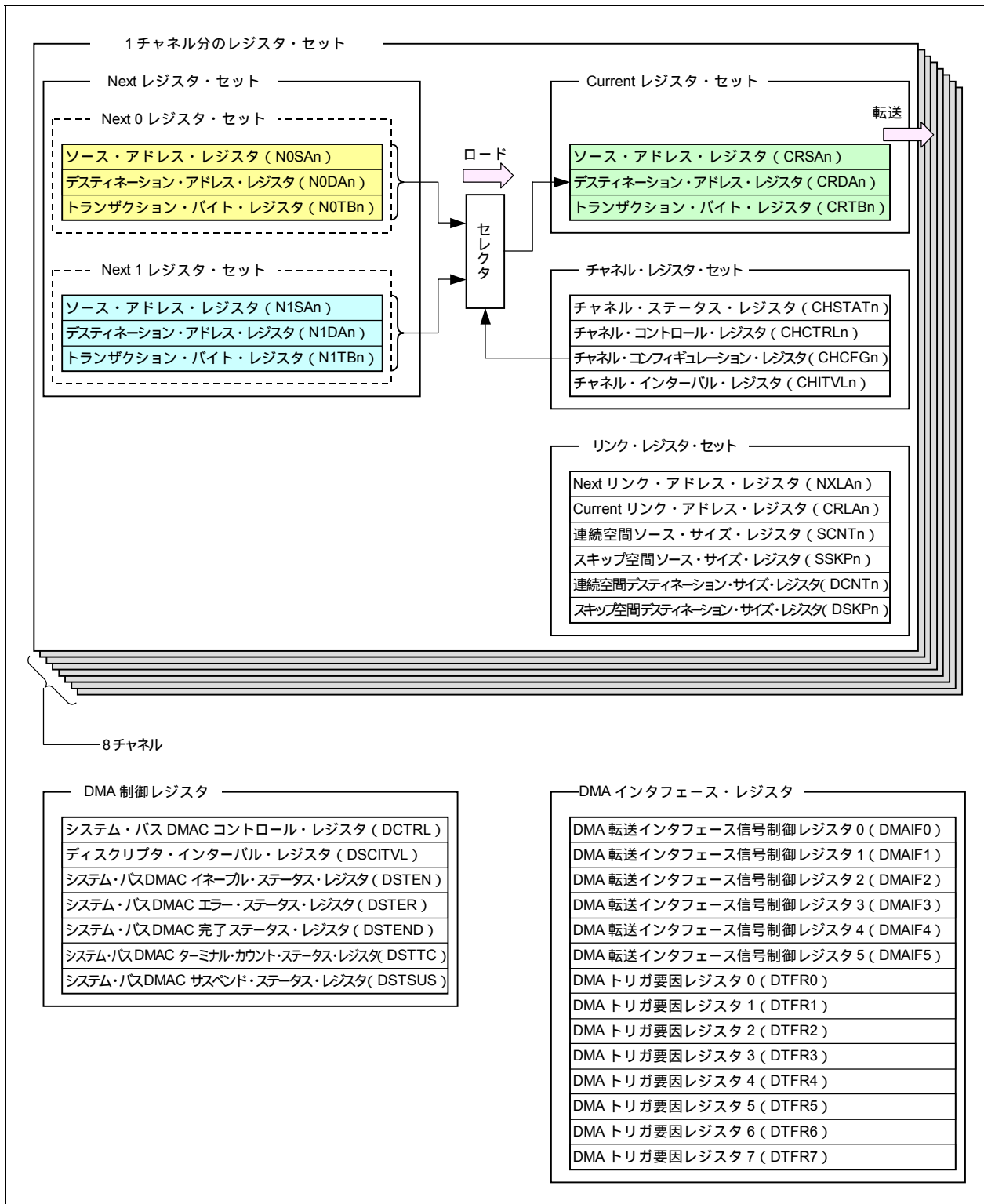
### 9.3.1 レジスタ構成

PFESiP/V850EP3 には、8 チャンネルのレジスタ・セットがあります。DMA 制御レジスタは、システム・バス DMAC 全体を制御するレジスタのため、1 セットのみです。

表 9-3 システム・バス DMAC のレジスタ構成

レジスタ	機能
Next レジスタ・セット	次に実行する DMA トランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。 Next0 レジスタ・セットと Next1 レジスタ・セットから構成されています。 レジスタ・モードではソフトウェアで設定してください。 リンク・モードでは、ディスクリプタ・リード・データが、自動的に Next0 レジスタ・セットに設定されます。 これらレジスタ・セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。
Current レジスタ・セット	現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。 Next0 / Next1 レジスタ・セット (レジスタ・モード)、またはディスクリプタ・リード・データ (リンク・モード) からロードされます。プログラムで直接書き込むことはできません。 DMA トランザクションを実行するごとに、自動的に更新されます。
チャンネル・レジスタ・セット	DMA 転送の設定を行うためのレジスタ・セットです。 このレジスタ・セットでは、チャンネル状態の表示、チャンネルの制御、DMA トランザクションの設定、DMA トランザクション間隔の設定などを行います。
リンク・レジスタ・セット	リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ (Next リンク・アドレス・レジスタ) と、現在実行しているディスクリプタ・アドレスを表示するレジスタ (Current リンク・アドレス・レジスタ)、およびスキップ機能を利用する場合の連続空間とスキップ空間のソース/デスティネーション・アドレス・レジスタから構成されています。 Current リンク・アドレス・レジスタは、ディスクリプタ・リードにより自動的に更新され、プログラムで直接書き込むことはできません。
DMA 制御レジスタ	DMA 全体を制御するレジスタと、各チャンネルの状態を表示するレジスタから構成されています。 チャンネルの優先順位の制御、各チャンネルのイネーブル/エラー/完了/ターミナル・カウント/サブバンドなどの状態を確認できます。
DMA インタフェース・レジスタ	DMAREQZ 信号、DMAACKZ 信号のタイミングをプログラマブルに設定する「DMA 転送インタフェース信号制御レジスタ」、割り込み信号と DMA チャンネルの関係を割り付ける「DMA トリガ要因レジスタ」で構成されています。

図 9-3 システム・バス DMAC のレジスタ構成図



備考 n = 0-7

### 9.3.2 Next レジスタ・セット

Current レジスタ・セットにロードされる Next レジスタ・セットです。

(1) Next ソース・アドレス・レジスタ (N0SAn, N1SAn)

DMA チャンネル n の DMA 転送元アドレスを設定します。

N0SAn は Next0 レジスタ・セット用, N1SAn は Next1 レジスタ・セット用です。

同一値で連続ライトを行うライト・オンリー・モード (CHCFGn.WONLYn = 1) 時には, 連続ライトを行うデータ設定に使用します (9.4.4 ライト・オンリー・モード参照)。

32 ビット単位でリード/ライト可能です。

N0SAn	31	0	アドレス	初期値
	<div style="border: 1px solid black; padding: 2px; text-align: center;">           通常モード時: 転送元アドレス            ライト・オンリー・モード時: ライト・データ         </div>		0F00 0800H + 40H × n	0000 0000H
R/W	R/W			
N1SAn	31	0	アドレス	初期値
	<div style="border: 1px solid black; padding: 2px; text-align: center;">           通常モード時: 転送元アドレス            ライト・オンリー・モード時: ライト・データ         </div>		0F00 0800H + 40H × n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意味
31-0	SA31-SA0	通常モード時の転送元アドレスです。 DMA 転送元の開始アドレスを設定します。
	WD31-WD0	ライト・オンリー・モード時のライト・データです。 同一値で連続ライトを行うライト・オンリー・モード時の, 連続ライトを行うデータを設定します。

**注意** N0SAn レジスタは, リンク・モード転送時には, ディスクリプタ・リード・データにより上書きされます。

**備考** n = 0-7

## (2) Next デスティネーション・アドレス・レジスタ (N0DAn, N1DAn)

DMA チャンネル n の DMA 転送先アドレスを設定します。

N0DAn は Next0 レジスタ・セット用, N1DAn は Next1 レジスタ・セット用です。

32 ビット単位でリード/ライト可能です。

	31		0	アドレス	初期値
N0DAn	転送先アドレス			0F00 0804H + 40H × n	0000 0000H
R/W	R/W				
	31		0	アドレス	初期値
N1DAn	転送先アドレス			0F00 0810H + 40H × n	0000 0000H
R/W	R/W				
ビット位置	ビット名	意 味			
31-0	DA31-DA0	転送先アドレスです。 DMA 転送先の開始アドレスを設定します。			

**注意** N0DAn レジスタは, リンク・モード転送時には, ディスクリプタ・リード・データにより上書きされます。

**備考** n = 0-7

## (3) Next トランザクション・バイト・レジスタ (N0TBn, N1TBn)

DMA チャンネル n の総転送バイト数 (DMA トランザクション) を設定します。

N0TBn は Next0 レジスタ・セット用, N1TBn は Next1 レジスタ・セット用です。

32 ビット単位でリード/ライト可能です。

**注意 1.** システム・バス DMAC では, 転送回数は, 総バイト数で設定することに注意してください。

**2.** トランザクション・バイト (バイト数) は, '0' は設定禁止です。

	31		0	アドレス	初期値
N0TBn	トランザクション・バイト			0F00 0808H + 40H × n	0000 0000H
R/W	R/W				
	31		0	アドレス	初期値
N1TBn	トランザクション・バイト			0F00 0814H + 40H × n	0000 0000H
R/W	R/W				
ビット位置	ビット名	意味			
31-0	TB31-TB0	トランザクション・バイト数です。 DMA トランザクションの総バイト数を設定します。			

**注意** N0TBn レジスタは, リンク・モード転送時には, ディスクリプタ・リード・データにより上書きされます。

**備考** n = 0-7

### 9.3.3 Current レジスタ・セット

Current レジスタ・セットは、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を示すリードのみ可能なレジスタです。

レジスタ・モード時は Next0 / Next1 レジスタ・セットから、リンク・モード時はディスクリプタ・リード・データから設定値がロードされます。ソフトウェアでの書き込みはできません。

#### (1) Current ソース・アドレス・レジスタ (CRSAn)

DMA チャンネル n の DMA 転送元アドレスを示します。

32 ビット単位でリードのみ可能です。

31	0	アドレス	初期値
CRSAn	転送元アドレス		0F00 0818H + 40H × n      0000 0000H
R/W	R		

ビット位置	ビット名	意味
31-0	CRSA31- CRSA0	<p>Current ソース・アドレス・レジスタです。</p> <p>次の DMA トランザクションのリード・アドレスを示します。DMA トランザクション中は、自動的に更新されず (CHCFGn.SADn = 1 の場合は固定。CHCFGn.WONLYn = 1 の場合は不定)。</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード時: N0SAn / N1SAn から転送元アドレスをロード</p> <p>リンク・モード時: ディスクリプタから転送元アドレスをロード。(ディスクリプタ・リード・データは N0SAn レジスタに代入され、転送時に CRSAn レジスタへ代入されます。)</p> <p>このレジスタの更新は DMA 転送のリード完了時に行われます。</p> <p>このレジスタの読み出しは、DMA 停止時 (CHSTATn.TACTn = 0 時) に行ってください。DMA 動作中の値は参考値で、保証されません。</p>

備考 n = 0-7



## (2) Current デスティネーション・アドレス・レジスタ (CRDAn)

DMA チャンネル n の DMA 転送先アドレスを示します。

32 ビット単位でリードのみ可能です。

31	0	アドレス	初期値
CRDAn	転送先アドレス		0F00 081CH + 40H × n      0000 0000H
R/W	R		
ビット位置	ビット名	意味	
31-0	CRDA31- CRDA0	<p>Current デスティネーション・アドレス・レジスタです。</p> <p>次の DMA トランザクションのライト・アドレスを示します。DMA トランザクション中は、自動的に更新されます (CHCFGn.SADn = 1 の場合は固定。CHCFGn.WONLYn = 1 の場合は不定)。</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード時: N0DAn / N1DAn から転送先アドレスをロード</p> <p>リンク・モード時: ディスクリプタから転送先アドレスをロード。(ディスクリプタ・リード・データは N0DAn レジスタに代入され、転送時に CRDAn レジスタへ代入されます。)</p> <p>このレジスタの更新は DMA 転送のライト完了時に行われます。</p> <p>このレジスタの読み出しは、DMA 停止時 (CHSTATn.TACTn = 0 時) に行ってください。DMA 動作中の値は参考値で、保証されません。</p>	

備考 n = 0-7

## (3) Current トランザクション・バイト・レジスタ (CRTBn)

DMA チャンネル n の、総転送バイト数を表示します。DMA トランザクション (一連の DMA 転送) 終了時には 0000 0000H になります。

32 ビット単位でリードのみ可能です。

31	0	アドレス	初期値
CRTBn	トランザクション・バイト・データ	0F00 0820H + 40H × n	0000 0000H
R/W	R		
ビット位置	ビット名	意味	
31-0	CRTB31- CRTB0	<p>Current トランザクション・バイト・レジスタです。</p> <p>現在実行している DMA トランザクション (一連の DMA 転送) の、残りの転送バイト数を表示します。DMA トランザクション中は、自動的にデクリメントされます。</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード時: N0TBAn / N1TBn から転送バイト数をロード</p> <p>リンク・モード時: ディスクリプタから転送バイト数をロード。(ディスクリプタ・リード・データを N0TBn レジスタに代入され、転送時に CRTBn レジスタへ代入されます。)</p> <p>このレジスタの更新は DMA 転送のライト完了時に行われます。</p> <p>このレジスタの読み出しは、DMA 停止時 (CHSTATn.TACTn = 0 時) に行ってください。DMA 動作中の値は参考値で、保証されません。</p>	

### 9.3.4 チャンネル・レジスタ・セット

チャンネル・レジスタ・セットは、DMA 転送動作、DMA 転送モードの設定、ステータス読み出しを行うレジスタ・セットです。

(1) チャンネル・ステータス・レジスタ n (CHSTATn)

DMA チャンネル n のステータスを読み出すレジスタです。

32 ビット単位でリードのみ可能です。

( 1/6 )

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		アドレス 0F00 0824H + 40H × n 初期値 0000 0000H																																													
CHSTATn	DNUMn	<table border="1" style="margin: auto;"> <tr> <td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td><td style="width: 10px; height: 15px;">0</td> </tr> <tr> <td style="writing-mode: vertical-rl; transform: rotate(180deg);">SWPRQn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">DMARQm</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">INTMn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">MODEn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">DERn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">DWn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">DLn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">SRn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">TCn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">ENDn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">ERn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">SUSn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">TACTn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">RQSTn</td><td style="writing-mode: vertical-rl; transform: rotate(180deg);">ENn</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWPRQn	DMARQm	INTMn	MODEn	DERn	DWn	DLn	SRn	TCn	ENDn	ERn	SUSn	TACTn	RQSTn	ENn	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																			
SWPRQn	DMARQm	INTMn	MODEn	DERn	DWn	DLn	SRn	TCn	ENDn	ERn	SUSn	TACTn	RQSTn	ENn																																		
R/W	R R R R R R R R R R	0 0																																														

ビット位置	ビット名	意味						
31-24	DNUMn	バッファ内の有効バイト数を表示します。 バッファ内のデータとは、転送元からリードして、転送先へライトしていないデータです。						
		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 33%;">インクリメント条件</th> <th style="width: 33%;">デクリメント条件</th> <th style="width: 33%;">クリア (0) 条件</th> </tr> <tr> <td> <ul style="list-style-type: none"> <li>・ DMA リード・トランスファ完了時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ DMA ライト・トランスファ完了時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ CHSTATn.ENn ビット・クリア条件</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul> </td> </tr> </table>	インクリメント条件	デクリメント条件	クリア (0) 条件	<ul style="list-style-type: none"> <li>・ DMA リード・トランスファ完了時</li> </ul>	<ul style="list-style-type: none"> <li>・ DMA ライト・トランスファ完了時</li> </ul>	<ul style="list-style-type: none"> <li>・ CHSTATn.ENn ビット・クリア条件</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul>
		インクリメント条件	デクリメント条件	クリア (0) 条件				
<ul style="list-style-type: none"> <li>・ DMA リード・トランスファ完了時</li> </ul>	<ul style="list-style-type: none"> <li>・ DMA ライト・トランスファ完了時</li> </ul>	<ul style="list-style-type: none"> <li>・ CHSTATn.ENn ビット・クリア条件</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul>						
リードすると 0 が読み出されます。								
23-19	Reserved	リードすると 0 が読み出されます。						
18	SWPRQn	強制掃き出し要求状態を表示します。 CHCTRLn.SETSSWPRQn ビットで起動した掃き出し要求の状態を示します。 0: 強制掃き出し要求がアサートされていない 1: 強制掃き出し要求がアサートされた						
		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 50%;">セット (1) 条件</th> <th style="width: 50%;">クリア (0) 条件</th> </tr> <tr> <td> <ul style="list-style-type: none"> <li>・ CHCTRLn.SETSSWPRQn ビットのセット (1)</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ 強制掃き出しによりバッファ内のデータ量が 0 になったとき</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul> </td> </tr> </table>	セット (1) 条件	クリア (0) 条件	<ul style="list-style-type: none"> <li>・ CHCTRLn.SETSSWPRQn ビットのセット (1)</li> </ul>	<ul style="list-style-type: none"> <li>・ 強制掃き出しによりバッファ内のデータ量が 0 になったとき</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul>		
		セット (1) 条件	クリア (0) 条件					
<ul style="list-style-type: none"> <li>・ CHCTRLn.SETSSWPRQn ビットのセット (1)</li> </ul>	<ul style="list-style-type: none"> <li>・ 強制掃き出しによりバッファ内のデータ量が 0 になったとき</li> <li>・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)</li> </ul>							
強制掃き出し要求状態を表示します。 CHCTRLn.SETSSWPRQn ビットで起動した掃き出し要求の状態を示します。 0: 強制掃き出し要求がアサートされていない 1: 強制掃き出し要求がアサートされた								

**備考 n = 0-7**

ビット位置	ビット名	意味	
17	DMARQMn	DMA 転送要求入力、一時マスク状態を示します。 0: マスクされていない 1: 一時マスク状態	
		セット (1) 条件	クリア (0) 条件
		・ CHCTRLn.SETINTMn ビットのセット (1)	・ CHCTRLn.CLRINTMn ビットのセット (1) ・ CHCTRLn.SWRSTn ビットのセット (1) X チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)
16	INTMn	INTDMAn 割り込み出力の一時マスク状態を表示します。 0: 一時マスク解除状態 1: 一時マスク状態	
		セット (1) 条件	クリア (0) 条件
		・ CHCTRLn.SETINTMn ビットのセット (1)	・ CHCTRLn.CLRINTMn ビットのセット (1) ・ CHCTRLn.SWRSTn ビットのセット (1) X チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)
15-12	Reserved	リードすると 0 が読み出されます。	
11	MODEn	DMA モードを示します。CHCFGn レジスタの DMSn ビットの設定値が反映されます。 0: レジスタ・モード 1: リンク・モード	
10	DERn	ディスクリプタ・エラー・ビットです。 リンク・モードで、リードしたディスクリプタのヘッダの LV (ディスクリプタの有効 / 無効ビット) ビットが 0 (ディスクリプタが無効) の場合にセット (1) されます。CHCFGn.DIMn ビットの値 (ディスクリプタ・エラー時の INTDMAn のマスク設定) には依存しません。 0: ディスクリプタ・エラーは発生していない 1: ディスクリプタ・エラー発生	
		セット (1) 条件	クリア (0) 条件
		・ リンク・モードで、CHCFGn.DRRPn = 0 (ディスクリプタが有効 (LV = 1) になるまでディスクリプタを読み続けるモード) で、ディスクリプタのヘッダ領域の LV ビットが 0 (ディスクリプタが無効) のとき	・ CHCTRLn.CLRDERn ビットのセット (1) (DER ビット: このビットのクリア操作) ・ CHCTRLn.SWRSTn ビットのセット (1) X チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)

備考 n = 0-7

ビット位置	ビット名	意味	
9	DWn	リンク・モードで、ディスクリプタのライトバック中にセット(1)されます。 ディスクリプタのライトバック時にバス・エラー <sup>注</sup> を受けた場合は、セット(1)されたままクリア(0)されません。	
		セット(1)条件	クリア(0)条件
		・ リンク・モードで、ヘッダをライトバック開始時	・ リンク・モードで、ヘッダのライトバック完了 ・ CHCTRLn.SWRSTn ビットのセット(1) X チャンネル・ステータス・レジスタ(CHSTATn: このレジスタ)のクリア操作)
8	DLn	リンク・モードで、ディスクリプタ・ロード中にセット(1)されます。 ディスクリプタ・ロード時にバス・エラー <sup>注</sup> を受けた場合は、セット(1)されたままクリア(0)されません。	
		セット(1)条件	クリア(0)条件
		・ リンク・モードで、ディスクリプタのロード中	・ リンク・モードで、ディスクリプタのロード完了 ・ CHCTRLn.SWRSTn ビットのセット(1) X チャンネル・ステータス・レジスタ(CHSTATn: このレジスタ)のクリア操作)
7	SRn	レジスタ・モードで、選択しているレジスタ・セットを示します。 0: Next0 レジスタ・セット 1: Next1 レジスタ・セット	
		セット(1)条件	クリア(0)条件
		・ CHCFGn.RSELn = 1 のとき (Next1 レジスタ・セット選択時)	・ CHCFGn.RSELn = 0 のとき (Next1 レジスタ・セット選択時)
6	TCn	DMA トランザクション(一連の DMA 転送)が完了するとセット(1)されます。 CHCFGn.TCMn = 0 (DMATCZn: ターミナル・カウンタ出力許可)時のみセット(1)されます。	
		セット(1)条件	クリア(0)条件
		・ レジスタ・モードで、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・ リンク・モードで、ディスクリプタのヘッダの WBD = 1 (ヘッダの LV ビットのライトバック禁止時)で、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・ リンク・モードで、ディスクリプタのヘッダの WBD = 0 で、ディスクリプタ・ライトバックが終了した場合	・ CHCTRLn.CLRTCn ビットのセット(1) (TCn ビット: このビットのクリア操作) ・ CHCTRLn.SWRSTn ビットのセット(1) X チャンネル・ステータス・レジスタ(CHSTATn: このレジスタ)のクリア操作)

**注 未定義領域へのアクセスなどでバス・エラーが発生します。CHCTRLn.SWRSTn ビットをセット(1)することで、このビットをクリア(0)できます。**

備考 n = 0-7

ビット位置	ビット名	意味	
5	ENDn	DMA トランザクション (一連の DMA 転送) が完了し, INTDMAn 発生時にセット (1) されます。	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>TCn ビットのセット (1) 条件, かつ CHCFGn.DEMn = 0 (INTDMAn : DMA 転送完了割り込み出力許可時)</li> <li>リンク・モードで, 以下のすべての条件が成立する場合 <ul style="list-style-type: none"> <li>ディスクリプタのヘッダの LV = 0 (ディスクリプタ無効)</li> <li>CHCFGn.DRRPn = 0 (ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット (1) して, ディスクリプタ・エラーとし, DMA 転送を停止)</li> <li>CHCFGn.DIMn = 0 (ディスクリプタのヘッダの LV ビットが 0 の場合にディスクリプタ・エラー割り込み (INTDMAn) の許可時)</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>CHCTRLn.CLRENDn ビットのセット (1) (ENDn ビット : このビットのクリア操作)</li> <li>CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)</li> </ul>
4	ERn <sup>注1</sup>	DMA 転送中に転送エラー <sup>注2</sup> が発生し, INTDMAERR 割り込みが発生するとセット (1) されます。	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>DMA 転送エラー発生<sup>注2</sup></li> </ul>	<ul style="list-style-type: none"> <li>CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)</li> </ul>
3	SUSn	DMA チャンネル n の一時停止 (サスペンド) 状態を示します。 0 : DMA チャンネル n は一時停止 (サスペンド) 状態ではない 1 : DMA チャンネル n は一時停止 (サスペンド) 状態	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>DMA チャンネル n の DMA トランザクション (一連の DMA 転送) 実行中に CHCTRLn.SETSUSn ビットをセット (1) し, DMA チャンネル n の DMA トランザクションを一時停止状態した場合</li> </ul>	<ul style="list-style-type: none"> <li>CHCTRLn.CLRSUSn ビットのセット (1) (一時停止状態の解除)</li> <li>CHCTRLn.CLRENN ビットのセット (1)</li> <li>CHSTATn.ENn ビット・クリア条件</li> </ul>
2	TACTn	DMA チャンネル n が動作中であることを示すビットです。 DMA チャンネル n が完全に停止していることを確認するために使用します。 0 : DMA チャンネル n の DMA は停止状態 1 : DMA チャンネル n の DMA は動作中	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>CHCTRLn.SETENn ビットのセット (1) (ディスクリプタ・リード開始または DMA トリガ待ち)</li> </ul>	<ul style="list-style-type: none"> <li>CHSTATn.ENn = 0 で, すべての DMA トランザクション (一連の DMA 転送) 完了時</li> </ul>

注 1. ERn ビットがセット (1) された転送は, その一連の DMA 転送を無効として処理してください。

2. 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

ビット位置	ビット名	意味	
1	RQSTn	転送要求を受け付けていることを示すビットです。 0 : DMA 転送要求を受けていない 1 : DMA 転送要求を受けている	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>CHCTRLn.STGn ビットのセット (1) (ソフトウェアによる DMA 起動時)</li> <li>DTCR レジスタで選択した, DMA 転送トリガが発生し, DMA 転送要求を受け付けた場合</li> </ul>	<ul style="list-style-type: none"> <li>CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)</li> <li>CHCTRLn.CLRRQn ビットのセット (1) (RQST ビット : このビットのクリア操作)</li> <li>シングル転送モード (CHCFGn.TMn = 0) モード時で, DMA 転送が終わったとき (CHCFGn.REQDn ビットで DMAACKZn 出力タイミングをリード時/ライト時が選択できます。ここで選択したリードまたはライトの DMA 転送が終わったときがクリア (0) 条件です。)</li> <li>レジスタ・モードで, すべての DMA トランザクション (一連の DMA 転送) が完了した場合 (CHCFGn.RENn = 0 (DMA トランザクション (一連の DMA 転送) 完了時に, 続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行わない) の場合)</li> <li>リンク・モードで, 最後のディスクリプタの DMA 転送を終了した場合 (ディスクリプタのヘッダの LE ビット = 1 (リンク終了) 時)</li> <li>リンク・モードで, ディスクリプタ読み込みで停止 (ヘッダの LV=0 &amp; DRRPn=0) した場合 (LV = 0 : ディスクリプタ無効) (CHCFGn.DRRPn = 0 : ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット (1) して, ディスクリプタ・エラーとし, DMA 転送を停止)</li> <li>リンク・モードで, CHCFGn.DEMn = 0 (DMA 転送完了割り込み (INTDMA<sub>n</sub>) 出力許可時の状態で, DMA トランザクション (一連の DMA 転送) を終了した場合)</li> <li>バス・エラー発生時</li> </ul>

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

ビット位置	ビット名	意味	
0	ENn	DMA チャンネル n の動作許可 / 停止状態を示します。 0 : 動作停止状態 1 : 動作許可状態	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>CHCTRLn.SETENn のセット (1)</li> </ul>	<ul style="list-style-type: none"> <li>CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)</li> <li>CHCTRLn.CLRENn ビットのセット (1) (EN ビット : このビットのクリア操作)</li> <li>レジスタ・モードで、すべての DMA トランザクション (一連の DMA 転送) が完了した場合 (CHCFGn.RENn = 0 (DMA トランザクション (一連の DMA 転送) 完了時に、続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行わない) の場合)</li> <li>リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合 (ディスクリプタのヘッダの LE ビット = 1 (リンク終了) 時) (ディスクリプタのヘッダの WBD ビット = 0 の場合はライトバック終了時)</li> <li>バス・エラー発生時</li> </ul>

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

- 注意 1. ENn ビットがセット (1) された転送は、その一連の DMA 転送を無効として処理してください。
2. DMA トランザクション (一連の DMA 転送) を中断する場合は、転送要求をマスクおよびクリアするか、ENn ビットをクリアしてください (手順は 9.5.13 転送中断機能に従ってください)。
3. 同一の DMA チャンネルに対して DMA 転送要求端子 (DMAREQzn) 入力による転送要求と、ソフトウェアによる転送要求 (CHCTRLn.STGn ビットのセット (1)) を併用すると、起動要因の特定ができません。いずれかの転送要求のみ使用してください。
4. ソフトウェアによる転送起動を行う場合、前回要求した DMA 転送動作の完了を Current レジスタなどで確認してから、CHCTRLn.STGn のビット操作を行ってください。



(2) チャネル・コントロール・レジスタ n (CHCTRLn)

DMA チャネル n の DMA 転送動作を制御するレジスタです。

32 ビット単位でライトのみ可能です。いずれのビットも 0 を書き込んだ場合は、動作に影響を与えません。リードした場合は、すべてのビットから 0 が読み出されます。

(1/3)

CHCTRLn	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス 0F00 0828H + 40H × n 初期値 0000 0000H	
	0	0	0	0	0	0	0	0	0	0	0	0	0	CLRDMARQMn	SETDMARQMn	CLRINTMn	SETINTMn	0	SETSSWPRQn	0	SETRENn	0	0	CLRSUSn	SETSUSn	CLRDENn	CLRTCn	CLRENDn	CLRRQn	SWFSn	STGn	CLRENn	SETENn	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	W	W	W	W	0	0	0	W	0	0	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意味
31-18	Reserved	必ず 0 を書き込んでください。
19	CLRDMARQMn	DTFRm ( m : SELn2-SELn0 ビットで選択 ) レジスタで選択した DMA 転送要求の一時マスク状態のクリア・ビットです。 このビットをセット ( 1 ) すると、ハードウェア DMA 転送要求の一時マスク状態をクリアします。これにより CHSTATn.DMARQMn ( DMA 転送要求の一時マスク状態 ) ビットがクリア ( 0 ) されます。 0 : 動作に影響を与えません。 1 : SETDMARQMn のセット ( 1 ) によるハードウェア DMA 転送要求の一時マスク状態を解除します。
18	SETDMARQMn	DTFRm ( m : SELn2-SELn0 ビットで選択 ) レジスタで選択した DMA 転送要求のマスク状態のセット・ビットです。 このビットをセット ( 1 ) すると、ハードウェア DMA 転送要求が一時的にマスク状態に設定されます。これにより、CHSTATn.DMARQMn ( DMA 転送要求の一時マスク状態 ) ビットがセット ( 1 ) されます。 0 : 動作に影響を与えません。 1 : ハードウェア DMA 転送要求を一時マスクします。
17	CLRINTMn	INTDMA n 出力のマスク状態のクリア・ビットです。 このビットをセット ( 1 ) すると、INTDMA n 出力のマスク状態が解除されます。これにより、CHSTATn.INTMn ( INTDMA n 割り込み出力の一時マスク状態 ) ビットがクリア ( 0 ) されます。DMA 転送完了状態でマスクを解除した場合は、INTDMA n は出力されません。 0 : 動作に影響を与えません。 1 : SETINTMn のセット ( 1 ) による INTDMA n 出力のマスク状態を解除します。
16	SETINTMn	INTDMA n 出力のマスク状態のセット・ビットです。 このビットをセット ( 1 ) すると、INTDMA n 出力が一時的にマスク状態に設定されます。これにより、CHSTATn.INTMn ( INTDMA n 割り込み出力の一時マスク状態 ) ビットがセット ( 1 ) されます。 0 : 動作に影響を与えません。 1 : INTDMA n 出力をマスクします。
15	Reserved	必ず 0 を書き込んでください。

**備考 n = 0-7**

ビット位置	ビット名	意味
14	SETSSWPRQn	バッファの強制掃き出しビットです。 このビットをセット(1)すると、バッファ内にあるデータを、転送先に強制的に掃き出します(9.5.7 強制掃き出し機能参照)。なお、CHCFGn.REQDn がセット(1)されていて、DMAACKZn がライト時にアサートされる設定の場合は、強制掃き出しは利用できません。 0: 動作に影響を与えません。 1: 転送先にライトしていないバッファ内のデータを転送先にライト(掃き出し)します。
13	Reserved	必ず0を書き込んでください。
12	SETRENn	レジスタ・モードで、DMA トランザクション(一連の DMA 転送)完了時に、続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行う場合に、このビットをセット(1)してください。 これにより、CHCFGn.RENn ビットがセット(1)されます。詳細は、チャンネル・コンフィギュレーション・レジスタ(CHCFGn)のRENn ビットを参照してください。 0: 動作に影響を与えません。 1: CHCFGn.RENn をセット(1)します。
11, 10	Reserved	必ず0を書き込んでください。
9	CLRSUSn	実行中の DMA チャンネル n の一時停止(サスペンド)状態の解除ビットです。 CHSTATn.SUSn = 1 のときに、このビットをセット(1)すると、DMA チャンネル n の一時停止(サスペンド)状態が解除されます。 0: 動作に影響を与えません。 1: 実行中の DMA 転送の一時停止(サスペンド)状態を解除します。
8	SETSUSn	実行中の DMA チャンネル n の一時停止(サスペンド)状態の設定ビットです。 CHSTATn.ENn = 1 (DMA チャンネル n の動作許可状態)のときに、このビットをセット(1)すると、実行中の DMA チャンネル n が一時停止(サスペンド)状態に設定されます。 0: 動作に影響を与えません。 1: 実行中の DMA 転送を一時停止(サスペンド)状態に設定します。
7	CLRDERn	リンク・モード時のディスクリプタ・エラーのクリア・ビットです。 このビットをセット(1)すると、CHSTATn.DERn(ディスクリプタ・エラー)ビットがクリア(0)されます。 0: 動作に影響を与えません。 1: CHSTATn.DERn(ディスクリプタ・エラー)ビットをクリア(0)。
6	CLRTCn	ターミナル・カウント(DMA トランザクション(一連の DMA 転送)完了)状態のクリア・ビットです。 このビットをセット(1)すると、CHSTATn.TCn(ターミナル・カウント)ビットがクリア(0)されます。 0: 動作に影響を与えません。 1: CHSTATn.TCn(ターミナル・カウント)ビットをクリア(0)
5	CLRENDn	DMA トランザクション(一連の DMA 転送)完了し、INTDMA <sub>n</sub> の発生と同時にセットされる CHSTATn.ENDn のクリア・ビットです。 このビットをセット(1)すると、CHSTATn.ENDn ビットがクリア(0)されます。 0: 動作に影響を与えません。 1: CHSTATn.ENDn ビットをクリア(0)。

備考 n = 0-7

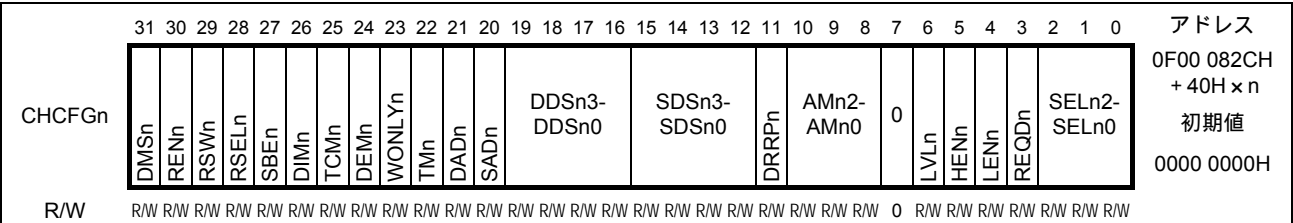
ビット位置	ビット名	意味
4	CLRRQn	DMA 転送要求のクリア・ビットです。 このビットをセット (1) すると、CHSTATn.RQSTn (DMA 転送要求) ビットがクリア (0) されます。 0: 動作に影響を与えません。 1: CHSTATn.RQSTn (DMA 転送要求) ビットをクリア (0)。
3	SWRSTn	DMA チャンネル n のソフトウェア・リセット・ビットです。 このビットをセット (1) するとソフトウェア・リセットが実行され、この操作がクリア条件となるチャンネル・ステータス・レジスタ (CHSTATn) の各ビットがクリア (0) されます。 このビットのセット (1) は、DMA チャンネル n の完全停止状態に行ってください。DMA チャンネル転送の完全停止状態は、CHSTATn.ENn = 0 かつ CHSTATn.TACTn = 0 で確認してください。 0: 動作に影響を与えません。 1: SWRSTn によるクリア条件のある CHSTATn レジスタの各ビットをクリア (0)
2	STGn	ソフトウェアで DMA 転送を起動するための、ソフトウェア・トリガ・ビットです。 このビットをセット (1) すると、内部転送要求をセットします (ソフトウェア起動)。 SWRSTn ビットと同時にセット (1) した場合は、SWRSTn ビットのセット (ソフトウェア・リセット) が優先されます。 0: 動作に影響を与えません。 1: ソフトウェアによる転送要求のセット (CHSTATn.RQSTn ビットをセット (1))
1	CLREn	DMA チャンネル n の動作停止設定ビットです。 このビットをセット (1) すると、CHSTATn.ENn ビットがクリア (0) され、DMA チャンネル n は動作停止状態になります (詳細は 9.5.13 転送中断機能参照)。 0: 動作に影響を与えません。 1: DMA チャンネル n の動作を停止 (CHSTATn.ENn ビットをクリア (0))
0	SETENn	DMA チャンネル n の動作許可設定ビットです。 このビットをセット (1) すると、CHSTATn.ENn ビットがセット (1) され、DMA チャンネル n は動作許可状態になります。SWRSTn ビットと同時にセット (1) した場合は、SWRSTn ビットのセット (ソフトウェア・リセット) が優先されます。 0: 動作に影響を与えません。 1: DMA チャンネル n の動作を許可 (CHSTATn.ENn ビットをセット (1))

備考 n = 0-7

(3) チャネル・コンフィギュレーション・レジスタ n (CHCFGn)

DMA チャネル n の DMA 動作モードを設定するレジスタです。  
32 ビット単位でリード/ライト可能です。

(1/7)



ビット位置	ビット名	意味	
31	DMSn	DMA 動作モードを選択します。 0 : レジスタ・モード (初期値) 1 : リンク・モード	
30	RENn	DMA トランザクション (一連の DMA 転送) 完了時に続けて DMA 転送を実行する動作を選択します。続けて実行する場合は、RSELn ビットで選択されている Next レジスタ・セットで DMA 転送を行います。 この設定は、レジスタ・モード時のみ有効です。 DMA トランザクション中にこのビットをセット (1) する場合は、CHCTRLn レジスタの SETERn ビットを使用することを推奨します。 0 : 連続実行しない。 1 : 連続実行する (RSELn ビットで選択されている Next レジスタ・セットを使う)	
		セット (1) 条件	クリア (0) 条件
		<ul style="list-style-type: none"> <li>このビットのセット (1)</li> <li>CHCTRLn.SETERn ビットのセット (1)</li> </ul>	<ul style="list-style-type: none"> <li>このビットのクリア (0)</li> <li>RENn = 1 のときに DMA トランザクション (一連の DMA 転送) 完了時</li> </ul>
29	RSWn	DMA トランザクション (一連の DMA 転送) 完了時の RSELn (Next レジスタ・セットの選択) ビットの値の反転動作を選択します。 この設定は、レジスタ・モード時のみ有効です。 0 : DMA トランザクション (一連の DMA 転送) 完了後に RSELn を反転しない (初期値)。 1 : DMA トランザクション (一連の DMA 転送) 完了後に RSELn を反転する。	
28	RSELn	次の DMA 転送に使用する Next レジスタ・セットを選択します。 この設定は、レジスタ・モード時のみ有効です。 RSWn = 1 の場合、DMA トランザクション (一連の DMA 転送) 完了時に自動的に反転されます。 0 : Next0 レジスタ・セットを使用する (初期値)。 1 : Next1 レジスタ・セットを使用する。	
27	SBEEn	DMA トランザクション (一連の DMA 転送) 中に、CHCTRLn.CLREn のクリア (0) により、DMA チャネル n の動作が停止された場合、すでにリードしてバッファに取り込んだデータの処理を選択します。ただし、REQDn = 1 で、ライト時に DMAACKZn を出力するモードを選択した場合は、このビットをセット (1) できません。 0 : バッファの掃き出し (ライト) をしないで転送中止 (初期値) 1 : バッファの掃き出し (ライト) をして転送中止	

備考 n = 0-7

(2/7)

ビット位置	ビット名	意味				
26	DIMn	リンク・モード時に、ディスクリプタのヘッダの LV ビットが 0 だった場合に、ディスクリプタ・エラー割り込み (INTDMAn) の動作を選択します。 0 : INTDMAn をマスクしない (初期値)。 1 : INTDMAn をマスクする。				
25	TCMn	ターミナル・カウント出力 (DMATCZm (m : SELn2-SELn0 ビットで選択)) のマスク・ビットです。 ターミナル・カウント出力のタイミングで、このビットがセット (1) されていた場合、DMATCZm を出力しません。また CHSTATn.TCn もセット (1) されません。このとき、レジスタ・モードでは自動的にクリア (0) され、リンク・モードではクリア (0) されません。 このビットは、ソフトウェアによる DMA 転送の制御を行う場合に使用してください。 0 : マスクしない (ターミナル・カウント出力 (DMATCZm) 許可 : 初期値) 1 : マスクする (ターミナル・カウント出力 (DMATCZm) 禁止)				
		<table border="1"> <thead> <tr> <th>セット (1) 条件</th> <th>クリア (0) 条件</th> </tr> </thead> <tbody> <tr> <td>・ このビットのセット (1)</td> <td>・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時</td> </tr> </tbody> </table>	セット (1) 条件	クリア (0) 条件	・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時
		セット (1) 条件	クリア (0) 条件			
・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時					
・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時					
24	DEMn	DMA トランザクション (一連の DMA 転送) 完了時に、INTDMAn の動作を選択します。 INTDMAn 発生タイミングで、このビットがセット (1) されていた場合、INTDMAn を出力しません。また CHSTATn.ENDn もセット (1) されません。このとき、レジスタ・モードでは自動的にクリア (0) され、リンク・モードではクリア (0) されません。 0 : マスクしない (INTDMAn 出力許可 : 初期値) 1 : マスクする (INTDMAn 出力禁止)				
		<table border="1"> <thead> <tr> <th>セット (1) 条件</th> <th>クリア (0) 条件</th> </tr> </thead> <tbody> <tr> <td>・ このビットのセット (1)</td> <td>・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時</td> </tr> </tbody> </table>	セット (1) 条件	クリア (0) 条件	・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時
		セット (1) 条件	クリア (0) 条件			
・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時					
・ このビットのセット (1)	・ このビットのクリア (0) ・ レジスタ・モードで、このビットがセット (1) されている状態で DMA トランザクション (一連の DMA 転送) 完了時					
23	WONLYn	通常モードとライト・オンリー・モードを選択します。 ライト・オンリー・モードでは、Next ソース・アドレス・レジスタ (N0SAn, N1SAn) に設定されたデータを、Next デスティネーション・アドレス・レジスタ (N0DAn, N1DAn) で示されるアドレスにライトします。 ライト・オンリー・モードは、同一値で連続ライトを行う場合に利用します。 0 : 通常動作 (初期値) 1 : ライト・オンリー・モード				
22	TMn	DMA 転送モードを選択します。 0 : シングル転送モード (DMA 転送要求ごとに、1 回の転送を行う : 初期値) 1 : ブロック転送モード (1 回の DMA 転送要求で、トランザクション・バイト・レジスタに設定したバイト数分の転送を行う)				

備考 n = 0-7

ビット位置	ビット名	意味																																				
21	DADn	DMA チャンネル n の転送先 (デスティネーション) アドレスのカウント方向を設定します。 0: インクリメント (初期値) 1: 固定  <b>注意</b> デスティネーション側でスキップ・モードを使う場合、またはデスティネーション側がビート・アンアラインの場合は、DADn = 1 (固定) は選択しないでください。																																				
20	SADn	DMA チャンネル n の転送元 (ソース) アドレスのカウント方向を設定します。 0: インクリメント (初期値) 1: 固定  <b>注意</b> ソース側でスキップ・モードを使う場合、またはソース側がビート・アンアラインの場合は、SADn = 1 (固定) は選択しないでください。																																				
19	DDSn3	DMA 転送先 (デスティネーション) のアドレッシングを、通常モードとスキップ・モードを選択します。 0: 通常モード (初期値) 1: スキップ・モード																																				
18-16	DDSn2- DDSn0	DMA 転送先 (デスティネーション) の転送サイズを設定します。 <table border="1" data-bbox="507 1093 1369 1496"> <thead> <tr> <th>DDSn2</th> <th>DDSn1</th> <th>DDSn0</th> <th>DMA 転送先 (デスティネーション) の転送サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>256 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>512 ビット<sup>※</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> <b>注</b> 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。	DDSn2	DDSn1	DDSn0	DMA 転送先 (デスティネーション) の転送サイズ	0	0	0	8 ビット (初期値)	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	設定禁止	1	0	0	128 ビット	1	0	1	256 ビット	1	1	0	512 ビット <sup>※</sup>	1	1	1	設定禁止
DDSn2	DDSn1	DDSn0	DMA 転送先 (デスティネーション) の転送サイズ																																			
0	0	0	8 ビット (初期値)																																			
0	0	1	16 ビット																																			
0	1	0	32 ビット																																			
0	1	1	設定禁止																																			
1	0	0	128 ビット																																			
1	0	1	256 ビット																																			
1	1	0	512 ビット <sup>※</sup>																																			
1	1	1	設定禁止																																			
15	SDSn3	DMA 転送元 (ソース) のアドレッシングを、通常モードとスキップ・モードを選択します。 0: 通常モード (初期値) 1: スキップ・モード																																				

備考 n = 0-7

ビット位置	ビット名	意味																																				
14-12	SDSn2-SDSn0	<p>DMA 転送元 (ソース) の転送サイズを設定します。</p> <table border="1"> <thead> <tr> <th>SDSn2</th> <th>SDSn1</th> <th>SDSn0</th> <th>DMA 転送元 (ソース) の転送サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>256 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>512 ビット<sup>注</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注</b> 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。</p>	SDSn2	SDSn1	SDSn0	DMA 転送元 (ソース) の転送サイズ	0	0	0	8 ビット (初期値)	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	設定禁止	1	0	0	128 ビット	1	0	1	256 ビット	1	1	0	512 ビット <sup>注</sup>	1	1	1	設定禁止
SDSn2	SDSn1	SDSn0	DMA 転送元 (ソース) の転送サイズ																																			
0	0	0	8 ビット (初期値)																																			
0	0	1	16 ビット																																			
0	1	0	32 ビット																																			
0	1	1	設定禁止																																			
1	0	0	128 ビット																																			
1	0	1	256 ビット																																			
1	1	0	512 ビット <sup>注</sup>																																			
1	1	1	設定禁止																																			
11	DRRPn	<p>リンク・モードで、ディスクリプタのヘッダが無効 (LV=0) だった場合の動作を選択します。</p> <p>0: CHSTATn.DERn (ディスクリプタ・エラー) ビットをセット (1) し、動作を停止します (初期値)。</p> <p>1: LV=1 になるまで、同じディスクリプタをリードし続けます。LV=1 になった時点で、そのディスクリプタを用いた DMA 転送を開始します。ディスクリプタをリードする間隔は、ディスクリプタ・インターバル・レジスタ (DSCITVL) で設定してください。</p>																																				

備考 n = 0-7

ビット位置	ビット名	意味																				
10-8	AMn2-AMn0	<p>DMA アクノリッジ信号の出力モードを選択します。</p> <table border="1"> <thead> <tr> <th>AMn2</th> <th>AMn1</th> <th>AMn0</th> <th>DMA アクノリッジ信号 (DMAACKZm) の出力モード (m : SELn2-SELn0 ビットで選択)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>パルス・モード<sup>1</sup> (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベル・モード<sup>2</sup>, UART 送信 / 受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZm) がインアクティブになるまで、アクティブ・レベルを保持します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>X</td> <td>バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>DMA アクノリッジ信号 (DMAACKZm) の出力禁止</td> </tr> </tbody> </table> <p>注 1. 1×BUSCLK 周期のパルスが DMAACKZn 信号として出力されます。</p> <p>2. DTFR レジスタで、UART 送信 / 受信 FIFO DMA 転送要求を選択し、UART の DMA インタフェース機能を利用する場合は、AMn2-AMn0 は、001b とし、レベル・モードを指定してください。</p> <p>注意 1. DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AMn2-AMn0 の設定は動作に影響しません。</p> <p>2. AMn2-AMn0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AMn2-AMn0 を用いて DMAACKZn 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や、DMAREQZn のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。</p> <p>備考 X : Don't Care</p>	AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZm) の出力モード (m : SELn2-SELn0 ビットで選択)	0	0	0	パルス・モード <sup>1</sup> (初期値)	0	0	1	レベル・モード <sup>2</sup> , UART 送信 / 受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZm) がインアクティブになるまで、アクティブ・レベルを保持します。	0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。	1	X	X	DMA アクノリッジ信号 (DMAACKZm) の出力禁止
AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZm) の出力モード (m : SELn2-SELn0 ビットで選択)																			
0	0	0	パルス・モード <sup>1</sup> (初期値)																			
0	0	1	レベル・モード <sup>2</sup> , UART 送信 / 受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZm) がインアクティブになるまで、アクティブ・レベルを保持します。																			
0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。																			
1	X	X	DMA アクノリッジ信号 (DMAACKZm) の出力禁止																			
7	Reserved	必ず 0 を書き込んでください。																				

備考 n = 0-7



ビット位置	ビット名	意味																																								
6	LVLn	DMA 転送要求信号の検出方法を選択します。 DMA 転送要求は、DMA トリガ要因選択レジスタ n (DTFRn) で選択します。選択した DMA 転送要求により、DMA 転送要求信号の検出方法が異なります。 <b>【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】</b> 内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZn, DMAACKZn, DMATCZn, SDMAREQZm, SDMAACKZm, SDMATCZm : n = 0-3, m = 0, 1) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HENn, LENn ビットの設定と逆の論理が選択されます。 <table border="1" data-bbox="507 656 1390 1111"> <thead> <tr> <th rowspan="2">LVLn</th> <th rowspan="2">HENn</th> <th rowspan="2">LENn</th> <th colspan="2">DMAREQZ0-DMQREQZ3, SDMAREQZ0, SDMAREQZ1 の DMA 転送要求信号の検出方法</th> </tr> <tr> <th>内部信号</th> <th>外部端子</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="4">0</td> <td>0</td> <td rowspan="4">エッジ検出</td> <td>検出無効</td> </tr> <tr> <td>1</td> <td>立ち上がり検出</td> </tr> <tr> <td>0</td> <td>立ち下がり検出</td> </tr> <tr> <td>1</td> <td>立ち上がり/立ち下がり検出 (推奨しません)</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="4">0</td> <td>0</td> <td rowspan="4">レベル検出</td> <td>検出無効</td> </tr> <tr> <td>1</td> <td>ロー・レベル検出</td> </tr> <tr> <td>0</td> <td>ハイ・レベル検出</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="4">1</td> <td>0</td> <td rowspan="4">レベル検出</td> <td>検出無効</td> </tr> <tr> <td>1</td> <td>ロー・レベル検出</td> </tr> <tr> <td>0</td> <td>ハイ・レベル検出</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	LVLn	HENn	LENn	DMAREQZ0-DMQREQZ3, SDMAREQZ0, SDMAREQZ1 の DMA 転送要求信号の検出方法		内部信号	外部端子	0	0	0	エッジ検出	検出無効	1	立ち上がり検出	0	立ち下がり検出	1	立ち上がり/立ち下がり検出 (推奨しません)	1	0	0	レベル検出	検出無効	1	ロー・レベル検出	0	ハイ・レベル検出	1	設定禁止	1	1	0	レベル検出	検出無効	1	ロー・レベル検出	0	ハイ・レベル検出	1	設定禁止
LVLn	HENn					LENn	DMAREQZ0-DMQREQZ3, SDMAREQZ0, SDMAREQZ1 の DMA 転送要求信号の検出方法																																			
			内部信号	外部端子																																						
0	0	0	エッジ検出	検出無効																																						
		1		立ち上がり検出																																						
		0		立ち下がり検出																																						
		1		立ち上がり/立ち下がり検出 (推奨しません)																																						
1	0	0	レベル検出	検出無効																																						
		1		ロー・レベル検出																																						
		0		ハイ・レベル検出																																						
		1		設定禁止																																						
1	1	0	レベル検出	検出無効																																						
		1		ロー・レベル検出																																						
		0		ハイ・レベル検出																																						
		1		設定禁止																																						
5	HENn																																									
4	LENn																																									
<b>【DMA 転送要求信号が割り込み信号 (INT ~ ではじまる信号) の場合】</b> <table border="1" data-bbox="507 1205 1390 1458"> <thead> <tr> <th>LVLn</th> <th>HENn</th> <th>LENn</th> <th colspan="2">割り込み信号による DMA 転送要求信号の検出方法</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="4">0</td> <td>0</td> <td rowspan="4">エッジ検出</td> <td>検出無効</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>立ち上がり検出</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>×</td> <td>×</td> <td>レベル検出</td> <td>設定禁止</td> </tr> </tbody> </table>			LVLn	HENn	LENn	割り込み信号による DMA 転送要求信号の検出方法		0	0	0	エッジ検出	検出無効	1	設定禁止	0	立ち上がり検出	1	設定禁止	1	×	×	レベル検出	設定禁止																			
LVLn	HENn	LENn	割り込み信号による DMA 転送要求信号の検出方法																																							
0	0	0	エッジ検出	検出無効																																						
		1		設定禁止																																						
		0		立ち上がり検出																																						
		1		設定禁止																																						
1	×	×	レベル検出	設定禁止																																						
<b>【DMA 転送要求信号が内蔵アシンクロナス・シリアル・インタフェース (UART) からの場合】</b> <table border="1" data-bbox="507 1552 1390 1805"> <thead> <tr> <th>LVLn</th> <th>HENn</th> <th>LENn</th> <th colspan="2">内蔵 UART からの DMA 転送要求信号の検出方法</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>×</td> <td>×</td> <td>エッジ検出</td> <td>設定禁止</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="4">0</td> <td>0</td> <td rowspan="4">レベル検出</td> <td>検出無効</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>ハイ・レベル検出</td> </tr> <tr> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>			LVLn	HENn	LENn	内蔵 UART からの DMA 転送要求信号の検出方法		0	×	×	エッジ検出	設定禁止	1	0	0	レベル検出	検出無効	1	設定禁止	0	ハイ・レベル検出	1	設定禁止																			
LVLn	HENn	LENn	内蔵 UART からの DMA 転送要求信号の検出方法																																							
0	×	×	エッジ検出	設定禁止																																						
1	0	0	レベル検出	検出無効																																						
		1		設定禁止																																						
		0		ハイ・レベル検出																																						
		1		設定禁止																																						

備考 n = 0-7

(7/7)

ビット位置	ビット名	意味																																				
3	REQDn	DMAACKZm ( m : SELn2-SELn0 ビットで選択 ) がアクティブになるタイミングを選択します。 通常は、DMAREQZm をアサートした側に DMAACKZm を出力するように設定します。 0 : DMAACKZm はリード時にアクティブ ( DMAREQZm は転送元 : ソース ) 1 : DMAACKZm はライト時にアクティブ ( DMAREQZm は転送先 : デスティネーション )																																				
2-0	SELn2- SELn0	チャンネルごとに対応する DMA トリガ要因選択レジスタ m ( DTFRm ) を選択します。 <table border="1" data-bbox="507 551 1370 952"> <thead> <tr> <th>SELn2</th> <th>SELn1</th> <th>SELn0</th> <th>DMA トリガ要因選択レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>DTFR0 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>DTFR1 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>DTFR2 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>DTFR3 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>DTFR4 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>DTFR5 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>DTFR6 で選択された DMA 転送要因を選択</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>DTFR7 で選択された DMA 転送要因を選択</td> </tr> </tbody> </table>	SELn2	SELn1	SELn0	DMA トリガ要因選択レジスタの選択	0	0	0	DTFR0 で選択された DMA 転送要因を選択	0	0	1	DTFR1 で選択された DMA 転送要因を選択	0	1	0	DTFR2 で選択された DMA 転送要因を選択	0	1	1	DTFR3 で選択された DMA 転送要因を選択	1	0	0	DTFR4 で選択された DMA 転送要因を選択	1	0	1	DTFR5 で選択された DMA 転送要因を選択	1	1	0	DTFR6 で選択された DMA 転送要因を選択	1	1	1	DTFR7 で選択された DMA 転送要因を選択
SELn2	SELn1	SELn0	DMA トリガ要因選択レジスタの選択																																			
0	0	0	DTFR0 で選択された DMA 転送要因を選択																																			
0	0	1	DTFR1 で選択された DMA 転送要因を選択																																			
0	1	0	DTFR2 で選択された DMA 転送要因を選択																																			
0	1	1	DTFR3 で選択された DMA 転送要因を選択																																			
1	0	0	DTFR4 で選択された DMA 転送要因を選択																																			
1	0	1	DTFR5 で選択された DMA 転送要因を選択																																			
1	1	0	DTFR6 で選択された DMA 転送要因を選択																																			
1	1	1	DTFR7 で選択された DMA 転送要因を選択																																			

備考 n = 0-7 , m = 0-7

(4) チャネル・インターバル・レジスタ n (CHITVLn)

DMA チャネル n の DMA トランスファ間隔を設定するレジスタです。

システム・バス・クロック (HCLK) 周期 × ITVL15-ITVL0 設定値の間隔を設定できます。

32 ビット単位でリード/ライト可能です。

詳細は、「9.5.9 インターバル・カウント機能」を参照してください。

31	0	16 15	0	アドレス	初期値
CHITVLn	ITVL15-ITVL0			0F00 0830H + 40H × n	0000 0000H
R/W	0		R/W		

ビット位置	ビット名	意 味
31-16	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。
15-0	ITVL15- ITVL0	DMA チャネル n の DMA トランスファ間隔を設定してください。

**備考 n = 0-7**

### 9.3.5 リンク・レジスタ・セット

リンク・モード時にリンク先を示すレジスタ・セットです。

NXLAn レジスタにディスクリプタ・アドレスを設定して DMA を起動すると、ハードウェアにより NXLAn レジスタの値が CRLAn レジスタへロードされ、ディスクリプタ・リードを行い、DMAC はそのディスクリプタ値に従って DMA トランザクションを開始します。NXLAn レジスタは、リードしたディスクリプタ中のリンク・アドレス値で自動的に更新され、次の DMA トランザクションのディスクリプタ・アドレスとして使用されます。

#### (1) Next リンク・アドレス・レジスタ n (NXLAn)

DMA チャンネル n のリンク・アドレスを設定するレジスタです。

リンク・モード時のディスクリプタが配置されているアドレスを設定します。

32 ビット単位でリード/ライト可能です。

リンク・モードについては、9.4.3 リンク・モードを参照してください。

NXLAn	31		2 1 0		アドレス	初期値
	NXLAn31-NXLAn2				0 0	0F00 0838H + 40H × n
R/W	R/W		0 0			
ビット位置	ビット名	意味				
31-0	NXLAn31- NXLAn2	リンク・モード時のリンク先アドレスを設定します。 ワード (32 ビット) ・アラインされたアドレスのみ設定できます。下位 2 ビットは 0 固定です。				
<b>備考 n = 0-7</b>						

**注意** 命令 RAM 領域、データ RAM 領域はリンク先アドレスに指定することはできません。命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

#### (2) Current リンク・アドレス・レジスタ n (CRLAn)

リンク・モードに、現在実行しているディスクリプタのアドレスです。

32 ビット単位でリードのみ可能です。

CRLAn	31		0		アドレス	初期値
	CRLAn31-CRLAn0				0F00 083CH + 40H × n	0000 0000H
R/W	R					
ビット位置	ビット名	意味				
31-0	CRLAn31- CRLAn0	リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。				
<b>備考 n = 0-7</b>						

## (3) 連続空間ソース・サイズ・レジスタ n (SCNTn)

DMA チャンネル n で、転送元アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。

このレジスタは、スキップ空間ソース・サイズ・レジスタ (SSKPn) とペアで使用します (図 9-4 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の SDSn3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の SADn ビットは、セット (1: 転送元アドレス固定) しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

32 ビット単位でリード/ライト可能です。

SCNTn	31	0	アドレス	初期値
	SCNTn31-SCNTn0		0F00 0A00H + 20H × n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意味		
31-0	SCNTn31- SCNTn0	スキップ・モード時に、転送元アドレスの連続アクセス空間サイズを、バイト数で指定します。		
<b>備考 n = 0-7</b>				

## (4) スキップ空間ソース・サイズ・レジスタ n (SSKPn)

DMA チャンネル n で、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。

このレジスタは、連続空間ソース・サイズ・レジスタ n (SCNTn) とペアで使用します (図 9-4 参照)。

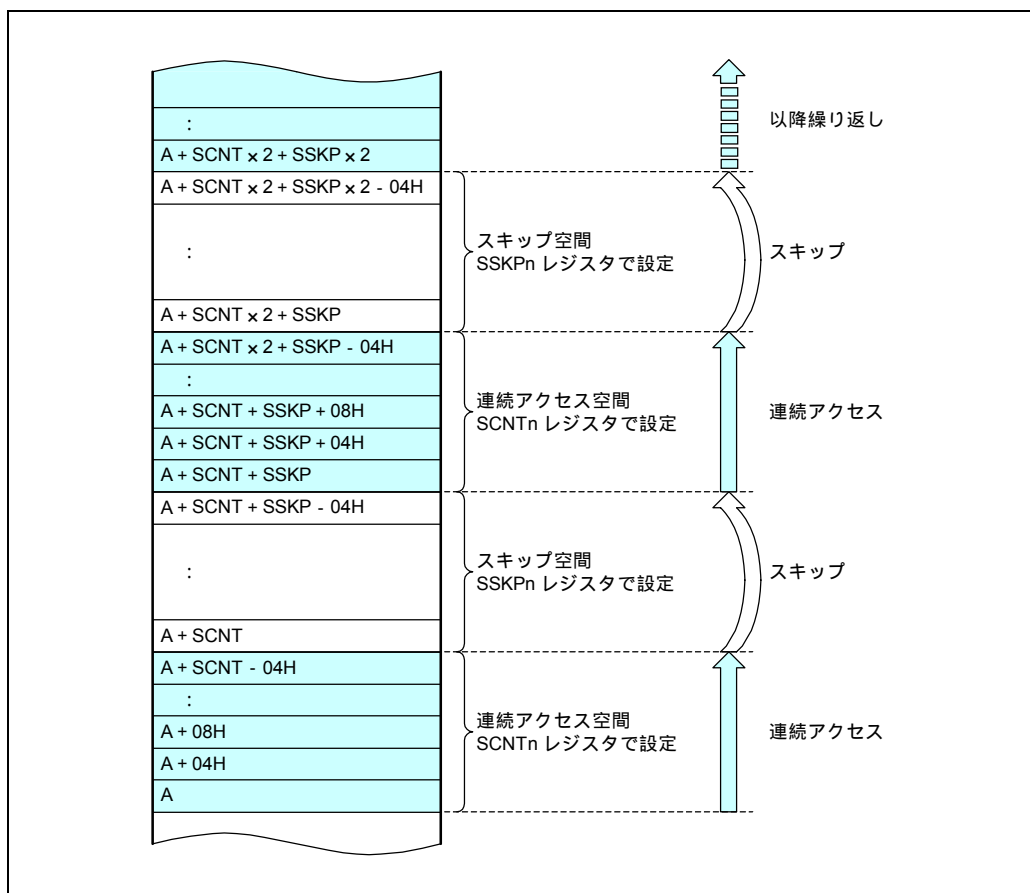
転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の SDSn3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の SADn ビットは、セット (1: 転送元アドレス固定) しないでください。

32 ビット単位でリード/ライト可能です。

SSKPn	31	0	アドレス	初期値
	SSKPn31-SSKPn0		0F00 0A04H + 20H × n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意味		
31-0	SSKPn31- SSKPn0	スキップ・モード時に、転送元アドレスのスキップ空間サイズを、バイト数で指定します。		
<b>備考 n = 0-7</b>				

図 9-4 スキップ・モード時の SSKPn レジスタと SCNTn レジスタの関係



**備考** SCNTn, SSKPn の値は、転送元アドレス、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の SDSn2-SDSn0 ビット (ソース・データ・サイズ) の設定値に関係なく設定できます。システム・バス DMAC は、SDSn2-SDSn0 設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

## (5) 連続空間デスティネーション・サイズ・レジスタ n (DCNTn)

DMA チャンネル n で、転送先アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。

このレジスタは、スキップ空間デスティネーション・サイズ・レジスタ (DSKPn) とペアで使用します (図 9-5 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn ビットは、セット (1: 転送元アドレス固定) しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

32 ビット単位でリード/ライト可能です。

DCNTn	31	0	アドレス	初期値
	DCNTn31-DCNTn0		0F00 0A08H + 20H × n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意味		
31-0	DCNTn31- DCNTn0	スキップ・モード時に、転送先アドレスの連続アクセス空間サイズを、バイト数で指定します。		
<b>備考 n = 0-7</b>				

## (6) スキップ空間デスティネーション・サイズ・レジスタ n (DSKPn)

DMA チャンネル n で、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。

このレジスタは、連続空間デスティネーション・サイズ・レジスタ n (DCNTn) とペアで使用します (図 9-5 参照)。

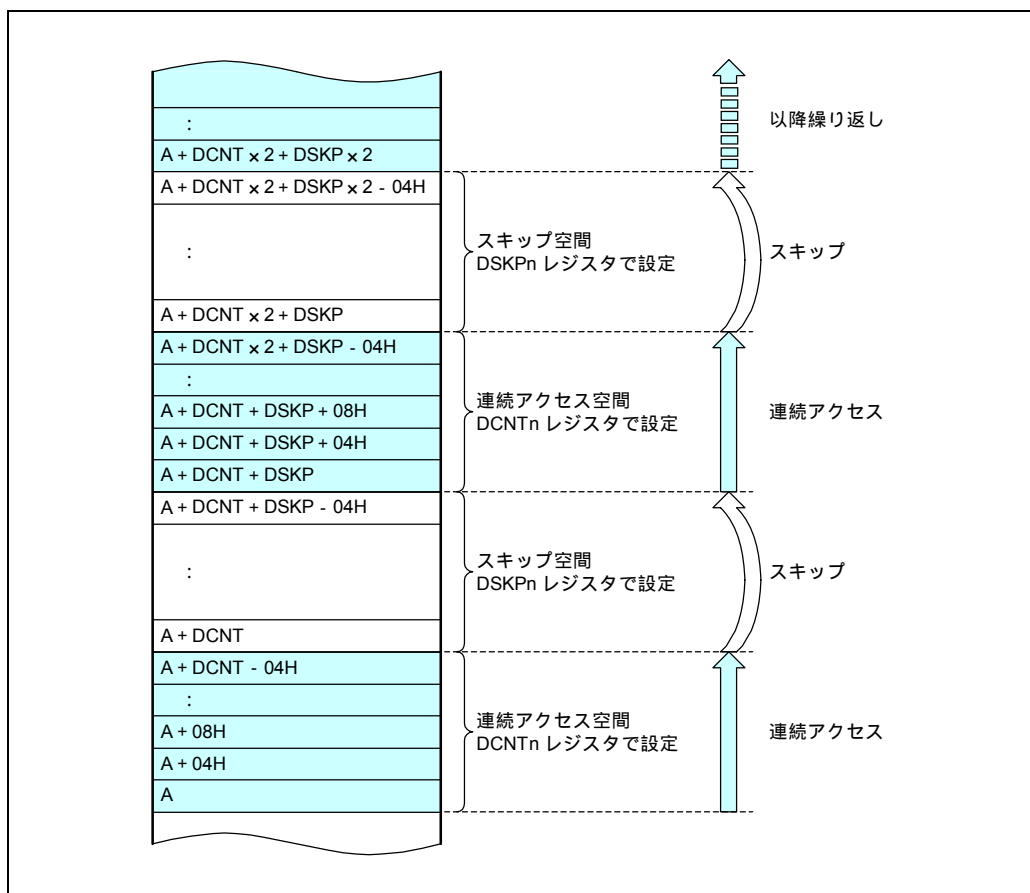
転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn ビットは、セット (1: 転送元アドレス固定) しないでください。

32 ビット単位でリード/ライト可能です。

DSKPn	31	0	アドレス	初期値
	DSKPn31-DSKPn0		0F00 0A0CH + 20H × n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意味		
31-0	DSKPn31- DSKPn0	スキップ・モード時に、転送先アドレスのスキップ空間サイズを、バイト数で指定します。		
<b>備考 n = 0-7</b>				

図 9-5 スキップ・モード時の DSKPn レジスタと DCNTn レジスタの関係



**備考** DCNTn, DSKPn の値は、転送元アドレス、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn2-DDSn0 ビット (デスティネーション・データ・サイズ) の設定値に関係なく設定できます。システム・バス DMAC は、DDSn2-DDSn0 設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。



### 9.3.6 DMA 制御レジスタ

DMA 制御レジスタは、全チャンネルに共通の制御レジスタです。

#### (1) システム・バス DMAC コントロール・レジスタ (DCTRL)

転送優先順位制御モードを選択するレジスタです。

ビット 31-1 には、必ず 0 を設定してください。

32 ビット単位でリード/ライト可能です。

	31		1	0	アドレス	初期値
DCTRLn	0			PR	0F00 0B00H	0000 0000H
R/W	0			R/W		
ビット位置	ビット名	意味				
31-1	Reserved	必ず 0 を書き込んでください。				
0	PR	転送優先順位制御モードを選択します (9.5.2 DMA チャンネルの優先順位制御参照)。 0: 固定優先順位モード 1: ラウンドロビン・モード				

#### (2) ディスクリプタ・インターバル・レジスタ (DSCITVL)

チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) の DRRPn ビットをセット (1) した場合は、リンク・モード時のディスクリプタのヘッダをリードした際、LV ビットが 0 (ディスクリプタ無効) の場合、LV = 1 になるまでディスクリプタをリードし続けます。

このときのリード間隔を設定するレジスタです。システム・バス・クロック (HCLK) 周期 × 256 単位で設定できます。

32 ビット単位でリード/ライト可能です。

	31		16	15		8	7	0	アドレス	初期値
DSCITVL	0			DITVL15-DITVL8		0			0F00 0B04H	0000 0000H
R/W	0			R/W		0				
ビット位置	ビット名	意味								
31-16	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。								
15-8	DITVL15-DITVL8	ディスクリプタのヘッダの LV ビットが 1 になるまでリードし続けるときの、リード間隔を設定します。 (DITVL15-DITVL8 設定値) × 256 × システム・バス・クロック (HCLK) 周期で、ディスクリプタをリードします。								
7-0	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。								

## (3) システム・バス DMAC イネーブル・ステータス・レジスタ (DSTEN)

全 DMA チャンネルの ENn (イネーブル) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。

ENn = 1 (DMA チャンネル n 許可) とする場合は、チャンネル・コントロール・レジスタ (CHCTRLn) の SETENn ビットをセット (1) してください。

ENn = 0 (DMA チャンネル n 停止) とする場合は、チャンネル・コントロール・レジスタ (CHCTRLn) の CLREn ビットをセット (1) してください。

**備考 1. 各 DMA チャンネルの ENn ビットは、チャンネル・ステータス・レジスタ (CHSTATn) レジスタの 0 ビット目にあります。**

**2. n = 0-7**

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
DSTEN		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	0F00 0B10H 初期値 0000 0000H
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7	EN7	DMA チャンネル 7 の EN7 (DMA 許可状態) ビットを表示します。
6	EN6	DMA チャンネル 6 の EN6 (DMA 許可状態) ビットを表示します。
5	EN5	DMA チャンネル 5 の EN5 (DMA 許可状態) ビットを表示します。
4	EN4	DMA チャンネル 4 の EN4 (DMA 許可状態) ビットを表示します。
3	EN3	DMA チャンネル 3 の EN3 (DMA 許可状態) ビットを表示します。
2	EN2	DMA チャンネル 2 の EN2 (DMA 許可状態) ビットを表示します。
1	EN1	DMA チャンネル 1 の EN1 (DMA 許可状態) ビットを表示します。
0	EN0	DMA チャンネル 0 の EN0 (DMA 許可状態) ビットを表示します。

(4) システム・バス DMAC エラー・ステータス・レジスタ (DSTER)

全 DMA チャンルの ERn (エラー) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。

DMA 転送のバス・サイクルでエラーが発生した場合にセット (1) されます。クリア (0) は、チャンネル・コントロール・レジスタ (CHCTRLn) の SWRSTn ビットをセット (1) する必要があります。なお、ERn ビットがセットされた場合は、その一連の転送を無効として処理してください。

**備考 1. 各 DMA チャンルの ERn ビットは、チャンネル・ステータス・レジスタ (CHSTATn) レジスタの 4 ビット目にあります。**

**2. n = 0-7**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTER	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0	0F00 0B14H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7	ER7	DMA チャンネル 7 の ER7 (DMA 転送エラー状態) ビットを表示します。
6	ER6	DMA チャンネル 6 の ER6 (DMA 転送エラー状態) ビットを表示します。
5	ER5	DMA チャンネル 5 の ER5 (DMA 転送エラー状態) ビットを表示します。
4	ER4	DMA チャンネル 4 の ER4 (DMA 転送エラー状態) ビットを表示します。
3	ER3	DMA チャンネル 3 の ER3 (DMA 転送エラー状態) ビットを表示します。
2	ER2	DMA チャンネル 2 の ER2 (DMA 転送エラー状態) ビットを表示します。
1	ER1	DMA チャンネル 1 の ER1 (DMA 転送エラー状態) ビットを表示します。
0	ER0	DMA チャンネル 0 の ER0 (DMA 転送エラー状態) ビットを表示します。

(5) システム・バス DMAC 完了ステータス・レジスタ (DSTEND)

全 DMA チャンルの ENDn (DMA トランザクション (一連の DMA 転送) が完了し INTDMA<sub>n</sub> が発生) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。セット条件 / クリア条件は、チャンネル・ステータス・レジスタ (CHSTAT<sub>n</sub>) の ENDn ビットを参照してください。

**備考 1. 各 DMA チャンルの END ビットは、チャンネル・ステータス・レジスタ (CHSTAT<sub>n</sub>) レジスタの 5 ビット目にあります。**

**2. n = 0-7**

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTEND		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	END7	END6	END5	END4	END3	END2	END1	END0	0F00 0B18H 初期値 0000 0000H
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7	END7	DMA チャンネル 7 の END7 (DMA トランザクション完了, INTDMA7 発生状態) ビットを表示します。
6	END6	DMA チャンネル 6 の END6 (DMA トランザクション完了, INTDMA6 発生状態) ビットを表示します。
5	END5	DMA チャンネル 5 の END5 (DMA トランザクション完了, INTDMA5 発生状態) ビットを表示します。
4	END4	DMA チャンネル 4 の END4 (DMA トランザクション完了, INTDMA4 発生状態) ビットを表示します。
3	END3	DMA チャンネル 3 の END3 (DMA トランザクション完了, INTDMA3 発生状態) ビットを表示します。
2	END2	DMA チャンネル 2 の END2 (DMA トランザクション完了, INTDMA2 発生状態) ビットを表示します。
1	END1	DMA チャンネル 1 の END1 (DMA トランザクション完了, INTDMA1 発生状態) ビットを表示します。
0	END0	DMA チャンネル 0 の END0 (DMA トランザクション完了, INTDMA0 発生状態) ビットを表示します。

(6) システム・バス DMAC ターミナル・カウンタ・ステータス・レジスタ (DSTTC)

全 DMA チャンネルの TCn (DMA トランザクション (一連の DMA 転送) が完了) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。セット条件 / クリア条件は、チャンネル・ステータス・レジスタ (CHSTATn) の TCn ビットを参照してください。

**備考 1. 各 DMA チャンネルの TCn ビットは、チャンネル・ステータス・レジスタ (CHSTATn) レジスタの 6 ビット目にあります。**

**2. n = 0-7**

																																アドレス		
																																0F00 0B1CH		
																																初期値		
																																0000 0000H		
DSTTC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7	TC7	DMA チャンネル 7 の TC7 (DMA トランザクション完了状態) ビットを表示します。
6	TC6	DMA チャンネル 6 の TC6 (DMA トランザクション完了状態) ビットを表示します。
5	TC5	DMA チャンネル 5 の TC5 (DMA トランザクション完了状態) ビットを表示します。
4	TC4	DMA チャンネル 4 の TC4 (DMA トランザクション完了状態) ビットを表示します。
3	TC3	DMA チャンネル 3 の TC3 (DMA トランザクション完了状態) ビットを表示します。
2	TC2	DMA チャンネル 2 の TC2 (DMA トランザクション完了状態) ビットを表示します。
1	TC1	DMA チャンネル 1 の TC1 (DMA トランザクション完了状態) ビットを表示します。
0	TC0	DMA チャンネル 0 の TC0 (DMA トランザクション完了状態) ビットを表示します。

## (7) システム・バス DMAC サスペンド・ステータス・レジスタ (DSTSUS)

全 DMA チャンネルの SUSn (サスペンド状態) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。

SUSn = 1 (サスペンド状態に設定) とする場合は、チャンネル・コントロール・レジスタ (CHCTRLn) の SETSUSn ビットをセット (1) してください。SUSn = 0 (サスペンド状態解除) とする場合は、チャンネル・コントロール・レジスタ (CHCTRLn) の CLRSUSn ビットをセット (1) してください。

**備考 1. 各 DMA チャンネルの SUSn ビットは、チャンネル・ステータス・レジスタ (CHSTATn) レジスタの 3 ビット目にあります。**

**2. n = 0-7**

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
DSTSUS		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SUS7	SUS6	SUS5	SUS4	SUS3	SUS2	SUS1	SUS0	0F00 0B20H
	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	初期値 0000 0000H

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7	SUS7	DMA チャンネル 7 の SUS7 (サスペンド状態) ビットを表示します。
6	SUS6	DMA チャンネル 6 の SUS6 (サスペンド状態) ビットを表示します。
5	SUS5	DMA チャンネル 5 の SUS5 (サスペンド状態) ビットを表示します。
4	SUS4	DMA チャンネル 4 の SUS4 (サスペンド状態) ビットを表示します。
3	SUS3	DMA チャンネル 3 の SUS3 (サスペンド状態) ビットを表示します。
2	SUS2	DMA チャンネル 2 の SUS2 (サスペンド状態) ビットを表示します。
1	SUS1	DMA チャンネル 1 の SUS1 (サスペンド状態) ビットを表示します。
0	SUS0	DMA チャンネル 0 の SUS0 (サスペンド状態) ビットを表示します。

### 9.3.7 DMA インタフェース・レジスタ

#### (1) DMA トリガ要因選択レジスタ n (DTFRn)

DMA 転送要求に、DMAREQZn (DMA 転送要求端子) 内蔵周辺機能からの割り込み要求や、外部割り込み端子入力からの割り込み要求による DMA 転送要求を選択するレジスタです。このレジスタで選択した要因が、DMA 転送の起動トリガになります。

DTFRn レジスタは、システム・バス DMAC チャンネル数と同じ 8 本あり、チャンネル・コントロール・レジスタ n (CHCFGn) の SELn2-SELn0 の設定に応じて、各 DMA チャンネルに割り当てられます。

32 ビット単位でリード/ライト可能です。

DMA 転送要求には、以下のトリガを選択できます。

DMA 転送要求の種類		DMA 転送トリガ	トリガ指定
端子からの DMA 転送要求入力	DMA チャンネル 0 専用	DMAREQZ0 (外部端子)	任意
	DMA チャンネル 1 専用	DMAREQZ1 (外部端子)	
	DMA チャンネル 2 専用	DMAREQZ2 (外部端子)	
	DMA チャンネル 3 専用	DMAREQZ3 (外部端子)	
	DMA チャンネル 4 専用	SDMAREQZ0 (SiP 内部接続)	
	DMA チャンネル 5 専用	SDMAREQZ1 (SiP 内部接続)	
外部割り込み入力		INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41	立ち上がり
アシンクロナス・シリアル・インタフェース (UART) の送信/受信 FIFO からの DMA 転送要求		UART0-UART3 送信 FIFO DMA 転送要求 UART0-UART3 受信 FIFO DMA 転送要求	ハイ・レベル
★ 内蔵周辺機能からの割り込み	16 ビット・インターバル・タイマ M (TMM)	INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTTM3EQ0, INTTM4EQ0, INTTM5EQ0	立ち上がり
	16 ビット・タイマ/カウンタ AA (TAA)	INTTA0CC0, INTTA0CC1, INTTA1CC0, INTTA1CC1, INTTA2CC0, INTTA2CC1, INTTA3CC0, INTTA3CC1, INTTA4CC0, INTTA4CC1, INTTA5CC0, INTTA5CC1	
	16 ビット・タイマ/イベント・カウンタ T (TMT)	INTTEQC00, INTTEQC01, INTTIEC0, INTTEQC10, INTTEQC11, INTTIEC1	
	クロック同期式シリアル・インタフェース (CSI3)	INTCSI30-INTCSI37	
	A/D コンバータ	INTAD	
	CAN コントローラ	INTC0TRX, INTC0REC, INTC0WUP, INTC1TRX, INTC1REC, INTC1WUP	
セントラル DMAC からのトリガ (DMA の連携動作)		INTCDMA0-INTCDMA15 (転送完了) INTCDMACT0-INTCDMACT15 (転送回数一致)	

**注意 1.** DTFRn レジスタの設定を変更する場合は、必ず DMA 動作を停止してから行ってください。

**2.** INTPZ32-INTPZ35, INTPZ38, INTPZ39, INTPZ42-INTPZ49 の外部割り込み要求は、DMA 転送トリガに利用できません。

**備考 1.** すべての割り込み要求は、内部システム・バス・クロック (HCLK) で再同期処理を行っています。

**2.** n = 0-7

(1/4)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DTFRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9150H +4n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味																																																						
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>00H</td><td>DMA 転送トリガ要因をマスク (ハードウェア転送要求は発生しません)</td></tr> <tr><td>01H</td><td>DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)</td></tr> <tr><td>02H</td><td>DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)</td></tr> <tr><td>03H</td><td>DMAREQZ2 端子 (DMA 転送要求) 入力 (DTFR2 レジスタのみ設定有効)</td></tr> <tr><td>04H</td><td>DMAREQZ3 端子 (DMA 転送要求) 入力 (DTFR3 レジスタのみ設定有効)</td></tr> <tr><td>05H</td><td>SDMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR4 レジスタのみ設定有効)</td></tr> <tr><td>06H</td><td>SDMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR5 レジスタのみ設定有効)</td></tr> <tr><td>07H</td><td>INTPZ0 (外部割り込み) 注</td></tr> <tr><td>08H</td><td>INTPZ1 (外部割り込み) 注</td></tr> <tr><td>09H</td><td>INTPZ2 (外部割り込み) 注</td></tr> <tr><td>0AH</td><td>INTPZ3 (外部割り込み) 注</td></tr> <tr><td>0BH</td><td>INTPZ4 (外部割り込み) 注</td></tr> <tr><td>0CH</td><td>INTPZ5 (外部割り込み) 注</td></tr> <tr><td>0DH</td><td>INTPZ6 (外部割り込み) 注</td></tr> <tr><td>0EH</td><td>INTPZ7 (外部割り込み) 注</td></tr> <tr><td>0FH</td><td>INTPZ16 (SiP 内部接続割り込み) 注</td></tr> <tr><td>10H</td><td>INTPZ17 (SiP 内部接続割り込み) 注</td></tr> <tr><td>11H</td><td>INTPZ18 (SiP 内部接続割り込み) 注</td></tr> <tr><td>12H</td><td>INTPZ19 (SiP 内部接続割り込み) 注</td></tr> <tr><td>13H</td><td>INTPZ20 (SiP 内部接続割り込み) 注</td></tr> <tr><td>14H</td><td>INTPZ21 (SiP 内部接続割り込み) 注</td></tr> <tr><td>15H</td><td>INTPZ22 (SiP 内部接続割り込み) 注</td></tr> <tr><td>16H</td><td>INTPZ23 (SiP 内部接続割り込み) 注</td></tr> <tr><td>17H</td><td>INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>18H</td><td>INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>19H</td><td>INTTIEC0 (TMT0 エンコーダ・クリア割り込み) 注</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	00H	DMA 転送トリガ要因をマスク (ハードウェア転送要求は発生しません)	01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)	02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)	03H	DMAREQZ2 端子 (DMA 転送要求) 入力 (DTFR2 レジスタのみ設定有効)	04H	DMAREQZ3 端子 (DMA 転送要求) 入力 (DTFR3 レジスタのみ設定有効)	05H	SDMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR4 レジスタのみ設定有効)	06H	SDMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR5 レジスタのみ設定有効)	07H	INTPZ0 (外部割り込み) 注	08H	INTPZ1 (外部割り込み) 注	09H	INTPZ2 (外部割り込み) 注	0AH	INTPZ3 (外部割り込み) 注	0BH	INTPZ4 (外部割り込み) 注	0CH	INTPZ5 (外部割り込み) 注	0DH	INTPZ6 (外部割り込み) 注	0EH	INTPZ7 (外部割り込み) 注	0FH	INTPZ16 (SiP 内部接続割り込み) 注	10H	INTPZ17 (SiP 内部接続割り込み) 注	11H	INTPZ18 (SiP 内部接続割り込み) 注	12H	INTPZ19 (SiP 内部接続割り込み) 注	13H	INTPZ20 (SiP 内部接続割り込み) 注	14H	INTPZ21 (SiP 内部接続割り込み) 注	15H	INTPZ22 (SiP 内部接続割り込み) 注	16H	INTPZ23 (SiP 内部接続割り込み) 注	17H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み) 注	18H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み) 注	19H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み) 注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																							
00H	DMA 転送トリガ要因をマスク (ハードウェア転送要求は発生しません)																																																							
01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)																																																							
02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)																																																							
03H	DMAREQZ2 端子 (DMA 転送要求) 入力 (DTFR2 レジスタのみ設定有効)																																																							
04H	DMAREQZ3 端子 (DMA 転送要求) 入力 (DTFR3 レジスタのみ設定有効)																																																							
05H	SDMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR4 レジスタのみ設定有効)																																																							
06H	SDMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR5 レジスタのみ設定有効)																																																							
07H	INTPZ0 (外部割り込み) 注																																																							
08H	INTPZ1 (外部割り込み) 注																																																							
09H	INTPZ2 (外部割り込み) 注																																																							
0AH	INTPZ3 (外部割り込み) 注																																																							
0BH	INTPZ4 (外部割り込み) 注																																																							
0CH	INTPZ5 (外部割り込み) 注																																																							
0DH	INTPZ6 (外部割り込み) 注																																																							
0EH	INTPZ7 (外部割り込み) 注																																																							
0FH	INTPZ16 (SiP 内部接続割り込み) 注																																																							
10H	INTPZ17 (SiP 内部接続割り込み) 注																																																							
11H	INTPZ18 (SiP 内部接続割り込み) 注																																																							
12H	INTPZ19 (SiP 内部接続割り込み) 注																																																							
13H	INTPZ20 (SiP 内部接続割り込み) 注																																																							
14H	INTPZ21 (SiP 内部接続割り込み) 注																																																							
15H	INTPZ22 (SiP 内部接続割り込み) 注																																																							
16H	INTPZ23 (SiP 内部接続割り込み) 注																																																							
17H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み) 注																																																							
18H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み) 注																																																							
19H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み) 注																																																							

注 割り込み信号 (INT ~ ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7



ビット位置	ビット名	意味																																																																				
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。  <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>1AH</td><td>INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>1BH</td><td>INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>1CH</td><td>INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注</td></tr> <tr><td>1DH</td><td>INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>1EH</td><td>INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>1FH</td><td>INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>20H</td><td>INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>21H</td><td>INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>22H</td><td>INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>23H</td><td>INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>24H</td><td>INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>25H</td><td>INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>26H</td><td>INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注</td></tr> <tr><td>27H</td><td>INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>28H</td><td>INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注</td></tr> <tr><td>29H</td><td>INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注</td></tr> <tr><td>2AH</td><td>INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注</td></tr> <tr><td>2BH</td><td>INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注</td></tr> <tr><td>2CH</td><td>INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注</td></tr> <tr><td>2DH</td><td>INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注</td></tr> <tr><td>2EH</td><td>INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注</td></tr> <tr><td>2FH</td><td>INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注</td></tr> <tr><td>30H</td><td>INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注</td></tr> <tr><td>31H</td><td>INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注</td></tr> <tr><td>32H</td><td>INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注</td></tr> <tr><td>33H</td><td>INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注</td></tr> <tr><td>34H</td><td>INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注</td></tr> <tr><td>35H</td><td>INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注</td></tr> <tr><td>36H</td><td>INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注</td></tr> <tr><td>37H</td><td>INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注</td></tr> <tr><td>38H</td><td>INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注</td></tr> <tr><td>39H</td><td>INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注</td></tr> <tr><td>3AH</td><td>INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	1AH	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注	1BH	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注	1CH	INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注	1DH	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注	1EH	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注	1FH	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注	20H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注	21H	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注	22H	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注	23H	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注	24H	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注	25H	INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注	26H	INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注	27H	INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注	28H	INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注	29H	INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注	2AH	INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注	2BH	INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注	2CH	INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注	2DH	INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注	2EH	INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注	2FH	INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注	30H	INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注	31H	INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注	32H	INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注	33H	INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注	34H	INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注	35H	INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注	36H	INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注	37H	INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注	38H	INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注	39H	INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注	3AH	INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																																					
1AH	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注																																																																					
1BH	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注																																																																					
1CH	INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注																																																																					
1DH	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注																																																																					
1EH	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注																																																																					
1FH	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注																																																																					
20H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注																																																																					
21H	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注																																																																					
22H	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注																																																																					
23H	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注																																																																					
24H	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注																																																																					
25H	INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注																																																																					
26H	INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注																																																																					
27H	INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注																																																																					
28H	INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注																																																																					
29H	INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注																																																																					
2AH	INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注																																																																					
2BH	INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注																																																																					
2CH	INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注																																																																					
2DH	INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注																																																																					
2EH	INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注																																																																					
2FH	INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注																																																																					
30H	INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注																																																																					
31H	INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注																																																																					
32H	INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注																																																																					
33H	INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注																																																																					
34H	INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注																																																																					
35H	INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注																																																																					
36H	INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注																																																																					
37H	INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注																																																																					
38H	INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注																																																																					
39H	INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注																																																																					
3AH	INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注																																																																					

注 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7

ビット位置	ビット名	意味																																																																				
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。  <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>3BH</td><td>INTCDMACT2 ( セントラル DMAC チャンネル 2 転送回数一致 ) 注</td></tr> <tr><td>3CH</td><td>INTCDMACT3 ( セントラル DMAC チャンネル 3 転送回数一致 ) 注</td></tr> <tr><td>3DH</td><td>INTCDMACT4 ( セントラル DMAC チャンネル 4 転送回数一致 ) 注</td></tr> <tr><td>3EH</td><td>INTCDMACT5 ( セントラル DMAC チャンネル 5 転送回数一致 ) 注</td></tr> <tr><td>3FH</td><td>INTCDMACT6 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注</td></tr> <tr><td>40H</td><td>INTCDMACT7 ( セントラル DMAC チャンネル 7 転送回数一致 ) 注</td></tr> <tr><td>41H</td><td>INTCDMACT8 ( セントラル DMAC チャンネル 8 転送回数一致 ) 注</td></tr> <tr><td>42H</td><td>INTCDMACT9 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注</td></tr> <tr><td>43H</td><td>INTCDMACT10 ( セントラル DMAC チャンネル 10 転送回数一致 ) 注</td></tr> <tr><td>44H</td><td>INTCDMACT11 ( セントラル DMAC チャンネル 11 転送回数一致 ) 注</td></tr> <tr><td>45H</td><td>INTCDMACT12 ( セントラル DMAC チャンネル 12 転送回数一致 ) 注</td></tr> <tr><td>46H</td><td>INTCDMACT13 ( セントラル DMAC チャンネル 13 転送回数一致 ) 注</td></tr> <tr><td>47H</td><td>INTCDMACT14 ( セントラル DMAC チャンネル 14 転送回数一致 ) 注</td></tr> <tr><td>48H</td><td>INTCDMACT15 ( セントラル DMAC チャンネル 15 転送回数一致 ) 注</td></tr> <tr><td>49H</td><td>INTC0WUP ( CAN0 ウェイクアップ割り込み ) 注</td></tr> <tr><td>4AH</td><td>INTC0REC ( CAN0 受信完了割り込み ) 注</td></tr> <tr><td>4BH</td><td>INTC0TRX ( CAN0 送信完了割り込み ) 注</td></tr> <tr><td>4CH</td><td>INTC1WUP ( CAN1 ウェイクアップ割り込み ) 注</td></tr> <tr><td>4DH</td><td>INTC1REC ( CAN1 受信完了割り込み ) 注</td></tr> <tr><td>4EH</td><td>INTC1TRX ( CAN1 送信完了割り込み ) 注</td></tr> <tr><td>4FH</td><td>INTCSI30 ( CSI30 送受信完了割り込み ) 注</td></tr> <tr><td>50H</td><td>INTCSI31 ( CSI31 送受信完了割り込み ) 注</td></tr> <tr><td>51H</td><td>INTCSI32 ( CSI32 送受信完了割り込み ) 注</td></tr> <tr><td>52H</td><td>INTCSI33 ( CSI33 送受信完了割り込み ) 注</td></tr> <tr><td>53H</td><td>INTCSI34 ( CSI34 送受信完了割り込み ) 注</td></tr> <tr><td>54H</td><td>INTCSI35 ( CSI35 送受信完了割り込み ) 注</td></tr> <tr><td>55H</td><td>INTCSI36 ( CSI36 送受信完了割り込み ) 注</td></tr> <tr><td>56H</td><td>INTCSI37 ( CSI37 送受信完了割り込み ) 注</td></tr> <tr><td>57H</td><td>INTTM0EQ0 ( TMM0 一致割り込み ) 注</td></tr> <tr><td>58H</td><td>INTTM1EQ0 ( TMM1 一致割り込み ) 注</td></tr> <tr><td>59H</td><td>INTTM2EQ0 ( TMM2 一致割り込み ) 注</td></tr> <tr><td>5AH</td><td>INTTM3EQ0 ( TMM3 一致割り込み ) 注</td></tr> <tr><td>5BH</td><td>INTTM4EQ0 ( TMM4 一致割り込み ) 注</td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	3BH	INTCDMACT2 ( セントラル DMAC チャンネル 2 転送回数一致 ) 注	3CH	INTCDMACT3 ( セントラル DMAC チャンネル 3 転送回数一致 ) 注	3DH	INTCDMACT4 ( セントラル DMAC チャンネル 4 転送回数一致 ) 注	3EH	INTCDMACT5 ( セントラル DMAC チャンネル 5 転送回数一致 ) 注	3FH	INTCDMACT6 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注	40H	INTCDMACT7 ( セントラル DMAC チャンネル 7 転送回数一致 ) 注	41H	INTCDMACT8 ( セントラル DMAC チャンネル 8 転送回数一致 ) 注	42H	INTCDMACT9 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注	43H	INTCDMACT10 ( セントラル DMAC チャンネル 10 転送回数一致 ) 注	44H	INTCDMACT11 ( セントラル DMAC チャンネル 11 転送回数一致 ) 注	45H	INTCDMACT12 ( セントラル DMAC チャンネル 12 転送回数一致 ) 注	46H	INTCDMACT13 ( セントラル DMAC チャンネル 13 転送回数一致 ) 注	47H	INTCDMACT14 ( セントラル DMAC チャンネル 14 転送回数一致 ) 注	48H	INTCDMACT15 ( セントラル DMAC チャンネル 15 転送回数一致 ) 注	49H	INTC0WUP ( CAN0 ウェイクアップ割り込み ) 注	4AH	INTC0REC ( CAN0 受信完了割り込み ) 注	4BH	INTC0TRX ( CAN0 送信完了割り込み ) 注	4CH	INTC1WUP ( CAN1 ウェイクアップ割り込み ) 注	4DH	INTC1REC ( CAN1 受信完了割り込み ) 注	4EH	INTC1TRX ( CAN1 送信完了割り込み ) 注	4FH	INTCSI30 ( CSI30 送受信完了割り込み ) 注	50H	INTCSI31 ( CSI31 送受信完了割り込み ) 注	51H	INTCSI32 ( CSI32 送受信完了割り込み ) 注	52H	INTCSI33 ( CSI33 送受信完了割り込み ) 注	53H	INTCSI34 ( CSI34 送受信完了割り込み ) 注	54H	INTCSI35 ( CSI35 送受信完了割り込み ) 注	55H	INTCSI36 ( CSI36 送受信完了割り込み ) 注	56H	INTCSI37 ( CSI37 送受信完了割り込み ) 注	57H	INTTM0EQ0 ( TMM0 一致割り込み ) 注	58H	INTTM1EQ0 ( TMM1 一致割り込み ) 注	59H	INTTM2EQ0 ( TMM2 一致割り込み ) 注	5AH	INTTM3EQ0 ( TMM3 一致割り込み ) 注	5BH	INTTM4EQ0 ( TMM4 一致割り込み ) 注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																																					
3BH	INTCDMACT2 ( セントラル DMAC チャンネル 2 転送回数一致 ) 注																																																																					
3CH	INTCDMACT3 ( セントラル DMAC チャンネル 3 転送回数一致 ) 注																																																																					
3DH	INTCDMACT4 ( セントラル DMAC チャンネル 4 転送回数一致 ) 注																																																																					
3EH	INTCDMACT5 ( セントラル DMAC チャンネル 5 転送回数一致 ) 注																																																																					
3FH	INTCDMACT6 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注																																																																					
40H	INTCDMACT7 ( セントラル DMAC チャンネル 7 転送回数一致 ) 注																																																																					
41H	INTCDMACT8 ( セントラル DMAC チャンネル 8 転送回数一致 ) 注																																																																					
42H	INTCDMACT9 ( セントラル DMAC チャンネル 6 転送回数一致 ) 注																																																																					
43H	INTCDMACT10 ( セントラル DMAC チャンネル 10 転送回数一致 ) 注																																																																					
44H	INTCDMACT11 ( セントラル DMAC チャンネル 11 転送回数一致 ) 注																																																																					
45H	INTCDMACT12 ( セントラル DMAC チャンネル 12 転送回数一致 ) 注																																																																					
46H	INTCDMACT13 ( セントラル DMAC チャンネル 13 転送回数一致 ) 注																																																																					
47H	INTCDMACT14 ( セントラル DMAC チャンネル 14 転送回数一致 ) 注																																																																					
48H	INTCDMACT15 ( セントラル DMAC チャンネル 15 転送回数一致 ) 注																																																																					
49H	INTC0WUP ( CAN0 ウェイクアップ割り込み ) 注																																																																					
4AH	INTC0REC ( CAN0 受信完了割り込み ) 注																																																																					
4BH	INTC0TRX ( CAN0 送信完了割り込み ) 注																																																																					
4CH	INTC1WUP ( CAN1 ウェイクアップ割り込み ) 注																																																																					
4DH	INTC1REC ( CAN1 受信完了割り込み ) 注																																																																					
4EH	INTC1TRX ( CAN1 送信完了割り込み ) 注																																																																					
4FH	INTCSI30 ( CSI30 送受信完了割り込み ) 注																																																																					
50H	INTCSI31 ( CSI31 送受信完了割り込み ) 注																																																																					
51H	INTCSI32 ( CSI32 送受信完了割り込み ) 注																																																																					
52H	INTCSI33 ( CSI33 送受信完了割り込み ) 注																																																																					
53H	INTCSI34 ( CSI34 送受信完了割り込み ) 注																																																																					
54H	INTCSI35 ( CSI35 送受信完了割り込み ) 注																																																																					
55H	INTCSI36 ( CSI36 送受信完了割り込み ) 注																																																																					
56H	INTCSI37 ( CSI37 送受信完了割り込み ) 注																																																																					
57H	INTTM0EQ0 ( TMM0 一致割り込み ) 注																																																																					
58H	INTTM1EQ0 ( TMM1 一致割り込み ) 注																																																																					
59H	INTTM2EQ0 ( TMM2 一致割り込み ) 注																																																																					
5AH	INTTM3EQ0 ( TMM3 一致割り込み ) 注																																																																					
5BH	INTTM4EQ0 ( TMM4 一致割り込み ) 注																																																																					

注 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7

ビット位置	ビット名	意味																																																														
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。																																																														
		<table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr><td>5CH</td><td>INTTM5EQ0 (TMM5 一致割り込み) 注<sup>1</sup></td></tr> <tr><td>5DH</td><td>INTAD (A/D 変換完了割り込み) 注<sup>1</sup></td></tr> <tr><td>5EH</td><td>UART0 受信 FIFO DMA 転送要求 (DTFR0 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>5FH</td><td>UART0 送信 FIFO DMA 転送要求 (DTFR1 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>60H</td><td>UART1 受信 FIFO DMA 転送要求 (DTFR2 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>61H</td><td>UART1 送信 FIFO DMA 転送要求 (DTFR3 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>62H</td><td>UART2 受信 FIFO DMA 転送要求 (DTFR4 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>63H</td><td>UART2 送信 FIFO DMA 転送要求 (DTFR5 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>64H</td><td>UART3 受信 FIFO DMA 転送要求 (DTFR6 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>65H</td><td>UART3 送信 FIFO DMA 転送要求 (DTFR7 レジスタのみ設定有効) 注<sup>2</sup></td></tr> <tr><td>66H</td><td>INTPZ8 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>67H</td><td>INTPZ9 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>68H</td><td>INTPZ10 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>69H</td><td>INTPZ11 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6AH</td><td>INTPZ12 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6BH</td><td>INTPZ13 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6CH</td><td>INTPZ14 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6DH</td><td>INTPZ15 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6EH</td><td>INTPZ24 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>6FH</td><td>INTPZ25 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>70H</td><td>INTPZ26 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>71H</td><td>INTPZ27 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>72H</td><td>INTPZ28 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>73H</td><td>INTPZ29 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>74H</td><td>INTPZ30 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>75H</td><td>INTPZ31 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>76H</td><td>INTPZ36 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>77H</td><td>INTPZ37 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>78H</td><td>INTPZ40 (外部割り込み) 注<sup>1</sup></td></tr> <tr><td>79H</td><td>INTPZ41 (外部割り込み) 注<sup>1</sup></td></tr> </tbody> </table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	5CH	INTTM5EQ0 (TMM5 一致割り込み) 注 <sup>1</sup>	5DH	INTAD (A/D 変換完了割り込み) 注 <sup>1</sup>	5EH	UART0 受信 FIFO DMA 転送要求 (DTFR0 レジスタのみ設定有効) 注 <sup>2</sup>	5FH	UART0 送信 FIFO DMA 転送要求 (DTFR1 レジスタのみ設定有効) 注 <sup>2</sup>	60H	UART1 受信 FIFO DMA 転送要求 (DTFR2 レジスタのみ設定有効) 注 <sup>2</sup>	61H	UART1 送信 FIFO DMA 転送要求 (DTFR3 レジスタのみ設定有効) 注 <sup>2</sup>	62H	UART2 受信 FIFO DMA 転送要求 (DTFR4 レジスタのみ設定有効) 注 <sup>2</sup>	63H	UART2 送信 FIFO DMA 転送要求 (DTFR5 レジスタのみ設定有効) 注 <sup>2</sup>	64H	UART3 受信 FIFO DMA 転送要求 (DTFR6 レジスタのみ設定有効) 注 <sup>2</sup>	65H	UART3 送信 FIFO DMA 転送要求 (DTFR7 レジスタのみ設定有効) 注 <sup>2</sup>	66H	INTPZ8 (外部割り込み) 注 <sup>1</sup>	67H	INTPZ9 (外部割り込み) 注 <sup>1</sup>	68H	INTPZ10 (外部割り込み) 注 <sup>1</sup>	69H	INTPZ11 (外部割り込み) 注 <sup>1</sup>	6AH	INTPZ12 (外部割り込み) 注 <sup>1</sup>	6BH	INTPZ13 (外部割り込み) 注 <sup>1</sup>	6CH	INTPZ14 (外部割り込み) 注 <sup>1</sup>	6DH	INTPZ15 (外部割り込み) 注 <sup>1</sup>	6EH	INTPZ24 (外部割り込み) 注 <sup>1</sup>	6FH	INTPZ25 (外部割り込み) 注 <sup>1</sup>	70H	INTPZ26 (外部割り込み) 注 <sup>1</sup>	71H	INTPZ27 (外部割り込み) 注 <sup>1</sup>	72H	INTPZ28 (外部割り込み) 注 <sup>1</sup>	73H	INTPZ29 (外部割り込み) 注 <sup>1</sup>	74H	INTPZ30 (外部割り込み) 注 <sup>1</sup>	75H	INTPZ31 (外部割り込み) 注 <sup>1</sup>	76H	INTPZ36 (外部割り込み) 注 <sup>1</sup>	77H	INTPZ37 (外部割り込み) 注 <sup>1</sup>	78H	INTPZ40 (外部割り込み) 注 <sup>1</sup>	79H	INTPZ41 (外部割り込み) 注 <sup>1</sup>
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																															
5CH	INTTM5EQ0 (TMM5 一致割り込み) 注 <sup>1</sup>																																																															
5DH	INTAD (A/D 変換完了割り込み) 注 <sup>1</sup>																																																															
5EH	UART0 受信 FIFO DMA 転送要求 (DTFR0 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
5FH	UART0 送信 FIFO DMA 転送要求 (DTFR1 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
60H	UART1 受信 FIFO DMA 転送要求 (DTFR2 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
61H	UART1 送信 FIFO DMA 転送要求 (DTFR3 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
62H	UART2 受信 FIFO DMA 転送要求 (DTFR4 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
63H	UART2 送信 FIFO DMA 転送要求 (DTFR5 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
64H	UART3 受信 FIFO DMA 転送要求 (DTFR6 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
65H	UART3 送信 FIFO DMA 転送要求 (DTFR7 レジスタのみ設定有効) 注 <sup>2</sup>																																																															
66H	INTPZ8 (外部割り込み) 注 <sup>1</sup>																																																															
67H	INTPZ9 (外部割り込み) 注 <sup>1</sup>																																																															
68H	INTPZ10 (外部割り込み) 注 <sup>1</sup>																																																															
69H	INTPZ11 (外部割り込み) 注 <sup>1</sup>																																																															
6AH	INTPZ12 (外部割り込み) 注 <sup>1</sup>																																																															
6BH	INTPZ13 (外部割り込み) 注 <sup>1</sup>																																																															
6CH	INTPZ14 (外部割り込み) 注 <sup>1</sup>																																																															
6DH	INTPZ15 (外部割り込み) 注 <sup>1</sup>																																																															
6EH	INTPZ24 (外部割り込み) 注 <sup>1</sup>																																																															
6FH	INTPZ25 (外部割り込み) 注 <sup>1</sup>																																																															
70H	INTPZ26 (外部割り込み) 注 <sup>1</sup>																																																															
71H	INTPZ27 (外部割り込み) 注 <sup>1</sup>																																																															
72H	INTPZ28 (外部割り込み) 注 <sup>1</sup>																																																															
73H	INTPZ29 (外部割り込み) 注 <sup>1</sup>																																																															
74H	INTPZ30 (外部割り込み) 注 <sup>1</sup>																																																															
75H	INTPZ31 (外部割り込み) 注 <sup>1</sup>																																																															
76H	INTPZ36 (外部割り込み) 注 <sup>1</sup>																																																															
77H	INTPZ37 (外部割り込み) 注 <sup>1</sup>																																																															
78H	INTPZ40 (外部割り込み) 注 <sup>1</sup>																																																															
79H	INTPZ41 (外部割り込み) 注 <sup>1</sup>																																																															

注 1. 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

2. UART からの DMA 転送要求を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ずハイ・レベル検出を指定してください。

備考 n = 0-7

## (2) DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5)

DMA のアクノリッジ出力信号 (DMAACKZn) のアクティブ幅や, DMA 転送要求入力信号 (DMAREQZn) のマスク幅を, バス・クロックの BUSCLK 周期単位で設定するレジスタです。32 ビット単位でリード/ライト可能です。

DMA 転送要求 (DMAREQZn) は, 最短で BUSCLK の 1 クロック幅が入力されると, DMA 転送要求が受け付けられます。また, DMA アクノリッジ信号 (DMAACKZn) は, DMA 転送要求が受け付けられた場合に, 最短で BUSCLK の 1 クロック幅のアクティブ・レベルを出力します。

一般的には BUSCLK 基準で, DMA アクノリッジ信号を検出して, DMA 転送要求がインアクティブになるように設計します。このとき BUSCLK が高速な場合には, タイミング設計が困難になります。このため, DMA アクノリッジ信号を外部回路で容易に検出できるように, アクティブ・レベル幅を任意に設定し, さらに DMA アクノリッジ信号がインアクティブに復帰したタイミングを基点に DMA 転送要求信号をマスクする機構を内蔵しています。

これにより, 外部回路を BUSCLK 基準で見積もることが可能となり, 低速なデバイスを接続することを容易にしています。

- 注意 1.** DMAACKZn 出力の動作モードは, チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) でも制御可能です。DMA 転送インタフェース信号制御レジスタ n (DMAIFCn) では, これに加えて DMAREQZn 入力による DMA 転送要求のオーバラン防止のためのマスク機能もあります。
- 2.** CHCFGn レジスタの AMn2-AMn0 ビットの設定と, DMAIFCn レジスタは重複設定も可能ですが, 一般的な利用方法では, CHCFGn レジスタの AMn2-AMn0 を用いて DMAACKZn 信号の動作レベル・モードに設定している場合は, DMAIFCn レジスタは初期値のまま使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や, DMAREQZn のマスク機能を利用している場合は, CHCFGn レジスタの AMn2-AMn0 ビットはパルス・モードを選択してください。
- 3.** 外部端子の DMA 転送要求信号 (DMAREQZn) の最短受け付け時間は,  $1 \times \text{BUSCLK}$  です。
- 4.** 外部端子の DMA アクノリッジ信号 (DMAACKZn) の最短出力期間は,  $1 \times \text{BUSCLK}$  です。
- 5.** システム・バス DMAC のチャンネル 6, 7 は, DMA インタフェース信号を利用できないため, このチャンネルに対応する DMAIFC レジスタはありません。
- なお, CHCFGn レジスタの SELn2-SELn0 ビットで, 任意の DMA トリガ要因選択レジスタ m (DTFRm) と DMA チャンネルの関連付けを選択できます。たとえば, DMA チャンネル 7 を DTFR2 に対応させ, DMAREQZ2, DMAACKZ2, DMATCZ2 に割り当てることも可能です。

**備考** n = 0-5, m = 0-7

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMAIFCn	DIF ENn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9170H +4n
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	0	0	0	AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	0000 0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味																																										
31	DIFENn	DMA 転送インタフェース信号制御機能の許可 / 禁止を選択します。 0 : 機能禁止 (初期値) 1 : 機能許可																																										
12-8	RQMKn4- RQMKn0	DMA 転送要求信号 (DMAREQZn) のマスク幅 <sup>注1</sup> を BUSCLK 単位で設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RQ MKn4</th><th>RQ MKn3</th><th>RQ MKn2</th><th>RQ MKn1</th><th>RQ MKn0</th><th>DMAREQZn 信号のマスク幅<sup>注1</sup></th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0 × BUSCLK 周期 (初期値)</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1 × BUSCLK 周期</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>2 × BUSCLK 周期</td> </tr> <tr> <td colspan="5" style="text-align: center;">:</td><td style="text-align: center;">:</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>30 × BUSCLK 周期</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>31 × BUSCLK 周期</td> </tr> </tbody> </table>	RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	DMAREQZn 信号のマスク幅 <sup>注1</sup>	0	0	0	0	0	0 × BUSCLK 周期 (初期値)	0	0	0	0	1	1 × BUSCLK 周期	0	0	0	1	0	2 × BUSCLK 周期	:					:	1	1	1	1	0	30 × BUSCLK 周期	1	1	1	1	1	31 × BUSCLK 周期
RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	DMAREQZn 信号のマスク幅 <sup>注1</sup>																																							
0	0	0	0	0	0 × BUSCLK 周期 (初期値)																																							
0	0	0	0	1	1 × BUSCLK 周期																																							
0	0	0	1	0	2 × BUSCLK 周期																																							
:					:																																							
1	1	1	1	0	30 × BUSCLK 周期																																							
1	1	1	1	1	31 × BUSCLK 周期																																							
4-0	AKWDn4- AKWDn0	DMA アクノリッジ信号 (DMAACKZn) のアクティブ・レベル幅 <sup>注2</sup> を BUSCLK 単位で設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>AK WDn4</th><th>AK WDn3</th><th>AK WDn2</th><th>AK WDn1</th><th>AK WDn0</th><th>DMAACKZn 信号のアクティブ・レベル幅<sup>注2</sup></th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>+0 × BUSCLK 周期 (初期値)</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>+1 × BUSCLK 周期</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>+2 × BUSCLK 周期</td> </tr> <tr> <td colspan="5" style="text-align: center;">:</td><td style="text-align: center;">:</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>+30 × BUSCLK 周期</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>+31 × BUSCLK 周期</td> </tr> </tbody> </table>	AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	DMAACKZn 信号のアクティブ・レベル幅 <sup>注2</sup>	0	0	0	0	0	+0 × BUSCLK 周期 (初期値)	0	0	0	0	1	+1 × BUSCLK 周期	0	0	0	1	0	+2 × BUSCLK 周期	:					:	1	1	1	1	0	+30 × BUSCLK 周期	1	1	1	1	1	+31 × BUSCLK 周期
AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	DMAACKZn 信号のアクティブ・レベル幅 <sup>注2</sup>																																							
0	0	0	0	0	+0 × BUSCLK 周期 (初期値)																																							
0	0	0	0	1	+1 × BUSCLK 周期																																							
0	0	0	1	0	+2 × BUSCLK 周期																																							
:					:																																							
1	1	1	1	0	+30 × BUSCLK 周期																																							
1	1	1	1	1	+31 × BUSCLK 周期																																							

- 注 1. マスクは DMAACKZn の立ち上がり (インアクティブに変化) から開始されます。
2. DMAACKZn のアクティブ・レベル幅は, CHCFGn レジスタの AMn2-AMn0 ビットで指定したアクノリッジ信号が基準となります。CHCFGn レジスタの AMn0 ビットでは DMAACKZn の出力モードをパルス・モード/レベル・モードから選択できます。

備考 n = 0-5

図 9-6 DMA 用端子信号と内部信号の様子 (1) (DMAIFCn = 8000 0000H)

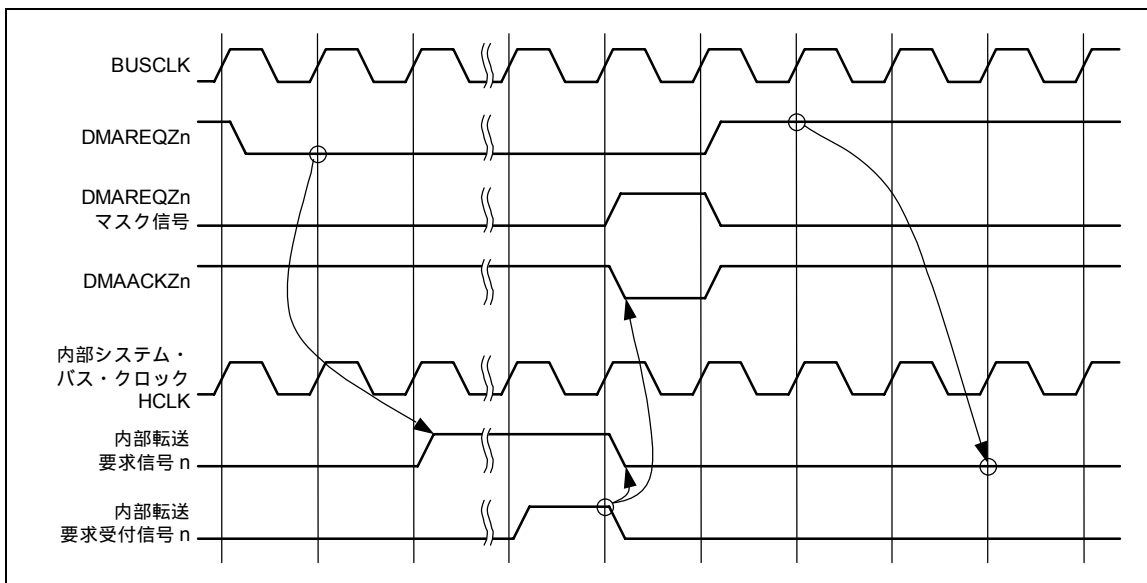


図 9-7 DMA 用端子信号と内部信号の様子 (2) (DMAIFCn = 8000 0000H)

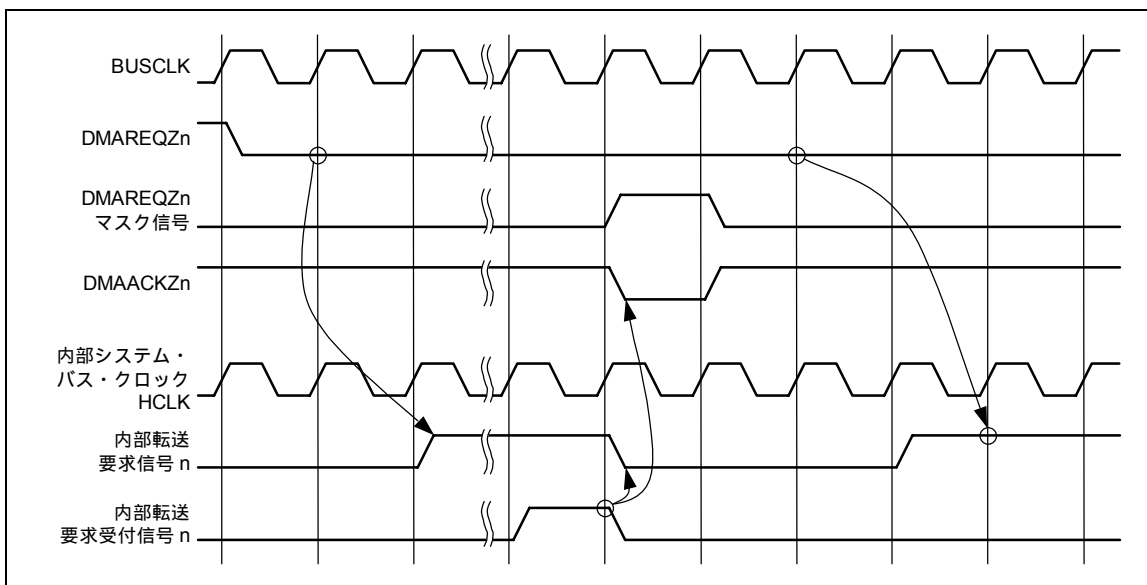


図 9-8 DMA 用端子信号と内部信号の様子 (3) (DMAIFCn = 8000 0200H)

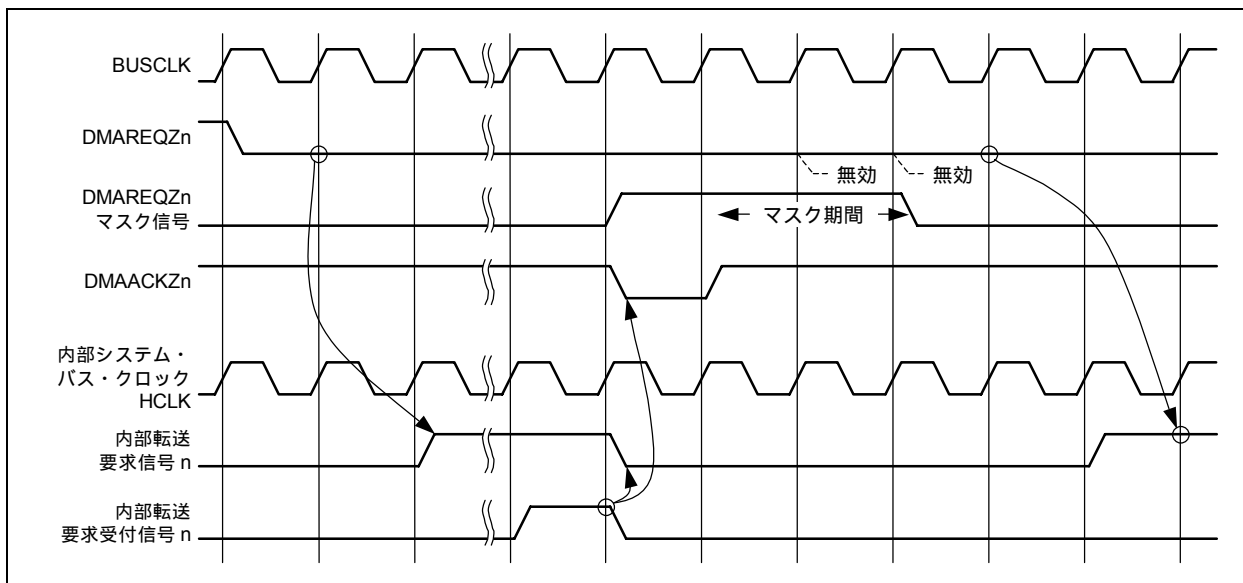


図 9-9 DMA 用端子信号と内部信号の様子 (4) (DMAIFCn = 8000 0002H)

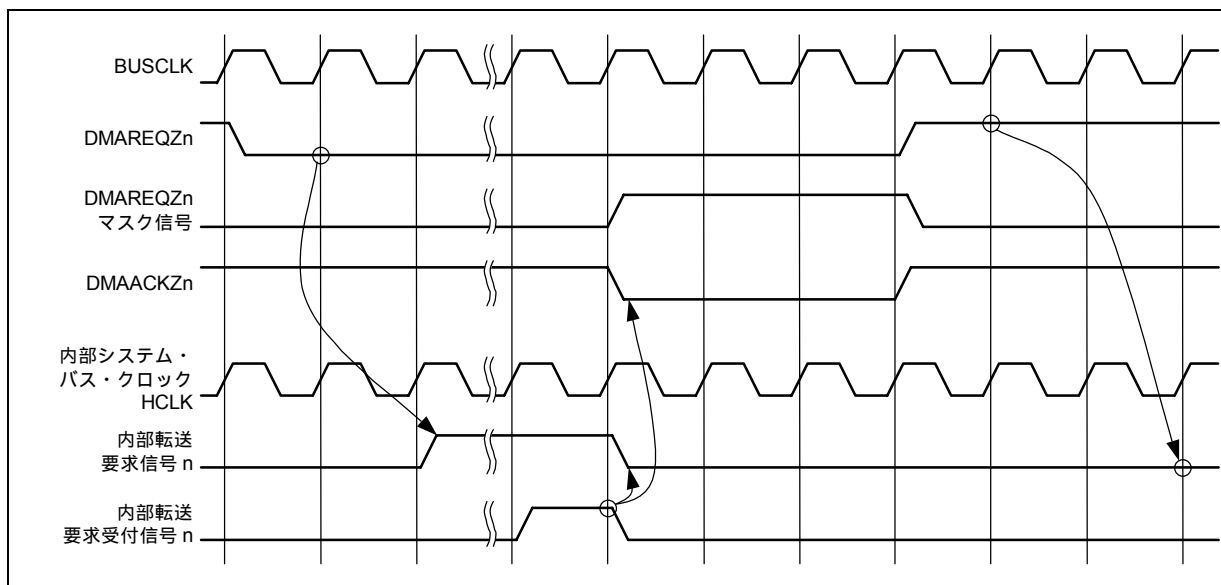


図 9-10 DMA 用端子信号と内部信号の様子 (5) (DMAIFCn = 8000 0002H)

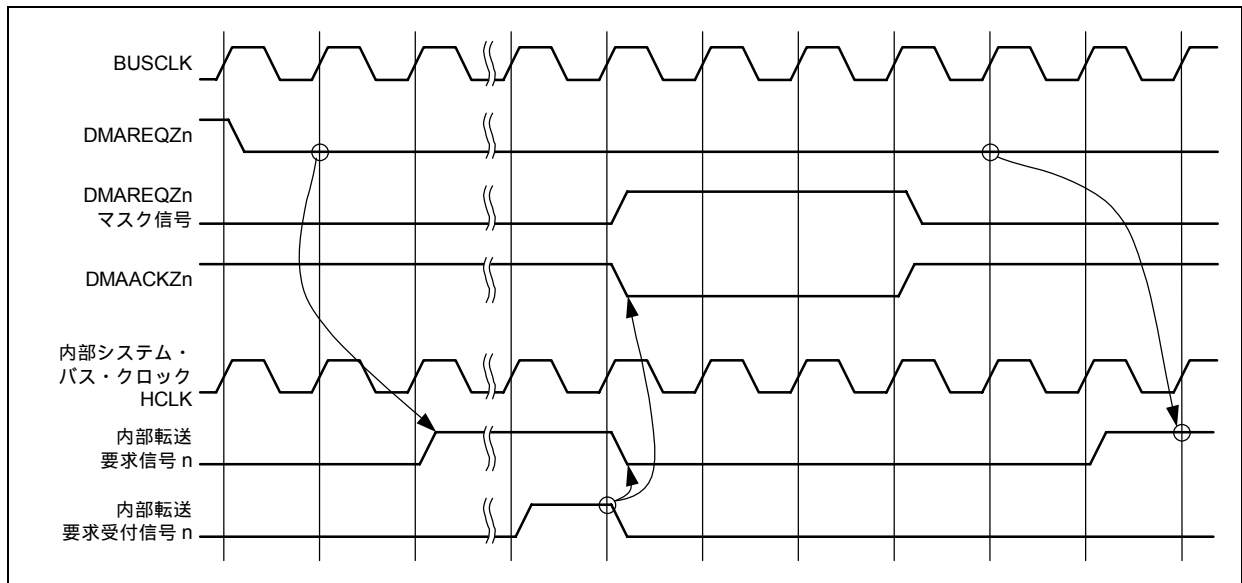
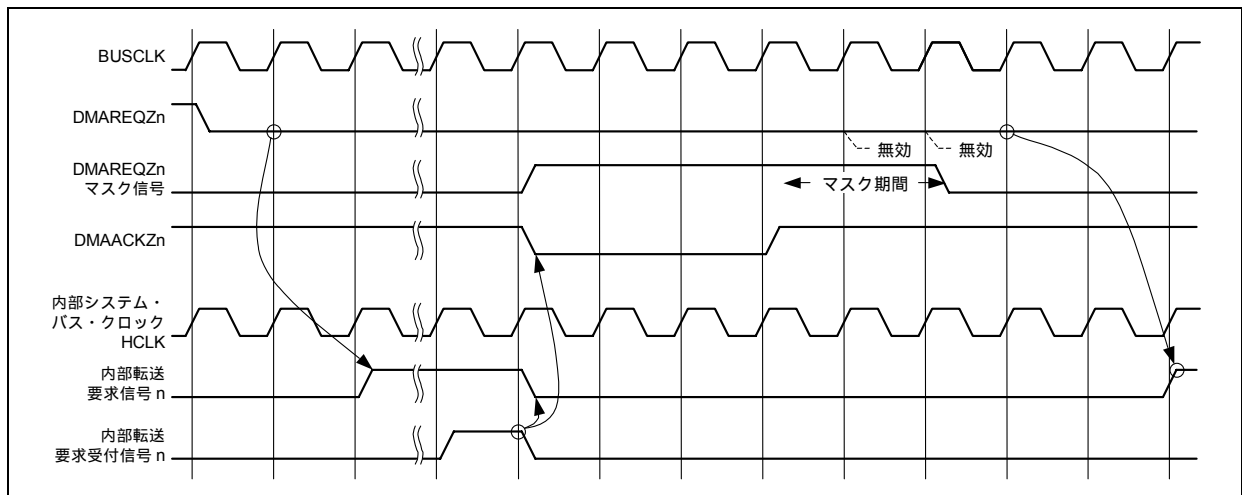


図 9-11 DMA 用端子信号と内部信号の様子 (6) (DMAIFCn = 8000 0202H)





## 9.4 システム・バス DMAC の動作設定

### 9.4.1 レジスタ・モードとリンク・モードの選択

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビット (ビット 31) で、レジスタ・モードとリンク・モードを選択します。

表 9-4 レジスタ・モードとリンク・モード

CHCFGn レジスタの DMSn ビット	モード	動作
0	レジスタ・モード	Next レジスタ・セットに設定した値で DMA 転送を行います。
1	リンク・モード	ディスクリプタを Current レジスタにセットして、DMA 転送を行います。 ディスクリプタによる設定、またはチャンネル・コントロール・レジスタ (CHCTRLn) で停止しないかぎり、ディスクリプタのロードと DMA 転送を繰り返します。

備考 n = 0-7

## 9.4.2 レジスタ・モード

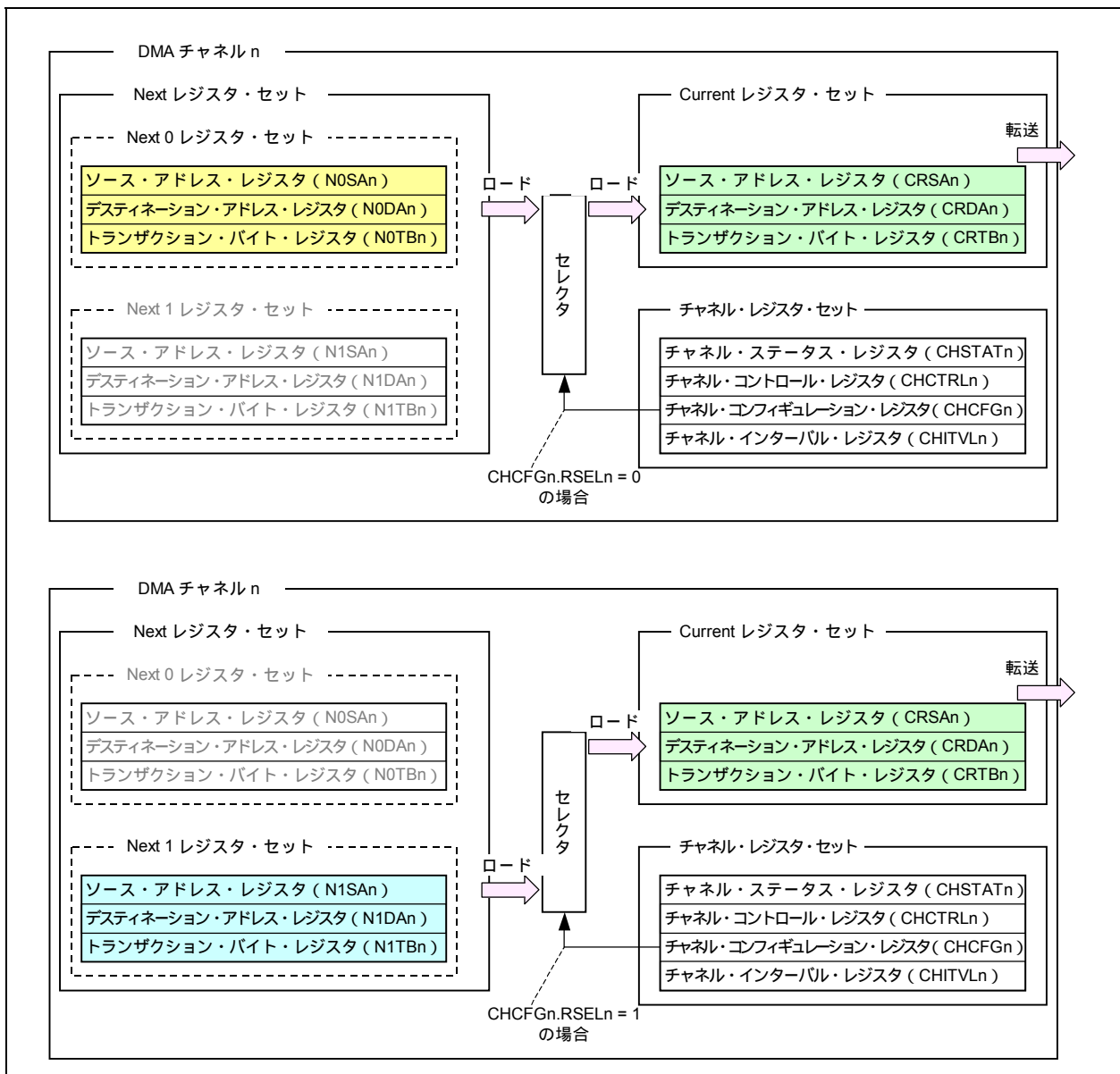
レジスタ・モードは、Next レジスタ・セット設定した値を用いて DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類 (Next0 レジスタ・セット、Next1 レジスタ・セット) 設定できます。

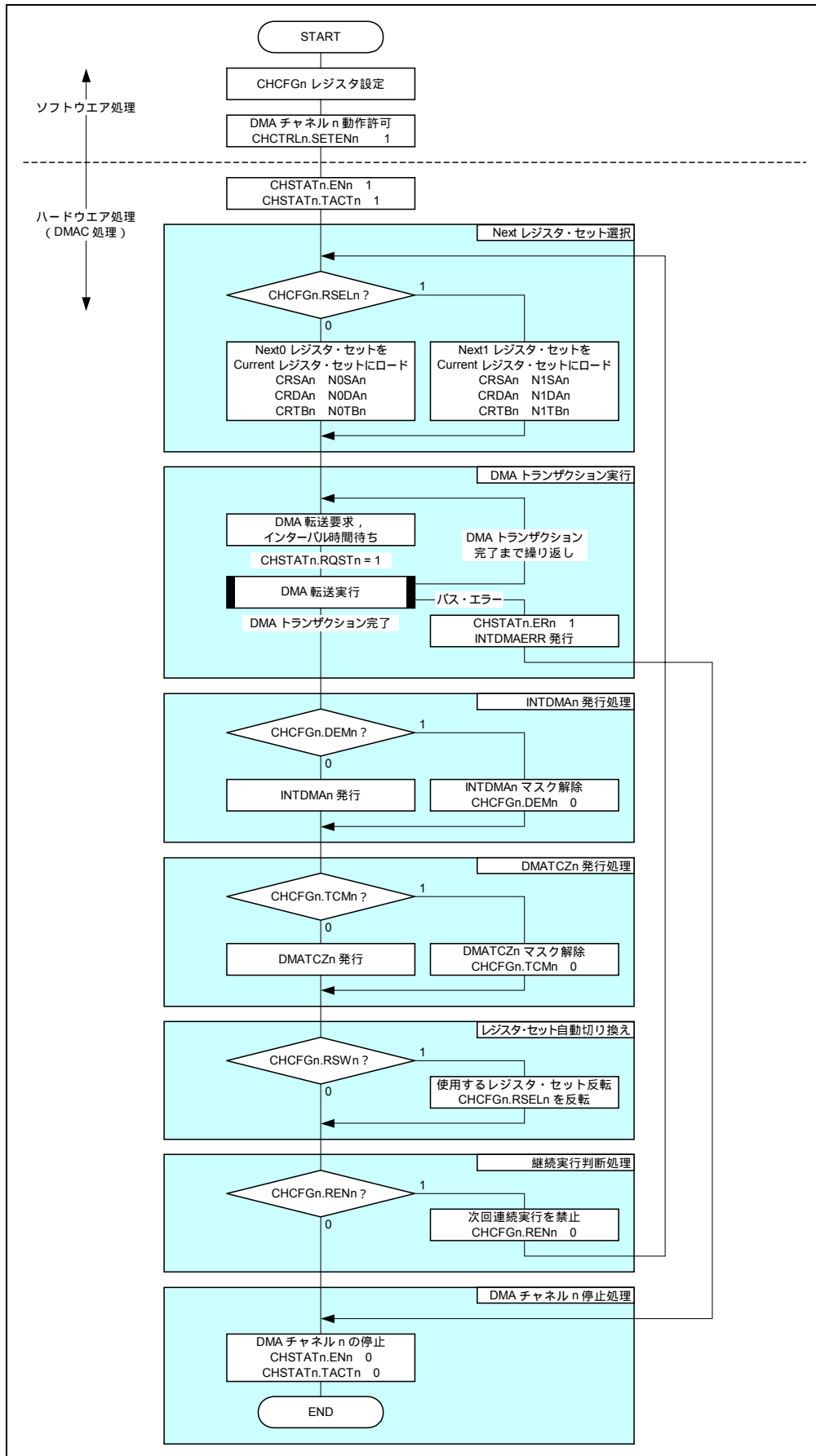
使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して使用して (Next0 レジスタによる DMA トランザクション終了後、Next1 レジスタによる DMA トランザクション実行など) 転送したりすることができます。

以下に、Next0 を使用する場合と、Next1 を使用する場合のレジスタ・ロード例を示します。

図 9-12 レジスタ・モード動作概要



(1) レジスタ・モードの動作フロー



<1> チャンネル設定

Next0 または Next1 レジスタ・セット (転送先アドレス, 転送元アドレス, 総転送バイト数) を設定します。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) で, 動作モードの設定を行います。

<2> Next レジスタ・セット選択

チャンネル・コントロール・レジスタ (CHCTRLn) レジスタの SETENn ビットをセット (1) すると, チャンネル・ステータス・レジスタ (CHSTATn) の ENn, TACTn ビットがセット (1) され, CHCFGn.RSELn ビットで選択した Next レジスタ・セットの設定値が, Current レジスタ・セットにロードされます。

<3> DMA トランザクション実行

設定に従って, DMA 転送を行います。転送の詳細については, 9.5 システム・バス DMAC の動作を参照してください。

この間に DMA 転送エラーが発生すると, INTDMAERR を発行し, DMA 転送を終了します。

<4> INTDMA 発行処理

CHCFGn.DEMn ビットに設定した値に従って, INTDMA のマスクが行われます。

DEMn = 1 の場合は, INTDMA は発行されません。また, その直後に自動的に DEMn ビットがクリア (0) されます。

<5> DMATCZn 発行処理

CHCFGn.TCMn ビットに設定された値に従って, DMATCZm (m: CHCFGn レジスタの SELn2-SELn0 ビットで選択) 出力のマスクが行われます。

TCMn = 1 の場合は, DMATCZm は出力されません。また, その直後に自動的に TCMn ビットがクリア (0) されます。

<6> レジスタ・セット自動切換え

CHCFGn.RSWn ビットに設定された値に従って, もう一方の Next レジスタ・セットを使用するかが決定されます。

<7> 継続実行判断処理

CHCFGn.RENn ビットに設定した値に従って, DMA 転送を継続実行するかが決定されます。

RENn = 0 の場合は, CHSTATn レジスタの ENn, TACTn をクリア (0) し, DMAC は動作を停止します。

RENn = 1 の場合は 継続して DMA トランザクションが実行されます。また, その直後に自動的に RENn ビットがクリア (0) されます。

## (2) レジスタの設定

## (a) レジスタ・セットの選択 (CHCFGn.DMSn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビット (ビット 28) で、実行するレジスタ・セットを選択します。

表 9-5 レジスタ・モードの設定

CHCFGn.DMSn	CHCFGn.RSELn	動作
0 (レジスタ・モード選択)	0	Next0 レジスタ・セットを使用する
	1	Next1 レジスタ・セットを使用する

## (b) INTDMA 動作の選択 (CHCFGn.DEMn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DEMn ビット (ビット 24) で、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時に、INTDMA<sub>n</sub> の動作を選択します。

表 9-6 INTDMA 動作の選択

CHCFGn.DEMn	動作	
0	INTDMA <sub>n</sub> 出力許可 (INTDMA <sub>n</sub> をマスクしない)	DMA トランザクション(一連の DMA 転送)完了時に、INTDMA <sub>n</sub> を出力します。
1	INTDMA <sub>n</sub> 出力禁止 (INTDMA <sub>n</sub> をマスクする)	DMA トランザクション(一連の DMA 転送)完了時に、INTDMA <sub>n</sub> を出力しません。 その後、自動的に DEMn ビットはクリア (0) され、INTDMA <sub>n</sub> 出力は許可状態に戻ります。

## (c) ターミナル・カウント出力 (DMATCZm) のマスク設定 (CHCFGn.TCMn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の TCMn ビット (ビット 25) で、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時のターミナル・カウント (DMATCZ<sub>m</sub> (m : CHCFGn レジスタの SELn2-SELn0 ビットで選択)) 出力のマスク設定を行います。

表 9-7 ターミナル・カウント出力 (DMATCZn) のマスク設定

CHCFGn.TCMn	動作	
0	ターミナル・カウント出力 (DMATCZ <sub>m</sub> ) 出力許可 (DMATCZ <sub>m</sub> をマスクしない)	DMA トランザクション(一連の DMA 転送)完了時に、DMATCZ <sub>m</sub> を出力します。
1	ターミナル・カウント出力 (DMATCZ <sub>m</sub> ) 出力禁止 (DMATCZ <sub>m</sub> をマスクする)	DMA トランザクション(一連の DMA 転送)完了時に、DMATCZ <sub>m</sub> を出力しません。 その後、自動的に TCMn ビットはクリア (0) され、DMATCZ <sub>m</sub> 出力は許可状態に戻ります。

## (d) 継続実行の設定 (CHCFGn.RENn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RENn ビット (ビット 30) で, DMA トランザクション (一連の DMA 転送) 完了時に続けて DMA 転送を実行する動作を選択します。

続けて実行する場合は, チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビットで選択されている Next レジスタ・セットで DMA 転送を行います。

表 9-8 継続実行の設定

CHCFGn.RENn	動作	備考
0	RSELn に設定されているレジスタ・セットの DMA トランザクション (一連の DMA 転送) が完了すると, RENn ビットをクリア (0) して DMA 動作を終了します。	DMA トランザクション (一連の DMA 転送) を 1 回実行する場合に設定してください。
1	DMA トランザクション (一連の DMA 転送) 完了後に続けて, 選択されているレジスタ・セットの内容を DMA 転送します。その後, RENn を自動的にクリア (0) します。	レジスタ・セットの内容に従って, 連続して DMA トランザクション (一連の DMA 転送) 実行する場合に設定してください。

## (e) レジスタ・セットの自動切り替え設定 (CHCFGn.RSWn)

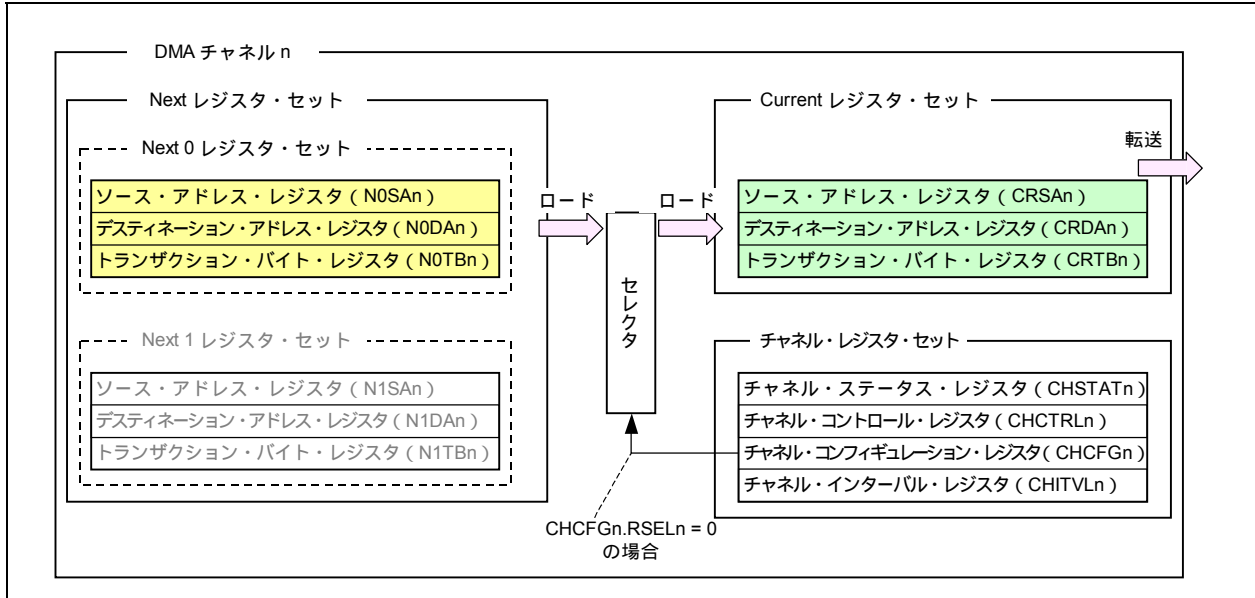
チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSWn ビット (ビット 29) で, DMA トランザクション (一連の DMA 転送) 完了時の RSELn (Next0 / Next1 レジスタ・セットの選択) ビットの値の反転動作を選択します。

CHCFGn.RSWn	動作	備考
0	RENn = 1 (継続実行許可時) の DMA トランザクション (一連の DMA 転送) が完了時に, レジスタ切り替え (RSELn ビットの反転動作) を行いません。	1 つのレジスタ・セットのみを使う場合に選択してください。
1	RENn = 1 (継続実行許可時) の DMA トランザクション (一連の DMA 転送) が完了時に, レジスタ切り替え (RSELn ビットの反転動作) を行い, 継続実行用にもう一方のレジスタ・セットを選択します。	継続実行のために, レジスタ・セットを切り替える場合に選択してください。

## (3) レジスタの設定例

## (a) Next0 レジスタ・セットのみを使用する場合

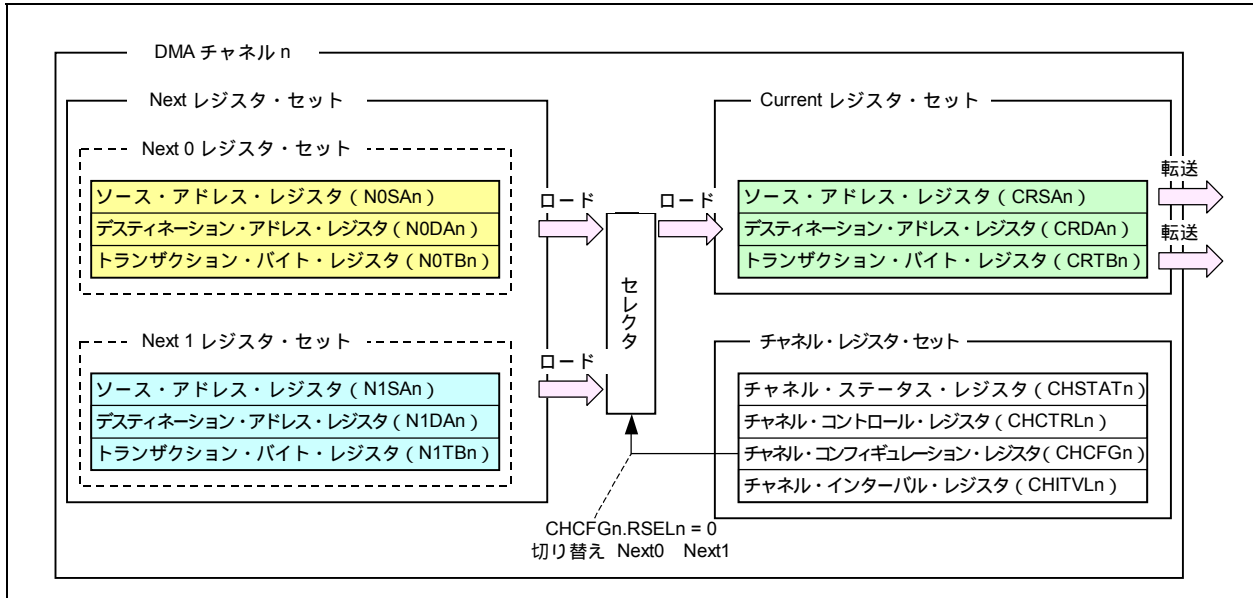
CHCFGn.DMSn	CHCFGn.RSELn	CHCFGn.DEMn	CHCFGn.TCMn	CHCFGn.RSWn	CHCFGn.RENn
0	0	0	0	0	0
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクなし	DMATCZm マスクなし	レジスタ切り替え なし	継続実行なし



- <1> CHCTRLn.SETENn をセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1 となり, Next0 レジスタ・セットが Current レジスタ・セットにロードされます。
- <2> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <3> CHCFGn.DEMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn が発行されます。
- <4> CHCFGn.TCMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に DMATCZm が発行されます。
- <5> CHCFGn.RENn = 0 なので, ENn, TACTn をクリア (0) して終了します。

(b) 2つのレジスタ・セットを用いて連続実行する場合

CHCFGn.DMSn	CHCFGn.RSELn	CHCFGn.DEMn	CHCFGn.TCMn	CHCFGn.RSWn	CHCFGn.RENn
0	0	1	0	1	1
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクあり	DMATCZm マスクなし	レジスタ切り替え あり	継続実行あり



- <1> CHCTRLn.SETENn をセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1, Next0 レジスタ・セットが Current レジスタ・セットにロードされます。
- <2> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <3> CHCFGn.DEMn = 1 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn は発行されません。また自動的に DEMn ビットがクリア (0) されます。つまり継続実行する DMA トランザクションが完了した時点で, INTDMAn が発生することになります。
- <4> CHCFGn.RENn = 1 なので, 継続実行されます。また自動的に RENn ビットがクリア (0) されます。
- <5> CHCFGn.RSWn = 1 なので, 次に実行するレジスタ・セットが切り替わります (RSELn = 0 1)。
- <6> Next1 レジスタ・セットが Current レジスタ・セットにロードされます。
- <7> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <8> CHCFGn.DEMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn が発行されます。
- <9> CHCFGn.TCMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に DMATCZm が発行されます。
- <10> CHCFGn.RENn = 0 なので, ENn, TACTn をクリア (0) して終了します。



### 9.4.3 リンク・モード

リンク・モードは、PFESiP/V850EP3 内蔵のワーク RAM や外部メモリに配置した「ディスクリプタ」を設定値としてロードして、DMA トランザクション（一連の DMA 転送）を実行するモードです。

システム・バス DMAC 内部にはチャンネルごとに Next リンク・アドレス・レジスタと Current リンク・アドレス・レジスタがあります。Next リンク・アドレス・レジスタは、次に実行するディスクリプタ・アドレスの設定に使用します。Current リンク・アドレス・レジスタは、現在実行中の DMA トランザクション（一連の DMA 転送）の、ディスクリプタ・アドレスの表示に使用します。

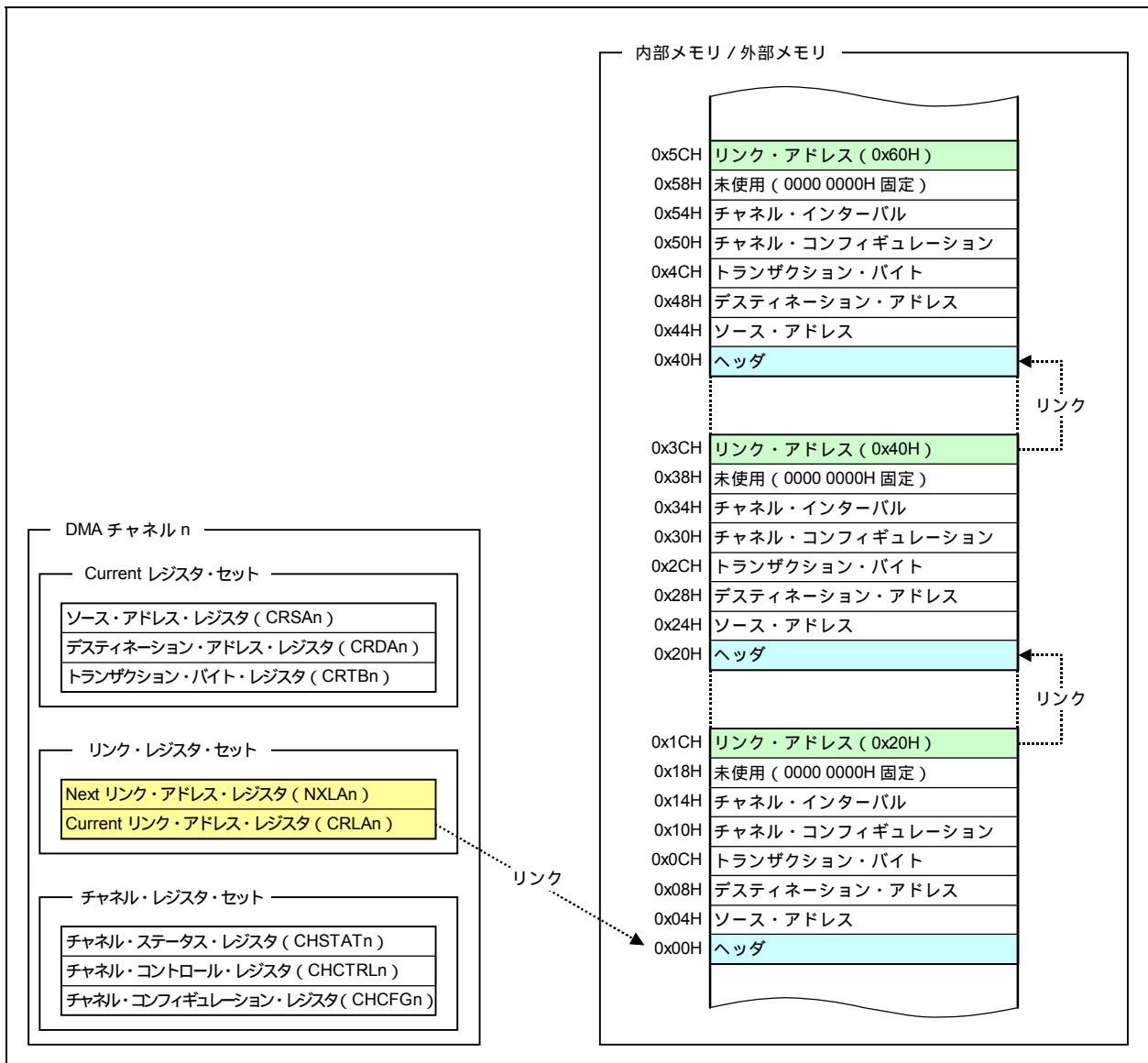
**注意** ディスクリプタは、命令 RAM やデータ RAM には配置できません。内蔵 RAM に配置する場合は、ワーク RAM を使用してください。

命令 RAM : 0000 0000H-0007 FFFFH ... ディスクリプタ配置不可

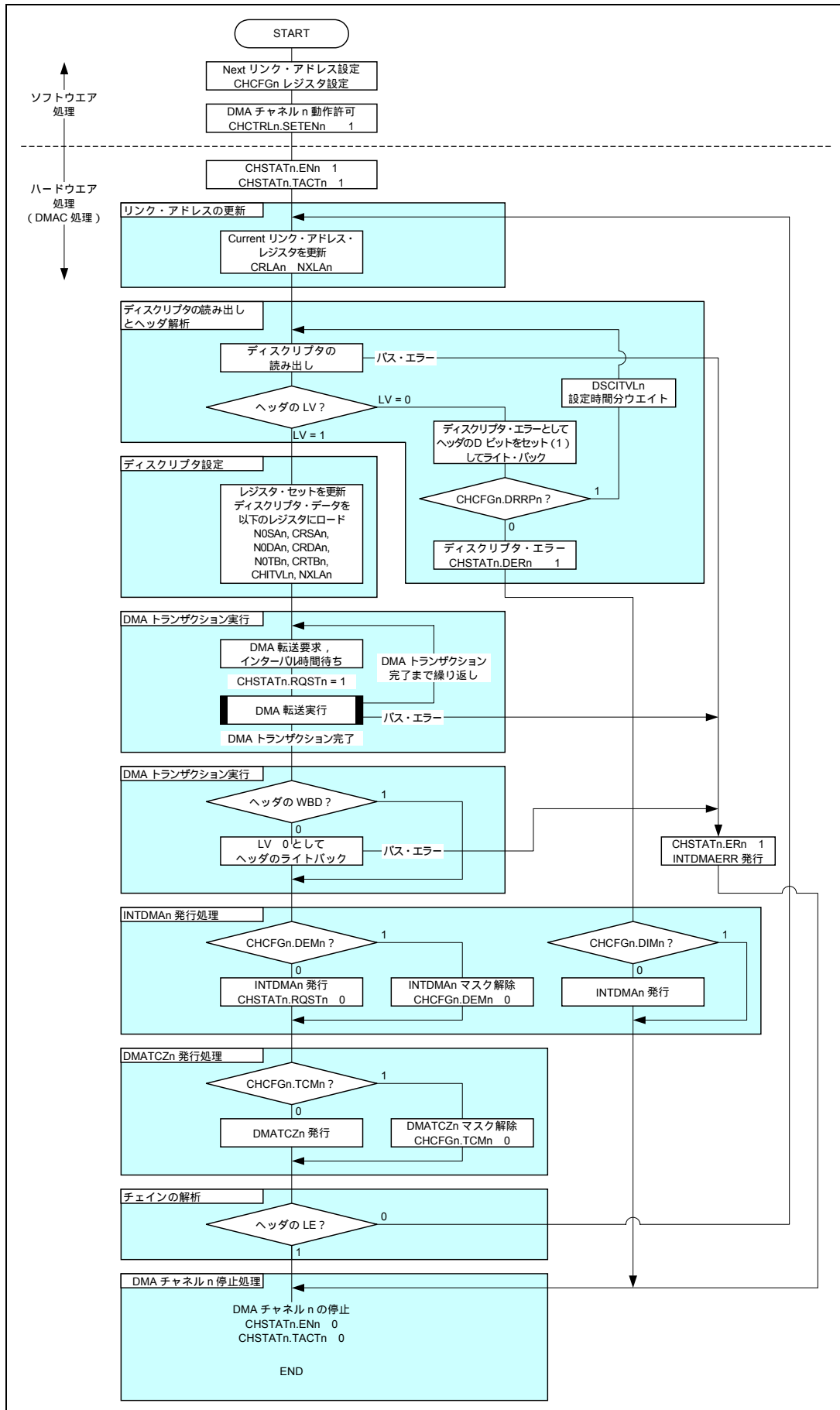
データ RAM : FEC0 0000H-FEC0 7FFFH ... ディスクリプタ配置不可

ワーク RAM : 0F18 0000H-0F19 FFFFH ... ディスクリプタ配置可

図 9-13 リンク・モード概要



(1) リンク・モードの動作フロー



<1> チャンネル設定

NXLAn にリンク先の先頭アドレスを設定します。

<2> リンク・アドレス更新

CHCTRLn.SETENn ビットをセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1 となり, NXLAn レジスタに設定したリンク・アドレスが CRLAn にロードされます。

<3> ディスクリプタ読み出しとヘッダ判定

ディスクリプタ・ロードを開始し, DMAC は「ヘッダ」の内容を確認します。LV = 0 の場合は, ヘッダの D ビットをセット (1) してライトバックされます。

CHCFGn.DRRPn = 1 の場合は, DSCITVL レジスタに設定された時間後, 再び同じディスクリプタをリードします。

CHCFGn.DRRPn = 0 の場合は, CHSTATn.DERn = 1 になり終了状態 (ENn = 0, TACT = 0) になります。このとき CHCFGn.DIMn = 0 の場合は, INTDMAAn が発行されます。

<4> ディスクリプタ設定

ロードしたディスクリプタは Current レジスタ・セットと, チャンネル・レジスタ・セットに設定されます。また NXLAn に次のリンク先を設定されます。

<5> DMA トランザクション実行

設定された値に従って, DMA トランザクションが実行されます。

この間に DMA 転送エラーが発生すると, INTDMAERR が発行され, DMA 転送を終了します。

<6> ヘッダ書き戻し (ライトバック)

ヘッダの WBD = 0 の場合は, DMAC はヘッダの LV ビットをクリア (0) してヘッダを書き戻します。

<7> INTDMA 発行処理

CHCFGn.DEMn ビットに設定した値に従って, INTDMAAn がマスクされます。

DEMn = 1 の場合は, INTDMAAn は発行されません。

<8> DMATCZn 発行処理

CHCFGn.TCMn ビットに設定された値に従って, DMATCZm (m: CHCFGn レジスタの SELn2-SELn0 ビットで選択) 出力がマスクされます。

TCMn = 1 の場合は, DMATCZm は出力されません。

<9> リンク終了判定

ヘッダの LE = 1 の場合, ディスクリプタ設定での DMA トランザクション後, ENn, TACTn をクリア (0) して終了します。LE = 0 の場合は, Current レジスタを更新し, 次のディスクリプタ・ロードが開始されます。

## (2) レジスタ設定

## (a) リンク・モード選択 (CHCFGn.DMSn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビット (ビット 31) で、リンク・モードを選択します。

ディスクリプタでは、DMSn ビットは書き換えられません。

表 9-9 リンク・モードの選択

CHCFGn.DMSn	動作
1 (リンク・モード選択)	リンク・モードで動作します。

## (b) リンク・アドレスの設定 (NXLAn)

リンク先を示すレジスタとして、Next リンク・アドレス・レジスタ n (NXLAn) と Current リンク・アドレス・レジスタ n (CRLAn) があります。

リンク・モードを開始する際には、Next リンク・アドレス・レジスタ n (NXLAn) にリンク先アドレスを設定してください。

Next リンク・アドレス・レジスタ n (NXLAn) は、ディスクリプタのロード後には、次のリンク先を示します。また、Current リンク・アドレス・レジスタ n (CRLAn) は、現在実行中のリンク・アドレスを示しています。

表 9-10 リンク・アドレス・レジスタ・セット

レジスタ	動作
Next リンク・アドレス・レジスタ (NXLAn)	次のリンク先の表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
Current リンク・アドレス・レジスタ (CRLAn)	現在実行中のリンク・アドレスを示します。このレジスタはリードのみ可能です。

**注意** リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェアによる DMA 転送要求 (DMAREQZn や割り込み信号) との同期が取れません。このため、ハードウェアによる DMA 転送要求を利用する場合は、ENn ビットをセット (1) する前に、CHCFGn レジスタの AM2-AM0, LVL, HIEN, LOEN, SEL2-SEL0 を設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。

## (c) ディスクリプタの設定

システム・バス DMAC は、2種類のディスクリプタ・フォーマットをサポートしています。

フォーマットの切り替えは、ディスクリプタの1ワード目(ヘッダ)のビット31-28のDSCFMフィールドで指定してください。

以下に、DSCFMの値と、ディスクリプタ・フォーマットの関係を示します。

表 9-11 ディスクリプタ・フォーマット

DSCFM フィールドの値	0001b	0011b
ディスクリプタ・サイズ	8ワード	4ワード
リンク・アドレス		
チャンネル・インターバル		- (reload)
チャンネル・コンフィギュレーション		- (reload)
トランザクション・サイズ		- (Header)
デスティネーション・アドレス		
ソース・アドレス		
ヘッダ	(no STS)	(STS)

注意 1. 上記以外の DSCFM フィールドの値を設定しないでください。

- ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビットの設定は変更できません (リンク・モード固定)。
- ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RENn, RSWn ビットの設定を変更できますが、これらはレジスタ・モードで利用するビットのため、動作に影響を与えません。
- ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビットの設定を変更できますが、リンク・モードでは、Next0 レジスタ・セットのみ使用されます。

表 9-12 ディスクリプタの各フィールドの説明

フィールド	記号	説明
リンク・アドレス		現在のディスクリプタによる DMA 転送の後にリードする、次のディスクリプタ・アドレス (リンク・アドレス) を指定します。
チャンネル・インターバル, チャンネル・コンフィギュレーション	- (reload)	チャンネル・インターバル, チャンネル・コンフィギュレーションを指定します。 チャンネル・インターバル, チャンネル・コンフィギュレーションを省略し、前回の設定値を引き続き使用します。
トランザクション・サイズ	- (Header)	トランザクション・バイト・サイズを指定します。 トランザクション・バイト・サイズを省略し、ヘッダの STS フィールドの値を総転送バイト数として使用します。STS フィールドは 16 ビットのため、最大設定サイズは 65,536 バイトです。
デスティネーション・アドレス		転送先アドレスを指定します。
ソース・アドレス		転送元アドレスを指定します。
ヘッダ	(no STS)	ヘッダのビット 15-0 の STS フィールドは無効です。 総転送バイト数は、ディスクリプタのトランザクション・サイズが使用されます。
	(STS)	ヘッダのビット 15-0 の STS フィールドは有効です。 STS フィールドに設定した値が、総転送バイト数になります。

(i) ヘッダの設定

ヘッダは、ディスクリプタの状態等を示します。

ヘッダは、リンク・モードでの DMA 転送開始前にリードされます。また DMA トランザクション (一連の DMA 転送) 終了後に、ライトバックされます。



WBD = 0 の場合、本ディスクリプタに従った DMA トランザクション (一連の DMA 転送) 終了後、LV ビットのみクリア (0) してライトバックされます。ヘッダのリード時に LV = 0 の場合、ディスクリプタ・エラーとして、D ビットのみセット (1) してライトバックされます。

ビット位置	ビット名	意味
31-28	DSCFM	(Descriptor Format) 表 9-11 に示す、2 種類のいずれかのディスクリプタのフォーマットを指定します。
27	Reserved	0 を設定してください。
26	WBD	(Write Back Disable) LV ビットのライトバック動作を設定します。 0 : DMA トランザクション (一連の DMA 転送) 完了後に LV ビットを 0 に書き戻す 1 : DMA トランザクション (一連の DMA 転送) 完了後に LV ビットを書き戻さない
25	LE	(Link End) このディスクリプタの DMA トランザクション (一連の DMA 転送) のリンク継続状態を示します。 リンクの最後では、このビットをセット (1) してください。 0 : リンク継続 1 : リンク終了
24	LV	(Link Valid) ディスクリプタの有効 / 無効を示します。 WBD = 0 の場合、ディスクリプタに従った DMA トランザクション (一連の DMA 転送) 完了後に、LV ビットをクリア (0) してライトバックします。ヘッダ設定では 1 を設定してください。 0 : ディスクリプタ無効 1 : ディスクリプタ有効
23	D	(Descriptor Error) ディスクリプタ・エラー・ビットです。ヘッダのロード時に LV = 0 (ディスクリプタ無効) の場合、DMAC は、このビットをセット (1) してライトバックします。 0 : エラーなし 1 : ディスクリプタ・エラー
22-16	Reserved	0 を設定してください。
15-0	STS	(Short Transaction Size) DSCFM フィールドに 0011b を設定した場合、このフィールドで DMA 転送の総バイト数を設定します。設定可能な最大値は 65,536 バイトです。このとき、STS には 0 は設定できません。

**注意** DMAC 動作中にディスクリプタを順次追加する場合、LV ビットのセット(1)は、バイト・アクセスでライトしてください。DMAC は D ビットのライトバックをバイト・アクセスでライトするため、この操作により LV ビットのソフトウェアによるセット(1)と、DMAC による D ビットのライトバックの競合を回避できます。

- (ii) ヘッダ以外のディスクリプタの設定  
 ヘッダ以外のディスクリプタの各データは、DMAC 内部のレジスタと同じ仕様です。それぞれ、表 9-13 のように対応しています。DMAC 内部レジスタの仕様は、8.3 セントラル DMAC のレジスタを参照してください。

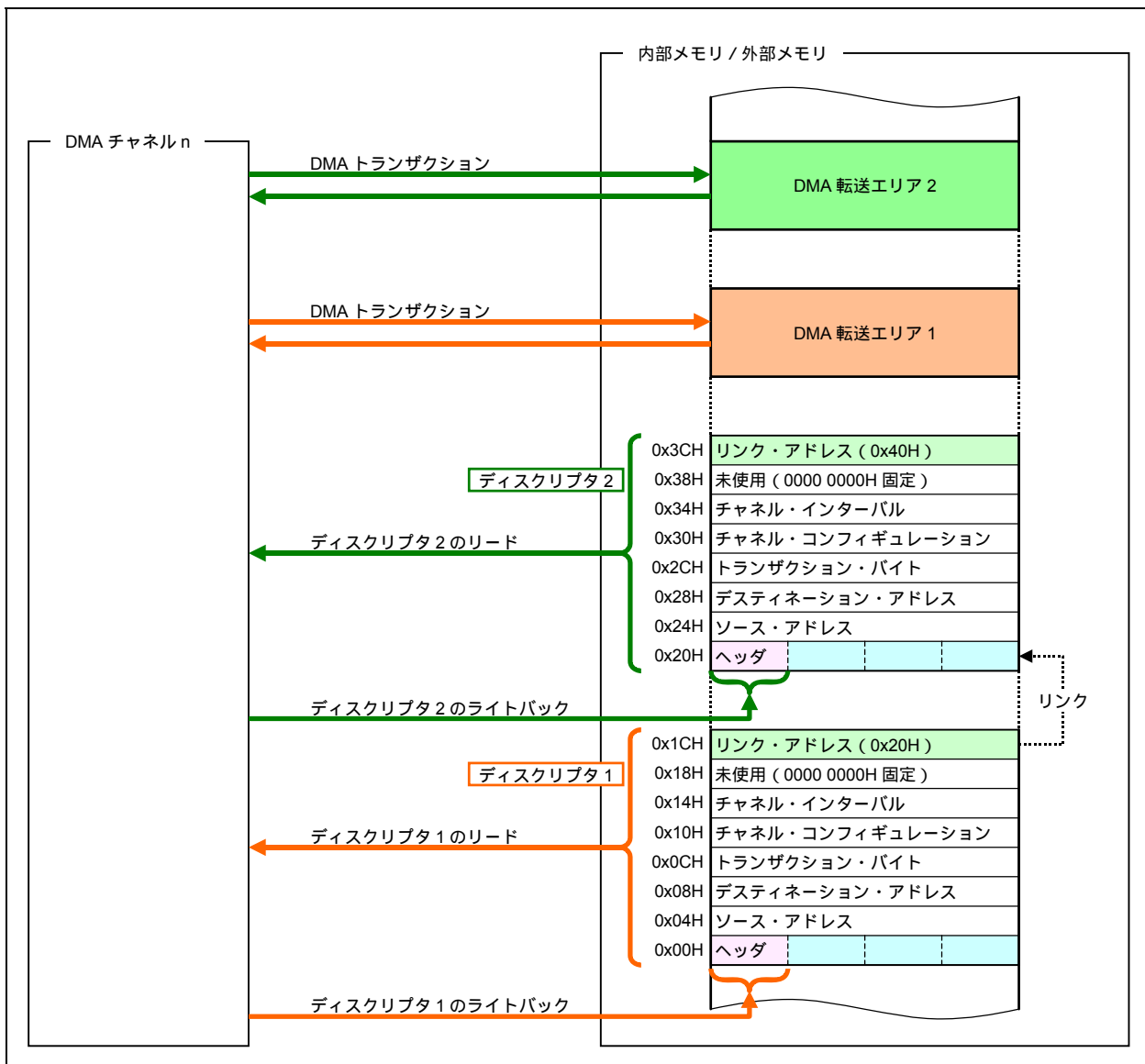
**表 9-13 ヘッダ以外のディスクリプタと DMAC 内部レジスタの関係**

ディスクリプタの オフセット・ アドレス	ディスクリプタ	DMAC 内部レジスタ
+ 04H	ソース・アドレス	ソース・アドレス・レジスタ (CRSAn)
+ 08H	デスティネーション・アドレス	デスティネーション・アドレス・レジスタ (CRDAn)
+ 0CH	トランザクション・バイト	トランザクション・バイト・レジスタ (CRTBn)
+ 10H	チャンネル・コンフィギュレーション	チャンネル・コンフィギュレーション・レジスタ (CHCFGn)
+ 14H	チャンネル・インターバル	チャンネル・インターバル・レジスタ (CHITVLn)
+ 18H	必ず 0000 0000H を設定してください。	-

**注意** CHCFGn レジスタの DMSn ビットはディスクリプタで書き換えることはできません。

(3) ディスクリプタ領域と DMA 転送領域の概略

図 9-14 ディスクリプタ領域と DMA 転送領域の概略





ディスクリプタ・リード

DMAC 内の Next リンク・アドレス・レジスタ (NXLAN) に設定した値を, Current リンク・アドレス・レジスタ (CRLAn) にロードし, CRLAn レジスタが示すメモリ空間上の「ディスクリプタ 1」から, ディスクリプタがリードされます。

DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は, ディスクリプタ情報に従って DMA 転送が実行されます。

ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後, ヘッダの WBD = 0 の場合は, ディスクリプタ 1 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック, その他のフィールドは でリードした値をバイト・ライトでライトバックされます。

ディスクリプタ・リード

でリードしたディスクリプタのヘッダの LE = 0 の場合は, ディスクリプタ中の Next リンク・アドレスで示されるアドレス (ディスクリプタ 2) から, 次のディスクリプタがリードされます。

DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は, ディスクリプタ情報に従って DMA 転送が実行されます。

ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後, ヘッダの WBD = 0 の場合は, ディスクリプタ 2 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック, その他のフィールドは でリードした値をバイト・データとして, バイト・アクセスでライトバックされます。

以降 - の繰り返し

- 備考 1.** ヘッダの LE = 1, WBD = 0 の場合は, そのディスクリプタ設定で DMA トランザクションを実行し, LV = 0 としてライトバックして終了します。
- 2.** ヘッダの LE = 1, WBD = 1 の場合は, そのディスクリプタ設定で DMA トランザクションを実行して終了します。ライトバックは行われません。
- 3.** ヘッダの LV = 0 の場合は, ヘッダの D ビットに 1 をライトバック後, CHCFGn.DRRPn = 1 の場合は, DSCITVLn レジスタの DITVL フィールドに従ったインターバル後に再度ディスクリプタのリードが行われます。CHCFGn.DRRPn = 0 の場合は, DMA を停止します。

## (4) ディスクリプタに関する注意事項

- (i) リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア転送要求との同期を取ることはできません。このため、ハードウェア転送要求を用いる場合、CHCTRLn.SETENn ビットをセット (1) する前に CHCFGn レジスタの AMn2-AMn0, LVLn, HENn, LENn, SELn2-SELn0 ビットを設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。
- (ii) ディスクリプタでは、CHCFGn レジスタの DMS ビットは変更できません (常にリンク・モードとなります)。また、ディスクリプタで CHCFGn レジスタの RENn, RSWn, RSELn ビットは変更できますが、動作に影響を与えません。
- (iii) システム・バス DMAC は、ヘッダの DSCFM ビットと LV ビットを参照して、そのディスクリプタの有効/無効を判断します。このため、ディスクリプタの DSCFM と LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化 (DSCFM = 0001b or 0011b, LV = 0) してください。
- (iv) DMA 動作中に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 の書き込みは、ヘッダ以降のディスクリプタ (ソース・アドレス、デスティネーション・アドレス・・・ネクスト・リンク・アドレス) を設定したあとに行ってください。これは、ソフトウェアによるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値を使って DMA が実行されることを防ぐためです。
- (v) ヘッダの D ビットへのライトバック情報を残したい場合は、ヘッダの LV ビットへの 1 のライトはバイト・アクセスで行ってください。
- (vi) ディスクリプタは、命令 RAM、データ RAM 以外の領域に配置してください。命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

## (5) リンクの構成例

リンク・モードでは、ディスクリプタを以下のように「リスト構成」、「ループ構成」とすることができます。

## (a) リスト構成

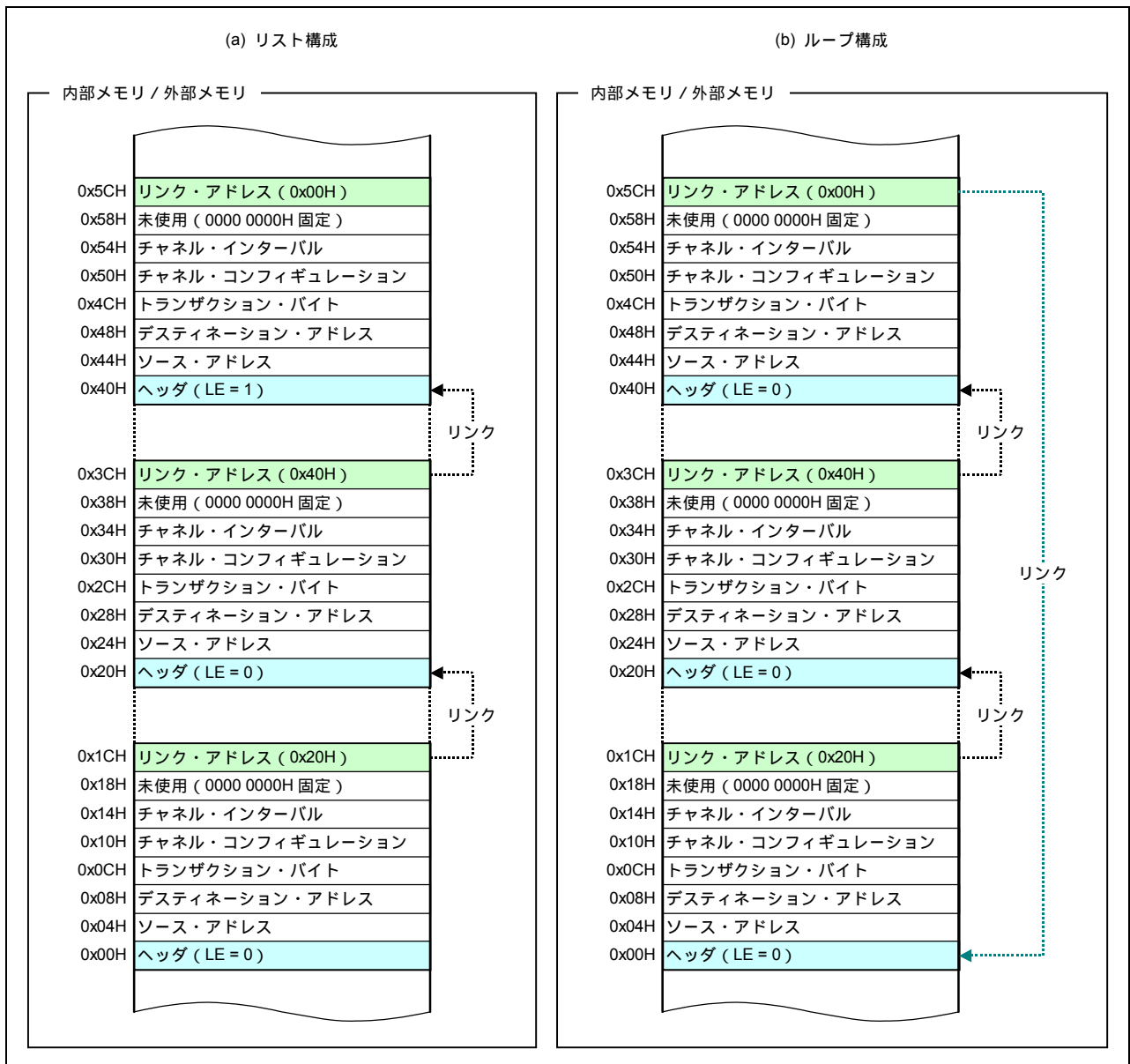
最終ディスクリプタのヘッダの LE = 1 とすることで、リンクを終了します。

リスト構成の場合は、最終ディスクリプタの LE ビットは 1 に設定してください。

## (b) ループ構成

最終ディスクリプタのリンク先を、先頭ディスクリプタのアドレスに設定すると、ディスクリプタはループ構成になります。ループを終了する場合は、DMAC がディスクリプタをリードする前に、ヘッダの LE ビットを 1 に書き換えるか、転送中断手順に従って DMAC を停止させてください。

図 9-15 リンク・モードの構成例



#### 9.4.4 ライト・オンリー・モード

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の WONLYn ビットをセット (1) すると、ライト・オンリー・モードになります。

ライト・オンリー・モードでは、DMA リード・トランスファを実行しません。ただしリンク・モードではディスクリプタのリードは行います。NxSAn (CHCFGn.RSELn = 0 の場合は x = 0, CHCFGn.RSELn = 1 の場合は x = 1) レジスタに設定した値をライト・データとして使用します。

ライト・オンリー・モードは、メモリ領域の初期化などに使用してください。

表 9-14 ライト・オンリー・モードの設定

CHCFGn.WONLYn	モード	動作
0	通常モード	Next レジスタ・セットに設定された値で DMA 転送を行います。
1	ライト・オンリー・モード	DMA リード・トランスファを行わず、DMA ライト・トランスファのみ行います。

## 9.5 システム・バス DMAC の動作

### 9.5.1 転送モード

システム・バス DMAC は、シングル転送モードとブロック転送モードをサポートしています。

モードの選択は、チャンネルごとにチャンネル・コンフィギュレーション・レジスタ (CHCFGn) の TMn ビットで設定してください。

シングル転送モードは、DMAREQzn 端子からの DMA 転送要求を用いた DMA 転送や、内蔵周辺機能から発生した割り込み要求による DMA 転送に用います。

ブロック転送モードは、ソフトウェア・トリガによる DMA 転送に用います。

表 9-15 DMA 転送モードの選択

CHCFGn.TMn	モード	動作
0	シングル転送モード	1 回の DMAREQzn からの DMA 転送要求、または内蔵周辺機能から発生した割り込み要求に対して、1 回の DMA 転送を実行します。 DMAREQzn 入力を用いた DMA 転送、内蔵周辺機能から発生した割り込み要求による DMA 転送に使用します。
1	ブロック転送モード	1 回のソフトウェア・トリガに対して、DMA トランザクション (一連の DMA 転送) が完了するまで、転送を実行します。 ソフトウェア・トリガによる DMA 転送に使用します。

**注意** DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合と UART 送信 / 受信 FIFO DMA 転送要求を選択している場合は、DMA 転送要求信号の検出と、DMA アクノリッジ信号の出力モードは、以下のように選択してください。

なお、外部割り込み入力は、外部割り込みモード・レジスタ (INTM1-INTM4) で、立ち上がり、立ち下がりいずれかのエッジを指定し、DMA 転送要求の検出は、チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) で、立ち上がりエッジ検出を選択してください。

DMA 転送要求要因	DMA 転送要求信号の検出	DMA アクノリッジ信号の出力モード
内蔵周辺機能の割り込み要求信号， 外部割り込み入力	立ち上がりエッジ検出 CHCFGn.LVLn = 0 CHCFGn.LENn = 0 CHCFGn.HENn = 1	Don't Care
UART 送信 / 受信 FIFO DMA 転送要求	ハイ・レベル検出 CHCFGn.LVLn = 1 CHCFGn.LENn = 0 CHCFGn.HENn = 1	レベル・モード CHCFGn.AMn2-AMn0 = 001b
端子からの DMA 転送要求入力	任意	任意

備考 n = 0-7

## (1) シングル転送モード

DMAREQZn 入力を用いた DMA 転送 ,内蔵周辺機能から発生した割り込み要求による DMA 転送に使用します。

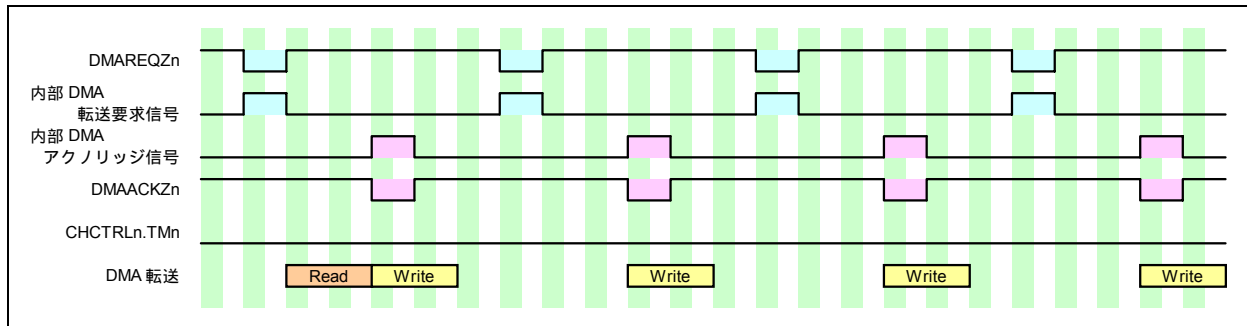
DMA 転送要求を受け付けると ,チャンネル・コンフィギュレーション・レジスタ(CHCFGn)の REQDn ビットで示された側 (転送元あるいは転送先)の DMA トランスファを 1 回実行し ,CHCFGn レジスタの AMn2-AMn0 ビットで指定したタイミングで ,DMAACKZn をアサートします。

転送要求の受け付けごとに 1 回の転送を行い ,この動作を Current トランザクション・バイト・レジスタ (CRTBn) にロードされたバイト数分続けます (チャンネル間のアービトレーションは ,DMA 転送ごとに行われます。 )。

CHCFGn レジスタの REQDn ビットの設定やトランスファ・サイズ (DDSn, SDSn) の設定により ,DMAACKZn の出力タイミングや ,CRTBn レジスタのカウント・タイミングが異なります。詳細は ,「9.5.10 転送サイズによる動作の相違」を参照してください。

図 9-16 シングル転送モード例

DMA 転送要求 : 立ち上がりエッジ検出 , 転送先からの要求 ,  
DMA アクノリッジ出力 : パルス・モード ,  
SDS[3:0] > DDS[3:0] (例として , 転送元の転送サイズが , 転送先の転送サイズの 4 倍の場合)



**備考** 外部端子の DMA インタフェース信号 (DMAREQZn, DMAACKZn, DMATCZn, SDMAREQZm, SDMAACKZm, SDMATCZm) は負論理です。内部で反転し正論理でシステム・バス DMAC と接続されています (n = 0-3, m = 0, 1)。

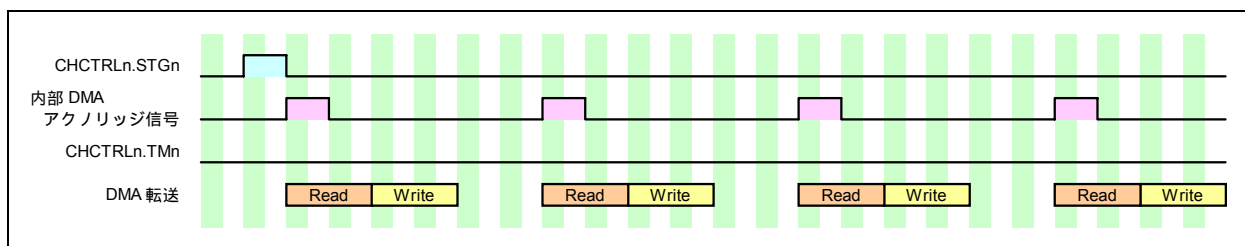
(2) ブロック転送モード

ソフトウェア・トリガによる DMA 転送に使用します。ソフトウェア・トリガはチャンネル・コントロール・レジスタ (CHCTRLn) の STGn ビットをセット (1) で起動します。

DMA 転送要求を 1 度受け付けると, Current トランザクション・バイト・レジスタ (CRTBn) にロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます (チャンネル間のアービトレーションは, DMA 転送ごとに行われます。 )。

図 9-17 ブロック転送モード例

DMA 転送要求: ソフトウェア・トリガ,  
 DMA アクノリッジ出力: パルス・モード,  
 SDS[3:0] = DDS[3:0] (例として, 転送元の転送サイズと転送先の転送サイズが等しい場合)



### 9.5.2 DMA チャンネルの優先順位制御

チャンネル間の優先順位制御は、固定優先順位モードとラウンドロビン・モードをサポートしています。モードは、システム・バス DMAC コントロール・レジスタ (DCTRL) の PR ビットで選択してください。

表 9-16 DMA チャンネルの優先順位制御の選択

DCTRL.PR	モード	動作
0	固定優先順位	固定優先 (高: CH0 > CH1 > CH2 ... CH5 > CH6 > CH7: 低) 順位で制御します。チャンネルに優先順位がある場合に使用してください。
1	ラウンドロビン	ラウンドロビンで制御します。各チャンネルを均等に DMA 転送を実行したい場合に使用してください。

#### (1) 固定優先順位モード

固定優先順位モードでは、各チャンネルの優先順位は固定となり次のようになります。

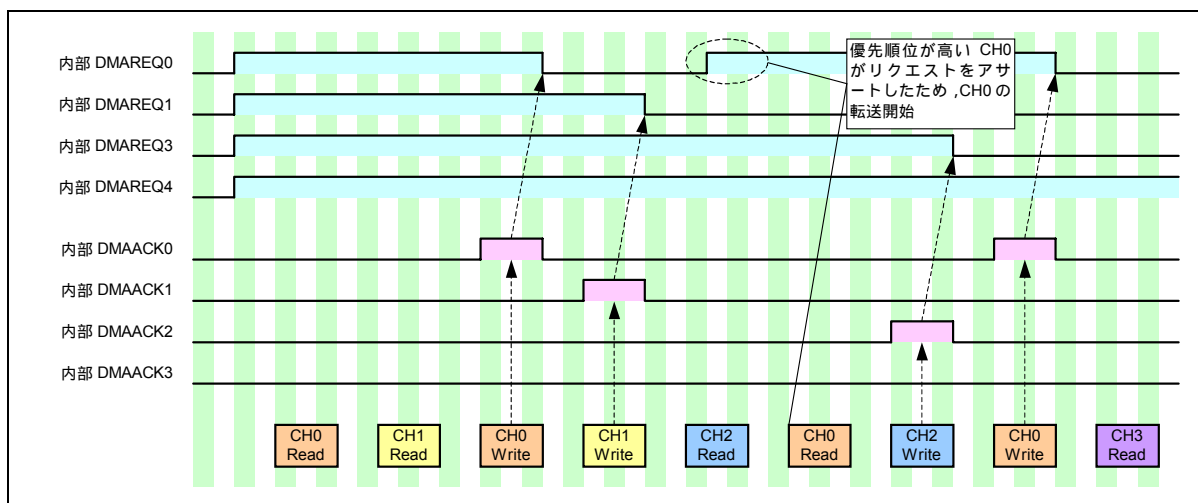
高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

DMA 転送要求が複数のチャンネルで同時に発生した場合は、番号の小さいチャンネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高いほかの DMA 転送要求が発生した場合の例を次に示します (下記の図では、便宜上 4 チャンネルで表現しています。 )。

**注意** セントラル DMAC と異なり、転送元からのリード・サイクルと、転送先へのライト・サイクルの間でも、DMA チャンネル間の優先順位制御が行われます。

図 9-18 固定優先順位モードの例

DMA 転送要求: ハイ・レベル検出, 転送先からの要求,  
DMA アクノリッジ出力: レベル・モード



**備考** 内部の DMA 信号として、各チャンネルの DMA 転送要求を「内部 DMAREQ<sub>n</sub>」、DMA アクノリッジ出力を「内部 DMAACK<sub>n</sub>」で表現しています (n = 0-3)。



(2) ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルの DMA 転送要求受け付けごとに、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

リセット解除直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

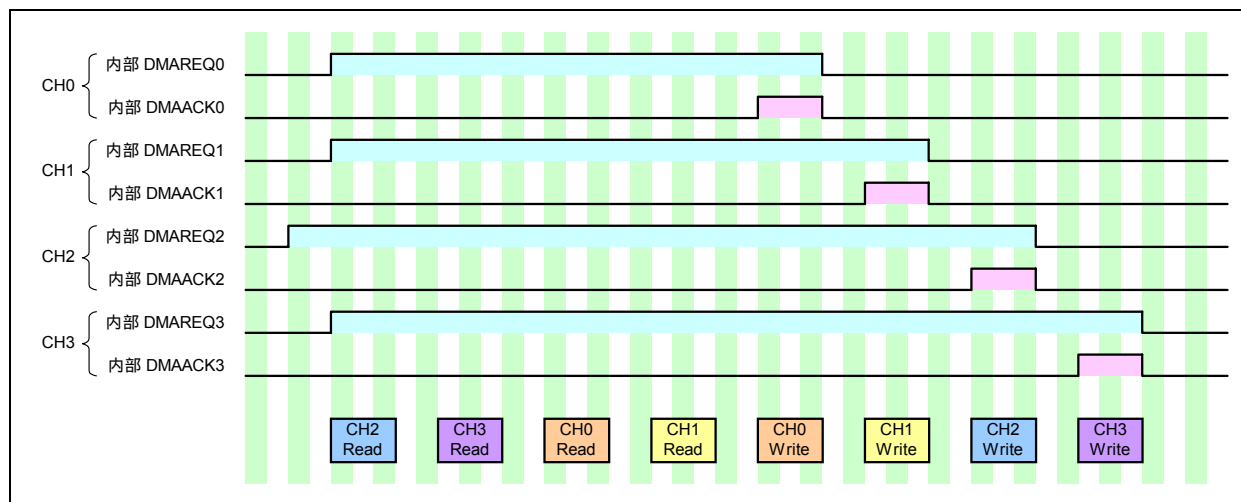
この状態で、DMA チャンネル0の転送要求がなく、DMA チャンネル2の転送要求があった場合、DMA チャンネル2の転送を行い、転送終了後には以下のようになります。

高優先 CH3 > CH4 > CH5 > CH6 > CH7 > CH0 > CH1 > CH2 低優先

ラウンドロビン・モードでの DMA 転送の例を次に示します (下記の図では、便宜上4チャンネルで表現しています。 )。

図 9-19 ラウンドロビン・モード

DMA 転送要求：ハイ・レベル検出，転送元からの要求，  
DMA アクノリッジ出力：レベル・モード



リード・チャンネル間，ライト・チャンネル間で，それぞれアービトレーションを行います。

**備考** 内部の DMA 信号として，各チャンネルの DMA 転送要求を「内部 DMAREQn」，DMA アクノリッジ出力を「内部 DMAACKn」で表現しています (n = 0-3)。

### 9.5.3 DMA 転送要求

DMA 転送要求は、DTFRn レジスタで、チャンネルごとに DMA 転送要求を選択できます。  
また DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の SELm2-SELm0 ビットで、割り当てを変更できます。

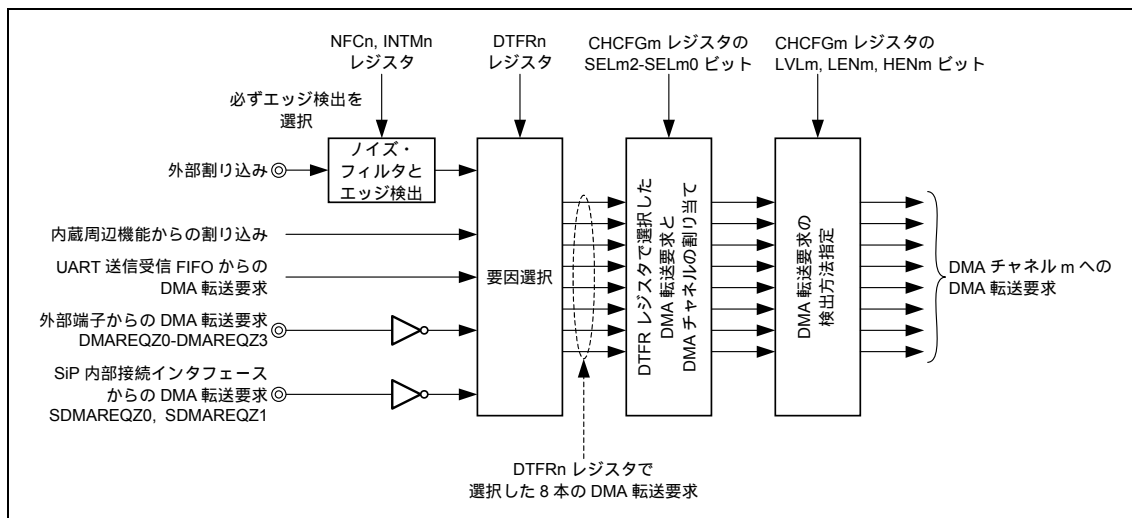
**注意** 内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZn, DMAACKZn, DMATCZn, SDMAREQZm, SDMAACKZm, SDMATCZm : n = 0-3, m = 0, 1) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HENn, LENn ビットの設定と逆の論理が選択されます。

#### (1) DMA チャンネルと DMA 転送要求の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-20 DMA チャンネルと DMA 転送要求の割り当て



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (2) DMA 転送要求の要因ごとの検出動作指定

DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DTFRn レジスタで選択した DMA 転送要求要因ごとに、下記の表を元に、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の LVLm, LENm, HENm ビットで正しい検出動作を指定してください。

表 9-17 DMA 転送要求の要因ごとの検出動作指定

DTFRn レジスタで選択した DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGm.LVLm, LENm, HENm)	DMA アクノリッジ信号の指定 (CHCFGm.AMm2-AMm0)	備考
外部端子からの割り込み要求 <sup>※</sup> (INTPZ0-INTPZ31,INTPZ36, INTPZ37,INTPZ40,INTPZ41)	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	DMA 転送要求として選択する場合は、INTMn レジスタでのレベル指定は禁止です。
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	
UART の送信 / 受信 FIFO からの DMA 転送要求	ハイ・レベル検出	レベル・モード	
外部端子からの DMA 転送要求 (DMAREQZ0-DMAREQZ3)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわ せて任意設定	
SiP 内部接続インタフェースからの DMA 転送要求 (SDMAREQZ0, SDMAREQZ1)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわ せて任意設定	

**注** 外部割り込みモード・レジスタ (INTM1-INTM4) で選択した立ち上がりエッジ、立ち下がりエッジのいずれの場合でも、内部の DMA 転送要求はハイ・レベルのパルスで伝達されます。このため CHCFGm レジスタでは立ち上がりを指定します。また INTM1-INTM4 レジスタでレベル・モードを選択すると、ハイ・レベルのパルスが連続して出力されるため DMA 転送要求には利用できません。

**備考** m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

DMA 転送要求は、DMA トリガ要因選択レジスタ  $n$  (DTFR $n$ ) で選択します。選択した DMA 転送要求により、DMA 転送要求信号の検出方法が異なります。検出方法は、チャンネル・コンフィギュレーション・レジスタ  $n$  (CHCFG $n$ ) の LVL $m$ , HEN $m$ , LEN $m$  ビットで指定します。

下記に、それぞれの場合の DMA 転送要求の検出方法を示します。

(a) DMA 転送要求信号が外部端子の DMA リクエスト信号の場合

内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZ $n$ , DMAACKZ $n$ , DMATCZ $n$ , SDMAREQZ $m$ , SDMAACKZ $m$ , SDMATCZ $m$  :  $n = 0-3, m = 0, 1$ ) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HEN $n$ , LEN $n$  ビットの設定と逆の論理が選択されます。

LVL $m$	HEN $m$	LEN $m$	DMAREQZ0-DMQREQZ3, SDMAREQZ0, SDMAREQZ1 の DMA 転送要求信号の検出方法	
			内部信号	外部端子
0	0	0	エッジ検出	検出無効
0	0	1		立ち下がり検出
0	1	0		立ち上がり検出
0	1	1		立ち上がり / 立ち下がり検出 (推奨しません)
1	0	0	レベル検出	検出無効
1	0	1		ロー・レベル検出
1	1	0		ハイ・レベル検出
1	1	1		DMA 転送要求の入力レベルに関係なく、CHCTRL $m$ レジスタの SETEN $m$ ビットをセット (1) すると DMA 転送を開始します。

(b) DMA 転送要求信号が割り込み信号 (INT ~ ではじまる信号) の場合

立ち上がりエッジ検出を指定してください。

LVL $m$	HEN $m$	LEN $m$	割り込み信号による DMA 転送要求信号の検出方法	
0	0	0	エッジ検出	検出無効
0	0	1		設定禁止
0	1	0		立ち上がり検出
0	1	1		設定禁止
1	x	x	レベル検出	設定禁止

(c) DMA 転送要求信号が内蔵アシンクロナス・シリアル・インタフェース (UART) からの場合

ハイ・レベル検出を指定してください。

LVL $m$	HEN $m$	LEN $m$	内蔵 UART からの DMA 転送要求信号の検出方法	
0	x	x	エッジ検出	設定禁止
1	0	0	レベル検出	検出無効
1	0	1		設定禁止
1	1	0		ハイ・レベル検出
1	1	1		設定禁止

備考  $m$  : DMA チャンネル 0-7

## (3) エッジ検出

CHCFGm レジスタの LVLm ビットを 0 に設定すると、エッジ検出が選択されます。

DMA 転送要求に ,DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1 信号を用いる場合は ,DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ3, SDMAACKZ0, SDMAACKZ1) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1) を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は ,DMA 転送が完了する前に次の割り込み信号が発生すると ,DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

図 9-21 エッジ検出モードの動作例 1

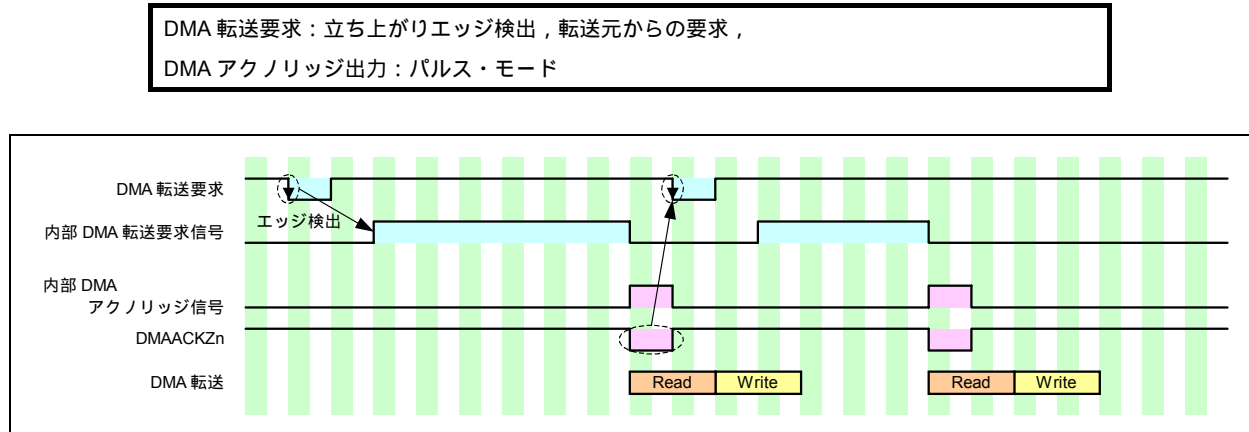
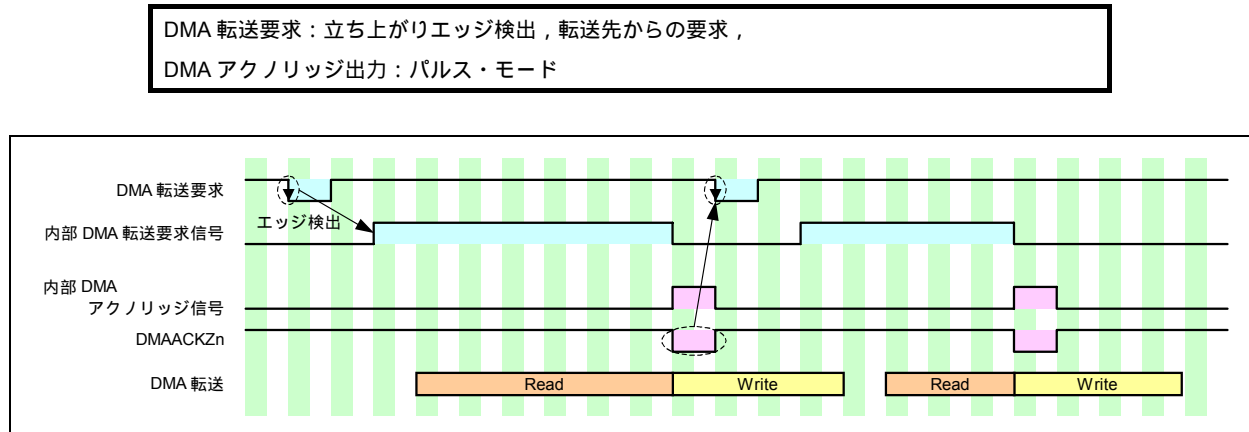


図 9-22 エッジ検出モードの動作例 2



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (4) レベル検出

CHCFGm レジスタの LVLm ビットを 1 に設定すると、レベル検出が選択されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1 信号を用いる場合は、BUSCLK (SBUSCLK) × 2 の幅の有効レベル (CHCFGn レジスタの HENm, LENm で指定) が入力されると DMA 転送要求として認識されます。

DMA アクノリッジ信号にレベル・モードを選択した場合は、DMAACKZn は DMAREQZn がディassertされるまで、ロー・レベルになります。パルス・モードを選択した場合は 1 × BUSCLK (SBUSCLK) のパルスで DMAACKZn が出力されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ3, SDMAACKZ0, SDMAACKZ1) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1) を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は、DMA 転送が完了する前に次の割り込み信号が発生すると、DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

図 9-23 レベル検出モードの動作例 1

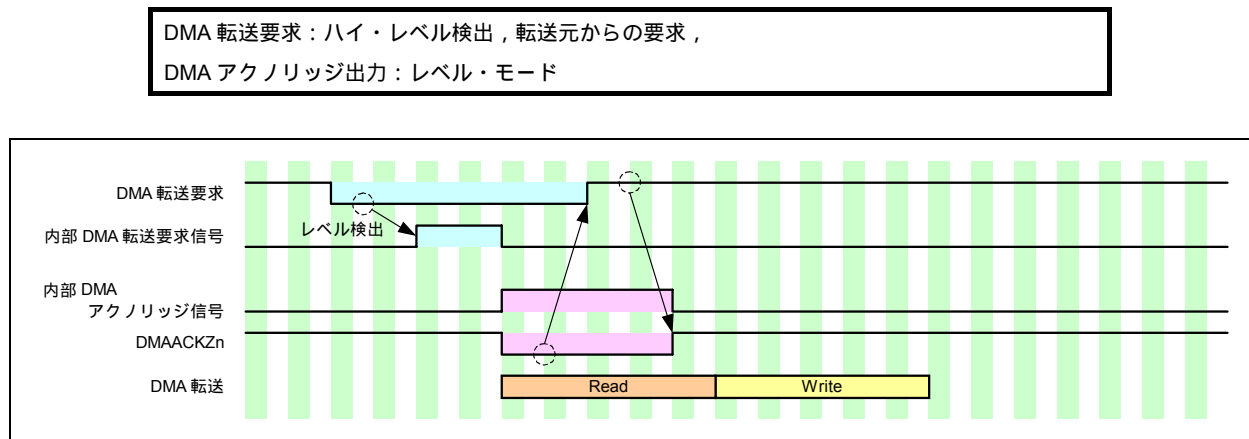
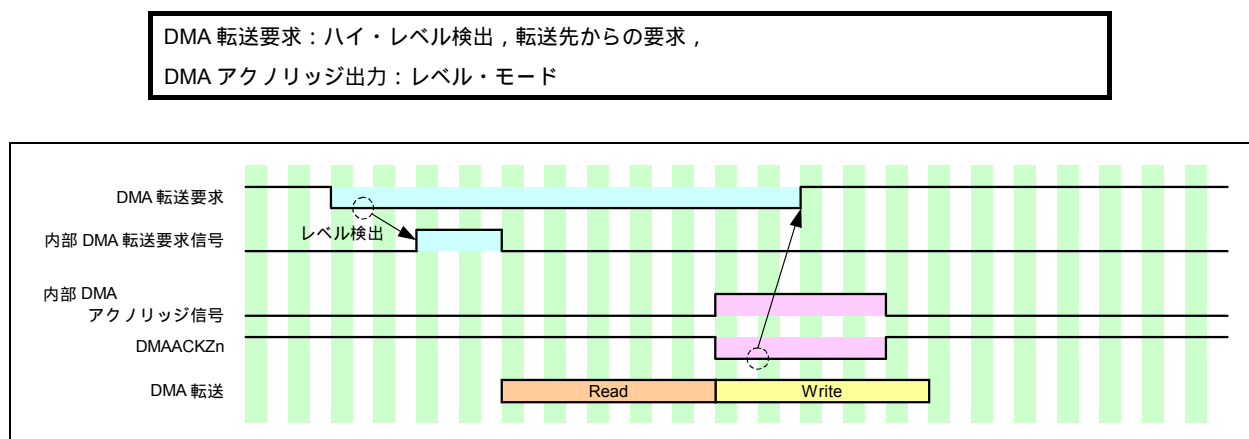


図 9-24 レベル検出モードの動作例 2



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

### 9.5.4 DMA アクノリッジ出力機能

DMA 転送要求に対する受け付け応答信号として、DMA アクノリッジ信号が出力されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1 信号を用いる場合は、DMA アクノリッジ信号として、DMAACKZ0-DMAACKZ3, SDMAACKZ0, SDMAACKZ1 を使用します。

DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA アクノリッジ信号は利用しませんが、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで指定した DMA アクノリッジ信号が出力されます。

DMA 転送要求に、内蔵 UART からの送信 / 受信 FIFO の DMA 転送要求を用いる場合は、DMA アクノリッジ信号は出力されません。

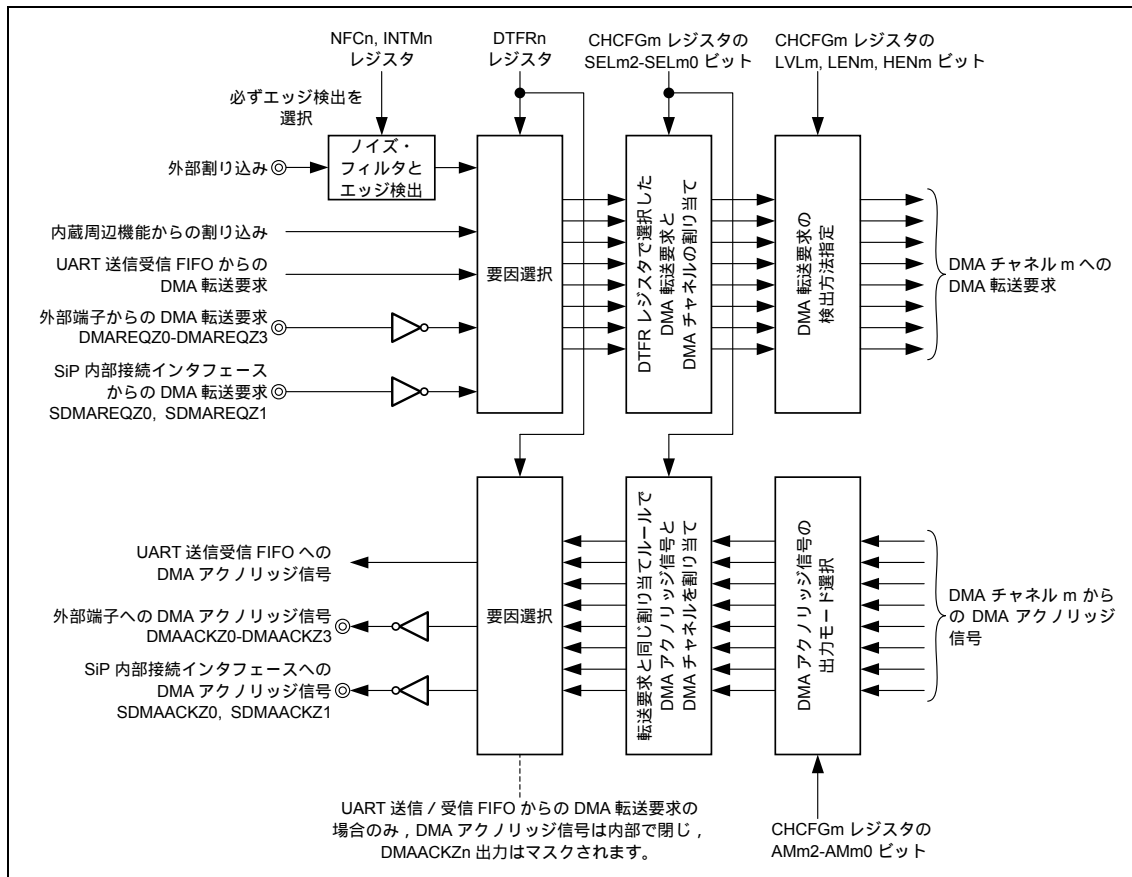
なお、DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の SELm2-SELm0 ビットで、割り当てを変更できます。

#### (1) DMA チャンネルと DMA アクノリッジ信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-25 DMA チャンネルと DMA アクノリッジ信号の割り当て



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (2) DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DMA アクノリッジ信号は、要因によって出力モードが指定されているものがあります。

DTFRn レジスタで選択した DMA 転送要求要因ごとに、下記の表を元に、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで正しい検出動作を指定してください。

表 9-18 DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DTFRn レジスタで選択した DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGm.LVLm, LENm, HENm)	DMA アクノリッジ信号の指定 (CHCFGm.AMm2-AMm0)	備考
外部端子からの割り込み要求 (INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41)	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	DMA 転送要求として選択する場合は、INTMn レジスタでのレベル指定は禁止です。
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	
UART の送信 / 受信 FIFO からの DMA 転送要求	ハイ・レベル検出	レベル・モード	
外部端子からの DMA 転送要求 (DMAREQZ0-DMAREQZ3)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわ せて任意設定	
SiP 内部接続インタフェースからの DMA 転送要求 (SDMAREQZ0, SDMAREQZ1)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわ せて任意設定	

表 9-19 DMA アクノリッジ信号 (DMAACKZn) 信号の出力モード

AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZn) の出力モード
0	0	0	パルス・モード <sup>※1</sup> (初期値)
0	0	1	レベル・モード <sup>※2</sup> , UART 送信 / 受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZn) がインアクティブになるまで、アクティブ・レベルを保持します。
0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。
1	X	X	DMA アクノリッジ信号 (DMAACKZn) の出力禁止

注 1. 1 x BUSCLK 周期のパルスが DMAACKZn 信号として出力されます。

2. DTFR レジスタで、UART 送信 / 受信 FIFO DMA 転送要求を選択し、UART の DMA インタフェース機能を利用する場合は、AMn2-AMn0 は、001b としレベル・モードを指定してください。

注意 1. DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AMn2-AMn0 の設定は動作に影響しません。

2. AMn2-AMn0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AMn2-AMn0 を用いて DMAACKZn 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のまま使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や、DMAREQZn のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。

備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求



(3) パルス出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 000b に設定すると, DMA アクノリッジ信号 (DMAACKZn) は, パルス出力が選択されます。

1×BUSCLK (SBUSCLK) のロー・レベルのパルスが出力されます。

DMA 転送要求元でパルス幅が不足する場合は, DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) の AKWDn4-AKWDn0 ビットで, DMAACKZn の幅を 1×BUSCLK (SBUSCLK) ~ 32×BUSCLK (SBUSCLK) まで設定できます。

図 9-26 パルス出力モードの動作例 1

DMA 転送要求: 立ち上がりエッジ検出, 転送元からの要求,  
DMA アクノリッジ出力: パルス・モード

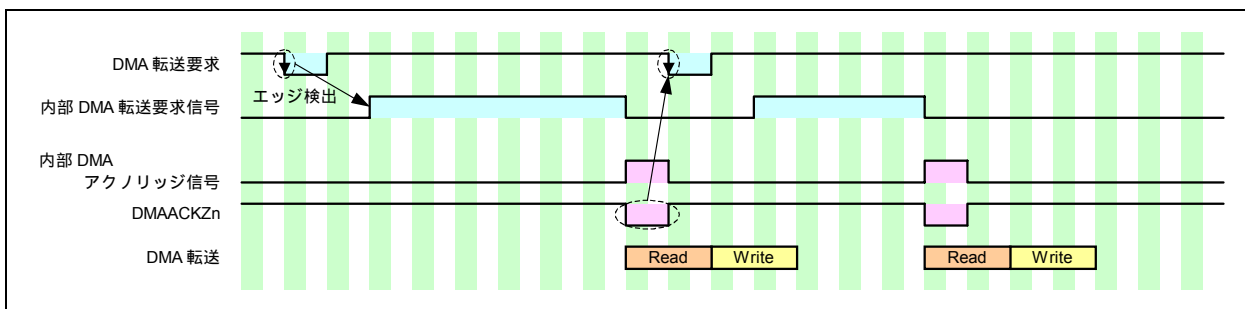
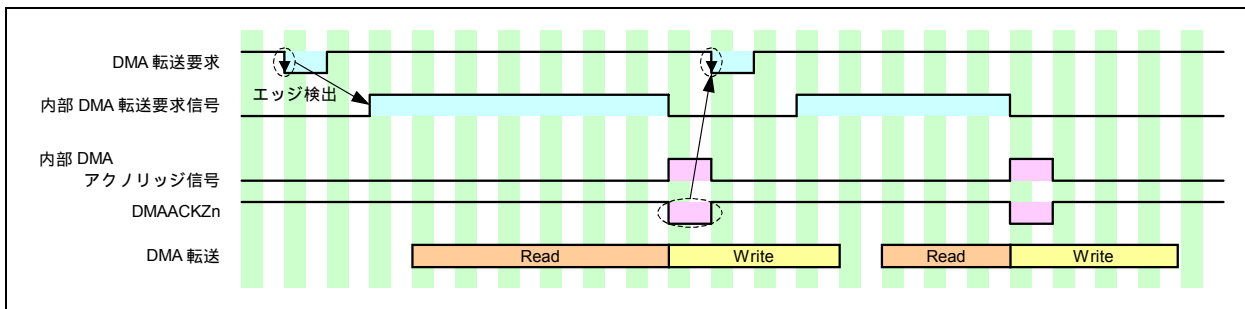


図 9-27 パルス出力モードの動作例 2

DMA 転送要求: 立ち上がりエッジ検出, 転送先からの要求,  
DMA アクノリッジ出力: パルス・モード



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (4) レベル出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 001b に設定すると, DMA アクノリッジ信号 (DMAACKZn) は, レベル出力が選択されます。DMAACKZn 信号は, DMAREQZn 信号がデアサートされるまでアサートし続けます。

DMA アクノリッジ信号にレベル出力を選択している場合は, DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) は初期値のまま使用し, DMAACKZn 幅の拡張機能を利用しないでください。

図 9-28 レベル出力モードの動作例 1

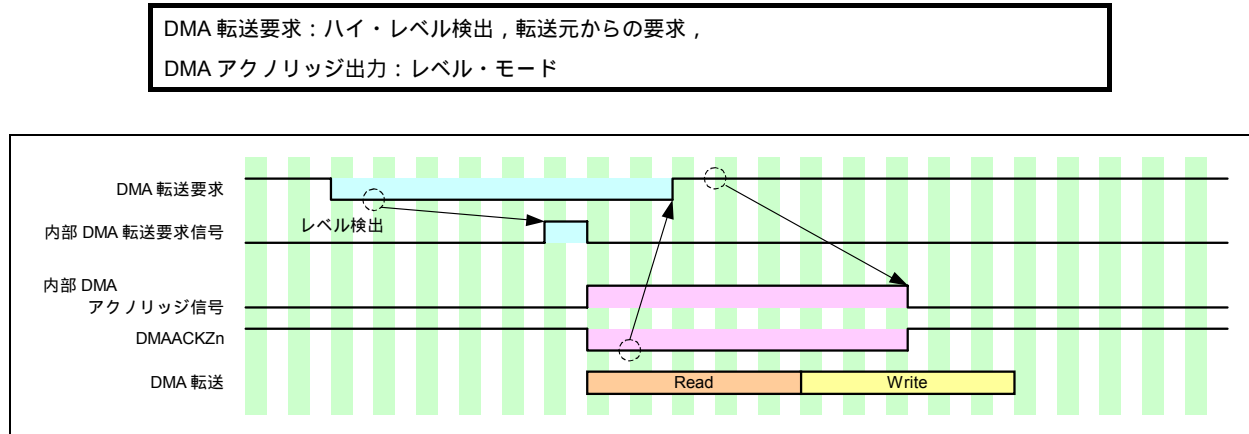
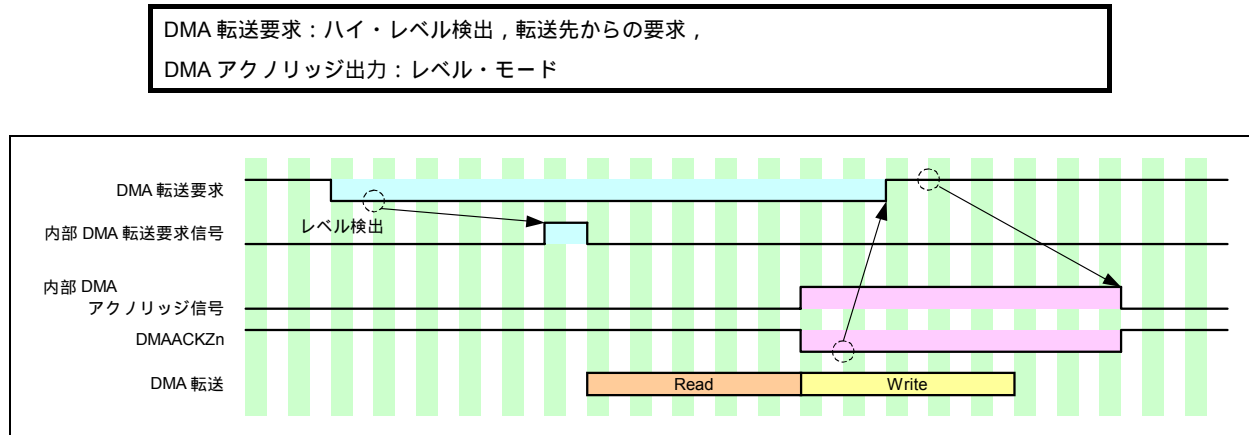


図 9-29 レベル出力モードの動作例 2



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (5) バス・サイクル出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 010b に設定すると、DMA アクノリッジ信号 (DMAACKZn) は、バス・サイクル出力が選択されます。

DMAACKZn 信号は、バス・サイクルの期間でアクティブ (ロー・レベル) になります。DMA 転送要求の要求元 (転送元、転送先) に応じて、転送元の場合はリード・サイクル、転送先の場合はライト・サイクルに DMA アクノリッジ信号が出力されます。転送元と転送先のバス・サイズの違いなどで、1 回の DMA 転送 (トランザクション) で複数回のリード/ライトが発生する場合は、その期間 DMAACKZn はアサートされます。

DMA アクノリッジ信号にバス・サイクル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) は初期値のまま使用し、DMAACKZn 幅の拡張機能を利用しないでください。

- 注意** 1. バス・サイクル出力モードでは、DMA 転送のバス・サイクル終了後 + 1 × BUSCLK (SBUSCLK) の期間は、DMAREQZn 信号を受け付けません。
2. バス・サイクル出力は、内部システム・バスのリード/ライト・サイクルを基準に出力されます。外部バス・インタフェースのバス・サイクルでは、メモリ・コントローラ内部でのバス変換、ウエイト等の設定により、実際のリード/ライト・サイクルよりも速いタイミングで DMA アクノリッジ信号が出力されます。

**備考** m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

図 9-30 バス・サイクル出力モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，  
 DMA アクノリッジ出力：レベル・モード

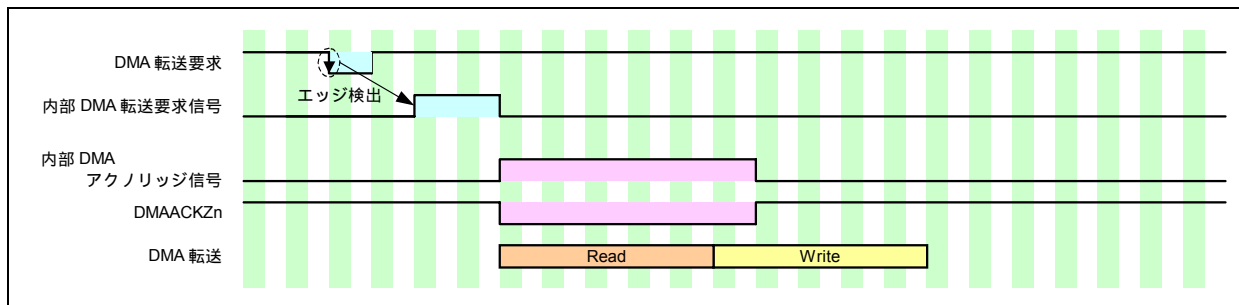
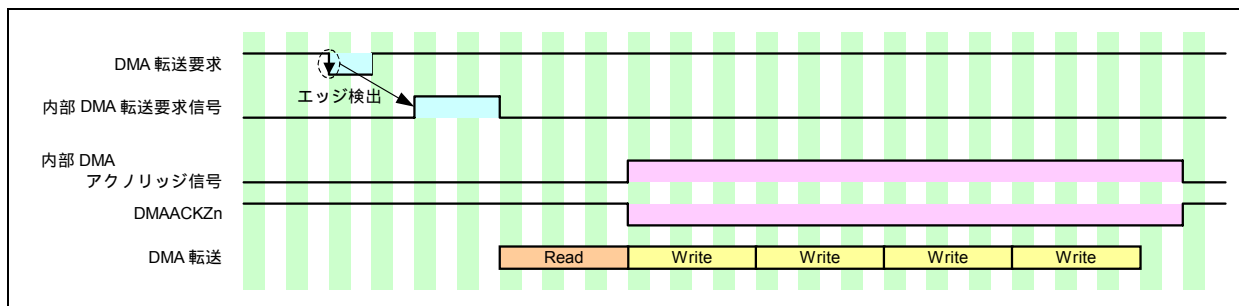


図 9-31 バス・サイクル出力モードの動作例 2

DMA 転送要求：ハイ・レベル検出，転送先からの要求，  
 DMA アクノリッジ出力：レベル・モード  
 SDS[3:0] > DDS[3:0] (例として，転送元の転送サイズが，転送先の転送サイズの 4 倍の場合)



備考 m : DMA チャネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

### 9.5.5 DMA 転送完了割り込み

DMA トランザクション (一連の DMA 転送) が終了すると, INTDMA0-INTDMA7 がパルス出力で発生します。

INTDMA $n$  は, DMA チャンネル  $n$  に対応しています。

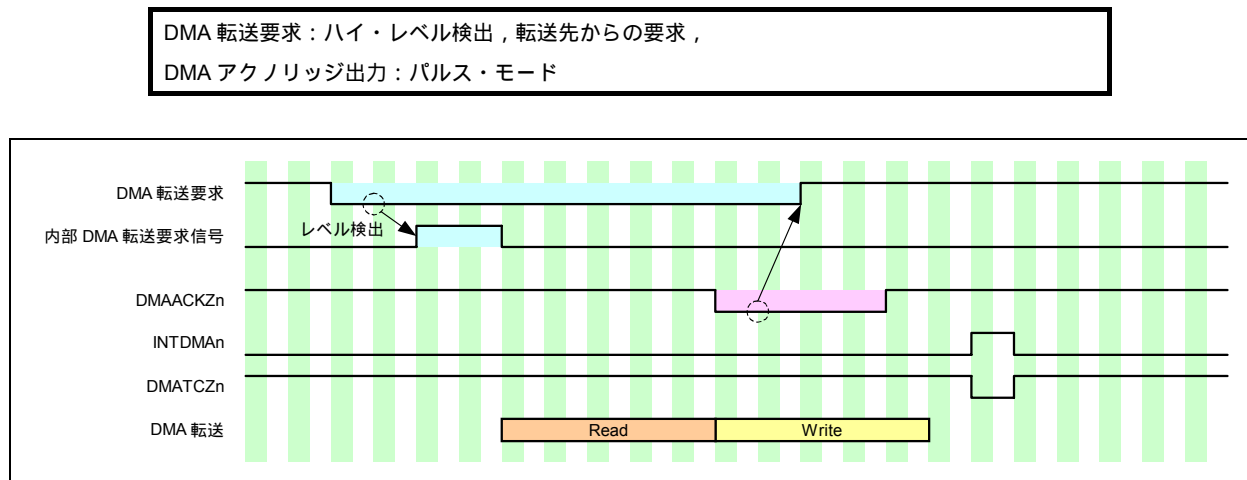
Current トランザクション・バイト・レジスタ (CRTB $n$ ) にロードされた, 総転送バイト数分の転送が正常に終了すると, チャンネル・ステータス・レジスタ (CHSTAT $n$ ) の END $n$  ビットがセット (1) されます。このとき, チャンネル・コンフィギュレーション・レジスタ (CHCFG $n$ ) の DEM $n$  ビットがクリア (0) されている場合に, INTDMA $n$  が発生します。

リンク・モードでライトバックを行う場合は, ライトバック後に INTDMA $n$  が発生します。またリンク・モードのディスクリプタ・リードで, CHCFG $n$ .DRRP $n$  = 0 の状態で, リードしたディスクリプタのヘッダが LV = 0 の場合, CHSTAT $n$ .DER $n$  ビットがセット (1) されます。このとき, CHCFG $n$ .DIM $n$  = 0 の場合, INTDMA $n$  が発生します。

表 9-20 INTDMA $n$  アサート条件

要因	条件	INTDMA $n$ のマスク設定ビット
DMA トランザクション完了	Current トランザクション・バイト・レジスタ (CRTB $n$ ) にロードされた総転送バイト数分の転送が, 正常終了したとき。 (リンク・モード時でライトバックを行う場合は, ライトバック後)	CHCFG $n$ .DEM $n$
ディスクリプタ無効 (ヘッダの LV = 0)	リンク・モードにおいてチャンネル・コンフィギュレーション・レジスタ (CHCFG $n$ ) の DRRP = 0, DIM = 0 のときに, リードしたディスクリプタのヘッダ が LV=0 のとき。	CHCFG $n$ .DIM $n$

図 9-32 INTDMA $n$  出力の動作例



備考 m : DMA チャンネル 0-7

n : DTFR $n$  レジスタで選択した DMA 転送要求

### 9.5.6 DMA ターミナル・カウント出力機能

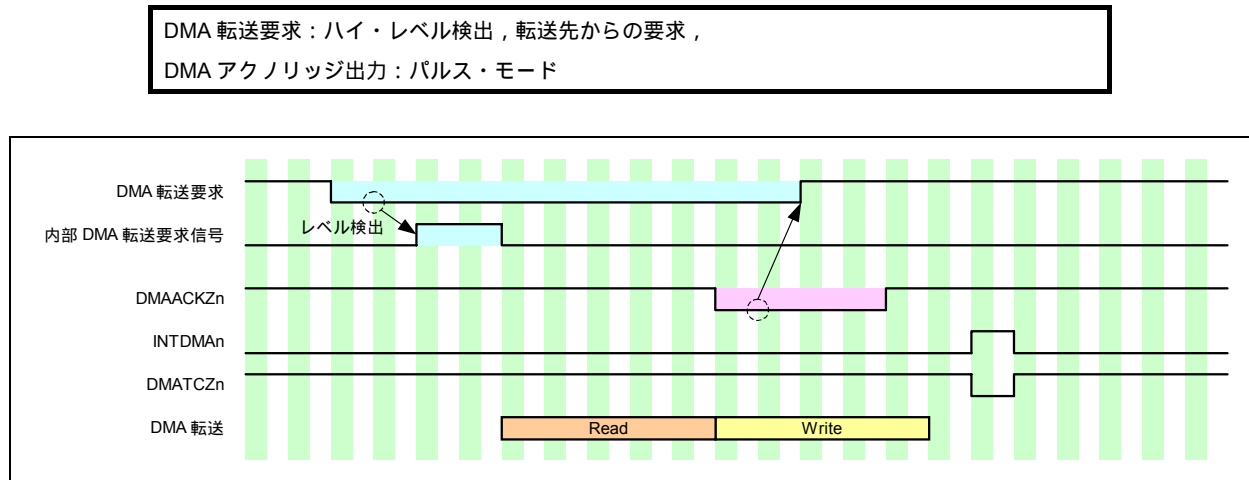
DMA トランザクション (一連の DMA 転送) 完了信号として, DMA ターミナル・カウント信号が出力されます。

DMA 転送要求に, DMAREQZ0-DMAREQZ3, SDMAREQZ0, SDMAREQZ1 信号を用いる場合は, DMA ターミナル・カウント信号として, DMATCZ0-DMATCZ3, SDMATCZ0, SDMATCZ1 を使用します。

DMA 転送要求に, 外部割り込み, 内蔵周辺機能からの割り込み要求を用いる場合は, DMA ターミナル・カウント信号は利用しませんが, チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで指定した DMA ターミナル・カウント信号が出力されます。

Current トランザクション・バイト・レジスタ (CRTBm) にロードされた, 総転送バイト数分のデータ転送が正常終了すると, チャンネル・ステータス・レジスタ (CHSTATm) の TCm ビットをセット (1) され,  $1 \times \text{BUSCLK}$  (SBUSCLK) の期間のロー・レベル信号として, DMA ターミナル・カウント信号 (DMATCzn) を出力されます。

図 9-33 DMA ターミナル・カウント出力の動作例



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

## (1) DMA ターミナル・カウント信号のマスク機能

DMA ターミナル・カウント信号は、CHCFGm レジスタの TCMm ビットで、マスク可能です。一般的にはソフトウェア起動 (チャンネル・コントロール・レジスタ (CHCTRLm) の STGm ビットのセット (1)) では、DMA ターミナル・カウント信号をマスクして使用します。

なお、DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の SELm2-SELM0 ビットで、割り当てを変更できます。この選択に連動して、DMA ターミナル・カウント信号も出力されます。

表 9-21 DMA ターミナル・カウント出力の設定

CHCFGm.TCMm	動作	用途
0	DMA ターミナル・カウント出力を許可	ハードウェアによる DMA 転送に使用してください。 ・カウント終了 ・リンク・モードの終了 を検出する場合に使用してください。
1	DMA ターミナル・カウント出力をマスク	ソフトウェアによる DMA 転送に使用してください。 なお、DMA トランザクション (一連の DMA 転送) 後は、TCM はクリア (0) され、DMA ターミナル・カウント出力は許可状態に変化します。

備考 m : DMA チャンネル 0-7

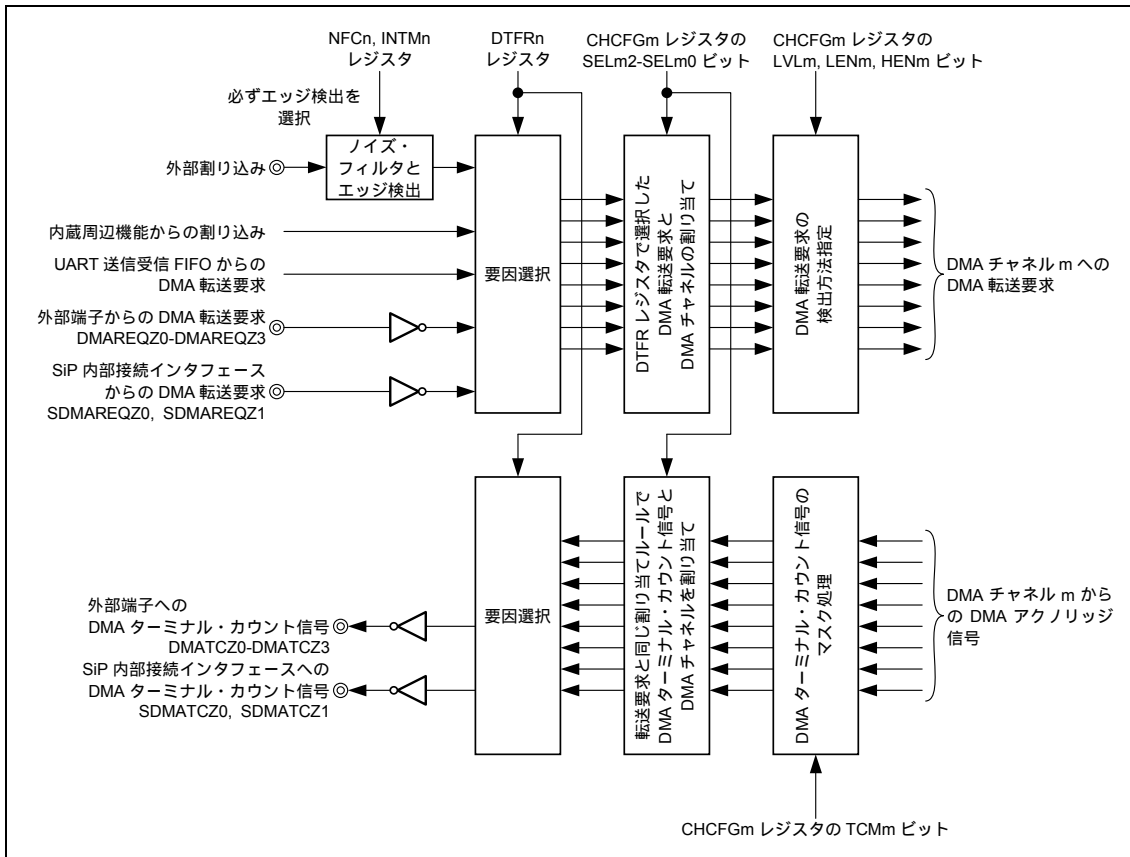
n : DTFRn レジスタで選択した DMA 転送要求

## (2) DMA チャンネルと DMA ターミナル・カウント出力信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-34 DMA チャンネルと DMA ターミナル・カウント出力信号の割り当て



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求



### 9.5.7 強制掃き出し機能

チャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の SETSSWPRQ $m$  ビットをセット (1) すると、システム・バス DMAC は、バッファ内のデータを転送先に強制的に掃き出し (ライト) します。その後 DMA トランスファを継続します。

DMA トリガ要因選択レジスタ  $n$  (DTFR $n$ ) で選択した DMA 転送要求と、強制掃き出しが競合した場合は、強制掃き出しが優先され、その後 DMA トランスファが実行されます。

チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCFG $m$ ) の REQD $m$  ビットをセット (1) し、DMAACKZ $n$  をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求 (DMAREQZ $n$ ) をアサートしていない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。

チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCFG $m$ ) の SBEm ビットのセット (1) でも掃き出しは行われますが、この場合は掃き出し後にチャンネル・ステータス・レジスタ  $m$  (CHSTAT $m$ ) の EN $m$  ビットをクリア (0) して DMA の動作を停止します。SETSSWPRQ $m$  ビットによる強制掃き出しは、掃き出し後も DMA トランスファを継続します。

**備考  $m$  : DMA チャンネル 0-7**

**$n$  : DTFR $n$  レジスタで選択した DMA 転送要求**

### 9.5.8 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラーが発生すると DMA 転送を中止します。

エラーが発生するとチャンネル・ステータス・レジスタ  $m$  (CHSTAT $m$ ) の EN $m$  ビットがクリア (0) され、ER $m$  ビットがセット (1) されます。また INTDMAERR が発生します。

エラーとなった一連の転送はそのデータを保証できません。DMA 転送を再起動する場合は、チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCTRL $m$ ) の SWRST $m$  ビットをセット (1) して、DMA チャンネル  $m$  をリセットし、各レジスタを再設定してください。

**備考  $m$  : DMA チャンネル 0-7**

### 9.5.9 インターバル・カウント機能

チャンネル・インターバル・レジスタ  $m$  (CHITVL $m$ ) の ITVL ビットの設定によって、DMA 転送の実行間隔を調整できます。システム・バス・クロック (HCLK) 周期  $\times$  ITVL15-ITVL0 設定値の間隔を設定できます。これにより、システム・バス DMAC のバス占有率を調整できます。一回のリードまたはライトが完了すると、CHITVL $m$  に設定された値からカウント・ダウンを始め、カウント値が 0 になるまで、次の内部 DMA 転送要求が保留されます。

**備考  $m$  : DMA チャンネル 0-7**

### 9.5.10 転送サイズによる動作の相違

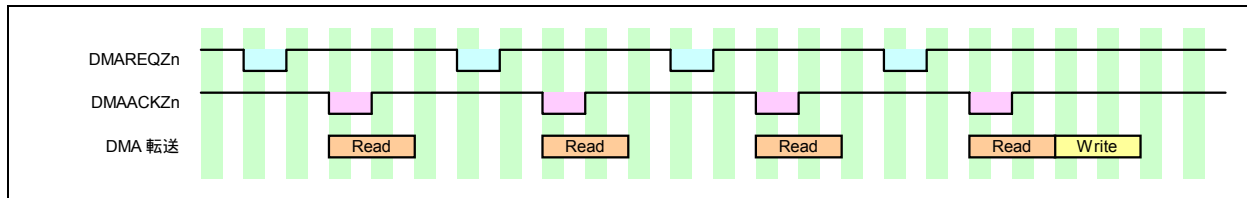
#### (1) 転送元の転送サイズが転送先より小さい場合

チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCFG $m$ ) の DDSm3-DDSm0 ビットに設定したデータ・サイズのデータのリードが完了すると、転送先にライトします。ライト回数は、転送先サイズ / 転送元サイズです。

転送元が 16 ビット、転送先が 64 ビットの場合のタイミング図を以下の波形に示します。

図 9-35 転送元の転送サイズが転送先より小さい場合

DMA 転送要求：エッジ検出，転送元からの要求，  
DMA アクノリッジ出力：パルス・モード  
転送元：16 ビット，転送先：64 ビット



備考  $m$  : DMA チャンネル 0-7

$n$  : DTFR $n$  レジスタで選択した DMA 転送要求

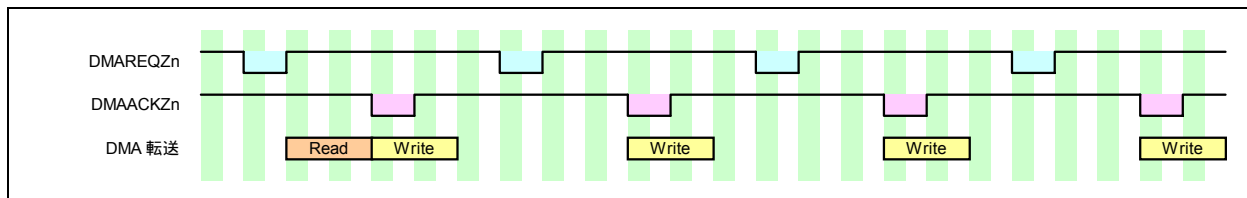
#### (2) 転送先の転送サイズが転送元より小さい場合

転送先のサイズが小さいため、転送元 / 転送先の回数のライトが発生します。

転送元が 64 ビット、転送先が 16 ビットの場合のタイミング図を以下の波形に示します。

図 9-36 転送元の転送サイズが転送先より小さい場合

DMA 転送要求：エッジ検出，転送先からの要求，  
DMA アクノリッジ出力：パルス・モード  
転送元：64 ビット，転送先：16 ビット



備考  $m$  : DMA チャンネル 0-7

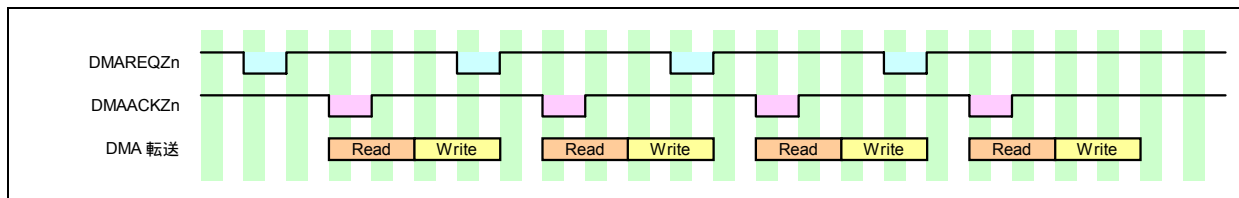
$n$  : DTFR $n$  レジスタで選択した DMA 転送要求

(3) 転送先の転送サイズと転送元の転送サイズが等しい場合

DMA 転送要求を検出すると転送元からのリードと転送先へのライトを行います。

図 9-37 転送元の転送サイズと転送先の転送サイズが等しい場合

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，  
 DMA アクノリッジ出力：パルス・モード



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

### 9.5.11 転送状態

チャンネル・ステータス・レジスタ  $m$  (CHSTAT $m$ ) で、DMA チャンネル  $m$  の転送実行状態を確認できます。

CHSTAT $m$  レジスタの TACT $m$  ビットは、チャンネル  $m$  が動作中であることを示します。チャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の SETEN $m$  ビットのセット (1) で TACT $m$  ビットがセット (1) されます。TACT $m$  ビットはリンク・モードでのディスクリプタのアクセス中や、DMA 転送要求待ちの状態もセット (1) された状態です。

TACT $m$  ビットは、CHSTAT $m$  レジスタの EN $m$  ビットのクリア条件が成立し、DMA 転送が終了した時点でクリア (0) されます。DMA トランザクションが終了しても、CHSTAT $m$  レジスタの EN $m$  ビットのクリア条件が成立しない場合 (たとえば、レジスタ・モードで CHCFG $m$ .REN $m$  = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合は、TACT $m$  ビットはクリア (0) されません。

転送状態は、DMA 転送 (トランスファ) 単位で更新されます。

**備考  $m$  :** DMA チャンネル 0-7

**$n$  :** DTFR $n$  レジスタで選択した DMA 転送要求

### 9.5.12 一時停止機能

チャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の SETSUS $m$  ビットをセット (1) すると、DMA 転送を一時停止 (サスペンド状態) できます。このとき、すでに実行されているバス・サイクルがあれば、そのバス・サイクルが完了してから一時停止状態になります。チャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の CLRSUS $m$  ビットをセット (1) することで一時停止状態が解除されます。

一時停止状態を確認する場合は、SETSUS $m$  をセット (1) したあと、CHSTAT $m$  レジスタまたは DSTSUS レジスタをリードして該当チャンネルの SUS $m$  ビットがセット (1) されていることを確認してください。

**備考  $m$  :** DMA チャンネル 0-7

**$n$  :** DTFR $n$  レジスタで選択した DMA 転送要求

### 9.5.13 転送中断機能

DMA トランザクション (一連の DMA 転送) 中に、チャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の CLREN $m$  ビットをセット (1) すると、その DMA チャンネルの DMA トランザクション (一連の DMA 転送) を中断できます。

中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード (チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCFG $m$ ) の SBEm ビットをセット (1)) と、掃き出しを行わないモード (SBEm ビットをクリア (0)) を選択できます。

掃き出しモードが有効で、CLREN $m$  = 1 で DMA トランザクション (一連の DMA 転送) が中断されたときに、システム・バス DMAC のバッファにデータが残っていた場合、そのデータを掃き出して DMA トランザクションを完了します。

DMA 転送を中断した場合は、INTDMA $m$  は発生しません。

中断後は、必ずチャンネル・コントロール・レジスタ  $m$  (CHCTRL $m$ ) の SWRST $m$  ビットをセット (1) し DMA チャンネルの内部状態をリセットしてから、次の転送設定を行ってください。

**注意** チャンネル・コントロール・レジスタ (CHCTRL $m$ ) の CLREN $m$  ビットをセット (1) して、EN $m$  ビットをクリア (0) しても、DMA 転送が実行中の場合があります。DMA チャンネルの停止を確認する場合は、チャンネル・ステータス・レジスタ (CHSTAT $m$ ) の EN $m$  = 0, TACT $m$  = 0 を確認してください。

**備考**  $m$  : DMA チャンネル 0-7

$n$  : DTFR $n$  レジスタで選択した DMA 転送要求

(1) バッファ掃き出し無効 (SBEm = 0) の場合

DMA トランザクション (一連の DMA 転送) 中に、CLREN $m$  をセット (1) すると、DMA 転送を中断して停止します。

チャンネル・コンフィギュレーション・レジスタ  $m$  (CHCFG $m$ ) の REQD $m$  ビットの設定により、転送元からの DMA 転送要求の場合はリード・サイクル後、転送先からの DMA 転送要求の場合はライト・サイクル後に中断します。

(2) バッファ掃き出し有効 (SBEm = 1) の場合

DMA トランザクション (一連の DMA 転送) 中に、CLREN $m$  をセット (1) すると、DMA 転送を中断して停止します。REQD $m$  = 0 の場合、すでにリードしたデータを掃き出し (ライト) して DMA 転送を停止します。REQD = 1 でハードウェアからの DMA 転送要求を使用している場合は、掃き出しモードを使用しないでください。

## 9.6 DMA 転送の設定例

システム・バス DMAC を用いた、DMA 転送例を示します。

各設定例の転送条件は次のとおりです。

表 9-22 DMA 転送設定例の転送条件一覧

設定例	DMA モード	転送モード	転送要求
設定例 1	レジスタ・モード	シングル転送モード	ハードウェア
設定例 2	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例 3	レジスタ・モード (連続実行)	ブロック転送モード	ソフトウェア
設定例 4	リンク・モード	ブロック転送モード	ソフトウェア

### 9.6.1 設定例 1 (レジスタ・モード, シングル転送モード, ハードウェア・トリガ)

表 9-23 の設定で DMA 転送を行う場合の設定例を示します。

表 9-23 DMA 転送の設定例 1

項目	内容		
使用チャンネル	チャンネル 3		
優先順位制御	固定優先順位		
DMA モード	レジスタ・モード		
転送モード	シングル転送モード		
使用レジスタ・セット	Next0 レジスタ・セット		
転送元 / 転送先	転送元		
	転送先		
	開始アドレス	0800 0000H	0F18 0000H
	アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	32 ビット	32 ビット	
DMA トランザクション・データ・サイズ	64 バイト		
DMA トリガ要因選択レジスタ	DTFR3		
DMA 転送要求	ハードウェア (転送元の DMAREQZ3 による立ち下がりエッジ検出)		
DMA アクノリッジ信号	パルス出力モード (転送元からの要求のためリード時に出力)		
INTDMA3 マスク機能	なし		

表 9-24 設定例 1 のレジスタ設定

レジスタ	設定値	設定内容等
N0SA3	0800 0000H	転送元アドレス
N0DA3	0F18 0000H	転送先アドレス
N0TB3	0000 0040H	トランザクション・データ・バイト数
CHCFG3	0002 2023H	チャンネル・コンフィギュレーション
CHITVL3	0000 0000H	転送間隔最短
DTFR3	0000 0004H	DMAREQZ3, DMAACKZ3, DMATCZ3 を選択

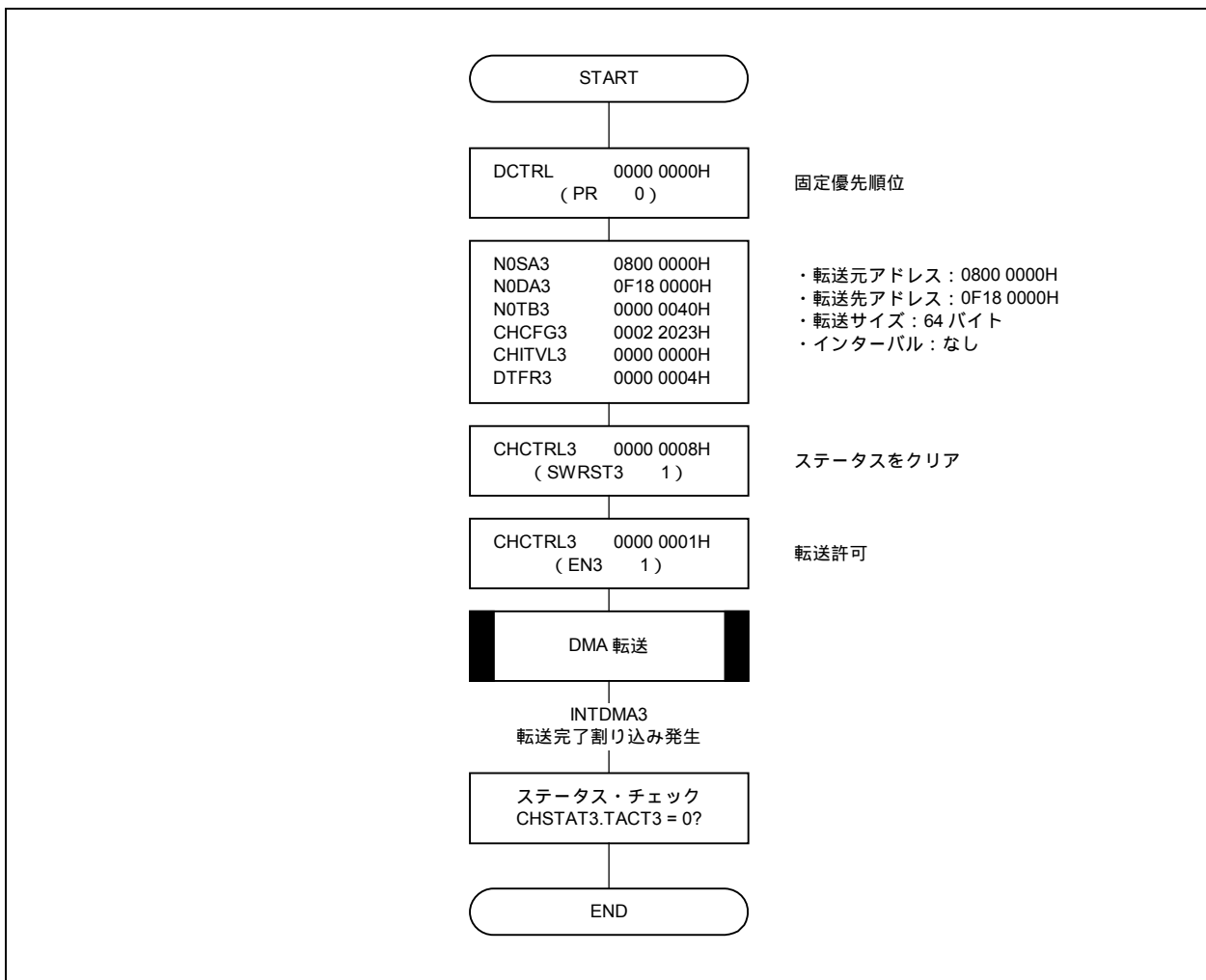
表 9-25 設定例1のチャネル・コンフィギュレーション・レジスタ (CHCFG3) 設定

CHCFG3	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	DMS3	REN3	RSW3	RSEL3	SBE3	DIM3	TCM3	DEM3	WONLY3	TM3	DAD3	SAD3	DDS33- DDS30	SDS33- SDS30	DRRP3	AM32- AM30	0	LVL3	LEN3	HEN3	REQD3	SEL32- SEL30	0F00 08ECH 初期値 0000 0000H										
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1	1	

ビット位置	ビット名	意味								
31	DMS3	0: レジスタ・モード								
30	REN3	0: 連続実行しない								
29	RSW3	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL3 を反転しない								
28	RSEL3	0: 次の DMA 転送に Next0 レジスタ・セットを使用する								
27	SBE3	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止								
26	DIM3	0: リンク・モードで LV=0 の場合、INTDMA3 をマスクしない								
25	TCM3	0: マスクしない (ターミナル・カウント出力 (DMATCZm) 許可)								
24	DEM3	0: DMA トランザクション完了時の INTDMA3 出力許可								
23	WONLY3	0: 通常動作								
22	TM3	0: シングル転送モード								
21	DAD3	0: 転送先のアドレスはインクリメント								
20	SAD3	0: 転送元のアドレスはインクリメント								
19	DDS33	0: 転送先のアドレッシングは通常モード								
18-16	DDS32- DDS30	<table border="1"> <tr> <td>DDS32</td> <td>DDS31</td> <td>DDS30</td> <td>DMA 転送先 (デスティネーション) の転送サイズ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> </table>	DDS32	DDS31	DDS30	DMA 転送先 (デスティネーション) の転送サイズ	0	1	0	32 ビット
DDS32	DDS31	DDS30	DMA 転送先 (デスティネーション) の転送サイズ							
0	1	0	32 ビット							
15	SDS33	0: 転送元のアドレッシングは通常モード								
14-12	SDS32- SDS30	<table border="1"> <tr> <td>SDS32</td> <td>SDS31</td> <td>SDS30</td> <td>DMA 転送元 (ソース) の転送サイズ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> </table>	SDS32	SDS31	SDS30	DMA 転送元 (ソース) の転送サイズ	0	1	0	32 ビット
SDS32	SDS31	SDS30	DMA 転送元 (ソース) の転送サイズ							
0	1	0	32 ビット							
11	DRRP3	0: リンク・モードで LV=0 の場合、CHSTAT3.DER3 ビットをセット (1) し動作停止								
10-8	AM32- AM30	<table border="1"> <tr> <td>AM32</td> <td>AM31</td> <td>AM30</td> <td>DMA アクノリッジ信号 (DMAACKZ3) の出力モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>パルス・モード (初期値)</td> </tr> </table>	AM32	AM31	AM30	DMA アクノリッジ信号 (DMAACKZ3) の出力モード	0	0	0	パルス・モード (初期値)
AM32	AM31	AM30	DMA アクノリッジ信号 (DMAACKZ3) の出力モード							
0	0	0	パルス・モード (初期値)							
6	LVL3	<table border="1"> <tr> <td>LVL3</td> <td>HEN3</td> <td>LEN3</td> <td>DMA 転送要求信号の検出方法</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>立ち上がりエッジ検出</td> </tr> </table>	LVL3	HEN3	LEN3	DMA 転送要求信号の検出方法	0	1	0	立ち上がりエッジ検出
LVL3	HEN3		LEN3	DMA 転送要求信号の検出方法						
0	1		0	立ち上がりエッジ検出						
5	LEN3									
4	HEN3									
3	REQD3	0: DMAACKZ3 はリード時にアクティブ (DMAREQZ3 は転送元: ソース)								
2-0	SEL32- SEL30	<table border="1"> <tr> <td>SEL32</td> <td>SEL31</td> <td>SEL30</td> <td>DMA トリガ要因選択レジスタの選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>DTFR3 で選択された DMA 転送要因を選択</td> </tr> </table>	SEL32	SEL31	SEL30	DMA トリガ要因選択レジスタの選択	0	1	1	DTFR3 で選択された DMA 転送要因を選択
SEL32	SEL31	SEL30	DMA トリガ要因選択レジスタの選択							
0	1	1	DTFR3 で選択された DMA 転送要因を選択							

図 9-38 設定例 1 の動作フロー





## 9.6.2 設定例 2 (レジスタ・モード, ブロック転送モード, ソフトウェア・トリガ)

表 9-26 の設定で DMA 転送を行う場合の設定例を示します。

表 9-26 DMA 転送の設定例 2

項目	内容		
使用チャンネル	チャンネル 2		
優先順位制御	ラウンドロビン・モード		
DMA モード	レジスタ・モード		
転送モード	ブロック転送モード		
使用レジスタ・セット	Next1 レジスタ・セット		
転送元 / 転送先	転送元	転送先	
	開始アドレス	0800 0000H	0F19 0000H
	アドレスのカウント方向	インクリメント	インクリメント
	転送データ・サイズ	8 ビット	256 ビット
DMA トランザクション・データ・サイズ	128 バイト		
DMA トリガ要因選択レジスタ	DTFR2		
DMA 転送要求	ソフトウェア		
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク		
INTDMA2 マスク機能	なし		

表 9-27 設定例 2 のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
N1SA2	0800 0000H	転送元アドレス
N1DA2	0F19 0000H	転送先アドレス
N1TB2	0000 0080H	トランザクション・データ・バイト数
CHCFG2	1045 0402H	チャンネル・コンフィギュレーション
CHITVL2	0000 0000H	転送間隔最短
DTFR2	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

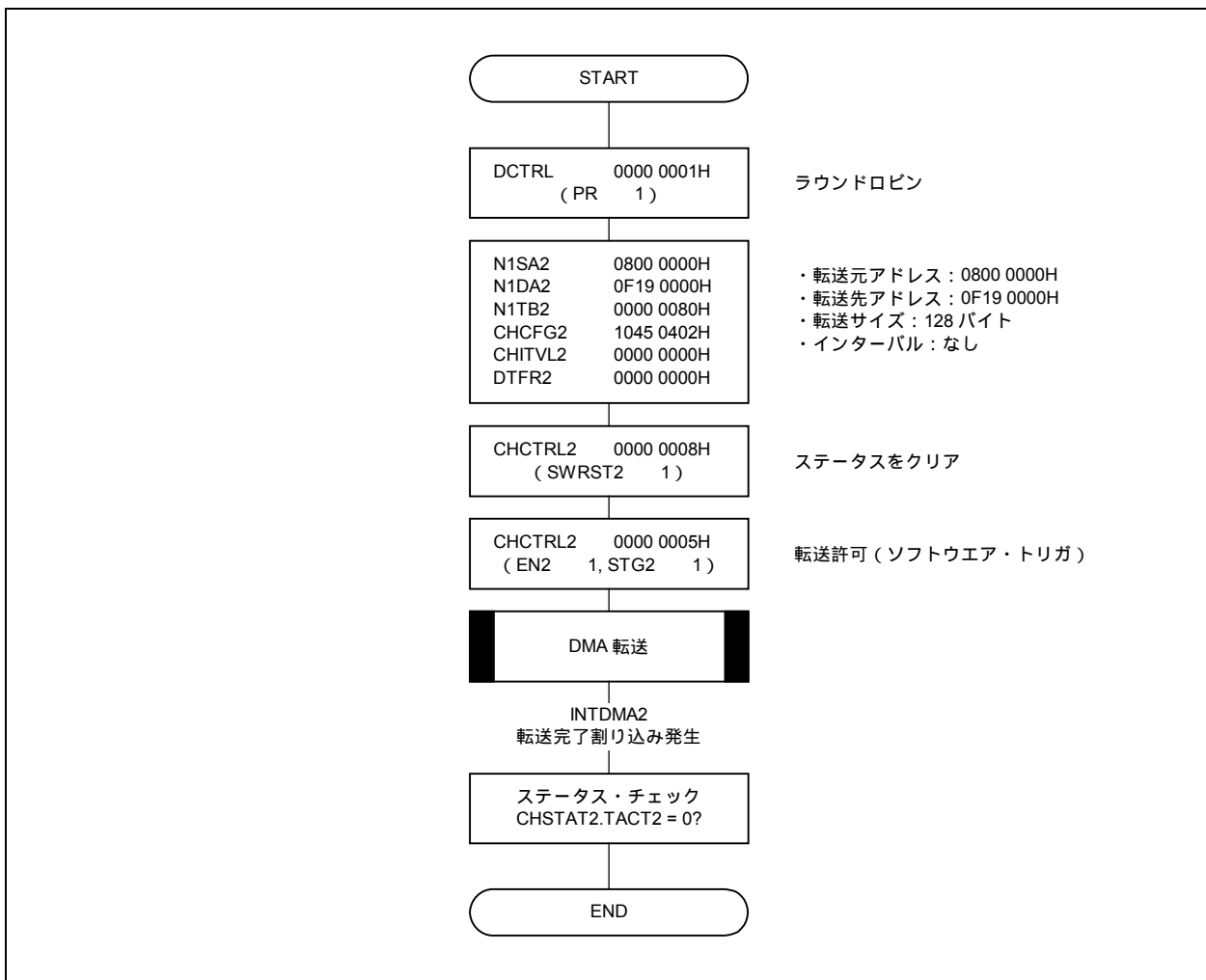
表 9-28 設定例2のチャネル・コンフィギュレーション・レジスタ (CHCFG2) 設定

CHCFG2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	DMS2	REN2	RSW2	RSEL2	SBE2	DIM2	TCM2	DEM2	WONLY2	TM2	DAD2	SAD2	DDS23- DDS20	SDS23- SDS20	DRRP2	AM22- AM20	0	LVL2	LEN2	HEN2	REQD2	SEL22- SEL20	0F00 08ACH	初期値	0000 0000H								
R/W	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	

ビット位置	ビット名	意味								
31	DMS2	0: レジスタ・モード								
30	REN2	0: 連続実行しない								
29	RSW2	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL2 を反転しない								
28	RSEL2	1: 次の DMA 転送に Next1 レジスタ・セットを使用する。								
27	SBE2	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止								
26	DIM2	0: リンク・モードで LV = 0 の場合、INTDMA2 をマスクしない								
25	TCM2	0: マスクしない (ターミナル・カウント出力 (DMATCZm) 許可)								
24	DEM2	0: DMA トランザクション完了時の INTDMA2 出力許可								
23	WONLY2	0: 通常動作								
22	TM2	1: ブロック転送モード								
21	DAD2	0: 転送先のアドレスはインクリメント								
20	SAD2	0: 転送元のアドレスはインクリメント								
19	DDS23	0: 転送先のアドレッシングは通常モード								
18-16	DDS22- DDS20	<table border="1"> <tr> <td>DDS22</td> <td>DDS21</td> <td>DDS20</td> <td>DMA 転送先 (デスティネーション) の転送サイズ</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>256 ビット</td> </tr> </table>	DDS22	DDS21	DDS20	DMA 転送先 (デスティネーション) の転送サイズ	1	0	1	256 ビット
DDS22	DDS21	DDS20	DMA 転送先 (デスティネーション) の転送サイズ							
1	0	1	256 ビット							
15	SDS23	0: 転送元のアドレッシングは通常モード								
14-12	SDS22- SDS20	<table border="1"> <tr> <td>SDS22</td> <td>SDS21</td> <td>SDS20</td> <td>DMA 転送元 (ソース) の転送サイズ</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> </table>	SDS22	SDS21	SDS20	DMA 転送元 (ソース) の転送サイズ	0	0	0	8 ビット
SDS22	SDS21	SDS20	DMA 転送元 (ソース) の転送サイズ							
0	0	0	8 ビット							
11	DRRP2	0: リンク・モードで LV = 0 の場合、CHSTAT2.DER2 ビットをセット (1) し動作停止								
10-8	AM22- AM20	<table border="1"> <tr> <td>AM22</td> <td>AM21</td> <td>AM20</td> <td>DMA アクノリッジ信号 (DMAACKZ2) の出力モード</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>DMA アクノリッジ信号 (DMAACKZ2) の出力禁止</td> </tr> </table>	AM22	AM21	AM20	DMA アクノリッジ信号 (DMAACKZ2) の出力モード	1	X	X	DMA アクノリッジ信号 (DMAACKZ2) の出力禁止
AM22	AM21	AM20	DMA アクノリッジ信号 (DMAACKZ2) の出力モード							
1	X	X	DMA アクノリッジ信号 (DMAACKZ2) の出力禁止							
6	LVL2	<table border="1"> <tr> <td>LVL2</td> <td>HEN2</td> <td>LEN2</td> <td>DMA 転送要求信号の検出方法</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>検出無効</td> </tr> </table>	LVL2	HEN2	LEN2	DMA 転送要求信号の検出方法	0	0	0	検出無効
LVL2	HEN2		LEN2	DMA 転送要求信号の検出方法						
0	0		0	検出無効						
5	LEN2									
4	HEN2									
3	REQD2	0: DMAACKZ2 はリード時にアクティブ (DMAREQZ2 は転送元: ソース)								
2-0	SEL22- SEL20	<table border="1"> <tr> <td>SEL22</td> <td>SEL21</td> <td>SEL20</td> <td>DMA トリガ要因選択レジスタの選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>DTFR2 で選択された DMA 転送要因を選択</td> </tr> </table>	SEL22	SEL21	SEL20	DMA トリガ要因選択レジスタの選択	0	1	0	DTFR2 で選択された DMA 転送要因を選択
SEL22	SEL21	SEL20	DMA トリガ要因選択レジスタの選択							
0	1	0	DTFR2 で選択された DMA 転送要因を選択							

図 9-39 設定例 2 の動作フロー



### 9.6.3 設定例3 (レジスタ・モード:連続実行,ブロック転送モード,ソフトウェア・トリガ)

表 9-29 の設定で DMA 転送を行う場合の設定例を示します。

表 9-29 DMA 転送の設定例 3

項目	内容	
使用チャンネル	チャンネル 1	
優先順位制御	ラウンドロビン・モード	
DMA モード	レジスタ・モード	
転送モード	ブロック転送モード	
使用レジスタ・セット	Next0 レジスタ・セット Next1 レジスタ・セット連続	
Next0 転送元 / 転送先	転送元	転送先
開始アドレス	0800 0000H	0F18 0000H
アドレスのカウント方向	固定	固定
転送データ・サイズ	32 ビット	512 ビット
DMA トランザクション・データ・サイズ	512 バイト	
Next1 転送元 / 転送先	転送元	転送先
開始アドレス	0840 0000H	0F18 4000H
アドレスのカウント方向	固定	固定
転送データ・サイズ	32 ビット	512 ビット
DMA トランザクション・データ・サイズ	2,048 バイト	
DMA トリガ要因選択レジスタ	DTFR1	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA1 マスク機能	Next0 レジスタ・セットでの DMA トランザクション完了時はマスク	

表 9-30 設定例3のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
N0SA1	0800 0000H	Next0 転送元アドレス
N0DA1	0F18 0000H	Next0 転送先アドレス
N0TB1	0000 0200H	Next0 トランザクション・データ・バイト数
N1SA1	0840 0000H	Next1 転送元アドレス
N1DA1	0F18 4000H	Next1 転送先アドレス
N1TB1	0000 0800H	Next1 トランザクション・データ・バイト数
CHCFG1	6176 2001H	チャンネル・コンフィギュレーション
CHITVL1	0000 0000H	転送間隔最短
DTFR1	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

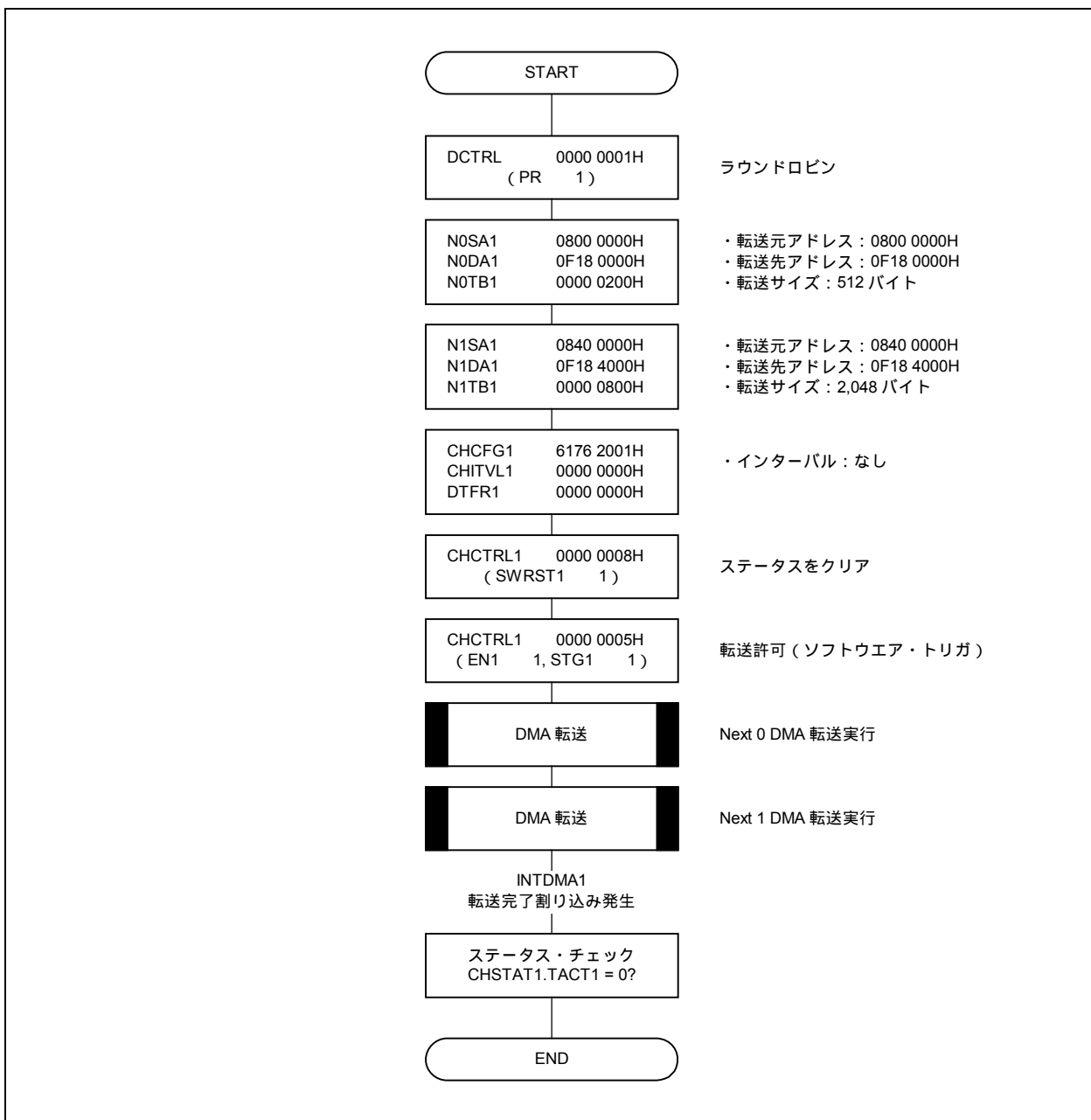
表 9-31 設定例3のチャネル・コンフィギュレーション・レジスタ (CHCFG1) 設定

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG1		DMS1	REN1	RSW1	RSEL1	SBE1	DIM1	TCM1	DEM1	WONLY1	TM1	DAD1	SAD1	DDS13- DDS10	SDS13- SDS10	DRRP1	AM12- AM10	0	LVL1	LEN1	HEN1	REQD1	SEL12- SEL10	0F00 086CH							初期値	0000 0000H		
	R/W	0	1	1	0	0	0	0	1	0	1	1	1	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	

ビット位置	ビット名	意味								
31	DMS1	0: レジスタ・モード								
30	REN1	1: 連続実行する (RSEL1 ビットで選択されている Next レジスタ・セットを使う)								
29	RSW1	1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL1 を反転する								
28	RSEL1	0: 次の DMA 転送に Next0 レジスタ・セットを使用する								
27	SBE1	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止								
26	DIM1	0: リンク・モードで LV = 0 の場合、INTDMA1 をマスクしない								
25	TCM1	0: マスクしない (ターミナル・カウント出力 (DMATCZm) 許可)								
24	DEM1	1: DMA トランザクション完了時の INTDMA1 出力をマスクする								
23	WONLY1	0: 通常動作								
22	TM1	1: ブロック転送モード								
21	DAD1	1: 転送先のアドレスは固定								
20	SAD1	1: 転送元のアドレスは固定								
19	DDS13	0: 転送先のアドレッシングは通常モード								
18-16	DDS12- DDS10	<table border="1"> <thead> <tr> <th>DDS12</th> <th>DDS11</th> <th>DDS10</th> <th>DMA 転送先 (デスティネーション) の転送サイズ</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0</td> <td>512 ビット</td> </tr> </tbody> </table>	DDS12	DDS11	DDS10	DMA 転送先 (デスティネーション) の転送サイズ	1	1	0	512 ビット
DDS12	DDS11	DDS10	DMA 転送先 (デスティネーション) の転送サイズ							
1	1	0	512 ビット							
15	SDS13	0: 転送元のアドレッシングは通常モード								
14-12	SDS12- SDS10	<table border="1"> <thead> <tr> <th>SDS12</th> <th>SDS11</th> <th>SDS10</th> <th>DMA 転送元 (ソース) の転送サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> </tbody> </table>	SDS12	SDS11	SDS10	DMA 転送元 (ソース) の転送サイズ	0	1	0	32 ビット
SDS12	SDS11	SDS10	DMA 転送元 (ソース) の転送サイズ							
0	1	0	32 ビット							
11	DRRP1	0: リンク・モードで LV = 0 の場合、CHSTAT1.DER1 ビットをセット (1) し動作停止								
10-8	AM12- AM10	<table border="1"> <thead> <tr> <th>AM12</th> <th>AM11</th> <th>AM10</th> <th>DMA アクノリッジ信号 (DMAACKZ1) の出力モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>パルス・モード</td> </tr> </tbody> </table>	AM12	AM11	AM10	DMA アクノリッジ信号 (DMAACKZ1) の出力モード	0	0	0	パルス・モード
AM12	AM11	AM10	DMA アクノリッジ信号 (DMAACKZ1) の出力モード							
0	0	0	パルス・モード							
6	LVL1	<table border="1"> <thead> <tr> <th>LVL2</th> <th>HEN2</th> <th>LEN2</th> <th>DMA 転送要求信号の検出方法</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>検出無効</td> </tr> </tbody> </table>	LVL2	HEN2	LEN2	DMA 転送要求信号の検出方法	0	0	0	検出無効
LVL2	HEN2		LEN2	DMA 転送要求信号の検出方法						
0	0		0	検出無効						
5	LEN1									
4	HEN1									
3	REQD1	0: DMAACKZ1 はリード時にアクティブ (DMAREQZ1 は転送元: ソース)								
2-0	SEL12- SEL10	<table border="1"> <thead> <tr> <th>SEL12</th> <th>SEL11</th> <th>SEL10</th> <th>DMA トリガ要因選択レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>DTFR1 で選択された DMA 転送要因を選択</td> </tr> </tbody> </table>	SEL12	SEL11	SEL10	DMA トリガ要因選択レジスタの選択	0	0	1	DTFR1 で選択された DMA 転送要因を選択
SEL12	SEL11	SEL10	DMA トリガ要因選択レジスタの選択							
0	0	1	DTFR1 で選択された DMA 転送要因を選択							

図 9-40 設定例 3 の動作フロー



## 9.6.4 設定例 4 (リンク・モード, ブロック転送モード, ソフトウェア・トリガ)

表 9-32-表 9-35 の設定で DMA 転送を行う場合の設定例を示します。

表 9-32 DMA 転送の設定例 4

項目	内容
使用チャンネル	チャンネル 0
優先順位制御	ラウンドロビン・モード
DMA モード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	0F19 1000H

表 9-33 DMA 転送の設定例 4 のディスクリプタ 1 設定

項目	ディスクリプタ 1 設定内容	
ディスクリプタ先頭アドレス	0F19 1000H	
次ディスクリプタ先頭アドレス	0F19 2000H	
転送モード	ブロック転送モード	
Next0 転送元 / 転送先	転送元	転送先
開始アドレス	0800 0000H	0F18 0000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	32 ビット	32 ビット
DMA トランザクション・データ・サイズ	2,048 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	ディスクリプタ 1 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット	1 (8 ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	あり (LE = 0)	
ディスクリプタ有効	有効 (LV = 1)	

表 9-34 DMA 転送の設定例 4 のディスクリプタ 2 設定

項目	ディスクリプタ 2 設定内容	
ディスクリプタ先頭アドレス	0F19 2000H	
次ディスクリプタ先頭アドレス	0F19 5000H	
転送モード	ブロック転送モード	
Next0 転送元 / 転送先	転送元	転送先
開始アドレス	0800 1000H	0F18 1000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	64 ビット	256 ビット
DMA トランザクション・データ・サイズ	1,024 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	ディスクリプタ 2 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット	1 (8ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	あり (LE = 0)	
ディスクリプタ有効	有効 (LV = 1)	

表 9-35 DMA 転送の設定例 4 のディスクリプタ 3 設定

項目	ディスクリプタ 3 設定内容	
ディスクリプタ先頭アドレス	0F19 5000H	
次ディスクリプタ先頭アドレス	-	
転送モード	ブロック転送モード	
Next0 転送元 / 転送先	転送元	転送先
開始アドレス	0800 6000H	0F18 6000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	512 ビット	512 ビット
DMA トランザクション・データ・サイズ	4,096 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	マスクしない	
ディスクリプタ・フォーマット	1 (8ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	なし (LE = 1)	
ディスクリプタ有効	有効 (LV = 1)	



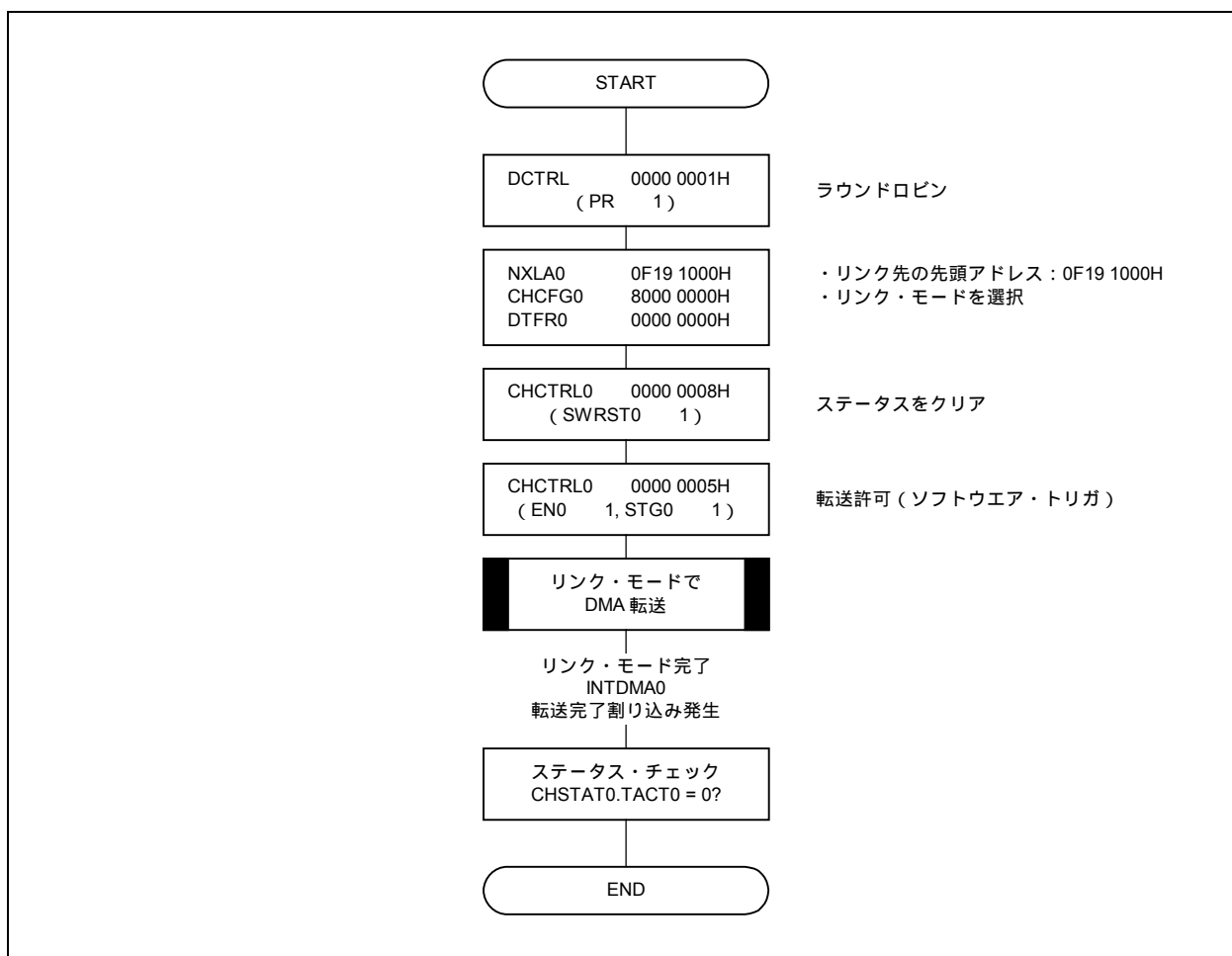
表 9-36 設定例4のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
NXLA0	0F19 1000H	ディスクリプタ先頭アドレス
CHCFG0	8000 0000H	チャンネル・コンフィギュレーション
DTFR0	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

表 9-37 設定例4のディスクリプタ設定

項目	ディスクリプタ1	ディスクリプタ2	ディスクリプタ3
ヘッダ	1100 0000H	1100 0000H	1300 0000H
ソース・アドレス	0800 0000H	0800 1000H	0800 6000H
デスティネーション・アドレス	0F18 0000H	0F18 1000H	0F18 6000H
トランザクション・バイト	0000 0800H	0000 0400H	0000 1000H
チャンネル・コンフィギュレーション	8342 2008H	8345 3008H	8246 6008H
チャンネル・インターバル	0000 0000H	0000 0000H	0000 0000H
ネクスト・リンク・アドレス	0000 2000H	0000 5000H	0000 0000H

図 9-41 設定例4の動作フロー



## 9.7 注意事項

- (1) CPU の動作クロックが OSCCLK (CPCLK = OSCCLK) の場合は、OSCCLK 系統で動作している内蔵周辺機能からの割り込み信号は、DMA トリガに利用できません。該当する内蔵周辺機能は、タイマ(TMM, TAA, TMT)を OSCCLK 系統のクロックで動作させている場合と、CAN コントローラです。CPU の動作クロックが OSCCLK の場合には、内部システム・クロックの HCLK よりも OSCCLK の方が高速となる場合があります、内部システム・クロック (HCLK) で動作しているシステム・バス DMAC が、DMA トリガをサンプリングできない場合があるためです。
- (2) 転送元と転送先の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証できません。したがって、データの転送元と転送先のアドレス領域は重複させないでください。
- (3) 転送元アドレス固定 (CHCFGn レジスタの SADn = 1) に設定した場合は、転送元はスキップ・モードを指定できません。
- (4) 転送先アドレス固定 (CHCFGn レジスタの DADn = 1) に設定した場合は、転送先はスキップ・モード指定できません。
- (5) 転送元アドレス固定 (CHCFGn レジスタの SADn = 1) に設定した場合は、転送元のデータは、CHCFGn レジスタの SDSn3-SDSn0 で選択したトランスファ・サイズのアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
- (6) 転送先アドレス固定 (CHCFGn レジスタの DADn = 1) に設定した場合は、転送元のデータは、CHCFGn レジスタの DDSn3-DDSn0 で選択したトランスファ・サイズのアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
- (7) ハードウェア・トリガを利用時は、転送先が DMA 転送要求を発行している場合 (CHCFGn レジスタの REQD = 1) は、掃き出しモード (CHCFGn レジスタの SBEn = 1) は利用できません。
- (8) DMA アクノリッジ出力に、バス・サイクル出力を選択した場合、バス・サイクル出力は、内部システム・バスのリード/ライト・サイクルを基準に出力されます。、外部バス・インタフェースのバス・サイクルでは、メモリ・コントローラ内部でのバス変換、ウェイト等の設定により、実際のリード/ライト・サイクルよりも速いタイミングで DMA アクノリッジ信号が出力されます。
- (9) ディスクリプタは、命令 RAM、データ RAM 以外の領域に配置してください。命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

## 第10章 割り込み / 例外処理機能

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。PFESiP/V850EP3 では次の例外をサポートしています。

表 10-1 例外要因一覧

名 称	略 称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	1	-
FE レベル・ノンマスクブル割り込み	FENMI	FENMI 入力 (PFESiP/V850EP3 は未使用)	2	FE
システム・エラー例外	SYSERR	SYSERR 入力 (4 要因)	3	FE
周辺装置保護例外	PPI	周辺装置保護違反	4	FE
タイミング監視例外	TSI	タイミング監視違反	5	FE
FE レベル・マスクブル割り込み	FEINT	FEINT 入力 (NMI 端子入力)	6	FE
浮動小数点演算例外 (インプレサイズ)	FPI	FPU 命令	7	EI
EI レベル・マスクブル割り込み	EIINT	マスクブル割り込み入力	8	EI
実行保護例外	MIP	実行保護違反	9	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力	10	FE
データ保護例外	MDP	データ保護違反	11	FE
浮動小数点演算例外 (プレサイズ)	FPP	FPU 命令		EI
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
FE レベル・ソフトウェア例外	FETRAPEX	FETRAP 命令 (vector = 1H-FH)		FE
EI レベル・ソフトウェア例外	EITRAP0	TRAP0n 命令 (vector = 00-0FH)		EI
EI レベル・ソフトウェア例外	EITRAP1	TRAP1n 命令 (vector = 10H-1FH)		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令 (vector = 00H-FFH)		EI

表 10-1 のうち、次の 2 種の例外を割り込みと呼び、この章ではこれらについて説明します。

その他の例外については V850E2M ユーザーズ・マニュアル アーキテクチャ編 (U19949) を参照してください。

FE レベル・マスカブル割り込み (FEINT : NMI 端子入力) : 1 要因

- ・再開可能 / 回復可能<sup>※</sup>
- ・最高優先度割り込み

EI レベル・マスカブル割り込み (EIINT) : 175 要因

- ・再開可能 / 回復可能<sup>※</sup>
- ・各割り込みチャンネルごとに割り込みマスクを指定可能
- ・各割り込みチャンネルごとに 16 レベルの割り込み優先度を指定可能
- ・本章では割り込みチャンネル n に対応する EIINT を EIINTn と表記します。

**注 再開：** 元のプログラムの中断した位置から実行再開が可能 / 不可能であることを示します。

**回復：** 元のプログラムを中断した時点のプロセッサ状態 (汎用レジスタ, システム・レジスタなどのプロセッサ資源の状態) への回復が可能 / 不可能であることを示します。

これらの割り込み要因を表 10-2 に示します。

表 10-2 割り込み要因一覧 (1/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・アドレスのオフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
-	RESETZ	RESETZ	リセット入力	-	-	0000H	0000 0000H	不定	-	-	-
FE	EIINT	NMI	NMI入力	端子	-	0010H	0000 0010H	currentPC	FERET	FIC	FFFF 645EH
EI	EIINT0	INTWDT	WDTアラーム割り込み	WDT	0	0080H	0000 0080H	currentPC	EIRET	EIC0	FFFF 6000H
EI	EIINT1	INTSFMC	シリアル・フラッシュROMメモリ・コントローラ・システム・エラー	SFMEMC	1	0090H	0000 0090H	currentPC	EIRET	EIC1	FFFF 6002H
EI	EIINT2	INTPZ0	INTPZ0入力	端子	2	00A0H	0000 00A0H	currentPC	EIRET	EIC2	FFFF 6004H
EI	EIINT3	INTPZ1	INTPZ1入力	端子	3	00B0H	0000 00B0H	currentPC	EIRET	EIC3	FFFF 6006H
EI	EIINT4	INTPZ2	INTPZ2入力	端子	4	00C0H	0000 00C0H	currentPC	EIRET	EIC4	FFFF 6008H
EI	EIINT5	INTPZ3	INTPZ3入力	端子	5	00D0H	0000 00D0H	currentPC	EIRET	EIC5	FFFF 600AH
EI	EIINT6	INTPZ4	INTPZ4入力	端子	6	00E0H	0000 00E0H	currentPC	EIRET	EIC6	FFFF 600CH
EI	EIINT7	INTPZ5	INTPZ5入力	端子	7	00F0H	0000 00F0H	currentPC	EIRET	EIC7	FFFF 600EH
EI	EIINT8	INTPZ6	INTPZ6入力	端子	8	0100H	0000 0100H	currentPC	EIRET	EIC8	FFFF 6010H
EI	EIINT9	INTPZ7	INTPZ7入力	端子	9	0110H	0000 0110H	currentPC	EIRET	EIC9	FFFF 6012H
EI	EIINT10	INTPZ16	INTPZ16入力 (SiP 内部接続)	SiP 内部接続信号	10	0120H	0000 0120H	currentPC	EIRET	EIC10	FFFF 6014H
EI	EIINT11	INTPZ17	INTPZ17入力 (SiP 内部接続)	SiP 内部接続信号	11	0130H	0000 0130H	currentPC	EIRET	EIC11	FFFF 6016H
EI	EIINT12	INTPZ18	INTPZ18入力 (SiP 内部接続)	SiP 内部接続信号	12	0140H	0000 0140H	currentPC	EIRET	EIC12	FFFF 6018H
EI	EIINT13	INTPZ19	INTPZ19入力 (SiP 内部接続)	SiP 内部接続信号	13	0150H	0000 0150H	currentPC	EIRET	EIC13	FFFF 601AH
EI	EIINT14	INTPZ20	INTPZ20入力 (SiP 内部接続)	SiP 内部接続信号	14	0160H	0000 0160H	currentPC	EIRET	EIC14	FFFF 601CH
EI	EIINT15	INTPZ21	INTPZ21入力 (SiP 内部接続)	SiP 内部接続信号	15	0170H	0000 0170H	currentPC	EIRET	EIC15	FFFF 601EH
EI	EIINT16	INTPZ22	INTPZ22入力 (SiP 内部接続)	SiP 内部接続信号	16	0180H	0000 0180H	currentPC	EIRET	EIC16	FFFF 6020H
EI	EIINT17	INTPZ23	INTPZ23入力 (SiP 内部接続)	SiP 内部接続信号	17	0190H	0000 0190H	currentPC	EIRET	EIC17	FFFF 6022H
EI	EIINT18	INTTIOV0	TMT0オーバフロー割り込み	TMT0	18	01A0H	0000 01A0H	currentPC	EIRET	EIC18	FFFF 6024H
EI	EIINT19	INTTEQC00	TMT0コンペア0一致 or キャプチャ0割り込み	TMT0	19	01B0H	0000 01B0H	currentPC	EIRET	EIC19	FFFF 6026H
EI	EIINT20	INTTEQC01	TMT0コンペア1一致 or キャプチャ1割り込み	TMT0	20	01C0H	0000 01C0H	currentPC	EIRET	EIC20	FFFF 6028H
EI	EIINT21	INTTIEC0	TMT0エンコーダ・クリア割り込み	TMT0	21	01D0H	0000 01D0H	currentPC	EIRET	EIC21	FFFF 602AH

表 10-2 割り込み要因一覧 (2/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT22	INTTIOV1	TMT1 オーバフロー・割り込み	TMT1	22	01E0H	0000 01E0H	currentPC	EIRET	EIC22	FFFF 602CH
EI	EIINT23	INTTEQC10	TMT1 コンペア 0 - 一致 or キヤプチャ 0 割り込み	TMT1	23	01F0H	0000 01F0H	currentPC	EIRET	EIC23	FFFF 602EH
EI	EIINT24	INTTEQC11	TMT1 コンペア 1 - 一致 or キヤプチャ 1 割り込み	TMT1	24	0200H	0000 0200H	currentPC	EIRET	EIC24	FFFF 6030H
EI	EIINT25	INTTIEC1	TMT1 エンコーダ・クリア割り込み	TMT1	25	0210H	0000 0210H	currentPC	EIRET	EIC25	FFFF 6032H
EI	EIINT26	INTTA0OV	TAA0 オーバフロー・割り込み	TAA0	26	0220H	0000 0220H	currentPC	EIRET	EIC26	FFFF 6034H
EI	EIINT27	INTTA0CC0	TAA0 コンペア 0 - 一致割り込み	TAA0	27	0230H	0000 0230H	currentPC	EIRET	EIC27	FFFF 6036H
EI	EIINT28	INTTA0CC1	TAA0 コンペア 1 - 一致割り込み	TAA0	28	0240H	0000 0240H	currentPC	EIRET	EIC28	FFFF 6038H
EI	EIINT29	INTTA1OV	TAA1 オーバフロー・割り込み	TAA1	29	0250H	0000 0250H	currentPC	EIRET	EIC29	FFFF 603AH
EI	EIINT30	INTTA1CC0	TAA1 コンペア 0 - 一致割り込み	TAA1	30	0260H	0000 0260H	currentPC	EIRET	EIC30	FFFF 603CH
EI	EIINT31	INTTA1CC1	TAA1 コンペア 1 - 一致割り込み	TAA1	31	0270H	0000 0270H	currentPC	EIRET	EIC31	FFFF 603EH
EI	EIINT32	INTTA2OV	TAA2 オーバフロー・割り込み	TAA2	32	0280H	0000 0280H	currentPC	EIRET	EIC32	FFFF 6040H
EI	EIINT33	INTTA2CC0	TAA2 コンペア 0 - 一致割り込み	TAA2	33	0290H	0000 0290H	currentPC	EIRET	EIC33	FFFF 6042H
EI	EIINT34	INTTA2CC1	TAA2 コンペア 1 - 一致割り込み	TAA2	34	02A0H	0000 02A0H	currentPC	EIRET	EIC34	FFFF 6044H
EI	EIINT35	INTTA3OV	TAA3 オーバフロー・割り込み	TAA3	35	02B0H	0000 02B0H	currentPC	EIRET	EIC35	FFFF 6046H
EI	EIINT36	INTTA3CC0	TAA3 コンペア 0 - 一致割り込み	TAA3	36	02C0H	0000 02C0H	currentPC	EIRET	EIC36	FFFF 6048H
EI	EIINT37	INTTA3CC1	TAA3 コンペア 1 - 一致割り込み	TAA3	37	02D0H	0000 02D0H	currentPC	EIRET	EIC37	FFFF 604AH
EI	EIINT38	INTTA4OV	TAA4 オーバフロー・割り込み	TAA4	38	02E0H	0000 02E0H	currentPC	EIRET	EIC38	FFFF 604CH
EI	EIINT39	INTTA4CC0	TAA4 コンペア 0 - 一致割り込み	TAA4	39	02F0H	0000 02F0H	currentPC	EIRET	EIC39	FFFF 604EH
EI	EIINT40	INTTA4CC1	TAA4 コンペア 1 - 一致割り込み	TAA4	40	0300H	0000 0300H	currentPC	EIRET	EIC40	FFFF 6050H
EI	EIINT41	INTTA5OV	TAA5 オーバフロー・割り込み	TAA5	41	0310H	0000 0310H	currentPC	EIRET	EIC41	FFFF 6052H
EI	EIINT42	INTTA5CC0	TAA5 コンペア 0 - 一致割り込み	TAA5	42	0320H	0000 0320H	currentPC	EIRET	EIC42	FFFF 6054H
EI	EIINT43	INTTA5CC1	TAA5 コンペア 1 - 一致割り込み	TAA5	43	0330H	0000 0330H	currentPC	EIRET	EIC43	FFFF 6056H
EI	EIINT44	INTDMAERR	システム・バス DMAC エラ - 応答割り込み	System Bus DMAC	44	0340H	0000 0340H	currentPC	EIRET	EIC44	FFFF 6058H
EI	EIINT45	INTDMA0	システム・バス DMAC チャネル 0 転送完了割り込み	System Bus DMAC	45	0350H	0000 0350H	currentPC	EIRET	EIC45	FFFF 605AH
EI	EIINT46	INTDMA1	システム・バス DMAC チャネル 1 転送完了 割り込み	System Bus DMAC	46	0360H	0000 0360H	currentPC	EIRET	EIC46	FFFF 605CH

表 10-2 割り込み要因一覧 (3/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・アドレスのオフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT47	INTDMA2	システム・バス DMAC チャネル 2 転送完了割り込み	System Bus DMAC	47	0370H	0000 0370H	currentPC	EIRET	EIC47	FFFF 605EH
EI	EIINT48	INTDMA3	システム・バス DMAC チャネル 3 転送完了割り込み	System Bus DMAC	48	0380H	0000 0380H	currentPC	EIRET	EIC48	FFFF 6060H
EI	EIINT49	INTDMA4	システム・バス DMAC チャネル 4 転送完了割り込み	System Bus DMAC	49	0390H	0000 0390H	currentPC	EIRET	EIC49	FFFF 6062H
EI	EIINT50	INTDMA5	システム・バス DMAC チャネル 5 転送完了割り込み	System Bus DMAC	50	03A0H	0000 03A0H	currentPC	EIRET	EIC50	FFFF 6064H
EI	EIINT51	INTDMA6	システム・バス DMAC チャネル 6 転送完了割り込み	System Bus DMAC	51	03B0H	0000 03B0H	currentPC	EIRET	EIC51	FFFF 6066H
EI	EIINT52	INTDMA7	システム・バス DMAC チャネル 7 転送完了割り込み	System Bus DMAC	52	03C0H	0000 03C0H	currentPC	EIRET	EIC52	FFFF 6068H
EI	EIINT53	INTCDMA0	セントラル DMAC チャネル 0 転送完了割り込み	Central DMAC	53	03D0H	0000 03D0H	currentPC	EIRET	EIC53	FFFF 606AH
EI	EIINT54	INTCDMA1	セントラル DMAC チャネル 1 転送完了割り込み	Central DMAC	54	03E0H	0000 03E0H	currentPC	EIRET	EIC54	FFFF 606CH
EI	EIINT55	INTCDMA2	セントラル DMAC チャネル 2 転送完了割り込み	Central DMAC	55	03F0H	0000 03F0H	currentPC	EIRET	EIC55	FFFF 606EH
EI	EIINT56	INTCDMA3	セントラル DMAC チャネル 3 転送完了割り込み	Central DMAC	56	0400H	0000 0400H	currentPC	EIRET	EIC56	FFFF 6070H
EI	EIINT57	INTCDMA4	セントラル DMAC チャネル 4 転送完了割り込み	Central DMAC	57	0410H	0000 0410H	currentPC	EIRET	EIC57	FFFF 6072H
EI	EIINT58	INTCDMA5	セントラル DMAC チャネル 5 転送完了割り込み	Central DMAC	58	0420H	0000 0420H	currentPC	EIRET	EIC58	FFFF 6074H
EI	EIINT59	INTCDMA6	セントラル DMAC チャネル 6 転送完了割り込み	Central DMAC	59	0430H	0000 0430H	currentPC	EIRET	EIC59	FFFF 6076H
EI	EIINT60	INTCDMA7	セントラル DMAC チャネル 7 転送完了割り込み	Central DMAC	60	0440H	0000 0440H	currentPC	EIRET	EIC60	FFFF 6078H
EI	EIINT61	INTCDMA8	セントラル DMAC チャネル 8 転送完了割り込み	Central DMAC	61	0450H	0000 0450H	currentPC	EIRET	EIC61	FFFF 607AH
EI	EIINT62	INTCDMA9	セントラル DMAC チャネル 9 転送完了割り込み	Central DMAC	62	0460H	0000 0460H	currentPC	EIRET	EIC62	FFFF 607CH
EI	EIINT63	INTCDMA10	セントラル DMAC チャネル 10 転送完了割り込み	Central DMAC	63	0470H	0000 0470H	currentPC	EIRET	EIC63	FFFF 607EH
EI	EIINT64	INTCDMA11	セントラル DMAC チャネル 11 転送完了割り込み	Central DMAC	64	0480H	0000 0480H	currentPC	EIRET	EIC64	FFFF 6080H
EI	EIINT65	INTCDMA12	セントラル DMAC チャネル 12 転送完了割り込み	Central DMAC	65	0490H	0000 0490H	currentPC	EIRET	EIC65	FFFF 6082H
EI	EIINT66	INTCDMA13	セントラル DMAC チャネル 13 転送完了割り込み	Central DMAC	66	04A0H	0000 04A0H	currentPC	EIRET	EIC66	FFFF 6084H
EI	EIINT67	INTCDMA14	セントラル DMAC チャネル 14 転送完了割り込み	Central DMAC	67	04B0H	0000 04B0H	currentPC	EIRET	EIC67	FFFF 6086H
EI	EIINT68	INTCDMA15	セントラル DMAC チャネル 15 転送完了割り込み	Central DMAC	68	04C0H	0000 04C0H	currentPC	EIRET	EIC68	FFFF 6088H
EI	EIINT69	INTCDMACT0	セントラル DMAC チャネル 0 転送回数一致割り込み	Central DMAC	69	04D0H	0000 04D0H	currentPC	EIRET	EIC69	FFFF 608AH
EI	EIINT70	INTCDMACT1	セントラル DMAC チャネル 1 転送回数一致割り込み	Central DMAC	70	04E0H	0000 04E0H	currentPC	EIRET	EIC70	FFFF 608CH
EI	EIINT71	INTCDMACT2	セントラル DMAC チャネル 2 転送回数一致割り込み	Central DMAC	71	04F0H	0000 04F0H	currentPC	EIRET	EIC71	FFFF 608EH

表 10-2 割り込み要因一覧 (4/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT72	INTCDMACT3	セントラル DMAC チャネル 3 転送回数一致割り込み	Central DMAC	72	0500H	0000 0500H	currentPC	EIRET	EIC72	FFFF 6090H
EI	EIINT73	INTCDMACT4	セントラル DMAC チャネル 4 転送回数一致割り込み	Central DMAC	73	0510H	0000 0510H	currentPC	EIRET	EIC73	FFFF 6092H
EI	EIINT74	INTCDMACT5	セントラル DMAC チャネル 5 転送回数一致割り込み	Central DMAC	74	0520H	0000 0520H	currentPC	EIRET	EIC74	FFFF 6094H
EI	EIINT75	INTCDMACT6	セントラル DMAC チャネル 6 転送回数一致割り込み	Central DMAC	75	0530H	0000 0530H	currentPC	EIRET	EIC75	FFFF 6096H
EI	EIINT76	INTCDMACT7	セントラル DMAC チャネル 7 転送回数一致割り込み	Central DMAC	76	0540H	0000 0540H	currentPC	EIRET	EIC76	FFFF 6098H
EI	EIINT77	INTCDMACT8	セントラル DMAC チャネル 8 転送回数一致割り込み	Central DMAC	77	0550H	0000 0550H	currentPC	EIRET	EIC77	FFFF 609AH
EI	EIINT78	INTCDMACT9	セントラル DMAC チャネル 9 転送回数一致割り込み	Central DMAC	78	0560H	0000 0560H	currentPC	EIRET	EIC78	FFFF 609CH
EI	EIINT79	INTCDMACT10	セントラル DMAC チャネル 10 転送回数一致割り込み	Central DMAC	79	0570H	0000 0570H	currentPC	EIRET	EIC79	FFFF 609EH
EI	EIINT80	INTCDMACT11	セントラル DMAC チャネル 11 転送回数一致割り込み	Central DMAC	80	0580H	0000 0580H	currentPC	EIRET	EIC80	FFFF 60A0H
EI	EIINT81	INTCDMACT12	セントラル DMAC チャネル 12 転送回数一致割り込み	Central DMAC	81	0590H	0000 0590H	currentPC	EIRET	EIC81	FFFF 60A2H
EI	EIINT82	INTCDMACT13	セントラル DMAC チャネル 13 転送回数一致割り込み	Central DMAC	82	05A0H	0000 05A0H	currentPC	EIRET	EIC82	FFFF 60A4H
EI	EIINT83	INTCDMACT14	セントラル DMAC チャネル 14 転送回数一致割り込み	Central DMAC	83	05B0H	0000 05B0H	currentPC	EIRET	EIC83	FFFF 60A6H
EI	EIINT84	INTCDMACT15	セントラル DMAC チャネル 15 転送回数一致割り込み	Central DMAC	84	05C0H	0000 05C0H	currentPC	EIRET	EIC84	FFFF 60A8H
EI	EIINT85	INTC0ERR	CAN0 エラー割り込み	CAN0	85	05D0H	0000 05D0H	currentPC	EIRET	EIC85	FFFF 60AAH
EI	EIINT86	INTC0WUP	CAN0 ウエイク・アップ割り込み	CAN0	86	05E0H	0000 05E0H	currentPC	EIRET	EIC86	FFFF 60ACH
EI	EIINT87	INTC0REC	CAN0 受信完了割り込み	CAN0	87	05F0H	0000 05F0H	currentPC	EIRET	EIC87	FFFF 60AEH
EI	EIINT88	INTC0TRX	CAN0 送信完了割り込み	CAN0	88	0600H	0000 0600H	currentPC	EIRET	EIC88	FFFF 60B0H
EI	EIINT89	INTC1ERR	CAN1 エラー割り込み	CAN1	89	0610H	0000 0610H	currentPC	EIRET	EIC89	FFFF 60B2H
EI	EIINT90	INTC1WUP	CAN1 ウエイク・アップ割り込み	CAN1	90	0620H	0000 0620H	currentPC	EIRET	EIC90	FFFF 60B4H
EI	EIINT91	INTC1REC	CAN1 受信完了割り込み	CAN1	91	0630H	0000 0630H	currentPC	EIRET	EIC91	FFFF 60B6H
EI	EIINT92	INTC1TRX	CAN1 送信完了割り込み	CAN1	92	0640H	0000 0640H	currentPC	EIRET	EIC92	FFFF 60B8H
EI	EIINT93	INTUART0	UART0 割り込み	UART	93	0650H	0000 0650H	currentPC	EIRET	EIC93	FFFF 60BAH
EI	EIINT94	INTUART1	UART1 割り込み	UART	94	0660H	0000 0660H	currentPC	EIRET	EIC94	FFFF 60BCH
EI	EIINT95	INTUART2	UART2 割り込み	UART	95	0670H	0000 0670H	currentPC	EIRET	EIC95	FFFF 60BEH
EI	EIINT96	INTUART3	UART3 割り込み	UART	96	0680H	0000 0680H	currentPC	EIRET	EIC96	FFFF 60C0H



表 10-2 割り込み要因一覧 (5/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT97	INTCSI30	CSI30 送受信完了割り込み	CSI30	97	0690H	0000 0690H	currentPC	EIRET	EIC97	FFFF 60C2H
EI	EIINT98	INTCOVF30	CSI30 バッファ・オーバーフロー割り込み	CSI30	98	06A0H	0000 06A0H	currentPC	EIRET	EIC98	FFFF 60C4H
EI	EIINT99	INTCSI31	CSI31 送受信完了割り込み	CSI31	99	06B0H	0000 06B0H	currentPC	EIRET	EIC99	FFFF 60C6H
EI	EIINT100	INTCOVF31	CSI31 バッファ・オーバーフロー割り込み	CSI31	100	06C0H	0000 06C0H	currentPC	EIRET	EIC100	FFFF 60C8H
EI	EIINT101	INTCSI32	CSI32 送受信完了割り込み	CSI32	101	06D0H	0000 06D0H	currentPC	EIRET	EIC101	FFFF 60CAH
EI	EIINT102	INTCOVF32	CSI32 バッファ・オーバーフロー割り込み	CSI32	102	06E0H	0000 06E0H	currentPC	EIRET	EIC102	FFFF 60CCH
EI	EIINT103	INTCSI33	CSI33 送受信完了割り込み	CSI33	103	06F0H	0000 06F0H	currentPC	EIRET	EIC103	FFFF 60CEH
EI	EIINT104	INTCOVF33	CSI33 バッファ・オーバーフロー割り込み	CSI33	104	0700H	0000 0700H	currentPC	EIRET	EIC104	FFFF 60D0H
EI	EIINT105	INTCSI34	CSI34 送受信完了割り込み	CSI34	105	0710H	0000 0710H	currentPC	EIRET	EIC105	FFFF 60D2H
EI	EIINT106	INTCOVF34	CSI34 バッファ・オーバーフロー割り込み	CSI34	106	0720H	0000 0720H	currentPC	EIRET	EIC106	FFFF 60D4H
EI	EIINT107	INTCSI35	CSI35 送受信完了割り込み	CSI35	107	0730H	0000 0730H	currentPC	EIRET	EIC107	FFFF 60D6H
EI	EIINT108	INTCOVF35	CSI35 バッファ・オーバーフロー割り込み	CSI35	108	0740H	0000 0740H	currentPC	EIRET	EIC108	FFFF 60D8H
EI	EIINT109	INTCSI36	CSI36 送受信完了割り込み	CSI36	109	0750H	0000 0750H	currentPC	EIRET	EIC109	FFFF 60DAH
EI	EIINT110	INTCOVF36	CSI36 バッファ・オーバーフロー割り込み	CSI36	110	0760H	0000 0760H	currentPC	EIRET	EIC110	FFFF 60DCH
EI	EIINT111	INTCSI37	CSI37 送受信完了割り込み	CSI37	111	0770H	0000 0770H	currentPC	EIRET	EIC111	FFFF 60DEH
EI	EIINT112	INTCOVF37	CSI37 バッファ・オーバーフロー割り込み	CSI37	112	0780H	0000 0780H	currentPC	EIRET	EIC112	FFFF 60E0H
EI	EIINT113	INTTM0EQ0	TMM0 コンペア一致割り込み	TMM0	113	0790H	0000 0790H	currentPC	EIRET	EIC113	FFFF 60E2H
EI	EIINT114	INTTM1EQ0	TMM1 コンペア一致割り込み	TMM1	114	07A0H	0000 07A0H	currentPC	EIRET	EIC114	FFFF 60E4H
EI	EIINT115	INTTM2EQ0	TMM2 コンペア一致割り込み	TMM2	115	07B0H	0000 07B0H	currentPC	EIRET	EIC115	FFFF 60E6H
EI	EIINT116	INTTM3EQ0	TMM3 コンペア一致割り込み	TMM3	116	07C0H	0000 07C0H	currentPC	EIRET	EIC116	FFFF 60E8H
EI	EIINT117	INTTM4EQ0	TMM4 コンペア一致割り込み	TMM4	117	07D0H	0000 07D0H	currentPC	EIRET	EIC117	FFFF 60EAH
EI	EIINT118	INTTM5EQ0	TMM5 コンペア一致割り込み	TMM5	118	07E0H	0000 07E0H	currentPC	EIRET	EIC118	FFFF 60ECH
EI	EIINT119	INTAD	A/D 変換終了割り込み	A/D	119	07F0H	0000 07F0H	currentPC	EIRET	EIC119	FFFF 60EEH
EI	EIINT120	INTSRXREQ	Ether 受信データ・レディ割り込み	Ether MAC	120	0800H	0000 0800H	currentPC	EIRET	EIC120	FFFF 60FOH
EI	EIINT121	INTSCRX	Ether パケット受信割り込み	Ether MAC	121	0810H	0000 0810H	currentPC	EIRET	EIC121	FFFF 60F2H

表 10-2 割り込み要因一覧 (6/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT122	INTSCTX	Ether パケット送信割り込み	Ether MAC	122	0820H	0000 0820H	currentPC	EIRET	EIC122	FFFF 60F4H
EI	EIINT123	INTCRS	Ether 受信ステータス割り込み	Ether MAC	123	0830H	0000 0830H	currentPC	EIRET	EIC123	FFFF 60F6H
EI	EIINT124	INTCTS	Ether 送信ステータス割り込み	Ether MAC	124	0840H	0000 0840H	currentPC	EIRET	EIC124	FFFF 60F8H
EI	EIINT125	INTCFS	Ether FIFO ステータス割り込み	Ether MAC	125	0850H	0000 0850H	currentPC	EIRET	EIC125	FFFF 60FAH
EI	EIINT126	INTCMAC	Ether MAC コア割り込み	Ether MAC	126	0860H	0000 0860H	currentPC	EIRET	EIC126	FFFF 60FCH
EI	EIINT127	INTSCTXTCH	Ether 送信データ計算終了割り込み	Ether MAC	127	0870H	0000 0870H	currentPC	EIRET	EIC127	FFFF 60FEH
EI	EIINT128	INTSCRXTCH	Ether 送信チェックサム割り込み	Ether MAC	128	0880H	0000 0880H	currentPC	EIRET	EIC128	FFFF 6100H
EI	EIINT129	INTU2H	USB ホスト BRIDGE 割り込み	USB Host	129	0890H	0000 0890H	currentPC	EIRET	EIC129	FFFF 6102H
EI	EIINT130	INTU2HOHCI	USB ホスト OHCI 割り込み	USB Host	130	08A0H	0000 08A0H	currentPC	EIRET	EIC130	FFFF 6104H
EI	EIINT131	INTU2HEHCII	USB ホスト EHCI 割り込み	USB Host	131	08B0H	0000 08B0H	currentPC	EIRET	EIC131	FFFF 6106H
EI	EIINT132	INTU2HPME	USB ホスト PME 割り込み	USB Host	132	08C0H	0000 08C0H	currentPC	EIRET	EIC132	FFFF 6108H
EI	EIINT133	INTU2F	USB ファンクション BRIDGE 割り込み	USB Function	133	08D0H	0000 08D0H	currentPC	EIRET	EIC133	FFFF 610AH
EI	EIINT134	INTU2FEPC	USB ファンクション EPC 割り込み	USB Function	134	08E0H	0000 08E0H	currentPC	EIRET	EIC134	FFFF 610CH
EI	EIINT135	INTPZ8	INTPZ8 入力	端子	135	08F0H	0000 08F0H	currentPC	EIRET	EIC135	FFFF 610EH
EI	EIINT136	INTPZ9	INTPZ9 入力	端子	136	0900H	0000 0900H	currentPC	EIRET	EIC136	FFFF 6110H
EI	EIINT137	INTPZ10	INTPZ10 入力	端子	137	0910H	0000 0910H	currentPC	EIRET	EIC137	FFFF 6112H
EI	EIINT138	INTPZ11	INTPZ11 入力	端子	138	0920H	0000 0920H	currentPC	EIRET	EIC138	FFFF 6114H
EI	EIINT139	INTPZ12	INTPZ12 入力	端子	139	0930H	0000 0930H	currentPC	EIRET	EIC139	FFFF 6116H
EI	EIINT140	INTPZ13	INTPZ13 入力	端子	140	0940H	0000 0940H	currentPC	EIRET	EIC140	FFFF 6118H
EI	EIINT141	INTPZ14	INTPZ14 入力	端子	141	0950H	0000 0950H	currentPC	EIRET	EIC141	FFFF 611AH
EI	EIINT142	INTPZ15	INTPZ15 入力	端子	142	0960H	0000 0960H	currentPC	EIRET	EIC142	FFFF 611CH
EI	EIINT143	INTPZ24	INTPZ24 入力	端子	143	0970H	0000 0970H	currentPC	EIRET	EIC143	FFFF 611EH
EI	EIINT144	INTPZ25	INTPZ25 入力	端子	144	0980H	0000 0980H	currentPC	EIRET	EIC144	FFFF 6120H
EI	EIINT145	INTPZ26	INTPZ26 入力	端子	145	0990H	0000 0990H	currentPC	EIRET	EIC145	FFFF 6122H
EI	EIINT146	INTPZ27	INTPZ27 入力	端子	146	09A0H	0000 09A0H	currentPC	EIRET	EIC146	FFFF 6124H

表 10-2 割り込み要因一覧 (7/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT147	INTPZ28	INTPZ28 入力	端子	147	09B0H	0000 09B0H	currentPC	EIRET	EIC147	FFFF 6126H
EI	EIINT148	INTPZ29	INTPZ29 入力	端子	148	09C0H	0000 09C0H	currentPC	EIRET	EIC148	FFFF 6128H
EI	EIINT149	INTPZ30	INTPZ30 入力	端子	149	09D0H	0000 09D0H	currentPC	EIRET	EIC149	FFFF 612AH
EI	EIINT150	INTPZ31	INTPZ31 入力	端子	150	09E0H	0000 09E0H	currentPC	EIRET	EIC150	FFFF 612CH
EI	EIINT151	INTPZ32	INTPZ32 入力	端子	151	09F0H	0000 09F0H	currentPC	EIRET	EIC151	FFFF 612EH
EI	EIINT152	INTPZ33	INTPZ33 入力	端子	152	0A00H	0000 0A00H	currentPC	EIRET	EIC152	FFFF 6130H
EI	EIINT153	INTPZ34	INTPZ34 入力	端子	153	0A10H	0000 0A10H	currentPC	EIRET	EIC153	FFFF 6132H
EI	EIINT154	INTPZ35	INTPZ35 入力	端子	154	0A20H	0000 0A20H	currentPC	EIRET	EIC154	FFFF 6134H
EI	EIINT155	INTPZ36	INTPZ36 入力	端子	155	0A30H	0000 0A30H	currentPC	EIRET	EIC155	FFFF 6136H
EI	EIINT156	INTPZ37	INTPZ37 入力	端子	156	0A40H	0000 0A40H	currentPC	EIRET	EIC156	FFFF 6138H
EI	EIINT157	INTPZ38	INTPZ38 入力	端子	157	0A50H	0000 0A50H	currentPC	EIRET	EIC157	FFFF 613AH
EI	EIINT158	INTPZ39	INTPZ39 入力	端子	158	0A60H	0000 0A60H	currentPC	EIRET	EIC158	FFFF 613CH
EI	EIINT159	INTPZ40	INTPZ40 入力	端子	159	0A70H	0000 0A70H	currentPC	EIRET	EIC159	FFFF 613EH
EI	EIINT160	INTPZ41	INTPZ41 入力	端子	160	0A80H	0000 0A80H	currentPC	EIRET	EIC160	FFFF 6140H
EI	EIINT161	INTPZ42	INTPZ42 入力	端子	161	0A90H	0000 0A90H	currentPC	EIRET	EIC161	FFFF 6142H
EI	EIINT162	INTPZ43	INTPZ43 入力	端子	162	0AA0H	0000 0AA0H	currentPC	EIRET	EIC162	FFFF 6144H
EI	EIINT163	INTPZ44	INTPZ44 入力	端子	163	0AB0H	0000 0AB0H	currentPC	EIRET	EIC163	FFFF 6146H
EI	EIINT164	INTPZ45	INTPZ45 入力	端子	164	0AC0H	0000 0AC0H	currentPC	EIRET	EIC164	FFFF 6148H
EI	EIINT165	INTPZ46	INTPZ46 入力	端子	165	0AD0H	0000 0AD0H	currentPC	EIRET	EIC165	FFFF 614AH
EI	EIINT166	INTPZ47	INTPZ47 入力	端子	166	0AE0H	0000 0AE0H	currentPC	EIRET	EIC166	FFFF 614CH
EI	EIINT167	INTPZ48	INTPZ48 入力	端子	167	0AF0H	0000 0AF0H	currentPC	EIRET	EIC167	FFFF 614EH
EI	EIINT168	INTPZ49	INTPZ49 入力	端子	168	0B00H	0000 0B00H	currentPC	EIRET	EIC168	FFFF 6150H
EI	EIINT169	INTTMM0PRS	TMM0 専用プリスケラ・コンパ-致割り込み	TMM0PRS	169	0B10H	0000 0B10H	currentPC	EIRET	EIC169	FFFF 6152H
EI	EIINT170	INTTMM1PRS	TMM1 専用プリスケラ・コンパ-致割り込み	TMM1PRS	170	0B20H	0000 0B20H	currentPC	EIRET	EIC170	FFFF 6154H
EI	EIINT171	INTTMM2PRS	TMM2 専用プリスケラ・コンパ-致割り込み	TMM2PRS	171	0B30H	0000 0B30H	currentPC	EIRET	EIC171	FFFF 6156H

表 10-2 割り込み要因一覧 ( 8/8 )

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT172	INTTMM3PRS	TMM3 専用プリスケラ・コンペア-致割り込み	TMM3PRS	172	0B40H	0000 0B40H	currentPC	EIRET	EIC172	FFFF 6158H
EI	EIINT173	INTTMM4PRS	TMM4 専用プリスケラ・コンペア-致割り込み	TMM4PRS	173	0B50H	0000 0B50H	currentPC	EIRET	EIC173	FFFF 615AH
EI	EIINT174	INTTMM5PRS	TMM5 専用プリスケラ・コンペア-致割り込み	TMM5PRS	174	0B60H	0000 0B60H	currentPC	EIRET	EIC174	FFFF 615CH

## 10.1 例外ハンドラ・アドレス切り替え機能

PFESiP/V850EP3 では、ブート・モードに応じてブート・アドレスが選択されます。ブート後、例外ハンドラ・アドレス切り替え機能を用いることで、例外ハンドラ・アドレスを変更できます。各例外発生時に処理を移す例外ハンドラ・アドレスは、その時点での例外ハンドラ・切り替え機能の設定値により決定されます。

例外ハンドラ・アドレス切り替え機能は、システム・レジスタ・バンク上に次の 2 つのバンクがあります。詳細は **3.2.5 CPU 機能バンク / 例外ハンドラ・アドレス切り替え機能バンク**を参照してください。

例外ハンドラ・アドレス切り替え機能によって切り替えが行われる対象は、すべての例外ハンドラ・アドレスであり、次の 3 種類に分けられ、それぞれ個別の設定が可能です。

- CPU 初期化 (RESET)
- EI レベル・マスカブル割り込み (INT0-INT174)
- 上記以外の各種例外

### 10.1.1 例外ハンドラ・アドレスの決定

現在の例外ハンドラ・アドレスは、例外ハンドラ切り替え機能バンク 1 (ESWH1) に配置されたレジスタによって示されます。

#### (1) CPU 初期化 (RESET) 時の開始アドレス

PFESiP/V850EP3 では、BOOTSEL0, BOOTSEL1 端子の設定により、表 10-3 のようにブート・アドレスが決定されます。この値は EH\_RESET レジスタによって示されます。

表 10-3 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	-

#### (2) EI レベル・マスカブル割り込み (EIINT0-EIINT174) の例外ハンドラ・アドレス

EH\_BASE レジスタによって示されます。このレジスタの設定値は、ソフトウェアによって変更できます。

EIINT0-INT174 の例外ハンドラ・アドレスは、EH\_BASE レジスタにそれぞれのオフセット・アドレスを加えた 175 個の異なる例外ハンドラ・アドレスを使用します。

#### (3) 上記以外の各種例外の例外ハンドラ・アドレス

EH\_BASE レジスタによって示されます。EH\_BASE レジスタの示すアドレスに、各例外のオフセット・アドレスを加えたアドレスが、その例外の例外ハンドラ・アドレスとなります。このレジスタの設定値は、ソフトウェアによって変更できます。

### 10.1.2 例外ハンドラ・アドレス切り替え機能の設定方法

(1) BOOTSEL0, BOOTSEL1 端子による切り替え

BOOTSEL0, BOOTSEL1 端子により, CPU 初期化時の開始アドレス, および各種例外ハンドラ・アドレスが設定されます。

ブート領域 例外種別	外部バス・インタフェースの STCSZ0 に接続されている メモリ	SiP 内部の SCSZ0 に 接続されているメモリ	シリアル・ フラッシュ ROM
	BOOTSEL1 = 0 BOOTSEL0 = 0	BOOTSEL1 = 0 BOOTSEL0 = 1	BOOTSEL1 = 1 BOOTSEL0 = 0
CPU 初期化 (RESET)	0800 0000H	0B00 0000H	0E00 0000H
FEINT (NMI)	0800 0010H	0B00 0010H	0E00 0010H
EIINT0	0800 0080H	0B00 0080H	0E00 0080H
EIINT1	0800 0090H	0B00 0090H	0E00 0090H
:	:	:	:
EIINT174	0800 0B60H	0B00 0B60H	0E00 0B60H
その他	0800 0000H + offset Address	0B00 0000H + offset Address	0E00 0000H + offset Address

(2) ソフトウェアによる切り替え

CPU の動作中に下記のような手順によって, 例外ハンドラ・アドレスを変更できます。



PFESiP/V850EP3 では, 一般的に外部メモリからブートし, プログラムを命令 RAM に転送して利用します。このとき, 例外ハンドラ・アドレスも命令 RAM に変更し, 例外応答の高速化を図ることを推奨します。

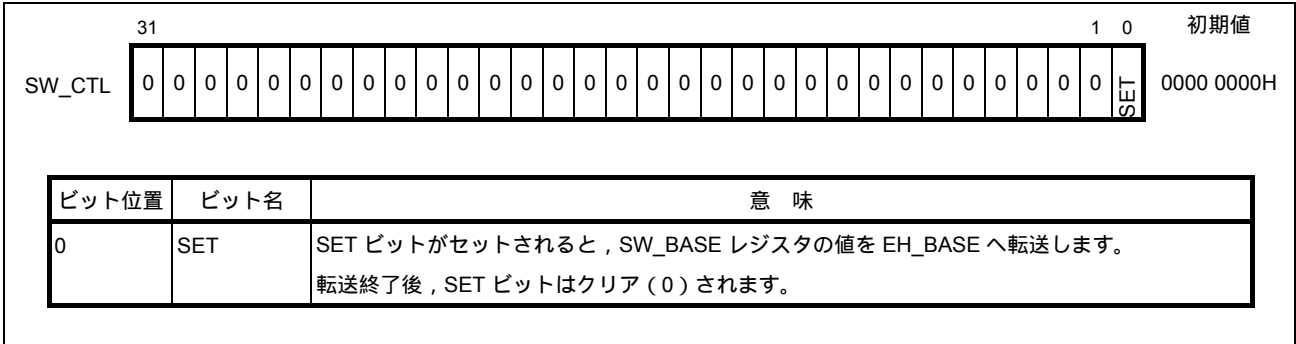
例外ハンドラ・アドレスを切り替える場合は, 切り替え手順の開始から完了までの間, 例外が発生しない, または発生しても問題がないように考慮してください (例: 例外を禁止する。系統的に例外が発生しないように制御を行う。切り替え前後のいずれの例外ハンドラ・アドレスにも正しく動作をするプログラムを配置するなど)。

なお, CPU 初期化 (RESET) による開始アドレスは, ソフトウェアでは変更できません。

## (3) 例外ハンドラ・アドレス関連レジスタ・セット

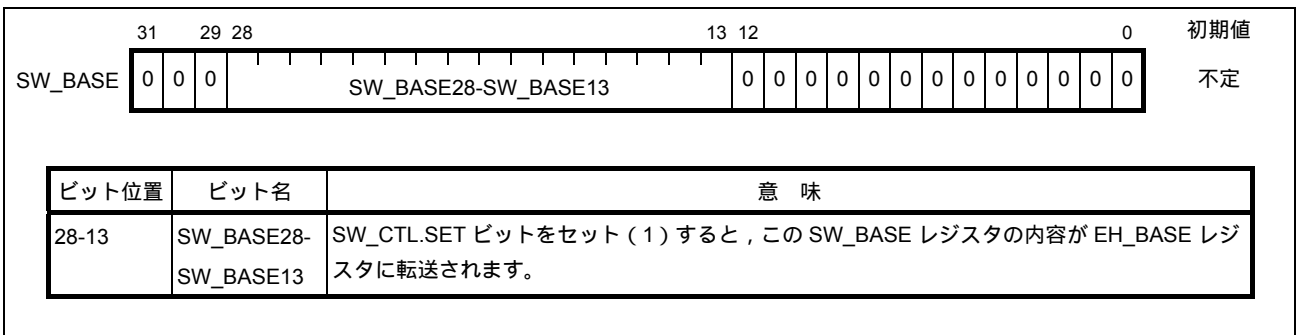
## (a) 例外ハンドラ・アドレス切り替え機能制御レジスタ (SW\_CTL)

例外ハンドラ・アドレス切り替え機能の制御レジスタです。



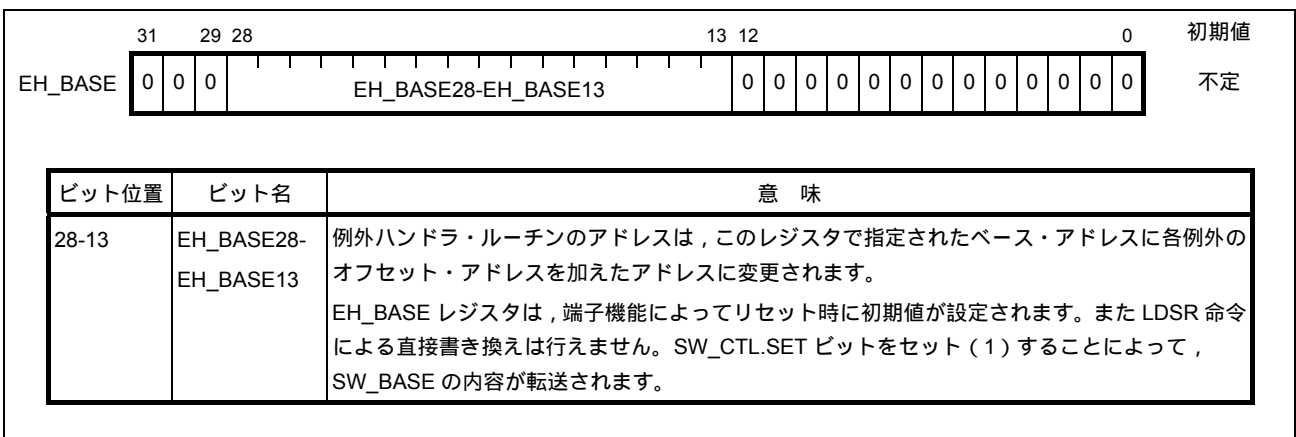
## (b) 例外ハンドラ・アドレス切り替えレジスタ (SW\_BASE)

例外ハンドラ・アドレス切り替え機能の切り替えを行う例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。



## (c) 例外ハンドラ・アドレス・レジスタ (EH\_BASE)

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。



(d) リセット・アドレス・レジスタ (EH\_RESET)

現在のリセット入力時のリセット・アドレスを示します。

	31	29	28		13	12		0	初期値
EH_RESET	0	0	0	EH_RESET28-EH_RESET13	0	0	0	0	不定

ビット位置	ビット名	意味																				
28-13	EC_RESET28- EC_RESET13	<p>EH_RESET レジスタは BOOTSEL1, BOOTSEL0 端子によるブート領域の選択により値が決定されます。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">BOOTSEL1</th> <th style="width: 10%;">BOOTSEL0</th> <th style="width: 50%;">ブート領域の選択</th> <th style="width: 30%;">ブート・アドレス</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>外部バス・インタフェースの STCSZ0 に接続されているメモリ</td> <td style="text-align: center;">0800 0000H</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>SiP 内部の SCSZ0 に接続されているメモリ</td> <td style="text-align: center;">0B00 0000H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>シリアル・フラッシュ ROM</td> <td style="text-align: center;">0E00 0000H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> <td style="text-align: center;">-</td> </tr> </tbody> </table>	BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	1	0	シリアル・フラッシュ ROM	0E00 0000H	1	1	設定禁止	-
BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス																			
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H																			
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H																			
1	0	シリアル・フラッシュ ROM	0E00 0000H																			
1	1	設定禁止	-																			



## 10.2 割り込みコントローラの制御レジスタ

### 10.2.1 EI レベル割り込み制御レジスタ

(1) EI レベル割り込み制御レジスタ n (EICn)

EI レベル INT の割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。

ビット 15-13, 11-8, 6-4 には必ず 0 を設定してください。

16 ビット単位でリード/ライト可能です。8/1 ビット単位でアクセスする場合は、EICnL, EICnH レジスタを利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
EICn	0	0	0	EIRF <sub>n</sub>	0	0	0	0	EIMK <sub>n</sub>	0	0	0	EIP3 <sub>n</sub>	EIP2 <sub>n</sub>	EIP1 <sub>n</sub>	EIP0 <sub>n</sub>	FFFF 6000H +02H × n	008FH
R/W	0	0	0	R/W	0	0	0	0	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
12	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット (1) すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスカブル割り込み n (EIINTn) を発生します。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセット (1) されている場合は、割り込み要求フラグ (EIRFn) ヘットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセット (1) されているチャンネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセット (1) されます。割り込みマスク・レジスタ (IMR0-IMR10) の対応するビットの設定も反映されます。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (初期値)
3-0	EIP3n-EIP0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

備考 n = 0-174

**注意** 割り込み優先順位の変更は、割り込み発生のタイミングとの競合で、意図しない割り込みが CPU に受け付けられないように、DI 状態、該当する割り込みがマスクされている状態で行ってください。

(2) EI レベル割り込み制御レジスタ nH (EICnH)

EI レベル INT の割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。

ビット 7-5, 3-0 には必ず 0 を設定してください。

8/1 ビット単位でリード / ライト可能です。ビット操作命令は, EIRFn (ビット 4) のみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
EICnH	0	0	0	EIRFn	0	0	0	0	FFFF 6001H +02H × n	00H
R/W	0	0	0	R/W	0	0	0	0		

ビット位置	ビット名	意 味
4	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット (1) すると, 割り込み要求を受け付けた場合と同じように, EI レベル・マスカブル割り込み n (EIINTn) を発生します。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

**備考 n = 0-174**

(3) EI レベル割り込み制御レジスタ nL (EICnL)

EI レベル INT の割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。

ビット 6-4 には必ず 0 を設定してください。

8/1 ビット単位でリード / ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
EICnL	EIMKn	0	0	0	EIP3n	EIP2n	EIP1n	EIP0n	FFFF 6000H +02H x n	8FH
R/W	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセット (1) されている場合は、割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセット (1) されているチャンネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセット (1) されます。割り込みマスク・レジスタ (IMR0-IMR10) の対応するビットの設定も反映されます。 0: 割り込み処理を許可 1: 割り込み処理を禁止 (初期値)
3-0	EIP3n-EIP0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

**備考 n = 0-174**

**注意** 割り込み優先順位の変更は、割り込み発生のタイミングとの競合で、意図しない割り込みが CPU に受け付けられないように、DI 状態、該当する割り込みがマスクされている状態で行ってください。

### 10.2.2 EI レベル割り込みマスク・レジスタ

(1) EI レベル割り込みマスク・レジスタ 0-10 (IMR0-IMR10)

EICn レジスタの EIMKn ビットの集合レジスタです。IMR0-IMR10 レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0-IMR10 レジスタへの設定は対応する EIMKn ビットへ反映されます。16 ビット単位でリード/ライト可能です。8/1 ビット単位でアクセスする場合は、IMR0L-IMR10L, IMR0H-IMR10H レジスタを利用してください (n = 0-174)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0	EIMK 15	EIMK 14	EIMK 13	EIMK 12	EIMK 11	EIMK 10	EIMK 9	EIMK 8	EIMK 7	EIMK 6	EIMK 5	EIMK 4	EIMK 3	EIMK 2	EIMK 1	EIMK 0	FFFF 6400H	FFFFH
IMR1	EIMK 31	EIMK 30	EIMK 29	EIMK 28	EIMK 27	EIMK 26	EIMK 25	EIMK 24	EIMK 23	EIMK 22	EIMK 21	EIMK 20	EIMK 19	EIMK 18	EIMK 17	EIMK 16	FFFF 6402H	FFFFH
IMR2	EIMK 47	EIMK 46	EIMK 45	EIMK 44	EIMK 43	EIMK 42	EIMK 41	EIMK 40	EIMK 39	EIMK 38	EIMK 37	EIMK 36	EIMK 35	EIMK 34	EIMK 33	EIMK 32	FFFF 6404H	FFFFH
IMR3	EIMK 63	EIMK 62	EIMK 61	EIMK 60	EIMK 59	EIMK 58	EIMK 57	EIMK 56	EIMK 55	EIMK 54	EIMK 53	EIMK 52	EIMK 51	EIMK 50	EIMK 49	EIMK 48	FFFF 6406H	FFFFH
IMR4	EIMK 79	EIMK 78	EIMK 77	EIMK 76	EIMK 75	EIMK 74	EIMK 73	EIMK 72	EIMK 71	EIMK 70	EIMK 69	EIMK 68	EIMK 67	EIMK 66	EIMK 65	EIMK 64	FFFF 6408H	FFFFH
IMR5	EIMK 95	EIMK 94	EIMK 93	EIMK 92	EIMK 91	EIMK 90	EIMK 89	EIMK 88	EIMK 87	EIMK 86	EIMK 85	EIMK 84	EIMK 83	EIMK 82	EIMK 81	EIMK 80	FFFF 640AH	FFFFH
IMR6	EIMK 111	EIMK 110	EIMK 109	EIMK 108	EIMK 107	EIMK 106	EIMK 105	EIMK 104	EIMK 103	EIMK 102	EIMK 101	EIMK 100	EIMK 99	EIMK 98	EIMK 97	EIMK 96	FFFF 640CH	FFFFH
IMR7	EIMK 127	EIMK 126	EIMK 125	EIMK 124	EIMK 123	EIMK 122	EIMK 121	EIMK 120	EIMK 119	EIMK 118	EIMK 117	EIMK 116	EIMK 115	EIMK 114	EIMK 113	EIMK 112	FFFF 640EH	FFFFH
IMR8	EIMK 143	EIMK 142	EIMK 141	EIMK 140	EIMK 139	EIMK 138	EIMK 137	EIMK 136	EIMK 135	EIMK 134	EIMK 133	EIMK 132	EIMK 131	EIMK 130	EIMK 129	EIMK 128	FFFF 6410H	FFFFH
IMR9	EIMK 159	EIMK 158	EIMK 157	EIMK 156	EIMK 155	EIMK 154	EIMK 153	EIMK 152	EIMK 151	EIMK 150	EIMK 149	EIMK 148	EIMK 147	EIMK 146	EIMK 145	EIMK 144	FFFF 6412H	FFFFH
IMR10	1	EIMK 174	EIMK 173	EIMK 172	EIMK 171	EIMK 170	EIMK 169	EIMK 168	EIMK 167	EIMK 166	EIMK 165	EIMK 164	EIMK 163	EIMK 162	EIMK 161	EIMK 160	FFFF 6414H	FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) のチャンネル 0 からチャンネル 174 の割り込みマスク・ビットです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留) (初期値)

(2) EI レベル割り込みマスク・レジスタ 0H-10H (IMR0H-IMR10H)

EICn レジスタの EIMKn ビットの集合レジスタの上位 8 ビットです。IMR0H-IMR10H レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0H-IMR10H レジスタへの設定は対応する EIMKn ビットへ反映されます。8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0H	EIMK15	EIMK14	EIMK13	EIMK12	EIMK11	EIMK10	EIMK9	EIMK8	FFFF 6401H	FFH
IMR1H	EIMK31	EIMK30	EIMK29	EIMK28	EIMK27	EIMK26	EIMK25	EIMK24	FFFF 6403H	FFH
IMR2H	EIMK47	EIMK46	EIMK45	EIMK44	EIMK43	EIMK42	EIMK41	EIMK40	FFFF 6405H	FFH
IMR3H	EIMK63	EIMK62	EIMK61	EIMK60	EIMK59	EIMK58	EIMK57	EIMK56	FFFF 6407H	FFH
IMR4H	EIMK79	EIMK78	EIMK77	EIMK76	EIMK75	EIMK74	EIMK73	EIMK72	FFFF 6409H	FFH
IMR5H	EIMK95	EIMK94	EIMK93	EIMK92	EIMK91	EIMK90	EIMK89	EIMK88	FFFF 640BH	FFH
IMR6H	EIMK111	EIMK110	EIMK109	EIMK108	EIMK107	EIMK106	EIMK105	EIMK104	FFFF 640DH	FFH
IMR7H	EIMK127	EIMK126	EIMK125	EIMK124	EIMK123	EIMK122	EIMK121	EIMK120	FFFF 640FH	FFH
IMR8H	EIMK143	EIMK142	EIMK141	EIMK140	EIMK139	EIMK138	EIMK137	EIMK136	FFFF 6411H	FFH
IMR9H	EIMK159	EIMK158	EIMK157	EIMK156	EIMK155	EIMK154	EIMK153	EIMK152	FFFF 6413H	FFH
IMR10H	1	EIMK174	EIMK173	EIMK172	EIMK171	EIMK170	EIMK169	EIMK168	FFFF 6415H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク・ビットです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留) (初期値)

備考 n = 8-15, 24-31, 40-47, 56-63, 72-79, 88-95, 104-111, 120-127, 136-143, 152-159, 168-174

(3) EI レベル割り込みマスク・レジスタ 0L-10L (IMR0L-IMR10L)

EICn レジスタの EIMKn ビットの集合レジスタの下位 8 ビットです。IMR0L-IMR10L レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0L-IMR10L レジスタへの設定は対応する EIMKn ビットへ反映されます。8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0L	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0	FFFF 6400H	FFH
IMR1L	EIMK23	EIMK22	EIMK21	EIMK20	EIMK19	EIMK18	EIMK17	EIMK16	FFFF 6402H	FFH
IMR2L	EIMK39	EIMK38	EIMK37	EIMK36	EIMK35	EIMK34	EIMK33	EIMK32	FFFF 6404H	FFH
IMR3L	EIMK55	EIMK54	EIMK53	EIMK52	EIMK51	EIMK50	EIMK49	EIMK48	FFFF 6406H	FFH
IMR4L	EIMK71	EIMK70	EIMK69	EIMK68	EIMK67	EIMK66	EIMK65	EIMK64	FFFF 6408H	FFH
IMR5L	EIMK87	EIMK86	EIMK85	EIMK84	EIMK83	EIMK82	EIMK81	EIMK80	FFFF 640AH	FFH
IMR6L	EIMK103	EIMK102	EIMK101	EIMK100	EIMK99	EIMK98	EIMK97	EIMK96	FFFF 640CH	FFH
IMR7L	EIMK119	EIMK118	EIMK117	EIMK116	EIMK115	EIMK114	EIMK113	EIMK112	FFFF 640EH	FFH
IMR8L	EIMK135	EIMK134	EIMK133	EIMK132	EIMK131	EIMK130	EIMK129	EIMK128	FFFF 6410H	FFH
IMR9L	EIMK151	EIMK150	EIMK149	EIMK148	EIMK147	EIMK146	EIMK145	EIMK144	FFFF 6412H	FFH
IMR10L	EIMK167	EIMK166	EIMK165	EIMK164	EIMK163	EIMK162	EIMK161	EIMK160	FFFF 6414H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク・ビットです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留) (初期値)

備考 n = 0-7, 16-23, 32-39, 48-55, 64-71, 80-87, 96-103, 112-119, 128-135, 144-151, 160-167

### 10.2.3 インサース・プライオリティ・レジスタ

#### (1) インサース・プライオリティ・レジスタ (ISPR)

CPU コアで処理中の EI レベル・マスカブル割り込み (EIINT) の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると、その割り込み要求の割り込み優先度に対応するビットがセット (1) されます。CPU コアから割り込み処理の終了通知を受け取ると、セット (1) されているビットのうち最も優先度が高いビットが自動的にクリア (0) されます。FE レベルの割り込みからの復帰の場合はクリア (0) されません。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後、ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリア (0) することができます<sup>※</sup>。任意ビットのクリア (0) やセット (1) をソフトウェアで行うことはできません。一度クリア (0) してしまうと元の値に復旧させることはできません。

16 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は、PMRL, PMRH を利用してください。

**注** 詳細は、「10.2.5 インサース・プライオリティ・クリア・レジスタ (ISPC)」を参照してください。

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値	
ISPR		ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	ISPR	FFFF 6440H	0000H	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
ビット位置	ビット名	意味																		
15-0	ISPR15- ISPR0	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中																		

## (2) インサース・プライオリティ・レジスタ L (ISPR L)

ISPR レジスタの下位 8 ビットのレジスタです。8 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISPR L	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	FFFF 6440H	0000H
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	ISPR7- ISPR0	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中

## (3) インサース・プライオリティ・レジスタ H (ISPR H)

ISPR レジスタの上位 8 ビットのレジスタです。8 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISPR H	ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8	FFFF 6441H	0000H
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	ISPR15- ISPR8	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中



### 10.2.4 プライオリティ・マスク・レジスタ

#### (1) プライオリティ・マスク・レジスタ (PMR)

EI レベル・マスクブル割り込み (EIINT) の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されている EIINT のチャンネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており、例えばビット 0 に 1 を設定すると割り込み優先度 0 のチャンネルをマスクすることができます。

16 ビット単位でリード/ライト可能です。

8/1 ビット単位でアクセスする場合は、PMRL, PMRH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PMR	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0	FFFF 6448H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	PMR15-PMR0	割り込み要求をマスクする割り込み優先順位を指定します。 0 : ビット位置に対応する優先順位の割り込み処理を許可 (初期値) 1 : ビット位置に対応する優先順位の割り込み処理を禁止

#### (2) プライオリティ・マスク・レジスタ L (PMRL)

PMR レジスタの下位 8 ビットのレジスタです。8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMRL	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0	FFFF 6448H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PMR7-PMR0	割り込み要求をマスクする割り込み優先順位を指定します。 0 : ビット位置に対応する優先順位の割り込み処理を許可 (初期値) 1 : ビット位置に対応する優先順位の割り込み処理を禁止

#### (3) プライオリティ・マスク・レジスタ H (PMRH)

PMR レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMRH	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8	FFFF 6449H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PMR15-PMR8	割り込み要求をマスクする割り込み優先順位を指定します。 0 : ビット位置に対応する優先順位の割り込み処理を許可 (初期値) 1 : ビット位置に対応する優先順位の割り込み処理を禁止

### 10.2.5 インサース・プライオリティ・クリア・レジスタ (ISPC)

ISPR レジスタのビットをクリア (0) するための特殊レジスタです。

ISPC レジスタの全ビットへ同時に 1 をライトし、次に ISPR レジスタの全ビットに同時に 0 をライトすると、ISPR レジスタの全ビットを 0 にクリア (0) することができます。同時に ICSR レジスタの FE レベル NMI の処理モード、FE レベル・マスカブル割り込み (FEINT: NMI 端子入力) の処理モード、EI レベル・マスカブル割り込み (EIINT) の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることになります。これらの一度クリア (0) された内容は、ソフトウェアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア (0) されると、ISPC レジスタの値も自動的にクリア (0) されます。ISPC レジスタヘリッド・アクセスを行った場合に読み出される値は、全ビットに 1 を書き込んだあとは、全ビットから 1 が読み出され、リセット後や ISPR レジスタのクリア後は、全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ、ISPR レジスタの値は変化しません。

16 ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	ISPC	FFFF 6450H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	ISPC15- ISPC0	全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。

**備考** プログラムの暴走などによって誤って書き換えられないように、ISPR レジスタのクリア (0) に特定のシーケンスを設けています。

## 10.2.6 選択チャンネル保持レジスタ

### (1) 選択チャンネル保持レジスタ (ISCR)

CPU に受け付けられた EI レベル・マスカブル割り込み (EIINT) のチャンネル番号を保持します。ソフトウェアでライトすることはできません。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EIINT の多重割り込み要求を受け付けられた場合は上書きされるので注意してください。FE レベルの割り込み要求を受け付けられた場合は更新されません。

16 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は、ISCR\_L を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ISCR	0	0	0	0	0	0	0	0	ISCR7	ISCR6	ISCR5	ISCR4	ISCR3	ISCR2	ISCR1	ISCR0	FFFF 6458H	0000H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	ISCR7- ISCR0	CPU によって受け付けられたマスカブル割り込みのチャンネル番号を保持します。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが受け付けられた場合は上書きされます。FE レベルの割り込みが受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

### (2) 選択チャンネル保持レジスタ L (ISCR\_L)

ISCR レジスタの下位 8 ビットのレジスタです。8 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISCR_L	ISCR7	ISCR6	ISCR5	ISCR4	ISCR3	ISCR2	ISCR1	ISCR0	FFFF 6458H	00H
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	ISCR7- ISCR0	CPU によって受け付けられたマスカブル割り込みのチャンネル番号を保持します。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが受け付けられた場合は上書きされます。FE レベルの割り込みが受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

### 10.2.7 割り込みコントローラ・ステータス・レジスタ

(1) 割り込みコントローラ・ステータス・レジスタ (ICSR)

割り込みコントローラの動作状態を示します。特にビット 2-0 は割り込み処理のモード・レジスタになります。ソフトウェアでライトすることはできません。

16 ビット単位でリードのみ可能です。

8/1 ビット単位でアクセスする場合は、ICSRH, ICSRH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ICSR	0	0	0	0	0	0	0	PMF	0	FNR	FIR	EIR	0	FNE	FIE	EIE	FFFF 645AH	0000H
R/W	0	0	0	0	0	0	0	R	0	R	R	R	0	R	R	R		

ビット位置	ビット名	意味
8	PMF	PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1
6	FNR	FE レベル・ノンマスカブル割り込み (FENMI) <sup>注</sup> を CPU へ要求中であれば 1
5	FIR	FE レベル・マスカブル割り込み (FEINT) を CPU へ要求中であれば 1
4	EIR	EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1
2	FNE	FE レベル・ノンマスカブル割り込み (FENMI) <sup>注</sup> が CPU で処理中であれば 1
1	FIE	FE レベル・マスカブル割り込み (FEINT) が CPU で処理中であれば 1
0	EIE	EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1

注 PFESiP/V850EP3 では FENMI は使用していません。

## (2) 割り込みコントローラ・ステータス・レジスタ L (IC SRL)

IC SRL レジスタの下位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IC SRL	0	FNR	FIR	EIR	0	FNE	FIE	EIE	FFFF 645AH	00H
R/W	0	R	R	R	0	R	R	R		

ビット位置	ビット名	意味
6	FNR	FE レベル・ノンマスクابل割り込み (FENMI) <sup>注</sup> を CPU へ要求中であれば 1
5	FIR	FE レベル・マスクابل割り込み (FEINT) を CPU へ要求中であれば 1
4	EIR	EI レベル・マスクابل割り込み (EIINT) を CPU へ要求中であれば 1
2	FNE	FE レベル・ノンマスクابل割り込み (FENMI) <sup>注</sup> が CPU で処理中であれば 1
1	FIE	FE レベル・マスクابل割り込み (FEINT) が CPU で処理中であれば 1
0	EIE	EI レベル・マスクابل割り込み (EIINT) が CPU で処理中であれば 1

**注 PFESiP/V850EP3 では FENMI は使用していません。**

## (3) 割り込みコントローラ・ステータス・レジスタ H (IC SRH)

IC SRH レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IC SRH	0	0	0	0	0	0	0	PMF	FFFF 645BH	00H
R/W	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	PMF	PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスクابل割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1

### 10.2.8 FE レベル・マスカブル割り込み制御レジスタ

#### (1) FE レベル・マスカブル割り込み制御レジスタ (FIC)

FE レベル・マスカブル割り込み (FEINT) の制御条件を設定します。

16 ビット単位でリードのみ可能です。8/1 ビット単位でアクセスする場合は、FICH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FIC	0	0	0	FIRF	0	0	0	0	0	0	0	0	0	0	0	0	FFFF 645EH	0000H
R/W	0	0	0	R	0	0	0	0	0	0	0	0	0	0	0	0		

ビット位置	ビット名	意味
12	FIRF	割り込み要求フラグです。 CPU が FE レベル・マスカブル割り込み要求を受け付けると自動的にクリア (0) されます。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

#### (2) FE レベル・マスカブル割り込み制御レジスタ H (FICH)

FIC レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
FICH	0	0	0	FIRF	0	0	0	0	FFFF 645FH	00H
R/W	0	0	0	R	0	0	0	0		

ビット位置	ビット名	意味
4	FIRF	割り込み要求フラグです。 CPU が FE レベル・マスカブル割り込み要求を受け付けると自動的にクリア (0) されます。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

### 10.2.9 割り込みコントローラのレジスタのアクセス方法

割り込みコントローラ内部のレジスタは、以下の方法でアクセスできます。

CPU からのストア命令 / ロード命令

- ・すべてのレジスタをハーフワード（16 ビット）単位でアクセスできます。
- ・一部のレジスタ（ISPC）を除き、バイト（8 ビット）単位でアクセスできます。

CPU からのビット操作命令

- ・すべてのレジスタを tst1 命令でアクセスできます。
- ・一部のレジスタ / ビットを除き、set1, clr1, not1 命令でアクセスできます。

以下のアクセスは禁止です。禁止されているアクセスを行った場合、割り込みコントローラの動作を保証できません

CPU からのワード単位（32 ビット）でのストア命令 / ロード命令によるアクセス

CPU からのミスアライン・ハーフワード（16 ビット）アクセス

CPU からのストア命令 / ロード命令 / ビット操作命令以外のメモリ・アクセス命令によるアクセス

prepare, dispose, caxi 命令によるアクセス

セントラル DMAC からのアクセス

## 10.3 割り込みの受け付けと復帰

割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

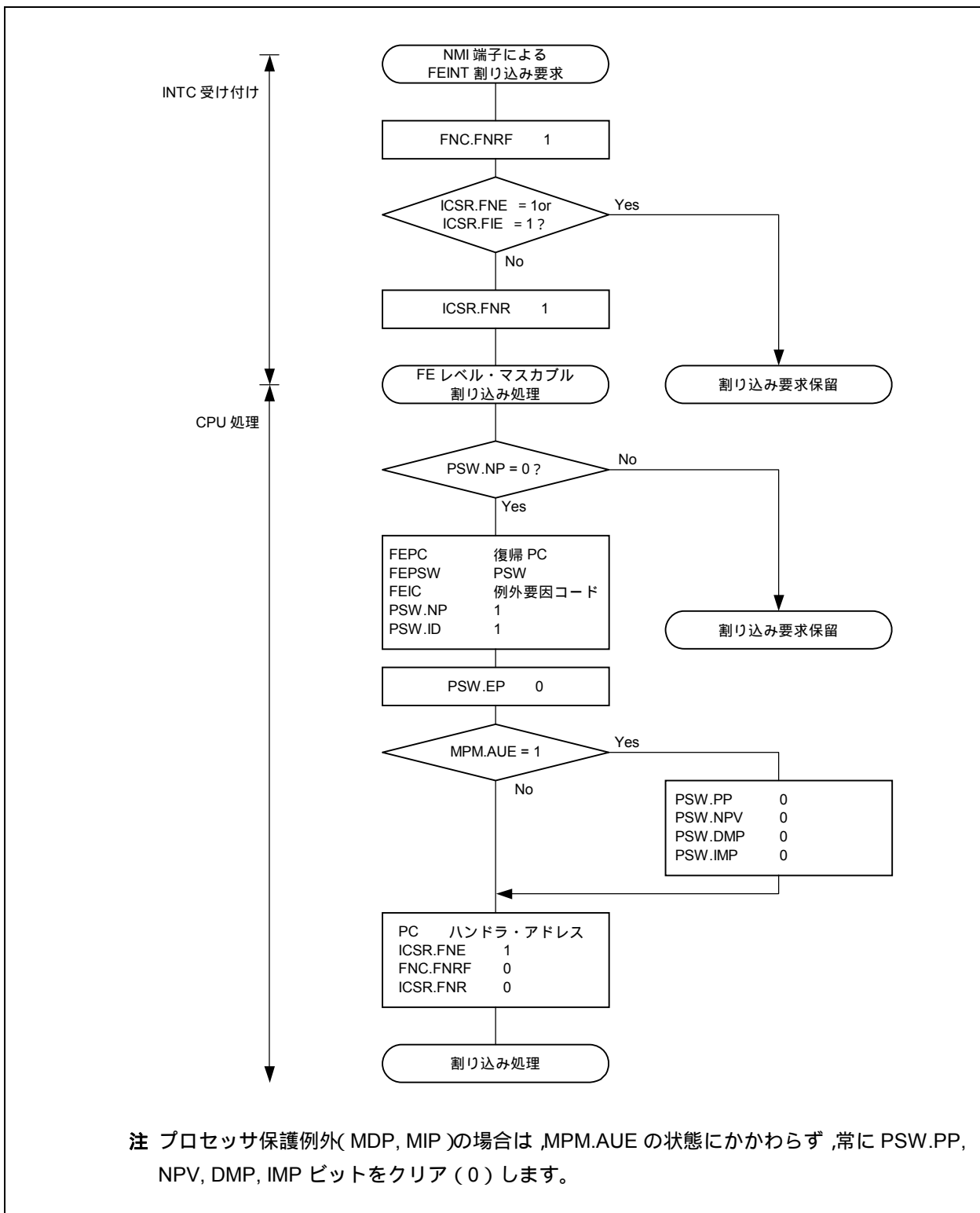
### 10.3.1 NMI 端子による FE レベル・マスカブル割り込み

NMI 端子により FEINT 割り込みが要求されると、FE レベル・マスカブル割り込みが発生します。この割り込みは回復可能な FE レベルの割り込みです。

FEINT は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FEINT, EIINT 割り込み発生は保留されます。割り込み要求の受け付けと、要求の保持は行います。



図 10 - 1 NMI 端子による FEINT 割り込み要求時の処理



### 10.3.2 FE レベル・マスカブル割り込み (FEINT) からの復帰

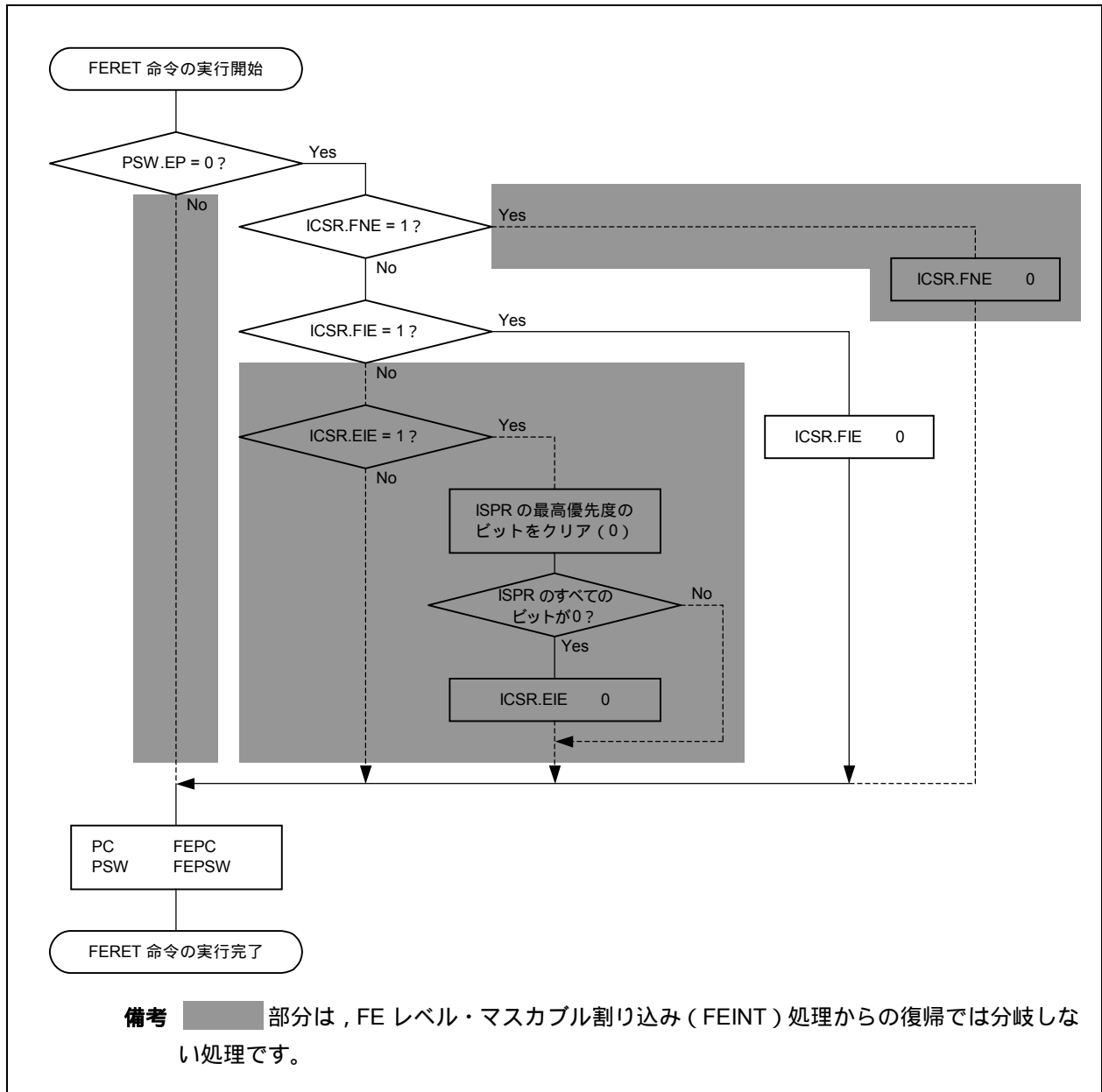
FE レベル・マスカブル割り込み (FEINT) 処理からの復帰には、FERET 命令を使用します。

PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行すると FE レベル・マスカブル割り込み (FEINT) からの復帰処理を行います。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR、ISPR などのレジスタのクリアが行われません)。

FE レベル・マスカブル割り込み (FEINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行してください。

**注意** V850E2M CPU コアでは、V850E1、V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて EIRET 命令または FERET 命令に置き換えて使用してください。

図 10 - 2 FE レベル・マスカブル割り込み (FEINT) 処理からの復帰



### 10.3.3 EIINT 割り込み要求による EI レベル・マスクブル割り込み

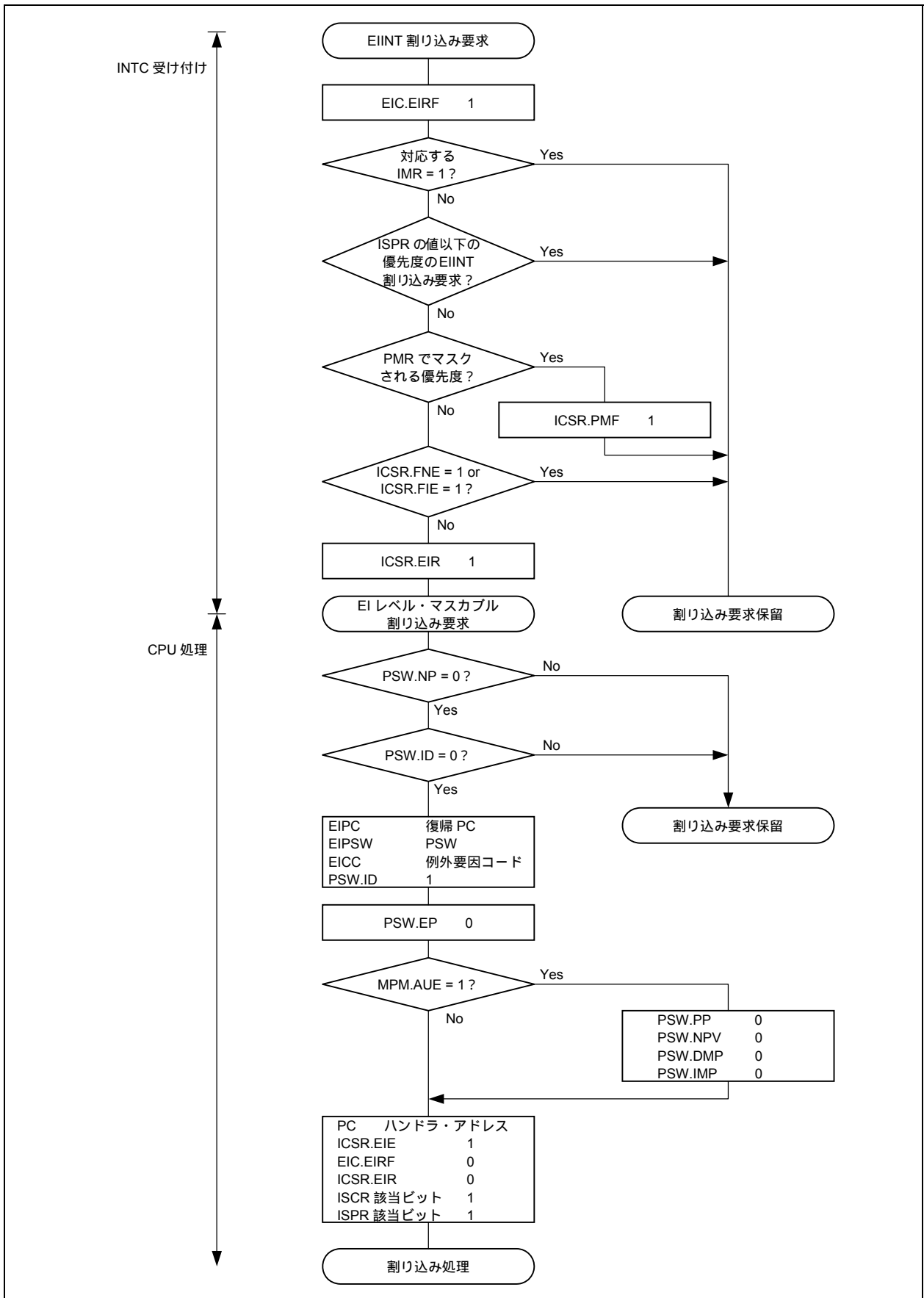
EI レベル・マスクブル割り込みが要求されると、CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は、INTC の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

EIINT 割り込みでは、割り込み入力があったチャンネル番号を SCR レジスタへ設定します。これにより、複数のチャンネルで同じ割り込みベクタを共有したい場合などに簡単にチャンネル番号を知ることができます。

**注意** EI レベル割り込みを受け付けると、ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降 EIRET 命令を発行するまで、この ISPR レジスタの割り込み優先度以下の割り込みは、発生しません。割り込み要求の受け付け / 保持は行いません。

ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は、ハードウェアが自動的に行います。ソフトウェアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

図 10 - 3 EIINT 割り込み要求時の処理



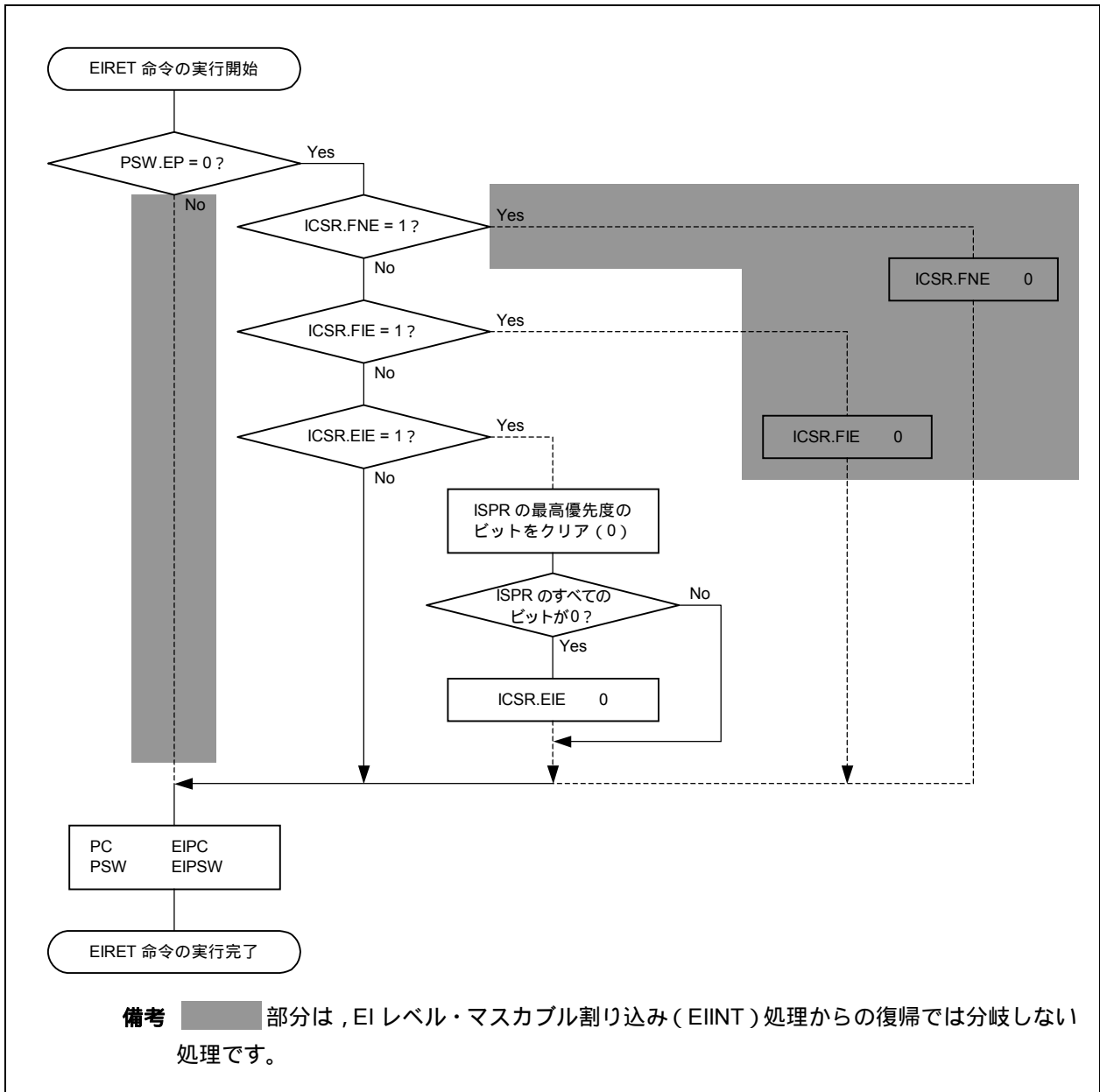
### 10.3.4 EI レベル・マスカブル割り込み (EIINT) からの復帰

EI レベル・マスカブル割り込み (EIINT) 処理からの復帰には、EIRET 命令を使用します。

PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行すると EI レベル・マスカブル割り込み (EIINT) からの復帰処理を行います。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR, ISPR などのレジスタのクリアが行われません)。EI レベル・マスカブル割り込み (EIINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行してください。

**注意** V850E2-V3 CPU コアでは、V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて EIRET 命令または FERET 命令に置き換えて使用してください。

図 10 - 4 EI レベル・マスカブル割り込み (EIINT) 処理からの復帰



## 10.4 割り込み動作

### 10.4.1 EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

EICn.EIMKn	動作
1	割り込みをマスクします。
0	割り込みを許可します。

EICn.EIMKn ビットは、IMRm レジスタの対応する EIMKn ビットからもリード/ライト可能です。同じレジスタを共有しています。

#### 【動作例】

- (1) IMRm.EIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
- (2) EICn.EIMKn ビットをリードすると 1 が読み出されます。

**注意** EIMKn ビットでは、割り込みの保持以降の処理をマスクします。EIMKn ビットを 1 に設定しても、割り込み要求の受け付け、および保持は行われます。このため EIMKn ビットで割り込み禁止が指定されている割り込みに対して、ソフトウェアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態で EIMKn ビットを 0 に再設定すると、その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には、対応する EIRFn ビットをクリア (0) してください。

### 10.4.2 割り込み優先度判断

FE レベル・マスカブル割り込み (FEINT)、EI レベル・マスカブル割り込み (EIINT) が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は、あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FEINT (NMI)、EIINT の優先順位は、FEINT (NMI) が優先されます。

(その他の例外については、表 10-1 例外要因一覧、および V850E2M ユーザーズ・マニュアル アーキテクチャ編 を参照してください)

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、EIC0-EIC174.EIP3-EIP0 ビットで指定します。割り込み優先度は、0-15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では、割り込みチャンネル番号の最も小さい (デフォルト・プライオリティの番号が最も小さい) 割り込みが優先されます。

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

(1) 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

(2) プライオリティ・マスク・レジスタ (PMR) によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

(3) 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

最も高い優先度が設定されている割り込み要因のうち、複数の要因が同時に割り込み要求されている場合、割り込みチャンネル番号の最も小さいものが選択されます。

(4) CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。

このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みを選択します。

例 優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 10 - 5 に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

図 10 - 5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 ( 1/2 )

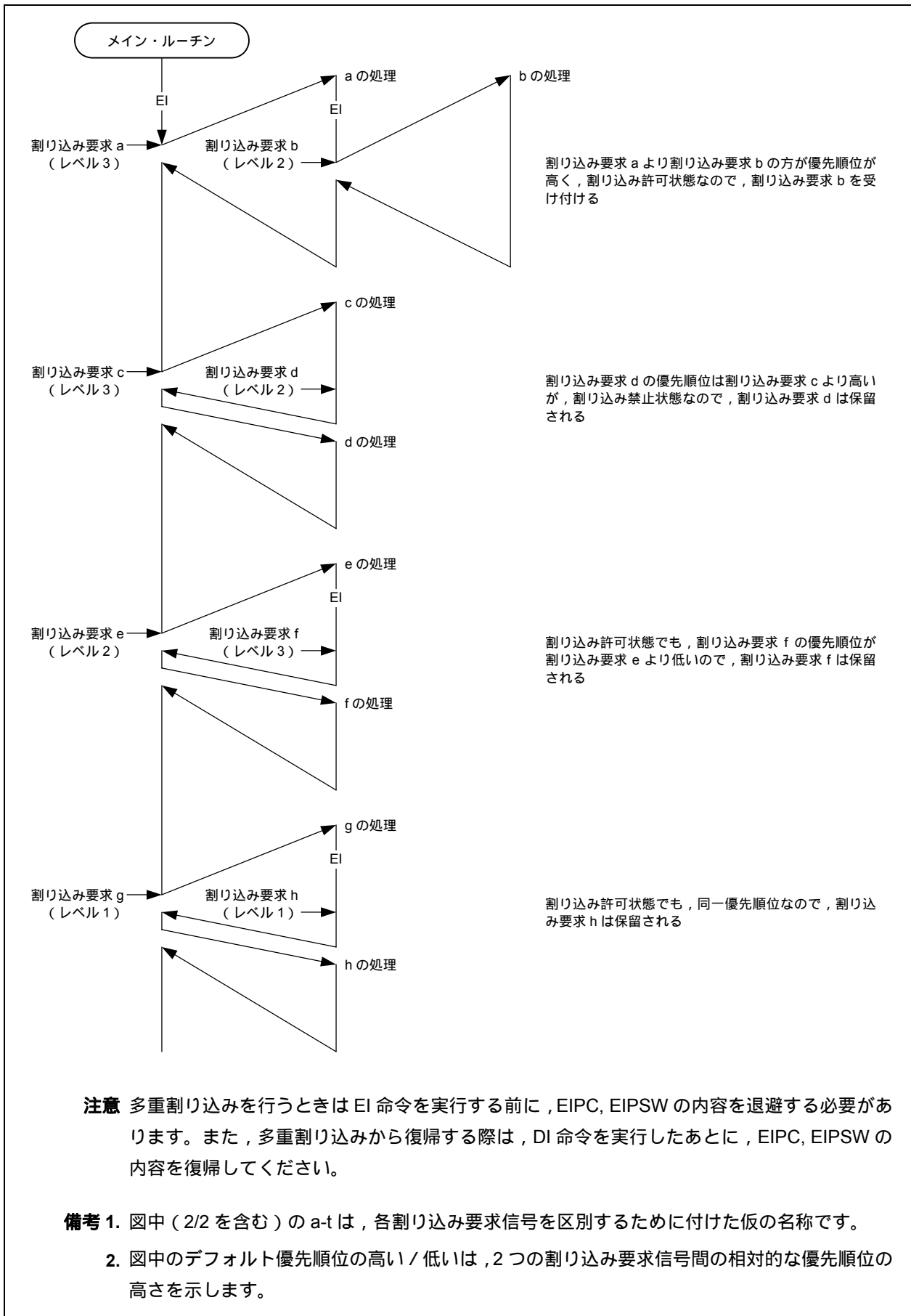




図 10 - 5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

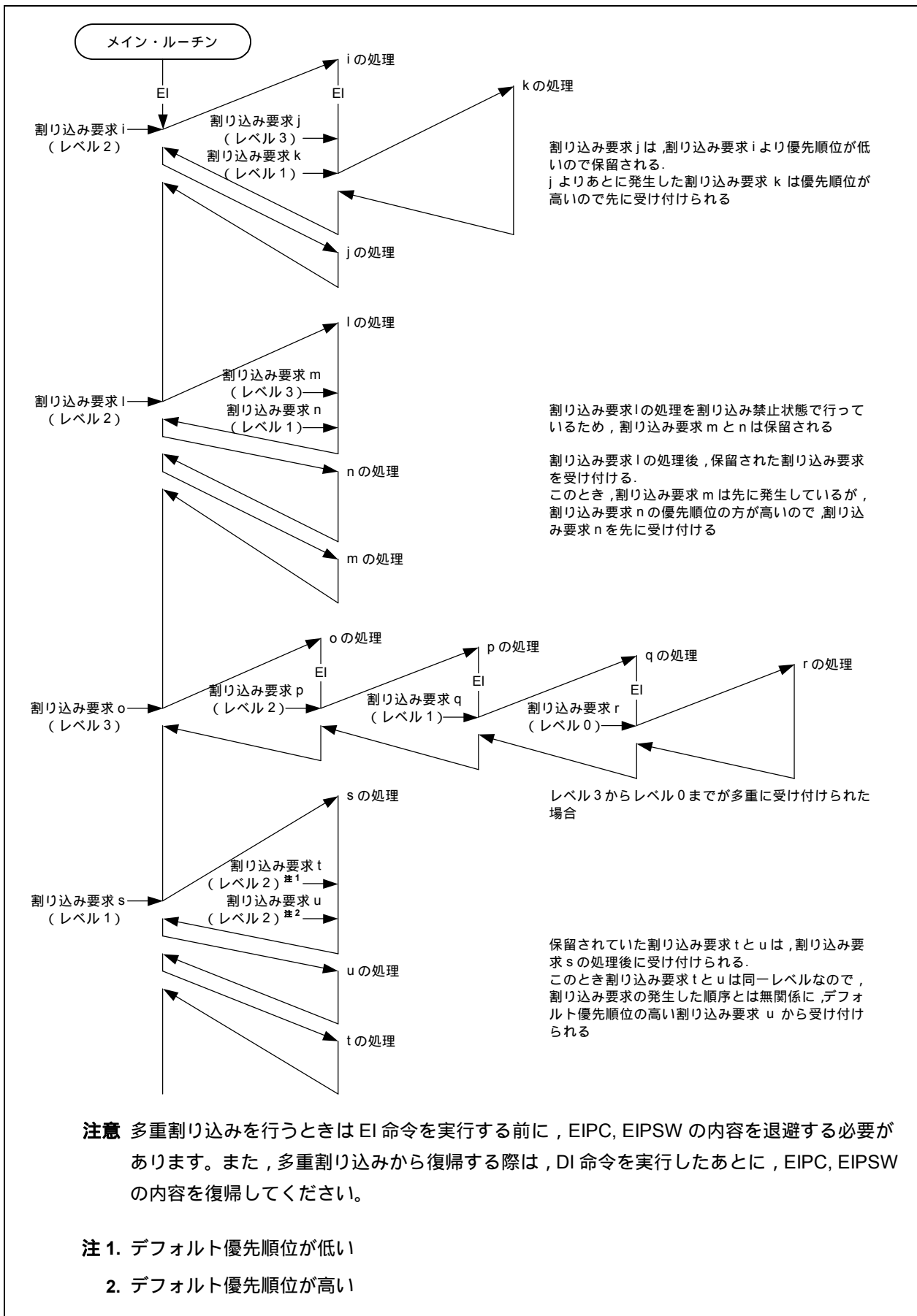
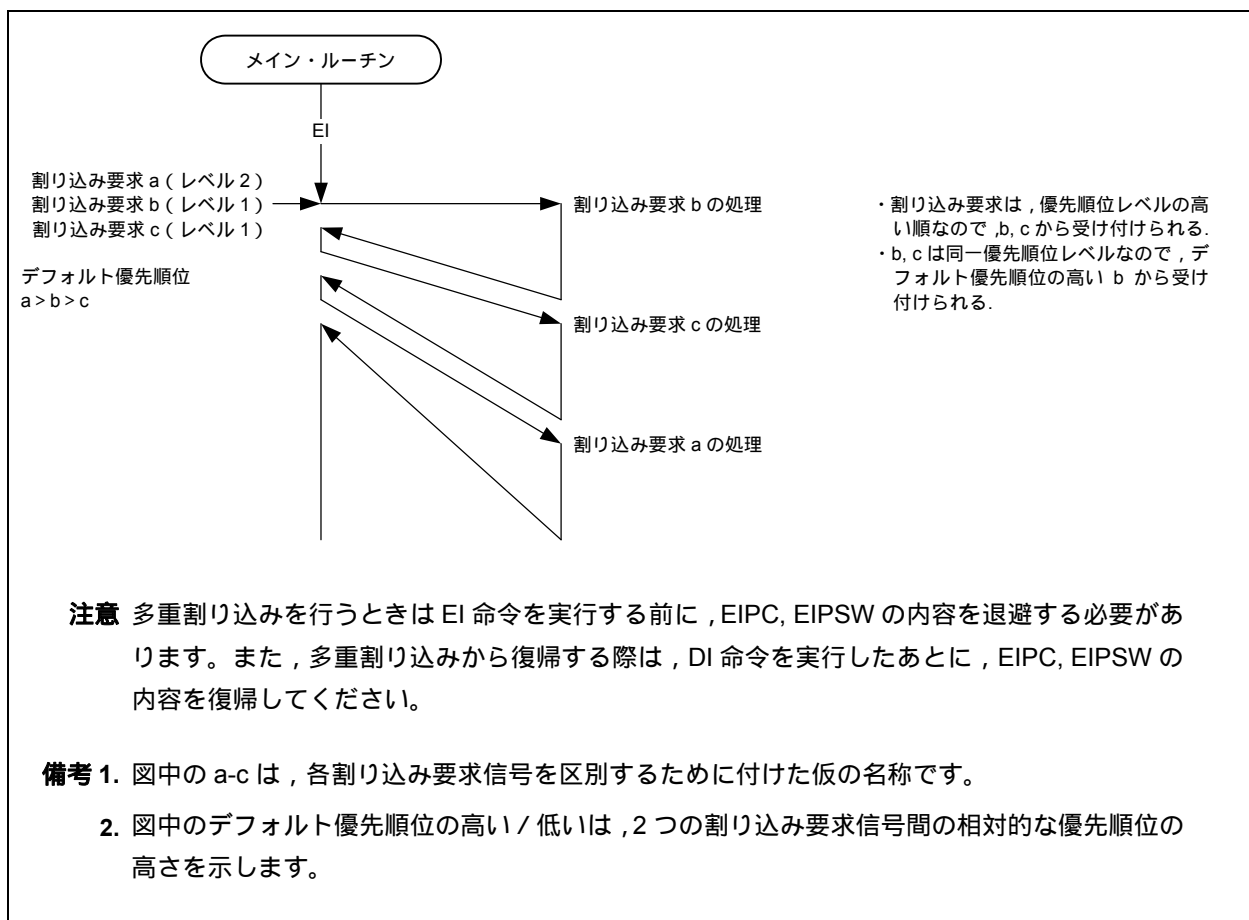


図 10 - 6 同時発生した割り込み要求の処理例



### 10.4.3 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- (i) 一時的にある割り込み優先度以下の割り込みを禁止とする
- (ii) 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動 作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

#### 備考 n = 0-15

PMR レジスタは、割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行いません。

この機能により保留されている EIINT 割り込みの有無は、「10.4.4 保留割り込み通知機能」で確認が可能です。

#### 10.4.4 保留割り込み通知機能

保留割り込み通知機能では、現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では、次の状態を確認することができます。

- (i) 優先度マスク機能 (PMR) によってのみマスクされている割り込みが存在している場合  
ICSR.PMF ビットに 1 がセット (1) されます。  
ISPR レジスタによる優先度マスク, EIMKn ビットによりマスクされている割り込みが存在しているだけでは、1 はセットされません。優先度マスクによる割り込み禁止中に、優先度マスク機能により保留されている割り込み要求の有無を確認できます。
- (ii) CPU に対し EI レベル・マスカブル割り込み要求が行われている場合  
ICSR.EIR ビットがセット (1) されます。  
PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで、EIINTn 割り込み要求の有無を確認できます。
- (iii) CPU に対して FE レベル・マスカブル割り込み要求が行われている場合  
ICSR.FIR ビットがセット (1) されます。  
PSW.NP = 1 区間中に ICSR.FIR ビットを見ることで、FEINT 割り込み要求の有無を確認できます。

#### 10.4.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では、次の操作が可能です。

- (i) ISPR レジスタの内容を全クリア
- (ii) ICSR.EIE, FIE, FNE ビットをクリア

ISPC レジスタの全ビットへ 1 をライトし、次に ISPR レジスタの全ビットに 0 をライトすると、ISPR レジスタの全ビットをクリア (0) することができます。また、割り込み要求が CPU コアで処理中であることを管理している ICSR.EIE, FIE, FNE ビットがすべてクリア (0) されます。

ISPR レジスタの全ビットへの 0 のライトとともにこのレジスタの値も自動的にクリア (0) されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

## 10.5 IDLE モードの解除が可能な割り込み / 例外

PFESiP/V850EP3 では、表 10-4 に示す、リセット、FE レベル・マスカブル割り込み（NMI 端子入力）、28 種類の EI レベル・マスカブル割り込みでのみ IDLE モードの解除が可能です。ただし、EI レベル・マスカブル割り込みの場合は、マスクが解除されている割り込みのみ IDLE モードの解除が可能です。

表 10-4 IDLE モード解除可能割り込み / 例外要因一覧

発生要因略称	発生要因	発生ユニット	割り込み制御レジスタ	
			略称	アドレス
RESETZ	リセット入力	-	-	
NMI	NMI 入力	端子	FIC	FFFF 645EH
INTWDT	WDT アラーム割り込み	WDT	EIC0	FFFF 6000H
INTPZ0	INTPZ0 入力	端子	EIC2	FFFF 6004H
INTPZ1	INTPZ1 入力	端子	EIC3	FFFF 6006H
INTPZ2	INTPZ2 入力	端子	EIC4	FFFF 6008H
INTPZ3	INTPZ3 入力	端子	EIC5	FFFF 600AH
INTPZ4	INTPZ4 入力	端子	EIC6	FFFF 600CH
INTPZ5	INTPZ5 入力	端子	EIC7	FFFF 600EH
INTPZ6	INTPZ6 入力	端子	EIC8	FFFF 6010H
INTPZ7	INTPZ7 入力	端子	EIC9	FFFF 6012H
INTPZ16	INTPZ16 入力 (SiP 内部接続)	SiP 内部接続信号	EIC10	FFFF 6014H
INTPZ17	INTPZ17 入力 (SiP 内部接続)	SiP 内部接続信号	EIC11	FFFF 6016H
INTPZ18	INTPZ18 入力 (SiP 内部接続)	SiP 内部接続信号	EIC12	FFFF 6018H
INTPZ19	INTPZ19 入力 (SiP 内部接続)	SiP 内部接続信号	EIC13	FFFF 601AH
INTPZ20	INTPZ20 入力 (SiP 内部接続)	SiP 内部接続信号	EIC14	FFFF 601CH
INTPZ21	INTPZ21 入力 (SiP 内部接続)	SiP 内部接続信号	EIC15	FFFF 601EH
INTPZ22	INTPZ22 入力 (SiP 内部接続)	SiP 内部接続信号	EIC16	FFFF 6020H
INTPZ23	INTPZ23 入力 (SiP 内部接続)	SiP 内部接続信号	EIC17	FFFF 6022H
INTC0WUP	CAN0 ウェイク・アップ割り込み	CAN0	EIC86	FFFF 60ACH
INTC1WUP	CAN1 ウェイク・アップ割り込み	CAN1	EIC90	FFFF 60B4H
INTTM0EQ0	TMM0 コンペア一致割り込み	TMM0	EIC113	FFFF 60E2H
INTTM1EQ0	TMM1 コンペア一致割り込み	TMM1	EIC114	FFFF 60E4H
INTTM2EQ0	TMM2 コンペア一致割り込み	TMM2	EIC115	FFFF 60E6H
INTSRXREQ	Ether 受信データ・レディ割り込み	Ether MAC	EIC120	FFFF 60F0H
INTU2HPME	USB ホスト PME 割り込み	USB Host	EIC132	FFFF 6108H
INTU2F	USB ファンクション BRIDGE 割り込み	USB Function	EIC133	FFFF 610AH
INTU2FEPC	USB ファンクション EPC 割り込み	USB Function	EIC134	FFFF 610CH
INTPZ8	INTPZ8 入力	端子	EIC135	FFFF 610EH
INTPZ9	INTPZ9 入力	端子	EIC136	FFFF 6110H

## 10.6 外部割り込みのトリガ・モードの選択

INTPZ0-INTPZ49, NMI 入力は, 有効エッジをプログラマブルに選択できます。また, INTPZ0-INTPZ49 入力はレベル・トリガも選択できます。選択できる有効エッジについて次に示します。

立ち上がりエッジ  
立ち下がりエッジ  
立ち上がり / 立ち下がり両エッジ

有効エッジ, レベル・トリガは, 外部割り込みモード・レジスタ 0-4 (INTM0-INTM4) で指定します。

### 10.6.1 外部割り込みモード・レジスタ 0-4 (INTM0-INTM4)

外部端子による外部割り込み要求 (NMI, INTPZ0-INTPZ49) のトリガ・モードを指定するレジスタです。各レジスタと, そのレジスタが制御する外部割り込み要求との対応を次に示します。

INTM0 : NMI  
INTM1 : INTPZ15-INTPZ0  
INTM2 : INTPZ16-INTPZ31  
INTM3 : INTPZ32-INTPZ47  
INTM4 : INTPZ48, INTPZ49

INTM0-INTM4 レジスタは 32 ビット単位でリード / ライト可能です。

**注意** 割り込み入力と兼用されている入力系の兼用信号は, 外部割り込みモード・レジスタの影響を受けません。TAA 入力端子, TMT 入力端子, ADTRG の有効エッジは, それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。

( 1/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9130H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ESN1	ESN0	0000 0000H
															NMI		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM1	ESP 151	ESP 150	ESP 141	ESP 140	ESP 131	ESP 130	ESP 121	ESP 120	ESP 111	ESP 110	ESP 101	ESP 100	ESP 91	ESP 90	ESP 81	ESP 80	0F01 9134H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ESP 71	ESP 70	ESP 61	ESP 60	ESP 51	ESP 50	ESP 41	ESP 40	ESP 31	ESP 30	ESP 21	ESP 20	ESP 11	ESP 10	ESP 01	ESP 00	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM2	ESP 311	ESP 310	ESP 301	ESP 300	ESP 291	ESP 290	ESP 281	ESP 280	ESP 271	ESP 270	ESP 261	ESP 260	ESP 251	ESP 250	ESP 241	ESP 240	0F01 9138H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ESP 231	ESP 230	ESP 221	ESP 220	ESP 211	ESP 210	ESP 201	ESP 200	ESP 191	ESP 190	ESP 181	ESP 180	ESP 171	ESP 170	ESP 161	ESP 160	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM3	ESP 471	ESP 470	ESP 461	ESP 460	ESP 451	ESP 450	ESP 441	ESP 440	ESP 431	ESP 430	ESP 421	ESP 420	ESP 411	ESP 410	ESP 401	ESP 400	0F01 913CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ESP 391	ESP 390	ESP 381	ESP 380	ESP 371	ESP 370	ESP 361	ESP 360	ESP 351	ESP 350	ESP 341	ESP 340	ESP 331	ESP 330	ESP 321	ESP 320	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

( 2/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
INTM4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9140H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	ESP 491	ESP 490	ESP 481	ESP 480	0000 0000H
													INTPZ49		INTPZ48		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味															
31-0	ESn1- ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モードを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ESn1</th> <th>ESn0</th> <th>NMI, INTPZ0-INTPZ49 のトリガ・モード指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>レベル検出 (ロー・レベル検出) <sup>註 1,2,3</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	ESn1	ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モード指定	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	レベル検出 (ロー・レベル検出) <sup>註 1,2,3</sup>	1	1	立ち上がり, 立ち下がり両エッジ
ESn1	ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モード指定															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	レベル検出 (ロー・レベル検出) <sup>註 1,2,3</sup>															
1	1	立ち上がり, 立ち下がり両エッジ															

備考 n = N, P0-P49

注 1. NMI は、レベル検出は設定禁止です。

2. INTPZ0-INTPZ49 端子のレベルは、アクティブ・レベル (ロー・レベル) が入力されていると、内部システム・バス・クロック (HCLK) の立ち上がりごとにトグルする連続パルスとして、割り込み要求が発生します。つまり HCLK を 2 分周したタイミングごとに割り込み要求が発生し EIRF ビットとして割り込み要求がラッチされます。このため、CPU が割り込みを受け付けて、EI レベル割り込み制御レジスタ (EIC) の EIRF ビットが自動的にクリア (0) されても、すぐに EIRF ビットがセット (1) され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、外部デバイスに対して INTPZn 端子をインアクティブにする処理を行ったあと、EIRF ビットを強制的にクリア (0) してください。なお、外部割り込みをサンプリングする HCLK は、IDLE モードでも停止しません。
3. 割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPZn) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPZn) がインアクティブになった場合、新たに発生した割り込み (INTPZn) の割り込み要求は保留されます。この INTPZn の割り込み要求を受け付けたくない場合は、EI レベル割り込み制御レジスタ (EICn) の EIRFn ビットをクリア (0) してください。

注意 INTPZ0-INTPZ49 は、ポートと兼用されています。PMCTn レジスタで割り込み機能として利用するように設定した際に、直前の状態によっては不要な割り込みが発生する場合があります。これを避けるためには、PMCTn レジスタで割り込み機能として利用するように設定する場合に、これらの割り込みをマスクした状態で設定し、設定後にこれらの割り込み要求フラグをクリア (0) してください (n = 0-2, 5, 9, A-E)。



## 10.7 デジタル・ノイズ・フィルタ

外部割り込み入力，A/D トリガ入力，TAA 入力信号，TMT 入力信号，UART シリアル・データ入力は，デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。

ノイズ除去機能の設定は，ノイズ・フィルタ設定レジスタ 0-7 (NFC0-NFC7) で行います。

ノイズ除去対象端子を以下に示します。

表 10-5 ノイズ除去対象信号

対象信号	内部接続ユニット	信号の機能
NMI	割り込みコントローラ	FE レベル・マスカブル外部割り込み入力
INTPZ0-INTPZ49	割り込みコントローラ	EI レベル・マスカブル外部割り込み入力
ADTRG	A/D コンバータ・コントローラ	A/D コンバータの外部変換トリガ入力
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51	16 ビット・タイマ/カウンタ AA (TAA)	TAA タイマ・キャプチャ・トリガ入力
TENC00, TENC01, TENC10, TENC11	16 ビット・タイマ/イベント・ カウンタ T (TMT)	TMT タイマ・エンコーダ・カウント入力
TECR0, TECR1		TMT タイマ・エンコーダ・クリア入力
TRGT0, TRGT1		TMT タイマ外部トリガ入力
EVTT0, EVTT1		TMT タイマ外部イベント入力
TIT00, TIT01, TIT10, TIT11		TMT タイマ・キャプチャ・トリガ入力
RXD0-RXD3	アシンクロナス・シリアル・イ ンタフェース (UART)	UART シリアル・データ入力

★

### 10.7.1 ノイズ・フィルタ設定レジスタ

表 10-5 に示す入力信号の、ノイズ除去幅を設定するレジスタです。  
32 ビット単位でリード/ライト可能です。

- 注意 1. 入力パルス幅が、NFC0-NFC7 設定値 ~ NFC0-NFC7 設定値 - 1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。
2. ノイズ・フィルタ設定レジスタは、割り込み入力とその他の入力系兼用機能が同一端子に割り当てられている場合でも、個別に設定してください。たとえば TIA00, INTPZ24 は同一端子に割り当てられていますが、ノイズ・フィルタの設定は、TIA00, INTPZ24 それぞれ個別に NFC5 レジスタ, NFC2 レジスタで設定してください。
  3. 割り込み入力 (INTPZ0-INTPZ49, NMI) はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。TAA 入力端子, TMT 入力端子, ADTRG の有効エッジは、それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0-RXD3 入力はエッジ指定の機能はありません。
  4. INTPZ0-INTPZ49, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。
  5. NFC0-NFC4 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4 レジスタの変更は DI 状態で行い、レジスタ変更後に該当している割り込み要求 (EIRFn) クリアしてください。

( 1/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9110H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFN 1	NFN 0	0000 0000H
																	NMI
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC1	NFP 151	NFP 150	NFP 141	NFP 140	NFP 131	NFP 130	NFP 121	NFP 120	NFP 111	NFP 110	NFP 101	NFP 100	NFP 91	NFP 90	NFP 81	NFP 80	0F01 9114H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 71	NFP 70	NFP 61	NFP 60	NFP 51	NFP 50	NFP 41	NFP 40	NFP 31	NFP 30	NFP 21	NFP 20	NFP 11	NFP 10	NFP 01	NFP 00	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC2	NFP 311	NFP 310	NFP 301	NFP 300	NFP 291	NFP 290	NFP 281	NFP 280	NFP 271	NFP 270	NFP 261	NFP 260	NFP 251	NFP 250	NFP 241	NFP 240	0F01 9118H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 231	NFP 230	NFP 221	NFP 220	NFP 211	NFP 210	NFP 201	NFP 200	NFP 191	NFP 190	NFP 181	NFP 180	NFP 171	NFP 170	NFP 161	NFP 160	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC3	NFP 471	NFP 470	NFP 461	NFP 460	NFP 451	NFP 450	NFP 441	NFP 440	NFP 431	NFP 430	NFP 421	NFP 420	NFP 411	NFP 410	NFP 401	NFP 400	0F01 911CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 391	NFP 390	NFP 381	NFP 380	NFP 371	NFP 370	NFP 361	NFP 360	NFP 351	NFP 350	NFP 341	NFP 340	NFP 331	NFP 330	NFP 321	NFP 320	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

( 2/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9120H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	NFP	NFP	NFP	NFP	0000 0000H
													491	490	481	480	
													INTPZ49	INTPZ48			
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC5	0	0	0	0	0	0	0	0	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	0F01 9124H
									511	510	501	500	411	410	401	400	
									TIA51	TIA50	TIA41	TIA40					
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	NFTA	0000 0000H
	311	310	301	300	211	210	201	200	111	110	101	100	011	010	001	000	
	TIA31	TIA30	TIA21	TIA20	TIA11	TIA10	TIA01	TIA00									
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC6	0	0	NFTIT	NFTIT	NFTIT	NFTIT	NFEVT	NFEVT	NFTRG	NFTRG	NFECR	NFECR	NFENC	NFENC	NFENC	NFENC	0F01 9128H
			111	110	101	100	11	10	11	10	11	10	111	110	101	100	
			TIT11	TIT10	TIT10	TIT10	EVT11	EVT10	TRGT1	TRGT1	TECR1	TECR1	TENC11	TENC10	TENC10	TENC10	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	NFTIT	NFTIT	NFTIT	NFTIT	NFEVT	NFEVT	NFTRG	NFTRG	NFECR	NFECR	NFENC	NFENC	NFENC	NFENC	0000 0000H
			011	010	001	000	01	00	01	00	01	00	011	010	001	000	
			TIT01	TIT00	TIT00	TIT00	EVT01	EVT00	TRGT0	TRGT0	TECR0	TECR0	TENC01	TENC00	TENC00	TENC00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC7	0	0	0	0	0	0	0	0	NFRXD	NFRXD	NFRXD	NFRXD	NFRXD	NFRXD	NFRXD	NFRXD	0F01 912CH
									31	30	21	20	11	10	01	01	
									RXD3	RXD2	RXD1	RXD0					
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFAD	NFAD	0000 0000H
															1	0	
															ADTRG		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

( 3/3 )

★

ビット位置	ビット名	意 味															
31-0	NFm1- NFm0	ノイズ・フィルタ段数を，内部システム・バス・クロック（HCLK）基準で設定します。 CLKDV0-CLKDV2 端子により，内部システム・バス・クロックは，CPU 動作クロックの分周関係で設定されます。															
		<table border="1"> <thead> <tr> <th>NFm1</th> <th>NFm0</th> <th>ノイズ・フィルタ段数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 × HCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 × HCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>8 × HCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>16 × HCLK</td> </tr> </tbody> </table>	NFm1	NFm0	ノイズ・フィルタ段数	0	0	0 × HCLK	0	1	4 × HCLK	1	0	8 × HCLK	1	1	16 × HCLK
NFm1	NFm0	ノイズ・フィルタ段数															
0	0	0 × HCLK															
0	1	4 × HCLK															
1	0	8 × HCLK															
1	1	16 × HCLK															

**備考** m = N, P0-P49,

TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51,  
 ENC00, ENC01, ECR0, TRG0, EVT0, TIT00, TIT01,  
 ENC10, ENC11, ECR1, TRG1, EVT1, TIT10, TIT11,  
 AD,  
 RXD0-RXD3

### 10.7.2 ノイズ・フィルタの動作

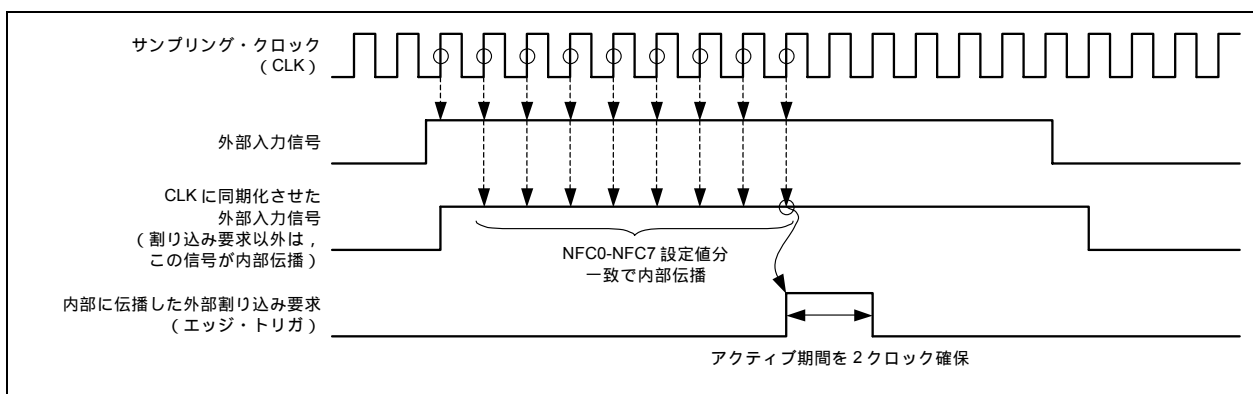
表 10-5 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロック (CLK) でサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC7) で指定したノイズ除去を行っています。

HCLK は、CLKDV0-CLKDV2 端子の設定により、CPU の動作クロック (CPCLK) からの分周比が設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

この CLK は IDLE モードで停止しないため、NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23 の外部割り込みは IDLE モードの解除が可能です。また、すべて立ち上がり / 立ち下がり / 両エッジ / ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

図 10 - 7 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)



## 第11章 クロック発生機能

クロック・ジェネレータ (CG) は、SSCG ( Spread Spectrum Frequency Synthesizer Phase Locked Loop ) -PLL で構成され、CPU をはじめとする内蔵の各ユニットに供給されるクロックを発生、制御します。

SSCG は、ノイズ対策用スペクトラム拡散クロック・ジェネレータで、EMI ( Electromagnetic Interference ) ノイズのピーク値を低減する効果があります。

### 11.1 特 徴

標準 30MHz 入力の発振ブロック内蔵 ( 発振器周波数範囲 : 27MHz-48MHz )

ダイレクト・クロック対応 ( XT2 に入力し、XT1 ロー・レベル入力、OSCTH にハイ・レベル入力 )

レジスタ設定による任意の逡倍率設定

PLL ロック待ち回路内蔵

レジスタ設定による SSCG 出力の周波数変調率 (  $f_{DIT}$  ) 切り替え

変調なし ( 周波数固定 )

変調あり<sup>※</sup> ダウンスプレッド : - 0.5%, - 1.0%, - 2.0%, - 3.0%, - 4.0%, - 5.0% ( TYP. )

<sup>※</sup> センタースプレッド :  $\pm 0.5%$ ,  $\pm 1.0%$ ,  $\pm 1.5%$ ,  $\pm 2.0%$ ,  $\pm 2.5%$  ( TYP. )

レジスタ設定による変調周期設定 ( 20Hz, 30kHz, 40kHz, 50kHz ( TYP. ) )

パワー・セーブ制御

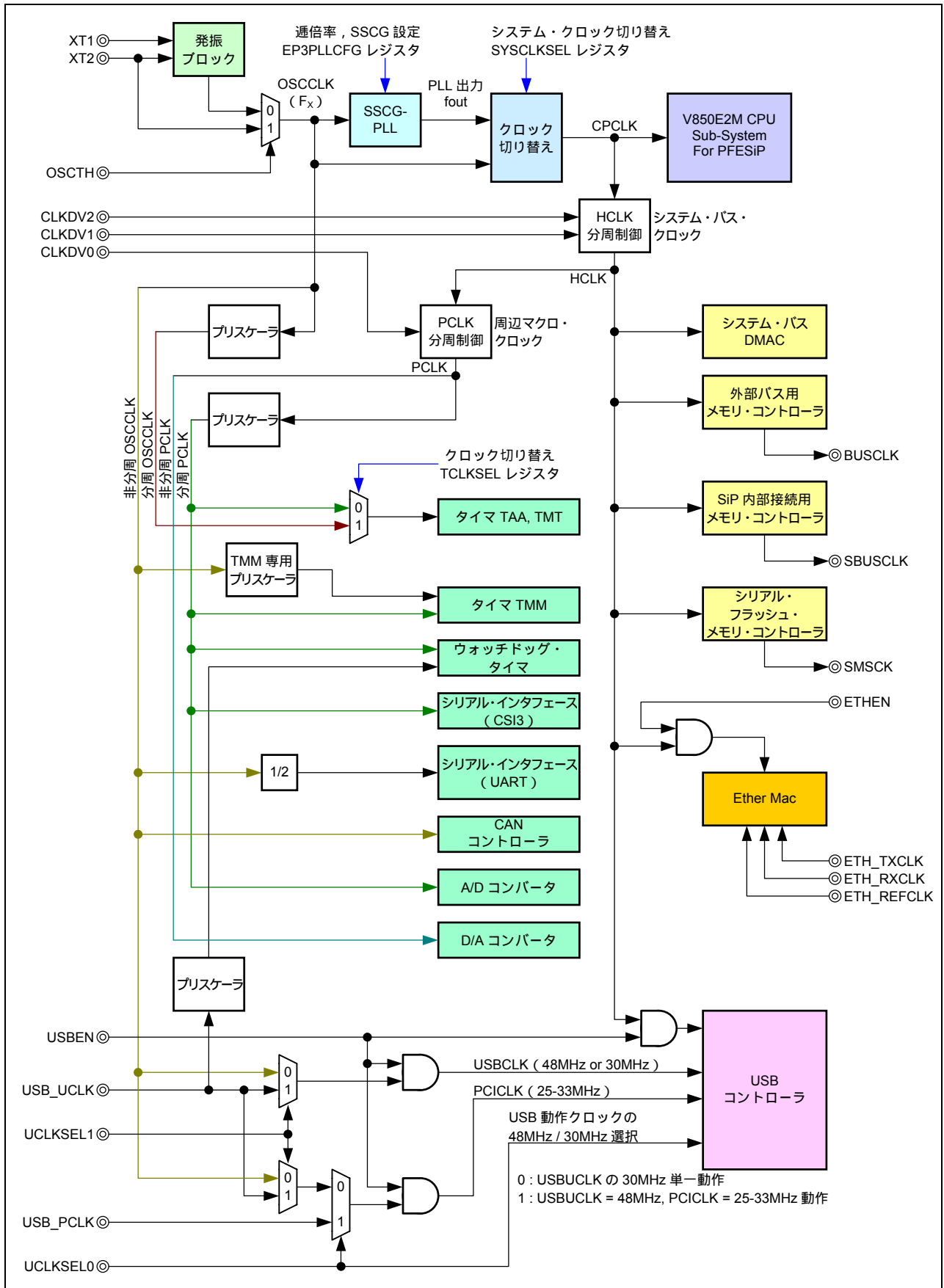
・ HALT モード

・ IDLE モード

**注** 変調で基準となる周波数を上回る周波数が SSCG から出力されます。この周波数が最高動作周波数を超えないように設定してください。

## 11.2 構 成

図 11 - 1 クロック発生機能周辺ブロック図





## 11.3 発振ブロック

発振ブロックの標準入力周波数は 27MHz-48MHz です。

外部クロック入力モード時（発振器出力を直接接続する場合）には、OSCTH 端子にハイ・レベルを入力（EVDD に接続）し、XT2 端子に外部クロックを入力し、XT1 端子にはロー・レベルを入力（EGND に接続）してください。

USB 機能を利用する場合で、CPU の動作クロックと USB の動作クロックを共用する場合は 30MHz を入力してください。また、CAN コントローラを利用する場合は、27MHz-33MHz を入力してください。

リセット解除後はこの入力周波数で動作します。起動後、レジスタ設定にて PLL の通倍率を変更できます。

なお、PFESiP/V850EP3 は、源発振を停止する STOP モードを持っていません。

**注意 1.** 発振子、発振器（発振モジュール）いずれの場合も、上限の周波数は 48MHz です。

**2.** 発振子の選択および発振回路定数については、お客様にて発振評価していただくか、発振器メーカーに評価を依頼してください。

**備考** USB, CAN の双方を利用する場合、外部発振器（発振子）数が最小となるのは 30MHz 入力の場合です。この場合は CPU, USB, CAN で 30MHz 入力を共用できます。ただし Ether MAC 機能は、外部の発振器または PHY からのクロック供給が必要です。

## 11.4 CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定

CPU の動作クロック（CPCLK）に対する内部システム・バス・クロック（HCLK）、周辺マクロ・クロック（PCLK）の分周比設定は、CLKDV2-CLKDV0 端子で設定します。

外部バス・インタフェースの BUSCLK、SiP 内部接続インタフェースの SBUSCLK は、HCLK と同一周波数に設定されます。

なお CPU は、リセット解除後は XT1, XT2 入力の OSCCLK で動作します。必要に応じて後述の PLL 動作モードに設定してください。

**注意** CLKDV2-CLKDV0 端子は、動作中に変更しないでください。リセット解除前に確定させてください。

表 11-1 CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック（HCLK）	周辺マクロ・クロック（PCLK）
0	0	0	CPCLK/2	CPCLK/2（HCLK/1）
0	0	1	CPCLK/2	CPCLK/4（HCLK/2）
0	1	0	CPCLK/3	CPCLK/3（HCLK/1）
0	1	1	CPCLK/3	CPCLK/6（HCLK/2）
1	0	0	CPCLK/4	CPCLK/4（HCLK/1）
1	0	1	CPCLK/4	CPCLK/8（HCLK/2）
1	1	任意	設定禁止	

## 11.5 クロック発生機能の制御レジスタ

クロック発生機能に関する制御レジスタを以下に示します。

表 11-2 クロック発生機能レジスタ一覧

アドレス	レジスタ名称	略号	R/W	リセット時
0F01 A014H	PLL ステータス・レジスタ	PLLS	R/W	0000 0025H
0F01 A100H	PLL 動作モード設定レジスタ	EP3PLLCFG	R/W	0000 0000H
0F01 A104H	システム・クロック選択レジスタ	SYSCLKSEL	R/W	0000 0000H
0F01 A114H	PLL プロテクト・コマンド・レジスタ	PLLPCMD	W	不定

クロック発生機能に関する特定レジスタは、プログラムの暴走などにより、これらのレジスタの書き換えが発生してシステムが不用意に停止しないように、プロテクト・コマンド・レジスタを併用した特定のシーケンスを併用しなければ書き換えができません。

特定レジスタと、プロテクト・コマンド・レジスタの関係を以下に示します。なお、PLL ステータス・レジスタ (PLLS) は、特定レジスタ対象外です。

特定レジスタへの書き込みシーケンスは、11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD) を参照してください。

表 11-3 クロック発生機能の特定レジスタと、プロテクト・コマンド・レジスタの関係

プロテクト・コマンド・レジスタ	プロテクト対象の特定レジスタ
PLL プロテクト・コマンド・レジスタ (PLLPCMD)	PLL 動作モード設定レジスタ (EP3PLLCFG) システム・クロック選択レジスタ (SYSCLKSEL)

### 11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG)

PLL の N, M 値, PLL 出力の分周設定, および SSCG の設定を行うレジスタです。

このレジスタは, PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD) を参照してください。

なお, EP3PLLCFG レジスタの内容を読み出す場合は, 特別なシーケンスは必要ありません。

また, ビット 24-0 に設定した値で PLL を動作させる場合に, PLLE ビットも同時にセット (1) してください。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
EP3PLLCFG	PLLE	0	0	0	0	0	0	PLL M6	PLL M5	PLL M4	PLL M3	PLL M2	PLL M1	PLL M0	PLL N7	PLL N6	0F01 A100H
R/W	R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PLL N5	PLL N4	PLL N3	PLL N2	PLL N1	PLL N0	P0	SS PC1	SS PC0	SS ADJ2	SS ADJ1	SS ADJ0	SS MDL1	SS MDL0	SS S1	SS S0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31	PLLE	ビット 24-0 への設定値のイネーブル・ビットです。ビット 24-0 に設定した値で PLL を動作させる場合に, このビットも同時にセット (1) してください。
24-18	PLLM6- PLLM0	内蔵 PLL の通倍率の設定入力 (M 値)
17-10	PLLN7- PLLN0	内蔵 PLL の通倍率の設定入力 (N 値) PLLN7-PLLN0 の設定値は, 10 進数で, 371 PLLN7-PLLN0 の設定値 399 以外は設定不可です。
9	P0	出力クロックの分周選択 0 : PLL 出力周波数 (スルー) 1 : PLL 出力周波数を 2 分周
8, 7	SSPC1, SSPC0	内蔵 PLL の SSCG 動作モード設定入力
6-4	SSADJ2- SSADJ0	内蔵 PLL の SSCG の周波数拡散モードと, その範囲の設定入力
3, 2	SSMDL1, SSMDL0	内蔵 PLL の SSCG のモジュレーション範囲の設定入力
1, 0	SSS1, SSS0	内蔵 PLL の SSCG の S セクタ入力

備考 ビット 24-0 の設定方法は, 次のページにあります。

注意 1. EP3PLLCFG レジスタおよび PLLMODE レジスタの値を変更する場合には, 必ず PLLPCMD レジスタを用いた特定のシーケンスでアクセスしてください。

2. PLLMODE レジスタにて, 動作クロックに PLL の出力を選択した場合, 再度の EP3PLLCFG レジスタの変更はできません。再度設定を変更した場合は, 動作は保証されません。

## (1) SSCG-PLL 動作モード設定

EP3PLLCFG レジスタの各ビットの説明を以下に示します。

利用条件に合わせて、適正な値に設定してください。

(1/2)

ビット位置	ビット名	意味																																																								
24-10	PLLM6- PLLM0, PLLN7- PLLN0	<p>内蔵 PLL の逡倍率を設定します。 PLL 出力周波数 = 入力周波数 × nr / mr / 2 です。</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>計算式</th> <th>MIN.</th> <th>TYP.</th> <th>MAX.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>M 値</td> <td>mr</td> <td>PLLM6-PLLM0 の設定値 + 1</td> <td>1</td> <td></td> <td>128</td> <td>-</td> </tr> <tr> <td>N 値</td> <td>nr</td> <td>( PLLN7-PLLN0 の設定値 + 1 ) × 2</td> <td>372</td> <td></td> <td>400</td> <td>-</td> </tr> <tr> <td>入力周波数<sup>注1</sup></td> <td>fstd</td> <td>- ( XT1, XT2 入力 )</td> <td>27.0</td> <td></td> <td>48.0</td> <td>MHz</td> </tr> <tr> <td>入力デューティ</td> <td>lduty</td> <td>-</td> <td>30</td> <td></td> <td>70</td> <td>%</td> </tr> <tr> <td>逡倍率</td> <td>MULT</td> <td>MULT = nr / mr / 2</td> <td>1.453</td> <td></td> <td>200</td> <td>-</td> </tr> <tr> <td>PFD 入力周波数</td> <td>fpdf</td> <td>fpdf = fstd / mr</td> <td>1.0</td> <td></td> <td>2.0</td> <td>MHz</td> </tr> <tr> <td>PLL 出力周波数</td> <td>fout</td> <td>fout = fstd × nr / mr / 2</td> <td>200</td> <td></td> <td>400</td> <td>MHz</td> </tr> </tbody> </table>	項目	記号	計算式	MIN.	TYP.	MAX.	単位	M 値	mr	PLLM6-PLLM0 の設定値 + 1	1		128	-	N 値	nr	( PLLN7-PLLN0 の設定値 + 1 ) × 2	372		400	-	入力周波数 <sup>注1</sup>	fstd	- ( XT1, XT2 入力 )	27.0		48.0	MHz	入力デューティ	lduty	-	30		70	%	逡倍率	MULT	MULT = nr / mr / 2	1.453		200	-	PFD 入力周波数	fpdf	fpdf = fstd / mr	1.0		2.0	MHz	PLL 出力周波数	fout	fout = fstd × nr / mr / 2	200		400	MHz
項目	記号	計算式	MIN.	TYP.	MAX.	単位																																																				
M 値	mr	PLLM6-PLLM0 の設定値 + 1	1		128	-																																																				
N 値	nr	( PLLN7-PLLN0 の設定値 + 1 ) × 2	372		400	-																																																				
入力周波数 <sup>注1</sup>	fstd	- ( XT1, XT2 入力 )	27.0		48.0	MHz																																																				
入力デューティ	lduty	-	30		70	%																																																				
逡倍率	MULT	MULT = nr / mr / 2	1.453		200	-																																																				
PFD 入力周波数	fpdf	fpdf = fstd / mr	1.0		2.0	MHz																																																				
PLL 出力周波数	fout	fout = fstd × nr / mr / 2	200		400	MHz																																																				
8, 7	SSPC1, SSPC0	<p>内蔵 PLL の SSCG 動作モードを設定します。</p> <table border="1"> <thead> <tr> <th>SSPC1</th> <th>SSPC0</th> <th>内蔵 PLL の SSCG 動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SSCG 機能オフ</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>SSCG モード ( ダウンスプレッド・モード )</td> </tr> <tr> <td>1</td> <td>1</td> <td>SSCG モード ( センターズプレッド・モード )<sup>注2</sup></td> </tr> </tbody> </table>	SSPC1	SSPC0	内蔵 PLL の SSCG 動作モード	0	0	SSCG 機能オフ	0	1		1	0	SSCG モード ( ダウンスプレッド・モード )	1	1	SSCG モード ( センターズプレッド・モード ) <sup>注2</sup>																																									
SSPC1	SSPC0	内蔵 PLL の SSCG 動作モード																																																								
0	0	SSCG 機能オフ																																																								
0	1																																																									
1	0	SSCG モード ( ダウンスプレッド・モード )																																																								
1	1	SSCG モード ( センターズプレッド・モード ) <sup>注2</sup>																																																								

**注意** PLL 出力の後段には、分周器があります。動作周波数は、EP3PLLCFG.P0 ビットにより PLL 出力スルーと 2 分周から選択してください。

注 1. XT1, XT2 の発振ブロックの特性により、入力周波数の範囲が決まっています。

2. 長周期における周期を保証するものではありません。XT1, XT2 入力クロック以上の誤差を伴うことがあります。

ビット位置	ビット名	意味																																																																																																
6-4	SSADJ2-SSADJ0	SSCG の周波数変調率 ( fdit ) を設定します。  <table border="1"> <thead> <tr> <th rowspan="2">SSADJ2</th> <th rowspan="2">SSADJ1</th> <th rowspan="2">SSADJ0</th> <th colspan="3">ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0</th> <th colspan="3">センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1</th> <th rowspan="2">単位</th> </tr> <tr> <th>MIN.</th> <th>TYP.</th> <th>MAX</th> <th>MIN.</th> <th>TYP.</th> <th>MAX</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0.2</td> <td>0.5</td> <td>1.0</td> <td colspan="3">設定禁止</td> <td>%</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0.5</td> <td>1.0</td> <td>2.0</td> <td>±0.2</td> <td>±0.5</td> <td>±1.0</td> <td>%</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1.1</td> <td>2.0</td> <td>4.0</td> <td>±0.5</td> <td>±1.0</td> <td>±2.0</td> <td>%</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1.7</td> <td>3.0</td> <td>6.0</td> <td>±0.8</td> <td>±1.5</td> <td>±3.0</td> <td>%</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2.3</td> <td>4.0</td> <td>8.0</td> <td>±1.1</td> <td>±2.0</td> <td>±4.0</td> <td>%</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>3.2</td> <td>5.0</td> <td>10.0</td> <td>±1.4</td> <td>±2.5</td> <td>±5.0</td> <td>%</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td colspan="3">設定禁止</td> <td colspan="3">設定禁止</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td colspan="3">設定禁止</td> <td colspan="3">設定禁止</td> <td>-</td> </tr> </tbody> </table>	SSADJ2	SSADJ1	SSADJ0	ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0			センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1			単位	MIN.	TYP.	MAX	MIN.	TYP.	MAX	0	0	0	0.2	0.5	1.0	設定禁止			%	0	0	1	0.5	1.0	2.0	±0.2	±0.5	±1.0	%	0	1	0	1.1	2.0	4.0	±0.5	±1.0	±2.0	%	0	1	1	1.7	3.0	6.0	±0.8	±1.5	±3.0	%	1	0	0	2.3	4.0	8.0	±1.1	±2.0	±4.0	%	1	0	1	3.2	5.0	10.0	±1.4	±2.5	±5.0	%	1	1	0	設定禁止			設定禁止			-	1	1	1	設定禁止			設定禁止			-
SSADJ2	SSADJ1	SSADJ0				ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0			センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1				単位																																																																																					
			MIN.	TYP.	MAX	MIN.	TYP.	MAX																																																																																										
0	0	0	0.2	0.5	1.0	設定禁止			%																																																																																									
0	0	1	0.5	1.0	2.0	±0.2	±0.5	±1.0	%																																																																																									
0	1	0	1.1	2.0	4.0	±0.5	±1.0	±2.0	%																																																																																									
0	1	1	1.7	3.0	6.0	±0.8	±1.5	±3.0	%																																																																																									
1	0	0	2.3	4.0	8.0	±1.1	±2.0	±4.0	%																																																																																									
1	0	1	3.2	5.0	10.0	±1.4	±2.5	±5.0	%																																																																																									
1	1	0	設定禁止			設定禁止			-																																																																																									
1	1	1	設定禁止			設定禁止			-																																																																																									
3, 2	SSMDL1, SSMDL0	内蔵 PLL の SSCG の変調周期を設定します。  <table border="1"> <thead> <tr> <th>SSMDL1</th> <th>SSMDL0</th> <th>MIN.</th> <th>TYP.</th> <th>MAX</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>17.8</td> <td>20.0</td> <td>22.2</td> <td>kHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>27.0</td> <td>30.0</td> <td>33.4</td> <td>kHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>35.0</td> <td>40.0</td> <td>44.1</td> <td>kHz</td> </tr> <tr> <td>1</td> <td>1</td> <td>46.6</td> <td>50.0</td> <td>60.0</td> <td>kHz</td> </tr> </tbody> </table>	SSMDL1	SSMDL0	MIN.	TYP.	MAX	単位	0	0	17.8	20.0	22.2	kHz	0	1	27.0	30.0	33.4	kHz	1	0	35.0	40.0	44.1	kHz	1	1	46.6	50.0	60.0	kHz																																																																		
SSMDL1	SSMDL0	MIN.	TYP.	MAX	単位																																																																																													
0	0	17.8	20.0	22.2	kHz																																																																																													
0	1	27.0	30.0	33.4	kHz																																																																																													
1	0	35.0	40.0	44.1	kHz																																																																																													
1	1	46.6	50.0	60.0	kHz																																																																																													
1, 0	SSS1, SSS0	内蔵 PLL の PFD 入力周波数 ( fpdf ) に対して SSCG 動作を最適化するために、PLLM6-PLLM0, PLLN7-PLLN0, PLLP0 設定した PFD 入力周波数に対して、SSS1, SSS0 を設定してください。  <table border="1"> <thead> <tr> <th>SSS1</th> <th>SSS0</th> <th colspan="2">PFD 入力周波数 ( fpdf )</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.00MHz</td> <td>fpdf &lt; 1.19MHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>1.18MHz</td> <td>fpdf &lt; 1.41MHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>1.41MHz</td> <td>fpdf &lt; 1.68MHz</td> </tr> <tr> <td>1</td> <td>1</td> <td>1.68MHz</td> <td>fpdf 2.00MHz</td> </tr> </tbody> </table>	SSS1	SSS0	PFD 入力周波数 ( fpdf )		0	0	1.00MHz	fpdf < 1.19MHz	0	1	1.18MHz	fpdf < 1.41MHz	1	0	1.41MHz	fpdf < 1.68MHz	1	1	1.68MHz	fpdf 2.00MHz																																																																												
SSS1	SSS0	PFD 入力周波数 ( fpdf )																																																																																																
0	0	1.00MHz	fpdf < 1.19MHz																																																																																															
0	1	1.18MHz	fpdf < 1.41MHz																																																																																															
1	0	1.41MHz	fpdf < 1.68MHz																																																																																															
1	1	1.68MHz	fpdf 2.00MHz																																																																																															

### 11.5.2 システム・クロック選択レジスタ (SYSCLKSEL)

PFESiP/V850EP3 内部の、多くの動作クロックの元となる CPCLK を選択するレジスタです。

内部システム・バス・クロックの HCLK や、周辺マクロ・クロックの PCLK は、CPCLK から分周されています。

リセット解除後は、CPU は OSCCLK (CPCLK = OSCCLK) で動作しています。PLL に関する設定を終えて、このレジスタの PLLFOEN ビットをセット (1) すると、CPCLK は PLL 動作モードに移行します。

PLLFOEN ビットのセット (1) の前に、必ず PLL ステータス・レジスタ (PLLS) の PLLOVF ビットを読み出し、PLLOVF = 1 (PLL ロック待ちカウンタのオーバフロー) を確認してください。

このレジスタは、PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD) を参照してください。

なお、SYSCLKSEL レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

32 ビット単位でリード/ライト可能です。

	31		1	0	アドレス	初期値
SYSCLKSEL	0			PLLFOEN	0F01 A104H	0000 0000H
R/W	0					
					R/W	
ビット位置	ビット名	意味				
0	PLLFOEN	システム・クロックの選択 0 : OSC 出力クロック (OSCCLK) 1 : PLL 出力クロック (PLL 動作モード)				

**備考** システム負荷が軽い場合に、PLL 動作モードから OSCCLK 動作に戻すことも可能です。ただし、この場合には、システム・クロックが変化するため、外部メモリや内蔵周辺マクロへの供給クロックも変化することに十分留意して使用してください。

なお、PFESiP/V850EP3 は、高速プロセスで製造されているため、従来製品に対して比較的リーク電流が大きくなる傾向があります。総消費電力のうち、リーク電流が占める比率が高いため、動作クロックに比例した低電力効果が得られにくくなっています。

### 11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD)

PLLPCMD レジスタは、プログラムの暴走などによって応用システムが不用意に停止しないように、システムに重大な影響を与える可能性がある特定レジスタへの書き込みを保護するレジスタです。

特定レジスタの対象となるのは、PLL 動作モード設定レジスタ (EP3PLLCFG) と、システム・クロック選択レジスタ (SYSCLKSEL) です。

32 ビット単位でライトのみ可能です。

EP3PLLCFG レジスタと、SYSCLKSEL レジスタへの書き込みは、以下のシーケンスでの書き込みのみ受け付けられます。

- <1> PLLPCMD レジスタに特定値として、0000 00A5H を書き込む。
  - <2> 書き込み対象の特定レジスタに、設定したい値を書き込む。
  - <3> 書き込み対象の特定レジスタに、設定したい値の反転値 (各ビットの反転値) を書き込む。
  - <4> 書き込み対象の特定レジスタに、再度設定したい値を書き込む。
- <2>、<3>では、実際の特定レジスタへの書き込みは行われていません。

	31	1	0	アドレス	初期値
PLLPCMD	PLLPCMD			0F01 A114H	不定
R/W	W				
ビット位置	ビット名	意味			
31-0	PLLPCMD	0000 00A5H を書き込んだのち、書き込み対象の特定レジスタに上記シーケンスで書き込みを行った場合のみ、特定レジスタへの設定値が有効となります。			

### 11.5.4 PLL ステータス・レジスタ (PLLS)

内蔵 PLL のロック状態を確認するためのレジスタです。

PLL ロック待ちカウンタがオーバーフローすると、PLLOVF ビットがセット (1) されます。PLL 動作モードに移行する場合は、必ず PLLOVF ビットがセット (1) されていることを確認してから移行してください。PLLOVF ビットはリードのみ可能です。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PLLS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 A014H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	PLL OVF	1	0	0	1	0	1	0000 0025H
R/W	0	0	0	0	0	0	0	0	0	R	1	0	0	1	0	1	

ビット位置	ビット名	意味
6	PLLOVF	内蔵 PLL のロック待ちカウンタのオーバーフロー状態を示します。 0 : PLL ロック待ちカウンタは、オーバーフローしていない 1 : PLL ロック待ちカウンタは、オーバーフローした



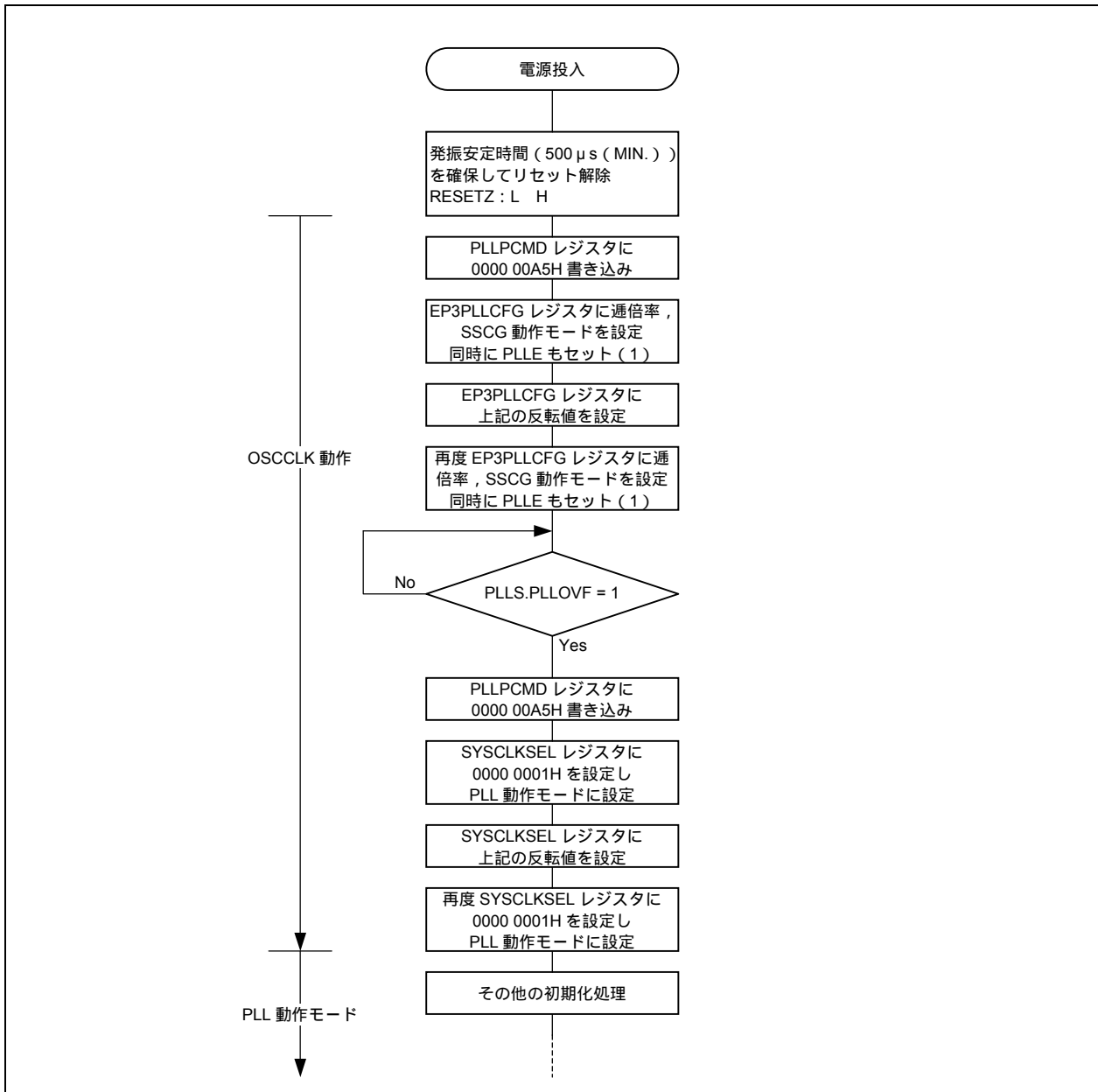
## 11.6 PLL 動作への移行方法

リセット解除時には、発振安定待ち時間は挿入されません。したがって、クロック発振回路が停止した状態から RESETZ 端子入力（パワーオン時のリセット入力）では、発振安定待ち時間以上（500  $\mu$ s（MIN.））をロー・レベルで確保する必要があります。

リセット解除後は、XT1, XT2 入力の OSCCLK で動作します。

その後、PLL 動作モードに移行するためには、以下の手順で設定してください。

図 11 - 2 PLL 動作への移行方法



## 11.7 動作クロックの規定

PFESiP/V850EP3 のクロック発生回路は、SSCG-PLL により、逡倍回路と周波数拡散のための変調回路から構成されています。SSCG-PLL は、回路特性により出力周期に最大で ±50ps の出力誤差を発生します。

また、変調回路は、設定した変調率に対し、変調率に依存して値が変化する変調誤差が加算されます。

したがって、SSCG-PLL を介してクロックを出力する BUSCLK (SBUSCLK) の出力周波数や内部周辺 I/O の動作周波数はこれらの誤差の影響を受けます。そのため、各信号の周波数の算出については、必ず、これらの誤差を考慮して使用してください。

各変調率に対する出力周期および出力周波数の算出方法を次に示します。

### 11.7.1 動作周波数の最小値、最大値、平均値

#### (1) ダウンスプレッド・モード

$$\text{最大周波数} = ((1 + (\text{fdit}_{\text{MAX.}} - \text{fdit}_{\text{TYP.}})) / 2) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

$$\text{最小周波数} = ((1 - (\text{fdit}_{\text{MAX.}} - \text{fdit}_{\text{TYP.}})) / 2 - \text{fdit}_{\text{TYP.}} \times 400 / \text{nr 値}) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

$$\text{平均周波数} = (\text{nr 値} - \text{fdit}_{\text{TYP.}} / \text{nr 値}) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

計算例

OSCCLK	30MHz		
PLL 出力周波数	265.91MHz		
動作周波数	265.91MHz		
PLL6-PLL0 設定値	21	mr 値	22
PLL7-PLL0 設定値	389	nr 値	390
P0 設定値	0 (分周しない)		
SSADJ2-SSADJ0 設定値	5	fdit (MAX.)	10%
		fdit (TYP.)	5%
PLL 出力ジッタ (MIN.)	- 50ps		
PLL 出力ジッタ (MAX.)	50ps		
ジッタ加味前の最大周波数	$(1 + (10\% - 5\%) / 2) \times 265.91 / 1 = 272.56\text{MHz}$		
ジッタ加味後の最大周波数 ( $f_{\text{MIN}}$ )	$1 / (1 / 272.56\text{MHz} - 50\text{ps}) = 276.33\text{MHz}$		
ジッタ加味前の最小周波数	$((1 - (10\% - 5\%) / 2) - 5\% \times 400 / 390) \times 265.91 / 1 = 245.62\text{MHz}$		
ジッタ加味後の最小周波数 ( $f_{\text{MAX}}$ )	$1 / (1 / 245.62\text{MHz} + 50\text{ps}) = 242.64\text{MHz}$		
平均周波数 ( $f_{\text{AVE}}$ )	$(390 - 5) / 390 \times 265.91 / 1 = 262.50\text{MHz}$		

**注意** 平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値です。変調周期に対して短い期間での動作周波数は、上記計算式の算出結果に対して誤差が大きくなる可能性が高いので注意してください。

**備考** fdit = EP3PLLCFG レジスタの SSADJ2-SSADJ0 ビットで設定した周波数変調率 (11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG) 参照)

## (2) センタースプレッド・モード

$$\text{最大周波数} = (1 + |\text{fdit}_{\text{MAX}}|) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

$$\text{最小周波数} = (1 - |\text{fdit}_{\text{MAX}}|) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

$$\text{平均周波数} = \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$$

## 計算例

OSCCLK	30MHz		
PLL 出力周波数	265.91MHz		
動作周波数	265.91MHz		
PLLM6-PLLM0 設定値	21	mr 値	22
PLLN7-PLLNO 設定値	389	nr 値	390
P0 設定値	0 (分周しない)		
SSADJ2-SSADJ0 設定値	5	fdit (MAX.)	± 5%
		fdit (TYP.)	± 2.55%
PLL 出力ジッタ (MIN.)	- 50ps		
PLL 出力ジッタ (MAX.)	50ps		
ジッタ加味前の最大周波数	$(1 + 5\%) \times 265.91 / 1 = 279.21\text{MHz}$		
ジッタ加味後の最大周波数 ( $f_{\text{MIN}}$ )	$1 / (1 / 279.21\text{MHz} - 50\text{ps}) = 283.16\text{MHz}$		
ジッタ加味前の最小周波数	$(1 - 5\%) \times 265.91 / 1 = 252.61\text{MHz}$		
ジッタ加味後の最小周波数 ( $f_{\text{MAX}}$ )	$1 / (1 / 252.61\text{MHz} + 50\text{ps}) = 249.46\text{MHz}$		
平均周波数 ( $f_{\text{AVE}}$ )	$265.91 / 1 = 265.91\text{MHz}$		

**注意** 平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値です。変調周期に対して短い期間での動作周波数は、上記計算式の算出結果に対して誤差が大きくなる可能性が高いので注意してください。

**備考** fdit = EP3PLLCFG レジスタの SSADJ2-SSADJ0 ビットで設定した周波数変調率 (11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG) 参照)

### 11.7.2 BUSCLK 周波数の算出

SSCG-PLL による変調機能を使用した場合、BUSCLK も変動します。BUSCLK の周波数 ( $f_{\text{BUSCLK}}$ ) を算出する場合には注意してください。

CLKDV2-CLKDV0 端子入力に対する BUSCLK の周波数変動を次に示します。

表 11-4 BUSCLK の周波数変動

CLKDV2	CLKDV1	CLKDV0	BUSCLK 周波数 ( $f_{\text{BUSCLK}}$ )		
			MIN.	TYP.	MAX.
0	0	任意	$f_{\text{MIN}} / 2$	$f_{\text{AVE}} / 2$	$f_{\text{MAX}} / 2$
0	1	任意	$f_{\text{MIN}} / 3$	$f_{\text{AVE}} / 3$	$f_{\text{MAX}} / 3$
1	0	任意	$f_{\text{MIN}} / 4$	$f_{\text{AVE}} / 4$	$f_{\text{MAX}} / 4$
1	1	任意	設定禁止		

### 11.7.3 各内蔵周辺機能の動作クロック周波数の算出

SSCG-PLL による変調機能を使用した場合、BUSCLK と同一周波数の HCLK から分周した周辺マクロ・クロック (PCLK) を利用している周辺機能は、動作クロックが変動します。(1)-(6) の内容について注意してください。

表 11-5 周辺マクロ・クロック (PCLK) の周波数変動

CLKDV2	CLKDV1	CLKDV0	BUSCLK 周波数 ( $f_{\text{BUSCLK}}$ )			周辺マクロ・クロック (PCLK)		
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
0	0	0	$f_{\text{MIN}} / 2$	$f_{\text{AVE}} / 2$	$f_{\text{MAX}} / 2$	$f_{\text{MIN}} / 2$	$f_{\text{AVE}} / 2$	$f_{\text{MAX}} / 2$
0	0	1				$f_{\text{MIN}} / 4$	$f_{\text{AVE}} / 4$	$f_{\text{MAX}} / 4$
0	1	0	$f_{\text{MIN}} / 3$	$f_{\text{AVE}} / 3$	$f_{\text{MAX}} / 3$	$f_{\text{MIN}} / 3$	$f_{\text{AVE}} / 3$	$f_{\text{MAX}} / 3$
0	1	1				$f_{\text{MIN}} / 6$	$f_{\text{AVE}} / 6$	$f_{\text{MAX}} / 6$
1	0	0	$f_{\text{MIN}} / 4$	$f_{\text{AVE}} / 4$	$f_{\text{MAX}} / 4$	$f_{\text{MIN}} / 4$	$f_{\text{AVE}} / 4$	$f_{\text{MAX}} / 4$
1	0	1				$f_{\text{MIN}} / 8$	$f_{\text{AVE}} / 8$	$f_{\text{MAX}} / 8$
1	1	任意	設定禁止					

(1) タイマ TMM のカウント周期

カウント・クロックは、PCLK の分周クロックと、OSCCLK を TMM 専用プリスケアラで分周したクロックの 2 系統を選択できます。SSCG 機能の影響を受けるのは、PCLK の分周クロックを選択した場合です。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは  $f_{\text{MIN}}$  動作時、一定時間以上のときは  $f_{\text{MAX}}$  動作時での最適なカウント数の設定を推奨します。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないか、OSCCLK 系統のクロックを利用してください。

★ (2) 16 ビット・タイマ/カウンタ AA (TAA) , 16 ビット・タイマ/イベント・カウント T (TMT) のカウント周期 (内部クロック使用時)

カウント・クロックは、PCLK の分周クロックと、OSCCLK の分周クロックの 2 系統を選択できます。SSCG 機能の影響を受けるのは、PCLK の分周クロックを選択した場合です。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは  $f_{\text{MIN}}$  動作時、一定時間以上のときは  $f_{\text{MAX}}$  動作時での最適なカウント数の設定を推奨します。なお、タイマ TAA、タイマ TMT のタイマ出力時のデューティ設定についてはハイ・レベル出力、またはロー・レベル出力のどちらか一方の保証しかできません。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないでください。

## (3) ウォッチドッグ・タイマ

カウント・クロックは、PCLK の分周クロックと、USB\_UCLK の分周クロックの 2 系統を選択できます。SSCG 機能の影響を受けるのは、PCLK の分周クロックを選択した場合です。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは  $f_{\text{MIN}}$  動作時、一定時間以上のときは  $f_{\text{MAX}}$  動作時での最適なカウント数の設定を推奨します。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないか、USB\_UCLK 系統のクロックを利用してください。ただし、USB\_UCLK 系統のクロックを選択した場合は、USB\_UCLK が IDLE モードで停止しないため、一般的には IDLE モードを利用できません。

## (4) CSI3 のシリアル通信（送信 / 受信 / 送受信）転送レート（マスタ・モード）

転送レートは、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間の転送レート時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

転送レートとして絶対値の保証が必要な場合には、最小転送レートのときは  $f_{\text{MIN}}$  動作時、最大転送レートのときは  $f_{\text{MAX}}$  動作時での最適な転送レートの設定を推奨します。

## (5) A/D コンバータの変換時間

A/D 変換動作時間（ADM1 レジスタの FR1-FR0 ビットで設定）の設定値は、 $f_{\text{AVE}}$  で算出してください（ $f_{\text{MIN}}$  および  $f_{\text{MAX}}$  の算出は不要）。

## (6) デジタル・ノイズ除去時間

NFC0-NFC7 レジスタによるデジタル・ノイズ除去時間は、最小ノイズ除去時間のときは  $f_{\text{MAX}}$ 、最大ノイズ除去時間のときは  $f_{\text{MIN}}$  で算出してください。

## (7) USB 機能，Ether MAC 機能，UART，CAN コントローラ，ウォッチドッグ・タイマ

これらの機能は、専用クロック入力端子、OSCCLK、OSCCLK を分周したクロックのいずれかを利用しています。SSCG-PLL 系統のクロックを利用していないため、SSCG-PLL の影響を受けません。

## 11.8 パワー・セーブ制御

### 11.8.1 概 要

内蔵のスタンバイ・コントローラと、クロック制御回路により、各種パワー・セーブ機能を実現します。

**注意 1.** PFESiP/V850EP3 は、源発振器を停止させる STOP モードには対応していません。

**2.** PFESiP/V850EP3 は、IDLE モードでは外部割り込み入力のサンプリング・クロックは停止しません。このため IDLE モードは、外部割り込み入力 (NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23) と RESETZ 入力で解除できます。

**3.** デバッグ・モード時の IDLE モード解除には対応していません。デバッグ・モード時は IDLE モードを利用しないでください。

**4.** PFESiP/V850EP3 の IDLE モードは、発振ブロック、PLL、外部割り込み入力のサンプリング・クロックが動作しています。

パワー・セーブ機能には、次のものがあります。

#### (1) HALT モード

CPU のパイプライン動作のみ停止するモードです。

CPU が HALT の場合でも、CPU 以外の機能は動作を継続します。

専用命令 (HALT 命令) により HALT モードに移行します。

#### (2) IDLE モード

クロック・ジェネレータ (発振回路 (OSC) および SSCG-PLL シンセサイザ) は動作を継続したままで、内部クロックの供給を停止させることにより、システム全体を停止させるモードです。

ただし、外部割り込み入力のサンプリング・クロックと、OSCCLK または外部クロックで動作可能な内蔵周辺機能は動作を継続します。

内部の IDLE モード制御回路で、逡倍 PLL の出力クロック (FO) をゲーテッドすることで、CPU のパイプライン用クロック (CPCLK) とシステム・クロック (HCLK) を同時に停止しています。

IDLE モードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

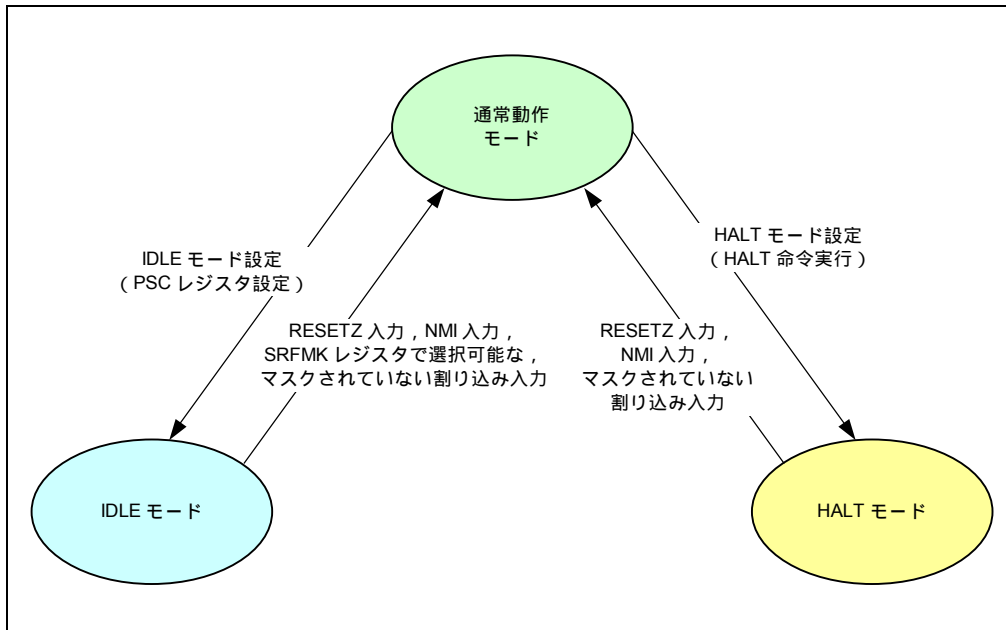
PSC レジスタの設定により IDLE モードに移行します。

**注意** IDLE モード解除要因に選択できる割り込み信号は、NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23, INTC0WUP, INTC1WUP, INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTSRXREQ, INTU2FEPC, INTU2F, INTU2HPME, INTWDT です。

通常動作，HALT，IDLE の各モードにおける動作を図 11 - 3 に示します。

各モードを組み合わせて，用途により切り替えて使用することにより，効果的な低消費電力システムを実現できます。

図 11 - 3 パワー・セーブ機能状態遷移図



### 11.8.2 各クロックの動作状態

各クロックの動作状態を次に示します。

動作状態	OSC	PLL	外部割り込み <sup>※</sup> 入力の取り込み	BUSCLK	内部システム・ クロック (HCLK) , 周辺マクロ・ クロック (PCLK)	CPU の 命令実行
通常動作時						
HALT モード						×
IDLE モード				×	×	×
PLL ロック待ち期間			×	×	×	×
リセット期間		×	×	×	×	×

注 IDLE モード時の取り込み対象の外部割り込みは，NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23 です。

備考 : 動作

× : 停止



## 11.9 パワー・セーブ機能の制御レジスタ

パワー・セーブ機能に関する制御レジスタを以下に示します。

表 11-6 パワー・セーブ機能レジスタ一覧

アドレス	レジスタ名称	略号	R/W	リセット時
0F01 A080H	パワー・セーブ・コントロール・レジスタ	PSC	R/W	0000 0000H
0F01 A084H	スタンバイ解除要因マスク設定レジスタ	SRFMK	R/W	0000 0000H
0F01 A088H	STBC プロテクト・コマンド・レジスタ	STBPCMD	W	不定

クロック発生機能に関する特定レジスタは、プログラムの暴走などにより、これらのレジスタの書き換えが発生してシステムが不用意に停止しないように、プロテクト・コマンド・レジスタを併用した特定のシーケンスを併用しなければ書き換えができません。

特定レジスタと、プロテクト・コマンド・レジスタの関係を以下に示します。なお、スタンバイ解除要因マスク設定レジスタ (SRFMK) は、特定レジスタ対象外です。

特定レジスタへの書き込みシーケンスは、11.9.3 STBC プロテクト・コマンド・レジスタ (STBPCMD) を参照してください。

表 11-7 パワー・セーブ機能の特定レジスタと、プロテクト・コマンド・レジスタの関係

プロテクト・コマンド・レジスタ	プロテクト対象の特定レジスタ
STBC プロテクト・コマンド・レジスタ (STBPCMD)	パワー・セーブ・コントロール・レジスタ (PSC)

### 11.9.1 パワー・セーブ・コントロール・レジスタ (PSC)

IDLE モードの設定を行うレジスタです。

このレジスタは、PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.9.3 STBC プロテクト・コマンド・レジスタ (STBPCMD) を参照してください。

なお、PSC レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

PSC レジスタの STP ビットは、一度セット (1) すると、ソフトウェアによるクリア (0) はできません。RESETZ によりリセット、および IDLE モード解除要因の発生によってのみクリア (0) されます。

32 ビット単位でリード/ライト可能です。

	31	1	0	アドレス	初期値
PSC	0			STP	0F01 A080H
R/W	0			R/W	
ビット位置	ビット名	意 味			
0	STP	IDLE モードの状態を示します。 1 を書き込むと IDLE モードに入ります。IDLE モードが解除されると、自動的に 0 にリセットされます。 0 : IDLE モード解除状態 (通常状態) 1 : IDLE モード中			

**注意** IDLE モードに設定する前に、CPU 以外のすべてのバス・マスタによる転送を終了させてください。  
 バス・マスタとなる機能は、セントラル DMAC、システム・バス、DMAC、USB 機能、Ether MAC 機能です。

### 11.9.2 スタンバイ解除要因マスク設定レジスタ (SRFMK)

IDLE モードの解除が可能な 28 種類の割り込み要因に対して、IDLE モード解除機能のマスクを要因ごとに設定するレジスタです。各割り込み要因が、それぞれのマスク・ビットに対応しています。セット (1) されているビットに対応する割り込み要因では、IDLE モードは解除されません。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SRFMK	0	0	0	0	SRF MK27	SRF MK26	SRF MK25	SRF MK24	SRF MK23	SRF MK22	SRF MK21	SRF MK20	SRF MK19	SRF MK18	SRF MK17	SRF MK16	0F01 A084H
R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SRF MK15	SRF MK14	SRF MK13	SRF MK12	SRF MK11	SRF MK10	SRF MK9	SRF MK8	SRF MK7	SRF MK6	SRF MK5	SRF MK4	SRF MK3	SRF MK2	SRF MK1	SRF MK0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-0	SRFMK31- SRFMK0	IDLE モード解除要因のマスクを設定します。 0 : マスクしない (ビットに対応する割り込み要求で IDLE モードを解除) 1 : マスクする (ビットに対応する割り込み要求では IDLE モードを解除不可)  各ビットは、下記の割り込み要因に対応しています。

マスク・ビット	割り込み要因
/	
SRFMK27	INTPZ9
SRFMK26	INTPZ8
SRFMK25	INTC1WUP
SRFMK24	INTC0WUP
SRFMK23	INTTM2EQ0
SRFMK22	INTTM1EQ0
SRFMK21	INTTM0EQ0
SRFMK20	INTSRXREQ
SRFMK19	INTU2FEPC
SRFMK18	INTU2F
SRFMK17	INTU2HPME
SRFMK16	INTWDT

マスク・ビット	割り込み要因
SRFMK15	INTPZ23
SRFMK14	INTPZ22
SRFMK13	INTPZ21
SRFMK12	INTPZ20
SRFMK11	INTPZ19
SRFMK10	INTPZ18
SRFMK9	INTPZ17
SRFMK8	INTPZ16
SRFMK7	INTPZ7
SRFMK6	INTPZ6
SRFMK5	INTPZ5
SRFMK4	INTPZ4
SRFMK3	INTPZ3
SRFMK2	INTPZ2
SRFMK1	INTPZ1
SRFMK0	INTPZ0

### 11.9.3 STBC プロテクト・コマンド・レジスタ (STBPCMD)

STBPCMD レジスタは、プログラムの暴走などによって応用システムが不用意に停止しないように、システムに重大な影響を与える可能性がある特定レジスタへの書き込みを保護するレジスタです。

特定レジスタの対象となるのは、パワー・セーブ・コントロール・レジスタ (PSC) です。

32 ビット単位でライトのみ可能です。

PSC レジスタへの書き込みは、以下のシーケンスでの書き込みのみ受け付けられます。

- <1> STBPCMD レジスタに特定値として、0000 00A5H を書き込む。
  - <2> PSC レジスタに、設定したい値を書き込む。
  - <3> PSC レジスタに、設定したい値の反転値（各ビットの反転値）を書き込む。
  - <4> PSC レジスタに、再度設定したい値を書き込む。
- <2>、<3>では、実際の PSC レジスタへの書き込みは行われていません。

	31	1	0	アドレス	初期値
STBPCMD	STBPCMD			0F01 A088H	不定
R/W	W				
ビット位置	ビット名	意味			
31-0	STBPCMD	0000 00A5H を書き込んだのち、PSC レジスタに上記シーケンスで書き込みを行った場合のみ、PSC レジスタへの設定値が有効となります。			

## 11.9.4 HALT モード

### (1) 設定および動作状態

CPU のパイプライン動作のみ停止するモードです。内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。

専用命令 (HALT 命令) により HALT モードに移行します。

HALT モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵データ RAM、内蔵命令 RAM、ポートの内容は保持されます。また、CPU の命令処理に依存しない内蔵周辺機能 (ポート以外) は動作を継続します。HALT モード時の各ハードウェアの状態は表 11-8 のようになります。

- 注意 1.** 割り込み要求が保留されている状態で HALT 命令を実行した場合、HALT モードになりますが、保留されている割り込み要求により HALT モードはすぐに解除されます。
2. HALT 命令のあとには、NOP 命令を 16 命令以上挿入してください。
  3. HALT モードの場合でも、CPU 以外の内蔵バス・マスタの動作は継続されます。

表 11-8 HALT モード時の動作状態

機能	動作状態	
発振回路	動作	
SSCG-PLL シンセサイザ	動作	
CPU	停止	
内部データ	CPU のレジスタ, ステータス・データ, 内蔵命令 RAM, 内蔵データ RAM, 内蔵ワーク RAM の内容など, 内部のデータはすべて HALT モード設定前の状態を保持 <sup>※</sup>	
割り込みコントローラ	動作	
セントラル DMAC	動作	
システム・バス DMAC	動作	
TMM0-TMM5	動作	
TMM 専用プリスケラ	動作	
TAA0-TAA5	動作	
TMT0, TMT1	動作	
ウォッチドッグ・タイマ	動作	
CSI30, CSI31	動作	
UART	動作	
A/D コンバータ	動作	
D/A コンバータ (オプション)	動作	
USB 機能	動作	
Ether MAC 機能	動作	
CAN コントローラ	動作	
シリアル・フラッシュ ROM メモリ・コントローラ	動作	
ポート	HALT モード設定前の状態を保持 <sup>※</sup>	
D0-D31, SD0-SD31	動作	
A1-A26, SA1-SA24		
RDZ, WRSTBZ, BCYSTZ, SRDZ, SWRSTBZ, SBCYSTZ		
BENZ0-BENZ3 ( WRZ0-WRZ3 ) , SBENZ0-SBENZ3 ( SWRZ0-SWRZ3 )		
STCSZ0-STCSZ3, SCSZ0-SCSZ3		
DYCSZ		
DQM0-DQM3		
SDRASZ, SDCASZ		
SDWEZ		
BUSREQZ		
HLDKZ, SHLDKZ		
HLDRQZ, SHLDRQZ		
WAITZ, SWAITZ		
SDCKE		
BUSCLK, SBUSCLK		クロック出力

★

注 HALT モードでは, セントラル DMAC, システム・バス DMAC は動作するため, これらが転送先に指定されている場合は, HALT モードでもデータが変更されます。

## (2) HALT モードの解除

HALT モードは、FE レベル・マスクブル割り込み要求 (NMI)、EI レベル・マスクブル割り込み要求、および RESETZ 入力により解除されます。

**注意** 割り込み処理中 (ISPR レジスタが 0 でない場合) に、HALT モードに移行した場合、ISPR レジスタに設定したレベルより優先順位の低い割り込み要求が発生しても、HALT モードは解除されません。

## (a) FE レベル・マスクブル割り込み要求、EI レベル・マスクブル割り込み要求による解除

FE レベル・マスクブル割り込み要求、EI レベル・マスクブル割り込み要求により、優先順位とは無関係に解除されます。

表 11-9 割り込み要求による HALT モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
FE レベル・マスクブル割り込み要求 (NMI)	ハンドラ・アドレスに分岐	
EI レベル・マスクブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

★

なお、割り込み処理ルーチン内で HALT モードに設定した場合は、次のように動作が異なります。

- (i) 現在処理中の EI レベル・マスクブル割り込み要求よりも優先順位の低い割り込み要求が発生しても HALT モードの解除はされません。
- (ii) 現在処理中の EI レベル・マスクブル割り込み要求よりも優先順位が高い割り込み要求 (FE レベル・マスクブル割り込み要求を含む) が発生すると、HALT モードの解除とともにこの割り込み要求を受け付けます。

## (b) RESETZ 端子入力による解除

通常のリセット動作と同じです。

### 11.9.5 IDLE モード

#### (1) 設定および動作状態

クロック・ジェネレータ（発振回路（OSC）および SSCG-PLL シンセサイザ）は動作を継続したままで、内部クロックの供給を停止させることにより、システム全体を停止させるモードです。

ただし、外部割り込み入力のサンプリング・クロックと、OSCCLK または外部クロックで動作可能な内蔵周辺機能は動作を継続します。

このモードの解除時は、発振回路の発振安定時間や PLL のロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

特定シーケンスによる PSC レジスタの設定で IDLE モードに移行します（11.9.3 STBC プロテクト・コマンド・レジスタ（STBPCMD）参照）。

IDLE モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵データ RAM、内蔵命令 RAM、ポートの内容は保持されます。また、CPU やその他の内蔵周辺機能は動作を停止します。

IDLE モード時の各ハードウェアの状態は表 11-10 のようになります。

**注意** IDLE モードに設定するための PSC レジスタに対するストア命令のあとには、NOP 命令を 16 命令以上挿入してください。



表 11-10 IDLE モード時の動作状態

機能	動作状態
発振回路	動作
SSCG-PLL シンセサイザ	動作
CPU	停止
内部データ	CPU のレジスタ, ステータス・データ, 内蔵命令 RAM, 内蔵データ RAM, 内蔵ワーク RAM の内容など, 内部のデータはすべて HALT モード設定前の状態を保持
割り込みコントローラ	停止
セントラル DMAC	停止
システム・バス DMAC	停止
TMM0-TMM5	PCLK 動作の場合は停止, TMM 専用プリスケアラ動作の場合は動作
TMM 専用プリスケアラ	動作
TAA0-TAA5	PCLK 動作の場合は停止, OSCCLK 動作の場合は動作
TMT0, TMT1	PCLK 動作の場合は停止, OSCCLK 動作の場合は動作
ウォッチドッグ・タイマ	停止 (USB_UCLK 利用時は動作。ただし非推奨)
CSI30, CSI31	停止
UART	動作可能 (IDLE モード時の動作は非推奨)
A/D コンバータ	停止
D/A コンバータ (オプション)	停止
USB 機能	動作 (特定のパワー・マネジメント条件下で利用してください)
Ether MAC 機能	動作 (特定のパワー・マネジメント条件下で利用してください)
CAN コントローラ	停止
シリアル・フラッシュ ROM メモリ・コントローラ	停止
ポート	IDLE モード設定前の状態を保持 <sup>★</sup>
D0-D31, SD0-SD31	ハイ・インピーダンス (Pull-down)
A1-A26, SA1-SA24	ロー・レベル出力
RDZ, WRSTBZ, BCYSTZ, SRDZ, SWRSTBZ, SBCYSTZ	ハイ・レベル出力
BENZ0-BENZ3 (WRZ0-WRZ3) , SBENZ0-SBENZ3 (SWRZ0-SWRZ3)	
STCSZ0-STCSZ3, SCSZ0-SCSZ3	
DYCSZ	
DQM0-DQM3	
SDRASZ, SDCASZ	
SDWEZ	
BUSREQZ	
HLDKZ, SHLDKZ	
HLDRQZ, SHLDRQZ	
WAITZ, SWAITZ	
SDCKE	
BUSCLK, SBUSCLK	ロー・レベルまたはハイ・レベルで停止

★

## (2) IDLE モードの解除

IDLE モードは、以下の要因により解除されます。

表 11-11 IDLE モード解除可能割り込み / 例外要因一覧

発生要因略称	発生要因	発生ユニット	割り込み制御レジスタ	
			略称	アドレス
RESETZ	リセット入力	-	-	
NMI	NMI 入力	端子	FIC	FFFF 645EH
INTWDT	WDT アラーム割り込み	WDT	EIC0	FFFF 6000H
INTPZ0	INTPZ0 入力	端子	EIC2	FFFF 6004H
INTPZ1	INTPZ1 入力	端子	EIC3	FFFF 6006H
INTPZ2	INTPZ2 入力	端子	EIC4	FFFF 6008H
INTPZ3	INTPZ3 入力	端子	EIC5	FFFF 600AH
INTPZ4	INTPZ4 入力	端子	EIC6	FFFF 600CH
INTPZ5	INTPZ5 入力	端子	EIC7	FFFF 600EH
INTPZ6	INTPZ6 入力	端子	EIC8	FFFF 6010H
INTPZ7	INTPZ7 入力	端子	EIC9	FFFF 6012H
INTPZ16	INTPZ16 入力 (SiP 内部接続)	SiP 内部接続信号	EIC10	FFFF 6014H
INTPZ17	INTPZ17 入力 (SiP 内部接続)	SiP 内部接続信号	EIC11	FFFF 6016H
INTPZ18	INTPZ18 入力 (SiP 内部接続)	SiP 内部接続信号	EIC12	FFFF 6018H
INTPZ19	INTPZ19 入力 (SiP 内部接続)	SiP 内部接続信号	EIC13	FFFF 601AH
INTPZ20	INTPZ20 入力 (SiP 内部接続)	SiP 内部接続信号	EIC14	FFFF 601CH
INTPZ21	INTPZ21 入力 (SiP 内部接続)	SiP 内部接続信号	EIC15	FFFF 601EH
INTPZ22	INTPZ22 入力 (SiP 内部接続)	SiP 内部接続信号	EIC16	FFFF 6020H
INTPZ23	INTPZ23 入力 (SiP 内部接続)	SiP 内部接続信号	EIC17	FFFF 6022H
INTC0WUP	CAN0 ウェイク・アップ割り込み	CAN0	EIC86	FFFF 60ACH
INTC1WUP	CAN1 ウェイク・アップ割り込み	CAN1	EIC90	FFFF 60B4H
INTTM0EQ0	TMM0 コンペアー致割り込み	TMM0	EIC113	FFFF 60E2H
INTTM1EQ0	TMM1 コンペアー致割り込み	TMM1	EIC114	FFFF 60E4H
INTTM2EQ0	TMM2 コンペアー致割り込み	TMM2	EIC115	FFFF 60E6H
INTSRXREQ	Ether 受信データ・レディ割り込み	Ether MAC	EIC120	FFFF 60F0H
INTU2HPME	USB ホスト PME 割り込み	USB Host	EIC132	FFFF 6108H
INTU2F	USB ファンクション BRIDGE 割り込み	USB Function	EIC133	FFFF 610AH
INTU2FEPC	USB ファンクション EPC 割り込み	USB Function	EIC134	FFFF 610CH
INTPZ8	INTPZ8 入力	端子	EIC135	FFFF 610EH
INTPZ9	INTPZ9 入力	端子	EIC136	FFFF 6110H

## (a) 割り込み要求による解除

表 11-11 に示される解除要因が発生したとき、その解除要因がスタンバイ解除要因マスク設定レジスタ (SRFMK) でマスクされていないならば、割り込みの優先順位とは無関係に解除されます。解除後の動作は次のようになります。

表 11-12 割り込み要求による IDLE モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
FE レベル・マスクブル割り込み要求 (NMI)	ハンドラ・アドレスに分岐	
EI レベル・マスクブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、割り込み処理ルーチン内で IDLE モードに設定した場合は次のように動作が異なります。

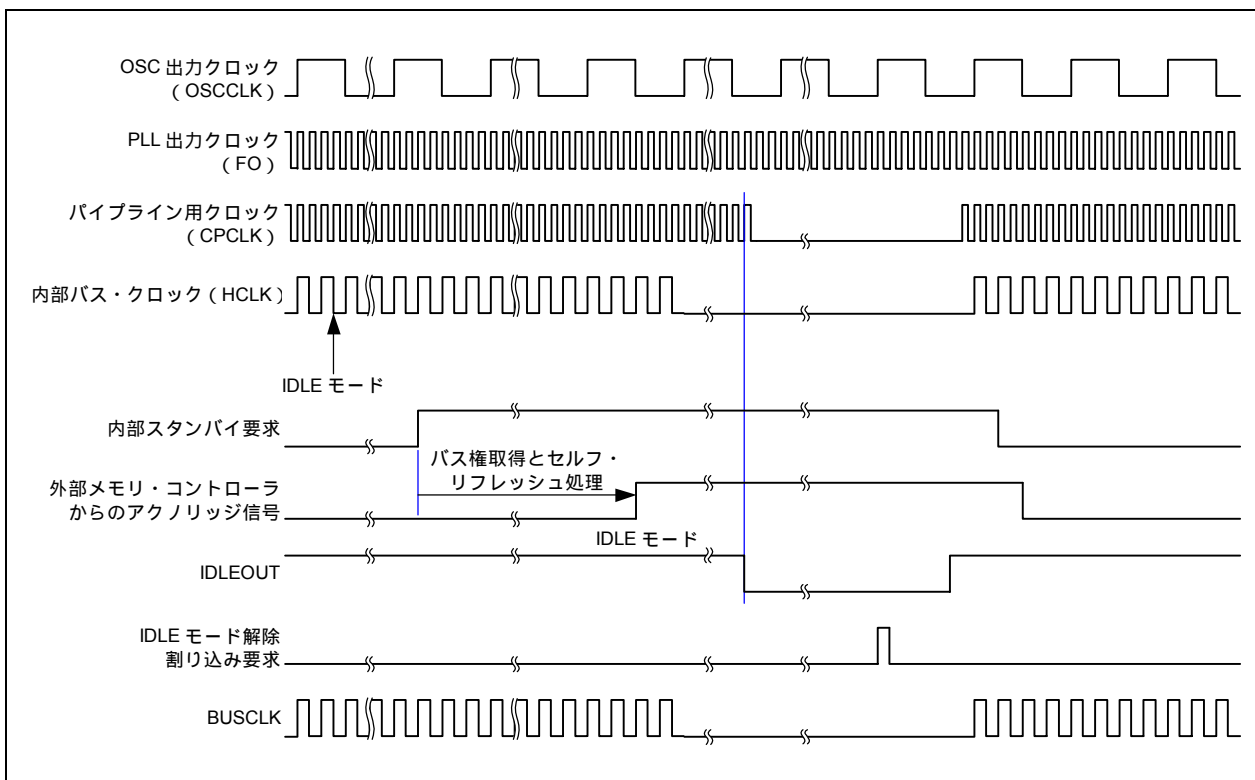
- (i) 現在処理中の EI レベル・マスクブル割り込み要求よりも優先順位の低い割り込み要求が発生すると IDLE モードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保留されます。
- (ii) 現在処理中の EI レベル・マスクブル割り込み要求よりも優先順位が高い割り込み要求が発生すると、IDLE モードの解除とともにこの割り込み要求を受け付けます。

## (b) RESETZ 端子入力による解除

通常のリセット動作と同じです。

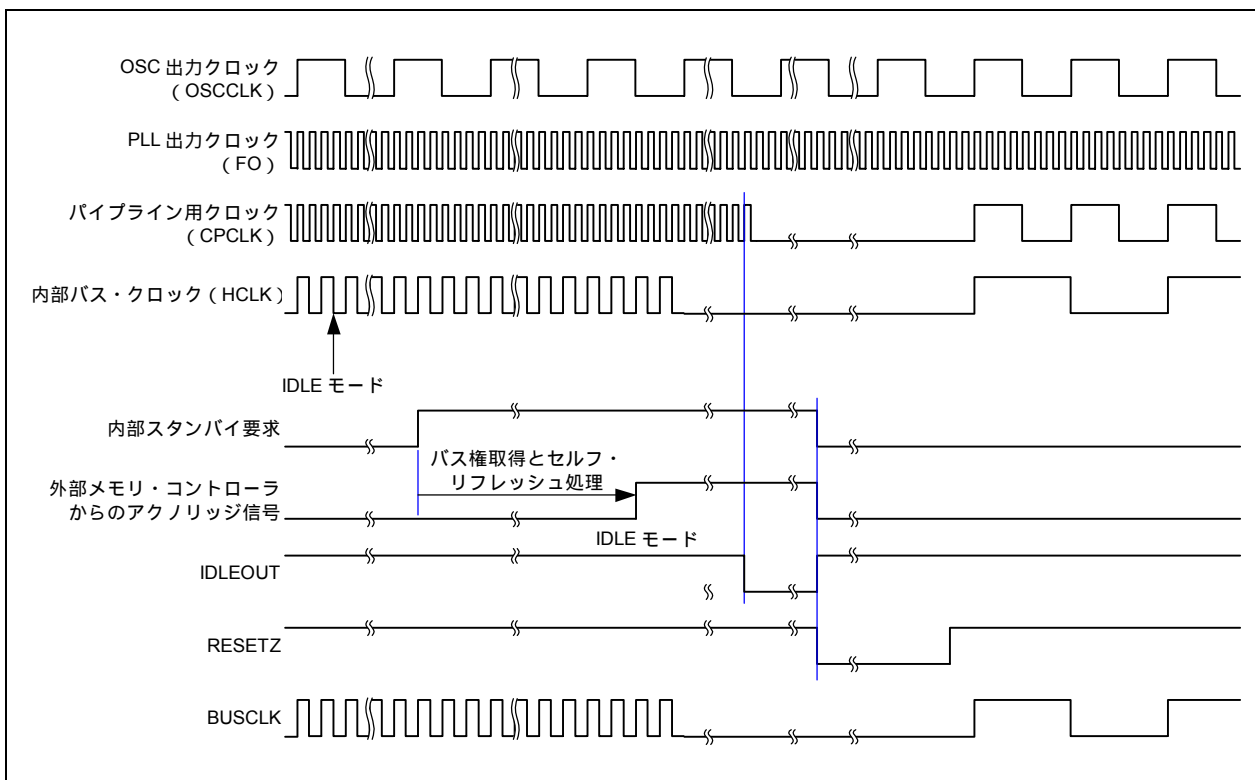
リセット動作のため、OSCCLK 動作に戻ります。

図 11 - 4 IDLE モードへの設定と外部割り込みによる IDLE モード解除時のクロック動作



- 備考 1. CPCLK と OSCCLK の位相は特定されません。
2. この例では HCLK は CPCLK の 2 分周に設定しています。
3. この例は IDLE モード設定時に、CPCLK と HCLK の位相関係により BUSCLK がロー・レベルで停止した場合です。

図 11 - 5 IDLE モードへの設定と RESETZ による IDLE モード解除の動作



備考 1. CPCLK と OSCCLK の位相は特定されません。

2. この例では HCLK は CPCLK の 2 分周に設定しています。

3. この例は IDLE モード設定時に、CPCLK と HCLK の位相関係により BUSCLK がロー・レベルで停止した場合は。

## 第12章 16 ビット・インターバル・タイマ M (TMM)

タイマ M (TMM) は、16 ビットのインターバル・タイマです。  
PFESiP/V850EP3 では、TMM0-TMM5 を内蔵しています。

### 12.1 概 要

TMMn の概要を次に示します (n = 0-5)

インターバル機能

クロック選択 × 8

16 ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)

コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)

コンペア一致割り込み × 1

OSCCLK 用専用プリスケアラ利用可能

IDLE モード解除機能 (TMM0, TMM1, TMM2)

A/D 変換トリガ機能 (TMM2, TMM3)

D/A 変換トリガ機能 (TMM4, TMM5) <sup>※</sup>

タイマ M はクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

**注** PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

## 12.2 構 成

TMMn は、次のハードウェアで構成されています (n = 0-5)。

表 12-1 TMMn の構成

項目	構成
タイマ・レジスタ	16 ビット・カウンタ × 各 1 本
レジスタ	TMMn コンペア・レジスタ 0 (TMnCMP0)
制御レジスタ	TMMn 制御レジスタ 0 (TMnCTL0)

備考 n = 0-5

図 12 - 1 TMM0, TMM2, TMM4 のブロック図

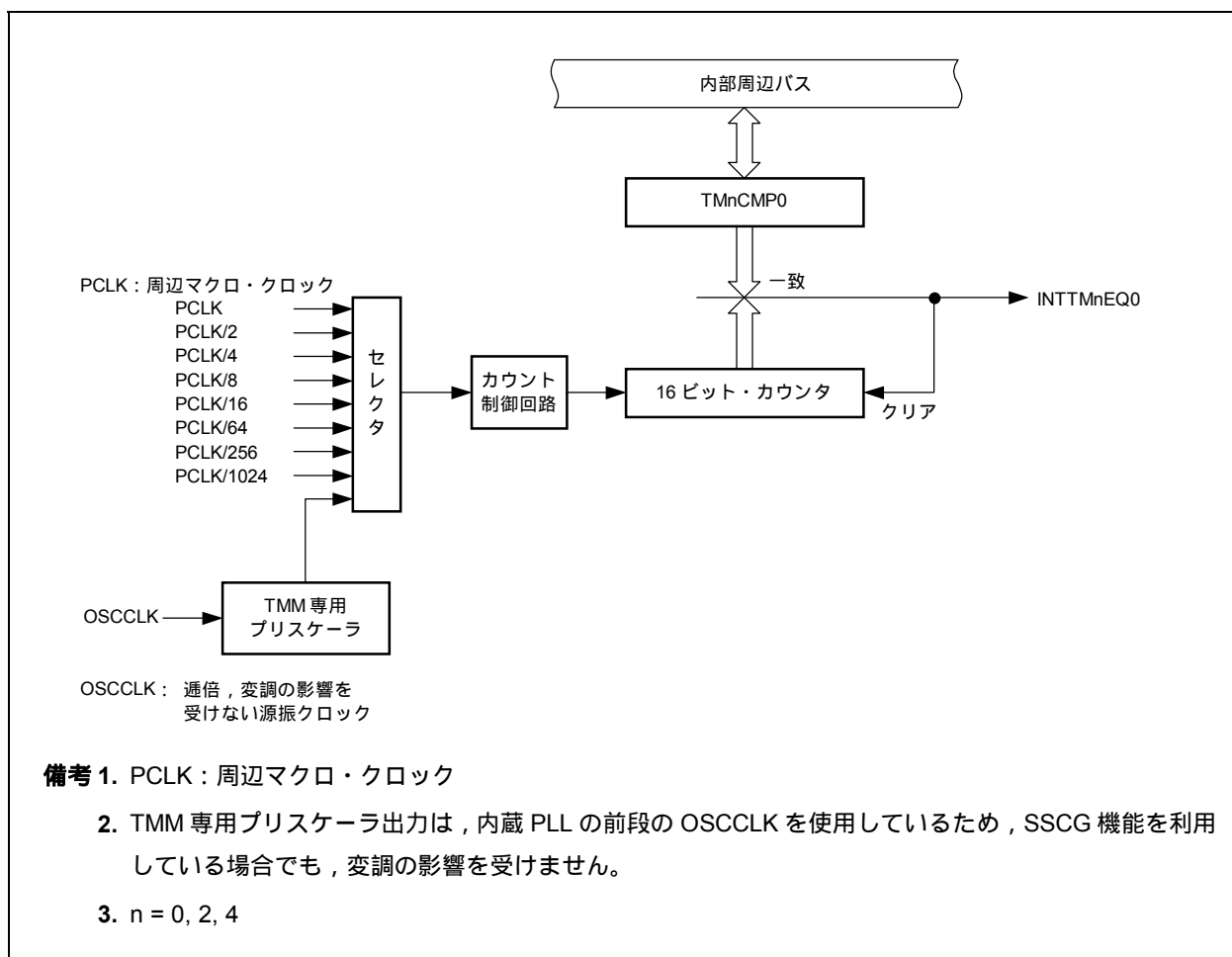
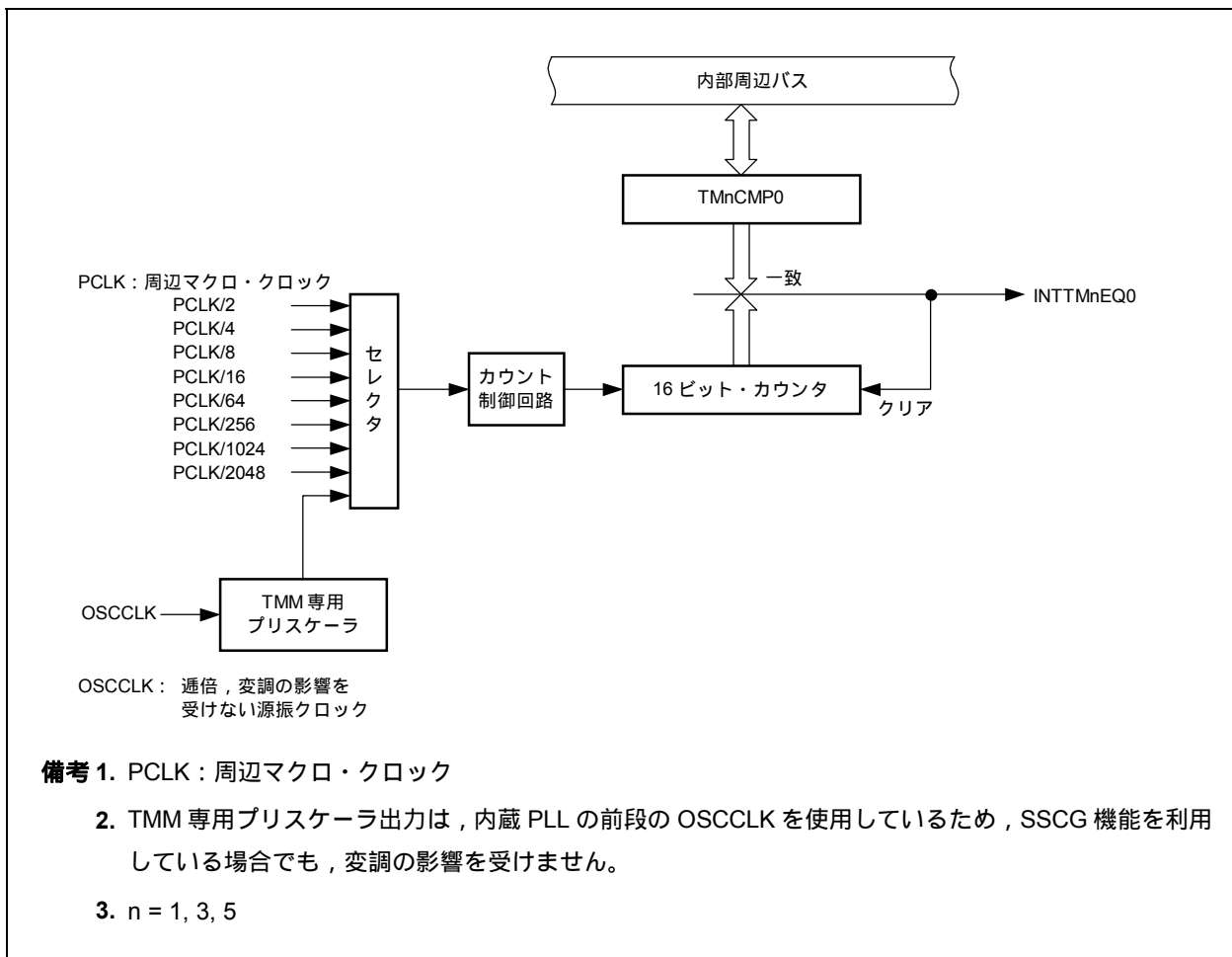


図 12 - 2 TMM1, TMM3, TMM5 のブロック図





## (1) 16 ビット・カウンタ

内部クロックをカウントする 16 ビットのカウンタです。  
16 ビット・カウンタはリード/ライトできません。

## (2) TMMn コンペア・レジスタ 0 (TMnCMP0)

TMnCMP0 レジスタは 16 ビットのコンペア・レジスタです。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

TMnCMP0 レジスタは、常時ソフトウェアでの同値書き込みができます。

TMMn 動作中 (TMnCTL0.TMnCE ビット = 1) , TMnCMP0 レジスタの書き換えは禁止です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMnCMP0																	0F1C 0610H +40H	0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
<b>備考 n = 0-5</b>																		

**注意** TMnCMP0 レジスタに 0003H 以下の値を設定した場合,INTTMnEQ0 割り込み要求信号は最初の 1 回のみ発生し,以後は発生しなくなります。TMnCMP0 レジスタには,0004H 以上の値を設定してください。(n = 0-5)。

## 12.3 制御レジスタ

### (1) TMMn 制御レジスタ 0 (TMnCTL0)

TMnCTL0 レジスタは TMMn の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TMnCTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

								アドレス	初期値	
TMnCTL0	7	6	5	4	3	2	1	0	0F1C 0602H +40H	00H
	TMnCE	0	0	0	TMnCK3	TMnCK2	TMnCK1	TMnCK0		
R/W	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																																				
7	TMnCE	TMMn の動作を制御します。 0 : TMMn 動作禁止 (TMMn を非同期にリセット※) 1 : TMMn 動作許可。動作クロック供給開始。TMMn 動作開始。 TMnCE ビットにより、TMMn の内部クロックの制御と内部回路のリセットを非同期に行います。 TMnCE ビットをクリア (0) すると、TMMn の内部クロックは停止 (ロー・レベル固定) し、16 ビット・カウンタが非同期にリセットされます。																																																																				
2-0	TMnCK3- TMnCK0	TMMn のカウント・クロックを選択します。 <table border="1"> <thead> <tr> <th rowspan="2">TMnCK3</th> <th rowspan="2">TMnCK2</th> <th rowspan="2">TMnCK1</th> <th rowspan="2">TMnCK0</th> <th colspan="2">TMMn のカウント・クロック</th> </tr> <tr> <th>TMM0, TMM2, TMM4</th> <th>TMM1, TMM3, TMM5</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>PCLK</td> <td>PCLK / 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>PCLK / 2</td> <td>PCLK / 4</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>PCLK / 4</td> <td>PCLK / 8</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>PCLK / 8</td> <td>PCLK / 16</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>PCLK / 16</td> <td>PCLK / 64</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>PCLK / 64</td> <td>PCLK / 256</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>PCLK / 256</td> <td>PCLK / 1024</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>PCLK / 1024</td> <td>PCLK / 2048</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td colspan="2">TMM 専用プリスケアラ出力</td> </tr> <tr> <td colspan="4">上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	TMnCK3	TMnCK2	TMnCK1	TMnCK0	TMMn のカウント・クロック		TMM0, TMM2, TMM4	TMM1, TMM3, TMM5	0	0	0	0	PCLK	PCLK / 2	0	0	0	1	PCLK / 2	PCLK / 4	0	0	1	0	PCLK / 4	PCLK / 8	0	0	1	1	PCLK / 8	PCLK / 16	0	1	0	0	PCLK / 16	PCLK / 64	0	1	0	1	PCLK / 64	PCLK / 256	0	1	1	0	PCLK / 256	PCLK / 1024	0	1	1	1	PCLK / 1024	PCLK / 2048	1	1	1	1	TMM 専用プリスケアラ出力		上記以外				設定禁止	
TMnCK3	TMnCK2	TMnCK1					TMnCK0	TMMn のカウント・クロック																																																														
			TMM0, TMM2, TMM4	TMM1, TMM3, TMM5																																																																		
0	0	0	0	PCLK	PCLK / 2																																																																	
0	0	0	1	PCLK / 2	PCLK / 4																																																																	
0	0	1	0	PCLK / 4	PCLK / 8																																																																	
0	0	1	1	PCLK / 8	PCLK / 16																																																																	
0	1	0	0	PCLK / 16	PCLK / 64																																																																	
0	1	0	1	PCLK / 64	PCLK / 256																																																																	
0	1	1	0	PCLK / 256	PCLK / 1024																																																																	
0	1	1	1	PCLK / 1024	PCLK / 2048																																																																	
1	1	1	1	TMM 専用プリスケアラ出力																																																																		
上記以外				設定禁止																																																																		

**注意 1.** TMnCK3-TMnCK0 ビットは TMnCE ビット = 0 のときに設定してください。

ただし、TMnCE ビットを 0 から 1 に設定するときに、同時に TMnCK3-TMnCK0 ビットを設定することはできません。

**2.** ビット 6-3 には必ず 0 を設定してください。

**備考 1.** n = 0-5

**2.** PCLK = 周辺マクロ・クロック

**3.** TMM 専用プリスケアラ出力は、内蔵 PLL の前段のクロックを使用しているため、SSCG 機能を利用している場合でも、変調の影響を受けません。また IDLE モードでも停止しません。

## 12.4 動作

### 12.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCE ビットをセット (1) することで、TMnCMP0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTMnEQ0) を発生します。

図 12 - 3 インターバル・タイマの構成図

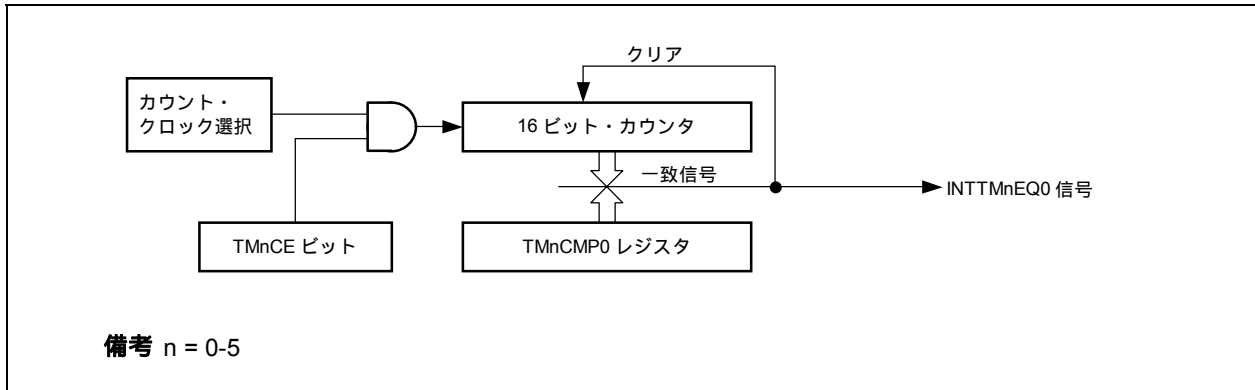
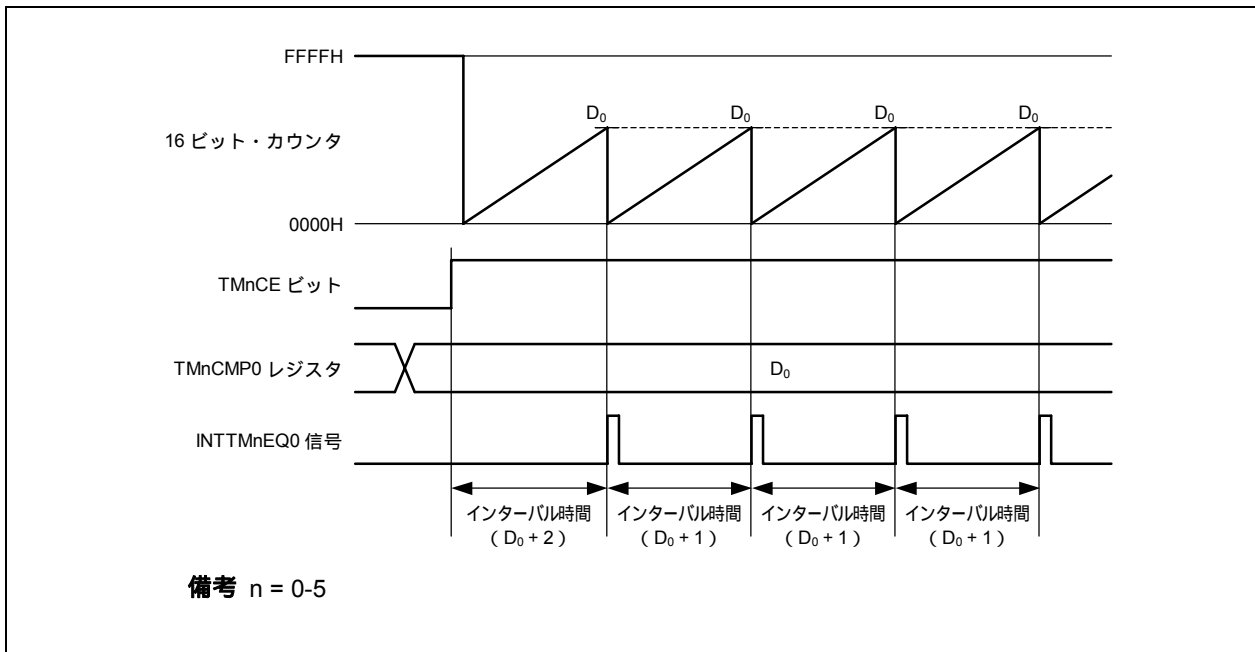


図 12 - 4 インターバル・タイマ・モード動作の基本タイミング



TMnCE ビットをセット (1) することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。

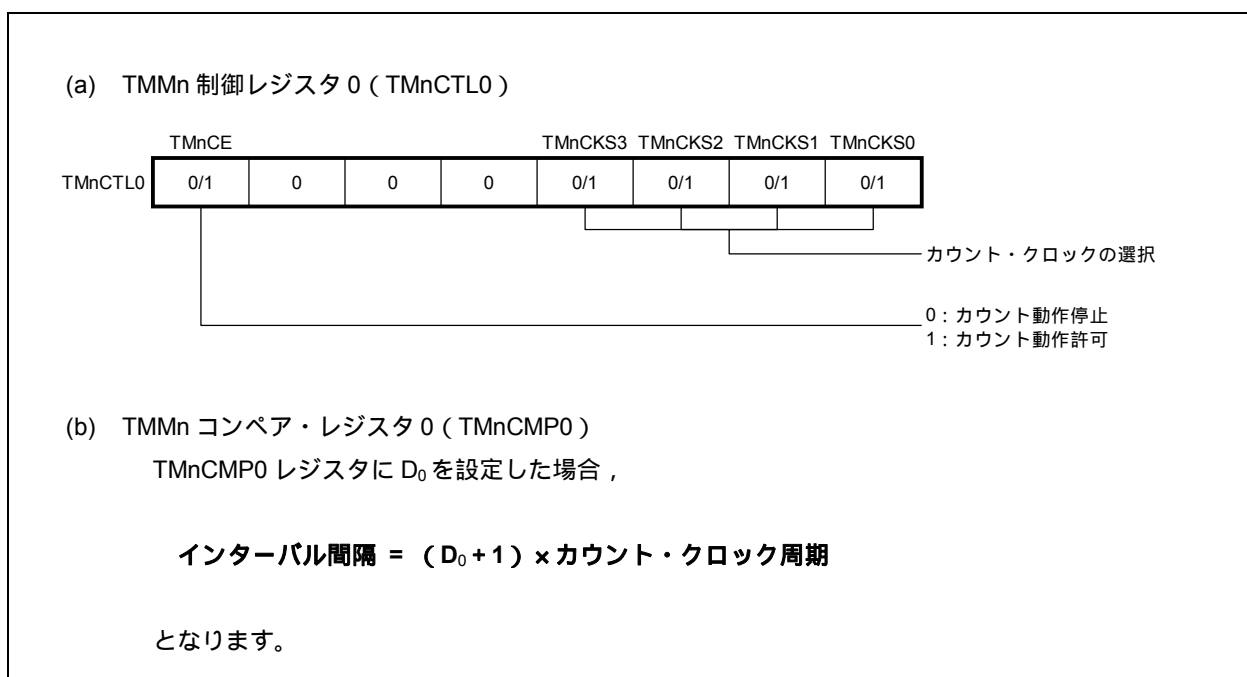
16 ビット・カウンタのカウント値と TMnCMP0 レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、コンペア一致割り込み要求信号 (INTTMnEQ0) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TMnCMP0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

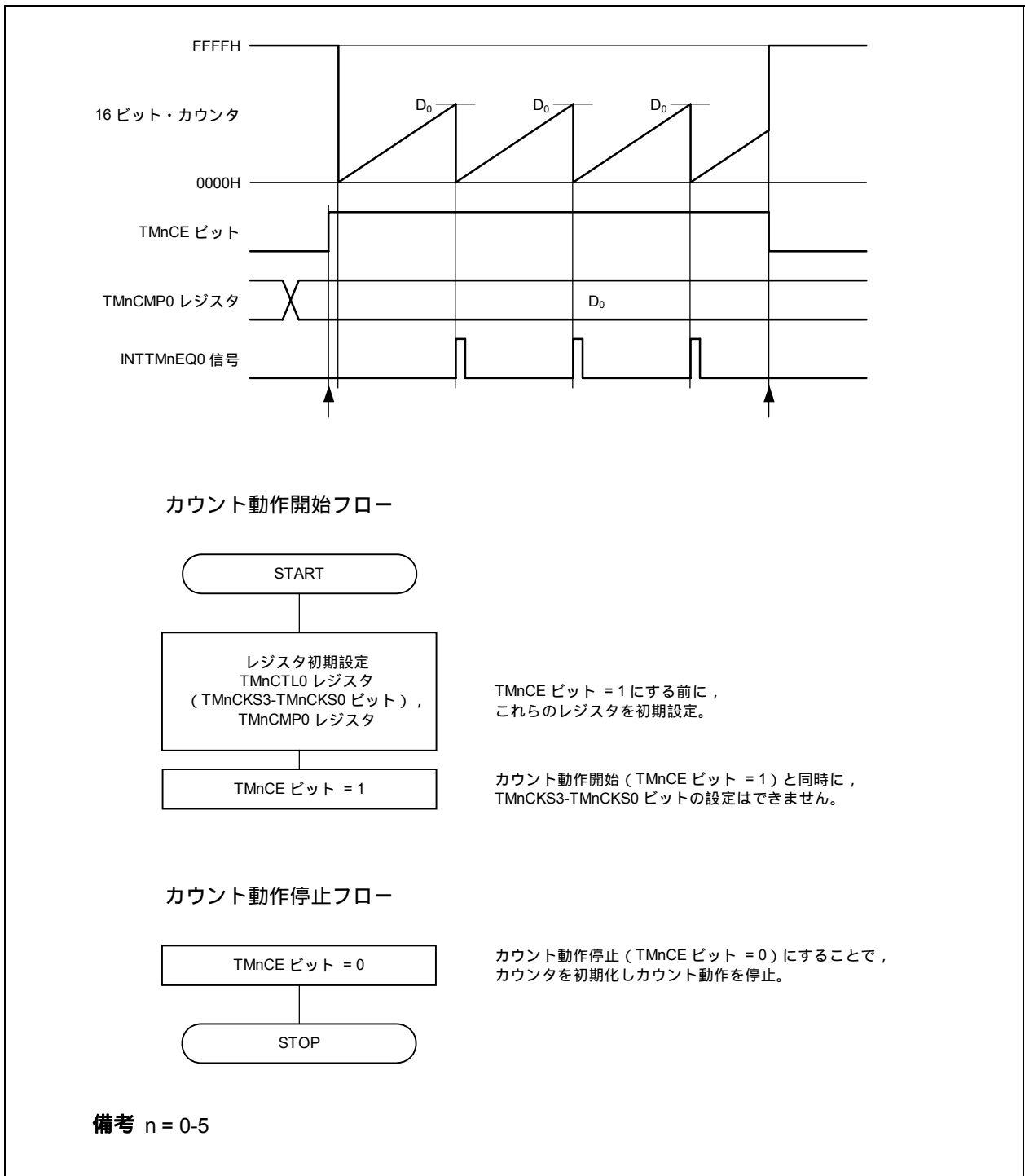
備考 n = 0-5

図 12 - 5 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

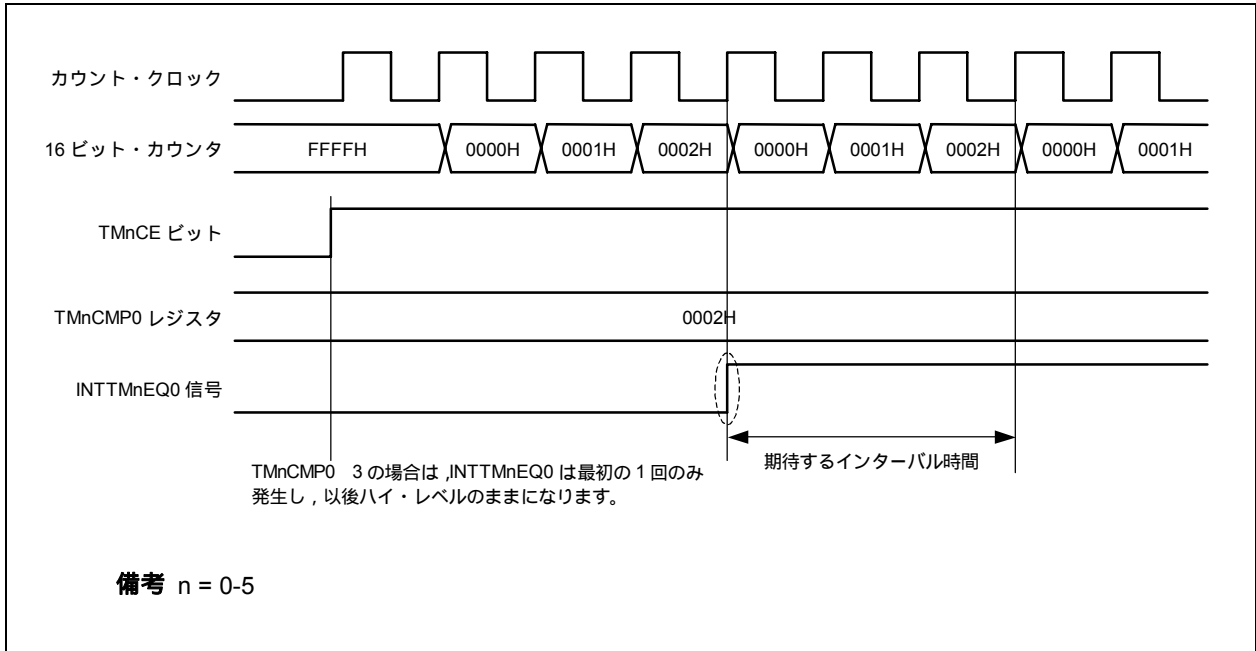
図 12 - 6 インターバル・タイマ・モード使用時のソフトウェア処理フロー



## (2) インターバル・タイマ・モード動作タイミング

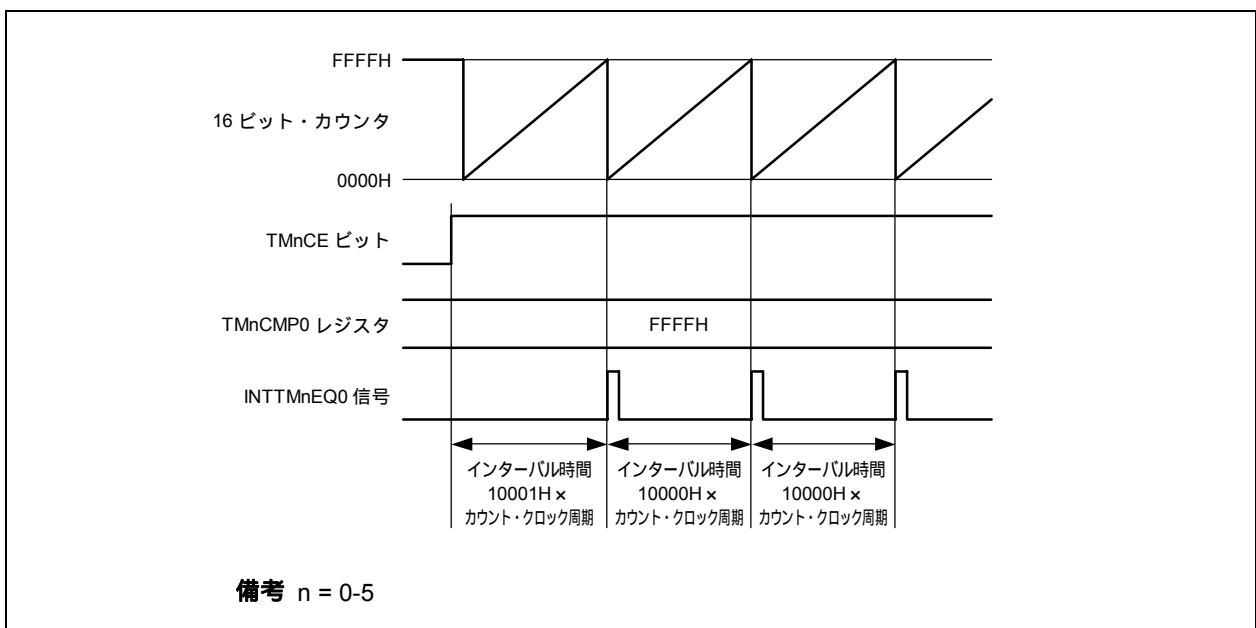
## (a) TMnCMP0 レジスタに 0003H 以下を設定した場合の動作

TMnCMP0 レジスタに 0003H 以下の値を設定した場合，INTTMnEQ0 割り込み要求信号は最初の 1 回のみ発生し，以後は発生しなくなります。TMnCMP0 レジスタには，0004H 以上の値を設定してください。



## (b) TMnCMP0 レジスタに FFFFH を設定した場合の動作

TMnCMP0 レジスタに FFFFH を設定した場合，16 ビット・カウンタは FFFFH までカウント動作を行い，次のカウント・アップ・タイミングに同期して，16 ビット・カウンタを 0000H にクリアし，INTTMnEQ0 信号を発生します。



## 12.5 TMM 専用プリスケアラ

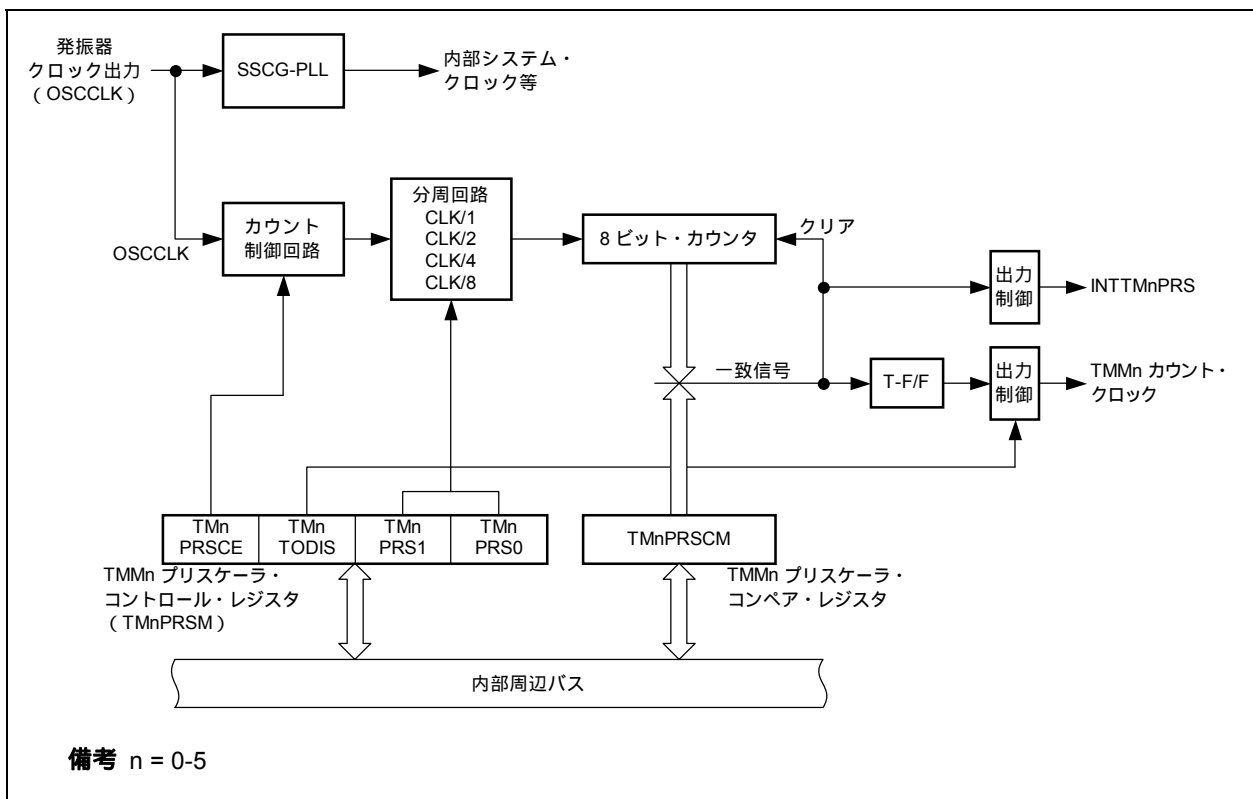
TMMn 制御レジスタ 0 (TMnCTL0) の TMnCKS3-TMnCKS0 ビットを 1111b に設定した場合、TMMn のカウント・クロックに TMMn 専用プリスケアラ出力が選択されます。

TMMn 専用プリスケアラの入力クロックは、内蔵 PLL の前段の発振器出力クロック (OSCCLK) を使用しているため、SSCG 機能を利用している場合でも、変調の影響を受けません。また、CPU を IDLE モードに設定している場合でも、カウント・クロックは停止しません。

また、TMMn のカウント・クロックに専用プリスケアラ出力を選択している場合は、TMMn からのコンペア一致割り込み要求信号のうち INTTM0EQ0, INTTM1EQ0, INTTM2EQ0 は IDLE モードを解除できます。

TMMn 専用プリスケアラは、TMMn のチャンネルごとに設けられています。

図 12 - 7 TMM 専用プリスケアラのブロック図



TMMn 専用プリスケアラは、最初に TMnPRSM.TMnPRS1, TMnPRS0 で入力クロックの選択、TMnPRSCM で TMMn 専用プリスケアラの出力 (分周値) を設定してから、TMnPRSM.TMnPRSCE をセット (1) して、動作を許可してください。

**注意** TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSM, TMnPRSCM レジスタの設定値を変更しないでください。

備考 n = 0-5

### 12.5.1 制御レジスタ

(1) TMMn プリスケアラ・モード・レジスタ (TMnPRSM)

TMnPRS レジスタは、TMMn 専用プリスケアラの動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMnPRSM	0	0	0	TMn PRSCE	0	TMn TODIS	TMn PRS1	TMn PRS0	0F1C 0C02H +10H × n	00H
R/W	0	0	0	R/W	0	R/W	R/W	R/W		

ビット位置	ビット名	意味																				
4, 2	TMnPRSCE, TMnTODIS	<p>TMMn 専用プリスケアラの動作を制御します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th>TMnPRSCE</th> <th>TMnTODIS</th> <th>TMM 専用 プリスケアラ出力</th> <th>INTTMnPRS 割り込み出力</th> <th>カウンタ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0/1</td> <td style="text-align: center;">0 固定</td> <td style="text-align: center;">0 固定</td> <td style="text-align: center;">01H 固定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">動作</td> <td style="text-align: center;">動作</td> <td style="text-align: center;">動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0 固定</td> <td style="text-align: center;">動作</td> <td style="text-align: center;">動作</td> </tr> </tbody> </table>	TMnPRSCE	TMnTODIS	TMM 専用 プリスケアラ出力	INTTMnPRS 割り込み出力	カウンタ	0	0/1	0 固定	0 固定	01H 固定	1	0	動作	動作	動作	1	1	0 固定	動作	動作
TMnPRSCE	TMnTODIS	TMM 専用 プリスケアラ出力	INTTMnPRS 割り込み出力	カウンタ																		
0	0/1	0 固定	0 固定	01H 固定																		
1	0	動作	動作	動作																		
1	1	0 固定	動作	動作																		
1, 0	TMnPRS1, TMnPRS0	<p>TMMn 専用プリスケアラの入カクロックを選択します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th>TMnPRS1</th> <th>TMnPRS0</th> <th>入カクロックの選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">OSCCLK</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">OSCCLK / 2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">OSCCLK / 4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">OSCCLK / 8</td> </tr> </tbody> </table>	TMnPRS1	TMnPRS0	入カクロックの選択	0	0	OSCCLK	0	1	OSCCLK / 2	1	0	OSCCLK / 4	1	1	OSCCLK / 8					
TMnPRS1	TMnPRS0	入カクロックの選択																				
0	0	OSCCLK																				
0	1	OSCCLK / 2																				
1	0	OSCCLK / 4																				
1	1	OSCCLK / 8																				

**注意 1.** 最初に TMnTODIS, TMnPRS1, TMnPRS0 を設定し、TMnPRSCE をセット (1) して、TMMn 専用プリスケアラの動作を許可してください。

**2.** TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSM レジスタの設定値を変更しないでください。

**備考 1.** n = 0-5

**2.** OSCCLK = 源振クロック



## (2) TMMn プリスケアラ・コンペア・レジスタ (TMnPRSCM)

TMnPRSCM レジスタは、TMM 専用プリスケアラの 8 ビットのコンペア・レジスタです。

TMMn 制御レジスタ (TMnCTL0) の TMnCK3-TMnCK0 ビットを 1111b に設定した場合の、TMMn のカウント・クロックを選択します。

8/1 ビット単位でリード/ライト可能です。

## (a) TMnPRSCM 設定値 = 00H

TMMn カウント・クロック = TMnPRSCM レジスタで選択したクロック / (256 × 2)

INTTMnPRS インターバル時間 = TMnPRSCM レジスタで選択したクロック / 256

## (b) TMnPRSCM 設定値 = 01H

TMMn カウント・クロック = TMnPRSCM レジスタで選択したクロック / 2

INTTMnPRS インターバル時間：最初の一回のみ発生し、以後発生しません。

## (c) 02H TMnPRSCM 設定値 FFH

TMMn カウント・クロック = TMnPRSCM レジスタで選択したクロック

/ (TMnPRSCM レジスタの設定値 × 2)

INTTMnPRS インターバル時間 = TMnPRSCM レジスタで選択したクロック

/ TMnPRSCM レジスタの設定値

	7	6	5	4	3	2	1	0	アドレス	初期値
TMn PRSCM	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	0F1C 0C07H +10H × n	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

**注意 1.** TMnPRSCM をセット (1) して、TMM 専用プリスケアラの動作を許可する前に、TMnPRSCM レジスタ設定を行ってください。

**2.** TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSCM レジスタの設定値を変更しないでください。

**備考** n = 0-5

### 12.5.2 動作

TMnPRSM.TMnPRSCE をセット (1) することで, TMnPRSM.TMnPRS1, TMnPRS0 で選択した入力クロック, TMnPRSCM レジスタで設定した分周値によるインターバル間隔で, 割り込み信号 (INTTMnPRS) を発生し, 同時にタイマ Mn (TMMn) に出力するクロックがトグル動作を行います。

(a) TMnPRSCM 設定値 = 00H

TMMn カウント・クロック = TMnPRSM レジスタで選択したクロック / (256 × 2)

INTTMnPRS インターバル時間 = TMnPRSM レジスタで選択したクロック / 256

(b) TMnPRSCM 設定値 = 01H

TMMn カウント・クロック = TMnPRSM レジスタで選択したクロック / 2

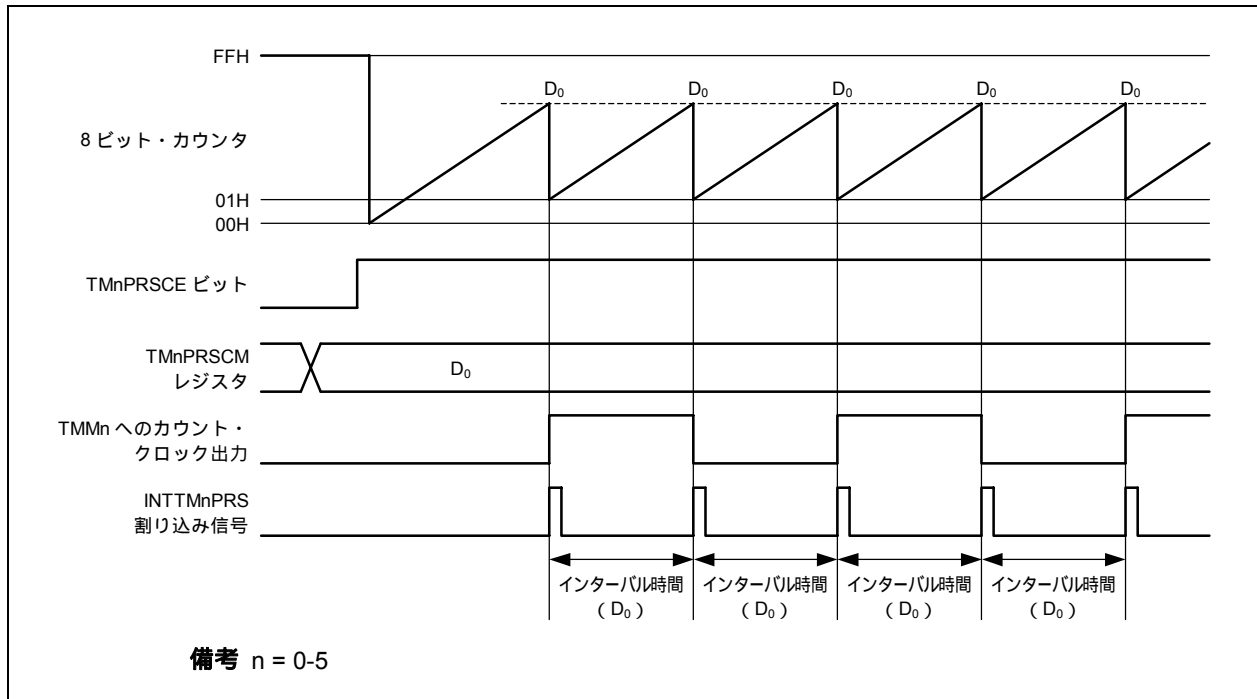
INTTMnPRS インターバル時間: 最初の一回のみ発生し, 以後発生しません。

(c) 02H TMnPRSCM 設定値 FFH

TMMn カウント・クロック = TMnPRSM レジスタで選択したクロック  
/ (TMnPRSCM レジスタの設定値 × 2)

INTTMnPRS インターバル時間 = TMnPRSM レジスタで選択したクロック  
/ TMnPRSCM レジスタの設定値

図 12 - 8 TMMn 専用プリスケアラの基本タイミング



**注意** TMnPRSCM レジスタに 01H を設定した場合, INTTMnPRS 割り込み信号は, 最初の一回のみ発生し, 以後発生しません。

備考 n = 0-5

## 12.6 IDLE モード解除トリガ

TMM0, TMM1, TMM2 から発生する INTTM0EQ0, INTTM1EQ0, INTTM2EQ0 割り込み信号のみ, IDLE モードを解除できます。

ただし, IDLE モードの解除要因として利用する場合には, そのタイマは IDLE モードで停止しないクロックで動作している必要があります。TMMn 制御レジスタ 0 (TMnCTL0) の TMnCKS3-TMnCKS0 ビットで, カウント・クロックに TMM 専用プリスケアラ出力を選択した場合のみ IDLE モード解除に利用できます。

TMM3-TMM5 から発生する割り込み信号では IDLE モードは解除できません。

## 12.7 A/D コンバータ, D/A コンバータの変換トリガ

A/D コンバータ, D/A コンバータは, タイマ・トリガ・モードで利用する場合, TMM の割り込み信号をトリガとして利用します。

以下に対応を示します。

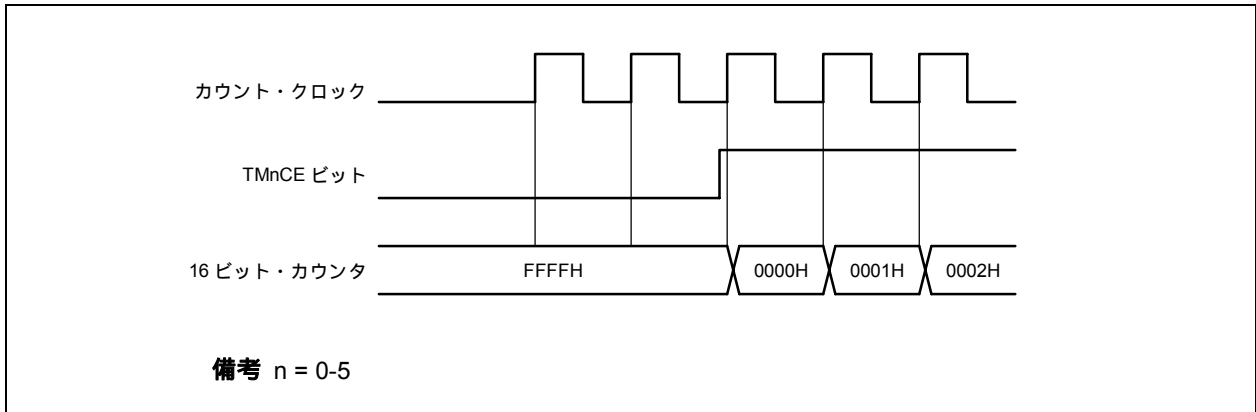
タイマ・トリガの対象	割り込み信号	割り込み発生 TMM チャンネル
A/D コンバータ	INTTM2EQ0	TMM2
	INTTM3EQ0	TMM3
D/A コンバータ VOA 出力	INTTM4EQ0	TMM4
D/A コンバータ VOB 出力	INTTM5EQ0 / INTTM4EQ0 <sup>※</sup>	TMM5 / TMM4

- 注 1. PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。
2. D/A コンバータの DAM1.TSY ビットの設定によって変わります。

## 12.8 注意事項

### (1) タイマ・スタート時の誤差

TMnCTL0.TMnCE ビット = 0 1 にして TMMn をスタートしてから、最初のコンペア一致割り込み要求信号 (INTTMnEQ0) が発生するまでの時間は、1 クロック長くなります。これは、TMnCE ビット = 0 のときの 16 ビット・カウンタの値が FFFFH であるためと、TMMn のスタートがカウント・クロックと非同期で行われるためです。



### (2) TMnCMP0, TMnCTL0 レジスタは TMMn 動作中の書き換えは禁止です。

TMnCTL0.TMnCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCE ビットをクリア (0) してから再設定してください。

### (3) 16 ビット・レジスタの 8 ビット・アクセスについて

TMM のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、TMM のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

**備考 n = 0-5**

★

## 第13章 16ビット・タイマ/カウンタ AA (TAA)

タイマ AA (TAA) は、16 ビットのタイマ/イベント・カウンタです。

ポート B を削除した TAA4, TAA5 は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能は利用できません。

### 13.1 概 要

次に、TAA $n$  の概要をチャンネルごとに示します (n = 0-5)。

★

表 13-1 TAA $n$  の概要

概 要	TAA0	TAA1	TAA2	TAA3	TAA4	TAA5
クロック選択	8 通り	8 通り	8 通り	8 通り	8 通り	8 通り
キャプチャ・トリガ入力端子	2 本	2 本	2 本	2 本	2 本	2 本
タイマ・カウンタ	1 本	1 本	1 本	1 本	1 本	1 本
キャプチャ/コンペア・レジスタ	2 本	2 本	2 本	2 本	2 本	2 本
キャプチャ/コンペア一致割り込み要求信号	2 本	2 本	2 本	2 本	2 本	2 本
オーバフロー割り込み要求信号	1 本	1 本	1 本	1 本	1 本	1 本
タイマ出力端子	2 本	2 本	2 本	2 本	2 本	2 本

## 13.2 機 能

TAA<sub>n</sub> で実現できる機能を次に示します (n = 0-5)。

★

表 13-2 TAA<sub>n</sub> の機能

概 要	TAA0	TAA1	TAA2	TAA3	TAA4	TAA5
インターバル・タイマ						
ワンショット・パルス出力					注	注
PWM 出力					注	注
フリー・ランニング・タイマ						
パルス幅測定					注	注
CAN コントローラのタイム・スタンプ機能	×	×	×	×	×	

注 ポート B の端子を削除しない場合に利用できます。

ポート B を削除した TAA4, TAA5 は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能は利用できます。

備考 TAA0, TAA2, TAA4 と TAA1, TAA3, TAA5 とでは、カウント・クロックの分周仕様が異なります。

### 13.3 構 成

TAA<sub>n</sub> は、次のハードウェアで構成されています (n = 0-5)。

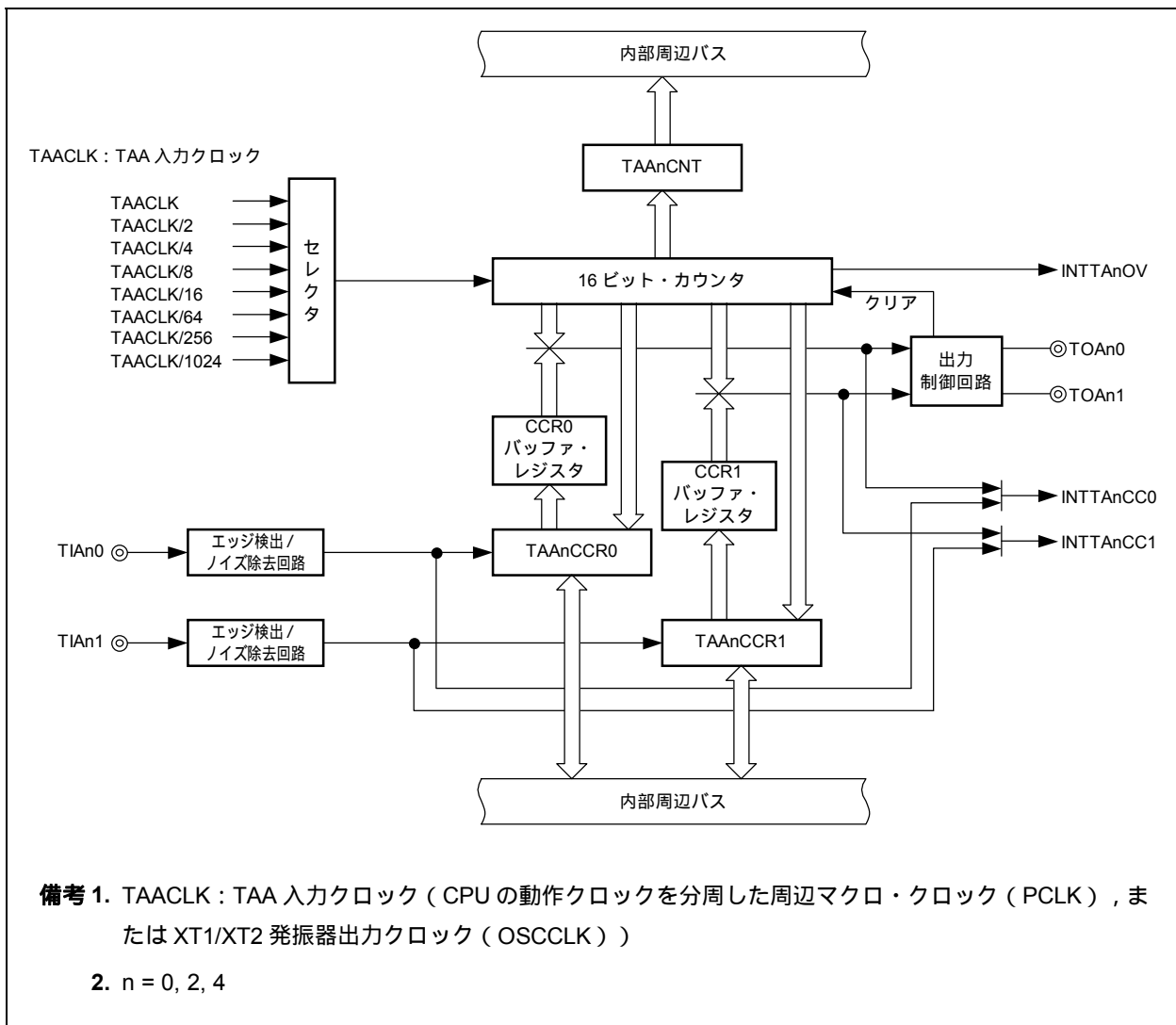
表 13-3 TAA<sub>n</sub> の構成

項目	構成
タイマ・レジスタ	16 ビット・カウンタ×各 1 本
レジスタ	TAA <sub>n</sub> キャプチャ/コンペア・レジスタ 0, 1 (TAA <sub>n</sub> CCR0, TAA <sub>n</sub> CCR1) TAA <sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA <sub>n</sub> CNT) CCR0, CCR1 バッファ・レジスタ
タイマ入力	計 12 本 (TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51)
タイマ出力	計 12 本 (TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31, TOA40, TOA41, TOA50, TOA51)
制御レジスタ	タイマ・クロック選択レジスタ (TCKSEL) TAA <sub>n</sub> 制御レジスタ 0, 1 (TAA <sub>n</sub> CTL0, TAA <sub>n</sub> CTL1) TAA <sub>n</sub> I/O 制御レジスタ 0, 1 (TAA <sub>n</sub> IOC0, TAA <sub>n</sub> IOC1) TAA <sub>n</sub> オプション・レジスタ 0 (TAA <sub>n</sub> OPT0) セレクト動作制御レジスタ (SELCNT0)

★

備考 n = 0-5

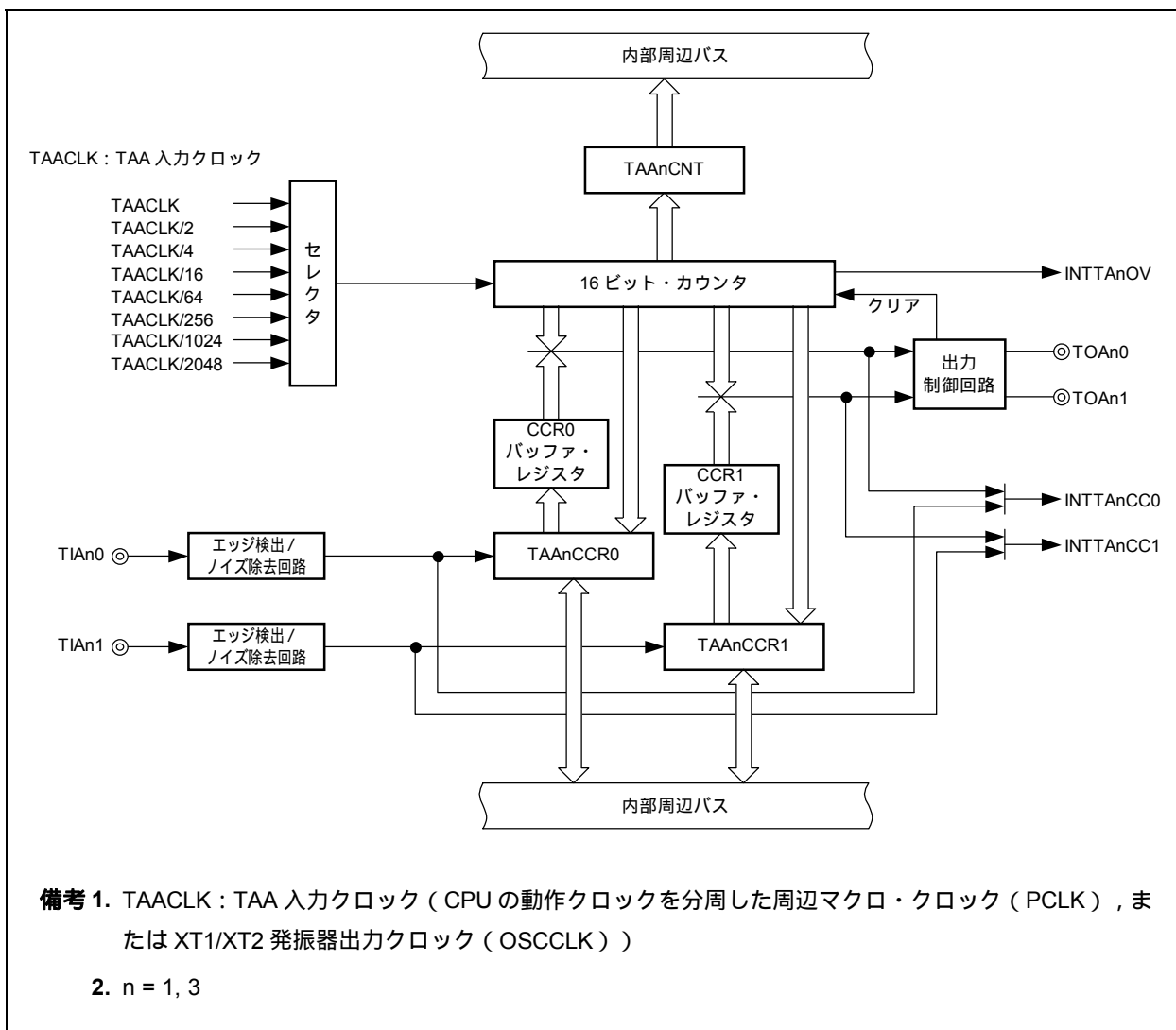
★ 図 13 - 1 TAA0, TAA2, TAA4 のブロック図





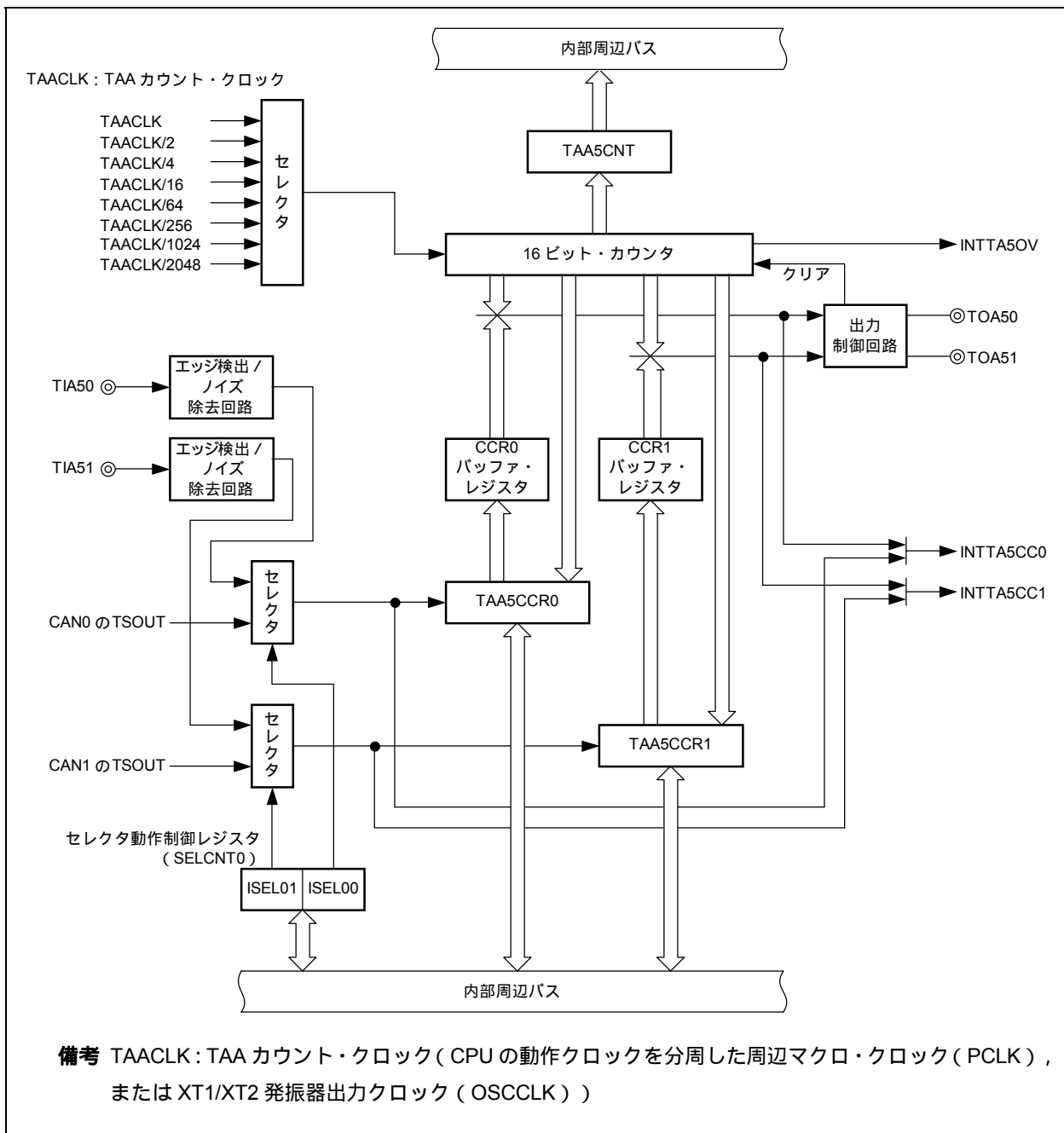
★

図 13 - 2 TAA1, TAA3 のブロック図



★

図 13 - 3 TAA5 のブロック図



## (1) 16 ビット・カウンタ

★

内部クロックをカウントする 16 ビットのカウンタです。

16 ビット・カウンタのカウント値は、TAAncNT レジスタでリードできます。

TAAncTL0.TAAncCE ビット = 0 のとき、16 ビット・カウンタは FFFFH になりますが、このとき TAAncNT レジスタをリードすると 0000H がリードされます。

リセット時には TAAncCE ビット = 0 になります。

## (2) CCR0 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAAncCCR0 レジスタをコンペア・レジスタとして使用するとき、TAAncCCR0 レジスタにライトした値が CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAnCC0) を発生します。

CCR0 バッファ・レジスタは、直接リード/ライトできません。

リセット時には TAAncCCR0 レジスタが 0000H になり、CCR0 バッファ・レジスタも 0000H になります。

## (3) CCR1 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAAncCCR1 レジスタをコンペア・レジスタとして使用するとき、TAAncCCR1 レジスタにライトした値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAnCC1) を発生します。

CCR1 バッファ・レジスタは、直接リード/ライトできません。

リセット時には TAAncCCR1 レジスタが 0000H になり、CCR1 バッファ・レジスタも 0000H になります。

## (4) エッジ検出回路

★

TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51 端子に入力される有効エッジを検出します。有効エッジは、TAAncIOC1 レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

## (5) 出力制御回路

TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31, TOA40, TOA41, TOA50, TOA51 端子の出力を TAAncIOC0 レジスタで制御します。

## (6) セレクタ

★

16 ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8 種類の内部クロックから選択できます。

## 13.4 レジスタ

- ★ (1) タイマ・クロック選択レジスタ (TCKSEL)
  - 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) の入力クロックを選択します。
  - 8 ビット単位でリード/ライト可能です。
  - カウント・クロックに, CPU の動作クロックを分周した周辺マクロ・クロック (PCLK) と, XT1/XT2 発振器出力クロック (OSCCLK) から選択できます。カウント・クロックの選択は, 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネルごとに行えます。
  - カウント・クロックの選択は, TAA nCTL0 レジスタで選択できるすべての分周比のクロックが一括で切り替わります (n = 0-5)。
  - OSCCLK を選択している場合は, SSCG 機能を利用している場合でも, 変調の影響を受けません。また, CPU を IDLE モードに設定している場合でも, カウント・クロックは停止しません。ただし 16 ビット・タイマ/カウンタ AA (TAA) から発生する割り込みでは, IDLE モードの解除はできません。
  
- ★ **注意** TCKSEL レジスタの変更は, すべての 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) の動作が禁止されている状態で行ってください。また, TCKSEL レジスタへの書き込みは, リセット後のイニシャライズ処理で行い, 書き込み後は値を変更しないでください。  
それぞれのタイマの動作許可/禁止は, 16 ビット・タイマ/カウンタ AA (TAA) は TAA nCTRL0.TAA nCE, 16 ビット・タイマ/イベント・カウンタ T (TMT) は TTmCTL0.TTmCE で設定します (n = 0-5, m = 0, 1)。

								アドレス	初期値	
7	6	5	4	3	2	1	0	0F1C 0FEAH	00H	
TCKSEL	TSTT1	TSTT0	TSTAA5	TSTAA4	TSTAA3	TSTAA2	TSTAA1	TSTAA0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意味								
7	TSTT1	16 ビット・タイマ/イベント・カウンタ T1 (TMT1) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)								
6	TSTT0	16 ビット・タイマ/イベント・カウンタ T0 (TMT0) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)								
★	5	TSTAA5	16 ビット・タイマ/カウンタ AA5 (TAA5) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							
★	4	TSTAA4	16 ビット・タイマ/カウンタ AA4 (TAA4) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							
★	3	TSTAA3	16 ビット・タイマ/カウンタ AA3 (TAA3) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							
★	2	TSTAA2	16 ビット・タイマ/カウンタ AA2 (TAA2) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							
★	1	TSTAA1	16 ビット・タイマ/カウンタ AA1 (TAA1) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							
★	0	TSTAA0	16 ビット・タイマ/カウンタ AA0 (TAA0) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)							

(2) TAA<sub>n</sub> 制御レジスタ 0 (TAA<sub>n</sub>CTL0)

TAA<sub>n</sub>CTL0 レジスタは、TAA<sub>n</sub> の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TAA<sub>n</sub>CTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
TAA <sub>n</sub> CTL0	TAA <sub>n</sub> CE	0	0	0	0	TAA <sub>n</sub> CKS2	TAA <sub>n</sub> CKS1	TAA <sub>n</sub> CKS0	0F1C 0302H +80H × n	00H
R/W	R/W	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																		
7	TAA <sub>n</sub> CE	TAA <sub>n</sub> の動作を制御します。 0 : TAA <sub>n</sub> 動作禁止 (TAA <sub>n</sub> を非同期にリセット <sup>※</sup> ) 1 : TAA <sub>n</sub> 動作許可。TAA <sub>n</sub> 動作開始																																																		
2-0	TAA <sub>n</sub> CKS2- TAA <sub>n</sub> CKS0	TAA <sub>n</sub> のカウント・クロックを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="3"></th> <th colspan="2">TAA<sub>n</sub> のカウント・クロック</th> </tr> <tr> <th>TAA<sub>n</sub>CKS2</th> <th>TAA<sub>n</sub>CKS1</th> <th>TAA<sub>n</sub>CKS0</th> <th>TAA0, TAA2, TAA4</th> <th>TAA1, TAA3, TAA5</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>入力クロック</td> <td>入力クロック</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>入力クロック / 2</td> <td>入力クロック / 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>入力クロック / 4</td> <td>入力クロック / 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>入力クロック / 8</td> <td>入力クロック / 16</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>入力クロック / 16</td> <td>入力クロック / 64</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>入力クロック / 64</td> <td>入力クロック / 256</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>入力クロック / 256</td> <td>入力クロック / 1024</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>入力クロック / 1024</td> <td>入力クロック / 2048</td> </tr> </tbody> </table>				TAA <sub>n</sub> のカウント・クロック		TAA <sub>n</sub> CKS2	TAA <sub>n</sub> CKS1	TAA <sub>n</sub> CKS0	TAA0, TAA2, TAA4	TAA1, TAA3, TAA5	0	0	0	入力クロック	入力クロック	0	0	1	入力クロック / 2	入力クロック / 2	0	1	0	入力クロック / 4	入力クロック / 4	0	1	1	入力クロック / 8	入力クロック / 16	1	0	0	入力クロック / 16	入力クロック / 64	1	0	1	入力クロック / 64	入力クロック / 256	1	1	0	入力クロック / 256	入力クロック / 1024	1	1	1	入力クロック / 1024	入力クロック / 2048
			TAA <sub>n</sub> のカウント・クロック																																																	
TAA <sub>n</sub> CKS2	TAA <sub>n</sub> CKS1	TAA <sub>n</sub> CKS0	TAA0, TAA2, TAA4	TAA1, TAA3, TAA5																																																
0	0	0	入力クロック	入力クロック																																																
0	0	1	入力クロック / 2	入力クロック / 2																																																
0	1	0	入力クロック / 4	入力クロック / 4																																																
0	1	1	入力クロック / 8	入力クロック / 16																																																
1	0	0	入力クロック / 16	入力クロック / 64																																																
1	0	1	入力クロック / 64	入力クロック / 256																																																
1	1	0	入力クロック / 256	入力クロック / 1024																																																
1	1	1	入力クロック / 1024	入力クロック / 2048																																																

注 TAA<sub>n</sub>OPT0.TAA<sub>n</sub>OVF ビット , 16 ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOAn0, TOAn1 端子) も TAA<sub>n</sub>IOC0 レジスタの設定状態に 16 ビット・カウンタと同時にリセットされます。

備考 1. n = 0-5

2. 入力クロックは、タイマ・クロック選択レジスタ (TCKSEL) で選択してください。

★

- 注意 1. 内部の割り込みコントローラや、DMA コントローラとの同期化のため、16 ビット・タイマ/カウンタ AA (TAA) から発生する割り込み信号のパルス幅の拡幅を行っています。このため 16 ビット・タイマ/カウンタ AA (TAA) から発生する同一の割り込み信号の間隔が、16 ビット・タイマ/カウンタ AA (TAA) 入力クロック (TAACLK : PCLK または OSCCLK) の 4 クロック以下場合は、正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには、TAAAnCTL0 レジスタの TAAAnCKS2-TAAAnCKS0 ビットで 入力クロック / 8 以上 (TAA0, TAA2, TAA4 は 011 以上 ,TAA1, TAA3, TAA5 は 010 以上)としてください。この制限事項は 16 ビット・タイマ/カウンタ AA(TAA) から割り込みコントローラ、DMA コントローラへの割り込み出力に限った制限事項です。
2. TAAAnCKS2-TAAAnCKS0 ビットは、TAAAnCE ビット = 0 のときに設定してください。TAAAnCE ビットを “0” から “1” に設定するときも、同時に TAAAnCKS2-TAAAnCKS0 ビットを設定できます。
3. ビット 6-3 には必ず 0 を設定してください。

備考 n = 0-5

(3) TAA<sub>n</sub> 制御レジスタ 1 (TAA<sub>n</sub>CTL1)

TAA<sub>n</sub>CTL1 レジスタは、TAA<sub>n</sub> の動作を制御する 8 ビットのレジスタです。  
 8/1 ビット単位でリード/ライト可能です。  
 リセットにより 00H になります。

★

	7	6	5	4	3	2	1	0	アドレス	初期値
TAA <sub>n</sub> CTL1	0	TAA <sub>n</sub> EST	0	0	0	TAA <sub>n</sub> MD2	TAA <sub>n</sub> MD1	TAA <sub>n</sub> MD0	0F1C 0307H +80H × n	00H
R/W	0	R/W	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味																																			
6	TAA <sub>n</sub> EST	ソフトウェア・トリガ制御を行います。 TAA <sub>n</sub> EST ビットのリード値は常に 0 です。 ワンショット・パルス出力モード時に、TAA <sub>n</sub> EST ビットへの“1”ライトをトリガとして、ワンショット・パルスを出力																																			
2-0	TAA <sub>n</sub> MD2- TAA <sub>n</sub> MD0	TAA <sub>n</sub> の動作モードを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TAA<sub>n</sub>MD2</th> <th>TAA<sub>n</sub>MD1</th> <th>TAA<sub>n</sub>MD0</th> <th>TAA<sub>n</sub> の動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>インターバル・タイマ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td rowspan="2">設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ワンショット・パルス出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PWM 出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>フリー・ランニング・タイマ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>パルス幅測定モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAA <sub>n</sub> MD2	TAA <sub>n</sub> MD1	TAA <sub>n</sub> MD0	TAA <sub>n</sub> の動作モード	0	0	0	インターバル・タイマ・モード	0	0	1	設定禁止	0	1	0	0	1	1	ワンショット・パルス出力モード	1	0	0	PWM 出力モード	1	0	1	フリー・ランニング・タイマ・モード	1	1	0	パルス幅測定モード	1	1	1	設定禁止
TAA <sub>n</sub> MD2	TAA <sub>n</sub> MD1	TAA <sub>n</sub> MD0	TAA <sub>n</sub> の動作モード																																		
0	0	0	インターバル・タイマ・モード																																		
0	0	1	設定禁止																																		
0	1	0																																			
0	1	1	ワンショット・パルス出力モード																																		
1	0	0	PWM 出力モード																																		
1	0	1	フリー・ランニング・タイマ・モード																																		
1	1	0	パルス幅測定モード																																		
1	1	1	設定禁止																																		

注意 1. ビット 7, 5-3 には必ず 0 を設定してください。

- 2. TAA<sub>n</sub>EST ビットは、ワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 3. TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビットは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 のときに設定してください (TAA<sub>n</sub>CE ビット = 1 のときの同値書き込みは可能)。TAA<sub>n</sub>CE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TAA<sub>n</sub>CE ビットをクリア (0) してから再設定してください。

備考 n = 0-5



(4) TAAAnI/O 制御レジスタ 0 (TAAAnIOC0)

TAAAnIOC0 レジスタは、タイマ出力 (TOAn0, TOAn1 端子) を制御する 8 ビットのレジスタです。  
8/1 ビット単位でリード/ライト可能です。  
リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAAAnIOC0	0	0	0	0	TAAAnOL1	TAAAnOE1	TAAAnOL0	TAAAnOE0	0F1C 030AH +80H × n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
3	TAAAnOL1	TOAn1 端子の出力レベルを設定します。 0 : TOAn1 端子ハイ・レベル・スタート 1 : TOAn1 端子ロー・レベル・スタート
2	TAAAnOE1	TOAn1 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TAAAnOL1 ビット = 0 のとき TOAn1 端子からロー・レベルを出力 ・ TAAAnOL1 ビット = 1 のとき TOAn1 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOAn1 端子からパルスを出力)
1	TAAAnOL0	TOAn0 端子の出力レベルを設定します。 0 : TOAn0 端子ハイ・レベル・スタート 1 : TOAn0 端子ロー・レベル・スタート
0	TAAAnOE0	TOAn0 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TAAAnOL0 ビット = 0 のとき TOAn0 端子からロー・レベルを出力 ・ TAAAnOL0 ビット = 1 のとき TOAn0 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOAn0 端子からパルスを出力)

- 注意 1.** ポート設定が TOAn0, TOAn1 出力設定の場合, TAAAnIOC0 レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
- 2.** TAAAnOL1, TAAAnOE1, TAAAnOL0, TAAAnOE0 ビットは, TAAAnCTL0.TAAAnCE ビット = 0 のときに書き換えてください (TAAAnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は, TAAAnCE ビットをクリア (0) してから再設定してください。
- 3.** TAAAnCE ビット = 0, TAAAnOE0 ビット = 0, TAAAnOE1 ビット = 0 の状態において, TAAAnOL0 ビット, TAAAnOL1 ビットを操作した場合でも, TOAn0, TOAn1 端子の出力レベルは変化します。
- 4.** ビット 7-4 には必ず 0 を設定してください。

備考 n = 0-5

(5) TAA<sub>n</sub>I/O 制御レジスタ 1 (TAA<sub>n</sub>IOC1)

TAA<sub>n</sub>IOC1 レジスタは、キャプチャ・トリガ入力信号 (TIA<sub>n</sub>0, TIA<sub>n</sub>1 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TAA <sub>n</sub> IOC1	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	0	0	TAA <sub>n</sub> IS3	TAA <sub>n</sub> IS2	TAA <sub>n</sub> IS1	TAA <sub>n</sub> IS0	0F1C 030FH +80H × n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味															
3, 2	TAA <sub>n</sub> IS3, TAA <sub>n</sub> IS2	<p>キャプチャ・トリガ入力信号 (TIA<sub>n</sub>1 端子) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAA<sub>n</sub>IS3</th> <th>TAA<sub>n</sub>IS2</th> <th>キャプチャ・トリガ入力信号 (TIA<sub>n</sub>1 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (キャプチャ動作無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TAA <sub>n</sub> IS3	TAA <sub>n</sub> IS2	キャプチャ・トリガ入力信号 (TIA <sub>n</sub> 1 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TAA <sub>n</sub> IS3	TAA <sub>n</sub> IS2	キャプチャ・トリガ入力信号 (TIA <sub>n</sub> 1 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TAA <sub>n</sub> IS1, TAA <sub>n</sub> IS0	<p>キャプチャ・トリガ入力信号 (TIA<sub>n</sub>0 端子) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAA<sub>n</sub>IS1</th> <th>TAA<sub>n</sub>IS0</th> <th>キャプチャ・トリガ入力信号 (TIA<sub>n</sub>0 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (キャプチャ動作無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TAA <sub>n</sub> IS1	TAA <sub>n</sub> IS0	キャプチャ・トリガ入力信号 (TIA <sub>n</sub> 0 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TAA <sub>n</sub> IS1	TAA <sub>n</sub> IS0	キャプチャ・トリガ入力信号 (TIA <sub>n</sub> 0 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

**注意 1.** TAA<sub>n</sub>IS3-TAA<sub>n</sub>IS0 ビットは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 のときに書き換えてください (TAA<sub>n</sub>CE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TAA<sub>n</sub>CE ビットをクリア (0) してから再設定してください。

**2.** TAA<sub>n</sub>IS3-TAA<sub>n</sub>IS0 ビットは、フリー・ランニング・タイマ・モード (TAA<sub>n</sub>OPT0.TAA<sub>n</sub>CCS1, TAA<sub>n</sub>CCS0 ビット = 11 時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

**3.** ビット 7-4 には必ず 0 を設定してください。

備考 n = 0-5

(6) TAA<sub>n</sub> オプション・レジスタ 0 (TAA<sub>n</sub>OPT0)

TAA<sub>n</sub>OPT0 レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TAA <sub>n</sub> OPT0	7	6	5	4	3	2	1	0	アドレス 0F1C 0317H +80H × n	初期値 00H
	0	0	TAA <sub>n</sub> CCS1	TAA <sub>n</sub> CCS0	0	0	0	TAA <sub>n</sub> OVF		
R/W	0	0	R/W	R/W	0	0	0	R/W		

ビット位置	ビット名	意味
5	TAA <sub>n</sub> CCS1	TAA <sub>n</sub> CCR1 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TAA <sub>n</sub> CTL0.TAA <sub>n</sub> CE ビット = 0 によりクリア) TAA <sub>n</sub> CCS1 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
4	TAA <sub>n</sub> CCS0	TAA <sub>n</sub> CCR0 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TAA <sub>n</sub> CTL0.TAA <sub>n</sub> CE ビット = 0 によりクリア) TAA <sub>n</sub> CCS0 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
0	TAA <sub>n</sub> OVF <sup>注</sup>	TAA <sub>n</sub> のオーバフロー検出フラグです。 セット (1) : オーバフロー発生 リセット (0) : TAA <sub>n</sub> OVF ビットへの 0 書き込みまたは TAA <sub>n</sub> CTL0.TAA <sub>n</sub> CE ビット = 0 <ul style="list-style-type: none"> <li>TAA<sub>n</sub>OVF ビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバフローするときセット (1) されます。</li> <li>TAA<sub>n</sub>OVF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTAA<sub>n</sub>OV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA<sub>n</sub>OV 信号は発生しません。</li> <li>TAA<sub>n</sub>OVF ビット = 1 のときに TAA<sub>n</sub>OVF ビットまたは TAA<sub>n</sub>OPT0 レジスタをリードしても、TAA<sub>n</sub>OVF ビットはクリア (0) されません。</li> <li>INTTAA<sub>n</sub>OV 信号発生後、TAA<sub>n</sub>OVF ビットをクリア (0) する場合は、必ず TAA<sub>n</sub>OVF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>TAA<sub>n</sub>OVF ビットはリード/ライト可能ですが、ソフトウェアで TAA<sub>n</sub>OVF ビットをセット (1) することはできません。1 をライトしても TAA<sub>n</sub> の動作に影響はありません。</li> </ul>

**注** このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

**注意 1.** TAA<sub>n</sub>CCS1, TAA<sub>n</sub>CCS0 ビットは、TAA<sub>n</sub>CE ビット = 0 のときに書き換えてください (TAA<sub>n</sub>CE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TAA<sub>n</sub>CE ビットをクリア (0) してから再設定してください。

**2.** ビット 7, 6, 3-1 には必ず 0 を設定してください。

**備考** n = 0-5

(7) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 0 (TAA<sub>n</sub>CCR0)

TAA<sub>n</sub>CCR0 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TAA<sub>n</sub>CCR0 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA<sub>n</sub>OPT0.TAA<sub>n</sub>CCS0 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA<sub>n</sub>CCR0 レジスタは、動作中のリード/ライトを許可します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

**備考 n = 0-5**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA <sub>n</sub> CCR0																	0F1C 0318H +80H × n	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

★

## (a) コンペア・レジスタとしての機能

TAA<sub>n</sub>CCR0 レジスタは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 1 のときでも書き換えできます。

TAA<sub>n</sub>CCR0 レジスタの設定値は CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC0) を発生し、TOAn0 端子出力を許可している場合、TOAn0 端子出力を反転します。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA<sub>n</sub>CCR0 レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA<sub>n</sub>0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウンタ値を TAA<sub>n</sub>CCR0 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA<sub>n</sub>0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウンタ値を TAA<sub>n</sub>CCR0 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TAA<sub>n</sub>CCR0 レジスタのリードが競合しても、TAA<sub>n</sub>CCR0 レジスタは正しい値をリードできます。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

★ 表 13-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

備考 随時書き込みと一斉書き込みについては，13.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(8) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 1 (TAA<sub>n</sub>CCR1)

TAA<sub>n</sub>CCR1 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TAA<sub>n</sub>CCR1 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA<sub>n</sub>OPT0.TAA<sub>n</sub>CCS1 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA<sub>n</sub>CCR1 レジスタは、動作中のリード/ライトを許可します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

**備考 n = 0-5**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA <sub>n</sub> CCR1																	0F1C 0320H +80H × n	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

## (a) コンペア・レジスタとしての機能

TAA<sub>n</sub>CCR1 レジスタは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 1 のときでも書き換えできます。

TAA<sub>n</sub>CCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC1) を発生し、TOAn1 端子出力を許可している場合、TOAn1 端子出力を反転します。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA<sub>n</sub>CCR1 レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA<sub>n</sub>1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウンタ値を TAA<sub>n</sub>CCR1 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA<sub>n</sub>1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウンタ値を TAA<sub>n</sub>CCR1 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TAA<sub>n</sub>CCR1 レジスタのリードが競合しても、TAA<sub>n</sub>CCR1 レジスタは正しい値をリードできます。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

★ 表 13-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

備考 随時書き込みと一斉書き込みについては、13.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(9) TAA<sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA<sub>n</sub>CNT)

TAA<sub>n</sub>CNT レジスタは、16 ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 1 のときに TAA<sub>n</sub>CNT レジスタをリードすると、16 ビット・カウンタのカウンタ値をリードできます。

16 ビット単位でリードのみ可能です。

TAA<sub>n</sub>CE ビット = 0 のとき、TAA<sub>n</sub>CNT レジスタは 0000H になります。このときに TAA<sub>n</sub>CNT レジスタをリードすると、16 ビット・カウンタの値 (FFFFH) ではなく、そのまま 0000H がリードされます。

リセットにより TAA<sub>n</sub>CE ビット = 0 になり、TAA<sub>n</sub>CNT レジスタは 0000H になります。

**備考 n = 0-5**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA <sub>n</sub> CNT																	0F1C 0328H +80H × n	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		



## (10) セレクタ動作制御レジスタ (SELCNT0)

TAA5 専用のキャプチャ信号を選択するレジスタです。

TAA5 には、内蔵 CAN コントローラのタイム・スタンプ機能として、CAN0, CAN1 が出力する TSOUT 信号で、タイマのカウンタ値をキャプチャすることができます。

TAA5 のキャプチャ/コンペア・レジスタ 0, 1 (TAA5CCR0, TAA5CCR1) が、CAN0, CAN1 の TSOUT のキャプチャ信号に対応しています。

通常の TIA50, TIA51 端子からのキャプチャ信号と、CAN0, CAN1 の TSOUT のキャプチャ信号を ISEL00, ISEL01 ビットで選択します。

8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
SELCNT0	0	0	0	0	0	0	ISEL01	ISEL01	0F1C 0FF2H	00H
R/W	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1	ISEL01	TAA5CCR1 のキャプチャ信号を選択します。 0 : TIA51 1 : CAN1 の TSOUT
0	ISEL00	TAA5CCR0 のキャプチャ信号を選択します。 0 : TIA50 1 : CAN0 の TSOUT

**備考 SELCNT0 レジスタは、TAA5 のキャプチャ機能のみに影響するレジスタです。**

## 13.5 タイマ出力動作説明

次に TOAn0, TOAn1 端子の動作, および出力レベルを示します。

★

表 13-6 各モードによるタイマ出力制御

動作モード	TOAn1 端子	TOAn0 端子
インターバル・タイマ・モード	PWM 出力	
ワンショット・パルス出力モード	ワンショット・パルス出力	PWM 出力
PWM 出力モード	PWM 出力	
フリー・ランニング・タイマ・モード	PWM 出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

表 13-7 タイマ出力制御ビットによる TOAn0, TOAn1 端子の真理値表

TAAAnIOC0.TAAAnOLa ビット	TAAAnIOC0.TAAAnOEa ビット	TAAAnCTL0.TAAAnCE ビット	TOAna 端子のレベル
0	0	×	ロー・レベル出力
	1	0	ロー・レベル出力
		1	カウント直前はロー・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロー・レベル

備考 n = 0-5, a = 0, 1

## 13.6 動作

★

表 13-8 TAAの各モードの仕様

動作	TAACTL1.TAAEST ビット (ソフトウェア・トリガ・ビット)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	コンペア専用	随時書き込み
ワンショット・パルス出力モード	有効	コンペア専用	随時書き込み
PWM 出力モード	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	キャプチャ専用	対象外

備考 n = 0-5

### 13.6.1 基本動作

#### (1) カウンタ基本動作

次に 16 ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

★

#### (a) カウント開始動作

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

#### (b) クリア動作

16 ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび 16 ビット・カウンタの値のキャプチャ&クリアの場合、16 ビット・カウンタは 0000H にクリアされます。なお、カウント動作開始直後およびオーバフローの場合の FFFFH から 0000H へのカウント動作はクリア動作ではありません。したがって、INTTAnCC0, INTTAnCC1 割り込み信号は発生しません。

#### (c) オーバフロー動作

16 ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFH から 0000H へのカウント・アップのタイミングで発生します。オーバフローが発生すると、TAAAnOPT0.TAAAnOVF ビットがセット (1) され、割り込み要求信号 (INTTAnOV) が発生します。なお、次の条件では INTTAnOV 信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値が FFFFH で一致&クリアされた場合
- ・ パルス幅測定モード時の FFFFH をキャプチャし、クリアした場合の FFFFH から 0000H になるタイミング

**注意 1.** オーバフロー割り込み要求信号 (INTTAnOV) 発生後は、必ずオーバフロー・フラグ (TAAAnOVF ビット) が “1” にセットされているのを確認してください。

**2.** TAAAnOPT0 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

#### (d) カウント動作中のカウンタ・リード動作

TAAAn では、TAAAnCNT レジスタにより、カウント動作中の 16 ビット・カウンタの値をリードできます。

TAAAnCTL0.TAAAnCE ビット = 1 のときは、TAAAnCNT レジスタをリードすることにより、16 ビット・カウンタの値をリードできます。ただし、TAAAnCE ビット = 0 のときは、16 ビット・カウンタが FFFFH で、TAAAnCNT レジスタが 0000H です。

## (e) 割り込み動作

TAA<sub>n</sub> では、次の 3 種類の割り込み要求信号を発生します。

- ・ INTTAA<sub>n</sub>CC0 割り込み： CCR0 バッファ・レジスタの一致割り込み要求信号，および TAA<sub>n</sub>CCR0 レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAA<sub>n</sub>CC1 割り込み： CCR1 バッファ・レジスタの一致割り込み要求信号，および TAA<sub>n</sub>CCR1 レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAA<sub>n</sub>OV 割り込み： オーバフロー割り込み要求信号として機能します。

## (2) 随時書き込みと一斉書き込み

TAA<sub>n</sub> では、タイマ動作中 (TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビット = 1) でも TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1 レジスタの書き換えを許可していますが、モードによって CCR0, CCR1 バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

## (a) 随時書き込み

このモードは、タイマ動作中に TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を随時行います。

備考 n = 0-5

図 13 - 4 随時書き込みの基本動作フロー・チャート

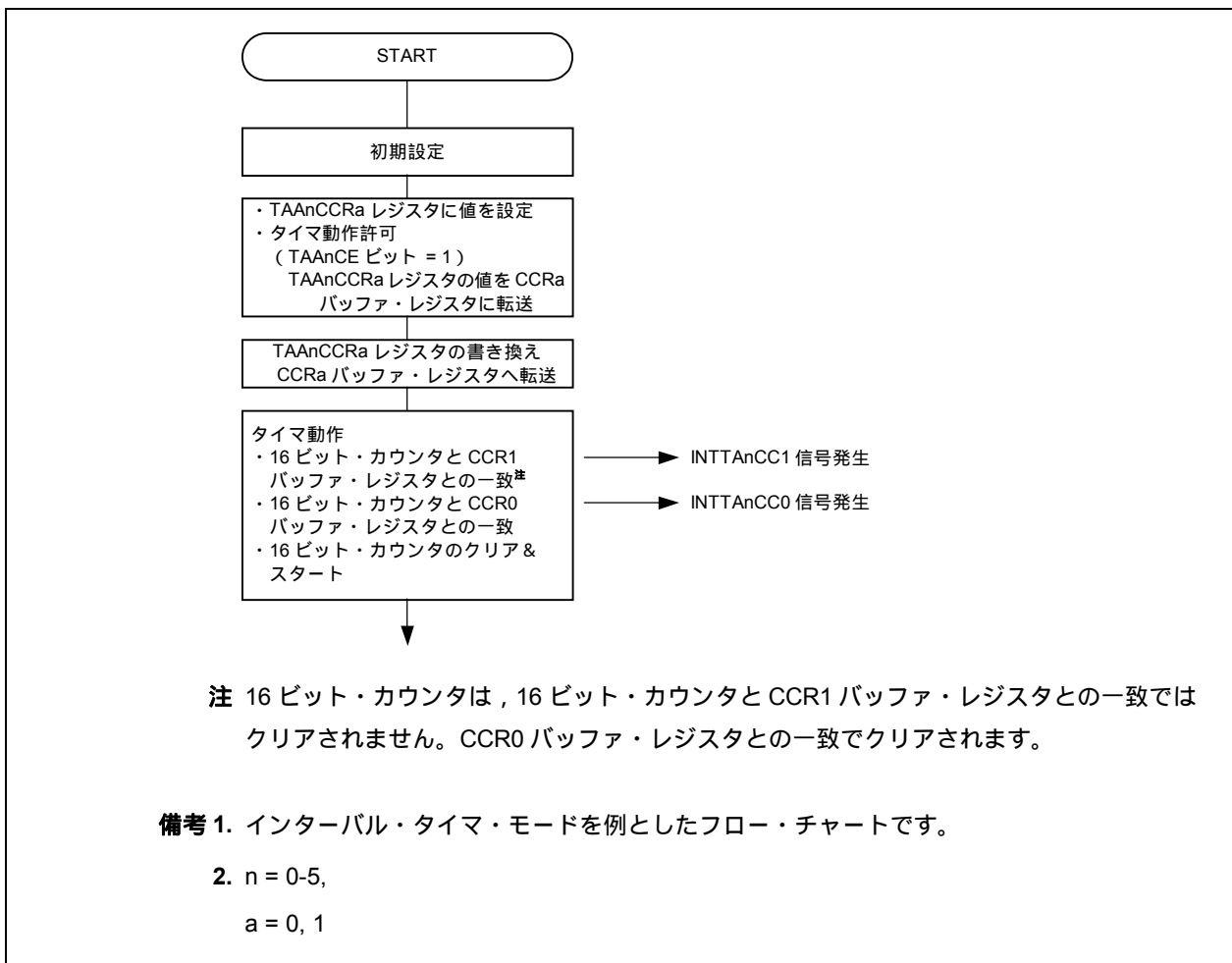
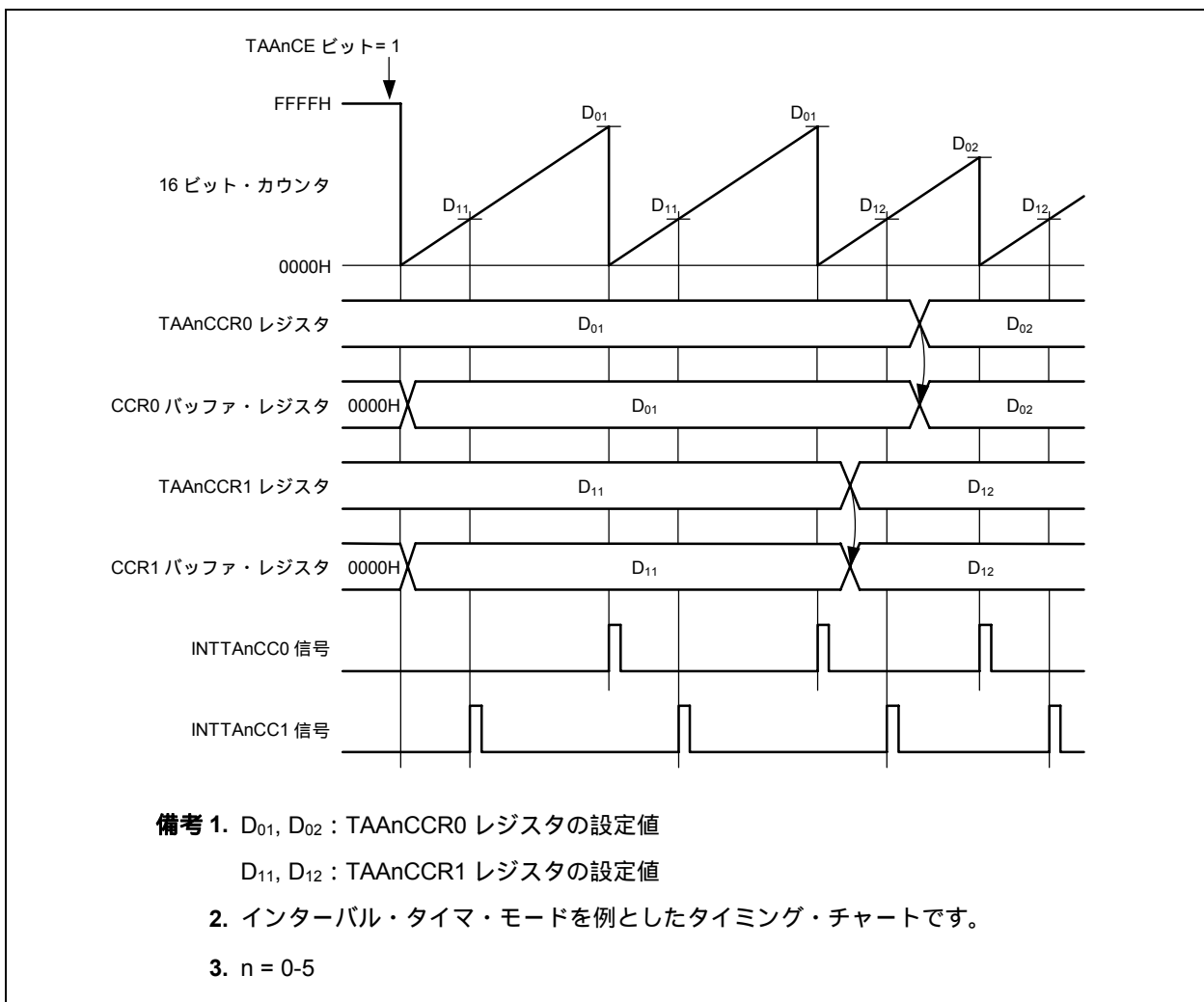


図 13 - 5 随時書き込みのタイミング



## (b) 一斉書き込み

このモードは、タイマ動作中に TAAAnCCR0, TAAAnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TAAAnCCR1 レジスタへの書き込みとなります。TAAAnCCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAAnCCR0, TAAAnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致する前に TAAAnCCR0 レジスタを書き換え、次に TAAAnCCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値との一致タイミングで、TAAAnCCR0, TAAAnCCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TAAAnCCR0 レジスタの値だけ書き換えたい場合でも、TAAAnCCR1 レジスタに同値(すでに設定した TAAAnCCR1 レジスタと同じ値)を書き込んでください。

図 13 - 6 一斉書き込みの基本動作フロー・チャート

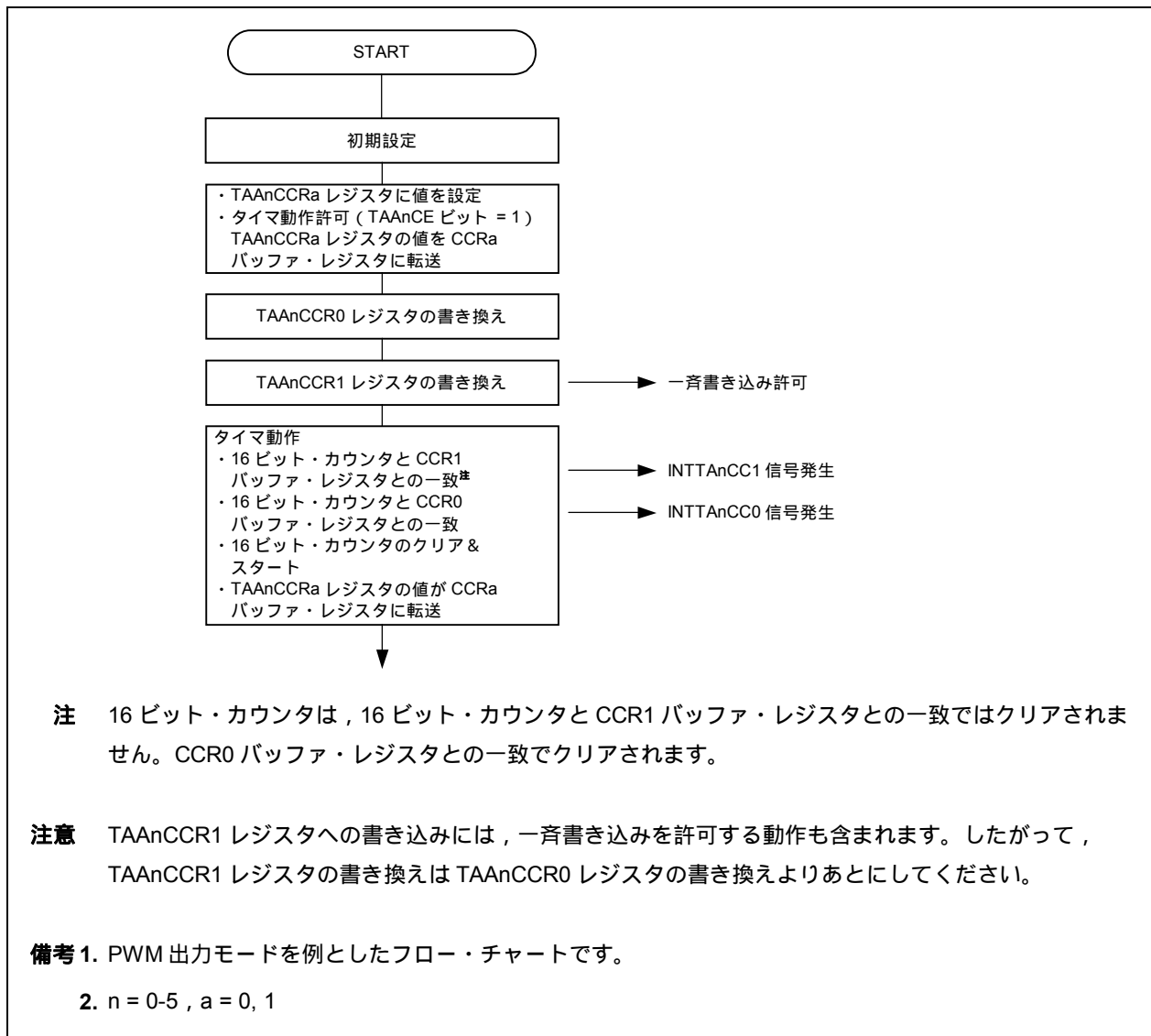
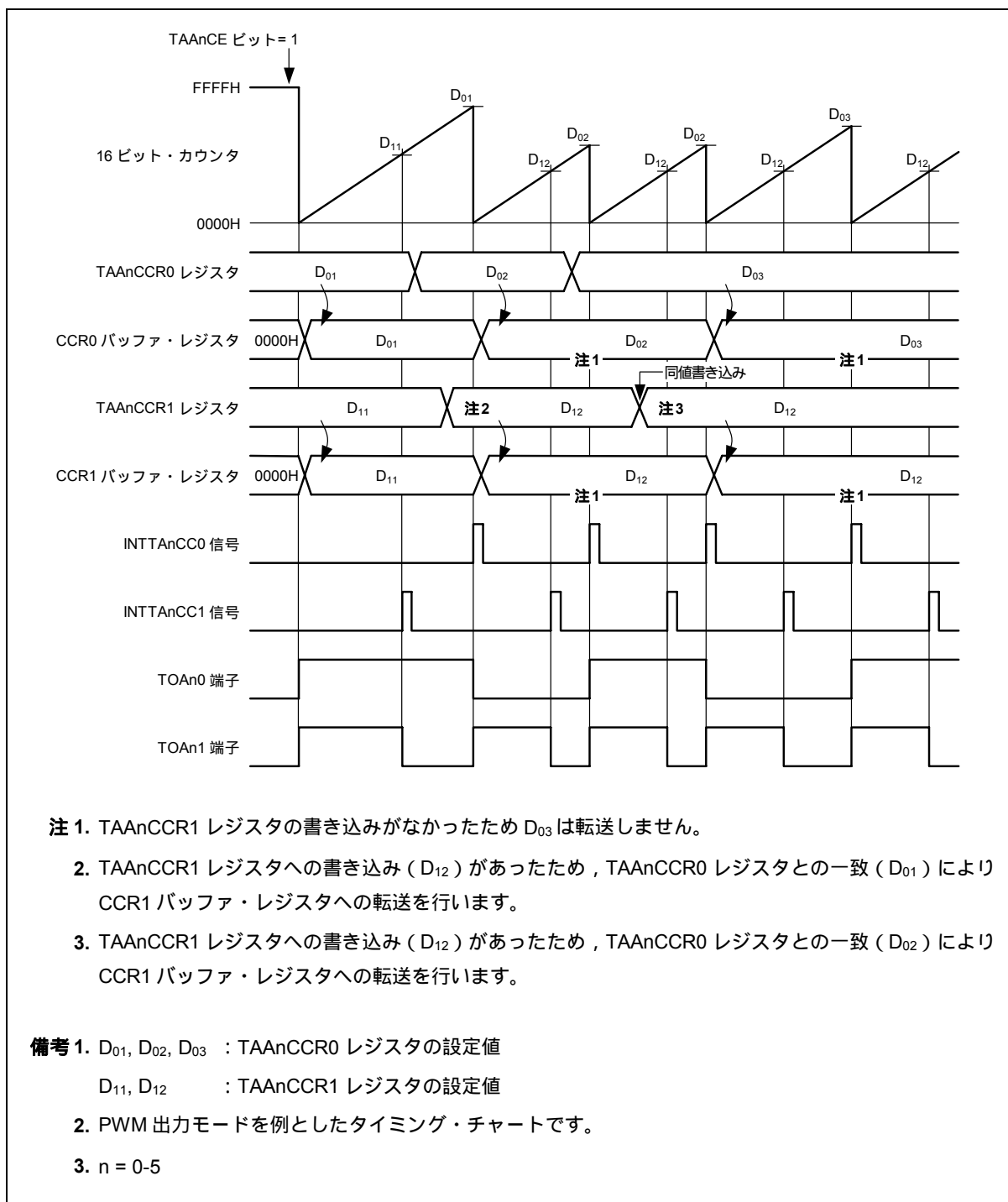




図 13 - 7 一斉書き込みのタイミング



### 13.6.2 インターバル・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 000)

インターバル・タイマ・モードは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビットをセット (1) することで、TAA<sub>n</sub>CCR0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTAA<sub>n</sub>CC0) を発生します。また、TOA<sub>n</sub>0 端子から、インターバル間隔を半周期とする 50% デューティの PWM 波形を出力できます。

インターバル・タイマ・モードでは、TAA<sub>n</sub>CCR1 レジスタを使用しません。しかし、TAA<sub>n</sub>CCR1 レジスタでは、TAA<sub>n</sub>CCR1 レジスタの設定値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値が一致するとコンパレー一致割り込み要求信号 (INTTAA<sub>n</sub>CC1) が発生します。

また、TOA<sub>n</sub>1 端子から、INTTAA<sub>n</sub>CC1 信号の発生タイミングにより反転する 50% デューティの PWM 波形を出力できます。

なお、TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1 レジスタのタイマ動作中の書き換えは可能です。

図 13-8 インターバル・タイマの構成図

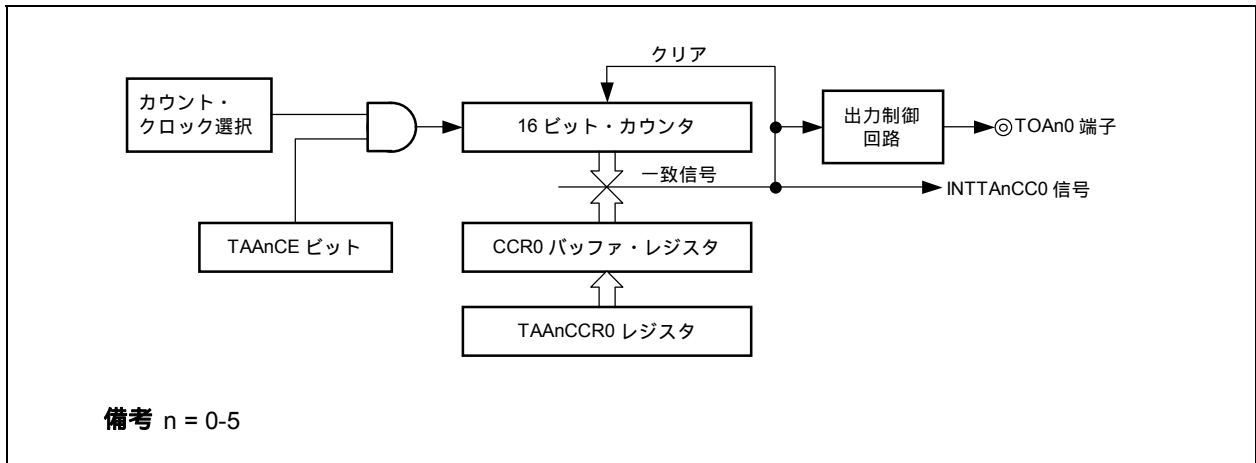
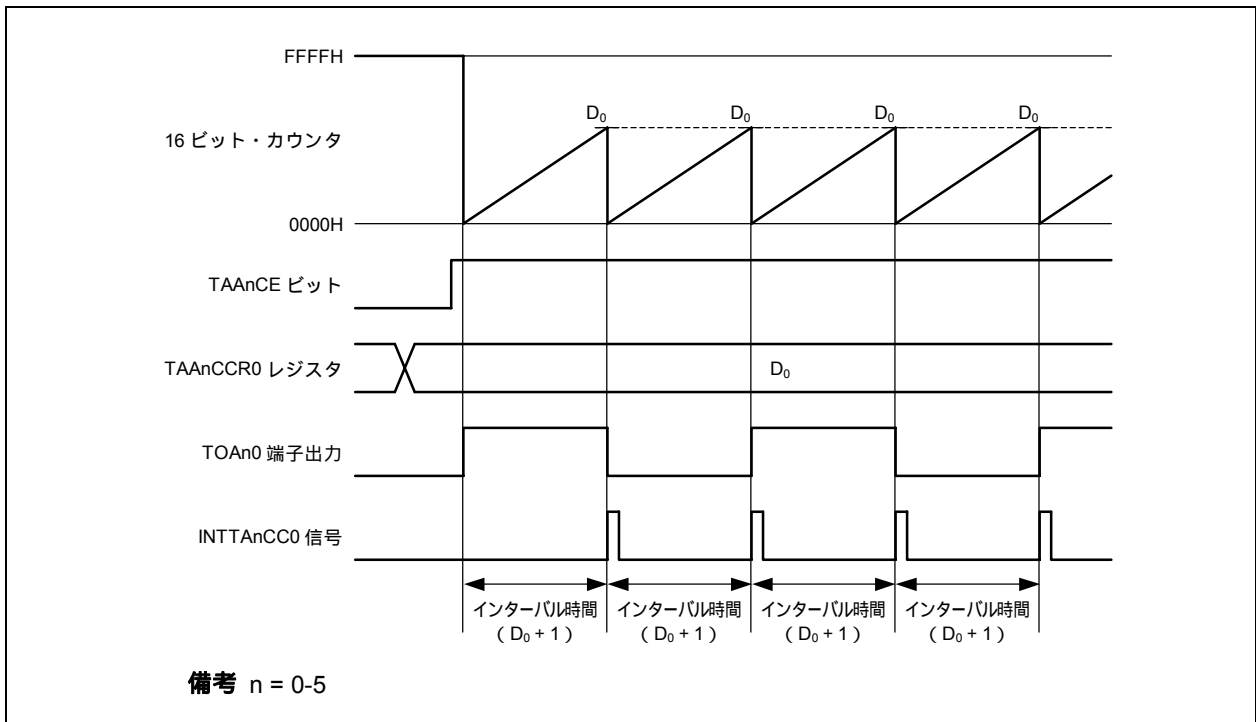


図 13-9 インターバル・タイマ・モード動作の基本タイミング



TAA<sub>n</sub>CE ビットをセット(1)することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。このとき TOAn0 端子出力を反転します。また、TAA<sub>n</sub>CCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、TOAn0 端子出力を反転させて、コンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC0) を発生します。

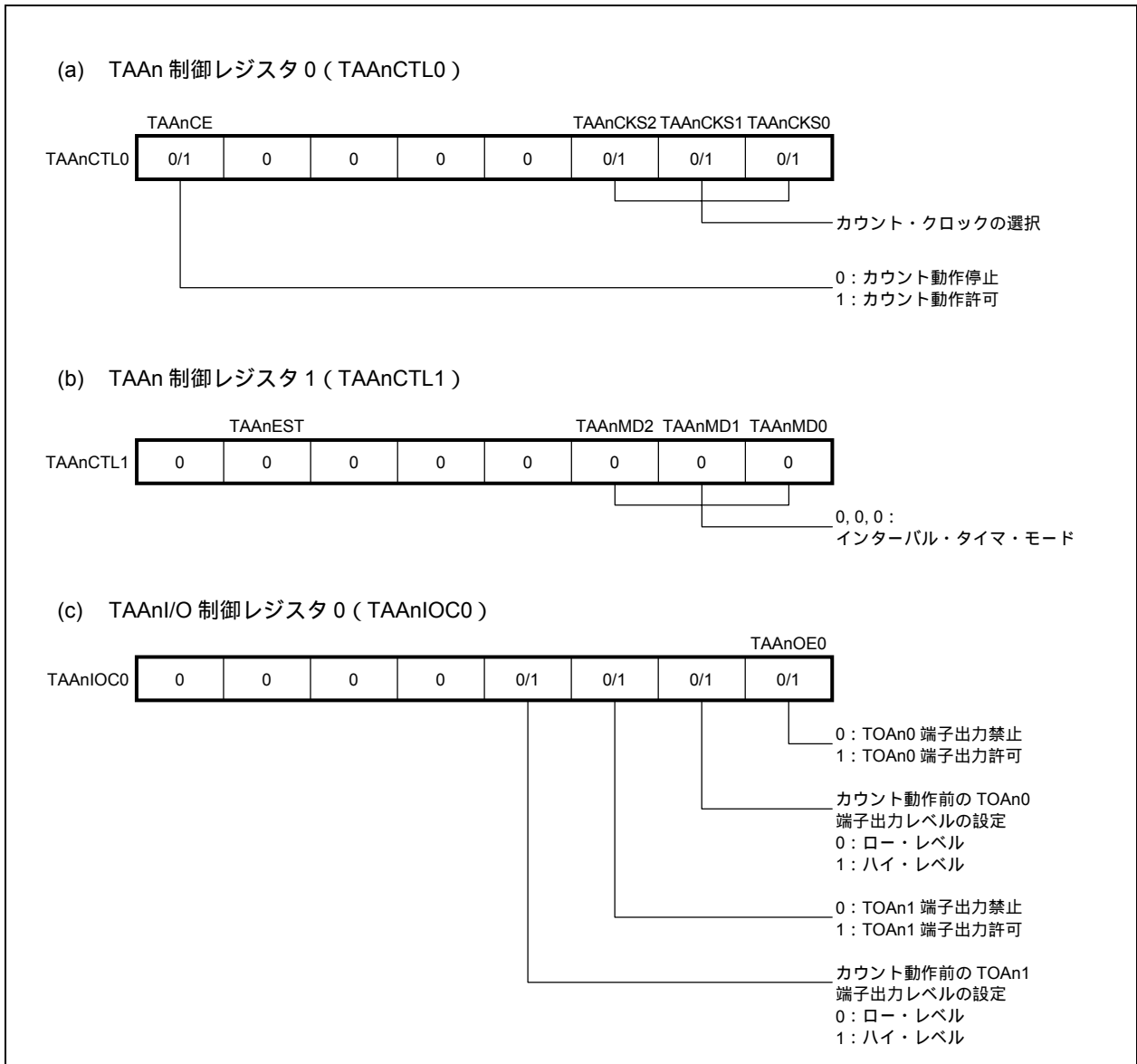
インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAA}_{n}\text{CCR0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-5

★

図 13 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)



★

## 図 13 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

- (d) TAA<sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA<sub>n</sub>CNT)

TAA<sub>n</sub>CNT レジスタをリードすることで、16 ビット・カウンタのカウンタ値をリードできます。

- (e) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 0 (TAA<sub>n</sub>CCR0)

TAA<sub>n</sub>CCR0 レジスタに D<sub>0</sub> を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- (f) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 1 (TAA<sub>n</sub>CCR1)

インターバル・タイマ・モードでは、TAA<sub>n</sub>CCR1 レジスタを使用しません。しかし、TAA<sub>n</sub>CCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値が一致すると、TOAn1 端子出力を反転し、コンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC1) が発生します。

TAA<sub>n</sub>CCR0 レジスタの設定値と同じ値を設定することにより、TOAn1 端子から 50% デューティの PWM 波形を出力できます。

TAA<sub>n</sub>CCR1 レジスタを使用しない場合には、TAA<sub>n</sub>CCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EIC<sub>m</sub> レジスタのマスク・ビット) でマスク設定してください。

**備考 1.** TAA<sub>n</sub>I/O 制御レジスタ 1 (TAA<sub>n</sub>IOC1)、TAA<sub>n</sub> オプション・レジスタ 0 (TAA<sub>n</sub>OPT0) は、インターバル・タイマ・モードでは使用しません。

**2.** n = 0-5, m = 28, 31, 34, 37, 40, 43

(1) インターバル・タイマ・モード動作フロー

★

図 13 - 11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

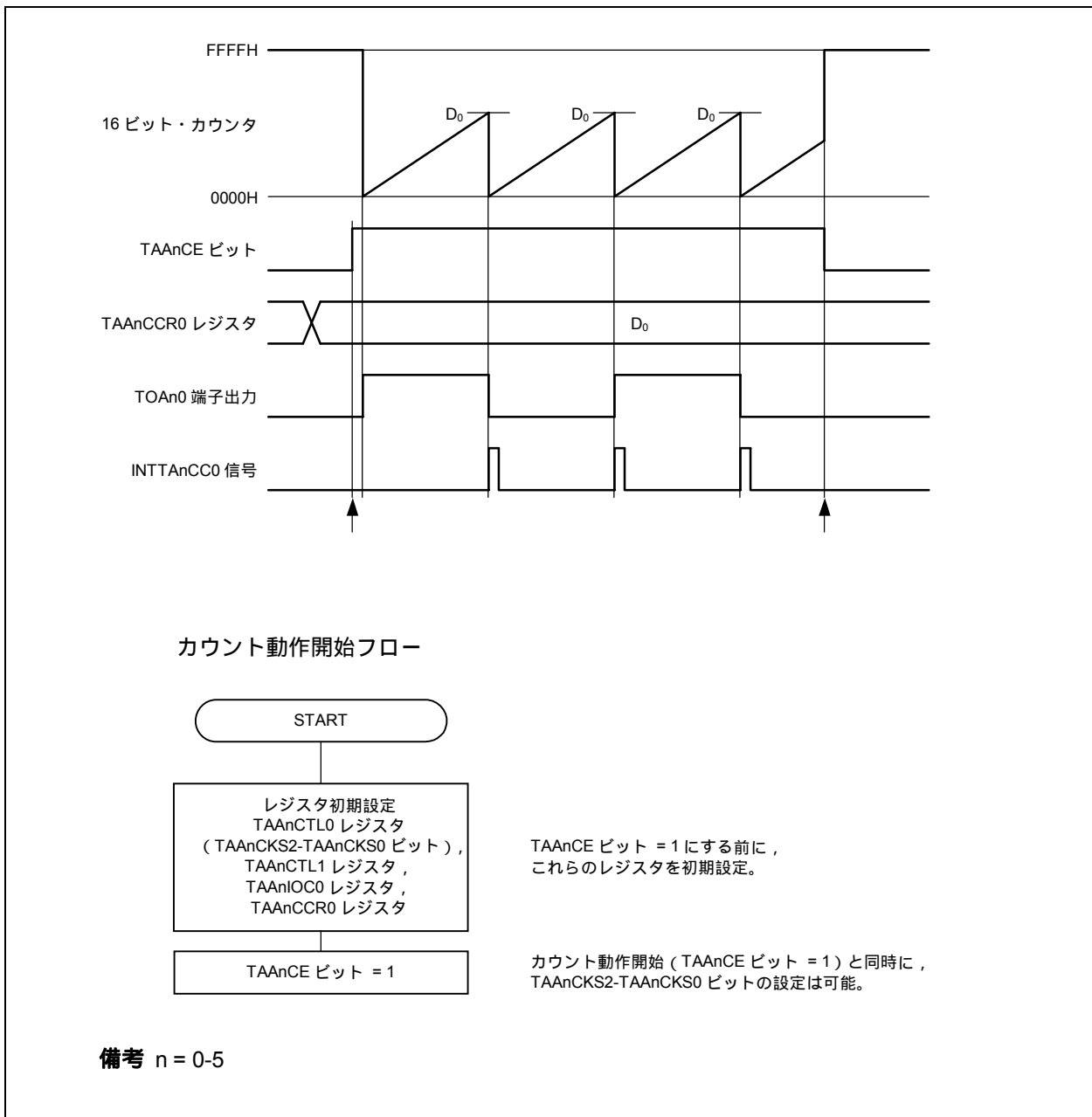
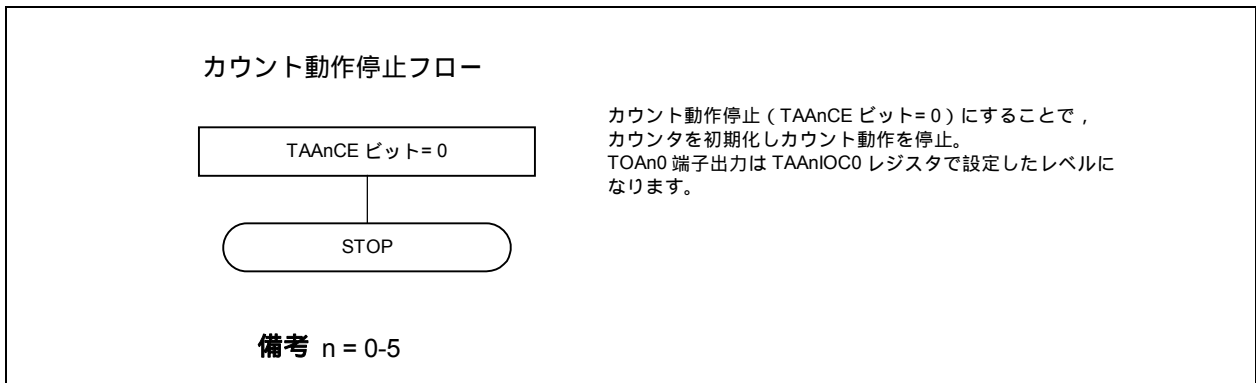


図 13 - 11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

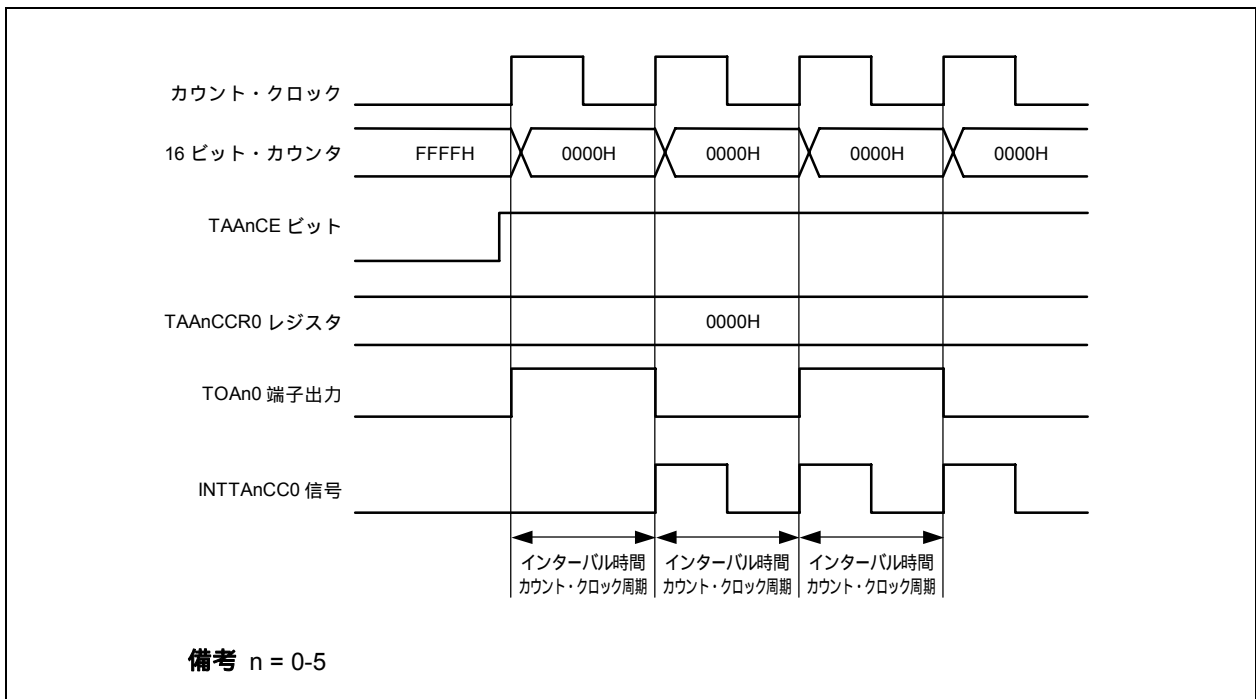


## (2) インターバル・タイマ・モード動作タイミング

## (a) TAAAnCCR0 レジスタに 0000H を設定した場合の動作

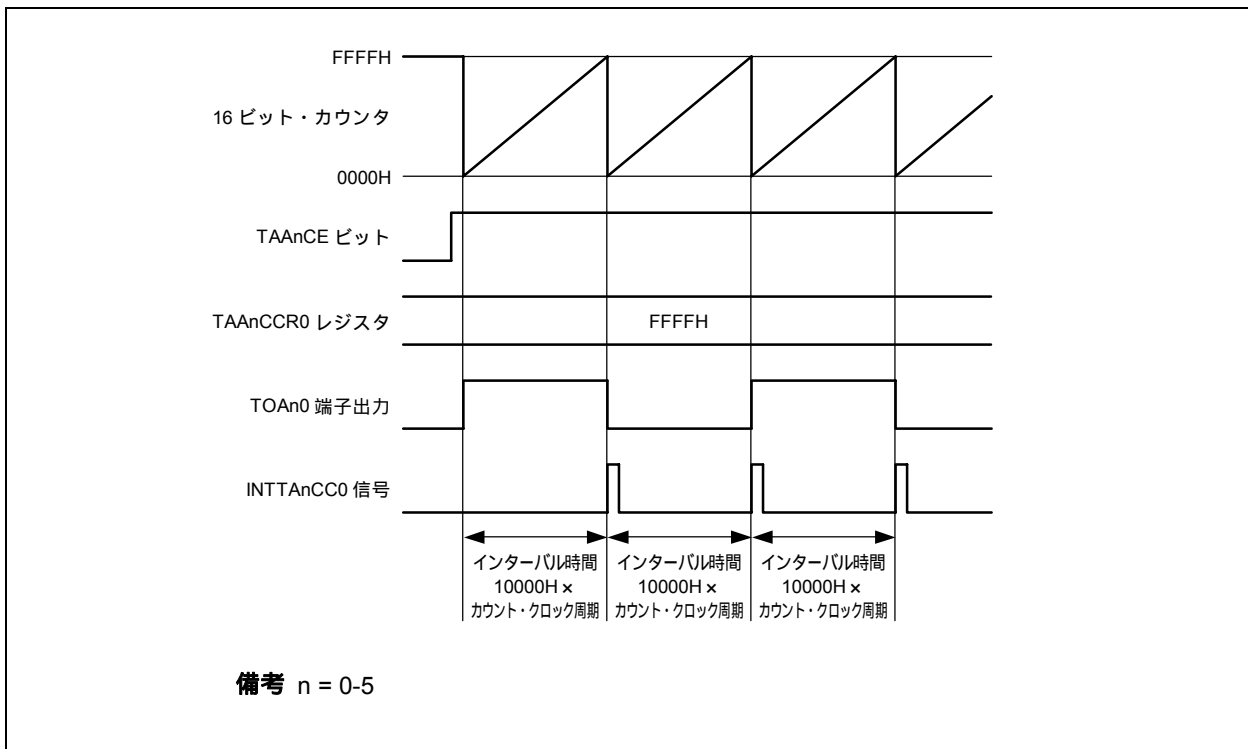
TAAAnCCR0 レジスタに 0000H を設定した場合、カウント・クロックごとに INTTAAAnCC0 信号を発生し、TOAn0 端子の出力を反転します。

16 ビット・カウンタは、常に 0000H となります。



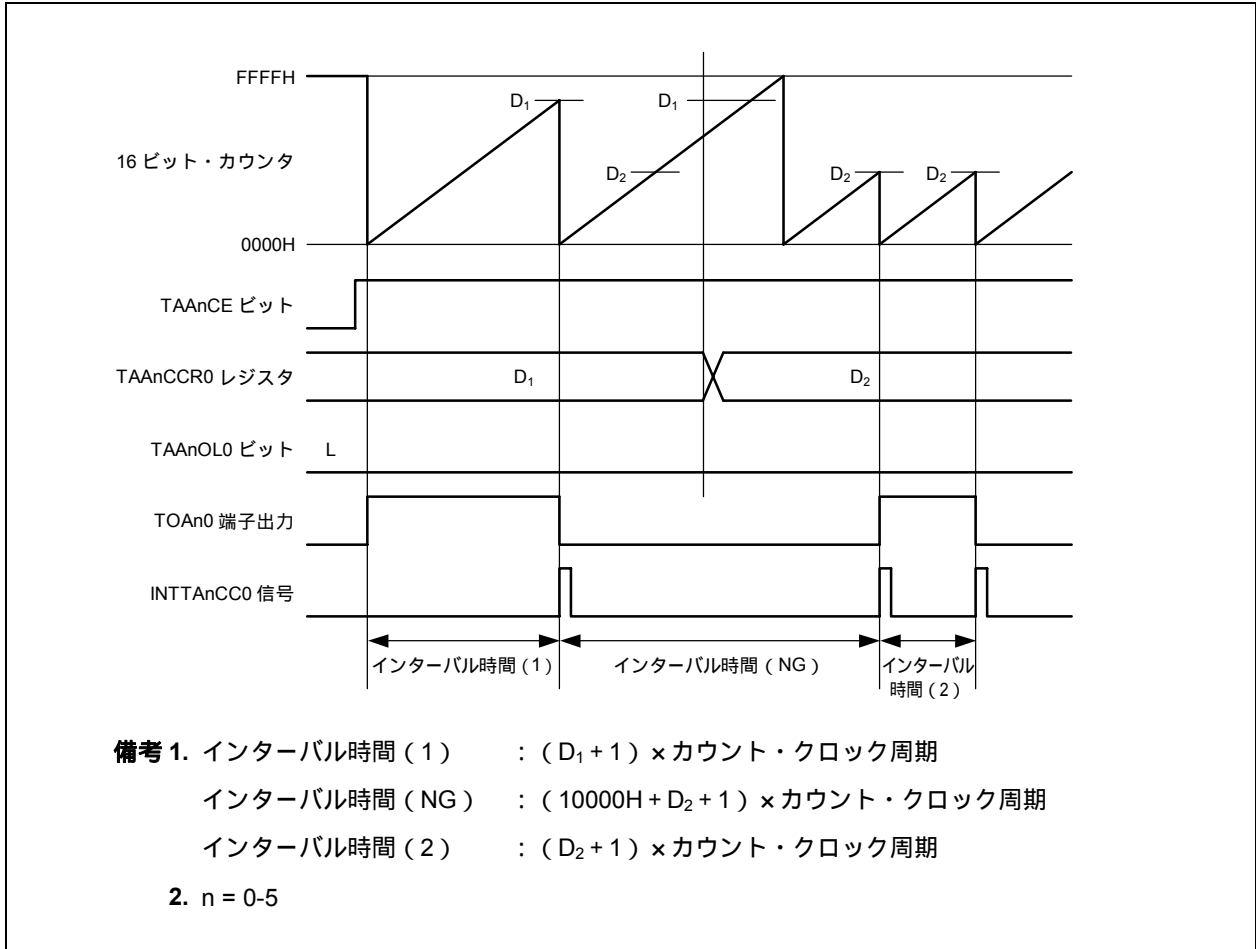
(b) TAAAnCCR0 レジスタに FFFFH を設定した場合の動作

TAAAnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTAAAnCC0 信号を発生し、TOAn0 端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAAAnOV) は発生せず、オーバフロー・フラグ (TAAAnOPT0.TAAAnOVF ビット) もセット (1) されません。



## (c) TAAAnCCR0 レジスタの書き換えに関する注意事項

カウント動作中に TAAAnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



カウント値が  $D_2$  よりも大きく  $D_1$  よりも小さい状態において、TAAAnCCR0 レジスタを  $D_1$  から  $D_2$  に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が  $D_2$  となります。

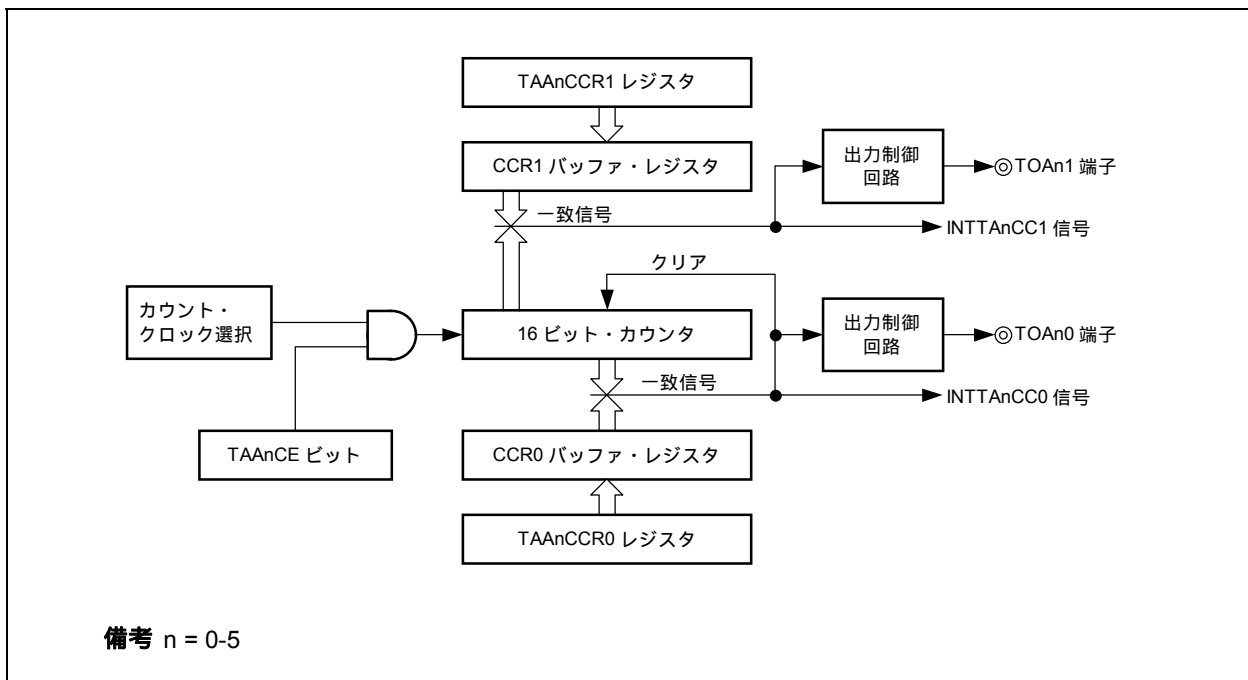
しかし、カウント値はすでに  $D_2$  を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 $D_2$  との一致で INTTAAAnCC0 信号を発生し TOAn0 端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」で INTTAAAnCC0 信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔で INTTAAAnCC0 信号が発生する場合があります。



(d) TAAAnCCR1 レジスタの動作

図 13 - 12 TAAAnCCR1 レジスタの構成図



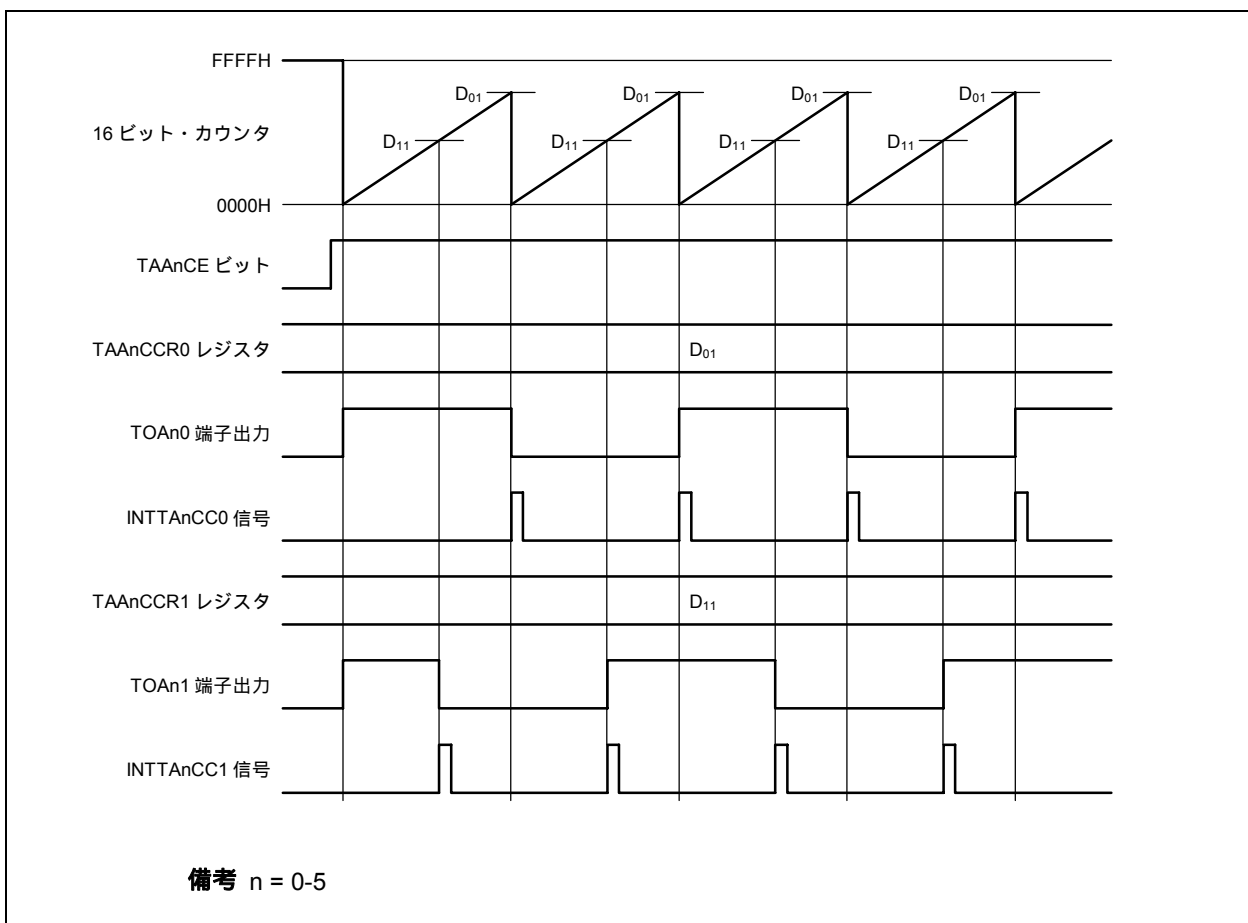
TAAAnCCR1 レジスタに TAAAnCCR0 レジスタの設定値と同じ値を設定すると、INTTAnCC0 信号と同じタイミングで INTTAnCC1 信号が発生し、TOAn1 端子出力が反転します。すなわち、TOAn1 端子から 50%デューティーの PWM 波形を出力できます。

TAAAnCCR0 レジスタの設定値とは異なる値を TAAAnCCR1 レジスタに設定した場合の動作を次に示します。

TAAAnCCR1 レジスタの設定値が TAAAnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTAnCC1 信号が発生します。また、同じタイミングで TOAn1 端子出力は反転します。

TOAn1 端子出力は、最初に短い幅のパルスを出力したあと、50%デューティーの PWM 波形を出力します。

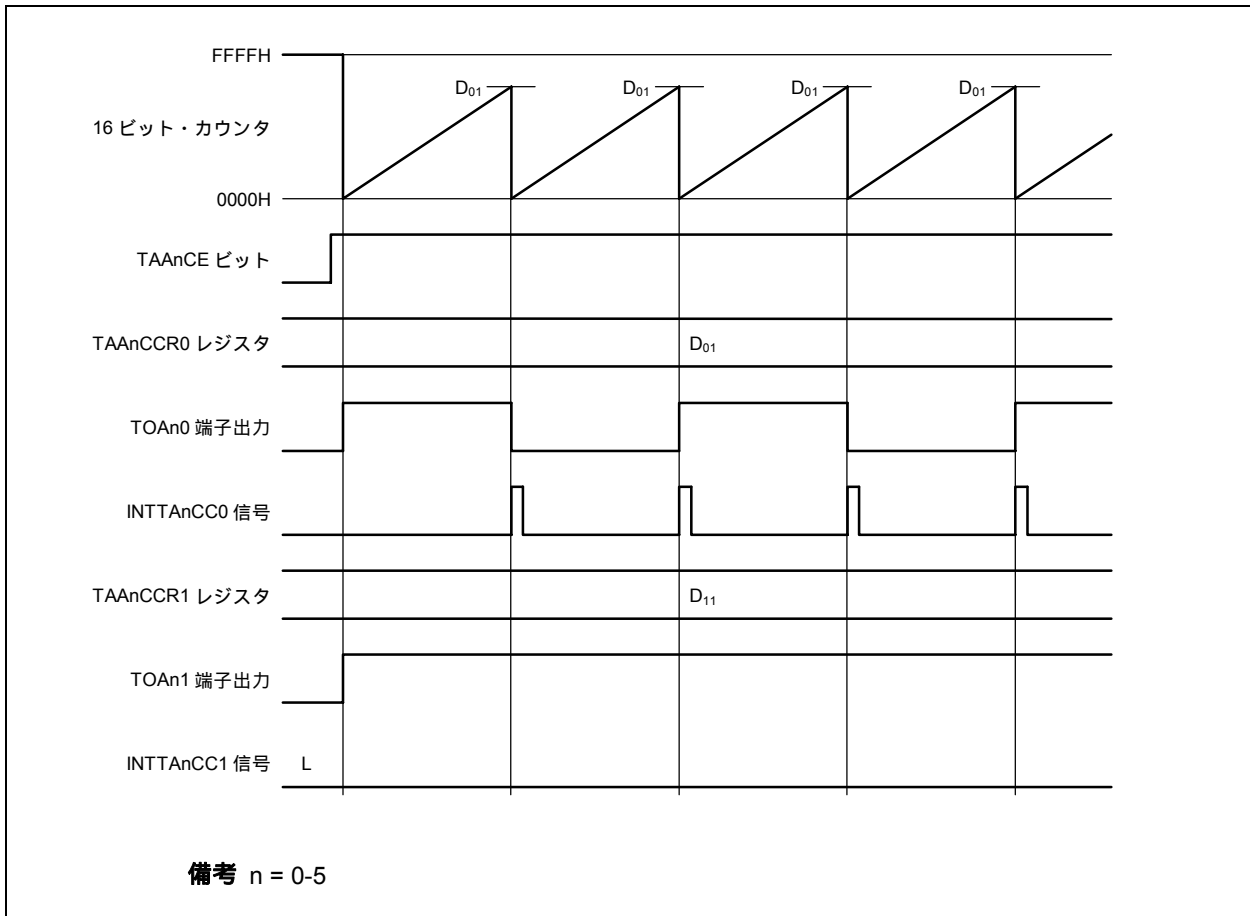
図 13 - 13 D<sub>01</sub> D<sub>11</sub> の場合のタイミング図



TAAAnCCR1 レジスタの設定値が TAAAnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウンタ値と TAAAnCCR1 レジスタの値が一致しないので、INTTAAAnCC1 信号は発生しません。また、TOAn1 端子出力も変化しません。

TAAAnCCR1 レジスタを使用しない場合には、TAAAnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 13 - 14  $D_{01} < D_{11}$  の場合のタイミング図

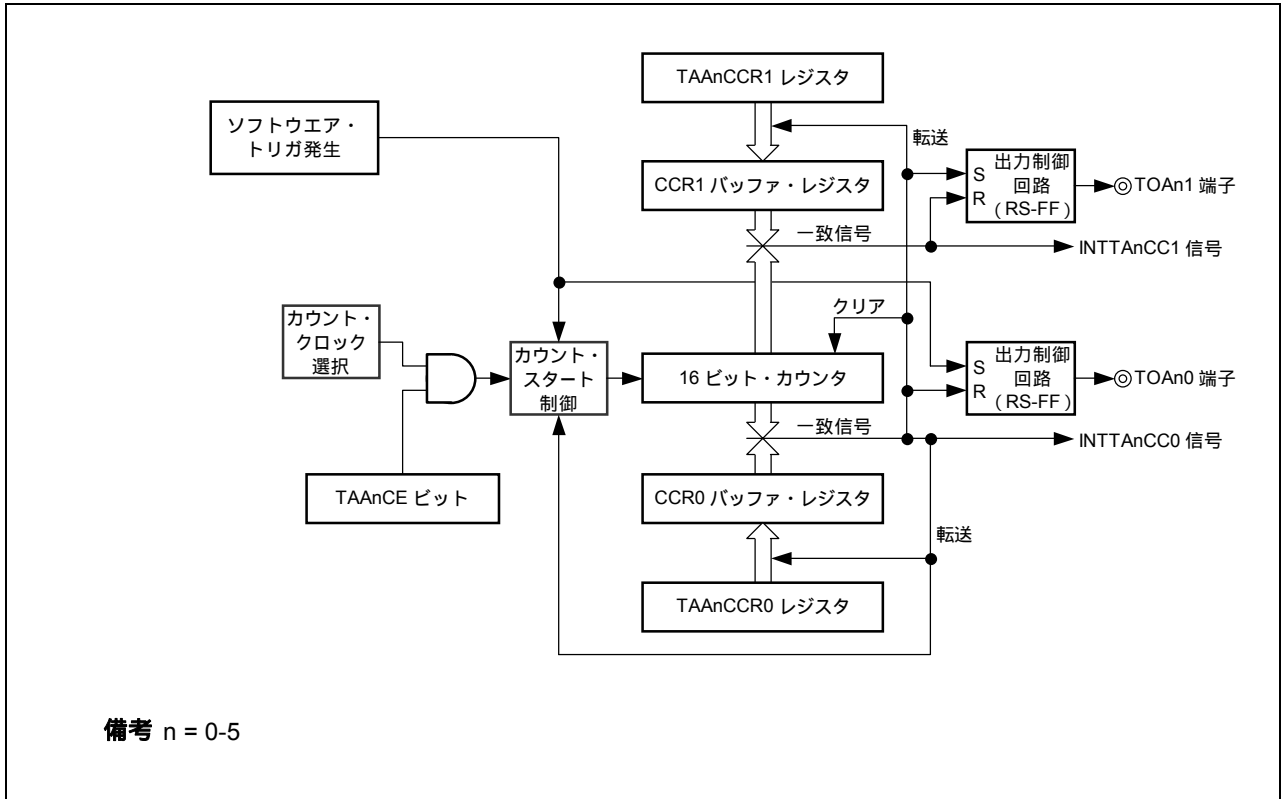


### 13.6.3 ワンショット・パルス出力モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 011)

- ★ ワンショット・パルス出力モードは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビットをセット (1) することでトリガ待ち状態となり、ソフトウェア・トリガでカウント動作を開始し、TOA<sub>n</sub>1 端子からワンショット・パルスを出力します。

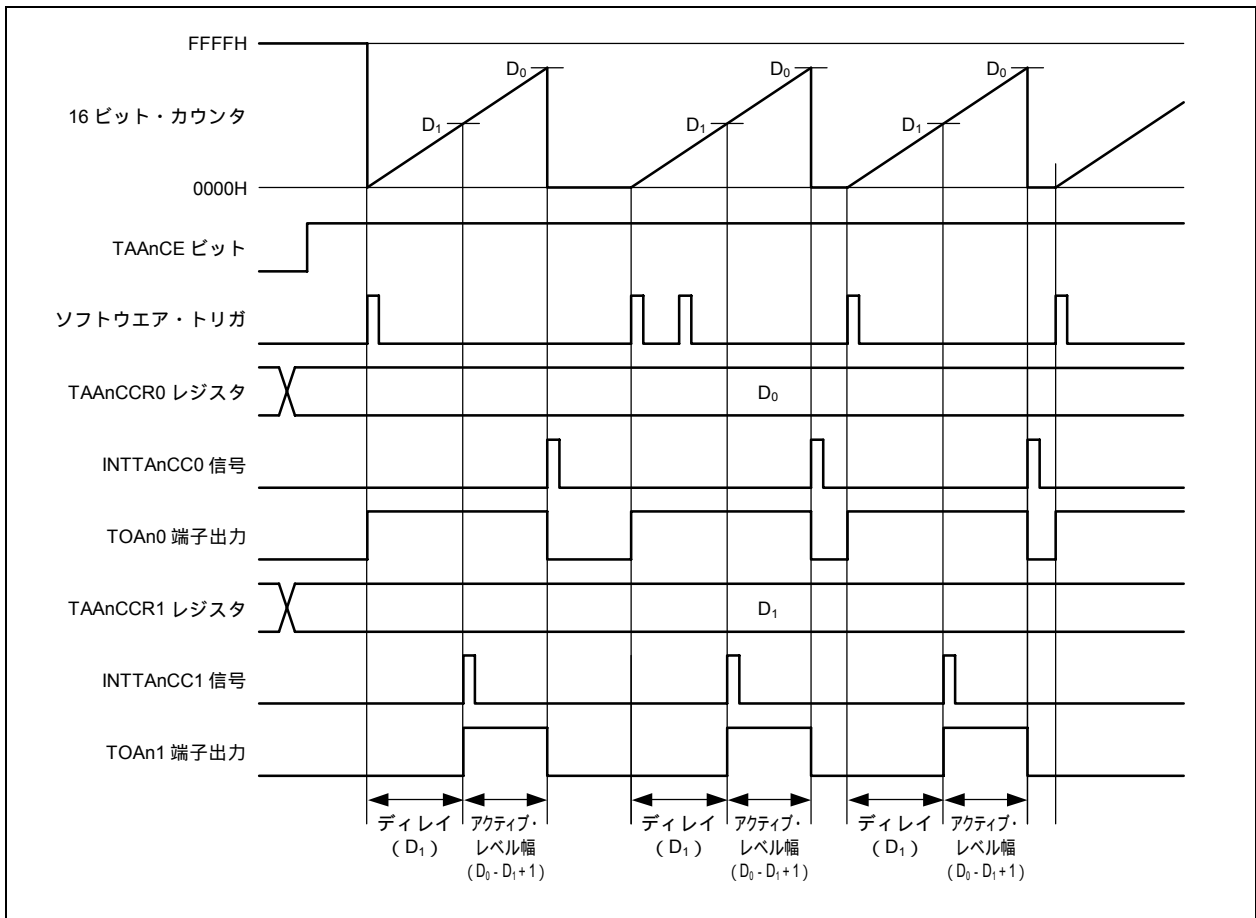
TOA<sub>n</sub>0 端子から、16 ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

★ 図 13 - 15 ワンショット・パルス出力モードの構成図



★

図 13 - 16 ワンショット・パルス出力モードの基本タイミング



TAAAnCE ビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOAn1 端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16 ビット・カウンタを 0000H にしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に 16 ビット・カウンタは 0000H からカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TAAAnCCR1 レジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TAAAnCCR0 レジスタの設定値 - TAAAnCCR1 レジスタの設定値 + 1)  
× カウント・クロック周期

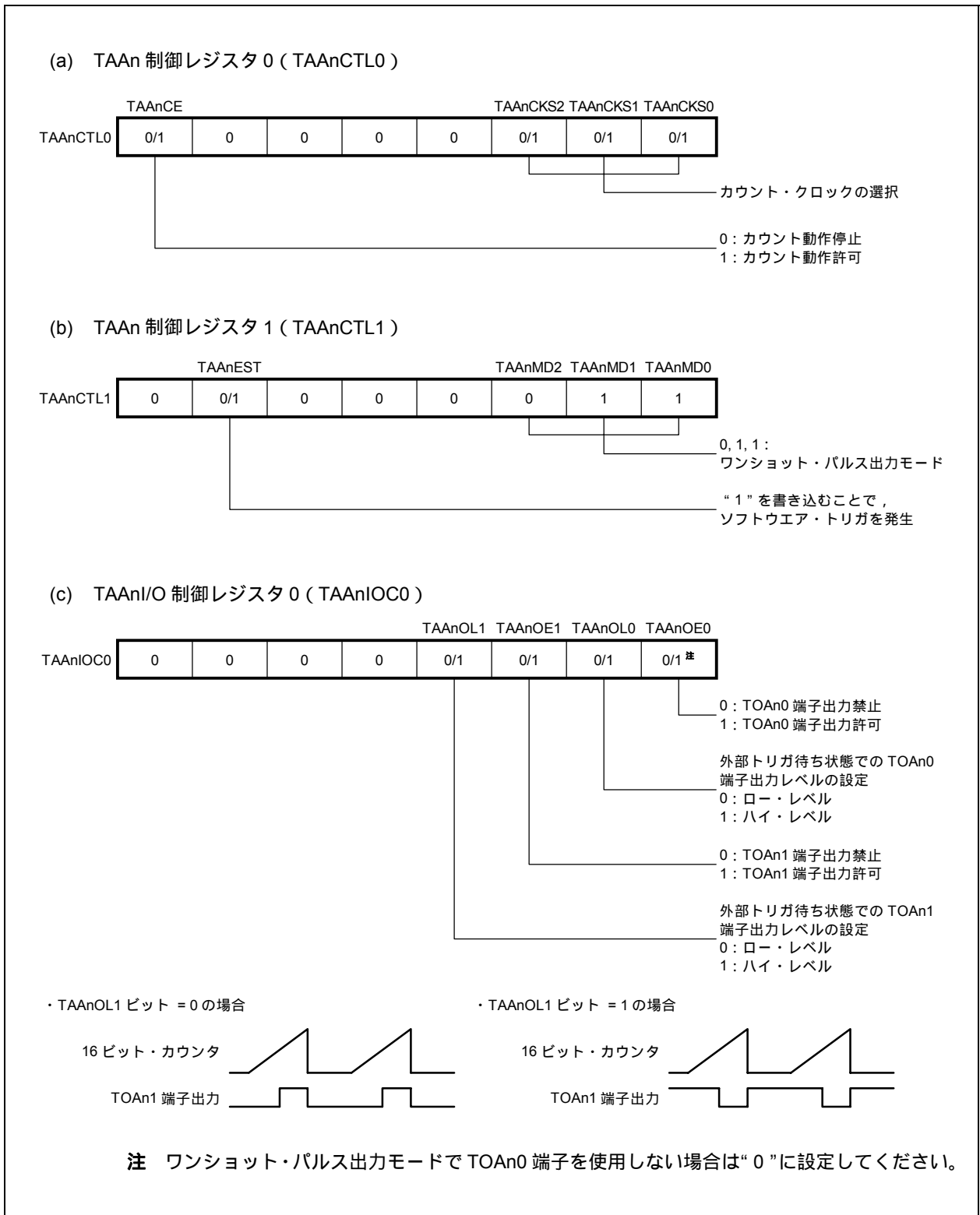
★

コンパレー一致割り込み要求信号(INTTAAAnCC0)は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンパレー一致割り込み要求信号(INTTAAAnCC1)は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

備考 n = 0-5

★

図 13 - 17 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)



★

図 13 - 17 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

- (d) TAA<sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA<sub>n</sub>CNT)

TAA<sub>n</sub>CNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

- (e) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 0, 1 (TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1)

TAA<sub>n</sub>CCR0 レジスタに D<sub>0</sub> を設定し、TAA<sub>n</sub>CCR1 レジスタに D<sub>1</sub> を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D<sub>0</sub> - D<sub>1</sub> + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D<sub>1</sub> × カウント・クロック周期

となります。

**注意** ワンショット・パルス出力モードにおいて、TAA<sub>n</sub>CCR1 レジスタの設定値が TAA<sub>n</sub>CCR0 レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。

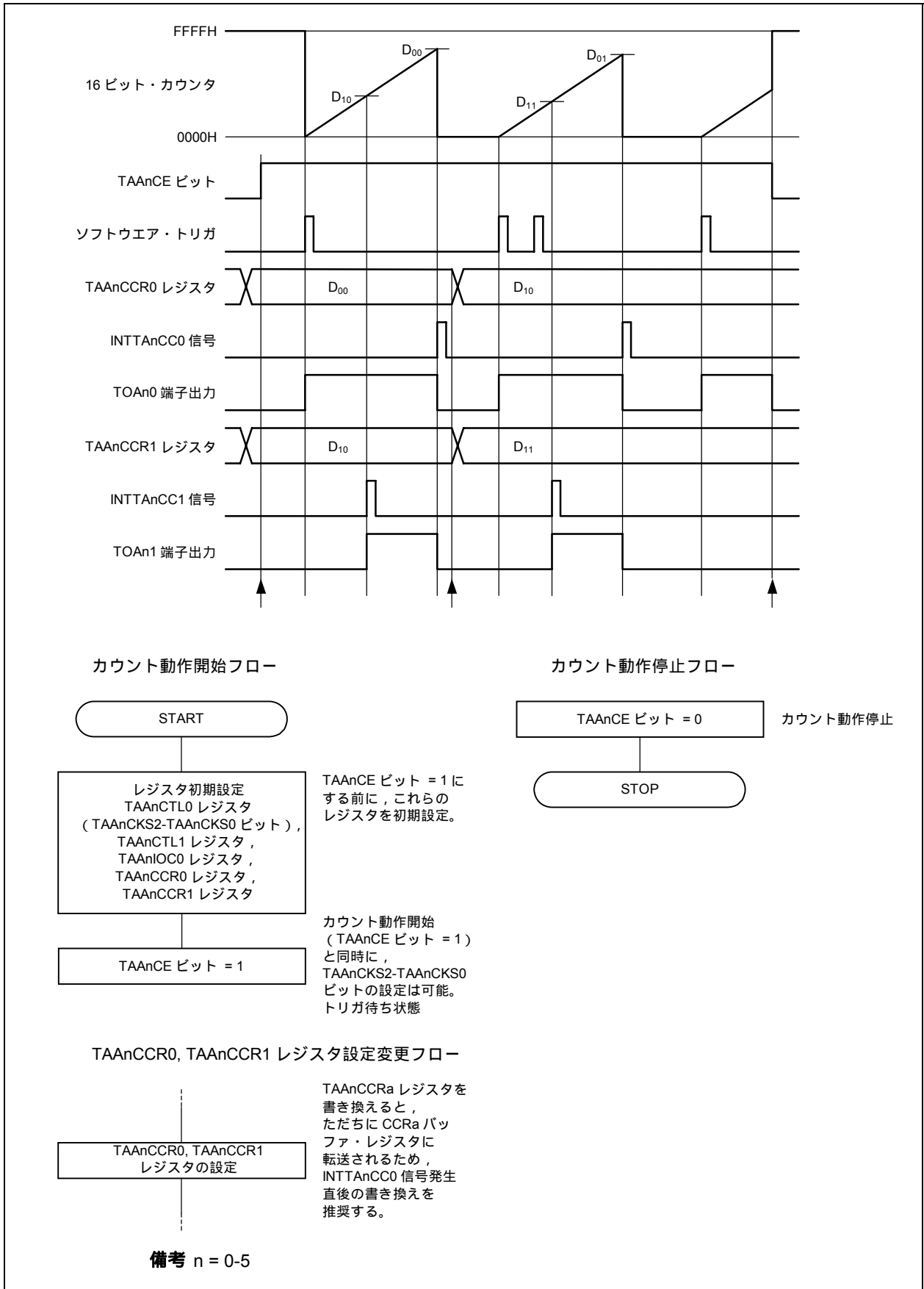
**備考 1.** TAA<sub>n</sub>I/O 制御レジスタ 1 (TAA<sub>n</sub>IOC1)、TAA<sub>n</sub> オプション・レジスタ 0 (TAA<sub>n</sub>OPT0) は、ワンショット・パルス出力モードでは使用しません。

**2.** n = 0-5

(1) ワンショット・パルス出力モード動作フロー

★

図 13 - 18 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



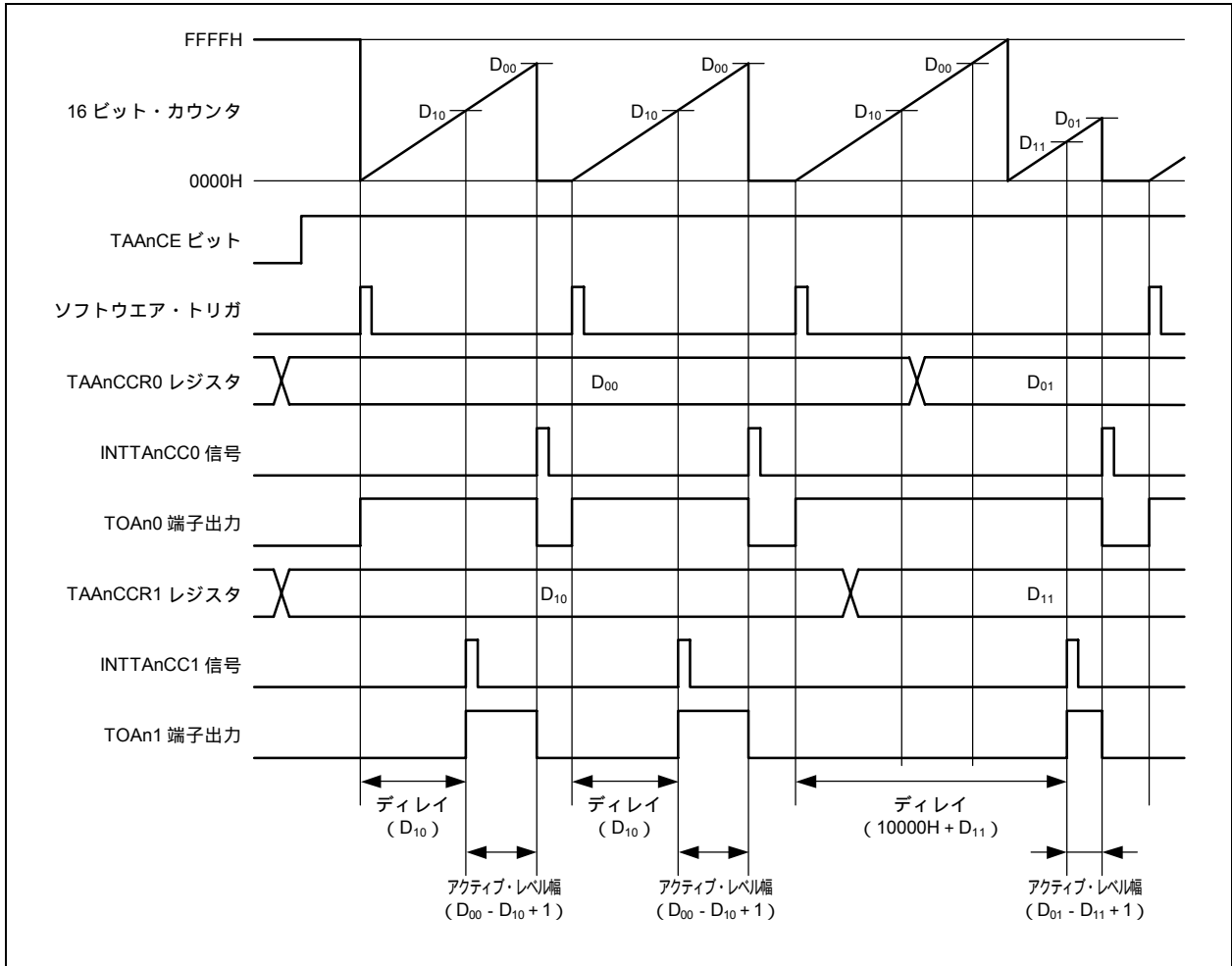


## (2) ワンショット・パルス出力モード動作タイミング

## (a) TAAAnCCRn レジスタの書き換えに関する注意事項

カウント動作中に TAAAnCCRn レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

★



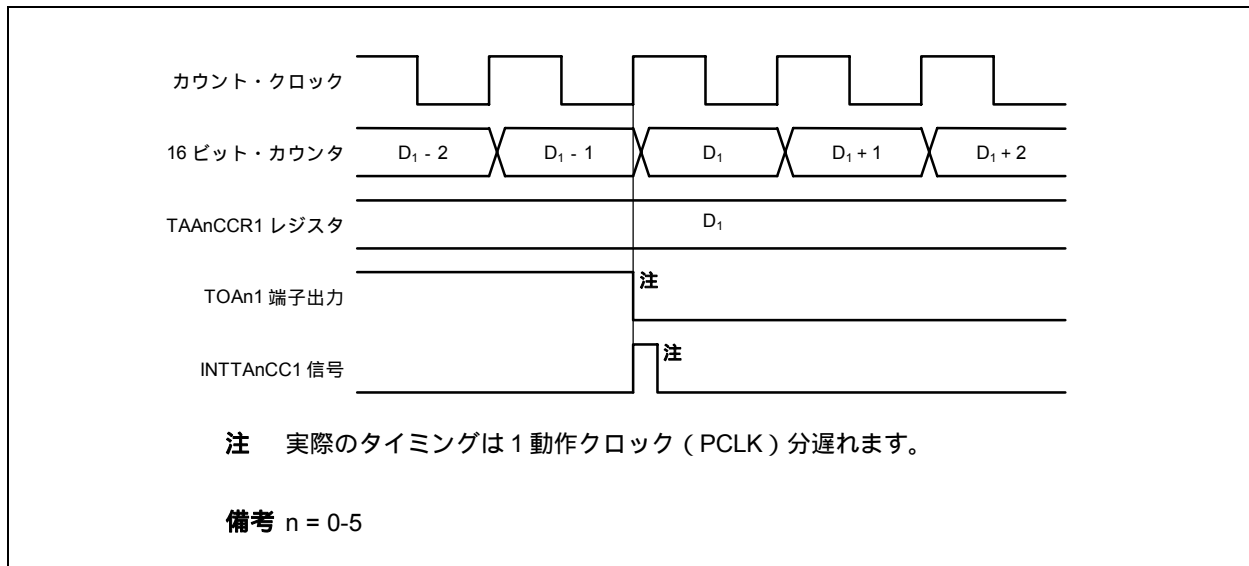
TAAAnCCR0 レジスタを  $D_{00}$  から  $D_{01}$  に、TAAAnCCR1 レジスタを  $D_{10}$  から  $D_{11}$  に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$  の状態で、16 ビット・カウンタのカウント値が  $D_{11}$  よりも大きく  $D_{10}$  よりも小さい状態のとき TAAAnCCR1 レジスタを書き換え、カウント値が  $D_{01}$  よりも大きく  $D_{00}$  よりも小さい状態で TAAAnCCR0 レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値は FFFFH までカウント動作を行い、その後、0000H から再度カウント・アップを行います。そして、 $D_{11}$  との一致で INTTAAAnCC1 信号を発生して TOAn1 端子出力をアクティブ・レベルにし、 $D_{01}$  との一致で INTTAAAnCC0 信号を発生して TOAn1 端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-5

## (b) コンパレー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

ワンショット・パルス出力モードにおける INTTAnCC1 信号の発生タイミングは、ほかのモードの INTTAnCC1 信号と異なり、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTAnCC1 信号は、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1 クロック早いタイミングで発生します。これは、TOAn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 13.6.4 PWM 出力モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 100)

PWM 出力モードは, TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビットをセット (1) することで, TOAn1 端子から PWM 波形を出力します。

また, TOAn0 端子から, TAA<sub>n</sub>CCR0 レジスタの設定値 + 1 を半周期とする 50%デューティの PWM 波形を出力します。

★ 図 13 - 19 PWM 出力モードの構成図

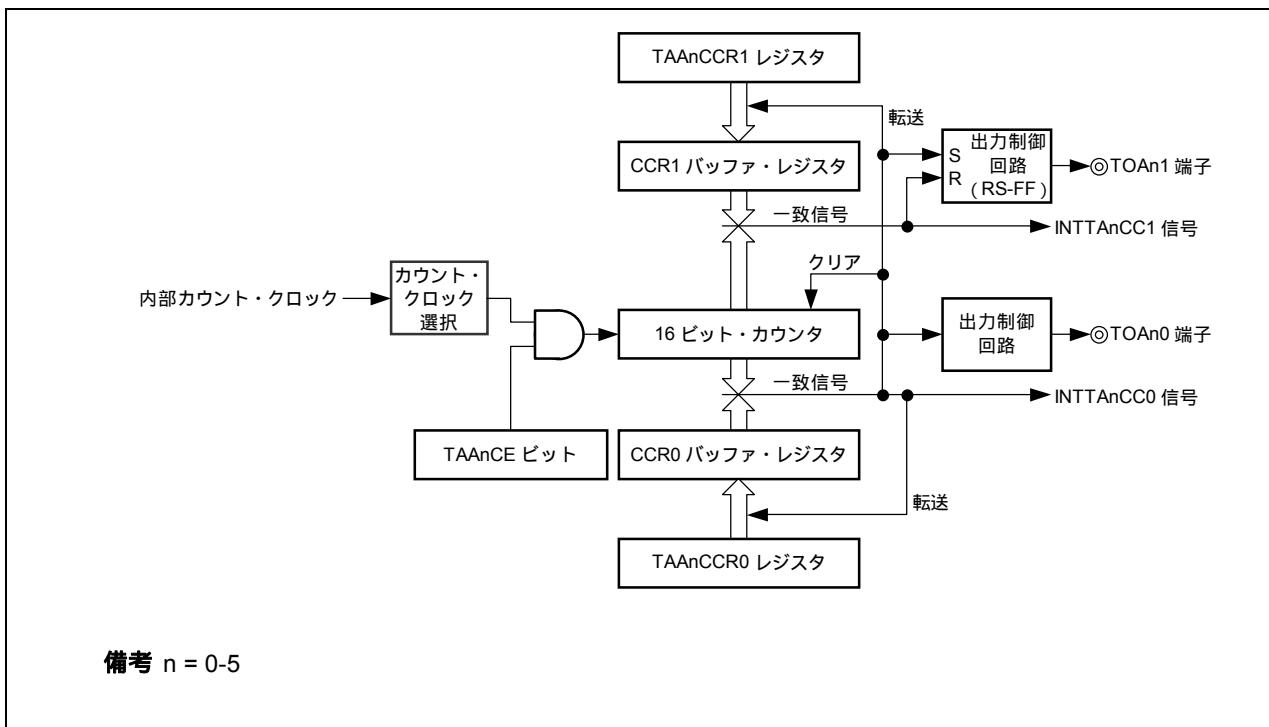
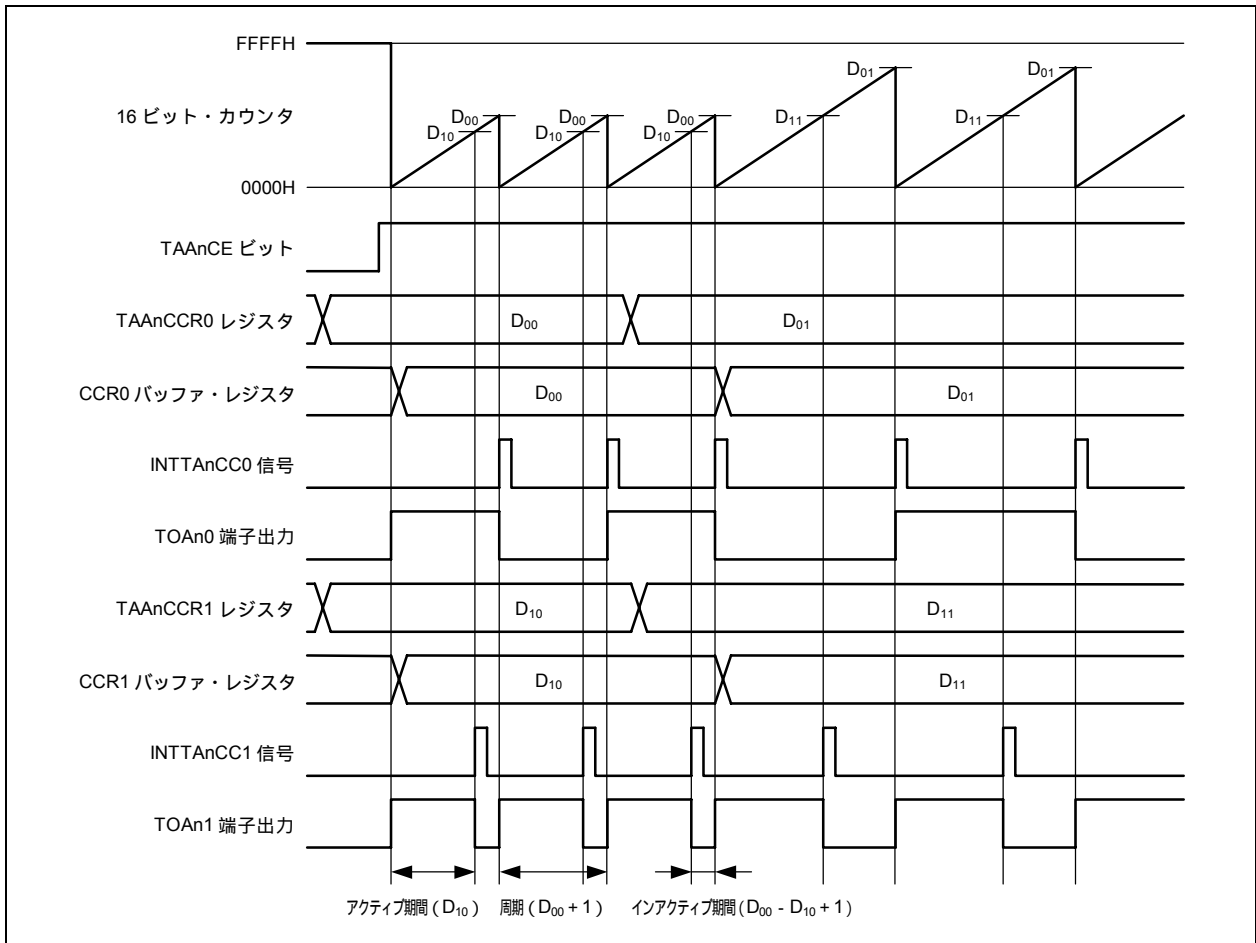


図 13 - 20 PWM 出力モードの基本タイミング



TAAAnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOAn1 端子から PWM 波形を出力します。

PWM 波形のアクティブ・レベル幅，周期，およびデューティーは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TAAAnCCR1 レジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TAAAnCCR0 レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティー} &= (\text{TAAAnCCR1 レジスタの設定値}) / (\text{TAAAnCCR0 レジスタの設定値} + 1) \end{aligned}$$

動作中に TAAAnCCRa レジスタを書き換えることにより、PWM 波形を変更できます。書き換えた値は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致し、16 ビット・カウンタが 0000H にクリアされるタイミングで反映されます。

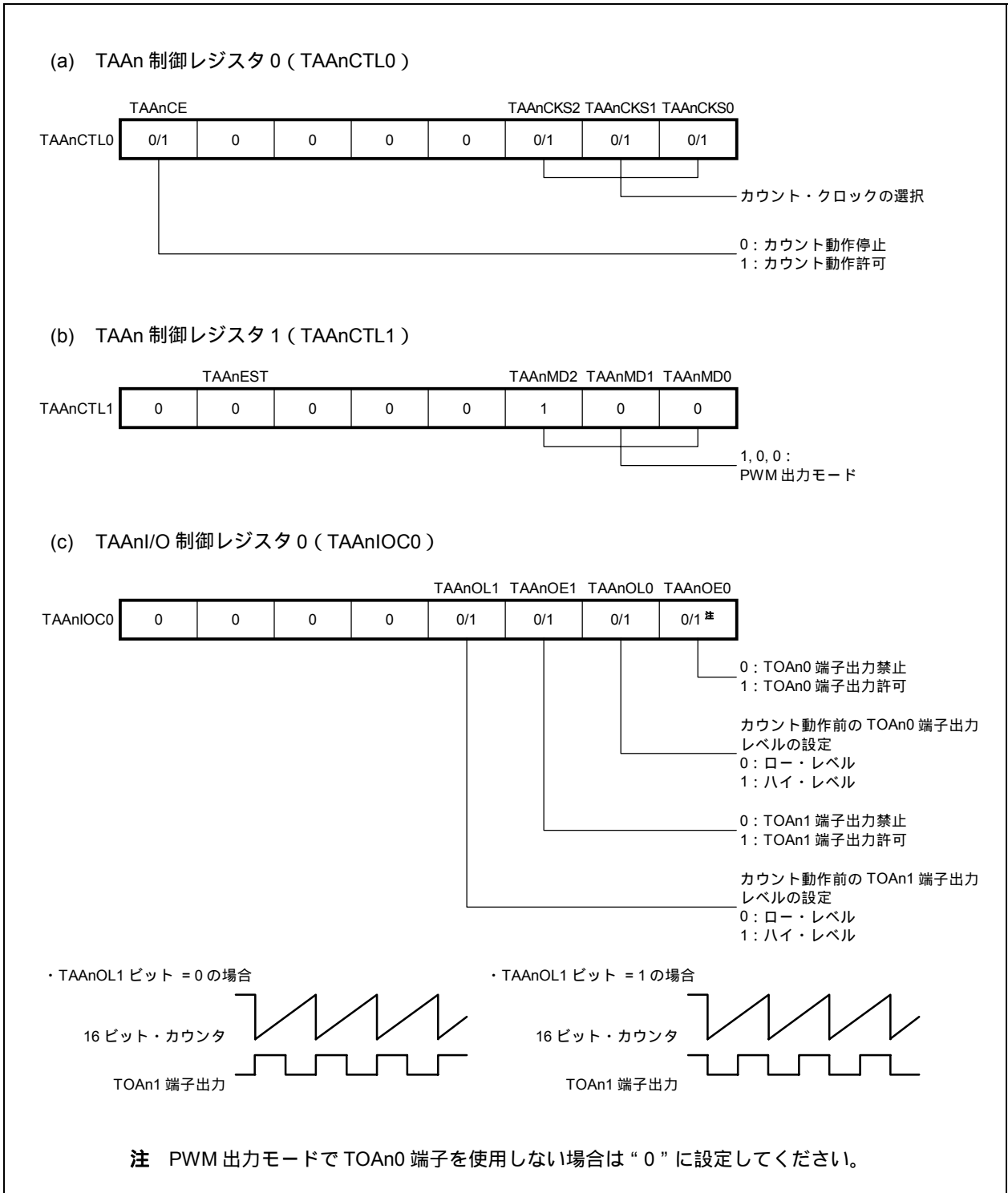
コンペアー一致割り込み要求信号 (INTTAAAnCC0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンペアー一致割り込み要求信号 (INTTAAAnCC1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

備考 n = 0-5, a = 0, 1

★

図 13 - 21 PWM 出力モード動作時のレジスタ設定内容 (1/2)



★

図 13 - 21 PWM 出力モード動作時のレジスタ設定内容 (2/2)

- (d) TAA<sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA<sub>n</sub>CNT)

TAA<sub>n</sub>CNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

- (e) TAA<sub>n</sub> キャプチャ/コンペア・レジスタ 0, 1 (TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1)

TAA<sub>n</sub>CCR0 レジスタに D<sub>0</sub> を設定し、TAA<sub>n</sub>CCR1 レジスタに D<sub>1</sub> を設定した場合、

PWM 波形の周期 = (D<sub>0</sub> + 1) × カウント・クロック周期

PWM 波形のアクティブ・レベル幅 = D<sub>1</sub> × カウント・クロック周期

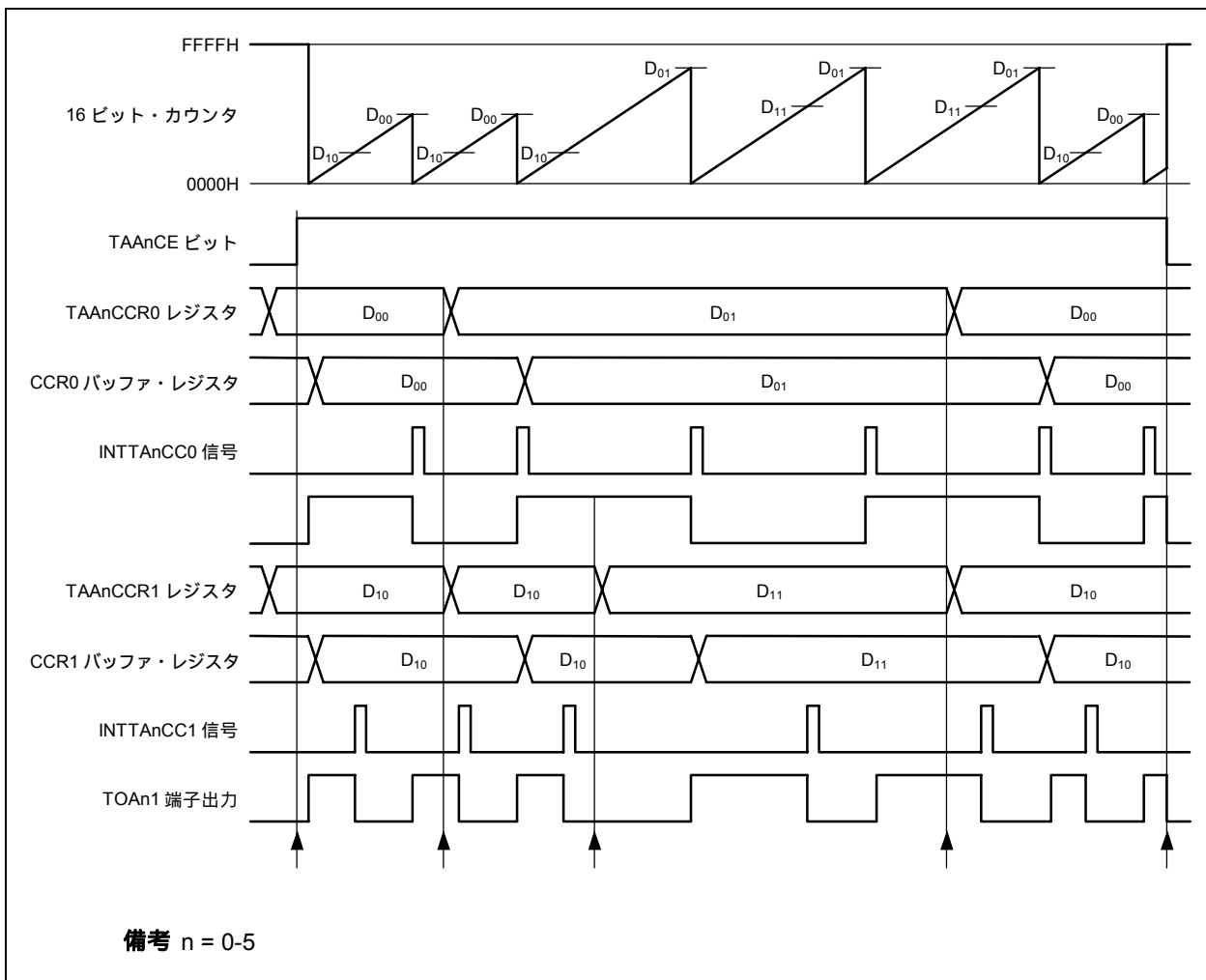
となります。

**備考 1.** TAA<sub>n</sub>I/O 制御レジスタ 1 (TAA<sub>n</sub>IOC1)、TAA<sub>n</sub> オプション・レジスタ 0 (TAA<sub>n</sub>OPT0) は、PWM 出力モードでは使用しません。

**2.** n = 0-5

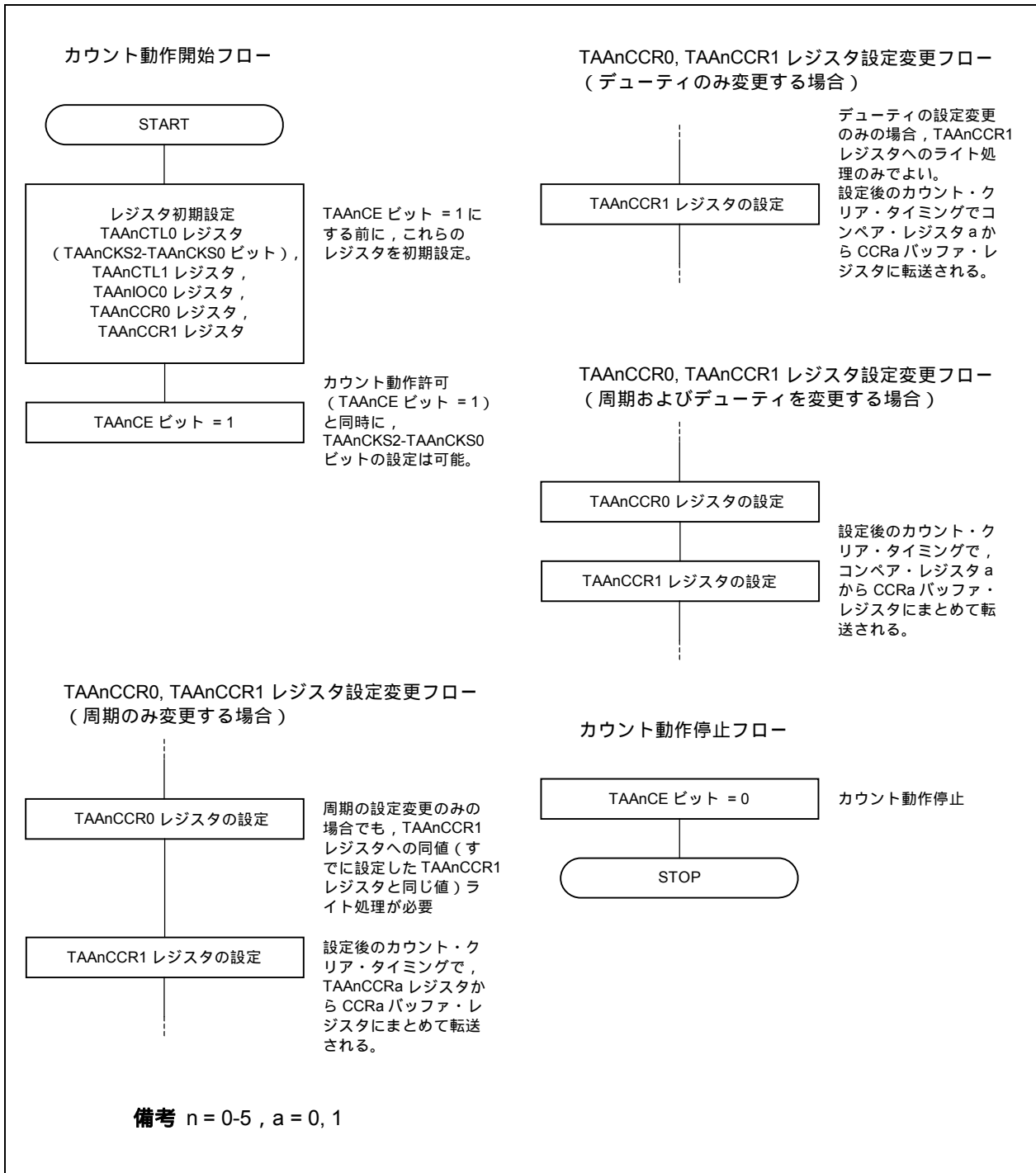
(1) PWM 出力モード動作フロー

図 13 - 22 PWM 出力モード使用時のソフトウェア処理フロー (1/2)



★

図 13 - 22 PWM 出力モード使用時のソフトウェア処理フロー (2/2)

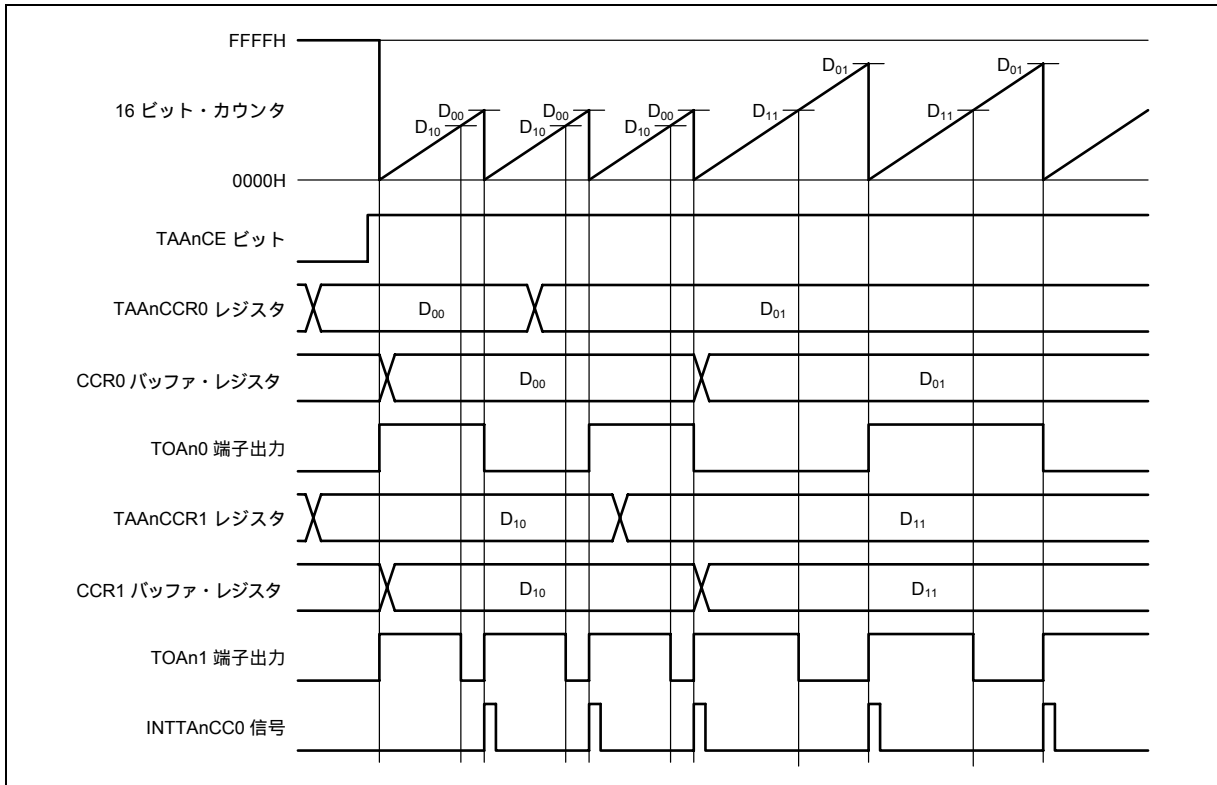




## (2) PWM 出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中に PWM 波形を変更する場合には、最後に TAAAnCCR1 レジスタにライトしてください。  
TAAAnCCR1 レジスタにライト後、再度 TAAAnCCRa レジスタの書き換えを行う場合には、  
INTTAAAnCC0 信号を検出後に書き換えてください。



TAAAnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TAAAnCCR0 レジスタに周期を設定し、そのあとで TAAAnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TAAAnCCR0 レジスタに周期を設定し、そのあとで TAAAnCCR1 レジスタに同値（すでに設定した TAAAnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1 レジスタのみの設定でかまいません。

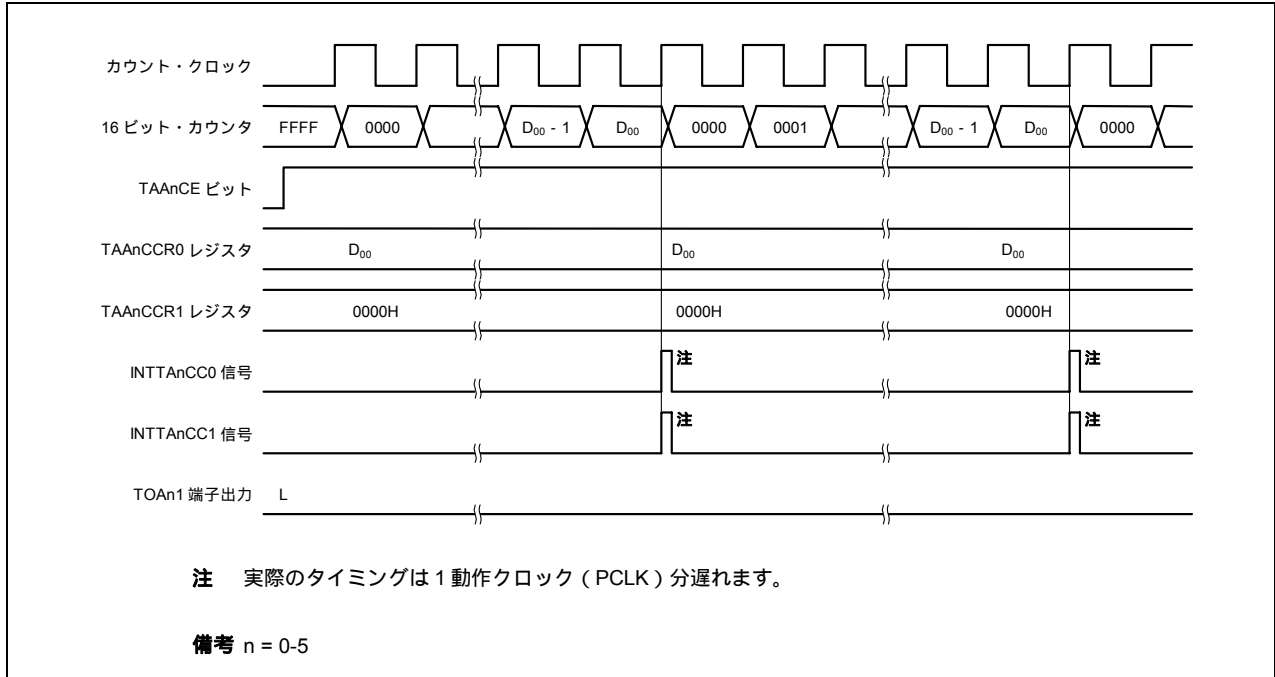
TAAAnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

また、一度 TAAAnCCR1 レジスタにライトしたあとで、再度 TAAAnCCR0、または TAAAnCCR1 レジスタへのライトを行う場合は、INTTAAAnCC0 信号の発生後に行ってください。これを守れない場合には、TAAAnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TAAAnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

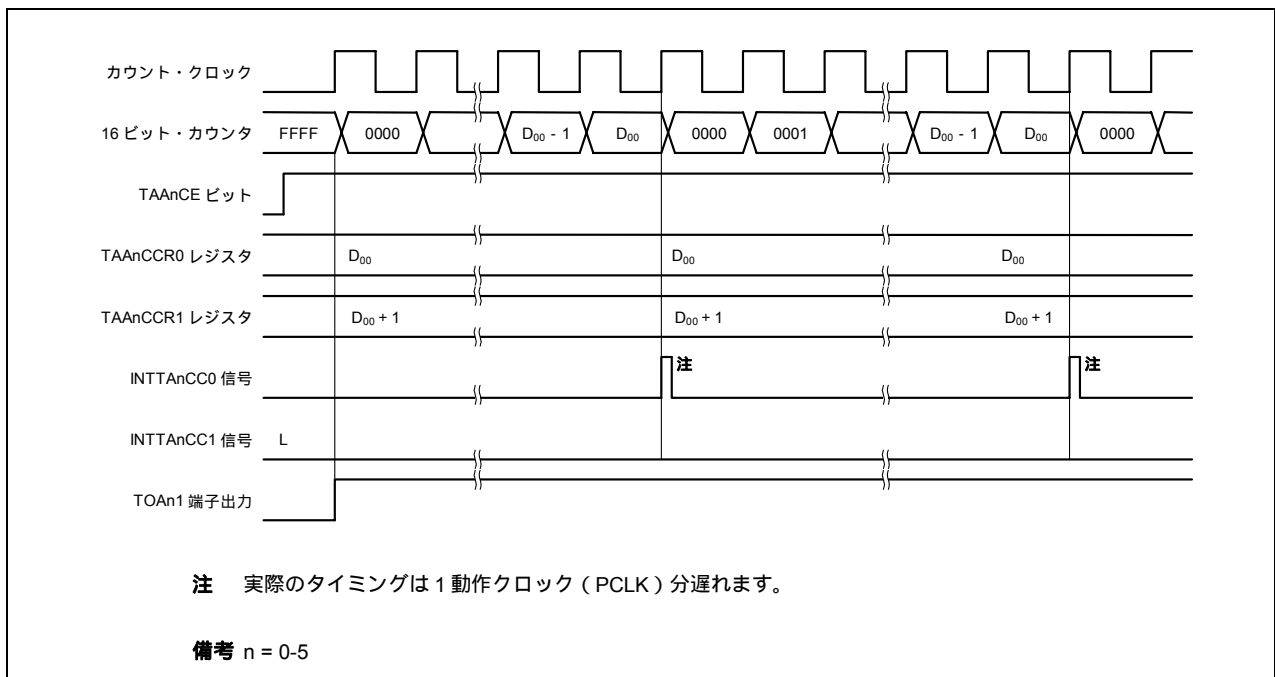
**備考** n = 0-5, a = 0, 1

## (b) PWM 波形の 0% / 100%出力

0%波形を出力するためには、TAAAnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTAAAnCC0 信号と INTTAAAnCC1 信号が発生します。

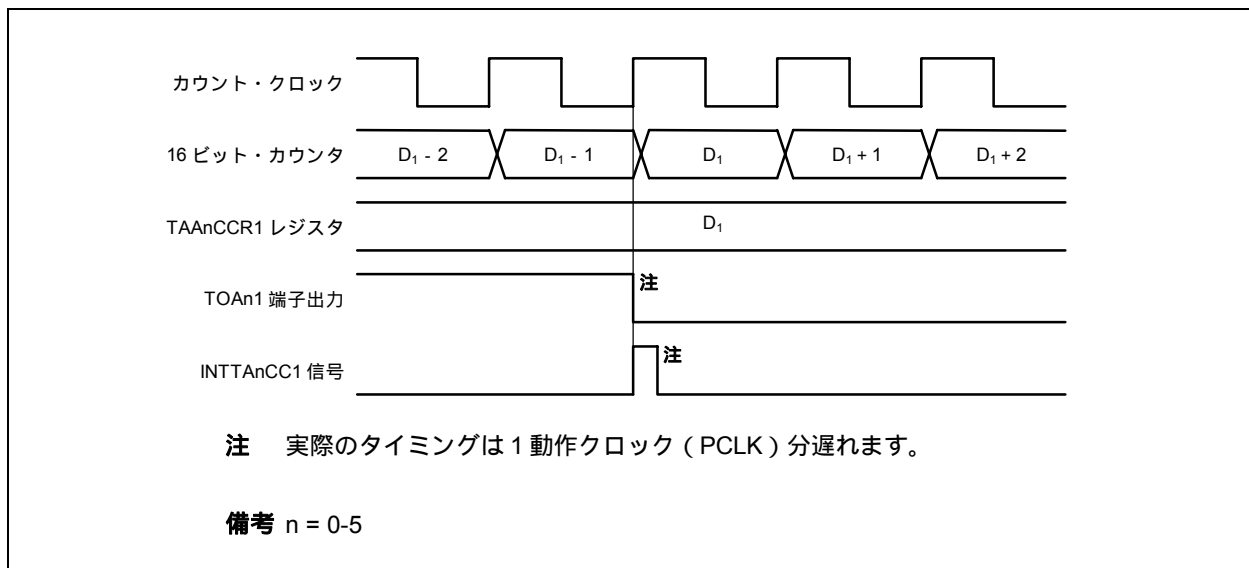


100%波形を出力するためには、TAAAnCCR1 レジスタに対して (TAAAnCCR0 レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。



## (c) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

PWM 出力モードにおける INTTAnCC1 信号の発生タイミングは、ほかのモードの INTTAnCC1 信号と異なり、16 ビット・カウンタのカウンタ値と TAAAnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTAnCC1 信号は、16 ビット・カウンタのカウンタ値と TAAAnCCR1 レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

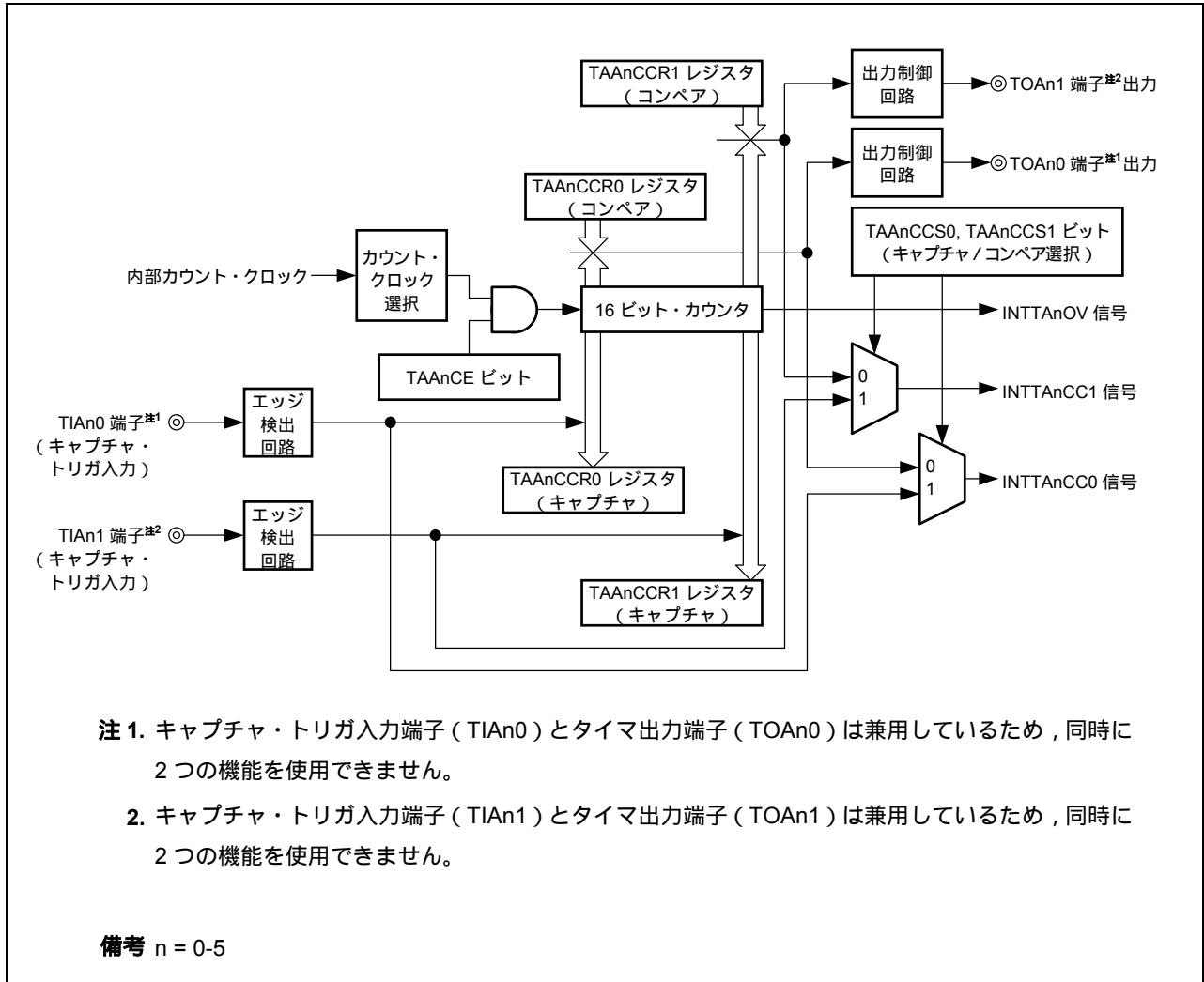
しかし、PWM 出力モードの場合、1 クロック早いタイミングで発生します。これは、TOAn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 13.6.5 フリー・ランニング・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 101)

フリー・ランニング・タイマ・モードは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビットをセット (1) することでカウント動作を開始します。このときの TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1 レジスタの動作は、TAA<sub>n</sub>OPT0.TAA<sub>n</sub>CCS0, TAA<sub>n</sub>CCS1 ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

★

図 13 - 23 フリー・ランニング・タイマ・モードの構成図



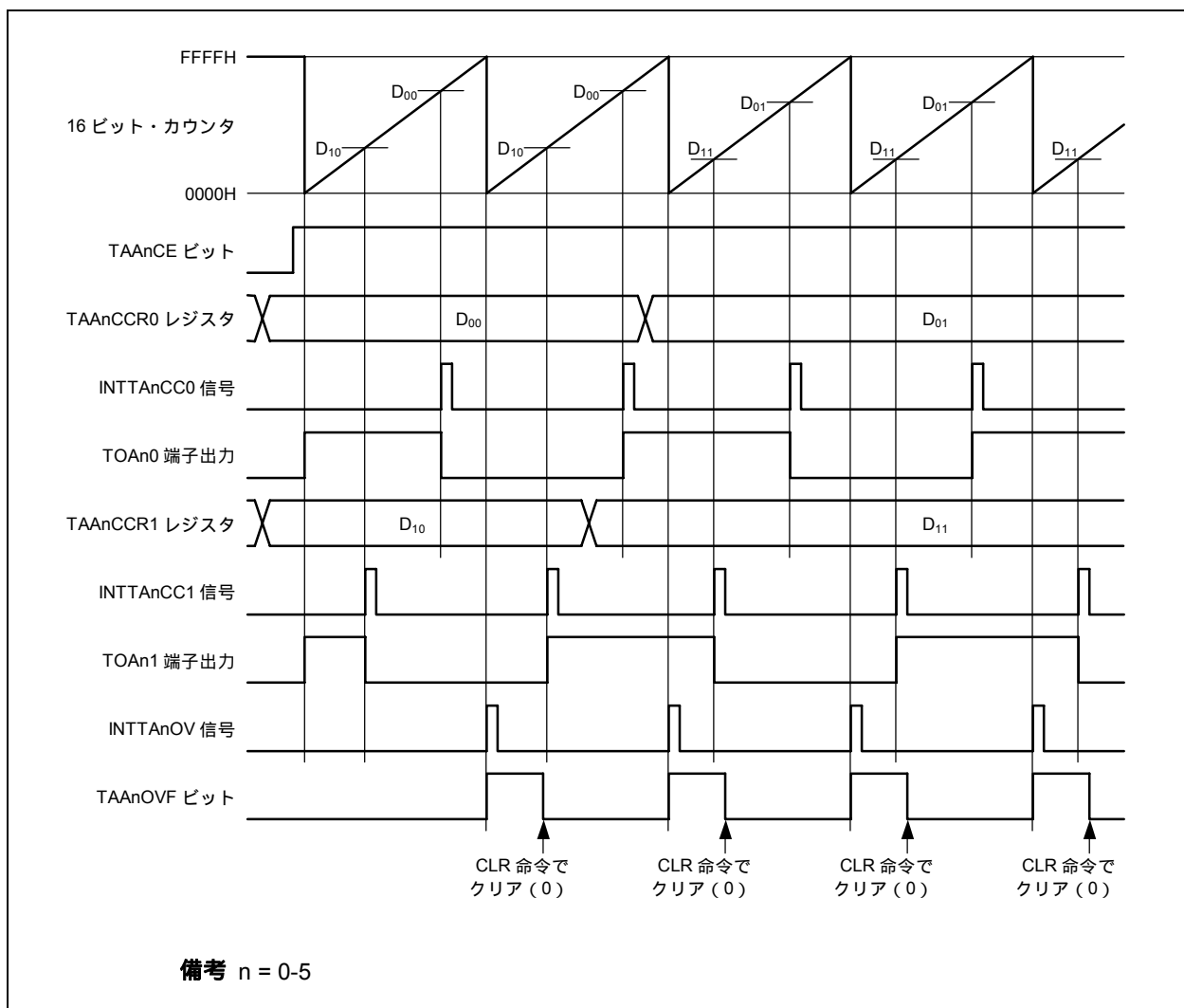
- ・コンペア動作

TAAAnCE ビットをセット (1) することで、カウント動作を開始し、TOAna 端子出力を反転します。その後、16 ビット・カウンタのカウント値と TAAAnCCRa レジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTAAAnCCa) を発生し、TOAna 端子出力を反転します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAAAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されているのを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

TAAAnCCRa レジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図 13 - 24 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)

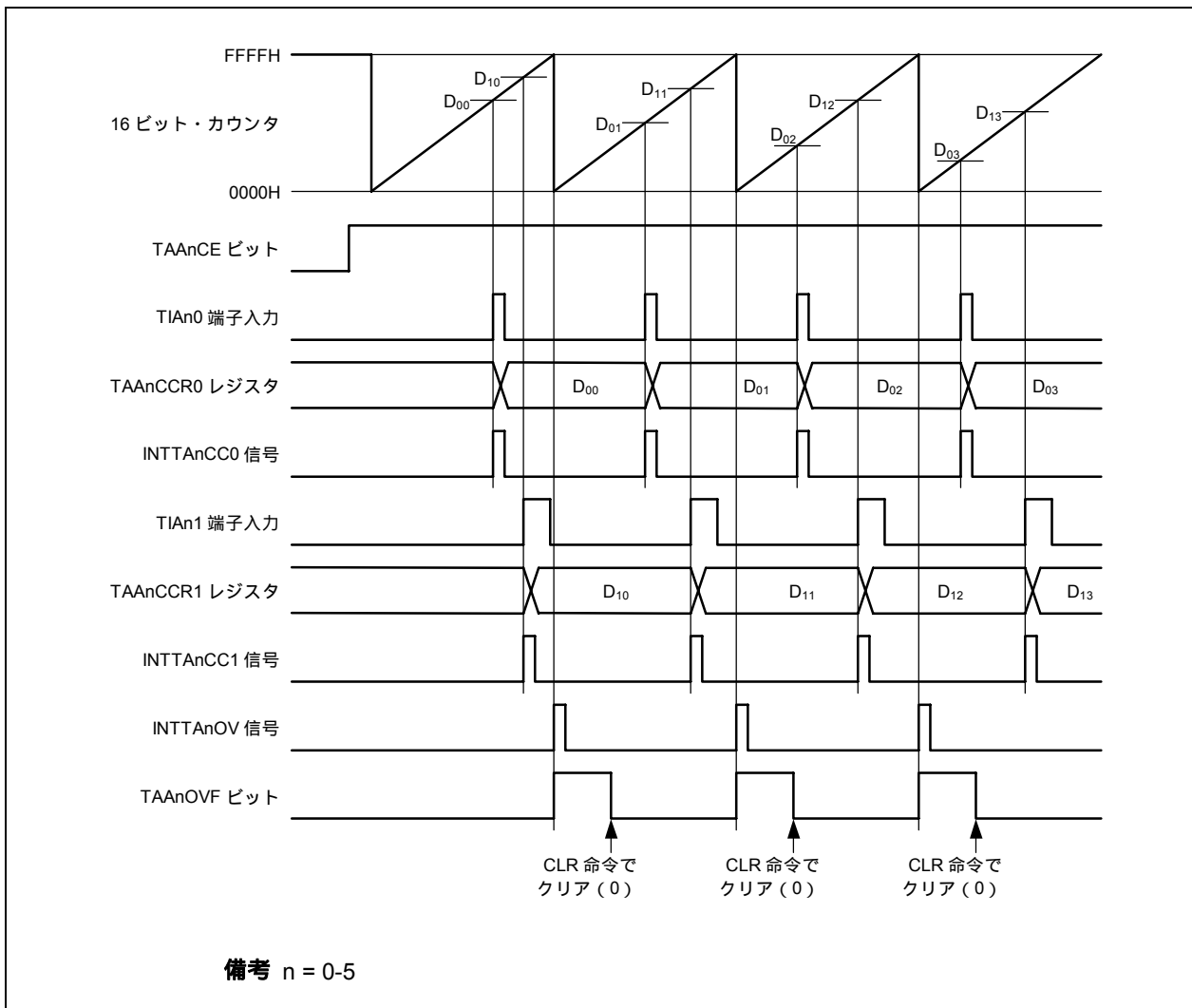


・キャプチャ動作

TAAAnCE ビットをセット (1) することで、カウント動作を開始します。その後、TIAAn0 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TAAAnCCRn レジスタに格納し、キャプチャ割り込み要求信号 (INTTAAAnCCn) を発生します。

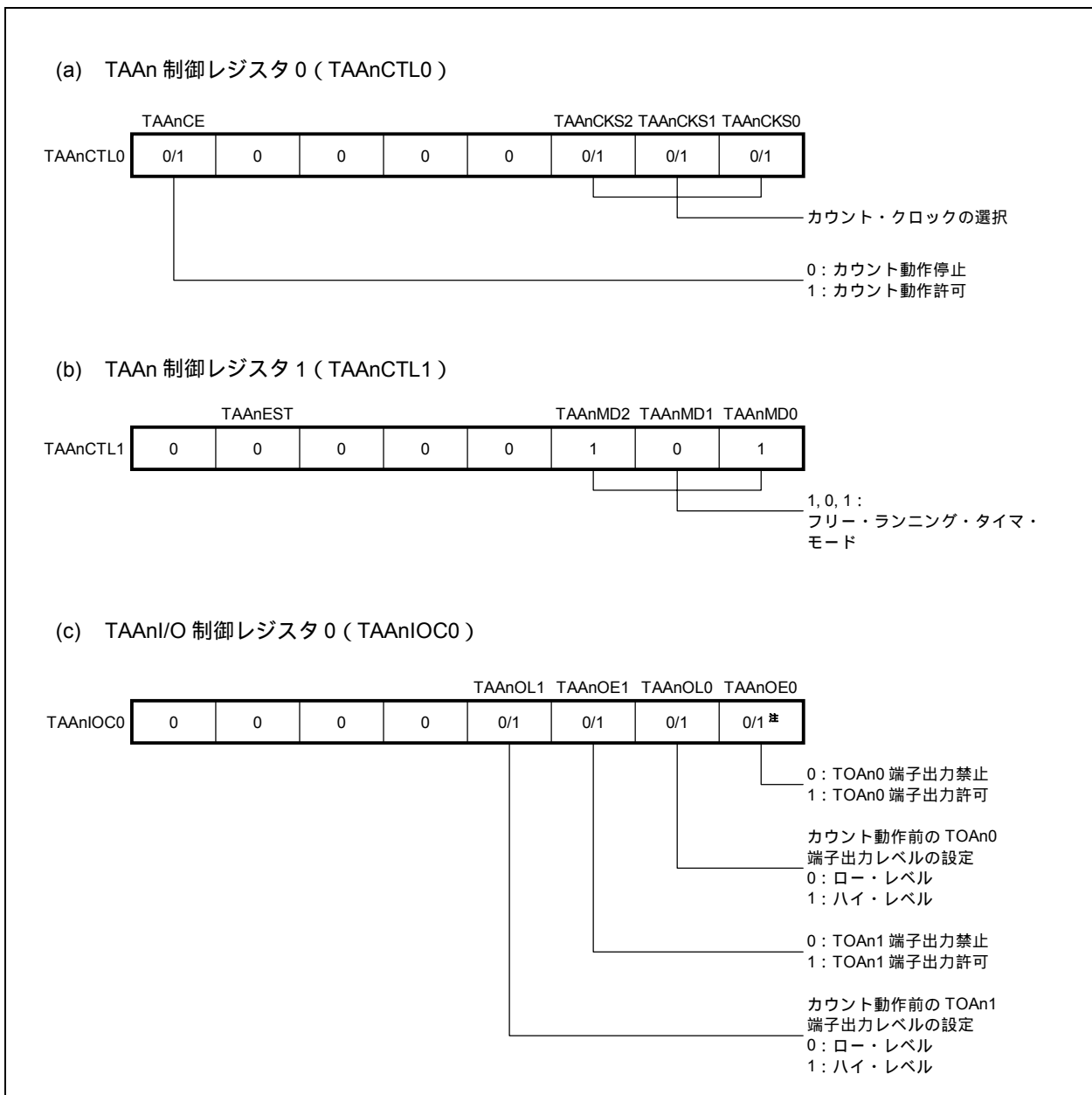
16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAAAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

図 13 - 25 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)



★

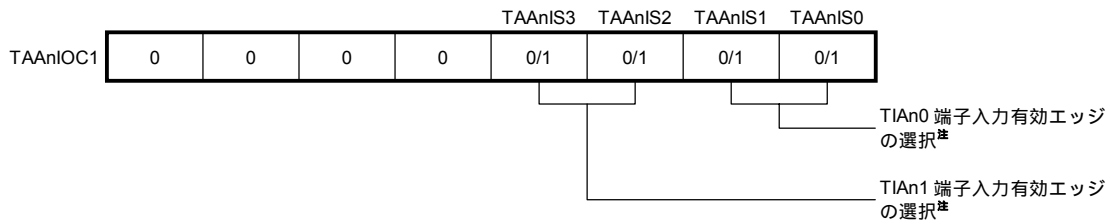
図 13 - 26 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)



★

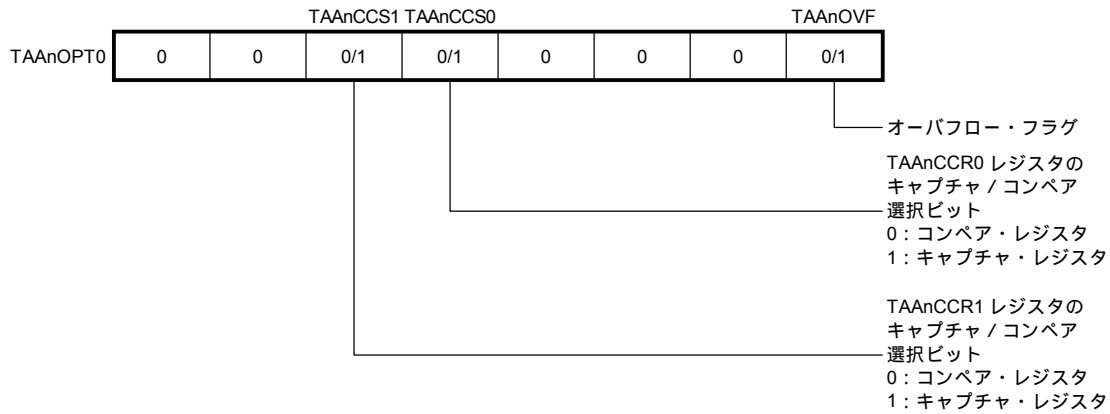
図 13 - 26 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

## (d) TAAAnI/O 制御レジスタ 1 (TAAAnIOC1)



**注** 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

## (e) TAAAn オプション・レジスタ 0 (TAAAnOPT0)



## (f) TAAAn カウンタ・リード・バッファ・レジスタ (TAAAnCNT)

TAAAnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

## (g) TAAAn キャプチャ/コンペア・レジスタ 0, 1 (TAAAnCCR0, TAAAnCCR1)

TAAAnOPT0.TAAAnCCSa ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIAAna 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TAAAnCCR<sub>a</sub> レジスタに D<sub>a</sub>を設定した場合、カウンタが (D<sub>a</sub> + 1) になるタイミングで INTTAAAnCC<sub>a</sub> 信号を発生し、TOAn0, TOAn1 端子出力を反転します。

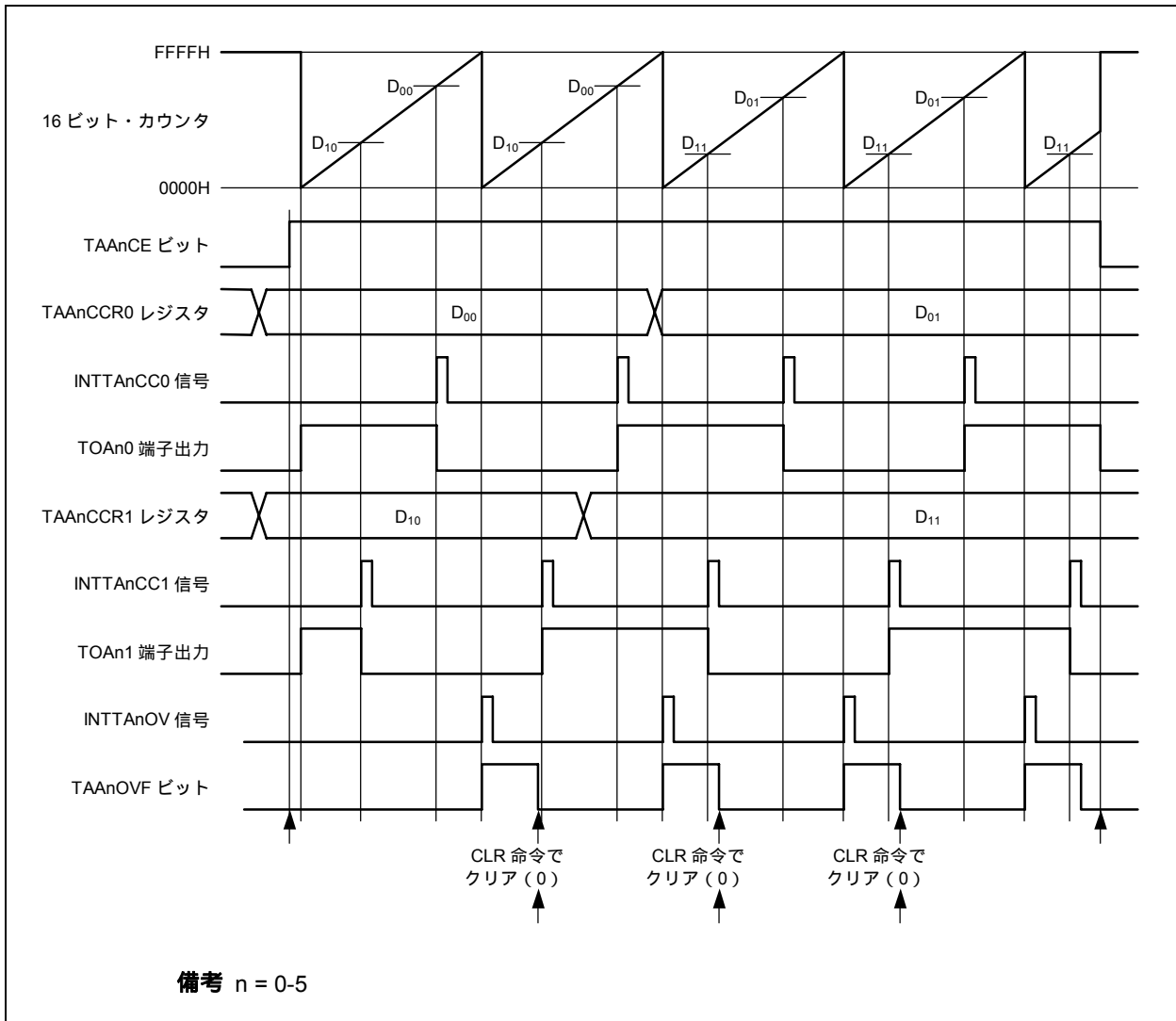
**備考** n = 0-5, a = 0, 1



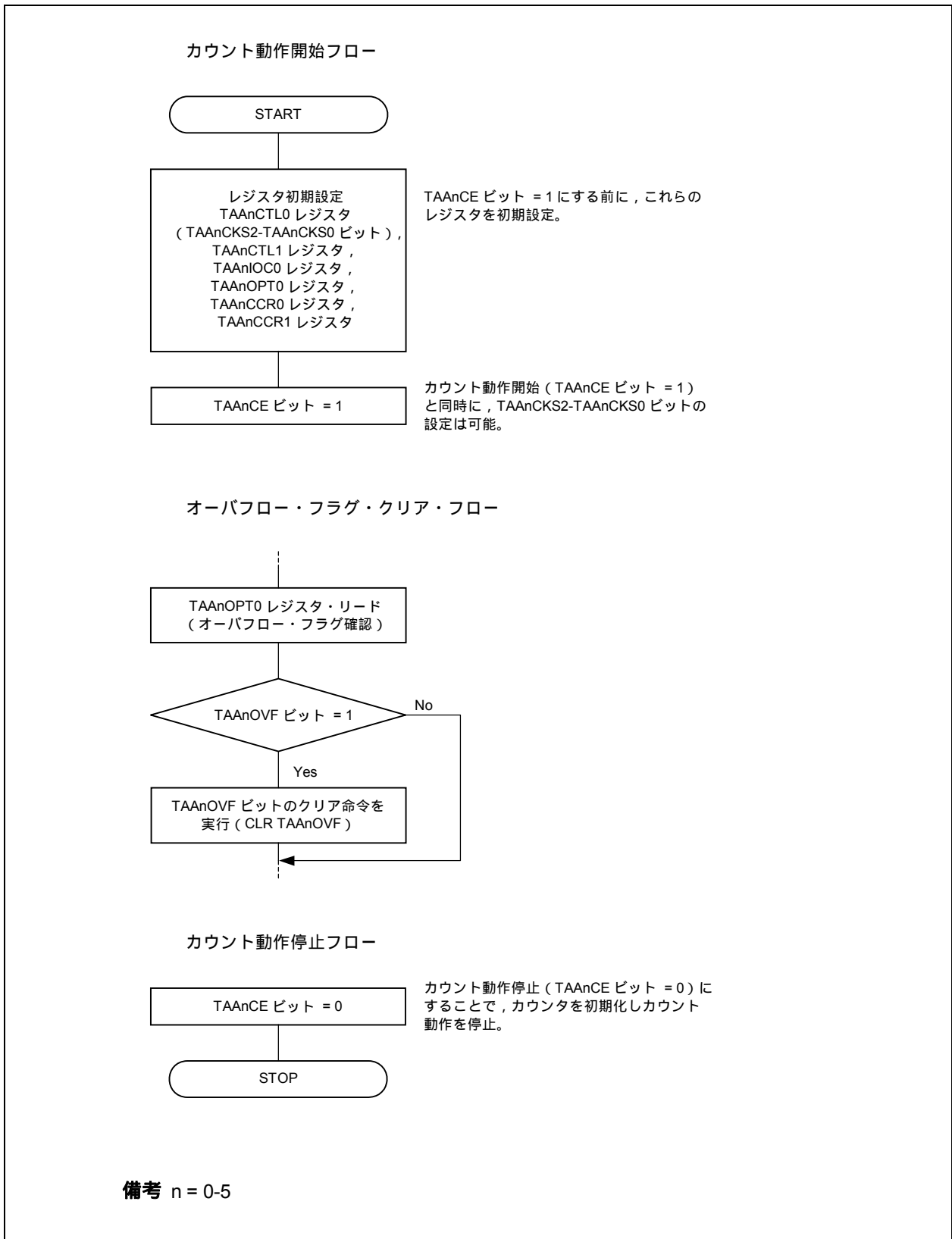
(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図 13 - 27 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(1/2)



★ 図 13 - 27 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図 13 - 28 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能)  
(1/2)

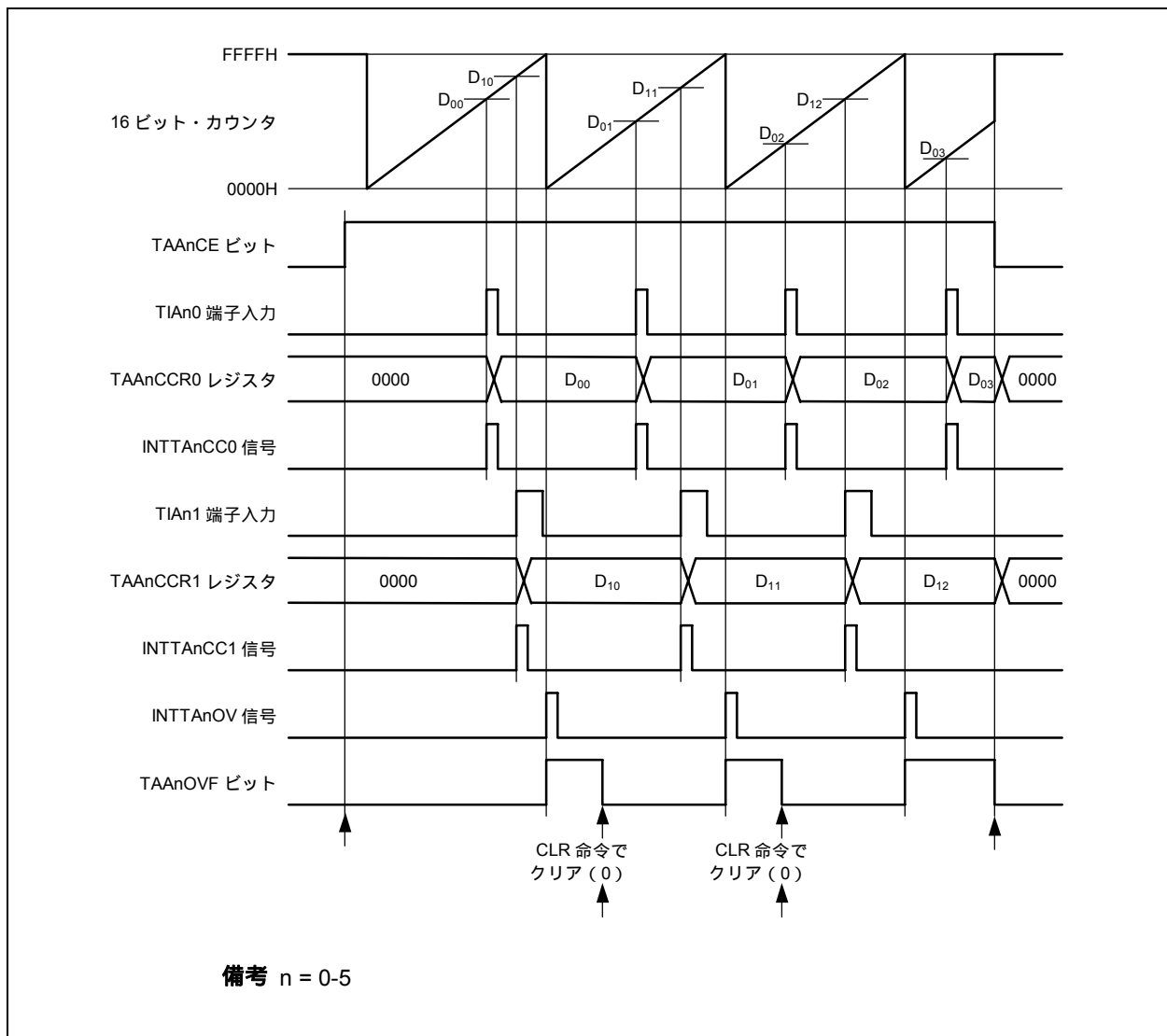
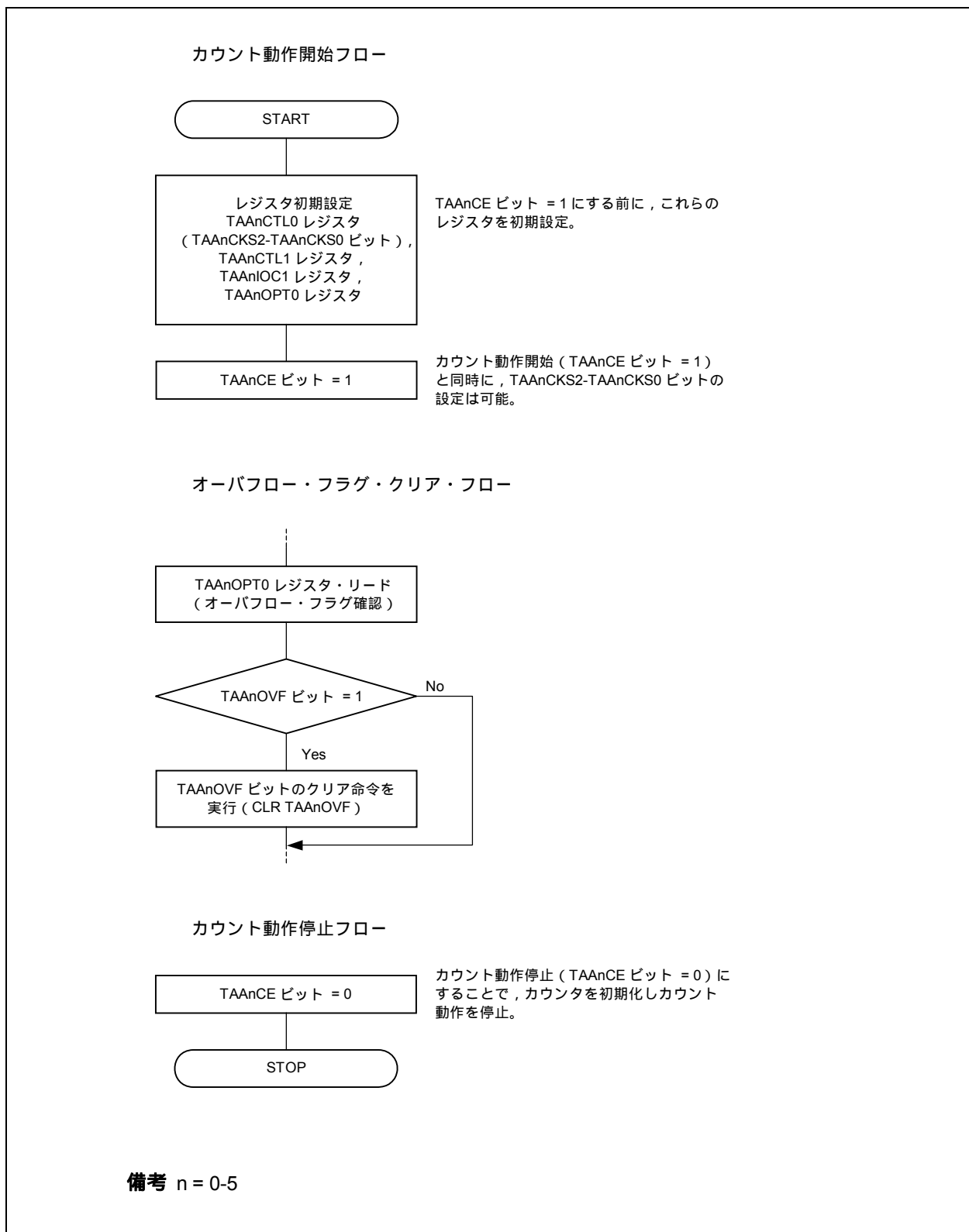


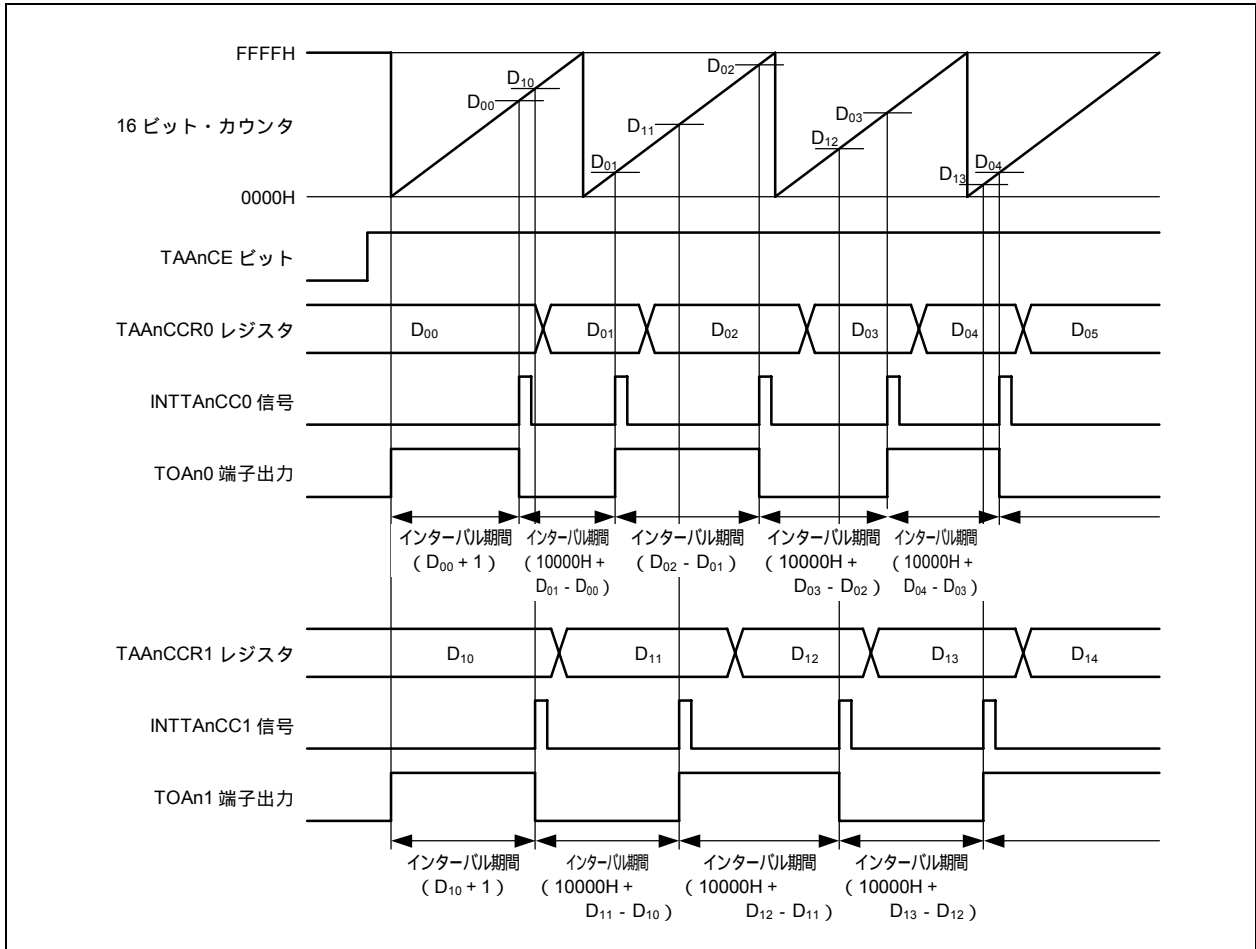
図 13 - 28 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能)  
(2/2)



## (2) フリー・ランニング・タイマ・モード動作タイミング

## (a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCR<sub>a</sub> レジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAAAnCC<sub>a</sub> 信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAAAnCC<sub>a</sub> 信号を検出したときの割り込み処理中に、対応するTAAAnCCR<sub>a</sub> レジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D<sub>a</sub>”とすると、次のように求められます。

コンペア・レジスタ初期値 : D<sub>a</sub> - 1

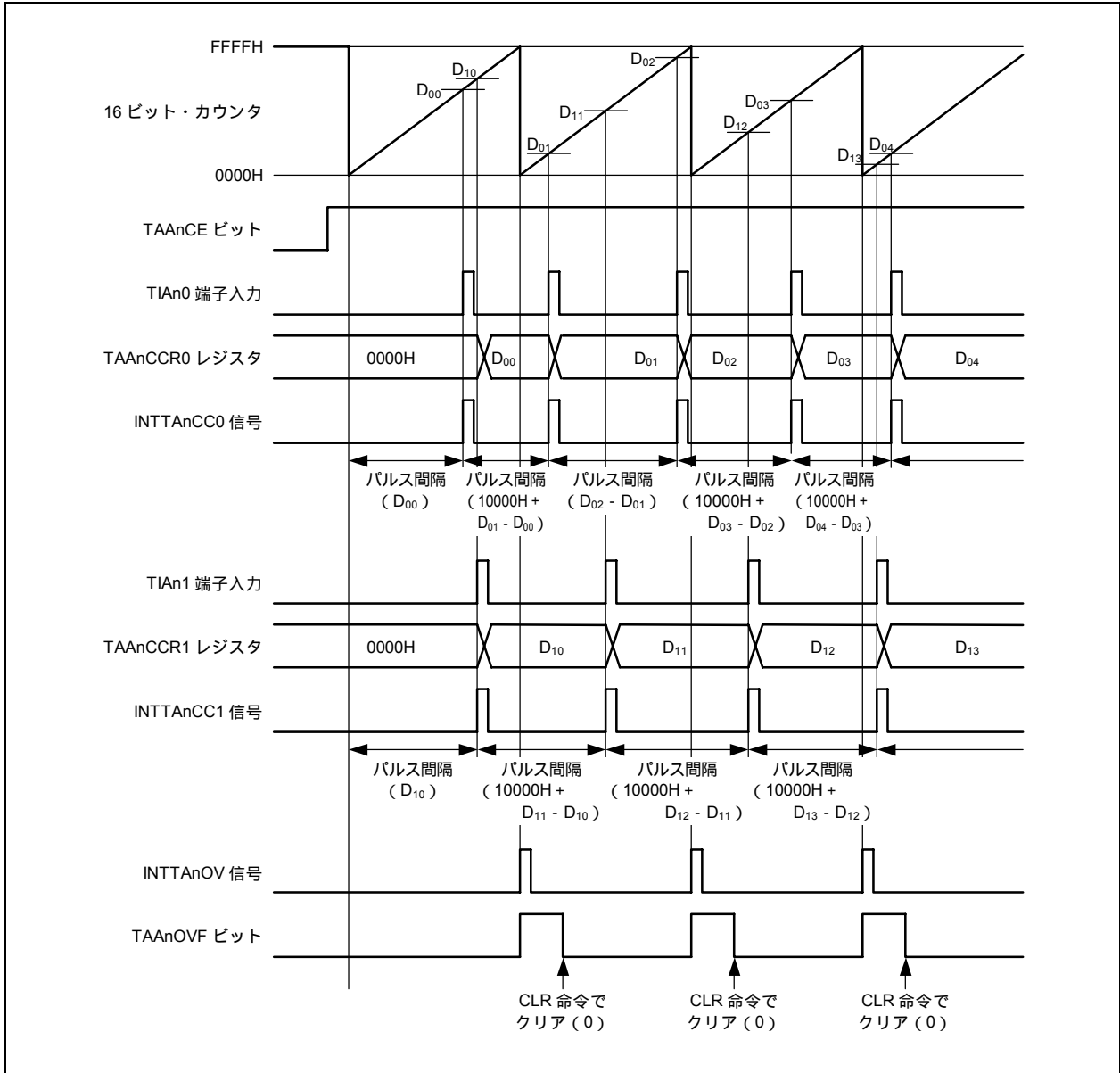
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D<sub>a</sub>

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

**備考** n = 0-5, a = 0, 1

## (b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAAnCCR<sub>a</sub> レジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAnCC<sub>a</sub> 信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



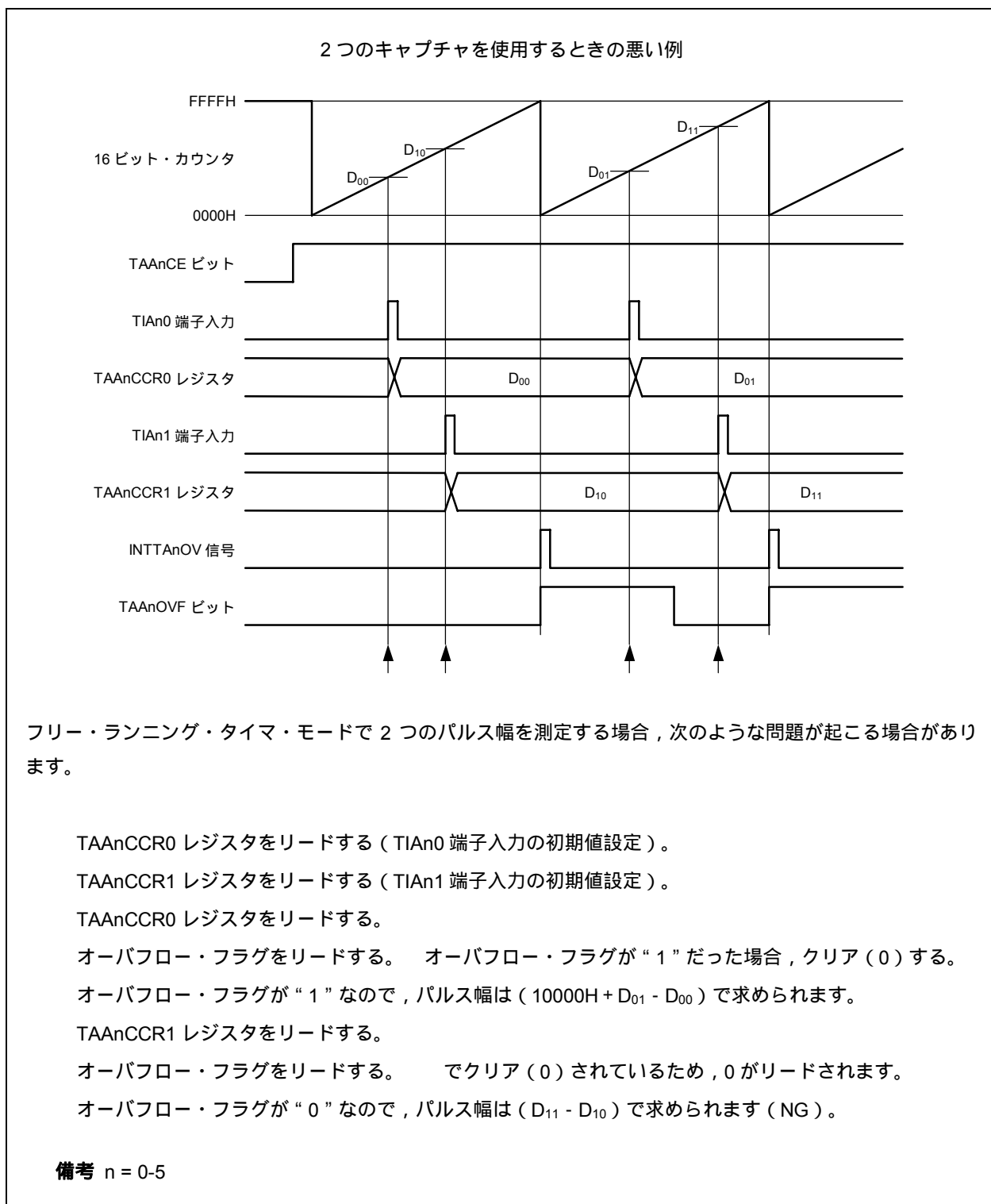
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTAnCC<sub>a</sub> 信号に同期して TAAAnCCR<sub>a</sub> レジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

**備考 n = 0-5, a = 0, 1**

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

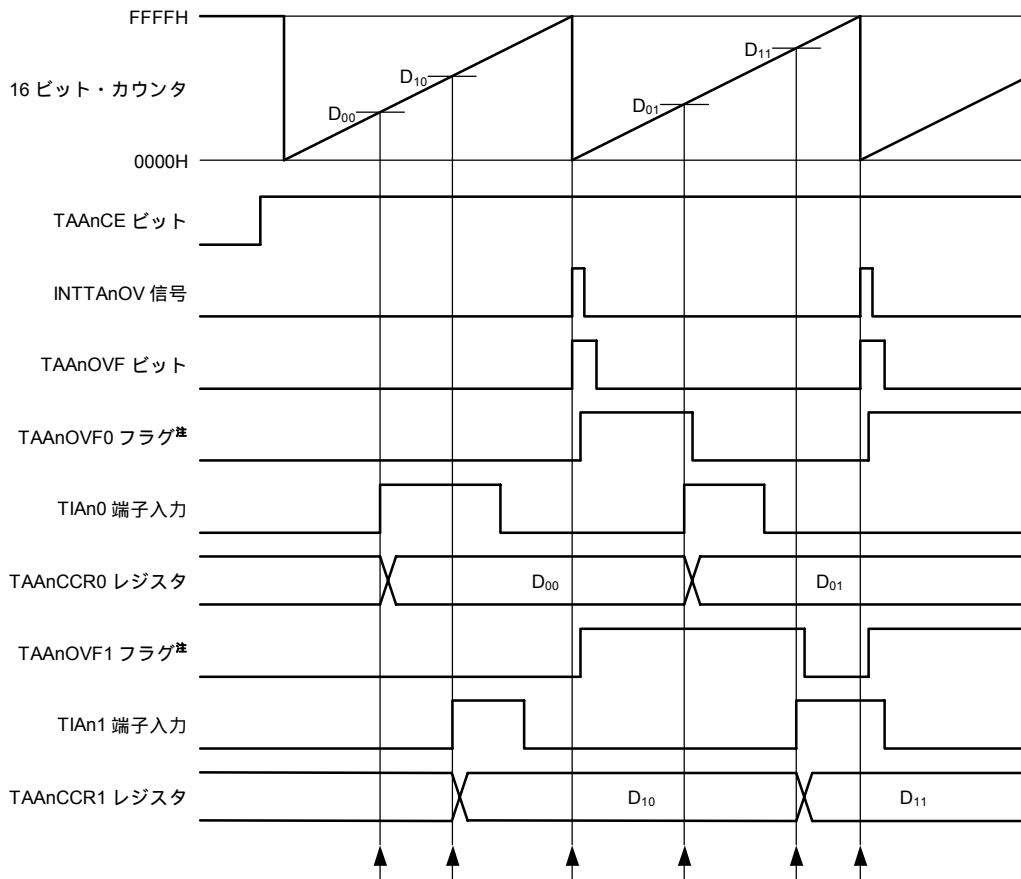
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAAAnOVF0, TAAAnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

TAAAnCCR0 レジスタをリードする (TIAAn0 端子入力の初期値設定)。

TAAAnCCR1 レジスタをリードする (TIAAn1 端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TAAAnOVF0, TAAAnOVF1 フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TAAAnCCR0 レジスタをリードする。

TAAAnOVF0 フラグをリードする。 TAAAnOVF0 フラグが "1" だった場合、クリア (0) する。

TAAAnOVF0 フラグが "1" なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TAAAnCCR1 レジスタをリードする。

TAAAnOVF1 フラグをリードする。 TAAAnOVF1 フラグが "1" だった場合、クリア (0) する (ここでクリア (0) されたのは TAAAnOVF0 フラグであり、TAAAnOVF1 フラグは "1" のまま)。

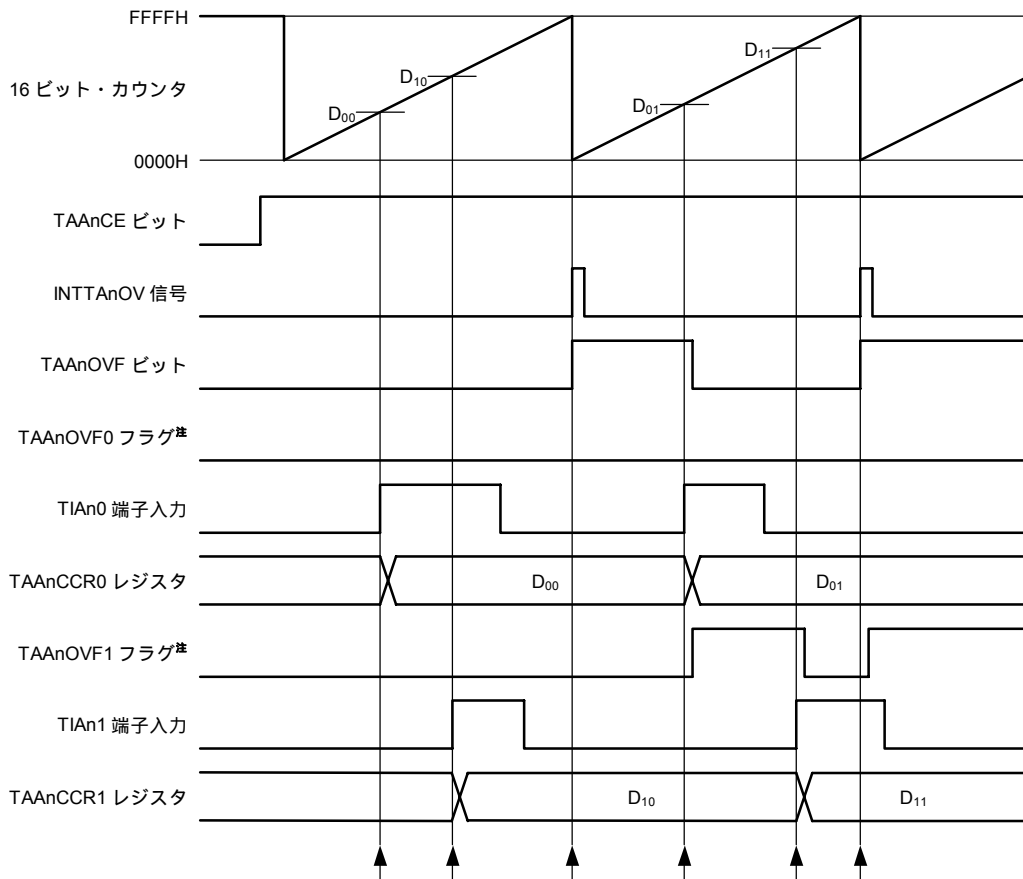
TAAAnOVF1 フラグが "1" なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0-5



## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TAAAnOVF0, TAAAnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

TAAAnCCR0 レジスタをリードする (TIAAn0 端子入力の初期値設定)。

TAAAnCCR1 レジスタをリードする (TIAAn1 端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAAAnCCR0 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TAAAnOVF1 フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TAAAnCCR1 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

TAAAnOVF1 フラグをリードする。TAAAnOVF1 フラグが“1”だった場合、クリア (0) する。

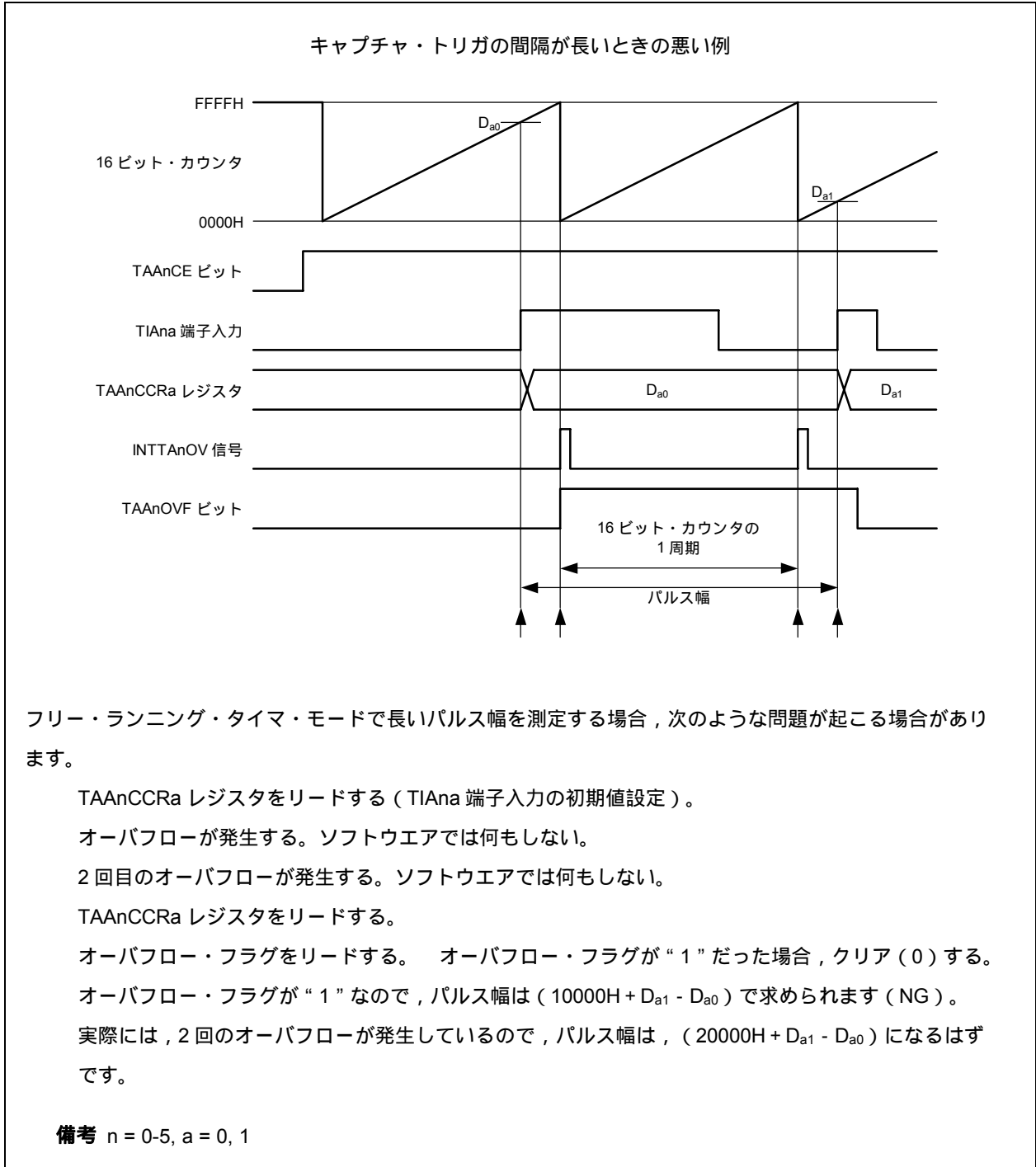
TAAAnOVF1 フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0-5

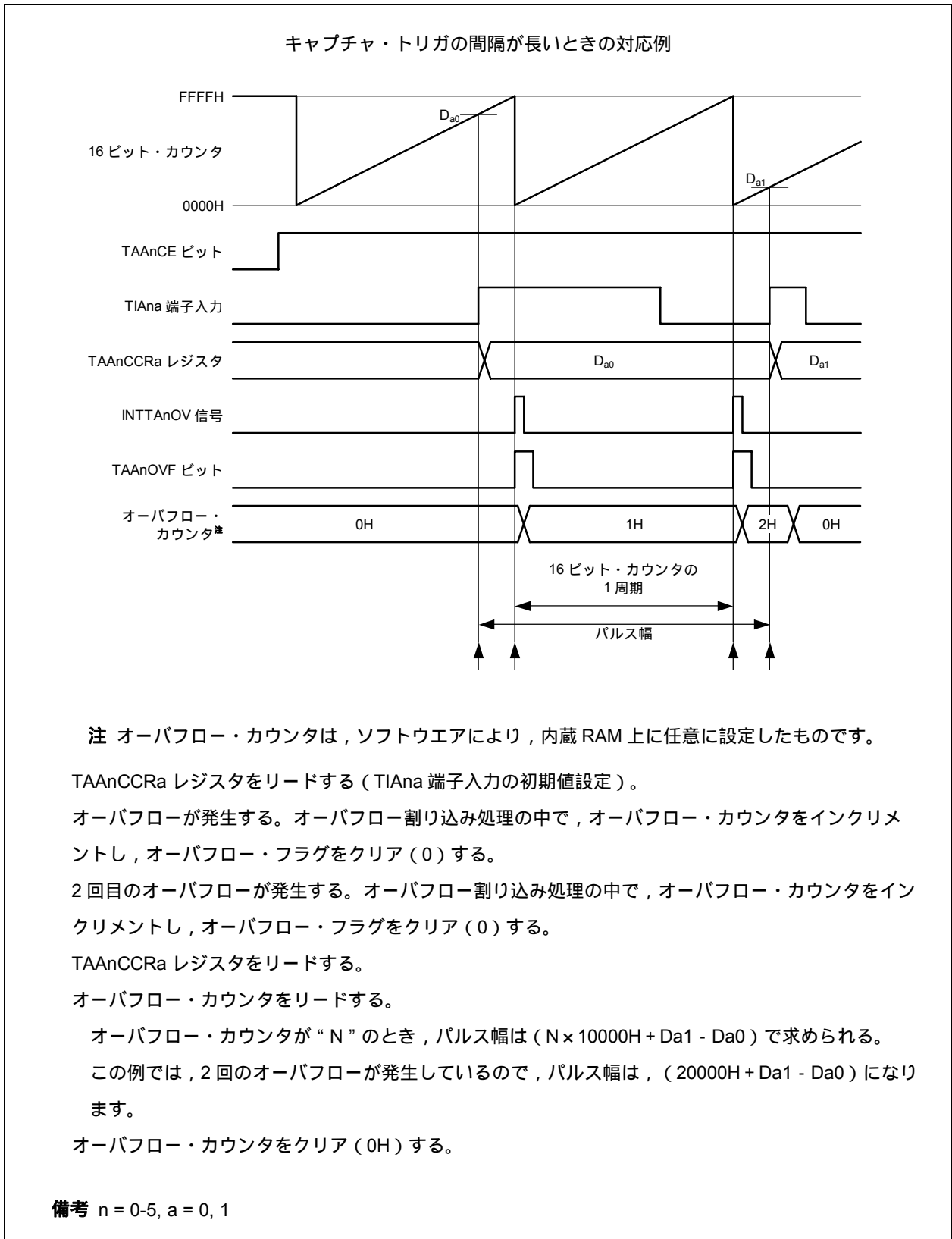
## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が 16 ビット・カウンタの 1 周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが 2 回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2 回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして 16 ビット・カウンタの 1 周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。



## (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAAAnOVF ビット = 1 をリードしたあとに TAAAnOVF ビットを CLR 命令でクリア (0) する方法と、TAAAnOVF ビット = 1 をリードしたあとに TAAAnOPT0 レジスタに 8 ビット・データ (ビット 0 は “0”) をライトする方法があります。

### 13.6.6 パルス幅測定モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0 ビット = 110)

パルス幅測定モードは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CE ビットをセット(1)することでカウント動作を開始し、TIA<sub>n</sub>a 端子入力の有効エッジを検出するごとに、16 ビット・カウンタのカウント値を TAA<sub>n</sub>CCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアします。

キャプチャ割り込み要求信号 (INTTAA<sub>n</sub>CCa) が発生したあと、TAA<sub>n</sub>CCRa レジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図 13 - 30 のような場合は、キャプチャ・トリガ入力端子として TIA<sub>n</sub>0、TIA<sub>n</sub>1 端子のいずれか 1 本を使用し、使用しない端子は TAA<sub>n</sub>IOC1 レジスタで“エッジ検出なし”に設定してください。

★ 図 13 - 29 パルス幅測定モードの構成図

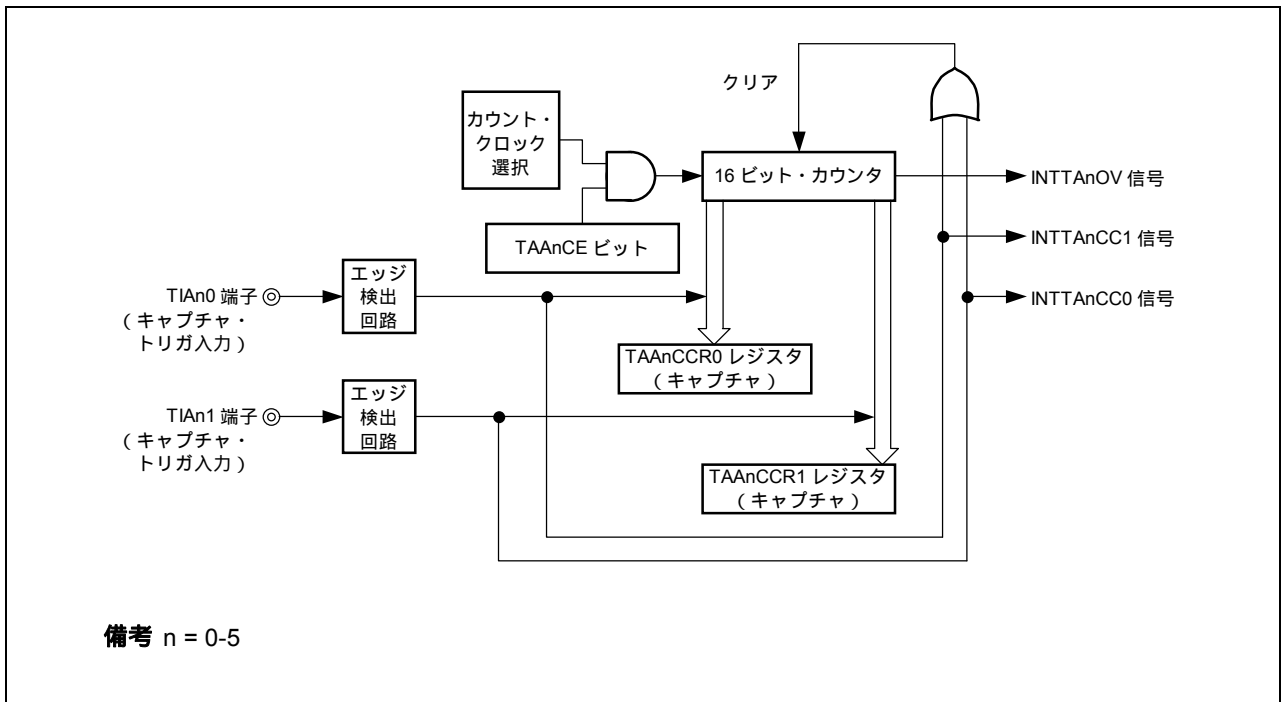
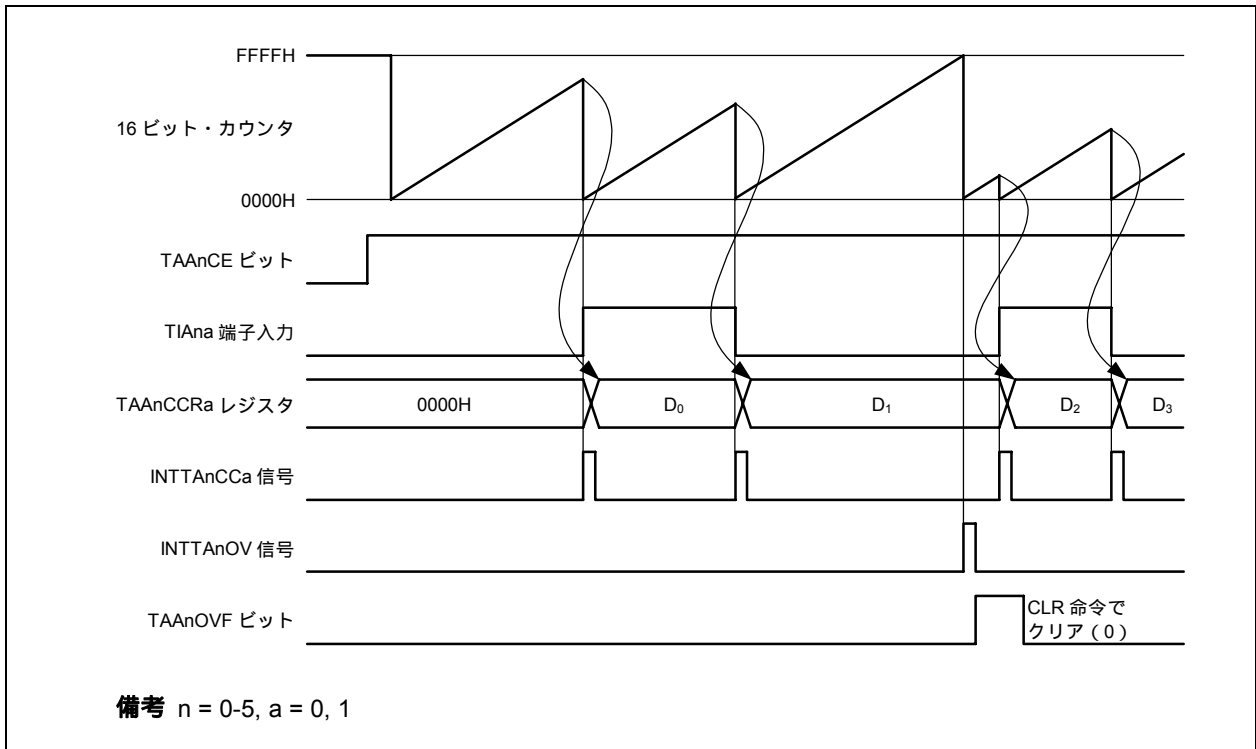


図 13 - 30 パルス幅測定モードの基本タイミング



TAAAnCE ビットをセット (1) することで、カウント動作を開始します。その後、TIAAnA 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TAAAnCCRn レジスタに格納し、16 ビット・カウンタを 0000H にクリアし、キャプチャ割り込み要求信号 (INTTAAAnCCa) を発生します。パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

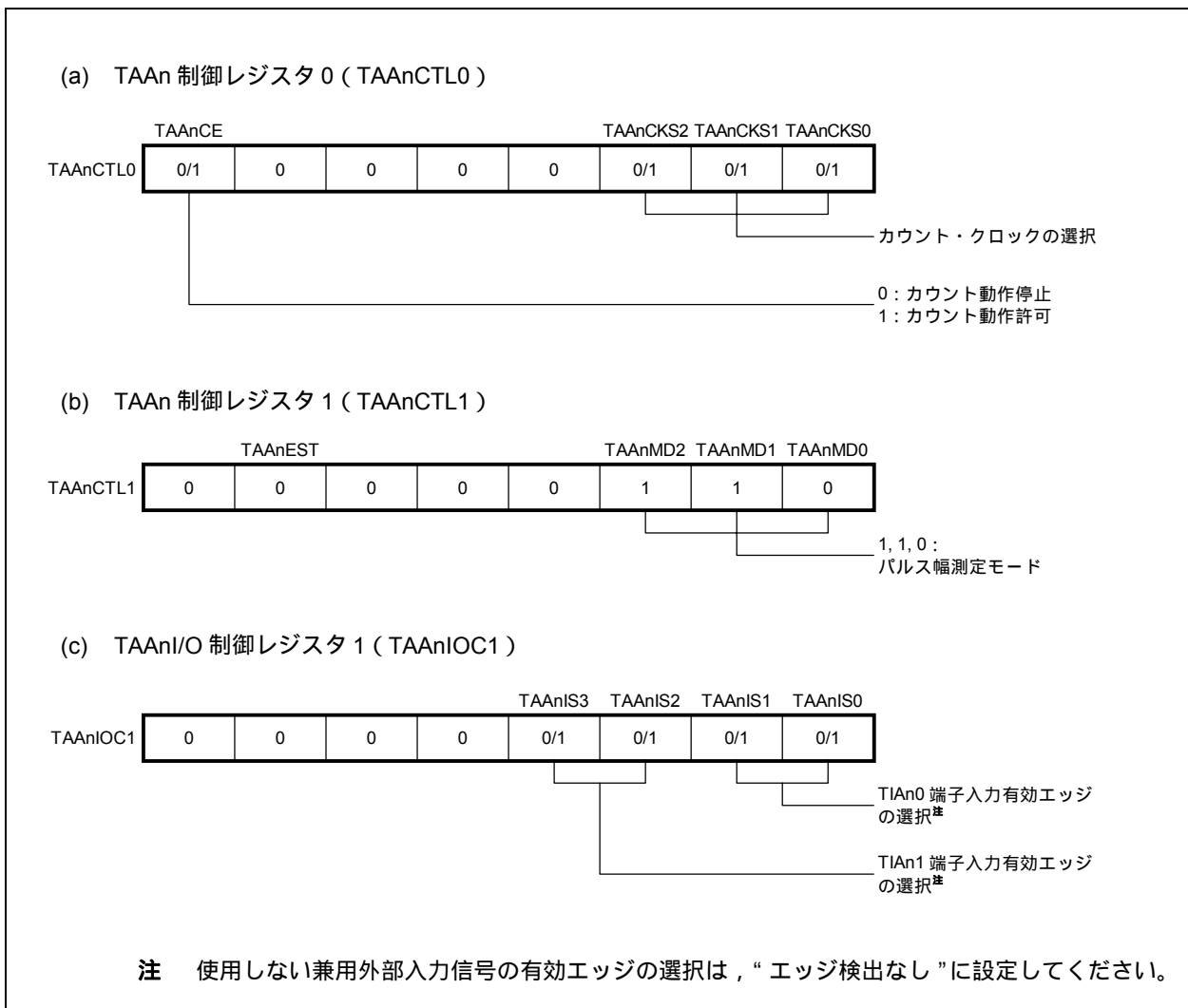
16 ビット・カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合、次のクロックでオーバーフロー割り込み要求信号 (INTTAAAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアで CLR 命令を実行してクリア (0) してください。オーバーフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAAAnOVF ビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-5, a = 0, 1

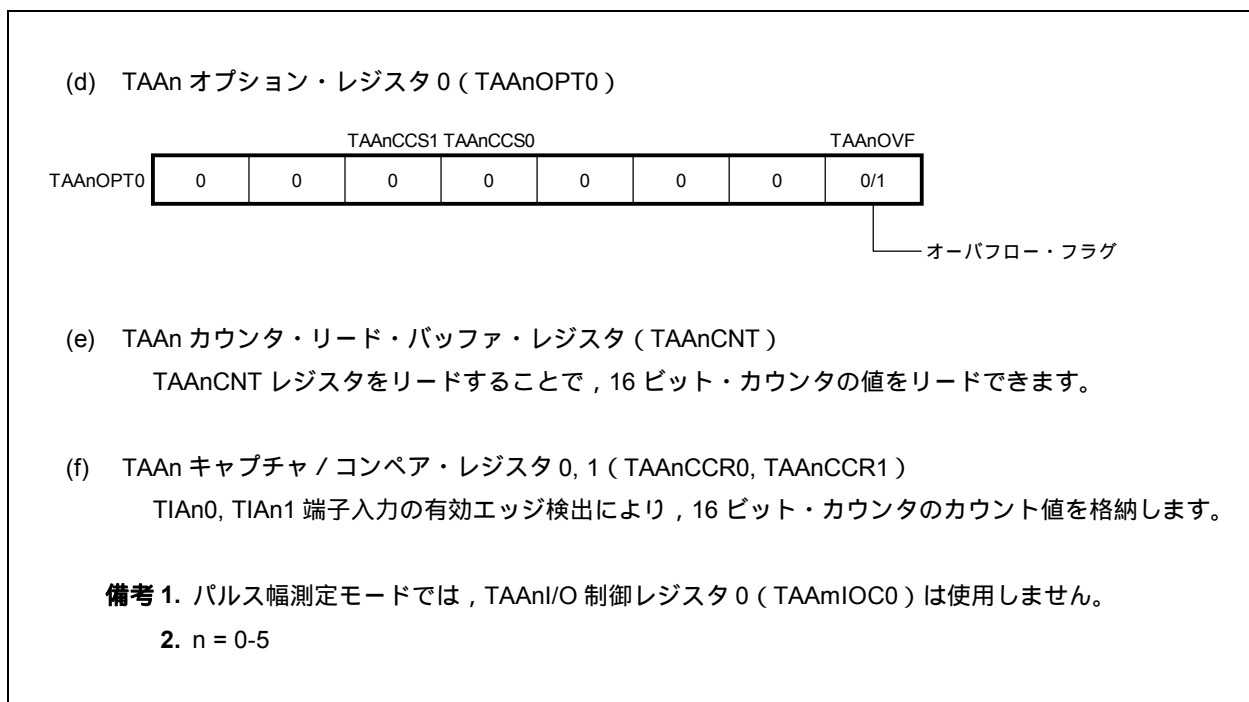
★

図 13 - 31 パルス幅測定モード動作時のレジスタ設定内容 (1/2)



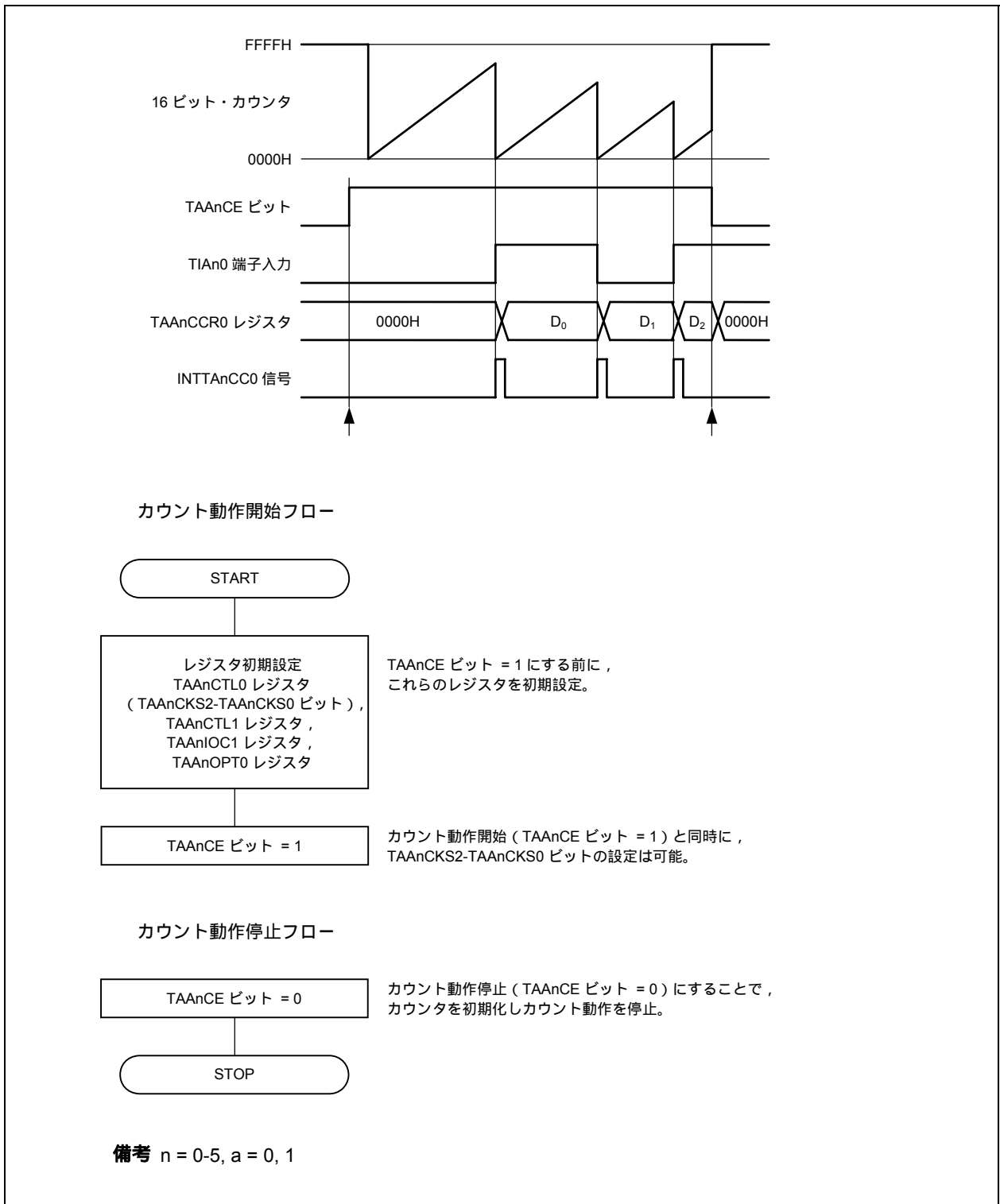
★

図 13 - 31 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

図 13 - 32 パルス幅測定モード使用時のソフトウェア処理フロー





## (2) パルス幅測定モード動作タイミング

## (a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAA<sub>n</sub>OVF ビット = 1 をリードしたあとに TAA<sub>n</sub>OVF ビットを CLR 命令でクリア (0) する方法と、TAA<sub>n</sub>OVF ビット = 1 をリードしたあとに TAA<sub>n</sub>OPT0 レジスタに 8 ビット・データ (ビット 0 は "0") をライトする方法があります。

## 13.7 注意事項

### (1) 外部入力信号の注意事項

TAA の外部入力信号 (TIA<sub>n</sub>0, TIA<sub>n</sub>1) は, TAA<sub>n</sub> 制御レジスタ (TAA<sub>n</sub>CTL0) の TAA<sub>n</sub>CKS2-TAA<sub>n</sub>CKS0 ビットが 000b のときのクロックでサンプリングされます。

有効な信号として入力するためには, ハイ・レベル幅, ロー・レベル幅とも, このサンプリング・クロックの 3 クロック以上の幅が必要です。

また, これらの入力はノイズ・フィルタを經由し, ノイズ・フィルタ段数を  $0 \times \text{HCLK}$  に設定した場合でも HCLK に対する同期化が行われるため, ハイ・レベル幅, ロー・レベル幅とも, システム・バス・クロック (HCLK) の 2 クロック以上の幅が必要です。ノイズ・フィルタの段数を  $0 \times \text{HCLK}$  以外に設定している場合は, 設定に応じたハイ・レベル幅, ロー・レベル幅が必要です。

表 13-9 の +10ns は, この論理的に必要な幅に加えたマージンです。

表 13-9 TIA<sub>n</sub>0, TIA<sub>n</sub>1 入力の最小ハイ・レベル幅, ロー・レベル幅

項目	TIA <sub>n</sub> 0, TIA <sub>n</sub> 1 入力の最小ハイ・レベル幅, ロー・レベル幅 (ns)
ノイズ・フィルタによる条件	(設定除去クロック数 + 1) / PCLK + 10
TAA のサンプリング・クロックによる条件	(TAA <sub>n</sub> CKS2-TAA <sub>n</sub> CKS0 = 000b 時に選択されるクロックの 3 周期) + 10

### (2) TAA から発生する割り込み信号について

内部の割り込みコントローラや, DMA コントローラとの同期化のため, TAA から発生する割り込み信号のパルス幅の拡幅を行っています。このため TAA から発生する同一の割り込み信号の間隔が, TAA 入力クロック (TAA<sub>n</sub>CLK : PCLK または OSCCLK) の 4 クロック以下場合は, 正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには, TAA<sub>n</sub>CTL0 レジスタの TAA<sub>n</sub>CKS2-TAA<sub>n</sub>CKS0 ビットで, 入力クロック / 8 以上 (TAA0, TAA2, TAA4 は 011 以上, TAA1, TAA3, TAA5 は 010 以上) としてください。この制限事項は TAA から割り込みコントローラ, DMA コントローラへの割り込み出力に限った制限事項です。

### (3) TAA<sub>n</sub>OPT0 レジスタに対するビット操作について

TAA<sub>n</sub>OPT0 レジスタに対するビット操作では, リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

### (4) 16 ビット・レジスタの 8 ビット・アクセスについて

TAA のレジスタは, 内部システム・バスのブリッジを經由してアクセスされます。このため, 内部システム・バスとブリッジの仕様により, 16 ビット・レジスタの上位 8 ビットと下位 8 ビットを, それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば, ある 16 ビット・レジスタが, XXXX 0010H に配置されている場合, 一般的にはそのレジスタの下位 8 ビットは, XXXX 0010H, 上位 8 ビットは XXXX 0011H でアクセスされますが, TAA のレジスタでは, 下位 8 ビットは, XXXX 0012H, 上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし, 8/1 ビット・アクセスが許可されているレジスタに限ります。

## 第14章 16 ビット・タイマ/イベント・カウンタ T (TMT)

- ★ 16 ビット・タイマ/イベント・カウンタ T (TMT) は、16 ビットのタイマ/イベント・カウンタです。  
 16 ビット・タイマ/カウンタ AA (TAA) にエンコーダ・カウント機能などを追加しています。  
 PFESiP/V850EP3 は、TMT0, TMT1 を内蔵しています。  
 ポート 9, ポート A を削除した場合は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能は利用できません。

### 14.1 概 要

次に TMTn の概要をチャンネルごとに示します (n = 0, 1)。

表 14-1 TMTn の概要

概 要	TMT0	TMT1
クロック選択	8 通り	8 通り
キャプチャ・トリガ入力端子	2 本	2 本
外部イベント・カウント入力端子	1 本	1 本
外部トリガ入力端子	1 本	1 本
エンコーダ入力端子	2 本	2 本
エンコーダ・クリア入力端子	1 本	1 本
タイマ・カウンタ	1 本	1 本
キャプチャ/コンペア・レジスタ	2 本 <sup>注</sup>	2 本 <sup>注</sup>
キャプチャ/コンペア一致割り込み要求信号	2 本 <sup>注</sup>	2 本 <sup>注</sup>
オーバフロー割り込み要求信号	1 本	1 本
エンコーダ・クリア割り込み要求信号	1 本	1 本
タイマ出力端子	2 本	2 本

注 ポート 9, ポート A を削除した場合は、コンペア機能のみ利用可能。

## 14.2 機 能

TMTn は、外部 16 ビット・バス幅を利用し、ポート 9, ポート A の端子を設けている場合のみ利用できません。それ以外の場合は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能のみ利用できます。

実現できる機能を次に示します (n = 0, 1)。

概 要	TMT0	TMT1
インターバル・タイマ		
外部イベント・カウンタ		
外部トリガ・パルス出力		
ワンショット・パルス出力		
PWM 出力		
フリー・ランニング・タイマ		
パルス幅測定		
三角波 PWM 出力モード		
エンコーダ・カウント機能		

### 14.3 構 成

TMTn は、次のハードウェアで構成されています (n = 0, 1)。

表 14-2 TMTn の構成

項目	構成
タイマ・レジスタ	16 ビット・カウンタ×各 1 本
レジスタ	TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT) TMTn カウンタ・ライト・レジスタ (TTnTCW) CCR0, CCR1 バッファ・レジスタ
タイマ入力 <sup>★</sup> <sup>1</sup>	計 14 本 (TIT00, TIT01, TIT10, TIT11, EVTT0, EVTT1, TRGT0, TRGT1, TENC00, TENC01, TENC10, TENC11, TECR0, TECR1 端子) <sup>2</sup>
タイマ出力 <sup>★</sup> <sup>1</sup>	計 4 本 (TOT00, TOT01, TOT10, TOT11 端子) <sup>2</sup>
制御レジスタ	TMTn 制御レジスタ 0, 1 (TTnCTL0, TTnCTL1) TMTn 制御レジスタ 2 (TTnCTL2) TMTn/O 制御レジスタ 0-3 (TTnIOC0-TTnIOC3) TMTn オプション・レジスタ 0 (TTnOPT0) TMTn オプション・レジスタ 1 (TTnOPT1)

注 1. PFESiP/V850EP3 で、外部 16 ビット・バス幅を利用し、ポート 9、ポート A の端子を設けている場合のみ

2. TIT00 と TOT00 は兼用されています。  
TIT01 と TOT01 は兼用されています。  
TIT10 と TOT10 は兼用されています。  
TIT11 と TOT11 は兼用されています。

備考 n = 0, 1

図 14-1 入出力端子を確保した場合の TMTn のブロック図

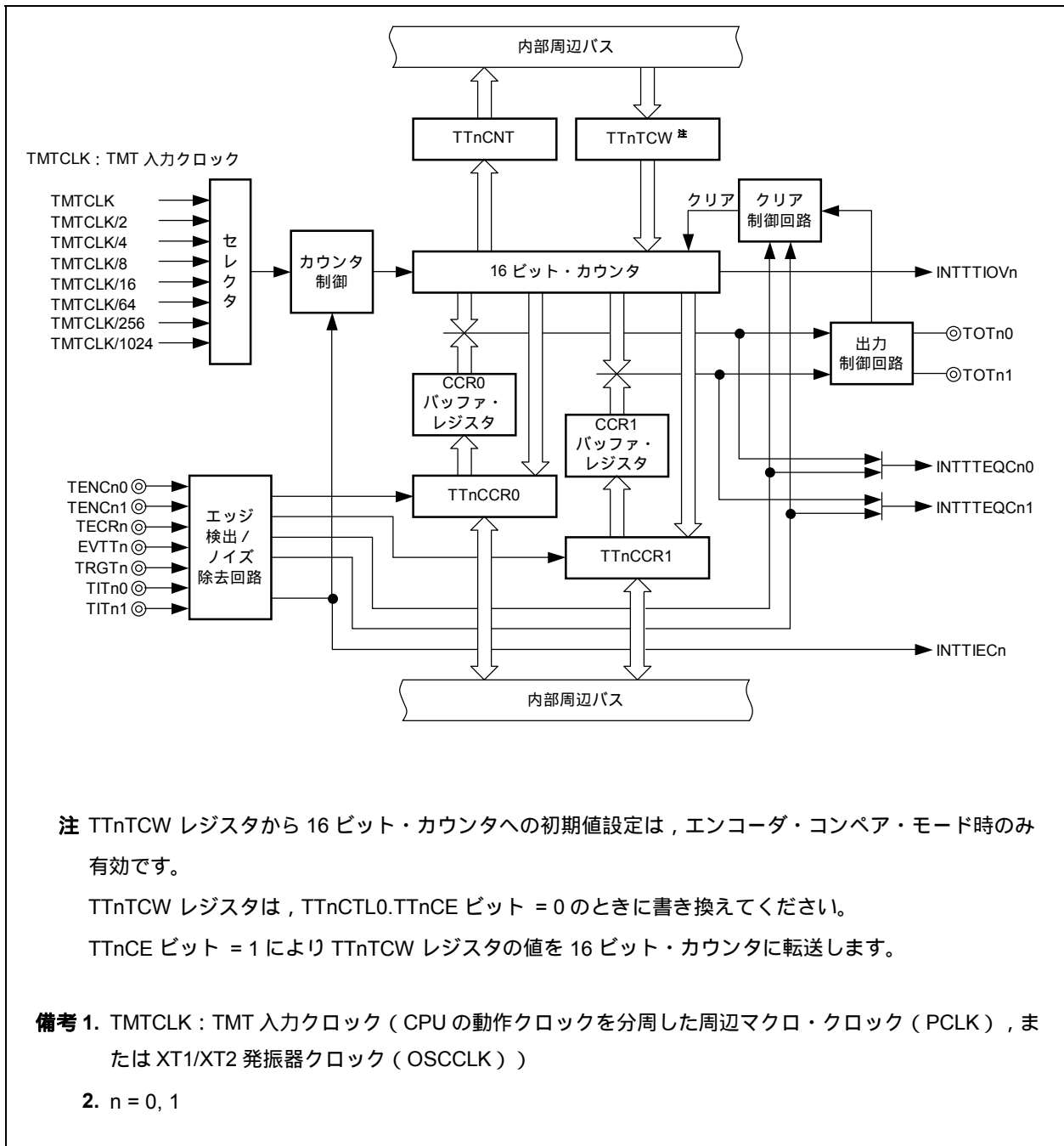
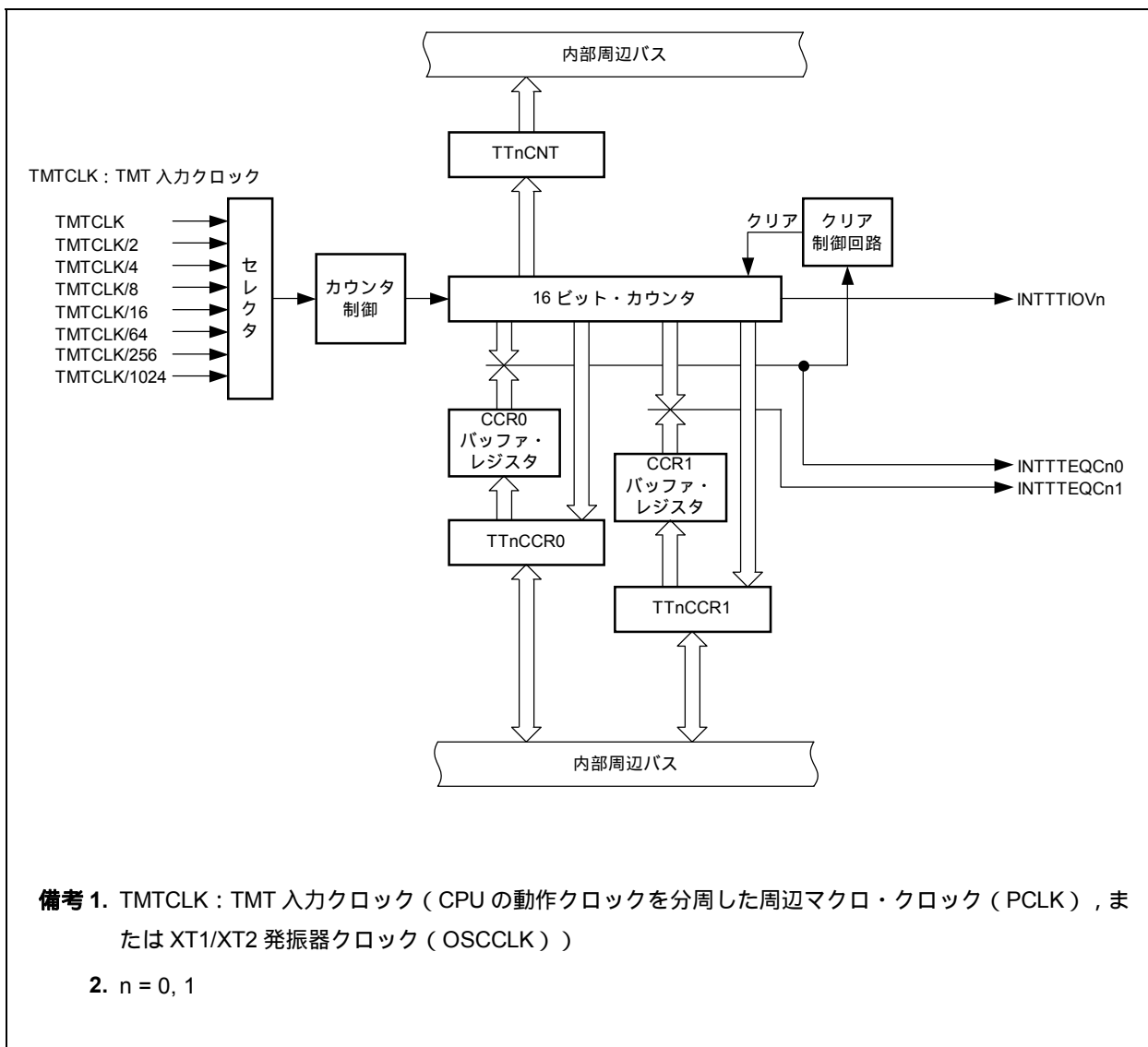


図 14-2 入出力端子を削除した場合の TMTn のブロック図



## (1) 16 ビット・カウンタ

内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです。

16 ビット・カウンタのカウント値は、TTnCNT レジスタでリードできます。

TTnCTL0.TTnCE ビット = 0 のとき、16 ビット・カウンタは FFFFH になりますが、このとき TTnCNT レジスタをリードすると 0000H がリードされます。

リセット時には TTnCE ビット = 0 になります。

## (2) CCR0 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TTnCCR0 レジスタをコンペア・レジスタとして使用するとき、TTnCCR0 レジスタにライトした値が CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。

CCR0 バッファ・レジスタは、直接リード/ライトできません。

リセット時には TTnCCR0 レジスタが 0000H になり、CCR0 バッファ・レジスタも 0000H になります。

## (3) CCR1 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TTnCCR1 レジスタをコンペア・レジスタとして使用するとき、TTnCCR1 レジスタにライトした値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn1) を発生します。

CCR1 バッファ・レジスタは、直接リード/ライトできません。

リセット時には TTnCCR1 レジスタが 0000H になり、CCR1 バッファ・レジスタも 0000H になります。

## (4) エッジ検出回路

TIT00, TIT01, TIT10, TIT11, EVTT0, EVTT1, TENC00, TENC01, TENC10, TENC11, TECR0, TECR1, TRGT0, TRGT1 端子に入力される有効エッジを検出します。有効エッジは、TTnIOC1, TTnIOC2, TTnIOC3 レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

## (5) 出力制御回路

TOT00, TOT01, TOT10, TOT11 端子の出力を TTnIOC0 レジスタで制御します。

## (6) セレクタ

16 ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8 種類の内部クロックまたは外部イベントから選択できます。

## (7) カウンタ制御

TTnCTL1 レジスタで選択したタイマ・モードにより、カウント動作を制御します。



## 14.4 レジスタ

- ★ (1) タイマ・クロック選択レジスタ (TCKSEL)
- 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) の入力クロックを選択します。
- 32 ビット単位でリード/ライト可能です。
- カウント・クロックに, CPU の動作クロックを分周した周辺マクロ・クロック (PCLK) と, XT1/XT2 発振器出力クロック (OSCCLK) から選択できます。カウント・クロックの選択は, 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) の各チャンネルごとに行えます。
- カウント・クロックの選択は, TTnCTL0 レジスタで選択できるすべての分周比のクロックが一括で切り替わります ( $n = 0, 1$ )。
- OSCCLK を選択している場合は, SSCG 機能を利用している場合でも, 変調の影響を受けません。また, CPU を IDLE モードに設定している場合でも, カウント・クロックは停止しません。ただし 16 ビット・タイマ/イベント・カウンタ T (TMT) から発生する割り込みでは, IDLE モードの解除はできません。
- ★ **注意** TCKSEL レジスタの変更は, すべての 16 ビット・タイマ/カウンタ AA (TAA), 16 ビット・タイマ/イベント・カウンタ T (TMT) の動作が禁止されている状態で行ってください。また, TCKSEL レジスタへの書き込みは, リセット後のイニシャライズ処理で行い, 書き込み後は値を変更しないでください。
- それぞれのタイマの動作許可/禁止は, 16 ビット・タイマ/カウンタ AA (TAA) は TAAAnCTRL0.TAAAnCE, 16 ビット・タイマ/イベント・カウンタ T (TMT) は TTnCTL0.TTmCE で設定します ( $n = 0-5, m = 0, 1$ )。

								7	6	5	4	3	2	1	0	アドレス	初期値
TCKSEL	TSTT1	TSTT0	TSTAA5	TSTAA4	TSTAA3	TSTAA2	TSTAA1	TSTAA0	0F1C 0FEAH		00H						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

ビット位置	ビット名	意味	
7	TSTT1	16 ビット・タイマ/イベント・カウンタ T1 (TMT1) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)	
6	TSTT0	16 ビット・タイマ/イベント・カウンタ T0 (TMT0) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)	
★	5	TSTAA5	16 ビット・タイマ/カウンタ AA5 (TAA5) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)
★	4	TSTAA4	16 ビット・タイマ/カウンタ AA4 (TAA4) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)
★	3	TSTAA3	16 ビット・タイマ/カウンタ AA3 (TAA3) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)
★	2	TSTAA2	16 ビット・タイマ/カウンタ AA2 (TAA2) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)
★	1	TSTAA1	16 ビット・タイマ/カウンタ AA1 (TAA1) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)
★	0	TSTAA0	16 ビット・タイマ/カウンタ AA0 (TAA0) のカウント・クロックを選択します。 0: 周辺マクロ・クロック (PCLK) 1: XT1/XT2 発振器出力クロック (OSCCLK)

(2) TMTn 制御レジスタ 0 (TTnCTL0)

TTnCTL0 レジスタは、TMTn の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TTnCTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCTL0	TTnCE	0	0	0	0	TTnCKS2	TTnCKS1	TTnCKS0	0F1C 0202H, 0F1C 0282H	00H
R/W	R/W	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味																																				
7	TTnCE	TMTn の動作を制御します。 0 : TMTn 動作禁止 (TMTn を非同期にリセット <sup>※</sup> ) 1 : TMTn 動作許可。TMTn 動作開始																																				
2-0	TTnCKS2- TTnCKS0	TMTn のカウント・クロックを選択します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">TTnCKS2</th> <th style="width: 10%;">TTnCKS1</th> <th style="width: 10%;">TTnCKS0</th> <th style="width: 70%;">TMTn のカウント・クロック</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>入力クロック</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>入力クロック / 2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>入力クロック / 4</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>入力クロック / 8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>入力クロック / 16</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>入力クロック / 64</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>入力クロック / 256</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>入力クロック / 1024</td></tr> </tbody> </table>	TTnCKS2	TTnCKS1	TTnCKS0	TMTn のカウント・クロック	0	0	0	入力クロック	0	0	1	入力クロック / 2	0	1	0	入力クロック / 4	0	1	1	入力クロック / 8	1	0	0	入力クロック / 16	1	0	1	入力クロック / 64	1	1	0	入力クロック / 256	1	1	1	入力クロック / 1024
TTnCKS2	TTnCKS1	TTnCKS0	TMTn のカウント・クロック																																			
0	0	0	入力クロック																																			
0	0	1	入力クロック / 2																																			
0	1	0	入力クロック / 4																																			
0	1	1	入力クロック / 8																																			
1	0	0	入力クロック / 16																																			
1	0	1	入力クロック / 64																																			
1	1	0	入力クロック / 256																																			
1	1	1	入力クロック / 1024																																			

**注** TTnOPT0.TTnOVF ビット , 16 ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOT00, TOT01, TOT10, TOT11 端子) も TTnIOC0 レジスタの設定状態に 16 ビット・カウンタと同時にリセットされます (n = 0, 1)

**備考** 1. n = 0, 1  
 2. 入力クロックは、タイマ・クロック選択レジスタ (TCKSEL) で選択してください。

★

- 注意 1. 内部の割り込みコントローラや, DMA コントローラとの同期化のため, TMT から発生する割り込み信号のパルス幅の拡幅を行っています。このため TMT から発生する同一の割り込み信号の間隔が, TMT 入力クロック (TMTCLK : PCLK または OSCCLK) の 4 クロック以下場合は, 正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには, TTnCTL0 レジスタの TTnCKS2-TTnCKS0 ビットを 011 以上 (入力クロック / 8 以上) としてください。この制限事項は TMT から割り込みコントローラ, DMA コントローラへの割り込み出力に限った制限事項です。
2. TTnCKS2-TTnCKS0 ビットは, TTnCE ビット = 0 のときに設定してください。  
TTnCE ビットを “0” から “1” に設定するときも, 同時に TTnCKS2-TTnCKS0 ビットを設定できます。
3. ビット 6-3 には必ず 0 を設定してください。

備考 n = 0, 1

(3) TMTn 制御レジスタ 1 (TTnCTL1)

TTnCTL1 レジスタは、TMTn の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

( 1/2 )

TTnCTL1	7	6	5	4	3	2	1	0	アドレス	初期値
	0	TTnEST	TTnEEE	0	TTnMD3	TTnMD2	TTnMD1	TTnMD0	0F1C 0207H, 0F1C 0287H	00H
R/W	0	R/W	R/W	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																							
6	TTnEST	ソフトウェア・トリガ制御を行います。 TTnEST ビットのリード値は常に 0 です。  ・ワンショット・パルス出力モード時 TTnEST ビットへの“1”ライトをトリガとして、ワンショット・パルスを出力  ・外部トリガ・パルス出力モード時 TTnEST ビットへの“1”ライトをトリガとして、PWM 波形を出力																																																							
5	TTnEEE	カウント・クロックを、内部カウント・クロック、外部イベント・カウント入力の有効エッジから選択します。  0：外部イベント・カウント入力 (EVTTn 端子) での動作禁止 (TTnCTL0.TTnCKS2-TTnCKS0 ビットによって選択されたカウント・クロックでカウント動作を行う) 1：外部イベント・カウント入力 (EVTTn 端子) での動作許可 (外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジごとにカウント動作を行う)																																																							
3-0	TTnMD3- TTnMD0	TMTn の動作モードを選択します。  <table border="1"> <thead> <tr> <th>TTnMD3</th> <th>TTnMD2</th> <th>TTnMD1</th> <th>TTnMD0</th> <th>TMTn の動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>インターバル・タイマ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>外部イベント・カウント・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>外部トリガ・パルス出力モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>ワンショット・パルス出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>PWM 出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>フリー・ランニング・タイマ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>パルス幅測定モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>三角波 PWM 出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>エンコーダ・コンペア・モード</td> </tr> <tr> <td colspan="4">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TTnMD3	TTnMD2	TTnMD1	TTnMD0	TMTn の動作モード	0	0	0	0	インターバル・タイマ・モード	0	0	0	1	外部イベント・カウント・モード	0	0	1	0	外部トリガ・パルス出力モード	0	0	1	1	ワンショット・パルス出力モード	0	1	0	0	PWM 出力モード	0	1	0	1	フリー・ランニング・タイマ・モード	0	1	1	0	パルス幅測定モード	0	1	1	1	三角波 PWM 出力モード	1	0	0	0	エンコーダ・コンペア・モード	上記以外				設定禁止
TTnMD3	TTnMD2	TTnMD1	TTnMD0	TMTn の動作モード																																																					
0	0	0	0	インターバル・タイマ・モード																																																					
0	0	0	1	外部イベント・カウント・モード																																																					
0	0	1	0	外部トリガ・パルス出力モード																																																					
0	0	1	1	ワンショット・パルス出力モード																																																					
0	1	0	0	PWM 出力モード																																																					
0	1	0	1	フリー・ランニング・タイマ・モード																																																					
0	1	1	0	パルス幅測定モード																																																					
0	1	1	1	三角波 PWM 出力モード																																																					
1	0	0	0	エンコーダ・コンペア・モード																																																					
上記以外				設定禁止																																																					

備考 n = 0, 1

( 2/2 )

- 注意 1. TTnEST ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TTnEEE ビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM 出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波 PWM 出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TTnEEE ビットの値にかかわらず外部イベント・カウント入力 (EVTn)，エンコーダ入力 (TENCn0, TENCn1) が選択されます。
4. TTnEEE, TTnMD3-TTnMD0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに設定してください (TTnCE ビット = 1 のときの同値書き込みは可能)。TTnCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。
5. ビット 7, 4 には必ず 0 を設定してください。

備考 n = 0, 1

## (4) TMTn 制御レジスタ 2 (TTnCTL2)

TTnCTL2 レジスタは、エンコーダ・カウンタ機能の動作を制御する 8 ビットのレジスタです。

TTnCTL2 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

**注意** TTnCTL2 レジスタの各ビットの詳細については、14.6.10(5) TTnCTL2 レジスタのビット制御を参照してください。

(1/2)

		7	6	5	4	3	2	1	0	アドレス	初期値
TTnCTL2		TTnECC	0	0	TTnLDE	TTnECM1	TTnECM0	TTnUDS1	TTnUDS0	0F1C 020AH, 0F1C 028AH	00H
R/W		R/W	0	0	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7	TTnECC	エンコーダ・カウンタを制御します。 0: 通常動作 1: TTnCTL0.TTnCE ビット = 0 時, 16 ビット・カウンタのカウンタ値を保持
4	TTnLDE	16 ビット・カウンタへの転送設定を行います。 0: アンダフロー発生時, 16 ビット・カウンタへ TTnCCR0 設定値の転送禁止 1: アンダフロー発生時, 16 ビット・カウンタへ TTnCCR0 設定値の転送許可
3	TTnECM1	エンコーダのクリア動作を設定します。 0: 16 ビット・カウンタのカウンタ値と CCR1 レジスタの値の一致ではカウンタを 0000H にクリアしない 1: 16 ビット・カウンタのカウンタ値と CCR1 レジスタの値の一致で次のカウンタがダウン・カウンタの場合, カウンタを 0000H にクリアする
2	TTnECM0	エンコーダのクリア動作を設定します。 0: 16 ビット・カウンタのカウンタ値と CCR0 レジスタの値の一致ではカウンタを 0000H にクリアしない 1: 16 ビット・カウンタのカウンタ値と CCR0 レジスタの値の一致で次のカウンタがアップ・カウンタの場合, カウンタを 0000H にクリアする

**備考** n = 0, 1

ビット位置	ビット名	意味															
1, 0	TTnUDS1. TTnUDS0	アップ/ダウン・カウンタの動作を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TTnUDS 1</th> <th>TTnUDS 0</th> <th>アップ/ダウン・カウンタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウンタ TENCn1 = ロー・レベルのとき, アップ・カウンタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>TENCn0 入力の有効エッジ検出でアップ・カウンタ TENCn1 入力の有効エッジ検出でダウン・カウンタ</td> </tr> <tr> <td>1</td> <td>0</td> <td>TENCn0 入力の立ち上がりエッジ検出でダウン・カウンタ TENCn0 入力の立ち下がりエッジ検出でアップ・カウンタ ただし, TENCn1 = ロー・レベルのときのみカウンタ動作</td> </tr> <tr> <td>1</td> <td>1</td> <td>TENCn0, TENCn1 入力の立ち上がり / 立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウンタ動作を自動判別。</td> </tr> </tbody> </table>	TTnUDS 1	TTnUDS 0	アップ/ダウン・カウンタの選択	0	0	TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウンタ TENCn1 = ロー・レベルのとき, アップ・カウンタ	0	1	TENCn0 入力の有効エッジ検出でアップ・カウンタ TENCn1 入力の有効エッジ検出でダウン・カウンタ	1	0	TENCn0 入力の立ち上がりエッジ検出でダウン・カウンタ TENCn0 入力の立ち下がりエッジ検出でアップ・カウンタ ただし, TENCn1 = ロー・レベルのときのみカウンタ動作	1	1	TENCn0, TENCn1 入力の立ち上がり / 立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウンタ動作を自動判別。
TTnUDS 1	TTnUDS 0	アップ/ダウン・カウンタの選択															
0	0	TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウンタ TENCn1 = ロー・レベルのとき, アップ・カウンタ															
0	1	TENCn0 入力の有効エッジ検出でアップ・カウンタ TENCn1 入力の有効エッジ検出でダウン・カウンタ															
1	0	TENCn0 入力の立ち上がりエッジ検出でダウン・カウンタ TENCn0 入力の立ち下がりエッジ検出でアップ・カウンタ ただし, TENCn1 = ロー・レベルのときのみカウンタ動作															
1	1	TENCn0, TENCn1 入力の立ち上がり / 立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウンタ動作を自動判別。															

注意 1. TTnECC ビットは, エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは, “1” をライトしても無視されます。

TTnECC ビット = 1 のとき TTnCTL0.TTnCE ビット = 0 にすると, タイマ・カウンタ, キャプチャ・レジスタ (TTnCCR0, TTnCCR1), TTnOPT1, TTnEUF, TTnEOF, TTnESF フラグの値は保持されます。

TTnECC ビット = 1 のとき TTnCE ビットを 0 1 にすると, TTnTCW レジスタの値を 16 ビット・カウンタに転送しません。

2. TTnLDE ビットは, TTnECM1, TTnECM0 ビット = 00, 01 時のみ有効です。TTnECM1, TTnECM0 ビット = 10, 11 のときに “1” をライトしても無視されます。
3. TTnUDS1, TTnUDS0 ビット = 10, 11 のとき, TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定した TENCn0, TENCn1 入力のエッジ検出は無効となり, 立ち上がり / 立ち下がり両エッジ固定となります。
4. TTnLDE, TTnECM1, TTnECM0, TTnUDS1, TTnUDS0 ビットは, TTnCTL0.TTnCE ビット = 0 のときに設定してください (TTnCE ビット = 1 のときの同値書き込みは可能)。TTnCE ビット = 1 のときに書き換えた場合, 動作を保証できません。誤って書き換えた場合は, TTnCE ビットをクリア (0) してから再設定してください。
5. ビット 6, 5 は必ず 0 を設定してください。

備考 n = 0, 1



## (5) TMTnI/O 制御レジスタ 0 (TTnIOC0)

TTnIOC0 レジスタは、タイマ出力 (TOTn0, TOTn1 端子) を制御する 8 ビットのレジスタです。  
8/1 ビット単位でリード/ライト可能です。  
リセットにより 00H になります。

								アドレス	初期値	
TTnIOC0	7	6	5	4	3	2	1	0	0F1C 020FH, 0F1C 028FH	00H
	0	0	0	0	TTnOL1	TTnOE1	TTnOL0	TTnOE0		
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
3	TTnOL1	TOTn1 端子の出力レベルを設定します <sup>注</sup> 。 0 : TOTn1 端子ハイ・レベル・スタート 1 : TOTn1 端子ロー・レベル・スタート
2	TTnOE1	TOTn1 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TTnOL1 ビット = 0 のとき TOTn1 端子からロー・レベルを出力 ・ TTnOL1 ビット = 1 のとき TOTn1 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOTn1 端子からパルスを出力)
1	TTnOL0	TOTn0 端子の出力レベルを設定します <sup>注</sup> 。 0 : TOTn0 端子ハイ・レベル・スタート 1 : TOTn0 端子ロー・レベル・スタート
0	TTnOE0	TOTn0 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TTnOL0 ビット = 0 のとき TOTn0 端子からロー・レベルを出力 ・ TTnOL0 ビット = 1 のとき TOTn0 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOTn0 端子からパルスを出力)

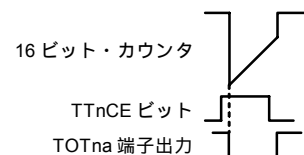
★

注 三角波 PWM 出力モード以外のモードでの TTnOLa ビットの指定によるタイマ出力端子 (TOTn0, TOTn1) の出力レベルを次に示します (a = 0, 1)。

・ TTnOLa ビット = 0 の場合



・ TTnOLa ビット = 1 の場合



- 注意 1. ポート設定が TOTn0, TOTn1 出力設定の場合, TTnIOC0 レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TTnOL1, TTnOE1, TTnOL0, TTnOE0 ビットは, TTnCTL0.TTnCE ビット=0 のときに書き換えてください (TTnCE ビット=1 のときの同値書き込みは可能)。誤って書き換えた場合は, TTnCE ビットをクリア (0) してから再設定してください。
3. TTnCE ビット=0, TTnOE0 ビット=0, TTnOE1 ビット=0 の状態において, TTnOL0 ビット, TTnOL1 ビットを操作した場合でも, TOTn0, TOTn1 端子の出力レベルは変化します。
4. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0, 1

(6) TMTnI/O 制御レジスタ 1 (TTnIOC1)

TTnIOC1 レジスタは、キャプチャ・トリガ入力信号 (TITn0, TITn1 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnIOC1	0	0	0	0	TTnIS3	TTnIS2	TTnIS1	TTnIS0	0F1C 0212H, 0F1C 0292H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味															
3, 2	TTnIS3, TTnIS2	<p>キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TTnIS3</th> <th>TTnIS2</th> <th>キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (キャプチャ動作無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnIS3	TTnIS2	キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnIS3	TTnIS2	キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnIS1, TTnIS0	<p>キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TTnIS1</th> <th>TTnIS0</th> <th>キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (キャプチャ動作無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnIS1	TTnIS0	キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnIS1	TTnIS0	キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

注意 1. TTnIS3-TTnIS0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

2. TTnIS3, TTnIS2 ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS1 ビット = 1 時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TTnIS1, TTnIS0 ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS0 ビット = 1 時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

3. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0, 1

## (7) TMTnI/O 制御レジスタ 2 (TTnIOC2)

TTnIOC2 レジスタは、外部イベント・カウント入力信号 (EVTTn 端子)、外部トリガ入力信号 (TRGTn 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnIOC2	0	0	0	0	TTnEES1	TTnEES0	TTnETS1	TTnETS0	0F1C 0217H, 0F1C 0297H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味															
3, 2	TTnEES1, TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジを指定します。  <table border="1"> <thead> <tr> <th>TTnEES1</th> <th>TTnEES0</th> <th>外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (外部イベント・カウント無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnEES1	TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ	0	0	エッジ検出なし (外部イベント・カウント無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnEES1	TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ															
0	0	エッジ検出なし (外部イベント・カウント無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnETS1, TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジを指定します。  <table border="1"> <thead> <tr> <th>TTnETS1</th> <th>TTnETS0</th> <th>外部トリガ入力信号 (TRGTn 端子) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (外部トリガ無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnETS1	TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジ	0	0	エッジ検出なし (外部トリガ無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnETS1	TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジ															
0	0	エッジ検出なし (外部トリガ無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

**注意 1.** TTnEES1, TTnEES0, TTnETS1, TTnETS0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

**2.** TTnEES1, TTnEES0 ビットは、TTnCTL1.TTnEEE ビット = 1、または、外部イベント・カウント・モード (TTnCTL1.TTnMD3-TTnMD0 ビット = 0001) に設定したときのみ有効です。

**3.** TTnETS1, TTnETS0 ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

**4.** ビット 7-4 には必ず 0 を設定してください。

**備考** n = 0, 1

## (8) TMTnI/O 制御レジスタ 3 (TTnIOC3)

TTnIOC3 レジスタは、エンコーダ・クリアを制御する 8 ビットのレジスタです。

TTnIOC3 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

(1/2)

		7	6	5	4	3	2	1	0	アドレス	初期値
TTnIOC3		TTnSCE	TTnZCL	TTnBCL	TTnACL	TTnECS1	TTnECS0	TTnEIS1	TTnEIS0	0F1C 021AH, 0F1C 029AH	00H
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7	TTnSCE	<p>エンコーダ・クリア動作を選択します。</p> <p>0 : エンコーダ・クリア信号 (TECRn 端子) のエッジ検出クリア 1 : TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア</p> <ul style="list-style-type: none"> <li>TTnSCE ビット = 0 のとき, TTnECS1, TTnECS0 ビットで指定した TECRn 端子の有効エッジ検出により, 16 ビット・カウンタを 0000H にクリアします。</li> <li>TTnSCE ビット = 1 のとき, TTnZCL, TTnBCL, TTnACL ビットのクリア・レベル条件と, TECRn, TENCn1, TENCn0 端子の入力レベルが一致すると 16 ビット・カウンタを 0000H にクリアします。</li> <li>TTnSCE ビット = 1 のとき, TTnZCL, TTnBCL, TTnACL ビットの設定が有効となり, TTnECS1, TTnECS0 ビットの設定は無効となります。エンコーダ・クリア割り込み要求信号 (INTTIECn) は発生しません。</li> <li>TTnSCE ビット = 0 のとき, TTnZCL, TTnBCL, TTnACL ビットの設定が無効となり, TTnECS1, TTnECS0 ビットの設定は有効となります。TTnECS1, TTnECS0 ビットで設定した有効エッジ検出により INTTIECn 信号が発生します。</li> <li>TTnSCE ビット = 1 の設定をするときには, 必ず TTnCTL2.TTnUDS1, TTnUDS0 ビット = 10 または 11 に設定してください。TTnUDS1, TTnUDS0 ビット = 00 または 01 に設定し, TTnSCE ビット = 1 とした場合の動作は保証しません。</li> </ul>
6	TTnZCL	<p>エンコーダ・クリア信号 (TECRn 端子) のクリア・レベルを選択します。</p> <p>0 : TECRn 端子ロー・レベル・クリア 1 : TECRn 端子ハイ・レベル・クリア</p> <p>TTnZCL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。</p>
5	TTnBCL	<p>エンコーダ入力信号 (TENCn1 端子) のクリア・レベルを選択します。</p> <p>0 : TENCn1 端子ロー・レベル・クリア 1 : TENCn1 端子ハイ・レベル・クリア</p> <p>TTnBCL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。</p>
4	TTnACL	<p>エンコーダ入力信号 (TENCn0 端子) のクリア・レベルを選択します。</p> <p>0 : TENCn0 端子ロー・レベル・クリア 1 : TENCn0 端子ハイ・レベル・クリア</p> <p>TTnACL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。</p>

**備考** n = 0, 1

ビット位置	ビット名	意味															
3, 2	TTnECS1, TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジを選択します。  <table border="1"> <thead> <tr> <th>TTnECS1</th> <th>TTnECS0</th> <th>エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (エンコーダ・クリア無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnECS1	TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定	0	0	エッジ検出なし (エンコーダ・クリア無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnECS1	TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定															
0	0	エッジ検出なし (エンコーダ・クリア無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnEIS1, TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジを選択します。  <table border="1"> <thead> <tr> <th>TTnEIS1</th> <th>TTnEIS0</th> <th>エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (エンコーダ入力無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジを検出</td> </tr> </tbody> </table>	TTnEIS1	TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定	0	0	エッジ検出なし (エンコーダ入力無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnEIS1	TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定															
0	0	エッジ検出なし (エンコーダ入力無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

- 注意 1.** TTnSCE, TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0, TTnEIS1, TTnEIS0 ビットは , TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は , TTnCE ビットをクリア (0) してから再設定してください。
- 2.** TTnECS1, TTnECS0 ビットは , TTnSCE ビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
- 3.** TTnEIS1, TTnEIS0 ビットは , TTnCTL2.TTnUDS1, TTnUDS0 ビット = 00 または 01 時のみ有効です。

備考 n = 0, 1

(9) TMTn オプション・レジスタ 0 (TTnOPT0)

TTnOPT0 レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TTnOPT0	7	6	5	4	3	2	1	0	アドレス 0F1C 021FH, 0F1C 029FH	初期値 00H
	0	0	TTnCCS1	TTnCCS0	0	0	0	TTnOVF		
R/W	0	0	R/W	R/W	0	0	0	R/W		

ビット位置	ビット名	意味
5	TTnCCS1	TTnCCR1 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TTnCTL0.TTnCE ビット = 0 によりクリア) TTnCCS1 ビットの設定はフリー・ランニング・タイマ・モードのときのみに有効になります。
4	TTnCCS0	TTnCCR0 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TTnCTL0.TTnCE ビット = 0 によりクリア) TTnCCS0 ビットの設定はフリー・ランニング・タイマ・モードのときのみに有効になります。
0	TTnOVF <sup>注</sup>	TMTn のオーバフロー検出フラグです。 セット (1) : オーバフロー発生 リセット (0) : TTnOVF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 ・ TTnOVF ビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバフローするときセット (1) されます。 ・ TTnOVF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTIOVn) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTIOVn 信号は発生しません。 ・ TTnOVF ビット = 1 のときに TTnOVF ビットまたは TTnOPT0 レジスタをリードしても、TTnOVF ビットはクリア (0) されません。 ・ INTTIOVn 信号発生後、TTnOVF ビットをクリア (0) する場合は、必ず TTnOVF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TTnOVF ビットはリード/ライト可能ですが、ソフトウェアで TTnOVF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。

**注** このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

**注意 1.** TTnCCS1, TTnCCS0 ビットは、TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

**2.** ビット 7, 6, 3-1 には必ず 0 を設定してください。

**備考** n = 0, 1

(10) TMTn オプション・レジスタ 1 (TTnOPT1)

TTnOPT1 レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する 8 ビットのレジスタです。

TTnOPT1 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

TTnOPT1 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

**注意** このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生した各種フラグはライト・サイクルでオーバライトされるため注意してください。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnOPT1	0	0	0	0	0	TTnEUF	TTnEOF	TTnESF	0F1C 0222H, 0F1C 02A2H	00H
R/W	0	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味
2	TTnEUF	<p>TMTn のアンダフロー検出フラグです。</p> <p>セット (1) : アンダフロー発生</p> <p>リセット (0) : TTnEUF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 によりクリア)</p> <ul style="list-style-type: none"> <li>TTnEUF ビットは、エンコーダ・コンペア・モード時に、16 ビット・カウンタの値が 0000H から FFFFH にアンダフローするときにセット (1) されます。</li> <li>TTnCTL2.TTnLDE ビット = 1 のときは、アンダフロー発生により 16 ビット・カウンタの値が 0000H から TTnCCR0 レジスタの設定値へ書き換わると、TTnEUF ビットがセット (1) されます。</li> <li>TTnEUF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOVn) が発生します。</li> <li>TTnEUF ビット = 1 のときに TTnEUF ビットまたは TTnOPT1 レジスタをリードしても、TTnEUF ビットはクリア (0) されません。</li> <li>TTnCTL2.TTnECC ビット = 1 時に TTnCTL0.TTnCE ビット = 0 にしても TTnEUF ビットの状態は保持されます。</li> <li>INTTTIOVn 信号発生後、TTnEUF ビットをクリア (0) する場合は、必ず TTnEUF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>TTnEUF ビットはリード/ライト可能ですが、ソフトウェアで TTnEUF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。</li> </ul>

**備考** n = 0, 1



(2/2)

ビット位置	ビット名	意味
1	TTnEOF	<p>TMTn のエンコーダ機能用オーバーフロー検出フラグです。</p> <p>セット (1) : オーバフロー発生</p> <p>リセット (0) : TTnEOF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 によりクリア</p> <ul style="list-style-type: none"> <li>TTnEOF ビットは、エンコーダ・コンペア・モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバーフローするときにセット (1) されます。</li> <li>TTnEOF ビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTTIOVn) が発生します。このとき、TTnOPT0.TTnOVF ビットはセット (1) されません。</li> <li>TTnEOF ビット = 1 のときに TTnEOF ビットまたは TTnOPT1 レジスタをリードしても、TTnEOF ビットはクリア (0) されません。</li> <li>TTnCTL2.TTnECC ビット = 1 時に TTnCTL0.TTnCE ビット = 0 にしても TTnEOF ビットの状態は保持されます。</li> <li>INTTTIOVn 信号発生後、TTnEOF ビットをクリア (0) する場合は、必ず TTnEOF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>TTnEOF ビットはリード/ライト可能ですが、ソフトウェアで TTnEOF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。</li> </ul>
0	TTnESF	<p>TMTn のアップ/ダウン・カウント動作状態検出フラグです。</p> <p>0 : TMTn のアップ・カウント動作中</p> <p>1 : TMTn のダウン・カウント動作中</p> <ul style="list-style-type: none"> <li>TTnCTL2.TTnECC ビット = 0 時に TTnCTL0.TTnCE ビット = 0 によりクリア (0) されます。</li> <li>TTnECC ビット = 1 時に TTnCE ビット = 0 にしても TTnESF ビットの状態は保持されます。</li> </ul>

**注意** ビット 7-3 には必ず 0 を設定してください。

**備考** n = 0, 1

## (11) TMTn キャプチャ/コンペア・レジスタ 0 (TTnCCR0)

TTnCCR0 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TTnCCR0 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS0 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR0 レジスタは、動作中のリード/ライトを許可します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

**備考 n = 0, 1**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCCR0																	0F1C 0228H, 0F1C 02A8H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

## (a) コンペア・レジスタとしての機能

TTnCCR0 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

TTnCCR0 レジスタの設定値は CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn0) を発生し、TOTn0 端子出力を許可している場合、TOTn0 端子出力を反転します。

インターバル・タイマ・モードの場合は TTnCCR0 レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM 出力モード、三角波 PWM 出力モード、エンコーダ・コンペア・モードの場合は TTnCCR0 レジスタを周期レジスタとして使用する場合は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致することで 16 ビット・カウンタをクリア (0000H) します。

TTnCTL0.TTnCE ビット = 0 によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR0 レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITn0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR0 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR0 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TTnCCR0 レジスタのリードが競合しても、TTnCCR0 レジスタは正しい値をリードできます。

TTnCTL0.TTnCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表 14-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR0 レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波 PWM 出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TTnCCR1 レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、14.6.1(2) 随時書き込みと一斉書き込みを参照してください。

## (12) TMTn キャプチャ/コンペア・レジスタ 1 (TTnCCR1)

TTnCCR1 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TTnCCR1 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS1 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR1 レジスタは、動作中のリード/ライトを許可します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

**備考 n = 0, 1**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCCR1																	0F1C 0230H, 0F1C 02B0H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

## (a) コンペア・レジスタとしての機能

TTnCCR1 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn1) を発生し、TOTn1 端子出力を許可している場合、TOTn1 端子出力を反転します。

TTnCTL0.TTnCE ビット = 0 によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR1 レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITn1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR1 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR1 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TTnCCR1 レジスタのリードが競合しても、TTnCCR1 レジスタは正しい値をリードできます。

TTnCTL0.TTnCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表 14-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR1 レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波 PWM 出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TTnCCR1 レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、14.6.1(2) 随時書き込みと一斉書き込みを参照してください。

## (13) TMTn カウンタ・ライト・レジスタ (TTnTCW)

TTnTCW レジスタは、16 ビット・カウンタの初期値を設定するレジスタです。

TTnTCW レジスタは、エンコーダ・コンペア・モード時のみ有効です。

16 ビット単位でリード/ライト可能です。

TTnTCW レジスタは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください。

TTnCE ビットをセット (1) すると TTnTCW レジスタの値を 16 ビット・カウンタに転送します。

リセットにより 0000H になります。

**備考 n = 0, 1**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnTCW																	0F1C 0240H, 0F1C 02C0H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

## (14) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタは、16 ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TTnCTL0.TTnCE ビット = 1 のときに TTnCNT レジスタをリードすると、16 ビット・カウンタのカウンタ値をリードできます。

16 ビット単位でリードのみ可能です。

TTnCTL2.TTnECC ビット = 0 かつ TTnCE ビット = 0 のとき、TTnCNT レジスタは 0000H になります。

このときに TTnCNT レジスタをリードすると、16 ビット・カウンタの値 (FFFFH) ではなく、そのまま 0000H がリードされます。TTnECC ビット = 1 かつ TTnCE ビット = 0 のとき、TTnCNT レジスタは 0000H とならず直前の値がリードされます。

リセットにより TTnECC ビット = 0 かつ TTnCE ビット = 0 になり、TTnCNT レジスタは 0000H になります。

**備考 n = 0, 1**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCNT																	0F1C 0238H, 0F1C 02B8H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

## 14.5 タイマ出力動作説明

次に TOTn0, TOTn1 端子の動作, および出力レベルを示します。

表 14-5 各モードによるタイマ出力制御

動作モード	TOTn1 端子	TOTn0 端子
インターバル・タイマ・モード	PWM 出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM 出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM 出力モード	PWM 出力	
フリー・ランニング・タイマ・モード	PWM 出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	
三角波 PWM 出力モード	三角波 PWM 出力	
エンコーダ・コンペア・モード	なし	

表 14-6 タイマ出力制御ビットによる TOTn0, TOTn1 端子の真理値表

TTnIOC0.TTnOLa ビット	TTnIOC0.TTnOEa ビット	TTnCTL0.TTnCE ビット	TOTna 端子のレベル
0	0	x	ロー・レベル出力
	1	0	ロー・レベル出力
		1	カウント直前はロー・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロー・レベル

備考 n = 0, 1, a = 0, 1

## 14.6 動作

表 14-7 TMTn の各モードの仕様

動作	TTnCTL1.TTnEST ビット (ソフトウェア・トリガ・ビット)	TRGTn 端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM 出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波 PWM 出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

備考 n = 0, 1



### 14.6.1 基本動作

#### (1) カウンタ基本動作

次に 16 ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** n = 0, 1

#### (a) カウント開始動作

##### ・外部イベント・カウント・モード

TTnCTL0.TTnCE ビット = 0 1 のタイミングで 16 ビット・カウンタに 0000H が設定されます。

その後は、外部イベント・カウント入力 (EVTn) の有効エッジ検出するごとに 0001H, 0002H, 0003H, ... とカウント・アップします。

##### ・エンコーダ・コンペア・モード

TENCn0, TENCn1 の位相によりカウント動作を制御します。

TTnTCW レジスタ設定値を 16 ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TTnTCW レジスタ設定値は、TTnCTL2.TTnECC ビット = 0 時に TTnCTL0.TTnCE ビット = 0 1 となるタイミングで 16 ビット・カウンタに転送されます)。

##### ・三角波 PWM 出力モード

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

アップ・カウント後、16 ビット・カウンタ値と CCR0 バッファ・レジスタの値の一致でダウン・カウントします。

##### ・上記以外のモード

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

#### (b) クリア動作

16 ビット・カウンタとコンペア・レジスタの値の一致&クリア、16 ビット・カウンタの値のキャプチャ&クリア、エンコーダ・クリア信号のエッジ検出クリア、TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリアの場合、16 ビット・カウンタは 0000H にクリアされます。なお、カウント動作開始直後およびオーバフローの場合の FFFFH から 0000H へのカウント動作はクリア動作ではありません。したがって、INTTTEQCn0, INTTTEQCn1 割り込み信号は発生しません。

## (c) オーバフロー動作

16 ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFH から 0000H へのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TTnOPT0.TTnOVF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TTnOPT1.TTnEOF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

なお、次の条件では INTTTIOVn 信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値が FFFFH で一致 & クリアされた場合
- ・ パルス幅測定モード時の FFFFH をキャプチャし、クリアした場合の FFFFH から 0000H になるタイミング

**注意 1.** オーバフロー割り込み要求信号 (INTTTIOVn) 発生後は、必ずオーバフロー・フラグ (TTnOVF, TTnEOF ビット) が “1” にセットされているのを確認してください。

**2.** TTnOPT0 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されません。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

## (d) カウントの保持動作

エンコーダ・コンペア・モード時に、TTnCTL2.TTnECC ビットにより 16 ビット・カウンタの値の保持制御を行います。TTnECC ビット = 0 かつ TTnCTL0.TTnCE ビット = 0 の場合は、16 ビット・カウンタの値は FFFFH にリセットされ、次の TTnCE ビット = 1 で TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を行います。

TTnECC ビット = 1 かつ TTnCE ビット = 0 の場合は、16 ビット・カウンタの値は保持され、次に TTnCE ビット = 1 にすると保持していた値からカウント動作を再開します。

## (e) カウント動作中のカウンタ・リード動作

TMTn では、TTnCNT レジスタにより、カウント動作中の 16 ビット・カウンタの値をリードできません。

TTnCTL0.TTnCE ビット = 1 のときは、TTnCNT レジスタをリードすることにより、16 ビット・カウンタの値をリードできます。ただし、TTnCTL2.TTnECC ビット = 0 かつ TTnCE ビット = 0 のときに TTnCNT レジスタをリードすると 0000H です。TTnECC ビット = 1 かつ TTnCE ビット = 0 のときに TTnCNT レジスタをリードすると保持していた値となります。

## (f) アンダフロー動作

16 ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000H から FFFFH になるタイミングで発生します。アンダフローが発生すると、TTnOPT1.TTnEUF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

**注意** TTnOPT1 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されません。このときのリード・サイクルとライト・サイクルの間で発生したアンダフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

## (g) 割り込み動作

TMTn では、次の 4 種類の割り込み要求信号を発生します。

- ・ INTTTEQCn0 割り込み： CCR0 バッファ・レジスタの一致割り込み要求信号，および TTnCCR0 レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTEQCn1 割り込み： CCR1 バッファ・レジスタの一致割り込み要求信号，および TTnCCR1 レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTIOVn 割り込み： オーバフロー割り込み要求信号として機能します。
- ・ INTTIECn 割り込み： エンコーダ・クリア入力 (TECRn 端子) の有効エッジ検出割り込み要求信号として機能します。

## (2) 随時書き込みと一斉書き込み

TMTn では、タイマ動作中 (TTnCTL0.TTnCE ビット = 1) でも TTnCCR0, TTnCCR1 レジスタの書き換えを許可していますが、モードによって CCR0, CCR1 バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

## (a) 随時書き込み

このモードは、タイマ動作中に TTnCCR0, TTnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を随時行います。

備考 n = 0, 1

図 14-3 随時書き込みの基本動作フロー・チャート

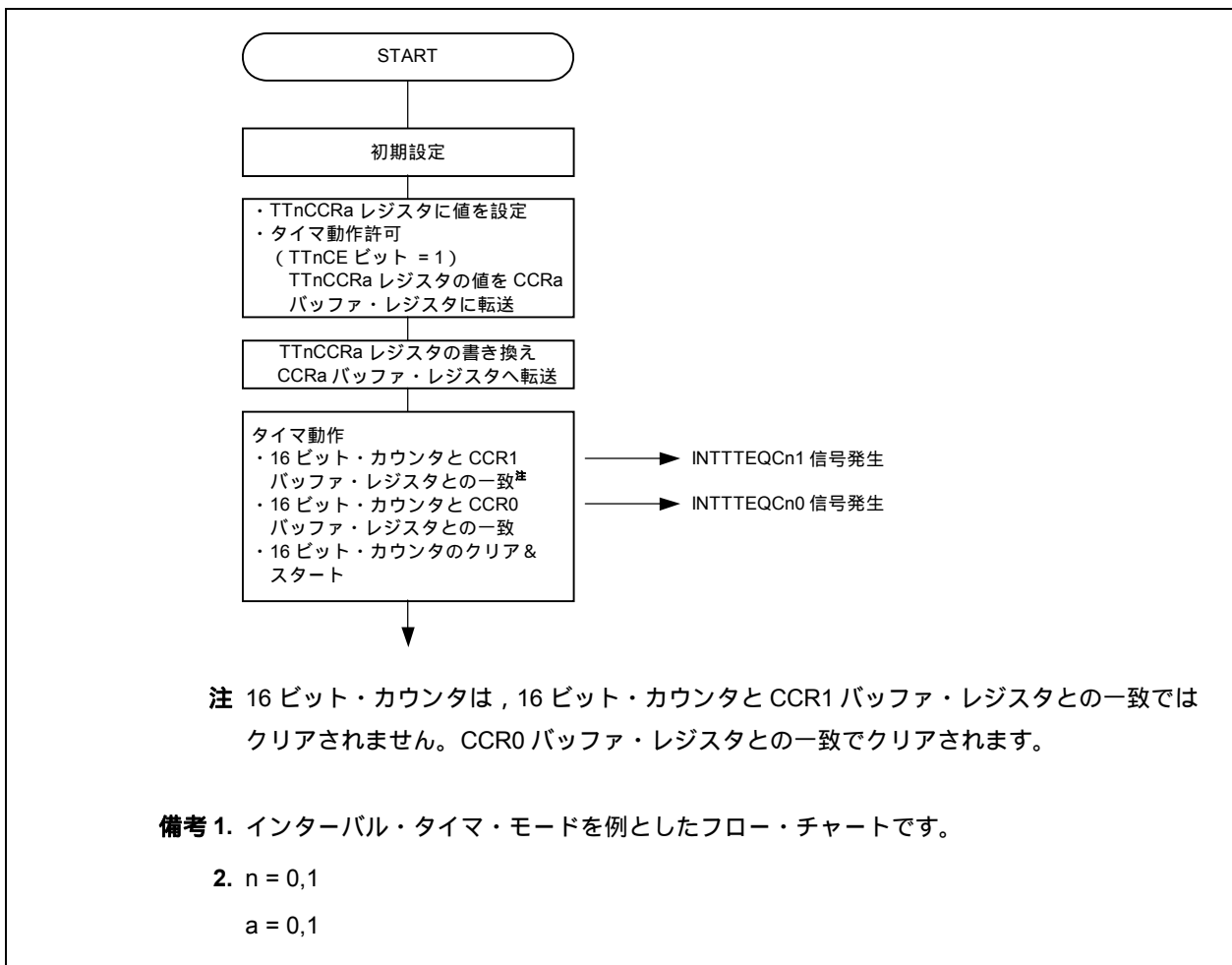
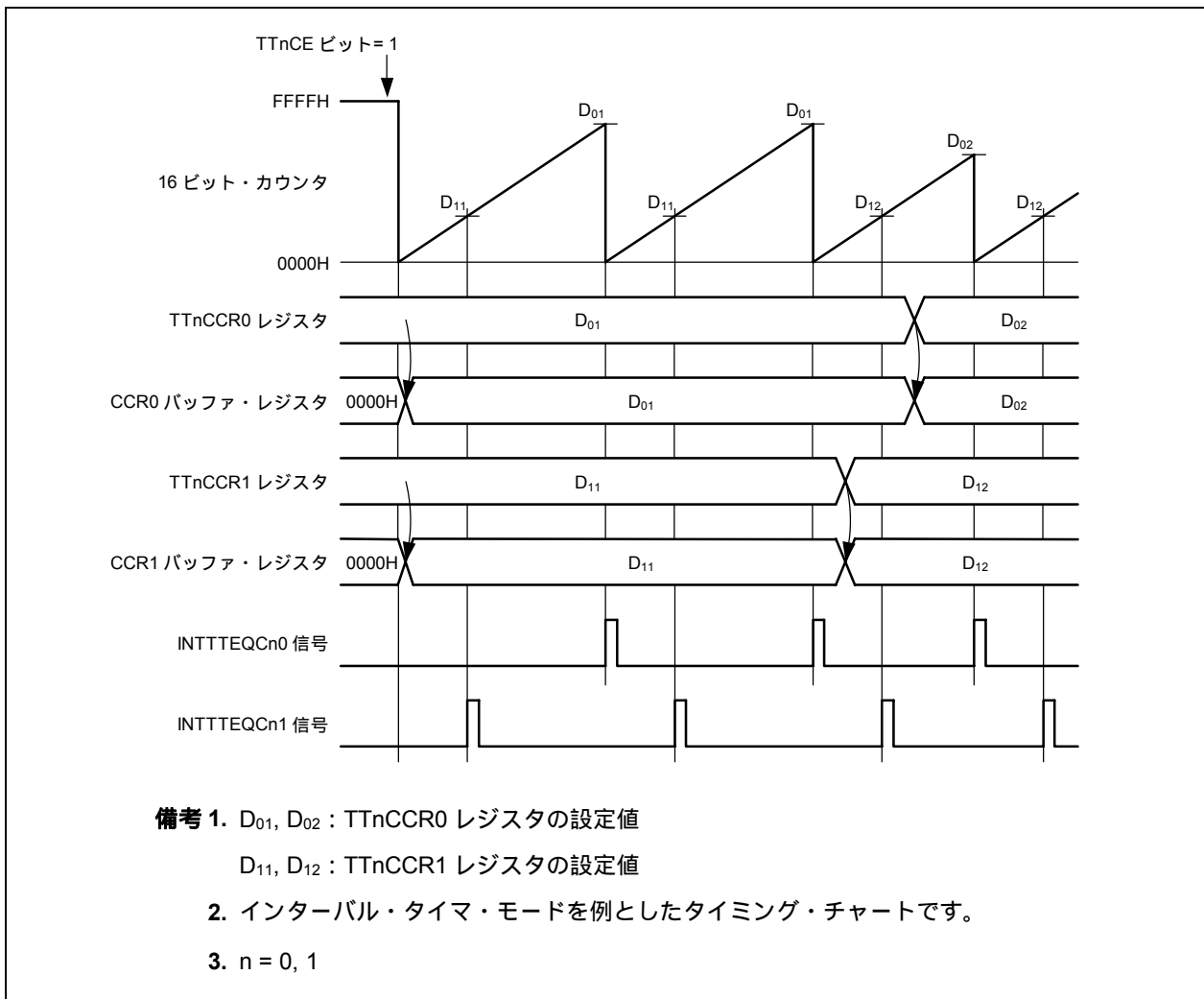


図 14-4 随時書き込みのタイミング



## (b) 一斉書き込み

このモードは、タイマ動作中に TTnCCR0, TTnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TTnCCR1 レジスタへの書き込みとなります。TTnCCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TTnCCR0, TTnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致する前に TTnCCR0 レジスタを書き換え、次に TTnCCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値との一致タイミングで、TTnCCR0, TTnCCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TTnCCR0 レジスタの値だけ書き換えたい場合でも、TTnCCR1 レジスタに同値 (すでに設定した TTnCCR1 レジスタと同じ値) を書き込んでください。

**備考** n = 0, 1

図 14-5 一斉書き込みの基本動作フロー・チャート

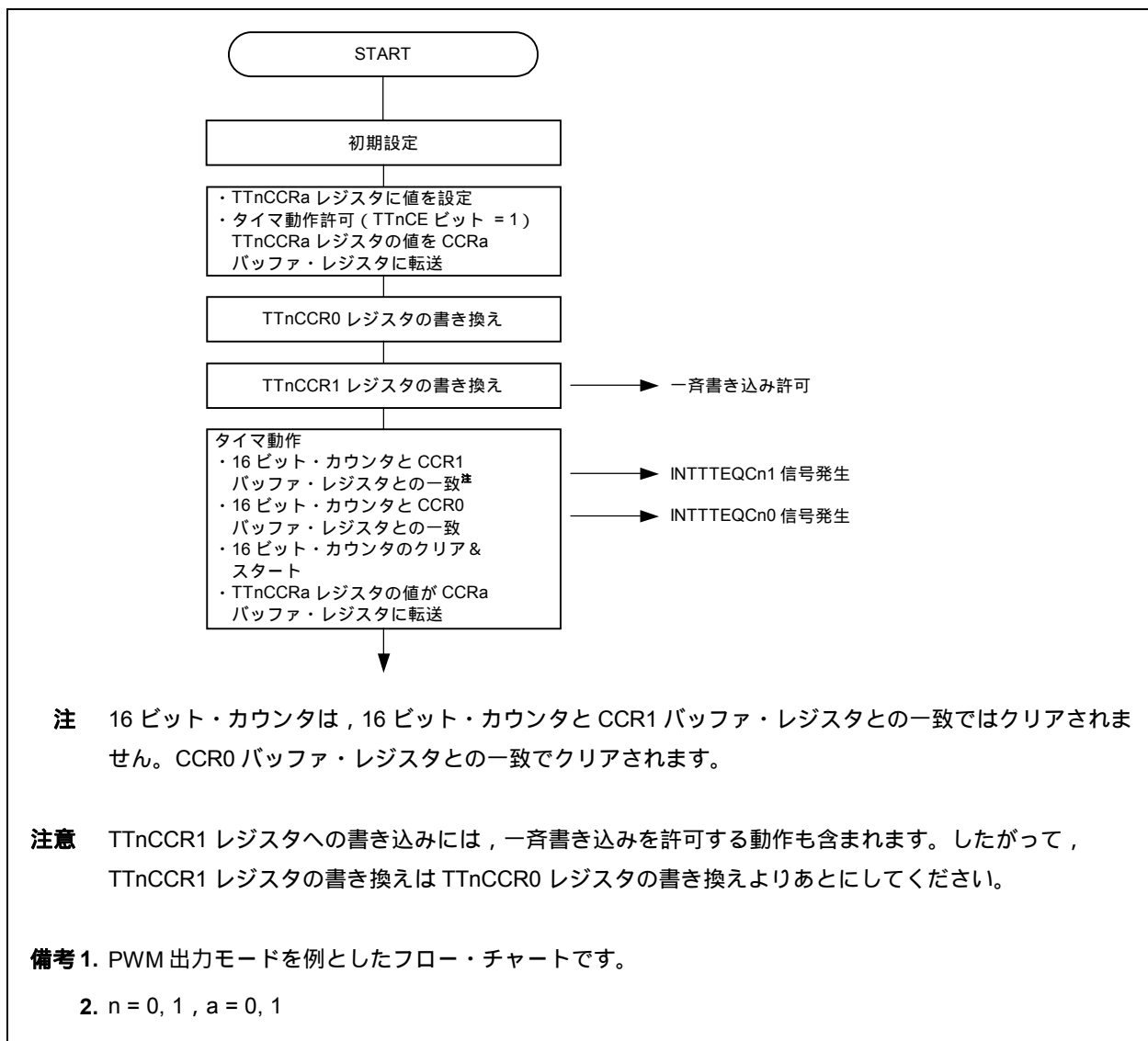
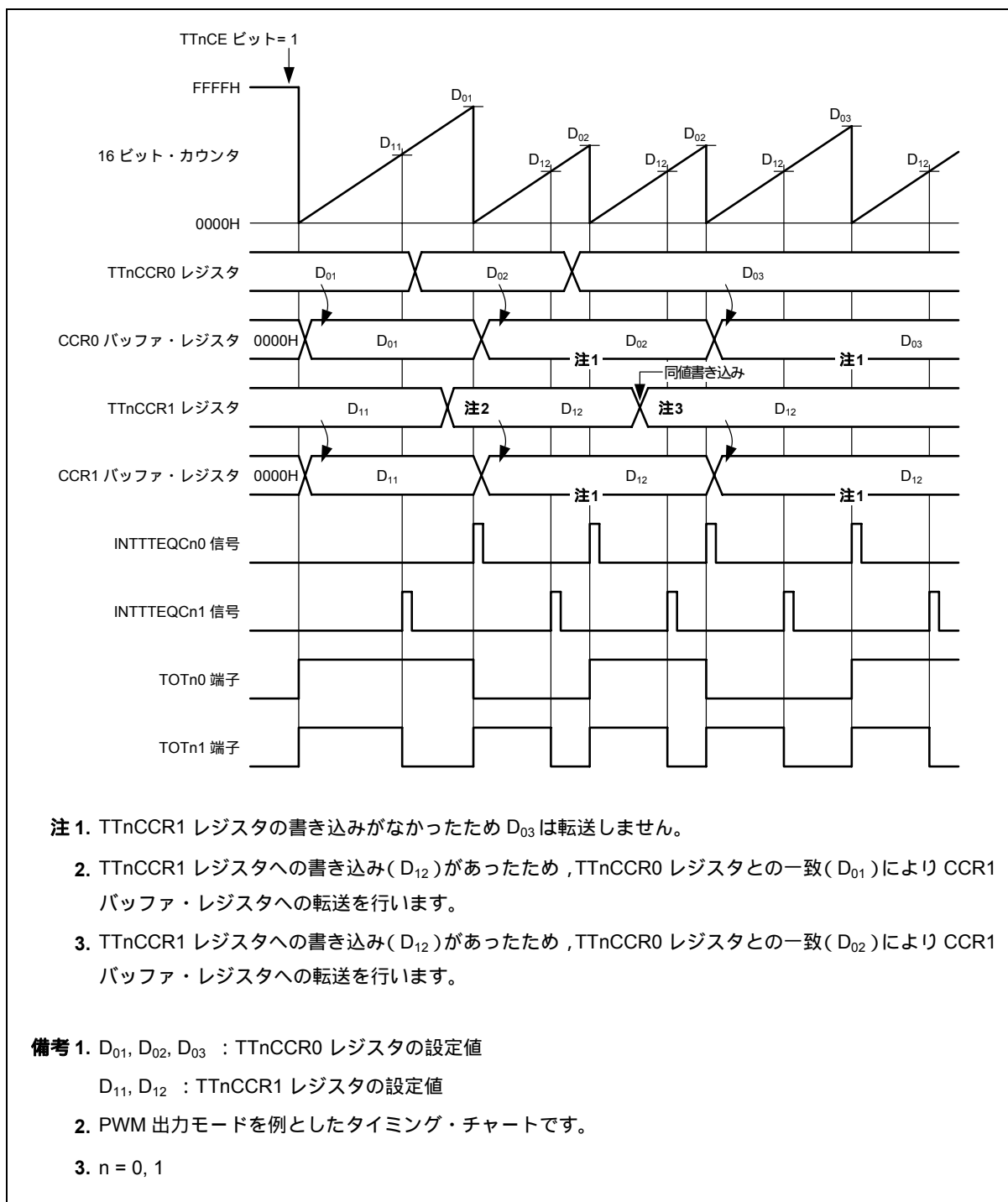


図 14-6 一斉書き込みのタイミング





### 14.6.2 インターバル・タイマ・モード (TTnMD3-TTnMD0 ビット = 0000)

インターバル・タイマ・モードは、TTnCTL0.TTnCE ビットをセット (1) することで、TTnCCR0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTTEQCn0) を発生します。また、TOTn0 端子から、インターバル間隔を半周期とする 50% デューティの PWM 波形を出力できます。

インターバル・タイマ・モードでは、TTnCCR1 レジスタを使用しません。しかし、TTnCCR1 レジスタでは、TTnCCR1 レジスタの設定値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するとコンパレー一致割り込み要求信号 (INTTTEQCn1) が発生します。また、TOTn1 端子から、INTTTEQCn1 信号の発生タイミングにより反転する 50% デューティの PWM 波形を出力できます。

なお、TTnCCR0, TTnCCR1 レジスタのタイマ動作中の書き換えは可能です。

図 14-7 インターバル・タイマの構成図

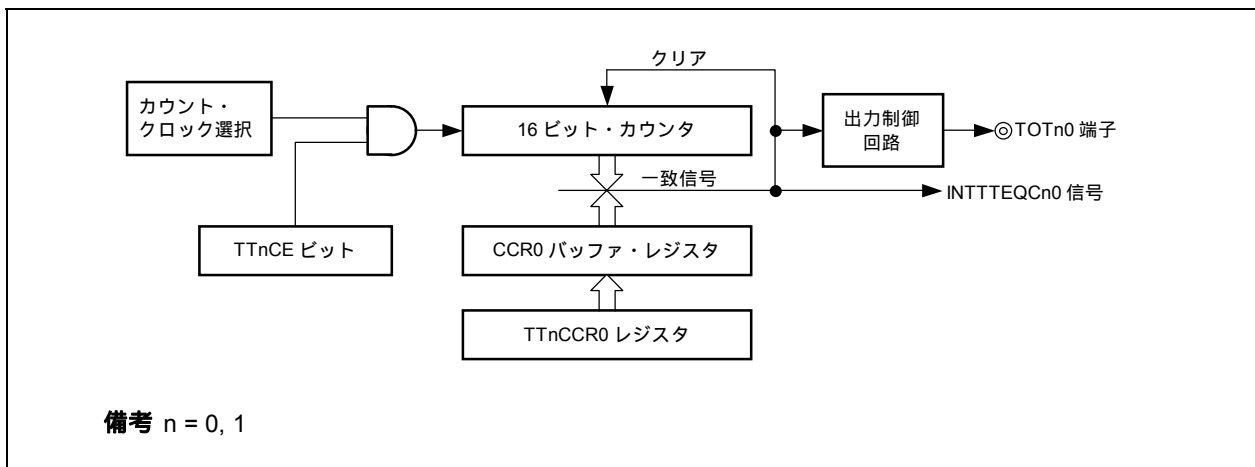
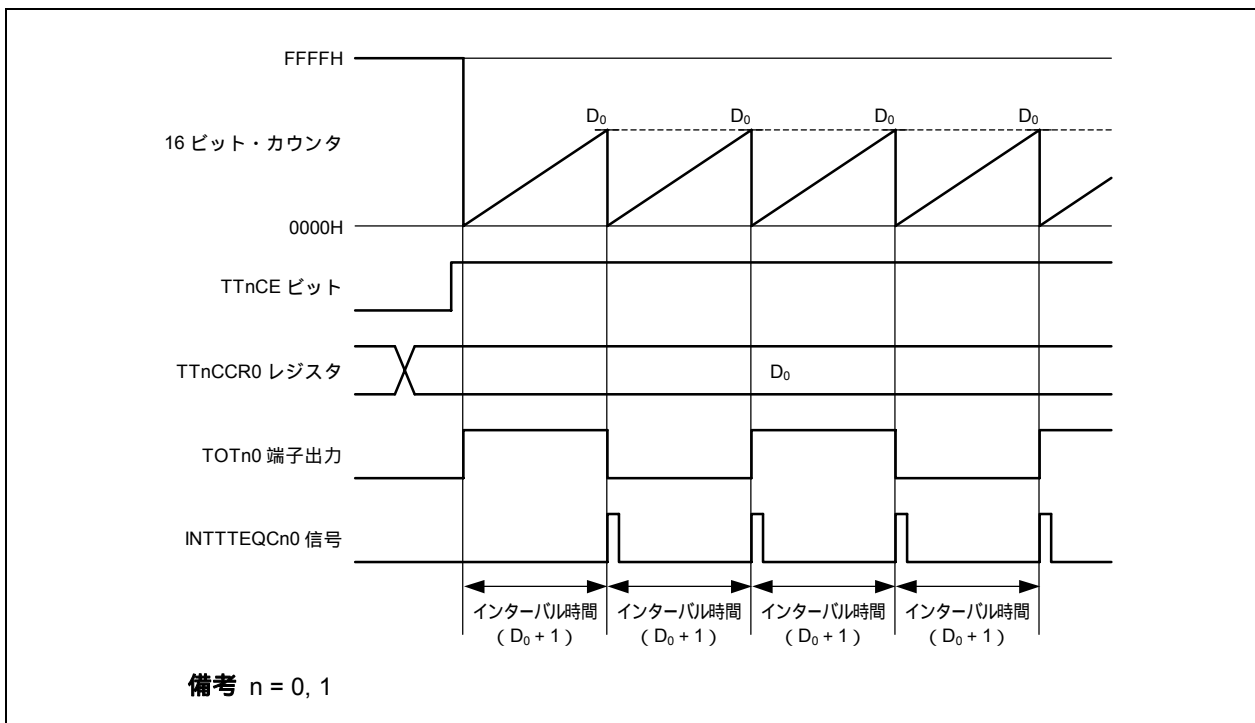


図 14-8 インターバル・タイマ・モード動作の基本タイミング



TTnCE ビットをセット (1) することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。このとき TOTn0 端子出力を反転します。また、TTnCCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、TOTn0 端子出力を反転させて、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TTnCCR0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0, 1

図 14-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

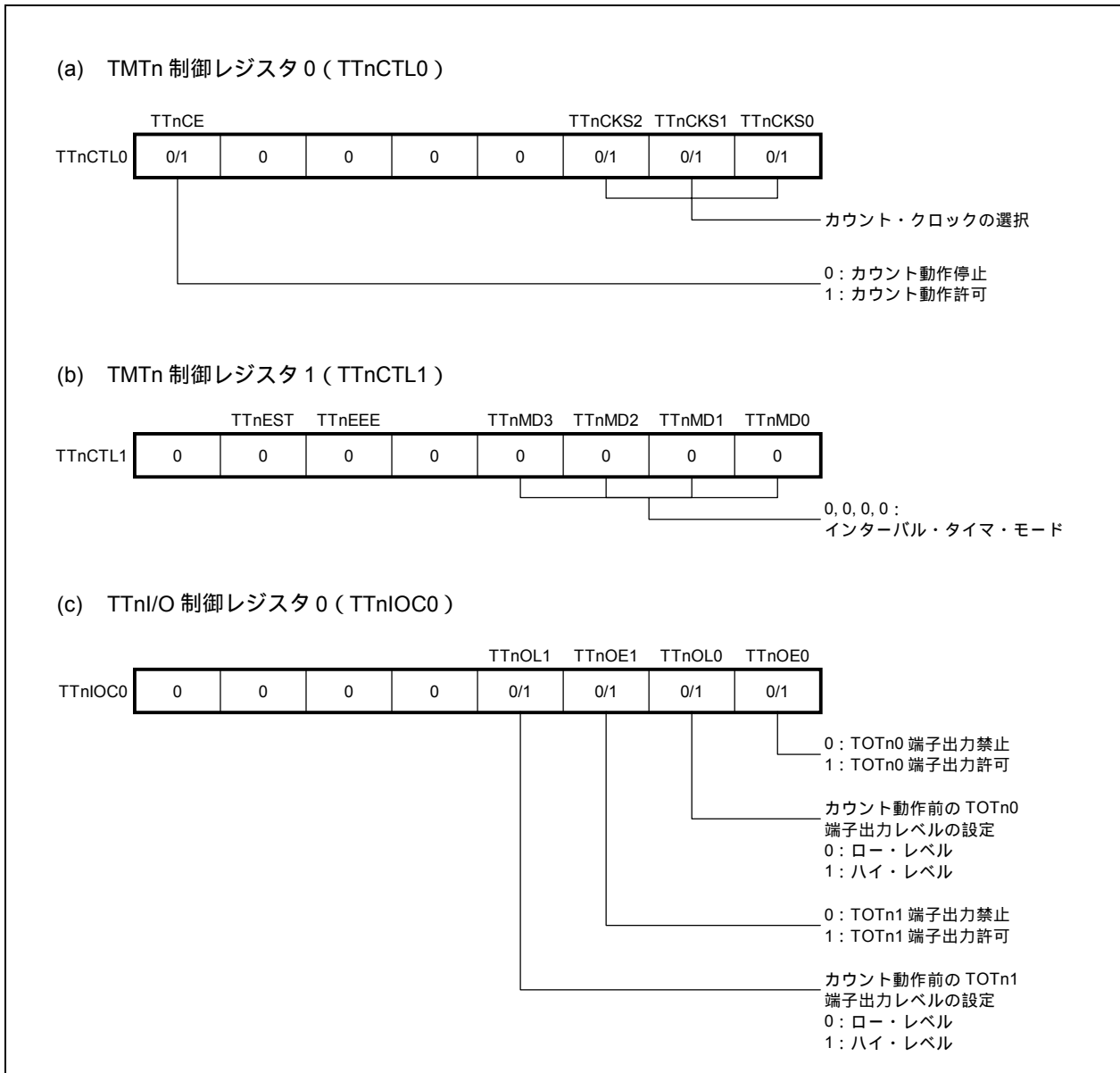


図 14-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

- (d) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタのカウント値をリードできます。

- (e) TMTn キャプチャ/コンペア・レジスタ 0 (TTnCCR0)

TTnCCR0 レジスタに  $D_0$  を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- (f) TMTn キャプチャ/コンペア・レジスタ 1 (TTnCCR1)

インターバル・タイマ・モードでは、TTnCCR1 レジスタを使用しません。しかし、TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、TOTn1 端子出力を反転し、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR0 レジスタの設定値と同じ値を設定することにより、TOTn1 端子から 50% デューティの PWM 波形を出力できます。

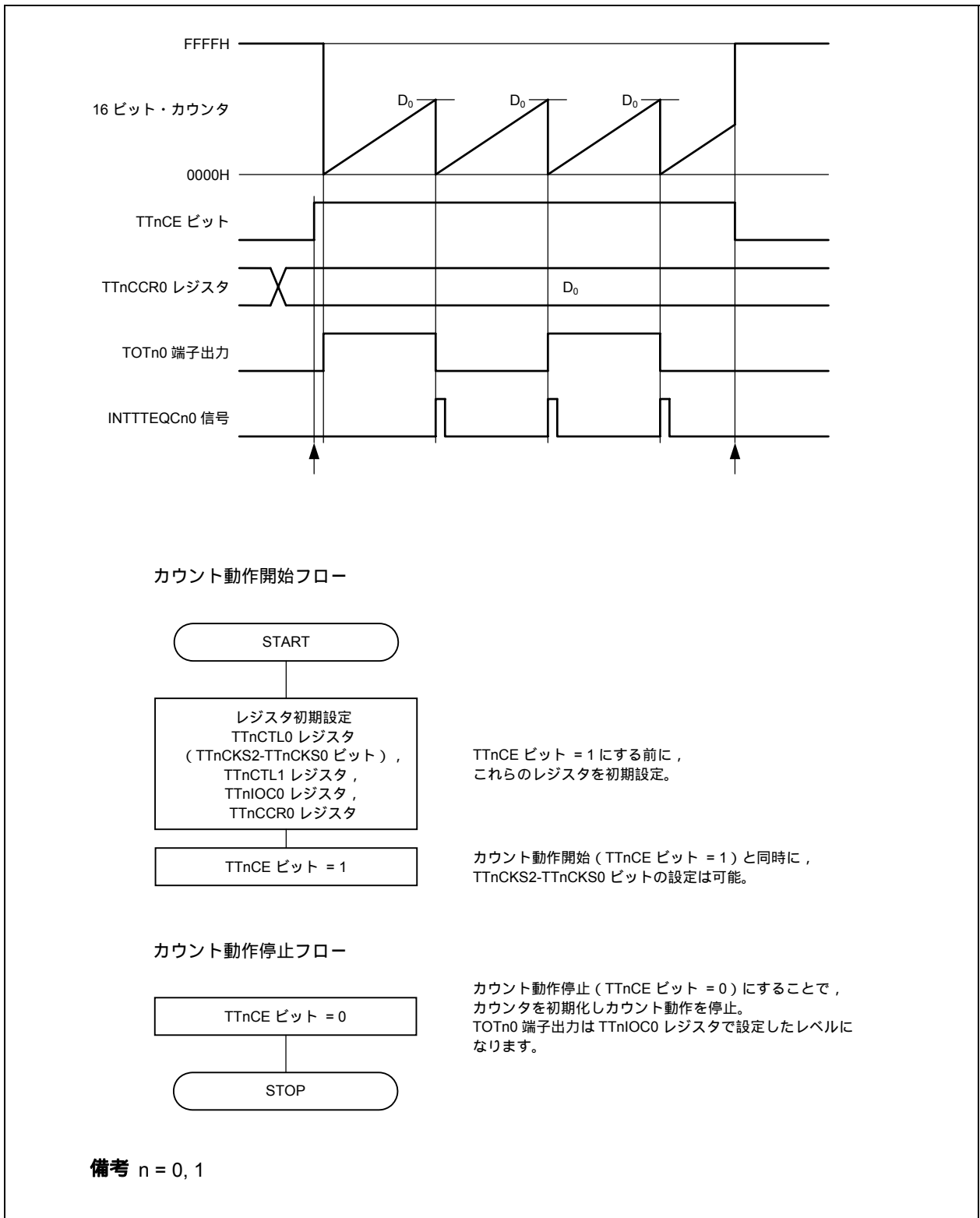
TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EICm レジスタのマスク・ビット) でマスク設定してください。

**備考 1.** TMTn 制御レジスタ 2 (TTnCTL2)、TMTn/O 制御レジスタ 1 (TTnIOC1)、TMTn/O 制御レジスタ 2 (TTnIOC2)、TMTn/O 制御レジスタ 3 (TTnIOC3)、TMTn オプション・レジスタ 0 (TTnOPT0)、TMTn オプション・レジスタ 1 (TTnOPT1)、TMTn カウンタ・ライト・レジスタ (TTnTCW) は、インターバル・タイマ・モードでは使用しません。

2.  $n = 0, 1$ ,  $m = 20, 24$

(1) インターバル・タイマ・モード動作フロー

図 14-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー

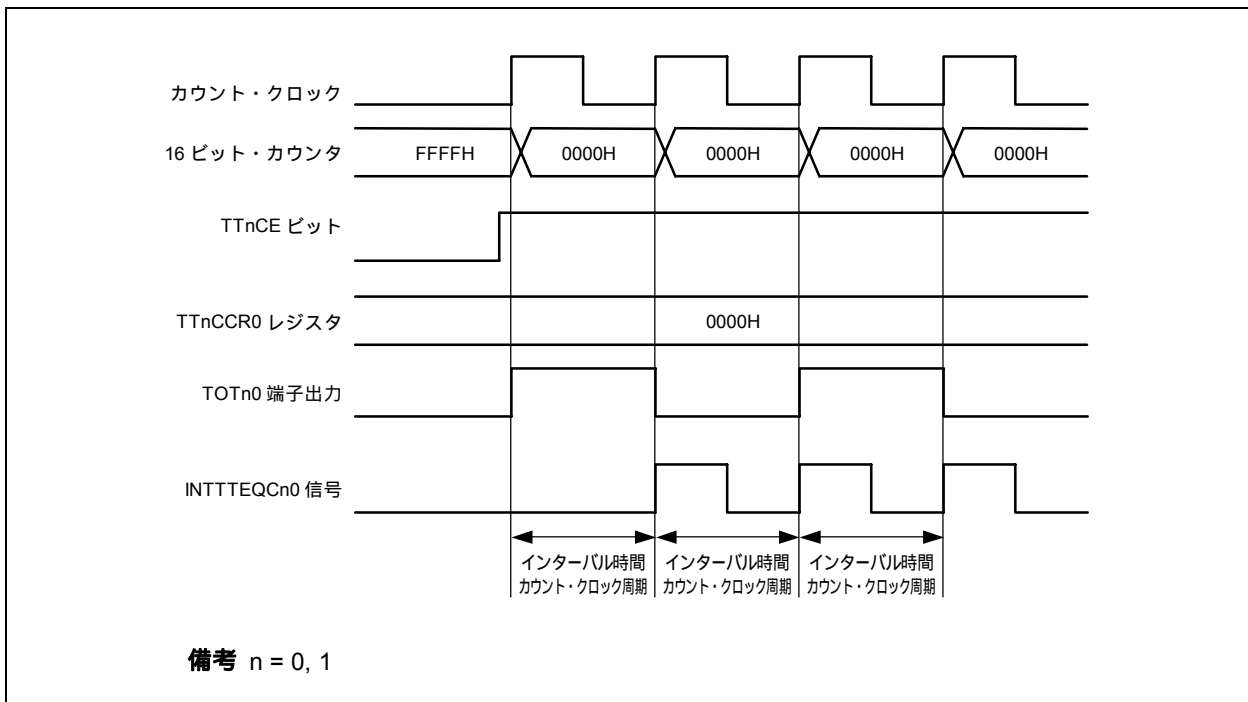


(2) インターバル・タイマ・モード動作タイミング

(a) TTnCCR0 レジスタに 0000H を設定した場合の動作

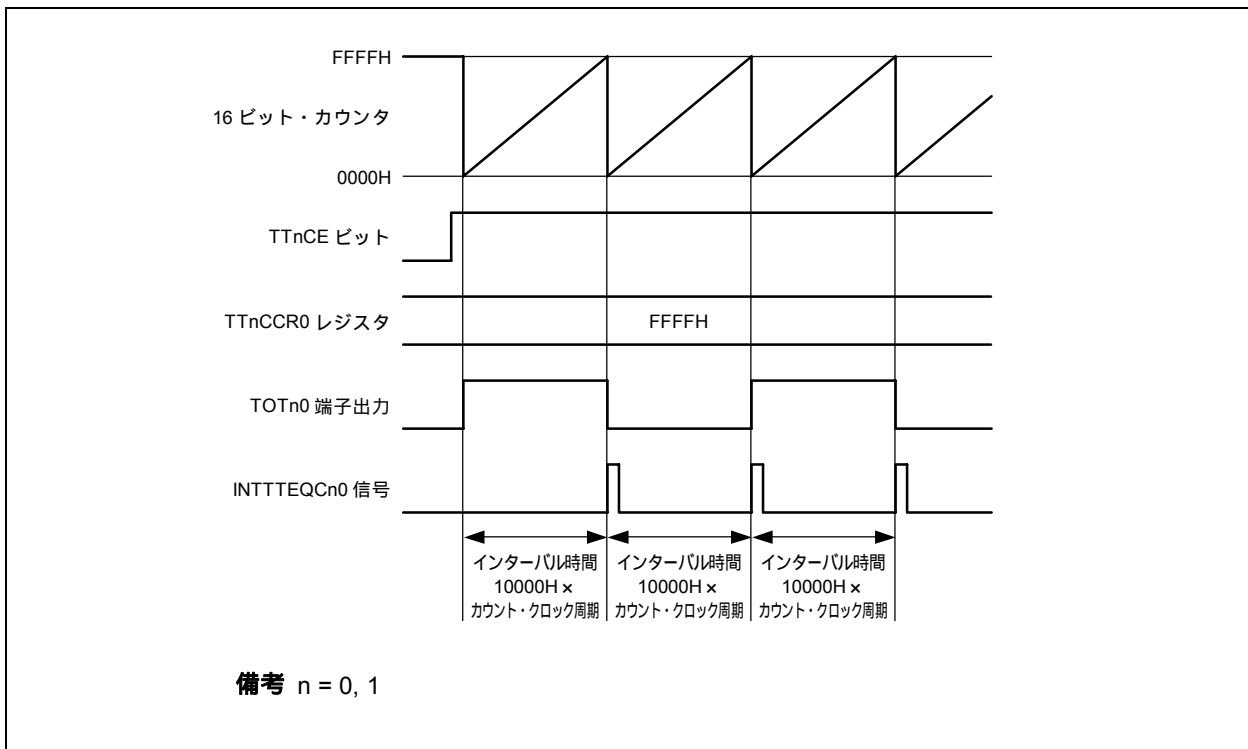
TTnCCR0 レジスタに 0000H を設定した場合，カウント・クロックごとに INTTTEQCn0 信号を発生し，TOTn0 端子の出力を反転します。

16 ビット・カウンタは，常に 0000H となります。



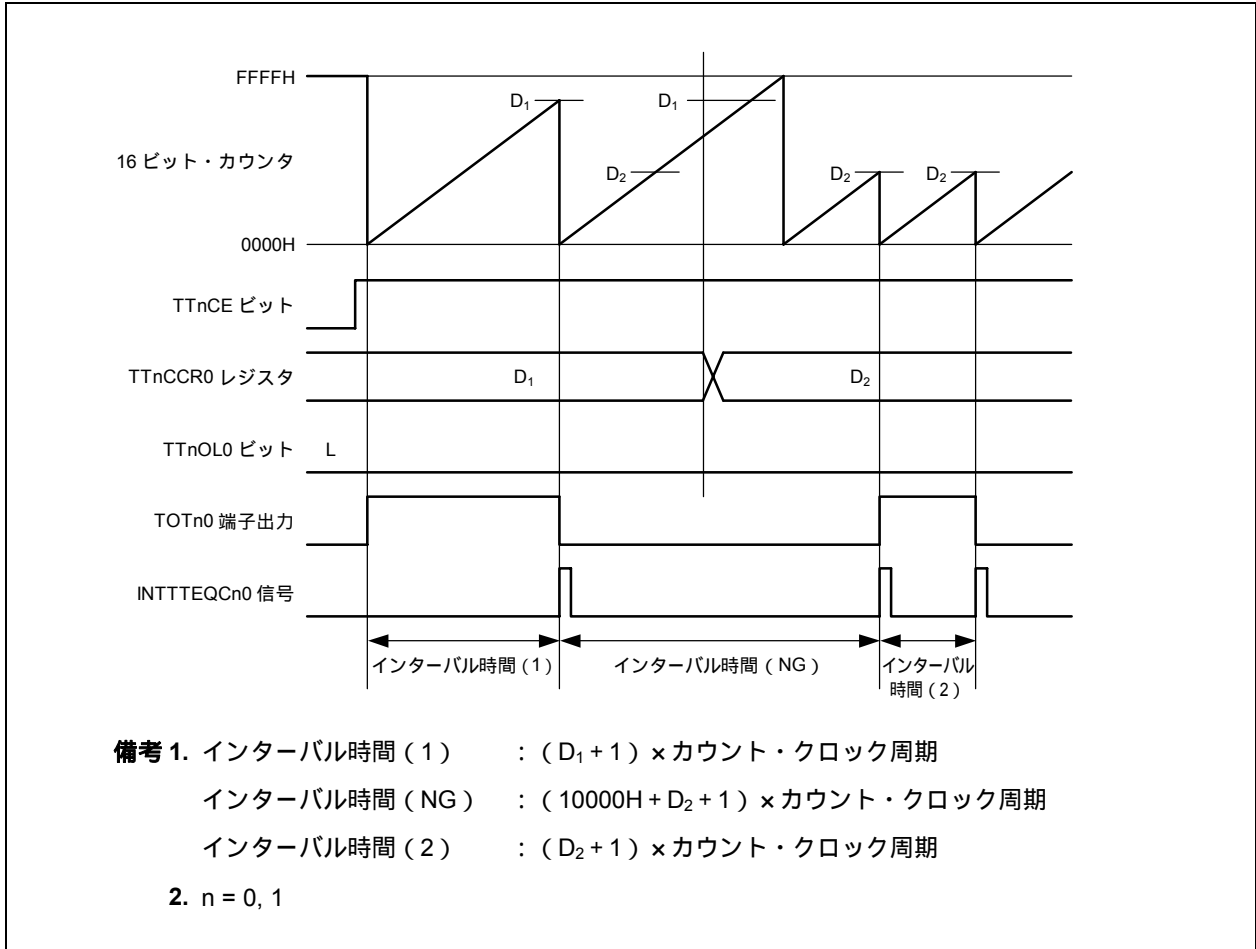
(b) TTnCCR0 レジスタに FFFFH を設定した場合の動作

TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生し、TOTn0 端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTIOVn) は発生せず、オーバフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット (1) されません。



## (c) TTnCCR0 レジスタの書き換えに関する注意事項

カウント動作中に TTnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



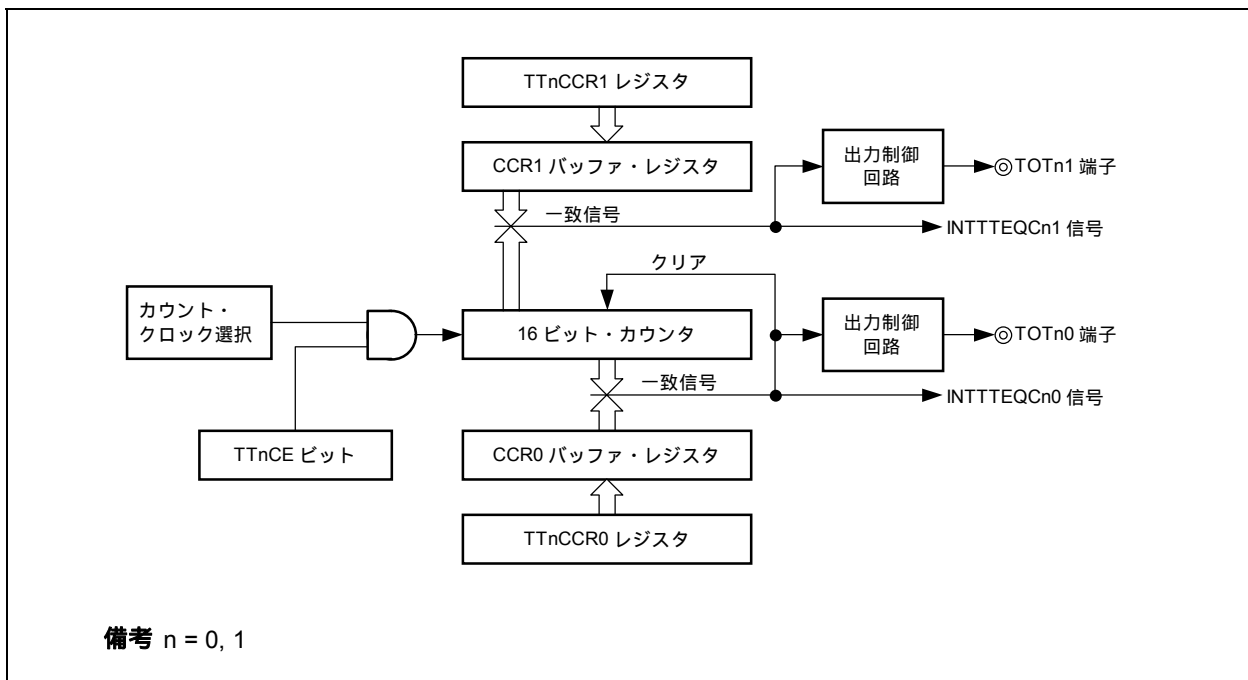
カウント値が  $D_2$  よりも大きく  $D_1$  よりも小さい状態において、TTnCCR0 レジスタを  $D_1$  から  $D_2$  に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が  $D_2$  となります。

しかし、カウント値はすでに  $D_2$  を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 $D_2$  との一致で INTTTEQCn0 信号を発生し TOTn0 端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」で INTTTEQCn0 信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔で INTTTEQCn0 信号が発生する場合があります。

(d) TTnCCR1 レジスタの動作

図 14-11 TTnCCR1 レジスタの構成図





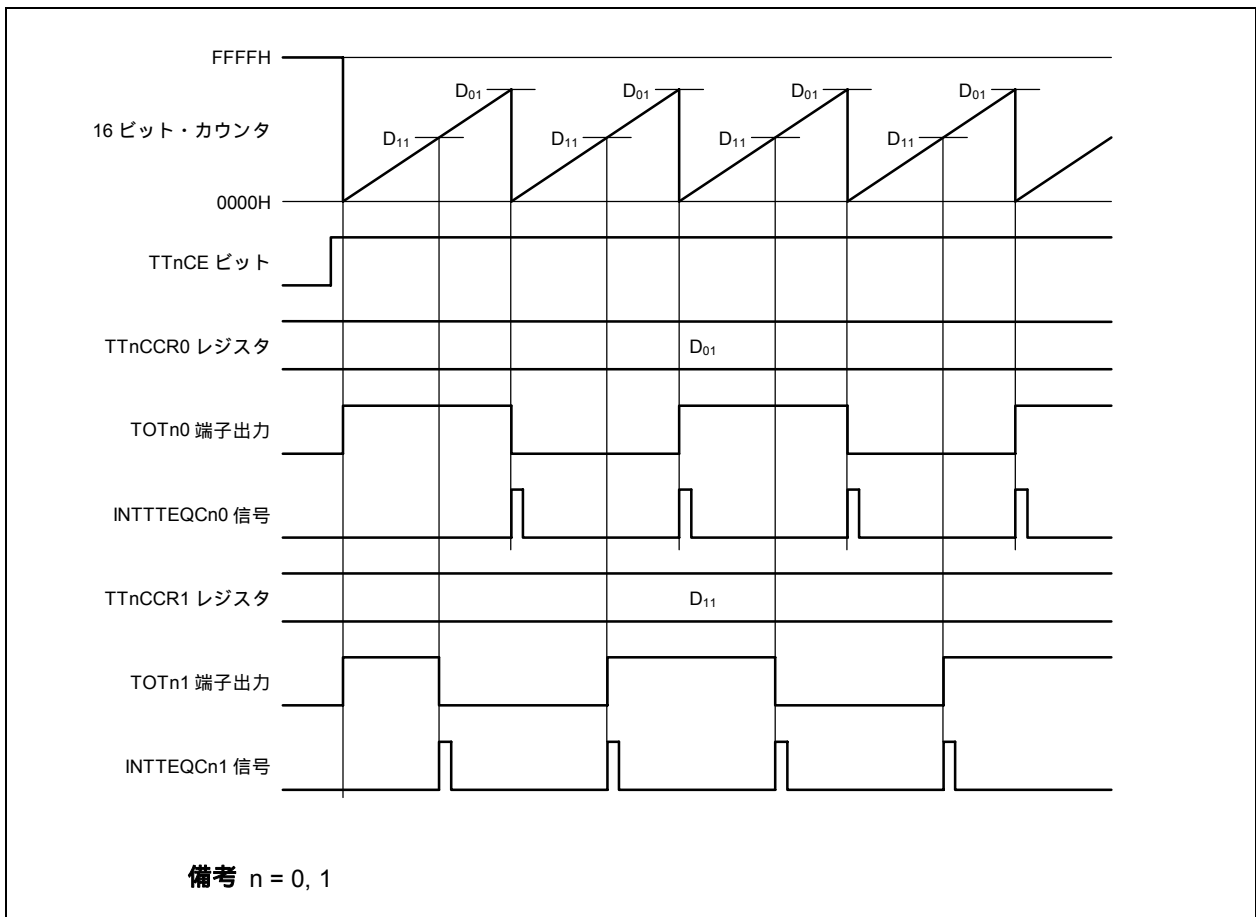
TTnCCR1 レジスタに TTnCCR0 レジスタの設定値と同じ値を設定すると、INTTTEQCn0 信号と同じタイミングで INTTTEQCn1 信号が発生し、TOTn1 端子出力が反転します。すなわち、TOTn1 端子から 50%デューティの PWM 波形を出力できます。

TTnCCR0 レジスタの設定値とは異なる値を TTnCCR1 レジスタに設定した場合の動作を次に示します。

TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTTEQCn1 信号が発生します。また、同じタイミングで TOTn1 端子出力は反転します。

TOTn1 端子出力は、最初に短い幅のパルスを出力したあと、50%デューティの PWM 波形を出力します。

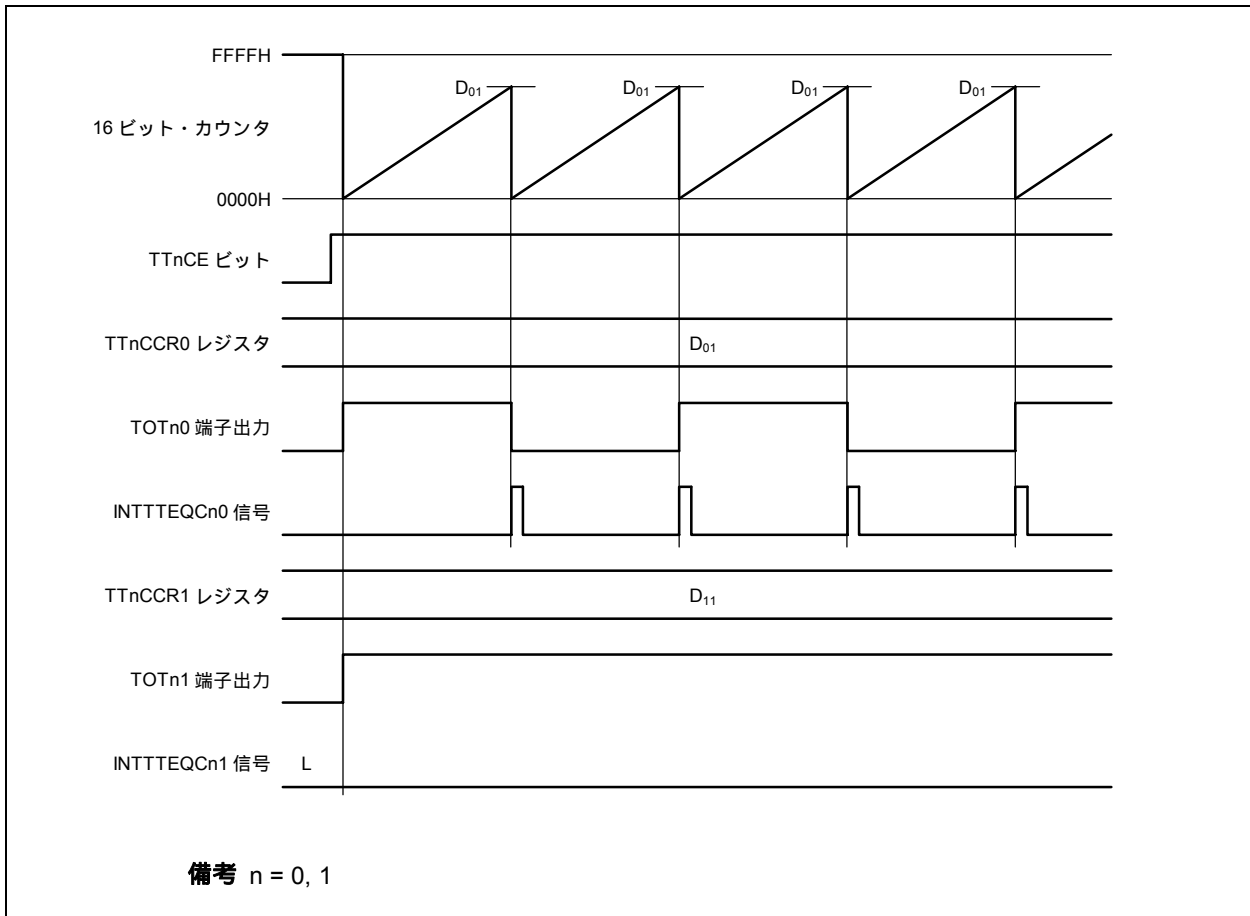
図 14-12 D<sub>01</sub> D<sub>11</sub> の場合のタイミング図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値が一致しないので、INTTTEQCn1 信号は発生しません。また、TOTn1 端子出力も変化しません。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 14-13 D<sub>01</sub> < D<sub>11</sub> の場合のタイミング図



### 14.6.3 外部イベント・カウント・モード (TTnMD3-TTnMD0 ビット = 0001)

外部イベント・カウント・モードは, TTnCTL0.TTnCE ビットをセット (1) することで, 外部イベント・カウント入力 (EVTTn) の有効エッジをカウントし, TTnCCR0 レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTTTEQCn0) を発生します。TOTn0, TOTn1 端子は使用できません。

外部イベント・カウント・モードでは, TTnCCR1 レジスタは使用しません。

図 14-14 外部イベント・カウント・モードの構成図

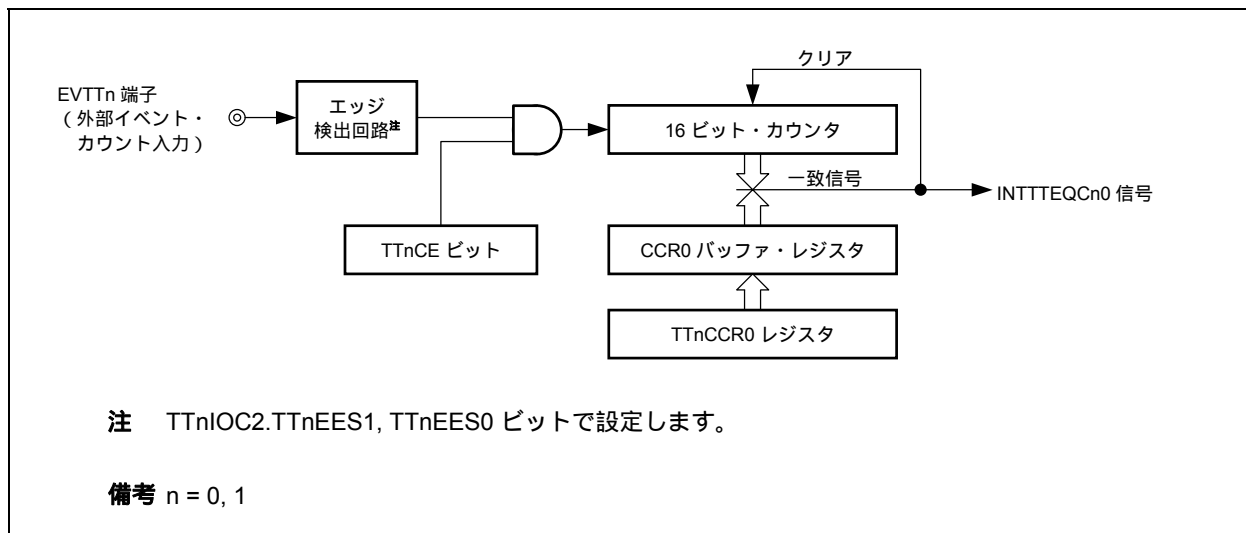
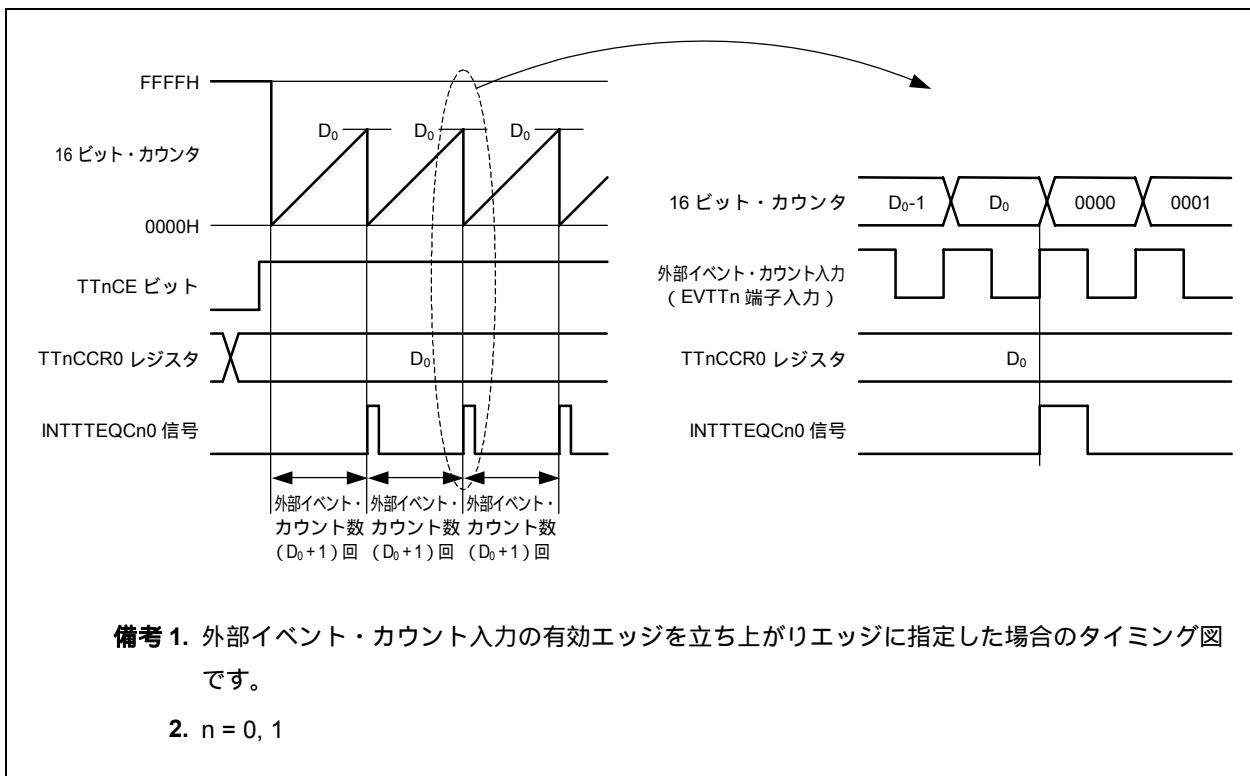


図 14-15 外部イベント・カウント・モードの基本タイミング



TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TTnCCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。

INTTTEQCn0 信号は、外部イベント・カウント入力の有効エッジを (TTnCCR0 レジスタに設定した値 + 1) 回検出するごとに発生します。

図 14-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

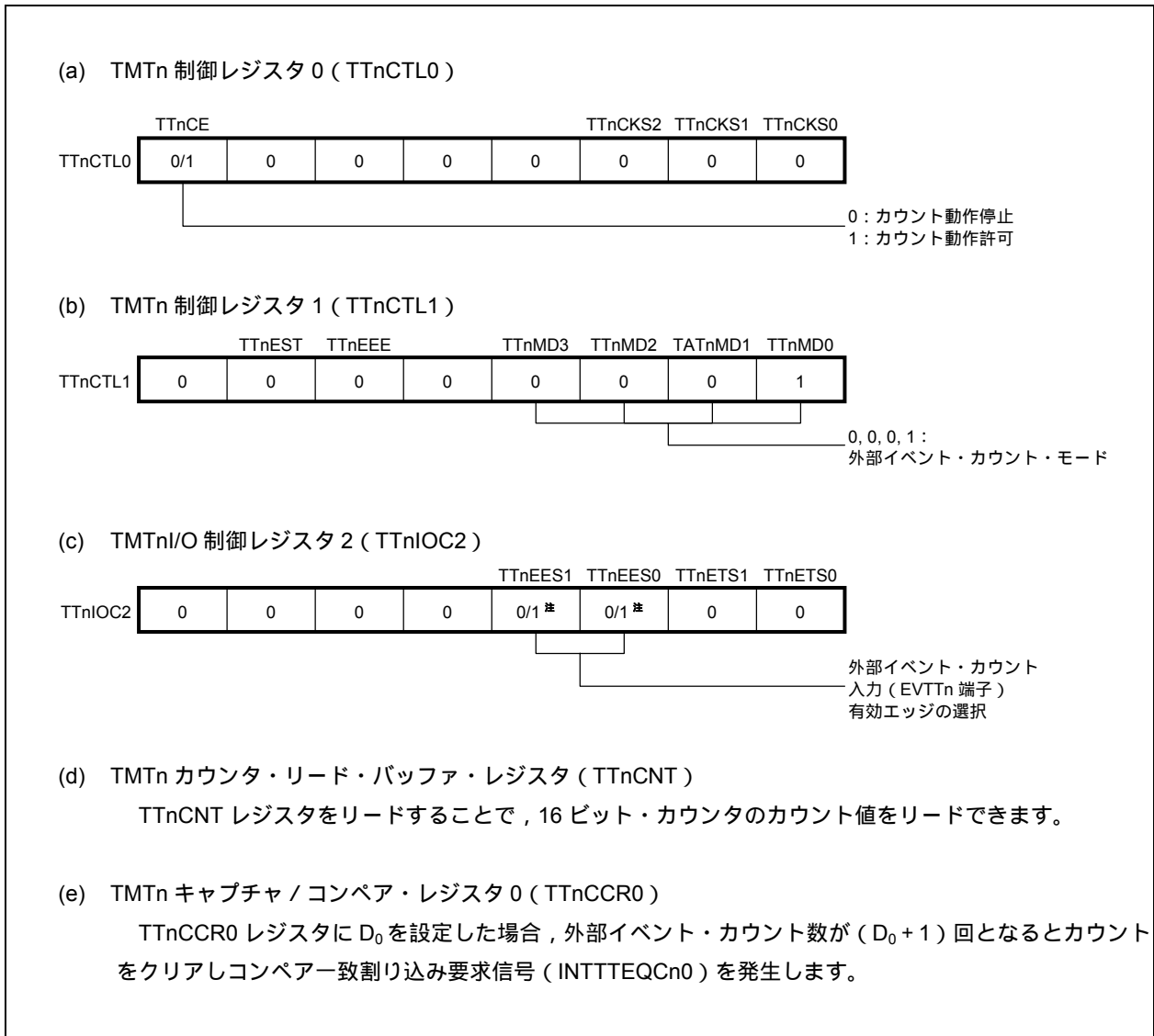


図 14-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

## (f) TMTn キャプチャ/コンペア・レジスタ 1 (TTnCCR1)

外部イベント・カウント・モードでは、TTnCCR1 レジスタは使用しません。しかし、TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EICm レジスタのマスク・ビット) でマスク設定してください。

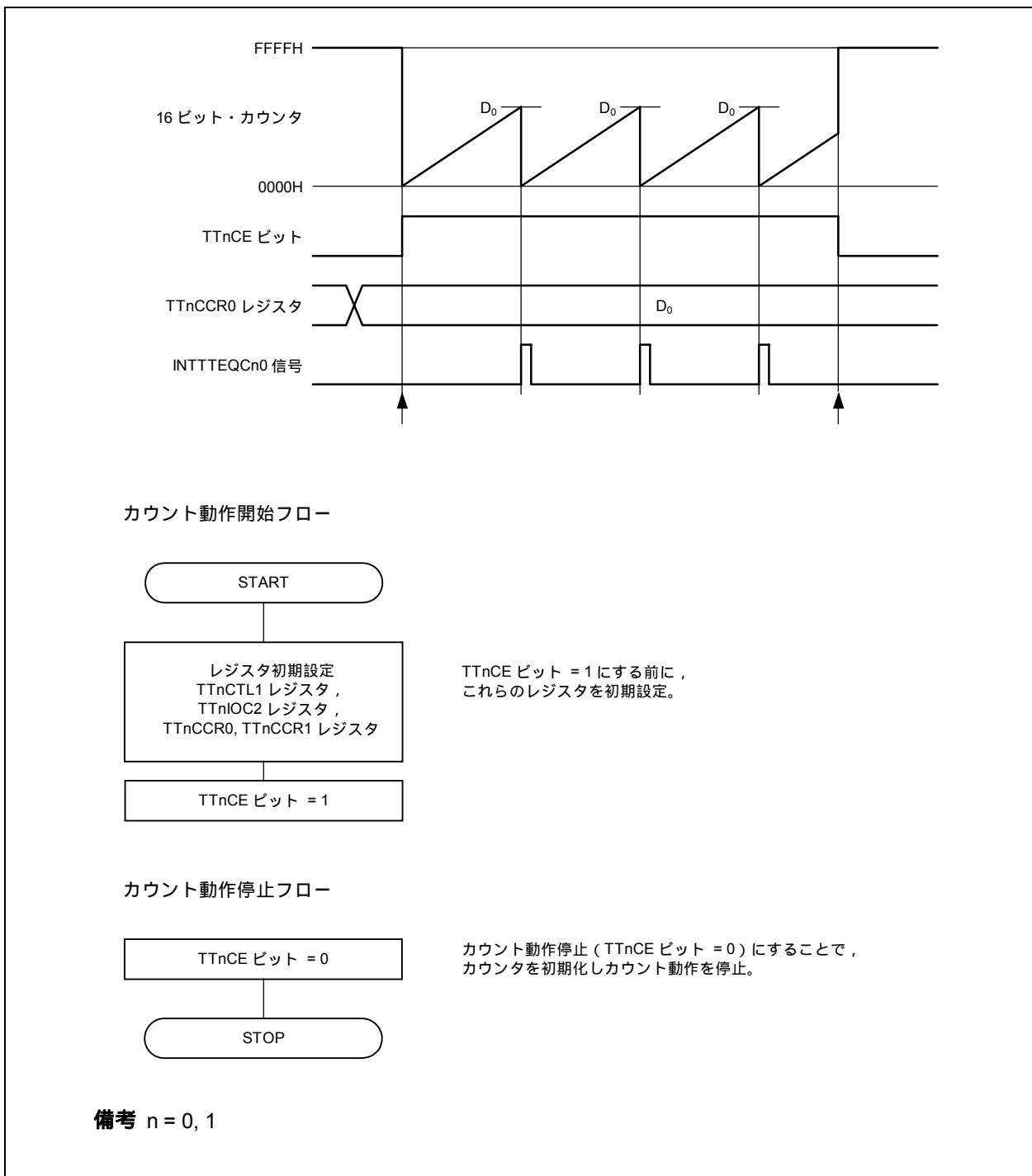
**注意** TTnIOC0 レジスタには 00H を設定してください。

**備考 1.** TMTn 制御レジスタ 2 (TTnCTL2), TMTn/I/O 制御レジスタ 0 (TTnIOC0), TMTn/I/O 制御レジスタ 1 (TTnIOC1), TMTn/I/O 制御レジスタ 3 (TTnIOC3), TMTn オプション・レジスタ 0 (TTnOPT0), TMTn オプション・レジスタ 1 (TTnOPT1), TMTn カウンタ・ライト・レジスタ (TTnTCW) は、外部イベント・カウント・モードでは使用しません。

**2.** n = 0, 1, m = 20, 24

(1) 外部イベント・カウント・モード動作フロー

図 14-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー



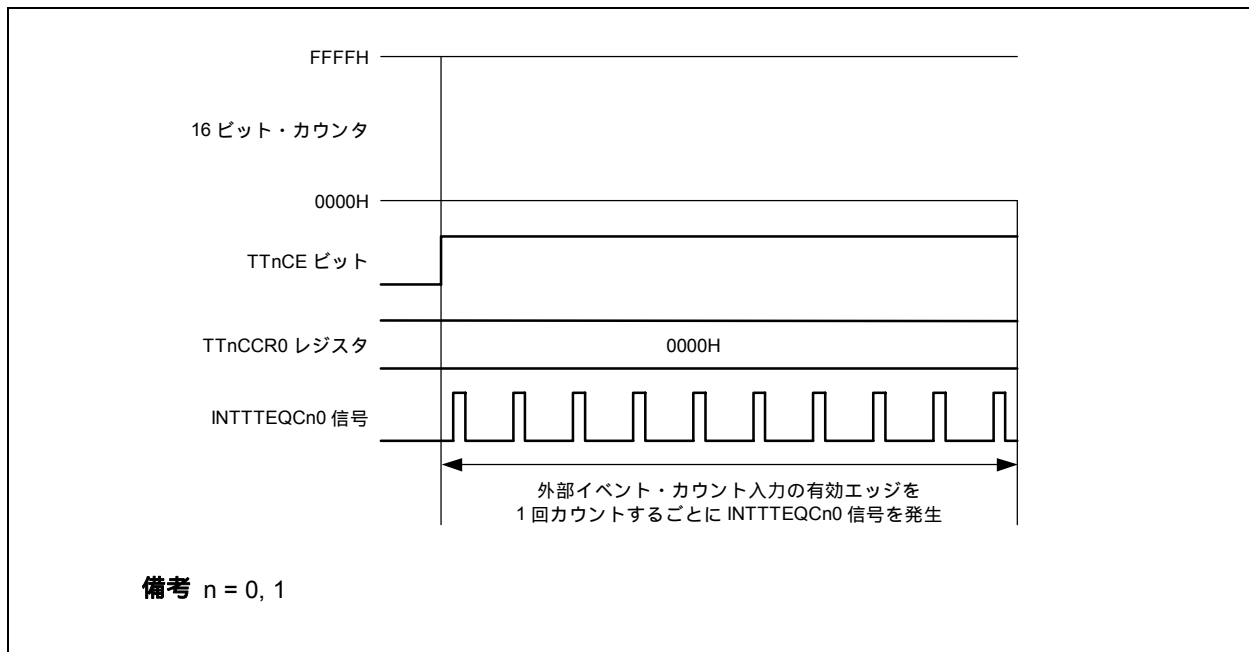
## (2) 外部イベント・カウント・モード動作タイミング

**注意** 外部イベント・カウント・モード時，タイマ出力 (TOTn0, TOTn1) は使用禁止です。

## (a) TTnCCR0 レジスタに 0000H を設定した場合の動作

TTnCCR0 レジスタに 0000H を設定した場合，16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに CCR0 バッファ・レジスタの値との一致で，16 ビット・カウンタを 0000H にクリアし続けて，INTTTEQCn0 信号を発生します。

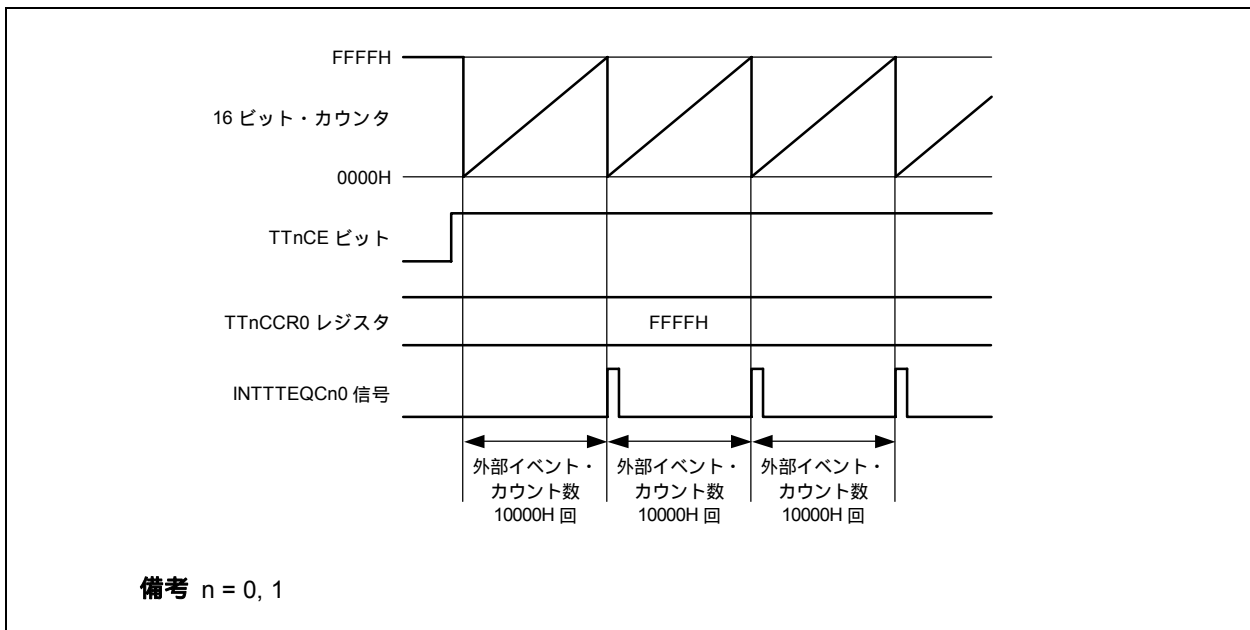
16 ビット・カウンタは，常に 0000H となります。





(b) TTnCCR0 レジスタに FFFFH を設定した場合の動作

TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生します。このとき、TTnOPT0.TTnOVF ビットはセットされません。

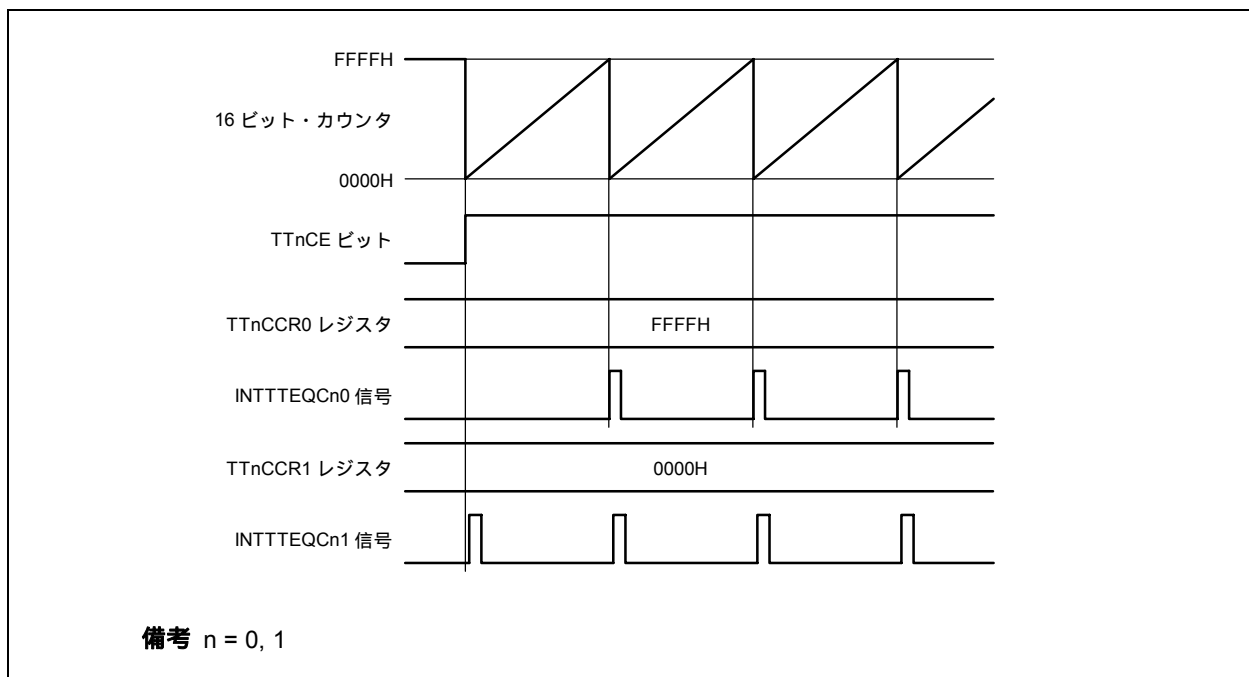


## (c) TTnCCR0 レジスタに FFFFH, TTnCCR1 レジスタに 0000H を設定した場合の動作

TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに FFFFH までカウント動作を行い、次の外部イベント・カウント信号の有効エッジに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生します。

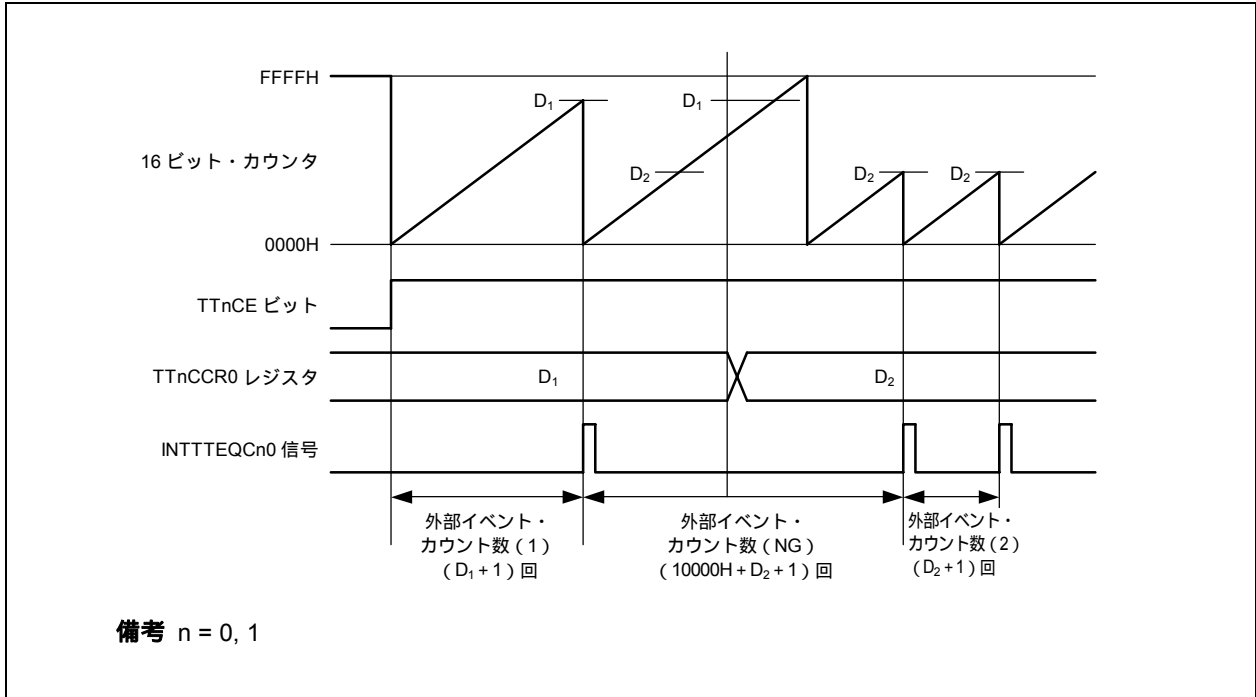
このとき、TTnOPT0.TTnOVF ビットはセットされません。

TTnCCR1 レジスタに 0000H を設定した場合、16 ビット・カウンタが 0000H にクリアされたタイミングで INTTTEQCn1 信号が発生します。



## (d) TTnCCR0 レジスタの書き換えに関する注意事項

カウント動作中に TTnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



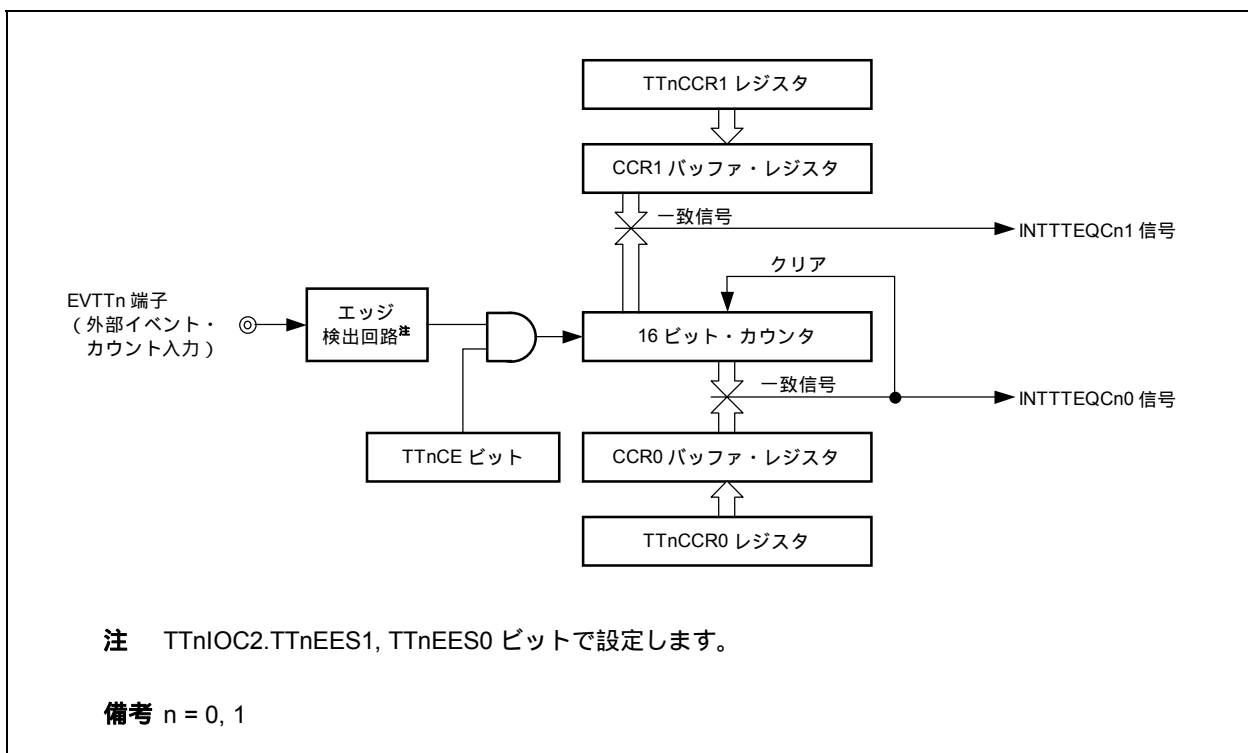
カウント値が  $D_2$  よりも大きく  $D_1$  よりも小さい状態において、TTnCCR0 レジスタを  $D_1$  から  $D_2$  に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が  $D_2$  となります。

しかし、カウント値はすでに  $D_2$  を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 $D_2$  との一致で INTTTEQCn0 信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$  回」または「 $(D_2 + 1)$  回」の有効エッジ数で INTTTEQCn0 信号は発生せず、「 $(10000H + D_2 + 1)$  回」の有効エッジ数で INTTTEQCn0 信号が発生する場合があります。

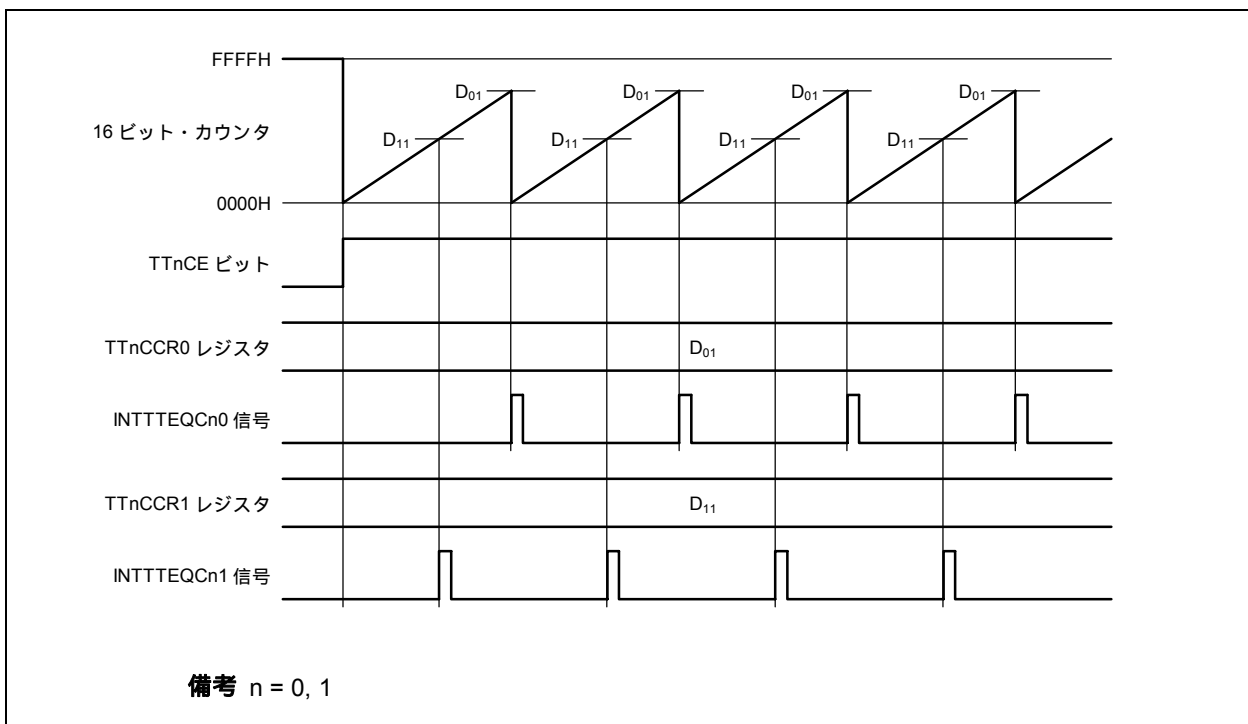
(e) TTnCCR1 レジスタの動作

図 14-18 TTnCCR1 レジスタ 1 の構成図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTTEQCn1 信号が発生します。

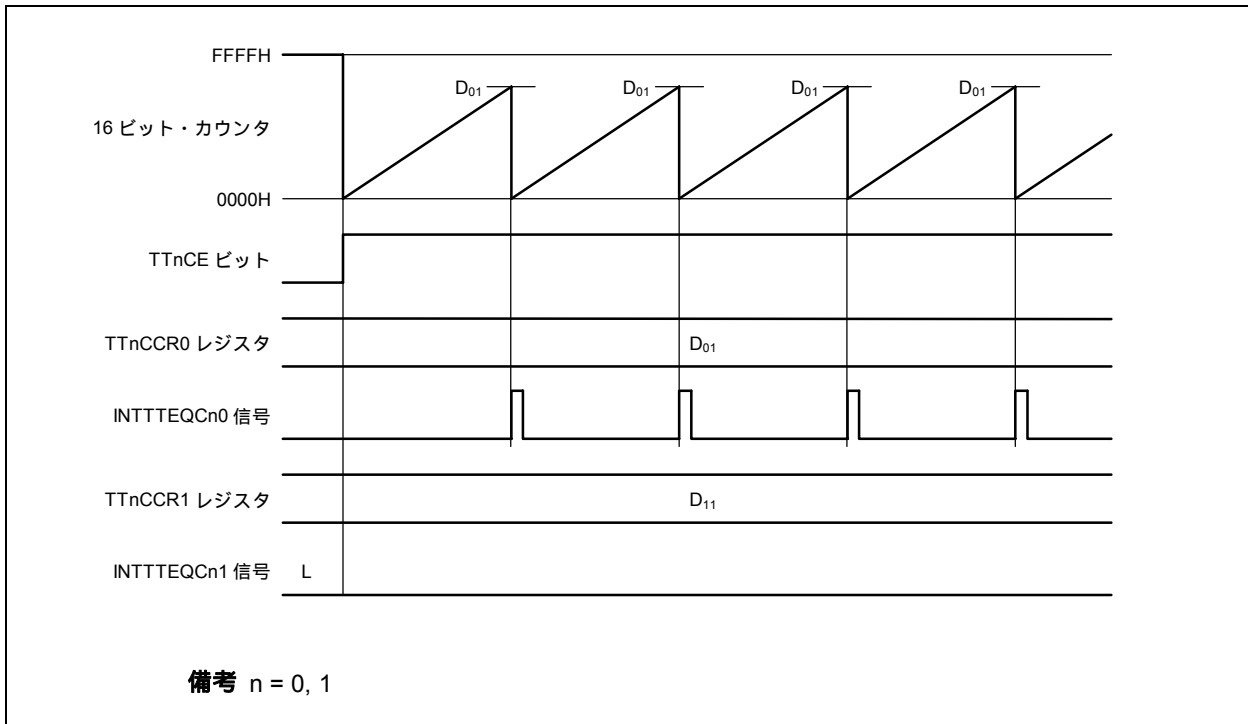
図 14-19 D<sub>01</sub> D<sub>11</sub> の場合のタイミング図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値が一致しないので、INTTTEQCn1 信号は発生しません。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 14-20  $D_{01} < D_{11}$  の場合のタイミング図



#### 14.6.4 外部トリガ・パルス出力モード (TTnMD3-TTnMD0 ビット = 0010)

外部トリガ・パルス出力モードは、TTnCTL0.TTnCE ビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力 (TRGTn) の有効エッジを検出すると、カウント動作を開始し、TOTn1 端子から PWM 波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOTn0 端子から TTnCCR0 レジスタの設定値 + 1 を半周期とする 50% デューティの PWM 波形を出力できます。

図 14-21 外部トリガ・パルス出力モードの構成図

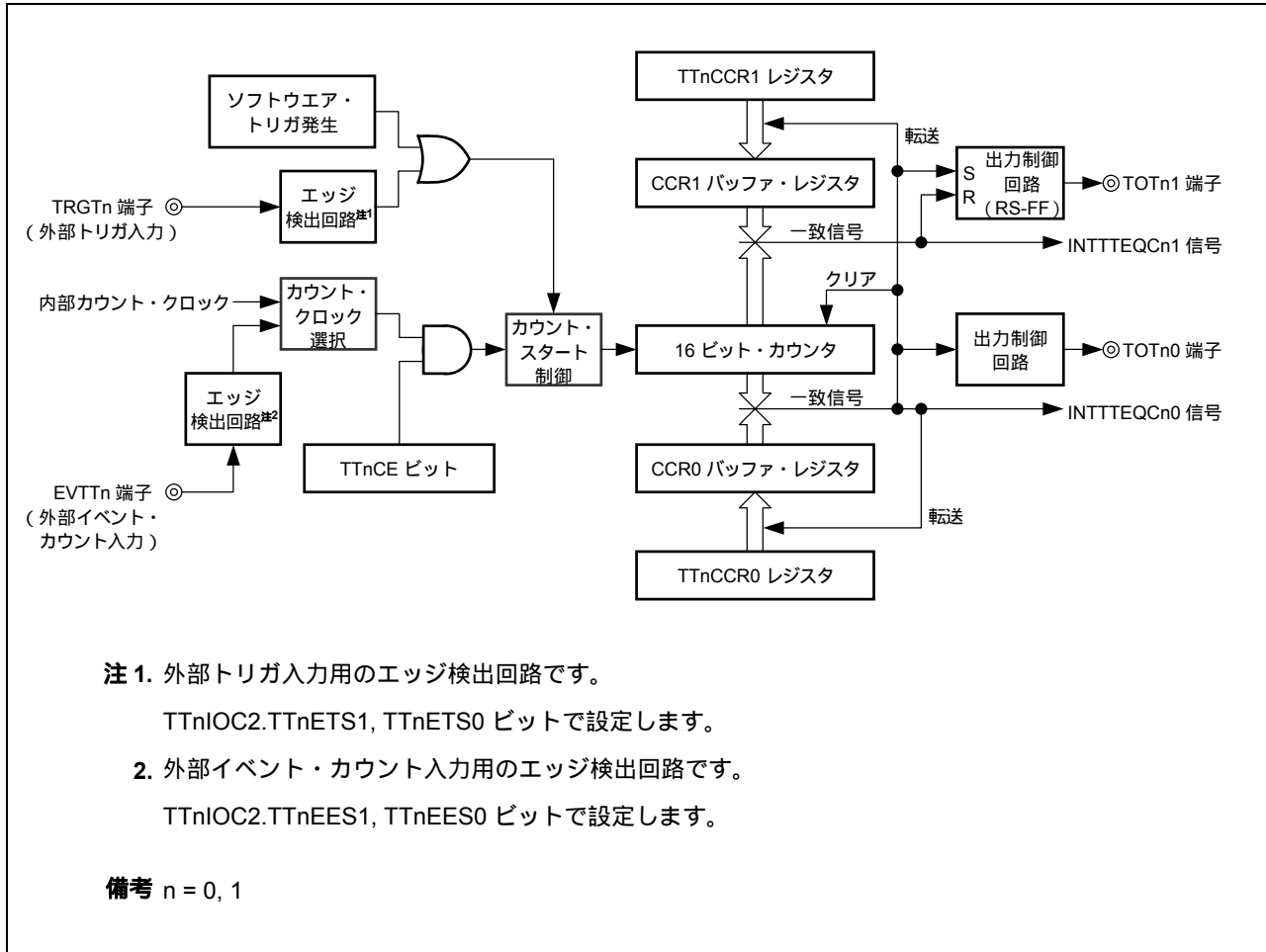
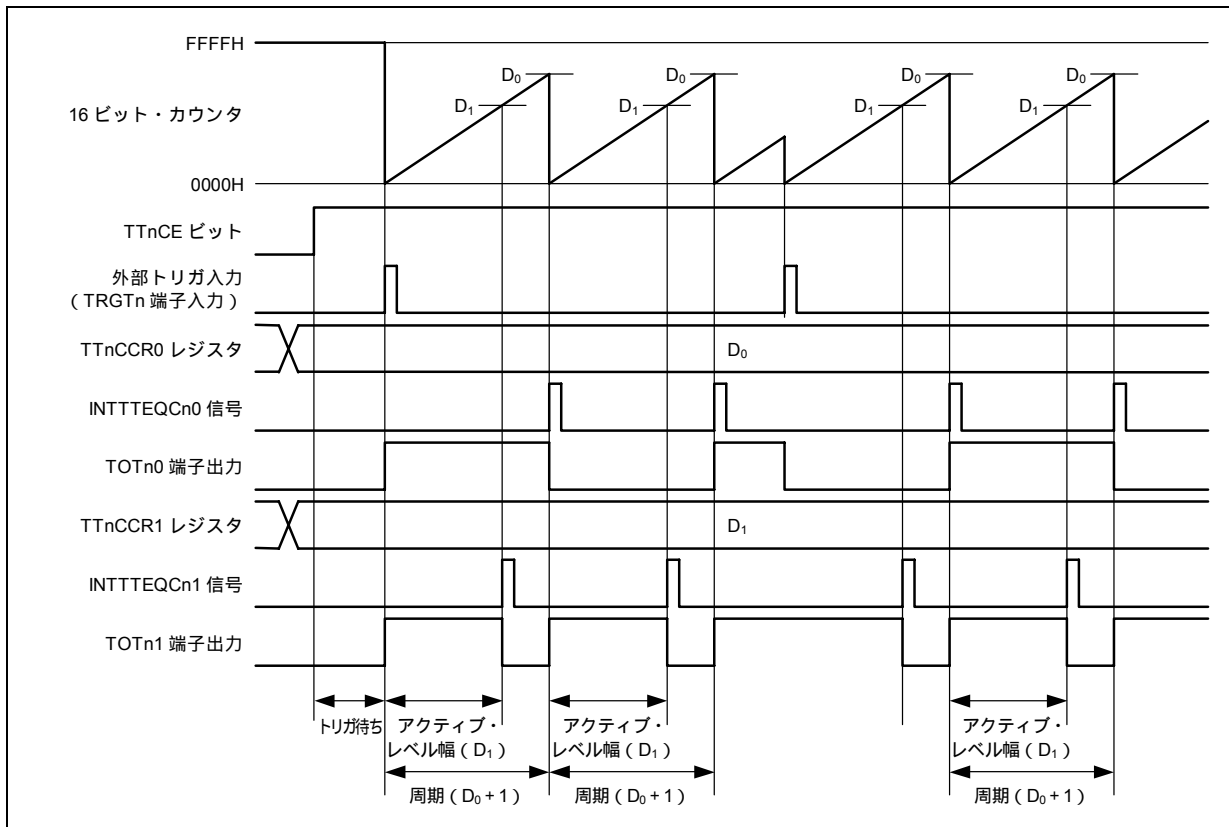


図 14-22 外部トリガ・パルス出力モードの基本タイミング



TTnCE ビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から PWM 波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを 0000H にクリアし再スタートします (TOTn0 端子出力は反転します。TOTn1 端子出力はトリガが発生したときの状態がロー・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM 波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TTnCCR1 レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TTnCCR0 レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TTnCCR1 レジスタの設定値}) / (\text{TTnCCR0 レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTTEQn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンペアー一致割り込み要求信号 (INTTTEQn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

TTnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TRGTn) の有効エッジ、またはソフトウェア・トリガ (TTnCTL1.TTnEST ビット) のセット (1) があります。

備考 n = 0, 1, a = 0, 1

図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

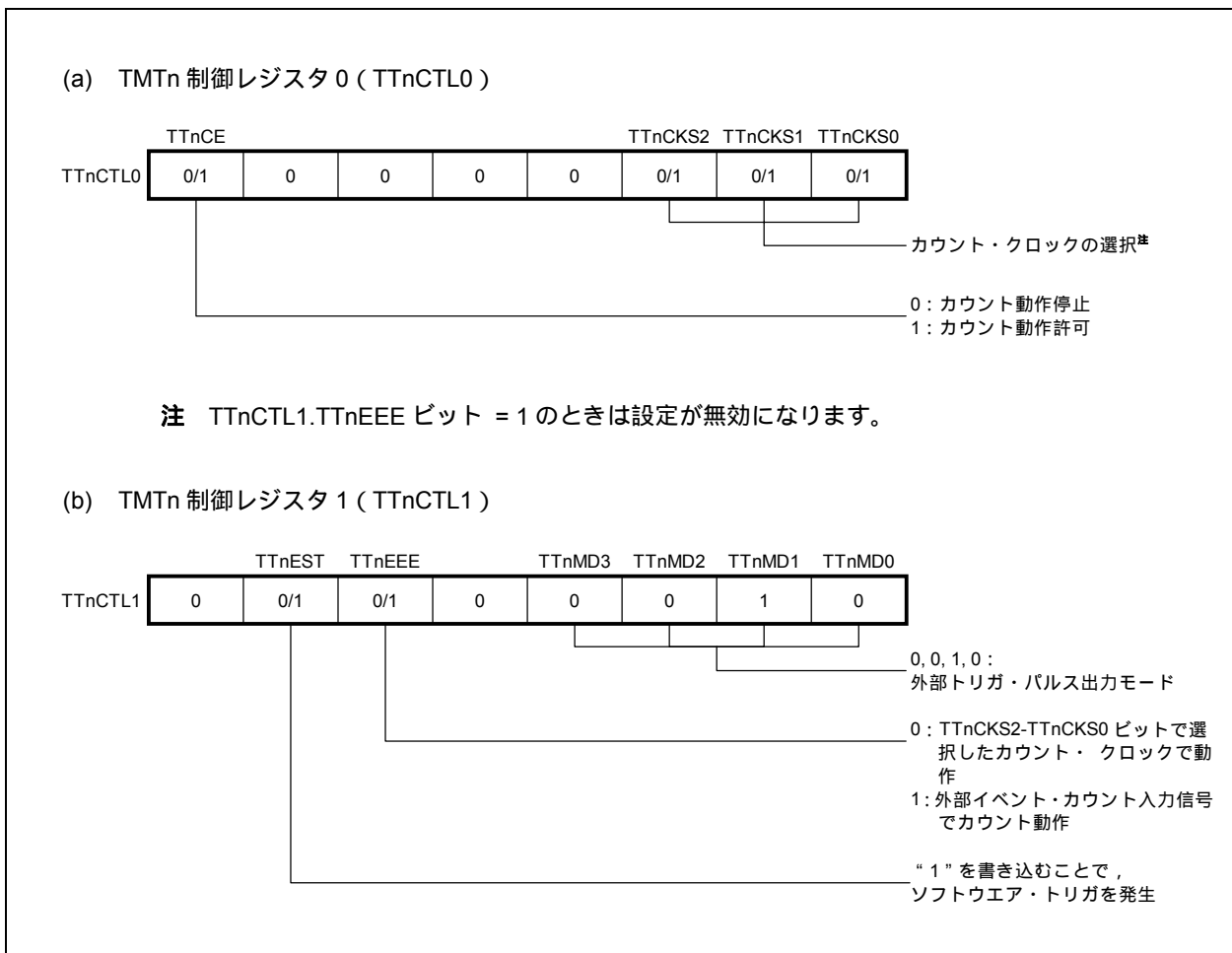




図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

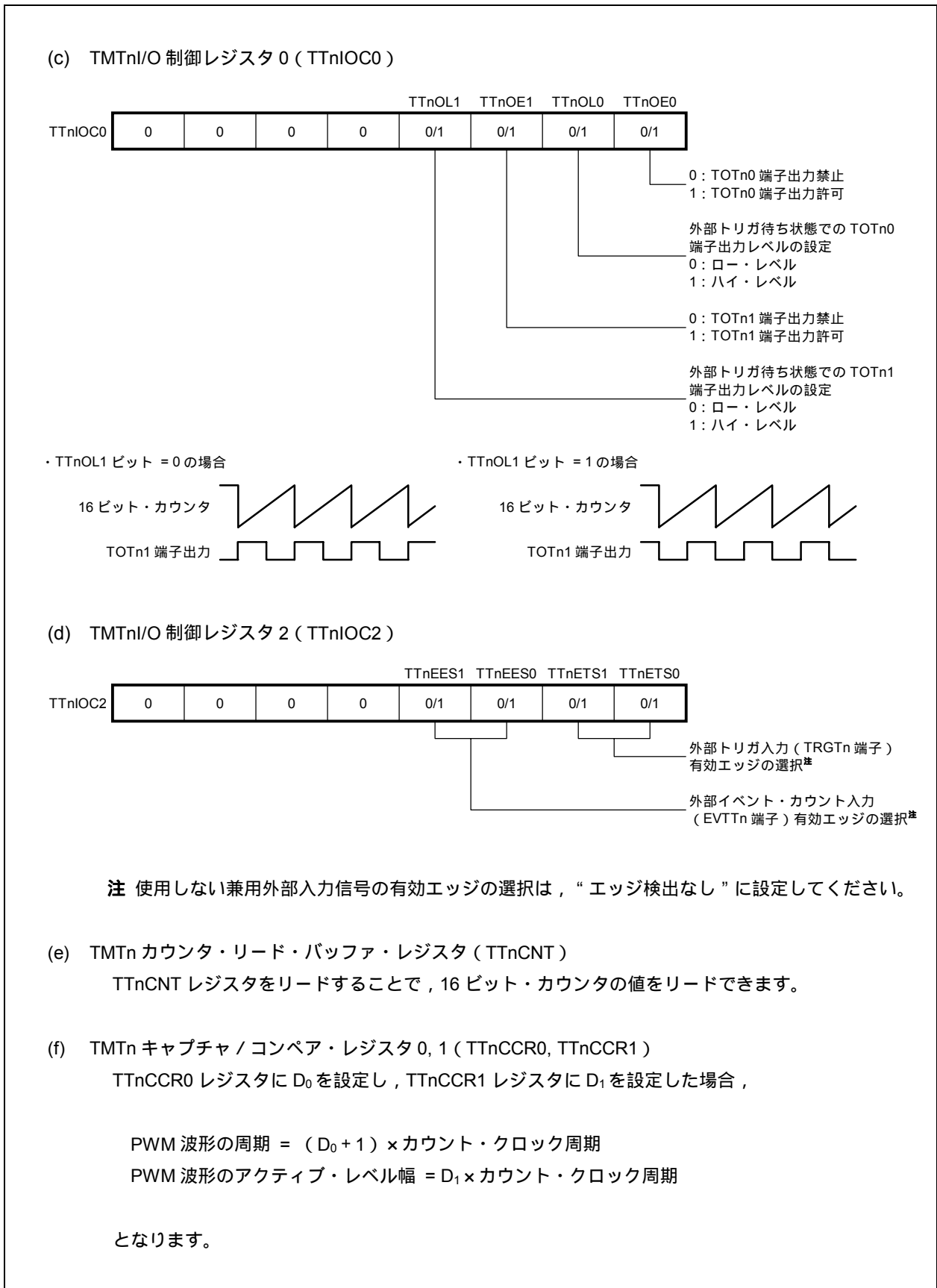


図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

**備考 1.** TMTn 制御レジスタ 2 (TTnCTL2), TMTn/I/O 制御レジスタ 1 (TTnIOC1), TMTn/I/O 制御レジスタ 3 (TTnIOC3), TMTn オプション・レジスタ 0 (TTnOPT0), TMTn オプション・レジスタ 1 (TTnOPT1), TMTn カウンタ・ライト・レジスタ (TTnTCW) は, 外部トリガ・パルス出力モードでは使用しません。

**2.** n = 0, 1

(1) 外部トリガ・パルス出力モード動作フロー

図 14-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

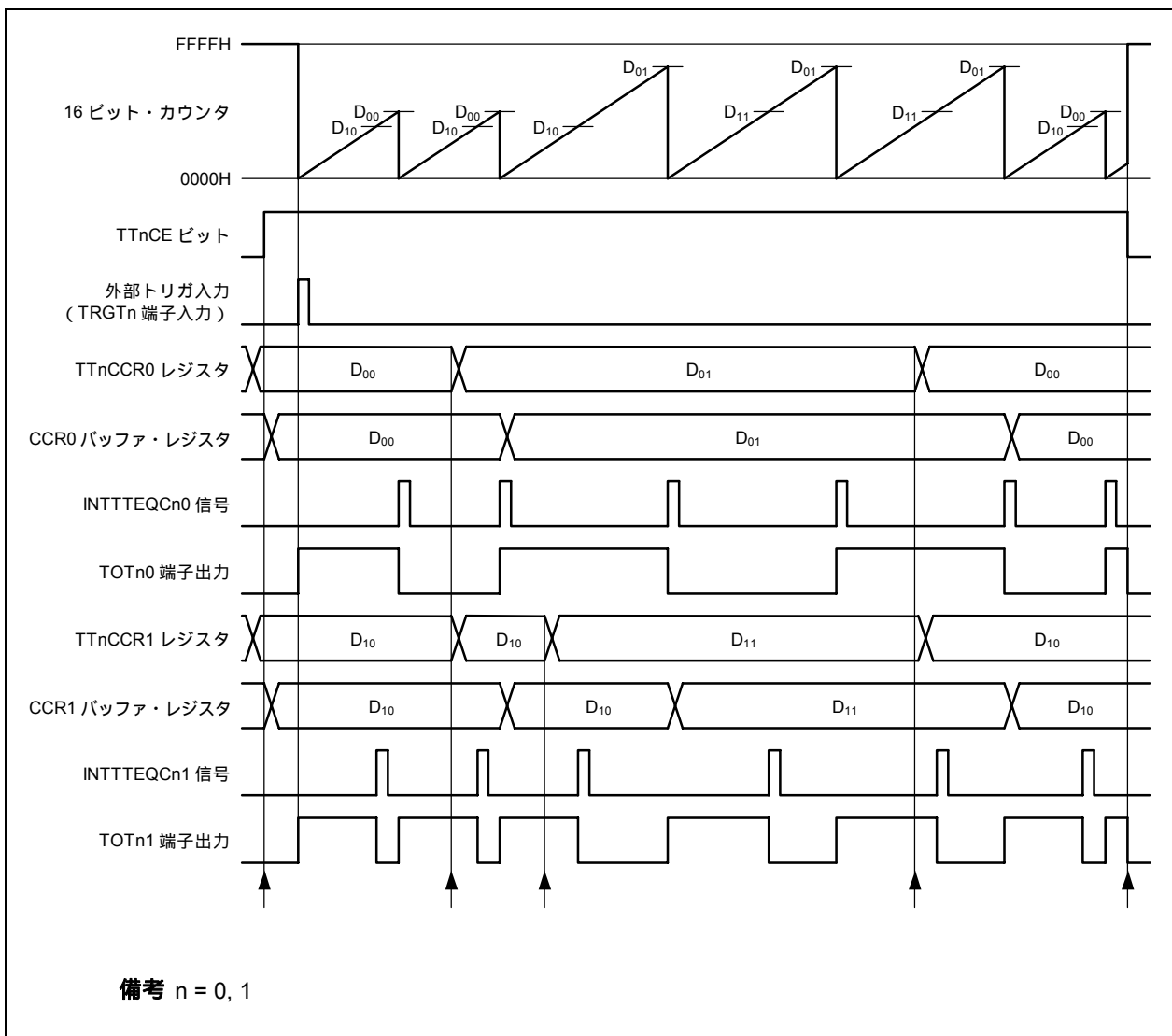
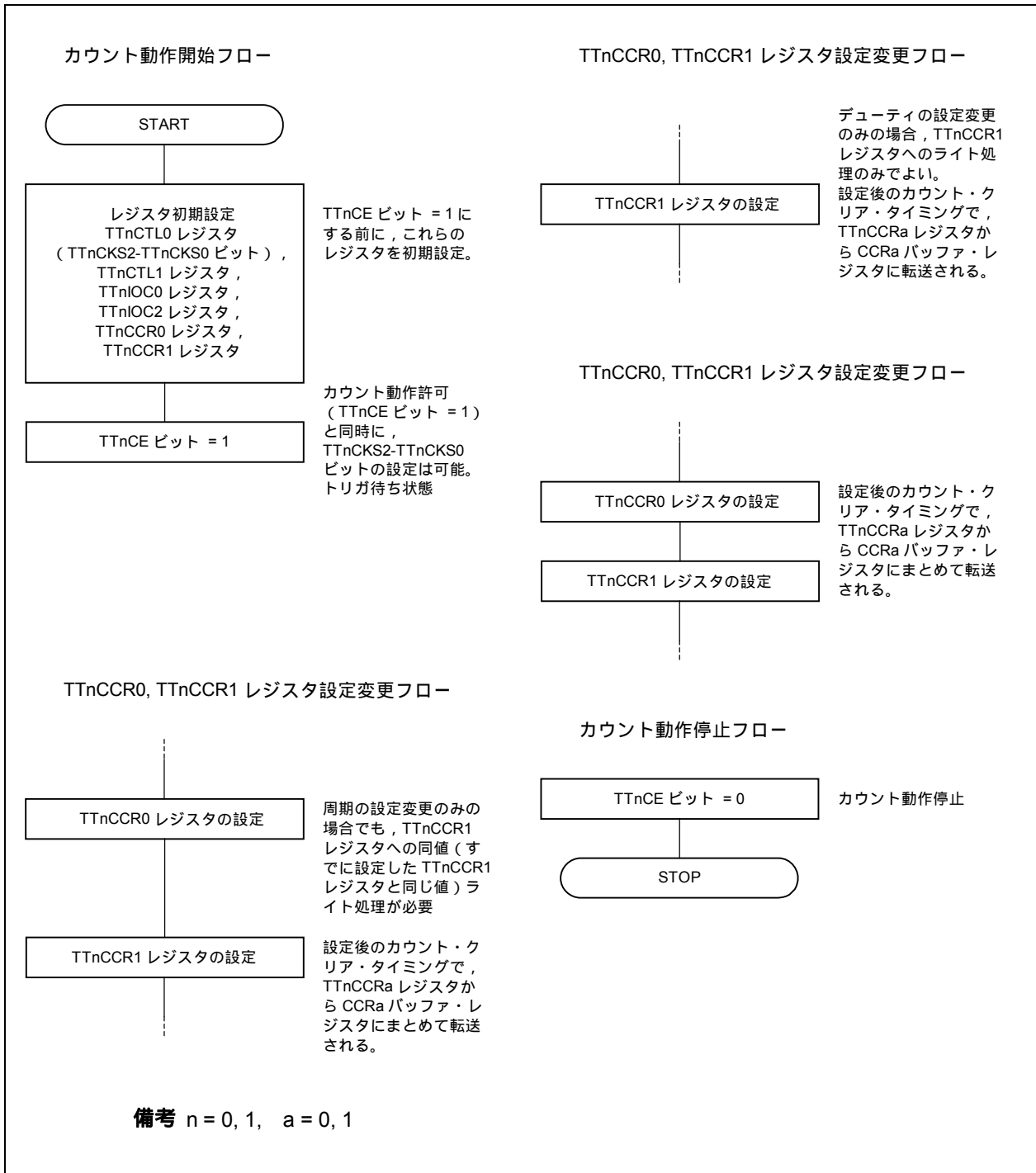


図 14-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

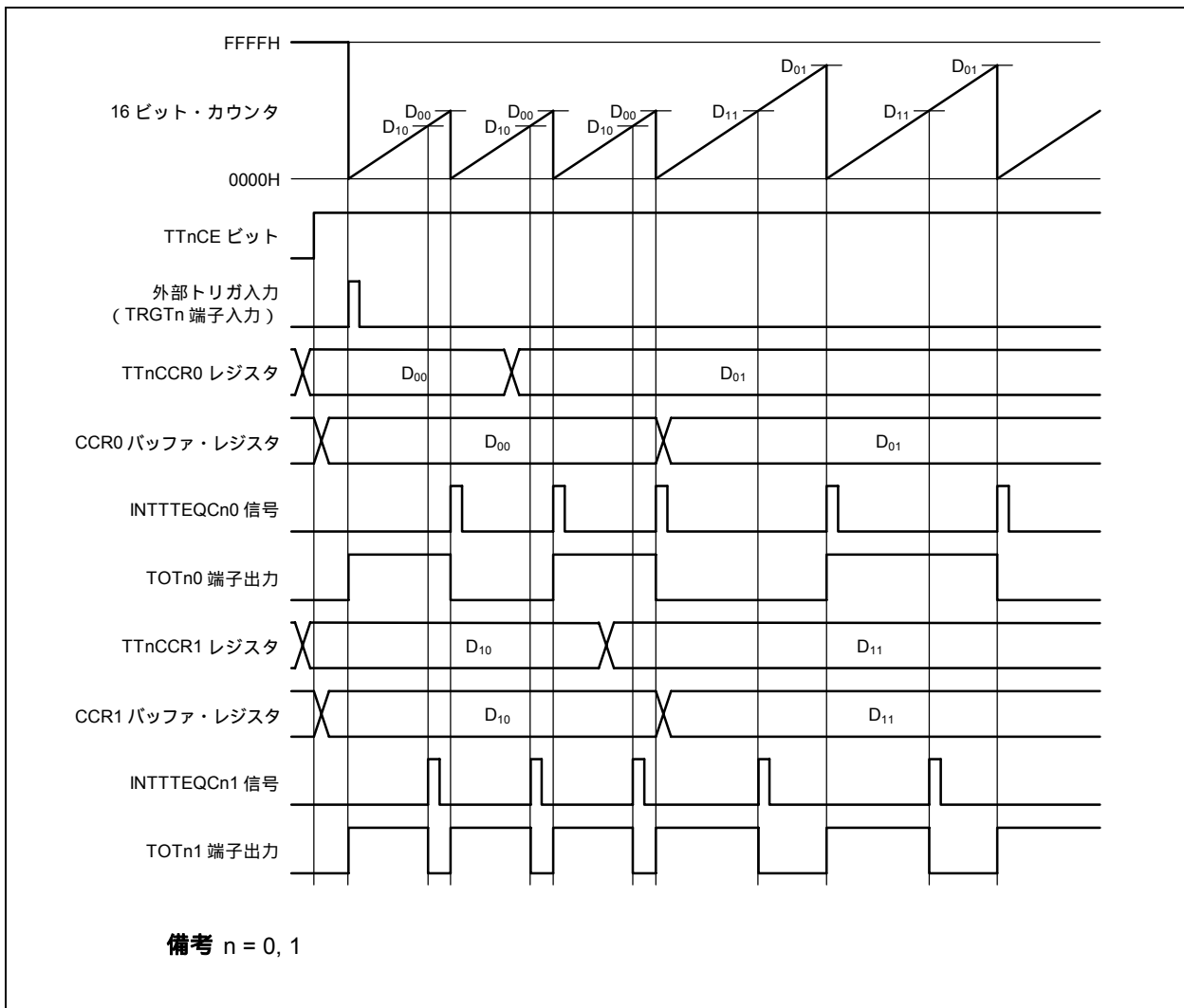


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

TTnCCR1 レジスタにライト後、再度 TTnCCRa レジスタの書き換えを行う場合には、INTTTEQCn0 信号を検出後に書き換えてください。



TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値（すでに設定した TTnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティー）のみ変更する場合は、TTnCCR1 レジスタのみの設定でかまいません。

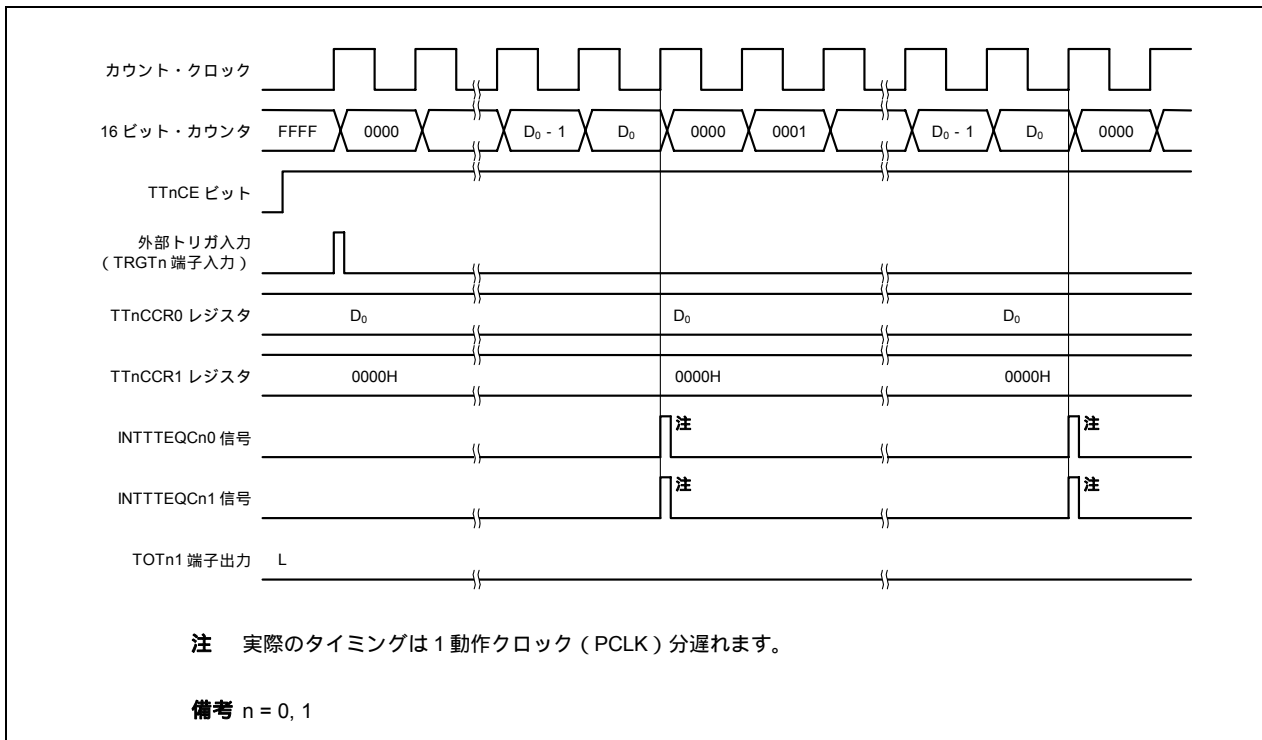
TTnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TTnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

また、一度 TTnCCR1 レジスタにライトしたあとで、再度 TTnCCR0、または TTnCCR1 レジスタへのライトを行う場合は、INTTTEQCn0 信号の発生後に行ってください。これを守れない場合には、TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TTnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

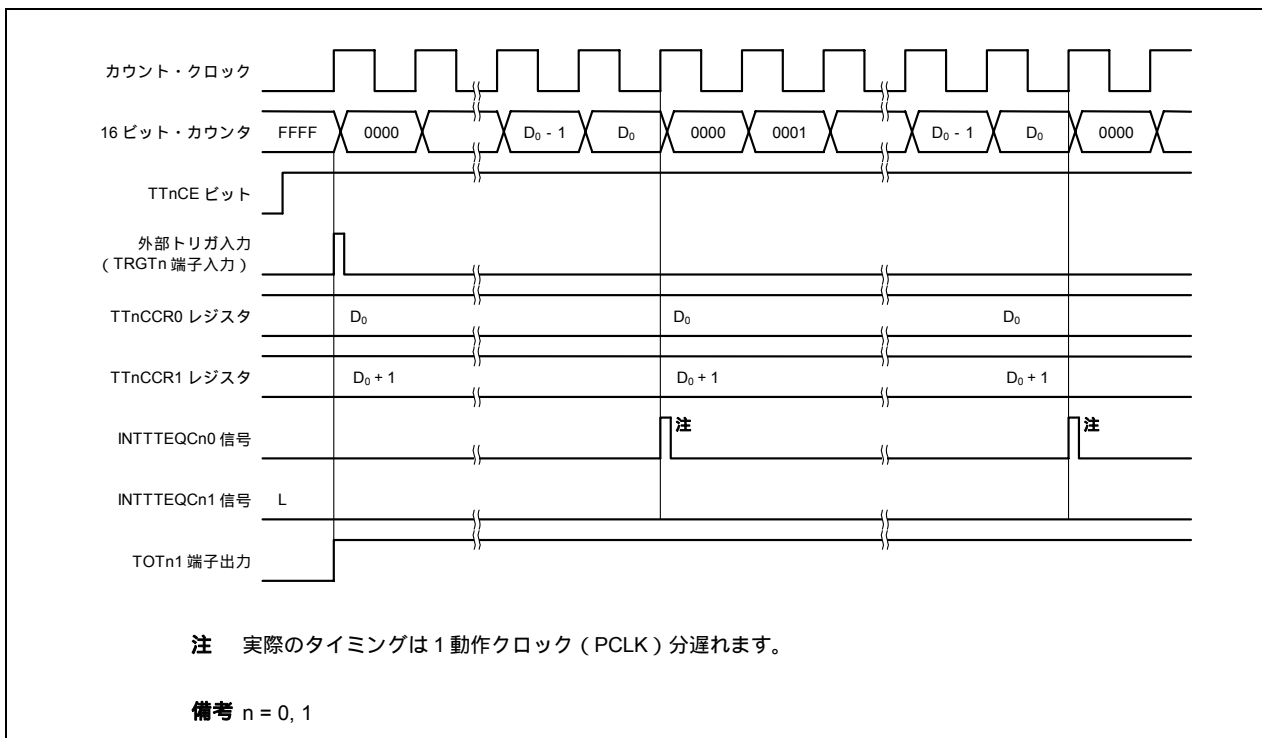
**備考 n = 0, 1, a = 0, 1**

(b) PWM 波形の 0% / 100%出力

0%波形を出力するためには、TTnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTTEQCn0 信号と INTTTEQCn1 信号が発生します。

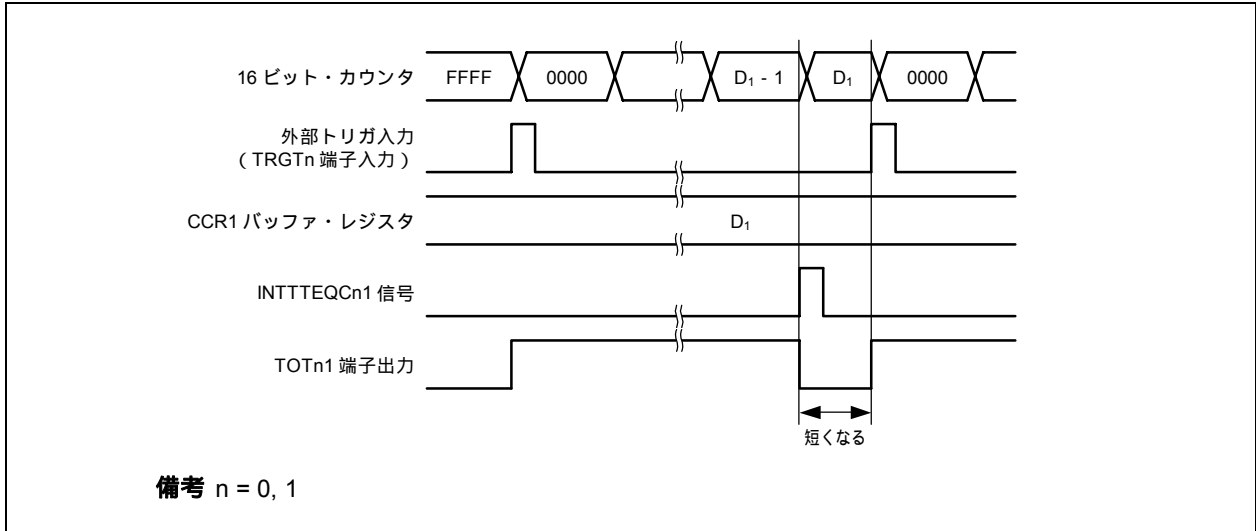


100%波形を出力するためには、TTnCCR1 レジスタに対して (TTnCCR0 レジスタの設定値 + 1) の値を設定してください。TTnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。

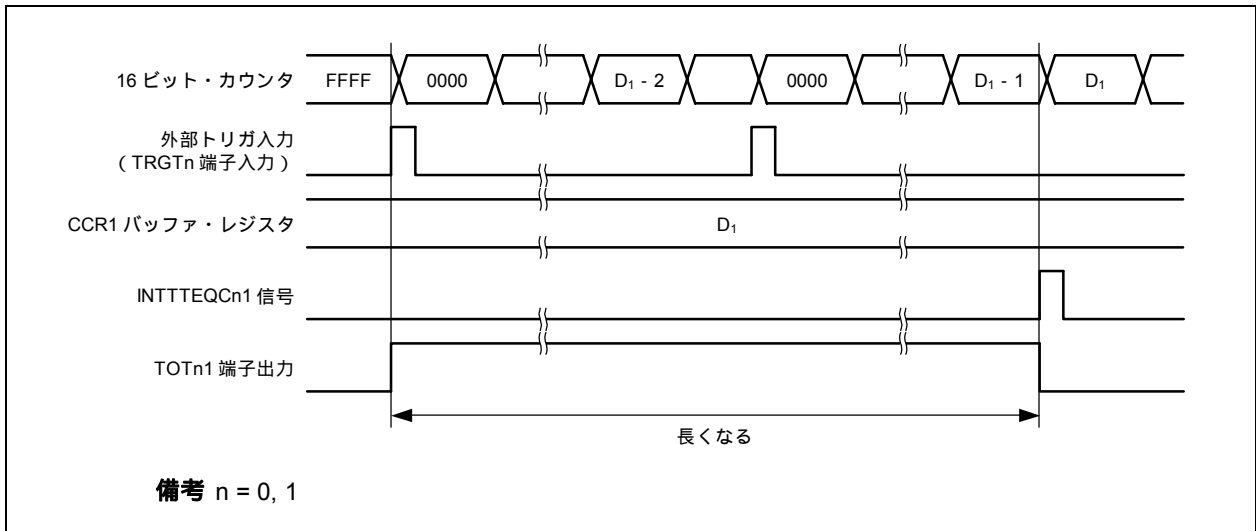


## (c) トリガ検出と CCR1 バッファ・レジスタとの一致の競合

INTTTEQCn1 信号発生直後にトリガが検出された場合には、トリガ検出とともに 16 ビット・カウンタを 0000H にクリアし、TOTn1 端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM 波形のインアクティブ期間が短くなります。



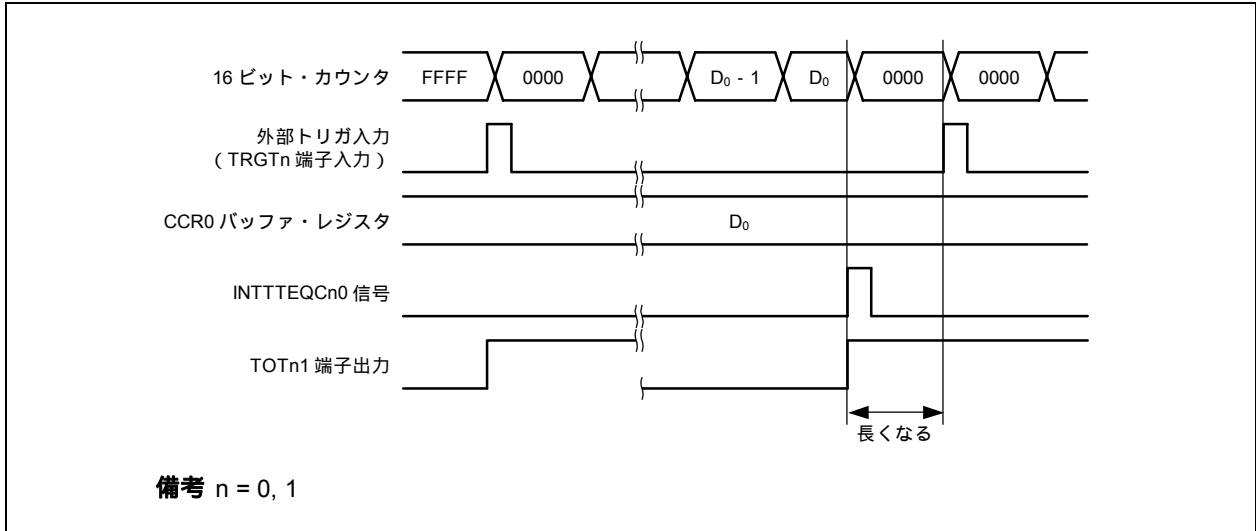
INTTTEQCn1 信号発生直前にトリガを検出した場合には、INTTTEQCn1 信号を発生することなく、16 ビット・カウンタを 0000H にクリアしてカウント動作を継続します。TOTn1 端子出力はアクティブ・レベルのままとなるため、PWM 波形のアクティブ期間が長くなります。



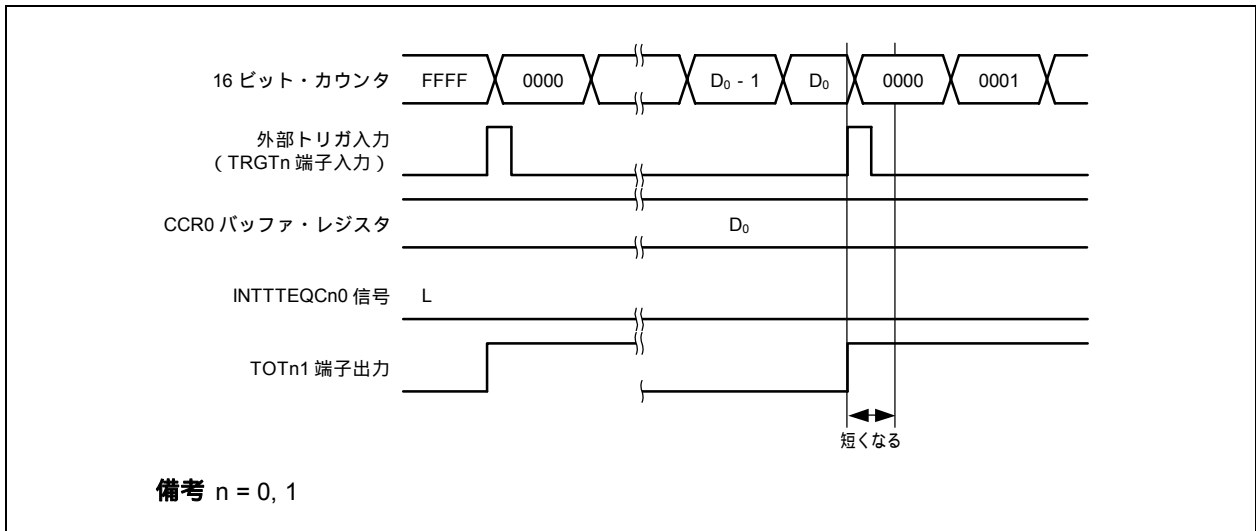


## (d) トリガ検出と CCR0 バッファ・レジスタとの一致の競合

INTTTEQCn0 信号発生直後にトリガを検出した場合、そこから再度 16 ビット・カウンタを 0000H にクリアしてカウント・アップ動作を継続します。したがって、TOTn1 端子出力のアクティブ期間が、INTTTEQCn0 信号発生からトリガ検出までの分だけ長くなります。

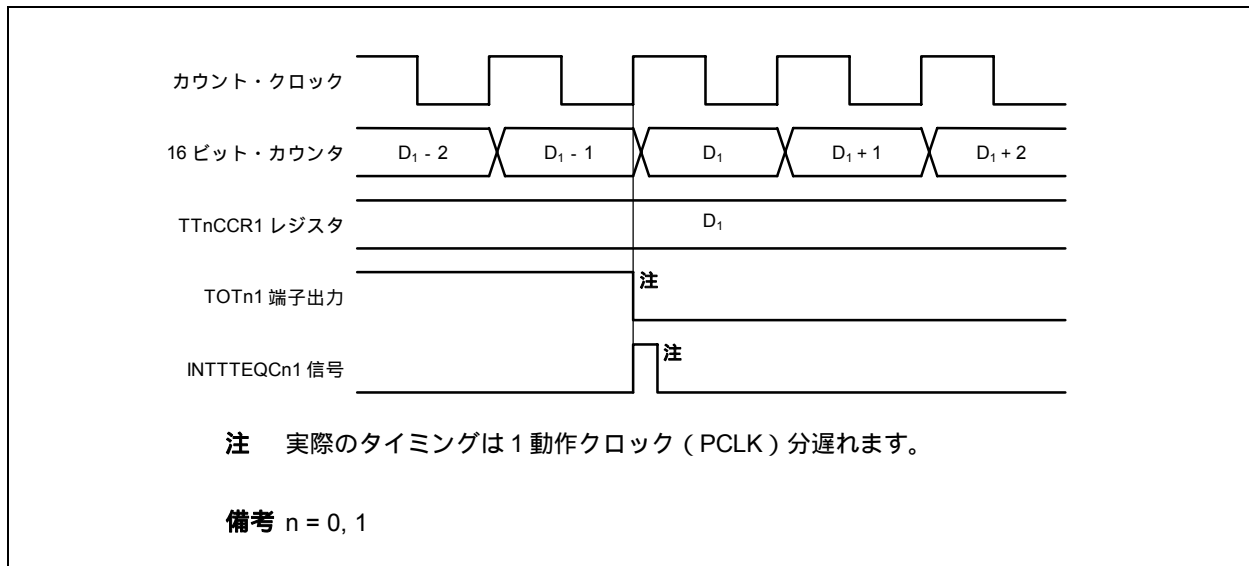


INTTTEQCn0 信号発生直前にトリガを検出した場合、INTTTEQCn0 信号を発生することなく、16 ビット・カウンタを 0000H にクリアし、TOTn1 端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していた PWM 波形のインアクティブ期間は短くなります。



## (e) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

外部トリガ・パルス出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 14.6.5 ワンショット・パルス出力モード (TTnMD3-TTnMD0 ビット = 0011)

ワンショット・パルス出力モードは、TTnCTL0.TTnCE ビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOTn1 端子からワンショット・パルスを出力します。

外部トリガ入力 (TRGTn) の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。

ソフトウェア・トリガを使用する場合、TOTn0 端子から、16 ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

図 14-25 ワンショット・パルス出力モードの構成図

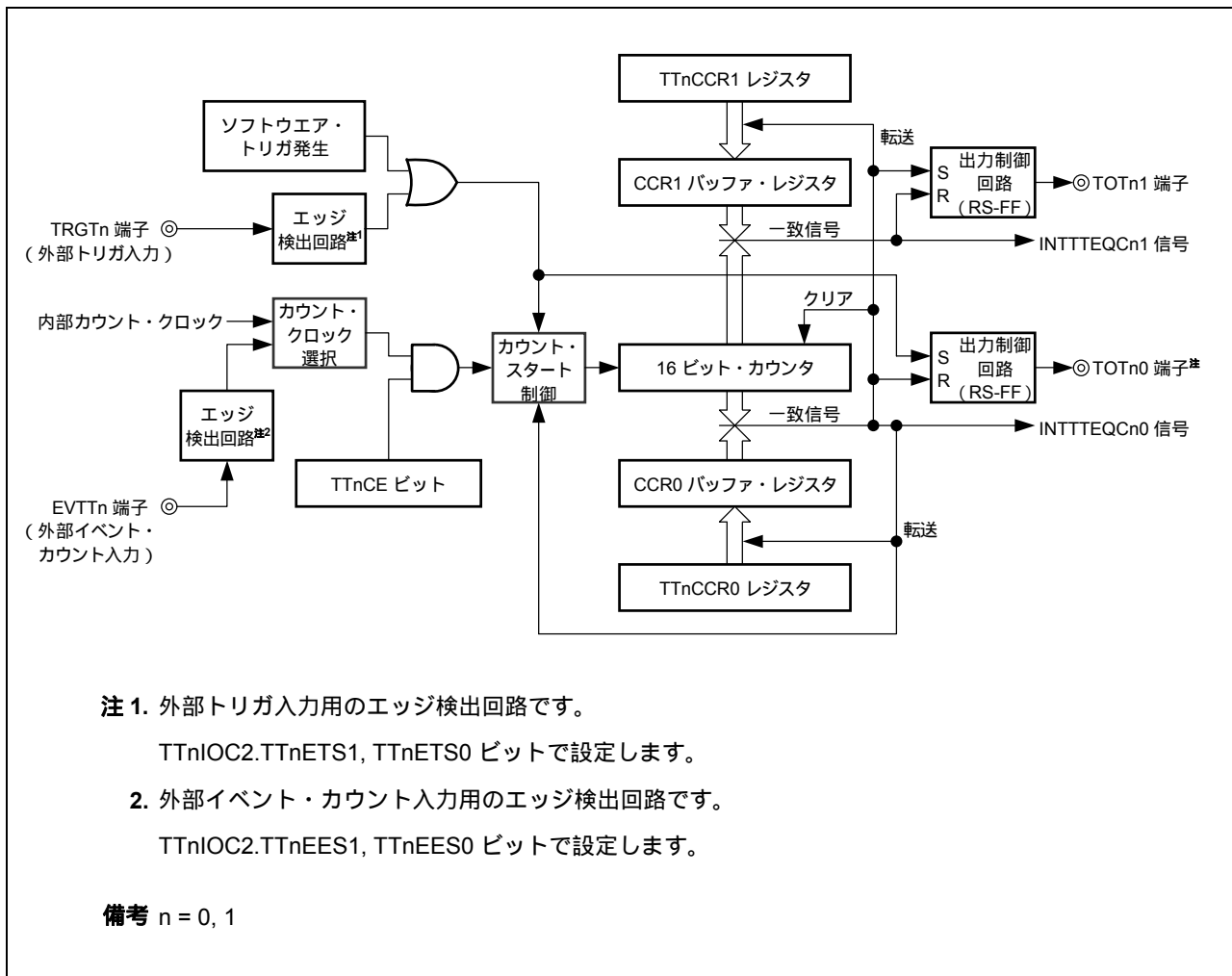
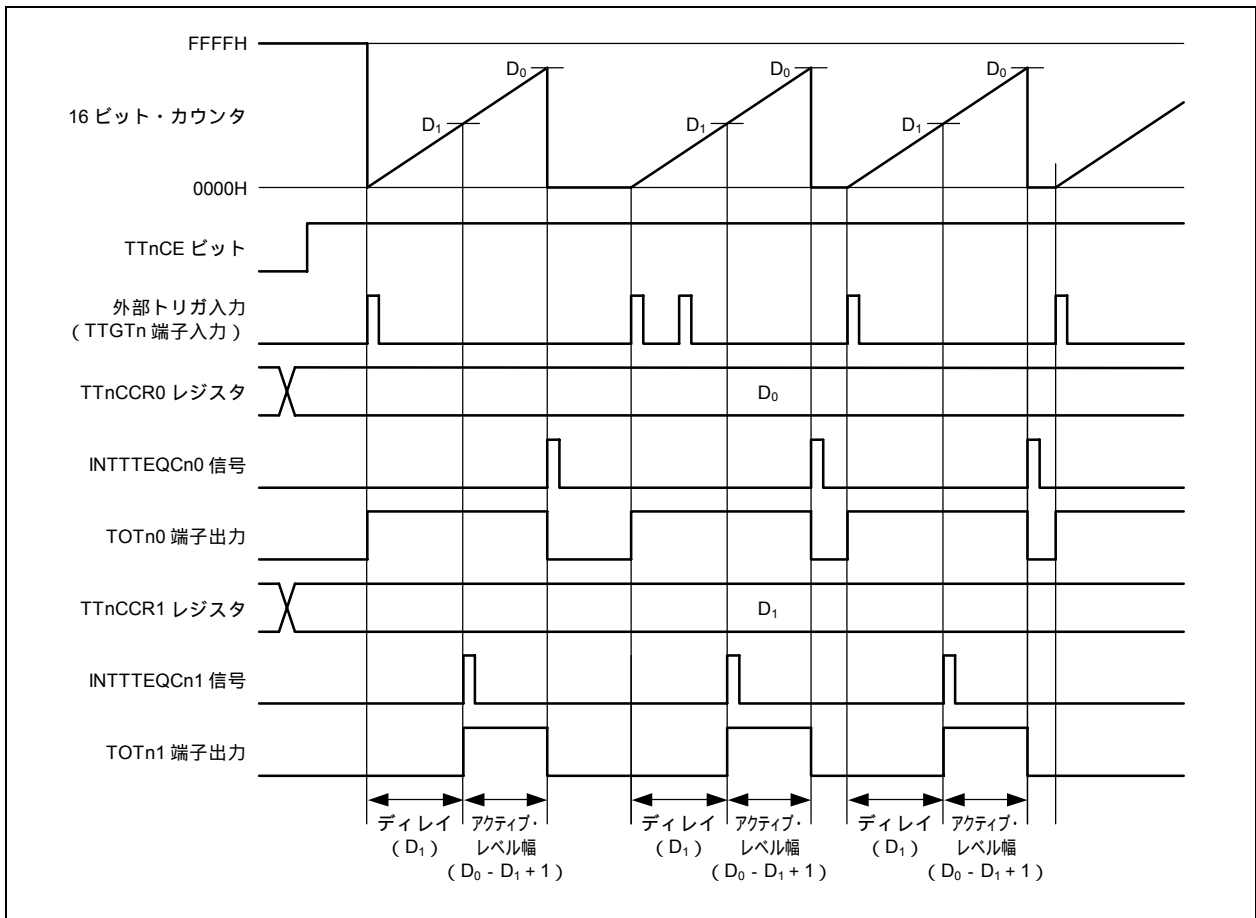


図 14-26 ワンショット・パルス出力モードの基本タイミング



TTnCE ビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16 ビット・カウンタを 0000H にしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に 16 ビット・カウンタは 0000H からカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TTnCCR1 レジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TTnCCR0 レジスタの設定値 - TTnCCR1 レジスタの設定値 + 1)  
× カウント・クロック周期

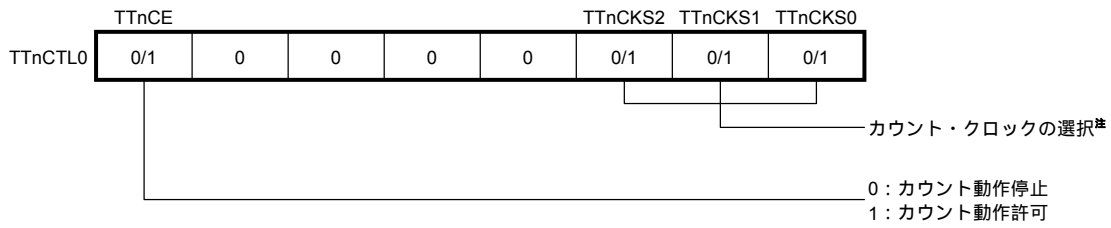
コンペア一致割り込み要求信号 (INTTTEQCn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号 (INTTTEQCn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TRGTn 端子) の有効エッジ、またはソフトウェア・トリガ (TTnCTL1.TTnEST ビット) のセット (1) があります。

備考 n = 0, 1

図 14-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMTn 制御レジスタ 0 (TTnCTL0)

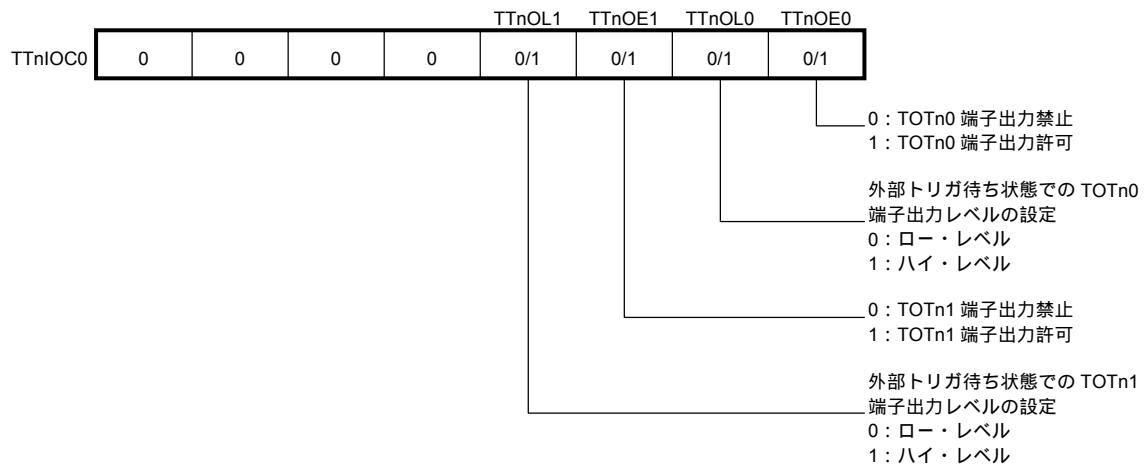


注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります。

(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTn/O 制御レジスタ 0 (TTnIOC0)



・ TTnOL1 ビット = 0 の場合



・ TTnOL1 ビット = 1 の場合

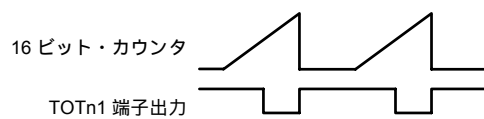
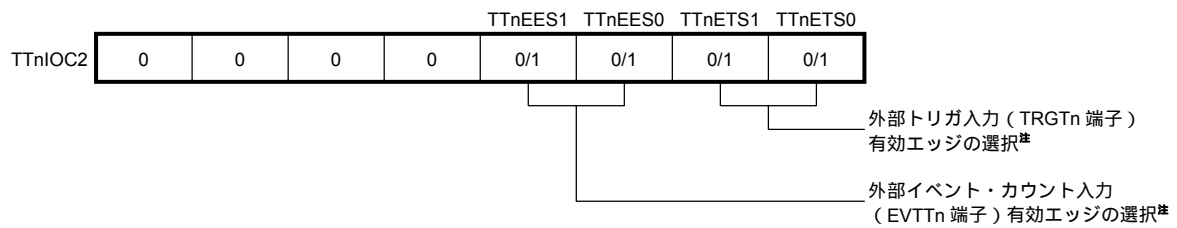


図 14-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMTn/O 制御レジスタ 2 (TTnIOC2)



**注** 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(f) TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnCCR0 レジスタに D<sub>0</sub> を設定し、TTnCCR1 レジスタに D<sub>1</sub> を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D<sub>0</sub> - D<sub>1</sub> + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D<sub>1</sub> × カウント・クロック周期

となります。

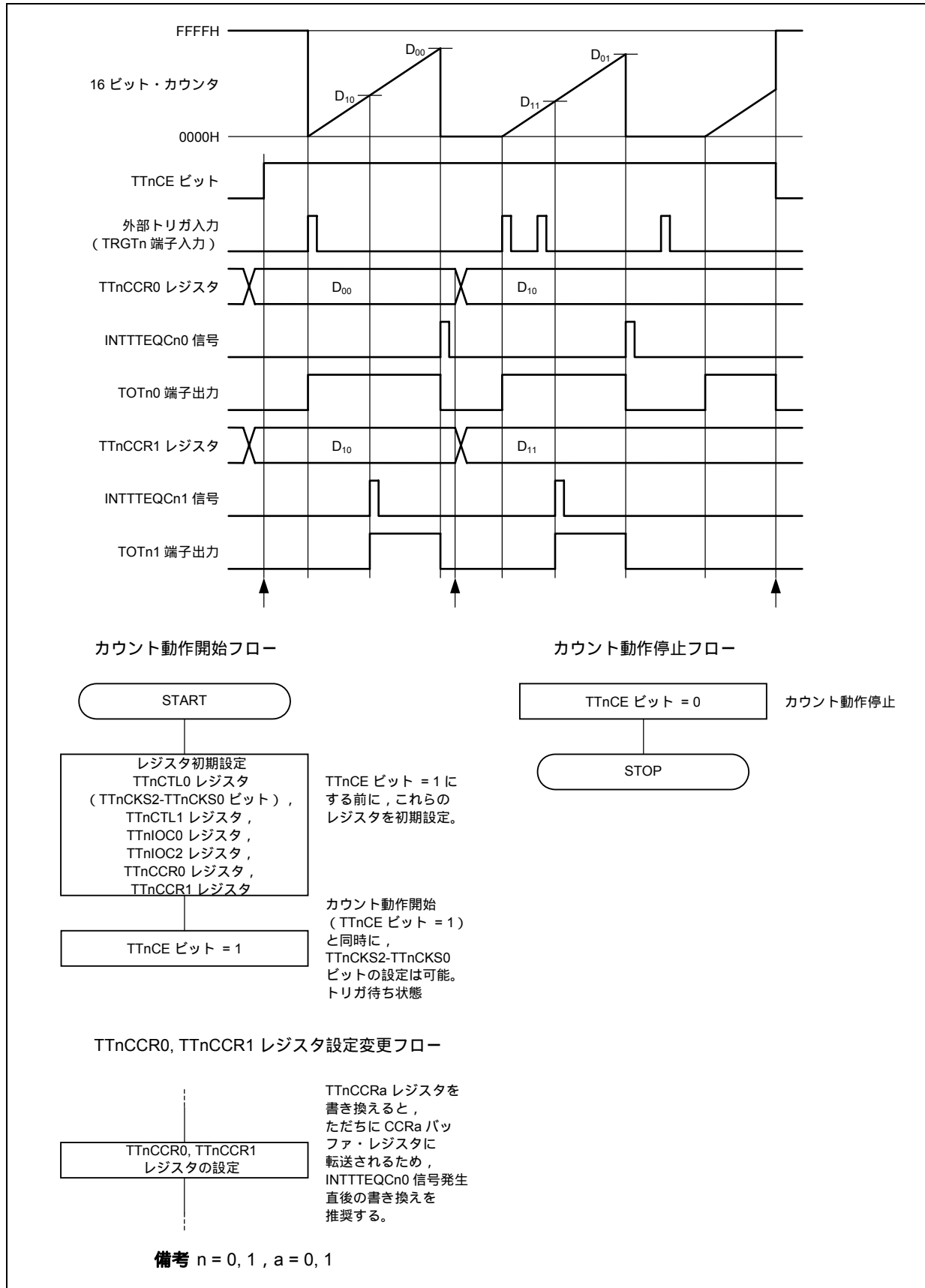
**注意** ワンショット・パルス出力モードにおいて、TTnCCR1 レジスタの設定値が、TTnCCR0 レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。

**備考 1.** TMTn 制御レジスタ 2 (TTnCTL2)，TMTn/O 制御レジスタ 1 (TTnIOC1)，TMTn/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 0 (TTnOPT0)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は、ワンショット・パルス出力モードでは使用しません。

**2.** n = 0, 1

(1) ワンショット・パルス出力モード動作フロー

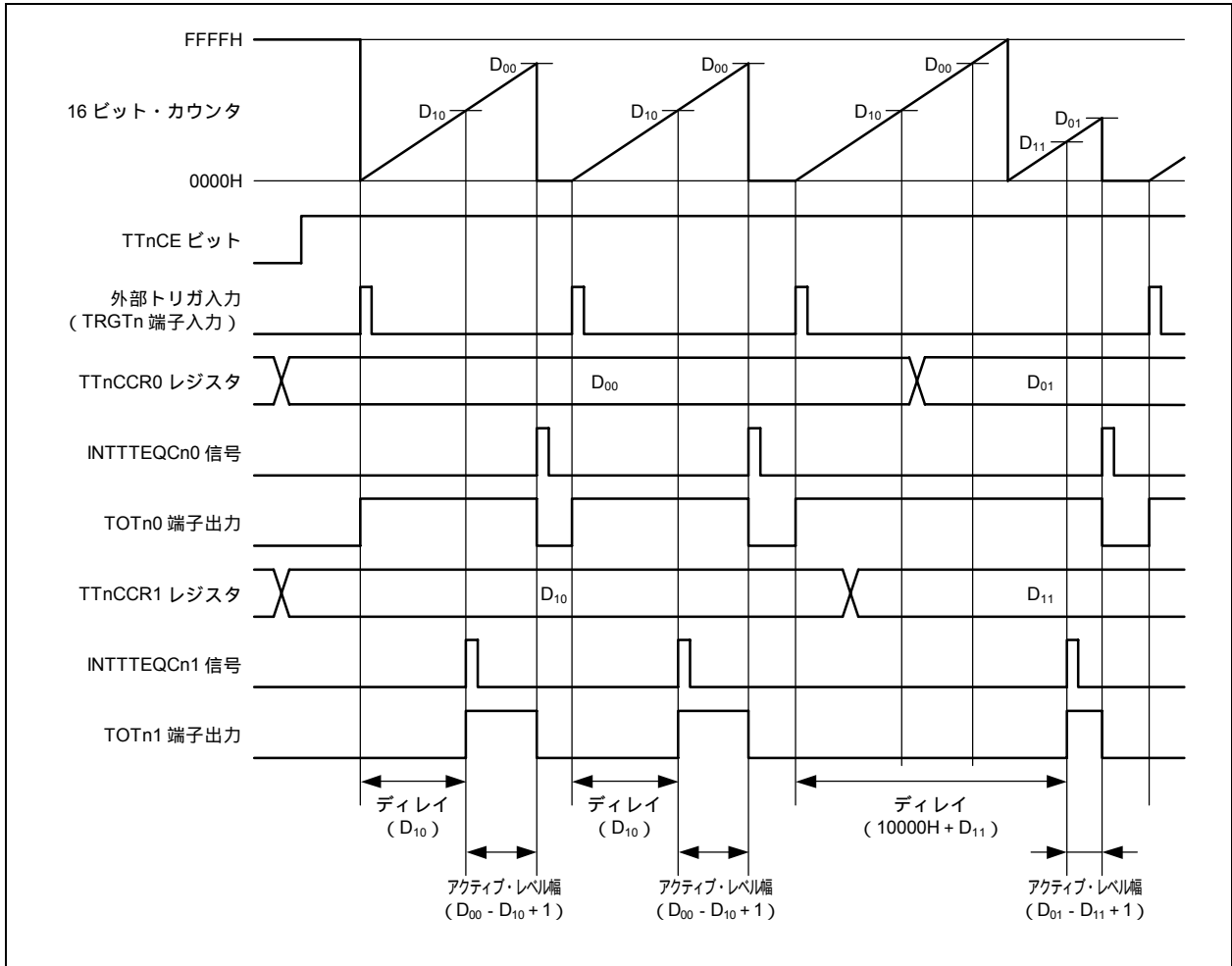
図 14-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



## (2) ワンショット・パルス出力モード動作タイミング

## (a) TTnCCRa レジスタの書き換えに関する注意事項

カウント動作中に TTnCCRa レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TTnCCR0 レジスタを  $D_{00}$  から  $D_{01}$  に、TTnCCR1 レジスタを  $D_{10}$  から  $D_{11}$  に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$  の状態で、16 ビット・カウンタのカウンタ値が  $D_{11}$  よりも大きく  $D_{10}$  よりも小さい状態のとき TTnCCR1 レジスタを書き換え、カウンタ値が  $D_{01}$  よりも大きく  $D_{00}$  よりも小さい状態で TTnCCR0 レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値は FFFFH までカウント動作を行い、その後 0000H から再度カウント・アップを行います。そして、 $D_{11}$  との一致で INTTTEQCn1 信号を発生して TOTn1 端子出力をアクティブ・レベルにし、 $D_{01}$  との一致で INTTTEQCn0 信号を発生して TOTn1 端子出力をインアクティブにしてカウント動作を停止します。

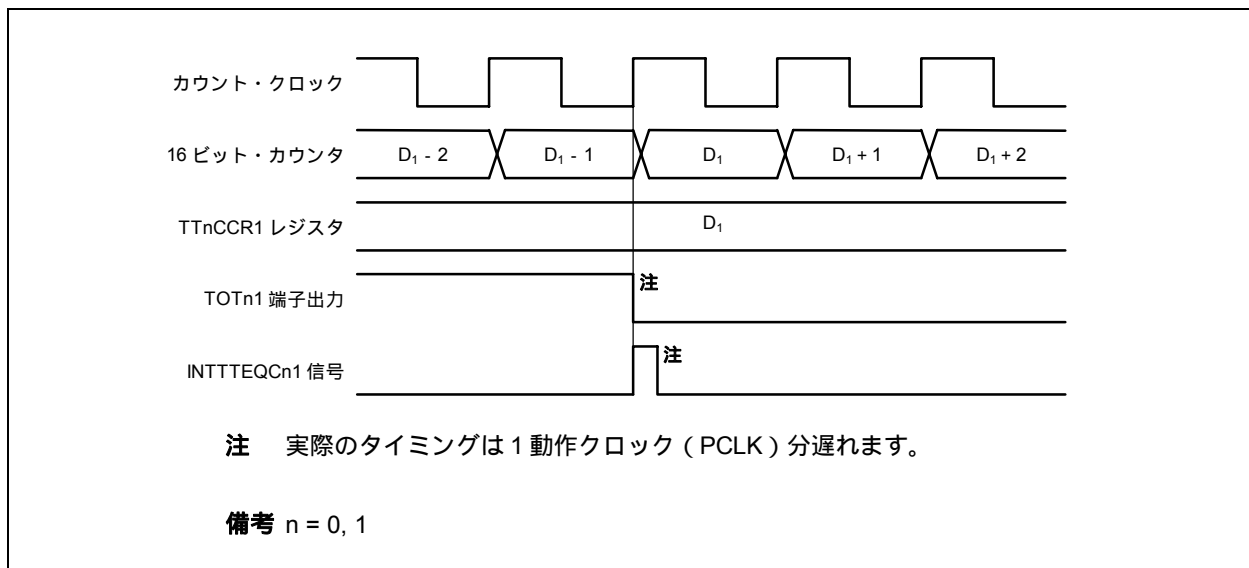
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

**備考**  $n = 0, 1$ ,  $a = 0, 1$



## (b) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

ワンショット・パルス出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1 クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 14.6.6 PWM 出力モード (TTnMD3-TTnMD0 ビット = 0100)

PWM 出力モードは, TTnCTL0.TTnCE ビットをセット (1) することで, TOTn1 端子から PWM 波形を出力します。

また, TOTn0 端子から, TTnCCR0 レジスタの設定値 + 1 を半周期とする 50%デューティの PWM 波形を出力します。

図 14-29 PWM 出力モードの構成図

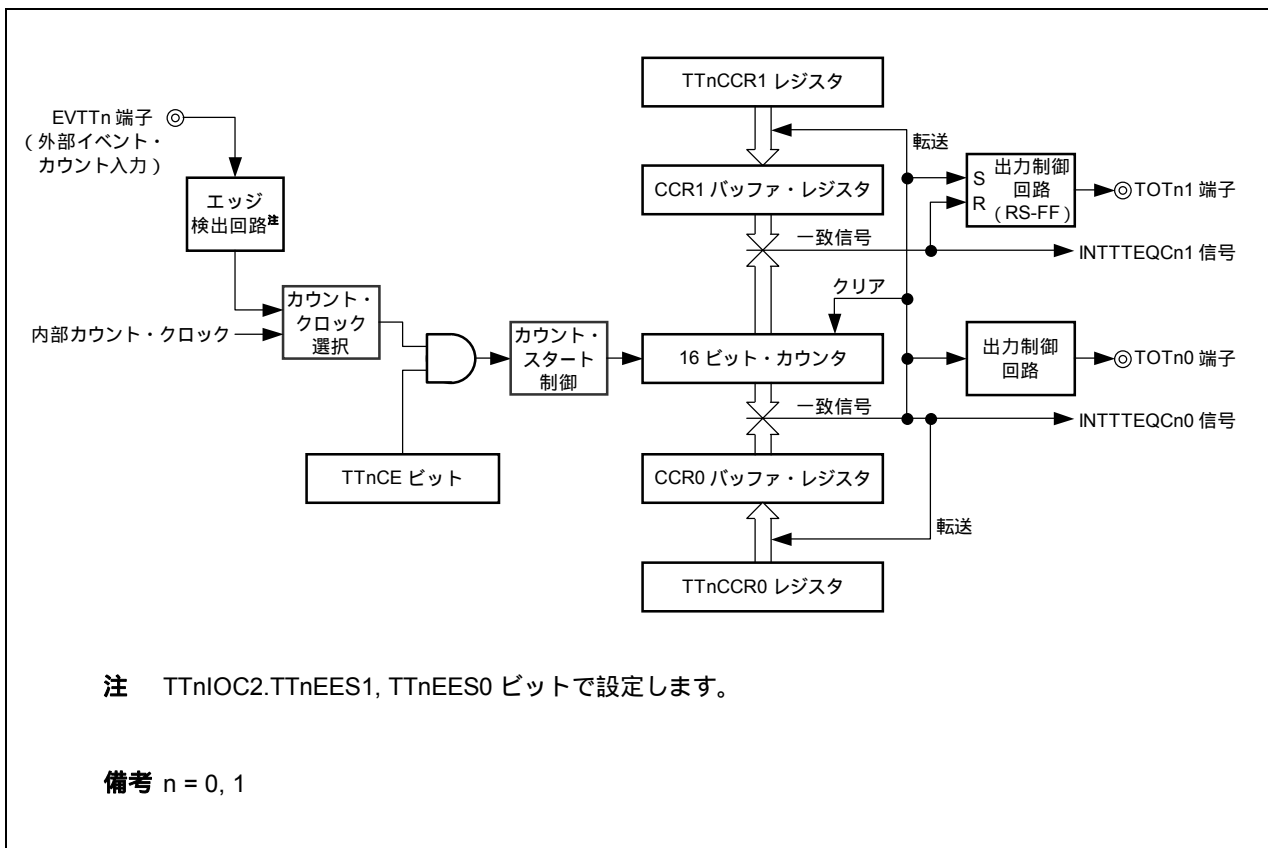
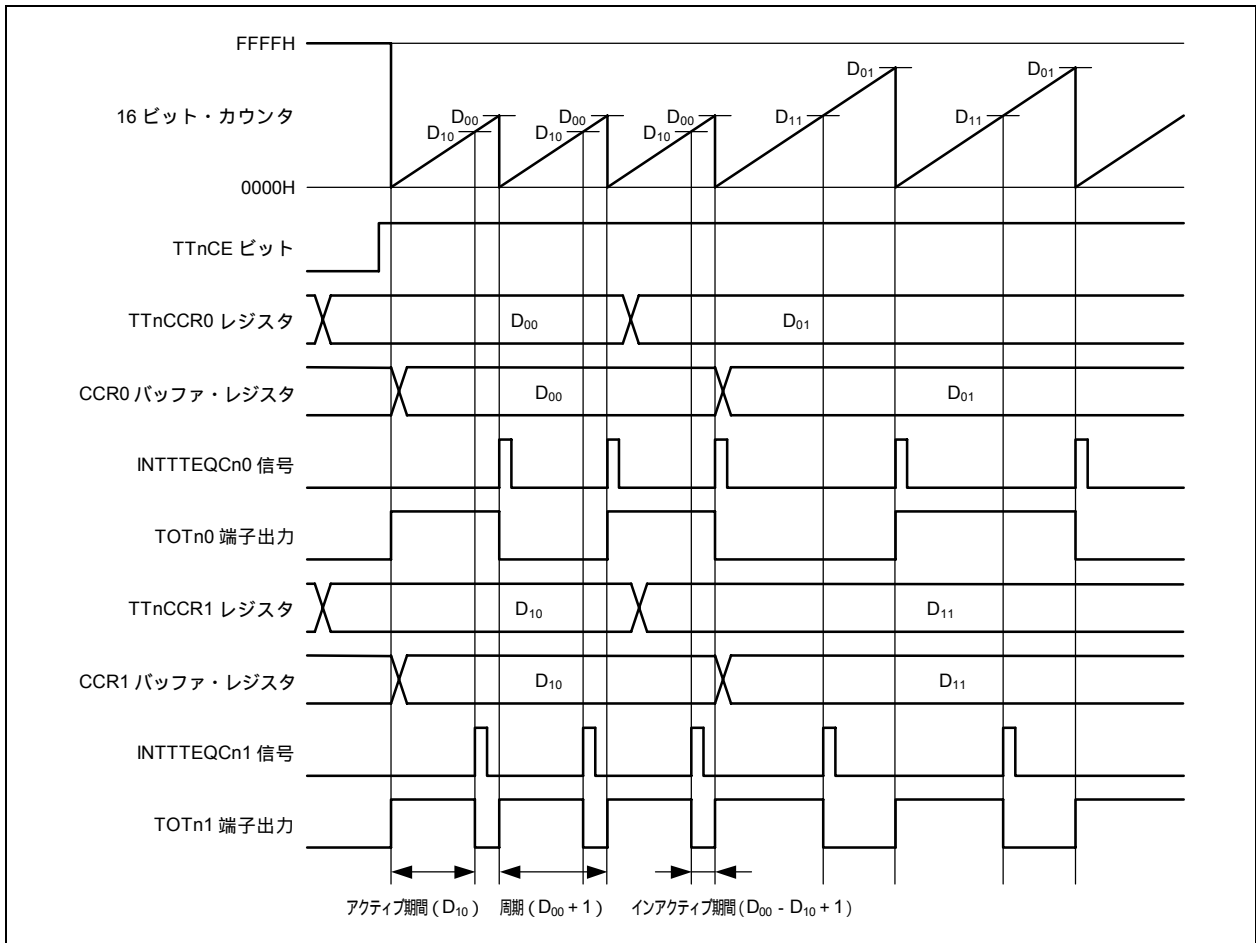


図 14-30 PWM 出力モードの基本タイミング



TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から PWM 波形を出力します。

PWM 波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TTnCCR1 レジスタの設定値) × カウント・クロック周期

周期 = (TTnCCR0 レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TTnCCR1 レジスタの設定値) / (TTnCCR0 レジスタの設定値 + 1)

動作中に TTnCCRa レジスタを書き換えることにより、PWM 波形を変更できます。書き換えた値は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致し、16 ビット・カウンタが 0000H にクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTTEQCn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンペアー一致割り込み要求信号 (INTTTEQCn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

TTnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

備考 n = 0, 1, a = 0, 1

図 14-31 PWM 出力モード動作時のレジスタ設定内容 (1/2)

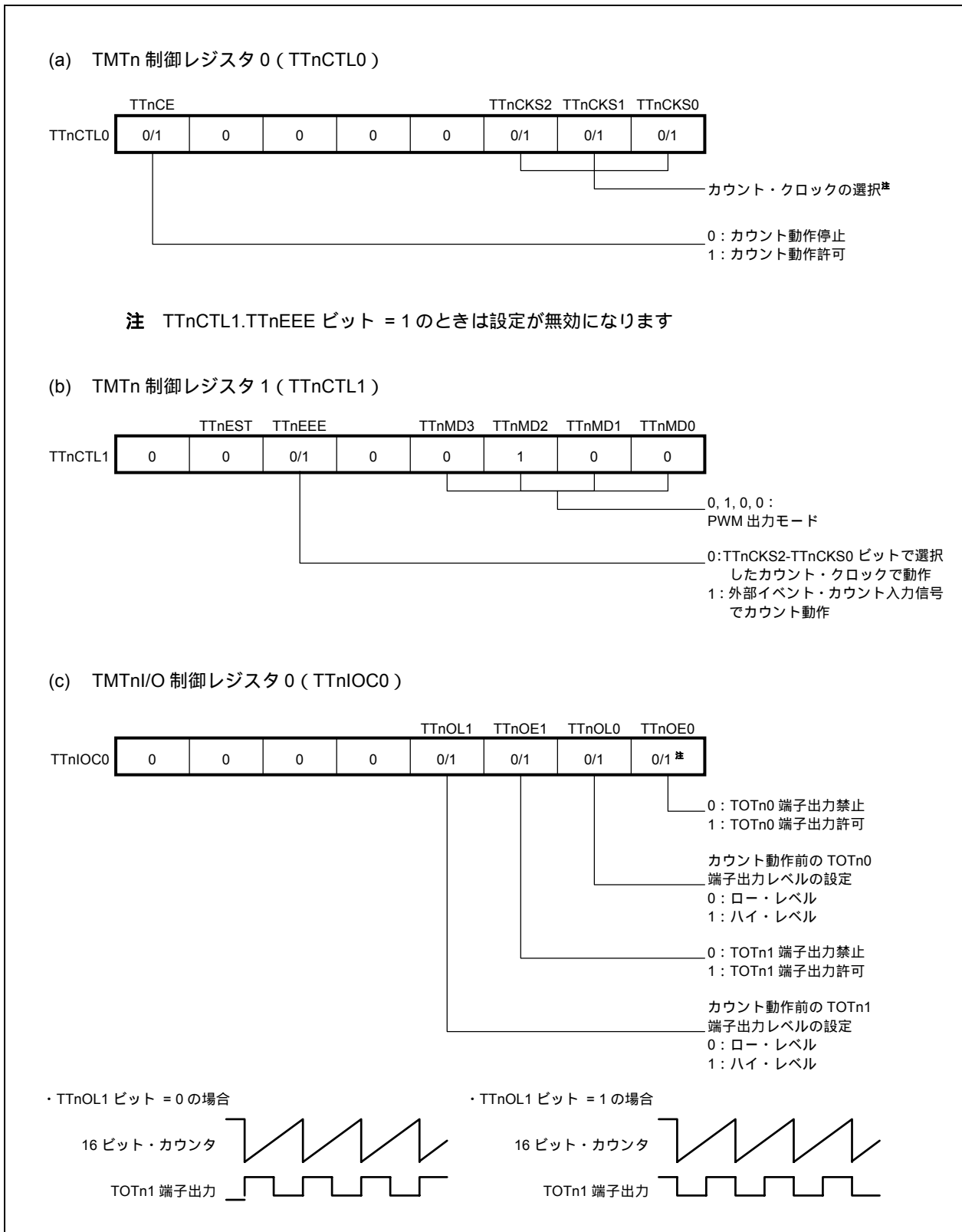
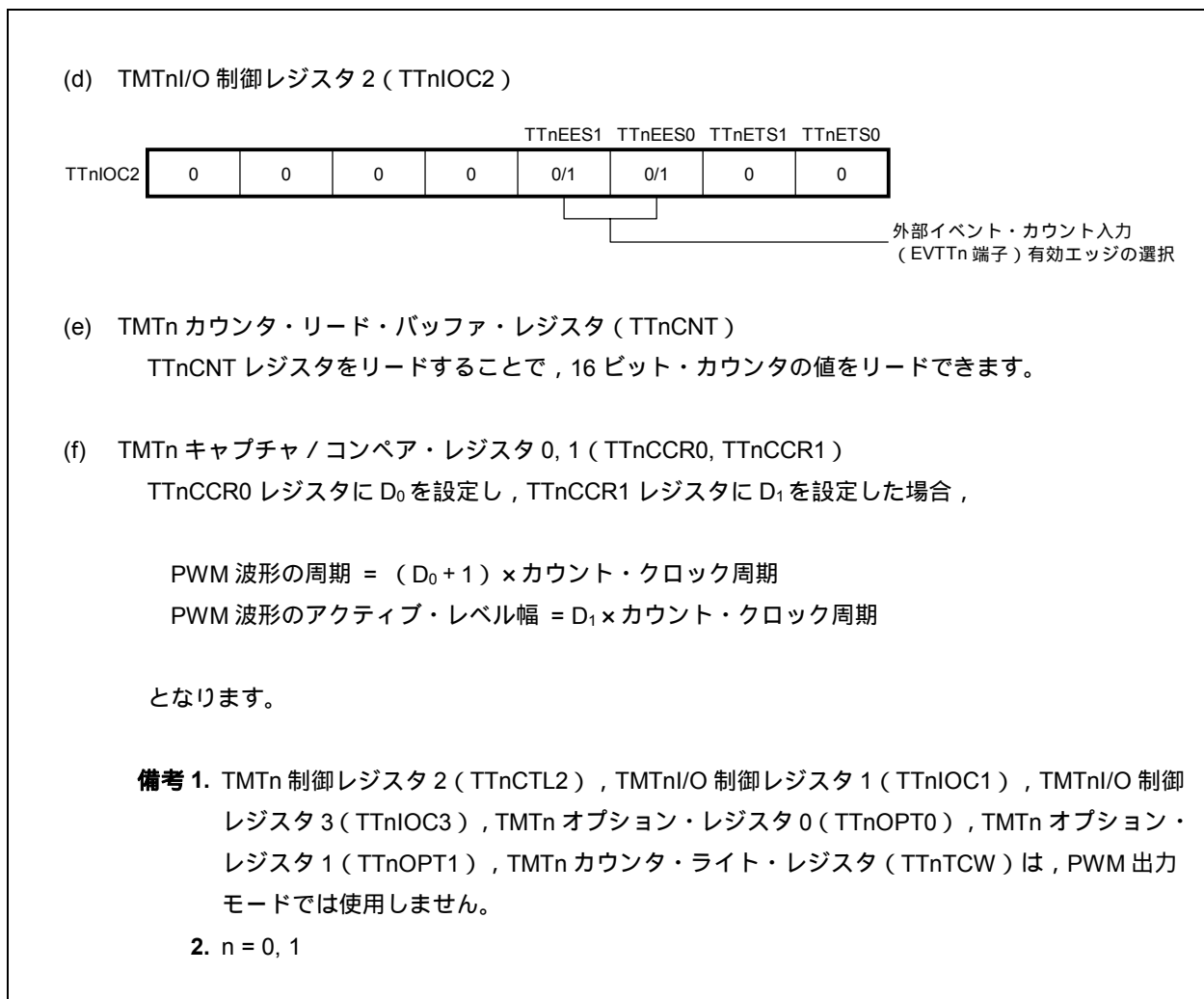


図 14-31 PWM 出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM 出力モード動作フロー

図 14-32 PWM 出力モード使用時のソフトウェア処理フロー (1/2)

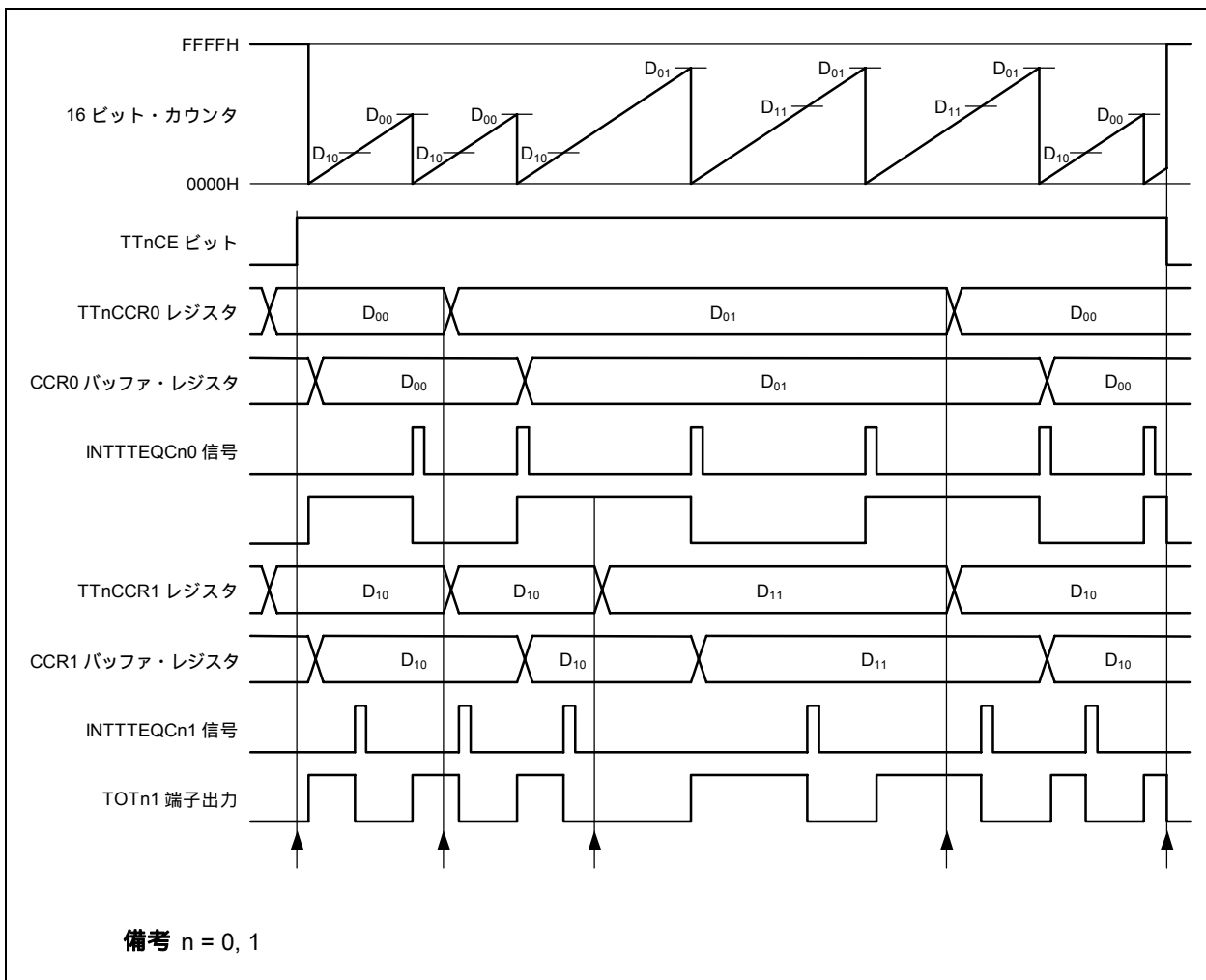
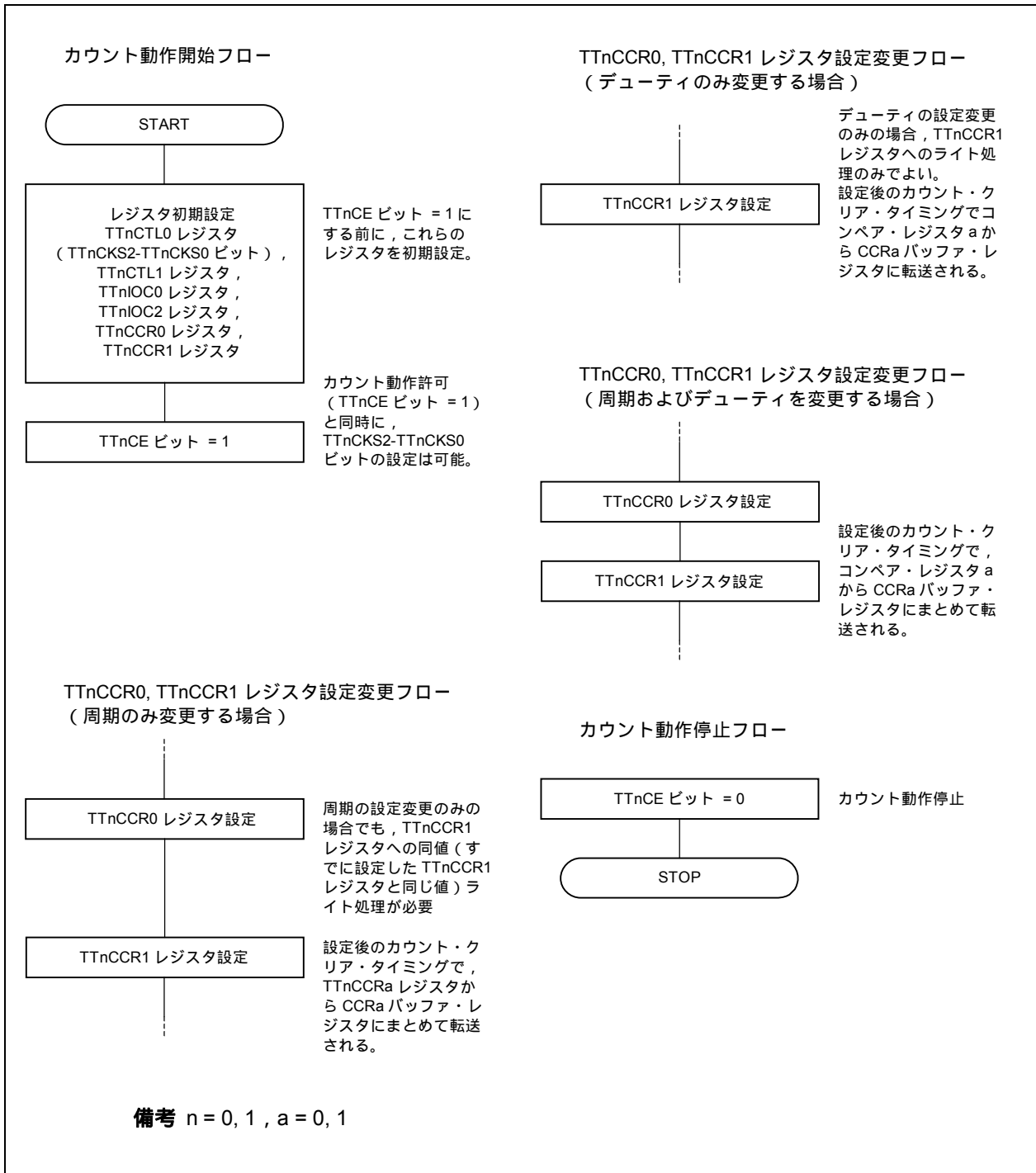


図 14-32 PWM 出力モード使用時のソフトウェア処理フロー (2/2)

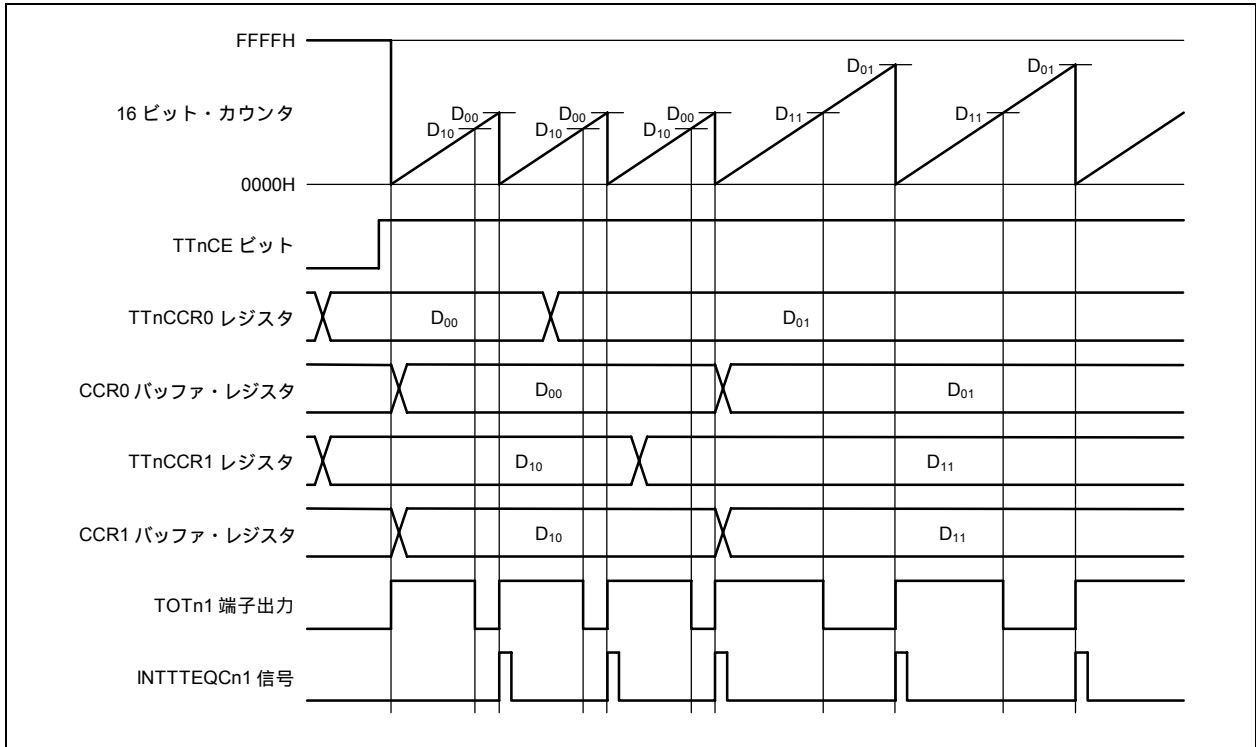


## (2) PWM 出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

TTnCCR1 レジスタにライト後、再度 TTnCCRa レジスタの書き換えを行う場合には、INTTTEQCn1 信号を検出後に書き換えてください。



TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値（すでに設定した TTnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTnCCR1 レジスタのみの設定でかまいません。

TTnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TTnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

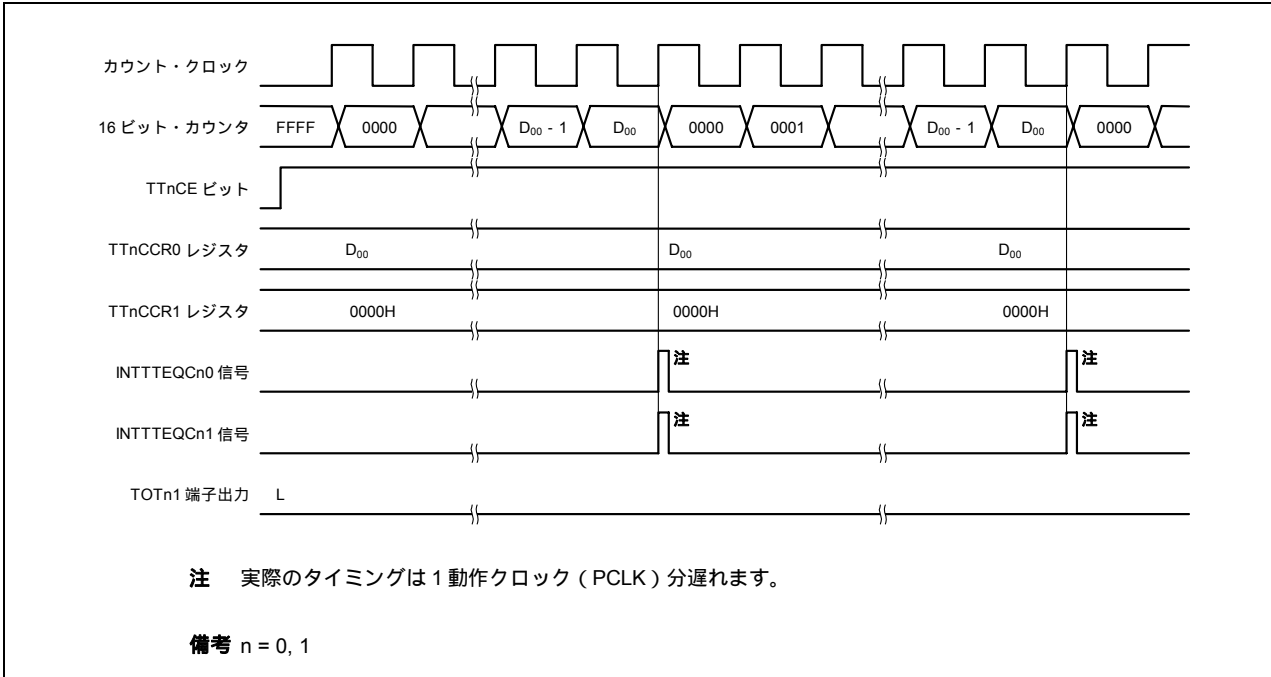
また、一度 TTnCCR1 レジスタにライトしたあとで、再度 TTnCCR0、または TTnCCR1 レジスタへのライトを行う場合は、INTTTEQCn0 信号の発生後に行ってください。これを守れない場合には、TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TTnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

備考 n = 0, 1, a = 0, 1

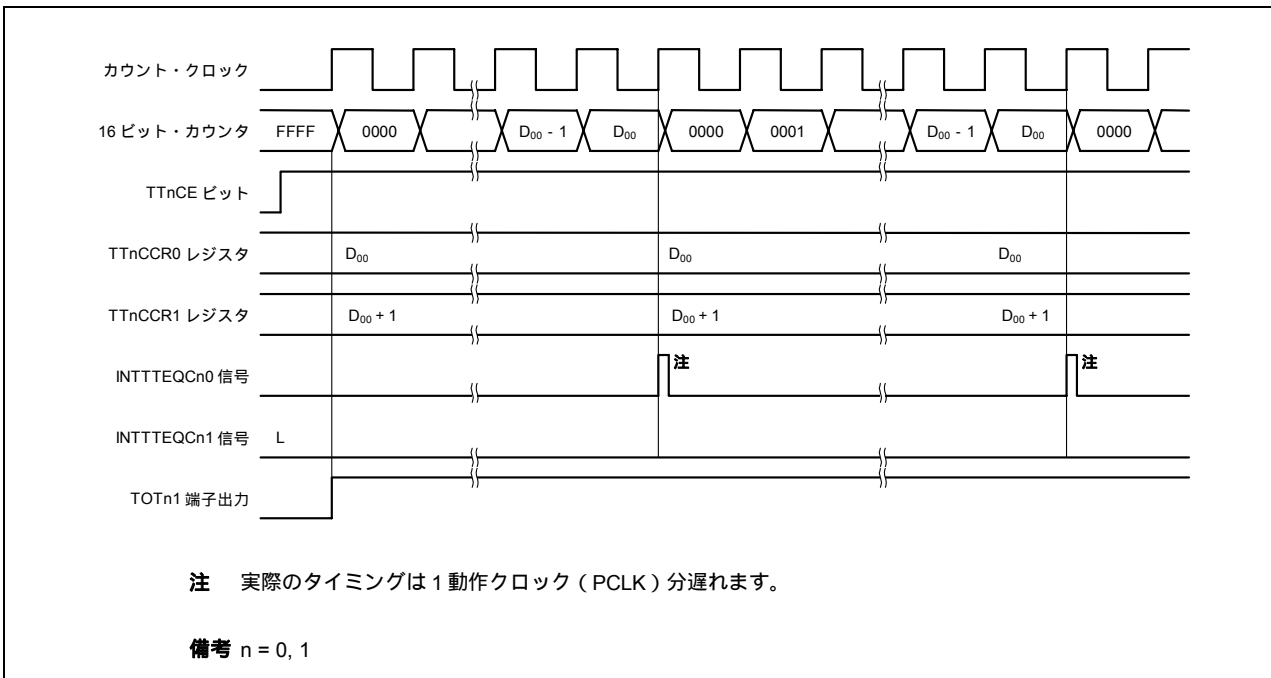


(b) PWM 波形の 0% / 100%出力

0%波形を出力するためには、TTnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTTEQCn0 信号と INTTTEQCn1 信号が発生します。

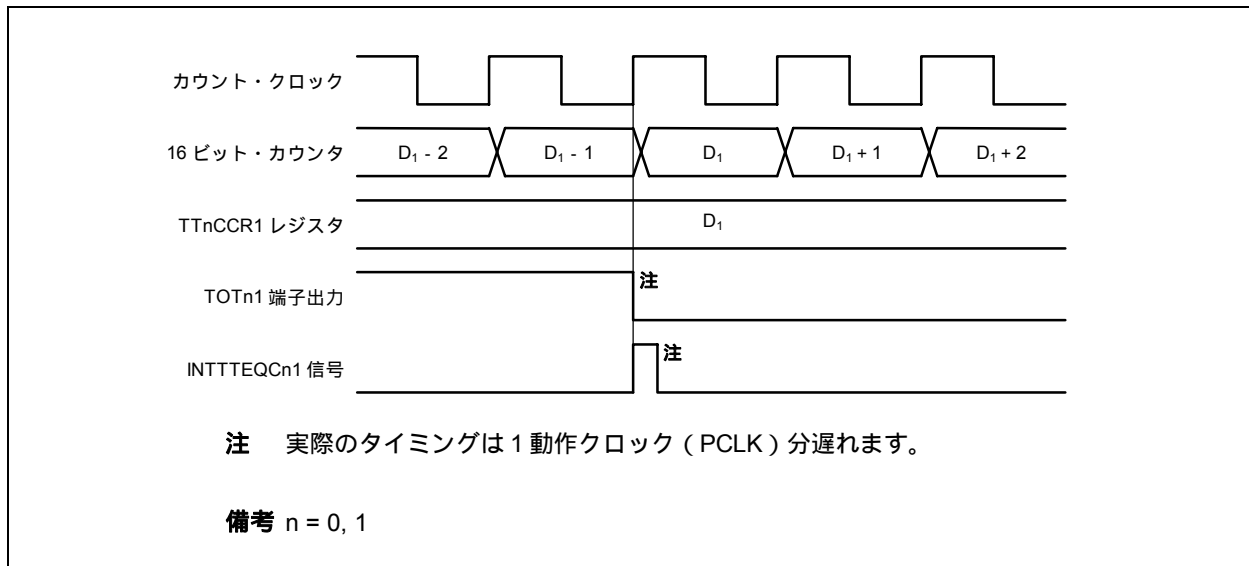


100%波形を出力するためには、TTnCCR1 レジスタに対して (TTnCCR0 レジスタの設定値 + 1) の値を設定してください。TTnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。



## (c) コンパレー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

PWM 出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致と同時に発生します。



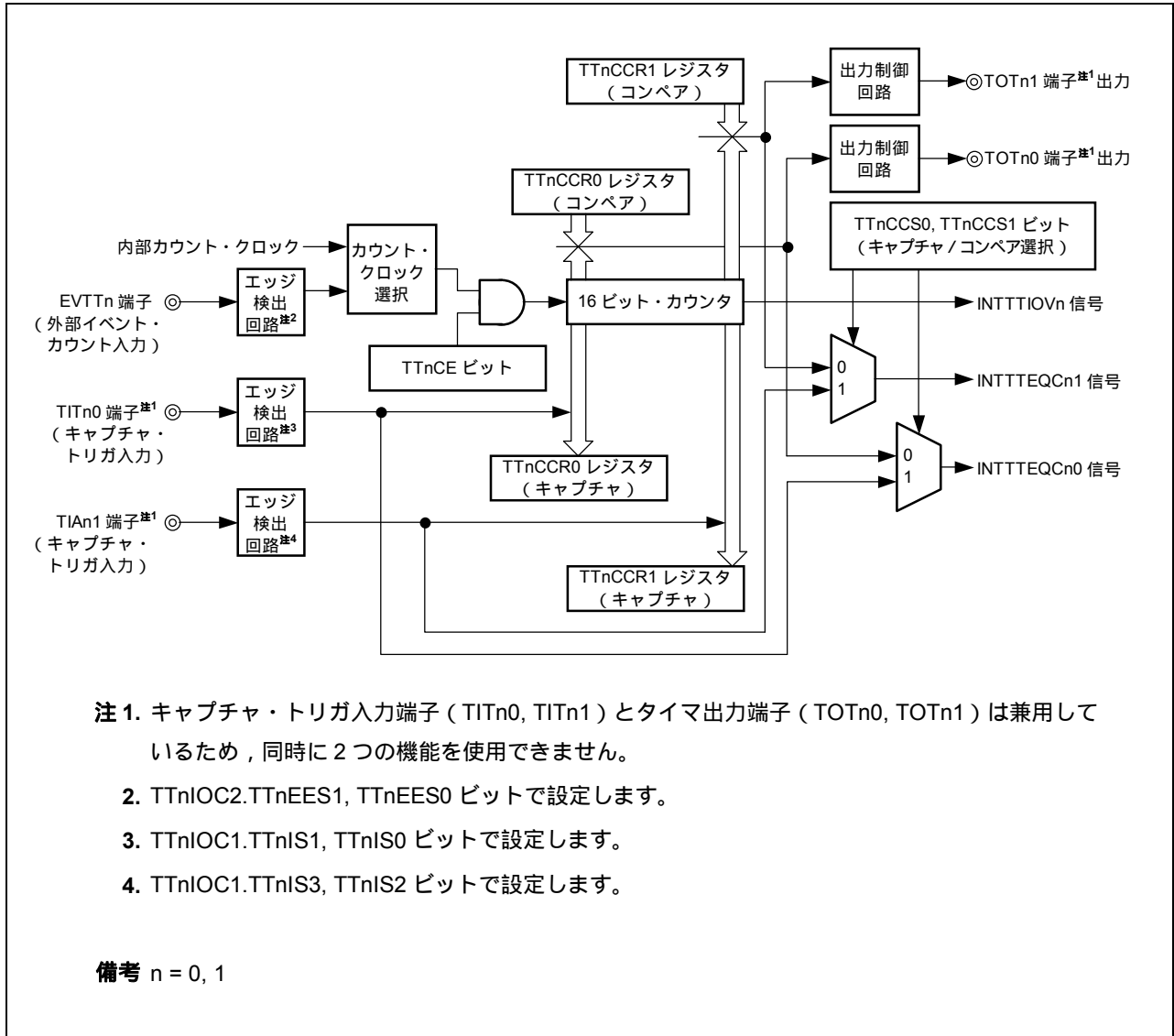
通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM 出力モードの場合、1 クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 14.6.7 フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0 ビット = 0101)

フリー・ランニング・タイマ・モードは、TTnCTL0.TTnCE ビットをセット (1) することでカウント動作を開始します。このときの TTnCCR0, TTnCCR1 レジスタの動作は、TTnOPT0.TTnCCS0, TTnCCS1 ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図 14-33 フリー・ランニング・タイマ・モードの構成図



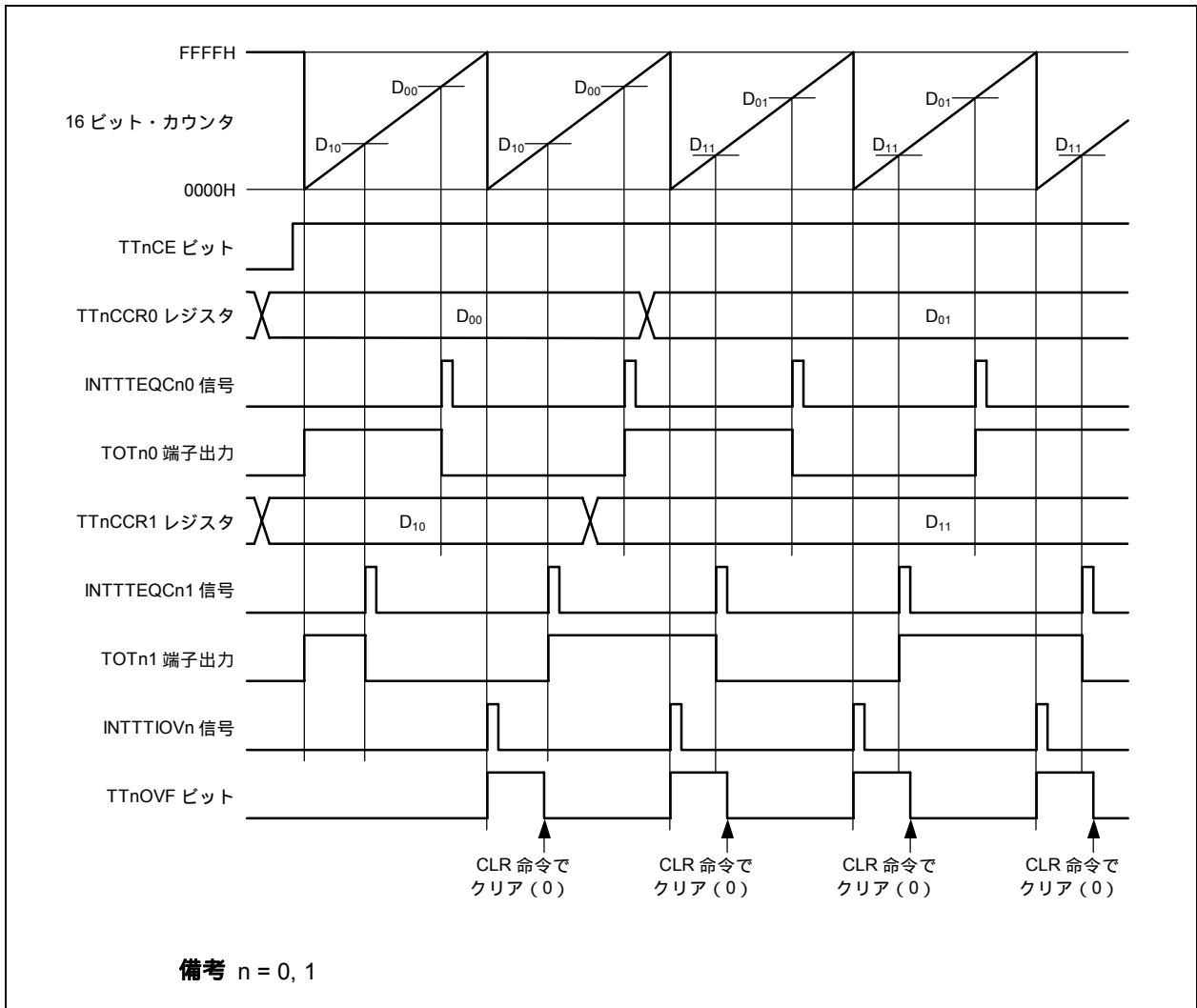
・コンペア動作

TTnCE ビットをセット(1)することで,カウント動作を開始し, TOTna 端子出力を反転します。その後, 16 ビット・カウンタのカウント値と TTnCCRa レジスタの設定値が一致すると, コンペア一致割り込み要求信号 (INTTTEQCna) を発生し, TOTna 端子出力を反転します。

16 ビット・カウンタは, カウント・クロックに同期してカウント動作を続け, FFFFH までカウントすると, 次のクロックでオーバーフロー割り込み要求信号 (INTTTIOVn) を発生するとともに, 0000H にクリアしカウント動作を継続します。また, このときオーバーフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアで CLR 命令を実行してクリア(0)してください。

TTnCCRa レジスタは, カウント動作中の書き換えを許可しています。書き換えた場合, 随時書き込みにより値が即反映され, カウント値と比較されます。

図 14-34 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TTnCE ビットをセット (1) することで、カウント動作を開始します。その後、TITna 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、キャプチャ割り込み要求信号 (INTTTEQCna) を発生します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット (1) されます。オーバフロー・フラグがセット (1) されていることを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

図 14-35 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

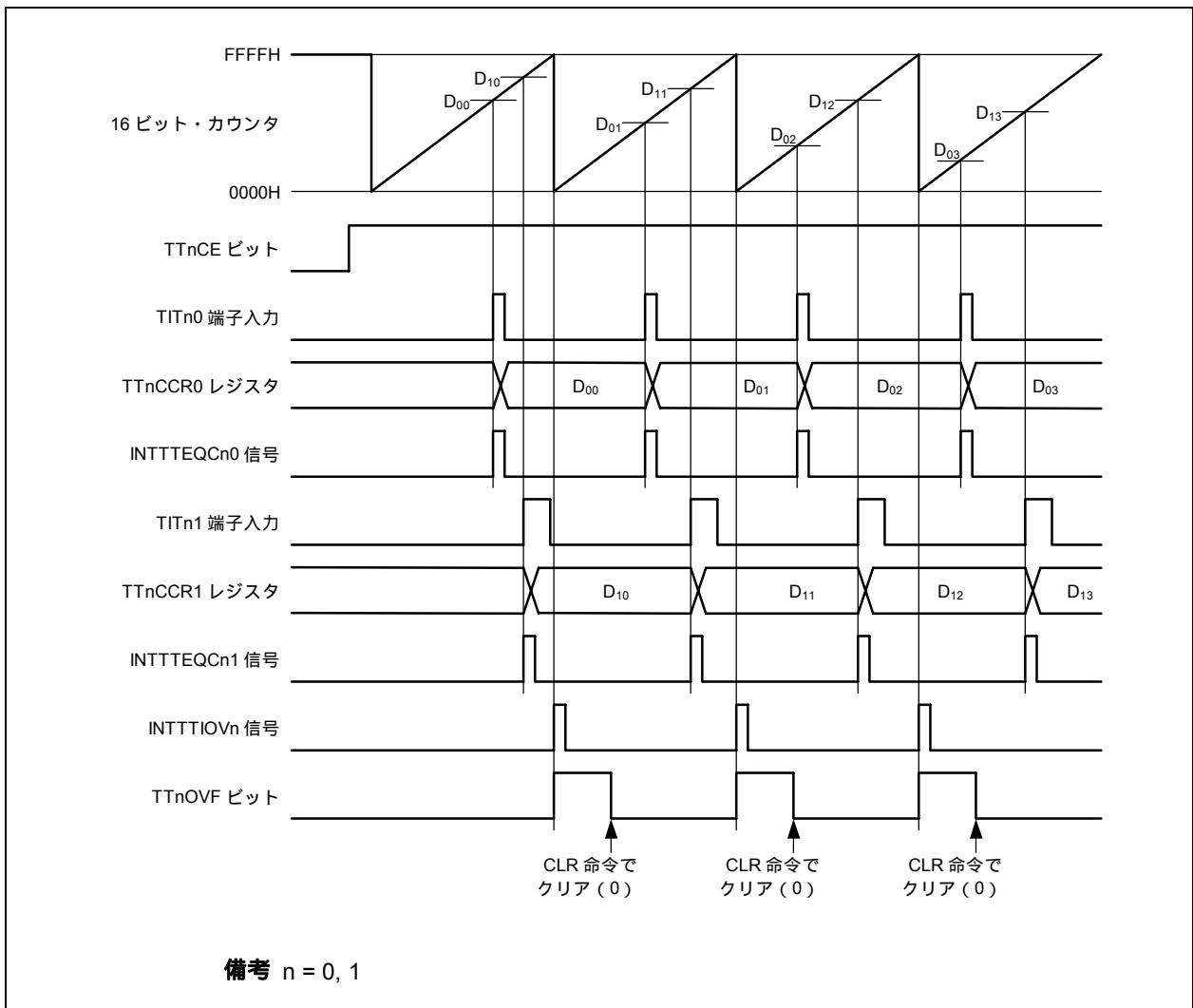


図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

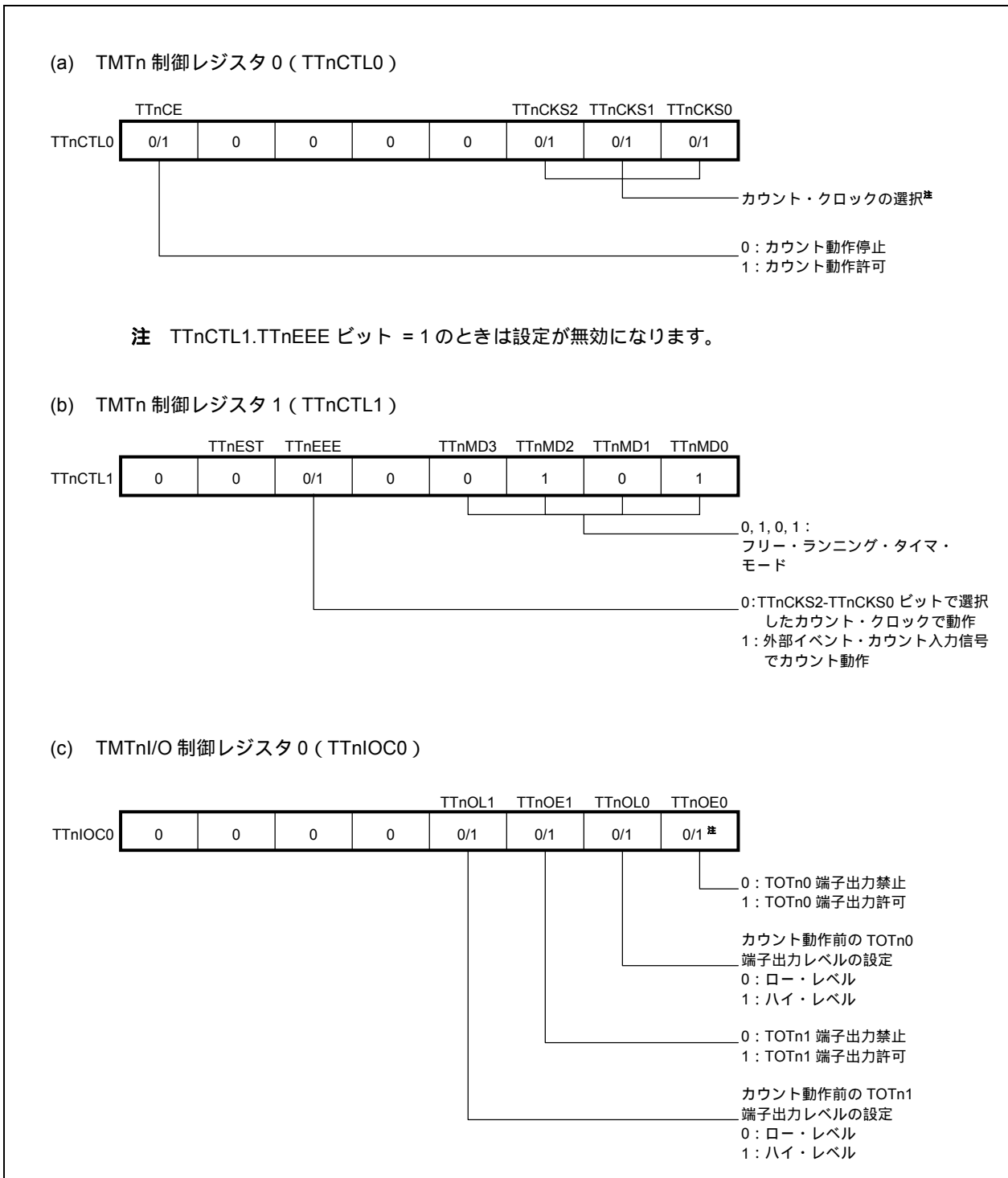


図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

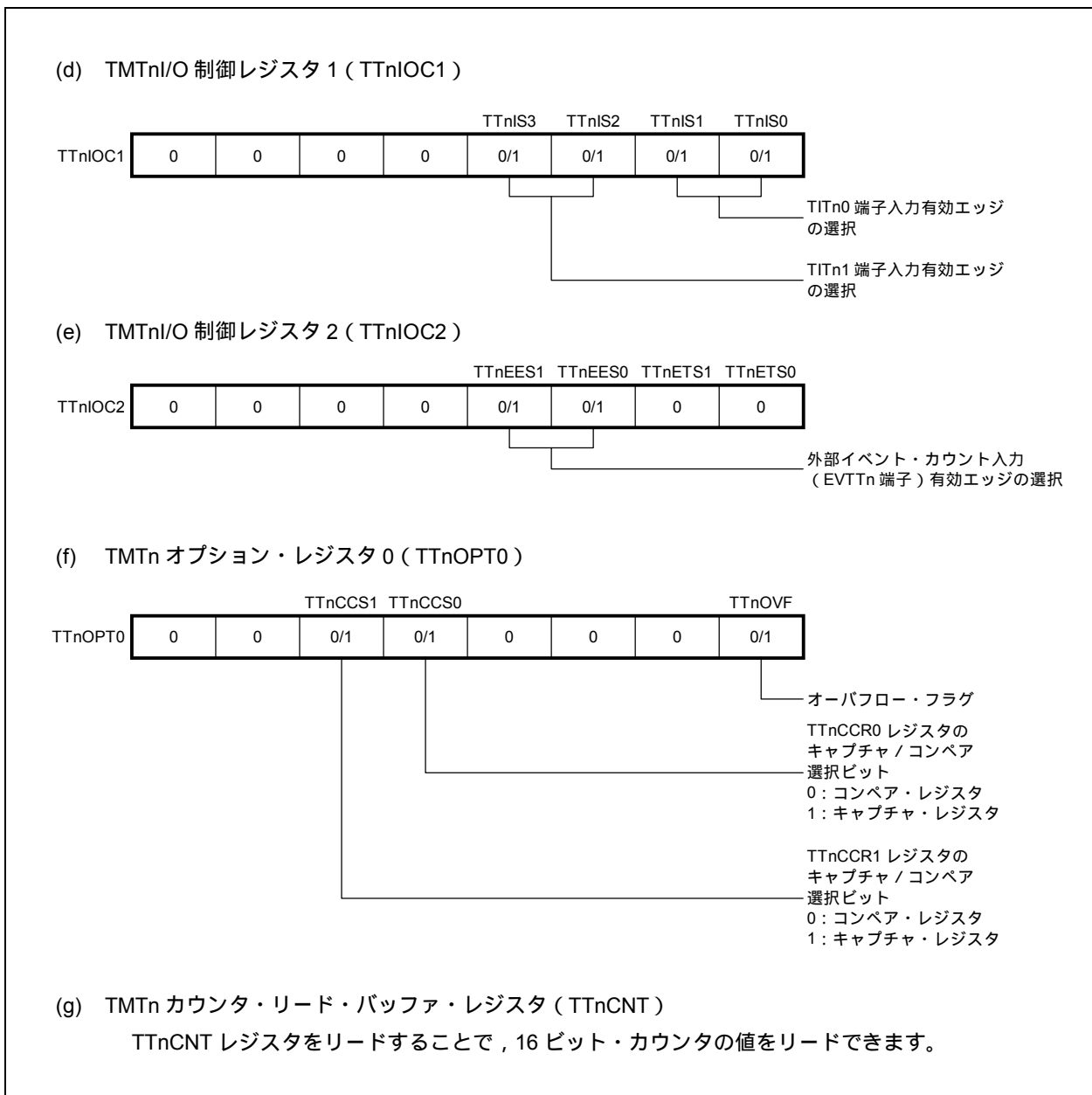


図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

- (h) TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnOPT0.TTnCCSa ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TITna 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TTnCCRa レジスタに  $D_a$  を設定した場合、カウンタが  $(D_a + 1)$  になるタイミングで INTTTEQCna 信号を発生し、TOTn0, TOTn1 端子出力を反転します。

**備考**  $n = 0, 1, a = 0, 1$



(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図 14-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(1/2)

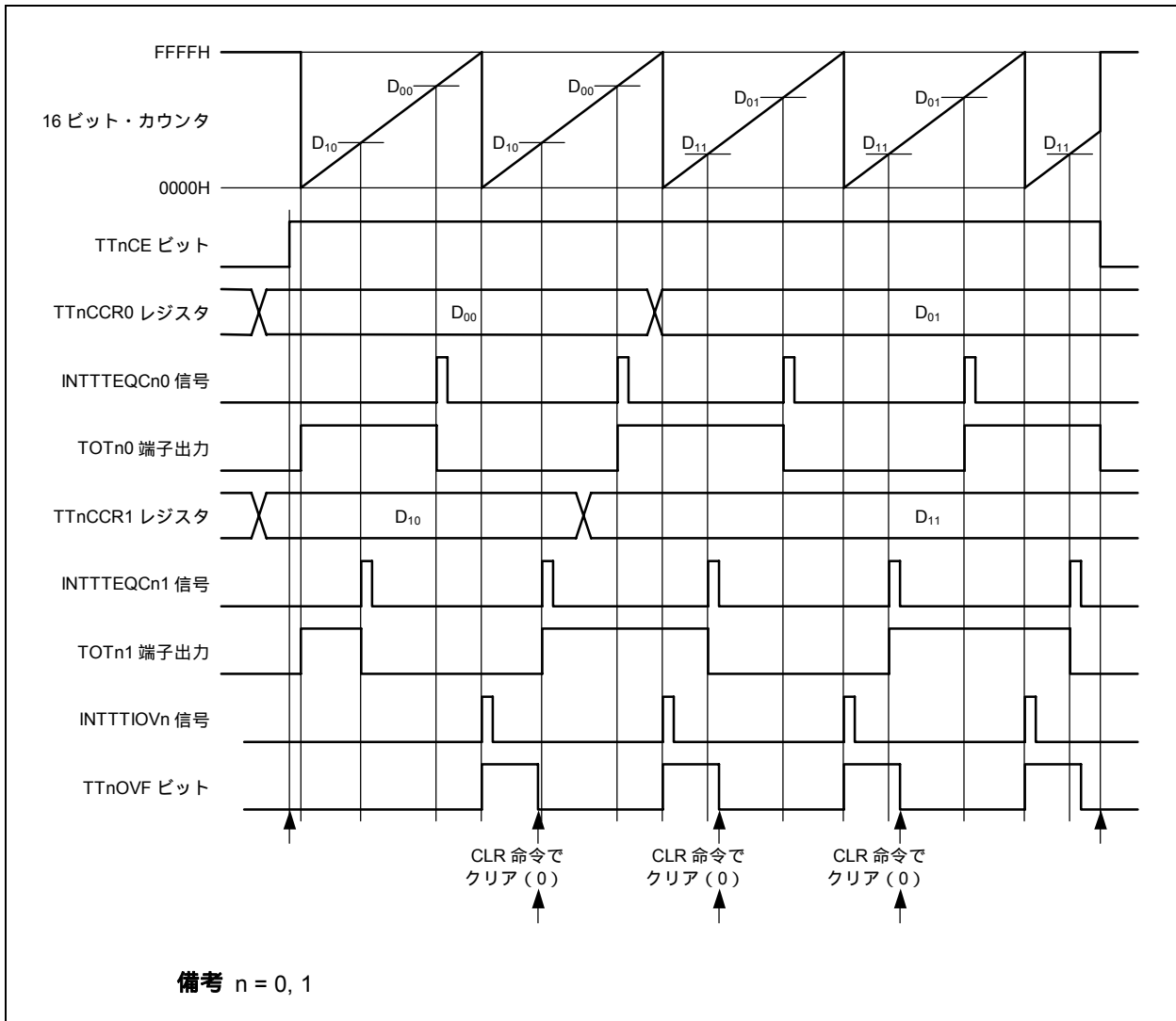
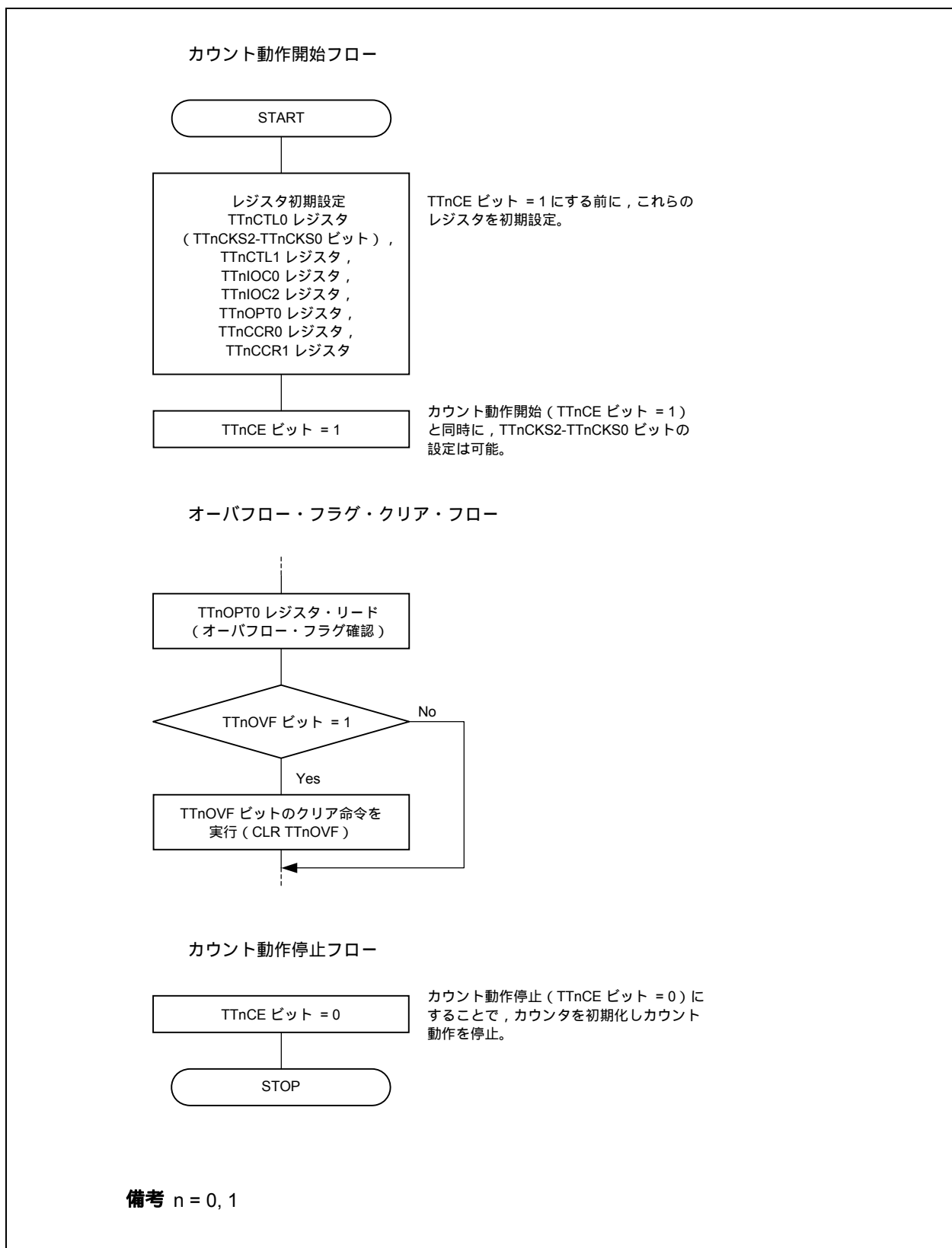


図 14-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図 14-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(1/2)

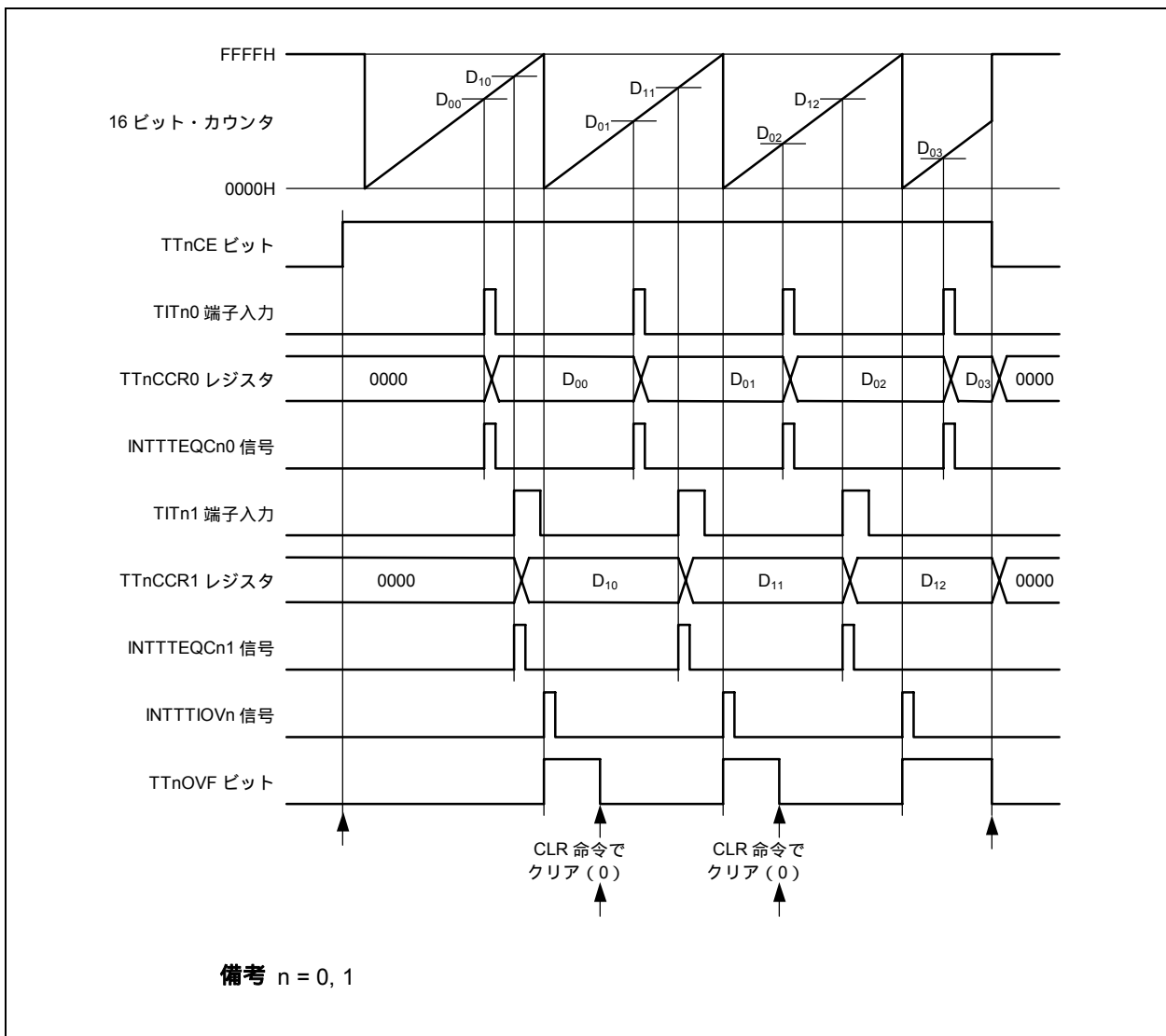
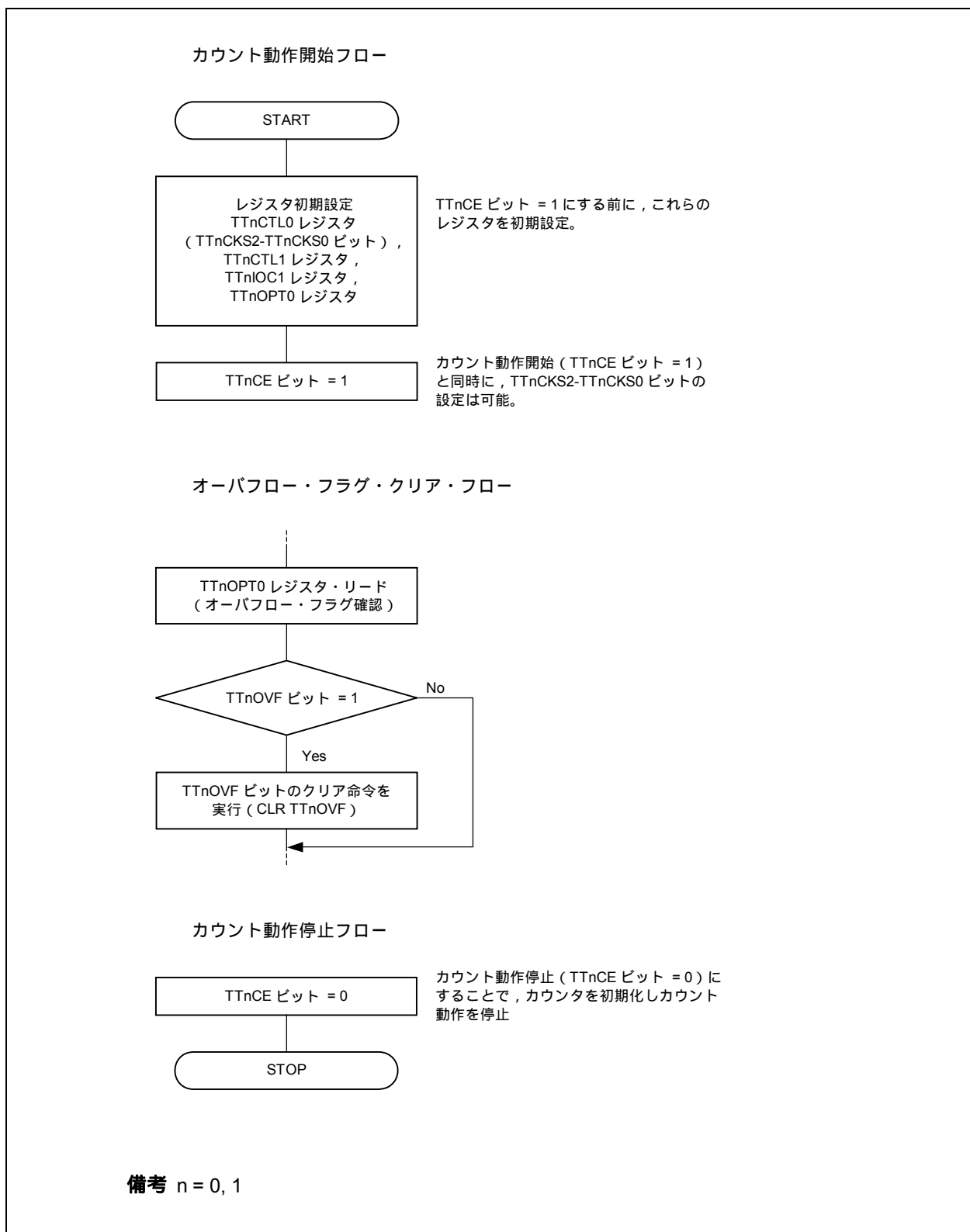


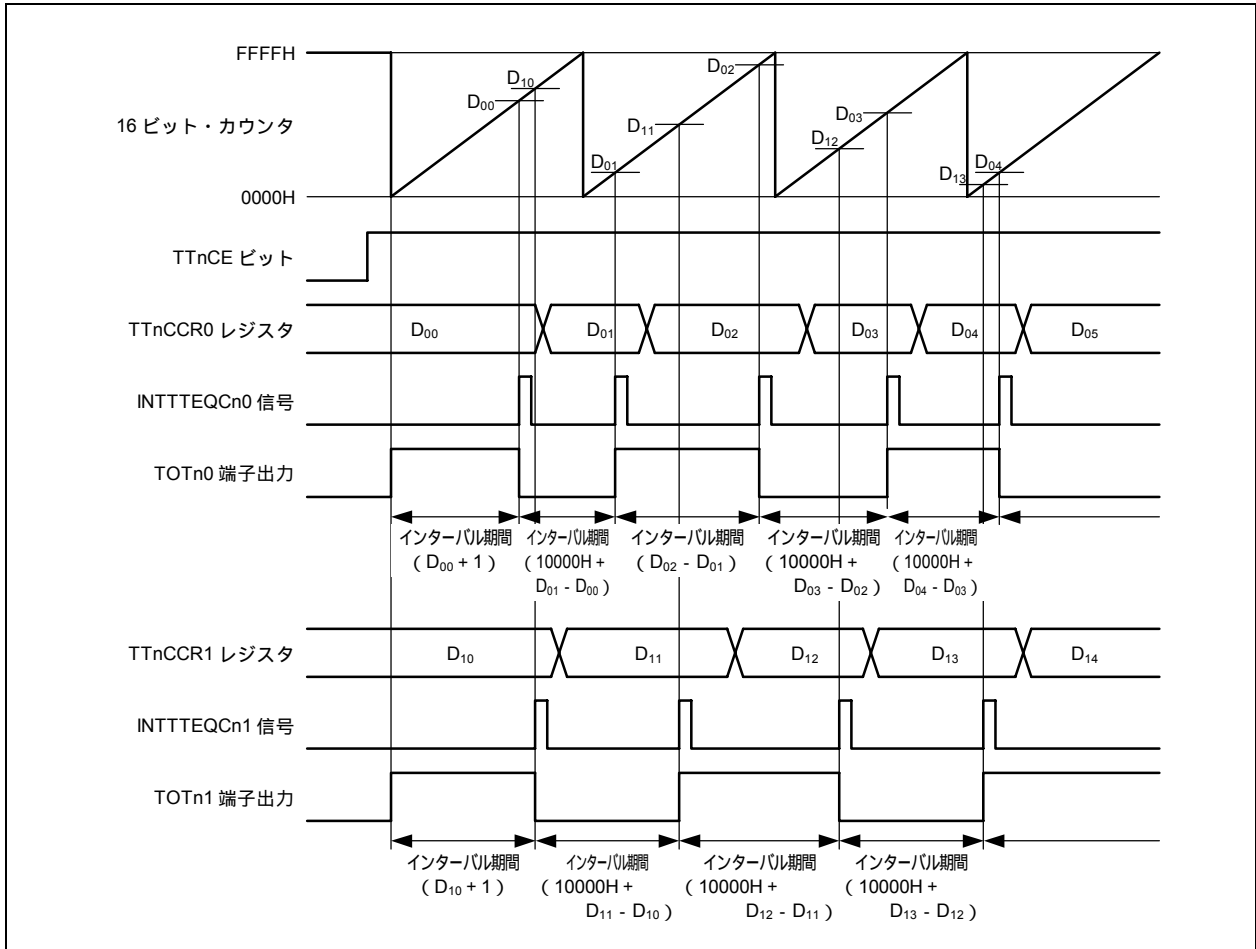
図 14-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(2/2)



## (2) フリー・ランニング・タイマ・モード動作タイミング

## (a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TTnCCRa レジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTTEQCna 信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTTEQCna 信号を検出したときの割り込み処理中に、対応する TTnCCRa レジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_a$ ”とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_a - 1$

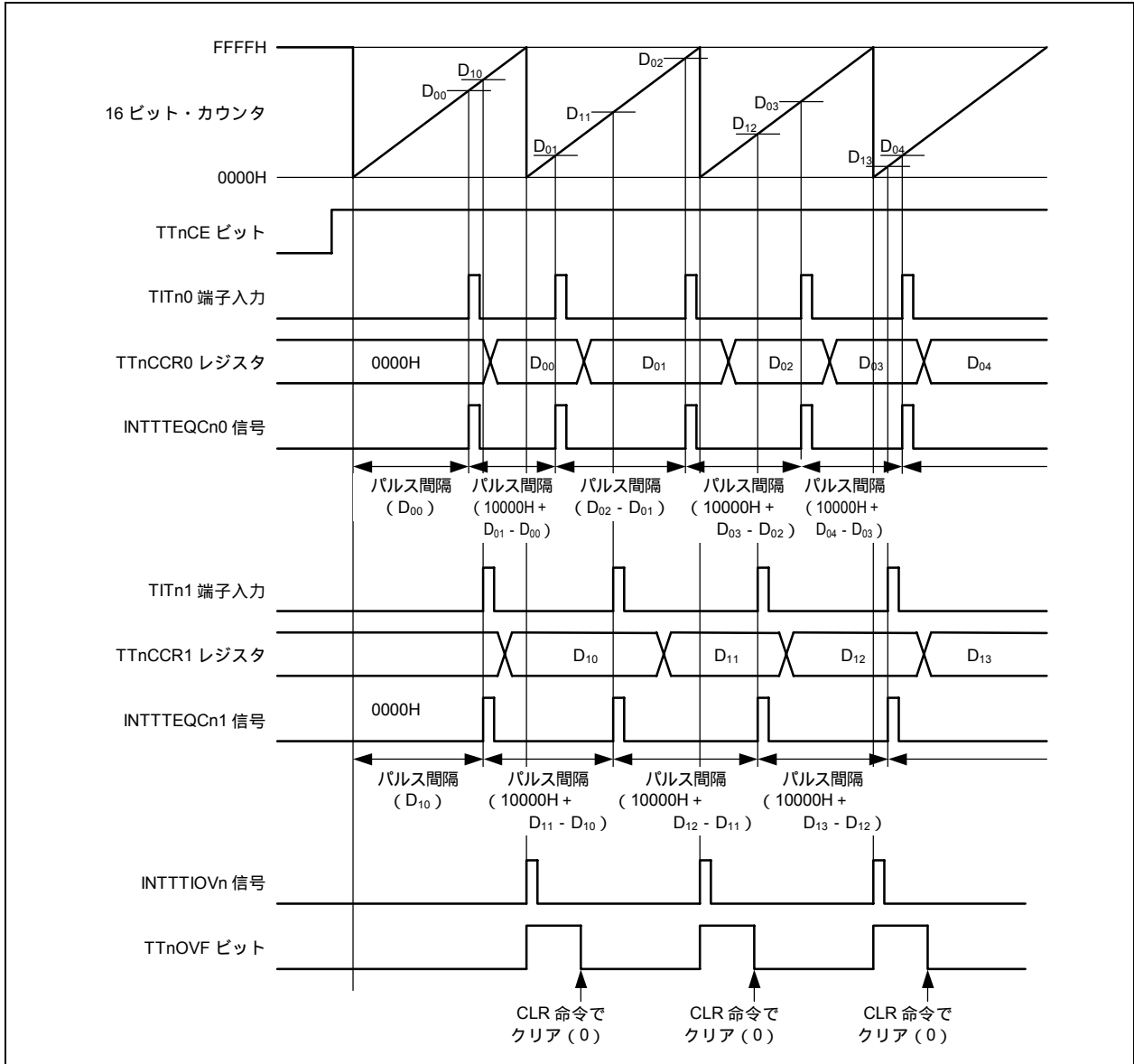
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_a$

(演算結果が FFFFH よりも大きい場合には、演算結果から 10000H を引いた値を設定してください)

**備考**  $n = 0, 1$ ,  $a = 0, 1$

## (b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TTnCCRa レジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTTEQCna 信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



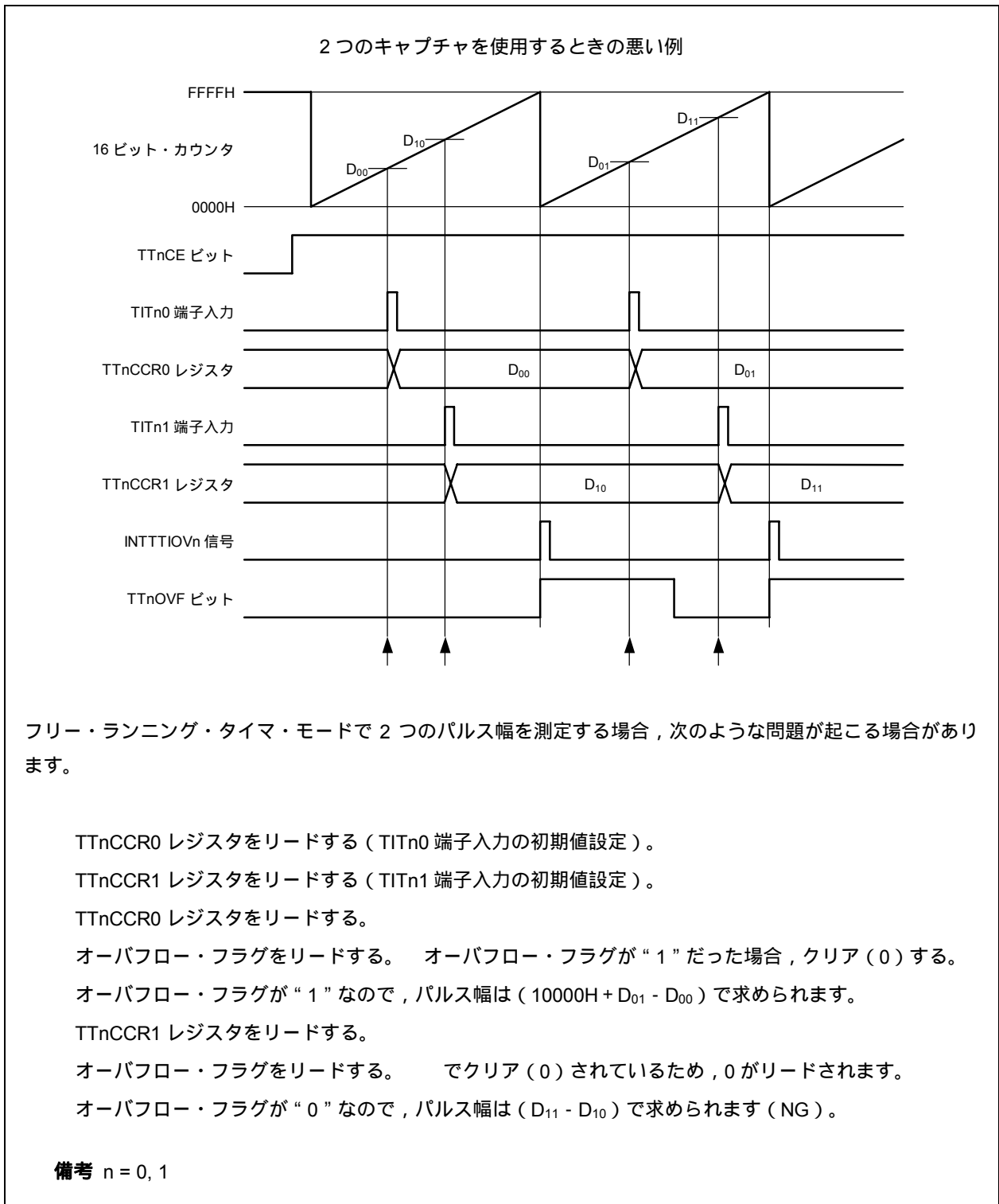
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTTEQCna 信号に同期して TTnCCRa レジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

**備考** n = 0, 1, a = 0, 1

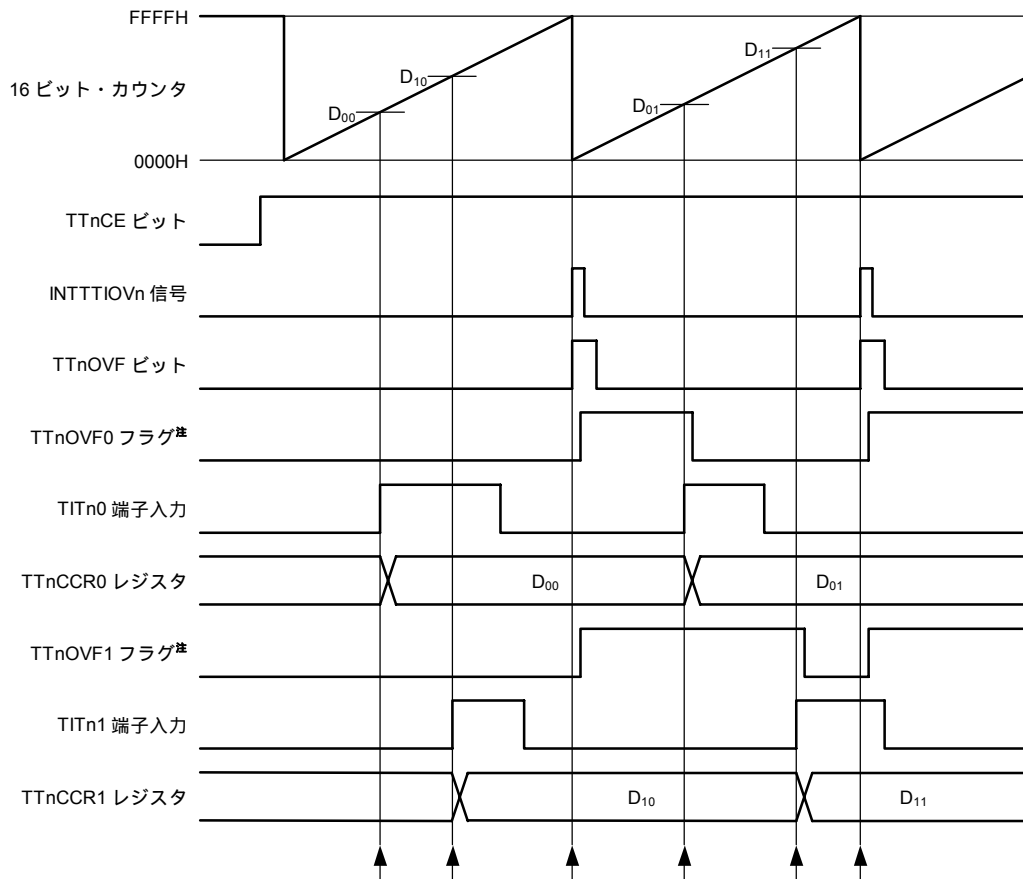
## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TITnOVF0, TITnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

TITnCCR0 レジスタをリードする (TITn0 端子入力の初期値設定)。

TITnCCR1 レジスタをリードする (TITn1 端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TITnOVF0, TITnOVF1 フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TITnCCR0 レジスタをリードする。

TITnOVF0 フラグをリードする。 TITnOVF0 フラグが "1" だった場合、クリア (0) する。

TITnOVF0 フラグが "1" なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TITnCCR1 レジスタをリードする。

TITnOVF1 フラグをリードする。 TITnOVF1 フラグが "1" だった場合、クリア (0) する ( でクリア (0) されたのは TITnOVF0 フラグであり、TITnOVF1 フラグは "1" のまま)。

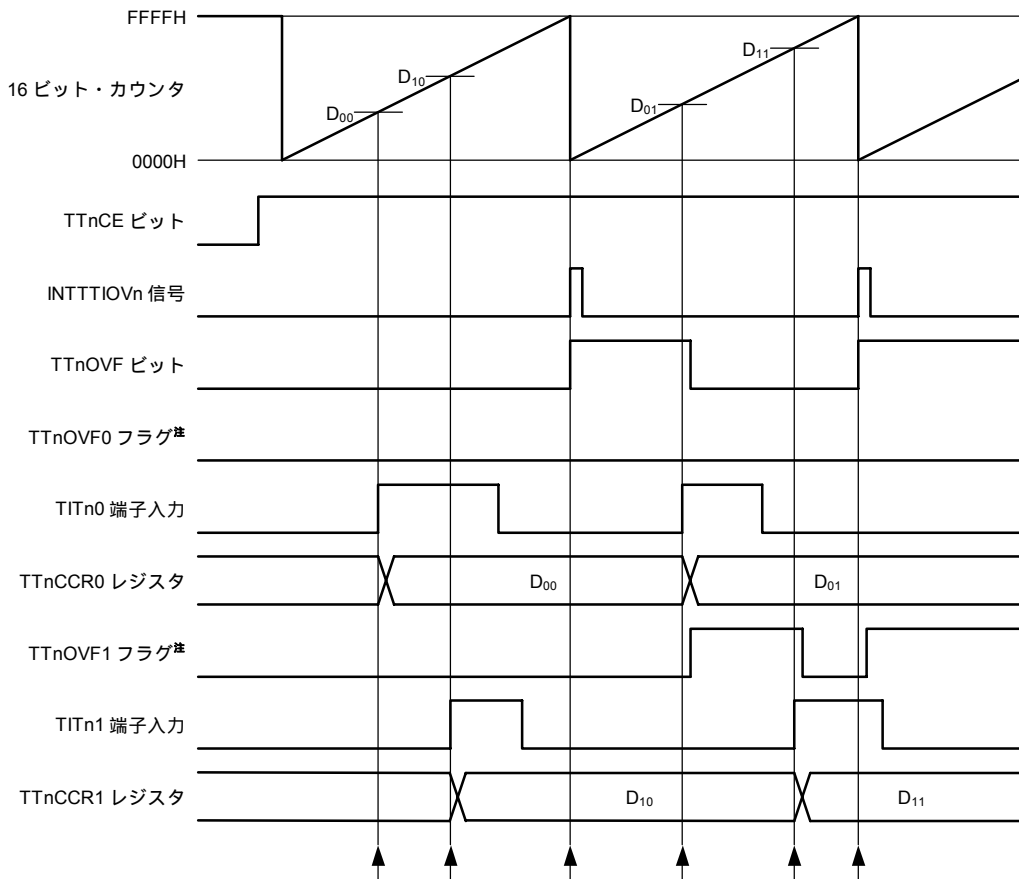
TITnOVF1 フラグが "1" なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0, 1



## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TnOVF0, TnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

TnCCR0 レジスタをリードする (TITn0 端子入力の初期値設定)。

TnCCR1 レジスタをリードする (TITn1 端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TnCCR0 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TnOVF1 フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TnCCR1 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

TnOVF1 フラグをリードする。 TnOVF1 フラグが“1”だった場合、クリア (0) する。

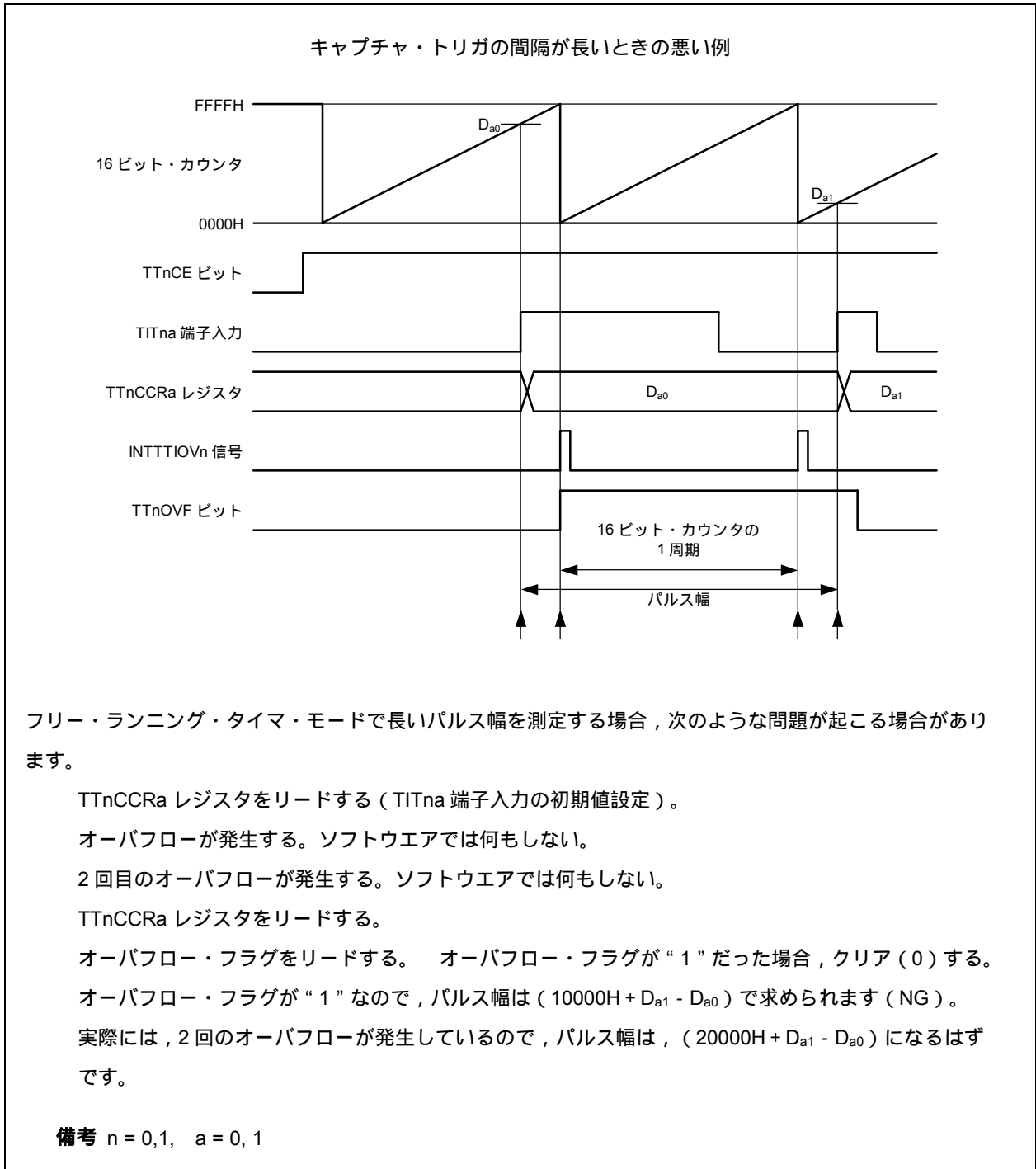
TnOVF1 フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0, 1

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

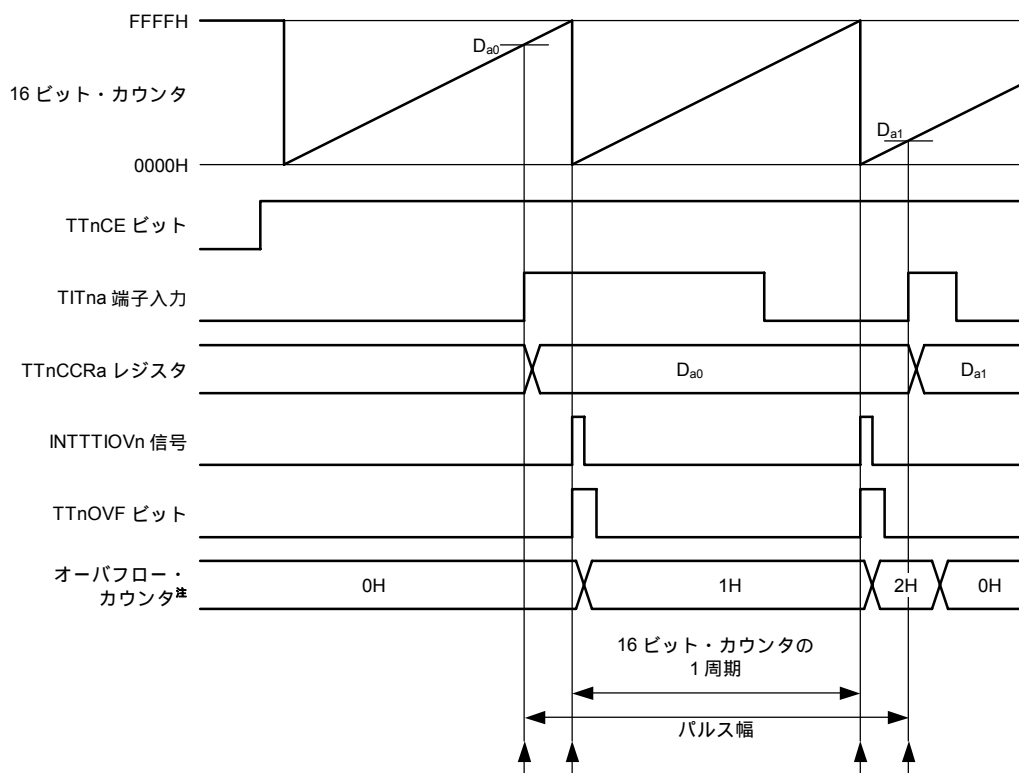
パルス幅が 16 ビット・カウンタの 1 周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが 2 回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2 回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして 16 ビット・カウンタの 1 周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

TnCCRa レジスタをリードする (TITna 端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2 回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TnCCRa レジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2 回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

備考  $n = 0, 1, a = 0, 1$

## (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TTnOVF ビット = 1 をリードしたあとに TTnOVF ビットを CLR 命令でクリア(0)する方法と、TTnOVF ビット = 1 をリードしたあとに TTnOPT0 レジスタに 8 ビット・データ(ビット 0 は“0”)をライトする方法があります。

### 14.6.8 パルス幅測定モード (TTnMD3-TTnMD0 ビット = 0110)

パルス幅測定モードは、TTnCTL0.TTnCE ビットをセット (1) することでカウント動作を開始し、TITna 端子入力の有効エッジを検出するごとに、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアします。

キャプチャ割り込み要求信号 (INTTTEQcna) が発生したあと、TTnCCRa レジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図 14-40 のような場合は、キャプチャ・トリガ入力端子として TITn0、TITn1 端子のいずれか 1 本を使用し、使用しない端子は TTnIOC1 レジスタで“エッジ検出なし”に設定してください。

図 14-39 パルス幅測定モードの構成図

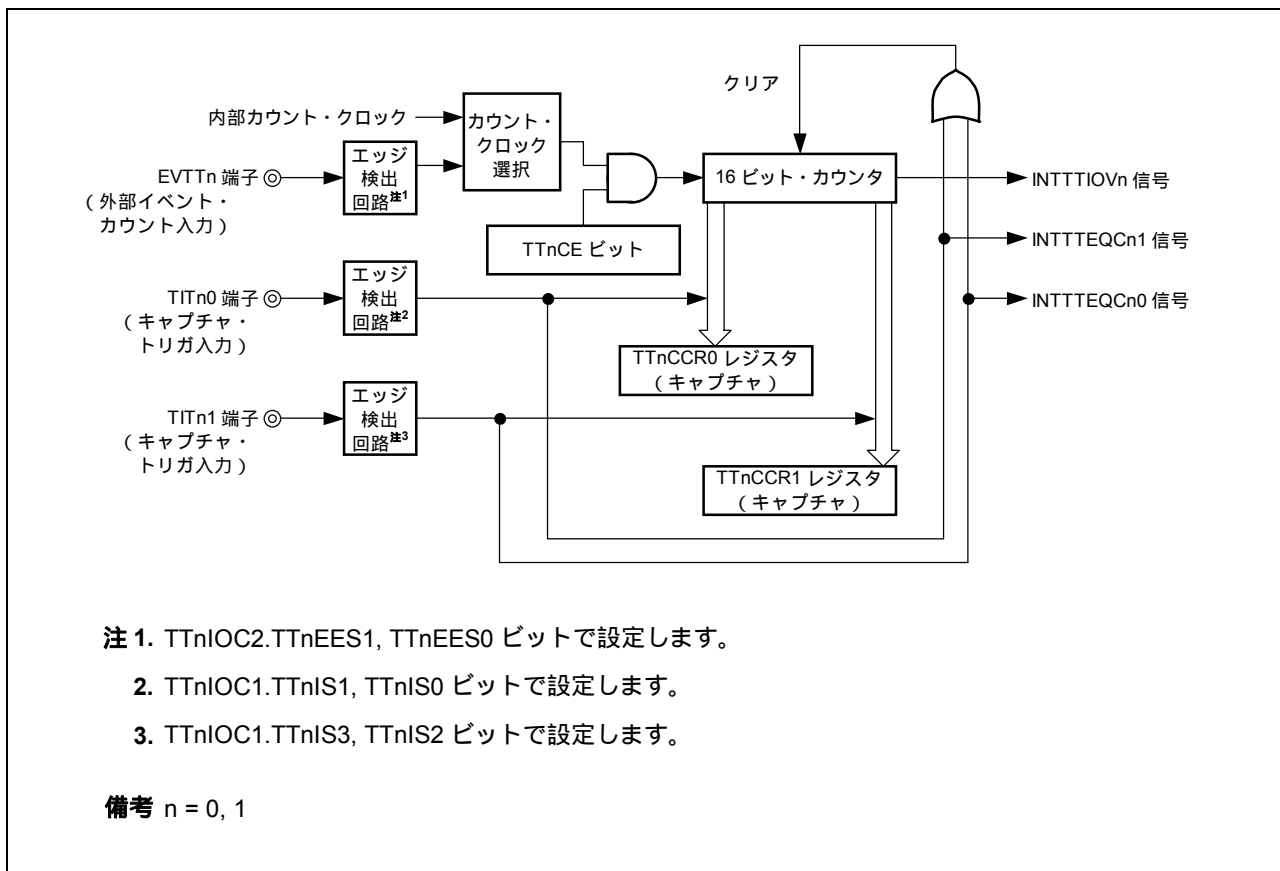
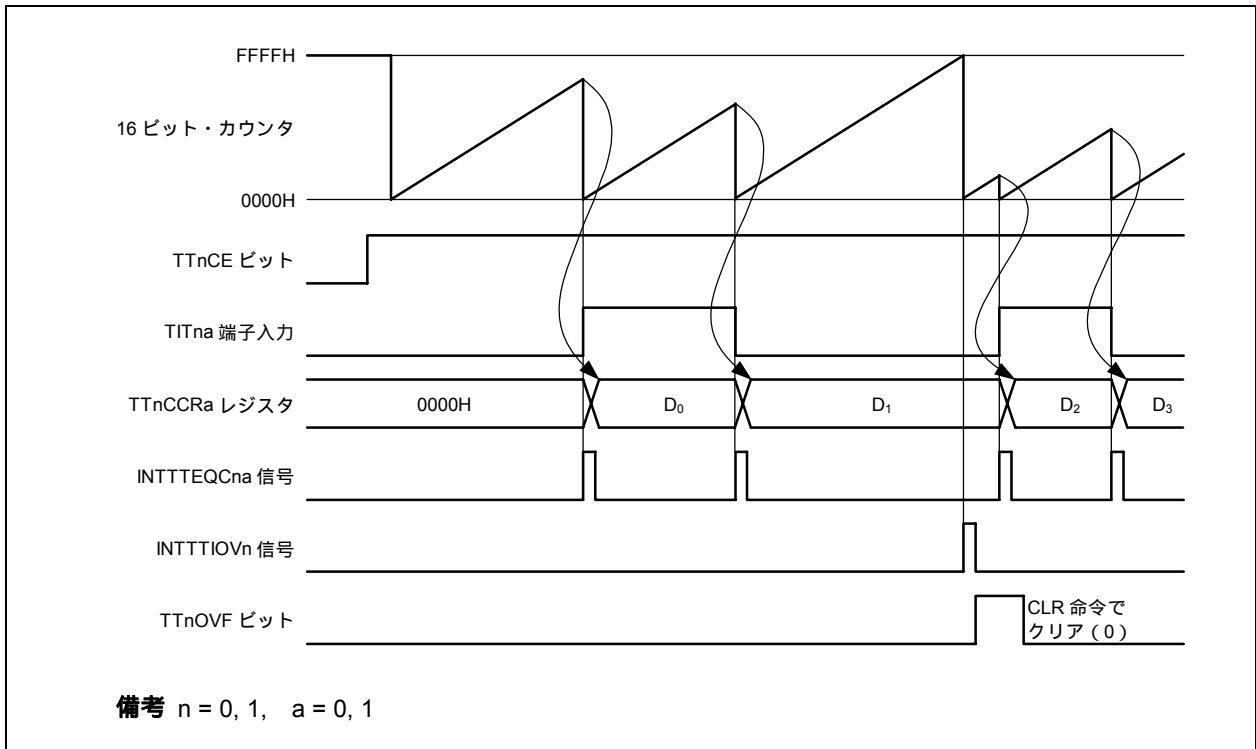


図 14-40 パルス幅測定モードの基本タイミング



TTnCE ビットをセット (1) することで、カウント動作を開始します。その後、TITna 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアし、キャプチャ割り込み要求信号 (INTTTEQCna) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16 ビット・カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合、次のクロックでオーバーフロー割り込み要求信号 (INTTIOVn) を発生するとともに、0000H にクリアしカウント動作を継続します。

また、このときオーバーフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアで CLR 命令を実行してクリア (0) してください。

オーバーフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TTnOVF ビットがセット (1) された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0, 1, a = 0, 1

図 14-41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

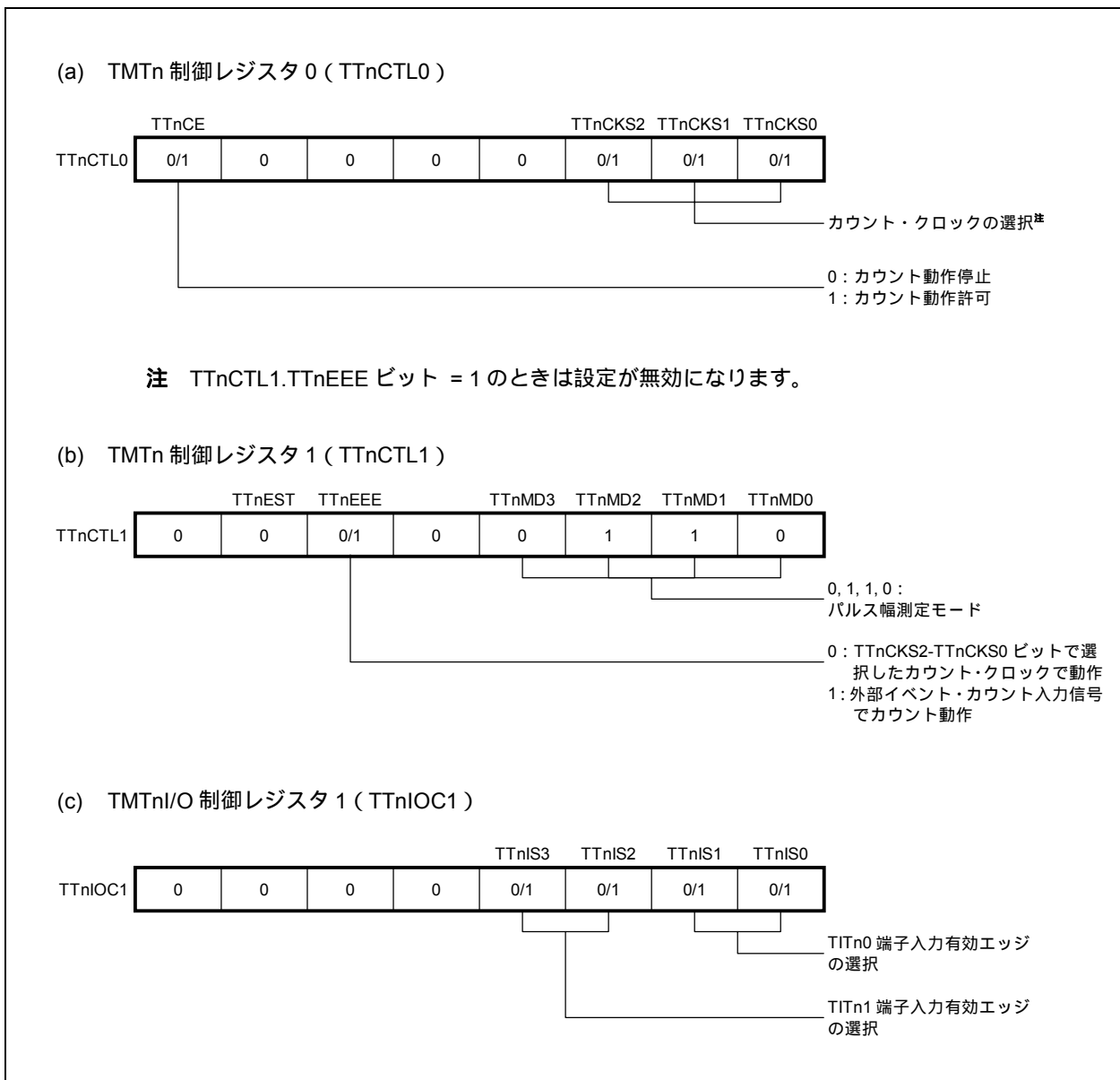
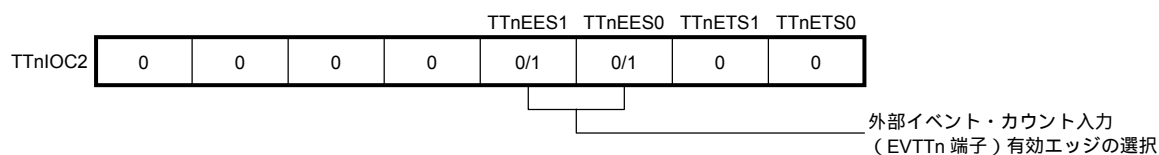
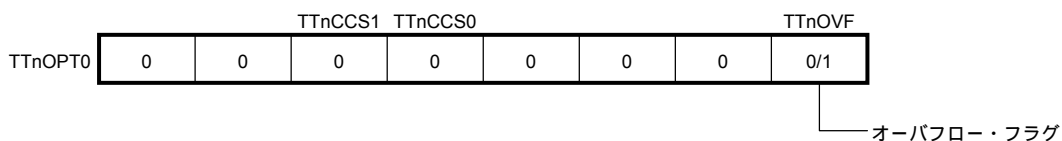


図 14-41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMTn/O 制御レジスタ 2 (TTnIOC2)



(e) TMTn オプション・レジスタ 0 (TTnOPT0)



(f) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(g) TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TITn0, TITn1 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

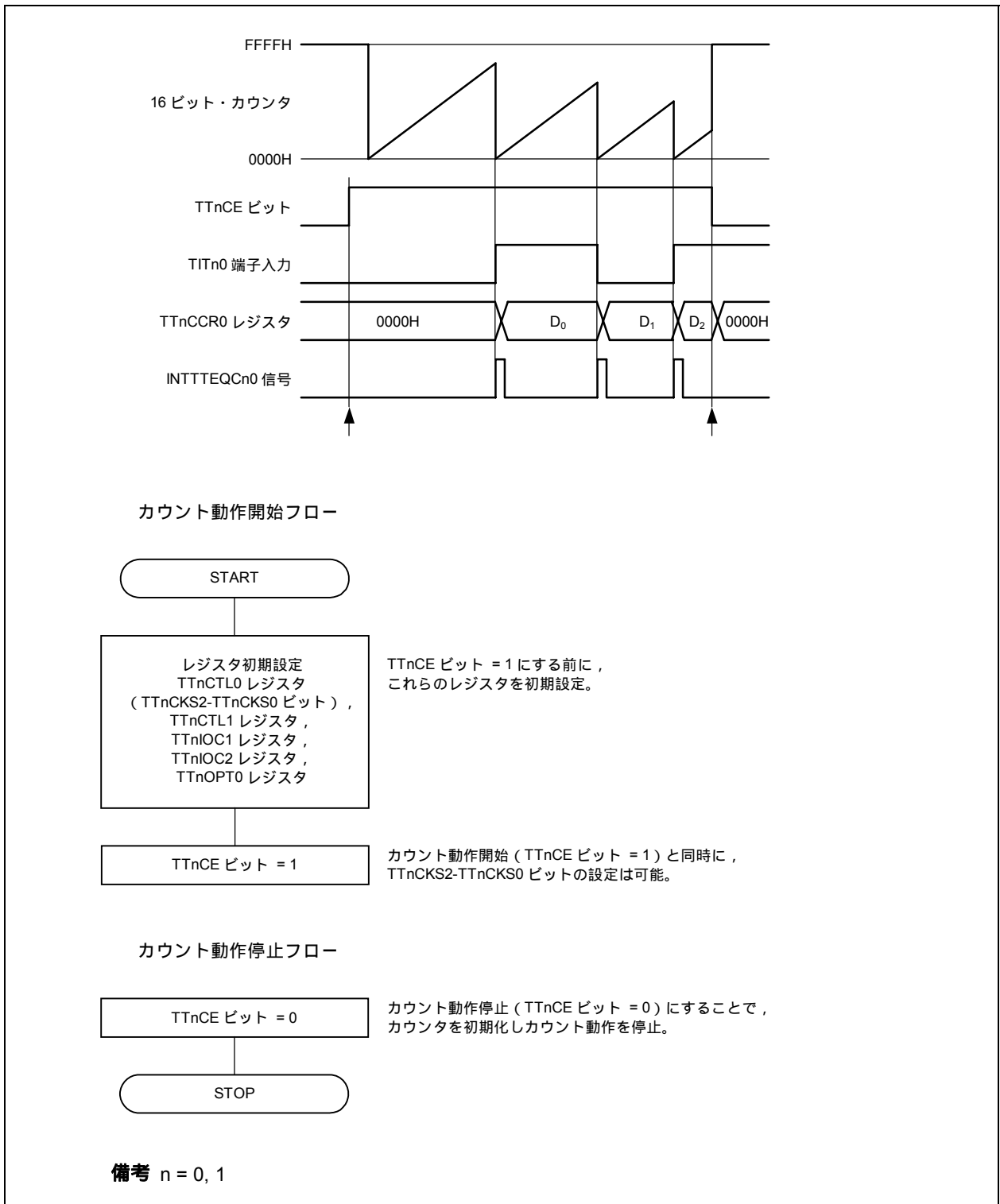
**備考 1.** パルス幅測定モードでは、TMTn 制御レジスタ 2 (TTnCTL2)，TMTn/O 制御レジスタ 0 (TTnIOC0)，TMTn/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は使用しません。

**2.** n = 0, 1



(1) パルス幅測定モード動作フロー

図 14-42 パルス幅測定モード使用時のソフトウェア処理フロー



## (2) パルス幅測定モード動作タイミング

## (a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TTnOVF ビット = 1 をリードしたあとに TTnOVF ビットを CLR 命令でクリア(0)する方法と、TTnOVF ビット = 1 をリードしたあとに TTnOPT0 レジスタに 8 ビット・データ(ビット 0 は“0”)をライトする方法があります。

### 14.6.9 三角波 PWM 出力モード (TTnMD3-TTnMD0 ビット = 0111)

三角波 PWM 出力モードは、TTnCTL0.TTnCE ビットをセット (1) することで、TOTn1 端子から三角波 PWM 波形を出力します。

また、TOTn0 端子から、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致したタイミングと、16 ビット・カウンタが 0000H のタイミングで反転する PWM 波形を出力します。

図 14-43 三角波 PWM 出力モードの構成図

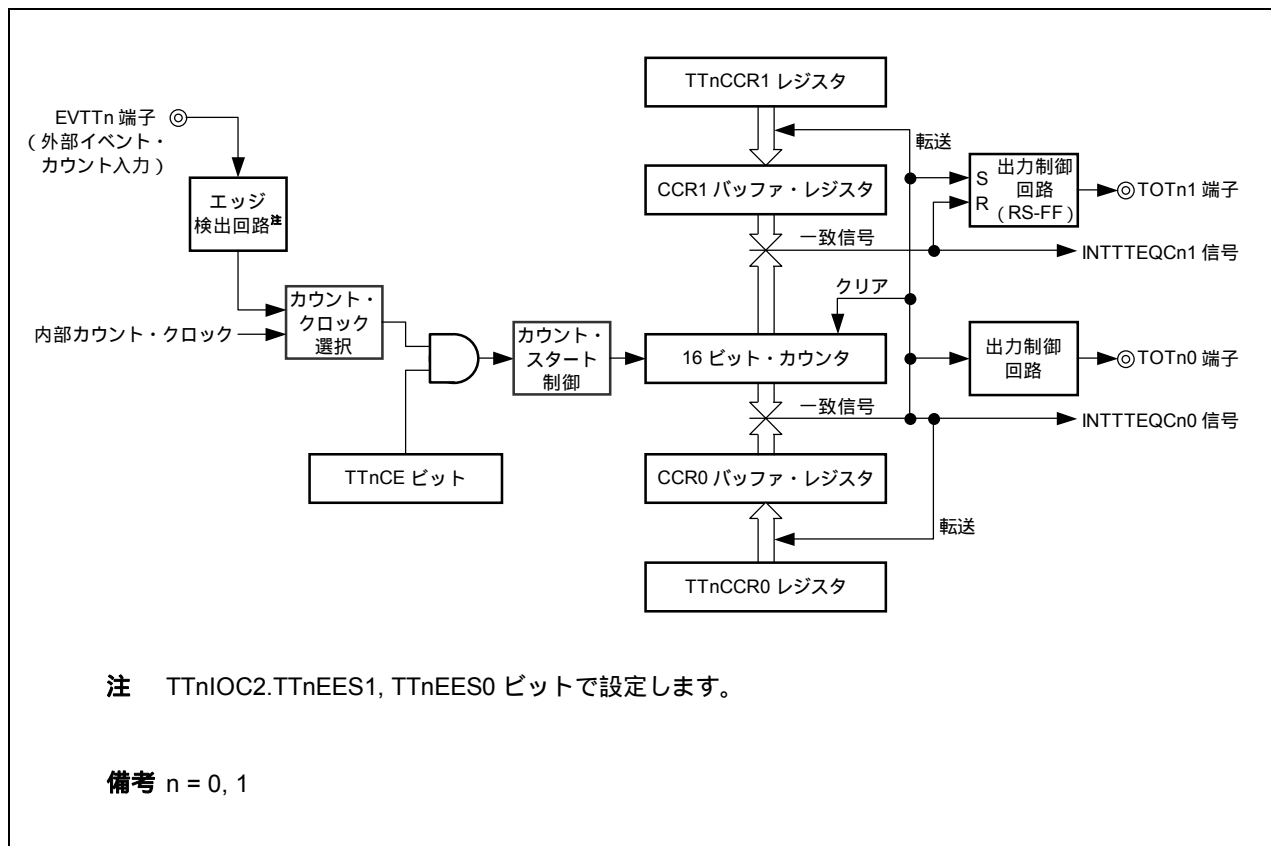
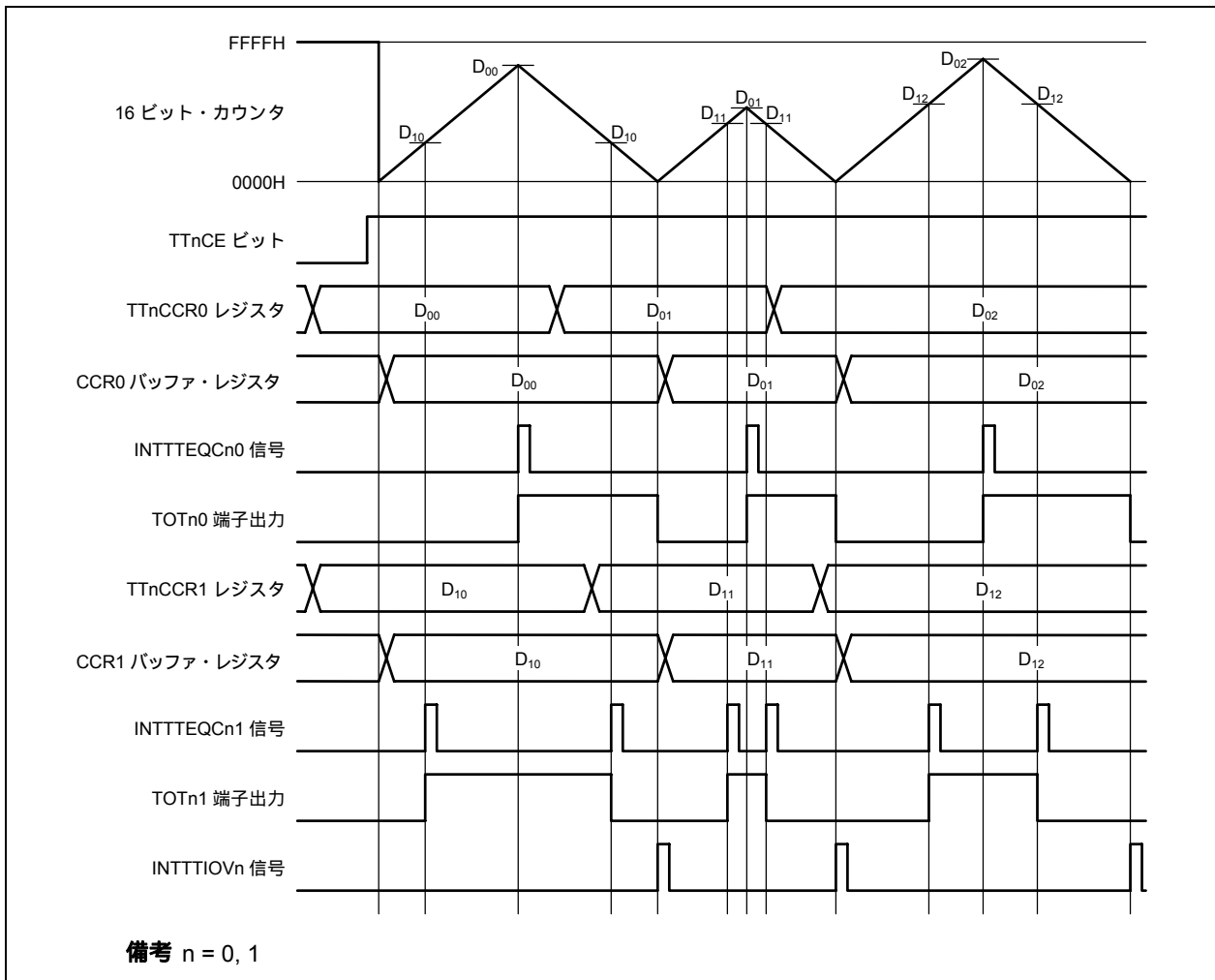


図 14-44 三角波 PWM 出力モードの基本タイミング



TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から三角波 PWM 波形を出力します。

三角波 PWM 出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に 16 ビット・カウンタが 0000H になるとオーバフロー割り込み要求信号 (INTTTIOVn) を発生します。このとき、TTnOPT0.TTnOVF ビットはセット (1) されません。アップ・カウント動作中に 16 ビット・カウンタ値と CCR0 バッファ・レジスタの値が一致すると、コンパレー一致割り込み要求信号 (INTTTEQn0) を発生します。

アップ ダウン切り替えは 16 ビット・カウンタ値と CCR0 バッファ・レジスタの値の一致 (INTTTEQn0) で、ダウン アップ切り替えは 16 ビット・カウンタが 0000H のタイミングです。

動作中に TTnCCR<sub>a</sub> レジスタを書き換えることにより、PWM 波形を変更できます。なお、動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

三角波 PWM 波形の周期は TTnCCR0 レジスタ、デューティは TTnCCR1 レジスタで設定します。

TTnCCR0 レジスタの値は「0 TTnCCR0 FFFEH」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の 16 ビット・カウンタが 0000H のタイミングで反映されます。

PWM 波形の周期だけを変更する場合でも、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値 (すでに設定した TTnCCR1 レジスタと同じ値) をライトしてください。

TTnCCR<sub>a</sub> レジスタから CCR<sub>a</sub> バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります (a = 0, 1)。

## (1) 0% / 100%の PWM 出力

三角波 PWM 出力モードでは、PWM 出力の 0%波形出力、および 100%波形出力が可能です。

0%波形は、TTnCCR0 レジスタ = M の場合、TTnCCR1 を “M + 1” に設定することにより出力されます。

100%波形は、TTnCCR1 レジスタを “0000H” に設定することにより出力されます。

なお、TOTn0, TOTn1 の出力レベルは、TTnIOC0 レジスタで設定します。

備考 n = 0, 1

図 14-45 0%PWM 出力波形図 (TTnIOC0 レジスタ = 05H)

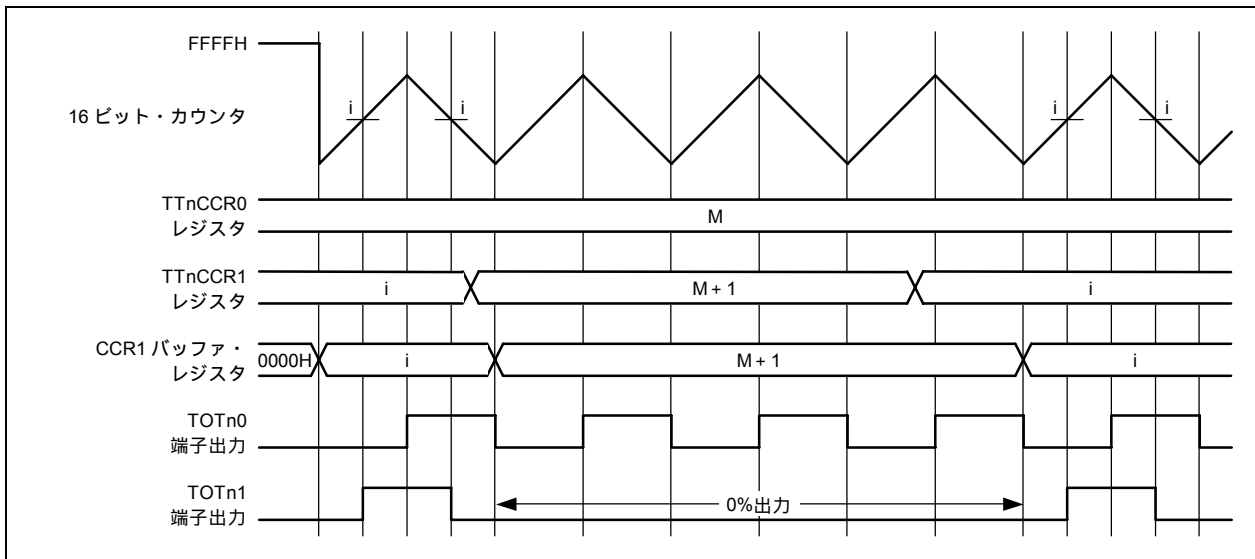
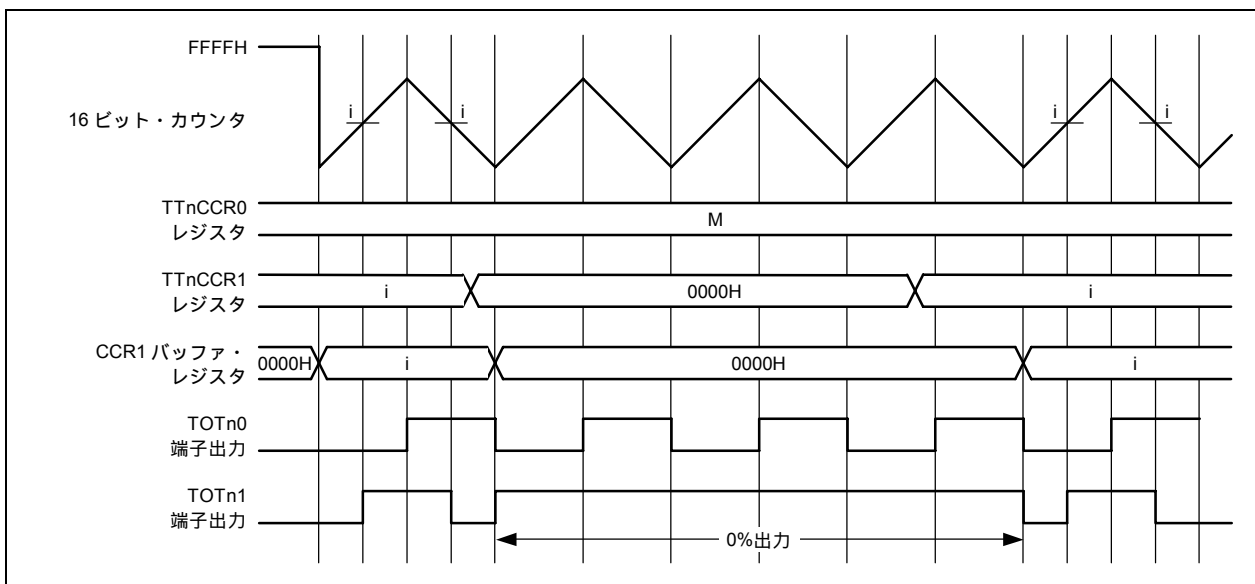


図 14-46 100%PWM 出力波形図 (TTnIOC0 レジスタ = 05H)



### 14.6.10 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード（14.6.11 エンコーダ・コンペア・モード（TTnMD3-TTnMD0 ビット = 1000））参照）があります。

モード	TTnCCR0 レジスタ	TTnCCR1 レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

(1) アップ/ダウン・カウント制御

エンコーダ入力信号（TENCn0, TENCn1）の位相と TTnCTL2.TTnUDS1, TTnUDS0 ビットの設定により 16 ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力（EVTn）は使用できません。TTnCTL0.TTnCKS2-TTnCKS0 ビット = 000, TTnCTL1.TTnEEE ビット = 0 に設定してください。

(2) 16 ビット・カウンタの初期値設定

TTnCTL2.TTnECC ビット = 0 時に TTnTCW レジスタに設定したカウント初期値を、カウント動作の開始（TTnCTL0.TTnCE ビット = 0 1）直後に 16 ビット・カウンタに転送し、エンコーダ入力信号（TENCn0, TENCn1）の有効エッジ検出後にカウント動作を開始します

(3) 基本動作

TTnCCRa レジスタは、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTTEQCa）が発生します。

(4) クリア動作

エンコーダ・コンペア・モード時の 16 ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16 ビット・カウンタとコンペア・レジスタの値の一致によるクリア  
（TTnCTL2.TTnECM1, TTnECM0 ビットを設定）
- ・ エンコーダ・クリア入力（TECRn）のエッジ検出クリア  
（TTnIOC3.TTnSCE ビット = 0 時に TTnECS1, TTnECS0 ビットを設定）
- ・ TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア  
（TTnSCE ビット = 1 時に TTnZCL, TTnBCL, TTnACL ビットを設定）

**備考** n = 0, 1, a = 0, 1

## (5) TTnCTL2 レジスタのビット制御

エンコーダ・コンペア・モード時の TTnCTL2 レジスタの設定を次に示します。

表 14-8 TTnCTL2 レジスタの設定

モード	TTnUDS1, TTnUDS0 ビット ( )	TTnECM1 ビット ( )	TTnECM0 ビット ( )	TTnLDE ビット ( )	カウンタ・ クリア (対象の コンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TTnCCR0	-
				1		可能 <sup>※</sup>
		1	0	無効	TTnCCR1	-
			1	無効	TTnCCR0, TTnCCR1	-

注 「0000H-TTnCCR0 レジスタ設定値」範囲内でカウント動作が可能です。

備考 n = 0, 1

## (a) 各ビットの概要

TTnUDS1, TTnUDS0 ビットは、エンコーダ入力端子 (TENCn1, TENCn0) から入力された位相に対して、アップ/ダウン・カウントの判別制御を行います。

TTnECM1, TTnECM0 ビットは、16 ビット・カウンタのカウント値と CCR1, CCR0 バッファ・レジスタの値が一致した場合の 16 ビット・カウンタのクリアを制御します。

TTnLDE ビットは、アンダフローが発生したときに、TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送する機能を制御します。TTnLDE ビットは、TTnECM1, TTnECM0 ビットが 00, 01 時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

TTnUDS1, TTnUDS0 ビット : アップ/ダウン・カウントの選択

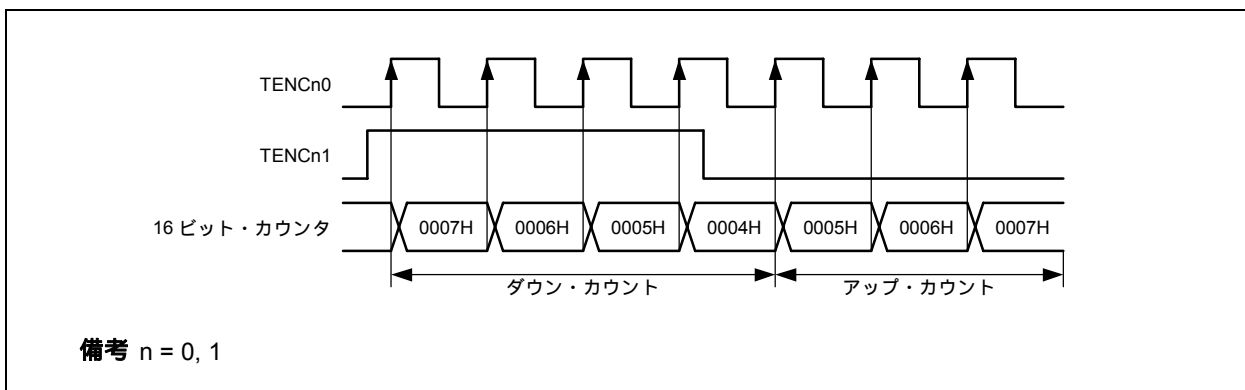
TTnUDS1, TTnUDS0 ビット設定と TENCn1, TENCn0 端子から入力された位相により, アップ/ダウン・カウントを判別します。TTnUDS1, TTnUDS0 ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TTnUDS1, TTnUDS0 ビット = 00 時

TENCn0 端子	TENCn1 端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロー・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENCn0 端子のエッジ検出は, TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定します。

図 14-47 動作例 (TENCn0 端子の有効エッジが立ち上がりエッジ指定, TENCn1 端子の有効エッジがエッジ検出なしの場合)



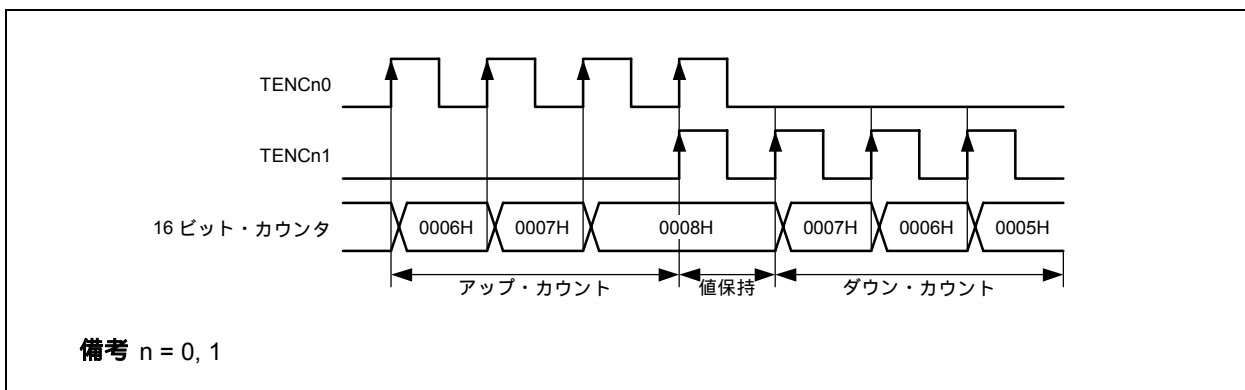


・ TTnUDS1, TTnUDS0 ビット = 01 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち上がりエッジ	ダウン・カウント
	立ち下がりエッジ	
	両エッジ	
ハイ・レベル	立ち上がりエッジ	アップ・カウント
	立ち下がりエッジ	
	両エッジ	
立ち上がりエッジ	ハイ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロー・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
TENCn0, TENCn1 端子同時入力		カウント動作は行わず，直前の値を保持

備考 TENCn0, TENCn1 端子のエッジ検出は，TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定します。

図 14-48 動作例 (TENCn0, TENCn1 端子の有効エッジが立ち上がりエッジ指定の場合)



・ TTnUDS1, TTnUDS0 ビット = 10 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち下がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	ロー・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ		
ハイ・レベル	立ち下がりエッジ	アップ・カウント
立ち下がりエッジ	ロー・レベル	
ロー・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	立ち下がりエッジ	
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

備考 TENCn0 端子と TENCn1 端子の有効エッジ指定は無効となります。

図 14-49 動作例 (TENCn0, TENCn1 端子の有効エッジが重ならない場合のカウント動作)

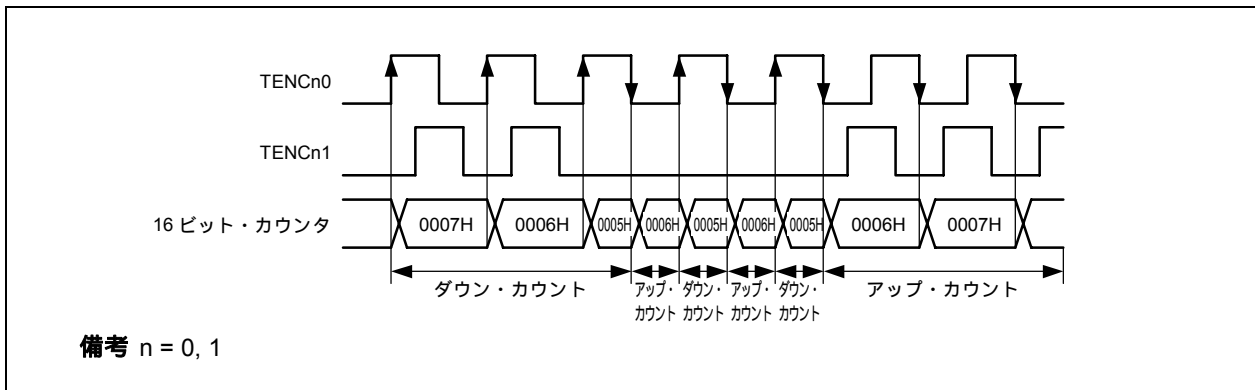
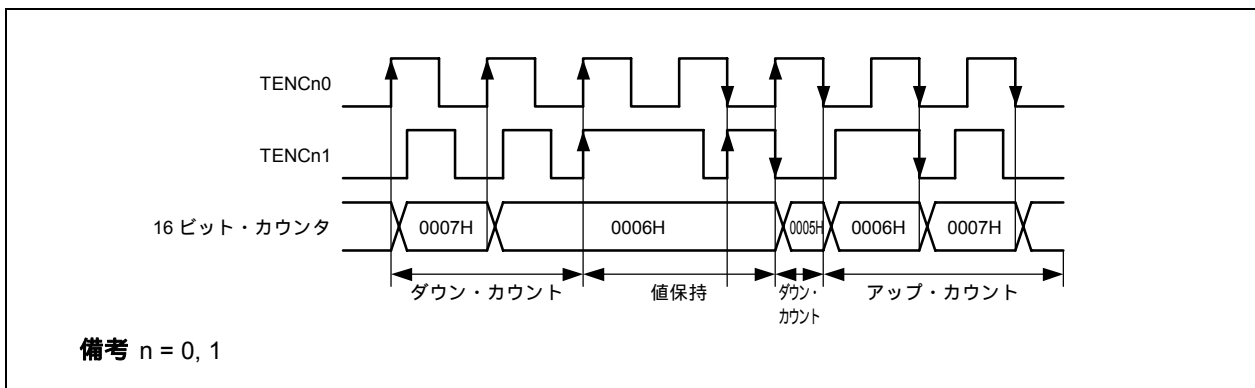


図 14-50 動作例 (TENCn0, TENCn1 端子の有効エッジが重なった場合のカウント動作)



・ TTnUDS1, TTnUDS0 ビット = 11 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロー・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ		アップ・カウント
ハイ・レベル	立ち下がりエッジ	
立ち下がりエッジ	ロー・レベル	
ロー・レベル	立ち上がりエッジ	
TENCn0, TENCn1 端子同時入力		カウント動作は行わず， 直前の値を保持

備考 TENCn0 端子と TENCn1 端子の有効エッジ指定は無効となります。

図 14-51 動作例 (TENCn0, TENCn1 端子の有効エッジが重ならない場合のカウント動作)

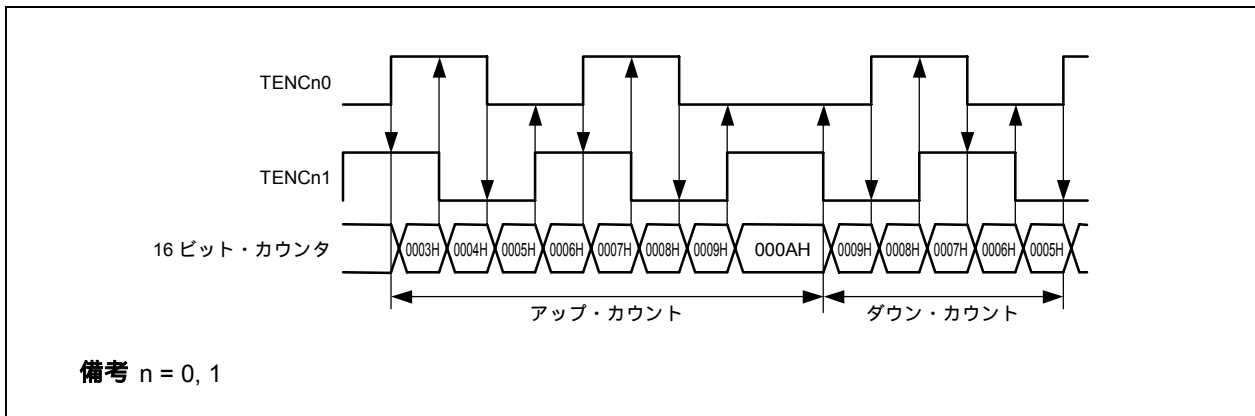
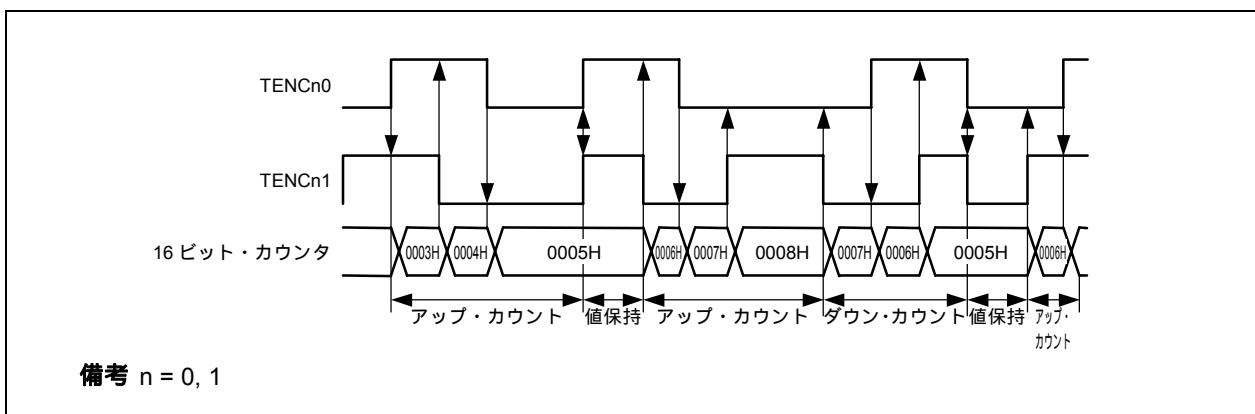


図 14-52 動作例 (TENCn0, TENCn1 端子の有効エッジが重なった場合のカウント動作)



TTnECM1, TTnECM0 ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能  
16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタの値が一致したときに TTnECM1, TTnECM0 ビットの設定値に従い、カウンタ動作を行います。

- ・ TTnECM1, TTnECM0 ビット = 00 時  
16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタの値の一致によるカウンタ・クリアを行わない。
- ・ TTnECM1, TTnECM0 ビット = 01 時  
16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタを 0000H にクリアする。
ダウン・カウンタ	16 ビット・カウンタのカウンタ値をダウン・カウントする

- ・ TTnECM1, TTnECM0 ビット = 10 時  
16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16 ビット・カウンタを 0000H にクリアする

- ・ TTnECM1, TTnECM0 ビット = 11 時  
16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタを 0000H にクリアする
ダウン・カウンタ	16 ビット・カウンタのカウンタ値をダウン・カウントする

16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16 ビット・カウンタを 0000H にクリアする

TTnLDE ビット：アンダフロー発生時の TTnCCR0 レジスタ設定値の 16 ビット・カウンタへの転送機能

TTnLDE ビット = 1 に設定することにより，アンダフロー発生時に TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送することができます。

TTnLDE ビットは，エンコーダ・コンペア・モード時のみ有効です。

・「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作

TTnLDE ビット = 1, TTnECM1, TTnECM0 ビット = 01 に設定し，カウント動作を行うと，TTnECM0 ビット = 1 のときに 16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値の一致発生後，次のカウントがアップ・カウントの場合に 16 ビット・カウンタが 0000H にクリアされます。

TTnLDE ビット = 1 のときにアンダフロー発生時に TTnCCR0 レジスタ設定値が 16 ビット・カウンタに転送されます。

したがって，TTnCCR0 レジスタ設定値をカウント上限値，0000H をカウント下限値とした「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作が実現できます。

図 14-53 動作例（「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作）

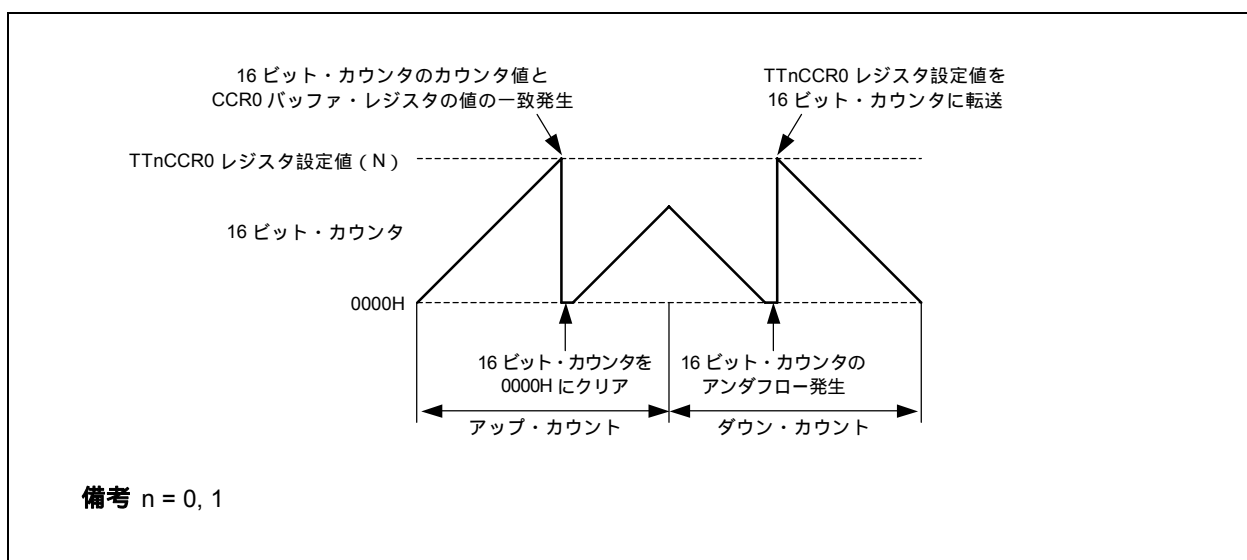
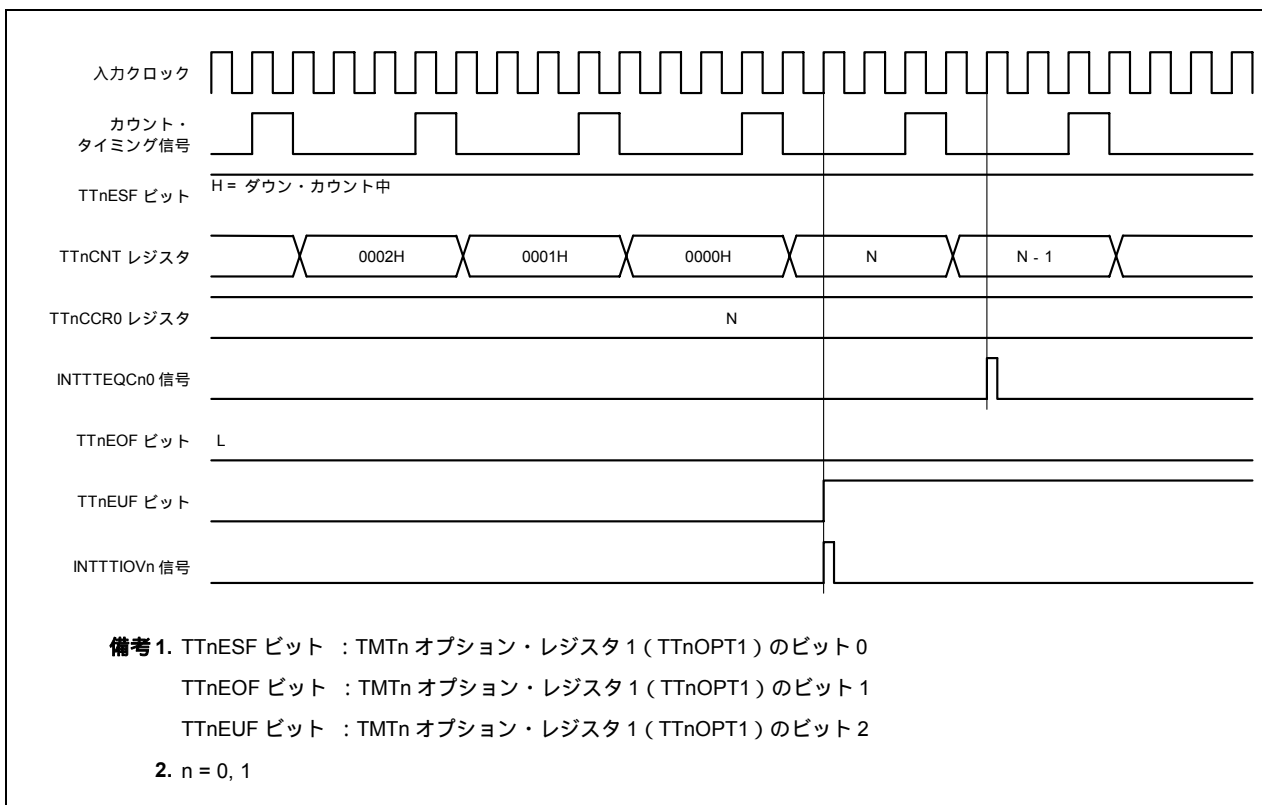


図 14-54 動作タイミング (「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作)



## (6) エンコーダ・クリア信号 (TECRn 端子) によるカウンタの 0000H クリア機能

TECRn 端子入力により 16 ビット・カウンタを 0000H にクリアする方法は 2 種類あり、TTnIOC3.TTnSCE ビットにより制御されます。また、TTnSCE ビットは、その設定により TTnIOC3.TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0 ビットを制御します。

これらのクリア方法は、エンコーダ・コンペア・モード時のみ有効です。

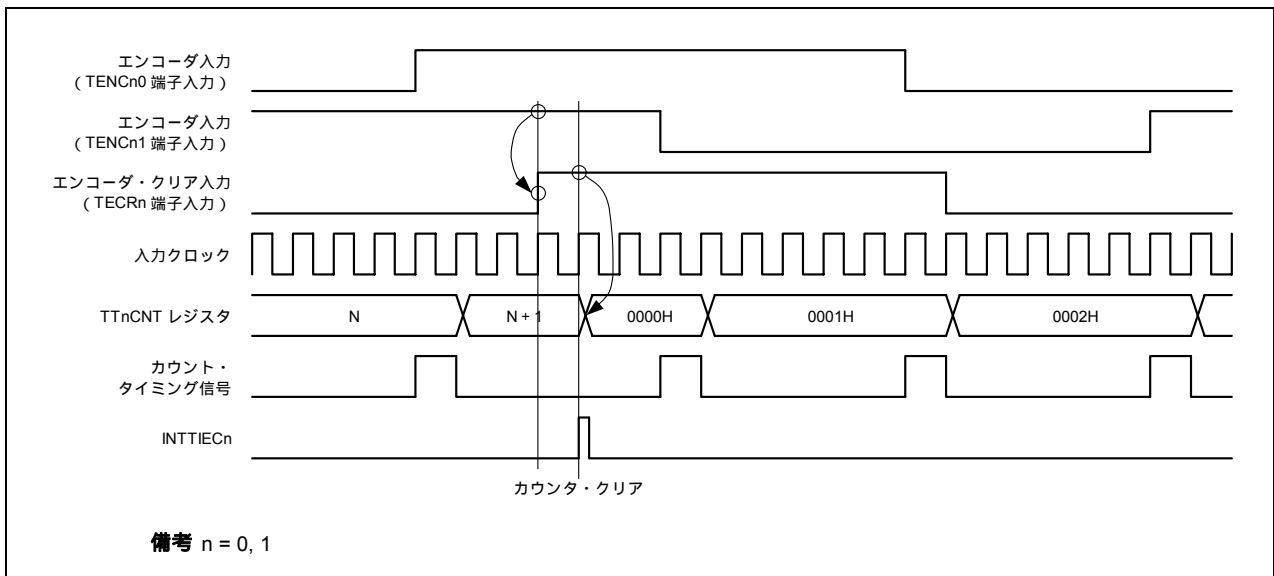
表 14-9 TTnSCE ビットと TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0 ビットの関係

クリア方法	TTnSCE ビット	TTnZCL ビット	TTnBCL ビット	TTnACL ビット	TTnECS1, TTnECS0 ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

## (a) クリア方法 : エンコーダ・クリア信号 (TECRn 端子) のエッジ検出クリア (TTnSCE ビット = 0)

TTnSCE ビット = 0 のとき、TTnECS1, TTnECS0 ビットで指定した TECRn 端子の有効エッジ検出により、入力クロックに同期して 16 ビット・カウンタを 0000H にクリアします。このとき、エンコーダ・クリア割り込み要求信号 (INTTIECn) が発生します。なお、TTnSCE ビット = 0 のとき、TTnZCL, TTnBCL, TTnACL ビットの設定は無効です。

図 14-55 動作例 (TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 01, TTnUDS1, TTnUDS0 ビット = 11 の場合)



- (b) クリア方法 : TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア (TTnSCE ビット = 1)

TTnSCE ビット = 1 のとき, TTnZCL, TTnBCL, TTnACL ビットで設定した TECRn, TENCn0, TENCn1 端子のクリア・レベル条件検出により 16 ビット・カウンタを 0000H にクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECn) は発生しません。なお, TTnSCE ビット = 1 のとき, TTnECS1, TTnECS0 ビットの設定は無効です。

表 14-10 TTnSCE ビット = 1 のときの 16 ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TTnZCL ビット	TTnBCL ビット	TTnACL ビット	TECRn 端子	TENCn1 端子	TENCn0 端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

注意 TTnZCL, TTnBCL, TTnACL ビットのクリア・レベル条件と, TECRn, TENCn1, TENCn0 端子の入力レベルが一致したときに 16 ビット・カウンタを 0000H にクリアします。

備考 n = 0, 1



図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (1/3)

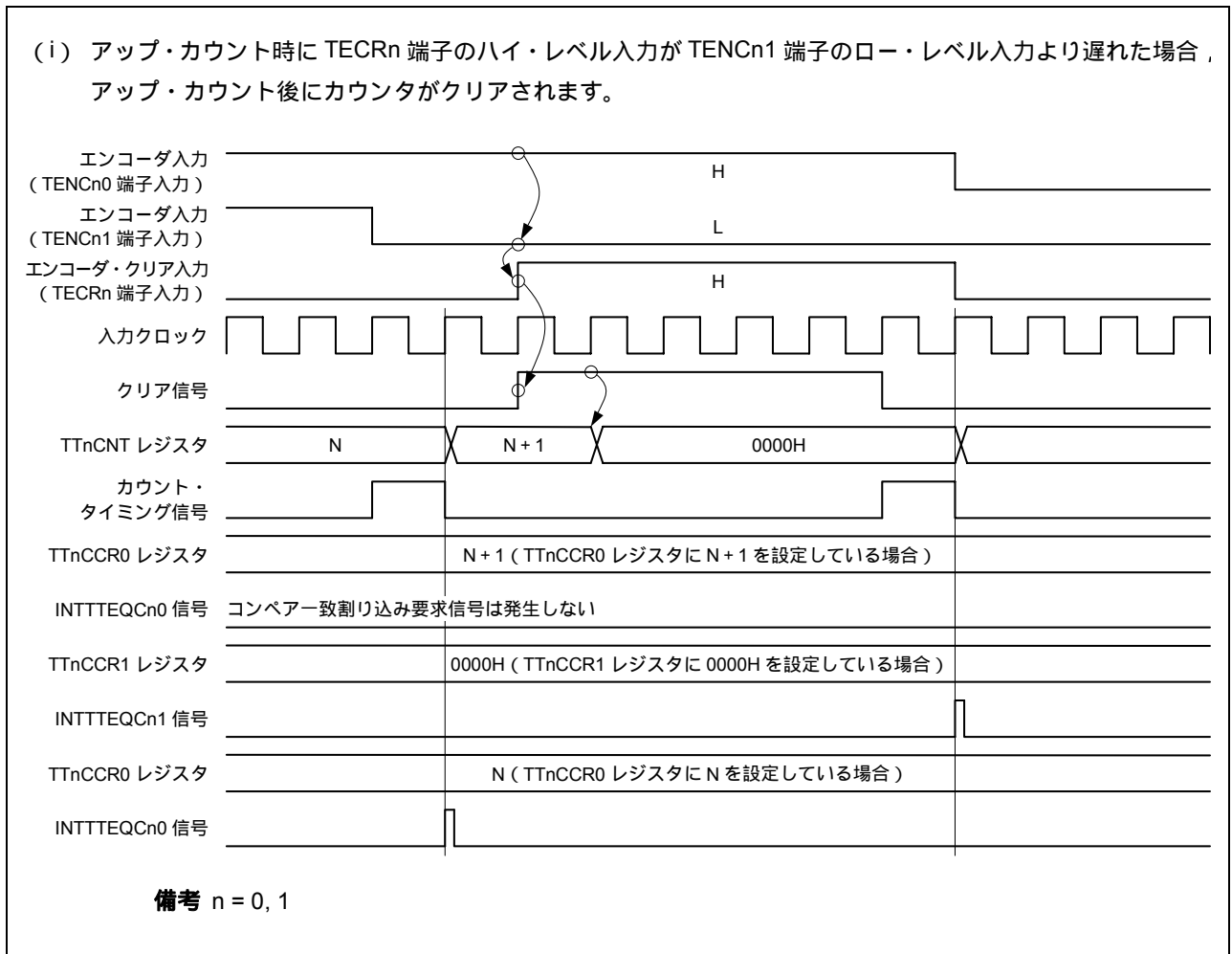


図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (2/3)

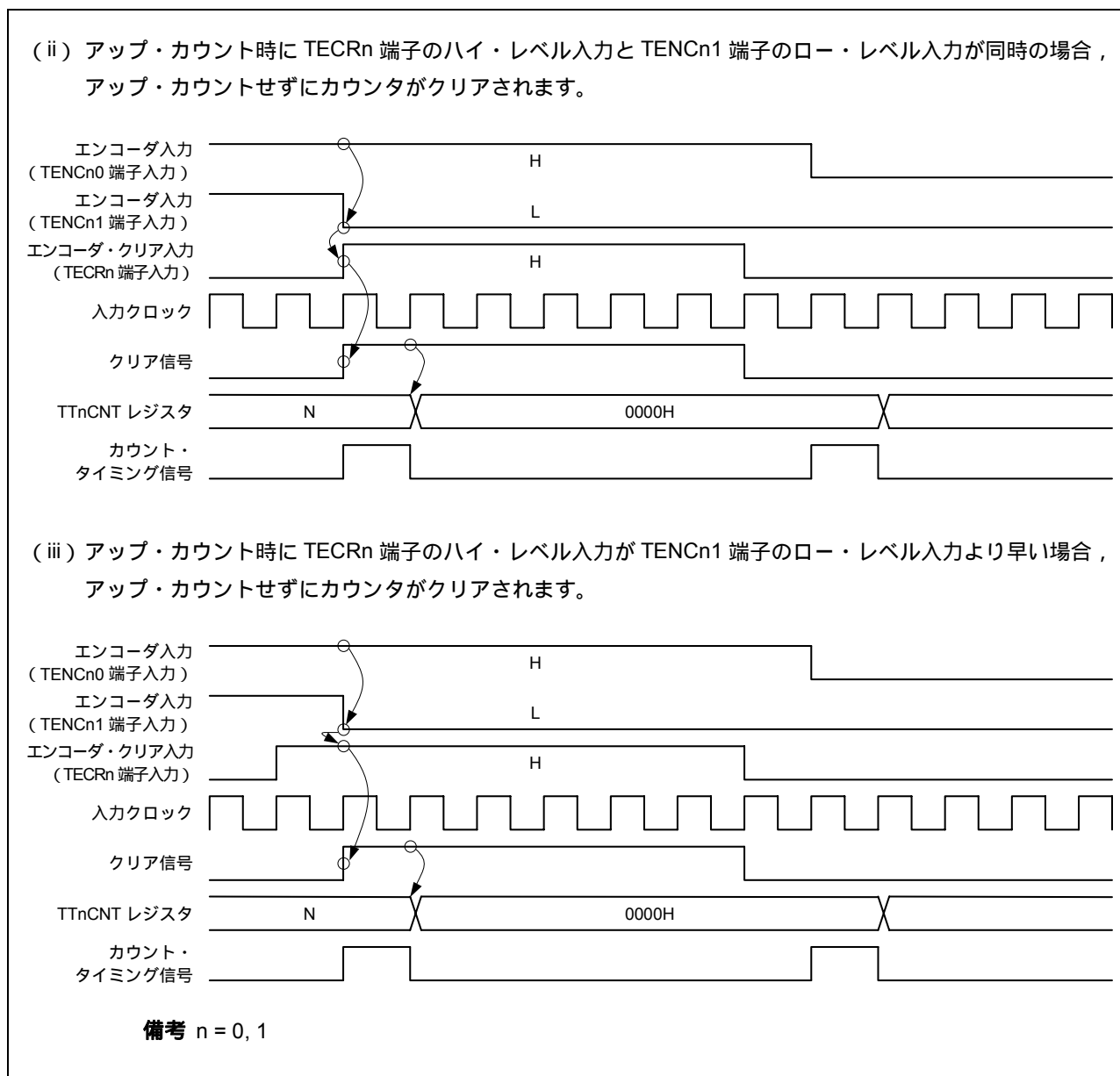
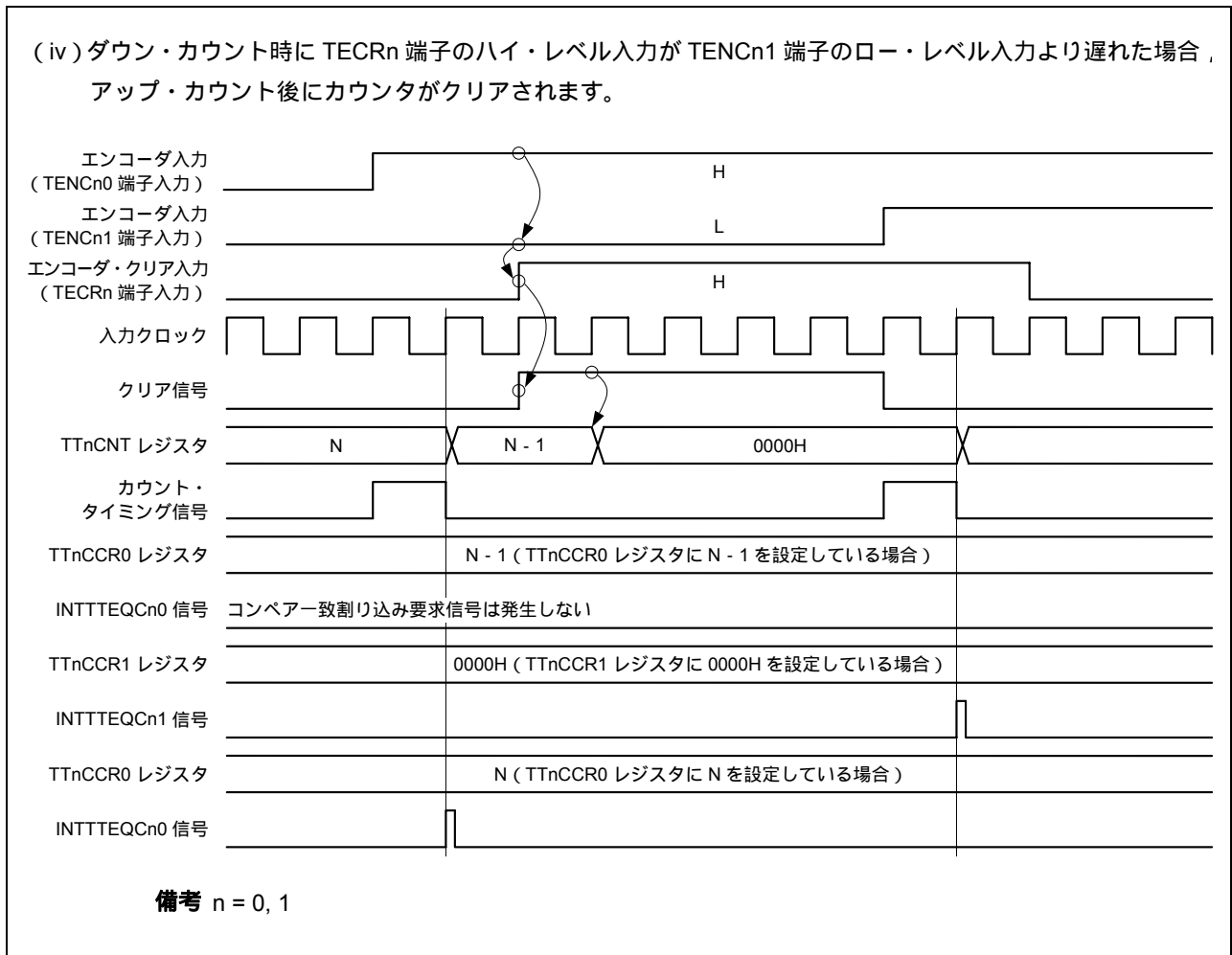


図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (3/3)

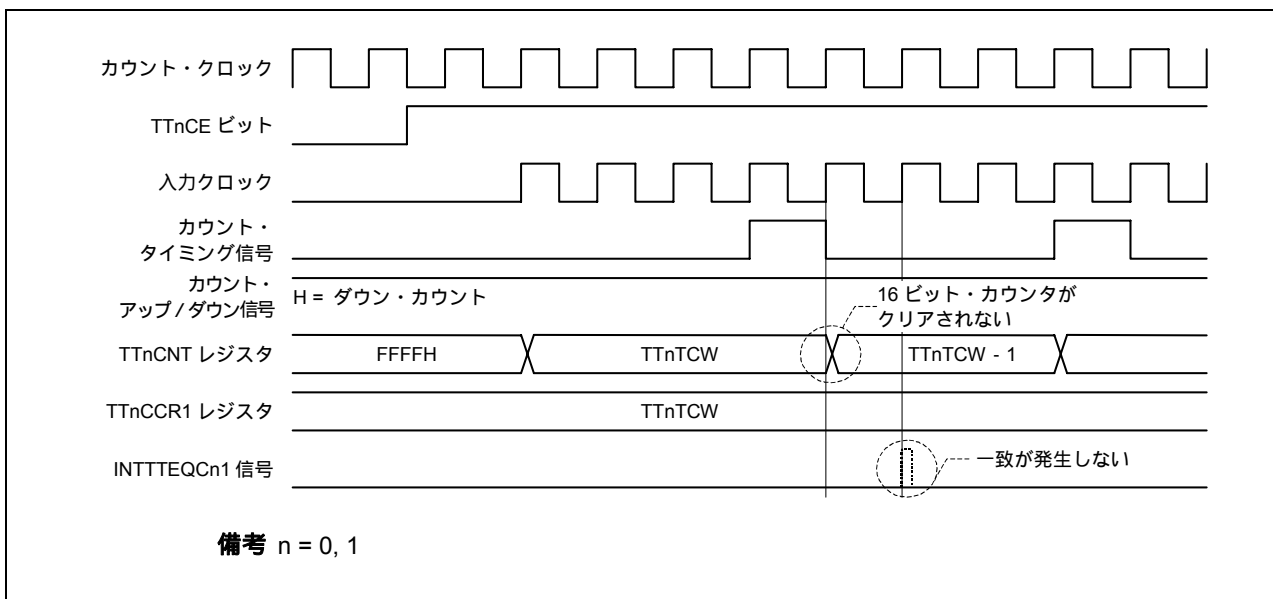


このクリア方法では,TECRn, TENCn1, TENCn0 端子入力のクリア・レベル条件を設定し,クリア・レベル条件の検出により 16 ビット・カウンタを 0000H にクリアするため,TECRn 端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンペア一致の未発生

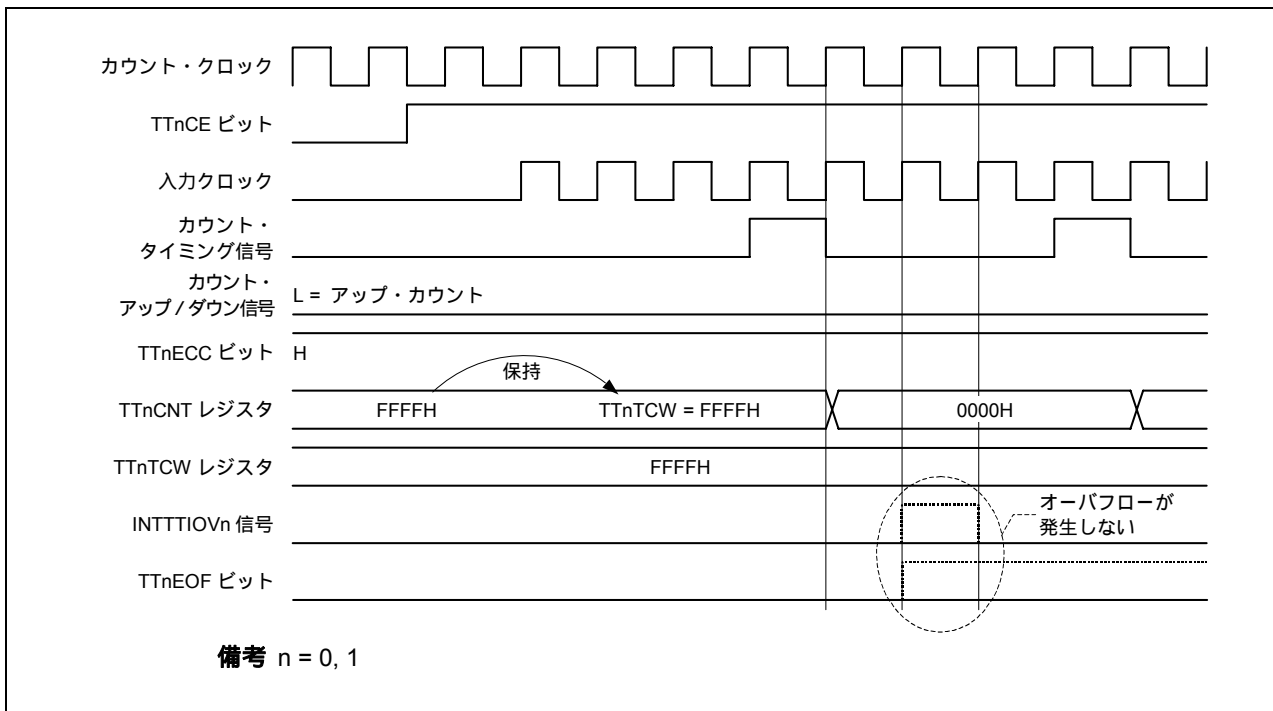
TTnCCR0 レジスタまたは TTnCCR1 レジスタに TTnTCW レジスタと同じ値を設定し  
 TTnCTL2.TTnECC ビット = 0 時にカウンタ動作を開始した場合、動作開始直後の 16 ビット・カウンタのカウンタ値 (TTnTCW) と CCRa バッファ・レジスタの値が一致すると、一致はマスクされ、コンペア一致割り込み要求信号 (INTTTEQCna) は発生しません (a = 0, 1)。また、TTnCTL2.TTnECM1, TTnECM0 ビットの設定による 16 ビット・カウンタの 0000H クリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TTnCTL2.TTnECC ビット = 1 時にカウンタ動作を再開した場合、16 ビット・カウンタの保持していたカウント値が FFFFH で次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TTnTCW レジスタ値 = FFFFH) での動作開始後、カウント・アップした場合、カウンタ動作は FFFFH 0000H となりオーバーフローが発生となりますが、オーバーフロー検出がマスクされてしまい、オーバーフロー・フラグ (TTnEOF) はセットされず、オーバーフロー割り込み要求信号 (INTTTIOVn) も発生しません。



### 14.6.11 エンコーダ・コンペア・モード (TTnMD3-TTnMD0 ビット = 1000)

エンコーダ・コンペア・モードは、TTnCCR0, TTnCCR1 レジスタをとともにコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENCn0, TENCn1, TECRn) により、エンコーダ制御を実現します。

クリア動作としては 3 つの条件があります。16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値の一致によるクリア (コンペアー一致割り込み要求信号 (INTTTEQCna) を発生)、エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア、TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリアにより、16 ビット・カウンタを 0000H にクリアします。

アンダフロー発生時に TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送することができます。

#### (1) エンコーダ・コンペア・モード動作フロー

図 14-57 エンコーダ・コンペア・モード動作フロー

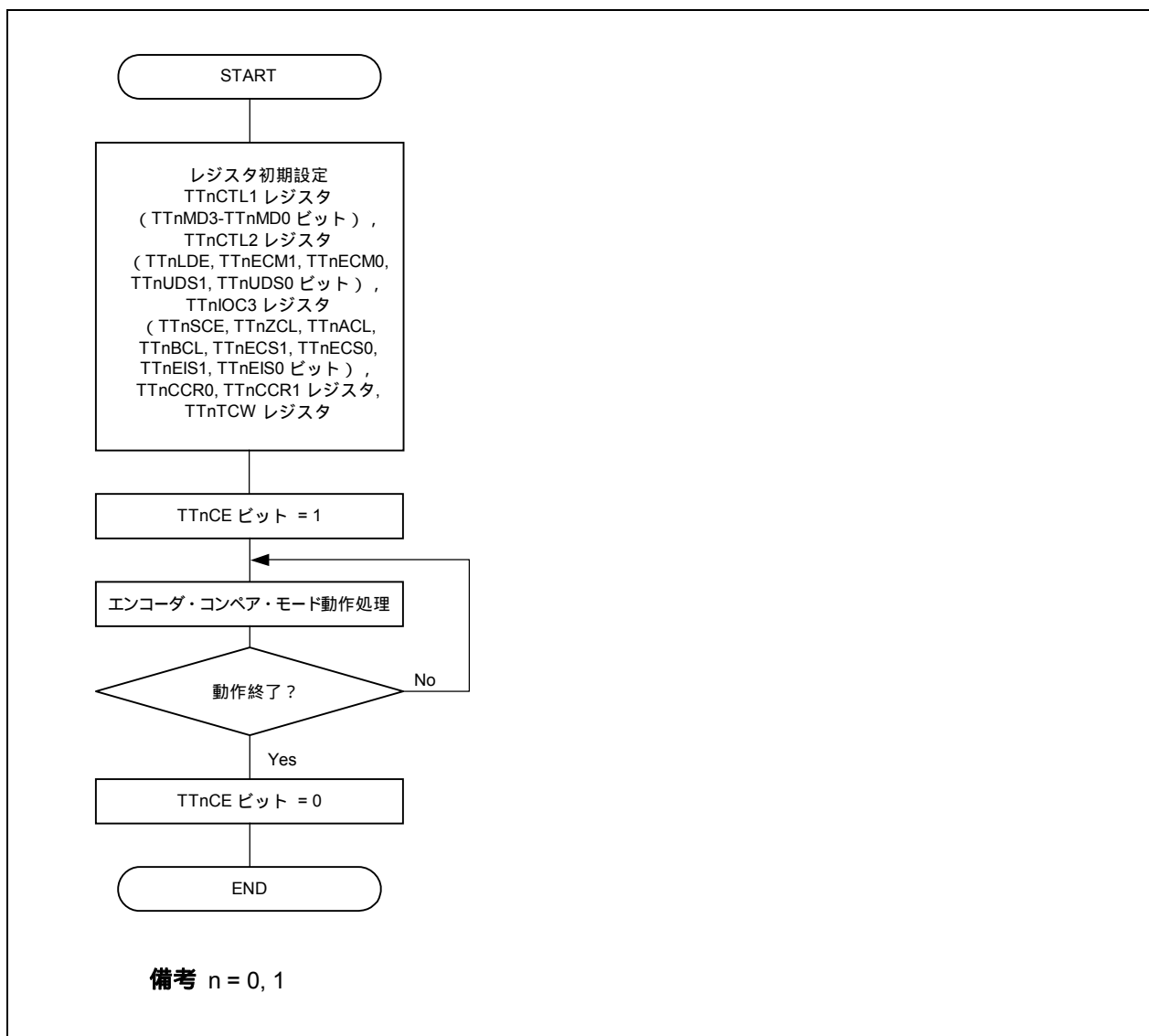
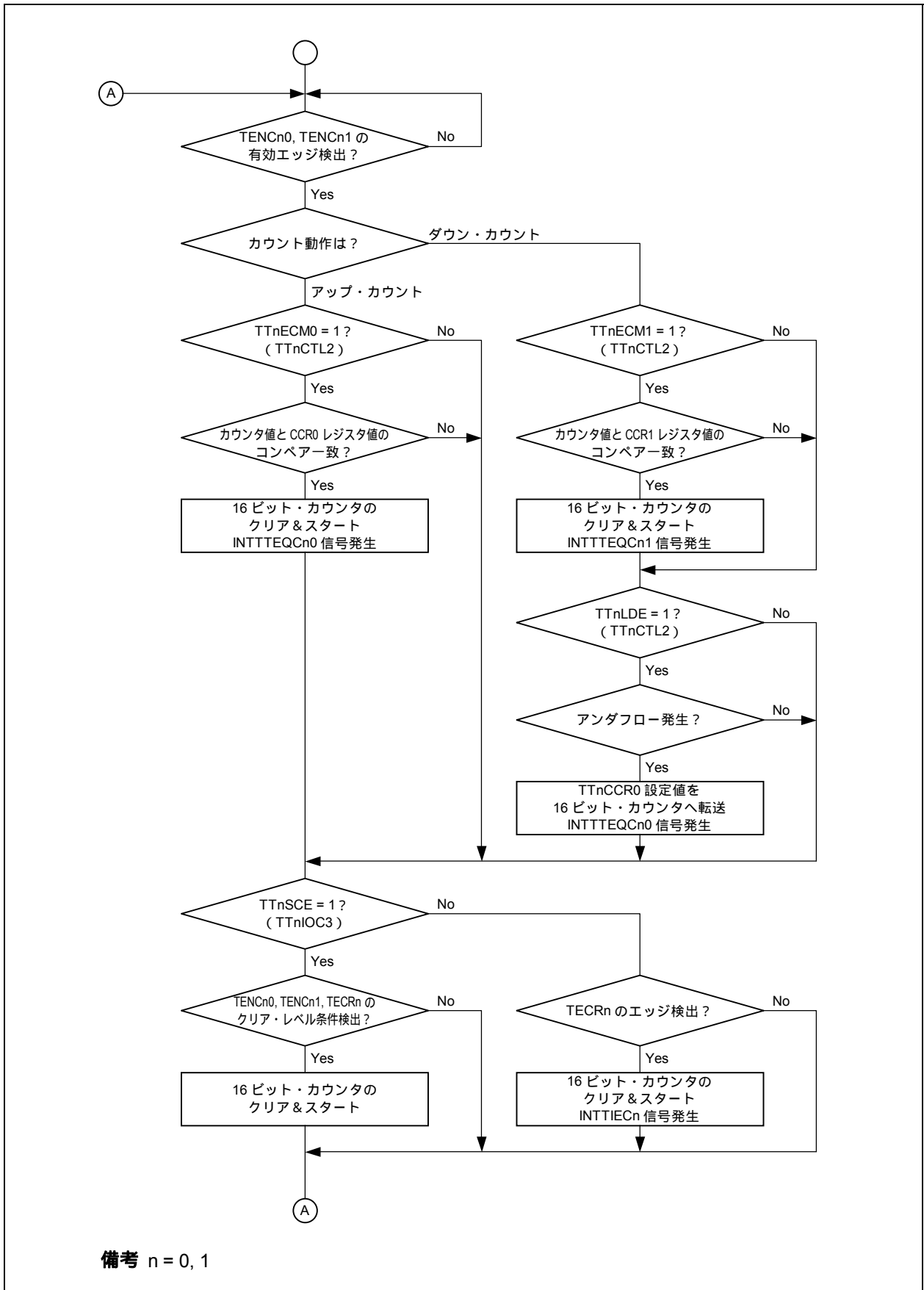


図 14-58 エンコーダ・コンペア・モード動作処理

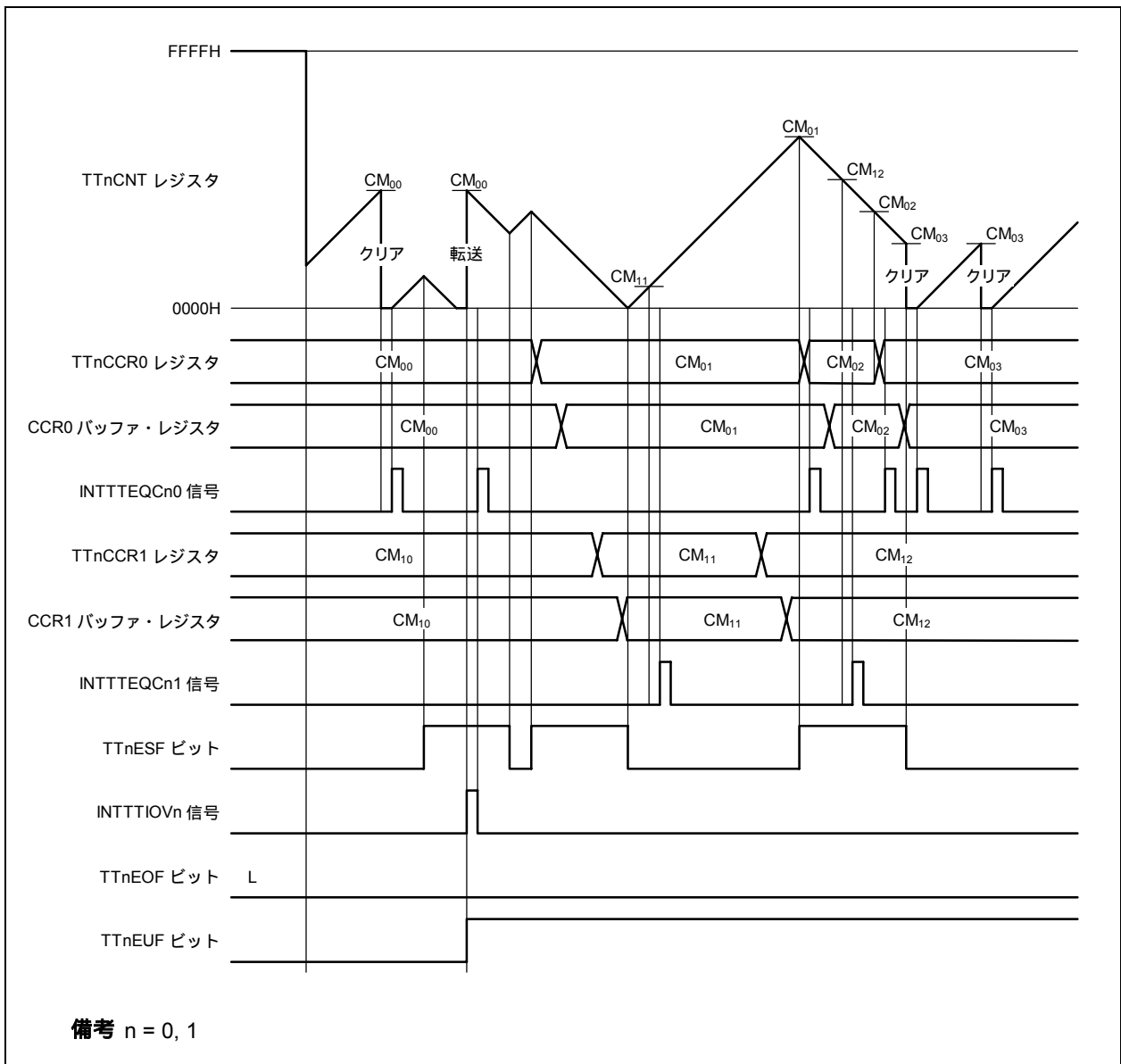


## (2) エンコーダ・コンペア・モード動作タイミング

## (a) 基本タイミング 1

## 【レジスタ設定条件】

- ・ TTnCTL2.TTnECM1, TTnECM0 ビット = 01  
16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- ・ TTnCTL2.TTnLDE ビット = 1  
アンダフロー発生時, TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送する。
- ・ TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00  
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。





動作開始時(TTnCE ビット = 0 1)に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn0) が発生します。TTnECM0 ビット = 1 のため、次のカウント動作がアップ・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

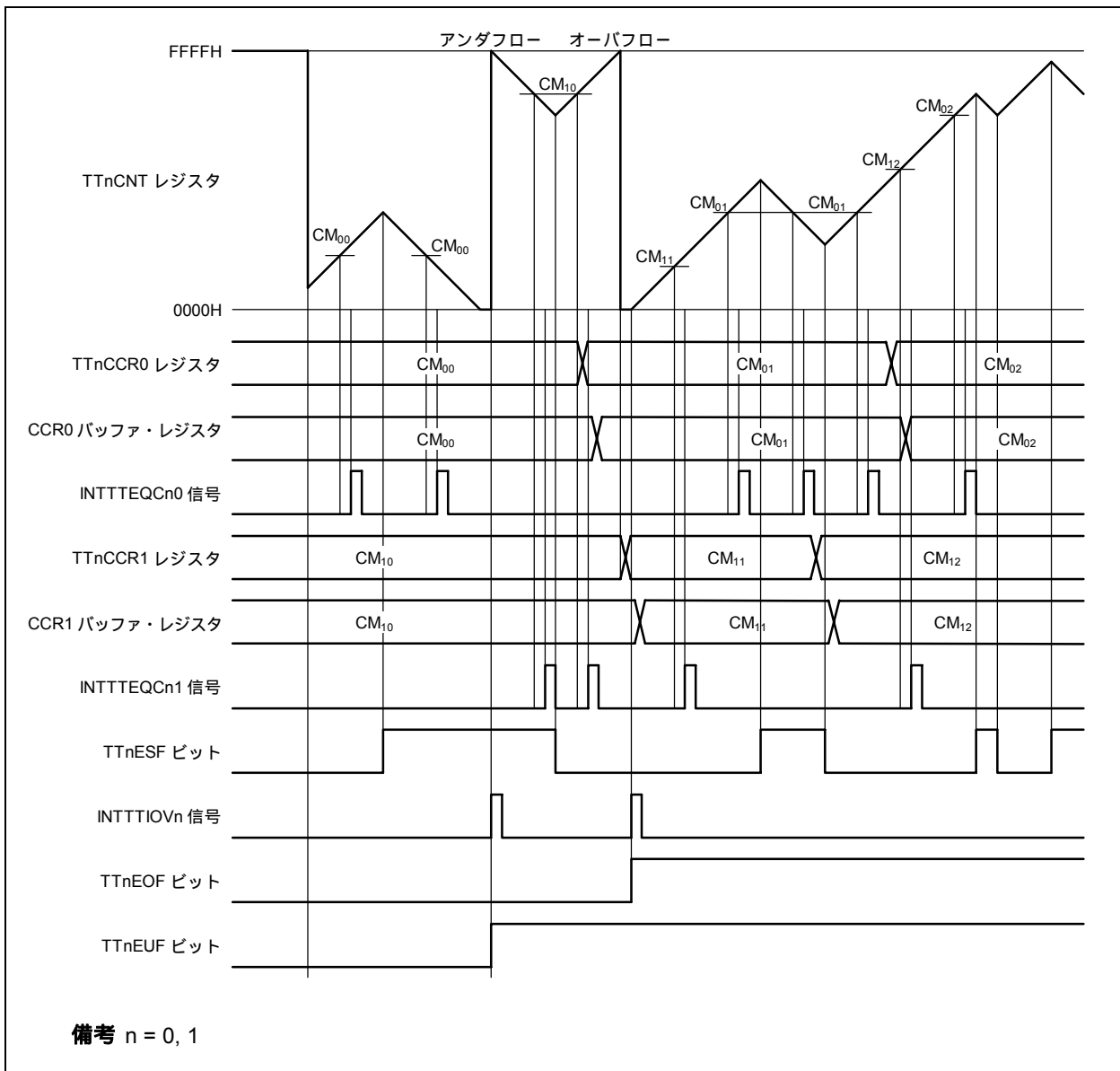
16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。TTnECM1 ビット = 0 のため、一致条件では 16 ビット・カウンタは 0000H にクリアされません。

また、TTnLDE ビット = 1, TTnECM0 ビット = 1 の設定により、「0000H-TTnCCR0 レジスタ設定値」範囲内でカウント動作が可能です。

(b) 基本タイミング 2

【レジスタ設定条件】

- TTnCTL2.TTnECM1, TTnECM0 ビット = 00  
16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- TTnCTL2.TTnLDE ビット = 0  
アンダフロー発生時, TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送しない。
- TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00  
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時( TTnCE ビット = 0 1)に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn0) が発生します。

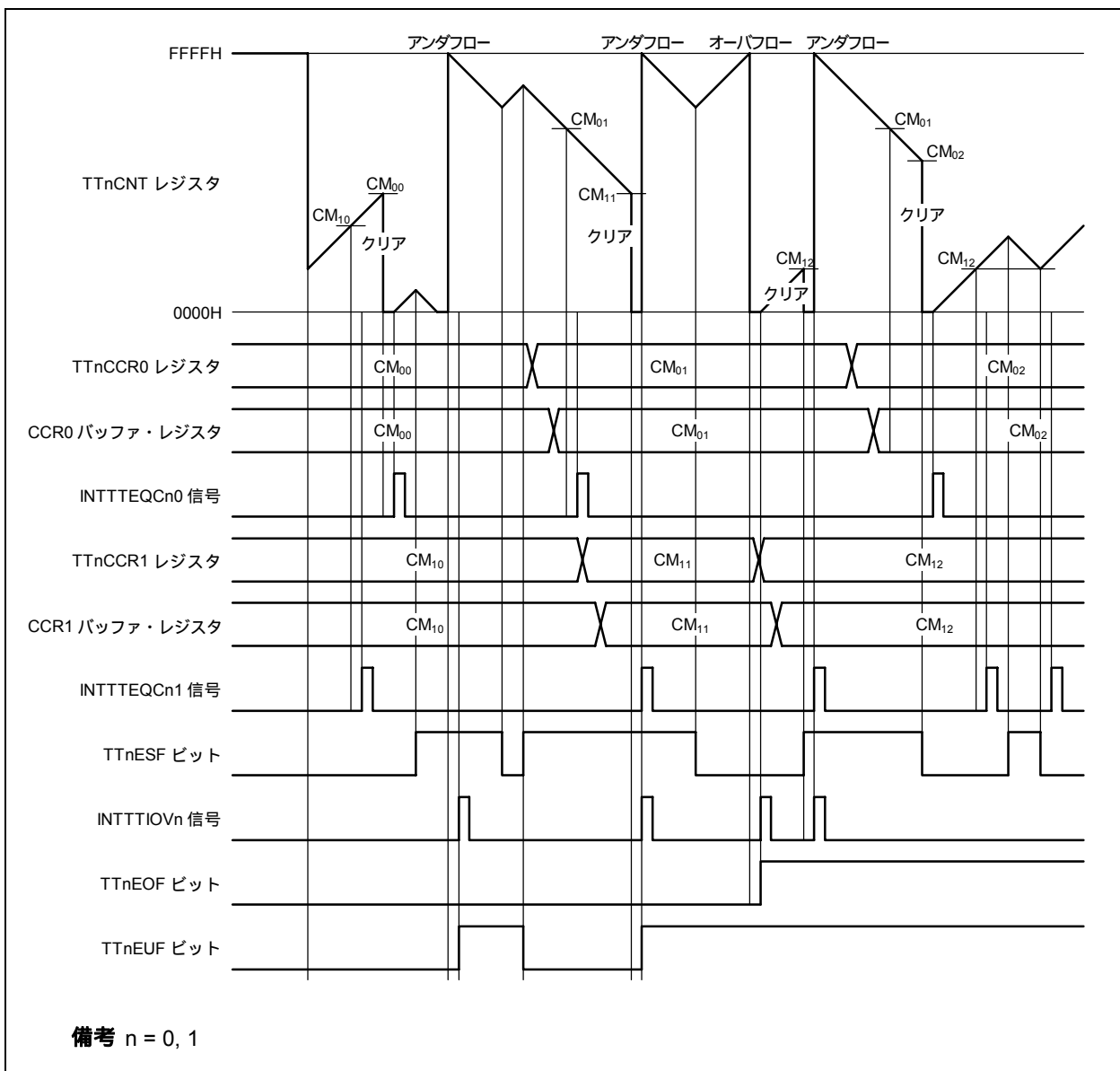
16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

また、TTnECM1, TTnECM0 ビット = 00 のため、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタとの一致では、16 ビット・カウンタは 0000H にクリアされません (a = 0, 1)。

(c) 基本タイミング 3

【レジスタ設定条件】

- ・ TTnCTL2.TTnECM1, TTnECM0 ビット = 11  
16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- ・ 16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- ・ TTnCTL2.TTnLDE ビットの設定無効
- ・ TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00  
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時( TTnCE ビット = 0 1)に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 ( INTTTEQCn0 ) が発生します。このとき、次のカウント動作がアップ・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 ( INTTTEQCn1 ) が発生します。このとき、次のカウント動作がダウン・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

## 14.7 注意事項

### (1) 外部入力信号の注意事項

TMT の外部入力信号 (TENCn0, TENCn1, TECRn, TRGTn, EVTTn) は, TMTn 制御レジスタ 0 (TTnCTL0) の TTnCKS2-TTnCKS0 ビットが 000b のときのクロックでサンプリングされます。

有効な信号として入力するためには, ハイ・レベル幅, ロー・レベル幅とも, このサンプリング・クロックの 2 クロック以上の幅が必要です。

また, これらの入力はノイズ・フィルタを経由し, ノイズ・フィルタ段数を  $0 \times \text{HCLK}$  に設定した場合でも HCLK に対する同期化が行われるため, ハイ・レベル幅, ロー・レベル幅とも, システム・バス・クロック (HCLK) の 2 クロック以上の幅が必要です。ノイズ・フィルタの段数を  $0 \times \text{HCLK}$  以外に設定している場合は, 設定に応じたハイ・レベル幅, ロー・レベル幅が必要です。

表 14-11 の +10ns は, この論理的に必要な幅に加えたマージンです。

表 14-11 TMT の外部入力信号の最小ハイ・レベル幅, ロー・レベル幅

項目	TMT の外部入力信号の最小ハイ・レベル幅, ロー・レベル幅 (ns)
ノイズ・フィルタによる条件	(設定除去クロック数 + 1) / PCLK + 10
TMT のサンプリング・クロックによる条件	(TTnCKS2-TTnCKS0 = 000b 時に選択されるクロックの 2 周期) + 10

### (2) TMT から発生する割り込み信号について

内部の割り込みコントローラや, DMA コントローラとの同期化のため, TMT から発生する割り込み信号のパルス幅の拡幅を行っています。このため TMT から発生する同一の割り込み信号の間隔が, TMT 入力クロック (TMTCLK: PCLK または OSCCLK) の 4 クロック以下場合は, 正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには, TTnCTL0 レジスタの TTnCKS2-TTnCKS0 ビットを 011 以上 (入力クロック / 8 以上) としてください。この制限事項は TMT から割り込みコントローラ, DMA コントローラへの割り込み出力に限った制限事項です。

★

### (3) TTnOPT0, TTnOPT1 レジスタに対するビット操作について

TTnOPT0, TTnOPT1 レジスタに対するビット操作では, リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

### (4) 16 ビット・レジスタの 8 ビット・アクセスについて

TMT のレジスタは, 内部システム・バスのブリッジを経由してアクセスされます。このため, 内部システム・バスとブリッジの仕様により, 16 ビット・レジスタの上位 8 ビットと下位 8 ビットを, それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば, ある 16 ビット・レジスタが, XXXX 0010H に配置されている場合, 一般的にはそのレジスタの下位 8 ビットは, XXXX 0010H, 上位 8 ビットは XXXX 0011H でアクセスされますが, TMT のレジスタでは, 下位 8 ビットは, XXXX 0012H, 上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし, 8/1 ビット・アクセスが許可されているレジスタに限ります。

## 第15章 ウォッチドッグ・タイマ機能

### 15.1 機 能

リセット・モード

タイマのオーバフローにより，リセットを発生。

NMI (FEINT) 割り込み，WDTOUTZ 出力モード

タイマのオーバフローにより，NMI (FEINT) を発生し，同時に WDTOUTZ (P27, P83 と兼用) にロー・レベル出力。

インターバル・タイマ・モード

タイマのオーバフローにより，インターバル割り込み (INTWDT) を発生。

タイマのオーバフロー時間を選択可能

**注意** ウォッチドッグ・タイマは，リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合は WDTM レジスタに“ACH”を書き込むことで動作を開始します。また，デフォルトの設定 (リセット・モード，インターバル時間：WDCS3 ビットで選択したクロックの周期×2<sup>16</sup>) で変更する必要がない場合も，動作を確定するために WDTM レジスタに 1 回だけ書き込みを行ってください。

- 備考** 1. WDTOUTZ はロー・アクティブ出力で，P27, P83 に兼用されています。外部端子に出力する場合は P83，SiP 内部接続で利用する場合は P27 を利用してください。
2. 一度 WDTOUTZ にロー・レベルが出力されると，RESETZ 端子からのリセット入力までロー・レベルから変化しません。

## 15.2 構 成

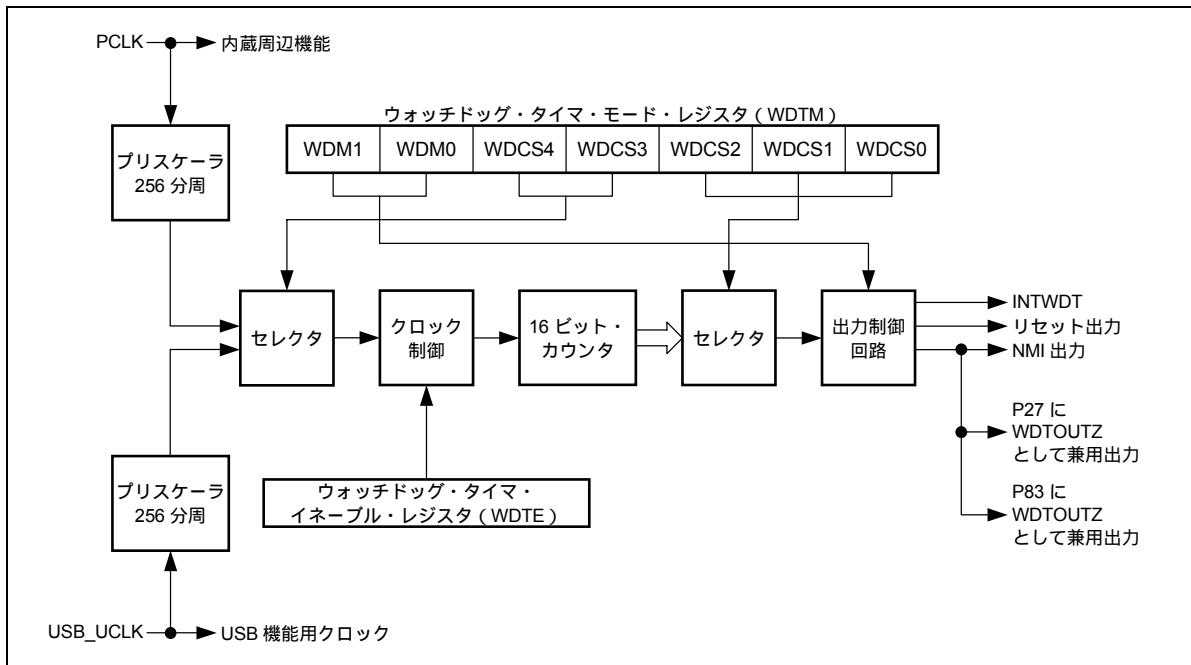
ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 15-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

次にウォッチドッグ・タイマのブロック図を示します。

図 15-1 ウォッチドッグ・タイマのブロック図



**注意** USB\_UCLK は IDLE モードで停止しないため、IDLE モードでもウォッチドッグ・タイマのカウンタ動作が継続されます。

ウォッチドッグ・タイマをインターバル・タイマ・モード以外に設定し、IDLE モードを利用する場合は、USB\_UCLK はウォッチドッグ・タイマのカウンタ・クロックに選択しないでください。



## 15.3 制御レジスタ

### (1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間 (インターバル時間) および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより 67H になります。

								アドレス	初期値	
WDTM	7	6	5	4	3	2	1	0	0F1C 0002H	67H
	0	WDM1	WDM0	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0		
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																				
6, 5	WDM1, WDM0	ウォッチドッグ・タイマの動作モードを選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>WDM1</th> <th>WDM0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インターバル・タイマ・モード (INTWDT)</td> </tr> <tr> <td>0</td> <td>1</td> <td>NMI (FEINT) 割り込み, WDTOUTZ 出力モード</td> </tr> <tr> <td>1</td> <td>X</td> <td>リセット・モード</td> </tr> </tbody> </table>	WDM1	WDM0	動作モード	0	0	インターバル・タイマ・モード (INTWDT)	0	1	NMI (FEINT) 割り込み, WDTOUTZ 出力モード	1	X	リセット・モード																								
WDM1	WDM0	動作モード																																				
0	0	インターバル・タイマ・モード (INTWDT)																																				
0	1	NMI (FEINT) 割り込み, WDTOUTZ 出力モード																																				
1	X	リセット・モード																																				
4	WDCS4	ウォッチドッグ・タイマの動作許可を選択します。 0: 動作許可 1: 動作停止																																				
3	WDCS3	ウォッチドッグ・タイマの入力クロックを選択します。 0: 周辺マクロ・クロック (PCLK) / 2 <sup>8</sup> 1: USB_UCLK 入力クロック / 2 <sup>8</sup>																																				
2-0	WDCS2- WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間を選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>WDCS2</th> <th>WDCS1</th> <th>WDCS0</th> <th>ウォッチドッグ・タイマ/インターバル・タイマの オーバフロー時間選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>9</sup></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>10</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>11</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>12</sup></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>13</sup></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>14</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>15</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>WDCS3 ビットで選択したクロックの周期 × 2<sup>16</sup></td> </tr> </tbody> </table>	WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマの オーバフロー時間選択	0	0	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>9</sup>	0	0	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>10</sup>	0	1	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>11</sup>	0	1	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>12</sup>	1	0	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>13</sup>	1	0	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>14</sup>	1	1	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>15</sup>	1	1	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>16</sup>
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマの オーバフロー時間選択																																			
0	0	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>9</sup>																																			
0	0	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>10</sup>																																			
0	1	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>11</sup>																																			
0	1	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>12</sup>																																			
1	0	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>13</sup>																																			
1	0	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>14</sup>																																			
1	1	0	WDCS3 ビットで選択したクロックの周期 × 2 <sup>15</sup>																																			
1	1	1	WDCS3 ビットで選択したクロックの周期 × 2 <sup>16</sup>																																			

**注意** ビット 7, 4, 3 には必ず 0 を設定してください。

## (2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTE レジスタに “ACH” を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8 ビット単位でリード/ライト可能です。

リセットにより 1AH になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDTE	0	0	0	0	0	0	0	0	0F1C 0007H	1AH
R/W	R/W	0	0	1	1	0	1	0		

- 注意 1.** WDTE レジスタに “ACH” を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTE レジスタに “ACH” 以外の値を書き込んだ場合、WDTM.WDM1, WDM0 ビットの指定によりウォッチドッグ・タイマのオーバーフローによる NMI (FEINT) 割り込み要求信号、WDTOUTZ へのローレベル出力、またはウォッチドッグ・タイマのオーバーフローによるリセット信号が発生します。
- 2.** WDTE レジスタに 1 ビット単位でリード/ライトを実行した場合、内部リセット信号が発生しません。
- 3.** WDTE レジスタのリード値は、ウォッチドッグ・タイマ動作前は “1AH”、動作後は “9AH” です。書き込んだ値 (ACH) とは異なります。

## 15.4 動作

### (1) ウォッチドッグ・タイマ機能

#### (a) NMI 割り込み, WDTOUTZ 出力モード

プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTE レジスタに"ACH"を書き込むと, カウント動作を開始します。その後 WDTM レジスタによって選択されたウォッチドッグ・タイマのオーバフロー時間内に, 再び WDTE レジスタに"ACH"を書き込むことで, ウォッチドッグ・タイマはクリアされ, 再度カウントを開始します。

WDTE レジスタに"ACH"が書き込まれず, ウォッチドッグ・タイマのオーバフロー時間を超えると, FE レベル・マスカブル割り込み (NMI (FEINT)) が発生し, ポート P83 をコントロール・モードに指定して WDTOUTZ 出力を許可している場合, この端子にロー・レベルを出力します。一度 WDTOUTZ にロー・レベルが出力されると, RESETZ 端子からのリセット入力までロー・レベルから変化しません。

#### (b) リセット・モード

プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。タイマのオーバフロー時間内に WDTE レジスタに"ACH"が書き込まれず, ウォッチドッグ・タイマのオーバフロー時間を超えると, PFESiP/V850EP3 がリセットされます。

### (2) インターバル・タイマ・モード

WDTM レジスタによって選択されたインターバル・タイマのオーバフロー時間をインターバルとして, 繰り返し割り込み要求 (INTWDT) を発生するインターバル・タイマとして使用できます。

ただし, WDTM はリセット解除後に 1 度しかライトできないため, 一度設定したインターバル時間は変更できません。

## 第16章 アシクロナス・シリアル・インタフェース

PFESiP/V850EP3 は、NS16550 相当の 4 チャンネルのアシクロナス・シリアル・インタフェース (UART) を内蔵しています。ハンドシェイク・ラインは、CTS、RTS のみをサポートしています。

また内部システム・クロックとは別に、UART 専用プリスケラ経由で、PLL 前段のクロックを分周したクロックを利用できます。

**備考** PFESiP/V850EP3 の UART は、米国 Synopsys 社の DesignWare IP を使用しています。このため NS16550 とは一部のレジスタの機能において互換性がありません。

### 16.1 特 長

NS16550 相当のレジスタ構成

送信 16 バイト、受信 16 バイトの FIFO 内蔵

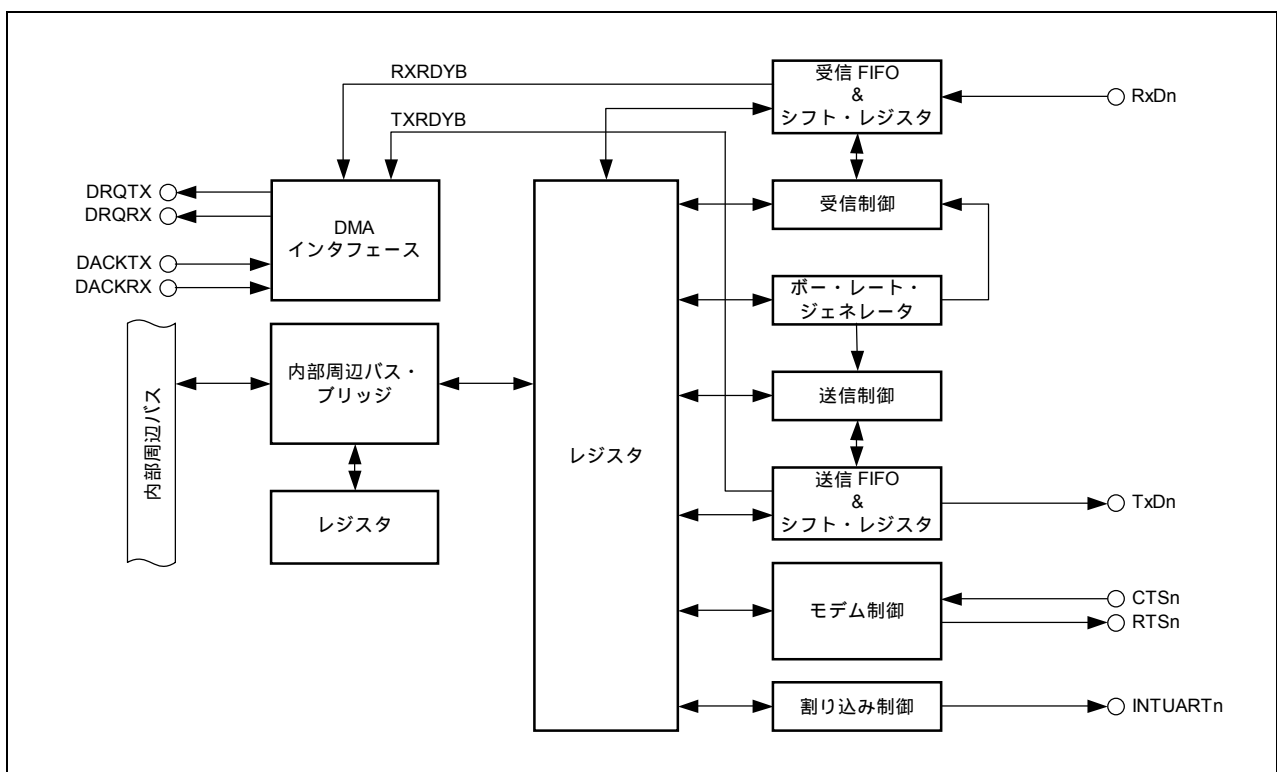
内部システム・バスと非同期のクロックをシリアル・クロックに利用可能

各チャンネルに独立のポー・レート・ジェネレータ内蔵

★

DMA インタフェースをサポート

図 16-1 アシクロナス・シリアル・インタフェースのブロック図



## 16.2 制御レジスタ

### (1) UART 受信バッファ・レジスタ n (RBRn : Receive Buffer Register)

受信データを格納するリード専用のレジスタです。

このレジスタから受信データをリードするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをクリア (0) し、このレジスタを UART 受信バッファ・レジスタとして機能させてください。

このレジスタは、32 ビット単位でリードのみ可能です。

**注意** UART 受信バッファ・レジスタ n (RBRn)、UART 送信ホールディング・レジスタ n (THRn)、UART デバイザ・ラッチ下位レジスタ n (DLLn) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	RBRn レジスタ	THRn レジスタ
1	DLLn レジスタ	DLLn レジスタ

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RBRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4800H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	RxDn 7	RxDn 6	RxDn 5	RxDn 4	RxDn 3	RxDn 2	RxDn 1	RxDn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-8	Reserved	リードすると 0 が読み出されます。
7-0	RxDn7- RxDn0	シリアル受信データ (LCRn.LCRn7 = 0 のとき)

備考 n = 0-3

## (2) UART 送信ホールディング・レジスタ n (THRn : Transmit Holding Register)

送信データを格納するライト専用のレジスタです。

このレジスタに送信データをライトするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをクリア (0) し、このレジスタを UART 送信ホールディング・レジスタとして機能させてください。

このレジスタは、32 ビット単位でライトのみ可能です。

**注意** UART 受信バッファ・レジスタ n (RBRn)、UART 送信ホールディング・レジスタ n (THRn)、UART ディバイザ・ラッチ下位レジスタ n (DLLn) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	RBRn レジスタ	THRn レジスタ
1	DLLn レジスタ	DLLn レジスタ

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
THRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4800H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	TXDn 7	TXDn 6	TXDn 5	TXDn 4	TXDn 3	TXDn 2	TXDn 1	TXDn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意味
31-8	Reserved	0 をライトしてください。
7-0	TXDn7- TXDn0	シリアル送信データ (LCRn.LCRn7 = 0 のとき)

**備考** n = 0-3

- (3) UART デバイザ・ラッチ下位レジスタ n (DLLn : Divisor Latch Low) , UART デバイザ・ラッチ上位レジスタ n (DLHn : Divisor Latch High)

このレジスタは、ボー・レート・ジェネレータの分周比を設定するリード/ライト可能なレジスタです。この DLHn レジスタの下位 8 ビットと DLLn レジスタの下位 8 ビットを連結した 16 ビット・データで分周比を設定します。両方のレジスタに 0000 0000H (16 ビット・データとして 0000H) の設定はできません。

DLLn, DLHn レジスタにアクセスするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをセット (1) し、UART デバイザ・ラッチ・レジスタとして機能させてください。

このレジスタは、32 ビット単位でリード/ライト可能です。

- 注意 1.** DLHn, DLLn レジスタは、通信中の書き換えは禁止です。このため LCRn.LCRn7 をセット (1) し、USRn.BUSYn = 0 (通信状態は IDLE 状態) であることを確認してから設定してください。
- 2.** DLHn, DLLn レジスタの、両方に 0000 0000H (16 ビット・データとして 0000H) を設定した状態では通信しないでください。
- 3.** UART 受信バッファ・レジスタ n (RBRn) , UART 送信ホールディング・レジスタ n (THRn) , UART デバイザ・ラッチ下位レジスタ n (DLLn) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	RBRn レジスタ	THRn レジスタ
1	DLLn レジスタ	DLLn レジスタ

- 4.** UART デバイザ・ラッチ上位レジスタ n (DLHn) , UART 割り込み許可レジスタ n (IERn) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	IERn レジスタ	IERn レジスタ
1	DLHn レジスタ	DLHn レジスタ

DLHn, DLLn レジスタの設定とボー・レートの関係は、以下の計算式で求められます。

$$\text{ボー・レート} = \text{入力クロック}^{\#} / (16 \times \text{DLHn, DLLn 設定値})$$

PFESiP/V850EP3 の代表的な入力周波数と、一般的なボー・レートとの関係を表 16-1 に示します。

**注** 入力クロックは、PLL 前段の発振器の周波数 / 2 です。

**備考** n = 0-3

表 16-1 一般的なボー・レートと DLHn, DLLn の設定値

ボー・レート [ bps ]	入力クロック = 15MHz		入力クロック = 24MHz	
	DLHn, DLLn 設定値 の下位 8 ビットを 連結した値	誤差 [ % ]	DLHn, DLLn 設定値 の下位 8 ビットを 連結した値	誤差 [ % ]
300	C35H	0.00	1388H	0.00
600	61BH	-0.04	9C4H	0.00
1200	30DH	0.04	4E2H	0.00
2400	187H	-0.10	271H	0.00
4800	C3H	0.17	139H	-0.16
9600	62H	-0.36	9CH	0.17
14400	41H	0.17	68H	0.17
19200	31H	-0.36	4EH	0.17
38400	18H	1.73	27H	0.17
57600	10H	1.73	1AH	0.17
115200	8H	1.73	DH	0.17

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DLLn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4800H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	DLLn	DLLn	DLLn	DLLn	DLLn	DLLn	DLLn	DLLn	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	DLLn7- DLLn0	ボー・レート・ジェネレータの分周比 (下位 8 ビット) を設定してください。 (LCRn.LCRn7 = 1 のとき)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DLHn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4804H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	DLHn	DLHn	DLHn	DLHn	DLHn	DLHn	DLHn	DLHn	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	DLHn7- DLHn0	ボー・レート・ジェネレータの分周比 (上位 8 ビット) を設定してください。 (LCRn.LCRn7 = 1 のとき)

備考 n = 0-3



(4) UART 割り込み許可レジスタ n ( IERn : Interrupt Enable Register )

UART の 5 種類の割り込みについて、割り込み要求出力の許可 / 禁止を設定するレジスタです。

このレジスタにアクセスするときは、UART ライン制御レジスタ n ( LCRn ) の LCRn7 ビットをクリア ( 0 ) し、このレジスタを UART 割り込み許可レジスタとして機能させてください。

対応する割り込みのビットをセット ( 1 ) すると、その割り込み要求出力が許可されます。すべてのビットに 0 を設定すると、UART からのすべての割り込み要求が禁止されます。

このレジスタの操作は、割り込み以外の機能には影響はありません。

このレジスタは、32 ビット単位でリード / ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IERn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4804H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	IEn3	IEn2	IEn1	IEn0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-4	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
3	IEn3	モデム・ステータス割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
2	IEn2	受信ライン・ステータス割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
1	IEn1	送信ホールディング・レジスタ・エンプティ割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
0	IEn0	受信割り込み ( 受信データ可能割り込み, FIFO 有効時の受信データ・トリガ・レベル到達割り込み, FIFO 有効時のキャラクタ・タイムアウト割り込み ) の許可 / 禁止を設定します。 0 : 禁止 1 : 許可

備考 n = 0-3

## (5) UART 割り込み識別レジスタ n (IIRn : Interrupt Identification Register ( IIR )

送信 / 受信 FIFO 有効 / 無効状態と各割り込み要因を示すレジスタです。

このレジスタは、32 ビット単位でリードのみ可能で、ビット 7, 6, 3-0 のみが有効データです。その他のビットは常に 0 が読み出されます。ライトは無視されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IIRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4808H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	IIRn7	IIRn6	0	0	IIRn3	IIRn2	IIRn1	IIRn0	0000 0001H
R/W	0	0	0	0	0	0	0	0	R	R	0	0	R	R	R	R	

ビット位置	ビット名	意味																										
31-8	Reserved	リードすると 0 が読み出されます。																										
7, 6	IIRn7, IIRn6	送信 / 受信 FIFO 有効 / 無効状態を示します。送信 / 受信 FIFO 有効 ( FCRn0 = 1 ) のとき、11b が読み出されます。それ以外は 00b が読み出されます。 11b : 送信 / 受信 FIFO 有効 00b : 送信 / 受信 FIFO 無効																										
5, 4	Reserved	リードすると 0 が読み出されます。																										
3-0	IIRn3-IIRn0	割り込み要因のステータスを示します。割り込み要因の優先順位、クリア手順は、「16.3.2 割り込み」を参照してください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IIRn3-IIRn0</th> <th colspan="2">割り込み状態</th> </tr> </thead> <tbody> <tr> <td>0001b</td> <td colspan="2">保留割り込みなし</td> </tr> <tr> <td>0110b</td> <td colspan="2">受信ライン・ステータス割り込み</td> </tr> <tr> <td rowspan="2">0100b</td> <td>FIFO 無効時</td> <td>受信データ可能割り込み</td> </tr> <tr> <td>FIFO 有効時</td> <td>受信データ・トリガ・レベル到達</td> </tr> <tr> <td>1100b</td> <td colspan="2">キャラクタ・タイムアウト割り込み ( FIFO 有効時のみ )</td> </tr> <tr> <td>0010b</td> <td colspan="2">送信ホールディング・レジスタ・エンプティ割り込み</td> </tr> <tr> <td>0000b</td> <td colspan="2">モデム・ステータス割り込み</td> </tr> <tr> <td>0111b</td> <td colspan="2">BUSY 検出割り込み<sup>※</sup></td> </tr> </tbody> </table>	IIRn3-IIRn0	割り込み状態		0001b	保留割り込みなし		0110b	受信ライン・ステータス割り込み		0100b	FIFO 無効時	受信データ可能割り込み	FIFO 有効時	受信データ・トリガ・レベル到達	1100b	キャラクタ・タイムアウト割り込み ( FIFO 有効時のみ )		0010b	送信ホールディング・レジスタ・エンプティ割り込み		0000b	モデム・ステータス割り込み		0111b	BUSY 検出割り込み <sup>※</sup>	
IIRn3-IIRn0	割り込み状態																											
0001b	保留割り込みなし																											
0110b	受信ライン・ステータス割り込み																											
0100b	FIFO 無効時	受信データ可能割り込み																										
	FIFO 有効時	受信データ・トリガ・レベル到達																										
1100b	キャラクタ・タイムアウト割り込み ( FIFO 有効時のみ )																											
0010b	送信ホールディング・レジスタ・エンプティ割り込み																											
0000b	モデム・ステータス割り込み																											
0111b	BUSY 検出割り込み <sup>※</sup>																											

注 BUSY 検出割り込みは禁止できません。

備考 n = 0-3

(6) UART FIFO 制御レジスタ n (FCRn : FIFO Control Register)

FIFO 制御を行うレジスタです。

このレジスタは 32 ビット単位でライトのみ可能で、リードすると 0 が読み出されます。

ビット 5-3 には必ず 0 を書き込んでください。リードした場合は 0 が読み出されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
FCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4808H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	FCRn 7	FCRn 6	0	0	0	FCRn 2	FCRn 1	FCRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	W	W	0	0	0	W	W	W	

ビット位置	ビット名	意味															
31-8	Reserved	0 をライトしてください。															
7, 6	FCRn7, FCRn6	受信 FIFO 有効時に、受信データ・トリガ・レベル到達割り込みを発生させるトリガ・レベルを設定します。  <table border="1"> <thead> <tr> <th>FCRn7</th> <th>FCRn6</th> <th>受信 FIFO トリガ・レベル</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1 バイト (オート・フロー許可時は 1 バイトに設定) 注</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 バイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>8 バイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>14 バイト</td> </tr> </tbody> </table> <p>注 オート・フロー許可時 (MCRn.MCRn5 = 1) は、受信 FIFO トリガ・レベルの設定を 1 バイトにしてください。</p>	FCRn7	FCRn6	受信 FIFO トリガ・レベル	0	0	1 バイト (オート・フロー許可時は 1 バイトに設定) 注	0	1	4 バイト	1	0	8 バイト	1	1	14 バイト
FCRn7	FCRn6	受信 FIFO トリガ・レベル															
0	0	1 バイト (オート・フロー許可時は 1 バイトに設定) 注															
0	1	4 バイト															
1	0	8 バイト															
1	1	14 バイト															
5-3	Reserved	0 をライトしてください。リードすると 0 が読み出されます。															
2	FCRn2	送信 FIFO と FIFO カウンタのクリアを行います。 0 : 通常 1 : FIFO と FIFO カウンタ・クリア															
1	FCRn1	受信 FIFO と FIFO カウンタのクリアを行います。 0 : 通常 1 : FIFO と FIFO カウンタ・クリア															
0	FCRn0	送信 / 受信 FIFO の有効 / 無効を設定します。 0 : 無効 1 : 有効															

備考 n = 0-3

## ★ (7) UART ライン制御レジスタ n (LCRn : Line Control Register)

通信のフォーマットの指定や除数ラッチ・アクセスの設定するレジスタです。

ビット 6, 5 には必ず 0 を書き込んでください。リードした場合は 0 が読み出されます。

このレジスタは 8 ビット単位でリード/ライト可能です。

**注意 1** LCRn レジスタを通信中に書き換えた場合は、正常に受信できません。通常は USRn.BUSYn = 0 (通信状態は IDLE 状態) を確認してから設定してください。通信相手とのオート・ネゴシエーションなどで、通信中に LCRn レジスタを書き換えた場合は、BUSY 検出割り込みが発生します。

**2** 主に高速なボー・レートで back-to-back の連続通信をした場合、以下の条件を満たさない場合に、LCRn.LCRn2 で設定したストップ・ビット長より、ストップ・ビット長が長くなる場合があります。同時に、次のスタート・ビットが遅れます。

入力クロック周期 × (DLHn, DLLn の設定値)

入力クロック周期 × 4 + 周辺マクロ・クロック周期 × 5

入力クロックは PLL 前段の発振器の周波数 / 2, 周辺マクロ・クロック (PCLK) は CPU 動作クロックの分周クロックです。

ここで、仮に PLL 前段の発振器の周波数を 30MHz, PCLK = 44.33MHz とした場合、

$$66.67\text{ns} \times \text{設定値} \quad 66.67\text{ns} \times 4 + 22.56\text{ns} \times 5$$

となり、

$$\text{DLHn, DLLn の設定値} \quad 6 \text{ 注}$$

が制限値になります。

この条件を満たさない場合の、ストップ・ビットのワースト長は、以下のとおりです。

ストップ・ビットのワースト長

$$= \text{入力クロック周期} \times 4 + \text{周辺マクロ・クロック} \times 5$$

$$+ 15 \times \text{入力クロック周期} \times (\text{DLHn, DLLn の設定値})$$

上記と同じ条件で、(DLHn, DLLn の設定値) = 4 の場合 (230.4kbps) ,

$$\text{ストップ・ビットのワースト長} = 66.67\text{ns} \times 4 + 22.56\text{ns} \times 5 + 15 \times 66.67\text{ns} \times 4$$

$$4.4\mu\text{s}$$

となります。

**注** 実際の値は 5.69 ですが、DLHn, DLLn には整数しか設定できないため、下限が 6 になります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 480CH +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	LCRn 7	LCRn 6	0	LCRn 4	LCRn 3	LCRn 2	LCRn 1	LCRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味															
31-8	Reserved	0をライトしてください。リードすると0が読み出されます。															
7	LCRn7	UART デバイザ・ラッチ・レジスタと同一アドレスに配置されているレジスタとのアクセスを切り替えます。 <sup>※</sup> 0 : RBRn, THRN, IERN レジスタを選択 1 : デバイザ・ラッチ・レジスタ (DLLn, DLHn) を選択															
6	LCRn6	ブレーク制御を設定します。 0 : ブレーク解除 1 : ブレーク設定 このビットは、受信側にブレーク状態を送信するときに使用します。このビットをセット (1) すると、RXDn 端子は強制的にスペーシング (0) の状態になります。															
5	Reserved	0をライトしてください。リードすると0が読み出されます。															
4	LCRn4	パリティを設定します。 0 : 奇数パリティ 1 : 偶数パリティ															
3	LCRn3	パリティの許可 / 禁止を設定します。 0 : パリティなし (送信) / チェックなし (受信) 1 : パリティあり (送信) / チェックあり (受信)															
2	LCRn2	ストップ・ビットを設定します。 0 : 1 ビット 1 : 1.5 ビット (キャラクタ長さ=5 ビット時) , 2 ビット (キャラクタ長さ=6, 7, 8 ビット時)															
1, 0	LCRn1, LCRn0	キャラクタ長 (ビット数) を指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">LCRn1</th> <th style="width:10%;">LCRn0</th> <th style="width:80%;">キャラクタ長 (ビット数)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>5 ビット</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6 ビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>7 ビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>8 ビット</td> </tr> </tbody> </table>	LCRn1	LCRn0	キャラクタ長 (ビット数)	0	0	5 ビット	0	1	6 ビット	1	0	7 ビット	1	1	8 ビット
LCRn1	LCRn0	キャラクタ長 (ビット数)															
0	0	5 ビット															
0	1	6 ビット															
1	0	7 ビット															
1	1	8 ビット															

備考 n = 0-3

(8) UART モデム制御レジスタ n (MCRn : Modem Control Register)

★

モデム,またはデータ・セット(モデムをエミュレートする周辺デバイス)とのインタフェースの制御を行うレジスタです。

ビット 5, 4, 1 以外には必ず 0 を書き込んでください。ビット 5, 4, 1 以外をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MCRn	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															0F01 4810H +200H×n	
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0 0 0 0 0 0 0 0 0 0 MCRn MCRn 0注 0注 MCRn 0注															0000 0000H	
R/W	0 0 0 0 0 0 0 0 0 0 R/W R/W 0 0 R/W 0																

ビット位置	ビット名	意味
31-6	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
5	MCRn5	オート・フロー制御の許可/禁止を選択します。 0 : 禁止 1 : 許可 CTS, RTS を使用したオート・フロー制御許可時は, FCRn レジスタの受信 FIFO トリガ・レベルの設定を 1 バイトにしてください。
4	MCRn4	診断テスト(ローカル・ループ・バック)の動作を設定します。 0 : 禁止 1 : 許可 ローカル・ループ・バックは, UART の送信/受信のデータ・パスを確認するために使用できます。MCRn4 ビットをセット(1)にすると, 次のような動作(ローカル・ループ・バック)が実行されます。 送信部からのシリアル出力(TxDn)がマーキング状態(1)になり, 受信部へのシリアル入力(RxDn)が切断され, 送信シフト・レジスタの出力が受信シフト・レジスタの入力にループ・バックされます。 モデム制御出力端子は強制的にインアクティブ状態(ハイ・レベル)になります。このようなループ・バック・モードでは, 送信されたデータがそのまま受信されることとなります。ループ・バック・モードでは, 送信と受信の割り込みはすべて使用可能です。
3, 2	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
1	MCRn1	RTSn 端子出力を設定します。 0 : RTSn にハイ・レベル出力 1 : RTSn にロー・レベル出力
0	Reserved	0 をライトしてください。リードすると 0 が読み出されます。

注 内蔵している DesignWare の IP では, これらのビットが存在します。PFESiP/V850EP3 では, 該当ビットに対応する端子を設けていないため, これらのビットへの操作は意味を持ちません。

備考 n = 0-3

## (a) オート・フロー制御

★

PFESiP/V850EP3 内蔵のアシンクロナス・シリアル・インタフェースは、NS16570 互換の CTS、RTS 端子を使用したオート・フロー制御に対応しています。オート・フローを利用する場合は、UART モデム制御レジスタ  $n$  (MCR $n$ ) の MCR $n$ 5 ビットをセット (1) してください。また UART FIFO 制御レジスタ  $n$  (FCR $n$ ) の FCR $n$ 0 ビットをセット (1) し FIFO を有効にしてください。

**注意 1. CTS、RTS 端子を利用する場合は、PMCT3、PFC3、PMCT4、PFC4 レジスタで、CTS、RTS 機能を選択してください。**

**2. MCR $n$ .MCR5 = 0 でオート・フロー制御を禁止すると、RTS 端子には MCR $n$ .MCR1 で設定した値が反映されます。**

## (i) RTS 端子の動作

RTS 端子は、対向デバイスの CTS 端子に接続してください。オートフロー制御では、受信 FIFO の受信データ・トリガ・レベルは 1 に設定してください。このトリガ・レベルに達すると、RTS 端子はインアクティブ・レベル (ハイ・レベル) になります。これにより受信 FIFO の空きができるまで、対向デバイスはシリアル・データの送信を停止します。受信バッファ・レジスタ  $n$  (RBR $n$ ) を読み出すことで受信 FIFO がエンプティとなり、RTS 端子はアクティブ・レベル (ロー・レベル) になり、受信要求状態になります。

★

## (ii) CTS 端子の動作

CTS 端子にインアクティブ・レベル (ハイ・レベル) が入力されると、UART は送信を停止します。これにより対向デバイスの受信オーバフローを防ぎます。

CTS 端子にインアクティブ・レベル (ハイ・レベル) が入力されたタイミングが、ストップ・ビット検出後の場合には、1 キャラクタ送信後に送信停止します。

送信禁止の間は、送信 FIFO への書き込みができます。送信 FIFO への書き込みの前に、UART ライン・ステータス・レジスタ  $n$  (LSR $n$ ) の LSR $n$ 5 ビットで送信 FIFO のエンプティ状態を確認してください。

CTS 端子にアクティブ・レベル (ロー・レベル) が入力されると、送信を再開します。

(9) UART ライン・ステータス・レジスタ n (LSR : Line Status Register)

データ転送に関するステータス・レジスタです。

このレジスタは 32 ビット単位でリードのみ可能です。

( 1/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LSRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4814H +200H × n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	LSRn	LSRn	LSRn	LSRn	LSRn	LSRn	LSRn	LSRn	0000 0060H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味											
31-8	Reserved	リードすると 0 が読み出されます。											
7	LSRn7 <sup>※</sup>	FIFO モード時の各種エラー検出ビットです。 0 : エラーなし 1 : パリティ・エラー, フレーミング・エラー, ブレーク検出 このビットは, FIFO 有効時のみ機能します。FIFO 無効時は常に 0 になります。											
6	LSRn6	送信シフト・レジスタと送信ホールディング・レジスタの両方のエンpty・ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">LSRn6</th> <th colspan="2">送信エンpty状態</th> </tr> <tr> <th>FIFO 有効時</th> <th>FIFO 無効時</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>送信 FIFO と送信シフト・レジスタのいずれかにデータがある</td> <td>送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある</td> </tr> <tr> <td>1</td> <td>送信 FIFO と送信シフト・レジスタの両方にデータがない</td> <td>送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない</td> </tr> </tbody> </table>	LSRn6	送信エンpty状態		FIFO 有効時	FIFO 無効時	0	送信 FIFO と送信シフト・レジスタのいずれかにデータがある	送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある	1	送信 FIFO と送信シフト・レジスタの両方にデータがない	送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない
LSRn6	送信エンpty状態												
	FIFO 有効時	FIFO 無効時											
0	送信 FIFO と送信シフト・レジスタのいずれかにデータがある	送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある											
1	送信 FIFO と送信シフト・レジスタの両方にデータがない	送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない											
5	LSRn5	送信ホールディング・レジスタ (THRn) エンpty・ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">LSRn5</th> <th colspan="2">送信ホールディング・レジスタ・エンpty状態</th> </tr> <tr> <th>FIFO 有効時</th> <th>FIFO 無効時</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>送信 FIFO に送信データがある状態</td> <td>送信ホールディング・レジスタにデータを格納している状態</td> </tr> <tr> <td>1</td> <td>送信 FIFO が空の状態</td> <td>送信シフト・レジスタにデータが転送された状態</td> </tr> </tbody> </table>	LSRn5	送信ホールディング・レジスタ・エンpty状態		FIFO 有効時	FIFO 無効時	0	送信 FIFO に送信データがある状態	送信ホールディング・レジスタにデータを格納している状態	1	送信 FIFO が空の状態	送信シフト・レジスタにデータが転送された状態
LSRn5	送信ホールディング・レジスタ・エンpty状態												
	FIFO 有効時	FIFO 無効時											
0	送信 FIFO に送信データがある状態	送信ホールディング・レジスタにデータを格納している状態											
1	送信 FIFO が空の状態	送信シフト・レジスタにデータが転送された状態											

注 このビットは, LSRn レジスタの読み出しでクリア (0) されます。

備考 n = 0-3



ビット位置	ビット名	意味
4	LSRn4 <sup>注</sup>	<p>ブレーク割り込み状態を示します。</p> <p>0 : ブレーク割り込みなし 1 : ブレーク割り込み検出</p> <p>受信データ入力が 1 キャラクタ分の送信時間 (スタート・ビット + データ・ビット + パリティ・ビット + ストップ・ビット) よりも長い時間スペーシング状態 (0) をブレーク状態といい、このとき LSRn4 ビットがセット (1) されます。FIFO 有効時は、FIFO 内の 1 キャラクタにブレークが検出されるとエラー・キャラクタとして認識され、そのキャラクタが FIFO の先頭になるとブレーク割り込みが通知されます。ブレークが発生すると 1 個のゼロ・キャラクタが FIFO に転送されず、RxDn がマーキング状態になり、次の有効なスタート・ビットを受信すると、次のキャラクタの転送が可能になります。</p>
3	LSRn3 <sup>注</sup>	<p>フレーミング・エラー・ビットです。</p> <p>0 : フレーミング・エラーなし 1 : フレーミング・エラー検出</p> <p>このビットは、LSRn レジスタを読み出すとクリア (0) されます。</p> <p>最終データ・ビット、またはパリティ・ビットの後に 0 (スペーシング・レベル) のストップ・ビットが検出されると (フレーミング・エラー)、このビットがセット (1) されます。FIFO 有効時は、FIFO 内の 1 キャラクタにフレーミング・エラーが検出されるとエラー・キャラクタとして認識され、そのキャラクタが FIFO の先頭になるとフレーミング・エラーが通知されます。フレーミング・エラーが発生すると、再び同期を取ろうとします。その際、フレーミング・エラーの原因は次のスタート・ビットにあったとみなして、次のスタート・ビットを 2 回サンプリングしてからデータを取り込みます。</p>
2	LSRn2 <sup>注</sup>	<p>パリティ・エラー・ビットです。</p> <p>0 : パリティ・エラーなし 1 : パリティ・エラー検出</p> <p>このビットは、LSRn レジスタを読み出すとクリア (0) されます。</p> <p>受信したキャラクタが LCRn4 ビットで指定された偶数、または奇数のパリティを満足していないと (パリティ・エラー)、このビットがセット (1) されます。FIFO 有効時は、FIFO 内の 1 キャラクタにパリティ・エラーが検出されるとエラー・キャラクタとして認識され、その文字が FIFO の先頭になるとパリティ・エラーが通知されます。</p>
1	LSRn1 <sup>注</sup>	<p>オーバラン・エラー・ビットです。</p> <p>0 : オーバラン・エラーなし 1 : オーバラン・エラー検出</p> <p>このビットは、LSRn レジスタを読み出すとクリア (0) されます。</p> <p>ソフトウェアや DMA で受信バッファ・レジスタを読み出す前に、次のキャラクタが受信バッファ・レジスタに上書きされると (オーバラン・エラー)、このビットがセット (1) されます。</p> <p>FIFO 有効時に、データがトリガ・レベルを越えて FIFO に転送され続けた場合は、FIFO がフルになったのち、次のキャラクタが完全にシフト・レジスタに格納されるまではオーバラン・エラーにはなりません。シフト・レジスタ内のキャラクタは上書きされますが、FIFO には転送されません。</p>

**注** このビットは、LSRn レジスタの読み出しでクリア (0) されます。

**備考** n = 0-3

( 3/3 )

ビット位置	ビット名	意 味
0	LSRn0	受信データ・レディ・ビットです。 0 : FIFO に受信データがない 1 : FIFO に受信データがある  このビットは、データの受信を完了する前にセット(1)されるため、このビットがセット(1)された直後に受信データを RBRn レジスタから読み出した場合、このビットがクリア(0)されないことがあります。したがって、このビットがセット(1)されてからストップ・ビットのビット幅分の時間が経過してから、RBRn レジスタのデータを読み出してください。

**備考 n = 0-3**

- (10) UART モデム・ステータス・レジスタ n (MSRn : Modem Status Register)  
 ハンドシェイク・ラインである CTSn 端子のステータス・レジスタです。  
 このレジスタは 32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MSRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4818H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0 <sup>注1</sup>	0 <sup>注1</sup>	0 <sup>注1</sup>	MSRn 4	0 <sup>注1</sup>	0 <sup>注1</sup>	0 <sup>注1</sup>	MSRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	R	0	0	0	R	

ビット位置	ビット名	意味
31-5	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
4	MSRn4	CTSn 端子の状態を示します。 1 : CTSn 端子は 0 (ロー・レベル) 0 : CTSn 端子は 1 (ハイ・レベル)
3-1	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
0	MSRn0 <sup>注2</sup>	CTSn 端子の変化を示します。 0 : MSRn レジスタを最後にリードしてからの変化なし 1 : MSRn レジスタを最後にリードしてからの変化あり

注 1. 内蔵している DesignWare の IP では、これらのビットが存在します。PFESiP/V850EP3 では、該当ビットに対応する端子を設けていないため、これらのビットは常に 0 固定となります。NS16550 等のドライバを移植する際には、これらのビットの判定を無視する改造が必要となるため注意してください。

2. このビットは、MSRn レジスタを読み出すとクリア (0) されます。

備考 n = 0-3

## (11) UART スクラッチ・パッド・レジスタ n (SCRn : Scratch pad Register)

ユーザが自由に使用できるリード/ライト可能なレジスタです。

このレジスタへのリード/ライトは、UART の制御には影響を与えません。

ビット 31-8 には 0 を書き込んでください。ビット 31-8 をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード/ライト可能です。

SCRn	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス 0F01 481CH +200H × n
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	SCRn7- SCRn0	汎用データ・ビットです。

備考 n = 0-3

## (12) UART ステータス・レジスタ n (USR : UART Status Register)

UART の転送状態を示すレジスタです。

このレジスタは 8 ビット単位でリードのみ可能です。

USRn	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス 0F01 487CH +200H × n
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BUSY n	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	

ビット位置	ビット名	意味
31-1	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
0	BUSYn	転送状態を示します。 0 : IDLE 状態 (送信動作, 受信動作をしていません) 1 : BUSY 状態 (送信, または受信動作中であることを示しています)

備考 n = 0-3

## (13) UART DMA 転送要求制御レジスタ n (FDRn : FIFO DMA Control Register)

DMA インタフェース信号を使用した DMA 転送をする際に、DMA 要求信号の制御を行うレジスタです。

ビット 31-7, 5, 3-0 には必ず 0 を書き込んでください。ビット 31-0 をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
FDRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4900H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	FDRn 6	0	FDRn 4	0	0	0	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	R/W	0	R/W	0	0	0	0	

ビット位置	ビット名	意味
31-7	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。
6	FDRn6	UART 送信 FIFO DMA 転送要求をリセットするビットです。 リードすると 0 が読み出されます。
5	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。
4	FDRn4	UART 受信 FIFO DMA 転送要求をリセットするビットです。 キャラクタ・タイムアウト割り込み発生後、受信 FIFO に残っている受信データを読み出したあと、このビットをセット (1) してください。このビットをリードすると 0 が読み出されます。
3-0	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。

**備考 n = 0-3**

## 16.3 動作

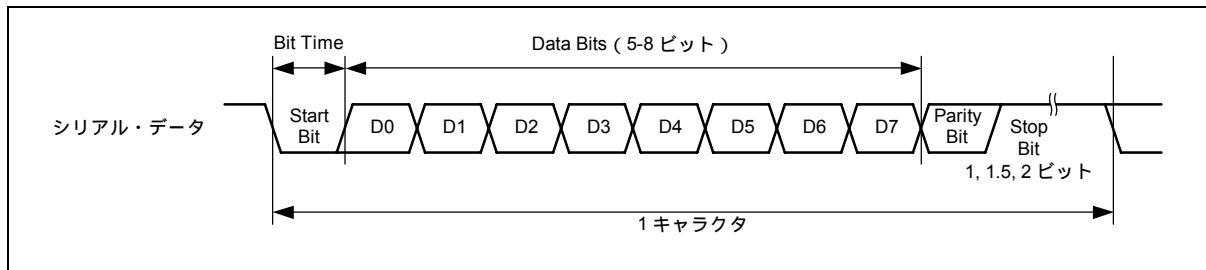
### 16.3.1 UART シリアル・プロトコル

ここではアシクロナス・シリアル・インタフェース (UART) のプロトコルについて簡単に説明します。この UART と対向 UART デバイス間のシリアル通信は非同期で行われます。UART のシリアル・データのフォーマットは以下の通りです。データ・ビットの前後にはスタート・ビットとストップ・ビットが付加されます。

データ長は、5 / 6 / 7 / 8 ビットを選択できます。パリティ・ビットは必要に応じて偶数パリティ / 奇数パリティを付加できます。ストップ・ビットは、1 / 1.5 / 2 ビットから選択できます。

1 キャラクタのデータ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、ライン・コントロール・レジスタ n (LCRn) によって行います (n = 0-3)。

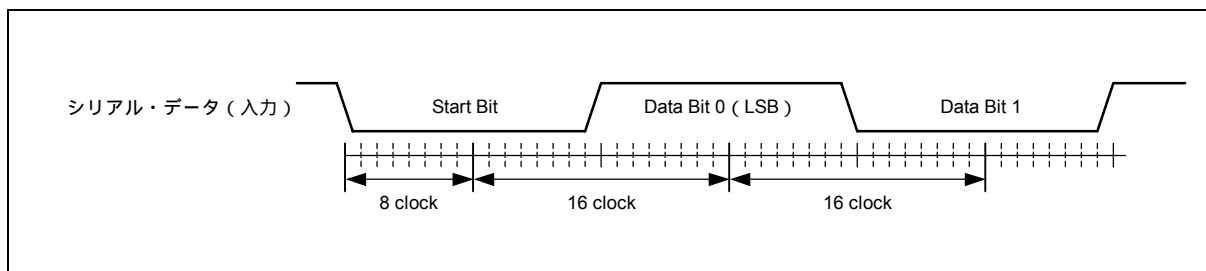
図 16-2 シリアル・データの構造



受信データは、16 倍オーバ・サンプリングされます。したがって、1 ビットのデータ幅は、UART 内部クロック幅の 16 倍です。スタート・ビットを検出すると、安定した受信のために 1 ビット・データのほぼ真中のタイミングで受信データをサンプリングします。スタート・ビットの真中のサンプリング・タイミング後、UART 内部クロックの 16 倍のタイミングごとにデータをサンプリングします。

図 16-3 のシリアル・データのサンプリング・タイミング例は、最初の 2 ビットのシリアル・データをサンプリングしている状態を示しています。

図 16-3 シリアル・データのサンプリング・タイミング



### 16.3.2 割り込み

UART 内部で割り込み要因が発生すると、INTUARTn がアサートされます。

割り込み要因には以下のものがあり、おのおの UART 割り込み許可レジスタ n (IERn) で割り込み要求の許可 / 禁止を設定できます。

受信エラー

データを受信したとき

キャラクタ・タイムアウト (FIFO モード時のみ)

UART シリアル送信データ・レジスタ n (THRn) が空の場合

モデム・ステータスの変化

IIRn.3-IIRn.0				優先順位	割り込み種別	割り込みセット (1) 条件	割り込みクリア (0) 条件
3	2	1	0				
0	1	1	0	最優先	受信ライン・ステータス	オーバラン・エラー， パリティ・エラー， フレーミング・エラー， またはブレーク	UART ライン・ステータス・レジスタ n (LSRn) レジスタのリード
0	1	0	0	2	受信データ可能	FIFO 無効時：受信データが存在	UART 受信バッファ・レジスタ n (RBRn) のリード
						FIFO 有効時：トリガ・レベルに到達	UART 受信バッファ・レジスタ n (RBRn) のリードにより、FIFO のトリガ・レベルを下回った場合
1	1	0	0	2	キャラクタ・タイムアウト	FIFO 有効時で、最近の 4 キャラクタ分の時間内に、受信 FIFO から 1 キャラクタも取り出されずに受信されたキャラクタもなし。この期間中に少なくとも 1 つのキャラクタが FIFO に存在。	UART 受信バッファ・レジスタ n (RBRn) のリード
0	0	1	0	3	UART 送信ホールディング・レジスタ・エンプティ	UART 送信ホールディング・レジスタが空	UART 割り込み識別レジスタ n (IIRn) をリードし (割り込み要因の場合)、または UART 送信ホールディング・レジスタ n (THRn) へのライト
0	0	0	0	4	モデム・ステータス	CTS <sub>n</sub> 信号がローになったことを検出したとき。 オートフロー制御許可の場合、CTS <sub>n</sub> 信号がローになっても割り込みは発生しません。	UART モデム・ステータス・レジスタ n (MSRn) のリード
0	1	1	1	5	ビジー検出	UART が BUSY 状態で LCRn レジスタにデータ・ライトした場合	UART ステータス・レジスタ n (USRn) のリード

## (1) 送信ホールディング・レジスタ・エンプティ割り込み

IIRn レジスタをリードして送信ホールディング・レジスタ・エンプティ割り込みをクリア (0) 後, 送信ホールディング・レジスタ・エンプティ割り込みの許可 (IEn = 1) と, 送信後に UART 送信ホールディング・レジスタ n (THRn) レジスタが空の, 両方の条件がそろったとき, 次の送信ホールディング・レジスタ・エンプティ割り込みが発生します。

## (2) 受信 FIFO 有効時の受信データ・トリガ・レベル到達割り込み

受信 FIFO 有効時に受信データ・トリガ・レベル到達割り込みが許可 (IERn.IEn0 = 1) されている場合, 受信データ・トリガ・レベル到達割り込み要求は次のように発生します。

- (i) FIFO が指定されたトリガ・レベルに達すると, 受信データ・トリガ・レベル到達割り込み要求が発生します。この割り込みは FIFO がトリガ・レベルを下回った時点でクリアされます。
- (ii) FIFO が指定されたトリガ・レベルに達すると, IIRn レジスタは受信データ・トリガ・レベル到達割り込み要求を示します。これは と同様に FIFO がトリガ・レベルを下回った時点でクリアされます。
- (iii) 受信ライン・ステータス割り込みは, 受信データ・トリガ・レベル到達割り込みよりも高優先に設定されています。
- (iv) シフト・レジスタから受信 FIFO にキャラクタが転送されると, UART ライン制御レジスタ n (LSRn) の LSRn0 ビットがセット (1) されます。このビットは, FIFO が空になるとクリア (0) されます。

## (3) 受信 FIFO 有効時の受信 FIFO タイムアウト

受信 FIFO 有効時に受信割り込みが許可されている場合, キャラクタ・タイムアウト割り込み要求は次のように発生します。

- (i) キャラクタ・タイムアウト割り込みが発生する条件は次の通りです。  
FIFO に少なくとも 1 キャラクタが格納されている。  
最後に受信されてから, 連続 4 キャラクタ分を越える時間が経過している (ストップ・ビットが 2 ビットに指定されている場合は 2 ビット目の分の時間も含む)。  
最後に FIFO を読み出してから, 連続 4 キャラクタ分を越える時間が経過している。
- (ii) 1 キャラクタあたりの時間は, 受信用ボー・レート・クロック (内部) に基づいて計算されます。したがって割り込み発生までの時間はボー・レートに比例します。
- (iii) キャラクタ・タイムアウト割り込み要求が発生した場合, 受信 FIFO から 1 キャラクタを読み出すと, キャラクタ・タイムアウト割り込みはクリアされ, タイマはリセットされます。
- (iv) キャラクタ・タイムアウト割り込み要求が発生しなかった場合は, 新しいキャラクタが受信されるか, 受信 FIFO を読み出した時点でタイマがリセットされます。



## (4) 送信 FIFO 有効時の送信ホールディング・レジスタ・エンプティ割り込み

送信 FIFO 有効時に送信ホールディング・レジスタ・エンプティ割り込みが許可されている場合、送信ホールディング・レジスタ・エンプティ割り込み要求は次のように発生します。

- (i) 送信 FIFO が空になると、送信ホールディング・レジスタ・エンプティ割り込み要求が発生します。送信ホールディング・レジスタにキャラクタが書き込まれるか（この割り込みの処理中に送信 FIFO に 1～16 キャラクタ書き込まれる可能性があります）、 $ILRn$  レジスタが読み出されると、割り込み要求はクリア（0）されます。
- (ii) 前回  $LSRn$  レジスタで  $LSRn5 = 1$ （送信 FIFO が空）のときから、送信 FIFO に同時に 2 キャラクタ上のデータが存在することなく再び  $LSRn5 = 1$  になった場合、（1 キャラクタ分の時間 - 最後のストップ・ビット分の時間）経過後に送信 FIFO ホールディング・レジスタ・エンプティが発生します。
- (iii)  $FCRn0$ （FIFO 有効 / 無効ビット）の書き換え後の最初の送信ホールディング・レジスタ・エンプティ割り込み要求は、すぐに発生します。

## (5) 送信 FIFO と送信シフト・レジスタの送信データ

送信 FIFO と送信シフト・レジスタに送信データが残っているかは、 $LSRn$  レジスタのビット 6 を参照してください。 $LSRn$  レジスタのビット 5 には送信 FIFO 内のデータの有無のみ示されます。 $LSRn$  レジスタのビット 5 で送信データの残りがどうかを判定すると、送信 FIFO に送信データがなくても、送信シフト・レジスタにデータが残っている可能性があります。

### 16.3.3 DMA インタフェース

PFESiP/V850EP3 のアシクロナス・シリアル・インタフェース (UART) は、システム・バス DMAC のインタフェースをサポートしています。

- 注意 1.** アシクロナス・シリアル・インタフェース (UART) は、セントラル DMAC のインタフェースはサポートしていません。
- 2.** PFESiP/V850EP3 のアシクロナス・シリアル・インタフェース (UART) は、NS16550 互換のため、発生する割り込みについて、その要因をレジスタ読み出しで判断する必要があります。割り込み要求だけでは、受信完了、送信完了、受信エラーなどの要因が判断できないため、INTUARTn を DMA 起動要因に割り当てていません。

**備考** n = 0-3

## (1) UART 送信側 DMA 機能

送信側からは、UART 送信 FIFO DMA 転送要求が出力されます。

DMA 機能を利用する場合は、セントラル DMAC の DTFRm レジスタで、DMA 転送トリガ要因として「UART 送信 FIFO DMA 転送要求」を選択してください。

**備考 n = 0-3**

**m = 0-7**

8 ビット × 16 段の送信 FIFO を内蔵しています。

FIFO 有効時の UART 送信 FIFO DMA 転送要求は、送信 FIFO が空のとき 16 回の転送要求を繰り返し出力されます。システム・バス DMAC は、シングル転送モードを選択してください。

システム・バス DMAC の DMA 転送要求、ハイ・レベルのレベル検出モードを指定してください。

システム・バス DMAC のアクノリッジ信号は、レベル・モードを指定してください。

FIFO 有効時は、システム・バス DMAC 以外のバス・マスタ (CPU、セントラル DMAC 等) からの UART 送信ホールディング・レジスタ n (THRn) へのアクセスは禁止です。

データ転送開始前に転送要求制御回路をリセットする必要があります。図 16-6 の手順を参照ください。

送信側の DMA インタフェース信号は、FIFO 有効時と FIFO 無効時で動作が異なります。

**表 16-2 UART 送信 FIFO DMA 転送要求の動作**

	送信 FIFO DMA 転送要求発生要因	送信 FIFO DMA 転送要求クリア要因
送信 FIFO 無効 (FCRn.0 = 0)	<ul style="list-style-type: none"> <li>リセット入力</li> <li>UART 送信ホールディング・レジスタ n (THRn) が空の場合</li> </ul>	<ul style="list-style-type: none"> <li>UART 送信ホールディング・レジスタ n (THRn) にデータ・ライトした場合</li> <li>UART DMA 転送要求制御レジスタ n (FDRn) のビット 6 をセット (1: UART 送信 FIFO DMA 転送要求のリセット) した場合</li> </ul>
送信 FIFO 有効 (FCRn.0 = 1)	<p>送信 FIFO DMA 転送要求として、16 段 (16 キャラクタ) 送信 FIFO 分のデータ転送を要求します。</p> <p>1 キャラクタ目の転送要求は、THRn レジスタが空の場合にアクティブになります。2 キャラクタ目から 16 キャラクタ目の転送要求は、システム・バス DMAC から THRn にデータをライトすると、転送要求がいったんクリアされ、内部周辺マクロ・クロック (PCLK) の 2 クロック後に次の転送要求を出力します。16 キャラクタ目の THRn レジスタへのデータのライト完了後に転送要求はクリアされます。再び、THRn レジスタが空になると転送要求が発生します。</p> <ul style="list-style-type: none"> <li>リセット入力</li> </ul>	<ul style="list-style-type: none"> <li>UART DMA 転送要求制御レジスタ n (FDRn) のビット 6 をセット (1: UART 送信 FIFO DMA 転送要求のリセット) した場合</li> </ul>

図 16-4 FIFO 無効 (FCRn.0 = 0) 時の, UART 送信 FIFO DMA 転送要求の状態遷移

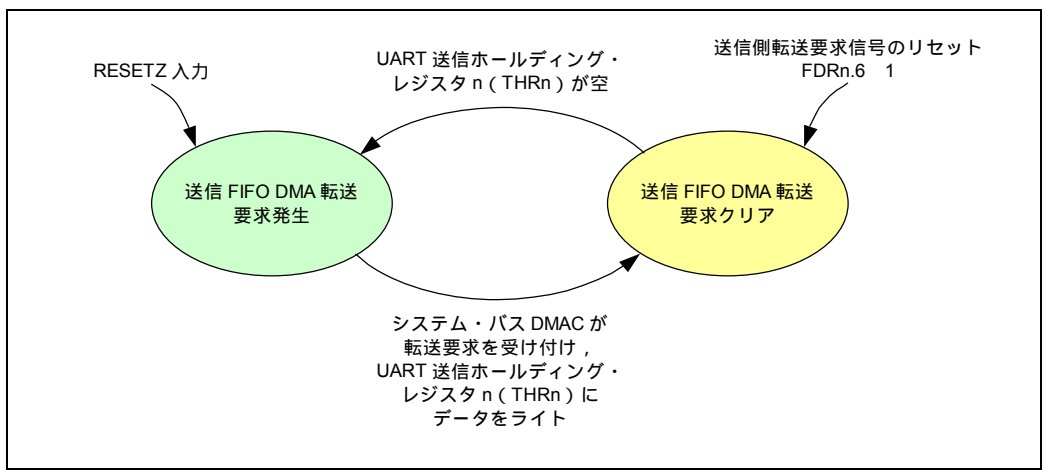


図 16-5 FIFO 有効 (FCRn.0 = 1) 時の, UART 送信 FIFO DMA 転送要求の状態遷移

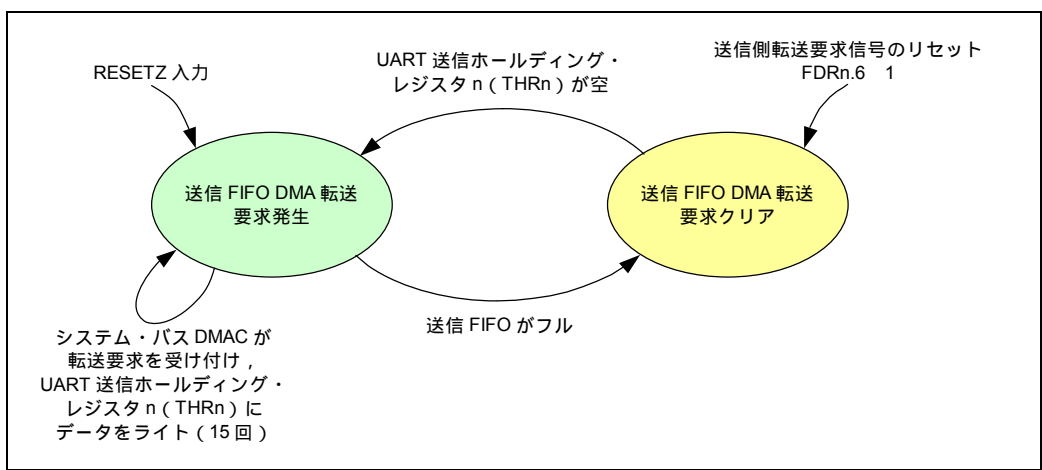
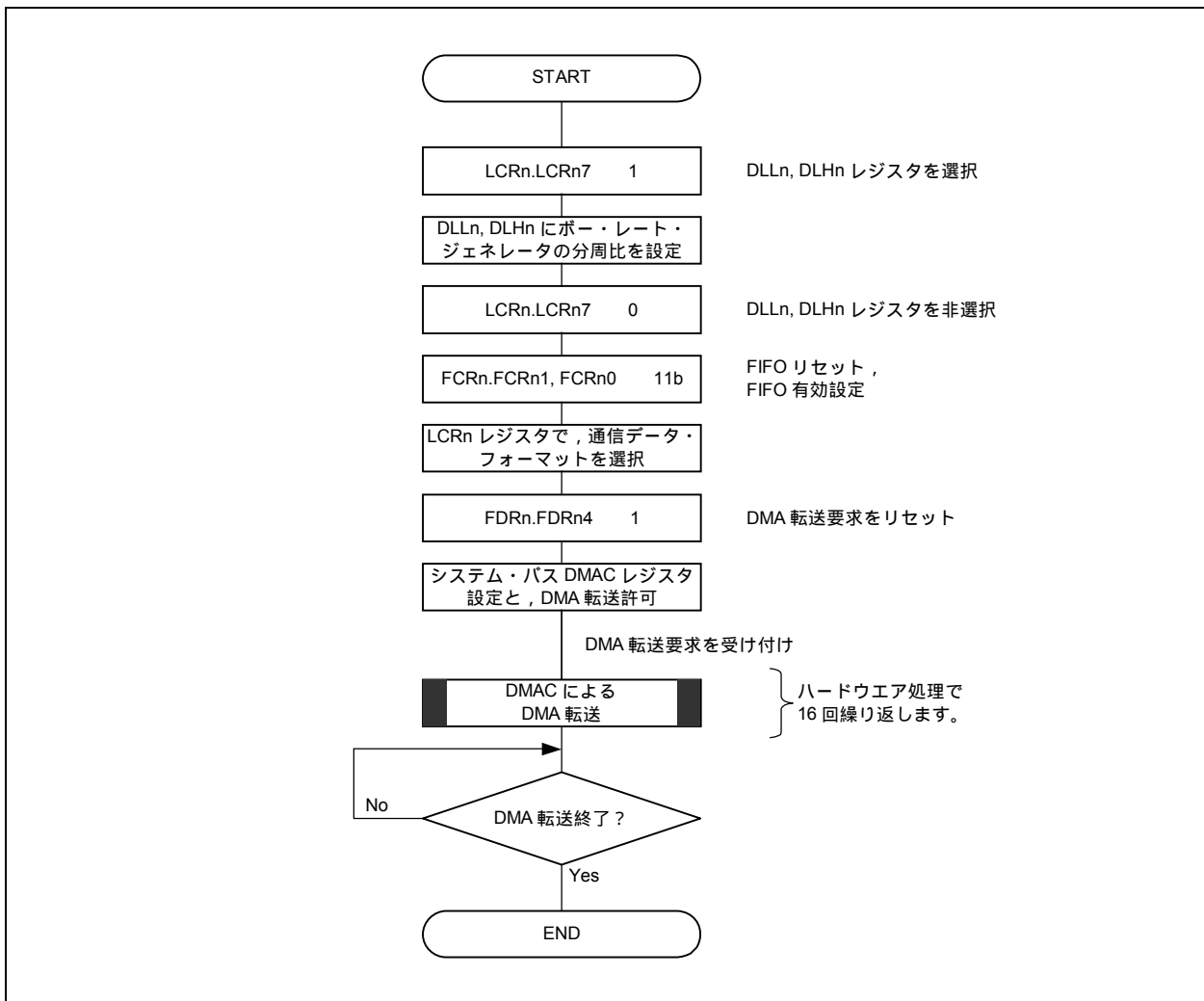


図 16-6 FIFO 有効 (FCRn.0 = 1) 時の , 送信の DMA 転送手順



## (2) UART 受信側 DMA 機能

受信側からは，UART 受信 FIFO DMA 転送要求が出力されます。

DMA 機能を利用する場合は，セントラル DMAC の DTFR<sub>m</sub> レジスタで，DMA 転送トリガ要因として「UART 受信 FIFO DMA 転送要求」を選択してください。

**備考 n = 0-3**

**m = 0-7**

8 ビット × 16 段の受信 FIFO を内蔵しています。

FIFO 有効時の UART 受信 FIFO DMA 転送要求は，UART FIFO 制御レジスタ n (FCR<sub>n</sub>) に設定した受信 FIFO トリガ・レベルのサイズ分の転送要求を繰り返し出力します。システム・バス DMAC は，シングル転送モードを選択してください。

システム・バス DMAC の DMA 転送要求，ハイ・レベルのレベル検出モードを指定してください。

システム・バス DMAC のアクノリッジ信号は，レベル・モードを指定してください。

FIFO 有効時は，システム・バス DMAC 以外のバス・マスタ (CPU，セントラル DMAC 等) からの UART 受信バッファ・レジスタ n (RBR<sub>n</sub>) レジスタへのアクセスは禁止です。

UART 受信 FIFO DMA 転送要求をクリアする必要があります。

UART FIFO 制御レジスタ n (FCR<sub>n</sub>) の受信 FIFO トリガ・レベル設定値に受信データが到達する前にデータ受信が終了した場合，キャラクタ・タイムアウト割り込みが INTUART<sub>n</sub> で発生します。受信 FIFO に残ったデータの処理と，UART 受信 FIFO DMA 転送要求をクリアする必要があります。

図 16-9 の手順を参照ください。

受信側の DMA インタフェース信号は，FIFO 有効時と FIFO 無効時で動作が異なります。

**表 16-3 UART 受信 FIFO DMA 転送要求の動作**

	受信 FIFO DMA 転送要求発生要因	受信 FIFO DMA 転送要求クリア要因
送信 FIFO 無効 (FCR <sub>n</sub> .0 = 0)	<ul style="list-style-type: none"> <li>UART 受信バッファ・レジスタ n (RBR<sub>n</sub>) にデータがある場合</li> </ul>	<ul style="list-style-type: none"> <li>UART 受信バッファ・レジスタ n (RBR<sub>n</sub>) にヘデータ・リードした場合</li> <li>UART DMA 転送要求制御レジスタ n (FDR<sub>n</sub>) のビット 4 をセット (1: UART 受信 FIFO DMA 転送要求のリセット) した場合</li> </ul>
送信 FIFO 有効 (FCR <sub>n</sub> .0 = 1)	<ul style="list-style-type: none"> <li>UART FIFO 制御レジスタ n (FCR<sub>n</sub>) のビット 7, 6 に設定した受信 FIFO トリガ・レベル分のデータ転送要求を出力します。</li> <li>1 キャラクタ目の受信 FIFO DMA 転送要求は，FCR<sub>n</sub> レジスタに設定したトリガ・レベル分のデータ受信した場合に発生します。</li> </ul> <p>以降，例えばトリガ・レベルを 4 キャラクタに設定した場合は，2 キャラクタ目の受信 FIFO DMA 転送要求は，転送要求を受け付けたシステム・バス DMAC が RBR<sub>n</sub> レジスタのデータをリードすると，1 度受信 FIFO DMA 転送要求をクリアした後で次の受信 FIFO DMA 転送要求を出します。</p> <p>4 キャラクタ目の RBR レジスタのデータ・リード完了後に受信 FIFO DMA 転送要求はクリアされ，再びトリガ・レベル分のデータを受信するまでは受信 FIFO DMA 転送要求は発生しません。</p>	<ul style="list-style-type: none"> <li>UART DMA 転送要求制御レジスタ n (FDR<sub>n</sub>) のビット 4 をセット (1: UART 受信 FIFO DMA 転送要求のリセット) した場合</li> </ul>

図 16-7 FIFO 無効 (FCRn.0 = 0) 時の, UART 受信 FIFO DMA 転送要求の状態遷移

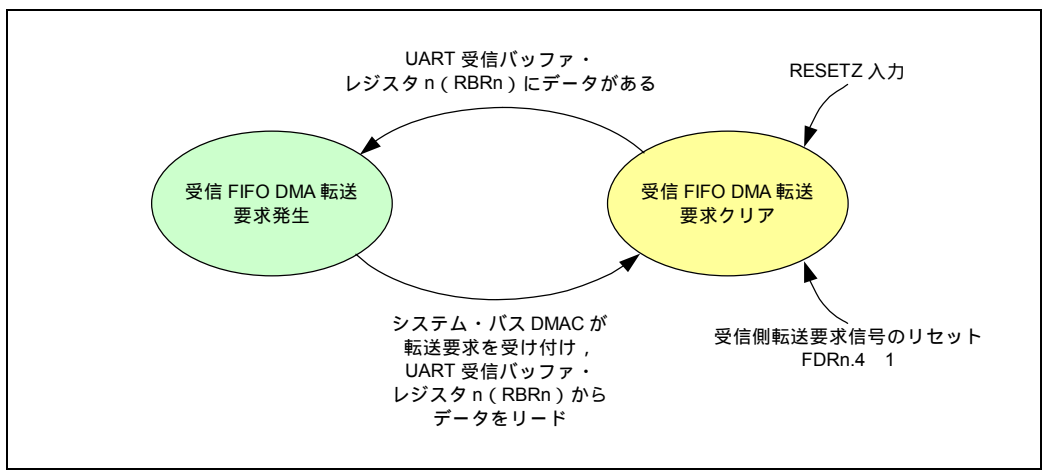


図 16-8 FIFO 有効 (FCRn.0 = 1) 時の, UART 受信 FIFO DMA 転送要求の状態遷移

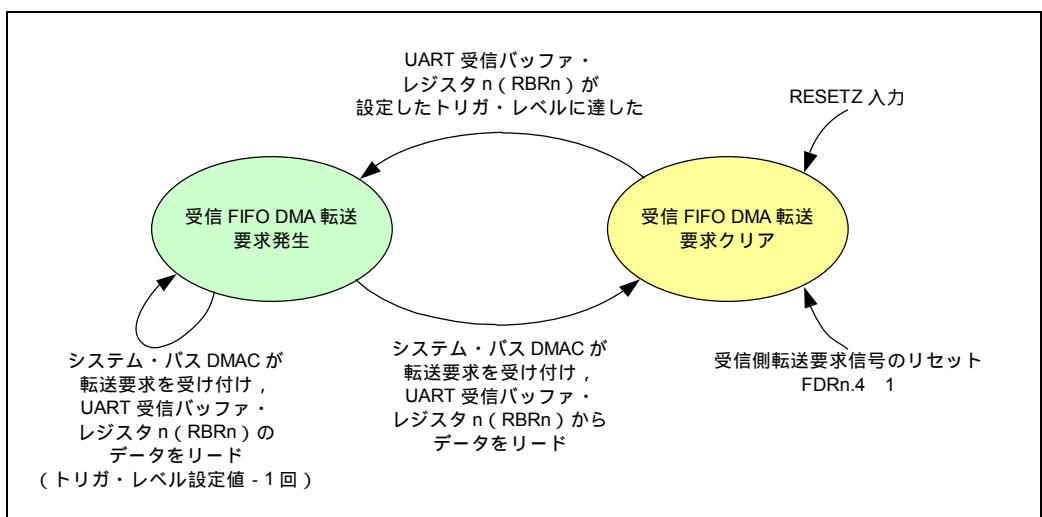
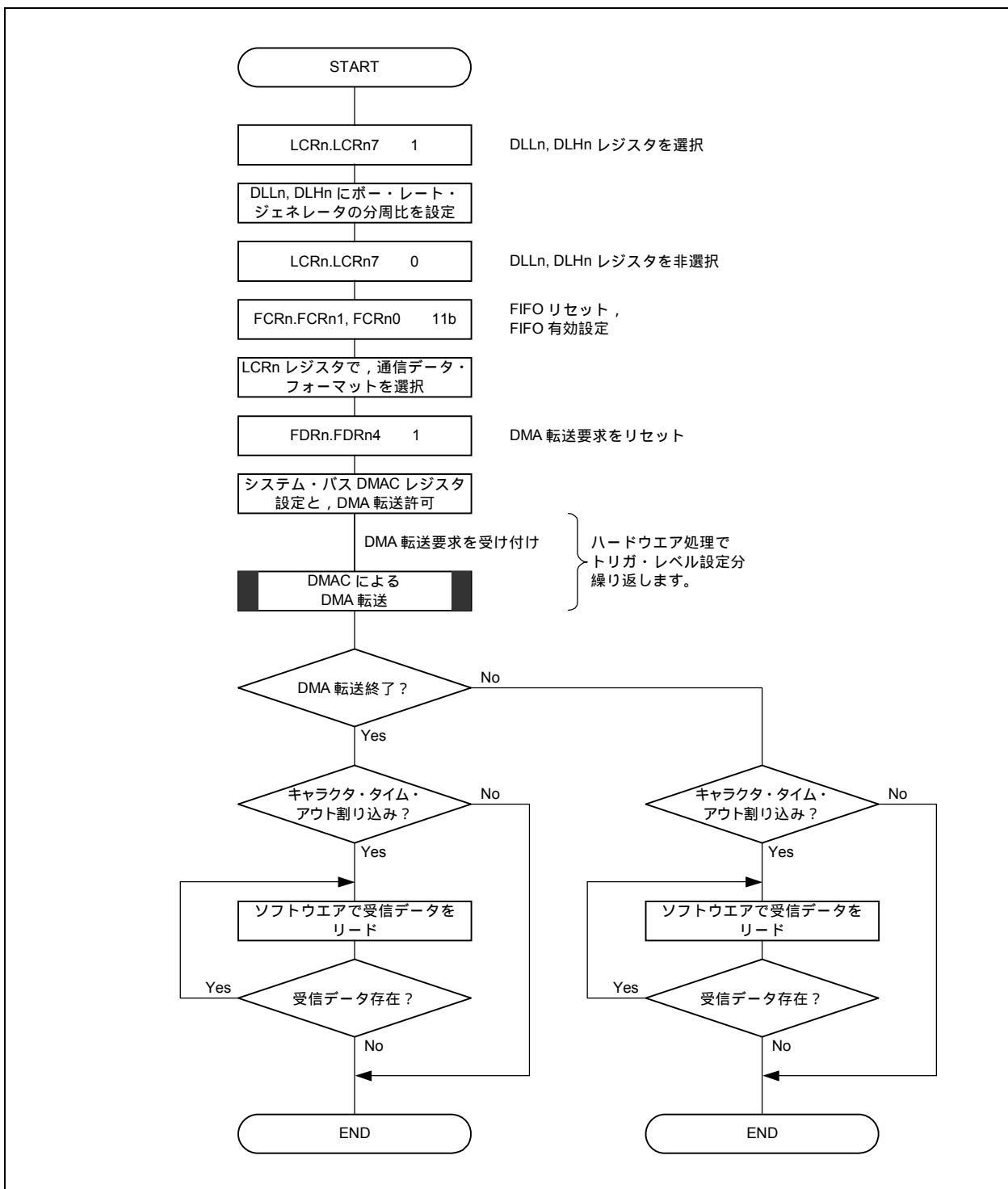


図 16-9 FIFO 有効 (FCRn.0 = 1) 時の、受信の DMA 転送手順





## 16.4 受信データのノイズ・フィルタ

UART シリアル・データ入力は、デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。  
ノイズ除去機能の設定は、ノイズ・フィルタ設定レジスタ 7 (NFC7) で行います。

### 16.4.1 ノイズ・フィルタ設定レジスタ

ノイズ除去幅を設定するレジスタです。

32 ビット単位でリード/ライト可能です。

**注意** 入力パルス幅が、NFC7 設定値 ~ NFC7 設定値 - 1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC7		0	0	0	0	0	0	0	0	NFRXD 31	NFRXD 30	NFRXD 21	NFRXD 20	NFRXD 11	NFRXD 10	NFRXD 01	NFRXD 01	0F01 912CH
										RXD3	RXD2	RXD1	RXD0					
R/W		0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFAD 01	NFAD 00	0000 0000H
																ADTRG		
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意味
31-0	NFRXDm1- NFRXDm0	RXD0-RXD3 入力のノイズ・フィルタ段数を、内部システム・バス・クロック基準で設定します。 CLKDV0-CLKDV2 端子により、内部システム・バス・クロックは、CPU 動作クロックの分周関係で設定されます。

NFm1	NFm0	ノイズ・フィルタ段数
0	0	0 × HCLK
0	1	4 × HCLK
1	0	8 × HCLK
1	1	16 × HCLK

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)
0	0	任意	CPCLK/2
0	1	任意	CPCLK/3
1	0	任意	CPCLK/4
1	1	任意	設定禁止

**備考** m = 0-3

★

## 第17章 クロック同期式シリアル・インタフェース (CSI3)

PFESiP/V850EP3 は、送受信バッファ内蔵の 8 チャンネルのクロック同期式シリアル・インタフェース (CSI) を内蔵しています。

### 17.1 特 徴

高速転送 マスタ・モード/スレーブ・モード時：最大 12.5Mbps

全二重通信

送信と受信は、独立に行うことができません (送受信同時動作)

マスタ・モードとスレーブ・モードを選択可能

送信データ長：8-16 ビット (1 ビット単位で選択可能)

転送データの MSB 先頭 / LSB 先頭を切り替え可能

3 線式 SOn : シリアル・データ出力

SIn : シリアル・データ入力

SCKn : シリアル・クロック入出力

ビット・レート

マスタ・モード時： BRG 出力 (クロック同期式シリアル・インタフェース・クロック選択レジスタ n (CSIC3n) の CKS3n2-CKS3n0 ビット, MDLn2-MDLn0 ビットで選択)

スレーブ・モード時： マスタからのクロック入力 (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 設定時)

割り込みソース 2 種

- ・送受信完了割り込み (INTCSI3n)

- ・CSIBUFn オーバフロー割り込み (INTCOVF3n)

送信モード, 受信モード, 送受信モードを選択可能

- ・送信モード： 送信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) に送信データをライトすることで送信を開始します (17.5(11) 送信モード参照)。

- ・受信モード： 受信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) にダミー・データをライトする処理をトリガとして受信を開始します (17.5(12) 受信モード参照)。

- ・送受信モード： 送受信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) に送信データをライトする処理をトリガとして送受信を開始します (17.5(13) 送受信モード参照)。

16 ビットの送受信バッファ (CSIBUFn) を 16 本内蔵

専用ボー・レート・ジェネレータ内蔵

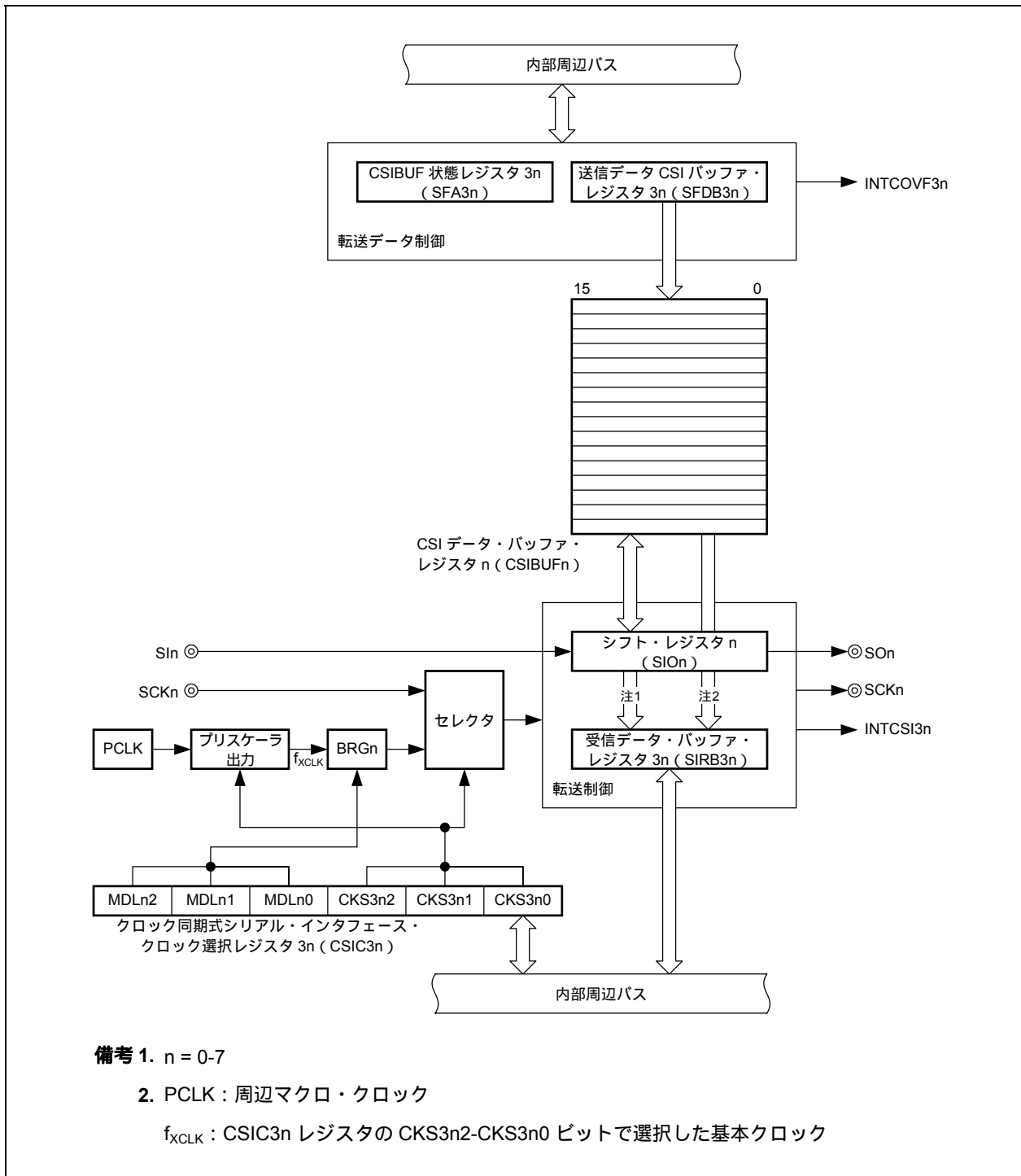
備考 n = 0-7

## 17.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ 3n (CSIM3n) によって, CSI3n を制御します (n = 0-7)。

- (1) クロック同期式シリアル・インタフェース・モード・レジスタ 30-37 (CSIM30-CSIM37)  
CSIM3n レジスタは, CSI3n の動作を指定する 8 ビット・レジスタです。
- (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-31 (CSIC30-CSIC37)  
CSIC3n レジスタは, CSI3n の動作クロックと動作モードを制御する 8 ビット・レジスタです。
- (3) シリアル I/O シフト・レジスタ 0-7 (SIO0-SIO7)  
SIO<sub>n</sub> レジスタは, シリアル・データ パラレル・データの変換を行う 8 ビット・レジスタです。  
SIO<sub>n</sub> は送信および受信の両方に使用されます。  
データは, MSB 側または LSB 側からシフト・イン (受信) またはシフト・アウト (送信) されます。
- (4) 受信データ・バッファ・レジスタ 30-37 (SIRB30-SIRB37)  
SIRB3n レジスタは, 受信データを格納する 16 ビット・バッファ・レジスタです。上位 8 ビット (SIRB3nH), 下位 8 ビット (SIRB3nL) に分割した 8 ビット・バッファ・レジスタとしても使用できます。
- (5) 送信データ CSI バッファ・レジスタ 30-37 (SFDB30-SFDB37)  
SFDB3n レジスタは, 送信データを格納する 16 ビット・バッファ・レジスタです。上位 8 ビット (SFDB3nH), 下位 8 ビット (SFDB3nL) に分割した 8 ビット・バッファ・レジスタとしても使用できます。
- (6) CSIBUF 状態レジスタ 30-37 (SFA30-SFA37)  
SFA3n レジスタは, CSI データ・バッファ・レジスタ n (CSIBUFn) または転送の状態を表示する 8 ビット・レジスタです。
- (7) 転送データ長選択レジスタ 30-37 (CSIL30-CSIL37)  
CSIL3n レジスタは, CSI3n 転送データ長を選択する 8 ビット・レジスタです。
- (8) 転送データ数指定レジスタ 30-37 (SFN30-SFN37)  
SFN3n レジスタは, 連続モード時の CSI3n 転送データ数を設定する 8 ビット・レジスタです。
- (9) CSI データ・バッファ・レジスタ 0-7 (CSIBUF0-CSIBUF7)  
転送する送信データを SFDB3n レジスタに連続ライトすることにより, 自動的にライト用 CSIBUFn ポインタをインクリメントしながら CSIBUFn レジスタ内にデータを格納することができます (CSIBUFn)。  
CSIBUFn レジスタは 16 ビット・バッファ・レジスタです。  
連続モードでは, 受信データを SIRB3n レジスタから, 続けてリードすることで, 自動的にリード用 CSIBUFn ポインタをインクリメントしながら, CSIBUFn レジスタ内の受信済みデータを順次リードできます。

図 17-1 クロック同期式シリアル・インタフェース 30-37 のブロック図



### 17.3 制御レジスタ

- (1) クロック同期式シリアル・インタフェース・モード・レジスタ 30-37 (CSIM30-CSIM37)  
 CSIM3n レジスタは、CSI3n の動作を制御するレジスタです (n = 0-7)。  
 8/1 ビット単位でリード/ライト可能です。  
 ビット 0 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

- 注意 1.** TRMDn, DIRn, CSITn, CSWEn ビットへのライトは、CTXEn ビット = 0、および CRXEn ビット = 0 のときのみ可能です。  
**2.** CSI3n を使用するには、必ず CSI3n 機能に関連する外部端子をコントロール・モードに設定し、CSICAEEn ビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIM3n	CSICAEEn	CTXEn	CRXEn	TRMDn	DIRn	CSITn	CSWEn	0	0F1C 0802H + 80H × n	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0		

ビット位置	ビット名	意味
7	CSICAEEn	動作クロックを制御します。 0 : CSI3n へのクロック供給を停止 1 : CSI3n へクロックを供給  <b>注意 1.</b> CSICAEEn ビット = 0 にすると、CSI3n ユニットはリセット状態となり、CSI3n は停止します。CSI3n を動作させる場合には、まず CSICAEEn ビット = 1 にしてください。 <b>2.</b> CSICAEEn ビットを 0 1, 1 0 と書き換える場合は、同時に CSIM3n レジスタの CSICAEEn ビット以外のビットを書き換えることは禁止です。 また、CSICAEEn ビット = 0 のときに、CSIM3n レジスタの CSICAEEn ビット以外のビット、および SFDB3n, SFDB3nL, SFA3n レジスタの書き換えは禁止します。
6	CTXEn	送信許可 / 禁止を指定します。 0 : 送信禁止 1 : 送信許可  <b>注意 1.</b> CTXEn ビットは、CSICAEEn ビットをクリア (0) するとリセットされます。 <b>2.</b> CTXEn ビットをクリア (0) する場合は、SFA3n.FPCLRn ビットをセット (1) し、CSIBUFn ポインタをクリア (0) してから行ってください。

**備考** n = 0-7

ビット位置	ビット名	意味
5	CRXEn	<p>受信許可 / 禁止を指定します。</p> <p>0 : 受信禁止 1 : 受信許可</p> <p><b>注意</b> CRXEn ビットは、CSICAE<sub>n</sub> ビットをクリア (0) するとリセットされます。</p>
4	TRMD <sub>n</sub>	<p>転送モードを指定します。</p> <p>0 : シングル・モード 1 : 連続モード</p>
3	DIR <sub>n</sub>	<p>SFDB3<sub>n</sub> レジスタから CSIBUF<sub>n</sub> レジスタへのライト / SIRB3<sub>n</sub>, CSIBUF<sub>n</sub> レジスタからのリード時の転送方向を指定します。</p> <p>0 : 転送データ先頭ビットは MSB 1 : 転送データ先頭ビットは LSB</p>
2	CSIT <sub>n</sub>	<p>送受信完了割り込み信号 (INTCSI3<sub>n</sub>) の遅延制御を行います (17.5(14) 送受信完了割り込み (INTCSI3<sub>n</sub>) の遅延制御機能参照)。</p> <p>0 : 遅延なし 1 : 遅延モード (1 データの転送終了時に半サイクルの遅延が挿入されるため、次のデータ転送も半サイクル遅れる)</p> <p><b>注意 1.</b> 遅延モード (CSIT ビット = 1) は、マスタ・モード (CSIC3<sub>n</sub> レジスタの CKS3<sub>n2</sub>-CKS3<sub>n0</sub> ビットが 111 以外) のときのみ有効です。スレーブ・モード (CKS3<sub>n2</sub>-CKS3<sub>n0</sub> ビットが 111) の時は、遅延モードに設定しないでください。設定しても、INTCSI3<sub>n</sub> は CSIT<sub>n</sub> ビットの影響を受けません。</p> <p><b>2.</b> 連続モード (TRMD<sub>n</sub> ビット = 1) の時に CSIT<sub>n</sub> ビット = 1 に設定した場合、SFN3<sub>n</sub> レジスタの SFN3-SFN0 ビットで設定した最終データ以外の転送終了時に INTCSI3<sub>n</sub> 割り込み自体は出力されませんが、各データ転送間に半クロック分の遅延は挿入できません。</p>
1	CSWEn	<p>転送ウエイトの許可 / 禁止を指定します。</p> <p>0 : 転送ウエイト禁止 (転送スタート時に 1 ウエイト挿入しない) 1 : 転送ウエイト許可 (転送スタート時に 1 ウエイト挿入する)</p> <p><b>注意</b> 転送ウエイトの挿入 (CSWEn ビット = 1) は、マスタ・モード (CSIC3<sub>n</sub> レジスタの CKS3<sub>n2</sub>-CKS3<sub>n0</sub> ビットが 111 以外) のときのみ有効です。スレーブ・モード (CKS3<sub>n2</sub>-CKS3<sub>n0</sub> ビットが 111) の時は、転送ウエイトの挿入をしないでください。設定しても、転送ウエイトは挿入されません。</p>

備考 n = 0-7

- (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-37 (CSIC30-CSIC37)  
 CSIC3n レジスタは、CSI3n の動作クロックと動作モードを制御するレジスタです。  
 8/1 ビット単位でリード/ライト可能です。

**注意** CSIC3n レジスタへのライトは、CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 のときのみ可能です。

( 1/3 )

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC3n	MDLn2	MDLn1	MDLn0	CKPn	DAPn	CKS3n2	CKS3n1	CKS3n0	0F1C 0807H + 80H × n	07H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																													
7-5	MDLn2- MDLn0	転送クロック (BRGn 出力信号) を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th>MDLn2</th> <th>MDLn1</th> <th>MDLn0</th> <th>設定値 (N)</th> <th>転送クロック (BRGn 出力信号)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>BRGn ストップ・モード (パワー・セーブ)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td><math>f_{XCLK}/2</math></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> <td><math>f_{XCLK}/4</math></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> <td><math>f_{XCLK}/6</math></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4</td> <td><math>f_{XCLK}/8</math></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5</td> <td><math>f_{XCLK}/10</math></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>6</td> <td><math>f_{XCLK}/12</math></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>7</td> <td><math>f_{XCLK}/14</math></td> </tr> </tbody> </table> <p style="margin-top: 10px;"><b>注意</b> スレーブ・モード (CKS3n2-CKS3n0 ビット = 111) 時には、MDLn2-MDLn0 ビット = 000 (BRGn ストップ・モード) に設定することを推奨します。</p> <p><b>備考</b> <math>f_{XCLK}</math> : CKS3n2-CKS3n0 ビットで選択した基本クロック</p>	MDLn2	MDLn1	MDLn0	設定値 (N)	転送クロック (BRGn 出力信号)	0	0	0	-	BRGn ストップ・モード (パワー・セーブ)	0	0	1	1	$f_{XCLK}/2$	0	1	0	2	$f_{XCLK}/4$	0	1	1	3	$f_{XCLK}/6$	1	0	0	4	$f_{XCLK}/8$	1	0	1	5	$f_{XCLK}/10$	1	1	0	6	$f_{XCLK}/12$	1	1	1	7	$f_{XCLK}/14$
MDLn2	MDLn1	MDLn0	設定値 (N)	転送クロック (BRGn 出力信号)																																											
0	0	0	-	BRGn ストップ・モード (パワー・セーブ)																																											
0	0	1	1	$f_{XCLK}/2$																																											
0	1	0	2	$f_{XCLK}/4$																																											
0	1	1	3	$f_{XCLK}/6$																																											
1	0	0	4	$f_{XCLK}/8$																																											
1	0	1	5	$f_{XCLK}/10$																																											
1	1	0	6	$f_{XCLK}/12$																																											
1	1	1	7	$f_{XCLK}/14$																																											

**備考** n = 0-7

ビット位置	ビット名	意味															
4, 3	CKPn, DAPn	SCKn に対するデータの送信, 受信タイミングを指定します。  <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CKPn</th> <th>DAPn</th> <th>SCKn に対する送信, 受信タイミング指定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td> </td> </tr> <tr> <td style="text-align: center;">1 注</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">1 注</td> <td style="text-align: center;">1</td> <td> </td> </tr> </tbody> </table>	CKPn	DAPn	SCKn に対する送信, 受信タイミング指定	0	0		0	1		1 注	0		1 注	1	
CKPn	DAPn	SCKn に対する送信, 受信タイミング指定															
0	0																
0	1																
1 注	0																
1 注	1																

注 マスタ・モード (CKS3n2-CKS3n0 ビットが 111 以外) 時に CKPn ビット = 1 とした場合, SCKn 端子の出力は, インアクティブ時にロー・レベル出力となります。ただし, CSIM3n レジスタの CTXEn ビット = 0 (送信禁止) および CRXEn ビット = 0 (受信禁止) とした場合, SCKn 端子の出力は, ハイ・レベルとなります。このため CSI3n の未使用時に SCKn 端子の出力をロー・レベルに固定とする場合は次のようにしてください。

**【SCK0 端子 (SCK1 端子) の場合】**

- PC レジスタの PC0 ビット = 0 にする (PC レジスタの PC3 ビット = 0 にする)
    - : ポート出力レベルをロー・レベルに設定
  - PMC レジスタの PMC0 ビット = 0 にする (PMC レジスタの PMC3 ビット = 0 にする)
    - : ポートを出力モードに設定
  - PMCTC レジスタの PMCTC0 ビット = 0 にする (PMCTC レジスタの PMCTC3 ビット = 0 にする)
    - : 端子をポート・モードに切り替え (ロー・レベル出力固定)
  - CSIM30 レジスタの CTXE0 ビット = 0 および CRXE0 ビット = 0 にする  
(CSIM31 レジスタの CTXE1 ビット = 0 および CRXE1 ビット = 0 にする)
    - : 送信および受信禁止
  - CSIM30 レジスタの CTXE0 ビット = 1 または CRXE0 ビット = 1 にする  
(CSIM31 レジスタの CTXE1 ビット = 1 または CRXE1 ビット = 1 にする)
    - : 送信または受信許可 (送受信許可も可能)
  - PMCTC レジスタの PMCTC0 ビット = 1 にする (PMCTC レジスタの PMCTC3 ビット = 1 にする)
    - : 端子をコントロール・モード (SCK0, SCK1 端子出力) に切り替え
- なお, , のレジスタ設定値は保持されているため, 一度設定すれば, - のみの設定で制御できます。

備考 n = 0-7



ビット位置	ビット名	意味						
2-0	CKS3n2- CKS3n0	基本クロック (プリスケアラ出力) を指定します。						
		CKS3n2	CKS3n1	CKS3n0	設定値 (K)	基本 クロック ( $f_{XCLK}$ ) <sup>注</sup>	モード	SCKn 入出力
		0	0	0	0	PCLK	マスタ・モード	出力
		0	0	1	1	PCLK/2	マスタ・モード	出力
		0	1	0	2	PCLK/4	マスタ・モード	出力
		0	1	1	3	PCLK/8	マスタ・モード	出力
		1	0	0	4	PCLK/16	マスタ・モード	出力
		1	0	1	5	PCLK/32	マスタ・モード	出力
		1	1	0	6	PCLK/64	マスタ・モード	出力
		1	1	1	7	SCKn 入力	スレーブ・モード	入力

**注** 転送クロックの最大周波数は、PCLK/4 です。MDLn2-MDLn0 と CKS3n2-CKS3n0 の設定に合わせて、転送クロックが PCLK の 1/4 以下になるように設定してください。

**注意** CSIC3n レジスタの CKS3n2-CKS3n0 ビット= 000 に設定した場合、CSIC3n レジスタの MDLn2-MDLn0 ビット= 001 の設定は禁止します。

**備考 1.** PCLK : 周辺マクロ・クロック

**2.** n = 0-7

(3) 受信データ・バッファ・レジスタ 30-37 (SIRB30-SIRB37)

SIRB3n レジスタは、受信データを格納する 16 ビット・バッファ・レジスタです。

連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時には、続けてリードすることで、リード用 CSIBUFn ポインタをインクリメントしながら、CSIBUFn レジスタ内の受信済みデータを順次リードできます。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時には、SIRB3n レジスタをリードすることで、受信済みデータをリードして SIRB3n レジスタが空になったことを判断します。

SIRB3n レジスタは 16 ビット単位でリードのみ可能です。

SIRB3n レジスタの上位 8 ビットを SIRB3nH レジスタ、下位 8 ビットを SIRB3nL レジスタとして使用した場合は、8 ビット単位でリードのみ可能です。なお、8 ビット単位でリードする場合は、必ず SIRB3nH レジスタ、SIRB3nL レジスタの順番で行ってください。

**注意** SIRB3n レジスタと SIRB3nL レジスタは、PFESiP/V850EP3 の構造上、同一アドレスに配置されません。SIRB3nL レジスタと SIRB3nH レジスタは、次のアドレスでアクセスしてください。

SIRB3nL レジスタ : 0F1C 080A + 80H × n

SIRB3nH レジスタ : 0F1C 080F + 80H × n

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
SIRB3n	SIRBn15	SIRBn14	SIRBn13	SIRBn12	SIRBn11	SIRBn10	SIRBn9	SIRBn8	SIRBn7	SIRBn6	SIRBn5	SIRBn4	SIRBn3	SIRBn2	SIRBn1	SIRBn0	0F1C 0808H + 80H × n	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

**注** 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時 : 不定

ビット位置	ビット名	意味
15-0	SIRBn15- SIRBn0	受信データを格納します。

**備考** 1. n = 0-7  
 2. SIRB3n レジスタは、CSIM3n レジスタの CSICAEn ビット = 0 で 0000H になります。

## (4) 送信データ CSI バッファ・レジスタ 30-37 (SFDB30-SFDB37)

SFDB3n レジスタは、送信データを格納する 16 ビット・バッファ・レジスタです。

ライト時には、ライト用 CSIBUFn ポインタをインクリメントしながら、CSIBUFn レジスタ内に送信データを順次格納します。

リード時には、最後にライトした送信データの値がリードされます。

SFDB3n レジスタは 16 ビット単位でリード/ライト可能です。

SFDB3n レジスタの上位 8 ビットを SFDB3nH レジスタ、下位 8 ビットを SFDB3nL レジスタとして使用した場合は、8 ビット単位でリード/ライト可能です。なお、8 ビット単位でライトする場合は、必ず SFDB3nH レジスタ、SFDB3nL レジスタの順番で行ってください。

**注意** SFDB3n レジスタと SFDB3nL レジスタは、PFESiP/V850EP3 の構造上、同一アドレスに配置されません。SFDB3nL レジスタと SFDB3nH レジスタは、次のアドレスでアクセスしてください。

**SFDB3nL レジスタ** : 0F1C 081A + 80H × n

**SFDB3nH レジスタ** : 0F1C 081F + 80H × n

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SFDB3n	SFDBn15	SFDBn14	SFDBn13	SFDBn12	SFDBn11	SFDBn10	SFDBn9	SFDBn8	SFDBn7	SFDBn6	SFDBn5	SFDBn4	SFDBn3	SFDBn2	SFDBn1	SFDBn0	0F1C 0818H + 80H × n	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意味																
15-0	SFDBn15-SFDBn0	送信データを格納します。																

**備考** n = 0-7

## (5) CSIBUF 状態レジスタ 30-37 (SFA30-SFA37)

CSIBUFn レジスタまたは転送の状態を表示するレジスタです。

8/1 ビット単位でリード/ライト可能です (ただし, ビット 6-0 はリードのみ可能です。ライトしても変化しません)。

**注意 1.** CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 および周辺マクロ・クロック (PCLK) が停止している場合は, SFA3n レジスタのリードは禁止します。

**2.** 転送中の SFFUL<sub>n</sub>, SFEMP<sub>n</sub>, CSOT<sub>n</sub>, SFPn3-SFPn0 ビット値は, 常に変化する可能性があるため, 転送中のリード値は実際の値とは異なる場合があります。特に CSOT<sub>n</sub> ビットは, 単独で使用してください (他のビットと関連付けて使用しないでください)。また, 転送終了の判断を SFA3n レジスタで行う場合は, 転送予定分の転送データを CSIBUFn レジスタへライト後の SFEMP<sub>n</sub> ビット = 1 で判断するようにしてください。

**3.** SFDB3n, SFDB3nL レジスタのライト後に SFA3n レジスタの SFFUL<sub>n</sub>, SFEMP<sub>n</sub>, SFPn3-SFPn0 ビット値が変化するまで, PCLK × 2 の期間が必要です。

**4.** SFFUL<sub>n</sub> ビット = 1 になる前に SFA3n レジスタをリードし, 17 個目のデータをライトした場合, CSIBUFn オーバフロー割り込み (INTCOVF3n) が発生します。

( 1/3 )

								アドレス	初期値	
SFA3n	7	6	5	4	3	2	1	0	0F1C 0822H + 80H × n	20H
	FPCLR <sub>n</sub>	SFFUL <sub>n</sub>	SFEMP <sub>n</sub>	CSOT <sub>n</sub>	SFPn3	SFPn2	SFPn1	SFPn0		
R/W	R/W	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7	FPCLR <sub>n</sub>	<p>CSIBUF<sub>n</sub> ポインタのクリアを指定します。</p> <p>0: 動作なし 1: 全 CSIBUF<sub>n</sub> ポインタをクリア (0)</p> <p><b>注意 1.</b> リード時には常に 0 が読み出されます。</p> <p><b>2.</b> 転送途中に FPCLR<sub>n</sub> ビット = 1 のライトを行った場合, 転送は中断されます。また, 全 CSIBUF<sub>n</sub> ポインタがクリア (0) されるため, CSIBUF<sub>n</sub> レジスタ内の残りのデータも無視されます。</p> <p>FPCLR<sub>n</sub> ビット = 1 のライトを行った場合には, 必ず SFA3n レジスタのリードを行い, 全 CSIBUF<sub>n</sub> ポインタが確実にクリア (0) されたこと (SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000) を確認してください。FPCLR<sub>n</sub> ビット = 0 のライトを行っても何も起こりません。</p>

**備考 1.** n = 0-7

**2.** SFA3n レジスタは, CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 で 20H になります。

ビット位置	ビット名	意味
6	SFFULn	<p>CSIBUFn レジスタの full 状態フラグです。</p> <p>0 : CSIBUFn レジスタに空きあり 1 : CSIBUFn レジスタは full 状態</p> <p><b>注意 1.</b> CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 , FPCLR ビット = 1 のライトでクリア (0) されます。</p> <p><b>2.</b> 連続モード (CSIM3n レジスタの TRMD<sub>n</sub> ビット = 1) 時に 16 個のデータ転送を指定した場合 (SFN3n レジスタの SFNn3-SFNn0 ビット = 0000) , シングル・モード (CSIM3n レジスタの TRMD<sub>n</sub> ビット = 0) と同様に CSIBUFn レジスタにデータが 16 個あるときには SFFULn ビット = 1 になり, 1 つでもデータ転送が終了したときには SFFULn ビット = 0 になりますが, 実際に CSIBUFn レジスタに空きができたわけではありません。</p>
5	SFEMPn	<p>CSIBUFn レジスタの empty 状態フラグです。</p> <p>0 : CSIBUFn レジスタにデータあり 1 : CSIBUFn レジスタは empty 状態</p> <p><b>注意 1.</b> CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 , FPCLR ビット = 1 のライトでセット (1) されます。</p> <p><b>2.</b> CSIBUFn レジスタ内にライトされた転送データ分の転送が終了すると, SFEMPn ビット = 1 になります (CSIBUFn レジスタ内に受信データが格納されていても SFEMPn ビット = 1 になります)。</p>
4	CSOTn	<p>転送状態フラグです。</p> <p>0 : アイドル状態 1 : 転送中または転送開始処理中</p> <p><b>注意 1.</b> CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 , FPCLR<sub>n</sub> ビット = 1 のライト, または CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 でクリア (0) されます。</p> <p><b>2.</b> シングル・モード (CSIM3n レジスタの TRMD<sub>n</sub> ビット = 0) 時には転送開始から CSIBUFn レジスタ内の転送データがなくなるまで, 連続モード (CSIM3n レジスタの TRMD<sub>n</sub> ビット = 1) 時には転送開始から指定したデータ数分の転送が終了するまで '1' を保持します。</p>

備考 n = 0-7

ビット位置	ビット名	意 味
3-0	SFPn3- SFPn0	<ul style="list-style-type: none"> <li>・ シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時には、「CSIBUFn レジスタ内の残りの転送データ数 (ライト用 CSIBUFn ポインタ値 - SION ロード用 CSIBUFn ポインタ値)」がリードできます。</li> <li>・ 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時には、「転送完了したデータ数 (SION ロード/ストア用 CSIBUFn ポインタの値)」がリードできます。ただし、SFPn3-SFPn0 ビット = 0H の場合の値は SFEMPn ビットの設定により次のようになります。 SFEMPn ビット = 0 のとき: 転送完了したデータ数 = 0 個 SFEMPn ビット = 1 のとき: 転送完了したデータ数 = 16 個, または転送開始前 (転送データ・ライト前) の状態</li> </ul> <p><b>注意</b> FPCLRn ビット = 1 のライトにより, 動作クロックに同期してクリア (0) されます。ただし, CSIM3n レジスタの CSICAEn ビット = 0 または FPCLRn ビット = 1 のライトを行うまで値は保持されます。</p>

備考 n = 0-7

(6) 転送データ長選択レジスタ 30-37 (CSIL30-CSIL37)

CSIL3n レジスタは、CSI3n の転送データ長を選択するレジスタです。

8/1 ビット単位でリード/ライト可能です。

ビット 7-4 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

**注意** CSIL3n レジスタは、CSIM3n レジスタの CTXEn ビット = 1 または CRXEn ビット = 1 の場合は転送中の可能性があります。CSIL3n レジスタへのライトは必ず CTXEn ビット = 0 および CRXEn ビット = 0 に設定してから実行してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIL3n	0	0	0	0	CCLn3	CCLn2	CCLn1	CCLn0	0F1C 0827H + 80H x n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																							
3-0	CCLn3- CCLn0	<p>転送データ長を指定します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th style="width: 10%;">CCLn3</th> <th style="width: 10%;">CCLn2</th> <th style="width: 10%;">CCLn1</th> <th style="width: 10%;">CCLn0</th> <th style="width: 60%;">転送データ長</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>16 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>8 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>9 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>10 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>11 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>12 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>13 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>14 ビット</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>15 ビット</td></tr> <tr> <td colspan="4">その他</td> <td>設定禁止</td> </tr> </tbody> </table> <p style="margin-top: 10px;"><b>注意</b> 転送データ長に 16 ビット (CCLn3-CCLn0 ビット = 0000) 以外を指定した場合、SIRB3n, CSIBUFn レジスタの上位側の余ったビットには不定値がリードされます (17.5(3) データ転送方向指定機能参照)。</p>	CCLn3	CCLn2	CCLn1	CCLn0	転送データ長	0	0	0	0	16 ビット	1	0	0	0	8 ビット	1	0	0	1	9 ビット	1	0	1	0	10 ビット	1	0	1	1	11 ビット	1	1	0	0	12 ビット	1	1	0	1	13 ビット	1	1	1	0	14 ビット	1	1	1	1	15 ビット	その他				設定禁止
CCLn3	CCLn2	CCLn1	CCLn0	転送データ長																																																					
0	0	0	0	16 ビット																																																					
1	0	0	0	8 ビット																																																					
1	0	0	1	9 ビット																																																					
1	0	1	0	10 ビット																																																					
1	0	1	1	11 ビット																																																					
1	1	0	0	12 ビット																																																					
1	1	0	1	13 ビット																																																					
1	1	1	0	14 ビット																																																					
1	1	1	1	15 ビット																																																					
その他				設定禁止																																																					

**備考** n = 0-7

(7) 転送データ数指定レジスタ 30-37 (SFN30-SFN37)

SFN3n レジスタは、連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時の CSI3n の転送データ数を設定するレジスタです。

8/1 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
SFN3n	0	0	0	0	SFNn3	SFNn2	SFNn1	SFNn0	0F1C 0832H + 80H × n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																																																					
3-0	SFN n3- SFN n0	<p>転送データ数を指定します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th>SFNn3</th> <th>SFNn2</th> <th>SFNn1</th> <th>SFNn0</th> <th>転送データ長</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>16</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15</td></tr> </tbody> </table> <p style="font-size: small; margin-top: 10px;">注意 SFNn3-SFNn0 ビット設定値 (CSI3n 転送データ数) を越えるデータを CSIBUFn レジスタへライトすることは禁止します (ライトしてもそのデータは無視されます)。</p>	SFNn3	SFNn2	SFNn1	SFNn0	転送データ長	0	0	0	0	16	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9	1	0	1	0	10	1	0	1	1	11	1	1	0	0	12	1	1	0	1	13	1	1	1	0	14	1	1	1	1	15
SFNn3	SFNn2	SFNn1	SFNn0	転送データ長																																																																																			
0	0	0	0	16																																																																																			
0	0	0	1	1																																																																																			
0	0	1	0	2																																																																																			
0	0	1	1	3																																																																																			
0	1	0	0	4																																																																																			
0	1	0	1	5																																																																																			
0	1	1	0	6																																																																																			
0	1	1	1	7																																																																																			
1	0	0	0	8																																																																																			
1	0	0	1	9																																																																																			
1	0	1	0	10																																																																																			
1	0	1	1	11																																																																																			
1	1	0	0	12																																																																																			
1	1	0	1	13																																																																																			
1	1	1	0	14																																																																																			
1	1	1	1	15																																																																																			

備考 n = 0-7



## 17.4 専用ポー・レート・ジェネレータ 0-7 (BRG0-BRG7)

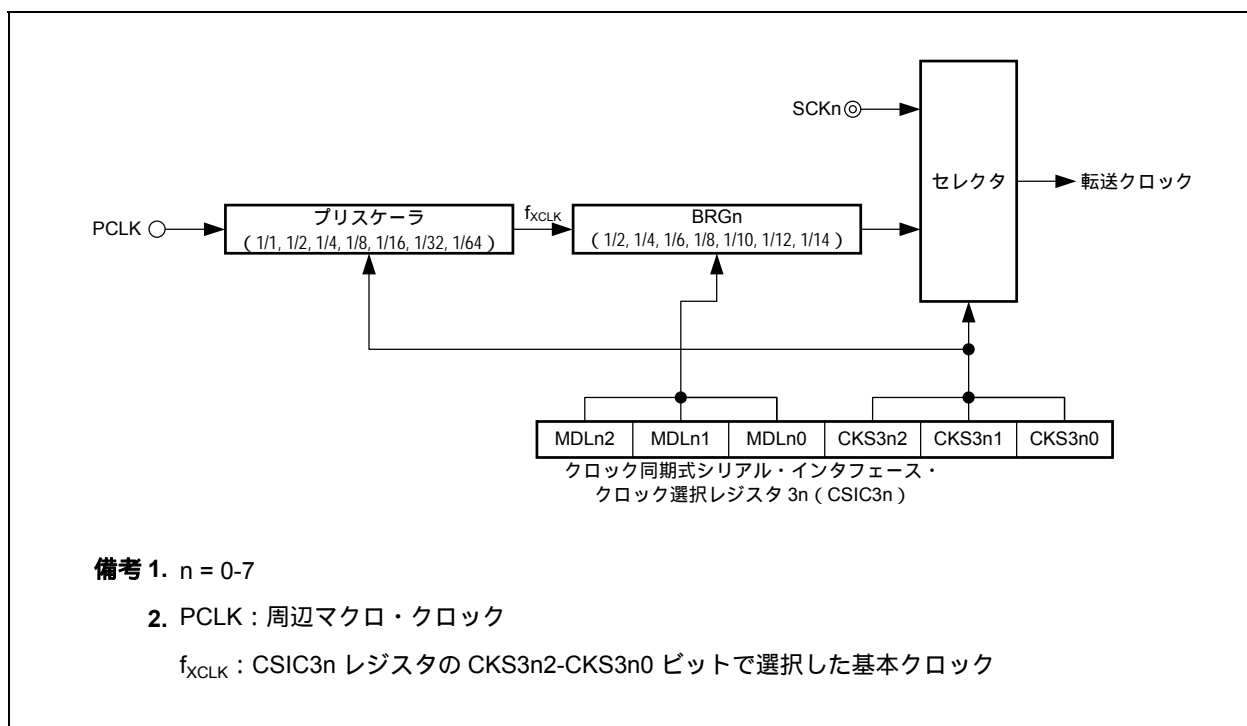
CSI3n の転送クロックは、専用ポー・レート・ジェネレータ出力または外部クロックから選択できます (n = 0-7)。

シリアル・クロック・ソースは、CSIC3n レジスタで指定します。

マスタ・モードを指定した場合 (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) は、クロック・ソースとして BRGn が選択されます。

### 17.4.1 転送クロック

図 17-2 CSI3n の転送クロック



### 17.4.2 ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{F}{N \times 2^{(K+1)}} \text{ [bps]}$$

F = PCLK (PCLK : 周辺マクロ・クロック)

K = CSIC3n レジスタの CKS3n2-CKS3n0 ビットで設定した値 (K = 0, 1, 2, ... , 6)

N = CSIC3n レジスタの MDLn2-MDLn0 ビットで設定した値 (N = 1, 2, 3, ... , 7)

**注意** 最大転送レートはPCLK/4 であるため、CSIC3n レジスタのCKS3n2-CKS3n0 ビット = 000 に設定した場合、CSIC3n レジスタのMDLn2-MDLn0 ビット = 001 の設定は禁止します。

## 17.5 動作

### (1) 動作モード一覧

表 17-1 動作モード一覧

TRMDn ビット	CKS3n2-CKS3n0 ビット	CTXEn, CRXEn ビット	DIRn ビット	CSITn ビット	CSWEn ビット
シングル・モード	マスタ・モード	送信 / 受信 / 送受信	MSB/LSB 先頭	INTCSI3n 遅延モードの許可 / 禁止	転送ウエイト禁止
	スレーブ・モード			-	転送ウエイト許可
連続モード	マスタ・モード			INTCSI3n 遅延モードの許可 / 禁止	転送ウエイト禁止
	スレーブ・モード			-	転送ウエイト許可

備考 1. CTXEn ビット : CSIM3n レジスタのビット 6  
 CRXEn ビット : CSIM3n レジスタのビット 5  
 TRMDn ビット : CSIM3n レジスタのビット 4  
 DIRn ビット : CSIM3n レジスタのビット 3  
 CSITn ビット : CSIM3n レジスタのビット 2  
 CSWEn ビット : CSIM3n レジスタのビット 1  
 CKS3n2-CKS3n0 ビット : CSIC3n レジスタのビット 2-0

2. n = 0-7

## (2) CSI データ・バッファ・レジスタ 0-7 (CSIBUF0-CSIBUF7) 機能

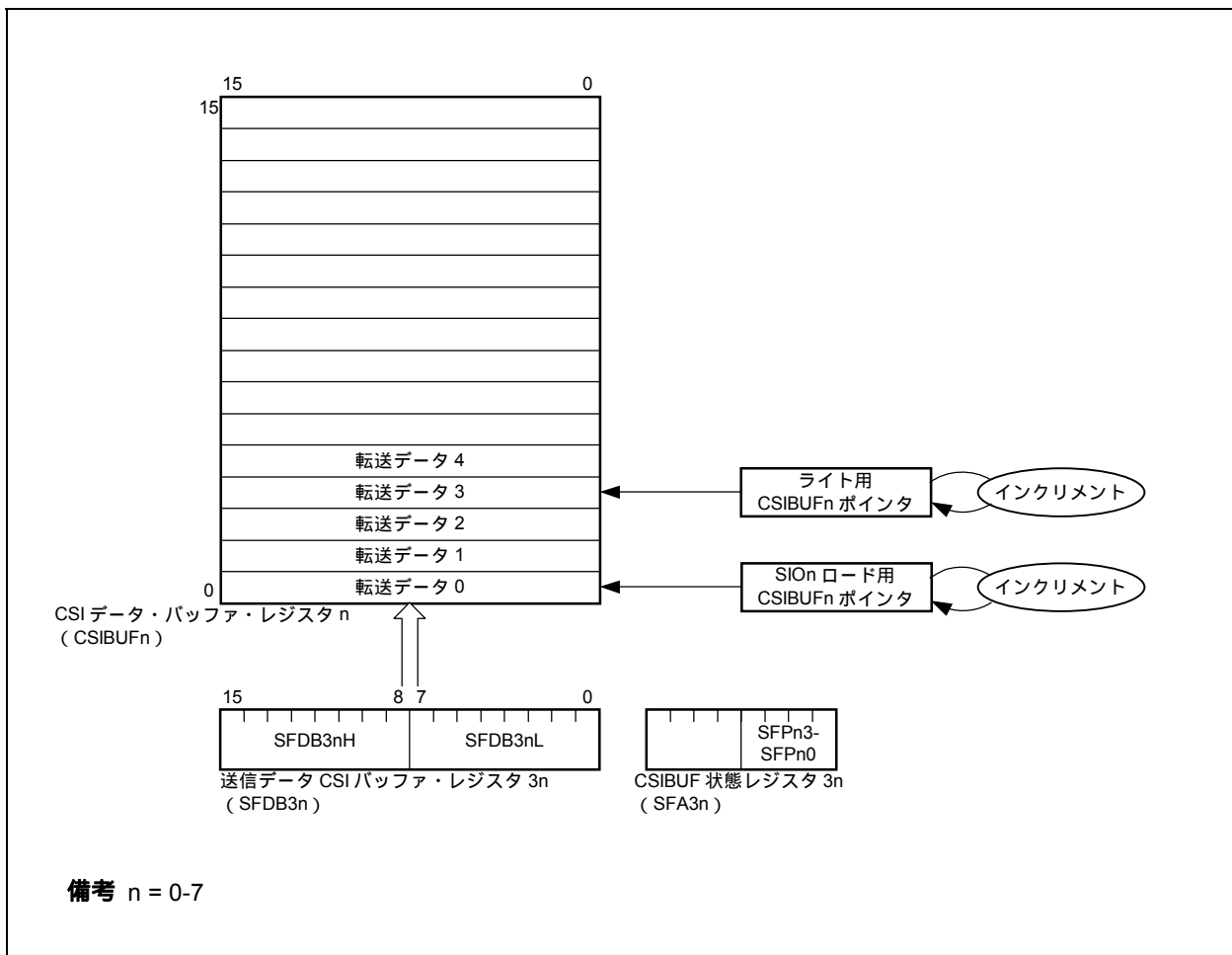
転送する送信データを SFDB3n レジスタに連続ライトすることにより、自動的にライト用 CSIBUFn ポインタをインクリメントしながら CSIBUFn レジスタ内にデータを格納できます (CSIBUFn レジスタ・サイズは 16 ビット × 16) (n = 0-7)。

転送の開始条件 (SFA3n レジスタの SFEMPn ビット = 0) は、SFDB3n レジスタの下位 8 ビット側 (SFDB3nL レジスタ) へのライトで成立します。このため、転送データ長を 9 ビット以上 (CSIL3n レジスタの CCLn3-CCLn0 ビット = 0000, 1001-1111) に指定した場合は、SFDB3n レジスタへの 16 ビット・ライト、または SFDB3nH, SFDB3nL レジスタの順で 8 ビット・ライトするようにデータ設定してください。また、転送データ長を 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) に指定した場合は、SFDB3nL レジスタへの 8 ビット・ライト、または SFDB3n レジスタへの 16 ビット・ライトするようにデータ設定してください (ただし、SFDB3nL レジスタへの 16 ビット・ライトを行っても、上位 8 ビット側 (SFDB3nH レジスタ) の 8 ビット・データは無視され、転送されません)。

SFA3n レジスタの SFFULn ビットは、CSIBUFn レジスタ内に 16 個のデータが存在する場合にセット (1) され、SFFULn ビット = 1 のとき、さらに 17 個目の転送データ・ライトを行った場合に CSIBUFn オーバフロー割り込み (INTCOVF3n) を出力します (17 個目の転送データはライトされず無視されません)。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時、CSIBUFn レジスタ内に 16 個のデータが存在する場合とは、「ライト用 CSIBUFn ポインタ値 = SIO<sub>n</sub> ロード用 CSIBUFn ポインタ値、および SFA3n レジスタの SFFULn ビット = 1」のときです。転送が終了して、SIO<sub>n</sub> ロード用 CSIBUFn ポインタがインクリメントされると、CSIBUFn レジスタには 1 個分の空きができます (連続モード (CSIM3n レジスタの TRMDn ビット = 1) では、1 つのデータ転送が終了しても CSIBUFn レジスタに空きはできません)。

図 17-3 CSI データ・バッファ・レジスタ n (CSIBUFn) 機能



(3) データ転送方向指定機能

CSIM3n レジスタの DIRn ビットにより、データ転送方向を切り替えることができます (n = 0-7)。

(a) MSB 先頭 (DIRn ビット = 0)

図 17-4 転送データ長 : 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,  
転送方向 : MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時 (1/2)

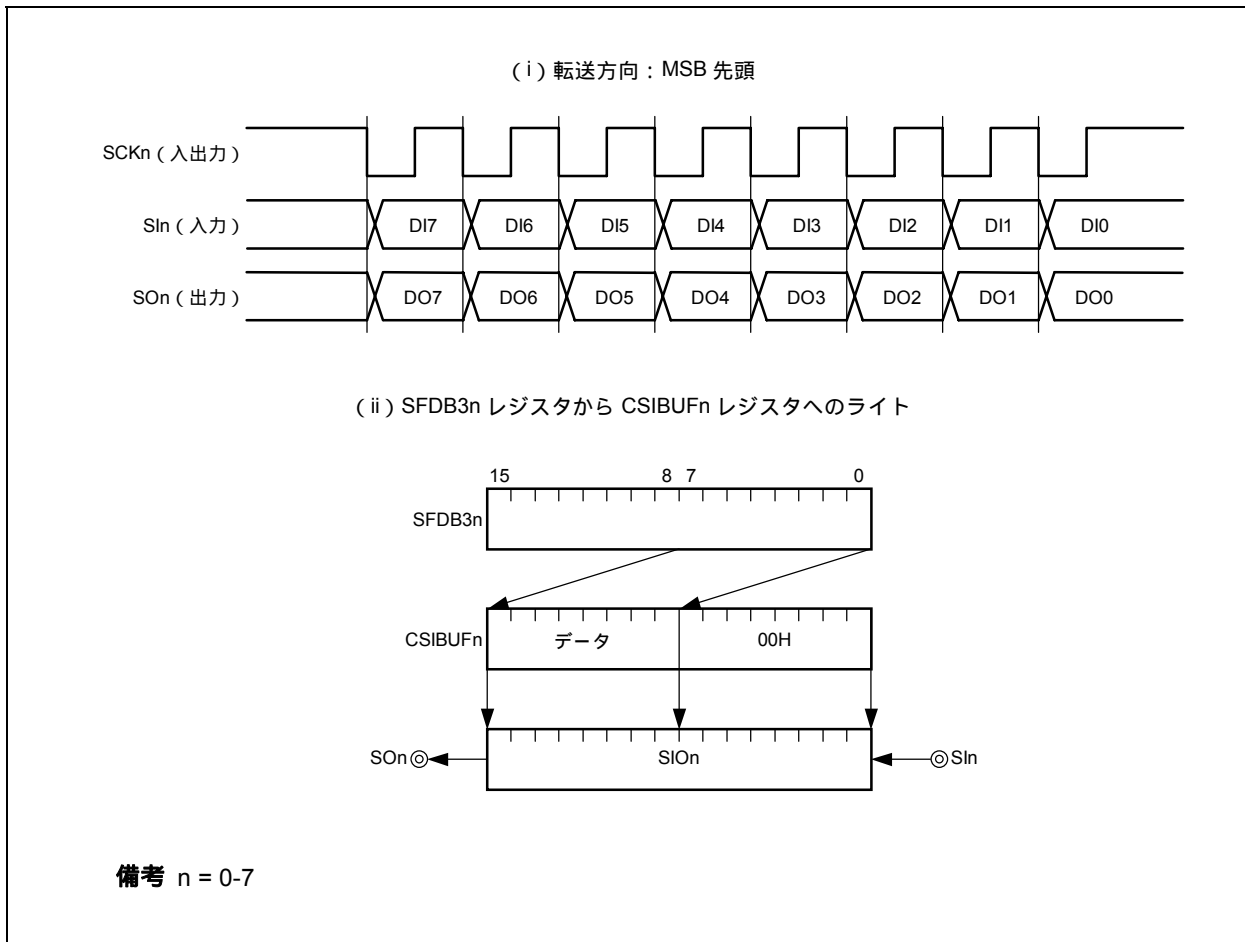
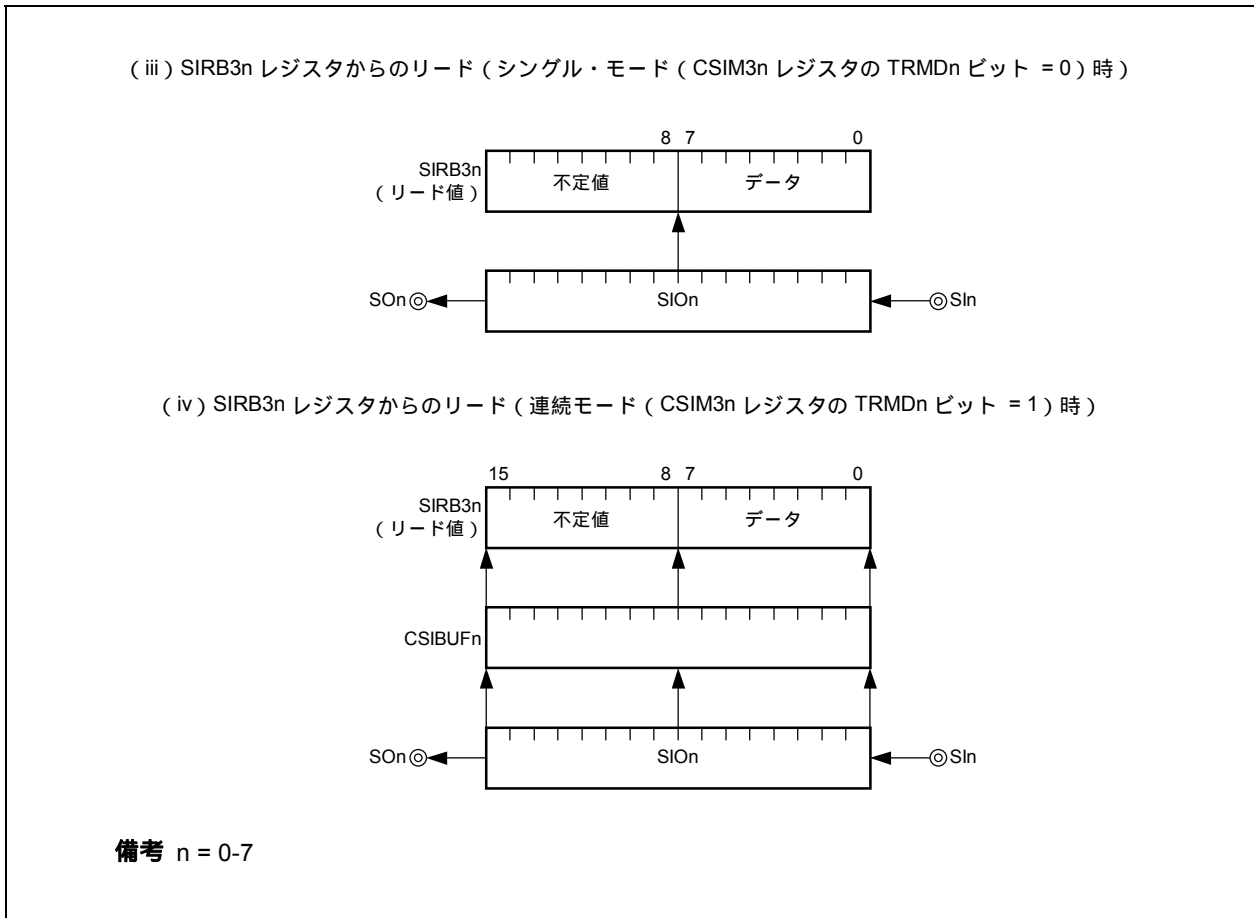


図 17-4 転送データ長 : 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,  
転送方向 : MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時 (2/2)



(b) LSB 先頭 (DIRn ビット = 1)

図 17-5 転送データ長 : 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,  
 転送方向 : LSB 先頭 (CSIM3n レジスタの DIRn ビット = 1) 設定時 (1/2)

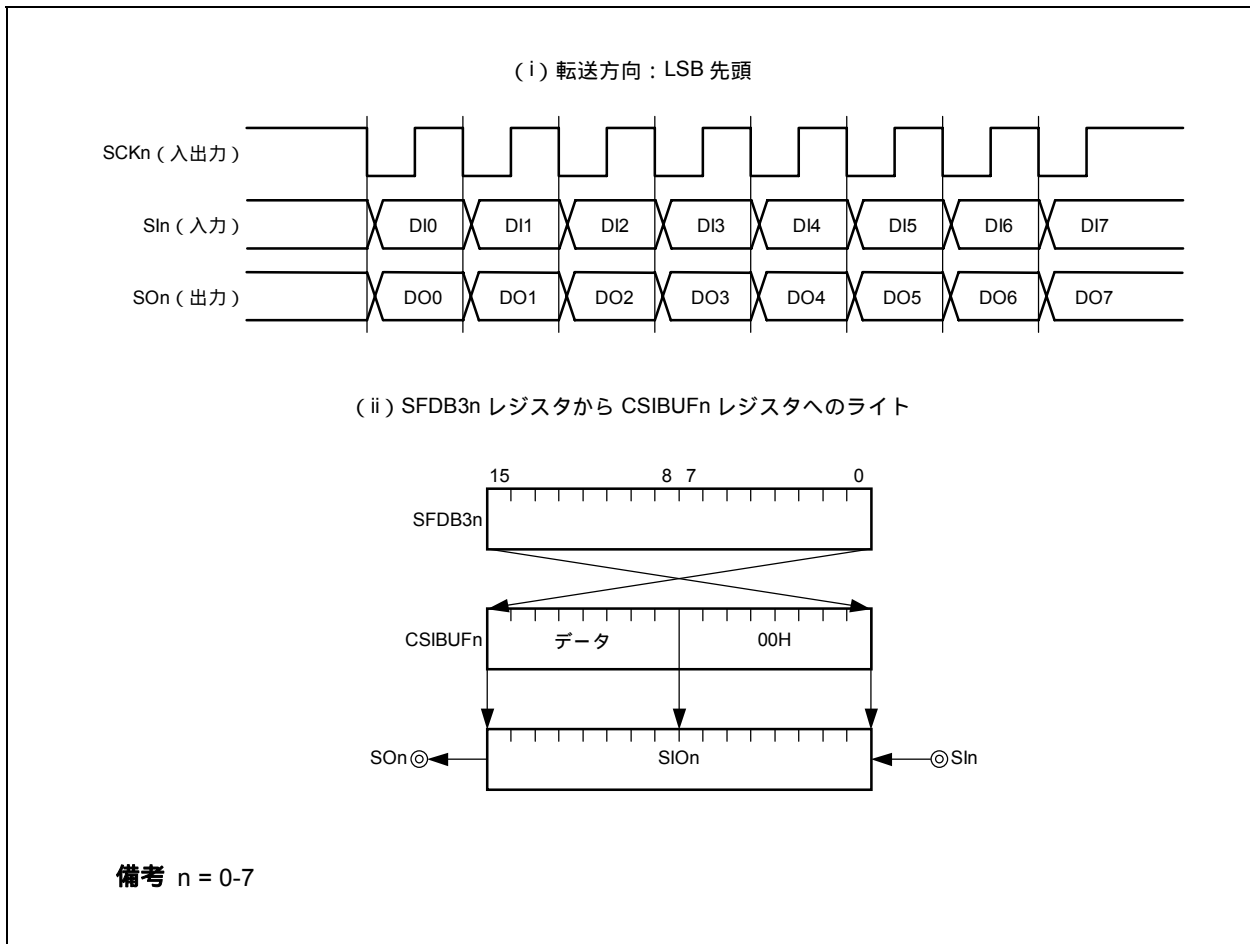
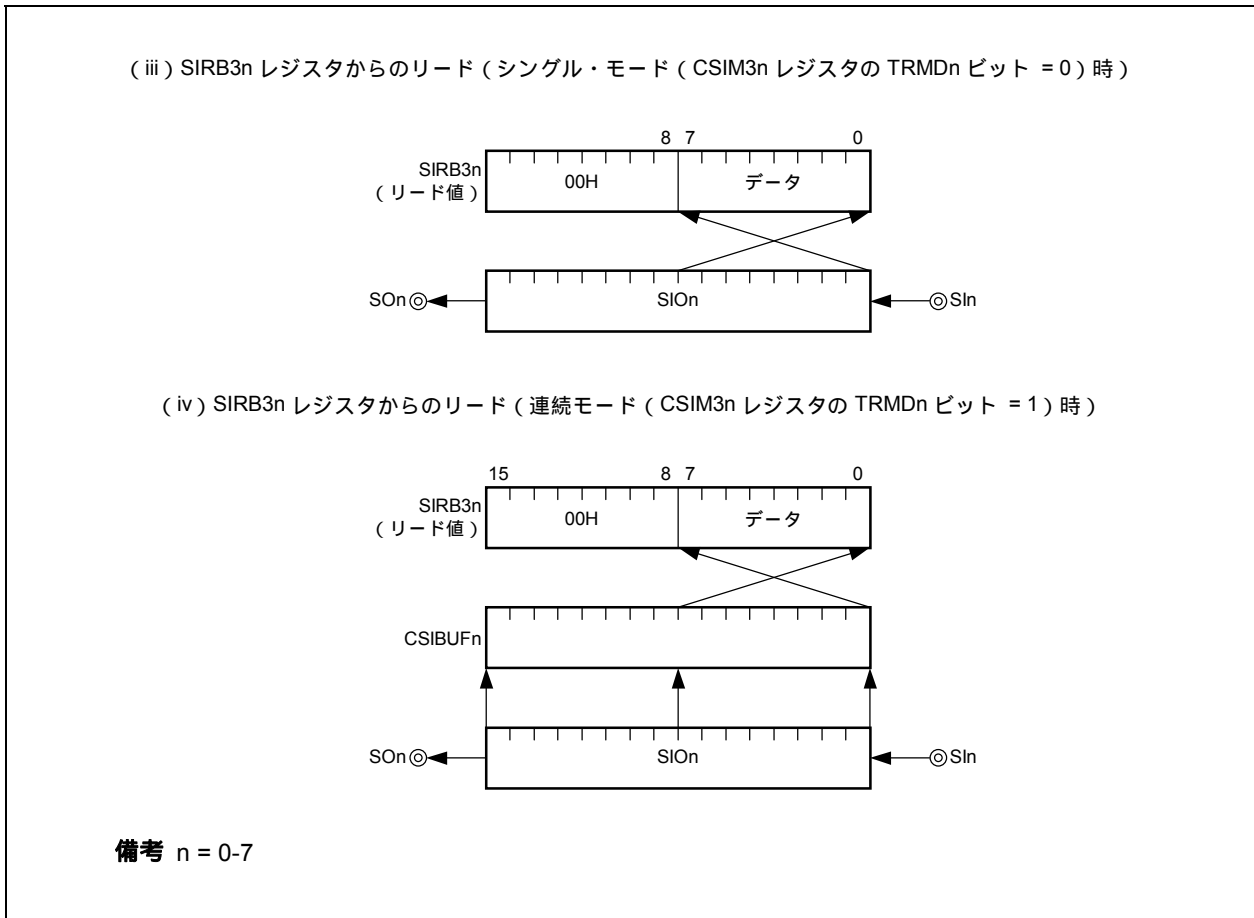




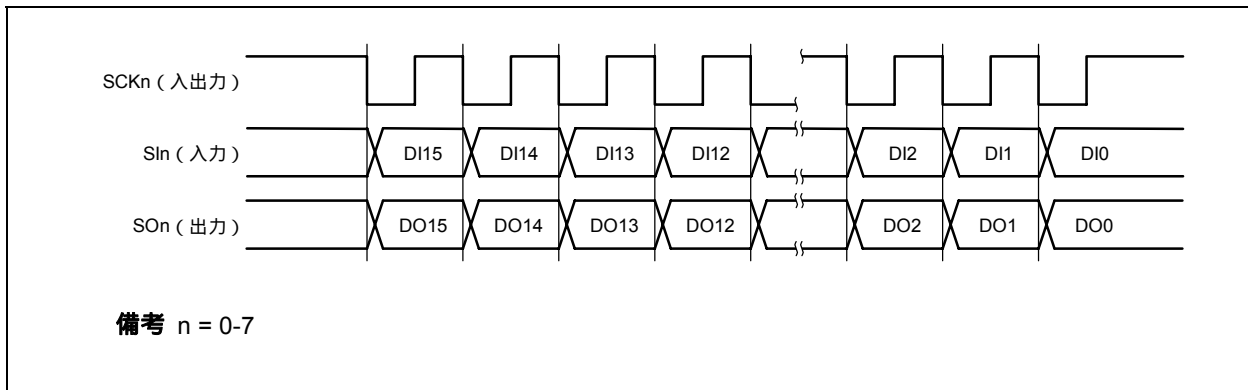
図 17-5 転送データ長 : 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,  
転送方向 : LSB 先頭 (CSIM3n レジスタの DIRn ビット = 1) 設定時 (2/2)



(4) 転送データ長変更機能

転送データ長は、CSIL3n レジスタの CCLn3-CCLn0 ビットによって、8-16 ビットに 1 ビット単位で設定できます (n = 0-7)。

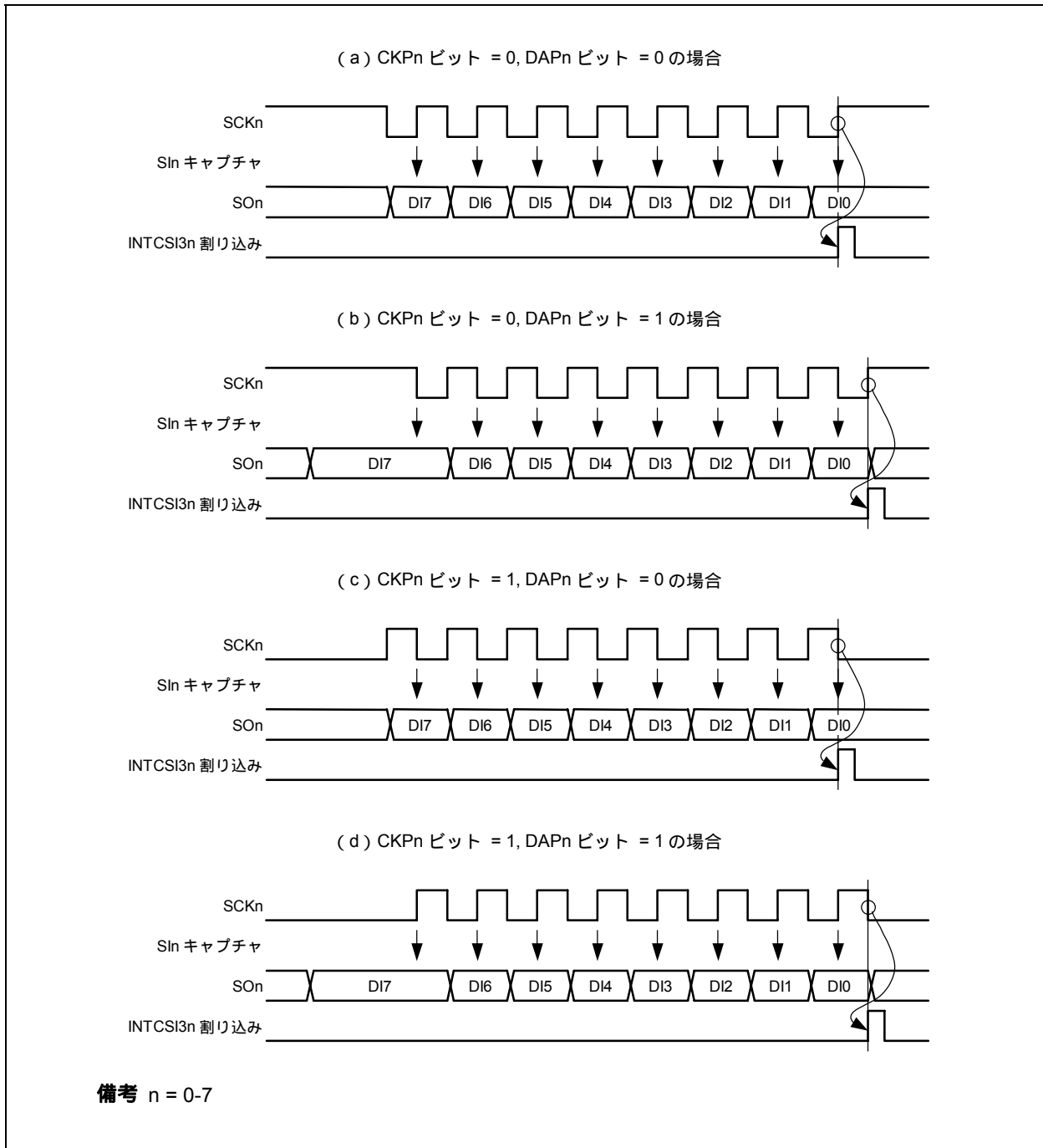
図 17-6 転送データ長：16 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 0000) ,  
 転送方向：MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時



(5) シリアル・クロックとデータ・フェーズの切り替え機能

CSIC3n レジスタの CKPn, DAPn ビットによって, シリアル・クロックとデータ・フェーズを切り替えることができます (n = 0-7)。

図 17-7 クロック・タイミング

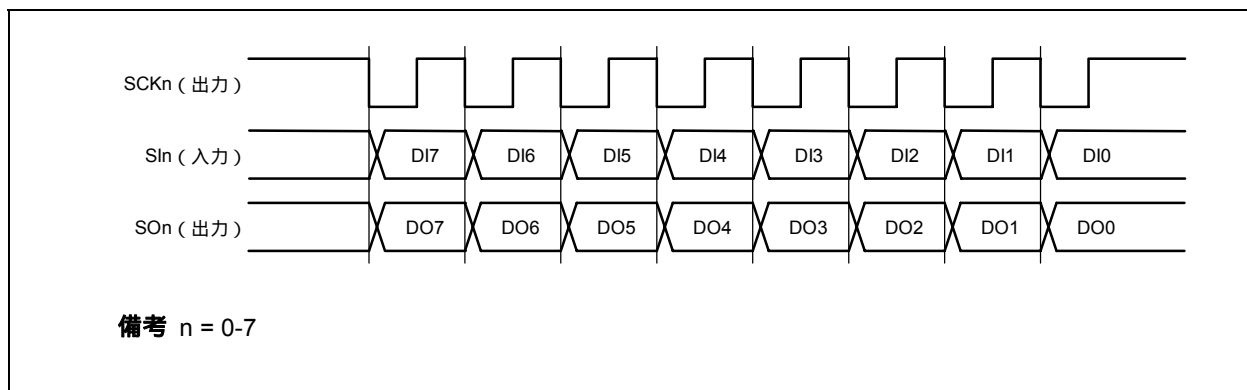


## (6) マスタ・モード

CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外に設定することでマスタ・モードになり、SCKn 端子に出力する転送クロックによって転送を行います (SCKn 端子入力は無効です) (n = 0-7)。

なお、SCKn 端子出力のデフォルト・レベルは、CSIC3n レジスタの CKPn ビット = 0 のときはハイ・レベル、CKPn = 1 のときはロー・レベルになります。

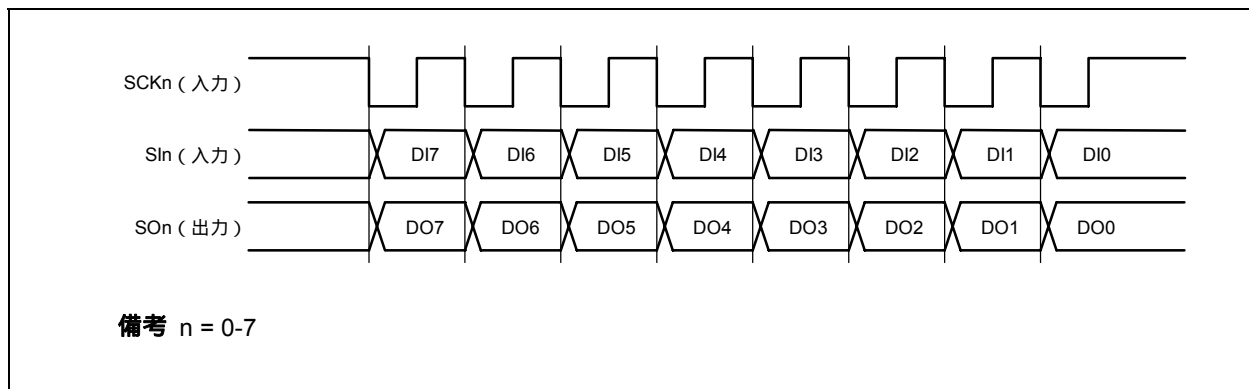
図 17-8 マスタ・モード (CSIC3n レジスタの CKPn, DAPn ビット = 00 , CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長 : 8 ビット) 設定時)



## (7) スレーブ・モード

CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 に設定することでスレーブ・モードになり、SCKn 端子に入力される転送クロックによって転送を行います (スレーブ・モード時は、CSIC3n レジスタの MDLn2-MDLn0 ビット = 000 に設定し、BRGn ストップ・モードにすることを推奨します) (n = 0-7)。

図 17-9 スレーブ・モード (CSIC3n レジスタの CKPn, DAPn ビット = 00, CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長 : 8 ビット) 設定時)



次にスレーブ・モード時に転送可能状態となる条件を示します。

表 17-2 スレーブ・モード時に転送可能状態となる条件

転送モード		CTXEn ビット	CRXEn ビット	CSIBUFn レジスタ	SIRB3n レジスタ, SIO <sub>n</sub> レジスタ
シングル・ モード	送信 モード	1	0	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	-
	受信 モード	0	1	CSIBUFn レジスタにダミー・データあり (SFEMPn ビット = 0)	SIRB3n レジスタまたは SIO <sub>n</sub> レジスタが空である
	送受信 モード	1	1	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	
連続 モード	送信 モード	1	0	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	-
	受信 モード	0	1	CSIBUFn レジスタにダミー・データあり (SFEMPn ビット = 0)	-
	送受信 モード	1	1	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	-

**注意** データ転送可能状態でないときに、マスタから転送クロックが入力されても正常な転送はできません。

- 備考 1.** CTXEn ビット : CSIM3n レジスタのビット 6  
 CRXEn ビット : CSIM3n レジスタのビット 5  
 SFEMPn ビット : SFA3n レジスタのビット 5  
 2. n = 0-7

(8) 転送クロック選択機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合, CSIC3n レジスタの CKS3n2-CKS3n0, MDLn2-MDLn0 ビットの設定により, ビット転送レートを選択できます( 17.3(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-37 (CSIC30-CSIC37) 参照)。

## (9) シングル・モード

CSIM3n レジスタの TRMDn ビット = 0 のとき、シングル・モードとして機能します (n = 0-7)。

シングル・モードの場合、CTXEn ビット = 1 または CRXEn ビット = 1、および CSIBUFn レジスタ内にデータが存在する (SFA3n レジスタの SFEMPn ビット = 0) のとき、転送を開始します。

CSIBUFn レジスタ内にデータが存在しない (SFEMPn ビット = 1) の場合は、SFDB3n レジスタに送信データまたはダミー・データがライトされるまでウエイト状態となります。

送信許可状態 (CTXEn ビット = 1) または受信許可状態 (CRXEn ビット = 1) の場合に CSIBUFn レジスタにデータが転送されると、SFA3n レジスタの CSOTn ビット (転送状態フラグ) をセット (1) し、SIO<sub>n</sub> ロード用 CSIBUFn ポインタの示す転送データを CSIBUFn レジスタから SIO<sub>n</sub> レジスタへロードし、転送処理を開始します。

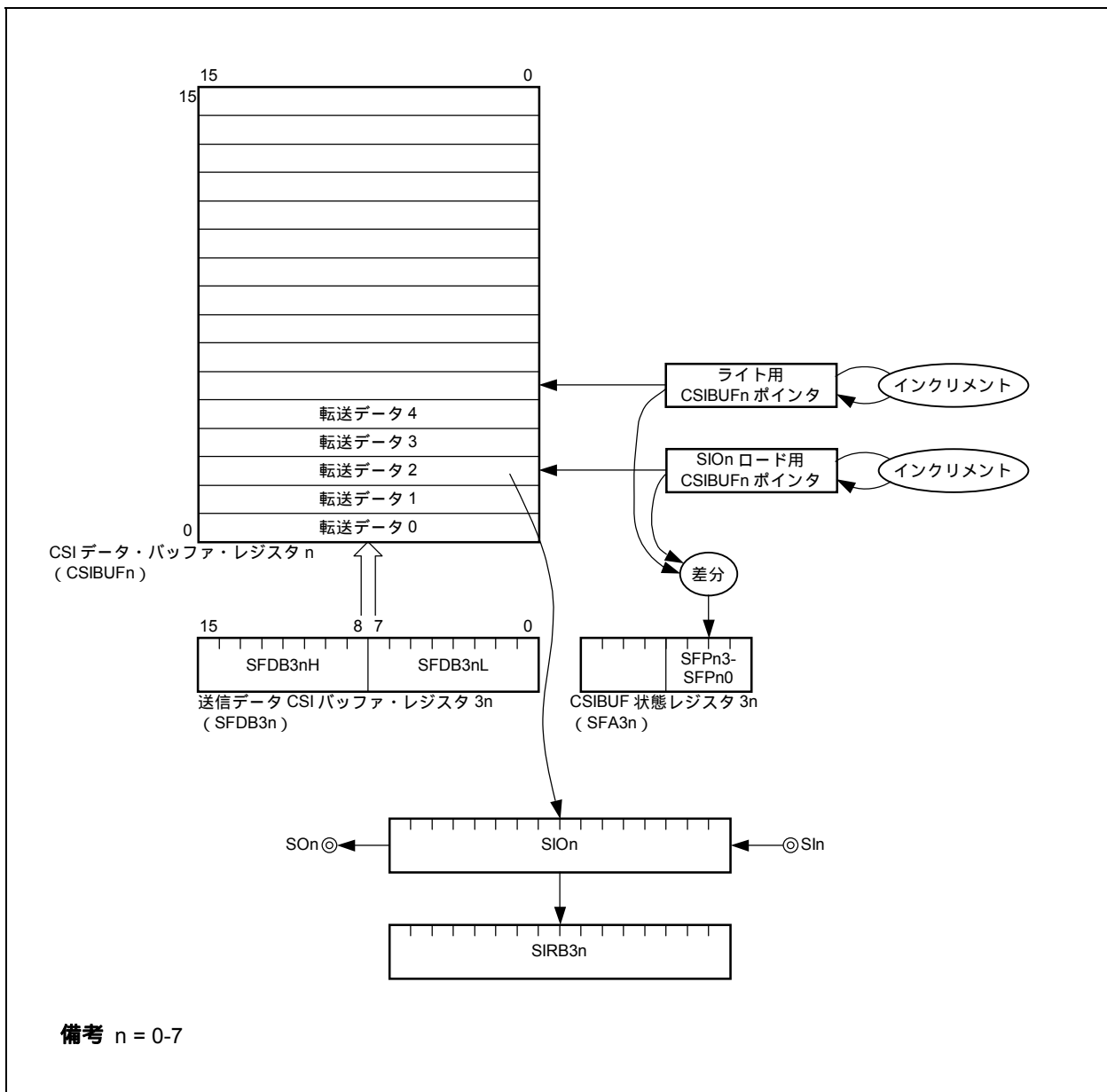
受信モードまたは送受信モードの場合、1 データの転送処理が終了したときに SIRB3n レジスタが空ならば、受信データを SIO<sub>n</sub> レジスタから SIRB3n レジスタにストアし、送受信完了割り込み (INTCSI3n) を出力し、SIO<sub>n</sub> ロード用 CSIBUFn ポインタをインクリメントします。CSIBUFn レジスタ内に送信データまたはダミー・データが存在するときは、次の転送処理を開始しますが、SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまで受信データの SIRB3n レジスタへのストア処理、INTCSI3n 割り込みの出力、SIO<sub>n</sub> ロード用 CSIBUFn ポインタのインクリメントを保留します。

送信モードの場合、1 データの転送処理が終了したときは、INTCSI3n 割り込みを出力し、SIO<sub>n</sub> ロード用ポインタをインクリメントします (SIO<sub>n</sub> レジスタから SIRB3n レジスタへのストアは行わないため、SIRB3n レジスタは常に空です)。

すべてのモード (送信 / 受信 / 送受信) において、1 データの転送処理終了時に CSIBUFn レジスタ内が空 (ライト用 CSIBUFn ポインタ値 = SIO<sub>n</sub> ロード用 CSIBUFn ポインタ値) の場合は、CSOTn ビットをクリア (0) します。SFA3n レジスタの SFP3n-SFP0n ビットは、常に「CSIBUFn レジスタ内の残りの転送データ数 (ライト用 CSIBUFn ポインタ - SIO<sub>n</sub> ロード用ポインタ)」の値がリードできません。

**注意** SFDB3n レジスタへのデータ・ライトを行う場合は、必ず SFA3n レジスタの SFFULn ビット = 0 であることを確認してからライトしてください。SFFULn ビット = 1 のときに SFDB3n レジスタへのデータ・ライトを行っても、CSIBUFn オーバフロー割り込み (INTCOVF3n) が出力され、ライトしたデータは無視されます。

図 17-10 シングル・モード





## (10) 連続モード

CSIM3n レジスタの TRMDn ビット = 1 のとき、連続モードとして機能します (n = 0-7)。

連続モードの場合、CTXEn ビット = 1 または CRXEn ビット = 1、および CSIBUFn レジスタ内にデータが存在する (SFA3n レジスタの SFEMPn ビット = 0) のとき、転送を開始します。このとき、あらかじめ SFN3n レジスタの SFNn3-SFNn0 ビットで転送データ数を設定しておいてください。CSIBUFn レジスタに SFN3n レジスタの SFNn3-SFNn0 ビットで設定した転送データ数を越えるデータをライトした場合、そのデータは無視され、転送されません。

CSIBUFn レジスタ内にデータが存在しない (SFEMPn ビット = 1) の場合は、SFDB3n レジスタに送信データまたはダミー・データがライトされるまでウエイト状態となります。

送信許可状態 (CTXEn ビット = 1) または受信許可状態 (CRXEn ビット = 1) の場合に CSIBUFn レジスタ内にデータ・ライトが行われると、SFA3n レジスタの CSOTn ビット (転送状態フラグ) をセット (1) し、SIO<sub>n</sub> ロード/ストア用 CSIBUFn ポインタの示す転送データを CSIBUFn レジスタから SIO<sub>n</sub> レジスタへロードし、転送処理が開始されます。

受信モードまたは送受信モードの場合、1 データの転送処理が終了すると、受信データを SIO<sub>n</sub> レジスタから SIO<sub>n</sub> ロード/ストア用 CSIBUFn ポインタの示す CSIBUFn レジスタ内の転送データにオーバーライトし、SIO<sub>n</sub> ロード/ストア用 CSIBUFn ポインタをインクリメントします。CSIBUFn レジスタ内の全データ転送終了 (INTCSI3n 割り込み発生) 後に、連続して転送データ数分を SIRB3n レジスタからリードすることにより、リード用 CSIBUFn ポインタをインクリメントしながら受信データを順次リードすることができます。

送信モードの場合は、1 データの転送処理が終了すると、SIO<sub>n</sub> ロード/ストア用 CSIBUFn ポインタをインクリメントします。

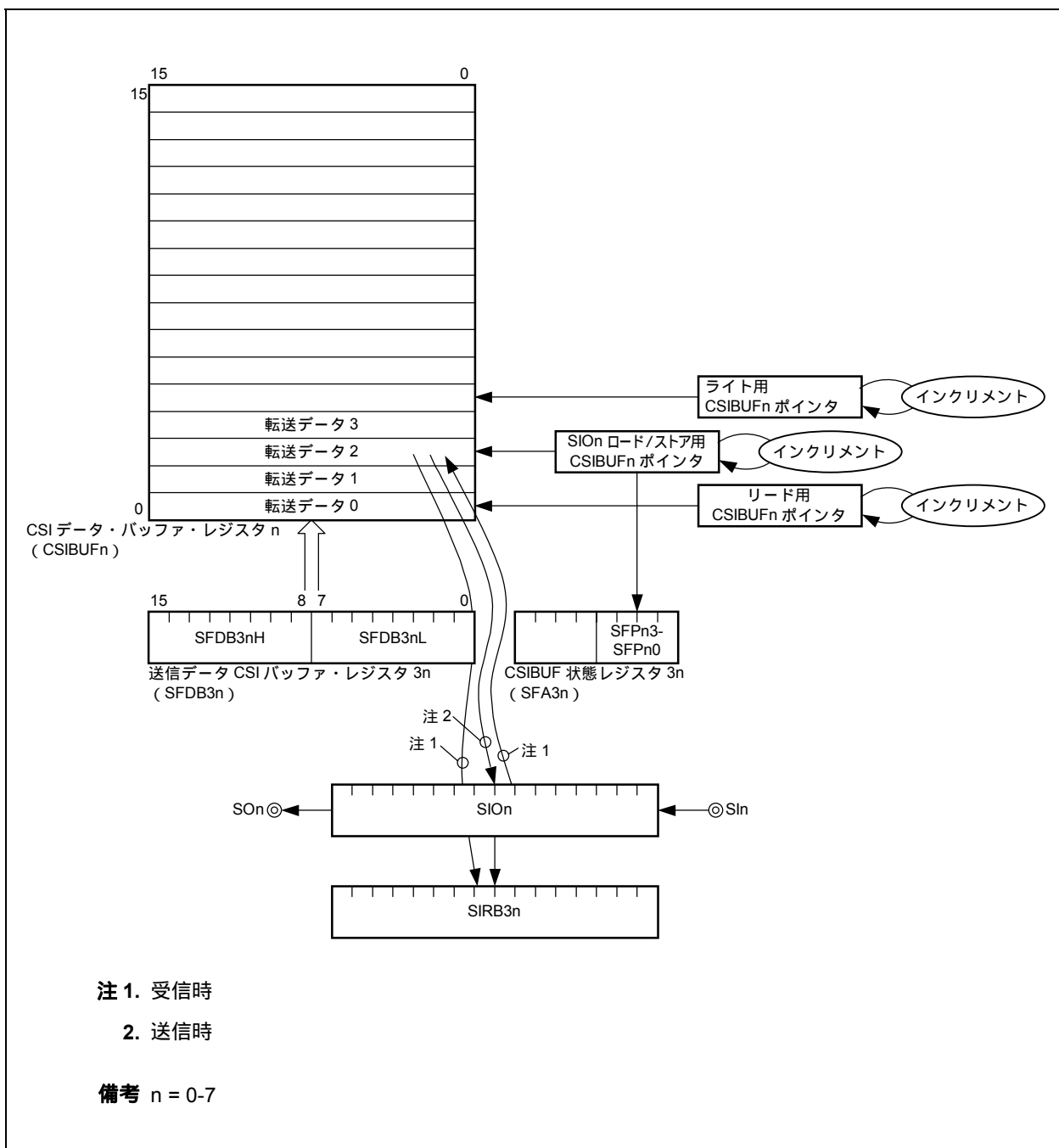
すべてのモード (送信 / 受信 / 送受信) において、SFN3n レジスタの SFNn3-SFNn0 ビットに設定した値分の転送が終了した場合は、CSOTn ビットをクリア (0) し、送受信完了割り込み (INTCSI3n) を出力します。

次の転送を行う前には、必ず SFA3n レジスタの FPCLRn ビット = 1 をライトして全 CSIBUFn ポインタをクリア (0) してください。

SFA3n レジスタの SFPn3-SFPn0 ビットには、常に「転送完了データ数 (SIO<sub>n</sub> ロード/ストア用 CSIBUFn ポインタの値)」がリードできます。

**注意** CSIBUFn ポインタのクリア (SFA3n レジスタの FPCLRn ビット = 1) 後から転送データをライトするまで (転送開始前) の SFA3n レジスタと、16 個のデータ転送を終了したときの SFA3n レジスタは、同じ状態になります (SFA3n レジスタの SFFULn ビット = 0, SFEMPn ビット = 1, SFPn3-SFPn0 ビット = 0000)。

図 17-11 連続モード



## (11) 送信モード

CSIM3n レジスタの CTXEn ビット = 1, CRXEn ビット = 0 のとき, 送信モードとなります。この状態で SFDB3n レジスタに送信データをライトする, または CSIBUFn レジスタに送信データが存在する状態で CTXEn ビット = 1 とする処理をトリガとして送信を開始します (n = 0-7)。シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合でも, SIRB3n レジスタまたは SIO<sub>n</sub> レジスタが空であるかの条件は関係しません。なお, 送信中, SIO<sub>n</sub> 端子に入力した値はシフト・レジスタ (SIO<sub>n</sub>) 内にラッチされていますが, 送信終了時に SIRB3n レジスタおよび CSIBUFn レジスタ内へのデータ転送は行いません。

送受信完了割り込み (INTCSI3n) は, SIO<sub>n</sub> レジスタからデータが送出された直後に発生します。

## (12) 受信モード

CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 1 のとき, 受信モードとなります。この状態で SFDB3n レジスタにダミー・データをライトする処理をトリガとして受信を開始します (n = 0-7)。ただし, シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合は, SIRB3n レジスタまたは SIO<sub>n</sub> レジスタが空であることも開始条件に含まれます (SIRB3n レジスタ内に前の受信データがリードされずに保持されている上に, SIO<sub>n</sub> レジスタへの受信処理が終了した場合は, SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまでウェイト状態となります)。連続モードの場合は, SFDB3n レジスタに受信データ数分のダミー・データをライトし, 最初のダミー・データをライトする処理をトリガとして受信を開始します。

SIO<sub>n</sub> 端子からはロー・レベルを出力します。

送受信完了割り込み (INTCSI3n) は, 受信データが SIO<sub>n</sub> レジスタから SIRB3n レジスタに転送された直後に発生します。

## (13) 送受信モード

CSIM3n レジスタの CTXEn ビット = 1, CRXEn ビット = 1 のとき, 送受信モードとなります。この状態で SFDB3n レジスタに送信データをライトする処理をトリガとして送受信を開始します (n = 0-7)。ただし, シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合は, SIRB3n レジスタまたは SIO<sub>n</sub> レジスタが空であることも開始条件に含まれます (SIRB3n レジスタ内に前の受信データがリードされずに保持されている上に, SIO<sub>n</sub> レジスタへの受信処理が終了した場合は, SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまでウェイト状態となります)。

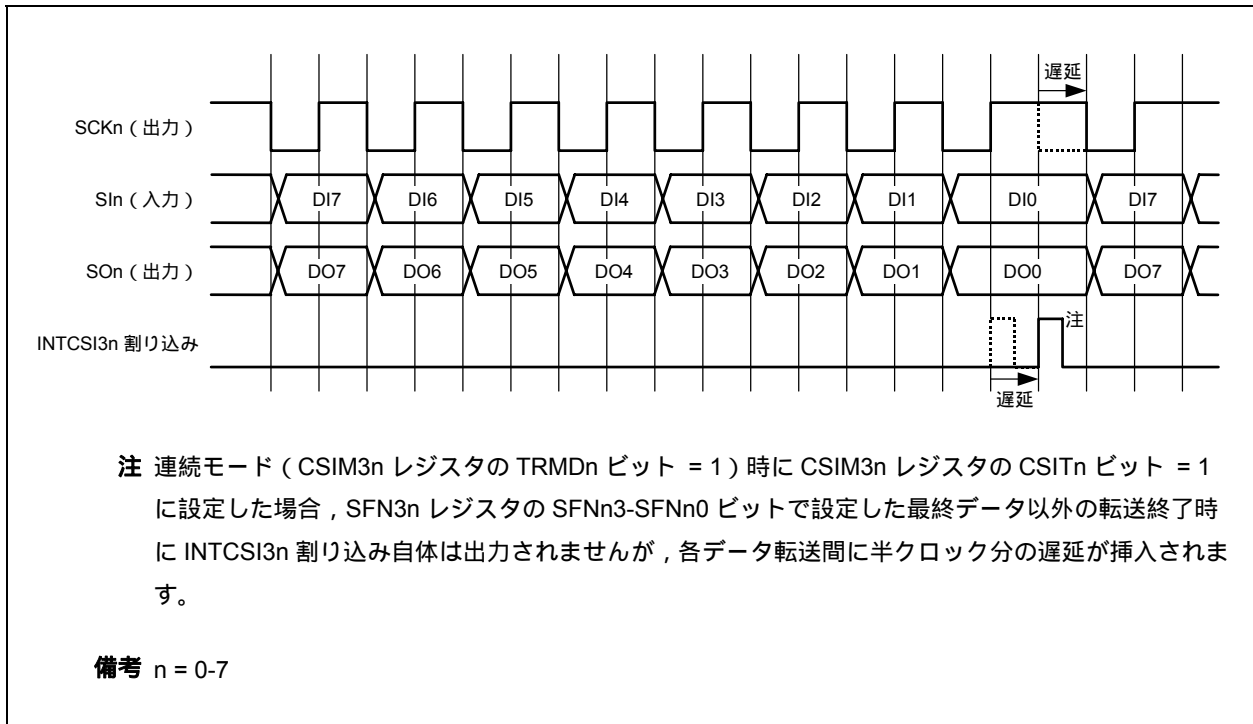
## (14) 送受信完了割り込み (INTCSI3n) の遅延制御機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合, CSIM3n レジスタの CSITn ビット = 1 の設定により, 送受信完了割り込み (INTCSI3n) の発生を半クロック (1/2 シリアル・クロック) 遅らせることができます。CSITn ビットはマスタ・モード時のみ有効です。スレーブ・モード時 (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) には, CSITn ビット = 1 の設定は禁止です (設定しても, INTCSI3n 割り込みは影響を受けません)。

**注意** 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時に CSIM3n レジスタの CSITn ビット = 1 に設定した場合, SFN3n レジスタの SFNn3-SFNn0 ビットで設定した最終データ以外の転送終了時に INTCSI3n 割り込み自体は出力されませんが, 各データ転送間に半クロック分の遅延が挿入されます。

図 17-12 送受信完了割り込み (INTCSI3n) の遅延制御機能

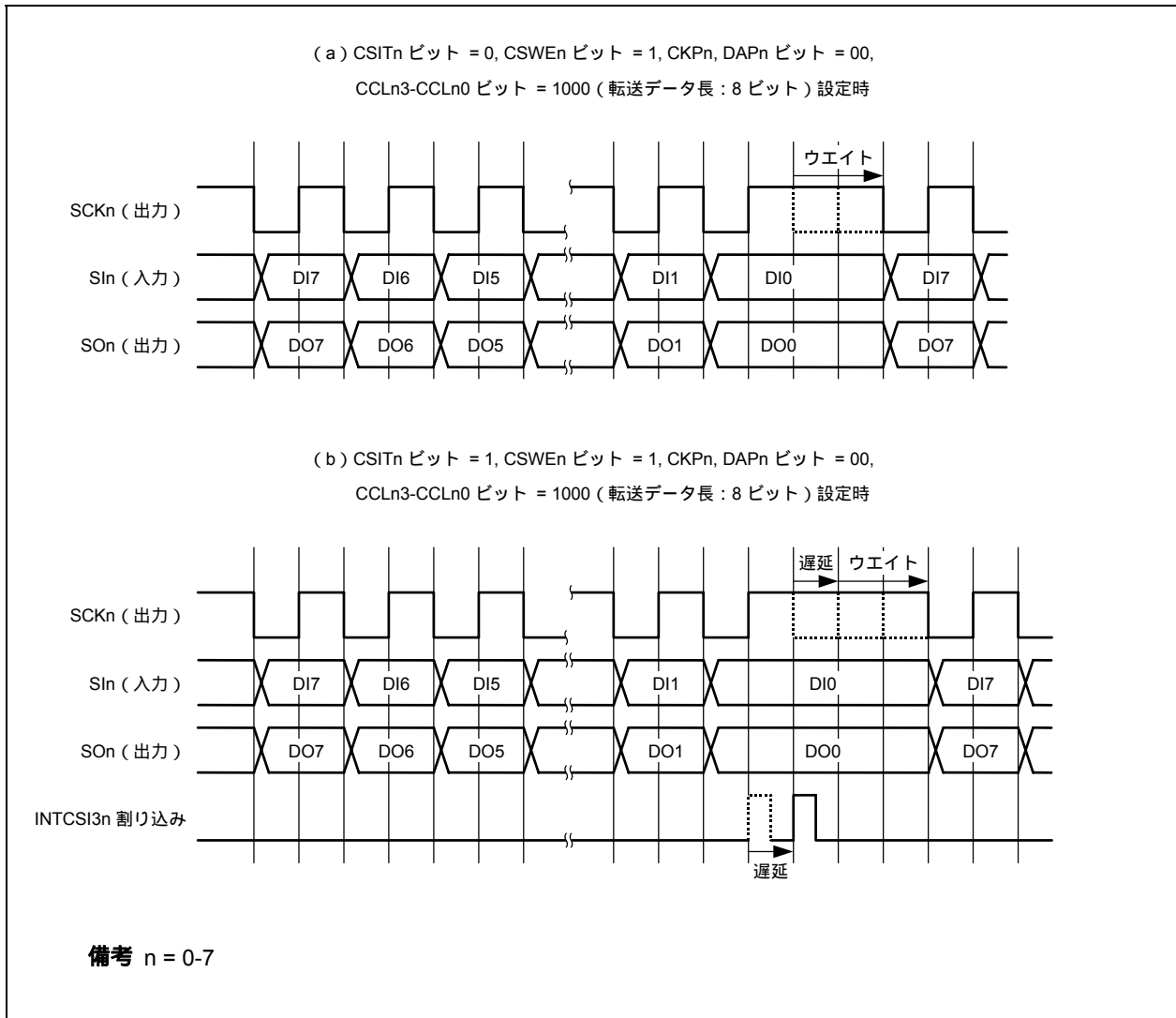
: CSIC3n レジスタの CSITn ビット = 1, CSWEn ビット = 0, CKPn, DAPn ビット = 00,  
CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長 : 8 ビット) 設定時



## (15) 転送ウエイト許可 / 禁止指定機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合, CSIM3n レジスタの CSWEn ビット = 1 の設定により, 転送開始を 1 データの転送開始ごとに 1 クロック遅らせることができます (CSWEn ビット = 1 (転送ウエイト挿入))。CSWEn ビットはマスタ・モード時のみ有効です。スレーブ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) の場合, CSWEn ビット = 1 の設定は禁止します (設定しても, 転送ウエイトは挿入されません)。

図 17-13 転送ウエイト許可 / 禁止指定機能



## (16) 出力端子

## (a) SCKn 端子

CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 のとき、SCKn 端子の出力状態はハイ・レベルとなります (n = 0-7)。

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合、SFA3n レジスタの FPCLRn ビット = 1 の設定により、デフォルト・レベルになります。

表 17-3 SCKn 端子出力のデフォルト・レベル

CKPn ビット	CKS3n2-CKS3n0 ビット	SCKn 端子出力のデフォルト・レベル
0	111 (スレーブ・モード)	ハイ・レベル <sup>注</sup>
	111 以外 (マスタ・モード)	ハイ・レベル
1	111 (スレーブ・モード)	- (入力)
	111 以外 (マスタ・モード)	ロー・レベル

注 リセット後の初期設定値，または CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 設定時の値

備考 1. マスタ・モード時，CKPn ビットを書き換えると SCKn 端子の出力が変化します。

2. n = 0-7

## (b) SOn 端子

CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 のとき，SOn 端子の出力状態はロー・レベルとなります (n = 0-7)。

SFA3n レジスタの FPCLRn ビット = 1 の設定により，SOn 端子の出力状態はロー・レベルとなります (ただし，スレーブ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) および CSIC3n レジスタの DAPn ビット = 0 の場合のみ前の値を保持します)。

表 17-4 SOn 端子出力のデフォルト・レベル

SOn 端子出力のデフォルト・レベル
ロー・レベル <sup>注</sup>

注 リセット後の初期設定値，または CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 設定時の値

備考 n = 0-7

## (17) CSIBUFn オーバフロー割り込み信号 (INTCOVF3n)

CSIBUFn レジスタ内に 16 個のデータが存在するとき、さらに 17 個目の転送データ・ライト(SFDB3n, SFDB3nL レジスタ・ライト)を行った場合は、INTCOVF3n 割り込みを出力します (17 個目のデータは、ライトされず、無視されます)。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時に、CSIBUFn レジスタ内に 16 個のデータが存在する場合とは、「ライト用 CSIBUFn ポインタ値 = SIO<sub>n</sub> ロード用 CSIBUFn ポインタ値、および SFA3n レジスタの SFFULn ビット = 1」のときです。転送が終了して、SIO<sub>n</sub> ロード用 CSIBUFn ポインタがインクリメントされると、CSIBUFn レジスタには 1 個分の空きができます (連続モード (CSIM3n レジスタの TRMDn ビット = 1) では、1 つのデータ転送が終了しても CSIBUFn レジスタに空きはできません)。

## 17.6 使用方法

### (1) シングル・モード (マスタ・モード, 送信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にすると、動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして、全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に、CTXE<sub>n</sub> ビット = 1 にして送信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから、SFDB3n レジスタに転送データをライトします。なお、INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば、必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生、SFA3n レジスタの SFEMP<sub>n</sub> ビット = 1 を確認後、CSIM3n レジスタの CTXE<sub>n</sub> ビット = 0 にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には、の前に を繰り返してください。

### (2) シングル・モード (マスタ・モード, 受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして、動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして、全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に、CRXE<sub>n</sub> ビット = 1 にして受信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから、SFDB3n レジスタにダミー転送データをライトします (受信開始トリガ)。なお、INTCSI3n の割り込み処理ルーチンでダミー転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば、必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生を確認後、SIRB3n レジスタをリードします。

INTCSI3n 割り込みの発生、SFEMP<sub>n</sub> ビット = 1 を確認後、CSIM3n レジスタの CRXE<sub>n</sub> ビット = 0 にして受信禁止状態にします (受信終了)。

**注意 1.** さらに転送を行いたい場合には、の前に、を繰り返してください。

**2.** SOn 端子からはロー・レベルが出力されますが無効です。



## (3) シングル・モード (マスタ・モード, 送受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから, SFDB3n レジスタに転送データをライトします。なお, INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば, 必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生を確認後, SIRB3n レジスタをリードします。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に, を繰り返してください。

## (4) シングル・モード (スレーブ・モード, 送信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CTXEn ビット = 1 にして送信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから, SFDB3n レジスタに転送データをライトします。なお, INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば, 必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, CSIM3n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には, の前に を繰り返してください。

## (5) シングル・モード (スレープ・モード, 受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CRXEn ビット = 1 にして受信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから, SFDB3n レジスタにダミー転送データをライトします (受信開始トリガ)。なお, INTCSI3n の割り込み処理ルーチンでダミー転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば, 必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生を確認後, SIRB3n レジスタをリードします。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

**注意 1.** さらに転送を行いたい場合には, の前に, を繰り返してください。

**2.** SOn 端子からはロー・レベルが出力されますが無効です。

## (6) シングル・モード (スレープ・モード, 送受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0 であることを確認してから, SFDB3n レジスタに転送データをライトします。なお, INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL<sub>n</sub> ビット = 0 であることが明確であれば, 必ずしも SFFUL<sub>n</sub> ビット = 0 であることを確認する必要はありません。

INTCSI3n 割り込みの発生を確認後, SIRB3n レジスタをリードします。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に, を繰り返してください。

## (7) 連続モード (マスタ・モード, 送信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CTXEn ビット = 1 にして送信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに送信データ数を設定します。

SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には, の前に - を繰り返してください。

## (8) 連続モード (マスタ・モード, 受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CRXEn ビット = 1 にして受信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに受信データ数を設定します。

SFDB3n レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF<sub>n</sub> レジスタ内に格納された受信データを順次リードします)。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

**注意 1.** さらに転送を行いたい場合には, の前に - を繰り返してください。

**2.** SOn 端子からはロー・レベルが出力されます。

## (9) 連続モード (マスタ・モード, 送受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWEN ビットによって転送モードを指定すると同時に, CTXEN ビット = 1, CRXEN ビット = 1 にして送受信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに送受信データ数を設定します。

SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF<sub>n</sub> レジスタ内に格納された受信データを順次リードします)。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CTXEN ビット = 0, CRXEN ビット = 0 にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に - を繰り返してください

## (10) 連続モード (スレーブ・モード, 送信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWEN ビットによって転送モードを指定すると同時に, CTXEN ビット = 1 にして送信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに送信データ数を設定します。

SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポイントをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CTXEN ビット = 0 にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には, の前に - を繰り返してください。

## (11) 連続モード (スレーブ・モード, 受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CRXEn ビット = 1 にして受信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに受信データ数を設定します。

SFDB3n レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF<sub>n</sub> レジスタ内に格納された受信データを順次リードします)。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

**注意 1.** さらに転送を行いたい場合には, の前に - を繰り返してください。

**2.** SOn 端子からはロー・レベルが出力されます。

## (12) 連続モード (スレーブ・モード, 送受信モード時)

CSI3n 機能に関連する外部端子をコントロール・モードに設定します。

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 1 にして, 動作クロック供給を許可します。

CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの TRMD<sub>n</sub>, DIR<sub>n</sub>, CSIT<sub>n</sub>, CSWE<sub>n</sub> ビットによって転送モードを指定すると同時に, CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。

SFN3n レジスタの SFNn3-SFNn0 ビットに送受信データ数を設定します。

SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。

INTCSI3n 割り込みの発生, SFEMP<sub>n</sub> ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF<sub>n</sub> レジスタ内に格納された受信データを順次リードします)。

SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして, 次の転送のために全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) します。

SFA3n レジスタの SFFUL<sub>n</sub> ビット = 0, SFEMP<sub>n</sub> ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。

CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に - を繰り返してください。

## 17.7 注意事項

CSI3n についての注意事項を次に示します (n = 0-7)。

### (1) CSI3n の停止

CSIM3n レジスタの CSICAE<sub>n</sub> ビット = 0 にすると、CSI3n ユニットはリセット状態となり、CSI3n は停止します。CSI3n を動作させる場合には、まず CSICAE<sub>n</sub> ビット = 1 にしてください。

また、通常 CSICAE<sub>n</sub> ビットに “0” を設定する場合、CTXEn ビット = 0 および CRXEn ビット = 0 (転送終了後) にしてから行ってください。

### (2) 転送許可

CSIM3n レジスタの CTXEn ビット = 1 または CRXEn ビット = 1 に設定して転送許可状態にする前に、必ず SFA3n レジスタの FPCLR<sub>n</sub> ビット = 1 をライトして、全 CSIBUF<sub>n</sub> 用ポインタをクリア (0) してください。

クリア (0) しないまま、CTXEn ビット = 1 または CRXEn ビット = 1 に設定した場合、CSIBUF<sub>n</sub> レジスタ内に前の転送データが残っていたときには、ただちにそのデータ転送を開始します。

また、転送許可状態にする前に CSIBUF<sub>n</sub> レジスタへ転送データを設定すると、CTXEn ビット = 1 または CRXEn ビット = 1 に設定した瞬間に転送を開始します。

### (3) SFA3n レジスタ設定時の注意

SFDB3n, SFDB3nL レジスタのライト後に SFA3n レジスタの、SFFUL<sub>n</sub>, SFEMP<sub>n</sub>, SFPn3-SFPn0 ビット値が変化するまで、PCLK × 2 の期間が必要です。

SFFUL<sub>n</sub> ビット = 1 になる前に SFA3n レジスタをリードし、17 個目のデータをライトした場合、CSIBUF<sub>n</sub> オーバフロー割り込み (INTCOVF3n) が発生します。

### (4) バイト・アクセス可能なレジスタのアクセス上の注意

SIRB3n レジスタと SIRB3nL レジスタは、PFESiP/V850EP3 の構造上、同一アドレスに配置されません。また、SIRB3nH レジスタは、SIRB3n レジスタの配置アドレス + 1 ではありません。

SFDB3n レジスタと SFDB3nL レジスタは、PFESiP/V850EP3 の構造上、同一アドレスに配置されません。また、SFDB3nH レジスタは、SFDB3n レジスタの配置アドレス + 1 ではありません。

### (5) CSIM3n レジスタ設定時の注意

CSI3n を使用する場合には、必ず CSI3n 機能に関連する外部端子をコントロール・モードに設定し、CSICAE<sub>n</sub> ビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

### (6) 最大転送レート

最大転送レートは、12.5Mbps であるため、マスタ・モード時は 12.5Mbps を越えるような設定は行わないでください。またスレーブ・モード時も 12.5MHz 以上のクロックを SCK<sub>n</sub> に入力しないでください。

## (7) シングル・モード時の SFDB3n レジスタへのデータ・ライト

SFDB3n レジスタへのデータ・ライトを行う場合は、必ず SFA3n レジスタの SFFULn ビット = 0 であることを確認してからライトしてください。SFFULn ビット = 1 のときに SFDB3n レジスタへのデータ・ライトを行っても、CSIBUFn オーバフロー割り込み (INTCOVF3n) が出力され、ライトしたデータは無視されます。

## (8) 連続モード時の SFA3n レジスタ状態

CSIBUFn ポインタのクリア (SFA3n レジスタの FPCLRn ビット = 1) 後から転送データをライトするまで (転送開始前) の SFA3n レジスタと、16 個のデータ転送を終了したときの SFA3n レジスタは、同じ状態になります (SFA3n レジスタの SFFULn ビット = 0, SFEMPn ビット = 1, SFPn3-SFPn0 ビット = 0000)。

## (9) 16 ビット・レジスタの 8 ビット・アクセスについて

CSI3 のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、CSI3 のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。



## 第18章 USB 機能

### 18.1 概 要

PFESiP/V850EP3 は、USB 2.0 HS 統合コアを内蔵し、USB ホスト・コントローラ、USB ファンクション・コントローラの両機能を利用できます。ホスト・コントローラとファンクション・コントローラの機能は独立しているため、同時動作が可能です。

CPU コアとは、内部システム・バスで接続されています。

USB 機能は、USBEN 端子にハイ・レベルが入力されている場合のみ利用できます。

USB 機能を利用しない場合（ホスト/ファンクション/USB 全機能）は、**2.1.11 USB 端子**に従って端子処理を行ってください。

### 18.1.1 特 徴

#### (1) USB2.0 Host 機能

Universal Serial Bus Specification Revision 2.0 準拠

Open Host Controller Interface(OHCI) Specification for USB Rev 1.0a 準拠

Enhanced Host Controller Interface(EHCI) Specification for USB Rev 1.0a 準拠

USB 2.0 High-Speed ( 480Mbps ) / Full-Speed ( 12Mbps ) / Low-Speed ( 1.5Mbps ) の転送をサポート

USB システム・クロックは 30MHz / 48MHz を選択可能

#### (2) USB2.0 Function 機能

Universal Serial Bus Specification Revision 2.0 準拠

USB2.0 High-Speed ( 480Mbps ) / Full-Speed ( 12Mbps ) の転送をサポート

USB2.0 コンプライアンス・テスト・モード機能サポート

USB システム・クロック 30MHz / 48MHz を選択可能

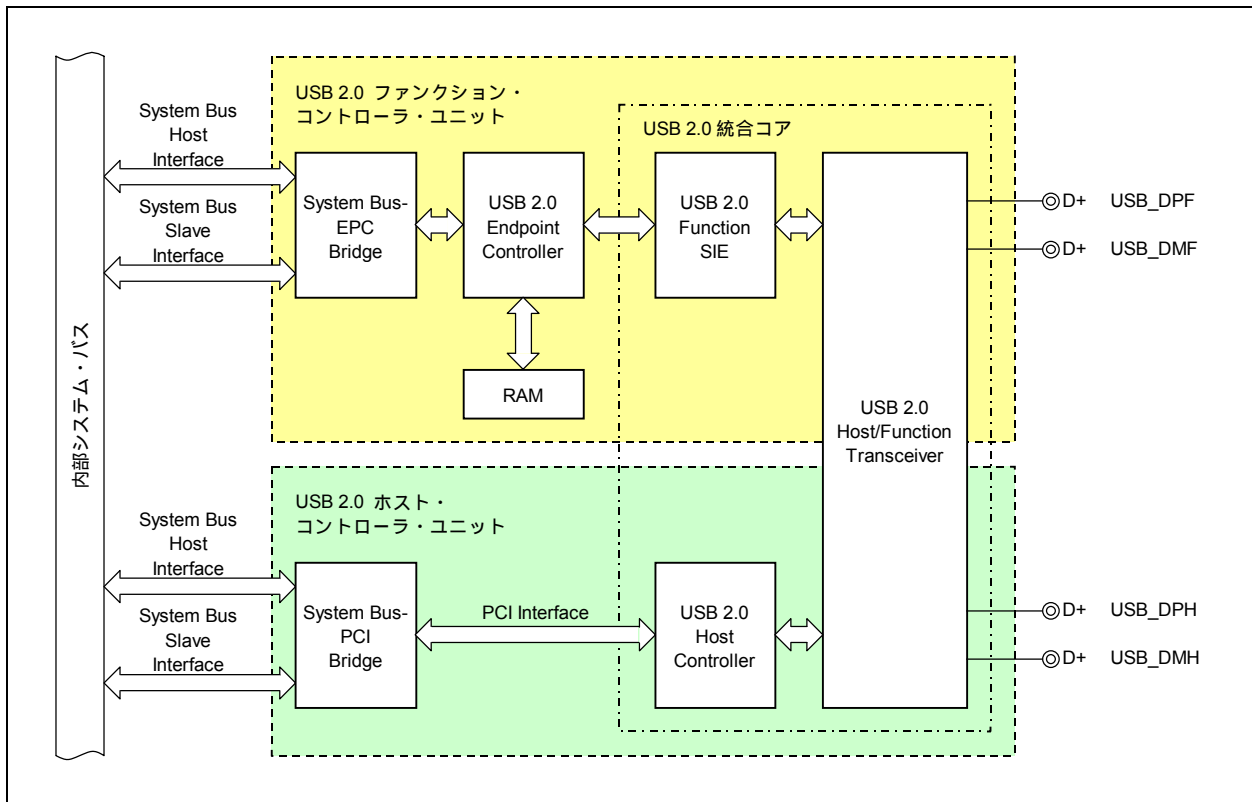
エンドポイント用バッファ・メモリ内蔵

下記のエンドポイントを内蔵

エンドポイント名	転送タイプ	バッファ・タイプ	バッファ・サイズ	DMA 転送
EP0	Control Read/Write	シングル×2	64 バイト×2	-
EP1	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP2	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP3	Interrupt	シングル	最大 1,024 バイト	-
EP4	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP5	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP6	Interrupt	シングル	最大 1,024 バイト	-
EP7	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP8	Bulk In / Bulk Out	ダブル	512 バイト×2	可能
EP9	Interrupt	シングル	最大 1,024 バイト	-

## 18.1.2 USB 機能の構成

図 18-1 USB 機能の構成



## (1) USB 2.0 Host/Function 統合コア

USB 2.0 トランシーバ, USB 2.0 ホスト・コントローラおよび USB 2.0 ファンクション SIE を統合したマクロです。

## (2) USB 2.0 統合 Transceiver

ホスト・コントローラ / ファンクション・コントローラ間で内部 PLL およびレギュレータを共有したトランシーバです。

## (3) USB 2.0 Host Controller

EHCI / OHCI 規格に準拠した USB 2.0 ホスト・コントローラです。リスト処理回路, シリアル-パラレル変換回路, USB バッファの制御回路などを内蔵し USB の High-Speed 転送 / Full-Speed 転送 / Low-Speed 転送を行います。

## (4) USB 2.0 FunctionSIE

USB 2.0 統合トランシーバと USB 2.0 エンドポイント・コントローラに接続され, 主にトランシーバからのトランザクション開始 / 終了および成功したかどうかの判定や, データのシリアル-パラレル / パラレル-シリアル変換によるデータの送受信を制御します。

## (5) System Bus-PCI Bridge

内部システム・バスのバス・サイクルを、ホスト・コントローラの PCI バス・サイクルへと変換するモジュールです。CPU からのブリッジ内およびホスト・コントローラのレジスタ・アクセスは、このブリッジのスレーブ・インタフェースを介して行われます。ホスト・コントローラが PCI イニシエータとなるアクセスは、ブリッジのマスタ・インタフェースを介してシステム・バス側に伝達されます。

## (6) USB 2.0 Endpoint Controller

USB 2.0 ファンクション SIE に接続され、主に USB ファンクションのエンドポイント・バッファ制御、USB トランザクション・プロトコル制御を行うモジュールです。

## (7) System Bus-EPC Bridge

エンドポイント・コントローラへの PIO および DMA 転送サイクルを内部システム・バスのバス・サイクルへ変換するためのブリッジ回路です。CPU からのブリッジ内および EPC (エンドポイント・コントローラ) のレジスタ・アクセスは、このブリッジのスレーブ・インタフェースを介して行われます。

また DMA コントローラを内蔵しており、ブリッジのマスタ・インタフェースを通してシステムのメモリ領域とエンドポイント・バッファ間の DMA 転送を行います。

## (8) RAM

エンドポイントのバッファ用のメモリ領域です。

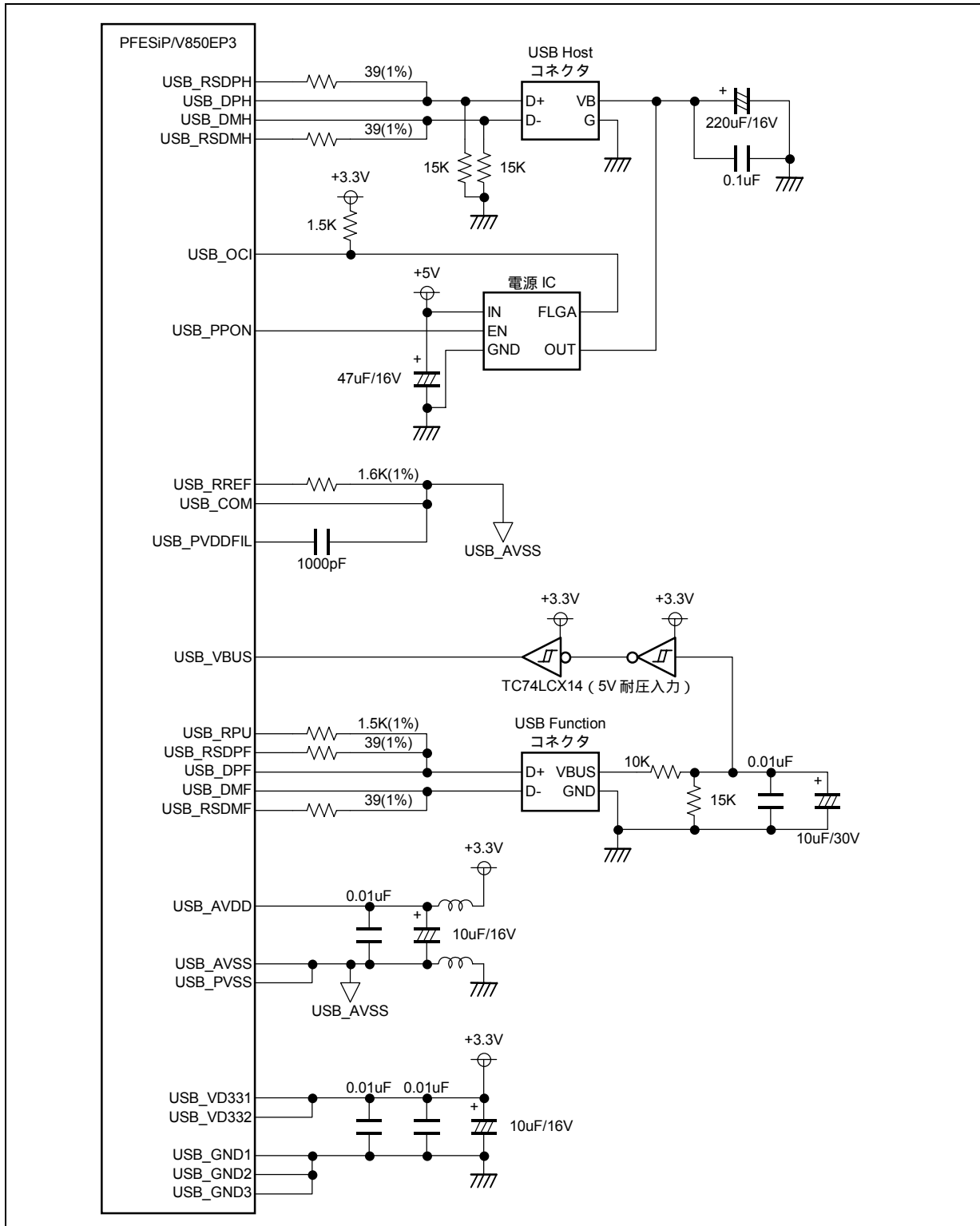
## 18.2 USB 外部回路

### 18.2.1 USB 外部回路

USB 外部回路例を、図 18-2 に示します。

詳細は、「USB2.0 ボード作成ガイド (S16438JJ)」を参照してください。

図 18-2 USB 外部回路例



## 18.3 USB 用クロック

USB 用クロックは、USB リファレンス・クロック用の USB\_UCLK、USB 内部バス・ブリッジ用の USB\_PCLK が必要になります。

XT1, XT2 端子に入力するクロックを、これらのクロックとして内部供給することも可能です。外部発振子が最も少なくなるケースは、XT1, XT2 に 30MHz を入力し、これを USB のリファレンス・クロック、USB 内部バス・ブリッジ用のクロックで共用し、CPU や内部バスには 30MHz を内蔵 PLL で通倍して供給する方法です。

### 18.3.1 USB 用クロックと、クロック選択

表 18-1 に従って、USB クロックを供給してください。

(1) USB\_UCLK (USB Reference Clock Input) ... 入力

USB リファレンス・クロック入力端子です。48MHz または 30MHz を入力してください。

USB\_UCLK に 48MHz を利用する場合は、USB\_PCLK に 25MHz-33MHz を別途入力してください。

また UCLKSEL0 端子入力で、XT1, XT2 入力クロックを USB リファレンス・クロックとして使用することもできます。USB\_UCLK 入力を使用しない場合は、USB\_UCLK 端子はオープンにしてください。USB\_UCLK 端子には内部にプルダウン抵抗が接続されているため、内部にロー・レベルが伝播されます。

(2) USB\_PCLK (USB Bus Bridge Clock Input) ... 入力

USB 内部バス・ブリッジのクロック入力端子です。25MHz-33MHz の範囲で入力してください。

また UCLKSEL1 端子入力で、USB\_UCLK または XT1, XT2 入力クロックを USB 内部バス・ブリッジのクロックとして使用することもできます。USB\_PCLK を使用しない場合は、USB\_PCLK 端子はオープンにしてください。USB\_PCLK 端子には内部にプルダウン抵抗が接続されているため、内部にロー・レベルが伝播されます。

(3) UCLKSEL0, UCLKSEL1 (USB Clock Select) ... 入力

USB リファレンス・クロックと、USB 内部バス・ブリッジのクロック入力を選択します。

USB 機能は、30MHz 単一クロック動作または、USB\_UCLK = 48MHz, USB\_PCLK = 25-33MHz で動作します。USB\_UCLK, USB\_PCLK は、XT1, XT2 入力クロックとも共用化できます。

XT1, XT2 に 30MHz を入力した場合は、CPU 動作クロック、USB リファレンス・クロック、USB 内部バス・ブリッジのクロックを共用化でき、単一クロックで動作可能です。

以下の組み合わせから、システムに合わせて USB クロックの供給方法を選択してください。

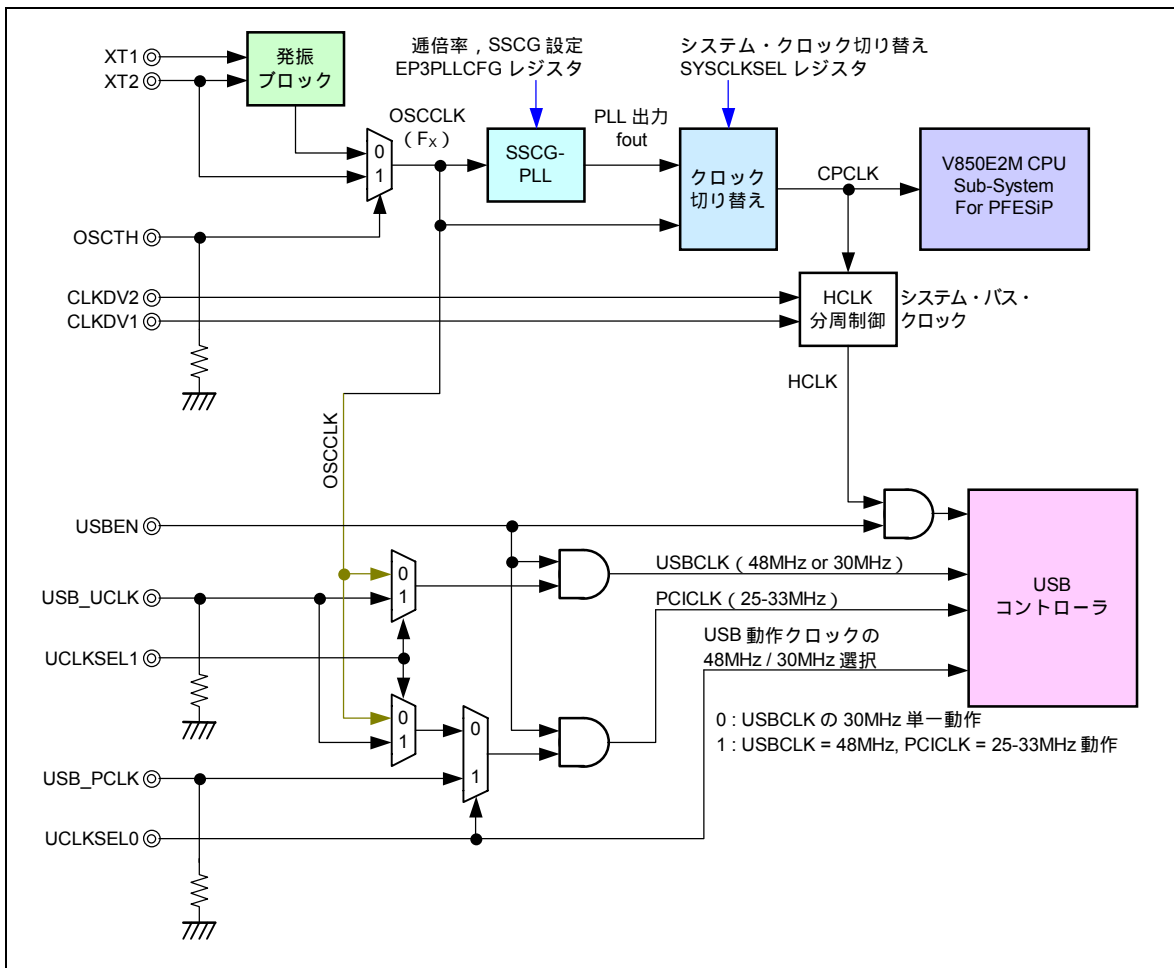
表 18-1 UCLKSEL0, UCLKSEL1 による USB クロック選択

UCLKSEL1	UCLKSEL0	動作モード	CPU 動作クロック	USB リファレンス・ クロック	USB PCI クロック
0	0	XT1/XT2 単一動作	XT1/XT2 に 30MHz 入力	XT1/XT2 入力を供給 (USB_UCLK はオープン)	XT1/XT2 入力を供給 (USB_PCLK はオープン)
0	1	XT1/XT2 と USB_UCLK を兼用	XT1/XT2 に 48MHz 入力	XT1/XT2 入力を供給 (USB_UCLK はオープン)	USB_PCLK に 25-33MHz 入力
1	0	USB_UCLK と USB_PCLK を兼用	XT1/XT2 入力	USB_UCLK に 30MHz 入力	USB_UCLK を供給 (USB_PCLK はオープン)
1	1	独立クロック	XT1/XT2 入力	USB_UCLK に 48MHz 入力	USB_PCLK に 25-33MHz 入力

### 18.3.2 USB 機能周辺のクロック構成

USB 機能周辺のクロック構成を図 18-3 に示します。

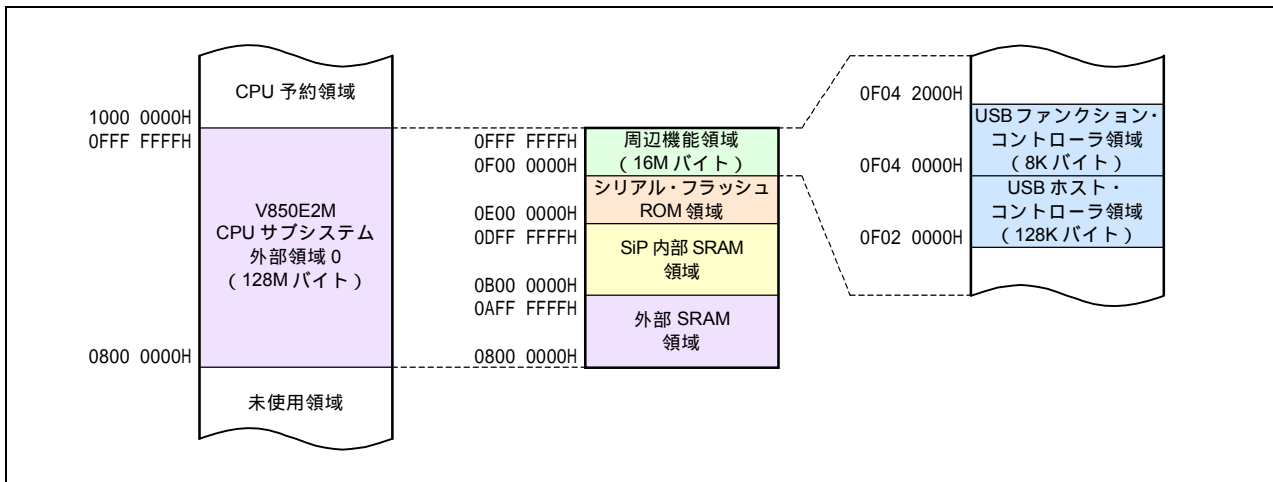
図 18-3 USB 機能周辺のクロック構成



### 18.4 レジスタ・マッピング

内蔵 USB ホスト / ファンクション・コントローラは、PFESiP/V850EP3 全体のメモリ・マップの中で、下記のように領域が割り当てられています。

図 18-4 内蔵 USB ホスト / ファンクション・コントローラ領域





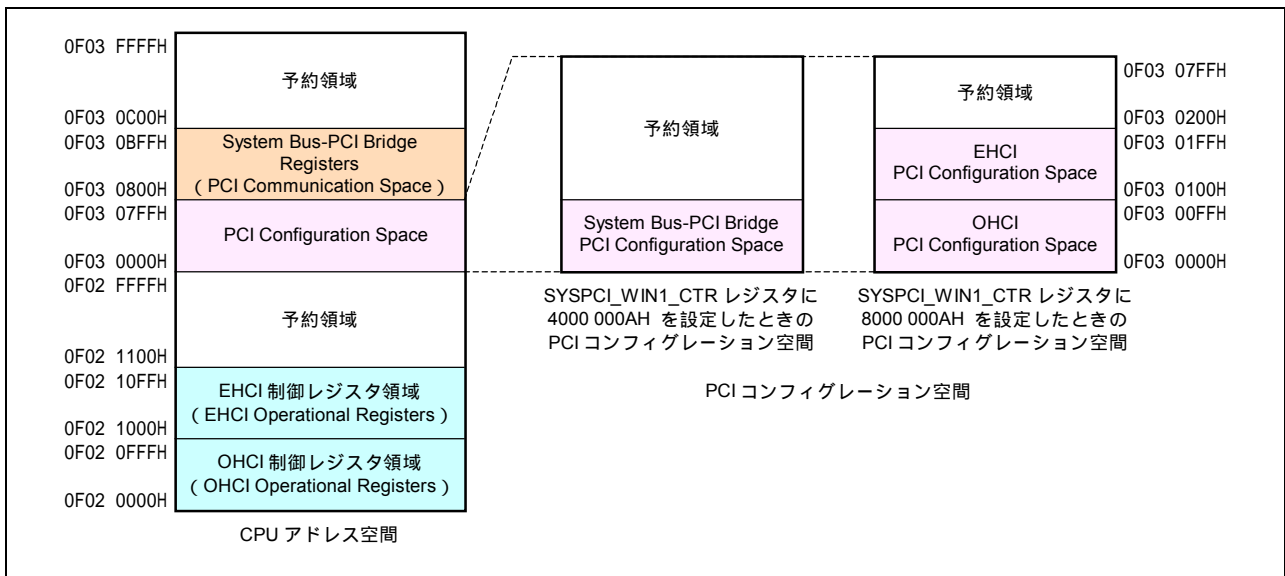
### 18.4.1 USB ホスト・コントローラ側レジスタ・マッピング

USB ホスト・コントローラ側のレジスタは、大きく以下の 3 つの領域に分割されます。

- OHCI / EHCI 制御レジスタ領域
- PCI Configuration 領域
- System Bus-PCI Bridge Communication 領域

各 PCI Configuration 領域へのアクセスは、System Bus-PCI Bridge Register の SYSPCI\_WIN1\_CTR レジスタの操作が必要です。またシステム・バスのレジスタ・マッピングとは別に、PCI 空間上に OHCI / EHCI Operational Registers, PCI Communication 領域等のアドレスを正しくマッピングする必要があります。各レジスタへのアクセス、アドレス・マッピング方法については「18.5 USB 機能のレジスタ・アクセス方法」を参照してください。

図 18-5 USB ホスト・コントローラのレジスタ配置イメージ



**備考** 以降の PCI Configuration 領域および OHCI/EHCI 制御レジスタの実アドレスは、18.5 USB 機能のレジスタ・アクセス方法の設定例をもとにしています。

## (1) PCI Configuration Space for System Bus-PCI Bridge

USB ホスト・コントローラ内部の System Bus-PCI Bridge における PCI Configuration Space のレジスタ・マッピングを以下に示します。

本レジスタ群は、System Bus-PCI Bridge Register の SYSPCI\_WIN1\_CTR レジスタに 4000 000AH が設定されているときに、アクセスすることができます。

表 18-2 PCI Configuration Space for System Bus-PCI Bridge

アドレス	31	24	23	16	15	8	7	0	略称
0F03 0000H	Device ID				Vendor ID				VID_DID
0F03 0004H	Status				Command				CMND_STS
0F03 0008H	Class Code						Revision ID		REVID_CC
0F03 000CH	BIST		Header Type		Latency Timer		Cache Line Size		CLS_LT_HT_BIST
0F03 0010H	System Bus-PCI Bridge Registers Base Address								BASEAD
0F03 0014H	PCI-System Bus Window1 Base Address								WIN1_BASEAD
0F03 0018H	Reserved								
0F03 001CH									
0F03 0020H									
0F03 0024H									
0F03 0028H									
0F03 002CH	Subsystem ID				Subsystem Vendor ID				SSVID_SSID
0F03 0030H	Reserved								
0F03 0034H									
0F03 0038H									
0F03 003CH	Max_Lat		Min_Gnt		Interrupt Pin		Interrupt Line		INTR_LINE_PIN
0F03 0040H	Reserved								
...									
0F03 07FCH									

## (2) PCI Configuration Space for OHCI Host Controller

OHCI ホスト・コントローラの PCI Configuration Space のレジスタ・マッピングを以下に示します。

本レジスタ群は，System Bus-PCI Bridge Register の SYSPCI\_WIN1\_CTR レジスタに 8000 000AH が設定されているときに，アクセスすることができます。

表 18-3 PCI Configuration Space for OHCI Host Controller

アドレス	31	24	23	16	15	8	7	0	略称
0F03 0000H	Device ID				Vendor ID				VID_DID
0F03 0004H	Status				Command				CMND_STS
0F03 0008H	Class Code						Revision ID		REVID_CC
0F03 000CH	BIST		Header Type		Latency Timer		Cache Line Size		CLS_LT_HT_BIST
0F03 0010H	OHCI Base Address								BASEAD
0F03 0014H	Reserved								
0F03 0018H									
0F03 001CH									
0F03 0020H									
0F03 0024H									
0F03 0028H									
0F03 002CH									
0F03 0030H	Reserved								
0F03 0034H	Reserved						Cap_ptr		CAPPTR
0F03 0038H	Reserved								
0F03 003CH	Max_Lat		Min_Gnt		Interrupt Pin		Interrupt Line		INTR_LINE_PIN
0F03 0040H	PMC				Next_Item_Ptr		Cap_ID		CAPID_NIP_PMCAP
0F03 0044H	Data		PMCSR_BSE		PMCSR				PMC_STS_PMCSR
0F03 0048H	Reserved								
...									
0F03 07FCH									

## (3) PCI Configuration Space for EHCI Host Controller

EHCI ホスト・コントローラの PCI Configuration Space のレジスタ・マッピングを以下に示します。

本レジスタ群は，System Bus-PCI Bridge Register の SYSPCI\_WIN1\_CTR レジスタに 8000 000AH が設定されているときに，アクセスすることができます。

表 18-4 PCI Configuration Space for EHCI Host Controller

アドレス	31	24	23	16	15	8	7	0	略称
0F03 1000H	Device ID				Vendor ID				VID_DID
0F03 1004H	Status				Command				CMND_STS
0F03 1008H	Class Code					Revision ID			REVID_CC
0F03 100CH	BIST		Header Type		Latency Timer		Cache Line Size		CLS_LT_HT_BIST
0F03 1010H	EHCI Base Address								BASEAD
0F03 1014H	Reserved								
0F03 1018H									
0F03 101CH									
0F03 1020H									
0F03 1024H									
0F03 1028H									
0F03 102CH									
0F03 1030H	Expansion ROM Base Address								EROM_BASEAD
0F03 1034H	Reserved					Cap_ptr			CAPPTR
0F03 1038H	Reserved								
0F03 103CH	Max_Lat		Min_Gnt		Interrupt Pin		Interrupt Line		INTR_LINE_PIN
0F03 1040H	PMC				Next_Item_Ptr		Cap_ID		CAPID_NIP_PMCAP
0F03 1044H	Data		PMCSR_BSE		PMCSR			PMC_STS_PMCSR	
0F03 1048H	Reserved								
...									
0F03 105CH									
0F03 1060H	PORTWAKECAP				FLAD		SBRN		SBRN_FLADJ_PW
0F03 1064H	Reserved								
...									
0F03 17FCH									

## 18.4.2 USB ホスト・コントローラ側レジスタ一覧

表 18-5 OHCI 制御レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F02 0000H	Hc Revision	HcRevision	R	-	-	-		0000 0000H
0F02 0004H	Hc Control	HcControl	R/W	-	-	-		0000 0000H
0F02 0008H	Hc Command Status	HcCommandStatus	R/W	-	-	-		0000 0000H
0F02 000CH	Hc Interrupt Status	HcInterruptStatus	R/W	-	-	-		0000 0000H
0F02 0010H	Hc Interrupt Enable	HcInterruptEnable	R/W	-	-	-		0000 0000H
0F02 0014H	Hc Interrupt Disable	HcInterruptDisable	R/W	-	-	-		0000 0000H
0F02 0018H	Hc HCCA	HcHCCA	R/W	-	-	-		0000 0000H
0F02 001CH	Hc Period Current ED	HcPeriodCurrentED	R	-	-	-		0000 0000H
0F02 0020H	Hc Control Head ED	HcControlHeadED	R/W	-	-	-		0000 0000H
0F02 0024H	Hc Control Current ED	HcControlCurrentED	R/W	-	-	-		0000 0000H
0F02 0028H	Hc Bulk Head ED	HcBulkHeadED	R/W	-	-	-		0000 0000H
0F02 002CH	Hc Bulk Current ED	HcBulkCurrentED	R/W	-	-	-		0000 0000H
0F02 0030H	Hc Done Head	HcDoneHead	R	-	-	-		0000 0000H
0F02 0034H	Hc Fm Interval	HcFmInterval	R/W	-	-	-		0000 2EDFH
0F02 0038H	Hc Fm Remaining	HcFmRemaining	R	-	-	-		0000 2EDFH
0F02 003CH	Hc Fm Number	HcFmNumber	R	-	-	-		0000 0000H
0F02 0040H	Hc Periodic Start	HcPeriodicStart	R/W	-	-	-		0000 0000H
0F02 0044H	Hc LS Threshold	HcLSThreshold	R/W	-	-	-		0000 0628H
0F02 0048H	Hc Rh Descriptor A	HcRhDescriptorA	R/W	-	-	-		0F00 0901H
0F02 004CH	Hc Rh Descriptor B	HcRhDescriptorB	R/W	-	-	-		0002 0000H
0F02 0050H	Hc Rh Status	HcRhStatus	R/W	-	-	-		0000 0000H
0F02 0054H	Hc Rh Port Status1	HcRhPortStatus1	R/W	-	-	-		0000 0000H

表 18-6 EHCI 制御レジスタ

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F02 1000H	HCI VERSIOIN / CAPLENGRH	CAPL_VERSION	R	-	-	-		0100 0020H
0F02 1004H	HCS PARAMS	HCSPARAMS	R	-	-	-		0000 1191H
0F02 1008H	HCC PARAMS	HCCPARAMS	R	-	-	-		0000 7806H
0F02 100CH	HCSP_PORTROUTE	HCSP_PORTROUTE	R	-	-	-		0000 0000H
0F02 1020H	USBCMD	USBCMD	R/W	-	-	-		0008 0B00H
0F02 1024H	USBSTS	USBSTS	R/W	-	-	-		0000 1000H
0F02 1028H	USBINTR	USBINTR	R/W	-	-	-		0000 0000H
0F02 102CH	FR INDEX	FRINDEX	R/W	-	-	-		0000 0000H
0F02 1030H	CTRL DSSEGMENT	CTRLDSSEGMENT	R	-	-	-		0000 0000H
0F02 1034H	PERIOD IC LIST BASE	PERIODICLISTBASE	R/W	-	-	-		0000 0000H
0F02 1038H	ASYNC LIST ADDR	ASYNCLISTADDR	R/W	-	-	-		0000 0000H
0F02 1060H	CONFIG FLAG	CONFIGFLAG	R/W	-	-	-		0000 0000H
0F02 1064H	PORT SC1	POTRSC1	R/W	-	-	-		0000 0000H

表 18-7 PCI ブリッジ・レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F03 0800H	PCISYS_WIN1_CTR	PCISYS_WIN1_CTR	R/W	-	-	-		0000 0000H
0F03 0808H	PCISYS_DCT_CTR	PCISYS_DCT_CTR	R/W	-	-	-		0000 00F0H
0F03 0810H	SYSPCI_WIN1_CTR	SYSPCI_WIN1_CTR	R/W	-	-	-		0000 0000H
0F03 0814H	SYSPCI_WIN2_CTR	SYSPCI_WIN2_CTR	R/W	-	-	-		0000 0000H
0F03 081CH	SYSPCI_DCT_CTR	SYSPCI_DCT_CTR	R/W	-	-	-		0000 00F0H
0F03 0820H	PCI_INT_ENABLE	PCI_INT_ENABLE	R/W	-	-	-		0000 0000H
0F03 0824H	PCI_INT_STATUS	PCI_INT_STATUS	R/W	-	-	-		0000 0000H
0F03 0830H	SYS_BUS_CTR	SYS_BUS_CTR	R/W	-	-	-		0000 0000H
0F03 0840H	PCI_ARBITER_CTR	PCI_ARBITER_CTR	R/W	-	-	-		0007 0000H
0F03 0848H	PCI_UNIT_REV	PCI_UNIT_REV		-	-	-		0000 0010H

### 18.4.3 OHCI 制御レジスタ

(1) HcRevision Register ( 0F02 0000H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																								Legacy	Revision									
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット位置	ビット名	意味
31-9	-	Reserved ( Don't Care )
8	Legacy	レガシー・サポート・レジスタがホスト・コントローラにインプリされているかを示すビットです。 このホスト・コントローラはレガシー機能をサポートしていないため 0 固定となります。
7-0	Revision	ホスト・コントローラにインプリメントされた HCI 仕様のバージョンを示すフィールドです。 このホスト・コントローラは OHCI 規格 1.0a に準拠しているため、10H 固定となります。

(2) HcControl Register ( 0F02 0004H )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味										
31-11	-	Reserved ( Don't Care )										
10	RemoteWakeUp Enable (RWE)	このビットはアップストリーム・レジューム信号の検出を設定するビットです。 0 : Resume 信号を RemoteWake としない 1 : Resume 信号を RemoteWake とする										
9	RemoteWakeUp Connect (RWC)	ホスト・コントローラが Remote Wakeup をサポートするかを示すビットです。Remote Wakeup をシステムでサポートする場合には、初期化中にこのビットをセット (1) してください。 0 : Remote Wakeup をサポートしない 1 : Remote Wakeup をサポートする										
8	InterruptRouting (IR)	ホスト・コントローラの割り込み出力経路を示すビットです。このホスト・コントローラでは、0 のまま値を変更しないでください。 <span style="float: right;">0 固定</span>										
7, 6	HostController FunctionalState (HCFS)[1:0]	ホスト・コントローラの動作状態を示すフィールドです。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">HCFS</th><th style="width: 85%;">USB ステータス</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">00</td><td>USB Reset</td></tr> <tr> <td style="text-align: center;">01</td><td>USB Resume</td></tr> <tr> <td style="text-align: center;">10</td><td>USB Operational</td></tr> <tr> <td style="text-align: center;">11</td><td>USB Suspend</td></tr> </tbody> </table> USB Operational に遷移すると 1ms で区切られたフレームの管理を開始します。この動作状態は USB Suspend 時の Remote WakeUp による USB Resume の遷移以外は、常にホスト・コントローラ・ドライバにより制御されます。ハードウェア・リセット後、このフィールドは USB Reset 状態となりますが、ソフトウェア・リセット後は USB Suspend に遷移します。	HCFS	USB ステータス	00	USB Reset	01	USB Resume	10	USB Operational	11	USB Suspend
HCFS	USB ステータス											
00	USB Reset											
01	USB Resume											
10	USB Operational											
11	USB Suspend											
5	BulkListEnable (BLE)	バルク・リストの処理を行うかどうかを設定するビットです。 0 : バルク・リストの処理を行わない 1 : バルク・リストの処理を行う このビットの設定値は次のフレームから有効になります。 なおバルク・リストを修正する場合には、必ずこのビットが 0 でなければなりません。										



ビット位置	ビット名	意 味										
4	ControlListEnable (CLE)	<p>コントロール・リストの処理を行うかどうかを設定するビットです。</p> <p>0 : コントロール・リストの処理を行わない 1 : コントロール・リストの処理を行う</p> <p>このビットへの設定値は次のフレームから有効になります。</p> <p>なお、コントロール・リストを修正する場合には、必ずこのビットが 0 でなければなりません。</p>										
3	IsochronouseEnable (IE)	<p>アイソクロナス ED の処理を行うかどうかを設定するビットです。</p> <p>リスト処理中にアイソクロナス ED を発見した場合に、このビットをチェックしアイソクロナス ED の処理を行うかどうかを決定します。</p> <p>0 : アイソクロナス転送の処理を行わない 1 : アイソクロナス転送の処理を行う</p> <p>このビットへの設定値は次のフレームから有効になります。</p>										
2	PeriodicListEnable (PLE)	<p>ピリオディック・リストの処理を行うかどうかを設定するビットです。</p> <p>0 : ピリオディック・リストの処理を行わない 1 : ピリオディック・リストの処理を行う</p> <p>このビットへの設定値は次のフレームから有効になります。</p>										
1, 0	ControlBulk ServiceRatio (CBSR)[1:0]	<p>コントロール転送とバルク転送のサービス比を規定するフィールドです。</p> <p>ピリオディック・リスト処理の際、このフィールドで規定されるサービス比を維持し転送を行います。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>CBSR</th> <th>バルク ED : コントロール ED サービス比</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1 : 1</td> </tr> <tr> <td>01</td> <td>2 : 1</td> </tr> <tr> <td>10</td> <td>3 : 1</td> </tr> <tr> <td>11</td> <td>4 : 1</td> </tr> </tbody> </table>	CBSR	バルク ED : コントロール ED サービス比	00	1 : 1	01	2 : 1	10	3 : 1	11	4 : 1
CBSR	バルク ED : コントロール ED サービス比											
00	1 : 1											
01	2 : 1											
10	3 : 1											
11	4 : 1											

(3) HcCommandStatus Register ( 0F02 0008H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																	
														SOC[1:0]														OCR	BLF	CLF	HCR																																	
R/W														R		R														R/W		R/W	R/W	R/W																														
初期値																																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-18	-	Reserved ( Don't Care )
17, 16	Scheduling OverrunCount (SOC)[1:0]	スケジュール・オーバラン数をカウントするためのフィールドです。 スケジュール・オーバランのたびにカウント・アップします。 HcInterruptStatus Register の SO がセット ( 1 ) された状態においてもカウント・アップは続けます。
15-4	-	Reserved ( Don't Care )
3	Ownership ChangeRequest (OCR)	ホスト・コントローラの制御権の変更を要求するためのビットです。
2	BulkListFilled (BLF)	バルク・リスト内の TD 存在を示すビットです。 ホスト・コントローラはバルク・リスト・ヘッドの処理を始めるとき、このビットをチェックします。 0 : バルク・リストの処理を開始しません。 1 : このビットをクリア ( 0 ) して、バルク・リストの処理を開始します。 バルク・リストに TD を見つけた場合、再度セット ( 1 ) し、バルク・リストの処理を継続します。HCD ( Host Controller Driver ) では、リストを再構築し HcCommand レジスタの BLE ビットをセット ( 1 ) し、リスト処理を開始する前にこのビットをセット ( 1 ) する必要があります。
1	ControlListFilled (CLF)	コントロール・リストの存在を示すビットです。 ホスト・コントローラはコントロール・リスト・ヘッドの処理を始めるとき、このビットをチェックします。 0 : Control リストの処理を開始しません。 1 : このビットをクリア ( 0 ) して、コントロール・リストの処理を開始します。 コントロール・リストに TD を見つけた場合、再度セット ( 1 ) し、コントロール・リストの処理を継続します。HCD ( Host Controller Driver ) では、リストを再構築し、HcCommand レジスタの CLE ビットをセット ( 1 ) し、リスト処理を開始する前にこのビットをセット ( 1 ) する必要があります。
0	HostController Reset (HCR)	ホスト・コントローラ のソフトウェア・リセットを起動するためのビットです。 このビットをセット ( 1 ) するとホスト・コントローラの機能ステートに関わらず USB Suspend に遷移します。 リセット作業の完了時にホスト・コントローラによってクリア ( 0 ) されます。

(4) HcInterruptStatus Register ( 0F02 000CH )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																											
<table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td> </tr> </table>																																																										
R/W																											R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																										
ビット位置	ビット名	意 味																																																								
31-7	-	Reserved ( Don't Care )																																																								
6	RootHubStatusChange (RHSC)	HcRhPortStatus の状態が変化したことを示す割り込みビットです。 ハードウェア要因により HcRhPortStatus が変化した場合にセット (1) されます。 0 : RHSC 割り込みは発生していない 1 : RHSC 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								
5	Frame Number Overflow (FNO)	フレーム・ナンバーの MSB が変化したことを示す割り込みビットです。 フレーム・ナンバーの MSB が 0 から 1 または 1 から 0 に変化するフレームにおいて Hcca Frame Number の更新後にセット (1) されます。 0 : FNO 割り込みは発生していない 1 : FNO 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								
4	Unrecoverable Error (UE)	USB に関係のない PCI バス上のシステム・エラーを検出したことを示す割り込みビットです。 0 : UE 割り込みは発生していない 1 : UE 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								
3	ResumeDetected (RD)	Resume を検出したことを示す割り込みビットです。 USB バス上のデバイスが Resume 信号をアサートしていることを検出したときにセット (1) されます。ドライバにより USB Resume が発行された場合には、このビットはセット (1) されません。 0 : RD 割り込みは発生していない 1 : RD 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								
2	StartOfFrame (SF)	フレームの開始時に HccaFrameNumber をアップデートしたことを示す割り込みビットです。ホスト・コントローラは SOF パケットの送出と共に HccaFrameNumber の更新を行います。 0 : SF 割り込みは発生していない 1 : SF 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								
1	Writeback Done Head (WDH)	ホスト・コントローラが HccaDoneHead の内容をアップデートしたことを示す割り込みビットです。ホスト・コントローラは HccaDoneHead を更新した直後にこのビットをセット (1) し、このビットをクリア (0) するまで HccaDoneHead の更新は行いません。 0 : WDH 割り込みは発生していない 1 : WDH 割り込みが発生している このビットに 1 をライトすると割り込みはクリア (0) されます。																																																								

( 2/2 )

ビット位置	ビット名	意 味
0	SchedulingOverrun (SO)	フレームにおける USB スケジュールがオーバーランしたことを示す割り込みビットです。USB スケジュールがオーバーランした場合に、次のフレームの HccaFrame Number アップデート後にセット (1) されます。このビットがセット (1) されるときには HcCommandStatus レジスタの SchedulingOverrun ビットもインクリメントされます。 1 : SO 割り込みが発生している 0 : SO 割り込みは発生していない このビットに 1 をライトすると割り込みはクリア (0) されます。

(5) HcInterruptEnable Register ( 0F02 0010H )

**注意** このレジスタは割り込み要因を有効にするためのレジスタです。0 のライトは無視されます。無効にする場合は、(6) HcInterruptDisable Register の該当ビットをセット (1) してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
																										RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
R/W														R/W																		
初期値 0																																

ビット位置	ビット名	意味
31	MasterInterruptEnable (MIE)	ビット 6-0 にて設定された割り込み要因設定のイネーブル・ビットです。 このビットがクリア (0) されている場合、ビット 6-0 で示されるすべての割り込みがマスクされます。 0: 無効 (0 のライトは無視) 1: 設定されたすべての割り込みを有効にする
30-7	-	Reserved ( Don't Care )
6	RootHubStatusChange Enable (RHSCE)	RHSC 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: RHSC を割り込み要因を有効にする
5	FrameNumberOverflow Enable (FNOE)	FNO 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: FNO を割り込み要因を有効にする
4	UnrecoverableError Enable (UEE)	UE 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: UE を割り込み要因を有効にする
3	ResumeDetected Enable (RDE)	RD 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: RD を割り込み要因を有効にする
2	StatoOfFrame Enable (SFE)	SF 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: SF を割り込み要因を有効にする
1	WritebackDoneHead Enable (WDHE)	WDH 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: WDH を割り込み要因を有効にする
0	SchedulingOverrun Enable (SOE)	SO 割り込み要因のイネーブル・ビットです。 0: 無効 (0 のライトは無視) 1: SO を割り込み要因を有効にする

(6) HcInterruptDisable Register ( 0F02 0014H )

**注意** このレジスタは割り込み要因を無効にするためのレジスタです。1 のライトでクリアされます。0 のライトは無視されます。有効にする場合は、(5) HcInterruptEnable Register の該当ビットをセット (1) してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																						
																								RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD																							
R/W																								R/W	R/W	R/W	R/W	R/W	R/W	R/W																							
初期値																								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	MasterInterruptDisable (MID)	HcInterruptEnable のビット 6-0 にて設定された割り込み要因のディスエーブル・ビットです。このビットがクリア (0) されている場合、ビット 6-0 で示されるすべての割り込みがマスクされます。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、設定されたすべての割り込みを無効にする
30-7	-	Reserved ( Don't Care )
6	RootHubStatusChange Disable (RHSCD)	RHSC 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、RHSC を割り込み要因を無効にする
5	FrameNumberOverflow Disable (FNOD)	FNO 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、FNO を割り込み要因を無効にする
4	UnrecoverableError Disable (UED)	UE 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、UE を割り込み要因を無効にする
3	ResumeDetected Disable (RDD)	RD 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、RD を割り込み要因を無効にする
2	StartOfFrame Disable (SFD)	SF 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、SF を割り込み要因を無効にする
1	WritebackDoneHead Disable (WDHD)	WDH 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、WDH を割り込み要因を無効にする
0	Scheduling Overrun Disable (SOD)	SO 割り込み要因のディスエーブル・ビットです。 0 : 無効 (0 のライトは無視) 1 : '1'ライトでクリア (0) され、SO を割り込み要因を無効にする

(7) HcHCCA Register (0F02 0018H)

31	24 23	16 15	8 7	0
HcHCCA[31:8]				0

R/W R/W

初期値 0

ビット位置	ビット名	意味
31-8	HcHCCA[31:8]	Host Controller Communication Area として割り当てられた RAM のベース・アドレスを設定するためのフィールドです。 初期化時に設定する必要があります。ホスト・コントローラは HCCA として、このフィールドで指定するベース・アドレスから 256 バイトの領域を必要とします。
7-0	-	Reserved ( Don't Care )

(8) HcPeriodCurrentED Register (0F02 001CH)

31	24 23	16 15	8 7	4 3	0
PeriodCurrentED[31:4]					0

R/W R

初期値 0

ビット位置	ビット名	意味
31-4	PeriodCurrentED[31:4]	ピリオディック・リストの処理アドレスを示すフィールドです。 ひとつのピリオディック・リストの処理が終了すると、ホスト・コントローラはこのフィールドのポインタを更新します。
3-0	-	Reserved ( Don't Care )

(9) HcControlHeadED Register (0F02 0020H)

31	24 23	16 15	8 7	4 3	0
ControlHeadED[31:4]					0

R/W R/W

初期値 0

ビット位置	ビット名	意味
31-4	ControlHeadED [31:4]	Control 転送用リスト ED の先頭アドレスを指定するためのフィールドです。 Control 転送を行うため、HcControl レジスタの CLE ビットをセット (1) する前に設定する必要があります。
3-0	-	Reserved ( Don't Care )

(10) HcControlCurrentED Register ( 0F02 0024H )

31	24 23	16 15	8 7	4 3	0
ControlCurrentED[31:4]					0
R/W			R/W		
初期値 0					

ビット位置	ビット名	意 味
31-4	ControlCurrentED[31:4]	Control リストの処理アドレスを示すフィールドです。 Control ED の処理が終わるたびにホスト・コントローラがこのフィールドをアップデートします。 新規にリストを構築する場合には、このフィールドはリストの末尾を示す 00000000H を設定してください。 転送を一度中断し再開する際に CCED のリンク・ポインタが示す ED が存在することを保証する必要があります。
3-0	-	Reserved ( Don't Care )

(11) HcBulkHeadED Register ( 0F02 0028H )

31	24 23	16 15	8 7	4 3	0
BulkHeadED[31:4]					0
R/W			R/W		
初期値 0					

ビット位置	ビット名	意 味
31-4	BulkHeadED[31:4]	バルク転送用リスト ED の先頭アドレスを指定するためのフィールドです。 バルク転送を行うため、HcControl レジスタの BLE ビットをセット ( 1 ) する前に設定する必要があります。
3-0	-	Reserved ( Don't Care )



(12) HcBulkCurrentED Register ( 0F02 002CH )

31	24 23	16 15	8 7	4 3	0
BulkCurrentED[31:4]					0
R/W			R/W		
初期値 0					
ビット位置	ビット名	意味			
31-4	BulkCurrentED[31:4]	バルク・リストの処理アドレスを示すフィールドです。 バルク ED の処理が終わるたびにホスト・コントローラがこのフィールドをアップデートします。 新規でリストを構築する場合には、このフィールドはリストの末尾を示す 00000000H を設定してください。 転送を一度中断し再開する際に BCED のリンク・ポインタが示す ED が存在することを保証する必要があります。			
3-0	-	Reserved ( Don't Care )			

(13) HcDoneHead Register ( 0F02 0030H )

31	24 23	16 15	8 7	4 3	0
DoneHead[31:4]					0
R/W			R		
初期値 0					
ビット位置	ビット名	意味			
31-4	DoneHead[31:4]	ホスト・コントローラの HcDoneHead のアドレスを示すフィールドです。			
3-0	-	Reserved ( Don't Care )			

(14) HcFmInterval Register ( 0F02 0034H )

31	30	24	23	16	15	14	13	0																	
FIT		FSMPS[14:0]						0	0	FI[13:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1

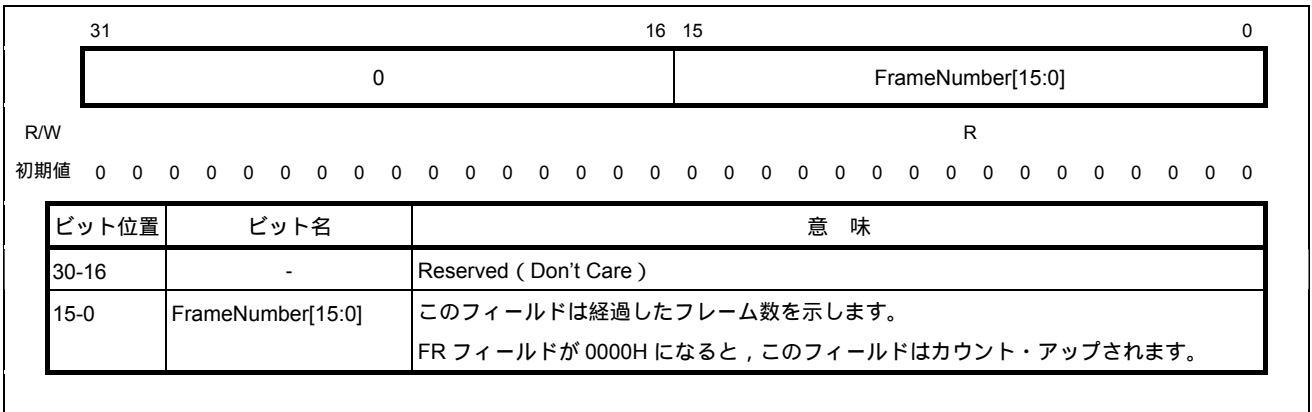
ビット位置	ビット名	意味
31	FrameIntervalToggle (FIT)	このビットは HCD ( Host Controller Driver ) とホスト・コントローラ間のフレーム設定値の同期を取るために使用します。 HCD により FI フィールドを書き込む際は、このビットをトグルさせてください。 ホスト・コントローラは FI フィールドをロードするとき、HcFmRemaining レジスタの FRT ビットに FIT の値を反映します。 HCD は FI フィールドを書き込む際に設定した FIT の値と、読み出した FRT の値を比較することで、新たに設定した FI フィールドが反映されたかを確認できます。
30-16	FSLagestDataPacket (FSMPS)[14:0]	スケジュール・オーバーランを起こさずに送受信できる最大のデータ量を設定するフィールドです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能かを判断します。システム・バスの能力などにより異なるため、この値は HCD( Host Controller Driver ) から設定します。
15, 14	-	Reserved ( Don't Care )
13-0	FrameInterval(FI) [13:0]	このフィールドは Full-Speed で使用するフレームの長さを設定するため使用します。 USB 規格の 1 フレーム ( = 1ms ) を満たすため、このフィールドの値は 2EDFH に設定する必要があります。

(15) HcFmRemaining Register ( 0F02 0038H )

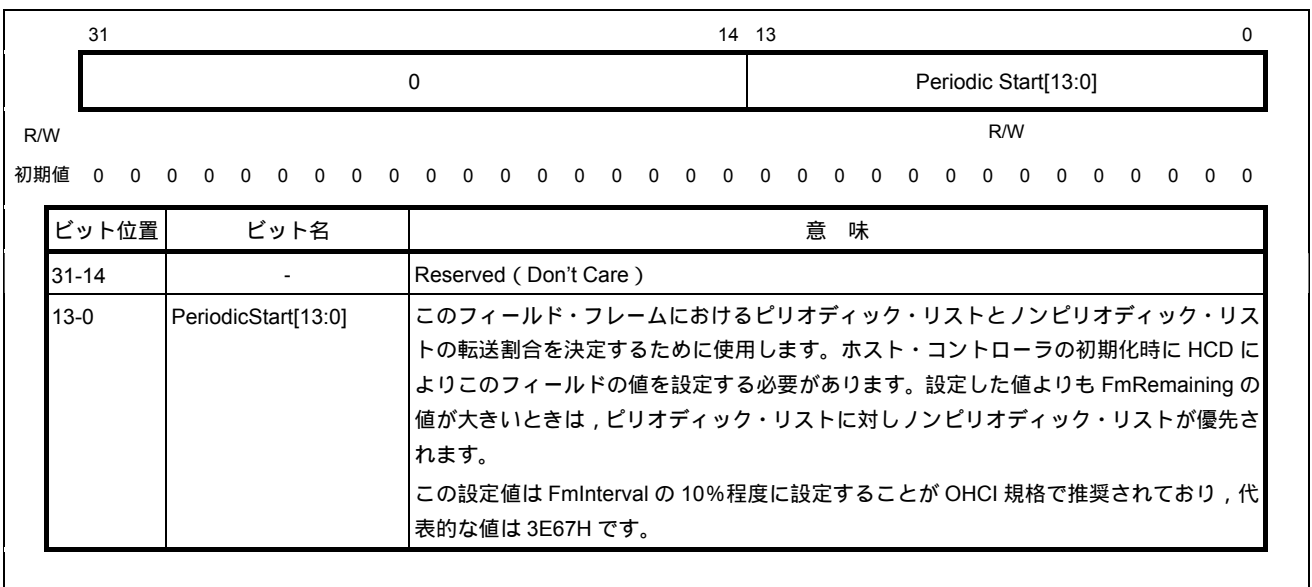
31	30	24	23	16	15	14	13	0																			
FRT								FR[13:0]																			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R								
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1

ビット位置	ビット名	意味
31	FrameRemainingToggle (FRT)	このビットは HCD ( Host Controller Driver ) とホスト・コントローラ間のフレーム設定値の同期を取るために使用します。 ホスト・コントローラは FR フィールドが 0000H となり、FI フィールド値を再ロードするときに FIT ビットの値をこのビットにコピーします。 HCD は FIT と FRT の値を比較することにより、FI フィールドへの設定値が FR へ設定されたことを確認できます。
30-14	-	Reserved ( Don't Care )
13-0	FrameRemaining(FR) [13:0]	このフィールドはフレームの現在の値を示します。 経過時刻と共に本フィールドの値はカウント・ダウンされます。 0000H になるとフレームの値を再ロードするため、FI の値をこのフィールドにコピーし、再びカウント・ダウンされます。

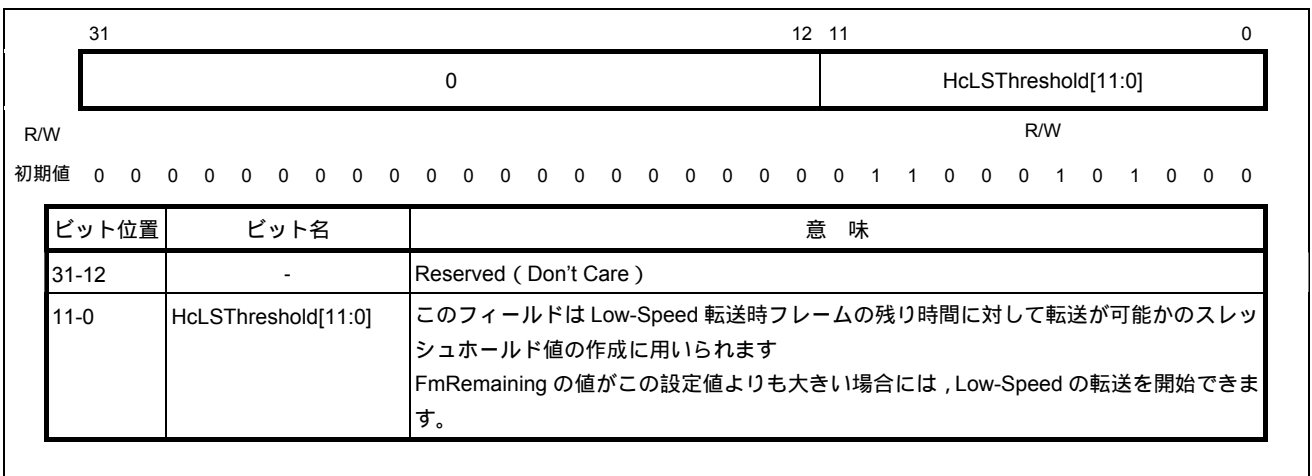
(16) HcFmNumber Register ( 0F02 003CH )



(17) HcPeriodicStart Register ( 0F02 0040H )



(18) HcLSThreshold Register ( 0F02 0044H )



(19) HcRhDescriptorA Register ( 0F02 0048H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	POTPGT[7:0]							0	0	0	0	0	0	0	0	0	0	0	0	0	NOCP	OCPM	DT	NPS	PSM	NDP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	0

ビット位置	ビット名	意味
31-24	PowerOnToPower GoodTime (POTPGT)[7:0]	パワーオンされたルート・ハブに対し HCD ( Host Controller Driver ) がアクセスする前に待機する時間を規定するビットです。待機時間は POTPGT x 2ms です。
23-13	-	Reserved ( Don't Care )
12	NoOverCurrentProtection (NOCP)	ルート・ハブの過電流保護機能をサポートするかを規定するビットです。 0 : 過電流保護機能をサポートする。 1 : 過電流保護機能をサポートしない。
11	OverCurrentProtection Mode (OCPM)	ルート・ハブの過電流状態をどのように報告するかを規定するビットです。このビットは PowerSwitchingMode ビットと同じモードを反映している必要があります。 0 : すべてのポートは同時に過電流報告される。 1 : 過電流状態はポート単位で報告される。 このビットは NoOverCurrentPrtection ビットがクリア ( 0 ) されている場合のみ有効です。
10	DeviceType (DT)	ルート・ハブが複合デバイスでないことを示します。 ルート・ハブは複合デバイスであることを認められていないため、このフィールドは常に 0 がリードされます。
9	NoPowerSwitching (NPS)	パワー・スイッチがサポートされているか、またはポートは常時パワーオンかを規定するために使用されるビットです。 0 : ポートはパワー・スイッチされる 1 : ホスト・コントローラが動作中は常にパワーオンされる
8	PowerSwitchingMode (PSM)	ルート・ハブのポート・パワー・スイッチをどのように制御するかを規定するためのビットです。 0 : すべてのポートは同時に電源制御される 1 : ポートは個別に電源制御される PortPowerControlMask ビットがセット ( 1 ) されている場合は、ポートは Set/ClearPortPower だけに応答します。クリア ( 0 ) されている場合は Set/ClearGlobalPower によって制御されます。このビットは NoPowerSwitiong がクリア ( 0 ) されている場合のみ有効です。
7-0	NumberDownstreamPort (NDP)[7:0]	ホスト・コントローラのルート・ハブによりサポートされるダウンストリーム・ポート数を規定するフィールドです。

(20) HcRhDescriptorB Register ( 0F02 004CH )

31		16	15	0																								
PPCM[15:0]			DR[15:0]																									
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意 味
31-16	PortPowerControlMask (PPCM)[15:0]	ポートが Set/Clear GlobalPower ビットによって制御されるかを示すビットです。 PowerSwitchingMode ビットがセット ( 1 ) されているときに有効となります。 ビット 17 のみ意味を持ちます。 0 : ポートは Set/ClearGlobalPower ビットによって制御される。 1 : ポートは Set/ClearPortPower ビットによってのみ制御される。
15-0	DeviceRemovable (DR)[15:0]	ホスト・コントローラのポートがリムーバブルであるかを示すビットです。 ビット 1 のみ意味を持ちます。 0 : 接続されているデバイスはリムーバブル・デバイス。 1 : 接続されているデバイスはリムーバブル・デバイスではない。

(21) HcRhStatus Register ( 0F02 0050H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Read																																	
Write	CRWE	0	0	0	0	0	0	0	0	0	0	0	0	0	OCIC	SGP	SRWE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OCI	CGP
R/W	W														R/W	R/W	R/W														R	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	R/W	ビット名	意味
31	-	ClearRemote WakeupEnable (CRWE)	ビット 15 の DRWE ビットをクリア (0) するためのビットです。 このビットをセット (1) すると DRWE ビットがクリア (0) されます。0 のライトは影響しません。 このビットは常に 0 が読み出されます。
30-18	-	-	Reserved ( Don't Care )
17	-	OverCurrent IndicateChange (OCIC)	ビット 1 の OCI ビットが変化したことを通知するビットです。OCI が変化するとセット (1) されます。このビットがセット (1) されているときに 1 をライトすると、このビットはクリア (0) されます。 0 : OverCurrent 状態に変化はない。 1 : OverCurrent 状態に変化があった。
16	R	Local Power StatusChange(LPSC)	LocalPowerStatus をサポートしていないため、このビットは常に 0 がリードされます。
	W	SetGlobalPower (SGP)	グローバル・パワー・モード時にすべてのポートをパワーオンするためのビットです。このビットをセット (1) すると、すべてのポートがパワーオンします。 ポートごとのパワー・モードにおいては PortPowerControlMask ビットがクリア (0) されているポートだけポート・パワーオンします。
15	R	DeviceRemote WakeupEnable (DRWE)	RemoteWakeUp イベントとして ConnectStatusChange を含むかどうかを示すビットです。 0 : Connect Status Change は Remote Wakeup 要因ではない。 1 : Connect Status Change は Remote Wakeup 要因。 このビットがセット (1) されている場合に ConnectStatusChange イベントが発生した場合 USB Suspend から USB Resume ステートに遷移し、ResumeDetect 割り込みが発生します。
	W	SetRemote WakeupEnable (SRWE)	DRWE ビットをセット (1) するためのビットです。 このビットをセット (1) すると DRWE ビットがセット (1) されます。0 のライトでは何も影響しません。
14-2	-	-	Reserved ( Don't Care )
1	-	OverCurrent Indicator (OCI)	グローバル過電流検出モードにおいて、過電流状態を報告するビットです。 0 : ポート状態は正常 1 : ポートは過電流状態 ポート単位の過電流報告時には、このビットは 0 固定となります。
0	R	LocalPowerStatus (LPS)	LocalPowerStatus をサポートしていないため、このビットは常に 0 がリードされます。
	W	ClearGlobalPower (CGP)	グローバル・パワー・モード時にすべてのポートのパワーをオフするためのビットです。このビットをセット (1) すると、すべてのポートがパワーオフします。 ポートごとのパワー・モードにおいては PortPowerControlMask ビットがクリア (0) されているポートだけのポート・パワーをオフします。

(22) HcRhPortStatus1 Register ( 0F02 0054H )

( 1/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Read																								LSDA											
Write	0	0	0	0	0	0	0	0	0	0	0	PRSC	OCIC	PSSC	PESC	CSC								CPP	SPP										
R/W	R											R/W	R/W	R/W	R/W	R/W							R/W	R/W											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	R/W	ビット名	意味
31-21	-	-	Reserved ( Don't Care )
20	-	Port Reset Status Change (PRSC)	ポート・リセットが完了したことを示すビットです。 0 : PortResetStatus に変化はない 1 : ポート・リセットが完了した 10ms のハードウェア・リセットが終了した場合にセット (1) されます。 ドライバからの 1 のライトで、このビットはクリア (0) されます。
19	-	Over Current Indicate Change (OCIC)	ポートの過電流状態を検出した場合にセット (1) されるビットです。 0 : OverCurrent 状態に変化はない 1 : OverCurrent 状態に変化があった ドライバからの 1 のライトで、このビットはクリア (0) されます。
18	-	Port Suspend Status Change (PSSC)	RESUME シーケンスが終了したことを示すビットです。 0 : PortSuspendStatus に変化はない 1 : RESUME が完了した ハードウェアによるすべての RESUME 処理が終了した場合にセット (1) されます。 ドライバからの 1 のライトで、このビットはクリア (0) されます。
17	-	Port Enable Status Change (PESC)	PES ビットがクリア (0) されたことを示すビットです。 0 : PortEnableStatus に変化はない 1 : PortEnableStatus に変化があった 過電流状態、ディスコネクト・パワーオフ・パブル・エラーなどハードウェア・イベントによりポートが Enable から Disable に変化した場合にセット (1) されるビットです。 ドライバからの 1 のライトで、このビットはクリア (0) されます。
16	-	Connect Status Change (CSC)	CCS が変化したことを示すビットです。 0 : CurrentConnectStatus に変化はない 1 : CurrentConnectStatus に変化があった CCS ビットがコネクト / ディスコネクトにより変化するときに、このビットがセット (1) されます。 またディスコネクト中にポート・リセット、ポート・サスペンド、ポート・イネーブルの要求があった場合も、ドライバにデバイス接続確認の再評価を行わせるために、このビットをセット (1) します。 ドライバからの 1 のライトで、このビットはクリア (0) されます。
15-10	-	-	Reserved ( Don't Care )

( 2/3 )

ビット位置	R/W	ビット名	意 味
9	R	Low Speed Device Attached (LSDA)	<p>ポートに接続されたデバイス・スピードを示すビットです。</p> <p>0 : Full-Speed デバイスが接続 1 : Low-Speed デバイスが接続</p> <p>このステータス・ビットは、CCS ビットがセット (1) されているときのみ有効となります。</p>
	W	Clear Port Power (CPP)	<p>ポート・パワーをオフするためのビットです。</p> <p>1 のライトでポートをオフします。0 のライトは影響しません。</p>
8	R	Port Power Status (PPS)	<p>ポートの電源ステータスを反映するビットです。</p> <p>0 : ポート・パワーオフ 1 : ポート・パワーオン</p> <p>パワー・スイッチのタイムにより制御方法が異なります。</p>
	W	Set Port Power (SPP)	<p>ポートごとのパワー制御が行われている場合にポート・パワーオンにするビットです。1 を書き込むとポートをオンします。0 のライトは影響しません。</p>
7-5	-	-	Reserved ( Don't Care )
4	R	Port Reset Status (PRS)	<p>ダウストリーム・ポートに対し Reset 発行中であることを示すビットです。</p> <p>0 : ポート・リセット中でない 1 : ポート・リセット中</p> <p>10ms のポート・リセットが完了すると PRSC のセット (1) とともにクリア (0) されます。CSC ビットがクリア (0) されているデバイス未接続状態ではセットすることはできません。</p>
	W	Set Port Reset (SPR)	<p>ダウストリーム・ポートに対しポート・リセットを発行するためのビットです。このビットをセット (1) すると 10ms のポート・リセットが起動します。CCS ビットがクリア (0) されているときにこのビットをセット (1) すると、CSC ビットをセット (1) しドライバにディスコネクト・ポートをリセットしようとしたことを通知します。</p> <p>0 のライトは影響しません。</p>
3	R	Port Over Current Indicator (POCI)	<p>ダウストリーム・ポートが過電流状態となったことを示すビットです。</p> <p>0 : ポートは通常状態 1 : ポートは過電流状態</p>
	W	Clear Port Suspend (CPS)	<p>Suspend を終了させ Resume シーケンスを起動させるためのビットです。</p> <p>1 を書き込むと Resume シーケンスを起動します。0 のライトは影響しません。PSS ビットがセット (1) されているときのみ Resume が起動します。</p>
2	R	Port Suspend Status (PSS)	<p>ポート状態が Suspend か Resume シーケンス中であることを示すビットです。</p> <p>0 : ポートは通常転送状態 1 : ポートは Suspend 中</p> <p>ポート状態は CCS ビットがクリア (0) されているデバイス未接続状態ではセット (1) できません。</p> <p>このビットは SPS ビットのセット (1) でセット (1) されます。Resume の終わり、PortReset の終わり、USB RESUME ステートに移行した場合にはクリア (0) されます。</p>
	W	Set Port Suspend (SPS)	<p>ポート状態を Suspend に遷移させるためのビットです。</p> <p>このビットをセット (1) すると、ポートを Suspend へ移行します。0 のライトは影響しません。CCS ビットがクリア (0) されているときにこのビットをセット (1) すると CSC ビットをセット (1) し、ドライバにディスコネクト・ポートを Suspend しようとしたことを通知します</p>



( 3/3 )

ビット位置	R/W	ビット名	意 味
1	R	Port Enable Status (PES)	<p>ポート状態が Enable か Disable かを示すビットです。</p> <p>0 : ポート状態は Disable 1 : ポート状態は Enable</p> <p>CCS ビットがクリア (0) されているデバイス未接続状態ではセット (1) できません。</p> <p>ポート状態はポート・リセットの終了時に Enable 状態へ移行します。</p> <p>過電流状態, ディスCONNECT, パワーオフ, パブル・エラーなどを検出すると, 自動的にハードウェアによりクリア (0) されます。</p>
	W	Set Port Enable (SPE)	<p>PES ビットをセット (1) するためのビットです。</p> <p>このビットをセット (1) すると, ポートを Enable へ移行します。0 のライトは影響しません。</p> <p>ポート状態の遷移は PortReset にて行ってください。OHCI 規格では SetPortEnable ビットによる Port の Enable への遷移をサポートしていますが, USB 規格ではサポートしていません。</p>
0	R	Current Connect Status (CCS)	<p>ダウンストリーム・ポートの現在の接続ステータスを反映するビットです。</p> <p>0 : デバイスが接続されていない 1 : デバイスが接続されている</p>
	W	Clear Port Enable (CPE)	<p>PES ビットをクリア (0) するためのビットです。</p> <p>1 のライトでポートを Disable へ移行します。0 のライトは影響しません。</p>

### 18.4.4 EHCI 制御レジスタ

(1) HCVERSION / CAPLENGTH Register ( 0F02 1000H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Interface Version Number[15:0]															0	0	0	0	0	0	0	0	Capability Registers Length[7:0]										
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット位置	ビット名	意味	
31-16	Interface Version Number[15:0]	ホスト・コントローラがサポートする EHCI のバージョンを示します。 このホスト・コントローラは EHCI Rev1.0 に準拠しているため、0100H を示します。	0100H 固定
15-8	-	Reserved ( Don't Care )	
7-0	Capability Registers Length[7:0]	ホスト・コントローラの Operational Register の開始アドレスを示します。 このホスト・コントローラの Operation Register は 20H から始まるため、20H を示します。	20H 固定

(2) HCSPARAMS Register ( 0F02 1004H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Number of Companion Controller[3:0] (N_CC)			Number of Ports per Companion Controller[3:0] (N_PCC)			Port Routing Rules		0	0	Port Power Control(PPC)		Number of Ports[3:0] (N_PORTS)				
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0	1	0	0	0	1

ビット位置	ビット名	意味	
31-16	-	Reserved ( Don't Care )	
15-12	Number of Companion Controller[3:0] (N_CC)	Companion Host Controller の数を示します。 このホスト・コントローラでは、OHCI が Companion Host Controller となるため、1H を示します。	1H 固定
11-8	Number of Ports per Companion Controller[3:0] (N_PCC)	Companion Host Controller の 1 つあたりのポート数を示します。 このホスト・コントローラのポート数は 1 ため、1H を示します。	1H 固定
7	Port Routing Rules	Companion Host Controller がどのようにマッピングされているかを示します。	
6-5	-	Reserved ( Don't Care )	
4	Port Power Control(PPC)	このホスト・コントローラは電源供給制御をサポートしているため、1 を示します。	1b 固定
3-0	Number of Ports[3:0] (N_PORTS)	ダウンストリームの Port 数を示します。ポート数は 1 ため、1H を示します。	1H 固定

(3) HCCPARAMS Register ( 0F02 1008H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0																EHCI Extend Capabilities Pointer[7:0] (EECP)								Isochronous Scheduling Threshold[3:0]			0	Asynchronous Schedule Park Capability	Programming Frame List Flag	64-bit Addressing Capability	
R/W	R																R								R			R	R	R	R	
初期値	0																1								1			0	1	0	0	

ビット位置	ビット名	意味	
31-16	-	Reserved ( Don't Care )	
15-8	EHCI Extend Capabilities Pointer[7:0] (EECP)	EHCI の拡張レジスタのアドレスへのポインタを示します。 EHCI Configuration Space の E8H に拡張レジスタが存在することを示します。 このホスト・コントローラは拡張レジスタに対応するレガシー機能をサポートしていないため、このフィールドのリードは意味を持ちません。	E8H 固定
7-4	Isochronous Scheduling Threshold[3:0]	このホスト・コントローラは、フレーム全体の Isochronous データ構造のキャッシュをサポートしないため、0H を示します。	
3	-	Reserved ( Don't Care )	
2	Asynchronous Schedule Park Capability	このホスト・コントローラは、HS のアシンクロナス・スケジューリング待機モードをサポートしているため、1 を示します。	1b 固定
1	Programming Frame List Flag	このホスト・コントローラは、USBCMD Register のビット 3, 2 の Frame List Size により、4K バイトよりも小さなフレーム・リスト・サイズの設定が可能のため、1 を示します。	1b 固定
0	64-bit Addressing Capability	このホスト・コントローラは、64 ビットのアドレッシングをサポートしていないため、0 を示します。	0b 固定

(4) HCSP\_PORTROUTE Register ( 0F02 100CH )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Companion Port Route[31:0]																															
R/W	R																															
初期値	0																															

ビット位置	ビット名	意味	
31-0	Companion Port Route[31:0]	各 Companion Host Controller のポート数を示します。	

(5) USBCMD Register ( 0F02 1020H )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	0	Interrupt Threshold Control[7:0]							0	0	0	0	Asynchronous Schedule Park Mode Enable		0	Asynchronous Schedule Park Mode Count[1:0]		Light Host Controller Reset	Interrupt on Async Advance Doorbell	Asynchronous Schedule Enable	Periodic Schedule Enable	Frame List Size[1:0]		Host Controller Reset (HCRESET)		Run/Stop (RS)	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
初期値																																	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	
ビット位置	ビット名	意味																															
31-24	-	Reserved ( Don't Care )																															
23-16	Interrupt Threshold Control[7:0]	ホスト・コントローラが割り込みを発生させるまでの最大レートを示します。 以下に示した値以外の書き込みは保証しません。 <table border="1" style="margin: 10px auto; width: 60%; border-collapse: collapse;"> <tr><td>00H</td><td>Reserved</td></tr> <tr><td>01H</td><td>1 micro-frame</td></tr> <tr><td>02H</td><td>2 micro-frames</td></tr> <tr><td>04H</td><td>4 micro-frames</td></tr> <tr><td>08H</td><td>8 micro-frames (1ms)</td></tr> <tr><td>10H</td><td>16 micro-frames (2ms)</td></tr> <tr><td>20H</td><td>32 micro-frames (4ms)</td></tr> <tr><td>40H</td><td>64 micro-frames (8ms)</td></tr> </table>	00H	Reserved	01H	1 micro-frame	02H	2 micro-frames	04H	4 micro-frames	08H	8 micro-frames (1ms)	10H	16 micro-frames (2ms)	20H	32 micro-frames (4ms)	40H	64 micro-frames (8ms)															
00H	Reserved																																
01H	1 micro-frame																																
02H	2 micro-frames																																
04H	4 micro-frames																																
08H	8 micro-frames (1ms)																																
10H	16 micro-frames (2ms)																																
20H	32 micro-frames (4ms)																																
40H	64 micro-frames (8ms)																																
15-12	-	Reserved ( Don't Care )																															
11	Asynchronous Schedule Park Mode Enable	アシクロナス・スケジュール待機モードの有効 / 無効を設定します。 0 : 無効 1 : 有効																															
10	-	Reserved ( Don't Care )																															
9, 8	Asynchronous Schedule Park Mode Count[1:0]	アシクロナス・スケジュール待機モードのカウント数を指定します。 1H-3H までが有効な値となります。このビットは、ビット 11 の Asynchronous Schedule Park Mode Enable = 1 のときに有効となります。																															
7	Light Host Controller Reset	このホスト・コントローラは、Light Host Controller Reset をサポートしないため、0 固定となります。 <table style="float: right; border: none;"> <tr> <td style="width: 100px;"></td> <td style="border: 1px solid black; padding: 2px;">0b 固定</td> </tr> </table>		0b 固定																													
	0b 固定																																

(2/2)

ビット位置	ビット名	意味								
6	Interrupt on Async Advance Doorbell	<p>ホスト・コントローラが、次のアシンクロナス・リストの処理を開始したときに、割り込みを発生させるために使用します。</p> <p>ホスト・コントローラは次のアシンクロナス・リストの処理を開始したときに、USBSTS Register のビット 5 の Interrupt on Async Advance をセット(1)し、USBINTR Register のビット 5 の Interrupt on Async Advance Enable = 1 の場合は、割り込みを発生します。また、このビットは Interrupt on Async Advance をセット(1)したときに、自動的にクリア(0)されます。</p> <p>ビット 5 の Asynchronous Schedule Enable = 0 のときに、このビットをセット(1)した場合の動作は保証しません。</p>								
5	Asynchronous Schedule Enable	<p>ホスト・コントローラがアシンクロナス・リストを処理するかどうかを設定します。</p> <p>0: アシンクロナス・スケジュールを処理しない 1: アシンクロナス・スケジュールを処理する</p>								
4	Periodic Schedule Enable	<p>ホスト・コントローラがピリオディック・リストを処理するかどうかを設定します。</p> <p>0: ピリオディック・スケジュールを処理しない 1: ピリオディック・スケジュールを処理する</p>								
3, 2	Frame List Size[1:0]	<p>フレーム・リスト・サイズを指定します。</p> <p>FRINDEX Register により、現在のフレーム・リストのインデックスを知ることができます。</p> <table border="1" data-bbox="625 1039 1023 1209"> <tbody> <tr> <td>00b</td> <td>1024 要素 (4096 バイト)</td> </tr> <tr> <td>01b</td> <td>512 要素 (2048 バイト)</td> </tr> <tr> <td>10b</td> <td>256 要素 (1024 バイト)</td> </tr> <tr> <td>11b</td> <td>Reserved</td> </tr> </tbody> </table>	00b	1024 要素 (4096 バイト)	01b	512 要素 (2048 バイト)	10b	256 要素 (1024 バイト)	11b	Reserved
00b	1024 要素 (4096 バイト)									
01b	512 要素 (2048 バイト)									
10b	256 要素 (1024 バイト)									
11b	Reserved									
1	Host Controller Reset (HCRESET)	<p>このビットをセット(1)すると、ホスト・コントローラは内部のパイプラインやスタート・マシンを初期化します。USB 上の通信はただちに停止されます。このとき、ダウン・ストリームに USB Reset は発行されません。</p> <p>このリセットでは、PCI Configuration Register は初期化されませんが、EHCI Operation Register は初期化され、Port Owner は OHCI に戻ります。</p> <p>このビットはリセットの完了時にホスト・コントローラにより自動的にクリア(0)されます。ソフトウェアによる 0 のライトではリセットを中止できません。</p> <p>このビットは USBSTS Register のビット 12 の HCHalted = 1 のときにセット(1)してください。</p>								
0	Run/Stop(RS)	<p>このビットをセット(1)すると、ホスト・コントローラの動作を開始します。</p> <p>USBSTS Register のビット 12 の HCHalted により、ホスト・コントローラがトランザクションを完了し、動作停止状態を確認できます。</p> <p>このビットは、ホスト・コントローラが Halt 状態のときにセット(1)してください。</p> <p>0: 停止 (ホスト・コントローラはトランザクションを完了し、Halt 状態) 1: 実行 (ホスト・コントローラはスケジュールを処理します)</p>								

(6) USBSTS Register ( 0F02 1024H )

( 1/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Asynchronous Schedule Status	Periodic Schedule Status	Reclamation	HCHalted	0	0	0	0	0	0	Interrupt on Async Advance	Host System Error	Frame List Rollover	Port Change Detect	USB Error Interrupt (USBERRINT)	USB Interrupt (USBINT)	
R/W																	R	R	R	R							R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味
31-16	-	Reserved ( Don't Care )
15	Asynchronous Schedule Status	アシクロナス・スケジュールの現在の状態を示します。 このビットおよび USBCMD Register のビット 5 の Asynchronous Schedule Enable が同じ値の場合にアシクロナス・スケジュールが有効 ( 1 ) / 無効 ( 0 ) を知ることができます。 0 : アシクロナス・スケジュールが無効 1 : アシクロナス・スケジュールが有効
14	Periodic Schedule Status	ピリオディック・スケジュールの現在の状態を示します。 このビットおよび USBCMD Register のビット 4 の Periodic Schedule Enable が同じ値の場合にピリオディック・スケジュールが有効 ( 1 ) / 無効 ( 0 ) を知ることができます。 0 : ピリオディック・スケジュールが無効 1 : ピリオディック・スケジュールが有効
13	Reclamation	ホスト・コントローラは、リセット後または読み込んだ Queue Header の H ビット= 1 の場合に、このビットをクリア ( 0 ) します。またホスト・コントローラは、アシクロナスのトランザクションを実行するとき、または開始イベントを検知したときにこのビットがセット ( 1 ) されます。 ホスト・コントローラは、このビットが 0 の状態で読み込んだ Queue Header の H ビット= 1 の場合に、アシクロナスのスリープ・モードに入ります。
12	HCHalted	このビットは、USBCMD Register のビット 0 の RS をセット ( 1 ) すると、常に 0 が読み出されます。また、ホスト・コントローラはソフトウェアまたは、ホスト・コントローラ内部エラーなどにより RS ビットをクリア ( 0 ) して実行を停止した場合に、このビットがセット ( 1 ) されます。 0 : ホスト・コントローラは停止中ではない 1 : ホスト・コントローラが停止中
11-6	-	Reserved ( Don't Care )

(2/2)

ビット位置	ビット名	意味
5	Interrupt on Async Advance	<p>ホスト・コントローラは Queue Header を取り込むと、USBCMD Register のビット 5 の Interrupt on Async Advance ビットをチェックします。Interrupt on Async Advance = 1 の場合、ホスト・コントローラは次の Interrupt Threshold で割り込みを発生します。ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p> <p>0 : 割り込みは発生していない 1 : アシクロナス・リスト読み込みによる割り込みが発生している</p>
4	Host System Error	<p>ホスト・コントローラに深刻なエラーが発生した場合にセット (1) され、割り込みが発生します。</p> <p>例として PCI システム上でパリティ・エラーが発生した場合などがあげられます。このエラーが発生した場合、ホスト・コントローラはそれ以降の TD の実行を避けるため、USBCMD Register のビット 0 の RS をクリア (0) します。</p> <p>ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p> <p>0 : 割り込みは発生していない 1 : システム・エラー発生</p>
3	Frame List Rollover	<p>FRINDEX register の Frame Index フィールドが最大値から 000H に戻ったときに、ホスト・コントローラはこのビットをセット (1) します。最大値は、USBCMD Register のビット 3, 2 の Frame List Size に従います。</p> <p>ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p> <p>0 : フレームリストが 000H に戻っていない 1 : フレームリストが 000H に戻った</p>
2	Port Change Detect	<p>PORTSC1 Register のビット 13 の Port Owner = 0 となったポートで、USB バスの状態が変化した場合 (Force Port Resume, Over-Current Change, Port Enabled/Disabled Change, Connect Status Change がセット (1) された場合) に、このビットをセット (1) します。</p> <p>ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p>
1	USB Error Interrupt (USBERRINT)	<p>USB のトランザクションにエラーが発生した場合 (例 : エラー・カウンタがアンダフローした場合など) にホスト・コントローラはこのビットをセット (1) し、割り込みを発生します。</p> <p>ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p> <p>0 : USB 転送でエラーが発生していない 1 : USB 転送でエラーが発生</p>
0	USB Interrupt (USBINT)	<p>ホスト・コントローラは以下の場合にこのビットをセット (1) し、割り込みを発生します。</p> <ul style="list-style-type: none"> <li>・ USB のトランザクションが終了した場合</li> <li>・ ショート・パケットを受信した場合</li> </ul> <p>ソフトウェアでこのビットをクリア (0) する場合は 1 をライトしてください。0 のライトは無効です。</p> <p>0 : USB 転送が終了していない 1 : USB 転送が終了</p>

(7) USBINTR Register ( 0F02 1028H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																											Interrupt on Async Advance Enable	Host System Error Enable	Frame List Rollover Enable	Port Change Interrupt Enable	USB Error Interrupt Enable	USB Interrupt Enable

R/W R/W R/W R/W R/W R/W R/W  
 初期値 0

ビット位置	ビット名	意味
31-6	-	Reserved ( Don't Care )
5	Interrupt on Async Advance Enable	USBSTS register のビット 5 の Interrupt on Async Advance の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の Interrupt on Async Advance で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効
4	Host System Error Enable	USBSTS register ビット 4 の Host System Error の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の Host System Error で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効
3	Frame List Rollover Enable	USBSTS register ビット 3 の Frame List Rollover の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の Frame List Rollover で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効
2	Port Change Interrupt Enable	USBSTS register ビット 2 の Port Change Detect の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の Port Change Detect で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効
1	USB Error Interrupt Enable	USBSTS register ビット 1 の USBERRINT の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の USB Error Interrupt ( USBERRINT ) で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効
0	USB Interrupt Enable	USBSTS register ビット 0 の USBINT の許可 / 禁止を選択します。割り込みのクリアは USBSTS Register の USB Interrupt ( USBINT ) で行ってください。 0 : 禁止 ( 保留されます ) 1 : 有効



## (8) FRINDEX Register ( 0F02 102CH )

ビット位置	ビット名	意味
31-14	-	Reserved ( Don't Care )
13-0	Frame Index[13:0]	<p>マイクロ・フレームの終わりで、このビットの値がインクリメントされます。 [N:3]は Frame List の現在の番号が表示されます ( N は USBCMD Register のビット 3, 2 Frame List Size の値に従います )。</p> <p>このレジスタへのアクセスは、USBSTS Register のビット 12 の HCHalted = 1 で、ホ スト・コントローラが停止状態のときにアクセスしてください。また、このビットの設 定値は、USB に送信される SOF の番号に反映されます。</p>

## (9) CTRLDSSEGMENT Register ( 0F02 1030H )

ビット位置	ビット名	意味
31-0	CTRLDSSEGMENT[31:0]	この USB 機能では、64 ビット・アドレッシングをサポートしていないため、このレジ スタは 0000 0000H を表示します。ソフトウェアでは、このレジスタにアクセスしない てください。

## (10) PERIODICLISTBASE Register ( 0F02 1034H )

ビット位置	ビット名	意味
31-12	BaseAddress(Low)[31:12]	<p>ホスト・コントローラがピリオディック・スケジュールを実行するための、システム・ メモリ上のピリオディック・リストの先頭アドレスを設定します。 ホスト・コントローラは、このフィールドと FRINDEX Register の Frame Index により、 処理するフレーム・リストを決定します。 ピリオディック・リストのアドレスは 4K バイトでアラインしてください。 動作中にこれらのビットを変更した場合の動作は保証しません。</p>
11-0	-	Reserved ( Don't Care )

## (11) ASYNCLISTADDR Register ( 0F02 1038H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Link Pointer Low[31:5] (LPL)																											0	0	0	0	0				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-5	Link Pointer Low[31:5] (LPL)	次に処理されるアシンクロナス・リストの Queue Header のシステム・メモリ上のアドレスを保持します。 アシンクロナス・リストのアドレスは 32 バイトでアラインしてください。
4-0	-	Reserved ( Don't Care )

## (12) CONFIGFLAG Register ( 0F02 1060H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Configure Flag (CF)																																							
R/W																																				R/W			
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-1	-	Reserved ( Don't Care )
0	Configure Flag (CF)	このビットは OHCI / EHCI のどちらにポートを割り当てるかを選択します。 ホスト・コントローラの初期化の最後に、このビットを設定してください。 0 : OHCI にポートを割り当てる 1 : EHCI にポートを割り当てる

(13) PORTSC1 Register ( 0F02 1064H )

( 1/4 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
										Wake on Over-current Enable (WKOC_E)	Wake on Disconnect Enable (WKDSCNNT_E)	Wake on Connect Enable (WKCNNNT_E)	Port Test Control [3:0]			Port Indicator Control[1:0]		Port Owner	Port Power	Line Status[1:0]		0	Port Reset	Suspend	Force Port Resume	Over-current Change	Over-current Active	Port Enable/Disable Change	Port Enabled/Disabled	Connect Status Change	Current Connect Status						
R/W										R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R		
初期値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット位置	ビット名	意味																																			
31-23	-	Reserved ( Don't Care )																																			
22	Wake on Over-current Enable (WKOC_E)	このビットをセット(1)すると、過電流状態を WakeUp イベントとして検知できます。ホスト・コントローラが動作中の場合、このビットの操作は影響しません。 このビットは、ビットの 2 PP = 0 の場合には 0 が読み出されます。																																			
21	Wake on Disconnect Enable (WKDSCNNT_E)	このビットをセット(1)すると、USB の切断を WakeUp イベントとして検知できます。ホスト・コントローラが動作中の場合、このビットへの操作は影響しません。 このビットは、ビット 12 の PP = 0 の場合には 0 が読み出されます。																																			
20	Wake on Connect Enable (WKCNNNT_E)	このビットをセット(1)すると、USB の接続を WakeUp イベントとして検知できます。ホスト・コントローラが動作中の場合、このビットへの操作は影響しません。 このビットは、ビット 12 の PP = 0 の場合には 0 が読み出されます。																																			
19-16	Port Test Control[3:0]	テスト・モードの制御を行います。テスト・モードの詳細は USB2.0 Specification Chapter7 を参照してください。																																			
		<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:40%;">Port Test Control[3:0]</th><th style="width:60%;">テスト・モード</th></tr> </thead> <tbody> <tr><td>0000b</td><td>Normal</td></tr> <tr><td>0001b</td><td>Test_J</td></tr> <tr><td>0010b</td><td>Test_K</td></tr> <tr><td>0011b</td><td>Test_SE0_NAK</td></tr> <tr><td>0100b</td><td>Test_Packet</td></tr> <tr><td>0101b</td><td>Test_Force_Enable</td></tr> <tr><td>上記以外</td><td>Reserved</td></tr> </tbody> </table>	Port Test Control[3:0]	テスト・モード	0000b	Normal	0001b	Test_J	0010b	Test_K	0011b	Test_SE0_NAK	0100b	Test_Packet	0101b	Test_Force_Enable	上記以外	Reserved																			
Port Test Control[3:0]	テスト・モード																																				
0000b	Normal																																				
0001b	Test_J																																				
0010b	Test_K																																				
0011b	Test_SE0_NAK																																				
0100b	Test_Packet																																				
0101b	Test_Force_Enable																																				
上記以外	Reserved																																				
15, 14	Port Indicator Control[1:0]	この USB 機能では、Port Indicator Control をサポートしないため、0 を示します。 このビットへのライトは影響しません。																																			

( 2/4 )

ビット位置	ビット名	意味																														
13	Port Owner	CONFIGFLAG register のビット 0 の CF が 0 1 に変化すると、このビットはクリア(0)されます。また CF = 0 の場合、このビットはセット(1)されます。 ソフトウェアでは、接続されたデバイスが HS デバイス以外の場合に、ポートの所有権を OHCI に渡すために、このビットをセット(1)してください。																														
12	Port Power(PP)	ポートに対する電源供給を制御します。 このビットがクリア(0)されている場合、ポートに電源が供給されていないため、ポートは機能せず、接続/切断を認識しません。 このビットがセット(1)されていて、過電流状態が検出されると、電源の供給が停止され、クリア(0)されます。 0 : ポートに電源供給していない 1 : ポートに電源供給している																														
11, 10	Line Status[1:0]	このフィールドは、USB パスの D+ / D- の状態を表示します(bit11 : D+ / bit10 : D-)。 このフィールドは、ビット 12 の PP = 0 の場合には 00b が読み出されます。  ・ HS 接続の場合 <table border="1"> <thead> <tr> <th>bit11 (D+)</th> <th>bit10 (D-)</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Receiver squelched</td> </tr> <tr> <td>0</td> <td>1</td> <td>J-State</td> </tr> <tr> <td>1</td> <td>0</td> <td>K-State</td> </tr> <tr> <td>1</td> <td>1</td> <td>Undefined</td> </tr> </tbody> </table> ・ FS/LS 接続の場合 <table border="1"> <thead> <tr> <th>bit11 (D+)</th> <th>bit10 (D-)</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SE0 or Open</td> </tr> <tr> <td>0</td> <td>1</td> <td>Full-speed Device Attached</td> </tr> <tr> <td>1</td> <td>0</td> <td>Low-speed Device Attached</td> </tr> <tr> <td>1</td> <td>1</td> <td>Undefined</td> </tr> </tbody> </table>	bit11 (D+)	bit10 (D-)	Mode	0	0	Receiver squelched	0	1	J-State	1	0	K-State	1	1	Undefined	bit11 (D+)	bit10 (D-)	Mode	0	0	SE0 or Open	0	1	Full-speed Device Attached	1	0	Low-speed Device Attached	1	1	Undefined
bit11 (D+)	bit10 (D-)	Mode																														
0	0	Receiver squelched																														
0	1	J-State																														
1	0	K-State																														
1	1	Undefined																														
bit11 (D+)	bit10 (D-)	Mode																														
0	0	SE0 or Open																														
0	1	Full-speed Device Attached																														
1	0	Low-speed Device Attached																														
1	1	Undefined																														
9	-	Reserved ( Don't Care )																														
8	Port Reset	このビットが 0 の状態のときにソフトウェアで 1 を書き込むと、USB2.0 規格で定義された Bus Reset のシーケンスが開始されます。 このビットに 0 を書き込むと Bus Reset のシーケンスが中断されます。USB2.0 規格に基づき、シーケンスが完了するまでソフトウェアで 1 を保持する必要があります。 USBSTS Register のビット 12 の HCHalted = 1 の場合は、リセットを行わないでください。 このビットは、ビット 12 の PP = 0 の場合には 0 が読み出されます。 0 : ポートはリセット中ではない 1 : ポートはリセット中																														

ビット位置	ビット名	意味												
7	Suspend	<p>ビット 2 の Port Enabled/Disabled および、このビットにより、ポートの状態は以下のようになります。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット 2 の Port Enabled/Disabled</th> <th>Suspend</th> <th>Port State</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>X</td> <td>Disable</td> </tr> <tr> <td>1</td> <td>0</td> <td>Enable</td> </tr> <tr> <td>1</td> <td>1</td> <td>Suspend</td> </tr> </tbody> </table> <p>サスペンド状態では、リセットを除き、ポートへのダウンストリーム・データの伝播が停止されます。このビットがセット（1）されたときに転送中であった場合は、現在の転送の終了後にステータスの反映およびデータの伝播が停止されます。</p> <p>このビットは以下の場合にクリア（0）されます。</p> <ul style="list-style-type: none"> <li>・ソフトウェアでビット 6 の Force Port Resume をクリア（0）した場合</li> <li>・ソフトウェアでビット 8 の Port Reset をセット（1）した場合</li> </ul> <p>このビットは、ビット 12 の PP = 0 の場合には 0 が読み出されます。</p> <p>0：ポートはサスペンド中ではない 1：ポートはサスペンド中</p>	ビット 2 の Port Enabled/Disabled	Suspend	Port State	0	X	Disable	1	0	Enable	1	1	Suspend
ビット 2 の Port Enabled/Disabled	Suspend	Port State												
0	X	Disable												
1	0	Enable												
1	1	Suspend												
6	Force Port Resume	<p>ポートがサスペンド中に J から K State への遷移を検知した場合 ( RemoteWakeUp ) に、ホスト・コントローラは USBSTS Register のビット 2 の Port Change Detect をセット（1）し、同時にこのビットをセット（1）します。また、レジュームを通知する場合に、ソフトウェアによりセット（1）してください。この場合、Port Change Detect はセット（1）されません。</p> <p>このビットが 1 の間、レジューム信号（FS-J）がバス上にドライブされます。適切な時間が経過した後、ソフトウェアでこのビットをクリア（0）する必要があります。</p> <p>このビットが 1 のときに 0 を書き込むことでポートは HS アイドル状態に復帰し、復帰後、このビットは自動的にクリア（0）されます。</p> <p>このビットは ビット 12 の PP = 0 の場合には 0 が読み出されます。</p> <p>0：ポートはレジュームを検知 / 通知していない 1：ポートはレジュームを検知 / 通知</p>												
5	Over-current Change	<p>このビットは過電流状態を検知した場合にセット（1）されます。</p> <p>このビットは 1 のライトでクリア（0）されます。0 のライトは無視されます。</p> <p>0：変化なし 1：ポートが過電流状態に変化した</p>												
4	Over-current Active	<p>このビットはポートの過電流状態を表示します。</p> <p>このビットはリード専用で、過電流状態が解除されることで自動的にクリア（0）されます。</p> <p>0：ポートは過電流状態ではない 1：ポートは過電流状態</p>												

★

ビット位置	ビット名	意味
3	Port Enable/Disable Change	<p>このビットは、ハードウェアによりポートが無効になった場合にセット(1)されます。このビットへの1のライトでクリア(0)されます。0のライトは無視されます。</p> <p>このビットは ビット 12 の PP = 0 の場合には0が読み出されます。</p> <p>0 : 変化なし 1 : ポートの有効 / 無効状態が変化した</p>
2	Port Enabled/Disabled	<p>ホスト・コントローラはポートをリセットし、接続されたデバイスが HS デバイスの場合にポートを有効とし、このビットをセット(1)します。ソフトウェアにより、このビットをセット(1)することはできません。</p> <p>ホスト・コントローラは、ポートの切断または、その他のエラーの場合にポートを無効にし、このビットをクリア(0)します。またソフトウェアからの0書き込みでも、ポートは無効になります。このビットへの書き込みは、ポートの状態が実際に変化するまでは反映されません。</p> <p>ポートが無効の場合、リセットを除きポートへのダウンストリーム・データの伝播が停止されます。</p> <p>このビットは ビット 12 の PP = 0 の場合には0が読み出されます。</p> <p>0 : ポートが無効 1 : ポートが有効</p>
1	Connect Status Change	<p>このビットは、ビット 0 の Current Connect Status の状態に変化があったことを示します。</p> <p>このビットは1のライトでクリア(0)されます。0のライトは無視されます。</p> <p>このビットは ビット 12 の PP = 0 の場合には0が読み出されます。</p> <p>0 : 変化なし 1 : Current Connect Status が変化した</p>
0	Current Connect Status	<p>このビットは、ポートの現在の接続状態を反映します。</p> <p>このビットは ビット 12 の PP = 0 の場合には0が表示されます。</p> <p>0 : ポートにデバイスが接続されていない 1 : ポートにデバイスが接続されている</p>

### 18.4.5 PCI Configuration Registers for OHCI

(1) Vendor ID, Device ID ( VID\_DID : 0F03 0000H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Device ID[15:0]																Vendor ID[15:0]																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット位置	ビット名	意味	
31-16	Device ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、0035H が読み出されます。	0035H 固定
15-0	Vendor ID[15:0]	デバイスのベンダを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、1033H が読み出されます。	1033H 固定

(2) Command, Status ( CMND\_STS : 0F03 0004H )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]	Data Parity Error Detected	Fast Back to Back Capable	0	0	Capabilities List	0	0	0	0	0	0	0	0	0	0	0	Fast Back to Back Enable	SERR Enable	Wait Cycle	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	0	0	R	0	0	0	0	0	0	0	0	0	0	R	R/W	R	R/W	R	R	R	R/W	R/W	R
初期値	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	Detected Parity Error	パリティ・エラーのステータス・ビットです。アドレス・パリティ・エラーまたはデータ・パリティ・エラーを検知した場合にセット(1)されます。 0: パリティ・エラーなし 1: パリティ・エラー検出 PCI バスからの'1'ライトでクリア(0)されます。
30	Signaled System Error	SERR のステータス・ビットです。システム・エラーが発生した場合にセット(1)されます。 0: SERR#をアサートしていない 1: SERR#をアサートした PCI バスからの'1'ライトでクリア(0)されます。
29	Received Master Abort	マスタ/マスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット(1)されます。 0: Master Abort を受信していない 1: Master Abort を受信した PCI バスからの'1'ライトでクリア(0)されます。
28	Received Target Abort	マスタ/ターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット(1)されます。 0: Target Abort を受信していない 1: Target Abort を受信した PCI バスからの'1'ライトでクリア(0)されます。
27	Signaled Target Abort	スレーブ/ターゲット・アボートのステータス・ビットです。スレーブ動作がターゲット・アボートで終了した場合にセット(1)されます。 0: Target Abort を送信していない 1: Target Abort を送信した PCI バスからの'1'ライトでクリア(0)されます。
26, 25	Devsel Timing[1:0]	DEVSEL 応答速度を示すフィールドです。01b (中速応答) 固定です。 01b 固定



( 2/2 )

ビット位置	ビット名	意 味	
24	Data Parity Error Detected	マスタ動作時にパリティ・エラーを検出した場合にセット (1) されます。 PCI バスからの '1' ライトでクリア (0) されます。 ビット 6 の Parity Error Response = 0 の場合は 0 固定です。 0 : パリティ・エラーなし 1 : パリティ・エラー検出	
23	Fast Back to Back Capable	Fast Back to Back に対応状態を示すビットです。 Fast Back to Back に対応しないため 0 固定です。	0b 固定
22, 21	-	Reserved ( Don't Care )	
20	Capabilities List	Power Management Mode のサポート状態を示すビットです。1 固定になります。	1b 固定
19-10	-	Reserved ( Don't Care )	
9	Fast Back to Back Enable	Fast Back to Back のイネーブル・ビットです。 Fast Back to Back に対応していないため 0 固定です。	0b 固定
8	SERR Enable	システム・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する (初期値) 1 : SERR# をアサートする	
7	Wait Cycle	Wait Cycle Control のイネーブル・ビットです。 Address / Data Stepping に対応しないため 0 固定です。	0b 固定
6	Parity Error Response	パリティ・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する (初期値) 1 : パリティ・エラーを検出する	
5	VGA Palette Snoop	VGA Palette Snoop のイネーブル・ビットです。 VGA Palette Snoop に対応していないため 0 固定です。	0b 固定
4	Memory Write and Invalidate Enable	Memory Write and Invalidate のイネーブル・ビットです。 Memory Write and Invalidate に対応していないため 0 固定です。	0b 固定
3	Special Cycle	Special Cycle のイネーブル・ビットです。 Special Cycle に対応していないため 0 固定です。	0b 固定
2	Bus Master	PCI マスタ動作のイネーブル・ビットです。初期化時にセット (1) してください。 0 : マスタ動作禁止 (初期値) 1 : マスタ動作許可	
1	Memory Space	PCI メモリ空間へのアクセス・イネーブル・ビットです。初期化時にセット (1) してください。 0 : メモリ空間アクセス禁止 (初期値) 1 : メモリ空間アクセス許可	
0	I/O Space	I/O 空間へのアクセス・イネーブル・ビットです。 I/O アクセスを受け付けないため 0 固定です。	0b 固定

(3) Revision ID, Class Code ( REVID\_CC : 0F03 0008H )

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																				
Class Code																												Revision ID[7:0]								
Base Class[7:0]								Sub Class[7:0]								Programming I/F[7:0]																				
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味	
31-24	Base Class[7:0]	PCI 規格における基本クラスを示すフィールドです。 シリアル周辺バスのコントローラを示す 0CH を示します。	0CH 固定
23-16	Sub Class[7:0]	PCI 規格におけるサブクラスを示すフィールドです。 USB デバイスを示す 03H を示します。	03H 固定
15-8	Programming I/F[7:0]	PCI 規格におけるプログラム・インタフェースを示すフィールドです。 OHCI を示す 10H を示します。	10H 固定
7-0	Revision ID[7:0]	ホスト・コントローラのリビジョンを示すフィールドです。 01H 固定です。	01H 固定

(4) Cache Line Size, Latency Timer, Header Type, BIST ( CLS\_LT\_HT\_BIST : 0F03 000CH )

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																						
BIST[7:0]								Header Type[7:0]								Latency Timer[7:0]								Cache Line Size[7:0]														
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。 00H を示します。	00H 固定
23-16	Header Type[7:0]	ヘッダ・タイプをシステムに通知するためのフィールドです。 ヘッダ・タイプが Type 0 のためビット 22-16 は 0 固定です。 Multi Function デバイスのためビット 23 は 1 固定です。	80H 固定
15-8	Latency Timer[7:0]	Latency Timer をシステムに通知するためのフィールドです。 下位 2 ビットは 00b 固定です。	
7-0	Cache Line Size[7:0]	Cache Line Size をシステムに通知するためのフィールドです。	

(5) OHCI Base Address ( BASEAD : 0F03 0010H )

<div style="display: flex; justify-content: space-between; font-size: small;"> <span>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</span> </div> <div style="text-align: center; border: 1px solid black; padding: 10px; margin: 5px auto; width: 80%;">                     OHCI Base Address[31:4]                 </div> <div style="display: flex; justify-content: space-between; font-size: x-small; margin-top: 5px;"> <span>Prefetchable</span> <span>Type[1:0]</span> <span>Memory Space Indicator</span> </div>		
R/W    R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W    R    R    R    R    R    R    R    R    R    0    0    0    0		
初期値 0		
ビット位置	ビット名	意 味
31-4	OHCI Base Address[31:4]	ビット 31-12 で Operational Register のアドレスを指定します。 初期化時にシステムにより決定された Operational Register のベース・アドレス値を設定してください。ビット 11-4 は 0 固定です。
3	Prefetchable	データのプリフェッチ可否を示します。 プリフェッチ禁止のため、0 固定です。 <span style="float: right;">0b 固定</span>
2, 1	Type[1:0]	ベース・アドレスのタイプを示すフィールドです。OHCI Base Address が 32 ビット空間の任意の位置であることを示します。 <span style="float: right;">00b 固定</span>
0	Memory Space Indicator	ベース・アドレスで指定するフィールドがメモリ空間であることを示すフィールドです。0 固定です。 <span style="float: right;">0b 固定</span>

(6) Subsystem Vendor ID, SubsystemID ( SSVID\_SSID : 0F03 002CH )

<div style="display: flex; justify-content: space-between; font-size: small;"> <span>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</span> </div> <div style="text-align: center; border: 1px solid black; padding: 5px; margin: 5px auto; width: 80%;"> <span style="margin-right: 20px;">Subsystem ID[15:0]</span> <span>Subsystem Vendor ID[15:0]</span> </div>		
R/W    R		
初期値 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 1 0 1 0 0 0 1 0 0 0 0 0 0 1 1 0 0 1 1		
ビット位置	ビット名	意 味
31-16	Subsystem ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、0035H が読み出されます。 <span style="float: right;">0035H 固定</span>
15-0	Subsystem Vendor ID[15:0]	デバイスのベンダを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、1033H が読み出されます。 <span style="float: right;">1033H 固定</span>

(7) Capability Pointer ( CAPPTR : 0F03 0034H )

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0												
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 240px; text-align: center;">0</td> <td style="width: 40px; text-align: center;">Capability Pointer[7:0]</td> </tr> </table>	0	Capability Pointer[7:0]										
0	Capability Pointer[7:0]											
R/W 0												
初期値 0 1 0 0 0 0 0 0												
<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット位置</th> <th style="width: 20%;">ビット名</th> <th style="width: 60%;">意味</th> <th style="width: 10%;"></th> </tr> </thead> <tbody> <tr> <td>31-8</td> <td style="text-align: center;">-</td> <td colspan="2">Reserved ( Don't Care )</td> </tr> <tr> <td>7-0</td> <td>Capability Pointer[7:0]</td> <td>Capability Identifier へのポインタを示します。 このホスト・コントローラでは 40H に実装されているため、40H を示します。</td> <td style="text-align: center;">40H 固定</td> </tr> </tbody> </table>	ビット位置	ビット名	意味		31-8	-	Reserved ( Don't Care )		7-0	Capability Pointer[7:0]	Capability Identifier へのポインタを示します。 このホスト・コントローラでは 40H に実装されているため、40H を示します。	40H 固定
ビット位置	ビット名	意味										
31-8	-	Reserved ( Don't Care )										
7-0	Capability Pointer[7:0]	Capability Identifier へのポインタを示します。 このホスト・コントローラでは 40H に実装されているため、40H を示します。	40H 固定									

(8) Interrupt Line, Interrupt Pin, Min gnt, Max Latency ( INTR\_LINE\_PIN : 0F03 003CH )

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																				
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 240px; text-align: center;">Max Latency[7:0]</td> <td style="width: 120px; text-align: center;">Min Gnt[7:0]</td> <td style="width: 120px; text-align: center;">Interrupt Pin[7:0]</td> <td style="width: 120px; text-align: center;">Interrupt Line[7:0]</td> </tr> </table>	Max Latency[7:0]	Min Gnt[7:0]	Interrupt Pin[7:0]	Interrupt Line[7:0]																
Max Latency[7:0]	Min Gnt[7:0]	Interrupt Pin[7:0]	Interrupt Line[7:0]																	
R/W R/W R/W R/W R/W R/W R/W R/W R/W																				
初期値 0 0 1 0 1 0 1 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0																				
<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット位置</th> <th style="width: 20%;">ビット名</th> <th style="width: 60%;">意味</th> <th style="width: 10%;"></th> </tr> </thead> <tbody> <tr> <td>31-24</td> <td>Max Latency[7:0]</td> <td>最大レーテンシを示します。2AH 固定です。</td> <td style="text-align: center;">2AH 固定</td> </tr> <tr> <td>23-16</td> <td>Min Gnt[7:0]</td> <td>最小グラント時間を示します。01H 固定です。</td> <td style="text-align: center;">01H 固定</td> </tr> <tr> <td>15-8</td> <td>Interrupt Pin[7:0]</td> <td>割り込み出力端子を示します。INTA ( INTU2HOHCI ) を使用しているため、01H 固定です。</td> <td style="text-align: center;">01H 固定</td> </tr> <tr> <td>7-0</td> <td>Interrupt Line[7:0]</td> <td>割り込みラインを示します。00H 固定です。</td> <td style="text-align: center;">00H 固定</td> </tr> </tbody> </table>	ビット位置	ビット名	意味		31-24	Max Latency[7:0]	最大レーテンシを示します。2AH 固定です。	2AH 固定	23-16	Min Gnt[7:0]	最小グラント時間を示します。01H 固定です。	01H 固定	15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTA ( INTU2HOHCI ) を使用しているため、01H 固定です。	01H 固定	7-0	Interrupt Line[7:0]	割り込みラインを示します。00H 固定です。	00H 固定
ビット位置	ビット名	意味																		
31-24	Max Latency[7:0]	最大レーテンシを示します。2AH 固定です。	2AH 固定																	
23-16	Min Gnt[7:0]	最小グラント時間を示します。01H 固定です。	01H 固定																	
15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTA ( INTU2HOHCI ) を使用しているため、01H 固定です。	01H 固定																	
7-0	Interrupt Line[7:0]	割り込みラインを示します。00H 固定です。	00H 固定																	

(9) Capability Identifier, Next Item Pointer, Power Management Capabilities  
 ( CAPID\_NIP\_PMCAP : 0F03 0040H )

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																						
Power Management Capabilities																Next Item Pointer[7:0]								Capability Identifier[7:0]														
PME Support[4:0]				D2 Support	D1 Support	AUX Current [2:0]		DSI	0	PME CLK	Version [2:0]																											
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味	
31	PME Support[4:0]	D3 Cold 状態のサポートを示します。	0b 固定
30-27		D3 Cold 状態をサポートしないため 0 固定です。	
		PCI Power State の , すべてのステート ( D0-D3 ) での PME 割り込み ( INTU2HPME ) 発生をサポートしていることを示します。 1111b 固定です。	1111b 固定
26	D2 Support	PCI Power State の D2 に対応していることを示します。 1 固定です。	1b 固定
25	D1 Support	PCI Power State の D1 に対応していることを示します。 1 固定です。	1b 固定
24-22	AUX Current [2:0]	D3 Cold ステートからの PME 割り込み ( INTU2HPME ) 発生をサポート状態を示します。 D3 Cold ステートからの PME ( INTU2HPME ) 割り込み発生をサポートしていないため , 000b 固定です。	000b 固定
21	DSI	Power Management 使用の際に特殊な初期化を必要としないことを示します。 0 固定です。	0b 固定
20	-	Reserved ( Don't Care )	
19	PME CLK	PME 割り込み ( INTU2HPME ) 生成に PCI クロックを必要としないことを示します。 0 固定です。	0b 固定
18-16	Version[2:0]	Power Management のバージョンを示すフィールドです。 このホスト・コントローラは 010b 固定です。	010b 固定
15-8	Next Item Pointer[7:0]	Next Item が存在しないことを示すフィールドです。 00H 固定です。	00H 固定
7-0	Capability Identifier[7:0]	Power Management Register ID を示すフィールドです。 01H 固定です。	01H 固定

(10) Power Management Control/Status, PMCSR Bridge Support Extensions  
 ( PMC\_STS\_PMCSR : 0F03 0044H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Data								PMCSR Bridge Support Extensions								Power Management Control/Status																	
Data[7:0]								B2_B3	0	0	0	0	0	0	PME Status	Data Scale[1:0]	Data Select[3:0]	PME Enable	0	0	0	0	0	0	0	0	Power State[1:0]						
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R	
初期値																																	
0 0																																	

ビット位置	ビット名	意味									
31-24	Data[7:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00H 固定です。	00H 固定								
23	BPCC Enable	Bridge 用のビットで、このホスト・コントローラは未対応です。	0b 固定								
22	B2_B3	0 固定です。	0b 固定								
21-16	-	Reserved ( Don't Care )									
15	PME Status	PME 割り込み ( INTU2HPME ) のステータス・ビットです。 PME 割り込み ( INTU2HPME ) が発生する条件になるとセット ( 1 ) されます。 PCI バスから '1' を書き込むとクリア ( 0 ) されます。									
14, 13	Data Scale[1:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00b 固定です。	00b 固定								
12-9	Data Select[3:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00H 固定です。	00H 固定								
8	PME Enable	PME 割り込み ( INTU2HPME ) を使用するかを設定するビットです。 このビットをセット ( 1 ) すると、Power Management からの復帰時に PME 割り込み ( INTU2HPME ) を発生します。									
7-2	-	Reserved ( Don't Care )									
1, 0	Power State[1:0]	PCI の Power Status フィールドです。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr><td style="padding: 2px;">00b</td><td style="padding: 2px;">D0 State</td></tr> <tr><td style="padding: 2px;">01b</td><td style="padding: 2px;">D1 State</td></tr> <tr><td style="padding: 2px;">10b</td><td style="padding: 2px;">D2 State</td></tr> <tr><td style="padding: 2px;">11b</td><td style="padding: 2px;">D3 hot State</td></tr> </table>	00b	D0 State	01b	D1 State	10b	D2 State	11b	D3 hot State	
00b	D0 State										
01b	D1 State										
10b	D2 State										
11b	D3 hot State										

### 18.4.6 PCI Configuration Registers for EHCI

(1) Vendor ID, Device ID ( VID\_DID : 0F03 0100H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Device ID[15:0]																Vendor ID[15:0]																	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット位置	ビット名	意味	
31-16	Device ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、00E0H が読み出されます。	00E0H 固定
15-0	Vendor ID[15:0]	デバイスのベンダーを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、1033H が読み出されます。	1033H 固定

(2) Command, Status ( CMND\_STS : 0F03 0104H )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]	Data Parity Error Detected	Fast Back to Back Capable	0	66MHz Capable	Capabilities List	0	0	0	0	0	0	0	0	0	0	0	Fast Back to Back Enable	SERR Enable	Wait Cycle	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	0	R	R	0	0	0	0	0	0	0	0	0	0	R	R/W	R	R/W	R	R	R	R/W	R/W	R
初期値	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	Detected Parity Error	パリティ・エラーのステータス・ビットです。アドレス・パリティ・エラーまたはデータ・パリティ・エラーを検知した場合にセット（1）されます。 0：パリティ・エラーなし 1：パリティ・エラー検出 PCI バスからの'1'ライトでクリア（0）されます。
30	Signaled System Error	SERR のステータス・ビットです。システム・エラーが発生した場合にセット（1）されます。 0：SERR#をアサートしていない 1：SERR#をアサートした PCI バスからの'1'ライトでクリア（0）されます。
29	Received Master Abort	マスタ / マスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット（1）されます。 0：Master Abort を受信していない 1：Master Abort を受信した PCI バスからの'1'ライトでクリア（0）されます。
28	Received Target Abort	マスタ / ターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット（1）されます。 0：Target Abort を受信していない 1：Target Abort を受信した PCI バスからの'1'ライトでクリア（0）されます。
27	Signaled Target Abort	スレーブ / ターゲット・アボートのステータス・ビットです。スレーブ動作がターゲット・アボートで終了した場合にセット（1）されます。 0：Target Abort を送信していない 1：Target Abort を送信した PCI バスからの'1'ライトでクリア（0）されます。
26, 25	Devsel Timing[1:0]	DEVSEL 応答速度を示すフィールドです。01b（中速応答）固定です。 01b 固定



( 2/2 )

ビット位置	ビット名	意 味	
24	Data Parity Error Detected	マスタ動作時にパリティ・エラーを検出した場合にセット (1) されます。 PCI バスからの '1' ライトでクリア (0) されます。 ビット 6 の Parity Error Response = 0 の場合は 0 固定です。 0 : パリティ・エラーなし 1 : パリティ・エラー検出	
23	Fast Back to Back Capable	Fast Back to Back に対応状態を示すビットです。 Fast Back to Back に対応しないため 0 固定です。	0b 固定
22	-	Reserved ( Don't Care )	
21	66MHz Capable	66MHz での動作可否を示すビットです。 33MHz でのみ動作するため 0 固定です。	0b 固定
20	Capabilities List	Power Management Mode のサポート状態を示すビットです。1 固定になります。	1b 固定
19-10	-	Reserved ( Don't Care )	
9	Fast Back to Back Enable	Fast Back to Back のイネーブル・ビットです。 Fast Back to Back に対応していないため 0 固定です。	0b 固定
8	SERR Enable	システム・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する ( 初期値 ) 1 : SERR# をアサートする	
7	Wait Cycle	Wait Cycle Control のイネーブル・ビットです。 Address / Data Stepping に対応しないため 0 固定です。	0b 固定
6	Parity Error Response	パリティ・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する ( 初期値 ) 1 : パリティ・エラーを検出する	
5	VGA Palette Snoop	VGA Palette Snoop のイネーブル・ビットです。 VGA Palette Snoop に対応していないため 0 固定です。	0b 固定
4	Memory Write and Invalidate Enable	Memory Write and Invalidate のイネーブル・ビットです。 Memory Write and Invalidate に対応していないため 0 固定です。	0b 固定
3	Special Cycle	Special Cycle のイネーブル・ビットです。 Special Cycle に対応していないため 0 固定です。	0b 固定
2	Bus Master	PCI マスタ動作のイネーブル・ビットです。初期化時にセット (1) してください。 0 : マスタ動作禁止 ( 初期値 ) 1 : マスタ動作許可	
1	Memory Space	PCI メモリ空間へのアクセス・イネーブル・ビットです。初期化時にセット (1) してください。 0 : メモリ空間アクセス禁止 ( 初期値 ) 1 : メモリ空間アクセス許可	
0	I/O Space	I/O 空間へのアクセス・イネーブル・ビットです。 I/O アクセスを受け付けないため 0 固定です。	0b 固定

(3) Revision ID, Class Code ( REVID\_CC : 0F03 0108H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Class Code															Revision ID[7:0]																		
Base Class[7:0]							Sub Class[7:0]							Programming I/F[7:0]																			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味	
31-24	Base Class[7:0]	PCI 規格における基本クラスを示すフィールドです。 シリアル周辺バスのコントローラを示す 0CH を示します。	0CH 固定
23-16	Sub Class[7:0]	PCI 規格におけるサブクラスを示すフィールドです。 USB デバイスを示す 03H を示します。	03H 固定
15-8	Programming I/F[7:0]	PCI 規格におけるプログラム・インタフェースを示すフィールドです。 EHCI を示す 20H を示します。	20H 固定
7-0	Revision ID[7:0]	ホスト・コントローラのリビジョンを示すフィールドです。 01H 固定です。	01H 固定

(4) Cache Line Size, Latency Timer, Header Type, BIST ( CLS\_LT\_HT\_BIST : 0F03 010CH )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BIST[7:0]							Header Type[7:0]							Latency Timer[7:0]							Cache Line Size[7:0]												
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。 00H を示します。	00H 固定
23-16	Header Type[7:0]	ヘッダ・タイプをシステムに通知するためのフィールドです。 ヘッダ・タイプが Type0 のためビット 22-16 は 0 固定です。 Multi Function は非対応のため 0 固定です。	00H 固定
15-8	Latency Timer[7:0]	Latency Timer をシステムに通知するためのフィールドです。 下位 2 ビットは 00b 固定です。	
7-0	Cache Line Size[7:0]	Cache Line Size をシステムに通知するためのフィールドです。	

(5) EHCI Base Address ( BASEAD : 0F03 0110H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EHCI Base Address[31:4]																												Prefetchable	Type[1:0]	Memory Space Indicator			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	0	0	0	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-4	EHCI Base Address[31:4]	ビット 31-8 で Operational Register のアドレスを指定します。 初期化時にシステムにより決定された Operational Register のベース・アドレス値を設定してください。ビット 7-4 は 0 固定です。	
3	Prefetchable	データのプリフェッチ可否を示します。 プリフェッチ禁止のため、0 固定です。	0b 固定
2, 1	Type[1:0]	ベース・アドレス・タイプを示すフィールドです。EHCI Base Address が 32 ビット空間の任意の位置であることを示します。	00b 固定
0	Memory Space Indicator	ベース・アドレスで指定するフィールドがメモリ空間であることを示すフィールドです。0 固定です。	0b 固定

(6) Subsystem Vendor ID, SubsystemID ( SSVID\_SSID : 0F03 012CH )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Subsystem ID[15:0]																Subsystem Vendor ID[15:0]																		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	1

ビット位置	ビット名	意味	
31-16	Subsystem ID[15:0]	デバイスの種類を示すフィールドです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラでは使用しません。	00E0H 固定
15-0	Subsystem Vendor ID[15:0]	デバイスのベンダを示すフィールドです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラでは使用しません。	1033H 固定

(7) Expansion ROM Base Address ( EROM\_BASEAD : 0F03 0130H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																					
	Expansion ROM Base Address[21:0]																						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ROM Decode Enable
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		

ビット位置	ビット名	意味	
31-10	Expansion ROM Base Address[21:0]	拡張 ROM のデコードは禁止のため、常に 000000H が読み出されます。書き込みはできません。	000000H 固定
9-1	-	Reserved ( Don't Care )	
0	ROM Decode Enable	拡張 ROM のデコードは禁止のため、常に 0 が読み出されます。書き込みはできません。	0b 固定

(8) Capability Pointer ( CAPPTR : 0F03 0134H )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	0																						Capability Pointer[7:0]										
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-8	-	Reserved ( Don't Care )	
7-0	Capability Pointer[7:0]	Capability Identifier へのポインタを示します。 このホスト・コントローラでは 40H に実装されているため、40H を示します。	40H 固定

(9) Interrupt Line, Interrupt Pin, Min gnt, Max Latency (INTR\_LINE\_PIN : 0F03 013CH)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																							
Max Latency[7:0]								Min Gnt[7:0]								Interrupt Pin[7:0]								Interrupt Line[7:0]															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-24	Max Latency[7:0]	最大レーテンシを示します。22H 固定です。	22H 固定
23-16	Min Gnt[7:0]	最小グラント時間を示します。10H 固定です。	10H 固定
15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTB (INTU2HEHCI) を使用しているため、02H 固定です。	02H 固定
7-0	Interrupt Line[7:0]	割り込みラインを示します。00H 固定です。	00H 固定

(10) Capability Identifier, Next Item Pointer, Power Management Capabilities

(CAPID\_NIP\_PMCAP : 0F03 0140H)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																					
Power Management Capabilities																Next Item Pointer[7:0]								Capability Identifier[7:0]													
PME Support[4:0]				D2 Support	D1 Support	AUX Current [2:0]		DSI	0	PME CLK	Version [2:0]																										
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味	
31	PME Support[4:0]	D3 Cold 状態のサポートを示します。	0b 固定
30-27		D3 Cold 状態をサポートしないため 0 固定です。	
30-27	PME Support[4:0]	PCI Power State の、すべてのステート (D0-D3) での PME 割り込み (INTU2HPME) 発生をサポートしていることを示します。1111b 固定です。	1111b 固定
26		D2 Support	PCI Power State の D2 に対応していることを示します。1 固定です。
25	D1 Support	PCI Power State の D1 に対応していることを示します。1 固定です。	1b 固定
24-22	AUX Current [2:0]	D3 Cold ステートからの PME 割り込み (INTU2HPME) 発生をサポート状態を示します。	000b 固定
		D3 Cold ステートからの PME 割り込み (INTU2HPME) 発生をサポートしていないため、000b 固定です。	
21	DSI	Power Management 使用の際に特殊な初期化を必要としないことを示します。0 固定です。	0b 固定
20	-	Reserved ( Don't Care )	
19	PME CLK	PME 割り込み (INTU2HPME) 生成に PCI クロックを必要としないことを示します。0 固定です。	0b 固定
18-16	Version[2:0]	Power Management のバージョンを示すフィールドです。このホスト・コントローラは 010b 固定です。	010b 固定
15-8	Next Item Pointer[7:0]	Next Item が存在しないことを示すフィールドです。00H 固定です。	00H 固定
7-0	Capability Identifier[7:0]	Power Management Register ID を示すフィールドです。01H 固定です。	01H 固定

(11) Power Management Control/Status, PMCSR Bridge Support Extensions  
 ( PMC\_STS\_PMCSR : 0F03 0144H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Data								PMCSR Bridge Support Extensions								Power Management Control/Status																
Data[7:0]								B2_B3	0	0	0	0	0	0	PME Status	Data Scale[1:0]		Data Select[3:0]			PME Enable	0	0	0	0	0	0	Power State[1:0]				
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味									
31-24	Data[7:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00H 固定です。	00H 固定								
23	BPCC Enable	Bridge 用のビットで、このホスト・コントローラは未対応です。	0b 固定								
22	B2_B3	0 固定です。	0b 固定								
21-16	-	Reserved ( Don't Care )									
15	PME Status	PME 割り込みの ( INTU2HPME ) ステータス・ビットです。 PME 割り込み ( INTU2HPME ) が発生する条件になるとセット ( 1 ) されます。 PCI バスから '1' を書き込むとクリア ( 0 ) されます。									
14, 13	Data Scale[1:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00b 固定です。	00b 固定								
12-9	Data Select[3:0]	PCI 規格では、このフィールドはオプション・フィールドです。 このホスト・コントローラは未対応です。00H 固定です。	00H 固定								
8	PME Enable	PME 割り込み ( INTU2HPME ) を使用するかを設定するビットです。 このビットをセット ( 1 ) すると、Power Management からの復帰時に PME 割り込み ( INTU2HPME ) を発生します。									
7-2	-	Reserved ( Don't Care )									
1, 0	Power State[1:0]	PCI の Power Status フィールドです。  <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td style="text-align: center;">00b</td><td>D0 State</td></tr> <tr><td style="text-align: center;">01b</td><td>D1 State</td></tr> <tr><td style="text-align: center;">10b</td><td>D2 State</td></tr> <tr><td style="text-align: center;">11b</td><td>D3 hot State</td></tr> </table>	00b	D0 State	01b	D1 State	10b	D2 State	11b	D3 hot State	
00b	D0 State										
01b	D1 State										
10b	D2 State										
11b	D3 hot State										

(12) SBRN, FLADJ, PORTWAKECAP ( SBRN\_FLADJ\_PW : 0F03 0160H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTWAKECAP[15:0]																FLADJ[7:0]							SBRN[7:0]								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット位置	ビット名	意味
31-16	PORTWAKECAP[15:0]	接続されるデバイスの、各ポートによる Wakeup イベントのマスク・フィールドです。 このホスト・コントローラは 1 ポートのため、このフィールドの操作は無視されます。
15-8	FLADJ[7:0]	1 フレームの長さを 16bit time 単位で設定します。 初期値は 20H ( 60000d bit time ) です。
7-0	SBRN[7:0]	Serial Bus Release Number を示します。20H 固定です。

### 18.4.7 PCI Configuration Registers for System Bus-PCI Bridge

(1) Vendor ID, Device ID ( VID\_DID : 0F03 0000H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DEVICE_ID[15:0]																VENDOR_ID[15:0]																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1

ビット位置	ビット名	意味	
31-16	DEVICE_ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、0000H が読み出されます。	0000H 固定
15-0	VENDOR_ID[15:0]	デバイスのベンダーを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 組み込み系のホスト・コントローラの場合は、使用する必要はありません。 このフィールドをリードすると、1033H が読み出されます。	1033H 固定



(2) Command, Status ( CMND\_STS : 0F03 0004H )

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DETPERR	SIGSERR	REMABOOT	RETABOOT	SIGTABORT	DEVTIM[1:0]	MDPERR	FBTBCAP	0	66MCAP	CAPLIST	0	0	0	0	0	0	0	0	0	0	0	FBTBEN	SERREN	STEPCTR	PERREN	VGAPSNP	MWINVEN	SPECIALC	MASTEREN	MEMEN	IOEN	
R/W	R/W	R/W	R/W	R/W	0	1	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	R/W	0	0	0	0	R/W	R/W	0
初期値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	DETPERR	パリティ・エラーのステータス・ビットです。アドレス・パリティ・エラーまたはデータ・パリティ・エラーを検知した場合にセット ( 1 ) されます。 0 : パリティ・エラーなし 1 : パリティ・エラー検出 PCI バスからの '1' ライトでクリア ( 0 ) されます。
30	SIGSERR	SERR のステータス・ビットです。システム・エラーが発生した場合セット ( 1 ) されます。 0 : SERR# をアサートしていない 1 : SERR# をアサートした PCI バスからの '1' ライトでクリア ( 0 ) されます。
29	REMABOOT	マスタ / マスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット ( 1 ) されます。 0 : Master Abort を受信していない 1 : Master Abort を受信した PCI バスからの '1' ライトでクリア ( 0 ) されます。
28	RETABOOT	マスタ / ターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット ( 1 ) されます。 0 : Target Abort を受信していない 1 : Target Abort を受信した PCI バスからの '1' ライトでクリア ( 0 ) されます。
27	SIGTABORT	スレーブ / ターゲット・アボートのステータス・ビットです。スレーブ動作がターゲット・アボートで終了した場合にセット ( 1 ) されます。 0 : Target Abort を送信していない 1 : Target Abort を送信した PCI バスからの '1' ライトでクリア ( 0 ) されます。
26, 25	DEVTIM[1:0]	DEVSEL 応答速度を示すフィールドです。01b ( 中速応答 ) 固定です。
		01b 固定

( 2/2 )

ビット位置	ビット名	意 味	
24	MDPERR	マスタ動作時にパリティ・エラーを検出した場合にセット (1) されます。 PCI バスからの '1' ライトでクリア (0) されます。 ビット 6 の Parity Error Response = 0 の場合は 0 固定です。 0 : パリティ・エラーなし 1 : パリティ・エラー検出	
23	FBTBCAP	Fast Back to Back に対応状態を示すビットです。 Fast Back to Back に対応しないため 0 固定です。	0b 固定
22	-	Reserved ( Don't Care )	
21	66MCAP	66MHz での動作可否を示すビットです。 33MHz でのみ動作するため 0 固定です。	0b 固定
20	CAPLIST	Power Management Mode のサポート状態を示すビットです。0 固定になります。	0b 固定
19-10	-	Reserved ( Don't Care )	
9	FBTBEN	Fast Back to Back のイネーブル・ビットです。 Fast Back to Back に対応していないため 0 固定です。	0b 固定
8	SERREN	システム・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する ( 初期値 ) 1 : SERR# をアサートする	
7	STEPCTR	Wait Cycle Control のイネーブル・ビットです。 Address / Data Stepping に対応しないため 0 固定です。	0b 固定
6	PERREN	パリティ・エラー検出時の動作を設定します。初期化時にセット (1) してください。 0 : 無視する ( 初期値 ) 1 : パリティ・エラーを検出する	
5	VGAPSNP	VGA Palette Snoop のイネーブル・ビットです。 VGA Palette Snoop に対応していないため 0 固定です。	0b 固定
4	MWINVEN	Memory Write and Invalidate のイネーブル・ビットです。 Memory Write and Invalidate に対応していないため 0 固定です。	0b 固定
3	SPECIALC	Special Cycle のイネーブル・ビットです。 Special Cycle に対応していないため 0 固定です。	0b 固定
2	MASTEREN	PCI マスタ動作のイネーブル・ビットです。初期化時にセット (1) してください。 0 : マスタ動作禁止 ( 初期値 ) 1 : マスタ動作許可	
1	MEMEN	PCI スレーブ動作のアクセス・ビットです。初期化時にセット (1) してください。 0 : メモリ・サイクル受信不可 ( 初期値 ) 1 : メモリ・サイクル受信可	
0	IOEN	I/O 空間へのアクセス・イネーブル・ビットです。 I/O アクセスを受け付けられないため 0 固定です。	0b 固定

(3) Revision ID, Class Code ( REVID\_CC : 0F03 0008H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CLASS_CODE[23:0]															REVISION_ID[7:0]																	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味	
31-8	CLASS_CODE[23:0]	060000H を示します。	060000H 固定
7-0	REVISION_ID[7:0]	ホスト・コントローラのリビジョンを示すフィールドです。01H 固定です。	01H 固定

(4) Cache Line Size, Latency Timer, Header Type, BIST ( CLS\_LT\_HT\_BIST : 0F03 000CH )

**注意** このレジスタの LATENCY\_TIMER[7:0]フィールドは、初期値から値を変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BIST[7:0]								HEADER_TYPE[7:0]								LATENCY_TIMER[7:0]								CACHE_LINE_SIZE[7:0]								
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味	
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。00H を示します。	00H 固定
23-16	HEADER_TYPE[7:0]	Single Function Device のため 00H 固定です。	00H 固定
15-8	LATENCY_TIMER[7:0]	Latency Timer をシステムに通知するためのフィールドです。 Latency Timer 未使用のため、このフィールドは 00H から変更しないでください。	00H 固定
7-0	CACHE_LINE_SIZE[7:0]	Cache 未サポートのため 00H 固定です。	00H 固定

(5) System Bus-PCI Bridge Base Address ( BASEAD : 0F03 0010H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
PCICOM_BASEADR[31:10]																								0	PREFETCH	TYPE[1:0]	MEM																												
R/W																								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	
初期値																								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意 味
31-10	PCICOM_BASEADR [31:10]	System Bus-PCI Bridge の PCI Communication Register 領域のベース・アドレスを設定します。 1K バイトの空間が必要なため、上位 24 ビットがベース・アドレスとなります。
9-4	-	Reserved ( Don't Care )
3	PREFETCH	データのプリフェッチ可否を示します。 プリフェッチ禁止のため、0 固定です。
2, 1	TYPE[1:0]	ベース・アドレス・タイプを示すフィールドです。 32 ビット空間の任意の位置であることを示します。
0	MEM	ベース・アドレスで指定するフィールドがメモリ空間であることを示すフィールドです。0 固定です。

(6) PCI-System Bus WIN1 Base Address ( WIN1\_BASEAD : 0F03 0014H )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PCI_WIN1_BASEADR [31:28]				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PREFETCH	TYPE[1:0]	MEM	
R/W				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R
初期値				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット位置	ビット名	意 味
31-28	PCI_WIN1_BASEADR [31:28]	PCI-System Bus Window1 のベース・アドレスを設定します。 256M バイトの空間が必要なため、上位 4 ビットがベース・アドレスとなります。
27-4	-	Reserved ( Don't Care )
3	PREFETCH	データのプリフェッチ可否を示します。 プリフェッチ可能なため、1 固定です。
2, 1	TYPE[1:0]	ベース・アドレス・タイプを示すフィールドです。 32 ビット空間の任意の位置であることを示します。
0	MEM	ベース・アドレスで指定するフィールドがメモリ空間であることを示すフィールドです。0 固定です。

## (7) Subsystem Vendor ID, SubsystemID ( SSVID\_SSID : 0F03 002CH )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SUBSYS_ID[15:0]																SUBSYS_VENDOR_ID[15:0]																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1
ビット位置	ビット名		意味																														
31-16	SUBSYS_ID[15:0]		0000H を示します。		0000H 固定																												
15-0	SUBSYS_VENDOR_ID [15:0]		1033H を示します。		1033H 固定																												

## (8) Interrupt Line, Interrupt Pin, Min gnt, Max Latency ( INTR\_LINE\_PIN : 0F03 003CH )

**注意** このレジスタの INT\_LINE[7:0]フィールドは、初期値から値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	MAX_LAT[7:0]							MIN_GNT[7:0]							INT_PIN[7:0]							INT_LINE[7:0]											
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
ビット位置	ビット名		意味																														
31-24	MAX_LAT[7:0]		00H (バス使用頻度の要求なし) を示します。		00H 固定																												
23-16	MIN_GNT[7:0]		02H (レーテンシ・タイム要求: 16 パースト) を示します。		02H 固定																												
15-8	INT_PIN[7:0]		割り込み出力端子を示します。INTA (INTU2H) を使用しているため、01H 固定です。		01H 固定																												
7-0	INT_LINE[7:0]		割り込みラインを示します。00H から変更しないでください。		00H 固定																												

### 18.4.8 System Bus-PCI Bridge PCI Communication Registers

(1) PCISYS\_WIN1\_CTR (0F03 0800H)

ホスト・コントローラから内部システム・バスをアクセスする際の動作を設定するレジスタです。

**注意 1.** このレジスタのビット 8-6 には、必ず 0 を設定してください。

**2.** このレジスタの PREFETCH[1:0] フィールドは、初期化時に 11b に設定し、以後は値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SYS_BASE ADR[31:28]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PREFETCH[1:0]	
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-28	SYS_BASEADR[31:28]	ホスト・コントローラから PCI-System Bus Bridge Window1 にアクセスする際の、内部システム・バス側のベース・アドレスを設定します。 PCI-System Bus Window 1 空間は 256M バイトの空間が必要なため、上位 4 ビットがベース・アドレスとなります。 レジスタの設定方法は、18.5.1 を参照してください。
27-9	-	Reserved ( Don't Care )
8-6	-	Reserved ( 必ず 0 を設定してください )
5-2	-	Reserved ( Don't Care )
0	PREFETCH[1:0]	ホスト・コントローラから内部システム・バスへのリード要求に対する先読み動作を設定します。このビットは初期化時に 11b に設定し、以降は値を変更しないでください。

(2) PCISYS\_DCT\_CTR ( 0F03 0808H )

PCI-System Bus Window1 へのリード・アクセスにおける Discard Timer を設定するレジスタです。

**注意** このレジスタは、初期値から値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PCISYS_DISCARD_TIMER[11:0]											0	0	0	DISCARD_EN										
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット位置	ビット名	意味	
31-16	-	Reserved ( Don't Care )	
15-4	PCISYS_DISCARD_TIMER[11:0]	Discard Timer 機能におけるタイムアウト発生までの時間を設定します。 このフィールドの設定値は初期値の 00FH ( 256 回 ) から変更しないでください。	00FH 固定
3-1	-	Reserved ( Don't Care )	
0	DISCARD_EN	Discard Timer 機能の有効 / 無効を設定します。 このビットは初期値の 0 から変更しないでください。 0 : Discard Timer 機能無効 1 : Discard Timer 機能有効	0b 固定

(3) SYSPCI\_WIN1\_CTR ( 0F03 0810H )

PCI Configuration Space へのアクセスに必要な設定を行うレジスタです。

**注意 1.** このレジスタのビット 8-6, 4 には, 必ず 0 を設定してください。

**2.** このレジスタの PCICMD[2:0]フィールドは, 初期化時に 101b に設定し, 以後は値を変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PCIWIN1_BASEADR[31:11]																						0	0	0	0	0	0	0	PCICMD[2:0]		0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	R/W	R/W	R/W	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味														
31-11	PCIWIN1_BASEADR [31:11]	内部システム・バスから System Bus-PCI Bridge Window 1 エリアへのアクセス時の PCI 側のベース・アドレスを設定します。 このレジスタは, ホスト・コントローラおよび System Bus-PCI Bridge の PCI Configuration Space へアクセスする際に設定が必要です。設定方法は 18.5.1 を参照してください。														
10-9	-	Reserved ( Don't Care )														
8-6	-	Reserved ( 必ず 0 を設定してください ) <span style="float: right;">0b 固定</span>														
5	-	Reserved ( Don't Care )														
4	-	Reserved ( 必ず 0 を設定してください ) <span style="float: right;">0b 固定</span>														
3-1	PCICMD[2:0]	PCI バスのサイクル・タイプを設定します。 このフィールドは初期化時に 101b に設定し, 以降は値を変更しないでください。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr><td style="text-align: center;">000b</td><td>Interrupt Acknowledge / Special Cycle</td></tr> <tr><td style="text-align: center;">001b</td><td>IO Read / IO Write</td></tr> <tr><td style="text-align: center;">011b</td><td>Memory Read / Memory Write</td></tr> <tr><td style="text-align: center;">101b</td><td>Configuration Read / Configuration Write</td></tr> <tr><td style="text-align: center;">110b</td><td>Memory Read Multiple / Memory Write</td></tr> <tr><td style="text-align: center;">111b</td><td>Memory Read Line / Memory Write</td></tr> <tr><td style="text-align: center;">上記以外</td><td>設定禁止</td></tr> </table>	000b	Interrupt Acknowledge / Special Cycle	001b	IO Read / IO Write	011b	Memory Read / Memory Write	101b	Configuration Read / Configuration Write	110b	Memory Read Multiple / Memory Write	111b	Memory Read Line / Memory Write	上記以外	設定禁止
000b	Interrupt Acknowledge / Special Cycle															
001b	IO Read / IO Write															
011b	Memory Read / Memory Write															
101b	Configuration Read / Configuration Write															
110b	Memory Read Multiple / Memory Write															
111b	Memory Read Line / Memory Write															
上記以外	設定禁止															
0	-	Reserved ( Don't Care )														



(4) SYSPCI\_WIN2\_CTR (0F03 0814H)

OHCI Operational Registers 領域へのアクセスに必要な設定を行うレジスタです。

- 注意 1.** このレジスタのビット 8-6, 0 には, 必ず 0 を設定してください。  
**2.** このレジスタの BURST\_EN ビットは, 初期化時に 0 に設定し, 以後は値を変更しないでください。  
**3.** このレジスタの PCICMD[2:0] フィールドは, 初期化時に 011b に設定し, 以後は値を変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
PCIWIN2_BASEADR[31:16]																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W												
初期値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味										
31-16	PCIWIN2_BASEADR [31:16]	内部システム・バスから System Bus-PCI Window 2 エリアへのアクセス時の PCI 側のベース・アドレスを設定します。 このレジスタは OHCI Operational Register 領域へのアクセスに使用します。設定方法は 18.5.1 を参照してください。										
15-9	-	Reserved ( Don't Care )										
8-6	-	Reserved ( 必ず 0 を設定してください )										
5	BURST_EN	PCI バスへのバースト転送の許可 / 禁止を設定します。 このビットは初期化時に 0 に設定し, 以降は値を変更しないでください。 0 : バースト禁止 1 : バースト許可										
4	-	Reserved ( Don't Care )										
3-1	PCICMD[2:0]	PCI バスのサイクル・タイプを設定します。 このフィールドは初期化時に 011b に設定し, 以降は値を変更しないでください。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr><td style="text-align: center;">001b</td><td>IO Read / IO Write</td></tr> <tr><td style="text-align: center;">011b</td><td>Memory Read / Memory Write</td></tr> <tr><td style="text-align: center;">110b</td><td>Memory Read Multiple / Memory Write</td></tr> <tr><td style="text-align: center;">111b</td><td>Memory Read Line / Memory Write</td></tr> <tr><td style="text-align: center;">上記以外</td><td>設定禁止</td></tr> </table>	001b	IO Read / IO Write	011b	Memory Read / Memory Write	110b	Memory Read Multiple / Memory Write	111b	Memory Read Line / Memory Write	上記以外	設定禁止
001b	IO Read / IO Write											
011b	Memory Read / Memory Write											
110b	Memory Read Multiple / Memory Write											
111b	Memory Read Line / Memory Write											
上記以外	設定禁止											
0	-	Reserved ( 必ず 0 を設定してください )										

(5) SYSPCI\_DCT\_CTR ( 0F03 081CH )

System Bus-PCI Bridge Window 1, 2 のアクセスにおける PCI バス上の Discard Timer の設定を行うレジスタです。

**注意** このレジスタは、初期値から値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSPCI_DISCARD_TIMER[11:0]											0	0	0	DISCARD_EN										
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット位置	ビット名	意味	
31-16	-	Reserved ( Don't Care )	
15-4	SYSPCI_DISCARD_TIMER[11:0]	Discard Timer 機能におけるタイムアウト発生までのリトライ回数を設定します。 このフィールドの設定値は初期値の 00FH ( 256 回 ) から変更しないでください。	00FH 固定
3-1	-	Reserved ( Don't Care )	
0	DISCARD_EN	Discard Timer 機能の有効 / 無効を設定します。 このビットは初期値の 0 から変更しないでください。 0 : Discard Timer 機能無効 1 : Discard Timer 機能有効	0b 固定

(6) PCI\_INT\_ENABLE ( 0F03 0820H )

System Bus-PCI Bridge およびホスト・コントローラからの割り込み要因において、要因ごとの有効 / 無効を選択するレジスタです。無効にした割り込みは、その要因が発生すると PCI\_INT\_STATUS レジスタの該当ビットがセット ( 1 ) されて保留され、割り込み信号は発生しません。

**注意** このレジスタのビット 14, 13, 9, 8 は、初期値の 0 から値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	USBH_PMEEN	0	USBH_INTBEN	USBH_INTAEN	0	SYSPCI_WIN_INTEN	PCISYS_WIN2_INTEN	PCISYS_WIN1_INTEN	0	0	DMA_SYSPCI_INTEN	DMA_PCISYS_INTEN	0	0	RESERR_INTEN	SIGSERR_INTEN	PERR_INTEN	REMABOOT_INTEN	RETABORT_INTEN	SIGTABORT_INTEN
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	R/W	R/W	0	R/W	R/W	R/W	0	0	R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-20	-	Reserved ( Don't Care )
19	USBH_PMEEN	PCI_INT_STATUS.19 ( USBH_PME : INTU2HPME ) の有効 / 無効ビットです。
18	-	Reserved ( Don't Care )
17	USBH_INTBEN	PCI_INT_STATUS.17 ( USBH_INTB : INTU2HEHCI ) の有効 / 無効ビットです。
16	USBH_INTAEN	PCI_INT_STATUS.16 ( USBH_INTA : INTU2HOHCI ) の有効 / 無効ビットです。
15	-	Reserved ( Don't Care )
14	SYSPCI_WIN_INTEN	PCI_INT_STATUS.14 ( SYSPCI_WIN_INT ) の有効 / 無効ビットです。 このビットは初期値の 0 から変更しないでください。
13	PCISYS_WIN2_INTEN	PCI_INT_STATUS.13 ( PCISYS_WIN2_INT ) の有効 / 無効ビットです。 このビットは初期値の 0 から変更しないでください。
12	PCISYS_WIN1_INTEN	PCI_INT_STATUS.12 ( PCISYS_WIN1_INT ) の有効 / 無効ビットです。
11, 10	-	Reserved ( Don't Care )
9	DMA_SYSPCI_INTEN	PCI_INT_STATUS.9 ( DMA_SYSPCI_INT ) の有効 / 無効ビットです。 このビットは初期値の 0 から変更しないでください。
8	DMA_PCISYS_INTEN	PCI_INT_STATUS.8 ( DMA_PCISYS_INT ) の有効 / 無効ビットです。 このビットは初期値の 0 から変更しないでください。
7, 6	-	Reserved ( Don't Care )
5	RESERR_INTEN	PCI_INT_STATUS.5 ( RESERR_INT ) の有効 / 無効ビットです。
4	SIGSERR_INTEN	PCI_INT_STATUS.4 ( SIGSERR_INT ) の有効 / 無効ビットです。
3	PERR_INTEN	PCI_INT_STATUS.3 ( PERR_INT ) の有効 / 無効ビットです。
2	REMABOOT_INTEN	PCI_INT_STATUS.2 ( REMABOOT_INT ) の有効 / 無効ビットです。
1	RETABORT_INTEN	PCI_INT_STATUS.1 ( RETABORT_INT ) の有効 / 無効ビットです。
0	SIGTABORT_INTEN	PCI_INT_STATUS.0 ( SIGTABORT_INT ) の有効 / 無効ビットです。

0 : 無効  
1 : 有効

(7) PCI\_INT\_STATUS (0F03 0824H)

System Bus-PCI Bridge およびホスト・コントローラからの割り込み要求フラグです。

**備考 ビット 14, 13, 9, 8 の割り込みは発生しません。**

( 1/2 )

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
												USBH_PME		USBH_INTB	USBH_INTA			SYSPCI_WIN_INT	PCISYS_WIN2_INT	PCISYS_WIN1_INT			DMA_SYSPCI_INT	DMA_PCISYS_INT			RESERR_INT	SIGERR_INT	PERR_INT	REMOBORT_INT	RETABORT_INT	SIGTABORT_INT
R/W	0	0	0	0	0	0	0	0	0	0	0	R	0	R	R	0	R/W	R/W	R/W	0	0	R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-20	-	Reserved ( Don't Care )
19	USBH_PME	ホスト・コントローラからの PME#割り込み( INTU2HPME ) 要求フラグです。 割り込み要求のクリアは、ホスト・コントローラ側で行ってください。
18	-	Reserved ( Don't Care )
17	USBH_INTB	ホスト・コントローラからの INTB#割り込み( INTU2HEHCI ) 要求フラグです。 割り込み要求のクリアは、ホスト・コントローラ側で行ってください。
16	USBH_INTA	ホスト・コントローラからの INTA#割り込み( INTU2HOHCI ) 要求フラグです。 割り込み要求のクリアは、ホスト・コントローラ側で行ってください。
15	-	Reserved ( Don't Care )
14	SYSPCI_WIN_INT	この割り込みは発生しません。
13	PCISYS_WIN2_INT	この割り込みは発生しません。
12	PCISYS_WIN1_INT	PCI-SYS Bus Window 1 におけるシステム・バス・エラー割り込み要求フラグです。'1'を書き込むとクリア(0)されます。 0 : システム・バス・エラーなし 1 : システム・バス・エラー発生
11, 10	-	Reserved ( Don't Care )
9	DMA_SYSPCI_INT	この割り込みは発生しません。
8	DMA_PCISYS_INT	この割り込みは発生しません。
7, 6	-	Reserved ( Don't Care )
5	RESERR_INT	SERR#入力による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : SERR#アサートを検出していない 1 : SERR#アサートを検出した

0 : 割り込み要求なし  
1 : 割り込み要求あり

( 2/2 )

ビット位置	ビット名	意 味
4	SIGSERR_INT	SERR#出力による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : SERR#をアサートしていない 1 : SERR#をアサートした
3	PERR_INT	PERR#入力および出力による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : PERR#をアサートしていない, 検出していない 1 : PERR#アサートした, 検出した
2	REMABORT_INT	PCI マスタ動作時のマスタ・アボートの受信による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : MasterAbort を受信していない 1 : MasterAbort を受信した
1	RETABORT_INT	PCI マスタ動作時のターゲット・アボートの受信による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : TargetAbort を受信していない 1 : TargetAbort を受信した
0	SIGTABORT_INT	PCI ターゲット動作時にターゲット・アボートの通知による割り込み要求フラグです。 '1'を書き込むとクリア(0)されます。 0 : TargetAbort を通知していない 1 : TargetAbort を通知した

0 : 割り込み要求なし  
1 : 割り込み要求あり

(8) SYS\_BUS\_CTR (0F03 0830H)

ホスト・コントローラの内部システム・バスに対するマスタ/スレーブの機能を設定するレジスタです。

このレジスタには、初期化時に 0002 0087H を設定し、以降は値を変更しないでください。

**注意** このレジスタの初期値は 0000 0000H ですが、初期化時に 0002 0087H を設定し、以降は値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	0	0	R/W	0	0	0	0	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(9) PCI\_ARBITER\_CTR (0F03 0840H)

PCI バスのアービトレーション機能の設定を行うレジスタです。

このレジスタには、初期化時に 0007 1003H を設定し、以降は値を変更しないでください。

**注意** このレジスタの初期値は 0007 0000H ですが、初期化時に 0007 1003H を設定し、以降は値を変更しないでください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(10) PCI\_UNIT\_REV (0F03 0848H)

System Bus-PCI Bridge バージョンを表示するレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Major Revision ID[15:0]															Minor Revision ID[15:0]																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

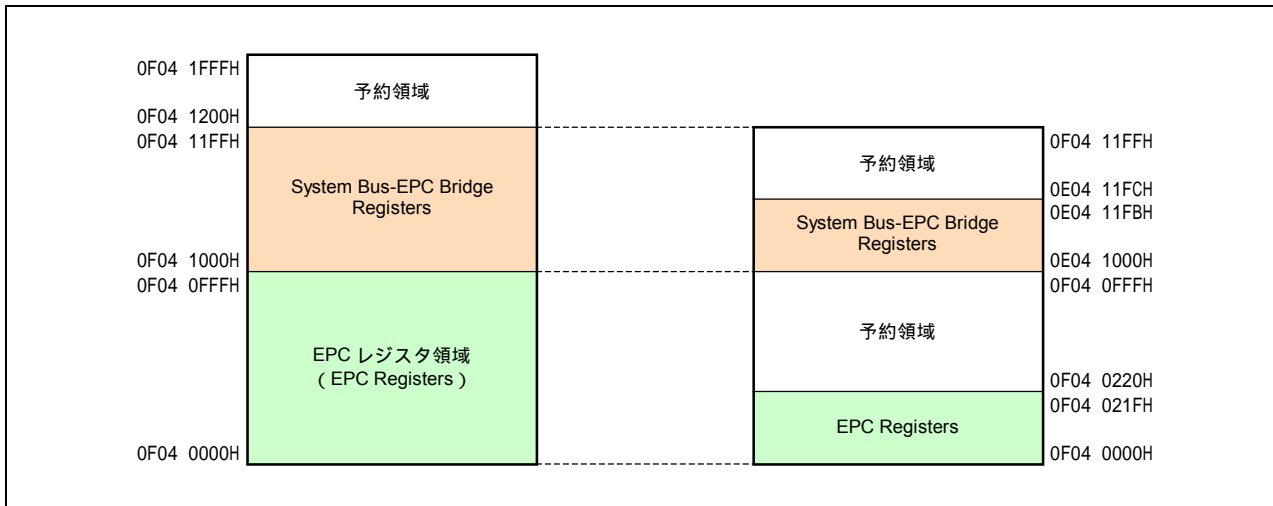
  

ビット位置	ビット名	意味
31-16	Major Revision ID[15:0]	System Bus-PCI Bridge の Major Revision ID を示します。
15-0	Minor Revision ID[15:0]	System Bus-PCI Bridge の Minor Revision ID を示します。

### 18.4.9 USB ファンクション・コントローラ側レジスタ・マッピング

USB ファンクション・コントローラ側のレジスタは、EPC( エンドポイント・コントローラ )領域と System Bus-EPC Bridge 領域の 2 つが存在します。

図 18-6 USB ファンクション・コントローラのレジスタ配置イメージ



### 18.4.10 エンドポイント・コントローラのバッファ RAM

エンドポイント・コントローラは、バッファ RAM を内蔵しています。

各エンドポイントごとに、使用する領域を EPn バッファ設定レジスタ (EPn\_PCKT\_ADRS) で設定してください (18.4.12(19) EPn バッファ設定レジスタ (EPn\_PCKT\_ADRS) 参照)。

以下に、HS モードで利用し、各エンドポイントに最大サイズのバッファを配置した例を示します。

表 18-8 エンドポイント・コントローラのバッファ RAM 配置例

エンド ポイント名	転送タイプ	バッファ・ タイプ	バッファ・ サイズ	Max Packet Size		EPn_PCKT_ADRS レジスタ推奨設定値
				HS	FS	
EP0	Control Read/Write	シングル×2	64 バイト×2	64 バイト	64 バイト	-
EP1	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0020_0200H
EP2	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0120_0200H
EP3	Interrupt	シングル	最大 1,024 バイト	最大 1,024 バイト	最大 64 バイト	0220_0400H
EP4	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0320_0200H
EP5	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0420_0200H
EP6	Interrupt	シングル	最大 1,024 バイト	最大 1,024 バイト	最大 64 バイト	0520_0400H
EP7	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0620_0200H
EP8	Bulk In / Bulk Out	ダブル	512 バイト×2	512 バイト	64 バイト	0720_0200H
EP9	Interrupt	シングル	最大 1,024 バイト	最大 1,024 バイト	最大 64 バイト	0820_0400H

**注意 1.** バッファ RAM は、USB ファンクション・コントローラが管理するローカルな RAM で、CPU や DMA、その他バス・マスタが共通にアクセスするメモリ空間には配置されていません。

- 各エンドポイントのベース・アドレスは、EPn\_PCKT\_ADRS レジスタにワードのサイズで設定します。
- 各エンドポイントの Max Packet Size は、EPn\_PCKT\_ADRS レジスタにバイトのサイズで設定します。また、バッファ 1 つあたりのサイズを設定します。

**備考 1.** EP0 のバッファはシングル×2 のため、64 バイト×2 の空間が必要です。

また EP0 のバッファは、000H-01F0H に配置されます。このため EP1 は 020H から配置されます。

- EP1, EP2, EP4, EP5, EP7, EP8 はダブルのため、512 バイト×2 の空間が必要です。
- この設定例は、EP3, EP6, EP9 を最大サイズの 1,024 バイトとした場合です。



## 18.4.11 USB ファンクション・コントローラ側レジスタ一覧

表 18-9 USB ファンクション・コントローラ制御レジスタ (1/4)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 0000H	USB 制御レジスタ	USB_CONTROL	R/W	-	-	-		0000 0108H
0F04 0004H	USB ステータス・レジスタ	USB_STATUS	R	-	-	-		不定
0F04 0008H	USB アドレス・レジスタ	USB_ADDRESS	R/W	-	-	-		0000 0000H
0F04 000CH	スクラッチ・パッド・レジスタ	SCRATCH_PAD	R/W	-	-	-		0000 0000H
0F04 0018H	セットアップ・データ・レジスタ 0	SETUP_DATA0	R	-	-	-		0000 0000H
0F04 001CH	セットアップ・データ・レジスタ 1	SETUP_DATA1	R	-	-	-		0000 0000H
0F04 0020H	USB 割り込みステータス・レジスタ	USB_INT_STA	R/W	-	-	-		0000 000XH
0F04 0024H	USB 割り込み許可レジスタ	USB_INT_ENA	R/W	-	-	-		0000 0000H
0F04 0028H	EP0 制御レジスタ	EP0_CONTROL	R/W	-	-	-		0000 0003H
0F04 002CH	EP0 ステータス・レジスタ	EP0_STATUS	R/W	-	-	-		0004 1100H
0F04 0030H	EP0 割り込み許可レジスタ	EP0_INT_ENA	R/W	-	-	-		0000 0000H
0F04 0034H	EP0 受信データ長レジスタ	EP0_LENGTH	R	-	-	-		0000 0000H
0F04 0038H	EP0 受信バッファ	EP0_READ	R	-	-	-		0000 0000H
0F04 003CH	EP0 送信バッファ	EP0_WRITE	W	-	-	-		0000 0000H
0F04 0040H	EP1 制御レジスタ	EP1_CONTROL	R/W	-	-	-		4000 0001H
0F04 0044H	EP1 ステータス・レジスタ	EP1_STATUS	R/W	-	-	-		0001 0803H
0F04 0048H	EP1 割り込み許可レジスタ	EP1_INT_ENA	R/W	-	-	-		0000 0000H
0F04 004CH	EP1 DMA 転送制御レジスタ	EP1_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 0050H	EP1 バッファ設定レジスタ	EP1_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0054H	EP1 受信データ長 / DMA サイズ設定レジスタ	EP1_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0058H	EP1 受信バッファ	EP1_READ	R	-	-	-		0000 0000H
0F04 005CH	EP1 送信バッファ	EP1_WRITE	W	-	-	-		0000 0000H
0F04 0060H	EP2 制御レジスタ	EP2_CONTROL	R/W	-	-	-		4000 0001H
0F04 0064H	EP2 ステータス・レジスタ	EP2_STATUS	R/W	-	-	-		0001 0803H
0F04 0068H	EP2 割り込み許可レジスタ	EP2_INT_ENA	R/W	-	-	-		0000 0000H
0F04 006CH	EP2 DMA 転送制御レジスタ	EP2_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 0070H	EP2 バッファ設定レジスタ	EP2_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0074H	EP2 受信データ長 / DMA サイズ設定レジスタ	EP2_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0078H	EP2 受信バッファ	EP2_READ	R	-	-	-		0000 0000H
0F04 007CH	EP2 送信バッファ	EP2_WRITE	W	-	-	-		0000 0000H
0F04 0080H	EP3 制御レジスタ	EP3_CONTROL	R/W	-	-	-		0100 0001H
0F04 0084H	EP3 ステータス・レジスタ	EP3_STATUS	R/W	-	-	-		0001 0803H
0F04 0088H	EP3 割り込み許可レジスタ	EP3_INT_ENA	R/W	-	-	-		0000 0000H
0F04 0090H	EP3 バッファ設定レジスタ	EP3_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0094H	EP3 受信データ長レジスタ	EP3_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0098H	EP3 受信バッファ	EP3_READ	R	-	-	-		0000 0000H
0F04 009CH	EP3 送信バッファ	EP3_WRITE	W	-	-	-		0000 0000H

表 18-9 USB ファンクション・コントローラ制御レジスタ (2/4)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 00A0H	EP4 制御レジスタ	EP4_CONTROL	R/W	-	-	-		4000 0001H
0F04 00A4H	EP4 ステータス・レジスタ	EP4_STATUS	R/W	-	-	-		0001 0803H
0F04 00A8H	EP4 割り込み許可レジスタ	EP4_INT_ENA	R/W	-	-	-		0000 0000H
0F04 00ACH	EP4 DMA 転送制御レジスタ	EP4_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 00B0H	EP4 バッファ設定レジスタ	EP4_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 00B4H	EP4 受信データ長 / DMA サイズ設定レジスタ	EP4_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 00B8H	EP4 受信バッファ	EP4_READ	R	-	-	-		0000 0000H
0F04 00BCH	EP4 送信バッファ	EP4_WRITE	W	-	-	-		0000 0000H
0F04 00C0H	EP5 制御レジスタ	EP5_CONTROL	R/W	-	-	-		4000 0001H
0F04 00C4H	EP5 ステータス・レジスタ	EP5_STATUS	R/W	-	-	-		0001 0803H
0F04 00C8H	EP5 割り込み許可レジスタ	EP5_INT_ENA	R/W	-	-	-		0000 0000H
0F04 00CCH	EP5 DMA 転送制御レジスタ	EP5_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 00D0H	EP5 バッファ設定レジスタ	EP5_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 00D4H	EP5 受信データ長 / DMA サイズ設定レジスタ	EP5_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 00D8H	EP5 受信バッファ	EP5_READ	R	-	-	-		0000 0000H
0F04 00DCH	EP5 送信バッファ	EP5_WRITE	W	-	-	-		0000 0000H
0F04 00E0H	EP6 制御レジスタ	EP6_CONTROL	R/W	-	-	-		0100 0001H
0F04 00E4H	EP6 ステータス・レジスタ	EP6_STATUS	R/W	-	-	-		0001 0803H
0F04 00E8H	EP6 割り込み許可レジスタ	EP6_INT_ENA	R/W	-	-	-		0000 0000H
0F04 00F0H	EP6 バッファ設定レジスタ	EP6_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 00F4H	EP6 受信データ長レジスタ	EP6_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 00F8H	EP6 受信バッファ	EP6_READ	R	-	-	-		0000 0000H
0F04 00FCH	EP6 送信バッファ	EP6_WRITE	W	-	-	-		0000 0000H

表 18-9 USB ファンクション・コントローラ制御レジスタ (3/4)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 0100H	EP7 制御レジスタ	EP7_CONTROL	R/W	-	-	-		4000 0001H
0F04 0104H	EP7 ステータス・レジスタ	EP7_STATUS	R/W	-	-	-		0001 0803H
0F04 0108H	EP7 割り込み許可レジスタ	EP7_INT_ENA	R/W	-	-	-		0000 0000H
0F04 010CH	EP7 DMA 転送制御レジスタ	EP7_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 0110H	EP7 バッファ設定レジスタ	EP7_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0114H	EP7 受信データ長 / DMA サイズ設定レジスタ	EP7_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0118H	EP7 受信バッファ	EP7_READ	R	-	-	-		0000 0000H
0F04 011CH	EP7 送信バッファ	EP7_WRITE	W	-	-	-		0000 0000H
0F04 0120H	EP8 制御レジスタ	EP8_CONTROL	R/W	-	-	-		4000 0001H
0F04 0124H	EP8 ステータス・レジスタ	EP8_STATUS	R/W	-	-	-		0001 0803H
0F04 0128H	EP8 割り込み許可レジスタ	EP8_INT_ENA	R/W	-	-	-		0000 0000H
0F04 012CH	EP8 DMA 転送制御レジスタ	EP8_DMA_CTRL	R/W	-	-	-		0000 0000H
0F04 0130H	EP8 バッファ設定レジスタ	EP8_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0134H	EP8 受信データ長 / DMA サイズ設定レジスタ	EP8_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0138H	EP8 受信バッファ	EP8_READ	R	-	-	-		0000 0000H
0F04 013CH	EP8 送信バッファ	EP8_WRITE	W	-	-	-		0000 0000H
0F04 0140H	EP9 制御レジスタ	EP9_CONTROL	R/W	-	-	-		0100 0001H
0F04 0144H	EP9 ステータス・レジスタ	EP9_STATUS	R/W	-	-	-		0001 0803H
0F04 0148H	EP9 割り込み許可レジスタ	EP9_INT_ENA	R/W	-	-	-		0000 0000H
0F04 0150H	EP9 バッファ設定レジスタ	EP9_PCKT_ADRS	R/W	-	-	-		0000 0000H
0F04 0154H	EP9 受信データ長レジスタ	EP9_LEN_DCNT	R/W	-	-	-		0000 0000H
0F04 0158H	EP9 受信バッファ	EP9_READ	R	-	-	-		0000 0000H
0F04 015CH	EP9 送信バッファ	EP9_WRITE	W	-	-	-		0000 0000H

表 18-9 USB ファンクション・コントローラ制御レジスタ (4/4)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 1000H	システム・バス・スレーブ制御レジスタ	SYSSCTR	R/W	-	-	-		0000 0000H
0F04 1004H	システム・バス・マスタ制御レジスタ	SYSMCTR	R/W	-	-	-		0000 0000H
0F04 1008H	システム・バス・ブリッジ割り込み要因レジスタ	SYSBINT	R/W	-	-	-		0000 0000H
0F04 100CH	システム・バス・ブリッジ割り込み許可レジスタ	SYSBINTEN	R/W	-	-	-		0000 0000H
0F04 1010H	EPC 周辺制御レジスタ	EPCTR	R/W	-	-	-		0000 0XX7H
0F04 1110H	EP1 DMA コントロール・レジスタ 1	EP1DCR1	R/W	-	-	-		0000 0000H
0F04 1114H	EP1 DMA コントロール・レジスタ 2	EP1DCR2	R/W	-	-	-		0000 0000H
0F04 1118H	EP1 DMA 転送先アドレス・レジスタ	EP1TADR	R/W	-	-	-		0000 0000H
0F04 1120H	EP2 DMA コントロール・レジスタ 1	EP2DCR1	R/W	-	-	-		0000 0000H
0F04 1124H	EP2 DMA コントロール・レジスタ 2	EP2DCR2	R/W	-	-	-		0000 0000H
0F04 1128H	EP2 DMA 転送先アドレス・レジスタ	EP2TADR	R/W	-	-	-		0000 0000H
0F04 1140H	EP4 DMA コントロール・レジスタ 1	EP4DCR1	R/W	-	-	-		0000 0000H
0F04 1144H	EP4 DMA コントロール・レジスタ 2	EP4DCR2	R/W	-	-	-		0000 0000H
0F04 1148H	EP4 DMA 転送先アドレス・レジスタ	EP4TADR	R/W	-	-	-		0000 0000H
0F04 1150H	EP5 DMA コントロール・レジスタ 1	EP5DCR1	R/W	-	-	-		0000 0000H
0F04 1154H	EP5 DMA コントロール・レジスタ 2	EP5DCR2	R/W	-	-	-		0000 0000H
0F04 1158H	EP5 DMA 転送先アドレス・レジスタ	EP5TADR	R/W	-	-	-		0000 0000H
0F04 1170H	EP7 DMA コントロール・レジスタ 1	EP7DCR1	R/W	-	-	-		0000 0000H
0F04 1174H	EP7 DMA コントロール・レジスタ 2	EP7DCR2	R/W	-	-	-		0000 0000H
0F04 1178H	EP7 DMA 転送先アドレス・レジスタ	EP7TADR	R/W	-	-	-		0000 0000H
0F04 1180H	EP8 DMA コントロール・レジスタ 1	EP8DCR1	R/W	-	-	-		0000 0000H
0F04 1184H	EP8 DMA コントロール・レジスタ 2	EP8DCR2	R/W	-	-	-		0000 0000H
0F04 1188H	EP8 DMA 転送先アドレス・レジスタ	EP8TADR	R/W	-	-	-		0000 0000H

### 18.4.12 USB Function 側 EPC Registers

(1) USB 制御レジスタ (USB\_CONTROL)

EPC (エンドポイント・コントローラ) の基本機能と、USB デバイスの状態を制御します。

( 1/2 )

USB_CONTROL	<table border="1" style="width:100%; text-align:center;"> <tr> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>																															31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	アドレス 0F04 0000H 初期値 0000 0108H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0																																																																		

ビット位置	ビット名	意味																
31-19	-	Reserved (必ず0を設定してください)																
18-16	USBTESTMODE[2:0]	SET_FEATURE_TEST_MODE リクエストのステータス・ステージ正常終了後に、このフィールドを設定してください。 このフィールドに 000b 以外を設定すると、ファンクション・コントローラは、ただちに HS モードとなりテスト・モードに入ります。																
		<table border="1" style="width:100%; text-align:center;"> <tr> <th>USBTESTMODE[2:0]</th> <th>テスト・モード</th> </tr> <tr> <td>000b</td> <td>Normal</td> </tr> <tr> <td>001b</td> <td>Test_J</td> </tr> <tr> <td>010b</td> <td>Test_K</td> </tr> <tr> <td>100b</td> <td>Test_SE0_NAK</td> </tr> <tr> <td>100b</td> <td>Test_Packet</td> </tr> <tr> <td>101b</td> <td>Test_Force_Enable</td> </tr> <tr> <td>上記以外</td> <td>Reserved</td> </tr> </table>	USBTESTMODE[2:0]	テスト・モード	000b	Normal	001b	Test_J	010b	Test_K	100b	Test_SE0_NAK	100b	Test_Packet	101b	Test_Force_Enable	上記以外	Reserved
USBTESTMODE[2:0]	テスト・モード																	
000b	Normal																	
001b	Test_J																	
010b	Test_K																	
100b	Test_SE0_NAK																	
100b	Test_Packet																	
101b	Test_Force_Enable																	
上記以外	Reserved																	
15-11	-	Reserved (必ず0を設定してください)																
10 <sup>注1</sup>	INT_SEL	INTU2FEPC の割り込み出力信号をレベル出力 / パルス出力から選択します。 このビットは、初期化時にセット (1) して「レベル出力」を選択し、以降は値を変更しないでください。 0 : パルス出力 1 : レベル出力 レベル割り込みでは、割り込み要因が複数ある場合は、すべての要因がクリアされるまで、割り込み出力信号をアサートし続けます。																
9	CONSTFS	こりビットをセット (1) すると、ファンクション・コントローラは強制的に FS で動作します。 0 : FS モード固定にしない 1 : FS モード固定にする																

注 1. INT\_SEL は初期設定時にレベル出力にセット (1) し、以降値の変更を行わないでください。

( 2/2 )

ビット位置	ビット名	意 味
8 <sup>注2</sup>	SOF_RCV	SOF 受信エラー発生時に自動リカバリ機能を使用するか選択するビットです。 このビットは、初期化時にセット (1) して、以降は値を変更しないでください。 0 : 自動リカバリ機能を使用しない 1 : 自動リカバリ機能を使用する
7 <sup>注3</sup>	RSUM_IN	RemoteWakeUp 機能を使用する場合に使用します。 0 : Resume 信号を送信しない 1 : Resume 信号を送信する
6	SUSPEND	ファンクション・コントローラが USB で規定される Suspend State の状態のときに、このビットをセット (1) することで、ファンクション・コントローラへのクロック供給を停止し、消費電力を下げられます。 RESUME を検出すると自動でクリア (0) されます。 クロックの停止方法は、「18.8.3 USB ファンクション・コントローラの Power Management」を参照してください。 0 : クロック供給を停止しない 1 : クロック供給を停止する
5	CONF	エンドポイント 0 以外を有効にするためのビットです。 Bus Reset を受信すると自動的にクリア (0) されます。Suspend State 以外で、このビットが 0 の場合、Default State または Address State となります。また、Suspend State 以外でこのビットが 1 の場合、Configured State となります。 0 : エンドポイント 0 以外を無効にする (トークンに対して無応答します) 1 : エンドポイント 0 以外を有効にする
4	DEFAULT	エンドポイント 0 を有効にするためのビットです。 Bus Reset 受信時に自動的にセット (1) されます。このビットが 0 の場合、USB で規定される Attached State または Powered State となります。また、このビットが 1 の場合は、ビット 5 の CONF で設定した動作を行います。 0 : エンドポイント 0 を無効にする (トークンに対して無応答します) 1 : エンドポイント 0 を有効にする
3	CONNECTB	Un-Plug 時にこのビットをセット (1) することで、USB バス上の D+ / D- 信号の不安定な動作による擬似的な Bus Reset や Suspend が発生をしないように制御できます。 このビットをセット (1) にすると Function PHY は Suspend State となり、USB 割り込みステータス・レジスタ (USB_INT_STA) の SPND_OUT ビットをセット (1) します。 0 : Function PHY への USB 信号を有効にする 1 : Function PHY への USB 信号を無効にする
2	PUE2	D+ 信号を Pull-up するかを制御するビットです。 このビットはビット 3 の CONNECTB ビットと同時に操作してください。 0 : D+ 信号を Pull-up しない 1 : D+ 信号を Pull-up する
1-0	-	Reserved (必ず 0 を設定してください)

注 2. SOF\_RCV 初期設定時に自動リカバリ機能を使用にセット (1) し、以降値の変更を行わないでください。

3. Suspend 状態でファンクション・コントローラへのクロック供給が停止している場合には、先にクロックの供給を行ってから、このビットを操作する必要があります。

(2) USB ステータス・レジスタ (USB\_STATUS)

USB の状態と Function PHY コアの状態を示すレジスタです。

USB\_STATUS レジスタは、リードのみ可能です。

USB_STATUS	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																アドレス							
	不定																SPEED_MODE	CONF	DEFAULT	USB_RST	SPND_OUT	RSUM_OUT	VBUS_LEVEL	0F04 0004H
R/W	R																R	R	R	R	R	R	R	初期値
																								不定

ビット位置	ビット名	意味
31-7	-	Reserved (必ず 0 を設定してください)
6	SPEED_MODE	USB バスのスピードを示します。 0 : Full Speed 1 : High Speed
5	CONF	エンドポイント 0 以外が有効かどうかを示します。 USB_CONTROL レジスタのビット 5 の CONF の値がそのまま反映されます。 0 : エンドポイント 0 以外が無効である (トークンに対して無応答します) 1 : エンドポイント 0 以外が有効である
4	DEFAULT	エンドポイント 0 が有効かどうかを示します。 USB_CONTROL レジスタのビット 4 の DEFAULT の値がそのまま反映されます。 0 : エンドポイント 0 が無効である (トークンに対して無応答します) 1 : エンドポイント 0 が有効である
3	USB_RST	Bus Reset 中であることを示します。 0 : Bus Reset 中ではない 1 : Bus Reset 中
2	SPND_OUT	Function SIE が Suspend 状態になったことを示します。 0 : Suspend 中ではない 1 : Suspend 中
1	RSUM_OUT	Function SIE が Resume を受信したことを示します。 0 : Resume を受信していない 1 : Resume を受信
0	VBUS_LEVEL	VBUS 端子のレベルを示します。 0 : VBUS = 0 1 : VBUS = 1

(3) USB アドレス・レジスタ (USB\_ADDRESS)

Set Address リクエストにより受信したデバイスのアドレスを書き込むためのレジスタです。

	31 30 29 28 27 26 25 24 23		22 21 20 19 18 17 16 15		14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
USB_ADDRESS	0 0 0 0 0 0 0 0	USB_ADDR [7:0]	SOF_STATUS	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0F04 0008H 初期値  0000 0000H	
R/W	0 0 0 0 0 0 0 0	R/W	R	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		

ビット位置	ビット名	意味
31-23	-	Reserved (必ず 0 を設定してください)
22-16	USB_ADDR	このビットに書き込んだ値は, SET_ADDRESS リクエストのステータス・ステージ正常終了後に, デバイスとしてのアドレスとなります。 SET_ADDRESS リクエストのステータス・ステージ終了前に, このビットに書き込みを行ってください。このビットは, Bus Reset を受信すると自動的にクリア (0) されます。
15	SOF_STATUS	SOF (μSOF) の受信状態を示します。 このビットがセット (1) された場合, SOF (μSOF) の受信エラーが発生したことを示します。 このビットは, SOF (μSOF) を受信するたびに更新されます。 0 : SOF (μSOF) 正常受信 1 : SOF (μSOF) エラー受信
14-0	-	Reserved (必ず 0 を設定してください)

(4) スクラッチ・パッド・レジスタ (SCRATCH\_PAD)

スクラッチ・パッド・レジスタは, 一時的に他のレジスタ状態を保存する場合などに利用できるレジスタです。

	31		0		アドレス	初期値
SCRATCH_PAD	SDATA[31:0]				0F04 000CH	0000 0000H
	R/W					

ビット位置	ビット名	意味
31-0	SDATA[31:0]	書き込まれたデータを保持します。



## (5) USB セットアップ・データ・レジスタ 0 (SETUP\_DATA0)

Setup トランザクションで受信した 8 バイトのデータのうち、前半の 4 バイトを保持するレジスタです。このレジスタは、SETUP データを受信するたびに更新されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SETUP_DATA0	SETUP4 [7:0]				SETUP3 [7:0]				SETUP2 [7:0]				SETUP1 [7:0]				0F04 0018H																
	R				R				R				R				初期値																
R/W	R				R				R				R				不定																
ビット位置	ビット名		意味																														
31-24	SETUP4 [7:0]		受信した SETUP データの 4 バイト目を保持します。																														
23-16	SETUP3 [7:0]		受信した SETUP データの 3 バイト目を保持します。																														
15-8	SETUP2 [7:0]		受信した SETUP データの 2 バイト目を保持します。																														
7-0	SETUP1 [7:0]		受信した SETUP データの 1 バイト目を保持します。																														

## (6) USB セットアップ・データ・レジスタ 1 (SETUP\_DATA1)

Setup トランザクションで受信した 8 バイトのデータのうち、後半の 4 バイトを保持するレジスタです。このレジスタは、SETUP データを受信するたびに更新されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SETUP_DATA1	SETUP8 [7:0]				SETUP7 [7:0]				SETUP6 [7:0]				SETUP5 [7:0]				0F04 001CH																
	R				R				R				R				初期値																
R/W	R				R				R				R				不定																
ビット位置	ビット名		意味																														
31-24	SETUP8 [7:0]		受信した SETUP データの 8 バイト目を保持します。																														
23-16	SETUP7 [7:0]		受信した SETUP データの 7 バイト目を保持します。																														
15-8	SETUP6 [7:0]		受信した SETUP データの 6 バイト目を保持します。																														
7-0	SETUP5 [7:0]		受信した SETUP データの 5 バイト目を保持します。																														

(7) USB 割り込みステータス・レジスタ (USB\_INT\_STA)

USB Function EPC 割り込み (INTU2FEPC) の割り込み要因を示すレジスタです。

このレジスタは、Bus Reset, Suspend, Resume などの状態を検出した場合や、SOF の受信状態、またエンドポイント n の状態によって変化します。

( 1/2 )

USB_ INT_STA	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EP9_INT	EP8_INT	EP7_INT	EP6_INT	EP5_INT	EP4_INT	EP3_INT	EP2_INT	EP1_INT	EP0_INT	VBUS_INT	SPEED_MODE_INT	SOF_ERROR_INT	SOF_INT	USB_RST_INT	SPND_INT	RSUM_INT	VBUS_LEVEL	0F04 0020H 初期値 0000 000XH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	

ビット位置	ビット名	意味
31-18	-	Reserved (必ず0を設定してください)
17-8	EPn_INT	エンドポイント n に関する割り込みの発生を示します。 EPn_STATUS レジスタを読み出して要因を確認してください。 このビットは、各 EPn_STATUS レジスタの各要因のビットに0を書き込むことでクリア(0)されます。このビットに0を書き込んでもクリア(0)されません。 0: エンドポイント 0/n に関する割り込みが発生していない 1: エンドポイント 0/n に関する割り込みが発生した
7	VBUS_INT	VBUS 端子のレベルが変化を示します。 ビット 0 の VBUS_LEVEL の値とともに、USB コネクタの着脱を認識できます。 このビットは0のライトでクリア(0)されます。が、このファンクション・コントローラでは、システム・バス・ブリッジ割り込み要因レジスタ (SYSBINT) の VBUS_INT ビット (18.4.13(3)システム・バス・ブリッジ割り込み要因レジスタ (SYSBINT) 参照) を使用してください。 0: VBUS の値が変化していない 1: VBUS の値が変化した
6	SPEED_MODE_INT	FS モードから HS モードへ切り替わったことを示します。 このビットは0のライトでクリア(0)されます。 0: FS HS へ切り替わっていない 1: FS HS へ切り替わった

**備考 n = 0-9**

( 2/2 )

ビット位置	ビット名	意味
5	SOF_ERROR_INT	<p>SOF ( <math>\mu</math> SOF ) 受信エラーが発生したことを示します。</p> <p>SOF ( <math>\mu</math> SOF ) を USB 規格の規定周期を経過しても受信しなかった場合にセット ( 1 ) されます。</p> <p>HS モード : 125us + 0.0625us FS モード : 1ms + 0.0005ms</p> <p>このビットは 0 のライトでクリア ( 0 ) されます。</p> <p>このビットは USB 制御レジスタ ( USB_CONTROL ) の CONF ビット = 0 の状態では無効です。</p> <p>0 : SOF ( <math>\mu</math> SOF ) 受信エラーが発生していない 1 : SOF ( <math>\mu</math> SOF ) 受信エラーが発生した</p>
4	SOF_INT	<p>SOF ( <math>\mu</math> SOF ) を受信したことを示します。</p> <p>このビットは 0 のライトでクリア ( 0 ) されます。</p> <p>このビットは USB_CONTROL レジスタの CONF ビット = 0 の状態では無効です。</p> <p>0 : SOF ( <math>\mu</math> SOF ) を受信していない 1 : SOF ( <math>\mu</math> SOF ) を受信した</p>
3	USB_RST_INT	<p>バス・リセットが発行されたことを示します。</p> <p>このビットは 0 のライトでクリア ( 0 ) されます。</p> <p>0 : バス・リセットが発行されていない 1 : バス・リセットが発行された</p>
2	SPND_INT	<p>USB が Suspend 状態に入ったことを示します。</p> <p>このビットは 0 のライトでクリア ( 0 ) されます。</p> <p>0 : USB が Suspend 状態に入っていない 1 : USB が Suspend 状態に入った</p>
1	RSUM_INT	<p>USB Host からの Resume 信号を受信したことを示します。</p> <p>このビットは 0 のライトでクリア ( 0 ) されます。</p> <p>0 : Resume 信号を受信していない 1 : Resume 信号を受信した</p>
0	VBUS_LEVEL	<p>VBUS 端子のレベルを示します。</p> <p>0 : ロー・レベル 1 : ハイ・レベル</p>





ビット位置	ビット名	意 味															
9	EP0_PIDCLR	<p>エンドポイント 0 に対する DATA PID を初期化するときにセット (1) してください。セット (1) することで送信 PID, 受信 PID とともに DATA1 に初期化されます。</p> <p>エンドポイント 0 に対する USB トランザクション中にこのビットをセット (1) した場合は, トランザクションが終了するまでセット (1) が保留されます。DATA PID はバス・リセットを受信すると自動的に初期化されます。また, SETUP トークンを受信するたびに初期化されます。その後の DATA PID のトグルはハードウェアにより自動で制御されます。したがって, 通常はこのビットをセット (1) する必要はありません。このビットはライトのみ可能で, リード値は常に 0 です。</p>															
8	EP0_BCLR	<p>EP0_WRITE レジスタ (送信バッファ) / EP0_READ レジスタ (受信バッファ) をクリアするときにセット (1) してください。送信, 受信バッファ共にクリアされます。</p> <p>エンドポイント 0 に対する USB トランザクション中にこのビットをセット (1) した場合は, トランザクションが終了するまでセット (1) が保留されます。このビットをセット (1) した後, 次のデータを書き込む場合は, EP0_STATUS レジスタのビット 10 の EP0_IN_DATA = 0, およびビット 8 の EP0_IN_EMPTY = 1 を確認してください。</p>															
7	EP0_DEND	<p>EP0_WRITE レジスタ (送信バッファ) に書き込んだデータを送信許可する場合に, このビットをセット (1) してください。</p> <p>Null データを送信する場合は, EP0_STATUS レジスタのビット 8 の EP0_IN_EMPTY がセット (1) されていることを確認してから, このビットをセット (1) してください。</p> <p>このビットはライトのみ可能で, リード値は常に 0 です。</p>															
6, 5	EP0_DW1, EP0_DW0	<p>EP0_WRITE レジスタ (送信バッファ) に書き込んだ最終データの有効バイト数を指定します。</p> <p>ビット 7 の EP0_DEND ビットと同時にセット (1) してください</p> <p>このビットはライトのみ可能で, リード値は常に 0 です。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>EP0_DW1</th> <th>EP0_DW0</th> <th>有効バイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>4 バイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 バイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>2 バイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>3 バイト</td> </tr> </tbody> </table>	EP0_DW1	EP0_DW0	有効バイト数	0	0	4 バイト	0	1	1 バイト	1	0	2 バイト	1	1	3 バイト
EP0_DW1	EP0_DW0	有効バイト数															
0	0	4 バイト															
0	1	1 バイト															
1	0	2 バイト															
1	1	3 バイト															
4	EP0_INAK_EN	<p>ビット 1 の EP0_INAK への書き込みを有効にするときに同時にこのビットをセット (1) します。</p> <p>このビットはライトのみ可能で, リード値は常に 0 です。</p> <p>このビットはハードウェアによる EP0_INAK の自動セットとファームウェアによるレジスタ・アクセスのタイミングが重なった際に, 意図せず EP0_INAK ビットがクリア (0) されることを回避するためのビットです。</p>															

( 3/3 )

ビット位置	ビット名	意味
3	EP0_PERR_NAK_CLR	<p>USB 規格で許可されていないリクエスト構成異常トークン受信による強制 NAK 状態を解除するときにセット (1) してください (リクエスト構成異常については, EP0_STATUS レジスタのビット 17 の EP0_PERR_NAK ビットを参照してください。 )。</p> <p>通常, 強制 NAK 状態が発生した場合は, ビット 2 の EP0_STL ビットをセット (1) して STALL 状態にするため, このビットを使用する必要はありません。</p> <p>このビットはライトのみ可能で, リード値は常に 0 です。</p>
2	EP0_STL	<p>エンドポイント 0 に対する IN / OUT / PING トークンに対する STALL 応答を制御します。</p> <p>このビットをセット (1) すると, データ・ステージ, ステータス・ステージに対するすべての IN トークン, OUT / PING トークンに対して STALL 応答します。このビットをクリア (0) しても STALL 応答の解除はできません。このビットは SETUP トークンの受信で自動的にクリア (0) されます。また, 本機能はビット 0 の EP0_ONAK, ビット 1 の EP0_INAK の強制 NAK 応答の設定より優先されます。</p> <p>また, このビットは以下の場合に自動的にセット (1) されます。</p> <ul style="list-style-type: none"> <li>・ ビット 18 の EP0_STGSEL = 1 の状態で, ステータス・ステージにて Null 以外のデータを受信した場合。</li> <li>・ ビット 17 の EP0_OVERSEL = 0 の状態でオーバーランが発生した場合。</li> </ul> <p>0 : STALL 応答しない 1 : STALL 応答する</p>
1	EP0_INAK	<p>エンドポイント 0 への IN トークンに対する強制 NAK 応答を制御します。通常 ACK / NAK の制御は, EP0_READ レジスタ (受信バッファ) の状態により自動制御されます。</p> <p>強制的に NAK 応答する場合にこのビットをセット (1) してください。</p> <p>また, このビットは SETUP トランザクション正常終了時に自動的にセット (1) されます。</p> <p>0 : 送信バッファ (EP0_WRITE) にデータがあればデータ送信する 1 : 送信バッファ (EP0_WRITE) にデータがあっても NAK 応答する</p>
0	EP0_ONAK	<p>エンドポイント 0 への OUT / PING トークンに対する強制 NAK 応答を制御します。ACK / NAK / NYET の制御は, EP0_READ レジスタ (受信バッファ) の状態により自動制御されます。</p> <p>強制的に NAK 応答する場合にこのビットをセット (1) してください。</p> <p>また, このビットは SETUP トランザクション正常終了時に自動的にセット (1) されます。</p> <p>0 : 受信バッファ (EP0_READ) が空いていればデータ受信する 1 : 受信バッファ (EP0_READ) が空いていても NAK 応答する</p>

(10) EP0 ステータス・レジスタ (EP0\_STATUS)

INTU2FEPC 割り込み要因のうち、エンドポイント 0 に関連する要因を示すレジスタです。USB 割り込みステータス・レジスタ (USB\_INT\_STA) のビット 8 の EP0\_INT ビットがセット (1) されていた場合、このレジスタを読み出し、割り込み要因を確認してください。また、エンドポイント 0 で行われる SETUP トークンの受信、データの正常送受信、ステータス・ステージへの移行、バッファ状態などのステータスを表示します。

シンボル名に「~\_INT」とつくものが割り込み要因です。それ以外のシンボルがセットされても INTU2FEPC はアサートしません。

(1/3)

EP0_STATUS	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EP0_PID	EP0_PERR_NAK	EP0_PERR_NAK_INT	EP0_OUT_NAK_INT	EP0_OUT_NULL	EP0_OUT_FULL	EP0_OUT_EMPTY	EP0_IN_NAK_INT	EP0_IN_DATA	EP0_IN_FULL	EP0_IN_EMPTY	EP0_OUT_NULL_INT	EP0_OUT_OR_INT	EP0_OUT_INT	EP0_IN_INT	EP0_STALL_INT	STG_END_INT	STG_START_INT	SETUP_INT	0F04 002CH 初期値 0004 1100H	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-19	-	Reserved ( Don't Care )
18	EP0_PID	次に送信する DATA PID の値を表示します。 0 : 次回送信する DATA PID が DATA0 1 : 次回送信する DATA PID が DATA1
17	EP0_PERR_NAK	エンドポイント0へのリクエスト構成異常トークン受信により強制 NAK 状態になるとセット (1) されます。 リクエスト構成異常トークンとは、以下のトークンを受信した場合を指します。 ・ SETUP 受信前の IN / OUT 受信 ( Setup ステージがない ) ・ Control Read データ・ステージでの OUT トークン受信 ・ Control Read ステータス・ステージでの IN および異常な OUT 受信 ・ Control Write データ・ステージでの IN および異常な OUT 受信 ・ Control Write ステータス・ステージでの OUT および PING 受信 ・ No Data Control ステータス・ステージでの OUT トークン受信 このビットがセット (1) されている間は、エンドポイント 0 への IN / OUT / PING トークンに対して強制 NAK 応答を行います。 このビットがセット (1) された場合、 EP0_CONTROL レジスタの EP0_STL ビットをセット (1) し、エンドポイントを STALL 状態にしてください。 このビットは SETUP トークンを受信すると、自動的にクリア (0) されます。また、EP0_CONTROL レジスタの EP0_PERR_NAK_CLR ビットをセット (1) すると、このビットはクリア (0) されます。 0 : リクエスト構成異常トークン受信による強制 NAK 状態でない 1 : リクエスト構成異常トークン受信による強制 NAK 状態である



( 2/3 )

ビット位置	ビット名	意味
16	EP0_PERR_NAK_INT	<p>エンドポイント0へのリクエスト構成異常トークンに対して強制NAK応答するとセット(1)されます。</p> <p>このビットがセット(1)された場合、EP0_CONTROLレジスタのEP0_STLビットをセット(1)し、エンドポイントをSTALL状態にしてください。このビットは0のライトでクリア(0)されます。</p> <p>0: リクエスト構成異常トークンを受信していない 1: リクエスト構成異常トークンを受信してNAK応答した</p>
15	EP0_OUT_NAK_INT	<p>エンドポイント0へのOUT/PINGトークンに対してNAK応答すると、セット(1)されます。</p> <p>このビットは0のライトでクリア(0)されます。</p> <p>0: OUT/PINGトークンに対してNAK応答していない 1: OUT/PINGトークンに対してNAK応答した</p>
14	EP0_OUT_NULL	<p>エンドポイント0がNullデータを受信するとセット(1)されます。</p> <p>EP0_READレジスタ(受信バッファ)に正常なOUTデータを受信するたびに更新されます。</p> <p>0: Nullデータを受信していない 1: Nullデータを受信した</p>
13	EP0_OUT_FULL	<p>EP0_READレジスタ(受信バッファ)にMax Packet Size(64バイト)のデータがあればセット(1)されます。</p> <p>このビットはバッファの状態により常に更新されます。</p> <p>0: 受信バッファがFullではない 1: 受信バッファがFull</p>
12	EP0_OUT_EMPTY	<p>EP0_READレジスタ(受信バッファ)がEmptyになるとセット(1)されます。</p> <p>このビットはバッファの状態により常に更新されます。</p> <p>0: 受信バッファがEmptyではない 1: 受信バッファがEmpty</p>
11	EP0_IN_NAK_INT	<p>エンドポイント0へのINトークンに対してNAK応答するとセット(1)されます。</p> <p>このビットは0のライトでクリア(0)されます。</p> <p>0: INトークンに対してNAK応答していない 1: INトークンに対してNAK応答した</p>
10	EP0_IN_DATA	<p>EP0_WRITEレジスタ(送信バッファ)に送信待ちのデータがあるとセット(1)されます。</p> <p>EP0_CONTROLレジスタEP0_DENDビットのセット(1)前はバッファ内にデータが存在してもセット(1)されません。</p> <p>このビットはバッファの状態により常に更新されます。</p> <p>0: 送信バッファに送信待ちのデータがない 1: 送信バッファに送信待ちのデータがある</p>
9	EP0_IN_FULL	<p>EP0_WRITEレジスタ(送信バッファ)がFullになるとセット(1)されます。</p> <p>このビットはバッファの状態により常に更新されます。</p> <p>0: 送信バッファがFullではない 1: 送信バッファがFull</p>
8	EP0_IN_EMPTY	<p>EP0_WRITEレジスタ(送信バッファ)がEmptyになるとセット(1)されます。</p> <p>このビットはバッファの状態により常に更新されます。</p> <p>0: 送信バッファがEmptyではない 1: 送信バッファがEmpty</p>

( 3/3 )

ビット位置	ビット名	意味
7	EP0_OUT_NULL_INT	EP0_WRITE レジスタ (送信バッファ) が Null データを受信するとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : Null データを受信していない 1 : Null データを受信
6	EP0_OUT_OR_INT	エンドポイント 0 のデータ受信時にオーバランが発生するとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : オーバランが発生していない 1 : オーバランが発生
5	EP0_OUT_INT	EP0_READ レジスタ (受信バッファ) に有効なデータを受信完了し、読み出し可能になるとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : 受信バッファからデータの読み出し可能になっていない 1 : 受信バッファからデータの読み出し可能
4	EP0_IN_INT	EP0_WRITE レジスタ (送信バッファ) のデータを正常送信し、次のデータが書き込み可能になるとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : 送信バッファがデータ書き込み可能になっていない 1 : 送信バッファがデータ書き込み可能
3	EP0_STALL_INT	エンドポイント 0 が STALL 状態になると、セット (1) されます。 EP0_CONTROL レジスタの EP0_OVERSEL ビット=0 の場合は、オーバランが発生すると自動的にセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : エンドポイント 0 が STALL 状態になっていない 1 : エンドポイント 0 が STALL 状態
2	STG_END_INT	Control 転送のステータス・ステージが正常終了すると、セット (1) されます。 このビットは 0 のライトでクリア (0) されます。また、次の SETUP トークンを受信すると自動的にクリア (0) されます。 0 : ステータス・ステージが正常終了していない 1 : ステータス・ステージが正常終了した
1	STG_START_INT	Control 転送のステータス・ステージが開始すると、セット (1) されます。 このビットは 0 のライトでクリア (0) されます。また、次の SETUP トークンを受信すると自動的にクリア (0) されます。 0 : ステータス・ステージが開始していない 1 : ステータス・ステージが開始
0	SETUP_INT	有効な SETUP データを受信すると、セット (1) されます。 受信したリクエストの処理中に新たな SETUP データが送信される場合に備え、このビットがセット (1) された場合、リクエストの処理を開始する前に、このビットをクリア (0) してください。 このビットは 0 のライトでクリア (0) されます。 0 : 有効な SETUP データを受信していない 1 : 有効な SETUP データを受信

(11) EP0 割り込み許可レジスタ (EP0\_INT\_ENA)

EP0 ステータス・レジスタ (EP0\_STATUS) のそれぞれの割り込み要因に対して許可 / 禁止の選択をします。禁止した割り込み要因は、その割り込みが発生しても割り込み信号はアサートされません。EP0\_INT\_ENA レジスタの対応するビットがセット (1) され保留されます。

( 1/2 )

EP0_INT_ENA	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 0030H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	0	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-17	-	Reserved (必ず 0 を設定してください)
16	EP0_PERR_NAK_EN	EP0_PERR_NAK_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
15	EP0_OUT_NAK_EN	EP0_OUT_NAK_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
14-12	-	Reserved (必ず 0 を設定してください)
11	EP0_IN_NAK_EN	EP0_IN_NAK_EN 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
10-8	-	Reserved (必ず 0 を設定してください)
7	EP0_OUT_NULL_EN	EP0_OUT_NULL_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
6	EP0_OUT_OR_EN	EP0_OUT_OR_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
5	EP0_OUT_EN	EP0_OUT_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
4	EP0_IN_EN	EP0_IN_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可
3	EP0_STALL_EN	EP0_STALL_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 (保留されます) 1 : 許可

( 2/2 )

ビット位置	ビット名	意 味
2	STG_END_EN	STG_END_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
1	STG_START_EN	STG_START_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
0	SETUP_EN	SETUP_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可

(12) EP0 受信データ長レジスタ (EP0\_LENGTH)

エンドポイント 0 に受信した OUT データのバイト長を示します。

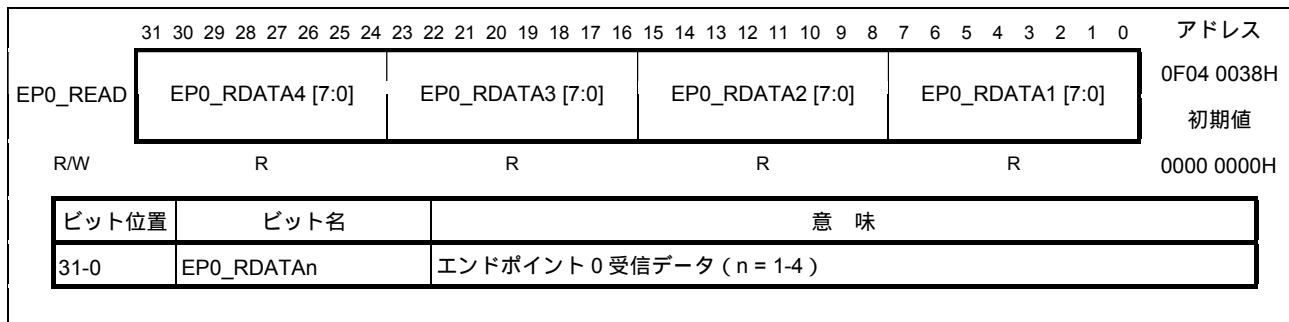
	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス				
EP0_LENGTH	<table border="1" style="width: 100%; height: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td> </tr> </table>	0	0	0	0	0F04 0034H
0	0	0	0			
	<table border="1" style="width: 100%; height: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td> </tr> </table>	0	0	0	0	初期値 0000 0000H
0	0	0	0			
R/W	<table border="1" style="width: 100%; height: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td><td style="width: 25%; text-align: center;">0</td> </tr> </table>	0	0	0	0	R
0	0	0	0			

ビット位置	ビット名	意味
31-7	-	Reserved (必ず 0 を設定してください)
6-0	EP0_LDATA [6:0]	EP0_READ レジスタ (受信バッファ) に OUT データを正常受信すると、このレジスタに受信バイト長を表示します。EP0_READ レジスタ (受信バッファ) を読み出すごとに値をデクリメントし、EP0_READ レジスタ (受信バッファ) に残っているデータ長を表示します。

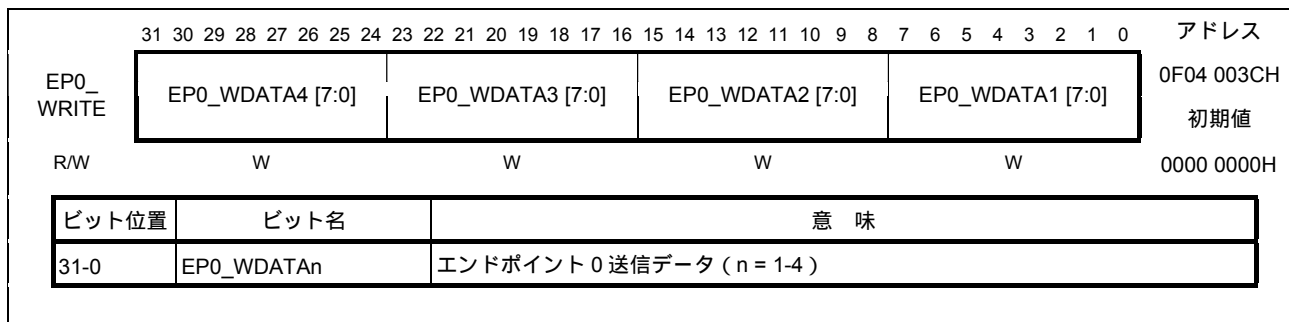
(13) EP0 受信バッファ (EP0\_READ)

エンドポイント 0 の 64 バイトの受信バッファです。



(14) EP0 送信バッファ (EP0\_WRITE)

エンドポイント 0 の 64 バイトの送信バッファです。



(15) EPn 制御レジスタ (EPn\_CONTROL)

EPn に対する制御を行います。

(1/4)

EPn_ CONTROL	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	EPn_EN	EPn_BUF_TYPE	0	0	0	EPn_DIR0	EPn_MODE	0	0	0	0	0	0	0	0	EPn_AUTO	0	0	0	0	EPn_IPIDCLR	EPn_OPIDCLR	EPn_BCLR	EPn_CBCLR	EPn_DEND	EPn_DW[1:0]	EPn_OSTL_EN	EPn_IJSTL	EPn_OSTL	0	EPn_ONAK	0F04 0040H +20H × (n-1) 初期値 xx00 0001H <sup>注1</sup>	
R/W	R/W	R	0	0	0	R/W	R	0	0	0	0	0	0	0	0	R/W	0	0	0	0	W	W	W	W	W	W	W	R/W	R/W	0	R/W		

ビット位置	ビット名	意味
31	EPn_EN <sup>注2</sup>	EPn の有効 / 無効を切り替えます。 USB_CONTROL レジスタの CONF ビットがセット (1) された状態で、このビットがセット (1) されたエンドポイントは USB トランザクションに回答できます。 なお、このビットが 0 の状態では、EPn_WRITE レジスタ (送信バッファ) / EPn_READ レジスタ (受信バッファ) はクリアされます。EPn に対する USB トランザクション中にこのビットをセット (1) した場合は、トランザクションが終了するまでセット (1) が保留されます。 0 : エンドポイント無効 1 : エンドポイント有効
30	EPn_BUF_TYPE	EPn のバッファ・タイプを示します。 このビットはリード専用で、ライトによるバッファ・タイプの変更はできません。 0 : シングル・バッファ 1 : ダブル・バッファ このファンクション・コントローラは、エンドポイントごとに次のバッファ・タイプを内蔵しています。 EP1, EP2, EP4, EP5, EP7, EP8 (Bulk In / Bulk Out) : ダブル・バッファ EP3, EP6, EP9 (Interrupt) : シングル・バッファ
29-27	-	Reserved (必ず 0 を設定してください)
26	EPn_DIR0 <sup>注3</sup>	EPn のエンドポイントの転送方向を指定します。 転送中にこのビットを変更した場合の動作は保証されません。 0 : IN 1 : OUT

- 注 1. EP1\_CONTROL = 4000 0001H, EP2\_CONTROL = 4000 0001H, EP3\_CONTROL = 0100 0001H, EP4\_CONTROL = 4000 0001H, EP5\_CONTROL = 4000 0001H, EP6\_CONTROL = 0100 0001H, EP7\_CONTROL = 4000 0001H, EP8\_CONTROL = 4000 0001H, EP9\_CONTROL = 0100 0001H
2. このビットは初期設定時、バス・リセット受信時、USB リクエスト処理時 (Set Interface 等) のみ値が設定されることを想定しています。  
このビットをクリア (0) しても DATA PID の初期化は行われません。
3. このビットは初期設定時のみ値を設定してください。

備考 n = 1-9

ビット位置	ビット名	意味																				
25-24	EPn_MODE	<p>EPn のエンドポイントの転送種類を示します。 このビットはリード専用で、ライトによるエンドポイント・タイプの変更はできません。</p> <table border="1"> <thead> <tr> <th colspan="2">EPn_MODE</th> <th>EPn のエンドポイントの 転送種類</th> <th>EPn のエンドポイント との対応</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Bulk</td> <td>EP1, EP2, EP4, EP5, EP7, EP8</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interrupt</td> <td>EP3, EP6, EP9</td> </tr> <tr> <td>1</td> <td>0</td> <td>Isochronous (非サポート)</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>Reserved</td> <td>-</td> </tr> </tbody> </table>	EPn_MODE		EPn のエンドポイントの 転送種類	EPn のエンドポイント との対応	0	0	Bulk	EP1, EP2, EP4, EP5, EP7, EP8	0	1	Interrupt	EP3, EP6, EP9	1	0	Isochronous (非サポート)	-	1	1	Reserved	-
EPn_MODE		EPn のエンドポイントの 転送種類	EPn のエンドポイント との対応																			
0	0	Bulk	EP1, EP2, EP4, EP5, EP7, EP8																			
0	1	Interrupt	EP3, EP6, EP9																			
1	0	Isochronous (非サポート)	-																			
1	1	Reserved	-																			
23-17	-	Reserved (必ず 0 を設定してください)																				
16	EPn_AUTO <sup>注4</sup>	<p>EPn_WRITE レジスタ (送信バッファ) に Max Packet Size までデータを書き込んだ際、自動でそのパケットの送信を許可するかを選択します。</p> <p>ただし、以下の例に示すように、Max Packet Size - (1 or 2 or 3) バイト長のデータを送信する際、このビットをクリア (0) し、この機能を無効にしておく必要がある場合があります。(Max Packet Size 分のデータを書き込んだ時点で、すべてのデータが有効となってしまいます。) 最終書き込みデータに無効なデータが含まれる場合は、このビットをクリア (0) し、ビット 6, 5 の EPn_DW ビットを使用してください。</p> <p>例 1 : 32 ビット・アクセス, Max Packet Size = 512, 送信データ・サイズ 509-511 (この場合、512 バイトが有効データとなってしまいます)</p> <p>例 2 : 32 ビット・アクセス, Max Packet Size = 511, 送信データ・サイズ 509, 510 (この場合、511 バイトが有効データとなってしまいます)</p> <p>0 : ビット 7 の EPn_DEND を自動セットしない 1 : ビット 7 の EPn_DEND を自動セットする</p>																				
15-12	-	Reserved (必ず 0 を設定してください)																				
11	EPn_IPIDCLR <sup>注5</sup>	<p>EPn に対する送信 DATA PID を初期化するときセット (1) します。</p> <p>EPn に対する USB トランザクション中にこのビットをセット (1) した場合は、トランザクションが終了するまでセット (1) が保留されます。</p> <p>このビットはライトのみ可能で、リード値は常に 0 です。</p>																				
10	EPn_OPIDCLR <sup>注5</sup>	<p>EPn に対する受信 DATA PID を初期化するときセット (1) します。</p> <p>EPn に対する USB トランザクション中にこのビットをセットした場合は、トランザクションが終了するまでセット (1) が保留されます。</p> <p>このビットはライトのみ可能で、リード値は常に 0 です。</p>																				

注 4. EPn\_DMA\_CTRL レジスタの DMA\_EN ビット= 1 の状態での値の変更は禁止です。

また Max Packet Size = 000H の状態では、この機能を有効にしないでください。

5. DATA PID はバス・リセットを受信すると自動で初期化されます。

備考 n = 1-9



( 3/4 )

ビット位置	ビット名	意 味															
9	EPn_BCLR <sup>注6</sup>	<p>EPn_WRITE レジスタ (送信バッファ) / EPn_READ レジスタ (受信バッファ) をクリアするときにセット (1) してください。USB 側, CPU 側両方のバッファがクリアされます。</p> <p>EPn に対する USB トランザクション中にこのビットをセット (1) した場合は, トランザクションが終了するまでセット (1) が保留されます。</p> <p>EPn_DIR0 ビット=0 (IN 方向) の場合, このビットをセット (1) 後, EPn_STATUS レジスタの EPn_IN_DATA ビット=0 および EPn_IN_EMPTY ビット=1 を確認してください。このビットは, ライトのみ可能で, リード値は常に 0 です。</p>															
8	EPn_CBCLR <sup>注7</sup>	<p>EPn_WRITE レジスタ (送信バッファ) / EPn_READ レジスタ (受信バッファ) の CPU 側をクリアするときにセット (1) してください。</p> <p>シングル・バッファの EP3, EP6, EP9 は無効です。</p> <p>このビットは, ライトのみ可能で, リード値は常に 0 です。</p>															
7	EPn_DEND <sup>注8</sup>	<p>EPn_WRITE レジスタ (送信バッファ) に書き込んだデータを送信許可する場合に, このビットをセット (1) してください。</p> <p>Null データを送信する場合は, EPn_STATUS レジスタのビット 0 の EPn_IN_EMPTY がセット (1) されていることを確認してから, このビットをセット (1) してください。</p> <p>このビットは, ライトのみ可能で, リード値は常に 0 です。</p>															
6-5	EPn_DW1, EPn_DW0	<p>EPn_WRITE レジスタ (送信バッファ) に書き込んだ最終データの有効バイト数を指定します。</p> <p>ビット 7 の EPn_DEND ビットと同時にセット (1) してください。</p> <p>このビットは, ライトのみ可能で, リード値は常に 0 です。</p> <table border="1" data-bbox="625 1176 1337 1406"> <thead> <tr> <th>EPn_DW1</th> <th>EPn_DW0</th> <th>有効バイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>4 バイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 バイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>2 バイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>3 バイト</td> </tr> </tbody> </table>	EPn_DW1	EPn_DW0	有効バイト数	0	0	4 バイト	0	1	1 バイト	1	0	2 バイト	1	1	3 バイト
EPn_DW1	EPn_DW0	有効バイト数															
0	0	4 バイト															
0	1	1 バイト															
1	0	2 バイト															
1	1	3 バイト															

注 6. EPn\_CBCLR ビットとの同時セット(1)は禁止です。また EPn\_DMA\_CTRL レジスタの DMA\_EN ビット=1 の状態でのこのビットのセット (1) は禁止です。

USB バス・リセットを受信しても, EPn\_WRITE レジスタ (送信バッファ) / EPn\_READ レジスタ (受信バッファ) は自動ではクリアされません。

7. EPn\_BCLR ビットとの同時セット(1)は禁止です。また EPn\_DMA\_CTRL レジスタの DMA\_EN ビット=1 の状態でのこのビットのセット (1) は禁止です。

8. EPn\_DMA\_CTRL レジスタの DMA\_EN ビット=1 の状態でのこのビットのセット(1)は禁止です。

備考 n = 1-9

(4/4)

ビット位置	ビット名	意味
4	EPn_OSTL_EN	ビット 2 の EPn_OSTL ビットへの書き込みを有効にするときに同時にセット (1) してください。 このビットは、ライトのみ可能で、リード値は常に 0 です。
3	EPn_I STL	EPn への IN トークンに対する STALL 応答を制御します。 0 : IN トークンに対して STALL 応答しない 1 : IN トークンに対して STALL 応答する
2	EPn_OSTL	EPn への OUT / PING トークンに対する STALL 応答を制御します。 このビットを設定する場合は、ビット 4 の EPn_OSTL_EN も同時にセット (1) する必要があります。 ビット 7 の EPn_OVERSEL = 0 の状態でオーバーランが発生した場合は、自動的にセット (1) されます。 0 : OUT / PING トークンに対して STALL しない 1 : OUT / PING トークンに対して STALL する
1	-	Reserved (必ず 0 を設定してください)
0	EPn_ONAK	EPn への PING/OUT トークンに対する NAK 応答を制御します。 通常 ACK / NAK / NYET の制御は、EPn_READ レジスタ (受信バッファ) の状態により自動的に制御されます。 このビットは、強制的に NAK 応答する場合に設定します。 0 : 受信バッファが空いていればデータ受信する 1 : 受信バッファが空いていても NAK 応答する

備考 n = 1-9

(16) EPn ステータス・レジスタ (EPn\_STATUS)

INTU2FEPC 割り込み要因のうち、エンドポイント 1-9 に関連する要因を示すレジスタです。USB 割り込みステータス・レジスタ (USB\_INT\_STA) の EPn\_INT ビットがセット (1) されていた場合、このレジスタを読み出し、割り込み要因を確認してください。また、エンドポイント EPn で行われるデータの正常送受信、エラーなどのステータスを表示します。

シンボル名に「~\_INT」とつくものが割り込み要因となります。それ以外のシンボルがセットされても INTU2FEPC はアサートしません。

**注意** EP3, EP6, EP9 は Interrupt 転送タイプのため、ビット 23, 7 はありません。

(1/4)

EPn_STATUS	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	EPn_OPID	0	0	0	0	EPn_OUT_END_INT	EPn_OUT_OR_INT	EPn_OUT_NAK_ERR_INT	EPn_OUT_STALL_INT	EPn_OUT_INT	EPn_OUT_NULL_INT	EPn_OUT_FULL	EPn_OUT_EMPTY	0	0	0	0	1	EPn_IPID	0	0	EPn_IN_END_INT	0	EPn_IN_NAK_ERR_INT	EPn_IN_STALL_INT	EPn_IN_INT	EPn_IN_DATA	EPn_IN_FULL	EPn_IN_EMPTY	0F04 0044H +20H × (n-1) 初期値  0001 0803H
R/W	0	0	0	R	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R	R	0	0	0	0	1	R	0	0	R/W	0	R/W	R/W	R/W	R	R	R	

ビット位置	ビット名	意味
31-29	-	Reserved ( Don't Care )
28	EPn_OPID	このビットは、次に正常受信とみなす受信 DATA PID の値を表示します。 0 : 次回比較する DATA PID が DATA0 1 : 次回比較する DATA PID が DATA1
27-24	-	Reserved ( Don't Care )
23	EPn_OUT_END_INT <sup>注1</sup>	EPn が OUT の場合に、バッファ・リード方向の DMA 転送が終了するとセット (1) されます。 このビットがセット (1) されると、EPn_DMA_CTRL レジスタのビット 4 の EPn_DMA_EN がクリア (0) されます。 EPn_DMA_DTRL レジスタのビット 11 の EPn_STOP_MODE = 1、ビット 8 の EPn_STOP_SET = 1 のときは、EPn_DMA_EN ビット = 1 の状態でショート・パケットを受信すると、このビットがセット (1) されます。このビットは 0 のライトでクリア (0) されます。 0 : バッファ・リード方向の DMA 転送が終了していない 1 : バッファ・リード方向の DMA 転送が終了した
22	EPn_OUT_OR_INT	EPn のデータ受信時にオーバーランが発生するとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : オーバーランが発生していない 1 : オーバーランが発生した

**注 1.** EP3, EP6, EP9 は Interrupt 転送タイプのため、このビットはありません。

**備考** n = 1-9

(2/4)

ビット位置	ビット名	意味
21	EPn_OUT_NAK_ERR_INT	OUT / PING トークンに対し NAK 応答するとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : OUT / PING トークンに NAK 応答していない 1 : OUT / PING トークンに NAK 応答した
20	EPn_OUT_STALL_INT	USB_CONTROL レジスタのビット 26 の EPn_DIR0 = 1 (OUT 方向) で EPn が STALL 応答状態になるとセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : OUT 方向で EPn が STALL 状態になっていない 1 : OUT 方向で EPn が STALL 状態になった
19	EPn_OUT_INT	EPn_READ レジスタ (受信バッファ) が Null 以外のデータを正常受信し, CPU 側バッファで読み出し可能になるとセット (1) されます。 Null データを受信した場合には, ビット 18 の EPn_OUT_NULL_INT がセット (1) されます。 このビットは 0 のライトでクリア (0) されます。 0 : 受信バッファからデータを読み出し可能になっていない 1 : 受信バッファからデータを読み出し可能になった
18	EPn_OUT_NULL_INT	EPn_READ レジスタ (受信バッファ) に Null データを正常受信するとセット (1) されます。 ダブル・バッファの EP1, EP2, EP4, EP5, EP7, EP8 は, Null データ・パケットが CPU 側のバッファに受け渡された時点でセット (1) されます。 このビットがセットされた時点で, Null データ・パケットそのものは自動でクリア (0) されます (受信バッファは次のパケットを受信できる状態に遷移します)。 このビットは 0 のライトでクリア (0) されます。 0 : Null データを受信していない 1 : Null データを受信した
17	EPn_OUT_FULL	EPn_READ レジスタ (受信バッファ) が Full であればセット (1) されます。 ダブル・バッファの EP1, EP2, EP4, EP5, EP7, EP8 は, CPU 側のバッファが Full のときにセット (1) されます。 このビットは受信バッファの状態により常に更新されます。 0 : 受信バッファが Full ではない 1 : 受信バッファが Full
16	EPn_OUT_EMPTY	EPn_READ レジスタ (受信バッファ) が Empty になるとセット (1) されます。 ダブル・バッファの EP1, EP2, EP4, EP5, EP7, EP8 は, CPU 側のバッファが Empty のときにセット (1) されます。 このビットは受信バッファの状態により常に更新されます。 0 : 受信バッファが Empty ではない 1 : 受信バッファが Empty
15-11	-	Reserved (Don't Care)

備考 n = 1-9

( 3/4 )

ビット位置	ビット名	意味
10	EPn_IPID	次に送信する DATA PID の値を表示します。 0 : 次回送信する DATA PID が DATA0 1 : 次回送信する DATA PID が DATA1
9-8	-	Reserved ( Don't Care )
7	EPn_IN_END_INT <sup>注2</sup>	EPn が IN の場合にバッファ・ライト方向の DMA 転送が終了するとセット ( 1 ) されます。 このビットがセット ( 1 ) されると, EPn_DMA_CTRL レジスタのビット 4 の EPn_DMA_EN ビットがクリア ( 0 ) されます。 このビットは 0 のライトでクリア ( 0 ) されます。 0 : バッファ・ライト方向の DMA 転送が終了していない 1 : バッファ・ライト方向の DMA 転送が終了した
6	-	Reserved ( Don't Care )
5	EPn_IN_NAK_ERR_INT	IN トークンに対して NAK 応答するとセット ( 1 ) されます。 このビットは 0 のライトでクリア ( 0 ) されます。 0 : IN トークンに NAK 応答していない 1 : IN トークンに NAK 応答した
4	EPn_IN_STALL_INT	EPn_CONTROL レジスタのビット 26 の EPn_DIR0 = 0 ( IN 方向 ) で EPn が STALL 応答状態になるとセット ( 1 ) されます。 このビットは 0 のライトでクリア ( 0 ) されます。 0 : IN 方向で EPn が STALL 状態になっていない 1 : IN 方向で EPn が STALL 状態になった
3	EPn_IN_INT	EPn_WRITE レジスタ ( 送信バッファ ) の CPU 側のバッファに次のデータを書き込み可能になるとセット ( 1 ) されます。 シングル・バッファの EP3, EP6, EP9 は, IN トランザクションでデータを正常送信したときにセット ( 1 ) されます。 ダブル・バッファの EP1, EP2, EP4, EP5, EP7, EP8 は, データ送信許可を与えた CPU 側バッファのデータが USB 側に受け渡されるとセット ( 1 ) されます。 このビットは 0 のライトでクリア ( 0 ) されます。 0 : 送信バッファが書き込み可能になっていない 1 : 送信バッファが書き込み可能になった
2	EPn_IN_DATA	EPn_WRITE レジスタ ( 送信バッファ ) に送信可能なデータがあるとセット ( 1 ) されます。 このビットは送信バッファの状態により常に更新されます。 0 : 送信バッファに送信可能なデータがない 1 : 送信バッファに送信可能なデータがある

注 2. EP3, EP6, EP9 は Interrupt 転送タイプのため, このビットはありません。

備考 n = 1-9

( 4/4 )

ビット位置	ビット名	意 味
1	EPn_IN_FULL	<p>EPn_WRITE レジスタ(送信バッファ)の CPU 側のバッファが Full になるとセット(1)されます。</p> <p>EPn_CONTROL レジスタのビット7の EPn_DEND がセット(1)され、データに送信許可が与えられるとクリア(0)されます。</p> <p>このビットは送信バッファの状態により常に更新されます。</p> <p>0 : 送信バッファが Full ではない 1 : 送信バッファが Full</p>
0	EPn_IN_EMPTY	<p>EPn_WRITE レジスタの CPU 側バッファが Empty になるとセット(1)されます。</p> <p>このビットは送信バッファの状態により常に更新されます。</p> <p>0 : 送信バッファが Empty ではない 1 : 送信バッファが Empty</p>

備考 n = 1-9

(17) EPn 割り込み許可レジスタ (EPn\_INT\_ENA)

EPn ステータス・レジスタ (EPn\_STATUS) のそれぞれの割り込み要因に対して許可 / 禁止の選択をします。禁止した割り込み要因は、その割り込みが発生しても割り込み信号はアサートされません。EPn\_INT\_ENA レジスタの対応するビットがセット (1) され保留されます。

**注意** EP3, EP6, EP9 は Interrupt 転送タイプのため、ビット 23, 7 はありません。

( 1/2 )

EPn_INT_ENA	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2%;">31</td><td style="width: 2%;">30</td><td style="width: 2%;">29</td><td style="width: 2%;">28</td><td style="width: 2%;">27</td><td style="width: 2%;">26</td><td style="width: 2%;">25</td><td style="width: 2%;">24</td><td style="width: 2%;">23</td><td style="width: 2%;">22</td><td style="width: 2%;">21</td><td style="width: 2%;">20</td><td style="width: 2%;">19</td><td style="width: 2%;">18</td><td style="width: 2%;">17</td><td style="width: 2%;">16</td><td style="width: 2%;">15</td><td style="width: 2%;">14</td><td style="width: 2%;">13</td><td style="width: 2%;">12</td><td style="width: 2%;">11</td><td style="width: 2%;">10</td><td style="width: 2%;">9</td><td style="width: 2%;">8</td><td style="width: 2%;">7</td><td style="width: 2%;">6</td><td style="width: 2%;">5</td><td style="width: 2%;">4</td><td style="width: 2%;">3</td><td style="width: 2%;">2</td><td style="width: 2%;">1</td><td style="width: 2%;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	アドレス 0F04 0048H +20H × (n-1) 初期値 0000 0000H
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																			
	R/W    0 0 0 0 0 0 0 0 0 R/W R/W R/W R/W R/W R/W 0 0 0 0 0 0 0 0 0 0 0 R/W 0 R/W R/W R/W 0 0 0																																																																	

ビット位置	ビット名	意味
31-24	-	Reserved (必ず 0 を設定してください)
23	EPn_OUT_END_EN <sup>注</sup>	EPn_OUT_END_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
22	EPn_OUT_OR_EN	EPn_OUT_OR_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
21	EPn_OUT_NAK_ERR_EN	EPn_OUT_NAK_ERR_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
20	EPn_OUT_STALL_EN	EPn_OUT_STALL_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
19	EPn_OUT_EN	EPn_OUT_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
18	EPn_OUT_NULL_EN	EPn_OUT_NULL_INT 割り込みの許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
17-8	-	Reserved (必ず 0 を設定してください)

**注** EP3, EP6, EP9 は Interrupt 転送タイプのため、このビットはありません。

**備考** n = 1-9

( 2/2 )

ビット位置	ビット名	意 味
7	EPn_IN_END_EN <sup>注</sup>	EPn_IN_END_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
6	-	Reserved ( 必ず 0 を設定してください )
5	EPn_IN_NAK_ERR_EN	EPn_IN_NAK_ERR_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
4	EPn_IN_STALL_EN	EPn_IN_STALL_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
3	EPn_IN_EN	EPn_IN_INT 割り込みの許可 / 禁止を選択します。 0 : 禁止 ( 保留されます ) 1 : 許可
2-0	-	Reserved ( 必ず 0 を設定してください )

注 EP3, EP6, EP9 は Interrupt 転送タイプのため、このビットはありません。

備考 n = 1-9



(18) EPn DMA 転送制御レジスタ (EPn\_DMA\_CTRL)

エンドポイント n の DMA 設定を行うレジスタです。

**注意 1.** 初期値は 0000 0000H ですが、初期化時に必ずビット 8, 0 には 1 を設定し、ビット 2 には 0 を設定し、以降、値を変更しないでください。

**2.** EP3, EP6, EP9 は Interrupt 転送タイプのため、EPn\_DMA\_CTRL レジスタはありません。

( 1/3 )

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		アドレス
EPn_ DMA_CTRL	0 0	<div style="display: flex; justify-content: space-between;"> <div style="writing-mode: vertical-rl; transform: rotate(180deg);">EPn_STOP_MODE</div> <div style="writing-mode: vertical-rl; transform: rotate(180deg);">EPn_DEND_SET</div> <div style="writing-mode: vertical-rl; transform: rotate(180deg);">EPn_BURST_SET</div> <div style="writing-mode: vertical-rl; transform: rotate(180deg);">EPn_DMA_EN</div> </div>	0F04 004CH +20H × (n-1) 初期値 0000 0000H
R/W	0 0	R/W R/W R/W 1 0 0 0 0 R/W 0 0 0 1	

ビット位置	ビット名	意味
31-12	-	Reserved (必ず 0 を設定してください)
11	EPn_STOP_MODE	ビット 8 の EPn_STOP_SET = 1 の場合の DMA 停止条件を指定します。 0 : ショート・パケットを受信してそのデータの DMA 転送を終えたときに停止 1 : ショート・パケットを受信して、そのデータが読み出し可能になったときに停止 (すでに受信したショート・パケットが読み出し可能になった後に、ビット 4 の EPn_DMA_EN がセット (1) されている場合は停止しません)。
10	EPn_DEND_SET	USB_CONTROL レジスタのビット 26 の EPn_DIR0 = 0 (IN 方向) において、System Bus-EPC Bridge から DMA 終了信号を受信したときに、EPn_CONTROL レジスタのビット 7 の EPn_DEND を自動的にセット (1) させるかを選択します。 EPn_DIR0 = 1 (OUT 方向) の場合は無効です。 このビットを使用して DMA 転送を行った場合、32 ビット未満のデータは転送できないので注意してください。 0 : EPn_DEND を自動セットしない 1 : EPn_DEND を自動セットする

**備考** n = 1, 2, 4, 5, 7, 8

( 2/3 )

ビット位置	ビット名	意味
9	EPn_BURST_SET	<p>1 パケットのデータを DMA 転送するごとに、ビット 4 の EPn_DMA_EN ビットを自動的にクリア (0) するかを選択します。</p> <p>0 : EPn_DMA_EN を自動クリアする 1 : EPn_DMA_EN を自動クリアしない</p> <p>DMA ライト時の補足事項</p> <p>(1) Max Packet Size のデータを連続して DMA 転送する場合は、このビットと EPn_CONTROL レジスタのビット 16 の EPn_AUTO をセット (1) してください。</p> <p>(2) ショート・パケット転送時は、このビットをクリア (0) してください。最終データに半端データが存在する場合は、PIO で書き込んでください。</p> <p>DMA リード時の補足事項</p> <p>(1) Null データを含むショート・パケットを受信した場合、ビット 8 の EPn_STOP_SET = 1 の場合は、このビットがセット (1) されていても、ビット 4 の EPn_DMA_EN はクリア (0) されます。</p> <p>(2) Max Packet Size のデータを連続して DMA 転送する場合は、このビットをセット (1) してください。</p> <p>(3) ショート・パケット転送時は、このビットをクリア (0) してください。最終データに半端データが存在する場合は、PIO で読み出してください。</p>
8	1	このビットは、必ず 1 を設定し、以降、値を変更しないでください。
7-5	-	Reserved (必ず 0 を設定してください)
4	EPn_DMA_EN	<p>EPn の DMA の使用を選択します。</p> <p>0 : DMA を使用しない 1 : DMA を使用する</p> <p>以下の条件で自動的にクリア (0) されます。</p> <p>(1) System Bus-EPC Bridge の EPnDCR2 で設定した DMA 転送が終了したとき</p> <p>(2) EPn_LEN_DCNT レジスタの EPn_DMACNT の値が 01H の状態で、1 パケットの DMA 転送が終了したとき</p> <p>(3) ビット 9 の EPn_BURST_SET = 0 で 1 パケットの DMA 転送が終了したとき (最終転送データに半端データを含む場合は最終転送データを残してクリア (0) されます。 )。</p> <p>(4) Null データを含むショート・パケットを受信して、そのデータの DMA 転送が終了したとき (ビット 11 の EPn_STOP_MODE = 1 の場合は Null データを含むショート・パケットが読み出し可能になったときに停止します。 )。</p> <p>オーバランなどによりエンドポイントが STALL 状態になっても、このビットは自動クリア (0) されません。またこのビットが 1 の状態では、EPn_WRITE レジスタ (送信バッファ) / EPn_READ レジスタ (受信バッファ) に PIO でアクセスすることはできません。</p> <p>同様に EPn_CONTROL レジスタのビット 7 の EPn_DEND のセット (1) は禁止です。DMA 転送を行ったあとに PIO で追加の書き込み、読み出しを PIO アクセスによって行う場合や、EPn_DEND ビットをセット (1) する場合は、このビットをクリア (0) してから行ってください。このビットをクリア (0) する場合は、あらかじめ DMA を停止させてください。DMA 転送中にクリア (0) した場合は、転送中のデータは保証されません。</p>

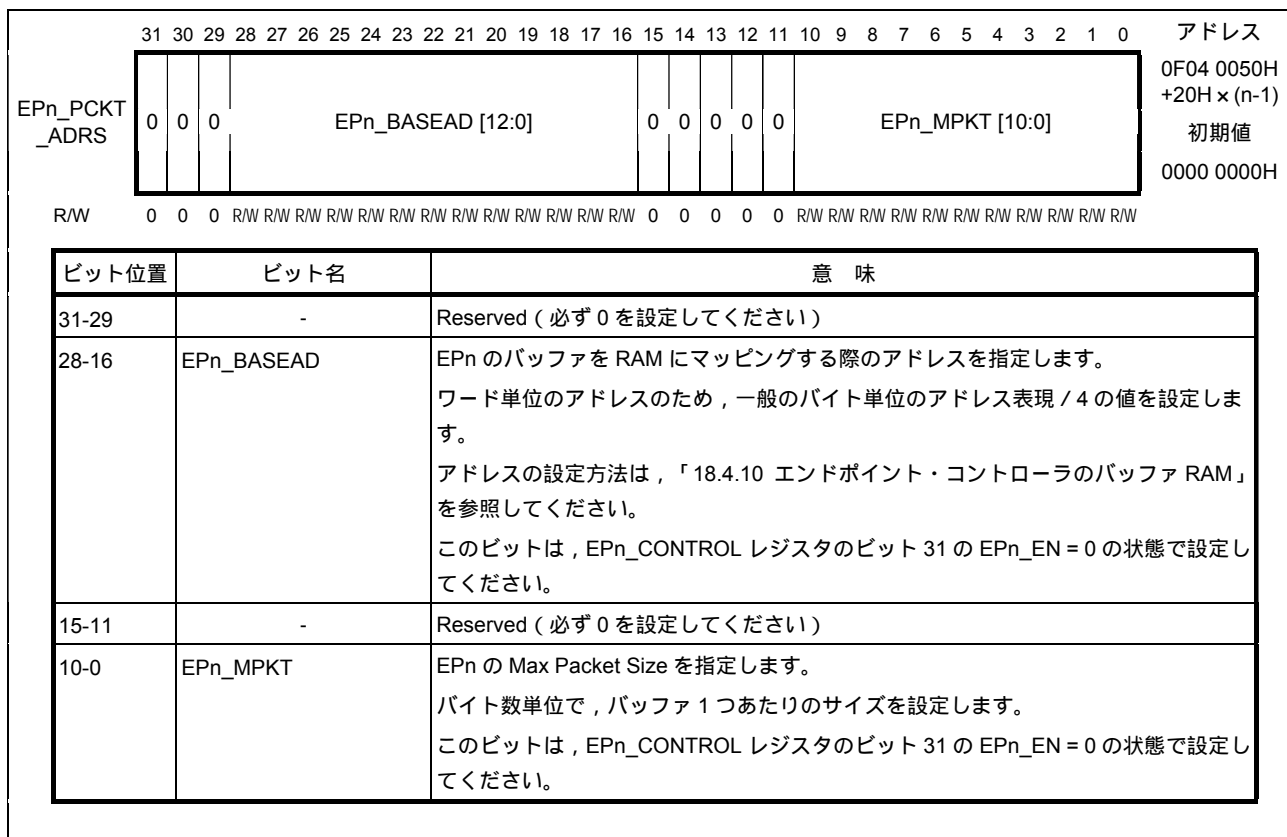
備考 n = 1, 2, 4, 5, 7, 8

( 3/3 )

ビット位置	ビット名	意 味
2	0	このビットは、必ず 0 を設定し、以降、値を変更しないでください。
1	-	Reserved (必ず 0 を設定してください)
0	1	このビットは、必ず 1 を設定し、以降、値を変更しないでください。

(19) EPn バッファ設定レジスタ (EPn\_PCKT\_ADRS)

各エンドポイントの Max Packet Size の指定と、RAM に各エンドポイントをマッピングする際の開始アドレスを指定するレジスタです。



備考 1. n = 1-9

2. バッファ RAM は、USB ファンクション・コントローラが管理するローカルな RAM で、CPU や DMA、その他バス・マスタが共通にアクセスするメモリ空間には配置されていません。

(20) EPn 受信データ長 / DMA サイズ設定レジスタ (EPn\_LEN\_DCNT)

EPn\_READ レジスタ (受信バッファ) に受信したデータのバイト長の表示, また DMA 転送パケット数の設定を行うためのレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
EPn_LEN_DCNT	0	0	0	0	0	0	0	EPn_DMACNT [8:0] <sup>注1</sup>							0	0	0	0	0	EPn_LDATA [10:0]										アドレス 0F04 0054H +20H × (n-1) 初期値 0000 0000H					
R/W	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-25	-	Reserved (必ず 0 を設定してください)
24-16	EPn_DMACNT <sup>注2</sup>	DMA 転送回数を設定するフィールドです。 00H : DMA 転送機能は無効です 00H 以外 : このフィールドに指定されたパケット数の DMA 転送を行います このフィールドに DMA 転送するパケット数 (EPn_PKT_ADRS で設定した Max Packet Size 単位) を指定してください。1 パケットの DMA 転送が完了するごとに、このフィールドがデクリメントされます。このフィールドが 01H のときに 1 パケットの DMA 転送が完了した時点で、EPn_DMA_CTRL レジスタの EPn_DMA_EN ビットがクリア (0) されます。 このフィールドは EPn_DMA_EN ビットが 0 のときのみ操作してください。また、DMA 転送機能を使用する場合は、EPn_DMA_CTRL レジスタの EPn_BURST_SET ビットをセット (1) してください。
15-11	-	Reserved (必ず 0 を設定してください)
10-0	EPn_LDATA	EPn_READ レジスタ (受信バッファ) で読み出し可能な CPU 側バッファのデータの受信バイト長を表示します。EPn_READ レジスタより読み出しを行うごとに値をデクリメントします。

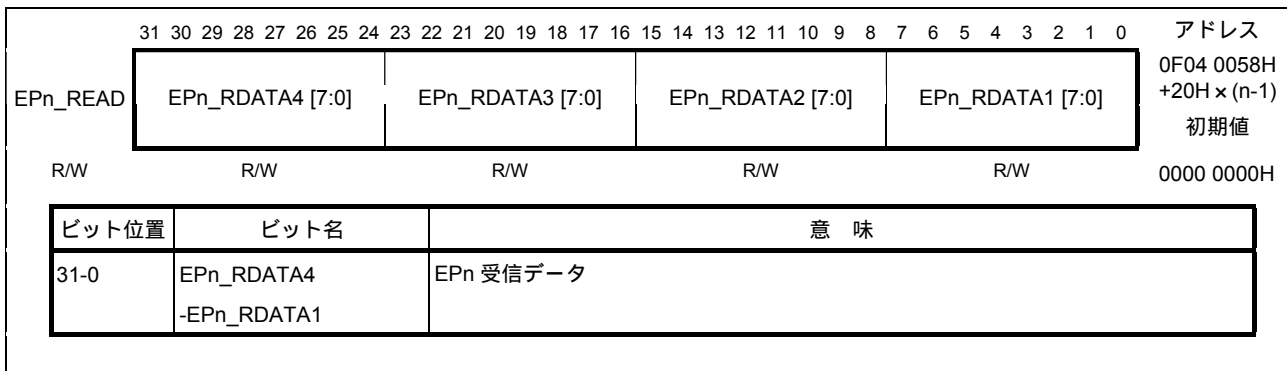
注 1. EP3, EP6, EP9 は Interrupt 転送タイプのため、このビットはありません。

2. 転送バイト数による値の指定はできません。

備考 n = 1-9

(21) EPn 受信バッファ (EPn\_READ)

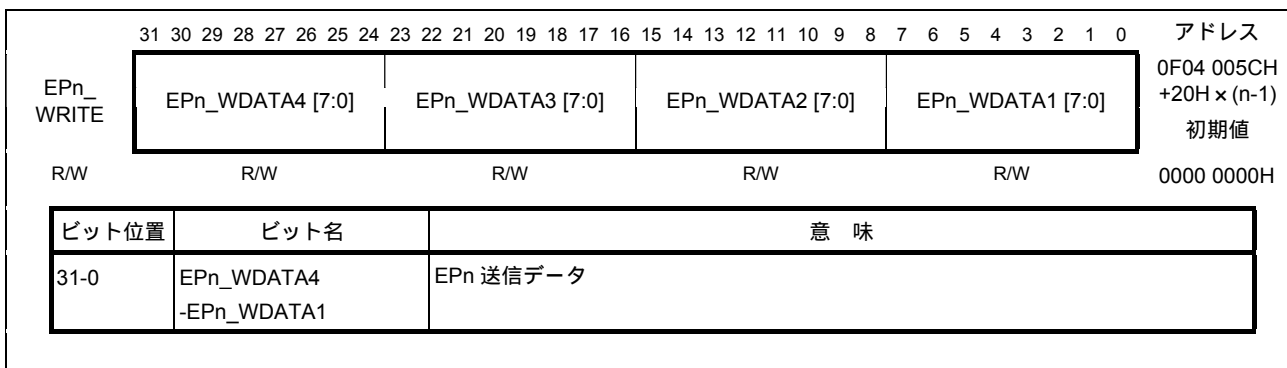
EPn の受信バッファです。



備考 n = 1-9

(22) EPn 送信バッファ (EPn\_WRITE)

EPn の送信バッファです。



備考 n = 1-9

### 18.4.13 System Bus-EPC Bridge Registers

#### (1) システム・バス・スレーブ制御レジスタ (SYSSCTR)

USB ファンクション・コントローラ側のシステム・バスに対するスレーブ機能の設定を行います。

**注意** このレジスタの初期値は 0000 0000H ですが、初期化時に 0000 0001H に設定し、以降は値を変更しないでください。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SYSSCTR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 1000H
																			WAIT_MODE	初期値 0000 0000H														
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名	意味																																
31-1	-	Reserved (必ず 0 を設定してください)																																
0	WAIT_MODE	このビットは、必ず 1 を設定し、以降、値を変更しないでください。		1b 固定																														

#### (2) システム・バス・マスタ制御レジスタ (SYSMCTR)

USB ファンクション・コントローラ側のシステム・バスに対するマスタ機能の設定を行います。

**注意** このレジスタの初期値は 0000 0030H ですが、初期化時に必ずビット 2 には 1 を設定し、以降は値を変更しないでください。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
SYSMCTR	ARBITER_CTR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0F04 1004H
																			初期値 0000 0030H															
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	
ビット位置	ビット名	意味																																
31	ARBITER_CTR	DMA 転送対象とするエンドポイントのアービトレーション方法を選択します。 0 : ラウンドロビン方式 (EPn+1 EPn+2 EPn+3...EP9 EP1) 1 : 固定優先方式 (EP1 > EP2 > EP3 > EP4 > EP5 > EP6 > EP7 > EP8 > EP9)																																
30-6	-	Reserved (必ず 0 を設定してください)																																
5	1	このビットは、初期値の 1 から値を変更しないでください。		1b 固定																														
4	1	このビットは、初期値の 1 から値を変更しないでください。		1b 固定																														
3	-	Reserved (必ず 0 を設定してください)		0b 固定																														
2	1	このビットは、必ず 1 を設定し、以降、値を変更しないでください。		1b 固定																														
1, 0	-	Reserved (必ず 0 を設定してください)		0b 固定																														

(3) システム・バス・ブリッジ割り込み要因レジスタ (SYSBINT)

System Bus-EPC Bridge の割り込み要因を示すレジスタです。

( 1/2 )

SYSBINT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	0	0	0	0	DMA_ENDINT8	DMA_ENDINT7	0	DMA_ENDINT5	DMA_ENDINT4	0	DMA_ENDINT2	DMA_ENDINT1	0	0	0	VBUS_INT	0	0	0	0	0	0	0	MBUS_ERRINT	0	SBUS_ERRINT0		ERR_MASTER	0F04 1008H 初期値 0000 0000H	
R/W	R/W	0	0	0	0	0	0	R/W	R/W	0	R/W	R/W	0	R/W	R/W	0	0	0	R/W	0	0	0	0	0	0	0	R/W	0	R/W		R		

ビット位置	ビット名	意味
31-19	-	Reserved (必ず0を設定してください)
18	DMA_ENDINT8	エンドポイント 8 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 8 の DMA 転送が終了していない 1 : エンドポイント 8 の DMA 転送が終了した
17	DMA_ENDINT7	エンドポイント 7 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 7 の DMA 転送が終了していない 1 : エンドポイント 7 の DMA 転送が終了した
16-14	-	Reserved (必ず0を設定してください)
18	DMA_ENDINT5	エンドポイント 5 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 5 の DMA 転送が終了していない 1 : エンドポイント 5 の DMA 転送が終了した
17	DMA_ENDINT4	エンドポイント 4 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 4 の DMA 転送が終了していない 1 : エンドポイント 4 の DMA 転送が終了した
16-14	-	Reserved (必ず0を設定してください)
18	DMA_ENDINT2	エンドポイント 2 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 2 の DMA 転送が終了していない 1 : エンドポイント 2 の DMA 転送が終了した
17	DMA_ENDINT1	エンドポイント 1 の DMA 転送が終了した場合にセット (1) されます。 このビットは 1 のライトでクリア (0) されます。 0 : エンドポイント 1 の DMA 転送が終了していない 1 : エンドポイント 1 の DMA 転送が終了した
16-14	-	Reserved (必ず0を設定してください)
13	VBUS_INT	VBUS 信号のレベルが変化することを示します。 このビットは 1 のライトでクリア (0) されます。 0 : VBUS の値が変化していない 1 : VBUS の値が変化した
12-7	-	Reserved (必ず0を設定してください)

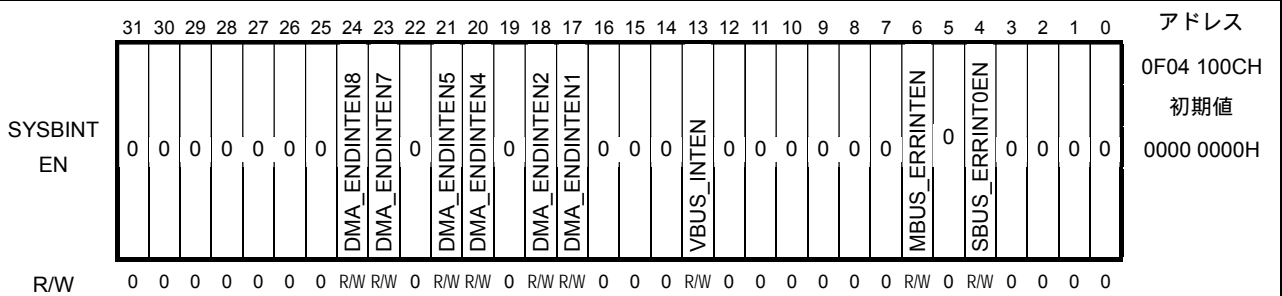


( 2/2 )

ビット位置	ビット名	意 味
6	MBUS_ERRINT	内部システム・バスに対するマスタ動作時にエラー応答を受信したことを示します。 このビットは 1 のライトでクリア (0) されます。 0 : エラー応答を受信していない 1 : エラー応答を受信した
5	-	Reserved (必ず 0 を設定してください)
4	SBUS_ERRINT0	内部システム・バスのスレーブに対して、32 ビットより大きいバス幅でのアクセスに対しエラー応答したことを示します。 このビットは 1 のライトでクリア (0) されます。 0 : エラー応答していない 1 : 32 ビットより大きいバス幅でのアクセスに対しエラー応答した
3-0	ERR_MASTER	SBUS_ERRINT0 ビット=1 のとき、エラー応答したマスタ番号を格納します。 このビットは SUBS_ERRINT0 をクリア (0) するまで、他の要因が発生しても値を保持します。

(4) システム・バス・ブリッジ割り込み許可レジスタ (SYSBINTEN)

システム・バス割り込みレジスタ (SYSBINT) のそれぞれの割り込み要因に対して許可 / 禁止の選択をします。禁止した割り込み要因は、その割り込みが発生しても割り込み信号はアサートされません。SYSBINT レジスタの対応するビットがセット (1) され保留されます。



ビット位置	ビット名	意味
31-25	-	Reserved (必ず0を設定してください)
24	DMA_ENDINTEN8	SYSBINT レジスタの DMA_ENDINT8 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
23	DMA_ENDINTEN7	SYSBINT レジスタの DMA_ENDINT7 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
22	-	Reserved (必ず0を設定してください)
21	DMA_ENDINTEN5	SYSBINT レジスタの DMA_ENDINT5 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
20	DMA_ENDINTEN4	SYSBINT レジスタの DMA_ENDINT4 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
19	-	Reserved (必ず0を設定してください)
18	DMA_ENDINTEN2	SYSBINT レジスタの DMA_ENDINT2 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
17	DMA_ENDINTEN1	SYSBINT レジスタの DMA_ENDINT1 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
16-14	-	Reserved (必ず0を設定してください)
13	VBUS_INTEN	SYSBINT レジスタの VBUS_INT の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
12-7	-	Reserved (必ず0を設定してください)
6	MBUS_ERRINTEN	SYSBINT レジスタの MBUS_ERRINT の有効/無効を選択します。 0: 無効 (保留されます) 1: 許可
5	-	Reserved (必ず0を設定してください)
4	SBUS_ERRINT0EN	SYSBINT レジスタの SBUS_ERRINT0 の許可 / 禁止を選択します。 0: 禁止 (保留されます) 1: 許可
3-0	-	Reserved (必ず0を設定してください)

(5) EPC 周辺制御レジスタ (EPCTR)

EPC (エンドポイント・コントローラ) および, USB ホスト/ファンクション統合コアに関連する制御を行います。

(1/2)

EPCTR	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px;">31</td><td style="width: 20px;">30</td><td style="width: 20px;">29</td><td style="width: 20px;">28</td><td style="width: 20px;">27</td><td style="width: 20px;">26</td><td style="width: 20px;">25</td><td style="width: 20px;">24</td><td style="width: 20px;">23</td><td style="width: 20px;">22</td><td style="width: 20px;">21</td><td style="width: 20px;">20</td><td style="width: 20px;">19</td><td style="width: 20px;">18</td><td style="width: 20px;">17</td><td style="width: 20px;">16</td><td style="width: 20px;">15</td><td style="width: 20px;">14</td><td style="width: 20px;">13</td><td style="width: 20px;">12</td><td style="width: 20px;">11</td><td style="width: 20px;">10</td><td style="width: 20px;">9</td><td style="width: 20px;">8</td><td style="width: 20px;">7</td><td style="width: 20px;">6</td><td style="width: 20px;">5</td><td style="width: 20px;">4</td><td style="width: 20px;">3</td><td style="width: 20px;">2</td><td style="width: 20px;">1</td><td style="width: 20px;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	アドレス 0F04 1010H 初期値 0000 0XX7H
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																			
R/W	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">R/W</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">R</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">R/W</td><td style="width: 20px;">R</td><td style="width: 20px;">R/W</td><td style="width: 20px;">R/W</td><td style="width: 20px;">R/W</td><td style="width: 20px;">R/W</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	R	0	0	R/W	R	R/W	R/W	R/W	R/W																																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	0	0	0	R	0	0	R/W	R	R/W	R/W	R/W	R/W																																		
ビット位置	ビット名	意味																																																																
31-13	-	Reserved (必ず 0 を設定してください)																																																																
12	DIRPD	<p>ダイレクト・パワーダウン設定ビットです。</p> <p>このビットをセット (1) すると, ダイレクト・パワーダウン状態になります。</p> <p>また, このビットが 1 の状態のときに 0 のライトでクリア (0) することで, ダイレクト・パワーダウンから復帰します。</p> <p>0: 通常動作 1: ダイレクト・パワーダウン状態</p>																																																																
11-9	-	Reserved (必ず 0 を設定してください)																																																																
8	VBUS_LEVEL	<p>入力端子 VBUS の状態を示します。</p> <p>0: VBUS = 0 1: VBUS = 1</p>																																																																
7-6	-	Reserved (必ず 0 を設定してください)																																																																
5	PLL_RESUME	<p>ファンクション・コントローラの PHY が Suspend 状態で, ファンクション・コントローラへのクロック供給が停止しているとき, このビットをセット (1) することでクロック供給を復帰します。クロック復帰後は, このビットを必ず 0 ライトでクリア (0) してください。</p> <p>0: 通常動作 1: クロック供給復帰</p>																																																																
4	PLL_LOCK	<p>USB コントローラ内蔵 PLL のロック状態を示します。</p> <p>0: PLL がロックしていない 1: PLL がロックしている</p>																																																																
3	PCICLK_MASK	<p>ホスト・コントローラ側の PCI クロック信号の供給を制御します。</p> <p>0: PCI クロック供給 1: PCI クロック停止</p> <p>このビットをセット (1) すると, ホスト・コントローラへはアクセスできません。</p>																																																																
2	PLL_RST	<p>PLL に供給されるリセット信号を制御します。</p> <p>0: PLL リセット解除 1: PLL リセット発行</p> <p>PLL はホスト・コントローラとファンクション・コントローラで共用しています。ホスト・コントローラ/ファンクション・コントローラのいずれかが動作中は, PLL_RST をアサートしないでください。</p>																																																																

( 2/2 )

ビット位置	ビット名	意 味
1	USBH_RST	ホスト・コントローラに供給するリセット信号を制御します。 0 : ホスト・コントローラのリセット解除 1 : ホスト・コントローラにリセット発行
0	EPC_RST	エンドポイント・コントローラに供給するリセット信号を制御します。 0 : EPC (エンドポイント・コントローラ) リセット解除 1 : EPC (エンドポイント・コントローラ) リセット発行

(6) EPn DMA コントロール・レジスタ 1 (EPnDCR1)

EPn の DMA 転送に関する設定を行います。

EPnDCR1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス				
	0	0	0	0	0	0	0	0	EPn_DMACNT [7:0]								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 1110H +10H x (n-1) 初期値 0000 0000H		
R/W	0	0	0	0	0	0	0	0	R/W								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意味
31-24	-	Reserved (必ず 0 を設定してください)
23-16	EPn_DMACNT <sup>※</sup>	DMA 転送するパケット数を設定します (EPn_PCKT_ADRS で設定した Max Packet Size 単位です。バイト数ではありません)。このフィールドは、通常はエンドポイント側の EPn_LEN_DCNT レジスタの EPn_DMACNT8-EPn_DMACNT0 ビットと同じ値を設定してください (32 ビット・バス幅で割り切れないデータ・パケットを処理するときは例外です)。ただし、EPn_LEN_DCNT レジスタの EPn_DMACNT8-EPn_DMACNT0 = 100H で使用する場合、このフィールドには 00H を設定してください。この値は 1 パケットの DMA 転送が終了するたびにデクリメントされます。
15-2	-	Reserved (必ず 0 を設定してください)
1	EPn_DIR0 <sup>※</sup>	DMA 転送の方向を設定します。このビットは EPn_CONTROL レジスタの EPn_DIR0 ビットと同じ値を設定してください。 0 : IN 方向 (エンドポイント・コントローラ : EPC システム・バス) 1 : OUT 方向 (エンドポイント・コントローラ : EPC システム・バス)
0	EPn_REQEN	エンドポイント・コントローラからの DMA 転送要求に対する制御を設定します。このビットは EPn_DMACNT レジスタで設定したパケット数の転送が完了するか、エンドポイント・コントローラがショート・パケットを受信し、DMA 転送が終了した時点で自動的にクリア (0) されます。 0 : DMA 要求無視 (DMA 転送不可状態) 1 : DMA 要求許可 (DMA 転送可能状態)

注 EPn\_REQEN = 1 のときは、操作禁止です。

備考 n = 1, 2, 4, 5, 7, 8

(7) EPn DMA コントロール・レジスタ 2 (EPnDCR2)

EPn の DMA 転送に関する設定を行います。

EPnDCR2	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">31</td><td style="width: 5%; text-align: center;">30</td><td style="width: 5%; text-align: center;">29</td><td style="width: 5%; text-align: center;">28</td><td style="width: 5%; text-align: center;">27</td><td style="width: 5%; text-align: center;">26</td><td style="width: 5%; text-align: center;">25</td><td style="width: 5%; text-align: center;">24</td><td style="width: 5%; text-align: center;">23</td><td style="width: 5%; text-align: center;">22</td><td style="width: 5%; text-align: center;">21</td><td style="width: 5%; text-align: center;">20</td><td style="width: 5%; text-align: center;">19</td><td style="width: 5%; text-align: center;">18</td><td style="width: 5%; text-align: center;">17</td><td style="width: 5%; text-align: center;">16</td><td style="width: 5%; text-align: center;">15</td><td style="width: 5%; text-align: center;">14</td><td style="width: 5%; text-align: center;">13</td><td style="width: 5%; text-align: center;">12</td><td style="width: 5%; text-align: center;">11</td><td style="width: 5%; text-align: center;">10</td><td style="width: 5%; text-align: center;">9</td><td style="width: 5%; text-align: center;">8</td><td style="width: 5%; text-align: center;">7</td><td style="width: 5%; text-align: center;">6</td><td style="width: 5%; text-align: center;">5</td><td style="width: 5%; text-align: center;">4</td><td style="width: 5%; text-align: center;">3</td><td style="width: 5%; text-align: center;">2</td><td style="width: 5%; text-align: center;">1</td><td style="width: 5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td colspan="10" style="text-align: center;">EPn_LMPKT [10:0]</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td colspan="10" style="text-align: center;">EPn_MPKT [10:0]</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	EPn_LMPKT [10:0]										0	0	0	0	0	EPn_MPKT [10:0]										<p>アドレス 4004 1114H +10H × (n-1) 初期値 0000 0000H</p>
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																	
0	0	0	0	0	EPn_LMPKT [10:0]										0	0	0	0	0	EPn_MPKT [10:0]																																												
R/W	0 0 0 0 0	R/W	0 0 0 0 0	R/W	000000																																																											

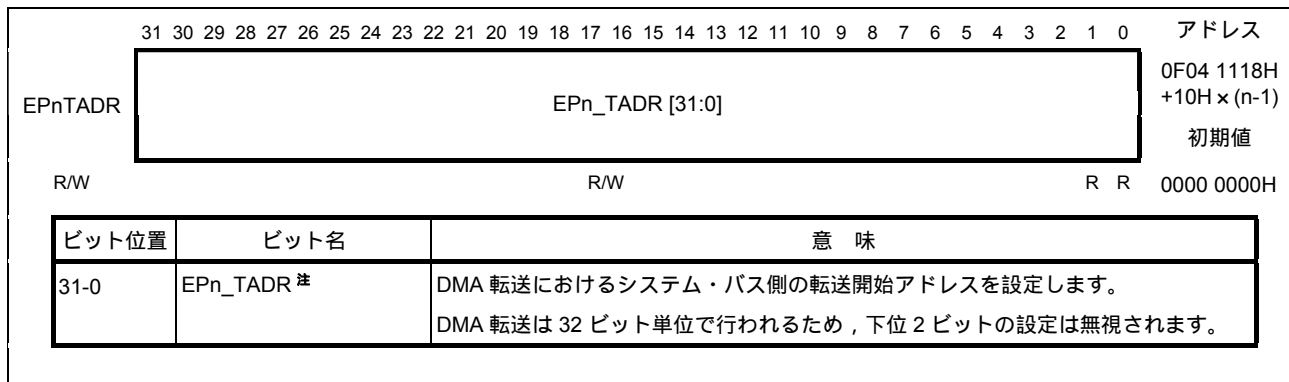
ビット位置	ビット名	意味
31-27	-	Reserved (必ず 0 を設定してください)
26-16	EPn_LMPKT 注	<p>DMA 転送の最終パケットのバイト長の表示, 設定を行います。 このフィールドの機能は DMA 転送方向によって異なります。</p> <p>IN 転送方向時 (EPn_DIR0 = 0)</p> <p>DMA 転送する最終パケットのバイト長を設定します。最終パケット転送時で設定されたバイト数まで転送した時点で ENDB_EPn をアサートし, DMA 転送を終了します。DMA 転送は 32 ビット単位で行われるため, このフィールドの下位 2 ビットの設定は無視されます。</p> <p>3 バイト以下の半端データは PIO 転送にて処理してください。</p> <p>&lt;設定例&gt;</p> <ul style="list-style-type: none"> <li>・ 512 バイト (Max Packet) 転送時は, このフィールドに 200H (512 バイト) を設定する。</li> <li>・ 511 バイト (ショート・パケット) 転送時は, このフィールドに 1FCH (508 バイト) を設定する。</li> </ul> <p>OUT 転送方向時 (EPn_DIR0 = 1)</p> <p>DMA で転送した最終パケットのバイト長を表示します。DMA 転送は 32 ビット単位で行われるため, このフィールドの下位 2 ビットの設定は無視されます。</p> <p>OUT 転送方向時は, このフィールドへのライトは無効です。</p>
15-11	-	Reserved (必ず 0 を設定してください)
10-0	EPn_MPKT 注	<p>EPn の Max Packet Size を設定します。</p> <p>エンドポイント・コントローラの EPn_PCKT_ADRS レジスタの EPn_MPKT10-EPn_MPKT_0 と同じ値を設定してください。</p>

注 EPn\_REQEN = 1 のときは, 操作禁止です。

備考 n = 1, 2, 4, 5, 7, 8

(8) EPn DMA 転送先アドレス・レジスタ (EPnTADR)

EPn の DMA 転送におけるシステム・バス側の転送開始アドレスの設定を行います。



注 EPn\_REQEN = 1 のときは、操作禁止です。

備考 n = 1, 2, 4, 5, 7, 8

## 18.5 USB 機能のレジスタ・アクセス方法

### 18.5.1 USB Host 側のレジスタ・アクセス

(1) PCI Configuration アクセス

PCI Configuration Space のレジスタ・アクセスは、System Bus-PCI Window1 エリア（USB Host 側アドレス 10000H-107FFH：2K バイト空間）を介して行います。その際、SYSPCI\_WIN1\_CTR レジスタを正しく設定しておく必要があります。以下に OHCI / EHCI および System Bus-PCI Bridge の各 PCI Configuration Space へアクセスする際の、SYSPCI\_WIN1\_CTR レジスタの設定方法を示します。

表 18-10 SYSPCI\_WIN1\_CTR レジスタ設定

アクセス対象領域	SYSPCI_WIN1_CTR レジスタ設定値		
	PCIWIN1_BASEADR[31:11]	PCICMD[2:0]	CFGTYPE
OHCI / EHCI PCI Configuration Space	ビット 31 のみセット (1)	101b	0b
System Bus-PCI Bridge PCI Configuration Space	ビット 30 のみセット (1)		

(2) PCI 空間上のアドレス割り当て

PCI Configuration Space 以外の USB ホスト・コントローラ側のレジスタ・アクセスや、ホスト・コントローラと System Bus 側のワーク・メモリ領域間でデータ転送を正しく行わせるためには、USB コントローラ内部の PCI 空間上のアドレスが正しくマッピングされている必要があります。この USB コントローラでは、PCI 空間上に以下の 3 つのレジスタ領域がマッピングされます。

OHCI / EHCI Operational Registers 領域

System Bus-PCI Bridge PCI Communication Registers 領域

PCI-System Bus Window 1 領域（ホスト・コントローラから内部システム・バス空間へのアクセスに使用）

各領域の要求サイズと、PCI 空間上における領域のベース・アドレスを設定するレジスタを以下の表に示します。

表 18-11 PCI 空間に配置されるレジスタ領域

Register Area	要求サイズ	設定レジスタ
OHCI Operational Registers 領域	64K バイト	PCI Configuration Registers for OHCI OHCI Base Address ( 0F03 0010H )
EHCI Operational Registers 領域	64K バイト	PCI Configuration Registers for EHCI EHCI Base Address ( 0F03 0110H )
System Bus-PCI Bridge PCI Communication Registers 領域	1K バイト	PCI Configuration Registers for System Bus-PCI Bridge PCICOM Base Address ( 0F03 0010H )
PCI-System Bus Window 1 領域	256M バイト	PCI Configuration Registers for System Bus-PCI Bridge PCI-WIN1 Base Address ( 0F03 0014H )

PCI 空間上で、上記の 3 領域が重複しないようにアドレスを設定する必要があります。各領域が重複して設定されている場合、ホスト・コントローラ～System Bus-PCI Bridge 間の転送が正常に行えません。



## (3) アドレス設定例

表 18-12 および表 18-13 に推奨アドレス設定例を記します。

推奨アドレスを設定したときの各メモリ・マップは図 18-7 , 図 18-8 のとおりとなります。

**表 18-12 推奨アドレス設定例 (PCI アドレス空間設定)**

PCI Configuration 領域	アドレス	レジスタ名 (アドレス)	設定値	図 18-7 説明番号
System Bus-PCI Bridge 注 <sup>1</sup>	0F03 0010H	System Bus-PCI Bridge Registers Base Address	0F03 0800H	
	0F03 0014H	PCI-System Bus WIN1 Base Address	F000 0008H	
OHCI Host Controller 注 <sup>2</sup>	0F03 0010H	OHCI Base Address	0F02 0000H	
EHCI Host Controller 注 <sup>2</sup>	0F03 0110H	EHCI Base Address	0F02 1000H	

注 1. PCI Configuration 領域の System Bus-PCI Bridge に配置されているレジスタへのアクセスは , SYSPCI\_WIN1\_CTR レジスタに 4000 000AH が設定されているときに有効です。

2. PCI Configuration 領域の OHCI Host Controller / EHCI Host Controller に配置されているレジスタへのアクセスは , SYSPCI\_WIN1\_CTR レジスタに 8000 000AH が設定されているときに有効です。

**表 18-13 推奨アドレス設定例 (CPU アドレス空間設定)**

アドレス	レジスタ名	設定値	図 18-7 説明番号
0F03 0800H	PCISYS_WIN1_CTR	F000 0003H	
0F03 0814H	SYSPCI_WIN2_CTR	0F02 0006H	

図 18-7 PCI メモリ・マップ (推奨アドレス設定時)

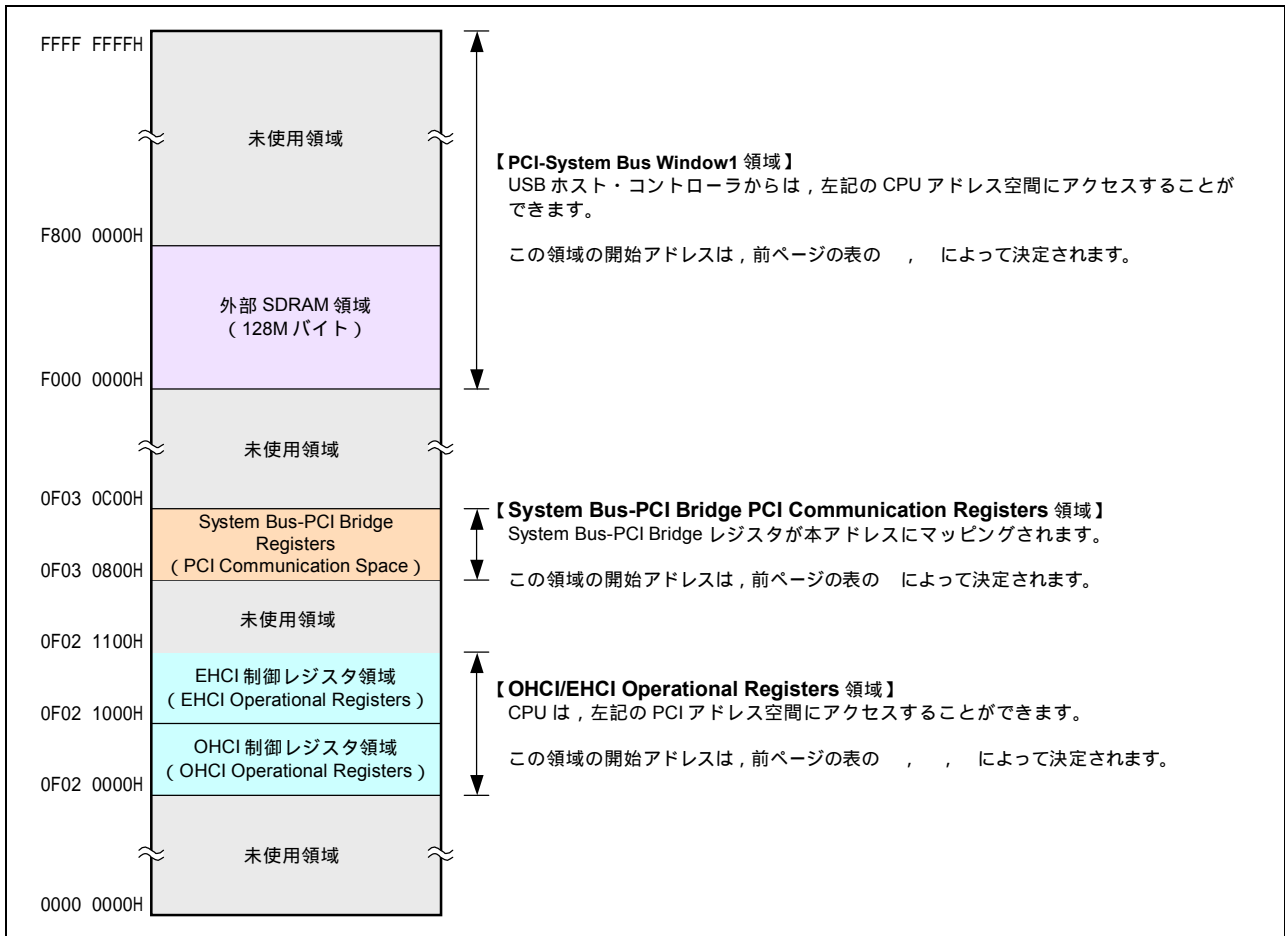
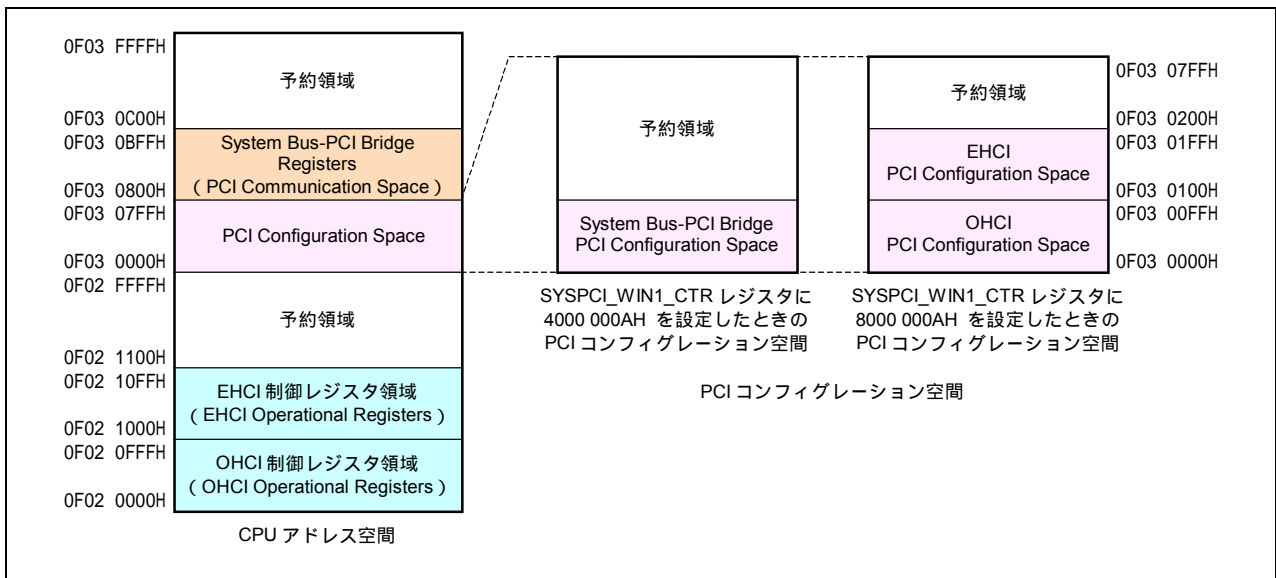


図 18-8 CPU , PCI コンフィグレーション メモリ・マップ (推奨アドレス設定時)



## (4) OHCI / EHCI Operational Registers アクセス

OHCI / EHCI Operational Registers 領域へレジスタ・アクセスする際は、PCI 空間のアドレス・マッピングの設定のほか、OHCI / EHCI PCI Configuration Space および SYSPCI\_WIN2\_CTR レジスタの設定が必要です。

以下に必要な設定を示します( SYSPCI\_WIN1\_CTR レジスタに 8000 000AH が設定されているとき )。

**表 18-14 OHCI / EHCI Operational Registers 領域アクセスに必要な設定**

アドレス	レジスタ	フィールド	設定
0F03 0004H	PCI Configuration Space for OHCI Host Controller	Command	ビット 1 の Memory Space をセット ( 1 )
0F03 1004H	PCI Configuration Space for EHCI Host Controller	Command	ビット 1 の Memory Space をセット ( 1 )
0F03 0814H	SYSPCI_WIN2_CTR	PCICMD [2:0]	011b ( Memory Read / Memory Write )

## 18.5.2 USB Function 側のレジスタ・アクセス

### (1) EPC (エンドポイント・コントローラ) のレジスタ・アクセス時の注意点

EPC (エンドポイント・コントローラ) 領域へのレジスタ・アクセスは、USB ファンクション・コントローラにクロックが供給されている状態でのみ行ってください。

クロック供給停止中に EPC (エンドポイント・コントローラ) 領域へアクセスした場合、内部システム・バスがデッドロックする可能性があります。クロック供給のステータスは System Bus-EPC Bridge の EPC 周辺制御レジスタ (EPCTR) のビット 4 の PLL\_LOCK で確認できます。

以下の場合、必ずクロック供給を確認してください。

- ・リセット解除後、最初に EPC のレジスタにアクセスするとき
- ・RemoteWakeUp によるレジューム解除時 ( 18.8.3(2)(ii) Remote Wakeup 参照 )

### (2) 未使用 ( Reserved ) 領域アクセス時の注意点

未使用 ( Reserved ) 領域にはアクセスしないでください。

## 18.6 割り込み

### 18.6.1 割り込み一覧

以下に USB コントローラから発生する割り込み信号の一覧を示します。

表 18-15 USB 割り込み一覧

割り込み信号	機 能
INTU2H	System Bus-PCI Bridge が発生する割り込み信号です。
INTU2HPME	ホスト・コントローラが発生する PME 割り込み信号です。
INTU2HOHCI	ホスト・コントローラが発生する INTA 割り込み信号です。
INTU2HEHCI	ホスト・コントローラが発生する INTB 割り込み信号です。
INTU2F	System Bus-EPC Bridge が発生する割り込み信号です。
INTU2FEPC	EPC (エンドポイント・コントローラ) が発生する割り込み信号です。

## 18.6.2 割り込み制御レジスタ

USB コントローラは、1 本の割り込み信号に対して、複数の要因が多重化されているものがあります。このため、割り込みコントローラの割り込み制御レジスタとは別に、多重化された要因ごとの割り込み制御機能が USB コントローラに設けられています。

これらのレジスタで、割り込みステータス確認、割り込み要求のクリア、割り込みの許可 / 禁止設定が行えます。

表 18-16 USB 割り込み制御レジスタ一覧

割り込み要求	制御レジスタ			
	割り込みステータス確認、割り込み要求クリア		割り込み許可 / 禁止設定	
	アドレス	レジスタ名称	アドレス	レジスタ名称
INTU2H	0F03 0824H	PCI_INT_STATUS	0F03 0820H	PCI_INT_ENABLE
INTU2HPME	0F03 0044H	PCI Configuration Registers for OHCI Power Management Control/Status, PMCSR Bridge Support Extensions (ビット 15 PME Status)	0F03 0044H	PCI Configuration Registers for OHCI Power Management Control/Status, PMCSR Bridge Support Extensions (ビット 9 PME Enable)
			0F03 0820H	PCI_INT_ENABLE(ビット 19 USBH_PMEEN)
	0F03 0144H	PCI Configuration Registers for EHCI Power Management Control/Status, PMCSR Bridge Support Extensions (ビット 15 PME Status)	0F03 0144H	PCI Configuration Registers for EHCI Power Management Control/Status, PMCSR Bridge Support Extensions (ビット 9 PME Enable)
			0F03 0820H	PCI_INT_ENABLE(ビット 19 USBH_PMEEN)
INTU2HOHCI	0F02 000CH	HcInterruptStatus	0F02 0010H	HcInterruptEnable
			0F02 0014H	HcInterruptDisable
			0F03 0820H	PCI_INT_ENABLE (ビット 16 USBH_INTAEN)
INTU2HEHCI	0F02 000CH	HcInterruptStatus	0F02 0010H	HcInterruptEnable
			0F02 0014H	HcInterruptDisable
			0F03 0820H	PCI_INT_ENABLE (ビット 17 USBH_INTBEN)
INTU2F	0F04 1008H	SYSBINT	0F04 100CH	SYSBINTEN
INTU2FEPC	0F04 0020H	USB_INT_STA	0F04 0024H	USB_INT_ENA
	0F04 002CH	EP0_STATUS	0F04 0030H	EP0_INT_ENA
	0F04 0044H	EPn_STATUS	0F04 0048H	EPn_INT_ENA
	+ 20H × n		+ 20H × n	

備考 n = 1-9

## 18.6.3 割り込み要求信号クリアの注意事項

USB ホスト / ファンクション・コントローラが発生する割り込みは、内部システム・バスのアクセス状況によっては、割り込み要因のクリアから、実際の割り込みのクリアまでの時間が長くなり、同一のステータスの割り込みを複数回認識してしまう可能性があります。

確実なクリア操作を行うために、割り込み要因のクリアの後に、USB ホスト・コントローラまたは USB ファンクション・コントローラへのダミー・リードを行ってください。

## 18.7 VBUS の検出

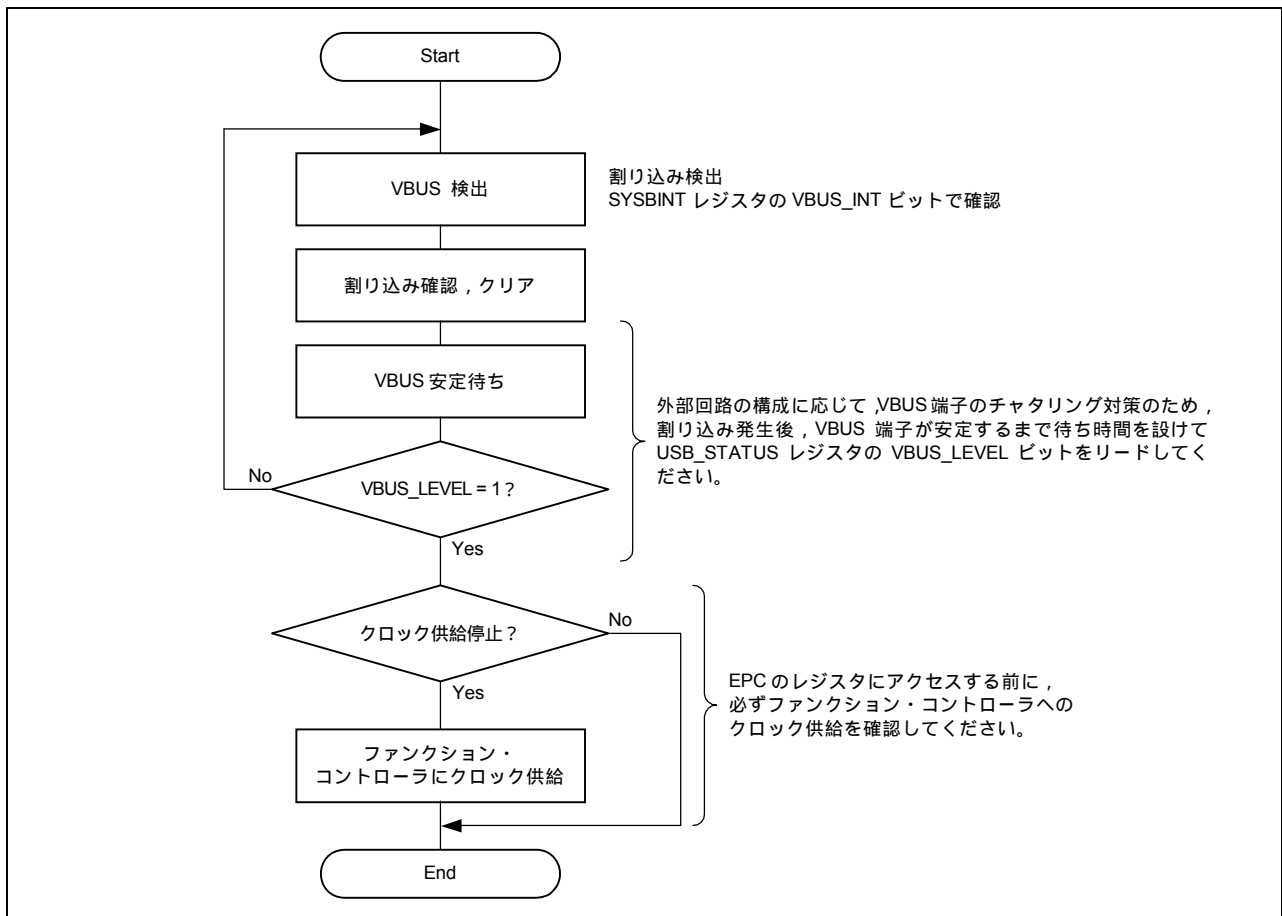
VBUS の検出は、EPC 周辺制御レジスタ (EPCTR) の VBUS\_LEVEL ビットで VBUS のレベルを確認してください。

また VBUS 信号の状態変化時に INTU2F 割り込みにより、システム・バス・ブリッジ割り込み要因レジスタ (SYSBINT) の VBUS\_INT ビットで VBUS の変化を認識することもできます。

なお、VBUS による INTU2F 割り込みは、IDLE モードの解除にも利用できます。

### 18.7.1 VBUS 検出のフロー

図 18-9 VBUS 検出フロー



- 注意 1.** VBUS\_LEVEL はアクティブ・ハイです。USB ステータス・レジスタ (USB\_STATUS) の VBUS\_LEVEL ビットは、VBUS オン状態でセット (1) されます。
- 2.** Suspend 状態かつファンクション・コントローラへのクロック供給が停止した状態で USB が Disconnect された場合は、EPC 周辺制御レジスタ (EPCTRS) のビット 0 の EPC\_RST をセット (1) して、ファンクション・コントローラをリセットしてください。
- 3.** VBUS 端子のチャタリング時間は、外部回路の構成等により異なります。実際のシステム上で評価して安定時間を設けることを推奨します。

## 18.8 Power Management 機能

### 18.8.1 Power Management 機能概要

Power Management は、以下の 2 つに大別できます。

セットとして USB を使用する場合 (PowerDown 状態から復帰する場合)

セットとして USB を使用しない場合 (PowerDown 状態から復帰を想定しない場合)

ホスト・コントローラのみを使用する場合、ファンクション・コントローラのみを使用する場合、および両方を使用しない場合のそれぞれについて、Power Management の方法を説明します。

セットとして USB を使用しない場合は、「18.9 USB 機能を利用しない場合について」と、端子処理については、「2.1.11 USB 端子」を参照してください。

表 18-17 Power Management 概要

利用しない機能	処 置
ホスト・コントローラのみ 使用しない場合	「18.8.2 USB ホスト・コントローラの Power Management」により、ホスト・コントローラを Power Down / Power On してください。
ファンクション・コントローラのみ 使用しない場合	「18.8.3 USB ファンクション・コントローラの Power Management」によりファンクション・コントローラを Power Down / Power On してください。
ホスト・コントローラ/ ファンクション・コントローラの 両方を使用しない場合	「18.8.2USB ホスト・コントローラの Power Management」、 「18.8.3USB ファンクション・コントローラの Power Management」の両方を実施する必要があります。 ホスト・コントローラ/ファンクション・コントローラの両方が停止すると、USB コントローラ内蔵の PLL が停止します。



## 18.8.2 USB ホスト・コントローラの Power Management

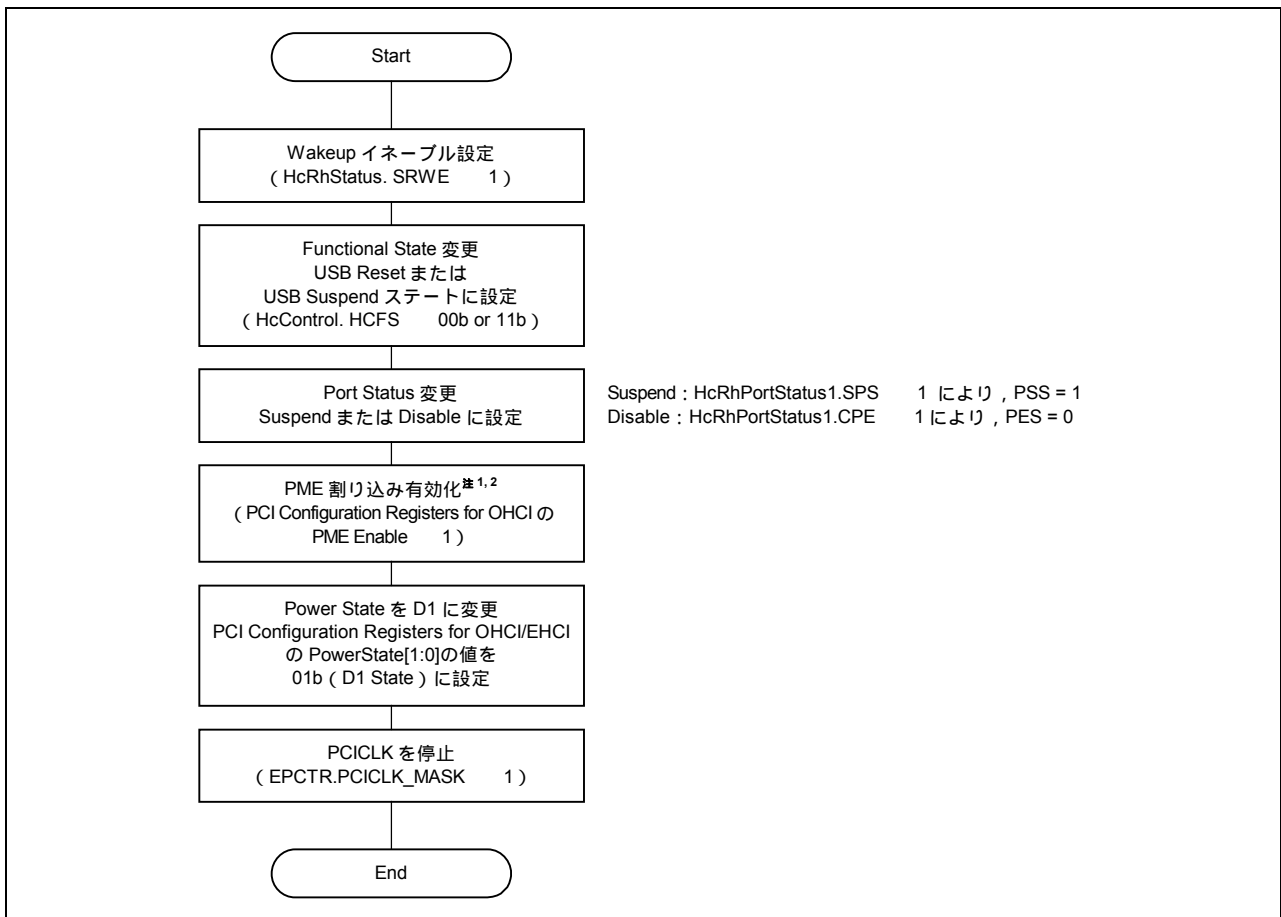
ホスト・コントローラを使用しない場合、ホスト・コントローラを Power Down し、USB コントローラ内部の PCI クロック (PCLK) を停止させて消費電力を削減することができます。System Bus -EPC Bridge 内のレジスタにより制御できます。

以下にホスト・コントローラを Power Down 状態とするためのフローを記載します。

### (1) Power Down

#### (i) OHCI 使用時

図 18-10 ホスト・コントローラ側 Power Down フロー (OHCI 使用時)

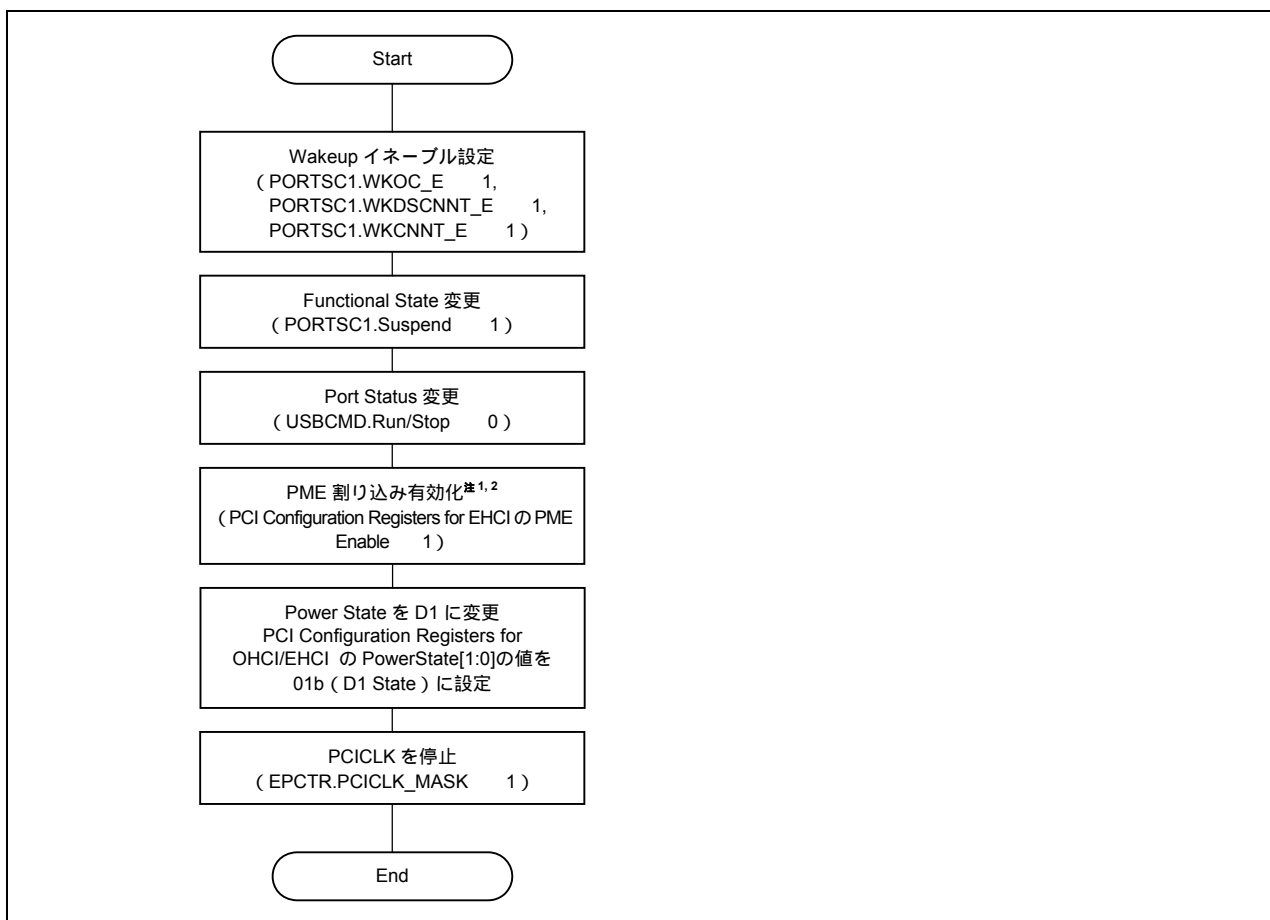


注 1. Power Down 中に USB バス上のイベント (Connect / Disconnect / Resume) を検出するために、PME 割り込みを有効にしておく必要があります。

2. PME 割り込みは、INTU2HPME 割り込みとして CPU に通知されます。このため、INTU2HPME 割り込み要求がマスクされていた状態からマスク解除する場合は、INTU2HPME 割り込みの割り込み要求クリアとマスクの解除を行ってください (EIC132.EIRF132 0 (割り込み要求のクリア), EIMK132 0 (割り込み許可))。

## (ii) EHCI 使用時

図 18-11 ホスト・コントローラ側 Power Down フロー (EHCI 使用時)



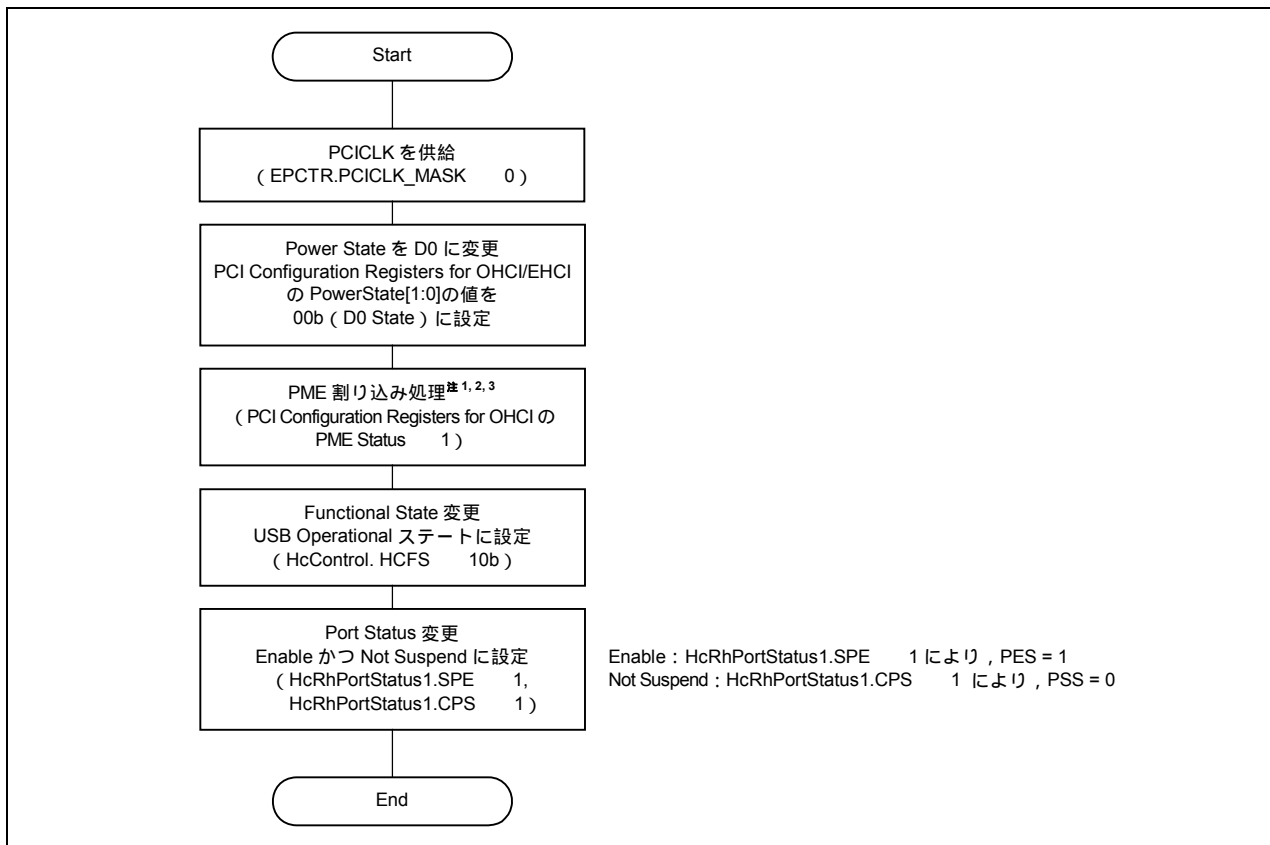
- 注 1. PowerDown 中に USB バス上のイベント (Connect / Disconnect / Resume) を検出するために、PME 割り込みを有効にしておく必要があります。
2. PME 割り込みは、INTU2HPME 割り込みとして CPU に通知されます。このため、INTU2HPME 割り込み要求がマスクされていた状態からマスク解除する場合は、INTU2HPME 割り込みの割り込み要求クリアとマスクの解除を行ってください (EIC132.EIRF132 = 0 (割り込み要求のクリア), EIMK132 = 0 (割り込み許可))。

## (2) Power On

Power Down から復帰する場合は、Power Down 時と逆のフローでレジスタを操作して下さい。

## (i) OHCI 使用時

図 18-12 ホスト・コントローラ側 Power On フロー (OHCI 使用時)



注 1. 以下の USB バス上のイベントを検出した場合は、PowerDown 時でも PME 割り込みが発生しません。

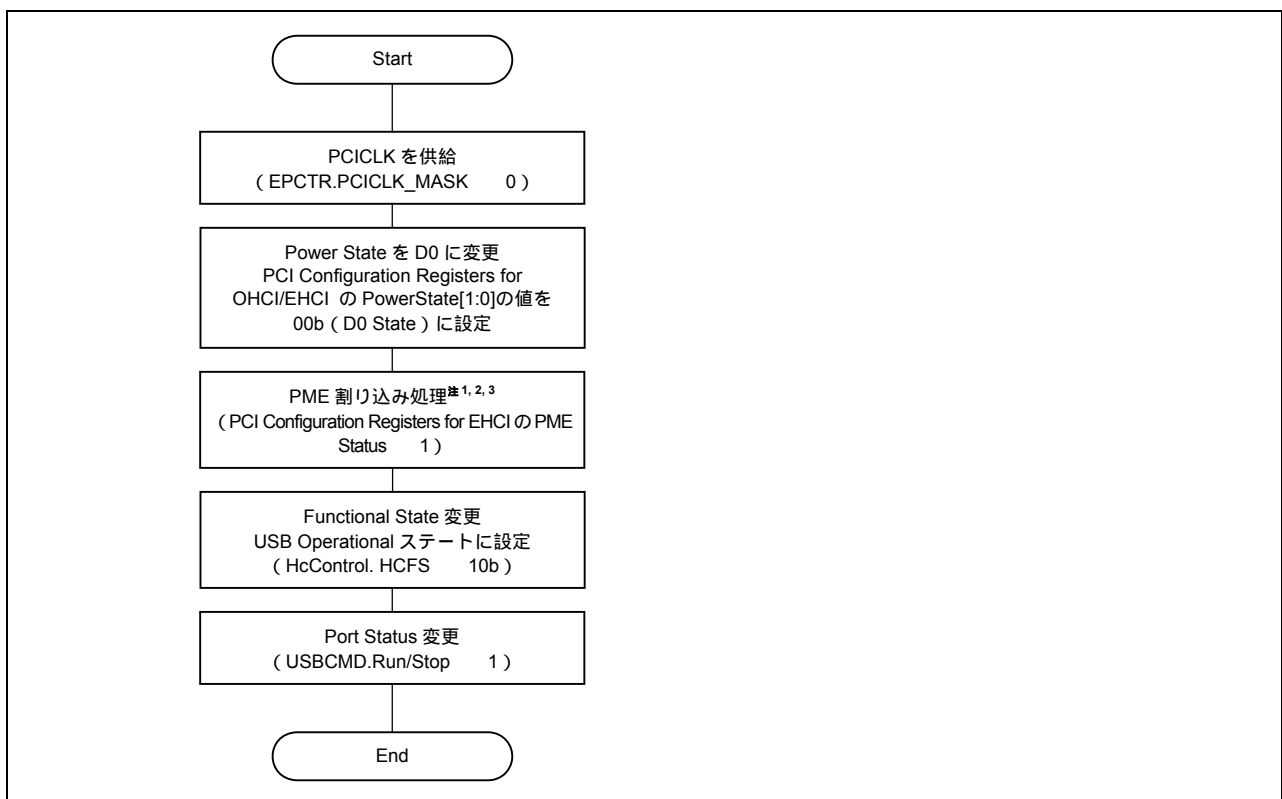
- Device Connect
- Device Disconnect
- RemoteWakeUp ( Suspend 時 )

2. 割り込み要因は HcRhPortStatus1 レジスタにて確認できます。

3. PME 割り込み検出後は、PCICLK を供給してから割り込み要因のクリア ( PCI Configuration Registers for OHCI の PME Status 1, HcRhStatus1 の各ビット 1 ) を行ってください。

## (ii) EHCI 使用時

図 18-13 ホスト・コントローラ側 Power On フロー (EHCI 使用時)



注 1. 以下の USB バス上のイベントを検出した場合は、Power Down 時でも PME 割り込みが発生します。

- Device Connect
- Device Disconnect
- RemoteWakeUp ( Suspend 時 )

2. 割り込み要因は PORTSC1 レジスタにて確認できます。

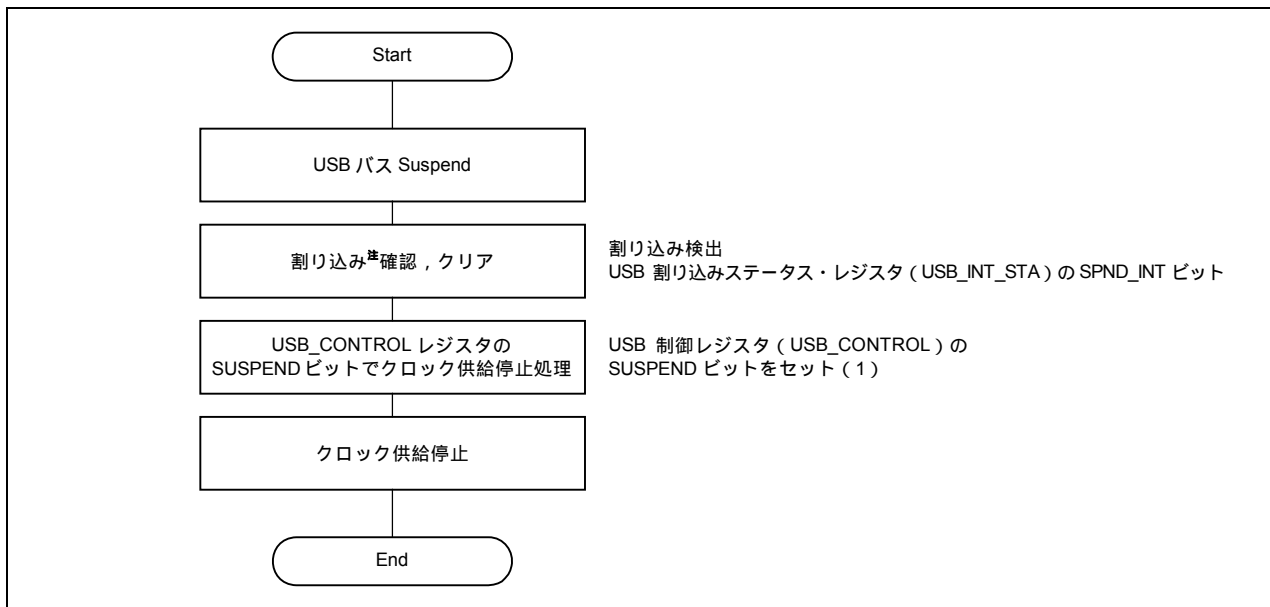
3. PME 割り込み検出後は、PCICLK を供給してから割り込み要因のクリア ( PCI Configuration Registers for OHCI の PME Status 1 , HcRhStatus1 の各ビット 1 ) を行ってください。

### 18.8.3 USB ファンクション・コントローラの Power Management

#### (1) Power Down

以下に USB ファンクション・コントローラ側の Power Down のフローを示します。

図 18-14 ファンクション・コントローラ側 Power Down フロー



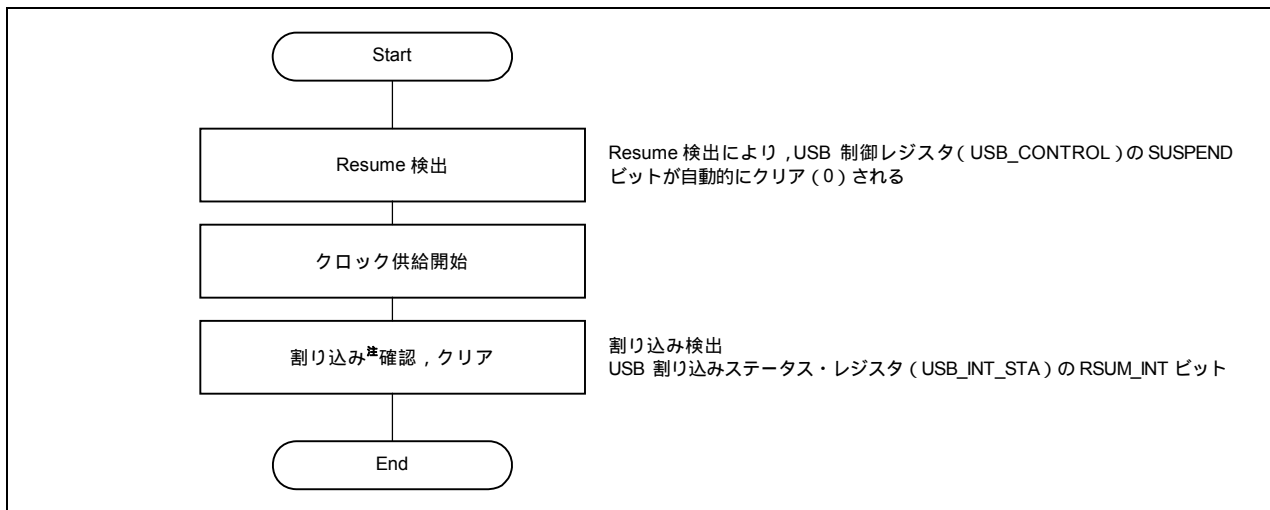
注 SPND\_INT 割り込みは、USB バスの Suspend 状態を検出した場合のほか、USB バスが Disconnect 状態 (USB 制御レジスタ (USB\_CONTROL.CONNECTB = 1)) でも発生します。

(2) Power On

Power On は、USB ホストからの Resume と、Remote Wakeup の 2 通りがあります。

(i) Resume

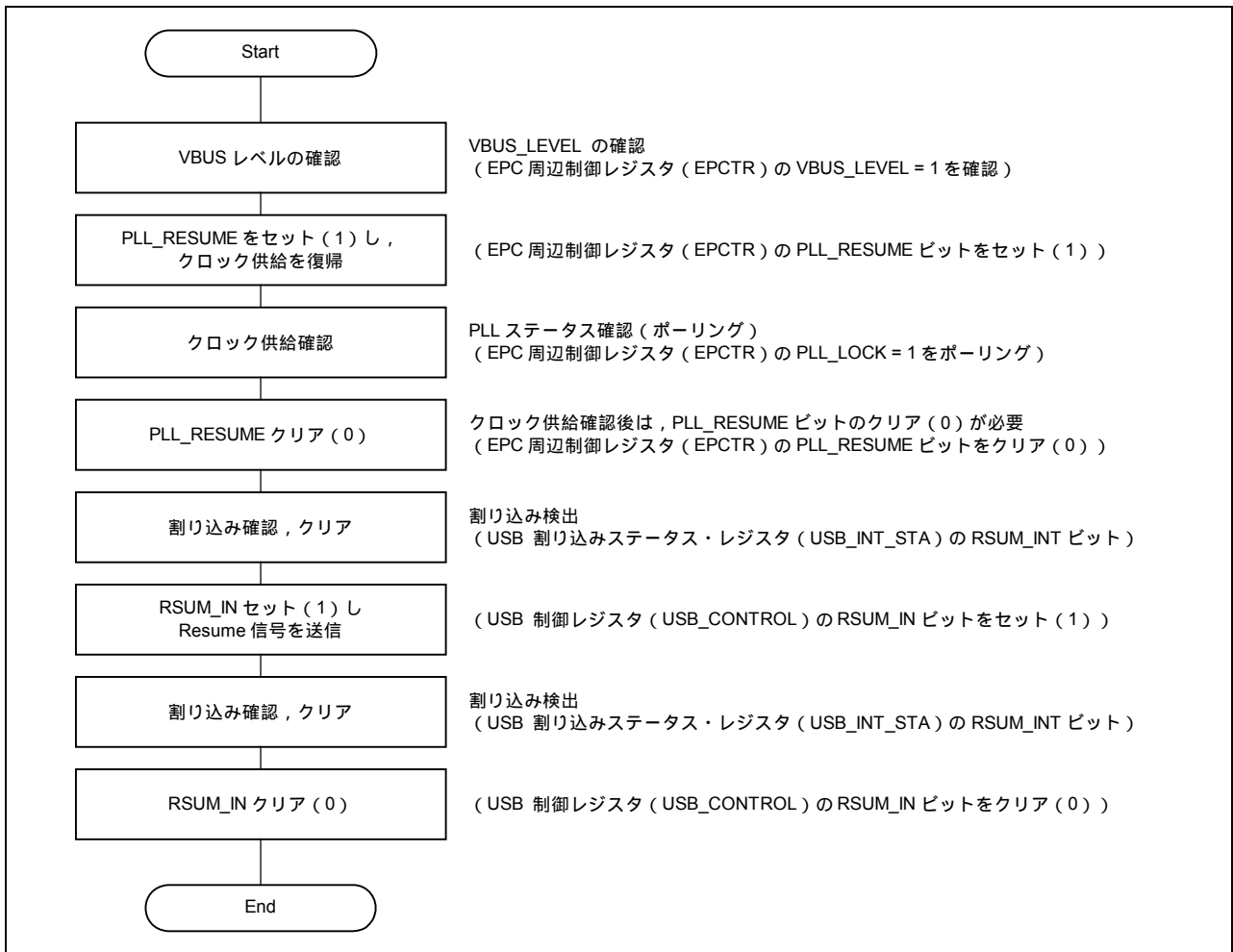
図 18-15 Resume 検出時の Power On フロー



**注** Resume を検出すると、USB 制御レジスタ (USB\_CONTROL) の SUSPEND ビットは自動的にクリア (0) され、RSUM\_INT 要因で INTU2FEPC 割り込みが発生します。

## (ii) Remote Wakeup

図 18-16 Remote Wakeup 時の Power On フロー



**注意** Suspend 中に USB ケーブルが抜かれる場合があるため、Remote Wakeup 時は、VBUS\_LEVEL = 1 を確認してください。確認後、EPC 周辺機能レジスタ (EPCTR) レジスタの PLL\_RESUME ビットをセット (1) してください。Resume 動作と同様に、USB 制御レジスタ (USB\_CONTROL) の SUSPEND ビットは自動的にクリア (0) され、クロックが供給されます。

クロックの供給状態は、EPCTR レジスタの PLL\_LOCK = 1 で確認してください。その後、USB\_CONTROL レジスタの RSUM\_IN ビットをセット (1) することで、Remote Wakeup を行ってください。RSUM\_IN ビットは、RSUM\_INT 要因による INTU2FEPC 割り込みを検出後、必ずクリア (0) してください。

### 18.8.4 ダイレクト・パワーダウン

システムとして、USB 機能全体を使用しない場合は、ダイレクト・パワーダウンにより、USB 機能全体の消費電力を低減することができます。

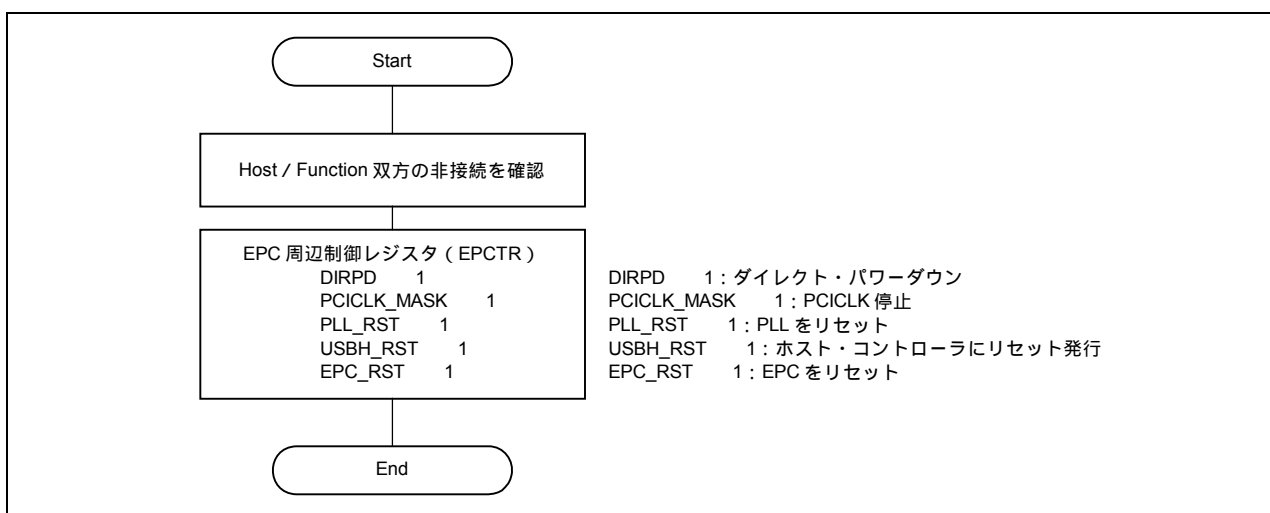
ダイレクト・パワーダウン時は、ホスト・コントローラ、ファンクション・コントローラともにパワーダウン状態になります。

#### (1) ダイレクト・パワーダウン設定

ダイレクト・パワーダウン時の設定を以下に示します。

動的に USB 機能を利用したり / 利用しなかったりするケースがなく、常に利用しない場合は「2.1.11 USB 端子」に従って、端子の処理を行ってください。

図 18-17 ダイレクト・パワーダウン設定フロー



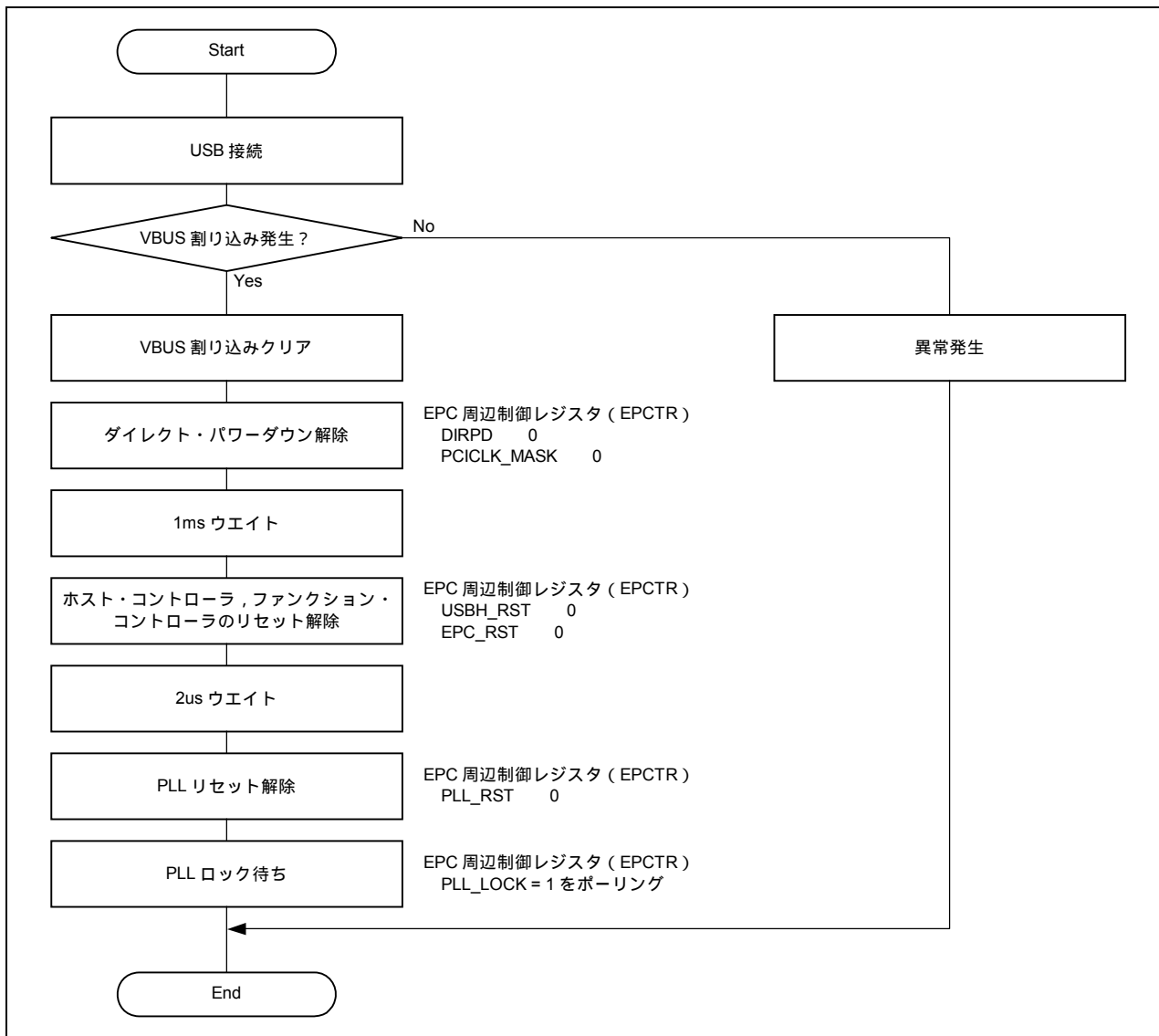


(2) ダイレクト・パワーダウンからの復帰

ダイレクト・パワーダウンから復帰する場合の設定を以下に示します。

なお、PFESiP/V850EP3 の USB コントローラは、USB ホストの接続によるダイレクト・パワーダウンからの復帰は対応していません。

図 18-18 ダイレクト・パワーダウンからの復帰フロー



## 18.9 USB 機能を利用しない場合について

ホスト・コントローラ、ファンクション・コントローラの一方または、両方を使用しない場合のソフトウェア上の処理方法を示します。

ホスト・コントローラのみを使用する場合、ファンクション・コントローラのみを使用する場合、両方を使用しない場合のそれぞれの場合について、Power Management 方法を説明します。

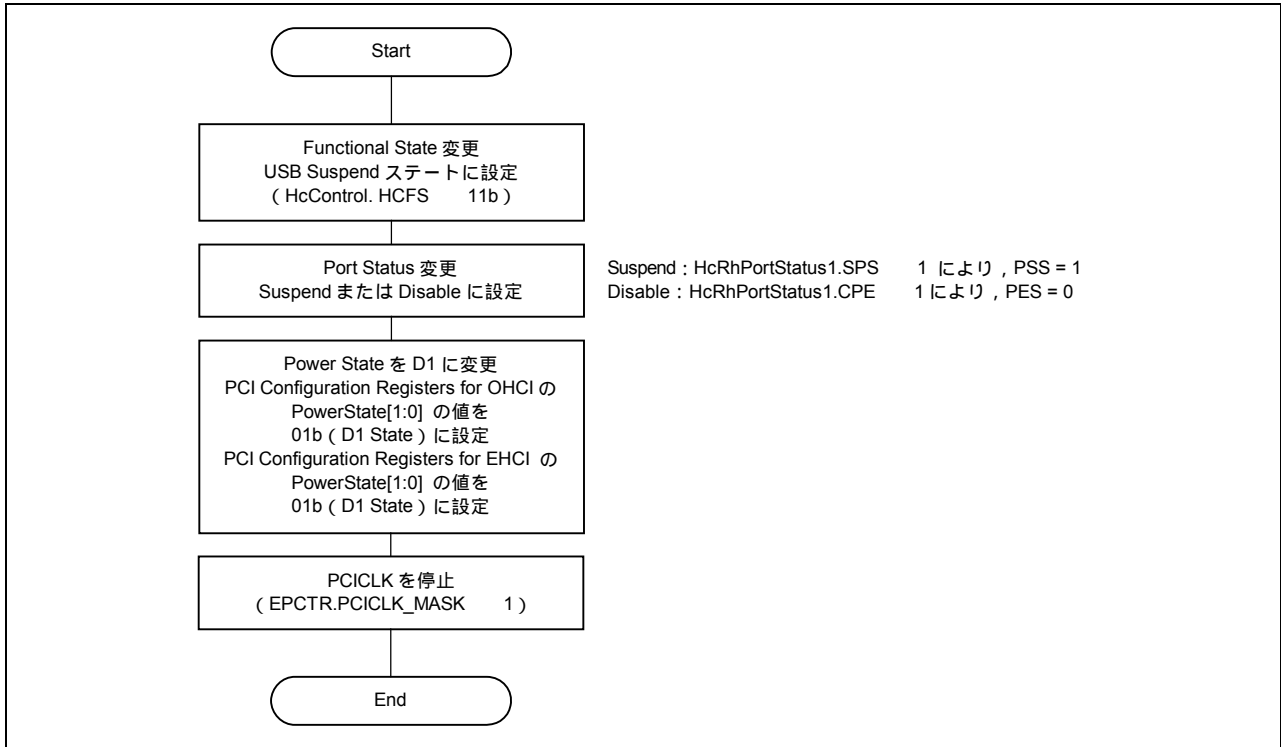
表 18-18 USB 機能を利用しない場合の処理

利用しない機能	処 置
ホスト・コントローラのみ 使用しない場合	「18.8.2 USB ホスト・コントローラの Power Management」により、ホスト・コントローラを Power Down / Power On してください。
ファンクション・コントローラのみ 使用しない場合	「18.8.3 USB ファンクション・コントローラの Power Management」によりファンクション・コントローラを Power Down / Power On してください。
ホスト・コントローラ / ファンクション・コントローラの 両方を使用しない場合	「18.8.2 USB ホスト・コントローラの Power Management」、 「18.8.3 USB ファンクション・コントローラの Power Management」の両方を実施する必要があります。 ホスト・コントローラ / ファンクション・コントローラの両方が停止すると、USB コントローラ内蔵の PLL が停止します。

### 18.9.1 ホスト・コントローラを使用しない場合の処理

ホスト・コントローラを使用しない場合のフローを以下に示します。

図 18-19 ホスト・コントローラを使用しない場合の設定フロー



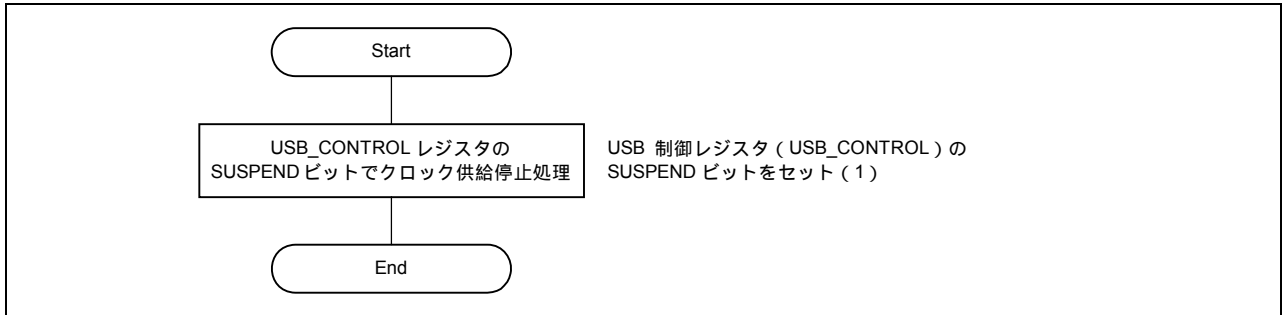
**注意** PFESiP/V850EP3 の USB コントローラは、ホスト・コントローラとファンクション・コントローラで共通の PLL を使用しています。このため PLL を停止する場合は、ホスト・コントローラとファンクション・コントローラの双方を Power Down 状態に設定する必要があります。

リセット解除後は、ホスト・コントローラ、ファンクション・コントローラとも Power On です。このためホスト・コントローラを使用しない場合は、初期化時に上記のフローでホスト・コントローラを Power Down 状態に設定する必要があります。

### 18.9.2 ファンクション・コントローラを使用しない場合の処理

ファンクション・コントローラを使用しない場合，以下のフローでクロックを停止してください。

図 18-20 ファンクション・コントローラを使用しない場合の設定フロー



**注意** PFESiP/V850EP3 の USB コントローラは，ホスト・コントローラとファンクション・コントローラで共通の PLL を使用しています。このため PLL を停止する場合は，ホスト・コントローラとファンクション・コントローラの双方を Power Down 状態に設定する必要があります。

リセット解除後は，ホスト・コントローラ，ファンクション・コントローラとも Power On です。このためファンクション・コントローラを使用しない場合は，初期化時に上記のフローでファンクション・コントローラを Power Down 状態に設定する必要があります。

### 18.9.3 双方の機能を使用しない場合の処理

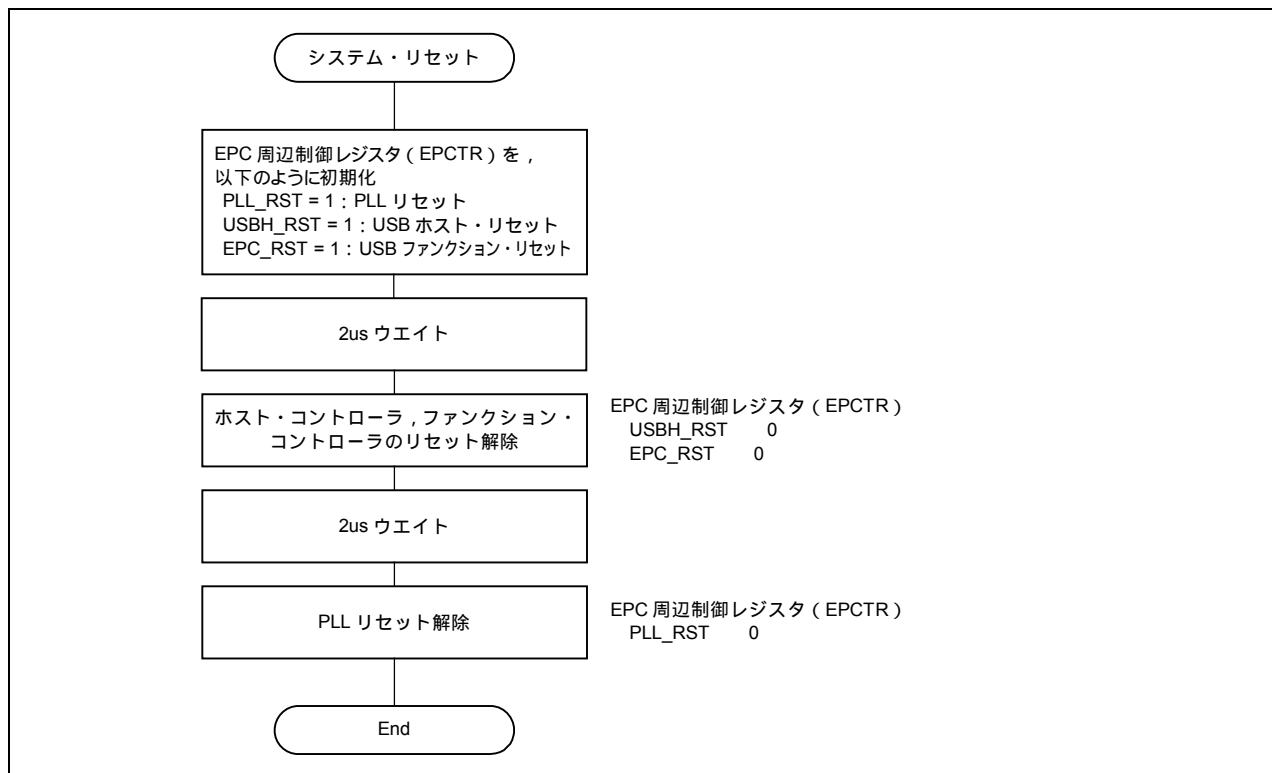
ホスト・コントローラ，ファンクション・コントローラの両方を使用しない場合は，ダイレクト・パワーダウンにより，USB 機能を Power Down 状態に設定してください。

ダイレクト・パワーダウンのフローは，「18.8.4 ダイレクト・パワーダウン」を参照してください。

## 18.10 操作手順

### 18.10.1 リセット・シーケンス

図 18-21 リセット・シーケンス



## 18.10.2 初期化シーケンス

### (1) ホスト・コントローラの初期化設定例

下記の初期化により，以下の操作が可能になります。

- (i) System Bus-PCI Window2 レジスタを通しての OHCI / EHCI Operational Registers へのアクセス
- (ii) ホスト・コントローラからの，システム・バス上へのデータ転送

図 18-22 ホスト・コントローラの初期化設定シーケンス

( 1/2 )

Start		
<b>リセット解除</b>		
	リセット・シーケンスに従ってリセットを解除してください。	
<b>System Bus-PCI Bridge PCI Communication Registers 初期設定</b>		
<b>SYS_BUS_CTR ( 0F03 0830H ) = 0002 0087H</b>		
	右記の固定値に初期化します。	SYS_BUS_CTR 0002 0087H に初期化
<b>PCISYS_WIN1_CTR ( 0F03 0800H ) = F000 0003H</b>		
Window 1 アクセス時のシステム・バス・ベース・アドレス	SYS_BASE_ADR[31:28]	FH
プリフェッチ (先読み許可 : 11b 固定)	PREFETCH	11b
<b>SYSPCI_WIN2_CTR ( 0F03 0814H ) = 0F02 0006H</b>		
Window 2 アクセス時の PCI ベース・アドレス	PCIWIN2_BASEADR	0F02H
PCI バースト (禁止)	BURST_EN	0b
PCI バス・サイクル・タイプ (Memory R/W : 011b 固定)	PCICMD	011b
<b>PCI_INT_ENABLE ( 0F03 0820H ) = 000B 103FH</b>		
	必要な割り込みを許可します。	推奨値 : 000B 103FH
<b>PCI_ARBITER_CTR ( 0F03 0840H ) = 0007 1003H</b>		
	右記の固定値に初期化します。	PCI_ARBITER_CTR 0007 1003H に初期化
<b>PCI Configuration Registers for System Bus-PCI Bridge 初期設定</b>		
<b>SYSPCI_WIN1_CTR ( 0F03 0810H ) = 4000 000AH</b>		
Window 1 アクセス時の PCI ベース・アドレス	PCIWIN1_BASEADR[31:12]	40000H
	PCIWIN1_BASEADR[11]	0b
PCI バス・サイクル (Configuration R/W)	PCICMD	101b
<b>Command, Status ( CMND_STS : 0F03 0004H ) = 0200 0146H</b>		
PCI バス・システム・エラー・チェック	SERREN	1b
PCI バス・パリティ・エラー・チェック	PERREN	1b
PCI バス・マスタ・イネーブル	MASTEREN	1b
PCI バス・メモリ・エリア・イネーブル	MEMEN	1b
<b>System Bus-PCI Bridge Base Address ( 0F03 0010H ) = 0F03 0800H</b>		
PCI Communication Register 領域ベース・アドレス	PCICOM_BASEADR[31:12]	0F030H
	PCICOM_BASEADR[11:10]	10b
<b>PCI-System Bus WIN1 Base Address ( 0F03 0014H ) = F000 0008H</b>		
PCI-System Bus Window1 ベース・アドレス	PCI_WIN1_BASEADR[3:0]	FH
プリフェッチ (可能)	PREFETCH	1b

( 2/2 )

PCI Configuration Registers for OHCI / EHCI 初期設定	
<b>SYSPCI_WIN1_CTR = 8000 000AH</b>	
Window 1 アクセス時の PCI ベース・アドレス	PCIWIN1_BASEADR[31:12] 80000H PCIWIN1_BASEADR[11] 0b
PCI バス・サイクル ( Configuration R/W )	PCICMD 101b
<b>Command, Status ( OHCI : 0F03 0004H, EHCI : 0F03 0104H ) = 0310 0146H</b>	
PCI バス・システム・エラー・チェック	SERR Enable 1b
PCI バス・パリティ・エラー・チェック	Parity Error Response 1b
PCI バス・マスタ・イネーブル	Bus Master 1b
PCI バス・メモリ・エリア・イネーブル	Memory Space 1b
<b>OHCI Base Address ( 0F03 0010H ) = 0F02 0000H , EHCI Base Address ( 0F03 0110H ) = 0F02 0100H</b>	
OHCI Base Address	OHCI Base Address[31:4] = 0F02 0000H
EHCI Base Address	EHCI Base Address[31:4] = 0F02 1000H
<b>End</b>	

## (2) ファンクション・コントローラの初期化設定例

図 18-23 ファンクション・コントローラの初期化設定シーケンス

Start	
リセット解除	
リセット・シーケンスに従ってリセットを解除してください。	
System Bus-EPC Bridge 初期設定	
システム・バス・スレーブ制御レジスタ (SYSSCTR : 0F04 1000H) = 0000 0001H	
スレーブのウェイト動作指定 (1b 固定)	WAIT_MODE 1b
システム・バス・マスタ制御レジスタ (SYSMCTR : 0F04 1004H) = X000 0034H	
DMA 時のエンドポイントのアービトレーション ビット 5, 4, 2 (1b 固定)	ARBITER_CTR (0 : ラウンドロビン, 1 : 固定優先) 1b に設定
システム・バス・ブリッジ割り込み許可レジスタ (SYSBINTEN : 0F04 100CH)	
使用する割り込みに対応するビットをセット (1) してください。	
EPC (エンドポイント・コントローラ) 初期設定	
EPC 領域へのレジスタ・アクセス前に, USB ファンクション・コントローラにクロックが供給されていることを確認してください。 クロック供給のステータスは, EPC 周辺制御レジスタ (EPCCTR) のビット 4 の PLL_LOCK で確認できます。 (「18.5.2 USB Function 側のレジスタ・アクセス」) 参照)	
USB 制御レジスタ (USB_CONTROL : 0F04 0000H)	
割り込みモード選択 (レベル割り込み)	INT_SEL 1b
SOF 自動リカバリ機能 (使用する)	SOF_RCV 1b (初期値)
USB 割り込み許可レジスタ (USB_INT_ENA : 0F04 0024H)	
使用する割り込みに対応するビットをセット (1) してください。	
EPn バッファ設定レジスタ (EPn_PCKT_ADRS)	
EPn のバッファを RAM にマッピングする際のアドレス	EPn_BASEAD [12:0] (システムに応じて設定)
EPn の Max Packet Size	EPn_MPKT [10:0] (システムに応じて設定)
EPn 制御レジスタ (EPn_CONTROL)	
Endpoint 転送方向設定	EPn_DIR0 (システムに応じて設定)
データ自動送信	EPn_AUTO (システムに応じて設定) <sup>注</sup>
EPn 割り込み許可レジスタ (EPn_INT_ENA)	
使用する割り込みに対応するビットをセット (1) してください。	
EPn 制御レジスタ (EPn_CONTROL)	
Endpoint 有効	EPn_EN 1b
End	

注 EPn\_AUTO ビットは IN Endpoint の場合のみセット (1) してください。

また 4 で割り切れない端数バイト長のショート・パケット転送時には, このビットのクリア (0) が必要な場合があります。



### 18.10.3 ホスト・コントローラの転送フロー

ホスト・コントローラの転送フローは、以下の OHCI / EHCI の仕様に従って制御してください。

- ・ Open Host Controller Interface Specification for USB Rev 1.0a
- ・ Enhanced Host Controller Interface Specification for Universal Serial Bus Revision 1.0

ここでは、DMA の停止に関する補足事項について説明します。

#### (1) DMA 転送の停止

System Bus-PCI Bridge には DMA 転送の ON / OFF 制御機能は存在せず、ホスト・コントローラがマスタとして起動した PCI バス・サイクルをそのまま内部システム・バスに発行します。

ホスト・コントローラの DMA 転送は、以下の 2 つの場合に行われます。

- 現在の Frame Number をメモリに書き込む場合
- リスト処理を行うために、メモリ上に展開されたディスクリプタおよびデータに対するリード / ライトを行う場合

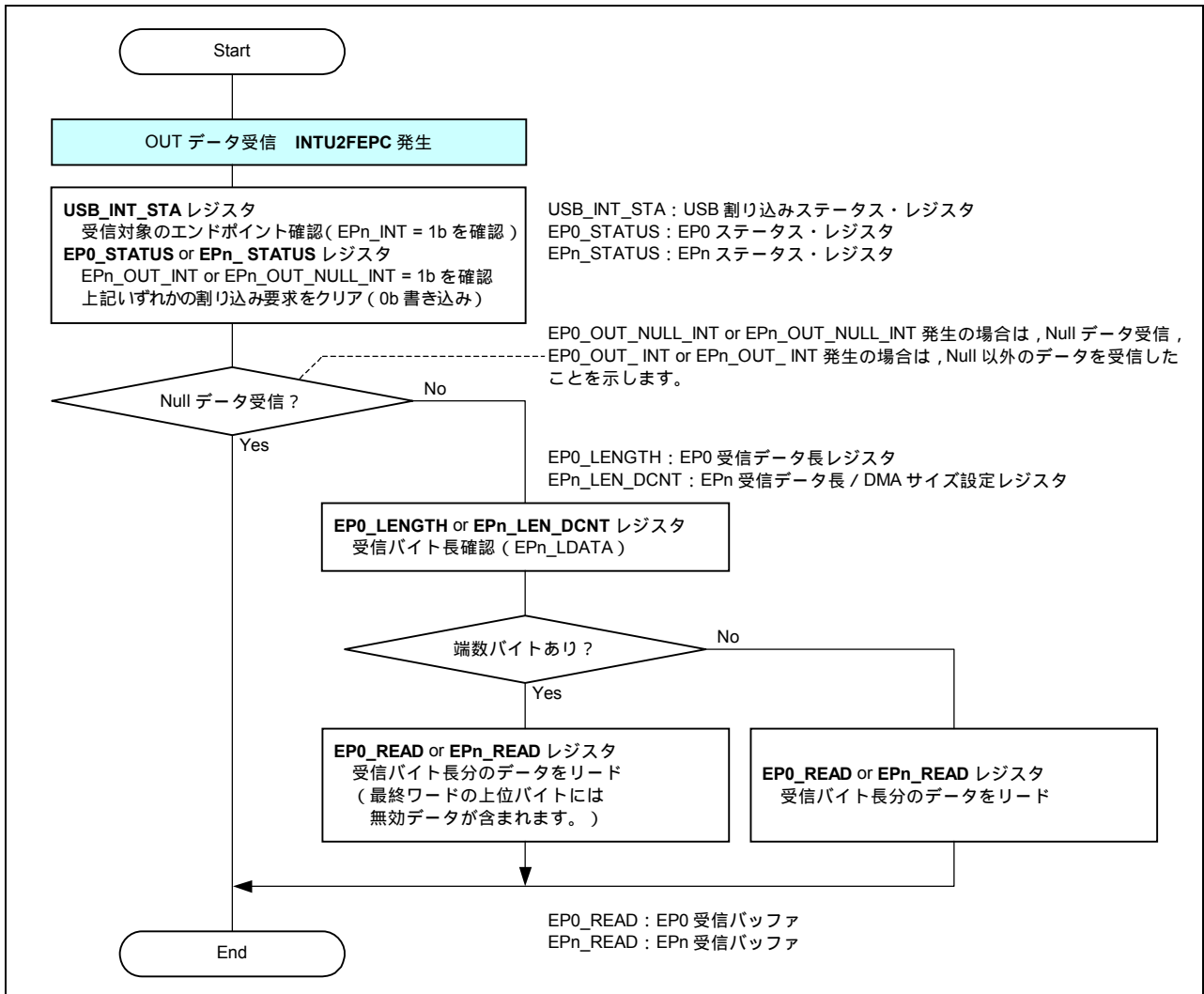
(i) の Frame Number の書き込みは、USB ステートが「Operational」の場合、フレーム周期ごとに自動で行われるため、DMA 転送を停止する場合は USB ステートを「Suspend」または「Reset」状態にする必要があります。この場合、(ii) のリスト処理も停止します。

また、(ii) のリスト処理のみを中断する場合は、リスト処理のイネーブル・ビット (HcControl Register の BLE, CLE, IE, PLE ビット) をクリア (0) することで、次のフレームからリスト処理を停止します。この場合は (i) の Frame Number の書き込みは停止しません。

## 18.10.4 ファンクション・コントローラの転送フロー

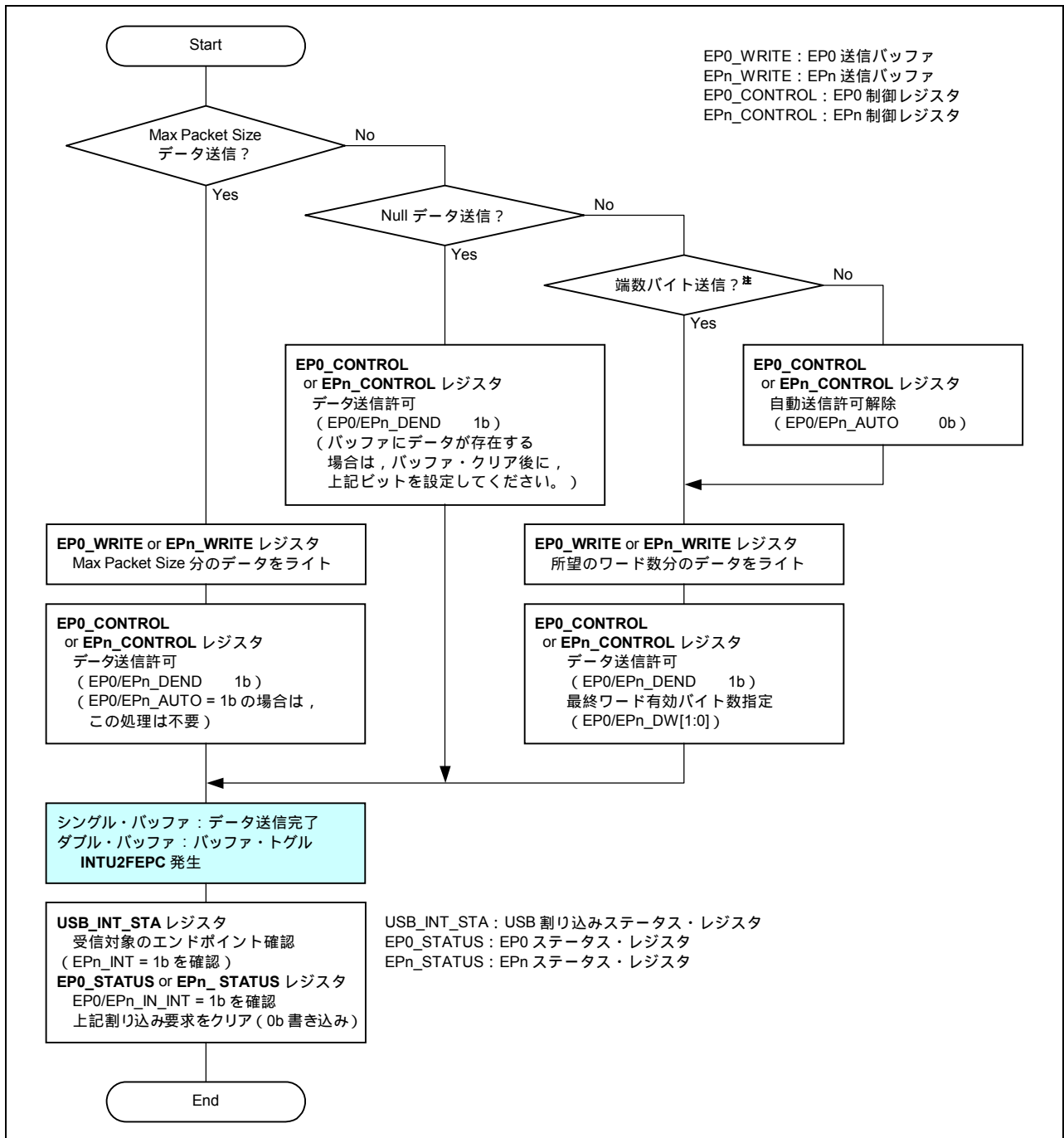
## (1) PIO OUT 転送

図 18-24 PIO OUT 転送フロー



## (2) PIO IN 転送

図 18-25 PIO IN 転送フロー



注 端数バイト送信とは単なるショート・パケットではなく、送信データをワード単位で書き込んだ際に Max Packet Size に達するデータ長のパケットを送信する場合を意味します。

例 1 : Max Packet Size = 64 バイトで 63/62/61 バイト送信時

例 2 : Max Packet Size = 15 バイトで 14/13 バイト送信時

端数バイト送信時は、あらかじめ EP0\_AUTO (EPn\_AUTO) ビットをクリア (0) する必要があります。EP0\_AUTO (EPn\_AUTO) = 1 のままデータを書き込んだ場合、Max Packet Size 長のデータが送信されてしまいます。

## (3) DMA OUT 転送

DMA 転送を行う場合、EPn DMA コントロール・レジスタ 1 (EPnDCR1) の EPn\_DMACNT フィールドで転送パケット数を設定します。

EPn\_DMACNT で設定した回数の DMA 転送が終了するか、または Null データを含むショート・パケットを受信した場合に DMA 転送を停止し、INTU2F、INTU2FEPC 割り込みが発生します。

DMA OUT 転送のフローは、以下の前提で作られています。

- (i) USB ホストから受信するパケット数を知ることができない (EPn\_DMACNT はシステムに応じて決定する必要があります)
- (ii) 途中でショート・パケットを受信する場合がある。

図 18-26 DMA OUT 転送フロー (1/3)

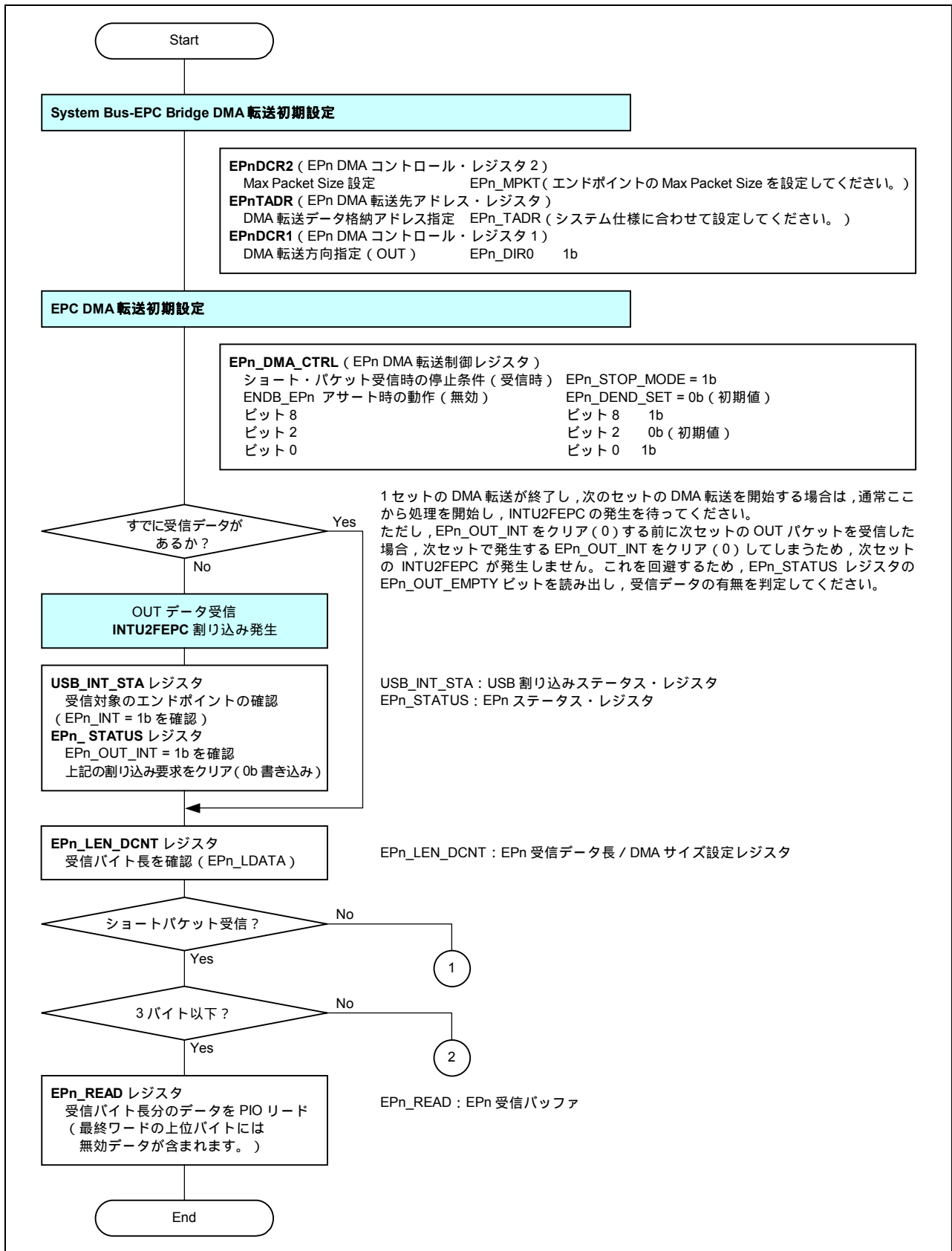


図 18-26 DMA OUT 転送フロー (2/3)

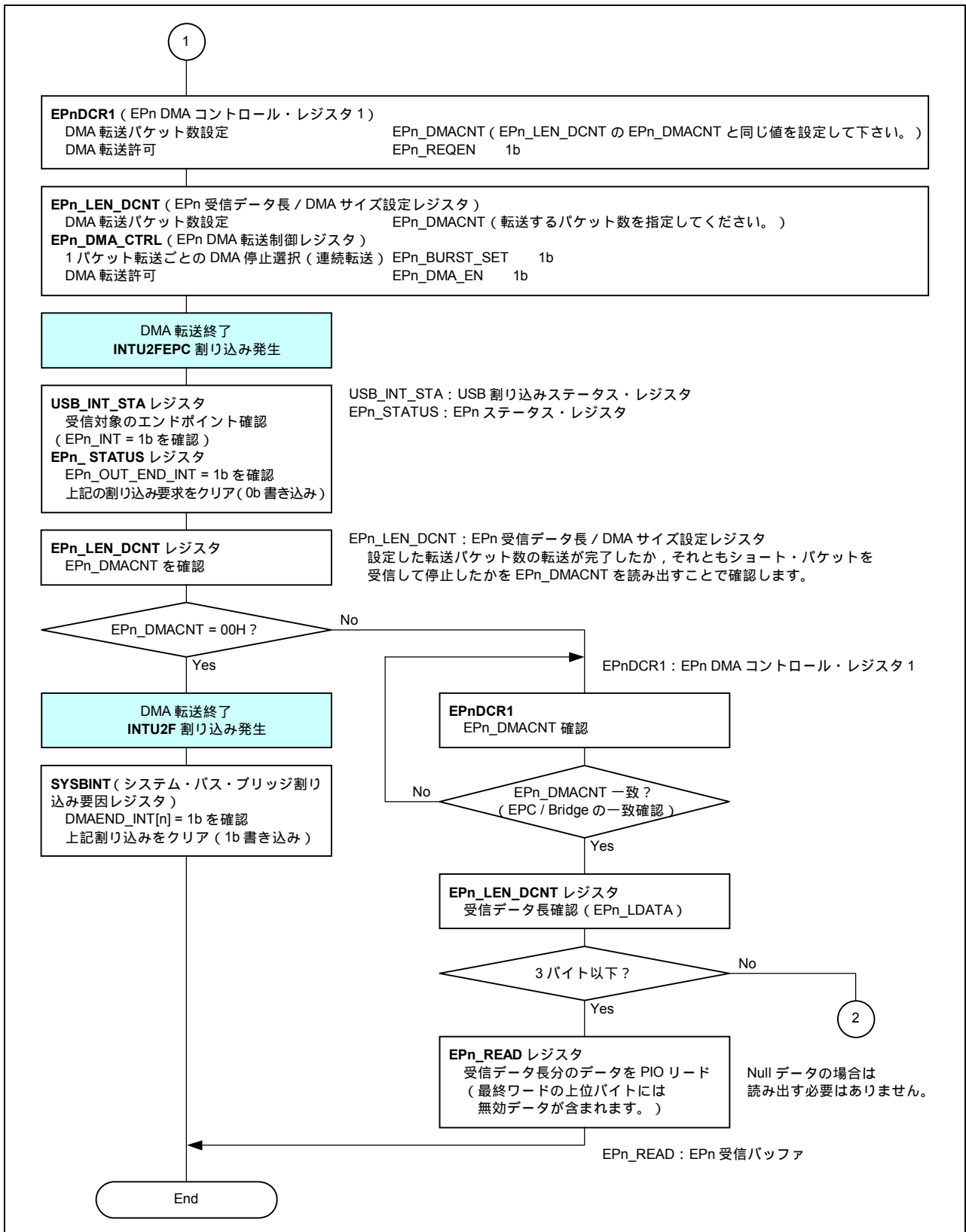
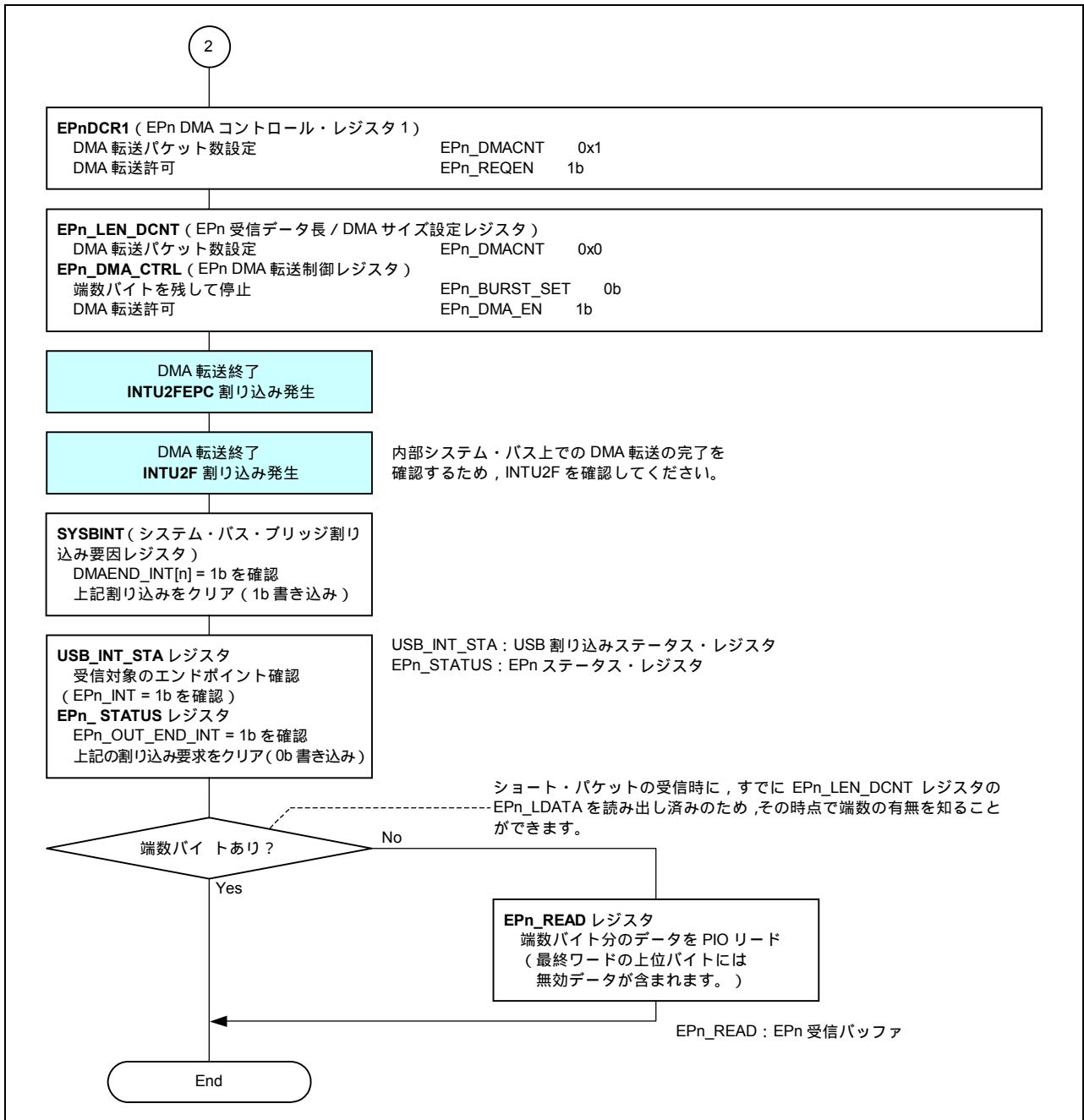
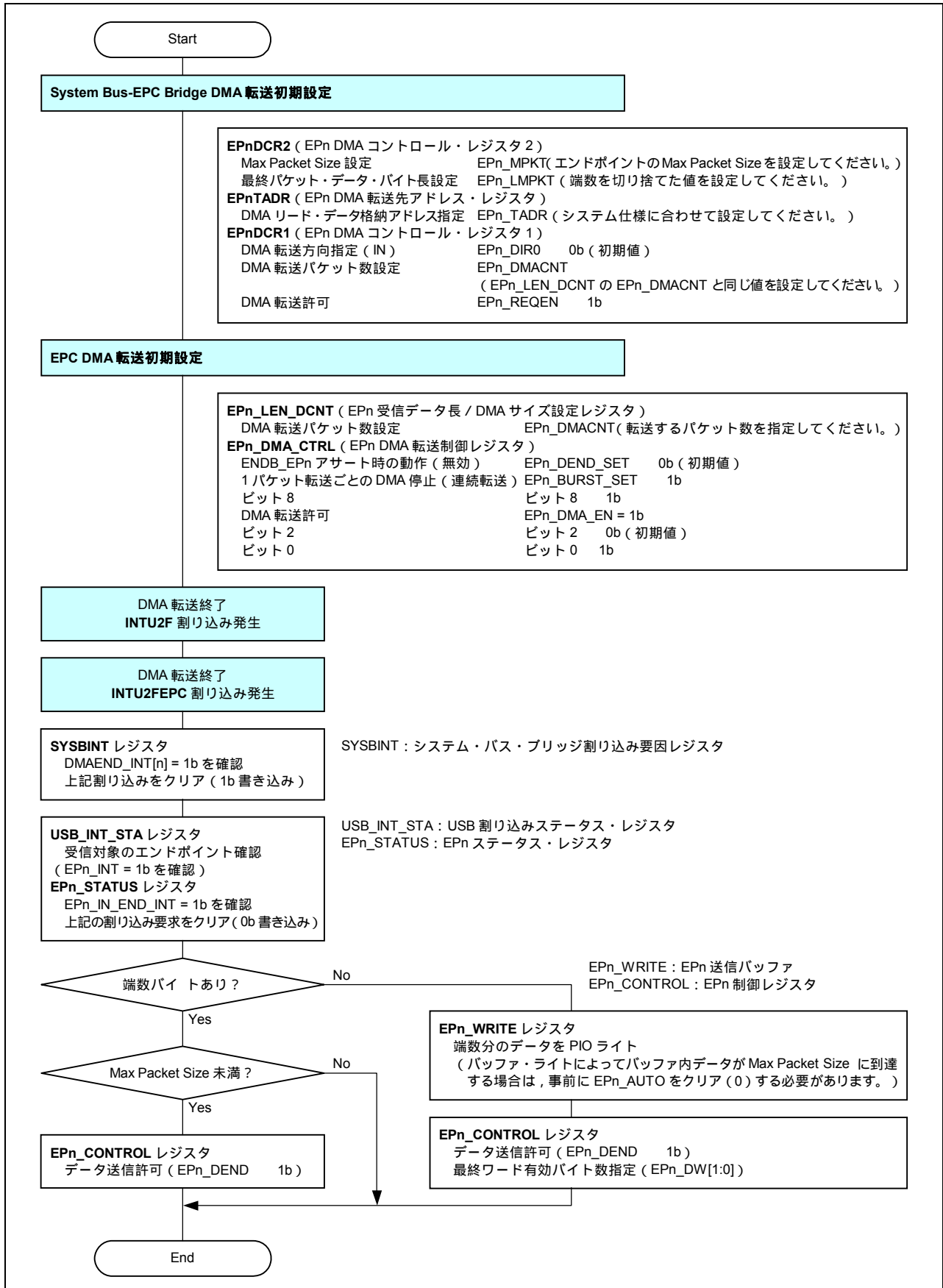


図 18-26 DMA OUT 転送フロー (3/3)



(4) DMA IN 転送

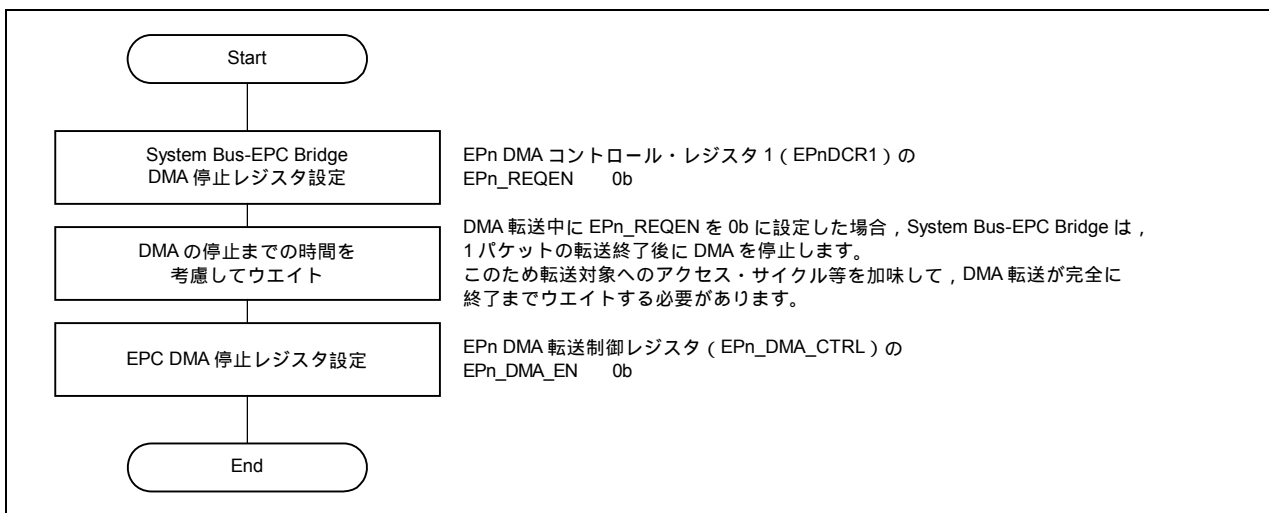
図 18-27 DMA IN 転送フロー





(5) DMA 転送の停止

図 18-28 DMA 転送停止フロー



(6) Control 転送

図 18-29 Control 転送フロー (1/3)

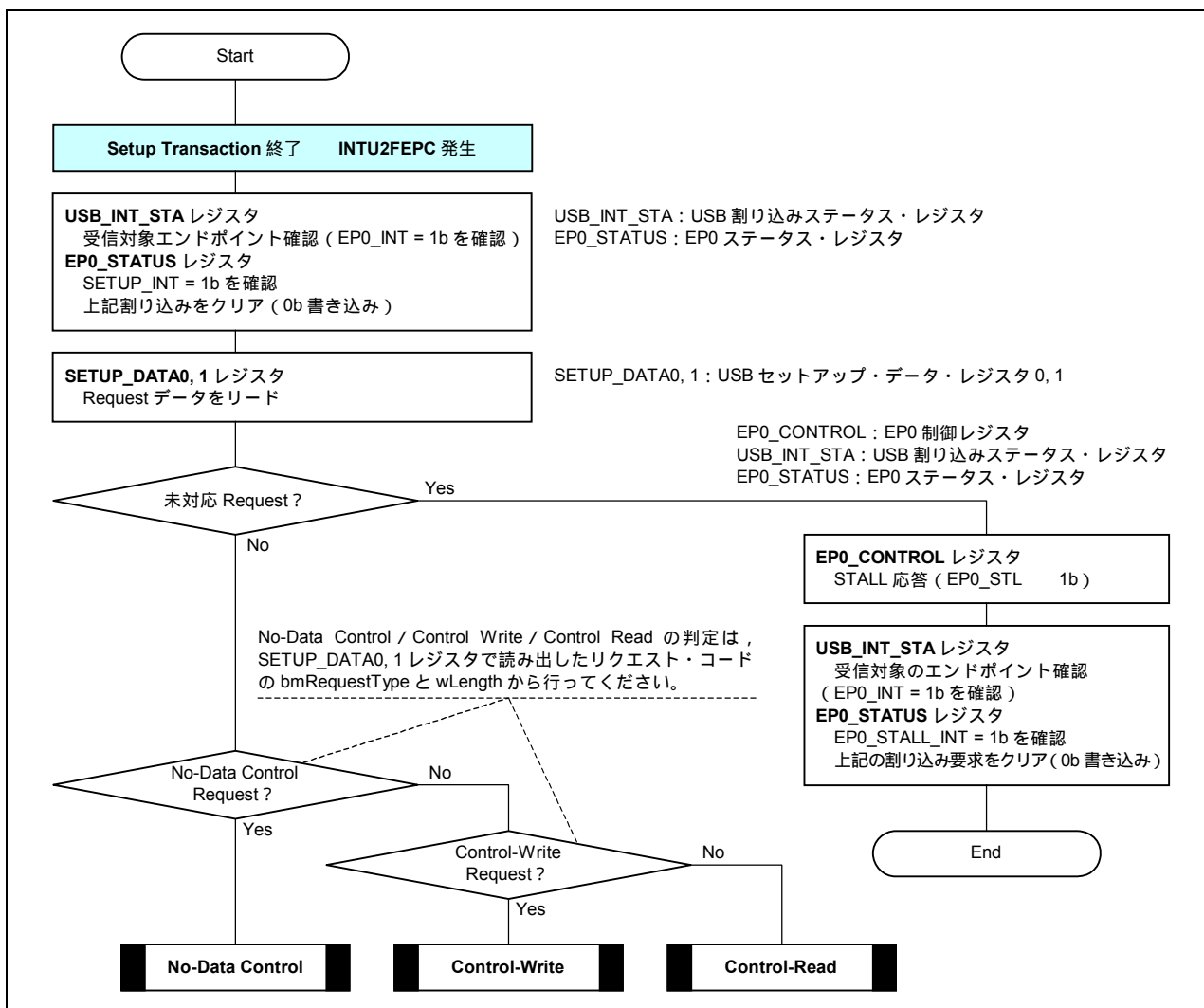


図 18-29 Control 転送フロー (2/3)

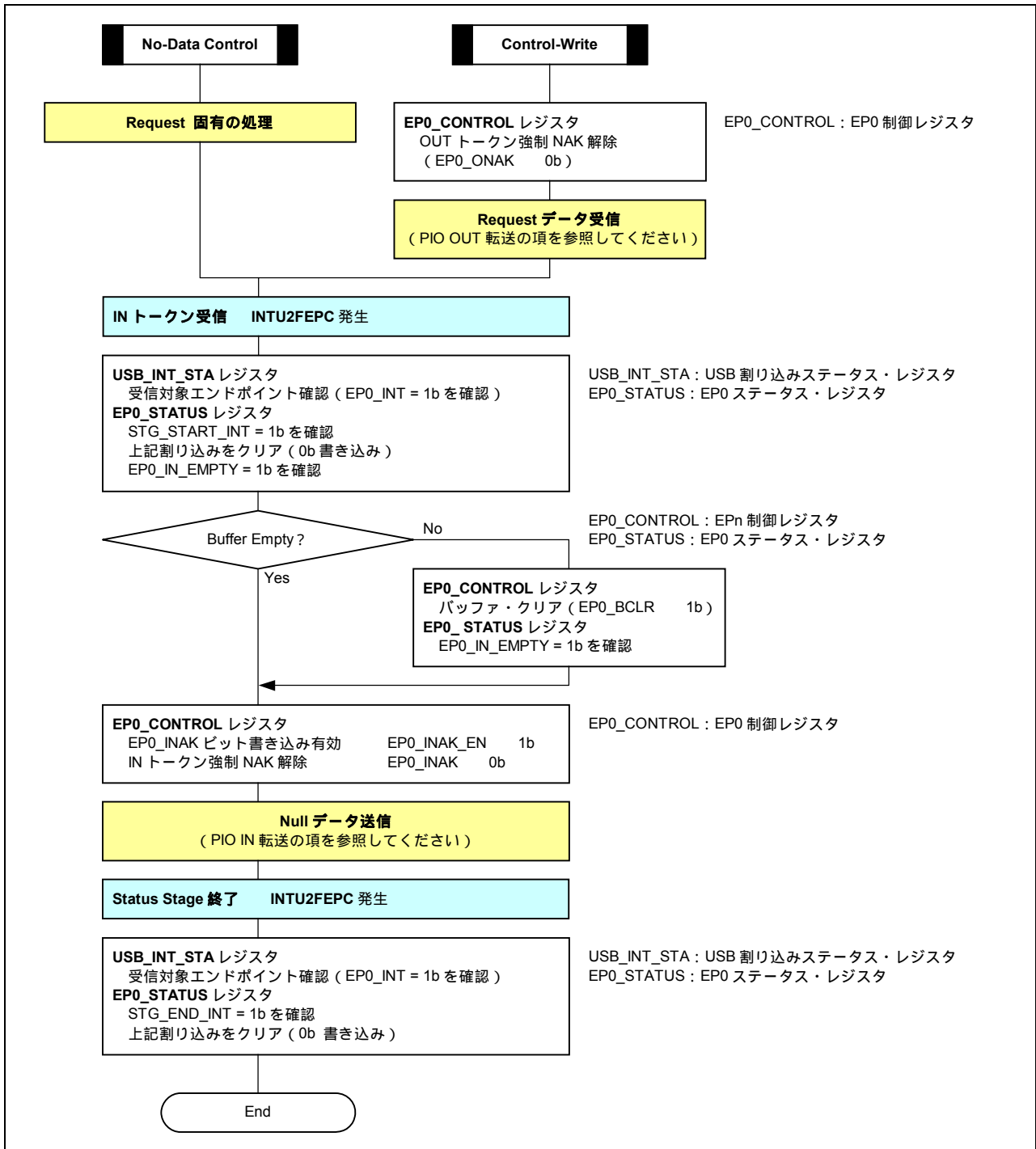
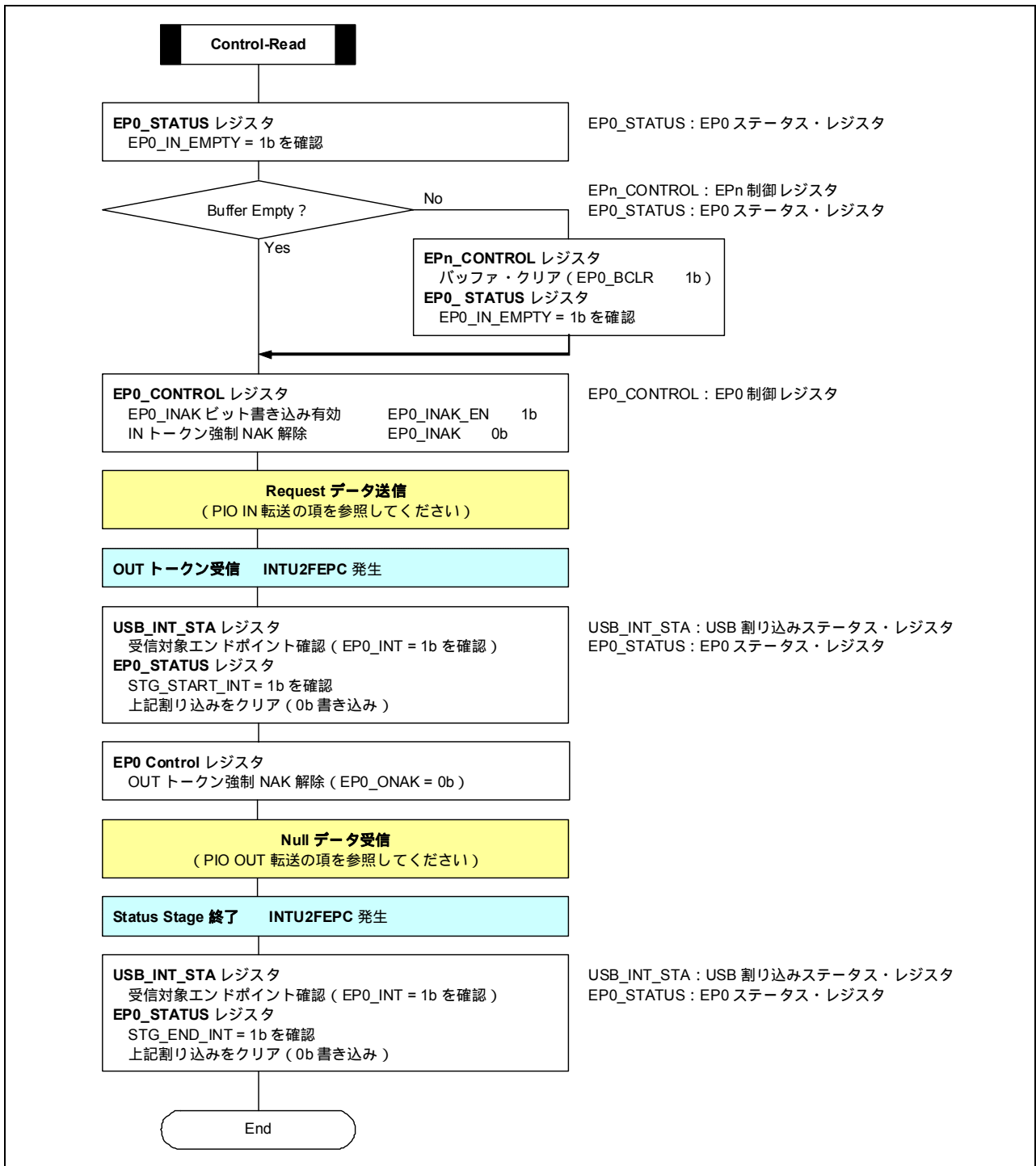


図 18-29 Control 転送フロー (3/3)



## (7) Protocol Error NAK 処理

Protocol Error NAK とは、Control 転送において USB デバイスとしての明確な反応が USB 規格で規定されていない不適切なトークンを受信した際に、そのトークンに対して強制的に NAK 応答を行うことを意味します。

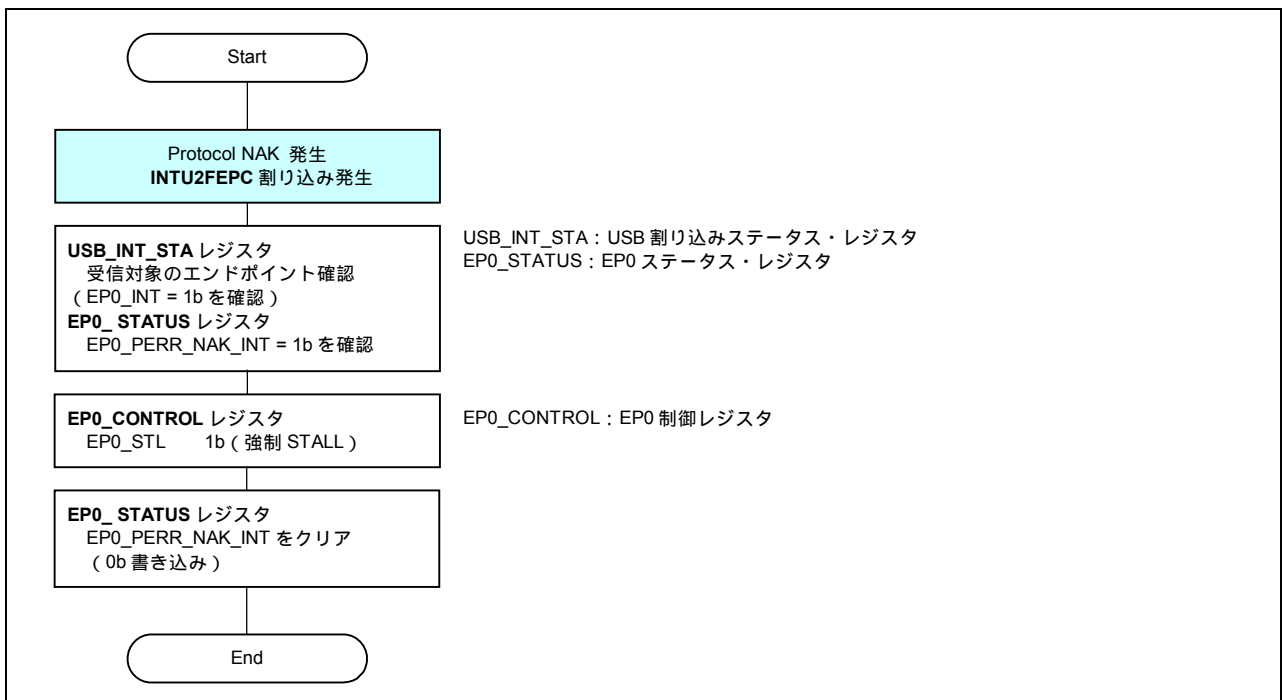
以下の異常なトークンを受信した場合、Protocol Error NAK が発生します。

- (i) SETUP トークン受信前の IN / OUT トークン受信 (セットアップ・ステージがない)
- (ii) Control Read データ・ステージでの OUT トークン受信
- (iii) Control Read ステータス・ステージでの IN トークンおよび Data PID0 の OUT トークン受信
- (iv) Control Write データ・ステージでの IN トークンおよびデータ・ステージ先頭での Data PID0 の OUT トークン受信
- (v) Control Write ステータス・ステージでの OUT トークンおよび PING トークン受信
- (vi) No Data Control ステータス・ステージでの OUT トークン受信

Protocol Error NAK 応答が行われると、EP0 ステータス・レジスタ (EP0\_STATUS) の EP0\_PERR\_NAK\_INT ビットがセット (1) され、INTU2FEPC 割り込みが発生します。

この場合、通常は EP0 を Halt 状態にして以降のトークンに対して STALL 応答するようにしてください。

図 18-30 Protocol Error NAK 処理フロー



## (8) Request 固有の処理

ここでは、USB デバイスに対する Standard Request についてデバイス側のステートと処理すべき内容の関係を示します。

各 Request に対応する表中において、「Request Code Field」は Standard Request のコード内容を示します。また表中の「Action」は、Default / Address / Configured の各デバイス・ステートにおいて、デバイス側で処理すべき内容を意味します。表中において、「STALL」は、Request Error のため STALL 応答することを示します。

STALL 応答する場合は、EP0 制御レジスタ (EP0\_CONTROL) の EP0\_STL ビットをセット (1) してください。

各デバイス・ステートとは、以下の状態を指します。

表 18-19 デバイス・ステート一覧

Default	USB バス・リセット受信後，USB Device Address が 00H の状態
Address	USB Device Address が 00H 以外にセットされている状態
Configured	Configuration 値が 00H 以外にセットされ，エンドポイントに対するアクセスが可能な状態

## (i) CLEAR FEATURE

表 18-20 CLEAR FEATURE リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00H (Device)	01H	0001H (Remote Wakeup)	0000H	0000H	応答 (1) 注	応答 (1) 注	応答 (1) 注
01H (Interface)	01H	0000H	0000H	0000H	STALL 応答	STALL 応答	STALL 応答
02H (Endpoint)	01H	0000H (Endpoint Halt)	Endpoint No.	0000H	応答 (2)	応答 (2)	応答 (3)

注 Remote Wakeup 非サポート時は STALL 応答してください。

転送タイプ : No Data Control ( SETUP-IN )

処理内容

表 18-21 CLEAR FEATURE リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>ソフトウェアの Remote Wakeup フラグをクリアします。 ( USB コントローラには、特別な処理を行う必要はありませんが、Remote Wakeup フラグをクリアした場合、システムとして Remote Wakeup は使用不可能となります。 )</li> </ul>
応答 (2)	<ul style="list-style-type: none"> <li>wIndex の値が 0000H の場合は、Endpoint 0 のバッファをクリアしてください。 ( EP0 制御レジスタ ( EP0_CONTROL ) の EP0_BCLR ビットをセット ( 1 ) し、EP0 ステータス・レジスタ ( EP0_STATUS ) の EP0_IN_EMPTY ビットがセット ( 1 ) されていることを確認してください。 )</li> <li>wIndex の値が 0000H 以外の場合は、STALL 応答してください。</li> </ul>
応答 (3)	<ul style="list-style-type: none"> <li>wIndex の値が 0000H の場合は、Endpoint 0 のバッファをクリアしてください ( 処理内容は応答 ( 2 ) の場合と同様です )。</li> <li>wIndex の値がサポートしているエンドポイントを示す場合、対象となるエンドポイントの送受信 DataPID クリア、Hal クリア、バッファ・クリアを行ってください。 ( EPn 制御レジスタ ( EPn_CONTROL ) の EPn_OPIDCLR, EPn_IPIDCLR, EPn_OSTL, EPn_ISTL, EPn_BCLR をクリア ( 0 ) してください。 )</li> <li>wIndex の値がサポートしているエンドポイント以外を示す場合、STALL 応答してください。</li> </ul>

## (ii) GET CONFIGURATION

表 18-22 GET CONFIGURATION リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80H	08H	00H	0000H	0001H	応答 (1)	応答 (1)	応答 (2)

転送タイプ : Control Read ( SETUP-IN-OUT )

処理内容

表 18-23 GET CONFIGURATION リクエスト処理方法

応答 (1)	00H を送信してください (1 バイト)。
応答 (2)	現在の Configuration 番号を送信してください (1 バイト)。



## (iii) GET DESCRIPTOR

表 18-24 GET DESCRIPTOR リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80H	06H	0100H (Device)	0000H	Descriptor Size	応答 (1)	応答 (1)	応答 (1)
80H	06H	020XH (Config)	0000H	Descriptor Size	応答 (2)	応答 (2)	応答 (2)
80H	06H	030XH (Stfing)	0000H or Language ID	Descriptor Size	応答 (3)	応答 (3)	応答 (3)
80H	06H	0600H (Device Qualifier)	0000H	Descriptor Size	応答 (4)	応答 (4)	応答 (4)
80H	06H	070XH (Other Speed Config)	0000H	Descriptor Size	応答 (5)	応答 (5)	応答 (5)

転送タイプ : Control Read ( SETUP-IN-OUT )

## 処理内容

wValue で指定された種類およびインデックスの Descriptor を wLength で示されたサイズ分だけ送信してください。ここでは Device Descriptor で送信する bMaxPacketSize(0) = 64 であることを前提に記載します。

- ・ ( Descriptor のサイズ > wLength ) の場合は , Descriptor の最初から wLength 分だけ送信してください。
- ・ ( Descriptor のサイズ < wLength ) の場合は , Descriptor の送信の最後でショート・パケット ( 64 バイト以下 ) を送信してください。このとき Descriptor のサイズが 64 バイトの整数倍の場合は , 最後に NULL データを送信してください。

表 18-25 GET DESCRIPTOR リクエスト処理方法

応答 ( 1 )	Device Descriptor を送信してください。
応答 ( 2 )	wValue の下位ビットで示される Index の Configuration Descriptor を送信してください。 wLength の値が Configuration Descriptor の値よりも大きい場合は , Configuration に含まれるすべての /Interface Descriptor および Endpoint Descriptor を続けて送信してください。
応答 ( 3 )	wValue の下位ビットで示される Index の String Descriptor を送信してください。
応答 ( 4 )	Device Qualifier Descriptor を送信してください。
応答 ( 5 )	wValue の下位ビットで示される Index の Other Speed Configuration Descriptor を送信してください。 wLength の値が Configuration Descriptor の値よりも大きい場合は , Configuration に含まれるすべての /Interface Descriptor および Endpoint Descriptor を続けて送信してください。

## (iv) GET INTERFACE

表 18-26 GET INTERFACE リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
81H	0AH	00H	Interface Number	0001H	STALL 応答	STALL 応答	応答 (1)

転送タイプ : Control Read ( SETUP-IN-OUT )

処理内容

表 18-27 GET INTERFACE リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>指定された Interface Number の現在の Alternate Setting 番号を送信してください。</li> <li>Alternate Setting をサポートしない場合は、STALL 応答してください。</li> </ul>
--------	---

## (v) GET STATUS

表 18-28 GET STATUS リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80H (Device)	00H	00H	0000H	0002H	応答 (1)	応答 (1)	応答 (1)
81H (Interface)	00H	00H	0000H	0002H	応答 (2)	応答 (2)	応答 (2)
82H (Endpoint)	00H	00H	Endpoint No.	0002H	応答 (3)	応答 (3)	応答 (4)

転送タイプ : Control Read ( SETUP-IN-OUT )

処理内容

表 18-29 GET STATUS リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>返信値の D0 に Self-Powered の可否, D1 に Remote Wakeup の有効 / 無効を反映し送信してください。 (例えば, Self Powered デバイス, Remote Wakeup 未サポートの場合は 0001H を送信してください。)</li> </ul>
応答 (2)	<ul style="list-style-type: none"> <li>0000H を送信または, STALL 応答してください。</li> </ul>
応答 (3)	<ul style="list-style-type: none"> <li>wIndex の値が 0000H の場合は, 0000H を送信してください。</li> <li>wIndex の値が 0000H 以外の場合は, STALL 応答してください。</li> </ul>
応答 (4)	<ul style="list-style-type: none"> <li>wIndex の値が 0000H の場合は, 0000H を送信してください。</li> <li>wIndex の値がサポートしているエンドポイントを示す場合, D0 に Halt (STALL 状態) を反映し送信してください。 (EPn 制御レジスタ (EPn_CONTROL) の EPn_ISTL ビット, または EPn_OSTL ビットの値が 1 の場合は 0001H, 0 の場合は 0000H を送信してください。)</li> <li>wIndex の値がサポートしているエンドポイント以外を示す場合, STALL 応答してください。</li> </ul>

(vi) SET ADDRESS

表 18-30 SET ADDRESS リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00H	05H	Device Address	0000H	0000H	応答 (1)	応答 (1)	応答 (1)

転送タイプ : No Data Control ( SETUP-IN )

処理内容

表 18-31 SET ADDRESS リクエスト処理方法

応答 (1)	・ wValue 127 の場合は, wVaule の値を USB アドレス・レジスタ (USB_ADDRESS) にセットします。
応答 (2)	・ wValue 128 の場合は, STALL 応答します。

## (vii) SET CONFIGURATION

表 18-32 SET CONFIGURATION リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00H	09H	Config Value	0000H	0000H	応答 (1)	応答 (2)	応答 (3)

転送タイプ : No Data Control ( SETUP-IN )

処理内容

表 18-33 SET CONFIGURATION リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>特に処理の必要はありません。そのままステータス・ステージで Null 応答してください。</li> </ul>
応答 (2)	<ul style="list-style-type: none"> <li>wValue = 0 の場合は、特に処理の必要はありません。そのままステータス・ステージで Null 応答してください。</li> <li>wValue の値がサポートしている Configuration の値と一致する場合、Configured State に移行します。( USB 制御レジスタ ( USB_CONTROL ) の CONF ビットをセット ( 1 ) してください。 )</li> <li>wValue の値がサポートしている Configuration ではない場合、STALL 応答してください。</li> </ul>
応答 (3)	<ul style="list-style-type: none"> <li>wValue = 0 の場合は、Address ステートに戻ります。( USB 制御レジスタ ( USB_CONTROL ) の CONF ビットをクリア ( 0 ) してください )</li> <li>wValue の値が現在の bConfigurationValue と一致する場合は、特に処理の必要はありません。そのままステータス・ステージで Null 応答してください。</li> <li>wValue の値がサポートしている Configuration の値と一致する場合、Configuration を変更してください。</li> <li>wValue の値がサポートしている Configuration ではない場合、STALL 応答してください。</li> </ul>

(viii) SET DESCRIPTOR

表 18-34 SET DESCRIPTOR リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00H	07H	Descriptor Type	0000H or Language ID	Descriptor Size	応答 (1)	応答 (1)	応答 (1)

転送タイプ : Control Write ( SETUP-OUT-IN )

処理内容

表 18-35 SET DESCRIPTOR リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>Descriptor の書き換えに対応しない場合 , STALL 応答してください。</li> <li>対応する場合は , データを読み出し , ソフトウェアのディスクリプタを書き換えてください。</li> </ul>
--------	--

(ix) SET FEATURE

表 18-36 SET FEATURE リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00H (Device)	03H	0001H (Remote Wakeup)	0000H	0000H	Remote Wakeup サポート時		
					応答 (1)	応答 (1)	応答 (1)
		0002H (TEST MODE)	Test Selector	0000H	Remote Wakeup 非サポート時		
					STALL 応答	STALL 応答	STALL 応答
01H (Interface)	03H	0000H	0000H	0000H	STALL 応答	STALL 応答	STALL 応答
02H (Endpoint)	03H	0000H (Endpoint Halt)	Endpoint No.	0000H	応答 (3)	応答 (3)	応答 (4)

転送タイプ : No Data Control ( SETUP-IN )

処理内容

表 18-37 SET FEATURE リクエスト処理方法

応答 (1)	・ ソフトウェアの Remote Wakeup フラグをセット (1) してください。
応答 (2)	・ USB 制御レジスタ ( USB_CONTROL ) の USBTESTMODE に wIndex で示される Test Selector の値を書き込んでください。
応答 (3)	・ wIndex の値が 0000H の場合は、特に処理の必要はありません。そのままステータス・ステージで Null 応答してください。 ・ wIndex の値が 0000H 以外の場合は、STALL 応答してください。
応答 (4)	・ wIndex の値が 0000H の場合は、Endpoint 0 のバッファをクリアしてください ( 処理内容は CLEAR FUTURE の応答(2)の場合と同様です )。 ・ wIndex の値がサポートしているエンドポイントを示す場合、対象となるエンドポイントの Halt をセット (1) してください ( EPn 制御レジスタ ( EPn_CONTROL ) の EPn_OSTL/EPn_ISTL をセット (1) します )。 ・ wIndex の値がサポートしているエンドポイント以外を示す場合、STALL 応答してください。

## (x) SET INTERFACE

表 18-38 SET INTERFACE リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
01H	0BH	Alternate Setting	Interface Number	0000H	STALL 応答	STALL 応答	応答 (1)

転送タイプ : No Data Control ( SETUP-IN )

処理内容

表 18-39 SET INTERFACE リクエスト処理方法

応答 (1)	<ul style="list-style-type: none"> <li>・ wValue で示される Alternate Setting 番号が現在の Alternate Setting 番号と異なる場合は ,EPn Max Packet &amp; Base Address Register の値などを変更してください。</li> <li>・ wValue で示される Alternate Setting 番号が現在の Alternate Setting 番号と同じ場合は , 特に処理の必要はありません。</li> </ul> <p>そのままステータス・ステージで Null 応答してください。</p>
--------	---



(xi) SYNC FRAME

表 18-40 SYNC FRAME リクエスト

Request Code Field					Action		
bmRequest -Type	bRequest	wValue	wIndex	wLength	Default	Address	Configured
82H	0CH	0000H	EP No.	0000H	STALL 応答	STALL 応答	STALL 応答

転送タイプ : Control Read ( SETUP-IN-OUT )

## (9) Descriptor について

ここでは、標準の Descriptor の種類および設定例とその内容について説明します。

## (i) Device Descriptor

Device Descriptor は、デバイスの基本的な情報を送信するために使用します。

表 18-41 Device Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	12H	Descriptor のサイズ (18 バイト) を設定します。
bDescriptorType	1	Byte	01H	Device Descriptor のため、常に 01H を設定します。
bcdUSB	2	Word	0200H	準拠する USB 規格のバージョンを設定します。 0200H は USB2.0 準拠を示します。
bDeviceClass	4	Byte	xxH	Device の属する Class を設定します。
bDeviceSubClass	5	Byte	xxH	Device の属する Sub Class を設定します。
bDeviceProtocol	6	Byte	00H	Device が属する Class または SubClass で定義されたプロトコルを設定します。
bMaxPacketSize0	7	Byte	40H	Endpoint0 の Max Packet Size (64 バイト) を設定します。
idVendor	8	Word	xxxxH	Vendor ID を設定します。
idProduct	10	Word	xxxxH	Product ID を設定します。
bcdDevice	12	Word	0100H	デバイスのバージョンを示します。
iManufacturer	14	Byte	01H	製造者を示す String Descriptor の Index を設定します。
iProduct	15	Byte	02H	製品を示す String Descriptor の Index を設定します。
iSerialNumber	16	Byte	03H	製品のシリアル番号を示す String Descriptor の Index を設定します。
bNumConfigurations	17	Byte	01H	サポートする Configuration の数を設定します。

## (ii) Device Qualifier Descriptor

Device Qualifier Descriptor は、HS/FS が切り替わった場合に Device Descriptor の値が変化するフィールドの情報を送信するために使用します。

表 18-42 Device Qualifier Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	0AH	Descriptor のサイズ (10 バイト) を設定します。
bDescriptorType	1	Byte	06H	Device Qualifier Descriptor のため、常に 06H を設定します。
bcdUSB	2	Word	0200H	準拠する USB 規格のバージョンを設定します。 0200H は USB2.0 準拠を示します。
bDeviceClass	4	Byte	xxH	Device の属する Class を設定します。
bDeviceSubClass	5	Byte	xxH	Device の属する Sub Class を設定します。
bDeviceProtocol	6	Byte	00H	Device が属する Class または SubClass で定義されたプロトコルを設定します。
bMaxPacketSize0	7	Byte	40H	Endpoint 0 の Max Packet Size (64 バイト) を設定します。
bNumConfigurations	8	Byte	01H	サポートする Configuration の数を設定します。
Reserved	9	Byte	00H	00H を設定してください。

## (iii) Configuration Descriptor, Other Speed Configuration Descriptor

Configuration Descriptor, Other Speed Configuration Descriptor は、デバイスの Configuration を送信するために使用します。Other Speed Configuration Descriptor は FS/HS の両方をサポートするデバイスの場合に、現在動作中の Speed の他方の Speed で動作した場合の Configuration を示します。

通常 Configuration Descriptor, Interface Descriptor, Endpoint Descriptor は一度の GET DESCRIPTOR CONFIGURATION リクエストで送信されます。

表 18-43 Configuration Descriptor, Other Speed Configuration Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	09H	Descriptor のサイズ (9 バイト) を設定します。
bDescriptorType	1	Byte	02H 07H	<ul style="list-style-type: none"> <li>Configuration Descriptor の場合、常に 02H を設定します。</li> <li>Other Speed Configuration Descriptor の場合、常に 07H を設定します。</li> </ul>
wTotalLength	2	Word	9 + 9 × M + 7 × N	送信する Descriptor のサイズを設定します。 以下のサイズを合計した値を設定します。 Configuration Descriptor のサイズ (9 バイト) Interface Descriptor のサイズ (9 バイト) × 個数 M Endpoint Descriptor のサイズ (7 バイト) × 個数 N
bNumInterface	4	Byte	01H	この Configuration がサポートする Interface の個数を設定します。
bConfigurationValue	5	Byte	01H	この Configuration の番号を設定します。
iConfiguration	6	Byte	00H	この Configuration を説明する String Descriptor の Index を設定します。
bmAttributes	7	Byte	C0H	<ul style="list-style-type: none"> <li>bit7: 常に 1b を設定する必要があります。</li> <li>bit6: デバイスが Self-Powered であれば 1b を設定します。</li> <li>bit5: デバイスが Remote Wakeup をサポートする場合 1b を設定します。</li> <li>bit[4:0]: 常に 0b を設定する必要があります。</li> </ul>
MaxPower	8	Byte	00H	デバイスが必要とする電流の値を設定します。 Value = 消費電流値 / 2[mA]の値を設定します。

## (iv) Interface Descriptor

Interface Descriptor は、デバイスの Interface に関する情報を送信するために使用します。

表 18-44 Interface Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	09H	Descriptor のサイズ (9 バイト) を設定します。
bDescriptorType	1	Byte	04H	Interface Descriptor のため、常に 04H を設定します。
bInterfaceNumber	2	Byte	00H	この Interface の番号を設定します。
bAlternateSetting	3	Byte	01H	<ul style="list-style-type: none"> <li>Alternate Setting を使用する場合、その番号を設定します。</li> <li>Alternate Setting が存在しない場合、00H を設定します。</li> </ul>
bNumEndpoints	4	Byte	xxH	この Interface がサポートする、Endpoint 0 を除くエンドポイントの個数を設定します。
bInterfaceClass	5	Byte	xxH	この Interface が属する Class を設定します。 Device Descriptor の bDeviceClass に相当します。
bInterfaceSubClass	6	Byte	00H	この Interface が属する Sub Class を設定します。 Device Descriptor の bDeviceSubClass に相当します。
bInterfaceProtocol	7	Byte	xxH	この Interface が属する Class または SubClass で定義されたプロトコルを設定します。 Device Descriptor の bDeviceProtocol に相当します。
iInterface	8	Byte	xxH	この Interface を説明する String Descriptor の Index を設定します。

## (v) Endpoint Descriptor

Endpoint Descriptor は、デバイスの Endpoint に関する情報を送信するために使用します。

表 18-45 Endpoint Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	07H	Descriptor のサイズ (7 バイト) を設定します。
bDescriptorType	1	Byte	05H	Endpoint Descriptor のため、常に 05H を設定します。
bEndpointAddress	2	Byte	xxH	Endpoint の番号と方向を設定します。 <ul style="list-style-type: none"> <li>bit7 は、エンドポイントの方向を設定します (0b : OUT / 1b : IN)。</li> <li>bit[6:4] は、常に 000b を設定します。</li> <li>bit[3:0] は、エンドポイントの番号を設定します。</li> </ul>
bmAttributes	3	Byte	xxH	エンドポイントの転送タイプを設定します。 <ul style="list-style-type: none"> <li>bit[7:6] は、常に 00b を設定します。</li> <li>bit[5:2] は、Isochronous 非対応のため、常に 0000b を設定します。</li> <li>bit[1:0] は転送タイプを設定します。 (00b : Control / 01b : Isochronous / 10b : Bulk / 11b : Interrupt)</li> </ul>
wMaxPacketSize	4	Word	0200H	エンドポイントの Max Packet Size を設定します。 <ul style="list-style-type: none"> <li>bit[15:11] は、常に 00H を設定します。</li> <li>bit[10:0] は Max Packet Size を設定してください。</li> </ul>
bInterval	6	Byte	00H	<ul style="list-style-type: none"> <li>Interrupt Endpoint の場合、最大待ち時間を設定してください。</li> <li>Bulk / Control Endpoint の場合、最大 NAK 率を設定してください。</li> </ul>

## (vi) String Descriptor

String Descriptor は、説明用のテキストを送信するために使用します。

表 18-46 String Descriptor

Field	Offset	Size	Value (例)	説明
bLength	0	Byte	XxH	Descriptor のサイズを設定します。 送信するテキストにより、サイズは変化します。
bDescriptorType	1	Byte	03H	Interface Descriptor のため、常に 03H を設定します。
wLANGID bString	2	Word	0409H	<ul style="list-style-type: none"> <li>・ wLANGID は、wIndex=0 の場合に、ストリングを表す言語を設定します。</li> <li>・ bString は、wIndex 0 の場合に、wValue の下位の値で示す値の Index に対応する文字列を wIndex で示された言語で設定します。</li> </ul>

## 第19章 Ether MAC

### 19.1 概 要

PFESiP/V850EP3 は、IEEE 802.3 1998 Edition に準拠した 10/100Mbps Ethernet Media Access Controller (MAC) と、フロー制御機能を持つ FIFO、および RFC1071 に準拠したチェックサム計算機能を内蔵しています。

**備考 PFESiP/V850EP3 内蔵の Ether MAC は、IEEE 802.3 1998Edition に基づいています。**

「Basic フレーム」、 「VLAN フレーム (Q-tagged frame)」、 「ポーズ・コントロール・フレーム」  
に対応しています。

#### 19.1.1 特 徴

(1) Ether-MAC 機能 (以降 Ether MAC コアと記載されています)

IEEE 802.3 (1998 Edition) に準拠した 10/100Mbps 全二重通信および半二重通信、フロー制御をサポート

物理層デバイス (PHY) とのインタフェースとして MII インタフェース、RMII インタフェースを採用  
(レジスタによる排他選択) し、シリアル・マネジメントによる PHY レジスタへのアクセスをサポート

RMON / SNMP (RFC2665, RFC2819) をサポートするための統計カウンタ機能内蔵

アドレス・タイプによるパケット・フィルタリング機能内蔵

VLAN 検出機能内蔵

(2) FIFO 機能 (以降 MFF コアと記載されています)

送受信 FIFO サイズ：           送信 FIFO 2K バイト，  
  受信 FIFO 2K バイト

FIFO ステータス・レジスタ内蔵

送受信ステータス、FIFO ステータスにより割り込みを発生

(3) システム・バス機能 (以降 MACAD コアと記載されています)

内部システム・バスに対する、DMA によるバス・マスタ機能、レジスタ・アクセス用のバス・スレー  
ブ機能

バッファ・ディスクリプタ形式の DMA コントローラを内蔵し、複数のパケットを送受信同時転送

受信ステータスのライトバック機能により、メモリ上で受信ステータスを確認可能

受信バッファは、バイト単位で転送アドレスと転送量を指定

パケット転送ステータスに応じた、割り込み発生機能

(4) チェックサム計算機能（以降チェックサムコア・コアと記載されています）

RFC1071 に準拠した送信チェックサム計算機能内蔵

専用バス・マスタ（MACAD コア）機能により、複数のチェックサムを連続計算し、任意のアドレスに保存可能

RFC1071 に準拠した受信チェックサム計算機能内蔵

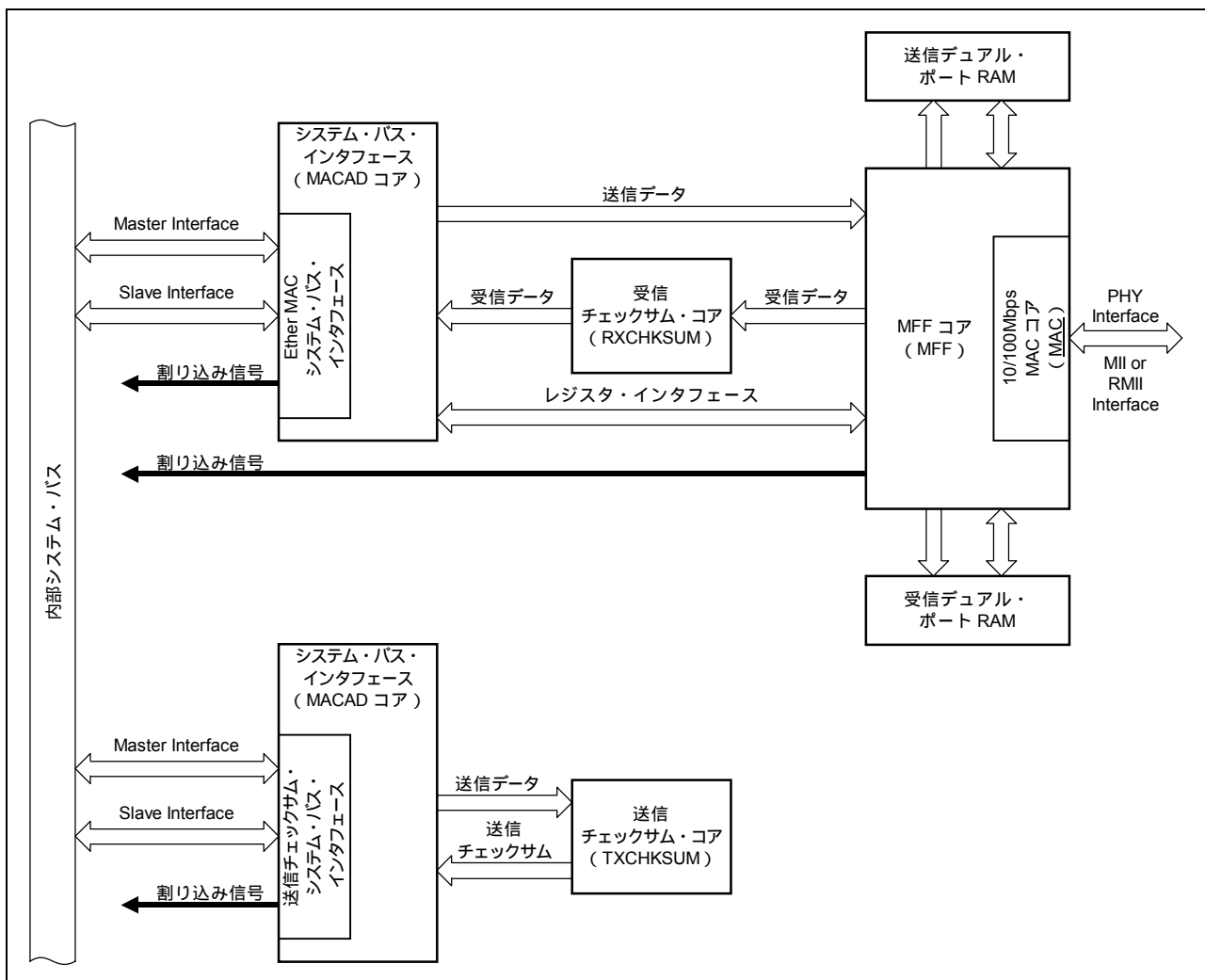
受信パケットに対して、MAC ヘッダ、FCS を自動判別して、ダミー・ヘッダを除く受信データの検証用チェックサムを生成

## 19.2 システム構成

Ether MAC は、内部システム・バスのマスタ/スレーブ・インタフェースを持っています。主にレジスタ設定などはスレーブ・インタフェース、DMA コントローラを利用したデータ転送ではマスタ・インタフェースを使用します。Ether MAC としてのデータの送受信処理は、すべて MACAD コア内蔵の DMA コントローラで行います。

また、IEEE 802.3 MII (Media Independent Interface) と、RMII Consortium の RMII™ (Reduced Media Independent Interface) に準拠し、MII または RMII インタフェースに対応した PHY デバイスを接続することで、10Mbps, 100Mbps イーサネット環境を構築できます。データ通信は、モード設定により全二重/半二重通信が可能です。

図 19-1 Ether MAC のブロック図





## (1) MFF コア

送受信 FIFO コントロール機能を構成します。

内部に Ether Mac コア機能を内蔵し、外付け PHY デバイスとのインタフェースを提供しています。

## (2) 送信用デュアル・ポート RAM, 受信用デュアル・ポート RAM

FIFO 用の同期式デュアル・ポート RAM として、送信用に 2K バイト、受信用に 2K バイト内蔵しています。

## (3) MACAD コア

内部システム・バスとのバス・ブリッジ、バス・インタフェース機能、DMA コントローラの機能で構成されています。

PFESiP/V850EP3 は、送受信を行うための MACAD と、送信チェックサム用の MACAD の、2 つのバス・インタフェースを内蔵しています。

**注意** Ether MAC としてのデータの送受信処理は、すべて MACAD コアに内蔵した DMA コントローラで行います。レジスタのリード/ライトなどにより、パケット単位を任意に送受信する機能はありません。

## (4) 受信チェックサム・コア

受信チェックサム計算機能です。

## (5) 送信チェックサム・コア

送信チェックサムの計算機能のみを持つコアです。送受信を行うインタフェースとは独立しており、送信データを DMA 機能とディスクリプタで計算、転送を行います。

### 19.3 PHY デバイスとの接続例

PFESiP/V850EP3 で LAN 機能を利用するためには、外部に PHY デバイスを接続する必要があります。

PFESiP/V850EP3 の Ether MAC は、10Mbps、100Mbps 送受信動作に対応し、IEEE 802.3 MII (Media Independent Interface) と、RMII (Reduced Media Independent Interface) に準拠し、MII または RMII インタフェースに対応した PHY デバイスを接続できます。

ポート L を PHY との MII インタフェースとして利用する場合は、ETHEN 端子にハイ・レベルを入力し、ポート L をコントロール・モード (Ether MAC 端子) に設定してください。

**注意** MII/RMII インタフェースの選択において、利用しない端子を SiP 内部で処理できますが、この場合は、いずれかのインタフェースしか利用できなくなります。

また、この選択情報は SiP パッケージの設計に必須な情報ですので、弊社担当者と申し合わせ願います。

選択したインタフェースにより、利用する端子は、以下のようになります。

表 19-1 選択したインタフェースと利用する Ether MAC 端子

端子名称	入出力	機能	兼用ポート	MII インタフェース	RMII インタフェース
ETH_TXCLK	入力	送信クロック入力	PL0	使用する	使用しない
ETH_TXD0	出力	送信データ 0	PL1	使用する	使用する
ETH_TXD1	出力	送信データ 1	PL2	使用する	使用する
ETH_TXD2	出力	送信データ 2	PL3	使用する	使用しない
ETH_TXD3	出力	送信データ 3	PL4	使用する	使用しない
ETH_TXEN	出力	送信データ・イネーブル出力	PL5	使用する	使用する
ETH_TXER	出力	送信エラー出力	PL6	使用する	使用しない
ETH_COL	入力	衝突検出入口	PL7	使用する	使用しない
ETH_CRS	入力	キャリア検出入口	PL8	使用する	使用する
ETH_RXCLK	入力	受信クロック入力	PL9	使用する	使用しない
ETH_RXD0	入力	受信データ 0	PL10	使用する	使用する
ETH_RXD1	入力	受信データ 1	PL11	使用する	使用する
ETH_RXD2	入力	受信データ 2	PL12	使用する	使用しない
ETH_RXD3	入力	受信データ 3	PL13	使用する	使用しない
ETH_RXDV	入力	受信データ VALID	PL14	使用する	使用しない
ETH_RXER	入力	受信データ・エラー	PL15	使用する	使用しない
ETH_MDC	出力	シリアル転送クロック	PL16	使用する	使用する
ETH_MDIO	入出力	シリアル入出力	PL17	使用する	使用する
ETH_REFCLK	入力	RMII インタフェース用リファレンス・クロック入力	PL18	使用しない	使用する

### 19.3.1 MII インタフェースでの接続例

未使用となる ETH\_REFCLK は，EGND に接続してください。

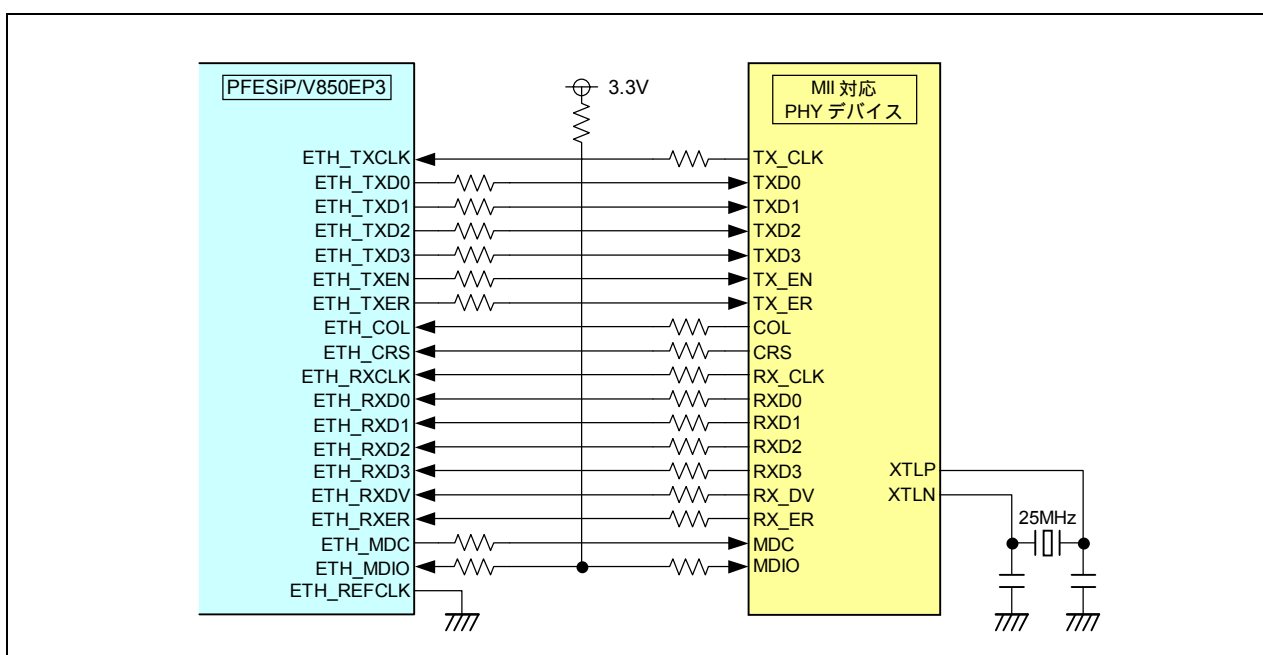
TX\_CLK, RX\_CLK は，外部の PHY から供給してください。PHY に接続するクロック・ジェネレータは，一般的には 25MHz±100ppm が要求されます。詳しくは，使用する PHY の仕様に従ってください。

ETH\_REFCLK を SiP 内部で処理する場合は，弊社担当者にお申し付けください。

表 19-2 MII インタフェース利用時の未使用端子処理

未使用端子	入出力	機能	兼用ポート	端子処理
ETH_REFCLK	入力	RMII インタフェース用リファレンス・クロック入力	PL18	EGND に接続

図 19-2 MII インタフェースでの接続例



### 19.3.2 RMII インタフェースでの接続例

外部の 50MHz ± 50ppm のクロック・ジェネレータから、ETH\_REFCLK 端子と、外部 RMII インタフェース対応の PHY デバイスにクロックを供給してください。

RMII インタフェースでは、下記の端子が未使用となります。これらの端子を SiP 内部で処理する場合は、弊社担当者にお申し付けください。

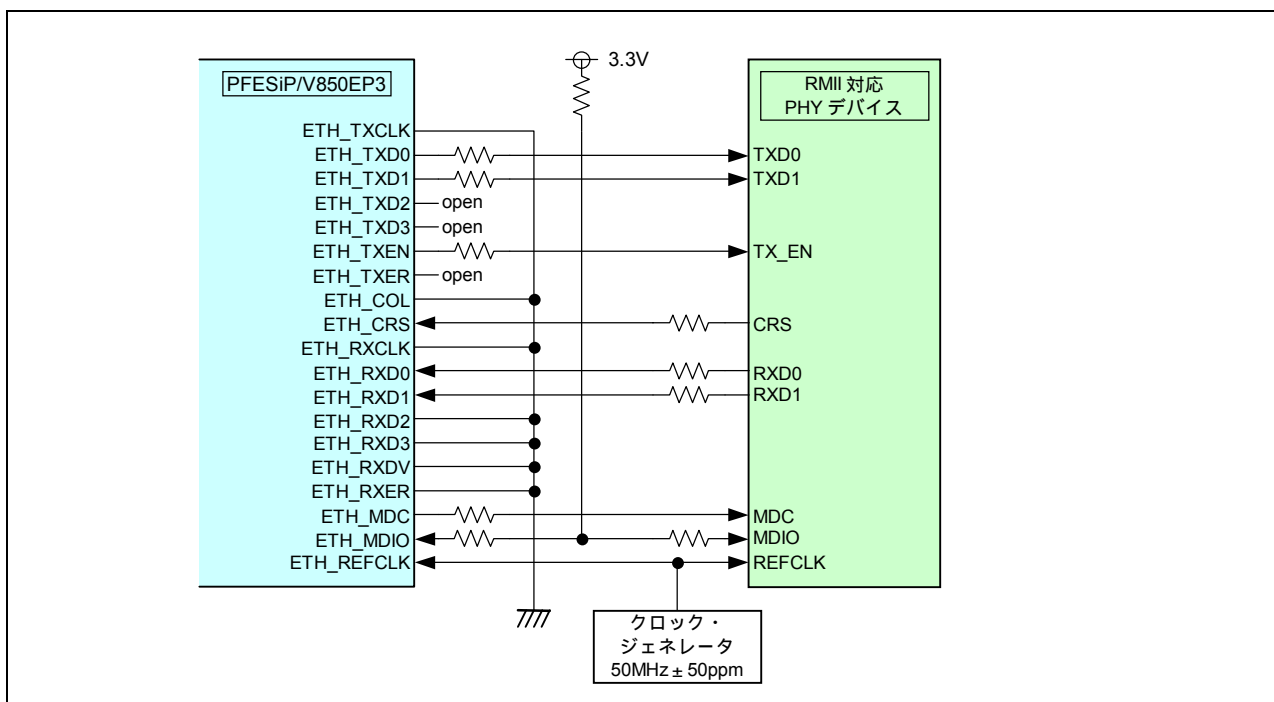
**注意** 使用する PHY の仕様によって、ここに示す接続例と異なり ETH\_CRS にロー・レベルを入力し、ETH\_RXDV を PHY に接続するケースもあります。さらに、ETH\_RXER の接続が必要になるケースもあります。

使用する PHY の仕様を確認して PFESiP/V850EP3 と接続してください。

表 19-3 RMII インタフェース利用時の未使用端子処理

未使用端子	入出力	機能	兼用ポート	端子処理
ETH_TXCLK	入力	送信クロック入力	PL0	EGND に接続
ETH_TXD2	出力	送信データ 2	PL3	オープン
ETH_TXD3	出力	送信データ 3	PL4	オープン
ETH_TXER	出力	送信エラー出力	PL6	オープン
ETH_COL	入力	衝突検出入力	PL7	EGND に接続
ETH_RXCLK	入力	受信クロック入力	PL9	EGND に接続
ETH_RXD2	入力	受信データ 2	PL12	EGND に接続
ETH_RXD3	入力	受信データ 3	PL13	EGND に接続
ETH_RXDV	入力	受信データ VALID	PL14	EGND に接続
ETH_RXER	入力	受信データ・エラー	PL15	EGND に接続

図 19-3 RMII インタフェースでの接続例



### 19.3.3 PHY との接続の注意事項

PHY との接続にあたって、以下の点に注意してください。

- (1) ETH\_TXER 端子を接続しない場合、最大パケット長 (LMAX レジスタで設定) をデフォルト値の 1,536 バイトから変更しないでください。1,536 バイト未満に設定すると、誤ったデータをリンク・パートナーに送出する可能性があります。
- (2) ETH\_RXER 端子を接続しない場合、リンク・パートナーがジャム・データを送出しない MAC を使用している場合、回線状態が悪いために発生した ERROR シンボルを検出できず、誤って正常データとして受信してしまう可能性があります。この対策として、ソフトウェアによって、TCP/UDP 等のチェックサムにより、上記のエラーを検出できるような処理を必ず入れてください。
- (3) RMII 半二重で接続した場合、自分自身の送信データによって、コリジョン・エラーを誤検出する場合があります。RMII 半二重で使用される場合は、PHY のレジスタ設定により、エコーバック禁止に設定してください。

## 19.4 割り込み信号

Ether MAC は、以下の割り込み信号を出力します。

表 19-4 Ether MAC の割り込み要因一覧

割り込み信号	割り込み名称	割り込みステータス・レジスタ	発生元	発生要因
INTSRXREQ	Ether 受信データ・レディ割り込み	なし	MFF	受信パケット読み出し要求
INTSCRX	Ether パケット受信割り込み	INTMSRX	MACAD	パケット受信 (DMA) 完了の割り込み (RXI)
				受信 (DMA) エンド・オブ・チェーン割り込み (RECI)
				受信データ・バッファ・アクセス・エラー割り込み (RBEI)
				受信ディスクリプタ Used ビットによる一時停止割り込み (RUPI)
INTSCTX	Ether パケット送信割り込み	INTMSTX	MACAD	パケット送信 (DMA) 完了の割り込み (TXI)
				送信 (DMA) エンド・オブ・チェーン割り込み (TECI)
				送信データ・バッファ・アクセス・エラー割り込み (TBEI)
				送信ディスクリプタ Used ビットによる一時停止割り込み (TUPI)
INTCFS	Ether FIFO ステータス割り込み	FSTATUS	MFF	FIFO ステータス割り込み
INTCTS	Ether 送信ステータス割り込み	TXSTATUS	MFF	送信ステータス割り込み
INTCRS	Ether 受信ステータス割り込み	RXSTATUS	MFF	受信ステータス割り込み
INTCMAC	Ether MAC コア割り込み	CAR1, CAR2	MAC	統計カウンタ・オーバフロー
INTSCTXCH	Ether 送信チェックサム計算終了割り込み	TCH_INTMSTX	TXCHKCUM	1 送信チェックサム計算終了割り込み (TXI)
				全送信チェックサム計算終了割り込み (TECI)
				送信チェックサム・バッファ・アクセス・エラー割り込み (TBEI)
				送信チェックサム計算一時停止割り込み (TUPI)
INTSCRXCH	Ether 送信チェックサム書き込み割り込み	TCH_INTMSRX	TXCHKCUM	1 送信チェックサム書き込み完了割り込み (RXI)
				全送信チェックサム書き込み完了割り込み (RECI)
				データ書き込みエラー割り込み (RBEI)
				送信チェックサム書き込み一時停止割り込み (RUPI)

各割り込み要因は、要因ごとに割り込みをマスクできます。マスクされている割り込み要因が発生した場合、をマスクしている場合に割り込み要因が発生した場合、対応する割り込みステータス・レジスタはセット (1) されますが、割り込み信号はアサートされません。

**注意** 割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

## 19.5 MAC / FIFO 機能

### 19.5.1 サポートするフレーム・フォーマット

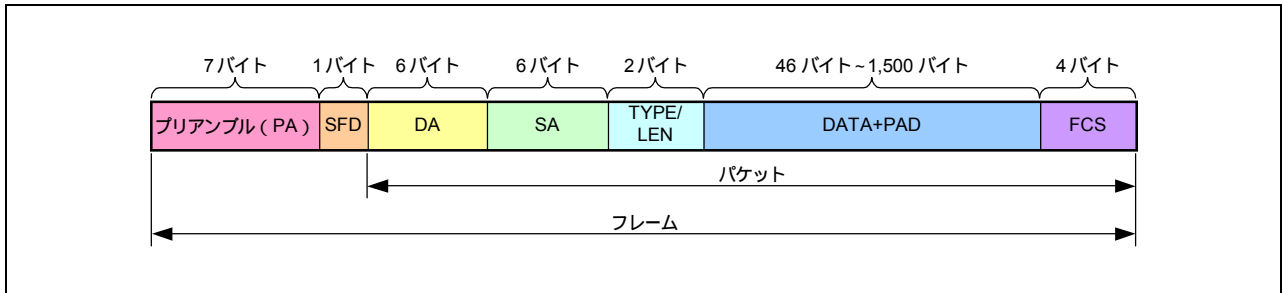
イーサネット / IEEE 802.3 では、情報はパケットあるいはフレームと呼ばれる形式で送信 / 受信が行われます。PFESiP/V850EP3 では、以降に示す 3 種類のフレーム・フォーマットをサポートしています。

#### (1) Basic フレーム

イーサネットで用いられる基本フレーム・フォーマットは、プリアンブル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、タイプ/長さ・フィールド (TYPE/LEN)、データ・フィールド (DATA)、およびフレーム・チェック・シーケンス (FCS) から構成されます。

パケット・サイズは、プリアンブル (PA)、フレーム開始デリミタ (SFD) を除き、最小で 64 バイト、最大で 1,518 バイトと定義されています。

図 19-4 Basic フレーム構造



#### (i) プリアンブルおよび SFD

プリアンブルおよび SFD は 62 ビットの連続した 10 の繰り返しと 11 からなり、各フレームの先頭部を示します。

#### (ii) デスティネーション・アドレス (DA)

デスティネーション・アドレス・フィールドは宛て先の MAC アドレスを示しており、ユニキャスト・アドレス、マルチキャスト・アドレスあるいはブロードキャスト・アドレスが書き込まれます。

#### (iii) ソース・アドレス (SA)

ソース・アドレス・フィールドには、送信元の MAC アドレスが書き込まれます。

## (iv) タイプ/レングス・フィールド (TYPE/LEN)

イーサネット・フレームではプロトコル・タイプを示すフィールドとして使われます。IEEE 802.3 フレームではデータ・フィールドの長さを示すレングス・フィールドとして使われます。

IEEE 802.3 のレングス・フィールドに対して、パケット長のチェックが行われ、結果は受信ステータス・モニタ・レジスタ (RXSTMONI) の RLER ビットに格納されます。

TYPE/LEN フィールドは、一般的に以下の値が使用されます。

表 19-5 TYPE/LEN フィールド値とプロトコル・タイプ

TYPE/LEN フィールド値	プロトコル・タイプ
0000H-05DCH	IEEE 802.3 ( Length )
0800H	IP ( DOD IP : Internet Protocol )
0806H	ARP ( Address Resolution Protocol )
8035H	RARP ( Reverse ARP )
8037H	APX
809BH	Ether Talk
8100H	VLAN
86DDH	IPv6
8864H	PPoE

## (v) データ・フィールド (DATA)

ペイロードとも呼ばれるデータ・フィールドは、46 バイトから 1,500 バイトの間で設定されます。

通信プロトコルによっては、データ・フィールドを更に分割して、専用のヘッダ情報を挿入しますが、PFESiP/V850EP3 の Ether MAC では、データ・フィールド中のデータは FCS 用の CRC 計算に使用するだけで、内容の確認等はいりません。

受信チェックサム機能は、このデータ・フィールドのチェックサムを計算します。

送信チェックサム機能により、TCP ヘッダ / IP ヘッダで使用するチェックサムを計算することができます。

## (vi) フレーム・チェック・シーケンス (FCS)

フレーム・チェック・シーケンス・フィールドは、転送データのチェックを行うために、32 ビット CRC ( Cyclic Redundancy Check ) の書き込みフィールドとして使われます。

PFESiP/V850EP3 の Ether MAC には、送信フレームに CRC を自動で付加する機能があります。

また、送信フレームの CRC を自動的にチェックして、チェック結果を送信ステータス・レジスタにフィードバックします。

受信時は、受信フレームの CRC を自動的にチェックして、チェック結果を受信ステータス・レジスタにフィードバックするほか、受信ディスクリプタのステータス・フィールドにライトバックします。



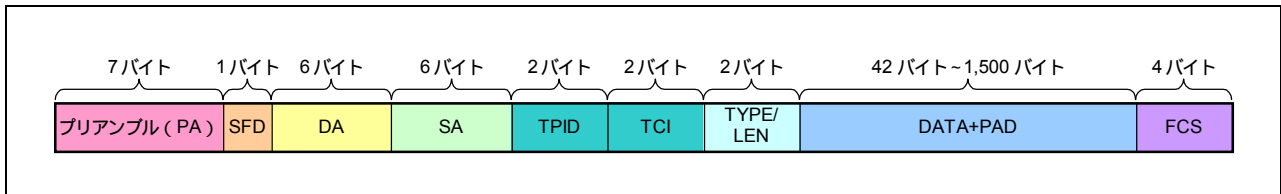
## (2) VLAN フレーム

VLAN フレーム (Qtag フレーム) の場合には, Basic フレーム構造とは若干異なります。

ソース・アドレス・フィールドの直後に 4 バイトの VLAN ヘッダが挿入されます。その結果, VLAN フレームの場合, 最小パケット長は 64 バイト, 最大パケット長は 1,522 バイトになります。

PFESiP/V850EP3 の Ether MAC は VLAN フレーム検出機能があり, 送信パケットあるいは受信パケットが VLAN フレームとして検出された場合, この受信パケット長を基準にパケット処理を行います。

図 19-5 VLAN フレーム構造



**注意** PFESiP/V850EP3 の Ether MAC は, VLTP レジスタ VLTP15-VLTP0 に設定した値を VLAN タイプ (TPID) として認識します。デフォルト値は 0000H です。

VLAN フレーム使用時は, VLTP[15:0] = 8100H と設定してください。

**備考** TPID : Tag Protocol ID (8100H)

TCI : Tag Control Information

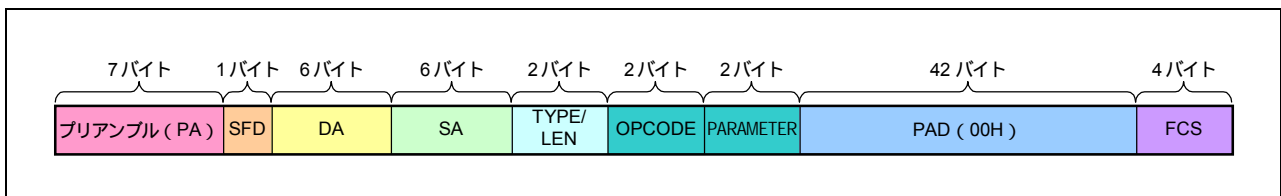
VLAN ヘッダ = TPID + TCI

## (3) ポーズ・コントロール・フレーム

ポーズ・コントロール・フレームは, 専用フォーマットの 64 バイトのパケットです。デスティネーション・アドレス・フィールドは 01-80-C2-00-00-01H に決まっています。タイプ/レングス・フィールドはコントロール・フレームを示す 8808H, オペコードはポーズ・コントロールを示す 0001H が入ります。パラメータ・フィールドはポーズ・タイム値レジスタ (PAUSETM) の値が入ります。パラメータ・フィールドのあとの未使用領域は, PAD データ "0" で埋められます。

PFESiP/V850EP3 の Ether MAC は, 受信 FIFO 内にたまっているデータ量によって, 自動的にポーズ・コントロール・フレームを送信する機能があります。

図 19-6 ポーズ・コントロール・フレーム構造



**備考** DA = Fixed Address (01-80-C2-00-00-01H)

TYPE/LEN = Type of MAC Control Frame (88-08H)

OPCODE Pause Op-code (00-01H)

PARAMETER = Pause Command parameter : PAUSETM レジスタで設定

PAD = All bits are filled zero (00H)

受信時は、DA, TYPE, OPCODE によって、表 19-6 に示すようにフレームを判断します。

表 19-6 受信オペレーション

DA	TYPE	OPCODE	フレームの判断
01-80-C2-00-00-01	8808H	0001H	ポーズ・フレーム
01-80-C2-00-00-01	8808H	0001H 以外	サポート対象外
01-80-C2-00-00-01	8808H 以外	-	データ・フレーム
ユニキャスト (Stat. Adr.)	8808H	0001H	ポーズ・フレーム
ユニキャスト (Stat. Adr.)	8808H	0001H 以外	サポート対象外
ユニキャスト (Stat. Adr.)	8808H 以外	-	データ・フレーム
マルチキャスト	8808H	-	サポート対象外
マルチキャスト	8808H 以外	-	データ・フレーム
ユニキャスト (Stat. Adr.)	8808H	-	サポート対象外
ユニキャスト (Stat. Adr.)	8808H 以外	-	データ・フレーム

(4) VLAN タグを含むポーズ・コントロール・フレーム (非対応)

PFESiP/V850EP3 の Ether MAC は、VLAN タグを含むポーズ・コントロール・フレームには対応していません。

そのまま通常の VLAN パケットとして受信しますが、受信ステータス・モニタ・レジスタ (RXSTMONI) の RBRO ビットと RLOR ビットがセット (1) されます (RPCF ビットと RFCR ビットはセット (1) されません)。

(5) envelope フレーム (非対応)

envelope フレームは、IEEE 802.3as (2005 年) で拡張されたフレーム・フォーマットで、PFESiP/V850EP3 の Ether MAC は、これに対応していません。

extension フィールドを含む envelope フレームを受信した場合、CRC エラー、レングス・フィールド不一致、あるいは受信 FIFO オーバフローとなりますので、受信ステータスを確認して破棄してください。

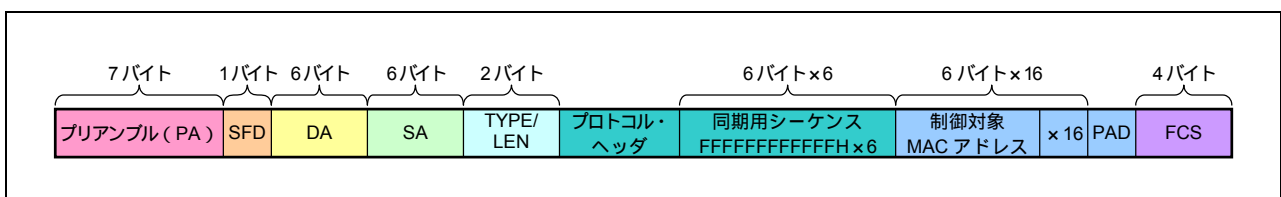
(6) MagicPacket (Wakeup On LAN)

Magic Packet (Wakeup On LAN) は、米国 AMD 社によって提唱されたプロトコルで、パケットのフォーマットには UDP 等が使用されており、Ether MAC を制御するソフトウェア処理が必要です。

IDLE モードを、Magic Packet 受信による INTSRXREQ 割り込みで解除した場合は、ソフトウェアで Magic Packet の処理を行ってください。

MII インタフェース利用時の ETH\_RXCLK (入力)、RMII インタフェース利用時の ETH\_REFCLK (入力) が停止している場合は、Magic Packet を含むパケットの受信はできません。なお FIFOCLK には、IDLE モードでも停止しないクロックが供給されています。

図 19-7 Magic Packet 構造例



## 19.5.2 Ether MAC FIFO の制限事項

PFESiP/V850EP3 の Ether MAC の内部 FIFO には、下記の制限事項があります。

表 19-7 送信 FIFO の制限

項 目	制限事項
最大 FIFO 内保存容量	2,044 バイト以下
DMA 転送条件	FIFO 内のデータが 1,536 バイト未満 <sup>注1</sup>
リトライ / アポート	衝突検出時に、自動で再送 / アポートを行う。
PHY への送信条件	FIFO 内に 1 パケット以上のパケットが存在する場合
特徴	アンダーランしない再送が可能
注意点	送信パケット長は 1,536 バイト以下

表 19-8 受信 FIFO の制限

項 目	制限事項
最大 FIFO 内保存容量	2,036 バイト以下
DMA 転送条件	FIFO 内に 1 パケット以上のパケットが存在する場合
ポーズ・コントロール・フレームの送信条件 <sup>注2</sup>	ポーズ・コントロール・フレームの送信：FIFO 内のデータが FLOWTHR 以上 0 ポーズ・コントロール・フレームの送信：FIFO 内のデータが ZPTHR 以下
特徴	すべてのエラー・パケットを破棄可能
注意点	受信パケット長は 2,036 バイト以下

注 1. FIFO 内には、最大保存容量まで複数のパケットを格納できますが、送信 FIFO 内のデータが 1,536 バイトになると、送信 DMA が停止して送信 FIFO オーバフローを回避します。

しかし PFESiP/V850EP3 の Ether MAC が送信を開始するのは、FIFO 内に 1 パケット分のデータを格納したあとです。そのため、1 パケットの長さが 1,536 バイトを超えると、送信 FIFO がロックします。使用する 1 パケットのサイズは、必ず規格値（非 VLAN 時：1,518 バイト以下、VLAN 時：1,522 バイト以下）を守ってください。

2. ポーズ・コントロール・フレームによる制御は、受信オーバフローを完全に防止するものではありません。受信 FIFO がオーバフローすると、受信できなかったパケットは破棄されます。

### 19.5.3 送信機能

DMA 転送により送信 FIFO に取り込んだ送信パケット・データから、IEEE 802.3 で定義される送信フレームを生成して PHY に出力します。衝突検出時にはランダム・バックオフ・アルゴリズムによる再送信を実行します。過剰送信遅延、最大衝突回数を越える衝突など、送信フレームごとのステータス情報は、送信ステータス割り込みレジスタ (TXSTATUS) に反映され、全送信フレームの項目別の発生回数が統計カウンタにカウントされます。

#### (1) 送信フレーム

IEEE 802.3 で定義されるフレーム・フォーマットは、プリアンプル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、レングス・フィールド (LEN)、データおよびフレーム・チェック・シーケンス (FCS) で構成されます (図 19-4 参照)。

送信動作において、Ether MAC はプリアンプル、フレーム開始デリミタ、およびフレーム・チェック・シーケンス (FCS) を生成します。

#### (2) 送信クロック

##### (a) MII インタフェースの場合

Ether MAC は、外部 PHY から供給される送信クロック (TXCLK) に同期して動作します。DMA 転送により、送信 FIFO に取り込まれた送信パケット・データは、FIFO 内で TXCLK に同期化されて PHY に出力されます。IEEE 802.3 の規格により、TXCLK の周波数は、100Mbps 動作時は  $25\text{MHz} \pm 100\text{ppm}$ 、10Mbps 動作時は  $2.5\text{MHz} \pm 100\text{ppm}$  と規定されています。

##### (b) RMII インタフェースの場合

Ether MAC は、REFCLK に供給されたクロックに同期して動作します。DMA 転送により、送信 FIFO に取り込まれた送信パケット・データは、FIFO 内で REFCLK に同期化されて PHY に出力されます。RMII Specification Rev 1.2 により、REFCLK の周波数は、100Mbps 動作時 / 10Mbps 動作時共通で  $50\text{MHz} \pm 50\text{ppm}$  と規定されています。

#### (3) キャリア・センス信号 (CRS)

半二重通信時は、DMA 転送によって FIFO 内への送信データ格納を完了し、送信可能になったときに、キャリアが検出 (CRS = 1) されていた場合、キャリアの終了 (CRS = 0) まで送信を延期します。キャリアの終了後、Back-to-Back IPG レジスタ (IPGT) によって設定されるパケット間ギャップ (IPG) をカウント後に送信を開始します。

送信可能になったときにキャリアが検出されず (CRS = 0)、かつ直前のキャリア終了後の IPG カウントが完了している場合は、ただちに送信を開始します。

自局からのフレーム送信時は、キャリア・センス信号が PHY から折り返し送信 (受信) されます。使用する PHY の仕様により、自局送信中のキャリア・センス信号がマスクされる場合、送信ステータス・モニタ・レジスタ 1 (TXSTMONI1) の CSE ビットをセット (1) して、キャリア・ロスト検出を通知しますが、送信動作自体には影響ありません。

## (4) 衝突（コリジョン）検出（COL）と再送信

半二重通信時に衝突を検出（ETH\_COL 端子にハイ・レベル入力）すると、ジャム・データ（エラー CRC）を送信したあと、送信を中止します。

最大衝突検出回数（デフォルト 15 回）以内でコリジョン・ウィンドウ内（DA から 64 バイト）の衝突を検出した場合、ランダム・バックオフ・アルゴリズムによる送信の待機を実行後、送信 FIFO 内のデータを再送信します（再送信時は DMA によるデータの取り直しを行いません）。

なお、最大衝突検出回数を超える衝突を検出した場合や、レイト・コリジョン（コリジョン・ウィンドウ外での衝突検出）が発生した場合には、その送信はアボートとなり、送信データは破棄されます。

## (5) パケット間ギャップ（IPG）

送信と送信の間隔は、Back-to-Back IPG レジスタ（IPGT）、受信と送信の間隔は Non Back-to-Back IPG レジスタ（IPGR）レジスタで設定します。

自局の送信または他局からの受信が終了すると IPG のカウントを開始します。自局の送信後で、IPG カウントが IPGT レジスタに達する前に、送信データの DMA 転送が終了し、次の送信準備ができた場合には、連続（Back-To-Back）での送信とみなし、カウント終了後ただちに送信を開始します（図 19-8）。他局からの受信後に送信を行う場合、IPG カウントは IPGR レジスタによって制御されます（図 19-9）。

IPGR レジスタでは、IPG 全体の時間を IPGR2 フィールドに設定し、IPG 前半でキャリア・センスを行う時間を IPGR1 フィールドに設定します。IPGR1 フィールドで設定された期間中にキャリアが検出された場合は、キャリアの終了を待って IPG カウントを最初からやり直します。IPGR1 フィールドで設定された期間にキャリアが検出されなかった場合には、IPGR2 フィールドで設定された IPG カウントの終了後、送信を開始します。

次の送信準備ができてから、24,288 [bit times]（10Mbps：2.43ms、100Mbps：243.88us）経過しても送信が開始できない場合、過剰送信遅延として送信はアボートされ、その送信データは破棄されます。

IPGT レジスタおよび IPGR レジスタの設定値と、実際の IPG 期間は次の式で求められます。

IEEE 802.3 の規格により、IPG は 100Mbps 動作時 960ns 以上、10Mbps 動作時 9.6us 以上になるように設定してください。

IPGT、IPGR レジスタのデフォルト値は規格上の最低値となっているので、そのまま使用できます。

## (i) 100Mbps 動作時

Back-To-Back で送信する場合：	$IPG = (5 + IPGT) \times 40ns$ （デフォルト 960ns）
Non Back-To-Back で送信する場合：	$IPG = (5 + IPGR2) \times 40ns$ （デフォルト 960ns）
キャリア・センス時間：	$(2 + IPGR1) \times 40 ns$ （デフォルト 640ns）

## (ii) 10Mbps 動作時

Back-To-Back で送信する場合：	$IPG = (5 + IPGT) \times 400ns$ （デフォルト 9.6us）
Non Back-To-Back で送信する場合：	$IPG = (5 + IPGR2) \times 400ns$ （デフォルト 9.6us）
キャリア・センス時間：	$(2 + IPGR1) \times 400ns$ （デフォルト 6.4us）

図 19-8 Back-To-Back 送信 IPG

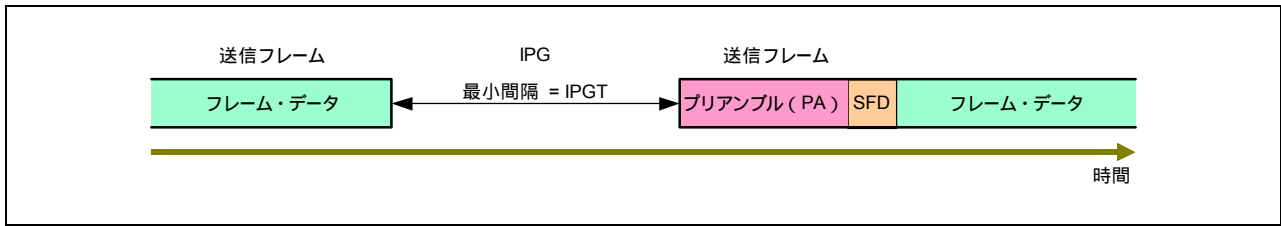
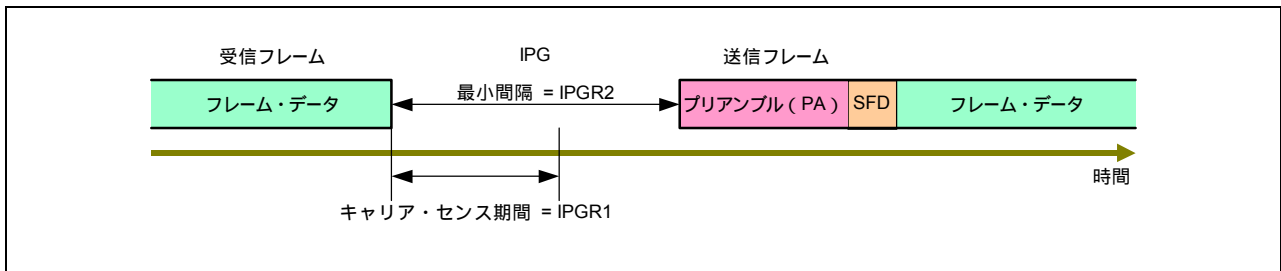


図 19-9 Non Back-To-Back 送信 IPG



## (6) プリアンブル/CRC/パッド付加

7 バイトのプリアンブル (PA) と 1 バイトのフレーム開始デリミタ (SFD) を、DMA により転送された送信パケットの前に付加します。

MAC 設定レジスタ 1 (MACC1) の CRCEN ビットの設定に応じて、以下の動作を行います。

MACC1.CREN	動作
0	送信パケットの最後は有効なフレーム・チェック・シーケンス (FCS) である必要があります。Ether MAC は、FCS をチェックし、FCS の値が正しくない場合は、送信ステータス割り込み (INTCTS) でエラーを通知しますが、送信は行われます。 このとき、CRC エラーとして、送信ステータス・モニタ・レジスタ (TXSTMONI2) の TCRCE ビットと、送信ステータス割り込みレジスタ (TXSTATUS) の TCRCE ビットがセット (1) されます。
1	送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。

また、MACC1 レジスタの PADEN ビットがセット (1) されている場合、64 バイトより短い送信パケットに対しパッド (PAD) を付加します (パディング)。この場合、CRCEN ビットの設定にかかわらず、Ether MAC は正しいフレーム・チェック・シーケンス (FCS) をフレームの最後に付加します。

PADEN ビットがセット (1) されている場合に、MAC 設定レジスタ 2 (MACC2) の APD ビットまたは VPD ビットがセット (1) されていると、VLAN フレームに対するパッド追加を行います。APD ビットをセット (1) すると、VLAN タイプ・レジスタ (VLTP) に設定した VLAN タイプに一致するパケットのみを VLAN フレームとみなしてパッド追加を行います。VPD ビットをセット (1) すると、すべてのパケットを VLAN フレームとみなしてパッド追加を行います。VLAN フレームとみなされたパケットにパディングを行うときは、フレーム長が 68 バイトになるようにパッドを追加します。パッドとして追加されるデータは、すべて "0" です。

## (7) 送信アボート

以下の条件が発生した場合、送信をアボートし、送信パケットを破棄します。なお、正常な使用範囲において、送信 FIFO アンダーランによるアボートは発生しません。

- (i) 最大衝突回数を越える衝突 (MAX コリジョン)
- (ii) コリジョン・ウィンドウ外での衝突 (レイト・コリジョン)
- (iii) 過剰送信遅延
- (iv) 送信パケット長が LMAX レジスタの設定値を超えた場合 (ただし、MACC1 レジスタの HUGEN ビットがセット (1) されている場合、送信パケット長は制限されません。)

## (8) 全二重動作

MAC 設定レジスタ 1 (MACC1) の FULLD ビットをセット (1) すると、全二重動作が可能になります。IPG は、常に IPGT レジスタで設定される値になります。また FULLD 信号は、MACC1 レジスタの FULLD ビットがセット (1) されるとアサートされ、外部回路に全二重動作が設定されていることを知らせます。

MAC 設定レジスタ 1 (MACC1) の FULLD ビットをセット (1) すると、全二重動作が可能になります。IPG は、常に IPGT レジスタで設定された値になります。全二重通信では、キャリア (CRS) および衝突 : コリジョン (COL) の検出を行いません。

Ether MAC を全二重モードに設定し、半二重モードのリピータに接続すると、衝突の発生によりスループットが低下する原因となるため、半二重モードのリピータに接続する場合は、Ether MAC も半二重モードに設定してください。

## (9) フロー・コントロール機能、バック・プレッシャー機能

Ether MAC は、受信 FIFO と連動したフロー・コントロール機能 (19.5.5(1)参照)、バック・プレッシャー機能 (19.5.5(2)参照) を持っており、受信 FIFO のオーバフローを極力防止することができます。

### 19.5.4 受信機能

受信フレームに対して、SFD の検出、レンジス・フィールド・チェック、FCS チェック、VLAN フレームの検出などを行い、受信パケットを生成します。

受信パケットごとのステータス情報は、受信ステータス・モニタ・レジスタ (RXSTMONI) に格納され、全受信フレームの項目別の発生回数は、統計カウンタにカウントされます。また、受信ステータスは、ディスクリプタにライトバックされます。

#### (1) 受信クロック

##### (a) MII インタフェースの場合

Ether MAC は、外部 PHY から供給される受信クロック (RXCLK) に同期してデータを受信します。

IEEE 802.3 の規格により、RXCLK の周波数は、100Mbps 動作時は  $25\text{MHz} \pm 100\text{ppm}$ 、10Mbps 動作時は  $2.5\text{MHz} \pm 100\text{ppm}$  と規定されています。

##### (b) RMII インタフェースの場合

Ether MAC は、REFCLK に供給されたクロックに同期してデータを受信します。

RMII Specification Rev 1.2 により、REFCLK の周波数は、100Mbps 動作時 / 10Mbps 動作時共通で  $50\text{MHz} \pm 50\text{ppm}$  と規定されています。

#### (2) MII データの受信

RXDV 信号がアサートされている期間、RXD 信号上のデータを受信フレームとして認識し、RXDV 信号がディアサートされたときをフレームの終了とみなします。

#### (3) プリアンブルおよび SFD の検出

受信フレームの先頭においてプリアンブル (PA) と、フレーム開始デリミタ (SFD) を検出し、これ以降を受信パケットとします。

#### (4) レンゲス・フィールドのチェック

受信パケットの長さをカウントし、ソース・アドレスに続く 2 バイトをレンジス・フィールドとみなして、データ・フィールド長のチェックを行います。チェック結果は受信ステータス・モニタ・レジスタ (RXSTMONI) に格納されます。

チェック結果が不一致の場合は、受信ステータス割り込みレジスタ (RXSTATUS) の RLER ビットをセット (1) して、受信ステータス割り込み (INTSCRX) が発生します。また、受信エラー選択レジスタ (RXERSEL) の RLER ビットがセット (1) されている場合は、その受信パケットは破棄されません。

#### (5) CRC チェック

受信パケットから 4 バイトのフレーム・チェック・シーケンス (FCS) を計算し、受信パケットの最後に付加されている FCS データと比較します。比較結果は受信ステータス・モニタ・レジスタ (RXSTMONI) に格納されます。

比較結果が不一致の場合は、受信ステータス割り込みレジスタ (RXSTATUS) の RCRCE ビットをセット (1) して、受信ステータス割り込み (INTSCRX) が発生します。また、受信エラー選択レジスタ (RXERSEL) の RCRCE ビットがセット (1) されている場合は、その受信パケットは破棄されません。



## (6) ショート・パケットの破棄

6 バイト以上のパケットを有効とし、6 バイト未満のパケットは破棄します。

## (7) ヒュージ・パケットの検出

MAC 設定レジスタ 1 (MACC1) の HUGEN ビットがクリア (0) されている場合、最大パケット長レジスタ (LMAX) で設定される最大フレーム長 (デフォルト値で 1,536 バイト) 以下のパケットのみを受信し、それを越えるパケットは途中で打ち切られます。

打ち切られたパケットは、FCS のチェックがエラーとなり、CRC エラー時と同じく、受信ステータス割り込みレジスタ (RXSTATUS) の RCRCE ビットをセット (1) して、受信ステータス割り込み (INTSCRX) が発生します。また、受信エラー選択レジスタ (RXERSEL) の RCRCE ビットがセット (1) されている場合は、その受信パケットは破棄されます。

受信可能なパケット長は表 19-8 を参照してください。

## (8) VLAN フレーム検出

受信したパケットすべてに対して VLAN フレームであるかをチェックしています。

受信したパケットの TPID フィールド (ソース・アドレスに続く 2 バイト) の値が VLAN タイプ・レジスタ (VLTP) に設定された値と一致すると、VLAN パケットとして受信ステータス・モニタ・レジスタ (RXSTMONI) の VLAN フラグをセット (1) して、受信ステータス割り込み (INTSCRX) が発生します。受信エラー選択レジスタ (RXERSEL) の VLAN ビットがセット (1) されている場合は、その受信パケットは破棄されます。

なお、VLAN フレームとして認識されたパケットは、TPID フィールドを含む VLAN ヘッダ (ソース・アドレスに続く 4 バイト) の直後の 2 バイトを、レングス・フィールドとみなします。

### 19.5.5 MAC 制御機能

#### (1) フロー制御機能

IEEE 802.3 Annex31 で定義されたポーズ・コントロール・フレームの処理を行い、フロー制御を実現します。

フロー制御の目的は、全二重動作においてポイント・ツー・ポイントで接続されている他方の端末(リンク・パートナー)から送信されてくるフレームの送信頻度を下げることにあります。システムが受信データを処理できる量には限度があり、ある頻度以上でフレームが受信されると、システムの処理がそれに追従できなくなり、受信 FIFO がオーバーフローする可能性があります。このような状況を防ぐために、フロー制御は使われます。

Ether MAC は、ポーズ・コントロール・フレームを受信した場合、コントロール・フレーム内のパラメータ・フィールドの値を MAC 内のポーズ・タイマにロードします。ポーズ・タイマの値が 0 でない場合は、ポーズ・タイマに設定されている時間(100Mbps 時:最大約 335ms,10Mbps 時:最大約 3.35s)を経過したあと、次の送信を開始します。

受信したポーズ・コントロール・フレーム内のパラメータ・フィールドの値が 0 の場合(ゼロポーズ・コントロール・フレーム)、ポーズ・タイマの値を 0 にして、Non Back-to-Bak IPG レジスタ (IPGR) に設定されたパケット間隔を取って、送信を再開します。

一方、リンク・パートナーからのデータ送信を抑えたい場合には、予約されたマルチキャスト・アドレス(01-80-C2-00-00-01)、ポーズ・オペコード(00-01)およびポーズ・タイマ値レジスタ(PAUSE\_TM)のポーズ・タイマ値(PAUSE\_TM\_MAX)を、ポーズ・コントロール・フレームとして送信します。

ポーズ・フレーム送信の開始は、通常フレーム送信の開始よりも優先されますが、通常フレーム送信中にポーズ・フレーム送信条件が発生した場合は、送信中の通常フレームの送信終了後にポーズ・フレームを送信されます。

Ether MAC は、MAC 設定レジスタ 1 (MACC1) の FULLD ビットと、MFF コントロール・レジスタ (MFFCONT) の FLOWCNT ビットをセット (1) することでフロー制御を行います。

ポーズ・コントロール・フレームの送信は、受信 FIFO (RX FIFO) 内のデータ量で判断されます。

全二重通信モード時、MFFCONT レジスタの IVPAUSE ビットをクリア (0) した場合、受信中に受信 FIFO 内のデータ量を監視します (図 19-10a 参照)。そして受信 FIFO 内のデータ量がフロー制御しきい値レジスタ (FLOWTHRESH) の FLOWTHR 設定値を超えた時点で、ポーズ・コントロール・フレームを送信します (図 19-10b 参照)。

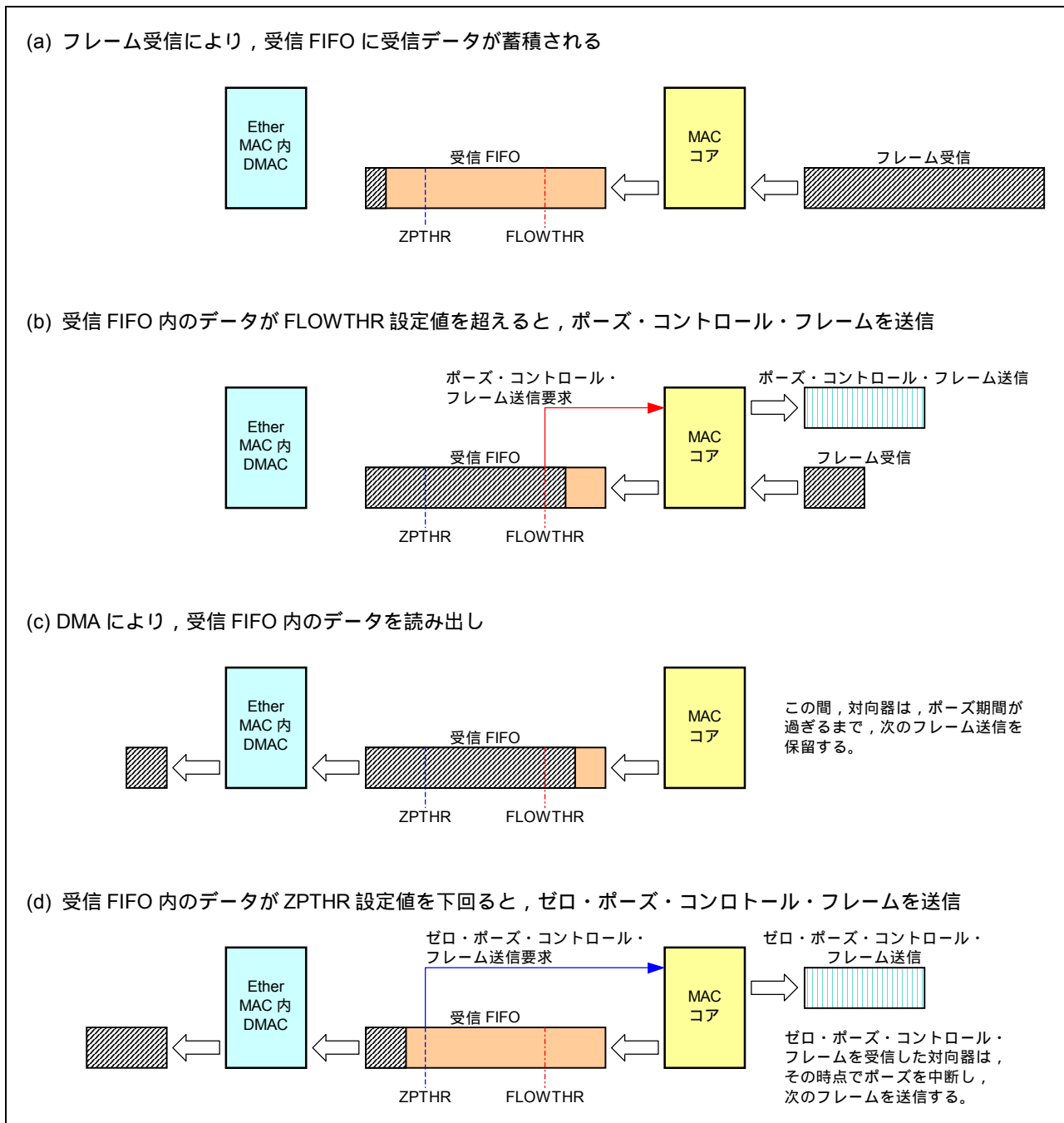
また、MFFCONT レジスタの IVPAUSE ビットをセット (1) した場合、受信 FIFO 内のデータ量が FLOWTHRESH レジスタの FLOWTHR 設定値を超えている間、PAUSE\_TM レジスタの IPTIME 設定値の間隔で、ポーズ・コントロール・フレームを再送信し続けます。

DMA による受信データの転送中も、受信 FIFO 内のデータ量を監視しています (図 19-10c 参照)。

MFFCONT レジスタの ZEROPAUSE ビットをセット (1) した場合、受信 FIFO 内のデータ量が FLOWTHRESH レジスタの ZPTHR 設定値を下回った時点で、ゼロポーズ・コントロール・フレームを送信します (図 19-10d 参照)。

MFFCONT レジスタの ZEROPAUSE ビットをクリア (0) した場合、ゼロ・ポーズ・コントロール・フレームは送信しません。

図 19-10 フロー制御の流れ



**備考** 図中の受信 FIFO の表現は、FIFO 中のデータ量を示したもので、実際のデータの保存のされ方は異なります。

## (2) バック・プレッシャー

この機能は半二重動作時にのみ有効な機能です。

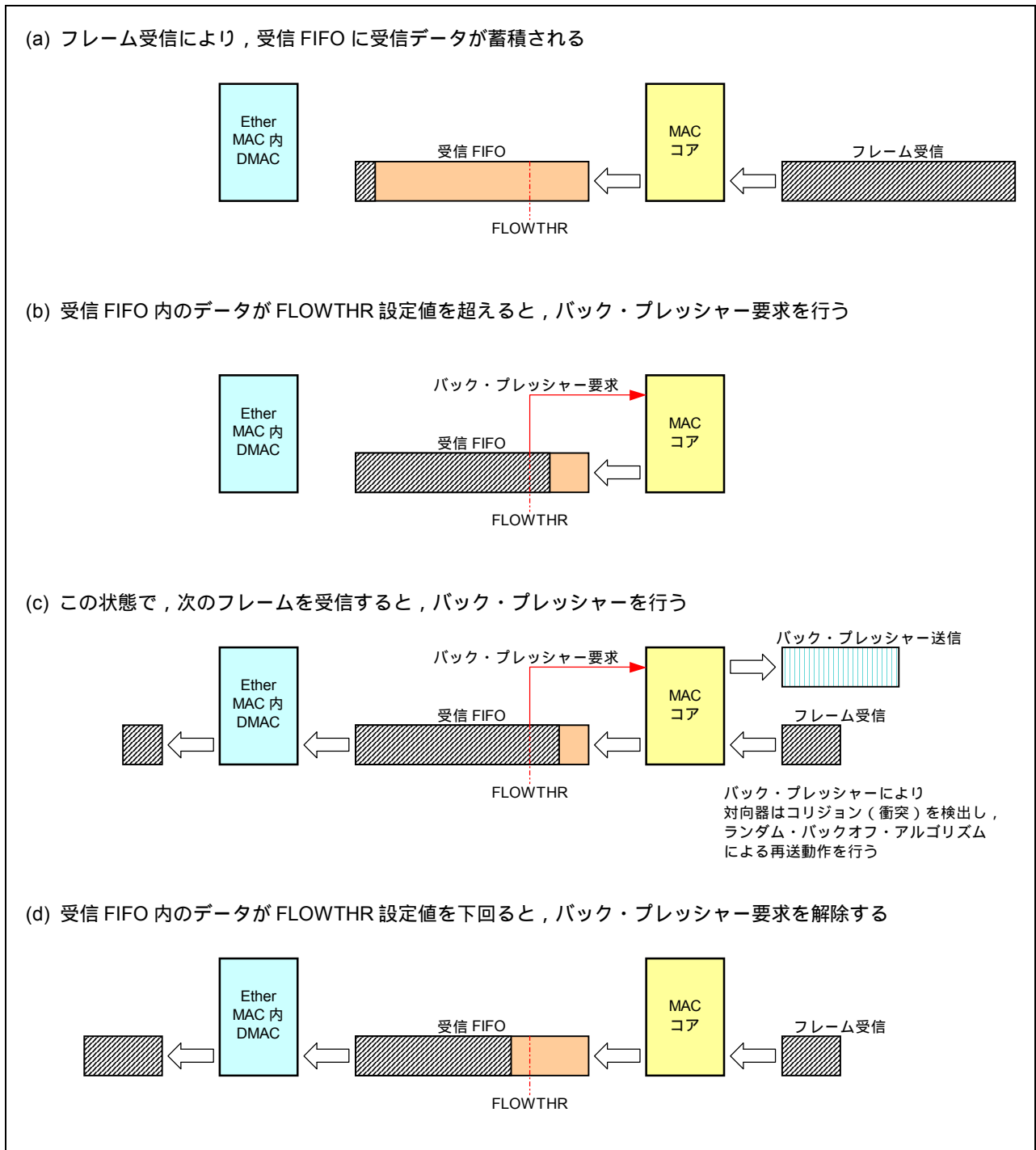
MAC 設定レジスタ 1 (MACC1) の FULLD ビットがクリア (0) , MFF コントロール・レジスタ (MFFCONT) の FLOWCNT ビットをセット (1) されている場合, 受信 FIFO の容量がフロー制御しきい値レジスタ (FLOWTHRESH) の FLOWTHR 設定値を超えると, バック・プレッシャー状態になります (図 19-11b 参照)。

この状態で次のフレームを受信すると, ダミー・パケットを送信し故意にコリジョン (衝突) を発生させ, 対向器に再送信を促します (図 19-11c 参照)。

バック・プレッシャーのときに発生したコリジョン (衝突) は, コリジョン (衝突) 回数としてカウントされません。

受信 FIFO (RX FIFO) の容量が FLOWTHRESH レジスタの FLOWTHR 設定値を下回ると, バック・プレッシャー状態が解除されます (図 19-11d 参照)。

図 19-11 バック・プレッシャー制御の流れ



(3) VLAN フレームに対する動作

Ether MAC は、送受信パケット内の TPID フィールドを VLAN タイプ・レジスタ (VLTP) と比較することで、VLAN フレームを検出します。VLAN フレームに対する動作を以下に示します。

(a) VLAN フレームの検出

Ether MAC は、受信パケット内のソース・アドレスに続く 2 バイトの TPID フィールドの値を常に確認しています。

送信時は、MAC 設定レジスタ 2 (MACC2) の APD ビットまたは VPD ビットがセット (1) されているときに TPID フィールドの値を確認します。

パケットの TPID フィールドが VLAN タイプ・レジスタ (VLTP) と一致した場合、Ether MAC は VLAN フレームとみなします。

(b) VLAN フレームの受信

受信パケットの TPID フィールドの値が VLAN タイプ・レジスタ (VLTP) と一致した場合、受信フレーム・サイズに関する判定は、すべて VLAN フレーム・サイズ (MAX : 1,522 バイト, MIN : 64 バイト) を基準に判定されます。

(c) VLAN フレームの送信

MAC 設定レジスタ 2 (MACC2) の APD ビットがセット (1) されていると、送信フレームとして CPU 等から与えられた TPID フィールドの値が VLAN タイプ・レジスタ (VLTP) と一致するフレームの送信の場合、VLAN フレームと認識してフレーム長が 68 バイトになるようにパッドを付加します。

MACC2 レジスタの VPD ビットがセット (1) されていると、すべてのフレームを VLAN フレームと認識して、フレーム長が 68 バイトになるようにパッドを付加します。

### 19.5.6 回線インタフェース

PFESiP/V850EP3 の Ether MAC は、IEEE 802.3 MII (Media Independent Interface) と、RMII™ Specification Rev. 1.2 に準拠した RMII (Reduced Media Independent Interface) に準拠し、MII または RMII インタフェースに対応した PHY デバイスを接続することで、10Mbps, 100Mbps イーサネット環境を構築できます。データ通信は、モード設定により全二重 / 半二重通信が可能です。

RMII I/F のモード設定は、「19.10.3(2) MAC 設定レジスタ 2 (MACC2)」を参照してください。

### 19.5.7 シリアル・マネジメント・インタフェース機能

Ether MAC は、シリアル・マネジメント・インタフェースを 1 ペア内蔵しており、PHY デバイスの設定、ステータス読み出しやオート・ネゴシエーション使用時の PHY との通信に使用できます。

接続する PHY のアドレスを Ether MAC から設定する場合、シリアル・マネジメント・インタフェースを使用する前に、MII アドレス・レジスタ (MADR) に PHY アドレスを設定してください。

#### (1) シリアル・マネジメント機能概要

##### (a) MDC クロック

システム・バス・クロックの HCLK を分周し、マネジメント・データ・クロック (MDC) を生成しています。

分周比は、MII コンフィギュレーション・レジスタ (MIIC) の CLKS2-CLKS0 ビットで設定します。

表 19-9 MIIC レジスタの CLKS2-CLKS0 ビットと HCLK の周波数

MII レジスタのビット 4-2			分周比	HCLK 周波数
CLKS2	CLKS1	CLKS0		
0	0	0	-	設定禁止
0	0	1	14	33MHz 以下
0	1	0	20	50MHz 以下
0	1	1	28	66MHz 以下
1	0	0	40	100MHz 以下
1	0	1	56	設定禁止
1	1	0	70	設定禁止
1	1	1	84	設定禁止

MIIC.PHYSEL = 0 (初期値) に設定すると、MDC は、マネジメント・フレームを送信あるいは受信しているときのみ出力されます。

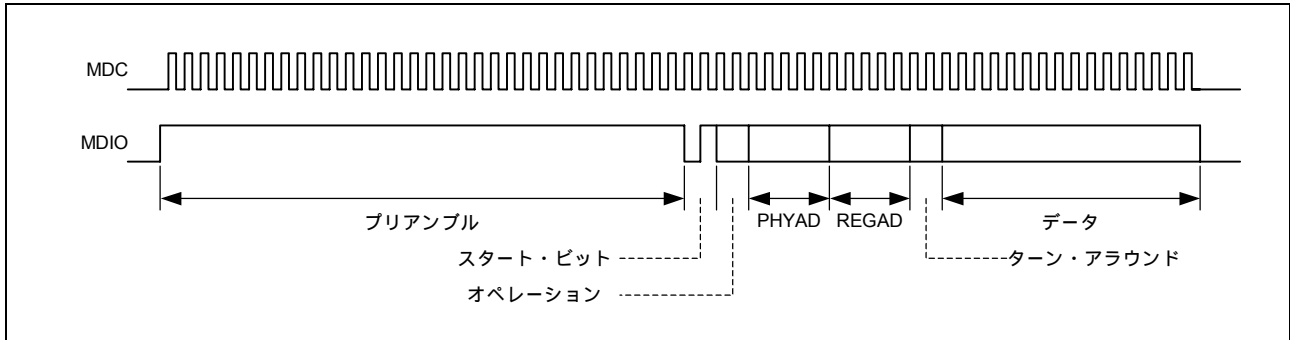
MIIC.PHYSEL = 1 に設定すると、常に MDC を出力します。

MIIC.PHYSEL = 0 のときに PHY との通信に失敗する場合、MIIC.PHYSEL = 1 で使用してください。

## (b) シリアル・マネジメント・フレーム構造

Ether MAC は、MII コマンド・レジスタ (MCMD) への値の書き込み、または MII ライト・データ・レジスタ (MWTDR) への値の書き込みによって、以下に示すシリアル・マネジメント・フレームを生成します。

図 19-12 シリアル・マネジメント・フレーム構造



シリアル・マネジメント・フレームは、32 ビットのプリアンブル、2 ビットのスタート・ビット、PHY デバイス内のレジスタに対するリード/ライト動作に応じた 2 ビットのおペコードが自動的に付加されます。PHYAD と REGAD は外部に接続される PHY デバイスのデバイス・アドレスと、その PHY デバイス内にあるレジスタ・アドレスを示しており、それぞれ MII アドレス・レジスタ (MADR) の FIAD フィールドと RGAD フィールドに設定された値が付加されます。

Ether MAC は、プリアンブルから REGAD までのデータを MDIO 端子にシリアル出力し、さらに 2 ビットのターン・アラウンド後、ライト・アクセスの場合は、MII ライト・データ・レジスタ (MWTDR) の CTLD フィールドに設定されたデータを出力します。リード・アクセスの場合は、MDIO 端子からシリアル・データが入力され、MII リード・データ・レジスタ (MRDDR) の PRSD フィールドに取り込まれます。リード・アクセス/ライト・アクセスに応じて MDIO の入力/出力が切り替わります。

## (c) SCAN コマンド

Ether MAC は、特定の PHY レジスタを連続して読み出すために、SCAN コマンドを用意しています。MII コマンド・レジスタ (MCMD) の SCANC ビットをセット (1) することにより、連続リード・アクセスが発生し、MII リード・データ・レジスタ (MRDDR) の PRSD フィールドを読み出すことで、特定の PHY レジスタのポーリングが可能になります。



## (2) シリアル・マネジメントのアクセス手順

シリアル・マネジメント・フレームの送受信は次のように行います。

まず、MII インジケータ・レジスタ (MIND) の SCANA ビットにより、SCAN 中であるかどうかを確認します。SCAN 中でない場合は MIND レジスタの BUSY ビットを確認し、現在シリアル・マネジメントのアクセス中であるかどうかを確認します。BUSY = 1 の場合は、0 になるまで待ちます。一方 SCAN 中であった場合は MII コマンド・レジスタ (MCMD) の SCANC ビットをクリア (0) し、BUSY = 0 になるのを待ちます。

次に、ターゲットとなる外部 PHY デバイスのデバイス・アドレスおよび PHY デバイス内のレジスタ・アドレスを、それぞれ MII アドレス・レジスタ (MADR) の FIAD フィールドと RGAD フィールドに設定します。

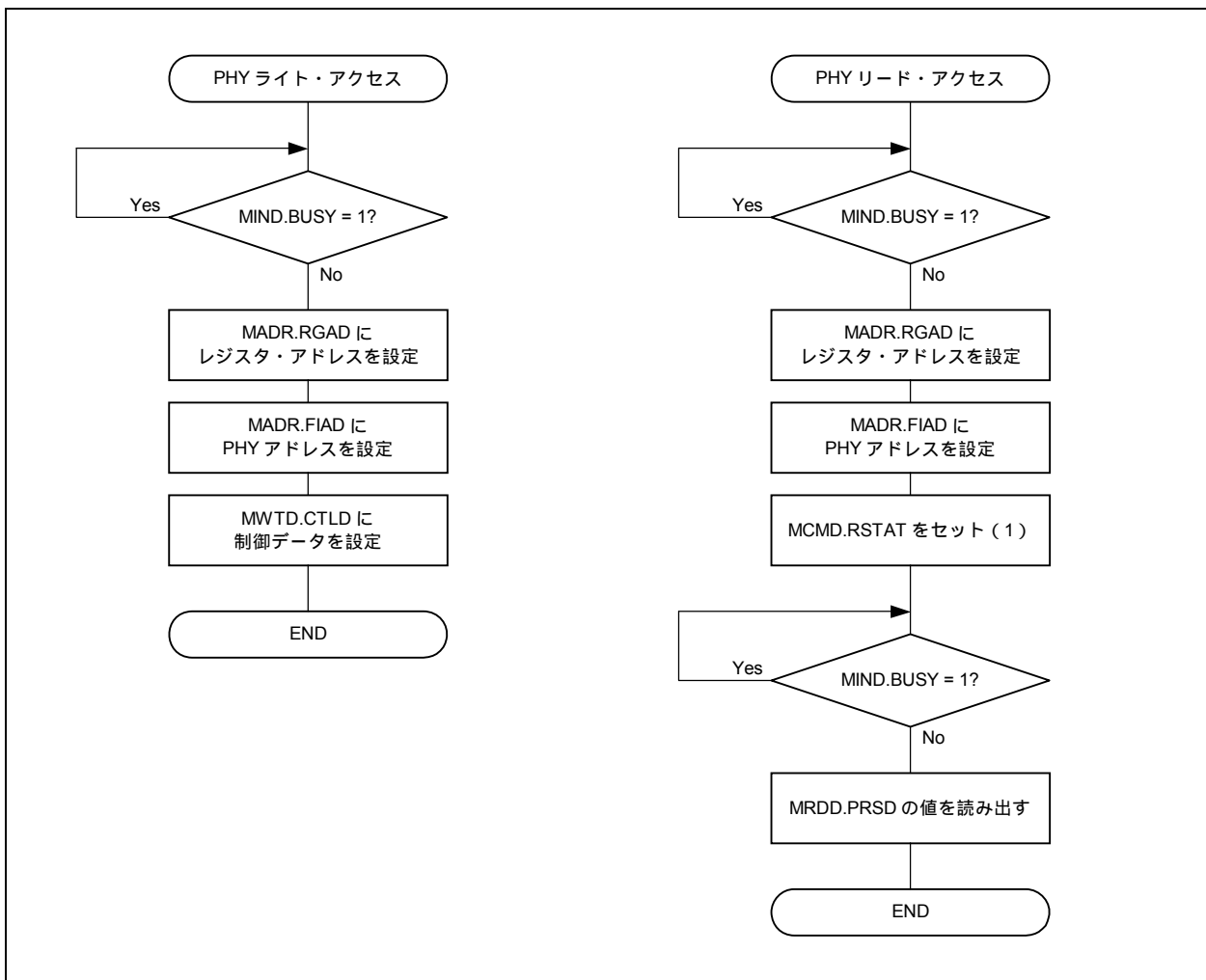
ライト・アクセスは、MII ライト・データ・レジスタ (MWTD) の CTLD フィールドにデータを書き込むことでライト・アクセスが開始されます。MIND レジスタの BUSY ビットは、MWTD レジスタに書き込みが行われるとセット (1) され、ライト・アクセスが終了すると自動的にクリア (0) されます。

リード・アクセスは、MCMD レジスタの RSTAT ビットをセット (1) すると開始されます。RSTAT ビットがセット (1) されると BUSY ビットがセット (1) され、リード・アクセスが終了すると BUSY ビットは自動的にクリア (0) されます。ソフトウェアでは BUSY = 0 を確認したあと、MII リード・データ・レジスタ (MRDD) の PRSD フィールドを読み出すことで、PHY レジスタのデータを得ることができます。

SCAN コマンドを実行するには、MCMD レジスタの SCANC ビットをセット (1) してください。SCANC ビットがセット (1) されると、リード・アクセス動作が繰り返し実行されます。

MIND レジスタの SCANA ビットは、SCAN コマンド実行中の間セット (1) されます。MIND レジスタの NVALID ビットは SCAN コマンド実行後、最初のリード・アクセスが完了するまでの間セット (1) されます。MIND レジスタの BUSY ビットは、SCAN コマンドが実行されるとセット (1) され、SCAN コマンドをディスエーブル (MCMD.SCANC = 0) にすると、その時点でのリード・アクセスが完了したあとでクリア (0) されます。

図 19-13 PHY レジスタへのアクセスフロー



## 19.5.8 アドレス・フィルタリング

### (1) アドレス・フィルタリング機能概要

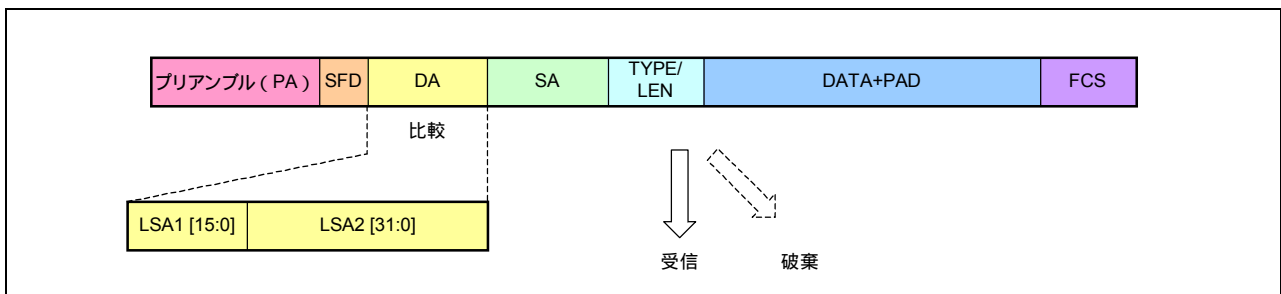
Ether MAC は、受信パケットのデスティネーション・アドレスによるフィルタリングを行い、フィルタリング結果により受信パケットの受領 / 破棄を判断します。

フィルタリングの条件は、アドレス・フィルタ・レジスタ (AFR) で設定します。ユニキャスト・アドレス、マルチキャスト・アドレス、あるいはブロードキャスト・アドレスを個別に設定することが可能で、またこれらのフィルタリング条件を組み合わせることも可能です。

#### (a) ユニキャスト・アドレスのフィルタリング

ステーション・アドレス・レジスタ 1, 2 (LSA1, LSA2) に設定されるアドレスをユニキャスト・アドレスとし、受信されたパケットのデスティネーション・アドレスと比較します。比較した結果、アドレスが一致したパケットを受信し、一致しない受信パケットは破棄されます。ユニキャスト・アドレスの一致検出は受信パケットごとに行われます。

図 19-14 ユニキャスト・アドレスによるフィルタリングのイメージ



#### (b) マルチキャスト・アドレスのフィルタリング

マルチキャスト・アドレスのフィルタリングには 2 通りあります。アドレス・フィルタ・レジスタ (AFR) の PRM ビットをセット (1) すると、すべてのマルチキャスト・アドレスをデスティネーション・アドレス (DA) に持つパケットを受領します。

AFR レジスタの AMC ビットをセット (1) すると、HASH テーブル・レジスタ 1, 2 (HT1, HT2) のハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・アドレスのパケットのみ受信パケットとして受領し、一致しないパケットは破棄します。

ハッシュ・テーブルによる一致検出の方法は次のとおりです。

ハッシュ・テーブルは受信されたマルチキャスト・アドレスの CRC 計算結果 32 ビットのうちビット [28:23] を用いて参照されます。CRC 計算には多項式として次の式を使用しています。

$$\text{CRC}(x) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

HT1 レジスタおよび HT2 レジスタ上で、先の 6 ビットをデコードした値で示されるビット位置 (表 19-10 参照) に 1 が設定されている場合、そのマルチキャスト・アドレスに対して受領と判断します。ハッシュ・テーブルを設定するためには、あらかじめ限定するマルチキャスト・アドレスの CRC 計算を行い、対応するビットに 1 を設定しておく必要があります。

表 19-10 HASH テーブル (HT1, HT2) の参照

	CRC [25:23]							
CRC [28:26]	111b	110b	101b	100b	011b	010b	001b	000b
111b	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110b	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101b	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100b	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011b	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010b	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001b	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000b	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]

ハッシュ・テーブル計算を行うプログラム例を、以下に示します。

たとえば、DA = 12 34 56 78 9A BC の場合、CRC = D4,E8,80,56、CRC[28:26] = 5、CRC[25:23] = 1 となり、表 19-10 から、HT1 [9]をセットすれば、目的とする DA のマルチキャスト・パケットを受信します。なお HT1 レジスタおよび HT2 レジスタの値が、ともに 00000000H の場合、すべてのパケットを破棄します。

図 19-15 ハッシュ・テーブル計算プログラム例

```
// ハッシュテーブルの設定値を算出する。

#include <stdio.h>

unsigned long crc32_for_ethernet( const unsigned char *data, int size );

//計算するアドレス
const unsigned char DA[] = { 0x12, 0x34, 0x56, 0x78, 0x9A, 0xBC };

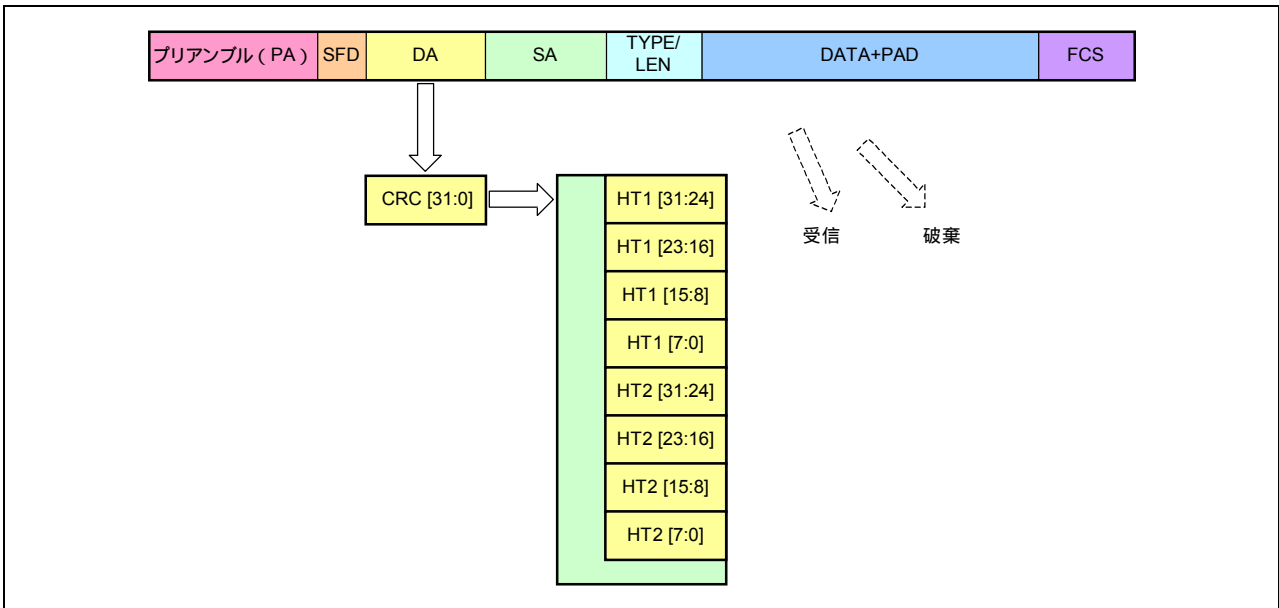
int main( void ){
    unsigned long crc;

    printf("YnDA: ");
    crc = crc32_for_ethernet( DA, sizeof(DA) );
    printf("-----Yn");
    printf("CRC = %02X,%02X,%02X,%02X\n", (crc>>24)&0xff, (crc>>16)&0xff, (crc>>8)&0xff, crc&0xff );
    printf("CRC[28:26] = %X, CRC[25:23] = %X Yn", (crc>>26)&0x07, (crc>>23)&0x07 );
    printf("Yn");
    return(1);
}

// CRC を計算する
unsigned long crc32_for_ethernet( const unsigned char *p, int size ){
    int i,j;
    const unsigned long poly = 0xEDB88320ul; // BigEndian
    unsigned long crc = 0xffffffff;
    unsigned long ans = 0x00000000;
    unsigned char c;

    for( j = 0; size-- != 0 ; j++ ) {
        c = *p++;
        printf("%02X " , c );
        if ( j == 15 ) {
            j = 0;
            printf("Yn");
        }
        for ( i = 0; i < 8; i++ ) {
            crc = (crc>>1)^(((crc^c)&1)? poly : 0ul );
            c >>= 1;
        }
    }
    if ( j != 0 ) printf("Yn");
    crc = ~crc;
    for( i = 0; i < 4; i++ ){
        ans = (ans << 8) | (crc & 0x000000fful);
        crc >>= 8;
    }
    return( ans );
}
```

図 19-16 ハッシュ・テーブルによるフィルタリングのイメージ



(c) ブロードキャスト・アドレスのフィルタリング

アドレス・フィルタ・レジスタ (AFR) の ABC ビットをセット (1) すると、ブロードキャスト・アドレスを持ったパケットを受領します。

(d) プロミスカス・モード

アドレス・フィルタ・レジスタ (AFR) の PRO ビットをセット (1) すると、プロミスカス・モードとなり、すべてのパケットを受領します。

上記、(a)-(d)の受領条件をいずれも満たさないとき、受信パケットは破棄されます。

各条件の組み合わせは、下記の表を参照してください。

表 19-11 アドレス・フィルタリング設定と受信パケット

AFR レジスタの設定				受信パケット				
PRO	PRM	AMC	ABC	LSA 不一致 ユニキャスト	LSA 一致 ユニキャスト	HT 不一致 マルチキャスト	HT 一致 マルチキャスト	ブロードキャスト・ パケット
1	-	-	-	受信	受信	受信	受信	受信
0	1	-	-	破棄		破棄		
0	0	1	1				破棄	破棄
0	0	1	0			破棄		
0	0	0	1				破棄	破棄
0	0	0	0	破棄				

注 ブロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当する HASH テーブルのビットをセット (1) している場合は受信されます。

備考 - : Don't Care

## (2) アドレス・フィルタリング条件の設定

パケット・フィルタリングの設定は次のように行います。

まず MAC 設定レジスタ 1 (MACC1) の SRXEN ビットをクリア (0) します。SRXEN = 0 のとき、受信データ・インタフェースの機能が無効になります。次にステーション・アドレス・レジスタ 1, 2 (LSA1, LSA2) にステーション・アドレスを設定します。アドレス・フィルタ・レジスタ (AFR) には必要なフィルタリング条件の組み合わせを設定します。条件付きマルチキャスト・パケット受信を行う場合には、HASH テーブル・レジスタ 1, 2 (HT1, HT2) によって HASH テーブルの設定が必要になります。これらの設定が完了したあとで SRXEN ビットをセット (1) することで、パケット受信が有効になります。

### 19.5.9 統計カウンタ

PFESiP/V850EP3 の Ether MAC は、回線の通信品質等を調べるために、39 本の統計カウンタを内蔵しています。

統計カウンタは、1 フレームの受信が終了（アボートを含む）するごとに、通信ステータスを確認して該当カウンタを更新します。統計カウンタは任意のタイミングで読み出し可能です。ただし統計カウンタの更新と読み出しが競合した場合は、統計カウンタの更新完了まで読み出しが待たされます。

各カウンタにおいて、オーバフローが発生すると、キャリア・レジスタ 1, 2 (CAR1, CAR2) の対応ビットがセット (1) され、INTCMAC 割り込みが発生します。また、カウンタごとにキャリア・マスク・レジスタ 1, 2 (CAM1, CAM2) で、INTCMAC 割り込みをマスクできます。

統計カウンタをクリアする場合は、カウンタに 0 を書き込んでください。この際、通信動作を停止させる必要はありません。統計カウンタの更新と書き込みが競合した場合は更新が優先され、更新後に書き込みが行われます。

なお、統計カウンタは停止できません。使用しない統計カウンタは、キャリア・マスク・レジスタ 1, 2 (CAM1, CAM2) で該当ビットをセット (1) することでマスクし、INTCMAC が発生しないようにしてください。

統計カウンタ・レジスタは、32 ビット単位でリード/ライト可能です。

**備考** 送受信のアボート回数は、統計カウンタとは別に、送信アボート・カウンタ (TXABTCNT)、受信アボート・カウンタ (RXABTCNT) があります。

**注意 1.** Ether MAC は、内部システム・バス・クロック (HCLK) で統計カウンタを更新しています。このため、HCLK が通信クロック (TXCLK/RXCLK) と比較して極端に低速な場合は、統計情報をミスカウントする可能性があります。統計情報をミスカウントした場合、ステータス・ベクタ・オーバーランが発生し、キャリア・レジスタ 2 (CAR2) の C2DV ビットをセット (1) し、INTCMAC 割り込みが発生します。

**2.** キャリア・レジスタ 1, 2 (CAR1, CAR2) は、リードでクリアされます。同時に発生している複数のオーバフローを検出するために、いったん変数などにコピーして処理することを推奨します。



## 19.6 MACAD 機能

MACAD は、Ether MAC の内部システム・バスに対するバス・インタフェース機能です。

送受信用の MACAD と、送信チェックサム用の MACAD の、2 つの MACAD があります。

動作モードを設定するレジスタ・アクセスは内部システム・バスのスレーブ機能として動作し、MACAD 内蔵の DMA コントローラは、内部システム・バスのマスタ機能として動作します。

送受信データの転送は、すべて内蔵の DMA コントローラで転送されます。また送信チェックサムの計算の、送信データの取り込み、チェックサム計算結果の出力も DMA コントローラで行われます。

**備考** 送受信用 MACAD と送信チェックサム用 MACAD の機能は同一です。以降の説明は、送受信用で記載されています。送信チェックサム用では、下記の表のように、適宜読み替えてください。

項目	送受信用 MACAD	送信チェックサム用 MACAD
割り込み信号名	INTSCTX, INTSCRX	INTSCTXCH, INTSCRXCH
レジスタ名, レジスタのビット名	例 INTMS レジスタ RXMASK ビット	例 TCH_INTMS レジスタ TCH_TXMASK ビット

### 19.6.1 レジスタ・アクセス

CPU からは、システム・バスのスレーブとしてアクセスされます。

アクセス単位は、バイト (8 ビット)、ハーフワード (16 ビット)、ワード (32 ビット) のアクセスが可能です。ただし Ether MAC 制御レジスタ (0F04 2000H-0F04 21FCH) は、32 ビット・アクセスのみ可能です。

レジスタの Reserved 領域へのアクセスは、ライトは無視され、リード時はオール・ゼロが読み出されません。

### 19.6.2 バス・マスタ機能

Ether MAC の MACAD に内蔵されている DMA コントローラは、内部システム・バスに対してバス・マスタとして転送処理を行います。

転送制御レジスタ (TRANSCTL, TCH\_TRANSCTL) の設定により、バースト・サイズを設定できます。

送受信データの転送は、すべて内蔵の DMA コントローラで転送されます。また送信チェックサムの計算の、送信データの取り込み、チェックサム計算結果の出力も DMA コントローラのバス・マスタ機能で行われます。

### 19.6.3 DMA 機能

#### (1) DMA 転送モード

DMA 制御モード設定レジスタ (DMACM) , 送信チェックサム DMA 制御モード設定レジスタ (TCH\_DMCM) により, 以下の設定が可能です。

転送モードは, 転送モードを設定したあと, 次の DMA 転送から新しい転送モードが適用されます。

転送データ・サイズ

- ・ ワード (32 ビット)
- ・ バイト (8 ビット)

転送モード

- ・ シングル転送モード
- ・ 4 ビート・インクリメント式バースト転送モード
- ・ 8 ビート・インクリメント式バースト転送モード
- ・ 16 ビート・インクリメント式バースト転送モード

**注意** DMA 転送中には, DMA 転送モードを変更しないでください。変更した場合は, 不正な DMA 転送を行う場合があります。

**備考** バースト転送時に, 端数データがある場合は, 自動的に端数処理のデータ転送を行います。

#### (2) DMA 転送対象

DMA 転送対象は, 内部システム・バスのスレーブです。以下の 印を転送対象に選択できます。

表 19-12 Ether MAC 内蔵 DMAC の転送対象

命令 RAM	データ RAM	ワーク RAM	外部メモリ	SiP 内部接続 メモリ, ユーザ・レジスタ	シリアル・ フラッシュ ROM	内蔵周辺機能 (一部除く)
						x

#### (3) DMA アドレス境界

内蔵 DMA コントローラは, データ・バッファの開始アドレスおよび転送バイト数の設定に関して, アドレス境界を考慮する必要はありません。

バースト転送時に, 端数データがある場合は, 自動的に端数処理のデータ転送を行います。

ただし受信時は, 受信データの終了を予測できないため, バースト転送を利用している場合には, 最後の転送がダミー転送になる場合があります。

#### (4) DMA のアービトレーション

Ether MAC は全二重転送をサポートしています。このため送信と受信の DMA 転送が競合する場合があります。同時に DMA 転送要求が発生した場合は, 受信が優先されます。

### 19.6.4 ディスクリプタ・メカニズム

Ether MAC を利用する上で、送信データ / 受信データを格納するメモリ空間が連続していない場合をサポートするため、PFESiP/V850EP3 の Ether MAC にはディスクリプタ・メカニズムを内蔵しています。

Ether MAC が使用するディスクリプタには、以下の 3 種類があります。

バッファ・ディスクリプタ  
 リンク・ポインタ  
 エンド・オブ・チェーン

各ディスクリプタは、2 ワード (64 ビット) のワード・アラインされたデータとして、メモリ上に展開します。

Ether MAC は、1 回の DMA 転送の起動で複数のディスクリプタを逐次処理できます ( (8) ディスクリプタ・チェーン参照 )。

受信ディスクリプタ・ポインタ (RXDP) に受信ディスクリプタ・チェーンの先頭アドレス、送信ディスクリプタ・ポインタ (TXDP) に送信ディスクリプタ・チェーンの先頭アドレスを設定し、ディスクリプタ解析制御レジスタ (ANLCTL) の RXS, TXS ビットをセット (1) することで、受信 DMA 転送、送信 DMA 転送が開始されます。

ディスクリプタ・チェーンの最後はエンド・オブ・チェーンのディスクリプタで終了しなければなりません。

#### (1) バッファ・ディスクリプタのフォーマット

バッファ・ディスクリプタのフォーマットは、2 ワード (64 ビット) で構成され、下位はコントロール・ビット、上位ワードは、このディスクリプタが指すデータ・バッファのスタート・アドレス値を示します。

図 19-17 バッファ・ディスクリプタ・フォーマット

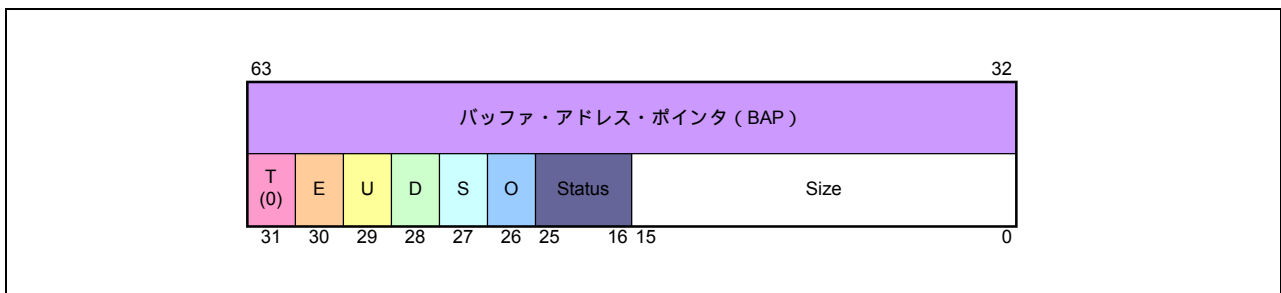


表 19-13 バッファ・ディスクリプタ・フォーマット

(1/2)

ビット位置	ビット名	意味
63-32	BAP	データ・バッファのスタート・アドレスを表すアドレス・ポインタです。BAP はバイト・アライン指定可能です。
31	T	ディスクリプタ・タイプ。ディスクリプタの種類を示します。 バッファ・ディスクリプタの場合、このビットは 0 で使用します。 リンク・ポインタやエンド・オブ・チェーンの場合は 1 で使用します。
30	E	ラスト・バッファ・フラグ。パケット・データの最後を表すコントロール・ビットです。 0：通常のバッファ・データである（最終データではない）ことを示します。 1：現在のパケットの最終データ・バッファ（エンド・オブ・チェーン）であることを示します。 送信時にこのビットをセット（1）しておくと、該当データ・バッファのデータ転送終了時点で、TXI 要因で INTSCTX 割り込みが発生し、次のディスクリプタの処理に移ります。 受信時はこのビットをクリア（0）しておきます。フレーム・データの最後のデータが書き込まれると、ライトバック時にこのビットがセット（1）されます。その後、RXI 要因で INTSCRX 割り込みが発生し、次のディスクリプタの処理に移ります。
29	U	ユーズド・ビット。DMA が転送済みか未転送（転送中を含む）かを示します。 0：未転送（転送中を含む） 1：転送済み ソフトウェアで、バッファ・データ（ディスクリプタ）を作成、または取得するときは、その前にこのビットをクリア（0）してください。 このディスクリプタが示すバッファ領域に対する DMA 転送が終了すると、このビットがセット（1）されます。Ether MAC は、ディスクリプタ・リード時に U ビットがセット（1）されているディスクリプタをリードすると TECl 要因による INTSCTX 割り込み（RECl 要因による INTSCRX 割り込み）を発行して、DMA 転送を中止します。
28	D	データ・バッファのアクセス・エラーを示すビットです。 0：エラーなし 1：データ・バッファのアクセス・エラーが発生 ソフトウェアで、バッファ・データ（ディスクリプタ）を作成、または取得するときは、その前にこのビットをクリア（0）してください。 アクセス・エラーが起きると、Ether MAC は現在のパケットを示す先頭ディスクリプタのコントロール・ビット D と、アクセス・エラーを起こしたディスクリプタのコントロール・ビット D をセット（1）します。
27	S <sup>註</sup>	受信ステータス情報が Status フィールドに書き込まれていることを示します（受信時の、パケット先頭のディスクリプタ内のコントロール・ビット S のみ有効です） 0：ステータス情報は含まれていません 1：受信パケットのステータス情報を含みます ソフトウェアで、バッファ・データ（ディスクリプタ）を作成、または取得するときは、その前にこのビットをクリア（0）してください。 受信パケットの DMA 転送時、Ether MAC は、1 パケット転送終了ごとに現在のパケットの、先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S をセット（1）します。

注 送信時は使用しません。0 を設定してください。

( 2/2 )

ビット位置	ビット名	意 味
26	O <sup>注1</sup>	<p>受信時のオーバーフローを通知します。</p> <p>0：オーバーフローなし 1：オーバーフロー発生</p> <p>ソフトウェアで、バッファ・データ（ディスクリプタ）を作成、または取得するときは、その前にこのビットをクリア（0）してください。</p> <p>受信時にオーバーフロー・エラーが発生した場合、Ether MAC はパケットの先頭ディスクリプタのコントロール・ビット 0 に "1" を書き戻し、オーバーフロー・エラーが発生したディスクリプタにコントロール・ビット E をセット（1）します。このとき割り込みは発生しません。</p>
25-16	Status <sup>注2</sup>	<p>受信時の Status 情報を示します。コントロール・ビット S がセット（1）されている場合に Status フィールドの値が有効です。</p> <p>ソフトウェアで、バッファ・データ（ディスクリプタ）の作成、または取得するときは、その前にこのビットをクリア（0）してください。</p> <p>受信パケットの DMA 転送時、Ether MAC は、1 パケット転送終了ごとに現在のパケットの、先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S をセット（1）します。</p>
15-0	Size <sup>注2</sup>	<p>このディスクリプタが示すバッファ・データのサイズ（バイト単位）を示します。</p> <p>受信パケットの DMA 転送時、Ether MAC は 1 パケット転送終了ごとに、転送した 1 パケット分の長さを現在のパケットの、最終ディスクリプタの Size フィールドに書き込みます。</p>

注 1. 送信時は使用しません。0 を設定してください。

2. SIZE フィールドは 16 ビットです。0 の設定は禁止です。0 を設定するとエラー割り込みが発生します。FFFFH を設定すると 64K-1 バイトの転送を行います。

## (2) リンク・ポインタのフォーマット

リンク・ポインタのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは、次のディスクリプタのアドレス値を示します。

図 19-18 リンク・ポインタ・フォーマット

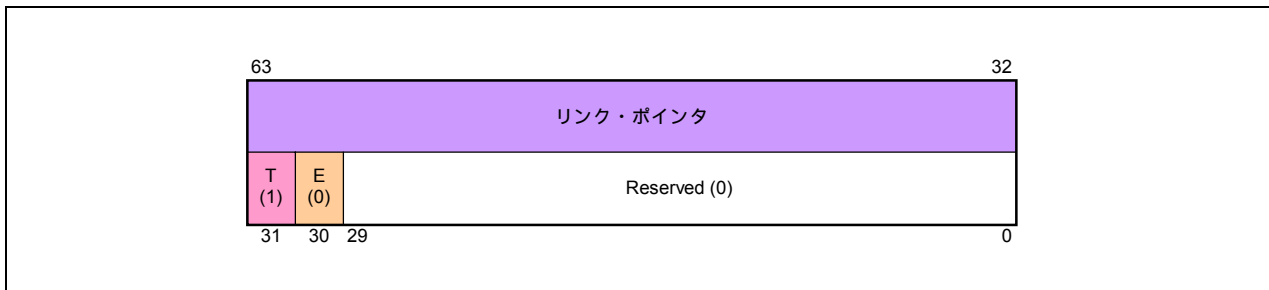


表 19-14 リンク・ポインタ・フォーマット

ビット位置	ビット名	意味
63-32	Link Pointer	次のディスクリプタのアドレスを示します。下位2ビットは無視されます(ワード・アライン)。
31	T	リンク・ポインタの場合、このビットは1で使います。
30	E	リンク・ポインタの場合、このビットは0で使います。
29-0	Reserved	予約領域です。0を設定してください。

## (3) エンド・オブ・チェーンのフォーマット

エンド・オブ・チェーンのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは0を示します。

Ether MACは、エンド・オブ・チェーンを検出すると、DMA転送を終了しTECI要因によるINTSCTX割り込み(RECI要因によるINTSCRX割り込み)を発生します。

図 19-19 エンド・オブ・チェーン・フォーマット

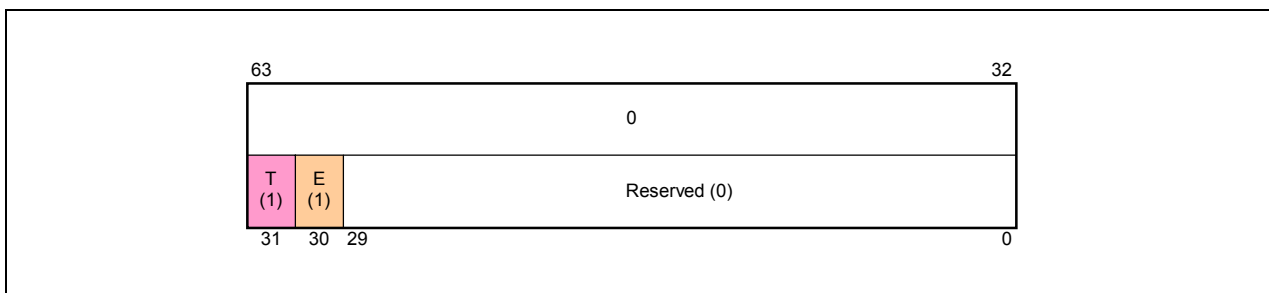


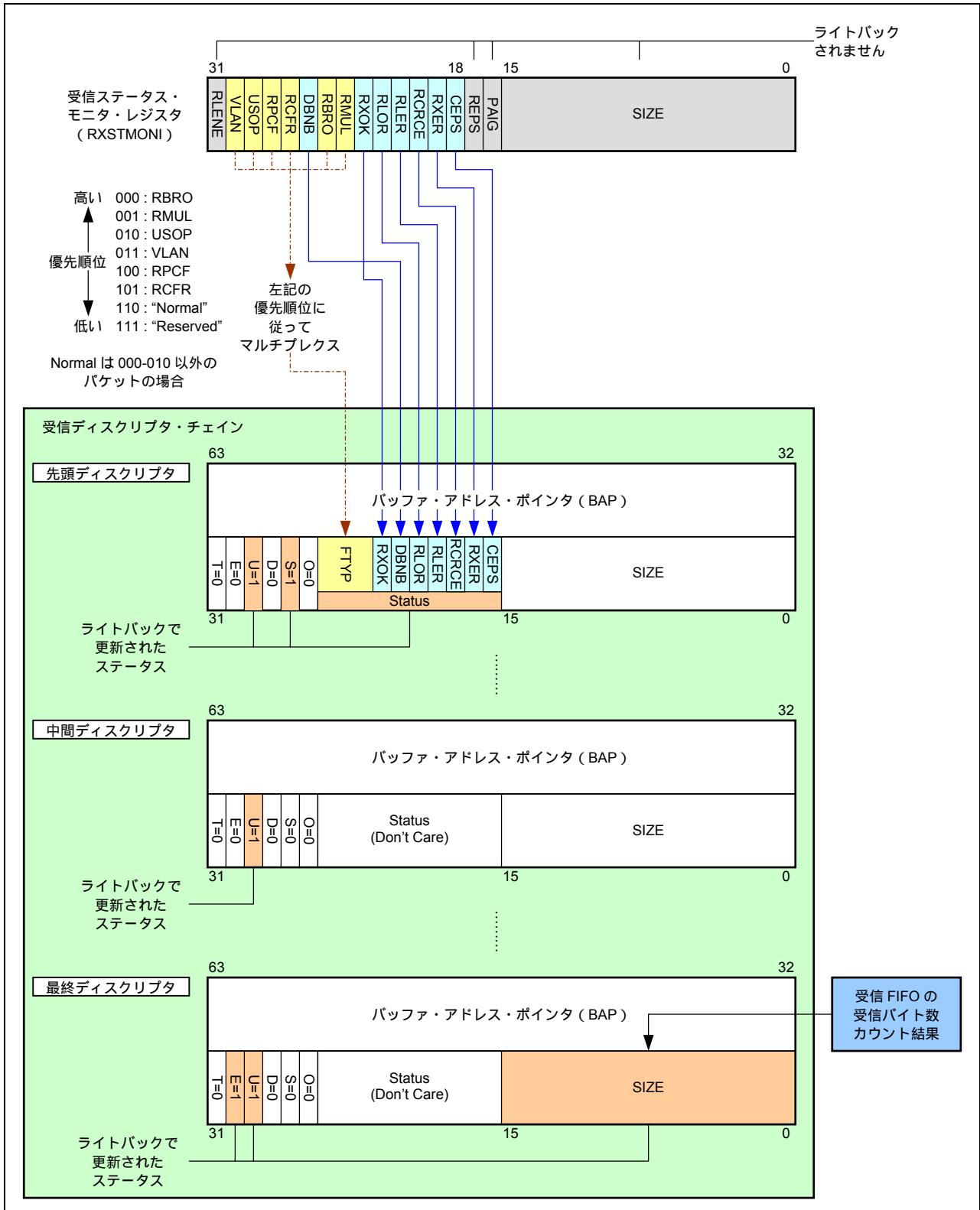
表 19-15 エンド・オブ・チェーン・フォーマット

ビット位置	ビット名	意味
63-32	BAP	エンド・オブ・チェーンの場合、NULL(オール・ゼロ)を設定します。
31	T	エンド・オブ・チェーンの場合、このビットは1で使います。
30	E	エンド・オブ・チェーンの場合、このビットは1で使います。
29-0	Reserved	予約領域です。0を設定してください。

(4) ステータスのライトバック

受信の DMA 転送の場合は，受信ステータスをパケットの最初のディスクリプタにライトバックし，DMA 転送したパケット長を最終のディスクリプタにライトバックします。ステータスは下記のようにライトバックされます。

図 19-20 ステータス・ライトバック例



## (5) エラーのライトバック

送信および受信時にデータ・バッファへアクセスするときにバス・エラーが発生した場合は、エラー割り込み (INTSCTX または INTSCRX) をアサートし DMA 転送は中止されます。さらにパケット先頭のディスクリプタの U ビットと D ビットがセット (1) されます (U ビットがすでにセット (1) されている場合もあります)。また、エラーの発生したディスクリプタには、U ビット、D ビット、E ビットがセット (1) されます。

受信時にオーバフローが発生した場合は、パケット先頭のディスクリプタの U ビット、O ビットがセット (1) されます (U ビットがすでにセット (1) されている場合もあります)。また、オーバフローの発生したディスクリプタには、U ビット、E ビットがセット (1) されます。

## (6) エラー割り込み

エラー割り込みは、データ・バッファのアクセス・エラーだけでなく、ディスクリプタのアクセス・エラーの場合にも発生します。エラー割り込みの発生は、RX 割り込みレジスタ (INTMSRX) の RBEI ビット、TX 割り込みレジスタ (INTMSTX) の TBEI ビットのセット (1) 状態で確認できます。

## (a) 送信時

ディスクリプタまたはデータ・バッファのアクセス・エラーが起こると、INTMS レジスタの TBEI ビットをセット (1) し、送信 DMA 転送を中止します。ディスクリプタ解析制御レジスタ (ANLCTL) の TXS ビットをセット (1) するまで送信処理を行いません。

## (b) 受信時

ディスクリプタまたはデータ・バッファのアクセス・エラーが起こると、INTMS レジスタの RBEI ビットをセット (1) し、受信 DMA 転送を中止します。ディスクリプタ解析制御レジスタ (ANLCTL) の RXS ビットをセット (1) するまで受信処理は行いません。同時に、受信 FIFO からのパケット転送が開始されている場合は、パケット転送を中止します。

受信オーバフローのライトバックでバス・エラーが発生した場合も、ディスクリプタのアクセス・エラーと同じ処理が行われます。

データ・バッファのアクセス・エラーやディスクリプタのアクセス・エラーが発生した場合は、エラーの発生したディスクリプタを含むディスクリプタ・チェーンを再構築する必要があります。



## (7) ラスト・ディスクリプタのレポート機能

MACAD は、カレント・ディスクリプタをレポートする機能を持っています。

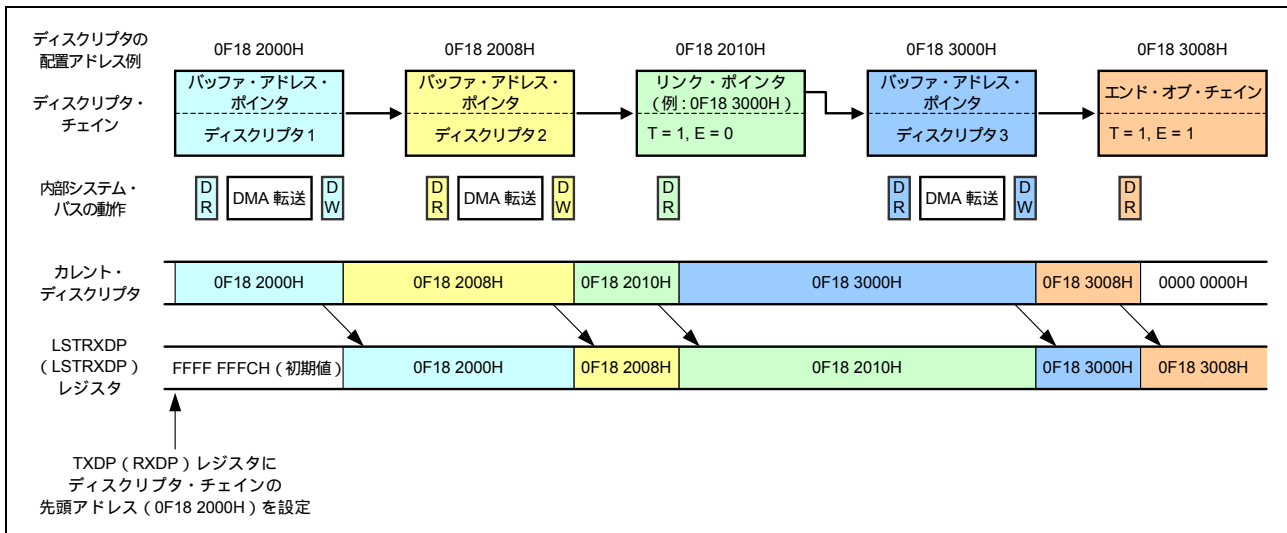
ラスト受信ディスクリプタ・ポインタ(LSTRXDP),ラスト送信ディスクリプタ・ポインタ(LSTTXDP)は、最後に(直前に)処理したディスクリプタのアドレス情報を得ることができます。

ディスクリプタのアドレス情報が LSTRXDP, LSTTXDP レジスタに保存されるタイミングは、以下の通りです。

MACAD は、1つのディスクリプタに応じて、データ転送、ディスクリプタのライトバックを実行し、このディスクリプタ・アドレスを LSTRXDP または LSTTXDP にコピーします。

リンク・ポインタを読み出した際、バッファ・アドレス・ポインタ(BAP)により、次のディスクリプタ・アドレス情報が取得できるので、リンク・ポインタのアドレスを LSTRXDP または LSTTXDP へコピーします。

図 19-21 ラスト・ディスクリプタのレポート機能例

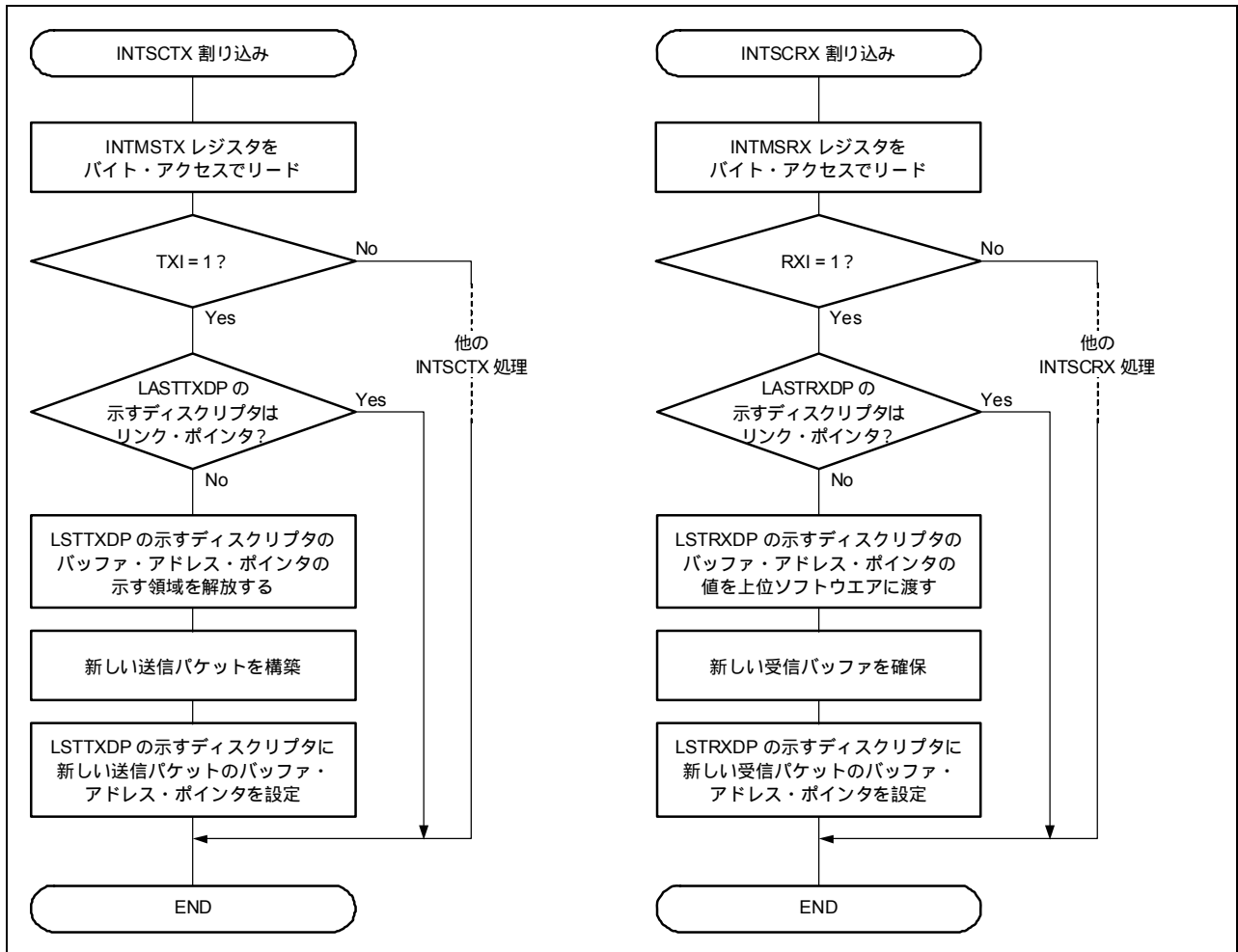


備考 DR : Descriptor Read (ディスクリプタ・リード)

DW : Descriptor Write-Back (ディスクリプタ・ライトバック)

ディスクリプタ・チェーンをリング・バッファにしている場合は、INTSCTX 割り込みの TXI フラグ (INTSCRX 割り込みの RXI フラグ) をトリガにして LSTRXDP, LSTTXDP を読み出し、ディスクリプタを更新できます。

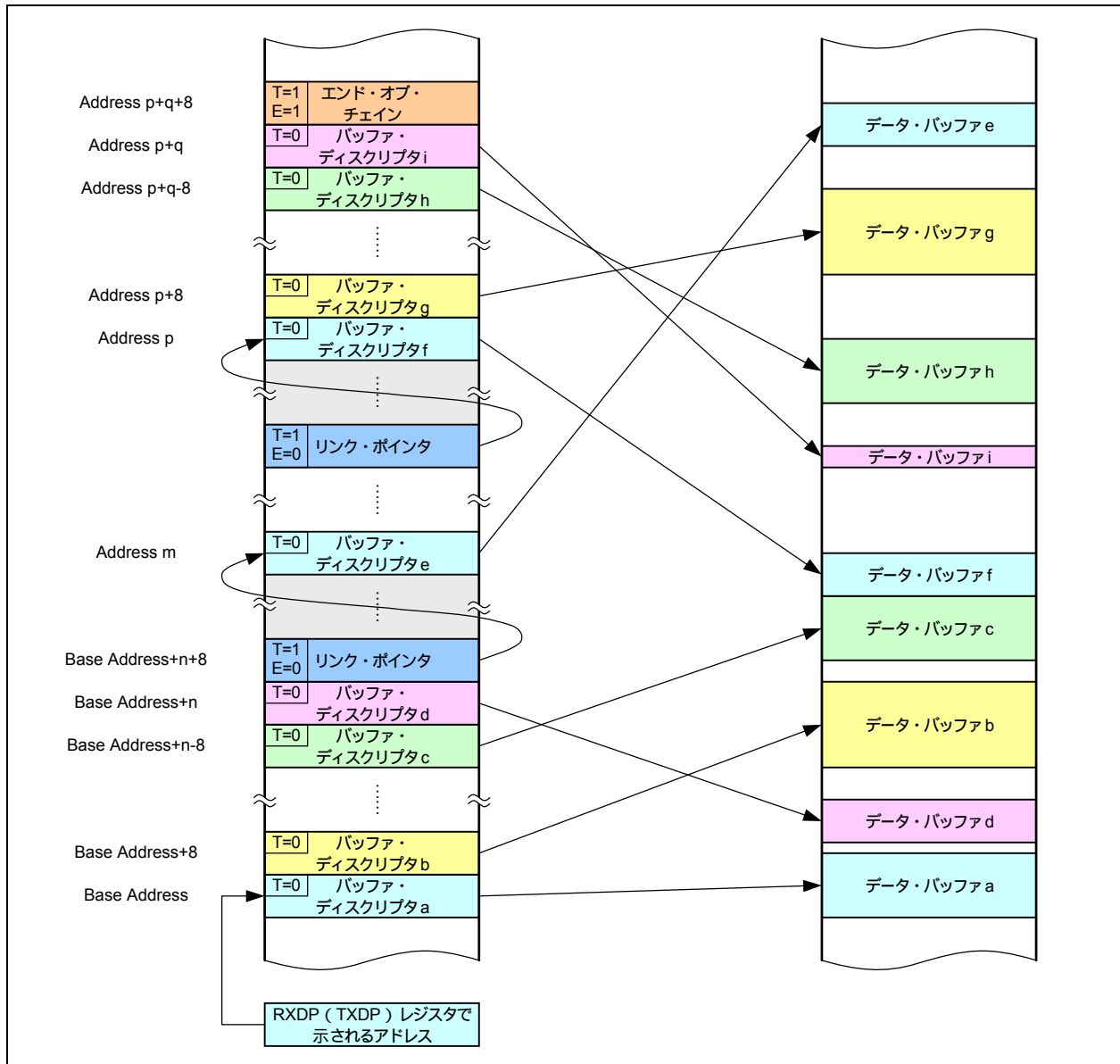
図 19-22 LSTRXDP, LSTTXDP を用いたディスクリプタ・チェーンの更新例



## (8) ディスクリプタ・チェーン

ディスクリプタはチェーン構造でデータ・バッファ（不定長）を指し示します。  
ディスクリプタ・チェーンのイメージを下図に示します。

図 19-23 ディスクリプタ・チェーン概略図



バッファ・ディスクリプタの、次のアドレス（+8 番地）には、バッファ・ディスクリプタがリンク・ポインタが連続して配置され、リンク・ポインタは、さらに次のバッファ・ディスクリプタの配置アドレスを示すことで、ディスクリプタ・チェーンが構成されます。

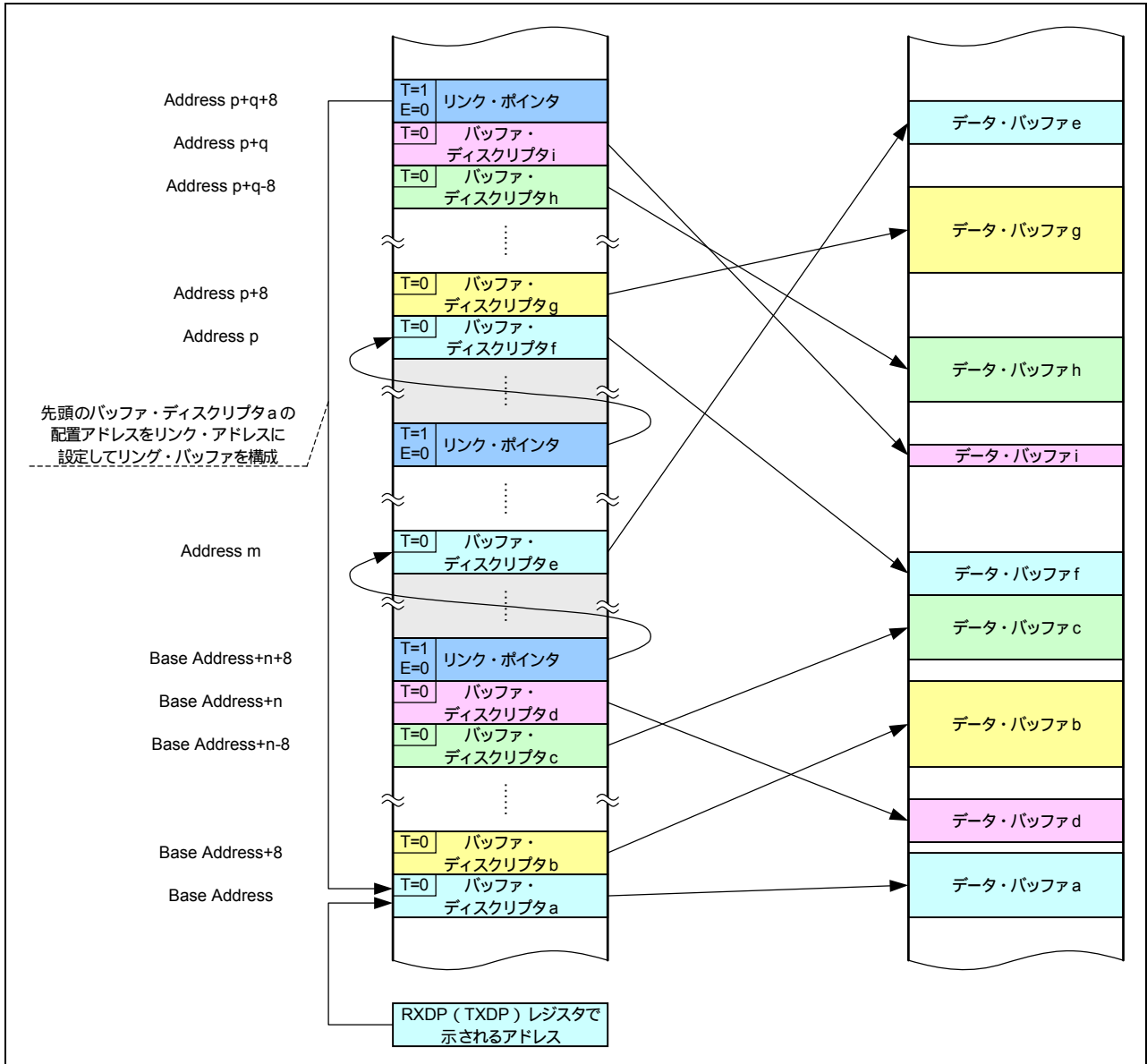
エンド・オブ・チェーン（T=1, E=1）を設定することで、ディスクリプタ・チェーンは終了します。

受信パケットをすべて格納する前にエンド・オブ・チェーンを検出すると、INTSCTX（INTSCRX）割り込みでバッファ・アクセス・エラーを通知する TBEI（RBEI）ビットがセット（1）されます。

なお、ひとつのディスクリプタ・チェーンに複数のパケットを格納することも可能です。

最後のリンク・ポインタで、最初のバッファ・ディスクリプタの配置アドレスを指定すると、リング状のディスクリプタ・チェーンが構成できます。

図 19-24 ディスクリプタ・チェーンによるリング・バッファの概略図



リング・バッファを構成した場合、U ビットがセット (1) されたディスクリプタを読み込んだ場合、転送制御レジスタ (TRANSCTL) の USE ビットに応じて以下のように動作します。

TRANSCTL.USE	U ビットがセット (1) されたディスクリプタを読み込んだ場合の動作
0	エンド・オブ・チェーンと同様に TECI (RECI) 要因で INTSCTX (INTSCRX) 割り込みを発生して DMA 転送を終了します。
1	TUPI (RUPI) 要因で INTSCTX (INTSCRX) 割り込みを発生して、DMA 転送を一時停止します。一時停止した DMA を再開させる場合は、ディスクリプタ解析制御レジスタ (ANLCTL) の TXS (RXS) ビットをセット (1) してください。停止した時点のディスクリプタが再度読み込まれ、DMA 転送が再開されます。

## (a) U ビットの扱い

U ビットがセット (1) された送信ディスクリプタは、そのディスクリプタの処理が完了しているため、ソフトウェアで U ビットをクリア (0) して新しいディスクリプタを設定できます。

しかし、受信ディスクリプタでは、U ビットがセット (1) されていても、あとでステータスのライトバックやエラーのライトバックでディスクリプタが更新されることがあります。このため新しいディスクリプタを設定する場合は、パケット受信の完了を確認する必要があります。ただし、E ビットがセット (1) されていればパケットの受信が完了しているため、そのディスクリプタ・チェーンを新しいディスクリプタに設定できます。

(b) 受信時のディスクリプタ・チェーン構成例

受信時のディスクリプタ・チェーンの一例として、図 19-25 の場合、以下のように動作します。

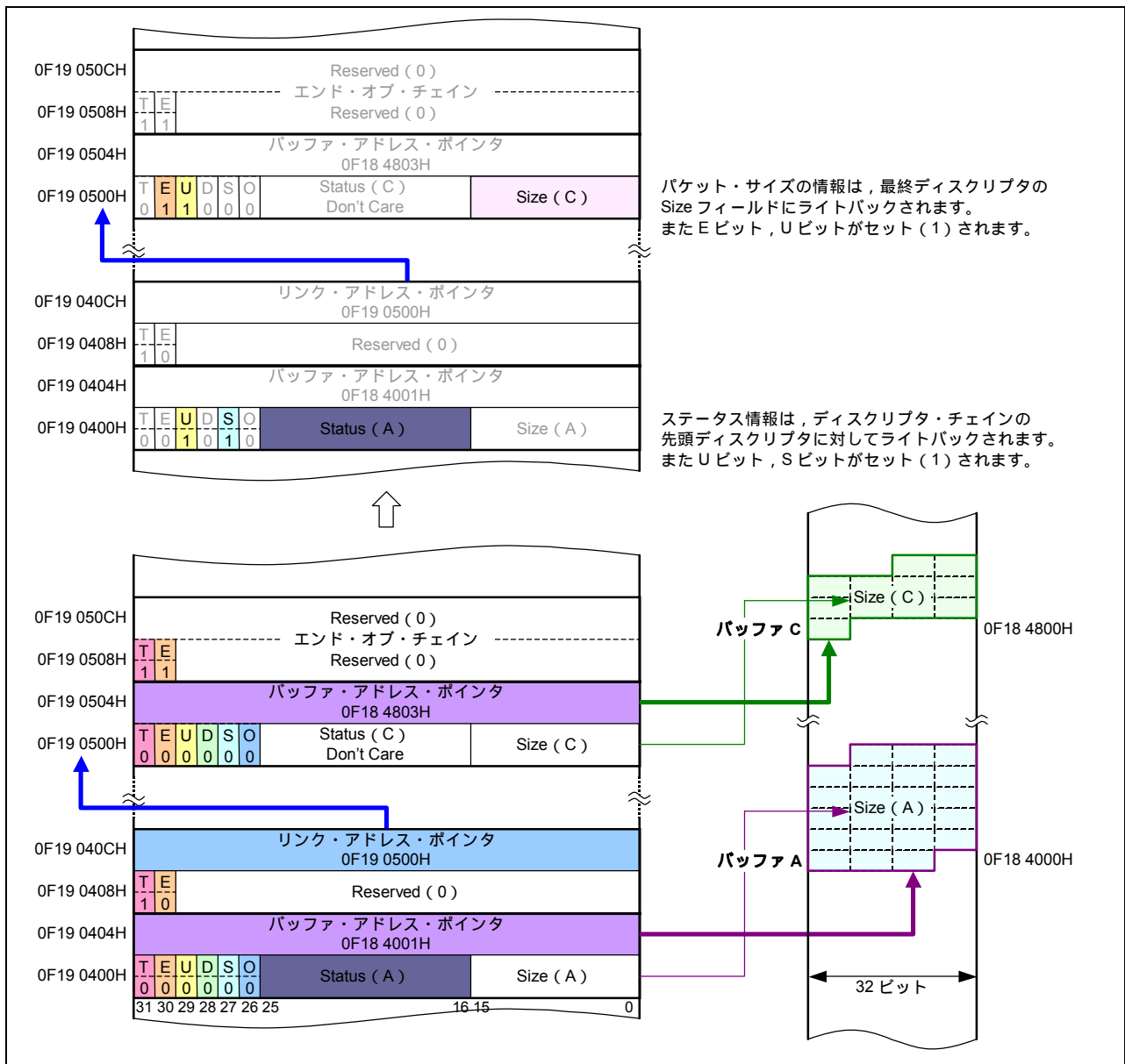
ソフトウェアで、ディスクリプタ解析制御レジスタ (ANLCTL) の RXS ビットをセット (1) すると、受信ディスクリプタ・ポインタ (RXDP) で示されるアドレス (0F19 0400H) から先頭ディスクリプタを読み出し、受信ディスクリプタの解析を開始します。DMA 転送開始アドレスに先頭バッファ・アドレス・ポインタ (0F18 4001H) をセットし、FIFO 内の受信データをバッファ A に転送します。

その後の受信でバッファ A がフルになると次のディスクリプタ (0F19 0408H) を読み出し、リンク・アドレス・ポインタ (0F19 0500H) の示すディスクリプタのバッファ・アドレス・ポインタ (0F18 4803H) を DMA 転送開始アドレスにセットし、FIFO 内の受信データをバッファ C に転送します。

最終ディスクリプタに対して、E ビット、U ビットをセット (1) し、Size フィールドに転送したデータ数をライトバックします。

またパケット・データをすべて転送したあと、先頭ディスクリプタの、U ビット、S ビットをセット (1) し、受信ステータス情報を Status (A) フィールドにライトバックします。

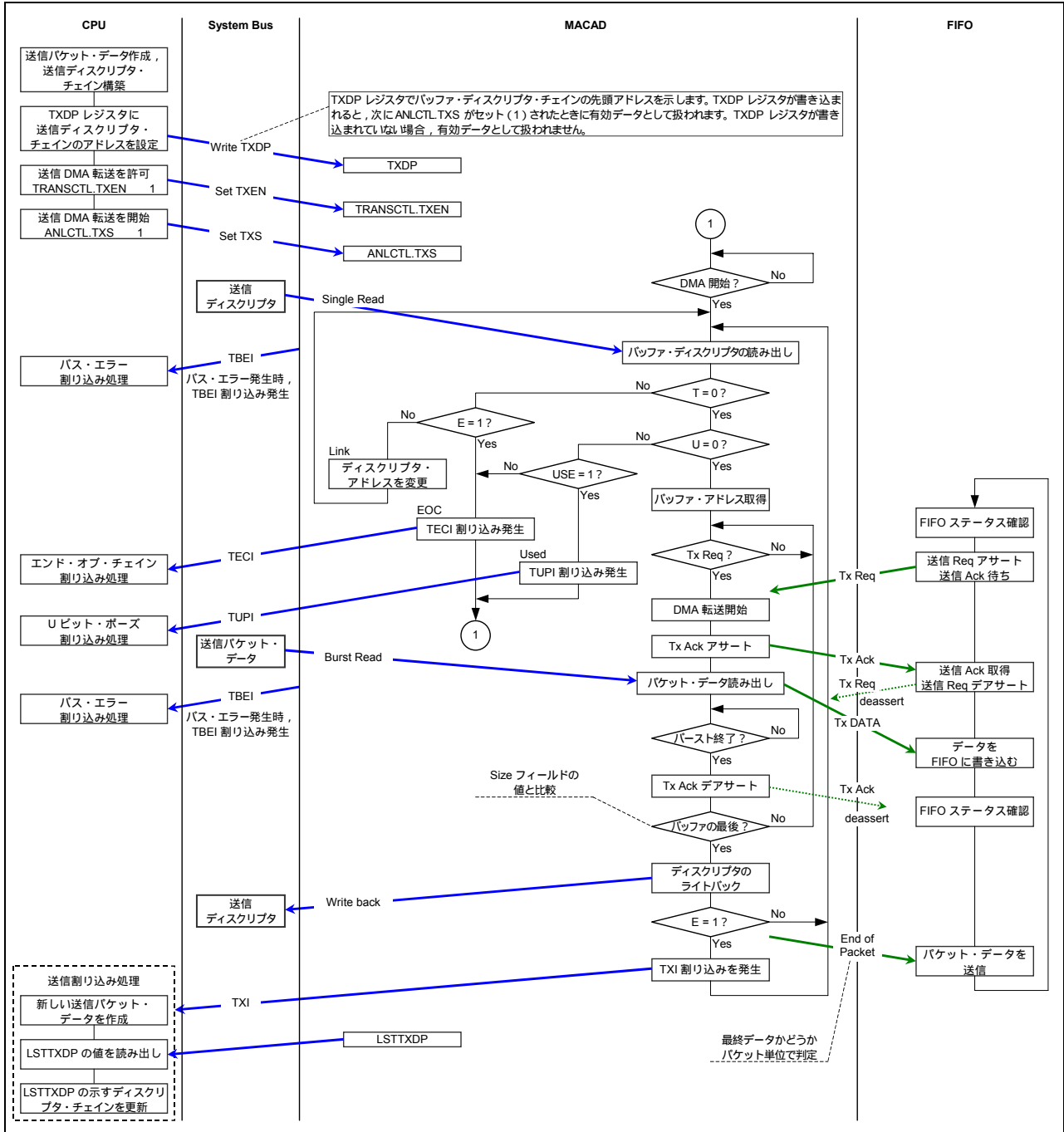
図 19-25 受信時のディスクリプタ・チェーン構成例



(9) ディスクリプタによる送受信フロー

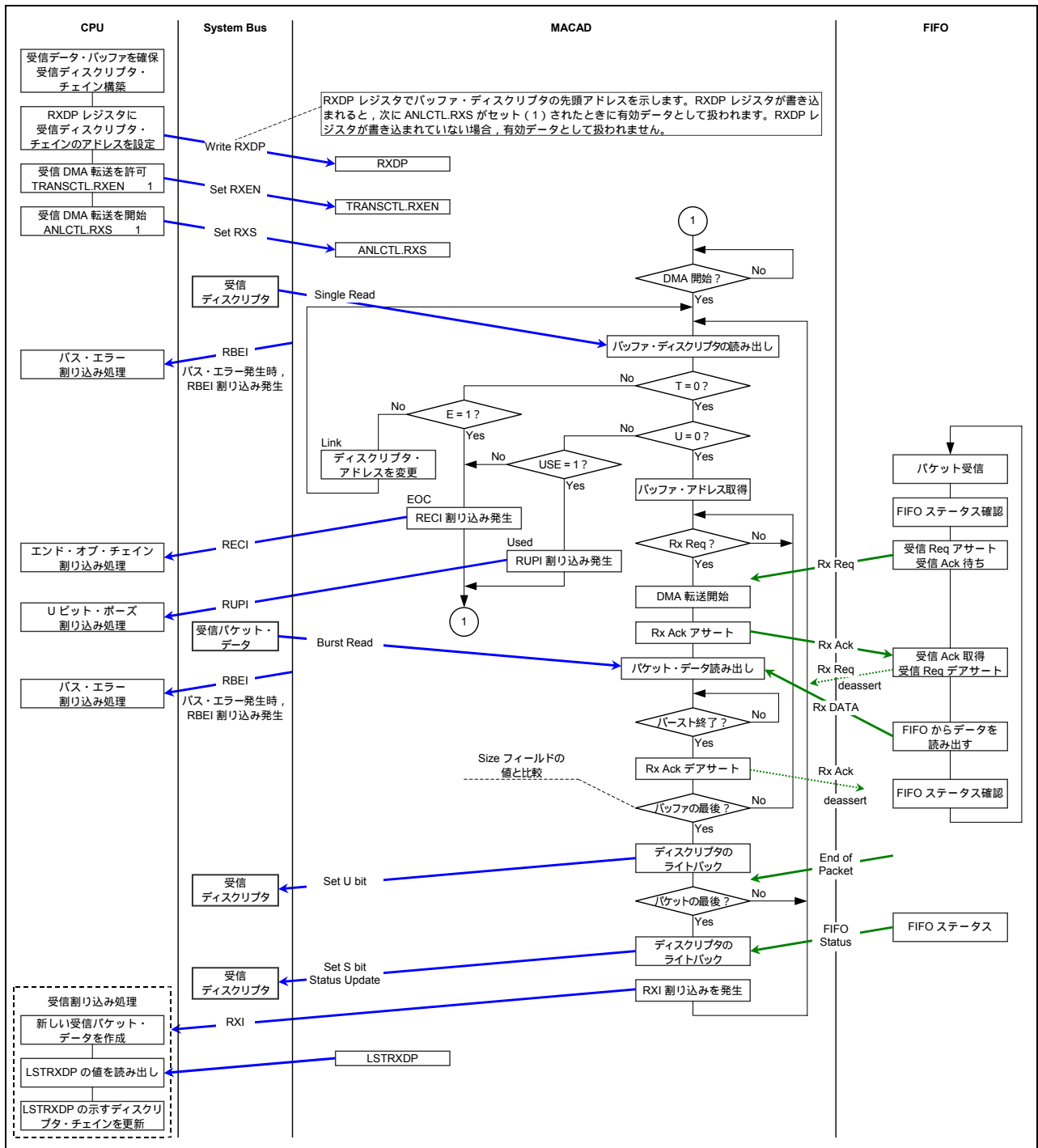
(a) 送信フロー

図 19-26 ディスクリプタによる送信フロー



(b) 受信フロー

図 19-27 ディスクリプタによる受信フロー





## (10) バイト・アライメント

ディスクリプタはワード・アライメントされている必要がありますが、データ・バッファはバイト・アライメントされたアドレス（つまり任意のアドレス）に設定できます。

PFESiP/V850EP3 の Ether MAC は、アドレスを自動判別してワード境界までをシングル転送、バースト境界までを不定長のワード転送を行い、その後バースト転送を行います。

## 19.7 受信チェックサム機能

PFESiP/V850EP3 の Ether MAC は、受信チェックサム機能を内蔵しています。受信チェックサム機能の ON / OFF は、転送制御レジスタ (TRANSCTL) の RXCHKSMEN ビットで設定します。

RXCHKSMEN ビットの設定によって以下のように動作します。

RXCHKSMEN	受信チェックサム機能の動作
0	受信チェックサム機能はディセーブルとなり、受信チェックサムの計算を行いません。
1	受信チェックサム機能はイネーブルとなり、受信パケットのチェックサムを計算して、計算結果を受信パケットの末尾に追加します。ライトバックされる転送データ数は、受信パケット長 + 2 バイトになります。受信バッファは、最大受信パケット + 2 バイト以上確保してください。

チェックサムの計算は、受信フレームの MAC ヘッダ (先頭 14 バイト) と CRC (末尾 4 バイト) を除いた、すべての部分 (ペイロード) をチェックサム計算の対象とします。ダミー・ヘッダ分は計算されないため、別途ソフトウェアでの補正が必要です。計算対象のバイト数が奇数の場合には、最後のバイトに 00H を追加してチェックサムの計算を行います。

チェックサム対象の最小受信パケット長は 19 バイト (ペイロード = 1 バイト) です。受信パケット長が 18 バイト (ペイロード = 0 バイト) 以下の場合には、チェックサムは 0 を出力します。ただしディスクリプタのレングス情報は 2 バイト増えます。

RXCHKSMEN ビットは受信フレーム転送停止を確認して変更してください。

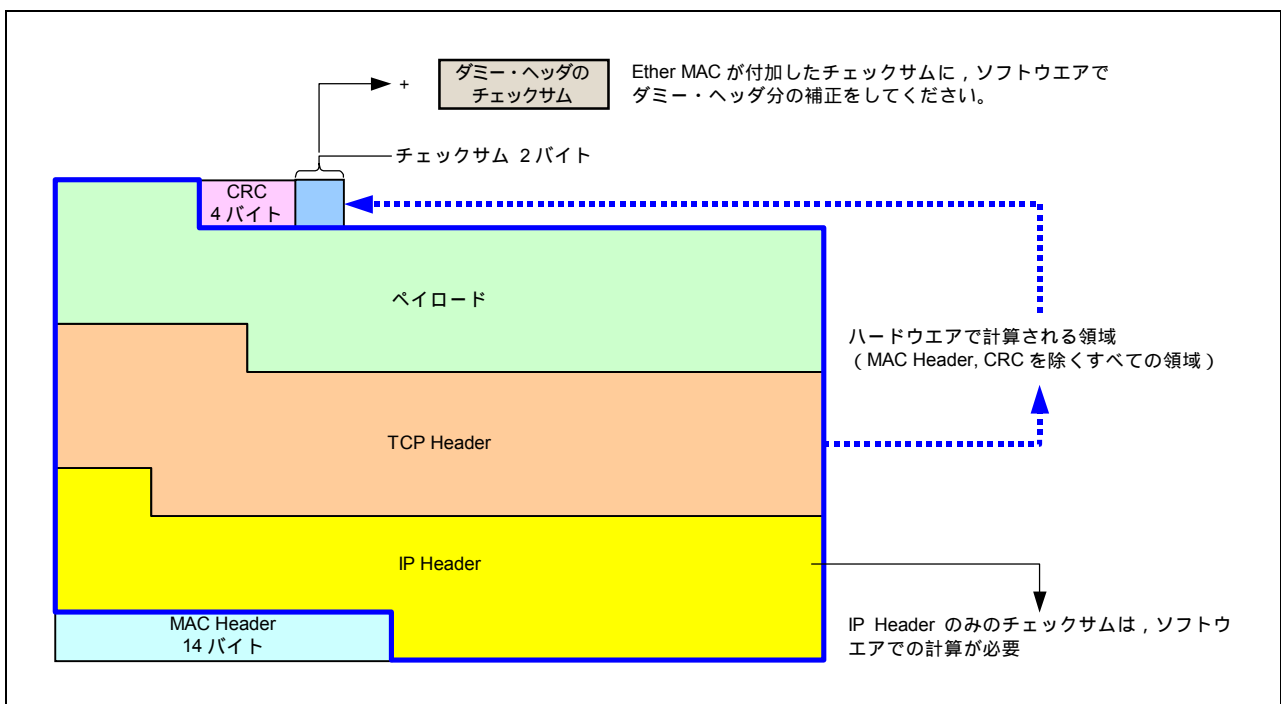
### 19.7.1 ソフトウェア上の処理

受信フレームのチェックサム対象は MAC ヘッダと CRC を除くすべてのパケット・データのため、TCP/IP ヘッダの持つチェックサム・フィールドの値も含めてチェックサム計算が行われます。チェックサム計算は、パケットの先頭から 14 バイトを MAC ヘッダとして扱い必ずチェックサム計算から除かれ、15 バイト目から計算が始まり、パケットの末尾から 4 バイトは除外されます。

TCP ヘッダのチェックサムにはダミー・ヘッダの値が含まれるため、ソフトウェアにより受信データからダミー・ヘッダ分のチェックサムを計算し、受信データの末尾に付加されたチェックサムの値を加えた計算結果が FFFFH になれば受信パケットのチェックサムが正しいと判定できます。

VLAN やヒュージ・フレームなどのように、MAC ヘッダが 14 バイトを超える場合は、さらにソフトウェアでの補正が必要となります。

図 19-28 受信チェックサム対象



また、最小パケット長を 64 バイトとするために、不足分をパディングする場合、多くのシステムでは 00H でパディングしますが、システムにより特定のコードでパディングされる場合があります。この場合は、パディング・データを含めてチェックサム計算が行われるため、計算結果とヘッダに含まれるチェックサムと一致しくなくなります。この場合は、ソフトウェアによりパディング・データ分のチェックサムを補正する必要があります。

## 19.8 送信チェックサム機能

PFESiP/V850EP3 の Ether MAC は、送信チェックサム機能を内蔵しています。この機能は、内部システム・バスに対して、送受信とは別のバス・マスタとして機能します。

送信チェックサムのアルゴリズムは RFC1071 に従い、32 ビット幅でペイロードを加算して、最終に 2 バイト (16 ビット) のチェックサムを出力します。32 ビットに満たない端数は、不足分を 00H として計算されます。

チェックサム対象の最小送信データは 1 バイトで、最大は IEEE802.3 に規定された 1,500 バイトです。

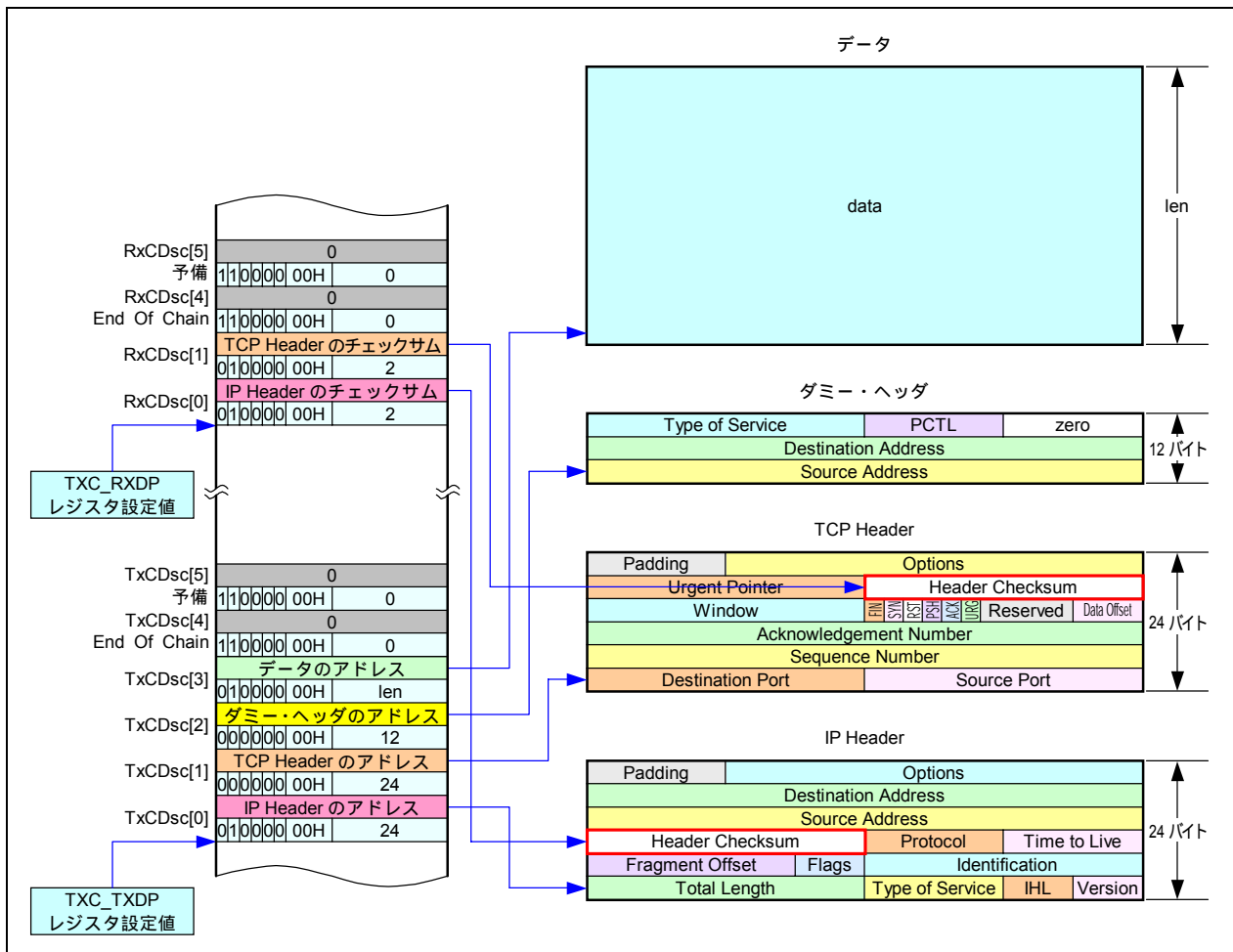
### 19.8.1 送信チェックサム用ディスクリプタの構成

送信チェックサムの計算は、ディスクリプタにより制御します。

ディスクリプタの構成により、IP ヘッダの計算と TCP ヘッダの計算を別々に行うことも、一括で行うこともできます。以下に IP ヘッダの計算と TCP ヘッダの計算を一括で行う場合のディスクリプタ構成を示します。

なお、IP ヘッダのチェックサムを書き込むアドレスは“IP ヘッダのアドレス + 10 バイト”、TCP ヘッダのチェックサムを書き込むアドレスは“TCP ヘッダのアドレス + 16 バイト”で求めています。

図 19-29 送信チェックサム用ディスクリプタの構成



### 19.8.2 異常時の処理

送信チェックサム計算時にバス・エラーを検出すると、Ether MAC は TBEI (RBEI) 要因で INTSCTXTCH (INTSCRXTCH) 割り込みを発生します。

バス・エラー検出時は、Ether MAC の使用を停止し、バス・エラーの原因を取り除いてください。バス・エラー検出により送信チェックサム計算の DMA が停止しても、通信データの転送 DMA は停止しません。

表 19-16 バス・エラー検出時のチェックサム計算結果

バス・エラー発生箇所	割り込み 要因	チェックサム 計算結果	備 考
送信データの読み出し時	TBEI	不正な値を書き込む	ディスクリプタの "D" bit がセットされます。
チェックサム計算結果の書き込み時	RBEI	値は保証されない	ディスクリプタの "D" bit がセットされます。
送信データのディスクリプタの読み出し時	TBEI	不正な値を書き込む	ディスクリプタ・チェーンの先頭でエラーが発生した場合、チェックサム計算結果は前の計算結果が書き込まれます。
送信データのディスクリプタのライトバック時	TBEI	不正な値を書き込む	ディスクリプタ・チェーンの最後でエラーが発生した場合、チェックサム計算結果は正しい値が書き込まれます。
計算結果のディスクリプタの読み出し時	RBEI	結果を書き込まない	
計算結果のディスクリプタのライトバック時	RBEI	正しい値を書き込む	

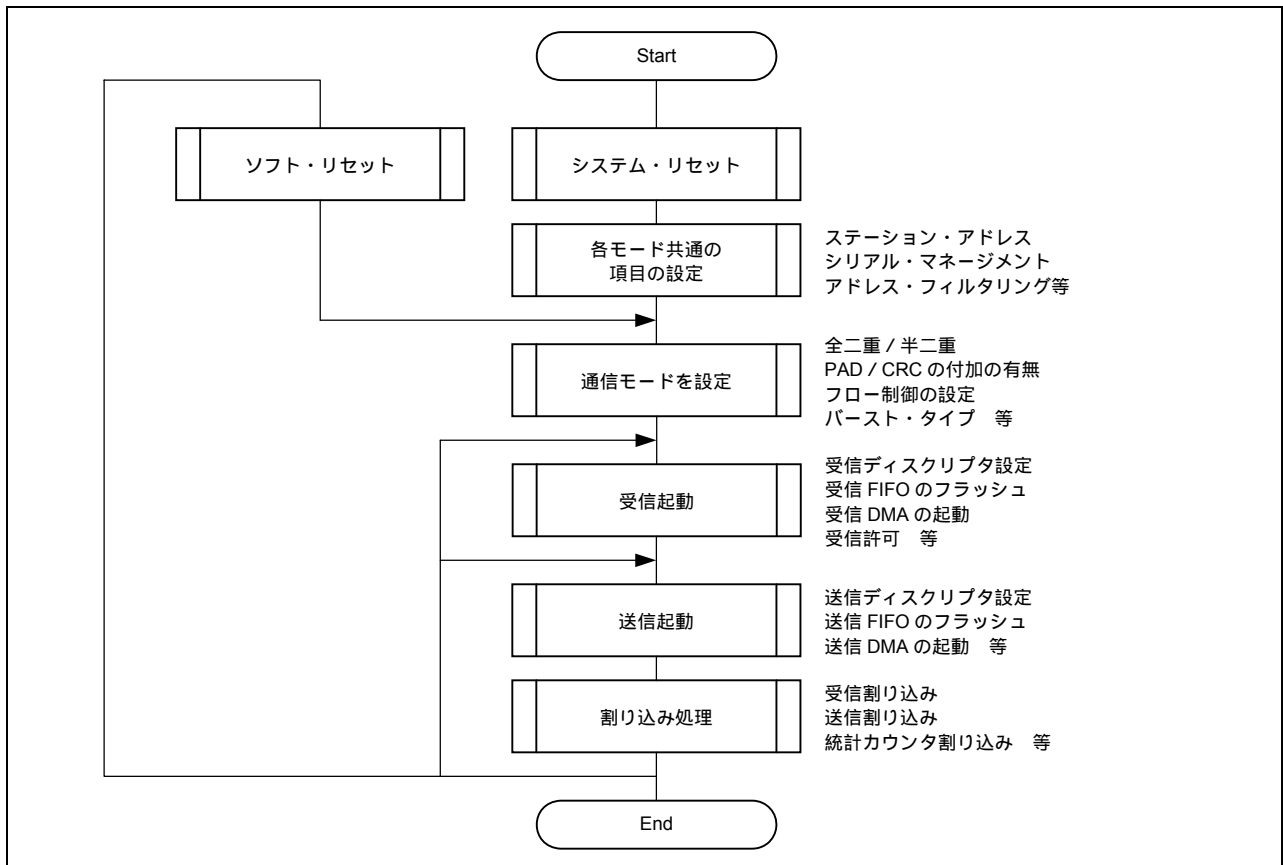
## 19.9 制御手順

### 19.9.1 制御手順の概略

Ether MAC は、おおよそ次に示す制御手順で使用します。

なお、この制御手順は概略を示したもので、実際の制御フローとは異なる場合があります。

図 19-30 Ether MAC 制御手順の概略



**注意** リセット解除後、送受信クロック 4 クロックの間は通信を行うことができません。ソフトウェアで適宜ウェイトを設けてください。

## 19.9.2 初期化

## (1) システム・リセット

Ether MAC は、PFESiP/V850EP3 の RESETZ 端子にロー・レベルが入力されることで、システム・リセットがかかり、Ether MAC 内のすべての回路がリセットされ、以下のように初期化されます。

表 19-17 Ether MAC の初期状態

機能	初期状態	状態を変更するレジスタ	対応内部コア
通信モード	通信方式：半二重 CRC 付加可能：付加しない PAD 付加機能：付加しない 受信：停止	MACC1	MAC
	PHY インタフェース：MII インタフェース	MACC2	
	最大パケット長：1,536 バイト	LMAX	
送受信間隔	パケット間隔：96bit-time	IPGT, IPGR	
	キャリア・センス期間：64bit-time	IPGR	
	コリジョン・ウィンドウ：512bit-time	CLRT	
	最大再送回数：15 回		
フィルタリング	ステーション・アドレス：00-00-00-00-00-00	LSA1, LSA2	
	VLAN タイプ：00-00	VLTP	
	アドレス・フィルタリング：ユニキャスト・モード	AFR	
ポーズ	ポーズ値：0000H	PTVR	
シリアル・マネジメント	MDC クロック：停止状態	MIIC	
	シリアル I/F：停止状態	MCMD	
	PHY アドレス：00H	MADR	
MAC 割り込みマスク	すべて解除	CAM1, CAM2	
統計カウンタ	すべて 0000 0000H	統計カウンタ	
FIFO モード	フロー制御：OFF パケット情報：付加しない 送信：停止 受信：停止	MFFCONT	MFF
受信パケットの破棄	エラーを含む受信フレーム：破棄しない	RXERSEL	
FIFO 割り込みマスク	すべてマスク	FSTATUS_MASK TXSTATUS_MASK RXSTATUS_MASK	
DMA モード	送信 DMA：停止 受信 DMA：停止	ANLCTL	MACAD
	バースト・タイプ：シングル転送	DMACM	
DMA 割り込みマスク	すべてマスク	INTMS	

## (2) ソフトウェア・リセット

システムが不安定になった場合や、動作モードを変更した場合に、以前の動作モード設定の影響を防ぐため、ソフトウェア・リセットにより Ether MAC を初期化できます。

ソフトウェア・リセットでは、Ether MAC コアの制御レジスタ (MACC1 レジスタ ~ CAM2 レジスタ) は初期化されませんが、FIFO, DMAC 関連のレジスタは初期化されるため、動作モード / 割り込みマスクの再設定が必要です。

ソフトウェア・リセットを実行した場合は、FIFO 中のパケットは破棄してください。

図 19-31 ソフトウェア・リセットと再起動フロー (1/2)

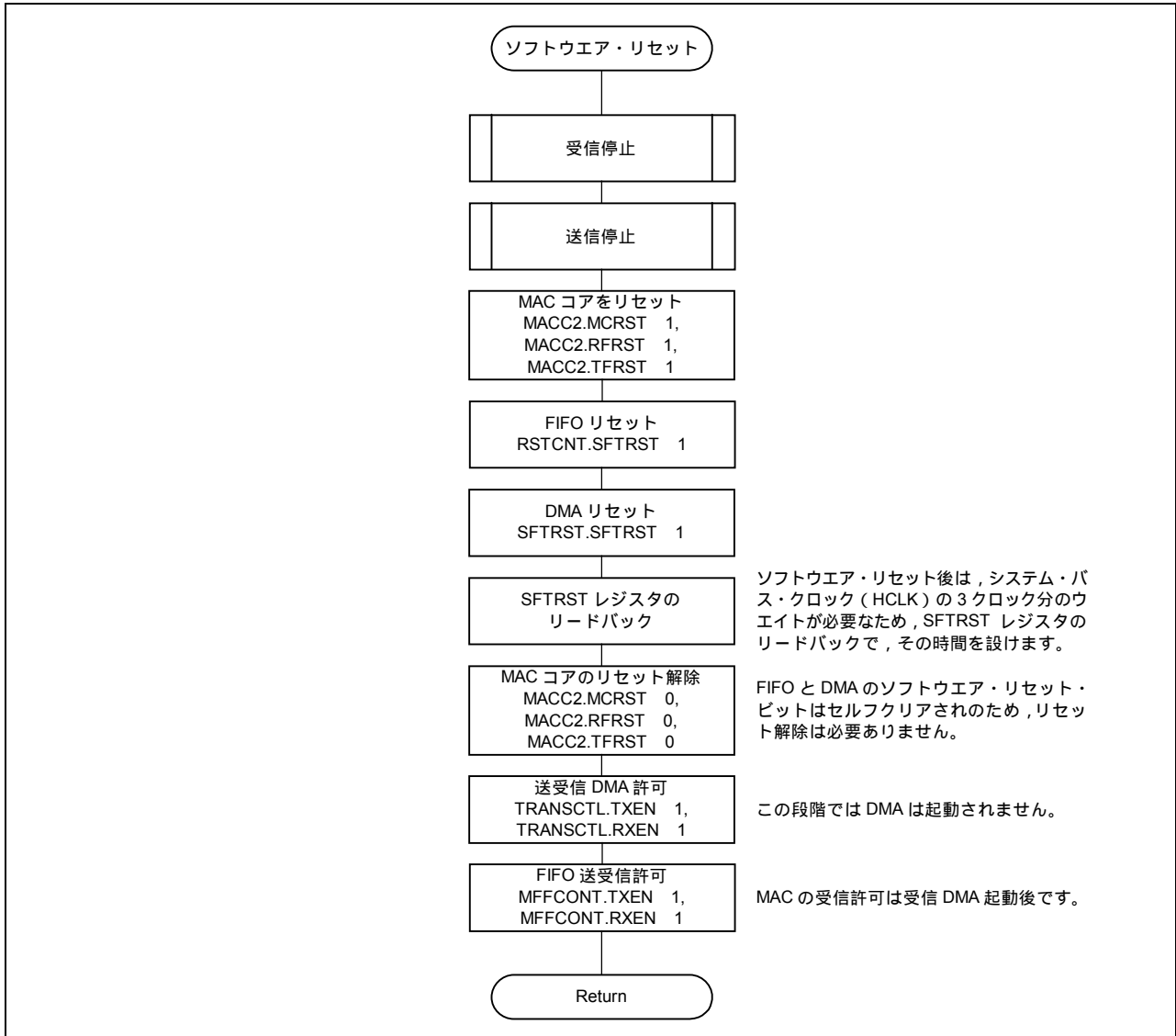
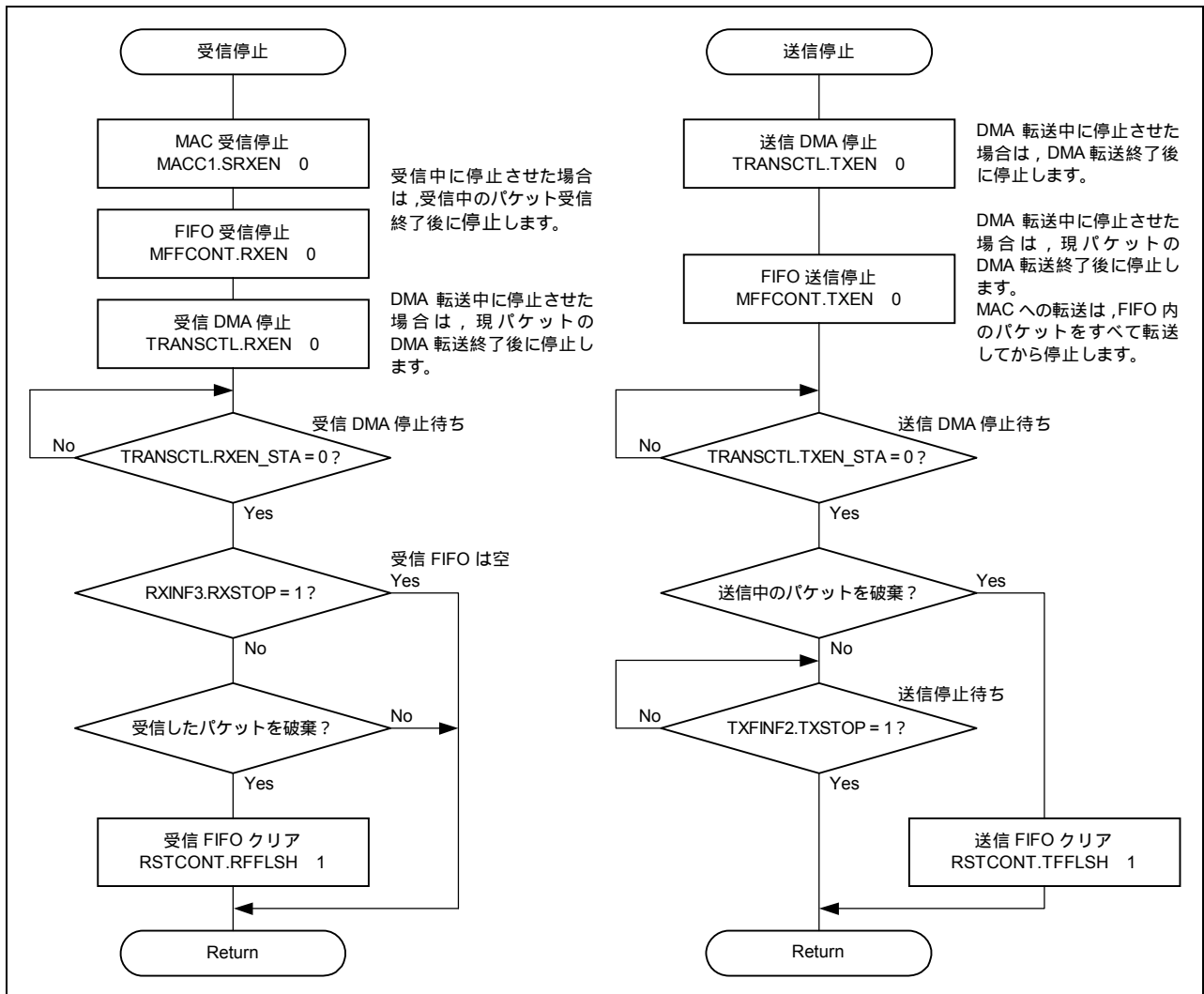




図 19-31 ソフトウェア・リセットと再起動フロー (2/2)



## (3) 送信 FIFO フラッシュ

ソフトウェア・リセットとは別に、送信 FIFO の内容のみクリアすることもできます。

送信 FIFO のクリア手順は、図 19-31 の送信停止手順で、「送信中のパケットを破棄する」場合と同じです。

## (4) 受信 FIFO フラッシュ

ソフトウェア・リセットとは別に、受信 FIFO の内容のみクリアすることもできます。

受信 FIFO のクリア手順は、図 19-31 の受信停止手順で、「受信したパケットを破棄する」場合と同じです。

## (5) バス・エラー後のソフトウェア・リセット

データ転送中にバス・エラーを検出すると、Ether MAC はデータ転送の DMA を停止し、TBEI (RBEI) 要因で、INTSCTX (INTSCRX) 割り込みを発生します。

バス・エラーが発生した場合、Ether MAC の使用を停止し、バス・エラーの原因を取り除いてください。バス・エラー検出により通信データの転送の DMA が停止しても、送信チェックサム計算の DMA は停止しません。

### 19.9.3 モード設定

ソフトウェアにより制御レジスタの値を更新する場合は、フレームの送受信 / DMA が停止している状態で行ってください。

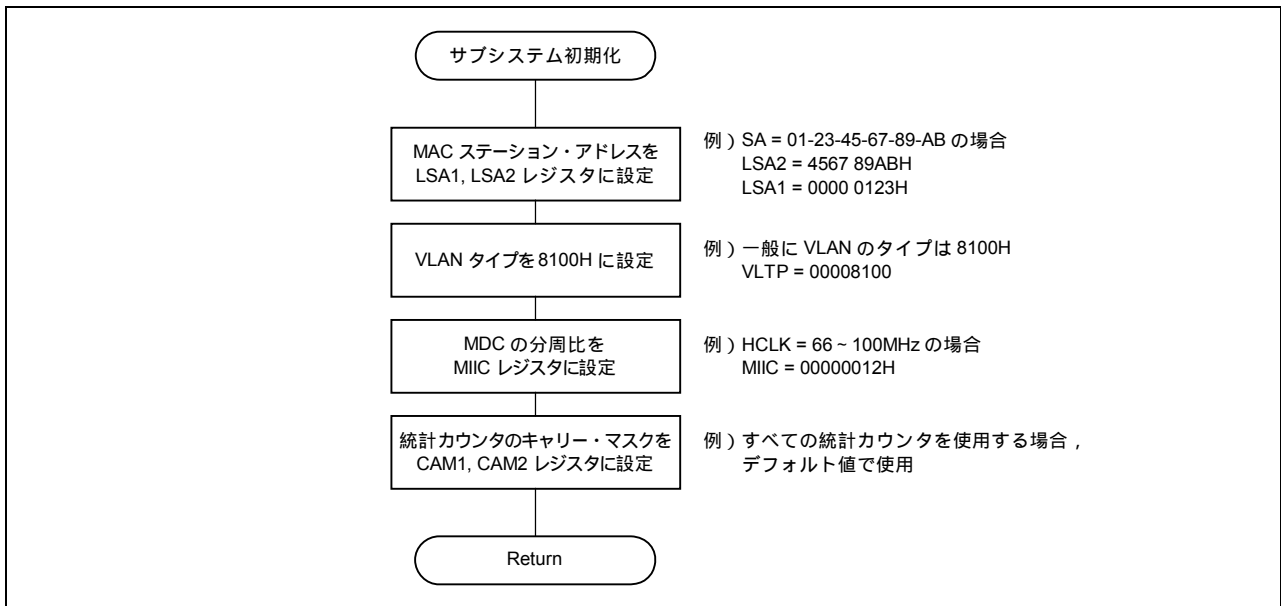
通信中のモード変更の手順は、「19.9.8 動作中のモード変更」を参照してください。

また、シリアル・マネジメントによる PHY レジスタの更新に関しては、「図 19-13 PHY レジスタへのアクセスフロー」を参照してください。

#### (1) システム・リセット後の共通項目設定

以下の処理は、システム・リセット後の処理を示すものです。利用状態により、実際の設定値は異なります。なお、ソフトウェア・リセットの場合、MAC コアの制御レジスタは初期化されません。

図 19-32 システム・リセット後の初期設定フロー例



## (2) 通信モード設定

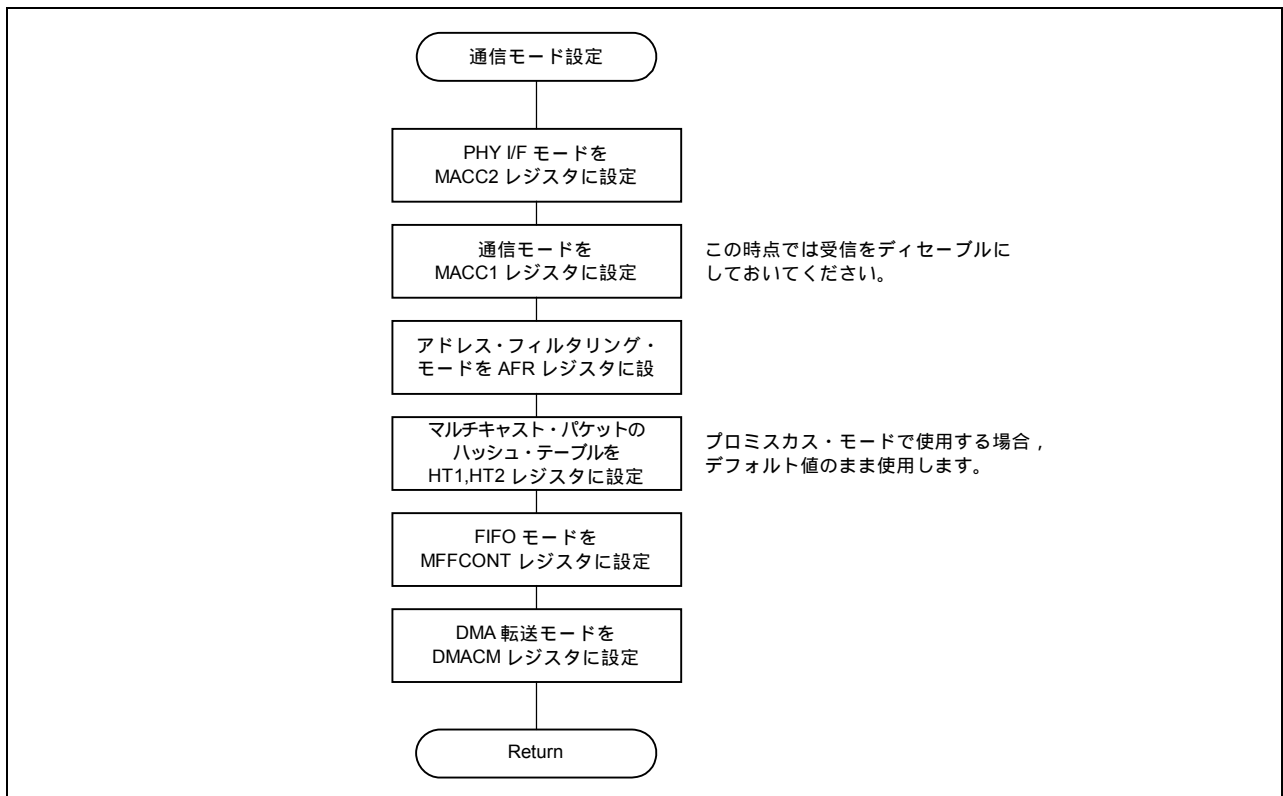
設定する通信モードは、システム / 対向器とのネゴシエーションの結果等によって異なります。  
以下に、Ether MAC の主な通信モードを示します。

表 19-18 Ether MAC の主な通信モード

機能	モード		制御レジスタ	設定値
通信モード	半二重通信	PAD / CRC 付加する	MACC1	0000 0E4CH
		PAD / CRC 付加しない		0000 0E40H
	全二重通信	PAD / CRC 付加する		0000 0E4EH
		PAD / CRC 付加しない		0000 0E42H
MII / RMII	MII		MACC2	0000 0000H
	RMII	10Mbps		0000 1000H
		100Mbps		0000 3000H
アドレス・フィルタリング	プロミスカス・モード		AFR	0000 0008H
	マルチキャスト受信			0000 0004H
	条件付きマルチキャスト受信			0000 0003H
DMA 転送モード	4 バースト転送		DMACM	0000 0300H
	8 バースト転送			0000 0500H
	16 バースト転送			0000 0700 H

その他のモードに関しては、「19.10 制御レジスタ」を参照してください。

図 19-33 通信モード設定フロー

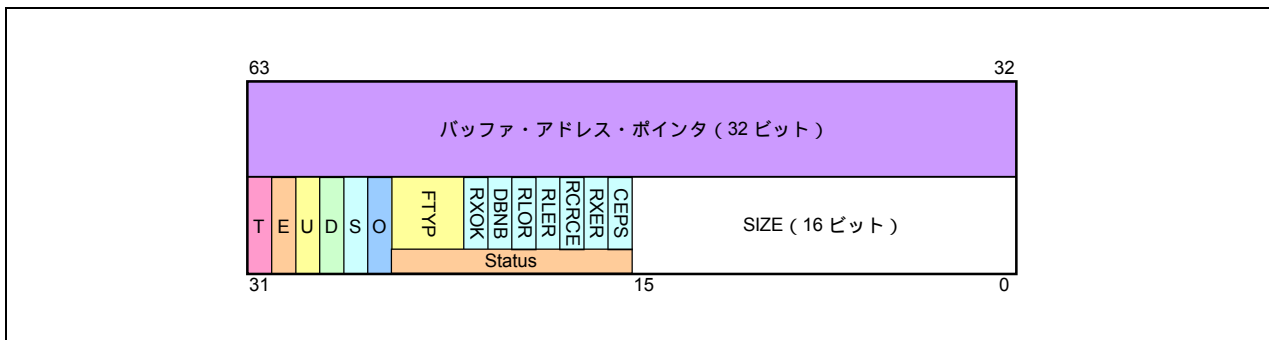


### 19.9.4 ディスクリプタの構築と操作

Ether MAC では、ディスクリプタによって DMA の転送範囲を指定します。

そのため、送受信の DMA を起動する前に、送受信バッファ領域を確保して、ディスクリプタ・チェーンを構築する必要があります。

図 19-34 ディスクリプタのフォーマット



## (1) ディスクリプタ共用体の定義例

ディスクリプタは2ワード（64ビット）で定義します。以下に定義の一例を示します。

値を書き込む場合は、ワードで書き込み、状態を確認する場合は、ビット・テストが効率的なため、共用体で宣言することを推奨します。

```
struct ディスクリプタ {
    union {
        struct {
            unsigned Size:16;
            unsigned OEPS:1;
            unsigned RXER:1;
            unsigned RCRCE:1;
            unsigned RLER:1;
            unsigned RLOR:1;
            unsigned DBNB:1;
            unsigned RXOK:1;
            unsigned FTYP:3;
            unsigned O:1;
            unsigned S:1;
            unsigned D:1;
            unsigned U:1;
            unsigned E:1;
            unsigned T:1;
        } Flag;
        unsigned long Valu ;
    } Stat ;
    unsigned long BAP;
};
```

定義した共用体は、下記のようにポインタで宣言して使用します。

ディスクリプタ \*TxDsc, \*RxDsc ;

## (2) MAC ヘッダ共用体の定義例

Ether MAC では、1 つのパケットを複数のディスクリプタで構成することができます。

そのため、パケットのヘッダ部とデータ部を別の領域に作成して、ディスクリプタを分けて指定することで、送信パケットを簡単に生成できます。

MAC ヘッダは 18 バイトで定義します。以下に定義の一例を示します。

図 19-35 MAC ヘッダの共用体

名前	メンバー	6バイト	6バイト	2バイト	2バイト	2バイト	用途
MAC_Header	e	DA	SA	LT	dummy		通常
	v	DA	SA	TPID	TCI	LT	VLAN
	p	DA	SA	TYPE	OPCODE	PARA	ポーズ

```

union MAC_Header{
  struct {                               // IEEE802.3 standard format
    unsigned char DA[6];
    unsigned char SA[6];
    unsigned char LT[2];
    unsigned char dummy[4];
  } e;
  struct{                                  // VLAN format
    unsigned char DA[6];
    unsigned char SA[6];
    unsigned char TPID[2];
    unsigned char TCI[2];
    unsigned char LT[2];
  } v;
  struct{                                  // Control format
    unsigned char DA[6];
    unsigned char SA[6];
    unsigned char TYPE[2];
    unsigned char OPCODE[2];
    unsigned char PARA[2];
  } p;
};

```

定義した共用体は、下記のようにポインタで宣言して使用します。

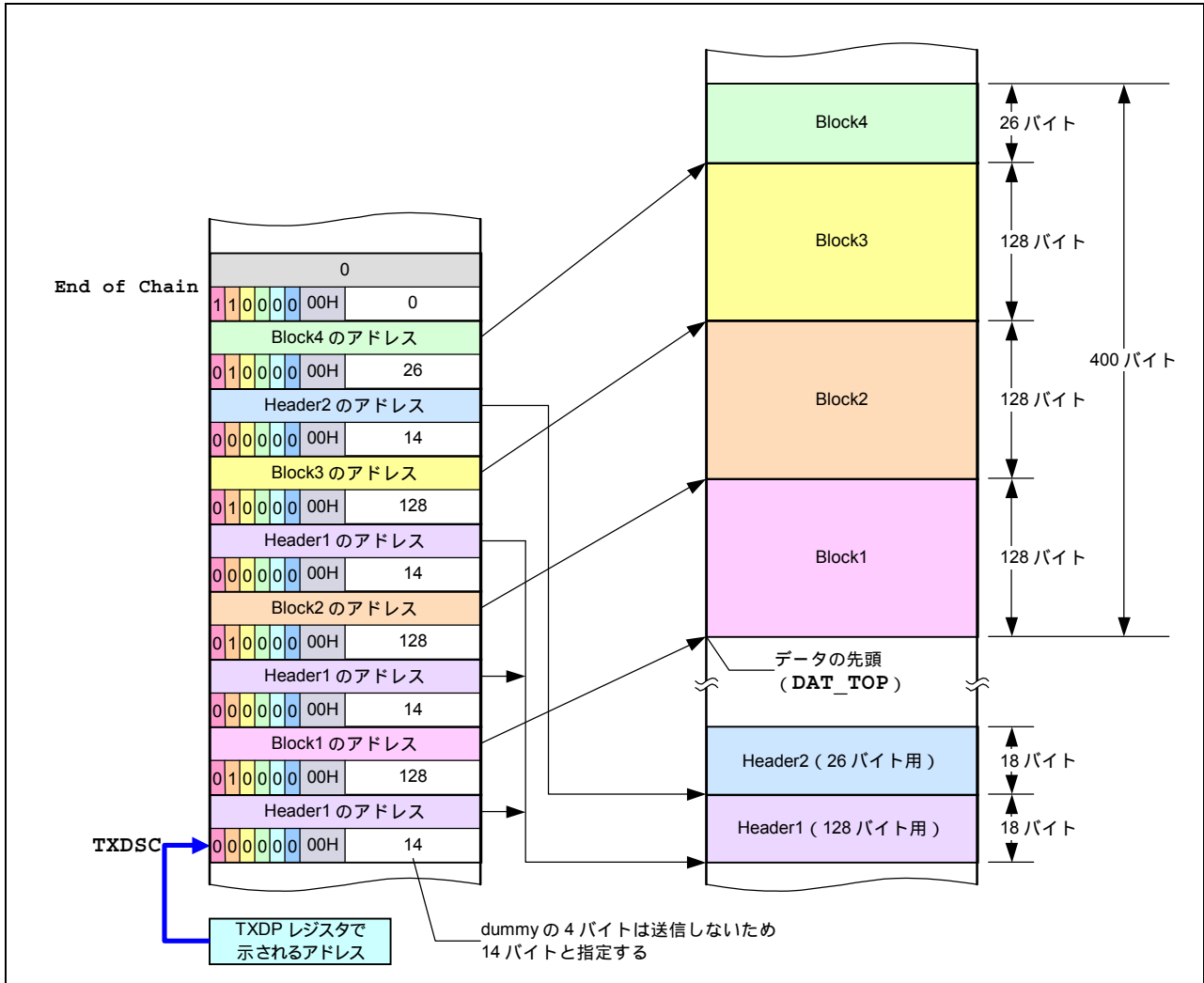
```
MAC_Header *Header1, *Header2 ;
```

## (3) 送信ディスクリプタの構築例と送信手順

送信データと MAC ヘッダ，ディスクリプタの構成例を以下に示します。

以下の例は，400 バイトのデータを 128 バイト×3 と，26 バイト×1 の，4 つに分割して，それぞれにヘッダを付加して送信パケットを構築し，送信する場合を想定しています。

図 19-36 送信データと MAC ヘッダ，ディスクリプタの構成例



128 バイト用の MAC ヘッダは，SA, DT, LT が同一のため，3 つのパケットで共用します。

MAC ヘッダ共用体は 128 バイト用の Header1 と端数（LT が 26 バイト）用の Header2 の 2 つを作成し，値を設定します。

```
MAC_Header *Header1, *Header2 ;
```

```
setDA(Header1, Dist_Addr );
setSA(Header1, Source_Addr );
setLT(Header1, 128 );
setDA(Header2, Dist_Addr );
setSA(Header2, Source_Addr );
setLT(Header2, 26 );
```

SA,DA,LT は上位バイトから送信するため，上位バイトを  
下位アドレスから格納する関数を作成して値を書き込む  
必要があります。

ディスクリプタ共用体は、ヘッダ用×4個、データ用×4個、エンド・オブ・チェーン用の合計9個作成し、個々のMACヘッダとデータの先頭アドレスを設定します。

<pre> ディスクリプタ *DP ;  DP = TXDSC ; setDsc(DP++, 0, Header1,      14 ); setDsc(DP++, 1, DAT_TOP,      128 ); setDsc(DP++, 0, Header1,      14 ); setDsc(DP++, 1, DAT_TOP+128,  128 ); setDsc(DP++, 0, Header1,      14 ); setDsc(DP++, 1, DAT_TOP+256,  128 ); setDsc(DP++, 0, Header2,      14 ); setDsc(DP++, 1, DAT_TOP+384,   26 ); setEOC(DP); </pre>	<p>ディスクリプタの作成領域は、事前に作成され、*TXDSCに先頭番地が格納されていることを想定しています。</p> <p>ディスクリプタ設定用の関数を事前に作成してください。データの先頭番地は、事前に*DAT_TOPに格納されていることを想定しています。</p> <p>エンド・オブ・チェーン設定用の関数を事前に作成してください。</p>
--	---

**注意** リンク・ポインタを使用していないため、上記のディスクリプタは、ワード・アラインされた連続した領域である必要があります。

送信ディスクリプタ・ポインタ(TXDP)にディスクリプタ・チェーンの先頭アドレスを設定し、DMAを起動するとフレームの送信が開始されます。

<pre> *TXDP          = TXDSC;           // 送信ディスクリプタ・チェーンの先頭アドレス TRANSCTL-&gt;TXEN = 1;              // DMA 送信イネーブル ANLCTL-&gt;TXS    = 1;              // DMA 送信開始 </pre>
--

この例では、送信データのCRCを計算していないため、通信モードを“PAD/CRCを付加する”に設定する必要があります(表 19-18 参照)。

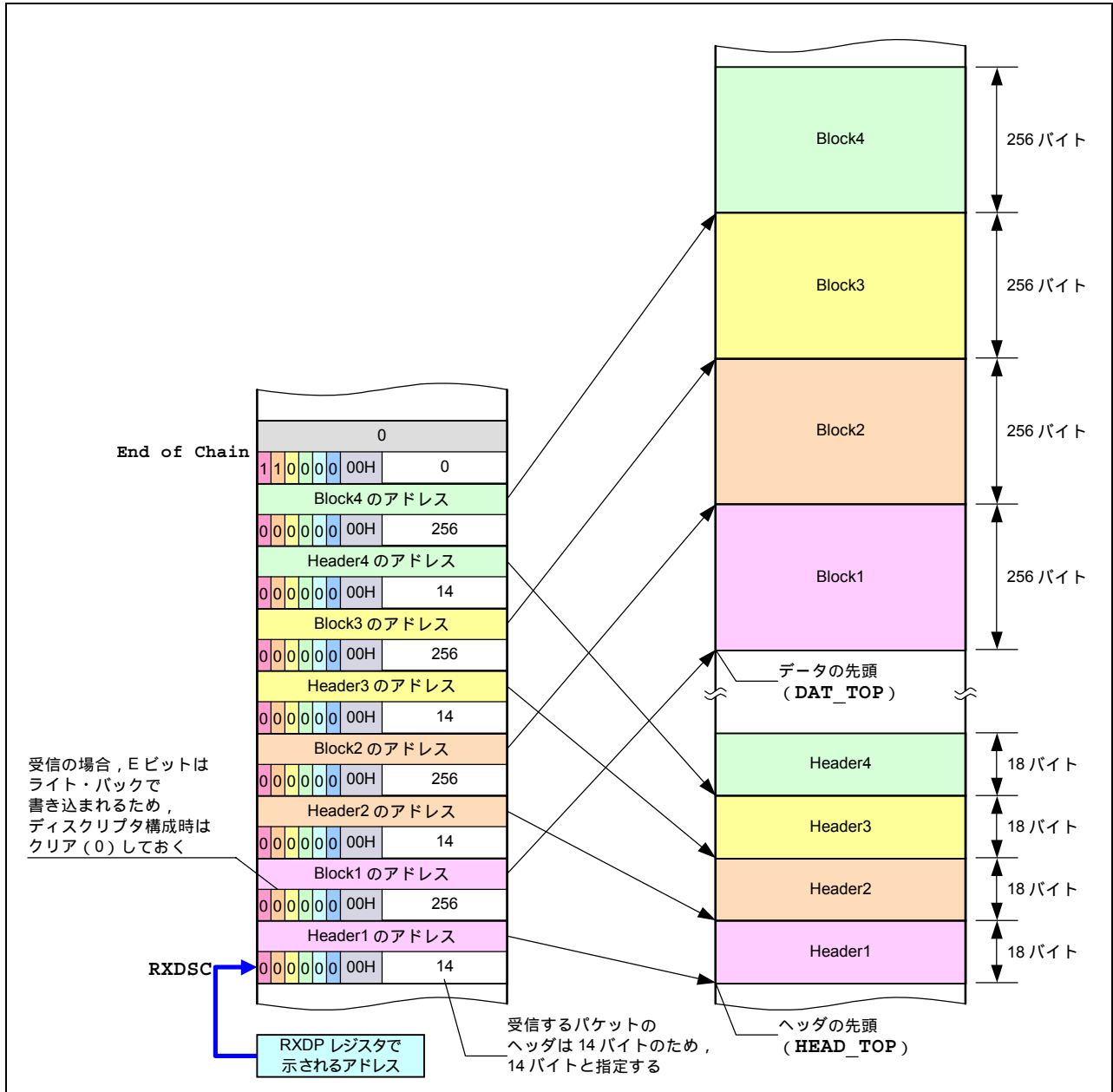


## (4) 受信ディスクリプタの構築例と受信手順

受信用のディスクリプタの構成例を以下に示します。

以下は、256 バイトの受信バッファを 4 個確保し、その他にヘッダ分離用に 18 バイトのヘッダ保存領域を 4 個設けた例です。

図 19-37 受信データと MAC ヘッダ，ディスクリプタの構成例



受信の場合、送信元が複数存在する場合や、異なるプロトコルのパケットが混在して受信される場合があるため、この例では、受信するパケット分の MAC ヘッダを格納する領域を確保しています。

また、受信バッファは、受信するパケット・サイズより大きな領域を確保しておきます。

ディスクリプタ共用体は、ヘッダ用×4個、データ用×4個、エンド・オブ・チェーン用の合計9個作成し、個々のMACヘッダ格納領域とデータの格納領域の先頭アドレスを設定します。

<pre>MAC_Header *MP ; ディスクリプタ *DP ;  MP = HEAD_TOP ;  DP = RXDSC ;  setDsc(DP++, 0, MP++,      14 ); setDsc(DP++, 1, DAT_TOP,   256 ); setDsc(DP++, 0, MP++,      14 ); setDsc(DP++, 1, DAT_TOP+256, 256 ); setDsc(DP++, 0, MP++,      14 ); setDsc(DP++, 1, DAT_TOP+512, 256 ); setDsc(DP++, 0, MP++,      14 ); setDsc(DP++, 1, DAT_TOP+768, 256 ); setEOC(DP);</pre>	<p>ヘッダ格納領域は事前に確保され、*HEAD_TOP に先頭番地格納されていることを想定しています。</p> <p>ディスクリプタの作成領域は、事前に作成され、*RXDSC に先頭番地が格納されていることを想定しています。</p> <p>ディスクリプタ設定用の関数を事前に作成してください。データの先頭番地は、事前に*DAT_TOP に格納されていることを想定しています。</p> <p>エンド・オブ・チェーン設定用の関数を事前に作成してください。</p>
---	--

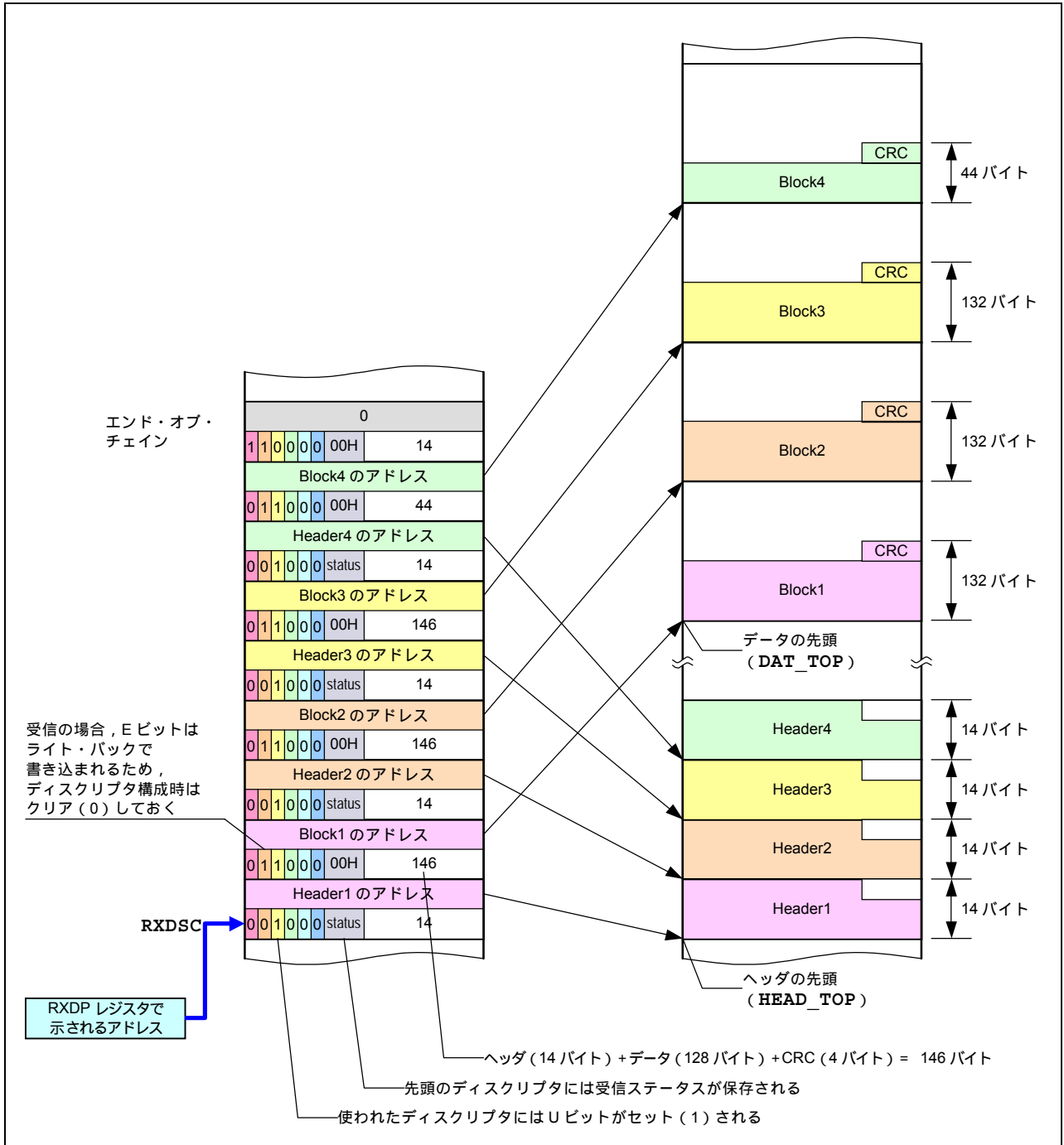
**注意** リンク・ポインタを使用していないため、上記のディスクリプタは、ワード・アラインされた連続した領域である必要があります。

受信ディスクリプタ・ポインタ(RXDP)にディスクリプタ・チェーンの先頭アドレスを設定し、DMAを起動すると、フレームを受信ごとにDMA転送が行われます。

```
*RXDP      = RXDSC;           // 受信ディスクリプタ・チェーンの先頭アドレス
TRANSCTL->RXEN = 1;           // DMA 受信イネーブル
ANLCTL->RXS  = 1;           // DMA 受信開始
MACC1->SRXEN = 1;           // MAC 受信イネーブル
```

仮に、前記送信ディスクリプタの構築例で送信したフレームを受信すると、受信後の状態は以下のようになります。

図 19-38 受信後のディスクリプタ・チェーンと受信バッファ



## 19.9.5 割り込み処理

Ether MAC は以下の割り込みを発生します。

表 19-19 割り込みと要因 (1/3)

割り込み信号	割り込み要因 (割り込みレジスタ)	割り込み フラグ	意 味	クリア 条件	割り込み処理 (例)
INTCMAC	統計カウンタの オーバーフロー (CAR1, CAR2)	C1VT	RVBT カウンタ・オーバーフロー	リードで クリア	メモリ上に確保したキ ャリー発生回数の カウンタを +1 する。
		C1UT	TUCA カウンタ・オーバーフロー		
		C1BT	TBCA カウンタ・オーバーフロー		
		C1MT	TMCA カウンタ・オーバーフロー		
		C1PT	TPCT カウンタ・オーバーフロー		
		C1TB	TBYT カウンタ・オーバーフロー		
		C1MX	RMAX カウンタ・オーバーフロー		
		C11K	R1K カウンタ・オーバーフロー		
		C1FE	R511 カウンタ・オーバーフロー		
		C1TF	R255 カウンタ・オーバーフロー		
		C1OT	R127 カウンタ・オーバーフロー		
		C1SF	R64 カウンタ・オーバーフロー		
		C1BR	RBCA カウンタ・オーバーフロー		
		C1MR	RMCA カウンタ・オーバーフロー		
		C1PR	RPKT カウンタ・オーバーフロー		
		C1RB	RBYT カウンタ・オーバーフロー		
		C2DV	ステータス・ベクタ・オーバーラン		
		C2IM	TIME カウンタ・オーバーフロー		
		C2CS	TCSE カウンタ・オーバーフロー		
		C2NC	TNCL カウンタ・オーバーフロー		
		C2XC	TXCL カウンタ・オーバーフロー		
		C2LC	TLCL カウンタ・オーバーフロー		
		C2MC	TMCL カウンタ・オーバーフロー		
		C2SC	TSCL カウンタ・オーバーフロー		
		C2XD	TXDF カウンタ・オーバーフロー		
		C2DF	TDFR カウンタ・オーバーフロー		
		C2XF	TXPF カウンタ・オーバーフロー		
		C2TE	TFCS カウンタ・オーバーフロー		
		C2JB	RBJR カウンタ・オーバーフロー		
		C2FG	RFRG カウンタ・オーバーフロー		
		C2OV	ROVR カウンタ・オーバーフロー		
		C2UN	RUND カウンタ・オーバーフロー		
		C2FC	RFCR カウンタ・オーバーフロー		
		C2CD	RCDE カウンタ・オーバーフロー		
		C2FO	RFLR カウンタ・オーバーフロー		
		C2AL	RALN カウンタ・オーバーフロー		
		C2UO	RXUO カウンタ・オーバーフロー		
		C2PF	RXPF カウンタ・オーバーフロー		
		C2CF	RXCF カウンタ・オーバーフロー		
		C2RE	RFCS カウンタ・オーバーフロー		

表 19-19 割り込みと要因 (2/3)

割り込み信号	割り込み要因 (割り込みレジスタ)	割り込み フラグ	意 味	クリア 条件	割り込み処理 (例)
INTCFS	FIFO ステータス (FSTATUS)	TACOF	TXABTCNT レジスタのオーバフロー	リードで	回線異常を通知
		RACOF	RXABTCNT レジスタのオーバフロー	クリア	
		TSUP	送信ステータス更新		送信ステータスを確認
		TFNRTY	送信 FIFO 再送失敗		送信失敗を通知
		TFWE	送信 FIFO 書き込みエラー		送信データ異常を通知
		RFFE	受信 FIFO フラグエラー		受信パケットを破棄
		RSUP	受信ステータス更新		受信ステータスを確認
		RFWE	受信 FIFO 書き込みエラー		(特別な処理は不要)
		RFOF	受信 FIFO オーバフロー		システムの破綻を通知
		RFFLW	受信 FIFO 残量低下		受信パケット処理の 優先度を上げる
		RFZP	受信 FIFO 残量回復		受信パケット処理の 優先度を戻す
		INTCTS	送信ステータス (TXSTATUS)	TAB	送信アポートが発生した
TGNT	LMAX を超えるパケットを送信した				
LCOL	レート・コリジョンを検出した				
ECOL	最大衝突回数を超えた				
TEDFR	過剰送信遅延を検出した				
TDFR	送信遅延が発生した				(特別な処理は不要)
TFLOR	レンジス・フィールド > 1,500				送信パケット生成で エラーが発生したことを 通知
TFLER	レンジス・フィールド データ長				
TCRCE	送信 CRC エラー				
INTCRS	受信ステータス (RXSTATUS)	RENE	受信パケット長エラー		受信パケット破棄
		VLAN	VLAN パケット受信		VLAN パケット処理
		USOP	未定義オPCODE・コントロール・パケッ ト受信		受信パケット破棄
		RPCF	ポーズ・コントロール・パケット受信		受信パケット破棄
		RCFR	コントロール・パケット受信		受信パケット破棄
		DBNB	ドリブル・ニブル発生		不完全なパケットを受 信したことを通知し、 PHY を初期化
		RLOR	レンジス・フィールド > 1,500		
		RLER	レンジス・フィールド データ長		
		RCRCE	受信 CRC エラー		
		RXER	RXER を検出した		
		CEPS	False Carrier 検出		
		REPS	不完全なフレームを検出		
		PAIG	受信できないフレームを受信		
		TXRX	半二重受信中に送信を開始		受信パケット破棄
DVCF	コントロール・パケットを受信		受信パケット破棄		

表 19-19 割り込みと要因 (3/3)

割り込み信号	割り込み要因 (割り込みレジスタ)	割り込み フラグ	意 味	クリア 条件	割り込み処理 (例)
INTSCTX	送信 DMA ステータス (INTMSTX)	TUPI	Used ビットによる一時停止	リードで	送信バッファ再構築
		TBEI	送信データ・バッファ・アクセス・エラー	クリア	システム異常を通知
		TECI	送信 DMA エンド・オブ・チェーン		次の送信準備
		TXI	パケット送信 DMA 完了		次の送信準備
INTSCRX	受信 DMA ステータス (INTMSRX)	RUPI	Used ビットによる一時停止		受信バッファ再構築
		RBEI	受信データ・バッファ・アクセス・エラー		システム異常を通知
		RECI	受信 DMA エンド・オブ・チェーン		次の受信準備
		RXI	パケット受信 DMA 完了		次の受信準備
INTSRXREQ	受信データ・レディ	-	受信パケット読み出し要求	パケット 読み出し	スタンバイ解除
INTSCTXTCH	送信チェックサム DMA ステータス (TCH_INTMSTX)	TUPI	送信チェックサム計算一時停止	リードで	再スタート
		TBEI	送信チェックサム・バッファ・アクセス・ エラー	クリア	システム異常を通知
		TECI	全送信チェックサム計算完了		次のデータを準備
		TXI	1 送信チェックサム計算終了		次のデータを準備
INTSCRXTCH	受信チェックサム DMA ステータス (TCH_INTMSRX)	RUPI	送信チェックサム書き込み一時停止		再スタート
		RBEI	送信チェックサム書き込みエラー		システム異常を通知
		RECI	全送信チェックサム書き込み完了		次のデータを準備
		RXI	1 送信チェックサム書き込み完了		次のデータを準備



## (2) INTCFS 割り込み処理例

FIFO ステータスに異常が発生し、FIFO ステータス割り込みレジスタ (FSTATUS\_MASK) でマスクされていない場合、INTCFS 割り込みが発生します。

INTCFS 割り込みが発生する場合は、システムまたは通信に障害が発生しているため、システムの見直しや通信回線のチェックが必要になります。

以下は、INTCFS 発生時に障害の内容を表示する場合の一例です。

図 19-40 INTCFS 割り込み処理例

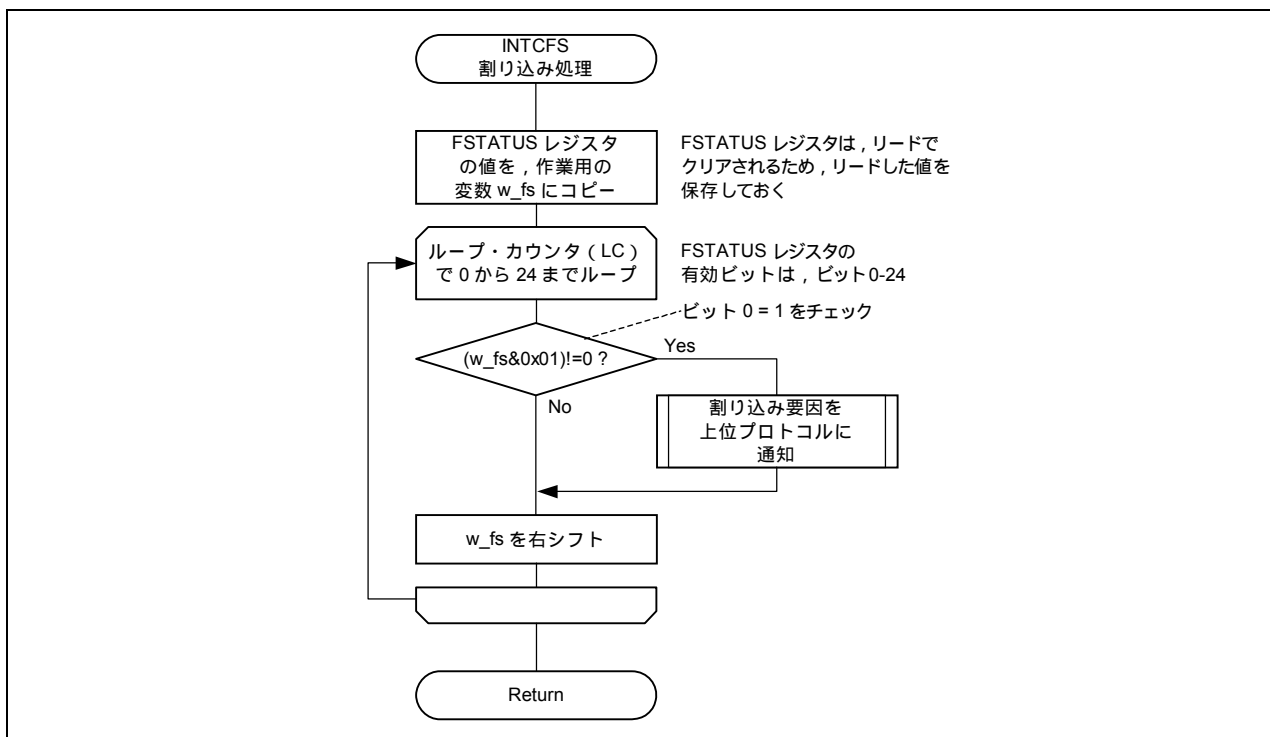




表 19-20 FIFO ステータス割り込みメッセージ

割り込みレジスタ	ビット No.	ビット・シンボル	メッセージ	状態
FSTATUS	24	TACOF	TX アポート・カウンタ (TXABTCNT) がオーバフロー	Error
	23-17	-	未定義	-
	16	RACOF	RX アポート・カウンタ (RXABTCNT) がオーバフロー	Error
	15-13	-	未定義	-
	12	TSUP	送信ステータスが更新された	Report
	11	TFNRTY	送信に失敗し、送信 FIFO 内のデータを破棄した	Error
	10	TFWE	送信 FIFO への書き込みエラー	Error
	9, 8	-	未定義	-
	7	RF FE	受信ステータス無効 (受信データが保証されない)	Error
	6	RSUP	受信ステータスが更新された	Report
	5	-	未定義	-
	4	RFWE	破損したフレームを受信 (受信データは破棄された)	Warning
	3	RFOF	受信 FIFO がオーバフロー	Error
	2	-	未定義	-
	1	RF FLW	受信 FIFO 内のデータが、しきい値を超えた	Warning
0	RFZP	受信 FIFO 内のデータが、フロー制御しきい値を下回った	Report	

状態	状態ごとの処置
Error	原因の解析が必要です。No.24, 16, 11 は回線の異常, No.10, 7, 3 はシステムの異常が考えられます。
Warning	通常は特別な処理は不要ですが、頻繁に発生する場合は、原因の解析が必要です。
Report	通知のビットで、問題の解析は必要ありません。

(3) INTCTS 割り込み処理例

フレーム送信時にエラーが検知され、送信ステータス割り込みマスク・レジスタ(TXSTATUS\_MASK)でマスクされていない場合、INTCTS 割り込みが発生します。INTCTS 割り込みが発生する場合は、通信に障害が発生しているため、通信回線のチェックが必要になります。

以下は、INTCTS 発生時に障害の内容を表示する場合の一例です。

図 19-41 INTCTS 割り込み処理例

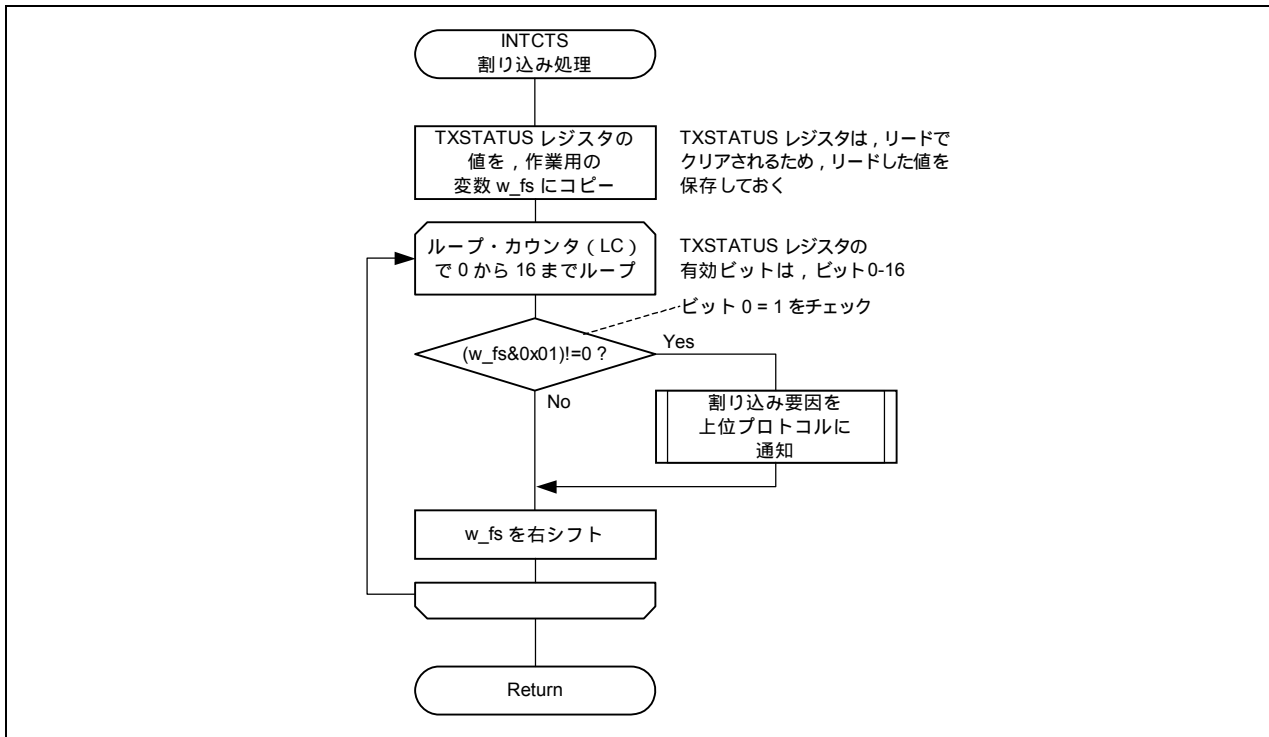


表 19-21 送信ステータス割り込みメッセージ

割り込みレジスタ	ビット No.	ビット・シンボル	メッセージ	状態
TXSTATUS	16	TAB	送信アボートが発生した	Error
	15-8	-	未定義	-
	7	TGNT	LMAX レジスタ設定値を超えたため送信アボートが発生した	Error
	6	LCOL	再送可能範囲外で衝突が発生し、送信アボートが発生した	Error
	5	ECOL	最大衝突回数を超える衝突発生し、送信アボートが発生した	Error
	4	TEDFR	送信過剰遅延を検出し、送信アボートが発生した	Error
	3	TDFR	送信遅延が発生した	Warning
	1	TFLER	レングス・フィールドとデータ・フィールド長の不一致	Error
	0	TCRCE	送信パケットの CRC が一致しない (エラー)	Error

状態	状態ごとの処置
Error	No.7-4 のエラーは、送信をアボートします。No.1, 0 はシステムに問題があると考えられますが、送信は行われます。
Warning	半二重モード時の回線の空き待ちで発生します。頻繁に発生する場合は、回線のチェックが必要な場合があります。

**注意** 送信ステータス割り込みレジスタ (TXSTATUS) レジスタの TFLER ビットがセット (1) されるのは、レングス・フィールドの値が 1,500 バイト以下の場合です。  
レングス・フィールドの値が 1,500 を超える場合 (タイプ・フィールドとして使われるとき) は、TFLER ビットはセット (1) されません。

## (4) INTCRS 割り込み処理例

フレーム受信時にエラーが検知され、受信ステータス割り込みマスク・レジスタ(RXSTATUS\_MASK)でマスクされていない場合、INTCRS 割り込みが発生します。INTCRS 割り込みが発生する場合、通信に障害が発生しているため、通信回線のチェックが必要になります。

INTCRS 発生時に受信したパケットの処理は、システム仕様で決めておく必要があります。

割り込みフラグの一部は、ディスクリプタにライトバックされるステータス・フィールドにも反映されます。

図 19-42 INTCRS 割り込み処理例

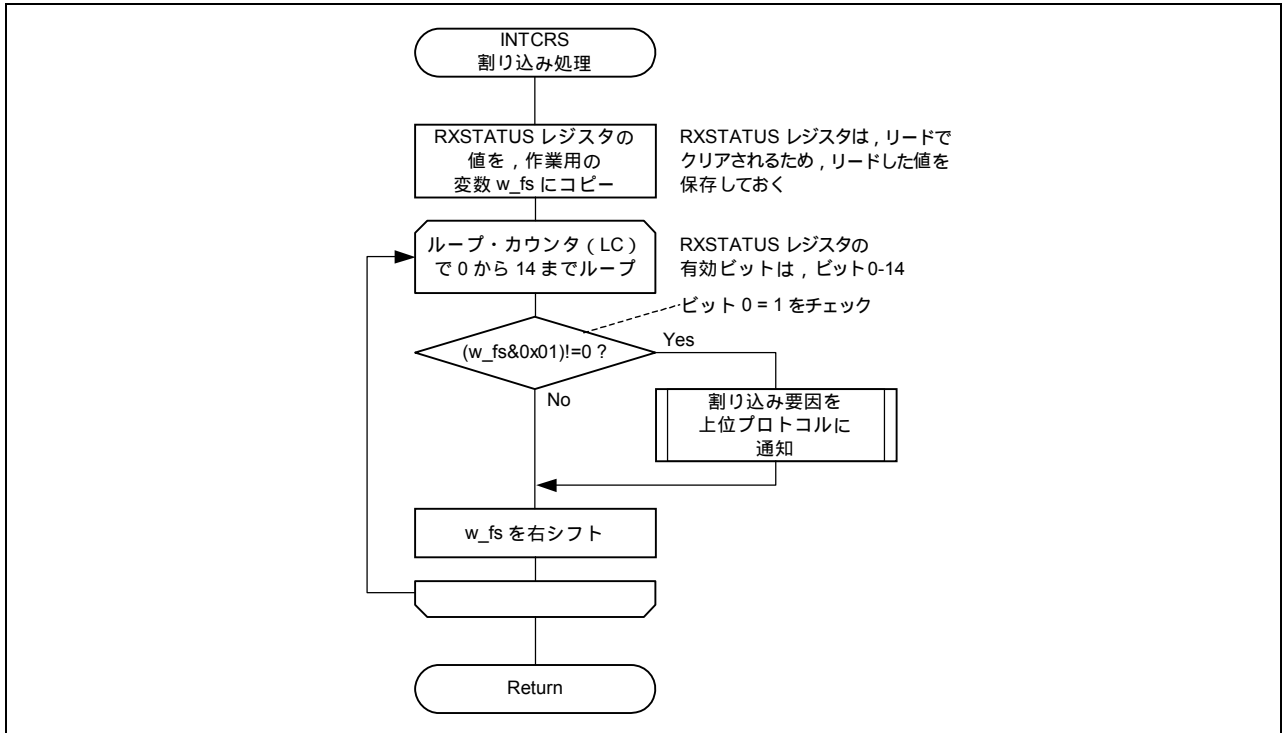


表 19-22 受信ステータス割り込みメッセージ

割り込みレジスタ	ビット No.	ビット・シンボル	対応するディスクリプタの Status フィールド	メッセージ	受信データの処理例
RXSTATUS	14	RLENE	なし	受信パケット・レングス・エラー	システム仕様で処理方法を決定
	13	VLAN	VLAN	VLAN パケット受信	有効
	12	USOP	FTYPE (USOP)	未定義オPCODE・コントロール・フレーム受信	破棄
	11	RPCF	FTYPE (RPCF)	ポーズ・コントロール・フレーム受信	破棄
	10	RCFR	FTYPE (RCFR)	コントロール・フレーム受信	破棄
	9	DBNB	DBNB	ドリブル・ニブルを含むパフレームの受信	破棄
	8	RLOR	RLOR	レングス・フィールドが、1,500 を超えるフレームの受信	有効
	7	RLER	RLER	レングス・フィールドが、データ・フィールド長と不一致	有効
	6	RRCCE	RRCCE	受信 CRC エラー	破棄
	5	RXER	RXER	RXER 検出 (受信中の回線にエラーが発生した)	破棄
	4	CEPS	CEPS	フォルス・キャリア検出	有効
	3	REPS	なし	パケット・データのないフレームを受信	有効
	1	TXRX	なし (CRCE で判断)	半二重受信中 (受信開始直後) に送信を開始 (コリジョン発生)	破棄
	0	DVCF	なし (RCFR で判断)	受信したフレームが有効な (エラーを含まない) コントロール・フレーム	破棄

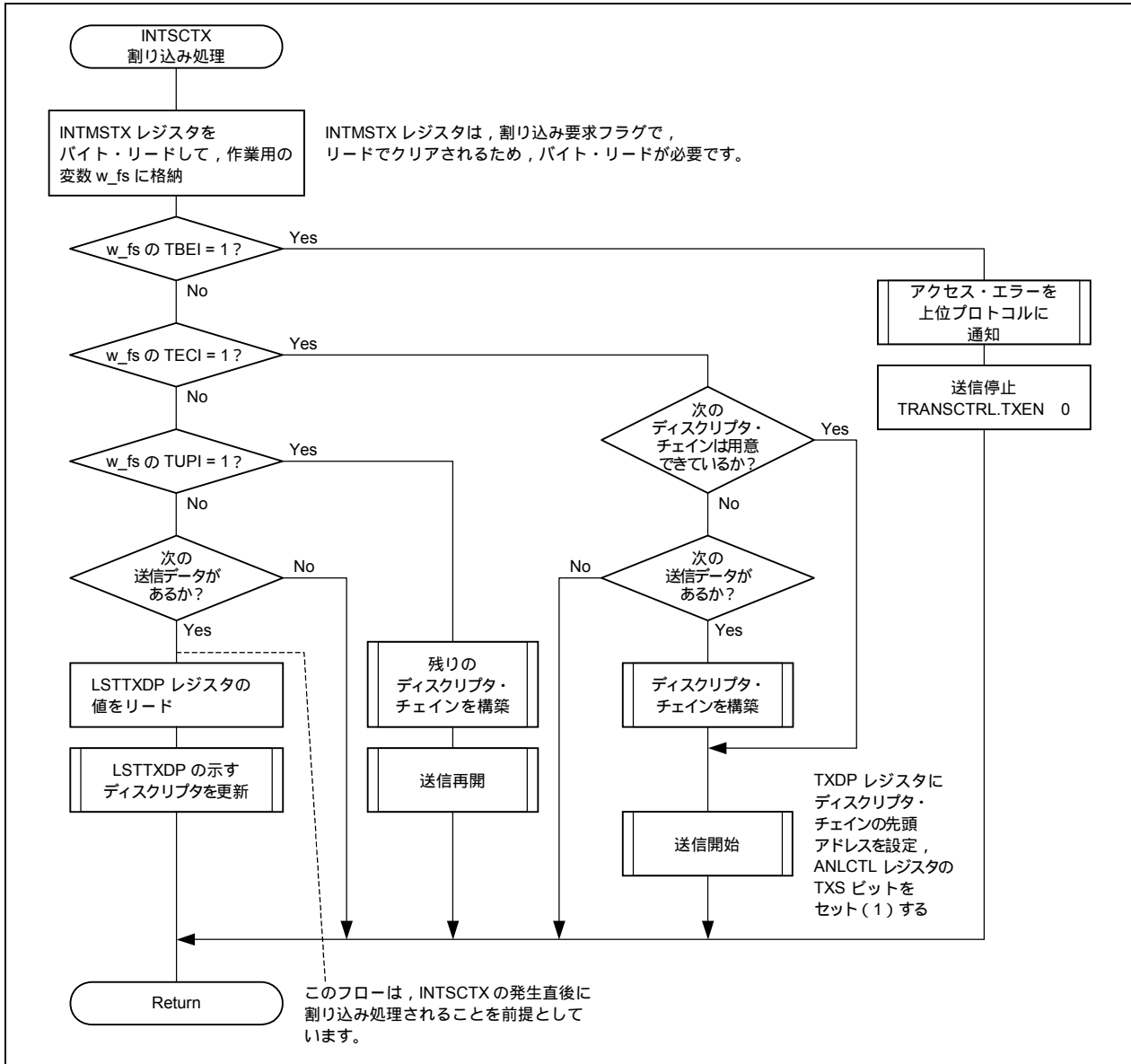
一般に、コントロール・フレームは MAC コアで処理するため、アプリケーションとしては破棄できません。ビット No.3, 4 のステータスは、現象を検出した後の、正常なフレーム受信時のステータスのため、受信データは有効です。64 バイト未満または 1,518 バイトを超える受信データの扱いは、あらかじめシステム仕様として処置方法を決めておく必要があります。

**注意** 送信ステータス割り込みレジスタ (RXSTATUS) レジスタの RLER ビットがセット (1) されるのは、レングス・フィールドの値が 1,500 バイト以下の場合です。  
レングス・フィールドの値が 1,500 を超える場合 (タイプ・フィールドとして使われるとき) は、RLER ビットはセット (1) されません。  
RLENE ビットは、実際に受信したパケットの長さをカウントして、判断しています。

(5) INTSCTX 割り込み処理例

送信 DMA 転送が終了 / 中断して、要因の割り込みがマスクされていないならば、INTSCTX 割り込みが発生します。INTSCTX 割り込みが発生した場合、次の送信データを準備しますが、バス・エラーで DMA が停止した場合は、システムをチェックする必要があります。

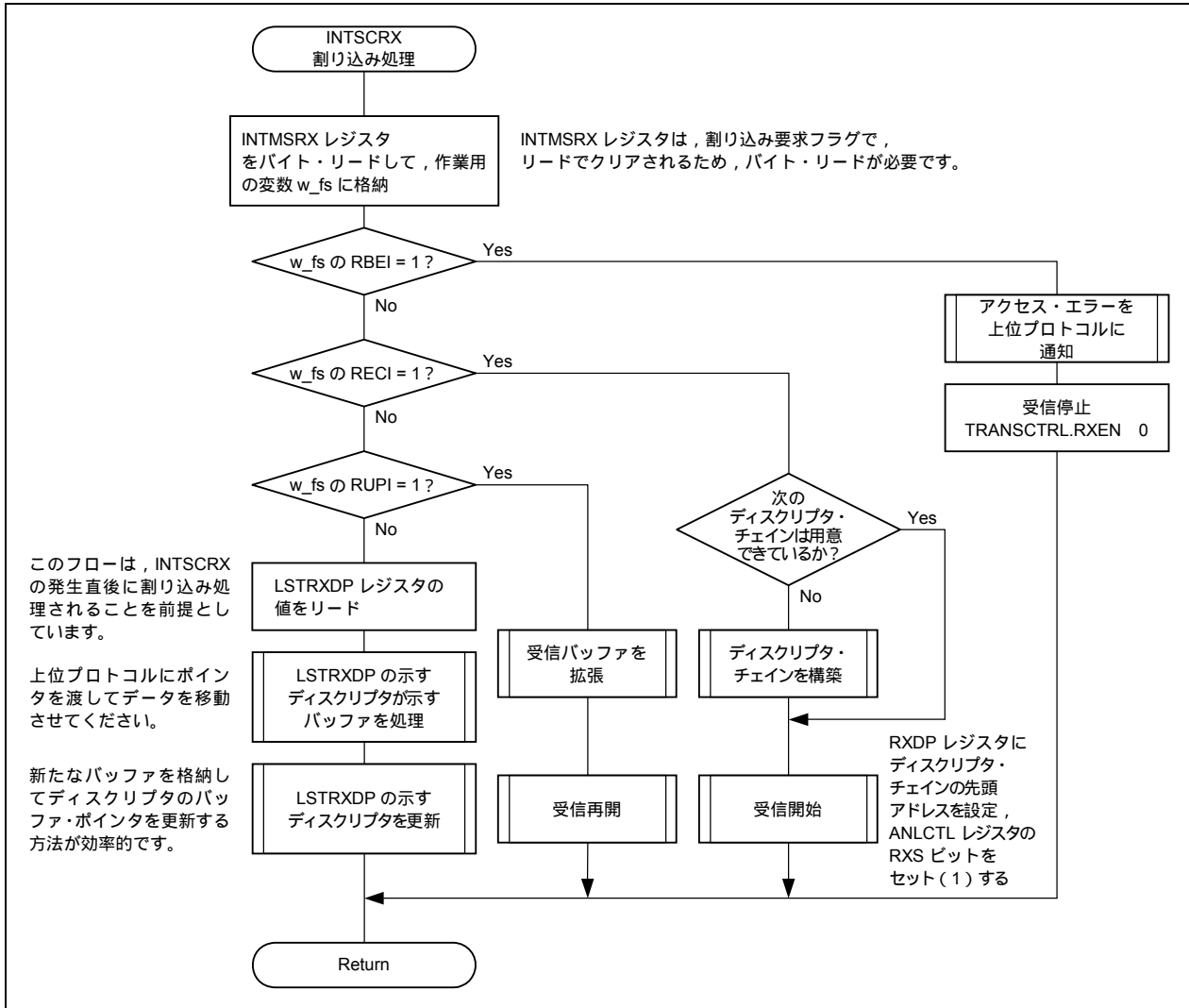
図 19-43 INTSCTX 割り込み処理例



(6) INTSCRX 割り込み処理例

受信 DMA 転送が終了して、要因の割り込みがマスクされていないならば、INTSCRX 割り込みが発生します。INTSCRX 割り込みが発生した場合、受信データを処理しますが、バス・エラーで DMA が停止した場合は、システムをチェックする必要があります。

図 19-44 INTSCRX 割り込み処理例



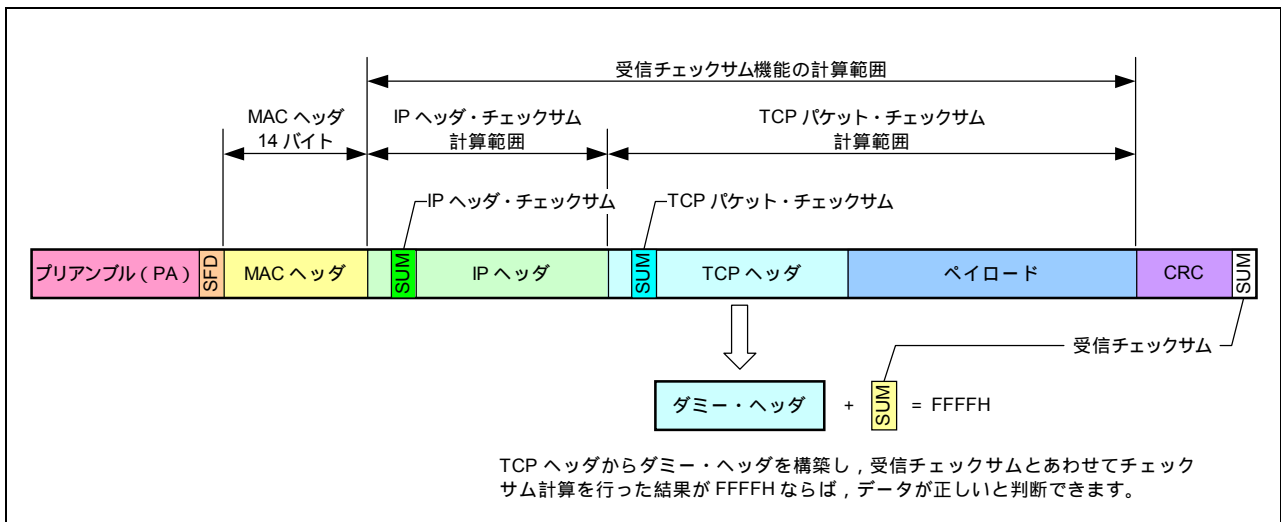
### 19.9.6 受信チェックサム機能の使い方

受信チェックサム機能を使用する場合は、転送制御レジスタ (TRANSCTL) の RXCHKSMEN ビットをセット (1) してください。

計算されたチェックサムは、受信データの最後に追加されます。したがって受信データはパケット長 + 2 バイトとなるため、チェックサム領域を加味して領域を確保してください。

TCP パケット・チェックサムは、TCP ヘッダとペイロードとダミー・ヘッダのチェックサムが計算されていますが、PFESiP/V850EP3 の Ether MAC の受信チェックサムにはダミー・ヘッダ分が含まれていません。したがって、受信チェックサムを使用して受信パケットを検証する場合、受信した TCP ヘッダからダミー・ヘッダを構築して、受信チェックサムに加えてください。

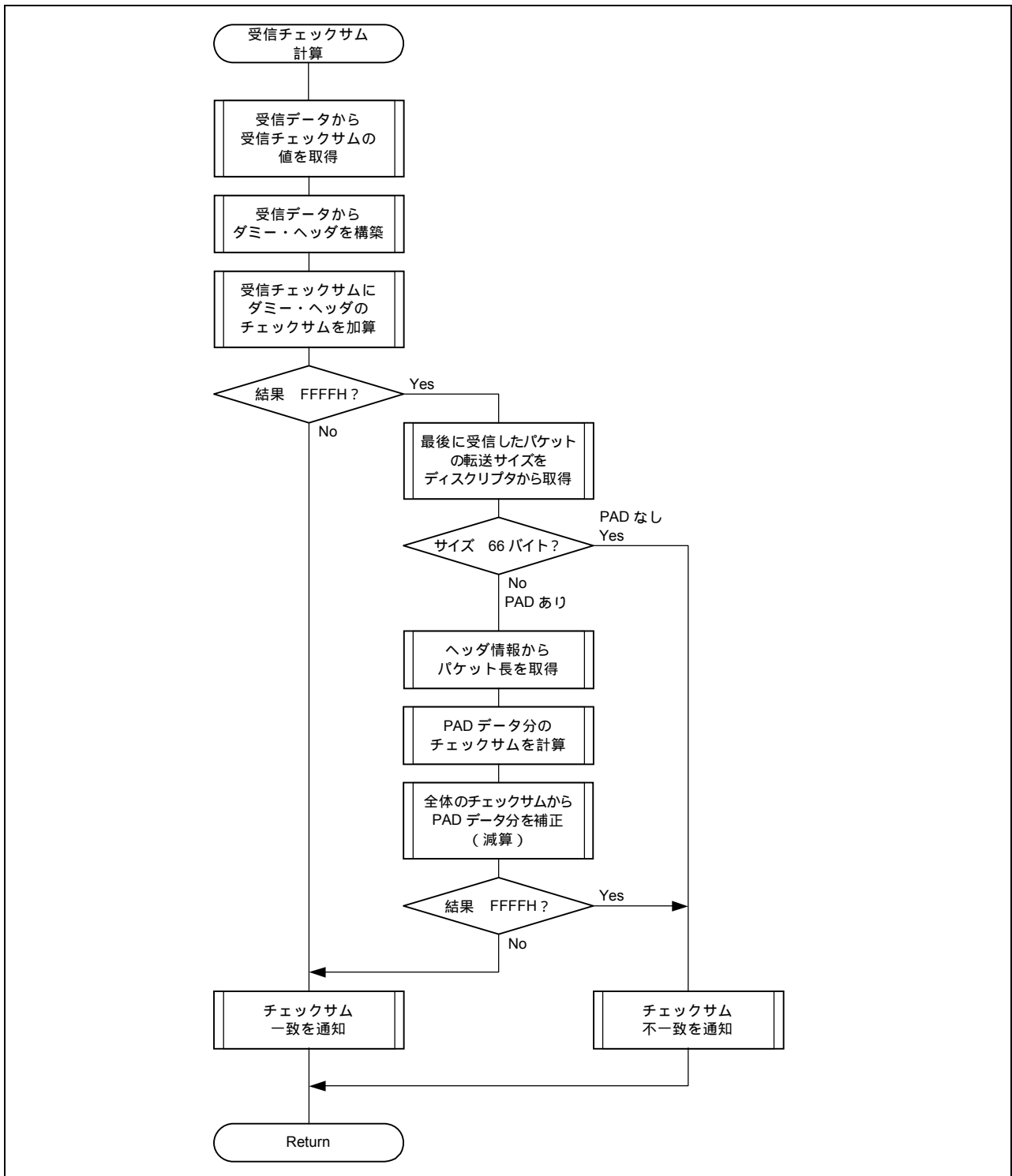
図 19-45 受信チェックサムの検証



**備考** IP ヘッダ・チェックサムを含む IP ヘッダのチェックサムを計算すると、データが正しければ値は FFFFH になります。同様に、TCP パケット・チェックサムを含む TCP パケットのチェックサムの計算結果も FFFFH になります。したがって IP ヘッダ部と TCP ヘッダ部を含めた受信チェックサムの計算結果も、本来は FFFFH になりますが、PFESiP/V850EP3 の Ether MAC ではダミー・ヘッダの計算を行わないため、別途計算して受信チェックサムに加える必要があります。



図 19-46 受信チェックサムの計算例



受信チェックサムの値とダミー・ヘッダを合わせて計算した結果が FFFFH にならない場合、受信パケットの転送サイズが 66byte (受信パケット長 : 64 バイト + 受信チェックサム : 2 バイト) のときは、パディングにより受信チェックサムコアが PAD データも含めて計算するため、結果がヘッダに含まれるチェックサムと一致しなかった可能性があります。

上記のフローでは、PAD データ分を受信チェックサムの計算値から補正するルーチンが含まれています。

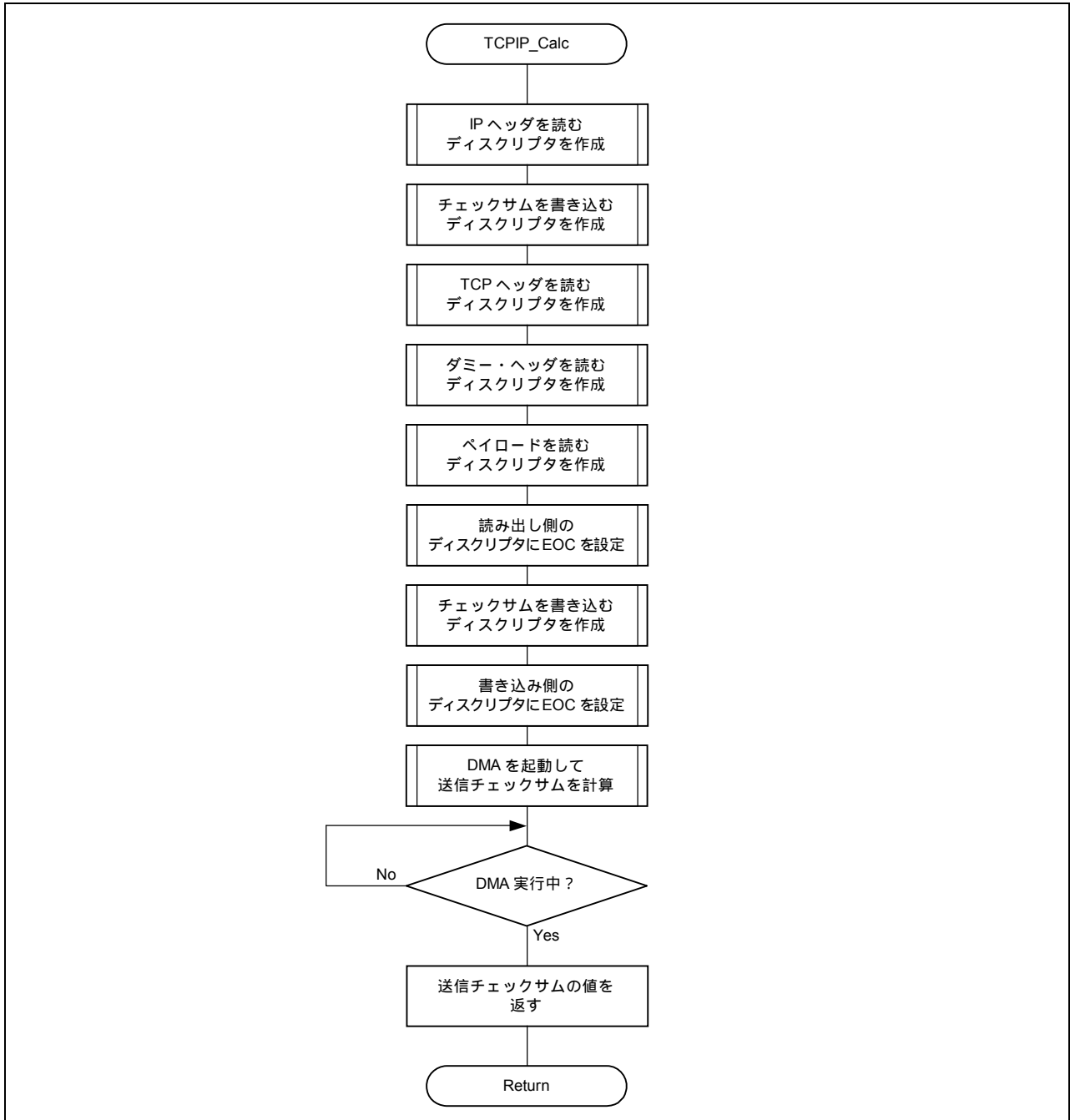
### 19.9.7 送信チェックサム機能の使い方

送信チェックサムを計算する場合、ディスクリプタで計算する範囲を指定して、DMA を起動します。  
ディスクリプタのフォーマットは、19.6.4 ディスクリプタ・メカニズムを参照してください。

ディスクリプタの指定方法により、IP ヘッダ単独の計算、TCP ヘッダ単独の計算、TCP/IP ヘッダの連続計算等が可能です。

なお、19.8.1 送信チェックサム用ディスクリプタの構成に TCP/IP ヘッダを連続計算する場合の、ディスクリプタの設定例を示しています。

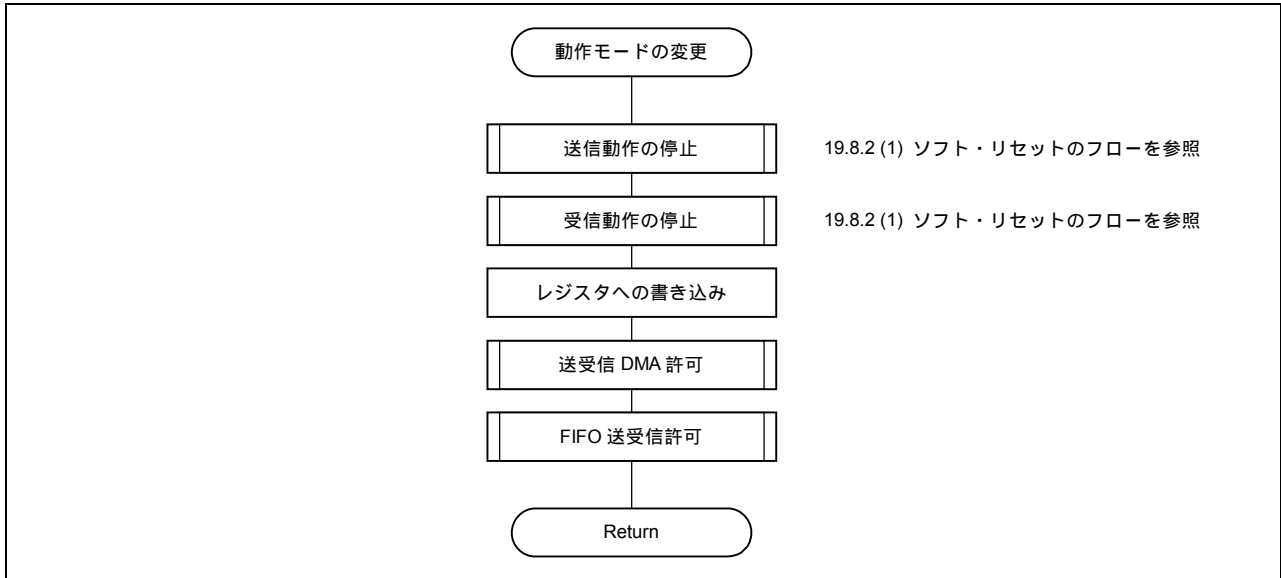
図 19-47 送信チェックサム機能使用例



### 19.9.8 動作中のモード変更

動作モードを変更する場合は、フレームの送受信 / DMA が停止している状態で行ってください。

図 19-48 レジスタの更新フロー



送受信動作の停止手順は、図 19-31 の送受信動作の停止手順で“パケットを破棄しない”場合と同じです。

フレームの送受信 / DMA 転送中に動作モードの更新を行った場合、通信結果、DMA 動作の保証ができません。

割り込み要求フラグ、各種ステータス・レジスタの読み出しは、フレームの送受信 / DMA 転送中でも可能です。

シリアル・マネジメント・インタフェース関連のレジスタ (MIIC, MCMD, MADR, MWTD, MRDD, MIND) は通信動作 / DMA 動作に影響しないため、フレームの送受信 / DMA 転送中でもアクセス可能です。

統計カウンタは通信動作 / DMA 動作に影響しないため、フレームの送受信 / DMA 転送中にアクセス可能ですが、通信結果の更新のために、アクセス・サイクルが通常より長くなる場合があります。

フレームの受信中にアドレス・フィルタリング関連のレジスタ (AFR, HT1, HT2) を変更した場合、FIFO 内に存在する受信パケットは影響を受けませんが、受信中のパケットの受信 / 破棄動作の保証ができません。

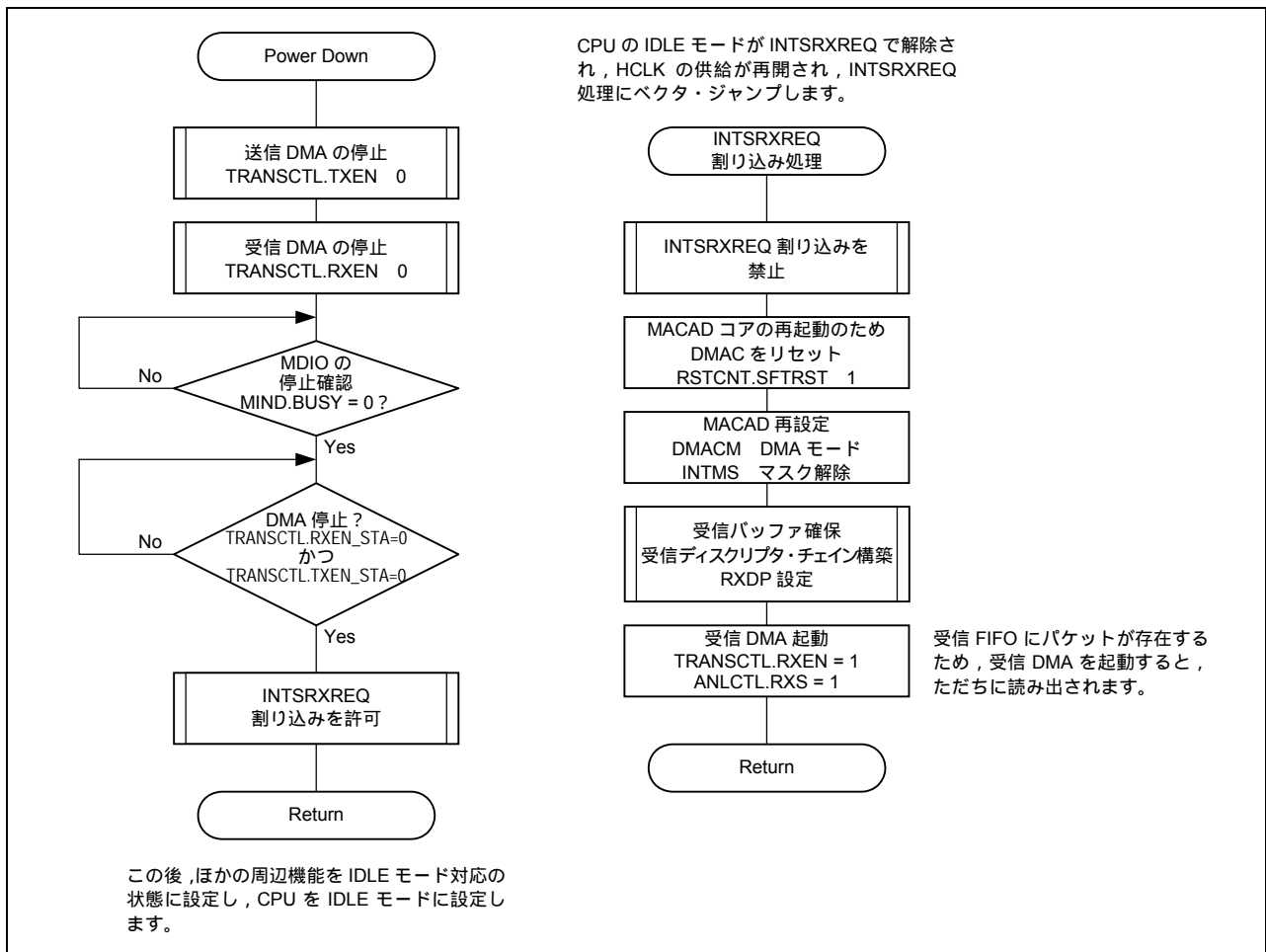
### 19.9.9 Power Down 手順

CPU を IDLE モードに設定すると、Ether MAC へのバス・クロック供給も停止します。これにより Ether MAC も Power Down 状態になります。

CPU を IDLE モードに設定して Power Down 状態にする場合は、フレームの送受信 / DMA が停止している状態で行ってください。CPU を IDLE モードに設定する前に、シリアル・マネジメントが終了していることの確認が必要です。

IDLE モードを Ether MAC から解除する割り込み信号は INTSRXREQ です。受信によって CPU の IDLE モード、Ether MAC の Power Down 状態が解除されるため、解除後は受信 FIFO 内にパケット・データが存在しています。受信 DMA を起動してパケット・データを読み出してください。

図 19-49 Power Down フローと INTSRXREQ での復帰フロー

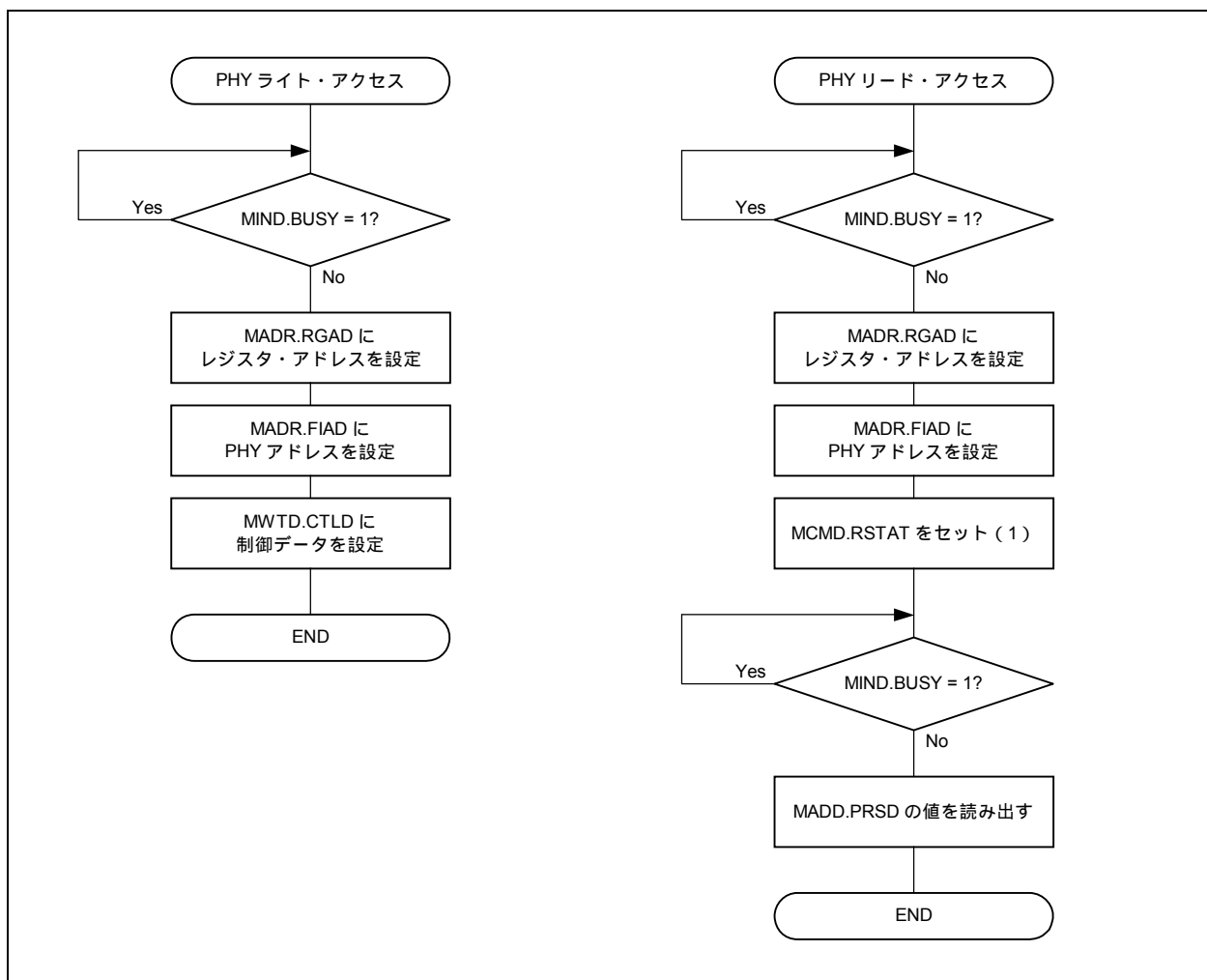


### 19.9.10 MII マネジメント・フロー

以下に、MII シリアル・マネジメントによるマネジメント・フレームの送受信（PHY レジスタに対するリード/ライト・アクセス）フローを示します。

以下のフローはあくまでも一つの想定例です。お客様のシステム構成により、フローおよび各設定は変更してください。

図 19-50 MII シリアル・マネジメント・フローの一例



## 19.10 制御レジスタ

### 19.10.1 レジスタの設定手順

制御レジスタの値を更新する場合は、フレームの送受信や DMA 転送が停止している状態で行ってください。動作中にレジスタの更新を行うと、動作は保証されません。

割り込み要求フラグ、各種ステータス・レジスタの読み出しは、フレームの送受信や DMA 転送中でも可能です。また、シリアル・マネジメント・インタフェース関連のレジスタも、フレームの送受信や DMA 転送中でもアクセス可能です。

動作中のモード変更手順は、「19.9.3 モード設定」を参照してください。

### 19.10.2 Ether MAC 制御レジスタ一覧

表 19-23 Ether MAC 制御レジスタ (1/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 2000H	MAC 設定レジスタ 1	MACC1	R/W	-	-	-		0000 0000H
0F04 2004H	MAC 設定レジスタ 2	MACC2	R/W	-	-	-		0000 0000H
0F04 2008H	Back-to-Back IPG レジスタ	IPGT	R/W	-	-	-		0000 0013H
0F04 200CH	Non Back-to-Back IPG レジスタ	IPGR	R/W	-	-	-		0000 0E13H
0F04 2010H	コリジョン・レジスタ	CLRT	R/W	-	-	-		0000 380FH
0F04 2014H	最大パケット長レジスタ	LMAX	R/W	-	-	-		0000 0600H
0F04 2054H	ステーション・アドレス・レジスタ 1	LSA1	R/W	-	-	-		0000 0000H
0F04 2058H	ステーション・アドレス・レジスタ 2	LSA2	R/W	-	-	-		0000 0000H
0F04 205CH	ポーズ・タイム値リード・レジスタ	PTVR	R	-	-	-		0000 0000H
0F04 2064H	VLAN タイプ・レジスタ	VLTP	R/W	-	-	-		0000 0000H
0F04 2080H	MII コンフィギュレーション・レジスタ	MIIC	R/W	-	-	-		0000 0000H
0F04 2094H	MII コマンド・レジスタ	MCMD	W	-	-	-		0000 0000H
0F04 2098H	MII アドレス・レジスタ	MADR	R/W	-	-	-		0000 0000H
0F04 209CH	MII ライト・データ・レジスタ	MWTD	R/W	-	-	-		0000 0000H
0F04 20A0H	MII リード・データ・レジスタ	MRDD	R/W	-	-	-		0000 0000H
0F04 20A4H	MII インジケータ・レジスタ	MIND	R	-	-	-		0000 0000H
0F04 20C8H	アドレス・フィルタ・レジスタ	AFR	R/W	-	-	-		0000 0000H
0F04 20CCH	HASH テーブル・レジスタ 1	HT1	R/W	-	-	-		0000 0000H
0F04 20D0H	HASH テーブル・レジスタ 2	HT2	R/W	-	-	-		0000 0000H
0F04 20DCH	キャリア・レジスタ 1	CAR1	R/W	-	-	-		0000 0000H
0F04 20E0H	キャリア・レジスタ 2	CAR2	R/W	-	-	-		0000 0000H
0F04 2130H	キャリア・マスク・レジスタ 1	CAM1	R/W	-	-	-		0000 0000H
0F04 2134H	キャリア・マスク・レジスタ 2	CAM2	R/W	-	-	-		0000 0000H

表 19-23 Ether MAC 制御レジスタ (2/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 2140H	受信バイト・カウンタ	RBYT	R/W	-	-	-		0000 0000H
0F04 2144H	受信パケット・カウンタ	RPKT	R/W	-	-	-		0000 0000H
0F04 2148H	受信 FCS エラー・フレーム・カウンタ	RFCS	R/W	-	-	-		0000 0000H
0F04 214CH	受信マルチキャスト・パケット・カウンタ	RMCA	R/W	-	-	-		0000 0000H
0F04 2150H	受信ブロードキャスト・パケット・カウンタ	RBCA	R/W	-	-	-		0000 0000H
0F04 2154H	受信コントロール・フレーム・パケット・カウンタ	RXCF	R/W	-	-	-		0000 0000H
0F04 2158H	受信ポーズ・フレーム・パケット・カウンタ	RXPF	R/W	-	-	-		0000 0000H
0F04 215CH	受信未定義コントロール・パケット・カウンタ	RXUO	R/W	-	-	-		0000 0000H
0F04 2160H	受信アライメント・エラー・カウンタ	RALN	R/W	-	-	-		0000 0000H
0F04 2164H	受信フレーム長エラー・カウンタ	RFLR	R/W	-	-	-		0000 0000H
0F04 2168H	受信コード・エラー・カウンタ	RCDE	R/W	-	-	-		0000 0000H
0F04 216CH	受信 False Carrier カウンタ	RFCR	R/W	-	-	-		0000 0000H
0F04 2170H	受信アンダーサイズ・パケット・カウンタ	RUND	R/W	-	-	-		0000 0000H
0F04 2174H	受信オーバーサイズ・パケット・カウンタ	ROVR	R/W	-	-	-		0000 0000H
0F04 2178H	受信フラグメント・カウンタ	RFRG	R/W	-	-	-		0000 0000H
0F04 217CH	受信ジャババー・カウンタ	RJBR	R/W	-	-	-		0000 0000H
0F04 2180H	受信 64 バイト・フレーム・カウンタ	R64	R/W	-	-	-		0000 0000H
0F04 2184H	受信 65-127 バイト・フレーム・カウンタ	R127	R/W	-	-	-		0000 0000H
0F04 2188H	受信 128-255 バイト・フレーム・カウンタ	R255	R/W	-	-	-		0000 0000H
0F04 218CH	受信 256-511 バイト・フレーム・カウンタ	R511	R/W	-	-	-		0000 0000H
0F04 2190H	受信 512-1023 バイト・フレーム・カウンタ	R1K	R/W	-	-	-		0000 0000H
0F04 2194H	受信 1024-RMAX バイト・フレーム・カウンタ	RMAX	R/W	-	-	-		0000 0000H
0F04 2198H	受信有効バイト・カウンタ	RVBT	R/W	-	-	-		0000 0000H
0F04 21C0H	送信バイト・カウンタ	TBYT	R/W	-	-	-		0000 0000H
0F04 21C4H	送信パケット・カウンタ	TPKT	R/W	-	-	-		0000 0000H
0F04 21C8H	送信 FCS エラー・フレーム・カウンタ	TFCS	R/W	-	-	-		0000 0000H
0F04 21CCH	送信マルチキャスト・パケット・カウンタ	TMCA	R/W	-	-	-		0000 0000H
0F04 21D0H	送信ブロードキャスト・パケット・カウンタ	TBCA	R/W	-	-	-		0000 0000H
0F04 21D4H	送信ユニキャスト・パケット・カウンタ	TUCA	R/W	-	-	-		0000 0000H
0F04 21D8H	送信ポーズ・コントロール・フレーム・カウンタ	TXPF	R/W	-	-	-		0000 0000H
0F04 21DCH	送信遅延パケット・カウンタ	TDFR	R/W	-	-	-		0000 0000H
0F04 21E0H	送信過剰遅延パケット・カウンタ	TXDF	R/W	-	-	-		0000 0000H
0F04 21E4H	送信シングル・コリジョン・パケット・カウンタ	TSCL	R/W	-	-	-		0000 0000H
0F04 21E8H	送信マルチプル・コリジョン・パケット・カウンタ	TMCL	R/W	-	-	-		0000 0000H
0F04 21ECH	送信レイト・コリジョン・パケット・カウンタ	TLCL	R/W	-	-	-		0000 0000H
0F04 21F0H	送信過剰コリジョン・パケット・カウンタ	TXCL	R/W	-	-	-		0000 0000H
0F04 21F4H	送信トータル・コリジョン・カウンタ	TNCL	R/W	-	-	-		0000 0000H
0F04 21F8H	送信キャリア・センス・エラー・カウンタ	TCSE	R/W	-	-	-		0000 0000H
0F04 21FCH	MAC 内部エラー・カウンタ	TIME	R/W	-	-	-		0000 0000H
0F04 2200H	MFF コントロール・レジスタ	MFFCONT	R/W	-	-	-		0000 0000H
0F04 2204H	ソフトウェア・リセット制御レジスタ	RSTCNT	R/W	-	-	-		0000 0000H

表 19-23 Ether MAC 制御レジスタ (3/3)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F04 2218H	フロー制御しきい値レジスタ	FLOWTHRESH	R/W	-				0600 0200H
0F04 221CH	ポーズ・タイム値レジスタ	PAUSETM	R/W	-				7FFF FFFFH
0F04 2220H	受信エラー選択レジスタ	RXERSEL	R/W	-				0000 0001H
0F04 2230H	送信ステータス・モニタ・レジスタ 1	TXSTMONI1	R	-				0000 0000H
0F04 2234H	送信ステータス・モニタ・レジスタ 2	TXSTMONI2	R	-				0000 0000H
0F04 2238H	送信ステータス・レジスタ 1	TXFINF1	R	-				0000 0800H
0F04 223CH	送信ステータス・レジスタ 2	TXFINF2	R	-				0000 0001H
0F04 2240H	受信ステータス・モニタ・レジスタ	RXSTMONI	R	-				0000 0000H
0F04 2244H	受信ステータス・レジスタ 1	RXFINF1	R	-				0000 0000H
0F04 2248H	受信ステータス・レジスタ 2	RXFINF2	R	-				0000 0800H
0F04 224CH	受信ステータス・レジスタ 3	RXFINF3	R	-				0000 0001H
0F04 2250H	FIFO ステータス割り込みレジスタ	FSTATUS	R	-				0000 0000H
0F04 2254H	FIFO ステータス割り込みマスク・レジスタ	FSTATUS_MASK	R/W	-				0101 1FFFH
0F04 2258H	送信ステータス割り込みレジスタ	TXSTATUS	R	-				0000 0000H
0F04 225CH	送信ステータス割り込みマスク・レジスタ	TXSTATUS_MASK	R/W	-				0001 01FFFH
0F04 2260H	受信ステータス割り込みレジスタ	RXSTATUS	R	-				0000 0000H
0F04 2264H	受信ステータス割り込みマスク・レジスタ	RXSTATUS_MASK	R/W	-				0000 7FFFH
0F04 2270H	送信アボート・カウンタ	TXABTCNT	R/W	-	-	-		0000 0000H
0F04 2274H	受信アボート・カウンタ	RXABTCNT	R/W	-	-	-		0000 0000H
0F04 2300H	ディスクリプタ解析制御レジスタ	ANLCTL	R/W	-				0000 0000H
0F04 2304H	割り込みレジスタ	INTMS	R/W	-				0F00 0F00H
0F04 2304H	TX 割り込みレジスタ	INTMSTX	R/W	-		-	-	00H
0F04 2306H	RX 割り込みレジスタ	INTMSRX	R/W	-		-	-	00H
0F04 2308H	転送制御レジスタ	TRANSCTL	R/W	-				0003 0000H
0F04 230CH	ソフトウェア・リセット・レジスタ	SFTRST	R/W	-				0000 0000H
0F04 2310H	DMA 制御モード・レジスタ	DMACM	R/W	-				0000 0010H
0F04 2320H	受信ディスクリプタ・ポインタ	RXDP	R/W	-	-	-		FFFF FFFCH
0F04 2324H	ラスト受信ディスクリプタ・ポインタ	LSTRXDP	R	-	-	-		FFFF FFFCH
0F04 2328H	送信ディスクリプタ・ポインタ	TXDP	R/W	-	-	-		FFFF FFFCH
0F04 232CH	ラスト送信ディスクリプタ・ポインタ	LSTTXDP	R	-	-	-		FFFF FFFCH
0F04 2700H	送信チェックサム・ディスクリプタ解析制御レジスタ	TCH_ANLCTL	R/W	-				0000 0000H
0F04 2704H	送信チェックサム割り込みレジスタ	TCH_INTMS	R/W	-				0F00 0F00H
0F04 2704H	送信チェックサム TX 割り込みレジスタ	TCH_INTMSTX	R/W	-		-	-	00H
0F04 2706H	送信チェックサム RX 割り込みレジスタ	TCH_INTMSRX	R/W	-		-	-	00H
0F04 2708H	送信チェックサム転送制御レジスタ	TCH_TRANSCTL	R/W	-				0003 0000H
0F04 270CH	送信チェックサム・ソフトウェア・リセット・レジスタ	TCH_SFTRST	R/W	-				0000 0000H
0F04 2710H	送信チェックサム DMA 制御モード・レジスタ	TCH_DMACM	R/W	-				0000 0010H
0F04 2720H	送信チェックサム受信ディスクリプタ・ポインタ	TCH_RXDP	R/W	-	-	-		FFFF FFFCH
0F04 2724H	送信チェックサム・ラスト受信ディスクリプタ・ポインタ	TCH_LSTRXDP	R	-	-	-		FFFF FFFCH
0F04 2728H	送信チェックサム送信ディスクリプタ・ポインタ	TCH_TXDP	R/W	-	-	-		FFFF FFFCH
0F04 272CH	送信チェックサム・ラスト送信ディスクリプタ・ポインタ	TCH_LSTTXDP	R	-	-	-		FFFF FFFCH



### 19.10.3 Ether MAC コア制御レジスタ

(1) MAC 設定レジスタ 1 (MACC1)

MAC の動作モードを設定するレジスタです。

32 ビット単位でリード/ライト可能です。

**注意** 動作モードの切り替えは、「19.9.8 動作中のモード変更」に従ってください。

(1/2)

MACC1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">31</td><td style="text-align: center;">30</td><td style="text-align: center;">29</td><td style="text-align: center;">28</td><td style="text-align: center;">27</td><td style="text-align: center;">26</td><td style="text-align: center;">25</td><td style="text-align: center;">24</td><td style="text-align: center;">23</td><td style="text-align: center;">22</td><td style="text-align: center;">21</td><td style="text-align: center;">20</td><td style="text-align: center;">19</td><td style="text-align: center;">18</td><td style="text-align: center;">17</td><td style="text-align: center;">16</td><td style="text-align: center;">15</td><td style="text-align: center;">14</td><td style="text-align: center;">13</td><td style="text-align: center;">12</td><td style="text-align: center;">11</td><td style="text-align: center;">10</td><td style="text-align: center;">9</td><td style="text-align: center;">8</td><td style="text-align: center;">7</td><td style="text-align: center;">6</td><td style="text-align: center;">5</td><td style="text-align: center;">4</td><td style="text-align: center;">3</td><td style="text-align: center;">2</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td> </tr> <tr> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td style="text-align: center;">MACLB</td><td></td><td></td><td></td><td style="text-align: center;">TXFC</td><td style="text-align: center;">RXFC</td><td style="text-align: center;">SRXEN</td><td style="text-align: center;">PARF</td><td style="text-align: center;">PUREP</td><td style="text-align: center;">FLCHT</td><td style="text-align: center;">NOBO</td><td></td><td style="text-align: center;">0</td><td style="text-align: center;">CRCEN</td><td style="text-align: center;">PADEN</td><td style="text-align: center;">FULLD</td><td style="text-align: center;">HUGEN</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																	MACLB				TXFC	RXFC	SRXEN	PARF	PUREP	FLCHT	NOBO		0	CRCEN	PADEN	FULLD	HUGEN	アドレス 0F04 2000H  初期値 0000 0000H
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																				
																MACLB				TXFC	RXFC	SRXEN	PARF	PUREP	FLCHT	NOBO		0	CRCEN	PADEN	FULLD	HUGEN																																																																		
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W 0 0 R/W R/W R/W R/W R/W R/W R/W R/W 0 R/W R/W R/W R/W																																																																																																	
ビット位置	ビット名	意味																																																																																																
31-15	-	Reserved (必ず 0 を設定してください)																																																																																																
14	MACLB	MAC ループバック設定ビットです。 0: 通常動作 1: MAC 内部で送信部から受信部へループバック ループバックで動作させるときは、FULLD ビットをセット(1)し、全二重動作をイネーブルにしてください。																																																																																																
13, 12	-	Reserved (必ず 0 を設定してください)																																																																																																
11	TXFC	送信フロー・コントロール・イネーブル・ビットです。 0: 受信 FIFO しきい値によるポーズ・コントロール・フレームの送信を禁止します。 1: 受信 FIFO しきい値によるポーズ・コントロール・フレームの送信を許可します (推奨)。																																																																																																
10	RXFC	受信フロー・コントロール・イネーブル・ビットです。 0: ポーズ・コントロール・フレームを受信しても、送信のポーズ動作を行いません。 1: ポーズ・コントロール・フレーム受信時に、送信のポーズ動作を行います (推奨)。 ポーズ・タイマの値はこのビットの設定に関係なく、有効なポーズ・コントロール・フレームを受信すると更新されます。																																																																																																
9	SRXEN	受信イネーブル・ビットです。 0: フレームの受信禁止 1: フレームの受信許可 FULLD ビットの設定にかかわらず、キャリアを検出している状態で、このビットの設定を変更すると、キャリアがディアサートされてから変更内容が反映されます。																																																																																																
8	PARF	コントロール・パケット・パス・ビットです。 0: 受信したコントロール・フレームをコントロール・フレームとして処理します (推奨)。 1: 受信したコントロール・フレームをコントロール・フレームではないと判断します。 このビットがセット(1)されている場合は、RXFC ビットの設定にかかわらず、有効なポーズ・コントロール・フレームを受信してもポーズ・タイマの値は更新されません。																																																																																																

( 2/2 )

ビット位置	ビット名	意 味
7	PUREP	ピュア・プリアンブル・ビットです。 0 : プリアンブル中は SFD 以外のデータを無視します (推奨)。 1 : プリアンブル中の "0101" 以外のデータはプリアンブルとみなしません。
6	FLCHT	レンクス・フィールド・チェック・ビットです。 0 : データ・フィールド長をチェックしません。 1 : レンクス・フィールドの値とデータ・フィールド長をチェックします。
5	NOBO	No Back Off 設定ビットです。 0 : ランダム・バックオフ・アルゴリズムを有効にします (推奨)。 1 : 常に最小送信間隔で送信します。
4	-	Reserved (必ず 0 を設定してください)
3	CRCEN	CRC 付加イネーブル・ビットです。 0 : 送信時に CRC を付加しません。 1 : 送信時に自動的にデータ・フィールドの末尾に CRC を付加します。
2	PADEN	PAD 付加イネーブル・ビットです。 0 : パディングを行いません。 1 : パケット長が 64 バイトに満たないとき、パディングを行います (推奨)。 このビットがセット (1) されている場合、CRCEN ビットの設定にかかわらず、パケットの末尾に自動的に CRC を付加します。
1	FULLD	全二重イネーブル・ビットです。 0 : 半二重モードで通信します。 1 : 全二重モードで通信します。
0	HUGEN	ヒュージ・パケット・イネーブル・ビットです。 0 : 最大パケット長レジスタ (LMAX) の値を越えたパケットの送受信を中断します。 1 : 送受信パケット長に制限を設けません。

(2) MAC 設定レジスタ 2 (MACC2)

MAC の動作モードを設定するレジスタです。  
32 ビット単位でリード/ライト可能です。

注意 1. ソフトウェア・リセット・ビット以外の設定ビットを切り替える場合は、「19.9.8 動作中のモード変更」の手順に従ってください。

- MCRST, RFRST, TFRST ビットを同時にセット (1) し、同時にクリア (0) してリセットを解除してください。
- ソフトウェア・リセット・ビットのセット (1) / クリア (0) の間隔は、以下の間隔をあけてください。

MII インタフェース時： RXCLK, TXCLK の 5 クロック以上  
 RMII インタフェース時 (100Mbps)： REFCLK の 10 クロック以上  
 RMII インタフェース時 (10Mbps)： REFCLK の 100 クロック以上

(1/2)

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス 0F04 2004H 初期値 0000 0000H																																	
MACC2		<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 30%;">0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>RXDVSEL</td><td>SPEED1</td><td>SPEED0</td><td>RMII MODE</td><td>0</td><td>MCRST</td><td>RFRST</td><td>TFRST</td><td>0</td><td>BPNB</td><td>APD</td><td>VPD</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RXDVSEL	SPEED1	SPEED0	RMII MODE	0	MCRST	RFRST	TFRST	0	BPNB	APD	VPD	0	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RXDVSEL	SPEED1	SPEED0	RMII MODE	0	MCRST	RFRST	TFRST	0	BPNB	APD	VPD	0	0	0	0				
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W R/W R/W 0 R/W R/W R/W 0 R/W R/W R/W 0 0 0 0 0																																		
ビット位置	ビット名	意味																																		
31-16	-	Reserved (必ず 0 を設定してください)																																		
15	RXDVSEL	RMII モード時の CRS / RXDV を選択します。 0 : CRS を使用 1 : RXDV を使用 MII モードでは使用しません。“0”を設定してください。																																		
14, 13	SPEED1, SPEED0 SPEED0	RMII モード時の通信速度を選択します。 <table border="1" style="width: 100%; text-align: center;"> <tr> <th>SPEED1</th> <th>SPEED0</th> <th>RMII モード時の通信速度</th> </tr> <tr> <td>0</td> <td>0</td> <td>10Mbps</td> </tr> <tr> <td>0</td> <td>1</td> <td>100Mbps</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </table> MII モードでは使用しません。“0”を設定してください。		SPEED1	SPEED0	RMII モード時の通信速度	0	0	10Mbps	0	1	100Mbps	1	0	設定禁止	1	1	設定禁止																		
SPEED1	SPEED0	RMII モード時の通信速度																																		
0	0	10Mbps																																		
0	1	100Mbps																																		
1	0	設定禁止																																		
1	1	設定禁止																																		
12	RMII MODE	PHY との通信モードを選択します。 0 : MII モード 1 : RMII モード																																		
11	-	Reserved (必ず 0 を設定してください)																																		

( 2/2 )

ビット位置	ビット名	意 味
10	MCRST	MAC 制御部ソフトウェア・リセット・ビットです。 0 : 通常状態。 1 : MAC 制御部をソフトウェア・リセットします。 ソフトウェア・リセットを解除する場合は、このビットをクリア (0) してください。
9	RFRST	受信ブロック・ソフトウェア・リセット・ビットです。 0 : 通常状態。 1 : 受信ブロックをソフトウェア・リセットします。 ソフトウェア・リセットを解除する場合は、このビットをクリア (0) してください。
8	TFRST	送信ブロック・ソフトウェア・リセット・ビットです。 0 : 通常状態。 1 : 送信ブロックをソフトウェア・リセットします。 ソフトウェア・リセットを解除する場合は、このビットをクリア (0) してください。
7	-	Reserved (必ず 0 を設定してください)
6	BPNB	Back Pressure No Back Off ビットです。 0 : バック・プレッシャー後もバックオフ・アルゴリズムが有効になります (推奨)。 1 : バック・プレッシャー後の送信にかぎり、バックオフしません。
5	APD	オート VLAN パッド 0 : パディング時に VLAN タイプ・レジスタ (VLTP) の値をチェックしません。 1 : VLTP レジスタで指定する VLAN タイプと一致するパケットの送信時、72 バイト未満のパケットに PAD を付加します。
4	VPD	VLAN パッド・モード設定ビットです。 0 : 64 バイト未満のパケットに PAD を付加します (推奨)。 1 : 72 バイト未満のパケットに PAD を付加します。
3-0	-	Reserved (必ず 0 を設定してください)

(3) Back-to-Back IPG レジスタ (IPGT)

Back-To-Back 時のパケット間ギャップ (IPG) を設定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IPGT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2008H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	IPGT						0000 0013H	
R/W	0	0	0	0	0	0	0	0	0	RW							

ビット位置	ビット名	意味
31-7	-	Reserved (必ず 0 を設定してください)
6-0	IPGT	Back-To-Back 時の IPG Back-To-Back 時のパケット間ギャップ (IPG) を設定します。計算式は次のとおりです。 $IPG = (5 + IPGT) \times 4 \text{ bits time (1bit time = 10Mbps 時 : 100ns, 100Mbps 時 : 10ns)}$ IEEE 802.3 の規格を満たすためには、IPG 96bits time となるように設定してください (19.5.3(5)参照)。

## (4) Non Back-to-Back IPG レジスタ (IPGR)

Back-To-Back 時以外のキャリア・センス期間, IPG を設定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IPGR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 200CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	IPGR1						0	IPGR2						0000 0E13H		
R/W	0	R/W						0	R/W								

ビット位置	ビット名	意味
31-15	-	Reserved (必ず 0 を設定してください)
14-8	IPGR1	キャリア・センス期間 Back-To-Back 時以外における, IPG 前半のキャリア・センス期間を設定します。計算式は次のとおりです。 $\text{キャリア・センス期間} = (2 + \text{IPGR1}) \times 4 \text{ bits time}$ IEEE 802.3 の規格を満たすためには, キャリア・センス期間= 2/3 IPG となるように設定してください (19.5.3(5)参照)。
7	-	Reserved (必ず 0 を設定してください)
6-0	IPGR2	Back-To-Back 時以外の IPG Back-To-Back 時以外における, IPG を設定します。計算式は次のとおりです。 $\text{IPG} = (5 + \text{IPGR2}) \times 4 \text{ bits time}$ IPGR1 で設定されるキャリア・センス期間は, IPGR2 設定される IPG の中に含まれます。 IEEE 802.3 の規格を満たすためには, IPG 96 bits time となるように設定してください (19.5.3(5)参照)。

(5) コリジョン・レジスタ (CLRT)

コリジョン動作を設定するレジスタです。  
32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
CLRT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2010H	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	0		0		LCOL				0		0		0		RETRY		0000 380FH	
R/W	0	0					R/W					0	0	0	0	R/W		

ビット位置	ビット名	意 味
31-14	-	Reserved (必ず 0 を設定してください)
13-8	LCOL	コリジョン・ウィンドウ幅を設定します。設定されるコリジョン・ウィンドウの幅は次の式で与えられます。 $\text{コリジョン・ウィンドウ幅} = (\text{LCOL} + 8) \times 8 \text{ bits time}$ IEEE 802.3 の規格では、コリジョン・ウィンドウ幅 = 512 bits time となっています。
7-4	-	Reserved (必ず 0 を設定してください)
3-0	RETRY	コリジョンが発生した場合の最大再送信回数を設定します。この値以内で再送信が完了しない場合は、送信をアポートします。この値は最大衝突回数を示しています。 IEEE 802.3 の規格では、最大衝突回数は 15 回です。

(6) 最大パケット長レジスタ (LMAX)

最大パケット長を設定するレジスタです。MAC 設定レジスタ 1 (MACC1) の HUGEN ビットがクリア (0) されている場合、LMAX レジスタの設定値を超えると、受信はただちに終了し、送信はアポートします。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LMAX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2014H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	MAXF																0000 0600H
R/W	R/W																

ビット位置	ビット名	意 味
31-16	-	Reserved (必ず 0 を設定してください)
15-0	MAXF	最大パケット長 (バイト) を設定します。 MACC1.HUGEN = 0 のとき、送受信パケット長は、この値で制限されます。 受信時: 受信フレーム長が MAXF を越えると、ただちに受信を終了。 送信時: 送信フレーム長が MAXF を越えると、ただちに送信アポート。

(7) ステーション・アドレス・レジスタ 1 (LSA1)

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA2 レジスタと組み合わせ, 48 ビットのレジスタとなります。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LSA1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2054H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LSA1															0000 0000H	
R/W	R/W																

ビット位置	ビット名	意味
31-16	-	Reserved (必ず 0 を設定してください)
15-0	LSA1	ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA2 レジスタの値を下位側に連結して 48 ビットのレジスタとなります。LSA1 レジスタは, 48 ビットのアドレスのビット 47-32 を表しています (19.5.8(1)(a) 参照)。

(8) ステーション・アドレス・レジスタ 2 (LSA2)

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA1 レジスタと組み合わせ, 48 ビットのレジスタとなります。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LSA2	LSA2 [31:16]															0F04 2058H	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LSA2 [15:0]															0000 0000H	
R/W	R/W																

ビット位置	ビット名	意味
31-0	LSA2	ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA1 レジスタの値を上位側に連結して 48 ビットのレジスタとなります。LSA2 レジスタは, 48 ビットのアドレスのビット 31-0 を表しています (19.5.8(1)(a) 参照)。



## (9) ポーズ・タイマ値リード・レジスタ (PTVR)

ポーズ・タイマ・カウンタの値を読み出すレジスタです。

32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PTVR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 205CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PTCT																0000 0000H
R/W	R																
ビット位置	ビット名		意味														
31-16	-		Reserved ("0"が読み出されます)														
15-0	PTCT		ポーズ・タイマに設定されている現在の値を示します。受信フロー制御が許可されている間 (MAC 設定レジスタ 1 (MACCR1) の RXFC ビットが"1"の間) のみ、このレジスタは有効な値を持ちます (19.5.5(1) 参照)。														

## (10) VLAN タイプ・レジスタ (VLTP)

VLAN タイプを指定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
VLTP	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2064H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	VLTP																0000 0000H
R/W	R/W																
ビット位置	ビット名		意味														
31-16	-		Reserved (必ず 0 を設定してください)														
15-0	VLTP		VLAN タイプを指定します (19.5.5(3) 参照)。 受信時: この値と TPID (Tag Protocol ID) フィールド (ソース・アドレスに続く 2 バイト) の値を比較し、VLAN フレームを検出します。 送信時: MAC 設定レジスタ 2 (MACCR2) の APD ビットがセット (1) されているとき、VLAN フィールドとこの値が一致すると、VLAN フレームとして PAD の付加を行います。														

## (11) MII コンフィギュレーション・レジスタ (MIIC)

シリアル・マネジメント・インタフェース・ブロックの動作モードを設定します。  
32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MIIC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2080H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	MI RST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	

ビット位置	ビット名	意味																																				
31-16	-	Reserved (必ず 0 を設定してください)																																				
15	MIRST	シリアル・マネジメント・インタフェース・ブロック・ソフトウェア・リセット・ビットです。 0: シリアル・マネジメント・インタフェース・ブロックのソフトウェア・リセットを解除します。 1: シリアル・マネジメント・インタフェース・ブロックをソフトウェア・リセットします。																																				
14-5	-	Reserved (必ず 0 を設定してください)																																				
4-2	CLKS	MDC クロックの分周比を設定します (19.5.7(1)(a) 参照)。 使用する HCLK に合わせて、分周比を選択します。IEEE 802.3 の規格を満たすには、MDC が 2.5MHz 以下になるように分周比を設定してください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CLKS2</th> <th>CLKS1</th> <th>CLKS0</th> <th>HCLK の入力周波数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>33MHz 以下</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>50MHz 以下</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>66MHz 以下</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>100MHz 以下</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	CLKS2	CLKS1	CLKS0	HCLK の入力周波数	0	0	0	設定禁止	0	0	1	33MHz 以下	0	1	0	50MHz 以下	0	1	1	66MHz 以下	1	0	0	100MHz 以下	1	0	1	設定禁止	1	1	0	設定禁止	1	1	1	設定禁止
CLKS2	CLKS1	CLKS0	HCLK の入力周波数																																			
0	0	0	設定禁止																																			
0	0	1	33MHz 以下																																			
0	1	0	50MHz 以下																																			
0	1	1	66MHz 以下																																			
1	0	0	100MHz 以下																																			
1	0	1	設定禁止																																			
1	1	0	設定禁止																																			
1	1	1	設定禁止																																			
1	PHYSEL	MDC クロックの出力を設定します。 MDC クロックを停止させたときに、PHY との通信でデータが正常に渡されない場合は、PHYSEL = 1 で使用してください。 0: マネジメント・フレーム以外の MDC 出力および MDC クロックを停止します。 1: マネジメント・フレーム以外でも常時 MDC を出力します。																																				
0	-	Reserved (必ず 0 を設定してください)																																				

**注意** MIRST ビットの操作は、システム・バス・クロック (HCLK) の 5 クロック以上の間隔で操作してください。

(12) MII コマンド・レジスタ (MCMD)

SCAN コマンド, MII マネジメント・インタフェースによるリード・アクセスを実行するレジスタです。

32 ビット単位でライトのみ可能です。

リードする場合は, MII インジケータ・レジスタ (MIND) を利用してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MCMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2094H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SCAN C	R STAT	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	W	W	

ビット位置	ビット名	意味
31-2	-	Reserved (必ず 0 を設定してください)
1	SCANC	SCAN コマンド 0: 通常状態。 1: SCAN コマンドを発行します。 リードすると "0" が読み出されます。
0	RSTAT	MII マネジメント・リード 0: 通常状態。 1: MII マネジメント・インタフェースによるリード・アクセスを実行します。 リードすると "0" が読み出されます。

(13) MII アドレス・レジスタ (MADR)

PHY アドレス, PHY レジスタ・アドレスを設定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MADR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2098H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	FIAD				0	0	0	RGAD				0000 0000H		
R/W	0	0	0	R/W				0	0	0	R/W						

ビット位置	ビット名	意味
31-13	-	Reserved (必ず 0 を設定してください)
12-8	FIAD	PHY アドレスを設定します。最大 31 値の PHY デバイスを制御できます。
7-5	-	Reserved (必ず 0 を設定してください)
4-0	RGAD	アクセスする PHY レジスタ・アドレスを設定します。 1 つの PHY デバイスに対して, 31 個の 16 ビット・レジスタをアクセスできます。

(14) MII ライト・データ・レジスタ (MWTD)

MII マネジメント・インタフェースでライト・アクセスする際のライト・データを設定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MWTD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 209CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	CTLD																0000 0000H
R/W	R/W																
ビット位置	ビット名		意味														
31-16	-		Reserved (必ず 0 を設定してください)														
15-0	CTLD		MII ライト・データ MII マネジメント・インタフェースでライト・アクセスする際のライト・データ・フィールドです。														

(15) MII リード・データ・レジスタ (MRDD)

MII マネジメント・インタフェースでリード・アクセスする際のリード・データ・レジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MRDD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 20A0H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PRSD																0000 0000H
R/W	R/W																
ビット位置	ビット名		意味														
31-16	-		Reserved (必ず 0 を設定してください)														
15-0	PRSD		MII リード・データ MII マネジメント・インタフェースにおいてリード・アクセスする際のリード・データ・フィールドです。														

(16) MII インジケータ・レジスタ (MIND)

SCAN コマンド実行状態, MII マネジメント・インタフェースのアクセス状態を示すレジスタです。  
32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MIND	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 20A4H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	N VALID	SCANA	BUSY	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	

ビット位置	ビット名	意味
31-3	-	Reserved ("0"が読み出されます)
2	NVALID	SCAN コマンド開始ステータス・ビットです。 0: 通常状態。 1: SCAN コマンド実行中で、最初のリード・アクセスが終了していません。
1	SCANA	SCAN コマンド・アクティブ・ビットです。 0: 通常状態。 1: SCAN コマンド実行中。
0	BUSY	MII マネジメント・インタフェースによる、外部 PHY デバイスとのアクセス状態を示します。 0: アクセスしていない。 1: アクセス中。

(17) アドレス・フィルタ・レジスタ (AFR)

受信パケットの条件を設定するレジスタです。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
AFR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 20C8H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	0	0	0	0	0	0	0	0	0	0	0	0	PRO	PRM	AMC	ABC	0000 0000H	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
31-4	-	Reserved (必ず 0 を設定してください)
3	PRO	プロミスカス・モード すべてのパケットを有効とするモードです。
2	PRM	マルチキャスト受信 すべてのマルチキャスト・パケットのみ有効とし、他を破棄するモードです。
1	AMC	条件付きマルチキャスト受信 条件に一致したマルチキャスト・パケットを有効とし、他を破棄するモードです。 HASH テーブルを用い、HASH テーブルと一致したマルチキャスト・パケットだけを有効とします (HASH テーブルは、後述の HT1, HT2 レジスタに設定します)。
0	ABC	ブロードキャスト受信 ブロードキャスト・パケットを有効とし、他を破棄するモードです。

表 19-24 アドレス・フィルタリング設定と受信パケット

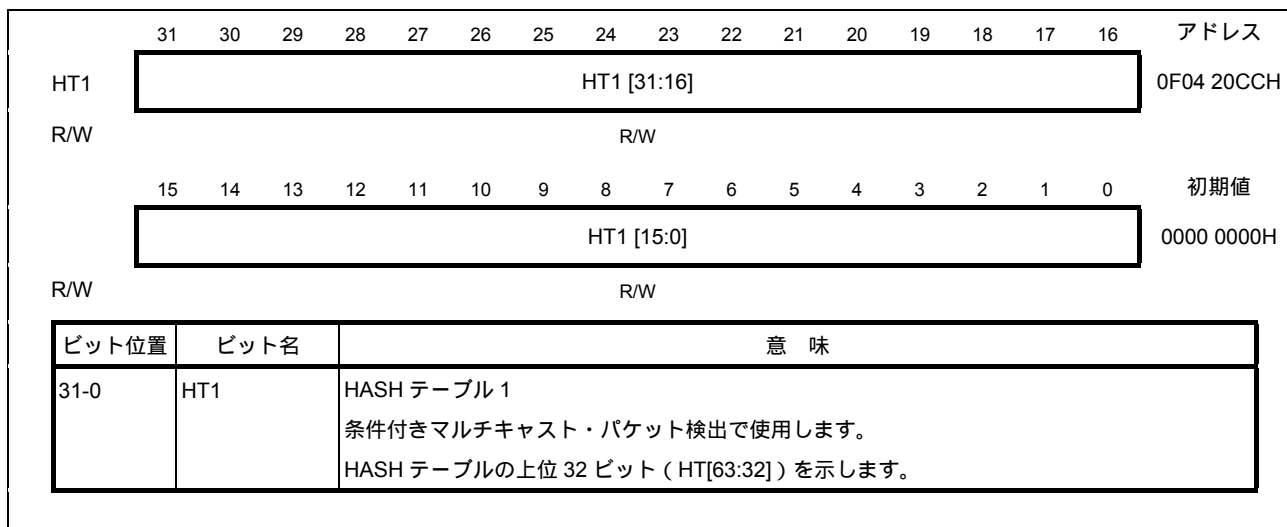
AFR レジスタの設定				受信パケット				
PRO	PRM	AMC	ABC	LSA 不一致 ユニキャスト	LSA 一致 ユニキャスト	HT 不一致 マルチキャスト	HT 一致 マルチキャスト	ブロードキャスト・ マルチキャスト パケット
1	-	-	-	受信	受信	受信	受信	受信
0	1	-	-	破棄		破棄		
0	0	1	1				破棄	破棄
0	0	1	0			破棄		
0	0	0	1				破棄	破棄
0	0	0	0	破棄		破棄		

注 ブロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当する HASH テーブルのビットをセット (1) している場合は受信されます。

備考 - : Don't Care

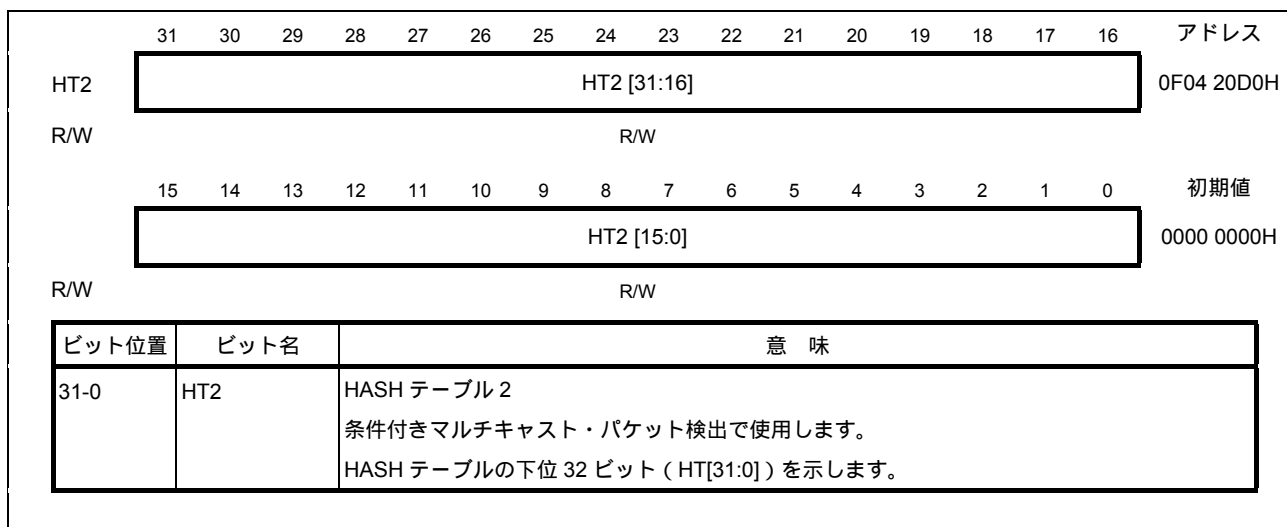
(18) HASH テーブル・レジスタ 1 (HT1)

条件付きマルチキャスト・パケット検出で使用する HASH テーブルです。  
32 ビット単位でリード/ライト可能です。



(19) HASH テーブル・レジスタ 2 (HT2)

条件付きマルチキャスト・パケット検出で使用する HASH テーブルです。  
32 ビット単位でリード/ライト可能です。



条件付きマルチキャスト・パケットの検出では，HASH 値 (CRC[28:23]) によって，以下の選択されたビットがセット (1) されていれば受信されます (図 19-16 参照)。

表 19-25 HASH テーブル (HT1, HT2) の参照

	CRC [25:23]							
CRC [28:26]	111b (7)	110b (6)	101b (5)	100b (4)	011b (3)	010b (2)	001b (1)	000b (0)
111b (7)	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110b (6)	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101b (5)	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100b (4)	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011b (3)	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010b (2)	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001b (1)	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000b (0)	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]



デスティネーション・アドレスから HASH 値を計算するプログラム例を以下に示します。

```
// ハッシュテーブルの設定値を算出する。

#include <stdio.h>

unsigned long crc32_for_ethernet( const unsigned char *data, int size );

//計算するアドレス
const unsigned char DA[] = { 0x12, 0x34, 0x56, 0x78, 0x9A, 0xBC };

int main( void ){
    unsigned long crc;

    printf("%nDA: ");
    crc = crc32_for_ethernet( DA, sizeof(DA) );
    printf("-----%n");
    printf("CRC = %02X,%02X,%02X,%02X%n", (crc>>24)&0xff, (crc>>16)&0xff, (crc>>8)&0xff, crc&0xff );
    printf("CRC[28:26] = %X, CRC[25:23] = %X %n", (crc>>26)&0x07, (crc>>23)&0x07 );
    printf("%n");
    return(1);
}

// CRC を計算する
unsigned long crc32_for_ethernet( const unsigned char *p, int size ){
    int i,j;
    const unsigned long poly = 0xEDB88320ul; // BigEndian
    unsigned long crc = 0xffffffff;
    unsigned long ans = 0x00000000;
    unsigned char c;

    for( j = 0; size-- != 0 ; j++ ) {
        c = *p++;
        printf("%02X ", c );
        if ( j == 15 ) {
            j = 0;
            printf("%n");
        }
        for ( i = 0; i < 8; i++ ) {
            crc = (crc>>1)^(((crc^c)&1)? poly : 0ul );
            c >>= 1;
        }
    }
    if ( j != 0 ) printf("%n");
    crc = ~crc;
    for( i = 0; i < 4; i++){
        ans = (ans << 8) | (crc & 0x000000fful);
        crc >>= 8;
    }
    return( ans );
}
```

このプログラムを実行することで、「19.5.8(1)(b) マルチキャスト・アドレスのフィルタリング」の例の HASH テーブル計算値が得られます。

```
DA: 12 34 56 78 9A BC
-----
CRC = D4,E8,80,56

CRC[28:26] = 5, CRC[25:23] = 1
```

(20) キャリー・レジスタ 1 (CAR1)

統計カウンタがオーバーフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにオーバーフローが発生すると、対応するビットがセット (1) されます。

このレジスタは、読み出されるごとにクリア (0) されます。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
CAR1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 20DCH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	C1VT	C1UT	C1BT	C1MT	C1PT	C1TB	C1MX	C11K	C1FE	C1TF	C1OT	C1SF	C1BR	C1MR	C1PR	C1RB	0000 0000H	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-16	-	Reserved (必ず 0 を設定してください)
15	C1VT	RVBT カウンタ・オーバーフロー・ビット
14	C1UT	TUCA カウンタ・オーバーフロー・ビット
13	C1BT	TBCA カウンタ・オーバーフロー・ビット
12	C1MT	TMCA カウンタ・オーバーフロー・ビット
11	C1PT	TPCT カウンタ・オーバーフロー・ビット
10	C1TB	TBYT カウンタ・オーバーフロー・ビット
9	C1MX	RMAX カウンタ・オーバーフロー・ビット
8	C11K	R1K カウンタ・オーバーフロー・ビット
7	C1FE	R511 カウンタ・オーバーフロー・ビット
6	C1TF	R255 カウンタ・オーバーフロー・ビット
5	C1OT	R127 カウンタ・オーバーフロー・ビット
4	C1SF	R64 カウンタ・オーバーフロー・ビット
3	C1BR	RBCA カウンタ・オーバーフロー・ビット
2	C1MR	RMCA カウンタ・オーバーフロー・ビット
1	C1PR	RPKT カウンタ・オーバーフロー・ビット
0	C1RB	RBYT カウンタ・オーバーフロー・ビット

リードするとクリア (0) されます。

0 : オーバフローは発生していない

1 : オーバフロー発生

## (21) キャリー・レジスタ 2 (CAR2)

統計カウンタがオーバーフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにオーバーフローが発生すると、対応するビットがセット (1) されます。

このレジスタは、読み出されるごとにクリアされます。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
CAR2	C2DV	0	0	0	0	0	0	0	0	C2IM	C2CS	C2NC	C2XC	C2LC	C2MC	C2SC	0F04 20E0H
R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	C2XD	C2DF	C2XF	C2TE	C2JB	C2FG	C2OV	C2UN	C2FC	C2CD	C2FO	C2AL	C2UO	C2PF	C2CF	C2RE	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味	
31	C2DV	ステータス・ベクタ・オーバーラン・ビットです。リードするとクリア (0) されます。	
30-23	-	Reserved (必ず 0 を設定してください)	
22	C2IM	TIME カウンタ・オーバーフロー・ビット	リードするとクリア (0) されます。 0: オーバフローは発生していない 1: オーバフロー発生
21	C2CS	TCSE カウンタ・オーバーフロー・ビット	
20	C2NC	TNCL カウンタ・オーバーフロー・ビット	
19	C2XC	TXCL カウンタ・オーバーフロー・ビット	
18	C2LC	TLCL カウンタ・オーバーフロー・ビット	
17	C2MC	TMCL カウンタ・オーバーフロー・ビット	
16	C2SC	TSCL カウンタ・オーバーフロー・ビット	
15	C2XD	TXDF カウンタ・オーバーフロー・ビット	
14	C2DF	TDFR カウンタ・オーバーフロー・ビット	
13	C2XF	TXPF カウンタ・オーバーフロー・ビット	
12	C2TE	TFCS カウンタ・オーバーフロー・ビット	
11	C2JB	RBJR カウンタ・オーバーフロー・ビット	
10	C2FG	RFRG カウンタ・オーバーフロー・ビット	
9	C2OV	ROVR カウンタ・オーバーフロー・ビット	
8	C2UN	RUND カウンタ・オーバーフロー・ビット	
7	C2FC	RFCR カウンタ・オーバーフロー・ビット	
6	C2CD	RCDE カウンタ・オーバーフロー・ビット	
5	C2FO	RFLR カウンタ・オーバーフロー・ビット	
4	C2AL	RALN カウンタ・オーバーフロー・ビット	
3	C2UO	RXUO カウンタ・オーバーフロー・ビット	
2	C2PF	RXPF カウンタ・オーバーフロー・ビット	
1	C2CF	RXCF カウンタ・オーバーフロー・ビット	
0	C2RE	RFCS カウンタ・オーバーフロー・ビット	

(22) キャリー・マスク・レジスタ 1 (CAM1)

統計カウンタのオーバーフローによって CAR1 レジスタのいずれかのビットがセット (1) された場合に、同時に発生する INTCMAC をマスクするレジスタです。

各カウンタとビットが対応しており、ビットごとにマスクできます。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
CAM1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2130H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	M1VT	M1UT	M1BT	M1MT	M1PT	M1TB	M1MX	M11K	M1FE	M1TF	M1OT	M1SF	M1BR	M1MR	M1PR	M1RB	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味	
31-16	-	Reserved (必ず 0 を設定してください)	
15	M1VT	RVBT カウンタ・オーバーフローのマスク・ビット	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
14	M1UT	TUCA カウンタ・オーバーフローのマスク・ビット	
13	M1BT	TBCA カウンタ・オーバーフローのマスク・ビット	
12	M1MT	TMCA カウンタ・オーバーフローのマスク・ビット	
11	M1PT	TPCT カウンタ・オーバーフローのマスク・ビット	
10	M1TB	TBYT カウンタ・オーバーフローのマスク・ビット	
9	M1MX	RMAX カウンタ・オーバーフローのマスク・ビット	
8	M11K	R1K カウンタ・オーバーフローのマスク・ビット	
7	M1FE	R511 カウンタ・オーバーフローのマスク・ビット	
6	M1TF	R255 カウンタ・オーバーフローのマスク・ビット	
5	M1OT	R127 カウンタ・オーバーフローのマスク・ビット	
4	M1SF	R64 カウンタ・オーバーフローのマスク・ビット	
3	M1BR	RBCA カウンタ・オーバーフローのマスク・ビット	
2	M1MR	RMCA カウンタ・オーバーフローのマスク・ビット	
1	M1PR	RPKT カウンタ・オーバーフローのマスク・ビット	
0	M1RB	RYBT カウンタ・オーバーフローのマスク・ビット	

(23) キャリー・マスク・レジスタ 2 (CAM2)

統計カウンタのオーバーフローによって CAR2 レジスタのいずれかのビットがセット (1) された場合に、同時に発生する INTCMAC をマスクするレジスタです。

各カウンタとビットが対応しており、ビットごとにマスクできます。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
CAM2	M2DV	0	0	0	0	0	0	0	0	M2IM	M2CS	M2NC	M2XC	M2LC	M2MC	M2SC	0F04 2134H
R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	M2XD	M2DF	M2XF	M2TE	M2JB	M2FG	M2OV	M2UN	M2FC	M2CD	M2FO	M2AL	M2UO	M2PF	M2CF	M2RE	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味	
31	M2DV	ステータス・ベクタ・オーバーランのマスク・ビットです。 0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)	
30-23	-	Reserved (必ず 0 を設定してください)	
22	M2IM	TIME カウンタ・オーバーフローのマスク・ビット	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
21	M2CS	TCSE カウンタ・オーバーフローのマスク・ビット	
20	M2NC	TNCL カウンタ・オーバーフローのマスク・ビット	
19	M2XC	TXCL カウンタ・オーバーフローのマスク・ビット	
18	M2LC	TLCL カウンタ・オーバーフローのマスク・ビット	
17	M2MC	TMCL カウンタ・オーバーフローのマスク・ビット	
16	M2SC	TSCL カウンタ・オーバーフローのマスク・ビット	
15	M2XD	TXDF カウンタ・オーバーフローのマスク・ビット	
14	M2DF	TDFR カウンタ・オーバーフローのマスク・ビット	
13	M2XF	TXPF カウンタ・オーバーフローのマスク・ビット	
12	M2TE	TFCS カウンタ・オーバーフローのマスク・ビット	
11	M2JB	RBJR カウンタ・オーバーフローのマスク・ビット	
10	M2FG	RFRG カウンタ・オーバーフローのマスク・ビット	
9	M2OV	ROVR カウンタ・オーバーフローのマスク・ビット	
8	M2UN	RUND カウンタ・オーバーフローのマスク・ビット	
7	M2FC	RFCR カウンタ・オーバーフローのマスク・ビット	
6	M2CD	RCDE カウンタ・オーバーフローのマスク・ビット	
5	M2FO	RFLR カウンタ・オーバーフローのマスク・ビット	
4	M2AL	RALN カウンタ・オーバーフローのマスク・ビット	
3	M2UO	RXUO カウンタ・オーバーフローのマスク・ビット	
2	M2PF	RXPF カウンタ・オーバーフローのマスク・ビット	
1	M2CF	RXCF カウンタ・オーバーフローのマスク・ビット	
0	M2RE	RFCS カウンタ・オーバーフローのマスク・ビット	

#### 19.10.4 Ether MAC コア統計カウンタ・レジスタ

PFESiP/V850EP3 の Ether MAC は、回線の通信品質等を調べるために、39 本の統計カウンタを内蔵しています。

統計カウンタは、1 フレームの受信が終了（アボートを含む）するごとに、通信ステータスを確認して該当カウンタを更新します。統計カウンタは任意のタイミングで読み出し可能です。ただし統計カウンタの更新と読み出しが競合した場合は、統計カウンタの更新完了まで読み出しが待たされます。

各カウンタにおいて、オーバフローが発生すると、キャリア・レジスタ 1, 2 (CAR1, CAR2) の対応ビットがセット (1) され、INTCMAC 割り込みが発生します。また、カウンタごとにキャリア・マスク・レジスタ 1, 2 (CAM1, CAM2) で、INTCMAC 割り込みをマスクできます。

統計カウンタをクリアする場合は、カウンタに 0 を書き込んでください。この際、通信動作を停止させる必要はありません。統計カウンタの更新と書き込みが競合した場合は更新が優先され、更新後に書き込みが行われます。

なお、統計カウンタは停止できません。使用しない統計カウンタは、キャリア・マスク・レジスタ 1, 2 (CAM1, CAM2) で該当ビットをセット (1) することでマスクし、INTCMAC が発生しないようにしてください。

統計カウンタ・レジスタは、32 ビット単位でリード/ライト可能です。

**備考** 送受信のアボート回数は、統計カウンタとは別に、送信アボート・カウンタ (TXABTCNT)、受信アボート・カウンタ (RXABTCNT) があります。

**注意 1.** Ether MAC は、内部システム・バス・クロック (HCLK) で統計カウンタを更新しています。このため、HCLK が通信クロック (TXCLK/RXCLK) と比較して極端に低速な場合は、統計情報をミスカウントする可能性があります。統計情報をミスカウントした場合、ステータス・ベクタ・オーバーランが発生し、キャリア・レジスタ 2 (CAR2) の C2DV ビットをセット (1) し、INTCMAC 割り込みが発生します。

**2.** キャリア・レジスタ 1, 2 (CAR1, CAR2) は、リードでクリアされます。同時に発生している複数のオーバフローを検出するために、いったん変数などにコピーして処理することを推奨します。

( 1/3 )

アドレス	統計カウンタ名称	略号	カウンタの説明
0F04 2140H	受信バイト・カウンタ	RBYT	受信パケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントし、エラーが発生した場合もカウントします。 MACC1.HUGEN = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合、LMAX レジスタの値がパケット長としてカウントされます。
0F04 2144H	受信パケット・カウンタ	RPKT	すべてのパケット受信ごとにカウントされます。エラーが発生したパケット、すべてのユニキャスト・パケット、すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。
0F04 2148H	受信 FCS エラー・フレーム・カウンタ	RFCS	受信パケットにおいて、CRC エラーが発生した場合にカウントされます。 MACC1.HUGEN = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値に達した時点で CRC チェックを行うため、CRC エラー受信としてカウントされることがあります。
0F04 214CH	受信マルチキャスト・パケット・カウンタ	RMCA	受信パケット長が 64 バイト以上でかつ 1,518 バイト (VLAN フレーム時は 1,522 バイト) 以下のマルチキャスト・パケットが受信された場合にカウントされます。ブロードキャスト・パケットは含まれません。なお CRC エラーが発生した受信パケットはカウントされません。
0F04 2150H	受信ブロードキャスト・パケット・カウンタ	RBCA	受信パケット長が 64 バイト以上でかつ 1,518 バイト (VLAN フレーム時は 1,522 バイト) 以下のブロードキャスト・パケットが受信された場合にカウントされます。マルチキャスト・パケットは含まれません。なお CRC エラーが発生した受信パケットはカウントされません。
0F04 2154H	受信コントロール・フレーム・パケット・カウンタ	RXCF	コントロール・フレームが受信された場合にカウントされます。ポーズ・フレームおよびサポートされていないコントロール・フレームを含みます。 なお CRC エラーが検出された場合はカウントされません。
0F04 2158H	受信ポーズ・フレーム・パケット・カウンタ	RXPF	有効なポーズ・コントロール・フレームを受信した場合にカウントされます。
0F04 215CH	受信未定義コントロール・パケット・カウンタ	RXUO	ポーズ以外のオPCODEを含むコントロール・フレーム、または無効なデスティネーション・アドレスを持つポーズ・コントロール・フレームを受信した場合にカウントされます。 なお CRC エラーが検出された場合はカウントされません。
0F04 2160H	受信アライメント・エラー・カウンタ	RALN	受信パケットにおいて、CRC エラーが発生しかつドリブル・ニブルが発生した場合にカウントされます。 MACC1.HUGEN = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値 (バイト単位) に達した時点でアライメント・エラーのチェックが行われるため、このカウンタはカウントされません。
0F04 2164H	受信フレーム長エラー・カウンタ	RFLR	受信パケットのレングス・フィールドの値が、実際に受信されたパケットのデータ・フィールド長と一致しない場合にカウントされます。レングス・フィールドの値が 1,501 以上の場合 (たとえば、レングス・フィールドに相当するバイトがイーサネット・タイプ・フィールドとして使用されている場合など)、このカウンタはカウントされません。
0F04 2168H	受信コード・エラー・カウンタ	RCDE	キャリアが検出されている間、不正なデータ・シンボルが少なくとも 1 回検出された場合にカウントされます。
0F04 216CH	受信 False Carrier カウンタ	RFCR	アイドル中に False Carrier が発生した場合、次のパケット受信のあとでカウントされます。False Carrier は RXER がハイ・レベルで RXD からニブル・データとして 1110B が入力された場合に、False Carrier が発生したと見なされます。アイドルの間に複数回の False Carrier が発生した場合でも、カウントされるのは 1 回のみです。
0F04 2170H	受信アンダーサイズ・パケット・カウンタ	RUND	受信パケット長が 64 バイト未満でかつ、有効な FCS フィールドを含んでいる場合にカウントされます。

( 2/3 )

アドレス	統計カウンタ名称	略号	カウンタの説明
0F04 2174H	受信オーバサイズ・パケット・カウンタ	ROVR	受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ有効な FCS フィールドを含んでいる場合にカウントされます。 MACC1.HUGEN = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値に達した時点で CRC チェックを行うため、その時点で CRC エラーとみなされ、このカウンタがカウントされないことがあります。
0F04 2178H	受信フラグメント・カウンタ	RFRG	受信パケット長が 64 バイト未満でかつ、CRC エラーあるいはアライメント・エラーを含んでいる場合にカウントされます。
0F04 217CH	受信ジャバパー・カウンタ	RJBR	受信パケット長が 1,518 バイト (VLAN フレーム時は 1,522 バイト) を越えていてかつ、CRC エラーあるいはアライメント・エラーを含んでいる場合、カウントされます。 MACC1.HUGEN = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値に達した時点で CRC チェックを行うため、その時点で CRC エラーとみなされ、このカウンタがカウントされることがあります。
0F04 2180H	受信 64 バイト・フレーム・カウンタ	R64	受信パケット長が 64 バイトの場合にカウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 2184H	受信 65-127 バイト・フレーム・カウンタ	R127	受信パケット長が 64-127 バイトの場合にカウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 2188H	受信 128-255 バイト・フレーム・カウンタ	R255	受信パケット長が 128-255 バイトの場合にカウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 218CH	受信 256-511 バイト・フレーム・カウンタ	R511	受信パケット長が 256-511 バイトの場合にカウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 2190H	受信 512-1023 バイト・フレーム・カウンタ	R1K	受信パケット長が 512-1,023 バイトの場合にカウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 2194H	受信 1024-RMAX バイト・フレーム・カウンタ	RMAX	受信パケット長が 1,024-1,518 バイト (VLAN フレーム時は 1,024-1,522 バイト) の場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。
0F04 2198H	受信有効バイト・カウンタ	RVBT	有効なパケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントします。



( 3/3 )

アドレス	統計カウンタ名称	略号	カウンタの説明
0F04 21C0H	送信バイト・カウンタ	TBYT	送信パケットのバイト・カウントを示します。送信が完了あるいはアボートするまでの間にコリジョンが発生した場合には、コリジョンが発生したときの送信バイトもカウントされます。ただし、プリアンブル、SFDについてはカウントされません。
0F04 21C4H	送信パケット・カウンタ	TPKT	すべてのパケット送信ごとにカウントされます。エラーが発生したパケット、すべてのユニキャスト・パケット、すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。
0F04 21C8H	送信 FCS エラー・フレーム・カウンタ	TFCS	送信パケットに付加される FCS フィールドにおいて、CRC エラーが検出された場合にカウントされます。 送信がアボートした場合にはカウントされません。
0F04 21CCH	送信マルチキャスト・パケット・カウンタ	TMCA	マルチキャスト・パケットを送信した場合にカウントされます。ブロードキャスト・パケットは含まれません。また、送信がアボートした場合、または CRC エラーが検出された場合はカウントされません。
0F04 21D0H	送信ブロードキャスト・パケット・カウンタ	TBCA	ブロードキャスト・パケットを送信した場合にカウントされます。マルチキャスト・パケットは含まれません。また、送信がアボートした場合、または CRC エラーが検出された場合はカウントされません。
0F04 21D4H	送信ユニキャスト・パケット・カウンタ	TUCA	ユニキャスト・パケットを送信した場合にカウントされます。 送信がアボートした場合、または CRC エラーが検出された場合はカウントされません。
0F04 21D8H	送信ポーズ・コントロール・フレーム・カウンタ	TXPF	受信 FIFO 内にデータが溜ったことで、ポーズ・コントロール・フレームを送信するたびにカウントされます
0F04 21DCH	送信遅延パケット・カウンタ	TDFR	送信を開始しようとしたときにキャリア検出によって送信遅延が発生した場合にカウントされます。遅延発生後開始された送信中にコリジョンが発生した場合には、このカウンタはカウントされません。
0F04 21E0H	送信過剰遅延パケット・カウンタ	TXDF	過剰遅延によって送信がアボートされた場合にカウントされます。
0F04 21E4H	送信シングル・コリジョン・パケット・カウンタ	TSCL	送信中に、1 回のコリジョンが発生したあと、送信が成功した場合にカウントされます。
0F04 21E8H	送信マルチプル・コリジョン・パケット・カウンタ	TMCL	送信中に、複数回（2 回以上で CLRT.RETRY フィールドの設定値以下）のコリジョンが発生したあと送信が成功した場合にカウントされます。
0F04 21ECH	送信レイト・コリジョン・パケット・カウンタ	TLCL	送信時にレイト・コリジョンが発生した場合にカウントされます。
0F04 21F0H	送信過剰コリジョン・パケット・カウンタ	TXCL	1 回の送信動作で、CLRT.RETRY フィールドに設定された値を越えてコリジョンが発生した場合にカウントされます。
0F04 21F4H	送信トータル・コリジョン・カウンタ	TNCL	発生したコリジョンのうち、コリジョン発生後送信が成功した場合のみのコリジョン回数をカウントします。
0F04 21F8H	送信キャリア・センス・エラー・カウンタ	TCSE	送信中にキャリア・センス・エラーが発生した場合にカウントされます。
0F04 21FCH	MAC 内部エラー・カウンタ	TIME	送信中に MAC 内部でエラー（TPUR の入力、あるいは LMAX レジスタを越える送信）が発生した場合にカウントされます。

### 19.10.5 MFF 制御レジスタ

(1) MFF コントロール・レジスタ (MFFCONT)

内蔵 FIFO 機能を制御するレジスタです。

32/16/8 ビット単位でリード/ライト可能です。

**注意** MFFCONT レジスタの初期値は 0000 0000H ですが、下記の R/W の欄で 0 または 1 の固定値が記載されているビットは、必ずその値を設定してください。

( 1/2 )

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス		
MFFCONT	LOOPBACK	RCSEL	0	0	IMLP [3:0]			0	0	0	0	0	0	0	FLOWCNT	IVPAUSE	ZEROPAUSE	RXSDMA [1:0]		0	ASOE	APS	APL	RXTHRC	RXEN	0	0	0	0	0	0	0	0	0	0	0F04 2200H
	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	0	0	0	0	1	1	0	R/W	0	0	0	0	0	0	0	0	0	0	初期値 0000 0000H

ビット位置	ビット名	意味
31	LOOPBACK	ループバック・モードを指定します。 0 : 通常モード 1 : ループバック・モード (送信 FIFO と受信 FIFO 間でループバックします。)
30	RCSEL	RXCLK の切り替えを指定します。 MAC コアのループバック・モード ,MFF CORE のループバック・モード時に ,RXCLK を TXCLK に切り替える必要がある場合にセット (1) してください。 0 : 通常モード 1 : クロック切り替えモード (RXCLK を TXCLK に切り替えます。)
29,28	-	Reserved (必ず 0 を設定してください)
27-24	IMLP [3:0]	必ず 0 を設定してください。
23-19	-	Reserved (必ず 0 を設定してください)
18	FLOWCNT	フロー制御の ON / OFF を指定します。 0 : フロー制御 OFF 1 : フロー制御 ON
17	IVPAUSE	インターバル・ポーズ・パケット送信制御 (ポーズ・パケットの再発行の方法) を指定します。 0 : FIFO のしきい値による再発行 内蔵ポーズ・タイマ (PAUSETM レジスタの IPTIME フィールド) を使わない 1 : 内蔵ポーズ・タイマによる再発行 内蔵ポーズ・タイマ (PAUSETM レジスタの IPTIME フィールド) を使う
16	ZEROPAUSE	ゼロ・ポーズ・コントロール・フレーム出力の許可 / 禁止を選択します。 0 : ゼロ・ポーズ・コントロール・フレーム送出禁止 1 : ゼロ・ポーズ・コントロール・フレーム送出許可
15	RXSDMA1	必ず 1 を設定してください。
14	RXSDMA0	必ず 0 を設定してください。
13	-	Reserved (必ず 0 を設定してください)
12	ASOE	必ず 0 を設定してください。
11	APS	必ず 1 を設定してください。
10	APL	必ず 1 を設定してください。

( 2/2 )

ビット位置	ビット名	意 味
9	RXTHRC	必ず 0 を設定してください。
8	RXEN	<p>受信許可 / 停止を設定します。</p> <p>0 : 受信停止 1 : 受信許可</p> <p><u>受信停止の書き込みタイミングについて</u></p> <p>MAC コアから受信 FIFO への書き込み中に、受信停止のレジスタ書き込みがあった場合は、そのパケットの受信 FIFO への書き込み終了を待って 受信 FIFO 書き込み回路を停止します。</p> <p>システム側の受信 FIFO の停止は、受信 FIFO に書き込まれたパケットをすべて読み出して停止します。</p> <p>フロー制御回路は RXEN ビットの操作では停止しません。</p>
7-3	-	Reserved (必ず 0 を設定してください)
2	TABT	<p>送信アバート制御を指定します。</p> <p>0 : パケット破棄 1 : パケット再送 (MAC がアバートしたパケットを再送します)</p>
1	TXTHRC	必ず 0 を設定してください。
0	TXEN	<p>送信許可 / 停止を設定します。</p> <p>0 : 送信停止 1 : 送信許可</p> <p><u>送信停止の書き込みタイミングについて</u></p> <p>送信 FIFO のパケット書き込み途中に、送信停止のレジスタ書き込みがあった場合は、パケットの書き込みを終了 (END フラグを書き込み) するまで待って、送信 FIFO 書き込み回路を停止して、次のパケットの書き込み要求は行いません。</p> <p>MAC コアへのパケット転送は、送信 FIFO 内に存在するパケットをすべて転送して (エンブティまで読み出して) から停止します。</p>

- (2) ソフトウェア・リセット制御レジスタ (RSTCNT)  
ソフトウェア・リセットを制御するレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス 0F04 2204H 初期値 0000 0000H
RSTCNT	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																RFFLSH	0 0 0 0 0 0 0 0						TFFLSH	0 0 0 0 0 0 0 0						SFTRST		
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																R/W	0 0 0 0 0 0 0 0						R/W	0 0 0 0 0 0 0 0						R/W		

ビット位置	ビット名	意 味
31-17	-	Reserved (必ず 0 を設定してください)
16	RFFLSH	受信 FIFO クリア (フラッシュ) を行います。 受信 FIFO, 受信制御回路, フロー制御回路, 受信ステータス・レジスタ, 受信系の割り込みレジスタをクリアします。  0: 通常動作 1: リセット  このビットをセット (1) するとフラッシュされ, このビットは自動的にクリア (0) されます。
15-9	-	Reserved (必ず 0 を設定してください)
8	TFFLSH	送信 FIFO クリア (フラッシュ) を行います。 送信 FIFO, 送信制御回路, 送信ステータス・レジスタ, 送信系の割り込みレジスタをクリアします。  0: 通常動作 1: リセット  このビットをセット (1) するとフラッシュされ, このビットは自動的にクリア (0) されます。
7-1	-	Reserved (必ず 0 を設定してください)
0	SFTRST	ソフトウェア・リセット・ビットです。Ether MAC 機能全体をリセットできます。  0: 通常動作 1: リセット  このビットをセット (1) するとリセットされ, このビットは自動的にクリア (0) されます。 をライトするとリセット開始してセルフ・クリアします。

(3) フロー制御しきい値レジスタ (FLOWTHRESH)

フロー制御を開始する受信 FIFO のしきい値、ゼロ・ポーズ・コントロール・フレームを送信する受信 FIFO のしきい値を設定するレジスタです。

32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス	
FLOWTHRESH	0	0	0	0	0	FLOWTHR [10:0]										0F04 2218H		
R/W	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値	
	0	0	0	0	0	ZPTHR [10:0]										0600 0200H		
R/W	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット位置	ビット名	意味
31-27	-	Reserved (必ず 0 を設定してください)
26-16	FLOWTHR	フロー制御を開始する受信 FIFO のしきい値をバイト単位で設定します。 受信 FIFO の容量が FLOWTHR [10:0] の設定値以上になるとフロー制御を開始します。 半二重ではバック・プレッシャー、全二重ではポーズ・コントロール・フレームを送信します。 受信 FIFO は 32 ビット (4 バイト) 単位のため、下位 2 ビットへのライトは無視されます。 下位 2 ビットのリード時は 0 が読み出されます。
15-11	-	Reserved (必ず 0 を設定してください)
10-0	ZPTHR	ゼロポーズ・コントロール・フレームを送信する受信 FIFO のしきい値をバイト単位で設定します。 ポーズ・コントロール・フレームによるフロー制御のときに、MFF コントロール・レジスタ (MFFCONT) の ZEROPAUSE ビットをセット (1) してゼロ・ポーズ・コントロール・フレーム送信を許可している場合に、ZPTHR [10:0] の設定値以下になると、ゼロ・ポーズ・コントロール・フレームを送信します。 受信 FIFO は 32 ビット (4 バイト) 単位のため、下位 2 ビットへのライトは無視されます。 下位 2 ビットのリード時は 0 が読み出されます。

(4) ポーズ・タイム値レジスタ (PAUSETM)

ポーズ・タイムを設定するレジスタです。

32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PAUSETM	IPTIME [15:0]																0F04 221CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PAUSETM_MAX [15:0]																7FFF FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-16	IPTIME	インターバル・ポーズ・パケット・タイム値を設定します。 MFF コントロール・レジスタ (MFFCONT) の IVPAUSE ビットをセット (1) し、インターバル・ポーズ・パケット送信をする場合の、ポーズ・パケット送信間隔を設定します。 設定単位は、512 ビット分の時間です (100Mbps 時 : 5.12us, 10Mbps 時 : 51.2us)。 初期値では、100Mbps 時 : 約 168ms, 10Mbps 時 : 約 1.68s になります。
15-0	PAUSETM_MAX	MAX ポーズ・パケットのポーズ・コントロール・タイム値を設定します。 リンク・パートナーからの送信を抑えたい場合に送信するポーズ・タイム値を設定します。 設定単位は、512 ビット分の時間です (100Mbps 時 : 5.12us, 10Mbps 時 : 51.2us)。 初期値では、100Mbps 時 : 約 336ms, 10Mbps 時 : 約 3.36s になります。

(5) 受信エラー選択レジスタ (RXERSEL)

受信エラーが発生したときに、それぞれのパケットの受信 / 破棄を選択するレジスタです。  
32/16/8 ビット単位でリード / ライト可能です。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
								0	0	0																									0F04 2220H
																																		初期値	
																																		0000 0001H	
RXERSEL		RLENE	VLAN	USOP	RPCF	RCFR	DBNB				RLOR	RLER	RRCRCE	RXER	CEPS	REPS	PAIG															TXRX	DVCF		
R/W		R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

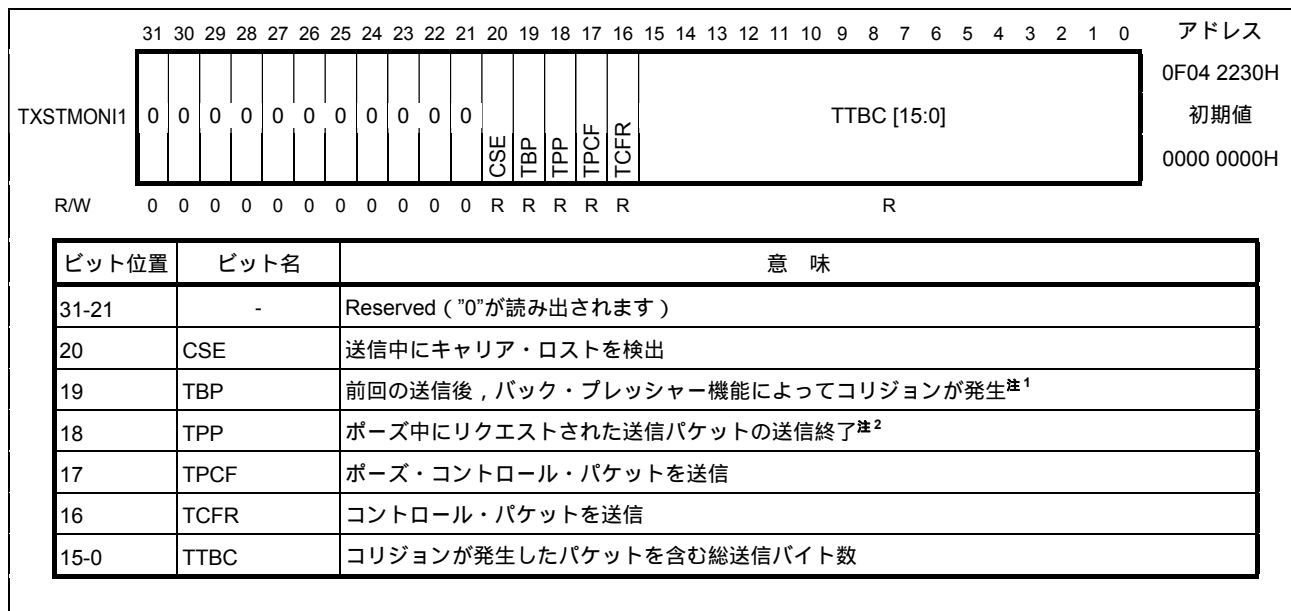
  

ビット位置	ビット名	意味	
31	RLENE	受信パケット・レングス・エラー	0 : 受信 1 : 破棄
30	VLAN	VLAN パケット受信	
29	USOP	未定義オPCODE・コントロール・パケット受信	
28	RPCF	ポーズ・コントロール・パケット受信	
27	RCFR	コントロール・パケット受信	
26	DBNB	ドリブル・ニブルを含むパケットの受信	
25-23	-	Reserved (必ず 0 を設定してください)	
22	RLOR	レングス・フィールドが、1,500 を超えるパケットの受信	
21	RLER	レングス・フィールドが、データ・フィールド長と不一致	
20	RRCRCE	CRC エラー	
19	RXER	RXER 検出	
18	CEPS	False Carrier 検出	
17	REPS	プリアンブル+SFD までのパケット、またはデータ部が 1 ニブル	
16	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した <ul style="list-style-type: none"> <li>・ 6,072 ニブル (3,036 バイト) を越えるキャリア長を検出した場合</li> <li>・ パケット受信後、IPG + プリアンブル + SFD が 80 bits time 以下で次のパケットが受信された場合</li> <li>・ ピュア・プリアンブルが設定されている (MAC 設定レジスタ 1 (MACC1) の PUREP ビットがセット (1) されている) ときに不正なプリアンブルまたは SFD を受信した場合</li> </ul>	
15-2	-	Reserved (必ず 0 を設定してください)	
1	TXRX	MAC コアが受信中のコリジョン発生を検出した場合	
0	DVCF	MAC コアが受信したパケットが有効なコントロール・パケットであると判断した場合	

(6) 送信ステータス・モニタ・レジスタ 1 (TXSTMONI1)

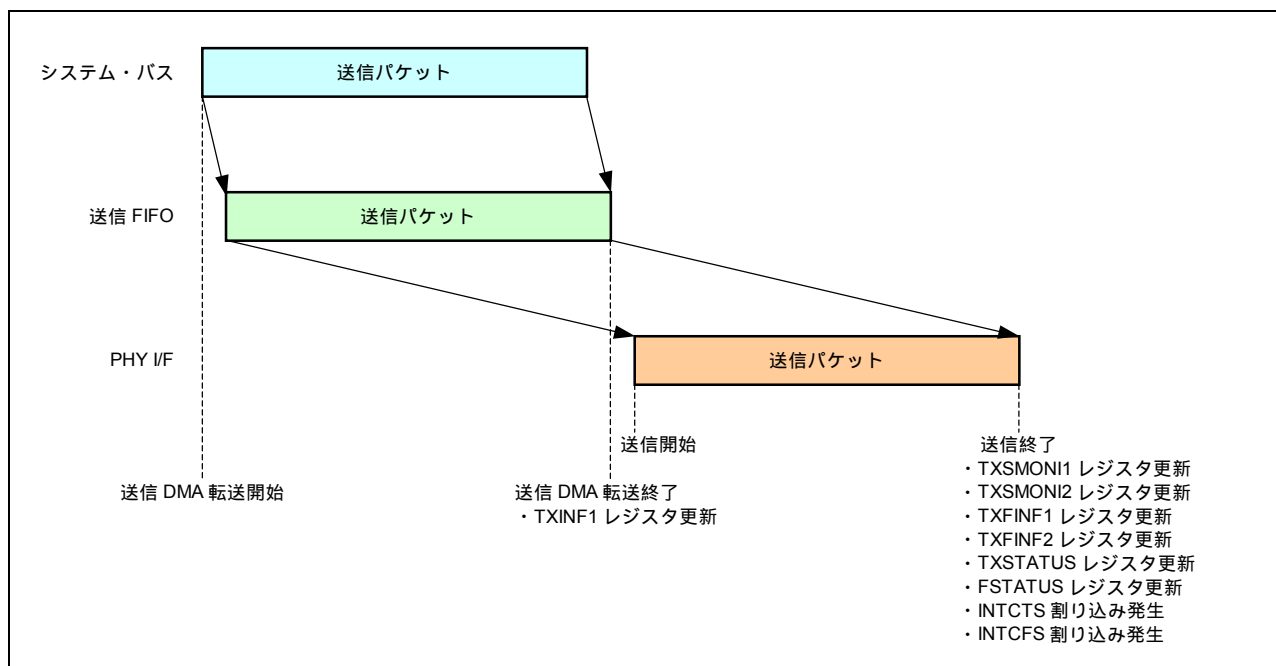
送信ステータスをモニタするレジスタです。下記の事象が発生したビットがセット (1) されます (TTBC [15:0]を除きます)。

32/16/8 ビット単位でリードのみ可能です。



- 注 1. 前回, 送信ステータスが更新されてから, あらたに更新されるまでに条件が発生したことを示します。
2. ポーズ中にリクエストされたパケットが, コントロール・フレームの場合は報告されません。

図 19-51 送信ステータスの更新タイミング





## (7) 送信ステータス・モニタ・レジスタ 2 (TXSTMONI2)

送信ステータスをモニタするレジスタです。下記の事象が発生したビットがセット (1) されます (TCBC [3:0], TBYT [15:0]を除きます)。

32/16/8 ビット単位でリードのみ可能です。

ビット位置	ビット名	意味
31	TUDR	送信パケット・アンダーランが検出された <sup>注1</sup>
30	TGNT	LMAX を超える長さのケットを送信 <sup>注2</sup>
29	LCOL	レイト・コリジョン
28	ECOL	最大衝突回数を超える衝突
27	TEDFR	過剰送信
26	TDFR	遅延送信
25	TBRO	ブロードキャスト・パケット送信
24	TMUL	マルチキャスト・パケット送信
23	TDONE	送信終了 <sup>注3</sup>
22	TFLOR	レングス・フィールドが 1,500 より大きい <sup>注4</sup>
21	TFLER	レングス・フィールドがデータ・フィールド長と不一致 <sup>注4,5</sup>
20	TCRCE	CRC 自動付加モードをオフした場合の CRC エラー
19-16	TCBC	コリジョンによる再送回数 <sup>注6</sup>
15-0	TBYT	送信正常終了時の送信パケット長 (バイト数) <sup>注6</sup>

注 1. コリジョン発生がない場合のみ報告されます。

2. MAC 設定レジスタ 1 (MACC1) の HUGEN ビットがクリア (0) されている場合のみ報告されません。

3. 送信がアボートされた場合は報告されません。

4. MAC 設定レジスタ 1 (MACC1) の FLCHT ビットがクリア (0) されている場合は報告されません。

5. 1,500 を越えるレングス・フィールドは TFLOR として報告され、TFLER には報告されません。

6. 送信アボート時は正しい値になりません。

## (8) 送信ステータス・レジスタ 1 (TXFINF1)

送信 FIFO の状態を示すレジスタです。  
32/16/8 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス			
TXFINF1	0	0	0	0	0	0	0	TPCNT [8:0]								0	0	0	0	TREMAIN [11:0]											0F04 2238H 初期値 0000 0800H					
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-25	-	Reserved ("0"が読み出されます)
24-16	TPCNT	送信 FIFO に存在するパケット数を表示します。 送信 FIFO 内に存在するパケット (スタート・フラグ~エンド・フラグ) の数を表示します。 1パケットの書き込みごとにインクリメントされます。 MAC コアからの 1パケットの読み出し (送信完了または、送信アポート) ごとにデクリメント されます。
15-12	-	Reserved ("0"が読み出されます)
11-0	TREMAIN	送信 FIFO 残量をバイト単位で表示します。 送信 FIFO は 32 ビット (4 バイト) 単位のため、下位 2 ビットは常に 0 が読み出されます。

## (9) 送信ステータス・レジスタ 2 (TXFINF2)

送信停止状態での送信 FIFO の状態を示すレジスタです。  
32/16/8 ビット単位でリードのみ可能です。

**注意** 送信系のモード・レジスタを書き替える場合は、必ずこのレジスタの TXSTOP ビットがセット(1)されていることを確認してから書き替えてください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス			
TXFINF2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TXSTOP	0F04 223CH 初期値 0000 0001H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-1	-	Reserved ("0"が読み出されます)
0	TXSTOP	MFF コントロール・レジスタ (MFFCONT) の TXEN ビットがクリア (0) され、送信停止状態に設定されている場合に、送信 FIFO にデータが存在していないとき、このビットがセット(1)されます。 送信系のモード・レジスタを書き替える場合は、必ずこのビットがセット(1)されていることを確認してから書き替えてください。  0 : 送信 FIFO 動作中 1 : 送信 FIFO 停止中

## (10) 受信ステータス・モニタ・レジスタ (RXSTMONI)

送信ステータスをモニタするレジスタです。下記の事象が発生したビットがセット (1) されます (RBYT [15:0]を除きます)。

RXSTMONI レジスタの更新タイミングは、受信パケットの DMA 転送終了時です。受信ステータス・レジスタ 1 (RXFINF1) も同時に更新されます。

32/16/8 ビット単位でリードのみ可能です。

(1/2)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス				
RXSTMONI		RL	EN	VL	AN	US	OP	RPC	F	RC	CF	DB	NB	RB	RO	RM	UL	R	X	O	K	RL	OR	RL	ER	RC	RC	CE	R	X	ER	CE	PS	RE	PS	PA	IG	0F04 2240H
		RBYT [15:0]																	0000 0000H																			
R/W		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31	RL	受信パケット・レングス・エラー 受信したパケットが 64 バイト未満または 1,518 バイトより大きいことを示します (VLAN の場合は 64 バイト未満または 1,522 バイトより大きい場合)。
30	VL	VLAN パケット TPID フィールドが VLTP と一致したパケットの受信を示します。 <sup>注1</sup>
29	US	未定義オPCODE・コントロール・パケット受信 <sup>注2</sup>
28	RPC	ポーズ・コントロール・パケット受信 <sup>注2</sup>
27	RC	コントロール・パケット受信 <sup>注2</sup>
26	DB	ドリブル・ニブルを含むパケットの受信
25	RB	ブロードキャスト・パケット受信
24	RM	マルチキャスト・パケット受信
23	R	受信終了 <sup>注1</sup>
22	RL	レングス・フィールドが 1,500 を超えるパケットの受信 <sup>注3</sup>
21	RL	レングス・フィールドがデータ・フィールド長と不一致 <sup>注3,4</sup>
20	RC	CRC エラー発生
19	R	RXER 検出
18	CE	False Carrier 検出 <sup>注5</sup>
17	RE	プリアンプル+SFD までのパケット、またはデータ部が 1 ニブルで終了したパケットの受信 <sup>注5,6</sup>

注 1. CRC エラー, RXER が発生した場合は報告されません。

2. CRC エラーが発生した場合はセット (1) されません。

3. MAC 設定レジスタ 1 (MACC1) の FLCHT ビットがクリア (0) されている場合はセット (1) されません。

4. レングス・フィールドが 1,500 を越えている場合は RLOR ビットに反映され、RLER ビットには反映されません。

5. 前回受信ステータスが更新されてから、今回受信ステータスが更新されるまでの間に条件が発生したことを示します。

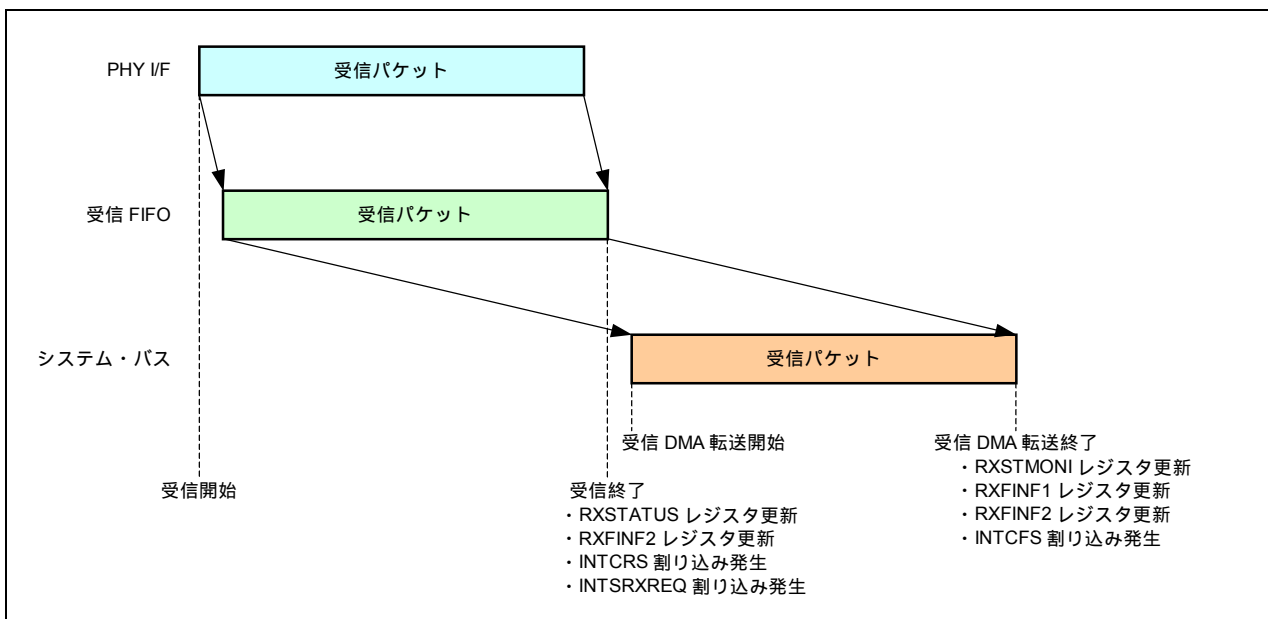
6. これらの条件が発生したパケットは無視され破棄されます。

ビット位置	ビット名	意 味
16	PAIG	前回の受信後，次のいずれかに当てはまる条件が発生した <sup>注5</sup> ・ 6,072 ニブル ( 3,036 バイト ) を超えるキャリア長を検出した場合 ・ パケット受信後，IPG + プリアンブル+SFD が 80 bits time 以下で次のパケットが受信された場合 <sup>注6</sup> ・ ビュア・プリアンブルが設定されている時に不正なプリアンブルまたは SFD を受信した場合 <sup>注6</sup>
15-0	RBYT	受信バイト数

注 5. 前回受信ステータスが更新されてから，今回受信ステータスが更新されるまでの間に条件が発生したことを示します。

注 6. これらの条件が発生したパケットは無視され破棄されます。

図 19-52 受信ステータスの更新タイミング



## (11) 受信ステータス・レジスタ 1 (RXFINF1)

受信パケット長をバイト単位で表示するレジスタです。  
32/16/8 ビット単位でリードのみ可能です。

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
RXFINF1	0 0	RPLEN [15:0]	0F04 2244H
			初期値
			0000 0000H
R/W	R R R R R R R R R R R R R R R R R	R	

ビット位置	ビット名	意味
31-16	-	Reserved ("0"が読み出されます)
15-0	RPLEN	受信パケット長をバイト単位で表示します。 Ether MAC は、受信ディスクリプタのライトバック時に、RPLEN の値を Size フィールドに使用します。

## (12) 受信ステータス・レジスタ 2 (RXFINF2)

受信 FIFO の状態を示すレジスタです。  
32/16/8 ビット単位でリードのみ可能です。

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
RXFINF2	0 0	RPCNT [8:0]      0 0 0 0      RREMAIN [11:0]	0F04 2248H
			初期値
			0000 0800H
R/W	R R R R R R R R R	R      R R R R	R

ビット位置	ビット名	意味
31-25	-	Reserved ("0"が読み出されます)
24-16	RPCNT	受信 FIFO に存在するパケット数を表示します。 受信 FIFO 内に存在するパケット (スタート・フラグ~エンド・フラグ) の数を表示します。 MAC コアからの 1 パケットの書き込みごとにインクリメントされます。ただし、受信破棄されたパケットはカウントされません。 CPU 等からの読み出しでデクリメントされます。またパケット・キャンセルされた場合は、内部でパケットのキャンセル動作が完了 (パケット破棄) した時点でデクリメントされます。
15-12	-	Reserved ("0"が読み出されます)
11-0	RREMAIN	受信 FIFO 残量をバイト単位で表示します。 受信 FIFO は 32 ビット (4 バイト) 単位のため、下位 2 ビットは常に 0 が読み出されます。

(13) 受信ステータス・レジスタ 3 (RXFINF3)

受信停止状態での受信 FIFO の状態を示すレジスタです。

32/16/8 ビット単位でリードのみ可能です。

**注意** 受信系とフロー制御系のモード・レジスタを書き替える場合は、必ずこのレジスタの RXSTOP ビットがセット (1) されていることを確認してから書き替えてください。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	
RXFINF3	<table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 100%;">0 0</td> </tr> </table>	0 0	0F04 224CH 初期値 0000 0001H
0 0			
R/W	R R		

ビット位置	ビット名	意味
31-1	-	Reserved ("0"が読み出されます)
0	RXSTOP	MFF コントロール・レジスタ (MFFCONT) の RXEN ビットがクリア (0) され、受信停止状態に設定されている場合に、受信 FIFO にデータが存在していとき、このビットがセット (1) されます。 受信系とフロー制御系のモード設定レジスタを書き替える場合は、必ずこのビットがセット (1) されていることを確認してから書き替えてください。 0 : 受信 FIFO 動作中 1 : 受信 FIFO 停止中

## (14) FIFO ステータス割り込みレジスタ (FSTATUS)

Ether FIFO ステータス割り込み (INTCFS) の発生要因を示すレジスタです。

FIFO ステータス割り込みマスク・レジスタ (FSTATUS\_MASK) のマスクが解除されている割り込み要因が発生すると、INTCFS が発生します。INTCFS は、要因が発生している間、アサートされ続けます。FSTATUS\_MASK レジスタでマスクされている割り込み要因が発生した場合は、このレジスタの該当ビットがセット (1) されます。

このレジスタをリードすると、このレジスタのすべてのビットがクリア (0) されます。

32/16/8 ビット単位でリードのみ可能です。

**注意** FIFO ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

( 1/2 )

		アドレス																																
		0F04 2250H																																
		初期値																																
		0000 0000H																																
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FSTATUS		0	0	0	0	0	0	0	0	TACOF	0	0	0	0	0	0	0	RACOF	0	0	0	TSUP	TFNRTY	TFWE	0	0	RFFE	RSUP	0	RFWE	RFOF	0	RFFLW	RFZP
R/W		0	0	0	0	0	0	0	0	R	0	0	0	0	0	0	0	R	0	0	0	R	R	R	0	0	R	R	0	R	R	0	R	R

ビット位置	ビット名	意味
31-25	-	Reserved ("0"が読み出されます)
24	TACOF	TX アポート・カウンタ (TXABTCNT) がオーバーフローするとセット (1) されます。
23-17	-	Reserved ("0"が読み出されます)
16	RACOF	RX アポート・カウンタ (RXABTCNT) がオーバーフローするとセット (1) されます。
15-13	-	Reserved ("0"が読み出されます)
12	TSUP	送信により、送信ステータス・モニタ・レジスタ 1, 2 (TXSTMONI1, TXSTMONI2) が更新されるとセット (1) されます。
11	TFNRTY	送信に失敗し、送信 FIFO 内のデータを破棄したときにセット (1) されます。 TX アポート・カウンタ (TXABTCNT) がインクリメントされる条件が該当します。
10	TFWE	送信 FIFO への書き込みエラーでセット (1) されます。
9, 8	-	Reserved ("0"が読み出されます)
7	RFFE	MAC コアから受信 FIFO に受信データを書き込む際に、ハンドシェークが正常に行われなかった場合にセット (1) されます。受信パケット、受信ステータスは無効となりますが、受信動作はキャンセルされません。 <ul style="list-style-type: none"> <li>すべての受信データを FIFO に格納する前に、受信ステータスが更新された場合、受信ステータスが更新された時点でパケットの終了とします。</li> <li>すべての受信データを FIFO に格納したあとに、受信ステータスが更新されなかった場合は、受信ステータスはすべてクリア (0) 状態です。</li> </ul>
6	RSUP	受信ステータス・モニタ・レジスタ (RXSTMONI) が更新された場合にセット (1) されます。 RXSTMONI レジスタ、受信ステータス・レジスタ 1 (RXFINF1) から状態をリードできます。
5	-	Reserved ("0"が読み出されます)
4	RFWE	32 ビット (4 バイト) 以下のパケットを受信したため、受信 FIFO に格納できなかった場合にセット (1) されます。
3	RFOF	受信 FIFO がオーバーフローした場合にセット (1) されます。
2	-	Reserved ("0"が読み出されます)

( 2/2 )

ビット位置	ビット名	意 味
1	RFFLW	受信 FIFO の容量が、フロー制御しきい値レジスタ (FLOWTHRSH) の FLOWTHR フィールド (フロー制御を開始するしきい値) の設定値以上になるとセット (1) されます。
0	RFZP	受信 FIFO の容量が、フロー制御しきい値レジスタ (FLOWTHRSH) の ZPTHR フィールド (ゼロ・ポーズ・コントロール・フレーム送信のしきい値) の設定値以下になるとセット (1) されます。



(15) FIFO ステータス割り込みマスク・レジスタ (FSTATUS\_MASK)

Ether FIFO ステータス割り込み (INTCFIS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると,INTCFIS が発生します。INTCFIS は,要因が発生している間,アサートされ続けます。FSTATUS\_MASK レジスタでマスクされている割り込み要因が発生した場合は,FSTATUS レジスタの該当ビットがセット (1) されます。

32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
FSTATUS_MASK	0	0	0	0	0	0	0	TACOF	0	0	0	0	0	0	0	RACOF	0	0	0	TSUP	TFNRTY	TFWE	0	0	RFFE	RSUP	0	RFWE	RFOF	0	RFFLW	RFZP	0F04 2254H 初期値 0101 1FFFH
R/W	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	R/W	0	0	0	R/W	R/W	R/W	0	0	R/W	R/W	0	R/W	R/W	0	R/W	R/W	

ビット位置	ビット名	意味
31-25	-	Reserved (必ず 1 を設定してください)
24	TACOF	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
23-17	-	Reserved (必ず 1 を設定してください)
16	RACOF	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
15-13	-	Reserved (必ず 1 を設定してください)
12	TSUP	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
11	TFNRTY	
10	TFWE	
9, 8	-	Reserved (必ず 1 を設定してください)
7	RFFE	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
6	RSUP	
5	-	Reserved (必ず 1 を設定してください)
4	RFWE	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
3	RFOF	
2	-	Reserved (必ず 1 を設定してください)
1	RFFLW	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
0	RFZP	

(16) 送信ステータス割り込みレジスタ (TXSTATUS)

送信ステータス割り込み (INTCTS) の発生要因を示すレジスタです。送信ステータスの累積結果が格納されます。

送信ステータス割り込みマスク・レジスタ (TXSTATUS\_MASK) のマスクが解除されている割り込み要因が発生すると、INTCTS が発生します。INTCTS は、要因が発生している間、アサートされ続けます。TXSTATUS\_MASK レジスタでマスクされている割り込み要因が発生した場合は、このレジスタの該当ビットがセット (1) されます。

このレジスタをリードすると、このレジスタのすべてのビットがクリア (0) されます。

32/16/8 ビット単位でリードのみ可能です。

**注意** 送信ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

TXSTATUS	<table border="1" style="border-collapse: collapse; width: 100%; text-align: center;"> <tr> <td style="width: 20px;">31</td><td style="width: 20px;">30</td><td style="width: 20px;">29</td><td style="width: 20px;">28</td><td style="width: 20px;">27</td><td style="width: 20px;">26</td><td style="width: 20px;">25</td><td style="width: 20px;">24</td><td style="width: 20px;">23</td><td style="width: 20px;">22</td><td style="width: 20px;">21</td><td style="width: 20px;">20</td><td style="width: 20px;">19</td><td style="width: 20px;">18</td><td style="width: 20px;">17</td><td style="width: 20px;">16</td><td style="width: 20px;">15</td><td style="width: 20px;">14</td><td style="width: 20px;">13</td><td style="width: 20px;">12</td><td style="width: 20px;">11</td><td style="width: 20px;">10</td><td style="width: 20px;">9</td><td style="width: 20px;">8</td><td style="width: 20px;">7</td><td style="width: 20px;">6</td><td style="width: 20px;">5</td><td style="width: 20px;">4</td><td style="width: 20px;">3</td><td style="width: 20px;">2</td><td style="width: 20px;">1</td><td style="width: 20px;">0</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td style="border: 1px solid black;">TAB</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td style="border: 1px solid black;">TGNT</td><td style="border: 1px solid black;">LCOL</td><td style="border: 1px solid black;">ECOL</td><td style="border: 1px solid black;">TEDFR</td><td style="border: 1px solid black;">TDFR</td><td style="border: 1px solid black;">TFLOR</td><td style="border: 1px solid black;">TFLER</td><td style="border: 1px solid black;">TCRCE</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TAB	0	0	0	0	0	0	0	0	0	TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE	<p>アドレス 0F04 2258H</p> <p>初期値 0000 0000H</p>
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TAB	0	0	0	0	0	0	0	0	0	TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE																																			
R/W	<table border="1" style="border-collapse: collapse; width: 100%; text-align: center;"> <tr> <td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="border: 1px solid black;">R</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="width: 20px;">0</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td><td style="border: 1px solid black;">R</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R																																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R																																					
ビット位置	ビット名	意味																																																																	
31-17	-	Reserved ("0"が読み出されます)																																																																	
16	TAB	送信アポートが発生した。																																																																	
15-8	-	Reserved ("0"が読み出されます)																																																																	
7	TGNT	LMAX レジスタ設定値を超える長さのパケットの送信した (送信アポート (TAB) 要因) ただし MAC 設定レジスタ 1 (MACC1) の HUGEN ビットがセット (1) されている場合は、このビットはセット (1) されません。																																																																	
6	LCOL	レイト・コリジョンの検出 (送信アポート (TAB) 要因)。																																																																	
5	ECOL	最大衝突回数を超える衝突発生 (送信アポート (TAB) 要因)。																																																																	
4	TEDFR	過剰送信遅延を検出 (送信アポート (TAB) 要因)。																																																																	
3	TDFR	送信遅延が発生。																																																																	
2	TFLOR	レングス・フィールドが 1,500 より大きい場合。 VLAN パケット・ポーズ・コントロール・フレーム等の送信も機能します。 ただし MAC 設定レジスタ 1 (MACC1) の FLCHT ビットがクリア (0) されている場合は、セット (1) されません。																																																																	
1	TFLER	レングス・フィールドとデータ・フィールド長の不一致。 ただし、MAC 設定レジスタ 1 (MACC1) の FLCHT ビットがクリア (0) されている場合は、セット (1) されません。また、1,500 を超えるレングス・フィールドに対しては TFLOR ビットに反映され、このビットには反映されません。																																																																	
0	TCRCE	CRC エラー。 CRC 自動付加モードをオフに設定した場合 (MAC 設定レジスタ 1 (MACC1) の PADEN と CRCEN ビットがクリア (0) されている場合) の送信の CRC エラーでセット (1) されます。																																																																	

(17) 送信ステータス割り込みマスク・レジスタ (TXSTATUS\_MASK)

送信ステータス割り込み (INTCTS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTCTS が発生します。INTCTS は、要因が発生している間、アサートされ続けます。TXSTATUS\_MASK レジスタでマスクされている割り込み要因が発生した場合は、TXSTATUS レジスタの該当ビットがセット (1) されます。

32/16/8 ビット単位でリード/ライト可能です。

TXSTATUS_MASK	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
0 0	TAB	0F04 225CH
	0 0	初期値
		0001 01FFH
RW	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 RW 0 0 0 R 0 0 0 0 RW RW RW RW RW RW RW RW RW	

ビット位置	ビット名	意味
31-17	-	Reserved (必ず 1 を設定してください)
16	TAB	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
15-8	-	Reserved (必ず 1 を設定してください)
7	TGNT	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
6	LCOL	
5	ECOL	
4	TEDFR	
3	TDFR	
2	TFLOR	
1	TFLER	
0	TCRCE	

(18) 受信ステータス割り込みレジスタ (RXSTATUS)

受信ステータス割り込み (INTCRS) の発生要因を示すレジスタです。受信ステータスの累積結果が格納されます。

受信ステータス割り込みマスク・レジスタ (RXSTATUS\_MASK) のマスクが解除されている割り込み要因が発生すると、INTCRS が発生します。INTCRS は、要因が発生している間、アサートされ続けます。RXSTATUS\_MASK レジスタでマスクされている割り込み要因が発生した場合は、このレジスタの該当ビットがセット (1) されます。

このレジスタをリードすると、このレジスタのすべてのビットがクリア (0) されます。

32/16/8 ビット単位でリードのみ可能です。

**注意** 受信ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
RXSTATUS	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	RLENE VLAN USOP RPCF RCFR DBNB RLOR RLER RCRCE RXER CEPS REPS PAIG TXRX DVCF	0F04 2260H 初期値 0000 0000H
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	R R	

ビット位置	ビット名	意味
31-15	-	Reserved ("0"が読み出されます)
14	RLENE	受信パケット・レングス・エラー 受信したパケットが、64 バイト未満または 1,518 バイトより大きいことを示します。 (VLAN パケットの場合は、64 バイト未満または 1,522 バイトより大きい場合)
13	VLAN	VLAN パケット受信 (TPID フィールドが VLTP と一致したパケットの受信 <sup>1)</sup> )
12	USOP	未定義オペコードコントロール・パケット受信 <sup>2)</sup>
11	RPCF	ポーズ・コントロール・パケット受信 <sup>2)</sup>
10	RCFR	コントロール・パケット受信 <sup>2)</sup>
9	DBNB	ドリブル・ニブルを含むパケットの受信
8	RLOR	レングス・フィールドが、1,500 を超えるパケットの受信 <sup>3)</sup>
7	RLER	レングス・フィールドが、データ・フィールド長と不一致 <sup>3,4)</sup>
6	RCRCE	受信 CRC エラー
5	RXER	RXER 検出
4	CEPS	False Carrier 検出 <sup>5)</sup>
3	REPS	プリアンブル + SFD までのパケット、またはデータ部が 1 ニブル <sup>5,6)</sup>
2	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した <sup>5)</sup> <ul style="list-style-type: none"> <li>6,072 ニブル (3,036 バイト) を越えるキャリア長を検出した場合</li> <li>パケット受信後、IPG + プリアンブル + SFD が 80 bits time 以下で次のパケットが受信された場合</li> <li>ピュア・プリアンブルが設定されている (MAC 設定レジスタ 1 (MACC1) の PUREP ビットがセット (1) されている) ときに不正なプリアンブルまたは SFD を受信した場合</li> </ul>
1	TXRX	半二重受信中 (受信開始直後) に送信を開始 (コリジョン発生) した場合
0	DVCF	受信したパケットが有効 (エラーを含まない) コントロール・パケットであった場合

**備考** 注の説明は次のページにあります。

- 注 1. CRC エラー , RXER が発生した場合はセット (1) されません。
2. CRC エラーが発生した場合はセット (1) されません。
  3. MAC 設定レジスタ 1 (MACC1) の FLCHT ビットがクリア (0) されている場合はセット (1) されません。
  4. レンクス・フィールドが 1,500 を越えている場合は RLOR ビットに反映され , RLER ビットには反映されません。
  5. 前回受信ステータスが更新されてから , 今回受信ステータスが更新されるまでの間に条件が発生したことを示します。
  6. これらの条件が発生したパケットは無視され破棄されます。



(20) TX アボート・カウンタ (TXABTCNT)

送信アボート・カウントです。MAC 送信エラーとなったパケット数をカウントします (アンダーランも含む)。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
TXABTCNT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2270H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	TABCNT [15:0]																0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-16	-	Reserved (必ず 0 を設定してください)
15-0	TABCNT	送信アボート・カウントです。 MAC 送信エラーとなったパケット数をカウントします (アンダーランも含む)。 MFF コントロール・レジスタ (MFFCONT) の TABT ビットをセット (1) して、送信アボート・パケットを再送する設定にしている場合はカウントされません。 MFF コントロール・レジスタ (MFFCONT) の TXTHRC ビットをセット (1) している場合はアボートによる再送は実行されないため、カウントされます。 68 バイト転送以後のリトライ要求では再送しないためカウントされます (通常は 64 バイト転送後に MAC コアがリトライ要求を出すことはありません)。 カウント値がオーバーフローした場合、値は 0 に戻り、FIFO ステータス割り込みレジスタ (FSTATUS) の TACOF ビットがセットされ、INTCFS 割り込みが発生します。 MAC 設定レジスタ 2 (MACC2) の TFRST ビットのセット (1)、ソフトウェア・リセット制御レジスタ (RSTCNT) の TFFLSH ビットのセット (1) による送信回路リセットではクリアされません。

(21) RX アポート・カウンタ (RXABTCNT)

受信アポート・カウンタです。受信パケットのステータスや、受信 FIFO のステータス、MAC コアのアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。

32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RXABTCNT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2274H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	RABCNT [15:0]															0000 0000H	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
31-16	-	Reserved (必ず 0 を設定してください)
15-0	RABCNT	受信アポート・カウンタです。 受信パケットのステータスや、受信 FIFO のステータス、MAC コアのアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。 カウント値がオーバーフローした場合、値は 0 に戻り、FIFO ステータス割り込みレジスタ (FSTATUS) の RACOF ビットがセット (1) され、INTCFS 割り込みが発生します。 MAC 設定レジスタ 2 (MACC2) の RFRST ビットのセット (1)、ソフトウェア・リセット制御レジスタ (RSTCNT) の RFFLSH ビットのセット (1) による送信回路リセットではクリアされません。



## 19.10.6 送受信 MACAD 制御レジスタ

### (1) ディスクリプタ解析制御レジスタ (ANLCTL)

受信スタート・ディスクリプタ, 送信スタート・ディスクリプタの解析を指示するレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
ANLCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	RXS	TXS	0	0F04 2300H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味
31-19	-	Reserved (必ず 0 を設定してください)
18	RXS	受信スタート・ディスクリプタの解析を行います。 このビットの値は, セット (1) 後, 自動的にクリア (0) されます。 0 : IDLE 1 : Start
17	TXS	送信スタート・ディスクリプタの解析を行います。 このビットの値は, セット (1) 後, 自動的にクリア (0) されます。 0 : IDLE 1 : Start
16-0	-	Reserved (必ず 0 を設定してください)

(2) 割り込みレジスタ (INTMS)

送受信用 MACAD の INTSCRX, INTSCTX 割り込みのステータス, 割り込みマスク・レジスタです。  
32/16/8 ビット単位でリード・ライト可能です。ビット 19-16, 3-0 はリードのみ可能です。

**注意** RUPI, RBEI, RECI, RXI, TUPI, TBEI, TECI, TXI ビットは, リードでクリアされます。同時に発生している複数の割り込み要因を検出するために, いったん変数などにコピーして処理することを推奨します。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		アドレス																																
INTMS	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td> <td style="width: 4%;">RUSMSK</td><td style="width: 4%;">RBEMSK</td><td style="width: 4%;">RECMSK</td><td style="width: 4%;">RXMSK</td> <td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td> <td style="width: 4%;">RUPI</td><td style="width: 4%;">RBEI</td><td style="width: 4%;">RECI</td><td style="width: 4%;">RXI</td> <td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td> <td style="width: 4%;">TUSMSK</td><td style="width: 4%;">TBEMSK</td><td style="width: 4%;">TECMSK</td><td style="width: 4%;">TXMSK</td> <td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td><td style="width: 4%;">0</td> <td style="width: 4%;">TUPI</td><td style="width: 4%;">TBEI</td><td style="width: 4%;">TECI</td><td style="width: 4%;">TXI</td> </tr> </table>	0	0	0	0	RUSMSK	RBEMSK	RECMSK	RXMSK	0	0	0	0	RUPI	RBEI	RECI	RXI	0	0	0	0	TUSMSK	TBEMSK	TECMSK	TXMSK	0	0	0	0	TUPI	TBEI	TECI	TXI		0F04 2304H 初期値 0F00 0F00H
0	0	0	0	RUSMSK	RBEMSK	RECMSK	RXMSK	0	0	0	0	RUPI	RBEI	RECI	RXI	0	0	0	0	TUSMSK	TBEMSK	TECMSK	TXMSK	0	0	0	0	TUPI	TBEI	TECI	TXI				
R/W	0 0 0 0 R/W R/W R/W R/W 0 0 0 0 R R R R 0 0 0 0 R/W R/W R/W R/W 0 0 0 0 0 0 0 0 R R R																																		

ビット位置	ビット名	意味	
31-28	-	Reserved (必ず 0 を設定してください)	
27	RUSMSK	ビット 19 の RUPI 割り込みのマスク・ビットです。	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
26	RBEMSK	ビット 18 の RBEI 割り込みのマスク・ビットです。	
25	RECMSK	ビット 17 の RECI 割り込みのマスク・ビットです。	
24	RXMSK	ビット 16 の RXI 割り込みのマスク・ビットです。	
23-20	-	Reserved (必ず 0 を設定してください)	
19	RUPI	受信ディスクリプタ Used ビットによる一時停止割り込みです。	INTSCRX 0 : 割り込みは発生していない 1 : 割り込みが発生している。 リードでクリア (0) されます。
18	RBEI	受信データ・バッファ・アクセス・エラー割り込みです。	
17	RECI	受信 DMA エンド・オブ・チェーン割り込みです。	
16	RXI	パケット受信 DMA 転送完了割り込みです。	
15-12	-	Reserved (必ず 0 を設定してください)	
11	TUSMSK	ビット 3 の TUPI 割り込みのマスク・ビットです。	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
10	TBEMSK	ビット 2 の TBEI 割り込みのマスク・ビットです。	
9	TECMSK	ビット 1 の TECI 割り込みのマスク・ビットです。	
8	TXMSK	ビット 0 の TXI 割り込みのマスク・ビットです。	
7-4	-	Reserved (必ず 0 を設定してください)	
3	TUPI	送信ディスクリプタ Used ビットによる一時停止割り込みです。	INTSCTX 0 : 割り込みは発生していない 1 : 割り込みが発生している。 リードでクリア (0) されます。
2	TBEI	送信データ・バッファ・アクセス・エラー割り込みです。	
1	TECI	送信 DMA エンド・オブ・チェーン割り込みです。	
0	TXI	パケット送信 DMA 転送完了割り込みです。	

(3) 転送制御レジスタ (TRANSCTL)

送受信 MACAD の転送制御を行うレジスタです。

32/16/8 ビット単位でリード・ライト可能です。ビット 25, 24 はリードのみ可能です。

TRANSCTL	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">31</td><td style="width: 5%;">30</td><td style="width: 5%;">29</td><td style="width: 5%;">28</td><td style="width: 5%;">27</td><td style="width: 5%;">26</td><td style="width: 5%;">25</td><td style="width: 5%;">24</td><td style="width: 5%;">23</td><td style="width: 5%;">22</td><td style="width: 5%;">21</td><td style="width: 5%;">20</td><td style="width: 5%;">19</td><td style="width: 5%;">18</td><td style="width: 5%;">17</td><td style="width: 5%;">16</td><td style="width: 5%;">15</td><td style="width: 5%;">14</td><td style="width: 5%;">13</td><td style="width: 5%;">12</td><td style="width: 5%;">11</td><td style="width: 5%;">10</td><td style="width: 5%;">9</td><td style="width: 5%;">8</td><td style="width: 5%;">7</td><td style="width: 5%;">6</td><td style="width: 5%;">5</td><td style="width: 5%;">4</td><td style="width: 5%;">3</td><td style="width: 5%;">2</td><td style="width: 5%;">1</td><td style="width: 5%;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">RXEN_STA</td><td style="text-align: center;">TXEN_STA</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">RXEN</td><td style="text-align: center;">TXEN</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">USE</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">RXCHKSMEN</td> </tr> </table>	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	RXEN_STA	TXEN_STA	0	0	0	0	0	0	RXEN	TXEN	0	0	0	0	0	0	0	USE	0	0	0	0	0	0	0	RXCHKSMEN	<p>アドレス 0F04 2308H</p> <p>初期値 0003 0000H</p>
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																			
0	0	0	0	0	0	RXEN_STA	TXEN_STA	0	0	0	0	0	0	RXEN	TXEN	0	0	0	0	0	0	0	USE	0	0	0	0	0	0	0	RXCHKSMEN																																			
R/W	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">R</td><td style="width: 5%;">R</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">R/W</td><td style="width: 5%;">R/W</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">R/W</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">0</td><td style="width: 5%;">R/W</td> </tr> </table>	0	0	0	0	0	0	R	R	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	R/W																																	
0	0	0	0	0	0	R	R	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	0	R/W																																			
ビット位置	ビット名	意味																																																																
31-26	-	Reserved (必ず 0 を設定してください)																																																																
25	RXEN_STA	<p>受信ステータス・ビットです。</p> <p>0 : 受信動作は行われていない (IDLE 状態)</p> <p>1 : 受信動作中</p> <p>割り込みレジスタ (INTMS) の RBEI, RECI 割り込みが発生した場合, 受信動作は停止します。このときも, このビットはクリア (0) されます。</p>																																																																
24	TXEN_STA	<p>送信ステータス・ビットです。</p> <p>0 : 送信動作は行われていない (IDLE 状態)</p> <p>1 : 送信動作中</p> <p>割り込みレジスタ (INTMS) の TBEI, TECI 割り込みが発生した場合, 送信動作は停止します。このときも, このビットはクリア (0) されます。</p>																																																																
23-18	-	Reserved (必ず 0 を設定してください)																																																																
17	RXEN	<p>受信イネーブル・ビットです。</p> <p>0 : 禁止 (受信 DMA 転送は停止します)</p> <p>1 : 許可</p>																																																																
16	TXEN	<p>送信イネーブル・ビットです。</p> <p>0 : 禁止 (送信 DMA 転送は停止します)</p> <p>1 : 許可</p>																																																																
15-9	-	Reserved (必ず 0 を設定してください)																																																																
8	USE	<p>ディスクリプタをリードし, U ビットがセット (1) されていた場合の動作を指定します。</p> <p>0 : 一時停止</p> <p>1 : 中止 (EOC : エンド・オブ・チェーン)</p>																																																																
7-1	-	Reserved (必ず 0 を設定してください)																																																																
0	RXCHKSMEN	<p>受信チェックサム付加機能の ON / OFF を制御します。</p> <p>0 : 受信チェックサム付加機能 OFF</p> <p>1 : 受信チェックサム付加機能 ON</p>																																																																

(4) ソフトウェア・リセット・レジスタ (SFTRST)

送受信用 MACAD をソフトウェア・リセットするためのレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

**注意** ソフトウェア・リセット後は、システム・バス・クロック (HCLK) の 3 クロック分のウエイトが必要のため、SFTRST レジスタのリードバックで、その時間を設けてください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
SFTRST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 230CH	
	初期値																															0000 0000H		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意味
31-1	-	Reserved (必ず 0 を設定してください)
0	SFTRST	送受信用 MACAD のソフトウェア・リセット・ビットです。 このビットをセット (1) すると、送受信用 MACAD と受信チェックサム・コアがリセットされます。このビットは、リセット後、自動的にクリア (0) されます。

(5) DMA 制御モード・レジスタ (DMACM)

送受信用 MACAD の DMA コントローラの、バースト転送タイプを指定するレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMACM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F04 2310H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	BURST [2:0]			0	0	0	1	0	0	0	0	0000 0010H
R/W	0	0	0	0	0	R/W	R/W	R/W	0	0	0	1	0	0	0	0	

ビット位置	ビット名	意味																								
31-11	-	Reserved (必ず 0 を設定してください)																								
10-8	BURST [2:0]	内部システム・バスに対するバースト転送のタイプを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BURST2</th> <th>BURST1</th> <th>BURST0</th> <th>転送タイプ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>シングル転送</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>4 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>8 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>16 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	BURST2	BURST1	BURST0	転送タイプ	0	0	0	シングル転送	0	1	1	4 ビット・インクリメント式バースト転送モード	1	0	0	8 ビット・インクリメント式バースト転送モード	1	1	1	16 ビット・インクリメント式バースト転送モード	上記以外			設定禁止
BURST2	BURST1	BURST0	転送タイプ																							
0	0	0	シングル転送																							
0	1	1	4 ビット・インクリメント式バースト転送モード																							
1	0	0	8 ビット・インクリメント式バースト転送モード																							
1	1	1	16 ビット・インクリメント式バースト転送モード																							
上記以外			設定禁止																							
7-0	-	Reserved (必ず 0 を設定してください)																								

## (6) 受信ディスクリプタ・ポインタ (RXDP)

送受信 MACAD の、受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00b 固定です。

32 ビット単位でリード/ライト可能です。

	31		2	1	0	アドレス	初期値	
RXDP	RXDP [31:2]				0	0	0F04 2320H	FFFF FFFCH
R/W	R/W							
ビット位置	ビット名	意 味						
31-2	RXDP	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。						
1, 0	-	0 固定です。						

## (7) ラスト受信ディスクリプタ・ポインタ (LSTRXDP)

送受信 MACAD の、最終受信ディスクリプタ・アドレスを示します。下位 2 ビットは 00b 固定です。

32 ビット単位でリードのみ可能です。

	31		2	1	0	アドレス	初期値	
LSTRXDP	LSTRXDP [31:2]				0	0	0F04 2324H	FFFF FFFCH
R	R							
ビット位置	ビット名	意 味						
31-2	LSTRXDP	最終受信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。						
1, 0	-	0 固定です。						

## (8) 送信ディスクリプタ・ポインタ (TXDP)

送受信 MACAD の、受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00b 固定です。

32 ビット単位でリード/ライト可能です。

	31		2	1	0	アドレス	初期値	
TXDP	TXDP [31:2]				0	0	0F04 2328H	FFFF FFFCH
R/W	R/W							
ビット位置	ビット名	意味						
31-2	TXDP	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。						
1, 0	-	0 固定です。						

## (9) ラスト送信ディスクリプタ・ポインタ (LSTTXDP)

送受信 MACAD の、最終送信ディスクリプタ・アドレスを示します。下位 2 ビットは 00b 固定です。

32 ビット単位でリードのみ可能です。

	31		2	1	0	アドレス	初期値	
LSTTXDP	LSTTXDP [31:2]				0	0	0F04 232CH	FFFF FFFCH
R	R							
ビット位置	ビット名	意味						
31-2	LSTTXDP	最終送信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。						
1, 0	-	0 固定です。						

### 19.10.7 送信チェックサム用 MACAD 制御レジスタ

(1) 送信チェックサム・ディスクリプタ解析制御レジスタ (TCH\_ANLCTL)

受信スタート・ディスクリプタ, 送信スタート・ディスクリプタの解析を指示するレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
TCH _ANLCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	TCH_ RXS	TCH_ TXS	0	0F04 2700H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味
31-19	-	Reserved (必ず 0 を設定してください)
18	TCH_RXS	受信スタート・ディスクリプタの解析を行います。 このビットの値は, セット (1) された直後にクリア (0) されます。 0 : IDLE 1 : Start
17	TCH_TXS	送信スタート・ディスクリプタの解析を行います。 このビットの値は, セット (1) された直後にクリア (0) されます。 0 : IDLE 1 : Start
16-0	-	Reserved (必ず 0 を設定してください)

(2) 送信チェックサム割り込みレジスタ (TCH\_INTMS)

送信チェックサム用 MACAD の INTSCRXTCH, INTSCTXTCH 割り込みのステータス, 割り込みマスク・レジスタです。

32/16/8 ビット単位でリード・ライト可能です。ビット 19-16, 3-0 はリードのみ可能です。

**注意** TCH\_RUPI, TCH\_RBEI, TCH\_RECI, TCH\_RXI, TCH\_TUPI, TCH\_TBEI, TCH\_TECI, TCH\_TXI ビットは, リードでクリアされます。同時に発生している複数の割り込み要因を検出するために, いったん変数などにコピーして処理することを推奨します。

TCH_INTMS	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
	0 0 0 0 TCH_RUSMSK TCH_RBEMSK TCH_RECMSK TCH_RXMSK 0 0 0 0 TCH_RUPI TCH_RBEI TCH_RECI TCH_RXI 0 0 0 0 TCH_TUSMSK TCH_TBEMSK TCH_TECMSK TCH_TXMSK 0 0 0 0 TCH_TUPI TCH_TBEI TCH_TECI TCH_TXI	0F04 2704H 初期値 0F00 0F00H
R/W	0 0 0 0 R/W R/W R/W R/W 0 0 0 0 R R R R 0 0 0 0 R/W R/W R/W R/W 0 0 0 0 R R R R	

ビット位置	ビット名	意味	
31-28	-	Reserved (必ず 0 を設定してください)	
27	TCH_RUSMSK	ビット 19 の TCH_RUPI 割り込みのマスク・ビットです。	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
26	TCH_RBEMSK	ビット 18 の TCH_RBEI 割り込みのマスク・ビットです。	
25	TCH_RECMSK	ビット 17 の TCH_RECI 割り込みのマスク・ビットです。	
24	TCH_RXMSK	ビット 16 の TCH_RXI 割り込みのマスク・ビットです。	
23-20	-	Reserved (必ず 0 を設定してください)	
19	TCH_RUPI	受信ディスクリプタ Used ビットによる一時停止割り込みです。	INTSCRXTCH 0 : 割り込みは発生していない 1 : 割り込みが発生している リードでクリア (0) されます。
18	TCH_RBEI	受信データ・バッファ・アクセス・エラー割り込みです。	
17	TCH_RECI	受信 DMA エンド・オブ・チェーン割り込みです。	
16	TCH_RXI	パケット受信 DMA 転送完了割り込みです。	
15-12	-	Reserved (必ず 0 を設定してください)	
11	TCH_TUSMSK	ビット 3 の TCH_TUPI 割り込みのマスク・ビットです。	0 : マスク解除 (割り込み発生) 1 : マスク (割り込みは発生しない)
10	TCH_TBEMSK	ビット 2 の TCH_TBEI 割り込みのマスク・ビットです。	
9	TCH_TECMSK	ビット 1 の TCH_TECI 割り込みのマスク・ビットです。	
8	TCH_TXMSK	ビット 0 の TCH_TXI 割り込みのマスク・ビットです。	
7-4	-	Reserved (必ず 0 を設定してください)	
3	TCH_TUPI	送信ディスクリプタ Used ビットによる一時停止割り込みです。	INTSCTXTCH 0 : 割り込みは発生していない 1 : 割り込みが発生している リードでクリア (0) されます。
2	TCH_TBEI	送信データ・バッファ・アクセス・エラー割り込みです。	
1	TCH_TECI	送信 DMA エンド・オブ・チェーン割り込みです。	
0	TCH_TXI	パケット送信 DMA 転送完了割り込みです。	



## (3) 送信チェックサム転送制御レジスタ (TCH\_TRANSCTL)

送信チェックサム用 MACAD の送受信制御を行うレジスタです。

32/16/8 ビット単位でリード・ライト可能です。ビット 25, 24 はリードのみ可能です。

TCH_TRANSCTL		アドレス																																				
		0F04 2708H																																				
		初期値																																				
		0003 0000H																																				
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
		0	0	0	0	0	0	TCH_RXEN_STA	TCH_TXEN_STA	0	0	0	0	0	0	0	TCH_RXEN	TCH_TXEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
		R/W	0	0	0	0	0	R	R	0	0	0	0	0	0	R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W		
ビット位置	ビット名	意味																																				
31-26	-	Reserved (必ず 0 を設定してください)																																				
25	TCH_RXEN_STA	受信ステータス・ビットです。 0 : 受信動作は行われていない (IDLE 状態) 1 : 受信動作中 送信チェックサム割り込みレジスタ (TCH_INTMS) の TCH_RBEI, TCH_RECI 割り込みが発生した場合、受信動作は停止します。このときも、このビットはクリア (0) されます。																																				
24	TCH_TXEN_STA	送信ステータス・ビットです。 0 : 送信動作は行われていない (IDLE 状態) 1 : 送信動作中 送信チェックサム割り込みレジスタ (TCH_INTMS) の TCH_TBEI, TCH_TECI 割り込みが発生した場合、送信動作は停止します。このときも、このビットはクリア (0) されます。																																				
23-18	-	Reserved (必ず 0 を設定してください)																																				
17	TCH_RXEN	受信イネーブル・ビットです。 0 : 禁止 (受信 DMA 転送は停止します) 1 : 許可																																				
16	TCH_TXEN	送信イネーブル・ビットです。 0 : 禁止 (送信 DMA 転送は停止します) 1 : 許可																																				
15-0	-	Reserved (必ず 0 を設定してください)																																				

(4) 送信チェックサム・ソフトウェア・リセット・レジスタ (TCH\_SFTRST)

送信チェックサム用 MACAD をソフトウェア・リセットするためのレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

**注意** ソフトウェア・リセット後は、システム・バス・クロック (HCLK) の 3 クロック分のウエイトが必要のため、TCH\_SFTRST レジスタのリードバックで、その時間を設けてください。

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
TCH_SFTRST		0 0	0F04 270CH
			初期値 0000 0000H
R/W		0 0	

ビット位置	ビット名	意味
31-26	-	Reserved (必ず 0 を設定してください)
0	TCH_SFTRST	送信チェックサム用 MACAD のソフトウェア・リセット・ビットです。 このビットをセット (1) すると、送信チェックサム用 MACAD と送信チェックサム・コアがリセットされます。このビットは、リセット後、自動的にクリア (0) されます。

(5) 送信チェックサム DMA 制御モード設定レジスタ (TCH\_DMAMC)

送信チェックサム用 MACAD の DMA コントローラのバースト転送タイプを指定するレジスタです。  
32/16/8 ビット単位でリード/ライト可能です。

		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	アドレス
TCH_DMAMC		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0F04 2710H
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
		15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	初期値
		0 0 0 0 0 BURST [2:0] 0 0 0 1 0 0 0 0	0000 0010H
R/W		0 0 0 0 0 R/W R/W R/W 0 0 0 1 0 0 0 0	

ビット位置	ビット名	意味																								
31-11	-	Reserved (必ず 0 を設定してください)																								
10-8	BURST [2:0]	内部システム・バスに対するバースト転送のタイプを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BURST2</th> <th>BURST1</th> <th>BURST0</th> <th>転送タイプ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>シングル転送</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>4 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>8 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>16 ビット・インクリメント式バースト転送モード</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	BURST2	BURST1	BURST0	転送タイプ	0	0	0	シングル転送	0	1	1	4 ビット・インクリメント式バースト転送モード	1	0	0	8 ビット・インクリメント式バースト転送モード	1	1	1	16 ビット・インクリメント式バースト転送モード	上記以外			設定禁止
BURST2	BURST1	BURST0	転送タイプ																							
0	0	0	シングル転送																							
0	1	1	4 ビット・インクリメント式バースト転送モード																							
1	0	0	8 ビット・インクリメント式バースト転送モード																							
1	1	1	16 ビット・インクリメント式バースト転送モード																							
上記以外			設定禁止																							
7-0	-	Reserved (必ず"0"を設定してください)																								

## (6) 送信チェックサム受信ディスクリプタ・ポインタ (TCH\_RXDP)

送信チェックサム用 MACAD の、受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00b 固定です。

32 ビット単位でリード/ライト可能です。

31		2		1	0	アドレス	初期値
TCH_RXDP	TCH_RXDP [31:2]				0	0	0F04 2720H FFFF FFFCH
R/W		R/W					
ビット位置	ビット名	意 味					
31-2	TCH_RXDP	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。					
1, 0	-	0 固定です。					

## (7) 送信チェックサム・ラスト受信ディスクリプタ・ポインタ (TCH\_LSTRXDP)

送信チェックサム用 MACAD の、最終受信ディスクリプタ・アドレスを示します。下位 2 ビットは 00b 固定です。

32 ビット単位でリードのみ可能です。

31		2		1	0	アドレス	初期値
TCH_LSTRXDP	TCH_LSTRXDP [31:2]				0	0	0F04 2724H FFFF FFFCH
R		R					
ビット位置	ビット名	意 味					
31-2	TCH_LSTRXD P	最終受信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。					
1, 0	-	0 固定です。					

## (8) 送信チェックサム送信ディスクリプタ・ポインタ (TCH\_TXDP)

送信チェックサム用 MACAD の、受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00b 固定です。

32 ビット単位でリード/ライト可能です。

		31				2 1 0	アドレス	初期値
TCH_TXDP	TCH_TXDP [31:2]					0 0	0F04 2728H	FFFF FFFCH
		R/W						
		R/W						
ビット位置	ビット名	意 味						
31-2	TCH_TXDP	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。						
1, 0	-	0 固定です。						

## (9) 送信チェックサム・ラスト送信ディスクリプタ・ポインタ (TCH\_LSTTXDP)

送信チェックサム用 MACAD の、最終送信ディスクリプタ・アドレスを示します。下位 2 ビットは 00b 固定です。

32 ビット単位でリードのみ可能です。

		31				2 1 0	アドレス	初期値
TCH_LSTTXDP	TCH_LSTTXDP [31:2]					0 0	0F04 272CH	FFFF FFFCH
		R						
		R						
ビット位置	ビット名	意 味						
31-2	TCH_LSTTXDP	最終送信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。						
1, 0	-	0 固定です。						

## 19.11 注意事項

### 19.11.1 各種制御レジスタの変更について

動作モードを設定する各種レジスタの変更や、TXFIFO, RXFIFO, フロー制御の動作モードなどを変更する場合には、回路が完全に停止している状態で行う必要があります。

#### (1) 回路停止状態の確認例：MFF 制御モードの変更

MFF コントロール・レジスタ (MFFCONT) の TXEN, RXEN をクリア (0) しても、すぐに内部回路は停止しません。

送信ステータス・レジスタ 2 (TXFINF2) の TXSTOP, RXSTOP ビットがセット (1) され、内部回路が完全に停止したあとに、動作モードの変更を行ってください。

#### (a) 送信 FIFO モードの変更

MFFCONT レジスタの TXEN ビットをクリア (0) すると、その時点で送信 FIFO に書き込み途中の packets を最後まで書き込んでから、以降の packets 書き込みが停止されます。送信 FIFO 中の packets は MAC コア側にすべて送信します。送信 FIFO のデータをすべて転送した時点で、TXFINF2 レジスタの TXSTOP ビットがセット (1) されます。動作モードを変更する場合は、これを確認してから変更してください。

該当するのは、MFF コントロール・レジスタ (MFFCONT) の TXTHRC ビットです。

MFFCONT レジスタの TABT をセット (1) していると、MAC コアから MFF コアへのアポート要求に対しても Ether MAC は再送動作を実行します。何らかの原因 (回線異常など) で送信できない状態にある場合、無限ループに陥る可能性があります。

この状態で、MFFCONT レジスタの TXEN ビットをクリア (0) しても再送を繰り返し、TXFINF2 レジスタの TXSTOP ビットはセット (1) されません。この場合、TXFINF2 レジスタの TXSTOP がクリア (0) されていても MFFCONT レジスタの TABT ビットをクリア (0) することで、送信回路を停止できます。

#### (b) 受信 FIFO モードの変更

MFFCONT レジスタの RXEN ビットをクリア (0) すると、その時点で受信 FIFO に書き込み途中の packets を最後まで書き込んでから、以降の packets の書き込みが停止されます。受信 FIFO 中の packets は内外のメモリにすべて転送されます。

受信 FIFO のデータをすべて転送した時点で、受信ステータス・レジスタ 3 (RXFINF3) の RXSTOP ビットがセット (1) されます。動作モードを変更する場合は、これを確認してから変更してください。

該当するのは MFF コントロール・レジスタ (MFFCONT) の RXTHRC, RXSDMA [1:0], ASOE, APS, APL, FLOWCNT ビット, フロー制御しきい値レジスタ (FLOWTHRESH) です。

(2) 回路停止状態の確認例：MACAD 制御モードの変更

転送制御レジスタ (TRANSCTL) の TXEN, RXEN ビットをクリア (0) しても、すぐに内部回路は停止しません。

TRANSCTL レジスタの TXEN\_STA, RXEN\_STA ビットがクリア (0) され、内部回路が完全に停止したあとに、動作モードの変更を行ってください。

DMA 転送中に DMA 制御モード設定レジスタ (DMACM) の BURST [2:0] フィールドを変更すると、バーストのアライメントが不正となる可能性があるため、DMA 転送中には、DMACM レジスタの設定は変更しないでください。

### 19.11.2 MACC1, MACC2 レジスタの設定変更時の注意

MAC 設定レジスタ 1, 2 (MACC1, MACC2) の設定変更時は、次の点に注意してください。

MACC1 レジスタの SRXEN ビット、および各ソフトウェア・リセット・ビットを除く MACC1, MACC2 レジスタの各設定ビットを変更する場合は、レジスタ設定後、必ず MCRST, RFRST, TFRST ビットによりソフトウェア・リセットを行ってください。

### 19.11.3 受信動作 / 送信動作ハングアップ時の復帰例

オート・ネゴシエーションで対向機とネゴシエーションが取れずに異なる通信モードで通信した場合、ケーブルが外れた場合、PHY が故障した場合などで送受信動作が強制的に中断された場合、PHY デバイスが規定から外れたタイミングで動作する可能性があります。この場合 Ether MAC コアが誤動作を起こし、その後の送受信動作ができなくなる可能性があります。

このような原因により送受信動作がハングアップしてしまった場合、ソフトウェア・リセットにより、問題が発生したポートのみを復帰させることができます (19.9.2 初期化 (2) ソフトウェア・リセット参照)。

- (i) 動作状態の検出：PHY デバイスのリンク信号などにより送受信が中断したことを検出 (検出方法は使用する PHY デバイスの仕様を確認してください)。
- (ii) パケット送受信の停止：MAC 設定レジスタ 1 (MACC1) の SRXEN ビットをクリア (0) し、新たなパケット受信を禁止します。送信はソフトウェアで新たなパケット書き込みを禁止します。
- (iii) ソフトウェア・リセットの実行：MAC 設定レジスタ 2 (MACC2) の MCRST, RFRST, TFRST ビットをセット (1) し、ソフトウェア・リセットを行います。
- (iv) MAC 設定レジスタ 1 (MACC1) の SRXEN ビットをセット (1) し、受信を再開します。

### 19.11.4 MIIC レジスタの MIRST ビット操作の注意

MII コンフィギュレーション・レジスタ (MIIC) の MIRST ビットで MII マネジメント・インタフェース・ブロックにソフトウェア・リセットをかけたあと、リセット解除後にマネジメント・アクセスする場合には、60×システム・バス・クロック (HCLK) 以上経過してから MII コマンド・レジスタ (MCMD)、MII ライト・データ・レジスタ (MWTD) にアクセスしてください。

### 19.11.5 異常 Ethernet MAC フレーム受信時の動作について（制限事項）

18 バイト長のパケットを受信し、そのパケットの TYPE フィールドが 8808H のコントロール・フレームの場合、次に受信したフレームの種類により以下のように動作します。

表 19-26 異常 Ethernet MAC フレーム受信時ステータス

異常フレーム(18 バイト・フレームの種類)	次の正常フレーム	「次の正常フレーム」受信に対するステータス		
		RCFR (コントロール)	RPCF (ポーズ・コントロール)	USPP (未定義コントロール)
ポーズ・コントロール	データ	注	注	
ポーズ・コントロール	ポーズ・コントロール			
ポーズ・コントロール	未定義コントロール		注	
ポーズ・コントロール	CRC エラー・データ			
未定義コントロール	データ	注		注
未定義コントロール	ポーズ・コントロール	注		
未定義コントロール	未定義コントロール			
未定義コントロール	CRC エラー・データ			
データ(18 バイト)	データ			

注 このような信号は、仕様では発生しません。

備考 : 次のフレームに対する受信ステータスは有効なため、ステータスに従って処理してください。  
: 次のフレームに対する受信ステータスの仕様と異なります。発生した場合は無視してください。

- (1) パケットを生成するシステムが意図的に 18 バイトのパケットを生成する場合の注意事項  
規格上の最小パケットは 64 バイトです。通常、規格を満たすパケット受信時の全二重通信モードでは上記動作は発生しません。
- (2) 半二重通信モードでの注意事項  
半二重通信モードではポーズ制御自体が対象外です。ポーズ・コントロール・フレームを受信した場合は無視してください。コリジョンによりパケット長が 18 バイトになる場合がありますが、この場合も無視してください。
- (3) 動作モードのネゴシエーションについての注意事項  
一部の環境において、半二重モードの対向機の MAC がコリジョンを発行した際に、18 バイトで切断されたパケットを全二重モードの MAC が受信した場合に、この現象発生する場合があります。  
これは互いの動作モードのネゴシエーションができていないことが原因です。ソフトウェアでネゴシエーションを取り、対向機の動作モードに合わせてください。

### 19.11.6 MDC 分周比の設定/変更時

MII コンフィギュレーション・レジスタ (MIIC) の CLKS [2:0] フィールドにより、MDC の分周比を変更した場合、規格値 (400ns) より短い周期のパルスが一時的に出力される場合があります。これが使用する PHY の動作に影響を与える場合は、MIIC レジスタの PHYSEL ビットにより、マネジメント・フレーム以外の MDC 出力を停止させてください。

### 19.11.7 送信時のバス・スループット

送信時に Full-Wire-Speed (最小送信間隔) で送信するためには、1 パケットの長さを 1,000 バイト以下にしてください。

一般的には、送信パケットが長いほど転送効率が上がりますが、PFESiP/V850EP3 の Ether MAC は、パケット長がおよそ 1,000 バイトで最も転送効率が良く、それ以上の長さのパケットでは急にパフォーマンスが低下します。これは内蔵 FIFO の仕様によるもので、1,000 バイトを超えたパケットの場合、次のパケットを FIFO に格納できず、次のパケットの DMA 転送は、送信完了を待つ必要が発生するためです。

### 19.11.8 統計カウンタ更新中のアクセス

1 パケットの送受信が終了してから、統計カウンタが更新されるまでに、最大  $8 \times \text{HCLK}$  の時間が必要です。その間に統計カウンタにアクセスすると、統計カウンタの更新が最大  $16 \times \text{HCLK}$  の時間を必要とする場合があります。

### 19.11.9 スタンバイ中の統計カウンタの更新と割り込み

スタンバイ期間中に受信したパケットについては、スタンバイ解除後に統計カウンタを更新します。

統計カウンタのキャリー・マスク・ビット 1, 2 (CAM1, CAM2) "0" で、統計カウンタがオーバーフローする場合、INTCMAC 割り込みの発生は、スタンバイ解除後になります (スタンバイ中は、INTCMAC は発生しません)。

スタンバイ時に INTCMAC が発生していた場合、スタンバイ期間中も保持します。スタンバイ期間中に複数のパケットを受信した場合、統計カウンタには最後に受信したパケットのステータスが反映されます。



## 第20章 CAN コントローラ

### 20.1 概 要

PFESiP/V850EP3 は、CAN プロトコル ISO11898 に準拠した CAN ( Controller Area Network ) コントローラを 2 チャンネル内蔵しています。

#### 20.1.1 特 徴

CAN プロトコル ISO11898 準拠，ISO/DIS16845 ( CAN コンフォーマンス・テスト ) 実施  
標準フレーム，拡張フレームの送信 / 受信が可能  
転送速度 最大 1Mbps ( CAN モジュール・システム・クロック :  $f_{\text{CANMOD}}$  8MHz 時 )  
32 メッセージ・バッファ / チャンネル  
受信 / 送信ヒストリ・リスト機能  
自動ブロック送信機能  
マルチ・バッファ受信ブロック機能  
チャンネルごとに 4 パターンのマスクを設定可能

**注意** CAN コントローラは、OSCCLK を分周したクロックで動作します。CAN コントローラを利用する場合は、XT1, XT2 に 27MHz ~ 33MHz のクロックを入力してください。

## 20.1.2 機能概要

表 20-1 に機能概要を示します。

表 20-1 CAN の機能概要

機 能	機能概要
プロトコル	CAN プロトコル ISO11898 (標準および拡張フレームの送受信)
ポー・レート	最大 1Mbps (CAN モジュール・システム・クロック: $f_{CANMOD}$ 8MHz 時)
データ・ストレージ	CAN 専用 RAM にメッセージを格納
メッセージ数	<ul style="list-style-type: none"> <li>・ 32 メッセージ・バッファ / チャンネル</li> <li>・ 各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能</li> </ul>
メッセージ受信	<ul style="list-style-type: none"> <li>・ 各メッセージ・バッファに固有の ID を設定可能</li> <li>・ チャンネルごとに 4 パターンのマスクを設定可能</li> <li>・ メッセージ・バッファごとに受信完了割り込みの許可 / 禁止が設定可能</li> <li>・ 複数の受信用メッセージ・バッファを FIFO 受信のバッファとして使用することが可能 (マルチ・バッファ受信ブロック機能)</li> <li>・ 受信ヒストリ・リスト機能</li> </ul>
メッセージ送信	<ul style="list-style-type: none"> <li>・ 各メッセージ・バッファに固有の ID を設定可能</li> <li>・ メッセージ・バッファごとに送信完了割り込みの許可 / 禁止が設定可能</li> <li>・ 送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0-7 は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能 (自動ブロック送信機能 (以降、ABT と記述))</li> <li>・ 送信ヒストリ・リスト機能</li> </ul>
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> <li>・ 16 ビット・タイムとの併用で受信メッセージに対してタイム・スタンプ機能を設定可能</li> <li>・ タイム・スタンプ・キャプチャ・トリガの選択が可能 (CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能)</li> </ul>
診断機能	<ul style="list-style-type: none"> <li>・ リード可能なエラー・カウンタ</li> <li>・ バス接続確認用 “有効プロトコル動作フラグ”</li> <li>・ 受信オンリー・モード</li> <li>・ シングル・ショット・モード</li> <li>・ CAN プロトコル・エラーの判別</li> <li>・ セルフ・テスト・モード</li> </ul>
バス・オフ強制復帰機能	<ul style="list-style-type: none"> <li>・ ソフトウェアにより強制的にバス・オフから復帰されることが可能 (タイミングの制約を無視)</li> <li>・ バス・オフ中に初期化モードに移行させ、バス・オフ状態から強制的に復帰させることが可能</li> </ul>
パワー・セーブ・モード	<ul style="list-style-type: none"> <li>・ CAN スリープ・モード (CAN バスによりウエイク・アップ可能)</li> <li>・ CAN ストップ・モード (CAN バスによるウエイク・アップ不可)</li> </ul>

### 20.1.3 構 成

CAN コントローラは、次の 4 つのブロックから構成されています。

(1) 内部システム・バス・インタフェース

内部システム・バスとのインタフェースと、CAN 内部モジュールと CPU とのインタフェースを行うための機能ブロックです。

(2) MCM ( Memory Control Module )

CAN モジュール内の CAN プロトコル・レイヤと CAN RAM へのアクセスを制御している機能ブロックです。

(3) CAN プロトコル・レイヤ

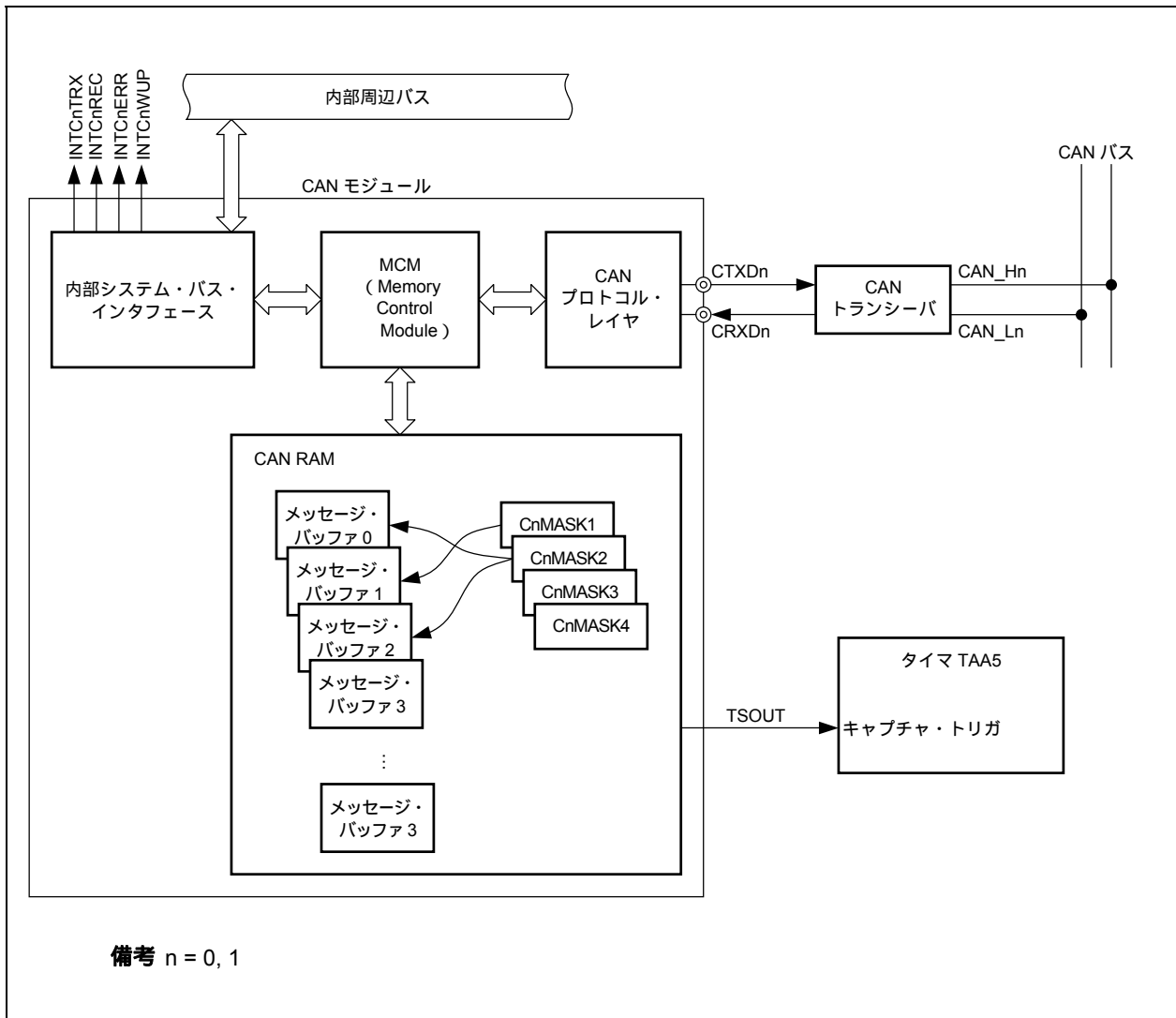
CAN のプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージ ID やメッセージ・データなどを格納する CAN 専用のメモリ機能ブロックです。

★

図 20-1 CAN のブロック図

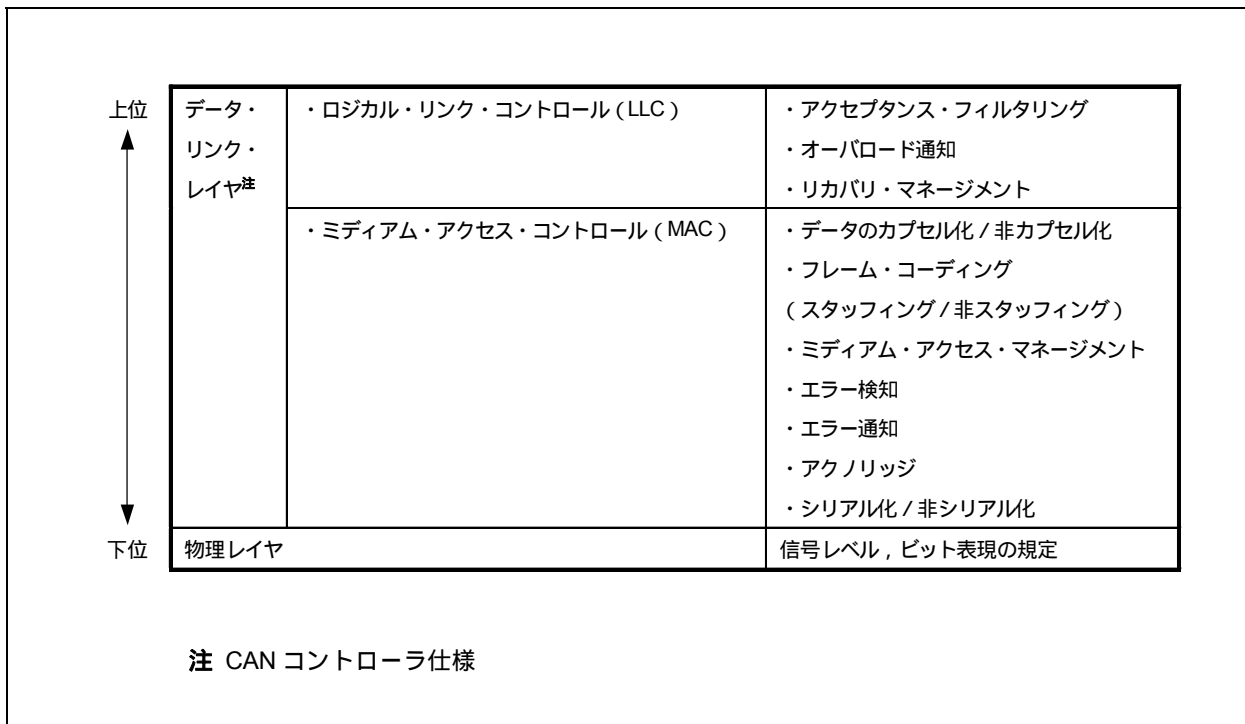


## 20.2 CAN プロトコル

CAN( Controller Area Network )は、車輻内リアルタイム通信用(クラス C)高速多重通信プロトコルです。CAN は ISO 11898 で規定されています。詳細は、ISO 11898 仕様を参照してください。

CAN の仕様は、大きく分けて 2 つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図 20-2 各レイヤの構成



## 20.2.1 フレーム・フォーマット

### (1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが 11 ビットのため、2048 種類のメッセージを扱うことができます。

### (2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが 29 ビット (11 ビット + 18 ビット) に拡張され、扱えるメッセージ数が  $2048 \times 2^{18}$  個になります。
- ・アービトレーション・フィールドの SRR/IDE ビットがともに “レセシブ・レベル” (CMOS レベル = 1) の場合、拡張フォーマット・フレームになります。

## 20.2.2 フレーム・タイプ

CAN プロトコルのフレームは、次の 4 種類に分けられます。

表 20-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

### (1) バスの値

バスの値には、ドミナントとレセシブの 2 通りがあります。

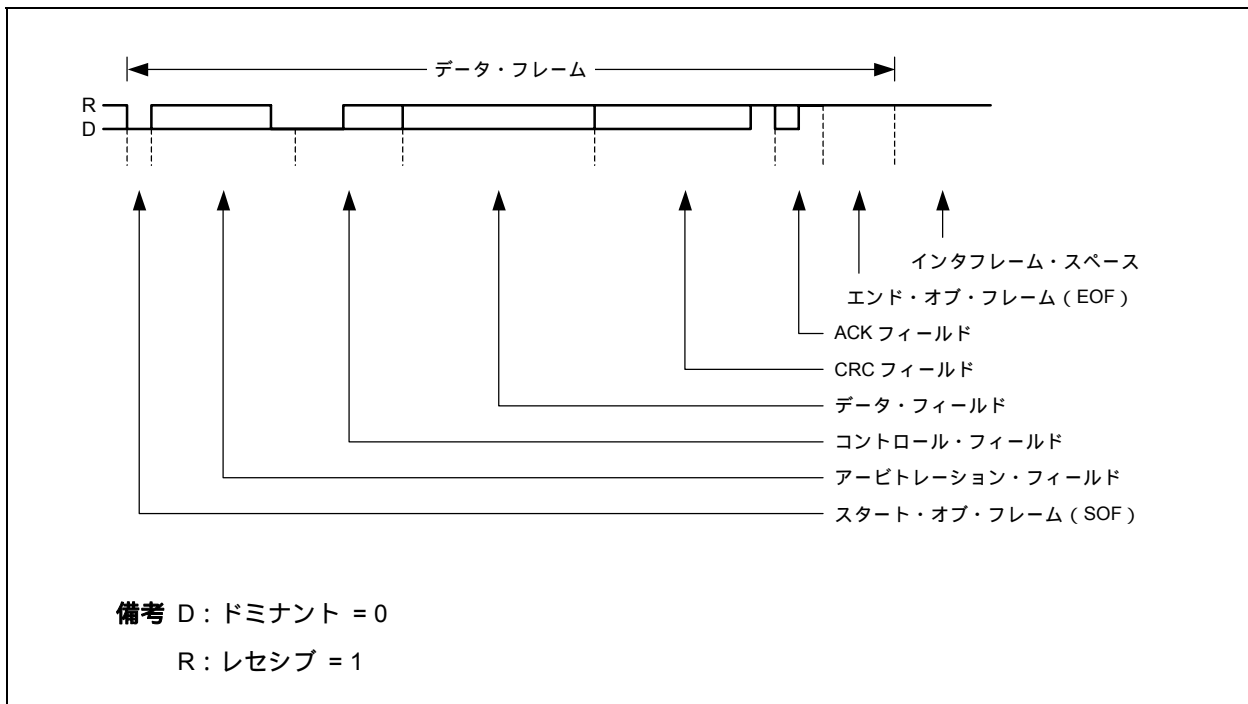
- ・ドミナント・レベルは論理 0 で表します。
- ・レセシブ・レベルは論理 1 で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

### 20.2.3 データ・フレーム / リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

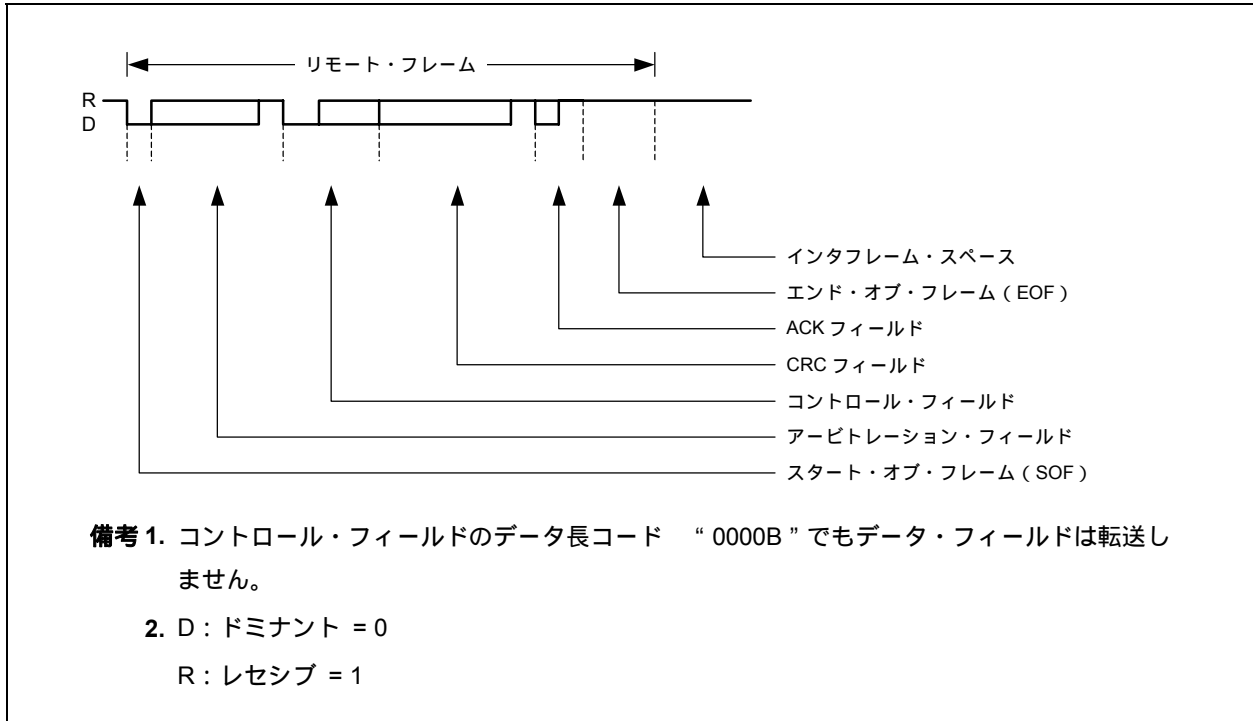
図 20-3 データ・フレーム



## (2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図 20-4 リモート・フレーム

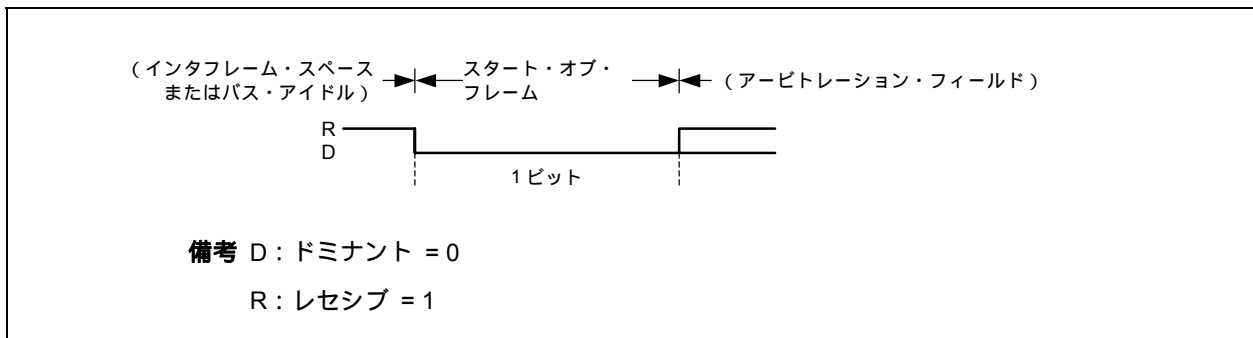


## (3) 各フィールドの説明

## スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図 20-5 スタート・オブ・フレーム (SOF)



- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます (このとき、該当する TQ がシンク・セグメントになります)。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットは SOF になります。レセシブ・レベルが検出された場合は、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。



アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図 20-6 アービトレーション・フィールド (標準フォーマット・モード時)

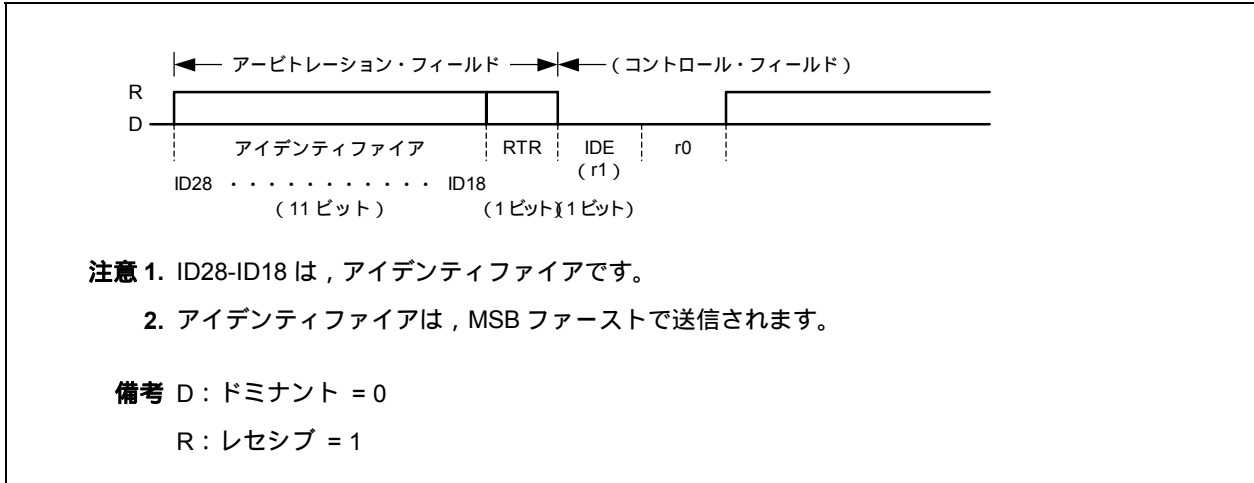


図 20-7 アービトレーション・フィールド (拡張フォーマット・モード時)

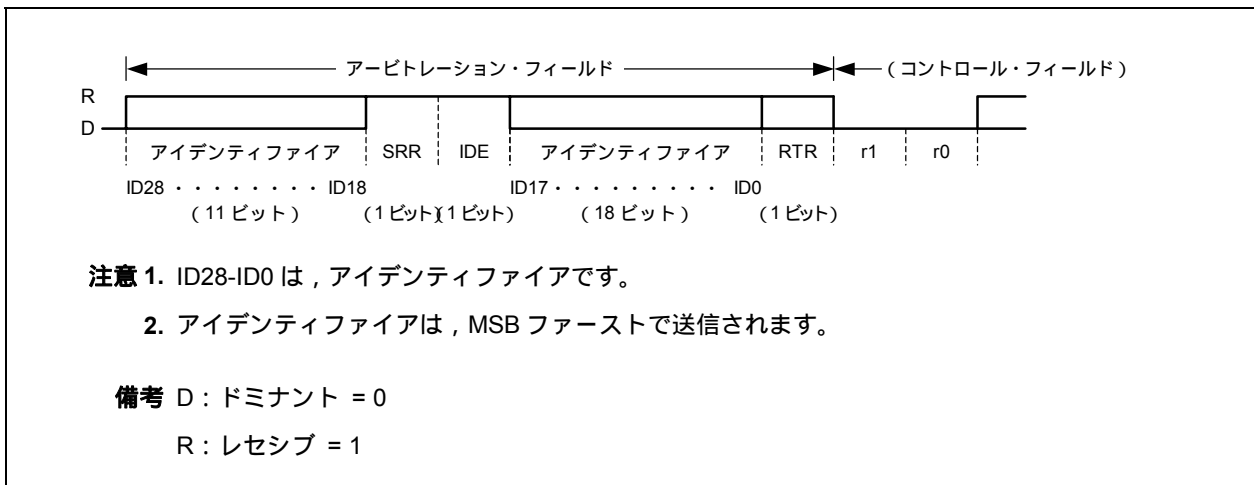


表 20-3 RTR フレームの設定

フレームの種類	RTR ビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

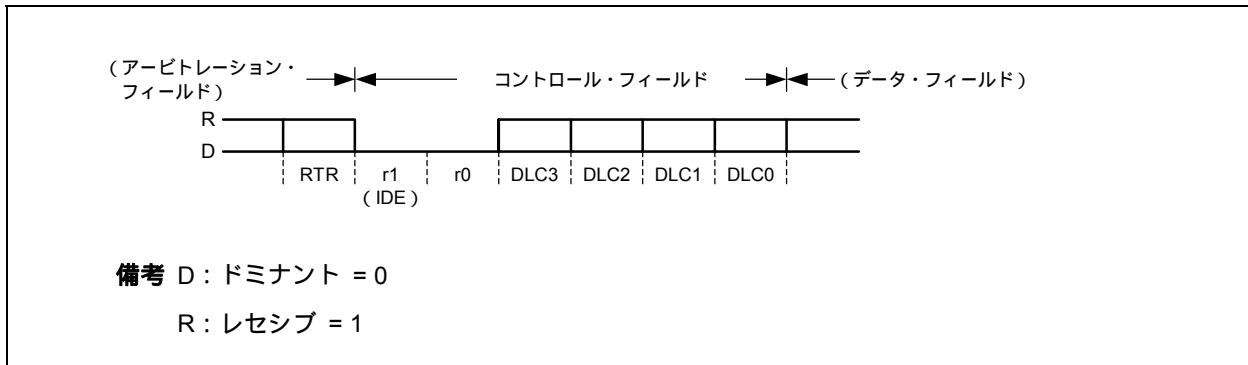
表 20-4 フレーム・フォーマットの設定 (IDE ビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRR ビット	IDE ビット	ビット数
標準フォーマット・モード	なし	0 (D)	11 ビット
拡張フォーマット・モード	1 (R)	1 (R)	29 ビット

コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数 DLC の設定をします (DLC = 0-8)。

図 20-8 コントロール・フィールド



標準フォーマット・フレームでは、コントロール・フィールドの IDE ビットと r1 ビットは、同一となります。

表 20-5 データ長の設定

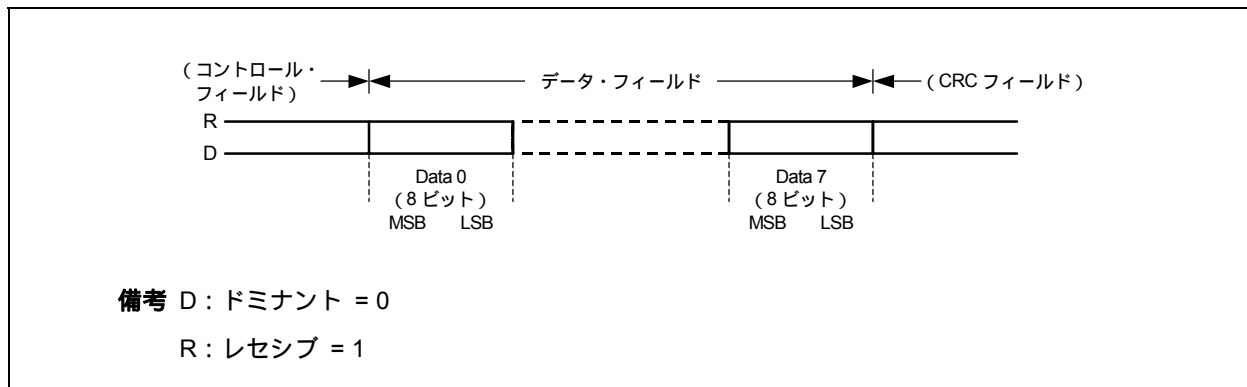
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0 バイト
0	0	0	1	1 バイト
0	0	1	0	2 バイト
0	0	1	1	3 バイト
0	1	0	0	4 バイト
0	1	0	1	5 バイト
0	1	1	0	6 バイト
0	1	1	1	7 バイト
1	0	0	0	8 バイト
上記以外				DLC3-DLC0 の値にかかわらず 8 バイトになります。

**注意** リモート・フレームの場合、データ長コード 0000B であってもデータ・フィールドは発生しません。

## データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大 8 データ設定できます。

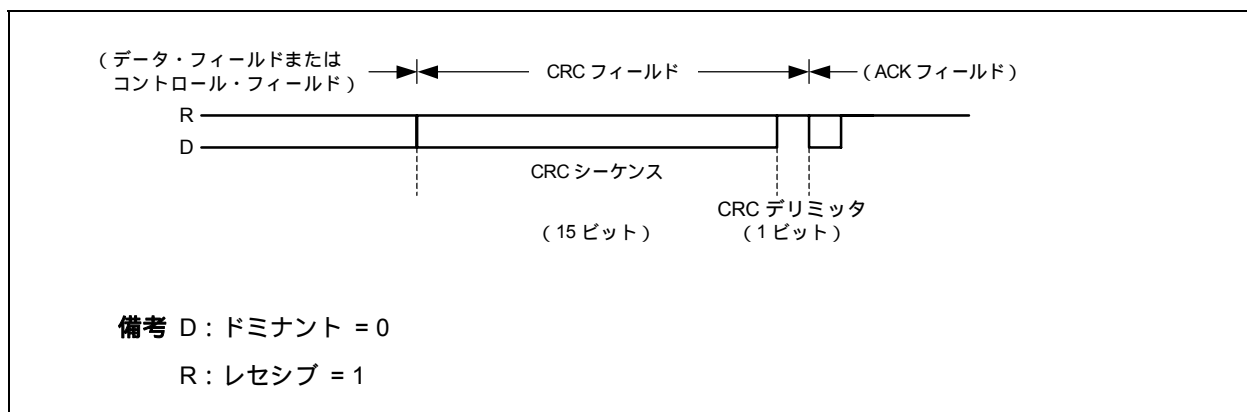
図 20-9 データ・フィールド



## CRC フィールド

CRC フィールドは、送信データの誤りをチェックするための 16 ビットのフィールドです。

図 20-10 CRC フィールド



- ・ 15 ビットの CRC シーケンスを生成する多項式  $P(X)$  は、次のようになります。

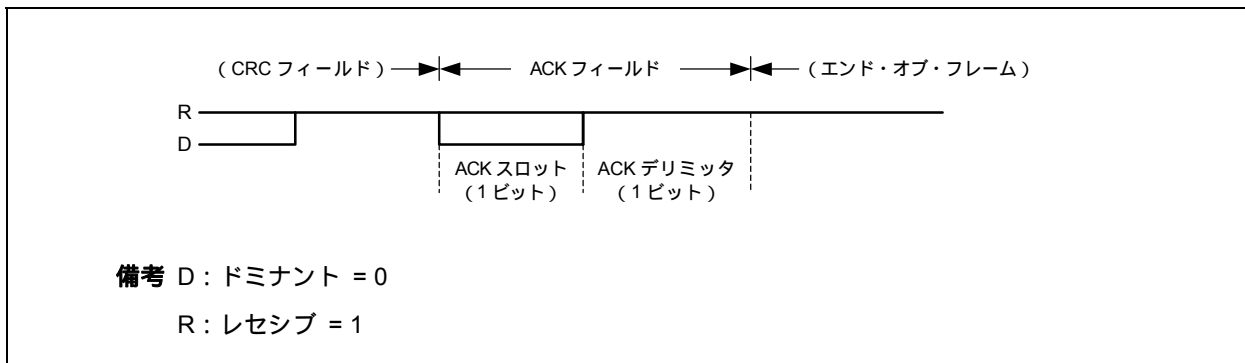
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・ 送信ノード：スタート・オブ・フレーム，アービトレーション・フィールド，コントロール・フィールド，データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算した CRC シーケンスを送信します。
- ・ 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算した CRC シーケンスと CRC フィールドの CRC シーケンスを比較します。一致しない場合，ノードはエラー・フレームを送信します。

ACK フィールド

ACK フィールドは、正常受信確認のためのフィールドです。

図 20-11 ACK フィールド

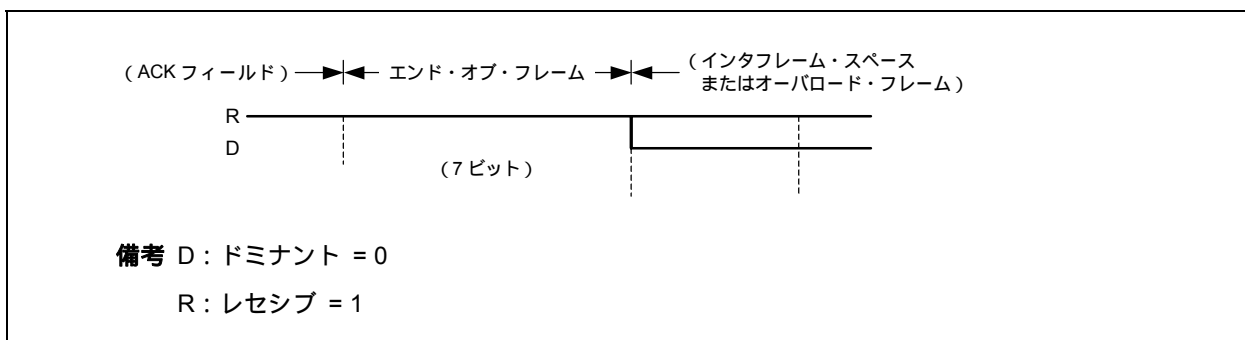


- ・CRC エラーが検出されない場合、受信ノードは ACK スロットをドミナント・レベルにします。
- ・送信ノードは、2 ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図 20-12 エンド・オブ・フレーム (EOF)



## インタフレーム・スペース

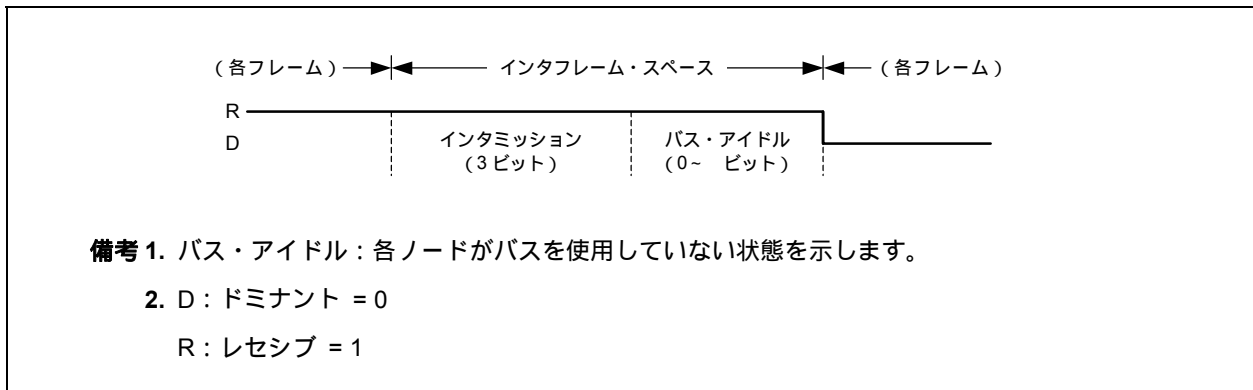
データ・フレーム、リモート・フレーム、エラー・フレーム、オーバーロード・フレームから次のフレームの間に挿入されるフレームで、各フレーム間の区切りを示します。

・バスの状態は、エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3 ビットのインタミッションとバス・アイドルより構成されます。

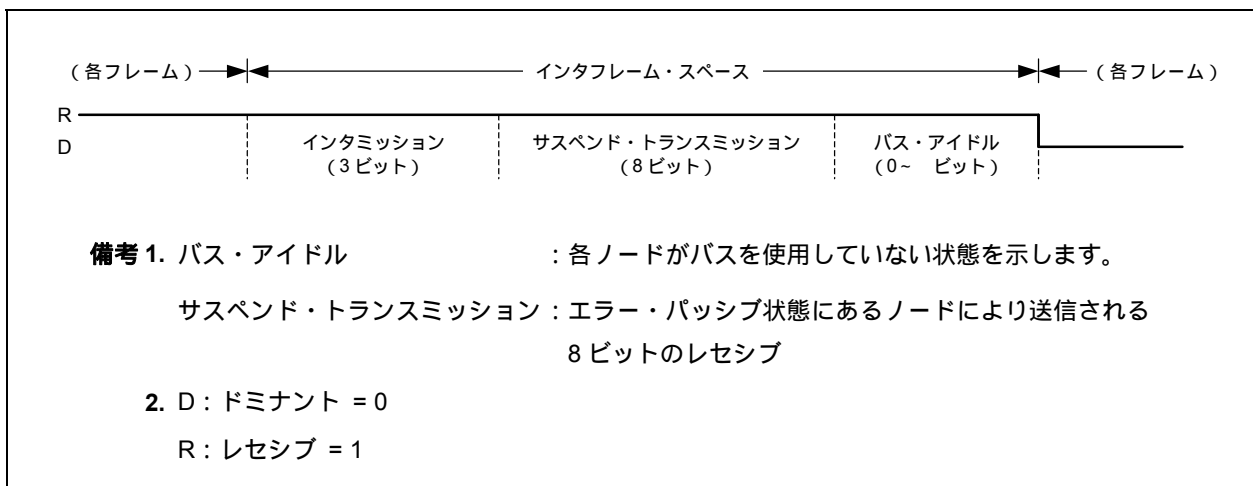
図 20-13 インタフレーム・スペース (エラー・アクティブ状態のノードの場合)



(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成されます。

図 20-14 インタフレーム・スペース (エラー・パッシブ状態のノードの場合)



通常、インタミッションは 3 ビットです。しかし、送信ノードがインタミッションの 3 ビット目でドミナント・レベルを検出した場合、送信を行います。

- ・エラー状態による動作

表 20-6 エラー状態による動作

エラー状態	動作
エラー・アクティブ	3 ビットのインタミッション後、ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから、さらに 8 ビット待つて送信可能状態になります。

### 20.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図 20-15 エラー・フレーム

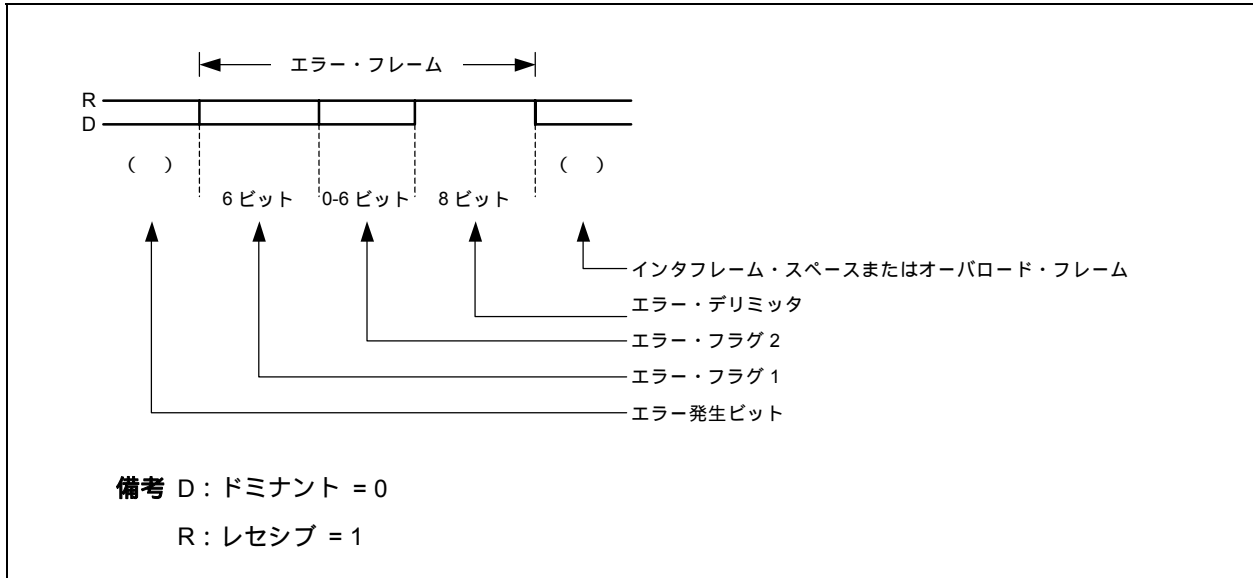


表 20-7 エラー・フレームの各フィールドの定義

名称	ビット数	定義
エラー・フラグ1	6	エラー・アクティブ・ノード : 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード : 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
インタフレーム・スペース/ オーバーロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

### 20.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき\*
- ・インタミッション中の最初の 2 ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット (7 ビット目) , またはエラー・デリミッタ / オーバロード・デリミッタの最終ビット (8 ビット目) にドミナント・レベルを検出したとき

**注** この CAN コントローラでは、内部処理が早いため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図 20-16 オーバロード・フレーム

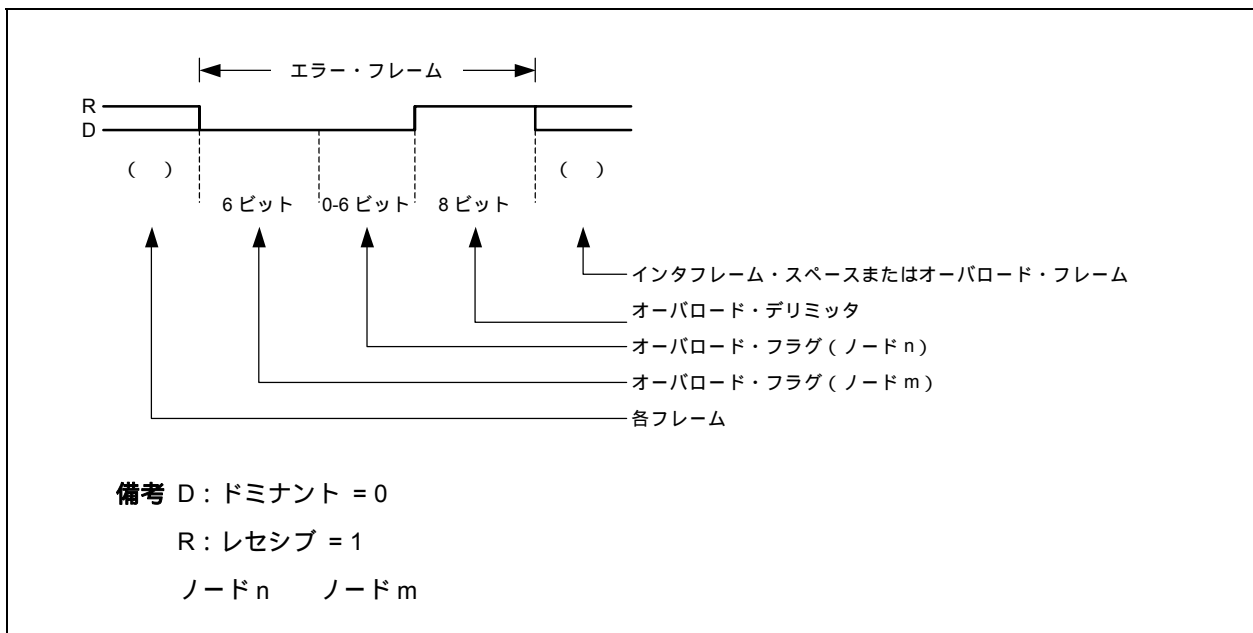


表 20-8 オーバロード・フレームの各フィールドの定義

名 称	ビット数	定 義
オーバロード・フラグ	6	6 ビットのドミナント・レベルを連続出力します。
他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
オーバロード・デリミッタ	8	8 ビットのレセシブ・レベルを連続出力します。 8 ビット目にドミナント・レベルを検索した場合、次のビットからオーバロード・フレームを送信します。
各フレーム	-	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
インタフレーム・スペース / オーバロード・フレーム	-	インタフレーム・スペース、またはオーバロード・フレームが続きます。



## 20.3 機能

### 20.3.1 バス・プライオリティの決定

- (1) 1 個のノードが送信を開始した場合
  - ・バス・アイドル中に、先にデータを出力したノードが送信をします。
- (2) 複数のノードが送信を開始した場合
  - ・アービトレーション・フィールドの第 1 ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセプティブ・レベルが同時に送信された場合、バスの値はドミナント・レベルになります）。
  - ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表 20-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

- (3) データ・フレームとリモート・フレームのプライオリティ
  - ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトレーション・フィールドの最終ビットである RTR がドミナント・レベルであるデータ・フレームが優先されます。

**備考** 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方の ID28-ID18 が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

### 20.3.2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが 5 ビット連続した場合、1 ビットの反転データを付加して、同期をとる仕組みです。

表 20-10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRC フィールド間のデータで同一レベルが 5 ビット連続した場合、次のビットの前に、前 5 ビットのレベルを反転した 1 ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRC フィールド間のデータで同一レベルが 5 ビット連続した場合、次の 1 ビットを削除して受信します。

### 20.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

### 20.3.4 マルチキャスト

送信ノードは 1 つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

### 20.3.5 CAN スリープ・モード / CAN ストップ・モード機能

CAN スリープ・モード / CAN ストップ・モード機能により、CAN コントローラを待機状態にすることで消費電力を低減できます。

CAN スリープ・モードはバスの動作でウエイク・アップしますが、CAN ストップ・モードはバスの動作でウエイク・アップしません（CPU アクセスにより制御されます）。

### 20.3.6 エラー制御機能

#### (1) エラーの種類

表 20-11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信 / 受信	フィールド / フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信 / 受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの 6 ビット連続	受信ノード	スタート・オブ・フレーム～CRC シーケンス
CRC エラー	受信データから生成した CRC と受信した CRC シーケンスとの比較	CRC の不一致	受信ノード	CRC フィールド
フォーム・エラー	固定フォーマットのフィールド / フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRC デリミッタ ・ACK フィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACK エラー	送信ノードによる ACK スロットのチェック	ACK スロットでレセシブ・レベルを検出	送信ノード	ACK スロット

#### (2) エラー・フレームの出力タイミング

表 20-12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACK エラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRC エラー	ACK デリミッタの次のビット・タイミングからエラー・フレームを出力します。

## (3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います（ただし、シングル・ショット・モード時には再送は行いません）。

## (4) エラー状態

## (a) エラー状態の種類

CAN スペックで規定されているエラーの状態には次の 3 種類があります。

- ・エラー・アクティブ
- ・エラー・パッシブ
- ・バス・オフ

これらは、CnERC.TEC7-TEC0 ビット（送信エラー・カウンタ・ビット）および CnERC.REC6-REC0 ビット（受信エラー・カウンタ・ビット）の値によって表 20-13 のように分類されます。

現在のエラー状態は、CnINFO レジスタに表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル（96）以上になると、CnINFO.TECS0 ビットまたは CnINFO.RECS0 ビットがセット（1）されます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が 128 以上になると、エラー・パッシブ状態となり、TECS1 ビットまたは RECS1 ビットがセット（1）されます。

- ・送信エラー・カウンタ値が 256 以上（実際には送信エラー・カウンタ値は 256 以上の値は表示しません）になると、バス・オフ状態となり、CnINFO.BOFF ビットがセット（1）されます。
- ・スタート・アップ時、バス上に 1 個のノードしかアクティブでない場合（= 自局のみバスに接続されている場合）、データを送信しても ACK が返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとは、送信エラー・カウンタはインクリメントされず、バス・オフには移行しません。

**備考 n = 0, 1**

表 20-13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	CnINFO レジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0 が 00	・エラー検知時にアクティブ・エラー・フラグ (6 ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0 が 00	
	送信	96-127	TECS1, TECS0 が 01	
	受信	96-127	RECS1, RECS0 が 01	
エラー・パッシブ	送信	128-255	TECS1, TECS0 が 11	・エラー検知時にパッシブ・エラー・フラグ (6 ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて 8 ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128 以上	RECS1, RECS0 が 11	
パス・オフ	送信	256 以上 (表示はしない) <sup>※</sup>	BOFF が 1, TECS1, TECS0 が 11	・通信できません。 ただし、フレーム受信時にメッセージは格納されませんが、次の動作が行われます。 TSOUT がトグルします。 REC が +/- します。 VALID ビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11 ビット連続でレセシブ・レベルが 128 回発生すると、エラー・カウンタが 0 にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFF がセットされた場合には意味を持ちません。

送信エラー・カウンタの値が 248-255 の範囲のとき、さらに +8 のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにパス・オフ状態となります。

備考 n = 0, 1

## (b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表 20-14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0 ビット)	受信エラー・カウンタ (REC6-REC0 ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPS ビット = 0 時)
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+8 (REPS ビット = 0 時)
送信ノードがエラー・フラグを送信 [ 例外として, 次の場合は, エラー・カウンタは変化しません ] エラー・パッシブ状態で, ACK エラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトラージョン・フィールド中にスタッフ・エラーを検出し, それがスタッフ・ビットとしてレセシブ・レベルを送信したが, ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPS ビット = 0 時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から 14 個の連続したドミナント・レベルを検出, およびそれ以降の 8 個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8 個連続のドミナント・レベルを検出	+8 (送信時)	+8 (受信時, REPS ビット=0 時)
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0 の場合は ±0)	-1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	<ul style="list-style-type: none"> <li>・ -1 (1 REC6-REC0 127, REPS ビット = 0 時)</li> <li>・ ±0 (REC6-REC0 = 0, REPS ビット = 0 時)</li> <li>・ 119 ~ 127 のいずれかの値をセットする。 (REPS ビット = 1 時)</li> </ul>

## (c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

**注意** エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

## (5) バス・オフ状態からの復帰動作

CAN モジュールが、バス・オフ状態になった場合、CAN バスから切り離された送信端子 (CTXDn) は、常にレセシブ・レベルの出力となります。

バス・オフ状態からの復帰は、次に示すバス・オフ復帰 (リカバリ) シーケンスにより行います。

CAN 初期化モードへの移行要求

CAN 動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

## (a) 通常リカバリ・シーケンスによるバス・オフからの復帰動作

まず、初期化モードへの移行要求を行います (図 20-17 中のタイミング 参照)。この移行要求はただちに受け付けられ、CnCTRL.OPMODE2-OPEMODE0 ビットは 000B となります。アプリケーション・ソフトウェアにより、バス・オフの原因となった故障の解析、CAN モジュールおよびメッセージ・バッファの再定義、あるいはCnGMCTRL.GOM ビットをクリア (0) することで、CAN モジュール自体の動作停止といった処置を実行できます。

次に、初期化モードから任意の動作モードへの移行要求を行います (図 20-17 中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バス・オフからのリカバリ動作が開始されます。バス・オフからのリカバリ条件は、CAN プロトコル ISO11898 に規定されており、11 ビットの連続したレセシブ・ビットを 128 回検出することが必要です。このとき、任意の動作モードへの移行要求は、バス・オフのリカバリ条件が満足するまでは保留され、バス・オフのリカバリ条件が満足した時点 (図 20-17 中のタイミング 参照) で CAN モジュールは要求された動作モードに移行します。この間、CAN モジュールは初期化モードを維持し、任意の動作モードの移行は、OPMODE ビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE2-OPMODE0 ビット= 000B がリードされます。

バス・オフ期間中およびバス・オフ・リカバリ・シーケンス中は、CnINFO.BoFF ビットはセット (1) を継続します。バス・オフ・リカバリ・シーケンスは、受信エラー・カウンタ (CnERC.REC0-REC6 ビット) により、バス上で検出される 11 ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC0-REC6 ビットをリードすることにより復帰状況を確認できます。

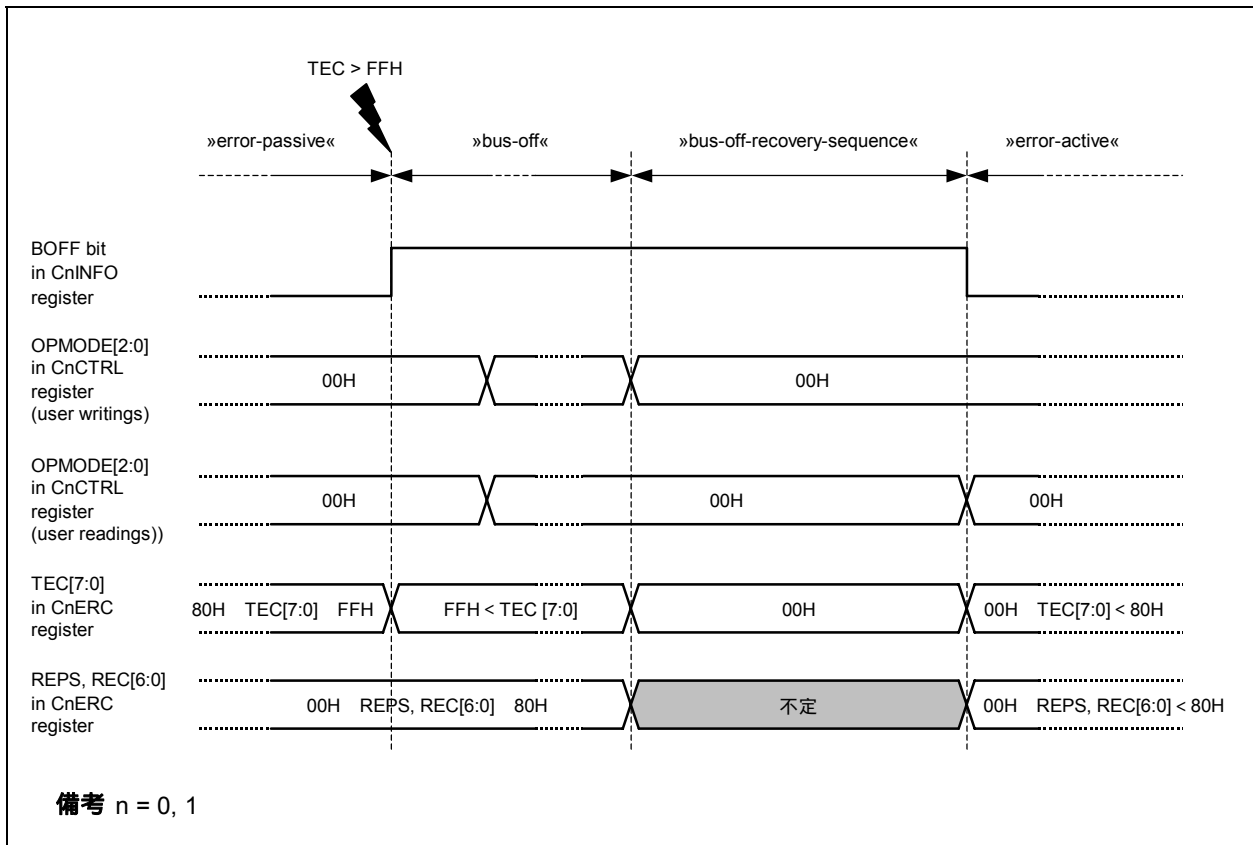
**注意 1.** バス・オフ・リカバリ・シーケンス中にもう一度バス・オフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバス・オフ・リカバリ・シーケンスが開始され、もう一度バス上に 11 ビットの連続したレセシブ・ビットを 128 回カウントすることになります。

**2.** バス・オフ・リカバリ・シーケンス中は、REC0-REC6 ビットは 11 ビットの連続したレセシブ・ビットを検出するたびにカウント・アップ (+1) します。

バス・オフ期間中でも、CAN モジュールは CAN スリープ・モードや CAN ストップ・モードに移行できます。バス・オフを解除するためには、初期化モードにいったん移行することが必要ですが、CAN モジュールが CAN スリープ・モードや CAN ストップ・モードである場合は、直接初期化モードへの移行ができません。この場合は、初期化モードに移行しなくても、CAN スリープ・モードが解除されると同時にバス・オフ・リカバリ・シーケンスが開始されます。また、ソフトウェアによる CnCTRL.PSMODE1, PSMODE0 ビットのクリアのほか、CAN バス上のドミナント・エッジ検出によるウエイク・アップによってもバス・オフ・リカバリ・シーケンスを開始できます (CAN クロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによる CnCTRL.PSMODE0 ビットのクリアが必要となります)。

備考 n = 0, 1

図 20-17 通常リカバリ・シーケンスによるバス・オフからの復帰動作



## (b) バス・オフ・リカバリ・シーケンスをスキップする強制復帰動作

バス・オフ・リカバリ・シーケンスをスキップすることで、バスの状態によらず CAN モジュールを強制的にバス・オフから復帰させることができます。手順を次に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、「20.3.6 (5) 通常リカバリ・シーケンスによるバス・オフからの復帰動作」を参照してください。

次に、任意の動作モードへの移行要求を行い、同時に CnCTRL.CCERC ビットをセット (1) します。

これにより、CAN プロトコル ISO11898 で規定されているバス・オフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CAN バスへの再接続は CAN モジュールが連続した 11 ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図 20-54 の処理を参照してください。

**注意** この機能は、CAN プロトコル ISO11898 に規定されておきませんので、使用する際にはネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

## (6) 初期化モード中の CAN モジュール・エラー・カウンタ・レジスタ (CnERC) の初期化

プログラム・デバッグや評価のために、CnERC, CnINFO レジスタの初期化が必要となる場合には、初期化モード中に CnCTRL.CCERC ビットをセット (1) することで、CnERC, CnINFO レジスタは初期値に初期化されます。初期化が完了すると、CCERC ビットは自動的にクリア (0) されます。

- 注意 1.** この機能は、初期化モード中でのみ有効です。任意の CAN 動作モード中で CCERC ビットをセット (1) したとしても、CnERC, CnINFO レジスタは初期化されません。
- 2.** CCERC ビットのセットは、任意の CAN 動作モードへの移行要求と同時にすることも可能です。

備考 n = 0, 1

### 20.3.7 ボー・レート制御機能

## (1) プリスケーラ

CAN コントローラは、CAN への供給クロック ( $f_{CAN}$ ) を分周するプリスケーラを持っています。また、プリスケーラは、CAN モジュール・システム・クロック ( $f_{CANMOD}$ ) を 1-256 分周した CAN プロトコル・レイヤ基本クロック ( $f_{TQ}$ ) を発生します (20.6(12) CANn モジュール・ビット・レート・プリスケーラ・レジスタ (CnBRP) 参照)。

## (2) データ・ビット・タイム (8-25 Time Quanta)

1 データ・ビット・タイムは図 20-18 のように定義されています。

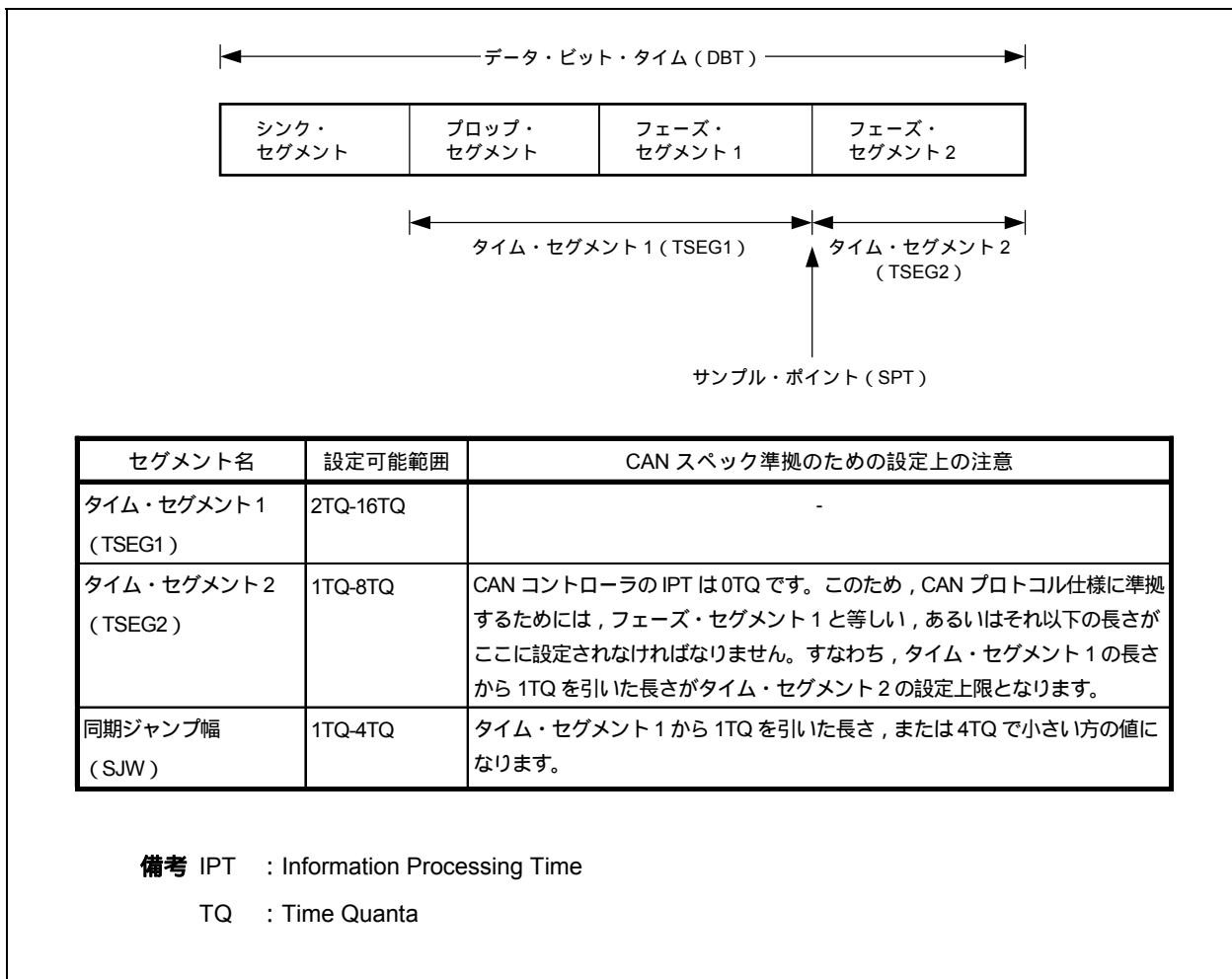
$$1 \text{ Time Quanta} = 1/f_{TQ}$$

CAN コントローラでは、図 20-18 で示すように、タイム・セグメント 1、タイム・セグメント 2、同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定します。タイム・セグメント 1 は、CAN プロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント 1 の合計に該当します。タイム・セグメント 2 は、フェーズ・セグメント 2 に該当します。

**注意** CAN コントローラは、OSCCLK を分周したクロックで動作します。CAN コントローラを利用する場合は、XT1, XT2 に 27MHz-33MHz のクロックを入力してください。

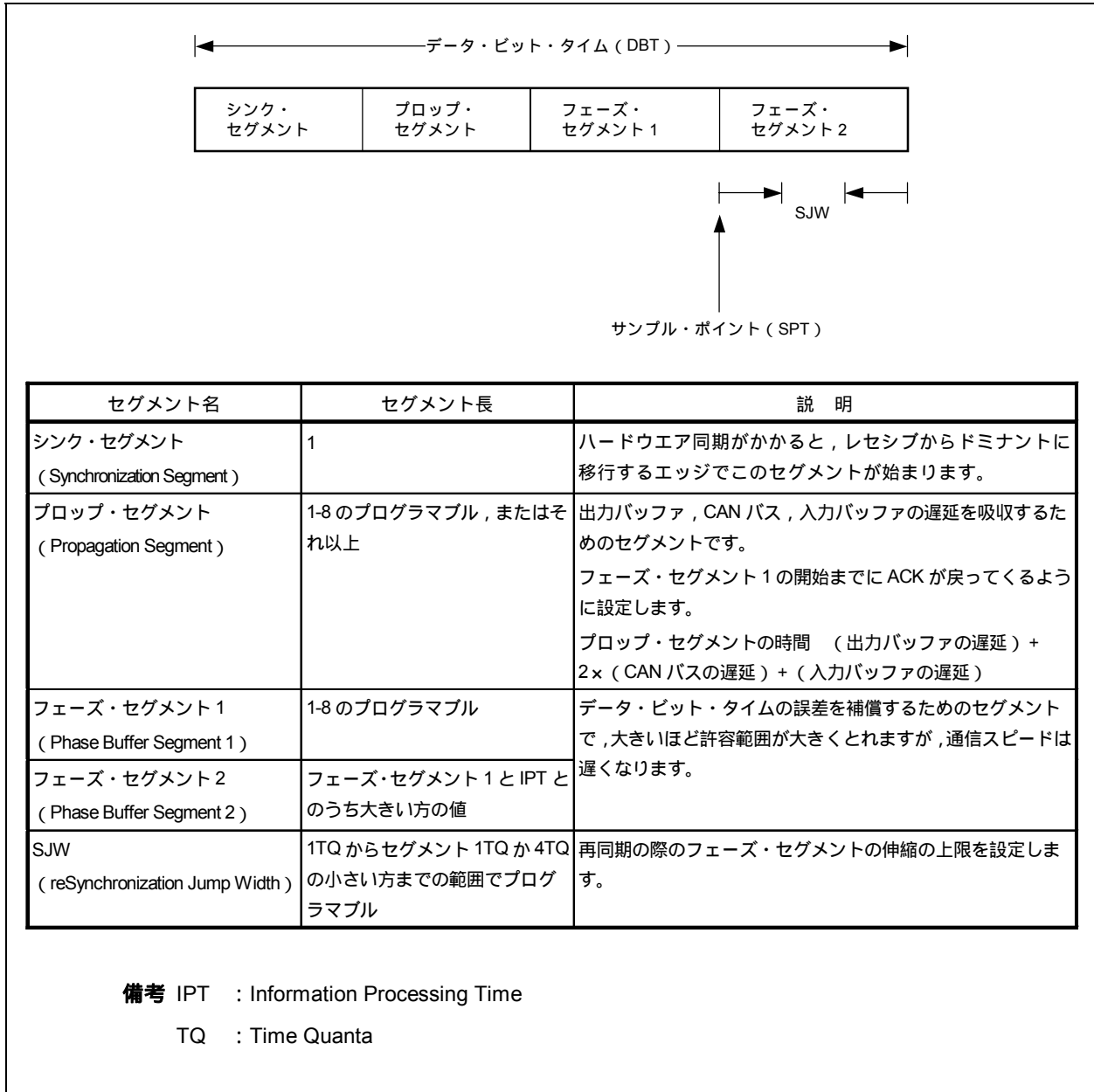


図 20-18 セグメントの設定



備考 CAN プロトコル仕様では、データ・ビット・タイムを構成する各セグメントは、図 20-19 のように規定されています。

図 20-19 CAN スペック上でのデータ・ビット・タイムの構成



(3) データ・ビットの同期

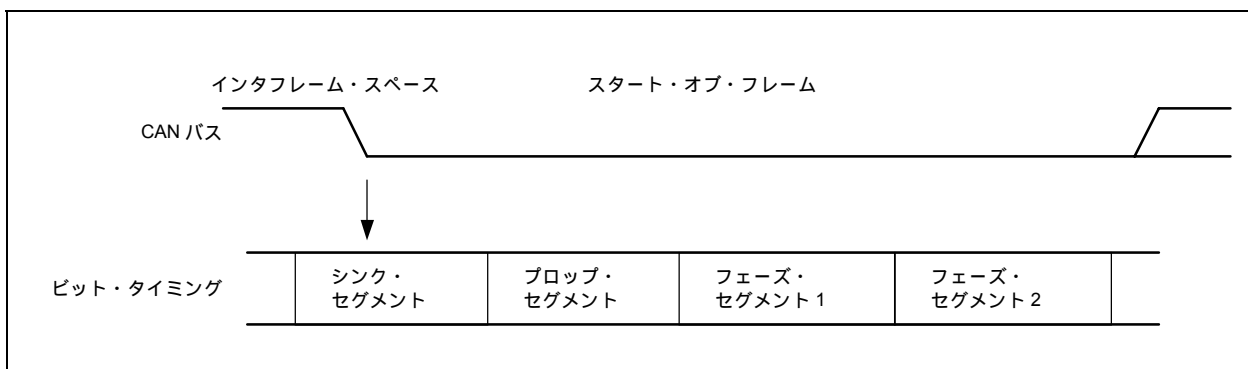
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、その TQ がシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJW には無関係に同期をとります。

図 20-20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期



## (b) 再同期

受信中に、バス上のレベル変化を検出した場合( 前回のサンプリングがレセシブ・レベル時のみ) , 再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。

< 位相誤差の符号 >

0 : エッジがシンク・セグメント内にある場合

正 : エッジがサンプル・ポイントより前にある場合 ( フェーズ・エラー )

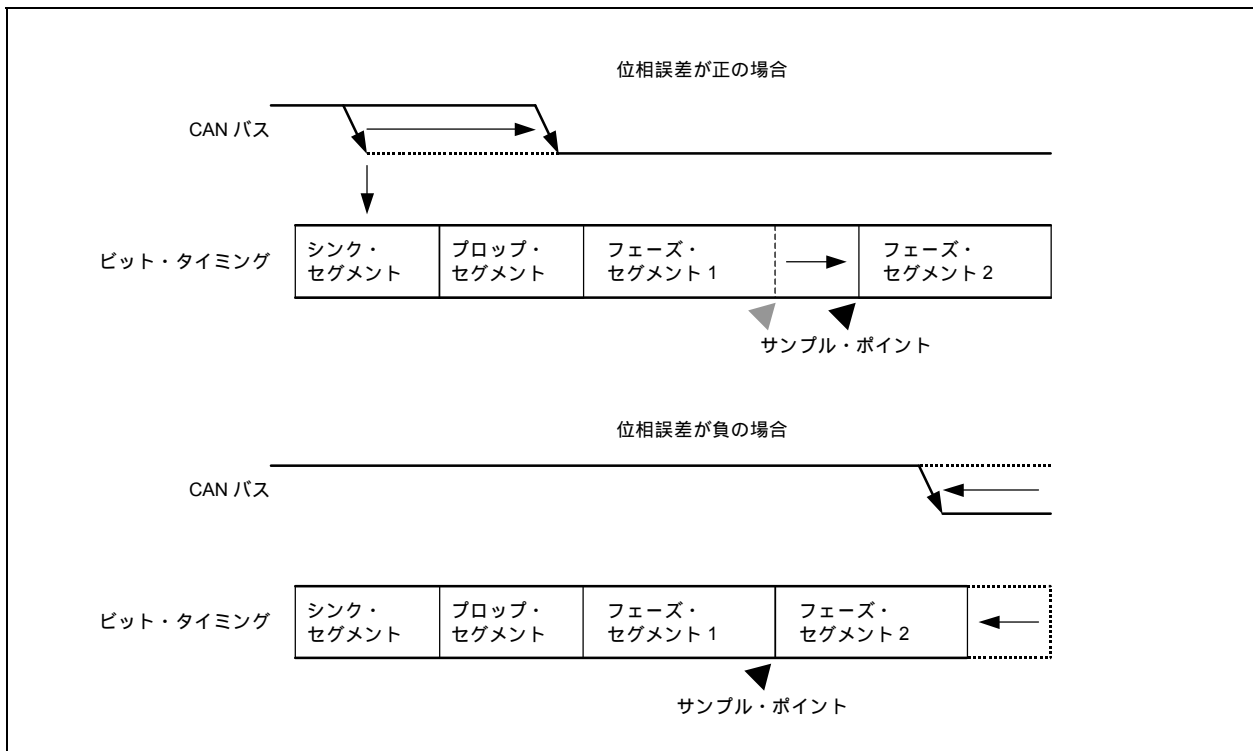
負 : エッジがサンプル・ポイントより後ろにある場合 ( フェーズ・エラー )

位相誤差が正の場合 : フェーズ・セグメント 1 は指定した SJW 分だけ長くなります。

位相誤差が負の場合 : フェーズ・セグメント 2 は指定した SJW 分だけ短くなります。

- ・送信ノードと受信ノードのボー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

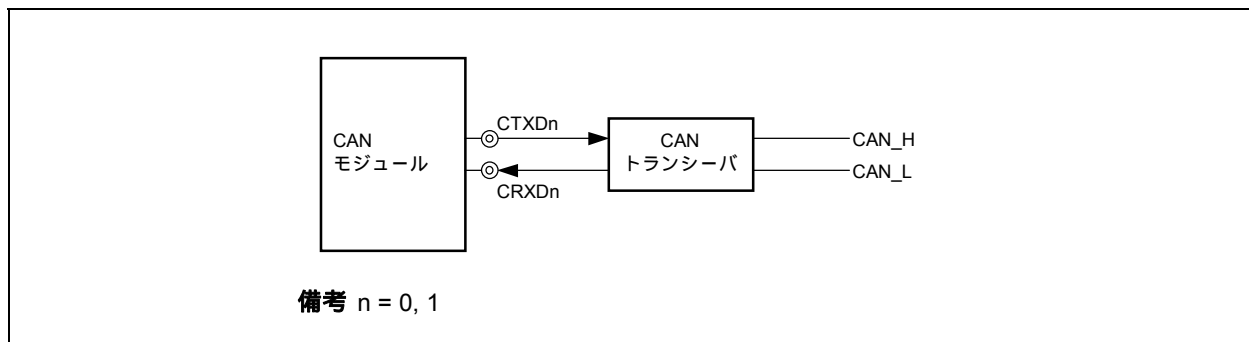
図 20-21 再同期



## 20.4 ターゲット・システムとの接続

CAN モジュールは、外部トランシーバを使用して CAN バスに接続しなければなりません。

図 20-22 CAN バスへの接続



## 20.5 CAN コントローラの内部レジスタ

### 20.5.1 CAN コントローラの構成

表 20-15 CAN コントローラのレジスタ一覧

項 目	レジスタ名
CAN グローバル・レジスタ	CANn グローバル制御レジスタ (CnGMCTRL)
	CANn グローバル・クロック選択レジスタ (CnGMCS)
	CANn グローバル・ブロック送信制御レジスタ (CnGMABT)
	CANn グローバル・ブロック送信遅延設定レジスタ (CnGMABTD)
CAN モジュール・レジスタ	CANn モジュール・マスク 1 レジスタ (CnMASK1L, CnMASK1H)
	CANn モジュール・マスク 2 レジスタ (CnMASK2L, CnMASK2H)
	CANn モジュール・マスク 3 レジスタ (CnMASK3L, CnMASK3H)
	CANn モジュール・マスク 4 レジスタ (CnMASK4L, CnMASK4H)
	CANn モジュール制御レジスタ (CnCTRL)
	CANn モジュール最終エラー情報レジスタ (CnLEC)
	CANn モジュール情報レジスタ (CnINFO)
	CANn モジュール・エラー・カウンタ・レジスタ (CnERC)
	CANn モジュール割り込み許可レジスタ (CnIE)
	CANn モジュール割り込みステータス・レジスタ (CnINTS)
	CANn モジュール・ビット・レート・プリスケアラ・レジスタ (CnBRP)
	CANn モジュール・ビット・レート・レジスタ (CnBTR)
	CANn モジュール最終受信ポインタ・レジスタ (CnLIPT)
	CANn モジュール受信履歴・リスト・レジスタ (CnRGPT)
	CANn モジュール最終送信ポインタ・レジスタ (CnLOPT)
	CANn モジュール送信履歴・リスト・レジスタ (CnTGPT)
CANn モジュール・タイム・スタンプ・レジスタ (CnTS)	
メッセージ・バッファ・レジスタ	CANn メッセージ・データ・バイト 01 レジスタ m (CnMDATA01m)
	CANn メッセージ・データ・バイト 0 レジスタ m (CnMDATA0m)
	CANn メッセージ・データ・バイト 1 レジスタ m (CnMDATA1m)
	CANn メッセージ・データ・バイト 23 レジスタ m (CnMDATA23m)
	CANn メッセージ・データ・バイト 2 レジスタ m (CnMDATA2m)
	CANn メッセージ・データ・バイト 3 レジスタ m (CnMDATA3m)
	CANn メッセージ・データ・バイト 45 レジスタ m (CnMDATA45m)
	CANn メッセージ・データ・バイト 4 レジスタ m (CnMDATA4m)
	CANn メッセージ・データ・バイト 5 レジスタ m (CnMDATA5m)
	CANn メッセージ・データ・バイト 67 レジスタ m (CnMDATA67m)
	CANn メッセージ・データ・バイト 6 レジスタ m (CnMDATA6m)
	CANn メッセージ・データ・バイト 7 レジスタ m (CnMDATA7m)
	CANn メッセージ・データ長レジスタ m (CnMDLCm)
	CANn メッセージ・コンフィギュレーション・レジスタ m (CnMCONFm)
	CANn メッセージ ID レジスタ m (CnMIDLm, CnMIDHm)
CANn メッセージ制御レジスタ m (CnMCTRLm)	

備考 1. CAN グローバル・レジスタは、CnGM<レジスタ機能>によって定義されます。

CAN モジュール・レジスタは、Cn<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、CnM<レジスタ機能>によって定義されます。

2. n = 0, 1

m = 00-31

## 20.5.2 レジスタ・アクセス・タイプ

表 20-16 レジスタ・アクセス・タイプ (1/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1000H	CAN0 グローバル制御レジスタ	C0GMCTRL	R/W	-	-	-	-	0000H
0F1C 100AH	CAN0 グローバル・クロック選択レジスタ	C0GMCS		-	-	-	-	0FH
0F1C 1018H	CAN0 グローバル・ブロック送信制御レジスタ	C0GMABT		-	-	-	-	0000H
0F1C 1022H	CAN0 グローバル・ブロック送信遅延設定レジスタ	C0GMABTD		-	-	-	-	00H
0F1C 1100H	CAN0 モジュール・マスク 1 レジスタ	C0MASK1L	R/W	-	-	-	-	不定
0F1C 1108H		C0MASK1H		-	-	-	-	不定
0F1C 1110H	CAN0 モジュール・マスク 2 レジスタ	C0MASK2L		-	-	-	-	不定
0F1C 1118H		C0MASK2H	-	-	-	-	不定	
0F1C 1120H	CAN0 モジュール・マスク 3 レジスタ	C0MASK3L		-	-	-	-	不定
0F1C 1128H		C0MASK3H	-	-	-	-	不定	
0F1C 1130H	CAN0 モジュール・マスク 4 レジスタ	C0MASK4L		-	-	-	-	不定
0F1C 1138H		C0MASK4H	-	-	-	-	不定	
0F1C 1140H	CAN0 モジュール制御レジスタ	C0CTRL		-	-	-	-	0000H
0F1C 114AH	CAN0 モジュール最終エラー情報レジスタ	C0LEC		-	-	-	-	00H
0F1C 114FH	CAN0 モジュール情報レジスタ	C0INFO	R	-	-	-	-	00H
0F1C 1150H	CAN0 モジュール・エラー・カウンタ・レジスタ	C0ERC		-	-	-	-	0000H
0F1C 1158H	CAN0 モジュール割り込み許可レジスタ	C0IE	R/W	-	-	-	-	0000H
0F1C 1160H	CAN0 モジュール割り込みステータス・レジスタ	C0INTS		-	-	-	-	0000H
0F1C 116AH	CAN0 モジュール・ビット・レート・プリスケラ・レジスタ	C0BRP		-	-	-	-	FFH
0F1C 1170H	CAN0 モジュール・ビット・レート・レジスタ	C0BTR		-	-	-	-	370FH
0F1C 117AH	CAN0 モジュール最終受信ポインタ・レジスタ	C0LIPT	R	-	-	-	-	不定
0F1C 1180H	CAN0 モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W	-	-	-	-	xx02H
0F1C 118AH	CAN0 モジュール最終送信ポインタ・レジスタ	C0LOPT	R	-	-	-	-	不定
0F1C 1190H	CAN0 モジュール送信履歴・リスト・レジスタ	C0TGPT	R/W	-	-	-	-	xx02H
0F1C 1198H	CAN0 モジュール・タイム・スタンプ・レジスタ	C0TS		-	-	-	-	0000H

表 20-16 レジスタ・アクセス・タイプ (2/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1400H	CAN0 メッセージ・データ・バイト 01 レジスタ 00	COMDATA0100	R/W	-	-	-	-	不定
0F1C 1402H	CAN0 メッセージ・データ・バイト 0 レジスタ 00	COMDATA000		-	-	-	-	不定
0F1C 1407H	CAN0 メッセージ・データ・バイト 1 レジスタ 00	COMDATA100		-	-	-	-	不定
0F1C 1408H	CAN0 メッセージ・データ・バイト 23 レジスタ 00	COMDATA2300		-	-	-	-	不定
0F1C 140AH	CAN0 メッセージ・データ・バイト 2 レジスタ 00	COMDATA200		-	-	-	-	不定
0F1C 140FH	CAN0 メッセージ・データ・バイト 3 レジスタ 00	COMDATA300		-	-	-	-	不定
0F1C 1410H	CAN0 メッセージ・データ・バイト 45 レジスタ 00	COMDATA4500		-	-	-	-	不定
0F1C 1412H	CAN0 メッセージ・データ・バイト 4 レジスタ 00	COMDATA400		-	-	-	-	不定
0F1C 1417H	CAN0 メッセージ・データ・バイト 5 レジスタ 00	COMDATA500		-	-	-	-	不定
0F1C 1418H	CAN0 メッセージ・データ・バイト 67 レジスタ 00	COMDATA6700		-	-	-	-	不定
0F1C 141AH	CAN0 メッセージ・データ・バイト 6 レジスタ 00	COMDATA600		-	-	-	-	不定
0F1C 141FH	CAN0 メッセージ・データ・バイト 7 レジスタ 00	COMDATA700		-	-	-	-	不定
0F1C 1422H	CAN0 メッセージ・データ長レジスタ 00	COMDLC00		-	-	-	-	0000xxxxB
0F1C 1427H	CAN0 メッセージ・コンフィギュレーション・レジスタ 00	COMCONF00		-	-	-	-	不定
0F1C 1428H	CAN0 メッセージ ID レジスタ 00	COMIDL00		-	-	-	-	不定
0F1C 1430H		COMIDH00		-	-	-	-	不定
0F1C 1438H	CAN0 メッセージ制御レジスタ 00	COMCTRL00	-	-	-	-	00x00000 000xx000B	
0F1C 1480H	CAN0 メッセージ・データ・バイト 01 レジスタ 01	COMDATA0101	R/W	-	-	-	-	不定
0F1C 1482H	CAN0 メッセージ・データ・バイト 0 レジスタ 01	COMDATA001		-	-	-	-	不定
0F1C 1487H	CAN0 メッセージ・データ・バイト 1 レジスタ 01	COMDATA101		-	-	-	-	不定
0F1C 1488H	CAN0 メッセージ・データ・バイト 23 レジスタ 01	COMDATA2301		-	-	-	-	不定
0F1C 148AH	CAN0 メッセージ・データ・バイト 2 レジスタ 01	COMDATA201		-	-	-	-	不定
0F1C 148FH	CAN0 メッセージ・データ・バイト 3 レジスタ 01	COMDATA301		-	-	-	-	不定
0F1C 1490H	CAN0 メッセージ・データ・バイト 45 レジスタ 01	COMDATA4501		-	-	-	-	不定
0F1C 1492H	CAN0 メッセージ・データ・バイト 4 レジスタ 01	COMDATA401		-	-	-	-	不定
0F1C 1497H	CAN0 メッセージ・データ・バイト 5 レジスタ 01	COMDATA501		-	-	-	-	不定
0F1C 1498H	CAN0 メッセージ・データ・バイト 67 レジスタ 01	COMDATA6701		-	-	-	-	不定
0F1C 149AH	CAN0 メッセージ・データ・バイト 6 レジスタ 01	COMDATA601		-	-	-	-	不定
0F1C 149FH	CAN0 メッセージ・データ・バイト 7 レジスタ 01	COMDATA701		-	-	-	-	不定
0F1C 14A2H	CAN0 メッセージ・データ長レジスタ 01	COMDLC01		-	-	-	-	0000xxxxB
0F1C 14A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 01	COMCONF01		-	-	-	-	不定
0F1C 14A8H	CAN0 メッセージ ID レジスタ 01	COMIDL01		-	-	-	-	不定
0F1C 14B0H		COMIDH01		-	-	-	-	不定
0F1C 14B8H	CAN0 メッセージ制御レジスタ 01	COMCTRL01	-	-	-	-	00x00000 000xx000B	



表 20-16 レジスタ・アクセス・タイプ (3/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1500H	CAN0 メッセージ・データ・バイト 01 レジスタ 02	COMDATA0102	R/W	-	-	-	-	不定
0F1C 1502H	CAN0 メッセージ・データ・バイト 0 レジスタ 02	COMDATA002		-	-	-	-	不定
0F1C 1507H	CAN0 メッセージ・データ・バイト 1 レジスタ 02	COMDATA102		-	-	-	-	不定
0F1C 1508H	CAN0 メッセージ・データ・バイト 23 レジスタ 02	COMDATA2302		-	-	-	-	不定
0F1C 150AH	CAN0 メッセージ・データ・バイト 2 レジスタ 02	COMDATA202		-	-	-	-	不定
0F1C 150FH	CAN0 メッセージ・データ・バイト 3 レジスタ 02	COMDATA302		-	-	-	-	不定
0F1C 1510H	CAN0 メッセージ・データ・バイト 45 レジスタ 02	COMDATA4502		-	-	-	-	不定
0F1C 1512H	CAN0 メッセージ・データ・バイト 4 レジスタ 02	COMDATA402		-	-	-	-	不定
0F1C 1517H	CAN0 メッセージ・データ・バイト 5 レジスタ 02	COMDATA502		-	-	-	-	不定
0F1C 1518H	CAN0 メッセージ・データ・バイト 67 レジスタ 02	COMDATA6702		-	-	-	-	不定
0F1C 151AH	CAN0 メッセージ・データ・バイト 6 レジスタ 02	COMDATA602		-	-	-	-	不定
0F1C 151FH	CAN0 メッセージ・データ・バイト 7 レジスタ 02	COMDATA702		-	-	-	-	不定
0F1C 1522H	CAN0 メッセージ・データ長レジスタ 02	COMDLC02		-	-	-	-	0000xxxxB
0F1C 1527H	CAN0 メッセージ・コンフィギュレーション・レジスタ 02	COMCONF02		-	-	-	-	不定
0F1C 1528H	CAN0 メッセージ ID レジスタ 02	COMIDL02		-	-	-	-	不定
0F1C 1530H		COMIDH02	-	-	-	-	不定	
0F1C 1538H	CAN0 メッセージ制御レジスタ 02	COMCTRL02	-	-	-	-	00x00000 000xx000B	
0F1C 1580H	CAN0 メッセージ・データ・バイト 01 レジスタ 03	COMDATA0103	R/W	-	-	-	-	不定
0F1C 1582H	CAN0 メッセージ・データ・バイト 0 レジスタ 03	COMDATA003		-	-	-	-	不定
0F1C 1587H	CAN0 メッセージ・データ・バイト 1 レジスタ 03	COMDATA103		-	-	-	-	不定
0F1C 1588H	CAN0 メッセージ・データ・バイト 23 レジスタ 03	COMDATA2303		-	-	-	-	不定
0F1C 158AH	CAN0 メッセージ・データ・バイト 2 レジスタ 03	COMDATA203		-	-	-	-	不定
0F1C 158FH	CAN0 メッセージ・データ・バイト 3 レジスタ 03	COMDATA303		-	-	-	-	不定
0F1C 1590H	CAN0 メッセージ・データ・バイト 45 レジスタ 03	COMDATA4503		-	-	-	-	不定
0F1C 1592H	CAN0 メッセージ・データ・バイト 4 レジスタ 03	COMDATA403		-	-	-	-	不定
0F1C 159AH	CAN0 メッセージ・データ・バイト 5 レジスタ 03	COMDATA503		-	-	-	-	不定
0F1C 1598H	CAN0 メッセージ・データ・バイト 67 レジスタ 03	COMDATA6703		-	-	-	-	不定
0F1C 159AH	CAN0 メッセージ・データ・バイト 6 レジスタ 03	COMDATA603		-	-	-	-	不定
0F1C 159FH	CAN0 メッセージ・データ・バイト 7 レジスタ 03	COMDATA703		-	-	-	-	不定
0F1C 15A2H	CAN0 メッセージ・データ長レジスタ 03	COMDLC03		-	-	-	-	0000xxxxB
0F1C 15A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 03	COMCONF03		-	-	-	-	不定
0F1C 15A8H	CAN0 メッセージ ID レジスタ 03	COMIDL03		-	-	-	-	不定
0F1C 15B0H		COMIDH03	-	-	-	-	不定	
0F1C 15B8H	CAN0 メッセージ制御レジスタ 03	COMCTRL03	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (4/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時	
				1	8	16	32		
0F1C 1600H	CAN0 メッセージ・データ・バイト 01 レジスタ 04	COMDATA0104	R/W	-	-	-	-	不定	
0F1C 1602H	CAN0 メッセージ・データ・バイト 0 レジスタ 04	COMDATA004		-	-	-	-	不定	
0F1C 1607H	CAN0 メッセージ・データ・バイト 1 レジスタ 04	COMDATA104		-	-	-	-	不定	
0F1C 1608H	CAN0 メッセージ・データ・バイト 23 レジスタ 04	COMDATA2304		-	-	-	-	不定	
0F1C 160AH	CAN0 メッセージ・データ・バイト 2 レジスタ 04	COMDATA204		-	-	-	-	不定	
0F1C 160FH	CAN0 メッセージ・データ・バイト 3 レジスタ 04	COMDATA304		-	-	-	-	不定	
0F1C 1610H	CAN0 メッセージ・データ・バイト 45 レジスタ 04	COMDATA4504		-	-	-	-	不定	
0F1C 1612H	CAN0 メッセージ・データ・バイト 4 レジスタ 04	COMDATA404		-	-	-	-	不定	
0F1C 1617H	CAN0 メッセージ・データ・バイト 5 レジスタ 04	COMDATA504		-	-	-	-	不定	
0F1C 1618H	CAN0 メッセージ・データ・バイト 67 レジスタ 04	COMDATA6704		-	-	-	-	不定	
0F1C 161AH	CAN0 メッセージ・データ・バイト 6 レジスタ 04	COMDATA604		-	-	-	-	不定	
0F1C 161FH	CAN0 メッセージ・データ・バイト 7 レジスタ 04	COMDATA704		-	-	-	-	不定	
0F1C 1622H	CAN0 メッセージ・データ長レジスタ 04	COMDLC04		-	-	-	-	0000xxxxB	
0F1C 1627H	CAN0 メッセージ・コンフィギュレーション・レジスタ 04	COMCONF04		-	-	-	-	不定	
0F1C 1628H	CAN0 メッセージ ID レジスタ 04	COMIDL04		-	-	-	-	不定	
0F1C 1630H		COMIDH04		-	-	-	-	不定	
0F1C 1638H	CAN0 メッセージ制御レジスタ 04	COMCTRL04		-	-	-	-	00x00000 000xx000B	
0F1C 1680H	CAN0 メッセージ・データ・バイト 01 レジスタ 05	COMDATA0105		R/W	-	-	-	-	不定
0F1C 1682H	CAN0 メッセージ・データ・バイト 0 レジスタ 05	COMDATA005			-	-	-	-	不定
0F1C 1687H	CAN0 メッセージ・データ・バイト 1 レジスタ 05	COMDATA105			-	-	-	-	不定
0F1C 1688H	CAN0 メッセージ・データ・バイト 23 レジスタ 05	COMDATA2305	-		-	-	-	不定	
0F1C 168AH	CAN0 メッセージ・データ・バイト 2 レジスタ 05	COMDATA205	-		-	-	-	不定	
0F1C 168FH	CAN0 メッセージ・データ・バイト 3 レジスタ 05	COMDATA305	-		-	-	-	不定	
0F1C 1690H	CAN0 メッセージ・データ・バイト 45 レジスタ 05	COMDATA4505	-		-	-	-	不定	
0F1C 1692H	CAN0 メッセージ・データ・バイト 4 レジスタ 05	COMDATA405	-		-	-	-	不定	
0F1C 169AH	CAN0 メッセージ・データ・バイト 5 レジスタ 05	COMDATA505	-		-	-	-	不定	
0F1C 1698H	CAN0 メッセージ・データ・バイト 67 レジスタ 05	COMDATA6705	-		-	-	-	不定	
0F1C 169AH	CAN0 メッセージ・データ・バイト 6 レジスタ 05	COMDATA605	-		-	-	-	不定	
0F1C 169FH	CAN0 メッセージ・データ・バイト 7 レジスタ 05	COMDATA705	-		-	-	-	不定	
0F1C 16A2H	CAN0 メッセージ・データ長レジスタ 05	COMDLC05	-		-	-	-	0000xxxxB	
0F1C 16A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 05	COMCONF05	-		-	-	-	不定	
0F1C 16A8H	CAN0 メッセージ ID レジスタ 05	COMIDL05	-		-	-	-	不定	
0F1C 16B0H		COMIDH05	-		-	-	-	不定	
0F1C 16B8H	CAN0 メッセージ制御レジスタ 05	COMCTRL05	-		-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (5/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1700H	CAN0 メッセージ・データ・バイト 01 レジスタ 06	COMDATA0106	R/W	-	-	-	-	不定
0F1C 1702H	CAN0 メッセージ・データ・バイト 0 レジスタ 06	COMDATA006		-	-	-	-	不定
0F1C 1707H	CAN0 メッセージ・データ・バイト 1 レジスタ 06	COMDATA106		-	-	-	-	不定
0F1C 1708H	CAN0 メッセージ・データ・バイト 23 レジスタ 06	COMDATA2306		-	-	-	-	不定
0F1C 170AH	CAN0 メッセージ・データ・バイト 2 レジスタ 06	COMDATA206		-	-	-	-	不定
0F1C 170FH	CAN0 メッセージ・データ・バイト 3 レジスタ 06	COMDATA306		-	-	-	-	不定
0F1C 1710H	CAN0 メッセージ・データ・バイト 45 レジスタ 06	COMDATA4506		-	-	-	-	不定
0F1C 1712H	CAN0 メッセージ・データ・バイト 4 レジスタ 06	COMDATA406		-	-	-	-	不定
0F1C 1717H	CAN0 メッセージ・データ・バイト 5 レジスタ 06	COMDATA506		-	-	-	-	不定
0F1C 1718H	CAN0 メッセージ・データ・バイト 67 レジスタ 06	COMDATA6706		-	-	-	-	不定
0F1C 171AH	CAN0 メッセージ・データ・バイト 6 レジスタ 06	COMDATA606		-	-	-	-	不定
0F1C 171FH	CAN0 メッセージ・データ・バイト 7 レジスタ 06	COMDATA706		-	-	-	-	不定
0F1C 1722H	CAN0 メッセージ・データ長レジスタ 06	COMDLC06		-	-	-	-	0000xxxxB
0F1C 1727H	CAN0 メッセージ・コンフィギュレーション・レジスタ 06	COMCONF06		-	-	-	-	不定
0F1C 1728H	CAN0 メッセージ ID レジスタ 06	COMIDL06		-	-	-	-	不定
0F1C 1730H		COMIDH06	-	-	-	-	不定	
0F1C 1738H	CAN0 メッセージ制御レジスタ 06	COMCTRL06	-	-	-	-	00x00000 000xx000B	
0F1C 1780H	CAN0 メッセージ・データ・バイト 01 レジスタ 07	COMDATA0107	R/W	-	-	-	-	不定
0F1C 1782H	CAN0 メッセージ・データ・バイト 0 レジスタ 07	COMDATA007		-	-	-	-	不定
0F1C 1787H	CAN0 メッセージ・データ・バイト 1 レジスタ 07	COMDATA107		-	-	-	-	不定
0F1C 1788H	CAN0 メッセージ・データ・バイト 23 レジスタ 07	COMDATA2307		-	-	-	-	不定
0F1C 178AH	CAN0 メッセージ・データ・バイト 2 レジスタ 07	COMDATA207		-	-	-	-	不定
0F1C 178FH	CAN0 メッセージ・データ・バイト 3 レジスタ 07	COMDATA307		-	-	-	-	不定
0F1C 1790H	CAN0 メッセージ・データ・バイト 45 レジスタ 07	COMDATA4507		-	-	-	-	不定
0F1C 1792H	CAN0 メッセージ・データ・バイト 4 レジスタ 07	COMDATA407		-	-	-	-	不定
0F1C 179AH	CAN0 メッセージ・データ・バイト 5 レジスタ 07	COMDATA507		-	-	-	-	不定
0F1C 1798H	CAN0 メッセージ・データ・バイト 67 レジスタ 07	COMDATA6707		-	-	-	-	不定
0F1C 179AH	CAN0 メッセージ・データ・バイト 6 レジスタ 07	COMDATA607		-	-	-	-	不定
0F1C 179FH	CAN0 メッセージ・データ・バイト 7 レジスタ 07	COMDATA707		-	-	-	-	不定
0F1C 17A2H	CAN0 メッセージ・データ長レジスタ 07	COMDLC07		-	-	-	-	0000xxxxB
0F1C 17A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 07	COMCONF07		-	-	-	-	不定
0F1C 17A8H	CAN0 メッセージ ID レジスタ 07	COMIDL07		-	-	-	-	不定
0F1C 17B0H		COMIDH07	-	-	-	-	不定	
0F1C 17B8H	CAN0 メッセージ制御レジスタ 07	COMCTRL07	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (6/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1800H	CAN0 メッセージ・データ・バイト 01 レジスタ 08	COMDATA0108	R/W	-	-	-	-	不定
0F1C 1802H	CAN0 メッセージ・データ・バイト 0 レジスタ 08	COMDATA008		-	-	-	-	不定
0F1C 1807H	CAN0 メッセージ・データ・バイト 1 レジスタ 08	COMDATA108		-	-	-	-	不定
0F1C 1808H	CAN0 メッセージ・データ・バイト 23 レジスタ 08	COMDATA2308		-	-	-	-	不定
0F1C 180AH	CAN0 メッセージ・データ・バイト 2 レジスタ 08	COMDATA208		-	-	-	-	不定
0F1C 180FH	CAN0 メッセージ・データ・バイト 3 レジスタ 08	COMDATA308		-	-	-	-	不定
0F1C 1810H	CAN0 メッセージ・データ・バイト 45 レジスタ 08	COMDATA4508		-	-	-	-	不定
0F1C 1812H	CAN0 メッセージ・データ・バイト 4 レジスタ 08	COMDATA408		-	-	-	-	不定
0F1C 1817H	CAN0 メッセージ・データ・バイト 5 レジスタ 08	COMDATA508		-	-	-	-	不定
0F1C 1818H	CAN0 メッセージ・データ・バイト 67 レジスタ 08	COMDATA6708		-	-	-	-	不定
0F1C 181AH	CAN0 メッセージ・データ・バイト 6 レジスタ 08	COMDATA608		-	-	-	-	不定
0F1C 181FH	CAN0 メッセージ・データ・バイト 7 レジスタ 08	COMDATA708		-	-	-	-	不定
0F1C 1822H	CAN0 メッセージ・データ長レジスタ 08	COMDLC08		-	-	-	-	0000xxxxB
0F1C 1827H	CAN0 メッセージ・コンフィギュレーション・レジスタ 08	COMCONF08		-	-	-	-	不定
0F1C 1828H	CAN0 メッセージ ID レジスタ 08	COMIDL08		-	-	-	-	不定
0F1C 1830H		COMIDH08	-	-	-	-	不定	
0F1C 1838H	CAN0 メッセージ制御レジスタ 08	COMCTRL08	-	-	-	-	00x00000 000xx000B	
0F1C 1880H	CAN0 メッセージ・データ・バイト 01 レジスタ 09	COMDATA0109	R/W	-	-	-	-	不定
0F1C 1882H	CAN0 メッセージ・データ・バイト 0 レジスタ 09	COMDATA009		-	-	-	-	不定
0F1C 1887H	CAN0 メッセージ・データ・バイト 1 レジスタ 09	COMDATA109		-	-	-	-	不定
0F1C 1888H	CAN0 メッセージ・データ・バイト 23 レジスタ 09	COMDATA2309		-	-	-	-	不定
0F1C 188AH	CAN0 メッセージ・データ・バイト 2 レジスタ 09	COMDATA209		-	-	-	-	不定
0F1C 188FH	CAN0 メッセージ・データ・バイト 3 レジスタ 09	COMDATA309		-	-	-	-	不定
0F1C 1890H	CAN0 メッセージ・データ・バイト 45 レジスタ 09	COMDATA4509		-	-	-	-	不定
0F1C 1892H	CAN0 メッセージ・データ・バイト 4 レジスタ 09	COMDATA409		-	-	-	-	不定
0F1C 189AH	CAN0 メッセージ・データ・バイト 5 レジスタ 09	COMDATA509		-	-	-	-	不定
0F1C 1898H	CAN0 メッセージ・データ・バイト 67 レジスタ 09	COMDATA6709		-	-	-	-	不定
0F1C 189AH	CAN0 メッセージ・データ・バイト 6 レジスタ 09	COMDATA609		-	-	-	-	不定
0F1C 189FH	CAN0 メッセージ・データ・バイト 7 レジスタ 09	COMDATA709		-	-	-	-	不定
0F1C 18A2H	CAN0 メッセージ・データ長レジスタ 09	COMDLC09		-	-	-	-	0000xxxxB
0F1C 18A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 09	COMCONF09		-	-	-	-	不定
0F1C 18A8H	CAN0 メッセージ ID レジスタ 09	COMIDL09		-	-	-	-	不定
0F1C 18B0H		COMIDH09	-	-	-	-	不定	
0F1C 18B8H	CAN0 メッセージ制御レジスタ 09	COMCTRL09	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (7/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1900H	CAN0 メッセージ・データ・バイト 01 レジスタ 10	COMDATA0110	R/W	-	-	-	-	不定
0F1C 1902H	CAN0 メッセージ・データ・バイト 0 レジスタ 10	COMDATA010		-	-	-	-	不定
0F1C 1907H	CAN0 メッセージ・データ・バイト 1 レジスタ 10	COMDATA110		-	-	-	-	不定
0F1C 1908H	CAN0 メッセージ・データ・バイト 23 レジスタ 10	COMDATA2310		-	-	-	-	不定
0F1C 190AH	CAN0 メッセージ・データ・バイト 2 レジスタ 10	COMDATA210		-	-	-	-	不定
0F1C 190FH	CAN0 メッセージ・データ・バイト 3 レジスタ 10	COMDATA310		-	-	-	-	不定
0F1C 1910H	CAN0 メッセージ・データ・バイト 45 レジスタ 10	COMDATA4510		-	-	-	-	不定
0F1C 1912H	CAN0 メッセージ・データ・バイト 4 レジスタ 10	COMDATA410		-	-	-	-	不定
0F1C 1917H	CAN0 メッセージ・データ・バイト 5 レジスタ 10	COMDATA510		-	-	-	-	不定
0F1C 1918H	CAN0 メッセージ・データ・バイト 67 レジスタ 10	COMDATA6710		-	-	-	-	不定
0F1C 191AH	CAN0 メッセージ・データ・バイト 6 レジスタ 10	COMDATA610		-	-	-	-	不定
0F1C 191FH	CAN0 メッセージ・データ・バイト 7 レジスタ 10	COMDATA710		-	-	-	-	不定
0F1C 1922H	CAN0 メッセージ・データ長レジスタ 10	COMDLC10		-	-	-	-	0000xxxxB
0F1C 1927H	CAN0 メッセージ・コンフィギュレーション・レジスタ 10	COMCONF10		-	-	-	-	不定
0F1C 1928H	CAN0 メッセージ ID レジスタ 10	COMIDL10		-	-	-	-	不定
0F1C 1930H		COMIDH10	-	-	-	-	不定	
0F1C 1938H	CAN0 メッセージ制御レジスタ 10	COMCTRL10	-	-	-	-	00x00000 000xx000B	
0F1C 1980H	CAN0 メッセージ・データ・バイト 01 レジスタ 11	COMDATA0111	R/W	-	-	-	-	不定
0F1C 1982H	CAN0 メッセージ・データ・バイト 0 レジスタ 11	COMDATA011		-	-	-	-	不定
0F1C 1987H	CAN0 メッセージ・データ・バイト 1 レジスタ 11	COMDATA111		-	-	-	-	不定
0F1C 1988H	CAN0 メッセージ・データ・バイト 23 レジスタ 11	COMDATA2311		-	-	-	-	不定
0F1C 198AH	CAN0 メッセージ・データ・バイト 2 レジスタ 11	COMDATA211		-	-	-	-	不定
0F1C 198FH	CAN0 メッセージ・データ・バイト 3 レジスタ 11	COMDATA311		-	-	-	-	不定
0F1C 1990H	CAN0 メッセージ・データ・バイト 45 レジスタ 11	COMDATA4511		-	-	-	-	不定
0F1C 1992H	CAN0 メッセージ・データ・バイト 4 レジスタ 11	COMDATA411		-	-	-	-	不定
0F1C 199AH	CAN0 メッセージ・データ・バイト 5 レジスタ 11	COMDATA511		-	-	-	-	不定
0F1C 1998H	CAN0 メッセージ・データ・バイト 67 レジスタ 11	COMDATA6711		-	-	-	-	不定
0F1C 199AH	CAN0 メッセージ・データ・バイト 6 レジスタ 11	COMDATA611		-	-	-	-	不定
0F1C 199FH	CAN0 メッセージ・データ・バイト 7 レジスタ 11	COMDATA711		-	-	-	-	不定
0F1C 19A2H	CAN0 メッセージ・データ長レジスタ 11	COMDLC11		-	-	-	-	0000xxxxB
0F1C 19A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 11	COMCONF11		-	-	-	-	不定
0F1C 19A8H	CAN0 メッセージ ID レジスタ 11	COMIDL11		-	-	-	-	不定
0F1C 19B0H		COMIDH11	-	-	-	-	不定	
0F1C 19B8H	CAN0 メッセージ制御レジスタ 11	COMCTRL11	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (8/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1A00H	CAN0 メッセージ・データ・バイト 01 レジスタ 12	COMDATA0112	R/W	-	-	-	-	不定
0F1C 1A02H	CAN0 メッセージ・データ・バイト 0 レジスタ 12	COMDATA012		-	-	-	-	不定
0F1C 1A07H	CAN0 メッセージ・データ・バイト 1 レジスタ 12	COMDATA112		-	-	-	-	不定
0F1C 1A08H	CAN0 メッセージ・データ・バイト 23 レジスタ 12	COMDATA2312		-	-	-	-	不定
0F1C 1A0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 12	COMDATA212		-	-	-	-	不定
0F1C 1A0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 12	COMDATA312		-	-	-	-	不定
0F1C 1A10H	CAN0 メッセージ・データ・バイト 45 レジスタ 12	COMDATA4512		-	-	-	-	不定
0F1C 1A12H	CAN0 メッセージ・データ・バイト 4 レジスタ 12	COMDATA412		-	-	-	-	不定
0F1C 1A17H	CAN0 メッセージ・データ・バイト 5 レジスタ 12	COMDATA512		-	-	-	-	不定
0F1C 1A18H	CAN0 メッセージ・データ・バイト 67 レジスタ 12	COMDATA6712		-	-	-	-	不定
0F1C 1A1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 12	COMDATA612		-	-	-	-	不定
0F1C 1A1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 12	COMDATA712		-	-	-	-	不定
0F1C 1A22H	CAN0 メッセージ・データ長レジスタ 12	COMDLC12		-	-	-	-	0000xxxxB
0F1C 1A27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 12	COMCONF12		-	-	-	-	不定
0F1C 1A28H	CAN0 メッセージ ID レジスタ 12	COMIDL12		-	-	-	-	不定
0F1C 1A30H		COMIDH12		-	-	-	-	不定
0F1C 1A38H	CAN0 メッセージ制御レジスタ 12	COMCTRL12		-	-	-	-	00x00000 000xx000B
0F1C 1A80H	CAN0 メッセージ・データ・バイト 01 レジスタ 13	COMDATA0113		R/W	-	-	-	-
0F1C 1A82H	CAN0 メッセージ・データ・バイト 0 レジスタ 13	COMDATA013	-		-	-	-	不定
0F1C 1A87H	CAN0 メッセージ・データ・バイト 1 レジスタ 13	COMDATA113	-		-	-	-	不定
0F1C 1A88H	CAN0 メッセージ・データ・バイト 23 レジスタ 13	COMDATA2313	-		-	-	-	不定
0F1C 1A8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 13	COMDATA213	-		-	-	-	不定
0F1C 1A8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 13	COMDATA313	-		-	-	-	不定
0F1C 1A90H	CAN0 メッセージ・データ・バイト 45 レジスタ 13	COMDATA4513	-		-	-	-	不定
0F1C 1A92H	CAN0 メッセージ・データ・バイト 4 レジスタ 13	COMDATA413	-		-	-	-	不定
0F1C 1A9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 13	COMDATA513	-		-	-	-	不定
0F1C 1A98H	CAN0 メッセージ・データ・バイト 67 レジスタ 13	COMDATA6713	-		-	-	-	不定
0F1C 1A9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 13	COMDATA613	-		-	-	-	不定
0F1C 1A9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 13	COMDATA713	-		-	-	-	不定
0F1C 1AA2H	CAN0 メッセージ・データ長レジスタ 13	COMDLC13	-		-	-	-	0000xxxxB
0F1C 1AA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 13	COMCONF13	-		-	-	-	不定
0F1C 1AA8H	CAN0 メッセージ ID レジスタ 13	COMIDL13	-		-	-	-	不定
0F1C 1AB0H		COMIDH13	-		-	-	-	不定
0F1C 1AB8H	CAN0 メッセージ制御レジスタ 13	COMCTRL13	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (9/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1B00H	CAN0 メッセージ・データ・バイト 01 レジスタ 14	COMDATA0114	R/W	-	-	-	-	不定
0F1C 1B02H	CAN0 メッセージ・データ・バイト 0 レジスタ 14	COMDATA014		-	-	-	-	不定
0F1C 1B07H	CAN0 メッセージ・データ・バイト 1 レジスタ 14	COMDATA114		-	-	-	-	不定
0F1C 1B08H	CAN0 メッセージ・データ・バイト 23 レジスタ 14	COMDATA2314		-	-	-	-	不定
0F1C 1B0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 14	COMDATA214		-	-	-	-	不定
0F1C 1B0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 14	COMDATA314		-	-	-	-	不定
0F1C 1B10H	CAN0 メッセージ・データ・バイト 45 レジスタ 14	COMDATA4514		-	-	-	-	不定
0F1C 1B12H	CAN0 メッセージ・データ・バイト 4 レジスタ 14	COMDATA414		-	-	-	-	不定
0F1C 1B17H	CAN0 メッセージ・データ・バイト 5 レジスタ 14	COMDATA514		-	-	-	-	不定
0F1C 1B18H	CAN0 メッセージ・データ・バイト 67 レジスタ 14	COMDATA6714		-	-	-	-	不定
0F1C 1B1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 14	COMDATA614		-	-	-	-	不定
0F1C 1B1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 14	COMDATA714		-	-	-	-	不定
0F1C 1B22H	CAN0 メッセージ・データ長レジスタ 14	COMDLC14		-	-	-	-	0000xxxxB
0F1C 1B27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 14	COMCONF14		-	-	-	-	不定
0F1C 1B28H	CAN0 メッセージ ID レジスタ 14	COMIDL14		-	-	-	-	不定
0F1C 1B30H		COMIDH14	-	-	-	-	不定	
0F1C 1B38H	CAN0 メッセージ制御レジスタ 14	COMCTRL14	-	-	-	-	00x00000 000xx000B	
0F1C 1B80H	CAN0 メッセージ・データ・バイト 01 レジスタ 15	COMDATA0115	R/W	-	-	-	-	不定
0F1C 1B82H	CAN0 メッセージ・データ・バイト 0 レジスタ 15	COMDATA015		-	-	-	-	不定
0F1C 1B87H	CAN0 メッセージ・データ・バイト 1 レジスタ 15	COMDATA115		-	-	-	-	不定
0F1C 1B88H	CAN0 メッセージ・データ・バイト 23 レジスタ 15	COMDATA2315		-	-	-	-	不定
0F1C 1B8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 15	COMDATA215		-	-	-	-	不定
0F1C 1B8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 15	COMDATA315		-	-	-	-	不定
0F1C 1B90H	CAN0 メッセージ・データ・バイト 45 レジスタ 15	COMDATA4515		-	-	-	-	不定
0F1C 1B92H	CAN0 メッセージ・データ・バイト 4 レジスタ 15	COMDATA415		-	-	-	-	不定
0F1C 1B9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 15	COMDATA515		-	-	-	-	不定
0F1C 1B98H	CAN0 メッセージ・データ・バイト 67 レジスタ 15	COMDATA6715		-	-	-	-	不定
0F1C 1B9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 15	COMDATA615		-	-	-	-	不定
0F1C 1B9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 15	COMDATA715		-	-	-	-	不定
0F1C 1BA2H	CAN0 メッセージ・データ長レジスタ 15	COMDLC15		-	-	-	-	0000xxxxB
0F1C 1BA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 15	COMCONF15		-	-	-	-	不定
0F1C 1BA8H	CAN0 メッセージ ID レジスタ 15	COMIDL15		-	-	-	-	不定
0F1C 1BB0H		COMIDH15	-	-	-	-	不定	
0F1C 1BB8H	CAN0 メッセージ制御レジスタ 15	COMCTRL15	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (10/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1C00H	CAN0 メッセージ・データ・バイト 01 レジスタ 16	COMDATA0116	R/W	-	-	-	-	不定
0F1C 1C02H	CAN0 メッセージ・データ・バイト 0 レジスタ 16	COMDATA0016		-	-	-	-	不定
0F1C 1C07H	CAN0 メッセージ・データ・バイト 1 レジスタ 16	COMDATA0116		-	-	-	-	不定
0F1C 1C08H	CAN0 メッセージ・データ・バイト 23 レジスタ 16	COMDATA2316		-	-	-	-	不定
0F1C 1C0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 16	COMDATA0216		-	-	-	-	不定
0F1C 1C0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 16	COMDATA0316		-	-	-	-	不定
0F1C 1C10H	CAN0 メッセージ・データ・バイト 45 レジスタ 16	COMDATA4516		-	-	-	-	不定
0F1C 1C12H	CAN0 メッセージ・データ・バイト 4 レジスタ 16	COMDATA0416		-	-	-	-	不定
0F1C 1C17H	CAN0 メッセージ・データ・バイト 5 レジスタ 16	COMDATA0516		-	-	-	-	不定
0F1C 1C18H	CAN0 メッセージ・データ・バイト 67 レジスタ 16	COMDATA6716		-	-	-	-	不定
0F1C 1C1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 16	COMDATA0616		-	-	-	-	不定
0F1C 1C1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 16	COMDATA0716		-	-	-	-	不定
0F1C 1C22H	CAN0 メッセージ・データ長レジスタ 16	COMDLC16		-	-	-	-	0000xxxxB
0F1C 1C27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 16	COMCONF16		-	-	-	-	不定
0F1C 1C28H	CAN0 メッセージ ID レジスタ 16	COMIDL16		-	-	-	-	不定
0F1C 1C30H		COMIDH16		-	-	-	-	不定
0F1C 1C38H	CAN0 メッセージ制御レジスタ 16	COMCTRL16	-	-	-	-	00x00000 000xx000B	
0F1C 1C80H	CAN0 メッセージ・データ・バイト 01 レジスタ 17	COMDATA0017	R/W	-	-	-	-	不定
0F1C 1C82H	CAN0 メッセージ・データ・バイト 0 レジスタ 17	COMDATA0017		-	-	-	-	不定
0F1C 1C87H	CAN0 メッセージ・データ・バイト 1 レジスタ 17	COMDATA0117		-	-	-	-	不定
0F1C 1C88H	CAN0 メッセージ・データ・バイト 23 レジスタ 17	COMDATA2317		-	-	-	-	不定
0F1C 1C8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 17	COMDATA0217		-	-	-	-	不定
0F1C 1C8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 17	COMDATA0317		-	-	-	-	不定
0F1C 1C90H	CAN0 メッセージ・データ・バイト 45 レジスタ 17	COMDATA4517		-	-	-	-	不定
0F1C 1C92H	CAN0 メッセージ・データ・バイト 4 レジスタ 17	COMDATA0417		-	-	-	-	不定
0F1C 1C9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 17	COMDATA0517		-	-	-	-	不定
0F1C 1C98H	CAN0 メッセージ・データ・バイト 67 レジスタ 17	COMDATA6717		-	-	-	-	不定
0F1C 1C9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 17	COMDATA0617		-	-	-	-	不定
0F1C 1C9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 17	COMDATA0717		-	-	-	-	不定
0F1C 1CA2H	CAN0 メッセージ・データ長レジスタ 17	COMDLC17		-	-	-	-	0000xxxxB
0F1C 1CA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 17	COMCONF17		-	-	-	-	不定
0F1C 1CA8H	CAN0 メッセージ ID レジスタ 17	COMIDL17		-	-	-	-	不定
0F1C 1CB0H		COMIDH17		-	-	-	-	不定
0F1C 1CB8H	CAN0 メッセージ制御レジスタ 17	COMCTRL17	-	-	-	-	00x00000 000xx000B	



表 20-16 レジスタ・アクセス・タイプ (11/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時	
				1	8	16	32		
0F1C 1D00H	CAN0 メッセージ・データ・バイト 01 レジスタ 18	COMDATA0118	R/W	-	-	-	-	不定	
0F1C 1D02H	CAN0 メッセージ・データ・バイト 0 レジスタ 18	COMDATA018		-	-	-	-	不定	
0F1C 1D07H	CAN0 メッセージ・データ・バイト 1 レジスタ 18	COMDATA118		-	-	-	-	不定	
0F1C 1D08H	CAN0 メッセージ・データ・バイト 23 レジスタ 18	COMDATA2318		-	-	-	-	不定	
0F1C 1D0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 18	COMDATA218		-	-	-	-	不定	
0F1C 1D0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 18	COMDATA318		-	-	-	-	不定	
0F1C 1D10H	CAN0 メッセージ・データ・バイト 45 レジスタ 18	COMDATA4518		-	-	-	-	不定	
0F1C 1D12H	CAN0 メッセージ・データ・バイト 4 レジスタ 18	COMDATA418		-	-	-	-	不定	
0F1C 1D17H	CAN0 メッセージ・データ・バイト 5 レジスタ 18	COMDATA518		-	-	-	-	不定	
0F1C 1D18H	CAN0 メッセージ・データ・バイト 67 レジスタ 18	COMDATA6718		-	-	-	-	不定	
0F1C 1D1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 18	COMDATA618		-	-	-	-	不定	
0F1C 1D1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 18	COMDATA718		-	-	-	-	不定	
0F1C 1D22H	CAN0 メッセージ・データ長レジスタ 18	COMDLC18		-	-	-	-	0000xxxxB	
0F1C 1D27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 18	COMCONF18		-	-	-	-	不定	
0F1C 1D28H	CAN0 メッセージ ID レジスタ 18	COMIDL18		-	-	-	-	不定	
0F1C 1D30H		COMIDH18		-	-	-	-	不定	
0F1C 1D38H	CAN0 メッセージ制御レジスタ 18	COMCTRL18		-	-	-	-	00x00000 000xx000B	
0F1C 1D80H	CAN0 メッセージ・データ・バイト 01 レジスタ 19	COMDATA0119		R/W	-	-	-	-	不定
0F1C 1D82H	CAN0 メッセージ・データ・バイト 0 レジスタ 19	COMDATA019			-	-	-	-	不定
0F1C 1D87H	CAN0 メッセージ・データ・バイト 1 レジスタ 19	COMDATA119			-	-	-	-	不定
0F1C 1D88H	CAN0 メッセージ・データ・バイト 23 レジスタ 19	COMDATA2319	-		-	-	-	不定	
0F1C 1D8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 19	COMDATA219	-		-	-	-	不定	
0F1C 1D8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 19	COMDATA319	-		-	-	-	不定	
0F1C 1D90H	CAN0 メッセージ・データ・バイト 45 レジスタ 19	COMDATA4519	-		-	-	-	不定	
0F1C 1D92H	CAN0 メッセージ・データ・バイト 4 レジスタ 19	COMDATA419	-		-	-	-	不定	
0F1C 1D9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 19	COMDATA519	-		-	-	-	不定	
0F1C 1D98H	CAN0 メッセージ・データ・バイト 67 レジスタ 19	COMDATA6719	-		-	-	-	不定	
0F1C 1D9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 19	COMDATA619	-		-	-	-	不定	
0F1C 1D9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 19	COMDATA719	-		-	-	-	不定	
0F1C 1DA2H	CAN0 メッセージ・データ長レジスタ 19	COMDLC19	-		-	-	-	0000xxxxB	
0F1C 1DA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 19	COMCONF19	-		-	-	-	不定	
0F1C 1DA8H	CAN0 メッセージ ID レジスタ 19	COMIDL19	-		-	-	-	不定	
0F1C 1DB0H		COMIDH19	-		-	-	-	不定	
0F1C 1DB8H	CAN0 メッセージ制御レジスタ 19	COMCTRL19	-		-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (12/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1E00H	CAN0 メッセージ・データ・バイト 01 レジスタ 20	COMDATA0120	R/W	-	-	-	-	不定
0F1C 1E02H	CAN0 メッセージ・データ・バイト 0 レジスタ 20	COMDATA020		-	-	-	-	不定
0F1C 1E07H	CAN0 メッセージ・データ・バイト 1 レジスタ 20	COMDATA120		-	-	-	-	不定
0F1C 1E08H	CAN0 メッセージ・データ・バイト 23 レジスタ 20	COMDATA2320		-	-	-	-	不定
0F1C 1E0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 20	COMDATA220		-	-	-	-	不定
0F1C 1E0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 20	COMDATA320		-	-	-	-	不定
0F1C 1E10H	CAN0 メッセージ・データ・バイト 45 レジスタ 20	COMDATA4520		-	-	-	-	不定
0F1C 1E12H	CAN0 メッセージ・データ・バイト 4 レジスタ 20	COMDATA420		-	-	-	-	不定
0F1C 1E17H	CAN0 メッセージ・データ・バイト 5 レジスタ 20	COMDATA520		-	-	-	-	不定
0F1C 1E18H	CAN0 メッセージ・データ・バイト 67 レジスタ 20	COMDATA6720		-	-	-	-	不定
0F1C 1E1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 20	COMDATA620		-	-	-	-	不定
0F1C 1E1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 20	COMDATA720		-	-	-	-	不定
0F1C 1E22H	CAN0 メッセージ・データ長レジスタ 20	COMDLC20		-	-	-	-	0000xxxxB
0F1C 1E27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 20	COMCONF20		-	-	-	-	不定
0F1C 1E28H	CAN0 メッセージ ID レジスタ 20	COMIDL20		-	-	-	-	不定
0F1C 1E30H		COMIDH20	-	-	-	-	不定	
0F1C 1E38H	CAN0 メッセージ制御レジスタ 20	COMCTRL20	-	-	-	-	00x00000 000xx000B	
0F1C 1E80H	CAN0 メッセージ・データ・バイト 01 レジスタ 21	COMDATA0121	R/W	-	-	-	-	不定
0F1C 1E82H	CAN0 メッセージ・データ・バイト 0 レジスタ 21	COMDATA021		-	-	-	-	不定
0F1C 1E87H	CAN0 メッセージ・データ・バイト 1 レジスタ 21	COMDATA121		-	-	-	-	不定
0F1C 1E88H	CAN0 メッセージ・データ・バイト 23 レジスタ 21	COMDATA2321		-	-	-	-	不定
0F1C 1E8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 21	COMDATA221		-	-	-	-	不定
0F1C 1E8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 21	COMDATA321		-	-	-	-	不定
0F1C 1E90H	CAN0 メッセージ・データ・バイト 45 レジスタ 21	COMDATA4521		-	-	-	-	不定
0F1C 1E92H	CAN0 メッセージ・データ・バイト 4 レジスタ 21	COMDATA421		-	-	-	-	不定
0F1C 1E9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 21	COMDATA521		-	-	-	-	不定
0F1C 1E98H	CAN0 メッセージ・データ・バイト 67 レジスタ 21	COMDATA6721		-	-	-	-	不定
0F1C 1E9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 21	COMDATA621		-	-	-	-	不定
0F1C 1E9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 21	COMDATA721		-	-	-	-	不定
0F1C 1EA2H	CAN0 メッセージ・データ長レジスタ 21	COMDLC21		-	-	-	-	0000xxxxB
0F1C 1EA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 21	COMCONF21		-	-	-	-	不定
0F1C 1EA8H	CAN0 メッセージ ID レジスタ 21	COMIDL21		-	-	-	-	不定
0F1C 1EB0H		COMIDH21	-	-	-	-	不定	
0F1C 1EB8H	CAN0 メッセージ制御レジスタ 21	COMCTRL21	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (13/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 1F00H	CAN0 メッセージ・データ・バイト 01 レジスタ 22	COMDATA0122	R/W	-	-	-	-	不定
0F1C 1F02H	CAN0 メッセージ・データ・バイト 0 レジスタ 22	COMDATA0022		-	-	-	-	不定
0F1C 1F07H	CAN0 メッセージ・データ・バイト 1 レジスタ 22	COMDATA122		-	-	-	-	不定
0F1C 1F08H	CAN0 メッセージ・データ・バイト 23 レジスタ 22	COMDATA2322		-	-	-	-	不定
0F1C 1F0AH	CAN0 メッセージ・データ・バイト 2 レジスタ 22	COMDATA222		-	-	-	-	不定
0F1C 1F0FH	CAN0 メッセージ・データ・バイト 3 レジスタ 22	COMDATA322		-	-	-	-	不定
0F1C 1F10H	CAN0 メッセージ・データ・バイト 45 レジスタ 22	COMDATA4522		-	-	-	-	不定
0F1C 1F12H	CAN0 メッセージ・データ・バイト 4 レジスタ 22	COMDATA422		-	-	-	-	不定
0F1C 1F17H	CAN0 メッセージ・データ・バイト 5 レジスタ 22	COMDATA522		-	-	-	-	不定
0F1C 1F18H	CAN0 メッセージ・データ・バイト 67 レジスタ 22	COMDATA6722		-	-	-	-	不定
0F1C 1F1AH	CAN0 メッセージ・データ・バイト 6 レジスタ 22	COMDATA622		-	-	-	-	不定
0F1C 1F1FH	CAN0 メッセージ・データ・バイト 7 レジスタ 22	COMDATA722		-	-	-	-	不定
0F1C 1F22H	CAN0 メッセージ・データ長レジスタ 22	COMDLC22		-	-	-	-	0000xxxxB
0F1C 1F27H	CAN0 メッセージ・コンフィギュレーション・レジスタ 22	COMCONF22		-	-	-	-	不定
0F1C 1F28H	CAN0 メッセージ ID レジスタ 22	COMIDL22		-	-	-	-	不定
0F1C 1F30H		COMIDH22	-	-	-	-	不定	
0F1C 1F38H	CAN0 メッセージ制御レジスタ 22	COMCTRL22	-	-	-	-	00x00000 000xx000B	
0F1C 1F80H	CAN0 メッセージ・データ・バイト 01 レジスタ 23	COMDATA0123	R/W	-	-	-	-	不定
0F1C 1F82H	CAN0 メッセージ・データ・バイト 0 レジスタ 23	COMDATA023		-	-	-	-	不定
0F1C 1F87H	CAN0 メッセージ・データ・バイト 1 レジスタ 23	COMDATA123		-	-	-	-	不定
0F1C 1F88H	CAN0 メッセージ・データ・バイト 23 レジスタ 23	COMDATA2323		-	-	-	-	不定
0F1C 1F8AH	CAN0 メッセージ・データ・バイト 2 レジスタ 23	COMDATA223		-	-	-	-	不定
0F1C 1F8FH	CAN0 メッセージ・データ・バイト 3 レジスタ 23	COMDATA323		-	-	-	-	不定
0F1C 1F90H	CAN0 メッセージ・データ・バイト 45 レジスタ 23	COMDATA4523		-	-	-	-	不定
0F1C 1F92H	CAN0 メッセージ・データ・バイト 4 レジスタ 23	COMDATA423		-	-	-	-	不定
0F1C 1F9AH	CAN0 メッセージ・データ・バイト 5 レジスタ 23	COMDATA523		-	-	-	-	不定
0F1C 1F98H	CAN0 メッセージ・データ・バイト 67 レジスタ 23	COMDATA6723		-	-	-	-	不定
0F1C 1F9AH	CAN0 メッセージ・データ・バイト 6 レジスタ 23	COMDATA623		-	-	-	-	不定
0F1C 1F9FH	CAN0 メッセージ・データ・バイト 7 レジスタ 23	COMDATA723		-	-	-	-	不定
0F1C 1FA2H	CAN0 メッセージ・データ長レジスタ 23	COMDLC23		-	-	-	-	0000xxxxB
0F1C 1FA7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 23	COMCONF23		-	-	-	-	不定
0F1C 1FA8H	CAN0 メッセージ ID レジスタ 23	COMIDL23		-	-	-	-	不定
0F1C 1FB0H		COMIDH23	-	-	-	-	不定	
0F1C 1FB8H	CAN0 メッセージ制御レジスタ 23	COMCTRL23	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (14/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 2000H	CAN0 メッセージ・データ・バイト 01 レジスタ 24	COMDATA0124	R/W	-	-	-	-	不定
0F1C 2002H	CAN0 メッセージ・データ・バイト 0 レジスタ 24	COMDATA0024		-	-	-	-	不定
0F1C 2007H	CAN0 メッセージ・データ・バイト 1 レジスタ 24	COMDATA0124		-	-	-	-	不定
0F1C 2008H	CAN0 メッセージ・データ・バイト 23 レジスタ 24	COMDATA2324		-	-	-	-	不定
0F1C 200AH	CAN0 メッセージ・データ・バイト 2 レジスタ 24	COMDATA0224		-	-	-	-	不定
0F1C 200FH	CAN0 メッセージ・データ・バイト 3 レジスタ 24	COMDATA0324		-	-	-	-	不定
0F1C 2010H	CAN0 メッセージ・データ・バイト 45 レジスタ 24	COMDATA4524		-	-	-	-	不定
0F1C 2012H	CAN0 メッセージ・データ・バイト 4 レジスタ 24	COMDATA0424		-	-	-	-	不定
0F1C 2017H	CAN0 メッセージ・データ・バイト 5 レジスタ 24	COMDATA0524		-	-	-	-	不定
0F1C 2018H	CAN0 メッセージ・データ・バイト 67 レジスタ 24	COMDATA6724		-	-	-	-	不定
0F1C 201AH	CAN0 メッセージ・データ・バイト 6 レジスタ 24	COMDATA0624		-	-	-	-	不定
0F1C 201FH	CAN0 メッセージ・データ・バイト 7 レジスタ 24	COMDATA0724		-	-	-	-	不定
0F1C 2022H	CAN0 メッセージ・データ長レジスタ 24	COMDLC24		-	-	-	-	0000xxxxB
0F1C 2027H	CAN0 メッセージ・コンフィギュレーション・レジスタ 24	COMCONF24		-	-	-	-	不定
0F1C 2028H	CAN0 メッセージ ID レジスタ 24	COMIDL24		-	-	-	-	不定
0F1C 2030H		COMIDH24		-	-	-	-	不定
0F1C 2038H	CAN0 メッセージ制御レジスタ 24	COMCTRL24		-	-	-	-	00x00000 000xx000B
0F1C 2080H	CAN0 メッセージ・データ・バイト 01 レジスタ 25	COMDATA0125		R/W	-	-	-	-
0F1C 2082H	CAN0 メッセージ・データ・バイト 0 レジスタ 25	COMDATA0025	-		-	-	-	不定
0F1C 2087H	CAN0 メッセージ・データ・バイト 1 レジスタ 25	COMDATA0125	-		-	-	-	不定
0F1C 2088H	CAN0 メッセージ・データ・バイト 23 レジスタ 25	COMDATA2325	-		-	-	-	不定
0F1C 208AH	CAN0 メッセージ・データ・バイト 2 レジスタ 25	COMDATA0225	-		-	-	-	不定
0F1C 208FH	CAN0 メッセージ・データ・バイト 3 レジスタ 25	COMDATA0325	-		-	-	-	不定
0F1C 2090H	CAN0 メッセージ・データ・バイト 45 レジスタ 25	COMDATA4525	-		-	-	-	不定
0F1C 2092H	CAN0 メッセージ・データ・バイト 4 レジスタ 25	COMDATA0425	-		-	-	-	不定
0F1C 209AH	CAN0 メッセージ・データ・バイト 5 レジスタ 25	COMDATA0525	-		-	-	-	不定
0F1C 2098H	CAN0 メッセージ・データ・バイト 67 レジスタ 25	COMDATA6725	-		-	-	-	不定
0F1C 209AH	CAN0 メッセージ・データ・バイト 6 レジスタ 25	COMDATA0625	-		-	-	-	不定
0F1C 209FH	CAN0 メッセージ・データ・バイト 7 レジスタ 25	COMDATA0725	-		-	-	-	不定
0F1C 20A2H	CAN0 メッセージ・データ長レジスタ 25	COMDLC25	-		-	-	-	0000xxxxB
0F1C 20A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 25	COMCONF25	-		-	-	-	不定
0F1C 20A8H	CAN0 メッセージ ID レジスタ 25	COMIDL25	-		-	-	-	不定
0F1C 20B0H		COMIDH25	-		-	-	-	不定
0F1C 20B8H	CAN0 メッセージ制御レジスタ 25	COMCTRL25	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (15/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 2100H	CAN0 メッセージ・データ・バイト 01 レジスタ 26	COMDATA0126	R/W	-	-	-	-	不定
0F1C 2102H	CAN0 メッセージ・データ・バイト 0 レジスタ 26	COMDATA026		-	-	-	-	不定
0F1C 2107H	CAN0 メッセージ・データ・バイト 1 レジスタ 26	COMDATA126		-	-	-	-	不定
0F1C 2108H	CAN0 メッセージ・データ・バイト 23 レジスタ 26	COMDATA2326		-	-	-	-	不定
0F1C 210AH	CAN0 メッセージ・データ・バイト 2 レジスタ 26	COMDATA226		-	-	-	-	不定
0F1C 210FH	CAN0 メッセージ・データ・バイト 3 レジスタ 26	COMDATA326		-	-	-	-	不定
0F1C 2110H	CAN0 メッセージ・データ・バイト 45 レジスタ 26	COMDATA4526		-	-	-	-	不定
0F1C 2112H	CAN0 メッセージ・データ・バイト 4 レジスタ 26	COMDATA426		-	-	-	-	不定
0F1C 2117H	CAN0 メッセージ・データ・バイト 5 レジスタ 26	COMDATA526		-	-	-	-	不定
0F1C 2118H	CAN0 メッセージ・データ・バイト 67 レジスタ 26	COMDATA6726		-	-	-	-	不定
0F1C 211AH	CAN0 メッセージ・データ・バイト 6 レジスタ 26	COMDATA626		-	-	-	-	不定
0F1C 211FH	CAN0 メッセージ・データ・バイト 7 レジスタ 26	COMDATA726		-	-	-	-	不定
0F1C 2122H	CAN0 メッセージ・データ長レジスタ 26	COMDLC26		-	-	-	-	0000xxxxB
0F1C 2127H	CAN0 メッセージ・コンフィギュレーション・レジスタ 26	COMCONF26		-	-	-	-	不定
0F1C 2128H	CAN0 メッセージ ID レジスタ 26	COMIDL26		-	-	-	-	不定
0F1C 2130H		COMIDH26	-	-	-	-	不定	
0F1C 2138H	CAN0 メッセージ制御レジスタ 26	COMCTRL26	-	-	-	-	00x00000 000xx000B	
0F1C 2180H	CAN0 メッセージ・データ・バイト 01 レジスタ 27	COMDATA0127	R/W	-	-	-	-	不定
0F1C 2182H	CAN0 メッセージ・データ・バイト 0 レジスタ 27	COMDATA027		-	-	-	-	不定
0F1C 2187H	CAN0 メッセージ・データ・バイト 1 レジスタ 27	COMDATA127		-	-	-	-	不定
0F1C 2188H	CAN0 メッセージ・データ・バイト 23 レジスタ 27	COMDATA2327		-	-	-	-	不定
0F1C 218AH	CAN0 メッセージ・データ・バイト 2 レジスタ 27	COMDATA227		-	-	-	-	不定
0F1C 218FH	CAN0 メッセージ・データ・バイト 3 レジスタ 27	COMDATA327		-	-	-	-	不定
0F1C 2190H	CAN0 メッセージ・データ・バイト 45 レジスタ 27	COMDATA4527		-	-	-	-	不定
0F1C 2192H	CAN0 メッセージ・データ・バイト 4 レジスタ 27	COMDATA427		-	-	-	-	不定
0F1C 219AH	CAN0 メッセージ・データ・バイト 5 レジスタ 27	COMDATA527		-	-	-	-	不定
0F1C 2198H	CAN0 メッセージ・データ・バイト 67 レジスタ 27	COMDATA6727		-	-	-	-	不定
0F1C 219AH	CAN0 メッセージ・データ・バイト 6 レジスタ 27	COMDATA627		-	-	-	-	不定
0F1C 219FH	CAN0 メッセージ・データ・バイト 7 レジスタ 27	COMDATA727		-	-	-	-	不定
0F1C 21A2H	CAN0 メッセージ・データ長レジスタ 27	COMDLC27		-	-	-	-	0000xxxxB
0F1C 21A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 27	COMCONF27		-	-	-	-	不定
0F1C 21A8H	CAN0 メッセージ ID レジスタ 27	COMIDL27		-	-	-	-	不定
0F1C 21B0H		COMIDH27	-	-	-	-	不定	
0F1C 21B8H	CAN0 メッセージ制御レジスタ 27	COMCTRL27	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (16/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 2200H	CAN0 メッセージ・データ・バイト 01 レジスタ 28	COMDATA0128	R/W	-	-	-	-	不定
0F1C 2202H	CAN0 メッセージ・データ・バイト 0 レジスタ 28	COMDATA028		-	-	-	-	不定
0F1C 2207H	CAN0 メッセージ・データ・バイト 1 レジスタ 28	COMDATA128		-	-	-	-	不定
0F1C 2208H	CAN0 メッセージ・データ・バイト 23 レジスタ 28	COMDATA2328		-	-	-	-	不定
0F1C 220AH	CAN0 メッセージ・データ・バイト 2 レジスタ 28	COMDATA228		-	-	-	-	不定
0F1C 220FH	CAN0 メッセージ・データ・バイト 3 レジスタ 28	COMDATA328		-	-	-	-	不定
0F1C 2210H	CAN0 メッセージ・データ・バイト 45 レジスタ 28	COMDATA4528		-	-	-	-	不定
0F1C 2212H	CAN0 メッセージ・データ・バイト 4 レジスタ 28	COMDATA428		-	-	-	-	不定
0F1C 2217H	CAN0 メッセージ・データ・バイト 5 レジスタ 28	COMDATA528		-	-	-	-	不定
0F1C 2218H	CAN0 メッセージ・データ・バイト 67 レジスタ 28	COMDATA6728		-	-	-	-	不定
0F1C 221AH	CAN0 メッセージ・データ・バイト 6 レジスタ 28	COMDATA628		-	-	-	-	不定
0F1C 221FH	CAN0 メッセージ・データ・バイト 7 レジスタ 28	COMDATA728		-	-	-	-	不定
0F1C 2222H	CAN0 メッセージ・データ長レジスタ 28	COMDLC28		-	-	-	-	0000xxxxB
0F1C 2227H	CAN0 メッセージ・コンフィギュレーション・レジスタ 28	COMCONF28		-	-	-	-	不定
0F1C 2228H	CAN0 メッセージ ID レジスタ 28	COMIDL28		-	-	-	-	不定
0F1C 2230H		COMIDH28	-	-	-	-	不定	
0F1C 2238H	CAN0 メッセージ制御レジスタ 28	COMCTRL28	-	-	-	-	00x00000 000xx000B	
0F1C 2280H	CAN0 メッセージ・データ・バイト 01 レジスタ 29	COMDATA0129	R/W	-	-	-	-	不定
0F1C 2282H	CAN0 メッセージ・データ・バイト 0 レジスタ 29	COMDATA029		-	-	-	-	不定
0F1C 2287H	CAN0 メッセージ・データ・バイト 1 レジスタ 29	COMDATA129		-	-	-	-	不定
0F1C 2288H	CAN0 メッセージ・データ・バイト 23 レジスタ 29	COMDATA2329		-	-	-	-	不定
0F1C 228AH	CAN0 メッセージ・データ・バイト 2 レジスタ 29	COMDATA229		-	-	-	-	不定
0F1C 228FH	CAN0 メッセージ・データ・バイト 3 レジスタ 29	COMDATA329		-	-	-	-	不定
0F1C 2290H	CAN0 メッセージ・データ・バイト 45 レジスタ 29	COMDATA4529		-	-	-	-	不定
0F1C 2292H	CAN0 メッセージ・データ・バイト 4 レジスタ 29	COMDATA429		-	-	-	-	不定
0F1C 229AH	CAN0 メッセージ・データ・バイト 5 レジスタ 29	COMDATA529		-	-	-	-	不定
0F1C 2298H	CAN0 メッセージ・データ・バイト 67 レジスタ 29	COMDATA6729		-	-	-	-	不定
0F1C 229AH	CAN0 メッセージ・データ・バイト 6 レジスタ 29	COMDATA629		-	-	-	-	不定
0F1C 229FH	CAN0 メッセージ・データ・バイト 7 レジスタ 29	COMDATA729		-	-	-	-	不定
0F1C 22A2H	CAN0 メッセージ・データ長レジスタ 29	COMDLC29		-	-	-	-	0000xxxxB
0F1C 22A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 29	COMCONF29		-	-	-	-	不定
0F1C 22A8H	CAN0 メッセージ ID レジスタ 29	COMIDL29		-	-	-	-	不定
0F1C 22B0H		COMIDH29	-	-	-	-	不定	
0F1C 22B8H	CAN0 メッセージ制御レジスタ 29	COMCTRL29	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (17/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 2300H	CAN0 メッセージ・データ・バイト 01 レジスタ 30	COMDATA0130	R/W	-	-	-	-	不定
0F1C 2302H	CAN0 メッセージ・データ・バイト 0 レジスタ 30	COMDATA030		-	-	-	-	不定
0F1C 2307H	CAN0 メッセージ・データ・バイト 1 レジスタ 30	COMDATA130		-	-	-	-	不定
0F1C 2308H	CAN0 メッセージ・データ・バイト 23 レジスタ 30	COMDATA2330		-	-	-	-	不定
0F1C 230AH	CAN0 メッセージ・データ・バイト 2 レジスタ 30	COMDATA230		-	-	-	-	不定
0F1C 230FH	CAN0 メッセージ・データ・バイト 3 レジスタ 30	COMDATA330		-	-	-	-	不定
0F1C 2310H	CAN0 メッセージ・データ・バイト 45 レジスタ 30	COMDATA4530		-	-	-	-	不定
0F1C 2312H	CAN0 メッセージ・データ・バイト 4 レジスタ 30	COMDATA430		-	-	-	-	不定
0F1C 2317H	CAN0 メッセージ・データ・バイト 5 レジスタ 30	COMDATA530		-	-	-	-	不定
0F1C 2318H	CAN0 メッセージ・データ・バイト 67 レジスタ 30	COMDATA6730		-	-	-	-	不定
0F1C 231AH	CAN0 メッセージ・データ・バイト 6 レジスタ 30	COMDATA630		-	-	-	-	不定
0F1C 231FH	CAN0 メッセージ・データ・バイト 7 レジスタ 30	COMDATA730		-	-	-	-	不定
0F1C 2322H	CAN0 メッセージ・データ長レジスタ 30	COMDLC30		-	-	-	-	0000xxxxB
0F1C 2327H	CAN0 メッセージ・コンフィギュレーション・レジスタ 30	COMCONF30		-	-	-	-	不定
0F1C 2328H	CAN0 メッセージ ID レジスタ 30	COMIDL30		-	-	-	-	不定
0F1C 2330H		COMIDH30	-	-	-	-	不定	
0F1C 2338H	CAN0 メッセージ制御レジスタ 30	COMCTRL30	-	-	-	-	00x00000 000xx000B	
0F1C 2380H	CAN0 メッセージ・データ・バイト 01 レジスタ 31	COMDATA0131	R/W	-	-	-	-	不定
0F1C 2382H	CAN0 メッセージ・データ・バイト 0 レジスタ 31	COMDATA031		-	-	-	-	不定
0F1C 2387H	CAN0 メッセージ・データ・バイト 1 レジスタ 31	COMDATA131		-	-	-	-	不定
0F1C 2388H	CAN0 メッセージ・データ・バイト 23 レジスタ 31	COMDATA2331		-	-	-	-	不定
0F1C 238AH	CAN0 メッセージ・データ・バイト 2 レジスタ 31	COMDATA231		-	-	-	-	不定
0F1C 238FH	CAN0 メッセージ・データ・バイト 3 レジスタ 31	COMDATA331		-	-	-	-	不定
0F1C 2390H	CAN0 メッセージ・データ・バイト 45 レジスタ 31	COMDATA4531		-	-	-	-	不定
0F1C 2392H	CAN0 メッセージ・データ・バイト 4 レジスタ 31	COMDATA431		-	-	-	-	不定
0F1C 239AH	CAN0 メッセージ・データ・バイト 5 レジスタ 31	COMDATA531		-	-	-	-	不定
0F1C 2398H	CAN0 メッセージ・データ・バイト 67 レジスタ 31	COMDATA6731		-	-	-	-	不定
0F1C 239AH	CAN0 メッセージ・データ・バイト 6 レジスタ 31	COMDATA631		-	-	-	-	不定
0F1C 239FH	CAN0 メッセージ・データ・バイト 7 レジスタ 31	COMDATA731		-	-	-	-	不定
0F1C 23A2H	CAN0 メッセージ・データ長レジスタ 31	COMDLC31		-	-	-	-	0000xxxxB
0F1C 23A7H	CAN0 メッセージ・コンフィギュレーション・レジスタ 31	COMCONF31		-	-	-	-	不定
0F1C 23A8H	CAN0 メッセージ ID レジスタ 31	COMIDL31		-	-	-	-	不定
0F1C 23B0H		COMIDH31	-	-	-	-	不定	
0F1C 23B8H	CAN0 メッセージ制御レジスタ 31	COMCTRL31	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (18/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3000H	CAN1 グローバル制御レジスタ	C1GMCTRL	R/W	-	-	-	-	0000H
0F1C 300AH	CAN1 グローバル・クロック選択レジスタ	C1GMCS		-	-	-	-	0FH
0F1C 3018H	CAN1 グローバル・ブロック送信制御レジスタ	C1GMABT		-	-	-	-	0000H
0F1C 3022H	CAN1 グローバル・ブロック送信遅延設定レジスタ	C1GMABTD		-	-	-	-	00H
0F1C 3100H	CAN1 モジュール・マスク 1 レジスタ	C1MASK1L	R/W	-	-	-	-	不定
0F1C 3108H		C1MASK1H		-	-	-	-	不定
0F1C 3110H	CAN1 モジュール・マスク 2 レジスタ	C1MASK2L		-	-	-	-	不定
0F1C 3118H		C1MASK2H	-	-	-	-	不定	
0F1C 3120H	CAN1 モジュール・マスク 3 レジスタ	C1MASK3L		-	-	-	-	不定
0F1C 3128H		C1MASK3H	-	-	-	-	不定	
0F1C 3130H	CAN1 モジュール・マスク 4 レジスタ	C1MASK4L		-	-	-	-	不定
0F1C 3138H		C1MASK4H	-	-	-	-	不定	
0F1C 3140H	CAN1 モジュール制御レジスタ	C1CTRL		-	-	-	-	0000H
0F1C 314AH	CAN1 モジュール最終エラー情報レジスタ	C1LEC		-	-	-	-	00H
0F1C 314FH	CAN1 モジュール情報レジスタ	C1INFO	R	-	-	-	-	00H
0F1C 3150H	CAN1 モジュール・エラー・カウンタ・レジスタ	C1ERC		-	-	-	-	0000H
0F1C 3158H	CAN1 モジュール割り込み許可レジスタ	C1IE	R/W	-	-	-	-	0000H
0F1C 3160H	CAN1 モジュール割り込みステータス・レジスタ	C1INTS		-	-	-	-	0000H
0F1C 316AH	CAN1 モジュール・ビット・レート・プリスケアラ・レジスタ	C1BRP		-	-	-	-	FFH
0F1C 3170H	CAN1 モジュール・ビット・レート・レジスタ	C1BTR		-	-	-	-	370FH
0F1C 317AH	CAN1 モジュール最終受信ポインタ・レジスタ	C1LIPT	R	-	-	-	-	不定
0F1C 3180H	CAN1 モジュール受信履歴・リスト・レジスタ	C1RGPT	R/W	-	-	-	-	xx02H
0F1C 318AH	CAN1 モジュール最終送信ポインタ・レジスタ	C1LOPT	R	-	-	-	-	不定
0F1C 3190H	CAN1 モジュール送信履歴・リスト・レジスタ	C1TGPT	R/W	-	-	-	-	xx02H
0F1C 3198H	CAN1 モジュール・タイム・スタンプ・レジスタ	C1TS		-	-	-	-	0000H



表 20-16 レジスタ・アクセス・タイプ (19/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時	
				1	8	16	32		
0F1C 3400H	CAN1 メッセージ・データ・バイト 01 レジスタ 00	C1MDATA0100	R/W	-	-	-	-	不定	
0F1C 3402H	CAN1 メッセージ・データ・バイト 0 レジスタ 00	C1MDATA000		-	-	-	-	不定	
0F1C 3407H	CAN1 メッセージ・データ・バイト 1 レジスタ 00	C1MDATA100		-	-	-	-	不定	
0F1C 3408H	CAN1 メッセージ・データ・バイト 23 レジスタ 00	C1MDATA2300		-	-	-	-	不定	
0F1C 340AH	CAN1 メッセージ・データ・バイト 2 レジスタ 00	C1MDATA200		-	-	-	-	不定	
0F1C 340FH	CAN1 メッセージ・データ・バイト 3 レジスタ 00	C1MDATA300		-	-	-	-	不定	
0F1C 3410H	CAN1 メッセージ・データ・バイト 45 レジスタ 00	C1MDATA4500		-	-	-	-	不定	
0F1C 3412H	CAN1 メッセージ・データ・バイト 4 レジスタ 00	C1MDATA400		-	-	-	-	不定	
0F1C 3417H	CAN1 メッセージ・データ・バイト 5 レジスタ 00	C1MDATA500		-	-	-	-	不定	
0F1C 3418H	CAN1 メッセージ・データ・バイト 67 レジスタ 00	C1MDATA6700		-	-	-	-	不定	
0F1C 341AH	CAN1 メッセージ・データ・バイト 6 レジスタ 00	C1MDATA600		-	-	-	-	不定	
0F1C 341FH	CAN1 メッセージ・データ・バイト 7 レジスタ 00	C1MDATA700		-	-	-	-	不定	
0F1C 3422H	CAN1 メッセージ・データ長レジスタ 00	C1MDLC00		-	-	-	-	0000xxxxB	
0F1C 3427H	CAN1 メッセージ・コンフィギュレーション・レジスタ 00	C1MCONF00		-	-	-	-	不定	
0F1C 3428H	CAN1 メッセージ ID レジスタ 00	C1MIDL00		-	-	-	-	不定	
0F1C 3430H		C1MIDH00		-	-	-	-	不定	
0F1C 3438H	CAN1 メッセージ制御レジスタ 00	C1MCTRL00		-	-	-	-	00x00000 000xx000B	
0F1C 3480H	CAN1 メッセージ・データ・バイト 01 レジスタ 01	C1MDATA0101		R/W	-	-	-	-	不定
0F1C 3482H	CAN1 メッセージ・データ・バイト 0 レジスタ 01	C1MDATA001			-	-	-	-	不定
0F1C 3487H	CAN1 メッセージ・データ・バイト 1 レジスタ 01	C1MDATA101			-	-	-	-	不定
0F1C 3488H	CAN1 メッセージ・データ・バイト 23 レジスタ 01	C1MDATA2301	-		-	-	-	不定	
0F1C 348AH	CAN1 メッセージ・データ・バイト 2 レジスタ 01	C1MDATA201	-		-	-	-	不定	
0F1C 348FH	CAN1 メッセージ・データ・バイト 3 レジスタ 01	C1MDATA301	-		-	-	-	不定	
0F1C 3490H	CAN1 メッセージ・データ・バイト 45 レジスタ 01	C1MDATA4501	-		-	-	-	不定	
0F1C 3492H	CAN1 メッセージ・データ・バイト 4 レジスタ 01	C1MDATA401	-		-	-	-	不定	
0F1C 3497H	CAN1 メッセージ・データ・バイト 5 レジスタ 01	C1MDATA501	-		-	-	-	不定	
0F1C 3498H	CAN1 メッセージ・データ・バイト 67 レジスタ 01	C1MDATA6701	-		-	-	-	不定	
0F1C 349AH	CAN1 メッセージ・データ・バイト 6 レジスタ 01	C1MDATA601	-		-	-	-	不定	
0F1C 349FH	CAN1 メッセージ・データ・バイト 7 レジスタ 01	C1MDATA701	-		-	-	-	不定	
0F1C 34A2H	CAN1 メッセージ・データ長レジスタ 01	C1MDLC01	-		-	-	-	0000xxxxB	
0F1C 34A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 01	C1MCONF01	-		-	-	-	不定	
0F1C 34A8H	CAN1 メッセージ ID レジスタ 01	C1MIDL01	-		-	-	-	不定	
0F1C 34B0H		C1MIDH01	-		-	-	-	不定	
0F1C 34B8H	CAN1 メッセージ制御レジスタ 01	C1MCTRL01	-		-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (20/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3500H	CAN1 メッセージ・データ・バイト 01 レジスタ 02	C1MDATA0102	R/W	-	-	-	-	不定
0F1C 3502H	CAN1 メッセージ・データ・バイト 0 レジスタ 02	C1MDATA002		-	-	-	-	不定
0F1C 3507H	CAN1 メッセージ・データ・バイト 1 レジスタ 02	C1MDATA102		-	-	-	-	不定
0F1C 3508H	CAN1 メッセージ・データ・バイト 23 レジスタ 02	C1MDATA2302		-	-	-	-	不定
0F1C 350AH	CAN1 メッセージ・データ・バイト 2 レジスタ 02	C1MDATA202		-	-	-	-	不定
0F1C 350FH	CAN1 メッセージ・データ・バイト 3 レジスタ 02	C1MDATA302		-	-	-	-	不定
0F1C 3510H	CAN1 メッセージ・データ・バイト 45 レジスタ 02	C1MDATA4502		-	-	-	-	不定
0F1C 3512H	CAN1 メッセージ・データ・バイト 4 レジスタ 02	C1MDATA402		-	-	-	-	不定
0F1C 3517H	CAN1 メッセージ・データ・バイト 5 レジスタ 02	C1MDATA502		-	-	-	-	不定
0F1C 3518H	CAN1 メッセージ・データ・バイト 67 レジスタ 02	C1MDATA6702		-	-	-	-	不定
0F1C 351AH	CAN1 メッセージ・データ・バイト 6 レジスタ 02	C1MDATA602		-	-	-	-	不定
0F1C 351FH	CAN1 メッセージ・データ・バイト 7 レジスタ 02	C1MDATA702		-	-	-	-	不定
0F1C 3522H	CAN1 メッセージ・データ長レジスタ 02	C1MDLC02		-	-	-	-	0000xxxxB
0F1C 3527H	CAN1 メッセージ・コンフィギュレーション・レジスタ 02	C1MCONF02		-	-	-	-	不定
0F1C 3528H	CAN1 メッセージ ID レジスタ 02	C1MIDL02		-	-	-	-	不定
0F1C 3530H		C1MIDH02	-	-	-	-	不定	
0F1C 3538H	CAN1 メッセージ制御レジスタ 02	C1MCTRL02	-	-	-	-	00x00000 000xx000B	
0F1C 3580H	CAN1 メッセージ・データ・バイト 01 レジスタ 03	C1MDATA0103	R/W	-	-	-	-	不定
0F1C 3582H	CAN1 メッセージ・データ・バイト 0 レジスタ 03	C1MDATA003		-	-	-	-	不定
0F1C 3587H	CAN1 メッセージ・データ・バイト 1 レジスタ 03	C1MDATA103		-	-	-	-	不定
0F1C 3588H	CAN1 メッセージ・データ・バイト 23 レジスタ 03	C1MDATA2303		-	-	-	-	不定
0F1C 358AH	CAN1 メッセージ・データ・バイト 2 レジスタ 03	C1MDATA203		-	-	-	-	不定
0F1C 358FH	CAN1 メッセージ・データ・バイト 3 レジスタ 03	C1MDATA303		-	-	-	-	不定
0F1C 3590H	CAN1 メッセージ・データ・バイト 45 レジスタ 03	C1MDATA4503		-	-	-	-	不定
0F1C 3592H	CAN1 メッセージ・データ・バイト 4 レジスタ 03	C1MDATA403		-	-	-	-	不定
0F1C 359AH	CAN1 メッセージ・データ・バイト 5 レジスタ 03	C1MDATA503		-	-	-	-	不定
0F1C 3598H	CAN1 メッセージ・データ・バイト 67 レジスタ 03	C1MDATA6703		-	-	-	-	不定
0F1C 359AH	CAN1 メッセージ・データ・バイト 6 レジスタ 03	C1MDATA603		-	-	-	-	不定
0F1C 359FH	CAN1 メッセージ・データ・バイト 7 レジスタ 03	C1MDATA703		-	-	-	-	不定
0F1C 35A2H	CAN1 メッセージ・データ長レジスタ 03	C1MDLC03		-	-	-	-	0000xxxxB
0F1C 35A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 03	C1MCONF03		-	-	-	-	不定
0F1C 35A8H	CAN1 メッセージ ID レジスタ 03	C1MIDL03		-	-	-	-	不定
0F1C 35B0H		C1MIDH03	-	-	-	-	不定	
0F1C 35B8H	CAN1 メッセージ制御レジスタ 03	C1MCTRL03	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (21/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時	
				1	8	16	32		
0F1C 3600H	CAN1 メッセージ・データ・バイト 01 レジスタ 04	C1MDATA0104	R/W	-	-	-	-	不定	
0F1C 3602H	CAN1 メッセージ・データ・バイト 0 レジスタ 04	C1MDATA004		-	-	-	-	不定	
0F1C 3607H	CAN1 メッセージ・データ・バイト 1 レジスタ 04	C1MDATA104		-	-	-	-	不定	
0F1C 3608H	CAN1 メッセージ・データ・バイト 23 レジスタ 04	C1MDATA2304		-	-	-	-	不定	
0F1C 360AH	CAN1 メッセージ・データ・バイト 2 レジスタ 04	C1MDATA204		-	-	-	-	不定	
0F1C 360FH	CAN1 メッセージ・データ・バイト 3 レジスタ 04	C1MDATA304		-	-	-	-	不定	
0F1C 3610H	CAN1 メッセージ・データ・バイト 45 レジスタ 04	C1MDATA4504		-	-	-	-	不定	
0F1C 3612H	CAN1 メッセージ・データ・バイト 4 レジスタ 04	C1MDATA404		-	-	-	-	不定	
0F1C 3617H	CAN1 メッセージ・データ・バイト 5 レジスタ 04	C1MDATA504		-	-	-	-	不定	
0F1C 3618H	CAN1 メッセージ・データ・バイト 67 レジスタ 04	C1MDATA6704		-	-	-	-	不定	
0F1C 361AH	CAN1 メッセージ・データ・バイト 6 レジスタ 04	C1MDATA604		-	-	-	-	不定	
0F1C 361FH	CAN1 メッセージ・データ・バイト 7 レジスタ 04	C1MDATA704		-	-	-	-	不定	
0F1C 3622H	CAN1 メッセージ・データ長レジスタ 04	C1MDLC04		-	-	-	-	0000xxxxB	
0F1C 3627H	CAN1 メッセージ・コンフィギュレーション・レジスタ 04	C1MCONF04		-	-	-	-	不定	
0F1C 3628H	CAN1 メッセージ ID レジスタ 04	C1MIDL04		-	-	-	-	不定	
0F1C 3630H		C1MIDH04		-	-	-	-	不定	
0F1C 3638H	CAN1 メッセージ制御レジスタ 04	C1MCTRL04		-	-	-	-	00x00000 000xx000B	
0F1C 3680H	CAN1 メッセージ・データ・バイト 01 レジスタ 05	C1MDATA0105		R/W	-	-	-	-	不定
0F1C 3682H	CAN1 メッセージ・データ・バイト 0 レジスタ 05	C1MDATA005			-	-	-	-	不定
0F1C 3687H	CAN1 メッセージ・データ・バイト 1 レジスタ 05	C1MDATA105			-	-	-	-	不定
0F1C 3688H	CAN1 メッセージ・データ・バイト 23 レジスタ 05	C1MDATA2305	-		-	-	-	不定	
0F1C 368AH	CAN1 メッセージ・データ・バイト 2 レジスタ 05	C1MDATA205	-		-	-	-	不定	
0F1C 368FH	CAN1 メッセージ・データ・バイト 3 レジスタ 05	C1MDATA305	-		-	-	-	不定	
0F1C 3690H	CAN1 メッセージ・データ・バイト 45 レジスタ 05	C1MDATA4505	-		-	-	-	不定	
0F1C 3692H	CAN1 メッセージ・データ・バイト 4 レジスタ 05	C1MDATA405	-		-	-	-	不定	
0F1C 369AH	CAN1 メッセージ・データ・バイト 5 レジスタ 05	C1MDATA505	-		-	-	-	不定	
0F1C 3698H	CAN1 メッセージ・データ・バイト 67 レジスタ 05	C1MDATA6705	-		-	-	-	不定	
0F1C 369AH	CAN1 メッセージ・データ・バイト 6 レジスタ 05	C1MDATA605	-		-	-	-	不定	
0F1C 369FH	CAN1 メッセージ・データ・バイト 7 レジスタ 05	C1MDATA705	-		-	-	-	不定	
0F1C 36A2H	CAN1 メッセージ・データ長レジスタ 05	C1MDLC05	-		-	-	-	0000xxxxB	
0F1C 36A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 05	C1MCONF05	-		-	-	-	不定	
0F1C 36A8H	CAN1 メッセージ ID レジスタ 05	C1MIDL05	-		-	-	-	不定	
0F1C 36B0H		C1MIDH05	-		-	-	-	不定	
0F1C 36B8H	CAN1 メッセージ制御レジスタ 05	C1MCTRL05	-		-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (22/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3700H	CAN1 メッセージ・データ・バイト 01 レジスタ 06	C1MDATA0106	R/W	-	-	-	-	不定
0F1C 3702H	CAN1 メッセージ・データ・バイト 0 レジスタ 06	C1MDATA006		-	-	-	-	不定
0F1C 3707H	CAN1 メッセージ・データ・バイト 1 レジスタ 06	C1MDATA106		-	-	-	-	不定
0F1C 3708H	CAN1 メッセージ・データ・バイト 23 レジスタ 06	C1MDATA2306		-	-	-	-	不定
0F1C 370AH	CAN1 メッセージ・データ・バイト 2 レジスタ 06	C1MDATA206		-	-	-	-	不定
0F1C 370FH	CAN1 メッセージ・データ・バイト 3 レジスタ 06	C1MDATA306		-	-	-	-	不定
0F1C 3710H	CAN1 メッセージ・データ・バイト 45 レジスタ 06	C1MDATA4506		-	-	-	-	不定
0F1C 3712H	CAN1 メッセージ・データ・バイト 4 レジスタ 06	C1MDATA406		-	-	-	-	不定
0F1C 3717H	CAN1 メッセージ・データ・バイト 5 レジスタ 06	C1MDATA506		-	-	-	-	不定
0F1C 3718H	CAN1 メッセージ・データ・バイト 67 レジスタ 06	C1MDATA6706		-	-	-	-	不定
0F1C 371AH	CAN1 メッセージ・データ・バイト 6 レジスタ 06	C1MDATA606		-	-	-	-	不定
0F1C 371FH	CAN1 メッセージ・データ・バイト 7 レジスタ 06	C1MDATA706		-	-	-	-	不定
0F1C 3722H	CAN1 メッセージ・データ長レジスタ 06	C1MDLC06		-	-	-	-	0000xxxxB
0F1C 3727H	CAN1 メッセージ・コンフィギュレーション・レジスタ 06	C1MCONF06		-	-	-	-	不定
0F1C 3728H	CAN1 メッセージ ID レジスタ 06	C1MIDL06		-	-	-	-	不定
0F1C 3730H		C1MIDH06	-	-	-	-	不定	
0F1C 3738H	CAN1 メッセージ制御レジスタ 06	C1MCTRL06	-	-	-	-	00x00000 000xx000B	
0F1C 3780H	CAN1 メッセージ・データ・バイト 01 レジスタ 07	C1MDATA0107	R/W	-	-	-	-	不定
0F1C 3782H	CAN1 メッセージ・データ・バイト 0 レジスタ 07	C1MDATA007		-	-	-	-	不定
0F1C 3787H	CAN1 メッセージ・データ・バイト 1 レジスタ 07	C1MDATA107		-	-	-	-	不定
0F1C 3788H	CAN1 メッセージ・データ・バイト 23 レジスタ 07	C1MDATA2307		-	-	-	-	不定
0F1C 378AH	CAN1 メッセージ・データ・バイト 2 レジスタ 07	C1MDATA207		-	-	-	-	不定
0F1C 378FH	CAN1 メッセージ・データ・バイト 3 レジスタ 07	C1MDATA307		-	-	-	-	不定
0F1C 3790H	CAN1 メッセージ・データ・バイト 45 レジスタ 07	C1MDATA4507		-	-	-	-	不定
0F1C 3792H	CAN1 メッセージ・データ・バイト 4 レジスタ 07	C1MDATA407		-	-	-	-	不定
0F1C 379AH	CAN1 メッセージ・データ・バイト 5 レジスタ 07	C1MDATA507		-	-	-	-	不定
0F1C 3798H	CAN1 メッセージ・データ・バイト 67 レジスタ 07	C1MDATA6707		-	-	-	-	不定
0F1C 379AH	CAN1 メッセージ・データ・バイト 6 レジスタ 07	C1MDATA607		-	-	-	-	不定
0F1C 379FH	CAN1 メッセージ・データ・バイト 7 レジスタ 07	C1MDATA707		-	-	-	-	不定
0F1C 37A2H	CAN1 メッセージ・データ長レジスタ 07	C1MDLC07		-	-	-	-	0000xxxxB
0F1C 37A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 07	C1MCONF07		-	-	-	-	不定
0F1C 37A8H	CAN1 メッセージ ID レジスタ 07	C1MIDL07		-	-	-	-	不定
0F1C 37B0H		C1MIDH07	-	-	-	-	不定	
0F1C 37B8H	CAN1 メッセージ制御レジスタ 07	C1MCTRL07	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (23/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時	
				1	8	16	32		
0F1C 3800H	CAN1 メッセージ・データ・バイト 01 レジスタ 08	C1MDATA0108	R/W	-	-	-	-	不定	
0F1C 3802H	CAN1 メッセージ・データ・バイト 0 レジスタ 08	C1MDATA008		-	-	-	-	不定	
0F1C 3807H	CAN1 メッセージ・データ・バイト 1 レジスタ 08	C1MDATA108		-	-	-	-	不定	
0F1C 3808H	CAN1 メッセージ・データ・バイト 23 レジスタ 08	C1MDATA2308		-	-	-	-	不定	
0F1C 380AH	CAN1 メッセージ・データ・バイト 2 レジスタ 08	C1MDATA208		-	-	-	-	不定	
0F1C 380FH	CAN1 メッセージ・データ・バイト 3 レジスタ 08	C1MDATA308		-	-	-	-	不定	
0F1C 3810H	CAN1 メッセージ・データ・バイト 45 レジスタ 08	C1MDATA4508		-	-	-	-	不定	
0F1C 3812H	CAN1 メッセージ・データ・バイト 4 レジスタ 08	C1MDATA408		-	-	-	-	不定	
0F1C 3817H	CAN1 メッセージ・データ・バイト 5 レジスタ 08	C1MDATA508		-	-	-	-	不定	
0F1C 3818H	CAN1 メッセージ・データ・バイト 67 レジスタ 08	C1MDATA6708		-	-	-	-	不定	
0F1C 381AH	CAN1 メッセージ・データ・バイト 6 レジスタ 08	C1MDATA608		-	-	-	-	不定	
0F1C 381FH	CAN1 メッセージ・データ・バイト 7 レジスタ 08	C1MDATA708		-	-	-	-	不定	
0F1C 3822H	CAN1 メッセージ・データ長レジスタ 08	C1MDLC08		-	-	-	-	0000xxxxB	
0F1C 3827H	CAN1 メッセージ・コンフィギュレーション・レジスタ 08	C1MCONF08		-	-	-	-	不定	
0F1C 3828H	CAN1 メッセージ ID レジスタ 08	C1MIDL08		-	-	-	-	不定	
0F1C 3830H		C1MIDH08		-	-	-	-	不定	
0F1C 3838H	CAN1 メッセージ制御レジスタ 08	C1MCTRL08		-	-	-	-	00x00000 000xx000B	
0F1C 3880H	CAN1 メッセージ・データ・バイト 01 レジスタ 09	C1MDATA0109		R/W	-	-	-	-	不定
0F1C 3882H	CAN1 メッセージ・データ・バイト 0 レジスタ 09	C1MDATA009			-	-	-	-	不定
0F1C 3887H	CAN1 メッセージ・データ・バイト 1 レジスタ 09	C1MDATA109			-	-	-	-	不定
0F1C 3888H	CAN1 メッセージ・データ・バイト 23 レジスタ 09	C1MDATA2309			-	-	-	-	不定
0F1C 388AH	CAN1 メッセージ・データ・バイト 2 レジスタ 09	C1MDATA209			-	-	-	-	不定
0F1C 388FH	CAN1 メッセージ・データ・バイト 3 レジスタ 09	C1MDATA309			-	-	-	-	不定
0F1C 3890H	CAN1 メッセージ・データ・バイト 45 レジスタ 09	C1MDATA4509			-	-	-	-	不定
0F1C 3892H	CAN1 メッセージ・データ・バイト 4 レジスタ 09	C1MDATA409			-	-	-	-	不定
0F1C 389AH	CAN1 メッセージ・データ・バイト 5 レジスタ 09	C1MDATA509			-	-	-	-	不定
0F1C 3898H	CAN1 メッセージ・データ・バイト 67 レジスタ 09	C1MDATA6709			-	-	-	-	不定
0F1C 389AH	CAN1 メッセージ・データ・バイト 6 レジスタ 09	C1MDATA609			-	-	-	-	不定
0F1C 389FH	CAN1 メッセージ・データ・バイト 7 レジスタ 09	C1MDATA709			-	-	-	-	不定
0F1C 38A2H	CAN1 メッセージ・データ長レジスタ 09	C1MDLC09			-	-	-	-	0000xxxxB
0F1C 38A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 09	C1MCONF09			-	-	-	-	不定
0F1C 38A8H	CAN1 メッセージ ID レジスタ 09	C1MIDL09			-	-	-	-	不定
0F1C 38B0H		C1MIDH09			-	-	-	-	不定
0F1C 38B8H	CAN1 メッセージ制御レジスタ 09	C1MCTRL09	-		-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (24/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3900H	CAN1 メッセージ・データ・バイト 01 レジスタ 10	C1MDATA0110	R/W	-	-	-	-	不定
0F1C 3902H	CAN1 メッセージ・データ・バイト 0 レジスタ 10	C1MDATA010		-	-	-	-	不定
0F1C 3907H	CAN1 メッセージ・データ・バイト 1 レジスタ 10	C1MDATA110		-	-	-	-	不定
0F1C 3908H	CAN1 メッセージ・データ・バイト 23 レジスタ 10	C1MDATA2310		-	-	-	-	不定
0F1C 390AH	CAN1 メッセージ・データ・バイト 2 レジスタ 10	C1MDATA210		-	-	-	-	不定
0F1C 390FH	CAN1 メッセージ・データ・バイト 3 レジスタ 10	C1MDATA310		-	-	-	-	不定
0F1C 3910H	CAN1 メッセージ・データ・バイト 45 レジスタ 10	C1MDATA4510		-	-	-	-	不定
0F1C 3912H	CAN1 メッセージ・データ・バイト 4 レジスタ 10	C1MDATA410		-	-	-	-	不定
0F1C 3917H	CAN1 メッセージ・データ・バイト 5 レジスタ 10	C1MDATA510		-	-	-	-	不定
0F1C 3918H	CAN1 メッセージ・データ・バイト 67 レジスタ 10	C1MDATA6710		-	-	-	-	不定
0F1C 391AH	CAN1 メッセージ・データ・バイト 6 レジスタ 10	C1MDATA610		-	-	-	-	不定
0F1C 391FH	CAN1 メッセージ・データ・バイト 7 レジスタ 10	C1MDATA710		-	-	-	-	不定
0F1C 3922H	CAN1 メッセージ・データ長レジスタ 10	C1MDLC10		-	-	-	-	0000xxxxB
0F1C 3927H	CAN1 メッセージ・コンフィギュレーション・レジスタ 10	C1MCONF10		-	-	-	-	不定
0F1C 3928H	CAN1 メッセージ ID レジスタ 10	C1MIDL10		-	-	-	-	不定
0F1C 3930H		C1MIDH10	-	-	-	-	不定	
0F1C 3938H	CAN1 メッセージ制御レジスタ 10	C1MCTRL10	-	-	-	-	00x00000 000xx000B	
0F1C 3980H	CAN1 メッセージ・データ・バイト 01 レジスタ 11	C1MDATA0111	R/W	-	-	-	-	不定
0F1C 3982H	CAN1 メッセージ・データ・バイト 0 レジスタ 11	C1MDATA011		-	-	-	-	不定
0F1C 3987H	CAN1 メッセージ・データ・バイト 1 レジスタ 11	C1MDATA111		-	-	-	-	不定
0F1C 3988H	CAN1 メッセージ・データ・バイト 23 レジスタ 11	C1MDATA2311		-	-	-	-	不定
0F1C 398AH	CAN1 メッセージ・データ・バイト 2 レジスタ 11	C1MDATA211		-	-	-	-	不定
0F1C 398FH	CAN1 メッセージ・データ・バイト 3 レジスタ 11	C1MDATA311		-	-	-	-	不定
0F1C 3990H	CAN1 メッセージ・データ・バイト 45 レジスタ 11	C1MDATA4511		-	-	-	-	不定
0F1C 3992H	CAN1 メッセージ・データ・バイト 4 レジスタ 11	C1MDATA411		-	-	-	-	不定
0F1C 399AH	CAN1 メッセージ・データ・バイト 5 レジスタ 11	C1MDATA511		-	-	-	-	不定
0F1C 3998H	CAN1 メッセージ・データ・バイト 67 レジスタ 11	C1MDATA6711		-	-	-	-	不定
0F1C 399AH	CAN1 メッセージ・データ・バイト 6 レジスタ 11	C1MDATA611		-	-	-	-	不定
0F1C 399FH	CAN1 メッセージ・データ・バイト 7 レジスタ 11	C1MDATA711		-	-	-	-	不定
0F1C 39A2H	CAN1 メッセージ・データ長レジスタ 11	C1MDLC11		-	-	-	-	0000xxxxB
0F1C 39A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 11	C1MCONF11		-	-	-	-	不定
0F1C 39A8H	CAN1 メッセージ ID レジスタ 11	C1MIDL11		-	-	-	-	不定
0F1C 39B0H		C1MIDH11	-	-	-	-	不定	
0F1C 39B8H	CAN1 メッセージ制御レジスタ 11	C1MCTRL11	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (25/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3A00H	CAN1 メッセージ・データ・バイト 01 レジスタ 12	C1MDATA0112	R/W	-	-	-	-	不定
0F1C 3A02H	CAN1 メッセージ・データ・バイト 0 レジスタ 12	C1MDATA0012		-	-	-	-	不定
0F1C 3A07H	CAN1 メッセージ・データ・バイト 1 レジスタ 12	C1MDATA0112		-	-	-	-	不定
0F1C 3A08H	CAN1 メッセージ・データ・バイト 23 レジスタ 12	C1MDATA2312		-	-	-	-	不定
0F1C 3A0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 12	C1MDATA0212		-	-	-	-	不定
0F1C 3A0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 12	C1MDATA0312		-	-	-	-	不定
0F1C 3A10H	CAN1 メッセージ・データ・バイト 45 レジスタ 12	C1MDATA4512		-	-	-	-	不定
0F1C 3A12H	CAN1 メッセージ・データ・バイト 4 レジスタ 12	C1MDATA0412		-	-	-	-	不定
0F1C 3A17H	CAN1 メッセージ・データ・バイト 5 レジスタ 12	C1MDATA0512		-	-	-	-	不定
0F1C 3A18H	CAN1 メッセージ・データ・バイト 67 レジスタ 12	C1MDATA6712		-	-	-	-	不定
0F1C 3A1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 12	C1MDATA0612		-	-	-	-	不定
0F1C 3A1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 12	C1MDATA0712		-	-	-	-	不定
0F1C 3A22H	CAN1 メッセージ・データ長レジスタ 12	C1MDLC12		-	-	-	-	0000xxxxB
0F1C 3A27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 12	C1MCONF12		-	-	-	-	不定
0F1C 3A28H	CAN1 メッセージ ID レジスタ 12	C1MIDL12		-	-	-	-	不定
0F1C 3A30H		C1MIDH12		-	-	-	-	不定
0F1C 3A38H	CAN1 メッセージ制御レジスタ 12	C1MCTRL12		-	-	-	-	00x00000 000xx000B
0F1C 3A80H	CAN1 メッセージ・データ・バイト 01 レジスタ 13	C1MDATA0013		R/W	-	-	-	-
0F1C 3A82H	CAN1 メッセージ・データ・バイト 0 レジスタ 13	C1MDATA0013	-		-	-	-	不定
0F1C 3A87H	CAN1 メッセージ・データ・バイト 1 レジスタ 13	C1MDATA0113	-		-	-	-	不定
0F1C 3A88H	CAN1 メッセージ・データ・バイト 23 レジスタ 13	C1MDATA2313	-		-	-	-	不定
0F1C 3A8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 13	C1MDATA0213	-		-	-	-	不定
0F1C 3A8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 13	C1MDATA0313	-		-	-	-	不定
0F1C 3A90H	CAN1 メッセージ・データ・バイト 45 レジスタ 13	C1MDATA4513	-		-	-	-	不定
0F1C 3A92H	CAN1 メッセージ・データ・バイト 4 レジスタ 13	C1MDATA0413	-		-	-	-	不定
0F1C 3A9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 13	C1MDATA0513	-		-	-	-	不定
0F1C 3A98H	CAN1 メッセージ・データ・バイト 67 レジスタ 13	C1MDATA6713	-		-	-	-	不定
0F1C 3A9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 13	C1MDATA0613	-		-	-	-	不定
0F1C 3A9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 13	C1MDATA0713	-		-	-	-	不定
0F1C 3AA2H	CAN1 メッセージ・データ長レジスタ 13	C1MDLC13	-		-	-	-	0000xxxxB
0F1C 3AA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 13	C1MCONF13	-		-	-	-	不定
0F1C 3AA8H	CAN1 メッセージ ID レジスタ 13	C1MIDL13	-		-	-	-	不定
0F1C 3AB0H		C1MIDH13	-		-	-	-	不定
0F1C 3AB8H	CAN1 メッセージ制御レジスタ 13	C1MCTRL13	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (26/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3B00H	CAN1 メッセージ・データ・バイト 01 レジスタ 14	C1MDATA0114	R/W	-	-	-	-	不定
0F1C 3B02H	CAN1 メッセージ・データ・バイト 0 レジスタ 14	C1MDATA014		-	-	-	-	不定
0F1C 3B07H	CAN1 メッセージ・データ・バイト 1 レジスタ 14	C1MDATA114		-	-	-	-	不定
0F1C 3B08H	CAN1 メッセージ・データ・バイト 23 レジスタ 14	C1MDATA2314		-	-	-	-	不定
0F1C 3B0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 14	C1MDATA214		-	-	-	-	不定
0F1C 3B0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 14	C1MDATA314		-	-	-	-	不定
0F1C 3B10H	CAN1 メッセージ・データ・バイト 45 レジスタ 14	C1MDATA4514		-	-	-	-	不定
0F1C 3B12H	CAN1 メッセージ・データ・バイト 4 レジスタ 14	C1MDATA414		-	-	-	-	不定
0F1C 3B17H	CAN1 メッセージ・データ・バイト 5 レジスタ 14	C1MDATA514		-	-	-	-	不定
0F1C 3B18H	CAN1 メッセージ・データ・バイト 67 レジスタ 14	C1MDATA6714		-	-	-	-	不定
0F1C 3B1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 14	C1MDATA614		-	-	-	-	不定
0F1C 3B1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 14	C1MDATA714		-	-	-	-	不定
0F1C 3B22H	CAN1 メッセージ・データ長レジスタ 14	C1MDLC14		-	-	-	-	0000xxxxB
0F1C 3B27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 14	C1MCONF14		-	-	-	-	不定
0F1C 3B28H	CAN1 メッセージ ID レジスタ 14	C1MIDL14		-	-	-	-	不定
0F1C 3B30H		C1MIDH14		-	-	-	-	不定
0F1C 3B38H	CAN1 メッセージ制御レジスタ 14	C1MCTRL14		-	-	-	-	00x00000 000xx000B
0F1C 3B80H	CAN1 メッセージ・データ・バイト 01 レジスタ 15	C1MDATA0115		R/W	-	-	-	-
0F1C 3B82H	CAN1 メッセージ・データ・バイト 0 レジスタ 15	C1MDATA015	-		-	-	-	不定
0F1C 3B87H	CAN1 メッセージ・データ・バイト 1 レジスタ 15	C1MDATA115	-		-	-	-	不定
0F1C 3B88H	CAN1 メッセージ・データ・バイト 23 レジスタ 15	C1MDATA2315	-		-	-	-	不定
0F1C 3B8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 15	C1MDATA215	-		-	-	-	不定
0F1C 3B8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 15	C1MDATA315	-		-	-	-	不定
0F1C 3B90H	CAN1 メッセージ・データ・バイト 45 レジスタ 15	C1MDATA4515	-		-	-	-	不定
0F1C 3B92H	CAN1 メッセージ・データ・バイト 4 レジスタ 15	C1MDATA415	-		-	-	-	不定
0F1C 3B9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 15	C1MDATA515	-		-	-	-	不定
0F1C 3B98H	CAN1 メッセージ・データ・バイト 67 レジスタ 15	C1MDATA6715	-		-	-	-	不定
0F1C 3B9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 15	C1MDATA615	-		-	-	-	不定
0F1C 3B9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 15	C1MDATA715	-		-	-	-	不定
0F1C 3BA2H	CAN1 メッセージ・データ長レジスタ 15	C1MDLC15	-		-	-	-	0000xxxxB
0F1C 3BA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 15	C1MCONF15	-		-	-	-	不定
0F1C 3BA8H	CAN1 メッセージ ID レジスタ 15	C1MIDL15	-		-	-	-	不定
0F1C 3BB0H		C1MIDH15	-		-	-	-	不定
0F1C 3BB8H	CAN1 メッセージ制御レジスタ 15	C1MCTRL15	-		-	-	-	00x00000 000xx000B



表 20-16 レジスタ・アクセス・タイプ (27/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3C00H	CAN1 メッセージ・データ・バイト 01 レジスタ 16	C1MDATA0116	R/W	-	-	-	-	不定
0F1C 3C02H	CAN1 メッセージ・データ・バイト 0 レジスタ 16	C1MDATA0016		-	-	-	-	不定
0F1C 3C07H	CAN1 メッセージ・データ・バイト 1 レジスタ 16	C1MDATA0116		-	-	-	-	不定
0F1C 3C08H	CAN1 メッセージ・データ・バイト 23 レジスタ 16	C1MDATA2316		-	-	-	-	不定
0F1C 3C0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 16	C1MDATA0216		-	-	-	-	不定
0F1C 3C0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 16	C1MDATA0316		-	-	-	-	不定
0F1C 3C10H	CAN1 メッセージ・データ・バイト 45 レジスタ 16	C1MDATA4516		-	-	-	-	不定
0F1C 3C12H	CAN1 メッセージ・データ・バイト 4 レジスタ 16	C1MDATA0416		-	-	-	-	不定
0F1C 3C17H	CAN1 メッセージ・データ・バイト 5 レジスタ 16	C1MDATA0516		-	-	-	-	不定
0F1C 3C18H	CAN1 メッセージ・データ・バイト 67 レジスタ 16	C1MDATA6716		-	-	-	-	不定
0F1C 3C1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 16	C1MDATA0616		-	-	-	-	不定
0F1C 3C1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 16	C1MDATA0716		-	-	-	-	不定
0F1C 3C22H	CAN1 メッセージ・データ長レジスタ 16	C1MDLC16		-	-	-	-	0000xxxxB
0F1C 3C27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 16	C1MCONF16		-	-	-	-	不定
0F1C 3C28H	CAN1 メッセージ ID レジスタ 16	C1MIDL16		-	-	-	-	不定
0F1C 3C30H		C1MIDH16		-	-	-	-	不定
0F1C 3C38H	CAN1 メッセージ制御レジスタ 16	C1MCTRL16		-	-	-	-	00x00000 000xx000B
0F1C 3C80H	CAN1 メッセージ・データ・バイト 01 レジスタ 17	C1MDATA0117		R/W	-	-	-	-
0F1C 3C82H	CAN1 メッセージ・データ・バイト 0 レジスタ 17	C1MDATA0017	-		-	-	-	不定
0F1C 3C87H	CAN1 メッセージ・データ・バイト 1 レジスタ 17	C1MDATA0117	-		-	-	-	不定
0F1C 3C88H	CAN1 メッセージ・データ・バイト 23 レジスタ 17	C1MDATA2317	-		-	-	-	不定
0F1C 3C8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 17	C1MDATA0217	-		-	-	-	不定
0F1C 3C8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 17	C1MDATA0317	-		-	-	-	不定
0F1C 3C90H	CAN1 メッセージ・データ・バイト 45 レジスタ 17	C1MDATA4517	-		-	-	-	不定
0F1C 3C92H	CAN1 メッセージ・データ・バイト 4 レジスタ 17	C1MDATA0417	-		-	-	-	不定
0F1C 3C9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 17	C1MDATA0517	-		-	-	-	不定
0F1C 3C98H	CAN1 メッセージ・データ・バイト 67 レジスタ 17	C1MDATA6717	-		-	-	-	不定
0F1C 3C9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 17	C1MDATA0617	-		-	-	-	不定
0F1C 3C9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 17	C1MDATA0717	-		-	-	-	不定
0F1C 3CA2H	CAN1 メッセージ・データ長レジスタ 17	C1MDLC17	-		-	-	-	0000xxxxB
0F1C 3CA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 17	C1MCONF17	-		-	-	-	不定
0F1C 3CA8H	CAN1 メッセージ ID レジスタ 17	C1MIDL17	-		-	-	-	不定
0F1C 3CB0H		C1MIDH17	-		-	-	-	不定
0F1C 3CB8H	CAN1 メッセージ制御レジスタ 17	C1MCTRL17	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (28/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3D00H	CAN1 メッセージ・データ・バイト 01 レジスタ 18	C1MDATA0118	R/W	-	-	-	-	不定
0F1C 3D02H	CAN1 メッセージ・データ・バイト 0 レジスタ 18	C1MDATA018		-	-	-	-	不定
0F1C 3D07H	CAN1 メッセージ・データ・バイト 1 レジスタ 18	C1MDATA118		-	-	-	-	不定
0F1C 3D08H	CAN1 メッセージ・データ・バイト 23 レジスタ 18	C1MDATA2318		-	-	-	-	不定
0F1C 3D0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 18	C1MDATA218		-	-	-	-	不定
0F1C 3D0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 18	C1MDATA318		-	-	-	-	不定
0F1C 3D10H	CAN1 メッセージ・データ・バイト 45 レジスタ 18	C1MDATA4518		-	-	-	-	不定
0F1C 3D12H	CAN1 メッセージ・データ・バイト 4 レジスタ 18	C1MDATA418		-	-	-	-	不定
0F1C 3D17H	CAN1 メッセージ・データ・バイト 5 レジスタ 18	C1MDATA518		-	-	-	-	不定
0F1C 3D18H	CAN1 メッセージ・データ・バイト 67 レジスタ 18	C1MDATA6718		-	-	-	-	不定
0F1C 3D1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 18	C1MDATA618		-	-	-	-	不定
0F1C 3D1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 18	C1MDATA718		-	-	-	-	不定
0F1C 3D22H	CAN1 メッセージ・データ長レジスタ 18	C1MDLC18		-	-	-	-	0000xxxxB
0F1C 3D27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 18	C1MCONF18		-	-	-	-	不定
0F1C 3D28H	CAN1 メッセージ ID レジスタ 18	C1MIDL18		-	-	-	-	不定
0F1C 3D30H		C1MIDH18		-	-	-	-	不定
0F1C 3D38H	CAN1 メッセージ制御レジスタ 18	C1MCTRL18		-	-	-	-	00x00000 000xx000B
0F1C 3D80H	CAN1 メッセージ・データ・バイト 01 レジスタ 19	C1MDATA0119		R/W	-	-	-	-
0F1C 3D82H	CAN1 メッセージ・データ・バイト 0 レジスタ 19	C1MDATA019	-		-	-	-	不定
0F1C 3D87H	CAN1 メッセージ・データ・バイト 1 レジスタ 19	C1MDATA119	-		-	-	-	不定
0F1C 3D88H	CAN1 メッセージ・データ・バイト 23 レジスタ 19	C1MDATA2319	-		-	-	-	不定
0F1C 3D8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 19	C1MDATA219	-		-	-	-	不定
0F1C 3D8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 19	C1MDATA319	-		-	-	-	不定
0F1C 3D90H	CAN1 メッセージ・データ・バイト 45 レジスタ 19	C1MDATA4519	-		-	-	-	不定
0F1C 3D92H	CAN1 メッセージ・データ・バイト 4 レジスタ 19	C1MDATA419	-		-	-	-	不定
0F1C 3D9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 19	C1MDATA519	-		-	-	-	不定
0F1C 3D98H	CAN1 メッセージ・データ・バイト 67 レジスタ 19	C1MDATA6719	-		-	-	-	不定
0F1C 3D9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 19	C1MDATA619	-		-	-	-	不定
0F1C 3D9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 19	C1MDATA719	-		-	-	-	不定
0F1C 3DA2H	CAN1 メッセージ・データ長レジスタ 19	C1MDLC19	-		-	-	-	0000xxxxB
0F1C 3DA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 19	C1MCONF19	-		-	-	-	不定
0F1C 3DA8H	CAN1 メッセージ ID レジスタ 19	C1MIDL19	-		-	-	-	不定
0F1C 3DB0H		C1MIDH19	-		-	-	-	不定
0F1C 3DB8H	CAN1 メッセージ制御レジスタ 19	C1MCTRL19	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (29/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3E00H	CAN1 メッセージ・データ・バイト 01 レジスタ 20	C1MDATA0120	R/W	-	-	-	-	不定
0F1C 3E02H	CAN1 メッセージ・データ・バイト 0 レジスタ 20	C1MDATA020		-	-	-	-	不定
0F1C 3E07H	CAN1 メッセージ・データ・バイト 1 レジスタ 20	C1MDATA120		-	-	-	-	不定
0F1C 3E08H	CAN1 メッセージ・データ・バイト 23 レジスタ 20	C1MDATA2320		-	-	-	-	不定
0F1C 3E0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 20	C1MDATA220		-	-	-	-	不定
0F1C 3E0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 20	C1MDATA320		-	-	-	-	不定
0F1C 3E10H	CAN1 メッセージ・データ・バイト 45 レジスタ 20	C1MDATA4520		-	-	-	-	不定
0F1C 3E12H	CAN1 メッセージ・データ・バイト 4 レジスタ 20	C1MDATA420		-	-	-	-	不定
0F1C 3E17H	CAN1 メッセージ・データ・バイト 5 レジスタ 20	C1MDATA520		-	-	-	-	不定
0F1C 3E18H	CAN1 メッセージ・データ・バイト 67 レジスタ 20	C1MDATA6720		-	-	-	-	不定
0F1C 3E1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 20	C1MDATA620		-	-	-	-	不定
0F1C 3E1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 20	C1MDATA720		-	-	-	-	不定
0F1C 3E22H	CAN1 メッセージ・データ長レジスタ 20	C1MDLC20		-	-	-	-	0000xxxxB
0F1C 3E27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 20	C1MCONF20		-	-	-	-	不定
0F1C 3E28H	CAN1 メッセージ ID レジスタ 20	C1MIDL20		-	-	-	-	不定
0F1C 3E30H		C1MIDH20	-	-	-	-	不定	
0F1C 3E38H	CAN1 メッセージ制御レジスタ 20	C1MCTRL20	-	-	-	-	00x00000 000xx000B	
0F1C 3E80H	CAN1 メッセージ・データ・バイト 01 レジスタ 21	C1MDATA0121	R/W	-	-	-	-	不定
0F1C 3E82H	CAN1 メッセージ・データ・バイト 0 レジスタ 21	C1MDATA021		-	-	-	-	不定
0F1C 3E87H	CAN1 メッセージ・データ・バイト 1 レジスタ 21	C1MDATA121		-	-	-	-	不定
0F1C 3E88H	CAN1 メッセージ・データ・バイト 23 レジスタ 21	C1MDATA2321		-	-	-	-	不定
0F1C 3E8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 21	C1MDATA221		-	-	-	-	不定
0F1C 3E8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 21	C1MDATA321		-	-	-	-	不定
0F1C 3E90H	CAN1 メッセージ・データ・バイト 45 レジスタ 21	C1MDATA4521		-	-	-	-	不定
0F1C 3E92H	CAN1 メッセージ・データ・バイト 4 レジスタ 21	C1MDATA421		-	-	-	-	不定
0F1C 3E9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 21	C1MDATA521		-	-	-	-	不定
0F1C 3E98H	CAN1 メッセージ・データ・バイト 67 レジスタ 21	C1MDATA6721		-	-	-	-	不定
0F1C 3E9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 21	C1MDATA621		-	-	-	-	不定
0F1C 3E9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 21	C1MDATA721		-	-	-	-	不定
0F1C 3EA2H	CAN1 メッセージ・データ長レジスタ 21	C1MDLC21		-	-	-	-	0000xxxxB
0F1C 3EA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 21	C1MCONF21		-	-	-	-	不定
0F1C 3EA8H	CAN1 メッセージ ID レジスタ 21	C1MIDL21		-	-	-	-	不定
0F1C 3EB0H		C1MIDH21	-	-	-	-	不定	
0F1C 3EB8H	CAN1 メッセージ制御レジスタ 21	C1MCTRL21	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (30/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 3F00H	CAN1 メッセージ・データ・バイト 01 レジスタ 22	C1MDATA0122	R/W	-	-	-	-	不定
0F1C 3F02H	CAN1 メッセージ・データ・バイト 0 レジスタ 22	C1MDATA0022		-	-	-	-	不定
0F1C 3F07H	CAN1 メッセージ・データ・バイト 1 レジスタ 22	C1MDATA122		-	-	-	-	不定
0F1C 3F08H	CAN1 メッセージ・データ・バイト 23 レジスタ 22	C1MDATA2322		-	-	-	-	不定
0F1C 3F0AH	CAN1 メッセージ・データ・バイト 2 レジスタ 22	C1MDATA222		-	-	-	-	不定
0F1C 3F0FH	CAN1 メッセージ・データ・バイト 3 レジスタ 22	C1MDATA322		-	-	-	-	不定
0F1C 3F10H	CAN1 メッセージ・データ・バイト 45 レジスタ 22	C1MDATA4522		-	-	-	-	不定
0F1C 3F12H	CAN1 メッセージ・データ・バイト 4 レジスタ 22	C1MDATA422		-	-	-	-	不定
0F1C 3F17H	CAN1 メッセージ・データ・バイト 5 レジスタ 22	C1MDATA522		-	-	-	-	不定
0F1C 3F18H	CAN1 メッセージ・データ・バイト 67 レジスタ 22	C1MDATA6722		-	-	-	-	不定
0F1C 3F1AH	CAN1 メッセージ・データ・バイト 6 レジスタ 22	C1MDATA622		-	-	-	-	不定
0F1C 3F1FH	CAN1 メッセージ・データ・バイト 7 レジスタ 22	C1MDATA722		-	-	-	-	不定
0F1C 3F22H	CAN1 メッセージ・データ長レジスタ 22	C1MDLC22		-	-	-	-	0000xxxxB
0F1C 3F27H	CAN1 メッセージ・コンフィギュレーション・レジスタ 22	C1MCONF22		-	-	-	-	不定
0F1C 3F28H	CAN1 メッセージ ID レジスタ 22	C1MIDL22		-	-	-	-	不定
0F1C 3F30H		C1MIDH22		-	-	-	-	不定
0F1C 3F38H	CAN1 メッセージ制御レジスタ 22	C1MCTRL22		-	-	-	-	00x00000 000xx000B
0F1C 3F80H	CAN1 メッセージ・データ・バイト 01 レジスタ 23	C1MDATA0123		R/W	-	-	-	-
0F1C 3F82H	CAN1 メッセージ・データ・バイト 0 レジスタ 23	C1MDATA023	-		-	-	-	不定
0F1C 3F87H	CAN1 メッセージ・データ・バイト 1 レジスタ 23	C1MDATA123	-		-	-	-	不定
0F1C 3F88H	CAN1 メッセージ・データ・バイト 23 レジスタ 23	C1MDATA2323	-		-	-	-	不定
0F1C 3F8AH	CAN1 メッセージ・データ・バイト 2 レジスタ 23	C1MDATA223	-		-	-	-	不定
0F1C 3F8FH	CAN1 メッセージ・データ・バイト 3 レジスタ 23	C1MDATA323	-		-	-	-	不定
0F1C 3F90H	CAN1 メッセージ・データ・バイト 45 レジスタ 23	C1MDATA4523	-		-	-	-	不定
0F1C 3F92H	CAN1 メッセージ・データ・バイト 4 レジスタ 23	C1MDATA423	-		-	-	-	不定
0F1C 3F9AH	CAN1 メッセージ・データ・バイト 5 レジスタ 23	C1MDATA523	-		-	-	-	不定
0F1C 3F98H	CAN1 メッセージ・データ・バイト 67 レジスタ 23	C1MDATA6723	-		-	-	-	不定
0F1C 3F9AH	CAN1 メッセージ・データ・バイト 6 レジスタ 23	C1MDATA623	-		-	-	-	不定
0F1C 3F9FH	CAN1 メッセージ・データ・バイト 7 レジスタ 23	C1MDATA723	-		-	-	-	不定
0F1C 3FA2H	CAN1 メッセージ・データ長レジスタ 23	C1MDLC23	-		-	-	-	0000xxxxB
0F1C 3FA7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 23	C1MCONF23	-		-	-	-	不定
0F1C 3FA8H	CAN1 メッセージ ID レジスタ 23	C1MIDL23	-		-	-	-	不定
0F1C 3FB0H		C1MIDH23	-		-	-	-	不定
0F1C 3FB8H	CAN1 メッセージ制御レジスタ 23	C1MCTRL23	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (31/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 4000H	CAN1 メッセージ・データ・バイト 01 レジスタ 24	C1MDATA0124	R/W	-	-	-	-	不定
0F1C 4002H	CAN1 メッセージ・データ・バイト 0 レジスタ 24	C1MDATA024		-	-	-	-	不定
0F1C 4007H	CAN1 メッセージ・データ・バイト 1 レジスタ 24	C1MDATA124		-	-	-	-	不定
0F1C 4008H	CAN1 メッセージ・データ・バイト 23 レジスタ 24	C1MDATA2324		-	-	-	-	不定
0F1C 400AH	CAN1 メッセージ・データ・バイト 2 レジスタ 24	C1MDATA224		-	-	-	-	不定
0F1C 400FH	CAN1 メッセージ・データ・バイト 3 レジスタ 24	C1MDATA324		-	-	-	-	不定
0F1C 4010H	CAN1 メッセージ・データ・バイト 45 レジスタ 24	C1MDATA4524		-	-	-	-	不定
0F1C 4012H	CAN1 メッセージ・データ・バイト 4 レジスタ 24	C1MDATA424		-	-	-	-	不定
0F1C 4017H	CAN1 メッセージ・データ・バイト 5 レジスタ 24	C1MDATA524		-	-	-	-	不定
0F1C 4018H	CAN1 メッセージ・データ・バイト 67 レジスタ 24	C1MDATA6724		-	-	-	-	不定
0F1C 401AH	CAN1 メッセージ・データ・バイト 6 レジスタ 24	C1MDATA624		-	-	-	-	不定
0F1C 401FH	CAN1 メッセージ・データ・バイト 7 レジスタ 24	C1MDATA724		-	-	-	-	不定
0F1C 4022H	CAN1 メッセージ・データ長レジスタ 24	C1MDLC24		-	-	-	-	0000xxxxB
0F1C 4027H	CAN1 メッセージ・コンフィギュレーション・レジスタ 24	C1MCONF24		-	-	-	-	不定
0F1C 4028H	CAN1 メッセージ ID レジスタ 24	C1MIDL24		-	-	-	-	不定
0F1C 4030H		C1MIDH24		-	-	-	-	不定
0F1C 4038H	CAN1 メッセージ制御レジスタ 24	C1MCTRL24		-	-	-	-	00x00000 000xx000B
0F1C 4080H	CAN1 メッセージ・データ・バイト 01 レジスタ 25	C1MDATA0125		R/W	-	-	-	-
0F1C 4082H	CAN1 メッセージ・データ・バイト 0 レジスタ 25	C1MDATA025	-		-	-	-	不定
0F1C 4087H	CAN1 メッセージ・データ・バイト 1 レジスタ 25	C1MDATA125	-		-	-	-	不定
0F1C 4088H	CAN1 メッセージ・データ・バイト 23 レジスタ 25	C1MDATA2325	-		-	-	-	不定
0F1C 408AH	CAN1 メッセージ・データ・バイト 2 レジスタ 25	C1MDATA225	-		-	-	-	不定
0F1C 408FH	CAN1 メッセージ・データ・バイト 3 レジスタ 25	C1MDATA325	-		-	-	-	不定
0F1C 4090H	CAN1 メッセージ・データ・バイト 45 レジスタ 25	C1MDATA4525	-		-	-	-	不定
0F1C 4092H	CAN1 メッセージ・データ・バイト 4 レジスタ 25	C1MDATA425	-		-	-	-	不定
0F1C 409AH	CAN1 メッセージ・データ・バイト 5 レジスタ 25	C1MDATA525	-		-	-	-	不定
0F1C 4098H	CAN1 メッセージ・データ・バイト 67 レジスタ 25	C1MDATA6725	-		-	-	-	不定
0F1C 409AH	CAN1 メッセージ・データ・バイト 6 レジスタ 25	C1MDATA625	-		-	-	-	不定
0F1C 409FH	CAN1 メッセージ・データ・バイト 7 レジスタ 25	C1MDATA725	-		-	-	-	不定
0F1C 40A2H	CAN1 メッセージ・データ長レジスタ 25	C1MDLC25	-		-	-	-	0000xxxxB
0F1C 40A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 25	C1MCONF25	-		-	-	-	不定
0F1C 40A8H	CAN1 メッセージ ID レジスタ 25	C1MIDL25	-		-	-	-	不定
0F1C 40B0H		C1MIDH25	-		-	-	-	不定
0F1C 40B8H	CAN1 メッセージ制御レジスタ 25	C1MCTRL25	-		-	-	-	00x00000 000xx000B

表 20-16 レジスタ・アクセス・タイプ (32/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 4100H	CAN1 メッセージ・データ・バイト 01 レジスタ 26	C1MDATA0126	R/W	-	-	-	-	不定
0F1C 4102H	CAN1 メッセージ・データ・バイト 0 レジスタ 26	C1MDATA026		-	-	-	-	不定
0F1C 4107H	CAN1 メッセージ・データ・バイト 1 レジスタ 26	C1MDATA126		-	-	-	-	不定
0F1C 4108H	CAN1 メッセージ・データ・バイト 23 レジスタ 26	C1MDATA2326		-	-	-	-	不定
0F1C 410AH	CAN1 メッセージ・データ・バイト 2 レジスタ 26	C1MDATA226		-	-	-	-	不定
0F1C 410FH	CAN1 メッセージ・データ・バイト 3 レジスタ 26	C1MDATA326		-	-	-	-	不定
0F1C 4110H	CAN1 メッセージ・データ・バイト 45 レジスタ 26	C1MDATA4526		-	-	-	-	不定
0F1C 4112H	CAN1 メッセージ・データ・バイト 4 レジスタ 26	C1MDATA426		-	-	-	-	不定
0F1C 4117H	CAN1 メッセージ・データ・バイト 5 レジスタ 26	C1MDATA526		-	-	-	-	不定
0F1C 4118H	CAN1 メッセージ・データ・バイト 67 レジスタ 26	C1MDATA6726		-	-	-	-	不定
0F1C 411AH	CAN1 メッセージ・データ・バイト 6 レジスタ 26	C1MDATA626		-	-	-	-	不定
0F1C 411FH	CAN1 メッセージ・データ・バイト 7 レジスタ 26	C1MDATA726		-	-	-	-	不定
0F1C 4122H	CAN1 メッセージ・データ長レジスタ 26	C1MDLC26		-	-	-	-	0000xxxxB
0F1C 4127H	CAN1 メッセージ・コンフィギュレーション・レジスタ 26	C1MCONF26		-	-	-	-	不定
0F1C 4128H	CAN1 メッセージ ID レジスタ 26	C1MIDL26		-	-	-	-	不定
0F1C 4130H		C1MIDH26	-	-	-	-	不定	
0F1C 4138H	CAN1 メッセージ制御レジスタ 26	C1MCTRL26	-	-	-	-	00x00000 000xx000B	
0F1C 4180H	CAN1 メッセージ・データ・バイト 01 レジスタ 27	C1MDATA0127	R/W	-	-	-	-	不定
0F1C 4182H	CAN1 メッセージ・データ・バイト 0 レジスタ 27	C1MDATA027		-	-	-	-	不定
0F1C 4187H	CAN1 メッセージ・データ・バイト 1 レジスタ 27	C1MDATA127		-	-	-	-	不定
0F1C 4188H	CAN1 メッセージ・データ・バイト 23 レジスタ 27	C1MDATA2327		-	-	-	-	不定
0F1C 418AH	CAN1 メッセージ・データ・バイト 2 レジスタ 27	C1MDATA227		-	-	-	-	不定
0F1C 418FH	CAN1 メッセージ・データ・バイト 3 レジスタ 27	C1MDATA327		-	-	-	-	不定
0F1C 4190H	CAN1 メッセージ・データ・バイト 45 レジスタ 27	C1MDATA4527		-	-	-	-	不定
0F1C 4192H	CAN1 メッセージ・データ・バイト 4 レジスタ 27	C1MDATA427		-	-	-	-	不定
0F1C 419AH	CAN1 メッセージ・データ・バイト 5 レジスタ 27	C1MDATA527		-	-	-	-	不定
0F1C 4198H	CAN1 メッセージ・データ・バイト 67 レジスタ 27	C1MDATA6727		-	-	-	-	不定
0F1C 419AH	CAN1 メッセージ・データ・バイト 6 レジスタ 27	C1MDATA627		-	-	-	-	不定
0F1C 419FH	CAN1 メッセージ・データ・バイト 7 レジスタ 27	C1MDATA727		-	-	-	-	不定
0F1C 41A2H	CAN1 メッセージ・データ長レジスタ 27	C1MDLC27		-	-	-	-	0000xxxxB
0F1C 41A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 27	C1MCONF27		-	-	-	-	不定
0F1C 41A8H	CAN1 メッセージ ID レジスタ 27	C1MIDL27		-	-	-	-	不定
0F1C 41B0H		C1MIDH27	-	-	-	-	不定	
0F1C 41B8H	CAN1 メッセージ制御レジスタ 27	C1MCTRL27	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (33/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 4200H	CAN1 メッセージ・データ・バイト 01 レジスタ 28	C1MDATA0128	R/W	-	-	-	-	不定
0F1C 4202H	CAN1 メッセージ・データ・バイト 0 レジスタ 28	C1MDATA028		-	-	-	-	不定
0F1C 4207H	CAN1 メッセージ・データ・バイト 1 レジスタ 28	C1MDATA128		-	-	-	-	不定
0F1C 4208H	CAN1 メッセージ・データ・バイト 23 レジスタ 28	C1MDATA2328		-	-	-	-	不定
0F1C 420AH	CAN1 メッセージ・データ・バイト 2 レジスタ 28	C1MDATA228		-	-	-	-	不定
0F1C 420FH	CAN1 メッセージ・データ・バイト 3 レジスタ 28	C1MDATA328		-	-	-	-	不定
0F1C 4210H	CAN1 メッセージ・データ・バイト 45 レジスタ 28	C1MDATA4528		-	-	-	-	不定
0F1C 4212H	CAN1 メッセージ・データ・バイト 4 レジスタ 28	C1MDATA428		-	-	-	-	不定
0F1C 4217H	CAN1 メッセージ・データ・バイト 5 レジスタ 28	C1MDATA528		-	-	-	-	不定
0F1C 4218H	CAN1 メッセージ・データ・バイト 67 レジスタ 28	C1MDATA6728		-	-	-	-	不定
0F1C 421AH	CAN1 メッセージ・データ・バイト 6 レジスタ 28	C1MDATA628		-	-	-	-	不定
0F1C 421FH	CAN1 メッセージ・データ・バイト 7 レジスタ 28	C1MDATA728		-	-	-	-	不定
0F1C 4222H	CAN1 メッセージ・データ長レジスタ 28	C1MDLC28		-	-	-	-	0000xxxxB
0F1C 4227H	CAN1 メッセージ・コンフィギュレーション・レジスタ 28	C1MCONF28		-	-	-	-	不定
0F1C 4228H	CAN1 メッセージ ID レジスタ 28	C1MIDL28		-	-	-	-	不定
0F1C 4230H		C1MIDH28	-	-	-	-	不定	
0F1C 4238H	CAN1 メッセージ制御レジスタ 28	C1MCTRL28	-	-	-	-	00x00000 000xx000B	
0F1C 4280H	CAN1 メッセージ・データ・バイト 01 レジスタ 29	C1MDATA0129	R/W	-	-	-	-	不定
0F1C 4282H	CAN1 メッセージ・データ・バイト 0 レジスタ 29	C1MDATA029		-	-	-	-	不定
0F1C 4287H	CAN1 メッセージ・データ・バイト 1 レジスタ 29	C1MDATA129		-	-	-	-	不定
0F1C 4288H	CAN1 メッセージ・データ・バイト 23 レジスタ 29	C1MDATA2329		-	-	-	-	不定
0F1C 428AH	CAN1 メッセージ・データ・バイト 2 レジスタ 29	C1MDATA229		-	-	-	-	不定
0F1C 428FH	CAN1 メッセージ・データ・バイト 3 レジスタ 29	C1MDATA329		-	-	-	-	不定
0F1C 4290H	CAN1 メッセージ・データ・バイト 45 レジスタ 29	C1MDATA4529		-	-	-	-	不定
0F1C 4292H	CAN1 メッセージ・データ・バイト 4 レジスタ 29	C1MDATA429		-	-	-	-	不定
0F1C 429AH	CAN1 メッセージ・データ・バイト 5 レジスタ 29	C1MDATA529		-	-	-	-	不定
0F1C 4298H	CAN1 メッセージ・データ・バイト 67 レジスタ 29	C1MDATA6729		-	-	-	-	不定
0F1C 429AH	CAN1 メッセージ・データ・バイト 6 レジスタ 29	C1MDATA629		-	-	-	-	不定
0F1C 429FH	CAN1 メッセージ・データ・バイト 7 レジスタ 29	C1MDATA729		-	-	-	-	不定
0F1C 42A2H	CAN1 メッセージ・データ長レジスタ 29	C1MDLC29		-	-	-	-	0000xxxxB
0F1C 42A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 29	C1MCONF29		-	-	-	-	不定
0F1C 42A8H	CAN1 メッセージ ID レジスタ 29	C1MIDL29		-	-	-	-	不定
0F1C 42B0H		C1MIDH29	-	-	-	-	不定	
0F1C 42B8H	CAN1 メッセージ制御レジスタ 29	C1MCTRL29	-	-	-	-	00x00000 000xx000B	

表 20-16 レジスタ・アクセス・タイプ (34/34)

アドレス	レジスタ名称	略号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 4300H	CAN1 メッセージ・データ・バイト 01 レジスタ 30	C1MDATA0130	R/W	-	-	-	-	不定
0F1C 4302H	CAN1 メッセージ・データ・バイト 0 レジスタ 30	C1MDATA030		-	-	-	-	不定
0F1C 4307H	CAN1 メッセージ・データ・バイト 1 レジスタ 30	C1MDATA130		-	-	-	-	不定
0F1C 4308H	CAN1 メッセージ・データ・バイト 23 レジスタ 30	C1MDATA2330		-	-	-	-	不定
0F1C 430AH	CAN1 メッセージ・データ・バイト 2 レジスタ 30	C1MDATA230		-	-	-	-	不定
0F1C 430FH	CAN1 メッセージ・データ・バイト 3 レジスタ 30	C1MDATA330		-	-	-	-	不定
0F1C 4310H	CAN1 メッセージ・データ・バイト 45 レジスタ 30	C1MDATA4530		-	-	-	-	不定
0F1C 4312H	CAN1 メッセージ・データ・バイト 4 レジスタ 30	C1MDATA430		-	-	-	-	不定
0F1C 4317H	CAN1 メッセージ・データ・バイト 5 レジスタ 30	C1MDATA530		-	-	-	-	不定
0F1C 4318H	CAN1 メッセージ・データ・バイト 67 レジスタ 30	C1MDATA6730		-	-	-	-	不定
0F1C 431AH	CAN1 メッセージ・データ・バイト 6 レジスタ 30	C1MDATA630		-	-	-	-	不定
0F1C 431FH	CAN1 メッセージ・データ・バイト 7 レジスタ 30	C1MDATA730		-	-	-	-	不定
0F1C 4322H	CAN1 メッセージ・データ長レジスタ 30	C1MDLC30		-	-	-	-	0000xxxxB
0F1C 4327H	CAN1 メッセージ・コンフィギュレーション・レジスタ 30	C1MCONF30		-	-	-	-	不定
0F1C 4328H	CAN1 メッセージ ID レジスタ 30	C1MIDL30		-	-	-	-	不定
0F1C 4330H		C1MIDH30	-	-	-	-	不定	
0F1C 4338H	CAN1 メッセージ制御レジスタ 30	C1MCTRL30	-	-	-	-	00x00000 000xx000B	
0F1C 4380H	CAN1 メッセージ・データ・バイト 01 レジスタ 31	C1MDATA0131	R/W	-	-	-	-	不定
0F1C 4382H	CAN1 メッセージ・データ・バイト 0 レジスタ 31	C1MDATA031		-	-	-	-	不定
0F1C 4387H	CAN1 メッセージ・データ・バイト 1 レジスタ 31	C1MDATA131		-	-	-	-	不定
0F1C 4388H	CAN1 メッセージ・データ・バイト 23 レジスタ 31	C1MDATA2331		-	-	-	-	不定
0F1C 438AH	CAN1 メッセージ・データ・バイト 2 レジスタ 31	C1MDATA231		-	-	-	-	不定
0F1C 438FH	CAN1 メッセージ・データ・バイト 3 レジスタ 31	C1MDATA331		-	-	-	-	不定
0F1C 4390H	CAN1 メッセージ・データ・バイト 45 レジスタ 31	C1MDATA4531		-	-	-	-	不定
0F1C 4392H	CAN1 メッセージ・データ・バイト 4 レジスタ 31	C1MDATA431		-	-	-	-	不定
0F1C 439AH	CAN1 メッセージ・データ・バイト 5 レジスタ 31	C1MDATA531		-	-	-	-	不定
0F1C 4398H	CAN1 メッセージ・データ・バイト 67 レジスタ 31	C1MDATA6731		-	-	-	-	不定
0F1C 439AH	CAN1 メッセージ・データ・バイト 6 レジスタ 31	C1MDATA631		-	-	-	-	不定
0F1C 439FH	CAN1 メッセージ・データ・バイト 7 レジスタ 31	C1MDATA731		-	-	-	-	不定
0F1C 43A2H	CAN1 メッセージ・データ長レジスタ 31	C1MDLC31		-	-	-	-	0000xxxxB
0F1C 43A7H	CAN1 メッセージ・コンフィギュレーション・レジスタ 31	C1MCONF31		-	-	-	-	不定
0F1C 43A8H	CAN1 メッセージ ID レジスタ 31	C1MIDL31		-	-	-	-	不定
0F1C 43B0H		C1MIDH31	-	-	-	-	不定	
0F1C 43B8H	CAN1 メッセージ制御レジスタ 31	C1MCTRL31	-	-	-	-	00x00000 000xx000B	



## 20.5.3 レジスタのビット構成

表 20-17 CAN グローバル・レジスタのビット構成

アドレス	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0F1C x000H	CnGMCTRL ( W )	0	0	0	0	0	0	0	Clear GOM
		0	0	0	0	0	0	0	Set EFSD Set GOM
0F1C x000H	CnGMCTRL ( R )	0	0	0	0	0	0	EFSD	GOM
		MBON	0	0	0	0	0	0	0
0F1C x00AH	CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
0F1C x018H	CnGMABT ( W )	0	0	0	0	0	0	0	Clear ABTTRG
		0	0	0	0	0	0	0	Set ABTCLR Set ABTTRG
0F1C x018H	CnGMABT ( R )	0	0	0	0	0	0	ABTCLR	ABTTRG
		0	0	0	0	0	0	0	0
0F1C x022H	CnGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

備考 n = 0, 1

n = 0 のとき, x = 1

n = 1 のとき, x = 3

表 20-18 CAN モジュール・レジスタのビット構成

(1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
0F1C x100H	CnMASK1L	CMID7-CMID0							
		CMID15-CMID8							
0F1C x108H	CnMASK1H	CMID23-CMID16							
		0	0	0	CMID28-CMID24				
0F1C x110H	CnMASK2L	CMID7-CMID0							
		CMID15-CMID8							
0F1C x118H	CnMASK2H	CMID23-CMID16							
		0	0	0	CMID28-CMID24				
0F1C x120H	CnMASK3L	CMID7-CMID0							
		CMID15-CMID8							
0F1C x128H	CnMASK3H	CMID23-CMID16							
		0	0	0	CMID28-CMID24				
0F1C x130H	CnMASK4L	CMID7-CMID0							
		CMID15-CMID8							
0F1C x138H	CnMASK4H	CMID23-CMID16							
		0	0	0	CMID28-CMID24				
0F1C x140H	CnCTRL (W)	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
0F1C x140H	CnCTRL (R)	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
		0	0	0	0	0	0	RSTAT	TSTAT
0F1C x14AH	CnLEC (W)	0	0	0	0	0	0	0	0
0F1C x14AH	CnLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
0F1C x14FH	CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
0F1C x150H	CnERC	TEC7-TEC0							
		REPS	REC6-REC0						
0F1C x158H	CnIE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
0F1C x158H	CnIE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
		0	0	0	0	0	0	0	0
0F1C x160H	CnINTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
		0	0	0	0	0	0	0	0
0F1C x160H	CnINTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
		0	0	0	0	0	0	0	0

備考 n = 0, 1

n = 0 のとき, x = 1

n = 1 のとき, x = 3

表 20-18 CAN モジュール・レジスタのビット構成

(2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
0F1C x16AH	CnBRP	TQPRS7-TQPRS0							
0F1C x170H	CnBTR	0	0	0	0	TSEG13-TSEG10			
		0	0	SJW1, SJW0		0	TSEG22-TSEG20		
0F1C x17AH	CnLIPT	LIPT7-LIPT0							
0F1C x180H	CnRGPT (W)	0	0	0	0	0	0	0	Clear ROVF
		0	0	0	0	0	0	0	0
0F1C x180H	CnRGPT (R)	0	0	0	0	0	0	RHPM	ROVF
		RGPT7-RGPT0							
0F1C x18AH	CnLOPT	LOPT7-LOPT0							
0F1C x190H	CnTGPT (W)	0	0	0	0	0	0	0	Clear TOVF
		0	0	0	0	0	0	0	0
0F1C x190H	CnTGPT (R)	0	0	0	0	0	0	THPM	TOVF
		TGPT7-TGPT0							
0F1C x198H	CnTS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
0F1C x198H	CnTS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
		0	0	0	0	0	0	0	0

備考 n = 0, 1

n = 0 のとき, x = 1

n = 1 のとき, x = 3

表 20-19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
0F1C xxx0H	CnMDATA01m	メッセージ・データ (バイト 0)							
		メッセージ・データ (バイト 1)							
0F1C xxx2H	CnMDATA0m	メッセージ・データ (バイト 0)							
0F1C xxx7H	CnMDATA1m	メッセージ・データ (バイト 1)							
0F1C xxx8H	CnMDATA23m	メッセージ・データ (バイト 2)							
		メッセージ・データ (バイト 3)							
0F1C xxxAH	CnMDATA2m	メッセージ・データ (バイト 2)							
0F1C xxxFH	CnMDATA3m	メッセージ・データ (バイト 3)							
0F1C xxx0H	CnMDATA45m	メッセージ・データ (バイト 4)							
		メッセージ・データ (バイト 5)							
0F1C xxx2H	CnMDATA4m	メッセージ・データ (バイト 4)							
0F1C xxx7H	CnMDATA5m	メッセージ・データ (バイト 5)							
0F1C xxx8H	CnMDATA67m	メッセージ・データ (バイト 6)							
		メッセージ・データ (バイト 7)							
0F1C xxxAH	CnMDATA6m	メッセージ・データ (バイト 6)							
0F1C xxxFH	CnMDATA7m	メッセージ・データ (バイト 7)							
0F1C xxx2H	CnMDLcM	0				MDLC 3	MDLC2	MDLC1	MDLC0
0F1C xxx7H	CnMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0
0F1C xxx8H	CnMIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
0F1C xxx0H	CnMIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
		IDE	0	0	ID28	ID27	ID26	ID25	ID24
0F1C xxx8H	CnMCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
		0	0	0	0	Set IE	0	Set TRQ	Set RDY
0F1C xxx8H	CnMCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
		0	0	MUC	0	0	0	0	0

備考 n = 0, 1

m = 00-31

n = 0 のとき, xx = 140-143, 148-14B, 150-153, 158-15B, 160-163, 168-16B, 170-173, 178-17B, 180-183, 188-18B, 190-193, 198-19B, 1A0-1A3, 1A8-1AB, 1B0-1B3, 1B8-1BB, 1C0-1C3, 1C8-1CB, 1D0-1D3, 1D8-1DB, 1E0-1E3, 1E8-1EB, 1F0-1F3, 1F8-1FB, 200-203, 208-20B, 210-213, 218-21B, 220-223, 228-22B, 230-233, 238-23B, 240-243, 248-24B

n = 1 のとき, xx = 340-343, 348-34B, 350-353, 358-35B, 360-363, 368-36B, 370-373, 378-37B, 380-383, 388-38B, 390-393, 398-39B, 3A0-3A3, 3A8-3AB, 3B0-3B3, 3B8-3BB, 3C0-3C3, 3C8-3CB, 3D0-3D3, 3D8-3DB, 3E0-3E3, 3E8-3EB, 3F0-3F3, 3F8-3FB, 400-403, 408-40B, 410-413, 418-41B, 420-423, 428-42B, 430-433, 438-43B, 440-443, 448-44B

## 20.6 レジスタ

**注意** CAN コントローラに必要なクロックが供給されていない状態では、CAN コントローラのレジスタへのアクセスは禁止です。

**備考** n = 0, 1  
m = 00-31

(1) CANn グローバル制御レジスタ (CnGMCTRL)

CnGMCTRL レジスタは、CAN モジュールの動作を制御します。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CnGMCTRL	MBON	0	0	0	0	0	0	0	0	0	0	0	0	0	EFSD	GOM	0F1C 1000H +n × 2000H	0000H
R/W	R	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R		
ライト時	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
CnGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM	0	0	0	0	0	0	0	Clear GOM		
R/W	0	0	0	0	0	0	W	W	0	0	0	0	0	0	0	W		

(a) リード時 ( 1/2 )

ビット位置	ビット名	意味
15	MBON	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのアクセス有効ビットです。 0: メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効 1: メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

**注意 1.** MBON ビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ

( CnMDATA0m, CnMDATA1m, CnMDATA01m, CnMDATA2m, CnMDATA3m, CnMDATA23m, CnMDATA4m, CnMDATA5m, CnMDATA45m, CnMDATA6m, CnMDATA7m, CnMDATA67m, CnMDLcm, CnMCONFm, CnMIDLm, CnMIDHm, CnMCTRLm ) および送信履歴、受信履歴に関連したレジスタ ( CnLOPT, CnTGPT, CnLIPT, CnRGPT ) へのアクセスは無効です。

2. このビットはリード・オンリーです。MBON ビット=0 の状態で1をライトしても MBON ビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

**備考** CAN スリープ・モード / CAN ストップ・モードに移行した場合、または GOM ビットをクリアした場合に MBON ビットがクリア (0) されます。また、CAN スリープ・モード / CAN ストップ・モードを解除した場合、または GOM ビットをセット (1) した場合に MBON ビットがセット (1) されます。

(2/2)

(a) リード時 (2/2)

ビット位置	ビット名	意味
1	EFSD	強制シャット・ダウン有効ビットです。 0 : GOM ビット = 0 による強制シャット・ダウンは無効 1 : GOM ビット = 0 による強制シャット・ダウンは有効

**注意** 強制シャット・ダウンの要求を行う場合は、EFSD ビットをセット (1) した直後に、GOM ビットをクリア (0) しなければなりません。EFSD ビットをセット (1) した直後に GOM ビットをクリア (0) しないで、そのほかのレジスタ・アクセス (CnGMCTRL レジスタのリード含む) の実行をすると、EFSD ビットは自動的にクリア (0) され、強制シャット・ダウンの要求は無効になります。

ビット位置	ビット名	意味
0	GOM	グローバル操作モード・ビットです。 0 : CAN モジュールは動作禁止状態 1 : CAN モジュールは動作許可状態

**注意** GOM ビットは、初期化モードのとき、または EFSD ビットをセット (1) した直後のみクリア (0) できます。

(b) ライト時

ビット位置	ビット名	意味												
9	Set EFSD	EFSD ビットを設定します。 0 : EFSD ビットの変更なし 1 : EFSD ビットをセット (1) する												
8, 0	Set GOM, Clear GOM	GOM ビットを設定します。 <table border="1" data-bbox="507 1350 1369 1532"> <thead> <tr> <th>Set GOM</th> <th>Clear GOM</th> <th>GOM ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>GOM ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>GOM ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>GOM ビットの変更なし</td> </tr> </tbody> </table>	Set GOM	Clear GOM	GOM ビットの設定	0	1	GOM ビットをクリア (0) する	1	0	GOM ビットをセット (1) する	上記以外		GOM ビットの変更なし
Set GOM	Clear GOM	GOM ビットの設定												
0	1	GOM ビットをクリア (0) する												
1	0	GOM ビットをセット (1) する												
上記以外		GOM ビットの変更なし												

**注意** GOM ビットの設定と EFSD ビットの設定は、必ず別々に行ってください。

(2) CANn グローバル・クロック選択レジスタ (CnGMCS)

CnGMCS レジスタは, CAN モジュール・システム・クロックを選択します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0	0F1C 100AH +n × 2000H	0FH
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																																																					
3-0	CCP3-CCP0	CAN モジュールのシステム・クロック (f <sub>CANMOD</sub> ) を選択します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>CCP3</th> <th>CCP2</th> <th>CCP1</th> <th>CCP0</th> <th>CAN モジュールのシステム・クロック (f<sub>CANMOD</sub>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>f<sub>CAN</sub>/1 (OSCCLK/1)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>f<sub>CAN</sub>/2 (OSCCLK/2)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>f<sub>CAN</sub>/3 (OSCCLK/3)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>f<sub>CAN</sub>/4 (OSCCLK/4)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>f<sub>CAN</sub>/5 (OSCCLK/5)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>f<sub>CAN</sub>/6 (OSCCLK/6)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>f<sub>CAN</sub>/7 (OSCCLK/7)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>f<sub>CAN</sub>/8 (OSCCLK/8)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>f<sub>CAN</sub>/9 (OSCCLK/9)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>f<sub>CAN</sub>/10 (OSCCLK/10)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>f<sub>CAN</sub>/11 (OSCCLK/11)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>f<sub>CAN</sub>/12 (OSCCLK/12)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>f<sub>CAN</sub>/13 (OSCCLK/13)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>f<sub>CAN</sub>/14 (OSCCLK/14)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>f<sub>CAN</sub>/15 (OSCCLK/15)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>f<sub>CAN</sub>/16 (OSCCLK/16) (初期値)</td></tr> </tbody> </table>	CCP3	CCP2	CCP1	CCP0	CAN モジュールのシステム・クロック (f <sub>CANMOD</sub> )	0	0	0	0	f <sub>CAN</sub> /1 (OSCCLK/1)	0	0	0	1	f <sub>CAN</sub> /2 (OSCCLK/2)	0	0	1	0	f <sub>CAN</sub> /3 (OSCCLK/3)	0	0	1	1	f <sub>CAN</sub> /4 (OSCCLK/4)	0	1	0	0	f <sub>CAN</sub> /5 (OSCCLK/5)	0	1	0	1	f <sub>CAN</sub> /6 (OSCCLK/6)	0	1	1	0	f <sub>CAN</sub> /7 (OSCCLK/7)	0	1	1	1	f <sub>CAN</sub> /8 (OSCCLK/8)	1	0	0	0	f <sub>CAN</sub> /9 (OSCCLK/9)	1	0	0	1	f <sub>CAN</sub> /10 (OSCCLK/10)	1	0	1	0	f <sub>CAN</sub> /11 (OSCCLK/11)	1	0	1	1	f <sub>CAN</sub> /12 (OSCCLK/12)	1	1	0	0	f <sub>CAN</sub> /13 (OSCCLK/13)	1	1	0	1	f <sub>CAN</sub> /14 (OSCCLK/14)	1	1	1	0	f <sub>CAN</sub> /15 (OSCCLK/15)	1	1	1	1	f <sub>CAN</sub> /16 (OSCCLK/16) (初期値)
CCP3	CCP2	CCP1	CCP0	CAN モジュールのシステム・クロック (f <sub>CANMOD</sub> )																																																																																			
0	0	0	0	f <sub>CAN</sub> /1 (OSCCLK/1)																																																																																			
0	0	0	1	f <sub>CAN</sub> /2 (OSCCLK/2)																																																																																			
0	0	1	0	f <sub>CAN</sub> /3 (OSCCLK/3)																																																																																			
0	0	1	1	f <sub>CAN</sub> /4 (OSCCLK/4)																																																																																			
0	1	0	0	f <sub>CAN</sub> /5 (OSCCLK/5)																																																																																			
0	1	0	1	f <sub>CAN</sub> /6 (OSCCLK/6)																																																																																			
0	1	1	0	f <sub>CAN</sub> /7 (OSCCLK/7)																																																																																			
0	1	1	1	f <sub>CAN</sub> /8 (OSCCLK/8)																																																																																			
1	0	0	0	f <sub>CAN</sub> /9 (OSCCLK/9)																																																																																			
1	0	0	1	f <sub>CAN</sub> /10 (OSCCLK/10)																																																																																			
1	0	1	0	f <sub>CAN</sub> /11 (OSCCLK/11)																																																																																			
1	0	1	1	f <sub>CAN</sub> /12 (OSCCLK/12)																																																																																			
1	1	0	0	f <sub>CAN</sub> /13 (OSCCLK/13)																																																																																			
1	1	0	1	f <sub>CAN</sub> /14 (OSCCLK/14)																																																																																			
1	1	1	0	f <sub>CAN</sub> /15 (OSCCLK/15)																																																																																			
1	1	1	1	f <sub>CAN</sub> /16 (OSCCLK/16) (初期値)																																																																																			

**備考** f<sub>CAN</sub> = CAN への供給クロック = OSCCLK

(3) CANn グローバル・ブロック送信制御レジスタ (CnGMABT)

CnGMABT レジスタは、自動ブロック送信 (ABT) 動作を制御します。

(1/2)

リード時	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CnGMABT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ABT CLR	ABT TRG	0F1C 1018H +n × 2000H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R		
ライト時	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
CnGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG	0	0	0	0	0	0	0	Clear ABTTRG		
R/W	0	0	0	0	0	0	W	W	0	0	0	0	0	0	0	W		

**注意** ABT 付き通常動作モードから初期化モードに移行する前に、CnGMABT レジスタには必ず初期値 (0000H) を設定してください。設定後は、CnGMABT レジスタが 0000H に初期化されたことを確実に確認してください。

(a) リード時

ビット位置	ビット名	意味
1	ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビットです。 0: 自動ブロック送信エンジンのクリア処理を完了 1: 自動ブロック送信エンジンのクリア処理中

- 備考 1.** ABTCLR ビットは、ABTTRG ビットがクリア (0) されている状態でセット (1) してください。ABTTRG ビットがセット (1) されている状態で ABTCLR ビットをセット (1) した場合には、動作を保証しません。
- 2.** ABTCLR ビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点で ABTCLR ビットがただちに自動的にクリア (0) されます。

ビット位置	ビット名	意味
0	ABTTRG	自動ブロック送信ステータス・ビットです。 0: 自動ブロック送信の停止中 1: 自動ブロック送信の実行中

- 注意 1.** 初期化モード中に ABTTRG ビットをセット (1) しないでください。初期化モード中に ABTTRG ビットをセット (1) した場合、ABT 付き通常動作モード移行後の動作を保証しません。
- 2.** CnCTRL.TSTAT ビットがセット (1) されている間は ABTTRG ビットをセット (1) しないでください。ABTTRG ビットをセット (1) する前に TSTAT ビット = 0 であることを直接事前に確認してください。



(2/2)

(b) ライト時

ビット位置	ビット名	意味												
9	Set ABTCLR	自動ブロック送信エンジンのクリア要求ビットです。 0：自動ブロック送信エンジンはアイドル状態または動作中 1：自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRG ビットのセット（1）による自動ブロック送信はメッセージ・バッファ 0 から開始されます。												
8, 0	Set ABTTRG, Clear ABTTRG	自動ブロック送信開始ビットです。 <table border="1" data-bbox="507 589 1370 770"> <thead> <tr> <th>Set ABTTRG</th> <th>Clear ABTTRG</th> <th>自動ブロック送信開始設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>自動ブロック送信の停止を要求</td> </tr> <tr> <td>1</td> <td>0</td> <td>自動ブロック送信の開始を要求</td> </tr> <tr> <td colspan="2">上記以外</td> <td>ABTTRG ビットの変更なし</td> </tr> </tbody> </table>	Set ABTTRG	Clear ABTTRG	自動ブロック送信開始設定	0	1	自動ブロック送信の停止を要求	1	0	自動ブロック送信の開始を要求	上記以外		ABTTRG ビットの変更なし
Set ABTTRG	Clear ABTTRG	自動ブロック送信開始設定												
0	1	自動ブロック送信の停止を要求												
1	0	自動ブロック送信の開始を要求												
上記以外		ABTTRG ビットの変更なし												

**注意** ABTTRG ビットをセット（1）しても、他ノードからメッセージを受信していた場合や ABT メッセージ以外のメッセージ（メッセージ・バッファ 8-メッセージ・バッファ 31）を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRG ビットをクリア（0）しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了（成功/失敗問わず）するまで送信を継続します。

## (4) CANn グローバル・ブロック送信遅延設定レジスタ (CnGMABTD)

CnGMABTD レジスタは、ABT 付き通常動作モードにおいて、ABT に割り付けられたメッセージ・バッファの送信間隔を設定します。

7	6	5	4	3	2	1	0	アドレス	初期値
0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0	0F1C 1022H +n × 2000H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
3-0	ABTD3- ABTD0	自動ブロック送信時のデータ・フレーム間隔 (単位はデータ・ビット・タイム ; DBT) を設定します。

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 <sup>5</sup> DBT
0	0	1	0	2 <sup>6</sup> DBT
0	0	1	1	2 <sup>7</sup> DBT
0	1	0	0	2 <sup>8</sup> DBT
0	1	0	1	2 <sup>9</sup> DBT
0	1	1	0	2 <sup>10</sup> DBT
0	1	1	1	2 <sup>11</sup> DBT
1	0	0	0	2 <sup>12</sup> DBT
上記以外				設定禁止

**注意 1.** ABTTRG ビットがセット (1) されている場合は、CnGMABTD レジスタの内容は変更しないでください。

**2.** 実際に CAN バス上に送信される ABT メッセージのタイミングは、他局からの送信状況あるいは ABT メッセージ以外のメッセージ (メッセージ・バッファ 8-メッセージ・バッファ 31) に対する送信要求の設定状況によって変化します。

(5) CANn モジュール・マスク制御レジスタ (CnMASKaL, CnMASKaH) (a = 1, 2, 3, 4)

CnMASKaL, CnMASKaH レジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分の ID を無効にし、受信可能なメッセージ数を拡張します。

CnMASK1L	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>CMI D15</td><td>CMID 14</td><td>CMID 13</td><td>CMID 12</td><td>CMID 11</td><td>CMID 10</td><td>CMID 9</td><td>CMID 8</td><td>CMID 7</td><td>CMID 6</td><td>CMID 5</td><td>CMID 4</td><td>CMID 3</td><td>CMID 2</td><td>CMID 1</td><td>CMID 0</td> </tr> </table>	CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0	0F1C 1100H +n×2000H
CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0			
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK1H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>CMID 28</td><td>CMID 27</td><td>CMID 26</td><td>CMID 25</td><td>CMID 24</td><td>CMID 23</td><td>CMID 22</td><td>CMID 21</td><td>CMID 20</td><td>CMID 19</td><td>CMID 18</td><td>CMID 17</td><td>CMID 16</td> </tr> </table>	0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16	0F1C 1108H +n×2000H
0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16			
R/W	0 0 0 R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK2L	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>CMI D15</td><td>CMID 14</td><td>CMID 13</td><td>CMID 12</td><td>CMID 11</td><td>CMID 10</td><td>CMID 9</td><td>CMID 8</td><td>CMID 7</td><td>CMID 6</td><td>CMID 5</td><td>CMID 4</td><td>CMID 3</td><td>CMID 2</td><td>CMID 1</td><td>CMID 0</td> </tr> </table>	CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0	0F1C 1110H +n×2000H
CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0			
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK2H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>CMID 28</td><td>CMID 27</td><td>CMID 26</td><td>CMID 25</td><td>CMID 24</td><td>CMID 23</td><td>CMID 22</td><td>CMID 21</td><td>CMID 20</td><td>CMID 19</td><td>CMID 18</td><td>CMID 17</td><td>CMID 16</td> </tr> </table>	0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16	0F1C 1118H +n×2000H
0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16			
R/W	0 0 0 R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK3L	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>CMI D15</td><td>CMID 14</td><td>CMID 13</td><td>CMID 12</td><td>CMID 11</td><td>CMID 10</td><td>CMID 9</td><td>CMID 8</td><td>CMID 7</td><td>CMID 6</td><td>CMID 5</td><td>CMID 4</td><td>CMID 3</td><td>CMID 2</td><td>CMID 1</td><td>CMID 0</td> </tr> </table>	CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0	0F1C 1120H +n×2000H
CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0			
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK3H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>CMID 28</td><td>CMID 27</td><td>CMID 26</td><td>CMID 25</td><td>CMID 24</td><td>CMID 23</td><td>CMID 22</td><td>CMID 21</td><td>CMID 20</td><td>CMID 19</td><td>CMID 18</td><td>CMID 17</td><td>CMID 16</td> </tr> </table>	0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16	0F1C 1128H +n×2000H
0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16			
R/W	0 0 0 R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK4L	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>CMI D15</td><td>CMID 14</td><td>CMID 13</td><td>CMID 12</td><td>CMID 11</td><td>CMID 10</td><td>CMID 9</td><td>CMID 8</td><td>CMID 7</td><td>CMID 6</td><td>CMID 5</td><td>CMID 4</td><td>CMID 3</td><td>CMID 2</td><td>CMID 1</td><td>CMID 0</td> </tr> </table>	CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0	0F1C 1130H +n×2000H
CMI D15	CMID 14	CMID 13	CMID 12	CMID 11	CMID 10	CMID 9	CMID 8	CMID 7	CMID 6	CMID 5	CMID 4	CMID 3	CMID 2	CMID 1	CMID 0			
R/W	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
CnMASK4H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値															
	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>CMID 28</td><td>CMID 27</td><td>CMID 26</td><td>CMID 25</td><td>CMID 24</td><td>CMID 23</td><td>CMID 22</td><td>CMID 21</td><td>CMID 20</td><td>CMID 19</td><td>CMID 18</td><td>CMID 17</td><td>CMID 16</td> </tr> </table>	0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16	0F1C 1138H +n×2000H
0	0	0	CMID 28	CMID 27	CMID 26	CMID 25	CMID 24	CMID 23	CMID 22	CMID 21	CMID 20	CMID 19	CMID 18	CMID 17	CMID 16			
R/W	0 0 0 R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																	
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>-</td> <td>CMID28- CMID0</td> <td>                     ID ビットのマスク・パターンを設定します。                      0: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較します。                      1: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較しません (マスクします)。                 </td> </tr> </tbody> </table>				ビット位置	ビット名	意味	-	CMID28- CMID0	ID ビットのマスク・パターンを設定します。 0: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較します。 1: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較しません (マスクします)。									
ビット位置	ビット名	意味																
-	CMID28- CMID0	ID ビットのマスク・パターンを設定します。 0: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較します。 1: CMID28-CMID0 ビットに設定されたメッセージ・バッファの ID ビットと受信メッセージ・フレームの ID ビットを比較しません (マスクします)。																
<p><b>備考</b> マスクは常に 29 ビットの ID 長で定義されます。マスクが標準 ID のメッセージに割り当てられた場合、CMID17-CMID0 ビットは無視されます。したがって、受信 ID は CMID28-CMID18 ビットのみマスクされます。なお、標準および拡張 ID はともに同一マスクを使用できます。</p>																		

(6) CANn モジュール制御レジスタ (CnCTRL)

CnCTRL レジスタは、CAN モジュールの動作モードを制御します。

( 1/5 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnCTRL	0	0	0	0	0	0	RSTAT	TSTAT	0F1C 1140H +n × 2000H	0000H
R/W	0	0	0	0	0	0	R	R		
	7	6	5	4	3	2	1	0		
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0		
R/W	R	R	R	R	R	R	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnCTRL	Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0		
R/W	W	W	0	W	W	W	W	W		
	7	6	5	4	3	2	1	0		
	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0		
R/W	0	W	W	W	W	W	W	W		

(a) リード時 ( 1/3 )

ビット位置	ビット名	意味
9	RSTAT	受信ステータス・ビットです。 0 : 受信停止状態 1 : 受信動作状態

備考 RSTAT ビットは、次の条件 ( タイミング ) でセット ( 1 ) されます。

- ・受信フレームの SOF ビット
- ・送信フレーム中のアービトラージョン・ロスト発生時

RSTAT ビットは、次の条件 ( タイミング ) でクリア ( 0 ) されます。

- ・インタフレーム・スペースの 2 ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

ビット位置	ビット名	意味
8	TSTAT	送信ステータス・ビットです。 0 : 送信停止状態 1 : 送信動作状態

備考 TSTAT ビットは、次の条件 ( タイミング ) でセット ( 1 ) されます。

- ・送信フレームの SOF ビット

TSTAT ビットは、次の条件 ( タイミング ) でクリア ( 0 ) されます。

- ・バス・オフ移行時
- ・送信フレーム中のアービトラージョン・ロスト発生時
- ・インタフレーム・スペースの 2 ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

( 2/5 )

(a) リード時 ( 2/3 )

ビット位置	ビット名	意 味
7	CCERC	エラー・カウンタ・クリア・ビットです。 0：初期化モードにおいて、CnERC レジスタと CnINFO レジスタのクリア中ではありません。 1：初期化モードにおいて、CnERC レジスタと CnINFO レジスタがクリア中です。

- 備考 1.** CCERC ビットは、再初期化やバス・オフ強制復帰の際に、CnERC レジスタと CnINFO レジスタをクリアするために使用します。初期化モードでのみ、セット (1) が可能です。
- 2.** CnERC レジスタおよび CnINFO レジスタがクリアされると、CCERC ビットも自動的にクリア (0) されます。
- 3.** 初期化モードから任意の動作モードへの遷移要求と同時に、CCERC ビットのセット (1) が可能です。
- 4.** セルフ・テスト・モードで INIT モード移行直後に CCERC ビットをセット (1) した場合、受信データが破壊される可能性があります。

ビット位置	ビット名	意 味
6	AL	アービトレーション・ロスト時の動作を設定します。 0：シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。 1：シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されます。

**備考 AL ビットは、シングル・ショット・モードにおいてのみ有効です。**

ビット位置	ビット名	意 味
5	VALID	有効な受信メッセージ・フレーム検出ビットです。 0：VALID ビットが最後にクリア (0) されてから、有効なメッセージ・フレーム受信がありません。 1：VALID ビットが最後にクリア (0) されてから、有効なメッセージ・フレーム受信があります。

- 備考 1.** 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納 (データ・フレーム) または送信メッセージ・バッファへの格納 (リモート・フレーム) に依存しません。
- 2.** 初期化モードから任意の動作モードに移行する前に、VALID ビットをクリア (0) してください。
- 3.** CAN バスに CAN ノードが 2 つのみ接続され、一方の CAN ノードが通常動作モードでメッセージ・フレームを送信し、もう一方の CAN ノードが受信オンリー・モードである場合は、受信オンリー・モードでは ACK が発生しないため、VALID ビットは送信ノードがエラー・パッシブになる前にセット (1) されることはありません。
- 4.** VALID ビットをクリアする際は、Clear VALID ビットをセット (1) したあと、VALID ビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

( 3/5 )

(a) リード時 ( 3/3 )

ビット位置	ビット名	意 味															
4, 3	PSMODE1, PSMODE0	<p>パワー・セーブ・モード状態を示すビットです。</p> <table border="1"> <thead> <tr> <th>PSMODE1</th> <th>PSMODE0</th> <th>パワー・セーブ・モード状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パワー・セーブ・モードは選択されていません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>CAN スリープ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>CAN ストップ・モード</td> </tr> </tbody> </table>	PSMODE1	PSMODE0	パワー・セーブ・モード状態	0	0	パワー・セーブ・モードは選択されていません。	0	1	CAN スリープ・モード	1	0	設定禁止	1	1	CAN ストップ・モード
PSMODE1	PSMODE0	パワー・セーブ・モード状態															
0	0	パワー・セーブ・モードは選択されていません。															
0	1	CAN スリープ・モード															
1	0	設定禁止															
1	1	CAN ストップ・モード															

備考 1. CAN ストップ・モードへの遷移および CAN ストップ・モードからの遷移は、必ず CAN スリープ・モードを経由してください。直接の遷移要求は無視されます。

2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前に CnGMCTRL.MBON フラグを確認する必要があります。

3. CAN スリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいは CAN バスがバス・アイドル状態に遷移するまで保留されます。PSMODE1, PSMODE0 ビットを読み出すことでソフトウェアは CAN スリープ・モードへの遷移状況を確認することができます。

ビット位置	ビット名	意 味																																
2-0	OPMODE2- OPMODE0	<p>CAN 動作モードを示すビットです。</p> <table border="1"> <thead> <tr> <th>OPMODE2</th> <th>OPMODE1</th> <th>OPMODE0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>動作モードは選択されていません (CAN モジュールは初期化モード状態)。</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>通常動作モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>自動ブロック送信機能付き通常動作モード (ABT 付き通常動作モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>受信オンリー・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>シングル・ショット・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>セルフ・テスト・モード</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	OPMODE2	OPMODE1	OPMODE0	動作モード	0	0	0	動作モードは選択されていません (CAN モジュールは初期化モード状態)。	0	0	1	通常動作モード	0	1	0	自動ブロック送信機能付き通常動作モード (ABT 付き通常動作モード)	0	1	1	受信オンリー・モード	1	0	0	シングル・ショット・モード	1	0	1	セルフ・テスト・モード	上記以外			設定禁止
OPMODE2	OPMODE1	OPMODE0	動作モード																															
0	0	0	動作モードは選択されていません (CAN モジュールは初期化モード状態)。																															
0	0	1	通常動作モード																															
0	1	0	自動ブロック送信機能付き通常動作モード (ABT 付き通常動作モード)																															
0	1	1	受信オンリー・モード																															
1	0	0	シングル・ショット・モード																															
1	0	1	セルフ・テスト・モード																															
上記以外			設定禁止																															

注意 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

備考 CAN スリープ・モードまたは CAN ストップ・モード中、OPMODE0-OPMODE2 ビットはリード・オンリーです。

(b) ライト時 ( 1/2 )

ビット位置	ビット名	意味												
15	Set CCERC	CCERC ビットを設定します。 0 : CCERC ビットの変更なし 1 : CCERC ビットをセット ( 1 ) する												
14, 6	Set AL, Clear AL	AL ビットを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set AL</th> <th>Clear AL</th> <th>AL ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>AL ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>AL ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>AL ビットの変更なし</td> </tr> </tbody> </table>	Set AL	Clear AL	AL ビットの設定	0	1	AL ビットをクリア ( 0 ) する	1	0	AL ビットをセット ( 1 ) する	上記以外		AL ビットの変更なし
Set AL	Clear AL	AL ビットの設定												
0	1	AL ビットをクリア ( 0 ) する												
1	0	AL ビットをセット ( 1 ) する												
上記以外		AL ビットの変更なし												
5	Clear VALID	VALID ビットをクリア ( 0 ) します。 0 : VALID ビットの変更なし 1 : VALID ビットをクリア ( 0 ) する												
12, 4	Set PSMODE1, Clear PSMODE1	PSMODE1 ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set PSMODE1</th> <th>Clear PSMODE1</th> <th>PSMODE1 ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>PSMODE1 ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>PSMODE1 ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>PSMODE1 ビットの変更なし</td> </tr> </tbody> </table>	Set PSMODE1	Clear PSMODE1	PSMODE1 ビットの設定	0	1	PSMODE1 ビットをクリア ( 0 ) する	1	0	PSMODE1 ビットをセット ( 1 ) する	上記以外		PSMODE1 ビットの変更なし
Set PSMODE1	Clear PSMODE1	PSMODE1 ビットの設定												
0	1	PSMODE1 ビットをクリア ( 0 ) する												
1	0	PSMODE1 ビットをセット ( 1 ) する												
上記以外		PSMODE1 ビットの変更なし												
11, 3	Set PSMODE0, Clear PSMODE0	PSMODE0 ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set PSMODE0</th> <th>Clear PSMODE0</th> <th>PSMODE0 ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>PSMODE0 ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>PSMODE0 ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>PSMODE0 ビットの変更なし</td> </tr> </tbody> </table>	Set PSMODE0	Clear PSMODE0	PSMODE0 ビットの設定	0	1	PSMODE0 ビットをクリア ( 0 ) する	1	0	PSMODE0 ビットをセット ( 1 ) する	上記以外		PSMODE0 ビットの変更なし
Set PSMODE0	Clear PSMODE0	PSMODE0 ビットの設定												
0	1	PSMODE0 ビットをクリア ( 0 ) する												
1	0	PSMODE0 ビットをセット ( 1 ) する												
上記以外		PSMODE0 ビットの変更なし												
10, 2	Set OPMODE2, Clear OPMODE2	OPMODE2 ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set OPMODE2</th> <th>Clear OPMODE2</th> <th>OPMODE2 ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>OPMODE2 ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>OPMODE2 ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>OPMODE2 ビットの変更なし</td> </tr> </tbody> </table>	Set OPMODE2	Clear OPMODE2	OPMODE2 ビットの設定	0	1	OPMODE2 ビットをクリア ( 0 ) する	1	0	OPMODE2 ビットをセット ( 1 ) する	上記以外		OPMODE2 ビットの変更なし
Set OPMODE2	Clear OPMODE2	OPMODE2 ビットの設定												
0	1	OPMODE2 ビットをクリア ( 0 ) する												
1	0	OPMODE2 ビットをセット ( 1 ) する												
上記以外		OPMODE2 ビットの変更なし												

(b) ライト時 ( 2/2 )

ビット位置	ビット名	意 味												
9, 1	Set OPMODE1, Clear OPMODE1	OPMODE1 ビットの設定ビットです。  <table border="1"> <thead> <tr> <th>Set OPMODE1</th> <th>Clear OPMODE1</th> <th>OPMODE1 ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>OPMODE1 ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>OPMODE1 ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>OPMODE1 ビットの変更なし</td> </tr> </tbody> </table>	Set OPMODE1	Clear OPMODE1	OPMODE1 ビットの設定	0	1	OPMODE1 ビットをクリア ( 0 ) する	1	0	OPMODE1 ビットをセット ( 1 ) する	上記以外		OPMODE1 ビットの変更なし
Set OPMODE1	Clear OPMODE1	OPMODE1 ビットの設定												
0	1	OPMODE1 ビットをクリア ( 0 ) する												
1	0	OPMODE1 ビットをセット ( 1 ) する												
上記以外		OPMODE1 ビットの変更なし												
8, 0	Set OPMODE0, Clear OPMODE0	OPMODE0 ビットの設定ビットです。  <table border="1"> <thead> <tr> <th>Set OPMODE0</th> <th>Clear OPMODE0</th> <th>OPMODE0 ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>OPMODE0 ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>OPMODE0 ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>OPMODE0 ビットの変更なし</td> </tr> </tbody> </table>	Set OPMODE0	Clear OPMODE0	OPMODE0 ビットの設定	0	1	OPMODE0 ビットをクリア ( 0 ) する	1	0	OPMODE0 ビットをセット ( 1 ) する	上記以外		OPMODE0 ビットの変更なし
Set OPMODE0	Clear OPMODE0	OPMODE0 ビットの設定												
0	1	OPMODE0 ビットをクリア ( 0 ) する												
1	0	OPMODE0 ビットをセット ( 1 ) する												
上記以外		OPMODE0 ビットの変更なし												



(7) CANn モジュール最終エラー情報レジスタ (CnLEC)

CnLEC レジスタは、CAN プロトコルのエラー情報を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnLEC	0	0	0	0	0	LEC2	LEC1	LEC0	0F1C 114AH +n×2000H	00H
R/W	0	0	0	0	0	R/W	R/W	R/W		

- 備考 1. CnLEC レジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。  
 2. CnLEC レジスタに対してソフトウェアにより 00H 以外の値をライトしようとした場合、アクセスは無視されます。

ビット位置	ビット名	意味																																				
2-0	LEC2- LEC0	最終の CAN プロトコル・エラー情報を示します。																																				
		<table border="1"> <thead> <tr> <th>LEC2</th> <th>LEC1</th> <th>LEC0</th> <th>最終の CAN プロトコル・エラー情報</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>エラーなし</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>スタッフ・エラー</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>フォーム・エラー</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ACK エラー</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>ビット・エラー (CAN モジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CAN バス上の値はドミナント・ビットであった場合)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>ビット・エラー (CAN モジュールは送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CAN バス上の値はレセシブ・ビットであった場合)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>CRC エラー</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>未定義</td> </tr> </tbody> </table>	LEC2	LEC1	LEC0	最終の CAN プロトコル・エラー情報	0	0	0	エラーなし	0	0	1	スタッフ・エラー	0	1	0	フォーム・エラー	0	1	1	ACK エラー	1	0	0	ビット・エラー (CAN モジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CAN バス上の値はドミナント・ビットであった場合)	1	0	1	ビット・エラー (CAN モジュールは送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CAN バス上の値はレセシブ・ビットであった場合)	1	1	0	CRC エラー	1	1	1	未定義
LEC2	LEC1	LEC0	最終の CAN プロトコル・エラー情報																																			
0	0	0	エラーなし																																			
0	0	1	スタッフ・エラー																																			
0	1	0	フォーム・エラー																																			
0	1	1	ACK エラー																																			
1	0	0	ビット・エラー (CAN モジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CAN バス上の値はドミナント・ビットであった場合)																																			
1	0	1	ビット・エラー (CAN モジュールは送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CAN バス上の値はレセシブ・ビットであった場合)																																			
1	1	0	CRC エラー																																			
1	1	1	未定義																																			

(8) CANn モジュール情報レジスタ (CnINFO)

CnINFO レジスタは、CAN モジュールのステータスを示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0	0F1C 114FH +n×2000H	00H
R/W	0	0	0	R	R	R	R	R		

ビット位置	ビット名	意味															
4	BOFF	パス・オフ状態ビットです。 0: パス・オフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが 256 未満) 1: パス・オフ状態 (送信エラー・カウンタ > 255) (送信エラー・カウントが 256 以上)															
3, 2	TECS1, TECS0	送信エラー・カウンタ状態ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TECS1</th> <th>TECS0</th> <th>送信エラー・カウンタ状態ビット</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>送信エラー・カウンタはワーニング・レベル未満 (&lt; 96)</td> </tr> <tr> <td>0</td> <td>1</td> <td>送信エラー・カウンタはワーニング・レベル範囲 (96-127)</td> </tr> <tr> <td>1</td> <td>0</td> <td>未定義</td> </tr> <tr> <td>1</td> <td>1</td> <td>送信エラー・カウンタはエラー・パッシブまたはパス・オフ範囲 (&gt; 128)</td> </tr> </tbody> </table>	TECS1	TECS0	送信エラー・カウンタ状態ビット	0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)	0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)	1	0	未定義	1	1	送信エラー・カウンタはエラー・パッシブまたはパス・オフ範囲 (> 128)
TECS1	TECS0	送信エラー・カウンタ状態ビット															
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)															
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)															
1	0	未定義															
1	1	送信エラー・カウンタはエラー・パッシブまたはパス・オフ範囲 (> 128)															
1, 0	RECS1, RECS0	受信エラー・カウンタ状態ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>RECS1</th> <th>RECS0</th> <th>受信エラー・カウンタ状態ビット</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>受信エラー・カウンタはワーニング・レベル未満 (&lt; 96)</td> </tr> <tr> <td>0</td> <td>1</td> <td>受信エラー・カウンタはワーニング・レベル範囲 (96-127)</td> </tr> <tr> <td>1</td> <td>0</td> <td>未定義</td> </tr> <tr> <td>1</td> <td>1</td> <td>受信エラー・カウンタはエラー・パッシブ範囲 (&gt; 128)</td> </tr> </tbody> </table>	RECS1	RECS0	受信エラー・カウンタ状態ビット	0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)	0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)	1	0	未定義	1	1	受信エラー・カウンタはエラー・パッシブ範囲 (> 128)
RECS1	RECS0	受信エラー・カウンタ状態ビット															
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)															
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)															
1	0	未定義															
1	1	受信エラー・カウンタはエラー・パッシブ範囲 (> 128)															

(9) CANn モジュール・エラー・カウンタ・レジスタ (CnERC)

CnERC レジスタは、送受信エラー・カウンタのカウンタ値を示します。

CnERC	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	REPS	REC6	REC5	REC4	REC3	REC2	REC1	REC0	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	0F1C 1150H +n×2000H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15	REPS	受信エラー・パッシブ・ステータス・ビットです。 0: 受信エラー・カウンタは、エラー・パッシブではない (< 128) 1: 受信エラー・カウンタは、エラー・パッシブ範囲 ( 128)
14-8	REC6-REC0	受信エラー・カウンタ数です。 受信エラー・カウンタの状態を反映します。カウンタ数は CAN プロトコルにより定義されています。

**備考 受信エラー・パッシブ状態 (CnINFO.RECS1, REC0 ビット = 11B) では、受信エラー・カウンタ REC6-REC0 ビットは無効です。**

ビット位置	ビット名	意味
7-0	TEC7-TEC0	送信エラー・カウンタ数です。 送信エラー・カウンタの状態を反映します。カウンタ数は CAN プロトコルにより定義されています。

**備考 バス・オフ中 (CnINFO.BOFF ビット = 1) では、送信エラー・カウンタ TEC7-TEC0 ビットは無効です。**

(10) CANn モジュール割り込み許可レジスタ (CnIE)

CnIE レジスタは、CAN モジュールの割り込み許可 / 禁止を設定します。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnIE	0	0	0	0	0	0	0	0	0F1C 1158H +n × 2000H	0000H
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0		
R/W	0	0	R	R	R	R	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnIE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0		
R/W	0	0	W	W	W	W	W	W		
	7	6	5	4	3	2	1	0		
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0		
R/W	0	0	W	W	W	W	W	W		

(a) リード時

ビット位置	ビット名	意味
5-0	CIE5-CIE0	CAN モジュール割り込み許可ビットです。 0 : 割り込みステータス・レジスタ CnINTSx に対応する割り込み出力禁止 1 : 割り込みステータス・レジスタ CnINTSx に対応する割り込み出力許可

(2/2)

(b) ライト時

ビット位置	ビット名	意味		
13, 5	Set CIE5, Clear CIE5	Set CIE5	Clear CIE5	CIE5 ビットの設定
		0	1	CIE5 ビットをクリア (0) する
		1	0	CIE5 ビットをセット (1) する
		上記以外		CIE5 ビットの変更なし
12, 4	Set CIE4, Clear CIE4	Set CIE4	Clear CIE4	CIE4 ビットの設定
		0	1	CIE4 ビットをクリア (0) する
		1	0	CIE4 ビットをセット (1) する
		上記以外		CIE4 ビットの変更なし
11, 3	Set CIE3, Clear CIE3	Set CIE3	Clear CIE3	CIE3 ビットの設定
		0	1	CIE3 ビットをクリア (0) する
		1	0	CIE3 ビットをセット (1) する
		上記以外		CIE3 ビットの変更なし
10, 2	Set CIE2, Clear CIE2	Set CIE2	Clear CIE2	CIE2 ビットの設定
		0	1	CIE2 ビットをクリア (0) する
		1	0	CIE2 ビットをセット (1) する
		上記以外		CIE2 ビットの変更なし
9, 1	Set CIE1, Clear CIE1	Set CIE1	Clear CIE1	CIE1 ビットの設定
		0	1	CIE1 ビットをクリア (0) する
		1	0	CIE1 ビットをセット (1) する
		上記以外		CIE1 ビットの変更なし
8, 0	Set CIE0, Clear CIE0	Set CIE0	Clear CIE0	CIE0 ビットの設定
		0	1	CIE0 ビットをクリア (0) する
		1	0	CIE0 ビットをセット (1) する
		上記以外		CIE0 ビットの変更なし

(11) CANn モジュール割り込みステータス・レジスタ (CnINTS)

CnINTS レジスタは、CAN モジュールの割り込みステータスを示します。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnINTS	0	0	0	0	0	0	0	0	0F1C 1160H +n×2000H	0000H
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0		
R/W	0	0	R	R	R	R	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnINTS	0	0	0	0	0	0	0	0		
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0		
R/W	0	0	W	W	W	W	W	W		

(a) リード時

ビット位置	ビット名	意味														
5-0	CINTS5- CINTS0	CAN 割り込みステータス・ビットです。 0 : 関連する割り込みソース・イベント未発生 1 : 関連する割り込みソース・イベント発生														
		<table border="1"> <thead> <tr> <th>割り込みステータス・ビット</th> <th>関連する割り込みソース・イベント</th> </tr> </thead> <tbody> <tr> <td>CINTS5</td> <td>CAN スリープ・モードからのウエイク・アップ割り込み<sup>注</sup></td> </tr> <tr> <td>CINTS4</td> <td>アービトラージ・ロスト割り込み</td> </tr> <tr> <td>CINTS3</td> <td>CAN プロトコル・エラー割り込み</td> </tr> <tr> <td>CINTS2</td> <td>CAN エラー・ステータス割り込み</td> </tr> <tr> <td>CINTS1</td> <td>メッセージ・バッファ m への有効なメッセージ・フレーム受信完了割り込み</td> </tr> <tr> <td>CINTS0</td> <td>メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み</td> </tr> </tbody> </table>	割り込みステータス・ビット	関連する割り込みソース・イベント	CINTS5	CAN スリープ・モードからのウエイク・アップ割り込み <sup>注</sup>	CINTS4	アービトラージ・ロスト割り込み	CINTS3	CAN プロトコル・エラー割り込み	CINTS2	CAN エラー・ステータス割り込み	CINTS1	メッセージ・バッファ m への有効なメッセージ・フレーム受信完了割り込み	CINTS0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み
割り込みステータス・ビット	関連する割り込みソース・イベント															
CINTS5	CAN スリープ・モードからのウエイク・アップ割り込み <sup>注</sup>															
CINTS4	アービトラージ・ロスト割り込み															
CINTS3	CAN プロトコル・エラー割り込み															
CINTS2	CAN エラー・ステータス割り込み															
CINTS1	メッセージ・バッファ m への有効なメッセージ・フレーム受信完了割り込み															
CINTS0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み															

注 CAN バス動作による CAN スリープ・モードからのウエイク・アップによってのみ、CINTS5 ビットがセットされます。ソフトウェアによる CAN スリープ・モードの解除では CINTS5 ビットはセットされません。

備考 m = 00-31

(2/2)

(b) ライト時

ビット位置	ビット名	意味
5-0	Clear CINTS5- Clear CINTS0	CINTS5-CINTS0 をクリア (0) します。 0 : CINTS5-CINTS0 ビットの変更なし 1 : CINTS5-CINTS0 ビットをクリア (0) する

**注意** このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア (0) を行ってください。

(12) CANn モジュール・ビット・レート・プリスケアラ・レジスタ (CnBRP)

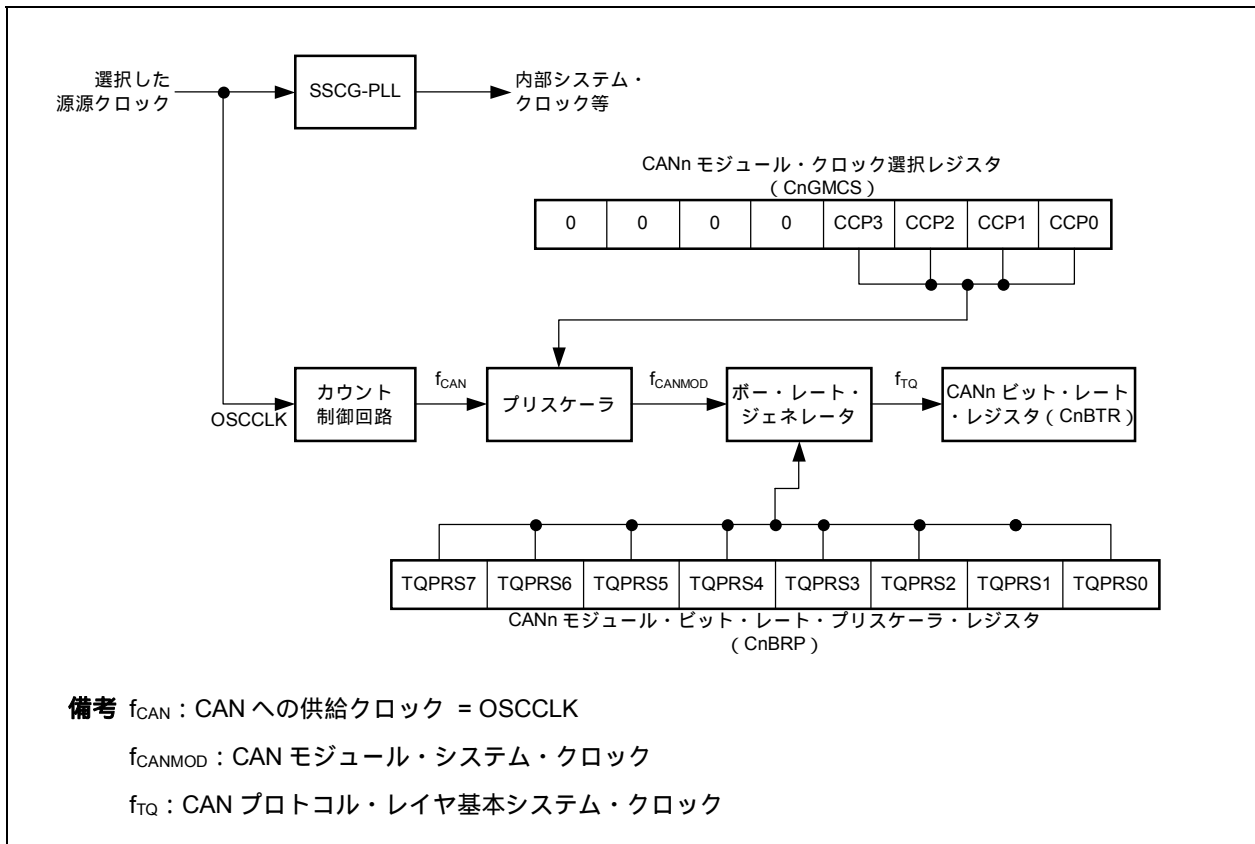
CnBRP レジスタは、CAN プロトコル・レイヤ基本クロック ( $f_{TQ}$ ) を選択します。また、通信ポー・レートは、CnBTR レジスタに設定されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnBRP	TQPRS7	TQPRS6	TQPRS5	TQPRS4	TQPRS3	TQPRS2	TQPRS1	TQPRS0	0F1C 116AH +n × 2000H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味												
7-0	TQPRS7-TQPRS0	CAN プロトコル・レイヤ基本システム・クロック ( $f_{TQ}$ ) を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TQPRS7-TQPRS0</th> <th>CAN プロトコル・レイヤ基本システム・クロック (<math>f_{TQ}</math>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td><math>f_{CANMOD}/1</math></td> </tr> <tr> <td>1</td> <td><math>f_{CANMOD}/2</math></td> </tr> <tr> <td>n</td> <td><math>f_{CANMOD}/(n + 1)</math></td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>255</td> <td><math>f_{CANMOD}/256</math> (初期値)</td> </tr> </tbody> </table>	TQPRS7-TQPRS0	CAN プロトコル・レイヤ基本システム・クロック ( $f_{TQ}$ )	0	$f_{CANMOD}/1$	1	$f_{CANMOD}/2$	n	$f_{CANMOD}/(n + 1)$	:	:	255	$f_{CANMOD}/256$ (初期値)
TQPRS7-TQPRS0	CAN プロトコル・レイヤ基本システム・クロック ( $f_{TQ}$ )													
0	$f_{CANMOD}/1$													
1	$f_{CANMOD}/2$													
n	$f_{CANMOD}/(n + 1)$													
:	:													
255	$f_{CANMOD}/256$ (初期値)													

図 20-23 CAN モジュールのクロック



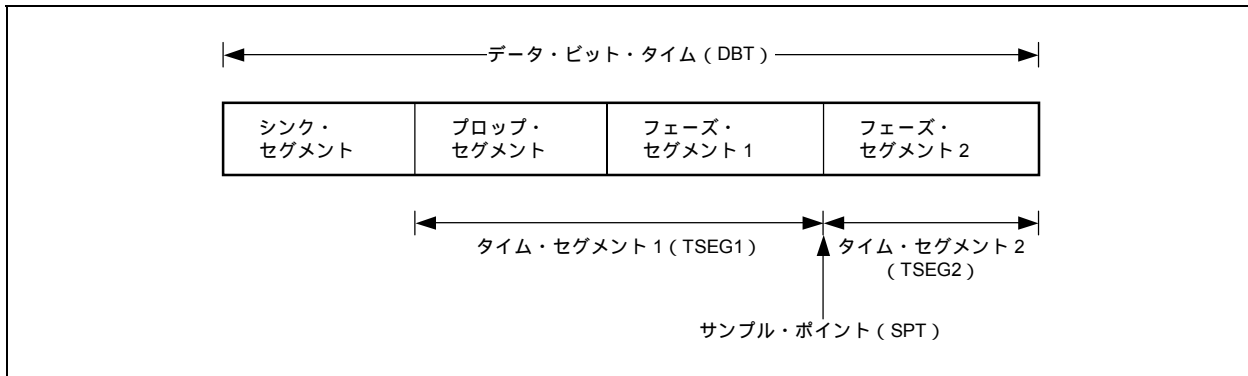
**注意** CnBRP レジスタは、初期化モードのときのみライト・アクセス可能です。



(13) CANn モジュール・ビット・レート・レジスタ (CnBTR)

CnBTR レジスタは、通信ボー・レートのデータ・ビット・タイムを制御します。

図 20-24 データ・ビット・タイム



( 1/2 )

	15	14	13	12	11	10	9	8	アドレス	初期値
CnBTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20	0F1C 1170H +n x 2000H	370FH
R/W	0	0	R/W	R/W	0	R/W	R/W	R/W		
	7	6	5	4	3	2	1	0		
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10		
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味															
13, 12	SJW1, SJW0	同期ジャンプ幅の長さを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SJW1</th> <th>SJW0</th> <th>同期ジャンプ幅の長さ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1TQ</td> </tr> <tr> <td>0</td> <td>1</td> <td>2TQ</td> </tr> <tr> <td>1</td> <td>0</td> <td>3TQ</td> </tr> <tr> <td>1</td> <td>1</td> <td>4TQ (初期値)</td> </tr> </tbody> </table>	SJW1	SJW0	同期ジャンプ幅の長さ	0	0	1TQ	0	1	2TQ	1	0	3TQ	1	1	4TQ (初期値)
SJW1	SJW0	同期ジャンプ幅の長さ															
0	0	1TQ															
0	1	2TQ															
1	0	3TQ															
1	1	4TQ (初期値)															

ビット位置	ビット名	意 味				
10-8	TSEG22- TSEG20	タイム・セグメント 2 の長さを指定します。				
		TSEG22	TSEG21	TSEG20	タイム・セグメント 2 の長さ	
		0	0	0	1TQ	
		0	0	1	2TQ	
		0	1	0	3TQ	
		0	1	1	4TQ	
		1	0	0	5TQ	
		1	0	1	6TQ	
		1	1	0	7TQ	
		1	1	1	8TQ (初期値)	
3-0	TSEG13- TSEG10	タイム・セグメント 1 の長さを指定します。				
		TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント 1 の長さ
		0	0	0	0	設定禁止
		0	0	0	1	2TQ <sup>注</sup>
		0	0	1	0	3TQ <sup>注</sup>
		0	0	1	1	4TQ
		0	1	0	0	5TQ
		0	1	0	1	6TQ
		0	1	1	0	7TQ
		0	1	1	1	8TQ
		1	0	0	0	9TQ
		1	0	0	1	10TQ
		1	0	1	0	11TQ
		1	0	1	1	12TQ
		1	1	0	0	13TQ
		1	1	0	1	14TQ
		1	1	1	0	15TQ
		1	1	1	1	16TQ (初期値)

注 CnBRP レジスタ = 00H の場合は，この設定は使用できません。

備考 TQ = 1/f<sub>TQ</sub> (f<sub>TQ</sub> : CAN プロトコル・レイヤ基本システム・クロック)

(14) CANn モジュール最終受信ポインタ・レジスタ (CnLIPT)

CnLIPT レジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnLIPT	LIPT7	LIPT6	LIPT5	LIPT4	LIPT3	LIPT2	LIPT1	LIPT0	0F1C 117AH +n×2000H	不定
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	LIPT7-LIPT0	最終受信ポインタ・レジスタです。 CnLIPT レジスタをリードすると、受信ヒストリ・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、CnLIPT レジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に CnRGPT.RHPM ビットがセット (1) されている場合には、CnLIPT レジスタの読み出し値は不定となります。

(15) CANn モジュール受信ヒストリ・リスト・レジスタ (CnRGPT)

CnRGPT レジスタは、受信ヒストリ・リストを読み出すためのレジスタです。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnRGPT	RGPT7 RGPT6 RGPT5 RGPT4 RGPT3 RGPT2 RGPT1 RGPT0							0F1C 1180H +n × 2000H	xx02H	
R/W	R	R	R	R	R	R	R	R		
	7	6	5	4	3	2	1	0		
	0 0 0 0 0 0 0							RHPM	ROVF	
R/W	0	0	0	0	0	0	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnRGPT	0 0 0 0 0 0 0							0	0	
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0 0 0 0 0 0 0							0	Clear ROVF	
R/W	0	0	0	0	0	0	0	W		

(a) リード時

ビット位置	ビット名	意味
15-8	RGPT7- RGPT0	受信ヒストリ・リスト読み出しポインタです。 CnRGPT レジスタをリードすると、受信ヒストリ・リストの読み出しポインタ (RGPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。
1	RHPM <sup>注1</sup>	受信ヒストリ・リストのポインター一致情報です。 0: 受信ヒストリ・リストには、少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。 1: 受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。
0	ROVF <sup>注2</sup>	受信ヒストリ・リスト・オーバフロー・ビットです。 0: 読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます (受信ヒストリ・リストに空きのエレメントが存在します)。 1: ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用 (たとえば、CnRGPT レジスタの読み込みなど) してから少なくとも 23 個のエントリが格納されています。 ROVF ビットがセット (1) されていると、すべてのメッセージ・バッファ番号は LIPT - 1 に格納されるため、最初の 22 個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注 1. RHPM ビット = 1 のとき、RGPT0-RGPT7 ビットのリード値は無効です。

2. ROVF ビットがセット (1) されている状態で、CnRGPT レジスタによりすべての受信履歴が読み出されている場合、RHPM ビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

(2/2)

(b) ライト時

ビット位置	ビット名	意味
0	Clear ROVF	ROVF ビットをクリア (0) します。 0 : ROVF ビットの変更なし 1 : ROVF ビットをクリア (0) する

(16) CANn モジュール最終送信ポインタ・レジスタ (CnLOPT)

CnLOPT レジスタは、最後に送信したメッセージ・バッファ番号を示します。

CnLOPT	7	6	5	4	3	2	1	0	アドレス	初期値
	LOPT7	LOPT6	LOPT5	LOPT4	LOPT3	LOPT2	LOPT1	LOPT0	0F1C 118AH +n×2000H	不定
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	LOPT7- LOPT0	送信ヒストリ・リストの最終送信ポインタ (LOPT) です。 CnLOPT レジスタをリードすると、送信ヒストリ・リストの最終送信ポインタ (LOPT) でインデックスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、CnLOPT レジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に CnTGPT.THPM ビットがセット (1) されている場合には、CnLOPT レジスタの読み出し値は不定となります。

(17) CANn モジュール送信履歴・リスト・レジスタ (CnTGPT)

CnTGPT レジスタは、送信履歴・リストを読み出すためのレジスタです。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnTGPT	TGPT7 TGPT6 TGPT5 TGPT4 TGPT3 TGPT2 TGPT1 TGPT0							0F1C 1190H +n × 2000H	xx02H	
R/W	R	R	R	R	R	R	R	R		
	7	6	5	4	3	2	1	0		
	0 0 0 0 0 0 0							THPM	TOVF	
R/W	0	0	0	0	0	0	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnTGPT	0 0 0 0 0 0 0							0	0	
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0 0 0 0 0 0 0							Clear	TOVF	
R/W	0	0	0	0	0	0	0	W		

(a) リード時

ビット位置	ビット名	意味
15-8	TGPT7- TGPT0	送信履歴・リスト読み出しポインタです。 CnTGPT レジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデクスされるエントリの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。
1	THPM <sup>注1</sup>	送信履歴・リストのポインタ一致情報です。 0: 送信履歴・リストには、少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。 1: 送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。
0	TOVF <sup>注2</sup>	送信履歴・リスト・オーバーフロー・ビットです。 0: 読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエントリが存在します)。 1: ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、CnTGPT レジスタの読み込みなど) してから少なくとも 7 個のエントリが格納されています。 TOVF ビットがセット (1) されていると、すべてのメッセージ・バッファ番号は LOPT - 1 に格納されるため、最初の 6 個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注 1. THPM ビット = 1 のとき、TGPT0-TGPT7 ビットのリード値は無効です。

2. TOVF ビットがセット (1) されている状態で、CnTGPT レジスタによりすべての送信履歴が読み出されている場合、THPM ビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT 付き通常動作モードでは、メッセージ・バッファ 0-メッセージ・バッファ 7 からの送信は送信履歴・リストには記録されません。

(2/2)

(b) ライト時

ビット位置	ビット名	意味
0	Clear TOVF	TOVF ビットをクリア (0) します。 0 : TOVF ビットの変更なし 1 : TOVF ビットをクリア (0) する



(18) CANn モジュール・タイム・スタンプ・レジスタ (CnTS)

CnTS レジスタは、タイム・スタンプ機能を制御します。

( 1/2 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnTS	0	0	0	0	0	0	0	0	0F1C 1198H +n×2000H	0000H
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	0	0	0	TSLOCK	TSSEL	TSEN		
R/W	0	0	0	0	0	R	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnTS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN		
R/W	0	0	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN		
R/W	0	0	0	0	0	W	W	W		

備考 ABT 付き通常動作モードの場合は、タイム・スタンプ機能のうちロック機能を使用できません。

(a) リード時

ビット位置	ビット名	意味
2	TSLOCK	タイム・スタンプのロック機能許可ビットです。 0: タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとに TSOUT 信号がトグルされま す。 1: タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとに TSOUT 信号がトグルします。 ただし、メッセージ・バッファ 0 にデータ・フレームが正常に受信されたあとは、TSOUT 信号の出力がロックされます <sup>※</sup> 。
1	TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビットです。 0: タイム・キャプチャ・イベントは SOF です。 1: タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。
0	TSEN	TSOUT 動作設定ビットです。 0: TSOUT トグル動作禁止 1: TSOUT トグル動作許可

注 TSEN ビットは自動的にクリア (0) されます。

★

備考 TSOUT 信号は CAN コントローラからタイマ TAA5 へ出力されます。詳細については  
第 13 章 16 ビット・タイマ/カウンタ AA (TAA) を参照してください。

(b) ライト時

ビット位置	ビット名	意 味												
10, 2	Set TSLOCK, Clear TSLOCK	TSLOCK ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set TSLOCK</th> <th>Clear TSLOCK</th> <th>TSLOCK ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TSLOCK ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TSLOCK ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TSLOCK ビットの変更なし</td> </tr> </tbody> </table>	Set TSLOCK	Clear TSLOCK	TSLOCK ビットの設定	0	1	TSLOCK ビットをクリア (0) する	1	0	TSLOCK ビットをセット (1) する	上記以外		TSLOCK ビットの変更なし
Set TSLOCK	Clear TSLOCK	TSLOCK ビットの設定												
0	1	TSLOCK ビットをクリア (0) する												
1	0	TSLOCK ビットをセット (1) する												
上記以外		TSLOCK ビットの変更なし												
9, 1	Set TSSEL, Clear TSSEL	TSSEL ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set TSSEL</th> <th>Clear TSSEL</th> <th>TSSEL ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TSSEL ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TSSEL ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TSSEL ビットの変更なし</td> </tr> </tbody> </table>	Set TSSEL	Clear TSSEL	TSSEL ビットの設定	0	1	TSSEL ビットをクリア (0) する	1	0	TSSEL ビットをセット (1) する	上記以外		TSSEL ビットの変更なし
Set TSSEL	Clear TSSEL	TSSEL ビットの設定												
0	1	TSSEL ビットをクリア (0) する												
1	0	TSSEL ビットをセット (1) する												
上記以外		TSSEL ビットの変更なし												
8, 0	Set TSEN, Clear TSEN	TSEN ビットの設定ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Set TSEN</th> <th>Clear TSEN</th> <th>TSEN ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TSEN ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TSEN ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TSEN ビットの変更なし</td> </tr> </tbody> </table>	Set TSEN	Clear TSEN	TSEN ビットの設定	0	1	TSEN ビットをクリア (0) する	1	0	TSEN ビットをセット (1) する	上記以外		TSEN ビットの変更なし
Set TSEN	Clear TSEN	TSEN ビットの設定												
0	1	TSEN ビットをクリア (0) する												
1	0	TSEN ビットをセット (1) する												
上記以外		TSEN ビットの変更なし												

(19) CANn メッセージ・データ・バイト・レジスタ ( CnMDATAxm, CnMDATAym ) ( x = 0-7, y = 01, 23, 45, 67 )

CnMDATAxm, CnMDATAym レジスタは, 送受信メッセージのデータを格納します。

CnMDATAym レジスタでは, CnMDATAxm レジスタを 16 ビット単位でアクセスできます。

( 1/2 )

CnMDATA01m	15	14	13	12	11	10	9	8	アドレス	初期値
	MDATA01 15	MDATA01 14	MDATA01 13	MDATA01 12	MDATA01 11	MDATA01 10	MDATA01 9	MDATA01 8	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA0m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA01 7	MDATA01 6	MDATA01 5	MDATA01 4	MDATA01 3	MDATA01 2	MDATA01 1	MDATA01 0	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA1m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA1 7	MDATA1 6	MDATA1 5	MDATA1 4	MDATA1 3	MDATA1 2	MDATA1 1	MDATA1 0	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA23m	15	14	13	12	11	10	9	8	アドレス	初期値
	MDATA23 15	MDATA23 14	MDATA23 13	MDATA23 12	MDATA23 11	MDATA23 10	MDATA23 9	MDATA23 8	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA2m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA23 7	MDATA23 6	MDATA23 5	MDATA23 4	MDATA23 3	MDATA23 2	MDATA23 1	MDATA23 0	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA3m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA3 7	MDATA3 6	MDATA3 5	MDATA3 4	MDATA3 3	MDATA3 2	MDATA3 1	MDATA3 0	表 20-16 を 参照して ください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
備考 m = 00-31										

(2/2)

CnMDATA45m	15	14	13	12	11	10	9	8	アドレス	初期値
	MDATA45 15	MDATA45 14	MDATA45 13	MDATA45 12	MDATA45 11	MDATA45 10	MDATA45 9	MDATA45 8	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA45m	7	6	5	4	3	2	1	0		
	MDATA45 7	MDATA45 6	MDATA45 5	MDATA45 4	MDATA45 3	MDATA45 2	MDATA45 1	MDATA45 0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA4m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA4 7	MDATA4 6	MDATA4 5	MDATA4 4	MDATA4 3	MDATA4 2	MDATA4 1	MDATA4 0	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA5m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA5 7	MDATA5 6	MDATA5 5	MDATA5 4	MDATA5 3	MDATA5 2	MDATA5 1	MDATA5 0	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA67m	15	14	13	12	11	10	9	8	アドレス	初期値
	MDATA67 15	MDATA67 14	MDATA67 13	MDATA67 12	MDATA67 11	MDATA67 10	MDATA67 9	MDATA67 8	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA67m	7	6	5	4	3	2	1	0		
	MDATA67 7	MDATA67 6	MDATA67 5	MDATA67 4	MDATA67 3	MDATA67 2	MDATA67 1	MDATA67 0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA6m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA6 7	MDATA6 6	MDATA6 5	MDATA6 4	MDATA6 3	MDATA6 2	MDATA6 1	MDATA6 0	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMDATA7m	7	6	5	4	3	2	1	0	アドレス	初期値
	MDATA7 7	MDATA7 6	MDATA7 5	MDATA7 4	MDATA7 3	MDATA7 2	MDATA7 1	MDATA7 0	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
備考 m = 00-31										

(20) CANn メッセージ・データ長レジスタ m (CnMDLcM)

CnMDLcM レジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CnMDLcM	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0	表 20-16 を参照してください。	0000xxxxB
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																																																																	
3-0	MDLC3-MDLC0	送受信メッセージのデータ長を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>MDLC3</th> <th>MDLC2</th> <th>MDLC1</th> <th>MDLC0</th> <th>送受信メッセージのデータ長</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0 バイト</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 バイト</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 バイト</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 バイト</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 バイト</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 バイト</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 バイト</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 バイト</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 バイト</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td rowspan="5">(送信時に設定した場合、データ・フレームの送信では設定した DLC 値に関わらず 8 バイトのデータが送信されます。ただし、実際に CAN バスに送信される DLC はこのレジスタに設定した DLC 値になります。)<sup>※</sup></td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td></td></tr> </tbody> </table>	MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長	0	0	0	0	0 バイト	0	0	0	1	1 バイト	0	0	1	0	2 バイト	0	0	1	1	3 バイト	0	1	0	0	4 バイト	0	1	0	1	5 バイト	0	1	1	0	6 バイト	0	1	1	1	7 バイト	1	0	0	0	8 バイト	1	0	0	1	設定禁止	1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定した DLC 値に関わらず 8 バイトのデータが送信されます。ただし、実際に CAN バスに送信される DLC はこのレジスタに設定した DLC 値になります。) <sup>※</sup>	1	0	1	1	1	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	
MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長																																																																															
0	0	0	0	0 バイト																																																																															
0	0	0	1	1 バイト																																																																															
0	0	1	0	2 バイト																																																																															
0	0	1	1	3 バイト																																																																															
0	1	0	0	4 バイト																																																																															
0	1	0	1	5 バイト																																																																															
0	1	1	0	6 バイト																																																																															
0	1	1	1	7 バイト																																																																															
1	0	0	0	8 バイト																																																																															
1	0	0	1	設定禁止																																																																															
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定した DLC 値に関わらず 8 バイトのデータが送信されます。ただし、実際に CAN バスに送信される DLC はこのレジスタに設定した DLC 値になります。) <sup>※</sup>																																																																															
1	0	1	1																																																																																
1	1	0	0																																																																																
1	1	0	1																																																																																
1	1	1	0																																																																																
1	1	1	1																																																																																

注 CAN バス上に実際に送信されるデータと DLC 値は次のとおりです。

送信フレーム種類	送信されるデータの長さ	送信される DLC
データ・フレーム	DLC で指定されたバイト数 (ただし DLC 8 の場合は 8 バイト)	MDLC3-MDLC0 ビット
リモート・フレーム	0 バイト	

注意 1. ビット 7-4 には必ず 0000B を設定してください。

2. メッセージ受信時には、DLC に対応するバイト数 (ただし、8 が上限) 分の CnMDATAxm レジスタに受信データが格納されます。データが格納されなかった CnMDATAxm レジスタは不定です。

備考 m = 00-31

(21) CANn メッセージ・コンフィギュレーション・レジスタ m (CnMCONFm)

CnMCONFm レジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。  
ビット 2, 1 には、必ず 0 を書き込んでください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
CnMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0	表 20-16 を参照してください。	不定
R/W	R/W	R/W	R/W	R/W	R/W	0	0	R/W		

ビット位置	ビット名	意味
7	OVS	オーバライト制御ビットです。 0: すでに受信しているメッセージ・バッファ <sup>※</sup> に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。 1: すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

**注** “すでに受信しているメッセージ・バッファ” とは、CnMCTRLm.DN ビットがセット (1) されている受信メッセージ・バッファを意味します。

**備考** リモート・フレームの受信格納に際しては、OVS ビットおよび DN ビットの設定には依存せず、そのほかの条件が合致 (ID が一致、RTR ビット = 0、CnMCTRLm.TRQ ビット = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成、DN フラグのセット、CnMDLcM.MDLC0-MDLC3 ビットの更新、および受信履歴・リストへの記録) されます。

ビット位置	ビット名	意味
6	RTR	リモート・フレームの要求ビット <sup>※</sup> です。 0: データ・フレーム送信 1: リモート・フレーム送信

**注** RTR ビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。  
有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファの RTR ビットはクリア (0) されたままです。  
リモート・フレーム送信のために送信メッセージ・バッファの RTR ビットをセット (1) した状態で、CAN バスから ID が合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納 (割り込み生成、DN フラグのセット、MDLC0-MDLC3 ビットの更新および受信履歴・リストへの記録) は行われません。

**備考** m = 00-31

ビット位置	ビット名	意 味																																
5-3	MT2-MT0	<p>メッセージ・バッファ・タイプ設定ビットです。</p> <table border="1"> <thead> <tr> <th>MT2</th> <th>MT1</th> <th>MT0</th> <th>メッセージ・バッファ・タイプ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>送信メッセージ・バッファ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>受信メッセージ・バッファ (マスク設定なし)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>受信メッセージ・バッファ (マスク 1 設定)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>受信メッセージ・バッファ (マスク 2 設定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>受信メッセージ・バッファ (マスク 3 設定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>受信メッセージ・バッファ (マスク 4 設定)</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	MT2	MT1	MT0	メッセージ・バッファ・タイプ	0	0	0	送信メッセージ・バッファ	0	0	1	受信メッセージ・バッファ (マスク設定なし)	0	1	0	受信メッセージ・バッファ (マスク 1 設定)	0	1	1	受信メッセージ・バッファ (マスク 2 設定)	1	0	0	受信メッセージ・バッファ (マスク 3 設定)	1	0	1	受信メッセージ・バッファ (マスク 4 設定)	上記以外			設定禁止
MT2	MT1	MT0	メッセージ・バッファ・タイプ																															
0	0	0	送信メッセージ・バッファ																															
0	0	1	受信メッセージ・バッファ (マスク設定なし)																															
0	1	0	受信メッセージ・バッファ (マスク 1 設定)																															
0	1	1	受信メッセージ・バッファ (マスク 2 設定)																															
1	0	0	受信メッセージ・バッファ (マスク 3 設定)																															
1	0	1	受信メッセージ・バッファ (マスク 4 設定)																															
上記以外			設定禁止																															
0	MA0	<p>メッセージ・バッファの割り付けビット</p> <p>0 : メッセージ・バッファを使用しない</p> <p>1 : メッセージ・バッファを使用する</p>																																

(22) CANn メッセージ ID レジスタ m ( CnMIDLm, CnMIDHm )

CnMIDLm, CnMIDHm レジスタは、アイデンティファイア ( ID ) を設定します。

CnMIDHm レジスタのビット 14, 13 には、必ず 0 を書き込んでください。

CnMIDLm	15	14	13	12	11	10	9	8	アドレス 表 20-16 を 参照して ください。	初期値 不定
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
	7	6	5	4	3	2	1	0	アドレス 表 20-16 を 参照して ください。	初期値 不定
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
CnMIDHm	15	14	13	12	11	10	9	8	アドレス 表 20-16 を 参照して ください。	初期値 不定
	IDE	0	0	ID28	ID27	ID26	ID25	ID24		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
	7	6	5	4	3	2	1	0	アドレス 表 20-16 を 参照して ください。	初期値 不定
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意味								
CnMIDHm.15	IDE	フォーマット・モードを指定します。 0 : 標準フォーマット・モード ( ID28-ID18 : 11 ビット ) * 1 : 拡張フォーマット・モード ( ID28-ID0 : 29 ビット )								
<p><b>注 ID17-ID0 ビットは使用されません。</b></p>										
ビット位置	ビット名	意味								
CnMIDHm.12-2	ID28-ID18	11 ビットの標準メッセージ ID 値 ( IDE = 0 のとき ) を設定します。								
CnMIDHm.12-0, CnMIDLm.15-0	ID28-ID0	29 ビットの標準メッセージ ID 値 ( IDE = 0 のとき ) を設定します。								
<p><b>注意 1.</b> CnMIDHm レジスタのビット 14, 13 には、必ず 0 を書き込んでください。</p> <p><b>2.</b> 必ず、このレジスタに与えられたビット位置に従って登録する ID 値を並べてください。 標準 ID に関して ID 値は ID28 から ID18 のビット位置をシフトしてください。</p>										
<p><b>備考 m = 00-31</b></p>										



(23) CANn メッセージ制御レジスタ m (CnMCTRLm)

CnMCTRLm レジスタは、メッセージ・バッファの動作を制御します。

( 1/4 )

リード時	15	14	13	12	11	10	9	8	アドレス	初期値
CnMCTRLm	0	0	MUC	0	0	0	0	0	表 20-16 を参照してください。	
R/W	0	0	R	0	0	0	0	0		
	7	6	5	4	3	2	1	0		
	0	0	0	MOW	IE	DN	TRQ	RDY		
R/W	0	0	0	R	R	R	R	R		
ライト時	15	14	13	12	11	10	9	8		
CnMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY		
R/W	0	0	0	0	W	0	W	W		
	7	6	5	4	3	2	1	0		
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY		
R/W	0	0	0	W	W	W	W	W		

(a) リード時 ( 1/2 )

ビット位置	ビット名	意味
13	MUC <sup>注</sup>	メッセージ・バッファへのデータ更新中ビットです。 0: CAN モジュールによるメッセージ・バッファの更新 (受信格納) 中ではありません。 1: CAN モジュールによるメッセージ・バッファの更新 (受信格納) 中です。

**注 MUC ビットは最初の受信格納が行われるまで不定です。**

ビット位置	ビット名	意味
4	MOW	メッセージ・バッファ・オーバーライト・ステータス・ビット 0: メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。 1: メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

**備考 DN ビット = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても ,MOW ビットはセット (1) されません。**

ビット位置	ビット名	意味
3	IE	メッセージ・バッファ割り込み要求許可ビットです。 0: 受信用メッセージ・バッファのとき: 有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき: 正常なメッセージ送信完了割り込み禁止 1: 受信用メッセージ・バッファのとき: 有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき: 正常なメッセージ送信完了割り込み許可

**備考 m = 00-31**

(2/4)

(a) リード時 (2/2)

ビット位置	ビット名	意味
2	DN	メッセージ・バッファ・データ更新ビットです。 0: メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。 1: メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。
1	TRQ	メッセージ・バッファ送信要求ビットです。 0: メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。 1: メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

**注意** TRQ ビットと RDY ビットを同時にセット (1) しないでください。TRQ ビットをセット (1) する場合は、必ず事前に RDY ビットをセット (1) してください。

ビット位置	ビット名	意味
0	RDY	メッセージ・バッファ準備ビットです。 0: ソフトウェアによりメッセージ・バッファに書き込みできます。CAN モジュールはメッセージ・バッファに書き込みができません。 1: ソフトウェアによるメッセージ・バッファへの書き込みは無視されます (RDY ビット, TRQ ビット, DN ビットおよび MOW ビットへのライト・アクセスを除く)。CAN モジュールはメッセージ・バッファに書き込みが可能です。

- 注意 1.** メッセージ送信中に、RDY ビットをクリア (0) しないでください。再定義のための RDY ビットのクリアは、送信中断処理に従ってください。
- 2.** RDY ビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。
- 3.** メッセージ・バッファに書き込む前に、RDY ビットがクリア (0) されたことを確認してください。確認は RDY ビットを読み返して行ってください。ただし、TRQ ビットまたは RDY ビットのセット (1)、DN ビットまたは MOW ビットのクリア (0) については確認する必要はありません。

備考 m = 00-31

(3/4)

(b) ライト時 (1/2)

ビット位置	ビット名	意味												
4	Clear MOW	MOW ビットをクリア (0) します。 0: MOW ビットの変更なし 1: MOW ビットをクリア (0) する												
11, 3	Set IE, Clear IE	IE ビットの設定ビットです。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>Set IE</th> <th>Clear IE</th> <th>IE ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>IE ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>IE ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>IE ビットの変更なし</td> </tr> </tbody> </table>	Set IE	Clear IE	IE ビットの設定	0	1	IE ビットをクリア (0) する	1	0	IE ビットをセット (1) する	上記以外		IE ビットの変更なし
Set IE	Clear IE	IE ビットの設定												
0	1	IE ビットをクリア (0) する												
1	0	IE ビットをセット (1) する												
上記以外		IE ビットの変更なし												

**注意** IE ビットの設定と RDY ビットの設定は、必ず別々に行ってください。

ビット位置	ビット名	意味
2	Clear DN	DN ビットをクリア (0) します。 0: DN ビットの変更なし 1: DN ビットをクリア (0) する

**注意** ソフトウェアにより、DN ビットをセット (1) しないでください。ビット 10 には、必ず 0 を書き込んでください。

ビット位置	ビット名	意味												
9, 1	Set TRQ, Clear TRQ	TRQ ビットの設定ビットです。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>Set TRQ</th> <th>Clear TRQ</th> <th>TRQ ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TRQ ビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TRQ ビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TRQ ビットの変更なし</td> </tr> </tbody> </table>	Set TRQ	Clear TRQ	TRQ ビットの設定	0	1	TRQ ビットをクリア (0) する	1	0	TRQ ビットをセット (1) する	上記以外		TRQ ビットの変更なし
Set TRQ	Clear TRQ	TRQ ビットの設定												
0	1	TRQ ビットをクリア (0) する												
1	0	TRQ ビットをセット (1) する												
上記以外		TRQ ビットの変更なし												

**注意** TRQ ビットをセット (1) しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、TRQ ビットをクリア (0) しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了 (成功 / 失敗問わず) するまで送信を継続します。

(b) ライト時 ( 2/2 )

ビット位置	ビット名	意 味												
8, 0	Set RDY, Clear RDY	RDY ビットの設定ビットです。 <table border="1" data-bbox="509 389 1370 573"> <thead> <tr> <th>Set RDY</th> <th>Clear RDY</th> <th>RDY ビットの設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>RDY ビットをクリア ( 0 ) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>RDY ビットをセット ( 1 ) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>RDY ビットの変更なし</td> </tr> </tbody> </table>	Set RDY	Clear RDY	RDY ビットの設定	0	1	RDY ビットをクリア ( 0 ) する	1	0	RDY ビットをセット ( 1 ) する	上記以外		RDY ビットの変更なし
Set RDY	Clear RDY	RDY ビットの設定												
0	1	RDY ビットをクリア ( 0 ) する												
1	0	RDY ビットをセット ( 1 ) する												
上記以外		RDY ビットの変更なし												

**注意** TRQ ビットの設定と RDY ビットの設定は、必ず別々に行ってください。

## 20.7 ビットのセット/クリア機能

CAN の制御レジスタには、ビットのセット/クリアが CPU と CAN インタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANn グローバル制御レジスタ (CnGMCTRL)
- ・ CANn グローバル自動ブロック送信制御レジスタ (CnGMABT)
- ・ CANn モジュール制御レジスタ (CnCTRL)
- ・ CANn モジュール割り込み許可レジスタ (CnIE)
- ・ CANn モジュール割り込みステータス・レジスタ (CnINTS)
- ・ CANn モジュール受信履歴・リスト・レジスタ (CnRGPT)
- ・ CANn モジュール送信履歴・リスト・レジスタ (CnTGPT)
- ・ CANn モジュール・タイム・スタンプ・レジスタ (CnTS)
- ・ CANn メッセージ制御レジスタ m (CnMCTRLm)

**備考 n = 0, 1**

**m = 00-31**

上記レジスタの 16 ビットは、すべて通常の方法で読むことができます。下位 8 ビットのビット・セットやビット・クリアは図 20-25 の手順で行ってください。

上記レジスタの下位 8 ビットのセット/クリアは、上位 8 ビットと下位 8 ビットの組み合わせで行います（図 20-26 セット/クリア設定後のビット状態参照）。図 20-25 のように、set ビットと clear ビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図 20-25 ビットのセット/クリアの操作例

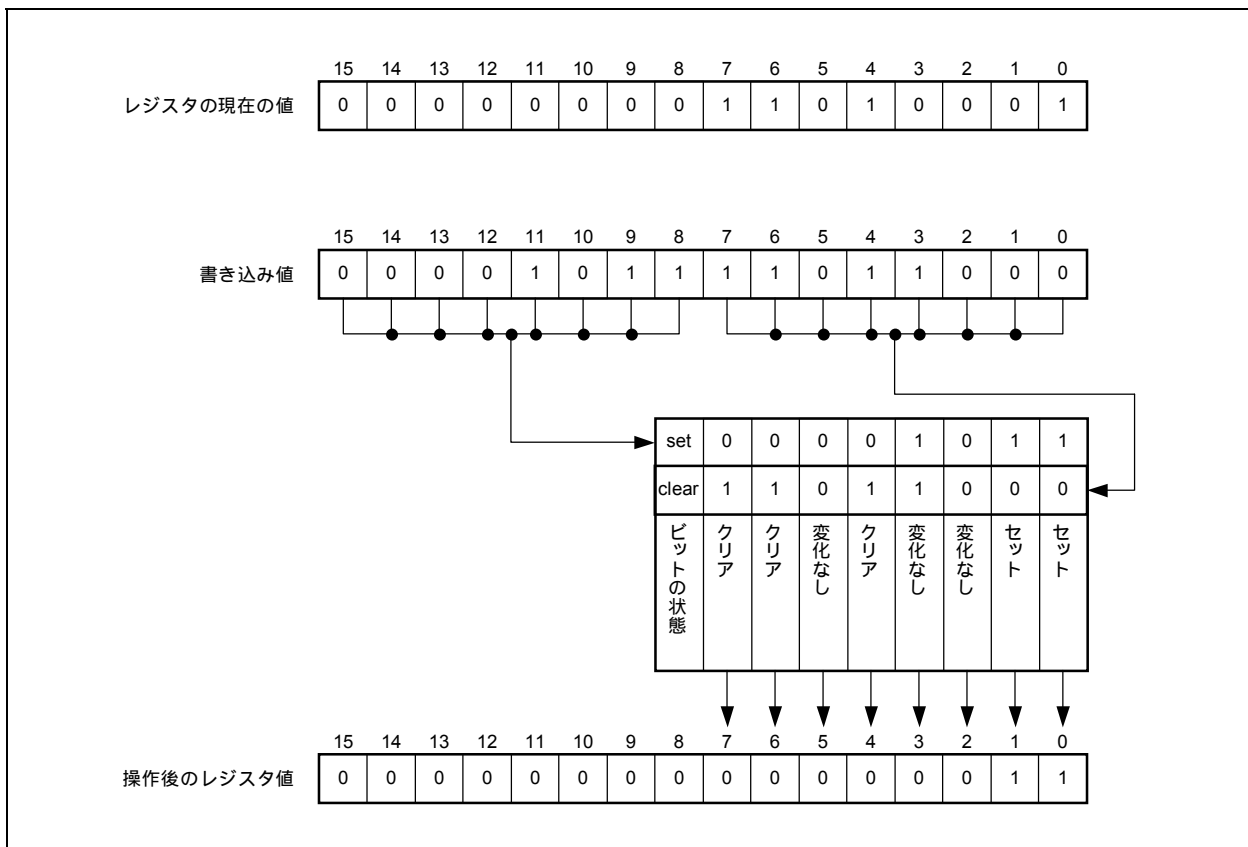


図 20-26 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビット n の状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考 n = 0-7

## 20.8 CAN コントローラの初期化処理

### 20.8.1 CAN モジュールの初期化

CAN モジュールの動作を許可する前に、ソフトウェアにより CnGMCS.CCP0-CCP3 ビットを設定し、CAN モジュール・システム・クロックを決める必要があります。CAN モジュール・システム・クロックの設定は、CAN モジュールの動作が許可されたあとは変更できません。

CAN モジュールは、CnGMCTRL.GOM ビットをセット (1) することで有効になります。初期化処理手順については、20.16 CAN コントローラの動作を参照してください。

備考 n = 0, 1

### 20.8.2 メッセージ・バッファの初期化

CAN モジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- ・ CnMCTRLm.RDY ビット、TRQ ビット、DN ビットをクリア (0) する。
- ・ CnMCONFm.MA0 ビットをクリア (0) する。

備考 n = 0, 1

m = 00-31

### 20.8.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信または送信中にほかの送受信動作に影響を与えることなく、メッセージ・バッファの ID や制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファの ID や制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

(2) 受信中にメッセージ・バッファの再定義を行う場合

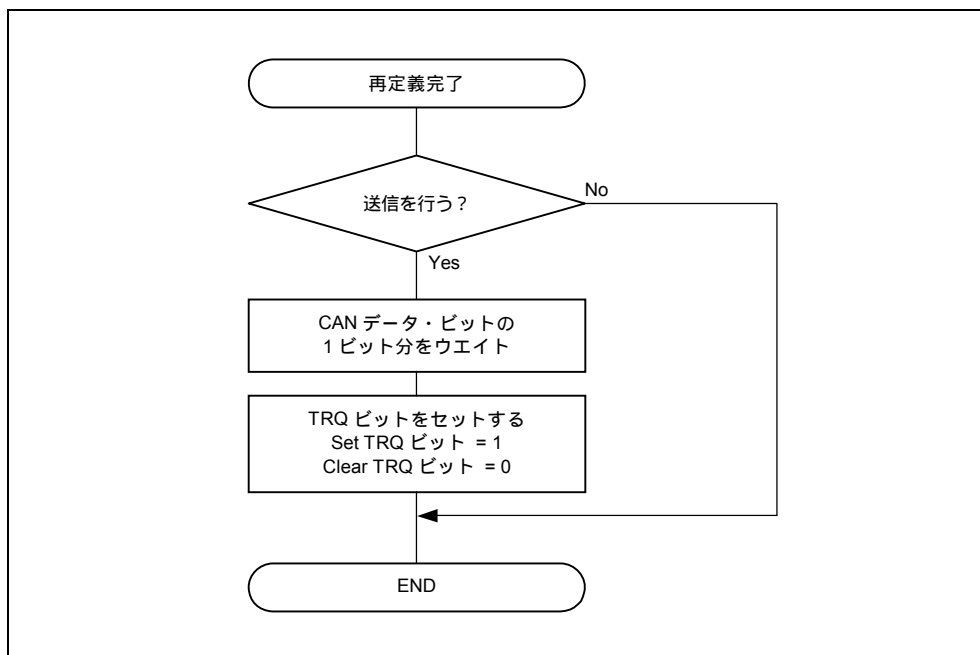
図 20-39 に従って処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き替える場合には、送信中断処理 (20.10.4(1)自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理, 20.10.4(2) 自動ブロック送信機能 (ABT) 付き通常動作モードでの ABT 送信以外の送信中断処理, 20.10.4(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理参照) を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、次の処理手順に従って処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1 ビット分のウェイトは必要ありません。



図 20-27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



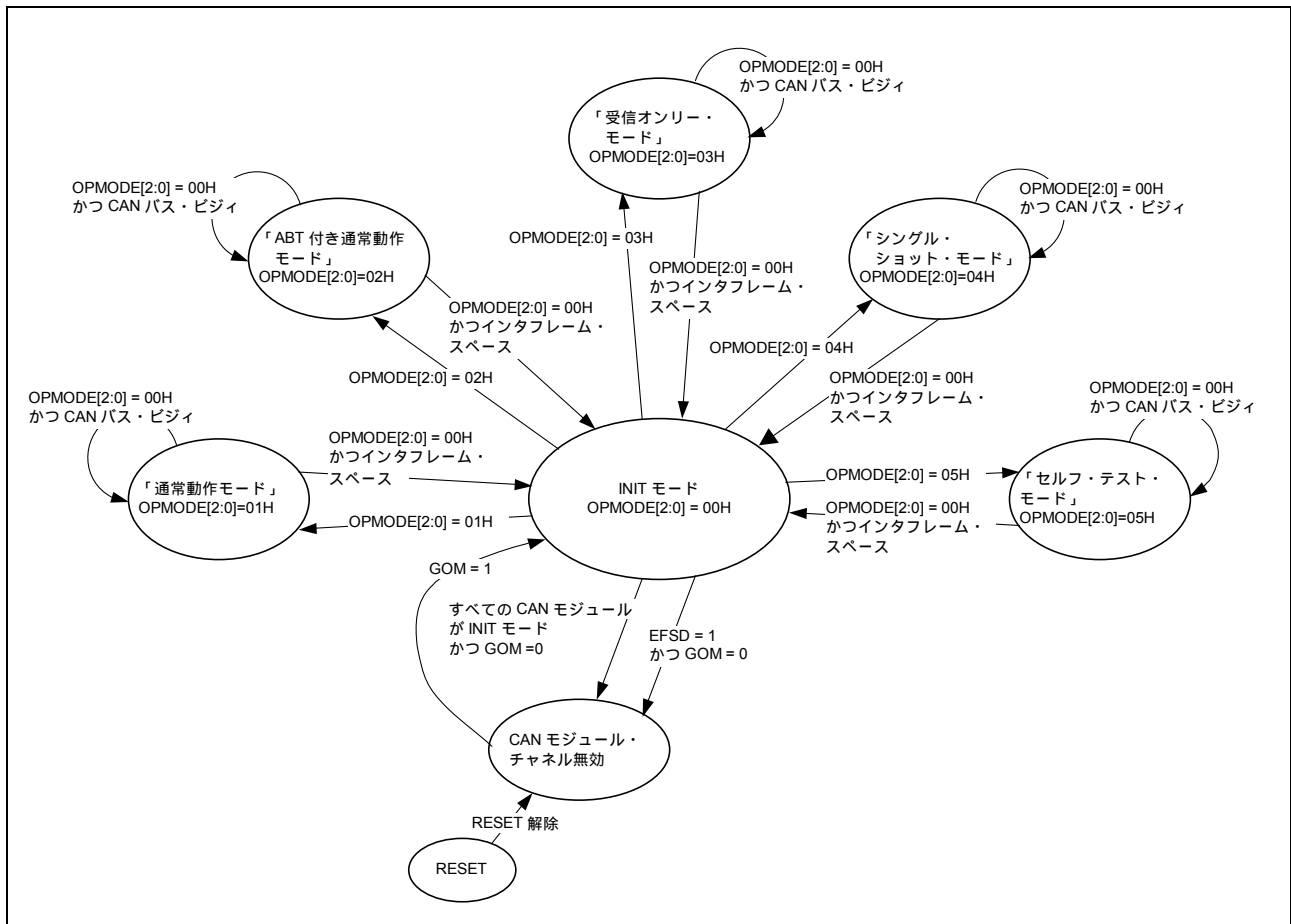
- 注意 1. メッセージ受信時には、各受信メッセージ・バッファに設定された ID およびマスク設定にもとづいて受信フィルタリングが行われます。図 20-40 の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果 (受信フィルタリング結果) が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されている ID および IDE が再定義後の内容であることを確認してください。再定義後の ID および IDE が格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定された ID, IDE および RTR ビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図 20-27 の手順に従わなかった場合には、再定義後の ID が最高位の ID ではないメッセージが送信される場合があります。

## 20.8.4 動作モードへの移行

CAN モジュールは、次の動作モードに切り替えることができます。

- ・ 通常動作モード
- ・ ABT 付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード

図 20-28 動作モードへの移行



初期化モードから動作モードへの移行は、CnCTRL.OPMODE2-OPMODE0 ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作は保証できません。

動作モードから初期化モードへの移行要求は、CAN バスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフレーム・スペースの 1 ビット目に初期化モードへ移行します（OPMODE2-OPMODE0 ビットの値が 00H に変化します）。初期化モードへの移行要求のあとには、OPMODE2-OPMODE0 ビットが 000B になるまで、OPMODE2-OPMODE0 ビットをリードして、初期化モードへ移行したことを確認してください（図 20-37 参照）。

備考 n = 0, 1

### 20.8.5 CAN モジュールのエラー・カウンタ CnERC のリセット

再初期化やバス・オフ強制復帰の際に、CnERC, CnINFO レジスタをリセットする必要がある場合には、初期化モード中に CnCTRL.CCERC ビットをセット (1) してください。CCERC ビットをセット (1) すると、CnERC, CnINFO レジスタは初期値にクリアされます。

**備考** n = 0, 1

## 20.9 メッセージ受信

### 20.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。  
( CnMCONFm.MA0 ビットに 1 を設定 )
- ・受信用メッセージ・バッファとして設定している。  
( CnMCONFm.MT2-MT0 ビットに 001B,010B,011B,100B,101B を設定 )
- ・受信準備ができています。  
( CnMCTRLm.RDY ビットがセット ( 1 ) されている )

備考 n = 0, 1

m = 00-31

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク 1 にリンクした受信メッセージ・バッファに同一 ID が設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク 1 にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり 2 つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件 (たとえば、OWS ビット = 0 により上書き禁止ですでに受信している DN ビット = 1 の場合など) でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一 ID を設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DN ビット = 0
		DN ビット = 1 かつ OWS ビット = 1
2	マスク 1 とリンクしたメッセージ・バッファ	DN ビット = 0
		DN ビット = 1 かつ OWS ビット = 1
3	マスク 2 とリンクしたメッセージ・バッファ	DN ビット = 0
		DN ビット = 1 かつ OWS ビット = 1
4	マスク 3 とリンクしたメッセージ・バッファ	DN ビット = 0
		DN ビット = 1 かつ OWS ビット = 1
5 (低)	マスク 4 とリンクしたメッセージ・バッファ	DN ビット = 0
		DN ビット = 1 かつ OWS ビット = 1

## 20.9.2 受信データの読み出し

ソフトウェアにより CAN メッセージ・バッファから一貫してデータを読み出す必要がある場合には、図 20-49、図 20-50 の推奨処理手順で行ってください。

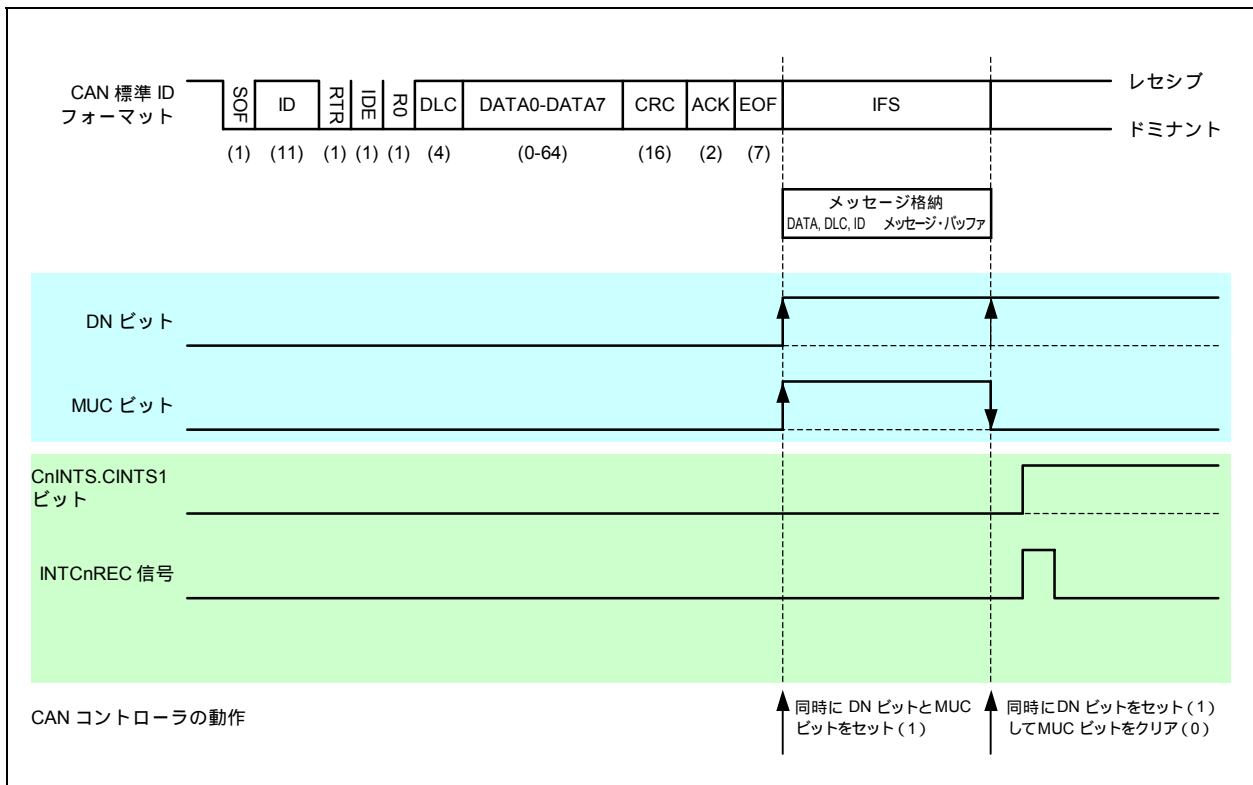
メッセージ受信時、CAN モジュールは CnMCTRLm.DN ビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに 2 回セット (1) します。この格納処理の間、メッセージ・バッファの CnMCTRLm.MUC ビットはセット (1) されています (図 20-29 参照)。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間 (MUC ビット = 1) は、格納対象となっているメッセージ・バッファの CnMCTRLm.RDY ビットは CPU による書き換えが禁止されています。このデータ格納処理は CPU によるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 n = 0, 1

m = 00-31

図 20-29 DN, MUC ビットのセット期間 (標準 ID フォーマットの場合)



### 20.9.3 受信ヒストリ・リスト機能

受信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信ヒストリ・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHL は、最大 23 メッセージ分の格納エレメントと、受信ヒストリ・リスト書き込みポインタ (LIPT) に対応する CnLIPT レジスタ、および受信ヒストリ・リスト読み出しポインタ (RGPT) に対応する CnRGPT レジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHL は不定です。

CnLIPT レジスタは、LIPT ポインタ - 1 で示される RHL エレメントの内容を保持しますので、CnLIPT レジスタを読み出すことで最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPT ポインタは、RHL におけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号が LIPT ポインタで示される RHL エレメントに記録されます。RHL への記録が完了するごとに、LIPT ポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPT ポインタは、記録されたメッセージ・バッファ番号を RHL から読み出す際の読み出しポインタとして機能します。RGPT ポインタは CPU がまだ読み出しを行っていない最初の RHL エレメントを示しています。ソフトウェアにより、CnRGPT レジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。CnRGPT レジスタからメッセージ・バッファ番号を読み出すごとに、RGPT ポインタは自動的にインクリメントされます。

RGPT ポインタと LIPT ポインタが一致した場合には、CnRGPT.RHPM ビット (受信ヒストリ・リスト・ポインタ一致) がセット (1) されます。RHPM ビットがセット (1) されていることで、RHL には読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPT ポインタがインクリメントされポインタが一致なくなり、RHPM ビットはクリア (0) されます。つまり、RHL 内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされた LIPT ポインタが RGPT ポインタ - 1 と一致した場合には、CnRGPT.ROVF ビット (受信ヒストリ・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号で RHL がフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。したがって、ROVF ビットがセット (1) されたあと、RHL に保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU 操作による各メッセージ・バッファの DN ビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

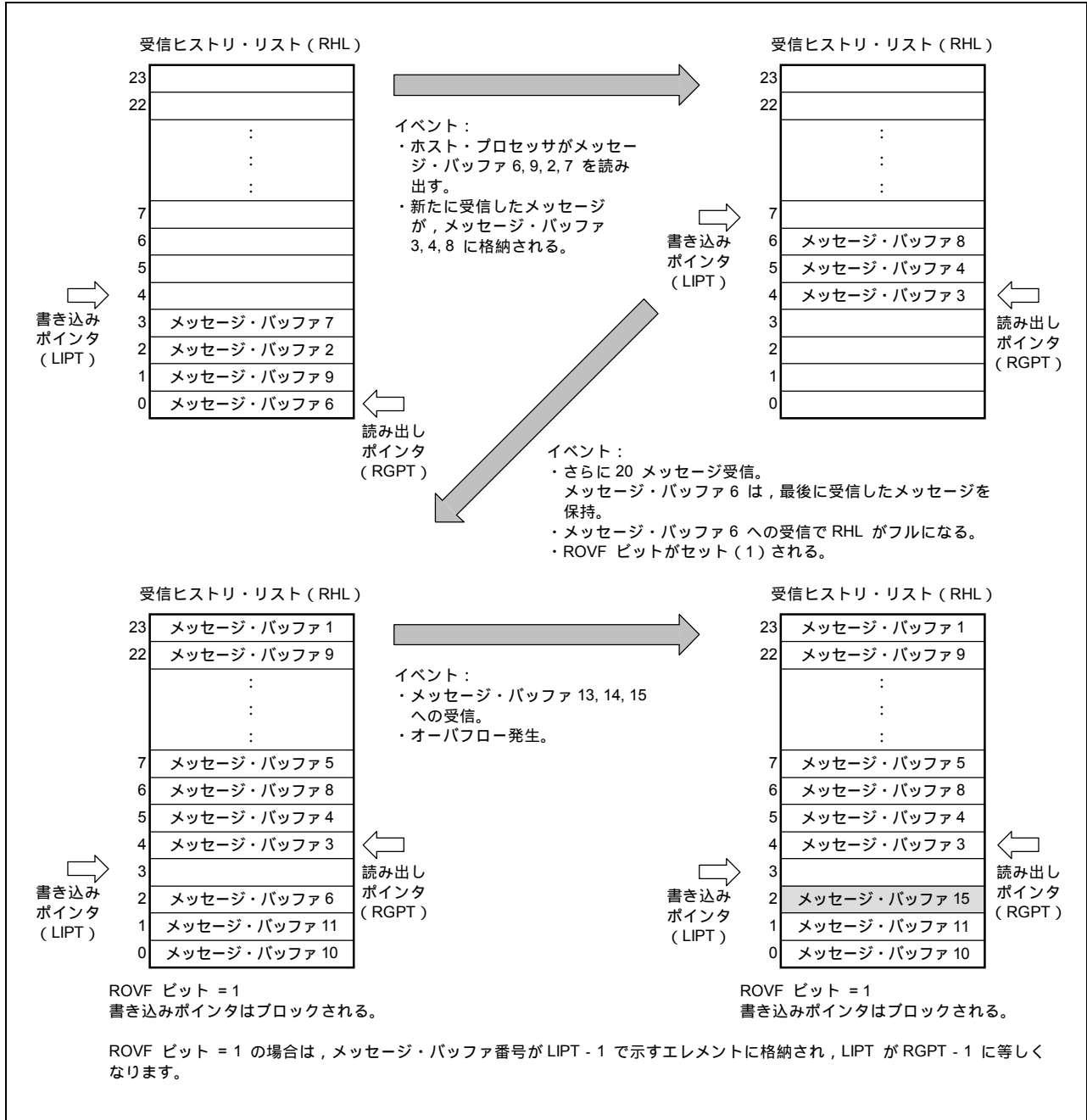
**注意** 受信ヒストリ・リストがオーバーフローした状態 (CnRGPT.ROVF ビット = 1) でも、未読の履歴がなくなり CnRGPT.RHPM ビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVF ビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (=オーバーフローしている) を継続します。この状態では、ROVF ビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でも RHPM ビットはクリア (0) されません。したがって、ROVF ビット = 1 かつ RHPM ビット = 1 で受信ヒストリ・リストがオーバーフロー状態である場合には、新しい受信格納が発生しても RHPM ビットは未読の受信履歴がない状態を示しますので注意してください。

**備考** n = 0, 1

m = 00-31

受信履歴・リストは、未読の状態では 23 個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合は、受信格納順は完全には読み出せないことがあります。

図 20-30 受信履歴・リスト



### 20.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4 つのグローバル受信マスクの 1 つを割り当てるか、またはマスクなしかを選択することができます。

メッセージ ID の比較はマスクされたビットにより軽減されるため、1 つのバッファの中にいくつかの異なる ID の受信を許容します。

マスク機能を使用することにより、CAN バスから受信したメッセージのアイデンティファイアとあらかじめメッセージ・バッファに設定されているアイデンティファイアとを比較し、その結果、マスクされている ID が “0” または “1” のどちらに設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき、マスクにて “1” と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて “0” と定義されたビットについては比較を行います。

たとえば、ID27-ID25 が “0”、ID24 と ID22 が “1” と設定された標準フォーマット ID を持つすべてのメッセージをメッセージ・バッファ 14 に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

備考 x = don't care

メッセージ・バッファ 14 に設定したアイデンティファイア (例)  
(CnMIDL14, CnMIDH14 レジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x

ID6	ID5	ID4	ID3	ID2	ID1	ID0
x	x	x	x	x	x	x

ID27-ID25 ビットが “0” に設定され、ID24 ビットと ID22 ビットが “1” に設定されている ID をメッセージ・バッファ 14 に登録 (初期化) します。

備考 x = don't care

備考 1. メッセージ・バッファ 14 をマスク 1 にリンクする (CnMCONF14.MT2-MT0 ビット = 010B に設定) 標準フォーマット・アイデンティファイアとして設定します。

2. n = 0, 1



CAN モジュール 1 (マスク 1) のマスク設定 (例)

(CAN1 アドレス・マスク 1 レジスタ L, H (C1MASKL1, C1MASKH1) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1

CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1

CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
1	1	1	1	1	1	1

1 : 比較しない (マスクする)  
0 : 比較する

CMID27-CMID24 ビットおよび CMID22 ビットは “0” , CMID28, CMID23, CMID21-CMID0 ビットは “1” に設定します。

### 20.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以降, MBRB と記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することにより, CPU を介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。これらのメッセージ・バッファはメッセージ・バッファ・メモリ内の任意の場所に配置できます。また, 互いに隣接して配置されていなくてもかまいません。

たとえば, メッセージ・バッファ 10 からメッセージ・バッファ 19 の 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じ ID が設定されている場合には, 最初に ID が一致するメッセージを受信した場合, メッセージ・バッファ 10 に格納します。この時点でメッセージ・バッファ 10 は DN ビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, ID が一致するメッセージを受信した場合, メッセージ・バッファ 11 に受信格納されます。以降, ID が一致するメッセージを受信するたびにメッセージ・バッファ 12, 13, …, 18, 19 とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, ID が一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファの CnMCTRLm.IE ビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックが k 個のメッセージで構成されている場合は, データ・ブロック受信用に k 個のメッセージ・バッファを初期化します。メッセージ・バッファ 0 から (k - 2) までは, IE ビットをクリア (0) しておき (割り込み無効), メッセージ・バッファ k - 1 では, IE ビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファ k - 1 への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRB がフルになったことを知ることができます。あるいは, メッセージ・バッファ 0 から (k - 3) までは, IE ビットをクリア (0) しておきメッセージ・バッファ k - 2 の IE ビットをセット (1) しておくことで, MBRB がオーバーフローしそうであることのワーニングとすることができます。

MBRB においても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意 1. MBRB は、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なるが、ID が一致するほかの MBRB のメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
2. MBRB は、リング構造を持っていません。したがって、MBRB を構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへの格納後に受信したメッセージに対しては、再びメッセージ・バッファ番号が一番小さいメッセージ・バッファに戻って格納を継続することはありません。
3. MBRB は、受信格納条件に基づく動作であり、機能有効ビット等の MBRB 専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよび ID を設定することで自動的に MBRB が構成されます。
4. MBRB における「ID が一致する」とは「マスク後の ID の一致する」という意味です。各メッセージ・バッファに設定した ID が必ずしも同一でなくても、マスク・レジスタによるマスク後の ID が一致するものは、ID が一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
5. 各 MBRB 間の優先順位は、20.9.1 メッセージ受信で示した優先順位に従います。

備考 n = 0, 1

m = 00-31

### 20.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。  
( CnMCONFm.MA0 ビットを 1 に設定 )
- ・送信用メッセージ・バッファとして設定している。  
( CnMCONFm.MT2-MT0 ビットを 000B に設定 )
- ・受信準備ができています。  
( CnMCTRLm.RDY ビットがセット ( 1 ) されている )
- ・メッセージ送信に設定されている。  
( CnMCONFm.RTR ビットがクリア ( 0 ) されている )
- ・送信要求が設定されていない。  
( CnMCTRLm.TRQ ビットがクリア ( 1 ) されている )

上記の条件を満足し、かつ受信したリモート・フレームと ID が合致するメッセージ・バッファに対しては、次の受信格納動作が行われます。

- ・ CnMDLcM.DLC3-DLC0 ビットは受信した DLC 値を格納します。
- ・データ領域 CnMDATA0m-CnMDATA7m レジスタは更新されません( 受信前のデータが保存されます )。
- ・ CnMCTRLm.DN ビットがセット ( 1 ) されます。
- ・ CnINTS.CINTS1 ビットがセット ( 1 ) されます ( 受信格納するメッセージ・バッファの CnMCTRLm.IE ビットがセット ( 1 ) されている場合 )。
- ・受信完了割り込み ( INTcNRE ) が出力されます ( 受信格納するメッセージ・バッファの IE ビットがセット ( 1 ) されており、かつ CnIE.CIE1 ビットがセット ( 1 ) されている場合 )。
- ・メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

**注意** リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファの CnMCONFm.OWS ビットによるオーバライト制御の設定および DN ビットには影響を受けません。OWS ビットの設定は無視され、どんな場合でも DN ビットがセット ( 1 ) されます。複数の送信メッセージ・バッファが同一 ID を持ち、受信したリモート・フレームの ID が合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

**備考** n = 0, 1

m = 00-31

## 20.10 メッセージ送信

### 20.10.1 メッセージ送信

すべての動作モードで、次の条件を満たすメッセージ・バッファに CnMCTRLm.TRQ ビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。  
( CnMCONFm.MA0 ビットを 1 に設定 )
- ・送信用メッセージ・バッファとして設定している。  
( CnMCONFm.MT2-MT0 ビットを 000B に設定 )
- ・送信準備ができています。  
( CnMCTRLm.RDY ビットがセット(1)されている )

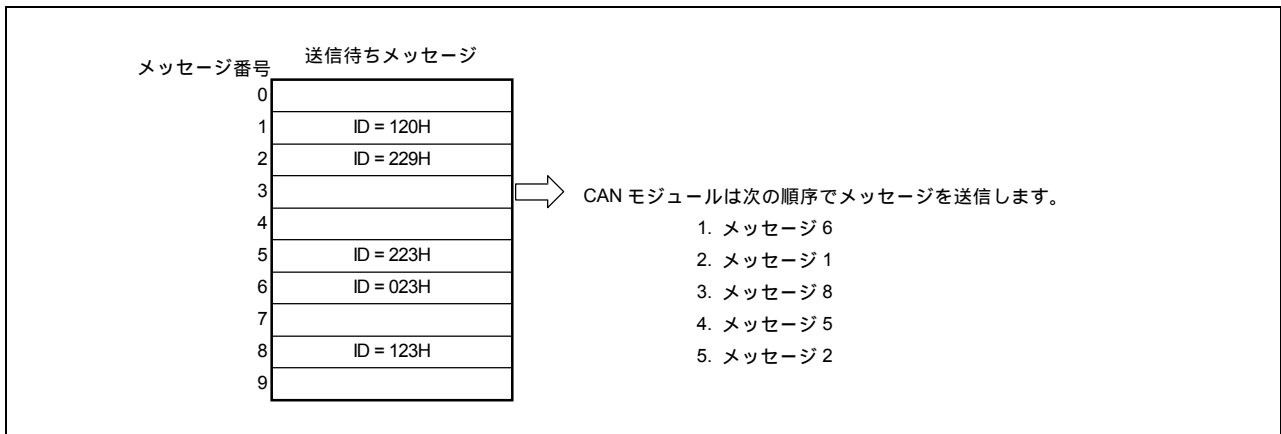
**備考 n = 0, 1**

**m = 00-31**

CAN はマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージの ID によって決定されます。ソフトウェアによる送信処理を容易にするため、CAN モジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのがハードウェアにより ID を検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア (ID) による送信プライオリティ制御を行います。

**図 20-31 メッセージ処理例**



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ（TRQ ビットがあらかじめセット（1）されたメッセージ・バッファ）のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。この優先度の逆転を解決するために、ソフトウェアにより低位の優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条件	説明
1 (高)	ID の先頭 11 ビットの値 [ID28:ID18]	ID の先頭 11 ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の先頭 11 ビットと同一あるいは小さい場合は、11 ビット標準 ID が 29 ビット拡張 ID を持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム（CnMCONFm.RTR ビットがクリア（0））は、標準 ID を持つリモート・フレームや拡張 ID を持つメッセージ・フレームよりも高い優先度を持ちます。
3	ID タイプ	標準 ID を持つメッセージ・フレーム（CnMIDHm.IDE ビットがクリア（0））は、拡張 ID を持つメッセージ・フレームよりも高い優先度を持ちます。
4	ID の下位 18 ビットの値 [ID17:ID0]	ID の先頭 11 ビットが同じ値を持ち、フレーム・タイプが同じ（RTR ビット値が等しい）、拡張 ID を持つ 2 つ以上のメッセージ・フレームが送信保留中の場合、拡張 ID の下位 18 ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2 つ以上のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

**備考 1.** ABT 付き通常動作モードで、自動ブロック送信要求 CnGMABT.ABTTRG ビットをセット（1）した場合、ABT メッセージ・バッファ・グループの 1 つのメッセージ・バッファのみ TRQ ビットがセット（1）されます。ABT 付き通常動作モードでは、ABTTRG ビットにより開始されると ABT 領域（バッファ 0~7）に 1 つの TRQ ビットがセットされます。この TRQ ビット以外に、アプリケーションは、ABT 領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理（TX サーチ）により、検索されたメッセージが次に送信されます。この検索処理は、TRQ ビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが 2 個またはそれ以上あった場合（たとえば同一 ID など）、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。メッセージ・フレームの送信が成功すると次の動作を行います。

- ・対応する送信メッセージ・バッファの TRQ ビットが自動的にクリア（0）されます。
- ・対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、CnINTS レジスタの送信完了ステータス・ビット CINTS0 がセット（1）されます。
- ・CnIE.CIE0 ビットをセット（1）、かつ対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、INTCNTRX の割り込み要求信号が出力されます。

**備考 2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファの RDY フラグをクリアしなければなりません。内部処理の移行中、RDY フラグが一時的にロックされている可能性があるため、変更後は RDY フラグの状態をソフトウェアにより確認する必要があります。**

3.  $n = 0, 1$

$m = 00-31$

## 20.10.2 送信ヒストリ・リスト機能

送信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信ヒストリ・リスト (THL) にメッセージ・バッファ番号の記録を行います。THL は、最大 7 メッセージ分の格納エレメントと、送信ヒストリ・リスト書き込みポインタ (LOPT) に対応する CnLOPT レジスタおよび送信ヒストリ・リスト読み出しポインタ (TGPT) に対応する CnTGPT レジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THL は不定です。

CnLOPT ポインタは、LOPT ポインタ - 1 で示される THL エレメントの内容を保持しますので、CnLOPT レジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPT ポインタは、THL におけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号が LOPT ポインタで示される THL エレメントに記録されます。THL への記録が完了するごとに、LOPT ポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPT ポインタは、記録されたメッセージ・バッファ番号を THL から読み出す際の読み出しポインタとして機能します。TGPT ポインタは CPU がまだ読み出しを行っていない最初の THL エレメントを示しています。ソフトウェアにより、CnTGPT レジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。CnTGPT レジスタからメッセージ・バッファ番号を読み出すごとに、TGPT ポインタは自動的にインクリメントされます。

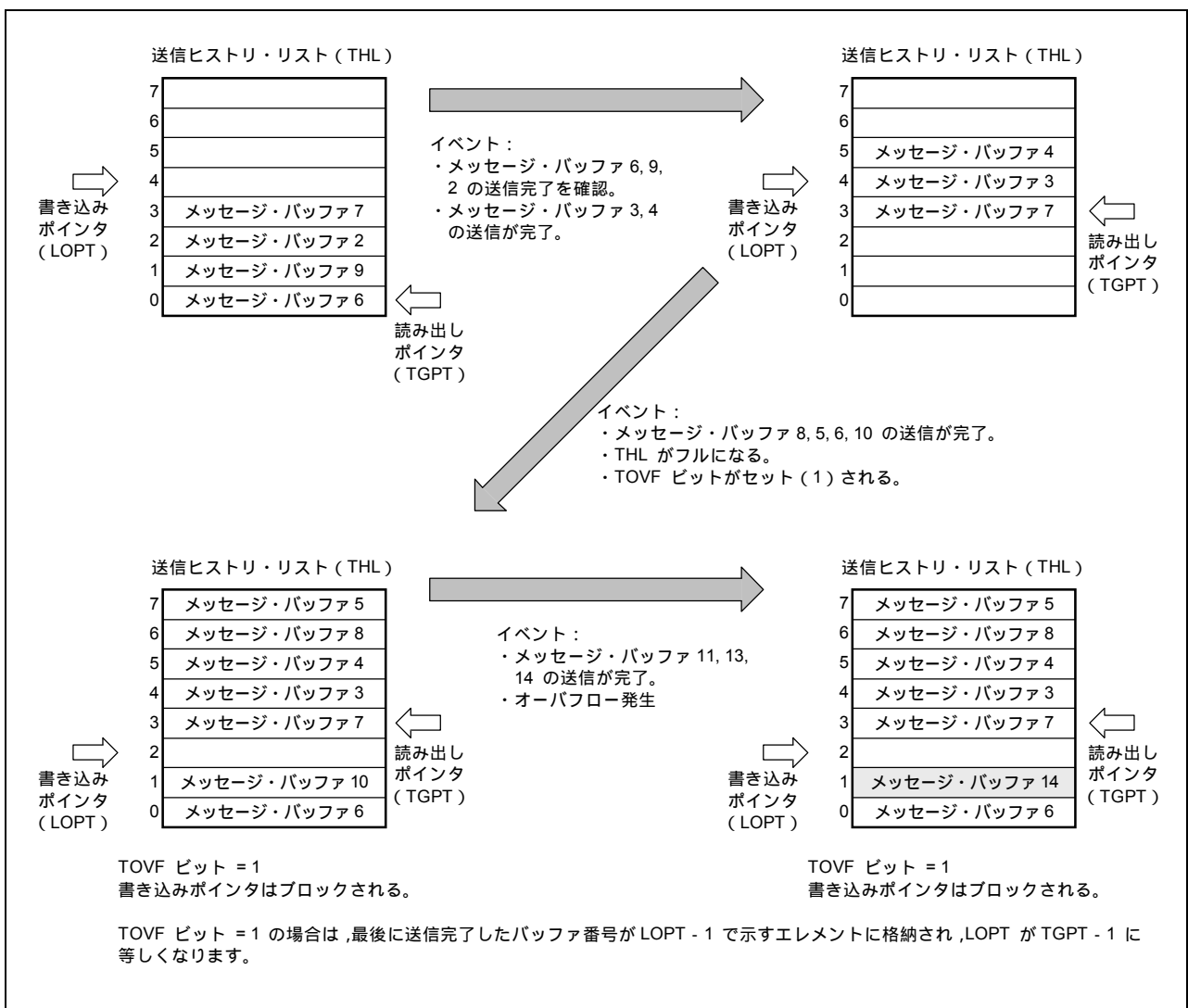
TGPT ポインタと LOPT ポインタが一致した場合には、CnTGPT.THMP ビット (送信ヒストリ・リスト・ポインタ一致) がセット (1) されます。THMP ビットがセット (1) されていることで、THL には読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPT ポインタがインクリメントされポインタが一致しなくなり、THMP ビットはクリア (0) されます。つまり、THL 内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされた LOPT ポインタが TGPT ポインタ - 1 と一致した場合には、CnTGPT レジスタの TOVF ビット (送信ヒストリ・リスト・オーバフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号で THL がフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。したがって、TOVF ビットがセット (1) されたあと、THL に保持しているメッセージ・バッファ番号は完全に時系列にはなりません。ただし、その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPU が送信再設定を行う前に実行)。TOVF ビットに関わらず 6 つの送信メッセージ・バッファ番号は THL に保存されます。

**注意** 送信履歴・リストがオーバーフローした状態 (CnTGPT.TOVF ビット = 1) でも、未読の履歴がなくなり CnTGPT.THPM ビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVF ビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバフローしている) を継続します。この状態では、TOVF ビットがクリア (0) されないかぎり新たに送信完了が発生し新しい送信履歴が書き込まれた場合でも THPM ビットはクリア (0) されません。したがって、TOVF ビット = 1 かつ THPM ビット = 1 で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生しても THPM ビットは未読の送信履歴がない状態を示しますので注意してください。

備考 n = 0, 1

図 20-32 送信履歴・リスト



### 20.10.3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以降, ABT と記述) は, CPU を介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT 用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ 0 からメッセージ・バッファ 7 までの 8 メッセージ固定です。

ABT は, CnCTRL.OPMODE2-OPMODE0 ビットを 010B に設定することで, “自動ブロック送信機能付き通常動作モード” (以降, ABT 付き通常動作モードと記述) に選択できます。

ABT の送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT 用のすべてのメッセージ・バッファに対して, CnMCONFm.MA0 ビットをセット (1) し, さらに CnMCONFm.MT2-MT0 ビットに 000B を設定し送信メッセージ・バッファとして定義してください。ABT 用メッセージ・バッファで使用される ID は, すべてのメッセージ・バッファの ID が同一として使用する場合でも, 必ず各メッセージ・バッファに ID を設定してください。また, 複数の ID を使用する場合は, CnMIDLm, CnMIDHm レジスタで各メッセージ・バッファの ID を設定して使用してください。CnMDLcM レジスタおよび CnMDATA0m-CnMDATA7m レジスタは ABT モードで ABT の送信要求の発行前に設定してください。

ABT 用のメッセージ・バッファの初期化が終了したあとに, CnMCTRLm.RDY ビットをセット (1) してください。ABT では, CnMCTRLm.TRQ ビットをソフトウェアにより設定する必要はありません。

ABT 用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, CnGMABT.ABTTRG ビットをセット (1) することで開始されます。ABT が開始されると, 最初のメッセージ・バッファ (メッセージ・バッファ 0) の TRQ ビットが自動的にセット (1) され送信が始まります。メッセージ・バッファ 0 の送信が終了したら, 次のメッセージ・バッファ 1 の TRQ ビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求 (TRQ ビット) の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量は CnGMABTD レジスタで設定を行い, 単位は DBT (データ・ビット・タイム) です。DBT は CnBRP レジスタおよび CnBTR レジスタで設定される時間に依存します。

ABT は, ABT 送信メッセージ・バッファ内での送信 ID の優先順位の検索は行わず, メッセージ・バッファ 0 から最大メッセージ・バッファ 7 まで順に送信し, メッセージ・バッファ 7 からのデータ・フレームの送信が完了すると, ABTTRG ビットは自動的にクリア (0) され, ABT 送信が完了します。

ABT 送信中に, ABT 用メッセージ・バッファの中に RDY ビットがクリア (0) されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずに ABT 送信を停止し ABTTRG ビットがクリアされます。そのあと, ソフトウェアにより RDY ビットをセット (1) し, ABTTRG ビットをセット (1) することで ABT 送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT 送信が停止し ABTTRG ビットがクリア (0) された状態で CnGMABT.ABTCLR ビットをセット (1) することで内部の ABT 送信エンジンをリセットすることができます。

この場合, ABTCLR ビットをクリア (0) 後, ABTTRG ビットをセット (1) するとメッセージ・バッファ 0 から送信を開始します。

ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外の CnMCTRLm.IE ビットをクリア (0) しておく必要があります。

ABT 用メッセージ・バッファ以外の送信メッセージ・バッファ (メッセージ・バッファ 8-メッセージ・バッファ 31) が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されている ABT 用メッセージ・バッファの送信 ID とそれら ABT 用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT 用メッセージ・バッファからのデータ・フレームの送信は, 送信ヒストリ・リスト (THL) に記録されません。



- 注意 1. ABT 付き通常動作モードをメッセージ・バッファ 0 から再開するためには、ABTTRG ビットがクリア(0)されている状態で ABTCLR ビットをセット(1)してください。ABTTRG ビットがセット(1)されている状態で、ABTCLR ビットをセット(1)した場合には、以降の動作を保証しません。
2. ABTCLR ビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点で ABTCLR ビットがただちに自動的にクリア(0)されることで確認できます
3. 初期化モード中には ABTTRG ビットを設定しないでください。初期化モード中に ABTTRG ビットを設定した場合、初期化モードから ABT モードへの移行後の正常動作は保証しません。
4. ABT 付き通常動作モードでは、ABT 用メッセージ・バッファの TRQ ビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証しません。
5. CnGMABTD レジスタは、ABT モードにおいて順次送信する ABT 用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前 ABT メッセージの送信完了から、次の ABT メッセージの TRQ ビットのセットまでの期間に挿入される遅延量を設定するものです。実際に CAN バス上に送信されるタイミングは、他局からの送信状況あるいは ABT メッセージ以外のメッセージ(メッセージ・バッファ 8-メッセージ・バッファ 31)に対する送信要求の設定状況に依存して変化します。
6. ABT メッセージ以外のメッセージに対して送信要求を設定した場合に、かつ ABT 送信による送信要求の自動セットの間隔に遅延が挿入されない場合(CnGMABTD レジスタ = 00H)でも、ABT メッセージ以外のメッセージが ABT メッセージとの優先順位の高低によらず送信されることがあります。
7. ABTTRG ビット = 1 の状態で、RDY ビットをクリア(0)しないでください。
8. ABT 付き通常動作モード時、他ノードからメッセージを受信した場合、CnGMABTD レジスタ = 00H 設定時でも 1 フレーム分待ってから送信する場合があります。

備考 n = 0, 1

m = 00-31

#### 20.10.4 送信中断処理

- (1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、CnMCTRLm.TRQ ビットをクリア(0)します。TRQ ビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CAN バス上の送信状態を示す CnCTRL.TSTAT ビットと CnTGPT レジスタを確認してください(詳細は、図 20-46 の処理を参照してください)。

- (2) 自動ブロック送信機能 (ABT) 付き通常動作モードでの ABT 送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初に CnGMABT.ABTTRG ビットをクリア(0)します。ABTTRG ビットがクリア(0)されたことを確認したあとで、CnMCTRLm.TRQ ビットをクリア(0)します。TRQ ビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CAN バス上の送信状態を示す CnCTRL.TSTAT ビットと CnTGPT レジスタを確認してください(詳細は、図 20-47 の処理を参照してください)。

## (3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始された ABT を中断する必要がある場合は、CnGMABT.ABTTRG ビットをクリア (0) します。この場合、ABTTRG ビットは、現在 ABT メッセージの送信であれば、送信が完了 (成功、失敗問わず) するまで ABTTRG ビット = 1 を保持し、送信が完了した時点で ABTTRG ビットはクリア (0) されます。これにより ABT 送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT 付き通常動作モードでは内部の ABT ポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部 ABT ポインタは最後に送信されたメッセージ・バッファの TRQ ビットの状態に依存します。ABTTRG ビットのクリア (0) 要求をする時点で、TRQ ビットがセット (1) されている場合には、内部 ABT ポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています (詳細は、図 20-48 (a) の処理を参照してください)。ABTTRG ビットのクリア (0) 要求をする時点で TRQ ビットがクリア (0) されている場合には、内部 ABT ポインタは +1 インクリメントされ、ABT 領域の次のメッセージ・バッファを指します (詳細は、図 20-48 (b) の処理を参照してください)。

**注意** ABT 送信の中断は、必ず ABTTRG ビット = 0 によって行ってください。RDY クリアによる送信中断を要求した場合は、動作を保証しません。

ABT 中断後に ABTTRG ビットをセット (1) することで ABT 付き通常動作モードが再開する場合、再開後に送信される ABT メッセージ・バッファは次の通りです。

ABT 用メッセージ・バッファの TRQ の状態	成功送信完了後に中断	送信エラー後に中断
セット (1)	ABT 領域の次のメッセージ・バッファ <sup>注</sup>	ABT 領域の同じメッセージ・バッファ
クリア (0)	ABT 領域の次のメッセージ・バッファ <sup>注</sup>	ABT 領域の次のメッセージ・バッファ <sup>注</sup>

**注** ABT 領域に、ABT 送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ 7 の ABT 送信中に発行された中断要求は、メッセージ・バッファ 7 の送信が成功完了した場合は、ABTTRG ビット = 0 となっても中断ではなく ABT 送信の完了とみなされます。また、ABT 領域の次のメッセージ・バッファの CnMCTRLm.RDY ビットがクリア (0) されている場合などは、内部 ABT ポインタは保持されますが、ABTTRG ビットをセット (1) しても再開動作は行わずにただちに ABT 送信を終了します。

**備考** n = 0, 1  
m = 00-31

### 20.10.5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。CnMCONFm.RTR ビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTR ビットをセット (1) することにより、リモート・フレーム送信ができます。

**備考** n = 0, 1

m = 00-31

## 20.11 パワー・セーブ・モード

### 20.11.1 CAN スリープ・モード

CAN スリープ・モードにより、CAN コントローラを待機状態にすることで消費電力を低減することができます。CAN スリープ・モードは、すべての動作モードから移行することができます。CAN スリープ・モードが解除されても、CAN スリープ・モードに移行前と同じ動作モードを保持します。

CAN スリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

#### (1) CAN スリープ・モードへの移行

CnCTRL.PSMODE1, PSMODE0 ビットを 01B に設定することで、CAN スリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

**備考** n = 0, 1

- (i) CAN モジュールがすでに次の動作モードにある場合
  - ・ 通常動作モード
  - ・ ABT 付き通常動作モード
  - ・ 受信オンリー・モード
  - ・ シングル・ショット・モード
  - ・ セルフ・テスト・モード
  - ・ 上記のすべての動作モードにおいて CAN ストップ・モードである
- (ii) CAN バス状態がバス・アイドルの場合 (インタフレーム・スペースの 4 ビット目がレセシブである)<sup>注</sup>

**注** CAN バスがドミナントに固着している場合には、CAN スリープ・モードへの移行要求は保留されます。また、CAN ストップ・モードでは CAN スリープ・モードへの遷移は CAN バスの状態には依存しません。

## (iii) 送信要求が保留されていない

上記の条件の 1 つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいて CAN スリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいて CAN バス状態がバス・アイドルではない (CAN バス状態が送信中または受信時) ときに CAN スリープ・モードの要求が行われた場合、CAN スリープ・モードへただちに移行しません。その場合、CAN スリープ・モードの要求は CAN バス状態がバス・アイドル (インタフレーム・スペースの 4 ビット目がレセシブ) になるまで保留されます。CAN スリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE1, PSMODE0 ビットは 00B の設定のままになっていますが、移行が完了すると PSMODE1, PSMODE0 ビット = 01B になります。
- ・任意の動作モードにおいて、初期化モード遷移要求と CAN スリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CAN モジュールは所定のタイミングで初期化モードに移行します。このとき CAN スリープ・モード要求は保留されず無視されます。
- ・初期化モード遷移要求と CAN スリープ・モード要求が同時に発行されなかった場合 (つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合) でも初期化モード遷移要求は CAN スリープ・モード要求より優先されます。たとえば、CAN スリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点で CAN スリープ・モード要求はただちに無効となります。また、初期化モード遷移要求が保留されている状態で CAN スリープ・モード要求が発行された場合、CAN スリープ・モード要求の発行時点でただちに CAN スリープ・モード要求が無効になります。

## (2) CAN スリープ・モードの状態

CAN スリープ・モードへ移行後は、CAN モジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CAN バスからのウエイク・アップのために CAN 受信端子 (CRXDn) の立ち下がりエッジ検出は機能しています。
- ・CPU からのウエイク・アップのために PSMODE1, PSMODE0 ビットは書き込みができますが、それ以外の CAN モジュール・レジスタおよびビットには書き込みができません。
- ・CANn モジュール・レジスタからの読み出しは、CnLIPT, CnRGPT, CnLOPT, CnTGPT レジスタを除いて可能です。
- ・CANn メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CnGMCTRL.MBON ビットがクリア (0) されます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

**備考** n = 0, 1

## (3) CAN スリープ・モードの解除

CAN スリープ・モードは次の動作により解除されます。

- ・ PSMODE1, PSMODE0 ビットに 00B を設定した場合
- ・ CAN 受信端子 (CRXDn) の立ち下がりエッジの検出 (レセシブからドミナントへの CAN バス変化)

**注意 1.** 立ち下がりエッジが受信メッセージの SOF であった場合、そのメッセージの受信および格納は行われません。

**2.** CAN 受信端子 (CRXDn) に立ち下がりエッジを検出した場合には、ソフトウェアによる PSMODE0 ビットのクリアが必要となります (詳細は、図 20-53 CAN スリープ・モード / CAN ストップ・モードの解除を参照してください)。

CAN スリープ・モードが解除されたあとは、CAN スリープ・モードが要求される前の動作モードに戻り、PSMODE1, PSMODE0 ビットは 00B にリセットされます。CAN スリープ・モードが、CAN バス変化によって解除された場合、CnIE.CIE ビットに関わらず CnINTS.CINTS5 ビットがセット (1) されます。また CAN スリープ・モード解除後は、CAN モジュールは自動的に CAN バス上に連続した 11 ビットのレセシブを検出することで CAN バスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前に CnGMCTRL.MBON ビット = 1 を確認しなければなりません。

CAN スリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアにより CAN スリープ・モードをいったん解除してください。

**注意** CAN バスのイベントによる CAN スリープ・モードの解除では、スリープ・モード移行直後に CAN バスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

**備考** n = 0, 1

### 20.11.2 CAN ストップ・モード

CAN ストップ・モードにより、CAN コントローラを待機状態にすることで消費電力を低減することができます。CAN ストップ・モードは、CAN スリープ・モードからのみ移行することができます。CAN ストップ・モードを解除することによって、CAN スリープ・モードに移行します。

CAN ストップ・モードは、CnCTRL.PSMODE1, PSMODE0 ビットを 01B に設定することでのみ解除 (CAN スリープ・モードへの移行) が可能で、CAN バスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

#### 備考 n = 0, 1

#### (1) CAN ストップ・モードへの移行

PSMODE1, PSMODE0 ビットを 11B に設定することで、CAN ストップ・モードの要求を行います。CAN ストップ・モードの要求は、CAN モジュールが CAN スリープ・モードの場合のみ受け付けられます。CAN スリープ・モードでない状態では、CAN ストップ・モードの移行要求は無視されます。

**注意** CAN ストップ・モード移行のためには、CAN モジュールが CAN スリープ・モードであることが必要です。その確認のために PSMODE1, PSMODE0 ビット = 01B であることを確認したあとに、CAN ストップ・モード要求を行ってください。ただし、これらの処理の間に CAN 受信端子 (CRXDn) のバス変化が発生した場合、CAN スリープ・モードが自動的に解除されますので、その場合には CAN ストップ・モード要求は受け付けられなくなります (CAN 受信端子 (CRXDn) のバス変化が発生した後で、ソフトウェアによる PSMODE0 ビットのクリアが必要となります)。

#### (2) CAN ストップ・モードの状態

CAN ストップ・モードへ移行後は、CAN モジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CPU からのウエイク・アップのために PSMODE1, PSMODE0 ビットは書き込みができますが、それ以外の CANn モジュール・レジスタおよびビットには書き込みができません。
- ・CANn モジュール・レジスタからの読み出しは、CnLIPT, CnRGPT, CnLOPT, CnTGPT レジスタを除いて可能です。
- ・CANn メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CnGMCTRL.MBON ビットがクリア (0) されます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

#### (3) CAN ストップ・モードの解除

CAN ストップ・モードは、PSMODE1, PSMODE0 ビットを 01B に設定することによってのみ解除されます。解除後は CAN スリープ・モードに移行します。

CAN ストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアにより CAN ストップ・モードを解除し、さらに CAN スリープ・モードを解除してください。CAN ストップ・モードから CAN スリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

### 20.11.3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するために CPU をパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CAN モジュール固有のパワー・セーブ・モードと CPU 固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態の CPU を CAN バスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CAN モジュールを CAN スリープ・モードに移行させます(PSMODE1, PSMODE0 ビット= 01B)。次に、CPU をパワー・セーブ・モードに移行させます。この状態で、CRXDn 信号がレセプからドミナントへのエッジ変化を検出した場合、CAN モジュールの CINTS5 ビットがセット(1)され、さらに CnCTRL.CIE5 ビットがセット(1)されている場合には、ウエイク・アップ割り込み (INTCnWUP) が発生します。CAN モジュールは、CAN スリープ・モードが自動的に解除(PSMODE1, PSMODE0 ビット= 00B)され、通常動作モードに復帰します(CAN 受信端子 (CRXDn) がバス変化を検出したあとで、ソフトウェアによる PSMODE0 ビットのクリアが必要となります)。一方、CPU は INTCnWUP を受けて、CPU 自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

**備考 n = 0, 1**



## 20.12 割り込み機能

CAN モジュールには、6 つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6 つの割り込み要因から、4 つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア (0) する必要があります。

表 20-20 CAN モジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 <sup>注1</sup>	CnINTS	CIE0 <sup>注1</sup>	CnIE	INTCnTRX	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 <sup>注1</sup>	CnINTS	CIE1 <sup>注1</sup>	CnIE	INTCnREC	メッセージ・バッファ m への有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	CnINTS	CIE2	CnIE	INTCnERR	CAN モジュール・エラー状態割り込み <sup>注2</sup>
4	CINTS3	CnINTS	CIE3	CnIE		CAN モジュール・プロトコル・エラー割り込み <sup>注3</sup>
5	CINTS4	CnINTS	CIE4	CnIE		CAN モジュール・アービトレーション・ロスト割り込み
6	CINTS5	CnINTS	CIE5	CnIE	INTCnWUP	CAN スリープ・モードからのウエイク・アップ割り込み <sup>注4</sup>

- 注 1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファの CnMCTRL.IE ビット(メッセージ・バッファ割り込み許可ビット)をセット (1) する必要があります。
2. 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバス・オフ状態になることが要因で発生する割り込みです。
3. スタッフ・エラー、フォーム・エラー、ACK エラー、ビット・エラー、CRC エラーが要因で発生する割り込みです。
4. CAN 受信端子の立ち下がりエッジの検出(レセシブからドミナントへの CAN バス変化)による CAN スリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 n = 0, 1

m = 00-31

## 20.13 診断機能と特殊動作モード

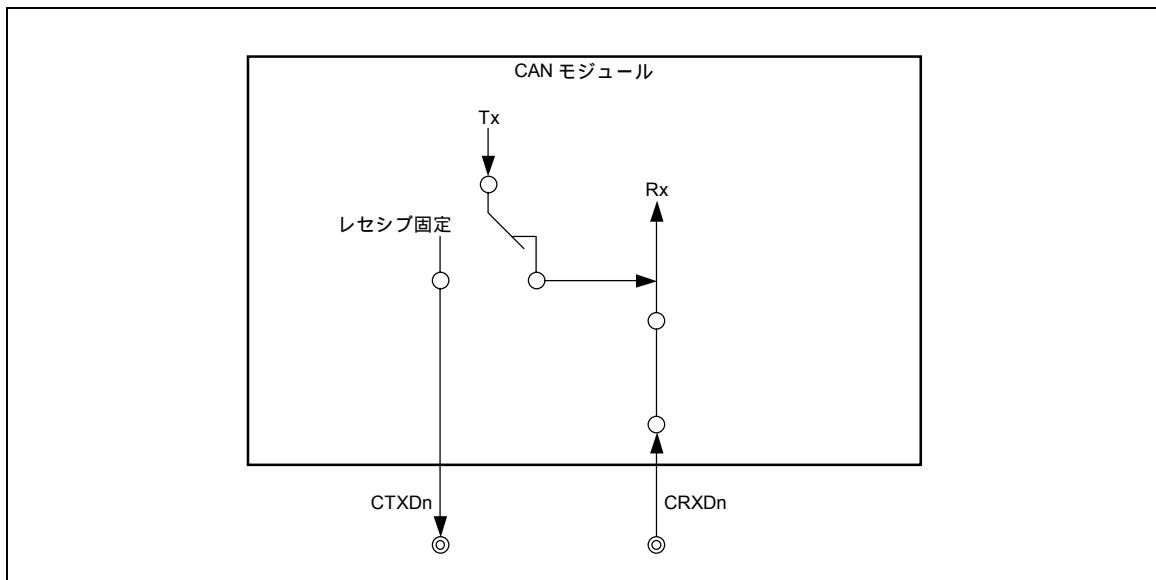
CAN モジュールは、CAN バス診断機能および特殊な CAN 通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます。

### 20.13.1 受信オンリー・モード

受信オンリー・モードは、CAN バスに影響を与えずに受信メッセージをモニタするモードで、CAN バス分析ノード用に使用できます。

たとえば、自動ボー・レート検出に利用できます。“有効な受信”が検出されるまで CAN モジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます（“有効な受信”とは、エラーが発生せず、CAN バスに接続されたノードによる適切な ACK 応答を伴って、CAN プロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では、受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は、CnCTRL.VALID ビットがセット（1）されることで確認できます。

図 20-33 受信オンリー・モードにおける CAN 端子接続



受信オンリー・モードは、CAN モジュールから CAN バスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CAN モジュールの CAN 送信端子 (CTXDn) は、レセプ・レベルに固定されています。したがって、メッセージ・フレームの受信中に CAN バス・エラーが検出された場合でも、CAN モジュールからアクティブ・エラー・フラグを CAN バスに送信しません。また、CAN モジュールから送信を発行できないため、送信エラー・カウンタ CnERC.TEC7-TEC0 ビットは更新されません。したがって、受信オンリー・モードの CAN モジュールは、バス・オフ状態になりません。

さらに、受信オンリー・モードは、有効なメッセージ・フレームの受信時に、CAN バスに ACK を返却しません。内部的には自ノードは ACK を送信したと認識します。オーバロード・フレームを CAN バスに送信することができません。

**注意** 2 つの CAN ノードのみが CAN バスに接続されており、CAN ノードの 1 つが「受信オンリー・モード」で動作している場合は、CAN バスで ACK 応答はありません。ACK 応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを 16 回送信したあとにエラー・パッシブになります (エラー・カウンタが最初に 0 であり、ほかのエラーが発生しなかった場合)。メッセージ・フレームの 17 回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALID ビットが初めてセット (1) されます。

備考 n = 0, 1

### 20.13.2 シングル・ショット・モード

シングル・ショット・モードは、CAN プロトコルで定義された自動再送信は行いません (CAN プロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります)。シングル・ショット・モードのそのほかの動作は通常動作モードと同一です。シングル・ショット・モードの機能は ABT 付き通常動作モードでは使用できません。

シングル・ショット・モードは、CnCTRL.AL ビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。AL ビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。AL ビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファの CnMCTRLm.TRQ ビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生 (AL ビット = 0)
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、CnINTS.CINTS4, CINTS3 ビットを確認し、エラーの種類は CnLEC.LEC2-LEC0 ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、CnINTS レジスタの送信完了割り込み CINTS0 ビットは、セット (1) されます。そのとき、CnIE.CIE0 ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法（TTCAN レベル 1 など）をエミュレートするために使用することができます。

**注意** AL ビットは、シングル・ショット・モード時のみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

備考 n = 0, 1

### 20.13.3 セルフ・テスト・モード

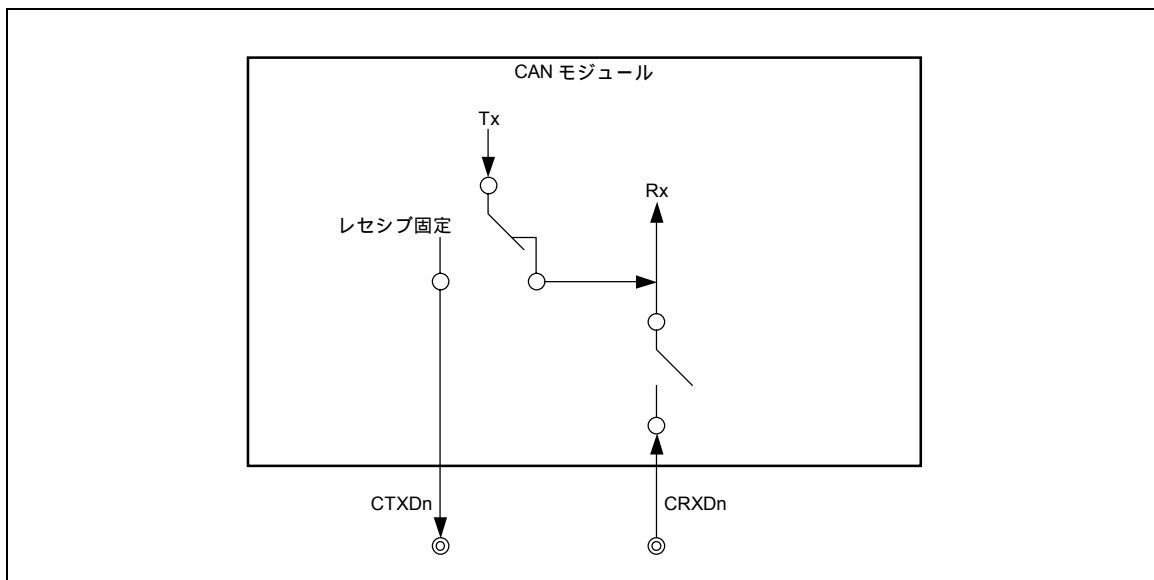
セルフ・テスト・モードは、CAN ノードを CAN バスに接続することなく、つまり、CAN バスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは、CAN モジュールが CAN バスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN 送信端子（CTXDn）は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードで CAN スリープ・モードに移行したあと、CAN 受信端子（CRXDn）の立ち下がりエッジの検出をすると、ほかの動作モードと同様に CAN スリープ・モードから解除されます（CAN 受信端子（CRXDn）の立ち下がりエッジの検出後、ソフトウェアによる PSMODE0 ビットのクリアが必要となります）。CAN スリープ・モードから解除されないようにするには、CAN 受信端子（CRXDn）をポートに切り替えて使用してください。

備考 n = 0, 1

図 20-34 セルフ・テスト・モードにおける CAN 端子接続



### 20.13.4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表 20-21 に示します。

表 20-21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム / リモート・ フレーム送信	ACK 送信	エラー・フレーム / オーバロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビット のセット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT 付き通常動作 モード							
受信オンリー・ モード	-	-	-	-	-		
シングル・ ショット・モード				- 注1	-		
セルフ・テスト・ モード	注2	注2	注2	注2	-	注2	注2

注 1. アービトレーション・ロスト時, CnCTRL.AL ビットにより, 再送信の設定が可能です。

2. 各信号は外部に出力されませんが, CAN モジュール内部で発生します。

## 20.14 タイム・スタンプ機能

CAN は非同期のシリアル通信プロトコルです。したがって、CAN バスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していないことがあります）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CAN バス上の信号をトリガとしてタイマ値をキャプチャすることです。

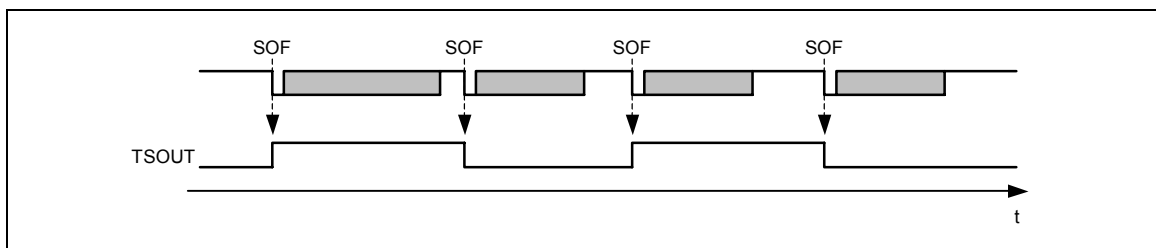
### 20.14.1 タイム・スタンプ機能

CAN コントローラは、特定フレームをトリガとしてタイマ値をキャプチャする場合に必要な機能をサポートしています。そのために、CAN コントローラに加え製品に内蔵されている、16 ビット・タイマ / カウンタ AA (TAA5) のキャプチャ機能を使用します。この場合、16 ビット・タイマ / カウンタ AA (TAA5) は、CAN コントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号 (TSOUT) に応じて、タイマ値をキャプチャします。CPU はそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわち CAN バスから受信したメッセージのタイム・スタンプを得ることができます。TSOUT 信号は、次の 2 つのイベント・ソースから選択することができ、CnTS.TSSEL ビットにより指定します。

- ・ SOF イベント (スタート・オブ・フレーム) (TSSEL ビット = 0)
- ・ EOF イベント (エンド・オブ・フレームの最終ビット) (TSSEL ビット = 1)

また TSOUT 信号は、CnTS.TSEN ビットをセット (1) することで動作許可状態になります。

図 20-35 キャプチャ用信号 TSOUT のタイミング図



TSOUT 信号は、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします(図 20-35 は、SOF をトリガのイベント・ソースとした場合のタイミング図です)。この TSOUT 信号によるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がりおよび立ち下がり両エッジで行う必要があります。

これらのタイム・スタンプの機能は、CnTS.TSLOCK ビットにより制御することができます。TSLOCK ビットがクリア(0)されている場合には、選択したイベントが発生するたびに TSOUT 信号がトグルします。

TSLOCK ビットがセット(1)されている場合には、選択したイベントが発生するたびに TSOUT 信号がトグルしますが、データ・フレームのメッセージ・バッファ 0 への受信格納開始時に TSEN ビットが自動的にクリア(0)されることで、トグル動作を停止させることができます。これにより、以降の TSOUT 信号のトグル発生を抑え、最後にトグルした(=最後にキャプチャした)タイム・スタンプ値を、メッセージ・バッファ 0 にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

TAA5 を CAN コントローラのタイム・スタンプ機能として利用する場合は、「13.4(11) セレクタ動作制御レジスタ (SELCNT0)」、 「13.6.7 フリー・ランニング・タイマ・モード (TAAAnMD2-TAAAnMD0 ビット = 101)」を参照してください。

**注意** TSLOCK ビットを使ったタイム・スタンプ機能は、メッセージ・バッファ 0 へのデータ・フレーム受信により TSOUT 信号のトグルを停止させるものです。そのためには、メッセージ・バッファ 0 は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信により TSOUT 信号のトグルを停止させることはできません。またメッセージ・バッファ 0 以外のメッセージ・バッファへのデータ・フレーム受信では、TSOUT 信号のトグルは停止しません。

上記の理由で、CAN モジュールが ABT 付き通常モードに設定されている場合には、メッセージ・バッファ 0 は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ 0 へのデータ・フレーム受信はできません。したがって、この動作モードでは TSLOCK ビットによる TSOUT 信号のトグルの停止機能は使用できません。

**備考** n = 0, 1

## 20.15 ボー・レート設定について

### 20.15.1 ボー・レート設定について

CAN を正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ  
SPT = TSEG1 + 1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ  
DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ  
SJW DBT - SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1[3:0]の設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2[2:0]の設定値 7]

**備考**  $TQ = 1/f_{TQ}$  ( $f_{TQ}$ : CAN プロトコル・レイヤ基本システム・クロック)

**TSEG1 [3:0] (CnBTR.TSEG13-TSEG10 ビット) (n = 0, 1)**

**TSEG2 [2:0] (CnBTR.TSEG22-TSEG20 ビット) (n = 0, 1)**

上記条件を満たすビット・レートの組み合わせを表 20-22 に示します。



表 20-22 設定可能なビット・レート組み合わせ

(1/3)

有効なビット・レート設定				CnBTR レジスタ設定値			サンプル・ ポイント (単位：%)
DBT の長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13- TSEG10	TSEG22- TSEG20	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

備考 n = 0, 1

表 20-22 設定可能なビット・レート組み合わせ

(2/3)

有効なビット・レート設定				CnBTR レジスタ設定値			サンプル・ ポイント (単位：%)
DBT の長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13- TSEG10	TSEG22- TSEG20	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

備考 n = 0, 1

表 20-22 設定可能なビット・レート組み合わせ

( 3/3 )

有効なビット・レート設定				CnBTR レジスタ設定値			サンプル・ ポイント ( 単位 : % )
DBT の長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13- TSEG10	TSEG22- TSEG20	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 注	1	2	2	2	0011	001	71.4
7 注	1	4	1	1	0100	000	85.7
6 注	1	1	2	2	0010	001	66.7
6 注	1	3	1	1	0011	000	83.3
5 注	1	2	1	1	0010	000	80.0
4 注	1	1	1	1	0001	000	75.0

注 DBT 値が 7 以下の設定は , CnBRP レジスタ = 00H 以外の場合のみ有効です。

注意 表 20-22 は , ネットワーク・システムの動作を保証するものではありません。発振誤差や CAN バス , CAN トランシーバなどの遅延などを考慮して , ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

## 20.15.2 代表的なポー・レート設定例

表 20-23 代表的なポー・レート設定例 ( $f_{CANMOD} = 16MHz$  設定時)

(1/2)

ポー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位：TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位：%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表 20-23 は、ネットワーク・システムの動作を保証するものではありません。発振誤差や CAN バス、CAN トランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

表 20-23 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 16MHz 設定時)

(2/2)

ボー・レート 設定値 (単位: kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位:TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位:%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表 20-23 は、ネットワーク・システムの動作を保証するものではありません。発振誤差や CAN バス、CAN トランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

表 20-24 ボー・レート設定例一覧 (f<sub>CANMOD</sub> = 15MHz 設定時)

( 1/6 )

ボー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位：TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位：%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	15	1	2	6	6	0111	101	60.0
1000	1	00000000	15	1	4	5	5	1000	100	66.7
1000	1	00000000	15	1	6	4	4	1001	011	73.3
1000	1	00000000	15	1	8	3	3	1010	010	80.0
1000	1	00000000	15	1	10	2	2	1011	001	86.7
1000	1	00000000	15	1	12	1	1	1100	000	93.3
500	2	00000001	15	1	2	6	6	0111	101	60.0
500	2	00000001	15	1	4	5	5	1000	100	66.7
500	2	00000001	15	1	6	4	4	1001	011	73.3
500	2	00000001	15	1	8	3	3	1010	010	80.0
500	2	00000001	15	1	10	2	2	1011	001	86.7
500	2	00000001	15	1	12	1	1	1100	000	93.3
500	2	00000001	10	1	1	4	4	0100	011	60.0
500	3	00000010	10	1	3	3	3	0101	010	70.0
500	3	00000010	10	1	5	2	2	0110	001	80.0
500	3	00000010	10	1	7	1	1	0111	000	90.0

表 20-24 ボー・レート設定例一覧 (f<sub>CANMOD</sub> = 15MHz 設定時)

(2/6)

ボー・レート 設定値 (単位: kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位:TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位:%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
250	3	00000010	20	1	3	8	8	1010	111	60.0
250	3	00000010	20	1	5	7	7	1011	110	65.0
250	3	00000010	20	1	7	6	6	1100	101	70.0
250	3	00000010	20	1	9	5	5	1101	100	75.0
250	3	00000010	20	1	11	4	4	1110	011	80.0
250	3	00000010	20	1	13	3	3	1111	010	85.0
250	4	00000011	15	1	2	6	6	0111	101	60.0
250	4	00000011	15	1	4	5	5	1000	100	66.7
250	4	00000011	15	1	6	4	4	1001	011	73.3
250	4	00000011	15	1	8	3	3	1010	010	80.0
250	4	00000011	15	1	10	2	2	1011	001	86.7
250	4	00000011	15	1	12	1	1	1100	000	93.3
250	4	00000011	15	1	2	6	6	0111	101	60.0
250	4	00000011	15	1	4	5	5	1000	100	66.7
250	4	00000011	15	1	6	4	4	1001	011	73.3
250	4	00000011	15	1	8	3	3	1010	010	80.0
250	4	00000011	15	1	10	2	2	1011	001	86.7
250	4	00000011	15	1	12	1	1	1100	000	93.3
250	5	00000100	12	1	1	5	5	0101	100	58.3
250	5	00000100	12	1	3	4	4	0110	011	66.7
250	5	00000100	12	1	5	3	3	0111	010	75.0
250	5	00000100	12	1	7	2	2	1000	001	83.3
250	5	00000100	12	1	9	1	1	1001	000	91.7
250	6	00000101	10	1	1	4	4	0100	011	60.0
250	6	00000101	10	1	3	3	3	0101	010	70.0
250	6	00000101	10	1	5	2	2	0110	001	80.0
250	6	00000101	10	1	7	1	1	0111	000	90.0

表 20-24 ボー・レート設定例一覧 ( $f_{CANMOD} = 15MHz$  設定時)

(3/6)

ボー・レート 設定値 (単位: kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位:TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位:%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
125	5	00000100	24	1	7	8	8	1110	111	66.7
125	5	00000100	24	1	9	7	7	1111	110	70.8
125	6	00000101	20	1	3	8	8	1010	111	60.0
125	6	00000101	20	1	5	7	7	1011	110	65.0
125	6	00000101	20	1	7	6	6	1100	101	70.0
125	6	00000101	20	1	9	5	5	1101	100	75.0
125	6	00000101	20	1	11	4	4	1110	011	80.0
125	6	00000101	20	1	13	3	3	1111	010	85.0
125	8	00000111	15	1	2	6	6	0111	101	60.0
125	8	00000111	15	1	4	5	5	1000	100	66.7
125	8	00000111	15	1	6	4	4	1001	011	73.3
125	8	00000111	15	1	8	3	3	1010	010	80.0
125	8	00000111	15	1	10	2	2	1011	001	86.7
125	8	00000111	15	1	12	1	1	1100	000	93.3
125	8	00000111	15	1	2	6	6	0111	101	60.0
125	8	00000111	15	1	4	5	5	1000	100	66.7
125	8	00000111	15	1	6	4	4	1001	011	73.3
125	8	00000111	15	1	8	3	3	1010	010	80.0
125	8	00000111	15	1	10	2	2	1011	001	86.7
125	8	00000111	15	1	12	1	1	1100	000	93.3
125	10	00001001	12	1	1	5	5	0101	100	58.3
125	10	00001001	12	1	3	4	4	0110	011	66.7
125	10	00001001	12	1	5	3	3	0111	010	75.0
125	10	00001001	12	1	7	2	2	1000	001	83.3
125	10	00001001	12	1	9	1	1	1001	000	91.7
125	12	00001011	10	1	1	4	4	0100	011	60.0
125	12	00001011	10	1	3	3	3	0101	010	70.0
125	12	00001011	10	1	5	2	2	0110	001	80.0
125	12	00001011	10	1	7	1	1	0111	000	90.0
125	15	00001110	8	1	1	3	3	0011	010	62.5
125	15	00001110	8	1	3	2	2	0100	001	75.0
125	15	00001110	8	1	5	1	1	0101	000	87.5



表 20-24 ボー・レート設定例一覧 ( $f_{CANMOD} = 15MHz$  設定時)

(4/6)

ボー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位：TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位：%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	6	00000101	25	1	8	8	8	1111	111	68.0
100	10	00001001	15	1	2	6	6	0111	101	60.0
100	10	00001001	15	1	4	5	5	1000	100	66.7
100	10	00001001	15	1	6	4	4	1001	011	73.3
100	10	00001001	15	1	8	3	3	1010	010	80.0
100	10	00001001	15	1	10	2	2	1011	001	86.7
100	10	00001001	15	1	12	1	1	1100	000	93.3
100	10	00001001	15	1	2	6	6	0111	101	60.0
100	10	00001001	15	1	4	5	5	1000	100	66.7
100	10	00001001	15	1	6	4	4	1001	011	73.3
100	10	00001001	15	1	8	3	3	1010	010	80.0
100	10	00001001	15	1	10	2	2	1011	001	86.7
100	10	00001001	15	1	12	1	1	1100	000	93.3
100	15	00001110	10	1	1	4	4	0100	011	60.0
100	15	00001110	10	1	3	3	3	0101	010	70.0
100	15	00001110	10	1	5	2	2	0110	001	80.0
100	15	00001110	10	1	7	1	1	0111	000	90.0

表 20-24 ボー・レート設定例一覧 ( $f_{CANMOD} = 15MHz$  設定時)

( 5/6 )

ボー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位：TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位：%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
83.3	9	00001000	20	1	3	8	8	1010	111	60.0
83.3	9	00001000	20	1	5	7	7	1011	110	65.0
83.3	9	00001000	20	1	7	6	6	1100	101	70.0
83.3	9	00001000	20	1	9	5	5	1101	100	75.0
83.3	9	00001000	20	1	11	4	4	1110	011	80.0
83.3	9	00001000	20	1	13	3	3	1111	010	85.0
83.3	10	00001001	18	1	1	8	8	1000	111	55.6
83.3	10	00001001	18	1	3	7	7	1001	110	61.1
83.3	10	00001001	18	1	5	6	6	1010	101	66.7
83.3	10	00001001	18	1	7	5	5	1011	100	72.2
83.3	10	00001001	18	1	9	4	4	1100	011	77.8
83.3	10	00001001	18	1	11	3	3	1101	010	83.3
83.3	10	00001001	18	1	13	2	2	1110	001	88.9
83.3	10	00001001	18	1	15	1	1	1111	000	94.4
83.3	12	00001011	15	1	2	6	6	0111	101	60.0
83.3	12	00001011	15	1	4	5	5	1000	100	66.7
83.3	12	00001011	15	1	6	4	4	1001	011	73.3
83.3	12	00001011	15	1	8	3	3	1010	010	80.0
83.3	12	00001011	15	1	10	2	2	1011	001	86.7
83.3	12	00001011	15	1	12	1	1	1100	000	93.3
83.3	15	00001110	12	1	1	5	5	0101	100	58.3
83.3	15	00001110	12	1	3	4	4	0110	011	66.7
83.3	15	00001110	12	1	5	3	3	0111	010	75.0
83.3	15	00001110	12	1	7	2	2	1000	001	83.3
83.3	15	00001110	12	1	9	1	1	1001	000	91.7
83.3	18	00010001	10	1	1	4	4	0100	011	60.0
83.3	18	00010001	10	1	3	3	3	0101	010	70.0
83.3	18	00010001	10	1	5	2	2	0110	001	80.0
83.3	18	00010001	10	1	7	1	1	0111	000	90.0
83.3	20	00010011	9	1	2	3	3	0100	010	66.7
83.3	20	00010011	9	1	4	2	2	0101	001	77.8
83.3	20	00010011	9	1	6	1	1	0110	000	88.9

表 20-24 ボー・レート設定例一覧 ( $f_{CANMOD} = 15\text{MHz}$  設定時)

(6/6)

ボー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位：TQ)					CnBTR レジスタ 設定値		サンプル・ ポイント (単位：%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
40	15	00001110	25	1	8	8	8	1111	111	68.0
40	25	00011000	15	1	2	6	6	0111	101	60.0
40	25	00011000	15	1	4	5	5	1000	100	66.7
40	25	00011000	15	1	6	4	4	1001	011	73.3
40	25	00011000	15	1	8	3	3	1010	010	80.0
40	25	00011000	15	1	10	2	2	1011	001	86.7
40	25	00011000	15	1	12	1	1	1100	000	93.3
33.3	18	00010001	25	1	8	8	8	1111	111	68.0
33.3	25	00011000	18	1	1	8	8	1000	111	55.6
33.3	25	00011000	18	1	3	7	7	1001	110	61.1
33.3	25	00011000	18	1	5	6	6	1010	101	66.7
33.3	25	00011000	18	1	7	5	5	1011	100	72.2
33.3	25	00011000	18	1	9	4	4	1100	011	77.8
33.3	25	00011000	18	1	11	3	3	1101	010	83.3
33.3	25	00011000	18	1	13	2	2	1110	001	88.9
33.3	25	00011000	18	1	15	1	1	1111	000	94.4
33.3	30	00011101	15	1	2	6	6	0111	101	60.0
33.3	30	00011101	15	1	4	5	5	1000	100	66.7
33.3	30	00011101	15	1	6	4	4	1001	011	73.3
33.3	30	00011101	15	1	8	3	3	1010	010	80.0
33.3	30	00011101	15	1	10	2	2	1011	001	86.7
33.3	30	00011101	15	1	12	1	1	1100	000	93.3
33.3	45	00101100	10	1	1	4	4	0100	011	60.0
33.3	45	00101100	10	1	3	3	3	0101	010	70.0
33.3	45	00101100	10	1	5	2	2	0110	001	80.0
33.3	45	00101100	10	1	7	1	1	0111	000	90.0
33.3	50	00110001	9	1	2	3	3	0100	010	66.7
33.3	50	00110001	9	1	4	2	2	0101	001	77.8
33.3	50	00110001	9	1	6	1	1	0110	000	88.9

注意 表 20-24 は、ネットワーク・システムの動作を保証するものではありません。発振誤差や CAN バス、CAN トランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

## 20.16 CAN コントローラの動作

備考 n = 0, 1  
m = 00-31

図 20-36 初期化

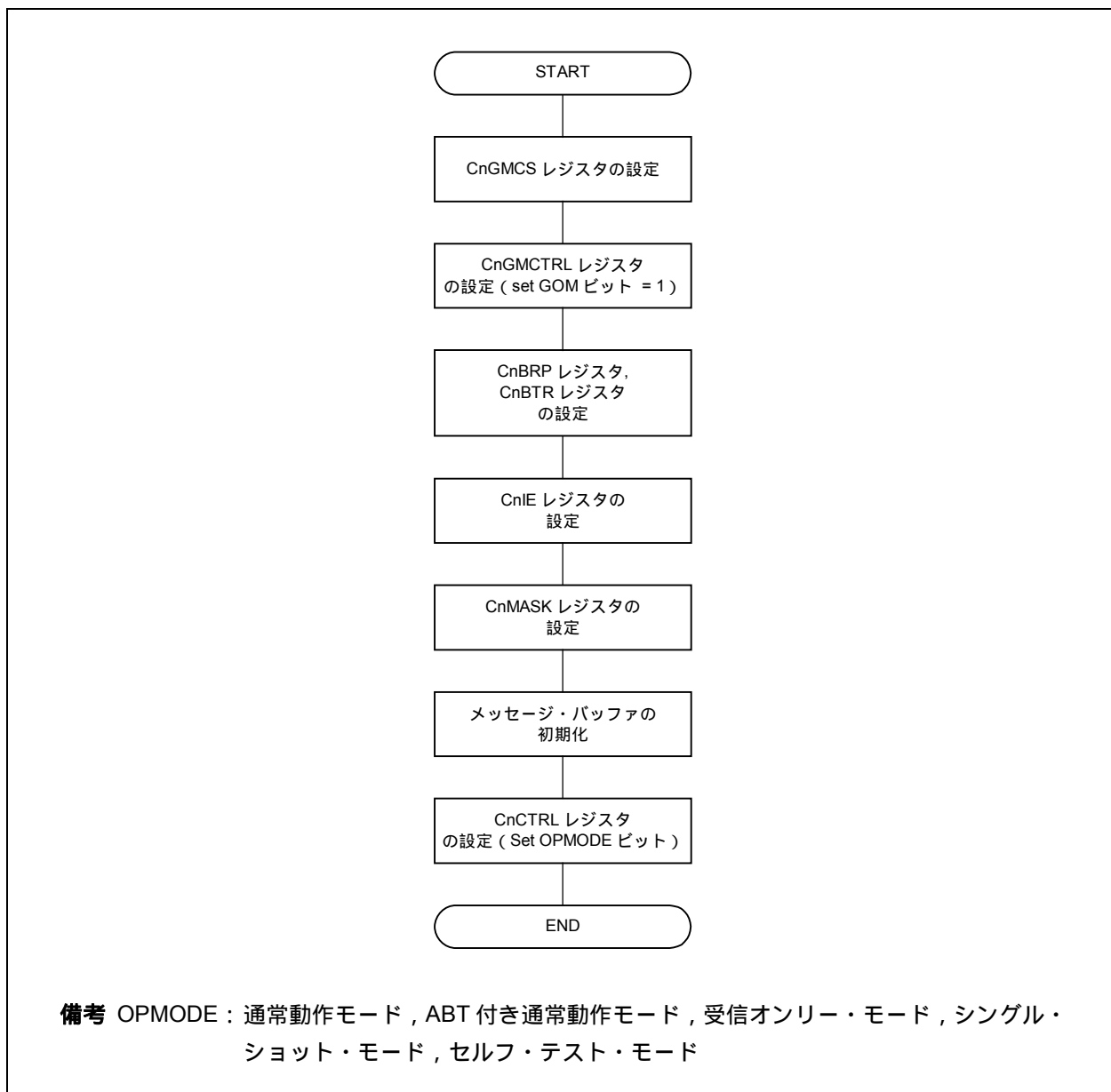


図 20-37 再初期化

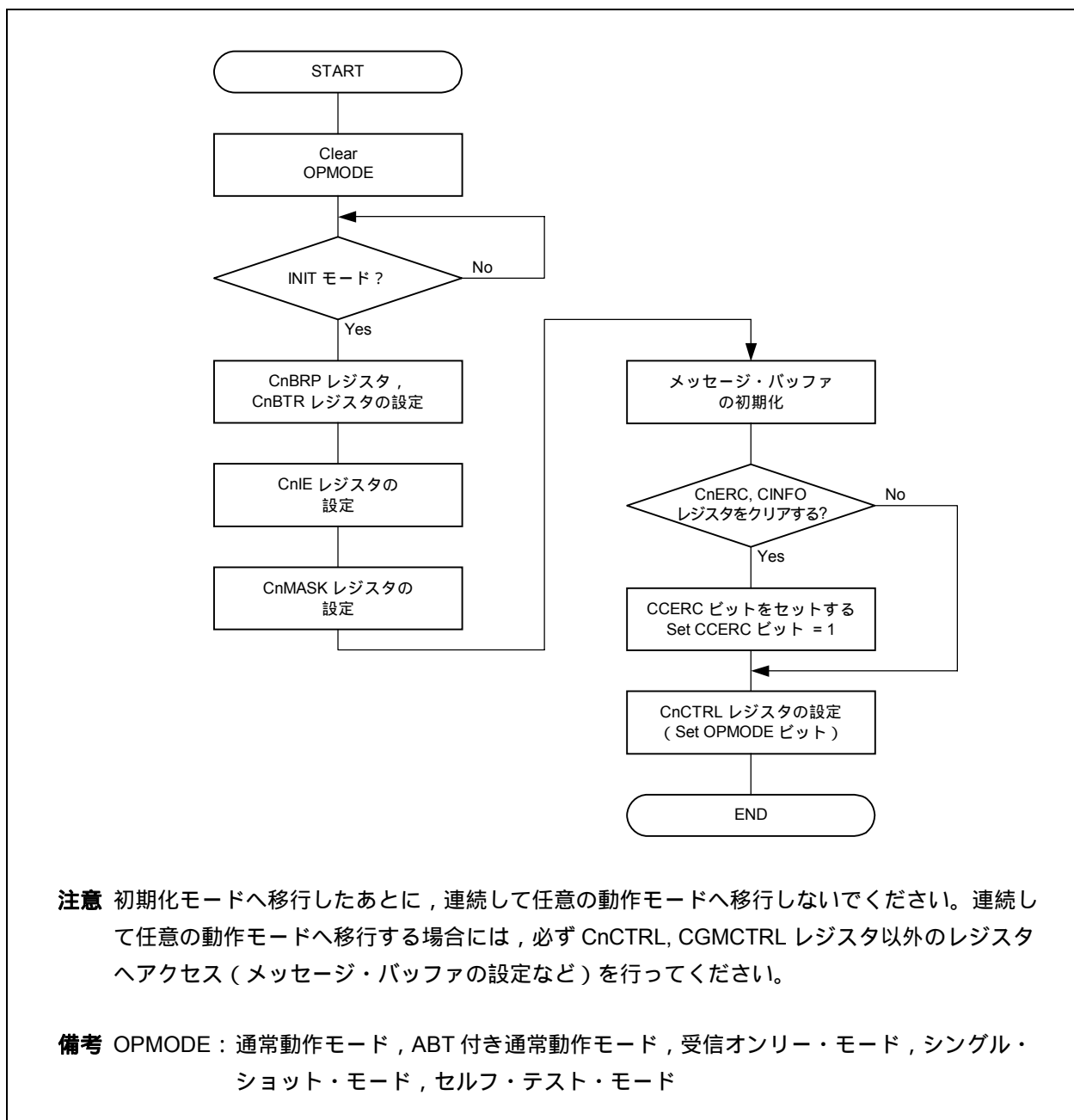


図 20-38 メッセージ・バッファの初期化

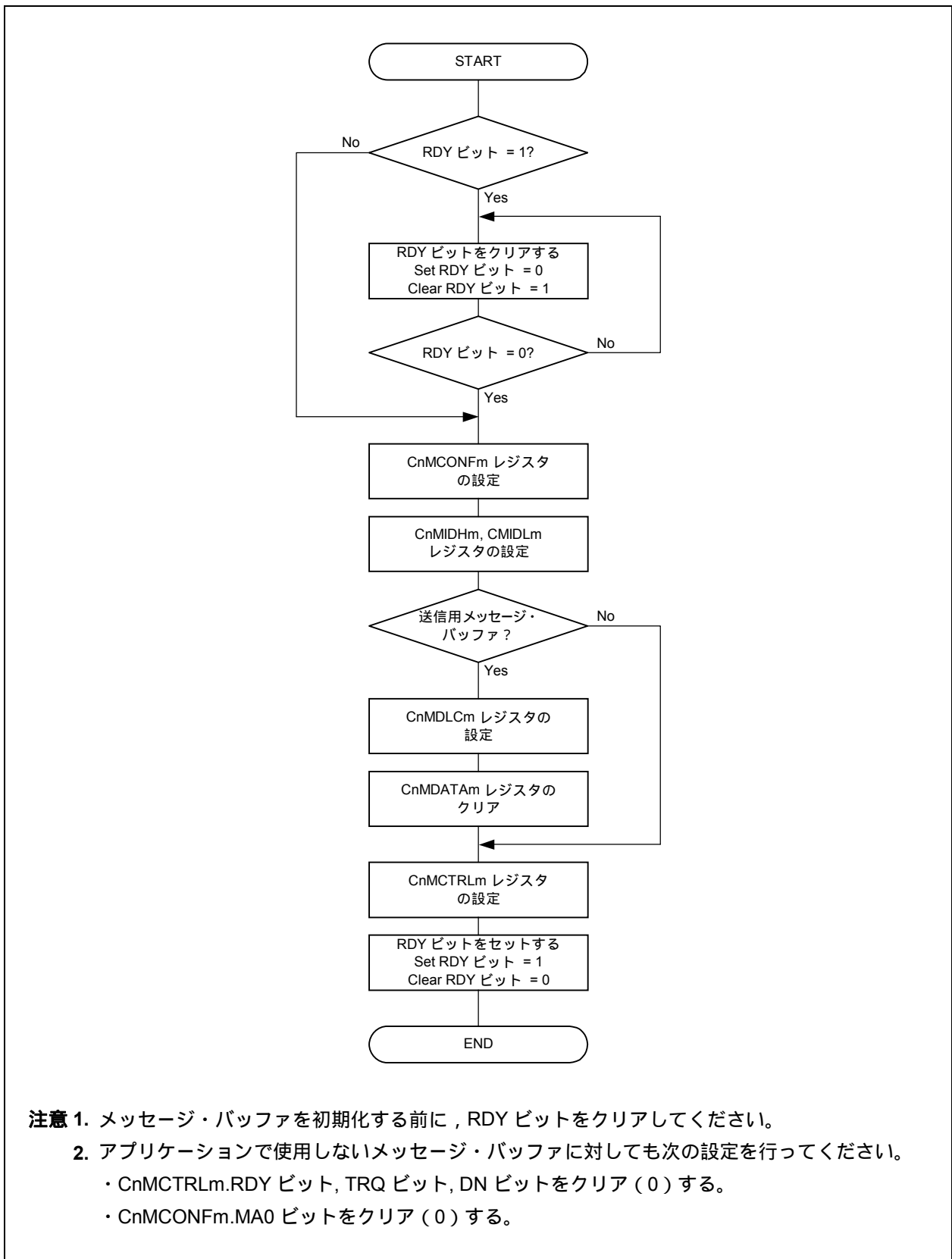
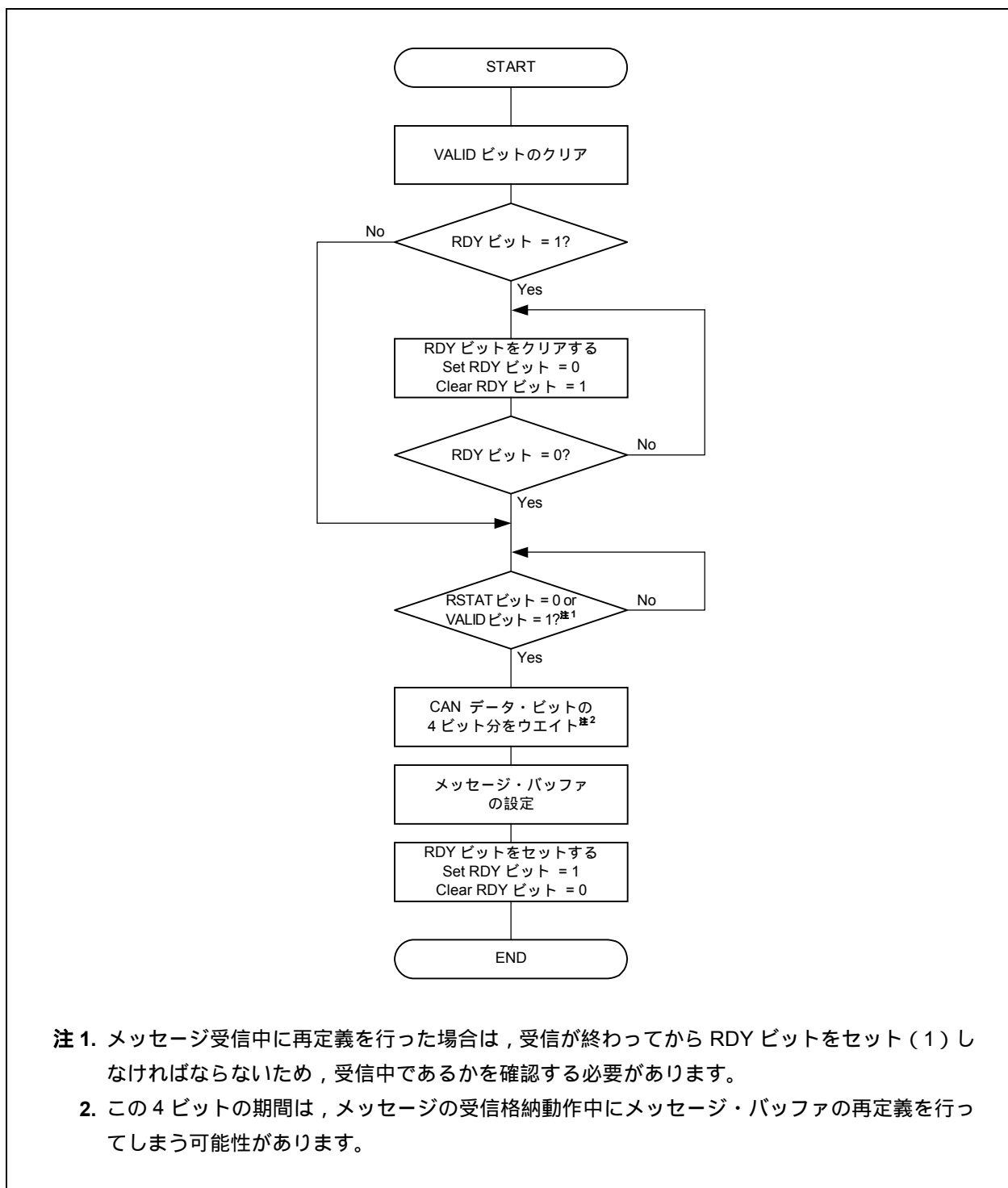


図 20-39 は、受信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0 ビット = 001B-101B)。

図 20-39 メッセージ・バッファの再定義



注 1. メッセージ受信中に再定義を行った場合は、受信が終わってから RDY ビットをセット (1) しなければならないため、受信中であるかを確認する必要があります。

2. この 4 ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図 20-40 は、送信中の送信メッセージ・バッファに対する処理です(CnMCONFm.MT2-MT0 ビット = 000B)。

図 20-40 送信中のメッセージ・バッファの再定義

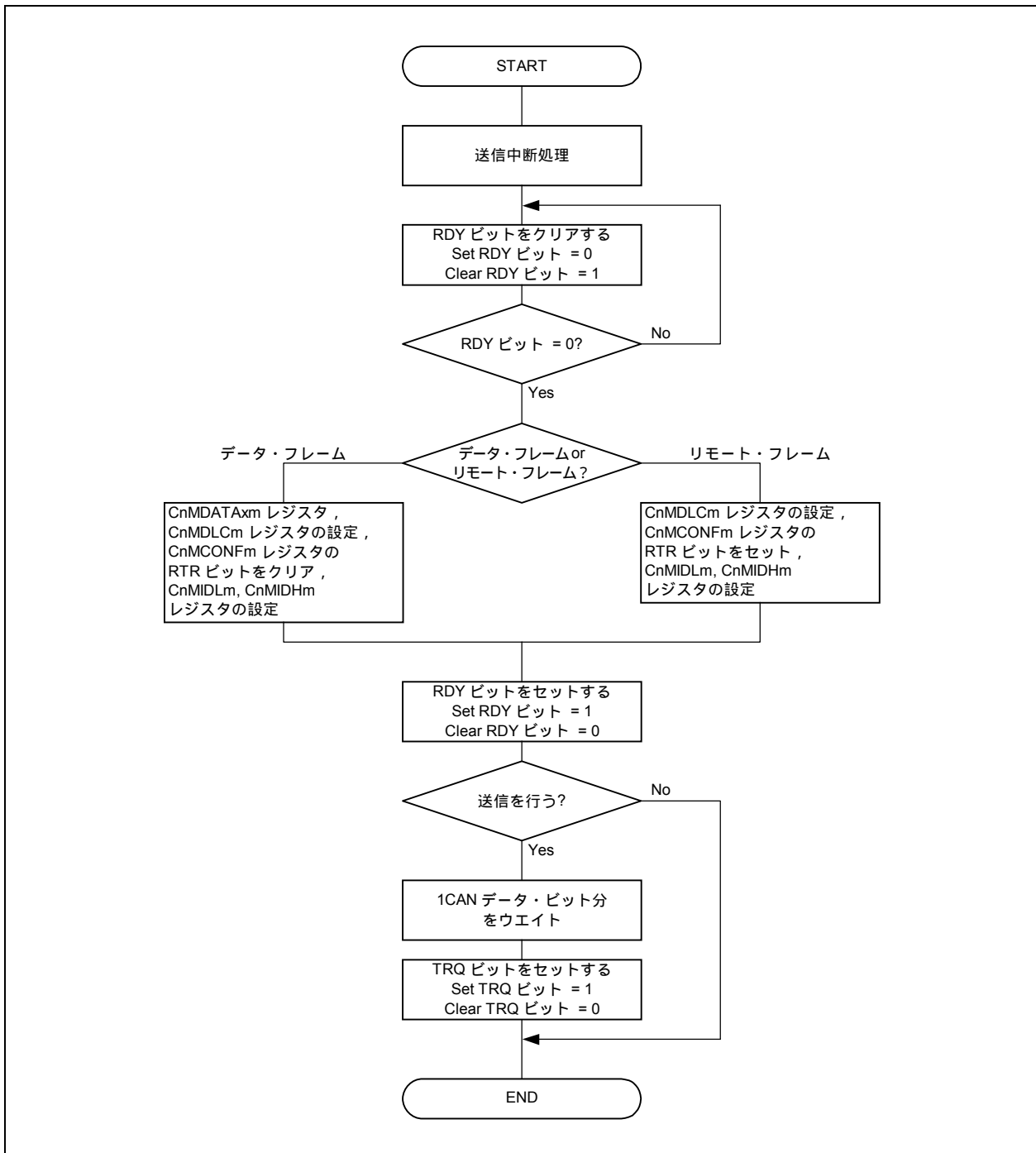




図 20-41 は、送信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0 ビット = 000B)。

図 20-41 メッセージ送信処理

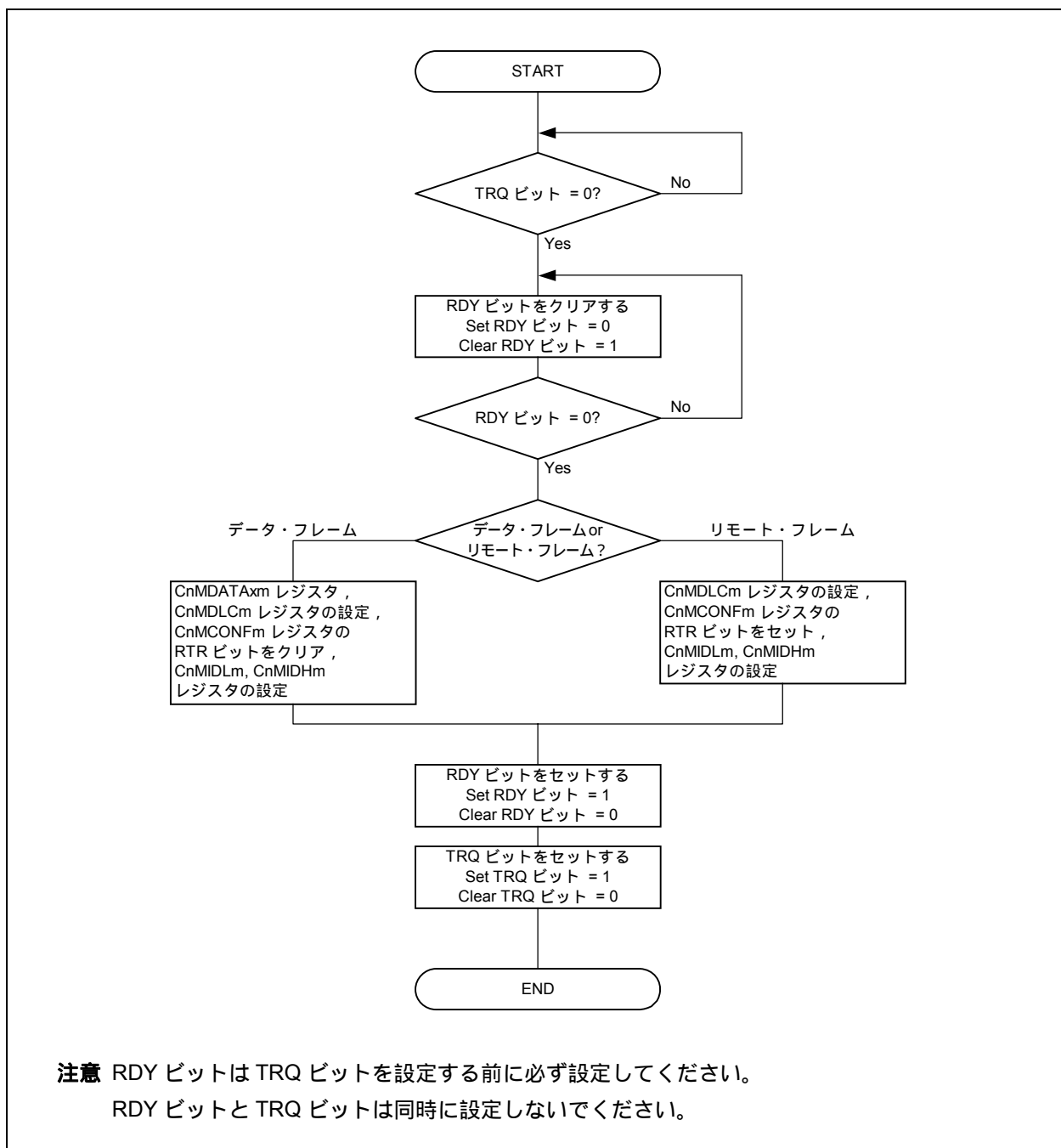
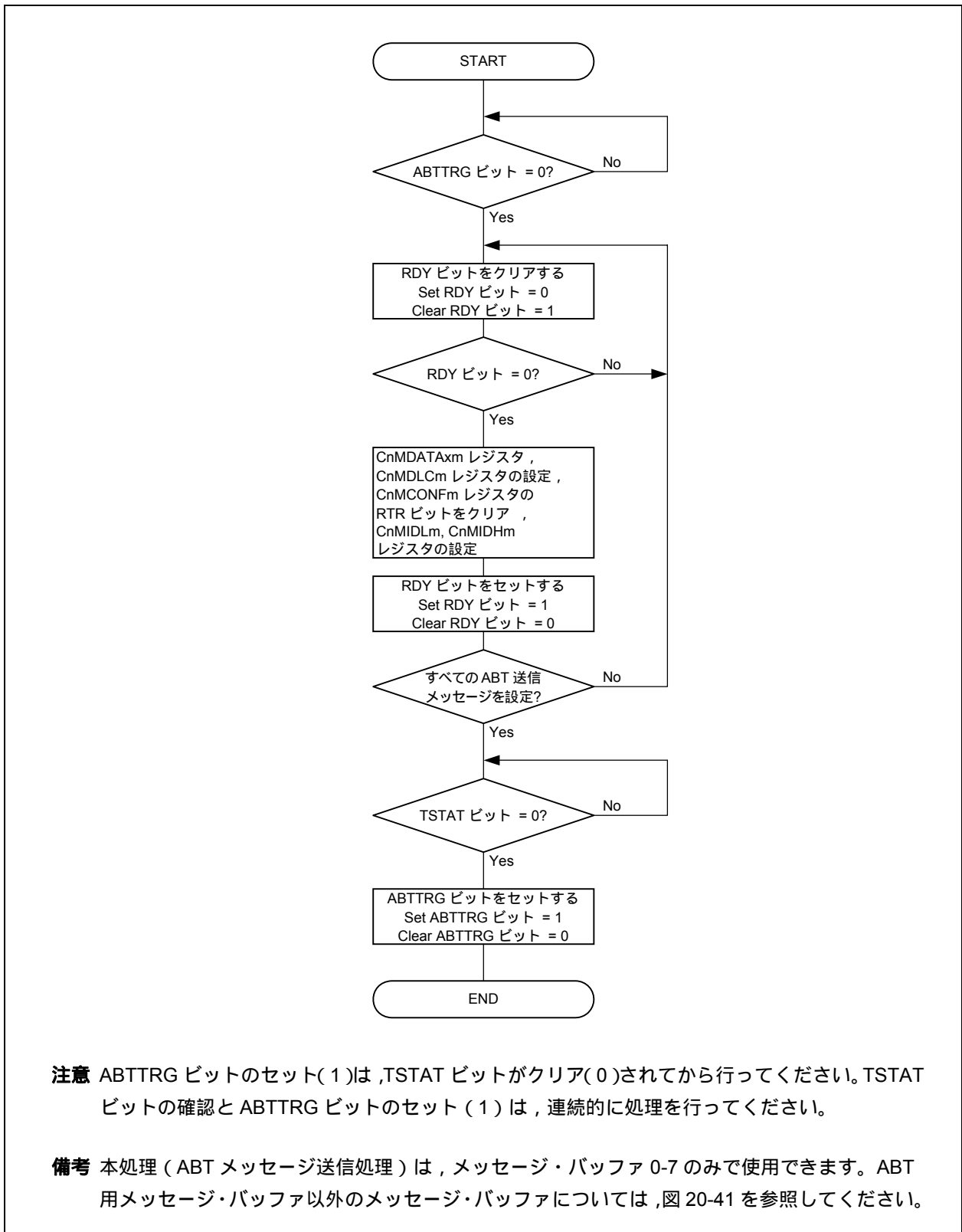


図 20-42 は、送信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0 ビット = 000B)。

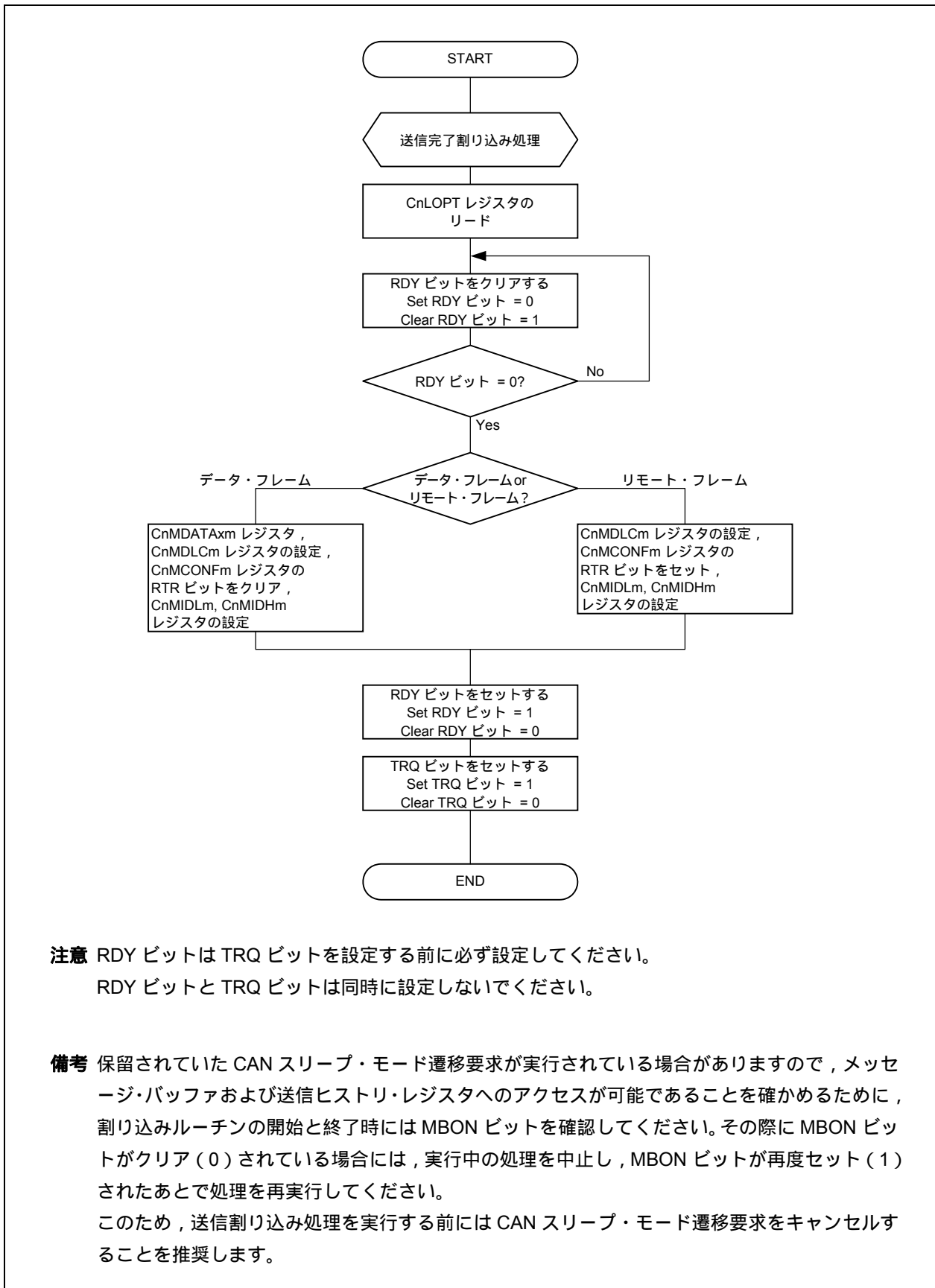
図 20-42 ABT メッセージ送信処理



**注意** ABTTRG ビットのセット(1)は、TSTAT ビットがクリア(0)されてから行ってください。TSTAT ビットの確認と ABTTRG ビットのセット(1)は、連続的に処理を行ってください。

**備考** 本処理 (ABT メッセージ送信処理) は、メッセージ・バッファ 0-7 のみで使用できます。ABT 用メッセージ・バッファ以外のメッセージ・バッファについては、図 20-41 を参照してください。

図 20-43 割り込みによる送信処理 (CnLOPT レジスタを使用する処理)



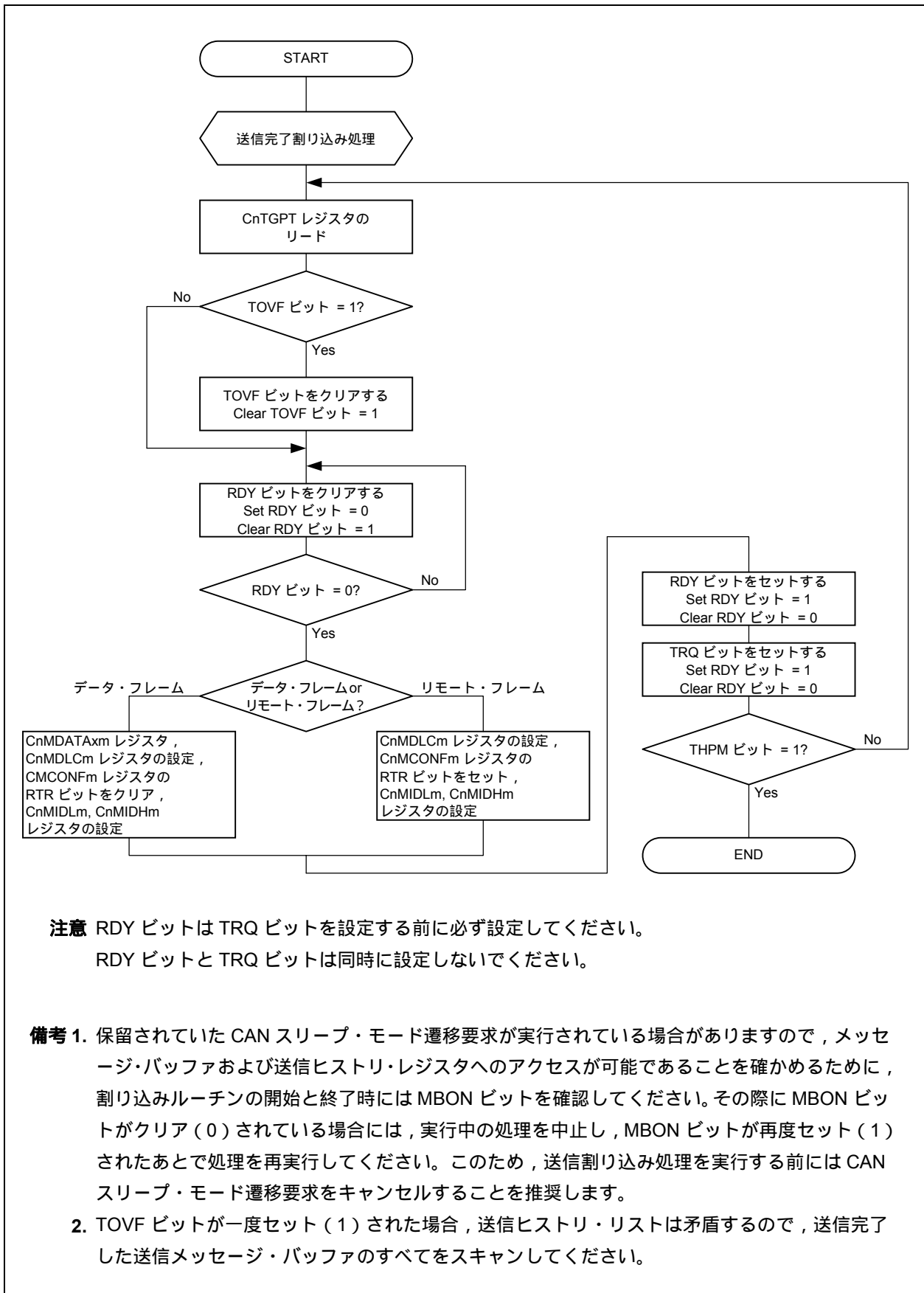
**注意** RDY ビットは TRQ ビットを設定する前に必ず設定してください。

RDY ビットと TRQ ビットは同時に設定しないでください。

**備考** 保留されていた CAN スリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時には MBON ビットを確認してください。その際に MBON ビットがクリア (0) されている場合には、実行中の処理を中止し、MBON ビットが再度セット (1) されたあとで処理を再実行してください。

このため、送信割り込み処理を実行する前には CAN スリープ・モード遷移要求をキャンセルすることを推奨します。

図 20-44 割り込みによる送信処理 (CnTGPT レジスタを使用する場合)



**注意** RDY ビットは TRQ ビットを設定する前に必ず設定してください。  
RDY ビットと TRQ ビットは同時に設定しないでください。

- 備考 1.** 保留されていた CAN スリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時には MBON ビットを確認してください。その際に MBON ビットがクリア (0) されている場合には、実行中の処理を中止し、MBON ビットが再度セット (1) されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前には CAN スリープ・モード遷移要求をキャンセルすることを推奨します。
- 2.** TOVF ビットが一度セット (1) された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図 20-45 ソフトウェア・ポーリングによる送信処理

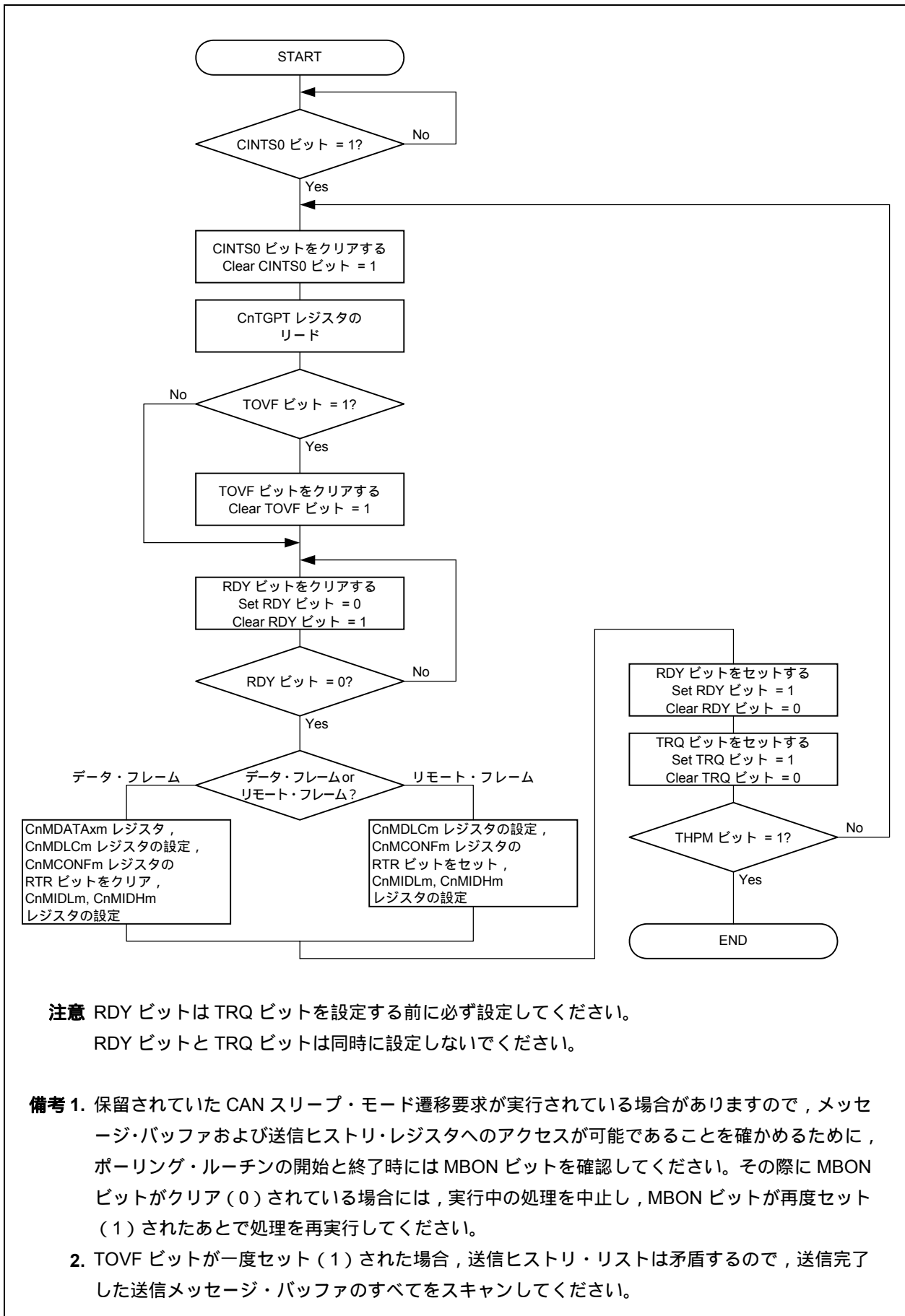


図 20-46 送信中断処理 (ABT 付き通常動作モード以外)

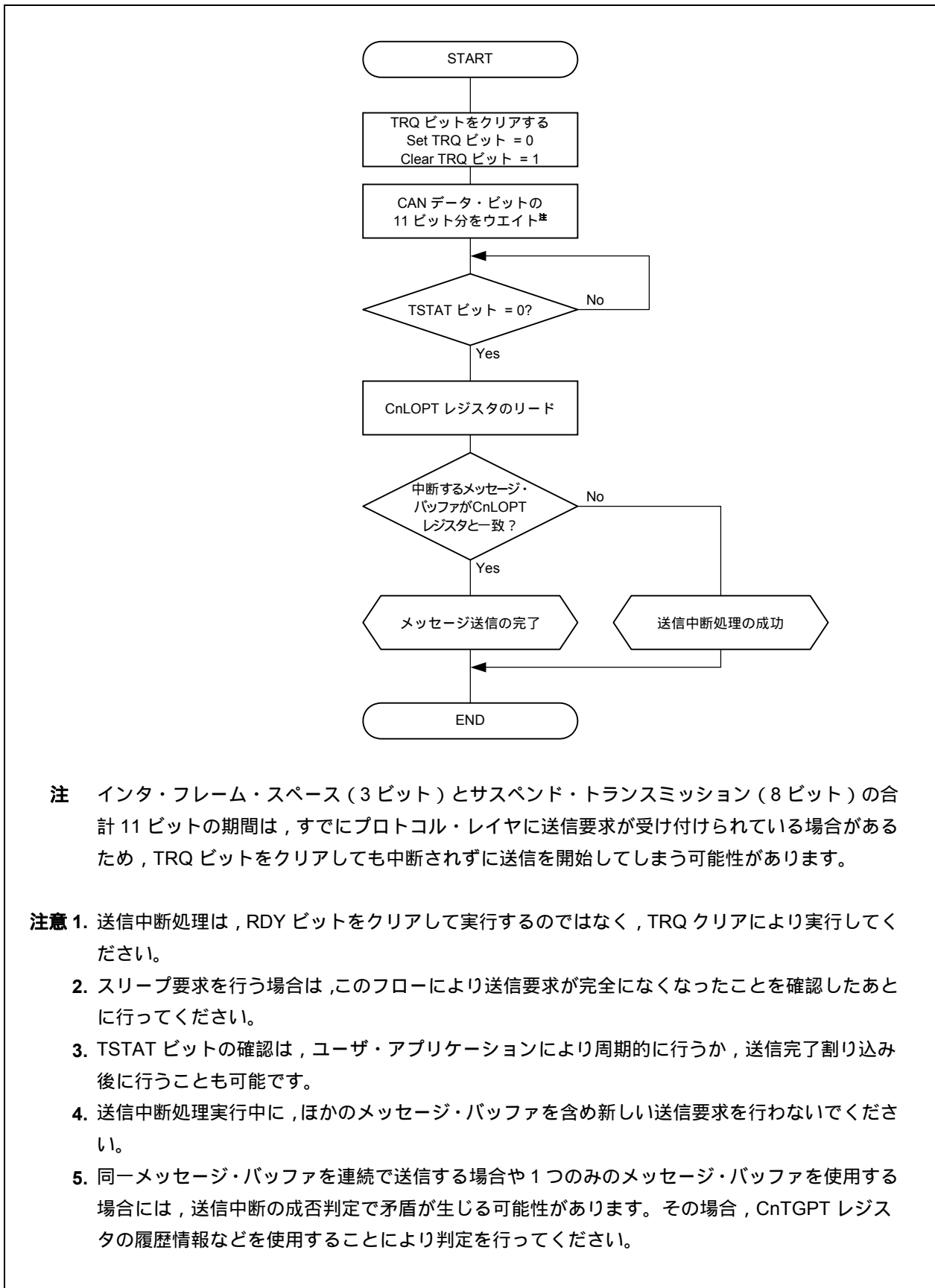


図 20-47 ABT 送信以外の送信中断処理 (ABT 付き通常動作モード)

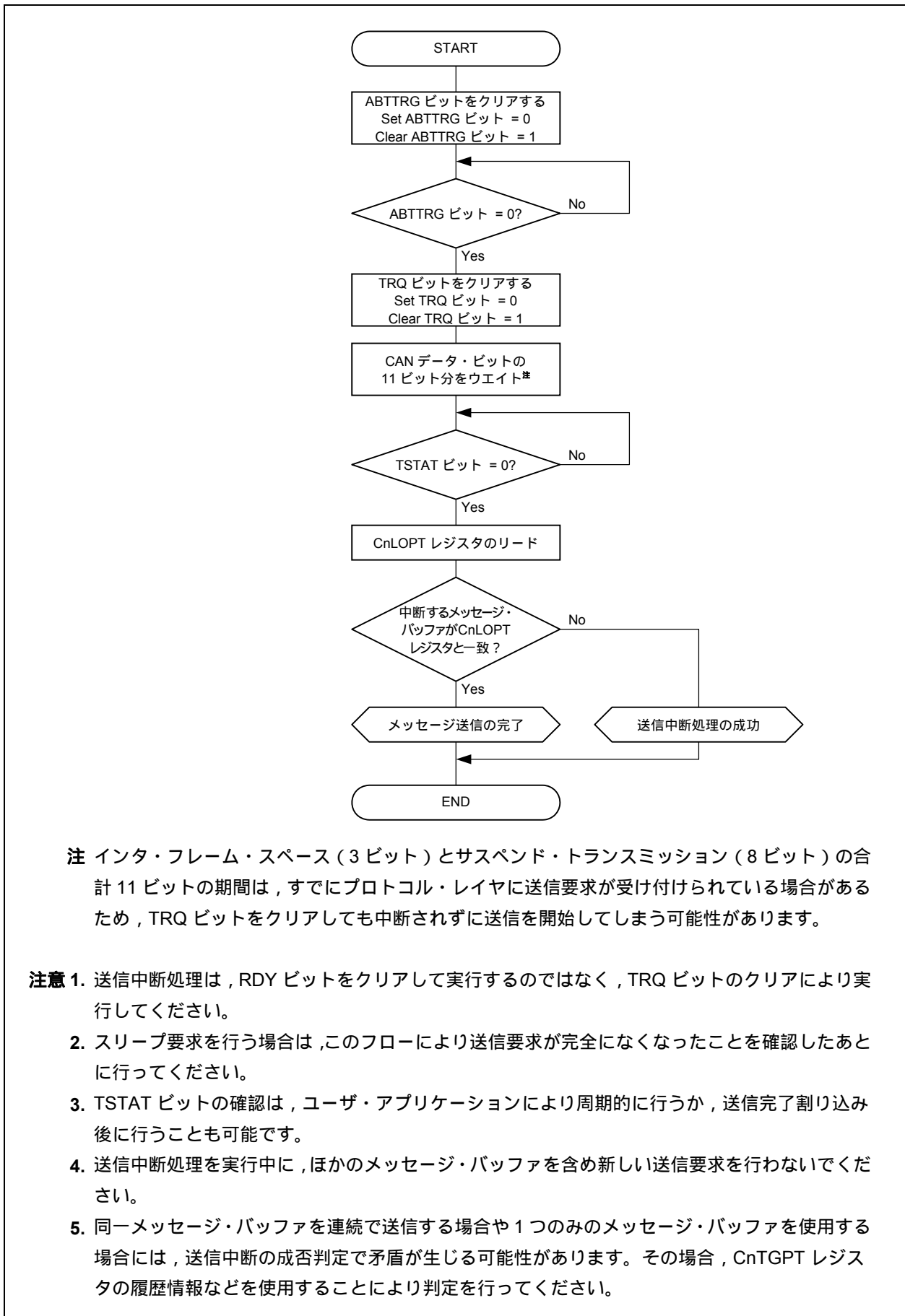


図 20-48 (a) は、ABT 用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図 20-48 (a) 送信中断処理 (ABT 付き通常動作モード)

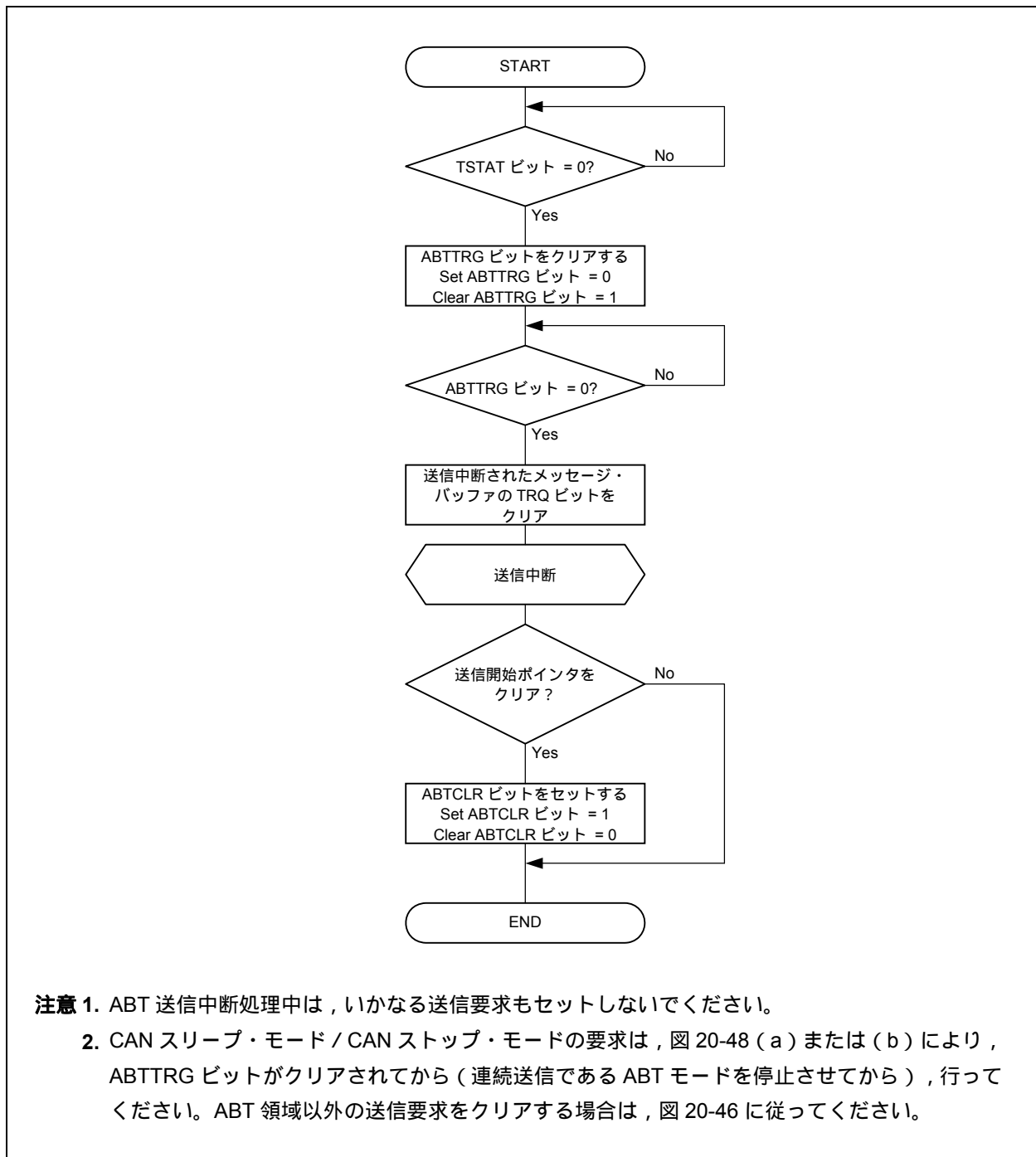




図 20-48 (b) は、ABT 用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

図 20-48 (b) 送信中断処理 (ABT 付き通常動作モード)

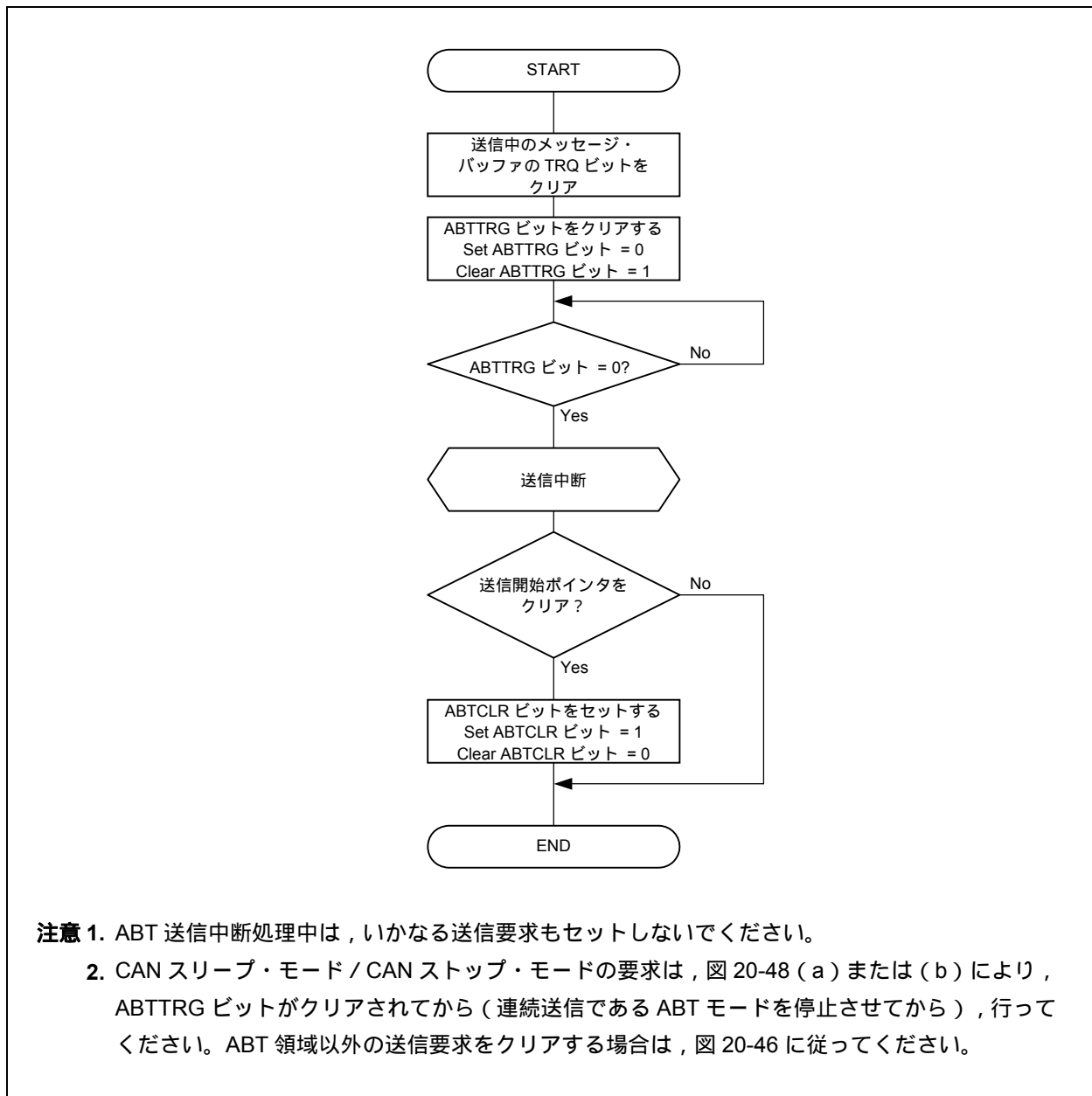


図 20-49 割り込みによる受信処理 (CnLIPT レジスタを使用する場合)

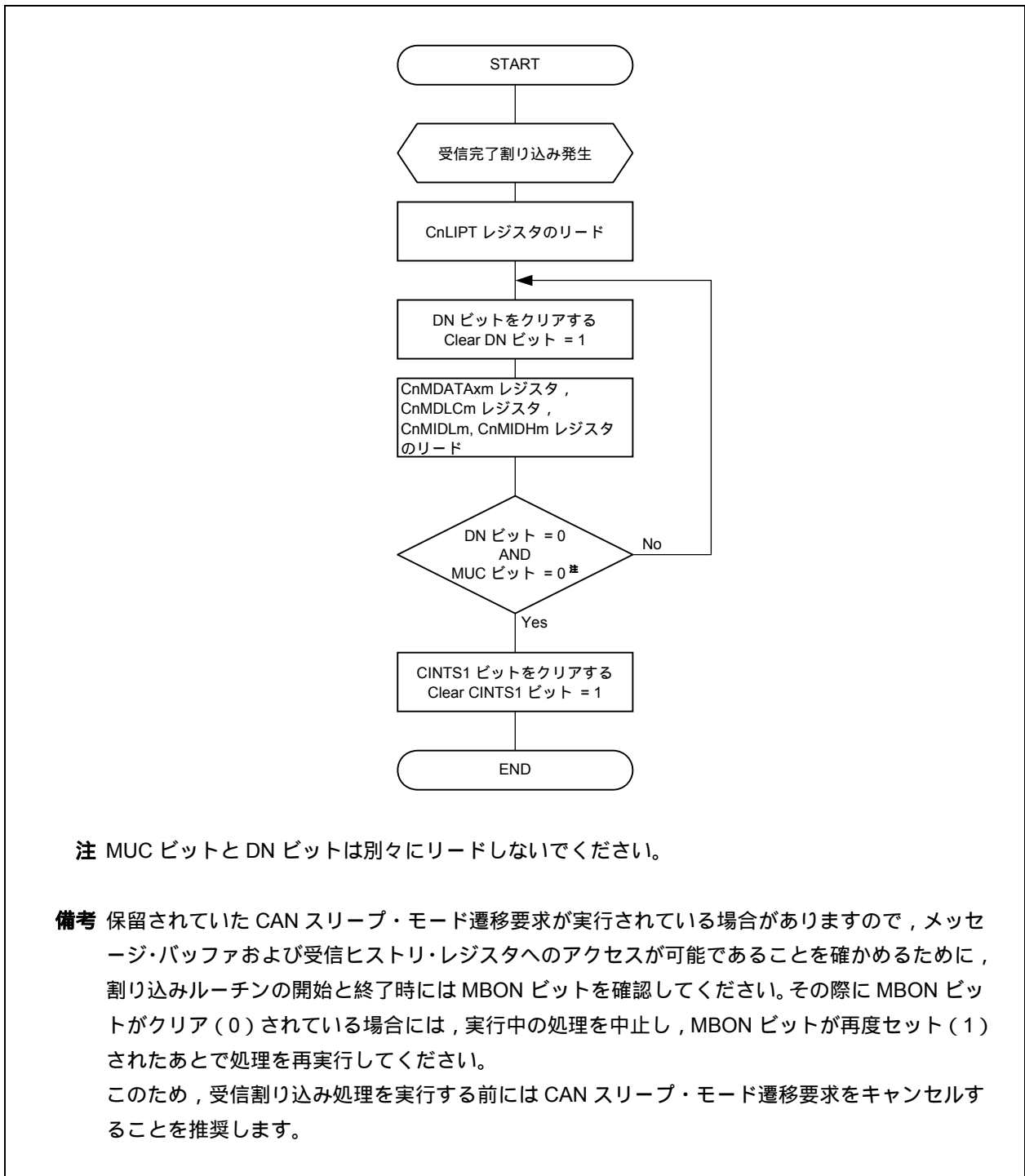


図 20-50 割り込みによる受信処理 (CnRGPT レジスタを使用する場合)

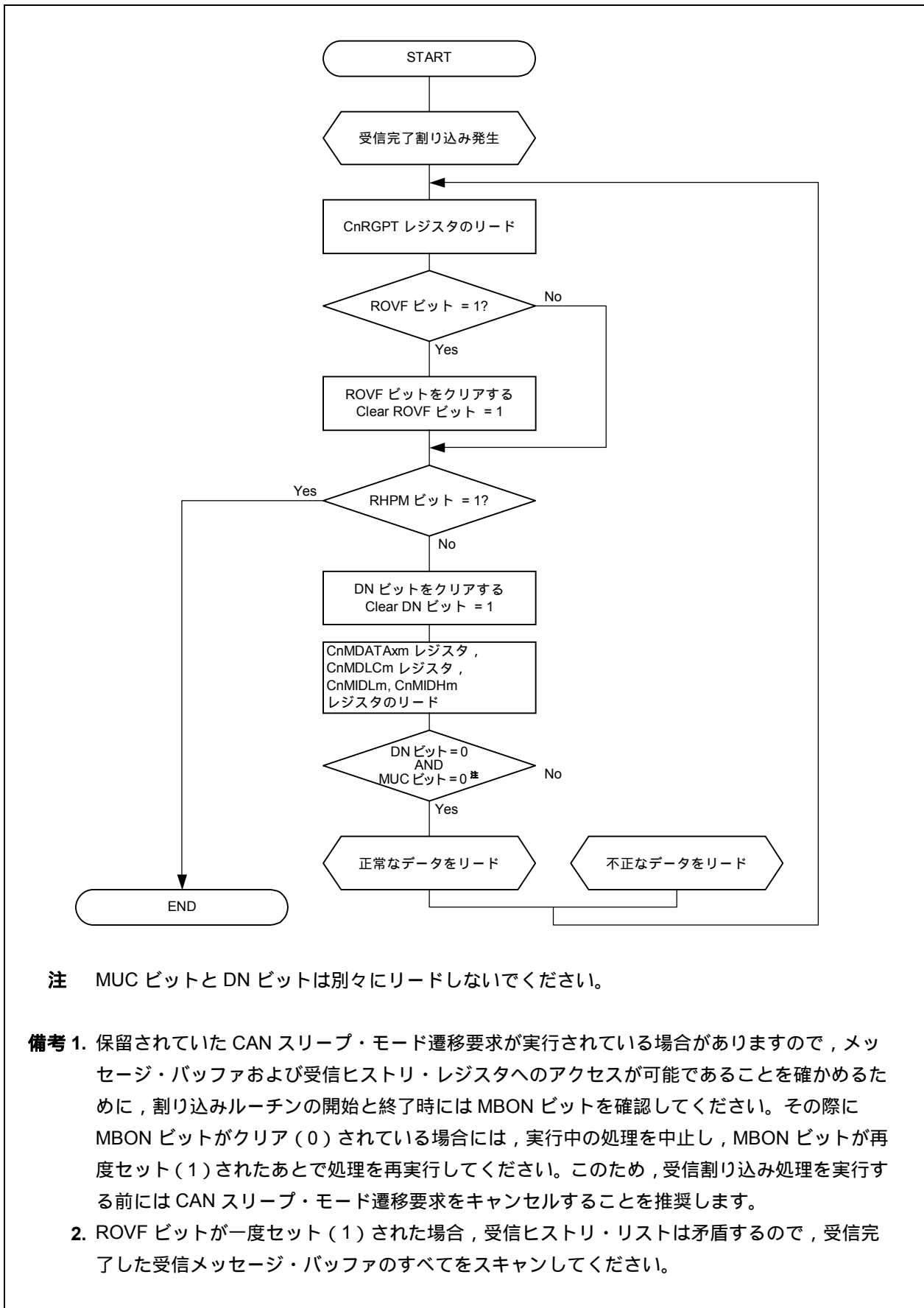


図 20-51 ソフトウェア・ポーリングによる受信処理

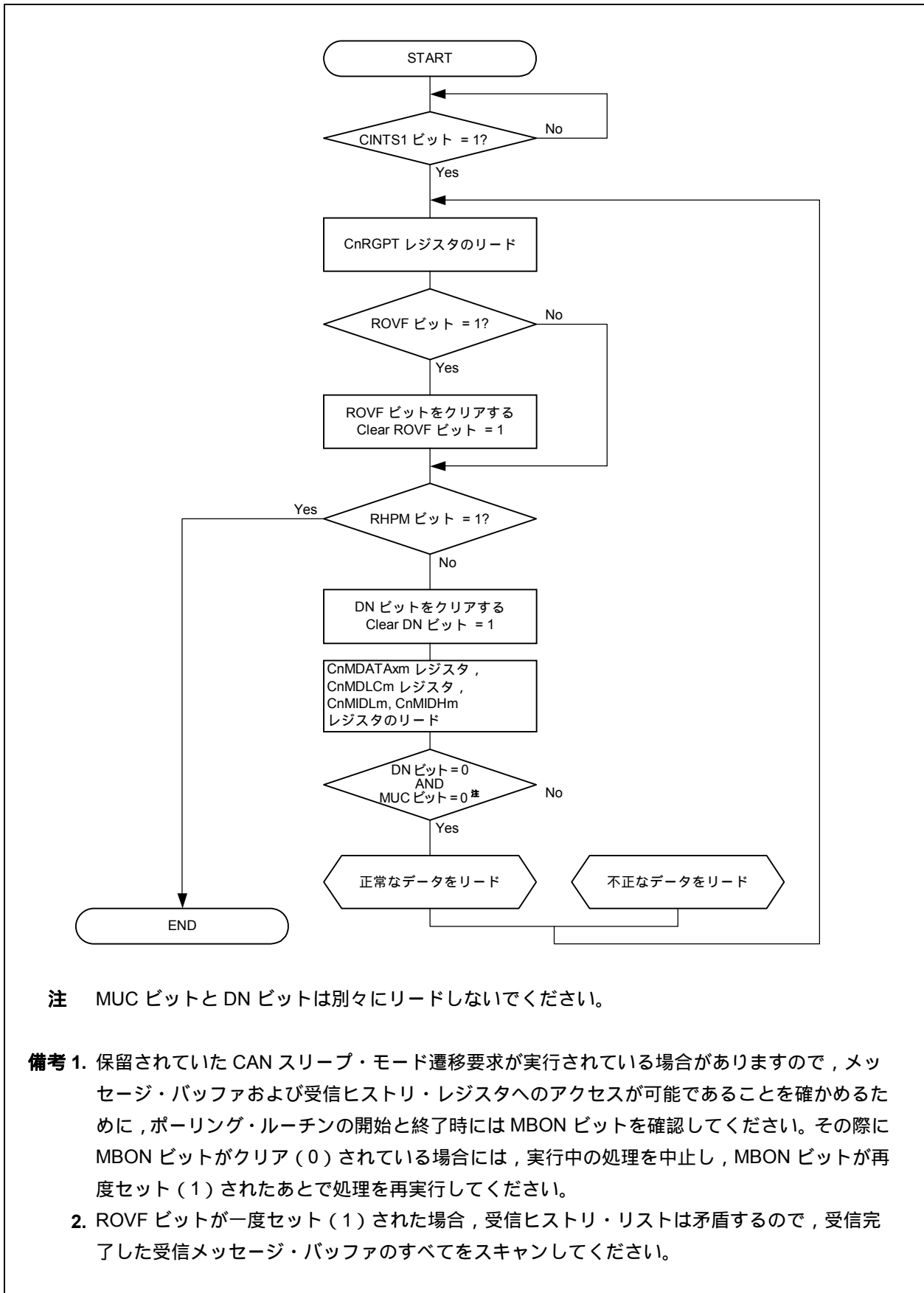


図 20-52 CAN スリープ・モード / CAN ストップ・モードの設定

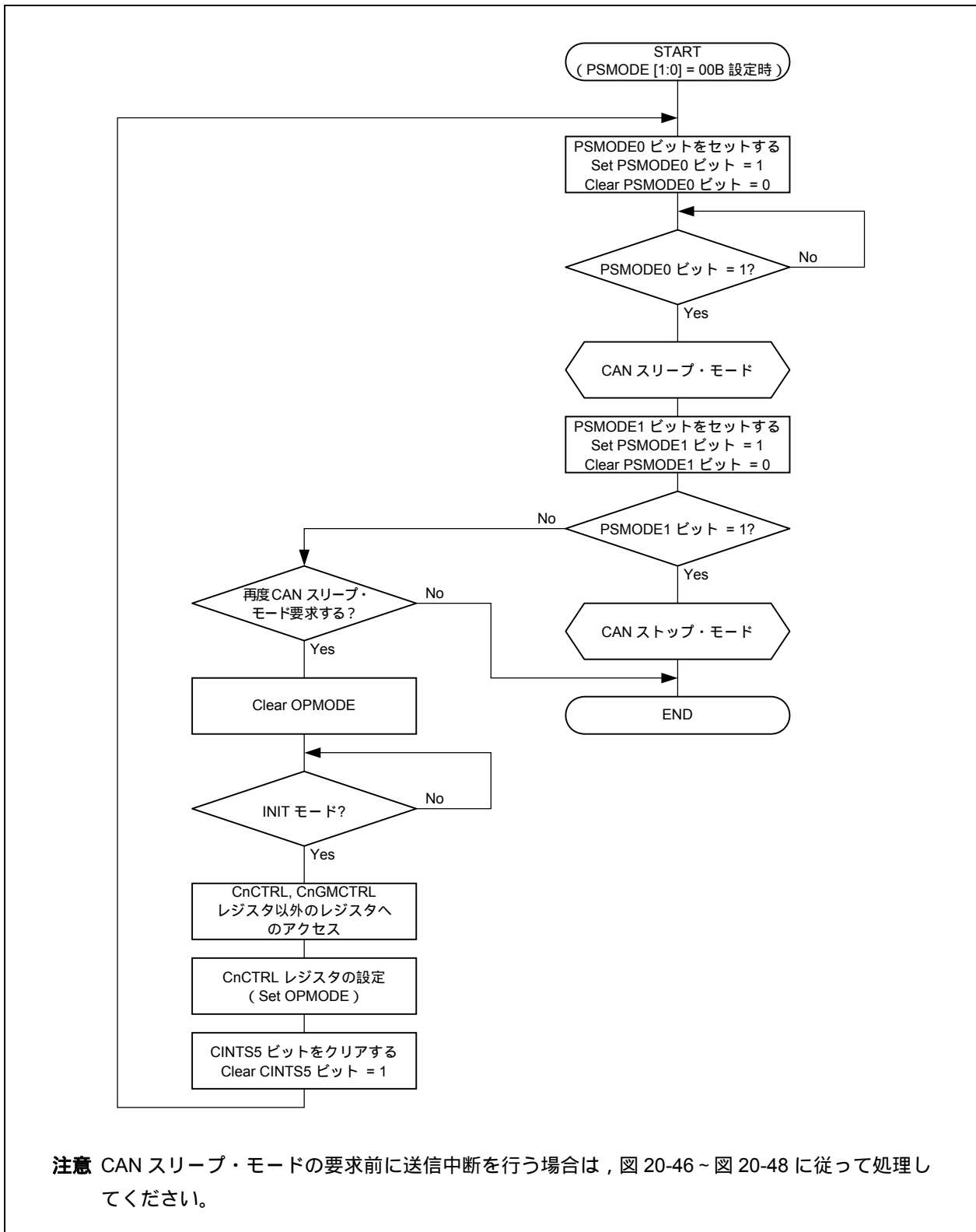


図 20-53 CAN スリープ・モード / CAN ストップ・モードの解除

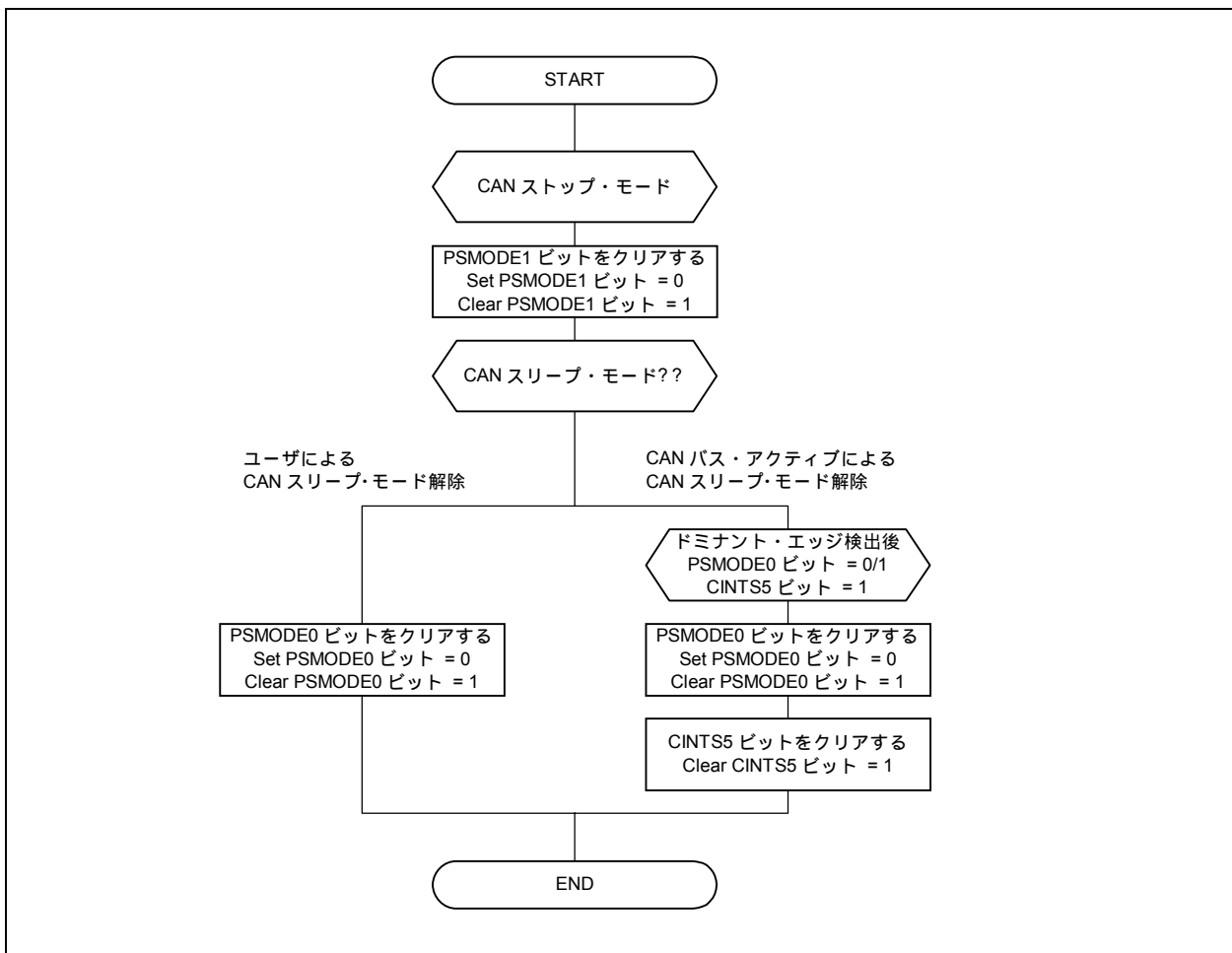


図 20-54 バス・オフからのリカバリ処理 (ABT 付き通常動作モード以外の場合)

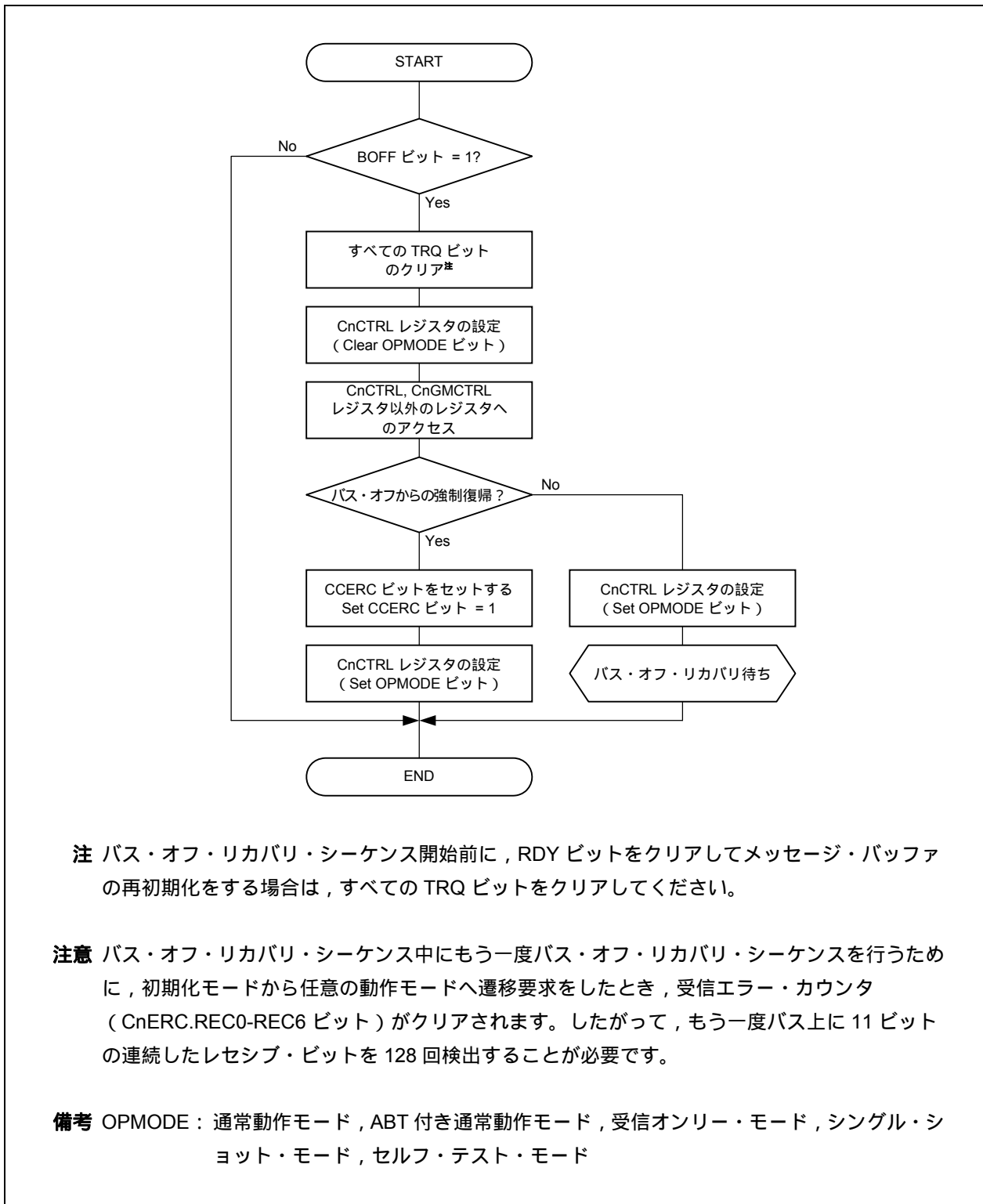


図 20-55 バス・オフからのリカバリ処理 (ABT 付き通常動作モードの場合)

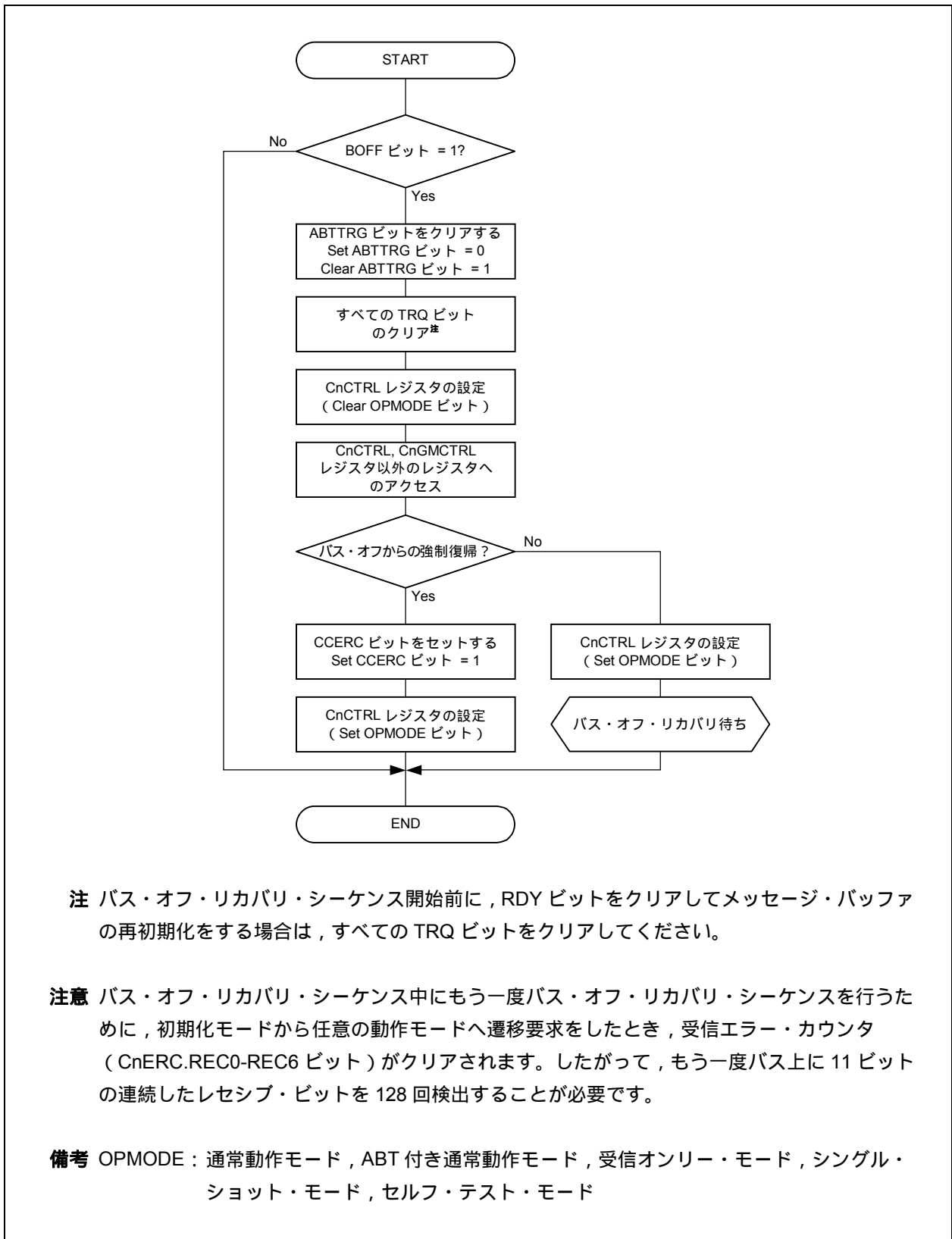




図 20-56 通常シャット・ダウン処理

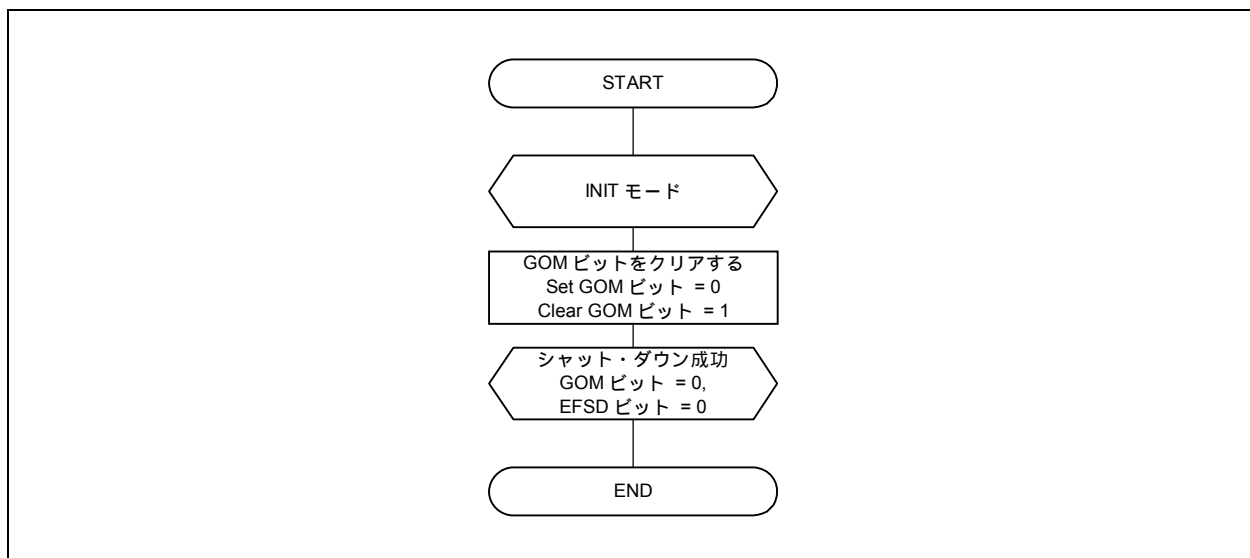


図 20-57 強制シャット・ダウン処理

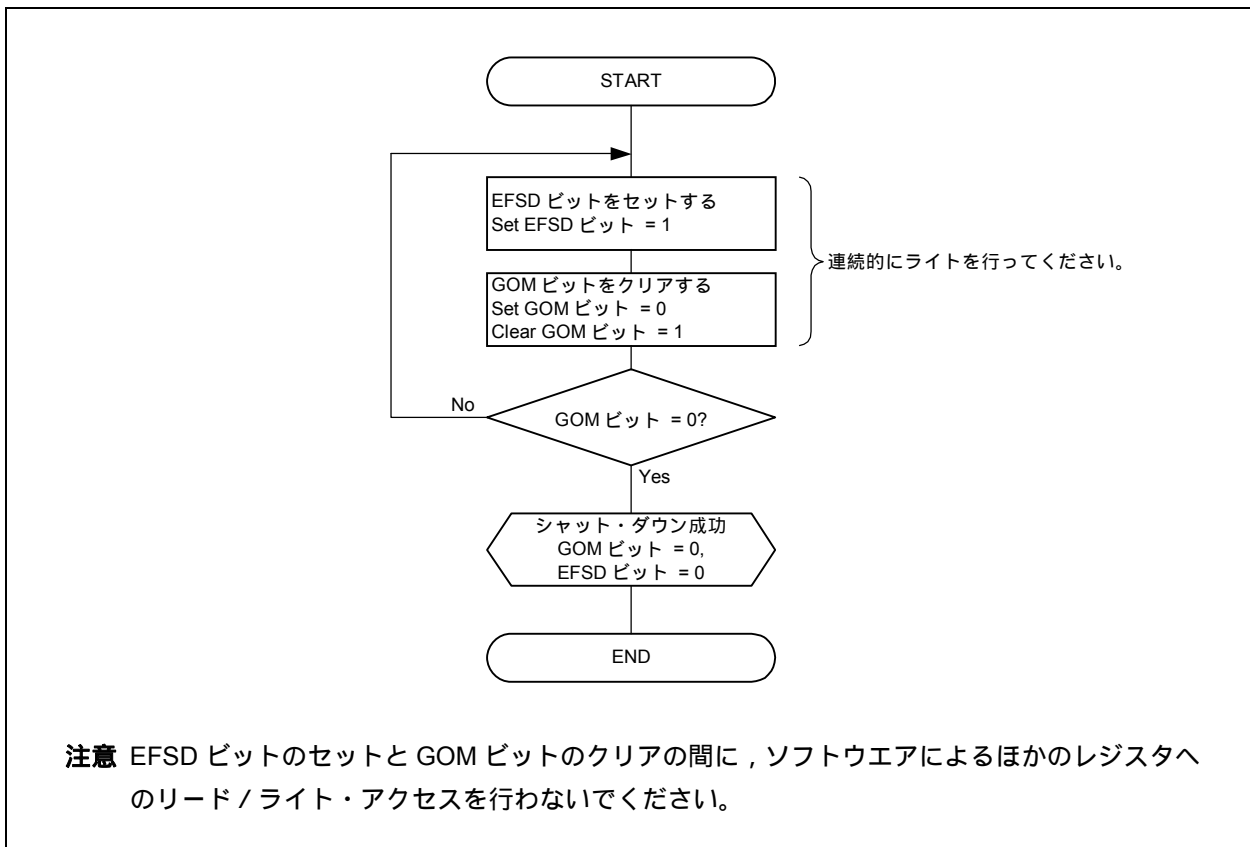


図 20-58 エラー処理

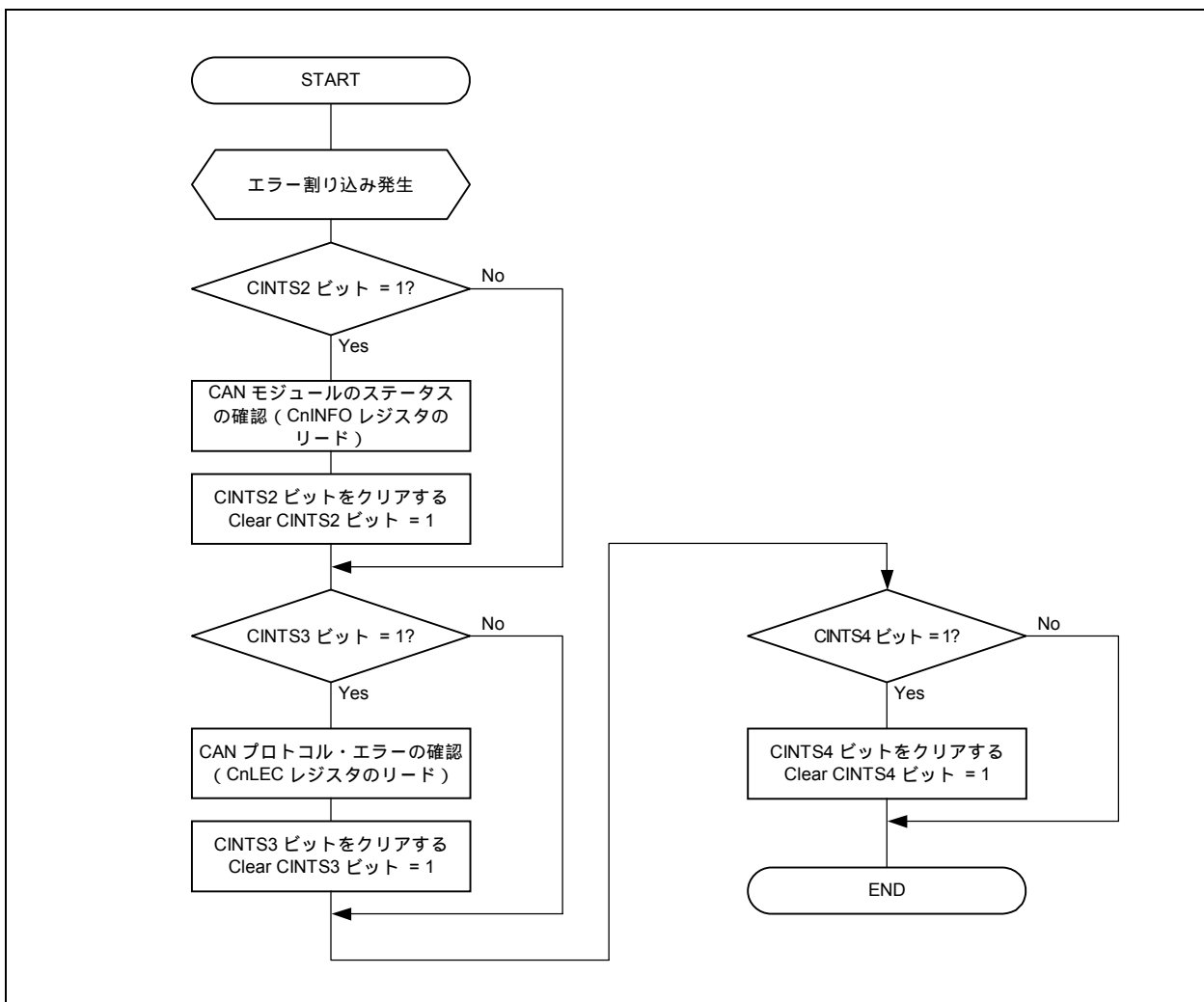
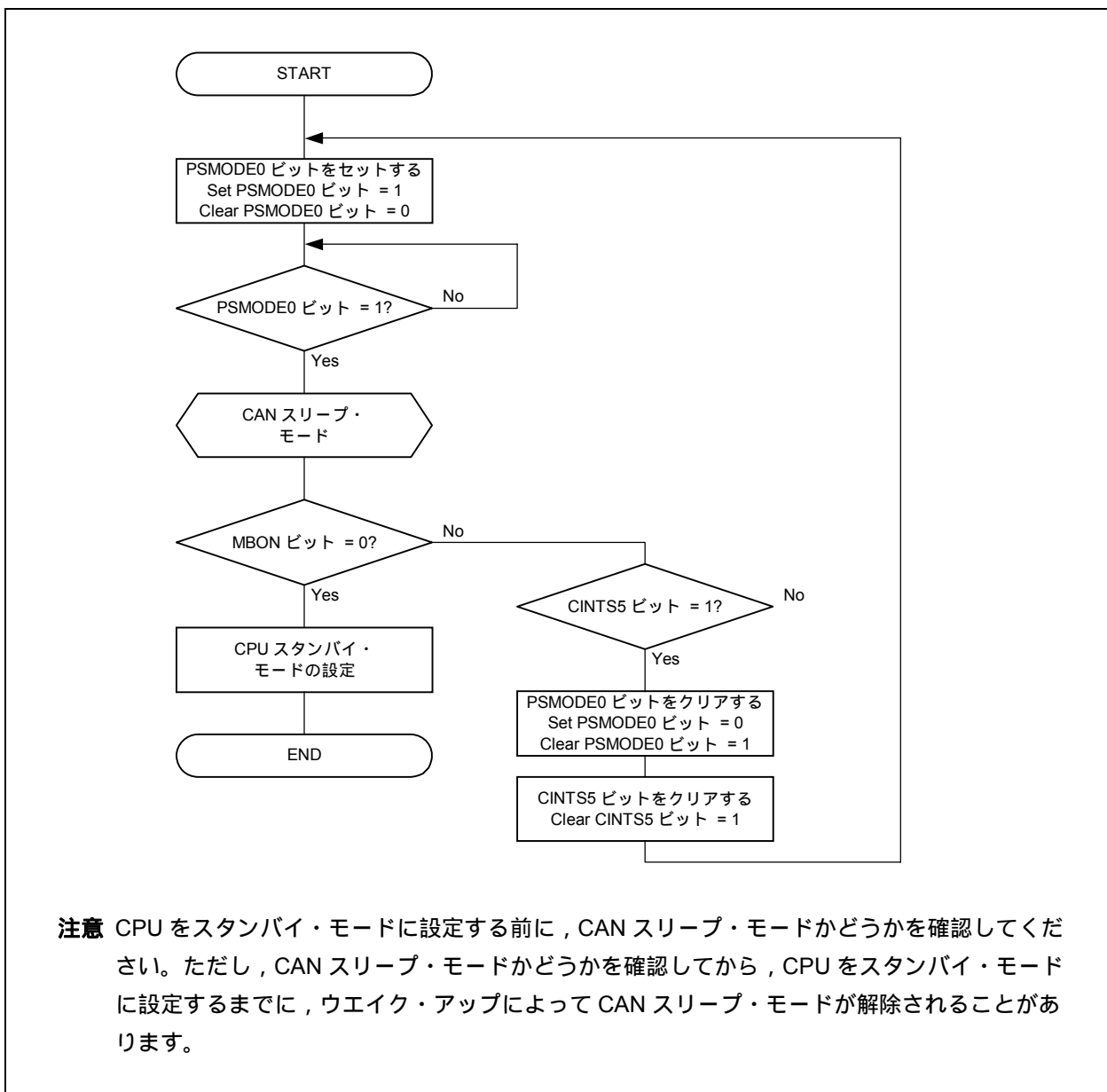
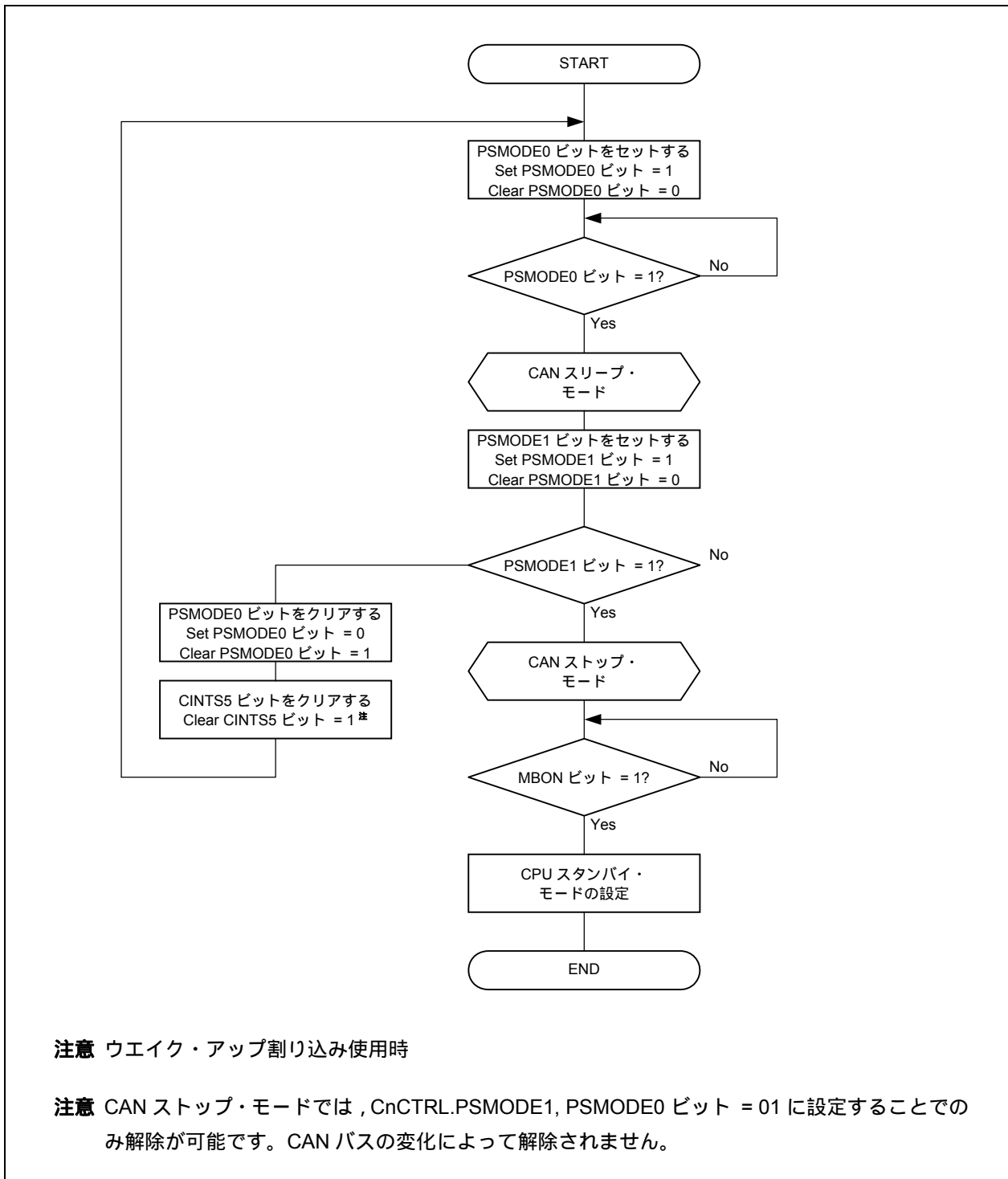


図 20-59 CPU スタンバイ処理 (CAN スリープ・モードからの移行)



**注意** CPU をスタンバイ・モードに設定する前に、CAN スリープ・モードかどうかを確認してください。ただし、CAN スリープ・モードかどうかを確認してから、CPU をスタンバイ・モードに設定するまでに、ウエイク・アップによって CAN スリープ・モードが解除されることがあります。

図 20-60 CPU スタンバイ処理 (CAN ストップ・モードからの移行)



## 20.17 注意事項

(1) 16 ビット・レジスタの 8 ビット・アクセスについて

CAN コントローラのレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、CAN コントローラのレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

## 第21章 A/D コンバータ

### 21.1 特 徴

アナログ入力：8 チャンネル

10 ビット A/D コンバータ内蔵

A/D 変換結果レジスタ (ADCR0-ADCR7) 内蔵

10 ビット×8 本

A/D 変換トリガ・モード

・A/D トリガ・モード

・タイマ・トリガ・モード

・外部トリガ・モード

逐次変換方式

## 21.2 構 成

A/D コンバータは、逐次変換方式を採用しており、A/D コンバータ・モード・レジスタ 0, 1, 2 (ADM0, ADM1, ADM2)、A/D 変換結果レジスタ (ADCR0-ADCR7) を使用して A/D 変換動作を行います。

(1) 入力回路

ADM0, ADM1, ADM2 レジスタに設定したモードに従ってアナログ入力 (AIN0-AIN7) を選択します。

(2) 電圧コンパレータ

入力されたアナログ入力と基準電圧生成回路の出力電圧を比較します。

(3) 逐次変換レジスタ (SAR : Successive Approximation Register)

SAR は、アナログ入力側 C アレイと基準側 C アレイの値を比較し、最上位ビット (MSB) から 1 ビットずつ設定する 10 ビット・レジスタです。

SAR の最下位ビット (LSB) まで設定すると (A/D 変換終了)、その SAR の内容 (変換結果) は、A/D 変換結果レジスタ (ADCRn) に転送されます。

(4) A/D 変換結果レジスタ (ADCRn)、A/D 変換結果レジスタ Hn (ADCRHn)

ADCR は、A/D 変換結果を保持する 10 ビット・レジスタです。A/D 変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

RESETZ 入力により、不定になります。

(5) AIN0-AIN7 端子

A/D コンバータへの 8 チャンネルのアナログ入力端子です。A/D 変換するアナログ信号を入力します。

**注意** AIN0-AIN7 入力電圧は規格の範囲内でご使用ください。特に AD\_AVDD 以上、AD\_AGND 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(6) AVREFP, AVREFM 端子

A/D コンバータの基準電圧を入力するための端子です。AVREFP-AVREFM 間に加えられる電圧に基づいて AINn 端子に入力される信号をデジタル信号に変換します。

(7) AD\_AGND 端子

A/D コンバータのグランド電位端子です。A/D コンバータを使用しないときでも、常に EGND 端子と同電位で使用してください。

(8) AD\_AVDD 端子

A/D コンバータのアナログ電源端子です。A/D コンバータを使用しないときでも、常に EVDD 端子と同電位で使用してください。

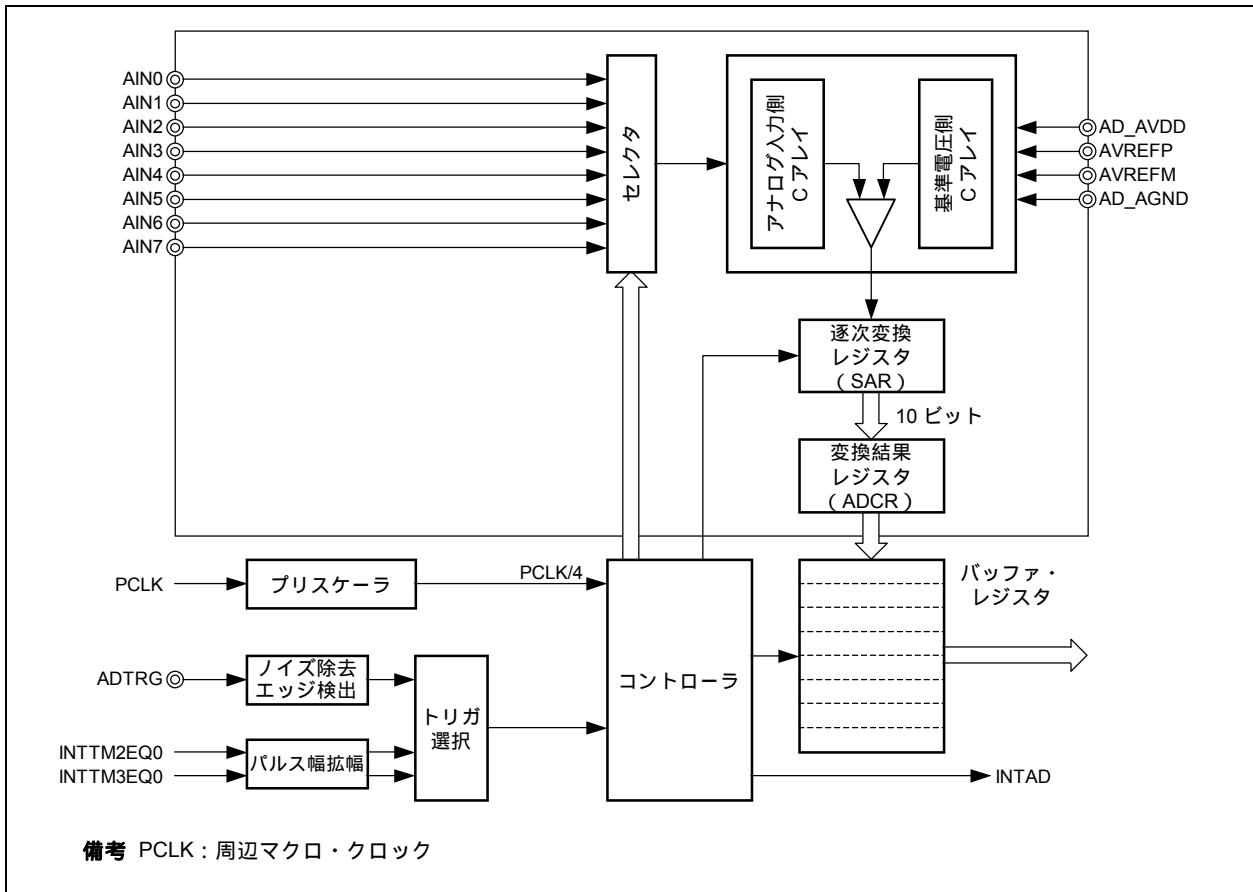
**備考** n = 0-7



注意 A/D コンバータを使用しない場合は、下記のように端子処理してください。

AD_AVDD	: EVDD と同電位に接続
AVREFP	: EVDD と同電位に接続
AIN7-AIN0	: EGND と同電位に接続
AVREFM	: EGND と同電位に接続
AD_AGND	: EGND と同電位に接続

図 21-1 A/D コンバータのブロック図



注意 1. アナログ入力端子 (AIN0-AIN7) および基準電圧入力端子 (AVREFP, AVREFM) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- ・複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わずに、再度異常発生を確認した上で異常処理を行う。

2. A/D コンバータの入力端子として使用している端子には、AVREFP-AVREFM の範囲外の電圧が加わらないようにしてください。

## 21.3 制御レジスタ

### (1) A/D コンバータ・モード・レジスタ 0 (ADM0)

ADM0 レジスタは、動作モードの指定および変換動作の制御を行う 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。ただし、ビット 6 はリードのみ可能です。ビット 6 をライトした場合は無視されます。

- 注意 1.** タイマ・トリガ・モード、外部トリガ・モード時で ADCE ビットが 1 のときは、トリガ信号待機状態になります。ADCE ビットをクリアするには、0 を書き込むか、リセットしてください。  
A/D トリガ・モードでは、ADCE ビットに 1 を書き込むことが変換のトリガになります。動作後、ADCE ビットをクリア (0) せずにタイマ・トリガ・モード、外部トリガ・モードに変更した場合、レジスタ変更直後からトリガ入力の待機状態になります。
- 2.** A/D 変換動作許可状態 (ADCE ビット = 1) のとき、BS, MS ビットの変更は禁止します。
- 3.** A/D 変換動作中に ADM0 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 21-2 A/D コンバータ・モード・レジスタ 0 (ADM0)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM0	ADCE	ADCS	BS	MS	0	0	0	0	0F1C 0102H	00H
R/W	R/W	R	R/W	R/W	0	0	0	0		

ビット位置	ビット名	意味
7	ADCE	A/D 変換動作の許可 / 禁止を設定します。 0 : 変換動作停止 1 : 変換動作許可
6	ADCS	A/D コンバータの状態です。 0 : 変換停止中 1 : 変換動作中
5	BS	セレクト・モード時のバッファ・モードを指定します。 0 : 1 バッファ・モード 1 : 4 バッファ・モード
4	MS	A/D コンバータの動作モードを指定します。 0 : スキャン・モード 1 : セレクト・モード

## (2) A/D コンバータ・モード・レジスタ 1 (ADM1)

ADM1 レジスタは、変換動作時間の指定、トリガ・モードの指定を行う 8 ビット・レジスタです。  
8/1 ビット単位でリード/ライト可能です。  
ビット 3 には、必ず 0 を設定してください。

- 注意 1.** A/D 変換動作許可状態 (ADM0 レジスタの ADCE ビット= 1) のとき、EGA1, EGA0, FR1-FR0 ビットの変更は禁止します。
- 2.** A/D 変換動作中に ADM1 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 21-3 A/D コンバータ・モード・レジスタ 1 (ADM1)

( 1/2 )

		7	6	5	4	3	2	1	0	アドレス	初期値
ADM1		EGA1	EGA0	TRG1	TRG0	0	FR2	FR1	FR0	0F1C 0107H	00H
R/W		R/W	R/W	R/W	R/W	0	R/W	R/W	R/W		

ビット位置	ビット名	意味															
7, 6	EGA1, EGA0	外部トリガ (ADTRG) の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>EGA1</th> <th>EGA0</th> <th>外部トリガ (ADTRG) の有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (外部トリガとして動作しない)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち下がりエッジ検出</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジ検出</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち下がり / 立ち上がりエッジ検出</td> </tr> </tbody> </table>	EGA1	EGA0	外部トリガ (ADTRG) の有効エッジ	0	0	エッジ検出なし (外部トリガとして動作しない)	0	1	立ち下がりエッジ検出	1	0	立ち上がりエッジ検出	1	1	立ち下がり / 立ち上がりエッジ検出
EGA1	EGA0	外部トリガ (ADTRG) の有効エッジ															
0	0	エッジ検出なし (外部トリガとして動作しない)															
0	1	立ち下がりエッジ検出															
1	0	立ち上がりエッジ検出															
1	1	立ち下がり / 立ち上がりエッジ検出															
5, 4	TRG1, TRG0	トリガ・モードを指定します。 <table border="1"> <thead> <tr> <th>TRG1</th> <th>TRG0</th> <th>トリガ・モード指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ソフトウェア・トリガ・モード (A/D トリガ・モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>タイマ・トリガ・モード (TTRG 入力)</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部トリガ・モード (ADTRG 入力)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TRG1	TRG0	トリガ・モード指定	0	0	ソフトウェア・トリガ・モード (A/D トリガ・モード)	0	1	タイマ・トリガ・モード (TTRG 入力)	1	0	外部トリガ・モード (ADTRG 入力)	1	1	設定禁止
TRG1	TRG0	トリガ・モード指定															
0	0	ソフトウェア・トリガ・モード (A/D トリガ・モード)															
0	1	タイマ・トリガ・モード (TTRG 入力)															
1	0	外部トリガ・モード (ADTRG 入力)															
1	1	設定禁止															

( 2/2 )

FR2	FR1	FR0	変換 クロック数	周辺マクロ・クロック (PCLK) ごとの変換時間 <sup>注1</sup>					A/D 安定時間 <sup>注2</sup>
				50MHz	48MHz	40MHz	44.33MHz	33.25MHz	
0	0	0	64	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	32/PCLK
0	0	1	128	2.56 $\mu$ s	2.67 $\mu$ s	3.20 $\mu$ s	2.89 $\mu$ s	3.85 $\mu$ s	64/PCLK
0	1	0	192	3.84 $\mu$ s	4.00 $\mu$ s	4.80 $\mu$ s	4.34 $\mu$ s	5.78 $\mu$ s	80/PCLK
0	1	1	256	5.12 $\mu$ s	5.34 $\mu$ s	6.40 $\mu$ s	5.78 $\mu$ s	7.70 $\mu$ s	80/PCLK
1	0	0	320	6.40 $\mu$ s	6.67 $\mu$ s	8.00 $\mu$ s	7.22 $\mu$ s	9.63 $\mu$ s	80/PCLK
1	0	1	384	7.68 $\mu$ s	8.00 $\mu$ s	9.60 $\mu$ s	8.67 $\mu$ s	設定禁止	80/PCLK
1	1	0	448	8.96 $\mu$ s	9.34 $\mu$ s	設定禁止	設定禁止	設定禁止	80/PCLK
1	1	1	512	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	80/PCLK

注 1. 変換動作時間が 2 ~ 10  $\mu$ s になるように設定してください。

2. A/D コンバータの安定時間確保のため、ADCE ビットを “0” から “1” に設定したあと、1 回目の A/D 変換前のみ、A/D 安定時間後に変換が開始されます。

注意 1. A/D 変換動作中 (ADCE ビット = 1) に、A/D 変換時間の設定値 (FR2-FR0 ビット) を変更しないでください。変更する場合は、ADCE ビット = 0 に設定してから行ってください。

2. 途中でトリガ・モードを変更 (TRG1, TRG0 ビット) する場合、ADCE ビットに “1” を再設定することにより A/D 安定時間を確保することなく、すぐに A/D 変換が可能です。

(3) A/D コンバータ・モード・レジスタ 2 (ADM2)

ADM2 レジスタは、A/D コンバータのアナログ入力端子の指定を行う 8 ビット・レジスタです。  
8/1 ビット単位でリード/ライト可能です。

- 注意 1. アナログ入力の存在しないチャンネルを指定した場合、A/D 変換結果は不定となります。
2. A/D 変換動作許可状態 (ADM0 レジスタの ADCE ビット = 1) のとき、AINS2-AINS0 ビットの変更は禁止します。
3. A/D 変換動作中に、ADM2 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 21-4 A/D コンバータ・モード・レジスタ 2 (ADM2)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM2	0	0	0	0	0	AINS2	AINS1	AINS0	0F1C 010AH	00H
R/W	0	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味																																															
2-0	AINS2- AINS0	A/D 変換するアナログ入力端子を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">AINS2</th> <th rowspan="2">AINS1</th> <th rowspan="2">AINS0</th> <th colspan="2">A/D 変換するアナログ入力端子の指定</th> </tr> <tr> <th>セレクト・モード</th> <th>スキャン・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>AIN0</td> <td>AIN0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>AIN1</td> <td>AIN0, AIN1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>AIN2</td> <td>AIN0-AIN2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>AIN3</td> <td>AIN0-AIN3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>AIN4</td> <td>AIN0-AIN4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>AIN5</td> <td>AIN0-AIN5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>AIN6</td> <td>AIN0-AIN6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>AIN7</td> <td>AIN0-AIN7</td> </tr> </tbody> </table>	AINS2	AINS1	AINS0	A/D 変換するアナログ入力端子の指定		セレクト・モード	スキャン・モード	0	0	0	AIN0	AIN0	0	0	1	AIN1	AIN0, AIN1	0	1	0	AIN2	AIN0-AIN2	0	1	1	AIN3	AIN0-AIN3	1	0	0	AIN4	AIN0-AIN4	1	0	1	AIN5	AIN0-AIN5	1	1	0	AIN6	AIN0-AIN6	1	1	1	AIN7	AIN0-AIN7
AINS2	AINS1	AINS0				A/D 変換するアナログ入力端子の指定																																											
			セレクト・モード	スキャン・モード																																													
0	0	0	AIN0	AIN0																																													
0	0	1	AIN1	AIN0, AIN1																																													
0	1	0	AIN2	AIN0-AIN2																																													
0	1	1	AIN3	AIN0-AIN3																																													
1	0	0	AIN4	AIN0-AIN4																																													
1	0	1	AIN5	AIN0-AIN5																																													
1	1	0	AIN6	AIN0-AIN6																																													
1	1	1	AIN7	AIN0-AIN7																																													

## (4) ADC トリガ選択レジスタ (ADTS)

ADTS レジスタは、タイマ・トリガ・モード時のタイマ・トリガ信号の指定を行う 8 ビット・レジスタです。

8 ビット単位でリード/ライト可能です。

ビット 7-2 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

**注意** ADTS レジスタの設定を変更する場合は、A/D 変換動作を停止 (ADM0 レジスタの ADCE ビット=0) してから行ってください。A/D 変換動作許可中 (ADCE ビット=1) に ADTS レジスタの設定を変更した場合の動作は保証できません。

図 21-5 ADC トリガ選択レジスタ (ADTS)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADTS	0	0	0	0	0	0	TMS1	TMS0	0F1C 0182H	00H
R/W	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1	TMS1	16 ビット・インターバル・タイマ 3 (TMM3) の INTTM3EQ0 によるタイマ・トリガを選択します。 0 : INTTM3EQ0 タイマ・トリガ無効 1 : INTTM3EQ0 タイマ・トリガ有効
0	TMS0	16 ビット・インターバル・タイマ 2 (TMM2) の INTTM2EQ0 によるタイマ・トリガを選択します。 0 : INTTM2EQ0 タイマ・トリガ無効 1 : INTTM2EQ0 タイマ・トリガ有効

(5) A/D 変換結果レジスタ 0-7, 0H-7H (ADCR0-ADCR7, ADCR0H-ADCR7H)

ADCRn レジスタは、A/D 変換の結果を保持する 10 ビット・レジスタです。8 本の 10 ビット・レジスタを備えています。

16/8 ビット単位でリードだけ可能です。このレジスタへの 16 ビット・アクセス時は ADCRn レジスタを、上位 8 ビット・アクセス時は ADCRnH レジスタを指定します (n = 0-7)。

ADCRn レジスタから A/D 変換結果の 10 ビット・データを読み出す場合には、上位の 10 ビットだけが有効となり、下位 6 ビットは常に 0 が読み出されます。

図 21-6 A/D 変換結果レジスタ (ADCRn, ADCRnH)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCRn	ADn 9	ADn 8	ADn 7	ADn 6	ADn 5	ADn 4	ADn 3	ADn 2	ADn 1	ADn 0	0	0	0	0	0	0	0F1C 0140H +08H×n	不定
R/W	R	R	R	R	R	R	R	R	R	R	0	0	0	0	0	0		
	7	6	5	4	3	2	1	0	アドレス	初期値								
ADCRnH	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	0F1C 0147H +08H×n	不定								
R/W	R	R	R	R	R	R	R	R										
<b>備考 n = 0-7</b>																		

各アナログ入力端子と ADCRn レジスタの対応を次に示します。

アナログ入力端子	ADCRn レジスタ	
	セレクト 1 バッファ・モード/ スキャン・モード	セレクト 4 バッファ・モード
AIN0	ADCR0, ADCR0H	ADCR0-ADCR3, ADCR0H-ADCR3H
AIN1	ADCR1, ADCR1H	
AIN2	ADCR2, ADCR2H	
AIN3	ADCR3, ADCR3H	
AIN4	ADCR4, ADCR4H	ADCR4-ADCR7 ADCR4H-ADCR7H
AIN5	ADCR5, ADCR5H	
AIN6	ADCR6, ADCR6H	
AIN7	ADCR7, ADCR7H	

アナログ入力端子 (AIN7-AIN0) に入力されたアナログ入力電圧と A/D 変換結果 (A/D 変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$SAR = INT \left( \frac{V_{IN}}{AVREFP - AVREFM} \times 1024 + 0.5 \right)$$

$$ADCRn^{\#} = SAR \times 64$$

または,

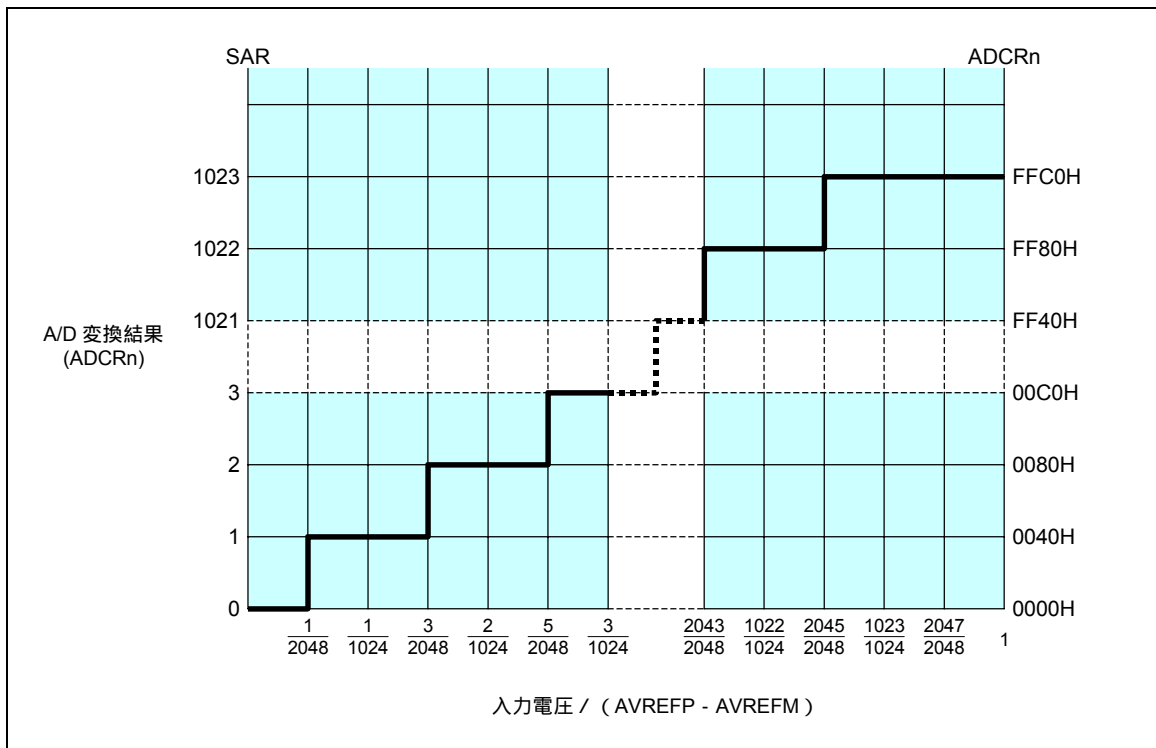
$$(SAR - 0.5) \times \frac{AVREFP - AVREFM}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AVREFP - AVREFM}{1024}$$

- INT ( ) : ( ) 内の値の整数部を返す関数
- VIN : アナログ入力電圧
- AVREFP : AVREFP 端子電圧
- AVREFM : AVREFM 端子電圧
- ADCR : A/D 変換結果レジスタ (ADCRn) の値

**注 ADCRn レジスタの下位 6 ビットは 0 固定です。**

図 21-7 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 21-7 アナログ入力と A/D 変換結果の関係





## 21.4 動作

### 21.4.1 基本動作

A/D 変換は次の手順で行います。

- (1) アナログ入力の選択, 動作モード, トリガ・モードなどの指定を, ADM0, ADM1, ADM2 レジスタによって設定します<sup>注1</sup>。ADM0 レジスタの ADCE ビットをセット (1) すると, A/D トリガ・モード時は A/D 変換を開始します。タイマ・トリガ・モード時, 外部トリガ・モード時は, トリガ待機状態<sup>注2</sup>になります。
- (2) A/D 変換を開始するとアナログ入力側 C アレイ電圧と基準側 C アレイ電圧をコンパレータで比較します。
- (3) 10 ビットの比較が終了したとき, ADCRn レジスタに変換結果を格納します。指定した回数の A/D 変換が終了したとき, A/D 変換終了割り込み (INTAD) を発生します (n = 0-7)。

**注 1. A/D 変換動作中に ADM0, ADM1, ADM2 レジスタを変更した場合, 変更前の A/D 変換動作は停止し, ADCRn レジスタ, ADCRnH レジスタへ変換結果を格納しません。変換前の A/D 変換動作は初期化され, 最初から変換をやり直します (n = 0-7)。**

**2. タイマ・トリガ・モード, 外部トリガ・モードの場合, ADM0 レジスタの ADCE ビットをセット (1)すると, トリガ待機状態に遷移します。また A/D 変換動作は, トリガ信号によって起動(ADM0 レジスタの ADCS ビット=1)され, A/D 変換動作が終了するとトリガ待機状態(ADCS ビット=0)に戻ります。**

### 21.4.2 動作モードとトリガ・モード

A/D コンバータ, 動作モード, トリガ・モードの指定により多彩な変換動作を指定できます。動作モード, トリガ・モードは ADM0-ADM2 レジスタで設定します。

動作モード, トリガ・モードの関係を次に示します。

表 21-1 動作モード, トリガ・モードの関係

トリガ・モード	動作モード		レジスタ設定値			アナログ入力
			ADM0	ADM1	ADM2	
ソフトウェア・トリガ (A/D トリガ)	セレクト	1 バッファ	xx010000B	0000xxxxB	00000xxxB	AIN0-AIN7
		4 バッファ	xx110000B			AIN0-AIN7
	スキャン		xxx00000B			AIN0-AIN7
タイマ・トリガ	セレクト	1 バッファ	xx010000B	0001xxxxB		AIN0-AIN7
		4 バッファ	xx110000B			AIN0-AIN7
	スキャン		xxx00000B			AIN0-AIN7
外部トリガ	セレクト	1 バッファ	xx010000B	xx10xxxxB	AIN0-AIN7	
		4 バッファ	xx110000B		AIN0-AIN7	
	スキャン		xxx00000B		AIN0-AIN7	

## (1) トリガ・モード

A/D 変換処理の開始タイミングとなるトリガ・モードには、A/D トリガ (ソフトウェア・トリガ)・モード、タイマ・トリガ・モード、外部トリガ・モードの 3 通りがあります。これらのトリガ・モードは、ADM1 レジスタの TRG1, TRG0 ビットで設定します。

## (a) A/D トリガ・モード (ソフトウェア・トリガ・モード)

AIN0-AIN7 端子に設定されたアナログ入力の変換タイミングを、ADM0 レジスタの ADCE ビットを 1 に設定することにより A/D 変換を開始するモードです。変換終了後 ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

## (b) タイマ・トリガ・モード

AIN0-AIN7 端子に設定されたアナログ入力の変換タイミングを、タイマ M (TMM) のコンペア・レジスタに設定した値で規定するモードです。

16 ビット・インターバル・タイマ (TMM2, TMM3) のコンペア一致割り込み発生により、アナログ入力変換タイミングを生成します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、割り込み (INTTM2EQ0, INTTM3EQ0) 待機状態となり、INTTM2EQ0, INTTM3EQ0 発生により変換動作を開始します (ADM0 レジスタの ADCS ビット=1)。変換が終了すると再び割り込み待機状態 (ADCS = 0) になります。変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

## (c) 外部トリガ・モード

AIN0-AIN7 端子に設定されたアナログ入力の変換タイミングを、ADTRG 端子で指定するモードです。

ADM1 レジスタの EGA1, EGA0 ビットにより、ADTRG (PC7 と兼用) 端子入力の有効エッジを指定します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、外部トリガ (ADTRG) 待機状態となり ADTRG の有効エッジが検出されると変換動作を開始します (ADM0 レジスタの ADCS ビット=1)。変換を終了すると再び外部トリガ待機状態 (ADCS ビット=0) になります。

変換動作中に ADTRG 端子入力の有効エッジを検出すると、再度、最初から変換動作を行います。

変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

## (2) 動作モード

動作モードには、AIN0-AIN7 端子を設定するモードとして、セレクト・モード、スキャン・モードの 2 通りがあります。セレクト・モードには、サブモードとして、1 バッファ・モードと 4 バッファ・モードがあります。これらのモードは、ADM0 レジスタの BS, MS ビットで設定します。

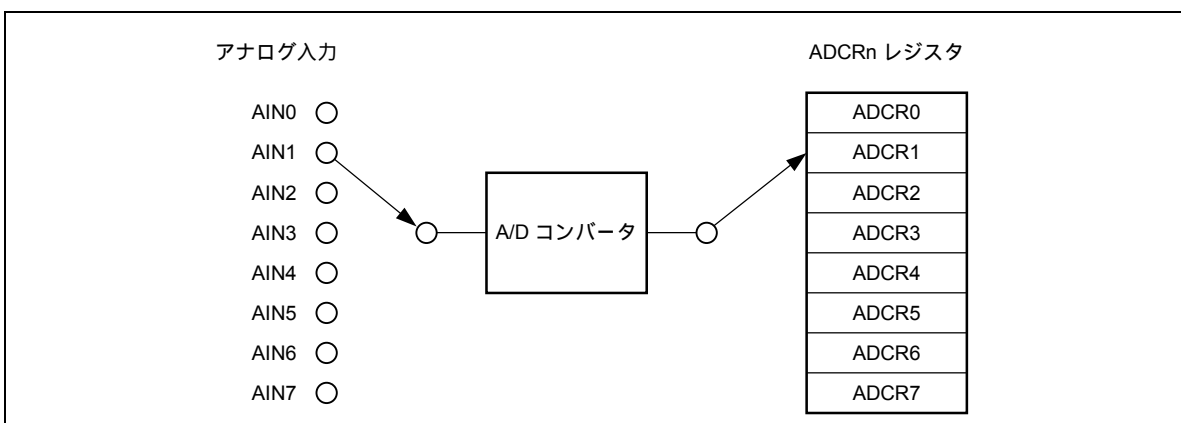
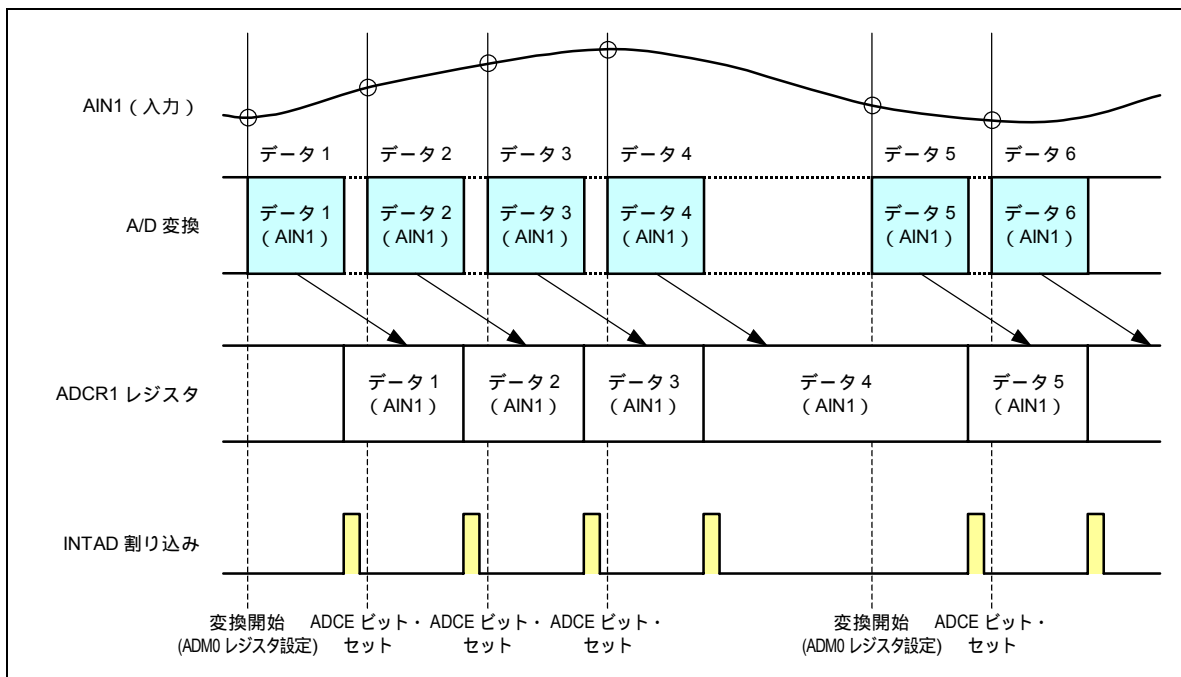
## (a) セレクト・モード

ADM2 レジスタで指定される 1 つのアナログ入力を A/D 変換します。変換結果は、アナログ入力 (AINn) に対応した ADCRn レジスタに格納します。このモードでは、A/D 変換結果の格納方法として、1 バッファ・モードと 4 バッファ・モードを備えています (n = 0-7)。

## (i) 1 バッファ・モード

ADM2 レジスタで指定される 1 つのアナログ入力を A/D 変換します。変換結果は、アナログ入力 (AINn) に対応した ADCRn レジスタに格納します (n = 0-7)。AINn と ADCRn レジスタは 1 対 1 に対応しており、1 回の A/D 変換終了ごとに A/D 変換終了割り込み (INTAD) が発生します。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。

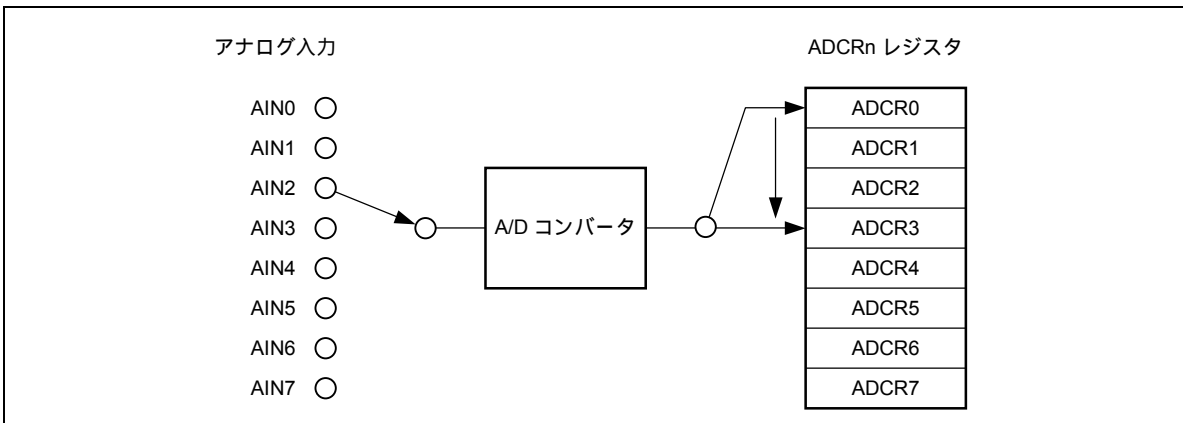
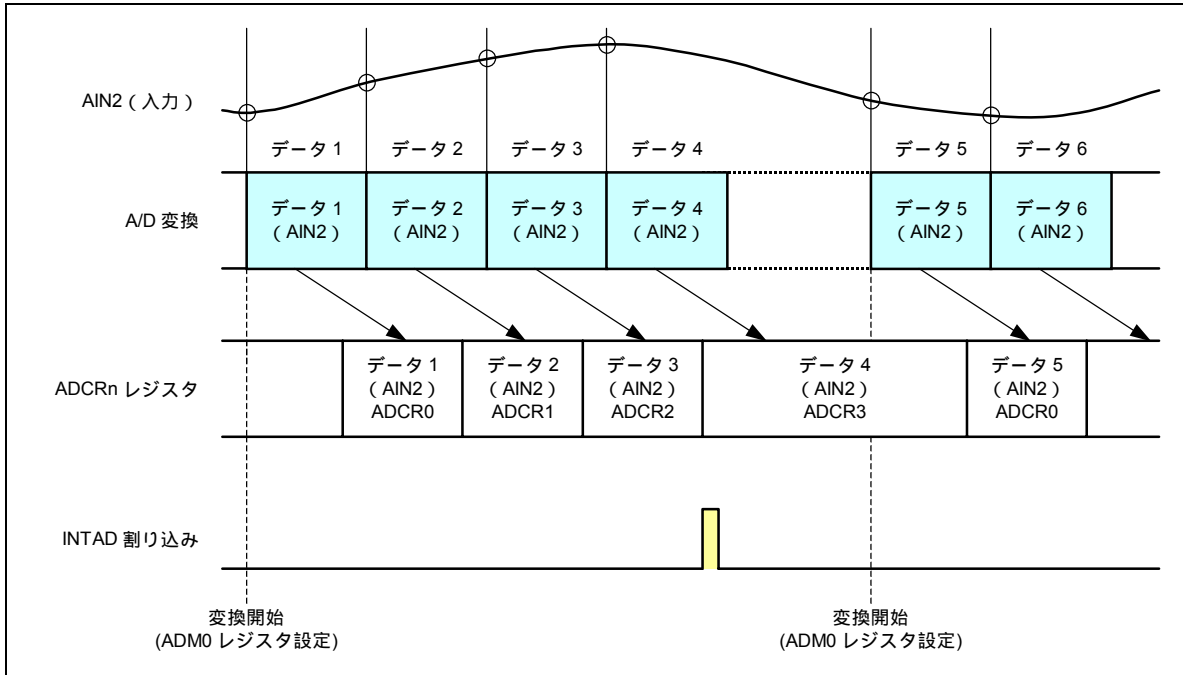
図 21-8 セレクト・モードの動作タイミング例：1 バッファ・モード (AIN1)



(ii) 4 バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果をADCRnレジスタに格納します。A/D変換終了割り込み(INTAD)は、4回のA/D変換が終了したときに発生します(アナログ入力下位チャンネル指定時:n=0-3, アナログ入力上位チャンネル指定時:n=4-7)。変換終了後は、ADM0レジスタのADCEビットを0にしない限り、次の変換動作を繰り返します。

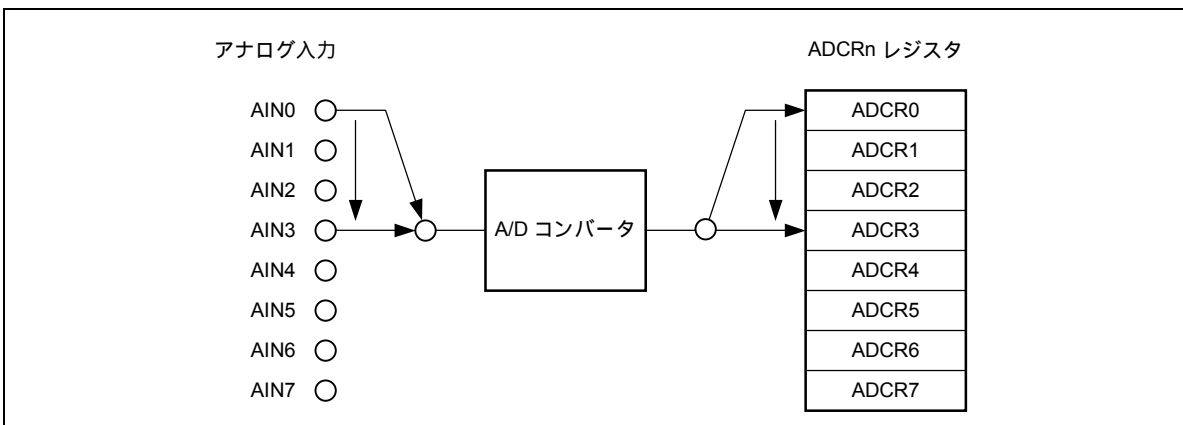
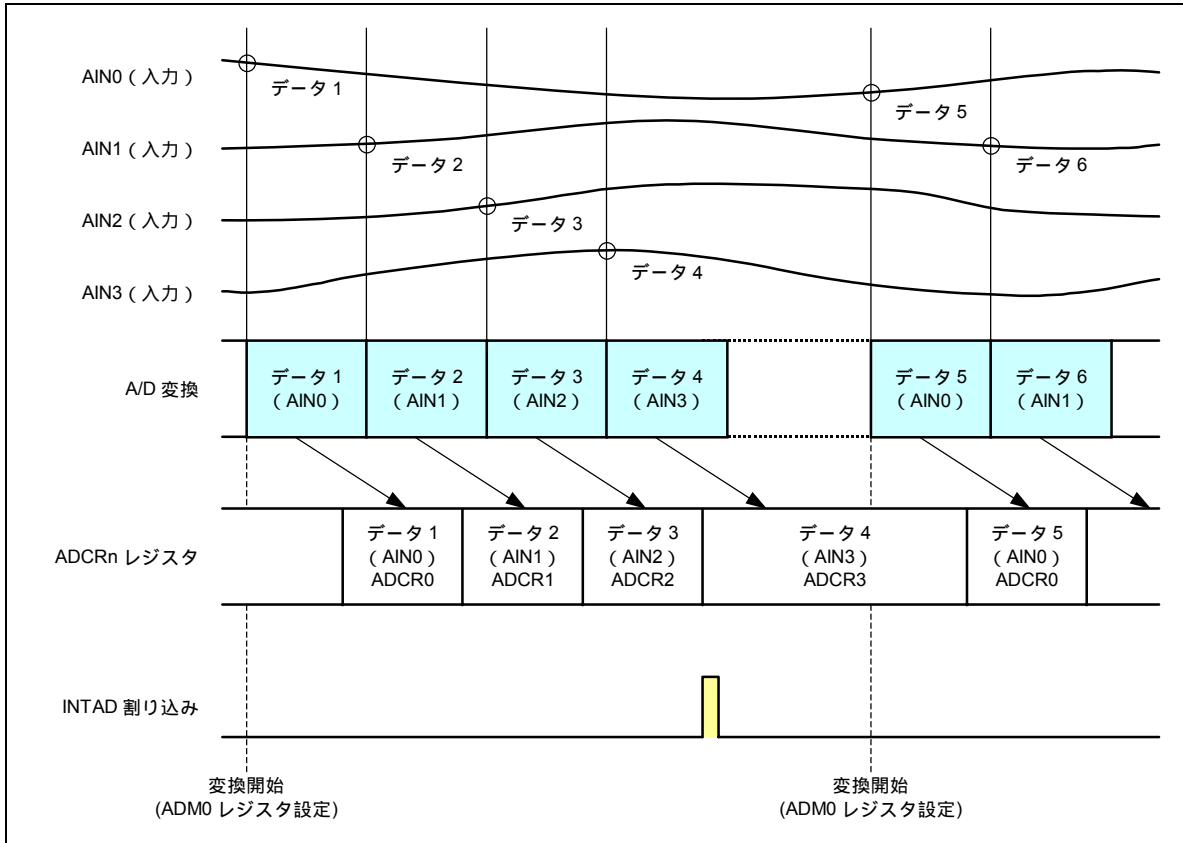
図 21-9 セレクト・モードの動作タイミング例：4 バッファ・モード (AIN2)



(b) スキャン・モード

AIN0 端子から，ADM2 レジスタで指定したアナログ入力までを順に選択し，A/D 変換します。A/D 変換結果は，アナログ入力に対応した ADCRn レジスタに格納します (n = 0-7)。指定したアナログ入力の変換が終了すると A/D 変換終了割り込み (INTAD) が発生します。変換終了後は，ADM0 レジスタの ADCE ビットを 0 にしない限り，次の変換動作を繰り返します。

図 21-10 スキャン・モードの動作タイミング例：4 チャンネル・スキャン (AIN0-AIN3)



## 21.5 A/D トリガ・モード時の動作

ADM0 レジスタの ADCE ビットをセット (1) すると、A/D 変換を開始します。

### 21.5.1 セレクト・モードの動作

ADM2 レジスタで指定されるアナログ入力を A/D 変換します。変換結果は、ADCRn レジスタに格納します。

セレクト・モードでは、A/D 変換結果の格納方法により、1 バッファ・モードと 4 バッファ・モードをサポートしています (n = 0-7)。

#### (1) 1 バッファ・モード (A/D トリガ・セレクト 1 バッファ)

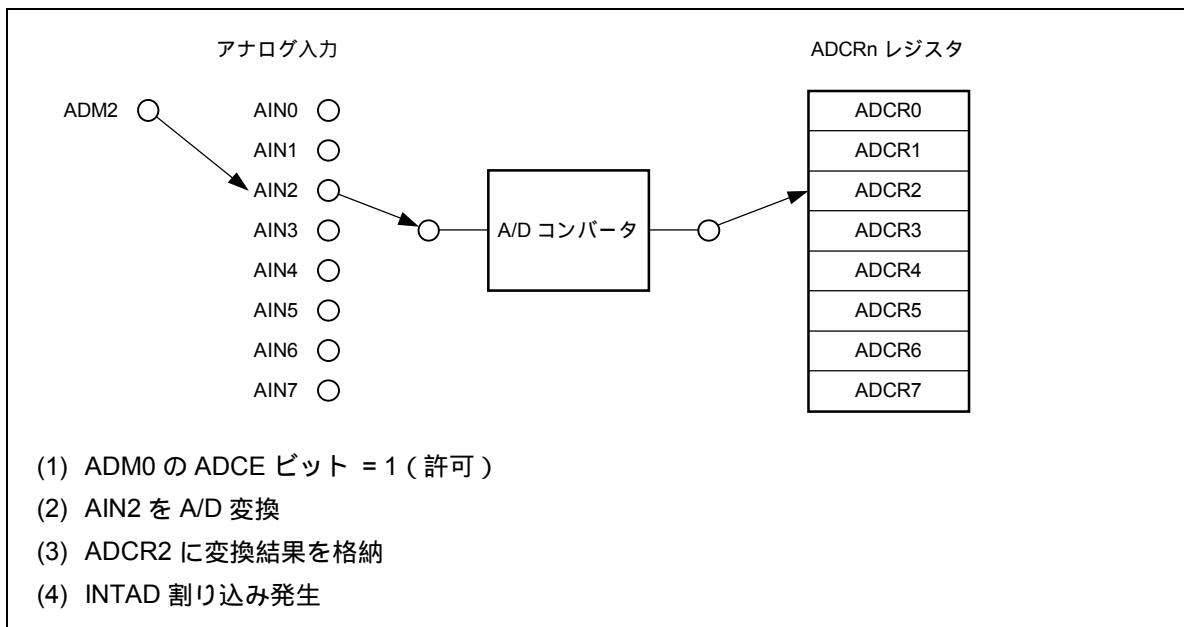
1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。アナログ入力と ADCRn レジスタは 1 対 1 に対応しています。

1 回の A/D 変換終了ごとに A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返し行います。

アナログ入力	A/D 変換結果レジスタ
AINn	ADCRn

1 回の A/D 変換ごとに結果を読み出すような応用に最適です。

図 21-11 1 バッファ・モード (A/D トリガ・セレクト 1 バッファ) の動作例



## (2) 4 バッファ・モード (A/D トリガ・セレクト 4 バッファ)

1 つのアナログ入力を 4 回 A/D 変換し、その結果を ADCRn レジスタに格納します。

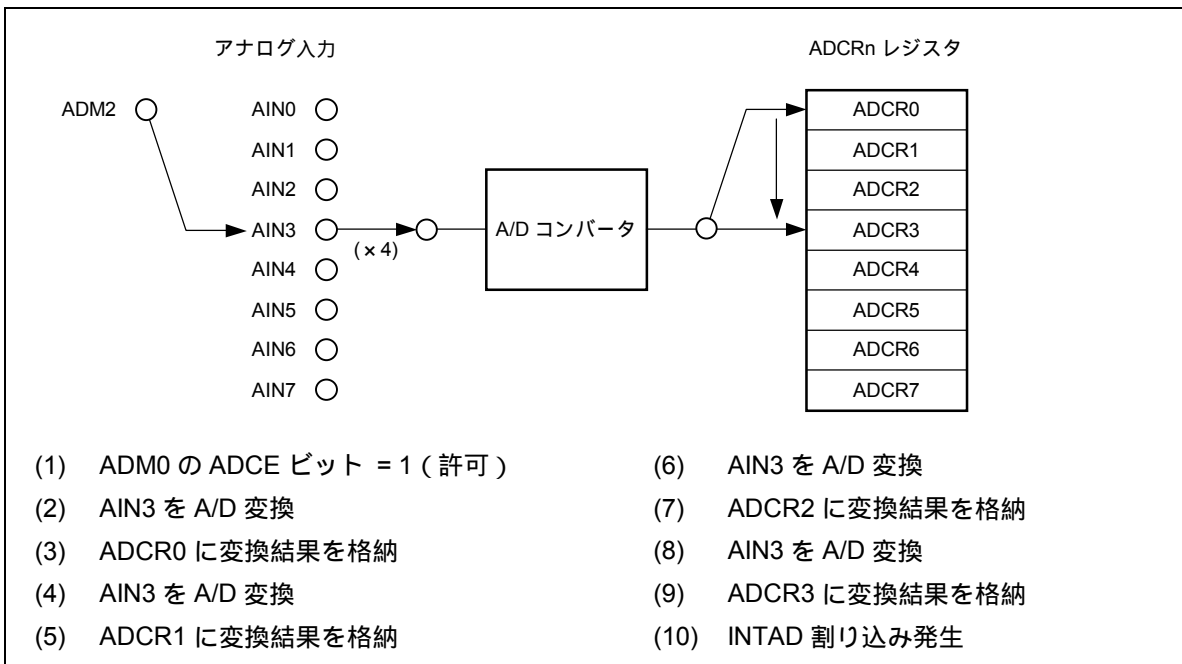
4 回の A/D 変換が終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返し行います。

アナログ入力	A/D 変換結果レジスタ
AIN0-AIN3	ADCR0 (1 回目)
	ADCR1 (2 回目)
	ADCR2 (3 回目)
	ADCR3 (4 回目)
AIN4-AIN7	ADCR4 (1 回目)
	ADCR5 (2 回目)
	ADCR6 (3 回目)
	ADCR7 (4 回目)

A/D 変換結果の平均を求めるような応用に最適です。

図 21-12 4 バッファ・モード (A/D トリガ・セレクト 4 バッファ) の動作例



### 21.5.2 スキャン・モードの動作

AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、A/D 変換します。A/D 変換結果をアナログ入力に対応した ADCRn レジスタに格納します (n = 0-7)。

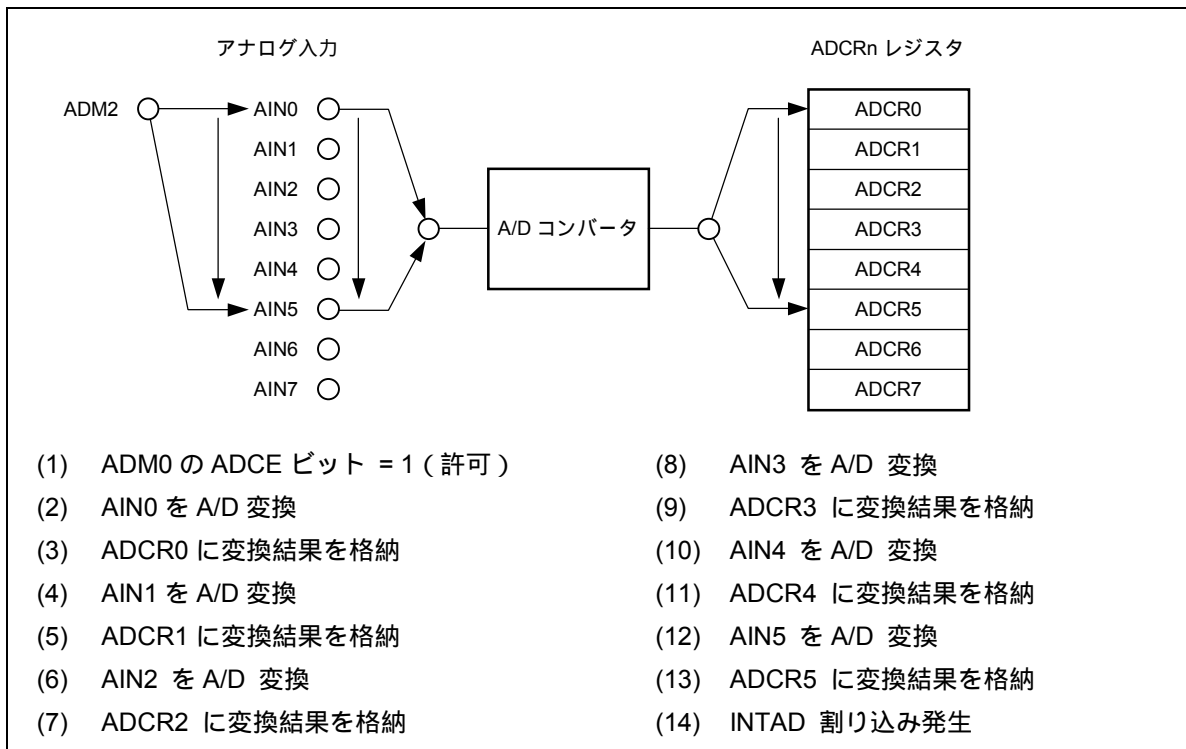
指定したアナログ入力の変換をすべて終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返し行います。

アナログ入力	A/D 変換結果レジスタ
AINn	ADCR0
AINn <sup>注</sup>	ADCRn

**注 ADM2 レジスタの AINS2-AINS0 ビットで設定。**

複数のアナログ入力を常時監視するような用途に最適です。

図 21-13 スキャン・モード (A/D トリガ・スキャン) の動作例





## 21.6 タイマ・トリガ・モード時の動作

AIN0-AIN7 端子に設定されたアナログ入力の変換タイミングを、16 ビット・インターバル・タイマ TMM2、TMM3 のコンペア・レジスタに設定した値で規定するモードです。

16 ビット・インターバル・タイマ TMM2, TMM3 のコンペア一致割り込み (INTTM2EQ0, INTTM3EQ0) 発生により、アナログ入力変換タイミングを生成します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、割り込み (INTTM2EQ0, INTTM3EQ0) 待機状態となり、INTTM2EQ0, INTTM3EQ0 発生により変換動作を開始します (ADM0 レジスタの ADCS ビット=1)。変換を終了すると再び割り込み待機状態 (ADCS ビット=0) になります。

変換動作中に INTTM2EQ0, INTTM3EQ0 が発生すると、再度最初から変換動作を行います。

また、変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

### 21.6.1 セレクト・モードの動作

ADM2 レジスタで指定される 1 つのアナログ入力 (AIN0-AIN7) を A/D 変換します。変換結果は、アナログ入力に対応した ADCRn レジスタに格納します。セレクト・モードでは A/D 変換結果の格納法により、1 バッファ・モードと 4 バッファ・モードの 2 通りがあります。

#### (1) 1 バッファ・モードの動作 (タイマ・トリガ・セレクト 1 バッファ)

1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。

一致割り込み信号 (INTTM2EQ0, INTTM3EQ0) をトリガとして、1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。1 回の A/D 変換ごとに A/D 変換終了割り込み (INTAD) を発生します。

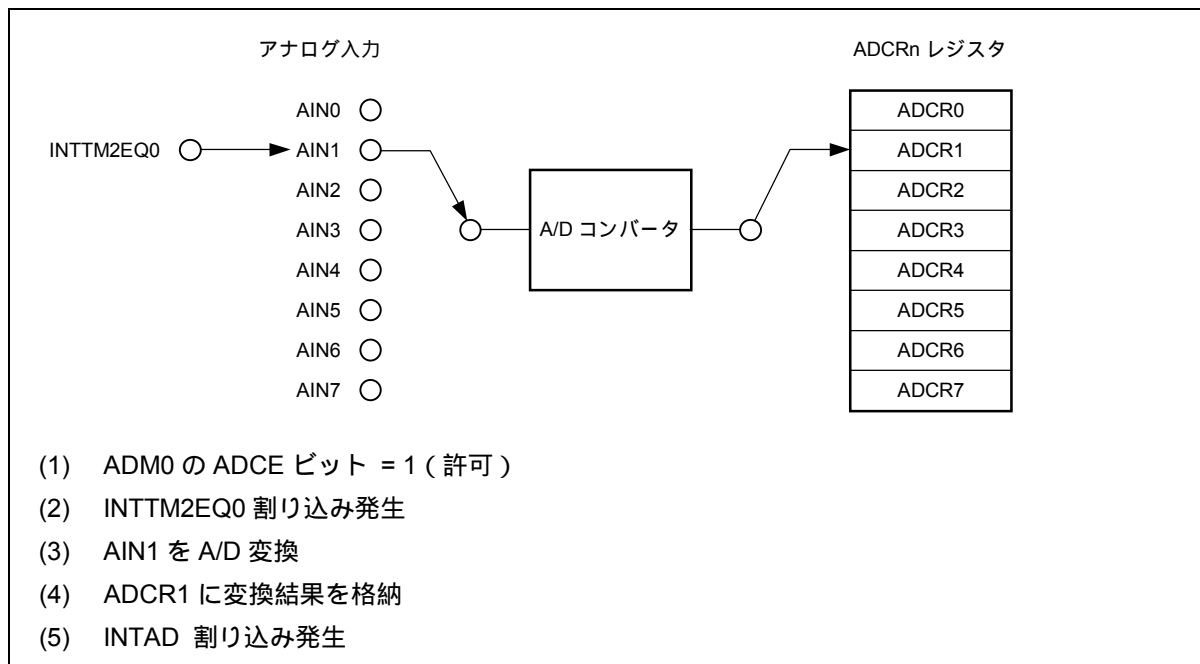
ADM0 レジスタの ADCE ビットを 0 に設定しないかぎり、タイマー一致割り込みが発生するごとに A/D 変換を繰り返します。

表 21-2 アナログ入力端子と ADCRn レジスタの対応  
(1バッファ・モード(タイマ・トリガ・セレクト1バッファ))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0	ADCR0
INTTMmEQ0 割り込み	AIN1	ADCR1
INTTMmEQ0 割り込み	AIN2	ADCR2
INTTMmEQ0 割り込み	AIN3	ADCR3
INTTMmEQ0 割り込み	AIN4	ADCR4
INTTMmEQ0 割り込み	AIN5	ADCR5
INTTMmEQ0 割り込み	AIN6	ADCR6
INTTMmEQ0 割り込み	AIN7	ADCR7

備考 m = 2, 3

図 21-14 1バッファ・モード(タイマ・トリガ・セレクト1バッファ)の動作例(AIN1)



## (2) 4 バッファ・モードの動作 (タイマ・トリガ・セレクト 4 バッファ)

1つのアナログ入力を4回 A/D 変換し、その結果を ADCRn レジスタに格納します。

一致割り込み信号 (INTTM2EQ0, INTTM3EQ0) をトリガとして、1つのアナログ入力を4回 A/D 変換し、その結果を4つの ADCRn レジスタに格納します。A/D 変換が4回終了すると A/D 変換終了割り込み (INTAD) を発生します。

変換終了後は ADM0 レジスタの ADCE ビットを0にしない限り次の変換を繰り返します。

A/D 変換結果の平均を求めるような応用に最適です。

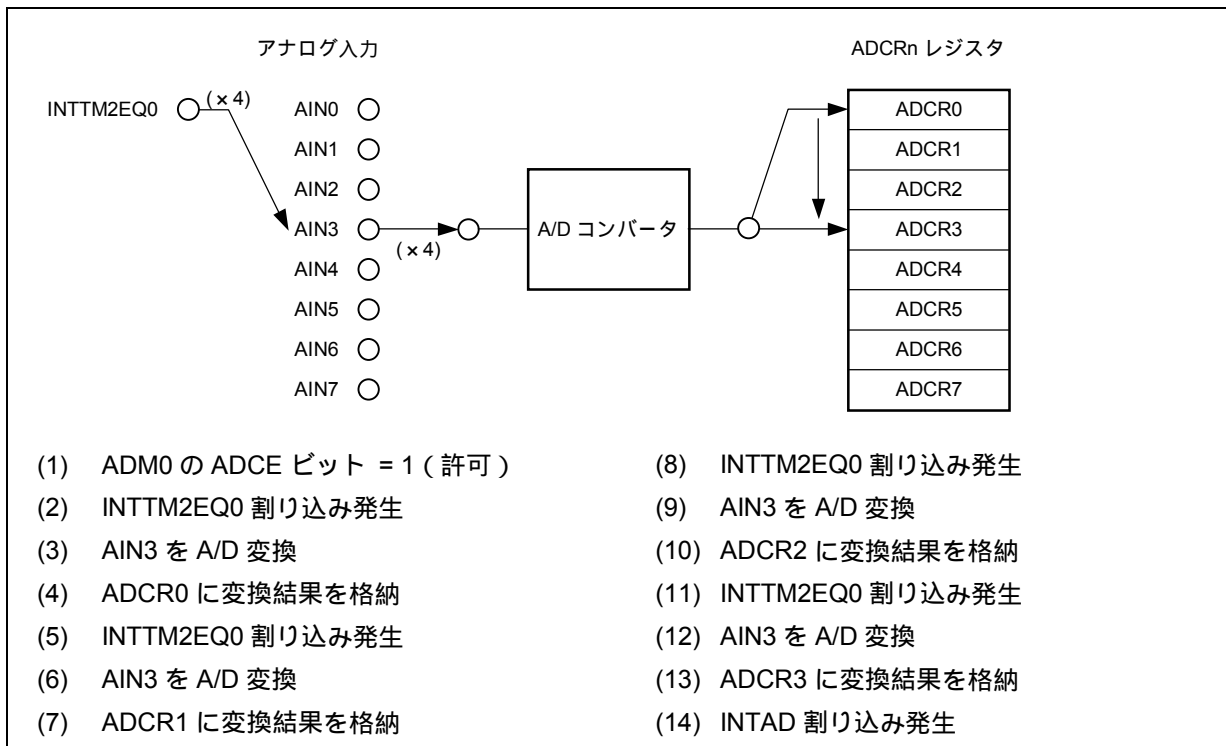
表 21-3 アナログ入力端子と ADCRn レジスタの対応

(4 バッファ・モード (タイマ・トリガ・セレクト 4 バッファ))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0-AIN3	ADCR0 (1 回目)
		ADCR1 (2 回目)
		ADCR2 (3 回目)
		ADCR3 (4 回目)
	AIN4-AIN7	ADCR4 (1 回目)
		ADCR5 (2 回目)
		ADCR6 (3 回目)
		ADCR7 (4 回目)

備考 m = 2, 3

図 21-15 4 バッファ・モード (タイマ・トリガ・セレクト 4 バッファ) の動作例 (AIN3)



### 21.6.2 スキャン・モードの動作

AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、タイマー一致割り込みをトリガとして指定された回数の A/D 変換を行います。

変換結果はアナログ入力に対応した ADCRn レジスタに格納します。指定したアナログ入力の変換がすべて終了すると、A/D 変換終了割り込み (INTAD) を発生します。

変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、トリガ待ちとなり、再びタイマー一致割り込みが発生すると AIN0 入力から A/D 変換を開始します。

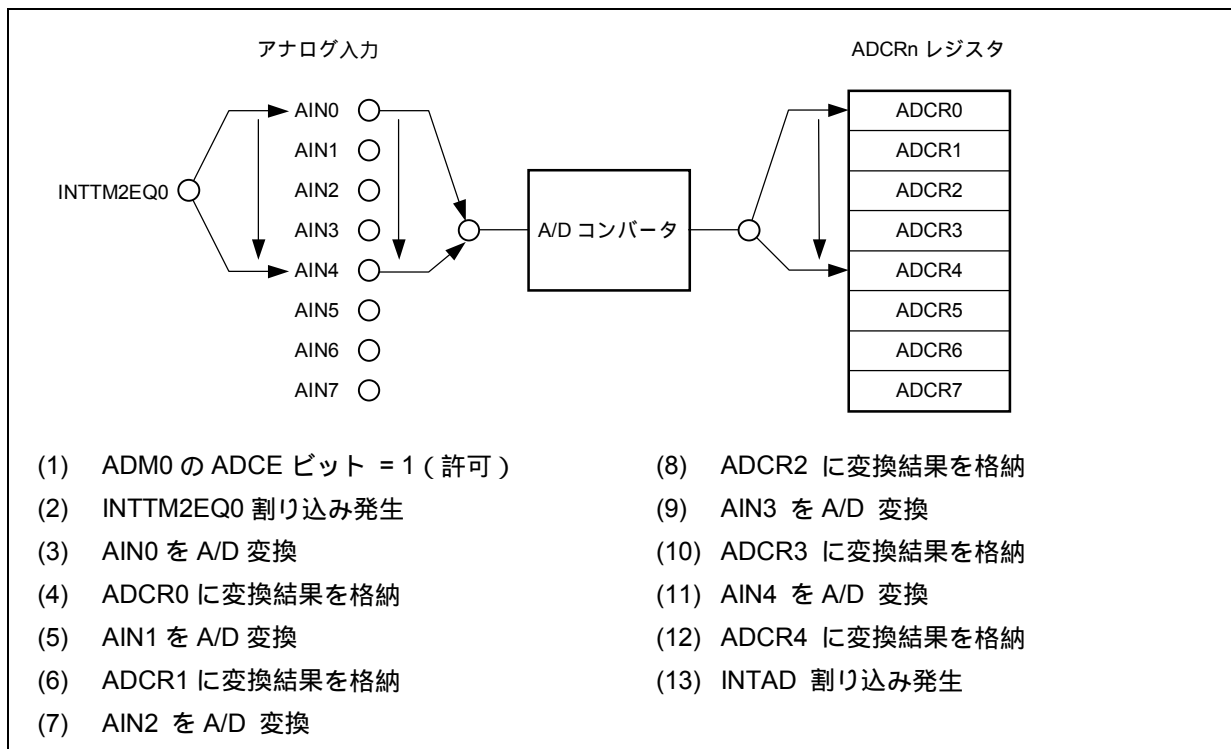
複数のアナログ入力を常時監視するような応用に最適です。

表 21-4 アナログ入力端子と ADCRn レジスタの対応  
(スキャン・モード(タイマ・トリガ・スキャン))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0	ADCR0
	AIN1	ADCR1
	AIN2	ADCR2
	AIN3	ADCR3
	AIN4	ADCR4
	AIN5	ADCR5
	AIN6	ADCR6
	AIN7	ADCR7

備考 m = 2, 3

図 21-16 スキャン・モード(タイマ・トリガ・スキャン)の動作例 (AIN0-AIN4)



## 21.7 外部トリガ・モード時の動作

AIN0-AIN7 端子に設定されたアナログ入力の変換タイミングを、ADTRG 端子で指定するモードです。

ADM1 レジスタの EGA1, EGA0 ビットにより ADTRG 端子入力の有効エッジ検出を指定します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、外部トリガ (ADTRG) 待機状態となり、ADTRG の有効エッジが検出されると変換動作を開始します (ADM0 レジスタの ADCS ビット=1)。変換を終了すると再び外部トリガ待機状態 (ADCS ビット=0) になります。

変換動作中に ADTRG 端子入力の有効エッジを検出すると、再度最初から変換動作を行います。

また、変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

### 21.7.1 セレクト・モードの動作

ADM2 レジスタで指定する 1 つのアナログ入力 (AIN0-AIN7) を A/D 変換します。変換結果は、アナログ入力に対応した ADCRn レジスタに格納します。セレクト・モードでは、変換結果の格納方法には 1 バッファ・モードと 4 バッファ・モードの 2 通りがあります。

#### (1) 1 バッファ・モード (外部トリガ・セレクト 1 バッファ)

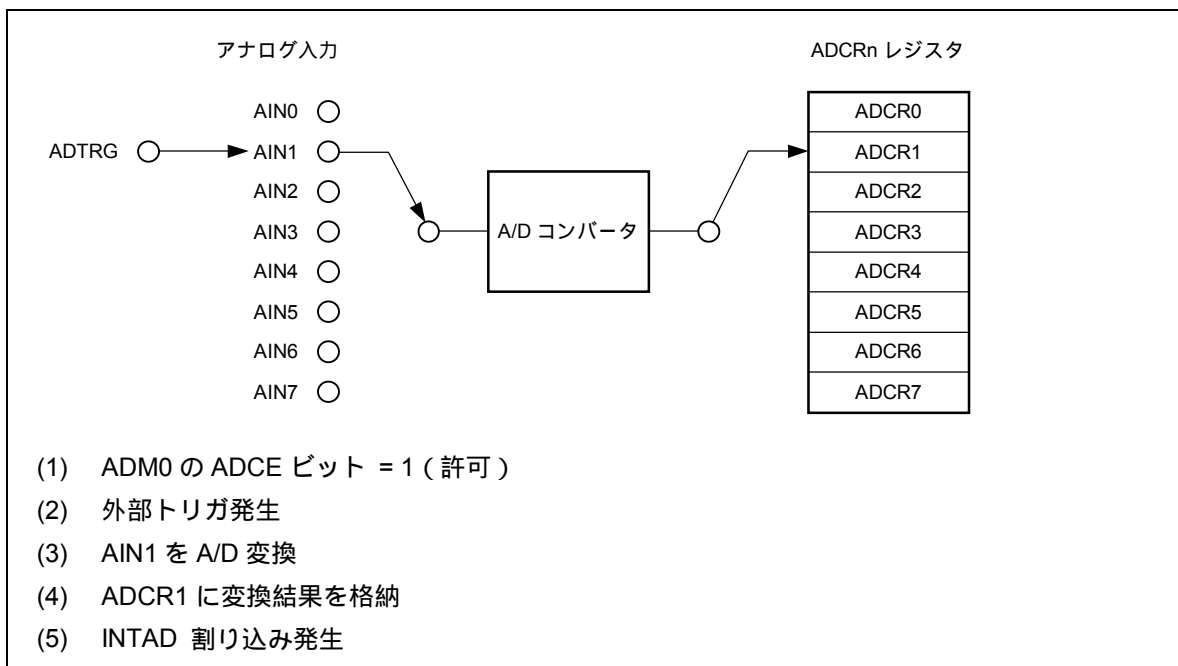
ADTRG 信号をトリガとして 1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。アナログ入力と A/D 変換結果レジスタは 1 対 1 に対応しています。1 回の A/D 変換ごとに A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 信号	AINn	ADCRn

ADM0 レジスタの ADCE ビットが 1 の間は、ADTRG 端子からトリガが入力されるごとに A/D 変換を繰り返します。

1 回の A/D 変換ごとに結果を読み出すような応用に最適です。

図 21-17 1バッファ・モード（外部トリガ・セレクト1バッファ）の動作例（AIN1）



## (2) 4 バッファ・モード (外部トリガ・セレクト4 バッファ)

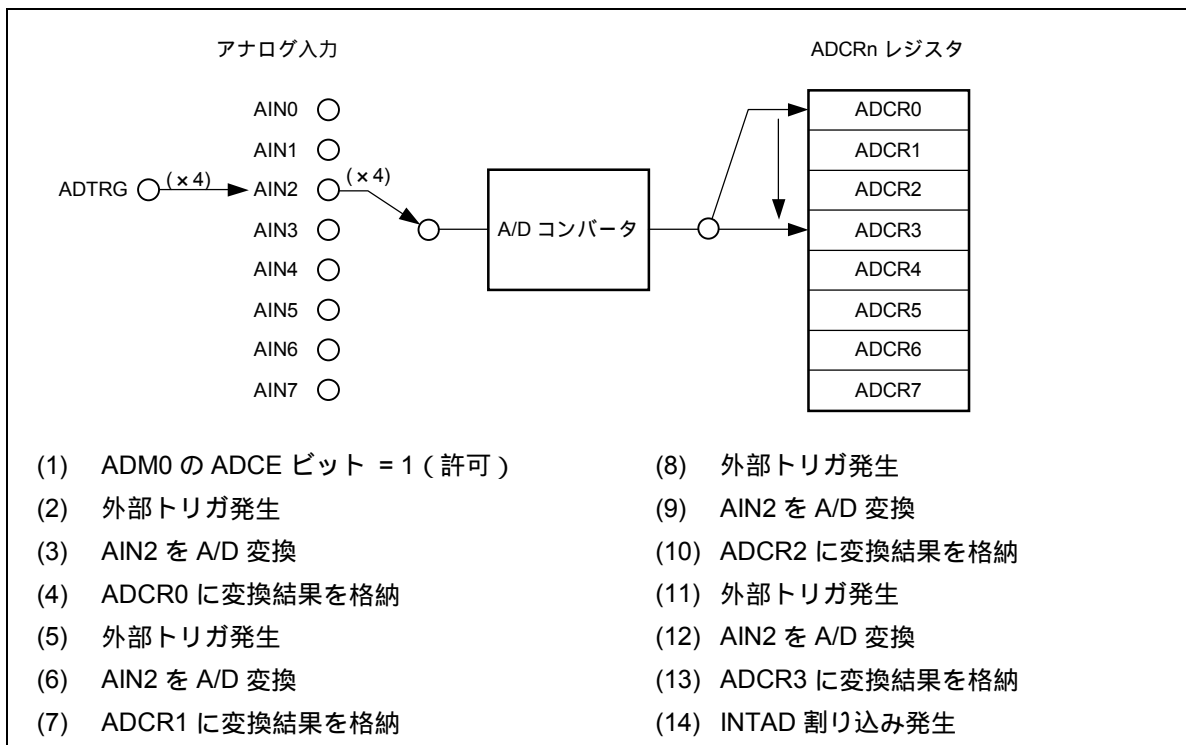
ADTRG 信号をトリガとして 1 つのアナログ入力を 4 回 A/D 変換し、その結果を ADCRn レジスタに格納します。4 回の A/D 変換が終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 信号	AIN0-AIN3	ADCR0 (1 回目)
		ADCR1 (2 回目)
		ADCR2 (3 回目)
		ADCR3 (4 回目)
	AIN4-AIN7	ADCR4 (1 回目)
		ADCR5 (2 回目)
		ADCR6 (3 回目)
		ADCR7 (4 回目)

ADM0 レジスタの ADCE ビットが 1 の間は、ADTRG 端子からトリガが入力されるごとに A/D 変換を繰り返します。

A/D 変換結果の平均を求めるような応用に最適です。

図 21-18 4 バッファ・モード (外部トリガ・セレクト4 バッファ) の動作例 (AIN2)



### 21.7.2 スキャン・モードの動作（外部トリガ・スキャン）

ADTRG 信号をトリガとして、AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、A/D 変換します。A/D 変換結果はアナログ入力に対応した ADCRn レジスタに格納します（n = 0-7）。

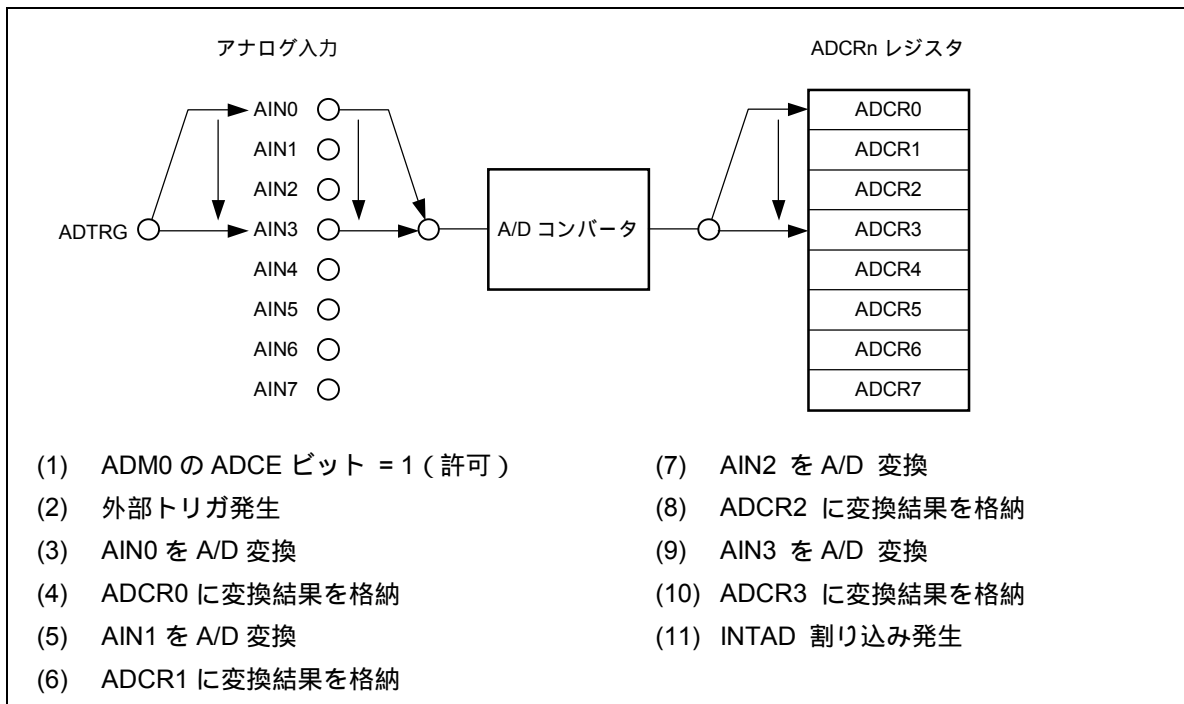
指定したアナログ入力の変換がすべて終了すると、A/D 変換終了割り込み（INTAD）を発生します。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、トリガ待ちとなり、再び ADTRG 端子にトリガを入力すると AIN0 入力から A/D 変換を開始します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 割り込み	AIN0	ADCR0
	AIN1	ADCR1
	AIN2	ADCR2
	AIN3	ADCR3
	AIN4	ADCR4
	AIN5	ADCR5
	AIN6	ADCR6
	AIN7	ADCR7

ADM0 レジスタの ADCE ビットが 1 の間に ADTRG 端子にトリガを入力すると、再度 A/D 変換を起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図 21-19 スキャン・モード（外部トリガ・スキャン）の動作例（AIN0-AIN3）





## 21.8 動作上の注意事項

(1) 変換動作の停止

変換動作中に ADM0 レジスタの ADCE ビットに 0 を書き込むと変換動作を停止し、ADCRn レジスタへ変換結果を格納しません (n = 0-7)。

(2) 電源投入直後の A/D 変換結果

電源投入直後の A/D 変換結果は、正しい電圧値を得られない場合があります。A/D コンバータの初期化の中で、ダミー変換を 1 回行ってください。

(3) 周辺マクロ・クロックの下限

A/D コンバータを利用する場合、周辺マクロ・クロック (PCLK) の下限は、6.4MHz です。

(4) 外部 / タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガの間隔 (入力時間の間隔) は、ADM1 レジスタの FR1, FR0 ビットで指定する変換動作時間より長くしてください。

0 < インターバル 変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合、変換動作を中断し、最後に入力された外部トリガに従って変換を開始します。

変換動作を中断した場合、ADCRn レジスタに変換結果を格納しません (n = 0-7)。ただし、トリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値を ADCRn レジスタへ格納します。

(5) スタンバイ・モード時の動作

(i) HALT モード

A/D 変換動作を継続します。FE レベル・マスカブル割り込み (NMI 入力) やマスクされていない EI レベル・マスカブル割り込み入力で解除した場合、ADM0, ADM1, ADM2 レジスタと ADCRn レジスタは値を保持します (n = 0-7)。

(ii) IDLE モード

A/D コンバータへのクロック供給は止まるため、変換動作は行われません。

変換動作中に IDLE モードに設定した場合、IDLE モードからの復帰後の A/D 変換結果は保証されません。IDLE モード解除後、改めて A/D 変換を行ってください。

## (6) タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みが A/D 変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPU に対するコンペア・レジスタの一致割り込みにもなります。CPU に対するコンペア・レジスタの一致割り込みを発生させないためには、INTTM2EQ0、INTTM3EQ0 割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。

また、TMM2、TMM3 のカウント・クロックに発振器出力クロック (OSCCLK) を利用している場合は、OSCCLK 周波数 > 周辺マクロ・クロック (PCLK) 周波数では、タイマ・トリガ・モードは利用できません。PLL の SSCG 機能を利用する場合は、その変調周波数も加味してください。

## (7) AIN0-AIN7 入力範囲について

AIN0-AIN7 入力電圧は規格の範囲内でご使用ください。特に AVREFP、AVREFM の範囲外、AD\_AGND 未満 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

## (8) 競合動作について

## (i) 変換終了時の A/D 変換結果レジスタ (ADCRn, ADCRHn) ライトと命令による ADCRn, ADCRHn リードとの競合

ADCRn, ADCRHn リードが優先されます。リードしたあと、新しい変換結果が ADCRn, ADCRHn にライトされます。

## (ii) 変換終了時の ADCRn, ADCRHn ライトと外部トリガ信号入力の競合

A/D 変換中の外部トリガ信号は受け付けません。したがって、ADCRn, ADCRHn ライト中の外部トリガ信号も受け付けません。

## (iii) 変換終了時の ADCRn, ADCRHn ライトと A/D コンバータ・モード・レジスタ 1 (ADM1) ライト、または A/D コンバータ・モード・レジスタ 2 (ADM2) ライトの競合

A/D 変換終了後の ADCRn, ADCRHn ライト直後に、ADM1 または ADM2 へライトした場合、ADCRn, ADCRHn レジスタへ変換結果がライトされますが、A/D 変換終了割り込み (INTAD) を発生しないタイミングがあります。

## (9) 絶対精度

絶対精度の規格値はマイコン単体の特性であり、セット上の環境 (ボード配線、ノイズの影響等) の影響は受けない場合の値です。セット上の環境による絶対精度の悪化を抑えるためには、AD\_AVDD や AD\_AGND をデジタル系電源と分離したり、アナログ入力端子 (AIN0-AIN7) がデジタル系信号の影響を受けないようにするなど、ボードのレイアウトには十分注意が必要です。

## (10) 一定の A/D コンバータ入力電圧を同一チャンネルで複数回 A/D 変換した場合の変換結果

一定の A/D コンバータ入力電圧を同一チャンネルで複数回 A/D 変換した場合、理想的な環境（各電源電圧、アナログ入力電圧、周囲温度等が安定状態）において理論的には同じ変換結果が得られますが、実際にはノイズ等による各電源電圧変動、アナログ入力電圧変動、周囲温度変化などの影響で理想的な環境にならず、その結果同じ変換結果にならないことがあります。

特にアナログ入力電圧がデジタル値の変化点近傍の場合、非常に微妙な環境の影響でこの現象が現われやすくなります。

## (11) ノイズ対策について

アナログ入力端子（AIN0-AIN7）および基準電圧入力端子（AVREFP, AVREFM）にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- ・ 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

## (12) カップリング・ノイズ

A/D 変換中に端子へデジタル・パルスや印加したりデジタル・バッファの出力端子として動作したりすると、カップリング・ノイズによって A/D 変換値が期待どおりに得られないことがあります。

## (13) 基板設計時の注意

共通インピーダンス、インダクタンスによる電位変動から来る制約として、基板設計時には、デジタル信号とアナログ信号をできるだけ分離してください。またデジタル信号とアナログ信号を交差させたり、近接させるようなことはできるだけ避けてください。

AD\_AGND 端子は基板上の安定した GND と 1 点で接続（1 点アース）してください。

## (14) AVREFP, AVREFM 端子

AVREFP, AVREFM 端子への供給部のインピーダンスが高い場合や電源の電流供給能力が低い場合、基準電圧が変動し変換精度が悪くなるおそれがあります。これを避けるために AVREFP, AVREFM 端子と AD\_AGND 端子間にコンデンサを接続することを推奨します。

## (15) バイパス・コンデンサの接続

AD\_AVDD, AVREFP, AVREFM 端子に接続するバイパス・コンデンサは、チップ・コンデンサ等の高周波特性の良いものを使用し、できるだけデバイスの近くに接続してください。

## (16) 再変換動作の安定時間

A/D 安定時間中に A/D 制御レジスタへの書き込みあるいは外部ノトリガを入力した場合、再変換動作の安定時間が長くなる場合があります。

## (17) 安定時間中の再変換起動トリガ入力

安定時間終了タイミングとレジスタへの書き込みが競合，または安定時間終了タイミングとトリガの入力が競合した場合，安定時間が再挿入されます。

## (18) A/D 変換結果のばらつき

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は，A/D 変換結果の平均値をとるなど，プログラムで対策してください。

## (19) A/D 変換のヒステリシス特性

逐次比較型 A/D コンバータは，内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し，そのあと，A/D 変換を行います。A/D 変換が終了したあとも，内部のサンプル&ホールド用コンデンサには，アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・ 同一チャンネルで A/D 変換を実行している場合，以前の A/D 変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合，1 つの A/D コンバータを用いて A/D 変換を行っているため，変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

このため，より正確な変換結果を得たい場合は，アナログ入力源の出力インピーダンスを低くするか，または同一チャンネルで 2 回連続 A/D 変換を行い，1 回目の変換結果を廃棄してください。

## (20) 16 ビット・レジスタの 8 ビット・アクセスについて

A/D コンバータのレジスタは，内部システム・バスのブリッジを経由してアクセスされます。このため，内部システム・バスとブリッジの仕様により，16 ビット・レジスタの上位 8 ビットと下位 8 ビットを，それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば，ある 16 ビット・レジスタが，XXXX 0010H に配置されている場合，一般的にはそのレジスタの下位 8 ビットは，XXXX 0010H，上位 8 ビットは XXXX 0011H でアクセスされますが，A/D コンバータのレジスタでは，下位 8 ビットは，XXXX 0012H，上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし，8/1 ビット・アクセスが許可されているレジスタに限ります。

## 第22章 D/A コンバータ

**注意** PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

### 22.1 機 能

D/A コンバータには、次のような機能があります。

分解能	: 8 ビット分解能 × 2ch ( DACD0, DACD1 )
回路方式	: R-2R ラダー方式
セトリング・タイム	: 200ns ( MAX. ) ( Sound-DAC 動作時 ) <sup>注1</sup> : 200 μs ( MAX. ) ( EVR-DAC 動作時 ) <sup>注2</sup>
動作周波数	: 5MHz ( MAX. )
微分直線性誤差 ( DLE )	: ± 1.0 LSB ( MAX. ) <sup>注3</sup>
積分直線性誤差 ( ILE )	: ± 2.0 LSB ( MAX. ) <sup>注3</sup>
アナログ出力電圧	: DA_AVDD × m / 256 ( m = 0-255 ; DACDn レジスタに設定した値 )
動作モード	: 通常モード ( Sound-DAC モード / EVR-DAC モード ) / パワーダウン・モード
トリガ・モード	: レジスタ・ライト・トリガ / タイマ・トリガ

注 1. D/A コンバータ動作周波数 = 5MHz ,  $C_L$  20pF ,  $R_L$  10k , DA\_AVDD = 3.0 ~ 3.6V 時

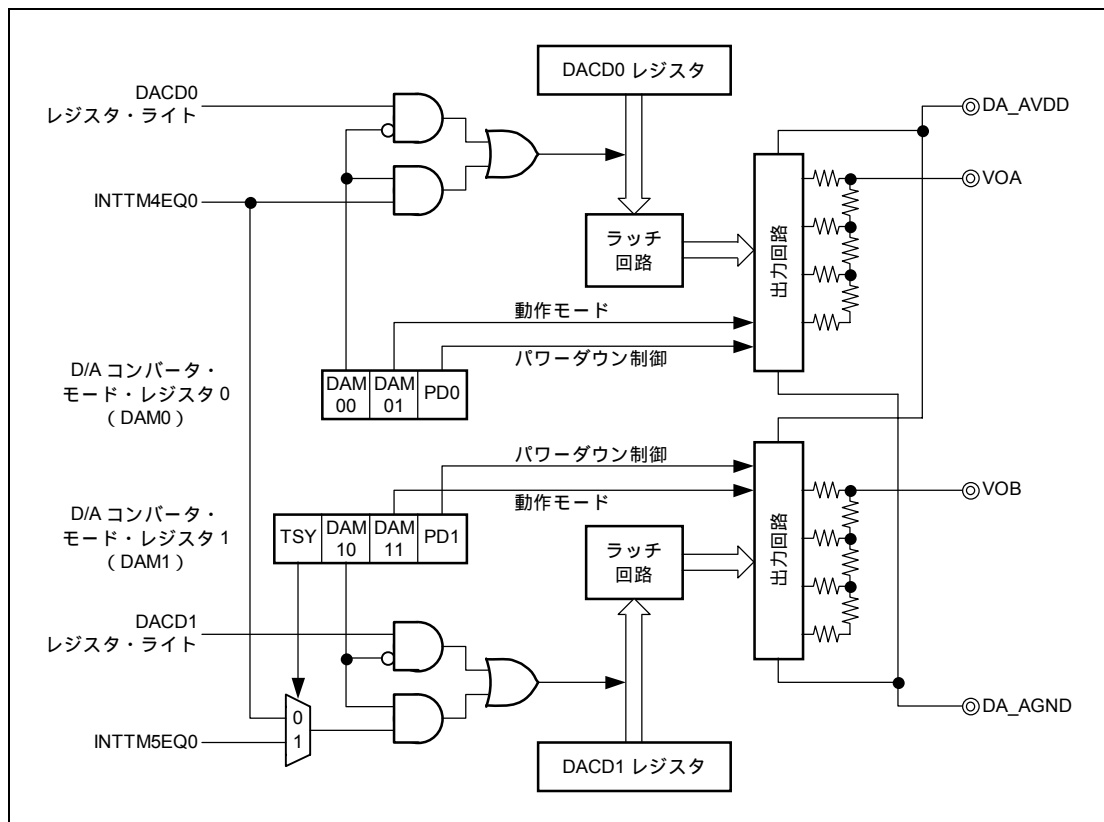
2. D/A コンバータ動作周波数 = 5MHz ,  $C_L$  50pF ,  $R_L$  10k , DA\_AVDD = 3.0 ~ 3.6V 時

3. D/A コンバータ動作周波数 = 5MHz , DA\_AVDD = 3.0 ~ 3.6V 時

## 22.2 構 成

次に D/A コンバータの構成について示します。

図 22-1 D/A コンバータのブロック図



D/A コンバータは、次のハードウェアで構成されています。

表 22-1 D/A コンバータの構成

項 目	構 成
制御レジスタ	D/A コンバータ・モード・レジスタ (DAM0, DAM1) D/A コンバータ・データ・レジスタ (DACD0, DACD1)

## 22.3 レジスタ

D/A コンバータを制御するレジスタを次に示します。

- ・ D/A コンバータ・モード・レジスタ (DAM0, DAM1)
- ・ D/A コンバータ・データ・レジスタ (DACD0, DACD1)

### (1) D/A コンバータ・モード・レジスタ 0 (DAM0)

D/A コンバータ・チャンネル 0 (VOA 出力) の動作を制御するレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
DAM0	PD0	0	0	0	0	0	DAM01	DAM00	0F01 9000H	00H
R/W	R/W	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意 味
7	PD0	D/A コンバータ・チャンネル 0 (VOA 出力) のパワーダウン・モードを設定します。 0 : パワーダウン・モード 1 : 通常動作モード
1	DAM01	D/A コンバータ・チャンネル 0 (VOA 出力) の通常モードの動作モードを指定します。 0 : EVR-DAC 動作 1 : Sound-DAC 動作
0	DAM00	D/A コンバータ・チャンネル 0 (VOA 出力) の D/A 変換値の変更タイミングを指定します。 0 : レジスタ・ライト・トリガ DACD0 レジスタへの電圧値の書き込みタイミングで変更します。 1 : タイマ・トリガ (INTTM4EQ0) 16 ビット・インターバル・タイマ 4 (TMM4) からの INTTM4EQ0 割り込み信号で変更し ます。

**注意 1.** タイマ・トリガを選択している場合は、INTTM4EQ0 の入力周波数が 5MHz 以下になるように設定してください。

**2.** レジスタ・ライト・トリガを選択している場合に、書き替えの周波数が 5MHz 以下になるようにしてください。

## (2) D/A コンバータ・モード・レジスタ 1 (DAM1)

D/A コンバータ・チャンネル 1 (VOB 出力) の動作を制御するレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

DAM1 レジスタに追加されている TSY ビットで、1 本のタイマ・トリガ (INTTM4EQ0) で、VOA と VOB を同時に変化させることができます。ステレオのサウンド出力などに利用できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
DAM1	PD1	0	0	0	0	TSY	DAM11	DAM10	0F01 9004H	00H
R/W	R/W	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意味
7	PD1	D/A コンバータ・チャンネル 1 (VOB 出力) のパワーダウン・モードを設定します。 0: パワーダウン・モード 1: 通常動作モード
2	TSY	タイマ・トリガ時のトリガ選択 0: INTTM5EQ0 を選択 (VOA と VOB は非同期変化) 1: INTTM4EQ0 を選択 (VOA と VOB を同期で変化させることが可能)
1	DAM11	D/A コンバータ・チャンネル 1 (VOB 出力) の通常モードの動作モードを指定します。 0: EVR-DAC 動作 1: Sound-DAC 動作
0	DAM10	D/A コンバータ・チャンネル 1 (VOB 出力) の D/A 変換値の変更タイミングを指定します。 0: レジスタ・ライト・トリガ DACD1 レジスタへの電圧値の書き込みタイミングで変更します。 1: タイマ・トリガ (INTTM5EQ0, または INTTM4EQ0) TSY ビットの設定に従って、16 ビット・インターバル・タイマ 5 (TMM5) からの INTTM5EQ0 割り込み信号、または 16 ビット・インターバル・タイマ 4 (TMM4) からの INTTM4EQ0 割り込み信号で変更します。

- 注意 1.** タイマ・トリガを選択している場合は、INTTM5EQ0, INTTM4EQ0 の入力周波数が 5MHz 以下になるように設定してください。
- 2.** TMM4, TMM5 のカウント・クロックに発振器出力クロック (OSCCLK) を利用している場合は、OSCCLK 周波数 > 周辺マクロ・クロック (PCLK) 周波数では、タイマ・トリガ・モードは利用できません。PLL の SSCG 機能を利用する場合は、その変調周波数も加味してください。
- 3.** レジスタ・ライト・トリガを選択している場合に、書き替えの周波数が 5MHz 以下になるようにしてください。



## (3) D/A コンバータ・データ・レジスタ 0, 1 (DACD0, DACD1)

VOA, VOB 端子に出力するアナログ電圧値を設定するレジスタです。

DACD0 で VOA 出力電圧, DACD1 で VOB 出力電圧を指定します。

8 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
DACD0	DACD07	DACD06	DACD05	DACD04	DACD03	DACD02	DACD01	DACD00	0F01 9008H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
DACD1	DACD17	DACD16	DACD15	DACD14	DACD13	DACD12	DACD11	DACD10	0F01 900CH	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

**注意 1.** タイマ・トリガを選択している場合は, タイマ・トリガ (INTTM4EQ0, INTTM5EQ0) が発生する前に, DACDn レジスタを設定してください。INTTM4EQ0, INTTM5EQ0 の発生でアナログ出力が変化します。

**2.** パワーダウン・モードおよび, 最初の D/A 変換が出力されるまでは, VOA, VOB の出力は不定です。

**備考** n = 0, 1

## 22.4 動作

### 22.4.1 レジスタ・ライト・トリガ時の動作例

VOA 端子から出力する場合の例を以下に示します。

DACD0 レジスタへのライト動作を起動トリガとして、VOA 端子に対する D/A 変換が行われます。次に、その設定方法を示します。

- (i) DAM0.DAM01 で任意の動作モードを選択し、DAM0.DAM00 ビット=0 (レジスタ・ライト・トリガ) に設定します。
- (ii) DACD0 レジスタに VOA 端子に出力するアナログ電圧値を設定します。  
以上の(i), (ii)を初期設定として行います。
- (iii) DAM0.PD0 ビット=1 (通常動作モード) に設定し、パワーダウン・モードを解除します。  
これにより D/A 変換が開始します。
- (iv) 以降、D/A 変換を行う場合は、DACD0 レジスタへのライト動作を行います。  
なお、次の D/A 変換を行うまでは、前回 D/A 変換した結果を保持します。

### 22.4.2 タイマ・トリガ時の動作例

VOB 端子から出力する場合の例を以下に示します。

TMM5 の割り込み信号 (INTTM5EQ0) を起動トリガとして、D/A 変換を行います。

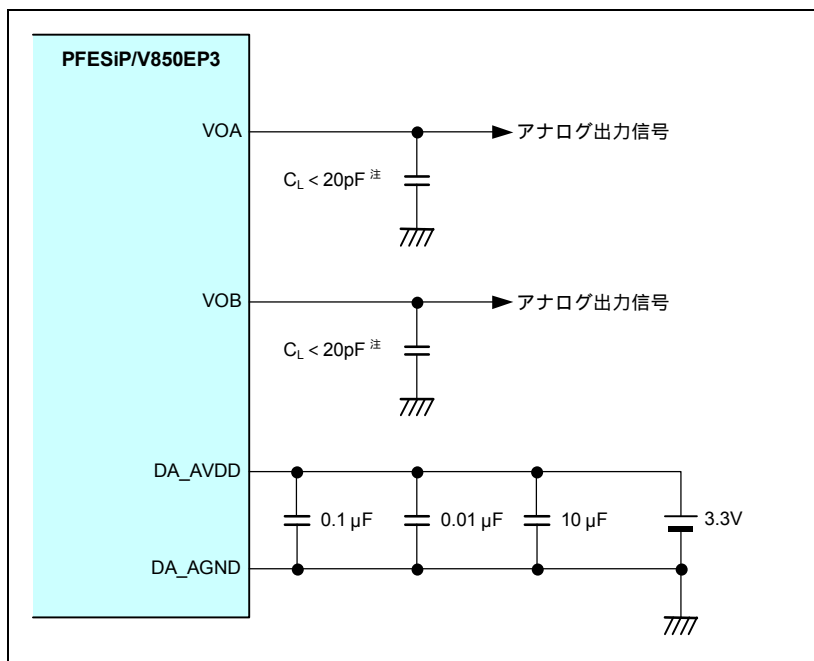
次に、その設定方法を示します。

- (i) DAM1.DAM11 で任意の動作モードを選択し、DAM1.DAM10 ビット=1 (タイマ・トリガ) に設定します。
- (ii) DACD1 レジスタに VOB 端子に出力するアナログ電圧値を設定します。
- (iii) DAM0.PD0 ビット=1 (通常動作モード) に設定し、パワーダウン・モードを解除します。  
以上の(i)~(iii)を初期設定として行います。
- (iv) TMM5 を動作させます。
- (v) INTTM5EQ0 が発生すると、D/A 変換を開始します。
- (vi) 以降、DACD1 に設定した値が、INTTM5EQ0 信号のタイミングで出力されます。

タイマ・トリガ時では、DAM1.TSY ビット=1 とすることで、1 本のタイマ・トリガ (INTTM4EQ0) で、VOA と VOB を同時に変化させることができます。ステレオのサウンド出力などに利用できます。

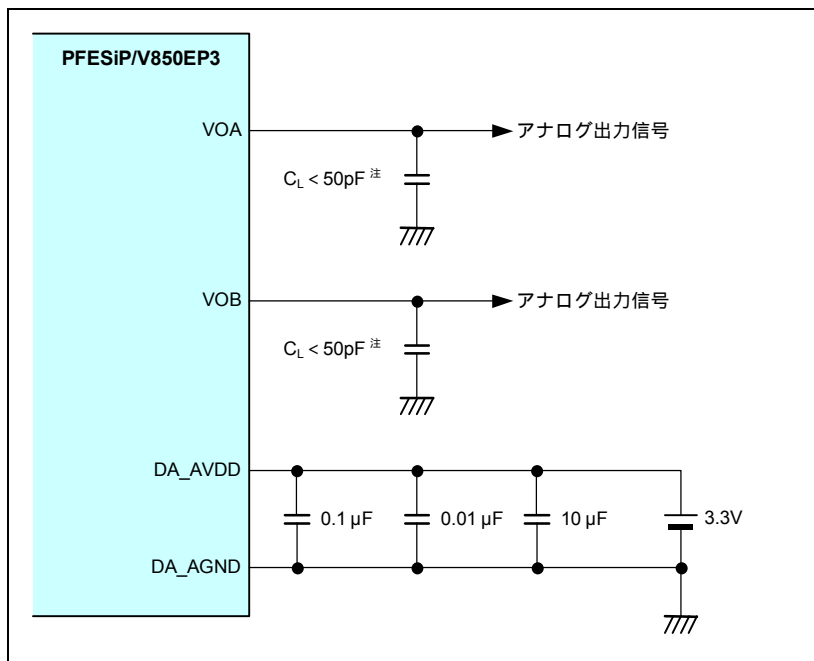
## 22.5 外付け推奨回路

図 22-2 外付け推奨回路 (Sound-DAC モード時)



注  $C_L$  は、VOA, VOB から見た負荷容量です。上記の値以下になるようにしてください。

図 22-3 外付け推奨回路 (EVR-DAC モード時)



注  $C_L$  は、VOA, VOB から見た負荷容量です。上記の値以下になるようにしてください。

備考 この推奨回路および回路定数は、例示的に示したものです。量産設計の際の参考にしてください。

## 22.6 使用上の注意点

D/A コンバータを使用する際の注意事項を次に示します。

(1) リセット解除後の状態

リセット解除後の状態では、DAMn.PDn ビット=0 の場合の VOA, VOB 出力は EGND ~ DA\_AVDD の範囲の不定な電圧となります。

(2) タイマ・トリガ・モード時の DACDn レジスタの設定値を変更

タイマ・トリガ・モード時は、トリガ信号が出ている間に DACDn レジスタの設定値を変更しないでください。

タイマ・トリガ (INTTM4EQ0, INTTM5EQ0) の割り込み処理で、次の DACDn レジスタの値を設定してください。

(3) タイマ・トリガ・モード時の TMM カウント・クロック

TMM4, TMM5 のカウント・クロックに発振器出力クロック (OSCCLK) を利用している場合は、OSCCLK 周波数 > 周辺マクロ・クロック (PCLK) 周波数では、タイマ・トリガ・モードは利用できません。PLL の SSCG 機能を利用する場合は、その変調周波数も加味してください。

(4) 動作モードの切り替え

動作モードを切り替える場合は、必ず DAMn.PDn ビット=0 にしたあとに行ってください。

(5) DA\_AVDD の範囲

DA\_AVDD = EVDD = 3.0 ~ 3.6 V の範囲で使用してください。それ以外の場合の動作は保証できません。

(6) VOA, VOB 出力

D/A コンバータの出力インピーダンスが高いため、VOA, VOB 端子から電流を取り出すことはできません。2 MΩ 以下の抵抗を接続する場合には、抵抗と VOA, VOB 端子の間に JFET 入力型オペアンプを挿入してください。

**備考 n = 0, 1**

## 第23章 ポート機能

### 23.1 特 徴

入出力ポート：131 本

ほかの周辺機能の入出力端子と兼用

ビット単位で入力 / 出力指定可能（ポート L を除く）

**注意 1.** ポートと兼用している内蔵周辺機能の信号は、PMCTn レジスタの切り替えを行うと、直前の端子状態などによりスパイクが発生する可能性があります（n = 0-9, A-E, L）。

内蔵機能の動作が停止している間に切り替える。

割り込み信号との兼用端子は、いったん割り込み要求フラグをクリアしてからマスクを解除する。

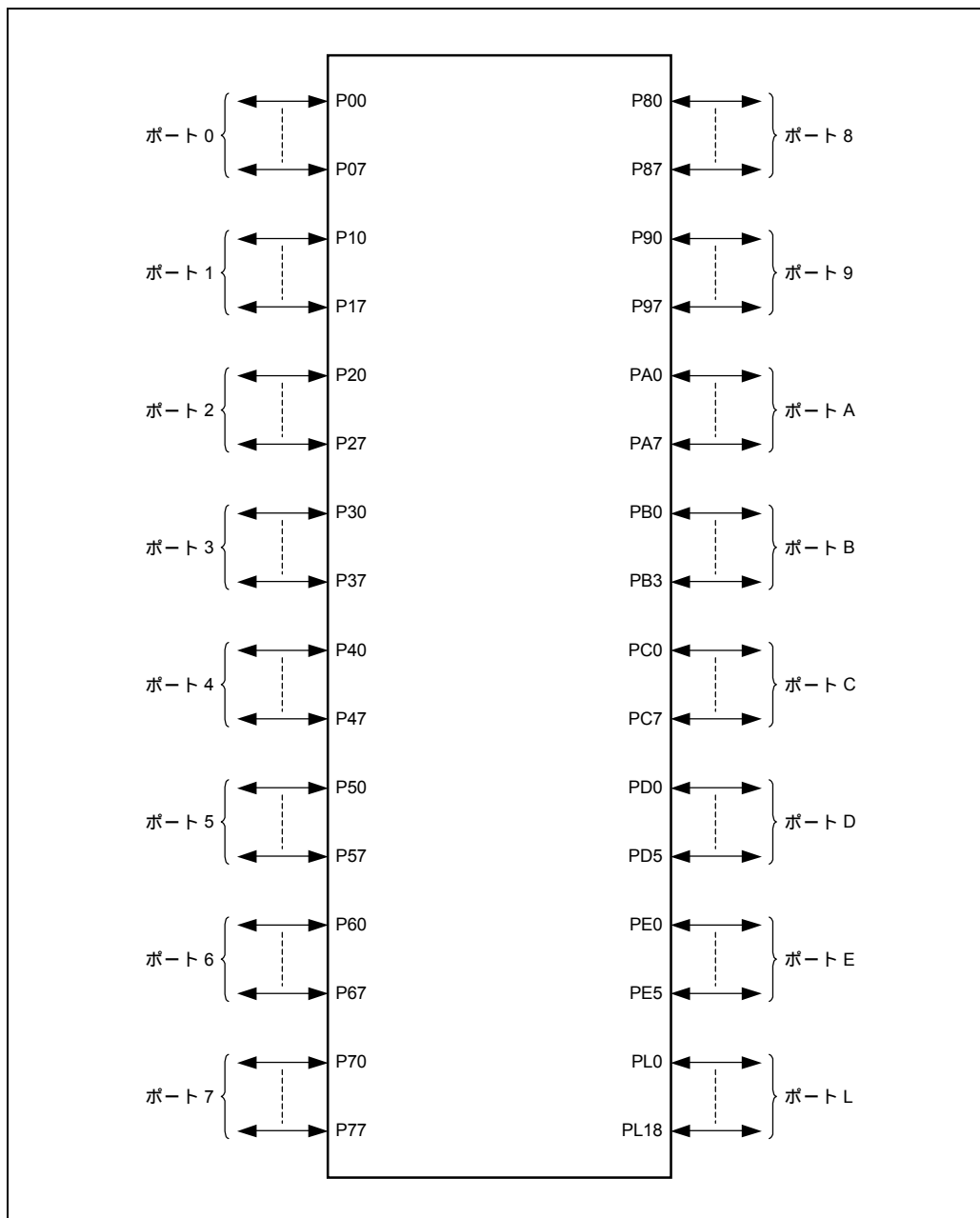
出力値を確定させてから、モードを切り替える

などの、一般的なスパイク対策処理をソフトウェアで行ってください。

2. 入力バッファは、貫通電流対策を行っていないため、中間電位を外部から与えないでください。

### 23.2 ポートの基本構成

PFESiP/V850EP3 は、ポート 0-9, A-E, L の合計 131 本の入力 / 出力ポートを内蔵しています。ポートの構成を次に示します。



## (1) 各ポートの機能

PFESiP/V850EP3 のポートには、次に示すような種類があります。ポート L 以外は 8/1 ビット単位の操作が可能で、多様な制御を行うことができます。また、ポートとしての機能のほかにコントロール・モードとして内蔵周辺機能の入出力端子としての機能を持っています。

ポート	入出力	兼用機能
ポート 0 (P00-P07)	8 ビット入出力	外部割り込み (INTPZ0-INTPZ7)
ポート 1 (P10-P17)	8 ビット入出力	外部割り込み (INTPZ8-INTPZ15)
ポート 2 (P20-P27)	8 ビット入出力	SiP 内部接続外部割り込み (INTPZ16-INTPZ23), ウォッチドッグ・タイマ出力 (WDTOUTZ)
ポート 3 (P30-P37)	8 ビット入出力	UART 入出力 (チャンネル 0, 1), クロック同期式シリアル・インタフェース (チャンネル 2, 3)
ポート 4 (P40-P47)	8 ビット入出力	UART 入出力 (チャンネル 2, 3), CAN 入出力
ポート 5 (P50-P57)	8 ビット入出力	TAA 入出力 (チャンネル 0-3), 外部割り込み (INTPZ24-INTPZ31)
ポート 6 (P60-P67)	8 ビット入出力	アドレス・バス (A20-A26, A1)
ポート 7 (P70-P77)	8 ビット入出力	ウェイト入力 (WAITZ), チップ・セレクト出力, 上位用バイト・レーン信号 (BENZ2, BENZ3), IDLE モード状態出力 (IDLEOUTZ)
ポート 8 (P80-P87)	8 ビット入出力	バス・ホールド機能入出力 (HLDRQZ, HLDKZ), バス・リクエスト (BUSREQZ), ウォッチドッグ・タイマ出力 (WDTOUTZ), シリアル・フラッシュ ROM インタフェース
ポート 9 (P90-P97)	8 ビット入出力	上位データ・バス (D16-D23), TMT 入出力 (チャンネル 0), 外部割り込み (INTPZ42-INTPZ45)
ポート A (PA0-PA7)	8 ビット入出力	上位データ・バス (D24-D31), TMT 入出力 (チャンネル 1), 外部割り込み (INTPZ46-INTPZ49)
ポート B (PB0-PB3)	4 ビット入出力	TAA 入出力 (チャンネル 4, 5), 外部割り込み (INTPZ32-INTPZ35)
ポート C (PC0-PC7)	8 ビット入出力	クロック同期式シリアル・インタフェース (チャンネル 0, 1), 外部 A/D トリガ (ADTRG), 外部割り込み (INTPZ40, INTPZ41)
ポート D (PD0-PD5)	6 ビット入出力	システム・バス DMA 入出力 (チャンネル 0, 1), クロック同期式シリアル・インタフェース (チャンネル 4, 5), 外部割 り込み (INTPZ36, INTPZ37)
ポート E (PE0-PE5)	6 ビット入出力	システム・バス DMA 入出力 (チャンネル 2, 3), クロック同期式シリアル・インタフェース (チャンネル 6, 7), 外部割 り込み (INTPZ38, INTPZ39)
ポート L (PL0-PL18)	19 ビット入出力	Ether MAC インタフェース

注意 1. コントロール・モード時に、出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次に示す手順で設定を行ってください。

コントロール・モードで出力する信号のインアクティブ・レベルをポート n の該当するビットに設定します (n = 0-9, A-E, L)。

ポート n モード・コントロール・レジスタ (PMCTn) により、コントロール・モードに切り替えます。

上記のを行わない場合は、ポート・モードからコントロール・モードに切り替える際にポート n の内容が一瞬出力されることがあります。

2. ビット操作命令 (SET1, CLR1, NOT1) でポート操作を行う場合、ポートに対してバイト・データ・リードを行い、操作対象のビットのみデータの加工を行い、変換後のバイト・データをポートに書き戻します。たとえば、入力/出力が混在しているポートでは、操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため、入力端子の出力ラッチは不定になります (ただし、入力モードの場合、出力バッファがオフしているため、端子状態は変化しません)。したがって、ポートを入力から出力に切り替える場合は、該当するビットに出力期待値を設定してから、出力ポートに切り替えてください。また、コントロール・モードと出力ポートが混在する場合も同様です。



## (2) 製品別のポート端子の最大仕様と最小仕様

SiP 化の際に不要な端子は最小仕様にまで削減できます。削減した端子は、兼用機能とともに利用できなくなります。これらの端子は、プルアップ抵抗、またはプルダウン抵抗を内蔵した端子で、SiP 内部でオープン処理されます。

表 23-1 のポート端子の最大仕様と最小仕様

ポート	兼用機能	最大仕様	最小仕様
P00-P07	外部割り込み (INTPZ0-INTPZ7)	P00-P07	削除不可
P10-P17	外部割り込み (INTPZ8-INTPZ15)	P10-P17	削除不可
P20-P27	SiP 内部接続外部割り込み (INTPZ16-INTPZ23), ウォッチドッグ・タイマ出力 (WDTOUTZ)	P20-P27	削除不可
P30-P37	UART 入出力 (チャンネル 0, 1) クロック同期式シリアル・インタフェース (チャンネル 2, 3)	P30-P37	削除不可
P40-P47	UART 入出力 (チャンネル 2, 3), CAN 入出力	P40-P47	削除可
P50-P57	TAA 入出力 (チャンネル 0-3), 外部割り込み (INTPZ24-INTPZ31)	P50-P57	削除不可
P60-P67	アドレス・バス (A20-A26, A1)	P60-P67	削除不可
P70-P77	ウェイト入力 (WAITZ), チップ・セレクト出力, 上位用バイト・レーン信号 (BENZ2, BENZ3), IDLE モード状態出力 (IDLEOUTZ)	P70-P77	P70-P73
P80-P87	バス・ホールド機能入出力 (HLDRQZ, HLDKZ), バス・リクエスト (BUSREQZ), ウォッチドッグ・タイマ出力 (WDTOUTZ), シリアル・フラッシュ ROM インタフェース	P80-P87	P80-P83
P90-P97	上位データ・バス (D16-D23), TMT 入出力 (チャンネル 0), 外部割り込み (INTPZ42-INTPZ45)	P90-P97	削除可
PA0-PA7	上位データ・バス (D24-D31), TMT 入出力 (チャンネル 1), 外部割り込み (INTPZ46-INTPZ49)	PA0-PA7	削除可
PB0-PB3	TAA 入出力 (チャンネル 4, 5), 外部割り込み (INTPZ32-INTPZ35)	PB0-PB3	削除可
PC0-PC7	クロック同期式シリアル・インタフェース (チャンネル 0, 1), 外部 A/D トリガ (ADTRG), 外部割り込み (INTPZ40, INTPZ41)	PC0-PC7	PC0-PC5, PC7
PD0-PD5	システム・バス DMA 入出力 (チャンネル 0, 1), クロック同期式シリアル・インタフェース (チャンネル 4, 5), 外部割り込み (INTPZ36, INTPZ37)	PD0-PD5	削除不可
PE0-PE5	システム・バス DMA 入出力 (チャンネル 2, 3), クロック同期式シリアル・インタフェース (チャンネル 6, 7) 外部割り込み (INTPZ38, INTPZ39)	PE0-PE5	削除可
PL0-PL18	Ether MAC インタフェース	PL0-PL18	削除可

(3) 各ポート端子のリセット時の機能とポート・モード/コントロール・モードを設定するレジスタ

( 1/4 )

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート 0	P00-P07	INTPZ0-INTPZ7			P00-P07 (入力モード)	PM0, PMCT0
ポート 1	P10-P17	INTPZ8-INTPZ15			P10-P17 (入力モード)	PM1, PMCT1
ポート 2	P20-P26	INTPZ16-INTPZ22			P20-P26 (入力モード)	PM2, PMCT2
	P27	INTPZ23	WDTOUTZ		P27 (入力モード)	PM2, PMCT2, PFC2
ポート 3	P30	TXD0	SCK2		P30 (入力モード)	PM3, PMCT3, PFC3
	P31	RXD0	SO2		P31 (入力モード)	
	P32	RTS0	SI2		P32 (入力モード)	
	P33	CTS0			P33 (入力モード)	
	P34	TXD1	SCK3		P34 (入力モード)	
	P35	RXD1	SO3		P35 (入力モード)	
	P36	RTS1	SI3		P36 (入力モード)	
	P37	CTS1			P37 (入力モード)	
ポート 4	P40	TXD2			P30 (入力モード)	PM4, PMCT4
	P41	RXD2			P31 (入力モード)	
	P42	RTS2			P32 (入力モード)	
	P43	CTS2			P33 (入力モード)	
	P44	TXD3	CTXD0		P34 (入力モード)	PM4, PMCT4, PFC4
	P45	RXD3	CRXD0		P35 (入力モード)	
	P46	RTS3	CTXD1		P36 (入力モード)	
	P47	CTS3	CRXD1		P37 (入力モード)	
ポート 5	P50	TIA00/INTP24	TOA00		P50 (入力モード)	PM5, PMCT5, PFC5
	P51	TIA01/INTP25	TOA01		P51 (入力モード)	
	P52	TIA10/INTP26	TOA10		P52 (入力モード)	
	P53	TIA11/INTP27	TOA11		P53 (入力モード)	
	P54	TIA20/INTP28	TOA20		P54 (入力モード)	
	P55	TIA21/INTP29	TOA21		P55 (入力モード)	
	P56	TIA30/INTP30	TOA30		P56 (入力モード)	
	P57	TIA31/INTP31	TOA31		P57 (入力モード)	
ポート 6	P60-P66	A20-A26			下記注を参照	PM6, PMCT6
	P67	A1			下記注を参照	

注 BUS32EN0 端子による外部バス・サイズの設定により初期値が決定されます。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(2/4)

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ	
ポート 7	P70	WAITZ			P70 (入力モード)	PM7, PMCT7	
	P71-P73	STCSZ1-STCSZ3			P71-P73 (入力モード)		
	P74	DYCSZ			P74 (入力モード)		
	P75	IDLEOUTZ			P75 (入力モード)		
	P76, P77	BENZ2, BENZ3			下記注 1 を参照		
ポート 8	P80	HLDQRZ			P80 (入力モード)	PM8, PMCT8	
	P81	HLDKZ			P81 (入力モード)		
	P82	BUSREQZ			P82 (入力モード)		
	P83	WDTOUTZ			P83 (入力モード)		
	P84	SMSCK			下記注 2 を参照		
	P85	SMSO					
	P86	SMSI					
	P87	SMCSZ					
ポート 9	P90	D16	TENC00		下記注 1 を参照	PM9, PMCT9, PFC9	
	P91	D17	TENC01				
	P92	D18	TECR0 / INTPZ42				
	P93	D19	TRGT0 / INTPZ43				
	P94	D20	EVTT0 / INTPZ44				
	P95	D21	TIT00			TOT00	PM9, PMCT9, PFC9, PFC9EX9
	P96	D22	TIT01			TOT01	
	P97	D23	INTPZ45				PM9, PMCT9, PFC9

注 1. BUS32EN0 端子による外部バス・サイズの設定により初期値が決定されます。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

2. BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合, P84-P87 は, コントロール・モードが選択され, リセット解除直後から, シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	-	-

( 3/4 )

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート A	PA0	D24	TENC10		下記注を参照	PMA, PMCTA, PFCA
	PA1	D25	TENC11			
	PA2	D26	TECR1 / INTPZ46			
	PA3	D27	TRGT1 / INTPZ47			
	PA4	D28	EVTT1 / INTPZ48			
	PA5	D29	TIT10	TOT10		
	PA6	D30	TIT11	TOT11		
	PA7	D31	INTPZ49			PMA, PMCTA, PFCA
ポート B	PB0	TIA40 / INTPZ32	TOA40		PB0 (入力モード)	PMB, PMCTB, PFCB
	PB1	TIA41 / INTPZ33	TOA41		PB1 (入力モード)	
	PB2	TIA50 / INTPZ34	TOA50		PB2 (入力モード)	
	PB3	TIA51 / INTPZ35	TOA51		PB3 (入力モード)	
ポート C	PC0	SCK0			PC0 (入力モード)	PMC, PMCTC
	PC1	SO0			PC1 (入力モード)	
	PC2	SI0			PC2 (入力モード)	
	PC3	SCK1			PC3 (入力モード)	
	PC4	SO1			PC4 (入力モード)	
	PC5	SI1			PC5 (入力モード)	
	PC6	INTPZ40			PC6 (入力モード)	
	PC7	ADTRG / INTPZ41			PC7 (入力モード)	
ポート D	PD0	DMAREQZ0 / INTPZ36	SCK4		PD0 (入力モード)	PMD, PMCTD, PFCB
	PD1	DMAACKZ0	SO4		PD1 (入力モード)	
	PD2	DMATCZ0	SI4		PD2 (入力モード)	
	PD3	DMAREQZ1 / INTPZ37	SCK5		PD3 (入力モード)	
	PD4	DMAACKZ1	SO5		PD4 (入力モード)	
	PD5	DMATCZ1	SI5		PD5 (入力モード)	
ポート E	PE0	DMAREQZ2 / INTPZ38	SCK6		PE0 (入力モード)	PME, PMCTE, PFCE
	PE1	DMAACKZ2	SO6		PE1 (入力モード)	
	PE2	DMATCZ2	SI6		PE2 (入力モード)	
	PE3	DMAREQZ3 / INTPZ39	SCK7		PE3 (入力モード)	
	PE4	DMAACKZ3	SO7		PE4 (入力モード)	
	PE5	DMATCZ3	SI7		PE5 (入力モード)	

注 BUS32EN0 端子による外部バス・サイズの設定により初期値が決定されます。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(4/4)

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート L	PL0	ETH_TXCLK			ETHEN = ロー・レベル : 入力ポート ETHEN = ハイ・レベル : 兼用機能 1	PML
	PL1	ETH_TXD0				
	PL2	ETH_TXD1				
	PL3	ETH_TXD2				
	PL4	ETH_TXD3				
	PL5	ETH_TXEN				
	PL6	ETH_TXER				
	PL7	ETH_COL				
	PL8	ETH_CRS				
	PL9	ETH_RXCLK				
	PL10	ETH_RXD0				
	PL11	ETH_RXD1				
	PL12	ETH_RXD2				
	PL13	ETH_RXD3				
	PL14	ETH_RXDV				
	PL15	ETH_RXER				
	PL16	ETH_MDC				
	PL17	ETH_MDIO				
PL18	ETH_REFCLK					

### 23.3 ポートの構成

3 ステート入出力ポートを 16 ポート内蔵しています。ポート L を除き 1 ビット単位に入出力指定が可能です。ポートの基本構造は 8 ビット単位ですが、一部のポートは 8 ビット未満の構成になっています。また、ポート L は 19 ビット構成です。

ポートには、下記のレジスタがあり、入出力の設定、兼用機能の選択を行います。またポートの基本回路構成を図 23-1 に示します。

表 23-2 ポートのレジスタ

レジスタ名	用途と動作	
	リード	ライト
ポート・レジスタ (Pn)	出力ラッチの値を読み出します。	出力ラッチに値を設定します。
ポート・モード・レジスタ (PMn)	ポートの入出力モードを読み出します。	ポートの入出力モードを設定します。
ポート・モード・コントロール・レジスタ (PMCTn)	ポートとして利用するか、兼用機能を利用するかを選択状態を読み出します。	ポートとして利用するか、兼用機能を利用するかを選択します。
ポート・ファンクション・コントロール・レジスタ (PFCn)	2 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。	2 つ以上の兼用機能があるポートで、兼用機能のどれを利用するか選択します。
ポート・ファンクション・コントロール拡張レジスタ (PFCn)	3 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。	3 つ以上の兼用機能があるポートで、兼用機能のどれを利用するかを PFCn レジスタとともに選択します。
ポート端子入力レジスタ (PINn)	ポート端子の入力レベルを読み出します。	ライトできません。

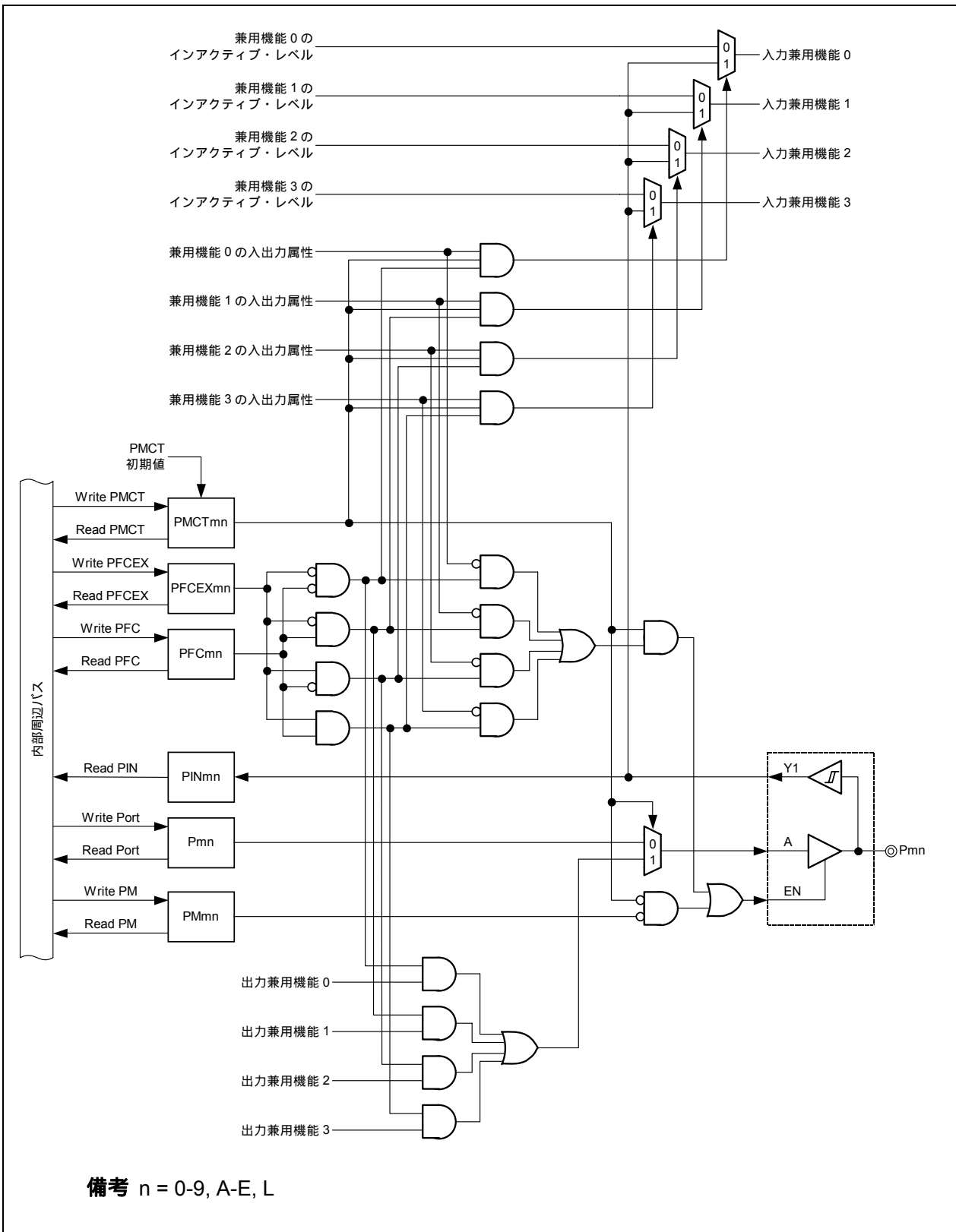
**注意 1.** P0-P9, PA-PE は 8 ビット以下のポートのため、8/1 ビットのアクセスが可能です。

PL は 19 ビット・ポートのため、32 ビット・アクセスのみ可能です。

- 2.** 外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTn レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

**備考** n = 0-9, A-E, L

図 23-1 ポートの基本回路構成



### 23.4 ポート・レジスタ ( P0-P9, PA-PE, PL )

3 ステート入出力ポートを 16 ポート内蔵しています。1 ビット単位に入出力指定が可能です。

ポート・レジスタは、出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。端子レベルをリードする場合は、PINx レジスタを使用します。

P0-P9, PA-PE は 8/1 ビット単位で、PL は 32 ビット単位でリード/ライト可能です。PB のビット 0-3 以外、PD, PE のビット 0-5 以外、PL のビット 0-18 以外への書き込みは無視されます。リード時には 0 が読み出されます。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	P07	P06	P05	P04	P03	P02	P01	P00	0F01 8000H	不定
P1	P17	P16	P15	P14	P13	P12	P11	P10	0F01 8004H	不定
P2	P27	P26	P25	P24	P23	P22	P21	P20	0F01 8008H	不定
P3	P37	P36	P35	P34	P33	P32	P31	P30	0F01 800CH	不定
P4	P47	P46	P45	P44	P43	P42	P41	P40	0F01 8010H	不定
P5	P57	P56	P55	P54	P53	P52	P51	P50	0F01 8014H	不定
P6	P67	P66	P65	P64	P63	P62	P61	P60	0F01 8018H	不定
P7	P77	P76	P75	P74	P73	P72	P71	P70	0F01 801CH	不定
P8	0	0	P85	P84	P83	P82	P81	P80	0F01 8020H	不定
P9	P97	P96	P95	P94	P93	P92	P91	P90	0F01 8024H	不定
PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	0F01 8028H	不定
PB	0	0	0	0	PB3	PB2	PB1	PB0	0F01 802CH	不定
PC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	0F01 8030H	不定
PD	0	0	PD5	PD4	PD3	PD2	PD1	PD0	0F01 8034H	不定
PE	0	0	PE5	PE4	PE3	PE2	PE1	PE0	0F01 8038H	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	Pmn	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。

**備考 m = 0-9, A-E , n = 0-7**



( 2/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PL	0	0	0	0	0	0	0	0	0	0	0	0	0	PL18	PL17	PL16	0F01 803CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PL15	PL14	PL13	PL12	PL11	PL10	PL9	PL8	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
18-0	PLn	ポート L を出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。

**備考 n = 0-18**

### 23.5 ポート・モード・レジスタ (PM0-PM9, PMA-PME, PML)

ポートの入力 / 出力を 1 ビット単位で指定するレジスタです。

PM0-PM9, PMA-PME は 8/1 ビット単位で, PML は 32 ビット単位でリード / ライト可能です。PMB のビット 0-3 以外, PMD, PME のビット 0-5 以外, PML のビット 0-18 以外への書き込みは無視されます。リード時には 1 が読み出されます。

RESETZ 入力により, FFH (PML は FFFF FFFFH) になり入力ポートになります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	0F01 8100H	FFH
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	0F01 8104H	FFH
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	0F01 8108H	FFH
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	0F01 810CH	FFH
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	0F01 8110H	FFH
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	0F01 8114H	FFH
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	0F01 8118H	FFH
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	0F01 811CH	FFH
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	0F01 8120H	FFH
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	0F01 8124H	FFH
PMA	PMA7	PMA6	PMA5	PMA4	PMA3	PMA2	PMA1	PMA0	0F01 8128H	FFH
PMB	1	1	1	1	PMB3	PMB2	PMB1	PMB0	0F01 812CH	FFH
PMC	PMC7	PMC6	PMC5	PMC4	PMC3	PMC2	PMC1	PMC0	0F01 8130H	FFH
PMD	1	1	PMD5	PMD4	PMD3	PMD2	PMD1	PMD0	0F01 8134H	FFH
PME	1	1	PME5	PME4	PME3	PME2	PME1	PME0	0F01 8138H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PMmn	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)

**備考 m = 0-9, A-E, n = 0-7**

( 2/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PML	1	1	1	1	1	1	1	1	1	1	1	1	1	PML 18	PML 17	PML 16	0F01 813CH
R/W	1	1	1	1	1	1	1	1	1	1	1	1	1	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PML 15	PML 14	PML 13	PML 12	PML 11	PML 10	PML9	PML8	PML7	PML6	PML5	PML4	PML3	PML2	PML1	PML0	FFFF FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
18-0	PMLn	ポート L の入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)

**備考 n = 0-18**

## 23.6 ポート・モード・コントロール・レジスタ (PMCT0-PMCT9, PMCTA-PMCTE)

ポートをポートとして使用するか、兼用機能で使用するかを選択するレジスタです。

8/1 ビット単位でリード/ライト可能です。下記のレジスタ説明で0のビットへの書き込みは無視されます。リード時には0が読み出されます。

RESETZ 入力により、PMCT6-PMCT9, PMCTA を除き 00H になります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT0	PMCT07	PMCT06	PMCT05	PMCT04	PMCT03	PMCT02	PMCT01	PMCT00	0F01 8200H	00H
PMCT1	PMCT17	PMCT16	PMCT15	PMCT14	PMCT13	PMCT12	PMCT11	PMCT10	0F01 8204H	00H
PMCT2	PMCT27	PMCT26	PMCT25	PMCT24	PMCT23	PMCT22	PMCT21	PMCT20	0F01 8208H	00H
PMCT3	PMCT37	PMCT36	PMCT35	PMCT34	PMCT33	PMCT32	PMCT31	PMCT30	0F01 820CH	00H
PMCT4	PMCT47	PMCT46	PMCT45	PMCT44	PMCT43	PMCT42	PMCT41	PMCT40	0F01 8210H	00H
PMCT5	PMCT57	PMCT56	PMCT55	PMCT54	PMCT53	PMCT52	PMCT51	PMCT50	0F01 8214H	00H
PMCT6	PMCT67	PMCT66	PMCT65	PMCT64	PMCT63	PMCT62	PMCT61	PMCT60	0F01 8218H	80H/ 00H <sup>注1</sup>
PMCT7	PMCT77	PMCT76	PMCT75	PMCT74	PMCT73	PMCT72	PMCT71	PMCT70	0F01 821CH	00H/ C0H <sup>注1</sup>
PMCT8	PMCT8	PMCT8	PMCT85	PMCT84	PMCT83	PMCT82	PMCT81	PMCT80	0F01 8220H	00H/ F0H <sup>注2</sup>
PMCT9	PMCT97	PMCT96	PMCT95	PMCT94	PMCT93	PMCT92	PMCT91	PMCT90	0F01 8224H	00H/ FFH <sup>注1</sup>
PMCTA	PMCTA7	PMCTA6	PMCTA5	PMCTA4	PMCTA3	PMCTA2	PMCTA1	PMCTA0	0F01 8228H	00H/ FFH <sup>注1</sup>
PMCTB	0	0	0	0	PMCTB3	PMCTB2	PMCTB1	PMCTB0	0F01 822CH	00H
PMCTC	PMCTC7	PMCTC6	PMCTC5	PMCTC4	PMCTC3	PMCTC2	PMCTC1	PMCTC0	0F01 8230H	00H
PMCTD	0	0	PMCTD5	PMCTD4	PMCTD3	PMCTD2	PMCTD1	PMCTD0	0F01 8234H	00H
PMCTE	0	0	PMCTE5	PMCTE4	PMCTE3	PMCTE2	PMCTE1	PMCTE0	0F01 8238H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PMCTmn	ポートとして利用するか、兼用機能を利用するかを選択します。 0：ポート・モード（入力系の兼用機能にはインアクティブ・レベルが入力されます） 1：兼用機能（コントロール・モード）

注 1, 2 の説明は次のページにあります。

備考 m = 0-9, A-E, n = 0-7

( 2/2 )

**注意** 外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTn レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

**注 1.** BUS32EN0 端子による外部バス・サイズの設定により初期値が決定されます。

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

**2.** BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	SIP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	-	-

## 23.7 ポート・ファンクション・コントロール・レジスタ ( PFC2-PFC5, PFC9, PFCA-PFCE )

兼用機能を選択するレジスタです。1ビット単位で兼用機能を選択できます。

兼用機能が3本のポート9とポートAは、ポート・ファンクション・コントロール拡張レジスタ(PFCEX9, PFCEXA)と併用して兼用機能を選択します。

なお、外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTnレジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

PFC2-PFC5, PFC9, PFCA-PFCEは8/1ビット単位でリード/ライト可能です。下記のレジスタ説明で0のビットへの書き込みは無視されます。リード時には0が読み出されます。

RESETZ入力により、00Hになります。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	PFC27	0	0	0	0	0	0	0	0F01 8308H	00H
PFC3	0	PFC36	PFC35	PFC34	0	PFC32	PFC31	PFC30	0F01 830CH	00H
PFC4	PFC47	PFC46	PFC45	PFC44	0	0	0	0	0F01 8310H	00H
PFC5	PFC57	PFC56	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50	0F01 8314H	00H
PFC9	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90	0F01 8324H	00H
PFCA	PFCA7	PFCA6	PFCA5	PFCA4	PFCA3	PFCA2	PFCA1	PFCA0	0F01 8328H	00H
PFCB	0	0	0	0	PFCB3	PFCB2	PFCB1	PFCB0	0F01 832CH	00H
PFCD	0	0	PFCD5	PFCD4	PFCD3	PFCD2	PFCD1	PFCD0	0F01 8334H	00H
PFCE	0	0	PFCE5	PFCE4	PFCE3	PFCE2	PFCE1	PFCE0	0F01 8338H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PFCmn	兼用機能を選択します。
PFC2.7	PFC27	0 : INTPZ23 を選択 1 : WDTOUTZ を選択
PFC3.6-4, 2-0	PFC36-PFC34, PFC32-PFC30	0 : RTS1, RXD1, TXD1, RTS0, RXD0, TXD ( UART ) を選択 1 : SCK2, SO2, SI2, SCK3, SO3, SI3 ( CSI ) を選択
PFC4.7-4	PFC47-PFC44	0 : CTS 3, RTS 3, TXD3, RXD3 ( UART ) を選択 1 : CTXD1, CRXD1, CTXD0, CRXD0 ( CAN ) を選択
PFC5.7-0	PFC57-PFC50	0 : TIA00 / INTPZ24, TIA01 / INTPZ25, TIA10 / INTPZ26, TIA11 / INTPZ27, TIA20 / INTPZ28, TIA21 / INTPZ29, TIA30 / INTPZ30, TIA31 / INTPZ31 を選択 1 : TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31 を選択
PFC9.7-0	PFC97-PFC90	0 : D16-D23 を選択 1 : TENC00, TENC01, TECR0 / INTPZ42, TRGT0 / INTPZ43, EVT0 / INTPZ44, TIT00 / TOT00, TIT01 / TOT01, INTPZ46 を選択
PFCA.7-0	PFCA7-PFCA0	0 : D24-D31 を選択 1 : TENC10, TENC11, TECR1 / INTPZ46, TRGT1 / INTPZ47, EVT1 / INTPZ48, TIT10 / TOT10, TIT11 / TOT11, INTPZ49 を選択
PFCB.3-0	PFCB3-PFCB0	0 : TIA40 / INTPZ32, TIA41 / INTPZ33, TIA50 / INTPZ34, TIA51 / INTPZ35 を選択 1 : TOA40, TOA41, TOA50, TOA51 を選択
PFCD.5-0	PFCD5-PFCD0	0 : DMATCZ1, DMAACKZ1, DMAREQZ1 / INTPZ37, DMATCZ0, DMAACKZ0, DMAREQZ0 / INTPZ36 を選択 1 : SI5, SO5, SCK5, SI4, SO4, SCK4 ( CSI ) を選択
PFCE.5-0	PFCE5-PFCE0	0 : DMATCZ3, DMAACKZ3, DMAREQZ3 / INTPZ39, DMATCZ2, DMAACKZ2, DMAREQZ2 / INTPZ38 を選択 1 : SI7, SO7, SCK7, SI6, SO6, SCK6 ( CSI ) を選択

備考 m = 2-5, 9, A, B, D, E , n = 0-7

### 23.8 ポート・ファンクション・コントロール拡張レジスタ ( PFCEX9, PFCEXA )

ポート 9 , ポート A の兼用拡張機能を選択するレジスタです。1 ビット単位で兼用機能を選択できます。

ポート 9 とポート A は 3 本の兼用機能があるため , ポート・ファンクション・コントロール・レジスタ( PFC9, PFCA ) と併用して兼用機能を選択します。

PFCEX9, PFCEXA は 8/1 ビット単位でリード/ライト可能です。下記のレジスタ説明で 0 のビットへの書き込みは無視されます。リード時には 0 が読み出されます。

RESETZ 入力により , 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCEX9	0	PFCEX96	PFCEX95	0	0	0	0	0	0F01 8424H	00H
PFCEXA	0	PFCEXA6	PFCEXA5	0	0	0	0	0	0F01 8428H	00H
R/W	0	R/W	R/W	0	0	0	0	0		

ビット位置	ビット名	意味
7-0	PFCEXmn	兼用機能を選択します。
PFCEX9. 6, 5	PFCEX96, PFCEX95	0 : TIT00, TIT01 を選択 1 : TOT00, TOT01 を選択
PFCEXA. 6, 5	PFCEXA6, PFCEXA5	0 : TIT10, TIT11 を選択 1 : TOT10, TOT11 を選択

**備考 m = 9, A , n = 5, 6**



## 23.9 ポート端子入力レジスタ (PIN0-PIN9, PINA-PINE, PINL)

ポートの端子レベルを読み出すレジスタです。

ポートの動作モードに関係なく、ポートの端子レベルを読み出します。

PIN0-PIN9, PINA-PINE レジスタは 8/1 ビット単位、PINL は 32 ビット単位でリードのみ可能です。書き込みは無視されます。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
PIN0	PIN07	PIN06	PIN05	PIN04	PIN03	PIN02	PIN01	PIN00	0F01 8500H	注
PIN1	PIN17	PIN16	PIN15	PIN14	PIN13	PIN12	PIN11	PIN10	0F01 8504H	注
PIN2	PIN27	PIN26	PIN25	PIN24	PIN23	PIN22	PIN21	PIN20	0F01 8508H	注
PIN3	PIN37	PIN36	PIN35	PIN34	PIN33	PIN32	PIN31	PIN30	0F01 850CH	注
PIN4	PIN47	PIN46	PIN45	PIN44	PIN43	PIN42	PIN41	PIN40	0F01 8510H	注
PIN5	PIN57	PIN56	PIN55	PIN54	PIN53	PIN52	PIN51	PIN50	0F01 8514H	注
PIN6	PIN67	PIN66	PIN65	PIN64	PIN63	PIN62	PIN61	PIN60	0F01 8518H	注
PIN7	PIN77	PIN76	PIN75	PIN74	PIN73	PIN72	PIN71	PIN70	0F01 851CH	注
PIN8	PIN87	PIN86	PIN85	PIN84	PIN83	PIN82	PIN81	PIN80	0F01 8520H	注
PIN9	PIN97	PIN96	PIN95	PIN94	PIN93	PIN92	PIN91	PIN90	0F01 8524H	注
PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	0F01 8528H	注
PINB	0	0	0	0	PINB3	PINB2	PINB1	PINB0	0F01 852CH	注
PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	0F01 8530H	注
PIND	0	0	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	0F01 8534H	注
PINE	0	0	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	0F01 8538H	注
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	PINmn	対応するポートの端子レベルです。 0 : ロー・レベル 1 : ハイ・レベル

注 端子レベルによります。

備考 m = 0-9, A-E, n = 0-7

( 2/2 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PINL	0	0	0	0	0	0	0	0	0	0	0	0	0	PIN L18	PIN L17	PIN L16	0F01 853CH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PIN L15	PIN L14	PIN L13	PIN L12	PIN L11	PIN L10	PINL9	PINL8	PINL7	PINL6	PINL5	PINL4	PINL3	PINL2	PINL1	PINL0	端子レベルによる
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
18-0	PINLn	ポート L の端子レベルです。 0 : ロー・レベル 1 : ハイ・レベル

**備考 n = 0-18**

## 23.10 兼用機能の選択一覧

ポート関連レジスタで選択される兼用機能の選択一覧を以下に示します。

( 1/4 )

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0	-	-	-
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1	-	-	-
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2	-	-	-
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3	-	-	-
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4	-	-	-
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5	-	-	-
P06	P06 (出力モード)	P06 (入力モード)	INTPZ6	-	-	-
P07	P07 (出力モード)	P07 (入力モード)	INTPZ7	-	-	-
P10	P10 (出力モード)	P10 (入力モード)	INTPZ8	-	-	-
P11	P11 (出力モード)	P11 (入力モード)	INTPZ9	-	-	-
P12	P12 (出力モード)	P12 (入力モード)	INTPZ10	-	-	-
P13	P13 (出力モード)	P13 (入力モード)	INTPZ11	-	-	-
P14	P14 (出力モード)	P14 (入力モード)	INTPZ12	-	-	-
P15	P15 (出力モード)	P15 (入力モード)	INTPZ13	-	-	-
P16	P16 (出力モード)	P16 (入力モード)	INTPZ14	-	-	-
P17	P17 (出力モード)	P17 (入力モード)	INTPZ15	-	-	-
P20	P20 (出力モード)	P20 (入力モード)	INTPZ16	-	-	-
P21	P21 (出力モード)	P21 (入力モード)	INTPZ17	-	-	-
P22	P22 (出力モード)	P22 (入力モード)	INTPZ18	-	-	-
P23	P23 (出力モード)	P23 (入力モード)	INTPZ19	-	-	-
P24	P24 (出力モード)	P24 (入力モード)	INTPZ20	-	-	-
P25	P25 (出力モード)	P25 (入力モード)	INTPZ21	-	-	-
P26	P26 (出力モード)	P26 (入力モード)	INTPZ22	-	-	-
P27	P27 (出力モード)	P27 (入力モード)	INTPZ23	WDTOUTZ	-	-
P30	P30 (出力モード)	P30 (入力モード)	TXD0	SCK2	-	-
P31	P31 (出力モード)	P31 (入力モード)	RXD0	SO2	-	-
P32	P32 (出力モード)	P32 (入力モード)	RTS0	SI2	-	-
P33	P33 (出力モード)	P33 (入力モード)	CTS0	-	-	-
P34	P34 (出力モード)	P34 (入力モード)	TXD1	SCK3	-	-
P35	P35 (出力モード)	P35 (入力モード)	RXD1	SO3	-	-
P36	P36 (出力モード)	P36 (入力モード)	RTS1	SI3	-	-
P37	P37 (出力モード)	P37 (入力モード)	CTS1	-	-	-

備考 n = 0-9, A-E, L

m = 0-7, 0-18

( 2/5 )

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P40	P40 (出力モード)	P40 (入力モード)	TXD2	-	-	-
P41	P41 (出力モード)	P41 (入力モード)	RXD2	-	-	-
P42	P42 (出力モード)	P42 (入力モード)	RTS2	-	-	-
P43	P43 (出力モード)	P43 (入力モード)	CTS2	-	-	-
P44	P44 (出力モード)	P44 (入力モード)	TXD3	CTXD0	-	-
P45	P45 (出力モード)	P45 (入力モード)	RXD3	CRXD0	-	-
P46	P46 (出力モード)	P46 (入力モード)	RTS3	CTXD1	-	-
P47	P47 (出力モード)	P47 (入力モード)	CTS3	CRXD1	-	-
P50	P50 (出力モード)	P50 (入力モード)	TIA00 / INTPZ24	TOA00	-	-
P51	P51 (出力モード)	P51 (入力モード)	TIA01 / INTPZ25	TOA01	-	-
P52	P52 (出力モード)	P52 (入力モード)	TIA10 / INTPZ26	TOA10	-	-
P53	P53 (出力モード)	P53 (入力モード)	TIA11 / INTPZ27	TOA11	-	-
P54	P54 (出力モード)	P54 (入力モード)	TIA20 / INTPZ28	TOA20	-	-
P55	P55 (出力モード)	P55 (入力モード)	TIA21 / INTPZ29	TOA21	-	-
P56	P56 (出力モード)	P56 (入力モード)	TIA30 / INTPZ30	TOA30	-	-
P57	P57 (出力モード)	P57 (入力モード)	TIA31 / INTPZ31	TOA31	-	-
P60	P60 (出力モード)	P60 (入力モード)	A20	-	-	-
P61	P61 (出力モード)	P61 (入力モード)	A21	-	-	-
P62	P62 (出力モード)	P62 (入力モード)	A22	-	-	-
P63	P63 (出力モード)	P63 (入力モード)	A23	-	-	-
P64	P64 (出力モード)	P64 (入力モード)	A24	-	-	-
P65	P65 (出力モード)	P65 (入力モード)	A25	-	-	-
P66	P66 (出力モード)	P66 (入力モード)	A26	-	-	-
P67	P67 (出力モード)	P67 (入力モード)	A1	-	-	-
P70	P70 (出力モード)	P70 (入力モード)	WAITZ	-	-	-
P71	P71 (出力モード)	P71 (入力モード)	STCSZ1	-	-	-
P72	P72 (出力モード)	P72 (入力モード)	STCSZ2	-	-	-
P73	P73 (出力モード)	P73 (入力モード)	STCSZ3	-	-	-
P74	P74 (出力モード)	P74 (入力モード)	DYCSZ	-	-	-
P75	P75 (出力モード)	P75 (入力モード)	IDLEOUTZ	-	-	-
P76	P76 (出力モード)	P76 (入力モード)	BENZ2	-	-	-
P77	P77 (出力モード)	P77 (入力モード)	BENZ3	-	-	-

備考 n = 0-9, A-E, L

m = 0-7, 0-18

( 3/5 )

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P80	P80 (出力モード)	P80 (入力モード)	HLDRQZ	-	-	-
P81	P81 (出力モード)	P81 (入力モード)	HLDKAZ	-	-	-
P82	P82 (出力モード)	P82 (入力モード)	BUSREQZ	-	-	-
P83	P83 (出力モード)	P83 (入力モード)	WDTOUTZ	-	-	-
P84	P84 (出力モード)	P84 (入力モード)	SMSCK	-	-	-
P85	P85 (出力モード)	P85 (入力モード)	SMSO	-	-	-
P86	P86 (出力モード)	P86 (入力モード)	SMSI	-	-	-
P87	P87 (出力モード)	P87 (入力モード)	SMCSZ	-	-	-
P90	P90 (出力モード)	P90 (入力モード)	D16	TENC00	-	-
P91	P91 (出力モード)	P91 (入力モード)	D17	TENC01	-	-
P92	P92 (出力モード)	P92 (入力モード)	D18	TECR0 / INTPZ42	-	-
P93	P93 (出力モード)	P93 (入力モード)	D19	TRGT0 / INTPZ43	-	-
P94	P94 (出力モード)	P94 (入力モード)	D20	EVTT0 / INTPZ44	-	-
P95	P95 (出力モード)	P95 (入力モード)	D21	TIT00	TOT00	-
P96	P96 (出力モード)	P96 (入力モード)	D22	TIT01	TOT01	-
P97	P97 (出力モード)	P97 (入力モード)	D23	INTPZ45	-	-
PA0	PA0 (出力モード)	PA0 (入力モード)	D24	TENC10	-	-
PA1	PA1 (出力モード)	PA1 (入力モード)	D25	TENC11	-	-
PA2	PA2 (出力モード)	PA2 (入力モード)	D26	TECR1 / INTPZ46	-	-
PA3	PA3 (出力モード)	PA3 (入力モード)	D27	TRGT1 / INTPZ47	-	-
PA4	PA4 (出力モード)	PA4 (入力モード)	D28	EVTT1 / INTPZ48	-	-
PA5	PA5 (出力モード)	PA5 (入力モード)	D29	TIT10	TOT10	-
PA6	PA6 (出力モード)	PA6 (入力モード)	D30	TIT11	TOT11	-
PA7	PA7 (出力モード)	PA7 (入力モード)	D31	INTPZ49	-	-
PB0	PB0 (出力モード)	PB0 (入力モード)	TIA40 / INTPZ32	TOA40	-	-
PB1	PB1 (出力モード)	PB1 (入力モード)	TIA41 / INTPZ33	TOA41	-	-
PB2	PB2 (出力モード)	PB2 (入力モード)	TIA50 / INTPZ34	TOA50	-	-
PB3	PB3 (出力モード)	PB3 (入力モード)	TIA51 / INTPZ35	TOA51	-	-
PC0	PC0 (出力モード)	PC0 (入力モード)	SCK0	-	-	-
PC1	PC1 (出力モード)	PC1 (入力モード)	SO0	-	-	-
PC2	PC2 (出力モード)	PC2 (入力モード)	SI0	-	-	-
PC3	PC3 (出力モード)	PC3 (入力モード)	SCK1	-	-	-
PC4	PC4 (出力モード)	PC4 (入力モード)	SO1	-	-	-
PC5	PC5 (出力モード)	PC5 (入力モード)	SI1	-	-	-
PC6	PC6 (出力モード)	PC6 (入力モード)	INTPZ40	-	-	-
PC7	PC7 (出力モード)	PC7 (入力モード)	ADTRG / INTPZ41	-	-	-

備考 n = 0-9, A-E, L  
m = 0-7, 0-18

( 4/5 )

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
PD0	PD0 (出力モード)	PD0 (入力モード)	DMAREQZ0 / INTPZ36	SCK4	-	-
PD1	PD1 (出力モード)	PD1 (入力モード)	DMAACKZ0	SO4	-	-
PD2	PD2 (出力モード)	PD2 (入力モード)	DMATCZ0	SI4	-	-
PD3	PD3 (出力モード)	PD3 (入力モード)	DMAREQZ1 / INTPZ37	SCK5	-	-
PD4	PD4 (出力モード)	PD4 (入力モード)	DMAACKZ1	SO5	-	-
PD5	PD5 (出力モード)	PD5 (入力モード)	DMATCZ1	SI5	-	-
PE0	PE0 (出力モード)	PE0 (入力モード)	DMAREQZ2 / INTPZ38	SCK6	-	-
PE1	PE1 (出力モード)	PE1 (入力モード)	DMAACKZ2	SO6	-	-
PE2	PE2 (出力モード)	PE2 (入力モード)	DMATCZ2	SI6	-	-
PE3	PE3 (出力モード)	PE3 (入力モード)	DMAREQZ3 / INTPZ39	SCK7	-	-
PE4	PE4 (出力モード)	PE4 (入力モード)	DMAACKZ3	SO7	-	-
PE5	PE5 (出力モード)	PE5 (入力モード)	DMATCZ3	SI7	-	-

( 5/5 )

モード ポート	ETHEN = 0 (ポート・モード)		ETHEN = 1 (コントロール・モード)
	PMLn = 0 (出力ポート)	PMLn = 1 (入力ポート)	
PL0	PL0 (出力モード)	PL0 (入力モード)	ETH_TXCLK
PL1	PL1 (出力モード)	PL1 (入力モード)	ETH_TXD0
PL2	PL2 (出力モード)	PL2 (入力モード)	ETH_TXD1
PL3	PL3 (出力モード)	PL3 (入力モード)	ETH_TXD2
PL4	PL4 (出力モード)	PL4 (入力モード)	ETH_TXD3
PL5	PL5 (出力モード)	PL5 (入力モード)	ETH_TXEN
PL6	PL6 (出力モード)	PL6 (入力モード)	ETH_TXER
PL7	PL7 (出力モード)	PL7 (入力モード)	ETH_COL
PL8	PL8 (出力モード)	PL8 (入力モード)	ETH_CRS
PL9	PL9 (出力モード)	PL9 (入力モード)	ETH_RXCLK
PL10	PL10 (出力モード)	PL10 (入力モード)	ETH_RXD0
PL11	PL11 (出力モード)	PL11 (入力モード)	ETH_RXD1
PL12	PL12 (出力モード)	PL12 (入力モード)	ETH_RXD2
PL13	PL13 (出力モード)	PL13 (入力モード)	ETH_RXD3
PL14	PL14 (出力モード)	PL14 (入力モード)	ETH_RXDV
PL15	PL15 (出力モード)	PL15 (入力モード)	ETH_RXER
PL16	PL16 (出力モード)	PL16 (入力モード)	ETH_MDC
PL17	PL17 (出力モード)	PL17 (入力モード)	ETH_MDIO
PL18	PL18 (出力モード)	PL18 (入力モード)	ETH_REFCLK

備考 n = 0-9, A-E

m = 0-7, 0-18

## 23.11 バッファ機能切り替えレジスタ (DRCTRL)

外部バス・インタフェースと兼用のポート 6-9, A ,SiP 内部接続インタフェース端子と兼用のポート 2 ,Ether MAC 端子と兼用のポート L は, ドライブ能力, プルアップ/プルダウン抵抗をプログラマブルに変更できません。

DRCTRL レジスタは, リセット解除後の初期化処理で設定し, 以降の設定変更は, バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば, 内部アクセスのみを行っているときに設定を変更してください。

DRCTRL レジスタの設定は, その端子の動作モード(ポート・モードと兼用機能を利用するコントロール・モードなど)に関係なく有効になります。

32 ビット単位でリード/ライト可能です。

**注意** プルアップ/プルダウンの設定変更は, 基本的に推奨しません。変更する場合は, 以下の点に十分注意してください。

プルアップ/プルダウンの設定変更は, ハイ・インピーダンス時のレベルが変化します。

外部バス・インタフェースとポートのプルアップ/プルダウンが同時に変更されるものがあります。特にバス・ホールドなどでのハイ・インピーダンス制御時などに注意が必要です。

( 1/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DRCTRL	IOL SBUS1	IOL SUBS0	IOL BUS1	IOL BUS0	0	0	0	0	PUI	PDI	IOLI1	IOLIO	PUL	PDL	IOLL1	IOLL0	0F01 910CH
	SBUSCLK		BUSCLK		SiP (バス以外)				Ether MAC								
R/W	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PU SU	PD SU	IOL SU1	IOL SU0	PU SD	PD SD	IOL SD1	IOL SD0	PU EU	PD EU	IOL EU1	IOL EU0	PU ED	PD ED	IOL ED1	IOL ED0	608A 8495H/ 6082 8495H <sup>注1</sup>
	SiP バス・プルアップ系				SiP バス・プルダウン系				外部バス・プルアップ系				外部バス・プルダウン系				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味															
23, 22	PUI, PDI	P20-P27 端子 <sup>注2</sup> のプルアップ抵抗 / プルダウン抵抗を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">PUI</th> <th style="width:10%;">PDI</th> <th style="width:80%;">P20-P27 端子<sup>注2</sup>のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗 / プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗 (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUI	PDI	P20-P27 端子 <sup>注2</sup> のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗 (初期値)	1	1	設定禁止
PUI	PDI	P20-P27 端子 <sup>注2</sup> のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗 (初期値)															
1	1	設定禁止															
21, 20	IOLI1, IOLIO	P20-P27 端子 <sup>注2</sup> のドライブ能力を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">IOLI1</th> <th style="width:10%;">IOLIO</th> <th style="width:80%;">P20-P27 端子<sup>注2</sup>のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>3mA (初期値)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLI1	IOLIO	P20-P27 端子 <sup>注2</sup> のドライブ能力	0	0	3mA (初期値)	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLI1	IOLIO	P20-P27 端子 <sup>注2</sup> のドライブ能力															
0	0	3mA (初期値)															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															

注 1. ETHERN 端子により初期値が決定されます。

ETHERN	DRCTRL レジスタ	ポート L の動作	
0	608A 8495H	ポート	プルアップ抵抗
1	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

2. SDMAACKZ0, SDMAACKZ1, SDMATCZ0, SDMATCZ1 端子も同時に設定されます。



( 2/3 )

ビット位置	ビット名	意味															
19, 18	PUL, PDL	<p>ポート L ( Ether MAC 端子 ) のプルアップ抵抗 / プルダウン抵抗を設定します。</p> <table border="1"> <thead> <tr> <th>PUL</th> <th>PDL</th> <th>Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし<sup>注1</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 ( 推奨しません )</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗<sup>注1</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUL	PDL	Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし <sup>注1</sup>	0	1	プルダウン抵抗 ( 推奨しません )	1	0	プルアップ抵抗 <sup>注1</sup>	1	1	設定禁止
PUL	PDL	Ether MAC 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし <sup>注1</sup>															
0	1	プルダウン抵抗 ( 推奨しません )															
1	0	プルアップ抵抗 <sup>注1</sup>															
1	1	設定禁止															
17, 16	IOLL1, IOLL0	<p>ポート L ( Ether MAC 端子 ) のドライブ能力を設定します。</p> <table border="1"> <thead> <tr> <th>IOLL1</th> <th>IOLL0</th> <th>Ether MAC 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA ( 初期値 )</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLL1	IOLL0	Ether MAC 端子のドライブ能力	0	0	3mA	0	1	6mA	1	0	9mA ( 初期値 )	1	1	設定禁止
IOLL1	IOLL0	Ether MAC 端子のドライブ能力															
0	0	3mA															
0	1	6mA															
1	0	9mA ( 初期値 )															
1	1	設定禁止															
7, 6	PUEU, PDEU	<p>P70-P77, P80-P82<sup>注2</sup> 端子のプルアップ抵抗 / プルダウン抵抗を設定します。</p> <table border="1"> <thead> <tr> <th>PUEU</th> <th>PDEU</th> <th>P70-P77, P80-P82<sup>注2</sup> 端子のプルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗 ( 初期値 )</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUEU	PDEU	P70-P77, P80-P82 <sup>注2</sup> 端子のプルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗 ( 初期値 )	1	1	設定禁止
PUEU	PDEU	P70-P77, P80-P82 <sup>注2</sup> 端子のプルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗 ( 初期値 )															
1	1	設定禁止															
5, 4	IOLEU1, IOLEU0	<p>P70-P77, P80-P82<sup>注2</sup> 端子のドライブ能力を設定します。</p> <table border="1"> <thead> <tr> <th>IOLEU1</th> <th>IOLEU0</th> <th>P70-P77, P80-P82<sup>注2</sup> 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA ( 初期値 )</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLEU1	IOLEU0	P70-P77, P80-P82 <sup>注2</sup> 端子のドライブ能力	0	0	3mA	0	1	6mA ( 初期値 )	1	0	9mA	1	1	設定禁止
IOLEU1	IOLEU0	P70-P77, P80-P82 <sup>注2</sup> 端子のドライブ能力															
0	0	3mA															
0	1	6mA ( 初期値 )															
1	0	9mA															
1	1	設定禁止															

注 1. ETHEN 端子で初期値が変わります。

ETHEN = 0 : プルアップ抵抗

ETHEN = 1 : プルアップ抵抗 / プルダウン抵抗なし

2. RDZ, WRSTBZ, BCYSTZ, STCSZ0, BENZ0, BENZ1, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ 端子も同時に設定されます。

ビット位置	ビット名	意 味															
3, 2	PUED, PDED	<p>P60-P67, P90-P97, PA0-PA7 <sup>※</sup>端子のプルアップ抵抗 / プルダウン抵抗を設定します。</p> <table border="1"> <thead> <tr> <th>PUED</th> <th>PDED</th> <th>P60-P67, P90-P97, PA0-PA7 <sup>※</sup>端子の プルアップ抵抗 / プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗 / プルダウン抵抗なし</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗 ( 初期値 )</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUED	PDED	P60-P67, P90-P97, PA0-PA7 <sup>※</sup> 端子の プルアップ抵抗 / プルダウン抵抗	0	0	プルアップ抵抗 / プルダウン抵抗なし	0	1	プルダウン抵抗 ( 初期値 )	1	0	プルアップ抵抗	1	1	設定禁止
PUED	PDED	P60-P67, P90-P97, PA0-PA7 <sup>※</sup> 端子の プルアップ抵抗 / プルダウン抵抗															
0	0	プルアップ抵抗 / プルダウン抵抗なし															
0	1	プルダウン抵抗 ( 初期値 )															
1	0	プルアップ抵抗															
1	1	設定禁止															
1, 0	IOLED1, IOLED0	<p>P60-P67, P90-P97, PA0-PA7 <sup>※</sup>端子のドライブ能力を設定します。</p> <table border="1"> <thead> <tr> <th>IOLSD1</th> <th>IOLSD0</th> <th>P60-P67, P90-P97, PA0-PA7 <sup>※</sup>端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3mA</td> </tr> <tr> <td>0</td> <td>1</td> <td>6mA ( 初期値 )</td> </tr> <tr> <td>1</td> <td>0</td> <td>9mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLSD1	IOLSD0	P60-P67, P90-P97, PA0-PA7 <sup>※</sup> 端子のドライブ能力	0	0	3mA	0	1	6mA ( 初期値 )	1	0	9mA	1	1	設定禁止
IOLSD1	IOLSD0	P60-P67, P90-P97, PA0-PA7 <sup>※</sup> 端子のドライブ能力															
0	0	3mA															
0	1	6mA ( 初期値 )															
1	0	9mA															
1	1	設定禁止															

注 A2-A19, D0-D15 端子も同時に設定されます。

## 23.12 ポート構成

### 23.12.1 ポート 0

ポート 0 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 0 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 0 モード・コントロール・レジスタ (PMCT0) で指定します。

#### (1) ポート 0 と兼用機能

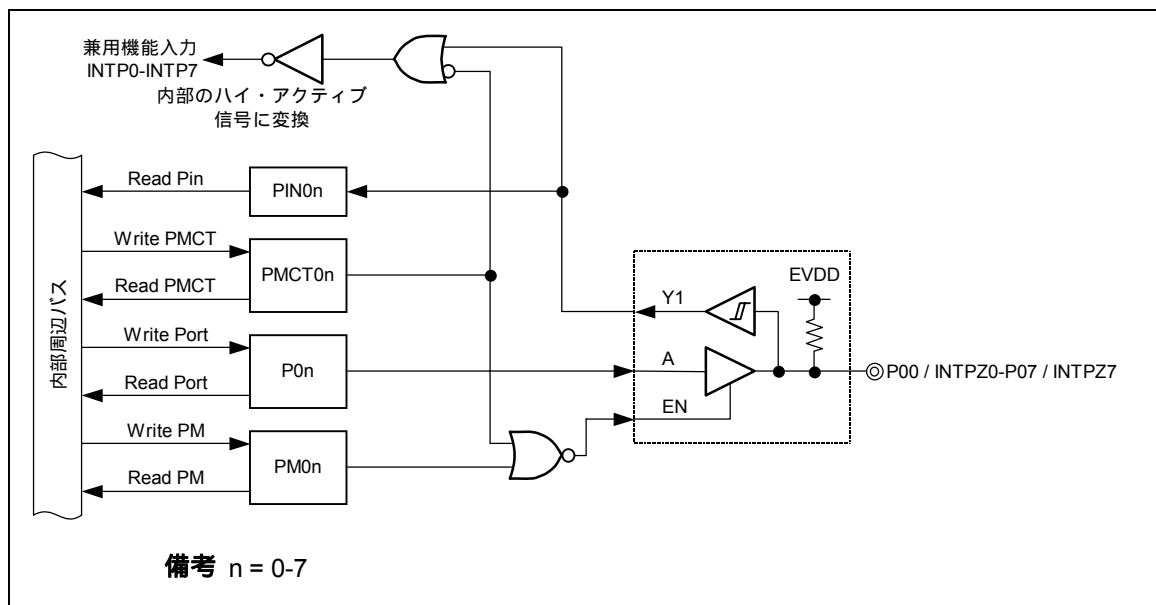
モード ポート	PMCT0n = 0 (ポート・モード)		PMCT0n = 1 (コントロール・モード)
	PM0n = 0 (出力ポート)	PM0n = 1 (入力ポート)	
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5
P06	P06 (出力モード)	P06 (入力モード)	INTPZ6
P07	P07 (出力モード)	P07 (入力モード)	INTPZ7

備考 n = 0-7

#### (2) ポート 0 の構成

ポート 0 はロー・アクティブの外部割り込み入力と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



### 23.12.2 ポート 1

ポート 1 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 1 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 1 モード・コントロール・レジスタ (PMCT1) で指定します。

#### (1) ポート 1 と兼用機能

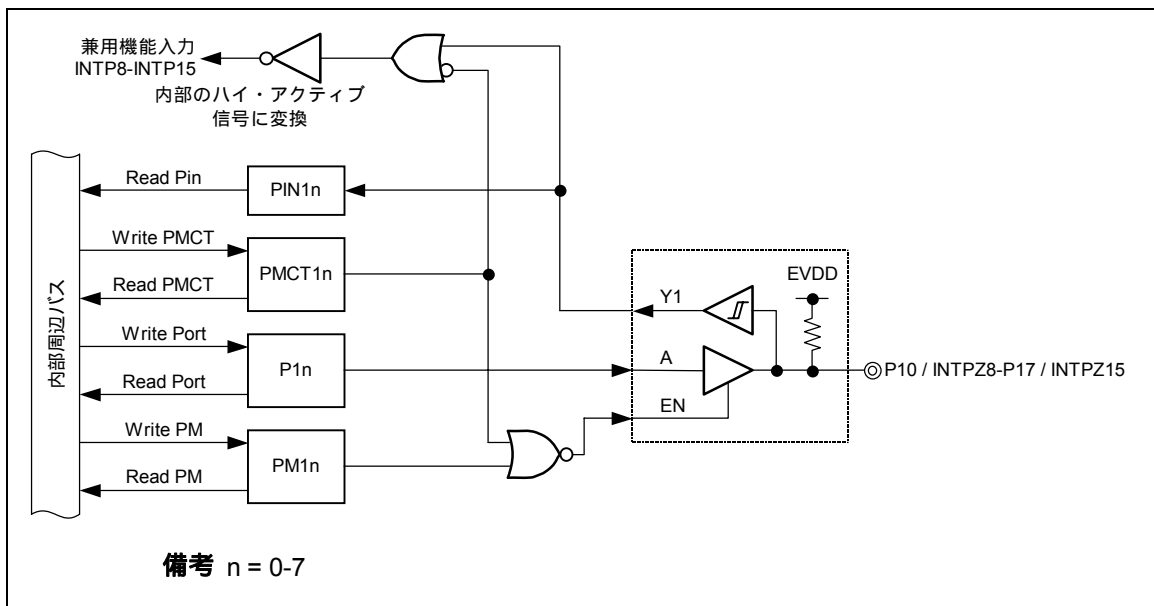
モード ポート	PMCT1n = 0 (ポート・モード)		PMCT1n = 1 (コントロール・モード)
	PM1n = 0 (出力ポート)	PM1n = 1 (入力ポート)	
P10	P10 (出力モード)	P10 (入力モード)	INTPZ8
P11	P11 (出力モード)	P11 (入力モード)	INTPZ9
P12	P12 (出力モード)	P12 (入力モード)	INTPZ10
P13	P13 (出力モード)	P13 (入力モード)	INTPZ11
P14	P14 (出力モード)	P14 (入力モード)	INTPZ12
P15	P15 (出力モード)	P15 (入力モード)	INTPZ13
P16	P16 (出力モード)	P16 (入力モード)	INTPZ14
P17	P17 (出力モード)	P17 (入力モード)	INTPZ15

備考 n = 0-7

#### (2) ポート 1 の構成

ポート 1 はロー・アクティブの外部割り込み入力と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



### 23.12.3 ポート 2

ポート 2 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

このポートは SiP 内部接続を前提としたポートです。

ポート 2 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力、ウォッチドッグ・タイマ出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 2 モード・コントロール・レジスタ (PMCT2) で指定します。

P27 の兼用機能の INTPZ23 と WDTOUTZ は、ポート 2 ファンクション・コントロール・レジスタ (PFC2) で選択します。

#### (1) ポート 2 と兼用機能

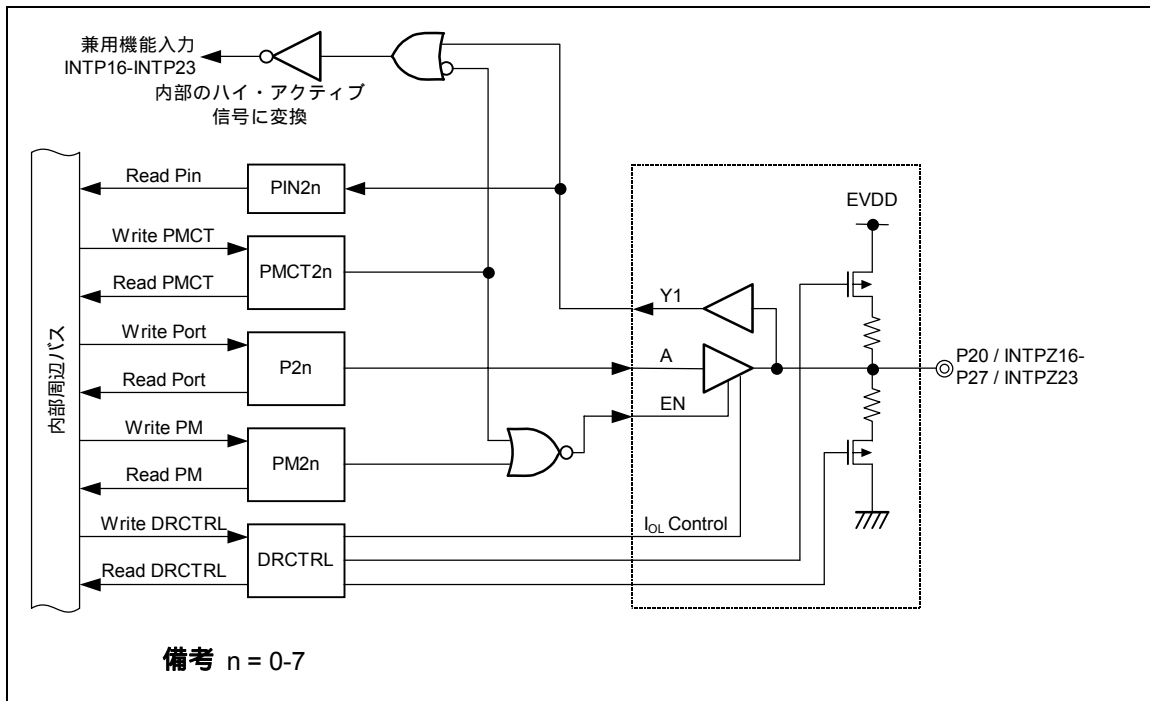
モード ポート	PMCT2n = 0 (ポート・モード)		PMCT2n = 1 (コントロール・モード)	
	PM2n = 0 (出力ポート)	PM2n = 1 (入力ポート)	PFC2n = 0	PFC2n = 1
P20	P20 (出力モード)	P20 (入力モード)	INTPZ16	-
P21	P21 (出力モード)	P21 (入力モード)	INTPZ17	-
P22	P22 (出力モード)	P22 (入力モード)	INTPZ18	-
P23	P23 (出力モード)	P23 (入力モード)	INTPZ19	-
P24	P24 (出力モード)	P24 (入力モード)	INTPZ20	-
P25	P25 (出力モード)	P25 (入力モード)	INTPZ21	-
P26	P26 (出力モード)	P26 (入力モード)	INTPZ22	-
P27	P27 (出力モード)	P27 (入力モード)	INTPZ23	WDTOUTZ

備考 n = 0-7

(2) P20/INTPZ16-P26/INTPZ22 の構成

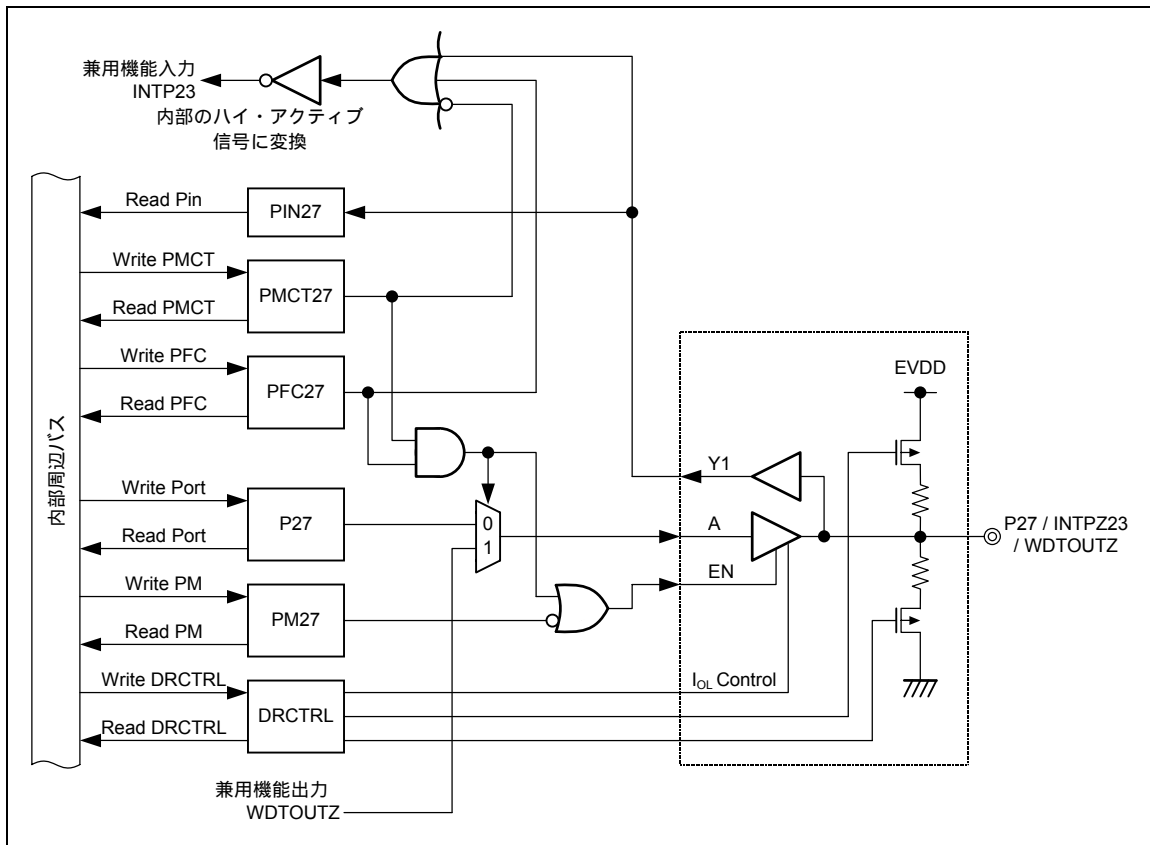
P20-P26 はロー・アクティブの外部割り込み入力と兼用されています。

また、リセット時はプルアップ抵抗が接続されています。内部割り込み信号は正論理のため反転しています。



(3) P27/INTPZ23/WDTOUTZ の構成

P27 はロー・アクティブの外部割り込み入力，ウォッチドッグ・タイマ出力と兼用されています。  
 また，リセット時はプルアップ抵抗が接続されています。内部割り込み信号は正論理のため反転して  
 います。



### 23.12.4 ポート 3

ポート 3 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 3 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 (UART0, UART1)、クロック同期式シリアル・インタフェースのチャンネル 2, 3 (CSI32, CSI33) の入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 3 モード・コントロール・レジスタ (PMCT3) で指定します。

P30-P32, P34-P36 は、UART 端子と CSI 端子で兼用されています。ポート 3 ファンクション・コントロール・レジスタ (PFC3) で、両者の機能を選択します。

#### (1) ポート 3 と兼用機能

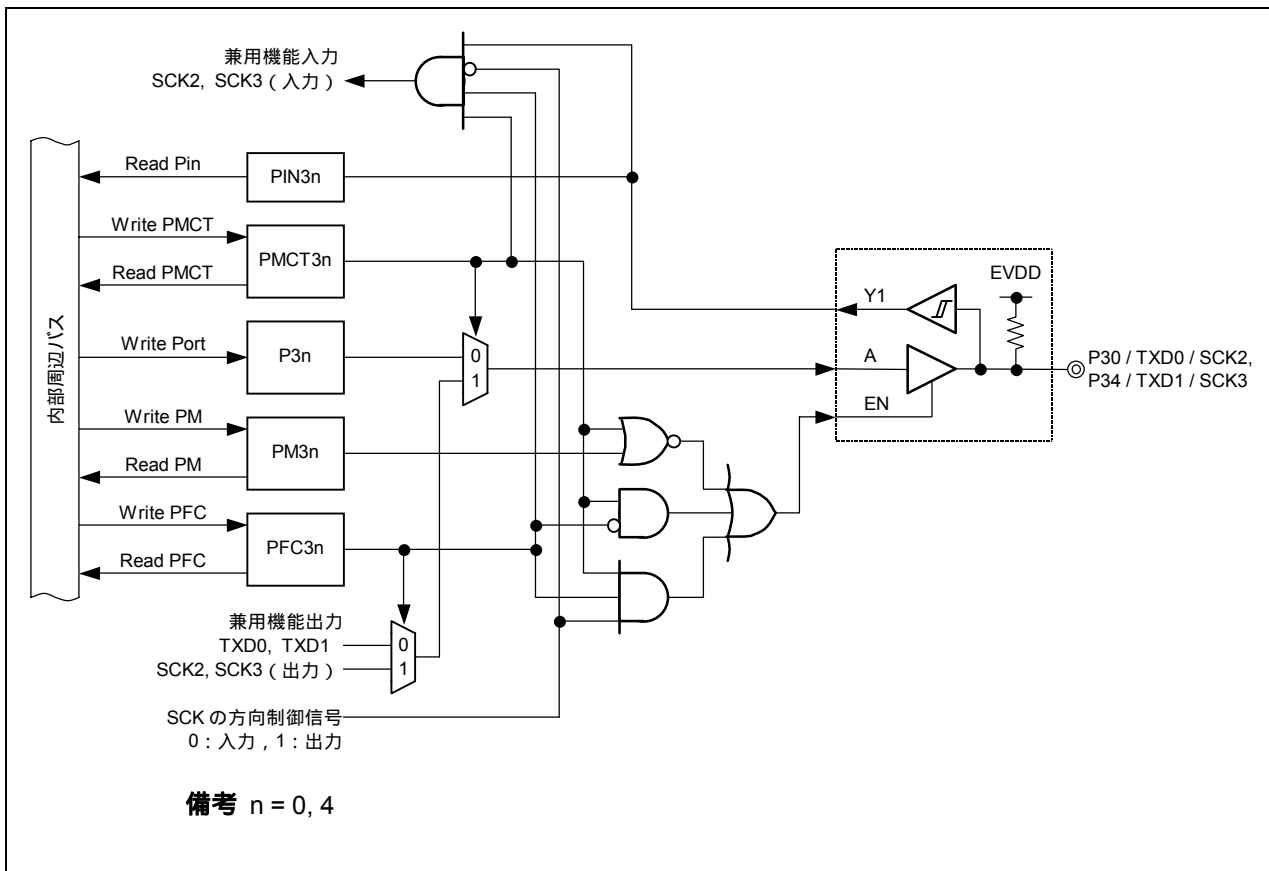
モード ポート	PMCT3n = 0 (ポート・モード)		PMCT3n = 1 (コントロール・モード)	
	PM3n = 0 (出力ポート)	PM3n = 1 (入力ポート)	PFC3n = 0	PFC3n = 1
P30	P30 (出力モード)	P30 (入力モード)	TXD0	SCK2
P31	P31 (出力モード)	P31 (入力モード)	RXD0	SO2
P32	P32 (出力モード)	P32 (入力モード)	RTS0	SI2
P33	P33 (出力モード)	P33 (入力モード)	CTS0	-
P34	P34 (出力モード)	P34 (入力モード)	TXD1	SCK3
P35	P35 (出力モード)	P35 (入力モード)	RXD1	SO3
P36	P36 (出力モード)	P36 (入力モード)	RTS1	SI3
P37	P37 (出力モード)	P37 (入力モード)	CTS1	-

備考 n = 0-7



(2) P30 / TXD0 / SCK2 の構成

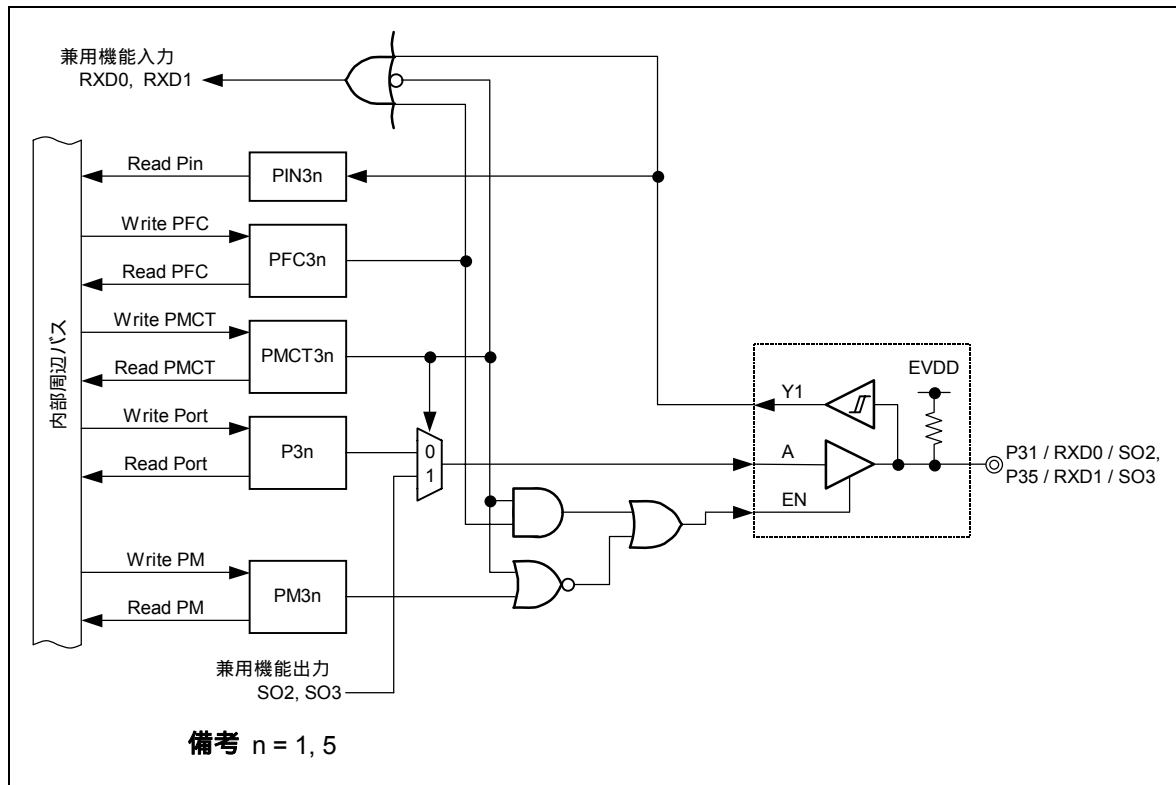
UART の送信端子と CSI クロック入出力端子を兼用機能に持っています。



(3) P31 / RXD0 / SO2, P35 / RXD1 / SO3 の構成

UART の受信端子と、CSI のデータ出力端子を兼用機能に持っています。

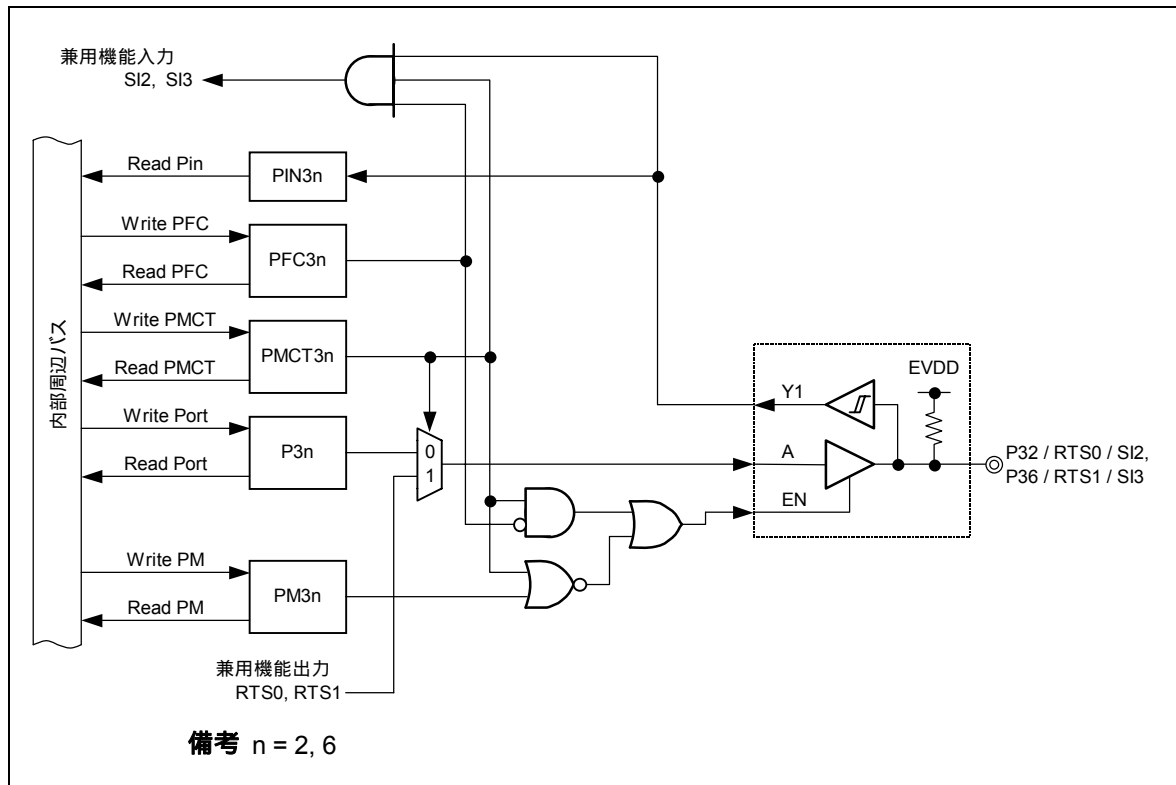
RXD 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



(4) P32 / RTS0 / SI2, P36 / RTS1 / SI3 の構成

UART の RTS 出力端子と CSI のデータ入力端子を兼用機能に持っています。

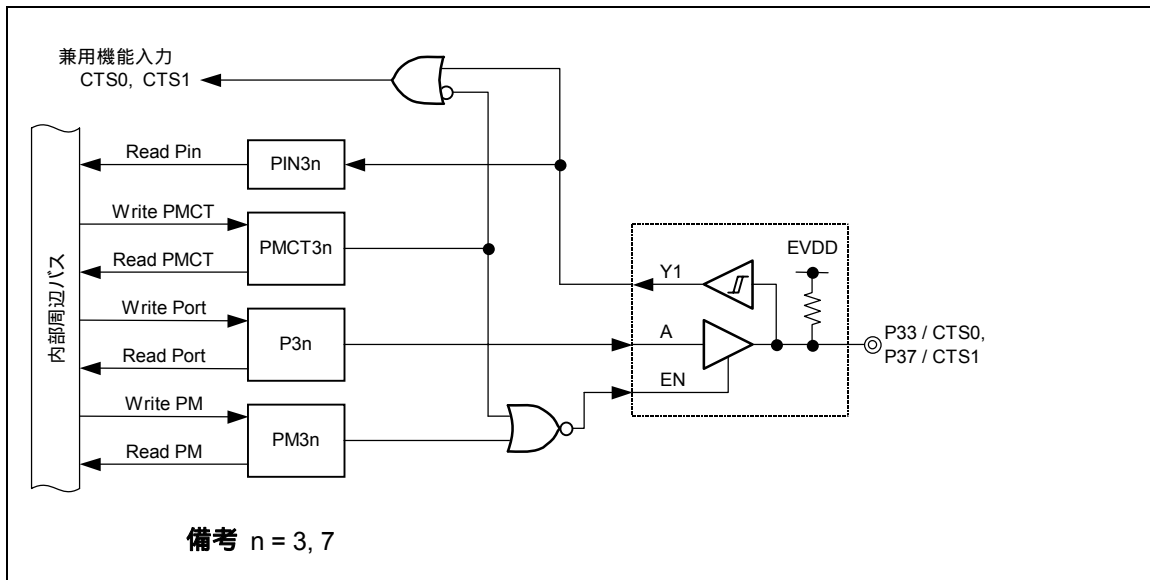
SI 入力端子のデフォルト状態は、通信していない状態では、ロー・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



(5) P33 / CTS0, P37 / CTS1 の構成

UART の CTS 入力端子を兼用機能に持っています。

CTS 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



### 23.12.5 ポート 4

ポート 4 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 4 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 2, 3 (UART2, UART3) の入出力、CAN コントローラの入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 4 モード・コントロール・レジスタ (PMCT4) で指定します。

P44-P47 は、UART 端子と CAN 端子で兼用されています。ポート 4 ファンクション・コントロール・レジスタ (PFC4) で、両者の機能を選択します。また P45, P47 は 5V トレラント端子です。

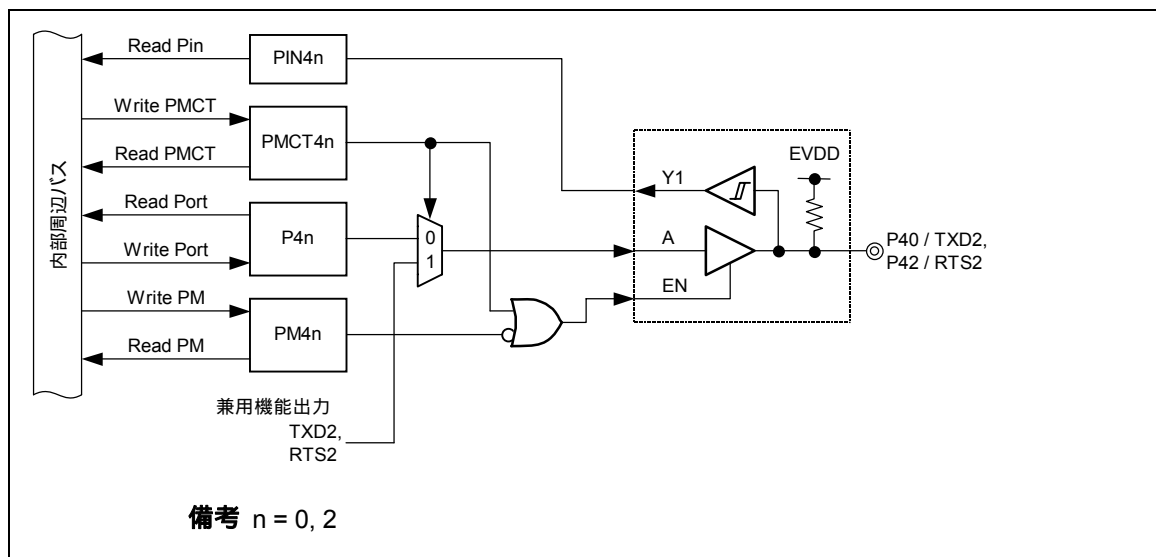
#### (1) ポート 4 と兼用機能

モード ポート	PMCT4n = 0 (ポート・モード)		PMCT4n = 1 (コントロール・モード)	
	PM4n = 0 (出力ポート)	PM4n = 1 (入力ポート)	PFC4n = 0	PFC4n = 1
P40	P40 (出力モード)	P40 (入力モード)	TXD2	-
P41	P41 (出力モード)	P41 (入力モード)	RXD2	-
P42	P42 (出力モード)	P42 (入力モード)	RTS2	-
P43	P43 (出力モード)	P43 (入力モード)	CTS2	-
P44	P44 (出力モード)	P44 (入力モード)	TXD3	CTXD0
P45	P45 (出力モード)	P45 (入力モード)	RXD3	CRXD0
P46	P46 (出力モード)	P46 (入力モード)	RTS3	CTXD1
P47	P47 (出力モード)	P47 (入力モード)	CTS3	CRXD1

#### 備考 n = 0-7

#### (2) P40 / TXD2, P42 / RTS2 の構成

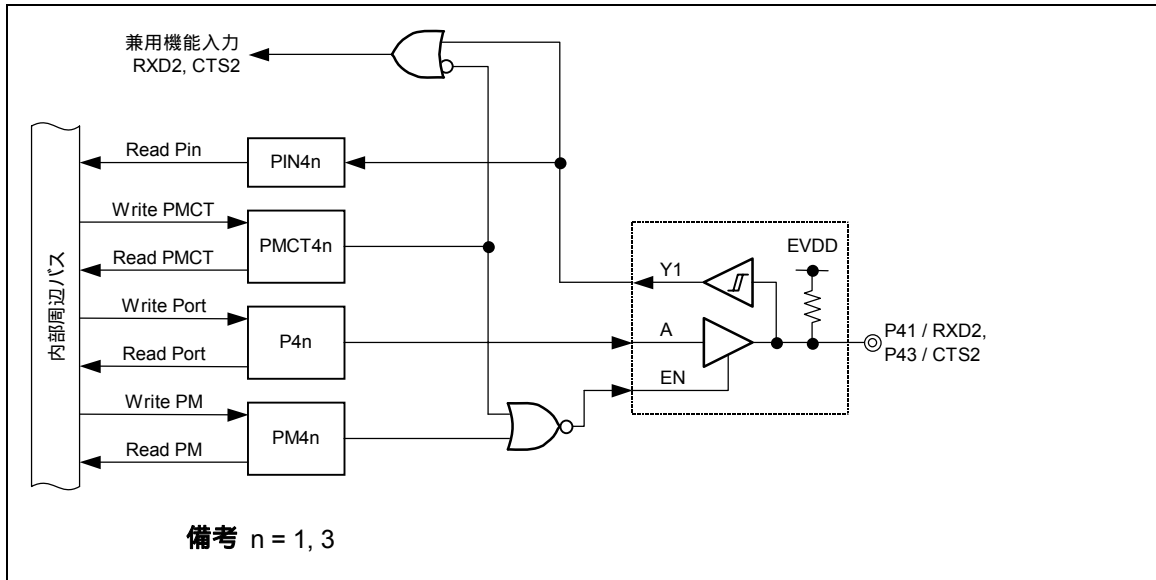
UART の出力端子を兼用機能に持っています。



(3) P41 / RXD2, P43 / CTS2 の構成

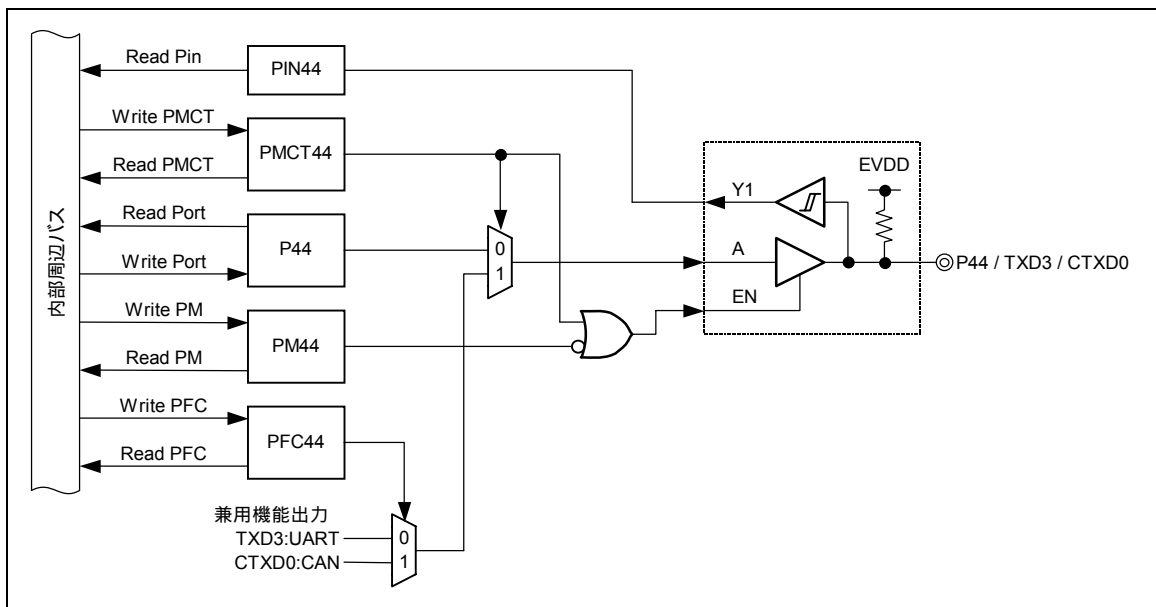
UART の入力端子を兼用機能に持っています。

RXD 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



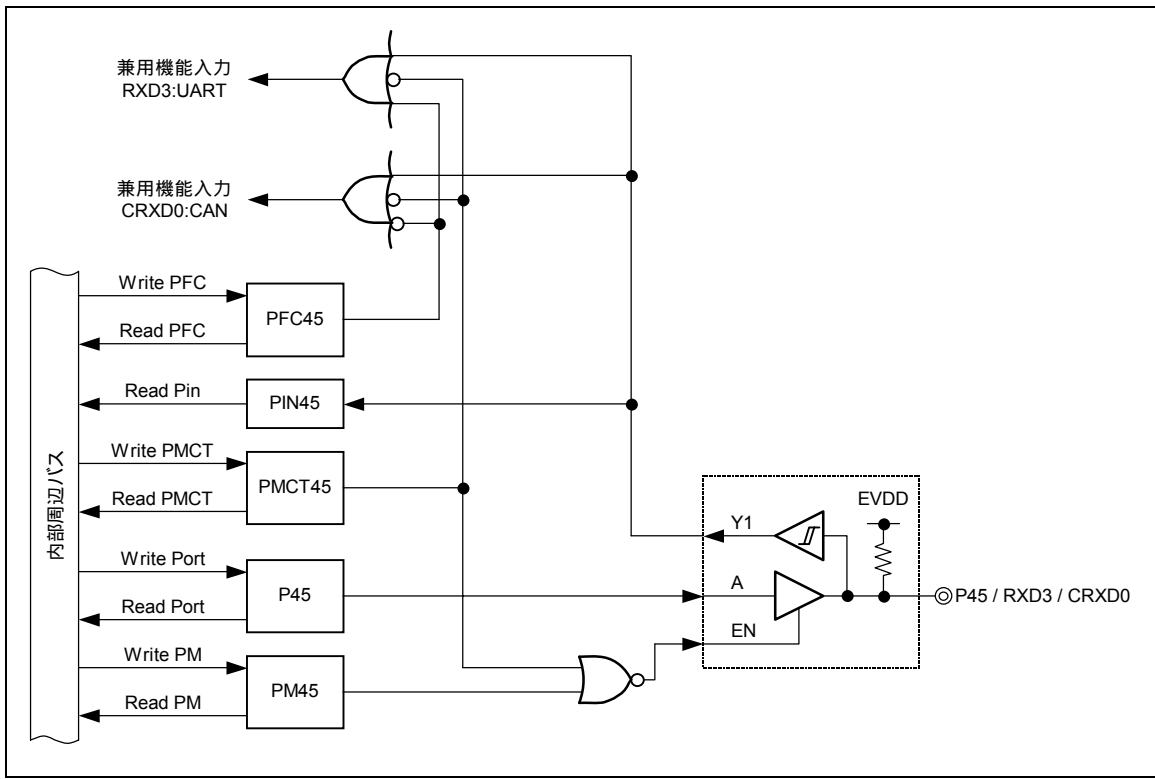
(4) P44 / TXD3 / CTXD0 の構成

UART と CAN の出力端子を兼用機能に持っています。両者の切り替えは、PFC4 レジスタの PFC44 ビットで行ってください。



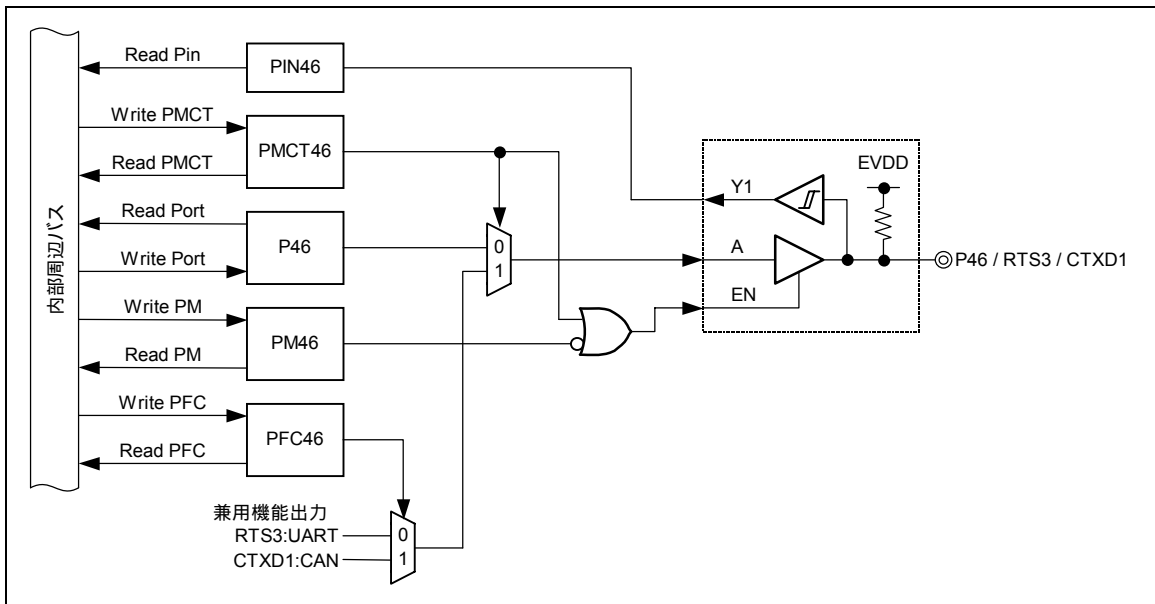
(5) P45 / RXD3 / CRXD0 の構成

UART と CAN の入力端子を兼用機能に持っています。両者の切り替えは、PFC4 レジスタの PFC45 ビットで行ってください。



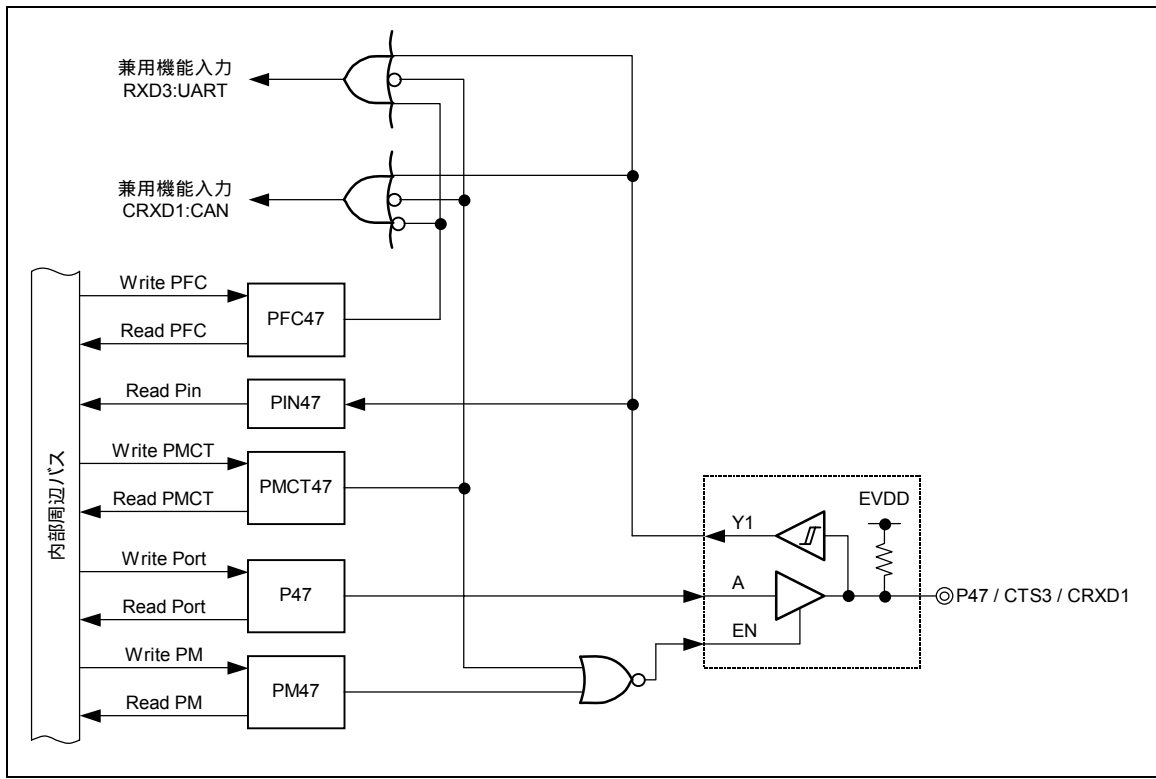
(6) P46 / RTS3 / CTXD1 の構成

UART と CAN の出力端子を兼用機能に持っています。両者の切り替えは、PFC4 レジスタの PFC46 ビットで行ってください。



(7) P47 / CTS3 / CRXD1 の構成

UART と CAN の入力端子を兼用機能に持っています。両者の切り替えは、PFC4 レジスタの PFC47 ビットで行ってください。





### 23.12.6 ポート 5

ポート 5 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

★

ポート 5 は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 0-3 の入出力端子として動作します。また EI レベル・マスクブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 5 モード・コントロール・レジスタ (PMCT5) で指定します。

複数の機能が兼用されている端子は、ポート 5 ファンクション・コントロール・レジスタ (PFC5) で兼用機能を選択します。TAA のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

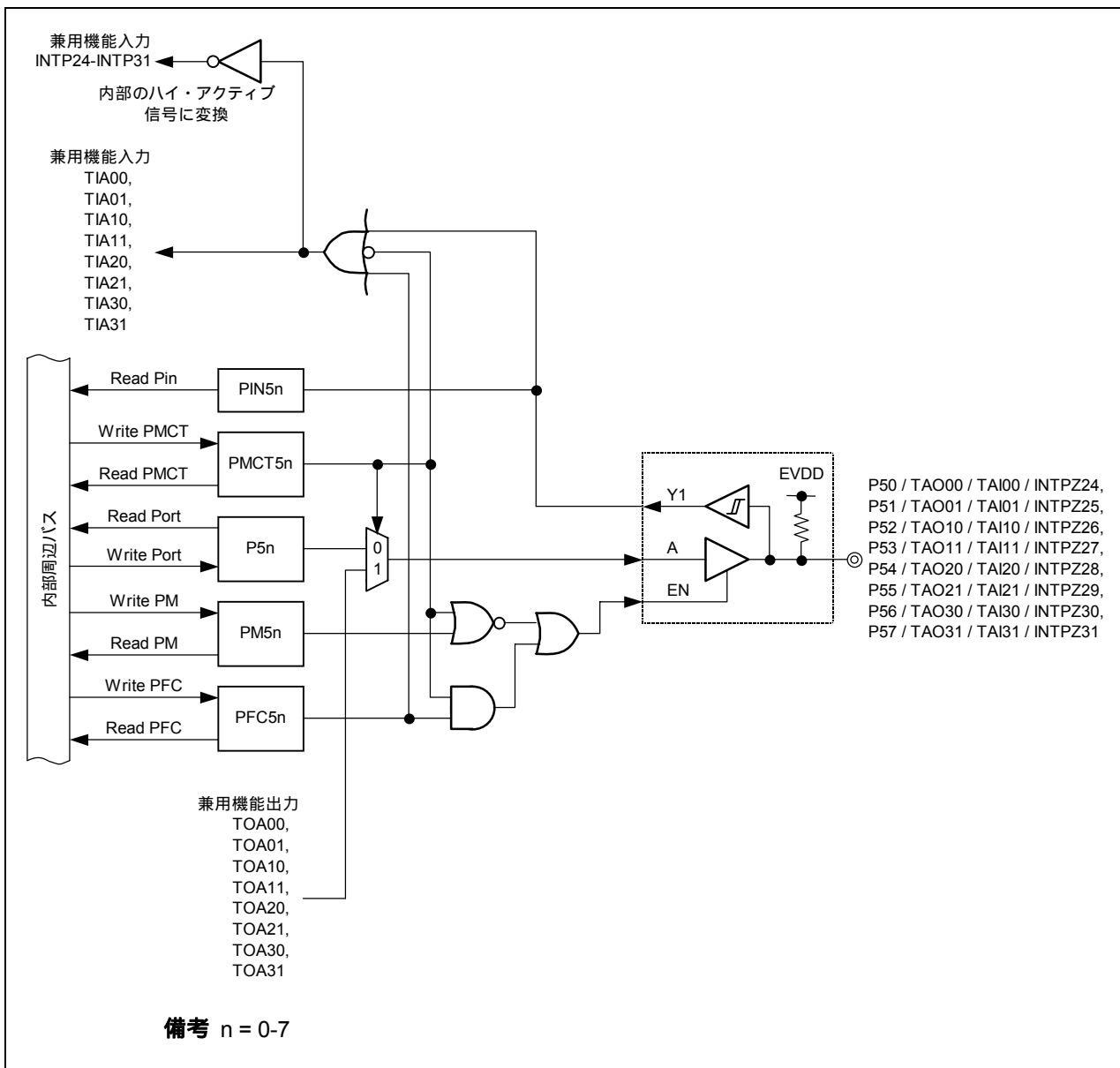
#### (1) ポート 5 と兼用機能

モード ポート	PMCT5n = 0 (ポート・モード)		PMCT5n = 1 (コントロール・モード)	
	PM5n = 0 (出力ポート)	PM5n = 1 (入力ポート)	PFC5n = 0	PFC5n = 1
P50	P50 (出力モード)	P50 (入力モード)	TIA00 / INTPZ24	TOA00
P51	P51 (出力モード)	P51 (入力モード)	TIA01 / INTPZ25	TOA01
P52	P52 (出力モード)	P52 (入力モード)	TIA10 / INTPZ26	TOA10
P53	P53 (出力モード)	P53 (入力モード)	TIA11 / INTPZ27	TOA11
P54	P54 (出力モード)	P54 (入力モード)	TIA20 / INTPZ28	TOA20
P55	P55 (出力モード)	P55 (入力モード)	TIA21 / INTPZ29	TOA21
P56	P56 (出力モード)	P56 (入力モード)	TIA30 / INTPZ30	TOA30
P57	P57 (出力モード)	P57 (入力モード)	TIA31 / INTPZ31	TOA31

備考 n = 0-7

(2) ポート 5 の構成

ポート 5 は、すべてのビットが、タイマ A (TAA) タイマ入出力、外部割り込み入力と兼用されています。内部割り込み信号は正論理のため反転しています。



### 23.12.7 ポート 6

ポート 6 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 6 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のアドレス・バス (A1, A20-A26) として動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 6 モード・コントロール・レジスタ (PMCT6) で指定します。

#### (1) ポート 6 と兼用機能

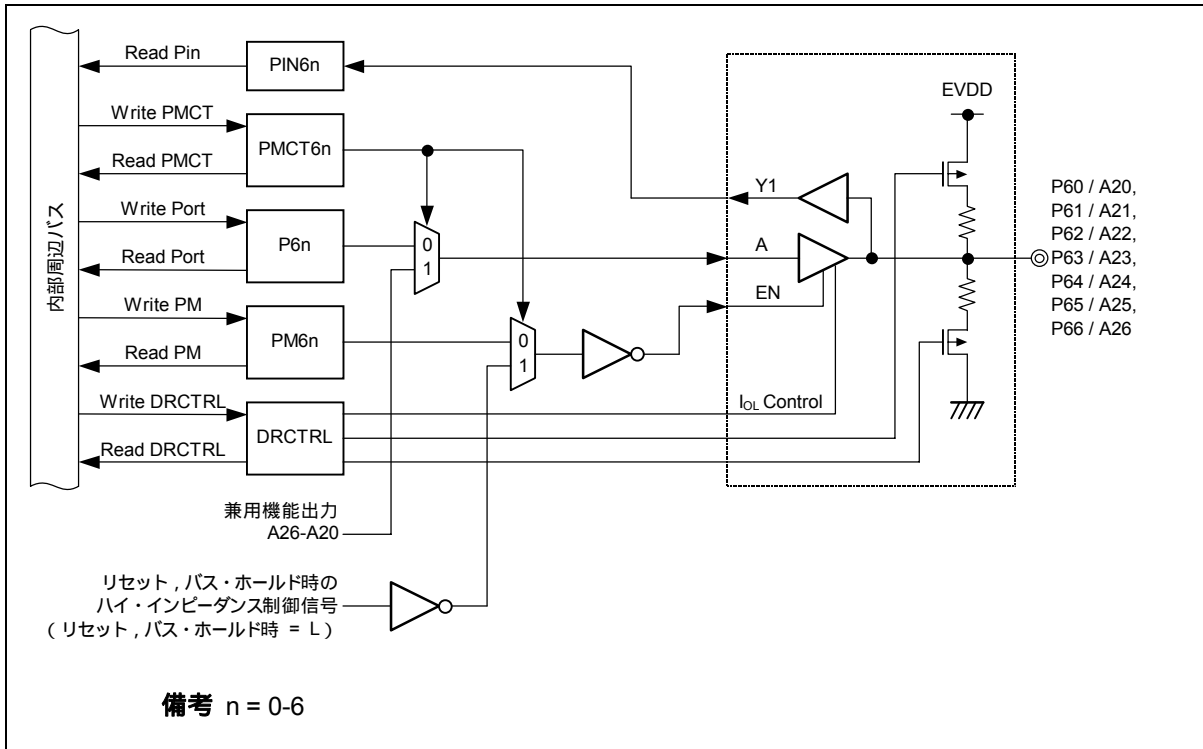
モード ポート	PMCT6n = 0 (ポート・モード)		PMCT6n = 1 (コントロール・モード)
	PM6n = 0 (出力ポート)	PM6n = 1 (入力ポート)	
P60	P60 (出力モード)	P60 (入力モード)	A20
P61	P61 (出力モード)	P61 (入力モード)	A21
P62	P62 (出力モード)	P62 (入力モード)	A22
P63	P63 (出力モード)	P63 (入力モード)	A23
P64	P64 (出力モード)	P64 (入力モード)	A24
P65	P65 (出力モード)	P65 (入力モード)	A25
P66	P66 (出力モード)	P66 (入力モード)	A26
P67	P67 (出力モード)	P67 (入力モード)	A1

備考 n = 0-7

(2) P60 / A20-P66 / A26 の構成

外部バス・インタフェースのアドレス出力と兼用しているため、下記の制御が行われます。リセット時は P60 / A20-P66 / A26 は入力ポートです。リセット時はプルダウン抵抗が接続されているため、入力ポート時にはロー・レベルになります。

端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
A20-A26	Hi-Z ( Pull-down )	ロー・レベル	Hi-Z ( Pull-down )



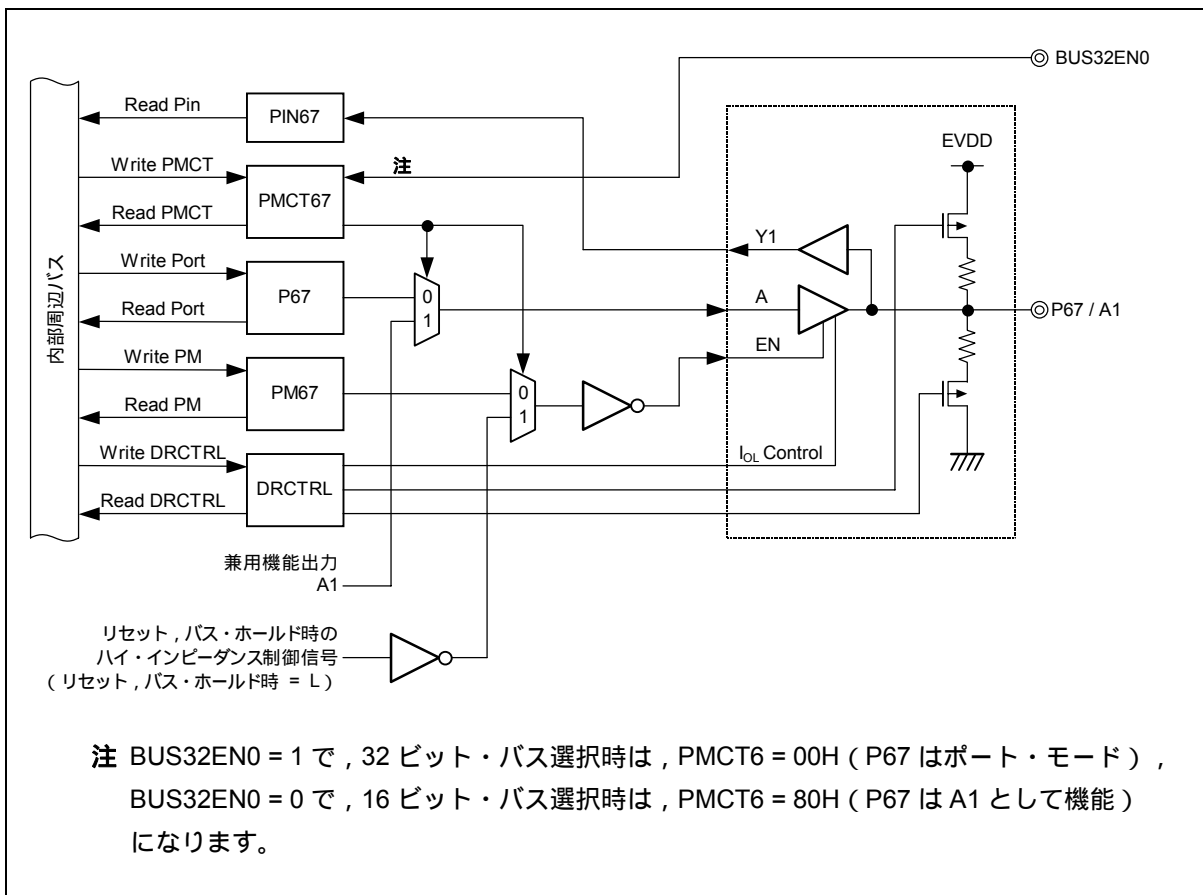
(3) P67 / A1 の構成

外部バス・インタフェースの A1 アドレス出力と兼用しているため、下記の制御が行われます。リセット時は Hi-Z 状態です。リセット時はプルダウン抵抗が接続されているため、Hi-Z 時にはロー・レベルになります。

端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
A1	Hi-Z ( Pull-down )	ロー・レベル	Hi-Z ( Pull-down )

また、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH



### 23.12.8 ポート 7

ポート 7 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 7 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合の制御信号 (WAITZ, STCSZ1-STCSZ3, DYCSZ, BENZ2/WRZ2, BENZ3/WRZ3), IDLE モード状態出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート 7 モード・コントロール・レジスタ (PMCT7) で指定します。

#### (1) ポート 7 と兼用機能

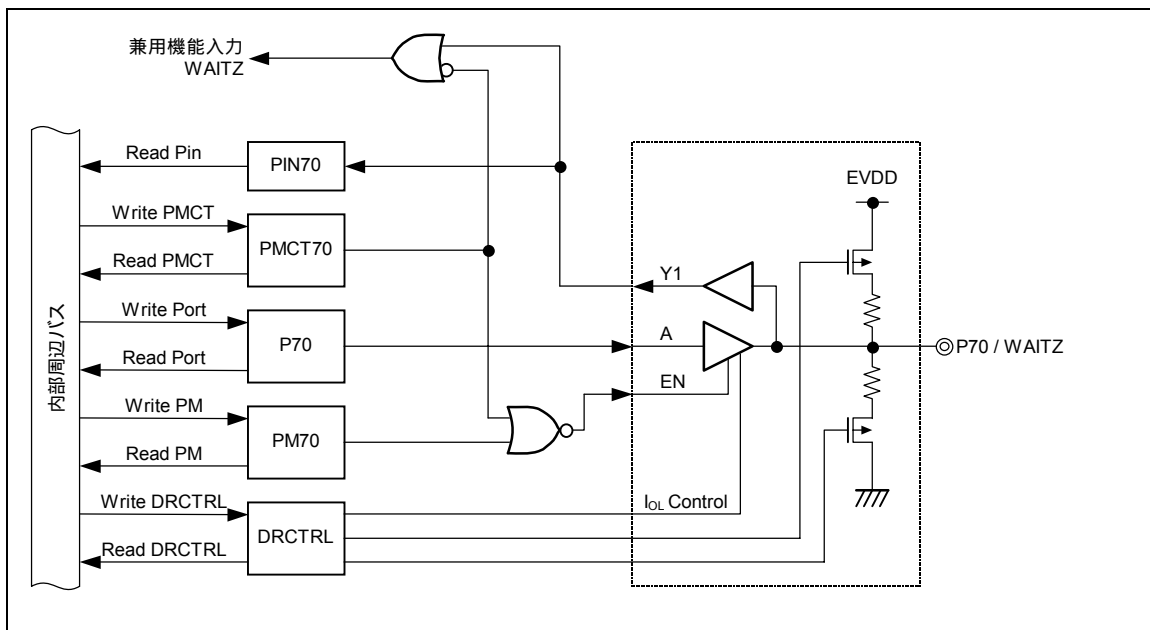
モード ポート	PMCT7n = 0 (ポート・モード)		PMCT7n = 1 (コントロール・モード)
	PM7n = 0 (出力ポート)	PM7n = 1 (入力ポート)	
P70	P70 (出力モード)	P70 (入力モード)	WAITZ
P71	P71 (出力モード)	P71 (入力モード)	STCSZ1-
P72	P72 (出力モード)	P72 (入力モード)	STCSZ2
P73	P73 (出力モード)	P73 (入力モード)	STCSZ3
P74	P74 (出力モード)	P74 (入力モード)	DYCSZ
P75	P75 (出力モード)	P75 (入力モード)	IDLEOUTZ
P76	P76 (出力モード)	P76 (入力モード)	BENZ2
P77	P77 (出力モード)	P77 (入力モード)	BENZ3

備考 n = 0-7

(2) P70 / WAITZ の構成

外部バス・インタフェースの WAITZ は入力のため、内蔵周辺機能の入力との兼用と同様の構成です。WAITZ は、ロー・アクティブです。リセット時はプルアップ抵抗が接続されています。リセット時は、入力ポートとして動作します。

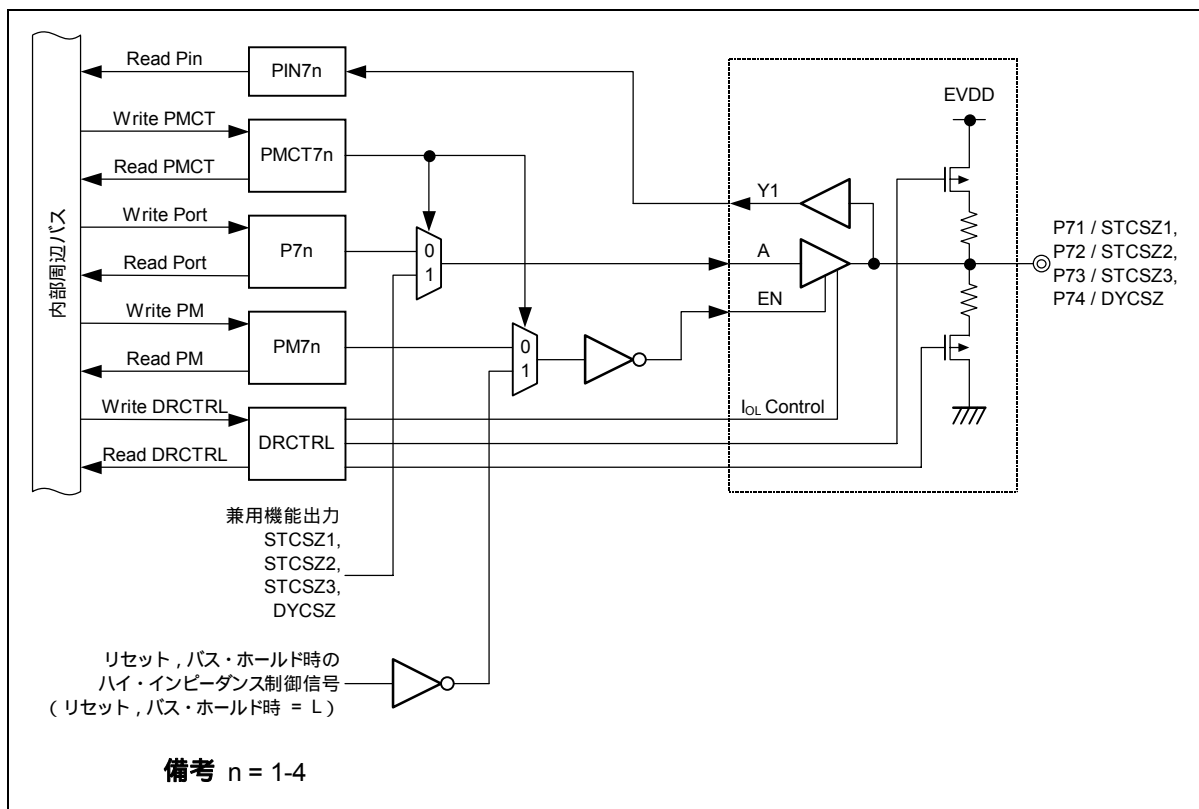
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
WAITZ	Hi-Z ( Pull-up )	入力 ( Pull-up )	入力 ( Pull-up )



(3) P71 / STCSZ1-P73 / STCSZ3, P74 / DYCSZ の構成

外部バス・インタフェースのチップ・セレクト出力 (STCSZ1-STCSZ3, DYCSZ) と兼用しており、下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。リセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
STCSZ1-STCSZ3	Hi-Z ( Pull-up )	ハイ・レベル	Hi-Z ( Pull-up )
DYCSZ			

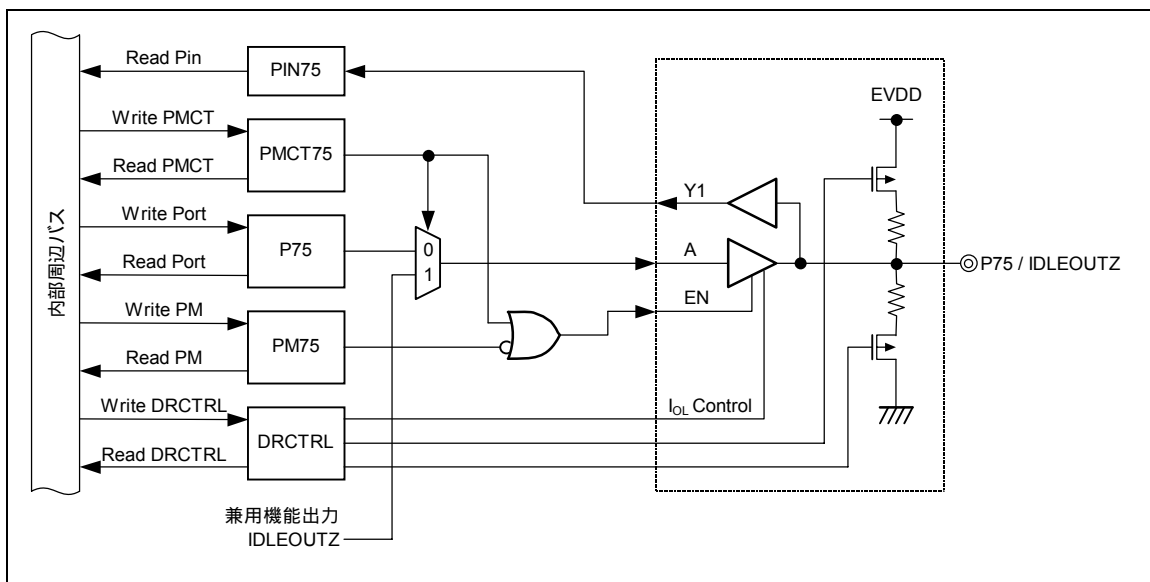




(4) P75 / IDLEOUTZ の構成

IDLE モードの状態出力と兼用しています。

IDLE モードに入り、クロック停止が行われるタイミングで、ロー・レベルが出力されます。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。



(5) P76 / BENZ2, P77 / BENZ3 の構成

外部バス・インタフェースの上位 2 ビットのバイト・レーン信号と兼用しており、下記の制御が行われます。

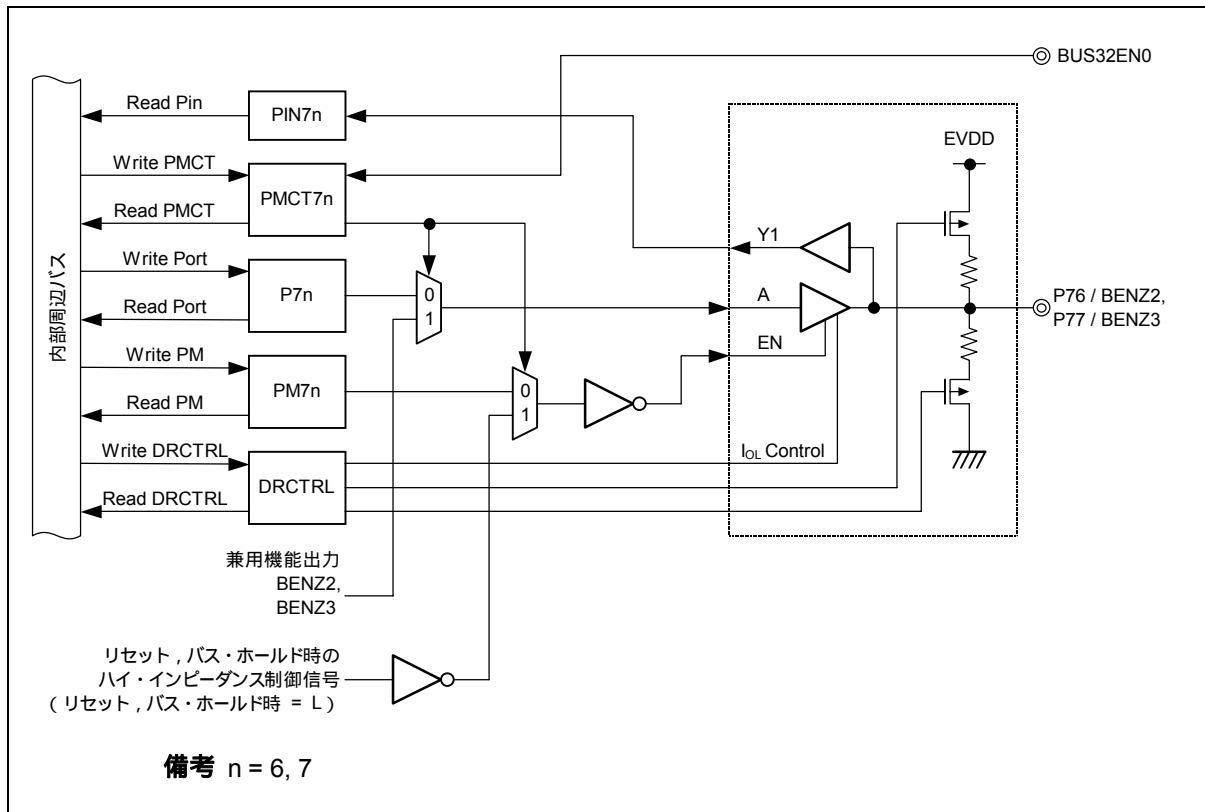
PFESiP/V850EP3 で BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

リセット時は Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
BENZ2, BENZ3	Hi-Z ( Pull-up )	ハイ・レベル	Hi-Z ( Pull-up )

また、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	起動時の外部バス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH



### 23.12.9 ポート 8

ポート 8 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 8 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合の制御信号 (HLDRQZ, HLDKZ, BUSREQZ) ウォッチドッグ・タイマ出力、およびシリアル・フラッシュ ROM メモリ・コントローラのインタフェースとして動作します。

リセット時はプルアップ抵抗付きです。P80-P82 のみ、バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BOOTSEL0, BOOTSEL1 端子で、シリアル・フラッシュ ROM からのブートを選択した場合は、P84-P87 はリセット解除直後から兼用機能が有効になります。<sup>注</sup>

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 8 モード・コントロール・レジスタ (PMCT8) で指定します。

#### (1) ポート 8 と兼用機能

モード ポート	PMCT8n = 0 (ポート・モード)		PMCT8n = 1 (コントロール・モード)
	PM8n = 0 (出力ポート)	PM8n = 1 (入力ポート)	
P80	P80 (出力モード)	P80 (入力モード)	HLDRQZ
P81	P81 (出力モード)	P81 (入力モード)	HLDKZ
P82	P82 (出力モード)	P82 (入力モード)	BUSREQZ
P83	P83 (出力モード)	P83 (入力モード)	WDTOUTZ
P84	P84 (出力モード)	P84 (入力モード)	SMSCK
P85	P85 (出力モード)	P85 (入力モード)	SMSO
P86	P86 (出力モード)	P86 (入力モード)	SMSI
P87	P87 (出力モード)	P87 (入力モード)	SMCSZ

**注** BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

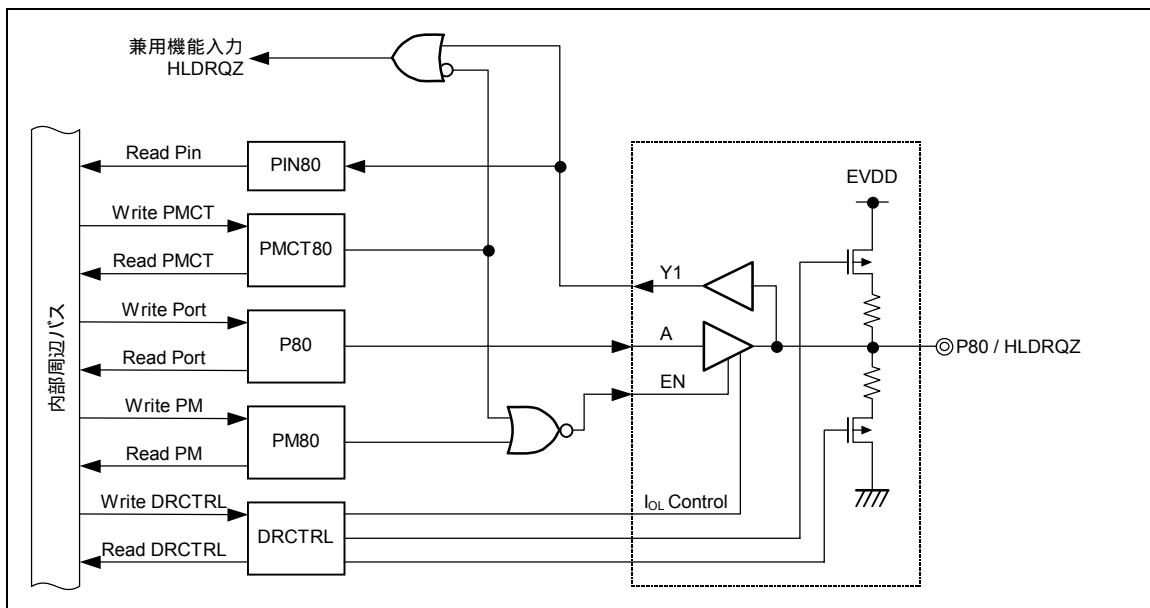
BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	SiP 内部の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	-	-

備考 n = 0-7

(2) P80 / HLDRQZ の構成

HLDRQZ 入力と兼用しているため、下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。兼用機能はロー・アクティブです。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

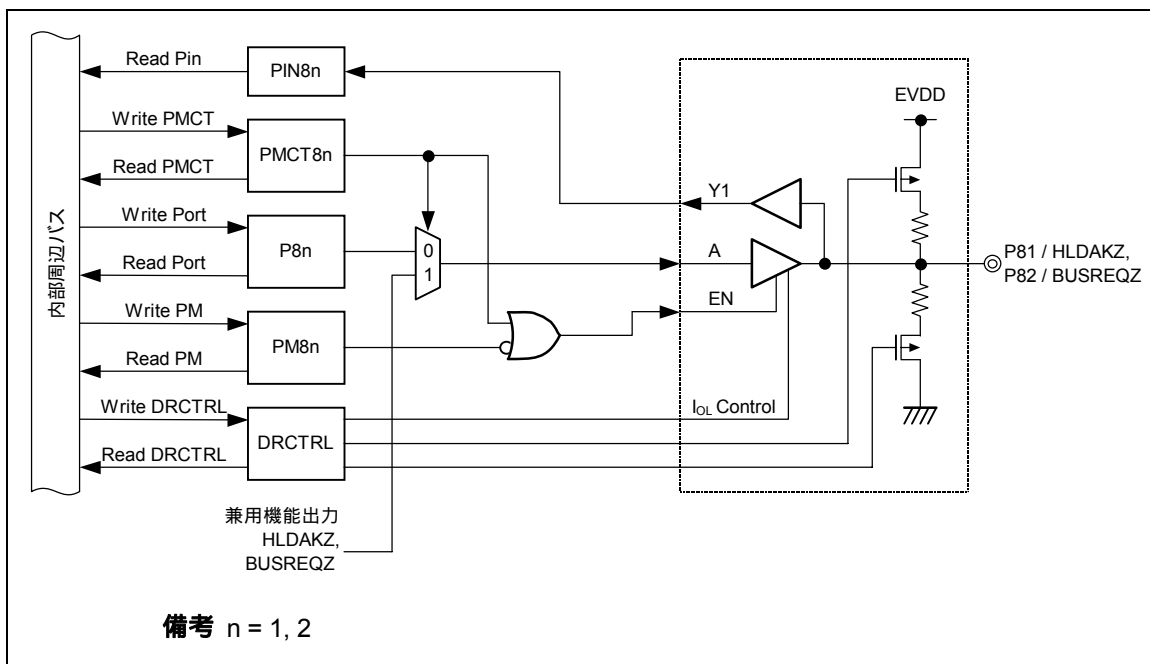
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
HLDRQZ	Hi-Z ( Pull-up )	入力 ( Pull-up )	動作



(3) P81 / HLDKZ, P82 / BUSREQZ の構成

外部バス・インタフェースの出力と兼用しているため、下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

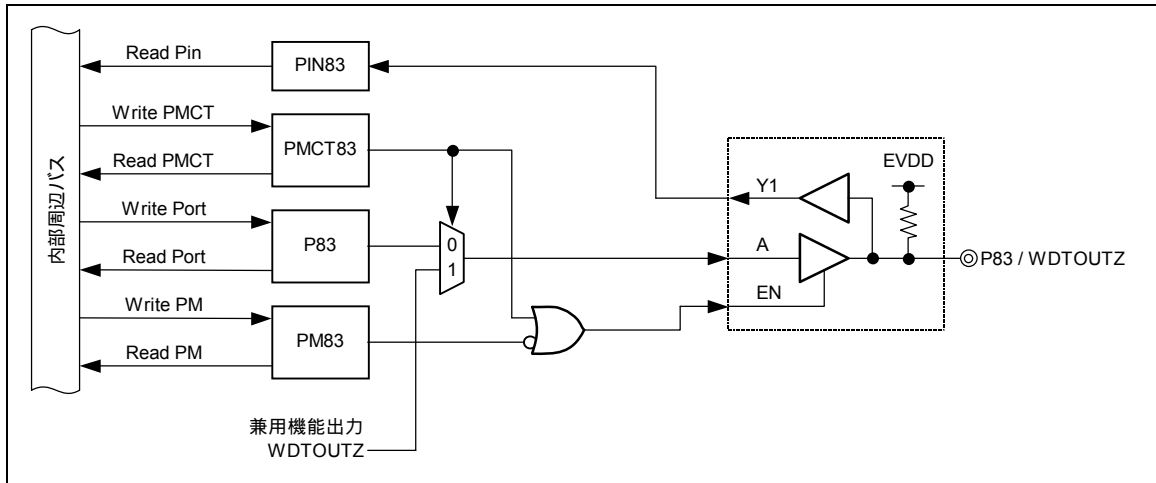
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
HLDKZ	Hi-Z ( Pull-up )	ハイ・レベル	ロー・レベル
BUSREQZ	Hi-Z ( Pull-up )	動作	動作



## (4) P83 / WDTOUTZ の構成

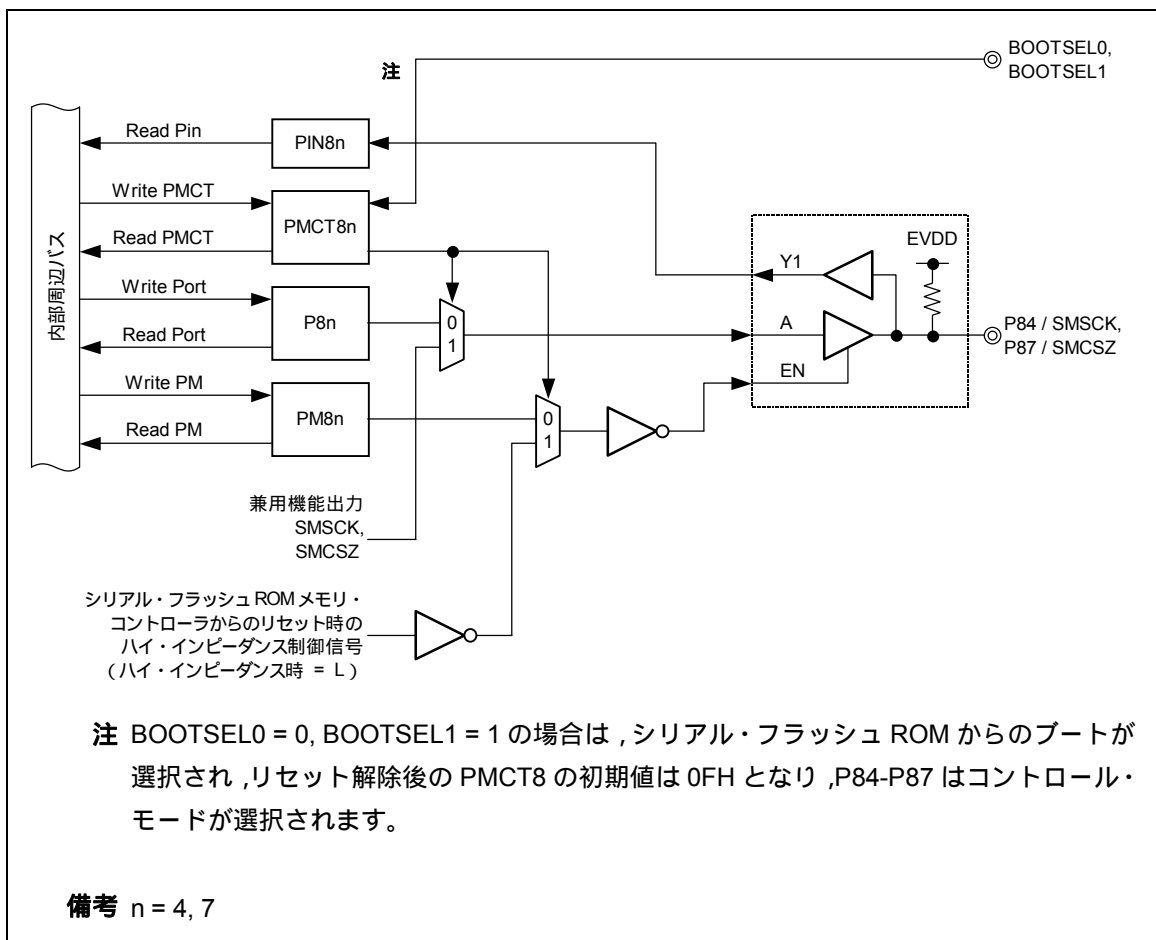
ウォッチドッグ・タイマ出力と兼用しています。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。リセット時は入力ポートになるため Hi-Z 状態です。なおプルアップ抵抗内蔵のため、Hi-Z 時にはハイ・レベルになります。



## (5) P84 / SMSCK, P87/ SMCSZ の構成

シリアル・フラッシュ ROM とのインタフェースの出力端子と兼用されています。

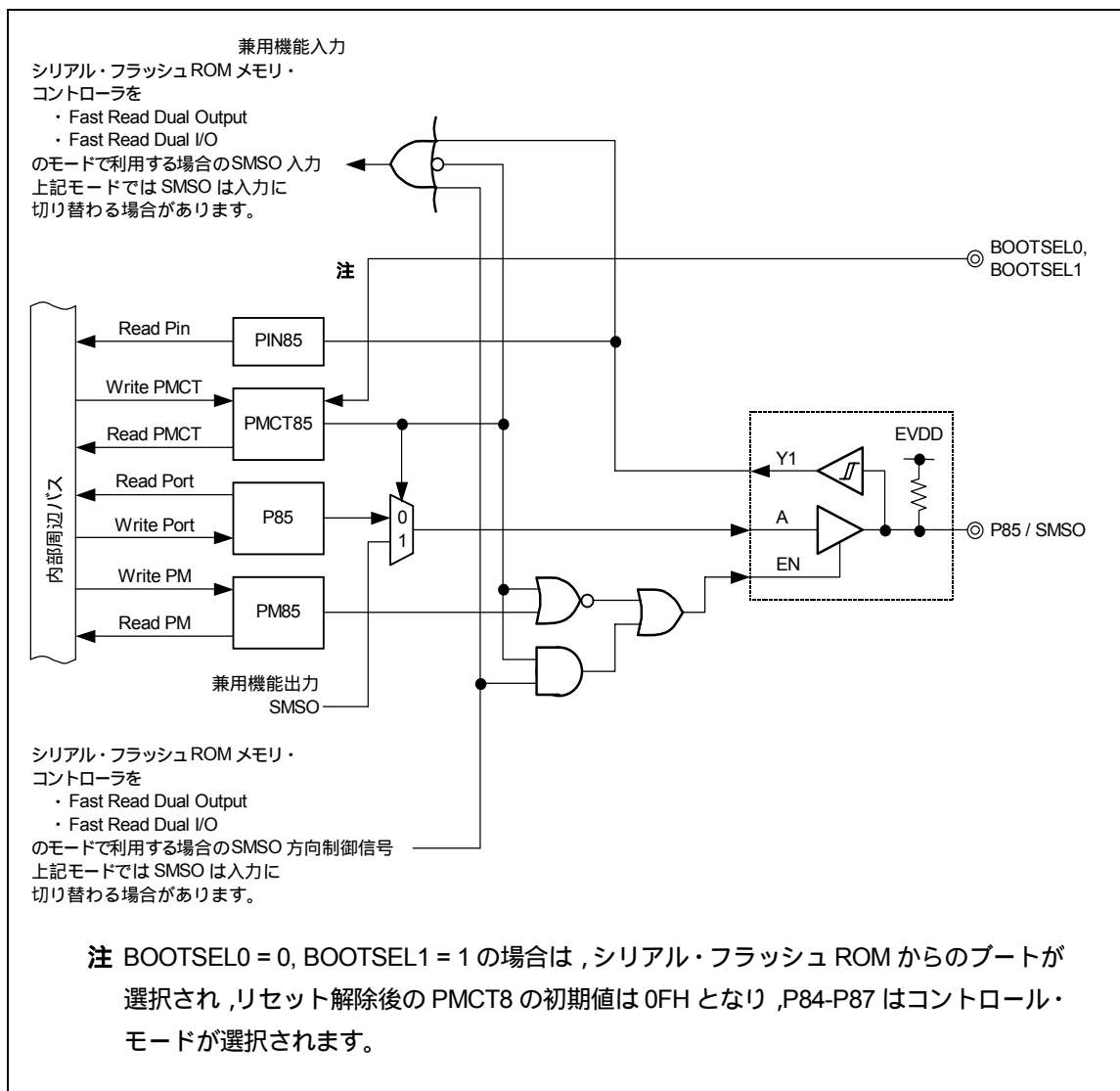


(6) P85 / SMSO の構成

シリアル・フラッシュ ROM とのインタフェースの入出力端子と兼用されています。

PFESiP/V850EP3 内蔵のシリアル・フラッシュ ROM メモリ・コントローラは、高いスループットを実現できる、Fast Read Dual Output モード、Fast Read Dual I/O モードに対応しており、これらのモードを持つシリアル・フラッシュ ROM と組み合わせることで、転送効率の向上が可能です。

これらのモードを利用する場合、SMSO は入出力端子として機能し、シリアル・フラッシュ ROM メモリ・コントローラから方向制御が行われます。

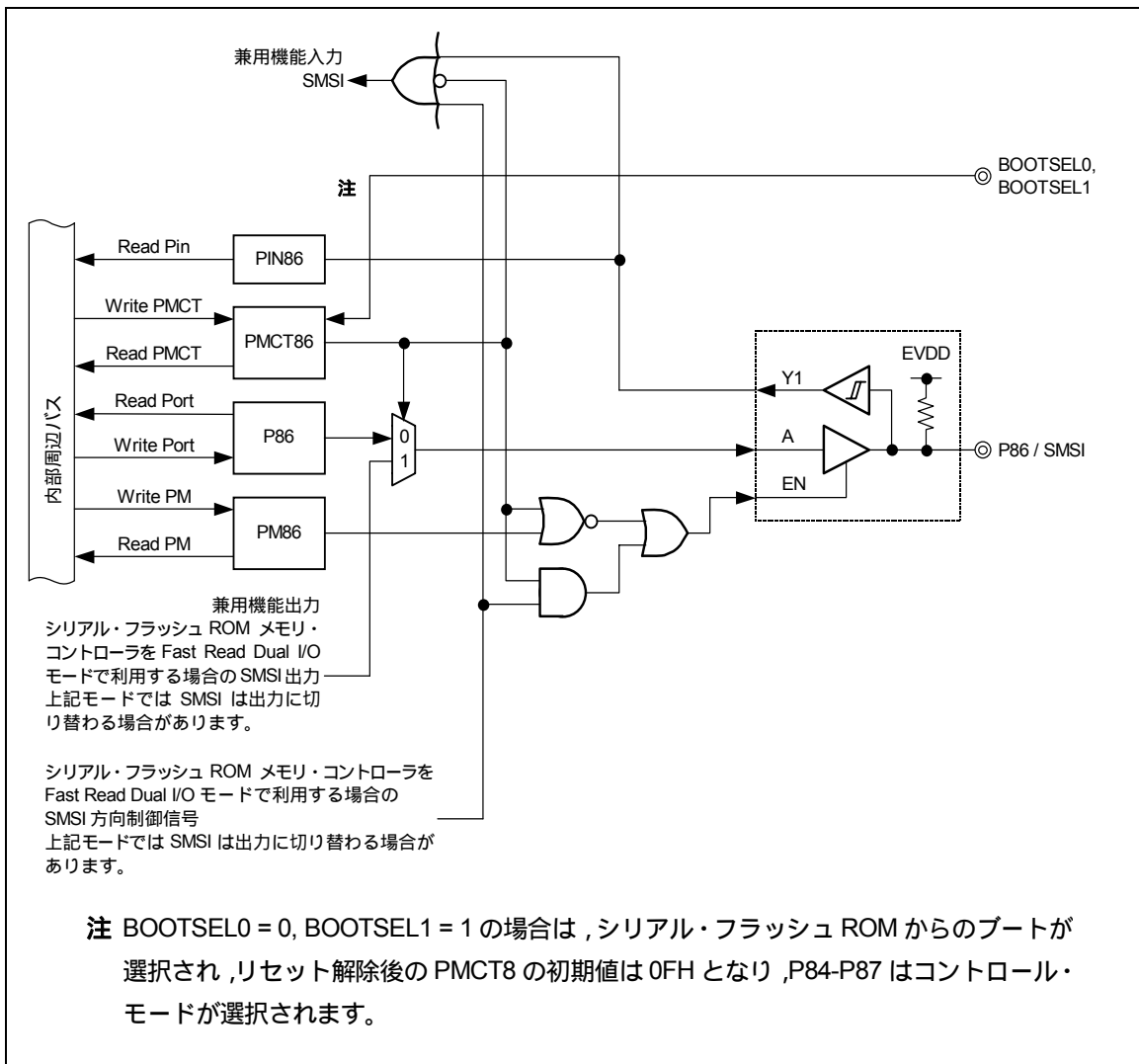


## (7) P86 / SMSI の構成

シリアル・フラッシュ ROM とのインターフェースの入出力端子と兼用されています。

PFESiP/V850EP3 内蔵のシリアル・フラッシュ ROM メモリ・コントローラは、高いスループットを実現できる、Fast Read Dual Output モード、Fast Read Dual I/O モードに対応しており、これらのモードを持つシリアル・フラッシュ ROM と組み合わせることで、転送効率の向上が可能です。

これらのモードのうち Fast Read Dual I/O モードを利用する場合、SMSI は入出力端子として機能し、シリアル・フラッシュ ROM メモリ・コントローラから方向制御が行われます。





### 23.12.10 ポート 9

ポート 9 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 9 は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のデータ・バス (D16-D23)、16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネル 0 の入出力端子、このうち P92-P94, P97 は EI レベル・マスカブル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 9 モード・コントロール・レジスタ (PMCT9) で指定します。

また複数の機能が兼用されている端子は、ポート 9 ファンクション・コントロール・レジスタ (PFC9) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T (TMT) の機能と、外部割り込みの機能は、同時に動作します。

P95, P96 は、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート 9 ファンクション・コントロール拡張レジスタ (PFCEX9) で選択します。

## (1) ポート 9 と兼用機能

モード ポート	PMCT9n = 0 (ポート・モード)		PMCT9n = 1 (コントロール・モード)			
	PM9n = 0 (出力ポート)	PM9n = 1 (入力ポート)	PFCEX9n = 0		PFCEX9n = 1	
			PFC9n = 0	PFC9n = 1	PFC9n = 0	PFC9n = 1 (設定禁止)
P90	P90 (出力モード)	P90 (入力モード)	D16	TENC00	-	-
P91	P91 (出力モード)	P91 (入力モード)	D17	TENC01	-	-
P92	P92 (出力モード)	P92 (入力モード)	D18	TECR0 / INTPZ42	-	-
P93	P93 (出力モード)	P93 (入力モード)	D19	TRGT0 / INTPZ43	-	-
P94	P94 (出力モード)	P94 (入力モード)	D20	EVTT0 / INTPZ44	-	-
P95	P95 (出力モード)	P95 (入力モード)	D21	TIT00	TOT00	-
P96	P96 (出力モード)	P96 (入力モード)	D22	TIT01	TOT01	-
P97	P97 (出力モード)	P97 (入力モード)	D23	INTPZ45	-	-

## 備考 n = 0-7

## (2) ポート 9 の構成

外部バス・インタフェースのデータ・バスと兼用しているため、下記の制御が行われます。

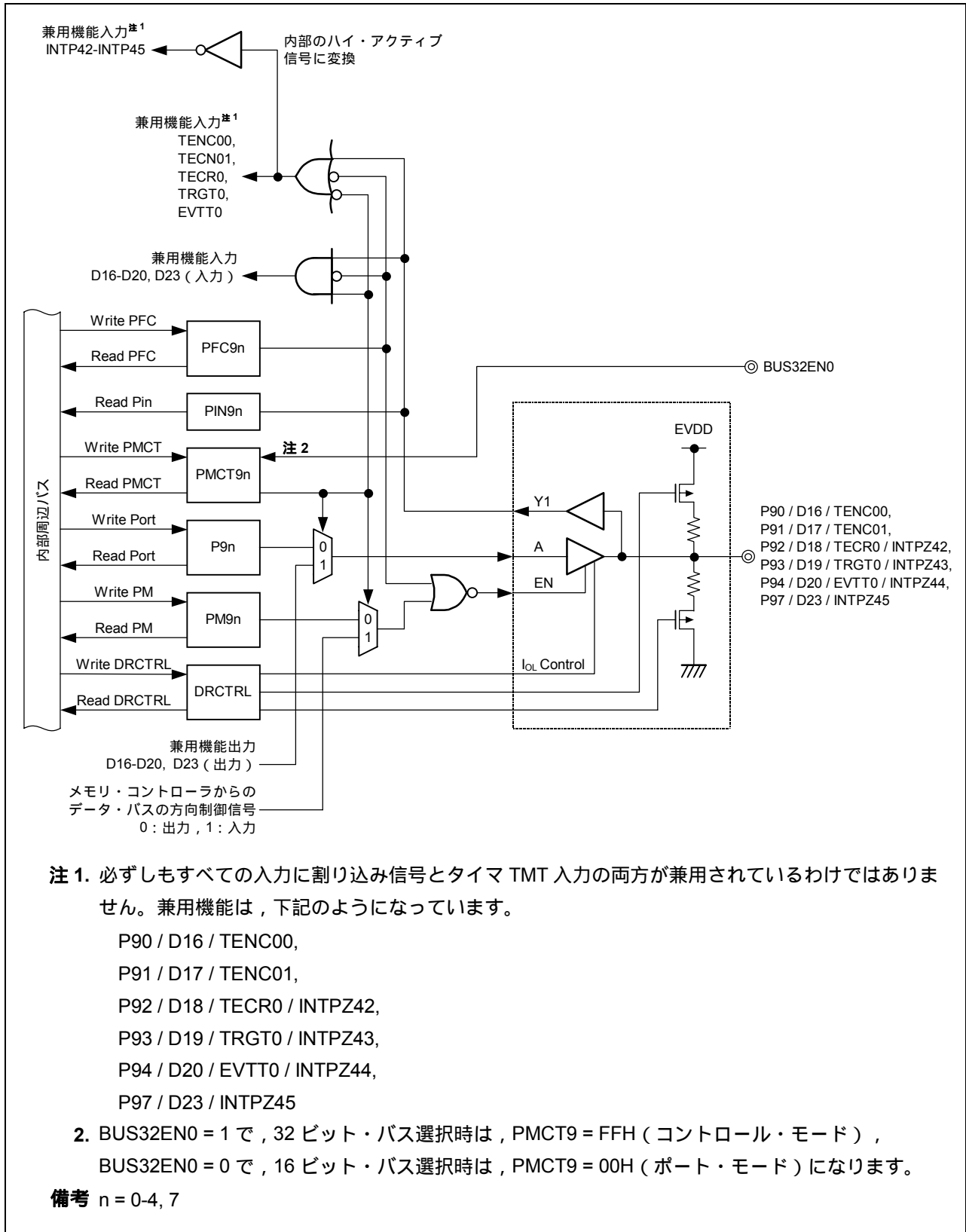
モード 端子	リセット	IDLE モード	バス・ホールド
D16-D23	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )

なお、P90-P97 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

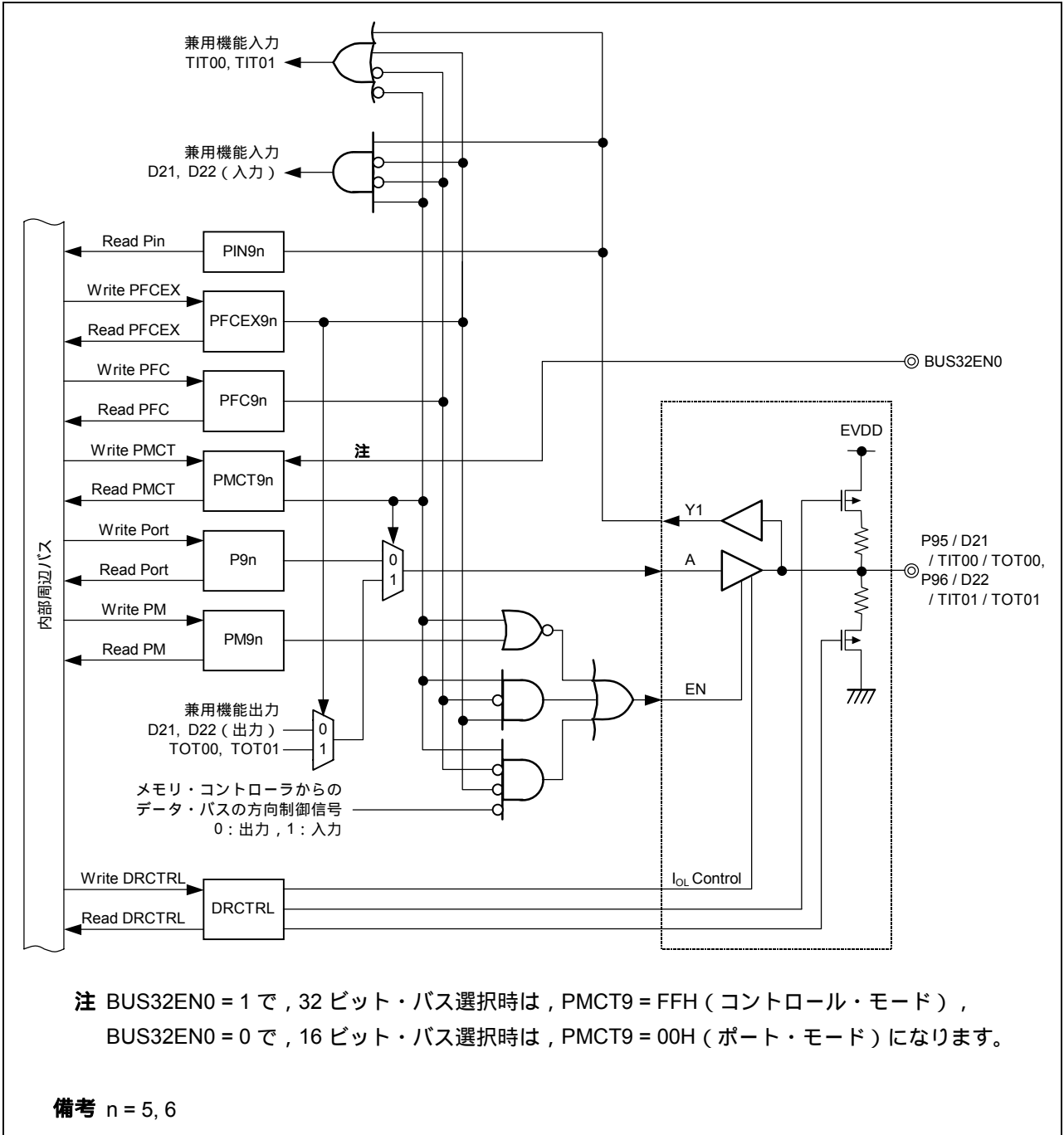
- (a) P90 / D16 / TENC00, P91 / D17 / TENC01, P92 / D18 / TECR0 / INTPZ42, P93 / D19 / TRGT0 / INTPZ43, P94 / D20 / EVTT0 / INTPZ44, P97 / D23 / INTPZ45 の構成

データ・バスと、16 ビット・タイマ/イベント・カウンタ T (TMT) の入力端子、外部割り込み入力と兼用されています。PFC9 レジスタで 16 ビット・タイマ/イベント・カウンタ T (TMT) の入力機能を選択した場合、同時に外部割り込み入力機能も兼用されます。内部割り込み信号は正論理のため反転しています。



(b) P95 / D21 / TIT00 / TOT00, P96 / D22 / TIT01 / TOT01 の構成

データ・バスと、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力端子と兼用されています。PFC9 レジスタで 16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能を選択し、さらに入力兼用機能と出力兼用機能は、PFCEX9 レジスタで選択してください。



### 23.12.11 ポート A

ポート A は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート A は入出力ポートとして機能するほか、コントロール・モードでは、外部メモリ等を接続する場合のデータ・バス (D24-D31)、16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネル 1 の入出力端子、このうち PA2-PA4, PA7 は EI レベル・マスクプル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート A モード・コントロール・レジスタ (PMCTA) で指定します。

また複数の機能が兼用されている端子は、ポート A ファンクション・コントロール・レジスタ (PFCA) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T (TMT) の機能と、外部割り込みの機能は、同時に動作します。

PA5, PA6 は、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート A ファンクション・コントロール拡張レジスタ (PFCEXA) で選択します。

(1) ポート A と兼用機能

モード ポート	PMCTAn = 0 (ポート・モード)		PMCTAn = 1 (コントロール・モード)			
	PMA <sub>n</sub> = 0 (出力ポート)	PMA <sub>n</sub> = 1 (入力ポート)	PFCEXAn = 0		PFCEXAn = 1	
			PFCAn = 0	PFCAn = 1	PFCAn = 0	PFCAn = 1 (設定禁止)
PA0	PA0 (出力モード)	PA0 (入力モード)	D24	TENC10	-	-
PA1	PA1 (出力モード)	PA1 (入力モード)	D25	TENC11	-	-
PA2	PA2 (出力モード)	PA2 (入力モード)	D26	TECR1 / INTPZ46	-	-
PA3	PA3 (出力モード)	PA3 (入力モード)	D27	TRGT1 / INTPZ47	-	-
PA4	PA4 (出力モード)	PA4 (入力モード)	D28	EVTT1 / INTPZ48	-	-
PA5	PA5 (出力モード)	PA5 (入力モード)	D29	TIT10	TOT10	-
PA6	PA6 (出力モード)	PA6 (入力モード)	D30	TIT11	TOT11	-
PA7	PA7 (出力モード)	PA7 (入力モード)	D31	INTPZ49	-	-

備考 n = 0-7

(2) ポート A の構成

外部バス・インタフェースのデータ・バスと兼用しているため、下記の制御が行われます。

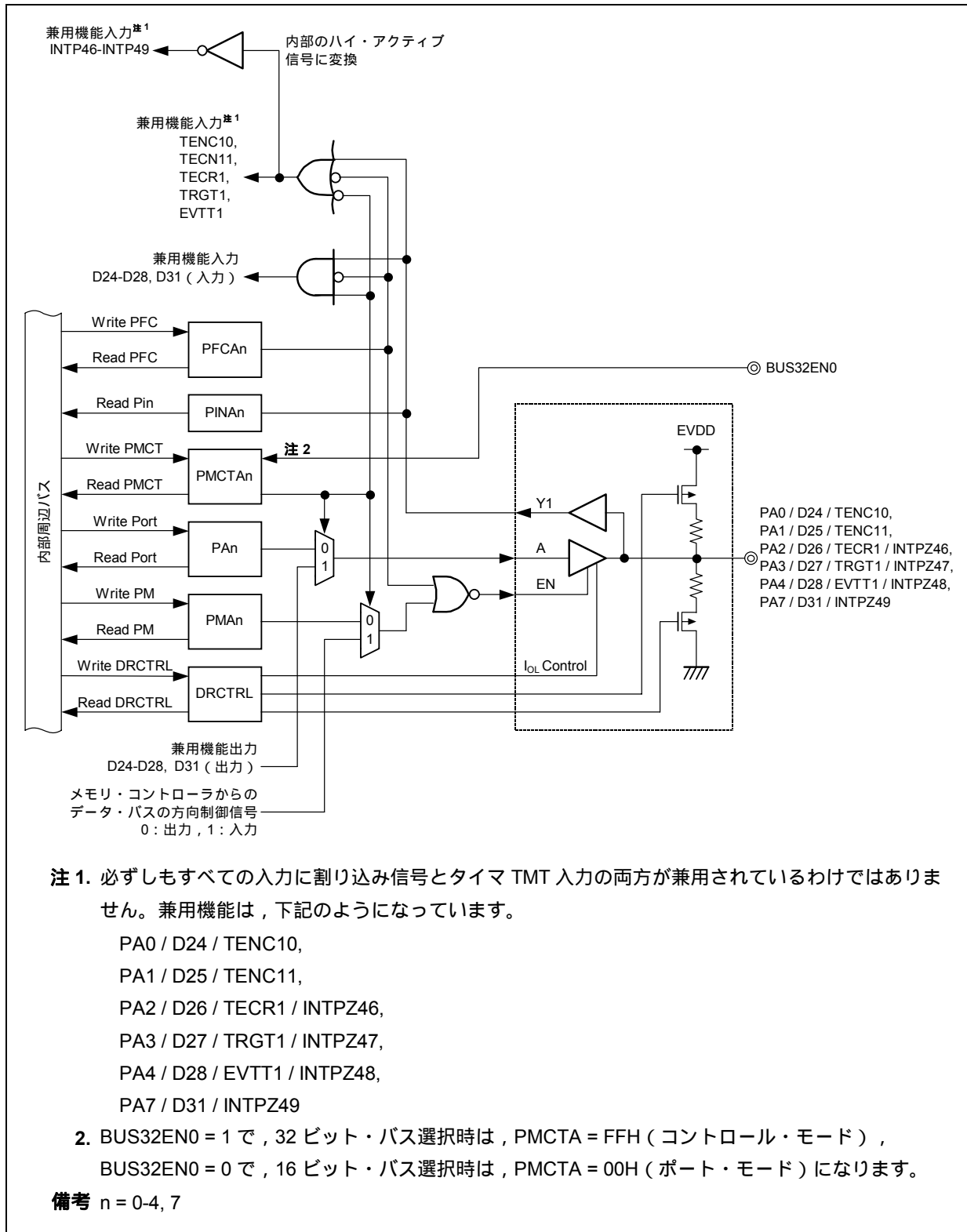
モード 端子	リセット	IDLE モード	バス・ホールド
D24-D31	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )	Hi-Z ( Pull-down )

なお、PA0-PA7 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	起動時の 外部バス・ サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

- (a) PA0 / D24 / TENC10, PA1 / D25 / TENC11, PA2 / D26 / TECR1 / INTPZ46, PA3 / D27 / TRGT1 / INTPZ47, PA4 / D28 / EVTT1 / INTPZ48, PA7 / D31 / INTPZ49 の構成

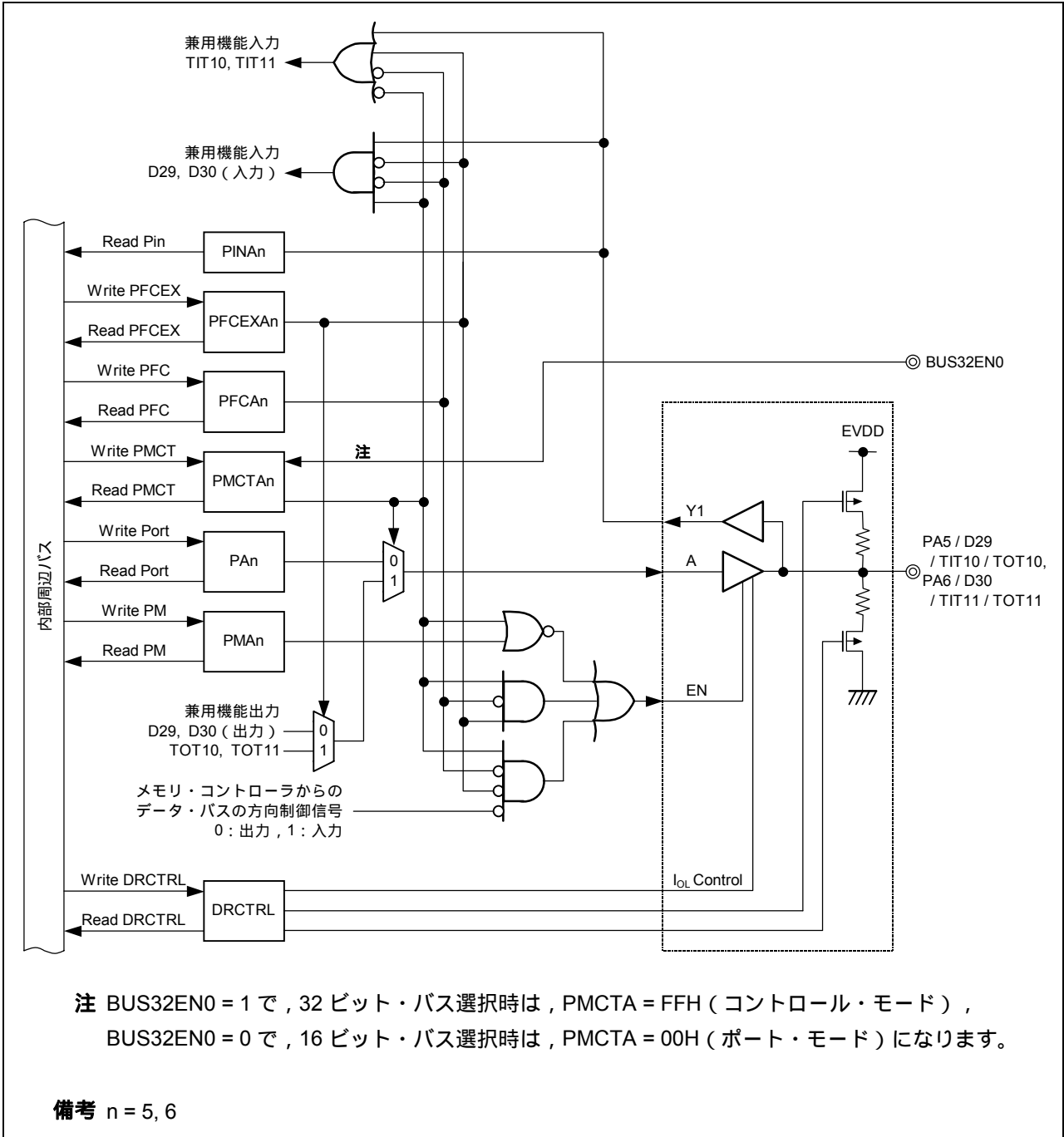
外部バス・インタフェースと、16 ビット・タイマ/イベント・カウンタ T (TMT) の入力端子、外部割り込み入力と兼用されています。PFCA レジスタで 16 ビット・タイマ/イベント・カウンタ T (TMT) の入力機能を選択した場合、同時に外部割り込み入力機能も兼用されます。内部割り込み信号は正論理のため反転しています。





(b) PA5 / D29 / TIT10 / TOT10, PA6 / D30 / TIT11 / TOT11 の構成

外部バス・インタフェースと、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力端子と兼用されています。PFCA レジスタで 16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能を選択し、さらに入力兼用機能と出力兼用機能は、PFCEXA レジスタで選択してください。



### 23.12.12 ポート B

ポート B は、1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

★

ポート B は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子として動作します。また EI レベル・マスクブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート B モード・コントロール・レジスタ (PMCTB) で指定します。

複数の機能が兼用されている端子は、ポート B ファンクション・コントロール・レジスタ (PFCB) で兼用機能を選択します。TAA のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

#### (1) ポート B と兼用機能

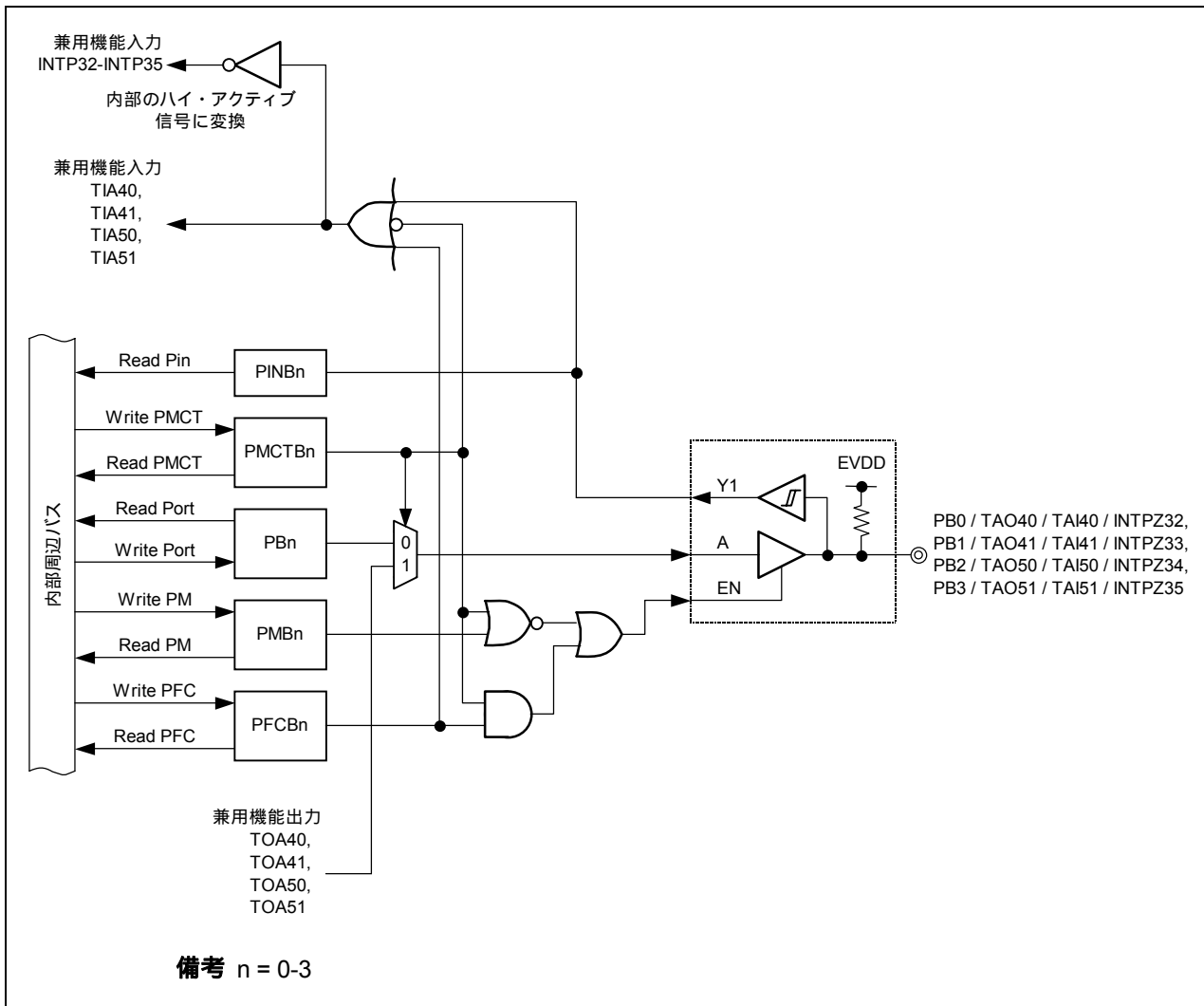
モード ポート	PMCTBn = 0 (ポート・モード)		PMCTBn = 1 (コントロール・モード)	
	PMBn = 0 (出力ポート)	PMBn = 1 (入力ポート)	PFCBn = 0	PFCBn = 1
PB0	PB0 (出力モード)	PB0 (入力モード)	TIA40 / INTPZ32	TOA40
PB1	PB1 (出力モード)	PB1 (入力モード)	TIA41 / INTPZ33	TOA41
PB2	PB2 (出力モード)	PB2 (入力モード)	TIA50 / INTPZ34	TOA50
PB3	PB3 (出力モード)	PB3 (入力モード)	TIA51 / INTPZ35	TOA51

備考 n = 0-3

(2) ポート B の構成

★

16 ビット・タイマ/カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子と兼用されています。  
 TAA の入力機能と兼用すると、同時に EI レベル・マスクابل割り込み入力端子としても機能します。  
 内部割り込み信号は正論理のため反転しています。



### 23.12.13 ポート C

ポート C は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート C は入出力ポートとして機能するほか、コントロール・モードでは、クロック同期式シリアル・インタフェース (CSI30, CSI31) の入出力、A/D コンバータの外部トリガ入力、EI レベル・マスカブル割り込み入力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート C モード・コントロール・レジスタ (PMCTC) で指定します。

#### (1) ポート C と兼用機能

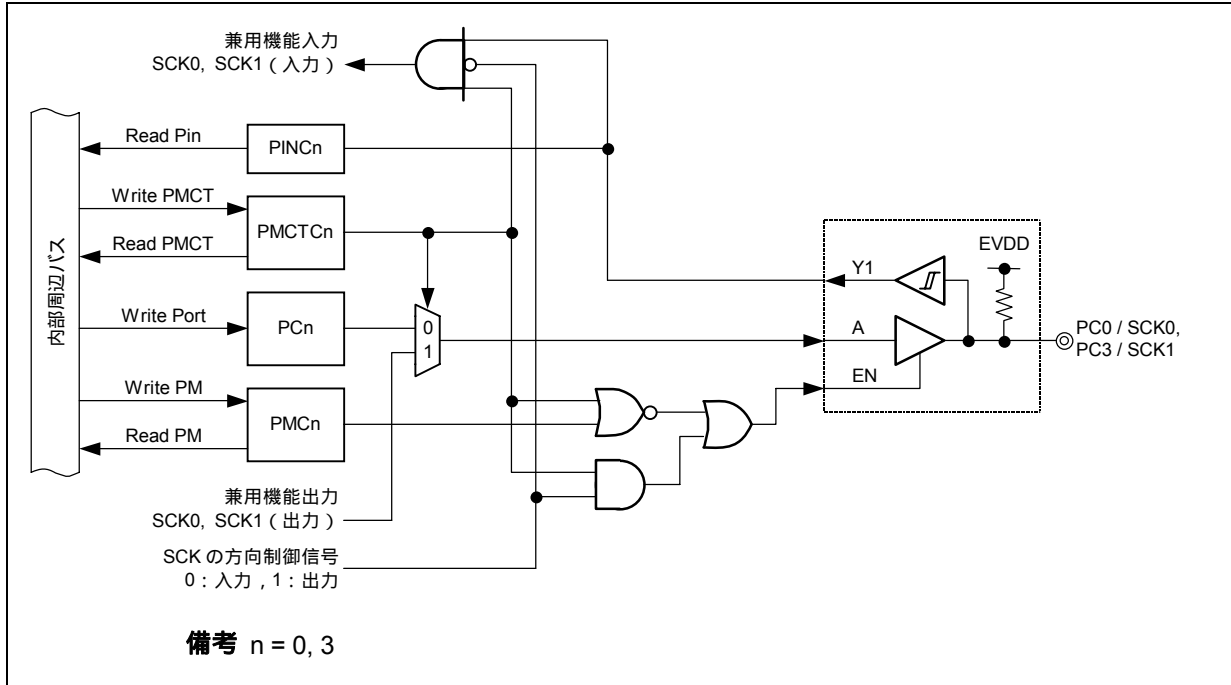
モード ポート	PMCTCn = 0 (ポート・モード)		PMCTCn = 1 (コントロール・モード)
	PMCn = 0 (出力ポート)	PMCn = 1 (入力ポート)	
PC0	PC0 (出力モード)	PC0 (入力モード)	SCK0
PC1	PC1 (出力モード)	PC1 (入力モード)	SO0
PC2	PC2 (出力モード)	PC2 (入力モード)	SI0
PC3	PC3 (出力モード)	PC3 (入力モード)	SCK1
PC4	PC4 (出力モード)	PC4 (入力モード)	SO1
PC5	PC5 (出力モード)	PC5 (入力モード)	SI1
PC6	PC6 (出力モード)	PC6 (入力モード)	INTPZ40
PC7	PC7 (出力モード)	PC7 (入力モード)	ADTRG / INTPZ41

備考 n = 0-7

(2) PC0 / SCK0, PC3 / SCK1 の構成

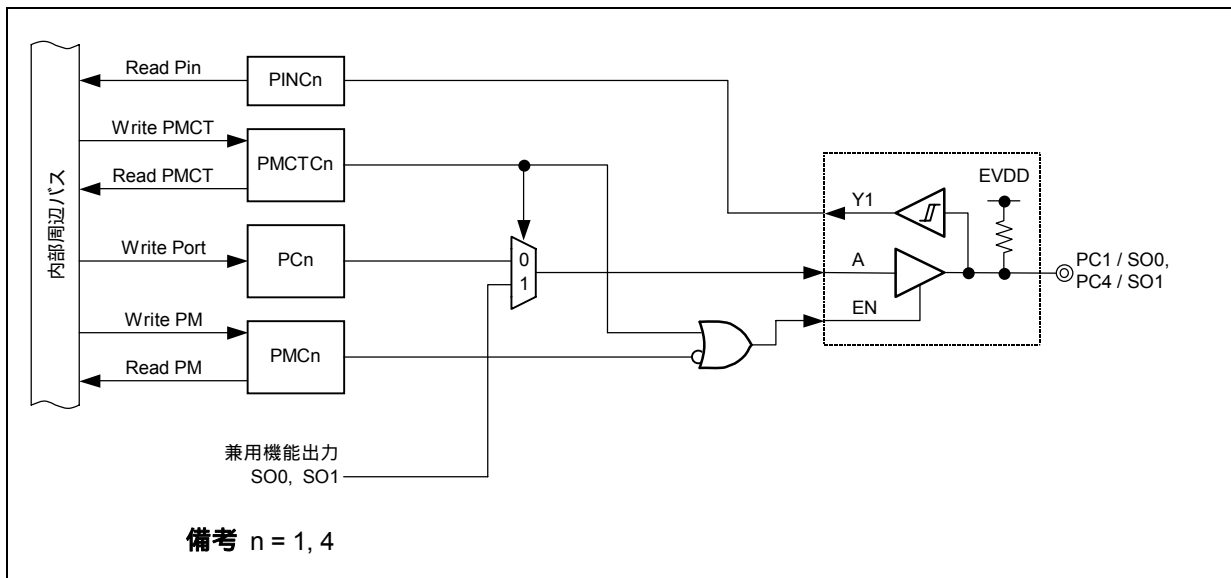
クロック同期式シリアル・インタフェースのクロック入出力端子と兼用です。

CSIC30, CSIC31 レジスタの設定で選択したマスタ・モード/スレーブ・モードにより, クロックの方向 (入力 / 出力) が決定されます。



(3) PC1 / SO0, PC4 / SO1 の構成

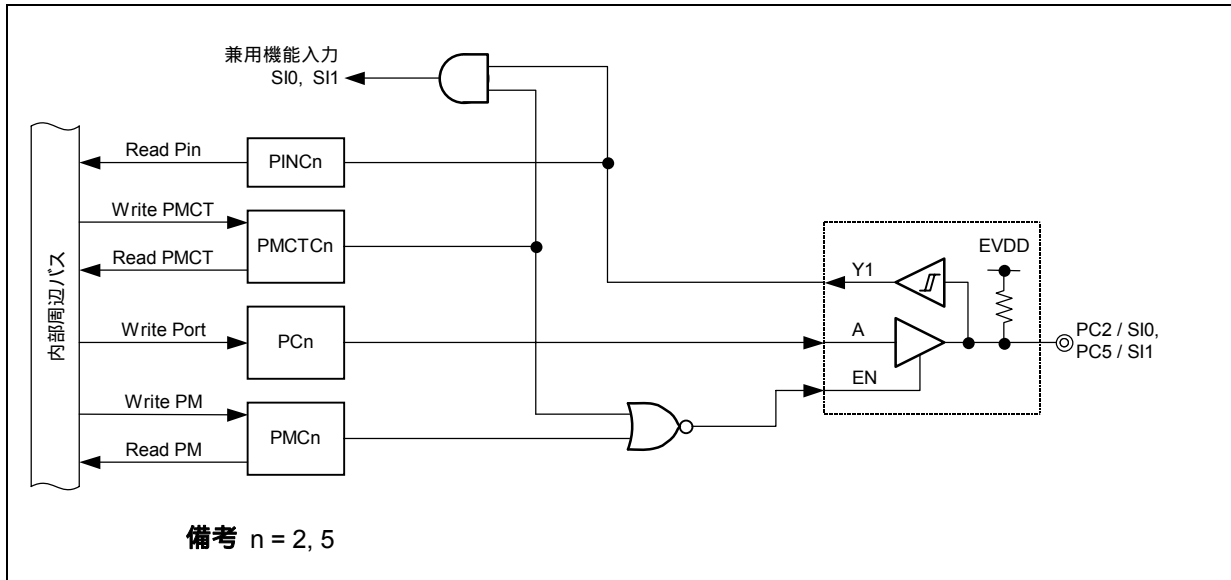
クロック同期式シリアル・インタフェースの出力端子と兼用です。



(4) PC2 / SI0, PC5 / SI1 の構成

クロック同期式シリアル・インタフェースの入力端子と兼用です。

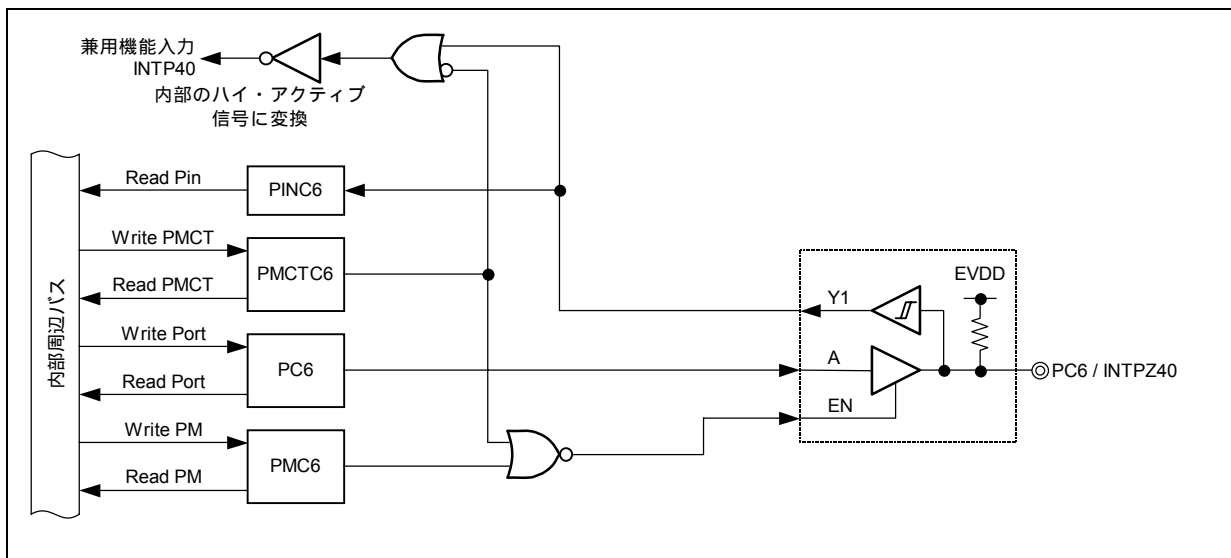
SI0, SI1 入力端子は、通信していない状態では、ロー・レベルです。このためポートとして利用している場合には、兼用機能にはロー・レベルが伝播する構造です。



(5) PC6 / INTPZ40 の構成

PC6 はロー・アクティブの外部割り込み入力 (INTPZ40) と兼用されています。

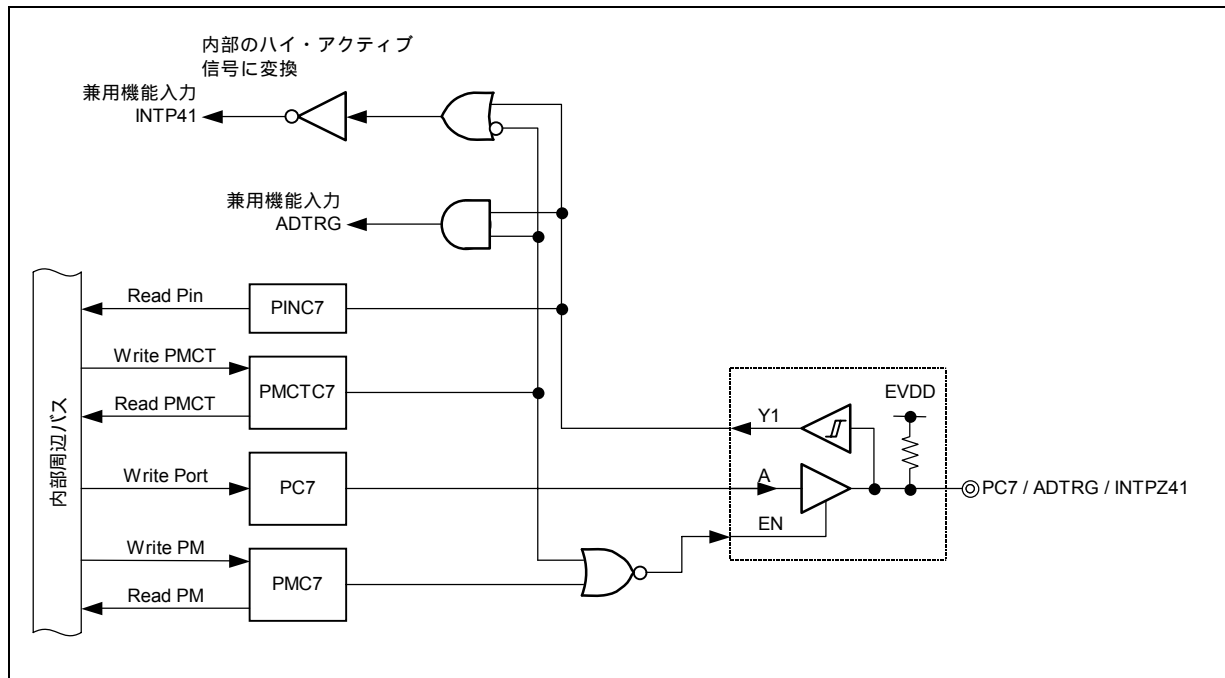
また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



(6) PC7 / ADTRG / INTPZ41 の構成

PC6 は A/D コンバータの外部トリガ入力端子と、ロー・アクティブの外部割り込み入力 (INTPZ41) と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



### 23.12.14 ポート D

ポート D は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート D は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 0, 1 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 4, 5 (CSI34, CSI35) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート D モード・コントロール・レジスタ (PMCTD) で指定します。

PD0-PD5 は、システム・バス DMA コントローラ端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート D ファンクション・コントロール・レジスタ (PFCD) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

#### (1) ポート D と兼用機能

モード ポート	PMCTDn = 0 (ポート・モード)		PMCTDn = 1 (コントロール・モード)	
	PMDn = 0 (出力ポート)	PMDn = 1 (入力ポート)	PFCDn = 0	PFCDn = 1
PD0	PD0 (出力モード)	PD0 (入力モード)	DMAREQZ0 / INTPZ36	SCK4
PD1	PD1 (出力モード)	PD1 (入力モード)	DMAACKZ0	SO4
PD2	PD2 (出力モード)	PD2 (入力モード)	DMATCZ0	SI4
PD3	PD3 (出力モード)	PD3 (入力モード)	DMAREQZ1 / INTPZ37	SCK5
PD4	PD4 (出力モード)	PD4 (入力モード)	DMAACKZ1	SO5
PD5	PD5 (出力モード)	PD5 (入力モード)	DMATCZ1	SI5

備考 n = 0-5

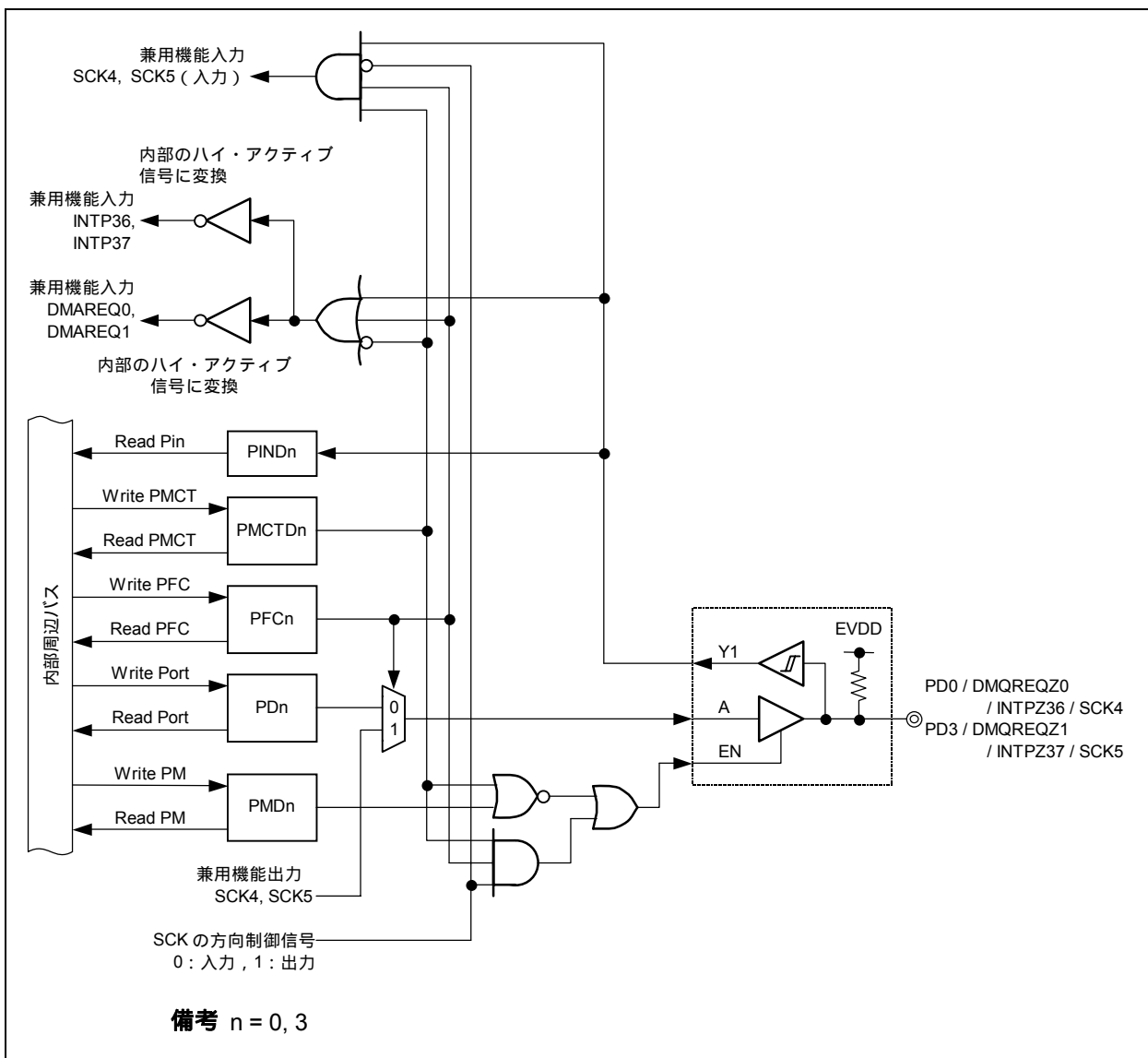


(2) PD0 / DMAREQZ0 / INTPZ36 / SCK4, PD3 / DMAREQZ1 / INTPZ37 / SCK5 の構成

システム・バス DMAC の DMA 転送要求入力, 外部割り込み入力と, CSI クロック出力が兼用されています。

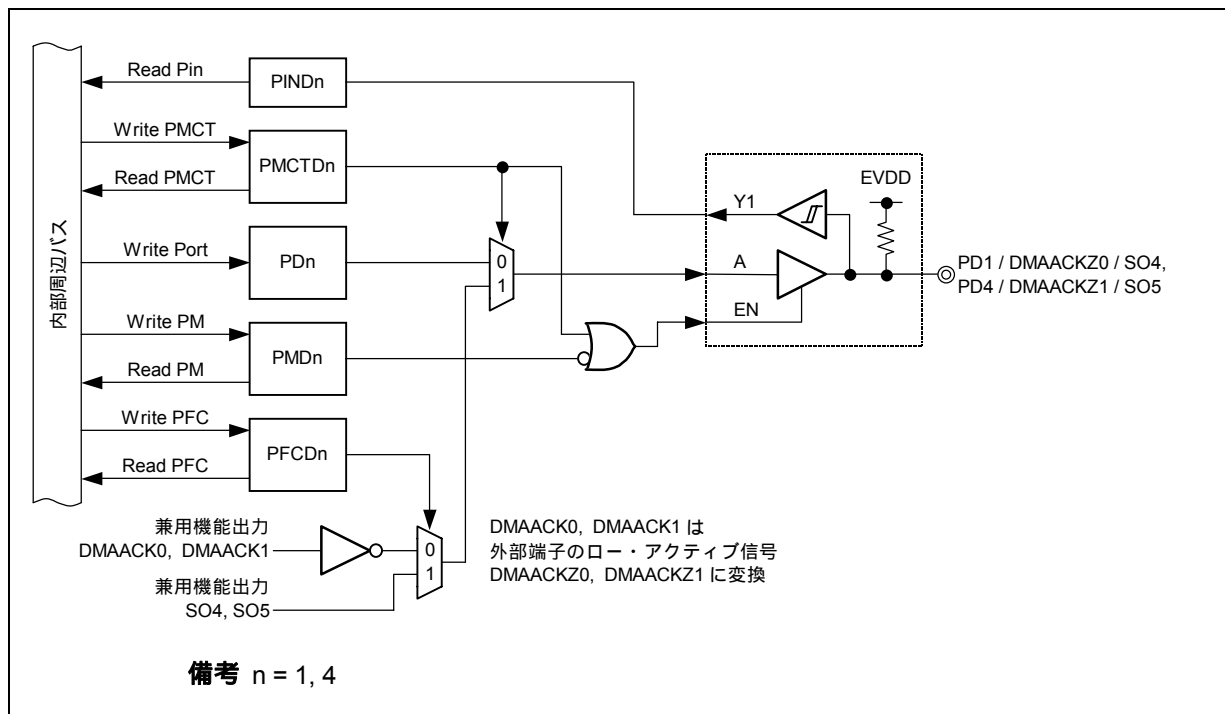
またプルアップ抵抗が内蔵されています。

内部割り込み信号, 内部 DMA 転送要求信号は正論理のため反転しています。



(3) PD1 / DMAACKZ0 / SO4, PD4 / DMAACKZ1 / SO5 の構成

システム・バス DMAC の DMA アクノリッジ出力と、CSI データ出力端子が兼用されています。  
 またプルアップ抵抗が内蔵されています。  
 内部 DMA アクノリッジ信号は正論理のため反転しています。

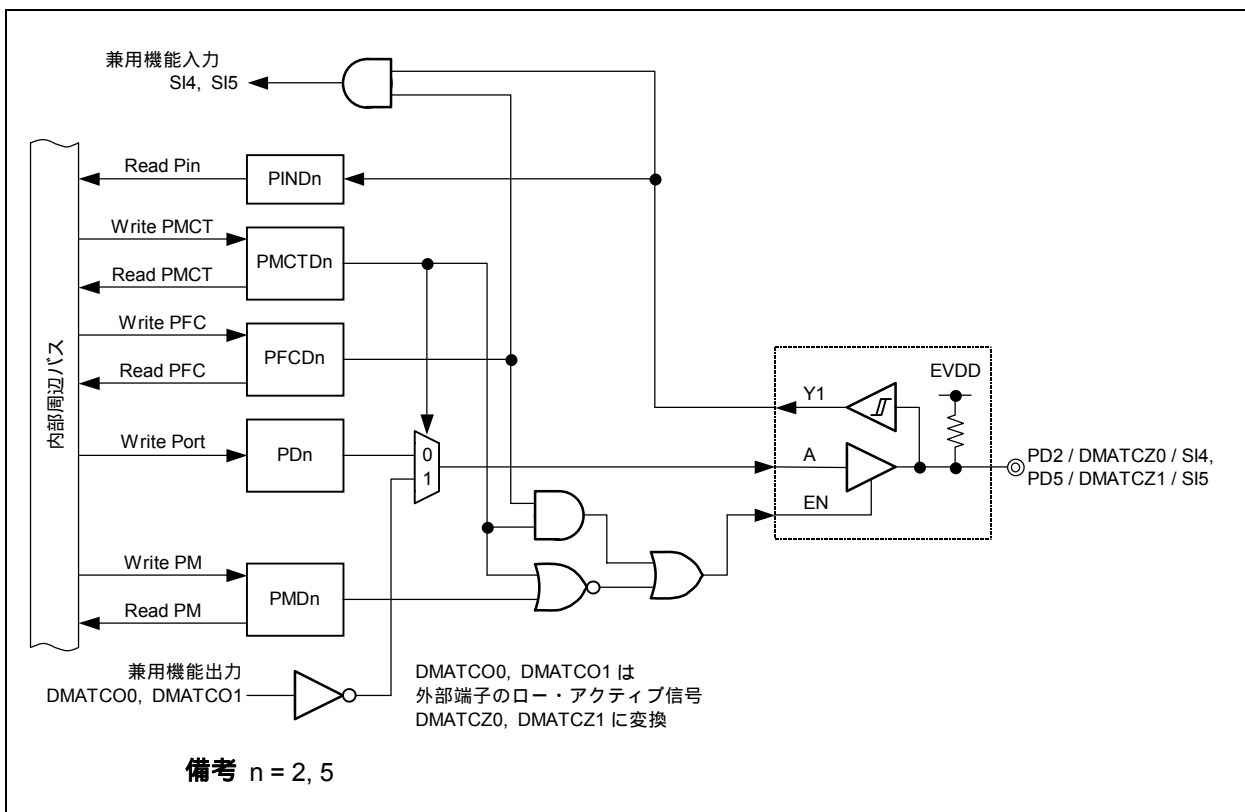


(4) PD2 / DMATCZ0 / SI4, PD5 / DMATCZ1 / SI5 の構成

システム・バス DMAC の DMA ターミナル・カウント出力と, CSI データ入力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA ターミナル・カウント信号は正論理のため反転しています。



### 23.12.15 ポート E

ポート E は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート E は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 2, 3 の入出力端子, EI レベル・マスカブル割り込み入力端子, クロック同期式シリアル・インタフェースのチャンネル 6, 7 (CSI36, CSI37) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード / コントロール・モードの選択が可能で、ポート E モード・コントロール・レジスタ (PMCTE) で指定します。

PE0-PE5 は、システム・バス DMA コントローラ端子, EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート E ファンクション・コントロール・レジスタ (PFCE) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

#### (1) ポート E と兼用機能

モード ポート	PMCTEn = 0 (ポート・モード)		PMCTEn = 1 (コントロール・モード)	
	PMEn = 0 (出力ポート)	PMEn = 1 (入力ポート)	PFCEn = 0	PFCEn = 1
PE0	PE0 (出力モード)	PE0 (入力モード)	DMAREQZ2 / INTPZ38	SCK6
PE1	PE1 (出力モード)	PE1 (入力モード)	DMAACKZ2	SO6
PE2	PE2 (出力モード)	PE2 (入力モード)	DMATCZ2	SI6
PE3	PE3 (出力モード)	PE3 (入力モード)	DMAREQZ3 / INTPZ39	SCK7
PE4	PE4 (出力モード)	PE4 (入力モード)	DMAACKZ3	SO7
PE5	PE5 (出力モード)	PE5 (入力モード)	DMATCZ3	SI7

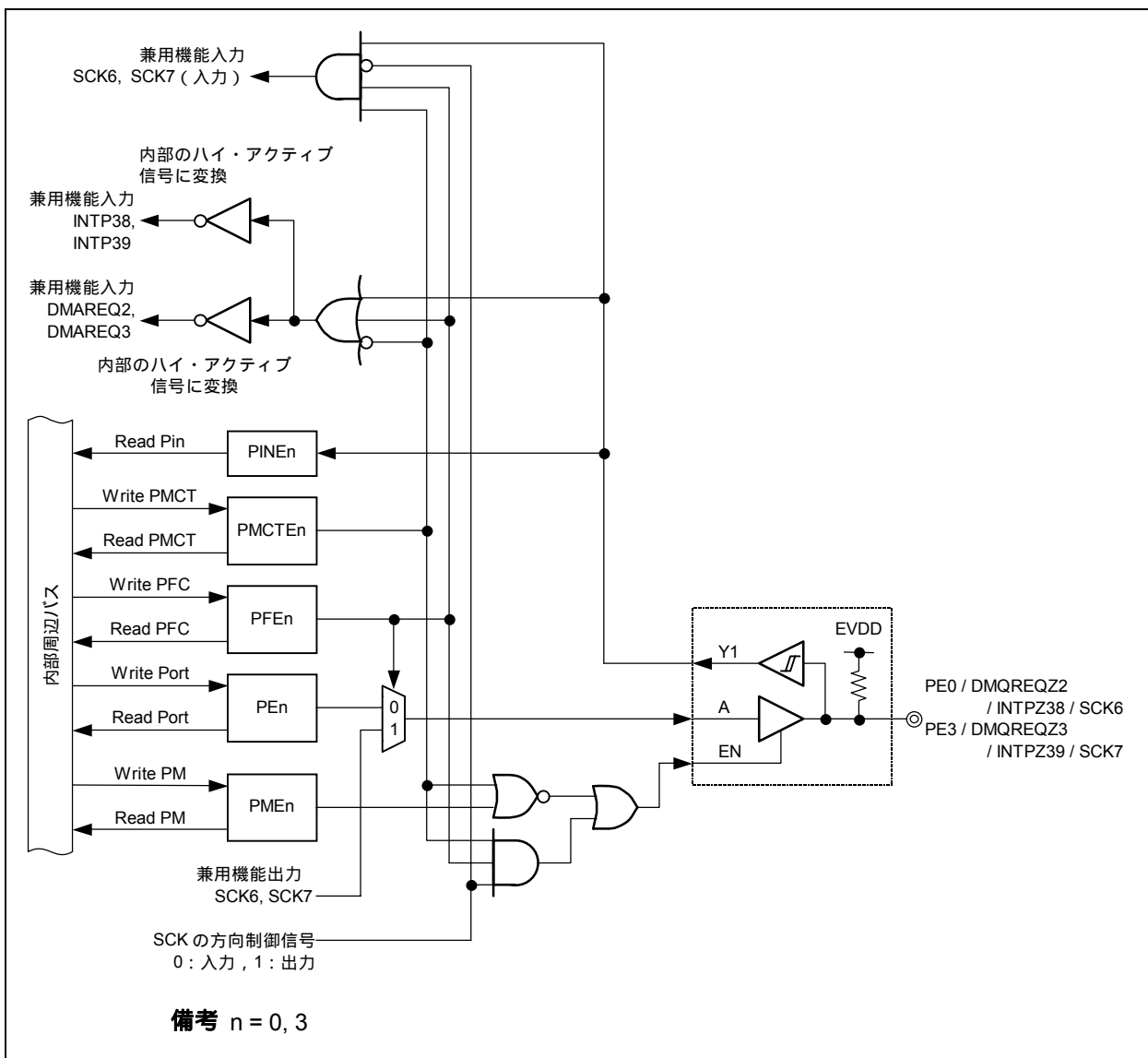
備考 n = 0-5

(2) PE0 / DMAREQZ2 / INTPZ38 / SCK6, PE3 / DMAREQZ3 / INTPZ39 / SCK7 の構成

システム・バス DMAC の DMA 転送要求入力, 外部割り込み入力と, CSI クロック出力が兼用されています。

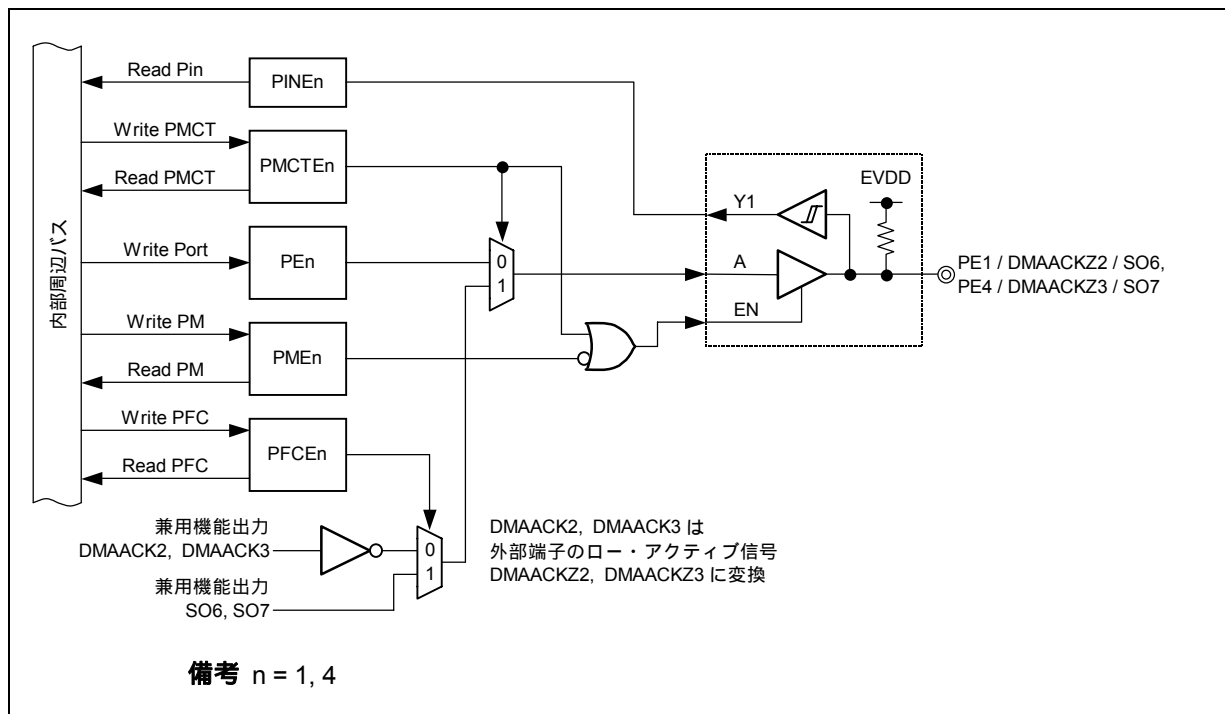
またプルアップ抵抗が内蔵されています。

内部割り込み信号, 内部 DMA 転送要求信号は正論理のため反転しています。



(3) PE1 / DMAACKZ2 / SO6, PE4 / DMAACKZ3 / SO7 の構成

システム・バス DMAC の DMA アクノリッジ出力と、CSI データ出力端子が兼用されています。  
 またプルアップ抵抗が内蔵されています。  
 内部 DMA アクノリッジ信号は正論理のため反転しています。

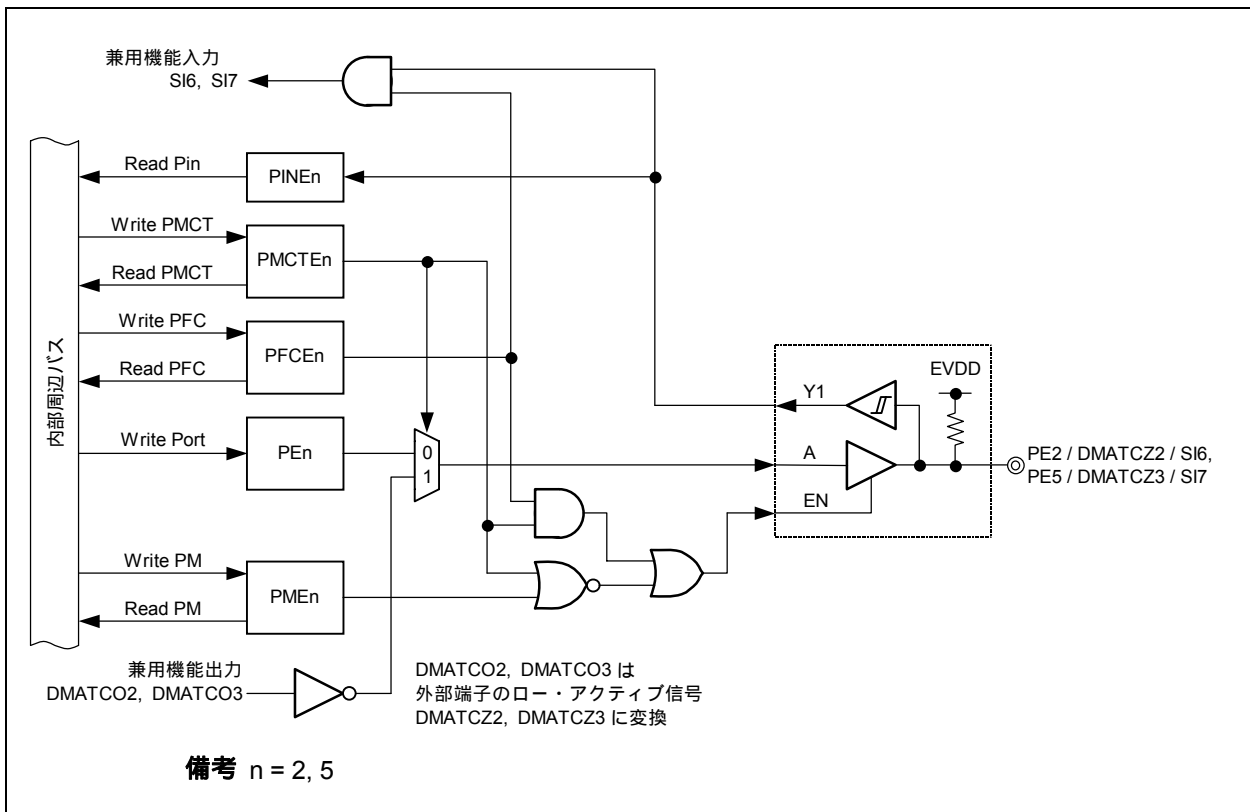


(4) PE2 / DMATCZ2 / SI6, PE5 / DMATCZ3 / SI7 の構成

システム・バス DMAC の DMA ターミナル・カウント出力と, CSI データ入力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA A ターミナル・カウント信号は正論理のため反転しています。



### 23.12.16 ポート L

ポート L は、1 ビット単位で入力または出力を設定できる 19 ビットの入出力ポートです。

ポート L は入出力ポートとして機能するほか、コントロール・モードでは、Ether MAC 入出力端子として動作します。

動作モードは、ポート単位で ETHEN 端子により選択します。

ETHEN 端子にハイ・レベルが入力されている場合は、リセット解除後から Ether MAC 入出力端子として機能します。この場合はプルアップ抵抗もプルダウン抵抗も接続されません。

ETHEN 端子にロー・レベルが入力されている場合は、ポートとして機能します。リセット解除後はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。



## (1) ポート L と兼用機能

モード ポート	ETHEN = 0 (ポート・モード)		ETHEN = 1 (コントロール・モード)
	PMLn = 0 (出力ポート)	PMLn = 1 (入力ポート)	
PL0	PL0 (出力モード)	PL0 (入力モード)	ETH_TXCLK
PL1	PL1 (出力モード)	PL1 (入力モード)	ETH_TXD0
PL2	PL2 (出力モード)	PL2 (入力モード)	ETH_TXD1
PL3	PL3 (出力モード)	PL3 (入力モード)	ETH_TXD2
PL4	PL4 (出力モード)	PL4 (入力モード)	ETH_TXD3
PL5	PL5 (出力モード)	PL5 (入力モード)	ETH_TXEN
PL6	PL6 (出力モード)	PL6 (入力モード)	ETH_TXER
PL7	PL7 (出力モード)	PL7 (入力モード)	ETH_COL
PL8	PL8 (出力モード)	PL8 (入力モード)	ETH_CRS
PL9	PL9 (出力モード)	PL9 (入力モード)	ETH_RXCLK
PL10	PL10 (出力モード)	PL10 (入力モード)	ETH_RXD0
PL11	PL11 (出力モード)	PL11 (入力モード)	ETH_RXD1
PL12	PL12 (出力モード)	PL12 (入力モード)	ETH_RXD2
PL13	PL13 (出力モード)	PL13 (入力モード)	ETH_RXD3
PL14	PL14 (出力モード)	PL14 (入力モード)	ETH_RXDV
PL15	PL15 (出力モード)	PL15 (入力モード)	ETH_RXER
PL16	PL16 (出力モード)	PL16 (入力モード)	ETH_MDC
PL17	PL17 (出力モード)	PL17 (入力モード)	ETH_MDIO
PL18	PL18 (出力モード)	PL18 (入力モード)	ETH_REFCLK

なお、PL0-PL17 端子は、ETHEN 端子への入力レベルにより、次のように動作します。

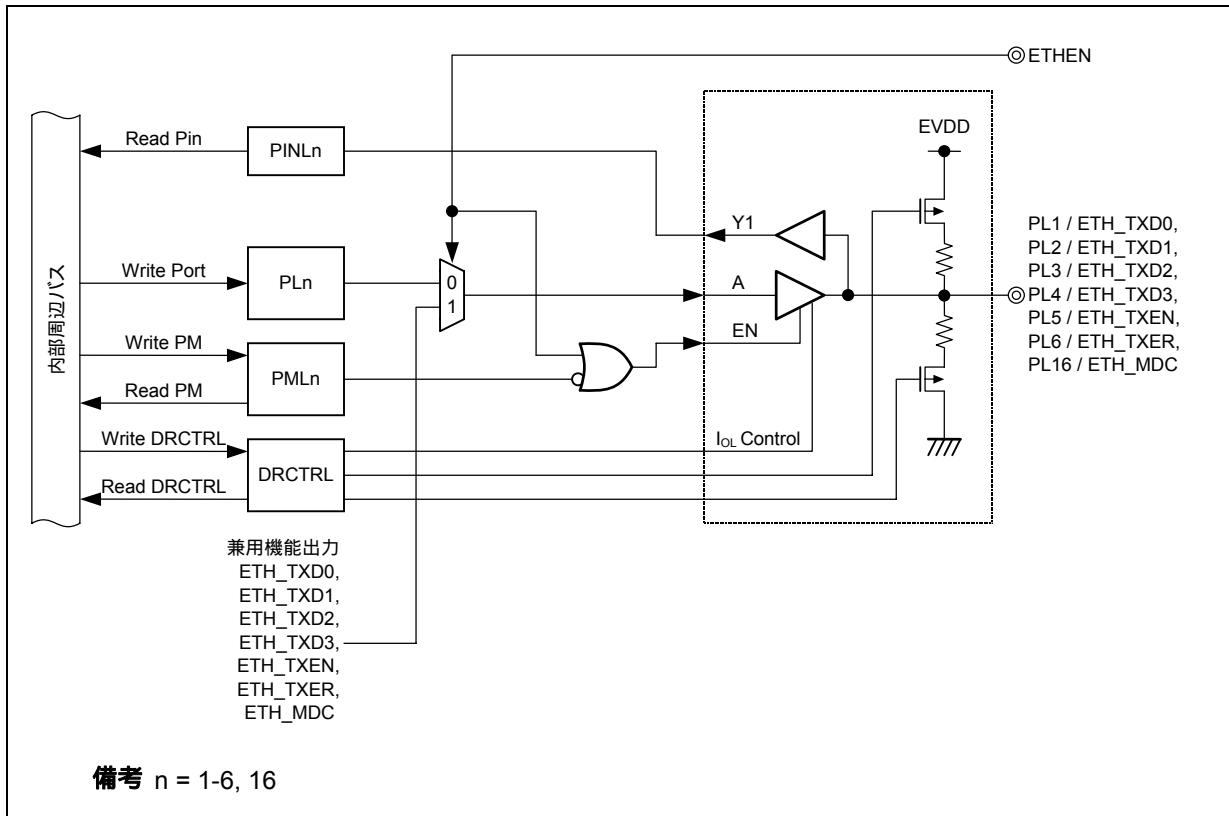
ETHEN	Ether MAC 機能の 動作許可 / 禁止	DRCTRL レジスタ	PL0-PL18 の動作	
0	Ether MAC 機能禁止 (クロック供給停止)	608A 8495H	ポート	プルアップ抵抗
1	Ether MAC 機能許可	6082 8495H	Ether MAC 入出力端子	プルアップ抵抗 / プルダウン抵抗なし

- (2) PL1 / ETH\_TXD0, PL2 / ETH\_TXD1, PL3 / ETH\_TXD2, PL4 / ETH\_TXD3, PL5 / ETH\_TXEN, PL6 / ETH\_TXER, PL16 / ETH\_MDC の構成

内蔵 Ether MAC の出力端子と兼用されています。

ETHEN 端子にハイ・レベルが入力されている場合は、リセット解除後から Ether MAC 出力端子として機能します。この場合はプルアップ抵抗もプルダウン抵抗も接続されません。

ETHEN 端子にロー・レベルが入力されている場合は、ポートとして機能します。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

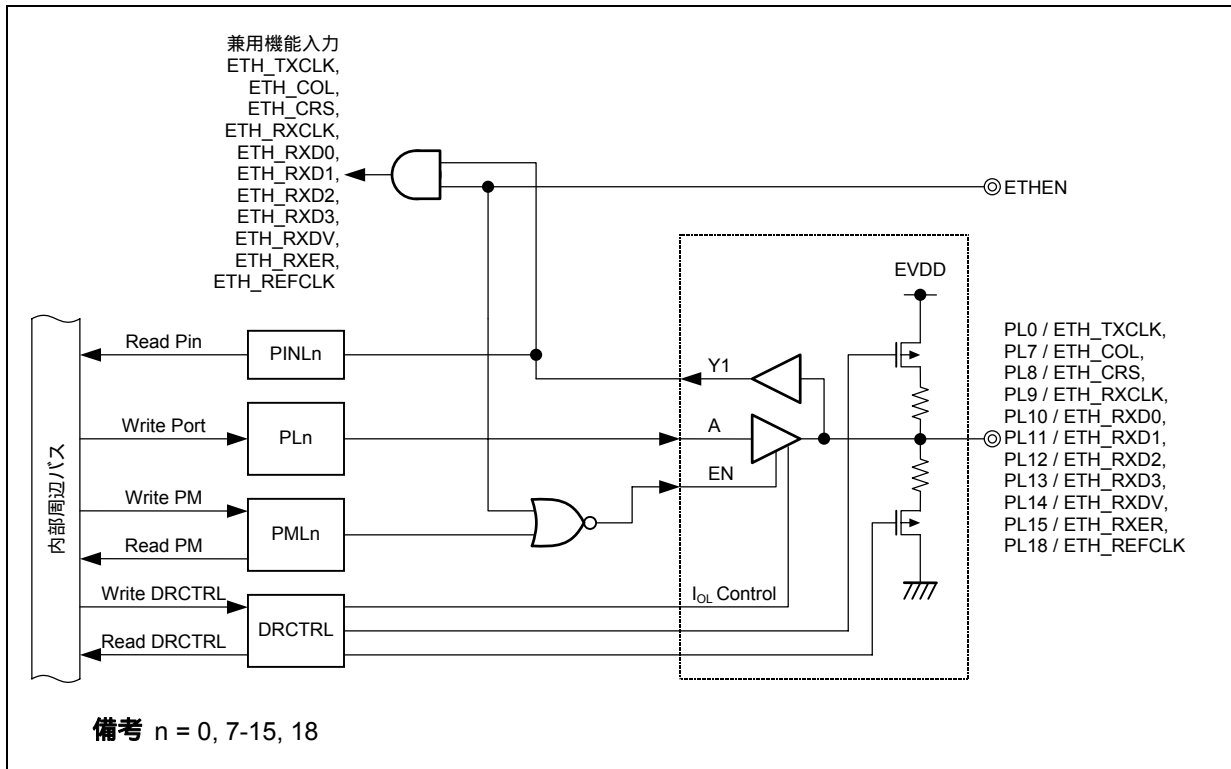


- (3) PL0 / ETH\_TXCLK, PL7 / ETH\_COL, PL8 / ETH\_CRS, PL9 / ETH\_RXCLK, PL10 / ETH\_RXD0, PL11 / ETH\_RXD1, PL12 / ETH\_RXD2, PL13 / ETH\_RXD3, PL14 / ETH\_RXDV, PL15 / ETH\_RXER, PL18 / ETH\_REFCLK の構成

内蔵 Ether MAC の入力端子と兼用されています。

ETHEN 端子にハイ・レベルが入力されている場合は、リセット解除後から Ether MAC 入力端子として機能します。この場合はプルアップ抵抗もプルダウン抵抗も接続されません。

ETHEN 端子にロー・レベルが入力されている場合は、ポートとして機能します。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。



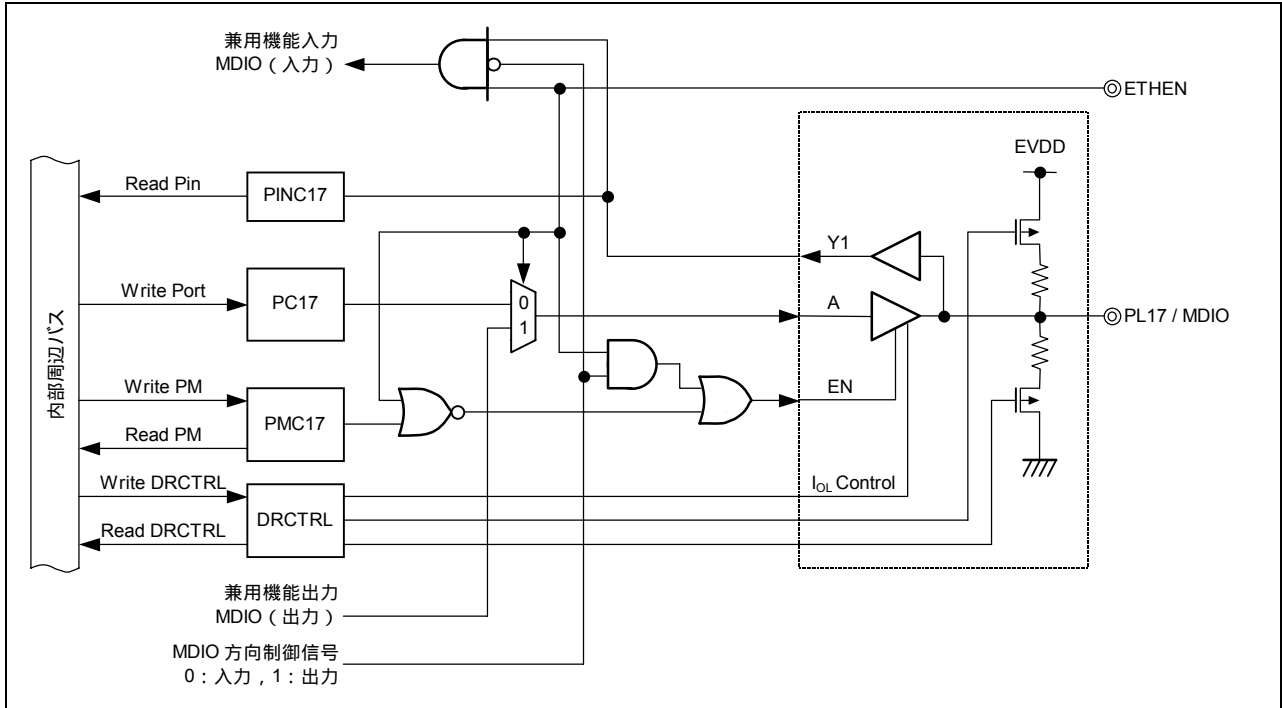
## (4) PL17 / MDIO の構成

内蔵 Ether MAC の MDIO 入出力端子と兼用されています。

内蔵 Ether MAC の入力端子と兼用されています。

ETHEN 端子にハイ・レベルが入力されている場合は、リセット解除後から Ether MAC の MDIO 入出力端子として機能します。この場合はプルアップ抵抗もプルダウン抵抗も接続されません。

ETHEN 端子にロー・レベルが入力されている場合は、ポートとして機能します。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。



## 23.13 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 23.13.1 入出力ポートへのリード/ライト動作

#### (1) 出力モードの場合

ポート n レジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

ポート n レジスタ (Pn) をリードすると、出力ラッチ (Pn) を読み出せます。

ポート n 端子入力レジスタ (PINn) をリードすると、端子レベルを直接読み出せます。

#### (2) 入力モードの場合

ポート n レジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

入力レベルを読み出すには、ポート n 端子入力レジスタ (PINn) をリードしてください。

**注意** ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は 1 ビットですが、ポートを 8 ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外にも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

### 23.13.2 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、PMCn レジスタ、PMn レジスタ、PFCn レジスタ、PFCEXn レジスタの設定に依存せず、ポート n 端子入力レジスタ (PINn) をリードすると、端子レベルを直接読み出せます。

## 23.14 ノイズ除去回路

外部割り込み入力，A/D トリガ入力，TAA 入力信号，TMT 入力信号，UART シリアル・データ入力は，デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。

ノイズ除去機能の設定は，ノイズ・フィルタ設定レジスタ 0-7 (NFC0-NFC7) で行います。

ノイズ除去対象端子を以下に示します。

表 23-3 ノイズ除去対象信号

対象信号	内部接続ユニット	信号の機能
NMI	割り込みコントローラ	FE レベル・マスカブル外部割り込み入力
INTPZ0-INTPZ49	割り込みコントローラ	EI レベル・マスカブル外部割り込み入力
ADTRG	A/D コンバータ・コントローラ	A/D コンバータの外部変換トリガ入力
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51	16 ビット・タイマ/カウンタ AA (TAA)	TAA タイマ・キャプチャ・トリガ入力
TENC00, TENC01, TENC10, TENC11	16 ビット・タイマ/イベント・ カウンタ T (TMT)	TMT タイマ・エンコーダ・カウント入力
TECR0, TECR1		TMT タイマ・エンコーダ・クリア入力
TRGT0, TRGT1		TMT タイマ外部トリガ入力
EVTT0, EVTT1		TMT タイマ外部イベント入力
TIT00, TIT01, TIT10, TIT11		TMT タイマ・キャプチャ・トリガ入力
RXD0-RXD3	アシンクロナス・シリアル・イ ンタフェース (UART)	UART シリアル・データ入力

★

### 23.14.1 ノイズ・フィルタ設定レジスタ

表 23-3 に示す入力信号の、ノイズ除去幅を設定するレジスタです。  
32 ビット単位でリード/ライト可能です。

- 注意 1. 入力パルス幅が、NFC0-NFC7 設定値 ~ NFC0-NFC7 設定値 - 1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。
2. ノイズ・フィルタ設定レジスタは、割り込み入力とその他の入力系兼用機能が同一端子に割り当てられている場合でも、個別に設定してください。たとえば TIA00, INTPZ24 は同一端子に割り当てられていますが、ノイズ・フィルタの設定は、TIA00, INTPZ24 それぞれ個別に NFC5 レジスタ, NFC2 レジスタで設定してください。
  3. 割り込み入力 (INTPZ0-INTPZ49, NMI) はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。TAA 入力端子, TMT 入力端子, ADTRG の有効エッジは、それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0-RXD3 入力はエッジ指定の機能はありません。
  4. INTPZ0-INTPZ49, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。
  5. NFC0-NFC4 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4 レジスタの変更は DI 状態で行い、レジスタ変更後に該当している割り込み要求 (EIRFn) クリアしてください。

( 1/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9110H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFP 01	NFP 00	0000 0000H
															NMI		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC1	NFP 151	NFP 150	NFP 141	NFP 140	NFP 131	NFP 130	NFP 121	NFP 120	NFP 111	NFP 110	NFP 101	NFP 100	NFP 91	NFP 90	NFP 81	NFP 80	0F01 9114H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 71	NFP 70	NFP 61	NFP 60	NFP 51	NFP 50	NFP 41	NFP 40	NFP 31	NFP 30	NFP 21	NFP 20	NFP 11	NFP 10	NFP 01	NFP 00	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC2	NFP 311	NFP 310	NFP 301	NFP 300	NFP 291	NFP 290	NFP 281	NFP 280	NFP 271	NFP 270	NFP 261	NFP 260	NFP 251	NFP 250	NFP 241	NFP 240	0F01 9118H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 231	NFP 230	NFP 221	NFP 220	NFP 211	NFP 210	NFP 201	NFP 200	NFP 191	NFP 190	NFP 181	NFP 180	NFP 171	NFP 170	NFP 161	NFP 160	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC3	NFP 471	NFP 470	NFP 461	NFP 460	NFP 451	NFP 450	NFP 441	NFP 440	NFP 431	NFP 430	NFP 421	NFP 420	NFP 411	NFP 410	NFP 401	NFP 400	0F01 911CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 391	NFP 390	NFP 381	NFP 380	NFP 371	NFP 370	NFP 361	NFP 360	NFP 351	NFP 350	NFP 341	NFP 340	NFP 331	NFP 330	NFP 321	NFP 320	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	



( 2/3 )

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9120H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	NFP 491	NFP 490	NFP 481	NFP 480	0000 0000H
													INTPZ49		INTPZ48		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC5	0	0	0	0	0	0	0	0	NFTIA 511	NFTIA 510	NFTIA 501	NFTIA 500	NFTIA 411	NFTIA 410	NFTIA 401	NFTIA 400	0F01 9124H
									TIA51		TIA50		TIA41		TIA40		
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFTIA 311	NFTIA 310	NFTIA 301	NFTIA 300	NFTIA 211	NFTIA 210	NFTIA 201	NFTIA 200	NFTIA 111	NFTIA 110	NFTIA 101	NFTIA 100	NFTIA 011	NFTIA 010	NFTIA 001	NFTIA 000	0000 0000H
	TIA31		TIA30		TIA21		TIA20		TIA11		TIA10		TIA01		TIA00		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC6	0	0	NFTIT 111	NFTIT 110	NFTIT 101	NFTIT 100	NFEVT 11	NFEVT 10	NFTRG 11	NFTRG 10	NFECR 11	NFECR 10	NFENC 111	NFENC 110	NFENC 101	NFENC 100	0F01 9128H
			TIT11		TIT10		EVT11		TRGT1		TECR1		TENC11		TENC10		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	NFTIT 011	NFTIT 010	NFTIT 001	NFTIT 000	NFEVT 01	NFEVT 00	NFTRG 01	NFTRG 00	NFECR 01	NFECR 00	NFENC 011	NFENC 010	NFENC 001	NFENC 000	0000 0000H
			TIT01		TIT00		EVT01		TRGT0		TECR0		TENC01		TENC00		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC7	0	0	0	0	0	0	0	0	NFRXD 31	NFRXD 30	NFRXD 21	NFRXD 20	NFRXD 11	NFRXD 10	NFRXD 01	NFRXD 01	0F01 912CH
									RXD3		RXD2		RXD1		RXD0		
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFAD 01	NFAD 00	0000 0000H
															ADTRG		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

★

ビット位置	ビット名	意 味															
31-0	NFm1- NFm0	ノイズ・フィルタ段数を，内部システム・バス・クロック（HCLK）基準で設定します。 CLKDV0-CLKDV2 端子により，内部システム・バス・クロックは，CPU 動作クロックの分周関係で設定されます。															
		<table border="1"> <thead> <tr> <th>NFm1</th> <th>NFm0</th> <th>ノイズ・フィルタ段数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 × HCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 × HCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>8 × HCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>16 × HCLK</td> </tr> </tbody> </table>	NFm1	NFm0	ノイズ・フィルタ段数	0	0	0 × HCLK	0	1	4 × HCLK	1	0	8 × HCLK	1	1	16 × HCLK
NFm1	NFm0	ノイズ・フィルタ段数															
0	0	0 × HCLK															
0	1	4 × HCLK															
1	0	8 × HCLK															
1	1	16 × HCLK															

備考 m = P0-P49,

TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51,  
 ENC00, ENC01, ECR0, TRG0, EVT0, TIT00, TIT01,  
 ENC10, ENC11, ECR1, TRG1, EVT1, TIT10, TIT11,  
 RXD0, RXD1, RXD2, RXD3,  
 AD

### 23.14.2 ノイズ・フィルタの動作

表 23-3 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロック (CLK) でサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC7) で指定したノイズ除去を行っています。

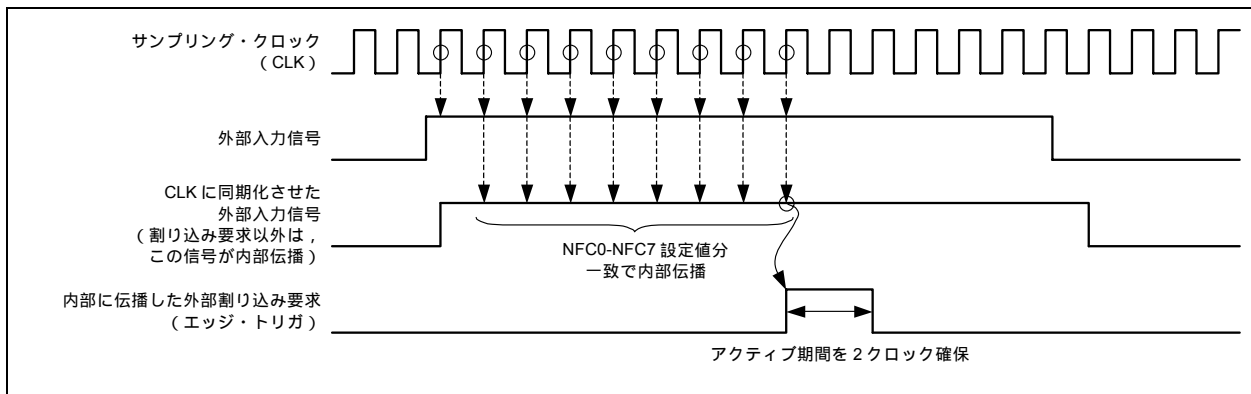
HCLK は、CLKDV0, CLKDV1 端子の設定により、CPU の動作クロック (CPCLK) からの分周比が設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

この CLK は IDLE モードで停止しないため、すべての外部割り込みで IDLE モードの解除が可能です。また、すべて立ち上がり / 立ち下がり / 両エッジ / ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

**注** CLK は、IDLE モードでも動作します。このため、IDLE モードは外部割り込みで解除できます。

図 23-2 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)



## 第24章 リセット機能

### 24.1 概 要

RESETZ 端子入力によるリセット機能

PONR 端子入力による、リダンダンシ RAM の初期化处理

DCU による強制リセット機能（第 25 章 デバッグ機能（DCU）参照）

RESETZ 端子へのロー・レベル入力は、500  $\mu$ s（MIN.）です。ただし、発振安定待ち時間が 500  $\mu$ s 以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください。

アナログ・ディレイによる RESETZ 端子入力のノイズ除去を行います。

システム・リセット期間中は、双方向や 3-st 出力バッファは、ほとんどの端子がハイ・インピーダンスになります（電源端子を除く）。ただし、動作モード設定端子は、JTAGSEL 端子を除き、プルアップ抵抗もプルダウン抵抗も接続されていません。これらの端子は、SiP として構成する場合に、相手側の ASIC の端子から SiP 内部接続により、動作モードを設定することを前提としているためです。システム評価などを前提に、単品で PFESiP/V850EP3 を利用する場合は、動作モード設定端子は、適宜外部からレベルを与える必要があります。

## 24.2 動作

RESETZ 端子に有効幅以上<sup>2</sup>のロー・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期化されます。

RESETZ 端子がロー・レベルからハイ・レベルになると、内部回路の同期リセット後にリセットが解除されて、OSC 出力クロック (OSCCLK) で CPU はプログラムの実行を開始します。各種レジスタ内容は、プログラムの中で必要に応じてイニシャライズしてください。

リセット解除時には、発振安定待ち時間は挿入されません。したがって、クロック発振回路が停止した状態からの RESETZ 端子入力 (パワーオン時のリセット入力) では、発振安定待ち時間以上 (500  $\mu$ s (MIN.)) をロー・レベルで確保する必要があります。また、クロック発振回路が停止していない状態からの RESETZ 端子入力 (IDLE モード解除時のリセット入力など) では、500  $\mu$ s (MIN.) のロー・レベルを確保する必要があります。

**注意** PFESiP/V850EP1 と異なり、発振安定待ちは行われないので注意してください。

**注.** RESETZ 端子へのロー・レベル入力は、500  $\mu$ s (MIN.) です。ただし、発振安定待ち時間が 500  $\mu$ s 以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください

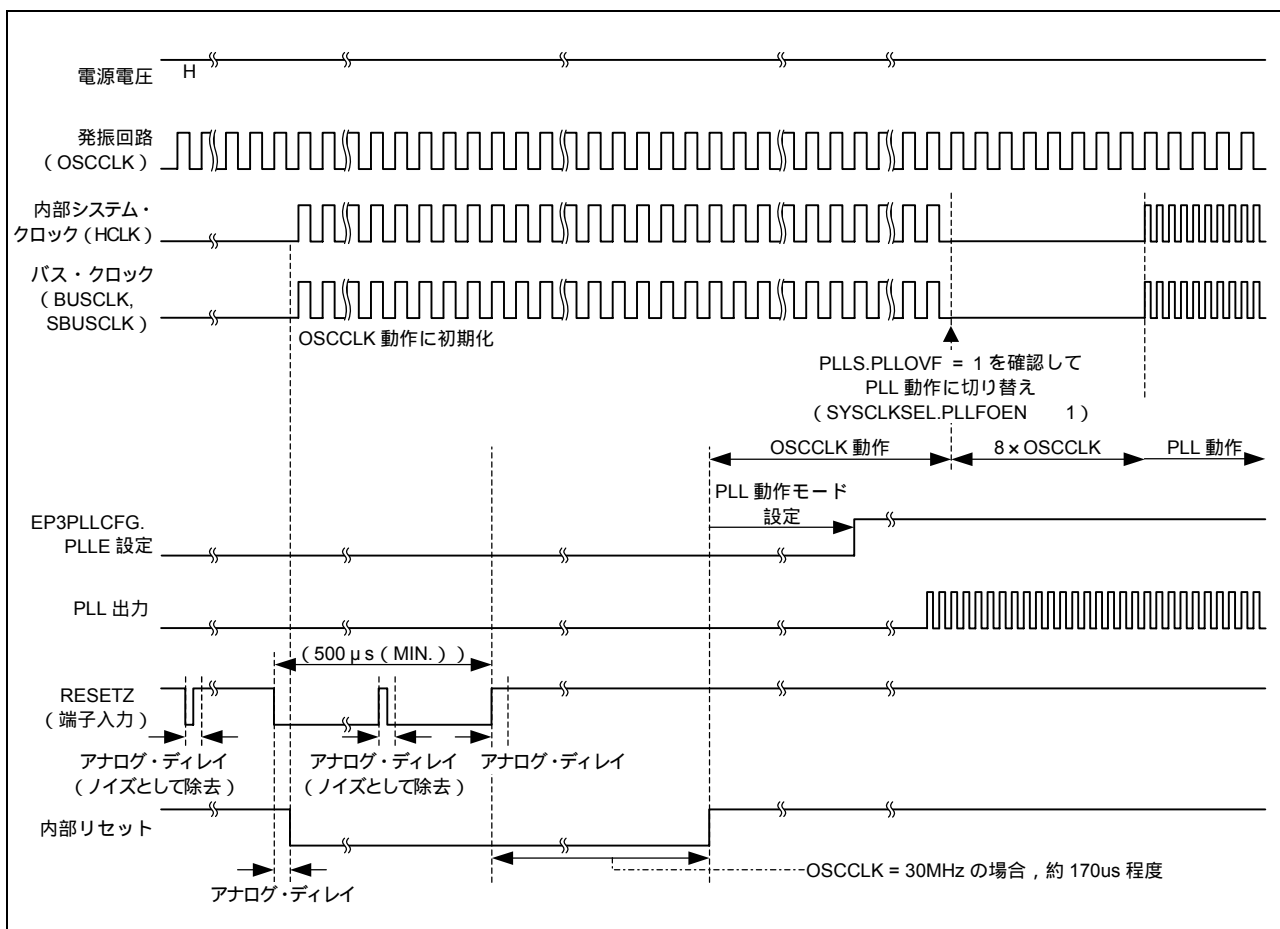
表 24-1 リセット入力時の各ハードウェアの状態

ハードウェア名	リセット期間中	リセット解除後
OSC	発振 / 供給継続	
クロック・ジェネレータ	<ul style="list-style-type: none"> <li>OSC クロック (OSCCLK) を出力</li> <li>発振安定時間前の出力は保証されません。</li> </ul>	<ul style="list-style-type: none"> <li>OSC クロック (OSCCLK) を出力</li> <li>PLL の動作モード設定, PLL ロック待ち後に PLL モードで動作可能。</li> </ul>
CPU	動作停止	動作開始
内蔵命令 RAM (I_RAM)	不定	
内蔵データ RAM (D_RAM)	不定	
内蔵ワーク RAM (W_RAM)	不定	
デバッグ機能	動作停止	動作可能
内蔵周辺 I/O レジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能
端子機能	2.2 端子状態参照	

**注意** RAM ブロックにはリセット信号は接続されていませんが、リセット動作はリセット解除を同期、リセット設定を非同期で行うため、リセット時には RAM に不正なクロックやストローブ信号が加わる可能性があるため、リセット前後での RAM の内容は保証されません。

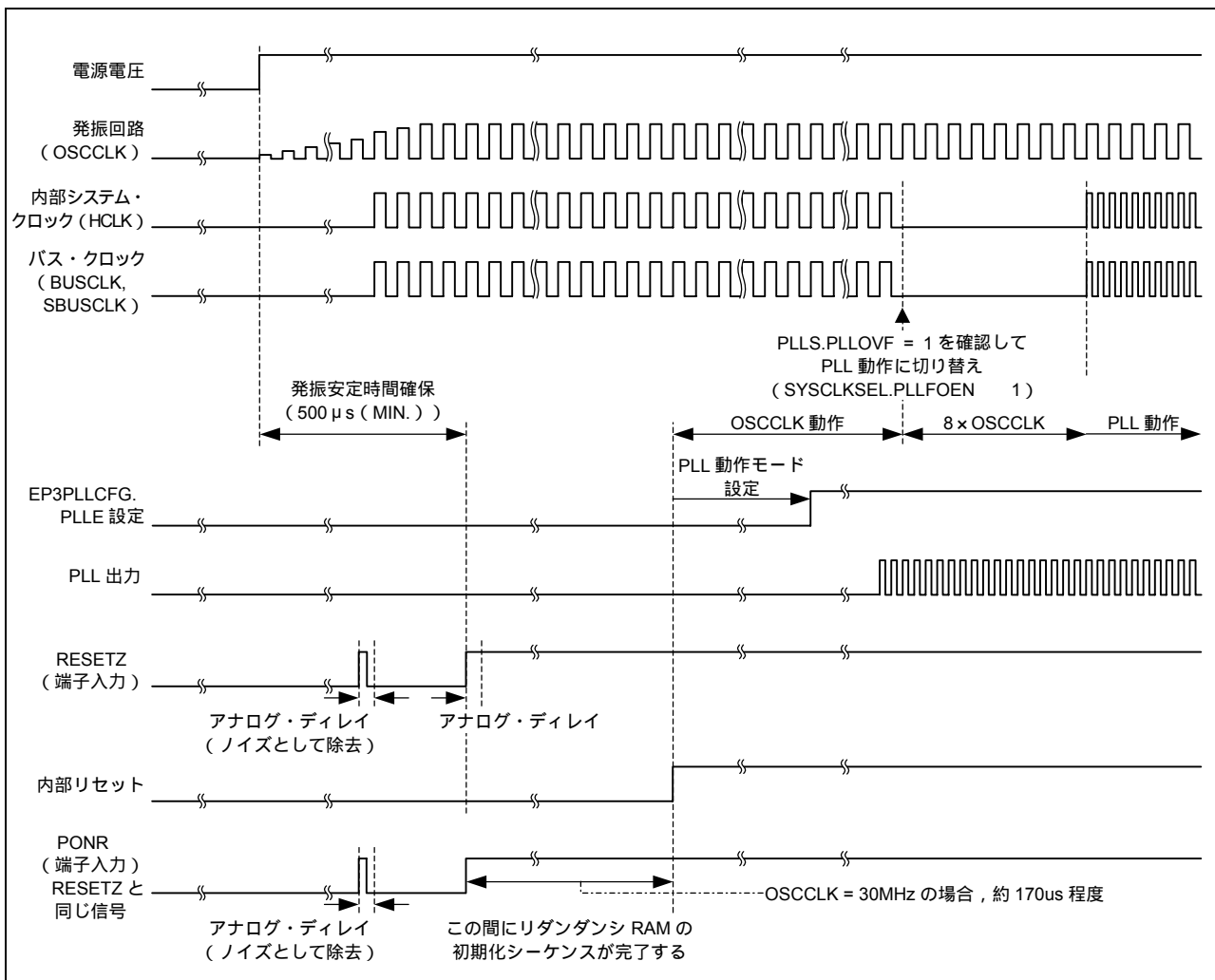
次に RESETZ 端子入力時のリセット動作を示します。

図 24-1 RESETZ 端子入力 (IDLE モード解除) 時のリセット動作



次にパワーオン時のリセット動作を示します。

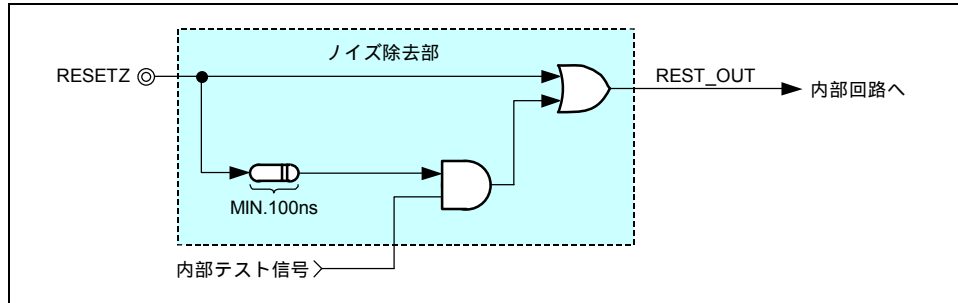
図 24-2 パワーオン時のリセット動作



### 24.2.1 リセット入力のノイズ除去

RESETZ 端子入力のノイズ除去には、アナログ・ディレイによるノイズ対策を行っています。

図 24-3 リセット入力のノイズ除去回路構成



### 24.2.2 リセット出力

CPU コアから、内蔵周辺回路に供給するリセット信号を出力しています。

外部デバイス用の RESTOZ 端子、SiP 内部接続インタフェース用の SRESTOZ 端子があります。

### 24.2.3 PONR 入力

PFESiP/V850EP3 の内蔵 RAM には、製造歩留まり向上のため、リダンダンシ RAM を採用しています。内蔵 RAM は複数のグループに分けられており、検査過程で、グループ単位で発生した 1 ビットまでのエラーをビット線ごとエラーのないビット線に置き換えています。

このエラー発生の有無の情報を内蔵 RAM に展開する初期化シーケンスを設けるため、PONR 信号を入力する必要があります。PONR には RESETZ 信号と同じリセット信号を入力してください。

RESETZ 入力によるリセット解除に対して、内部回路のリセット動作を行ってから内部リセット信号は解除されるため、この期間にリダンダンシ RAM の初期化シーケンスが完了します。

**注意** リセット解除後には、リダンダンシ RAM のエラー情報を RAM 上に展開するため、リセット前の内蔵 RAM のデータは、リセット後は保証されません。ただし、インサーキット・エミュレータを用い、デバッグからソフトウェア・リセットする場合は、ソフトウェア・リセット前のデータは保証されます。



## 24.3 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU, 内蔵命令 RAM, 内蔵データ RAM, 内蔵周辺機能のリセット後の初期値を次に示します。

表 24-2 CPU, 内蔵命令 RAM, 内蔵データ RAM, 内蔵周辺 I/O のリセット後の初期値

内蔵ハードウェア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H (固定)
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	00000000H
	システム・レジスタ	EIPC - EI レベル例外受け付け時の状態退避レジスタ	不定
		EIPSW - EI レベル例外受け付け時の状態退避レジスタ	00000020H
		FEPC - FE レベル例外受け付け時の状態退避レジスタ	不定
		FEPSW - FE レベル例外受け付け時の状態退避レジスタ	00000020H
		ECR - 例外要因	00000000H
		PSW - プログラム・ステータス・ワード	00000020H
		SCCFG - SYSCAL の動作設定	不定
		SCBP - SYSCALL ベース・ポインタ	不定
		EIIC - EI レベル例外要因	00000000H
		FEIC - FE レベル例外要因	00000000H
		CTPC - CALLT 実行時の状態退避レジスタ	不定
		CTPSW - CALLT 実行時の状態退避レジスタ	00000020H
		CTBP - CALLT ベース・ポインタ	不定
		EIWR - EI レベル例外作業レジスタ	
		FEWR - FE レベル例外作業レジスタ	
		BSEL - レジスタ・バンクの選択	00000000H
		内蔵命令 RAM	-
内蔵データ RAM	-	不定	
内蔵ワーク RAM	-	不定	
内蔵周辺機能	3.4.4 周辺 I/O レジスタ参照		

## 第25章 デバッグ機能

PFESiP/V850EP3 は、オンチップ・デバッグ機能として、DCU（デバッグ・コントロール・ユニット）を内蔵し、Nexus インタフェースでインサーキット・エミュレータとの接続を提供しています。

DCU には、RUN コントロール・ユニット（RCU）、トリガ・イベント・ユニット（TEU）、トレース・コントロール・ユニット（TCU）が内蔵されています。

なお、2010 年 3 月時点での対応インサーキット・エミュレータは、株式会社マイダス・ラボの RTE-2000H-TP と、京都マイクロコンピュータ株式会社の PARTNER-Jet（トレースは未対応）です。

### 25.1 機能概要

#### 25.1.1 デバッグ機能

(1) デバッグ・インタフェース

DRSTZ, DCK, DMS, DDI, DDO 信号により Nexus インタフェース対応インサーキット・エミュレータを介して、ホスト・マシンとの通信を行います。

(2) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意すれば、オンチップでのデバッグが可能です。配線やコネクタなどの規定は「25.3 ターゲット・ボード設計上の注意事項」を参照してください。

(3) 強制リセット機能

内蔵 CPU を強制的にリセットできます。

(4) ブレーク・リセット機能

CPU のリセット解除直後から CPU をデバッグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます。

## 25.1.2 トレース機能

### (1) プログラム・トレース（分岐トレース）機能

ユーザ・プログラム実行中に発生するすべての分岐（割り込み，例外，分岐などの処理の遷移）をトレースできます。

任意アドレスの命令実行からの PC トレースの開始やトレース要因の切り替えが可能です。

### (2) CPU データ・トレース機能

CPU が実行する任意のアドレスへのデータ・アクセスをトレースできます。

### (3) DMA データ・トレース

セントラル DMAC が発行するデータ・アクセスをトレースできます。

なお，システム・バス DMAC が発行するデータ・アクセスはトレースできません。

### (4) リアルタイム・トレース・モード

ユーザ・プログラムのリアルタイム実行での分岐，データ・アクセスをトレースできます。

検出されたトレース要因のトレース・パケットはトレース・バッファに格納され，トレース・インタフェース端子（MCKO, MDO0-MDO7, MSE00, MSE01）から出力されます（トレース・バッファにトレース・パケットが格納できなくなると，トレース・パケットの取りこぼしが発生します）。

### (5) 完全トレース・モード（ノンリアルタイム・トレース・モード）

ユーザ・プログラムのすべての分岐，データ・アクセスをトレースできます。

完全トレース・モードでは，トレース・インタフェース端子からのトレース・データ出力の時間を確保するために，一時的に CPU のパイプラインをホールドさせて命令の実行を停止し，トレース・パケットの取りこぼしを防止しています。

### 25.1.3 イベント機能

(1) 命令系イベント検出機能

実行 PC の大小比較によるイベント検出（8 個）や実行 PC の範囲イベント検出（2 個 1 組で最大 4 組）が可能です。

(2) アクセス系イベント検出機能

次の内容でのイベント検出が可能です。

- ・ アクセス・アドレスの大小比較（6 個）
- ・ アクセス・アドレスによる範囲（2 個 1 組で最大 3 組）
- ・ アクセス・データ的一致，不一致
- ・ データのマスクによる特定ビットのデータ
- ・ アクセス・サイズ

なお，アクセス系イベント要因はアクセス後検出です。アクセス系イベント要因をブレイク要因にした場合は，イベント検出したアクセスを発行した命令から，さらに数命令実行したあとにブレイクします。

(3) シーケンシャル・イベント検出機能

最大 4 段のイベントの連続発生によるイベント検出やイベントの連続発生をクリアするイベント検出が可能です。

また，12 ビットのパス・カウンタによるシーケンシャル・イベントのカウントが可能です。

(4) イベント・トリガ出力インタフェース

EVTOZ 端子により，外部にイベント検出を通知します。

(5) イベント・トリガ入力インタフェース

EVTIZ 端子により，外部イベントを受け付けます。

## 25.2 RTE-2000H-TP + PB-NEXUS-N38 のハードウェア仕様

(1/2)

項目	仕様	
使用する RTE-TP の形式	RTE-2000H-TP + PB-NEXUS-N38	
エミュレーション機能		
CPU 動作周波数	266MHz (MAX.) <sup>注1</sup>	
インタフェース	Nexus 仕様	
動作電圧	3.3V <sup>注1</sup>	
DCK クロック	10kHz -125MHz	
イベント機能		
イベント数		
実行アドレスの設定	8	
データ・アクセスの設定	6	
セントラル DMAC サイクルの設定	6	
条件	アドレス指定	範囲指定可
	データ指定	範囲指定可
	ステータス指定	リード, ライト, リード/ライト
他	シーケンシャル器段数	4
	パス・カウンタ	12 ビット
ブレーク機能		
H/W ブレークポイント		
命令 / アクセス系ブレークポイント <sup>注2</sup>	4	
アドレス指定	マスク指定可	
データ指定	マスク指定可	
ステータス指定	リード, ライト, リード/ライト, EX	
S/W ブレークポイント	100	
イベントによるブレーク設定	可	
ステップ・ブレーク	可	
マニュアル・ブレーク	可	
外部信号によるブレーク (ハイ / ロー / エッジ) <sup>注3</sup>	可	

注 1. PFESiP/V850EP3 の仕様により, 制限されているものです。RTE-2000H-TP + PB-NEXUS-N38 の単体性能はこの限りではありません。

2. 以下は同一の資源をシェアしています。

- ・命令 / アクセス系ブレークポイント
- ・実行アドレス, およびデータ・アクセスによるトレース・トリガ
- ・サブスイッチの通過条件

3. 外部信号のブレークを有効にするためには, EVTIZ 信号を占有します。

(2/2)

項目	仕様
トレース機能	
トレース・データ・バス	8 ビット <sup>注1</sup>
トレース・メモリ	1M ワード
トリガ設定	
実行アドレスによるトリガ設定 <sup>注2</sup>	可
データ・アクセスによるトリガ設定 <sup>注2</sup>	可
イベントによるトリガ設定	可
外部入力によるトリガ設定	可
実行アドレスによる開始, 停止指定 <sup>注2</sup>	可
トレース・ディレイ	0-FFFFFF
トレース・クロック	DDR-133MHz ( MAX. ) <sup>注1</sup>
タイム・タグ	100ns-30h
逆アセンブル・トレース表示機能	有り
完全トレース・モード指定機能 ( no real time )	有り
外部 ROM エミュレーション機能 <sup>注3</sup>	
ブロック内マップ機能 ( USER/EMEM )	64K ワード
RAM として使用	可
メモリ容量	8M-128M バイト
アクセス・タイム	非バースト時 : 35ns, バースト時 : 30ns ( CBL-STD16-2K 使用時 )
動作電圧	3.3V ± 0.3V <sup>注1</sup> ( CBL-STD16-2K 使用時 )
電気的条件	LV-TTL, 5V トレラント ( CBL-STD16-2K 使用時 )
エミュレーション可能な ROM 数 <sup>注1</sup>	
DIP-40/42pin-ROM ( 16 ビット・バス ROM )	4 ( MAX. )
拡張 16bit-標準 ROM コネクタ	4 ( MAX. )
エミュレーション可能な ROM の容量 ( ビット ) <sup>注1</sup>	
DIP-40-ROM ( 16 ビット・バス )	1M, 2M, 4M ( 27C1024 / 2048 / 4096 )
DIP-42-ROM ( 16 ビット・バス )	8M, 16M ( 27C8000 / 16000 )
拡張 16bit-標準 ROM ( 16 ビット・バス )	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M ( 32M バイト )
バス幅指定 ( ビット ) <sup>注1</sup>	16/32
端子マスク機能	NMI, RESETZ <sup>注1</sup>
実行時間計測機能 ( ) 内は JTAGCLK = 25MHz 時の値	
分解能 ( ns )	t = JTAGCLK 周期の 2 倍 ( 80nsec )
最大計測時間 ( ns )	t × 2 <sup>31</sup> ( 約 171 秒 )

注 1. PFESiP/V850EP3 の仕様により, 制限されているものです。RTE-2000H-TP + PB-NEXUS-N38 の単体性能はこの限りではありません。

2. 以下は同一の資源をシェアしています。

- ・命令 / アクセス系ブレイクポイント
- ・実行アドレス, およびデータ・アクセスによるトレース・トリガ
- ・サブスイッチの通過条件

3. ユーザ・システム上に ROM エミュレーション・ケーブルを接続するための ROM ソケット, または専用のコネクタが必要です。詳しくは RTE-2000H-TP のマニュアルを参照してください。なお, RTE-2000H-TP では, E.MEM 基板を最大 4 枚実装でき, そのときの最大容量は 128M バイトです。

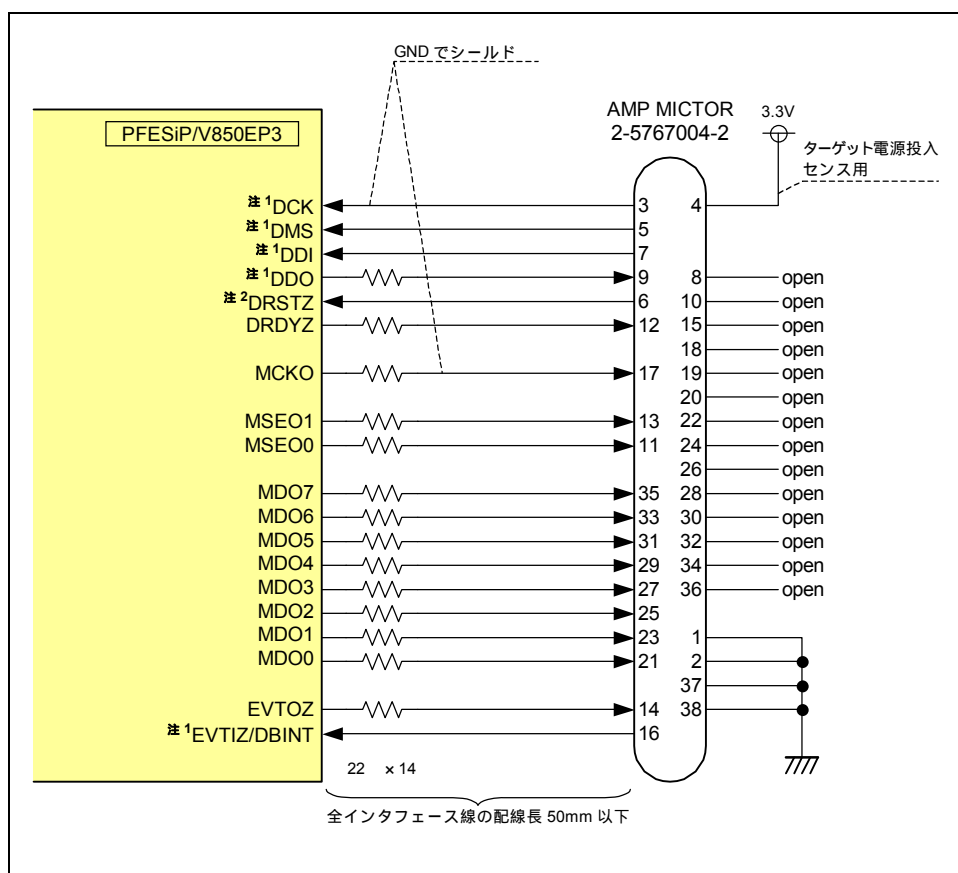
## 25.3 ターゲット・ボード設計上の注意事項

Nexus インタフェースを用いて、PFESiP/V850EP3 は高速トレースが可能です。

インサーキット・エミュレータ (RTE-2000H-TP + PB-NEXUS-N38) をターゲット・ボードに接続しデバッグを行うためには、ターゲット・ボード上に AMP 社 MICTOR レセクタブル「2-5767004-2」(38 信号) を実装してください。

### 25.3.1 推奨回路

図 25-1 デバッグ・インタフェース推奨回路



注 1. DCK, DMS, DDI, DDO, EVTIZ/DBINT は、バッファ部において 5kΩ でプルアップされています。

注 2. DRSTZ は、バッファ部において 50kΩ でプルダウンされています。

25.3.2 接続コネクタ

表 25-1 デバッグ・インタフェース・コネクタ

PFESiP/V850EP3 , ターゲット・ボードの接続			ピン 番号	信号名	信号名	ピン 番号	PFESiP/V850EP3 , ターゲット・ボードの接続		
GND			1	GND	GND	2			
内部 5k	Pull-up	DCK	3	TCK	VCCIO	4	ターゲット・ボード EVDD		
内部 5k	Pull-up	DMS	5	TMS	_TRST	6	DRSTZ	内部 50k	Pull-down
内部 5k	Pull-up	DDI	7	TDI	RESET	8	open		
内部 5k	Pull-up	DDO	9	TDO	FLDM0	10	open		
MSEO0			11	MSEO0	RDYZ	12	DRDYZ		
MSEO1			13	MSEO1	EVTO	14	EVTOZ		
open			15	open	EVTI	16	EVTIZ		
MCKO			17	MCKO	open	18	open		
open			19	open	open	20	open		
MDO0			21	MDO0	MDO8	22	open		
MDO1			23	MDO1	MDO9	24	open		
MDO2			25	MDO2	MDO10	26	open		
MDO3			27	MDO3	MDO11	28	open		
MDO4			29	MDO4	MDO12	30	open		
MDO5			31	MDO5	MDO13	32	open		
MDO6			33	MDO6	MDO14	34	open		
MDO7			35	MDO7	MDO15	36	open		
GND			37	GND	GND	38	GND		



## 第26章 電気的特性

### 26.1 用語説明

表 26-1 絶対最大定格に関する用語

項目	略号	意味
電源電圧	$V_{DD}$	$V_{DD}$ 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	$V_I$	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	$V_O$	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電流	$I_O$	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	$T_A$	正常な論理動作をする周囲温度範囲を示します。
保存温度	$T_{stg}$	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表 26-2 推奨動作範囲に関する用語

項目	略号	意味
電源電圧	$V_{DD}$	$V_{SS} = 0V$ としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	$V_{IH}$	PFESiP/V850EP3 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	$V_{IL}$	PFESiP/V850EP3 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示す。 MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	$V_P$	PFESiP/V850EP3 の入力をロー・レベル側からハイ・レベル側に变化させたときに、出力レベルが反転する入力レベル
ネガティブ・トリガ電圧	$V_N$	PFESiP/V850EP3 の入力をハイ・レベル側からロー・レベル側に变化させたときに、出力レベルが反転する入力レベル
ヒステリシス電圧	$V_H$	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	$t_{rid}$ , $t_{ric}$ , $t_{ris}$	PFESiP/V850EP3 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。 $t_{rid}$ , $t_{ric}$ , $t_{ris}$ は、それぞれデータ・クロック、シュミット・バッファの入力立ち上がり時間を示します。
入力立ち下がり時間	$t_{fid}$ , $t_{fic}$ , $t_{fis}$	PFESiP/V850EP3 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。 $t_{fid}$ , $t_{fic}$ , $t_{fis}$ は、それぞれデータ・クロック、シュミット・バッファの入力立ち下がり時間を示します。

表 26-3 DC 特性に関する用語

項目	略号	意味
静消費電流	$I_{DDs}$	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	$I_{Oz}$	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	$I_{OS}$	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。
入力リーク電流	$I_{LI}$	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	$I_{OL}$	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	$I_{OH}$	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	$V_{OL}$	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	$V_{OH}$	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

## 26.2 絶対最大定格

表 26-4 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	1.0V 系	- 0.5 ~ + 1.4	V
		3.3V 系	- 0.5 ~ + 4.6	V
入出力電圧	V <sub>I</sub> /V <sub>O</sub>	3.3V バッファ V <sub>I</sub> /V <sub>O</sub> < V <sub>DD</sub> + 0.5V	- 0.5 ~ + 4.6	V
出力電流 (3.3V バッファ)	I <sub>O</sub>	3mA タイプ (TUD10C33N03N 相当)	8	mA
		6mA タイプ (TUD10C33N06N 相当)	15	mA
		9mA タイプ (TUD10C33N09N 相当)	20	mA
		12mA タイプ (TUD10C33N12N 相当)	25	mA
		18mA タイプ (TUD10C33N18N 相当)	35	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 65 ~ + 125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

備考 入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

## 26.3 推奨動作範囲

表 26-5 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>DD</sub>	1.0V 電源	0.9	1.0	1.1	V
		3.3V 電源	3.0	3.3	3.6	V
ネガティブ・トリガ電圧	V <sub>N</sub>	3.3V バッファ	0.6	-	1.8	V
ポジティブ・トリガ電圧	V <sub>P</sub>	3.3V バッファ	1.2	-	2.4	V
ヒステリシス電圧	V <sub>H</sub>	3.3V バッファ	0.3	-	1.5	V
ロー・レベル入力電圧	V <sub>IL</sub>	3.3V バッファ	-0.3	-	0.8	V
ハイ・レベル入力電圧	V <sub>IH</sub>	3.3V バッファ	2.0	-	V <sub>DD</sub> + 0.3	V
入力立ち上がり / 立ち下がり時間	t <sub>rid</sub>	-	0	-	200	ns
		-	0	-	200	ns
入力立ち上がり / 立ち下がり時間 (クロック)	t <sub>ric</sub>	-	0	-	4	ns
		-	0	-	4	ns
入力立ち上がり / 立ち下がり時間 (シュミット)	t <sub>ris</sub>	-	0	-	1	ms
		-	0	-	1	ms
動作周囲温度	T <sub>A</sub>	-	-40	-	85	

## 26.4 DC 特性

表 26-6 DC 特性 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85$ ) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	通常時	$I_{DD1}$	IVDD (1.0V)		T.B.D.	T.B.D.	mA
			CPCLK:266MHz/BUSCLK:88.7MHz 動作時				
	HALT 時	$I_{DD2}$	EVDD (3.3V)		T.B.D.	T.B.D.	mA
			CPCLK:266MHz/BUSCLK:88.7MHz 動作時				
IDLE 時	$I_{DD3}$	IVDD (1.0V)		T.B.D.		mA	
オフステート電流	$I_{OZ}$	$V_O = V_{DD}$ or GND	3.3V 出力	-	-	$\pm 10$	$\mu A$
出力短絡電流 <sup>注</sup>	$I_{OS}$	$V_O = GND$		-	-	- 250	mA
入力リーク電流 (3.3V バッファ)	$I_I$	$V_I = V_{DD}$ or GND	通常入力	-	-	$\pm 10$	$\mu A$
		$V_I = GND$	プルアップ抵抗付き (5 k $\Omega$ )	293.8	645.7	1181.3	$\mu A$
			プルアップ抵抗付き (50 k $\Omega$ )	28.9	65.7	129.8	$\mu A$
		$V_I = V_{DD}$	プルダウン抵抗付き (50 k $\Omega$ )	10.2	43.4	83.9	$\mu A$

注 出力短絡電流は 1 秒以下で、1 端子のみ。

備考 表中の +, - は電流の方向を示しています。デバイスに流れ込む場合が +, 流れ出す場合が - です。

表 26-6 DC 特性 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85$ ) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロー・レベル出力電流 (3.3V バッファ)	$I_{OL}$	$V_{OL} = 0.4V$	3 mA タイプ (TUD1OC33N03N)	3.0	-	-	mA
			6 mA タイプ (TUD1OC33N06N)	6.0	-	-	mA
			9 mA タイプ (TUD1OC33N09N)	9.0	-	-	mA
			12 mA タイプ (TUD1OC33N12N)	12.0	-	-	mA
			18 mA タイプ (TUD1OC33N18N)	18.0	-	-	mA
ハイ・レベル出力電流 (3.3V バッファ)	$I_{OH}$	$V_{OH} = 2.4V$	3 mA タイプ (TUD1OC33N03N)	3.0	-	-	mA
			6 mA タイプ (TUD1OC33N06N)	6.0	-	-	mA
			9 mA タイプ (TUD1OC33N09N)	9.0	-	-	mA
			12 mA タイプ (TUD1OC33N12N)	12.0	-	-	mA
			18 mA タイプ (TUD1OC33N18N)	18.0	-	-	mA
ロー・レベル出力電圧	$V_{OL}$	$I_{OL} = 0mA$	3.3V バッファ	-	-	0.1	V
ハイ・レベル出力電圧	$V_{OH}$	$I_{OL} = 0mA$	3.3V バッファ	$V_{DD}-0.1$	-	-	V

## 26.5 プルアップ / プルダウン抵抗値

表 26-7 プルアップ / プルダウン抵抗値 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85$  )

項 目	ライブラリ表現	MIN.	TYP.	MAX.	単 位
プルアップ抵抗 (3.3V バッファ)	5k	3.0	5.1	10.2	k
	50k	27.7	50.2	103.9	k
プルダウン抵抗 (3.3V バッファ)	50k	42.9	76.1	295.5	k

## 26.6 AC 特性

### 26.6.1 クロック端子

#### (1) 入力クロック

表 26-8 入力クロック・タイミング

項目	略号	条件	MIN	MAX	単位
XT1 入力周期	$t_{SCLK}$		27	48	MHz
DCK 入力周期	$t_{SDCK}$		-	25	MHz
USB_UCLK 入力周期	$t_{SUCLK}$		30 or 48 ± 100ppm 以下		MHz
USB_PCLK 入力周期	$t_{SPCLK}$		25	33	MHz
ETH_TXCLK 入力周期	$t_{STXCLK}$		25 ± 100ppm 以下		MHz
ETH_RXCLK 入力周期	$t_{SRXCLK}$		25 ± 100ppm 以下		MHz
ETH_REFCLK 入力周期	$t_{SREFCLK}$		50 ± 50ppm 以下		MHz

表 26-9 UCLKSEL0, UCLKSEL1 による必要クロック入力精度

項目	UCLKSEL0 =0 UCLKSEL1=0	UCLKSEL0 =0 UCLKSEL1=1	UCLKSEL0 =1 UCLKSEL1=0	UCLKSEL0 =1 UCLKSEL1=1	単位
XT1 入力	30 or 48 ± 100ppm 以下	48 ± 100ppm 以下	27 ~ 48	27 ~ 48	MHz
USB_UCLK 入力	オープン	オープン	30 ± 100ppm 以下	30 ± 100ppm 以下	MHz
USB_PCLK 入力	オープン	25 ~ 33	オープン	25 ~ 33	MHz

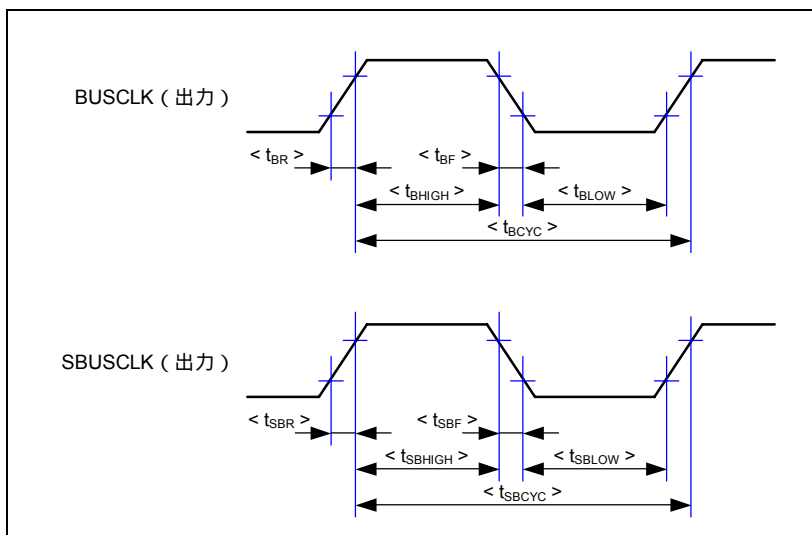
注意 USB 機能を使用する場合の精度であり，USB 機能を使用しない場合は，上記精度は必要ありません。

(2) 出力クロック

表 26-10 出力クロック・タイミング

項目	略号	条件	MIN	MAX	単位
BUSCLK 出力周期	$t_{BCYC}$	出力負荷容量 : 18.5pF 以下	10.0	-	ns
BUSCLK ハイ・レベル幅	$t_{BHIGH}$		$0.5 t_{BCYC} - 2.1$	$0.5 t_{BCYC} + 2.1$	ns
BUSCLK ロー・レベル幅	$t_{BLOW}$		$0.5 t_{BCYC} - 2.1$	$0.5 t_{BCYC} + 2.1$	ns
BUSCLK 立ち上がり時間	$t_{BR}$		-	2.4	ns
BUSCLK 立ち下がり時間	$t_{BF}$		-	2.4	ns
SBUSCLK 出力周期	$t_{SBCYC}$	出力負荷容量 : 5pF 以下	10.0	-	ns
SBUSCLK ハイ・レベル幅	$t_{SBHIGH}$		$0.5 t_{SBCYC} - 1.2$	$0.5 t_{SBCYC} + 1.2$	ns
SBUSCLK ロー・レベル幅	$t_{SBLow}$		$0.5 t_{SBCYC} - 1.2$	$0.5 t_{SBCYC} + 1.2$	ns
SBUSCLK 立ち上がり時間	$t_{SBR}$		-	1.0	ns
SBUSCLK 立ち下がり時間	$t_{SBF}$		-	1.0	ns

図 26-1 出力クロック・タイミング

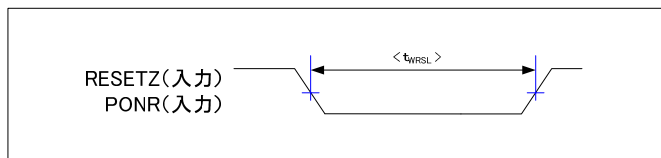


(3) リセット・タイミング

表 26-11 リセット・タイミング

項目	略号	条件	MIN	MAX	単位
RESETZ 端子ロー・レベル幅	$t_{WRSL}$		500 <sup>注</sup>	-	$\mu s$
PONR 端子ロー・レベル幅	$t_{WRSL}$		500 <sup>注</sup>	-	$\mu s$

図 26-2 リセット・タイミング



注 発振安定待ち時間が 500  $\mu s$  以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください。



## 26.6.2 外部メモリ・インタフェース端子

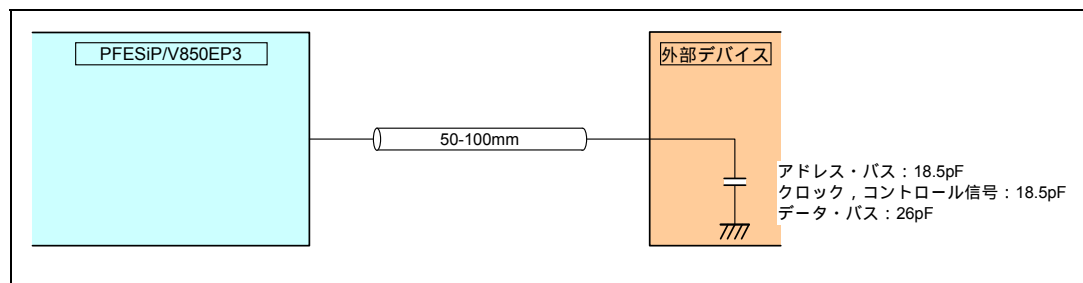
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 26-12 外部メモリ・アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項目	略号	MIN	MAX	単位
アドレス, STCSZ0-STCSZ3 出力遅延時間 (対 BUSCLK )	$t_{DKA}$	1.3	7.2	ns
RDZ 出力遅延時間 (対 BUSCLK )	$t_{DKRD}$	1.3	7.2	ns
BENZ0-BENZ3 (WRZ0-WRZ3), WRSTBZ 出力遅延時間 (対 BUSCLK )	$t_{DKWR}$	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK )	$t_{DKBSL}$	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK )	$t_{DKBS}$	1.3	7.2	ns
WAITZ 入力設定時間 (対 BUSCLK )	$t_{SKW}$	1.4	-	ns
WAITZ 入力保持時間 (対 BUSCLK )	$t_{HKW}$	3.0	-	ns
データ入力設定時間 (対 BUSCLK )	$t_{SKID}$	1.4	-	ns
データ入力保持時間 (対 BUSCLK )	$t_{HKID}$	3.0	-	ns
データ出力遅延時間 (対 BUSCLK )	$t_{DKOD}$	1.3	7.2	ns
データ・フロート遅延時間 (対 BUSCLK )	$t_{HKOD}$	1.3	7.2	ns

注意 上記は、各端子のバッファのドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

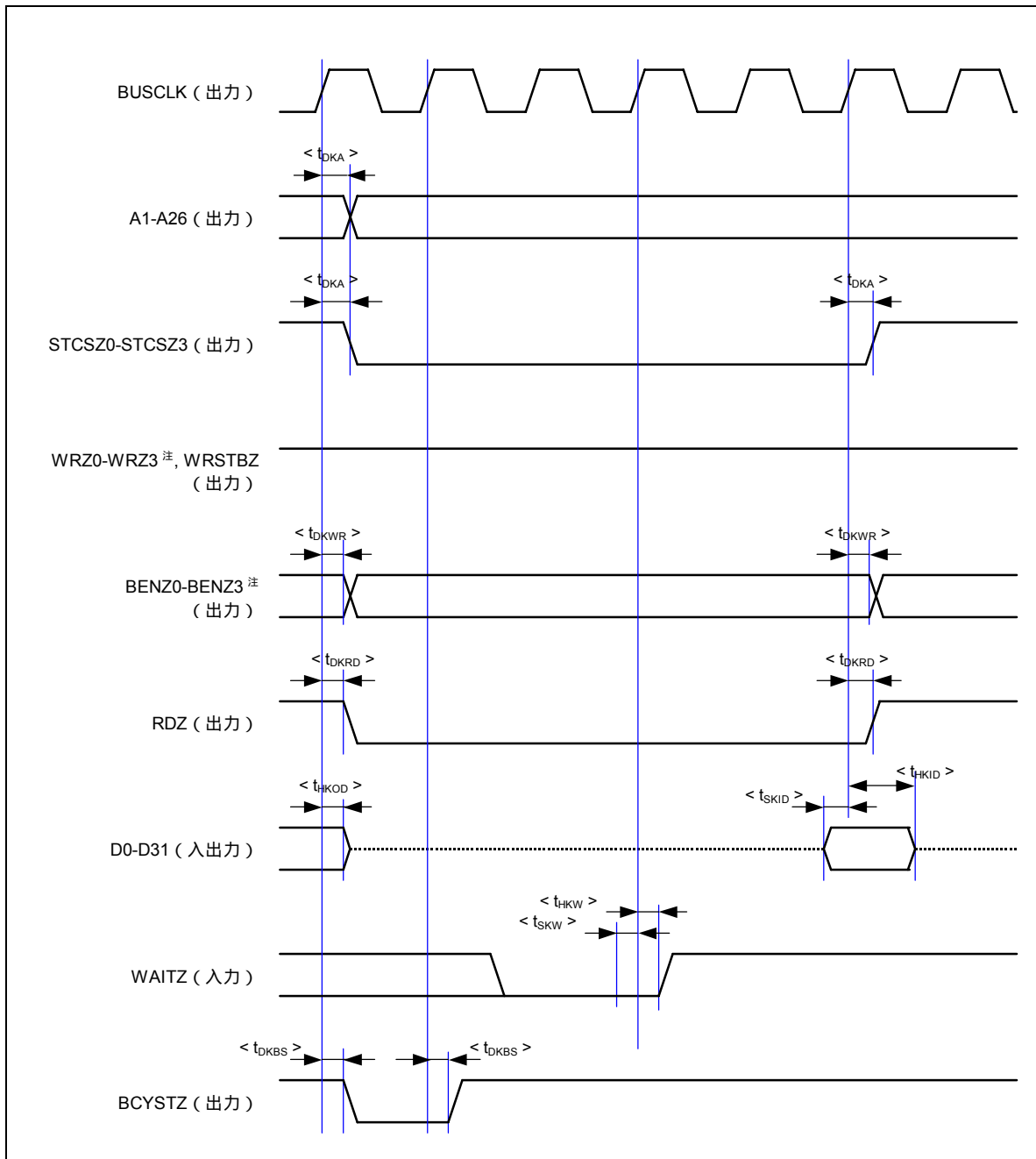
図 26-3 外部デバイスの想定負荷



備考 外部デバイスの負荷情報詳細は、「26.9.3 外部メモリ・インタフェース端子」を参照してください。

(a) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 26-4 外部メモリ・リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

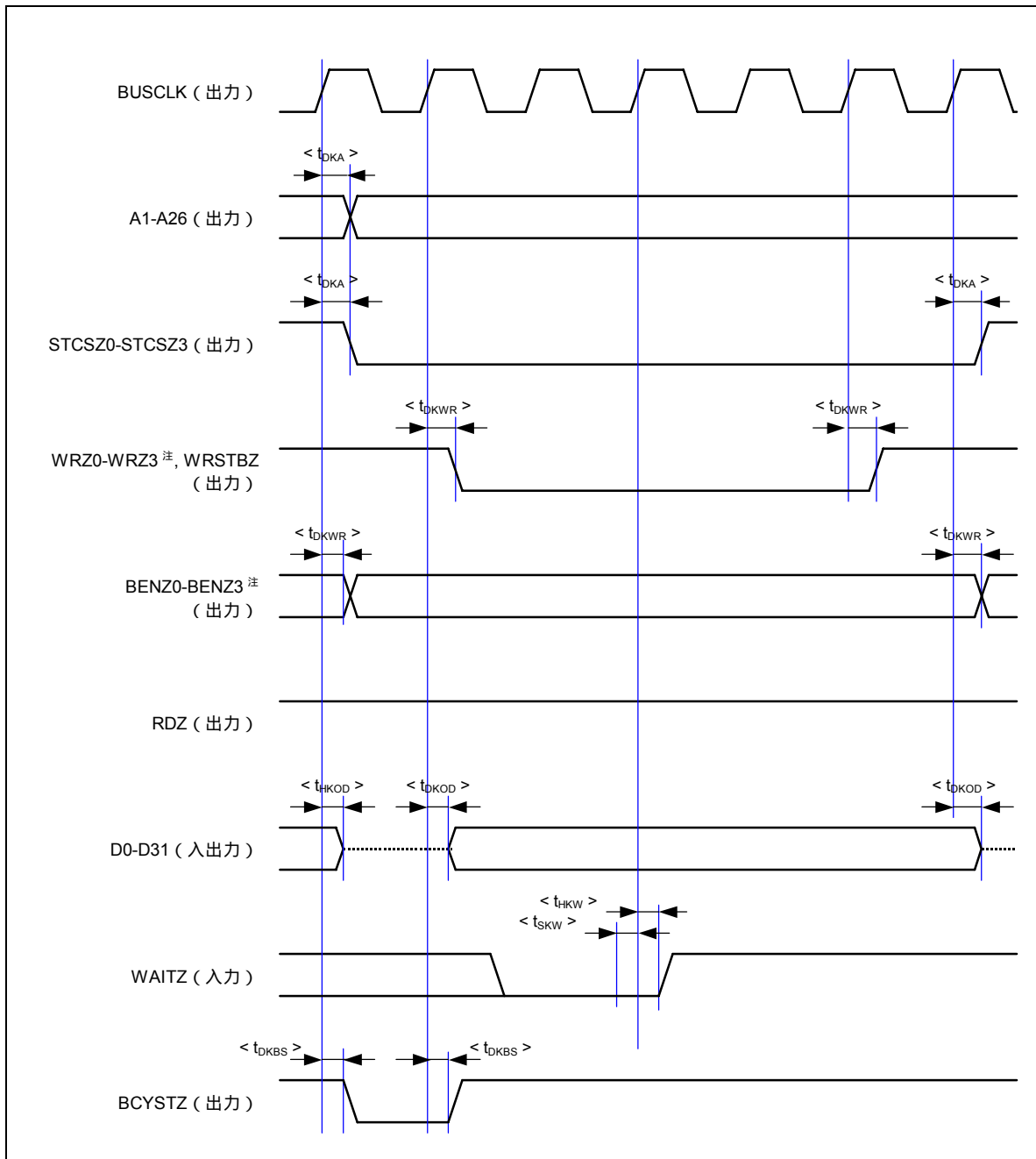


注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

- 備考 1. SMCn レジスタによるアイドル・ウエイト・ステート数 / ライト・リカバリ・ウエイト・ステート数 / アドレス設定ウエイト・ステート数が 0, データ・ウエイト数が 1 の場合のタイミングです。  
2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 26-5 外部メモリ・ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)



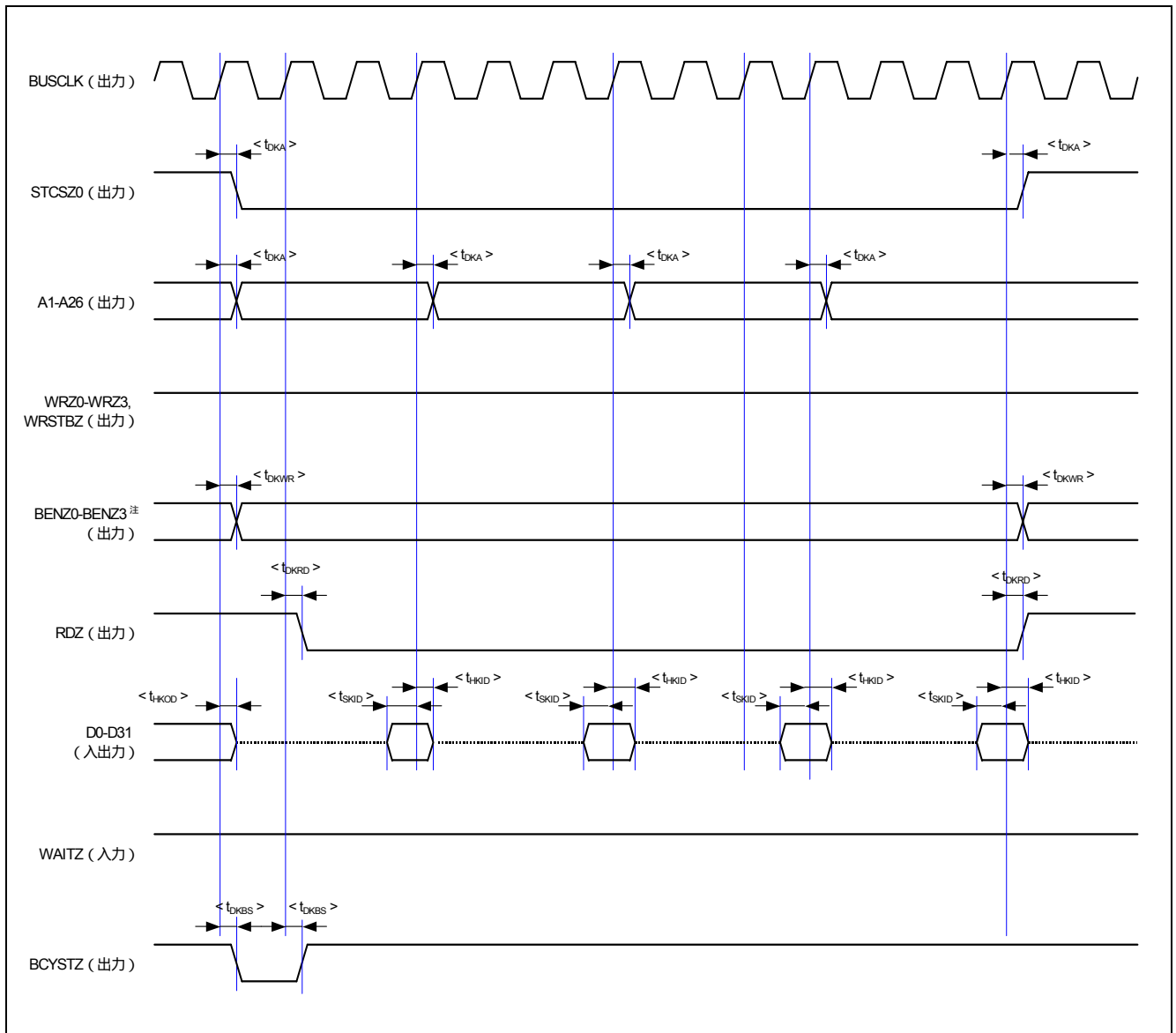
注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SMCn レジスタによるライト・リカバリ・ウェイト・ステート数 / データ・ウェイト・ステート数 / アドレス設定ウェイト・ステート数が 1, アイドル・ウェイト・ステート数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

## (c) ページ ROM アクセス・タイミング

図 26-6 外部メモリ・ページ ROM アクセス・タイミング



注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SMC0 レジスタによるアイドル・ウエイト・ステート数 / データ・ウエイト・ステート数 / アドレス設定ウエイト・ステート数が 1, PRC レジスタによるデータ・ウエイト・ステート数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

## (2) SDRAM アクセス・タイミング

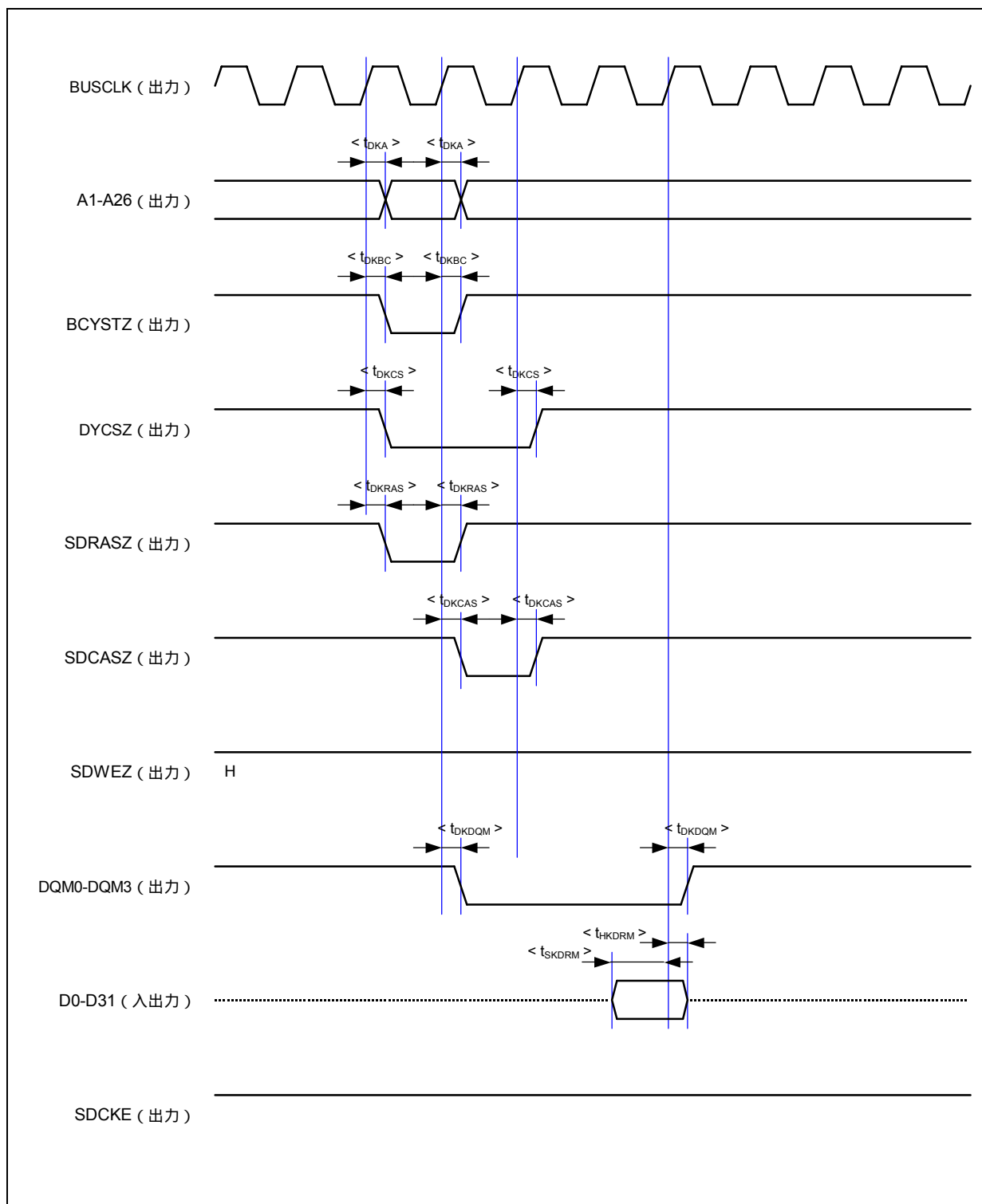
表 26-13 外部メモリ・SDRAM アクセス・タイミング

項目	略号	MIN	MAX	単位
アドレス出力遅延時間 (対 BUSCLK )	$t_{DKA}$	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK )	$t_{DKBC}$	1.3	7.2	ns
DYCSZ 出力遅延時間 (対 BUSCLK )	$t_{DKCS}$	1.3	7.2	ns
SDRASZ 出力遅延時間 (対 BUSCLK )	$t_{DKRAS}$	1.3	7.2	ns
SDCASZ 出力遅延時間 (対 BUSCLK )	$t_{DKCAS}$	1.3	7.2	ns
SDWEZ 出力遅延時間 (対 BUSCLK )	$t_{DKWE}$	1.3	7.2	ns
DQM0-DQM3 出力遅延時間 (対 BUSCLK )	$t_{DKDQM}$	1.3	7.2	ns
SDCKE 出力遅延時間 (対 BUSCLK )	$t_{DKCKE}$	1.3	7.2	ns
データ入力設定時間 (SDRAM リード時, 対 BUSCLK )	$t_{SKDRM}$	1.4	-	ns
データ入力保持時間 (SDRAM リード時, 対 BUSCLK )	$t_{HKDRM}$	3.0	-	ns
データ出力遅延時間 (対 BUSCLK )	$t_{DKDT1}$	1.3	7.2	ns
	$t_{DKDT2}$	1.3	7.2	ns
データ・フロート遅延時間 (対 BUSCLK )	$t_{HZKDT}$	1.3	7.2	ns
BUSREQZ 出力遅延時間 (対 BUSCLK )	$t_{DKREF}$	1.3	7.2	ns

注意 上記は、各端子のバッファのドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

(a) リード・タイミング (SDRAM アクセス)

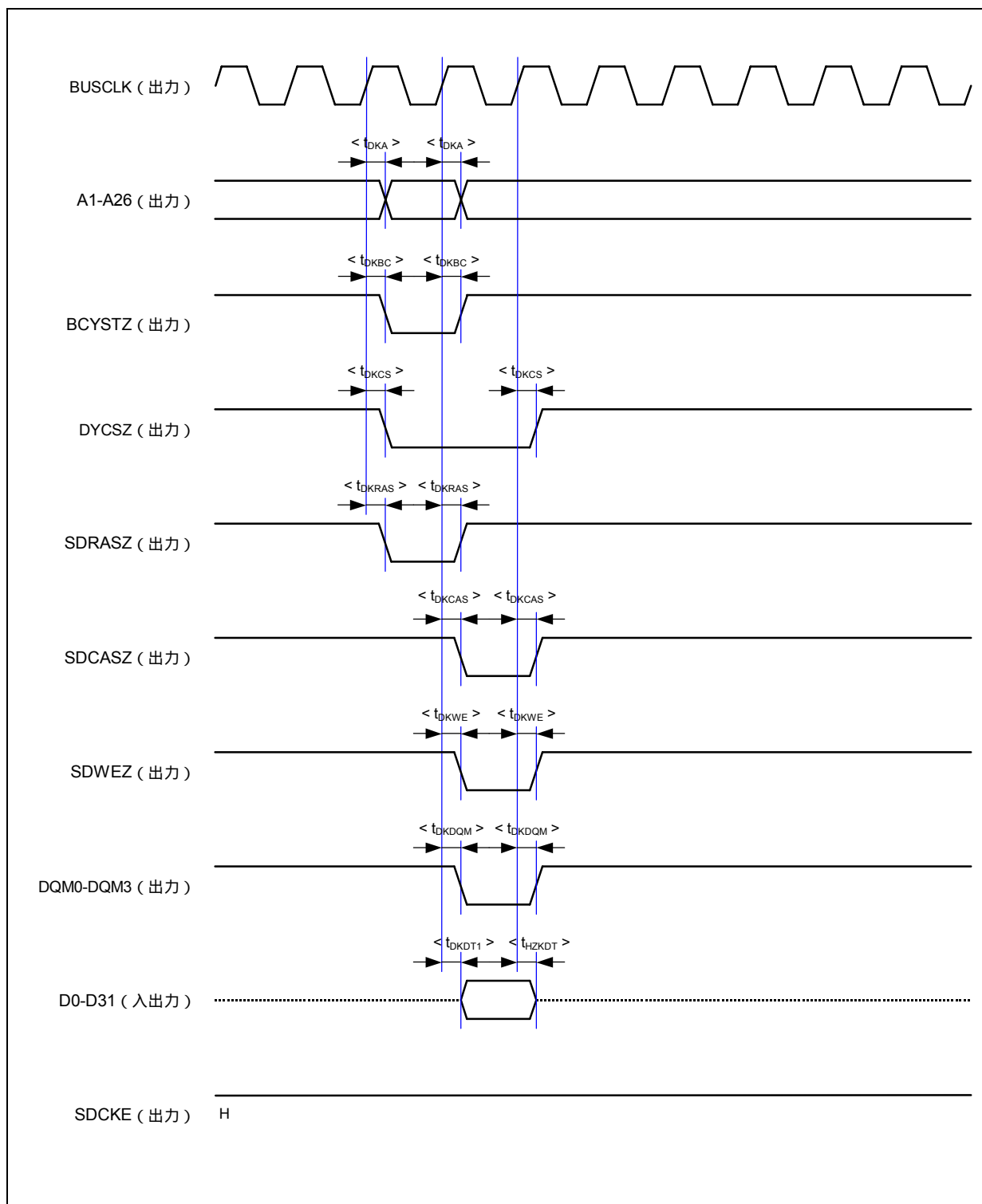
図 26-7 外部メモリ・リード・タイミング (SDRAM アクセス)



備考 1. DMC レジスタによる CAS レーテンシが 2 の場合のタイミングです。  
 2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SDRAM アクセス)

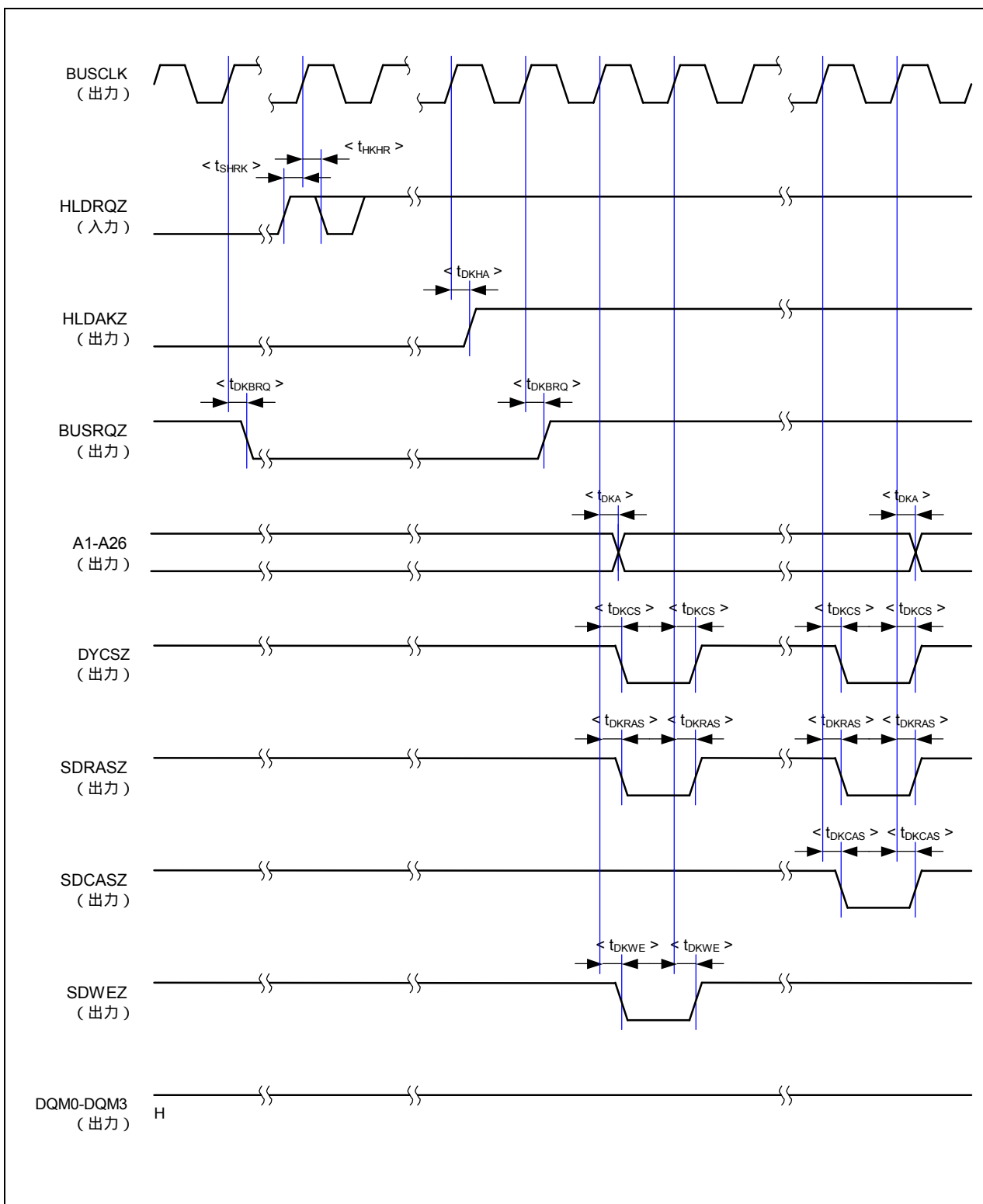
図 26-8 外部メモリ・ライト・タイミング (SDRAM アクセス)



備考 破線はハイ・インピーダンスを示します。

(c) リフレッシュ・タイミング

図 26-9 外部メモリ・リフレッシュ・タイミング





## (3) バス・ホールド・タイミング

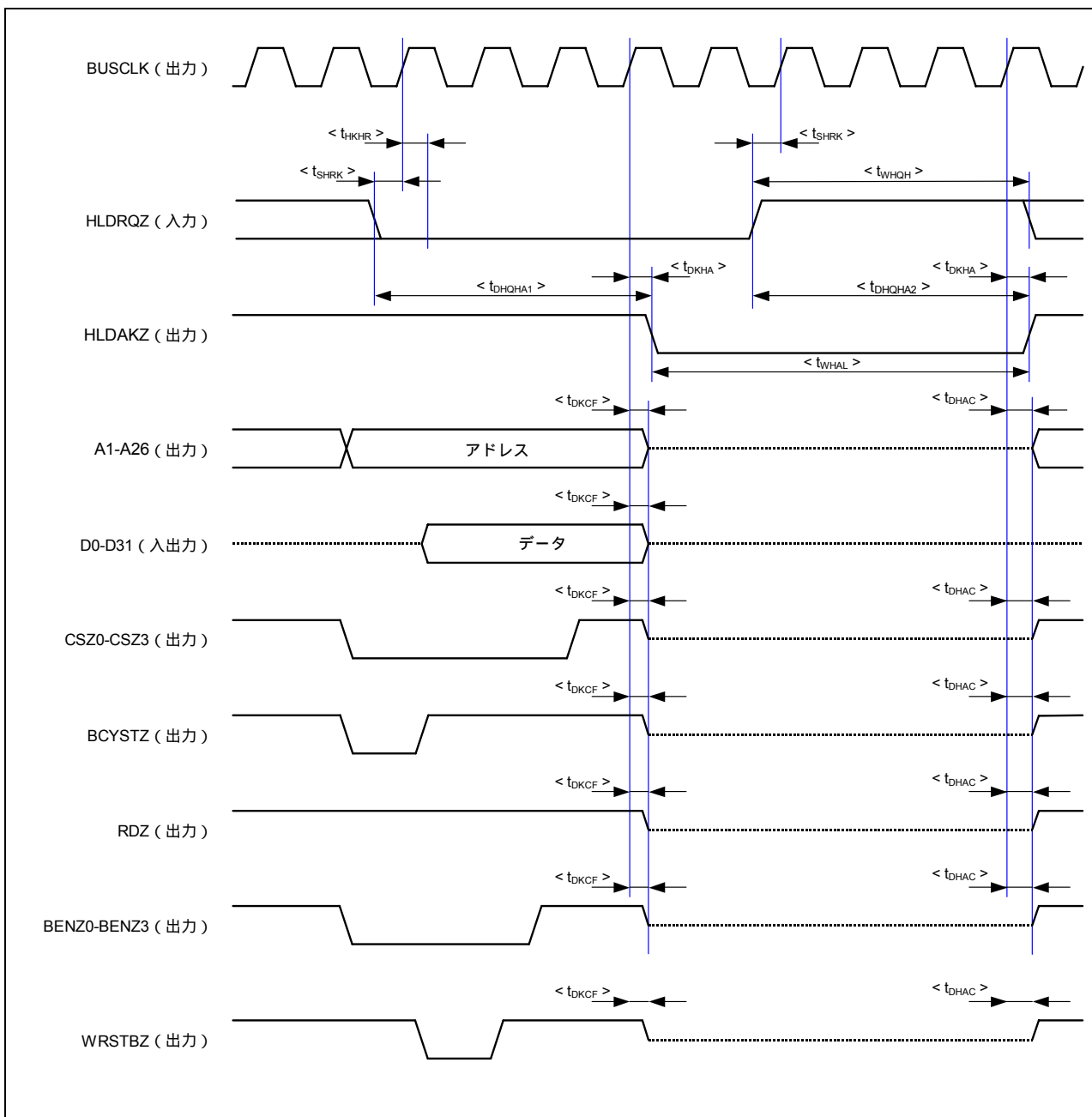
表 26-14 外部メモリ・バス・ホールド・タイミング

項目	略号	MIN	MAX	単位
HLDRQZ 設定時間 (対 BUSCLK )	$t_{SHRK}$	6.4	-	ns
HLDRQZ 保持時間 (対 BUSCLK )	$t_{HKHR}$	3.0	-	ns
BUSCLK HLDKZ 遅延時間	$t_{DKHA}$	1.3	7.2	ns
HLDRQZ ハイ・レベル幅	$t_{WHQH}$	$t_{BCYC}^{\text{注}} + 9.4$	-	ns
HLDKZ ロー・レベル幅	$t_{WHAL}$	$t_{BCYC}^{\text{注}} - 5.9$	-	ns
BUSCLK バス・フロート遅延時間	$t_{DKCF}$	1.3	7.2	ns
BUSCLK バス出力遅延時間	$t_{DHAC}$	1.3	7.2	ns
HLDRQZ HLDKZ 遅延時間	$t_{DHQA1}$	$3 \times t_{BCYC}^{\text{注}} - 1.7$	-	ns
HLDRQZ HLDKZ 遅延時間	$t_{DHQA2}$	$3 \times t_{BCYC}^{\text{注}} - 1.7$	-	ns

注  $t_{BCYC}$  は、BUSCLK の周期です。

注意 HLDKZ 端子のドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

図 26-10 外部メモリ・バス・ホールド・タイミング



## 26.6.3 SiP 内部接続バス・インタフェース端子

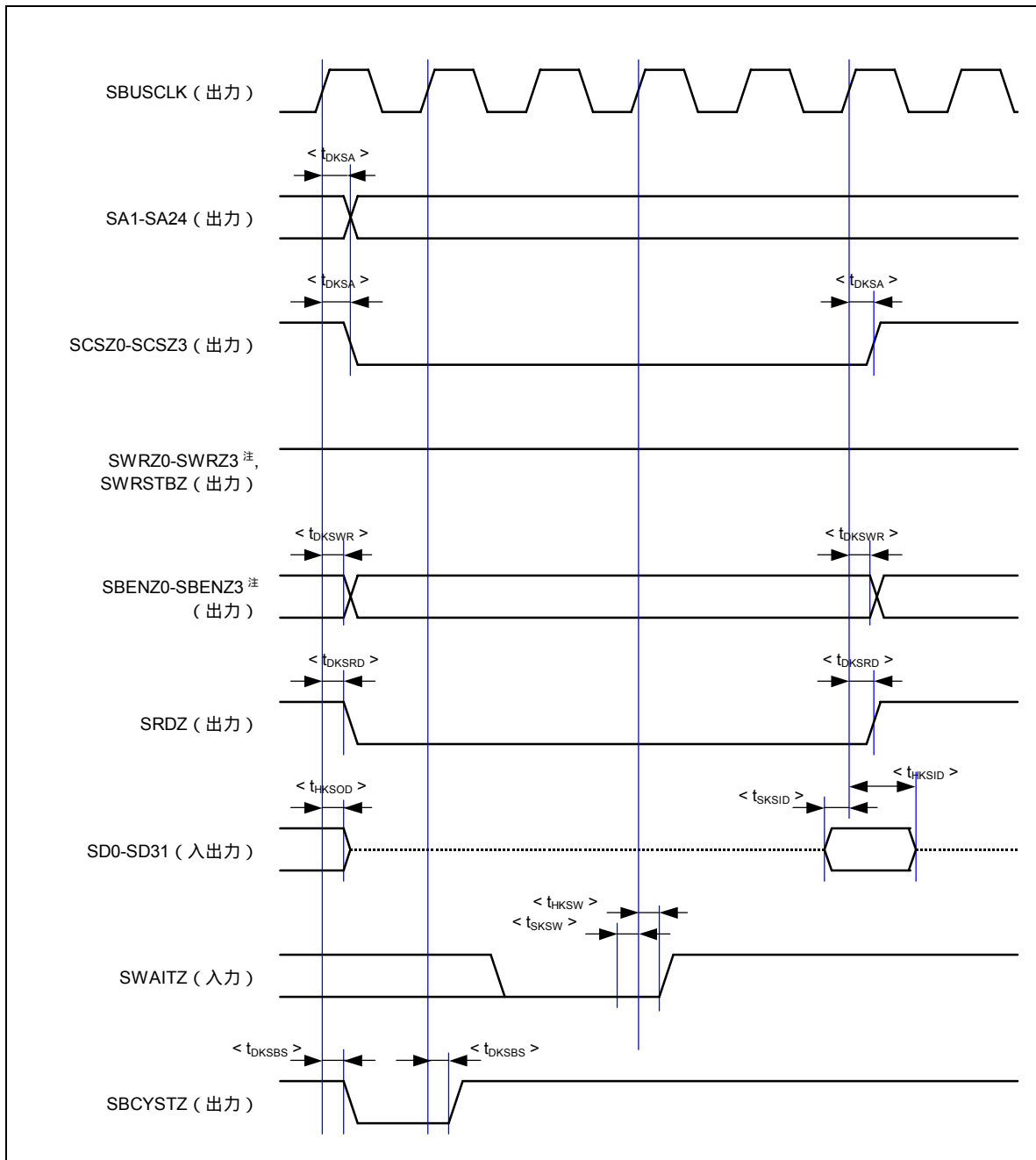
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 26-15 SiP 内部接続メモリ・アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項目	略号	MIN	MAX	単位
アドレス, SCSZ0-SCSZ3 出力遅延時間 (対 SBUSCLK )	$t_{DKSA}$	1.3	7.2	ns
SRDZ 出力遅延時間 (対 SBUSCLK )	$t_{DKSRD}$	1.3	7.2	ns
SBENZ0-SBENZ3 (SWRZ0-SWRZ3), SWRSTBZ 出力遅延時間 (対 SBUSCLK )	$t_{DKSWR}$	1.3	7.2	ns
SBCYSTZ 出力遅延時間 (対 SBUSCLK )	$t_{DKSBSL}$	1.3	7.2	ns
SBCYSTZ 出力遅延時間 (対 SBUSCLK )	$t_{DKSBS}$	1.3	7.2	ns
SWAITZ 入力設定時間 (対 SBUSCLK )	$t_{SKSW}$	1.4	-	ns
SWAITZ 入力保持時間 (対 SBUSCLK )	$t_{HKSW}$	3.0	-	ns
データ入力設定時間 (対 SBUSCLK )	$t_{SKISD}$	1.4	-	ns
データ入力保持時間 (対 SBUSCLK )	$t_{HKISD}$	3.0	-	ns
データ出力遅延時間 (対 SBUSCLK )	$t_{DKOSD}$	1.3	7.2	ns
データ・フロート遅延時間 (対 SBUSCLK )	$t_{HKOSD}$	1.3	7.2	ns

(a) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 26-11 SiP 内部接続メモリ・リード・タイミング (SRAM, ROM, I/O)



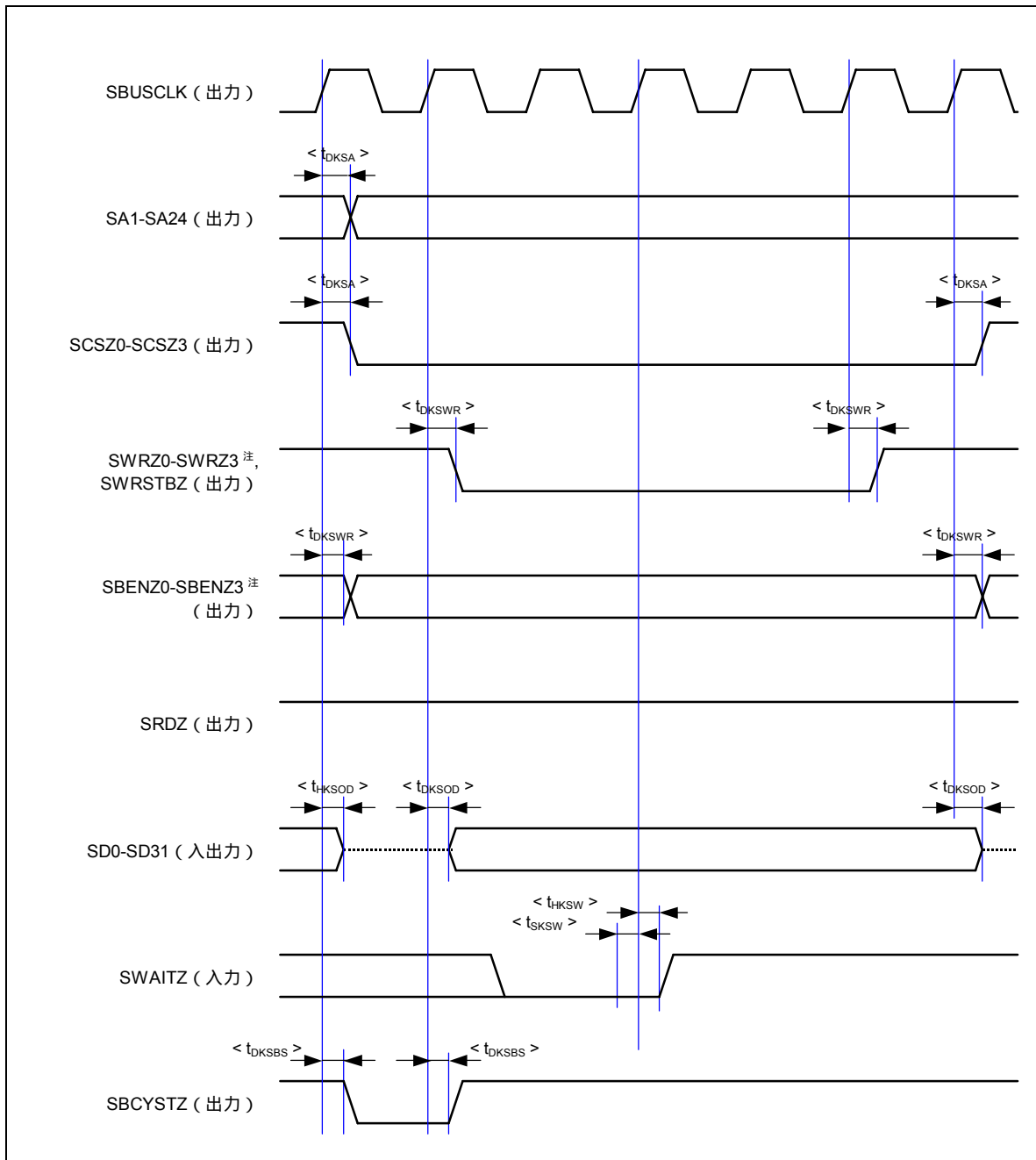
注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SPMCN レジスタによるアイドル・ウェイト・ステート数/ライト・リカバリ・ウェイト・ステート数/アドレス設定ウェイト・ステート数が 0, データ・ウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 26-12 SiP 内部接続メモリ・ライト・タイミング (SRAM, ROM, I/O)



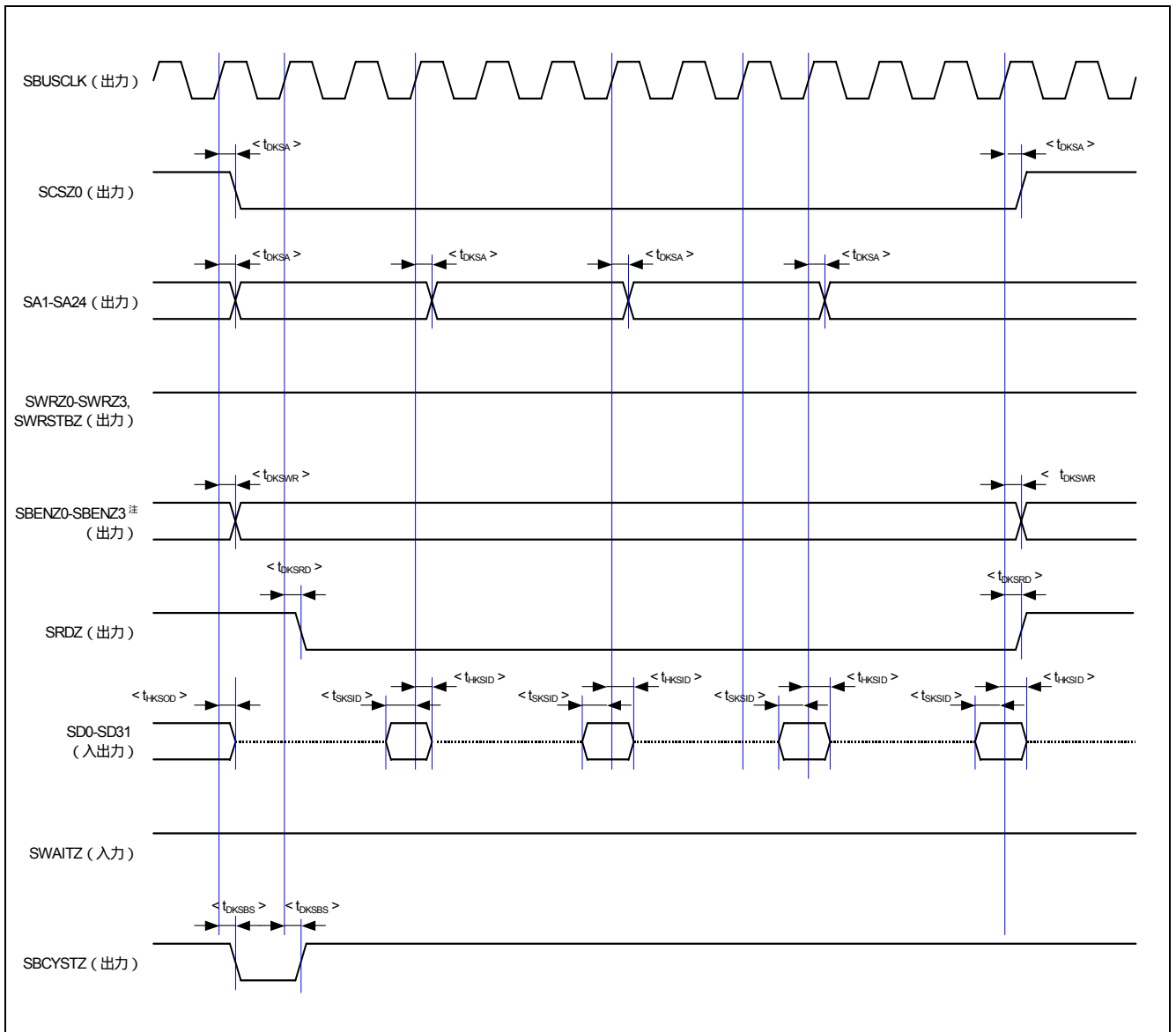
注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SPMCN レジスタによるライト・リカバリ・ウェイト・ステート数/データ・ウェイト・ステート数/アドレス設定ウェイト・ステート数が 1, アイドル・ウェイト・ステート数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

## (c) ページ ROM アクセス・タイミング

図 26-13 SiP 内部接続メモリ・ページ ROM アクセス・タイミング



注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SPMC0 レジスタによるアイドル・ウェイト・ステート数 / データ・ウェイト・ステート数 / アドレス設定ウェイト・ステート数が 1, SPPRC レジスタによるデータ・ウェイト・ステート数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

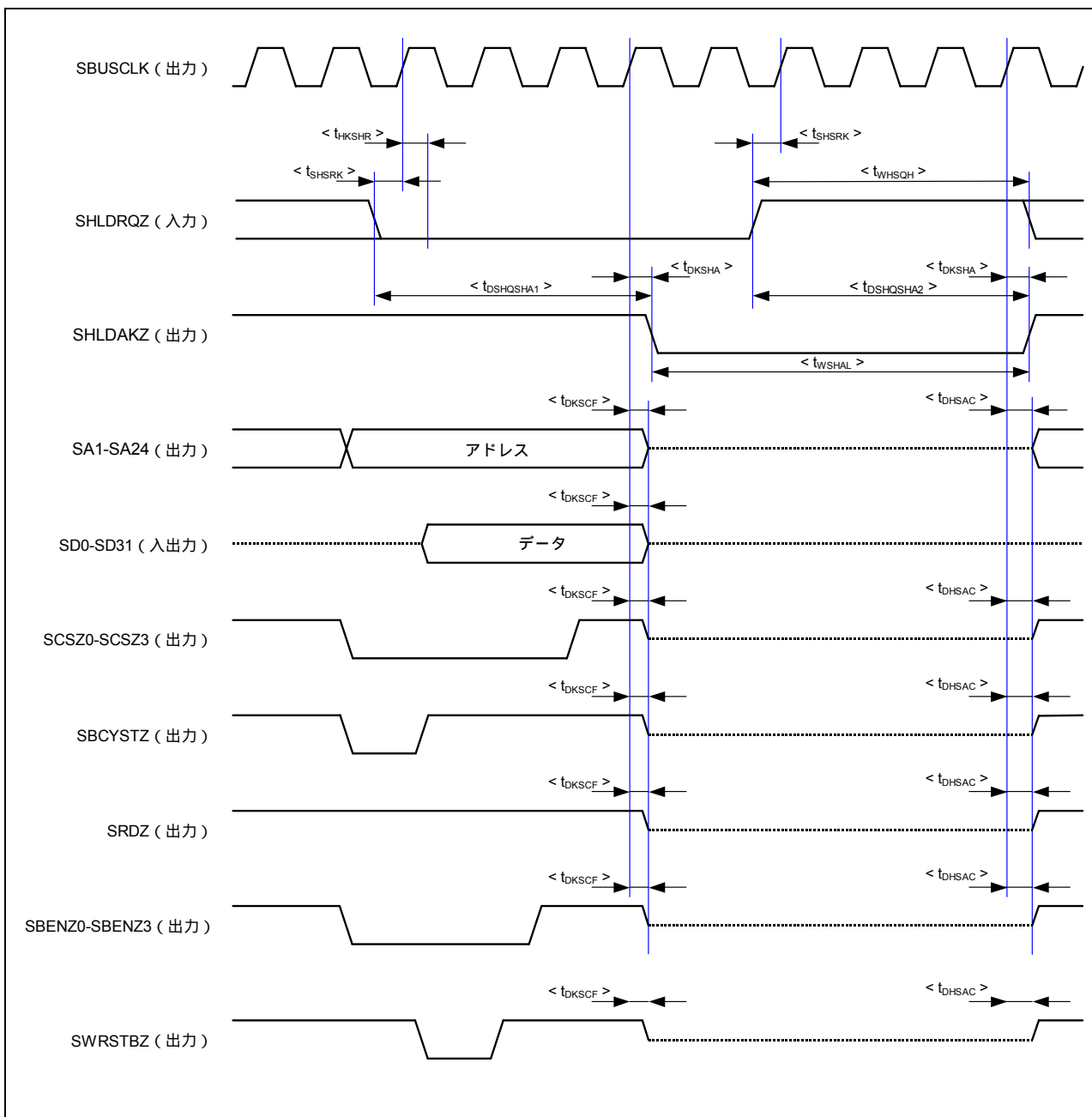
## (2) バス・ホールド・タイミング

表 26-16 SiP 内部接続メモリ・バス・ホールド・タイミング

項目	略号	MIN	MAX	単位
SHLDRQZ 設定時間 (対 SBUSCLK )	$t_{SKSHR}$	6.4	-	ns
SHLDRQZ 保持時間 (対 SBUSCLK )	$t_{HKSHR}$	3.0	-	ns
SBUSCLK SHLDAKZ 遅延時間	$t_{DKSHA}$	1.3	7.2	ns
SHLDRQZ ハイ・レベル幅	$t_{WSHQH}$	$t_{BCYC}^{\text{注}} + 9.4$	-	ns
SHLDAKZ ロー・レベル幅	$t_{WSHAL}$	$t_{BCYC}^{\text{注}} - 5.9$	-	ns
SBUSCLK バス・フロート遅延時間	$t_{DKSCF}$	1.3	7.2	ns
SBUSCLK バス出力遅延時間	$t_{DHSAC}$	1.3	7.2	ns
SHLDRQZ SHLDAKZ 遅延時間	$t_{DSHQSHA1}$	$3 \times t_{BCYC}^{\text{注}} - 1.7$	-	ns
SHLDRQZ SHLDAKZ 遅延時間	$t_{DSHQSHA2}$	$3 \times t_{BCYC}^{\text{注}} - 1.7$	-	ns

注  $t_{BCYC}$  は、SBUSCLK の周期です。

図 26-14 SiP 内部接続メモリ・バス・ホールド・タイミング





### 26.6.4 外部 DMA インタフェース端子

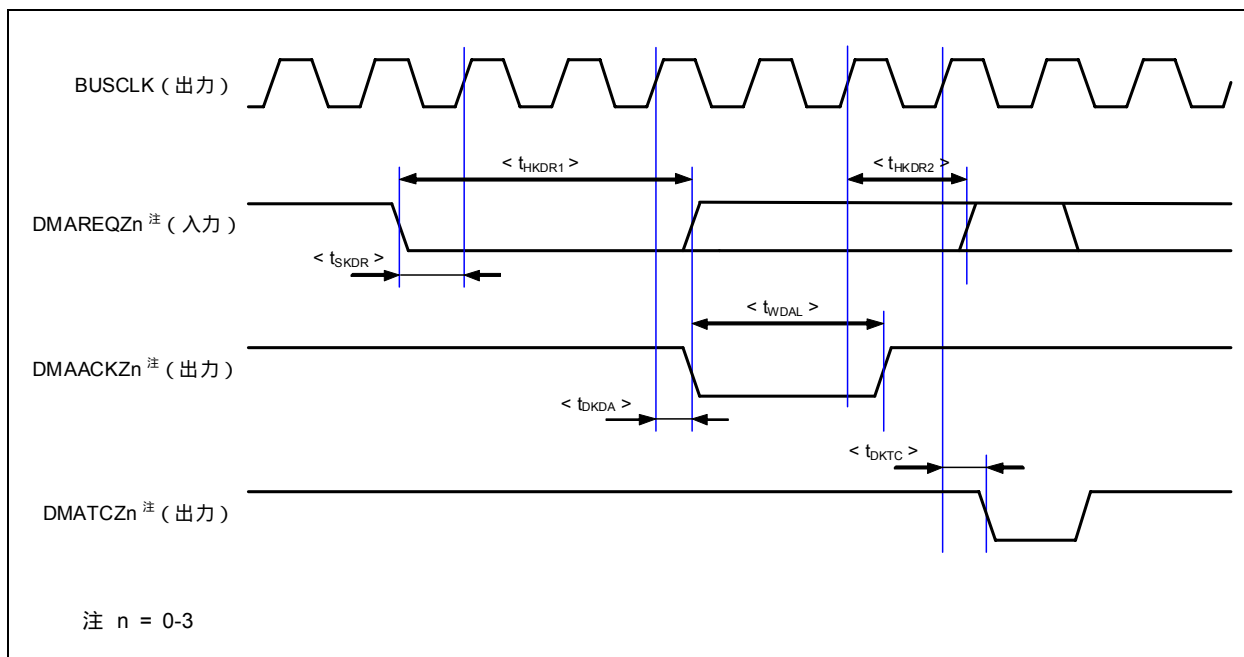
表 26-17 外部 DMA インタフェース

項目	略号	MIN	MAX	単位
DMAREQZ [3:0] 入力設定時間 (対 BUSCLK )	$t_{SKDR}$	4.3	-	ns
DMAREQZ [3:0] 入力保持時間 1	$t_{HKDR1}$	DMAACKZ まで	-	ns
DMAREQZ [3:0] 入力保持時間 2 (対 BUSCLK )	$t_{HKDR2}$	-	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ - 4.3	ns
DMAACKZ [3:0] 出力遅延時間 (対 BUSCLK )	$t_{DKDA}$	2.0	10.0	ns
DMAACKZ [3:0] 出力ロー・レベル幅	$t_{WDAL}$	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ - 8	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ + 8	ns
DMATCZ [3:0] 出力遅延時間 (対 BUSCLK )	$t_{DKTC}$	2.0	10.0	ns

注 1.  $t_{BCYC}$  は, BUSCLK の周期です。

2.  $m = 1-16$  (DMAIFC0-DMAIFC3 レジスタ設定)。

図 26-15 外部 DMA インタフェース



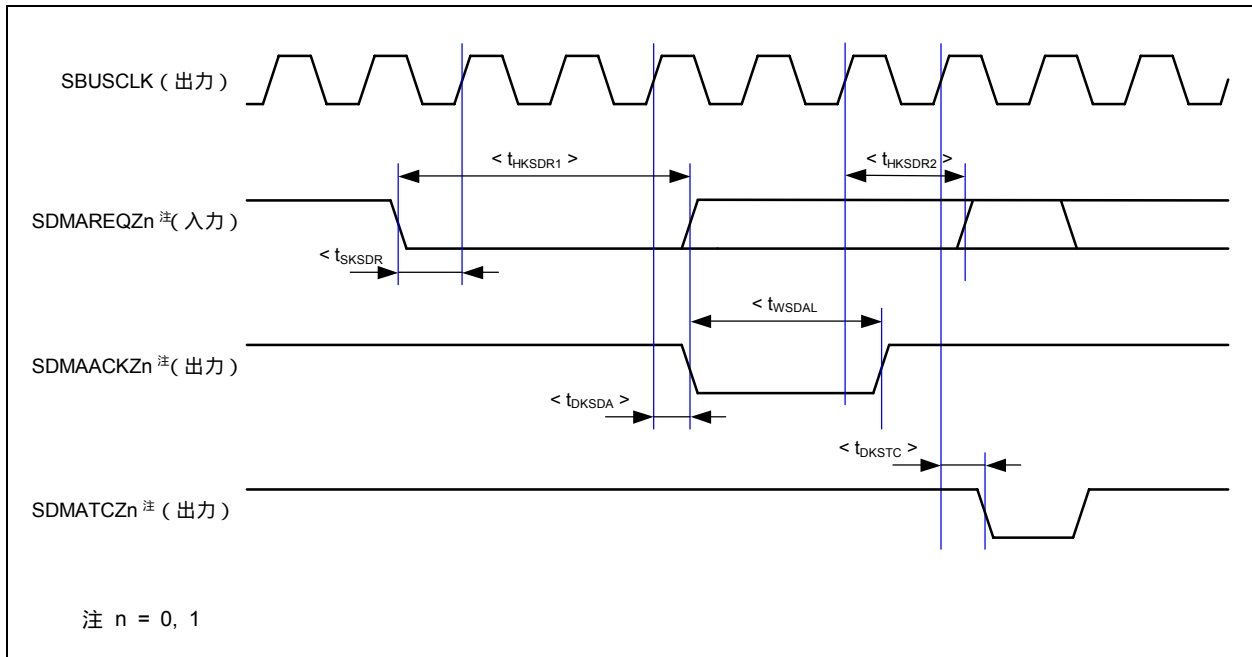
26.6.5 SiP 内部接続 DMA インタフェース

表 26-18 SiP 内部接続 DMA インタフェース

項目	略号	MIN	MAX	単位
SDMAREQZ [1:0] 入力設定時間 (対 SBUSCLK )	$t_{SKSDR}$	3.0	-	ns
SDMAREQZ [1:0] 入力保持時間 1	$t_{HKSDR1}$	SDMAACKZ まで	-	ns
SDMAREQZ [1:0] 入力保持時間 2 (対 SBUSCLK )	$t_{HKSDR2}$	-	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} + 3.0$	ns
SDMAACKZ [1:0] 出力遅延時間 (対 SBUSCLK )	$t_{DKSDA}$	1.3	7.5	ns
SDMAACKZ [1:0] 出力ロー・レベル幅	$t_{WSDAL}$	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} - 6.2$	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} + 6.2$	ns
SDMATCZ [1:0] 出力遅延時間 (対 SBUSCLK )	$t_{DKSTC}$	1.3	7.5	ns

- 注 1.  $t_{SCYC}$  は, SBUSCLK の周期です。
- 2.  $m = 1-32$  (DMAIFC4, DMAIFC5 レジスタ設定)。

図 26-16 SiP 内部接続 DMA インタフェース



### 26.6.6 CSI インタフェース端子

CSI のアクセス・タイミングを示します。CSI はマスタ・モードとスレーブ・モードがあり、それぞれのタイミングを示しています。また、CKP と DAP の設定で動作タイミングが異なります。

表 26-19 CSI アクセス・タイミング (マスタ・モード)

項目	略号	MIN	MAX	単位
SCKn 出力周期 <sup>注</sup>	$t_{CSICYC}$	80.0	-	ns
SCKn 出力ハイ・レベル幅	$t_{WSKH}$	$0.5t_{CSICYC}-5$	-	ns
SCKn 出力ロー・レベル幅	$t_{WSKL}$	$0.5t_{CSICYC}-5$	-	ns
SIn 入力設定時間 (対 SCKn ) <sup>注</sup>	$t_{SSI}$	10.0	-	ns
SIn 入力設定時間 (対 SCKn ) <sup>注</sup>	$t_{SSI}$	10.0	-	ns
SIn 入力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSI}$	7.0	-	ns
SIn 入力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSI}$	7.0	-	ns
SOn 出力遅延時間 (対 SCKn ) <sup>注</sup>	$t_{DSO}$	-	7.0	ns
SOn 出力遅延時間 (対 SCKn ) <sup>注</sup>	$t_{DSO}$	-	7.0	ns
SOn 出力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSO}$	$0.5t_{CSICYC} - 5$	-	ns
SOn 出力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSO}$	$0.5t_{CSICYC} - 5$	-	ns

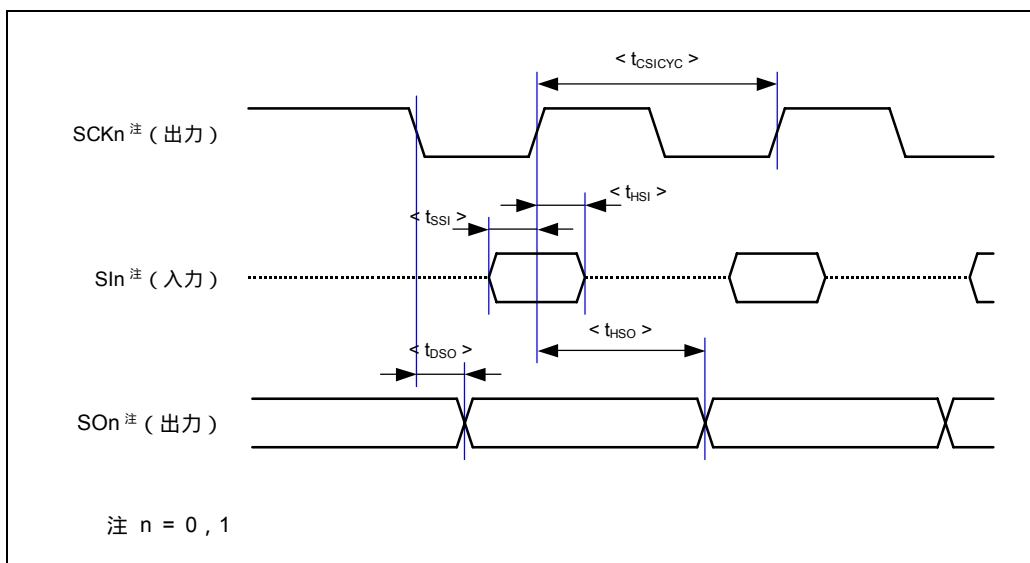
注 n = 0-7

表 26-20 CSI アクセス・タイミング (スレーブ・モード)

項目	略号	MIN	MAX	単位
SCKn 入力周期 <sup>注</sup>	$t_{CSICYC}$	80.0	-	ns
SCKn 入力ハイ・レベル幅	$t_{WSKH}$	$0.5t_{CSICYC}-5$	-	ns
SCKn 入力ロー・レベル幅	$t_{WSKL}$	$0.5t_{CSICYC}-5$	-	ns
SIn 入力設定時間 (対 SCKn ) <sup>注</sup>	$t_{SSI}$	10.0	-	ns
SIn 入力設定時間 (対 SCKn ) <sup>注</sup>	$t_{SSI}$	10.0	-	ns
SIn 入力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSI}$	$1.5T$ <sup>注+5</sup>	-	ns
SIn 入力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSI}$	$1.5T$ <sup>注+5</sup>	-	ns
SOn 出力遅延時間 (対 SCKn ) <sup>注</sup>	$t_{DSO}$	-	10.0	ns
SOn 出力遅延時間 (対 SCKn ) <sup>注</sup>	$t_{DSO}$	-	10.0	ns
SOn 出力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSO}$	$t_{WSKH}$	-	ns
SOn 出力保持時間 (対 SCKn ) <sup>注</sup>	$t_{HSO}$	$t_{WSKL}$	-	ns

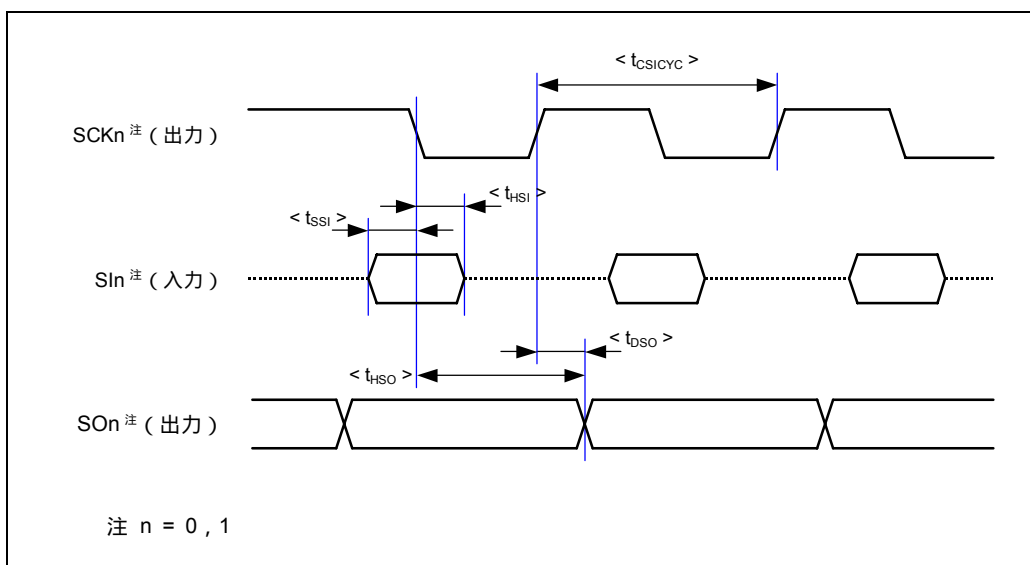
注 T は、周辺マクロ・クロック PCLK の周期です。

図 26-17 CSI アクセス・タイミング (CKP, DAP = 00)



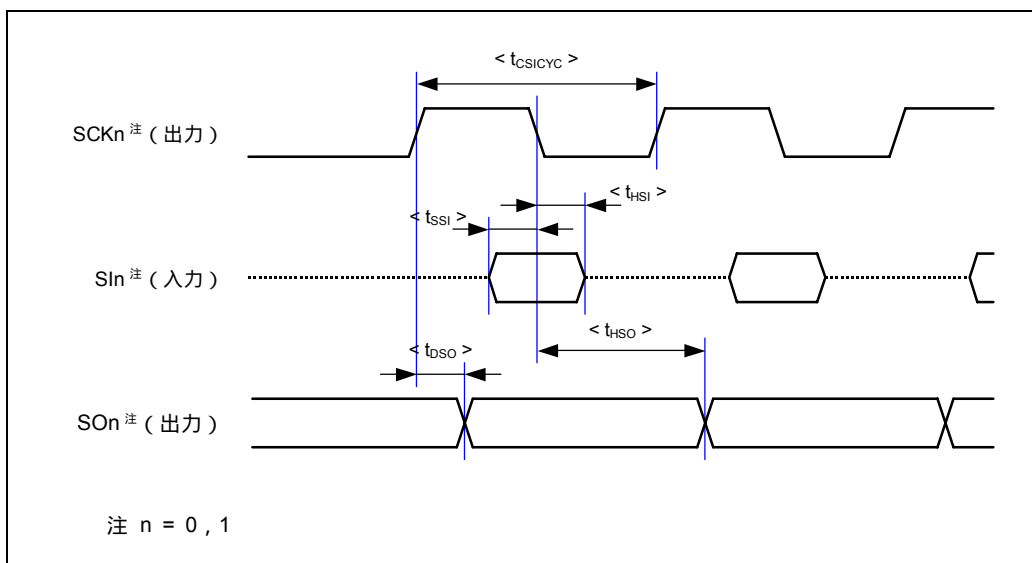
備考 破線はハイ・インピーダンスを示します。

図 26-18 CSI アクセス・タイミング (CKP, DAP=01)



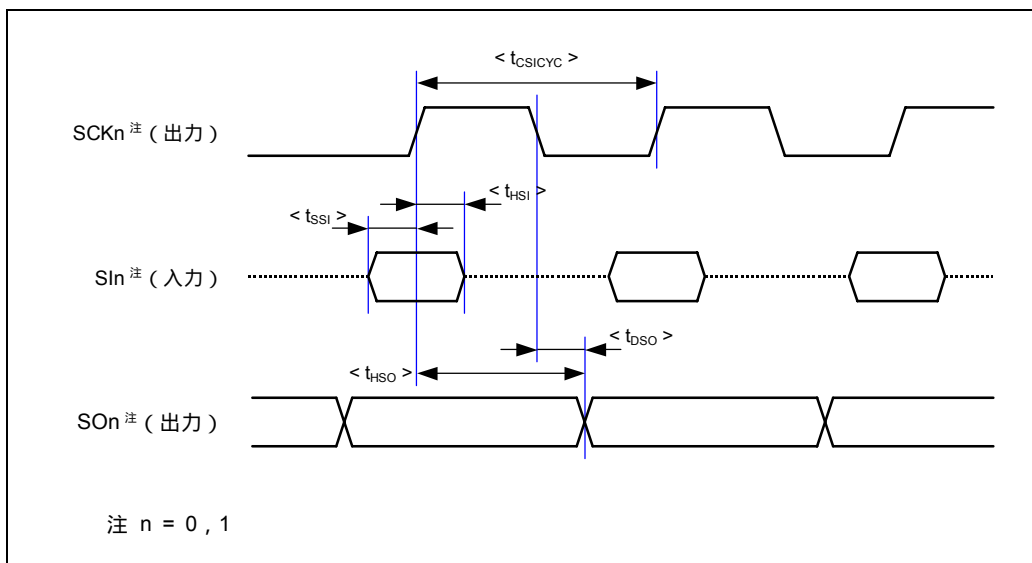
備考 破線はハイ・インピーダンスを示します。

図 26-19 CSI アクセス・タイミング (CKP, DAP=10)



備考 破線はハイ・インピーダンスを示します。

図 26-20 CSI アクセス・タイミング (CKP, DAP=11)



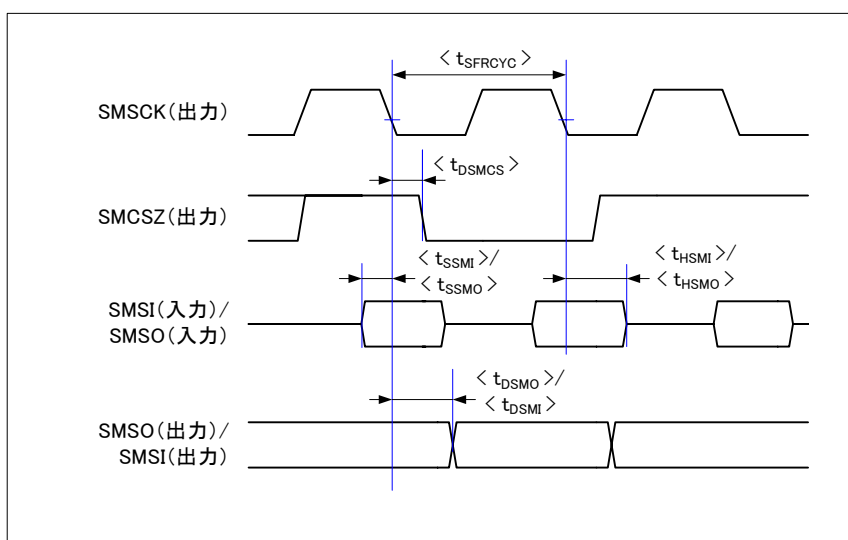
備考 破線はハイ・インピーダンスを示します。

## 26.6.7 シリアル・フラッシュ ROM インタフェース端子

表 26-21 シリアル・フラッシュ ROM インタフェース

項目	略号	MIN	MAX	単位
SMSCK 出力周期	$t_{SFRCYC}$	20.0	-	ns
SMCSZ 出力遅延時間 (対 SMSCK )	$t_{DSMCS}$	-1.0	5.0	ns
SMSI 入力設定時間 (対 SMSCK )	$t_{SSMI}$	6.0	-	ns
SMSI 入力保持時間 (対 SMSCK )	$t_{HSMI}$	0.0	-	ns
SMSI 出力遅延時間 (対 SMSCK )	$t_{DSMI}$	-1.0	5.0	ns
SMSO 入力設定時間 (対 SMSCK )	$t_{SSMO}$	6.0	-	ns
SMSO 入力保持時間 (対 SMSCK )	$t_{HSMO}$	0.0	-	ns
SMSO 出力遅延時間 (対 SMSCK )	$t_{DSMO}$	-1.0	5.0	ns

図 26-21 シリアル・フラッシュ ROM アクセス・タイミング

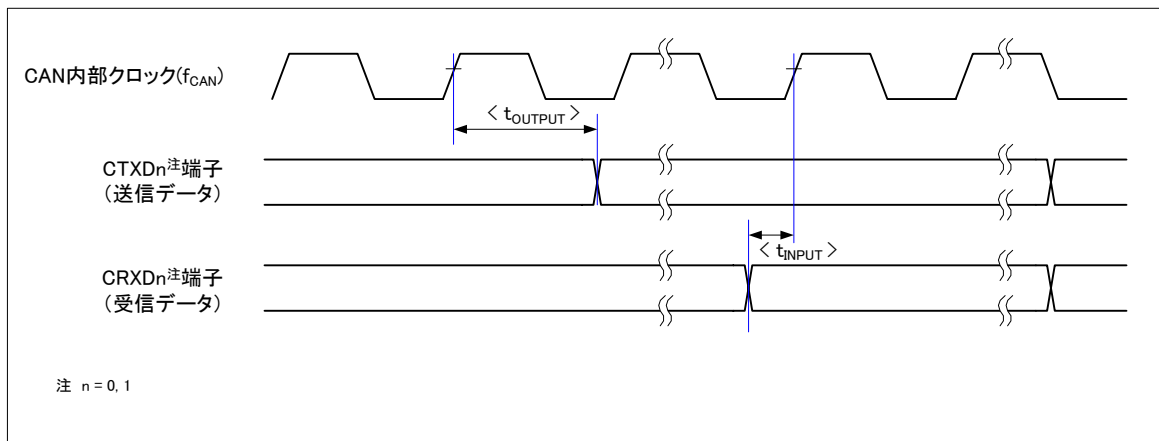


### 26.6.8 CAN インタフェース端子

表 26-22 CAN インタフェース・タイミング

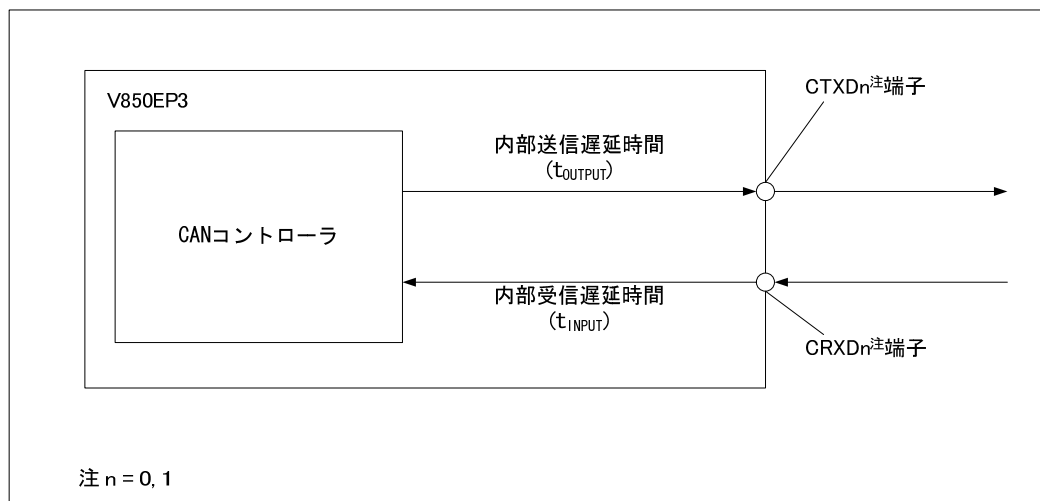
項目	略号	MIN	MAX	単位
送信レート	$f_{CAN}$	-	1	Mbps
内部遅延時間	$t_{NODE}$	-	100	ns

図 26-22 CAN インタフェース・タイミング



備考 CAN 内部クロック( $f_{CAN}$ ) : CAN ボー・レート・クロック

内部遅延時間 ( $t_{NODE}$ ) = 内部送信遅延時間 ( $t_{OUTPUT}$ ) + 内部受信遅延時間 ( $t_{INPUT}$ )



### 26.6.9 Ether MAC 端子

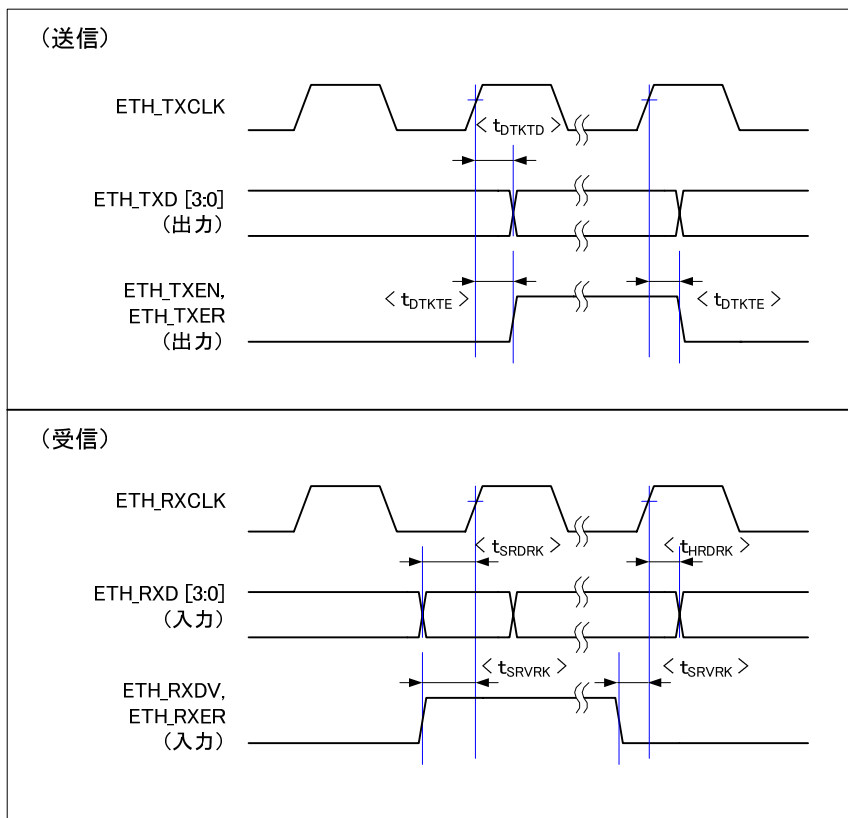
(1) Ether MAC 端子 (MII 対応)

表 26-23 Ether MAC (MII 対応)

項目	略号	MIN	MAX	単位
ETH_TXCLK 出力周期	$t_{STXCLK}$	25		MHz
ETH_RXCLK 入力周期	$t_{SRXCLK}$	25		MHz
ETH_TXDn 出力遅延時間 (対 ETH_TXCLK )	$t_{DTKTD}$	0.0	25.0	ns
ETH_TXEN 出力遅延時間 (対 ETH_TXCLK )	$t_{DTKTE}$	0.0	25.0	ns
ETH_TXER 出力遅延時間 (対 ETH_TXCLK )	$t_{DTKTE}$	0.0	25.0	ns
ETH_RXDn 入力設定時間 (対 ETH_RXCLK )	$t_{SRDRK}$	10.0	-	ns
ETH_RXDn 入力保持時間 (対 ETH_RXCLK )	$t_{HRDRK}$	10.0	-	ns
ETH_RXDV 入力設定時間 (対 ETH_RXCLK )	$t_{SRVRK}$	10.0	-	ns
ETH_RXDV 入力保持時間 (対 ETH_RXCLK )	$t_{HRKRV}$	10.0	-	ns
ETH_RXER 入力設定時間 (対 ETH_RXCLK )	$t_{SRVRK}$	10.0	-	ns
ETH_RXER 入力保持時間 (対 ETH_RXCLK )	$t_{HRKRV}$	10.0	-	ns

備考 n = 0-3

図 26-23 ETHER 送信 / 受信タイミング (MII 対応)





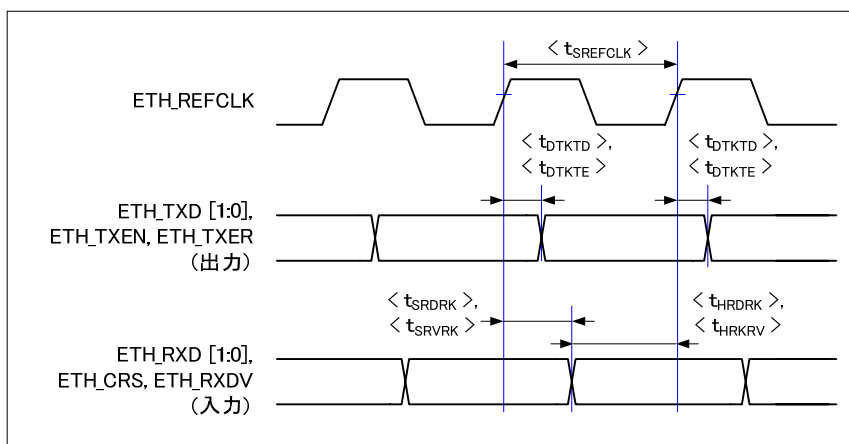
(2) Ether MAC 端子 (RMII 対応)

表 26-24 Ether MAC タイミング (RMII 対応)

項目	略号	MIN	MAX	単位
ETH_REFCLK 入力周期	$t_{SREFCLK}$	50		MHz
ETH_TXDn 出力遅延時間 (対 ETH_REFCLK )	$t_{DTKTD}$	2.0	16.0	ns
ETH_TXEN 出力遅延時間 (対 ETH_REFCLK )	$t_{DTKTE}$	2.0	16.0	ns
ETH_TXER 出力遅延時間 (対 ETH_REFCLK )	$t_{DTKTE}$	2.0	16.0	ns
ETH_RXDn 入力設定時間 (対 ETH_REFCLK )	$t_{SRDRK}$	4.0	-	ns
ETH_RXDn 入力保持時間 (対 ETH_REFCLK )	$t_{HRDRK}$	2.0	-	ns
ETH_RXDV 入力設定時間 (対 ETH_REFCLK )	$t_{SRVRK}$	4.0	-	ns
ETH_RXDV 入力保持時間 (対 ETH_REFCLK )	$t_{HRKRV}$	2.0	-	ns
ETH_CRS 入力設定時間 (対 ETH_REFCLK )	$t_{SRVRK}$	4.0	-	ns
ETH_CRS 入力保持時間 (対 ETH_REFCLK )	$t_{HRKRV}$	2.0	-	ns

備考 n = 0-3

図 26-24 Ethre MAC 送信 / 受信タイミング (RMII 対応)

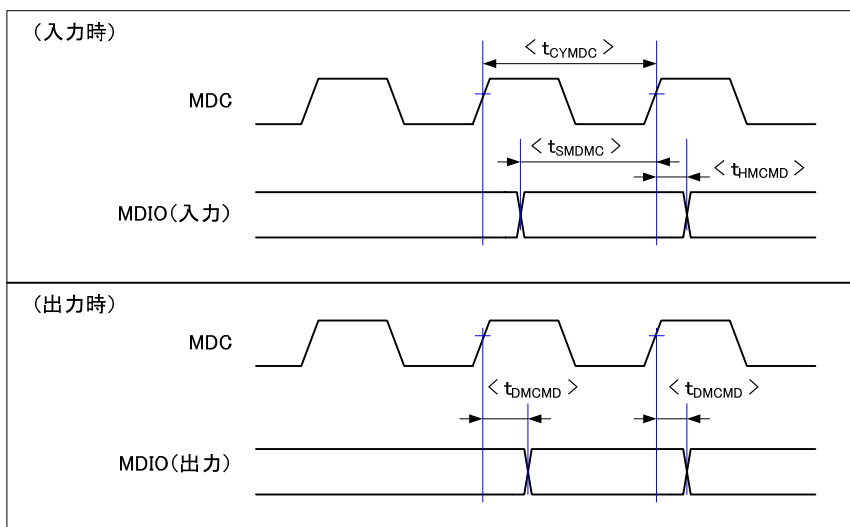


(3) シリアル・マネジメント・インタフェース

表 26-25 シリアル・マネジメント・インタフェース

項目	略号	MIN	MAX	単位
MDC 出力周期	$t_{CYMDC}$	400	-	ns
ETH_MDIO 入力設定時間 (対 MDC )	$t_{SMDC}$	10.0	-	ns
ETH_MDIO 入力保持時間 (対 MDC )	$t_{HMCMD}$	10.0	-	ns
ETH_MDIO 出力遅延時間 (対 MDC )	$t_{DMCMD}$	0.0	300.0	ns

図 26-25 シリアル・マネジメント・インタフェース



### 26.6.10 Nexus インタフェース端子

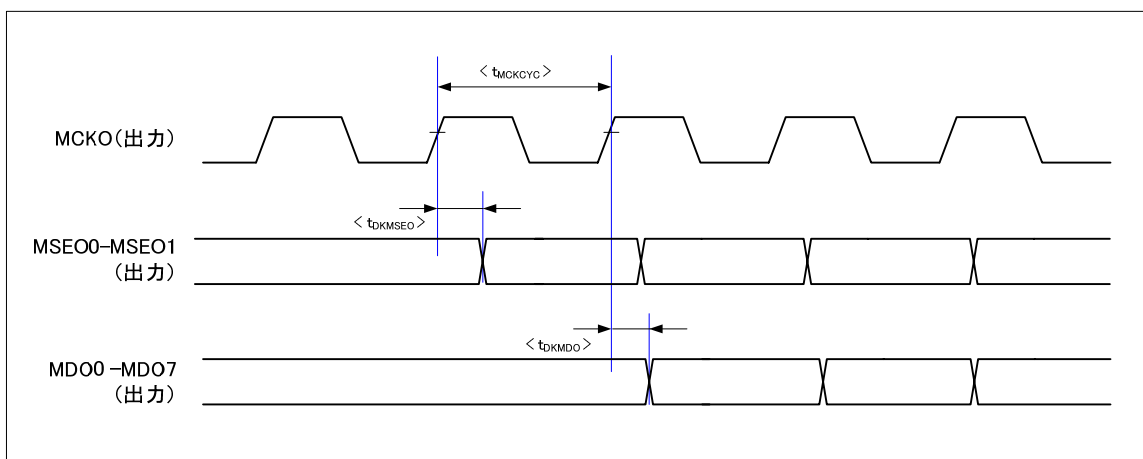
(1) トレース・インタフェース

(a) シングル・エッジの場合

表 26-26 トレース・インタフェース (シングル・エッジ)

項目	略号	MIN	MAX	単位
MCKO 出力周期	$t_{MCKCYC}$	6.67	-	ns
MSEO 出力遅延時間 (対 MCKO )	$t_{DKMSEO}$	0.0	5.16	ns
MDO <sub>n</sub> 出力遅延時間 (対 MCKO )	$t_{DKMDO}$	0.0	5.16	ns

図 26-26 トレース・インタフェース (シングル・エッジ)

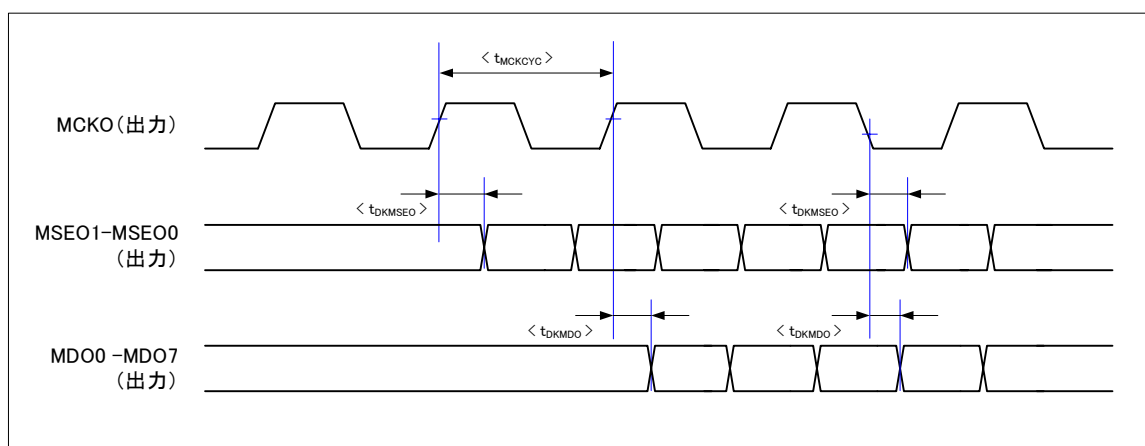


(b) ダブル・エッジの場合

表 26-27 トレース・インタフェース (ダブル・エッジ)

項目	略号	MIN	MAX	単位
MCKO 出力周期	$t_{MCKCYC}$	7.5	-	ns
MSEO 出力遅延時間 (対 MCKO )	$t_{DKMSEO}$	-0.5	6.0	ns
MSEO 出力遅延時間 (対 MCKO )	$t_{DKMSEO}$	-0.5	6.0	ns
MDO <sub>n</sub> 出力遅延時間 (対 MCKO )	$t_{DKMDO}$	-0.5	6.0	ns
MDO <sub>n</sub> 出力遅延時間 (対 MCKO )	$t_{DKMDO}$	-0.5	6.0	ns

図 26-27 トレース・インタフェース (ダブル・エッジ)

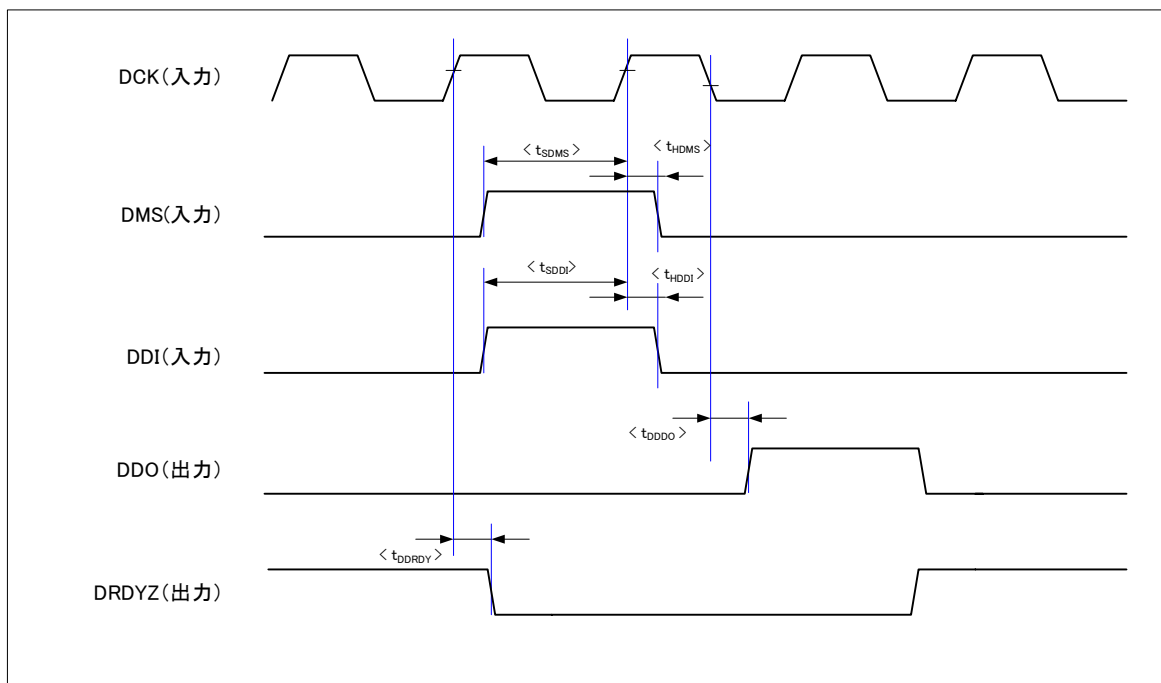


(2) デバッグ・シリアル・インタフェース

表 26-28 デバッグ・シリアル・インタフェース

項目	略号	MIN	MAX	単位
DCK 入力周期	$t_{SDCK}$	-	25	MHz
DMS 入力設定時間 (対 DCK )	$t_{SDMS}$	10.0	-	ns
DMS 入力保持時間 (対 DCK )	$t_{HDMS}$	0.0	-	ns
DDI 入力設定時間 (対 DCK )	$t_{SDDI}$	10.0	-	ns
DDI 入力保持時間 (対 DCK )	$t_{HDDI}$	0.0	-	ns
DDO 出力遅延時間 (対 DCK )	$t_{DDDO}$	0.0	20.0	ns
DRDYZ 出力遅延時間 (対 DCK )	$t_{DDRDY}$	0.0	10.0	ns

図 26-28 デバッグ・シリアル・インタフェース

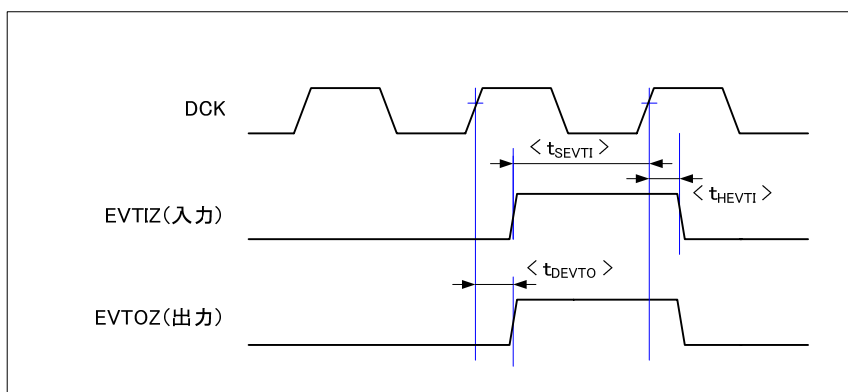


(3) イベント・トリガ・インタフェース

表 26-29 イベント・トリガ・インタフェース

項目	略号	MIN	MAX	単位
EVTOZ 出力遅延時間 (対 DCK )	$t_{DEVTO}$	0.0	20.0	ns
EVTIZ 入力設定時間 (対 DCK )	$t_{SEVTI}$	30.0	-	ns
EVTIZ 入力保持時間 (対 DCK )	$t_{HEVTI}$	0.0	-	ns

図 26-29 イベント・トリガ・インタフェース



## 26.7 A/D コンバータ特性

表 26-30 A/D コンバータ特性 (AD\_AVDD = AVREFP = 3.0 ~ 3.6V, AD\_AGND = AVREFM = 0V)

項目	略号	MIN.	TYP.	MAX.	単位
分解能	-		10		bit
変換時間	-	2		12	$\mu$ s
サンプリング時間	-	375		2400	ns
ゼロスケール誤差	-			$\pm 1.5$	LSB
フルスケール誤差	-			$\pm 1.5$	LSB
積分直線性誤差	-			$\pm 1.5$	LSB
微分直線性誤差	-			$\pm 1.0$	LSB
アナログ入力電圧	-	AVREFM		AVREFP	V
AV <sub>DD</sub> 電源電流	-		0.7	1.5	mA
ADTRG ハイ・レベル幅	t <sub>WAIH</sub>	500			ns
ADTRG ロー・レベル幅	t <sub>WAIL</sub>	500			ns

図 26-30 A/D コンバータ特性

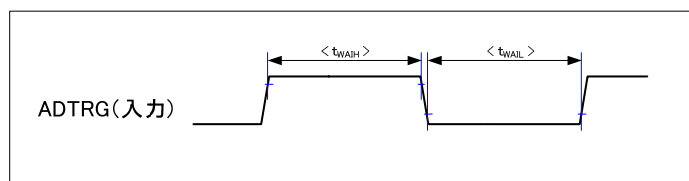


図 26-31 アナログ入力端子の等価回路

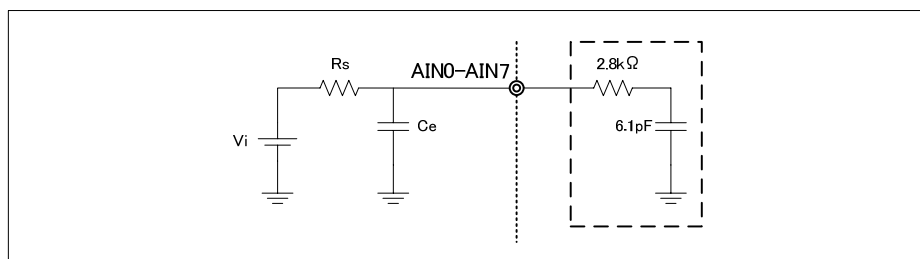


表 26-31 アナログ入力端子の規格

項目	略号	MIN.	MAX.	単位
アナログ入力容量	Ce		15	pF
許容信号源インピーダンス	Rs		300	

## 26.8 D/A コンバータ特性

注意 PFESiP/V850EP3 の D/A コンバータはオプション機能となります。通常の製品では D/A コンバータの機能は利用できません。D/A コンバータを利用する場合は弊社販売員にお申し付けください。

表 26-32 D/A コンバータ特性 ( DA\_AVDD = 3.0 ~ 3.6V, DA\_AGND = 0V )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				8		bit
セトリング時間		Sound-DAC 動作時			200	ns
		EVR-DAC 動作時			200	μs
微分直線性誤差					±1	LSB
積分直線性誤差					±2	LSB
単調性			保証			
コード形式			ストレートバイナリ			
出力ソース電流	ISOURCE				0.5	mA
出力シンク電流	ISINK				0.5	mA
出力最小電圧 1		ISINK = 0mA	0		0.1	V
出力最小電圧 2		ISINK = 0.5mA	0		0.3	V
出力最大電圧 1		ISOURCE = 0mA	DA_AVDD-0.1		DA_AVDD	V
出力最大電圧 2		ISOURCE = 0.5mA	DA_AVDD-0.1		DA_AVDD	V



## 26.9 端子負荷容量

PFESiP/V850EP3 の AC 特性は、下記の負荷条件で算出しています。

### 26.9.1 SiP 内メモリ・インタフェース端子

端子名称	入出力	機能	CL [pF]
SCSZ0-SCSZ3	出力	スタティック・メモリ用チップ・セレクト出力	5
SA1-SA24	出力	ROM / SRAM 用アドレス出力	5
SD0-SD31	入出力	ROM / SRAM 用データ・バス	5
SRDZ	出力	ROM / SRAM 用リード・ストロブ信号	5
SWRZ0-SWRZ3 注	出力	ROM / SRAM 用ライト・ストロブ信号	5
SWRSTBZ	出力	SRAM / ページ ROM 用ライト・ストロブ出力 (WRZ [3:0]の OR)	5
SWAITZ	入力	ROM / SRAM 用ウエイト信号入力	-
SHLDRQZ	入力	外部バス・ホールド要求入力	-
SHLDAKZ	出力	外部バス・ホールド要求アクノリッジ出力	5
SBENZ0-SBENZ3 注	出力	ROM / SRAM 用バイト・イネーブル出力信号	5
SBCYSTZ	出力	バス・サイクル・スタート・ステータス出力	5
SBUSCLK	出力	クロック出力	5

注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ(WREN)で切り替えられます。

### 26.9.2 SiP 内 DMA インタフェース端子

端子名称	入出力	機能	CL [pF]
SDMAREQZ0	入力	DMA 転送要求入力 0	-
SDMAREQZ1		DMA 転送要求入力 1	-
SDMAACKZ0	出力	DMA アクノリッジ出力 0	5
SDMAACKZ1		DMA アクノリッジ出力 1	5
SDMATCZ0	出力	ターミナル・カウント出力 0	5
SDMATCZ1		ターミナル・カウント出力 1	5

## 26.9.3 外部メモリ・インタフェース端子

端子名称	入出力	機能	CL [pF]
STCSZ0-STCSZ3	出力	スタティック・メモリ用チップ・セレクト出力	18.5
A1-A26	出力	ROM / SRAM 用アドレス出力	18.5
D0-D31	入出力	ROM / SRAM 用データ・バス	26
RDZ	出力	ROM / SRAM 用リード・ストロープ信号	18.5
WRZ0-WRZ3 <sup>注</sup>	出力	ROM / SRAM 用ライト・ストロープ信号	18.5
WRSTBZ	出力	SRAM / ページ ROM 用ライト・ストロープ出力 (WRZ [3:0]の OR)	18.5
WAITZ	入力	ROM / SRAM 用ウエイト信号入力	-
HLDRQZ	入力	外部バス・ホールド要求入力	-
HLDKAZ	出力	外部バス・ホールド要求アクノリッジ出力	18.5
BENZ0-BENZ3 <sup>注</sup>	出力	ROM / SRAM 用バイト・イネーブル出力信号	18.5
BCYSTZ	出力	バス・サイクル・スタート・ステータス出力	18.5
BUSCLK	出力	クロック出力	18.5
BUSREQZ	出力	リフレッシュ・ステータス出力	18.5
DQM0-DQM3	出力	SDRAM 用ビット DQ マスク	18.5
SDWEZ	出力	SDRAM 用ライト・ストロープ信号	18.5
SDCASZ	出力	SDRAM 用カラム・アドレス信号	18.5
SDRASZ	出力	SDRAM 用口ウ・アドレス信号	18.5
SDCKE	出力	SDRAM 用クロック許可信号	18.5

注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

## 26.9.4 外部 DMA インタフェース端子

端子名称	入出力	機能	CL [pF]
DMAREQZ0	入力	DMA 転送要求入力 0	-
DMAREQZ1		DMA 転送要求入力 1	-
DMAREQZ2		DMA 転送要求入力 2	-
DMAREQZ3		DMA 転送要求入力 3	-
DMAACKZ0	出力	DMA アクノリッジ出力 0	15
DMAACKZ1		DMA アクノリッジ出力 1	15
DMAACKZ2		DMA アクノリッジ出力 2	15
DMAACKZ3		DMA アクノリッジ出力 3	15
DMATCZ0		ターミナル・カウント出力 0	15
DMATCZ1		ターミナル・カウント出力 1	15
DMATCZ2		ターミナル・カウント出力 2	15
DMATCZ3		ターミナル・カウント出力 3	15

## 26.9.5 Ether MAC 端子

端子名称	入出力	機能	CL [pF]
ETH_TXCLK	入力	送信クロック入力	15
ETH_TXD0 -ETH_TXD3	出力	送信データ 0-3	15
ETH_TXEN	出力	送信データ・イネーブル出力	15
ETH_TXER	出力	送信エラー出力	15
ETH_COL	入力	衝突検出入力	-
ETH_CRS	入力	キャリア検出入力	-
ETH_RXCLK	入力	受信クロック入力	-
ETH_RXD0 -ETH_RXD3	入力	受信データ 0-3	-
ETH_RXDV	入力	受信データ VALID	-
ETH_RXER	入力	受信データ・エラー	-
ETH_MDC	出力	シリアル転送クロック	15
ETH_MDIO	入出力	シリアル入出力	15
ETH_REFCLK	入力	RMII インタフェース用リファレンス・クロック入力	-

## 26.10 内蔵 SSCG-PLL の特性

### 26.10.1 推奨動作範囲

項目	略号	条件	MIN.	MAX.	単位
入力周波数			27	48	MHz
入力デューティ			30	70	%

### 26.10.2 電気的特性

項目	略号	条件	MIN.	MAX.	単位
VCO 出力周波数	$f_{vco}$		400	800	MHz
出力周波数	$f_{out}$		200	400	MHz
出力デューティ	duty		48	52	%
出力ピリオド・ジッタ	$t_{pj}$		-50	50	ps

改訂記録	PFESiP/V850EP3 ユーザーズマニュアル ハードウェア編
------	-----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.01	-	初版発行
2.00	2010.07.01	-	新フォーマットに変更
		-	タイマ TAA の仕様変更に伴う修正

---

PFESiP/V850EP3 ユーザーズマニュアル ハードウェア編

発行年月日 2010年3月1日 Rev.1.00  
2010年7月1日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

PFESiP/V850EP3