

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## μ PD17240, 17241, 17242, 17243, 17244, 17245, 17246

### 小型汎用赤外線リモート・コントロール送信機用 4ビット・シングルチップ・マイクロコントローラ

μ PD17240, 17241, 17242, 17243, 17244, 17245, 17246 (以降 μ PD17246サブシリーズとします) は小型汎用赤外線リモート・コントロール送信機用 4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式である17Kアーキテクチャを採用しており、従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間の演算が行えます。さらに、すべての命令は16ビット / 1語で構成されていますので、効率の良いプログラミングが可能です。

また、一度だけ書き込み可能なワン・タイムPROM製品の μ PD17P246も用意しており、μ PD17246サブシリーズのプログラム評価や少量生産に便利です。

詳しい機能説明などは次のユーザース・マニュアルに記載しております。設計の際に必ずお読みください。

μ PD172 × × サブシリーズ ユーザース・マニュアル : U12795J

#### 特 徴

赤外線リモコン用キャリア発生回路内蔵 (REM出力)

17K アーキテクチャ採用 : 汎用レジスタ方式

プログラム・メモリ (ROM), データ・メモリ (RAM)

	μ PD17240	μ PD17241	μ PD17242	μ PD17243	μ PD17244	μ PD17245	μ PD17246
プログラム・メモリ (ROM)	4 Kバイト (2048 × 16)	8 Kバイト (4096 × 16)	12 Kバイト (6144 × 16)	16 Kバイト (8192 × 16)	20 Kバイト (10240 × 16)	24 Kバイト (12288 × 16)	32 Kバイト (16384 × 16)
データ・メモリ (RAM)	447 × 4 ビット						

8 ビット・タイマ : 1チャンネル

ベーシック・インターバル・タイマ / ウォッチドッグ・タイマ : 1チャンネル

命令実行時間 (2段階の命令時間可変機能あり)

fx = 4 MHz動作時 : 4 μs (高速モード) / 8 μs (通常モード)

外部割り込み端子 (INT/P1B<sub>0</sub>) : 1本

入出力端子 : 24本

電源電圧 : V<sub>DD</sub> = 2.0 ~ 3.6 V

RAM保持検出回路内蔵

低電圧検出回路 (マスク・オプション)

この資料では、特に断りがないうえり μ PD17246を代表品種として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

**用 途**

プリセット・リモコン, おもちゃ, 携帯機器など

**★ オーダ情報**

オーダ名称	パッケージ
μ PD17240MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17241MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17242MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17243MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17244MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17245MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17246MC-x x x -5A4	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17240MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17241MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17242MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17243MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17244MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17245MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
μ PD17246MC-x x x -5A4-A	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )

備考1 . x x xはROMコード番号です。

2 . オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

μ PD17246サブシリーズと μ PD17236サブシリーズ, μ PD17225サブシリーズの違い (1/2)

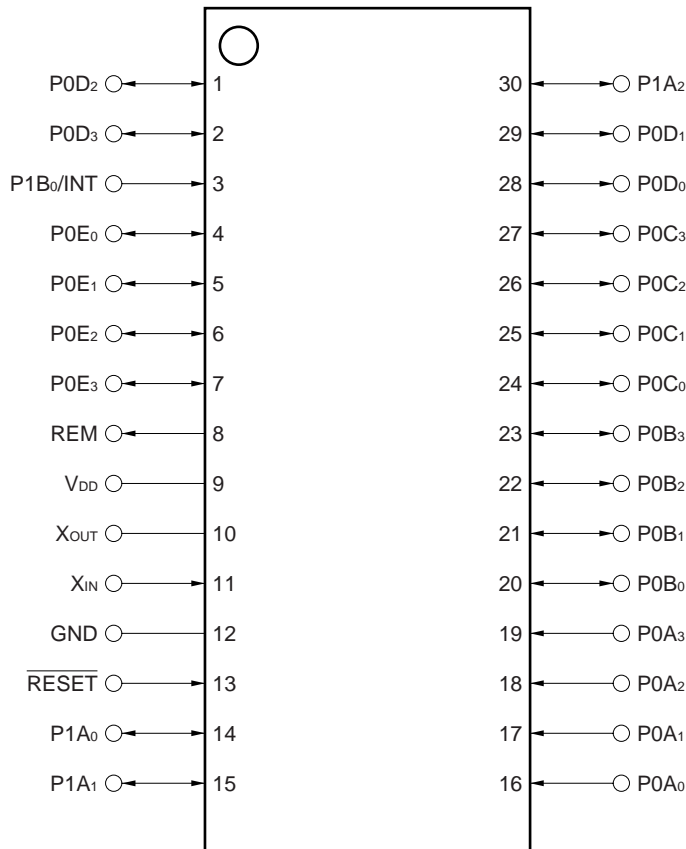
項目	μ PD17246サブシリーズ	μ PD17236サブシリーズ	μ PD17225サブシリーズ
ROM	μ PD17240 : 2048 × 16ビット μ PD17241 : 4096 × 16ビット μ PD17242 : 6144 × 16ビット μ PD17243 : 8192 × 16ビット μ PD17244 : 10240 × 16ビット μ PD17245 : 12288 × 16ビット μ PD17246 : 16384 × 16ビット	μ PD17230 : 2048 × 16ビット μ PD17231 : 4096 × 16ビット μ PD17232 : 6144 × 16ビット μ PD17233 : 8192 × 16ビット μ PD17234 : 10240 × 16ビット μ PD17235 : 12288 × 16ビット μ PD17236 : 16384 × 16ビット	μ PD17225 : 2048 × 16ビット μ PD17226 : 4096 × 16ビット μ PD17227 : 6144 × 16ビット μ PD17228 : 8192 × 16ビット
RAM	447 × 4 ビット	223 × 4 ビット	111 × 4 ビット ( μ PD17225, 17226 ) 223 × 4 ビット ( μ PD17227, 17228 )
ポート	P0B <sub>0</sub> -P0B <sub>3</sub> : 入出力 (ビットI/O) P0C <sub>0</sub> -P0C <sub>3</sub> : 入出力 (グループI/O) P0D <sub>0</sub> -P0D <sub>3</sub> : 入出力 (グループI/O) P1A <sub>0</sub> -P1A <sub>2</sub> : 入出力 (ビットI/O) P1B <sub>0</sub> : 入出力, INT端子と兼用	P0B <sub>0</sub> -P0B <sub>3</sub> : 入出力 (ビットI/O) P0C <sub>0</sub> -P0C <sub>3</sub> : 入出力 (グループI/O) P0D <sub>0</sub> -P0D <sub>3</sub> : 入出力 (グループI/O) P1A <sub>0</sub> : マスク・オプションにて入力/出力を選択	P0B <sub>0</sub> -P0B <sub>3</sub> : 入力 P0C <sub>0</sub> -P0C <sub>3</sub> : 出力 P0D <sub>0</sub> -P0D <sub>3</sub> : 出力
リセット 〔・ウォッチドッグ・タイマによるリセット ・スタック・ポインタによるリセット ・低電圧検出回路 (マスク・オプション)〕	左記の内部リセット信号発生により, RESET端子は内部でプルダウンされ, リセットが発生される (通常, RESET端子はプルアップされている)。		左記の内部リセット信号発生により, WDO <sub>UT</sub> 端子からロウ・レベルが出力される。外部でRESET端子と接続することにより, リセットが発生される。
発振器用コンデンサ	マスク・オプションにて選択 (15 pF)	なし	
ベクタ・アドレス	ベーシック・インターバル・タイマ : 0002H INT端子の立ち上がり, 立ち下がりエッジ : 0003H 8ビット・タイマ : 0004H	ベーシック・インターバル・タイマ : 0001H INT端子の立ち上がり, 立ち下がりエッジ : 0002H 8ビット・タイマ : 0003H	
RAM保持フラグ	あり	なし	

μ PD17246サブシリーズと μ PD17236サブシリーズ, μ PD17225サブシリーズの違い (2/2)

項目	μ PD17246サブシリーズ	μ PD17236サブシリーズ	μ PD17225サブシリーズ
STOPモードの解除条件	<p>P0A<sub>0</sub>-P0A<sub>3</sub>のいずれかの端子がロウ・レベルになったとき</p> <p>P0B<sub>0</sub>-P0B<sub>3</sub>, P0C<sub>0</sub>-P0C<sub>3</sub>, P0D<sub>0</sub>-P0D<sub>3</sub>を入力端子として使用し, いずれかの端子がロウ・レベルになったとき</p> <p>IPフラグがセットされている割り込みに対し, INT端子の立ち上がりまたは立ち下がりエッジによる割り込み要求 (IRQ) が発生したとき</p> <p>P0E<sub>0</sub>-P0E<sub>3</sub>をキー・マトリクス使用時に入力端子として使用し, いずれかの端子がロウ・レベルになったとき</p> <p>P1A<sub>0</sub>-P1A<sub>2</sub>, P1B<sub>0</sub>をキー・マトリクス使用時に入力端子として使用し, いずれかの端子が設定している解除レベルになったとき</p>	<p>P0A<sub>0</sub>-P0A<sub>3</sub>のいずれかの端子がロウ・レベルになったとき</p> <p>P0B<sub>0</sub>-P0B<sub>3</sub>, P0C<sub>0</sub>-P0C<sub>3</sub>, P0D<sub>0</sub>-P0D<sub>3</sub>を入力端子として使用し, いずれかの端子がロウ・レベルになったとき</p> <p>IPフラグがセットされている割り込みに対し, INT端子の立ち上がりまたは立ち下がりエッジによる割り込み要求 (IRQ) が発生したとき</p>	<p>P0A<sub>0</sub>-P0A<sub>3</sub>, P0B<sub>0</sub>-P0B<sub>3</sub>のいずれかの端子がロウ・レベルになったとき</p>
★ キャリア周波数 (f <sub>x</sub> = 4 MHz)	<p>レジスタ・ファイルにて選択 (リセット時: f<sub>x</sub>/2)</p> <p>キャリア作成用クロックがf<sub>x</sub>/2の場合: 3.9 kHz ~ 1 MHz</p> <p>キャリア作成用クロックがf<sub>x</sub>の場合: 7.8 kHz ~ 2 MHz</p> <p>キャリア作成用クロックが2f<sub>x</sub>の場合: 15.6 kHz ~ 4 MHz</p>	<p>マスク・オプションにて選択</p> <p>キャリア作成用クロックがf<sub>x</sub>/2の場合: 7.8 kHz ~ 1 MHz</p> <p>キャリア作成用クロックがf<sub>x</sub>の場合: 15.6 kHz ~ 2 MHz</p>	7.8 kHz ~ 1 MHz
NRZロウ・レベル期間設定用モジュロ・レジスタ (NRZLTMM), NRZハイ・レベル期間設定用モジュロ・レジスタ (NRZHTMM)	<ul style="list-style-type: none"> <li>NRZLTMM: 8ビット (REM出力制御ビットは, レジスタ・ファイルの12Hのビット1)</li> <li>NRZHTMM: 8ビット</li> </ul>	<ul style="list-style-type: none"> <li>NRZLTMM: 7ビット (ビット7はREM出力制御ビット)</li> <li>NRZHTMM: 7ビット (ビット7は0固定)</li> </ul>	

端子接続図 (Top View)

・ 30ピン・プラスチックSSOP (7.62 mm (300))



GND : グランド

INT : 外部割り込み要求信号入力

P0A0-P0A3 : 入力ポート (プルアップ抵抗付きCMOS入力)

P0B0-P0B3 : 入出力ポート (プルアップ抵抗付きCMOS入力 / N-chオープン・ドレイン出力)

P0C0-P0C3 : 入出力ポート (プルアップ抵抗付きCMOS入力 / N-chオープン・ドレイン出力)

P0D0-P0D3 : 入出力ポート (プルアップ抵抗付きCMOS入力 / N-chオープン・ドレイン出力)

P0E0-P0E3 : 入出力ポート (キー・マトリクス使用: プルアップ抵抗付きCMOS入力 / N-chオープン・ドレイン出力,  
キー・マトリクス未使用: CMOS入力 / CMOSプッシュプル出力)

P1A0-P1A2 : 入出力ポート (キー・マトリクス使用: CMOS入力 / N-chオープン・ドレイン出力,  
キー・マトリクス未使用: CMOS入力 / CMOSプッシュプル出力)

P1B0 : 入力ポート (CMOS入力)

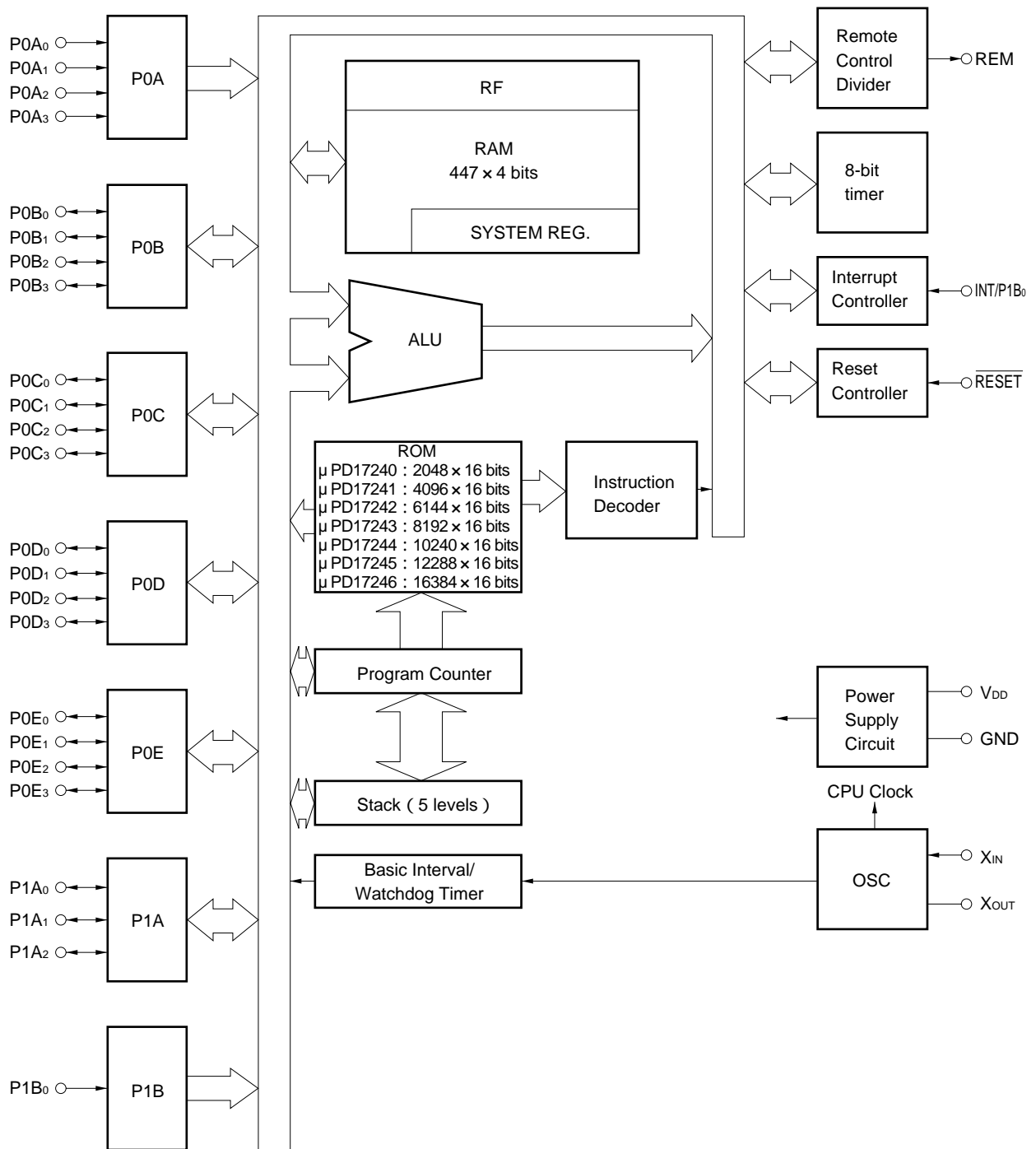
REM : リモコン送信出力 (CMOSプッシュプル出力)

RESET : リセット入力

VDD : 電源

XIN, XOUT : 発振子接続

ブロック図





## 目 次

<b>1 . 端子機能</b> ...	9
1.1 端子機能一覧 ...	9
1.2 端子の入出力回路 ...	12
1.3 未使用端子の処理 ...	13
<b>2 . メモリ空間</b> ...	14
2.1 プログラム・カウンタ (PC) ...	14
2.2 プログラム・メモリ (ROM) ...	17
2.3 スタック ...	19
2.4 データ・メモリ (RAM) ...	21
2.5 レジスタ・ファイル (RF) ...	30
<b>3 . ポ ー ト</b> ...	33
3.1 ポート0A (P0A <sub>0</sub> -P0A <sub>3</sub> ) ...	33
3.2 ポート0B (P0B <sub>0</sub> -P0B <sub>3</sub> ) ...	33
3.3 ポート0C (P0C <sub>0</sub> -P0C <sub>3</sub> ) ...	33
3.4 ポート0D (P0D <sub>0</sub> -P0D <sub>3</sub> ) ...	33
3.5 ポート0E (P0E <sub>0</sub> -P0E <sub>3</sub> ) ...	34
3.6 ポート1A (P1A <sub>0</sub> -P1A <sub>2</sub> ) ...	34
3.7 ポート1B (P1B <sub>0</sub> ) ...	35
3.8 INT端子 ...	36
3.9 ビットI/O入出力切り替え (ポート0B, 0E, 1A) ...	37
3.10 グループI/O入出力切り替え (ポート0C, 0D) ...	38
3.11 キー・マトリクス使用 / 未使用の選択 (ポート0E, 1A) ...	39
3.12 抵抗 (あり / なし) の選択 (ポート0E, 1A) ...	40
3.13 スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗の選択 (ポート1A) ...	42
3.14 キー・マトリクス使用 / 未使用の選択, スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗の選択 (ポート1B) ...	44
<b>4 . クロック発生回路</b> ...	45
4.1 命令実行時間 (CPUクロック) の切り替え ...	45
<b>5 . 8ビット・タイマ, リモコン・キャリア発生回路</b> ...	46
5.1 8ビット・タイマ (モジュロ機能付き) の構成 ...	46
5.2 8ビット・タイマ (モジュロ機能付き) の機能 ...	48
5.3 リモコン・キャリア発生回路 ...	49
<b>6 . ベーシック・インターバル・タイマ / ウォッチドッグ・タイマ</b> ...	55
6.1 ベーシック・インターバル・タイマのソース・クロック ...	55
6.2 ベーシック・インターバル・タイマの制御 ...	55
6.3 ウォッチドッグ・タイマの動作タイミング ...	57

7 . RAM保持検出回路 ...	58
7.1 RAM保持フラグ ...	58
8 . 割り込み機能 ...	60
8.1 割り込み要因 ...	60
8.2 割り込み制御回路の各種ハードウェア ...	60
8.3 割り込みシーケンス ...	64
9 . スタンバイ機能 ...	66
9.1 HALTモード ...	66
9.2 HALT命令の実行条件 ...	67
9.3 STOPモード ...	68
9.4 STOP命令の実行条件 ...	69
9.5 スタンバイ・モードの解除 ...	69
10 . リセット ...	71
10.1 リセット信号入力によるリセット ...	71
10.2 ウォッチドッグ・タイマによるリセット (RESET端子が内部でプルダウン) ...	71
10.3 スタック・ポインタによるリセット (RESET端子が内部でプルダウン) ...	72
11 . 低電圧検出回路 (RESET端子が内部でプルダウン) ...	73
12 . アセンブラ予約語 ...	74
12.1 マスク・オプション疑似命令 ...	74
12.2 予約シンボル ...	75
13 . 命令セット ...	81
13.1 命令セット概要 ...	81
13.2 凡 例 ...	82
13.3 命令一覧表 ...	83
13.4 アセンブラ (RA17K) 組み込みマクロ命令 ...	85
14 . 電気的特性 ...	86
15 . 応用回路例 ...	92
16 . 外形図 ...	93
★ 17 . 半田付け推奨条件 ...	94
付録A . μ PD17246とμ PD17P246の違い ...	95
付録B . 開発ツール ...	96

1. 端子機能

1.1 端子機能一覧 (1/3)

端子番号	記号	機能	出力形式	リセット時
28 29 1 2	P0D <sub>0</sub> P0D <sub>1</sub> P0D <sub>2</sub> P0D <sub>3</sub>	4ビットの入出力ポートです。4ビット単位で入力/出力の切り替えができます(グループI/O)。 入力モードではプルアップ抵抗付きCMOS入力です。キー・マトリクス のキー・リターン入力として使用できます。少なくとも1本の 入力がロウ・レベルとなったときスタンバイ状態を解除する機能が あります。出力モードでは、N-chオープン・ドレイン出力です。キ ー・マトリクスの出力として使用できます。	N-ch オープン・ド レイン	ロウ・レベル出力
3	P1B <sub>0</sub> /INT	入力ポートです。レジスタ・ファイルで、P1B <sub>0</sub> 端子またはINT端子 の機能を選択できます。 ・P1B <sub>0</sub> 1ビットの入力ポートで、CMOS入力です。 キー・マトリクス使用時は、キー・リターン入力として使用でき ます。このとき、抵抗の有無の設定およびスタンバイ解除条件 (ハイまたはロウ・レベル時に解除)の選択ができます。 1. 抵抗ありに設定し、ロウ・レベル時に解除を選択した場合 ...プルアップ抵抗が接続され、スタンバイ時に、P1B <sub>0</sub> 端子 にロウ・レベルが入力されるとスタンバイ状態を解除しま す 2. 抵抗ありに設定し、ハイ・レベル時に解除を選択した場合 ...プルダウン抵抗が接続され、スタンバイ時に、P1B <sub>0</sub> 端子 にハイ・レベルが入力されるとスタンバイ状態を解除しま す。 3. 抵抗なしに設定し、ロウ・レベル時(またはハイ・レベル 時)に解除を選択した場合 ...抵抗は接続されず、スタンバイ時に、P1B <sub>0</sub> 端子にロウ・ レベル(またはハイ・レベル)が入力されるとスタンバイ 状態を解除します キー・マトリクス未使用時は、抵抗の有無と抵抗のプルアップ/ プルダウンを選択できます。 ・INT 外部割り込み要求信号です。INT端子割り込み許可フラグ(IP) がセットされていて、INT端子に外部から割り込み要求信号が入 力されるとスタンバイ状態を解除する機能があります。	-	P1B <sub>0</sub> 入力 (キー・マトリク ス未使用/抵抗な し)
4 5 6 7	P0E <sub>0</sub> P0E <sub>1</sub> P0E <sub>2</sub> P0E <sub>3</sub>	4ビットの入出力ポートです。1ビット単位で入力/出力の切り替 えができます。 キー・マトリクス使用時に入力モードにすると、プルアップ抵抗付 きCMOS入力となり、キー・リターン入力として使用できます。少 なくとも1本の入力がロウ・レベルとなったときスタンバイ状態を 解除します。 キー・マトリクス使用時に出力モードにすると、N-chオープン・ド レイン出力となり、キー・マトリクスの出力として使用できます。 キー・マトリクス未使用時に入力モードにすると、CMOS入力とな り、1ビット単位で抵抗の有無を選択できます。キー・マトリクス 未使用時に出力モードにすると、大電流のCMOS出力となります。	キー・マトリ クス使用： N-ch オープン・ド レイン、 キー・マトリ クス未使用： CMOSブッシ ュブル	CMOS入力 (キー・マトリク ス未使用/抵抗な し)

1.1 端子機能一覧 (2/3)

端子番号	記号	機能	出力形式	リセット時
8	REM	赤外線リモコン送信出力です。 アクティブ・ハイの出力です。	CMOS プッシュプル	ロウ・レベル出力
9	V <sub>DD</sub>	電源です。	-	-
10	X <sub>OUT</sub>	システム・クロック用セラミック発振子を接続します。	-	(発振停止)
11	X <sub>IN</sub>	マスク・オプションにより発振器用コンデンサ (15 pF) を内蔵できます。	-	-
12	GND	グラウンドです。	-	-
13	RESET	リセット入力です。 POC, ウォッチドッグ・タイマのオーバ・フローおよびスタック・ポインタのオーバ/アンダ・フローによりプルダウン抵抗がONになり, リセットがかかります。通常は, プルアップ抵抗がONになってます。	-	入力
14 15 30	P1A <sub>0</sub> P1A <sub>1</sub> P1A <sub>2</sub>	3ビットの入出力ポートです。1ビット単位で入力/出力の切り替えができます。 キー・マトリクス使用時に入力モードにすると, CMOS入力となり, キー・リターン入力として使用できます。1ビット単位で抵抗の有無の設定およびスタンバイ解除条件 (ハイまたはロウ・レベル時に解除) の選択ができます。 1. 抵抗ありに設定し, ロウ・レベル時に解除を選択した場合 ...プルアップ抵抗が接続され, スタンバイ時に, 設定したキーにロウ・レベルが入力されるとスタンバイ状態を解除します 2. 抵抗ありに設定し, ハイ・レベル時に解除を選択した場合 ...プルダウン抵抗が接続され, スタンバイ時に, 設定したキーにハイ・レベルが入力されるとスタンバイ状態を解除します 3. 抵抗なしに設定し, ロウ・レベル時 (またはハイ・レベル時) に解除を選択した場合 ...抵抗は接続されず, スタンバイ時に, 設定したキーにロウ・レベル (またはハイ・レベル) が入力されるとスタンバイ状態を解除します キー・マトリクス使用時に出力モードにすると, N-chオープン・ドレーン出力となり, キー・マトリクスの出力として使用できます。 キー・マトリクス未使用時に入力モードにすると, CMOS入力となり, 1ビット単位で抵抗の有無と抵抗のプルアップ/プルダウンを選択できます。 キー・マトリクス未使用時に出力モードにすると, 大電流のCMOS出力となります。	キー・マトリクス使用: N-ch オープン・ドレーン, キー・マトリクス未使用: CMOS プッシュプル	CMOS入力 (キー・マトリクス未使用/抵抗なし)
16 17 18 19	P0A <sub>0</sub> P0A <sub>1</sub> P0A <sub>2</sub> P0A <sub>3</sub>	4ビットのプルアップ抵抗付きCMOS入力です。 キー・マトリクスのキー・リターン入力として使用できます。少なくとも1本の入力がロウ・レベルとなったときスタンバイ状態を解除する機能があります。	-	プルアップ抵抗付きCMOS入力

1.1 端子機能一覧 (3/3)

端子番号	記号	機能	出力形式	リセット時
20 21 22 23	P0B <sub>0</sub> P0B <sub>1</sub> P0B <sub>2</sub> P0B <sub>3</sub>	4ビットの入出力ポートです。1ビット単位で入力/出力の切り替えができます。 入力モードではプルアップ抵抗付きのCMOS入力です。キー・マトリクスのキー・リターン入力として使用できます。少なくとも1本の入力がロウ・レベルとなったときスタンバイ状態を解除する機能があります。 出力モードでは、N-chオープン・ドレイン出力です。キー・マトリクスの出力として使用できます。	N-ch オープン・ド レイン	プルアップ抵抗付 きCMOS入力
24 25 26 27	P0C <sub>0</sub> P0C <sub>1</sub> P0C <sub>2</sub> P0C <sub>3</sub>	4ビットの入出力ポートです。4ビット単位で入力/出力の切り替えができます(グループI/O)。 入力モードではプルアップ抵抗付きCMOS入力です。キー・マトリクスのキー・リターン入力として使用できます。少なくとも1本の入力がロウ・レベルとなったときスタンバイ状態を解除する機能があります。 出力モードでは、N-chオープン・ドレイン出力です。キー・マトリクスの出力として使用できます。	N-ch オープン・ド レイン	ロウ・レベル出力

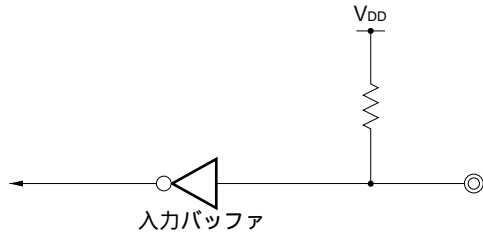
1.2 端子の入出力回路

μ PD17246の各端子の入出力回路を一部簡略化した形式を用いて示します。

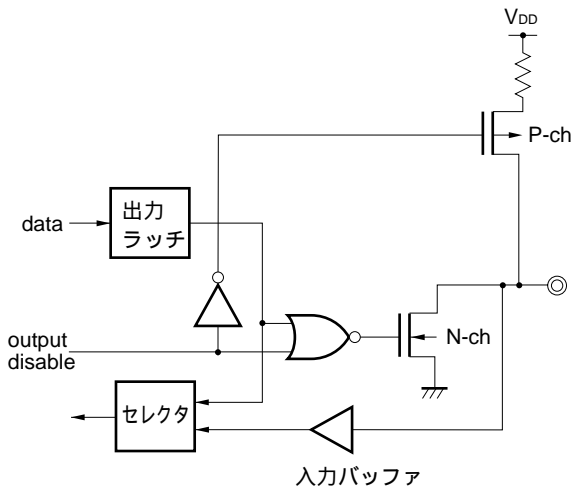
★

図1 - 1 端子の入出力回路 (1/2)

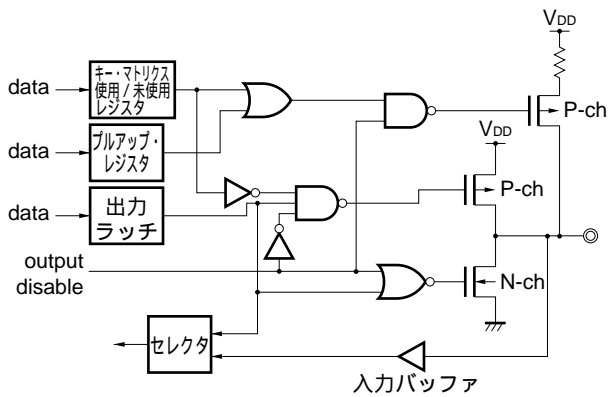
(1) P0A



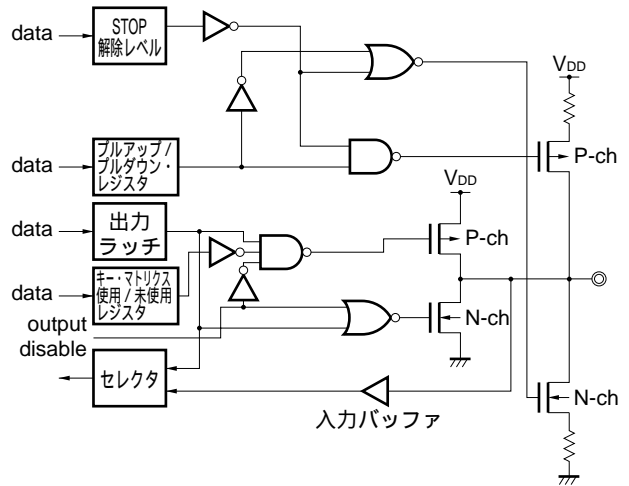
(2) P0B, P0C, P0D



(3) P0E



(4) P1A



(5) P1B

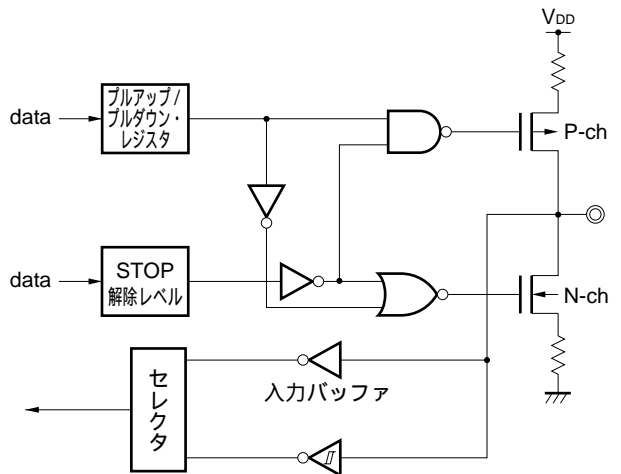
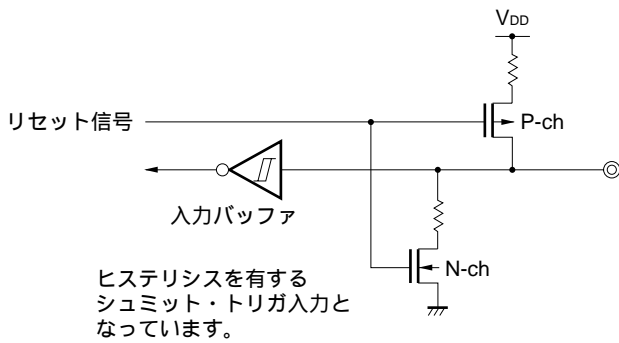
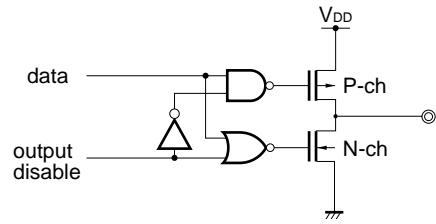


図 1 - 1 端子の入出力回路 (2/2)

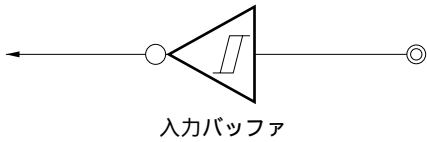
(6) RESET



(8) REM



(7) INT



ヒステリシス特性を有するシュミット・トリガ入力となっています。

1.3 未使用端子の処理

未使用端子は、次に示すような処置をしてください。

表 1 - 1 未使用端子の処理

端子	推奨接続方法
P0A <sub>0</sub> -P0A <sub>3</sub>	オープンにしてください。
P0B <sub>0</sub> -P0B <sub>3</sub>	
P0C <sub>0</sub> -P0C <sub>3</sub>	
P0D <sub>0</sub> -P0D <sub>3</sub>	
P0E <sub>0</sub> -P0E <sub>3</sub>	GNDに接続してください(入力時)。
P1A <sub>0</sub> -P1A <sub>2</sub>	
P1B <sub>0</sub> /INT	GNDに接続してください。
REM	オープンにしてください。

★

2. メモリ空間

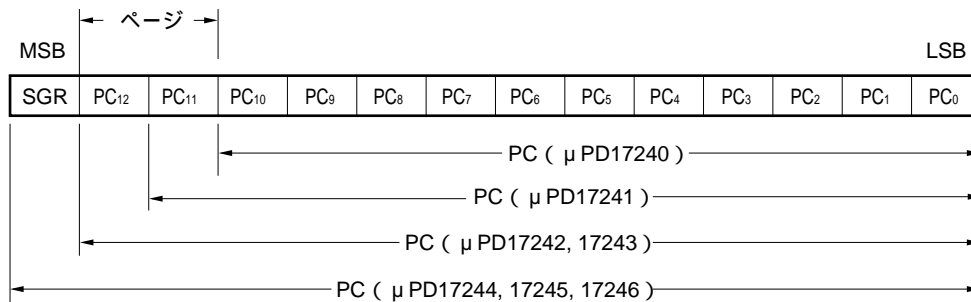
2.1 プログラム・カウンタ (PC)

プログラム・カウンタ (PC) は、プログラム・メモリ (ROM) の番地を指定します。

プログラム・カウンタは、図 2 - 1 に示すように、11/12/13ビットのバイナリ・カウンタと1ビットのセグメント・レジスタ (SGR) で構成されています。

リセット時には、0000H番地にイニシャライズされます。

図 2 - 1 プログラム・カウンタの構成



2.1.1 セグメント・レジスタ (SGR)

セグメント・レジスタは、プログラム・メモリのセグメントを指定するレジスタです。

表 2 - 1 にセグメント・レジスタとプログラム・メモリの関係を示します。

表 2 - 1 セグメント・レジスタとプログラム・メモリの関係

セグメント・レジスタの値	プログラム・メモリのセグメント
0	セグメント 0
1	セグメント 1

セグメント・レジスタがセットされるのは、次の命令が実行されたときです。

- ・ BR @AR
- ・ CALL @AR
- ・ SYSCAL entry



システム・コール命令 (“SYSCAL entry”) で呼び出せるサブルーチンの先頭アドレスは、セグメント1 (システム・セグメント) 内のページ0 内にある各ブロック (ブロック0-ブロック7) の先頭16ステップです。

図2 - 2 システム・コール命令の概要

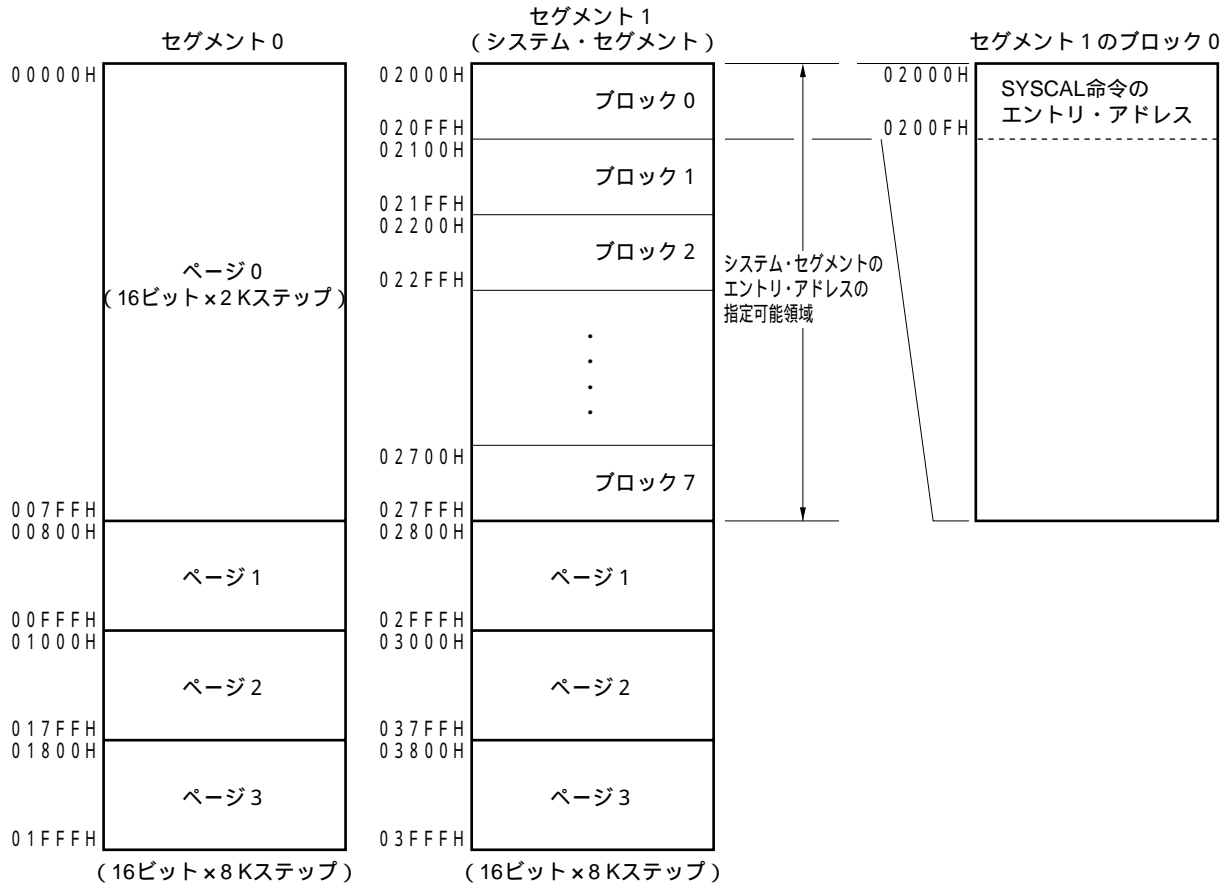


図 2 - 3 各命令におけるプログラム・カウンタの値

プログラム・カウンタ		プログラム・カウンタ (PC) 注の内容													
		SGR	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BR addr	ページ 0	保 持	0	0	命令のオペランド (addr)										
	ページ 1		0	1											
	ページ 2		1	0											
	ページ 3		1	1											
CALL addr	保 持	0	0	命令のオペランド (addr)											
SYSCAL entry	1	0	0	entry <sub>H</sub>			0	0	0	0	entry <sub>L</sub>				
BR @AR CALL @AR MOVT DBF, @AR	アドレス・レジスタの内容														
RET RETSK RETI	スタック・ポインタ (SP) で指定されるアドレス・ スタック・レジスタ (ASR) の内容 (戻り番地)														
上記以外の命令 (スキップ命令も含む)	保 持	インクリメント													
割り込み受け付け時	0	各割り込みのベクタ・アドレス													
ウォッチドッグ・タイマ・リセット, RESET端子, スタック・ポインタによる リセット	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

注 μ PD17240 : b0-b10  
 μ PD17241 : b0-b11  
 μ PD17242, 17243 : b0-b12  
 μ PD17244, 17245, 17246 : b0-b12, SGR

備考 entry : entry の上位 3 ビット  
 entry : entry の下位 4 ビット

表 2 - 2 割り込みベクタ・アドレス

順位	内部 / 外部	割り込み要因	ベクタ・アドレス
1	内部	8 ビット・タイマ	0004H
2	外部	INT 端子の立ち上がり, 立ち 下がりエッジ	0003H
3	内部	ベーシック・インターバル・ タイマ	0002H

## 2.2 プログラム・メモリ (ROM)

プログラム・メモリ構成を次に示します。

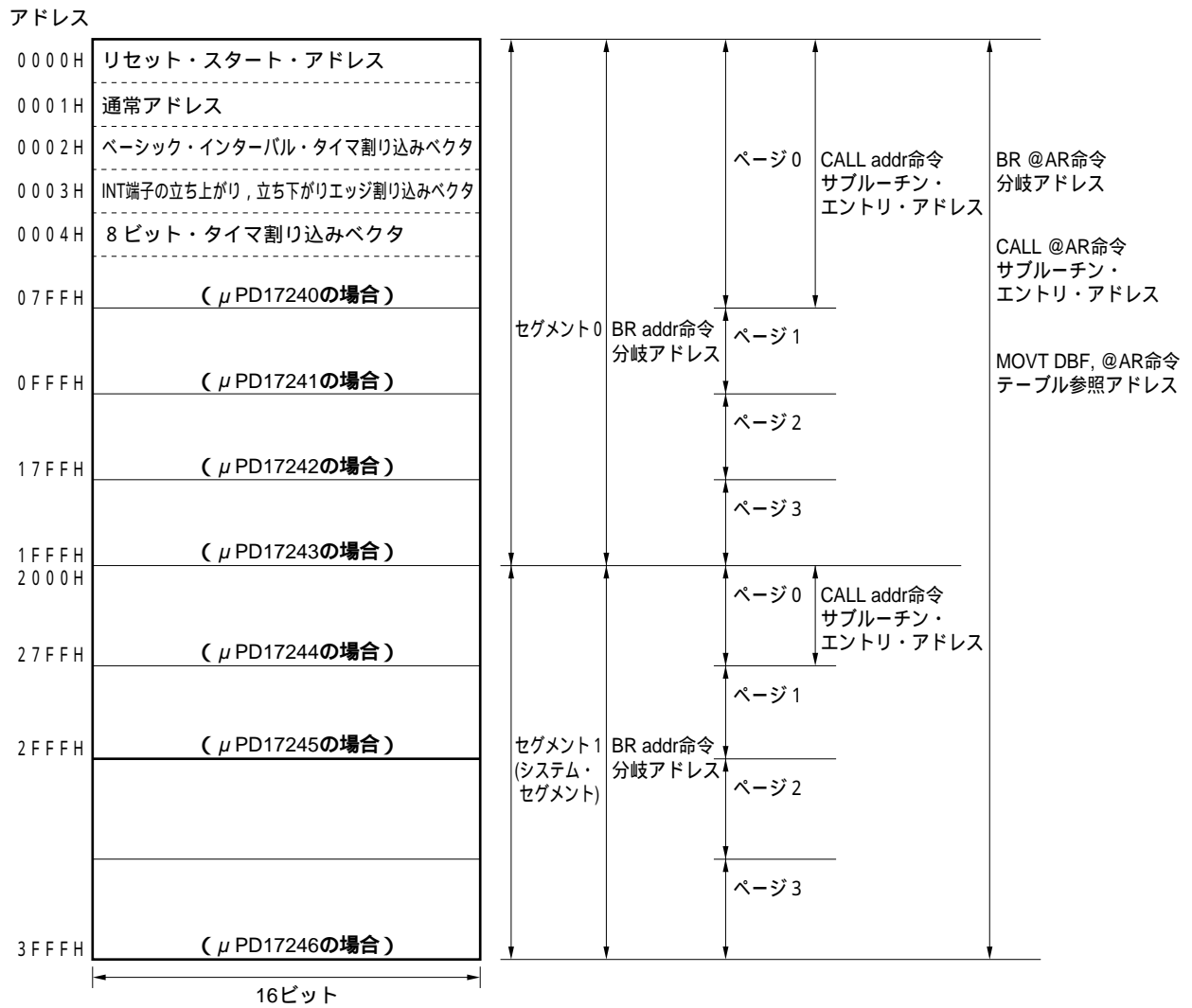
品 名	プログラム・メモリ容量	プログラム・メモリ番地
μ PD17240	2048 × 16ビット	0000H-07FFH
μ PD17241	4096 × 16ビット	0000H-0FFFH
μ PD17242	6144 × 16ビット	0000H-17FFH
μ PD17243	8192 × 16ビット	0000H-1FFFH
μ PD17244	10240 × 16ビット	0000H-27FFH
μ PD17245	12288 × 16ビット	0000H-2FFFH
μ PD17246	16384 × 16ビット	0000H-3FFFH

プログラム・メモリには、プログラム、割り込みベクタ・テーブル、および固定データ・テーブルなどを格納します。

プログラム・メモリは、プログラム・カウンタによってアドレス指定されます。

図2 - 4にプログラム・メモリ・マップを示します。BR addr, BR @AR, CALL @AR, MOV T DBF, @ARの各命令によるアドレス指定可能な範囲は、それぞれのプログラム・メモリの全範囲です。ただし、CALL addr命令のサブルーチン・エントリ・アドレスは、0000H-07FFHまでです。

図2 - 4 プログラム・メモリ・マップ



2.3 スタック

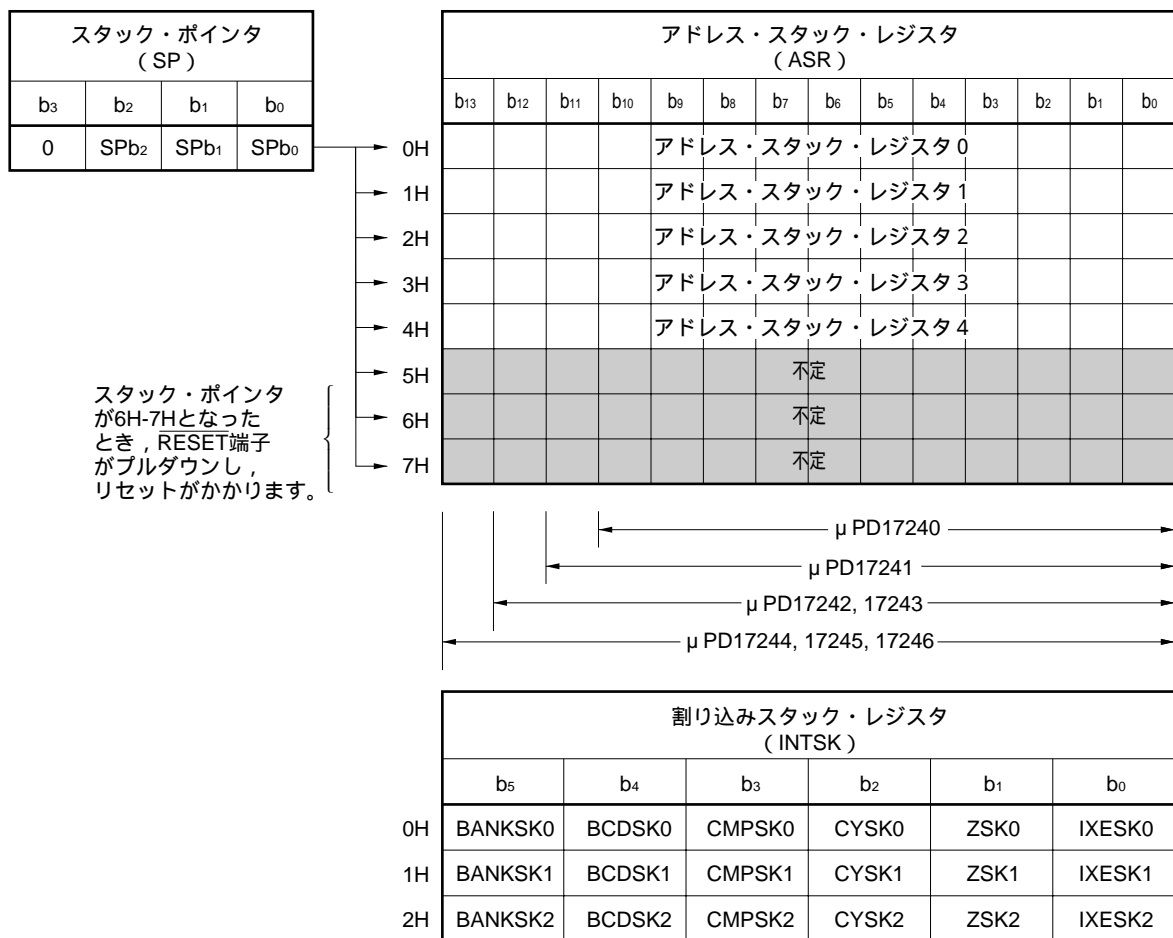
スタックとはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

2.3.1 スタックの構成

スタックの構成を図2 - 5 に示します。

スタックは、4ビット（上位1ビットは0に固定）のバイナリ・カウンタであるスタック・ポインタ（SP）1個と11ビット（μ PD17240）/12ビット（μ PD17241）/13ビット（μ PD17242, 17243）/14ビット（μ PD17244, 17245, 17246）のアドレス・スタック・レジスタ5個と、6ビットの割り込みスタック・レジスタ3個で構成されています。

図2 - 5 スタックの構成



2.3.2 スタックの機能

アドレス・スタック・レジスタ (ASR) は、サブルーチン・コール命令、テーブル参照 (第1命令サイクル) 実行時および割り込み受け付け時に、戻り番地を格納します。また、スタック操作命令 (PUSH AR) 実行時に、アドレス・レジスタ (AR) の内容を格納します。

5レベルを超えるサブルーチン・コールや割り込みを実行すると、 $\overline{\text{RESET}}$ 端子が内部でプルダウンされ、リセットがかかります。

割り込みスタック・レジスタ (INTSK) は、割り込み受け付け時に、バンク・レジスタ (BANK) およびプログラム・ステータス・ワード (PSWORD) の内容を退避します。割り込みリターン命令 (RETI) の実行により、復帰されます。

INTSKは、割り込みが受け付けられるごとにデータを退避していきますが、3レベルを超える割り込みが受け付けられると、最初のデータは失われてしまいます。

2.3.3 スタック・ポインタ (SP) と割り込みスタック・レジスタ

スタック・ポインタ (SP) の動作を表2 - 3 に示します。

スタック・ポインタの取り得る値は0H-7Hの8通りになりますが、アドレス・スタック・レジスタは5個しかないので、SPの値が6以上になると $\overline{\text{RESET}}$ 端子が内部でプルダウンされ、リセットがかかります。

表2 - 3 スタック・ポインタの動作

命 令	スタック・ポインタ (SP) の値	割り込みスタック・レジスタのカウンタ
CALL addr CALL @AR MOVT DBF, @AR (第1命令サイクル) PUSH AR SYSCAL entry	- 1	0
割り込み受け付け	- 1	- 1
RET RETSK MOVT DBF, @AR (第2命令サイクル) POP AR	+ 1	0
RETI	+ 1	+ 1

## 2.4 データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算、制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

### 2.4.1 データ・メモリの構成

図2 - 6 にデータ・メモリ (RAM) の構成を示します。

データ・メモリ (RAM) は“バンク”と呼ぶ単位で4つに分割されています。4つのバンクはそれぞれBANK0, BANK1, BANK2, BANK3と呼びます。

各バンクは4ビット単位のデータごとに番地 (アドレス) が割り付けられており、上位3ビットを“ロウ・アドレス”, 下位4ビットを“カラム・アドレス”と呼びます。たとえば、ロウ・アドレスが1Hでカラム・アドレスが0AHのデータ・メモリはアドレス1AHのデータ・メモリと呼びます。また1つのアドレスは4ビットのメモリで構成されており、これを“1ニブル”と呼びます。

データ・メモリは、上記アドレス以外に機能別として次に示すブロックに分けられます。

#### (1) システム・レジスタ (SYSREG)

データ・メモリのアドレス74H-7FHに割り当てられた12ニブルで構成されています。システム・レジスタ (SYSREG) はバンクに無関係に割り当てられており、すなわちどのバンクであってもアドレス74H-7FHには同一のシステム・レジスタ (SYSREG) が存在します。

#### (2) データ・バッファ (DBF)

データ・メモリのBANK0のアドレス0CH-0FHに割り当てられた4ニブルで構成されています。リセット時は0320Hになります。

#### (3) ジェネラル・レジスタ (GR)

データ・メモリの任意のバンクの任意のロウ・アドレスで指定される16ニブルで構成されています。

ただし、任意のバンクの任意のロウ・アドレスとは、システム・レジスタ (SYSREG) の中のジェネラル・レジスタ・ポインタ (RP) により指定されます。

#### (4) ポート・レジスタ

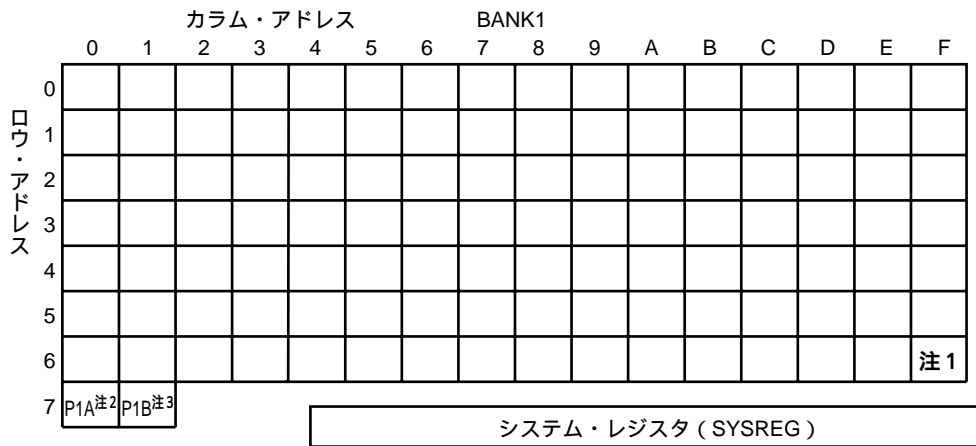
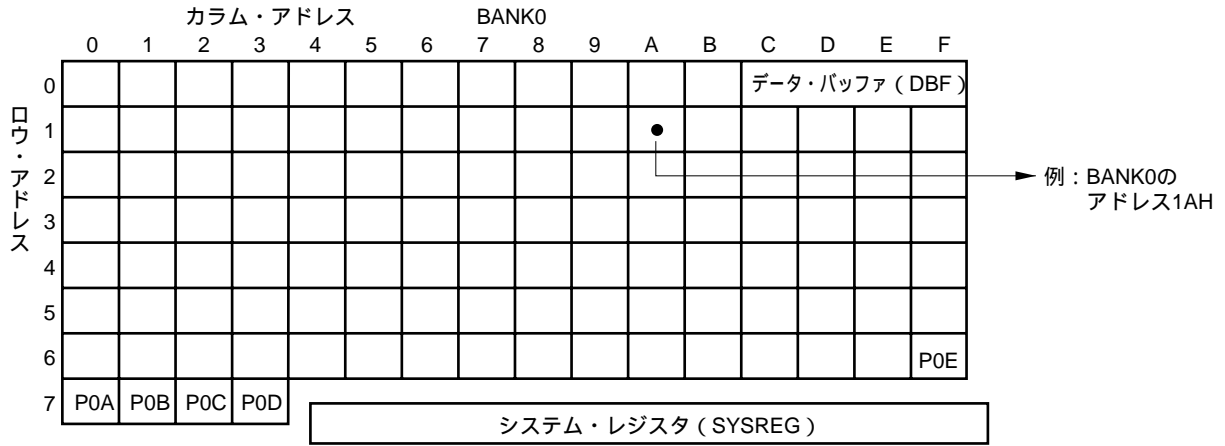
データ・メモリのバンク0のアドレス6FH, 70H-73H, バンク1のアドレス70H, 71Hに割り当てられた7ニブルで構成されます。

BANK1のアドレス72H, 73H, BANK2, BANK3のアドレス70H-73Hには書き込みおよび読み出しができません。

(5) 汎用データ・メモリ

データ・メモリからシステム・レジスタ (SYSREG) およびポート・レジスタを除いた部分でBANK0の111ニブルとBANK1-BANK3の336ニブル (112ニブル×3) の計447ニブルから構成されます。

図2 - 6 データ・メモリの構成 (1/2)



注1 . バンク 1 のアドレス6FHは汎用データ・メモリとして使用できます。

2 . バンク 1 のアドレス70Hはビット 0-ビット 2 を使用します。ビット 3 は 0 固定です。

3 . バンク 1 のアドレス71Hはビット 0 のみ使用します。ビット 1-ビット 3 は 0 固定です。

注意 バンク 1 のアドレス72H, 73Hには書き込みおよび読み出しができません。



図2 - 6 データ・メモリの構成 (2/2)

ロウ・アドレス	カラム・アドレス						BANK2									
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0																
1																
2																
3																
4																
5																
6																注

システム・レジスタ (SYSREG)

ロウ・アドレス	カラム・アドレス						BANK3									
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0																
1																
2																
3																
4																
5																
6																注

システム・レジスタ (SYSREG)

注 バンク 2 , 3 のアドレス6FHは汎用データ・メモリとして使用できます。

注意 バンク 2 , 3 のアドレス70H-73Hには書き込みおよび読み出しができません。

2.4.2 システム・レジスタ (SYSREG)

システム・レジスタは、CPUの制御に直接関係するレジスタ類の総称です。データ・メモリ上の74H-7FH番地に配置されており、バンク指定に関係なく参照できます。

システム・レジスタには次のものがあります。

- アドレス・レジスタ (AR0-AR3)
- ウインドウ・レジスタ (WR)
- バンク・レジスタ (BANK)
- メモリ・ポインタ・イネーブル・フラグ (MPE)
- メモリ・ポインタ (MPH, MPL)
- インデクス・レジスタ (IXH, IXM, IXL)
- ジェネラル・レジスタ・ポインタ (RPH, RPL)
- プログラム・ステータス・ワード (PSWORD)

図2 - 7 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH	
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ(MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)		
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW	
ビット	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	b3 b2 b1 b0	
データ	← (AR) (μ PD17244, 17245, 17246) →				← (WR) →	← (BANK) →	← (IX) →			← (RP) →	B C D	C Y P	I X Z E
リセット時の初期値	0 0 0 0				不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	

### 2.4.3 ジェネラル・レジスタ (GR)

ジェネラル・レジスタ (GR) はデータ・メモリ上に配置されるレジスタで、データ・メモリとの直接演算や、転送を行います。

#### (1) ジェネラル・レジスタの構成

ジェネラル・レジスタの構成を図 2 - 8 に示します。

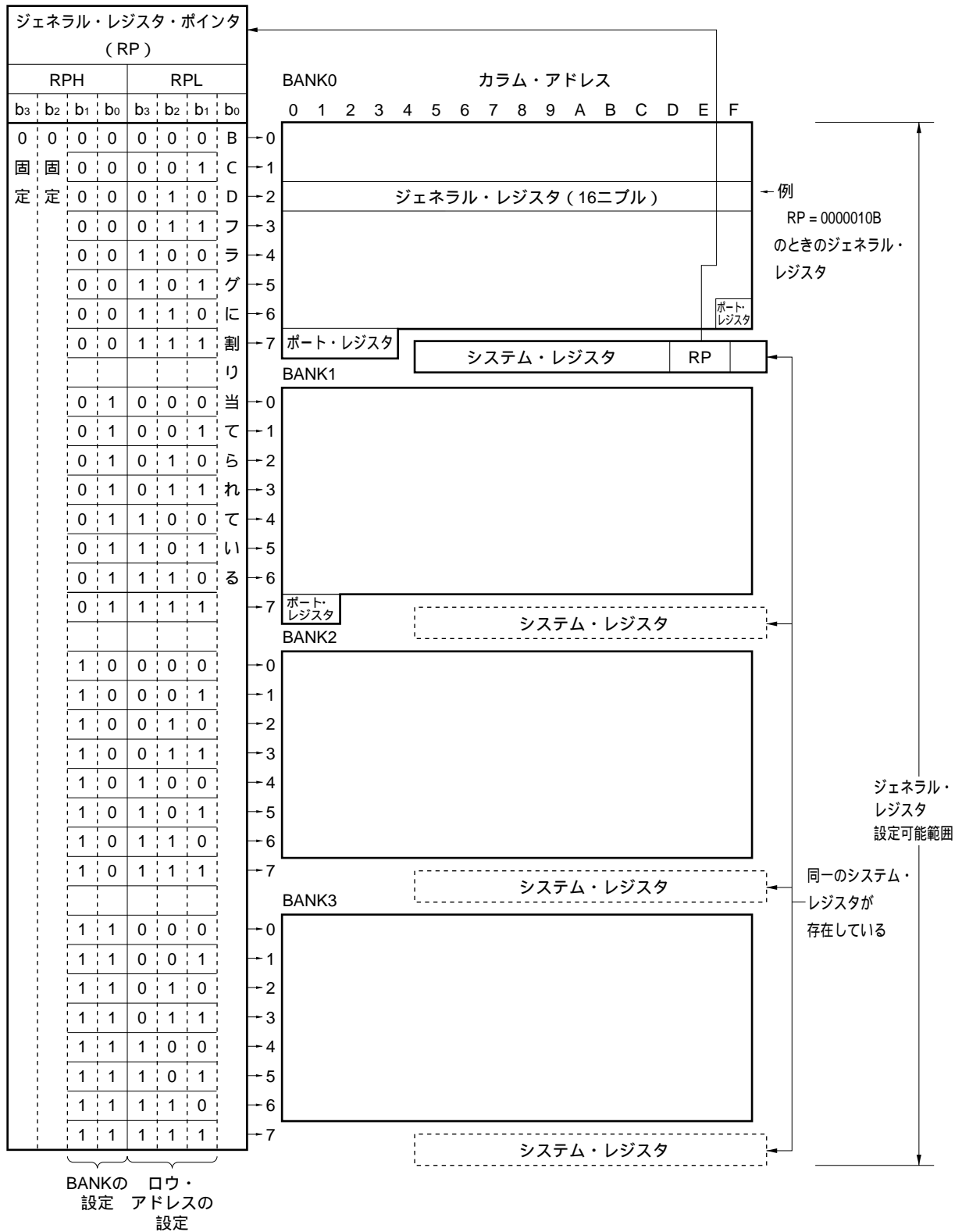
図 2 - 8 に示すように、データ・メモリ上で同一ロウ・アドレスである16ニブル (16×4ビット) をジェネラル・レジスタとして使用できます。

どのロウ・アドレスを使用するかは、システム・レジスタのジェネラル・レジスタ・ポインタ (RP) によって設定します。RPIは5ビットが有効であり、下位3ビット (RPLのビット1-ビット3) でロウ・アドレスを、上位2ビット (RPHのビット0, ビット1) でバンクを設定します。ジェネラル・レジスタとして使用できるデータ・メモリはBANK0-BANK4のロウ・アドレス0H-7Hになります。

#### (2) ジェネラル・レジスタの機能

ジェネラル・レジスタを使用することにより、データ・メモリとジェネラル・レジスタとの間で演算や転送を1命令で行うことが可能になります。ジェネラル・レジスタはすなわちデータ・メモリであるため、言い換えれば1命令でデータ・メモリ同士の演算や転送が可能になります。また、ジェネラル・レジスタは、データ・メモリ上にあるので他のデータ・メモリと同様にデータ・メモリ操作命令で制御することができます。

図2 - 8 ジェネラル・レジスタの構成



2.4.4 データ・バッファ (DBF)

データ・バッファは周辺ハードウェアとのデータ転送およびテーブル参照時のデータ読み込み時に使用するバッファでデータ・メモリ上のアドレス0CH-0FHに配置されています。

(1) データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み (テーブル参照) 機能です。図2 - 9にデータ・バッファと周辺のハードウェアの関係を示します。

図2 - 9 データ・バッファと周辺ハードウェア

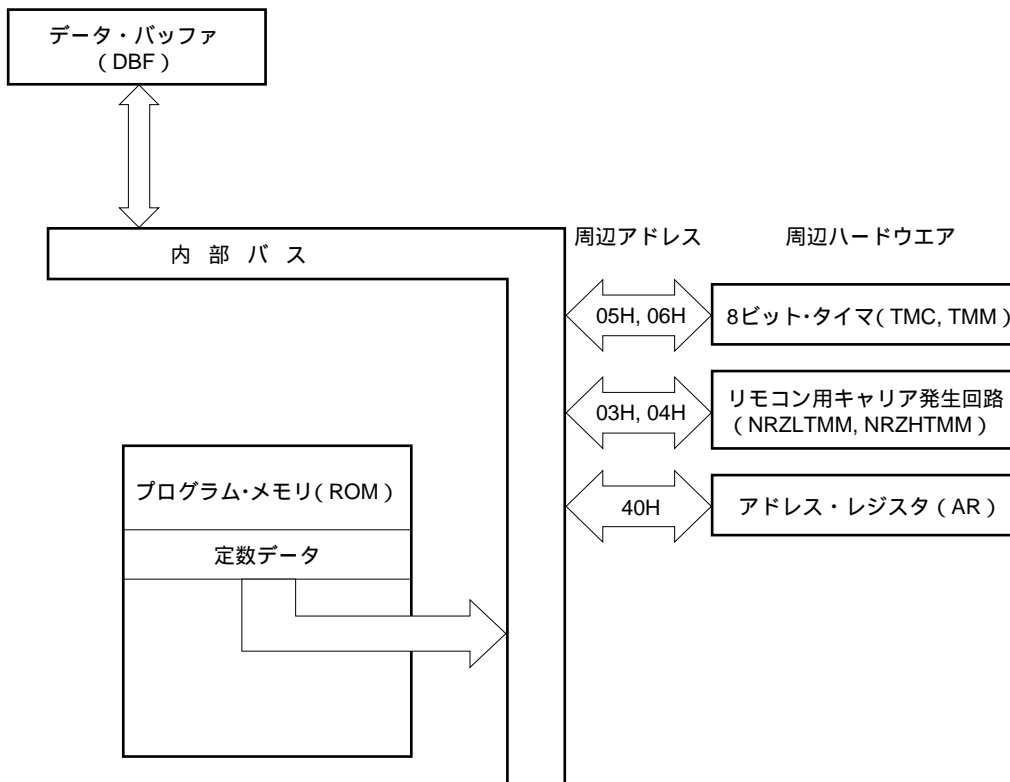


表 2 - 4 周辺ハードウェアとデータ・バッファの関係

周辺ハードウェア	データ・バッファと転送を行う周辺レジスタ				
	名称	記号	周辺アドレス	使用データ・バッファ	PUT/GETの可否
8ビット・タイマ	8ビット・カウンタ	TMC	05H	DBF0, DBF1	GETのみ可
	8ビット・モジュロ・レジスタ	TMM	06H	DBF0, DBF1	PUTのみ可
リモコン・キャリア発生回路	NRZロウ・レベル期間設定用モジュロ・レジスタ	NRZLTMM	03H	DBF0, DBF1	PUT可 GET可
	NRZハイ・レベル期間設定用モジュロ・レジスタ	NRZHTMM	04H	DBF0, DBF1	PUT可 GET可
アドレス・レジスタ	アドレス・レジスタ	AR	40H	DBF0-DBF3	PUT可 <sup>注1</sup> GET可 <sup>注2</sup>

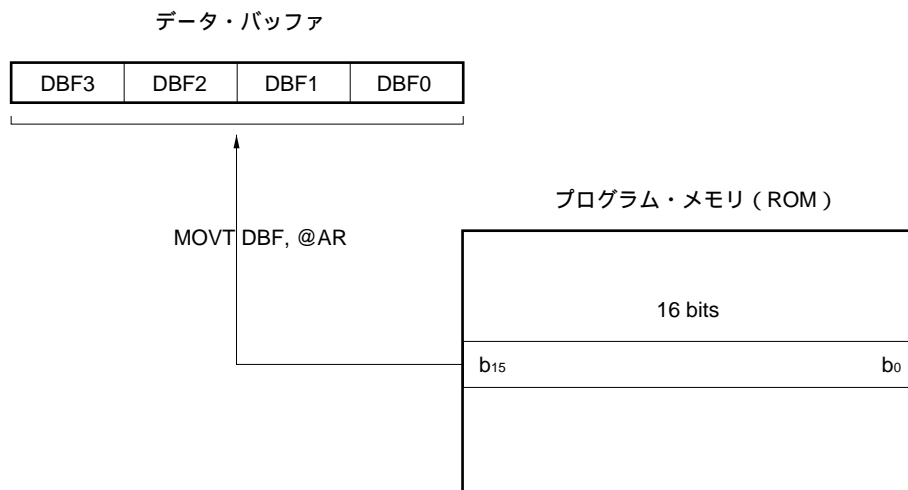
- 注 1 . μ PD17240のとき (AR3のビット0-3とAR2のビット 3 は任意) ,  
 μ PD17241のとき (AR3のビット0-3は任意) ,  
 μ PD17242, 17243のとき (AR3のビット1-3は任意) ,  
 μ PD17244, 17245, 17246のとき (AR3のビット2-3は任意)
- 2 . μ PD17240のとき (AR3のビット0-3とAR2のビット 3 は常に 0 ) ,  
 μ PD17241のとき (AR3のビット0-3は常に 0 ) ,  
 μ PD17242, 17243のとき (AR3のビット1-3は常に 0 ) ,  
 μ PD17244, 17245, 17246のとき (AR3のビット2-3は常に 0 )

( 2 ) テーブル参照

MOVT命令を用いることにより、プログラム・メモリ (ROM) 上の定数データを、データ・バッファ上に読み込むことができます。

次にMOVT命令について説明します。

MOVT DBF, @AR ; アドレス・レジスタ (AR) の内容によって指定されるプログラム・メモリの内容を、データ・バッファ (DBF) に読み出します。



### (3) データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ（PUTのみ）および読み出し専用周辺レジスタ（GETのみ）に対して次に示すような注意が必要です。

#### ・デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。

#### ・アセンブラ使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込む命令に“エラー”が発生します。

未使用アドレスを読み出す命令および書き込む命令に“エラー”が発生します。

#### ・インサーキット・エミュレータ（IE-17K, IE-17K-ET）使用時（パッチ処理などで命令を実行したとき）

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。“エラー”は発生しません。

## 2.5 レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

専用命令であるPEEK, POKE命令またはRA17Kの組み込みマクロ命令であるSETn, CLRnおよびINITFLG命令などで制御することができます。

### 2.5.1 レジスタ・ファイルの構成

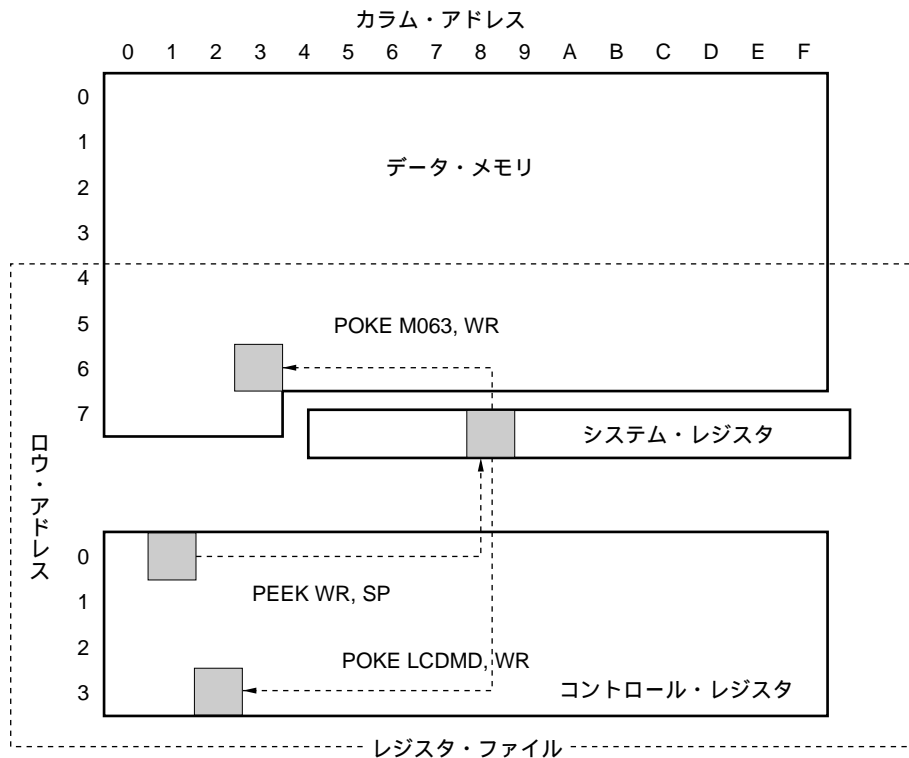
図2 - 10にレジスタ・ファイルの構成およびPEEK, POKE命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、専用命令であるPEEK, POKE命令を用いて制御を行います。このときコントロール・レジスタは、バンクに関係なくアドレス00H-3FH番地に割り付けられているため、PEEK, POKE命令を用いた場合に汎用データ・メモリのアドレス00H-3FH番地はアクセス不能になります。

したがって、PEEK, POKE命令でアクセスできる範囲は、コントロール・レジスタのアドレス00H-3FHおよび汎用データ・メモリの40H-7FHとなります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、ディバクを容易にするために、IE-17K上では80H-BFH番地に割り付けられています。

図2 - 10 レジスタ・ファイルの構成およびPEEK, POKE命令によるレジスタ・ファイルのアクセス





### 2.5.2 コントロール・レジスタ

コントロール・レジスタは、レジスタ・ファイルのアドレス00H-3FH番地の計64ニブル（64×4ビット）から構成されています。

ただし、そのうち実際に使用しているのは24ニブルです。残りの40ニブルは未使用レジスタで、読み出しおよび書き込みは禁止されています。

“ PEEK WR, rf ” 命令の実行によって “ rf ” でアドレス指定されるレジスタ・ファイルの内容がウインドウ・レジスタに読み込まれます。

“ POKE rf, WR ” 命令の実行によって、ウインドウ・レジスタの内容が “ rf ” でアドレス指定されるレジスタ・ファイルに書き込まれます。

アセンブラ（RA17K）を使用する場合は、フラグ型シンボル操作命令として組み込まれている次のマクロ命令が使用できます。マクロ命令を使用することにより、レジスタ・ファイルの内容を1ビット単位で操作することができます。

コントロール・レジスタの構成については、**図12-1 レジスタ・ファイルの一覧**を参照してください。

SETn	: フラグに “ 1 ” をセット
CLRn	: フラグを “ 0 ” にクリア
SKTn	: フラグがすべて “ 1 ” であればスキップ
SKFn	: フラグがすべて “ 0 ” であればスキップ
NOTn	: フラグを反転
INITFLG	: フラグをイニシャライズ
INITFLGX	: フラグをイニシャライズ

### 2.5.3 レジスタ・ファイル使用時の注意

レジスタ・ファイルを使用する場合は、次に示すような注意が必要です。詳細については **μ PD172×× サブシリーズ ユーザーズ・マニュアル（U12795J）**を参照してください。

#### （1）コントロール・レジスタ（読み出し専用および未使用レジスタ）操作時

コントロール・レジスタの書き込み専用レジスタ（W）、読み出し専用レジスタ（R）および未使用レジスタを操作するときは、アセンブラ使用時およびインサーキット・エミュレータ使用時に注意が必要です。

##### ・デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。

##### ・アセンブラ使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込みを行う命令に、“エラー”が発生します。

未使用部分を読み出したたり、書き込みを行う命令に、“エラー”が発生します。

##### ・インサーキット・エミュレータ（IE-17K, IE-17K-ET）使用時（パッチ処理などで操作したとき）

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。“エラー”は発生しません。

## (2) レジスタ・ファイルのシンボル定義

17Kシリーズのアセンブラ (RA17K) を使用する上では, “ PEEK WR, rf ” および “ POKE rf, WR ” 命令のオペランド “ rf ” に直接数値でレジスタ・ファイル・アドレスを記述すると, “ エラー ” が発生します。

したがって, レジスタ・ファイルのアドレスをあらかじめシンボルとして定義する必要があります。

コントロール・レジスタのアドレスをシンボル定義する場合は, BANK0のアドレス80H-BFHとして定義してください。ただし, データ・メモリと重なっているレジスタ・ファイル (40H-7FH) は, そのままのアドレスでシンボル定義することができます。

### 3. ポート

#### 3.1 ポート0A (P0A<sub>0</sub>-P0A<sub>3</sub>)

4ビットの入力ポートです。データの読み込みは、ポート・レジスタのP0Aレジスタ (BANK0の70H番地)で行います。プルアップ抵抗付きCMOS入力で、キー・マトリクスのキー・リターン入力として使用できます。

スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されます。

#### 3.2 ポート0B (P0B<sub>0</sub>-P0B<sub>3</sub>)

4ビットの入出力ポートです。1ビット単位で入力または出力ポートを指定できます。入出力の設定はレジスタ・ファイルのP0BBIO (26H番地)で行います。

入力モードではプルアップ抵抗付きCMOS入力で、キー・マトリクスのキー・リターン入力として使用できます。スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ状態が解除されます。

出力モードではN-chオープン・ドレイン出力で、キー・マトリクスのキー・ソースとして使用できます。入力データの読み込みおよび出力データの設定は、P0Bレジスタ (BANK0の71H番地)で行います。また出力モード時の読み込みには、出力ラッチの内容が読み込まれます。

入力モードでは200 k のプルアップ抵抗が付き、出力モードではプルアップ抵抗が切れます。

リセット時は入力ポートとなります。

#### 3.3 ポート0C (P0C<sub>0</sub>-P0C<sub>3</sub>)

4ビットの入出力ポートです。4ビット単位で入力または出力ポートを指定できます (グループI/O)。入出力の設定はレジスタ・ファイルのP0CDGIO (37H番地のビット2)で行います。

入力モードではプルアップ抵抗付きCMOS入力で、キー・マトリクスのキー・リターン入力として使用できます。スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ状態が解除されます。

出力モードではN-chオープン・ドレイン出力で、キー・マトリクスのキー・ソースとして使用できます。入力データの読み込みおよび出力データの設定は、P0Cレジスタ (BANK0の72H番地)で行います。また出力モード時の読み込みには、出力ラッチの内容が読み込まれます。

入力モードでは200 k のプルアップ抵抗が付き、出力モードではプルアップ抵抗が切れます。

リセット時は出力ポートとなり、ロウ・レベル出力します。

#### 3.4 ポート0D (P0D<sub>0</sub>-P0D<sub>3</sub>)

4ビットの入出力ポートです。4ビット単位で入力または出力ポートを指定できます (グループI/O)。入出力の設定はレジスタ・ファイルのP0CDGIO (37H番地のビット3)で行います。

入力モードではプルアップ抵抗付きCMOS入力で、キー・マトリクスのキー・リターン入力として使用できます。スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ状態が解除されます。

出力モードではN-chオープン・ドレイン出力で、キー・マトリクスのキー・ソースとして使用できます。入力データの読み込みおよび出力データの設定は、P0Dレジスタ (BANK0の73H番地)で行います。また出力モード時の読み込みには、出力ラッチの内容が読み込まれます。

入力モードでは200 k のプルアップ抵抗が付き、出力モードではプルアップ抵抗が切れます。

リセット時は出力ポートとなり、ロウ・レベル出力します。

### 3.5 ポート0E (P0E<sub>0</sub>-P0E<sub>3</sub>)

4ビットの入出力ポートです。1ビット単位で入力または出力モード、キー・マトリクスの使用または未使用を指定できます。

入出力の指定は、レジスタ・ファイルのP0EBIO (27H番地)で行います。

キー・マトリクス使用/未使用の指定は、レジスタ・ファイルのP0EKEY (16H番地)で行います。

キー・マトリクス使用時に入力モードにすると、プルアップ抵抗付きのCMOS入力となり、キー・リターン入力として使用できます。少なくとも1本の入力がロウ・レベルとなったときスタンバイ状態を解除します。

キー・マトリクス使用時に出力モードにすると、N-chオープン・ドレイン出力となり、キー・マトリクスの出力として使用できます。

キー・マトリクス未使用時に入力モードに設定すると、CMOS入力となり、プルアップ抵抗の有無を選択できます。プルアップ抵抗の有無は、レジスタ・ファイルのP0EBPU (17H番地)でビット単位で設定できます(プルアップ抵抗ありの場合、出力モードにしてもプルアップ抵抗は切れませんので注意してください)。また、このときスタンバイ状態の解除は行いません。

キー・マトリクス未使用時に出力モードにすると、大電流のCMOS出力となります。

入力データの読み込みおよび出力データの設定は、P0Eレジスタ (BANK0の6FH番地)で行います。また、出力モード時の読み込みには、出力ラッチの内容が読み込まれます。

リセット時には入力ポート(キー・マトリクス未使用/抵抗なし)となります。

### 3.6 ポート1A (P1A<sub>0</sub>-P1A<sub>2</sub>)

3ビットの入出力ポートです。1ビット単位で入力または出力モードを指定できます。

キー・マトリクス使用時に入力モードに設定すると、CMOS入力となり、キー・リターン入力として使用できます。キー・リターン入力として使用する場合は、抵抗の有無の設定とスタンバイ解除条件(ハイまたはロウ・レベル時に解除)の選択ができます。

#### 1. 抵抗ありに設定し、ロウ・レベル時に解除を選択した場合

...プルアップ抵抗が接続され、スタンバイ時に、設定したキーにロウ・レベルを入力されるとスタンバイ状態を解除します

#### 2. 抵抗ありに設定し、ハイ・レベル時に解除を選択した場合

...プルダウン抵抗が接続され、スタンバイ時に設定したキーにハイ・レベルが入力されるとスタンバイ状態を解除します

#### 3. 抵抗なしに設定し、ロウ・レベル時(またはハイ・レベル時)に解除を選択した場合

...抵抗は接続されず、スタンバイ時に、設定したキーにロウ・レベル(またはハイ・レベル)が入力されるとスタンバイ状態を解除します

キー・マトリクス使用時に出力モードにすると、N-chオープン・ドレイン出力となり、キー・マトリクスの出力として使用できます。

キー・マトリクス未使用時に入力モードにすると、CMOS入力となり、1ビット単位で抵抗の有無と抵抗のプルアップ/プルダウンを選択できます。このときスタンバイ状態の解除は行いません。

キー・マトリクス未使用時に出力モードにすると、大電流のCMOS出力となります。

入出力指定は、レジスタ・ファイルのP1ABIO (25H番地)、キー・マトリクス使用/未使用の指定は、レジスタ・ファイルのP1AKEY (06H番地)、抵抗の有無は、レジスタ・ファイルのP1ABPU (07H番地)、スタンバイ解除条件の指定(キー・マトリクス未使用時は、抵抗のプルダウンまたはプルアップの指定)は、レジスタ・ファイルのP1AHL (05H番地)で行います。

入力データの読み込みおよび出力データの設定は、P1Aレジスタ（BANK1の70H番地）で行います。また、出力モード時の読み込みには、出力ラッチの内容が読み込まれます。

リセット時には入力ポート（キー・マトリクス未使用 / 抵抗なし）となります。

### 3.7 ポート1B (P1B<sub>0</sub>)

P1B<sub>0</sub>端子とINT端子は兼用しています。P1B<sub>0</sub>端子として使用する場合は、レジスタ・ファイルのINTSEL（1FH番地のビット1）に0を設定してください。

P1B<sub>0</sub>端子は1ビットの入力ポートで、CMOS入力です。

キー・マトリクス使用時は、キー・リターン入力として使用できます。このとき、抵抗の有無の設定およびスタンバイ解除条件（ハイまたはロウ・レベル時に解除）の選択ができます。

1. 抵抗ありに設定し、ロウ・レベル時に解除を選択した場合

...プルアップ抵抗が接続され、スタンバイ時に、P1B<sub>0</sub>にロウ・レベルが入力されるとスタンバイ状態を解除します

2. 抵抗ありに設定し、ハイ・レベル時に解除を選択した場合

...プルダウン抵抗が接続され、スタンバイ時に、P1B<sub>0</sub>にハイ・レベルが入力されるとスタンバイ状態を解除します

3. 抵抗なしに設定し、ロウ・レベル時（またはハイ・レベル時）に解除を選択した場合

...抵抗は接続されず、スタンバイ時に、P1B<sub>0</sub>にロウ・レベル（またはハイ・レベル）が入力されるとスタンバイ状態を解除します

キー・マトリクス未使用時は、抵抗の有無と抵抗のプルアップ / プルダウンを選択できます。このときスタンバイ状態の解除は行いません。

抵抗の有無は、レジスタ・ファイルのP1BPU0（05H番地のビット0）、キー・マトリクス使用 / 未使用の指定は、レジスタ・ファイルのP1BKEY0（05H番地のビット1）、スタンバイ条件の指定（キー・マトリクス未使用時は、抵抗のプルダウンまたはプルアップの指定）は、レジスタ・ファイルのP1BHL0（05H番地のビット2）で行います。

入力データの読み込みは、P1Bレジスタ（BANK1の71H番地）で行います。

リセット時にはP1B<sub>0</sub>端子が選択され、入力ポート（キー・マトリクス未使用 / 抵抗なし）となります。

3.8 INT端子

INT端子とP1B<sub>0</sub>端子は兼用しています。INT端子として使用する場合は、レジスタ・ファイルのINTSEL（1FH番地のビット1）に1を設定してください。

INT端子は、外部割り込み要求信号の入力です。入力信号の立ち上がりまたは立ち下がりエッジにより、IRQフラグ（RF：3EH番地のビット0）をセットします。

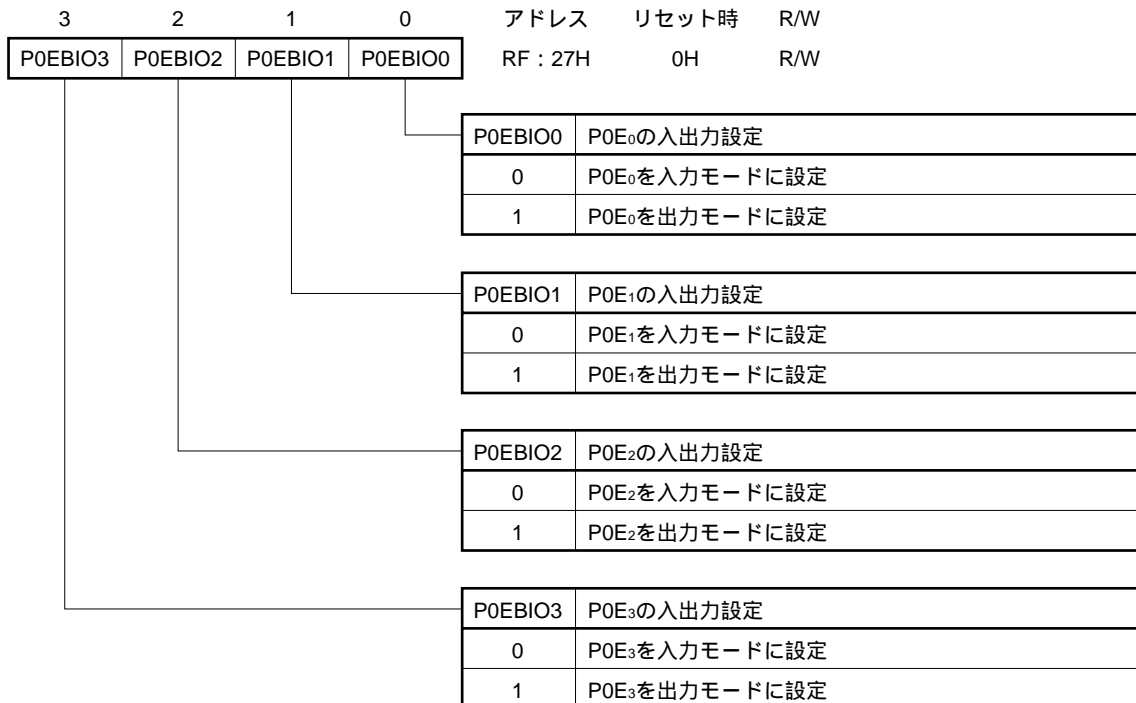
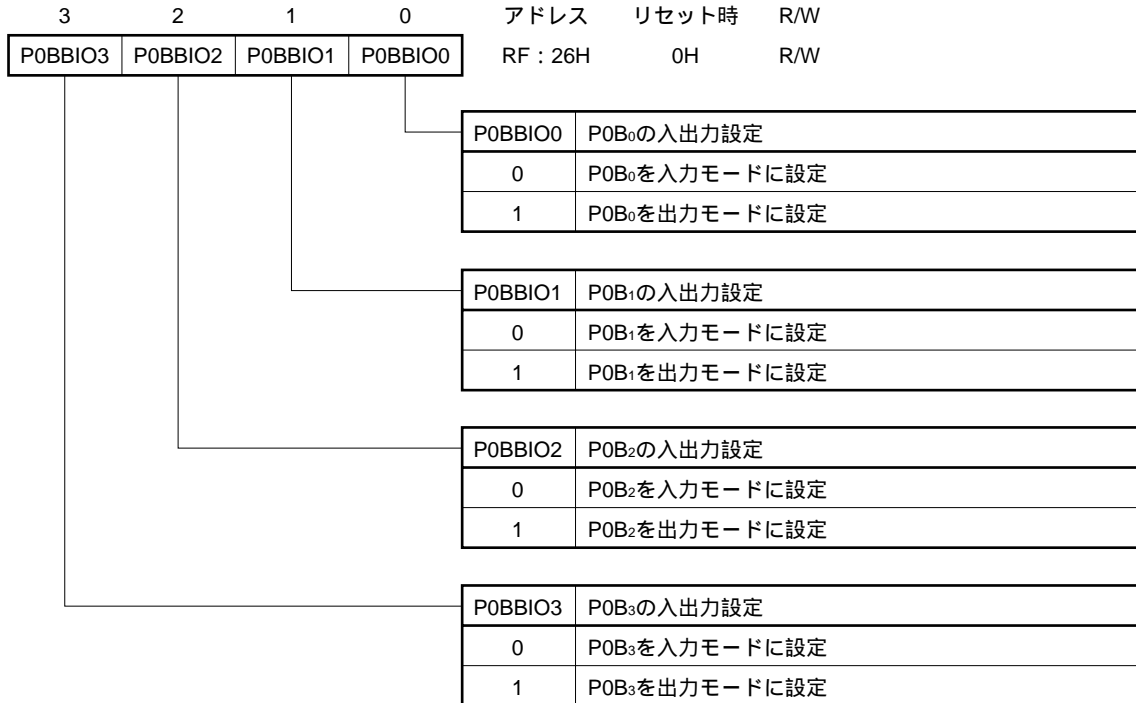
INTフラグ（RF：0FH番地のビット0）により端子の状態を読むことができます。INT端子にハイ・レベルが入力されているときはINTフラグが“1”に、ロウ・レベルが入力されているときには、“0”になります（8.2.1 INT参照）

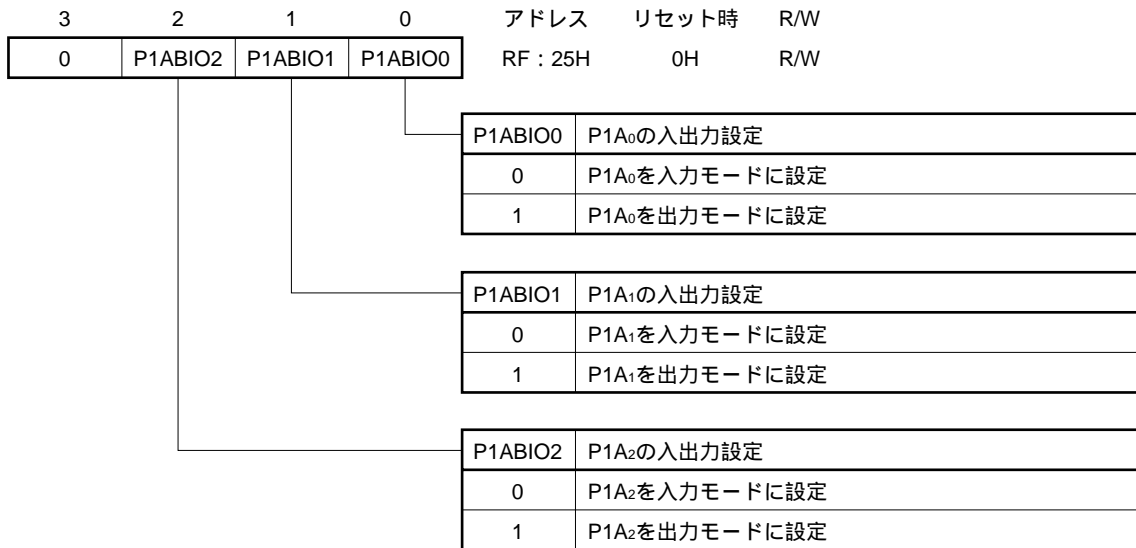
表3-1 ポート・レジスタと各端子の関係

バンク	アドレス	対象ポート	ビット	出力形式	読み出し時の内容		書き込み時の内容		リセット時		
					入力モード時	出力モード時	入力モード時	出力モード時			
0	70H	ポート0A	b <sub>3</sub>	P0A3	入力専用	端子の状態	-	-	-	入力モード (プルアップ抵抗あり)	
			b <sub>2</sub>	P0A2							
			b <sub>1</sub>	P0A1							
			b <sub>0</sub>	P0A0							
	71H	ポート0B	b <sub>3</sub>	P0B3	N-ch オープン・ ドレイン		出力ラッチ	出力ラッチ	出力ラッチ		
			b <sub>2</sub>	P0B2							
			b <sub>1</sub>	P0B1							
			b <sub>0</sub>	P0B0							
	72H	ポート0C	b <sub>3</sub>	P0C3							出力モード (ロウ・レベル出力)
			b <sub>2</sub>	P0C2							
			b <sub>1</sub>	P0C1							
			b <sub>0</sub>	P0C0							
	73H	ポート0D	b <sub>3</sub>	P0D3							
			b <sub>2</sub>	P0D2							
			b <sub>1</sub>	P0D1							
			b <sub>0</sub>	P0D0							
6FH	ポート0E	b <sub>3</sub>	P0E3	COMS ブッシュブル またはN-ch オープン・ドレイン					入力モード (キー・マトリクス未 使用 / プルアップ抵抗 なし)		
		b <sub>2</sub>	P0E2								
		b <sub>1</sub>	P0E1								
		b <sub>0</sub>	P0E0								
1	70H	ポート1A	b <sub>2</sub>	P1A2	COMS ブッシュブル またはN-ch オープン・ドレイン					入力モード (キー・マトリクス未 使用 / 抵抗なし)	
			b <sub>1</sub>	P1A1							
			b <sub>0</sub>	P1A0							
71H	ポート1B	b <sub>0</sub>	P1B0	入力専用					入力モード (キー・マトリクス未 使用 / 抵抗なし)		

3.9 ビットI/O入出力切り替え (ポート0B, 0E, 1A)

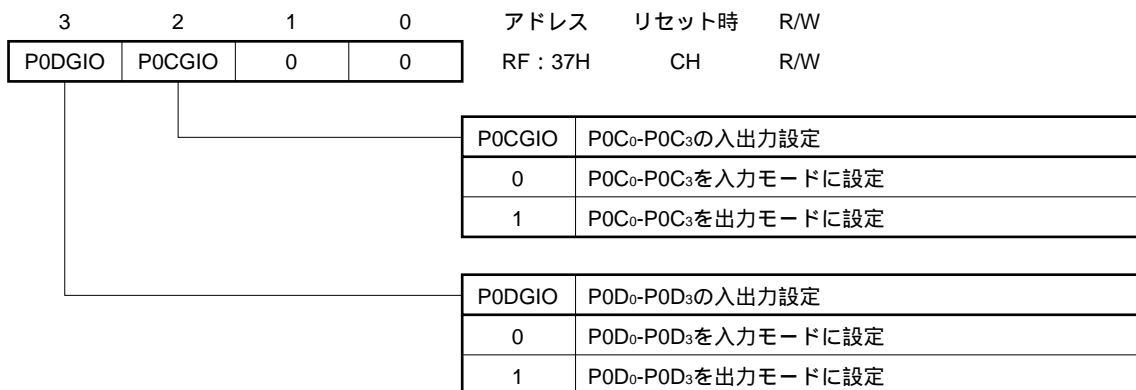
1ビット単位で入出力を切り替えるI/OをビットI/Oといいます。ビットI/OのポートとしてP0B, P0E, P1Aがあり、これらの入出力状態の切り替えは、次に示すレジスタ・ファイルで行います。入力モードから出力モードに設定変更した場合、設定変更と同時にP0B, P0E, P1Aの出力ラッチの内容がそれぞれのポートに出力されます。





### 3.10 グループI/O入出力切り替え（ポート0C, 0D）

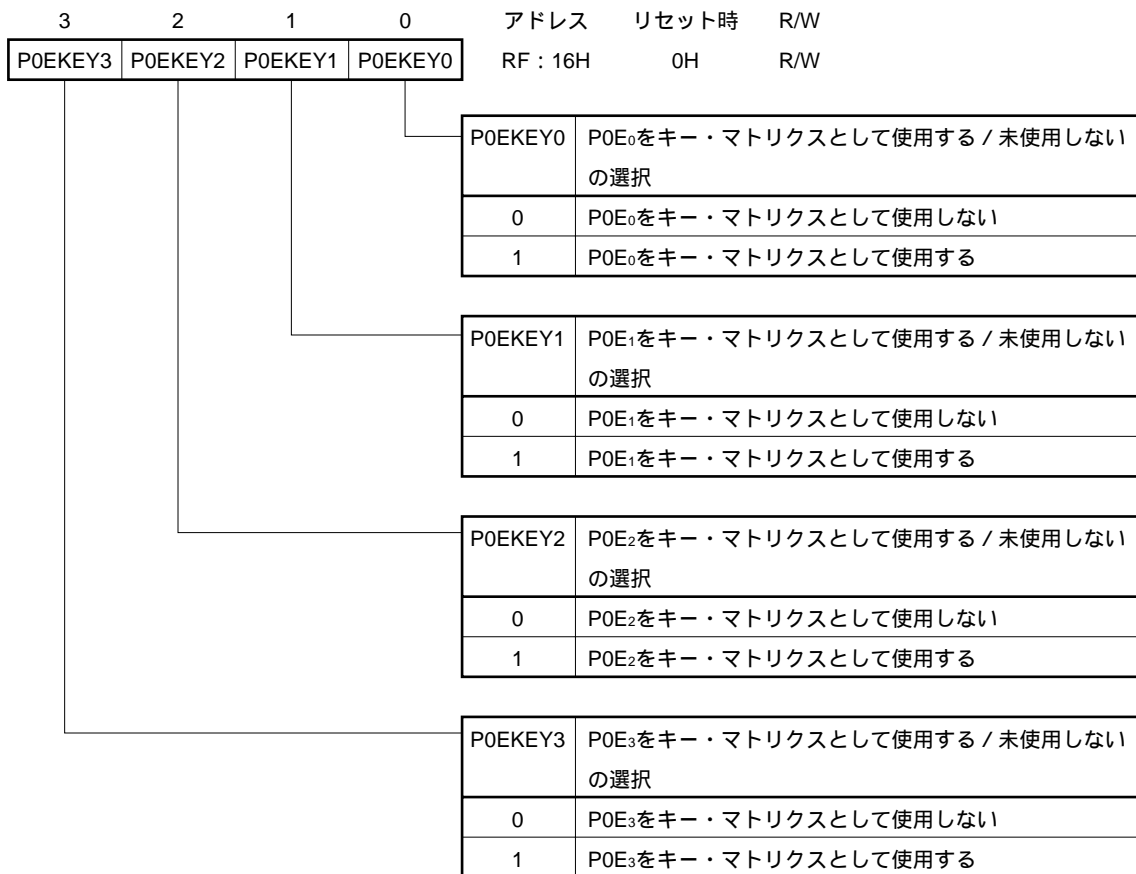
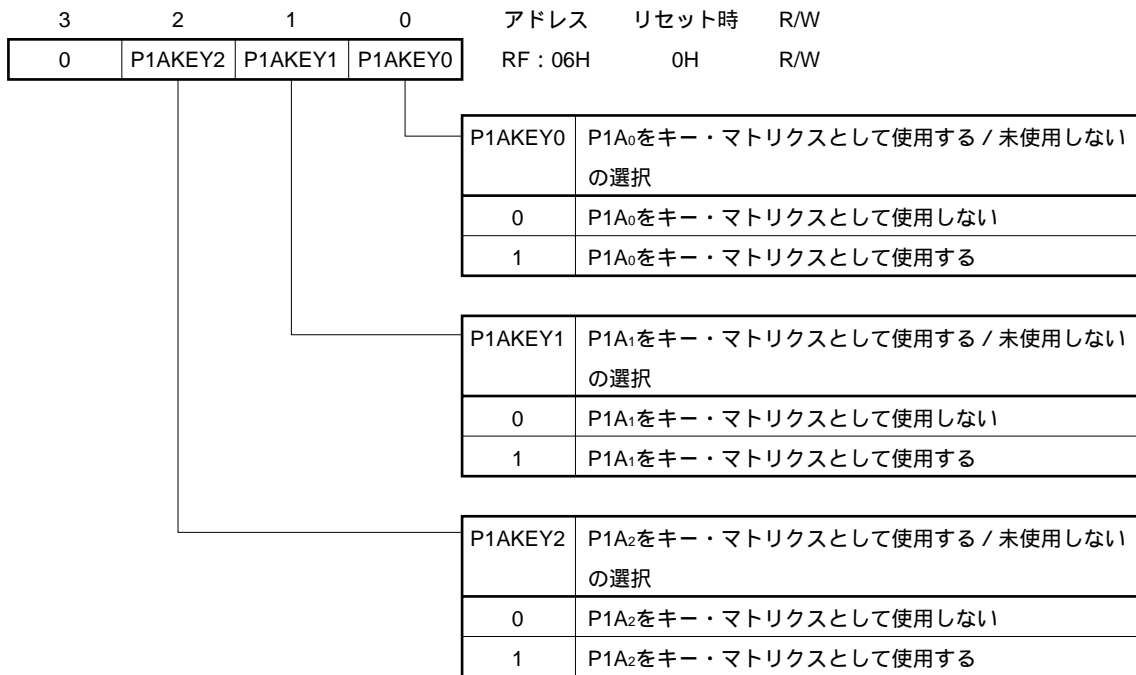
4ビット単位で入出力を切り替えるI/OをグループI/Oといいます。グループI/OのポートとしてP0C, P0Dがあり、これらの入出力状態の切り替えは、次に示すレジスタ・ファイルで行います。入力モードから出力モードに設定変更をした場合、設定変更と同時にポート・レジスタの内容がそれぞれのポートに出力されます。





3.11 キー・マトリクス使用/未使用の選択 (ポート0E, 1A)

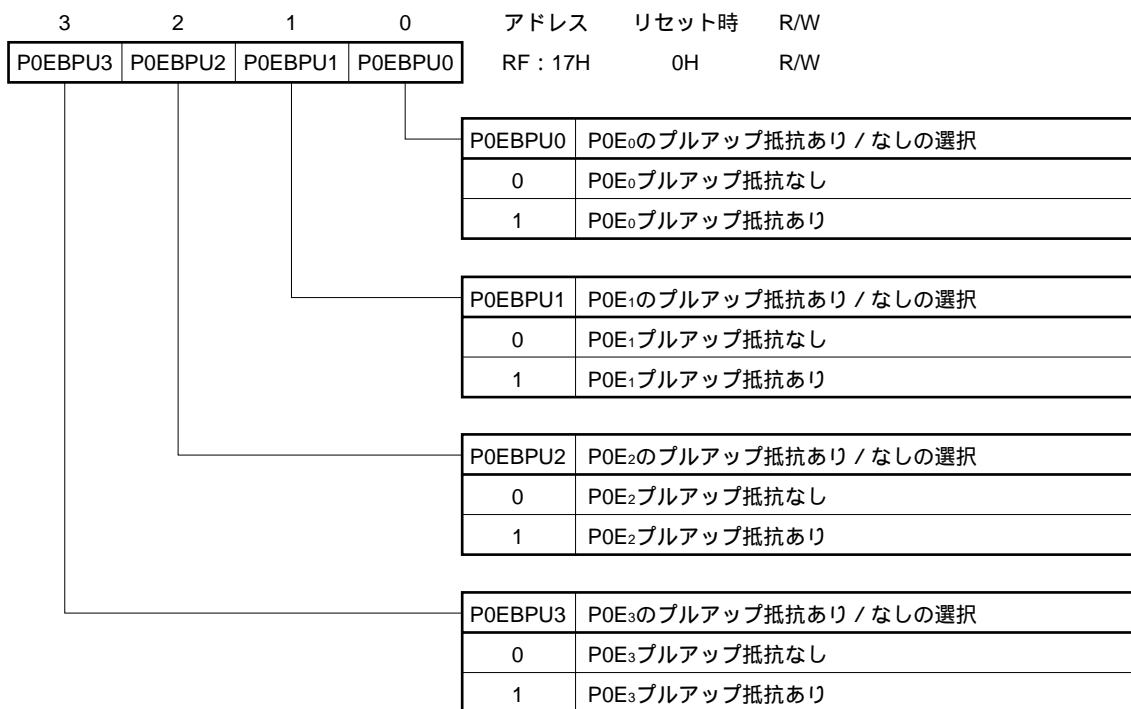
P0E, P1Aはキー・マトリクスとして使用する/使用しないの選択を, 次のレジスタ・ファイルによりビット単位で設定できます。



3.12 抵抗（あり/なし）の選択（ポート0E, 1A）

（1）ポート0E

P0Eのポートは、キー・マトリクス未使用時にプルアップ抵抗を付加する/しないの選択を、次のレジスタ・ファイルによりビット単位で設定することができます注。

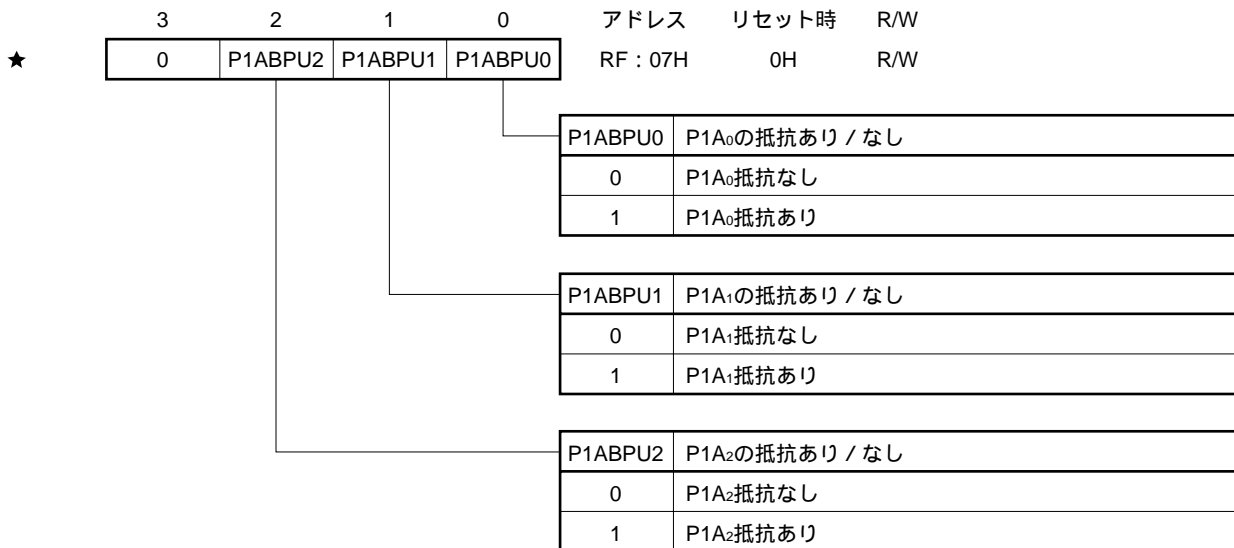


注 出力モード時においても、プルアップ抵抗なしにする場合はP0EBPUレジスタの該当ビットをクリアしてください。

(2) ポート1A

P1Aのポートは、キー・マトリクス未使用時に抵抗を付加する / しないの選択を、次のレジスタ・ファイルによりビット単位で設定することができます注。

抵抗を付加する場合、レジスタ・ファイルのP1AHL (05H番地) にてプルダウンまたはプルアップを選択してください。



注 出力モード時においても、抵抗なしにする場合はP1ABPUレジスタの該当ビットをクリアしてください。

3.13 スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗の選択 (ポート1A)

P1Aは、スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗<sup>注</sup>の選択を、次のレジスタ・ファイルによりビット単位で設定することができます。

★ 注 抵抗を付加する / しないの選択は、レジスタ・ファイルのP1ABPUの (07H番地)で行ってください。

(1) キー・マトリクス使用時 (P1AKEYn = 1)

3	2	1	0	アドレス	リセット時	R/W
0	P1AHL2	P1AHL1	P1AHL0	RF : 05H	0H	R/W

P1AHL0	P1A <sub>0</sub> のプルダウン抵抗 / プルアップ抵抗およびスタンバイ解除条件の選択	
	抵抗あり (P1ABPU0 = 1)	抵抗なし (P1ABPU0 = 0)
	0	プルアップ抵抗 スタンバイ時に、ロウ・レベルが入力されると解除
	1	プルダウン抵抗 スタンバイ時に、ハイ・レベルが入力されると解除

P1AHL1	P1A <sub>1</sub> のプルダウン抵抗 / プルアップ抵抗およびスタンバイ解除条件の選択	
	抵抗あり (P1ABPU1 = 1)	抵抗なし (P1ABPU1 = 0)
	0	プルアップ抵抗 スタンバイ時に、ロウ・レベルが入力されると解除
	1	プルダウン抵抗 スタンバイ時に、ハイ・レベルが入力されると解除

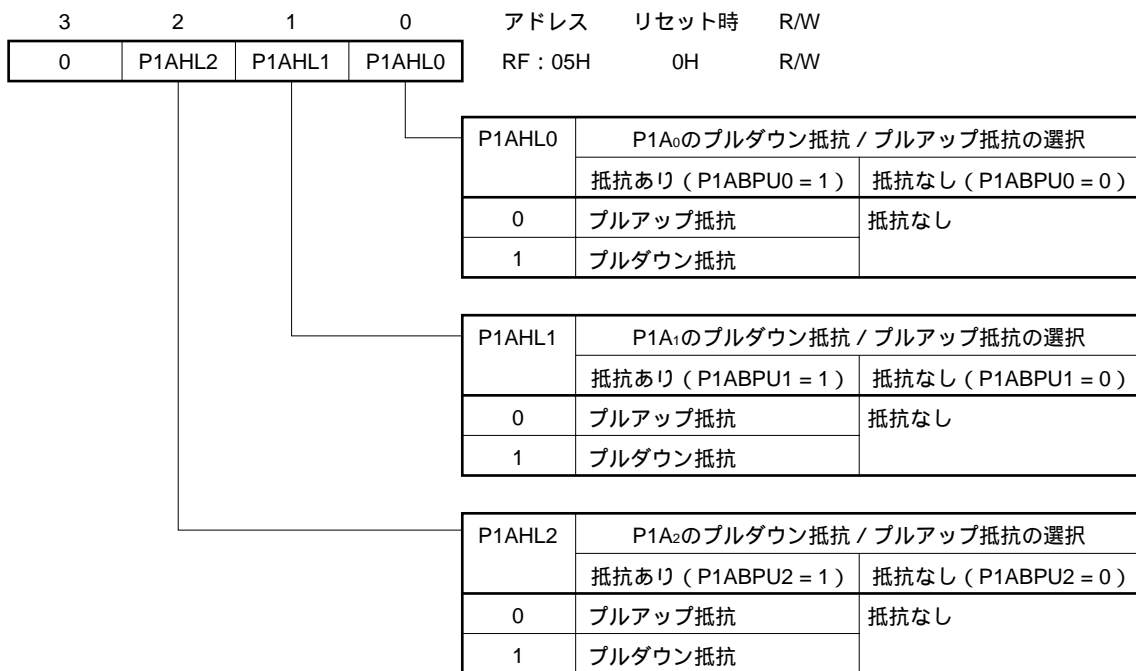
  

P1AHL2	P1A <sub>2</sub> のプルダウン抵抗 / プルアップ抵抗およびスタンバイ解除条件の選択	
	抵抗あり (P1ABPU2 = 1)	抵抗なし (P1ABPU2 = 0)
	0	プルアップ抵抗 スタンバイ時に、ロウ・レベルが入力されると解除
	1	プルダウン抵抗 スタンバイ時に、ハイ・レベルが入力されると解除

備考 P1AKEY : レジスタ・ファイルの06H番地

★ P1ABPU : レジスタ・ファイルの07H番地  
n = 0-2

(2) キー・マトリクス未使用時 (P1AKEYn = 0)



**注意** キー・マトリクス未使用時に、スタンバイ状態の解除は行いません。

**備考** P1AKEY : レジスタ・ファイルの06H番地

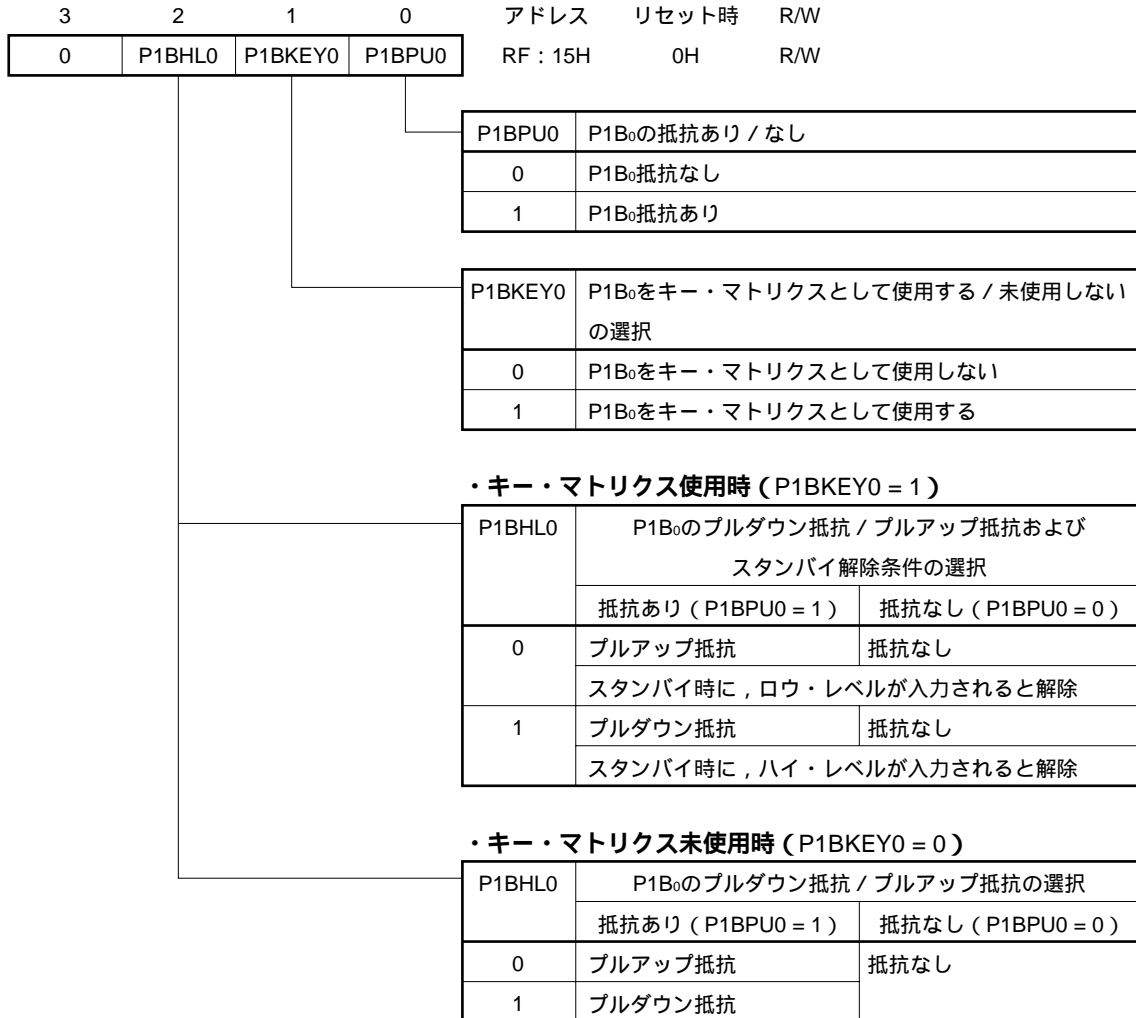
P1ABPU : レジスタ・ファイルの07H番地

n = 0-2

★

3.14 キー・マトリクス使用 / 未使用の選択，スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗の選択（ポート1B）

P1Bは，キー・マトリクスとして使用する / 使用しない，抵抗を付加する / しない，スタンバイ解除条件の選択およびプルダウン抵抗 / プルアップ抵抗の選択を，次のレジスタ・ファイルにより設定することができます。



**注意** キー・マトリクス未使用時に，スタンバイ状態の解除は行いません。

#### 4. クロック発生回路

##### 4.1 命令実行時間 (CPUクロック) の切り替え

μPD17246は、システム・クロック用発振回路を内蔵しており、CPUおよび周辺ハードウェアにクロックを供給しています。また、発振周波数は変更せずに命令実行時間を2段階 (通常モード / 高速モード) に切り替えられます。

命令実行時間の切り替えは、POKE命令でレジスタ・ファイル上のSYSCK (RF: 02H番地) のモードを変更して行います。

なお、実際に切り替えが行われるのはPOKE命令の次の命令からになります。

高速モードに切り替える場合は、電源電圧に注意 (14. 電気的特性を参照) してください。

リセット時は通常モードになります。

3	2	1	0	アドレス	リセット時	R/W
0	0	0	SYSCK	RF: 02H	0H	R/W

SYSCK	命令実行時間の切り替え
0	通常モード 32/f <sub>x</sub> (8 μs)
1	高速モード 16/f <sub>x</sub> (4 μs)

( ) 内の数値はシステム・クロックf<sub>x</sub> = 4 MHzのときの値です。

5.8ビット・タイマ, リモコン・キャリア発生回路

μ PD17246は, おもにリモコン信号のリーダ・パルスの作成やコード出力時に使用する8ビット・タイマを持っています。

5.1 8ビット・タイマ(モジュロ機能付き)の構成

図5-1に8ビット・タイマの構成を示します。

図5-1に示すように, 8ビット・タイマは8ビット・カウンタ(TMC), 8ビット・モジュロ・レジスタ(TMM), タイマとモジュロ・レジスタの値を一致比較するコンパレータおよび8ビット・タイマの動作クロックを選択するセレクタで構成されています。

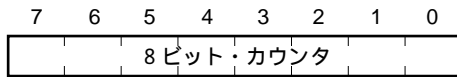
8ビット・タイマのスタート/ストップと8ビット・カウンタのリセット制御は, レジスタ・ファイルのTMEN(33H番地, ビット3)とTMRES(33H番地, ビット2)で行います。8ビット・タイマの動作クロックの選択は, レジスタ・ファイルのTMCK1(33H番地, ビット1), TMCK0(33H番地, ビット0)で行います。

8ビット・カウンタの値の読み取りは, GET命令によりDBF(データ・バッファ)を介して行います。8ビット・カウンタへの値の設定はできません。

モジュロ・レジスタに対する値の設定は, PUT命令によりDBF(データ・バッファ)を介して行います。モジュロ・レジスタの読み取りはできません。

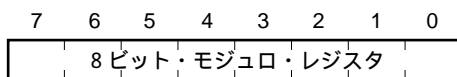
カウンタとモジュロ・レジスタの値が一致した場合, レジスタ・ファイルの割り込み要求フラグ(IRQTM: 3FH番地, ビット0)をセットします。

TMC



アドレス	リセット時	R/W
周辺レジスタ: 05H	00H	R

TMM

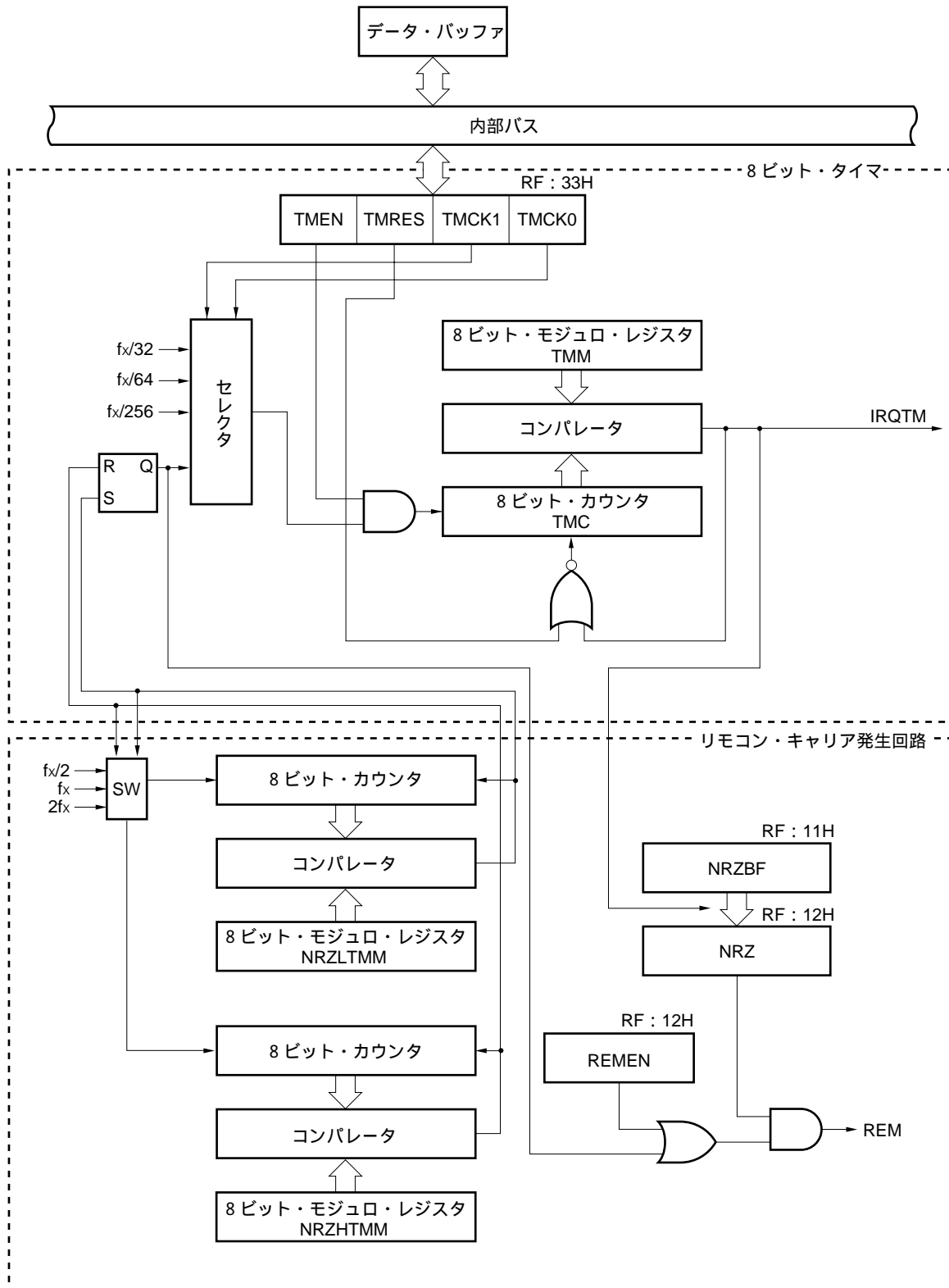


アドレス	リセット時	R/W
周辺レジスタ: 06H	FFH	W

**注意** TMMに0を設定しないでください(IRQTMはセットされません)。



図5 - 1 8ビット・タイマ, リモコン・キャリア発生回路の構成



備考 TMM, TMC, NRZLTMM, NRZHTMMは周辺レジスタです。

5.2 8ビット・タイマ(モジュロ機能付き)の機能

3	2	1	0	アドレス	リセット時	R/W
TMEN	TMRES	TMCK1	TMCK0	RF : 33H	8H <sup>注1</sup>	R/W <sup>注2</sup>

TMCK1	TMCK0	8ビット・タイマ・クロック・ソースの選択
0	0	カウント・クロック : $f_x/32$ (計測時間範囲 : 8 $\mu$ s-2.048 ms , 分解能 : 8 $\mu$ s (誤差 : +8 $\mu$ s))
0	1	カウント・クロック : $f_x/64$ (計測時間範囲 : 16 $\mu$ s-4.096 ms , 分解能 : 16 $\mu$ s (誤差 : +16 $\mu$ s))
1	0	カウント・クロック : $f_x/256$ (計測時間範囲 : 64 $\mu$ s-16.384 ms , 分解能 : 64 $\mu$ s (誤差 : +64 $\mu$ s))
1	1	リモコン・キャリア発生回路出力

( )内の数値はシステム・クロック $f_x = 4$  MHzのときの値です。

TMRES	8ビット・タイマのリセット・フラグ
0	読み出しデータは常に " 0 " になる
1	8ビット・カウンタとIRQTMをリセットする

TMEN	8ビット・タイマのカウント許可フラグ
0	8ビット・タイマのカウントを停止する
1	8ビット・タイマのカウントを開始する(立ち下がりエッジ)

注1 . STOPモード解除時は必ずビット3がセットされます。

2 . ビット2はWrite Onlyです。

注意 タイマ・カウント中にシステム・クロックを切り替えると、次のようにタイマに誤差が生じます(数値はシステム・クロック $f_x = 4$  MHzのときの値です)。

- ・高速モード 16/ $f_x$  通常モード 32/ $f_x$ ... (設定されたタイマの分解能による誤差) +1.5  $\mu$ s
- ・通常モード 32/ $f_x$  高速モード 16/ $f_x$ ... (設定されたタイマの分解能による誤差) -1.5  $\mu$ s

5.3 リモコン・キャリア発生回路

μ PD17246は、リモコン・キャリア発生回路を内蔵しています。

リモコン・キャリア発生回路は、8ビット・カウンタ、NRZハイ・レベル期間設定用モジュロ・レジスタ (NRZHTMM)、NRZロウ・レベル期間設定用モジュロ・レジスタ (NRZLTMM) で構成されます。ハイ・レベル期間とロウ・レベル期間とをそれぞれ対応するモジュロ・レジスタに設定し、キャリア・デューティ比およびキャリア周波数を決定します。モジュロ・レジスタへの値の設定は、DBFを介して行います。

8ビット・カウンタの入力は、レジスタ・ファイルのREMCK0, REMCK1 (13H番地, ビット0, 1) にて、 $f_x/2$ ,  $f_x$ ,  $2f_x$ のいずれかを選択できます (このキャリア作成用クロックを $Rf_x$ とします)。つまり、4 MHzの発振子で動作している場合の $Rf_x$ は、2 MHz ( $f_x/2$ )、4 MHz ( $f_x$ ) または8 MHz ( $2f_x$ ) が入力クロックになります。

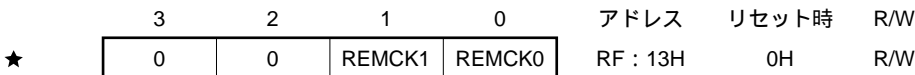
NRZハイ・レベル出力期間設定用モジュロ・レジスタ、およびNRZロウ・レベル期間設定用モジュロ・レジスタのレジスタ名は、それぞれNRZHTMM, NRZLTMMです。これらのレジスタへのデータの書き込みは、PUT命令で、データの読み出しは、GET命令で行います。

また、レジスタ・ファイルのREMEN (12H番地, ビット1) でREM端子からキャリア出力するか、ハイ・レベル出力するかを選択します。キャリア出力する場合は、必ず0にしてください。

NRZLTMM



NRZHTMM



REMCK1	REMCK0	キャリア作成用クロック選択 ( $Rf_x$ )
0	0	$Rf_x = f_x/2$ ( $f_x = 4$ MHz時 $Rf_x = 2$ MHz)
0	1	$Rf_x = f_x$ ( $f_x = 4$ MHz時 $Rf_x = 4$ MHz)
1	0	$Rf_x = 2f_x$ 注 ( $f_x = 4$ MHz時 $Rf_x = 8$ MHz)
1	1	

注  $Rf_x = 2f_x$ は、 $f_x = 3.5 \sim 4.5$  MHz時のみ選択可能です。

### 5.3.1 リモコン信号出力制御

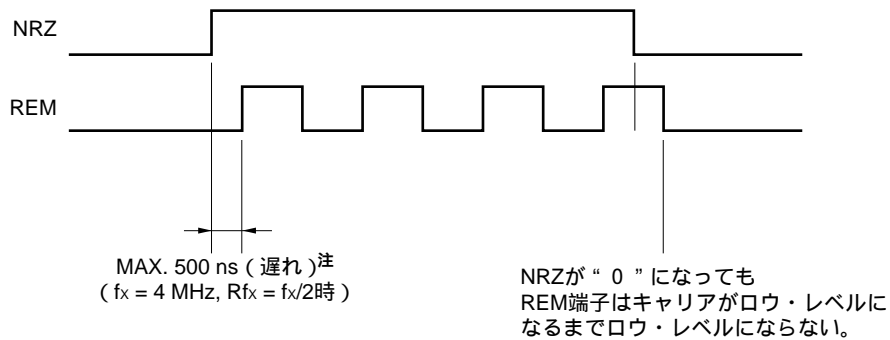
キャリアを出力するREM端子への出力制御は、レジスタ・ファイル上のビットNRZ, NRZBFおよびタイマ0で行います。NRZの内容が“1”の期間は、リモコン・キャリア発生回路で生成されたクロックがREM端子に出力されます。NRZの内容が“0”の期間は、REM端子出力は、ロウ・レベルとなります。また、NRZには、タイマ0により発生するインタラプト信号により、自動的にNRZBFの内容が転送されます。あらかじめ、NRZBFにデータを設定しておくこととタイマ0のカウンタ動作に同期して、REM端子の状態が変化します。

REM端子がハイ・レベルのとき、つまり、NRZが“1”でかつキャリア・クロックがハイ・レベルのときにタイマ0のインタラプト信号が発生した場合は、REM端子の出力は、キャリア・クロックがロウ・レベルになるまで更新されたNRZの内容に従いません。この処理は、出力するキャリアのハイ・レベル・パルス幅を一定にする場合に有効です（次の図参照）。

NRZの内容が“0”の場合は、リモコン・キャリア発生回路は停止します。ただしリモコン・キャリア発生回路の出力をタイマ0のクロックとしている場合は、NRZの内容が“0”となってもクロックは継続して動作します。

実際にREM端子にリモコン信号を出力する例を紹介します。

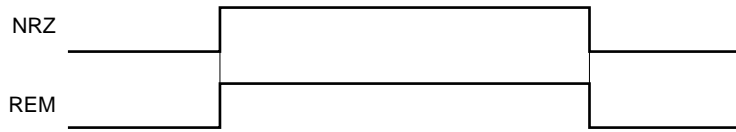
#### レジスタ・ファイルのREMEN (12H番地, ビット1) が0のとき (キャリアあり)



注 (TMCK1, TMCK0) (1, 1) のときの値です。

(TMCK1, TMCK0) = (1, 1) のときは、値はNRZの操作によって異なります。ビットNRZを命令でセットした場合、1発目のハイ・レベル・パルス幅は短くなる場合があります。またNRZBFからの転送によりセットした場合は、キャリア・クロックのロウ・レベル・パルス幅分遅れます。

レジスタ・ファイルのREMEN (12H番地, ビット1) が1のとき (キャリアなし)



3	2	1	0	アドレス	リセット時	R/W
0	0	REMEN	NRZ	RF : 12H	0H	R/W

REMEN	NRZ	NRZデータ
0	0	REM端子にロウ・レベル出力
0	1	REM端子にキャリア出力
1	0	REM端子にロウ・レベル出力
1	1	REM端子にハイ・レベル出力

3	2	1	0	アドレス	リセット時	R/W
0	0	0	NRZBF	RF : 11H	0H	R/W

NRZBF	次に出力するNRZデータ
0	NRZのパッファ用ビット。タイマ0のインタラプト信号によりNRZへ転送される。
1	

キャリア周波数とデューティ比の設定方法

システム・クロックの周波数を $f_x$ ，キャリア周波数を $f_c$ ，キャリア作成クロックを $Rf_x$ とします。

- ・  $Rf_x = f_x/2$ の場合 :  $\ell$  (分周比) =  $f_x / (2 \times f_c)$
- ・  $Rf_x = f_x$ の場合 :  $\ell$  (分周比) =  $f_x/f_c$
- ・  $Rf_x = 2f_x$ の場合 :  $\ell$  (分周比) =  $2f_x/f_c$

$\ell$  をデューティ比  $m : n$  に分けて、次のようにモジュロ・レジスタに値を設定します。

$$\text{ハイ・レベル期間設定値} = \{ \ell \times m / (m+n) \} - 1$$

$$\text{ロウ・レベル期間設定値} = \{ \ell \times n / (m+n) \} - 1$$

例  $f_c = 38 \text{ kHz}$ ，デューティ比 (ハイ・レベル期間)  $1/3$ ， $f_x = 4 \text{ MHz}$ ， $Rf_x = 2f_x$  のとき

$$\ell = 2 \times 4 \text{ MHz} / 38 \text{ kHz} = 210.5$$

$$m : n = 1 : 2$$

以上より、モジュロ・レジスタ値は

ハイ・レベル期間 69

ロウ・レベル期間 139となりキャリア周波数は38.10 kHzとなる。

表 5 - 1 キャリア周波数一覧

( 1 )  $f_x = 4 \text{ MHz}$ ， $Rf_x = f_x/2$  の場合

設定値		$t_H (\mu s)$	$t_L (\mu s)$	$1/f_c (\mu s)$	$f_c (\text{kHz})$	デューティ
NRZHTMM	NRZLTMM					
00H	00H	0.5	0.5	1.0	1000	1/2
01H	02H	1.0	1.5	2.5	400	2/5
04H	04H	2.5	2.5	5.0	200	1/2
09H	09H	5.0	5.0	10.0	100	1/2
0FH	10H	8.0	8.5	16.5	60.6	1/2
0FH	21H	8.0	17.0	25.0	40.0	1/3
11H	21H	9.0	17.0	26.0	38.5	1/3
11H	22H	9.0	17.5	26.5	37.7	1/3
19H	35H	13.0	27.0	40.0	25.0	1/3
3FH	3FH	32.0	32.0	64.0	15.6	1/2
7FH	7FH	64.0	64.0	128.0	7.8	1/2
★ FFH	FFH	128.0	128.0	256.0	3.9	1/2

( 2 )  $f_x = 4 \text{ MHz}$ ,  $Rf_x = f_x$  (原発振) の場合

設定値		$t_H (\mu s)$	$t_L (\mu s)$	$1/f_c (\mu s)$	$f_c (\text{kHz})$	デューティ
NRZHTMM	NRZLTMM					
00H	00H	0.25	0.25	0.5	2000	1/2
01H	02H	0.5	0.75	1.25	800	2/5
04H	04H	1.25	1.25	2.5	400	1/2
09H	09H	2.5	2.5	5.0	200	1/2
0FH	10H	4.0	4.25	8.25	121	1/2
0FH	21H	4.0	8.5	12.5	80	1/3
11H	21H	4.5	8.5	13.0	76.9	1/3
11H	22H	4.5	8.75	13.25	75.47	1/3
19H	35H	6.5	13.5	20.0	50	1/3
3FH	3FH	16.0	16.0	32.0	31.25	1/2
7FH	7FH	32.0	32.0	64.0	15.6	1/2
FFH	FFH	64.0	64.0	128.0	7.8	1/2

★

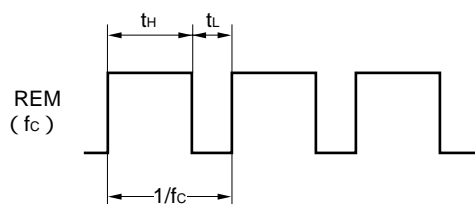
( 3 )  $f_x = 4 \text{ MHz}$ ,  $Rf_x = 2f_x$  の場合

設定値		$t_H (\mu s)$	$t_L (\mu s)$	$1/f_c (\mu s)$	$f_c (\text{kHz})$	デューティ
NRZHTMM	NRZLTMM					
00H	00H	0.125	0.125	0.25	4000	1/2
07H	0BH	1.0	1.5	2.5	400	2/5
13H	13H	2.5	2.5	5.0	200	1/2
27H	27H	5.0	5.0	10	100	1/2
41H	41H	8.25	8.25	16.5	60.6	1/2
41H	85H	8.25	16.75	25	40	1/3
★ 45H	89H	8.75	17.25	26.0	38.5	1/3
★ 45H	8BH	8.75	17.5	26.25	38.10	1/3
★ 69H	D5H	13.25	26.75	40.0	25	1/3
C7H	C7H	25.0	25.0	50.0	20	1/2
FFH	FFH	32.0	32.0	64.0	15.6	1/2

★

★

★



5.3.2 送信（キャリア出力）時のノイズ対策

リモコン送信機として送信したとき、赤外線LEDには、ピーク電流で0.5~1 A程度流れることが考えられます。リモコン送信機の電源には、通常乾電池2個を使用しているため、図5-2のように電源部は等価的に数 の抵抗 ( r ) が存在していることとなります。この抵抗値は、電源電圧が2 Vまで低下した場合、10-20 となります。そのため、REM端子からキャリア出力（赤外線LED発光）中の際は、電源電圧の変動、特にスイッチング時に高周波成分のノイズが、電源ラインに発生します。

したがって、マイコンへの影響を極力抑えるためには、次の点にご注意ください。

マイコンへの電源ラインと、赤外線LEDの電源ラインを乾電池の端子を中心に分離する。また、電源ラインは太く短く配線する。

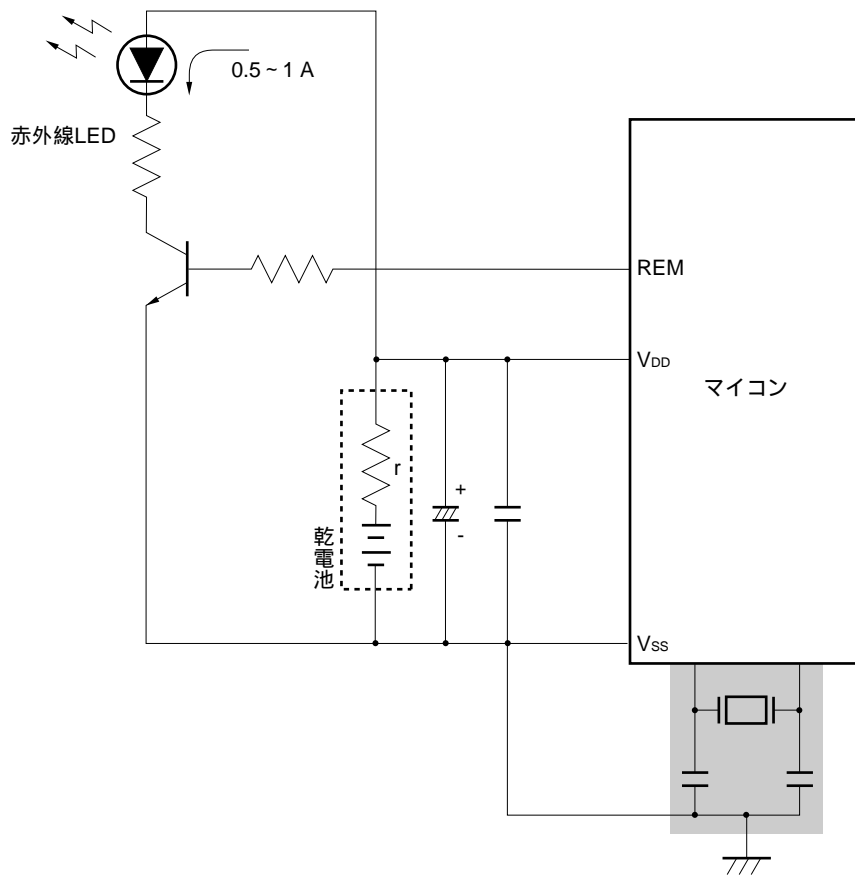
発振子はできるだけマイコンに近づけ、GNDラインでシールドする（図中の ■ の部分）。

電源安定用のコンデンサは、マイコンの電源ラインの近くに配置する。また、高周波ノイズ除去用のコンデンサも配置する。

キャリア出力中は、データが変わるのを防ぐために、キー・スキャンなどのデータのリード/ライト処理およびスタックを必要とする割り込み、CALL/RET命令などを極力行わない。

暴走に対する信頼性を高めるために、ウォッチドッグ・タイマを使用する。

図5-2 ノイズ対策例





## 6 . ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ

ベーシック・インターバル・タイマは、インターバル・タイマ割り込み信号およびウォッチドッグ・タイマリセット信号を発生する機能を持っています。

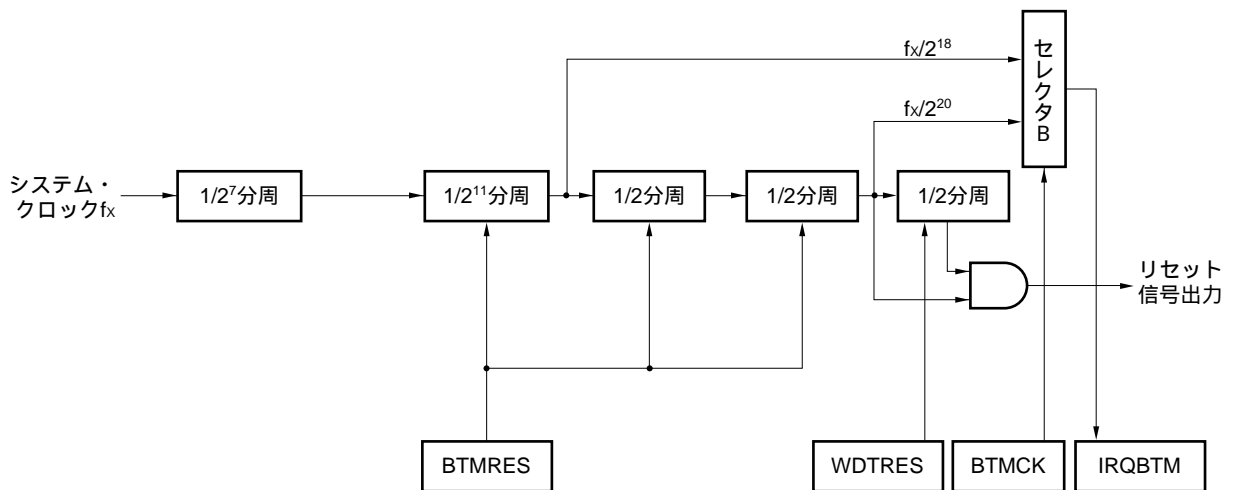
### 6.1 ベーシック・インターバル・タイマのソース・クロック

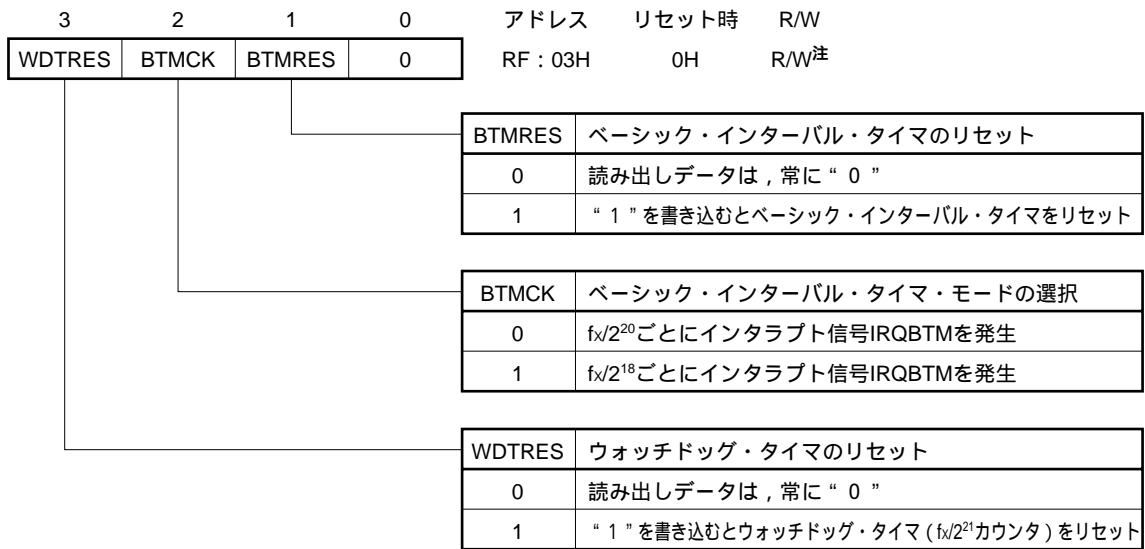
ベーシック・インターバル・タイマのソース・クロックとして、システム・クロック ( $f_x$ ) の分周出力を使用します。ベーシック・インターバル・タイマへの入力クロック周波数は、 $f_x/2^7$ となります。CPUがSTOPモードになるとベーシック・インターバル・タイマの動作も停止します。

### 6.2 ベーシック・インターバル・タイマの制御

ベーシック・インターバル・タイマの制御はレジスタ・ファイル上のビットを使用して行います。ベーシック・インターバル・タイマのリセットにはBTMRESを、ベーシック・インターバル・タイマより出力されるインタラプト信号の周波数選択にはBTMCKを、ウォッチドッグ・タイマのリセットにはWDTRESを使用します。

図 6 - 1 ベーシック・インターバル・タイマの構成





注 ビット1 , ビット3 はWrite Onlyです。

### 6.3 ウォッチドッグ・タイマの動作タイミング

ベーシック・インターバル・タイマは、ウォッチドッグ・タイマとしても使用できます。

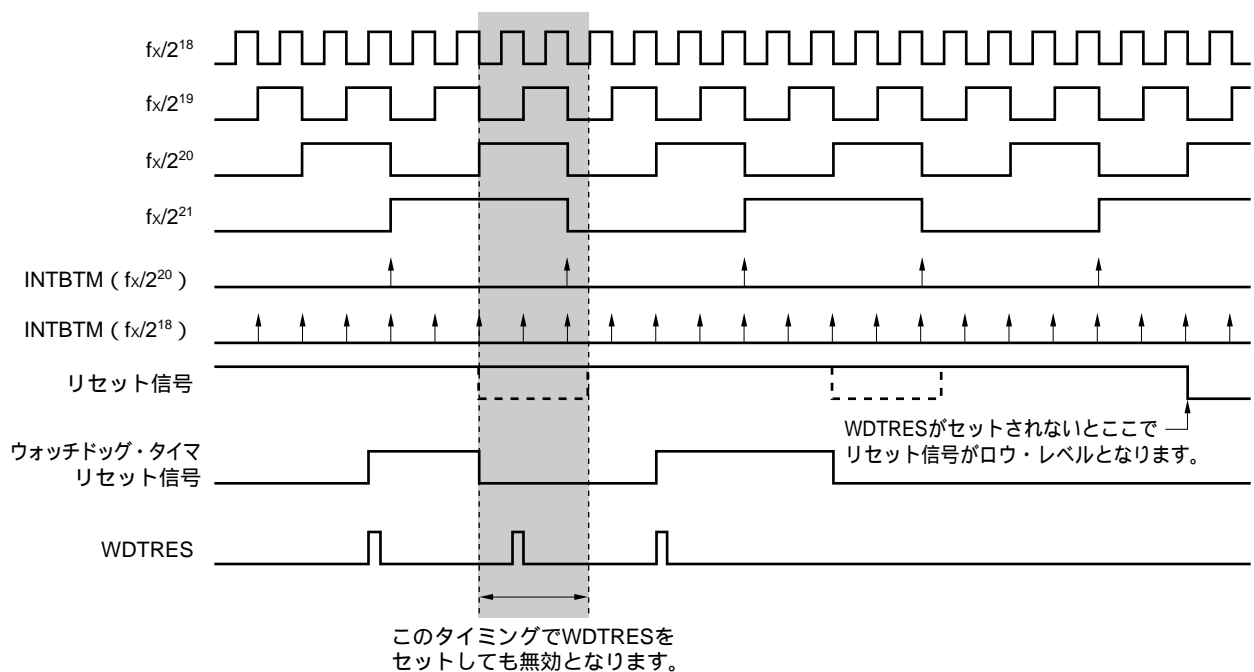
ウォッチドッグ・タイマは、一定時間内<sup>注</sup>でリセットしないと“プログラムが暴走している”と判断し、μPD17246をリセットします。したがって、プログラムでは一定の時間内にウォッチドッグ・タイマをリセットする必要があります。

ウォッチドッグ・タイマは、WDTRESを“1”にセットすることでリセットします。

注 一定時間：約340 ms (4 MHz動作時)

注意 ウォッチドッグ・タイマは、図6-2に示す  の範囲ではリセットできません。したがって、WDTRESは $f_x/2^{21}$ 信号と $f_x/2^{20}$ 信号がともにハイ・レベルになる前にセットしてください。

図6-2 ウォッチドッグ・タイマの動作タイミング



## 7 . RAM保持検出回路

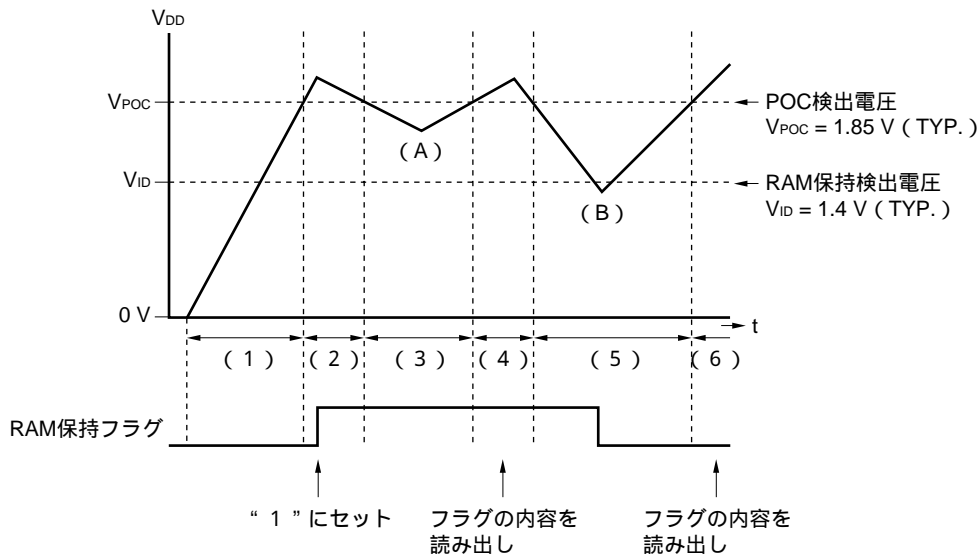
### 7.1 RAM保持フラグ

RAM保持フラグ（レジスタ・ファイル21Hのビット0）は、電池交換時および電池電圧低下時などに、RAMが破壊する電圧レベルに至ったかを判断するフラグです。

RAM保持フラグは、コントロール・レジスタ0（P3）のビット3にあります。

RAM保持フラグは、RAM保持検出電圧（約1.4 V（TYP.））以下になると“0”になります。“0”の場合、RAMが壊れているまたは電源投入後であると判断できます。このフラグにより、ソフトにてRAMの初期化を行う処理が可能となります。RAMを初期化し、RAMに必要なデータを書き込んだあとに、ソフトにてRAM保持フラグを“1”にしてください。このとき、“1”はRAMにデータがセットされたことを意味します

図7 - 1 電源電圧の変移と検出電圧



- (1) 乾電池などをセットしたことにより、電源電圧が上昇し、 $V_{POC}$ （POC検出電圧）を越えたとリセットが解除されます。電源が $V_{ID}$ （RAM保持検出電圧）以下の0Vから上昇するため、RAM保持フラグは初期状態の“0”になります。
- (2) 動作可能電圧です。RAMに必要なデータを書き込み、RAM保持フラグを“1”に設定してください。
- (3) 電源電圧が低下し、 $V_{POC}$ 以下になると、リセットがかかります。（A）点は $V_{ID}$ よりも電圧が高いため、RAM保持フラグの状態は“1”のままです。
- (4) リセット解除後、ソフトにてRAM保持フラグを確認した場合、RAM保持フラグが“1”となっているため、RAMは壊れていないと判断ができます。ソフトにてRAMの初期化を行う必要はありません。
- (5) 電源電圧が低下し、 $V_{POC}$ 以下になると、リセットがかかります。（B）点は $V_{ID}$ よりも電圧が低いため、RAM保持フラグは“1” “0”となります。
- (6) リセット解除後、ソフトにてRAM保持フラグを確認した場合、RAM保持フラグが“0”となっているため、RAMが壊れている可能性があるかと判断できます。ソフトにてRAMの初期化を行ってください。

3	2	1	0
0	0	0	RAMFLAG

アドレス	リセット時	R/W
RF : 21H	不定 <sup>注</sup>	R/W

RAMFLAG	RAM保持フラグ
0	RAMデータが不定の可能性あり
1	RAMデータ保持中

★ 注 V<sub>DD</sub>が約1.4 V以下の場合は “ 0 ” ，約1.4 V以上の場合は “ 不定 ” になります。

## 8 . 割り込み機能

### 8.1 割り込み要因

割り込み要因は、3つあります。

割り込みが受け付けられると、プログラムの流れは、自動的に決められた番地に変わります。このアドレスを、ベクタ・アドレスと呼び、各割り込み要因ごとに表8 - 1のようになっています。

表8 - 1 ベクタ・アドレス

優先順位	割り込み要因	内部 / 外部	ベクタ・アドレス
1	8ビット・タイマ	内部	0004H
2	INT端子の立ち上がり, 立ち下がりエッジ	外部	0003H
3	ベーシック・インターバル・タイマ	内部	0002H

**備考** 0001Hは通常アドレスです。

複数の割り込み要求が同時に発行された場合、優先度の高い割り込み要求から順に受け付けます。

割り込みの受け付けの許可 / 禁止は、EI命令およびDI命令により行います。割り込みを受け付ける基本条件は、EI命令によって割り込み許可状態になっていることです。DI命令実行中または割り込み受け付け中は、割り込み禁止状態になります。

割り込み終了後に再度割り込み受け付けを許可するには、RETI命令の前にEI命令を実行する必要があります。

なお、EI命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI命令とRETI命令の間に割り込みが受け付けられることはありません。

**注意** 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BCD, CMP, CY, Z, IXEの各フラグのみで、最大3レベルまでです。また、割り込み処理の内容において、周辺ハードウェア（タイマ, A/Dコンバータなど）をアクセスする場合には、DBF, WRの内容はハードウェアでは退避されません。したがって、割り込み処理の最初にDBFおよびWRをソフトウェアによりRAM上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

### 8.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

#### (1) 割り込み要求フラグ, 割り込み許可フラグ

割り込み要求フラグ (IRQ x x x) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP x x x) は、各割り込み要求フラグに対応して個別に備わっており、内容が “ 1 ” のとき割り込みを許可し, “ 0 ” のとき禁止します。

(2) EI/DI命令

受け付けた割り込みを実行するかどうかは、EI/DI命令によって指定します。

EI命令を実行すると、割り込みを受け付け可能とするINTE（インタラプト・イネーブル・フラグ）をセット（1）します。INTEフラグは、レジスタ・ファイル上には登録されていません。このため、命令などにより、フラグの状態を確認することはできません。

DI命令はINTEフラグを“0”にクリアして、すべての割り込みを禁止します。

また、リセット時にもINTEフラグはクリア（0）され、すべての割り込みは禁止状態になります。

表 8 - 2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQTM	8ビット・タイマによりセット。	IPTM
IRQ	INT端子入力信号のエッジ検出によりセット。	IP
IRQBTM	ベーシック・インターバル・タイマによりセット。	IPBTM

8.2.1 INT

INT端子の状態を読むフラグです。

INT端子にハイ・レベルが入力されているときは“1”，ロウ・レベルが入力されているときは“0”となります。

3	2	1	0	アドレス	リセット時	R/W
0	0	0	INT	RF : 0FH	不定	R

INT	INT端子のレベル検出
0	INT端子がロウ・レベル
1	INT端子がハイ・レベル

8.2.2 IEG

INT端子の割り込み検出エッジを選択するフラグです。

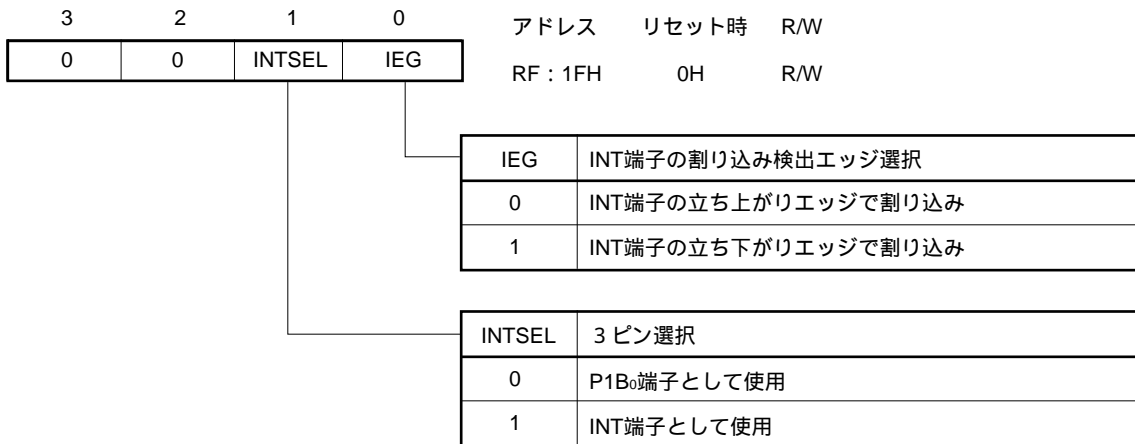
“ 0 ” にすると立ち上がりエッジで割り込みがかかり，“ 1 ” にすると立ち下がりエッジで割り込みがかかります。

8.2.3 INTSEL

3ピンの端子をINT端子として使用するか、P1B<sub>0</sub>端子として使用するかを選択するフラグです。

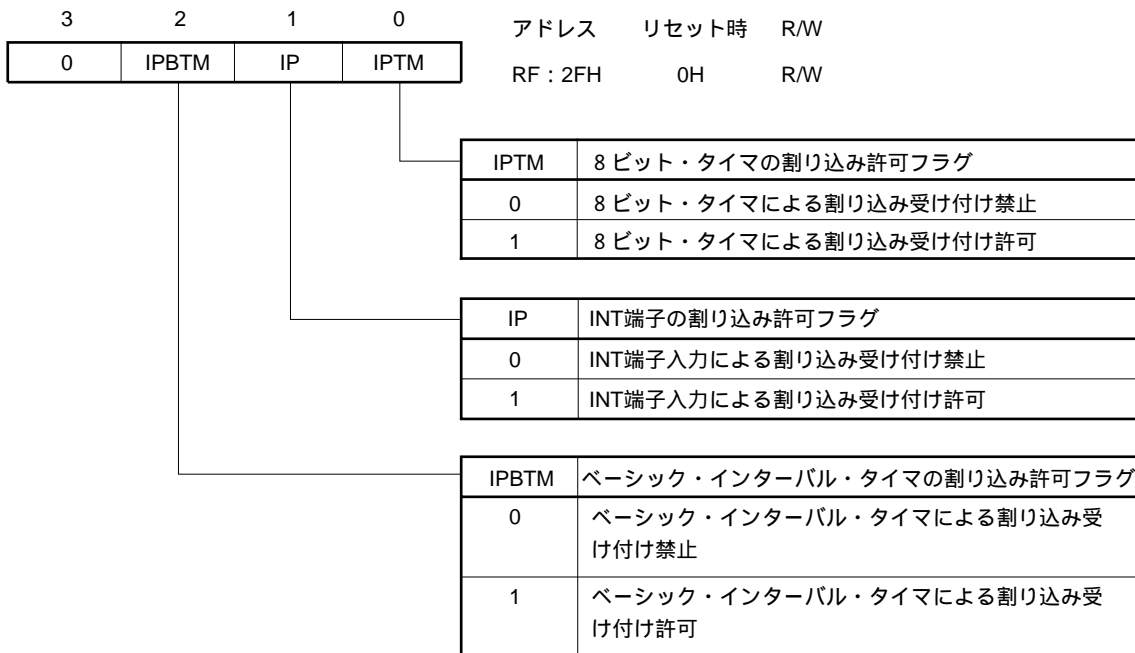
“ 0 ” にするとP1B<sub>0</sub>端子が，“ 1 ” にするとINT端子が選択されます。

リセット時は、P1B<sub>0</sub>端子が選択されます。



8.2.4 割り込み許可フラグ

各割り込み要因ごとの割り込みを許可するフラグです。“ 1 ” にすると割り込みが可能です。“ 0 ” にすると割り込みは、禁止されます。



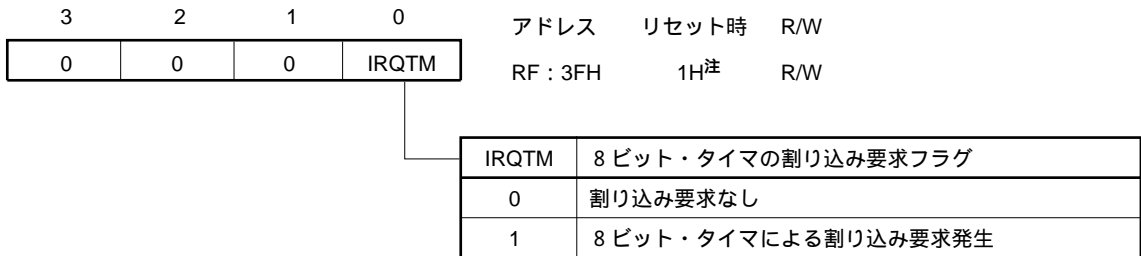
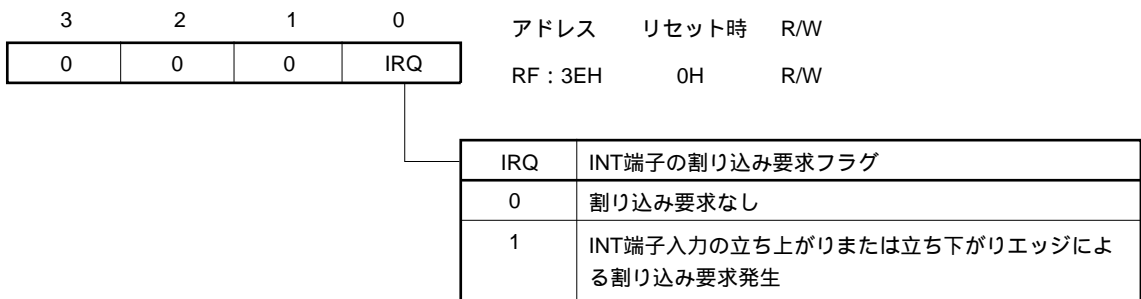
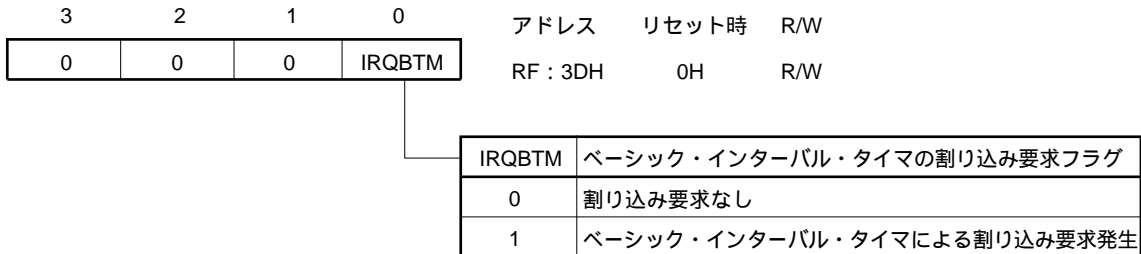


8.2.4 IRQ

割り込み要求状態を示す割り込み要求フラグです。

割り込み要求が発生すると“ 1 ”にセットされます。そして割り込みが受け付けられる（割り込みがかかる）と、割り込み要求フラグは，“ 0 ”にリセットされます。

割り込み要求フラグは、プログラムで読み書きができます。したがって“ 1 ”を書き込むと、ソフトウェアによる割り込みを発生させることができ、“ 0 ”を書き込むことにより、その割り込み保留状態を解除することができます。



注 STOPモード解除後も1Hとなります。

### 8.3 割り込みシーケンス

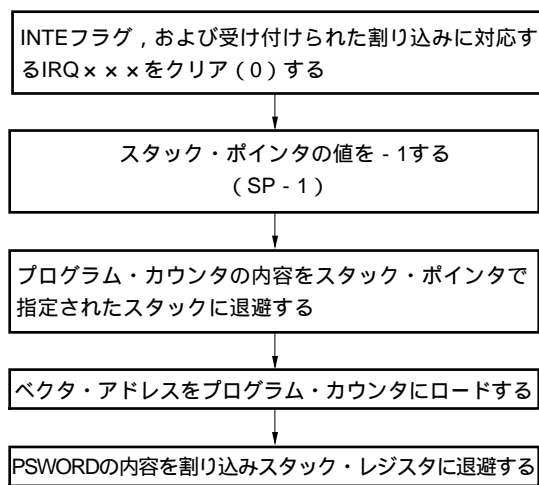
IP × × フラグが “ 1 ” の場合、IRQ × × フラグが “ 1 ” にセットされると IRQ × × フラグがセットされた時点に実行していた命令の命令サイクル終了後に割り込み処理を開始します。MOVT命令、EI命令およびスキップ条件を満たした命令は2命令サイクルで動作するため、この命令実行中の割り込みは第2命令サイクル終了後に処理を開始します。

IP × × フラグが “ 0 ” の場合は、IRQ × × フラグがセットされても IP × × フラグがセットされるまで割り込み処理は行われません。

複数の割り込みが同時に許可される状態になったときは、優先度の高い順に割り込み処理が行われて、優先度の低い割り込み処理は優先度の高い割り込みが終了されるまで保留されます。

#### 8.3.1 割り込み受け付け時の動作

割り込みが受け付けられると、CPUは次の順に処理を行います。

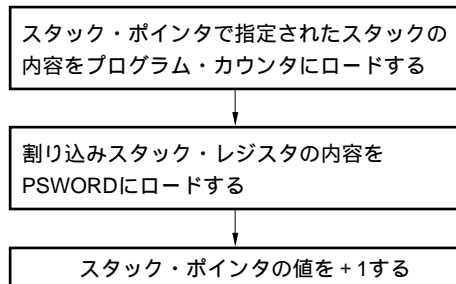


この処理を行うために、1命令サイクルの時間が費やされます。

### 8.3.2 割り込み処理ルーチンからの復帰

割り込みルーチンから復帰するときはRETI命令を実行します。

すると、次の処理が命令サイクル内に行われます。



割り込み終了後に再度割り込み受け付けを許可する場合は、RETI命令を実行する直前にEI命令を実行する必要があります。

なお、EI命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI命令とRETI命令の間に割り込みが受け付けられることはありません。

## 9 . スタンバイ機能

μ PD17246には、スタンバイ機能としてHALTモードとSTOPモードがあります。

スタンバイ機能を使用することにより消費電流を低減することができます。

HALTモードは、システム・クロック $f_x$ を停止させない状態でHALT解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

STOPモードは、システム・クロックを停止させた状態でSTOP解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

HALT命令を実行することによりHALTモードになり、STOP命令を実行することによりSTOPモードになります。

### 9.1 HALTモード

HALTモードは、システム・クロックを発振させた状態でプログラムの実行を一時停止させ、消費電流を抑えるときに使用します。

HALTモードの設定はHALT命令を使用します。

HALTモードの解除条件は、HALT命令のオペランドにより表9 - 1のように指定できます。

HALTモード解除後の動作は表9 - 2および図9 - 1のようになります。

**注意** HALT 8H命令の直前に、割り込み許可フラグ (IP $\times\times\times$ ) がセットされている割り込み要求フラグ (IRQ $\times\times\times$ ) のクリア命令を行わないでください。行くとHALTモードに入らないことがあります。

表9 - 1 HALTモードの解除条件

オペランドの値	解 除 条 件
0010B (02H)	8ビット・タイマの割り込み要求 (IRQTM) が発生したとき
1000B (08H)	割り込み許可フラグ (IPTM, IPBTM, IP) がセットされている割り込みに対し割り込み要求 (IRQTM, IRQBTM, IRQ) が発生したとき P0A <sub>0</sub> -P0A <sub>3</sub> のいずれかの端子がロウ・レベルになったとき P0B <sub>0</sub> -P0B <sub>3</sub> , P0C <sub>0</sub> -P0C <sub>3</sub> , P0D <sub>0</sub> -P0D <sub>3</sub> を入力端子として使用し、いずれかの端子がロウ・レベルになったとき P0E <sub>0</sub> -P0E <sub>3</sub> をキー・マトリクス使用時に入力端子として使用し、いずれかの端子がロウ・レベルになったとき P1A <sub>0</sub> -P1A <sub>2</sub> , P1B <sub>0</sub> をキー・マトリクス使用時に入力端子として使用し、いずれかの端子が設定している解除レベル <sup>注</sup> になったとき
上記以外の値	設定禁止

**注** レジスタ・ファイルの05H番地のビット0-2 (P1AHL0-P1AHL2)、15H番地のビット2 (P1BHL0) で設定してください。

表 9 - 2 HALTモード解除後の動作

( a ) HALT 08Hのとき

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> , P0C <sub>0</sub> -P0C <sub>3</sub> , P0D <sub>0</sub> -P0D <sub>3</sub> , P0E <sub>0</sub> -P0E <sub>3</sub> , P1A <sub>0</sub> -P1A <sub>2</sub> , P1B <sub>0</sub> の解除条件の成立	任意	任意	HALT命令の次の命令から実行する
割り込み要求による解除条件 の成立	DI	禁止	スタンバイ・モードは解除されない
		許可	HALT命令の次の命令から実行する
	EI	禁止	スタンバイ・モードは解除されない
		許可	割り込みのベクタ・アドレスに分岐する

( b ) HALT 02Hのとき

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
8ビット・タイマ	DI	禁止	HALT命令の次の命令から実行する
		許可	
	EI	禁止	割り込みのベクタ・アドレスに分岐する
		許可	

9.2 HALT命令の実行条件

HALT命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっています。この条件を表 9 - 3 に示します。

表 9 - 3 の条件を満足しないときHALT命令はNOP命令として扱われます。

表 9 - 3 HALT命令の実行条件

オペランドの値	実行条件
0010B ( 02H )	8ビット・タイマの割り込み要求フラグ ( IRQTM ) がリセットされていること
1000B ( 08H )	割り込み許可フラグ ( IPTM, IPBTM, IP ) がセットされている割り込みに対する割り込み要求フラグ ( IRQTM, IRQBTM, IRQ ) がリセットされていること P0A <sub>0</sub> -P0A <sub>3</sub> のすべての端子がハイ・レベル入力であること P0B <sub>0</sub> -P0B <sub>3</sub> , P0C <sub>0</sub> -P0C <sub>3</sub> , P0D <sub>0</sub> -P0D <sub>3</sub> を入力端子として使用するとき、すべての端子がハイ・レベル入力であること P0E <sub>0</sub> -P0E <sub>3</sub> をキー・マトリクス使用時に入力端子として使用するとき、すべての端子がハイ・レベル入力であること P1A <sub>0</sub> -P1A <sub>2</sub> , P1B <sub>0</sub> をキー・マトリクス使用時に入力端子として使用するとき、すべての端子が設定している解除レベル <sup>注</sup> と反対のレベルを入力していること (例えば、ハイ・レベル入力で解除と設定している場合の実行条件はロウ・レベル入力)
上記以外の値	設定禁止

注 レジスタ・ファイルの05番地のビット 0 - 2 ( P1AHL0-P1AHL2 ) , 15番地のビット 2 ( P1BHL0 ) で設定してください。

9.3 STOPモード

STOPモードは、システム・クロック (fx) の発振を停止させた状態でプログラムの実行を一時停止させ、消費電流を最小にするときに使用します。

STOPモードの設定はSTOP命令を使用します。

STOPモードの解除条件は、STOP命令のオペランドにより表9 - 4のように指定できます。

STOPモード解除後の動作は次のようになります。

IRQTMのリセット

ベーシック・インターバル・タイマとウォッチドッグ・タイマのスタート (リセットされません)

8ビット・タイマのリセット, スタート

8ビット・カウンタの値がモジュロ・レジスタの値と一致 (IRQTMのセット) したとき、「STOP 8H」の次の命令を実行します。

μ PD17246の発振回路は、STOP命令が実行された場合に発振停止となります (STOPモード)。STOPモードが解除されるまで発振を再開しません。STOPモード解除後はHALTモードとなりますので、モジュロ機能付きタイマによってHALTモード解除の時間を設定します。

割り込み発生によるSTOPモード解除後の動作モードまでの時間を次に示します。

**注意** STOP 8H命令の直前に、割り込み許可フラグ (IP × × ×) がセットされている割り込み要求フラグ (IRQ × × ×) のクリア命令を行わないでください。行くとSTOPモードに入らないことがあります。

8ビット・モジュロ・レジスタ 設定値 (TMM)	STOPモード解除後の動作モードまでの時間
	4 MHz時
40H	4.160 ms (64 μs × 65)
FFH	16.384 ms (64 μs × 256)

**備考** 8ビット・モジュロ・レジスタの設定はSTOP命令を実行する前に行ってください。

**注意** STOPモード解除後の動作モードまでの時間を設定する場合は、発振安定時間を十分とってください。

表9 - 4 STOPモードの解除条件

オペランドの値	解除条件
1000B (08H)	P0A <sub>0</sub> -P0A <sub>3</sub> のいずれかの端子がロウ・レベルになったとき P0B <sub>0</sub> -P0B <sub>3</sub> , P0C <sub>0</sub> -P0C <sub>3</sub> , P0D <sub>0</sub> -P0D <sub>3</sub> を入力端子として使用し、いずれかの端子がロウ・レベルになったとき INT端子割り込み許可フラグ (IP) がセットされている割り込みに対しINT端子の入力の立ち上がりまたは立ち下がりエッジによる割り込み要求 (IRQ) が発生したとき P0E <sub>0</sub> -P0E <sub>3</sub> をキー・マトリクス使用時に入力端子として使用し、いずれかの端子がロウ・レベルになったとき P1A <sub>0</sub> -P1A <sub>2</sub> , P1B <sub>0</sub> をキー・マトリクス使用時に入力端子として使用し、いずれかの端子が設定している解除レベル <sup>注</sup> になったとき
上記以外の値	設定禁止

**注** レジスタ・ファイルの05番地のビット0-2 (P1AHL0-P1AHL2), 15番地のビット2 (P1BHL0) で設定してください。

9.4 STOP命令の実行条件

STOP命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっています。この条件を表9 - 5に示します。

表9 - 5の条件を満足しないときSTOP命令はNOP命令として扱われます。

表9 - 5 STOP命令の実行条件

オペランドの値	実行条件
1000B (08H)	P0A <sub>0</sub> -P0A <sub>3</sub> のすべての端子がハイ・レベル入力であること P0B <sub>0</sub> -P0B <sub>3</sub> , P0C <sub>0</sub> -P0C <sub>3</sub> , P0D <sub>0</sub> -P0D <sub>3</sub> を入力端子として使用するとき、すべての端子がハイ・レベル入力であること INT端子割り込み許可フラグ (IP) がセットされている割り込みに対しINT端子割り込み要求フラグ (IRQ) がリセットされていること P0E <sub>0</sub> -P0E <sub>3</sub> をキー・マトリクス使用時に入力端子として使用するとき、すべての端子がハイ・レベル入力であること P1A <sub>0</sub> -P1A <sub>2</sub> , P1B <sub>0</sub> をキー・マトリクス使用時に入力端子として使用しているとき、すべての端子が設定している解除レベル <sup>注</sup> と反対のレベルを入力していること (例えば、ハイ・レベル入力で解除と設定している場合の実行条件はロウ・レベル入力)
上記以外の値	設定禁止

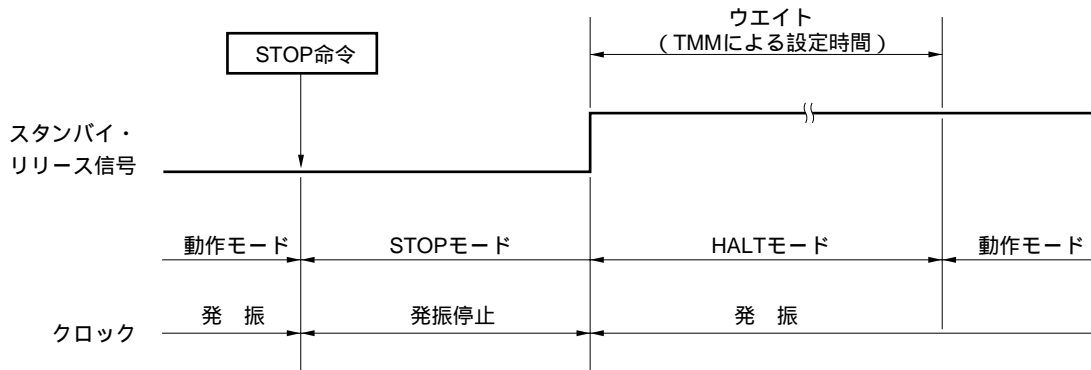
注 レジスタ・ファイルの05番地のビット0-2 (P1AHL0-P1AHL2) , 15番地のビット2 (P1BHL0) で設定してください。

9.5 スタンバイ・モードの解除

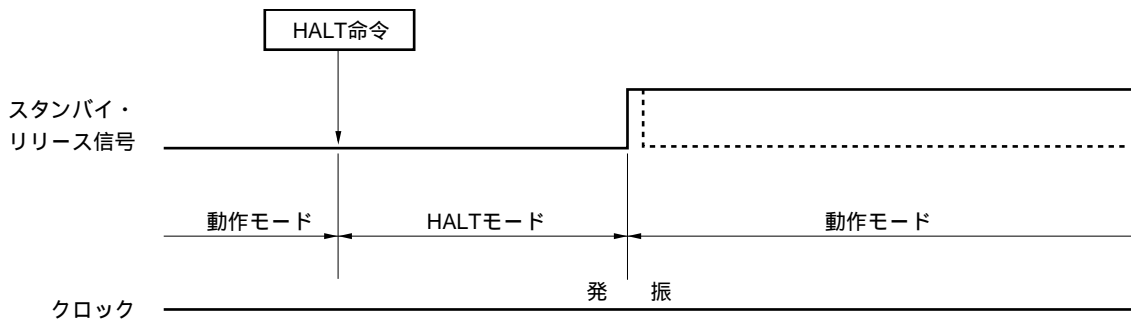
STOPモード, HALTモードの解除動作は図9 - 1のようになります。

図9 - 1 スタンバイ・モードの解除動作

( a ) STOPモードの割り込み発生による解除



( b ) HALTモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。



## 10. リセット

### 10.1 リセット信号入力によるリセット

$\overline{\text{RESET}}$ 端子に、10 μs以上のロウ・レベル信号を入力するとリセットがかかります。

システム・リセット時、発振回路はSTOPモード解除時と同様に、HALTモードを保持してから動作モードとなります。リセット解除後のウエイト時間は16.384 ms (fx = 4 MHz) になります。

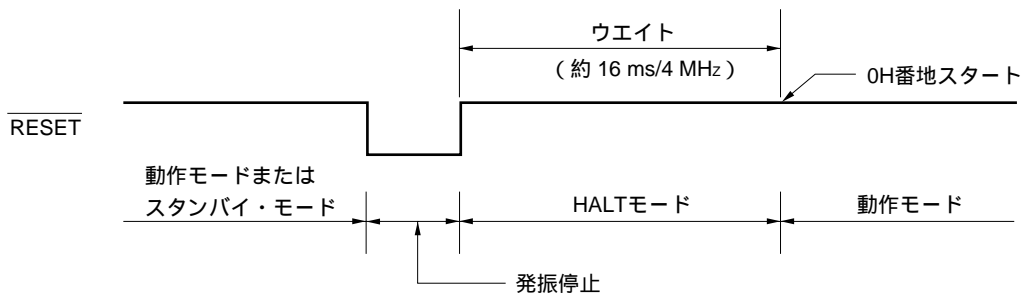
電源投入時には内部回路の動作が不定となるため、少なくとも1回はリセットをかけてください。

リセットがかかると次の回路が初期化されます。

- ( 1 ) プログラム・カウンタが0にリセットされます。
- ( 2 ) レジスタ・ファイル内のフラグが初期化されます ( 初期値は、**図12 - 1 レジスタ・ファイルの一覧**を参照してください )。
- ( 3 ) データ・バッファ (DBF) に初期値 (0320H) が書き込まれます。
- ( 4 ) 周辺ハードウェアが初期化されます。
- ( 5 ) システム・クロック (fx) の発振が停止します。

$\overline{\text{RESET}}$ 端子をロウ・レベルからハイ・レベルに立ち上げると、システム・クロックの発振を開始し、約16 ms (4 MHz時) 後、0番地からプログラムの実行を開始します。

図10 - 1  $\overline{\text{RESET}}$ 入力によるリセット動作



### 10.2 ウォッチドッグ・タイマによるリセット ( $\overline{\text{RESET}}$ 端子が内部でプルダウン)

プログラム実行中にウォッチドッグ・タイマが働くと $\overline{\text{RESET}}$ 端子が内部でプルダウンされ、プログラム・カウンタを0にリセットします (通常、 $\overline{\text{RESET}}$ 端子はプルアップされている)。

すなわち、一定時間以上ウォッチドッグ・タイマのリセットが行われなくなった場合、プログラムを0H番地からスタートさせることができます。

プログラム作成の際は340 ms (fx = 4 MHzのとき) 以内の間隔でウォッチドッグ・タイマをリセット (WDTRESフラグをセット) してください。

10.3 スタック・ポインタによるリセット (RESET端子が内部でプルダウン)

プログラム実行中にスタック・ポインタが6Hまたは7HになるとRESET端子が内部でプルダウンされ、プログラム・カウンタを0にリセットします(通常、RESET端子はプルアップされている)。

すなわち、スタック・ポインタの値が0のときに割り込みやCALL命令などが実行されたとき(スタック・アンダフロー)やCALL命令とRET命令の対応がうまくとれずRET命令を実行してスタック・レベルが6以上になったとき(スタック・オーバフロー)にプログラムを0H番地から再スタートさせることができます。

表10 - 1 各ハードウェアのリセット後の状態

ハードウェア		スタンバイ・モード中のRESET入力	動作中のRESET入力
プログラム・カウンタ(PC)		0000H	0000H
ポート	入力/出力	入力	入力
	出力ラッチ	0	0
データ・メモリ (RAM)	汎用データ・メモリ (DBF, ポート・レジスタを除く)	以前の状態を保持	不定
	DBF	0320H	0320H
	システム・レジスタ(SYSREG)	0	0
	WR	以前の状態を保持	不定
コントロール・レジスタ		図12 - 1 レジスタ・ファイルの一覧参照	
8ビット・タイマ	カウンタ(TMC)	00H	00H
	モジュロ・レジスタ(TMM)	FFH	FFH
リモコン用キャリア発生回路	NRZハイ・レベル期間設定用モジュロ・レジスタ(NRZHTMM)	以前の状態を保持	不定
	NRZロウ・レベル期間設定用モジュロ・レジスタ(NRZLTMM)		
ベーシック・インターバル・タイマ/ウォッチドッグ・タイマのカウンタ		00H	00H

## 11. 低電圧検出回路 (RESET端子が内部でプルダウン)

低電圧検出回路は、電池交換時のプログラム暴走を防ぐため、低電圧を検出した場合RESET端子が内部でプルダウンされ初期化状態（リセット状態）となります。

電源電圧低下の検出は、 $V_{DD} = \text{約}1.7 \sim 2.0 \text{ V}$ の状態が1 ms以上続いたときに行います。ただし、1 msは保証値ですので、1 ms未満でもリセットすることがあります。

リセット機能が働き出す電源電圧には約1.7~2.0 Vまでと幅がありますが、リセット機能が働くまでは電源電圧が低下してもプログラム・カウンタが暴走しないようになっています。なお、低電圧下での動作保証がされていない発振子によっては、リセット機能が働く前に、発振停止する場合がありますので注意してください。

低電圧検出回路は、マスク・オプションで任意に設定できます。

12. アセンブラ予約語

12.1 マスク・オプション疑似命令

μ PD17246のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用してマスク・オプションを指定する必要があります。

μ PD17246の低電圧検出回路と発振器用コンデンサにはマスク・オプションの指定が必要です。

12.1.1 OPTION, ENDOP疑似命令

OPTION疑似命令以降ENDOP疑似命令までをマスク・オプション定義ブロックとします。マスク・オプション定義ブロックの記述形式を次に示します。

記述形式：

シンボル欄	二モニック欄	オペラント欄	コメント欄
[ レーベル： ]	OPTION		[ ; コメント ]
	⋮		
	ENDOP		

12.1.2 マスク・オプション定義疑似命令

マスク・オプション定義ブロック内で使用可能な疑似命令を表12 - 1 に示します。

マスク・オプション定義の一例を次に示します。

記述例：

シンボル欄	二モニック欄	オペラント欄	コメント欄
	OPTION		
	OPTPOC	USEPOC	; 低電圧検出回路内蔵
	OPTCAP	USECAP	; 発振器用コンデンサ内蔵
	ENDOP		

表12 - 1 マスク・オプション定義疑似命令一覧表

名 称	マスク・オプション 定義疑似命令	オペランド の数	第 1 オペランド	第 2 オペランド	第 3 オペランド	第 4 オペランド
CAP	OPTCAP	1	USECAP (発振器用コンデンサ内蔵)			
			NOUSECAP (発振器用コンデンサなし)			
POC	OPTPOC	1	USEPOC (低電圧検出回路内蔵)			
			NOUSEPOC (低電圧検出回路なし)			

12.2 予約シンボル

μ PD17246のデバイス・ファイルで定義されているシンボルを表12 - 2 に示します。

定義されているシンボルは、次のレジスタ・ファイル名、ポート名、周辺ハードウェア名などです。

12.2.1 レジスタ・ファイル

レジスタ・ファイルに割り当てられたシンボルを定義しています。これらのレジスタは、PEEK, POKE命令によってWR (ウインドウ・レジスタ) を介してアクセスします。図12 - 1 にレジスタ・ファイルの一覧を示します。

12.2.2 データ・メモリ上のレジスタおよびポート

データ・メモリ・アドレスの00H-7FHに割り当てられたレジスタおよび70H番地以後に実装されているポート名およびシステム・レジスタ名を定義しています。図12 - 2 にデータ・メモリの構成を示します。

12.2.3 周辺ハードウェア

GET, PUT命令によってアクセスする周辺ハードウェア名を定義しています。表12 - 3 に周辺ハードウェアを示します。

表12 - 2 予約シンボル一覧表 (1/3)

シンボル名	属性	値	R/W	説明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-12
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-8
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-4
DBF0	MEM	0.0FH	R/W	データ・バッファのビット3-0
AR3	MEM	0.74H	R/W	アドレス・レジスタのビット15-12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ
P0A0	FLG	0.70H.0	R/W	ポート0Aのビット0
P0A1	FLG	0.70H.1	R/W	ポート0Aのビット1
P0A2	FLG	0.70H.2	R/W	ポート0Aのビット2
P0A3	FLG	0.70H.3	R/W	ポート0Aのビット3
P0B0	FLG	0.71H.0	R/W	ポート0Bのビット0
P0B1	FLG	0.71H.1	R/W	ポート0Bのビット1
P0B2	FLG	0.71H.2	R/W	ポート0Bのビット2
P0B3	FLG	0.71H.3	R/W	ポート0Bのビット3
P0C0	FLG	0.72H.0	R/W	ポート0Cのビット0
P0C1	FLG	0.72H.1	R/W	ポート0Cのビット1
P0C2	FLG	0.72H.2	R/W	ポート0Cのビット2
P0C3	FLG	0.72H.3	R/W	ポート0Cのビット3
P0D0	FLG	0.73H.0	R/W	ポート0Dのビット0
P0D1	FLG	0.73H.1	R/W	ポート0Dのビット1
P0D2	FLG	0.73H.2	R/W	ポート0Dのビット2
P0D3	FLG	0.73H.3	R/W	ポート0Dのビット3
P0E0	FLG	0.6FH.0	R/W	ポート0Eのビット0
P0E1	FLG	0.6FH.1	R/W	ポート0Eのビット1
P0E2	FLG	0.6FH.2	R/W	ポート0Eのビット2
P0E3	FLG	0.6FH.3	R/W	ポート0Eのビット3
P1A0	FLG	1.70H.0	R/W	ポート1Aのビット0
P1A1	FLG	1.70H.1	R/W	ポート1Aのビット1

表12 - 2 予約シンボル一覧表 (2/3)

シンボル名	属性	値	R/W	説明
P1A2	FLG	1.70H.2	R/W	ポート1Aのビット2
P1B0	FLG	1.71H.0	R/W	ポート1Bのビット0
SP	MEM	0.81H	R/W	スタック・ポインタ
SYSCK	FLG	0.82H.0	R/W	システム・クロック選択フラグ
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・リセット・フラグ
BTMCK	FLG	0.83H.2	R/W	ベーシック・インターバル・タイマ・モード選択フラグ
BTMRES	FLG	0.83H.1	R/W	ベーシック・インターバル・タイマ・リセット・フラグ
P1AHL0	FLG	0.85H.0	R/W	P1A <sub>0</sub> ポート・スタンバイ解除レベル選択フラグ
P1AHL1	FLG	0.85H.1	R/W	P1A <sub>1</sub> ポート・スタンバイ解除レベル選択フラグ
P1AHL2	FLG	0.85H.2	R/W	P1A <sub>2</sub> ポート・スタンバイ解除レベル選択フラグ
P1AKEY0	FLG	0.86H.0	R/W	P1A <sub>0</sub> ポート・キー・マトリクス使用選択フラグ
P1AKEY1	FLG	0.86H.1	R/W	P1A <sub>1</sub> ポート・キー・マトリクス使用選択フラグ
P1AKEY2	FLG	0.86H.2	R/W	P1A <sub>2</sub> ポート・キー・マトリクス使用選択フラグ
P1ABPU0	FLG	0.87H.0	R/W	P1A <sub>0</sub> ポート・プルアップ抵抗選択フラグ
P1ABPU1	FLG	0.87H.1	R/W	P1A <sub>1</sub> ポート・プルアップ抵抗選択フラグ
P1ABPU2	FLG	0.87H.2	R/W	P1A <sub>2</sub> ポート・プルアップ抵抗選択フラグ
INT	FLG	0.8FH.0	R	INT端子ステータス・フラグ
NRZBF	FLG	0.91H.0	R/W	NRZバッファ・データ・フラグ
NRZ	FLG	0.92H.0	R/W	NRZデータ・フラグ
REMEM	FLG	0.92H.1	R/W	キャリア出力選択フラグ
REMCK1	FLG	0.93H.1	R/W	キャリア作成用クロック選択フラグ
REMCK0	FLG	0.93H.0	R/W	キャリア作成用クロック選択フラグ
P1BHL0	FLG	0.95H.2	R/W	P1B <sub>0</sub> ポート・スタンバイ解除レベル選択フラグ
P1BKEY0	FLG	0.95H.1	R/W	P1B <sub>0</sub> ポート・キー・マトリクス使用選択フラグ
P1BBPU0	FLG	0.95H.0	R/W	P1B <sub>0</sub> ポート・プルアップ抵抗選択フラグ
P0EKEY0	FLG	0.96H.0	R/W	P0E <sub>0</sub> ポート・キー・マトリクス使用選択フラグ
P0EKEY1	FLG	0.96H.1	R/W	P0E <sub>1</sub> ポート・キー・マトリクス使用選択フラグ
P0EKEY2	FLG	0.96H.2	R/W	P0E <sub>2</sub> ポート・キー・マトリクス使用選択フラグ
P0EKEY3	FLG	0.96H.3	R/W	P0E <sub>3</sub> ポート・キー・マトリクス使用選択フラグ
P0EBPU0	FLG	0.97H.0	R/W	P0E <sub>0</sub> プルアップ設定フラグ
P0EBPU1	FLG	0.97H.1	R/W	P0E <sub>1</sub> プルアップ設定フラグ
P0EBPU2	FLG	0.97H.2	R/W	P0E <sub>2</sub> プルアップ設定フラグ
P0EBPU3	FLG	0.97H.3	R/W	P0E <sub>3</sub> プルアップ設定フラグ
INTSEL	FLG	0.9FH.1	R/W	INT選択フラグ
IEG	FLG	0.9FH.0	R/W	INT端子割り込みエッジ選択フラグ
RAMFLAG	FLG	0.0A1H.0	R/W	RAM保持フラグ
P1ABIO0	FLG	0.0A5H.0	R/W	P1A <sub>0</sub> 入出力選択フラグ
P1ABIO1	FLG	0.0A5H.1	R/W	P1A <sub>1</sub> 入出力選択フラグ
P1ABIO2	FLG	0.0A5H.2	R/W	P1A <sub>2</sub> 入出力選択フラグ
P0BBIO0	FLG	0.0A6H.0	R/W	P0B <sub>0</sub> 入出力選択フラグ
P0BBIO1	FLG	0.0A6H.1	R/W	P0B <sub>1</sub> 入出力選択フラグ
P0BBIO2	FLG	0.0A6H.2	R/W	P0B <sub>2</sub> 入出力選択フラグ
P0BBIO3	FLG	0.0A6H.3	R/W	P0B <sub>3</sub> 入出力選択フラグ
P0EBIO0	FLG	0.0A7H.0	R/W	P0E <sub>0</sub> 入出力設定フラグ
P0EBIO1	FLG	0.0A7H.1	R/W	P0E <sub>1</sub> 入出力設定フラグ
P0EBIO2	FLG	0.0A7H.2	R/W	P0E <sub>2</sub> 入出力設定フラグ

表12 - 2 予約シンボル一覧表 (3/3)

シンボル名	属性	値	R/W	説明
P0EBIO3	FLG	0.0A7H.3	R/W	P0E <sub>3</sub> 入出力設定フラグ
IPBTM	FLG	0.0AFH.2	R/W	ベーシック・インターバル・タイマ割り込み許可フラグ
IP	FLG	0.0AFH.1	R/W	INT端子割り込み許可フラグ
IPTM	FLG	0.0AFH.0	R/W	タイマ割り込み許可フラグ
TMEN	FLG	0.0B3H.3	R/W	タイマ・イネーブル・フラグ
TMRES	FLG	0.0B3H.2	R/W	タイマ・リセット・フラグ
TMCK1	FLG	0.0B3H.1	R/W	タイマ・クロック選択フラグ
TMCK0	FLG	0.0B3H.0	R/W	タイマ・クロック選択フラグ
P0CGIO	FLG	0.0B7H.2	R/W	P0C <sub>3</sub> -P0C <sub>0</sub> 入出力選択フラグ
P0DGIO	FLG	0.0B7H.3	R/W	P0D <sub>3</sub> -P0D <sub>0</sub> 入出力選択フラグ
IRQBTM	FLG	0.0BDH.0	R/W	ベーシック・インターバル・タイマ割り込み要求フラグ
IRQ	FLG	0.0BEH.0	R/W	INT端子割り込み要求フラグ
IRQTM	FLG	0.0BFH.0	R/W	タイマ割り込み要求フラグ
TMC	DAT	05H	R	タイマ・カウント・レジスタ
TMM	DAT	06H	W	タイマ・モジュロ・レジスタ
NRZLTMM	DAT	03H	R/W	NRZロウ・レベル・タイマ・モジュロ・レジスタ
NRZHTMM	DAT	04H	R/W	NRZハイ・レベル・タイマ・モジュロ・レジスタ
AR	DAT	40H	R/W	アドレス・レジスタ
USECAP	DAT	0FF11H	-	発振器内蔵コンデンサ使用
NOUSECAP	DAT	0FF22H	-	発振器内蔵コンデンサ未使用
USEPOC	DAT	0FF33H	-	POC回路使用
NOUSEPOC	DAT	0FF44H	-	POC回路未使用
DBF	DAT	0FH	-	PUT命令, GET命令, MOVT命令の固定オペランド値
IX	DAT	01H	-	INC命令の固定オペランド値
AR_EPA1	DAT	8040H	-	ARで特にEPAビットがオンである状態を示す



図12 - 1 レジスタ・ファイルの一覧 (1/2)

カラム・アドレス		0	1	2	3	4	5	6	7					
行・アドレス		注	注	注	注	注	注	注	注					
0	ビット3		0	0	0	WDTRES	0	0	0	0				
	ビット2		SP	1	0	0	BTMCK	0	P1AHL2	0	P1AKEY2	0	P1ABPU2	0
	ビット1			0	0	0	BTMRES	0	P1AHL1	0	P1AKEY1	0	P1ABPU1	0
	ビット0			1	SYSCK	0	0	0	P1AHL0	0	P1AKEY0	0	P1ABPU0	0
1	ビット3		0	0	0	0	0	0	0	0	P0EKEY3	0	P0EBPU3	0
	ビット2		0	0	0	0	0	0	P1BHL0	0	P0EKEY2	0	P0EBPU2	0
	ビット1		0	0	REMEMEN	0	REMCK1	0	P1BKEY0	0	P0EKEY1	0	P0EBPU1	0
	ビット0		NRZBF	0	NRZ	0	REMCK0	0	P1BPU0	0	P0EKEY0	0	P0EBPU0	0
2	ビット3		0	0					0	0	P0BBIO3	0	P0EBIO3	0
	ビット2		0	0					P1ABIO2	0	P0BBIO2	0	P0EBIO2	0
	ビット1		0	0					P1ABIO1	0	P0BBIO1	0	P0EBIO1	0
	ビット0		RAMFLAG	0					P1ABIO0	0	P0BBIO0	0	P0EBIO0	0
3	ビット3					TMEN	1						P0DGIO	1
	ビット2					TMRES	0						P0CGIO	1
	ビット1					TMCK1	0						0	0
	ビット0					TMCK0	0						0	0

注 リセット時の状態

図12 - 2 データ・メモリの構成

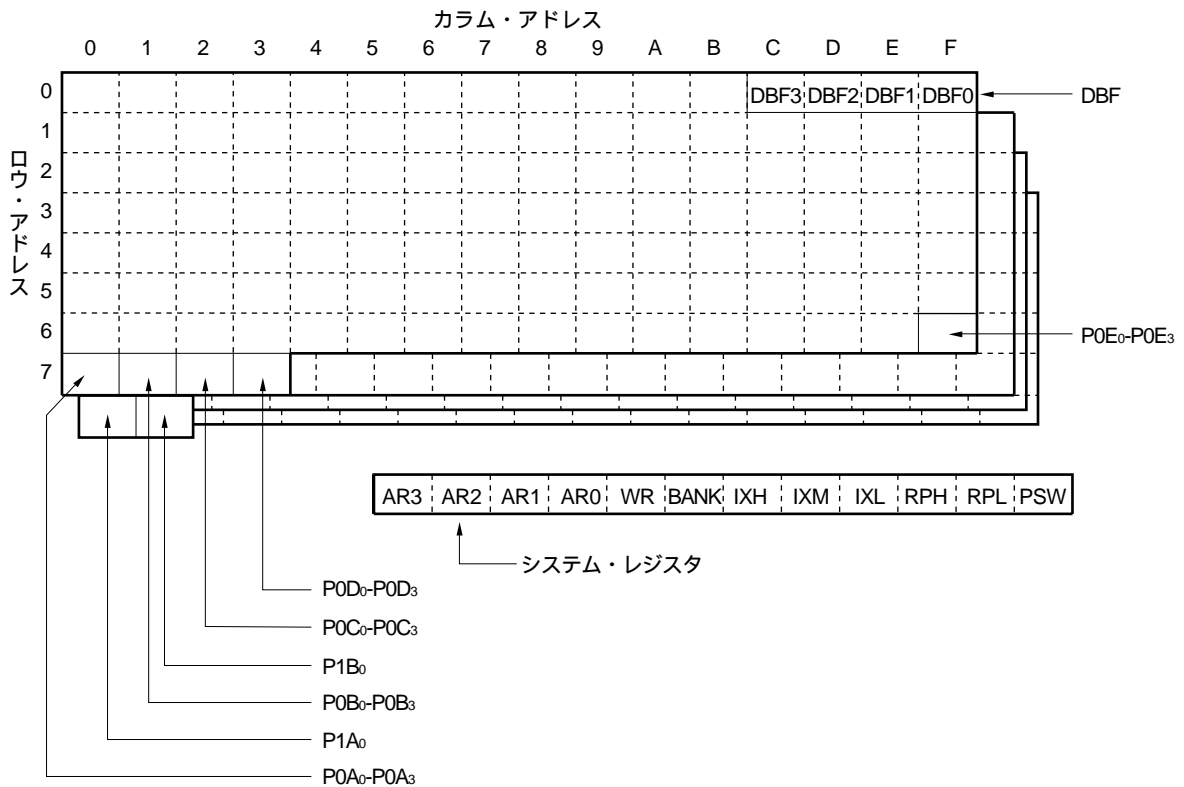


図12 - 1 レジスタ・ファイルの一覧 (2/2)

アドレス		8		9		A		B		C		D		E		F	
		注	注	注	注	注	注	注	注	注	注	注	注	注	注	注	
0	ビット3															0	0
	ビット2															0	0
	ビット1															0	0
	ビット0															INT	P
1	ビット3															0	0
	ビット2															0	0
	ビット1															INTSEL	0
	ビット0															IEG	0
2	ビット3															0	0
	ビット2															IPBTM	0
	ビット1															IP	0
	ビット0															IPTM	0
3	ビット3											0	0	0	0	0	0
	ビット2											0	0	0	0	0	0
	ビット1											0	0	0	0	0	0
	ビット0											IRQBTM	0	IRQ	0	IRQTM	1

注 リセット時の状態

P : INT端子がハイ・レベルのとき 1 , ロウ・レベルのとき 0 となります。

表12 - 3 周辺ハードウェア

名 称	アドレス	有効ビット	説 明
TMC	05H	8	タイマ・カウント・レジスタ
TMM	06H	8	タイマ・モジュロ・レジスタ
NRZLTMM	03H	8	NRZロウ・レベル・タイマ・モジュロ・レジスタ
NRZHTMM	04H	8	NRZハイ・レベル・タイマ・モジュロ・レジスタ
AR	40H	16	アドレス・レジスタ

13. 命令セット

13.1 命令セット概要

b <sub>14</sub> -b <sub>11</sub>		b <sub>15</sub>		0		1	
		BIN	HEX				
0 0 0 0	0	ADD	r, m	ADD	m, n4		
0 0 0 1	1	SUB	r, m	SUB	m, n4		
0 0 1 0	2	ADDC	r, m	ADDC	m, n4		
0 0 1 1	3	SUBC	r, m	SUBC	m, n4		
0 1 0 0	4	AND	r, m	AND	m, n4		
0 1 0 1	5	XOR	r, m	XOR	m, n4		
0 1 1 0	6	OR	r, m	OR	m, n4		
0 1 1 1	7	INC	AR				
		INC	IX				
		MOVT	DBF, @AR				
		BR	@AR				
		CALL	@AR				
		RET					
		SYSCAL	entry <sup>注</sup>				
		RETSK					
		EI					
		DI					
		RETI					
		PUSH	AR				
		POP	AR				
		GET	DBF, p				
		PUT	p, DBF				
		PEEK	WR, rf				
		POKE	rf, WR				
		RORC	r				
		STOP	s				
		HALT	h				
		NOP					
1 0 0 0	8	LD	r, m	ST	m, r		
1 0 0 1	9	SKE	m, n4	SKGE	m, n4		
1 0 1 0	A	MOV	@r, m	MOV	m, @r		
1 0 1 1	B	SKNE	m, n4	SKLT	m, n4		
1 1 0 0	C	BR	addr ( ページ 0 )	CALL	addr		
1 1 0 1	D	BR	addr ( ページ 1 )	MOV	m, n4		
1 1 1 0	E	BR	addr ( ページ 2 )	SKT	m, n		
1 1 1 1	F	BR	addr ( ページ 3 )	SKF	m, n		

注 μ PD17244, 17245, 17246のみ

## 13.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
entry	: システム・セグメントのエントリ・アドレス
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: mR, mCで示されるデータ・メモリ・アドレス
mR	: データ・メモリ・ロウ・アドレス (上位)
mC	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PAGE	: ページ (プログラム・カウンタのビット11, 12)
PC	: プログラム・カウンタ
p	: 周辺アドレス
PH	: 周辺アドレス (上位3ビット)
PL	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rfR	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rfC	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
( x )	: xでアドレスされる内容

13.3 命令一覧表

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
加算	ADD	r, m	(r) (r) + (m)	00000	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) + n4	10000	m <sub>R</sub>	m <sub>C</sub>	n4
	ADDC	r, m	(r) (r) + (m) + CY	00010	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) + n4 + CY	10010	m <sub>R</sub>	m <sub>C</sub>	n4
	INC	AR	AR AR + 1	00111	000	1001	0000
IX		IX IX + 1	00111	000	1000	0000	
減算	SUB	r, m	(r) (r) - (m)	00001	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) - n4	10001	m <sub>R</sub>	m <sub>C</sub>	n4
	SUBC	r, m	(r) (r) - (m) - CY	00011	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) - n4 - CY	10011	m <sub>R</sub>	m <sub>C</sub>	n4
論理演算	OR	r, m	(r) (r) (m)	00110	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) n4	10110	m <sub>R</sub>	m <sub>C</sub>	n4
	AND	r, m	(r) (r) (m)	00100	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) n4	10100	m <sub>R</sub>	m <sub>C</sub>	n4
	XOR	r, m	(r) (r) ⊕ (m)	00101	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) (m) ⊕ n4	10101	m <sub>R</sub>	m <sub>C</sub>	n4
判断	SKT	m, n	CMP 0, if (m) n = n, then skip	11110	m <sub>R</sub>	m <sub>C</sub>	n
	SKF	m, n	CMP 0, if (m) n = 0, then skip	11111	m <sub>R</sub>	m <sub>C</sub>	n
比較	SKE	m, n4	(m) - n4, skip if zero	01001	m <sub>R</sub>	m <sub>C</sub>	n4
	SKNE	m, n4	(m) - n4, skip if not zero	01011	m <sub>R</sub>	m <sub>C</sub>	n4
	SKGE	m, n4	(m) - n4, skip if not borrow	11001	m <sub>R</sub>	m <sub>C</sub>	n4
	SKLT	m, n4	(m) - n4, skip if borrow	11011	m <sub>R</sub>	m <sub>C</sub>	n4
回転	RORC	r		00111	000	0111	r
転送	LD	r, m	(r) (m)	01000	m <sub>R</sub>	m <sub>C</sub>	r
	ST	m, r	(m) (r)	11000	m <sub>R</sub>	m <sub>C</sub>	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) (m) if MPE = 0 : (BANK, m <sub>R</sub> , (r)) (m)	01010	m <sub>R</sub>	m <sub>C</sub>	r
		m, @r	if MPE = 1 : (m) (MP, (r)) if MPE = 0 : (m) (BANK, m <sub>R</sub> , (r))	11010	m <sub>R</sub>	m <sub>C</sub>	r
		m, n4	(m) n4	11101	m <sub>R</sub>	m <sub>C</sub>	n4
	MOVT	DBF, @AR	SP SP - 1, ASR PC, PC AR, DBF (PC), PC ASR, SP SP + 1	00111	000	0001	0000
	PUSH	AR	SP SP - 1, ASR AR	00111	000	1101	0000
	POP	AR	AR ASR, SP SP + 1	00111	000	1100	0000
	PEEK	WR, rf	WR (rf)	00111	rf <sub>R</sub>	0011	rf <sub>C</sub>

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
転送	POKE	rf, WR	(rf) WR	00111	rfr	0010	rfc
	GET	DBF, p	DBF (p)	00111	PH	1011	PL
	PUT	p, DBF	(p) DBF	00111	PH	1010	PL
分岐	BR	addr	<b>注1</b>	<b>注1</b>	addr		
		@AR	PC AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP SP - 1, ASR PC, PC <sub>10-0</sub> addr, PAGE 0	11100	addr		
		@AR	SP SP - 1, ASR PC, PC AR	00111	000	0101	0000
	SYSICAL <sup>注2</sup>	entry	SP SP - 1, ASR PC, SGR 1, PC <sub>12,11</sub> 0, PC <sub>10-8</sub> entry <sub>H</sub> , PC <sub>7-4</sub> 0, PC <sub>3-0</sub> entry <sub>L</sub>	00111	entry <sub>H</sub>	0000	entry <sub>L</sub>
	RET		PC ASR, SP SP + 1	00111	000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111	001	1110	0000
	RETI		PC ASR, INTR INTSK, SP SP + 1	00111	100	1110	0000
	割り込み	EI		INTEF 1	00111	000	1111
	DI		INTEF 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

注1 . μ PD17240, 17241, 17242, 17243, 17244, 17245, 17246の “ BR addr ” のオペレーションとオペ・コードは , それぞれ次のようになります。

( a ) μ PD17240

オペランド	オペレーション	オペ・コード
addr	PC <sub>10-0</sub> addr	01100

( b ) μ PD17241

オペランド	オペレーション	オペ・コード
addr	PC <sub>10-0</sub> addr, Page 0	01100
	PC <sub>10-0</sub> addr, Page 1	01101

( c ) μ PD17242

オペランド	オペレーション	オペ・コード
addr	PC <sub>10-0</sub> addr, Page 0	01100
	PC <sub>10-0</sub> addr, Page 1	01101
	PC <sub>10-0</sub> addr, Page 2	01110

( d ) μ PD17243, 17244, 17245, 17246

オペランド	オペレーション	オペ・コード
addr	PC <sub>10-0</sub> addr, Page 0	01100
	PC <sub>10-0</sub> addr, Page 1	01101
	PC <sub>10-0</sub> addr, Page 2	01110
	PC <sub>10-0</sub> addr, Page 3	01111

注 2 . μ PD17244, 17245, 17246のみ

13. 4 アセンブラ ( RA17K ) 組み込みマクロ命令

凡 例

- flag n : FLG型シンボル
- n : ビット番号
- : 内は省略可能

	二モニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1,...flag n	if ( flag 1 ) ~ ( flag n ) = all " 1 ", then skip	1 n 4
	SKFn	flag 1,...flag n	if ( flag 1 ) ~ ( flag n ) = all " 0 ", then skip	1 n 4
	SETn	flag 1,...flag n	( flag 1 ) ~ ( flag n ) 1	1 n 4
	CLRn	flag 1,...flag n	( flag 1 ) ~ ( flag n ) 0	1 n 4
	NOTn	flag 1,...flag n	if ( flag n ) = " 0 ", then ( flag n ) 1 if ( flag n ) = " 1 ", then ( flag n ) 0	1 n 4
	INITFLG	NOT flag 1, ... NOT flag n	if description = NOT flag n, then ( flag n ) 0 if description = flag n, then ( flag n ) 1	1 n 4
	BANKn		( BANK ) n	n = 0, 1
拡張命令	BRX	Label	Jump Label	-
	CALLX	function-name	CALL sub-routine	-
	INITFLGX	NOT/INV flag 1, ... NOT/INV flag n	if description = NOT ( or INV ) flag, ( flag ) 0 if description = flag, ( flag ) 1	n 4

14. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 3.8	V	
入力電圧	V <sub>I</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V	
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V	
ハイ・レベル出力電流 <sup>注</sup>	I <sub>OH</sub>	REM端子	ピーク値	- 36.0	mA
			実効値	- 24.0	mA
		1端子 (P0E, P1A端子)	ピーク値	- 7.5	mA
			実効値	- 5.0	mA
		P0E, P1A端子合計	ピーク値	- 22.5	mA
			実効値	- 15.0	mA
ロウ・レベル出力電流 <sup>注</sup>	I <sub>OL</sub>	1端子 (P0B, P0C, P0D, P0E, P1A, REM端子)	ピーク値	7.5	mA
			実効値	5.0	mA
		P0B, P0C, P0D, REM端子合計	ピーク値	22.5	mA
			実効値	15.0	mA
		P0E, P1A端子合計	ピーク値	30.0	mA
			実効値	20.0	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85		
保存温度	T <sub>stg</sub>		- 65 ~ + 150		
消費電力	P <sub>d</sub>	T <sub>A</sub> = 85	180	mW	

注 実効値は〔実効値〕 = 〔ピーク値〕 × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

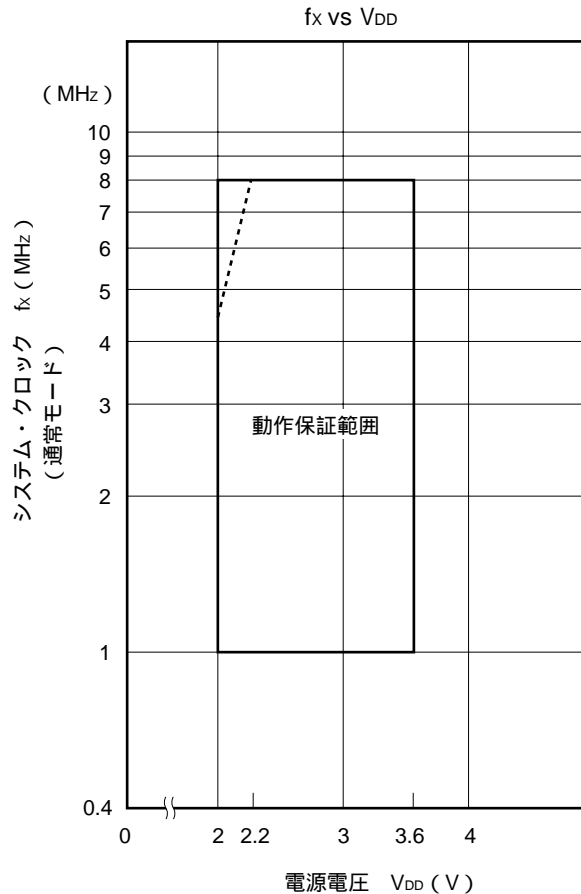


推奨動作範囲 (TA = -40 ~ +85 , VDD = 2.0 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 電源電圧	VDD1	fx = 1 MHz 高速モード (命令実行時間: 16 μs)	2.0		3.6	V
	VDD2	fx = 4 MHz 高速モード (命令実行時間: 4 μs)				
	VDD3	fx = 8 MHz 通常モード (命令実行時間: 4 μs)				
	VDD4	高速モード (命令実行時間: 2 μs)	2.2		3.6	V
★ 発振周波数	fx	Rfx = fx/2, fxの場合	1.0	4.0	8.0	MHz
		Rfx = 2fxの場合	3.5	4.0	4.5	MHz
動作周囲温度	TA		-40	+25	+85	
★ 低電圧検出回路 <sup>注</sup> (マスク・オプション)	tCY		3.5		32	μs

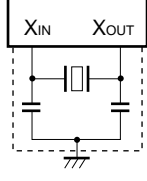
注 VDD = 1.7 ~ 2.0 Vの状態が1 ms以上続いたときにリセットします。リセット機能が働くまでは電源電圧が低下してもプログラムが暴走しないようになっています。なお、低電圧下での動作保証がされていない発振子によっては、リセット機能が働く前に発振停止する場合があります。

注意 電源電圧が2.2 V未満のとき、RESET端子がロウ・レベルになるように応用回路を設計する必要があります。



備考 上記グラフ内の破線で示した範囲は、高速モードで使用した場合の動作保証範囲です。

システム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 2.0 ~ 3.6 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
★ セラミック 発振子		発振周波数 (fx) 注1		1.0	4.0	8.0	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN.に達した後			4	ms

注1．発振周波数は、発振回路の特性だけを示すものです。

2．発振安定時間は、VDD印加後、または、STOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の [ ] の部分を次のように配線してください。

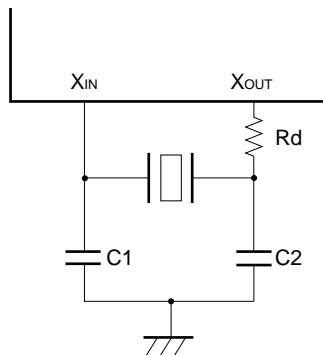
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

★ 推奨発振回路定数

セラミック発振子 (TA = -40 ~ +85 )

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V <sub>DD</sub> )		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 <sup>注</sup>	1.0	100	100	1.8	3.6	Rd = 3.3 k
	CSBFB1M00J58-R1 <sup>注</sup>						
	CSTLS2M00G56-B0 <sup>注</sup>	2.0	-	-			Rd = 1.0 k
	CSTCC2M00G56-R0 <sup>注</sup>						
	CSTLS3M00G56-B0 <sup>注</sup>	3.0	-	-			Rd = 470
	CSTCC3M00G56-R0 <sup>注</sup>						
	CSTLS4M00G56-B0	4.0	-	-			コンデンサ内蔵品
	CSTCR4M00G55-R0						
	CSTLS6M00G56-B0	6.0	-	-			コンデンサ内蔵品
	CSTCR6M00G55-R0						
	CSTLS8M00G56-B0	8.0	-	-			コンデンサ内蔵品
	CSTCC8M00G56-R0						
TDK	FCR3.52MC5	3.52	-	-	1.8	3.6	コンデンサ内蔵品
	FCR4.0MC5	4.0					
	FCR4.0MSC5	4.0					
	FCR6.0MC5	6.0					
	FCR8.0MC5	8.0					
京セラ	KBR-2.0MS	2.0	68	68	1.8	3.6	-
	KBR-3.0MS	3.0	47	47			
	KBR-4.0MKE	4.0	-	-			コンデンサ内蔵品
	KBR-4.0MSE		33	33			-
	KBR-6.0MKC	6.0	-	-			コンデンサ内蔵品
	KBR-6.0MSB		33	33			-
	KBR-8.0MKC	8.0	-	-			コンデンサ内蔵品
	KBR-8.0MSB		33	33			-

注 これらのセラミック発振子を使用する場合には、制限抵抗R<sub>d</sub>が必要です(下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路での評価を発振子メーカーに依頼してください。  
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD17240, 17241, 17242, 17243, 17244, 17245, 17246の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 3.6 V)

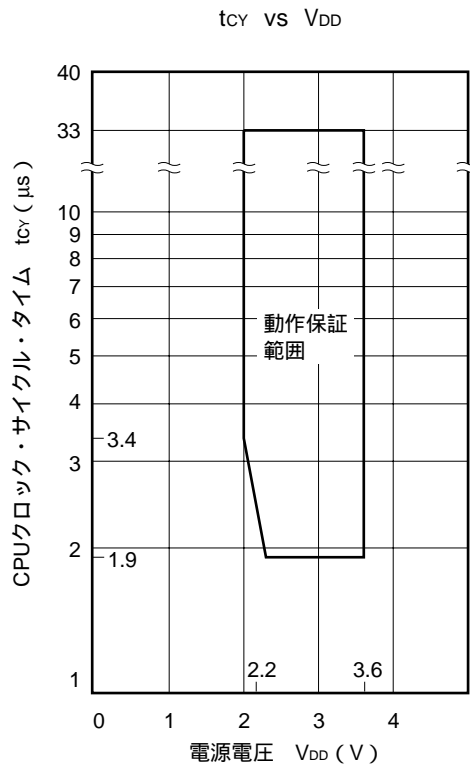
項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	RESE $\bar{T}$ , INT		0.80 VDD		VDD	V
	VIH2	P0A, P0B, P0C, P0D		0.70 VDD		VDD	V
	VIH3	P0E, P1A, P1B		0.70 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	RESE $\bar{T}$ , INT		0		0.2 VDD	V
	VIL2	P0A, P0B, P0C, P0D		0		0.3 VDD	V
	VIL3	P0E, P1A, P1B		0		0.3 VDD	V
ハイ・レベル入力リーク電流	I <sub>IH</sub>	P0A, P0B, P0C, P0D, P0E, P1A, P1B $\bar{O}$ /INT, RESE $\bar{T}$	V <sub>IH</sub> = V <sub>DD</sub> プルダウン抵抗なし			3.0	μA
ロウ・レベル入力リーク電流	I <sub>IL</sub>	P0E, P1A, P1B $\bar{O}$ /INT	V <sub>IL</sub> = 0 V プルアップ抵抗なし			- 3.0	μA
内蔵プルアップ抵抗	R <sub>1</sub>	P0E, P1A, P1B, RESE $\bar{T}$ (プルアップ時)		25	50	100	k
	R <sub>2</sub>	P0A, P0B, P0C, P0D		100	200	400	k
★ 内蔵プルダウン抵抗	R <sub>3</sub>	P1A, P1B		25	50	100	k
ハイ・レベル出力電流	I <sub>OH</sub>	REM	V <sub>OH</sub> = 1.0 V, V <sub>DD</sub> = 3 V	- 6	- 13	- 24	mA
ハイ・レベル出力電圧	V <sub>OH</sub>	P0E, P1A, REM	I <sub>OH</sub> = - 0.5 mA	V <sub>DD</sub> - 0.3		V <sub>DD</sub>	V
ロウ・レベル出力電圧	V <sub>OL1</sub>	P0B, P0C, P0D, REM	I <sub>OL</sub> = 0.5 mA	0		0.3	V
	V <sub>OL2</sub>	P0E, P1A	I <sub>OL</sub> = 1.5 mA	0		0.3	V
データ保持特性	V <sub>DDDR</sub>	RESE $\bar{T}$ = ロウ・レベルまたはSTOPモード時		1.3		3.6	V
低電圧検出電圧 (マスク・オプション)	V <sub>DT</sub>	RESE $\bar{T}$ 端子プルダウン, V <sub>DT</sub> = V <sub>DD</sub>			1.85	2.0	V
RAM保持検出電圧	V <sub>ID</sub>	V <sub>ID</sub> = V <sub>DD</sub> , RAMFLAG = 0 (RF21H.0)			1.40	1.50	V
★ 電源電流 <sup>注</sup>	I <sub>DD1</sub>	動作モード (高速)	V <sub>DD</sub> = 3 V ± 10 %	f <sub>x</sub> = 1 MHz	0.6	1.1	mA
				f <sub>x</sub> = 4 MHz	0.75	1.3	mA
				f <sub>x</sub> = 8 MHz	0.9	1.6	mA
	I <sub>DD2</sub>	動作モード (低速)	V <sub>DD</sub> = 3 V ± 10 %	f <sub>x</sub> = 1 MHz	0.48	0.9	mA
				f <sub>x</sub> = 4 MHz	0.6	1.1	mA
				f <sub>x</sub> = 8 MHz	0.8	1.4	mA
	I <sub>DD3</sub>	HALTモード	V <sub>DD</sub> = 3 V ± 10 %	f <sub>x</sub> = 1 MHz	0.4	0.75	mA
				f <sub>x</sub> = 4 MHz	0.45	0.85	mA
				f <sub>x</sub> = 8 MHz	0.5	0.95	mA
	I <sub>DD4</sub>	STOPモード	V <sub>DD</sub> = 3 V ± 10 % , POC内蔵		2.0	20.0	μA
T <sub>A</sub> = 25				2.0	5.0	μA	

注 内蔵プルアップ抵抗に流れる電流は含みません。

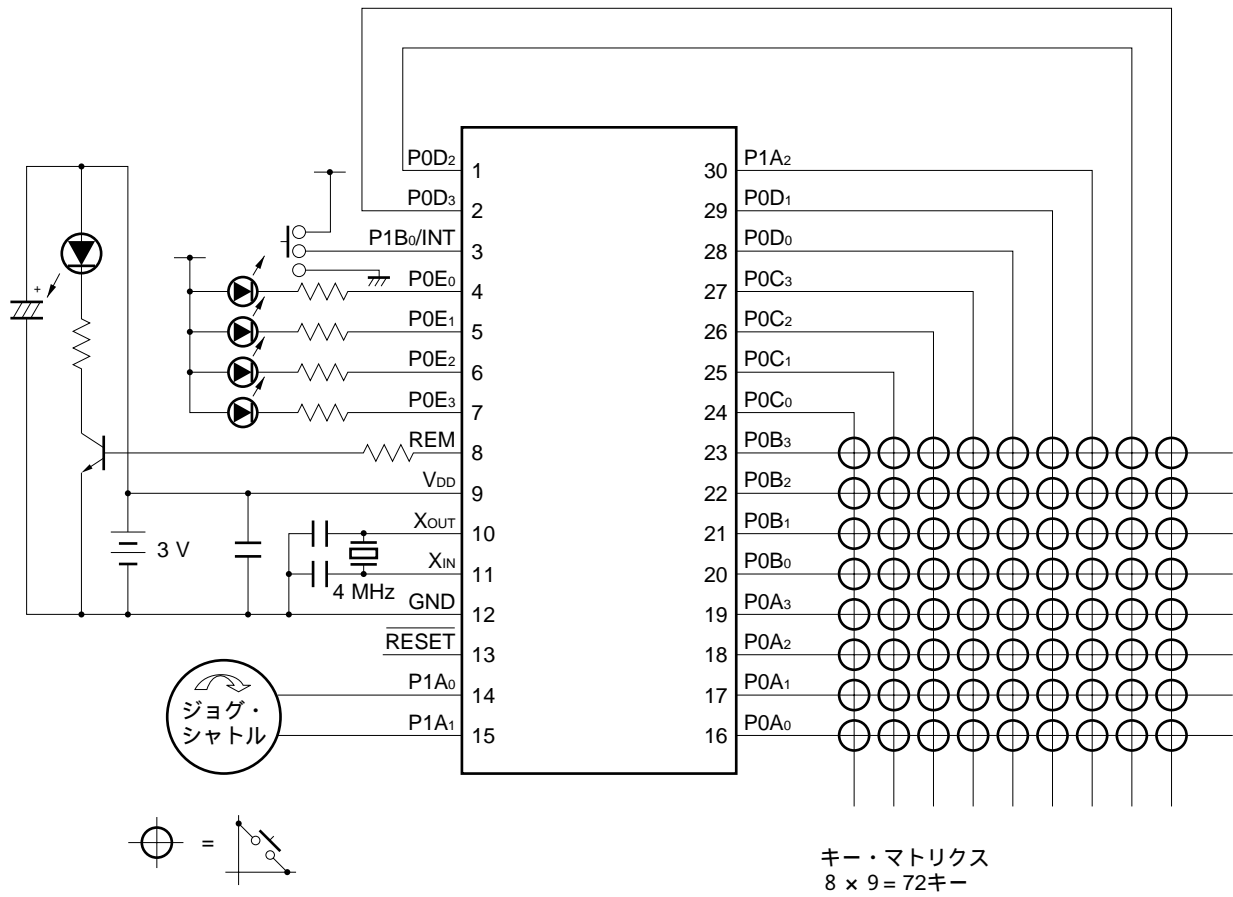
AC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ CPUクロック・サイクル・タイム注 (命令実行時間)	tCY1	VDD = 2.0 ~ 3.6 V	3.4		33	μs
	tCY2	VDD = 2.2 ~ 3.6 V	1.9		33	μs
INTハイ, ロウ・レベル幅	tINTH,		20			μs
	tINTL					
RESETロウ・レベル幅	tRSL		10			μs

★ 注 CPUクロック・サイクル・タイム (命令実行時間) は, 接続された発振子の発振周波数とレジスタ・ファイル上のSYSCK (RF: 02H番地) によって決まります。下図は, 電源電圧VDDに対するCPUクロック・サイクル・タイムtCY特性を示します (4. クロック発生回路参照)。

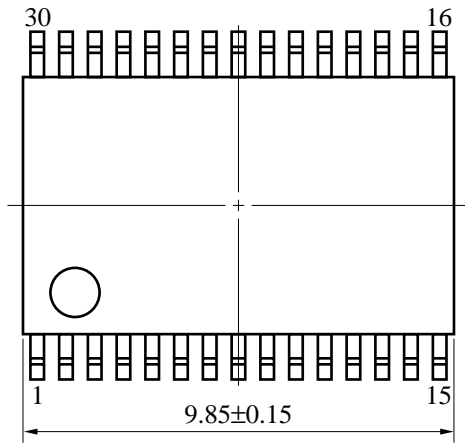


15. 応用回路例

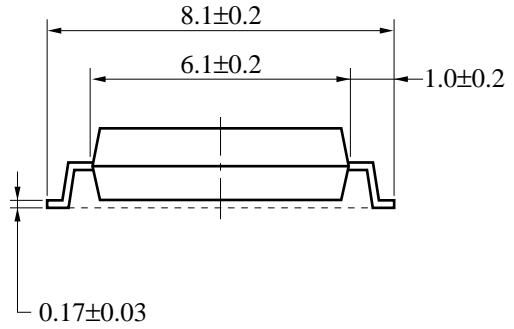
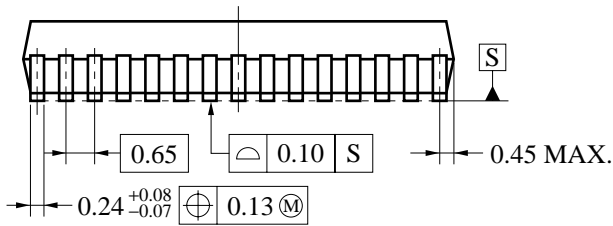
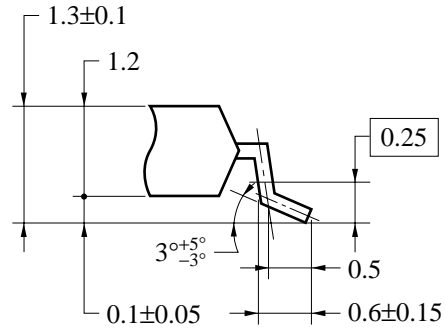


16. 外形図

30ピン・プラスチック・SSOP (7.62 mm (300)) 外形図 (単位: mm)



端子先端形状詳細図



S30MC-65-5A4-2

★ 17. 半田付け推奨条件

μ PD17240, 17241, 17242, 17243, 17244, 17245, 17246の半田付け実装は、次の推奨条件で実施してください。  
 なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。  
 半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」( <http://www.necel.com/pkg/ja/jissou/index.html> )

表17 - 1 表面実装タイプの半田付け条件

( 1 ) μ PD17240MC- x x x -5A4 : 30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )

- μ PD17241MC- x x x -5A4 : "
- μ PD17242MC- x x x -5A4 : "
- μ PD17243MC- x x x -5A4 : "
- μ PD17244MC- x x x -5A4 : "
- μ PD17245MC- x x x -5A4 : "
- μ PD17246MC- x x x -5A4 : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：3回以内	VP15-00-3
ウエーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

★ ( 2 ) μ PD17240MC- x x x -5A4-A : 30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )

- μ PD17241MC- x x x -5A4-A : "
- μ PD17242MC- x x x -5A4-A : "
- μ PD17243MC- x x x -5A4-A : "
- μ PD17244MC- x x x -5A4-A : "
- μ PD17245MC- x x x -5A4-A : "
- μ PD17246MC- x x x -5A4-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：3日間 <sup>注</sup> （以降は125 プリベーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は包装状態でのベーキング ができません。	IR60-103-3
ウエーブ・ ソルダーリング	詳細については、当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。



付録A . μPD17246とμPD17P246の違い

μPD17P246は、μPD17246の内蔵マスクROM（プログラム・メモリ）をユーザによる書き込み可能なワン・タイムPROMに置き換えた製品です。

表A - 1 にμPD17246とμPD17P246の違いを示します。

μPD17P246とμPD17240, 17241, 17242, 17243, 17244, 17245, 17246はCPU機能や内蔵しているハードウェアは同じです。このため、μPD17P246はμPD17240, 17241, 17242, 17243, 17244, 17245, 17246のシステム開発時のプログラム評価用として使用できます。なお、μPD17P246は、このほかにも電源電流、低電圧検出電圧などの電気的特性の一部がμPD17240, 17241, 17242, 17243, 17244, 17245, 17246とは異なりますので注意してください。

表A - 1 μPD17246とμPD17P246の違い

品 名 項 目	μPD17P246 ( μPD17P246M1, 17P246M2 )	μPD17246
プログラム・メモリ	ワン・タイムPROM 32 Kバイト ( 16384 × 16 ) ( 0000H-3FFFH )	マスクROM
データ・メモリ	447 × 4 ビット	
発振器用コンデンサ	・なし ( μPD17P246M1 ) ・あり ( μPD17P246M2 )	任意 ( マスク・オプション )
低電圧検出回路 <sup>注1</sup>	あり	任意 ( マスク・オプション )
V <sub>PP</sub> 端子, 動作モード選択端子	あり	なし
命令実行時間 <sup>注2</sup>	4 μs ( V <sub>DD</sub> = 2.2 ~ 3.6 V )	4 μs ( V <sub>DD</sub> = 2.0 ~ 3.6 V )
電源電圧 <sup>注2</sup>	V <sub>DD</sub> = 2.2 ~ 3.6 V	V <sub>DD</sub> = 2.0 ~ 3.6 V
パッケージ	30ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )	

注1 . 回路構成上は同じですが、電気的特性が製品によって異なりますので注意してください。

★ 2 . f<sub>x</sub> = 4 MHz, 高速モード動作時

付録B . 開発ツール

μ PD17246サブシリーズのプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ 〔 IE-17K IE-17K-ET <sup>注1</sup> 〕	IE-17K, IE-17K-ETは、17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™ 互換機とRS-232-Cを介して接続して使用します。 各品種専用のシステム・エミュレーション・ボード（EMボード）と組み合わせて使 用することにより、その品種に対応したエミュレータとして動作します。マン・マシ ン・インタフェース・ソフトウェアであるSIMPLEHOST®を使用すると、さらに高度 なデバッグ環境を実現できます。
★ EMボード （EM-17246 <sup>注2</sup> ）	EM-17246はμPD17246サブシリーズ用のEMボードです。単体でシステム評価に、イン サーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ （EP-17K30GS）	EP-17K30GSは、17Kシリーズ30ピン・シュリンクSOP（MC-5A4）用のエミュレーシ ョン・プローブです。EV-9500GT-30 <sup>注3</sup> とともに使用することにより、EMボードとタ ーゲット・システムを接続します。
変換アダプタ （EV-9500GT-30 <sup>注3</sup> ）	EV-9500GT-30は30ピン・シュリンクSOP（MC-5A4）用の変換アダプタです。EP- 17K30GSとターゲット・システムを接続するために使用します。
PROMプログラマ （AF-9706 <sup>注4</sup> , AF-9708 <sup>注4</sup> , AF-9709 <sup>注4</sup> ）	AF-9706, 9708, 9709は、μPD17P246に対応したPROMプログラマです。プログラム アダプタPA-17P236を接続することにより、μPD17P246をプログラミングできます。
プログラムアダプタ（PA-17P236）	PA-17P236はμPD17P246をプログラミングするためのアダプタです。AF-9706, AF- 9708またはAF-9709と組み合わせて使用します。

注1 . 廉価版：電源外付けタイプ

- 2 . 株式会社内藤電誠町田製作所の製品です。詳細につきましては、株式会社内藤電誠町田製作所（TEL（045）475-4191）までお問い合わせください。
- 3 . EP-17K30GSには、EV-9500GT-30が2個添付されています。また、EV-9500GT-30を5個1組で別売もしています。
- 4 . 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社（TEL（053）576-1560）までお問い合わせください。

ソフトウェア

名 前	概 要	ホスト・マシン	OS	供給媒体	オーダ名称
17Kアセンブラ (RA17K)	RA17Kは17Kシリーズ共通に使用できるアセンブラです。デバイスのプログラム開発には、このRA17Kとデバイス・ファイルを組み合わせで使用します。	PC-9800シリーズ	日本語版 Windows™	3.5インチ2HD	μ SAA13RA17K
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13RA17K
			英語版 Windows		μ SBB13RA17K
★ デバイス・ ファイル (AS17246)	AS17246にはμ PD17240, 17241, 17242, 17243, 17244, 17245, 17246用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ(RA17K)と組み合わせで使用します。	PC-9800シリーズ	日本語版 Windows	3.5インチ2HD	μ SAA13AS17246
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13AS17246
			英語版 Windows		μ SBB13AS17246
サポート・ ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	日本語版 Windows	3.5インチ2HD	μ SAA13ID17K
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13ID17K
			英語版 Windows		μ SBB13ID17K

〔メ モ〕

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

SIMPLEHOST は、NECエレクトロニクス株式会社の登録商標です。

Windows は、米国 Microsoft Corporation の米国およびその他の国における登録商標または商標です。

PC/AT は、米国 IBM 社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

M8E 02.11

## 【発行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電話：044-435-9494

E-mail：info@necel.com

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。