

RX660 グループ

ルネサスマイクロコンピュータ

R01DS0393JJ0100

Rev.1.00

2022.03.18

120MHz、32ビットRX MCU、FPU内蔵、709 Coremark、電源5V対応、最大1Mバイトフラッシュメモリ、128KバイトSRAM、32Kバイトデータフラッシュメモリ、CAN FDなど多種多様な通信機能、12ビットA/Dコンバータ、12ビットD/Aコンバータ、アナログコンパレータ、RTC、リモコン信号受信機能

特長

■ 32ビットRXv3 CPU コア

- 最高動作周波数 120MHz
709 Coremark の性能 (120MHz 動作時)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- RTC を使用したディープソフトウェアスタンバイモード
- 4種類の低消費電力モード

■ コードフラッシュメモリ

- 最大 1M バイト
- 120MHz 動作 (ノーウェイト)
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム/イレーズ (BGO)

■ データフラッシュメモリ

- 32K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム/イレーズ (BGO)

■ SRAM

- 128K バイト SRAM (ノーウェイト)

■ 外部アドレス空間

- 高速動作バス (最高 40MHz)
- 4つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能

■ データ転送機能

- DMACAa : 8ch 内蔵
- DTCb : 1ch 内蔵

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載

■ クロック機能

- 8MHz ~ 24MHz 外部水晶発振、内部 PLL 対応のメインクロック発振器を搭載
- 32.768kHz 水晶発振器対応のサブクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■ リアルタイムクロック

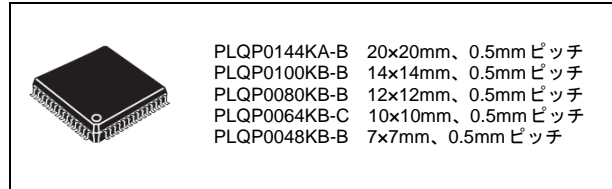
- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- イベント端子入力による時間キャプチャ機能

■ 独立ウォッチドッグタイマ

- 120kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能



■ リモコン信号受信機能

■ 多種多様な通信機能

- CAN FD (ISO 11898-1:2015 準拠) (標準フレーム / 拡張フレーム) (1ch)
- 多彩な機能に対応した SCIk、SCIm、SCIh (最大 13ch) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIm (最大 2ch)
- I²C バスインタフェース (RIICa) (2ch) Fast-mode (最大 400kbps)、SMBus 対応
- RSPId (1ch) 最大 30Mbps 転送

■ 最大 19 本の拡張タイマ機能

- 16 ビット MTU3a
- 8 ビット TMRb (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■ 12 ビット A/D コンバータ

- 12 ビット x1 ユニット (24ch)
- 自己診断機能、アナログ入力断線検出機能

■ アナログコンパレータ (CMPC) : 4ch

■ 12 ビット D/A コンバータ (R12DAb) : 2ch

- アナログコンパレータの基準電圧として使用可能

■ チップ内部の温度を計測可能な温度センサ

■ 最大 134 本の汎用入出力ポート

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- D バージョン : -40°C ~ +85°C
- G バージョン : -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、パッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：120MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 <ul style="list-style-type: none"> 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ一括退避機能命令：2命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
	レジスタ一括退避機能	<ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：1M/512Kバイト 120MHz、ノーウェイトアクセス オンボードプログラミング：4種類 オフボードプログラミング(パレルライターモード) Trusted Memory (TM) 機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：32Kバイト プログラム/イレーズ回数：100,000回
	ユニークID	<ul style="list-style-type: none"> 12バイト長のデバイス固有のID
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 120MHz、ノーウェイトアクセス
動作モード		<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード <ul style="list-style-type: none"> シングルチップモード ブートモード(SCIインタフェース) ブートモード(FINEインタフェース) ユーザブートモード レジスタ設定による動作モードの選択 <ul style="list-style-type: none"> シングルチップモード ユーザブートモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード エンディアン選択可能

表 1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振器停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIFクロック (FCLK)、外部バスクロック (BCLK) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max MTU、RSPI、SCI (10, 11)、RSCI、CANFD内ECCレジスタの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：40MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして通倍可能
リセット		<p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0の上昇時発生 電圧監視0リセット：VCC = AVCC0の下降時発生 電圧監視1リセット：VCC = AVCC0の下降時発生 電圧監視2リセット：VCC = AVCC0の下降時発生 ディープソフトウェアスタンバイリセット：ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット：独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット：ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路 (LVDA)		<p>VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 <ul style="list-style-type: none"> 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 電圧検出回路1、2 <ul style="list-style-type: none"> 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り (LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスク割込みもしくはノンマスク割込み選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICUF)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスク割込み：要因数7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式：割り込みベクタは256ベクタで構成 (128要因は固定ベクタ。残り128要因から133ベクタを選択)

表 1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3)に分割して管理 各エリアの領域：2Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACa)	<ul style="list-style-type: none"> 8チャネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 144ピンLFQFP (JTAGなし、サブクロック発振器なし) 入出力：133 入力：1 プルアップ抵抗：133 オープンドレイン出力：133 5Vトレラント：4 144ピンLFQFP (JTAGなし、サブクロック発振器あり) 入出力：131 入力：1 プルアップ抵抗：131 オープンドレイン出力：131 5Vトレラント：4 144ピンLFQFP (JTAGあり、サブクロック発振器なし) 入出力：132 入力：1 プルアップ抵抗：132 オープンドレイン出力：132 5Vトレラント：4 144ピンLFQFP (JTAGあり、サブクロック発振器あり) 入出力：130 入力：1 プルアップ抵抗：130 オープンドレイン出力：130 5Vトレラント：4 100ピンLFQFP (JTAGなし、サブクロック発振器なし) 入出力：91 入力：1 プルアップ抵抗：91 オープンドレイン出力：91 5Vトレラント：4 100ピンLFQFP (JTAGなし、サブクロック発振器あり) 入出力：89 入力：1 プルアップ抵抗：89 オープンドレイン出力：89 5Vトレラント：4 100ピンLFQFP (JTAGあり、サブクロック発振器なし) 入出力：90 入力：1 プルアップ抵抗：90 オープンドレイン出力：90 5Vトレラント：4 100ピンLFQFP (JTAGあり、サブクロック発振器あり) 入出力：88 入力：1 プルアップ抵抗：88 オープンドレイン出力：88 5Vトレラント：4

表 1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 80ピンLFQFP (サブクロック発振器なし) 入出力：71 入力：1 プルアップ抵抗：71 オープンドレイン出力：71 5Vトレラント：4 80ピンLFQFP (サブクロック発振器あり) 入出力：69 入力：1 プルアップ抵抗：69 オープンドレイン出力：69 5Vトレラント：4 64ピンLFQFP (サブクロック発振器なし) 入出力：55 入力：1 プルアップ抵抗：55 オープンドレイン出力：55 5Vトレラント：2 64ピンLFQFP (サブクロック発振器あり) 入出力：53 入力：1 プルアップ抵抗：53 オープンドレイン出力：53 5Vトレラント：2 48ピンLFQFP 入出力：39 入力：1 プルアップ抵抗：39 オープンドレイン出力：39 5Vトレラント：2
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 83種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) 入力端子の変化で周辺機能が連動可能(ポートB、E)
タイマ	8ビットタイマ(TMRb)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×2ユニット 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6、SCI12のポーレートクロック生成可能 REMCの動作クロックを生成可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ(CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW(CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル)×2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能
	ウォッチドッグタイマ(WDTA)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ(IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	マルチファンクションタイマパルスユニット3 (MTU3a)	<ul style="list-style-type: none"> 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) 最大28本のパルス入出力、および3本のパルス入力が可能 14種類のカウントクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル2は12種類、チャンネル5は10種類) インプットキャプチャ機能 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ(TCNT)への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 43種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 位相計数モード: 16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート
	ポートアウトプットイネーブル3 (POE3a)	<ul style="list-style-type: none"> MTU波形出力端子のハイインピーダンス制御 POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 発振停止検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能
	リアルタイムクロック(RTCC)(注1)	<ul style="list-style-type: none"> クロックソース: サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因: アラーム割り込み、周期割り込み、桁上げ割り込み 時間キャプチャ機能(最大3端子) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIh)	<ul style="list-style-type: none"> 13チャンネル：(SCIk：10チャンネル+ SCIh：1チャンネル+ SCIm：2チャンネル) SCIk, SCIh, SCIm シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート SCIk, SCIh TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) ELCによるイベントリンク機能をサポート (チャンネル5のみ) SCIh スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート SCIm 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 SCIk, SCIm データ一致検出 RXDサンプリング調整機能
	シリアルコミュニケーションインタフェース (RSCI)	<ul style="list-style-type: none"> 2チャンネル (RSCI10, RSCI11) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 マンチエスタコード機能をサポート HBS機能をサポート データ一致検出 RXDサンプリング調整機能
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 2チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 ELCによるイベントリンク機能をサポート
	CAN FDモジュール (CANFD) (注2)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1:2015仕様に準拠 (標準フレーム/拡張フレーム)

表 1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPId)	<ul style="list-style-type: none"> 1チャンネル RSPi転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	リモコン信号受信機能 (REMCa)	<ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ8バイト(1ユニットあたり) 動作クロックを、PCLK、サブロック、TMRから選択可能
12ビットA/Dコンバータ(S12ADH)	<ul style="list-style-type: none"> 12ビット(24チャンネル×1ユニット) 分解能: 12ビット 最小変換時間: 1チャンネルあたり0.9μs (ADCLK = 60MHz動作時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) ダブルトリガモード(A/D変換データ二重化機能) A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, TMR, ELC)、外部トリガ グループスキャン優先制御がグループA、B、C間で対応可能 デジタルコンペア機能 方式: 大小比較、またはウィンドウ比較 手段: 2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 アナログ入力断線検出機能 ELCによるイベントリンク機能をサポート 	
12ビットD/Aコンバータ(R12DAb)	<ul style="list-style-type: none"> 2チャンネル 分解能: 12ビット 出力電圧: 0V~AVCC0 コンパレータのリファレンス電圧として供給可能 ELCによるイベントリンク機能をサポート 	
コンパレータC (CMPC)	<ul style="list-style-type: none"> 4チャンネル リファレンス電圧とアナログ入力電圧の比較機能 デジタルフィルタ機能あり 	
温度センサ	<ul style="list-style-type: none"> 1チャンネル 相対精度: ±1.0°C 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
三角関数演算器(TFU)	<ul style="list-style-type: none"> sin演算、cos演算、arctan演算、$\sqrt{x^2+y^2}$演算 sinとcosの同時演算 arctanと$\sqrt{x^2+y^2}$の同時演算 	
セーフティ	メモリプロテクション ユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア: 0000 0000h~FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位: 16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止

表 1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	レジスタライト プロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算(CRCA)	<ul style="list-style-type: none"> 8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止 検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定 回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDT専用オンチップオシレータ、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路(DOCA)	<ul style="list-style-type: none"> 32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能
動作周波数	120MHz max	
電源電圧	VCC = 2.7 ~ 5.5V AVCC0 = 3.0 ~ 5.5V (ただし、VCC ≤ AVCC0)	
動作周囲温度	Dバージョン：-40 ~ +85°C Gバージョン：-40 ~ +105°C	
パッケージ	144ピンLFQFP (PLQP0144KA-B) 100ピンLFQFP (PLQP0100KB-B) 80ピンLFQFP (PLQP0080KB-B) 64ピンLFQFP (PLQP0064KB-C) 48ピンLFQFP (PLQP0048KB-B)	
デバックインタフェース	JTAG (注3) およびFINEインタフェース	

注1. リアルタイムクロックを使用しない場合、「ユーザーズマニュアルハードウェア編」の「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。また、サブクロック発振器のない製品ではリアルタイムクロックを使用できません。この場合も同様に、「ユーザーズマニュアルハードウェア編」の「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを無効にしてください。

注2. CAN FDプロトコルへの対応/非対応で型名が異なります。

注3. JTAG機能の有無で型名が異なります。

表 1.2 パッケージ別機能比較一覧

機能	製品		RX660				
	パッケージ		144ピンLQFP	100ピンLQFP	80ピンLQFP	64ピンLQFP	48ピンLQFP
コードフラッシュメモリ容量	1M/512K バイト						
データフラッシュメモリ容量	32K バイト						
RAM容量	128K バイト						
外部バス	外部バス幅	16 ビット			なし		
	アドレス空間	2M バイト x4 エリア			なし		
DMA	DMAコントローラ	あり					
	データトランスファコントローラ	あり					
発振器	メインクロック発振器(MOSC)	あり					
	サブクロック発振器(SOSC)	あり / なし				なし	
タイマ	マルチファンクションタイマパルスユニット3	ch0 ~ 8		ch0 ~ 7		ch0 ~ 5, 7	
	ポートアウトプットイネーブル3	あり					
	8ビットタイマ	ch0 ~ 3				ch0 ~ 2	
	コンペアマッチタイマ	ch0 ~ 3					
	コンペアマッチタイマW	ch0, 1					
	リアルタイムクロック	あり / なし(注1)				なし(注1)	
	ウォッチドッグタイマ	あり					
	独立ウォッチドッグタイマ	あり					
通信	シリアルコミュニケーションインタフェース(SCIk)	ch0 ~ 9	ch0 ~ 6, 8, 9	ch0, 1, 3 ~ 6, 8, 9	ch1, 3 ~ 6, 8, 9	ch1, 3 ~ 6, 8	
	シリアルコミュニケーションインタフェース(SCIm)	ch10, 11				ch10	
	シリアルコミュニケーションインタフェース(SCIh)	ch12					
	シリアルコミュニケーションインタフェース(RSCI)	ch10, 11				ch10	
	I ² Cバスインタフェース(RIIC)	ch0, 2			ch2		
	シリアルペリフェラルインタフェース(RSPI)	1 チャネル					
	CAN FDモジュール(CANFD)	1 チャネル					
	リモコン信号受信機能(REMC)	ch0					
アナログ	12ビットA/Dコンバータ	24 チャネル			17 チャネル	14 チャネル	10 チャネル
	コンパレータC	4 チャネル					
	12ビットD/Aコンバータ(注2)	チャネル数	2 チャネル				
		出力端子数	2 本	2 本 / 1 本(注3)	2 本	1 本	なし
温度センサ	あり						
CRC演算器(CRCA)	あり						
データ演算回路(DOCA)	あり						
クロック周波数精度測定回路(CAC)	あり						
イベントリンクコントローラ(ELC)	あり						
オフボードプログラミング	あり			なし			
デバッグインタフェース	JTAGインタフェース	あり / なし			なし		
	FINEインタフェース	あり					

注1. サブクロック発振器のない製品ではリアルタイムクロックを使用できません。「ユーザーズマニュアルハードウェア編」の「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを無効にしてください。

- 注2. 全パッケージにおいて2チャンネルのD/Aコンバータのアナログ出力をコンパレータの入力として使用することが可能です。
 注3. JTAGのある製品

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表 (1/3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Dバージョン)	R5F56609ADFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609EDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56609FDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56609GDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56609HDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56609ADFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609EDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56609FDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56609GDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56609HDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56609ADFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609ADFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609ADFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604ADFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604EDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56604FDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56604GDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56604HDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56604ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604EDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56604FDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85

表1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Dバージョン)	R5F56604GDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56604HDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56604ADFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604ADFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604ADFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
RX660 (Gバージョン)	R5F56609AGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609EGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56609FGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56609GGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56609HGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56609AGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609EGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56609FGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56609GGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56609HGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56609AGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609AGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609AGFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604AGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604EGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56604FGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56604GGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56604HGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105

表1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Gバージョン)	R5F56604AGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604EGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56604FGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56604GGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56604HGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56604AGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604AGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604AGFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105

注1. CAN 2.0プロトコルのみ対応

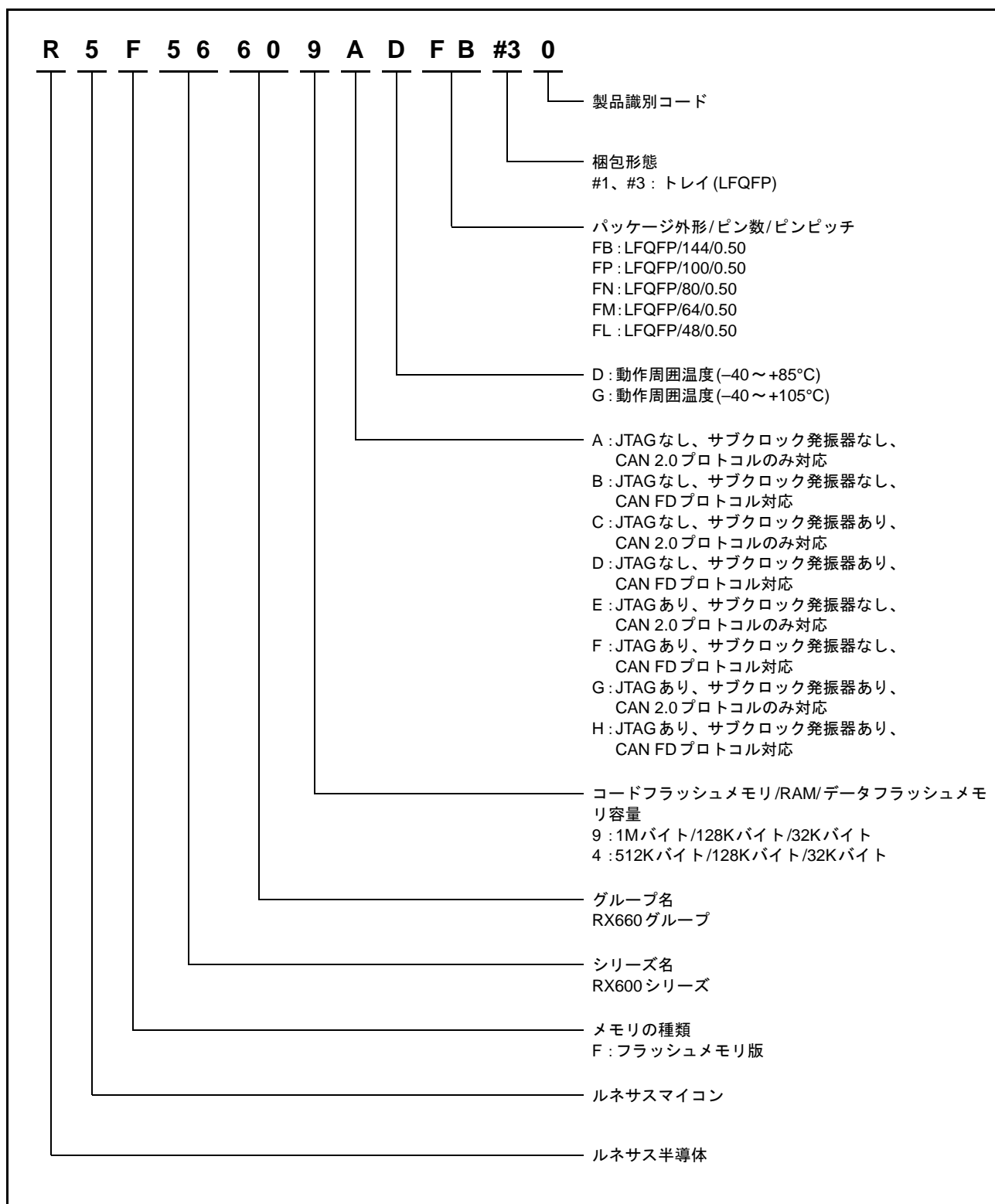


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

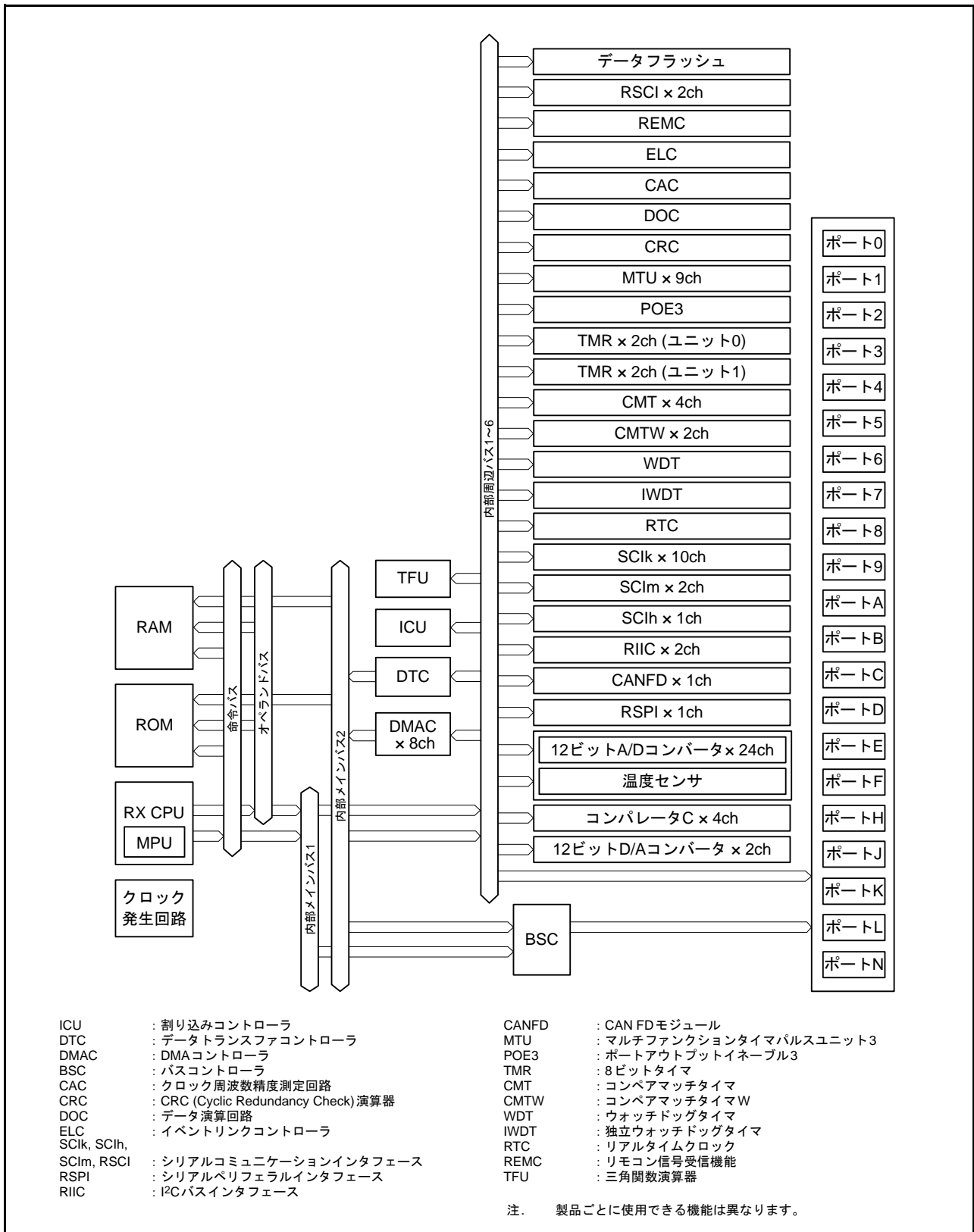


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。使用方法は、「ユーザーズマニュアルハードウェア編」の「3.1 動作モードの種類と選択」を参照してください
	UB	入力	ユーザブートモードイネーブル端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	JTAG端子使用時のオンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC TRSYNC1	出力	TRDATA0～TRDATA7端子からの出力が有効データであることを示します
	TRDATA0 TRDATA1 TRDATA2 TRDATA3 TRDATA4 TRDATA5 TRDATA6 TRDATA7	出力	トレース情報を出力します
アドレスバス	A0～A20	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#, WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7~D0, D15~D8) のいずれかが有効であることを示すストロブ信号
	BC0#, BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7~D0, D15~D8) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#~CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ15, IRQ0-DS~IRQ15-DS	入力	割り込み要求端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6~TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7~TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8~TGRD8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTUをハイインピーダンス状態にする要求信号を入力
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCi0~TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRi0~TMRi3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0~TIC3	入力	CMTWの入力端子
	TOC0~TOC3	出力	CMTWの出力端子
シリアルコミュニケーションインタフェース (SCIk)	● 調歩同期モード/クロック同期モード		
	SCK0~SCK9	入出力	クロック入出力端子
	RXD0~RXD9	入力	受信データ入力端子
	TXD0~TXD9	出力	送信データ出力端子
	CTS0#~CTS9#	入力	送受信開始制御用入力端子
	RTS0#~RTS9#	出力	送受信開始制御用出力端子

表 1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能	
シリアル コミュニケーション インタフェース (SCIk)	• 簡易 I ² C モード			
	SSCL0～SSCL9	入出力	I ² C クロック入出力端子	
	SSDA0～SSDA9	入出力	I ² C データ入出力端子	
	• 簡易 SPI モード			
	SCK0～SCK9	入出力	クロック入出力端子	
	SMISO0～SMISO9	入出力	スレーブ送出データ入出力端子	
	SMOSI0～SMOSI9	入出力	マスタ送出データ入出力端子	
	SS0#～SS9#	入力	チップセレクト入力端子	
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期モード/クロック同期モード			
	SCK12	入出力	クロック入出力端子	
	RXD12	入力	受信データ入力端子	
	TXD12	出力	送信データ出力端子	
	CTS12#	入力	送受信開始制御用入力端子	
	RTS12#	出力	送受信開始制御用出力端子	
	• 簡易 I ² C モード			
	SSCL12	入出力	I ² C クロック入出力端子	
	SSDA12	入出力	I ² C データ入出力端子	
	• 簡易 SPI モード			
	SCK12	入出力	クロック入出力端子	
	SMISO12	入出力	スレーブ送出データ入出力端子	
	SMOSI12	入出力	マスタ送出データ入出力端子	
	SS12#	入力	チップセレクト入力端子	
	• 拡張シリアルモード			
	RDX12	入力	受信データ入力端子	
	TXDX12	出力	送信データ出力端子	
	SIOX12	入出力	送受信データ入出力端子	
	シリアル コミュニケーション インタフェース (SCI _m)	• 調歩同期モード/クロック同期モード		
		SCK10, SCK11	入出力	クロック入出力端子
RXD10, RXD11		入力	受信データ入力端子	
TXD10, TXD11		出力	送信データ出力端子	
CTS10#, CTS11#		入力	送受信開始制御用入力端子	
RTS10#, RTS11#		出力	送受信開始制御用出力端子	
• 簡易 I ² C モード				
SSCL10, SSCL11		入出力	I ² C クロック入出力端子	
SSDA10, SSDA11		入出力	I ² C データ入出力端子	
• 簡易 SPI モード				
SCK10, SCK11		入出力	クロック入出力端子	
SMISO10, SMISO11		入出力	スレーブ送出データ入出力端子	
SMOSI10, SMOSI11		入出力	マスタ送出データ入出力端子	
SS10#, SS11#		入力	チップセレクト入力端子	

表 1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (RSCI)	• 調歩同期モード/クロック同期モード		
	SCK010, SCK011	入出力	クロック入出力端子
	RXD010, RXD011	入力	受信データ入力端子
	TXD010, TXD011	出力	送信データ出力端子
	CTS010#, CTS011#	入力	送受信開始制御用入力端子
	RTS010#, RTS011#	出力	送受信開始制御用出力端子
	DE010, DE011	出力	DriveEnable出力端子
	• 簡易I ² Cモード		
	SSCL010, SSCL011	入出力	I ² Cクロック入出力端子
	SSDA010, SSDA011	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK010, SCK011	入出力	クロック入出力端子
	SMISO010, SMISO011	入出力	スレーブ送出データ入出力端子
	SMOSI010, SMOSI011	入出力	マスタ送出データ入出力端子
	SS010#, SS011#	入力	チップセレクト入力端子
	• HBSサポートモード		
	RXD010, RXD011	入力	受信データ入力端子
TXD010, TXD011, TXDA011, TXDB011	出力	送信データ出力端子	
I ² Cバスインタフェース	SCL0, SCL2	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0, SDA2	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
CAN FDモジュール	CRX0	入力	入力端子
	CTX0	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ入出力端子
	MISOA	入出力	RSPIのスレーブ送出データ入出力端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000~AN023	入力	A/Dコンバータのアナログ入力端子
	ADST0	出力	AD変換中を示すステータス出力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0~COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0~CVREFC3	入力	コンパレータC用のリファレンス電圧端子
	CMPC00, CMPC10, CMPC20, CMPC30	入力	CMPCn0用アナログ入力端子(n=0~3)
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
リモコン信号受信機能 (REMC)	PMC0	入力	外部パルス信号入力端子

表 1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
アナログ電源	AVCC0 (注1)	入力	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナログ電源端子。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください
	AVSS0 (注1)	入力	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナロググランド端子。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。0.1μFの積層セラミックコンデンサを介してVREFL0に接続してください。コンデンサは端子近くに配置してください。12ビットA/Dコンバータを使用しない場合は、汎用機能に設定してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。0.1μFの積層セラミックコンデンサを介してVREFH0に接続してください。コンデンサは端子近くに配置してください。12ビットA/Dコンバータを使用しない場合は、汎用機能に設定してください
I/Oポート	P00～P07	入出力	8ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子(P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83, P86, P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5, PF6, PF7	入出力	3ビットの入出力端子
	PH0～PH3, PH6, PH7	入出力	6ビットの入出力端子
	PJ1, PJ3～PJ7	入出力	6ビットの入出力端子
	PK2～PK5	入出力	4ビットの入出力端子
	PL0, PL1	入出力	2ビットの入出力端子
PN6, PN7	入出力	2ビットの入出力端子	

注. 端子名については、以下の注意事項があります。詳細は、「1.6 機能別端子一覧」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせることを推奨します。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

注1. 12ビットA/Dコンバータ、温度センサを使用しない場合、AVCC0端子はVCCに、AVSS0端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

1.5.1 144ピン LQFP (JTAG なし / サブクロック発振器なし)

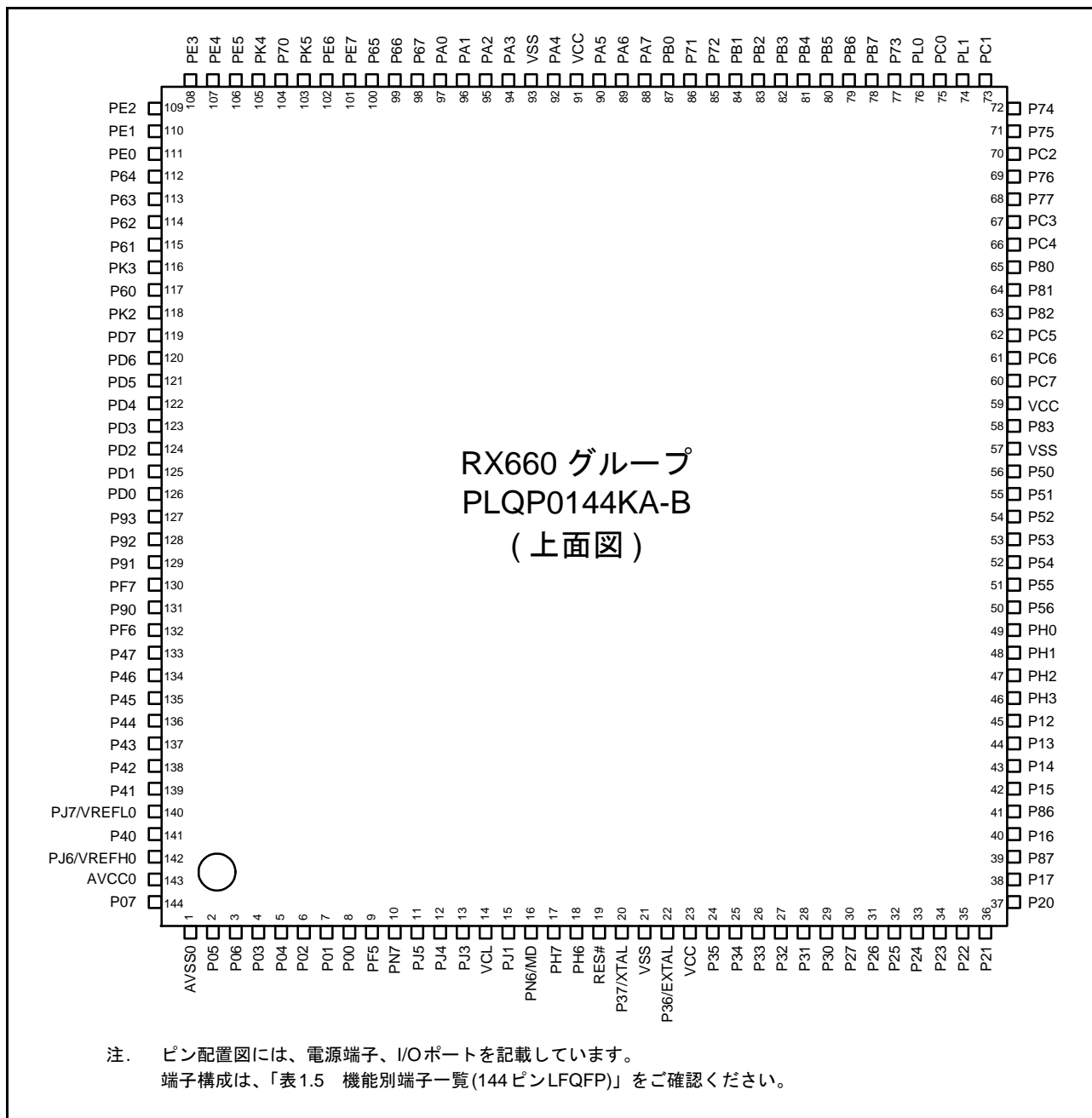


図 1.3 ピン配置図 (144ピン LQFP (JTAG なし / サブクロック発振器なし))

1.5.2 144ピン LQFP (JTAG なし / サブクロック発振器あり)

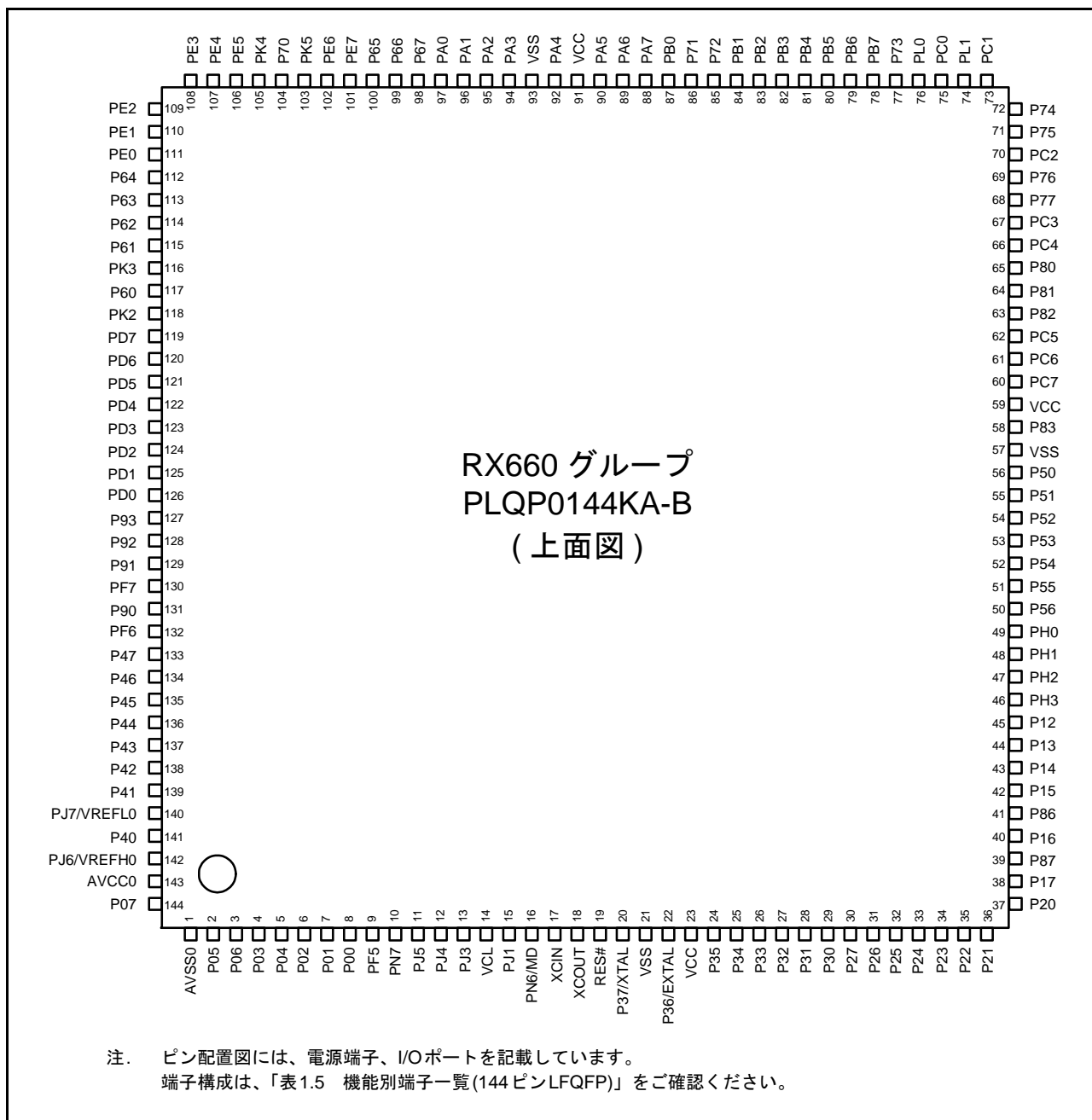


図 1.4 ピン配置図 (144ピン LQFP (JTAG なし / サブクロック発振器あり))

1.5.3 144ピン LQFP (JTAGあり / サブクロック発振器なし)

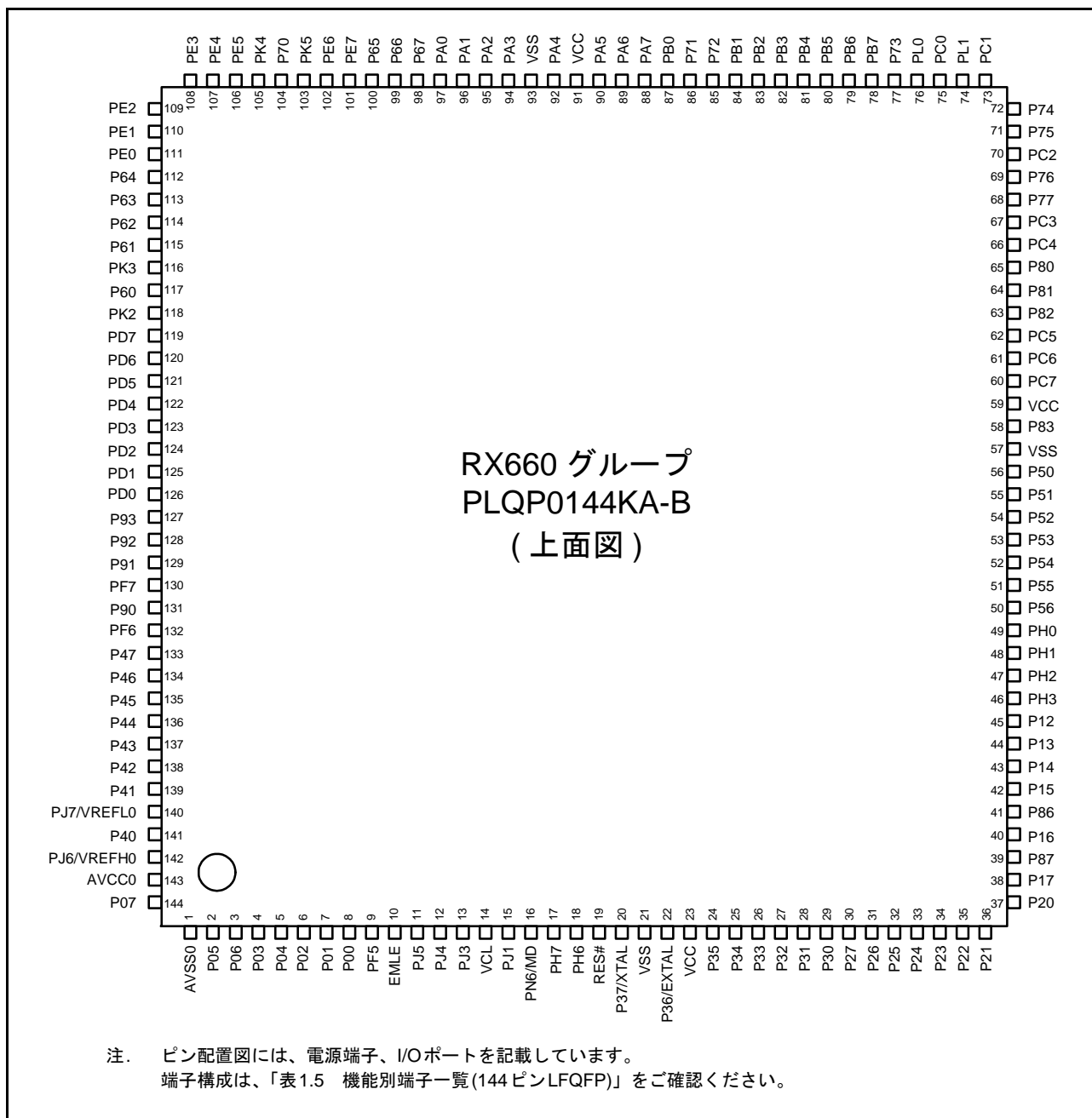


図 1.5 ピン配置図 (144ピン LQFP (JTAGあり / サブクロック発振器なし))

1.5.5 100ピン LQFP (JTAG なし / サブクロック発振器なし)

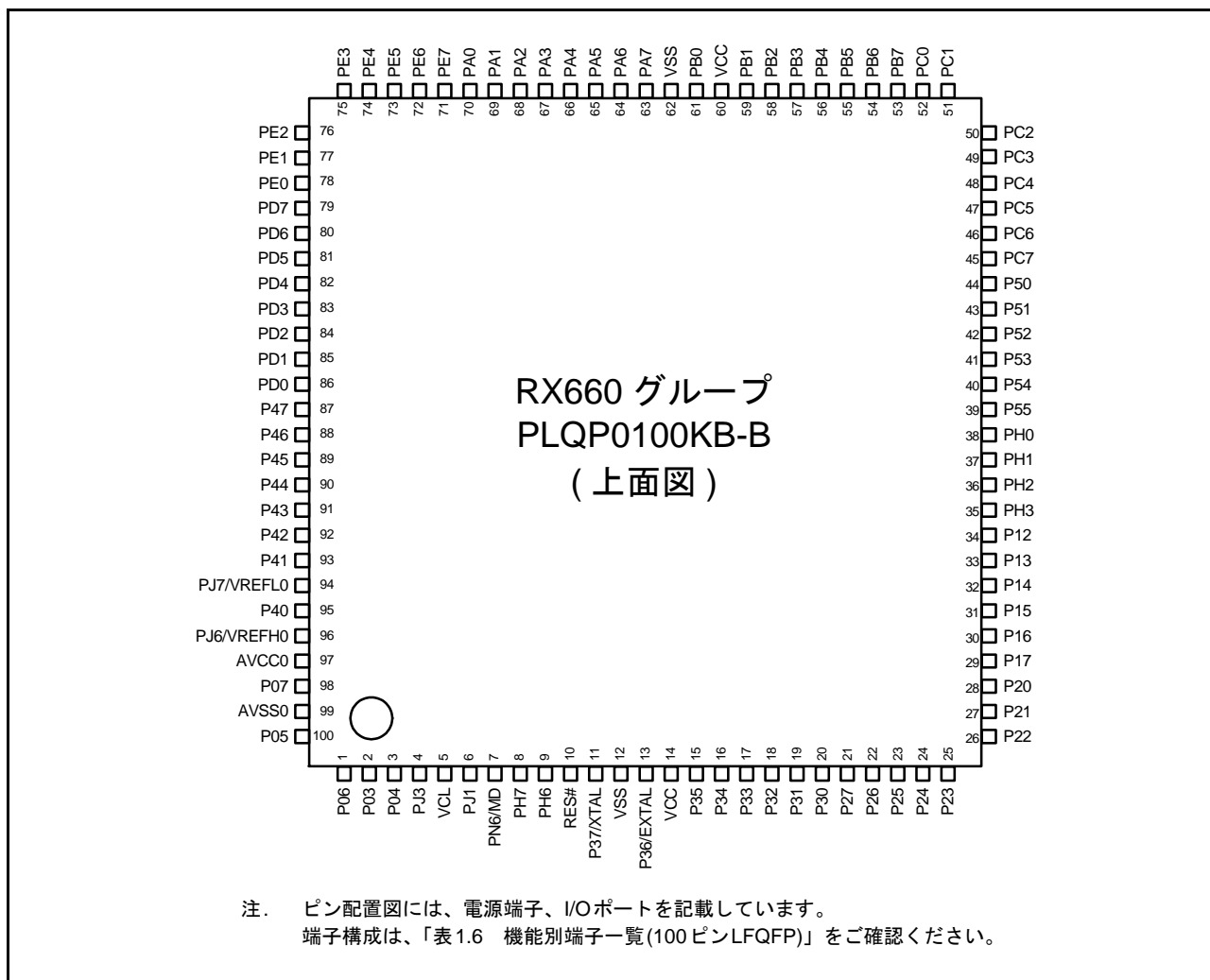


図 1.7 ピン配置図 (100ピン LQFP (JTAG なし / サブクロック発振器なし))

1.5.6 100ピン LQFP (JTAG なし / サブクロック発振器あり)

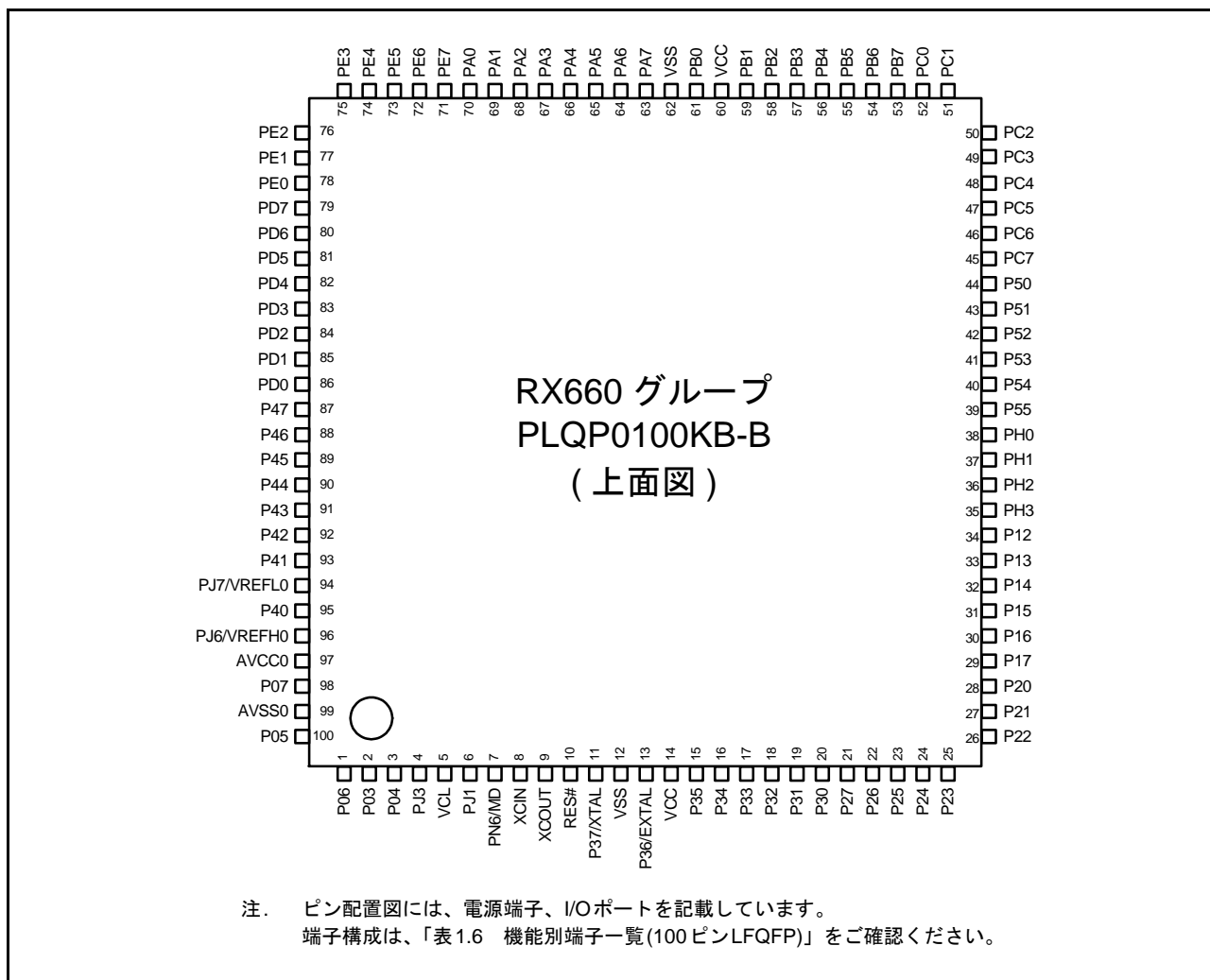


図 1.8 ピン配置図 (100ピン LQFP (JTAG なし / サブクロック発振器あり))

1.5.7 100ピン LQFP (JTAG あり / サブクロック発振器なし)

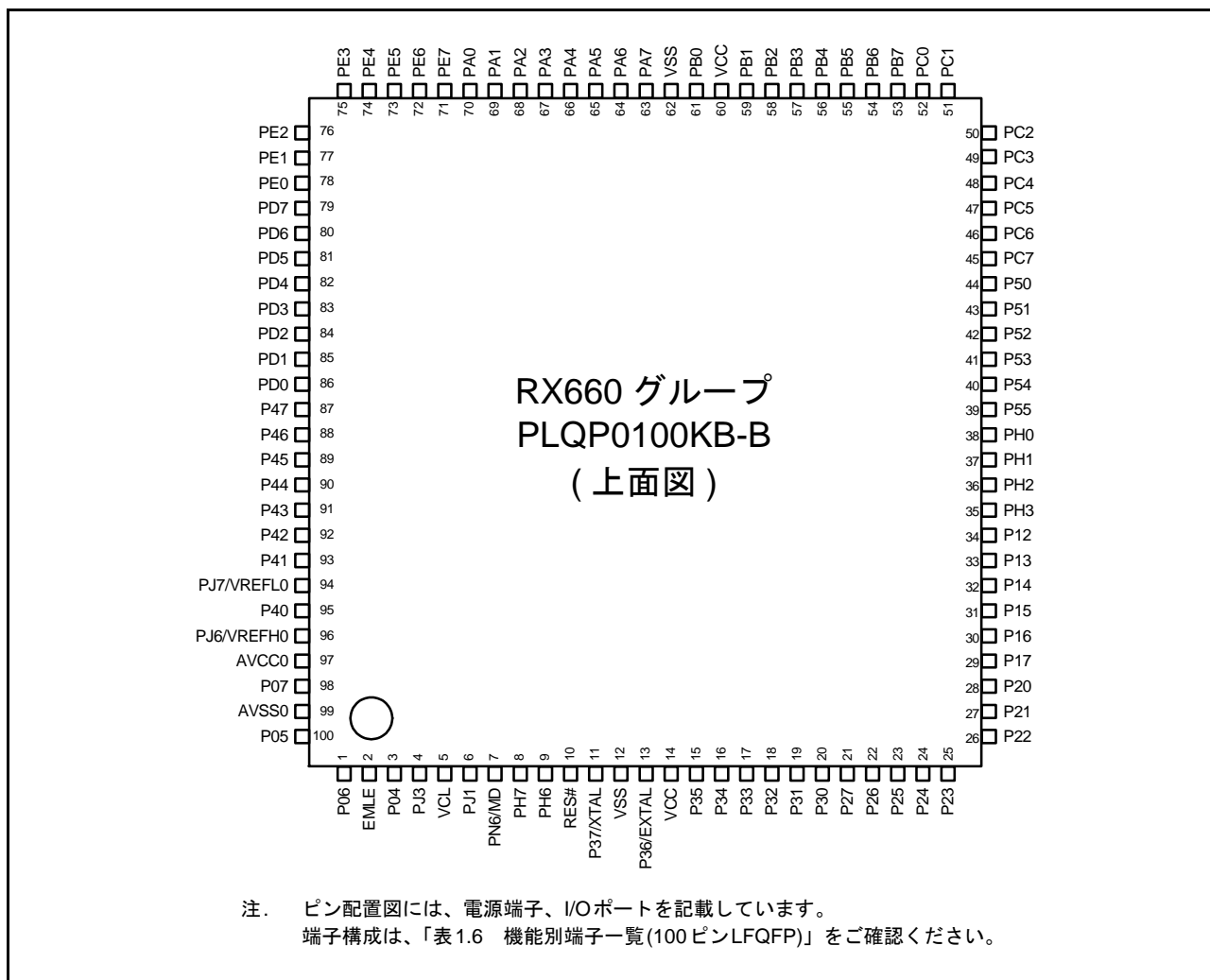


図 1.9 ピン配置図 (100ピン LQFP (JTAG あり / サブクロック発振器なし))

1.5.8 100ピン LQFP (JTAG あり / サブクロック発振器あり)

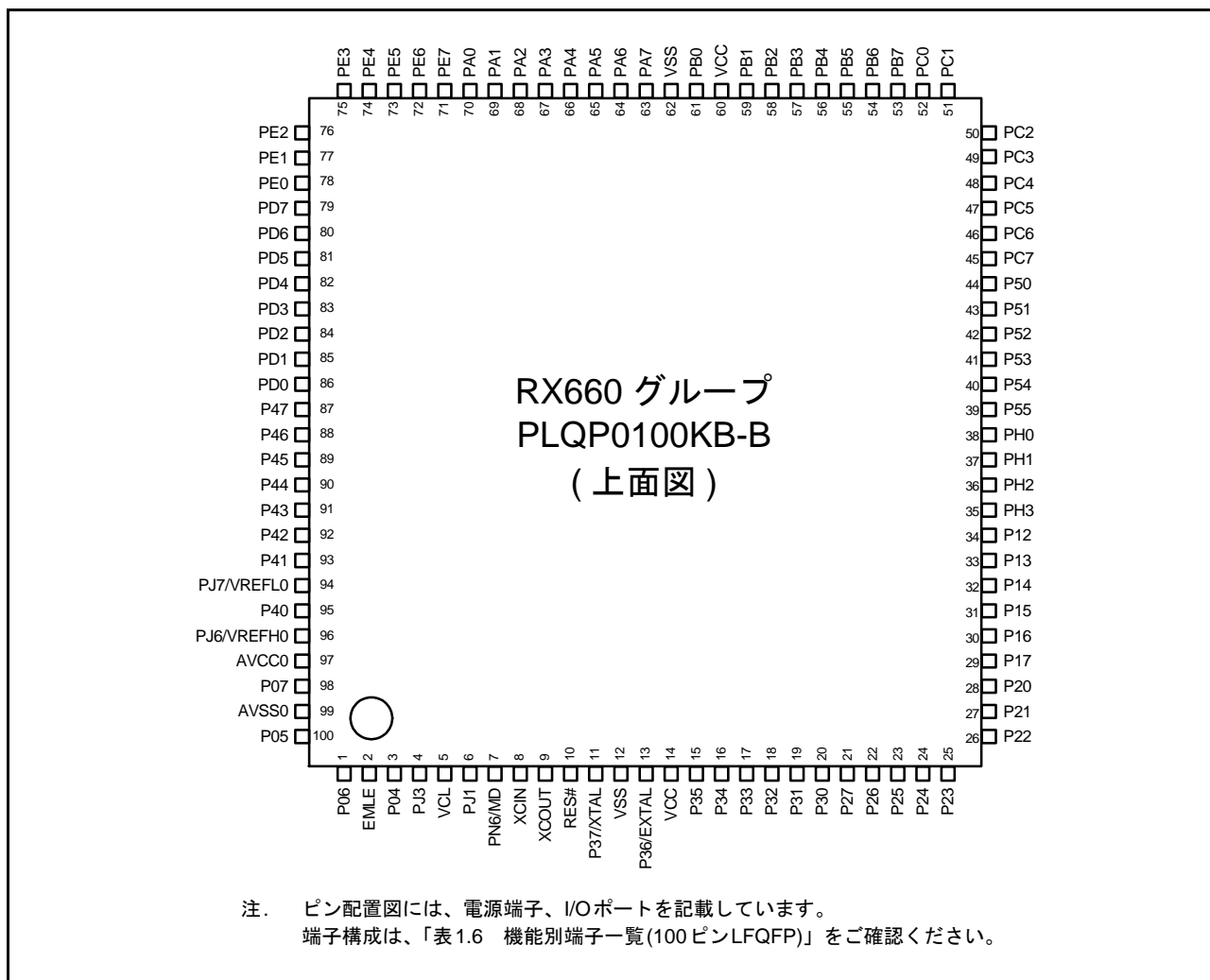


図 1.10 ピン配置図 (100ピン LQFP (JTAG あり / サブクロック発振器あり))

1.5.9 80ピンLFQFP (サブクロック発振器なし)

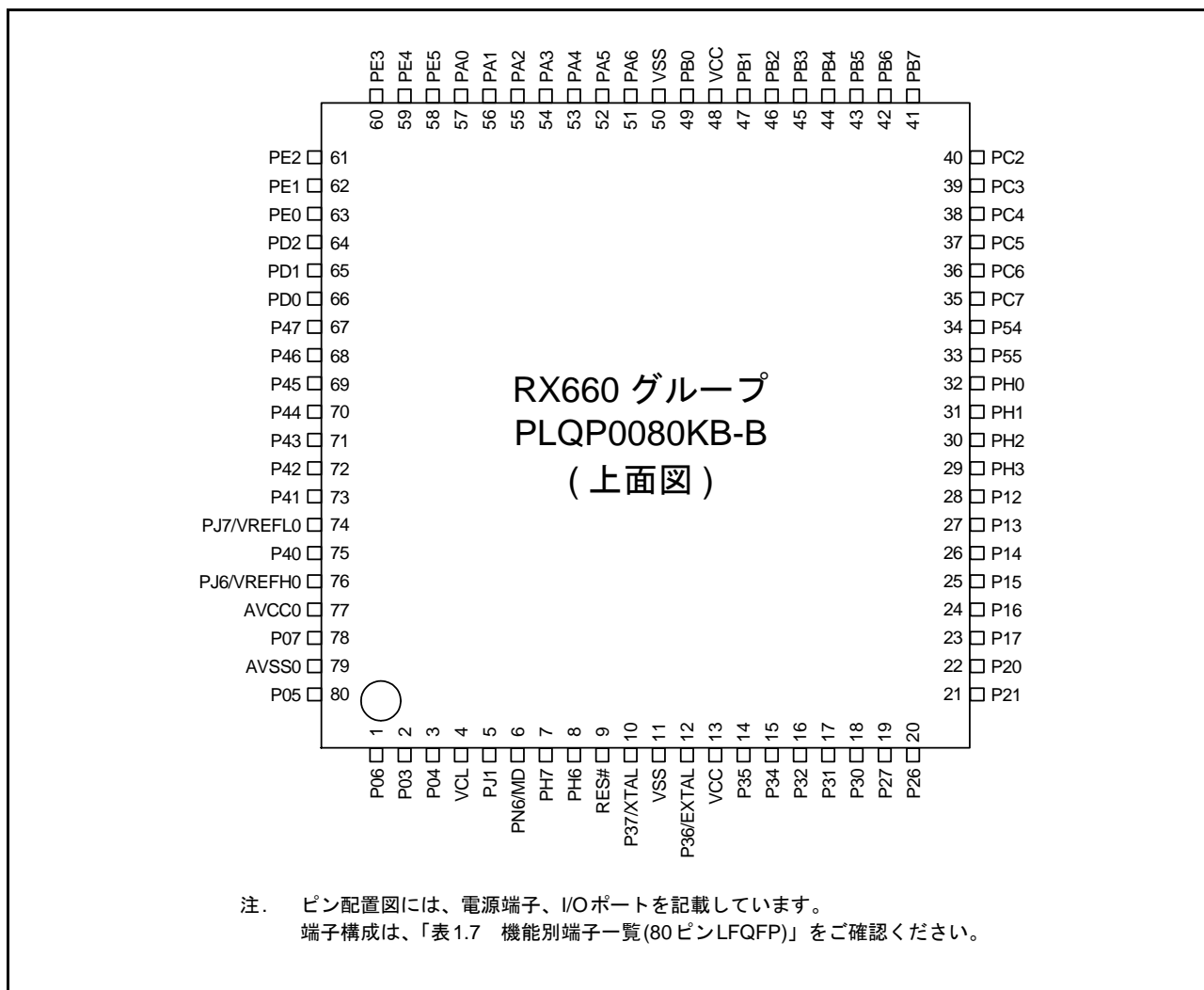


図 1.11 ピン配置図 (80ピンLFQFP (サブクロック発振器なし))

1.5.10 80ピンLFQFP (サブクロック発振器あり)

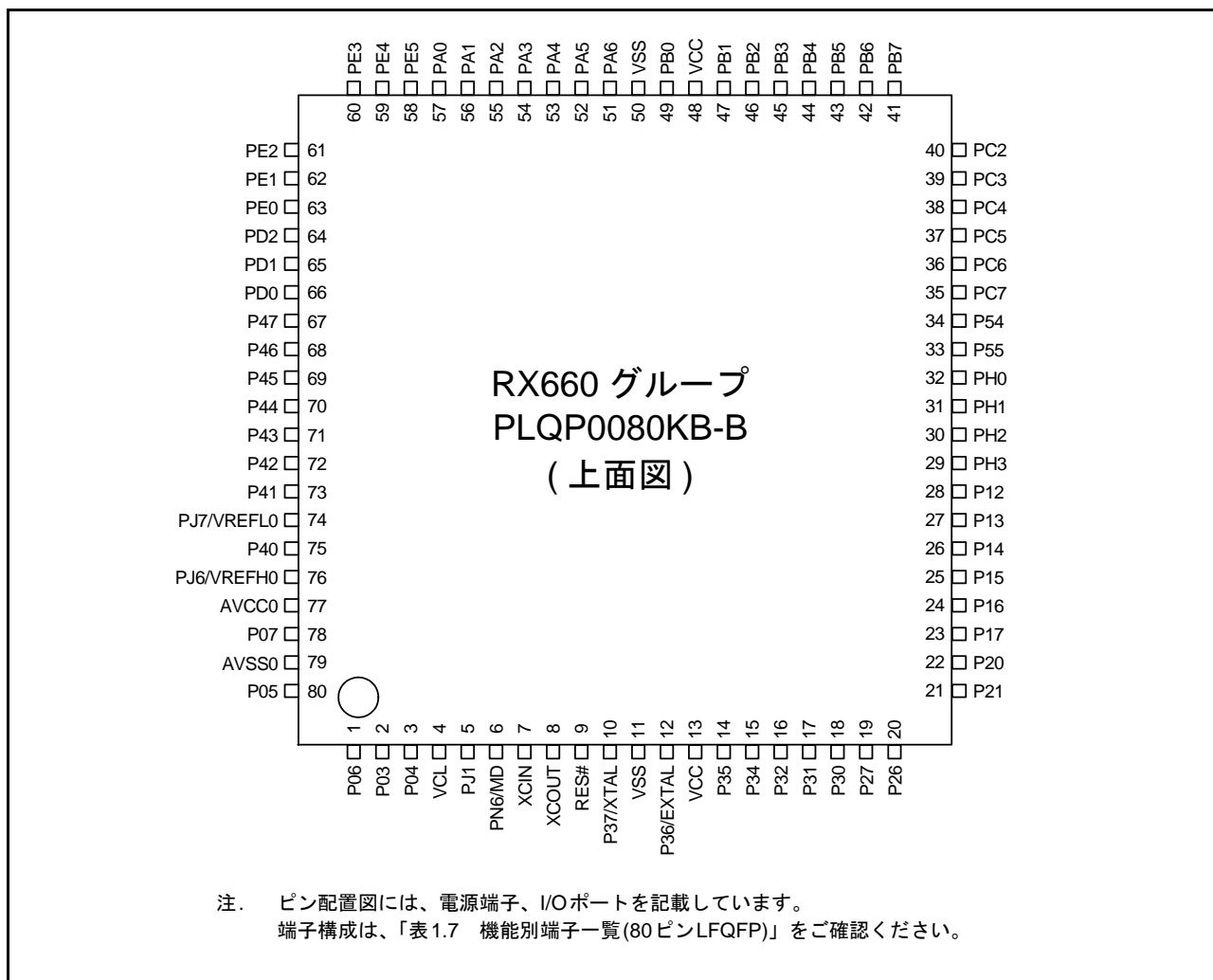


図 1.12 ピン配置図 (80ピンLFQFP (サブクロック発振器あり))

1.5.11 64ピンLFQFP (サブクロック発振器なし)

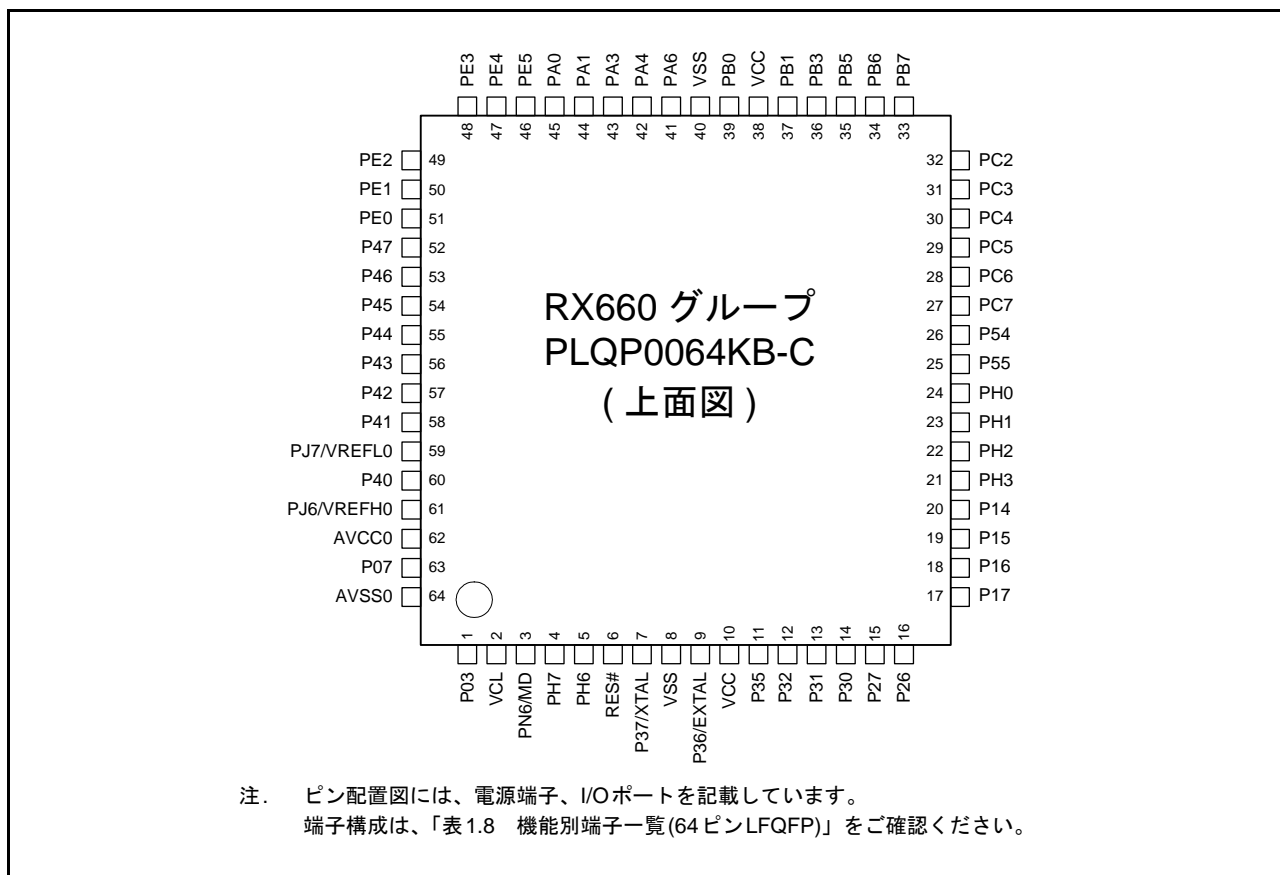


図 1.13 ピン配置図 (64ピンLFQFP (サブクロック発振器なし))

1.5.12 64ピンLFQFP (サブクロック発振器あり)

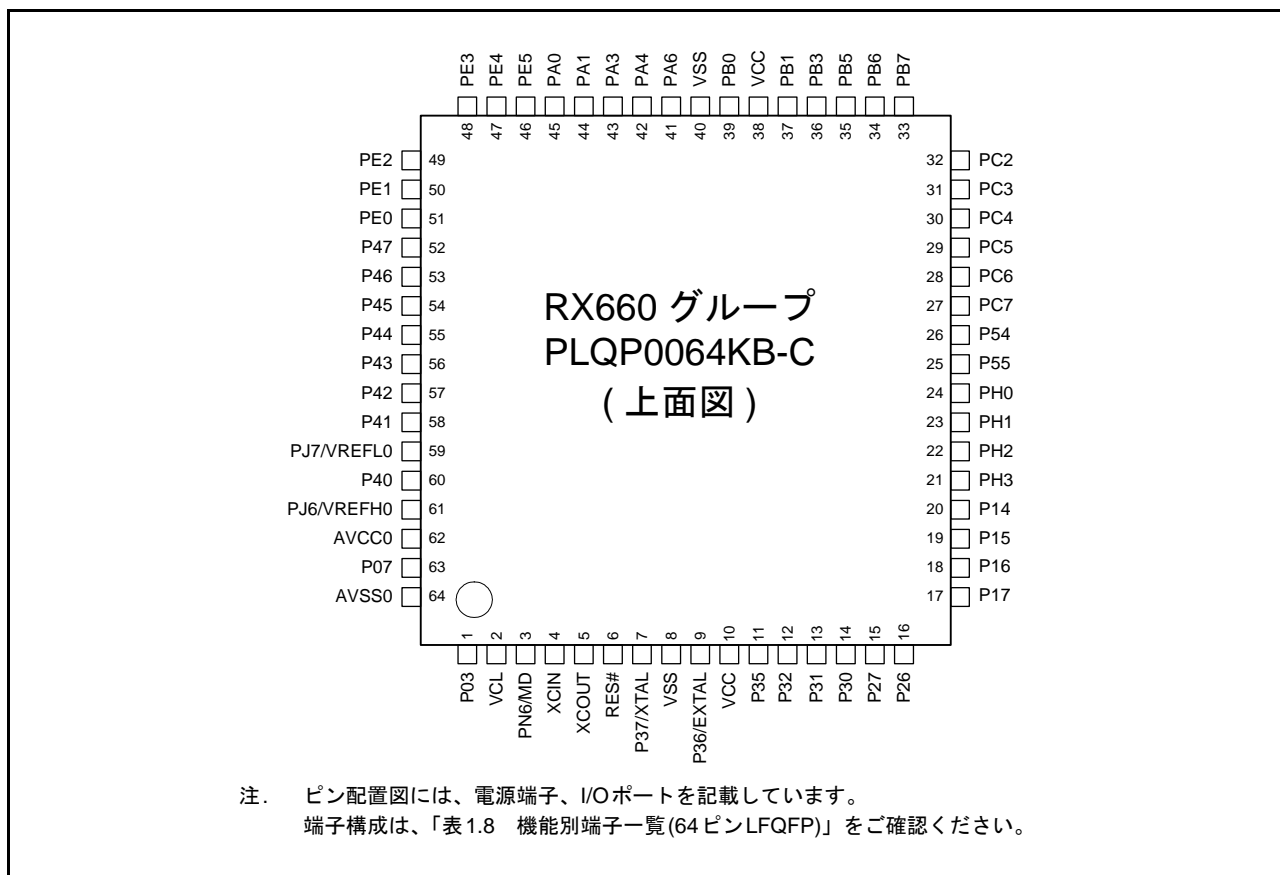


図 1.14 ピン配置図 (64ピンLFQFP (サブクロック発振器あり))

1.5.13 48ピンLFQFP

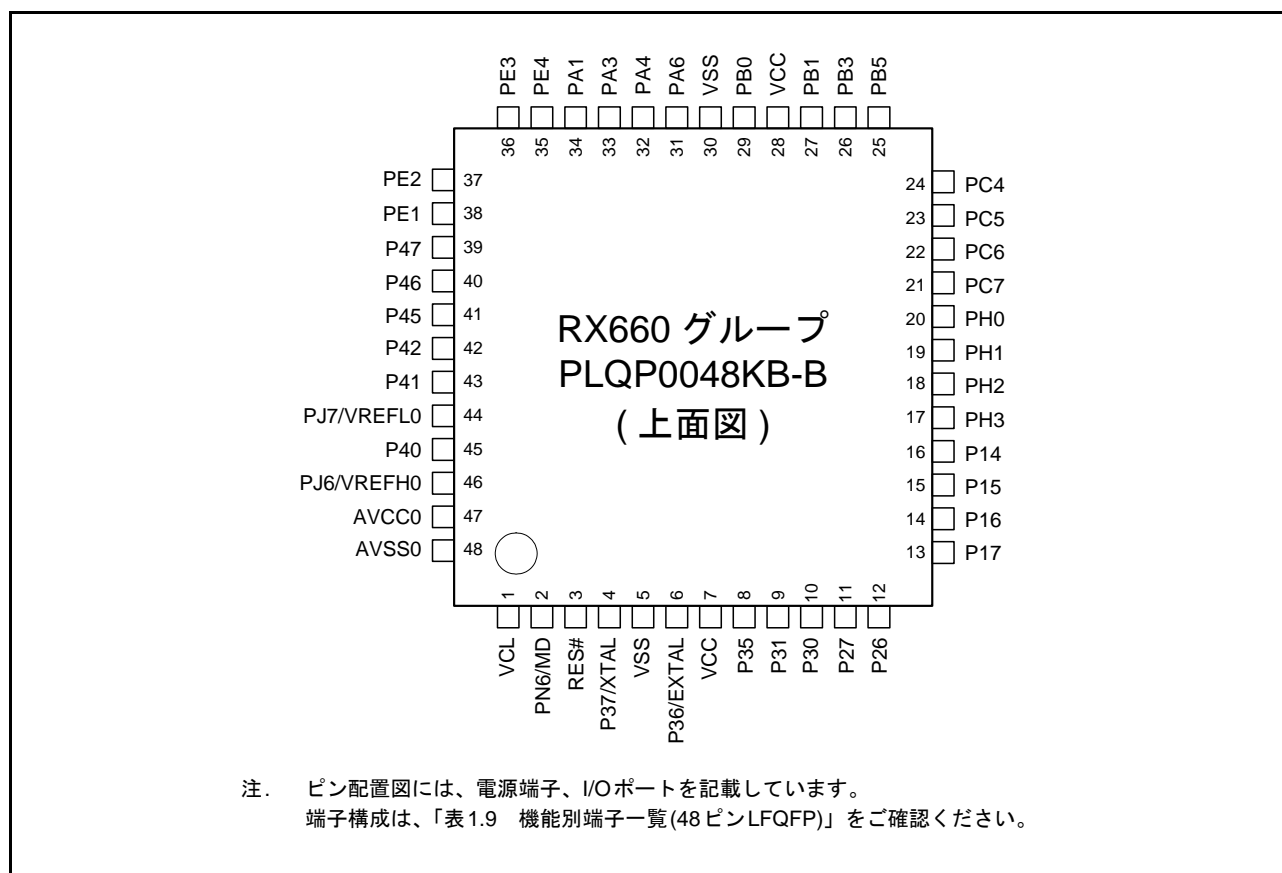


図 1.15 ピン配置図 (48ピンLFQFP)

1.6 機能別端子一覧

1.6.1 144ピンLFQFP

表 1.5 機能別端子一覧(144ピンLFQFP) (1 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1	AVSS0						
2		P05				IRQ13	DA1
3		P06					
4		P03				IRQ11	DA0
5		P04					
6		P02		TMC11	SCK6	IRQ10	
7		P01		TMC10	RXD6/SMISO6/ SSCL6	IRQ9	
8		P00		TMR10	TXD6/SMOSI6/ SSDA6	IRQ8	
9		PF5				IRQ4	
10	EMLE (注1)	PN7 (注2)					
11		PJ5		POE8#	CTS2#/RTS2#/SS2#	IRQ13	
12		PJ4					
13		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/ CTS0#/RTS0#/SS0#	IRQ11	
14	VCL						
15		PJ1		MTIOC3A			
16	MD/FINED	PN6					
17	XCIN (注3)	PH7 (注4)					
18	XCOUT (注3)	PH6 (注4)					
19	RES#						
20	XTAL	P37				IRQ4	
21	VSS						
22	EXTAL	P36				IRQ5	
23	VCC						
24		P35				NMI	
25	TRST# (注1)	P34		MTIOC0A/TMC13/ POE10#	SCK6/SCK0	IRQ4	
26		P33		MTIOC0D/TMR13/ POE4#/POE11#	RXD6/SMISO6/ SSCL6/RXD0/ SMISO0/SSCL0/ CRX0-A	IRQ3-DS	
27		P32		MTIOC0C/TMO3/ RTCIC2 (注5)/ RTCOUT (注5)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
28	TMS (注1)	P31		MTIOC4D/TMC12/ RTCIC1 (注5)	CTS1#/RTS1#/SS1#	IRQ1-DS	
29	TDI (注1)	P30		MTIOC4B/TMR13/ RTCIC0 (注5)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
30	TCK (注1)	P27	CS3#	MTIOC2B/TMC13	SCK1	IRQ7	CVREFC3

表 1.5 機能別端子一覧(144ピンLFQFP) (2 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
31	TDO (注1)	P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
32		P25	CS1#	MTIOC4C/MTCLKB	RXD3/SMISO3/ SSCL3	IRQ5	ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/ TMR1	SCK3	IRQ12	
34		P23		MTIOC3D/MTCLKD	TXD3/SMOSI3/ SSDA3/CTS0#/ RTS0#/SS0#	IRQ3	
35		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	IRQ15	
36		P21		MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
37		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	
38		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
39		P87		MTIOC4C	SMOSI10/SSDA10/ TXD10/TXD010-B/ SMOSI010-B/ SSDA010-B	IRQ15	
40		P16		MTIOC3C/MTIOC3D/ TMO2/RTCOUT (注5)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
41		P86		MTIOC4D	SMISO10/SSCL10/ RXD10/RXD010-B/ SMISO010-B/ SSCL010-B	IRQ14	
42		P15		MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
43		P14		MTIOC3A/MTCLKA/ TMR12	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
44		P13		MTIOC0B/TMO3	TXD2/SMOSI2/ SSDA2/SDA0	IRQ3	
45		P12		MTIC5U/TMCI1	RXD2/SMISO2/ SSCL2/SCL0	IRQ2	
46		PH3		MTIOC4D/TMCI0			
47		PH2		MTIOC4C/TMRI0/ TOC1		IRQ1	
48		PH1		MTIOC3D/TMO0/TIC1		IRQ0	ADST0
49		PH0		MTIOC3B/CACREF			ADTRG0#
50		P56		MTIOC3C	SCK7	IRQ6	
51	TRDATA3 (注1)	P55	D0[A0/D0]/ WAIT#	MTIOC4D/MTIOC4A/ TMO3	TXD7/SMOSI7/ SSDA7/CRX0-D	IRQ10	
52	TRDATA2 (注1)	P54	ALE/ D1[A1/D1]	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX0-D	IRQ4	
53		P53	BCLK		PMC0	IRQ3	
54		P52	RD#		RXD2/SMISO2/ SSCL2	IRQ2	
55		P51	WR1#/BC1#/ WAIT#		SCK2/PMC0	IRQ1	

表 1.5 機能別端子一覧(144ピンLFQFP) (3 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2	IRQ0	
57	VSS						
58	TRCLK (注1)	P83		MTIOC4C	SCK10/SS10#/ CTS10#/SCK010-B/ CTS010#-A/SS010#-A	IRQ3	
59	VCC						
60	UB	PC7	CS0#	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
61		PC6	D2[A2/D2]/ CS1#	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
62		PC5	D3[A3/D3]/ CS2#/WAIT#	MTIOC3B/MTCLKD/ TMR12/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
63	TRSYNC (注1)	P82		MTIOC4A	SMOSI10/SSDA10/ TXD10/TXD010-A/ SMOSI010-A/ SSDA010-A	IRQ2	
64	TRDATA1 (注1)	P81		MTIOC3D	SMISO10/SSCL10/ RXD10/RXD010-A/ SMISO010-A/ SSCL010-A	IRQ9	
65	TRDATA0 (注1)	P80		MTIOC3B	SCK10/RTS10#/ SCK010-A/ RTS010#-A/DE010-A	IRQ8	
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
67		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
68	TRDATA7 (注1)	P77			SMOSI11/SSDA11/ TXD11/TXD011-A/ SMOSI011-A/ SSDA011-A	IRQ7	
69	TRDATA6 (注1)	P76			SMISO11/SSCL11/ RXD11/RXD011-A/ SMISO011-A/ SSCL011-A	IRQ14	
70		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
71	TRSYNC1 (注1)	P75			SCK11/RTS11#/ SCK011-A/ RTS011#-A/DE011-A	IRQ13	
72	TRDATA5 (注1)	P74	A20		SS11#/CTS11#/ CTS011#-A/SS011#-A	IRQ12	

表 1.5 機能別端子一覧(144ピンLFQFP) (4 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
73		PC1	A17	MTIOC3A	SCK5/TXD011-C/ SMOSI011-C/ SSDA011-C/ TXDA011-C/SSLA2-A	IRQ12	
74		PL1					
75		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/ RXD011-C/ SMISO011-C/ SSCL011-C/SSLA1-A	IRQ14	
76		PL0					
77	TRDATA4 (注1)	P73	CS3#			IRQ8	
78		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
79		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
80		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
81		PB4	A12		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
82		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
83		PB2	A10		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	
84		PB1	A9	MTIOC0C/MTIOC4C/ TMCIO	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
85		P72	A19/CS2#			IRQ10	
86		P71	A18/CS1#			IRQ1	
87		PB0	A8	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
88		PA7	A7		MISOA-B	IRQ7	
89		PA6	A6	MTIC5V/MTCLKB/ TMCIO3/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
90		PA5	A5	MTIOC6B	RSPCKA-B	IRQ5	
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/ TMRI0/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXD12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
93	VSS						

表 1.5 機能別端子一覧(144ピンLFQFP) (5 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
94		PA3	A3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
95		PA2	A2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
96		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
97		PA0	BC0#/A0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
98		P67		MTIOC7C		IRQ15	
99		P66		MTIOC7D		IRQ14	
100		P65				IRQ13	
101		PE7	D15[A15/D15]/ D7[A7/D7]	MTIOC6A/TOC1		IRQ7	AN015
102		PE6	D14[A14/D14]/ D6[A6/D6]	MTIOC6C/TIC1	CTS4#/RTS4#/SS4#	IRQ6	AN014
103		PK5			TXD4/SMOSI4/ SSDA4		
104		P70			SCK4	IRQ0	
105		PK4			RXD4/SMISO4/ SSCL4		
106		PE5	D13[A13/D13]/ D5[A5/D5]	MTIOC4C/MTIOC2B		IRQ5	AN013/ COMP0
107		PE4	D12[A12/D12]/ D4[A4/D4]	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
108		PE3	D11[A11/D11]/ D3[A3/D3]	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
109		PE2	D10[A10/D10]/ D2[A2/D2]	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
110		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
111		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12	IRQ8	AN008
112		P64	D3[A3/D3]			IRQ4	
113		P63	D2[A2/D2]/ CS3#			IRQ3	
114		P62	D1[A1/D1]/ CS2#			IRQ2	
115		P61	D0[A0/D0]/ CS1#		CTS9#/RTS9#/SS9#	IRQ1	
116		PK3			RXD9/SMISO9/ SSCL9		
117		P60	CS0#		SCK9	IRQ0	
118		PK2			TXD9/SMOSI9/ SSDA9		
119	TRDATA3 (注1)	PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7	AN023
120	TRDATA2 (注1)	PD6	D6[A6/D6]	MTIC5V/POE4#/ MTIOC8A		IRQ6	AN022
121	TRCLK (注1)	PD5	D5[A5/D5]	MTIC5W/POE10#/ MTIOC8C		IRQ5	AN021

表 1.5 機能別端子一覧(144ピンLQFP) (6 / 6)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
122	TRSYNC (注1)	PD4	D4[A4/D4]	POE11#/MTIOC8B		IRQ4	AN020
123	TRDATA1 (注1)	PD3	D3[A3/D3]	POE8#/MTIOC8D/ TOC2		IRQ3	AN019
124	TRDATA0 (注1)	PD2	D2[A2/D2]	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
125	TRDATA7 (注1)	PD1	D1[A1/D1]	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
126	TRDATA6 (注1)	PD0	D0[A0/D0]	POE4#		IRQ0	AN016
127	TRSYNC1 (注1)	P93	A19	POE0#	CTS7#/RTS7#/SS7#	IRQ11	
128	TRDATA5 (注1)	P92	A18	POE4#	RXD7/SMISO7/ SSCL7	IRQ10	
129	TRDATA4 (注1)	P91	A17		SCK7	IRQ9	
130		PF7					
131		P90	A16		TXD7/SMOSI7/ SSDA7	IRQ0	
132		PF6					
133		P47				IRQ15-DS	AN007
134		P46				IRQ14-DS	AN006
135		P45				IRQ13-DS	AN005
136		P44				IRQ12-DS	AN004
137		P43				IRQ11-DS	AN003
138		P42				IRQ10-DS	AN002
139		P41				IRQ9-DS	AN001
140	VREFL0	PJ7					
141		P40				IRQ8-DS	AN000
142	VREFH0	PJ6					
143	AVCC0						
144		P07				IRQ15	ADTRG0#

- 注1. JTAGのない製品にはありません。
 注2. JTAGのある製品にはありません。
 注3. サブクロック発振器のない製品にはありません。
 注4. サブクロック発振器のある製品にはありません。
 注5. サブクロック発振器のない製品では使用できません。

1.6.2 100ピン LQFP

表 1.6 機能別端子一覧(100ピンLQFP) (1 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P06					
2	EMLE (注1)	P03 (注2)				IRQ11 (注2)	DA0 (注2)
3		P04					
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/ CTS0#/RTS0#/SS0#	IRQ11	
5	VCL						
6		PJ1		MTIOC3A			
7	MD/FINED	PN6					
8	XCIN (注3)	PH7 (注4)					
9	XCOUT (注3)	PH6 (注4)					
10	RES#						
11	XTAL	P37				IRQ4	
12	VSS						
13	EXTAL	P36				IRQ5	
14	VCC						
15		P35				NMI	
16	TRST# (注1)	P34		MTIOC0A/TMCI3/ POE10#	SCK6/SCK0	IRQ4	
17		P33		MTIOC0D/TMRI3/ POE4#/POE11#	RXD6/SMISO6/ SSCL6/RXD0/ SMISO0/SSCL0/ CRX0-A	IRQ3-DS	
18		P32		MTIOC0C/TMO3/ RTCIC2 (注5)/ RTCOU (注5)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
19	TMS (注1)	P31		MTIOC4D/TMCI2/ RTCIC1 (注5)	CTS1#/RTS1#/SS1#	IRQ1-DS	
20	TDI (注1)	P30		MTIOC4B/TMRI3/ RTCIC0 (注5)/POE8#	RXD1/SMOSI0/ SSCL1	IRQ0-DS	COMP3
21	TCK (注1)	P27	CS3#	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
22	TDO (注1)	P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
23		P25	CS1#	MTIOC4C/MTCLKB	RXD3/SMOSI3/ SSCL3	IRQ5	ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/ TMR11	SCK3	IRQ12	
25		P23		MTIOC3D/MTCLKD	TXD3/SMOSI3/ SSDA3/CTS0#/ RTS0#/SS0#	IRQ3	
26		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	IRQ15	
27		P21		MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
28		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	

表 1.6 機能別端子一覧(100ピンLFQFP) (2 / 4)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
29		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
30		P16		MTIOC3C/MTIOC3D/ TMO2/RTCOUT (注5)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TMC12	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
32		P14		MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
33		P13		MTIOC0B/TMO3	TXD2/SMOSI2/ SSDA2/SDA0	IRQ3	
34		P12		MTIC5U/TMC11	RXD2/SMISO2/ SSCL2/SCL0	IRQ2	
35		PH3		MTIOC4D/TMC10			
36		PH2		MTIOC4C/TMRI0/ TOC1		IRQ1	
37		PH1		MTIOC3D/TMO0/TIC1		IRQ0	ADST0
38		PH0		MTIOC3B/CACREF			ADTRG0#
39		P55	D0[A0/D0]/ WAIT#	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
40		P54	ALE/ D1[A1/D1]	MTIOC4B/TMC11	CTS2#/RTS2#/SS2#/ CTX0-D	IRQ4	
41		P53	BCLK		PMC0	IRQ3	
42		P52	RD#		RXD2/SMISO2/ SSCL2	IRQ2	
43		P51	WR1#/BC1#/ WAIT#		SCK2/PMC0	IRQ1	
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2	IRQ0	
45	UB	PC7	CS0#	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
46		PC6	D2[A2/D2]/ CS1#	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
47		PC5	D3[A3/D3]/ CS2#/WAIT#	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
49		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	

表 1.6 機能別端子一覧(100ピンLFQFP) (3 / 4)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
50		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
51		PC1	A17	MTIOC3A	SCK5/TXD011-C/ SMOSI011-C/ SSDA011-C/ TXDA011-C/SSLA2-A	IRQ12	
52		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/ RXD011-C/ SMISO011-C/ SSCL011-C/SSLA1-A	IRQ14	
53		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
54		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9/SMOSI11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
55		PB5	A13	MTIOC2A/MTIOC1B/ TMR11/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
56		PB4	A12		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
58		PB2	A10		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	
59		PB1	A9	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
60	VCC						
61		PB0	A8	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
62	VSS						
63		PA7	A7		MISOA-B	IRQ7	
64		PA6	A6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
65		PA5	A5	MTIOC6B	RSPCKA-B	IRQ5	
66		PA4	A4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXD12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
67		PA3	A3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10

表 1.6 機能別端子一覧(100ピンLQFP) (4 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
68		PA2	A2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
69		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
70		PA0	BC0#/A0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
71		PE7	D15[A15/D15]/ D7[A7/D7]	MTIOC6A/TOC1		IRQ7	AN015
72		PE6	D14[A14/D14]/ D6[A6/D6]	MTIOC6C/TIC1	CTS4#/RTS4#/SS4#	IRQ6	AN014
73		PE5	D13[A13/D13]/ D5[A5/D5]	MTIOC4C/MTIOC2B		IRQ5	AN013/ COMP0
74		PE4	D12[A12/D12]/ D4[A4/D4]	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
75		PE3	D11[A11/D11]/ D3[A3/D3]	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
76		PE2	D10[A10/D10]/ D2[A2/D2]	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
77		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
78		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12	IRQ8	AN008
79		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7	AN023
80		PD6	D6[A6/D6]	MTIC5V/POE4#/ MTIOC8A		IRQ6	AN022
81		PD5	D5[A5/D5]	MTIC5W/POE10#/ MTIOC8C		IRQ5	AN021
82		PD4	D4[A4/D4]	POE11#/MTIOC8B		IRQ4	AN020
83		PD3	D3[A3/D3]	POE8#/MTIOC8D/ TOC2		IRQ3	AN019
84		PD2	D2[A2/D2]	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
85		PD1	D1[A1/D1]	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
86		PD0	D0[A0/D0]	POE4#		IRQ0	AN016
87		P47				IRQ15-DS	AN007
88		P46				IRQ14-DS	AN006
89		P45				IRQ13-DS	AN005
90		P44				IRQ12-DS	AN004
91		P43				IRQ11-DS	AN003
92		P42				IRQ10-DS	AN002
93		P41				IRQ9-DS	AN001
94	VREFL0	PJ7					
95		P40				IRQ8-DS	AN000
96	VREFH0	PJ6					
97	AVCC0						
98		P07				IRQ15	ADTRG0#
99	AVSS0						
100		P05				IRQ13	DA1

- 注1. JTAGのない製品にはありません。
- 注2. JTAGのある製品にはありません。
- 注3. サブクロック発振器のない製品にはありません。
- 注4. サブクロック発振器のある製品にはありません。
- 注5. サブクロック発振器のない製品では使用できません。

1.6.3 80ピンLFQFP

表 1.7 機能別端子一覧(80ピンLFQFP) (1 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P06				
2		P03			IRQ11	DA0
3		P04				
4	VCL					
5		PJ1	MTIOC3A			
6	MD/FINED	PN6				
7	XCIN (注1)	PH7 (注2)				
8	XCOUT (注1)	PH6 (注2)				
9	RES#					
10	XTAL	P37			IRQ4	
11	VSS					
12	EXTAL	P36			IRQ5	
13	VCC					
14		P35			NMI	
15		P34	MTIOC0A/TMCI3/ POE10#	SCK6/SCK0	IRQ4	
16		P32	MTIOC0C/TMO3/ RTCIC2 (注3)/ RTCOUT (注3)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
17		P31	MTIOC4D/TMCI2/ RTCIC1 (注3)	CTS1#/RTS1#/SS1#	IRQ1-DS	
18		P30	MTIOC4B/TMRI3/ RTCIC0 (注3)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
19		P27	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
21		P21	MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
22		P20	MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	
23		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
24		P16	MTIOC3C/MTIOC3D/ TMO2/RTCOUT (注3)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
25		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
26		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
27		P13	MTIOC0B/TMO3	SDA0	IRQ3	
28		P12	MTIC5U/TMCI1	SCL0	IRQ2	
29		PH3	MTIOC4D/TMCI0			

表 1.7 機能別端子一覧 (80ピンLFQFP) (2 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
30		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
31		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
32		PH0	MTIOC3B/CACREF			ADTRG0#
33		P55	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
34		P54	MTIOC4B/TMCI1	CTX0-D	IRQ4	
35	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
36		PC6	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
37		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
38		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
39		PC3	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
40		PC2	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
41		PB7	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
42		PB6	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
43		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
44		PB4		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
45		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
46		PB2		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	

表 1.7 機能別端子一覧(80ピンLQFP)(3 / 4)

ピン番号 80ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
47		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
48	VCC					
49		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
50	VSS					
51		PA6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
52		PA5	MTIOC6B	RSPCKA-B	IRQ5	
53		PA4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
54		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
55		PA2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
56		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
57		PA0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
58		PE5	MTIOC4C/MTIOC2B		IRQ5	AN013/COMP0
59		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
60		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
61		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
62		PE1	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
63		PE0	MTIOC3D	SCK12	IRQ8	AN008
64		PD2	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
65		PD1	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
66		PD0	POE4#		IRQ0	AN016
67		P47			IRQ15-DS	AN007
68		P46			IRQ14-DS	AN006
69		P45			IRQ13-DS	AN005
70		P44			IRQ12-DS	AN004
71		P43			IRQ11-DS	AN003
72		P42			IRQ10-DS	AN002
73		P41			IRQ9-DS	AN001
74	VREFL0	PJ7				
75		P40			IRQ8-DS	AN000

表 1.7 機能別端子一覧(80ピンLFQFP) (4 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
76	VREFH0	PJ6				
77	AVCC0					
78		P07			IRQ15	ADTRG0#
79	AVSS0					
80		P05			IRQ13	DA1

- 注1. サブクロック発振器のない製品にはありません。
注2. サブクロック発振器のある製品にはありません。
注3. サブクロック発振器のない製品では使用できません。

1.6.4 64ピンLFQFP

表 1.8 機能別端子一覧(64ピンLFQFP) (1 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P03			IRQ11	DA0
2	VCL					
3	MD/FINED	PN6				
4	XCIN (注1)	PH7 (注2)				
5	XCOUT (注1)	PH6 (注2)				
6	RES#					
7	XTAL	P37			IRQ4	
8	VSS					
9	EXTAL	P36			IRQ5	
10	VCC					
11		P35			NMI	
12		P32	MTIOC0C/TMO3/ RTCIC2 (注3)/ RTCOU (注3)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/CTX0-A	IRQ2-DS	
13		P31	MTIOC4D/TMCI2/ RTCIC1 (注3)	CTS1#/RTS1#/SS1#	IRQ1-DS	
14		P30	MTIOC4B/TMRI3/ RTCIC0 (注3)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
15		P27	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
17		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
18		P16	MTIOC3C/MTIOC3D/ TMO2/RTCOU (注3)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
19		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
20		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
21		PH3	MTIOC4D/TMCI0			
22		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
23		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
24		PH0	MTIOC3B/CACREF			ADTRG0#
25		P55	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
26		P54	MTIOC4B/TMCI1	CTX0-D	IRQ4	
27	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	

表 1.8 機能別端子一覧(64ピンLFQFP) (2 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
28		PC6	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
29		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
30		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
31		PC3	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
32		PC2	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
33		PB7	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
34		PB6	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
35		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
36		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
37		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
38	VCC					
39		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
40	VSS					
41		PA6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
42		PA4	MTIC5U/MTCLKA/ TMRI0/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
43		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
44		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#

表 1.8 機能別端子一覧(64ピンLFQFP) (3 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
45		PA0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
46		PE5	MTIOC4C/MTIOC2B		IRQ5	AN013/COMP0
47		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
48		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
49		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RDX12	IRQ7-DS	AN010/ CVREFC0
50		PE1	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TDX12/ SIOX12	IRQ9	AN009/ CMPC00
51		PE0	MTIOC3D	SCK12	IRQ8	AN008
52		P47			IRQ15-DS	AN007
53		P46			IRQ14-DS	AN006
54		P45			IRQ13-DS	AN005
55		P44			IRQ12-DS	AN004
56		P43			IRQ11-DS	AN003
57		P42			IRQ10-DS	AN002
58		P41			IRQ9-DS	AN001
59	VREFL0	PJ7				
60		P40			IRQ8-DS	AN000
61	VREFH0	PJ6				
62	AVCC0					
63		P07			IRQ15	ADTRG0#
64	AVSS0					

- 注1. サブクロック発振器のない製品にはありません。
注2. サブクロック発振器のある製品にはありません。
注3. サブクロック発振器のない製品では使用できません。

1.6.5 48ピンLFQFP

表 1.9 機能別端子一覧(48ピンLFQFP) (1 / 2)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, CMPC
1	VCL					
2	MD/FINED	PN6				
3	RES#					
4	XTAL	P37			IRQ4	
5	VSS					
6	EXTAL	P36			IRQ5	
7	VCC					
8		P35			NMI	
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS	
10		P30	MTIOC4B/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
11		P27	MTIOC2B	SCK1	IRQ7	CVREFC3
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
13		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
14		P16	MTIOC3C/MTIOC3D/ TMO2	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
15		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
16		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
17		PH3	MTIOC4D/TMCI0			
18		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
19		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
20		PH0	MTIOC3B/CACREF			ADTRG0#
21	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
22		PC6	MTIOC3C/MTCLKA/ TMCI2/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
23		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	

表 1.9 機能別端子一覧(48ピンLFQFP)(2 / 2)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, CMPC
24		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
25		PB5	MTIOC2A/MTIOC1B/ TMR11/POE4#/TOC2		IRQ13	
26		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
27		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOS14/ SSDA4/TXD6/ SMOS16/SSDA6	IRQ4-DS	COMP1
28	VCC					
29		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
30	VSS					
31		PA6	MTIC5V/MTCLKB/ POE10#/MTIOC3D	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
32		PA4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOS15/ SSDA5/TXD12/ SMOS112/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
33		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
34		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
35		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
36		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
37		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RDX12	IRQ7-DS	AN010/ CVREFC0
38		PE1	MTIOC4C/MTIOC3B	TXD12/SMOS12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
39		P47			IRQ15-DS	AN007
40		P46			IRQ14-DS	AN006
41		P45			IRQ13-DS	AN005
42		P42			IRQ10-DS	AN002
43		P41			IRQ9-DS	AN001
44	VREFL0	PJ7				
45		P40			IRQ8-DS	AN000
46	VREFH0	PJ6				
47	AVCC0					
48	AVSS0					

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格
条件：VSS = AVSS0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
アナログ電源電圧	AVCC0 (注1)	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3 (最大 6.5)	V
入力電圧	P12, P13, P16, P17	V _{in}	V
	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7		
	上記以外		
ジャンクション温度	T _j	-40 ~ +125	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. AVCC0とAVSS0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目	記号	min	typ	max	単位
電源電圧 (注1)	VCC	2.7	—	5.5	V
	VSS	—	0	—	
アナログ電源電圧 (注1、注2)	AVCC0	3.0	—	5.5	V
	AVSS0	—	0	—	
	VREFH0	AVCC0 - 1.0	—	AVCC0	
	VREFL0	—	0	—	
入力電圧	P12, P13, P16, P17	V _{in}	—	5.8	V
	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7				
	上記以外				
動作温度	Dバージョン	T _{opr}	—	85	°C
	Gバージョン				
ジャンクション温度	Dバージョン	T _j	—	105	°C
	Gバージョン				

注1. 電位関係は以下を守ってください。
VCC ≤ AVCC0

注2. 詳細は「ユーザーズマニュアルハードウェア編」の「38.6.10 アナログ電源端子他の設定範囲」を参照してください。

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	0.47μF ± 30% (注1)

注1. 静電容量の公称値が0.47μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表 2.4 DC 特性(1)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ入力端子	V _{IH}	0.8 × VCC	—	—	V	
	MTU入力端子	V _{IL}	—	—	0.2 × VCC		
	POE入力端子	ΔV _T	0.06 × VCC	—	—		
	TMR入力端子						
	CMTW入力端子						
	RTC入力端子						
	SCI入力端子						
	CANFD入力端子						
	REMC入力端子						
	ADTRG#入力端子						
	RES#, NMI						
	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—		
V _{IL}		—	—	0.3 × VCC			
ΔV _T		0.05 × VCC	—	—			
5Vトレラント対応ポート (P12, P13, P16, P17)	V _{IH}	0.8 × VCC	—	—			
	V _{IL}	—	—	0.2 × VCC			
5Vトレラント対応ポート以外 その他の入力端子	V _{IH}	0.8 × VCC	—	—			
	V _{IL}	—	—	0.2 × VCC			
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IH}	0.9 × VCC	—	—	V	
	EXTAL, RSPI入力端子、 WAIT#		0.8 × VCC	—	—		
	D0 ~ D15		0.7 × VCC	—	—		
	RIIC (SMBus)		2.1	—	—		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IL}	—	—	0.1 × VCC	V	
	EXTAL, RSPI入力端子、 WAIT#		—	—	0.2 × VCC		
	D0 ~ D15		—	—	0.3 × VCC		
	RIIC (SMBus)		—	—	0.8		

表2.5 DC特性(2)
 条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件	
Highレベル出力電圧	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7	V _{OH}	AVCC0 - 0.5	—	—	V	I _{OH} = -1mA
	上記以外	VCC - 0.5	—	—			
Lowレベル出力電圧	RIIC端子	V _{OL}	—	—	0.4	V	I _{OL} = 3.0mA
			—	—	0.6		I _{OL} = 6.0mA
	上記以外		—	—	0.5		I _{OL} = 1.0mA
入力リーク電流	RES#, EMLE	I _{in}	—	—	1.0	μA	V _{in} = 0V V _{in} = VCC
スリーステートリーク電流(オフ状態)	RIIC端子	I _{TSL}	—	—	5.0	μA	V _{in} = 0V V _{in} = VCC
	上記以外		—	—	1.0		
入力プルアップ抵抗	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7	R _{PU}	10	—	100	kΩ	AVCC0 = 3.0 ~ 5.5V V _{in} = 0V
	上記以外の端子		10	—	100		VCC = 2.7 ~ 5.5V V _{in} = 0V
入力プルダウン抵抗	EMLE	R _{PD}	5	—	50	kΩ	V _{in} = VCC = AVCC0
入力端子容量	RIIC端子	C _{in}	—	—	16	pF	V _{bias} = 0V V _{amp} = 20mV f = 1MHz T _a = 25°C
	PJ6, PJ7		—	—	12		
	上記以外		—	—	8		
VCL端子出力電圧		V _{CL}	—	1.25	—	V	

表2.6 DC特性(3)
 条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, Ta = Topr

項目	記号	Dバージョン		Gバージョン		単位	測定条件				
		typ	max	typ	max						
消費電流 (注1)	I _{CC} (注2)	最大動作		—	68	—	76	mA	ICLK = 120MHz、 PCLKA = 120MHz、 PCLKB = 60MHz、 PCLKD = 60MHz、 FCLK = 60MHz、 BCLK = 60MHz、 BCLK端子 = 30MHz		
		通常動作	周辺機能クロック供給状態		21	—	21			—	
			周辺機能クロック停止状態		12	—	12			—	
		CoreMark動作		周辺機能クロック停止状態		19	—			19	—
		スリープモード時		周辺機能クロック供給状態		16	36			16	44
		全モジュールクロックストップモード時		7.8	24	7.8	32				
		BGO動作時の増加分(注3)		データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		12	—			12	—
	ソフトウェアスタンバイモード		0.9	9	0.9	14	mA				
	ディープソフトウェアスタンバイモード		15	23	15	32	μA				
	RTC動作時の増分		2.6	—	2.6	—		標準CL水晶振動子 使用時			

- 注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
- 注2. I_{CC}は、以下の式のとおりICLK周波数f (MHz)に依存します。
- Dバージョン製品
 $I_{CC\ max} = 0.500 \times f + 8$ (通常動作モード、最大動作時)
 $I_{CC\ typ} = 0.144 \times f + 4$ (通常動作モード、通常動作時)
 $I_{CC\ max} = 0.234 \times f + 8$ (スリープモード時)
 - Gバージョン製品
 $I_{CC\ max} = 0.534 \times f + 12$ (通常動作モード、最大動作時)
 $I_{CC\ typ} = 0.144 \times f + 4$ (通常動作モード、通常動作時)
 $I_{CC\ max} = 0.267 \times f + 12$ (スリープモード時)
- 注3. コードフラッシュメモリでのプログラム実行中に、データフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。

表2.7 DC特性(4)
 条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, Ta = Topr

項目	項目				記号	typ	max	単位
	A/D	D/A (2ch)	CMPC (4ch)	TEMPS				
アナログ電源 電流	変換中	待機	待機	待機	A _I CC	0.9	1.4	mA
	待機	変換中	待機	待機		0.6	0.8	
	待機	待機	動作	待機		0.4	0.5	
	変換中	待機	待機	動作		1.0	1.5	
	待機時					0.4	7.7	
	モジュールストップ時				0.4	6.5		

表 2.8 DC 特性(5)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
RAM保持電圧	V_{RAM}	2.7	—	—	V		
電源投入時VCC立ち上がり勾配	通常起動時 起動時電圧監視0リセット有効時(注1、注2)	SrVCC	0.02	—	8	ms/V	図2.1
			0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配	dt/dVCC	1.0	—	—		VCC変動が $V_{CC} \pm 10\%$ を超える場合	

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード、ユーザブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上がり勾配にて電源電圧を立ち上げてください。

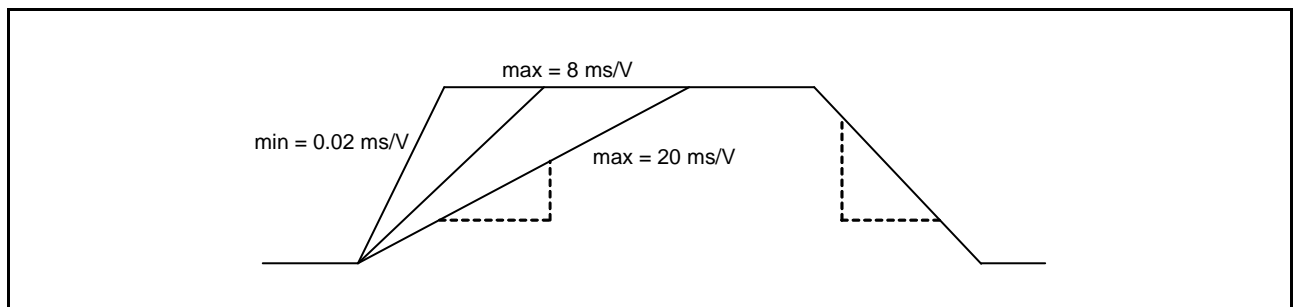


図 2.1 電源投入時 VCC 立ち上がり勾配

表 2.9 出力許容電流

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	
Low レベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子(注2) 高駆動	—	—	—	3.8	
Low レベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子(注2) 高駆動	—	—	—	7.6	
Low レベル出力許容電流(総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
High レベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	I_{OH}	—	—	-2.0	mA
	全出力端子(注2) 高駆動	—	—	—	-3.8	
High レベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	I_{OH}	—	—	-4.0	mA
	全出力端子(注2) 高駆動	—	—	—	-7.6	
High レベル出力許容電流(総和)	全出力端子の総和	ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 2.9 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

表2.10 標準出力特性(1)
 条件 : VCC = AVCC0 = 5.0V,
 VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時	V _{OH}	—	4.97	—	V	I _{OH} = -0.5mA
			—	4.94	—		I _{OH} = -1.0mA
			—	4.87	—		I _{OH} = -2.0mA
			—	4.74	—		I _{OH} = -4.0mA
	高駆動出力時		—	4.98	—		I _{OH} = -0.5mA
			—	4.97	—		I _{OH} = -1.0mA
			—	4.94	—		I _{OH} = -2.0mA
			—	4.87	—		I _{OH} = -4.0mA
Low レベル出力電圧	通常出力時	V _{OL}	—	0.02	—	V	I _{OL} = 0.5mA
			—	0.04	—		I _{OL} = 1.0mA
			—	0.09	—		I _{OL} = 2.0mA
			—	0.18	—		I _{OL} = 4.0mA
	高駆動出力時		—	0.01	—		I _{OL} = 0.5mA
			—	0.03	—		I _{OL} = 1.0mA
			—	0.05	—		I _{OL} = 2.0mA
			—	0.10	—		I _{OL} = 4.0mA

表2.11 標準出力特性(2)
 条件 : VCC = AVCC0 = 3.3V,
 VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時	V _{OH}	—	3.26	—	V	I _{OH} = -0.5mA
			—	3.22	—		I _{OH} = -1.0mA
			—	3.13	—		I _{OH} = -2.0mA
			—	2.94	—		I _{OH} = -4.0mA
	高駆動出力時		—	3.28	—		I _{OH} = -0.5mA
			—	3.26	—		I _{OH} = -1.0mA
			—	3.22	—		I _{OH} = -2.0mA
			—	3.13	—		I _{OH} = -4.0mA
Low レベル出力電圧	通常出力時	V _{OL}	—	0.03	—	V	I _{OL} = 0.5mA
			—	0.06	—		I _{OL} = 1.0mA
			—	0.12	—		I _{OL} = 2.0mA
			—	0.25	—		I _{OL} = 4.0mA
	高駆動出力時		—	0.02	—		I _{OL} = 0.5mA
			—	0.03	—		I _{OL} = 1.0mA
			—	0.07	—		I _{OL} = 2.0mA
			—	0.13	—		I _{OL} = 4.0mA

表 2.12 熱抵抗値(参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	52.1	°C/W	JESD51-2および JESD51-7準拠 $T_a = 105^\circ\text{C}$
	100ピンLFQFP (PLQP0100KB-B)		51.3		
	80ピンLFQFP (PLQP0080KB-B)		52.0		
	64ピンLFQFP (PLQP0064KB-C)		50.8		
	48ピンLFQFP (PLQP0048KB-B)		58.4		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	1.3	°C/W	
	100ピンLFQFP (PLQP0100KB-B)		1.3		
	80ピンLFQFP (PLQP0080KB-B)		1.3		
	64ピンLFQFP (PLQP0064KB-C)		1.3		
	48ピンLFQFP (PLQP0048KB-B)		1.8		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

2.4 AC 特性

表 2.13 動作周波数

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
動作周波数	システムクロック (ICLK)	f	—	—	120	MHz	
	周辺モジュールクロック (PCLKA)		—	—	120		
	周辺モジュールクロック (PCLKB)		—	—	60		
	周辺モジュールクロック (PCLKD)		— (注 1)	—	60		
	FlashIFクロック (FCLK)		— (注 2)	—	60		
	外部バスクロック (BCLK)		—	—	60		
	BCLK端子出力		—	—	40		
	—	—	32	VCC < 4.5V、駆動能力選択制御レジスタで高駆動出力を選択			

注1. 12ビットA/Dコンバータを使用する場合は、PCLKDを8MHz以上としてください。

注2. フラッシュメモリの書き換えを行う場合は、FCLKを4MHz以上としてください。

2.4.1 リセットタイミグ

表2.14 リセットタイミグ
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms	図2.2
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms	図2.3
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間	t _{RESWT}	62	—	63	t _{Lcyc}	図2.2	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t _{RESW2}	108	—	116	t _{Lcyc}		

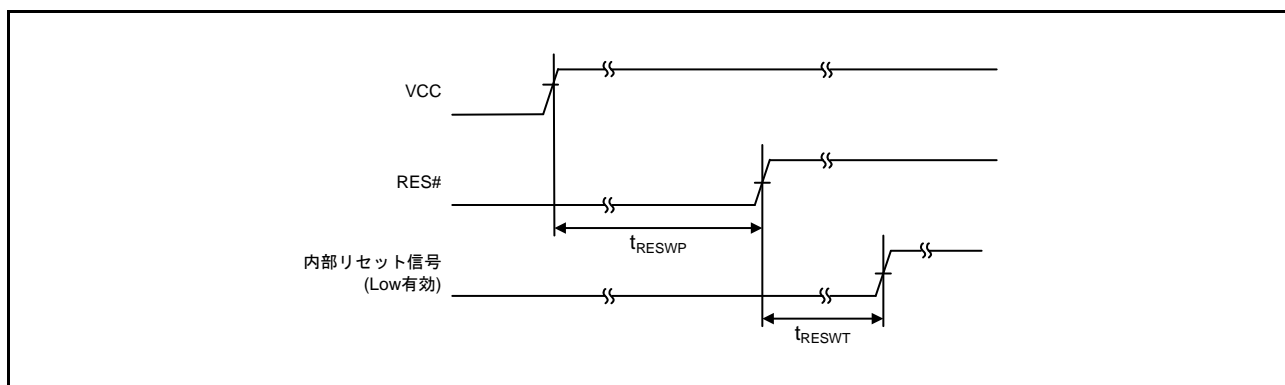


図 2.2 電源投入時リセット入カタイミグ

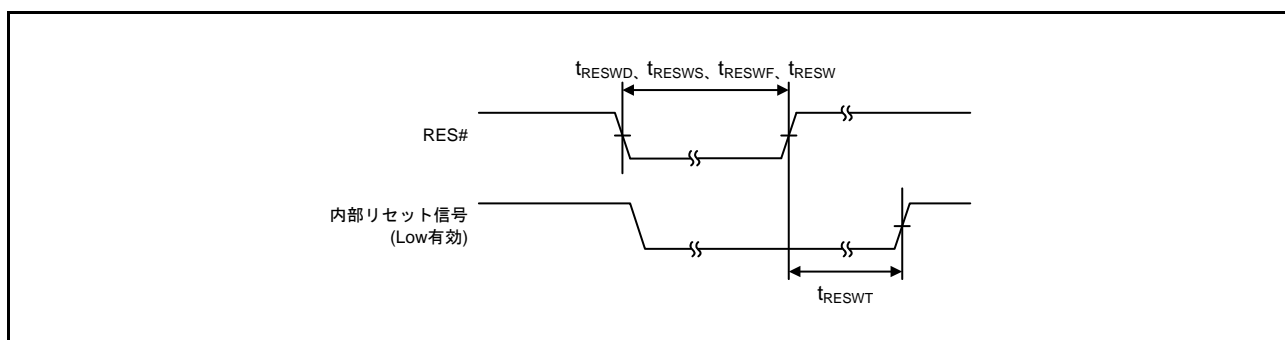


図 2.3 リセット入カタイミグ

2.4.2 クロックタイミング

表2.15 BCLK端子出カクックタイミング
 条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出カサイクル時間	t_{Bcyc}	25	—	—	ns	$V_{CC} \geq 4.5V$
		31.25	—	—		$V_{CC} < 4.5V$
BCLK端子出カHighパルス幅	t_{CH}	7.5	—	—	ns	$V_{CC} \geq 4.5V$
		10.625	—	—		$V_{CC} < 4.5V$
BCLK端子出カLowパルス幅	t_{CL}	7.5	—	—	ns	$V_{CC} \geq 4.5V$
		10.625	—	—		$V_{CC} < 4.5V$
BCLK端子出カ立ち上がり時間	t_{Cr}	—	—	5	ns	図2.4
BCLK端子出カ立ち下がり時間	t_{Cr}	—	—	5	ns	

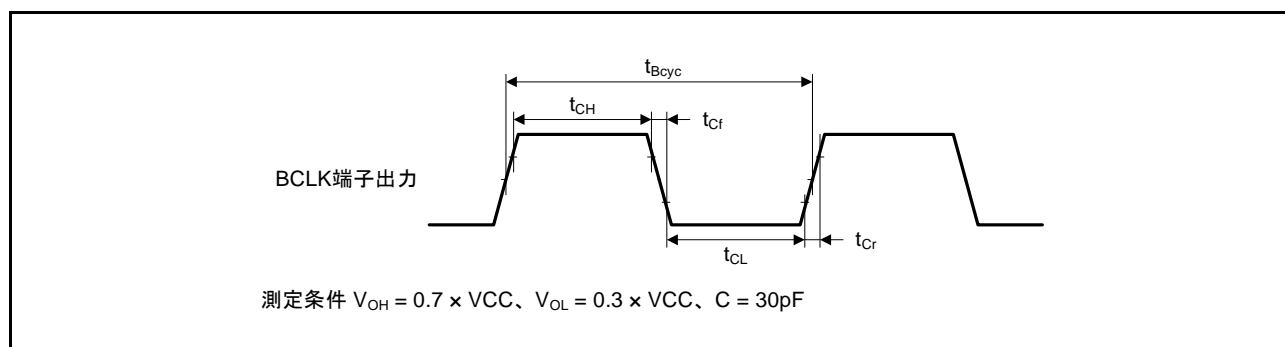


図 2.4 BCLK 端子出カタイミング

表2.16 EXTALクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図2.5
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力Highパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

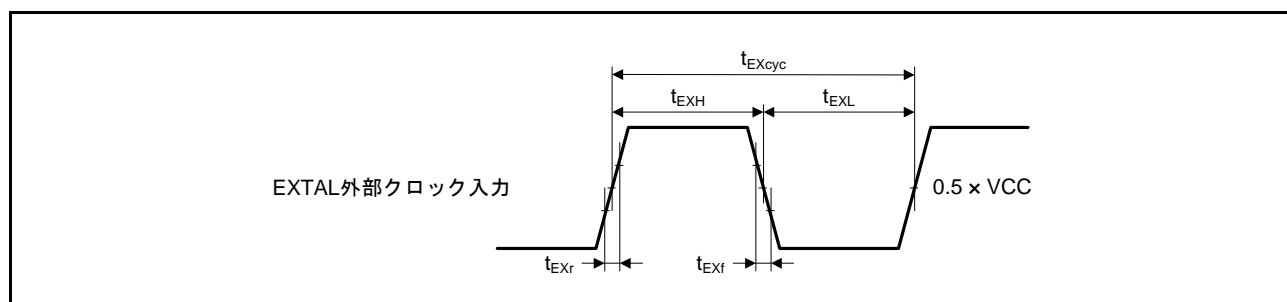


図 2.5 EXTAL 外部クロック入力タイミング

表2.17 メインクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図2.6
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	—(注1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSCWT}$	—	—	—(注2)	ms	

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCWT.CR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSCWT} = [(MSTS[7:0] \text{ビット} \times 32) + 10] / f_{LOCO}$$

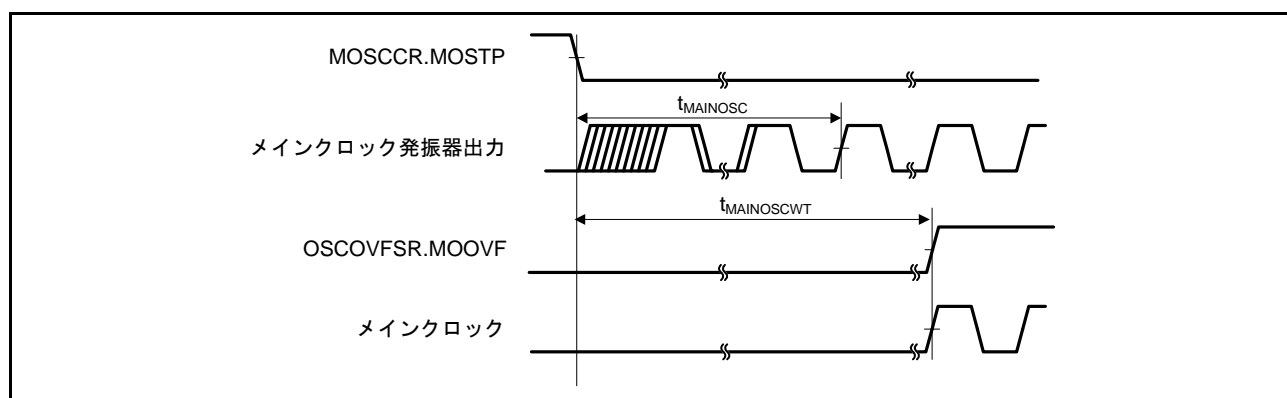


図 2.6 メインクロック発振開始タイミング

表2.18 LOCO, IWDT専用低速クロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216 (-10%)	240	264 (+10%)	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図2.7
IWDT専用低速クロックサイクル時間	t_{iLcyc}	7.57	8.33	9.26	μs	
IWDT専用低速クロック発振周波数	f_{iLOCO}	108 (-10%)	120	132 (+10%)	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{iLOCOWT}$	—	142	190	μs	図2.8

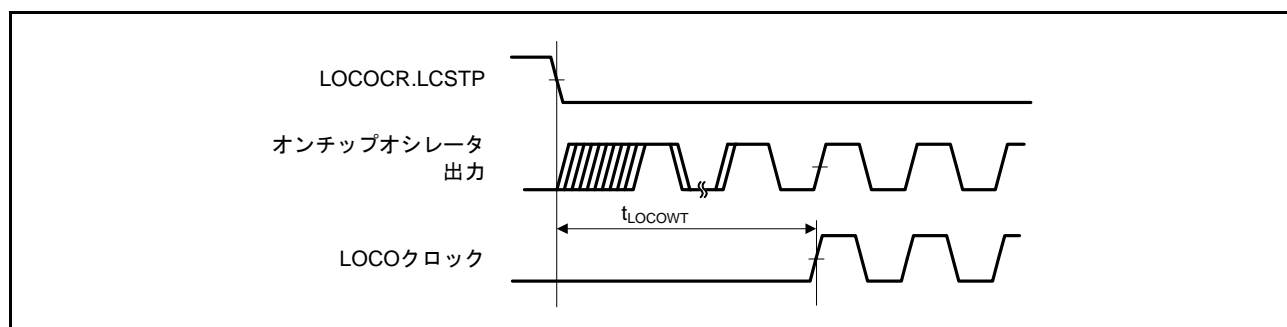


図 2.7 LOCO クロック発振開始タイミング

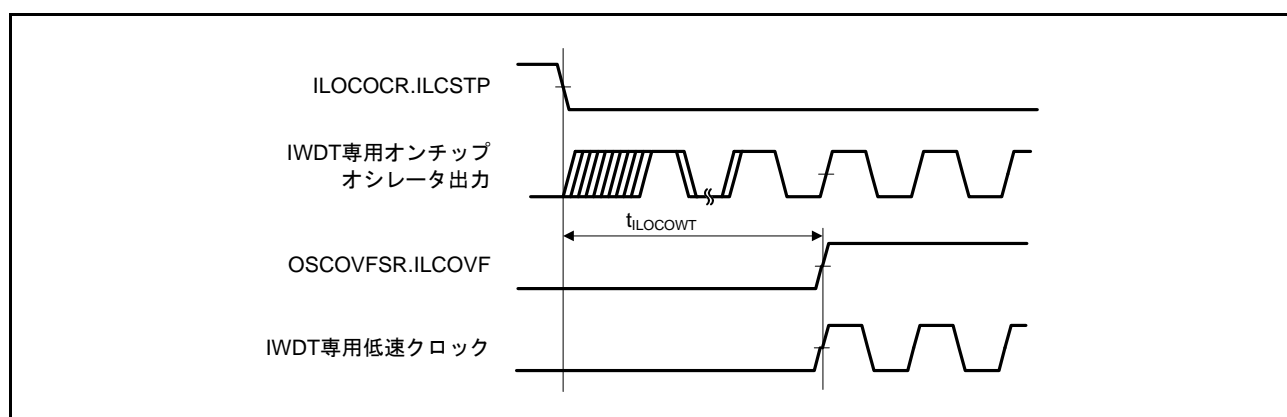


図 2.8 IWDT 専用低速クロック発振開始タイミング

表2.19 HOCOクロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件							
HOCOクロック発振周波数	FLLなし	f _{HOCO}	15.84 (-1.0%)	16	16.16 (+1.0%)	MHz	-20°C ≤ T _a							
			17.82 (-1.0%)	18	18.18 (+1.0%)									
			19.80 (-1.0%)	20	20.20 (+1.0%)									
		FLLあり	f _{HOCO}	15.68 (-2.0%)	16		16.16 (+1.0%)	MHz	T _a < -20°C					
				17.64 (-2.0%)	18		18.18 (+1.0%)							
				19.60 (-2.0%)	20		20.20 (+1.0%)							
HOCOクロック発振安定待機時間	t _{HOCOWT}	—	105	149	μs	図2.9								
							HOCOクロック電源安定時間		t _{HOCOP}	—	—	150	μs	図2.10

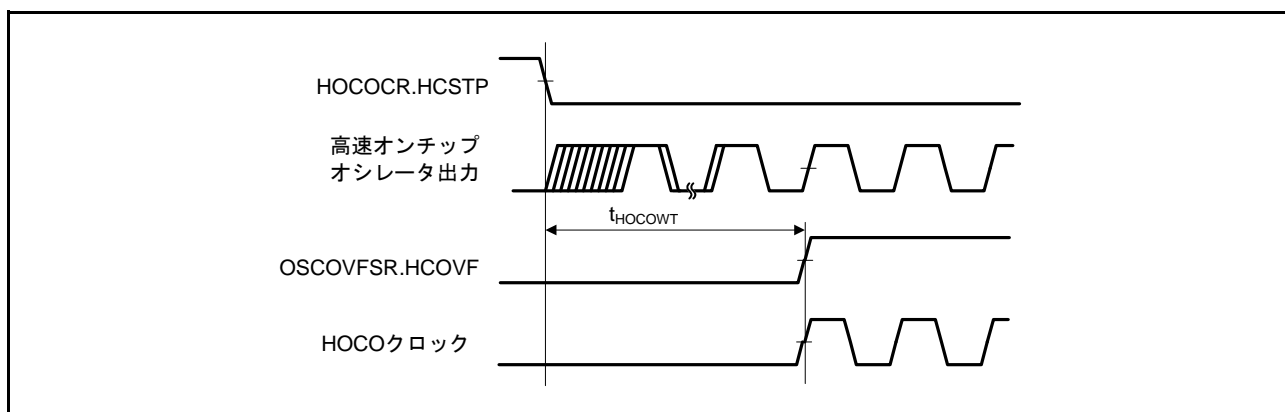


図 2.9 HOCO クロック発振開始タイミング (HOCO.CR.HCSTP 設定による発振開始)

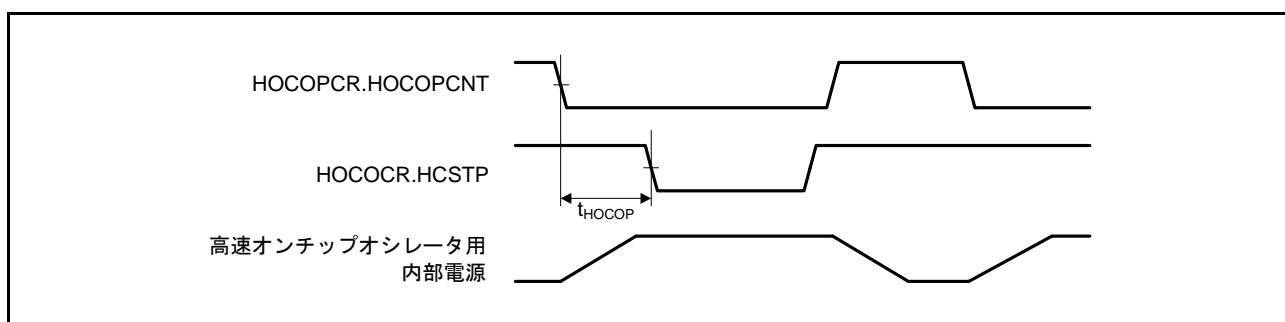


図 2.10 高速オンチップオシレータ電源制御タイミング

表2.20 PLLクロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f _{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t _{PLLWT}	—	259	320	μs	図2.11

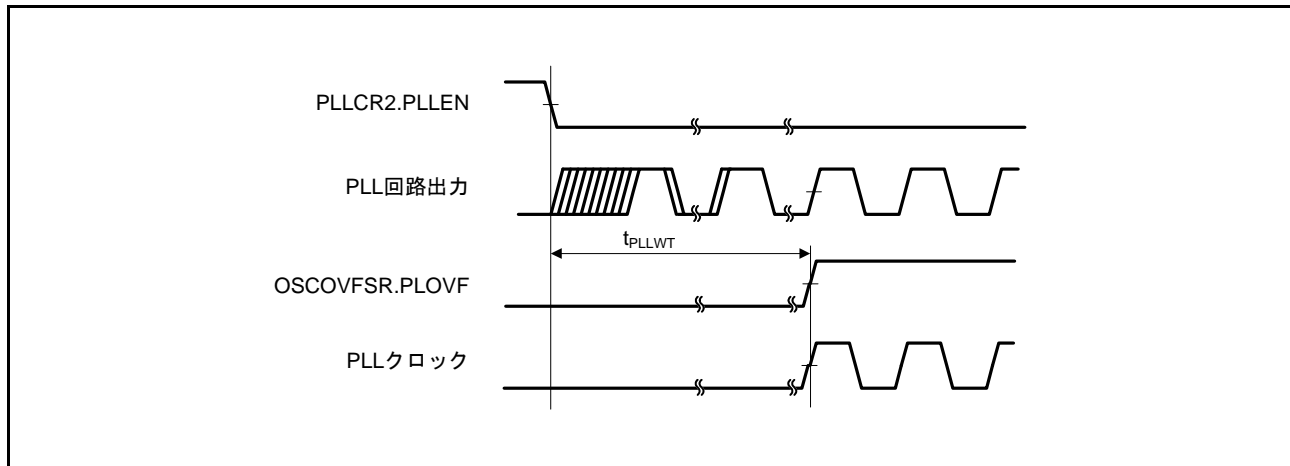


図 2.11 PLL クロック発振開始タイミング

表2.21 サブクロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間	t _{SUBOSC}	—	—	(注1)	s	図2.12
サブクロック発振安定待機時間	t _{SUBOSCWT}	—	—	(注2)	s	

- 注1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。
- 注2. サブクロック発振安定待機時間は、SOSCWTCR.SSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{Loco}$$

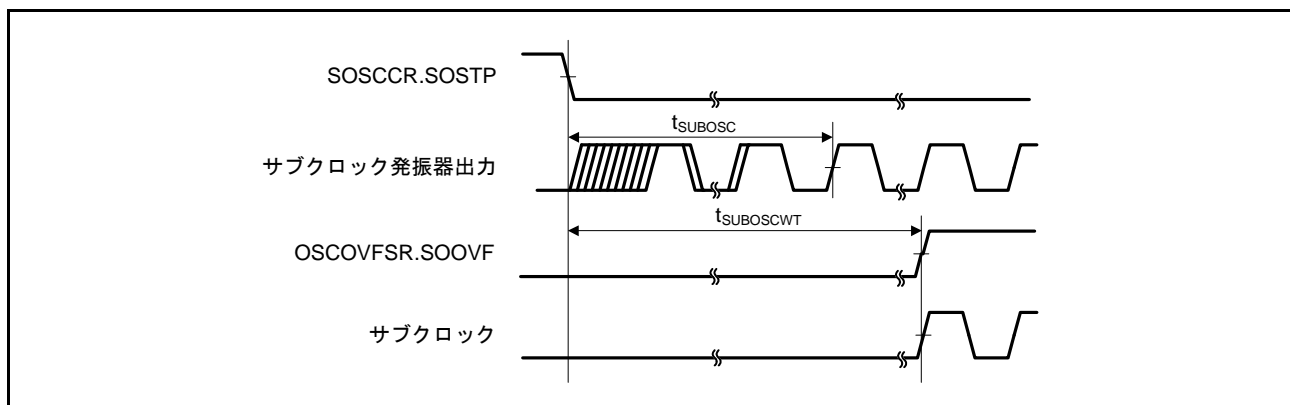


図 2.12 サブクロック発振開始タイミング

2.4.3 低消費電力状態からの復帰タイミング

表2.22 低消費電力状態からの復帰タイミング(1)

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目			記号	min	typ	max		単位	測定条件
						t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t _{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 2.13
		メインクロック発振器、PLL回路動作	t _{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL回路動作	t _{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	サブクロック発振器動作		t _{SBYSC}			$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10 / f_{FCLK}$	$100 + 4 / f_{ICLK} + 2n / f_{SUE}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t _{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL回路動作	t _{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作 (注4)		t _{SBYLO}			338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。
- 注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

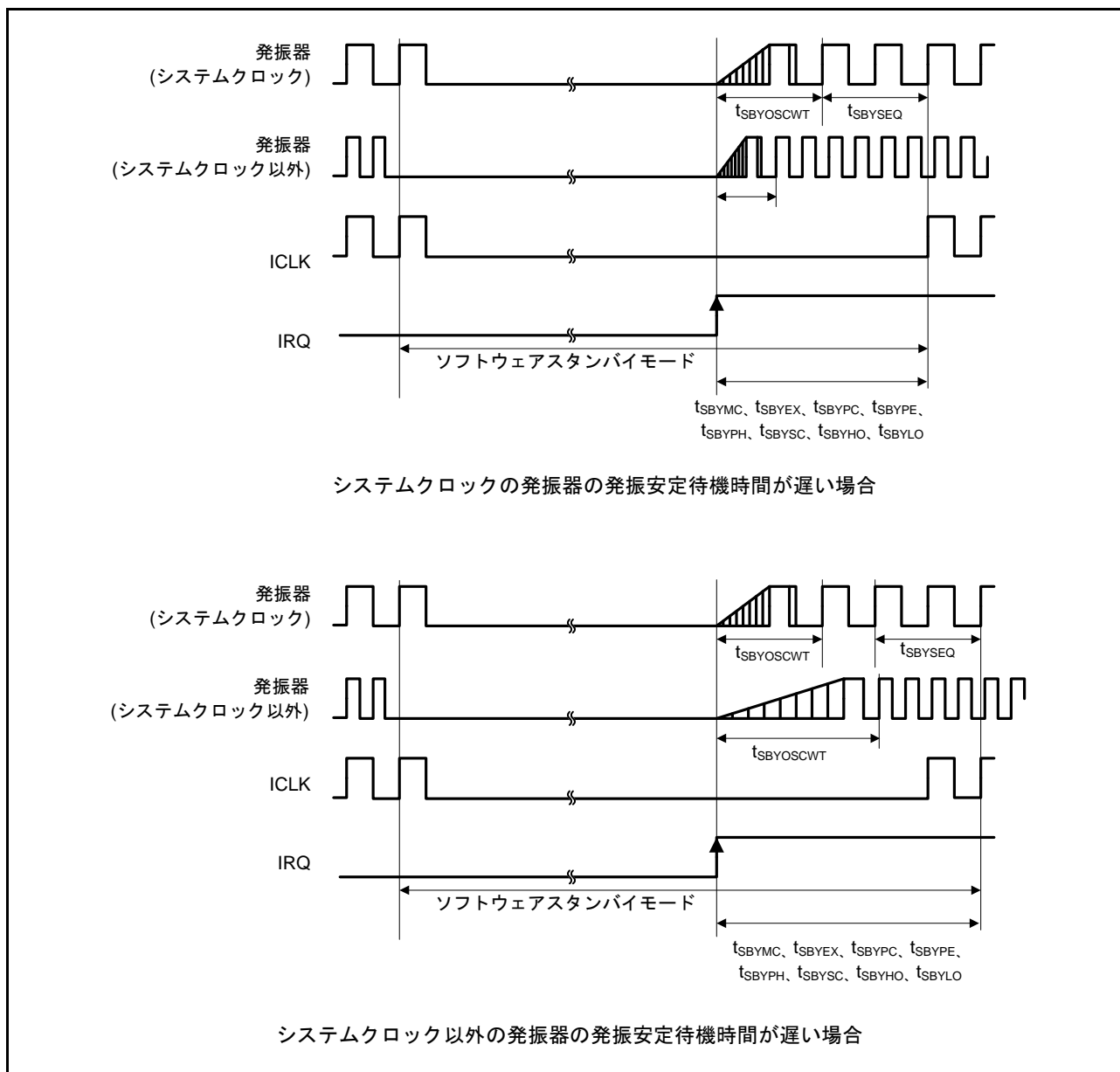


図 2.13 ソフトウェアスタンバイモード解除タイミング

表2.23 低消費電力状態からの復帰タイミング(2)
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t _{DSBY}	—	—	0.9	ms	図2.14
ディープソフトウェアスタンバイモード解除後待機時間	t _{DSBYWT}	31	—	32	t _{Lcyc}	

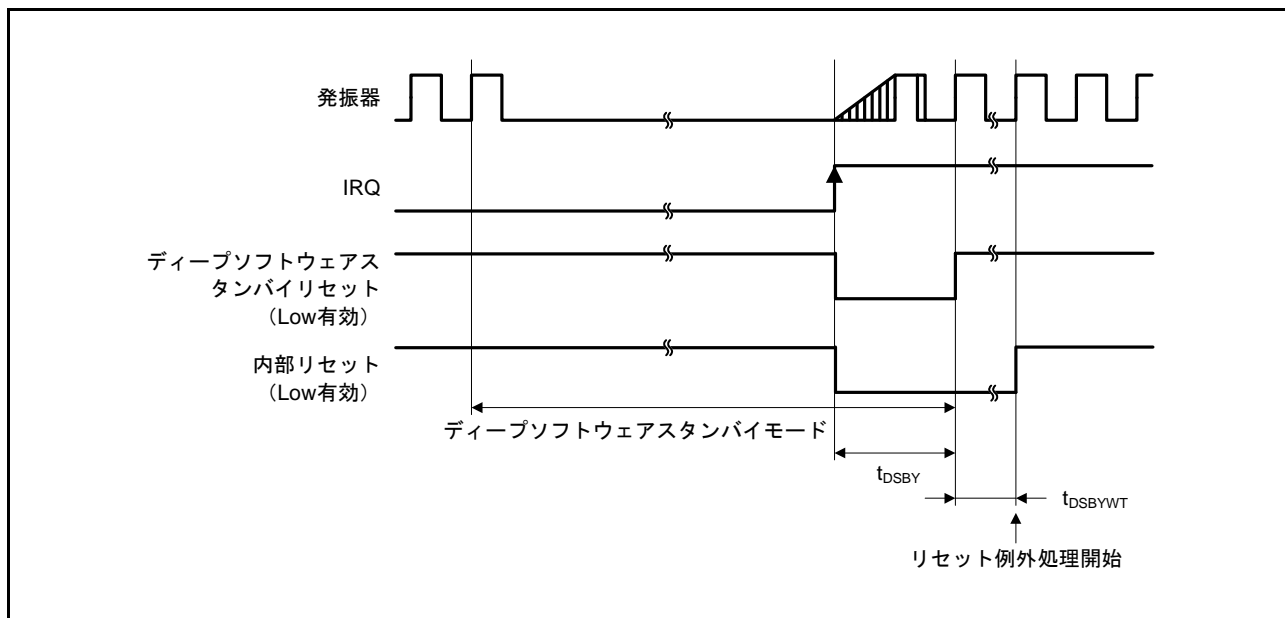


図 2.14 ディープソフトウェアスタンバイモード解除タイミング

2.4.4 制御信号タイミング

表2.24 制御信号タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図2.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図2.15
IRQパルス幅	t_{IRQW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図2.16
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図2.16

注1. t_{PBcyc} : PCLKBの周期

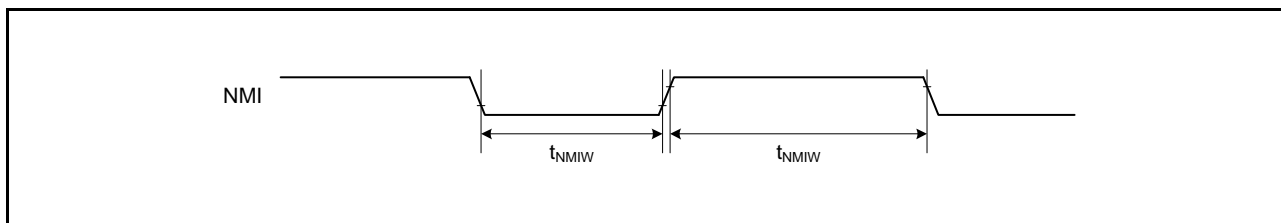


図 2.15 NMI 割り込み入カタイミング

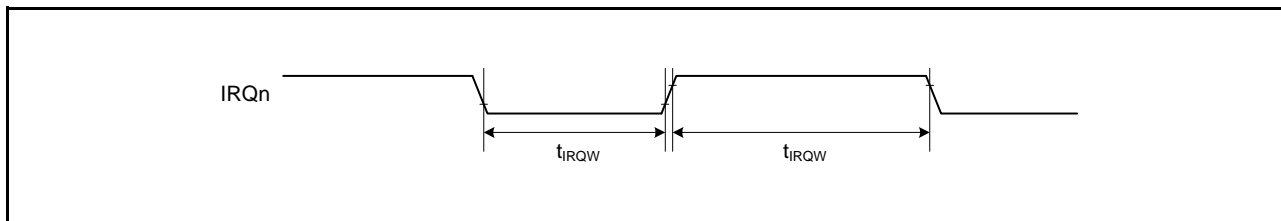


図 2.16 IRQ 割り込み入カタイミング

2.4.5 バスタイミング

表2.25 バスタイミング(1)

条件 : $4.5 \leq V_{CC} \leq 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	12.5	ns	図2.17～図2.22
バイトコントロール遅延時間	t_{BCD}	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	ns	
ALE遅延時間	t_{ALED}	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	図2.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表2.26 バスタイミング(2)

条件 : $2.7 \leq V_{CC} < 4.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	25	ns	図2.17～図2.22
バイトコントロール遅延時間	t_{BCD}	—	25	ns	
CS#遅延時間	t_{CSD}	—	25	ns	
ALE遅延時間	t_{ALED}	—	25	ns	
RD#遅延時間	t_{RSD}	—	25	ns	
リードデータセットアップ時間	t_{RDS}	25	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	25	ns	
ライトデータ遅延時間	t_{WDD}	—	25	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	25	—	ns	図2.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	

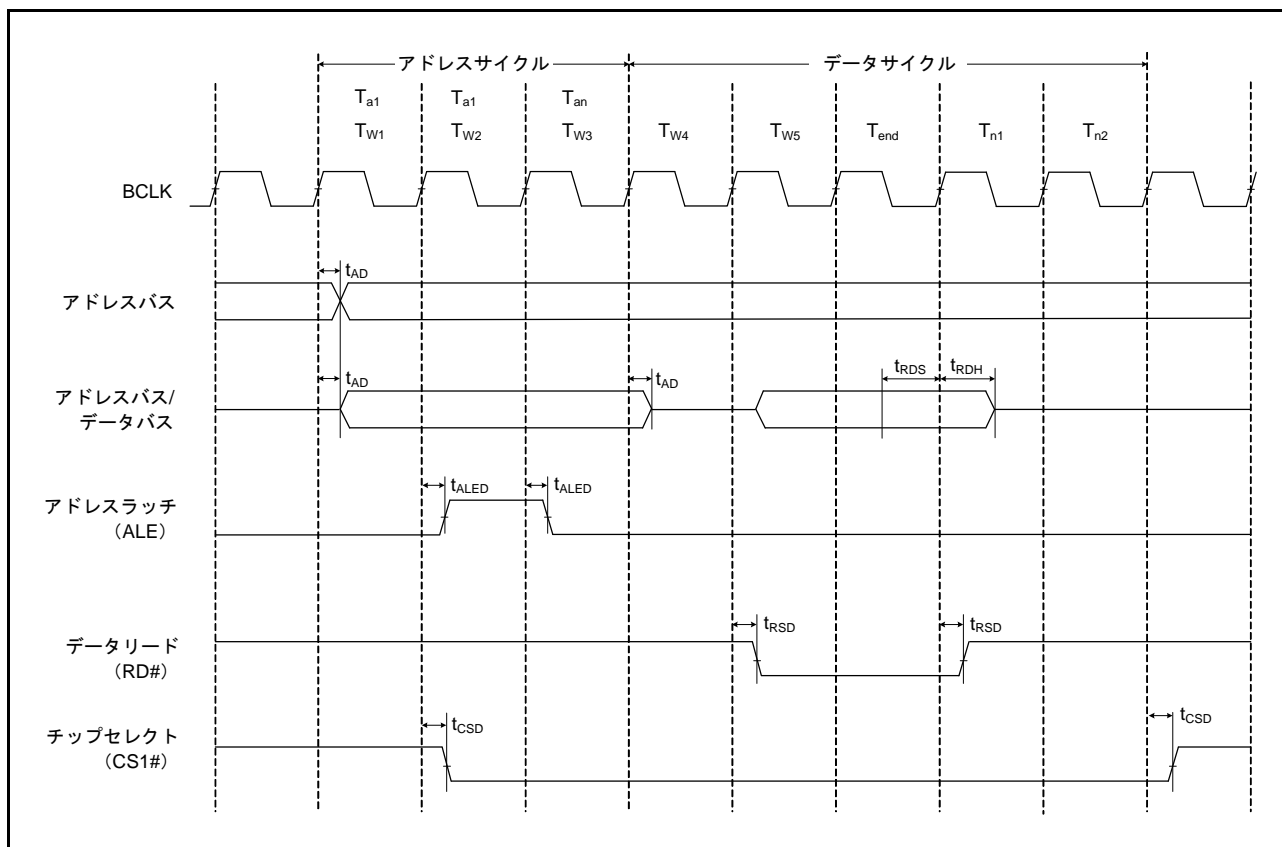


図 2.17 アドレス/データマルチプレクスバスのリードアクセスタイミング

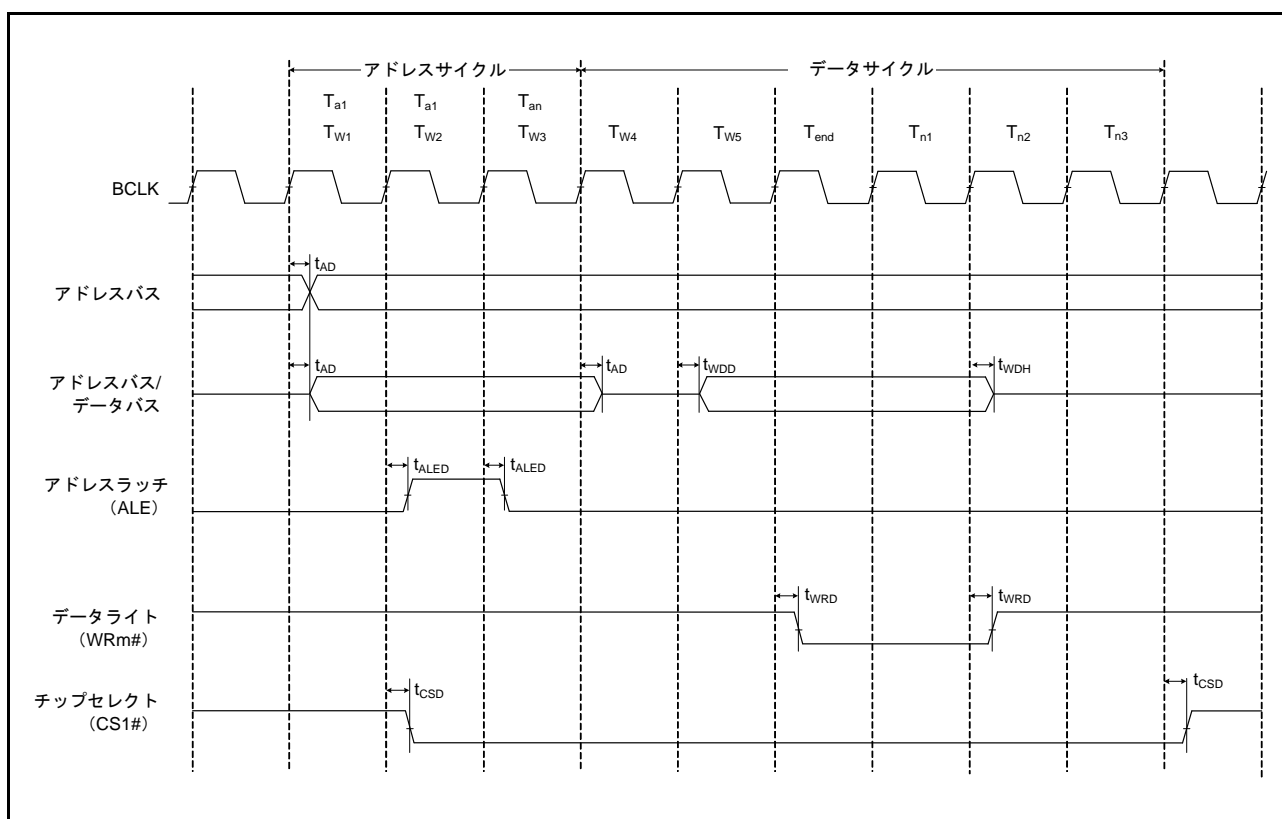


図 2.18 アドレス/データマルチプレクスバスのライトアクセスタイミング

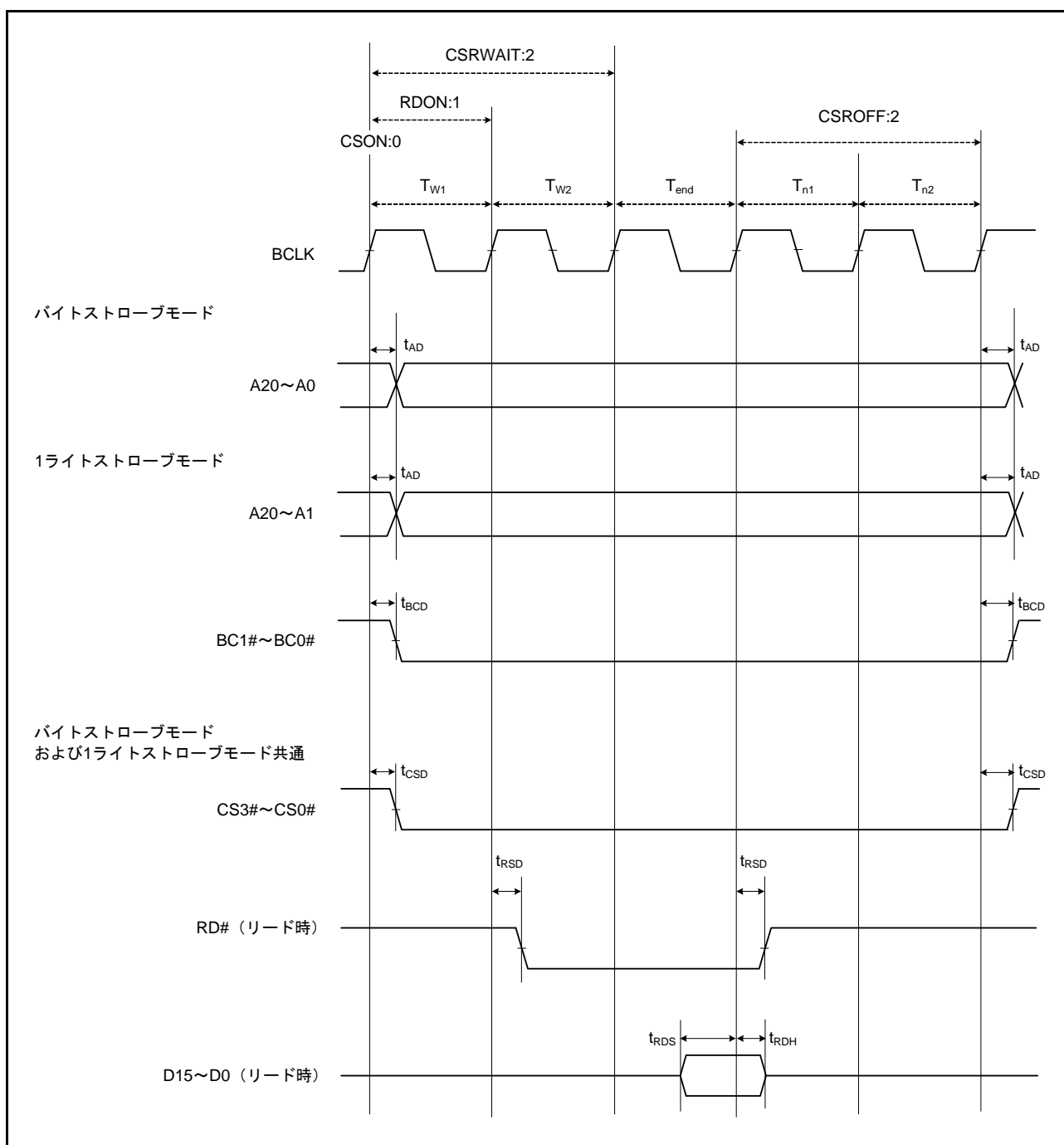


図 2.19 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

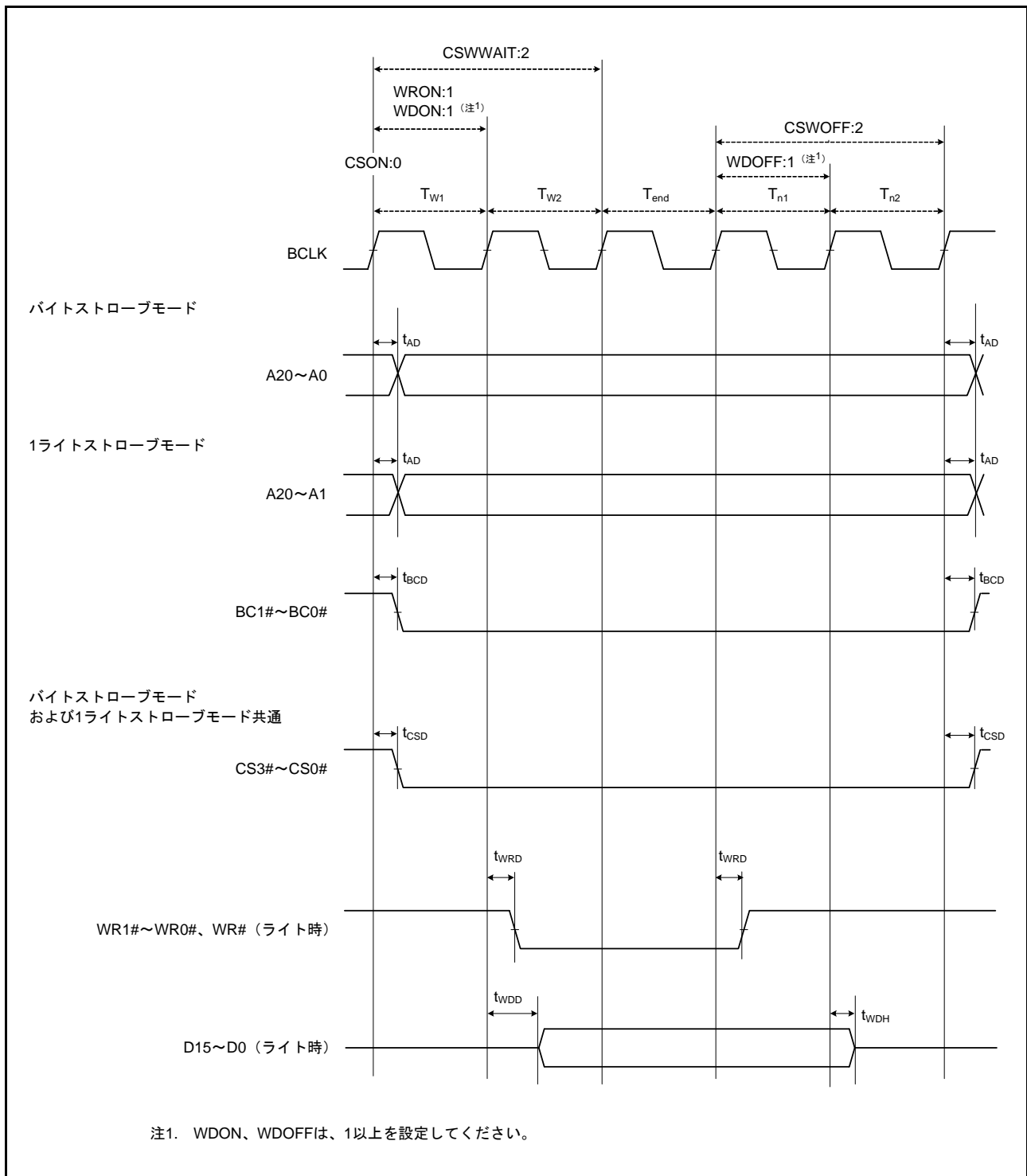


図 2.20 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

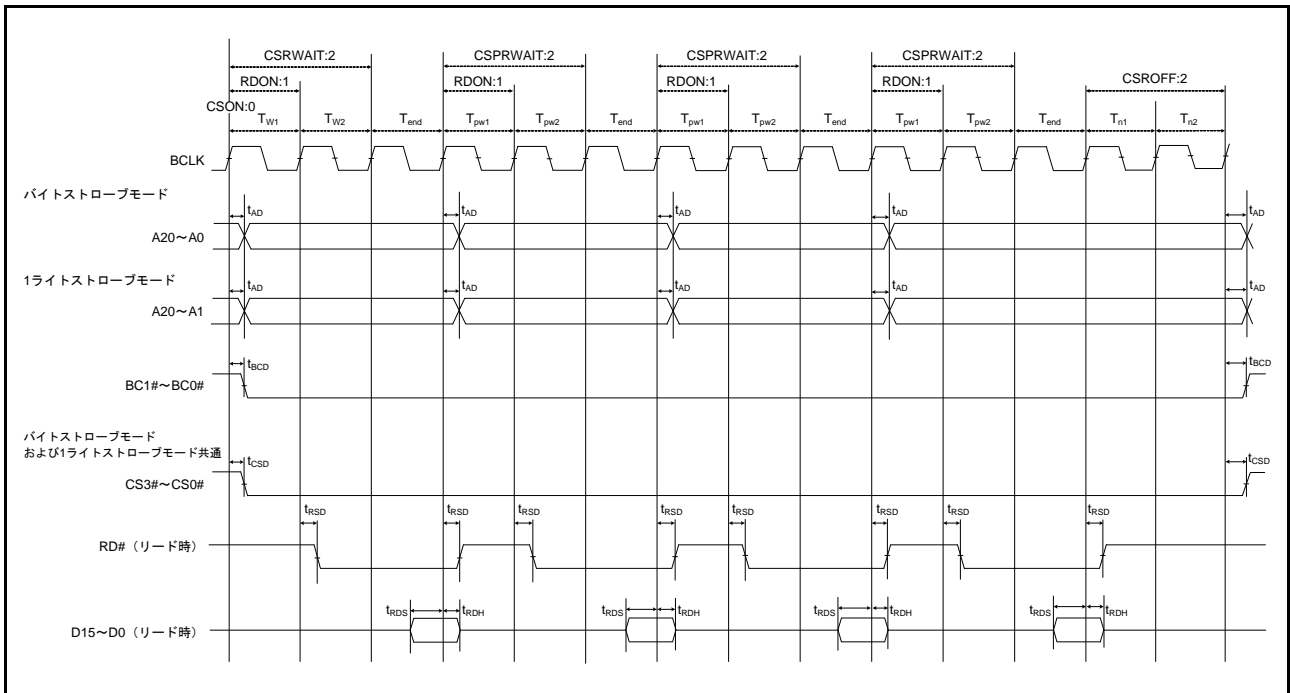


図 2.21 外部バスタイミング / ページリードサイクル (バスクロック同期)

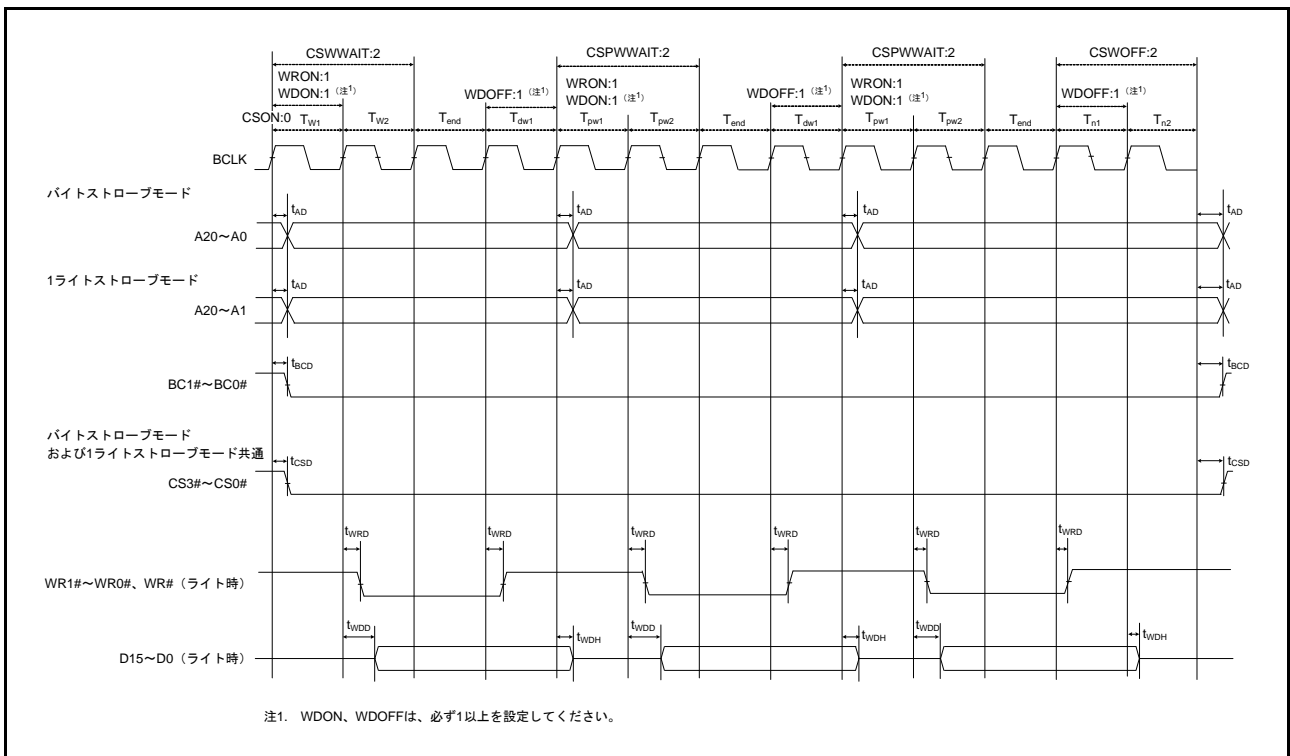


図 2.22 外部バスタイミング / ページライトサイクル (バスクロック同期)

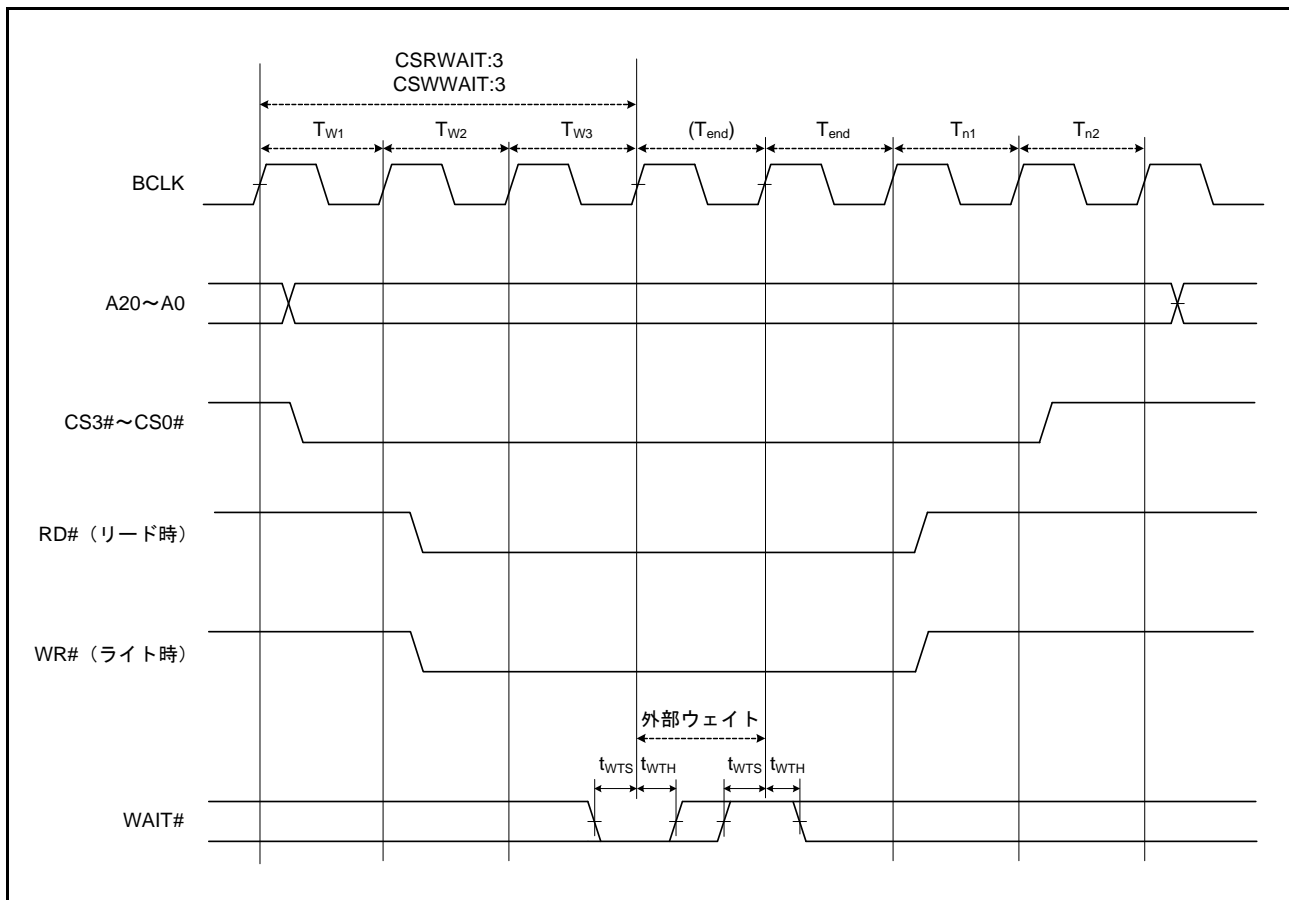


図 2.23 外部バスタイミング / 外部ウェイト制御

2.4.6 内蔵周辺モジュールタイミング

2.4.6.1 I/Oポート

表2.27 I/Oポートタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,
PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位(注1)	測定条件
I/Oポート 入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図2.24

注1. t_{PBcyc} : PCLKBの周期

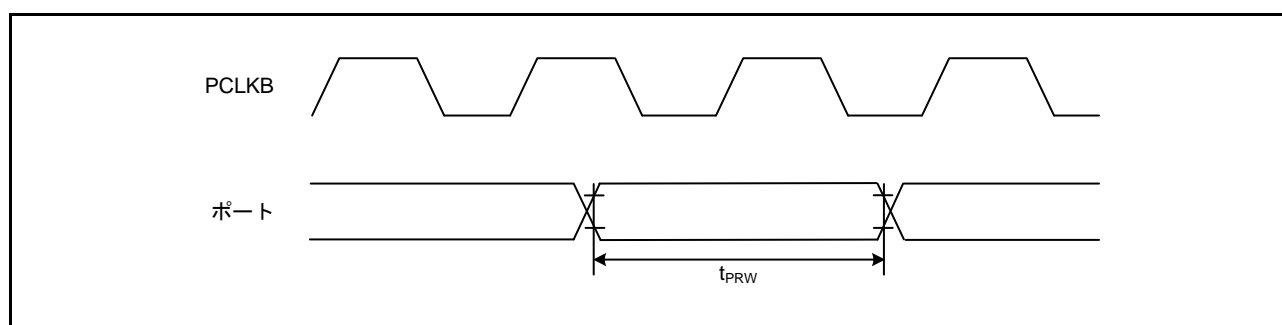


図 2.24 I/Oポート入力タイミング

2.4.6.2 TMR

表2.28 TMRタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t_{PBcyc}	図2.25
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

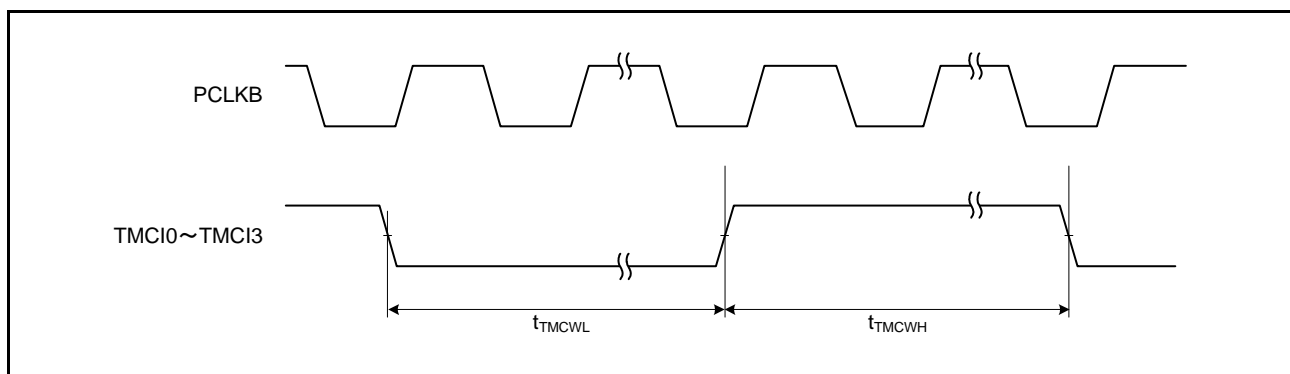


図 2.25 TMR クロック入力タイミング

2.4.6.3 CMTW

表2.29 CMTWタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{PBcyc}	図2.26
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

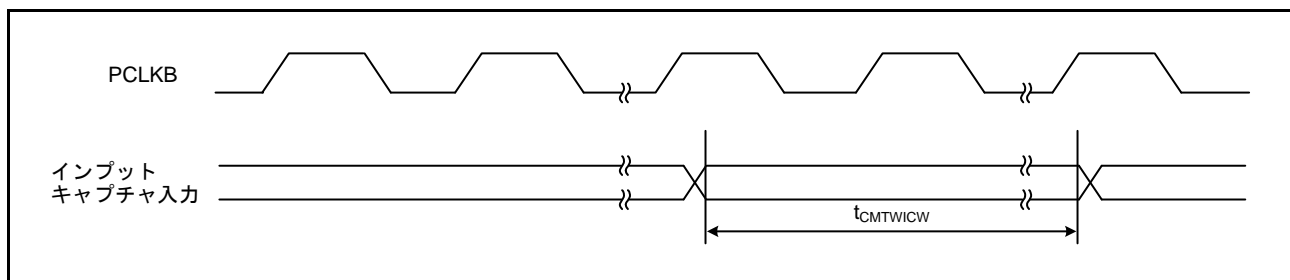


図 2.26 CMTW インプットキャプチャ入力タイミング

2.4.6.4 MTU

表2.30 MTUタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	$t_{P_{Acyc}}$	図2.27	
		両エッジ指定					
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	$t_{P_{Acyc}}$	図2.28
		両エッジ指定					
		位相計数モード					

注1. $t_{P_{Acyc}}$: PCLKAの周期

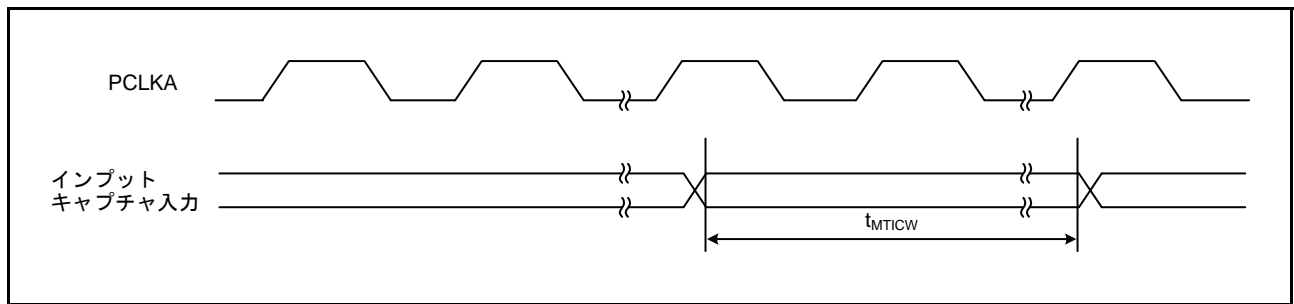


図 2.27 MTU インプットキャプチャ入力タイミング

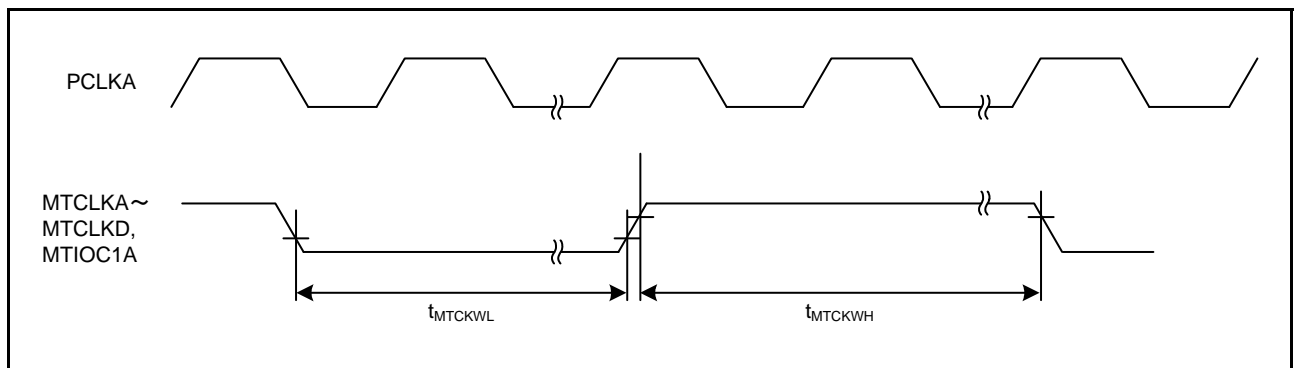


図 2.28 MTU クロック入力タイミング

2.4.6.5 POE3

表2.31 POE3 タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn# 入力パルス幅 (n = 0, 4, 8, 10, 11)	t _{POEW}	1.5	—	—	t _{PBcyc}	図2.29	
	出力ディセーブル時間	POEn# 端子の変化	t _{POEDI}	—	—	5 PCLKB + 0.24	μs	図2.30 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1 ~ 5, n = 0, 4, 8, 10, 11))
		出力端子の短絡	t _{POEDO}	—	—	3 PCLKB + 0.2	μs	図2.31
		レジスタ設定	t _{POEDS}	—	—	1 PCLKB + 0.2	μs	図2.32 レジスタアクセス時間は除く
		発振停止検出	t _{POEDOS}	—	—	21	μs	図2.33

注1. t_{PBcyc} : PCLKBの周期

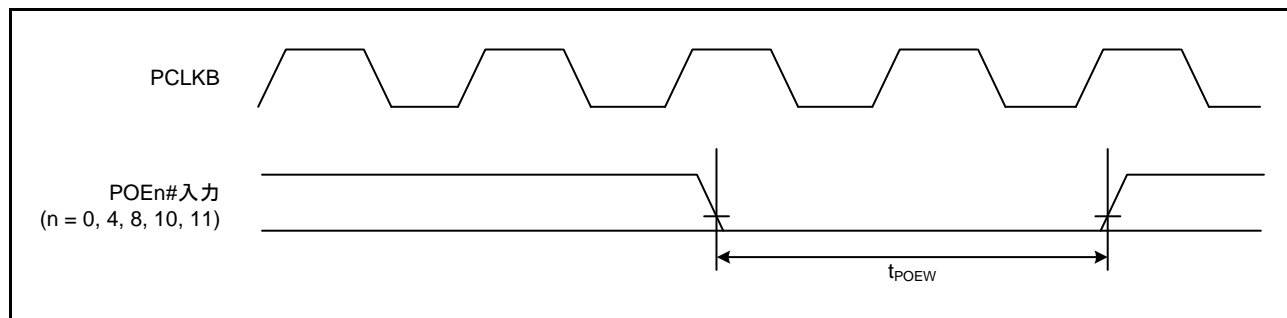


図 2.29 POE# 端子入力タイミング

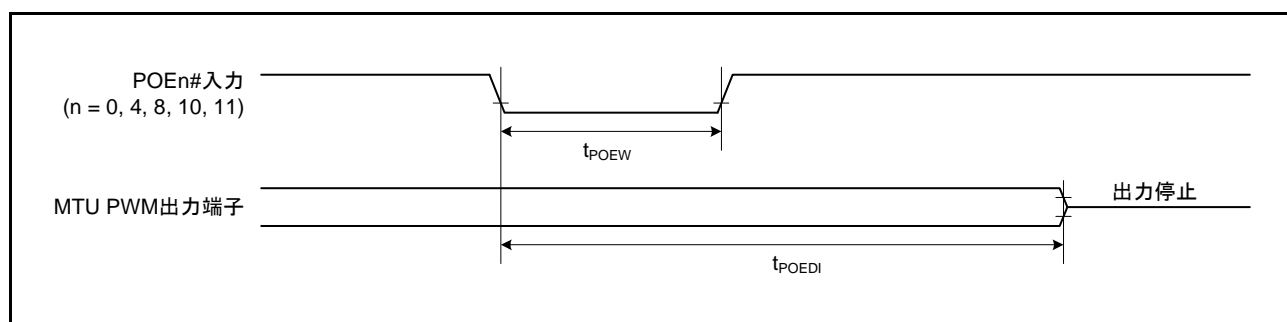


図 2.30 POE 出力ディセーブル時間 (POEn# 端子の変化)

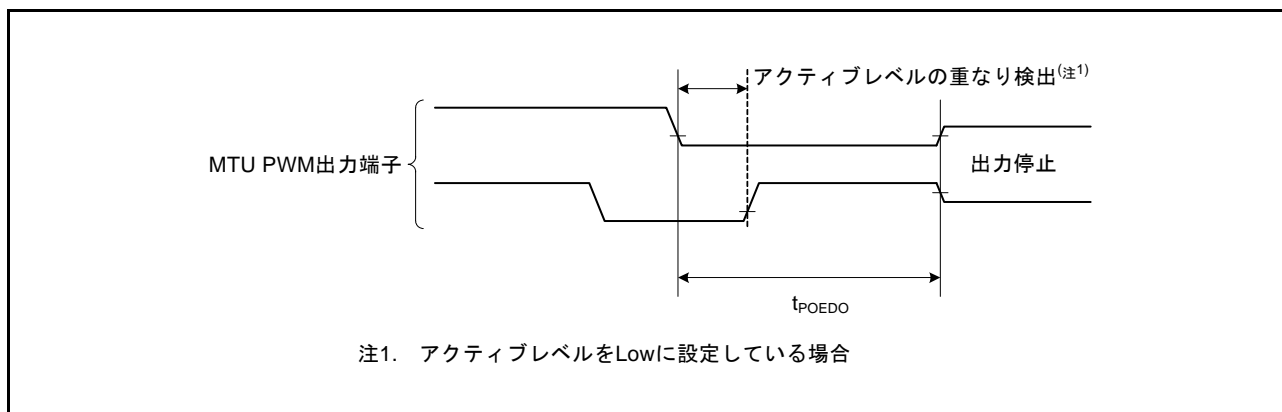


図 2.31 POE 出力ディセーブル時間 (出力端子の短絡)

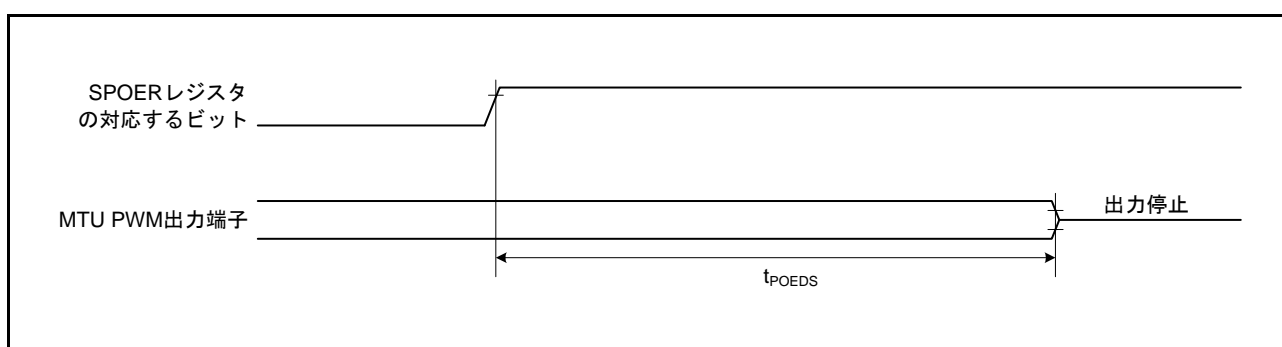


図 2.32 POE 出力ディセーブル時間 (レジスタ設定)

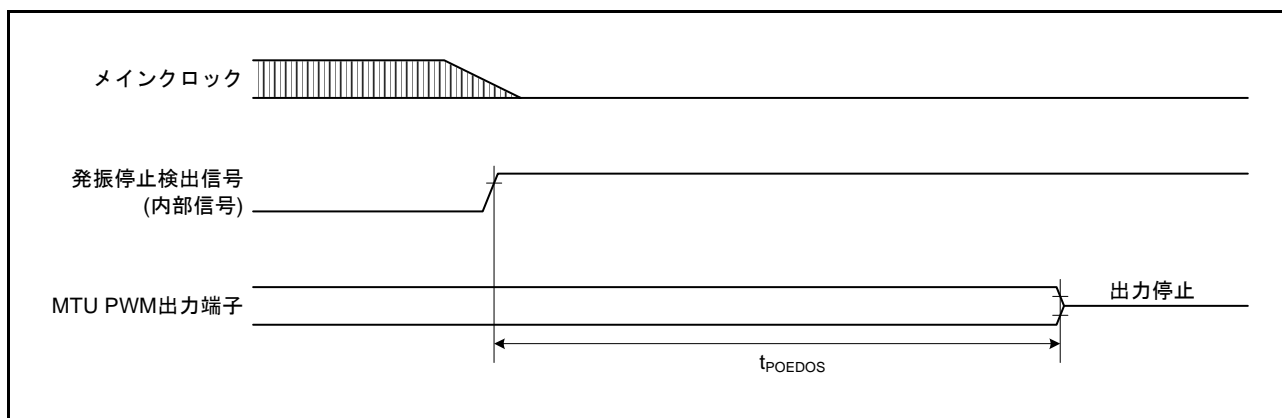


図 2.33 POE 出力ディセーブル時間 (発振停止検出)

2.4.6.6 A/Dコンバータトリガ

表2.32 A/Dコンバータトリガタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,
PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図2.34

注1. t_{PBcyc} : PCLKBの周期

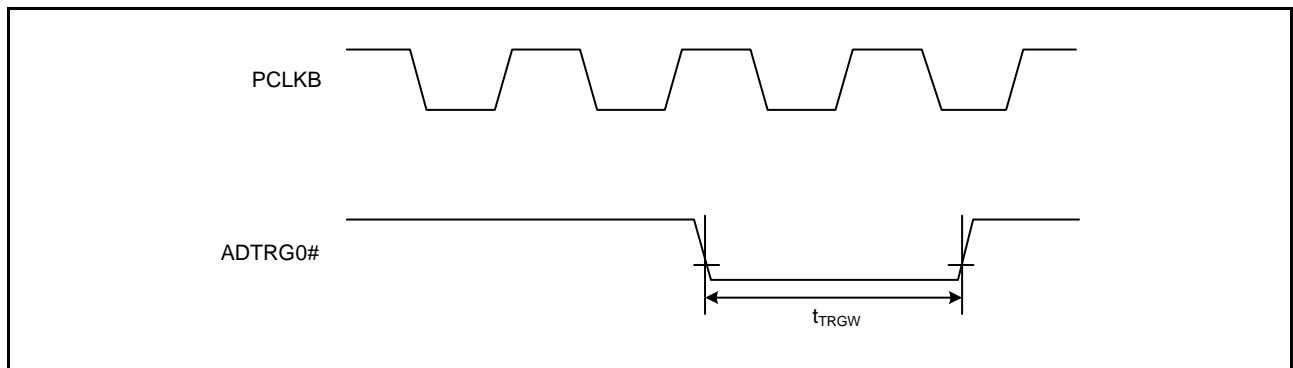


図 2.34 A/Dコンバータトリガ入力タイミング

2.4.6.7 CAC

表2.33 CACタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,
PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目 (注1、注2)		記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	t_{CACREF}	$t_{PBcyc} \leq t_{cac}$	$4.5t_{cac} + 3t_{PBcyc}$	—	ns
			$t_{PBcyc} > t_{cac}$	$5t_{cac} + 6.5t_{PBcyc}$	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CACカウントクロックソースの周期

2.4.6.8 SCI

表2.34 SCIk, SCIlh, SCIm タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
VSS = AVSS0 = 0V,

PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, $T_a = T_{opr}$,

出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件				
SCIk, SCIlh	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図2.35			
		クロック同期		6	—					
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}				
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns				
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns				
	出力クロックサイクル	調歩同期 (SCIk)	t _{Scyc}	6	—	t _{PBcyc}				
		調歩同期 (SCIlh)		8	—					
		クロック同期		4	—					
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}				
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns				
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns				
	送信データ遅延時間	クロック同期	t _{TXD}	—	28	ns			VCC ≥ 4.5V	図2.36
—				33	VCC < 4.5V					
受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	図2.36				
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns					
SCIm	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PAcyc}	図2.35			
		クロック同期		6	—					
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}				
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns				
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns				
	出力クロックサイクル	調歩同期	t _{Scyc}	6	—	t _{PAcyc}				
		クロック同期		4	—					
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}				
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns				
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns				
	送信データ遅延時間	マスタ	t _{TXD}	—	15	ns			VCC ≥ 4.5V	図2.36
				—	20				VCC < 4.5V	
スレーブ		—		28	VCC ≥ 4.5V					
		—		33	VCC < 4.5V					
受信データセットアップ時間	クロック同期	t _{RXS}	20	—	ns	図2.36				
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns					

注1. t_{PBcyc} : PCLKBの周期、t_{PAcyc} : PCLKAの周期

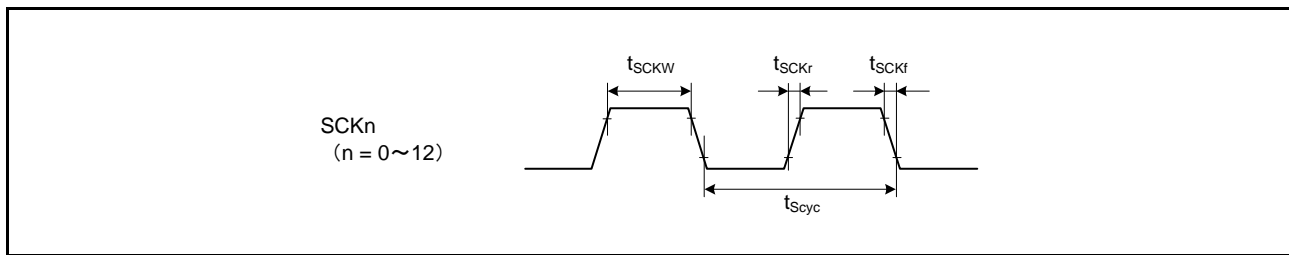


図 2.35 SCK クロック入力タイミング

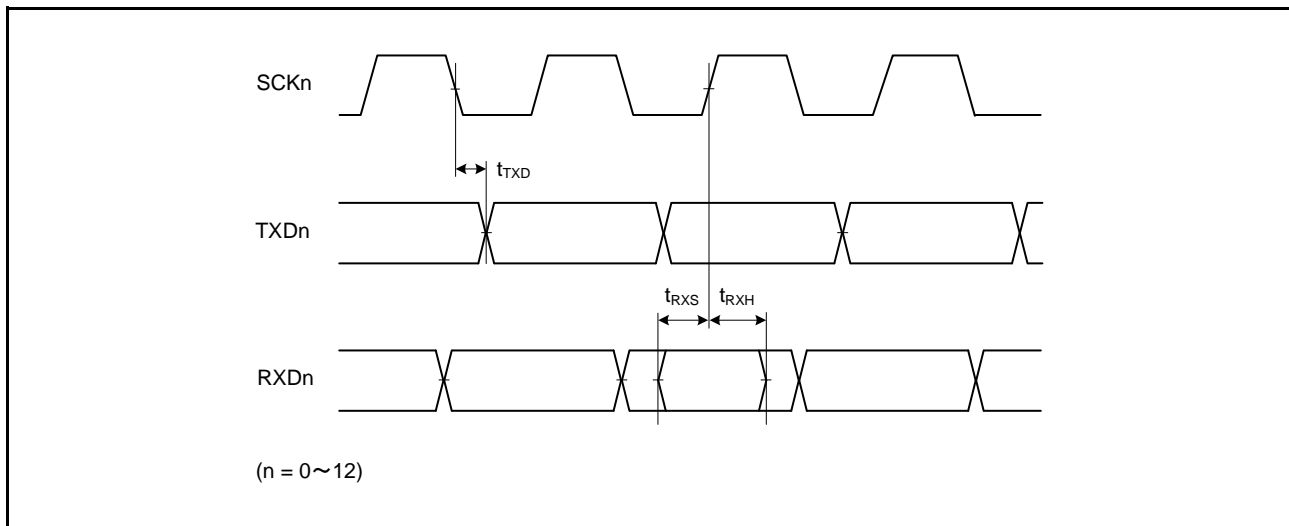


図 2.36 SCI 入出力タイミング/クロック同期式モード

表2.36 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPCyc}	4	—	t_{PCyc}	図2.38 図2.39~ 図2.42 図2.41、 図2.42
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロックHighパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロックLowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPCyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPCyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PCyc}	
スレーブ出力開放時間	t_{REL}	—	5	t_{PCyc}		

注. t_{PCyc} : SCI10、SCI11ではPCLKAの周期を示します。SCI0～SCI9、SCI12ではPCLKBの周期を示します。

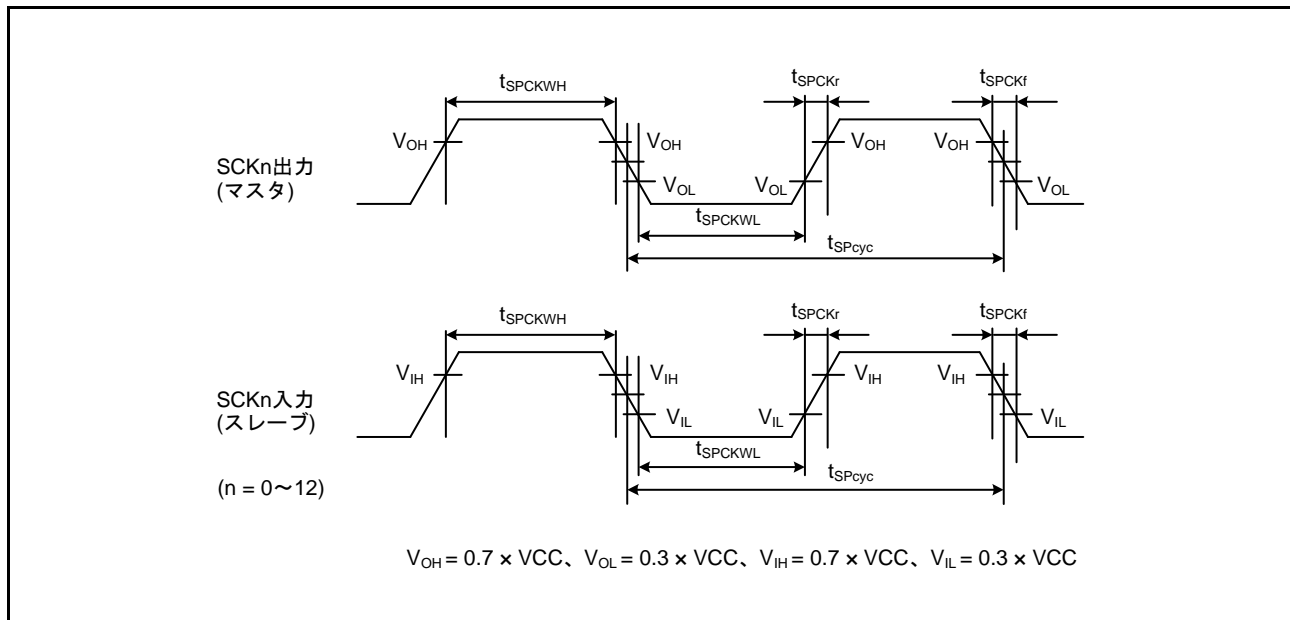


図2.38 簡易SPIクロックタイミング

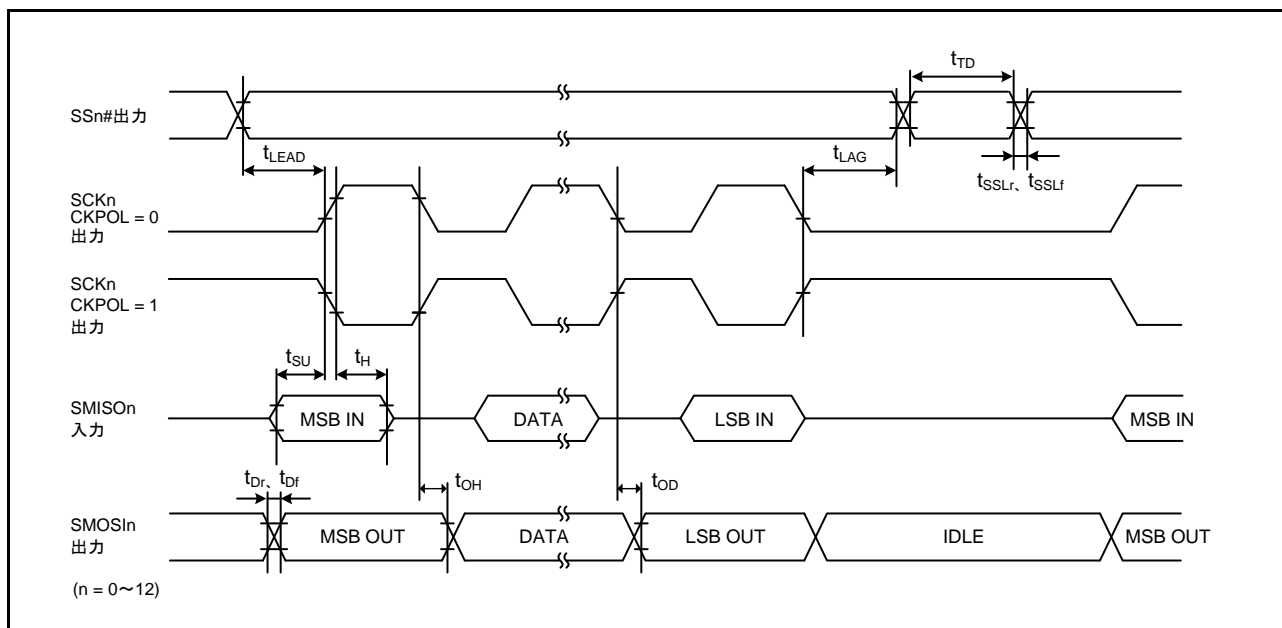


図 2.39 簡易 SPI タイミング (マスタ、CKPH = 1)

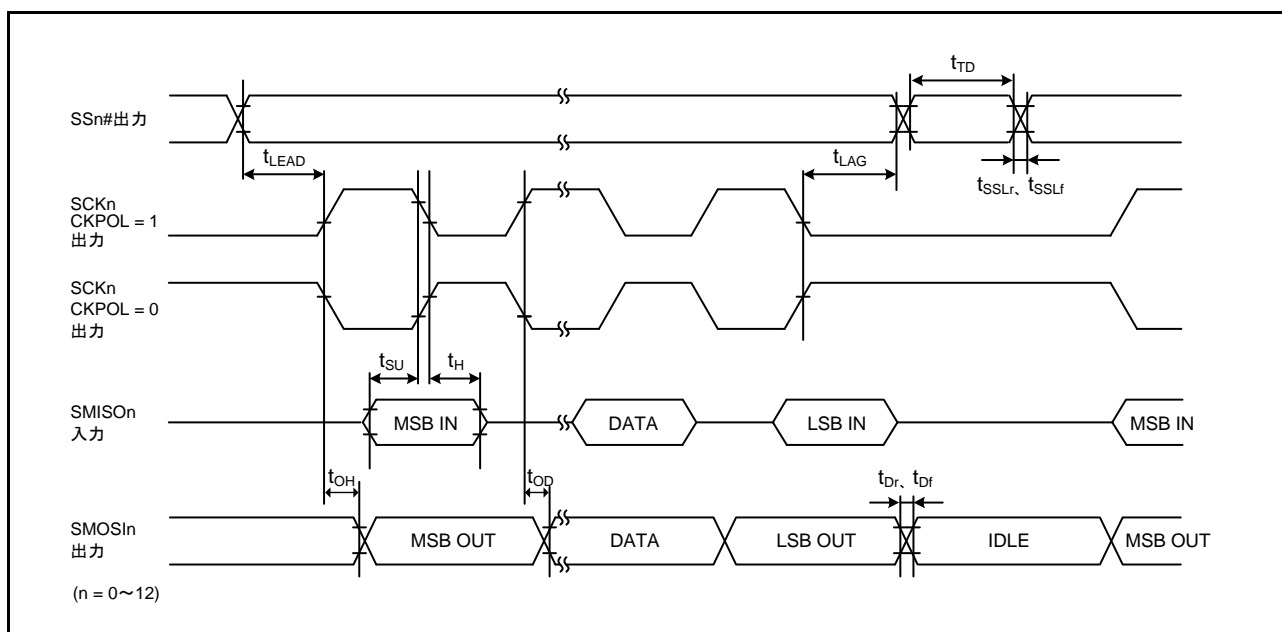


図 2.40 簡易 SPI タイミング (マスタ、CKPH = 0)

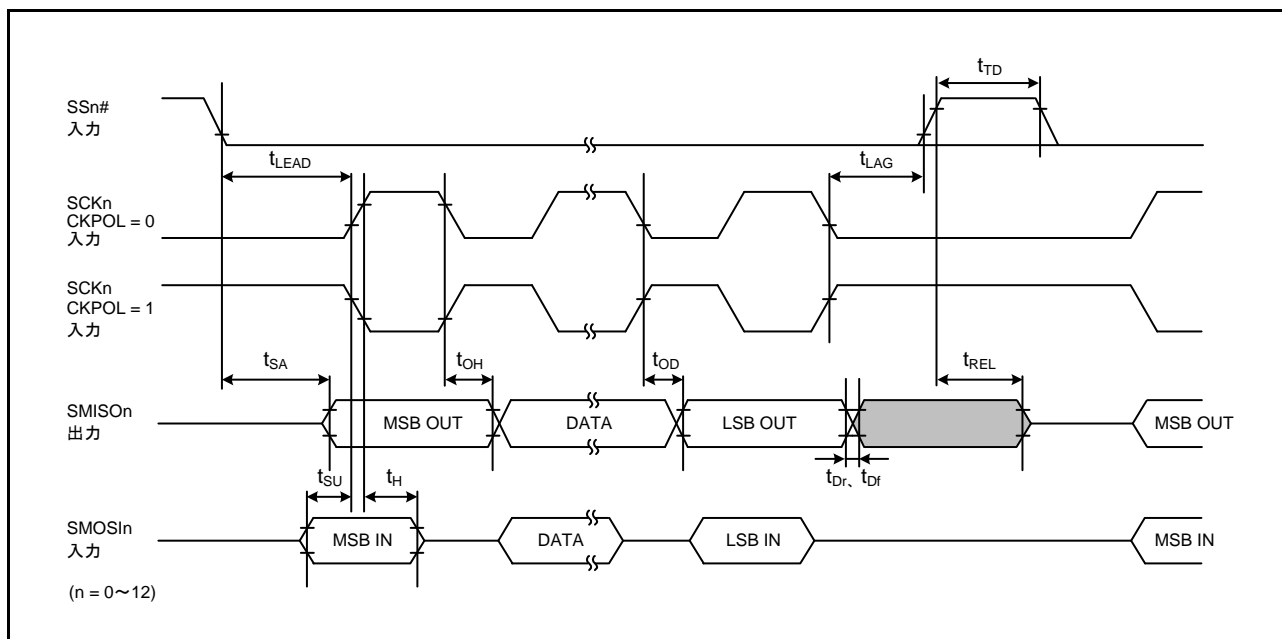


図 2.41 簡易 SPI タイミング (スレーブ、CKPH = 1)

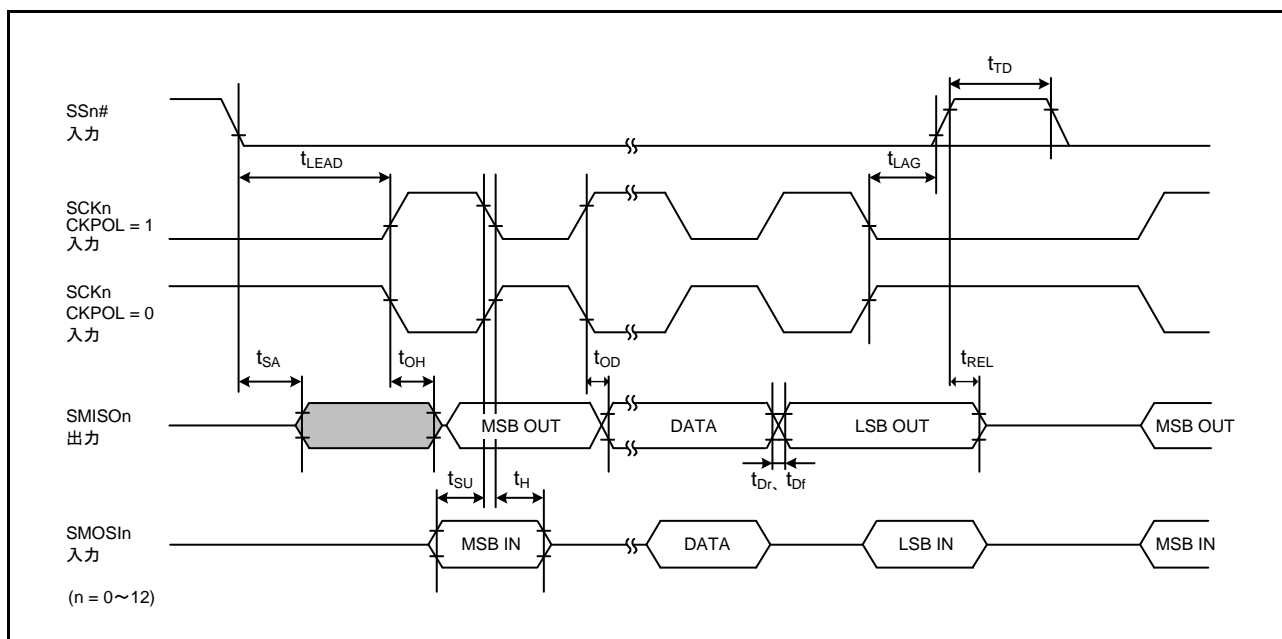


図 2.42 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.4.6.9 RSCI

表2.37 RSCIタイミング

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSCI	入力クロックサイクル	調歩同期	t _{S_{cyc}}	4	—	t _{P_{A_{cyc}}}	図2.43	
		クロック同期		2	—			
	入力クロックパルス幅		t _{S_{CKW}}	0.4	0.6	t _{S_{cyc}}		
	入力クロック立ち上がり時間		t _{S_{CKr}}	—	5	ns		
	入力クロック立ち下がり時間		t _{S_{CKf}}	—	5	ns		
	出力クロックサイクル	調歩同期	t _{S_{cyc}}	6	—	t _{P_{A_{cyc}}}		
		クロック同期		2	—			
	出力クロックパルス幅		t _{S_{CKW}}	0.4	0.6	t _{S_{cyc}}		
	出力クロック立ち上がり時間		t _{S_{CKr}}	—	5	ns		
	出力クロック立ち下がり時間		t _{S_{CKf}}	—	5	ns		
	受信データセットアップ時間	マスタ	t _{R_{XS}}	-1.5	—	ns		VCC ≥ 4.5V
		スレーブ		2.5	—			VCC < 4.5V
受信データホールド時間	マスタ	t _{R_{XH}}	11	—	ns	図2.44		
	スレーブ		2.5	—				
送信データ遅延時間	マスタ	t _{T_{XD}}	—	4	ns	VCC ≥ 4.5V		
			—	17			VCC < 4.5V	
			—	22				

注1. t_{P_{A_{cyc}}} : PCLKAの周期、t_{S_{cyc}} : SCKの周期

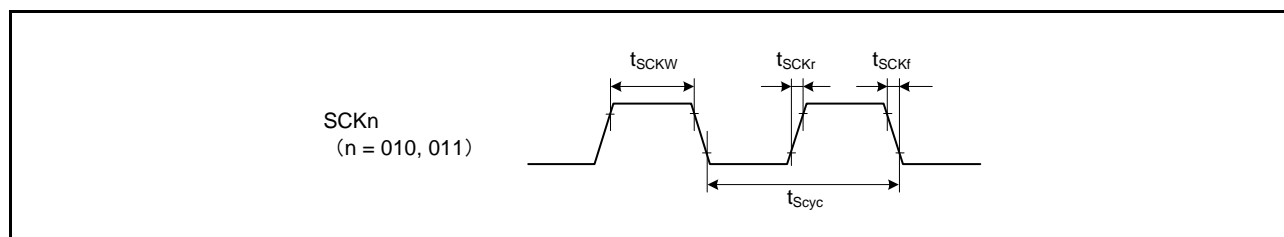


図2.43 SCKクロック入力タイミング

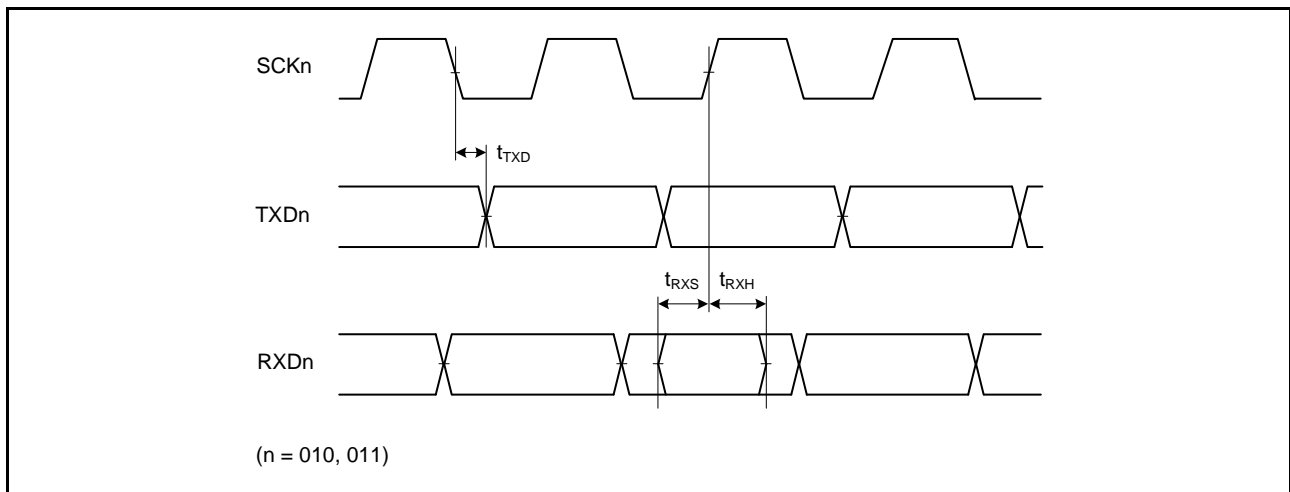


図 2.44 RSCI 入出力タイミング/クロック同期式モード

表2.38 簡易IICタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
簡易IIC (Standard-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図2.45
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{PAcyc}	ns	
	データ入力セットアップ時間	t _{SDAS}	250	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	
簡易IIC (Fast-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{PAcyc}	ns	
	データ入力セットアップ時間	t _{SDAS}	100	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{PAcyc} : PCLKAの周期
 注1. C_bはバスラインの容量総計です。

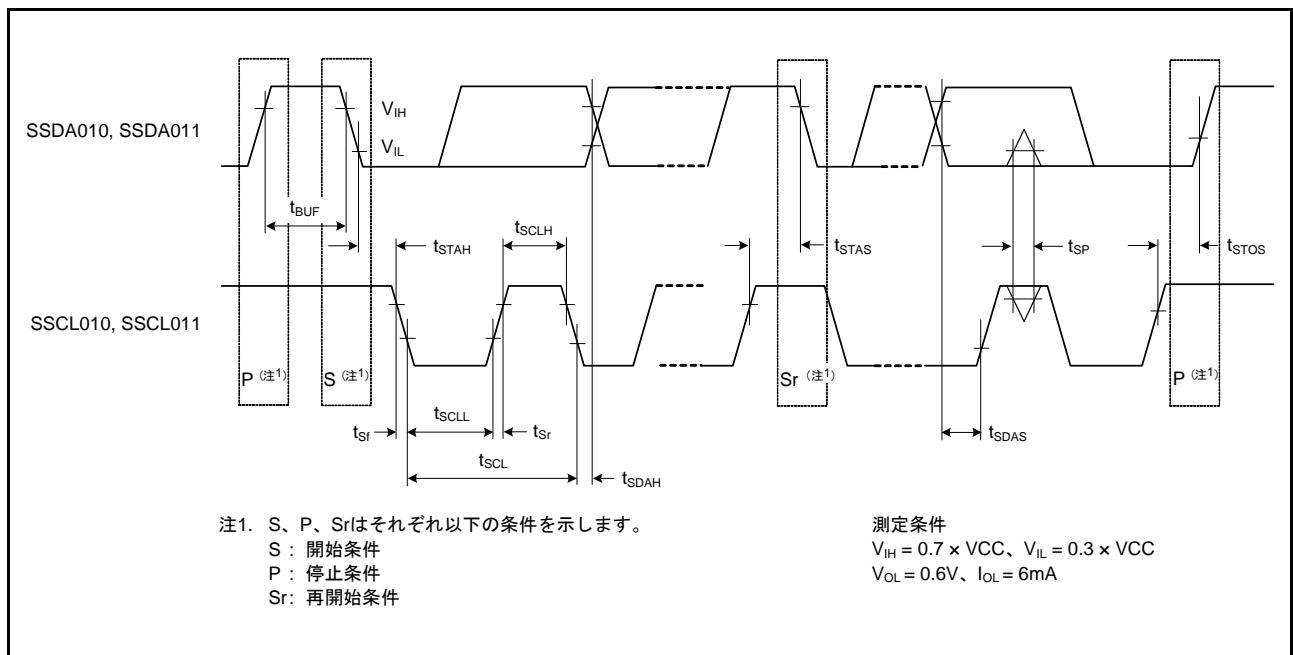


図 2.45 簡易 IIC バスインタフェース入出力タイミング

表 2.39 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	2	—	t_{PAcyc}	図 2.46	
	SCKクロックサイクル入力(スレーブ)		2	—			
	SCKクロックHighパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロックLowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/ 立ち下がり時間	出力 t_{SPCKr} , t_{SPCKf}	—	5	ns	図 2.47 ~ 図 2.50	
			入力	—	1		μs
データ入力セットアップ時間	マスタ	t_{SU}	0.5	—	ns		
	スレーブ		2.5	—			
データ入力ホールド時間	マスタ	t_H	11	—	ns		
	スレーブ		2.5	—			
データ出力遅延時間	マスタ	t_{OD}	—	4	ns		図 2.47 ~ 図 2.50 VCC ≥ 4.5V 図 2.47 ~ VCC < 4.5V 図 2.50
			—	17			
			—	22			
データ出力ホールド時間	マスタ	t_{OH}	-1	—	ns		図 2.47 ~ 図 2.50
	スレーブ		0	—			
データ立ち上がり/立ち下がり時間	出力	t_{Dr} , t_{Df}	—	5	ns		図 2.47 ~ 図 2.50
	入力		—	1		μs	
スレーブアクセス時間		t_{SA}	—	5	t_{PAcyc}		
スレーブ出力開放時間		t_{REL}	—	5	t_{PAcyc}		
SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	図 2.47 ~ 図 2.50	
SS入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}		
SS入力立ち上がり/立ち下がり時間		t_{SSLr} , t_{SSLf}	—	1	μs		

注1. t_{PAcyc} : PCLKAの周期

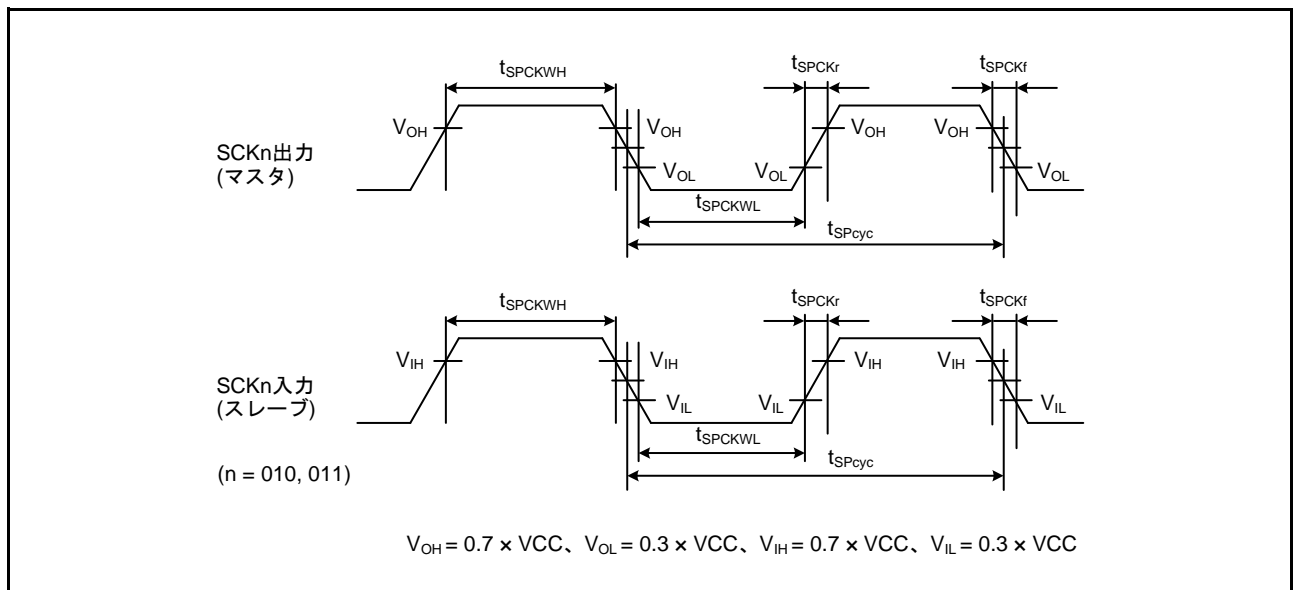


図 2.46 簡易SPIクロックタイミング

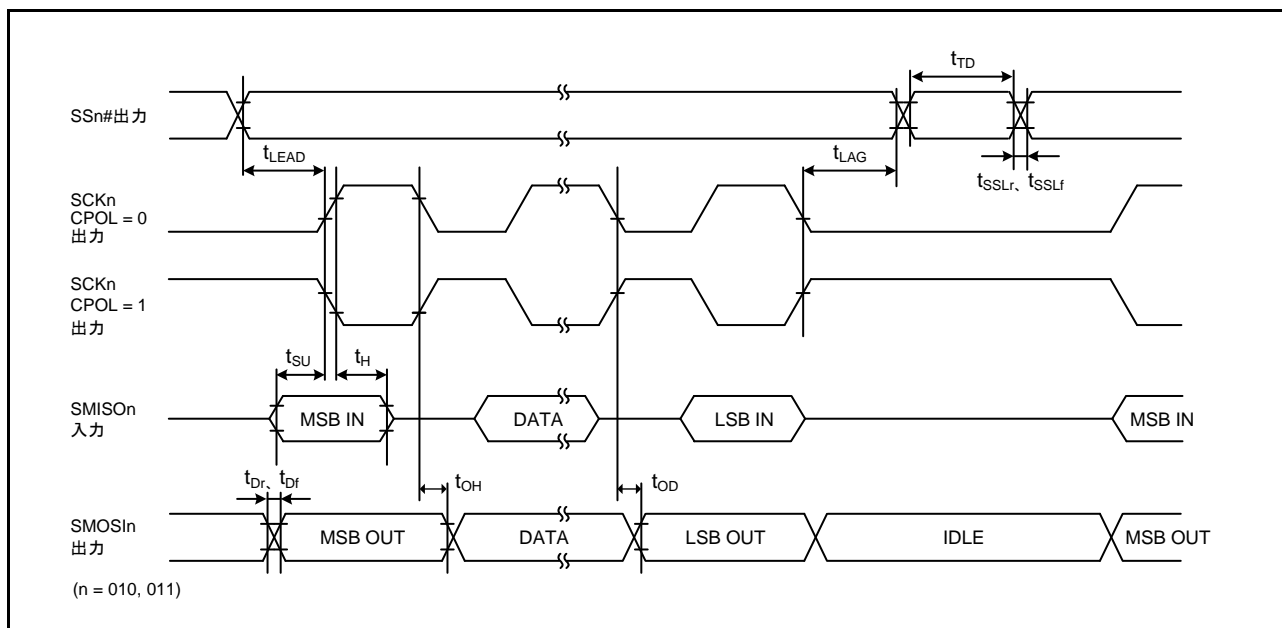


図 2.47 簡易 SPI タイミング (マスタ、CPHA = 0)

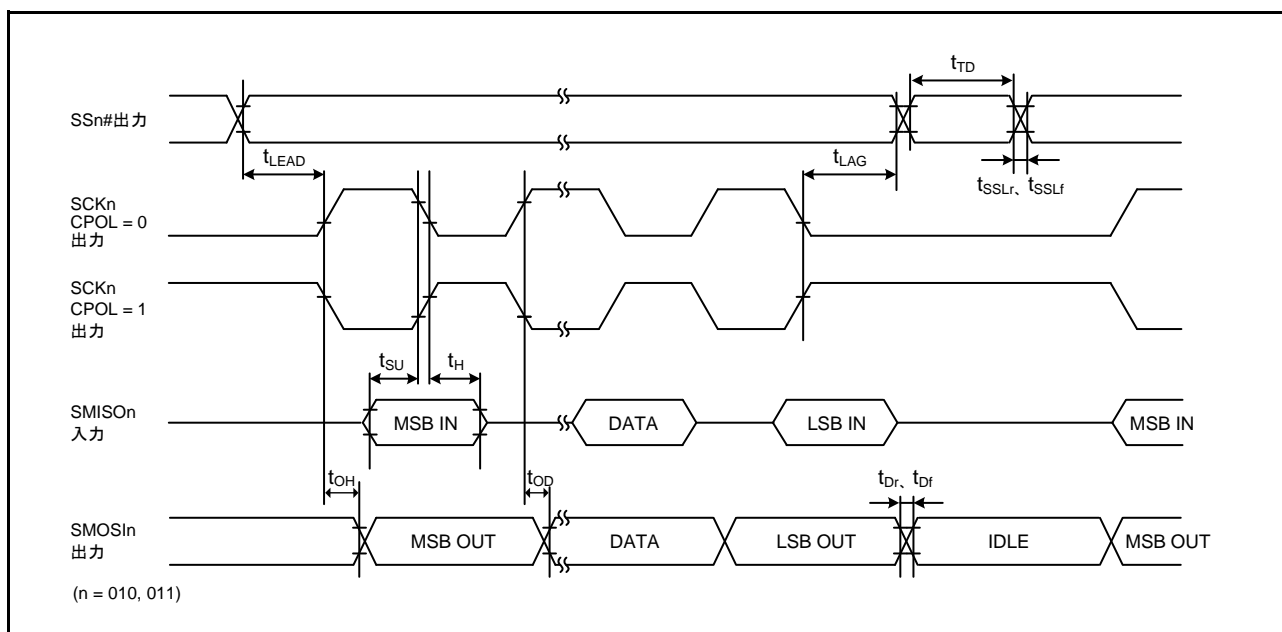


図 2.48 簡易 SPI タイミング (マスタ、CPHA = 1)

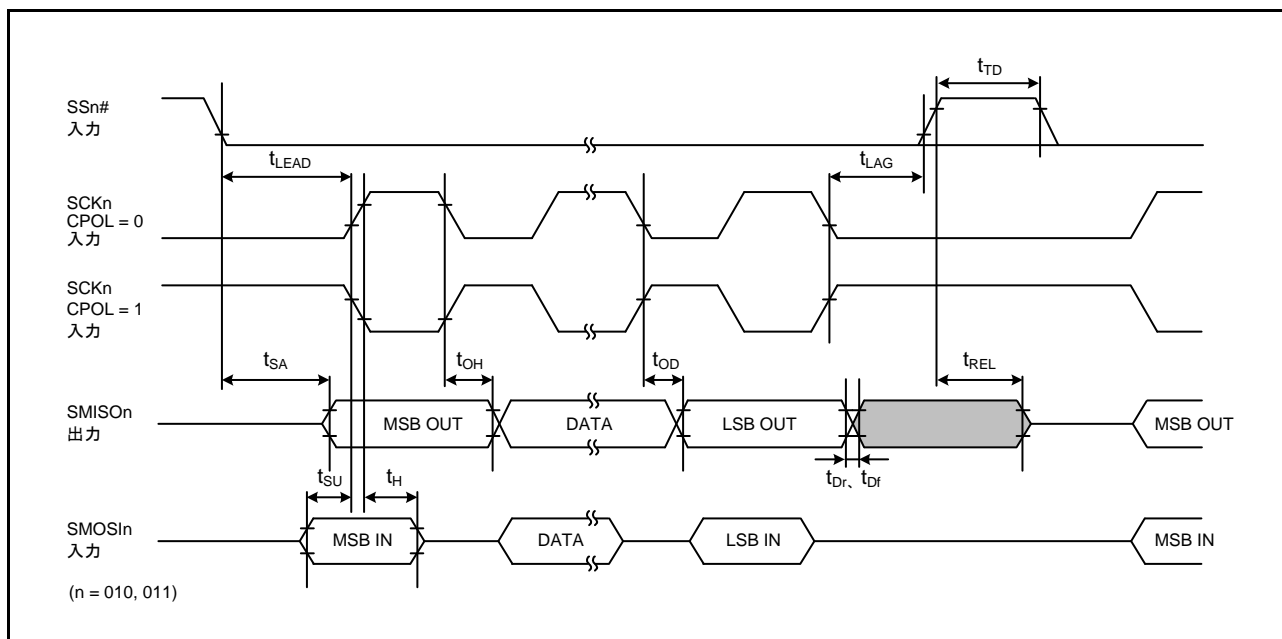


図 2.49 簡易 SPI タイミング (スレーブ、CPHA = 0)

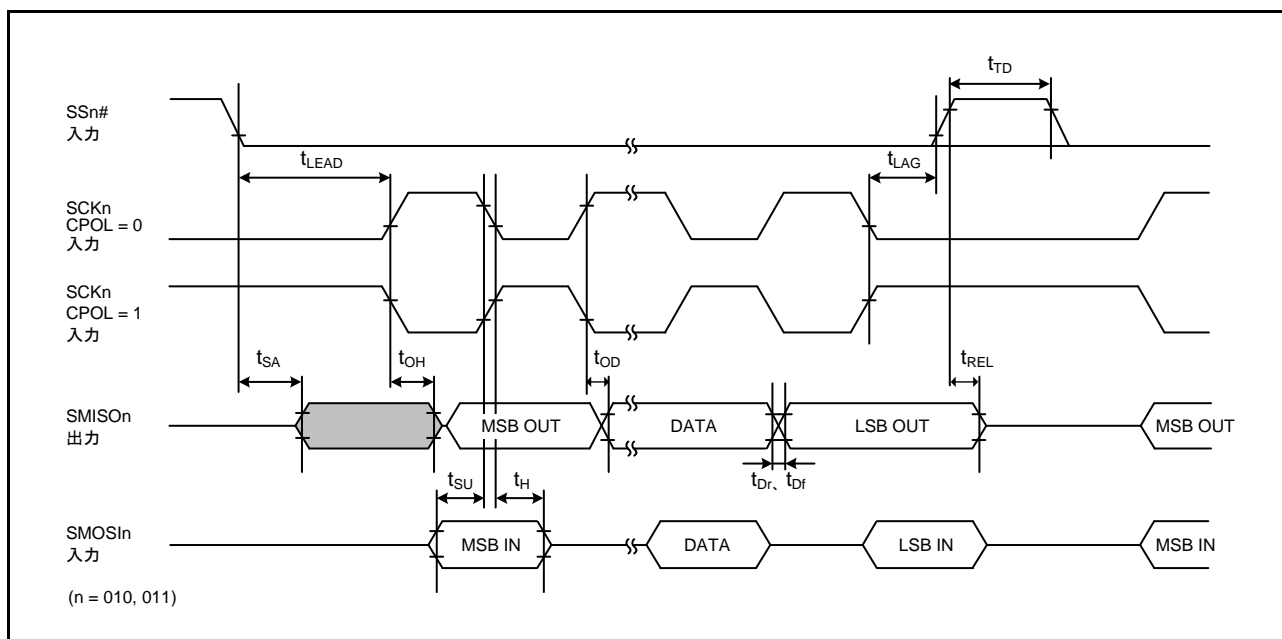


図 2.50 簡易 SPI タイミング (スレーブ、CPHA = 1)

2.4.6.10 RSPI

表2.40 RSPIタイミング

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)			
RSPI	RSPCK クロック サイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図2.51		
		スレーブ		4	—				
	RSPCK クロック Highパルス幅	マスタ	t _{SPCKWH}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3		—		ns	
		スレーブ		0.4	0.6	t _{SPcyc}			
	RSPCK クロック Lowパルス幅	マスタ	t _{SPCKWL}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3		—		ns	
		スレーブ		0.4	0.6	t _{SPcyc}			
	RSPCK クロック立ち 上がり/立ち下がり時間	出力	t _{SPCKr}	—	5	ns			
		入力	t _{SPCKf}	—	1	μs			
	データ入力セット アップ時間	マスタ	t _{SU}	6	—	ns		VCC ≥ 4.5V	図2.52~図 2.57
		スレーブ		11	—			VCC < 4.5V	
	データ入力ホールド 時間	マ ス タ	PCLKAを2 分周に設定	t _{HF}	0	—	ns	図2.52~図2.57	
			PCLKAを2 分周以外に 設定	t _H	t _{PAcyc}	—			
		スレーブ		8.3	—				
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}			
		スレーブ		4	—	t _{PAcyc}			
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}			
		スレーブ		4	—	t _{PAcyc}			
	データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns	VCC ≥ 4.5V		図2.52~図 2.57
				—	11.3		VCC < 4.5V		
		スレーブ		—	28		VCC ≥ 4.5V		
—				33	VCC < 4.5V				
データ出力ホールド 時間	マスタ	t _{OH}	0	—	ns	図2.52~図2.57			
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PAcyc}	8 × t _{SPcyc} + 2 × t _{PAcyc}	ns				
	スレーブ		4 × t _{PAcyc}	—					
MOSI, MISO立ち上 がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns				
	入力		—	1				μs	
SSL立ち上がり/立ち 下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns				
	入力		—	1				μs	
スレーブアクセス時間		t _{SA}	—	28	ns			VCC ≥ 4.5V	図2.56、図 2.57
			—	33				VCC < 4.5V	
スレーブ出力開放時間		t _{REL}	—	28	ns	VCC ≥ 4.5V			
			—	33		VCC < 4.5V			

- 注1. t_{PACyc} : PCLKAの周期
 注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせ使用することを推奨します。RSPIのAC特性は、各グループ内の端子間で測定しています。

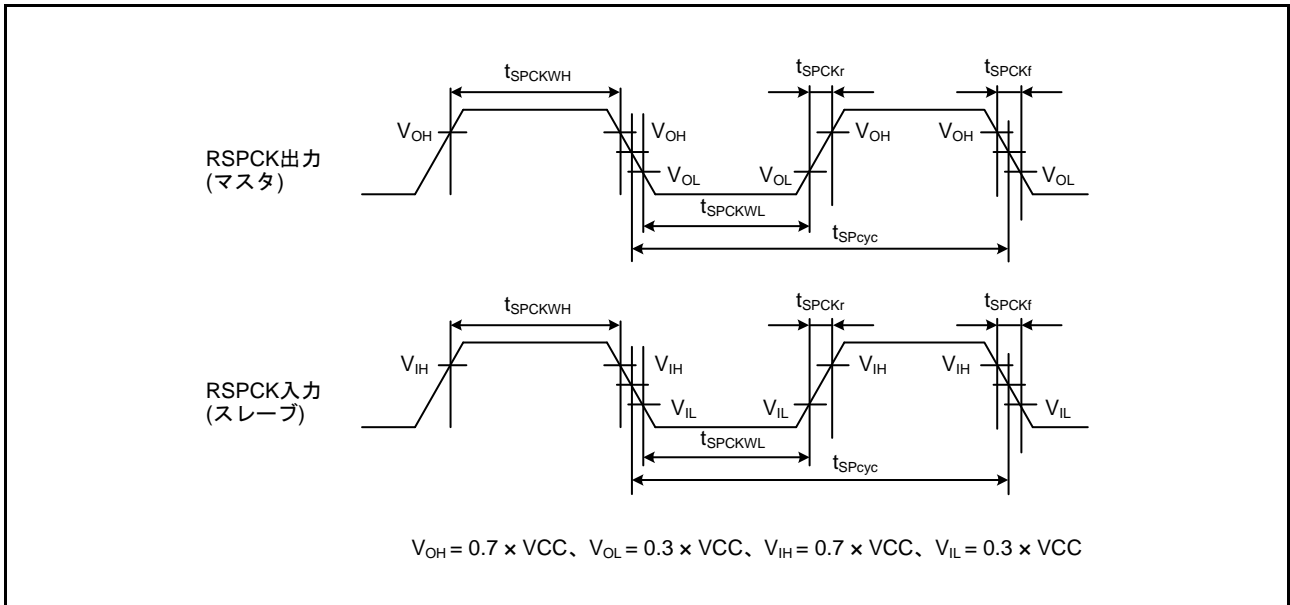


図 2.51 RSPI クロックタイミング

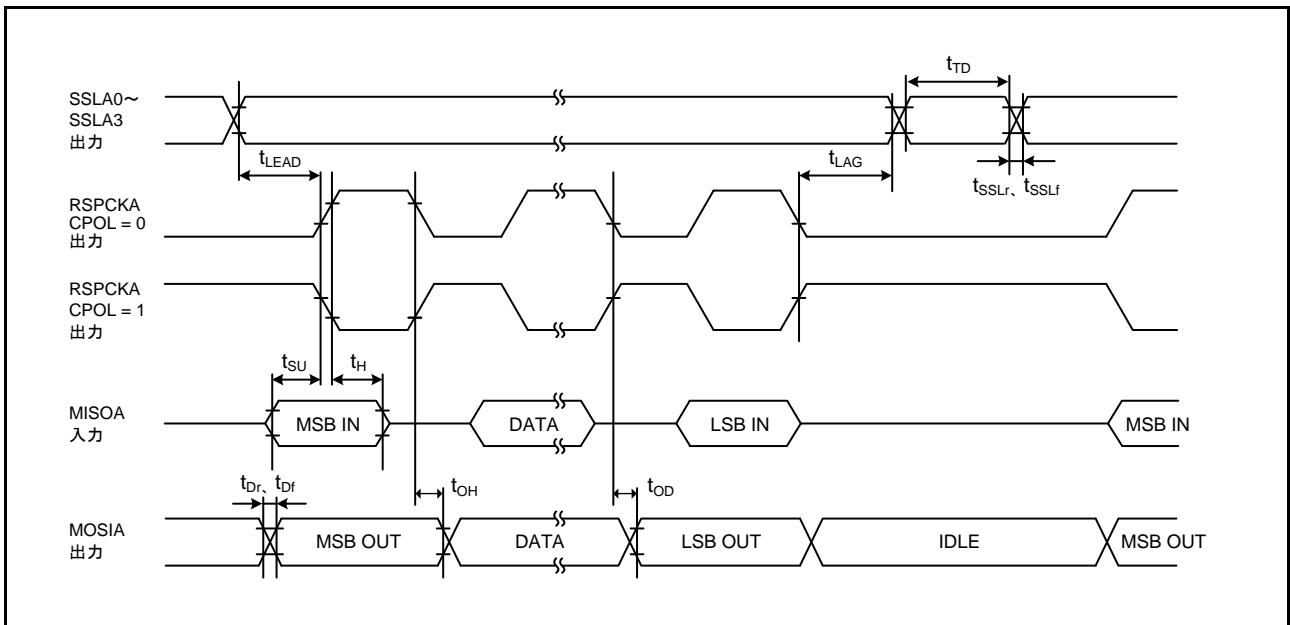


図 2.52 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

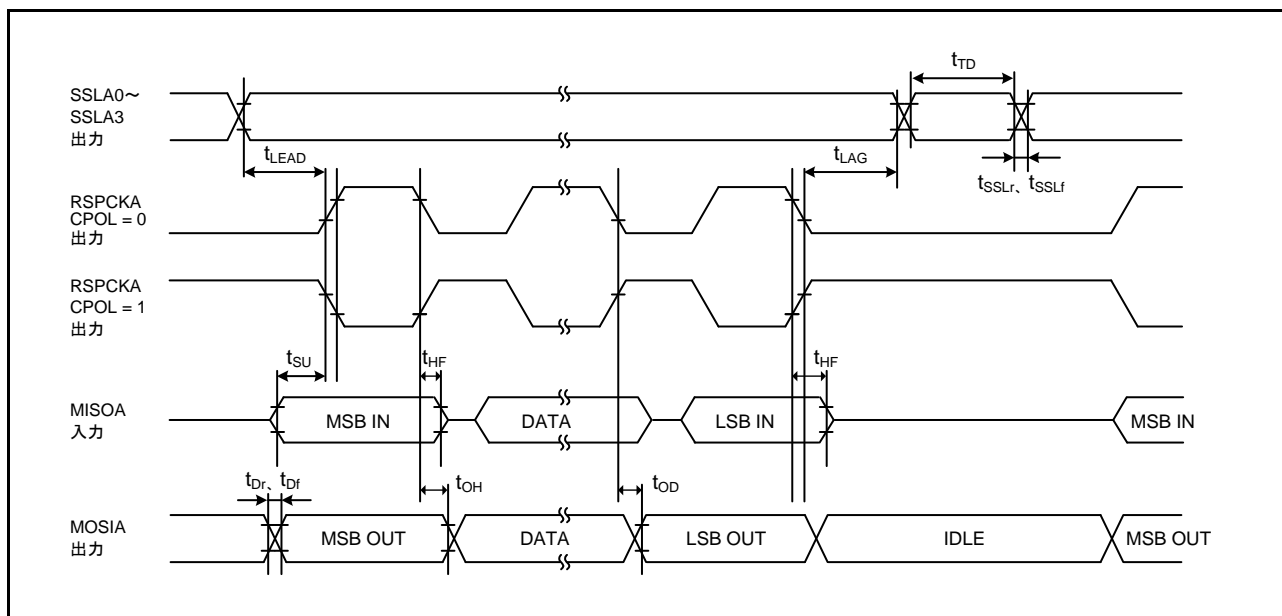


図 2.53 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

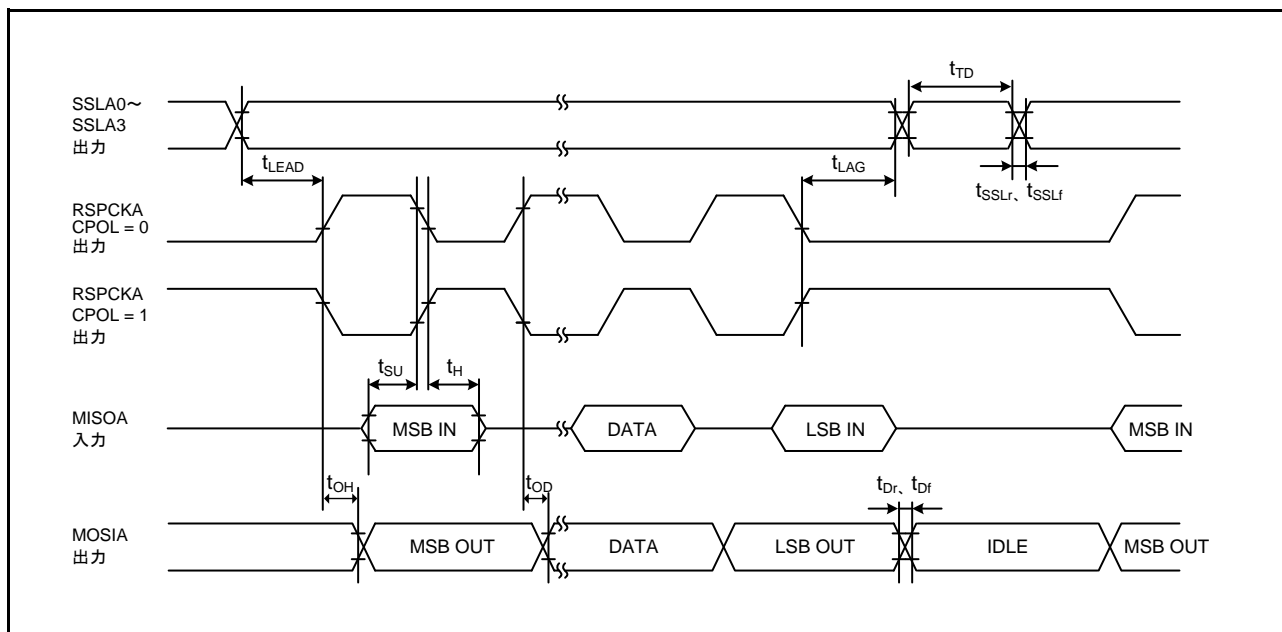


図 2.54 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

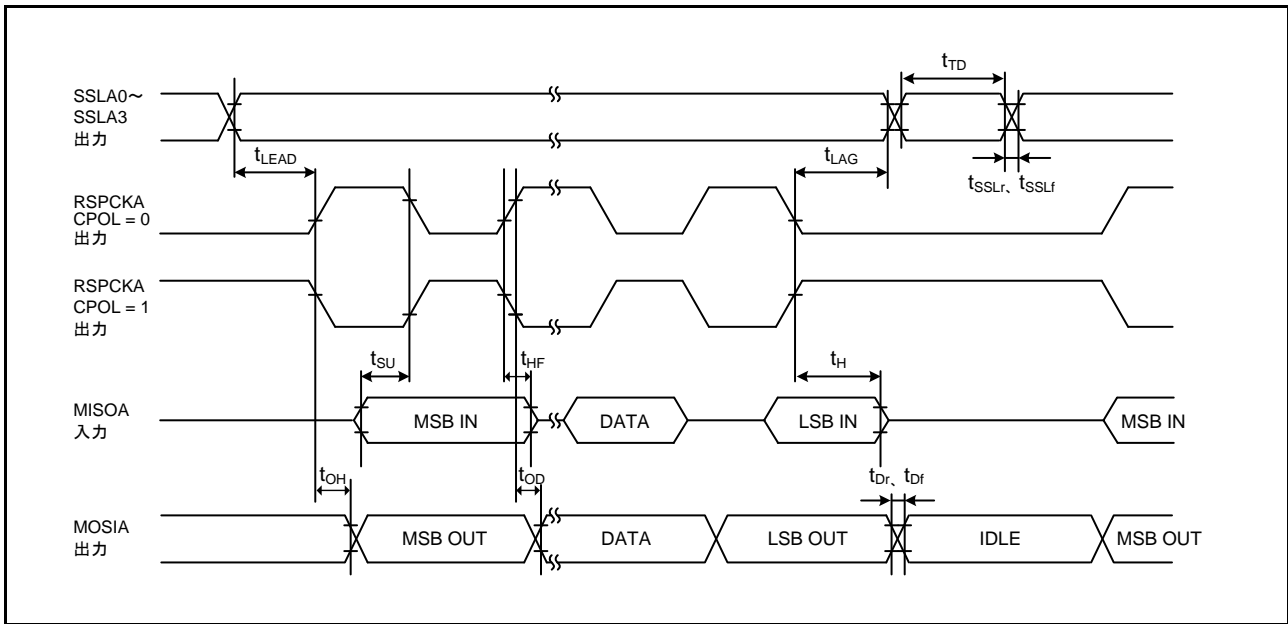


図 2.55 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

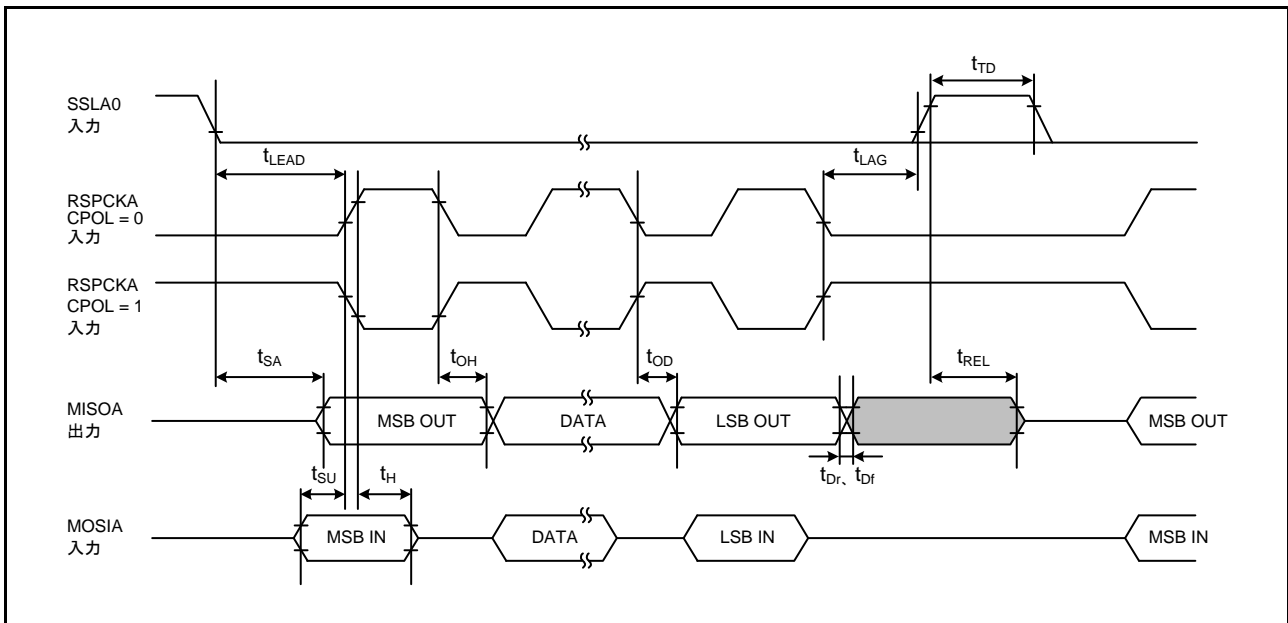


図 2.56 RSPI タイミング (スレーブ、CPHA = 0)

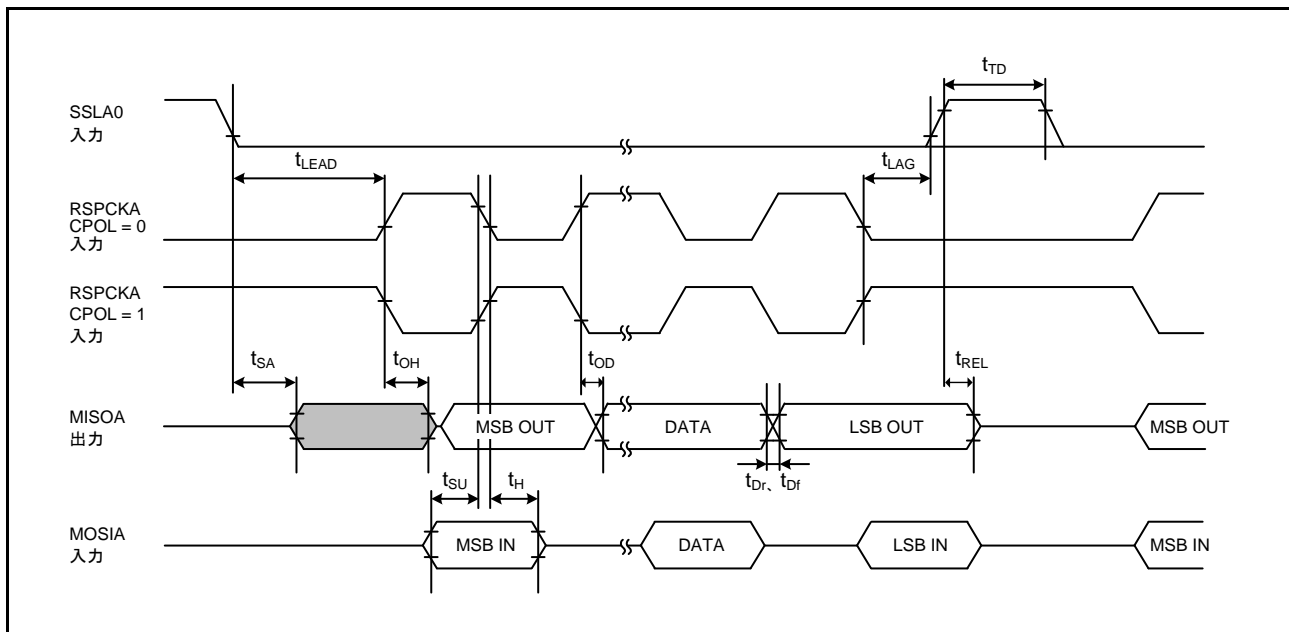


図 2.57 RSPI タイミング (スレーブ、CPHA = 1)

2.4.6.11 RIIC

表2.41 RIICタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目		記号	min (注1)	max	単位	測定条件 (注3)
RIIC (Standard-mode, SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 1300$	—	ns	図2.58
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 \times (\text{外付けプルアップ電圧}/5.5V)$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 \times (\text{外付けプルアップ電圧}/5.5V)$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

注3. $VCC \geq 4.5V$ のとき、VOLSR.RICVLS = 0

$VCC < 4.5V$ のとき、VOLSR.RICVLS = 1

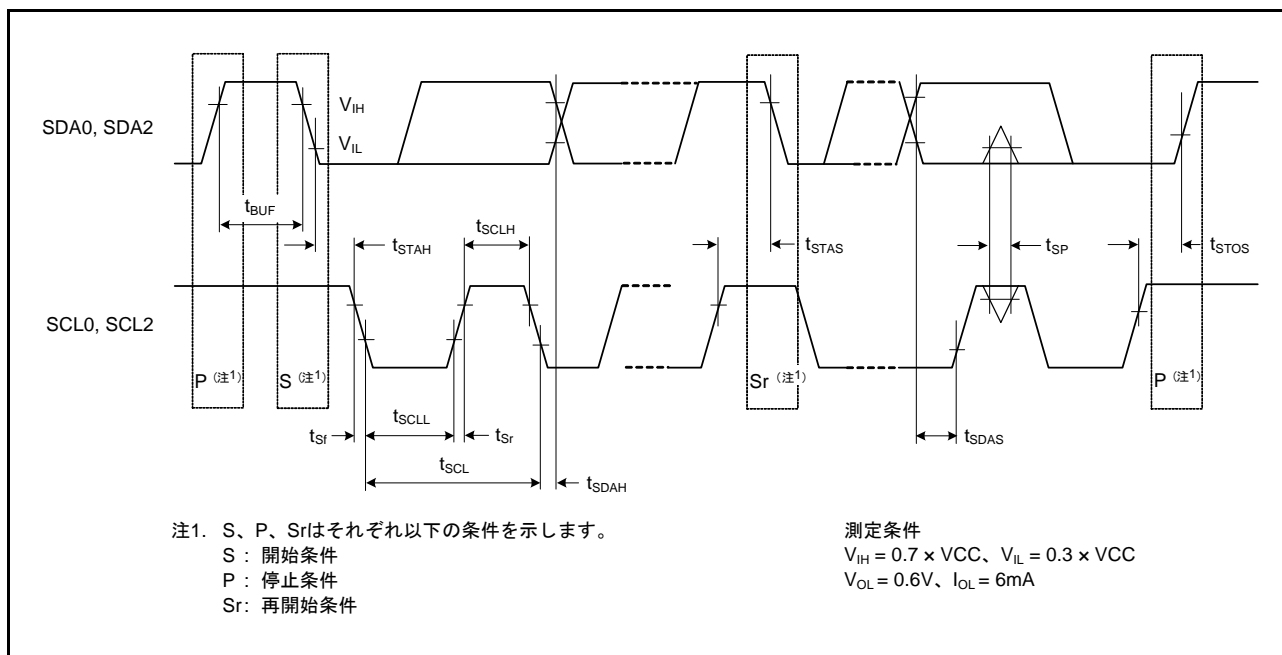


図 2.58 RIIC バスインタフェース入出力タイミング

2.4.6.12 CANFD

表 2.42 CANFD タイミング
 条件 : $VCC = 2.7 \sim 5.5V$ 、 $AVCC0 = 3.0 \sim 5.5V$ 、
 $VSS = AVSS0 = 0V$ 、 $T_a = T_{opr}$

項目		記号	min	max	単位
Classic CANモード	通信レート		—	1	Mbps
CAN FDモード	通信レート		—	1	
	通信レート(データのみ)		—	5	

2.5 A/D 変換特性

表 2.43 12ビット A/D 変換特性 (1)

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$, $AVCC0 - 1.0 \leq VREFH0 \leq AVCC0$, $3.0V \leq VREFH0$,
 $VSS = AVSS0 = VREFL0 = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として $VREFH0/VREFL0$ 端子を選択 ($ADVREFCR.VREFSEL = 1$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間 (注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング 30 ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング 33 ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング 33 ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング 39 ステート
オフセット誤差		—	±1.5	±5.0	LSB	
フルスケール誤差		—	±1.5	±4.5		
量子化誤差		—	±0.5	—		
絶対精度		—	±2.5	±5.5		
DNL 微分非直線性誤差		—	±1.0	±1.5		
INL 積分非直線性誤差		—	±1.5	±2.5		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表2.44 12ビットA/D変換特性(2) (144ピンの製品)
 条件: $V_{CC} = 2.7 \sim 5.5V$, $3.0V \leq AV_{CC0} \leq 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧としてAVCC0/AVSS0端子を選択 (ADVREFCR.VREFSEL = 0)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング39ステート
変換時間(注1) (PCLKD = 30MHz時)	AN000 ~ AN007	1.30 (0.50) (注2)	—	—	μs	サンプリング15ステート
	AN008 ~ AN015	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN017, AN019, AN021, AN023	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN016, AN018, AN020, AN022	1.49 (0.70) (注2)	—	—		サンプリング21ステート
オフセット誤差	PCLKD = 60MHz時	—	±4.0	—	LSB	
	PCLKD = 30MHz時	—	±1.5	—		
フルスケール誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度	PCLKD = 60MHz時	—	±7.0	—		
	PCLKD = 30MHz時	—	±4.0	—		
DNL 微分非直線性誤差	PCLKD = 60MHz時	—	±4.0	—		
	PCLKD = 30MHz時	—	±1.0	—		
INL 積分非直線性誤差	PCLKD = 60MHz時	—	±4.0	—		
	PCLKD = 30MHz時	—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表2.45 12ビットA/D変換特性(2) (100ピン、80ピン、64ピンの製品)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $3.0V \leq AV_{CC0} \leq 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として AV_{CC0}/AV_{SS0} 端子を選択 ($ADVREFCR.VREFSEL = 0$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング39ステート
変換時間(注1) (PCLKD = 30MHz時)	AN000 ~ AN007	1.30 (0.50) (注2)	—	—	μs	サンプリング15ステート
	AN008 ~ AN015	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN017, AN019, AN021, AN023	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN016, AN018, AN020, AN022	1.49 (0.70) (注2)	—	—		サンプリング21ステート
オフセット誤差	PCLKD = 60MHz時	—	±2.5	—	LSB	
	PCLKD = 30MHz時	—	±1.5	—		
フルスケール誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度	PCLKD = 60MHz時	—	±4.5	—		
	PCLKD = 30MHz時	—	±2.5	—		
DNL 微分非直線性誤差	PCLKD = 60MHz時	—	±1.5	—		
	PCLKD = 30MHz時	—	±1.0	—		
INL 積分非直線性誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表2.46 12ビットA/D変換特性(2) (48ピンの製品)

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として $AVCC0/AVSS0$ 端子を選択 ($ADVREFCR.VREFSEL = 0$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN002, AN005 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN009 ~ AN012	0.95 (0.55) (注2)	—	—		サンプリング33ステート
オフセット誤差		—	±1.5	—	LSB	
フルスケール誤差		—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度		—	±2.5	—		
DNL 微分非直線性誤差		—	±1.0	—		
INL 積分非直線性誤差		—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表2.47 A/D内部基準電圧特性

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$, $AVCC0 - 1.0 \leq VREFH0 \leq AVCC0$, $3.0V \leq VREFH0$,
 $VSS = AVSS0 = VREFL0 = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

2.6 D/A 変換特性

表 2.48 D/A変換特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	± 6.0	LSB	負荷抵抗2M Ω 、10ビット換算
微分非直線性誤差(DNL)	—	± 1.0	± 2.0	LSB	負荷抵抗2M Ω
出力抵抗(R_O)	—	5.7	—	k Ω	
変換時間	—	—	3	μs	負荷容量20pF

2.7 温度センサ特性

表 2.49 温度センサ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^{\circ}C$	
温度傾斜	—	-2.0	—	mV/ $^{\circ}C$	
出力電位	—	0.63	—	V	$T_a = 25^{\circ}C$
温度センサ起動時間	—	—	200	μs	
サンプリング時間(注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD.ADSSTRTレジスタを設定してください。

2.8 コンパレータ特性

表2.50 コンパレータ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $V_{SS} = AVSS0 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	VCC	V	
アナログ入力電圧範囲	V_{ain}	0	—	VCC	V	
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS[1:0] = 00b 図2.59
	$t_{tot(f)}$	—	—	200	ns	
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定時間	t_{cmp}	—	—	1	μs	

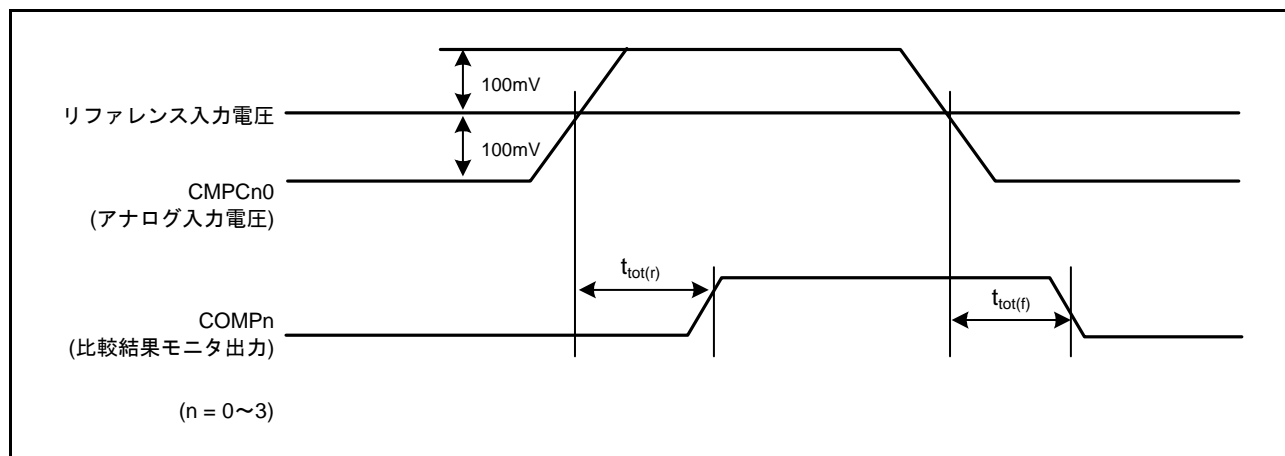


図 2.59 コンパレータ応答時間

2.9 パワーオンリセット回路、電圧検出回路特性

表2.51 パワーオンリセット回路、電圧検出回路特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	2.46	2.58	2.70	V	図 2.60
	電圧検出回路 (LVD0)	V_{det0_1}	4.04	4.22	4.40		図 2.61
		V_{det0_2}	2.71	2.83	2.95		
	電圧検出回路 (LVD1)	V_{det1_0}	4.39	4.57	4.75		図 2.62
		V_{det1_1}	4.29	4.47	4.65		
		V_{det1_2}	4.14	4.32	4.50		
		V_{det1_3}	2.81	2.93	3.05		
		V_{det1_4}	2.76	2.88	3.00		
	電圧検出回路 (LVD2)	V_{det2_0}	4.39	4.57	4.75		図 2.63
		V_{det2_1}	4.29	4.47	4.65		
		V_{det2_2}	4.14	4.32	4.50		
		V_{det2_3}	2.81	2.93	3.05		
		V_{det2_4}	2.76	2.88	3.00		
	内部リセット時間	パワーオンリセット時間	t_{POR}	—	15.5		ms
LVD0 リセット時間		t_{LVD0}	—	0.70	—	図 2.61	
LVD1 リセット時間		t_{LVD1}	—	0.57	—	図 2.62	
LVD2 リセット時間		t_{LVD2}	—	0.57	—	図 2.63	
最小VCC低下時間	$t_{V_{OFF}}$	200	—	—	μs	図 2.60、 図 2.61	
応答遅延時間	t_{det}	—	—	200	μs	図 2.60 ~ 図 2.63	
LVD 動作安定時間 (LVD 有効切り替え時)	$t_{d(E-A)}$	—	—	20	μs	図 2.62、 図 2.63	
ヒステリシス幅 (LVD1, LVD2)	V_{LVH}	—	80	—	mV		

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} , V_{det1} , V_{det2} のmin値を下回っている時間です。

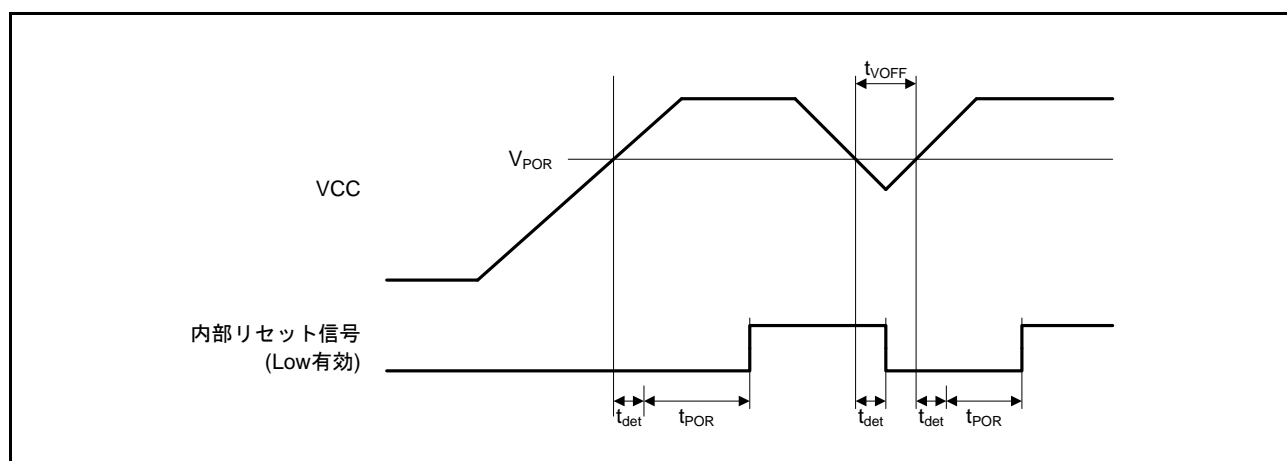


図 2.60 パワーオンリセットタイミング

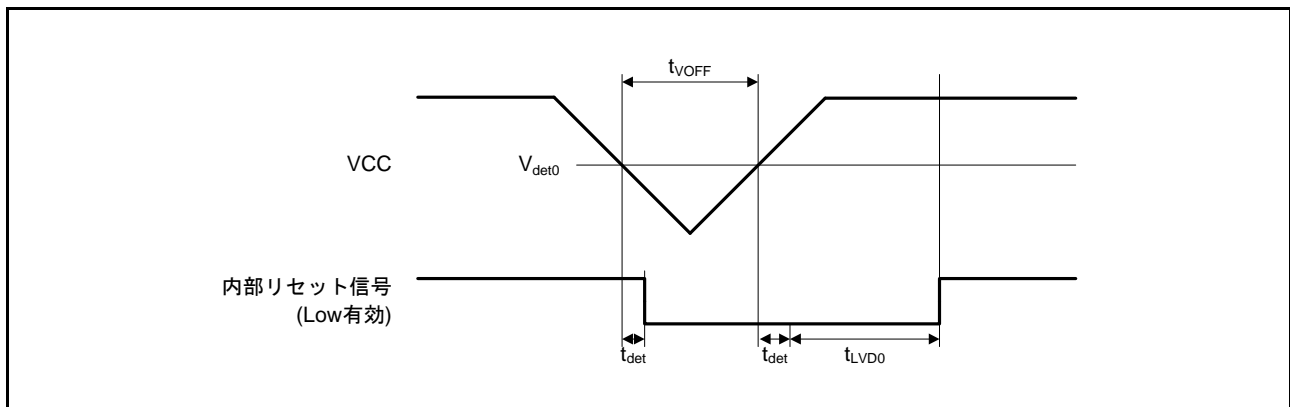


図 2.61 電圧検出回路タイミング (V_{det0})

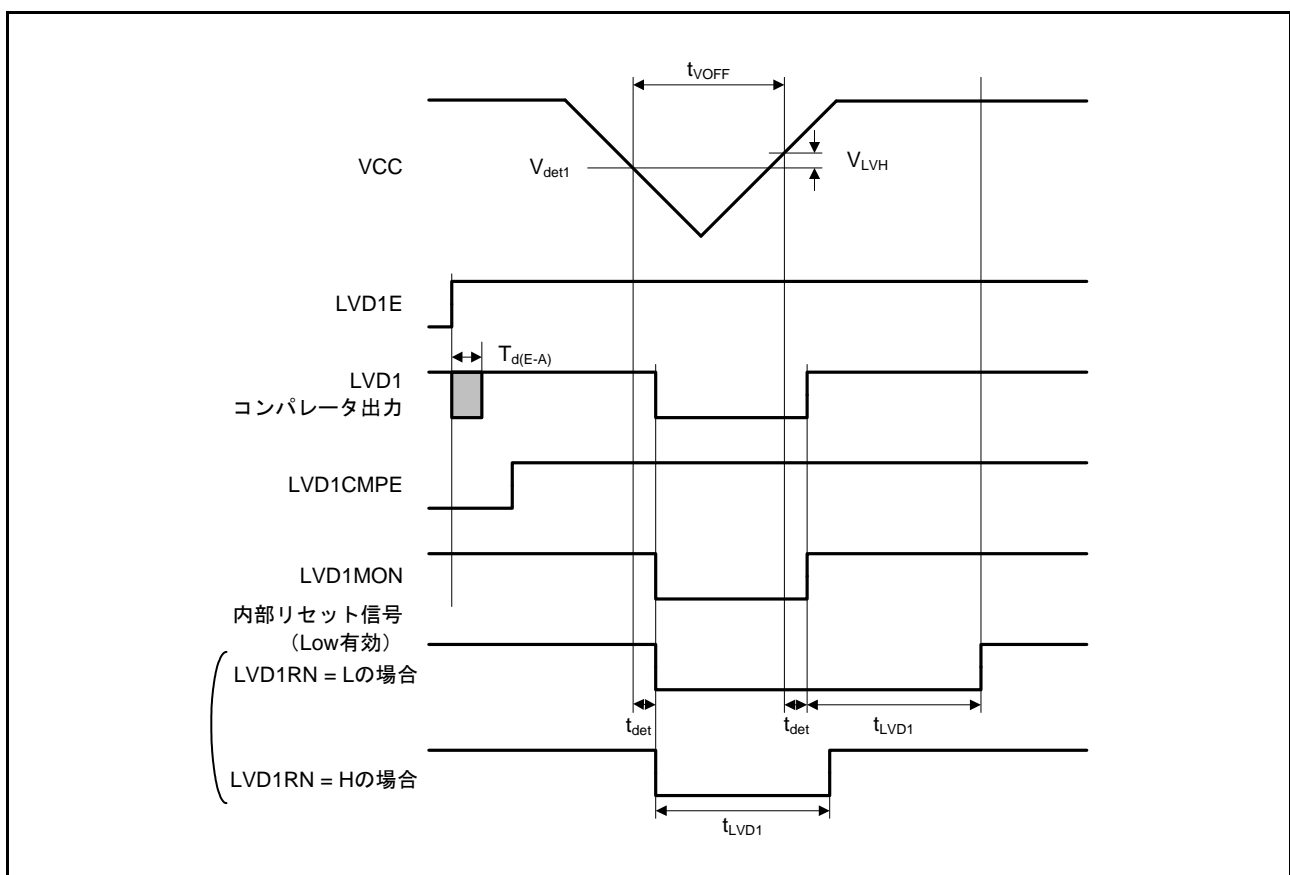
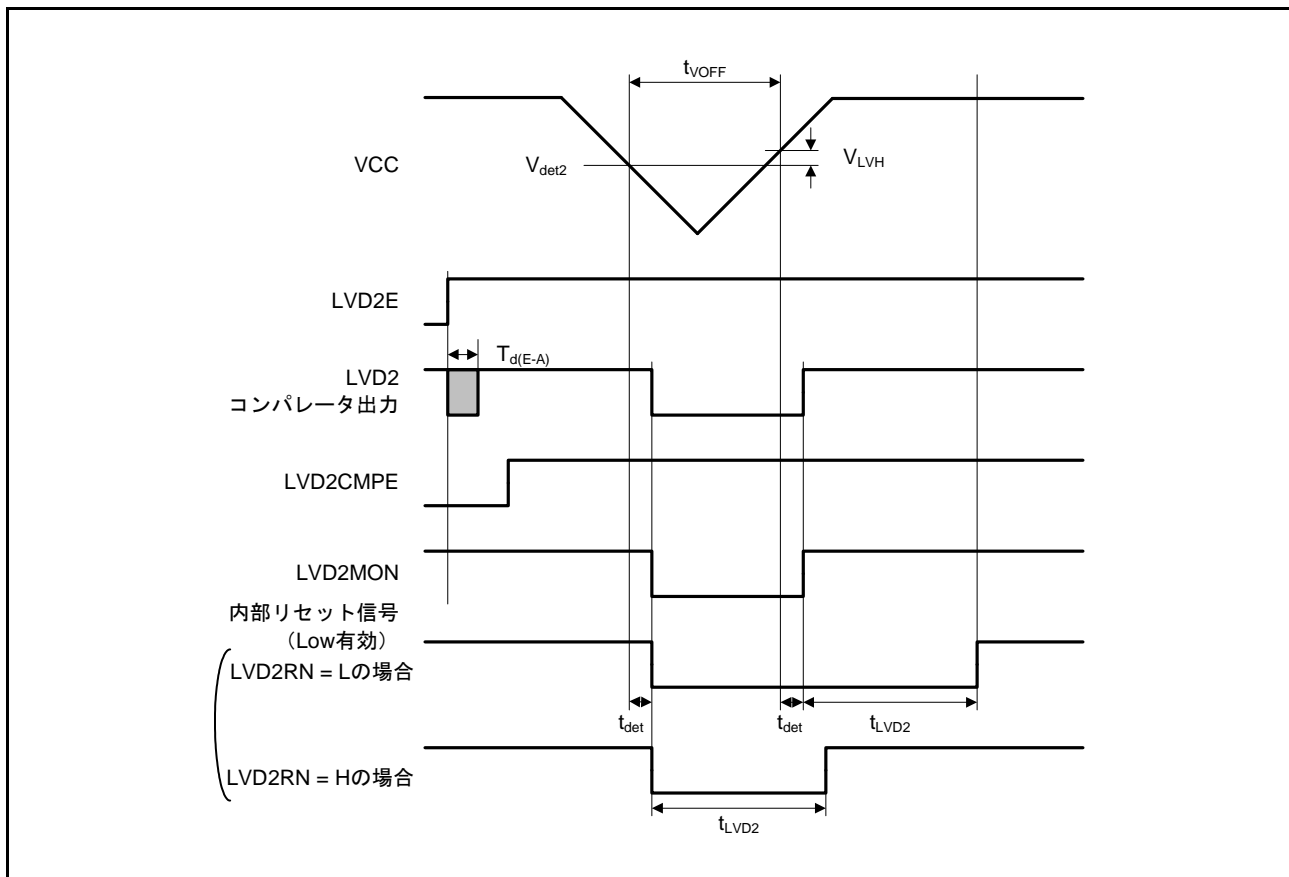


図 2.62 電圧検出回路タイミング (V_{det1})

図 2.63 電圧検出回路タイミング (V_{det2})

2.10 発振停止検出タイミング

表 2.52 発振停止検出回路特性
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 2.64

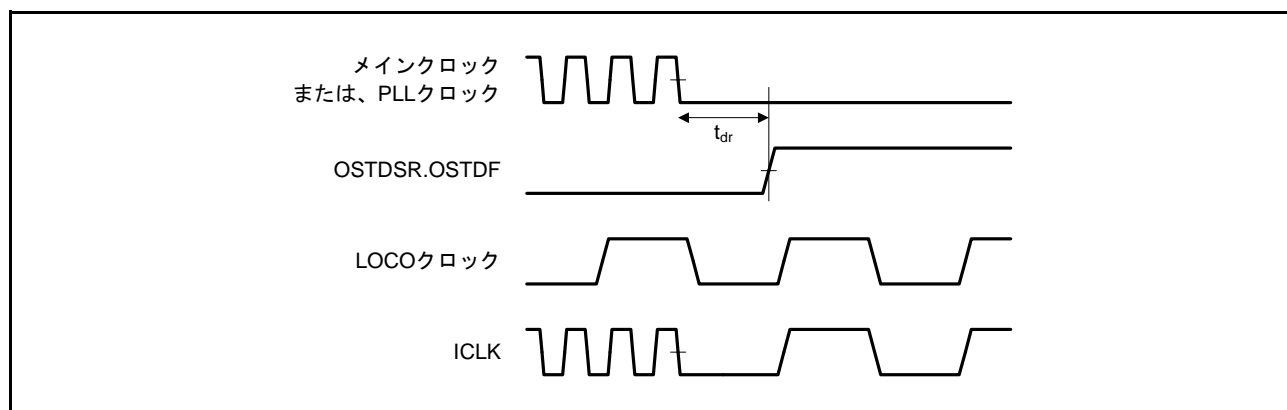


図 2.64 発振停止検出タイミング

2.11 フラッシュメモリ特性

表2.53 コードフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
		min	typ	max	min	typ	max		
プログラム時間 ($N_{PEC} \leq 100$)	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t_{P8K}	—	29	176	—	13	80	
	32Kバイト	t_{P32K}	—	116	704	—	52	320	
プログラム時間 ($N_{PEC} > 100$)	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	
	8Kバイト	t_{P8K}	—	35	212	—	16	96	
	32Kバイト	t_{P32K}	—	140	848	—	64	384	
イレーズ時間 ($N_{PEC} \leq 100$)	8Kバイト	t_{E8K}	—	71	216	—	39	120	
	32Kバイト	t_{E32K}	—	254	864	—	141	480	
イレーズ時間 ($N_{PEC} > 100$)	8Kバイト	t_{E8K}	—	85	260	—	47	144	
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μ s	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	216	—	—	120	ms	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	1.7		
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	1.7		
強制終了コマンド	t_{FD}	—	—	32	—	—	20	μ s	
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
		10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

表2.54 データフラッシュメモリ特性

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,

プログラム/イレーズ時の動作温度範囲： $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件	
		min	typ	max	min	typ	max			
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t_{DBC64}	—	—	280	—	—	100		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数(注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300		
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300		
強制終了コマンド		t_{FD}	—	—	32	—	—	20		
データ保持時間(注3、注4)		t_{DDRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
			10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

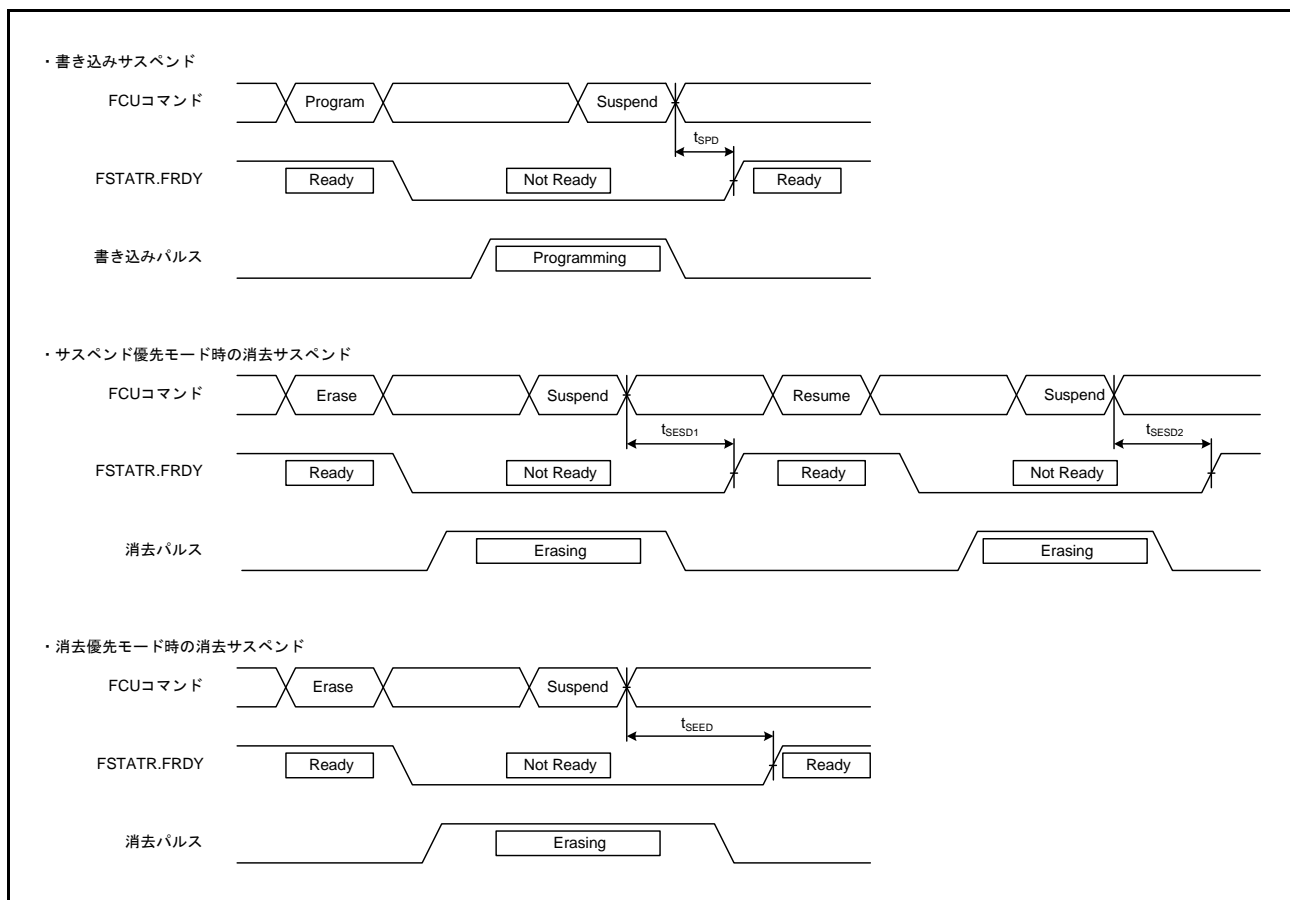


図 2.65 フラッシュメモリプログラム/イレースサスペンドタイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

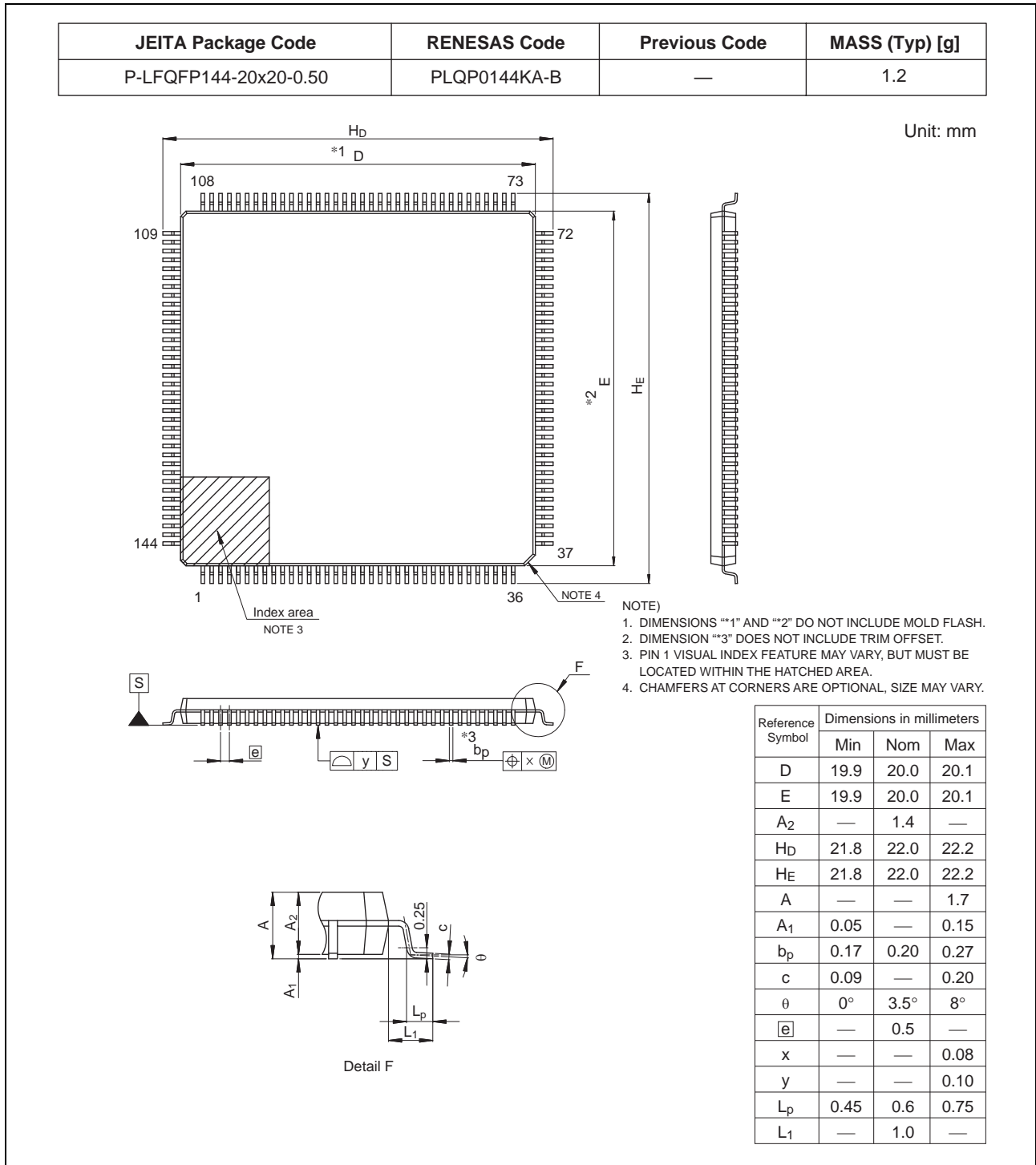
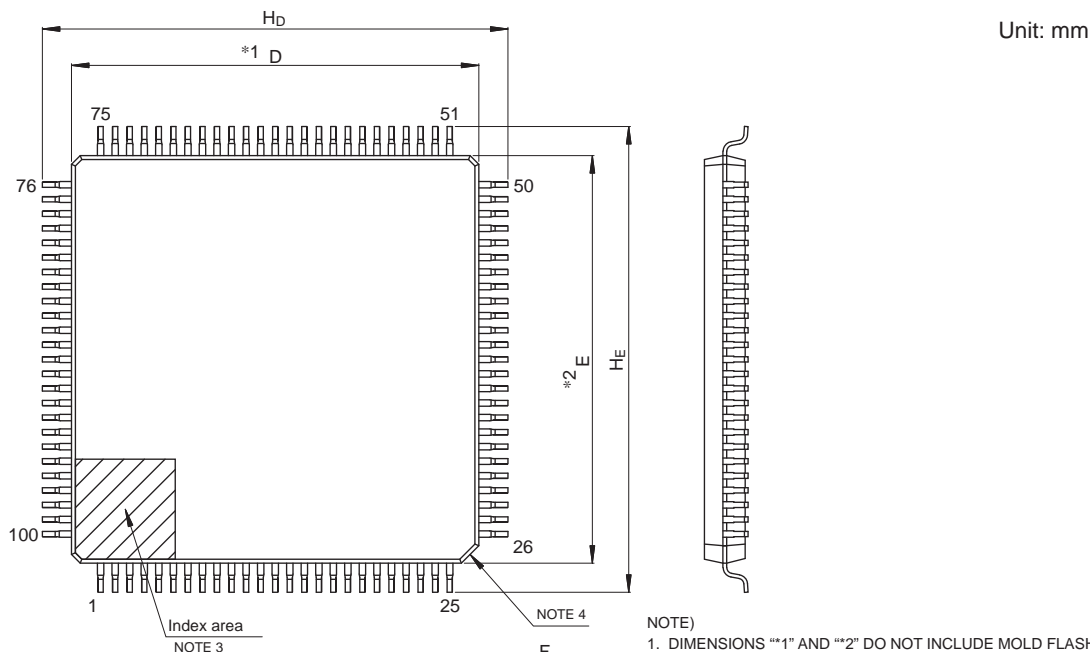
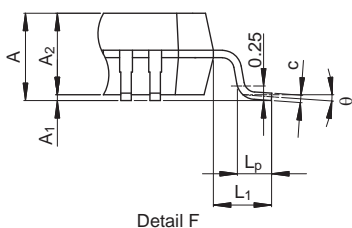
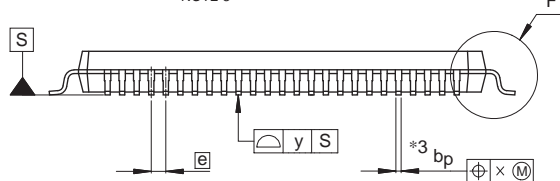


図 A. 144 ピン LFQFP (PLQP0144KA-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



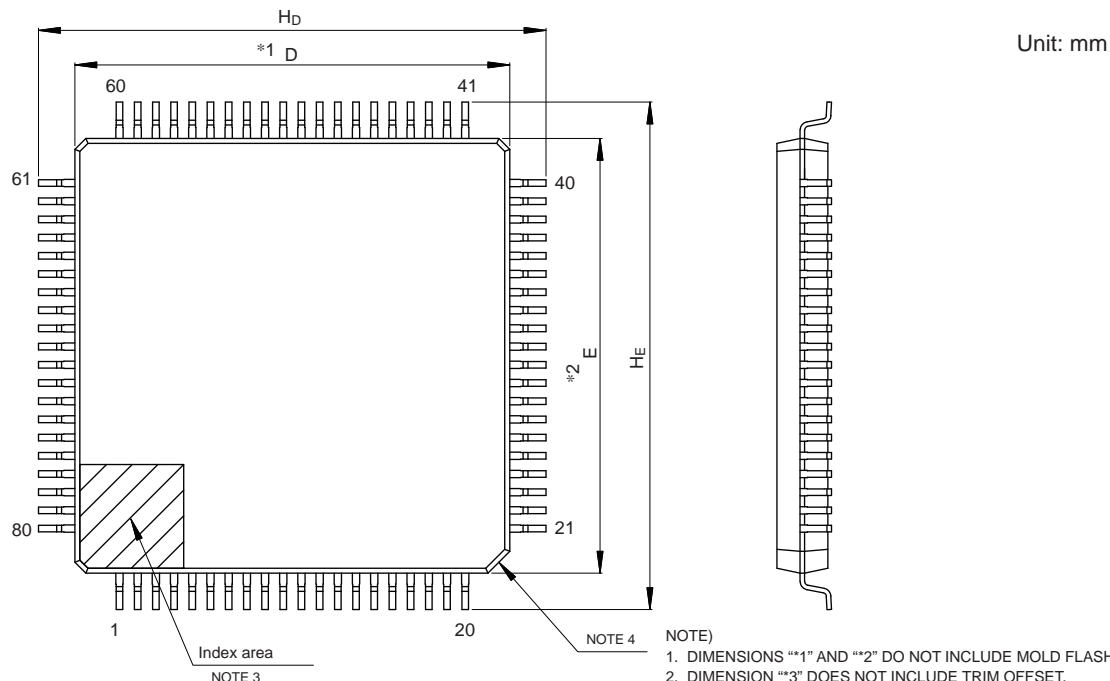
- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



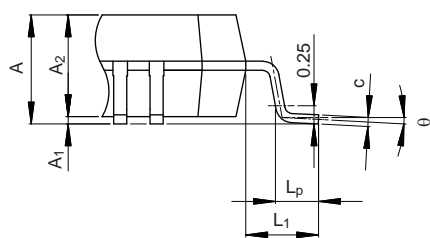
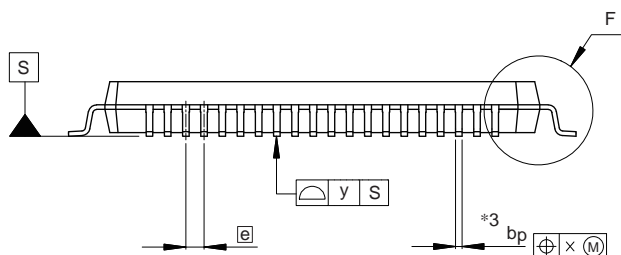
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

☒ B. 100ピンLFQFP (PLQP0100KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



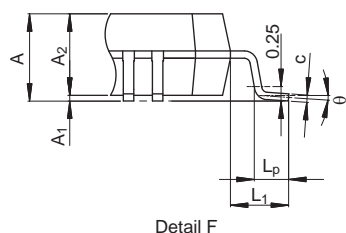
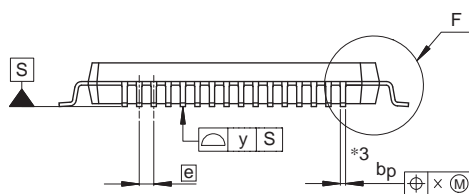
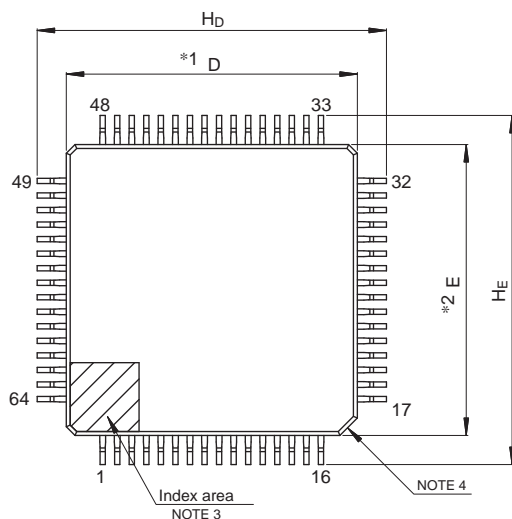
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 C. 80ピン LFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

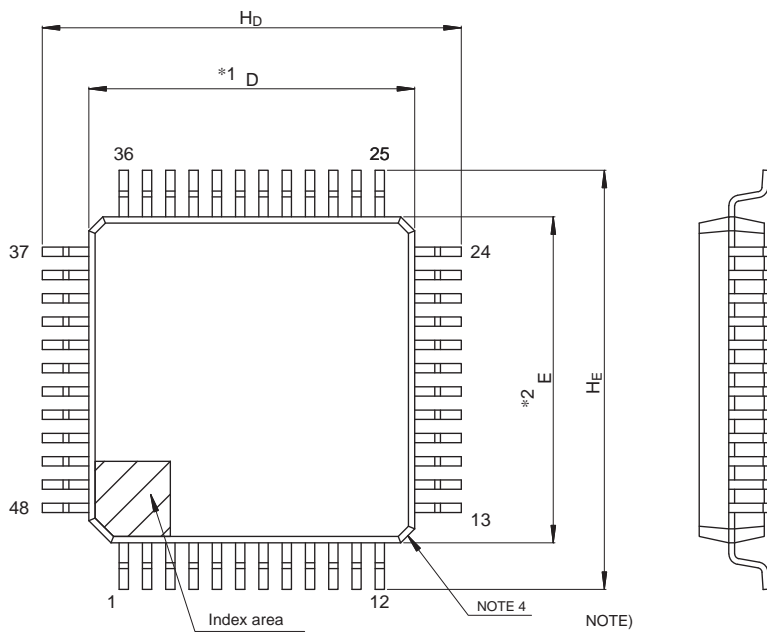
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

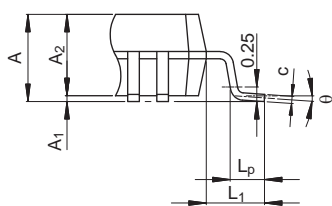
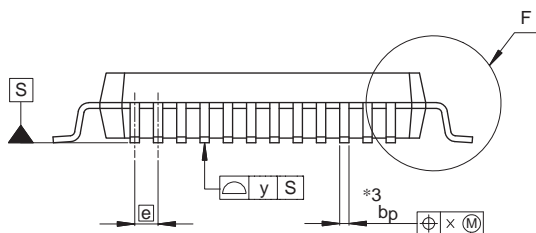
図 D. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 E. 48 ピン LFQFP (PLQP0048KB-B)

改訂記録	RX660 グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2022.03.18	—	初版発行	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。