

RX210グループ

ルネサスマイクロコンピュータ

R01DS0041JJ0150

Rev.1.50

2013.10.18

50MHz、32ビットRX MCU、78 DMIPS、
最大1Mバイトフラッシュメモリ、12ビットA/D、10ビットD/A、
ELC、MPC、RTC、最大15本の通信機能、IEC60730対応機能内蔵

特長

■ 32ビットRX CPUコア内蔵

- 最大動作周波数 50MHz
78DMIPS の性能 (50MHz 動作時)
- 32x32 → 64ビット演算結果 (1命令) のアキュムレータ
- 乗除算器 32x32ビット (乗算命令は1CPUクロック)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■消費電力低減機能

- 1.62V ~ 5.5V 動作の単一電源
- 1.62V 動作可能 (最大 20MHz)
- RTCを使用したディープソフトウェアスタンバイモード
- 4種類の低消費電力モード

■内蔵コードフラッシュメモリ (ウェイトなし)

- 50MHz 動作、20ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 64K ~ 1M バイトの容量
- SCI からのユーザ書き込み
- 1.62V で書き換え可能
- 命令、オペランド用

■内蔵データフラッシュメモリ

- 8K バイト (書き換え回数: 100,000 回)
- CPU に負荷をかけない書き込み/消去

■内蔵SRAM (ウェイトなし)

- 12K ~ 96K バイトの容量

■DMA

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール動作が可能

■リセットおよび電源電圧制御

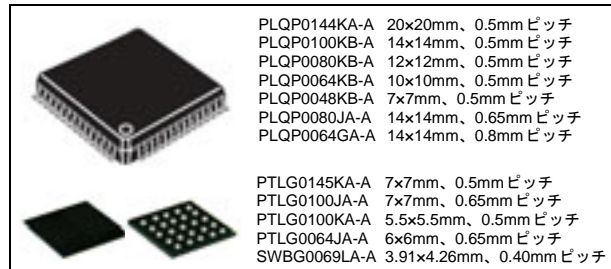
- パワーオンリセット (POR) など9種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■リアルタイムクロック内蔵

- 補正機能 (30秒、うるう年、誤差)
- 時間キャプチャ機能
- 外部端子のイベント入力で時間をキャプチャ
- RTC でディープソフトウェアスタンバイモードから復帰可能



■独立ウォッチドッグタイマ内蔵

- 125kHz IWDT 専用オンチップオシレータクロック動作

■IEC60730対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など

■最大15本の通信機能を内蔵

- 多彩な機能に対応した SCI (最大 13チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード
- I²Cバスインタフェース 最大400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送 (768K 以上のフラッシュメモリ容量製品または、144ピン以上のピン数をもつ製品)

■外部アドレス空間

- 4つのCS領域 (4x16M バイト)
- エリアごとに 8/16 ビットバス空間を選択可能

■最大20本の拡張タイマ機能

- 16ビットMTU: インพุットキャプチャ、アウトプットコンペア、相補PWM出力、位相計数モード (6チャンネル)
- 16ビットTPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6チャンネル)
- 8ビットTMR (4チャンネル)
- 16ビットCMT (4チャンネル)

■12ビットA/Dコンバータ内蔵

- 最小 1μs 変換が可能
- サンプル&ホールド回路内蔵 (3チャンネル)
- 3ch 同時サンプリングが可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■10ビットD/Aコンバータ内蔵

■アナログコンパレータ内蔵

■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■MPC

- 周辺機能の入出力端子を複数個所から選択可能

■温度センサ内蔵

■動作周囲温度

- 40℃ ~ +85℃
- 40℃ ~ +105℃

■用途

- 69WLBGA(SWBG0069LA-A): 一般民生機器
- 上記以外: 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

製品は、チップバージョン A（型名：R5F5210xAxxx）、チップバージョン B（型名：R5F5210xBxxx）およびチップバージョン C（型名：R5F5210xCxxx）があります。

チップバージョン A、B、C の仕様上の相違点は、「表 1 チップバージョンによる仕様の相違点」を参照してください。

表 1.1 仕様概要 (1 / 5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：50MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/96K/128K/256K/384K/512K/768K/1Mバイト 50MHz、ノーウェイトアクセス オンボードプログラミング：3種類 オフボードプログラミング
	RAM	<ul style="list-style-type: none"> 容量：12K/16K/20K/32K/64K/96Kバイト 50MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：100,000回
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード（ソフトウェア切り替え）
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路（CAC）：あり システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 50MHz 周辺モジュールはPCLK同期：Max 32MHz 外部バスに接続するデバイスはBCLK同期：Max 12.5MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を16レベルから選択可能 電圧検出2の検出電圧は16レベルから選択可能

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力モード スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード [チップバージョンA、C] 高速動作モード、中速動作モード1A、中速動作モード1B、低速動作モード1、低速動作モード2 [チップバージョンB] 高速動作モード、中速動作モード1A、中速動作モード1B、中速動作モード2A、中速動作モード2B、低速動作モード1、低速動作モード2
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：167 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数6 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み) 16レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理 各エリアの領域：16Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス/16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能 ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	<p>145ピン/144ピン/100ピン/80ピン/69ピン/64ピン/48ピン</p> <ul style="list-style-type: none"> 入出力：122/122/84/64/48/48/34 入力：1/1/1/1/1/1 プルアップ抵抗：122/122/84/64/48/48/34 オープンドレイン出力：76/76/54/44/35/35/26 5Vトレラント：4/4/4/2/2 (注1) /2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 59種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) ×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子にデジタルフィルタあり • クロック周波数測定機能 (TPUは、144ピン以上のピン数を持つ製品に内蔵)
	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) ×1ユニット • 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入出力が可能 • チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) • インพุットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) ×2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • SCI5、SCI6、SCI12のポーレートクロック生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) ×2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック：IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCb)	<ul style="list-style-type: none"> • クロックソース：サブクロックにて動作 • 時計/カレンダー機能 • 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み • 3値タイムキャプチャ機能

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SC1c, SC1d)	<ul style="list-style-type: none"> 13チャンネル (チャンネル0~チャンネル11 : SC1c、チャンネル12 : SC1d) シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SC15、SC16、SC112) 簡易IIC機能 簡易SPI機能 マスタ/スレーブモードをサポート (SC1dのみ) スタートフレーム、インフォメーションフレームから構成 (SC1dのみ)
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADb)	<ul style="list-style-type: none"> 12ビット (16チャンネルx1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.0μs (ADCLK = 50MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) サンプル&ホールド機能 A/Dコンバータの自己診断機能 アナログ入力断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能) A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC 	
温度センサ (TEMPSa)	<ul style="list-style-type: none"> 温度により変化する電圧を出力 PGAゲイン切り替え : 電圧範囲に合わせて4段階に切り替え可能 	
D/Aコンバータ (DA)	<ul style="list-style-type: none"> 2チャンネル 分解能 : 10ビット 出力電圧 : 0V~VREFH 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
コンパレータ A (CMPA)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
コンパレータ B (CMPB)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC=1.62~1.8V : 20MHz、VCC=1.8~2.7V : 32MHz、VCC=2.7~5.5V : 50MHz	
動作周囲温度	Dバージョン : -40~+85°C、Gバージョン : -40~+105°C (注2)	

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
パッケージ	チップバージョンA	100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ
	チップバージョンB	145ピンTFLGA (PTLG0145KA-A) 7x7mm、0.5mmピッチ 100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンTFLGA (PTLG0100KA-A) 5.5x5.5mm、0.5mmピッチ 64ピンTFLGA (PTLG0064JA-A) 6x6mm、0.65mmピッチ 144ピンLQFP (PLQP0144KA-A) 20x20mm、0.5mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 80ピンLQFP (PLQP0080JA-A) 14x14mm、0.65mmピッチ 69ピンWLBGA (SWBG0069LA-A) 3.91x4.26mm、0.40mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14x14mm、0.8mmピッチ 48ピンLQFP (PLQP0048KB-A) 7x7mm、0.5mmピッチ
	チップバージョンC	100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 80ピンLQFP (PLQP0080JA-A) 14x14mm、0.65mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14x14mm、0.8mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

注1. 以下のチップバージョンAの製品では、P17は5Vトレラントに対応していないため、1本になります。
R5F52108ADFM、R5F52107ADFM、R5F52106ADFM、R5F52105ADFM

注2. Ta = +85°C~+105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX210グループ				
		144、145ピン	100ピン	80ピン	64、69ピン	48ピン
外部バス	外部バス幅	16ビット			サポートなし	
割り込み	外部割り込み	NMI、IRQ0～IRQ7			NMI、IRQ0～IRQ2、IRQ4～IRQ7	NMI、IRQ0、IRQ1、IRQ4～IRQ7
DMA	DMAコントローラ	4チャンネル(DMAC0～DMAC3)				
	データトランスファコントローラ	あり				
タイマ	16ビットタイマパルスユニット	6チャンネル(TPU0～TPU5)	なし			
	マルチファンクションタイマパルスユニット2	6チャンネル(MTU0～MTU5)				
	ポートアウトプットイネーブル2	POE0#～POE3#、POE8#				
	8ビットタイマ	2チャンネル×2ユニット				
	コンペアマッチタイマ	2チャンネル×2ユニット				
	リアルタイムクロック	あり				なし
	ウォッチドッグタイマ	あり				
	独立ウォッチドッグタイマ	あり				
通信機能	シリアルコミュニケーションインタフェース (SCIc)	12チャンネル(SCI0～SCI11)	6チャンネル(SCI0、1、5、6、8、9)		5チャンネル(SCI1、5、6、8、9)	4チャンネル(SCI1、5、6、8)
	シリアルコミュニケーションインタフェース (SCId)	1チャンネル(SCI12)				
	I ² Cバスインタフェース	1チャンネル				
	シリアルペリフェラルインタフェース	1チャンネル				
12ビットA/Dコンバータ		16チャンネル(AN000～AN015)	14チャンネル(AN000～AN013)	12チャンネル(AN000～AN004、AN006、AN008～AN013)	8チャンネル(AN000～AN002、AN006、AN009～AN012)	
温度センサ		あり				
D/Aコンバータ		2チャンネル				なし
CRC演算器		あり				
イベントリンクコントローラ		あり				
コンパレータA		2チャンネル				
コンパレータB		2チャンネル				
パッケージ		145ピンTFLGA 144ピンLQFP	100ピンTFLGA 100ピンLQFP	80ピンLQFP	69ピンWLBGA 64ピンTFLGA 64ピンLQFP	48ピンLQFP

1.2 製品一覧

表 1.3 ~ 表 1.7 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 チップバージョンA、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度
RX210	R5F52108ADFP	R5F52108ADFP#V0	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +85°C
	R5F52108ADFN	R5F52108ADFN#V0	PLQP0080KB-A					
	R5F52108ADFM	R5F52108ADFM#V0	PLQP0064KB-A					
	R5F52108ADLJ	R5F52108ADLJ#U0	PTLG0100JA-A					
	R5F52107ADFP	R5F52107ADFP#V0	PLQP0100KB-A	384K バイト				
	R5F52107ADFN	R5F52107ADFN#V0	PLQP0080KB-A					
	R5F52107ADFM	R5F52107ADFM#V0	PLQP0064KB-A					
	R5F52107ADLJ	R5F52107ADLJ#U0	PTLG0100JA-A					
	R5F52106ADFP	R5F52106ADFP#V0	PLQP0100KB-A	256K バイト	32K バイト			
	R5F52106ADFN	R5F52106ADFN#V0	PLQP0080KB-A					
	R5F52106ADFM	R5F52106ADFM#V0	PLQP0064KB-A					
	R5F52106ADLJ	R5F52106ADLJ#U0	PTLG0100JA-A					
	R5F52105ADFP	R5F52105ADFP#V0	PLQP0100KB-A	128K バイト	20K バイト			
	R5F52105ADFN	R5F52105ADFN#V0	PLQP0080KB-A					
	R5F52105ADFM	R5F52105ADFM#V0	PLQP0064KB-A					
	R5F52105ADLJ	R5F52105ADLJ#U0	PTLG0100JA-A					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度		
RX210	R5F5210BDBFB	R5F5210BDBFB#30	PLQP0144KA-A	1M バイト	96K バイト	8Kバイト	50MHz	-40 ~ +85°C		
	R5F5210BBDLK	R5F5210BBDLK#U0	PTLG0145KA-A							
	R5F5210BBDFF	R5F5210BBDFF#30	PLQP0100KB-A							
	R5F5210BBDLJ	R5F5210BBDLJ#U0	PTLG0100JA-A							
	R5F5210ABDFB	R5F5210ABDFB#30	PLQP0144KA-A	768K バイト						
	R5F5210ABDLK	R5F5210ABDLK#U0	PTLG0145KA-A							
	R5F5210ABDFF	R5F5210ABDFF#30	PLQP0100KB-A							
	R5F5210ABDLJ	R5F5210ABDLJ#U0	PTLG0100JA-A							
	R5F52108BDBFB	R5F52108BDBFB#30	PLQP0144KA-A	512K バイト	64K バイト					
	R5F52108BBDLK	R5F52108BBDLK#U0	PTLG0145KA-A							
	R5F52107BDBFB	R5F52107BDBFB#30	PLQP0144KA-A	384K バイト	64K バイト					
	R5F52107BBDLK	R5F52107BBDLK#U0	PTLG0145KA-A							
	R5F52106BDBFB	R5F52106BDBFB#30	PLQP0144KA-A	256K バイト	32K バイト					
	R5F52106BBDLK	R5F52106BBDLK#U0	PTLG0145KA-A							
	R5F52106BBDFF	R5F52106BBDFF#30	PLQP0100KB-A							
	R5F52106BBDLN	R5F52106BBDLN#30	PLQP0080KB-A							
	R5F52106BBDFM	R5F52106BBDFM#30	PLQP0064KB-A							
	R5F52106BBDFL	R5F52106BBDFL#30	PLQP0048KB-A							
	R5F52106BBDLJ	R5F52106BBDLJ#U0	PTLG0100JA-A							
	R5F52106BBDLA	R5F52106BBDLA#U0	PTLG0100KA-A							
	R5F52106BBDFF	R5F52106BBDFF#V0	PLQP0080JA-A							
	R5F52106BBDFK	R5F52106BBDFK#30	PLQP0064GA-A							
	R5F52106BBDLH	R5F52106BBDLH#U0	PTLG0064JA-A							
	R5F52106BDBM (注1)	R5F52106BDBM#W0 (注1)	SWBG0069LA-A							
	R5F52105BDBFB	R5F52105BDBFB#30	PLQP0144KA-A						128K バイト	20K バイト
	R5F52105BBDLK	R5F52105BBDLK#U0	PTLG0145KA-A							
	R5F52105BBDFF	R5F52105BBDFF#30	PLQP0100KB-A							
	R5F52105BBDLN	R5F52105BBDLN#30	PLQP0080KB-A							
	R5F52105BBDFM	R5F52105BBDFM#30	PLQP0064KB-A							
	R5F52105BBDFL	R5F52105BBDFL#30	PLQP0048KB-A							
	R5F52105BBDLJ	R5F52105BBDLJ#U0	PTLG0100JA-A							
	R5F52105BBDLA	R5F52105BBDLA#U0	PTLG0100KA-A							
R5F52105BBDFF	R5F52105BBDFF#V0	PLQP0080JA-A								
R5F52105BBDFK	R5F52105BBDFK#30	PLQP0064GA-A								
R5F52105BBDLH	R5F52105BBDLH#U0	PTLG0064JA-A								
R5F52105BDBM (注1)	R5F52105BDBM#W0 (注1)	SWBG0069LA-A								
R5F52104BDFM	R5F52104BDFM#30	PLQP0064KB-A	96K バイト	16K バイト						
R5F52104BBDL	R5F52104BBDL#30	PLQP0048KB-A								
R5F52104BBDFF	R5F52104BBDFF#V0	PLQP0080JA-A								
R5F52104BBDLH	R5F52104BBDLH#U0	PTLG0064JA-A								
R5F52103BDFM	R5F52103BDFM#30	PLQP0064KB-A	64K バイト	12K バイト						
R5F52103BBDL	R5F52103BBDL#30	PLQP0048KB-A								
R5F52103BBDFF	R5F52103BBDFF#V0	PLQP0080JA-A								
R5F52103BBDLH	R5F52103BBDLH#U0	PTLG0064JA-A								

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

注1. この製品は一般民生機器のみに対応しています。

表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta = -40 ~ 105°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度	
RX210	R5F5210BBGFB	R5F5210BBGFB#30	PLQP0144KA-A	1M バイト	96K バイト	8Kバイト	50MHz	-40 ~ +105°C	
	R5F5210BBGFP	R5F5210BBGFP#30	PLQP0100KB-A	768K バイト					
	R5F5210ABGFB	R5F5210ABGFB#30	PLQP0144KA-A	512K バイト	64K バイト				
	R5F5210ABGFP	R5F5210ABGFP#30	PLQP0100KB-A	384K バイト					
	R5F52108BGFB	R5F52108BGFB#30	PLQP0144KA-A	256K バイト	32K バイト				
	R5F52107BGFB	R5F52107BGFB#30	PLQP0144KA-A						
	R5F52106BGFB	R5F52106BGFB#30	PLQP0144KA-A	128K バイト	20K バイト				
	R5F52106BGFP	R5F52106BGFP#30	PLQP0100KB-A						
	R5F52106BGFN	R5F52106BGFN#30	PLQP0080KB-A	96K バイト	16K バイト				
	R5F52106BGFM	R5F52106BGFM#30	PLQP0064KB-A						
	R5F52106BGFL	R5F52106BGFL#30	PLQP0048KB-A	64K バイト	12K バイト				
	R5F52106BGFF	R5F52106BGFF#V0	PLQP0080JA-A						
	R5F52106BGFK	R5F52106BGFK#30	PLQP0064GA-A	R5F52105BGFB	R5F52105BGFB#30				PLQP0144KA-A
	R5F52105BGFB	R5F52105BGFB#30	PLQP0144KA-A	R5F52105BGFP	R5F52105BGFP#30				PLQP0100KB-A
	R5F52105BGFP	R5F52105BGFP#30	PLQP0100KB-A	R5F52105BGFN	R5F52105BGFN#30				PLQP0080KB-A
	R5F52105BGFN	R5F52105BGFN#30	PLQP0080KB-A	R5F52105BGFM	R5F52105BGFM#30				PLQP0064KB-A
	R5F52105BGFM	R5F52105BGFM#30	PLQP0064KB-A	R5F52105BGFL	R5F52105BGFL#30				PLQP0048KB-A
	R5F52105BGFL	R5F52105BGFL#30	PLQP0048KB-A	R5F52105BGFF	R5F52105BGFF#V0				PLQP0080JA-A
	R5F52105BGFF	R5F52105BGFF#V0	PLQP0080JA-A	R5F52105BGFK	R5F52105BGFK#30				PLQP0064GA-A
	R5F52105BGFK	R5F52105BGFK#30	PLQP0064GA-A	R5F52104BGFM	R5F52104BGFM#30				PLQP0064KB-A
R5F52104BGFM	R5F52104BGFM#30	PLQP0064KB-A	R5F52104BGFL	R5F52104BGFL#30	PLQP0048KB-A				
R5F52104BGFL	R5F52104BGFL#30	PLQP0048KB-A	R5F52104BGFF	R5F52104BGFF#V0	PLQP0080JA-A				
R5F52104BGFF	R5F52104BGFF#V0	PLQP0080JA-A	R5F52103BGFM	R5F52103BGFM#30	PLQP0064KB-A				
R5F52103BGFM	R5F52103BGFM#30	PLQP0064KB-A	R5F52103BGFL	R5F52103BGFL#30	PLQP0048KB-A				
R5F52103BGFL	R5F52103BGFL#30	PLQP0048KB-A	R5F52103BGFF	R5F52103BGFF#V0	PLQP0080JA-A				
R5F52103BGFF	R5F52103BGFF#V0	PLQP0080JA-A							

注. Ta = +85°C ~ +105°Cで使用する場合はディレーティングについては、当社営業および販売店営業へお問い合わせください。
 なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度
RX210	R5F52108CDFP	R5F52108CDFP#30	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +85°C
	R5F52108CDFN	R5F52108CDFN#30	PLQP0080KB-A					
	R5F52108CDFM	R5F52108CDFM#30	PLQP0064KB-A					
	R5F52108CDLJ	R5F52108CDLJ#U0	PTLG0100JA-A					
	R5F52108CDFF	R5F52108CDFF#V0	PLQP0080JA-A					
	R5F52108CDFK	R5F52108CDFK#30	PLQP0064GA-A					
	R5F52107CDFP	R5F52107CDFP#30	PLQP0100KB-A	384K バイト				
	R5F52107CDFN	R5F52107CDFN#30	PLQP0080KB-A					
	R5F52107CDFM	R5F52107CDFM#30	PLQP0064KB-A					
	R5F52107CDLJ	R5F52107CDLJ#U0	PTLG0100JA-A					
	R5F52107CDFF	R5F52107CDFF#V0	PLQP0080JA-A					
	R5F52107CDFK	R5F52107CDFK#30	PLQP0064GA-A					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta = -40 ~ 105°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度
RX210	R5F52108CGFP	R5F52108CGFP#30	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +105°C
	R5F52108CGFN	R5F52108CGFN#30	PLQP0080KB-A					
	R5F52108CGFM	R5F52108CGFM#30	PLQP0064KB-A					
	R5F52108CGFF	R5F52108CGFF#V0	PLQP0080JA-A					
	R5F52108CGFK	R5F52108CGFK#30	PLQP0064GA-A					
	R5F52107CGFP	R5F52107CGFP#30	PLQP0100KB-A	384K バイト				
	R5F52107CGFN	R5F52107CGFN#30	PLQP0080KB-A					
	R5F52107CGFM	R5F52107CGFM#30	PLQP0064KB-A					
	R5F52107CGFF	R5F52107CGFF#V0	PLQP0080JA-A					
	R5F52107CGFK	R5F52107CGFK#30	PLQP0064GA-A					

注. Ta = +85°C ~ +105°Cで使用する場合はディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

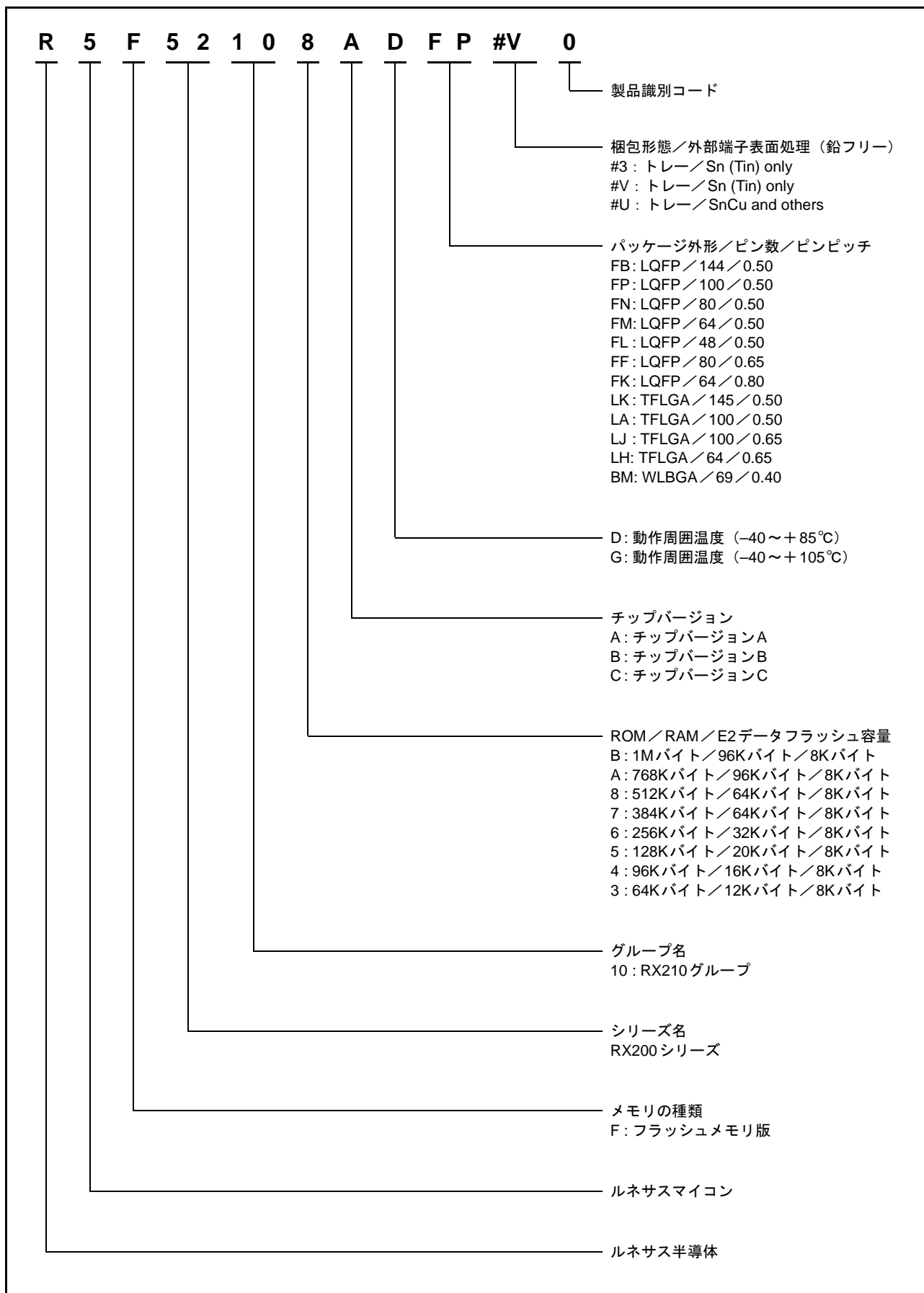


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

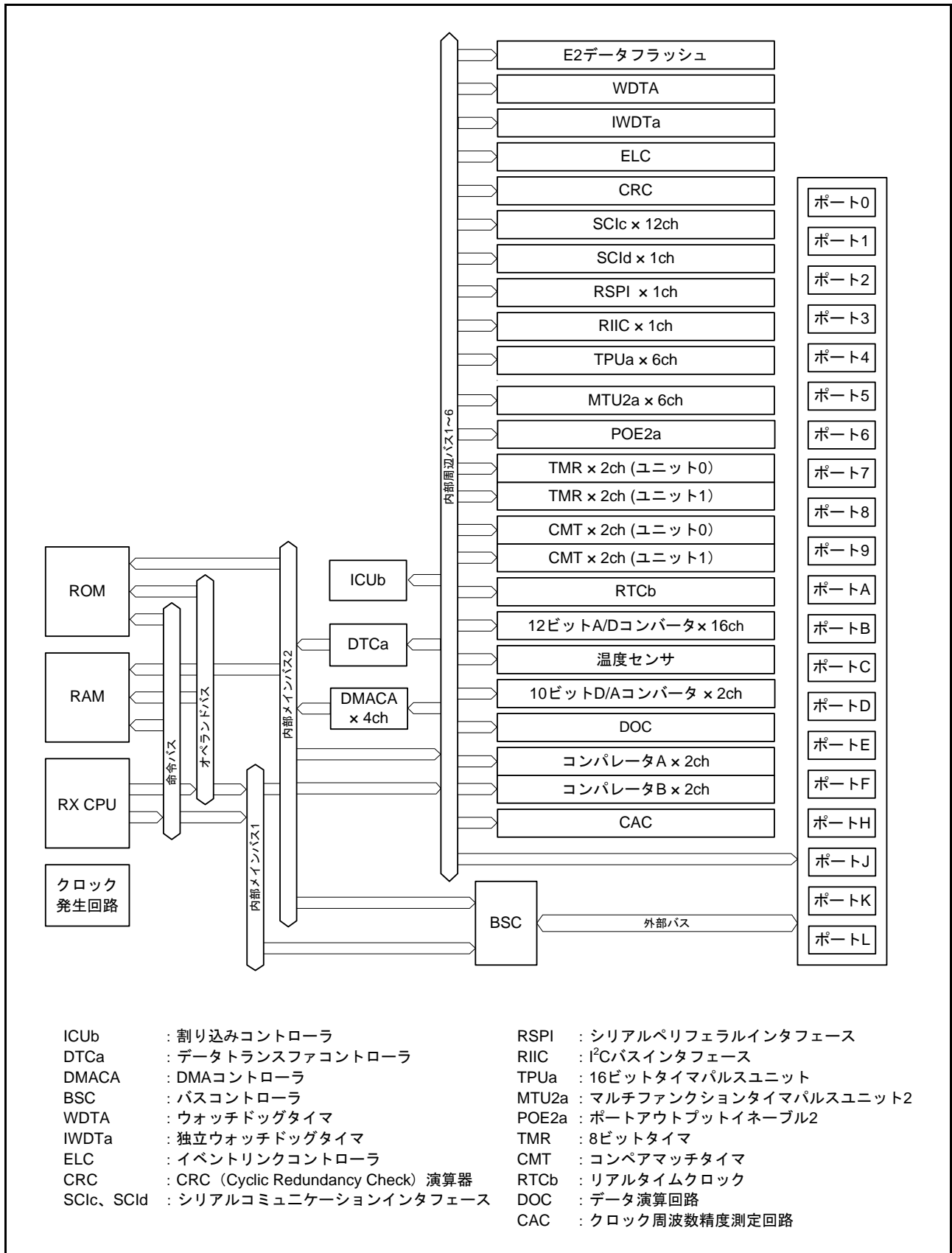


図 1.2 ブロック図

1.4 端子機能

表 1.8 に端子機能一覧を示します。

表 1.8 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (0.1μF) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶振動子を接続してください
	XCOUT	出力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください。
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#、WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	BC0#、BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	CS0#～CS3#	出力	エリア0～3の選択信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
16ビットタイマパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力

表 1.8 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#～POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCi0～TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
リアルタイムクロック	RTCOUT	出力	1Hzのクロックの出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
シリアル コミュニケーション インタフェース (SCIc)	• 調歩同期式モード/クロック同期式モード		
	SCK0～SCK11	入出力	クロック入出力端子
	RXD0～RXD11	入力	受信データ入力端子
	TXD0～TXD11	出力	送信データ出力端子
	CTS0#～CTS11#	入力	送受信開始制御用入力端子
	RTS0#～RTS11#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0～SSCL11	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA11	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0～SCK11	入出力	クロック入出力端子
	SMISO0～SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI11	入出力	マスタ送出データ入出力端子
	SS0#～SS11#	入力	チップセレクト入力端子

表 1.8 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCId)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCId受信データ入力端子
TXDX12	出力	SCId送信データ出力端子	
SIOX12	入出力	SCId送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルイ ンタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000~AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータA	CMPA1	入力	コンパレータA1用のアナログ端子
	CMPA2	入力	コンパレータA2用のアナログ端子
	CVREFA	入力	コンパレータ用のリファレンス電圧端子
コンパレータB	CMPB0	入力	コンパレータB0用のアナログ端子
	CVREFB0	入力	コンパレータB0用のリファレンス電圧端子
	CMPB1	入力	コンパレータB1用のアナログ端子
	CVREFB1	入力	コンパレータB1用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH	入力	D/Aコンバータのアナログ電源端子。D/Aコンバータを使用しない場合は、VCCに接続してください
	VREFL	入力	D/Aコンバータのアナロググランド端子。D/Aコンバータを使用しない場合は、VSSに接続してください

表 1.8 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83、P86、P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5	入出力	1ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1、PJ3、PJ5	入出力	3ビットの入出力端子
	PK2～PK5	入出力	4ビットの入出力端子
	PL0、PL1	入出力	2ビットの入出力端子

1.5 ピン配置図

図 1.3 ~ 図 1.11 にピン配置図を示します。また、表 1.9 ~ 表 1.17 に機能別端子一覧を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	PK4	PE6	P67	PA2	PA4	PA7	PB1	PB5	PL0	PL1	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VCC	PB0	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	PK5	P66	VSS	PA6	P71	PB4	PB7	PC2	PC0	PC3	11
10	PK3	PK2	P63	PE7	PA0	PA3	PA5	P72	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64	RX210グループ PTLG0145KA-A (145ピンTFLGA) (上面透視図)					P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	PH0	PH1	6
5	P45	P43	P46	VCC						P44	P54	P13	PH3	PH2
4	P42	VREFL0	P41	P01	NC	PJ1	NC	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	VREFH	VREFL	P00	VSS	XCIN	XTAL	EXTAL	P34	P27	P25	P22	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

注. ・ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、本章「機能別端子一覧表（145ピンTFLGA）」をご確認ください。
 ・パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。

図 1.3 145 ピン TFLGA ピン配置図（上面透視図）

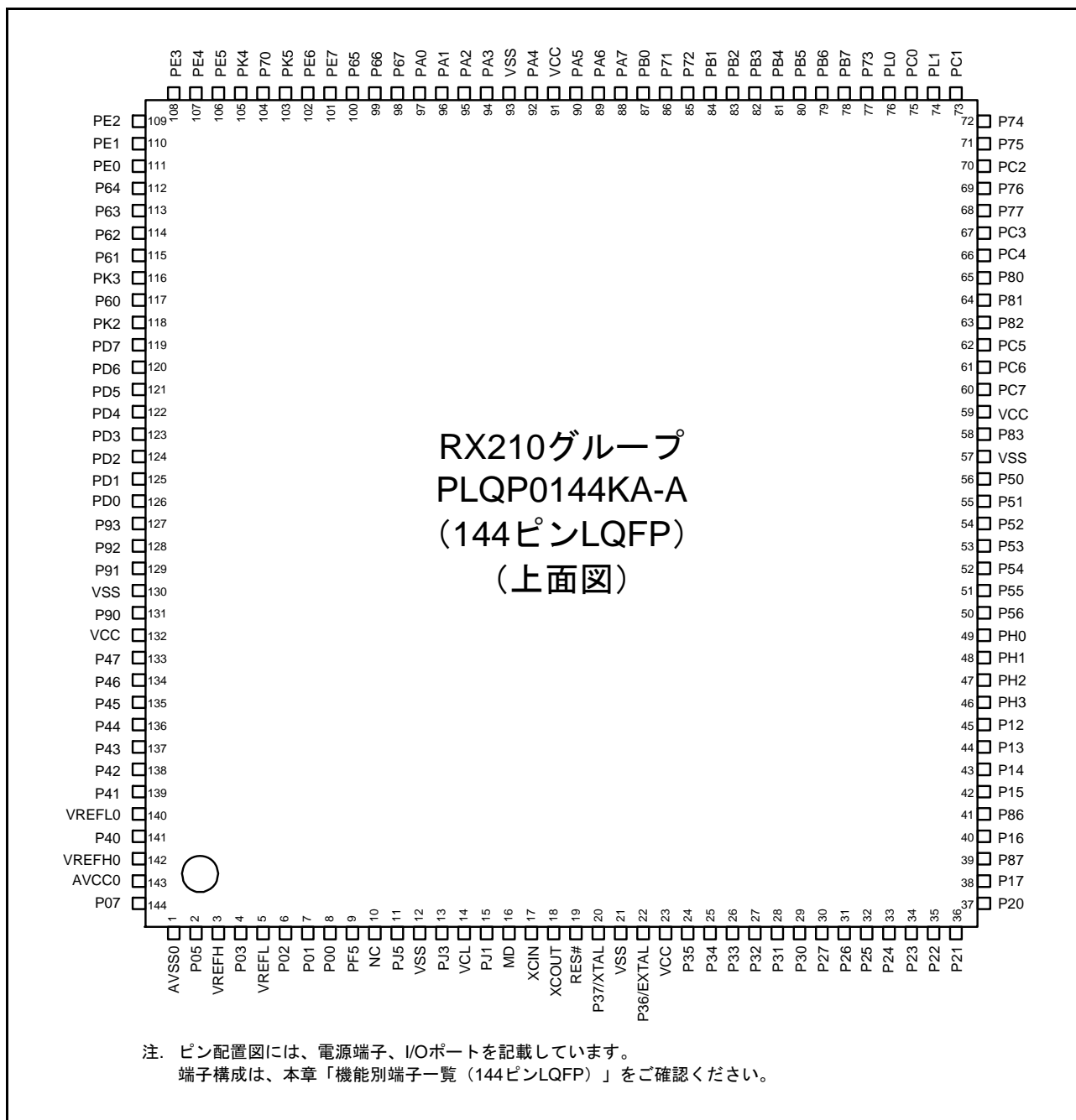


図 1.4 144 ピン LQFP ピン配置図

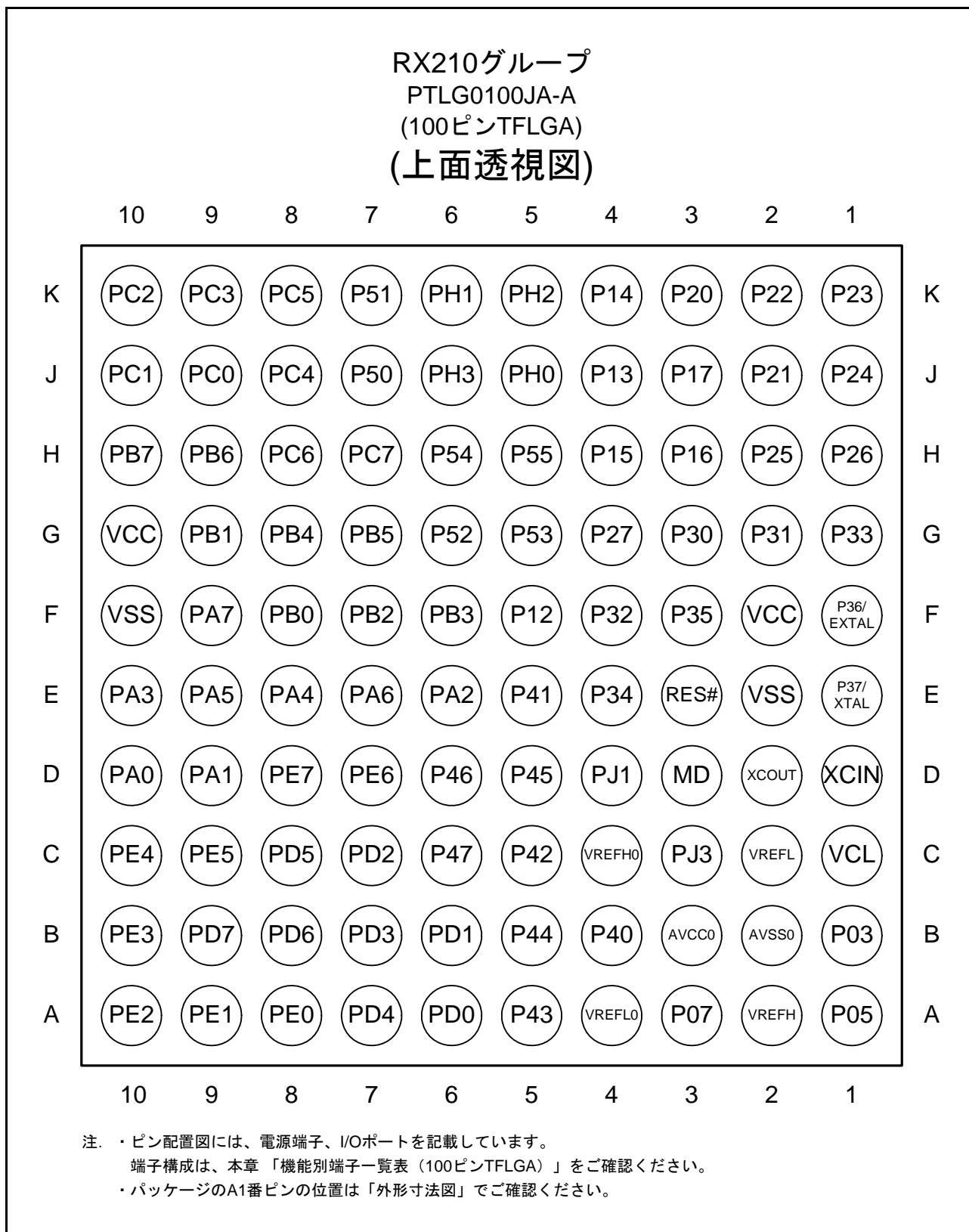


図 1.5 100ピン TFLGA ピン配置図（上面透視図）

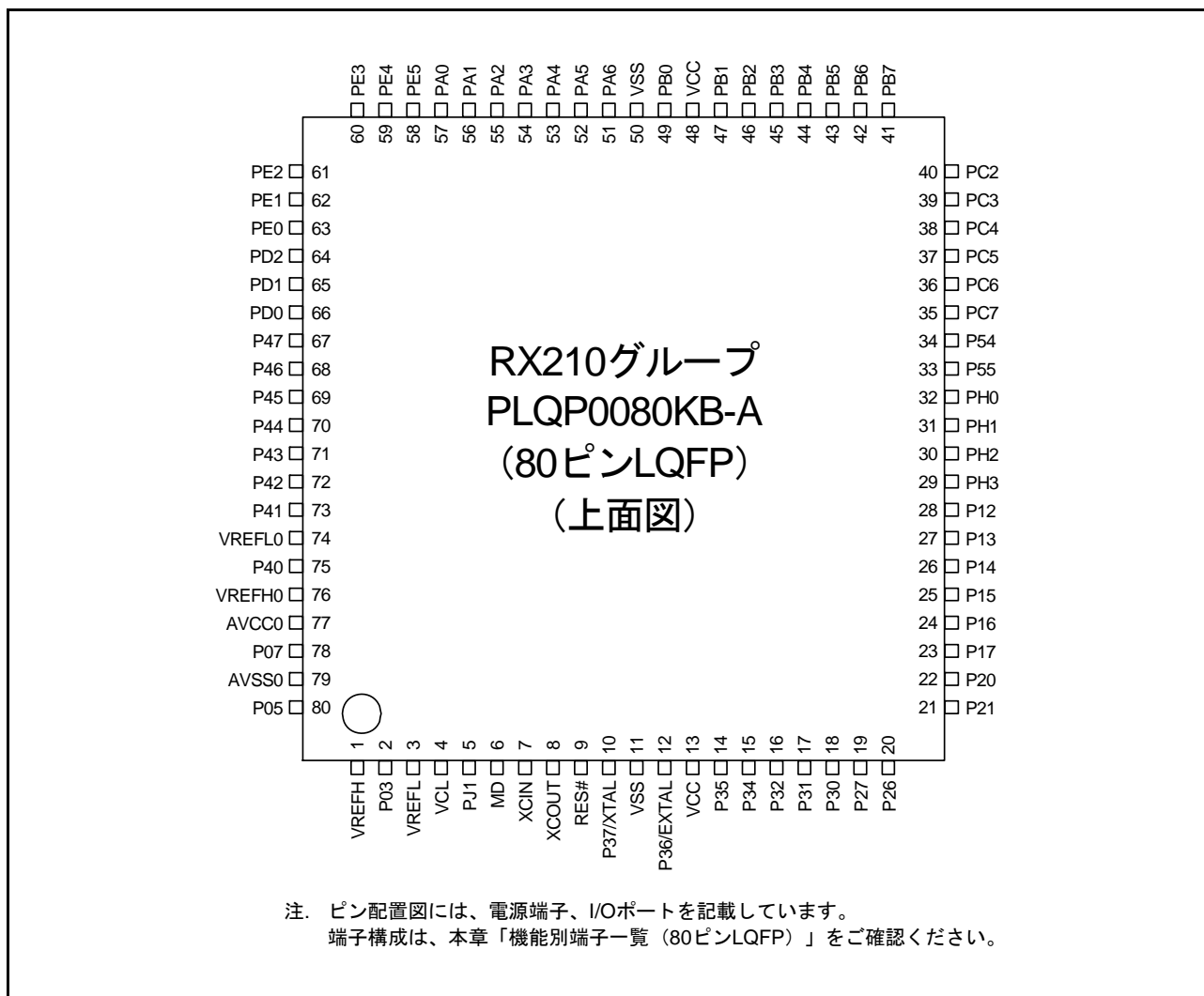


図 1.7 80 ピン LQFP ピン配置図

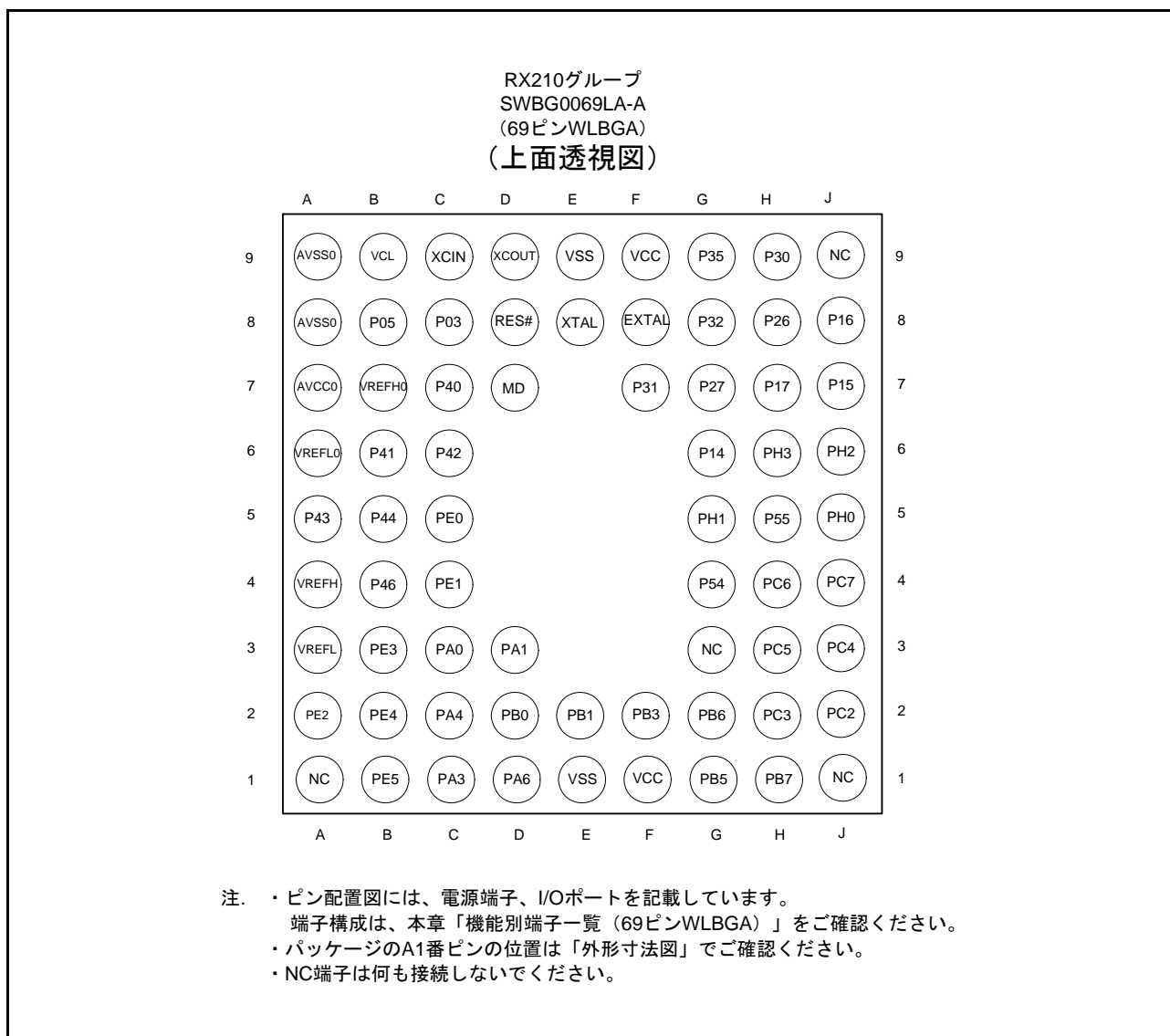


図 1.8 69ピンWLBGAピン配置図

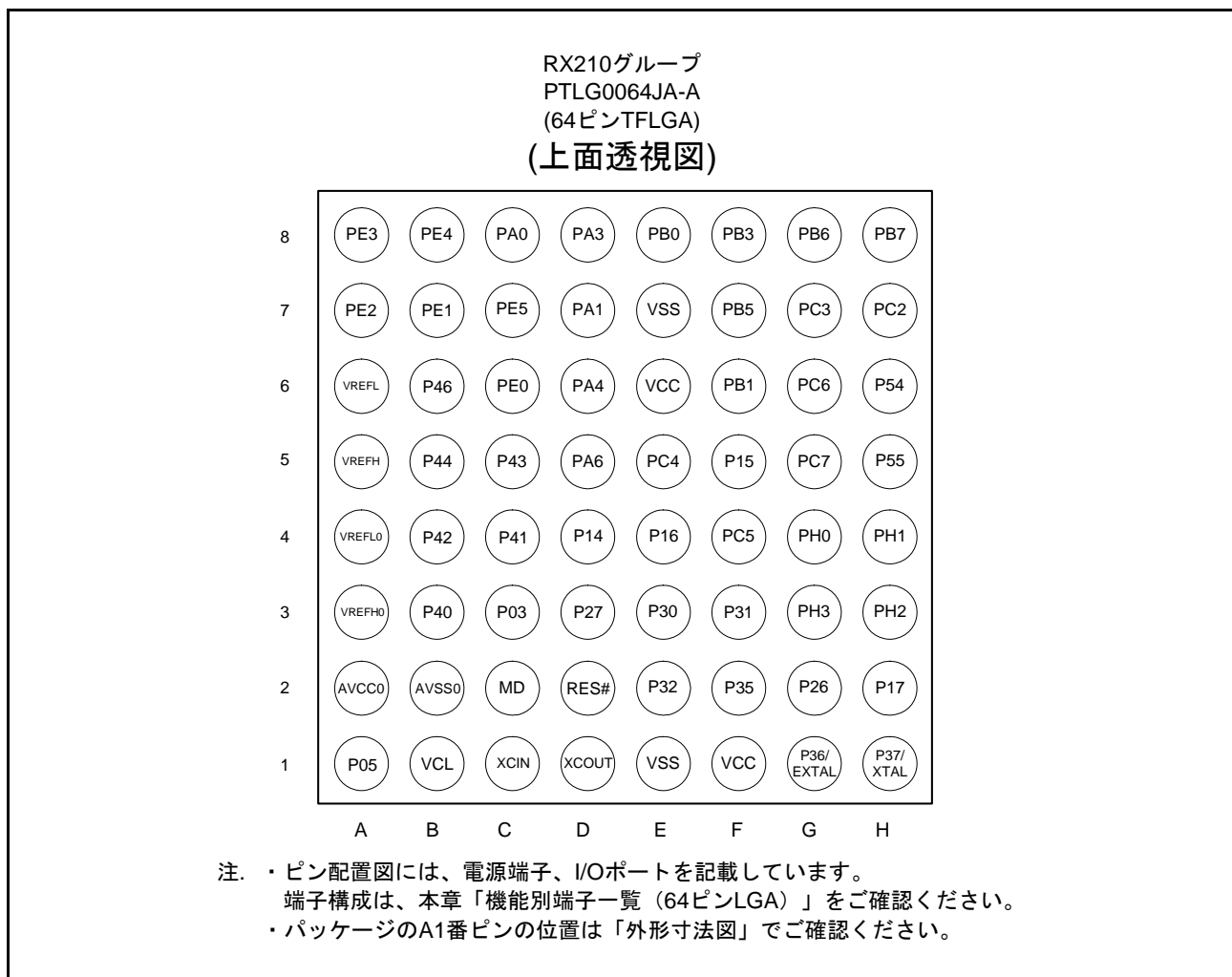


図 1.9 64ピン TFLGA ピン配置図

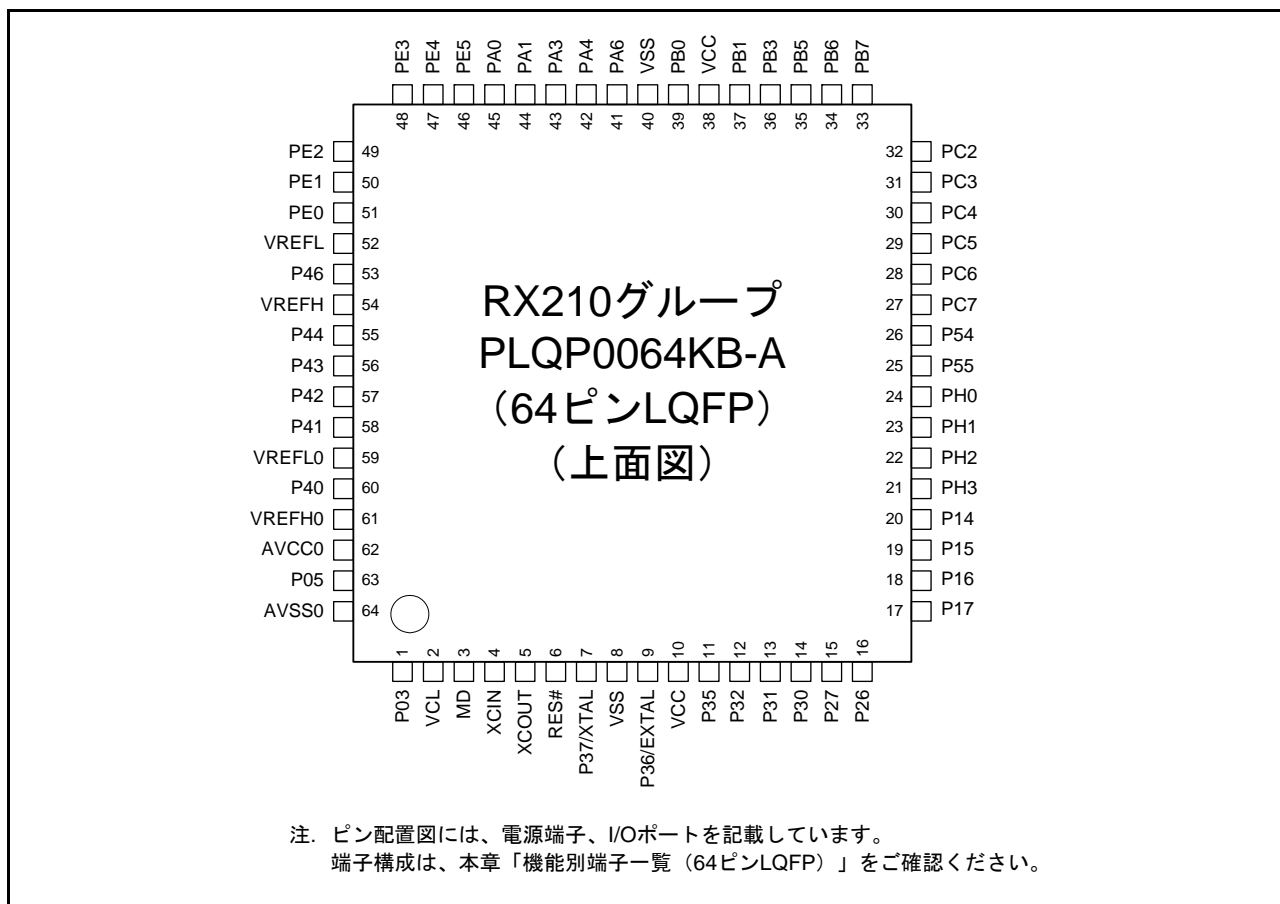


図 1.10 64 ピン LQFP ピン配置図

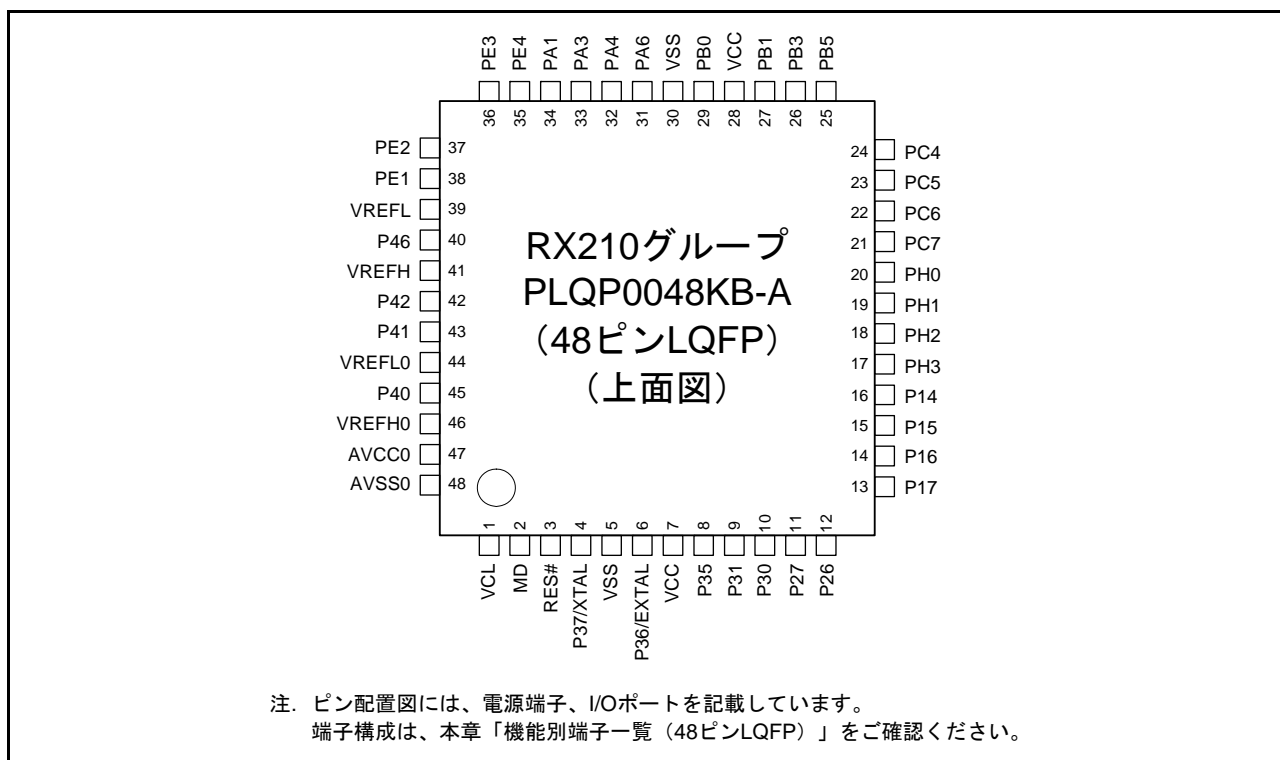


図 1.11 48 ピン LQFP ピン配置図

表 1.9 機能別端子一覧 (145ピンTFLGA) (1 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
A1	AVSS0					
A2		P07				ADTRG0#
A3		P40				AN000
A4		P42				AN002
A5		P45				AN005
A6		P90			TXD7/SMOSI7/SSDA7	
A7		P92			RXD7/SMISO7/SSCL7	
A8		PD2	D2[A2/D2]	MTIOC4D		IRQ2
A9		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
A10		PK3			RXD9/SMISO9/SSCL9	
A11		P62				
A12		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
A13		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B1	VREFH					
B2	AVCC0					
B3		P05				DA1
B4	VREFL0					
B5		P43				AN003
B6		P47				AN007
B7		P91			SCK7	
B8		PD0	D0[A0/D0]			IRQ0
B9		PD4	D4[A4/D4]	POE3#		IRQ4
B10		PK2			TXD9/SMOSI9/SSDA9	
B11		P61			CTS9#/RTS9#/SS9#	
B12		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
B13		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
C1	VREFL					
C2		P02		TMCI1	SCK6	
C3	VREFH0					
C4		P41				AN001
C5		P46				AN006
C6	VSS					
C7		PD1	D1[A1/D1]	MTIOC4B		IRQ1
C8		PD3	D3[A3/D3]	POE8#		IRQ3
C9		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
C10		P63				
C11		PE0	D8[A8/D8]		SCK12	AN008
C12		P70			SCK4	
C13		PK4			RXD4/SMISO4/SSCL4	
D1		P00		TMR10	TXD6/SMOSI6/SSDA6	
D2		PF5				IRQ4
D3		P03				DA0
D4		P01		TMCI0	RXD6/SMISO6/SSCL6	
D5	VCC					
D6		P93			CTS7#/RTS7#/SS7#	
D7		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
D8		P60			SCK9	

表 1.9 機能別端子一覧 (145ピンTFLGA) (2 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
D9		P64				
D10		PE7	D15[A15/D15]			IRQ7/AN015
D11		PK5			TXD4/SMOSI4/SSDA4	
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
D13		PE6	D14[A14/D14]		CTS4#/RTS4#/SS4#	IRQ6/AN014
E1	VSS					
E2	VCL					
E3		PJ5				
E4	NC					
E5		P44				AN004
E10		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1	CACREF
E11		P66				
E12		P65				
E13		P67				
F1	XCIN					
F2	XCOUT					
F3		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/CTS0#/RTS0#/SS0#	
F4		PJ1		MTIOC3A		
F10		PA3	A3	MTIOC0D/MTCLKD/TIOCD0/TCLKB	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
F11	VSS					
F12		PA1	A1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2	CVREFA
F13		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3	
G1	XTAL	P37				
G2	RES#					
G3	MD					FINED
G4	NC					
G10		PA5	A5	TIOCB1	RSPCKA	
G11		PA6	A6	MTIC5V/MTCLKB/TMC13/POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/POE2#/TIOCA2	
G12	VCC					
G13		PA4	A4	MTIC5U/MTCLKA/TMRI0/TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
H1	EXTAL	P36				
H2	VCC					
H3	VSS					
H4		P35				NMI
H10		P72				
H11		P71				
H12		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/SMISO6/SSCL6/RSPCKA	
H13		PA7	A7	TIOCB2	MISOA	
J1		P34		MTIOC0A/TMC13/POE2#	SCK6/SCK0	IRQ4
J2		P33		MTIOC0D/TMRI3/POE3#/TIOCD0	RXD6/SMISO6/SSCL6/RXD0/SMISO0/SSCL0	IRQ3-DS
J3		P32		MTIOC0C/TMO3/TIOCC0	TXD6/SMOSI6/SSDA6/TXD0/SMOSI0/SSDA0	IRQ2-DS/RTCOUT/RTCIC2
J4		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0

表 1.9 機能別端子一覧 (145ピンTFLGA) (3 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
J10		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOCD3/ TCLKD	SCK4/SCK6	
J11		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#	
J12		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#	
J13		PB1	A9	MTIOC0C/MTIOC4C/ TMCI0/TIOCB3	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS
K1		P27	CS3#	MTIOC2B/TMCI3	SCK1	
K2		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ CTS3#/RTS3#/SS3#	
K3		P31		MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
K4		P15		MTIOC0B/MTCLKB/ TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/SCK3	IRQ5
K5		P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#	
K6	BCLK	P53				
K7		P51	WR1#/BC1#/ WAIT#		SCK2	
K8	VCC					
K9		P80		MTIOC3B	SCK10	
K10		P76			RXD11/SMISO11/SSCL11	
K11		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	
K12		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	
K13		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9	
L1		P25	CS1#	MTIOC4C/MTCLKB/ TIOCA4	RXD3/SMISO3/SSCL3	ADTRG0#
L2		P23		MTIOC3D/MTCLKD/ TIOCD3	CTS0#/RTS0#/SS0#/TXD3/ SMOSI3/SSDA3	
L3		P16		MTIOC3C/MTIOC3D/ TMO2/TIOCB1/TCLKC	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS/RXD3/ SMISO3/SSCL3	IRQ6/RTCOUT/ ADTRG0#
L4		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1/TIOCB4	SCK3	
L5		P13		MTIOC0B/TMO3/TIOCA5	SDA/TXD2/SMOSI2/SSDA2	IRQ3
L6		P56		MTIOC3C/TIOCA1		
L7		P52	RD#		RXD2/SMISO2/SSCL2	
L8		P83		MTIOC4C	CTS10#/RTS10#	
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TMRI2	SCK8/RSPCKA	
L10		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
L11		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3	
L12		P73				
L13		PL0				
M1		P22		MTIOC3B/MTCLKC/ TMO0/TIOCC3	SCK0	
M2		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA-DS/TXD3/ SMOSI3/SSDA3	IRQ7
M3		P86		TIOCA0		
M4		P12		TMCI1	SCL/RXD2/SMISO2/SSCL2	IRQ2
M5		PH3		TMCI0		
M6		PH0				CACREF

表 1.9 機能別端子一覧 (145ピンTFLGA) (4 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
M7		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2	
M8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
M9		P81		MTIOC3D	RXD10/SMISO10/SSCL10	
M10		P77			TXD11/SMOSI11/SSDA11	
M11		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1	
M12		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2	
M13		PL1				
N1		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0	
N2		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0	
N3		P87		TIOCA2		
N4		P14		MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#	IRQ4
N5		PH2		TMRI0		IRQ1
N6		PH1		TMO0		IRQ0
N7		P55	WAIT#	MTIOC4D/TMO3		
N8	VSS					
N9		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
N10		P82		MTIOC4A	TXD10/SMOSI10/SSDA10	
N11		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5	
N12		P75			SCK11	
N13		P74			CTS11#/RTS11#/SS11#	

- 注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
注. NC端子は何も接続しないでください。

表 1.10 機能別端子一覧 (144ピンLQFP) (1 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
1	AVSS0					
2		P05				DA1
3	VREFH					
4		P03				DA0
5	VREFL					
6		P02		TMCI1	SCK6	
7		P01		TMCI0	RXD6/SMISO6/SSCL6	
8		P00		TMRI0	TXD6/SMOSI6/SSDA6	
9		PF5				IRQ4
10	NC					
11		PJ5				
12	VSS					
13		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/CTS0#/ RTS0#/SS0#	
14	VCL					
15		PJ1		MTIOC3A		
16	MD					FINED
17	XCIN					
18	XCOUT					
19	RES#					
20	XTAL	P37				
21	VSS					
22	EXTAL	P36				
23	VCC					
24		P35				NMI
25		P34		MTIOC0A/TMCI3/POE2#	SCK6/SCK0	IRQ4
26		P33		MTIOC0D/TMRI3/POE3#/ TIOCD0	RXD6/SMISO6/SSCL6/RXD0/ SMISO0/SSCL0	IRQ3-DS
27		P32		MTIOC0C/TMO3/TIOCC0	TXD6/SMOSI6/SSDA6/TXD0/ SMOSI0/SSDA0	IRQ2-DS/RTCOUT/ RTCIC2
28		P31		MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
29		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
30		P27	CS3#	MTIOC2B/TMCI3	SCK1	
31		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ CTS3#/RTS3#/SS3#	
32		P25	CS1#	MTIOC4C/MTCLKB/ TIOCA4	RXD3/SMISO3/SSCL3	ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1/TIOCB4	SCK3	
34		P23		MTIOC3D/MTCLKD/ TIOCD3	CTS0#/RTS0#/SS0#/TXD3/ SMOSI3/SSDA3	
35		P22		MTIOC3B/MTCLKC/ TMO0/TIOCC3	SCK0	
36		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0	
37		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0	
38		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA-DS/TXD3/ SMOSI3/SSDA3	IRQ7
39		P87		TIOCA2		
40		P16		MTIOC3C/MTIOC3D/ TMO2/TIOCB1/TCLKC	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS/RXD3/ SMISO3/SSCL3	IRQ6/RTCOUT/ ADTRG0#

表 1.10 機能別端子一覧 (144ピンLQFP) (2 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
41		P86		TIOCA0		
42		P15		MTIOC0B/MTCLKB/ TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/SCK3	IRQ5
43		P14		MTIOC3A/MTCLKA/ TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#	IRQ4
44		P13		MTIOC0B/TMO3/TIOCA5	SDA/TXD2/SMOSI2/SSDA2	IRQ3
45		P12		TMC11	SCL/RXD2/SMISO2/SSCL2	IRQ2
46		PH3		TMC10		
47		PH2		TMRI0		IRQ1
48		PH1		TMO0		IRQ0
49		PH0				CACREF
50		P56		MTIOC3C/TIOCA1		
51		P55	WAIT#	MTIOC4D/TMO3		
52		P54	ALE	MTIOC4B/TMC11	CTS2#/RTS2#/SS2#	
53	BCLK	P53				
54		P52	RD#		RXD2/SMISO2/SSCL2	
55		P51	WR1#/BC1#/ WAIT#		SCK2	
56		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2	
57	VSS					
58		P83		MTIOC4C	CTS10#/RTS10#	
59	VCC					
60		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TMC12	RXD8/SMISO8/SSCL8/ MOSIA	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TMRI2	SCK8/RSPCKA	
63		P82		MTIOC4A	TXD10/SMOSI10/SSDA10	
64		P81		MTIOC3D	RXD10/SMISO10/SSCL10	
65		P80		MTIOC3B	SCK10	
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
67		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5	
68		P77			TXD11/SMOSI11/SSDA11	
69		P76			RXD11/SMISO11/SSCL11	
70		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3	
71		P75			SCK11	
72		P74			CTS11#/RTS11#/SS11#	
73		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2	
74		PL1				
75		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1	
76		PL0				
77		P73				
78		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	
79		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	
80		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9	
81		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#	

表 1.10 機能別端子一覧 (144ピンLQFP) (3 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
82		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOCD3/ TCLKD	SCK4/SCK6	
83		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#	
84		PB1	A9	MTIOC0C/MTIOC4C/ TMC10/TIOCB3	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS
85		P72				
86		P71				
87		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/ SMISO6/SSCL6/RSPCKA	
88		PA7	A7	TIOCB2	MISOA	
89		PA6	A6	MTIC5V/MTCLKB/TMC13/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ POE2#/TIOCA2	
90		PA5	A5	TIOCB1	RSPCKA	
91	VCC					
92		PA4	A4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS/CVREFB1
93	VSS					
94		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
95		PA2	A2		RXD5/SMISO5/SSCL5/ SSLA3	
96		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0	SCK5/SSLA2	CVREFA
97		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1	CACREF
98		P67				
99		P66				
100		P65				
101		PE7	D15[A15/D15]			IRQ7/AN015
102		PE6	D14[A14/D14]		CTS4#/RTS4#/SS4#	IRQ6/AN014
103		PK5			TXD4/SMOSI4/SSDA4	
104		P70			SCK4	
105		PK4			RXD4/SMISO4/SSCL4	
106		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
107		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
108		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
109		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/SMISO12/ SSCL12	IRQ7-DS/AN010/ CVREFB0
110		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
111		PE0	D8[A8/D8]		SCK12	AN008
112		P64				
113		P63				
114		P62				
115		P61			CTS9#/RTS9#/SS9#	
116		PK3			RXD9/SMISO9/SSCL9	
117		P60			SCK9	
118		PK2			TXD9/SMOSI9/SSDA9	
119		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
120		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
121		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5

表 1.10 機能別端子一覧 (144ピンLQFP) (4 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
122		PD4	D4[A4/D4]	POE3#		IRQ4
123		PD3	D3[A3/D3]	POE8#		IRQ3
124		PD2	D2[A2/D2]	MTIOC4D		IRQ2
125		PD1	D1[A1/D1]	MTIOC4B		IRQ1
126		PD0	D0[A0/D0]			IRQ0
127		P93			CTS7#/RTS7#/SS7#	
128		P92			RXD7/SMISO7/SSCL7	
129		P91			SCK7	
130	VSS					
131		P90			TXD7/SMOSI7/SSDA7	
132	VCC					
133		P47				AN007
134		P46				AN006
135		P45				AN005
136		P44				AN004
137		P43				AN003
138		P42				AN002
139		P41				AN001
140	VREFL0					
141		P40				AN000
142	VREFH0					
143	AVCC0					
144		P07				ADTRG0#

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

注. NC端子は何も接続しないでください。

表 1.11 機能別端子一覧 (100ピンTFLGA) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
A1		P05				DA1
A2	VREFH					
A3		P07				ADTRG0#
A4	VREFL0					
A5		P43				AN003
A6		PD0	D0[A0/D0]			IRQ0
A7		PD4	D4[A4/D4]	POE3#		IRQ4
A8		PE0	D8[A8/D8]		SCK12	AN008
A9		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/ SIOX12/SMOSI12/ SSDA12	AN009/CMPB0
A10		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
B1		P03				DA0
B2	AVSS0					
B3	AVCC0					
B4		P40				AN000
B5		P44				AN004
B6		PD1	D1[A1/D1]	MTIOC4B		IRQ1
B7		PD3	D3[A3/D3]	POE8#		IRQ3
B8		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
B9		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
B10		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/ SS12#	AN011/CMPA1
C1	VCL					
C2	VREFL					
C3		PJ3		MTIOC3C	CTS6#/RTS6#/ SS6#	
C4	VREFH0					
C5		P42				AN002
C6		P47				AN007
C7		PD2	D2[A2/D2]	MTIOC4D		IRQ2
C8		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
C9		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
C10		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
D1	XCIN					
D2	XCOUT					
D3	MD					FINED
D4		PJ1		MTIOC3A		
D5		P45				AN005
D6		P46				AN006
D7		PE6	D14[A14/D14]			IRQ6/AN014
D8		PE7	D15[A15/D15]			IRQ7/AN015
D9		PA1	A1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D10		PA0	A0/BC0#	MTIOC4A	SSLA1	CACREF
E1	XTAL	P37				
E2	VSS					
E3	RES#					
E4		P34		MTIOC0A/TMC13/ POE2#	SCK6	IRQ4
E5		P41				AN001

表 1.11 機能別端子一覧 (100ピンTFLGA) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
E6		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3	
E7		PA6	A6	MTIC5V/MTCLKB/TMC13/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
E8		PA4	A4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
E9		PA5	A5		RSPCKA	
E10		PA3	A3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
F1	EXTAL	P36				
F2	VCC					
F3		P35				NMI
F4		P32		MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/RTCIC2
F5		P12		TMC11	SCL	IRQ2
F6		PB3	A11	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
F7		PB2	A10		CTS6#/RTS6#/SS6#	
F8		PB0	A8	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
F9		PA7	A7		MISOA	
F10	VSS					
G1		P33		MTIOC0D/TMRI3/POE3#	RXD6/SMISO6/SSCL6	IRQ3-DS
G2		P31		MTIOC4D/TMC12	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
G3		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
G4		P27	CS3#	MTIOC2B/TMC13	SCK1	
G5	BCLK	P53				
G6		P52	RD#			
G7		PB5	A13	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9	
G8		PB4	A12		CTS9#/RTS9#/SS9#	
G9		PB1	A9	MTIOC0C/MTIOC4C/TMC10	TXD6/SMOSI6/SSDA6	IRQ4-DS
G10	VCC					
H1		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
H2		P25	CS1#	MTIOC4C/MTCLKB		ADTRG0#
H3		P16		MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS	IRQ6/RTCOUT/ADTRG0#
H4		P15		MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1	IRQ5
H5		P55	WAIT#	MTIOC4D/TMO3		
H6		P54	ALE	MTIOC4B/TMC11		
H7		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
H9		PB6	A14	MTIOC3D	RXD9/SMISO9/SSCL9	
H10		PB7	A15	MTIOC3B	TXD9/SMOSI9/SSDA9	

表 1.11 機能別端子一覧 (100ピンTFLGA) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
J1		P24	CS0#	MTIOC4A/MTCLKA/TMRI1		
J2		P21		MTIOC1B/TMCI0	RXD0/SMISO0/SSCL0	
J3		P17		MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
J4		P13		MTIOC0B/TMO3	SDA	IRQ3
J5		PH0				CACREF
J6		PH3		TMCI0		
J7		P50	WR0#/WR#			
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	
J9		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	
J10		PC1	A17	MTIOC3A	SCK5/SSLA2	
K1		P23		MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	
K2		P22		MTIOC3B/MTCLKC/TMO0	SCK0	
K3		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/SSDA0	
K4		P14		MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
K5		PH2		TMRI0		IRQ1
K6		PH1		TMO0		IRQ0
K7		P51	WR1#/BC1#/WAIT#			
K8		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
K9		PC3	A19	MTIOC4D	TXD5/SMOSI5/SSDA5	
K10		PC2	A18	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.12 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCId、RSPI、RIIC)	その他
1	VREFH					
2		P03				DA0
3	VREFL					
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#	
5	VCL					
6		PJ1		MTIOC3A		
7	MD					FINED
8	XCIN					
9	XCOUT					
10	RES#					
11	XTAL	P37				
12	VSS					
13	EXTAL	P36				
14	VCC					
15		P35				NMI
16		P34		MTIOC0A/TMCI3/ POE2#	SCK6	IRQ4
17		P33		MTIOC0D/TMRI3/ POE3#	RXD6/SMISO6/ SSCL6	IRQ3-DS
18		P32		MTIOC0C/TMO3	TXD6/SMOSI6/ SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
19		P31		MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
20		P30		MTIOC4B/TMRI3/ POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS/RTCIC0
21		P27	CS3#	MTIOC2B/TMCI3	SCK1	
22		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1	
23		P25	CS1#	MTIOC4C/MTCLKB		ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1		
25		P23		MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	
26		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	
27		P21		MTIOC1B/TMCI0	RXD0/SMISO0/ SSCL0	
28		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	
29		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#	SCK1/MISOA/ SDA-DS	IRQ7
30		P16		MTIOC3C/MTIOC3D/ TMO2	TXD1/SMOSI1/ SSDA1/MOSIA/ SCL-DS	IRQ6/RTCOUT/ ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1	IRQ5
32		P14		MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#	IRQ4
33		P13		MTIOC0B/TMO3	SDA	IRQ3
34		P12		TMCI1	SCL	IRQ2
35		PH3		TMCI0		
36		PH2		TMRI0		IRQ1
37		PH1		TMO0		IRQ0
38		PH0				CACREF
39		P55	WAIT#	MTIOC4D/TMO3		

表 1.12 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
40		P54	ALE	MTIOC4B/TMC11		
41	BCLK	P53				
42		P52	RD#			
43		P51	WR1#/BC1#/ WAIT#			
44		P50	WR0#/WR#			
45		PC7	A23/CS0#	MTIOC3A/TMO2/ MTCLKB	TXD8/SMOSI8/ SSDA8/MISOA	CACREF
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TMC12	RXD8/SMISO8/ SSCL8/MOSIA	
47		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/ TMR12	SCK8/RSPCKA	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/ RTS8#/SS8#/SSLA0	
49		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5	
50		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/SSLA3	
51		PC1	A17	MTIOC3A	SCK5/SSLA2	
52		PC0	A16	MTIOC3C	CTS5#/RTS5#/ SS5#/SSLA1	
53		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9	
54		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9	
55		PB5	A13	MTIOC2A/MTIOC1B/ TMR11/POE1#	SCK9	
56		PB4	A12		CTS9#/RTS9#/SS9#	
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#	SCK6	
58		PB2	A10		CTS6#/RTS6#/SS6#	
59		PB1	A9	MTIOC0C/MTIOC4C/ TMC10	TXD6/SMOSI6/ SSDA6	IRQ4-DS
60	VCC					
61		PB0	A8	MTIC5W	RXD6/SMISO6/ SSCL6/RSPCKA	
62	VSS					
63		PA7	A7		MISOA	
64		PA6	A6	MTIC5V/MTCLKB/ TMC13/POE2#	CTS5#/RTS5#/ SS5#/MOSIA	
65		PA5	A5		RSPCKA	
66		PA4	A4	MTIC5U/MTCLKA/ TMR10	TXD5/SMOSI5/ SSDA5/SSLA0	IRQ5-DS/CVREFB1
67		PA3	A3	MTIOC0D/MTCLKD	RXD5/SMISO5/ SSCL5	IRQ6-DS/CMPB1
68		PA2	A2		RXD5/SMISO5/ SSCL5/SSLA3	
69		PA1	A1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
70		PA0	A0/BC0#	MTIOC4A	SSLA1	CACREF
71		PE7	D15[A15/D15]			IRQ7/AN015
72		PE6	D14[A14/D14]			IRQ6/AN014
73		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
74		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
75		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/ SS12#	AN011/CMPA1

表 1.12 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
76		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
77		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/ SIOX12/SMOSI12/ SSDA12	AN009/CMPB0
78		PE0	D8[A8/D8]		SCK12	AN008
79		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
80		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
81		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
82		PD4	D4[A4/D4]	POE3#		IRQ4
83		PD3	D3[A3/D3]	POE8#		IRQ3
84		PD2	D2[A2/D2]	MTIOC4D		IRQ2
85		PD1	D1[A1/D1]	MTIOC4B		IRQ1
86		PD0	D0[A0/D0]			IRQ0
87		P47				AN007
88		P46				AN006
89		P45				AN005
90		P44				AN004
91		P43				AN003
92		P42				AN002
93		P41				AN001
94	VREFL0					
95		P40				AN000
96	VREFH0					
97	AVCC0					
98		P07				ADTRG0#
99	AVSS0					
100		P05				DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.13 機能別端子一覧 (80ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCId、RSPI、RIIC)	その他
1	VREFH				
2		P03			DA0
3	VREFL				
4	VCL				
5		PJ1	MTIOC3A		
6	MD				FINED
7	XCIN				
8	XCOUT				
9	RES#				
10	XTAL	P37			
11	VSS				
12	EXTAL	P36			
13	VCC				
14		P35			NMI
15		P34	MTIOC0A/TMCI3/POE2#	SCK6	IRQ4
16		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
17		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
18		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
19		P27	MTIOC2B/TMCI3	SCK1	
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
21		P21	MTIOC1B/TMCI0	RXD0/SSCL0	
22		P20	MTIOC1A/TMRI0	TXD0/SSDA0	
23		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/ SDA-DS	IRQ7
24		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
25		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
26		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
27		P13	MTIOC0B/TMO3	SDA	IRQ3
28		P12	TMCI1	SCL	IRQ2
29		PH3	TMCI0		
30		PH2	TMRI0		IRQ1
31		PH1	TMO0		IRQ0
32		PH0			CACREF
33		P55	MTIOC4D/TMO3		
34		P54	MTIOC4B/TMCI1		
35		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
36		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
37		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
38		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
39		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
40		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
41		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
42		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
43		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#	SCK9	
44		PB4		CTS9#/RTS9#/SS9#	

表 1.13 機能別端子一覧 (80ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCId、RSPI、RIIC)	その他
45		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
46		PB2		CTS6#/RTS6#/SS6#	
47		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
48	VCC				
49		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
50	VSS				
51		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	
52		PA5		RSPCKA	
53		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
54		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
55		PA2		RXD5/SMISO5/SSCL5/SSLA3	
56		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
57		PA0	MTIOC4A	SSLA1	CACREF
58		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
59		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
60		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
61		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/ SSCL12	IRQ7-DS/AN010/ CVREFB0
62		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
63		PE0		SCK12	AN008
64		PD2	MTIOC4D		IRQ2
65		PD1	MTIOC4B		IRQ1
66		PD0			IRQ0
67		P47			AN007
68		P46			AN006
69		P45			AN005
70		P44			AN004
71		P43			AN003
72		P42			AN002
73		P41			AN001
74	VREFL0				
75		P40			AN000
76	VREFH0				
77	AVCC0				
78		P07			ADTRG0#
79	AVSS0				
80		P05			DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.14 機能別端子一覧 (69ピンWLBGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIc、RSPI、RIIC)	その他
A1	NC				
A2		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
A3	VREFL				
A4	VREFH				
A5		P43			AN003
A6	VREFL0				
A7	AVCC0				
A8	AVSS0				
A9	AVSS0				
B1		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
B2		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
B3		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B4		P46			AN006
B5		P44			AN004
B6		P41			AN001
B7	VREFH0				
B8		P05			DA1
B9	VCL				
C1		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
C2		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
C3		PA0	MTIOC4A	SSLA1	CACREF
C4		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
C5		PE0		SCK12	AN008
C6		P42			AN002
C7		P40			AN000
C8		P03			DA0
C9	XCIN				
D1		PA6	MTIC5V/MTCLKB/TMC13/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
D2		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
D3		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D7	MD				FINED
D8	RES#				
D9	XCOUT				
E1	VSS				
E2		PB1	MTIOC0C/MTIOC4C/TMC10	TXD6/SMOSI6/SSDA6	IRQ4-DS
E8	XTAL	P37			
E9	VSS				
F1	VCC				
F2		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
F7		P31	MTIOC4D/TMC12	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
F8	EXTAL	P36			
F9	VCC				
G1		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9	
G2		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	

表 1.14 機能別端子一覧 (69ピンWLBGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
G3	NC				
G4		P54	MTIOC4B/TMC11		
G5		PH1	TMO0		IRQ0
G6		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
G7		P27	MTIOC2B/TMC13	SCK1	
G8		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
G9		P35			NMI
H1		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
H2		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
H3		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
H4		PC6	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
H5		P55	MTIOC4D/TMO3		
H6		PH3	TMC10		
H7		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA-DS	IRQ7
H8		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
H9		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
J1	NC				
J2		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
J3		PC4	MTIOC3D/MTCLKC/TMC11/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
J4		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
J5		PH0			CACREF
J6		PH2	TMRI0		IRQ1
J7		P15	MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1	IRQ5
J8		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
J9	NC				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

注. NC端子は何も接続しないでください。

表 1.15 機能別端子一覧 (64ピンTFLGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
A1		P05			DA1
A2	AVCC0				
A3	VREFH0				
A4	VREFL0				
A5	VREFH				
A6	VREFL				
A7		PE2	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
A8		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B1	VCL				
B2	AVSS0				
B3		P40			AN000
B4		P42			AN002
B5		P44			AN004
B6		P46			AN006
B7		PE1	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
B8		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
C1	XCIN				
C2	MD				FINED
C3		P03			DA0
C4		P41			AN001
C5		P43			AN003
C6		PE0		SCK12	AN008
C7		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
C8		PA0	MTIOC4A	SSLA1	CACREF
D1	XCOUT				
D2	RES#				
D3		P27	MTIOC2B/TMCI3	SCK1	
D4		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
D5		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/ MOSIA	
D6		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS/CVREFB1
D7		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D8		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
E1	VSS				
E2		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
E3		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
E4		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
E5		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	
E6	VCC				
E7	VSS				
E8		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
F1	VCC				
F2		P35			NMI
F3		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1

表 1.15 機能別端子一覧 (64ピンTFLGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
F4		PC5	MTIOC3B/MTCLKD/TMR12	SCK8/RSPCKA	
F5		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
F6		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
F7		PB5	MTIOC2A/MTIOC1B/TMR11/POE1#	SCK9	
F8		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
G1	EXTAL	P36			
G2		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
G3		PH3	TMCI0		
G4		PH0			CACREF
G5		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
G6		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
G7		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
G8		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
H1	XTAL	P37			
H2		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
H3		PH2	TMR10		IRQ1
H4		PH1	TMO0		IRQ0
H5		P55	MTIOC4D/TMO3		
H6		P54	MTIOC4B/TMCI1		
H7		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
H8		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.16 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
1		P03			DA0
2	VCL				
3	MD				FINED
4	XCIN				
5	XCOUT				
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		P35			NMI
12		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
15		P27	MTIOC2B/TMCI3	SCK1	
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
17		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA-DS	IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
21		PH3	TMCI0		
22		PH2	TMRI0		IRQ1
23		PH1	TMO0		IRQ0
24		PH0			CACREF
25		P55	MTIOC4D/TMO3		
26		P54	MTIOC4B/TMCI1		
27		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/ MOSIA	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
30		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/ SSLA3	
33		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
34		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
35		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE1#	SCK9	
36		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
37		PB1	MTIOC0C/MTIOC4C/ TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
38	VCC				
39		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
40	VSS				

表 1.16 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
41		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
42		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
43		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
44		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
45		PA0	MTIOC4A	SSLA1	CACREF
46		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
47		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
49		PE2	MTIOC4A	RXD12/RDX12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
51		PE0		SCK12	AN008
52	VREFL				
53		P46			AN006
54	VREFH				
55		P44			AN004
56		P43			AN003
57		P42			AN002
58		P41			AN001
59	VREFL0				
60		P40			AN000
61	VREFH0				
62	AVCC0				
63		P05			DA1
64	AVSS0				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.17 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		P35			NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS
11		P27	MTIOC2B/TMCI3	SCK1	
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
13		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
14		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS	IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
16		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
17		PH3	TMCI0		
18		PH2	TMRI0		IRQ1
19		PH1	TMO0		IRQ0
20		PH0			CACREF
21		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
23		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
24		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	
25		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#		
26		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
27		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
28	VCC				
29		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
30	VSS				
31		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
32		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
33		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
34		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
35		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#	AN011/CMPA1
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12	IRQ7-DS/AN010/CVREFB0
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SSDA12	AN009/CMPB0
39	VREFL				
40		P46			AN006

表 1.17 機能別端子一覧 (48ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
41	VREFH				
42		P42			AN002
43		P41			AN001
44	VREFL0				
45		P40			AN000
46	VREFH0				
47	AVCC0				
48	AVSS0				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

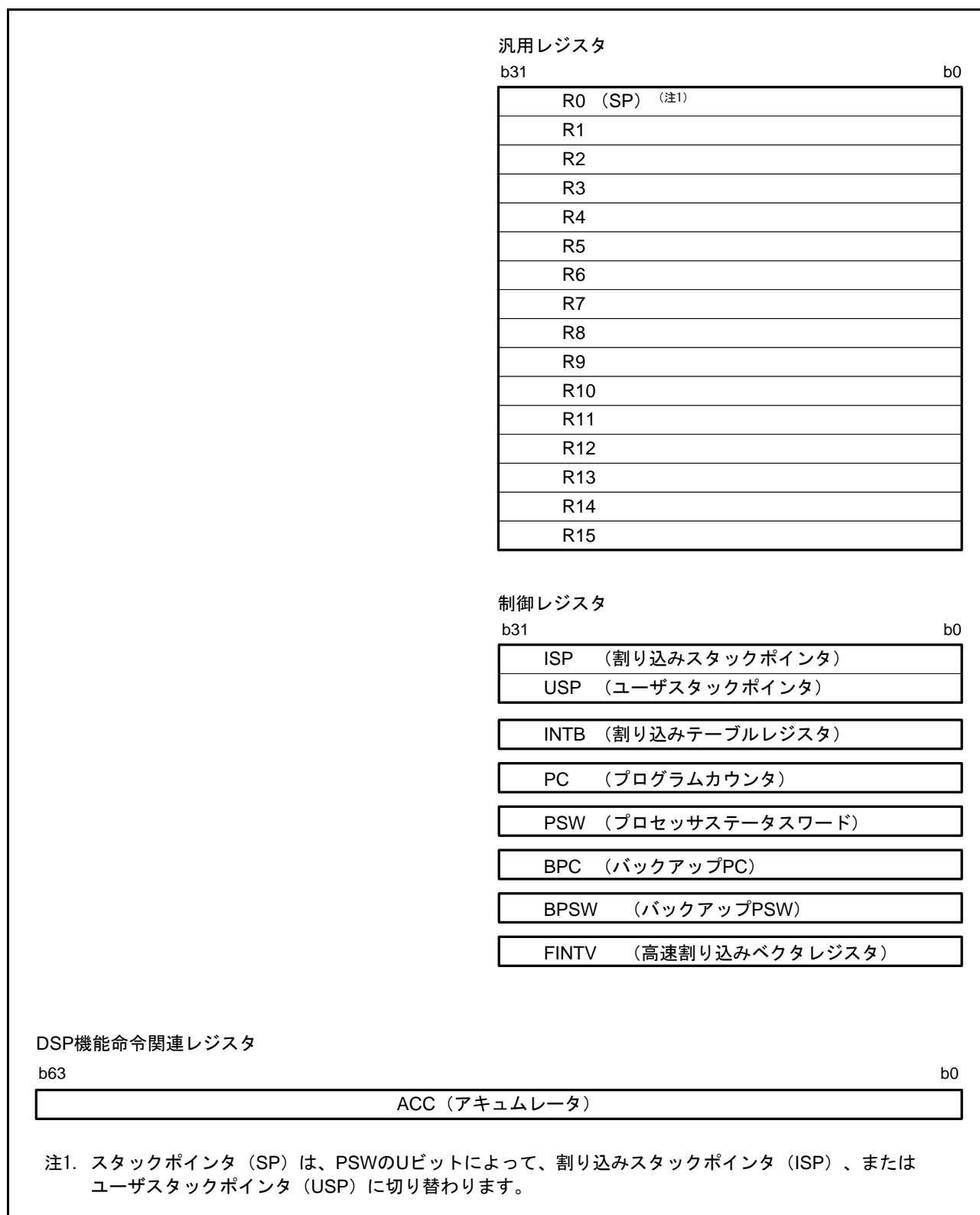


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.3 DSP 機能命令関連レジスタ

(1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32ビット (b63 ~ b32)、MVFACMI 命令で中央の 32ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

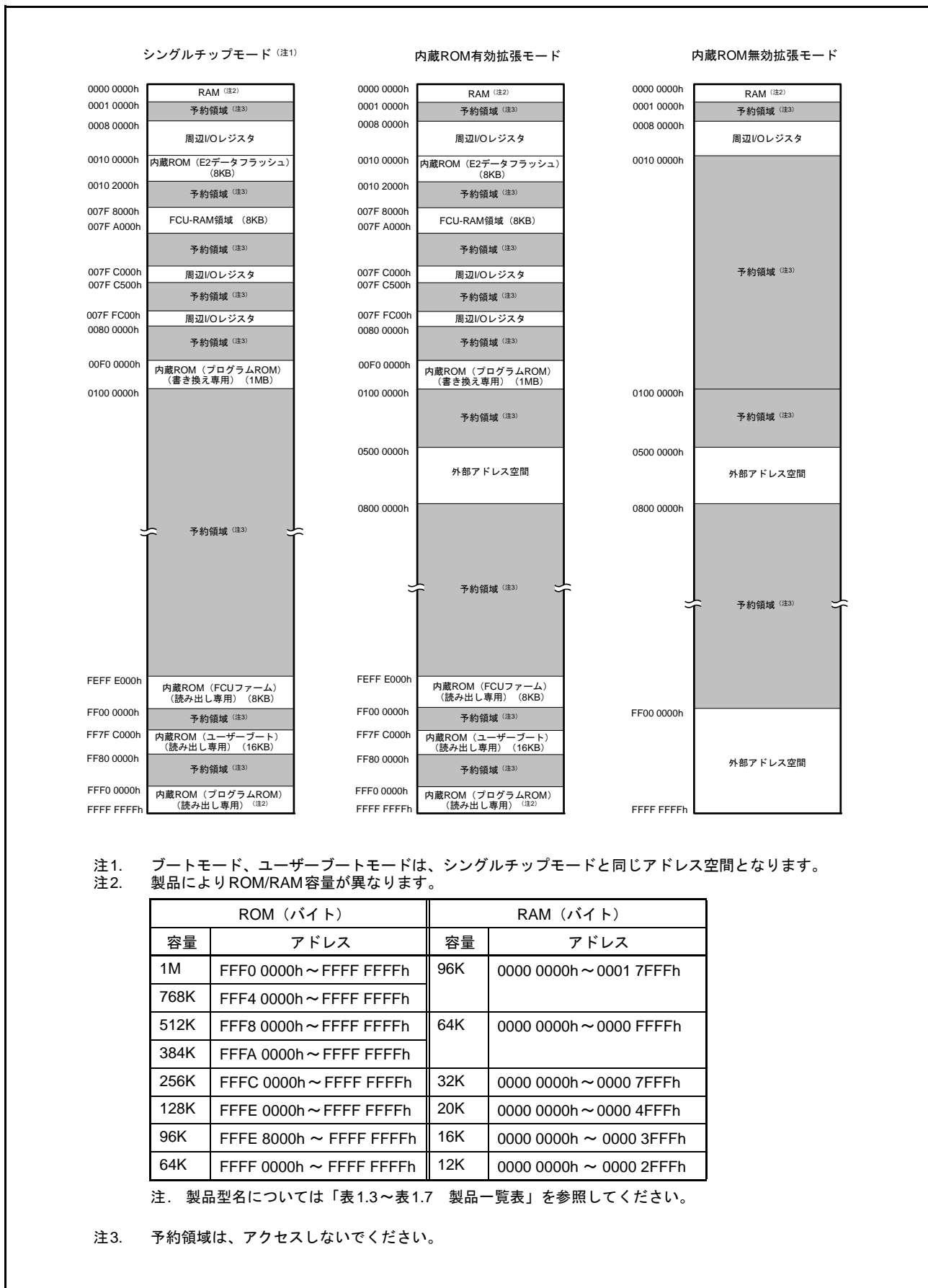


図 3.1 各動作モードのメモリマップ

3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n=0~3) から出力される CSn# 信号によって最大4つのCS領域 (CS0~CS3) に分割できます。図3.2に内蔵ROM無効拡張モード時のCS領域 (CS0~CS3) とアドレスの対応を示します。

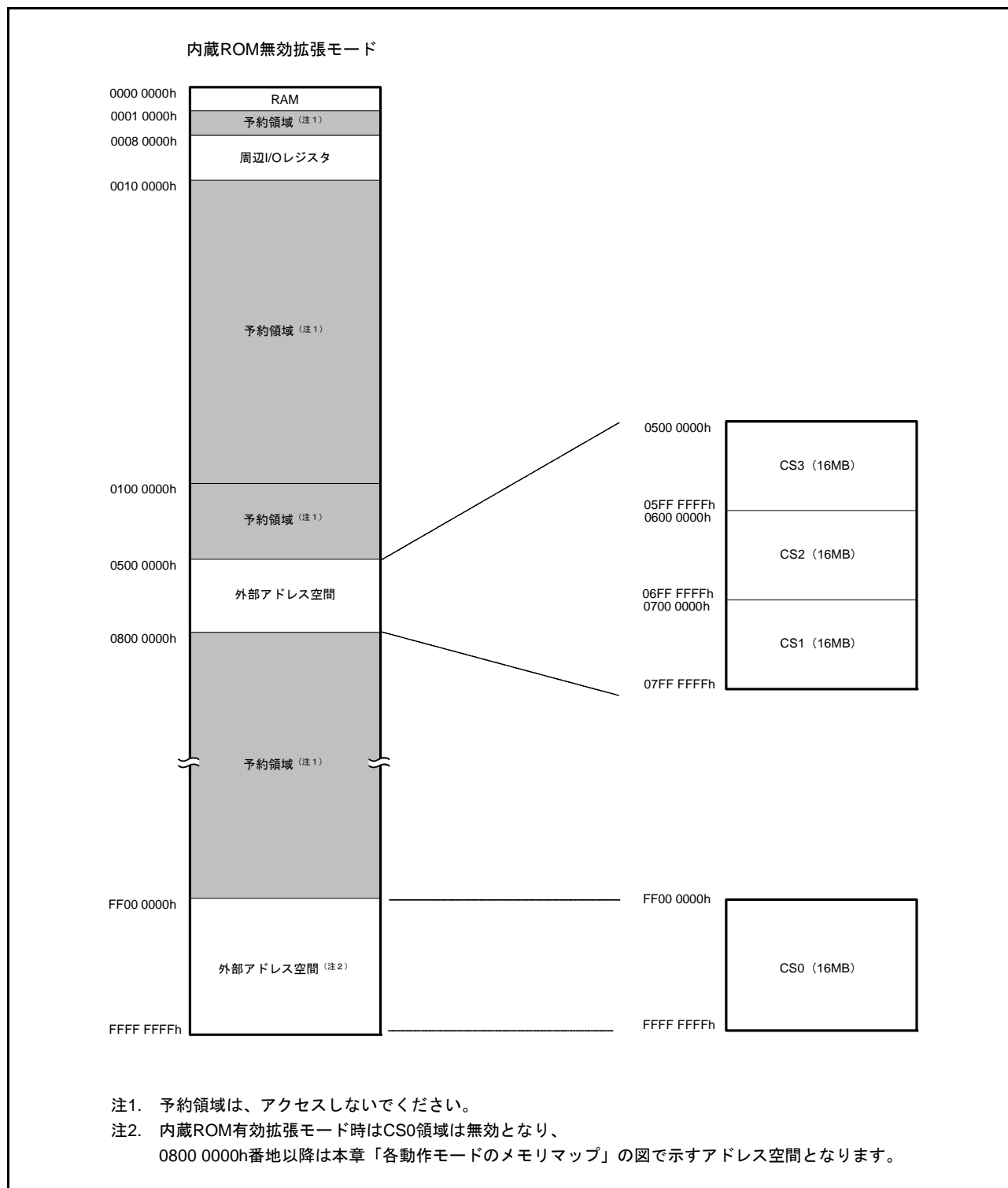


図3.2 外部アドレス空間とCS領域 (内蔵ROM無効拡張モードの場合)

4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （またはFCLK）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表5.1では1PCLK（またはFCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （またはFCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

外部バス制御部では内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLKで最大1サイクルとなるため、表5.1では1BCLKの幅を持たせて記載しています。

- 注1. CPUからのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表4.1 I/Oレジスタアドレス一覧（1 / 27）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK<PCLKの場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK	
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK	
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK	
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK	
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK	
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK	
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK	
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK	
0008 00A9h	SYSTEM	HOCOウェイトコントロールレジスタ2	HOCOWTCR2	8	8	3ICLK	
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	
0008 00E0h	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ1	LVD1CR1	8	8	3ICLK	
0008 00E1h	SYSTEM	電圧監視1回路/コンパレータA1ステータスレジスタ	LVD1SR	8	8	3ICLK	
0008 00E2h	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ1	LVD2CR1	8	8	3ICLK	
0008 00E3h	SYSTEM	電圧監視2回路/コンパレータA2ステータスレジスタ	LVD2SR	8	8	3ICLK	
0008 0200h	SYSTEM	電圧レギュレータ制御レジスタ	VRCCR	8	8	3ICLK	
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK	
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (2 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK	
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK	
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1~2BCLK	
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1~2BCLK	
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK	
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1~2BCLK	
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1~2BCLK	
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK	
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1~2BCLK	
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1~2BCLK	
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK	
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1~2BCLK	
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1~2BCLK	
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1~2BCLK	
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK	

表 4.1 I/Oレジスタアドレス一覧 (3 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLK の 場合	ICLK < PCLK の 場合
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK	
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK	
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK	
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK	
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK	
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK	
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK	
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK	
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK	
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK	
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK	
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK	
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK	
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK	
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK	
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (4 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK	
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK	
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK	
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK	
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK	
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK	
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK	
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK	
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK	
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK	
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK	
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK	
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK	
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK	
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK	
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK	
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK	
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK	
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK	
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK	
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK	
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK	
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK	
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK	
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK	
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK	
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (5 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK	
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK	
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK	
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK	
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK	
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK	
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK	
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK	
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK	
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK	
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK	
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK	
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK	
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK	
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK	
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK	
0008 70CEh	ICU	割り込み要求レジスタ 206	IR206	8	8	2ICLK	
0008 70CFh	ICU	割り込み要求レジスタ 207	IR207	8	8	2ICLK	
0008 70D0h	ICU	割り込み要求レジスタ 208	IR208	8	8	2ICLK	
0008 70D1h	ICU	割り込み要求レジスタ 209	IR209	8	8	2ICLK	
0008 70D2h	ICU	割り込み要求レジスタ 210	IR210	8	8	2ICLK	
0008 70D3h	ICU	割り込み要求レジスタ 211	IR211	8	8	2ICLK	
0008 70D4h	ICU	割り込み要求レジスタ 212	IR212	8	8	2ICLK	
0008 70D5h	ICU	割り込み要求レジスタ 213	IR213	8	8	2ICLK	
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK	
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK	
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK	
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK	
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK	
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK	
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK	
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK	
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK	
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK	
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK	
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK	
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK	
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK	
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK	
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK	
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK	
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK	
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK	
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (6 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK	
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK	
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK	
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK	
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK	
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK	
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK	
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK	
0008 711Bh	ICU	DTC起動許可レジスタ 027	DT CER027	8	8	2ICLK	
0008 711Ch	ICU	DTC起動許可レジスタ 028	DT CER028	8	8	2ICLK	
0008 711Dh	ICU	DTC起動許可レジスタ 029	DT CER029	8	8	2ICLK	
0008 711Eh	ICU	DTC起動許可レジスタ 030	DT CER030	8	8	2ICLK	
0008 711Fh	ICU	DTC起動許可レジスタ 031	DT CER031	8	8	2ICLK	
0008 712Dh	ICU	DTC起動許可レジスタ 045	DT CER045	8	8	2ICLK	
0008 712Eh	ICU	DTC起動許可レジスタ 046	DT CER046	8	8	2ICLK	
0008 713Ah	ICU	DTC起動許可レジスタ 058	DT CER058	8	8	2ICLK	
0008 713Bh	ICU	DTC起動許可レジスタ 059	DT CER059	8	8	2ICLK	
0008 7140h	ICU	DTC起動許可レジスタ 064	DT CER064	8	8	2ICLK	
0008 7141h	ICU	DTC起動許可レジスタ 065	DT CER065	8	8	2ICLK	
0008 7142h	ICU	DTC起動許可レジスタ 066	DT CER066	8	8	2ICLK	
0008 7143h	ICU	DTC起動許可レジスタ 067	DT CER067	8	8	2ICLK	
0008 7144h	ICU	DTC起動許可レジスタ 068	DT CER068	8	8	2ICLK	
0008 7145h	ICU	DTC起動許可レジスタ 069	DT CER069	8	8	2ICLK	
0008 7146h	ICU	DTC起動許可レジスタ 070	DT CER070	8	8	2ICLK	
0008 7147h	ICU	DTC起動許可レジスタ 071	DT CER071	8	8	2ICLK	
0008 7166h	ICU	DTC起動許可レジスタ 102	DT CER102	8	8	2ICLK	
0008 7167h	ICU	DTC起動許可レジスタ 103	DT CER103	8	8	2ICLK	
0008 716Ah	ICU	DTC起動許可レジスタ 106	DT CER106	8	8	2ICLK	
0008 716Bh	ICU	DTC起動許可レジスタ 107	DT CER107	8	8	2ICLK	
0008 7172h	ICU	DTC起動許可レジスタ 114	DT CER114	8	8	2ICLK	
0008 7173h	ICU	DTC起動許可レジスタ 115	DT CER115	8	8	2ICLK	
0008 7174h	ICU	DTC起動許可レジスタ 116	DT CER116	8	8	2ICLK	
0008 7175h	ICU	DTC起動許可レジスタ 117	DT CER117	8	8	2ICLK	
0008 7179h	ICU	DTC起動許可レジスタ 121	DT CER121	8	8	2ICLK	
0008 717Ah	ICU	DTC起動許可レジスタ 122	DT CER122	8	8	2ICLK	
0008 717Dh	ICU	DTC起動許可レジスタ 125	DT CER125	8	8	2ICLK	
0008 717Eh	ICU	DTC起動許可レジスタ 126	DT CER126	8	8	2ICLK	
0008 7181h	ICU	DTC起動許可レジスタ 129	DT CER129	8	8	2ICLK	
0008 7182h	ICU	DTC起動許可レジスタ 130	DT CER130	8	8	2ICLK	
0008 7183h	ICU	DTC起動許可レジスタ 131	DT CER131	8	8	2ICLK	
0008 7184h	ICU	DTC起動許可レジスタ 132	DT CER132	8	8	2ICLK	
0008 7186h	ICU	DTC起動許可レジスタ 134	DT CER134	8	8	2ICLK	
0008 7187h	ICU	DTC起動許可レジスタ 135	DT CER135	8	8	2ICLK	
0008 7188h	ICU	DTC起動許可レジスタ 136	DT CER136	8	8	2ICLK	
0008 7189h	ICU	DTC起動許可レジスタ 137	DT CER137	8	8	2ICLK	
0008 718Ah	ICU	DTC起動許可レジスタ 138	DT CER138	8	8	2ICLK	
0008 718Bh	ICU	DTC起動許可レジスタ 139	DT CER139	8	8	2ICLK	
0008 718Ch	ICU	DTC起動許可レジスタ 140	DT CER140	8	8	2ICLK	
0008 718Dh	ICU	DTC起動許可レジスタ 141	DT CER141	8	8	2ICLK	
0008 718Eh	ICU	DTC起動許可レジスタ 142	DT CER142	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧(7 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 718Fh	ICU	DTC起動許可レジスタ 143	DTCER143	8	8	2ICLK	
0008 7190h	ICU	DTC起動許可レジスタ 144	DTCER144	8	8	2ICLK	
0008 7191h	ICU	DTC起動許可レジスタ 145	DTCER145	8	8	2ICLK	
0008 7193h	ICU	DTC起動許可レジスタ 147	DTCER147	8	8	2ICLK	
0008 7194h	ICU	DTC起動許可レジスタ 148	DTCER148	8	8	2ICLK	
0008 7197h	ICU	DTC起動許可レジスタ 151	DTCER151	8	8	2ICLK	
0008 7198h	ICU	DTC起動許可レジスタ 152	DTCER152	8	8	2ICLK	
0008 719Bh	ICU	DTC起動許可レジスタ 155	DTCER155	8	8	2ICLK	
0008 719Ch	ICU	DTC起動許可レジスタ 156	DTCER156	8	8	2ICLK	
0008 719Dh	ICU	DTC起動許可レジスタ 157	DTCER157	8	8	2ICLK	
0008 719Eh	ICU	DTC起動許可レジスタ 158	DTCER158	8	8	2ICLK	
0008 71A0h	ICU	DTC起動許可レジスタ 160	DTCER160	8	8	2ICLK	
0008 71A1h	ICU	DTC起動許可レジスタ 161	DTCER161	8	8	2ICLK	
0008 71A4h	ICU	DTC起動許可レジスタ 164	DTCER164	8	8	2ICLK	
0008 71A5h	ICU	DTC起動許可レジスタ 165	DTCER165	8	8	2ICLK	
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK	
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK	
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK	
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK	
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK	
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK	
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK	
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK	
0008 71BBh	ICU	DTC起動許可レジスタ 187	DTCER187	8	8	2ICLK	
0008 71BCh	ICU	DTC起動許可レジスタ 188	DTCER188	8	8	2ICLK	
0008 71BFh	ICU	DTC起動許可レジスタ 191	DTCER191	8	8	2ICLK	
0008 71C0h	ICU	DTC起動許可レジスタ 192	DTCER192	8	8	2ICLK	
0008 71C3h	ICU	DTC起動許可レジスタ 195	DTCER195	8	8	2ICLK	
0008 71C4h	ICU	DTC起動許可レジスタ 196	DTCER196	8	8	2ICLK	
0008 71C6h	ICU	DTC起動許可レジスタ 198	DTCER198	8	8	2ICLK	
0008 71C7h	ICU	DTC起動許可レジスタ 199	DTCER199	8	8	2ICLK	
0008 71C8h	ICU	DTC起動許可レジスタ 200	DTCER200	8	8	2ICLK	
0008 71C9h	ICU	DTC起動許可レジスタ 201	DTCER201	8	8	2ICLK	
0008 71CFh	ICU	DTC起動許可レジスタ 207	DTCER207	8	8	2ICLK	
0008 71D0h	ICU	DTC起動許可レジスタ 208	DTCER208	8	8	2ICLK	
0008 71D3h	ICU	DTC起動許可レジスタ 211	DTCER211	8	8	2ICLK	
0008 71D4h	ICU	DTC起動許可レジスタ 212	DTCER212	8	8	2ICLK	
0008 71D7h	ICU	DTC起動許可レジスタ 215	DTCER215	8	8	2ICLK	
0008 71D8h	ICU	DTC起動許可レジスタ 216	DTCER216	8	8	2ICLK	
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK	
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK	
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK	
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK	
0008 71E3h	ICU	DTC起動許可レジスタ 227	DTCER227	8	8	2ICLK	
0008 71E4h	ICU	DTC起動許可レジスタ 228	DTCER228	8	8	2ICLK	
0008 71E7h	ICU	DTC起動許可レジスタ 231	DTCER231	8	8	2ICLK	
0008 71E8h	ICU	DTC起動許可レジスタ 232	DTCER232	8	8	2ICLK	
0008 71EBh	ICU	DTC起動許可レジスタ 235	DTCER235	8	8	2ICLK	
0008 71ECh	ICU	DTC起動許可レジスタ 236	DTCER236	8	8	2ICLK	
0008 71EFh	ICU	DTC起動許可レジスタ 239	DTCER239	8	8	2ICLK	
0008 71F0h	ICU	DTC起動許可レジスタ 240	DTCER240	8	8	2ICLK	
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK	
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK	
0008 71FBh	ICU	DTC起動許可レジスタ 251	DTCER251	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (8 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 71FCh	ICU	DTC起動許可レジスタ 252	DT CER252	8	8	2ICLK	
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK	
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK	
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK	
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK	
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK	
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK	
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK	
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK	
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK	
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK	
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK	
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK	
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK	
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK	
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK	
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK	
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK	
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK	
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK	
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 058	IPR058	8	8	2ICLK	
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059	IPR059	8	8	2ICLK	
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK	
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (9 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK	
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK	
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK	
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK	
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK	
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK	
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK	
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK	
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK	
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK	
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK	
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK	
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK	
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK	
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK	
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK	
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK	
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK	
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK	
0008 7393h	ICU	割り込み要因プライオリティレジスタ 147	IPR147	8	8	2ICLK	
0008 7395h	ICU	割り込み要因プライオリティレジスタ 149	IPR149	8	8	2ICLK	
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK	
0008 7399h	ICU	割り込み要因プライオリティレジスタ 153	IPR153	8	8	2ICLK	
0008 739Bh	ICU	割り込み要因プライオリティレジスタ 155	IPR155	8	8	2ICLK	
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK	
0008 73A0h	ICU	割り込み要因プライオリティレジスタ 160	IPR160	8	8	2ICLK	
0008 73A2h	ICU	割り込み要因プライオリティレジスタ 162	IPR162	8	8	2ICLK	
0008 73A4h	ICU	割り込み要因プライオリティレジスタ 164	IPR164	8	8	2ICLK	
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK	
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK	
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK	
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK	
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK	
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK	
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK	
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK	
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2ICLK	
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2ICLK	
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK	
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK	
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK	
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK	
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2ICLK	
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210	IPR210	8	8	2ICLK	
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK	
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK	
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK	
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK	
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2ICLK	
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK	
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK	
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (10 / 27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK < PCLKの場合
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK	
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK	
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK	
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK	
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK	
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK	
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK	
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2ICLK	
0008 7400h	ICU	DMAC起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK	
0008 7404h	ICU	DMAC起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK	
0008 7408h	ICU	DMAC起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK	
0008 740Ch	ICU	DMAC起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK	
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK	
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK	
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK	
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK	
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK	
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK	
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK	
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK	
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK	
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK	
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8034h	IWDT	IWDTステータスレジスタ	IWDSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDCSTPR	8	8	2 ~ 3PCLKB	2ICLK
0008 80C0h	DA	D/Aデータレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK
0008 80C2h	DA	D/Aデータレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (1 1 / 2 7)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK
0008 8100h	TPU	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 8101h	TPU	タイマシンクロレジスタ	TSYR	8	8	2 ~ 3PCLKB	2ICLK
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (12 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(13/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK<PCLKの場合
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK
0008 8380h	RSPi0	RSPi制御レジスタ	SPCR	8	8	2~3PCLKB	2ICLK
0008 8381h	RSPi0	RSPiスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	2ICLK
0008 8382h	RSPi0	RSPi端子制御レジスタ	SPPCR	8	8	2~3PCLKB	2ICLK
0008 8383h	RSPi0	RSPiステータスレジスタ	SPSR	8	8	2~3PCLKB	2ICLK
0008 8384h	RSPi0	RSPiデータレジスタ	SPDR	32	16、32	2~3PCLKB	2ICLK
0008 8388h	RSPi0	RSPiシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	2ICLK
0008 8389h	RSPi0	RSPiシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	2ICLK
0008 838Ah	RSPi0	RSPiビットレートレジスタ	SPBR	8	8	2~3PCLKB	2ICLK
0008 838Bh	RSPi0	RSPiデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	2ICLK
0008 838Ch	RSPi0	RSPiクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	2ICLK
0008 838Dh	RSPi0	RSPiスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	2ICLK
0008 838Eh	RSPi0	RSPi次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	2ICLK
0008 838Fh	RSPi0	RSPi制御レジスタ2	SPCR2	8	8	2~3PCLKB	2ICLK
0008 8390h	RSPi0	RSPiコマンドレジスタ0	SPCMD0	16	16	2~3PCLKB	2ICLK
0008 8392h	RSPi0	RSPiコマンドレジスタ1	SPCMD1	16	16	2~3PCLKB	2ICLK
0008 8394h	RSPi0	RSPiコマンドレジスタ2	SPCMD2	16	16	2~3PCLKB	2ICLK
0008 8396h	RSPi0	RSPiコマンドレジスタ3	SPCMD3	16	16	2~3PCLKB	2ICLK
0008 8398h	RSPi0	RSPiコマンドレジスタ4	SPCMD4	16	16	2~3PCLKB	2ICLK
0008 839Ah	RSPi0	RSPiコマンドレジスタ5	SPCMD5	16	16	2~3PCLKB	2ICLK
0008 839Ch	RSPi0	RSPiコマンドレジスタ6	SPCMD6	16	16	2~3PCLKB	2ICLK
0008 839Eh	RSPi0	RSPiコマンドレジスタ7	SPCMD7	16	16	2~3PCLKB	2ICLK
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2~3PCLKB	2ICLK
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2~3PCLKB	2ICLK
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2~3PCLKB	2ICLK
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2~3PCLKB	2ICLK
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2~3PCLKB	2ICLK
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2~3PCLKB	2ICLK
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2~3PCLKB	2ICLK
0008 8622h	MTU	タイマ周期パッファレジスタ	TCBR	16	16	2~3PCLKB	2ICLK
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(14/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKB	2ICLK
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKB	2ICLK
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKB	2ICLK
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKB	2ICLK
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKB	2ICLK
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKB	2ICLK
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKB	2ICLK
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKB	2ICLK
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKB	2ICLK
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKB	2ICLK
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKB	2ICLK
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKB	2ICLK
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKB	2ICLK
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKB	2ICLK
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKB	2ICLK
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKB	2ICLK
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKB	2ICLK
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKB	2ICLK
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(15/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKB	2ICLK
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKB	2ICLK
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKB	2ICLK
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKB	2ICLK
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKB	2ICLK
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKB	2ICLK
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKB	2ICLK
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKB	2ICLK
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKB	2ICLK
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKB	2ICLK
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKB	2ICLK
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKB	2ICLK
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	2ICLK
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKB	2ICLK
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2~3PCLKB	2ICLK
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2~3PCLKB	2ICLK
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2~3PCLKB	2ICLK
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK
0008 9004h	S12AD	A/Dチャンネル選択レジスタA	ADANSA	16	16	2~3PCLKB	2ICLK
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	2ICLK
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK
0008 9014h	S12AD	A/Dチャンネル選択レジスタB	ADANSB	16	16	2~3PCLKB	2ICLK
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB	2ICLK
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	2ICLK
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2~3PCLKB	2ICLK
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2~3PCLKB	2ICLK
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2~3PCLKB	2ICLK
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2~3PCLKB	2ICLK
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2~3PCLKB	2ICLK
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2~3PCLKB	2ICLK
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2~3PCLKB	2ICLK
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (16 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 9061h	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB	2ICLK
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	2ICLK
0008 9070h	S12AD	A/DサンプリングステートレジスタT	ADSSSTRT	8	8	2 ~ 3PCLKB	2ICLK
0008 9071h	S12AD	A/DサンプリングステートレジスタO	ADSSSTRO	8	8	2 ~ 3PCLKB	2ICLK
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSSTR1	8	8	2 ~ 3PCLKB	2ICLK
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSSTR2	8	8	2 ~ 3PCLKB	2ICLK
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSSTR3	8	8	2 ~ 3PCLKB	2ICLK
0008 9076h	S12AD	A/Dサンプリングステートレジスタ4	ADSSSTR4	8	8	2 ~ 3PCLKB	2ICLK
0008 9077h	S12AD	A/Dサンプリングステートレジスタ5	ADSSSTR5	8	8	2 ~ 3PCLKB	2ICLK
0008 9078h	S12AD	A/Dサンプリングステートレジスタ6	ADSSSTR6	8	8	2 ~ 3PCLKB	2ICLK
0008 9079h	S12AD	A/Dサンプリングステートレジスタ7	ADSSSTR7	8	8	2 ~ 3PCLKB	2ICLK
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A000h	SCIO	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A001h	SCIO	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A002h	SCIO	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A003h	SCIO	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A004h	SCIO	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A005h	SCIO	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A006h	SCIO	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A007h	SCIO	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A008h	SCIO	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A009h	SCIO	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Ah	SCIO	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Bh	SCIO	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Ch	SCIO	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Dh	SCIO	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEM	8	8	2 ~ 3PCLKB	2ICLK
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (17 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A089h	SCI4	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A08Ah	SCI4	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A08Bh	SCI4	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A08Ch	SCI4	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (18 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A140h	SCI10	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A141h	SCI10	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A142h	SCI10	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A143h	SCI10	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A144h	SCI10	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A145h	SCI10	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A146h	SCI10	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A147h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A148h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A149h	SCI10	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (19 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 A14Ah	SCI10	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A14Bh	SCI10	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A14Ch	SCI10	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A14Dh	SCI10	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A160h	SCI11	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A161h	SCI11	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A162h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A163h	SCI11	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A164h	SCI11	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A165h	SCI11	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A166h	SCI11	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A167h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A168h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A169h	SCI11	I ² C モードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A16Ah	SCI11	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A16Bh	SCI11	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A16Ch	SCI11	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A16Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B000h	CAC	CACコントロールレジスタ 0	CACR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B001h	CAC	CACコントロールレジスタ 1	CACR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B002h	CAC	CACコントロールレジスタ 2	CACR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2 ~ 3PCLKB	2ICLK
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB	2ICLK
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB	2ICLK
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB	2ICLK
0008 B00Ah	CAC	CACカウンタバフファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB	2ICLK
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB	2ICLK
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB	2ICLK
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B102h	ELC	イベントリンク設定レジスタ 1	ELSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B103h	ELC	イベントリンク設定レジスタ 2	ELSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B104h	ELC	イベントリンク設定レジスタ 3	ELSR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B105h	ELC	イベントリンク設定レジスタ 4	ELSR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B108h	ELC	イベントリンク設定レジスタ 7	ELSR7	8	8	2 ~ 3PCLKB	2ICLK
0008 B10Bh	ELC	イベントリンク設定レジスタ 10	ELSR10	8	8	2 ~ 3PCLKB	2ICLK
0008 B10Dh	ELC	イベントリンク設定レジスタ 12	ELSR12	8	8	2 ~ 3PCLKB	2ICLK
0008 B110h	ELC	イベントリンク設定レジスタ 15	ELSR15	8	8	2 ~ 3PCLKB	2ICLK
0008 B111h	ELC	イベントリンク設定レジスタ 16	ELSR16	8	8	2 ~ 3PCLKB	2ICLK
0008 B113h	ELC	イベントリンク設定レジスタ 18	ELSR18	8	8	2 ~ 3PCLKB	2ICLK
0008 B114h	ELC	イベントリンク設定レジスタ 19	ELSR19	8	8	2 ~ 3PCLKB	2ICLK
0008 B115h	ELC	イベントリンク設定レジスタ 20	ELSR20	8	8	2 ~ 3PCLKB	2ICLK
0008 B116h	ELC	イベントリンク設定レジスタ 21	ELSR21	8	8	2 ~ 3PCLKB	2ICLK
0008 B117h	ELC	イベントリンク設定レジスタ 22	ELSR22	8	8	2 ~ 3PCLKB	2ICLK
0008 B118h	ELC	イベントリンク設定レジスタ 23	ELSR23	8	8	2 ~ 3PCLKB	2ICLK
0008 B119h	ELC	イベントリンク設定レジスタ 24	ELSR24	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Ah	ELC	イベントリンク設定レジスタ 25	ELSR25	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Bh	ELC	イベントリンク設定レジスタ 26	ELSR26	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Ch	ELC	イベントリンク設定レジスタ 27	ELSR27	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Dh	ELC	イベントリンク設定レジスタ 28	ELSR28	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Eh	ELC	イベントリンク設定レジスタ 29	ELSR29	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Fh	ELC	イベントリンクオプション設定レジスタ A	ELOPA	8	8	2 ~ 3PCLKB	2ICLK
0008 B120h	ELC	イベントリンクオプション設定レジスタ B	ELOPB	8	8	2 ~ 3PCLKB	2ICLK
0008 B121h	ELC	イベントリンクオプション設定レジスタ C	ELOPC	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧(20/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 B122h	ELC	イベントリンクオプション設定レジスタ D	ELOPD	8	8	2 ~ 3PCLKB	2ICLK
0008 B123h	ELC	ポートグループ指定レジスタ 1	PGR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B124h	ELC	ポートグループ指定レジスタ 2	PGR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B125h	ELC	ポートグループコントロールレジスタ 1	PGC1	8	8	2 ~ 3PCLKB	2ICLK
0008 B126h	ELC	ポートグループコントロールレジスタ 2	PGC2	8	8	2 ~ 3PCLKB	2ICLK
0008 B127h	ELC	ポートバッファレジスタ 1	PDBF1	8	8	2 ~ 3PCLKB	2ICLK
0008 B128h	ELC	ポートバッファレジスタ 2	PDBF2	8	8	2 ~ 3PCLKB	2ICLK
0008 B129h	ELC	イベント接続ポート指定レジスタ 0	PEL0	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Ah	ELC	イベント接続ポート指定レジスタ 1	PEL1	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Bh	ELC	イベント接続ポート指定レジスタ 2	PEL2	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Ch	ELC	イベント接続ポート指定レジスタ 3	PEL3	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2 ~ 3PCLKB	2ICLK
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 B309h	SCI12	I ² Cモードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B30Ah	SCI12	I ² Cモードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B30Bh	SCI12	I ² Cモードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB	2ICLK
0008 B321h	SCI12	コントロールレジスタ 0	CR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B322h	SCI12	コントロールレジスタ 1	CR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B323h	SCI12	コントロールレジスタ 2	CR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B324h	SCI12	コントロールレジスタ 3	CR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB	2ICLK
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB	2ICLK
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Ah	SCI12	Control Field 0 コンパイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Eh	SCI12	Control Field 1 コンパイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB	2ICLK
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB	2ICLK
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(21/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C014h	PORTL	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C026h	PORT6	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C028h	PORT8	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Fh	PORTF	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C033h	PORTK	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C034h	PORTL	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C046h	PORT6	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C048h	PORT8	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(22/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK<PCLKの場合
0008 C04Ah	PORTA	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C04Bh	PORTB	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C04Ch	PORTC	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C04Dh	PORTD	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C04Eh	PORTE	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C04Fh	PORTF	ポート入力カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C051h	PORTH	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C052h	PORTJ	ポート入力カデータレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時2ICLK
0008 C053h	PORTK	ポート入力カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C054h	PORTL	ポート入力カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C074h	PORTL	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (23 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 C090h	PORT8	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C092h	PORT9	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C094h	PORTA	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C095h	PORTA	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C096h	PORTB	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C097h	PORTB	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C098h	PORTC	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C099h	PORTC	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C0A6h	PORTK	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C0A7h	PORTK	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D3h	PORTK	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D4h	PORTL	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E6h	PORT6	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2 ~ 3PCLKB	2ICLK
0008 C104h	MPC	アドレス出力許可レジスタ 0	PFAOE0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C105h	MPC	アドレス出力許可レジスタ 1	PFAOE1	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C106h	MPC	外部バス制御レジスタ 0	PFBCR0	8	8, 16	2 ~ 3PCLKB	2ICLK
0008 C107h	MPC	外部バス制御レジスタ 1	PFBCR1	8	8, 16	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (24 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK
0008 C17Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8	2~3PCLKB	2ICLK
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK
0008 C183h	MPC	P83端子機能制御レジスタ	P83PFS	8	8	2~3PCLKB	2ICLK
0008 C186h	MPC	P86端子機能制御レジスタ	P86PFS	8	8	2~3PCLKB	2ICLK
0008 C187h	MPC	P87端子機能制御レジスタ	P87PFS	8	8	2~3PCLKB	2ICLK
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (25 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK $<$ PCLKの 場合
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK
0008 C1BDh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK
0008 C1DAh	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8	2~3PCLKB	2ICLK
0008 C1DBh	MPC	PK3端子機能制御レジスタ	PK3PFS	8	8	2~3PCLKB	2ICLK
0008 C1DCh	MPC	PK4端子機能制御レジスタ	PK4PFS	8	8	2~3PCLKB	2ICLK
0008 C1DDh	MPC	PK5端子機能制御レジスタ	PK5PFS	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(26/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK
0008 C28Fh	SYSTEM	フラッシュ HOCOソフトウェアスタンバイコントロール レジスタ	FHSSBYCR	8	8	4~5PCLKB	2~3ICLK
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK
0008 C295h	SYSTEM	PLL電源コントロールレジスタ	PLLPCR	8	8	4~5PCLKB	2~3ICLK
0008 C296h	FLASH	フラッシュライトイネーブルプロテクトレジスタ	FWEPOR	8	8	4~5PCLKB	2~3ICLK
0008 C297h	SYSTEM	電圧監視回路/コンパレータA制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK
0008 C29Ah	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK
0008 C29Bh	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK
0008 C2A0h~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~31	DPSBKR0~31	8	8	4~5PCLKB	2~3ICLK
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	2ICLK
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	2ICLK
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(27/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK
0008 C500h	TEMPS	温度センサコントロールレジスタ	TSCR	8	8	2~3PCLKB	2ICLK
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2~3PCLKB	2ICLK
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2~3PCLKB	2ICLK
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2~3PCLKB	2ICLK
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2~3PCLKB	2ICLK
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3FCLK	2ICLK
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3FCLK	2ICLK
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3FCLK	2ICLK
007F C412h	FLASH	フラッシュレディー割り込み許可レジスタ	FRDYIE	8	8	2~3FCLK	2ICLK
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2~3FCLK	2ICLK
007F C450h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ0	DFLWE0	16	16	2~3FCLK	2ICLK
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2~3FCLK	2ICLK
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2ICLK
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2ICLK
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2ICLK
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3FCLK	2ICLK
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3FCLK	2ICLK
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2~3FCLK	2ICLK
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2~3FCLK	2ICLK
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3FCLK	2ICLK
007F FFCh	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2~3FCLK	2ICLK
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3FCLK	2ICLK
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3FCLK	2ICLK

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。
注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in}	-0.3 ~ VCC+0.3 (注3)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in}	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH、VREFH0	-0.3 ~ VCC+0.3 (注3)	V
アナログ電源電圧	AVCC0 (注2)	-0.3 ~ +6.5	V
アナログ入力電圧	V _{AN}	-0.3 ~ VCC+0.3 (注3)	V
動作温度	T _{opr}	-40 ~ +105	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、0.1μF (±20% 精度) のコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

注1. ポート12、13、16、17は、5Vトレラント対応です。

注2. AVCC0は、VCCに接続してください。また、A/DおよびD/Aコンバータ未使用時にAVCC0、VREFH、VREFH0、AVSS0、VREFL、VREFL0端子を開放しないでください。AVCC0、VREFH、VREFH0端子はVCCに、AVSS0、VREFL、VREFL0端子はVSSにそれぞれ接続してください。

注3. 最大値は6.5Vです。

5.2 DC 特性

表5.2 DC特性 (1)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMBusを除く、 5Vトレラント)	V _{IH}	VCC × 0.7	—	5.8	V	
	ポート12, 13, 16, 17 (5Vトレ ラント)		VCC × 0.8	—	5.8		
	ポート0、ポート14, 15、 ポート2~ポート9、 ポートA~ポートL、RES#		VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBusを除く)	V _{IL}	-0.3	—	VCC × 0.3		
	RIIC入力端子以外		-0.3	—	VCC × 0.2		
	RIIC入力端子 (SMBusを除く)	ΔV _T	VCC × 0.05	—	—		
	RIIC入力端子以外		VCC × 0.1	—	—		
入力レベル電圧 (シュミットトリ ガ入力端子を除 く)	MD端子	V _{IH}	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL、WAIT#		VCC × 0.8	—	VCC + 0.3		
	D0~D15		VCC × 0.7	—	VCC + 0.3		
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3		
	MD端子	V _{IL}	-0.3	—	VCC × 0.1		
	EXTAL、WAIT#		-0.3	—	VCC × 0.2		
	D0~D15		-0.3	—	VCC × 0.3		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表5.3 DC特性 (2)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート12, 13, 16, 17 (5Vトレラント)	V _{IH}	VCC × 0.8	—	5.8	V		
	ポート0、ポート14, 15、 ポート2~ポート9、 ポートA~ポートL、RES#		VCC × 0.8	—	VCC + 0.3			
	全端子	V _{IL}	-0.3	—	VCC × 0.2			
	ポート0~ポート9、 ポートA~ポートL	ΔV _T	VCC ≥ 2.2V	VCC × 0.05	—			—
			VCC < 2.2V	VCC × 0.01	—			—
RES#		VCC × 0.1	—	—				
入力レベル 電圧 (シュミット トリガ入力端子を 除く)	MD端子	V _{IH}	VCC × 0.9	—	VCC + 0.3	V		
	EXTAL、WAIT#		VCC × 0.8	—	VCC + 0.3			
	D0~D15		VCC × 0.7	—	VCC + 0.3			
	MD端子	V _{IL}	-0.3	—	VCC × 0.1			
	EXTAL、WAIT#		-0.3	—	VCC × 0.2			
	D0~D15		-0.3	—	VCC × 0.3			

表5.4 DC特性 (3)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD端子、P35/NMI	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
スリープステートリーク電流 (オフ状態)	ポート4	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
	5Vトレラント対応ポートとポート4以外		—	—	0.2		
	5Vトレラント対応ポート		—	—	1.0		
入力容量	全入力端子 (ポート12、13、16、17、ポート4、 ポートA1、A3、A4、ポートE以外)	C_{in}	—	—	15	pF	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25^\circ\text{C}$
	ポート12、13、16、17、ポート4、 ポートA1、A3、A4、ポートE		—	—	30		

表5.5 DC特性 (4)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC						単位	測定条件	
		1.62 ~ 2.7V		2.7 ~ 4.0V		4.0 ~ 5.5V				
		min	max	min	max	min	max			
入力プルアップMOS電流	全ポート (ポート35を除く)	I_p	-150	-5	-200	-10	-400	-50	μA	$V_{in} = 0\text{V}$

[チップバージョンAの場合]

表5.6 DC特性 (5)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目				記号	typ	max	単位	測定条件			
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I_{CC}	10	—	mA				
			全周辺動作通常動作 (注3)						ICLK = 50MHz	31.5	—
			全周辺動作最大動作 (注3)						ICLK = 50MHz	—	55
		スリープモード	周辺動作なし	ICLK = 50MHz					7.5	—	
			全周辺動作通常動作	ICLK = 50MHz					17.5	—	
		全モジュールクロックストップモード	ICLK = 50MHz	6.7					—		
		BGO動作時の増加分 (注4)								25	—

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。

注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。

注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[チップバージョン A の場合]

表5.7 DC特性 (6)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	7.0	—	mA	
				ICLK = 20MHz (注3)		6.0	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		26	—		
				ICLK = 20MHz (注5)		18.5	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	40		
				ICLK = 20MHz (注5)		—	30		
		スリープ モード	周辺動作なし	ICLK = 32MHz		5.0	—		
				ICLK = 20MHz		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz		15.5	—		
		全モジュールクロックストップ モード		ICLK = 32MHz		4.5	—		
	ICLK = 20MHz			4.3	—				
	BGO動作時の 増加分 (注6)	中速動作モード1A		25	—				
		中速動作モード1B		20	—				
	低速動作モード1	通常動作 モード	周辺動作なし (注7)	ICLK = 1MHz	0.68	—			
				ICLK = 1MHz	2.4	—			
			全周辺動作 最大動作 (注8)	ICLK = 1MHz	—	7			
		スリープ モード	周辺動作なし	ICLK = 1MHz	0.6	—			
				ICLK = 1MHz	2	—			
		全モジュールクロックストップモード			0.58	—			
		低速動作モード2	通常動作 モード	周辺動作なし (注9)	ICLK = 32kHz	0.024	—		
	ICLK = 32kHz				0.05	—			
全周辺動作 最大動作 (注10)	ICLK = 32kHz			—	3 (注11)				
スリープ モード	周辺動作なし		ICLK = 32kHz	0.02	—				
			ICLK = 32kHz	0.04	—				
全モジュールクロックストップモード			0.018	—					

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

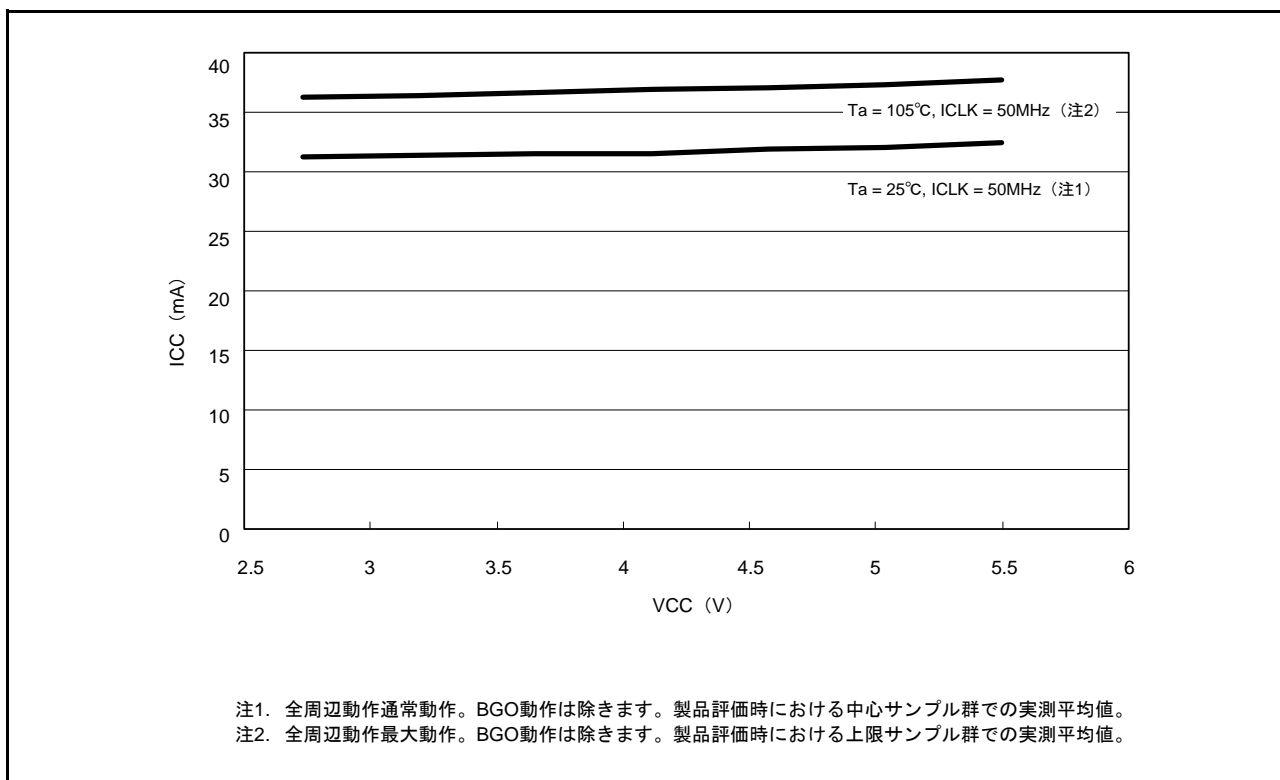


図 5.1 高速動作モードの電圧依存性 (参考データ) チップバージョン A

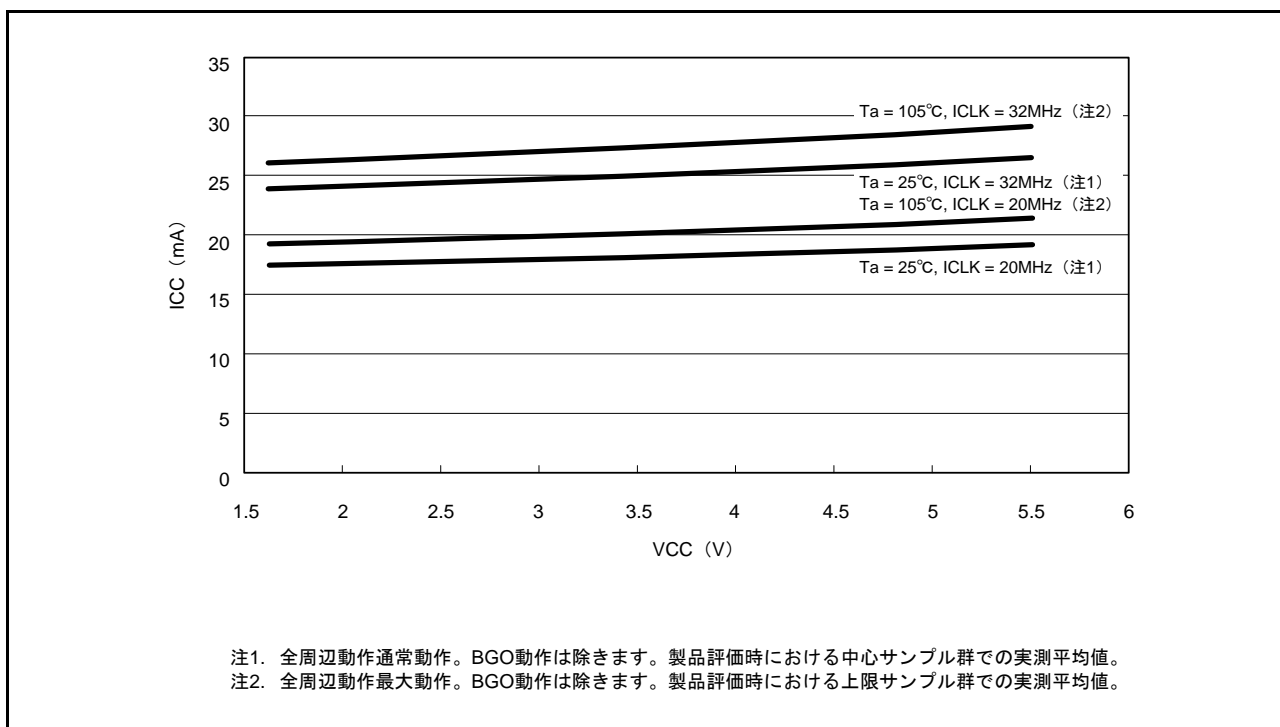


図 5.2 中速動作モード 1A、1B の電圧依存性 (参考データ) チップバージョン A

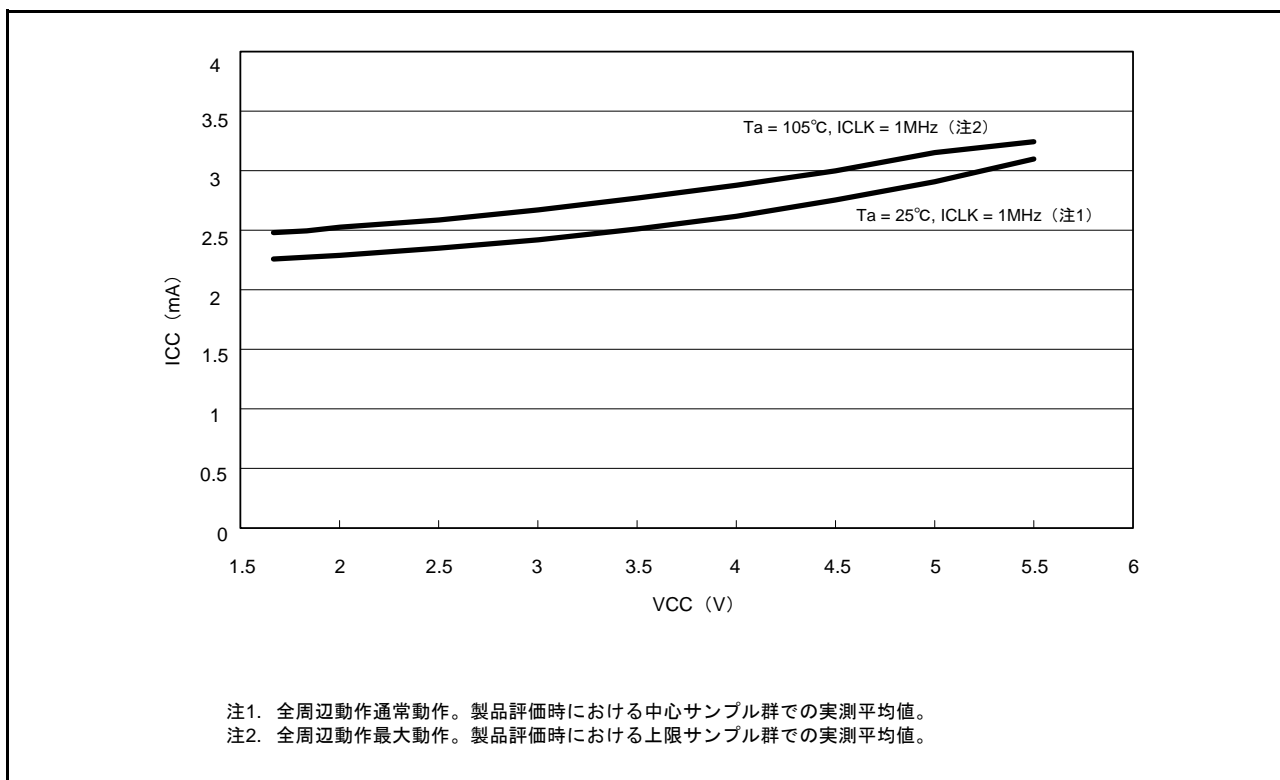


図 5.3 低速動作モード1の電圧依存性 (参考データ) チップバージョン A

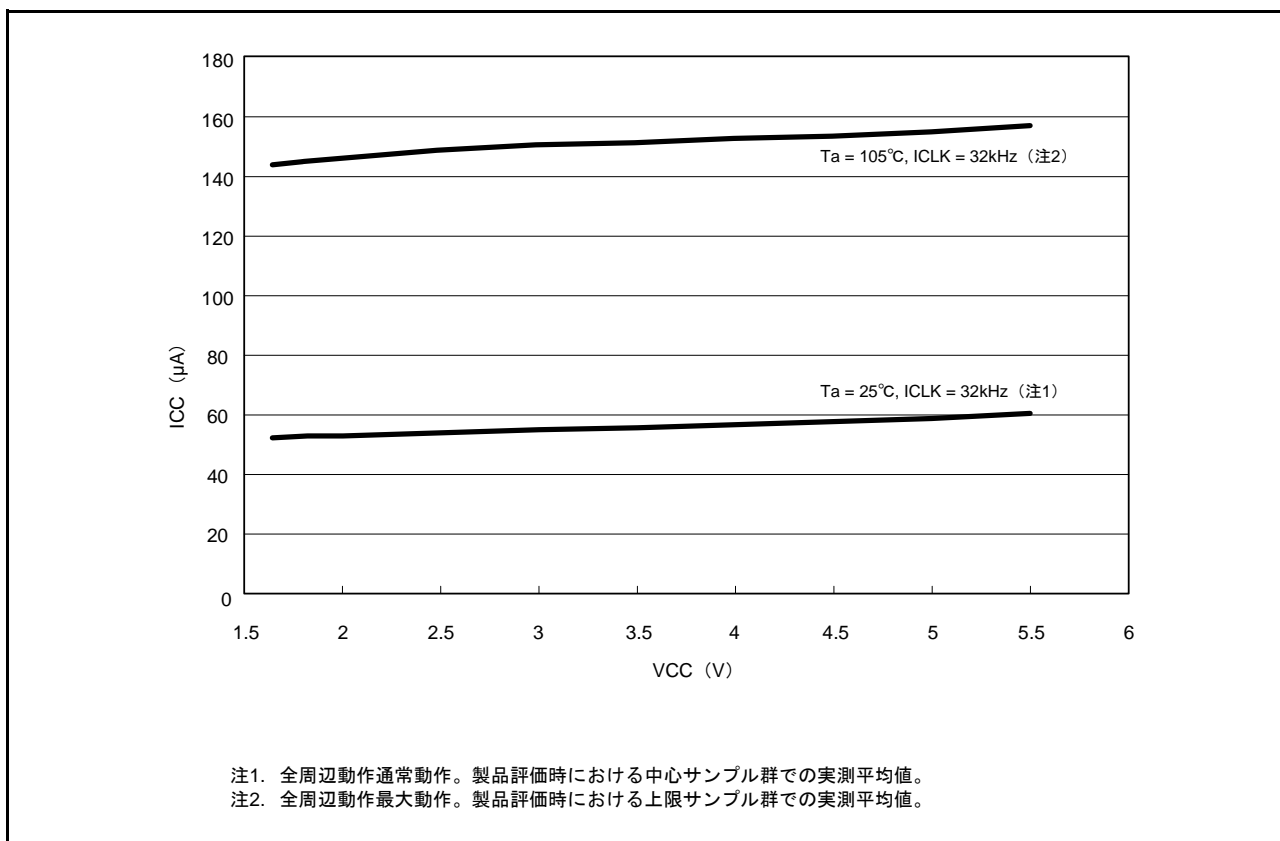


図 5.4 低速動作モード2の電圧依存性 (参考データ) チップバージョン A

[チップバージョン A の場合]

表 5.8 DC 特性 (7)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	175	—	μA	
			T _a = 25°C		3.0	—		
		フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 85°C		—	130		
			T _a = 105°C		—	150		
			T _a = 25°C		2.0	—		
		フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 111b)	T _a = 85°C		—	120		
			T _a = 105°C		—	140		
	T _a = 25°C		0.45	—				
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 85°C	—	20			
			T _a = 105°C	—	25			
			電圧検出回路動作、PORの低消費電力機能無効による増分	1.4	—			
	RTC動作の増加分 (低CLの場合)				0.8	—		
	RTC動作の増加分 (標準CLの場合)				2.0	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDT と LVD は動作停止です。

注3. VCC = 3.3V の場合です。

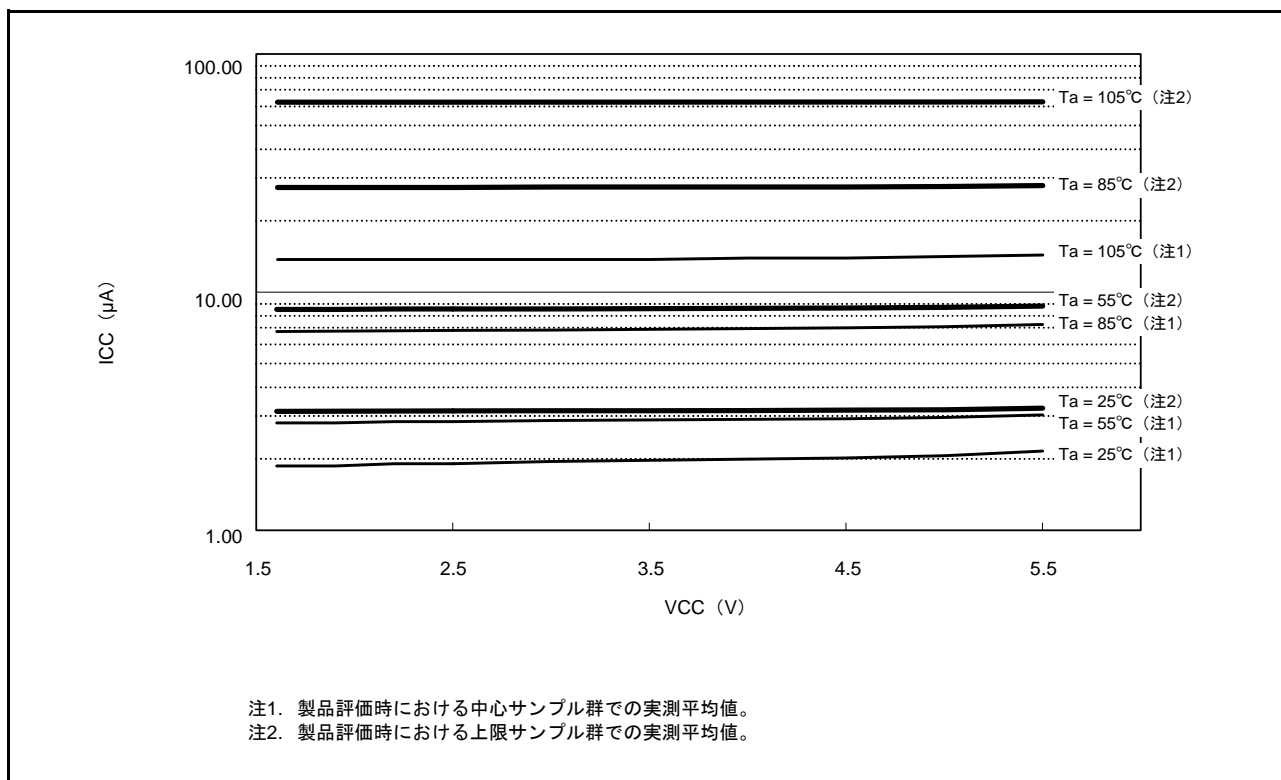


図 5.5 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の電圧依存性 (参考データ) チップバージョン A

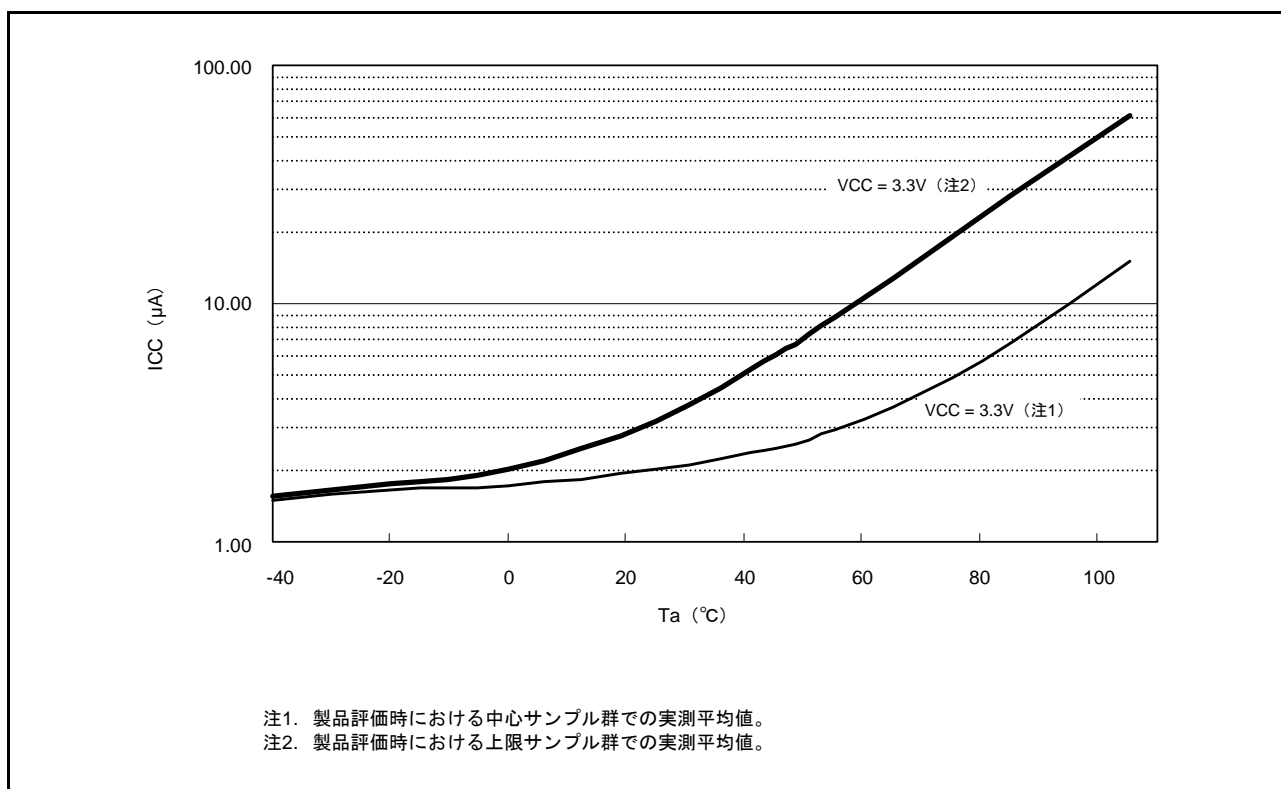


図 5.6 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の温度依存性 (参考データ) チップバージョン A

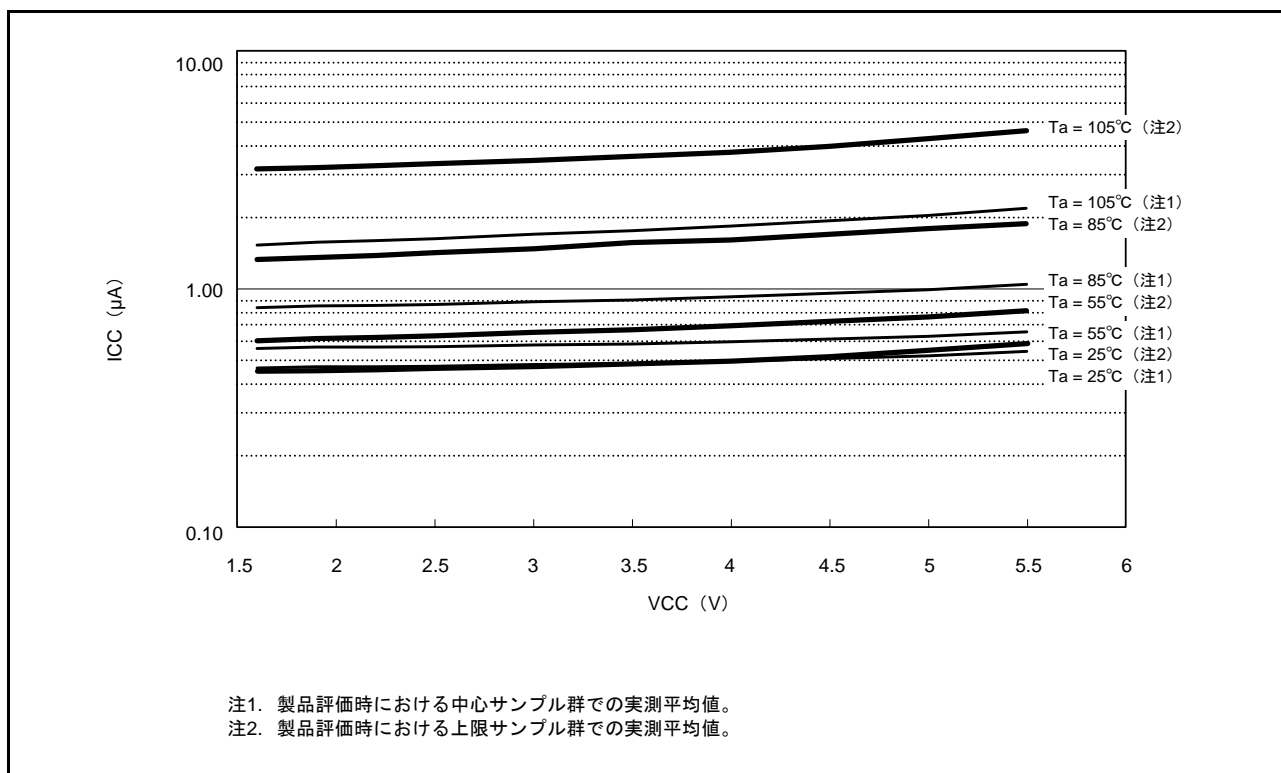


図 5.7 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン A

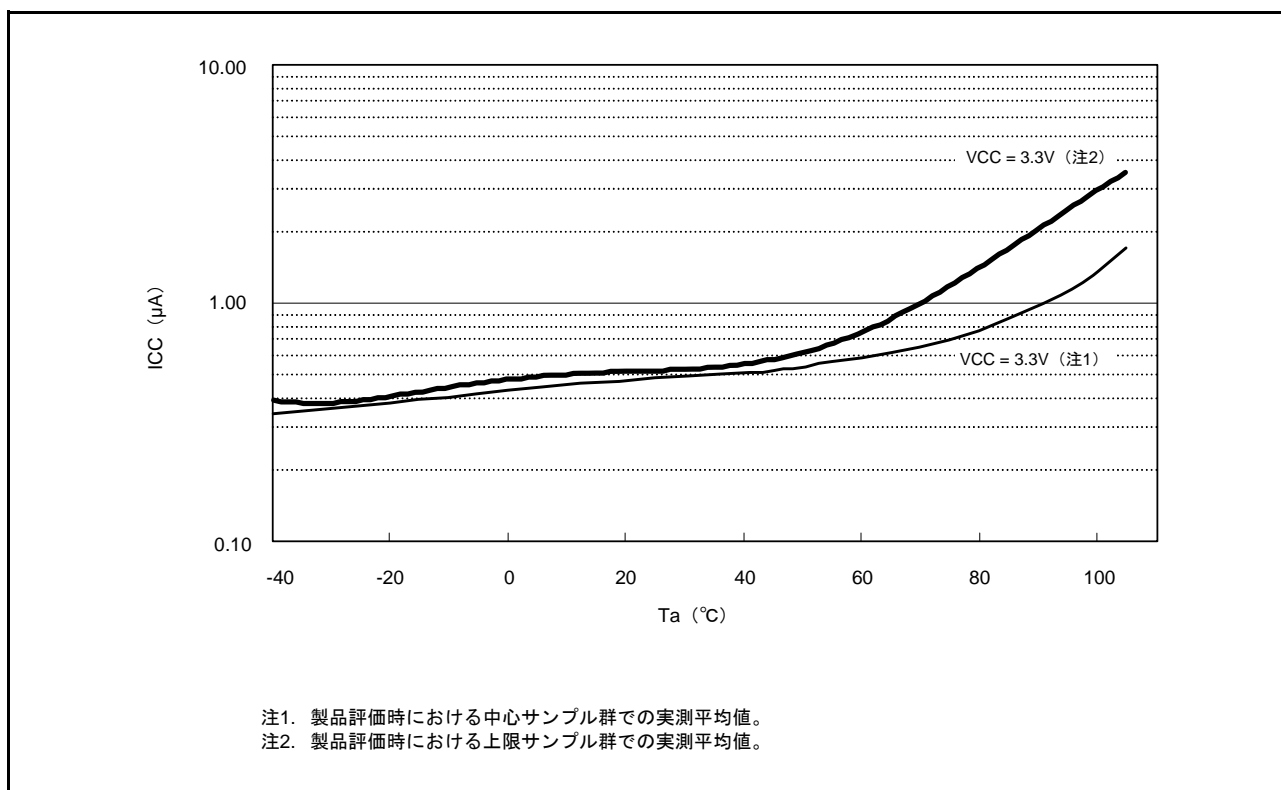


図 5.8 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン A

[チップバージョン C の場合]

表 5.9 DC 特性 (8)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ	max	単位	測定条件					
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	10	—	mA						
			全周辺動作 通常動作 (注3)						ICLK = 50MHz	31.5	—		
			全周辺動作 最大動作 (注3)						ICLK = 50MHz	—	55		
		スリープモード	周辺動作なし						ICLK = 50MHz	7.5	—		
			全周辺動作 通常動作						ICLK = 50MHz	17.5	—		
		全モジュールクロックストップ モード	ICLK = 50MHz						6.7	—			
		BGO動作時の増加分 (注4)								25	—		

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[チップバージョン C の場合]

表 5.10 DC 特性 (9)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	7.0	—	mA	
				ICLK = 20MHz (注3)		6.0	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		26	—		
				ICLK = 20MHz (注5)		18.5	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	40		
				ICLK = 20MHz (注5)		—	30		
		スリープ モード	周辺動作なし	ICLK = 32MHz		5.0	—		
				ICLK = 20MHz		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz		15.5	—		
		全モジュールクロックストップ モード		ICLK = 32MHz		4.5	—		
	ICLK = 20MHz			4.3	—				
	BGO動作時の 増加分 (注6)	中速動作モード1A		25	—				
		中速動作モード1B		20	—				
	低速動作モード1	通常動作 モード	周辺動作なし (注7)	ICLK = 1MHz	0.68	—			
				ICLK = 1MHz	2.4	—			
			全周辺動作 最大動作 (注8)	ICLK = 1MHz	—	7			
		スリープ モード	周辺動作なし	ICLK = 1MHz	0.6	—			
				全周辺動作 通常動作	ICLK = 1MHz	2	—		
		全モジュールクロックストップモード			0.58	—			
		低速動作モード2	通常動作 モード	周辺動作なし (注9)	ICLK = 32kHz	0.024	—		
	ICLK = 32kHz				0.05	—			
全周辺動作 最大動作 (注10)	ICLK = 32kHz			—	3 (注11)				
スリープ モード	周辺動作なし		ICLK = 32kHz	0.02	—				
			全周辺動作 通常動作	ICLK = 32kHz	0.04	—			
全モジュールクロックストップモード			0.018	—					

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。

注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。

注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。

注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。

注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。

注11. メインクロックが12.5MHzで発振継続している場合の値です。

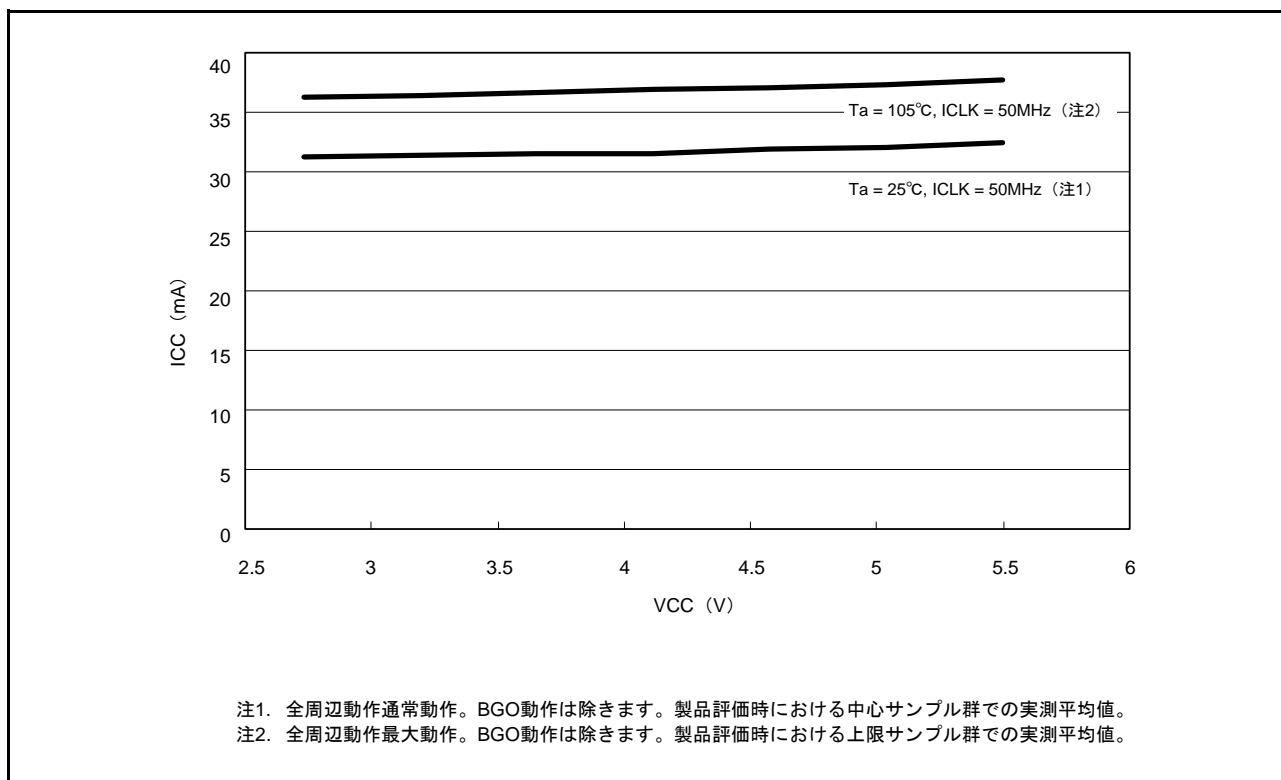


図 5.9 高速動作モードの電圧依存性 (参考データ) チップバージョン C

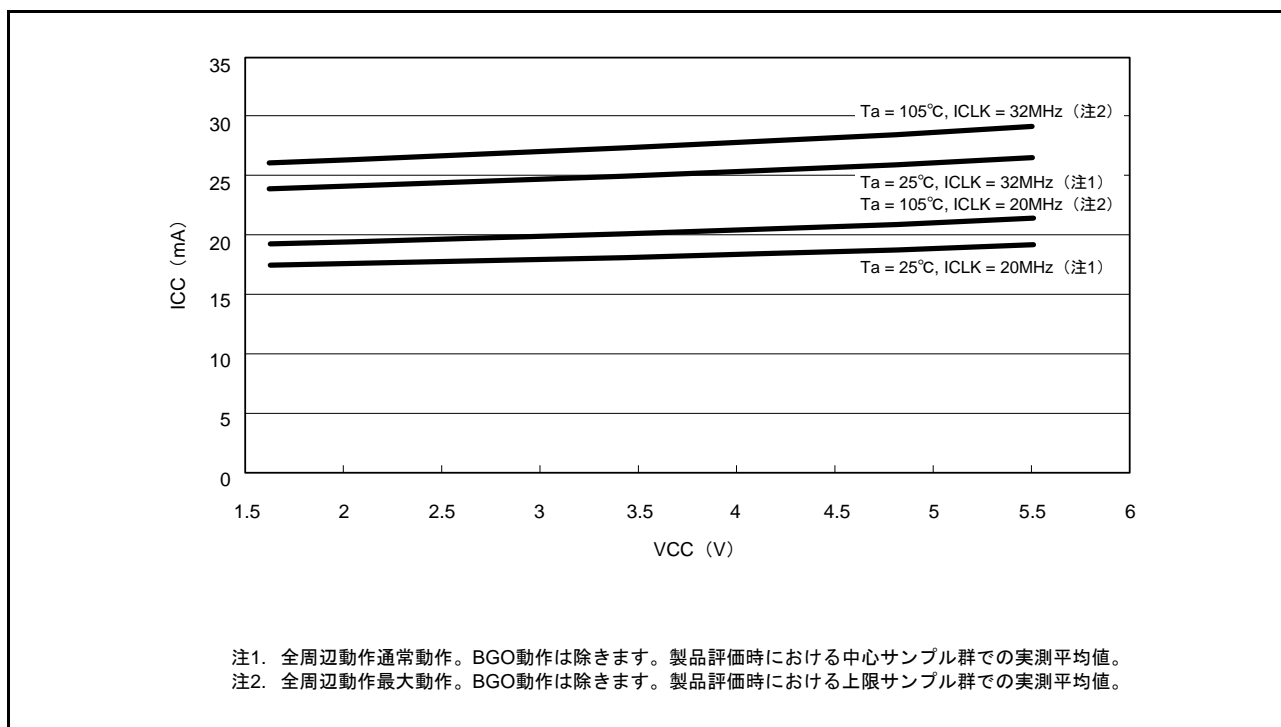


図 5.10 中速動作モード 1A、1B の電圧依存性 (参考データ) チップバージョン C

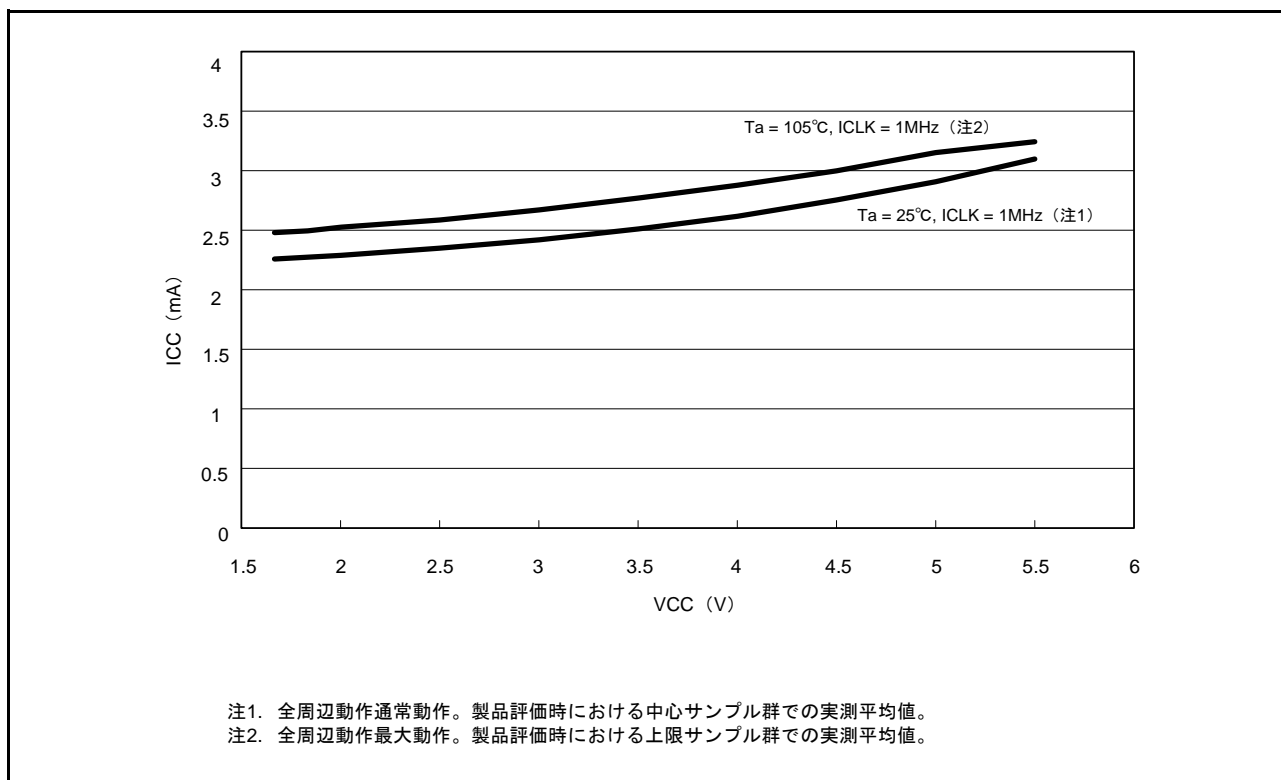


図 5.11 低速動作モード1の電圧依存性 (参考データ) チップバージョン C

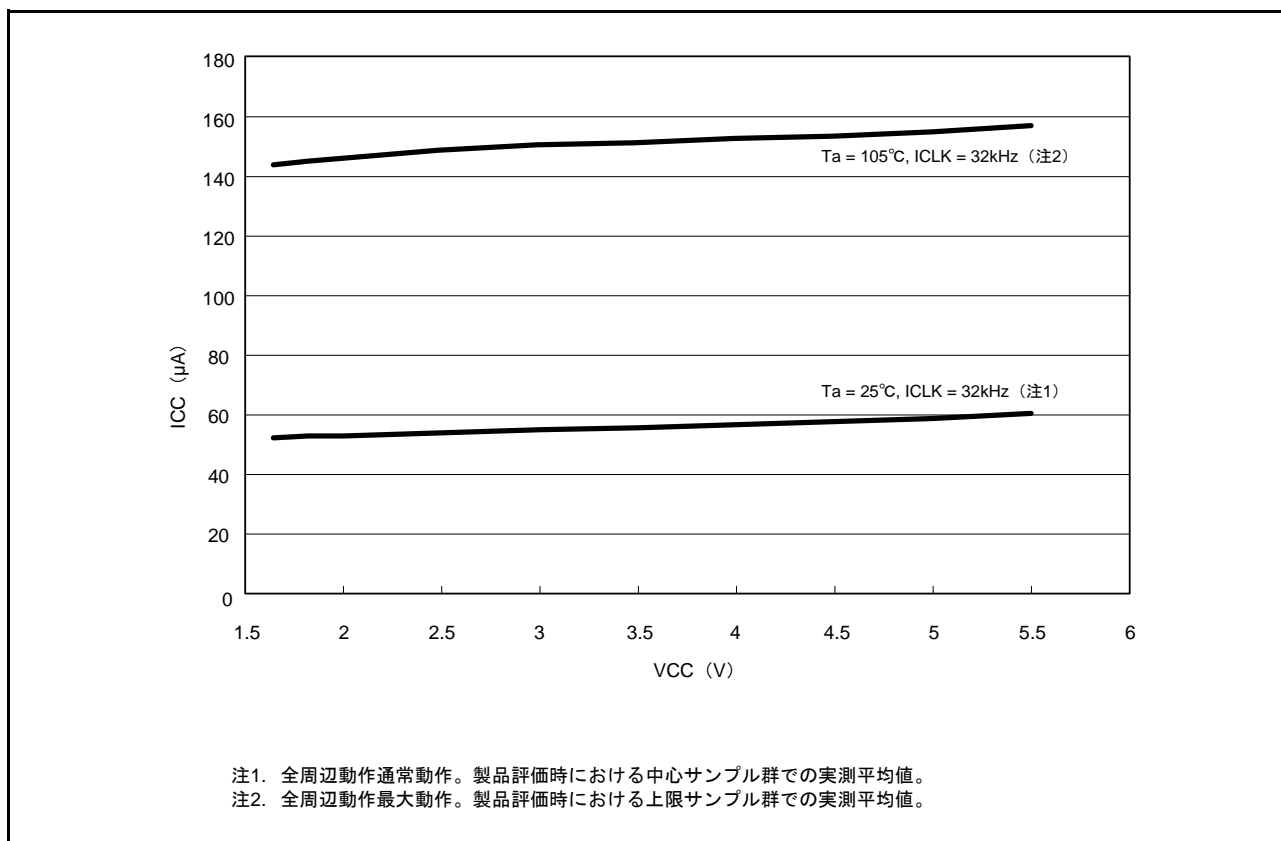


図 5.12 低速動作モード2の電圧依存性 (参考データ) チップバージョン C

[チップバージョン C の場合]

表5.11 DC特性 (10)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	160	—	μA
			T _a = 55°C		188	—	
			T _a = 85°C		220	—	
			T _a = 105°C		250	—	
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		2.6	10.5	
			T _a = 55°C		3.8	22	
			T _a = 85°C		9.0	80	
			T _a = 105°C		20	150	
	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 111b)	T _a = 25°C	2.0	8.2			
		T _a = 55°C	2.9	17			
		T _a = 85°C	6.8	53			
		T _a = 105°C	15	115			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.5	0.9		
			T _a = 55°C	0.6	1.2		
			T _a = 85°C	0.9	20		
			T _a = 105°C	1.8	25		
電圧検出回路動作、PORの低消費電力機能無効による増分				1.4	—		
RTC動作の増加分 (低CLの場合)				0.8	—		
RTC動作の増加分 (標準CLの場合)				2.0	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

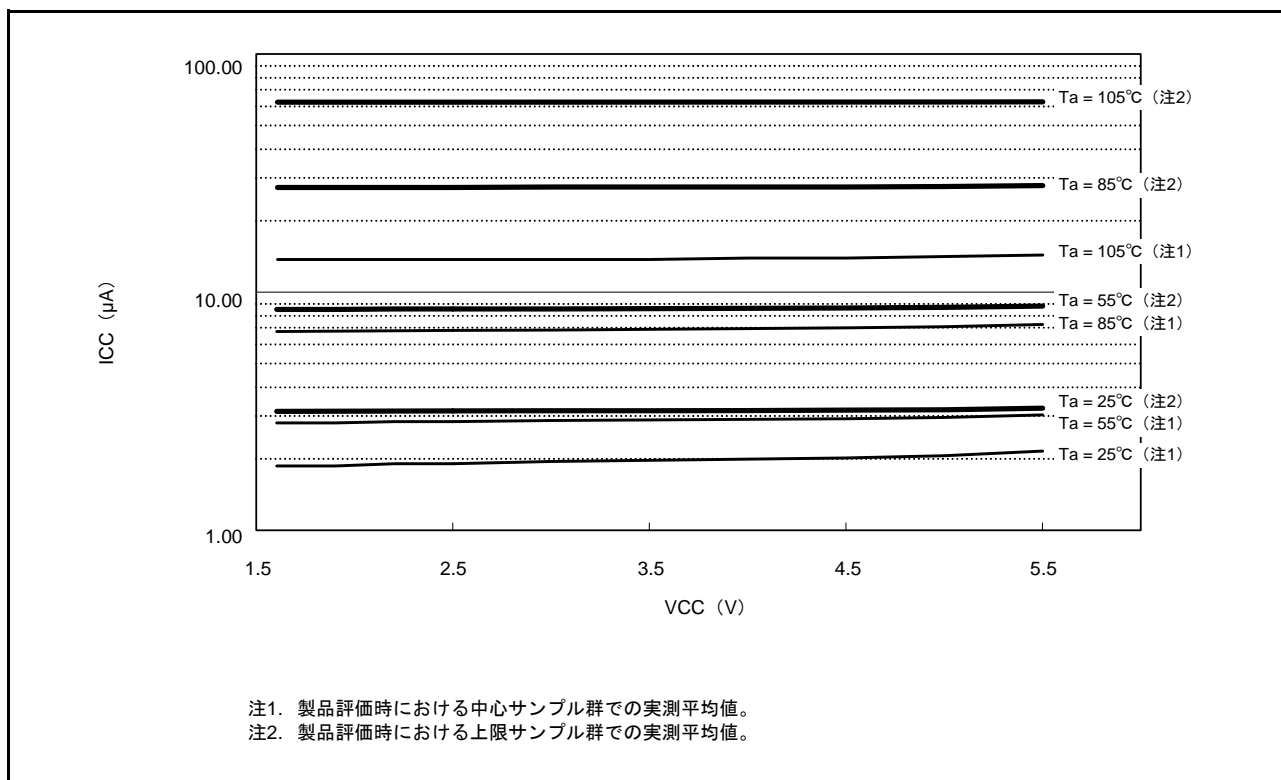


図 5.13 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の電圧依存性 (参考データ) チップバージョン C

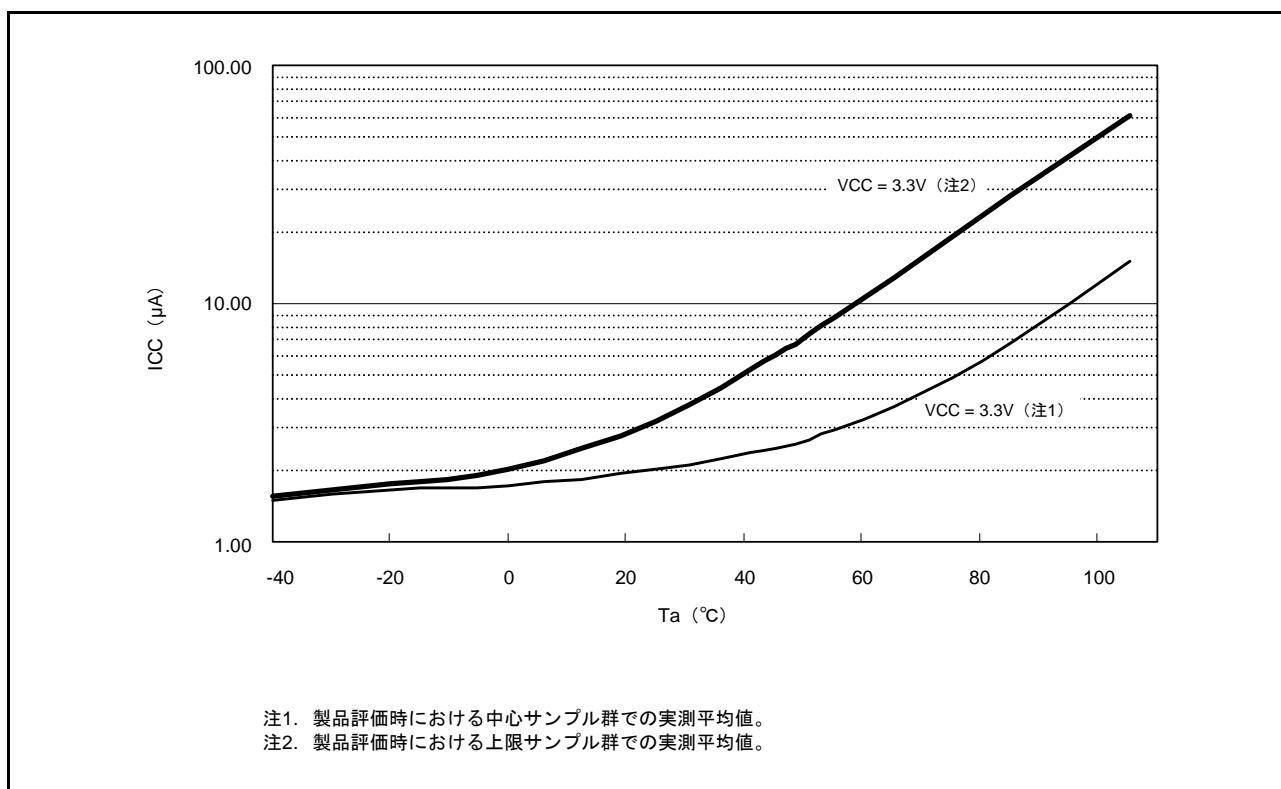


図 5.14 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の温度依存性 (参考データ) チップバージョン C

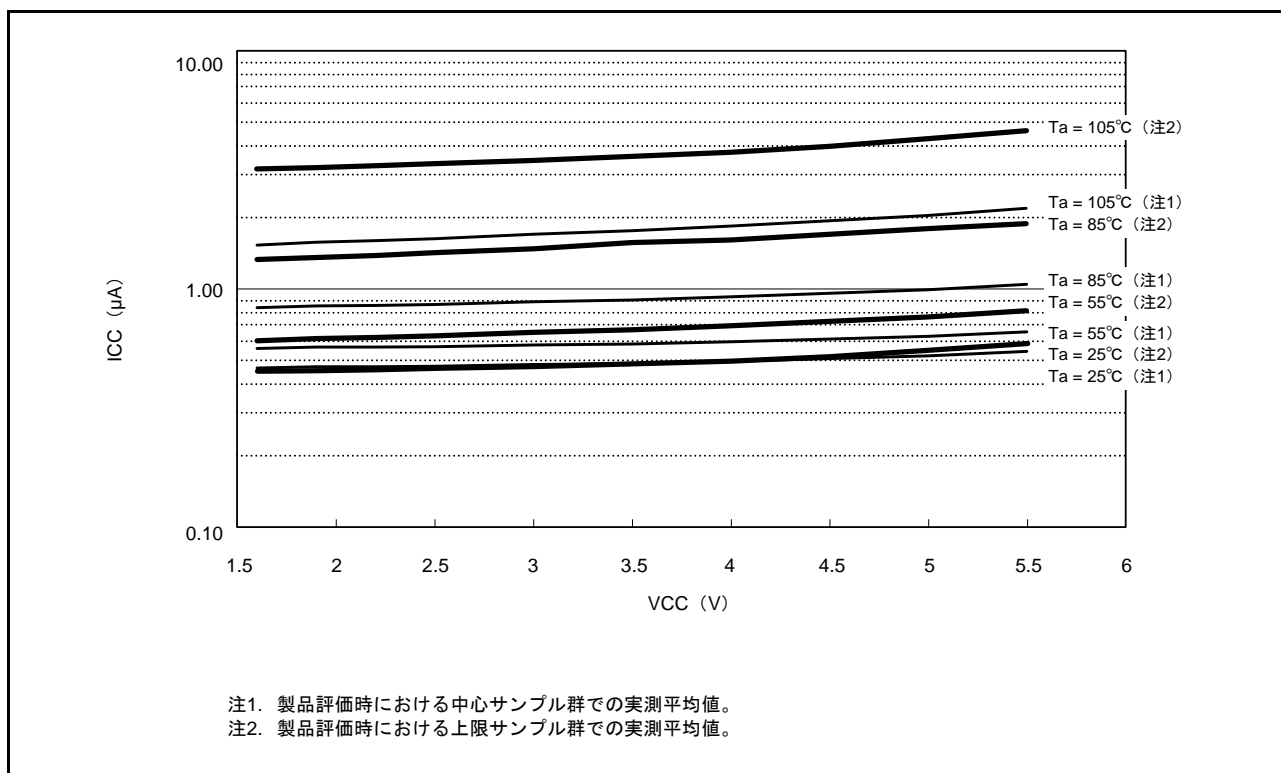


図 5.15 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン C

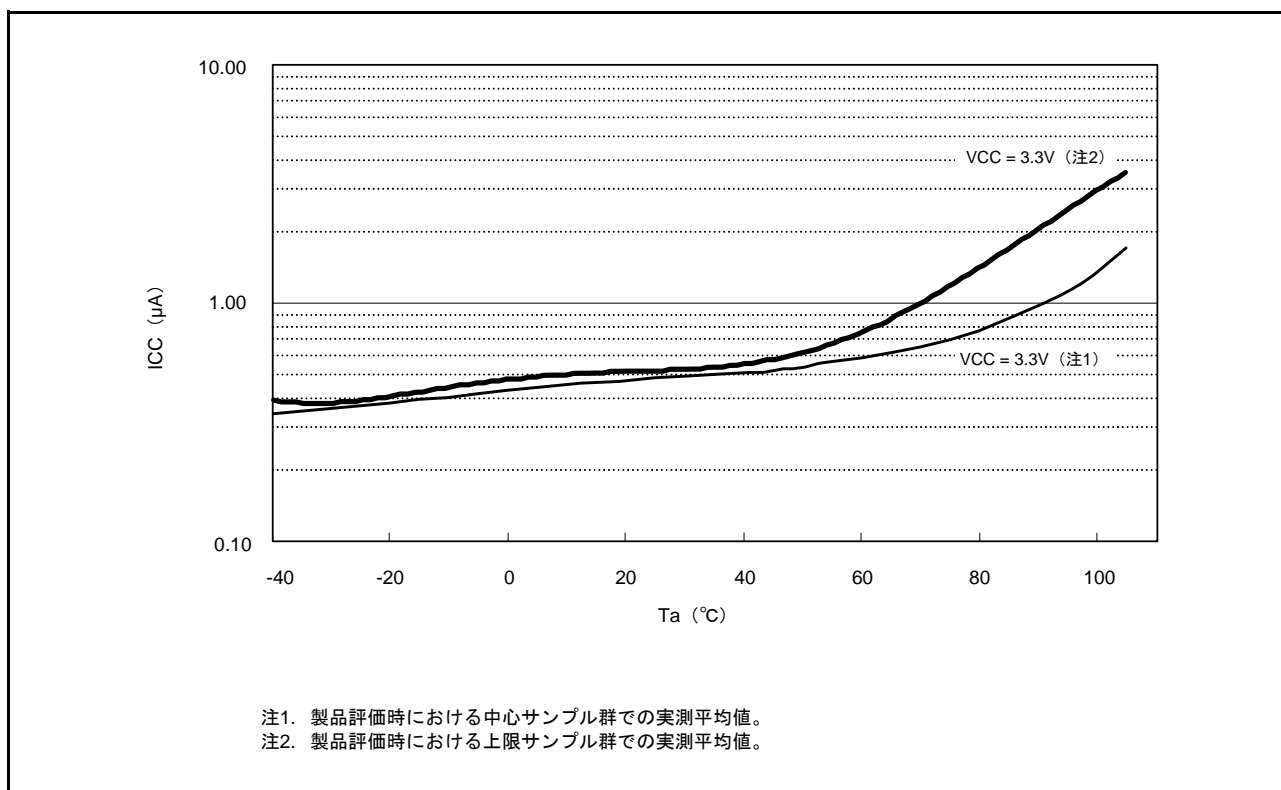


図 5.16 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン C

[256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合]

表5.12 DC特性 (11)

条件：VCC = AVCC0 = 2.7～5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40～+105°C

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 50MHz	I _{CC}	7.2	—	mA	
			全周辺動作 通常動作 (注3)	ICLK = 50MHz		23.5	—		
			全周辺動作 最大動作 (注3)	ICLK = 50MHz		—	45		
		スリープモード	周辺動作なし	ICLK = 50MHz		4.3	—		
			全周辺動作 通常動作	ICLK = 50MHz		12	—		
		全モジュールクロックストップモード					3.7		—
		BGO動作時の増加分 (注4)					20		—

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[256Kバイト以下のフラッシュメモリで48ピン~100ピンのチップバージョンBの場合]

表5.13 DC特性 (12)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40~+105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.3	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		20.1	—		
				ICLK = 20MHz (注5)		14.3	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz		3.4	—		
				ICLK = 20MHz		3.3	—		
			全周辺動作 通常動作	ICLK = 32MHz		11.5	—		
				ICLK = 20MHz		9	—		
		全モジュールロックストップ モード	ICLK = 32MHz			3	—		
			ICLK = 20MHz			3	—		
	BGO動作時の 増加分 (注6)	中速動作モード1A		17	—				
		中速動作モード1B		17	—				
	中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)	ICLK = 32MHz	4.7	—			
				ICLK = 16MHz	3.4	—			
				ICLK = 8MHz	2.7	—			
			全周辺動作 通常動作 (注4)	ICLK = 32MHz	19.6	—			
				ICLK = 16MHz	11.3	—			
				ICLK = 8MHz	7.2	—			
			全周辺動作 最大動作 (注4)	ICLK = 32MHz	—	34			
				ICLK = 16MHz	—	—			
				ICLK = 8MHz	—	—			
		スリープ モード	周辺動作なし	ICLK = 32MHz	2.8	—			
ICLK = 16MHz				2.5	—				
ICLK = 8MHz				2.2	—				
全周辺動作 通常動作			ICLK = 32MHz	11	—				
			ICLK = 16MHz	7.2	—				
			ICLK = 8MHz	5.3	—				
全モジュールロックストップ モード		ICLK = 32MHz		2.4	—				
		ICLK = 16MHz		2.2	—				
		ICLK = 8MHz		2.1	—				
BGO動作時の 増加分 (注6)	中速動作モード2A		17	—					
	中速動作モード2B		17	—					

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2	—	mA	
				ICLK = 4MHz		1.6	—		
				ICLK = 2MHz		1.5	—		
			全周辺動作通常動作 (注8)	ICLK = 8MHz		6	—		
				ICLK = 4MHz		3.8	—		
				ICLK = 2MHz		2.8	—		
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12			
			ICLK = 4MHz	—		—			
			ICLK = 2MHz	—		—			
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.4	—		
				ICLK = 2MHz		1.3	—		
	全周辺動作通常動作		ICLK = 8MHz	3.6	—				
			ICLK = 4MHz	2.7	—				
			ICLK = 2MHz	2.2	—				
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—					
		ICLK = 4MHz	1.3	—					
		ICLK = 2MHz	1.2	—					
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.021	—			
				ICLK = 32kHz	0.05	—			
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)			
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—				
		全周辺動作通常動作	ICLK = 32kHz	0.034	—				
全モジュールクロックストップモード			0.016	—					

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

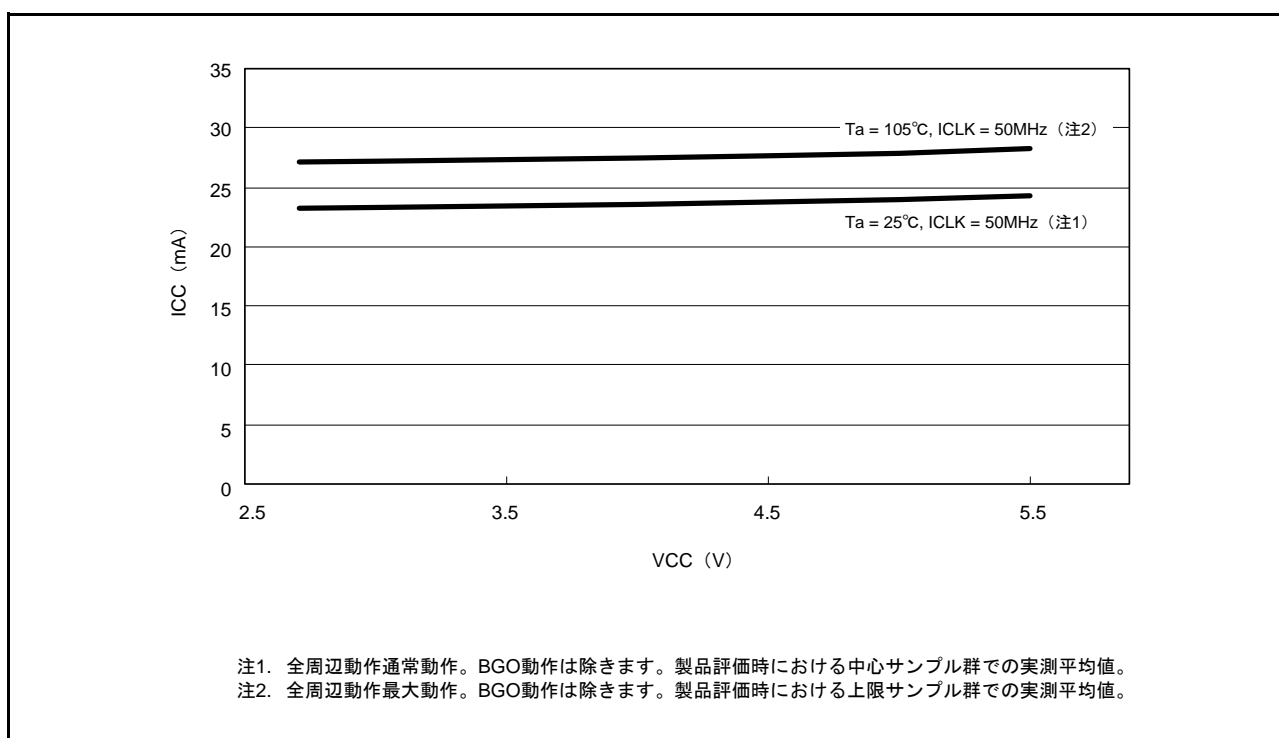


図 5.17 高速動作モードの電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

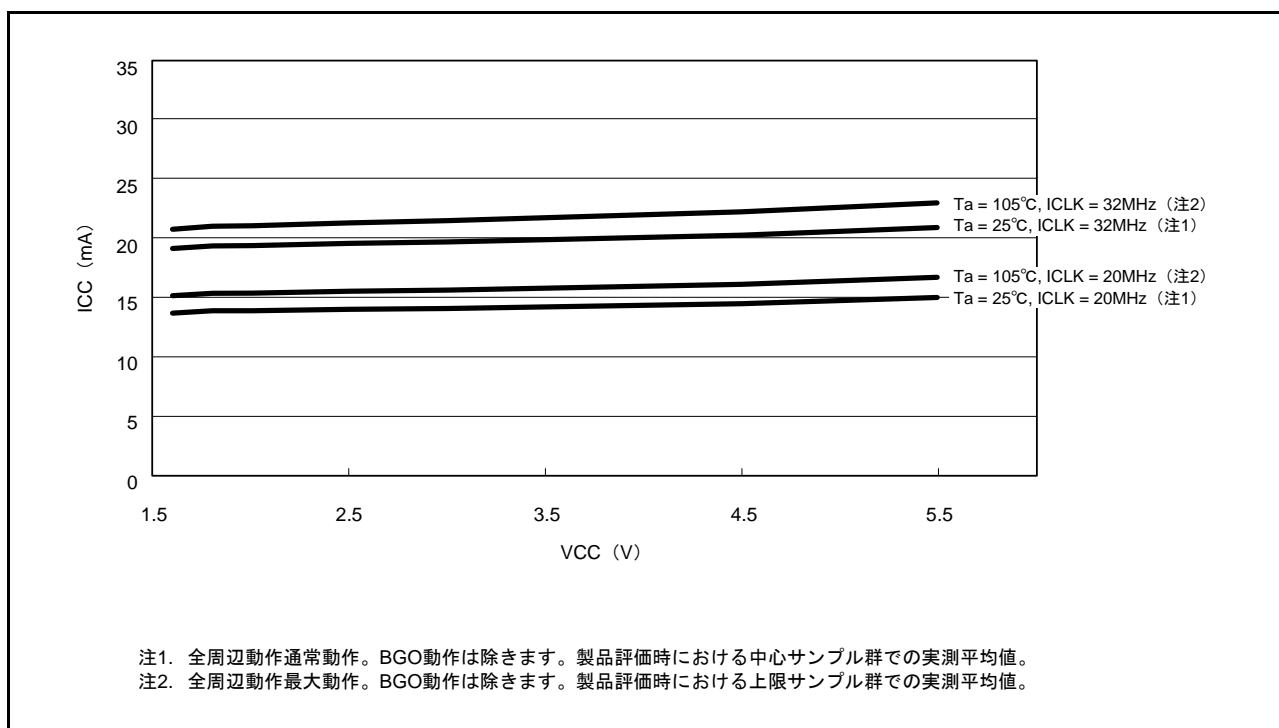


図 5.18 中速動作モード 1A、1B の電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

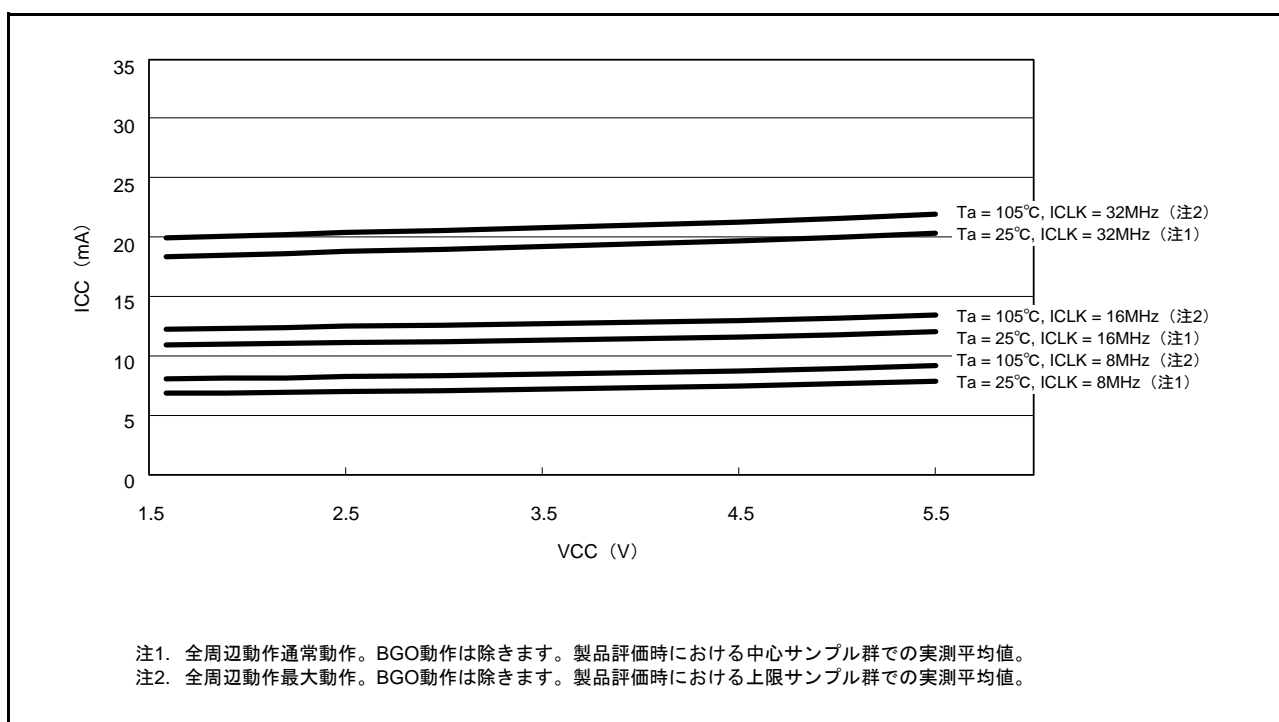


図 5.19 中速動作モード 2A、2B の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～100 ピンのチップバージョン B の場合

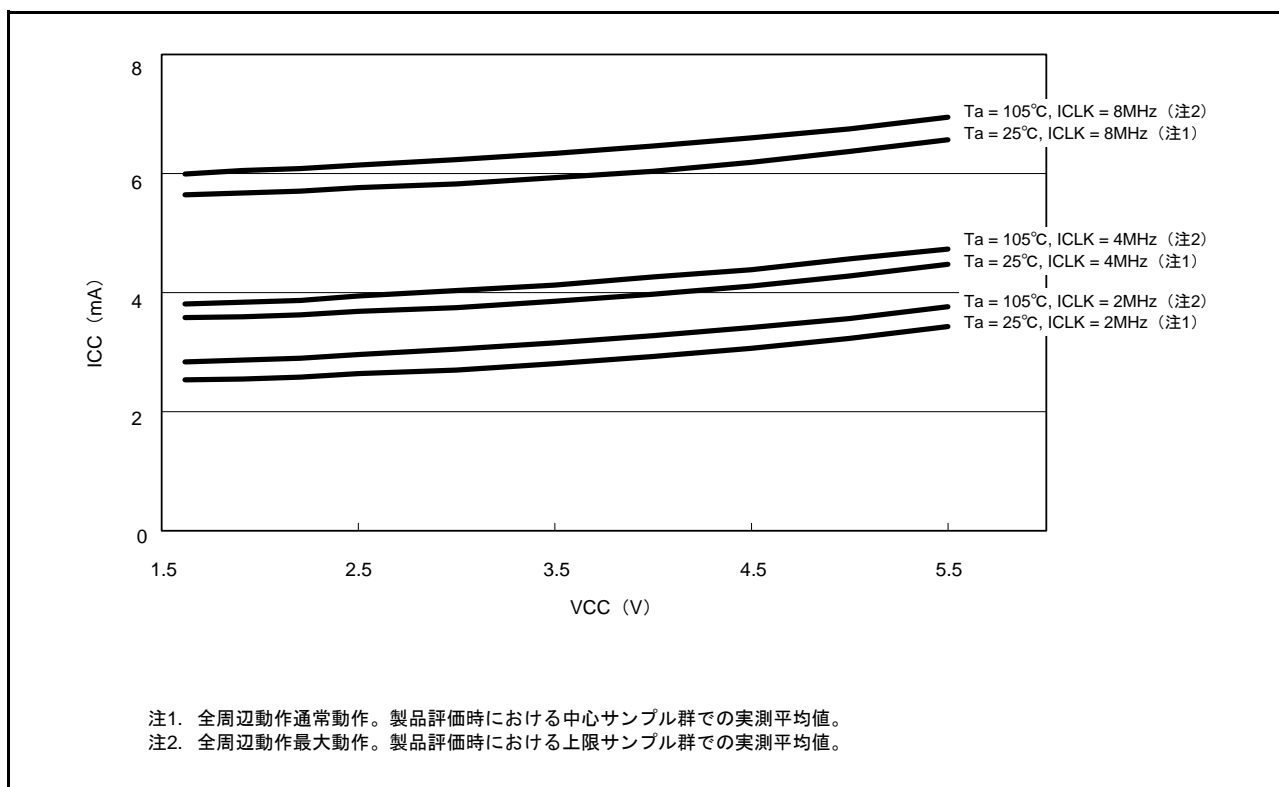


図 5.20 低速動作モード 1 の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～100 ピンのチップバージョン B の場合

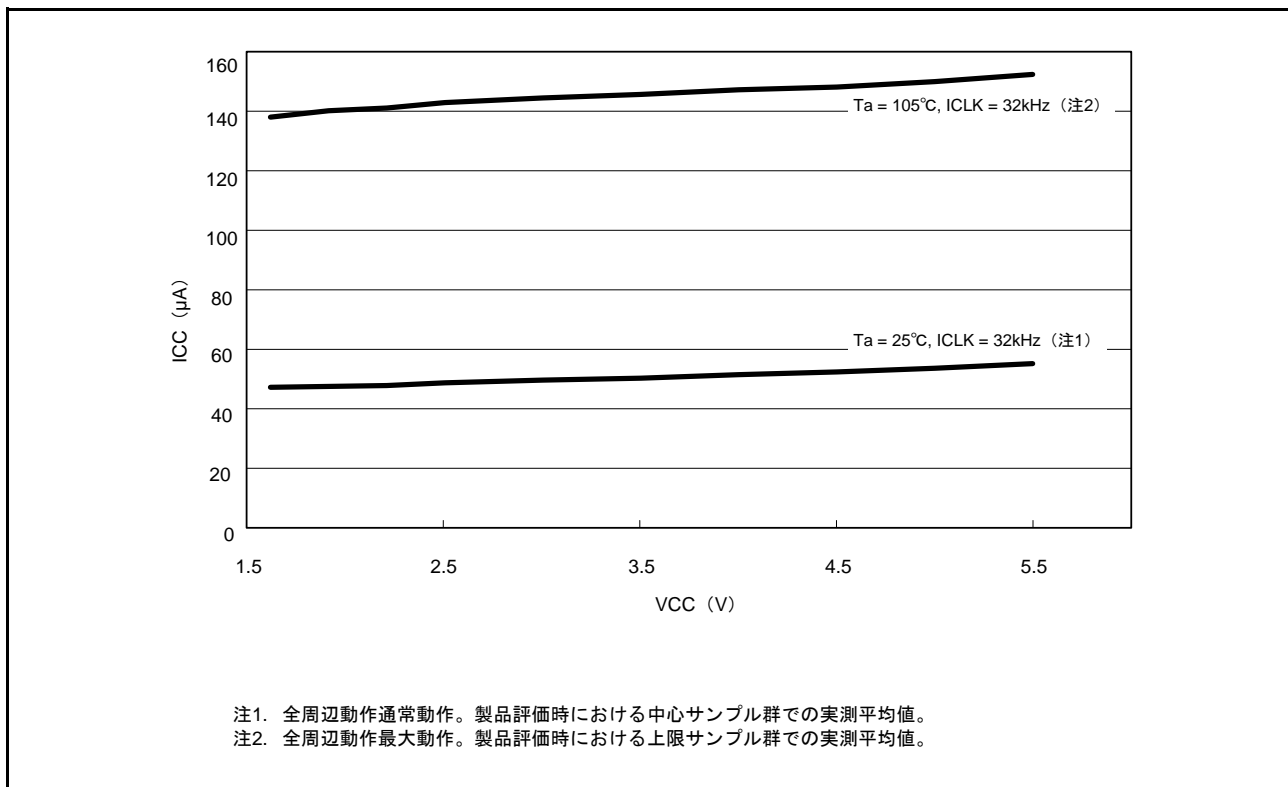


図 5.21 低速動作モード2の電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

[256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合]

表5.14 DC特性 (13)

条件：VCC = AVCC0 = 1.62～5.5V、VSS = AVSS0 = 0V、T_a = -40～+105°C

項目				記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	18	μA		
			T _a = 55°C		13	35			
			T _a = 85°C		20	81			
			T _a = 105°C		34	154			
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	7.7			
			T _a = 55°C		3.3	20			
			T _a = 85°C		9.2	60			
			T _a = 105°C		20	124			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8				
			T _a = 55°C	0.5	1.0				
			T _a = 85°C	0.7	2.5				
			T _a = 105°C	1.4	6.3				
	電圧検出回路動作、PORの低消費電力機能無効による増分					1.4			—
	RTC動作の増加分 (低CLの場合)					0.8			—
	RTC動作の増加分 (標準CLの場合)					2.0			—

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

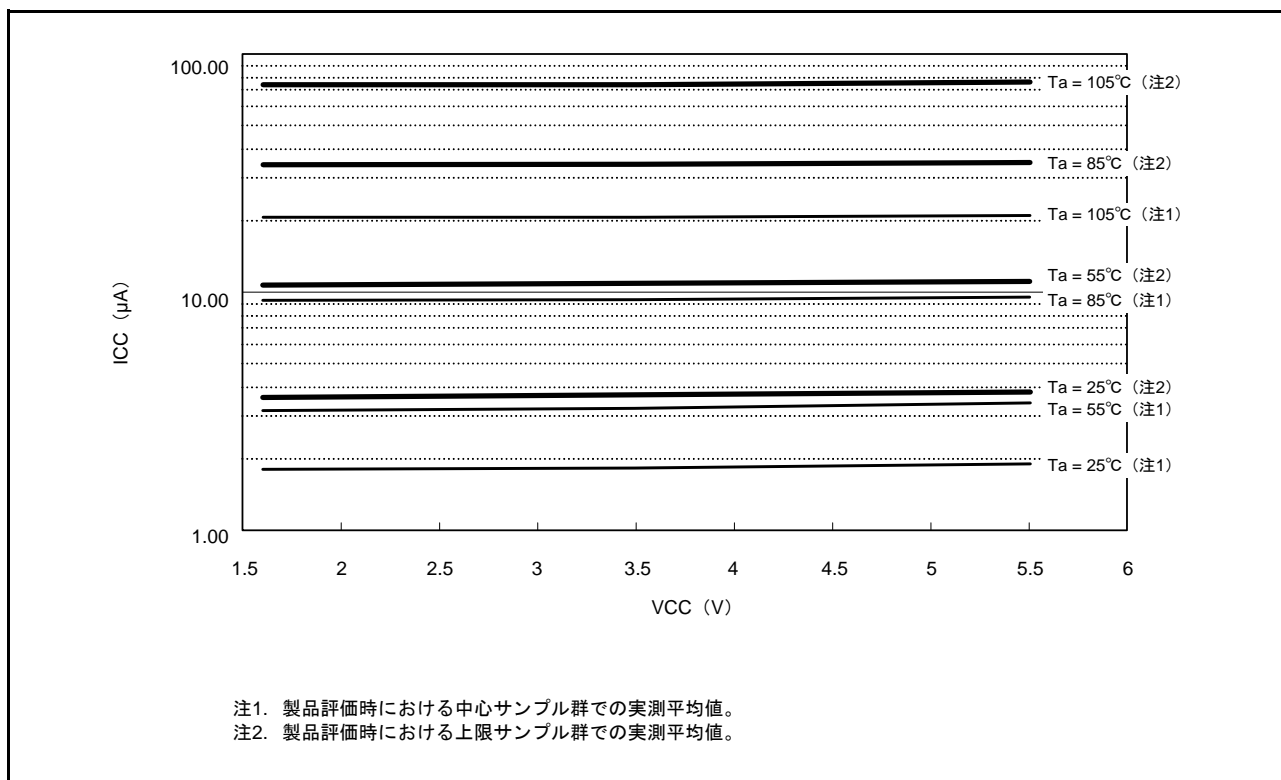


図 5.22 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン~ 100 ピンのチップバージョン B の場合

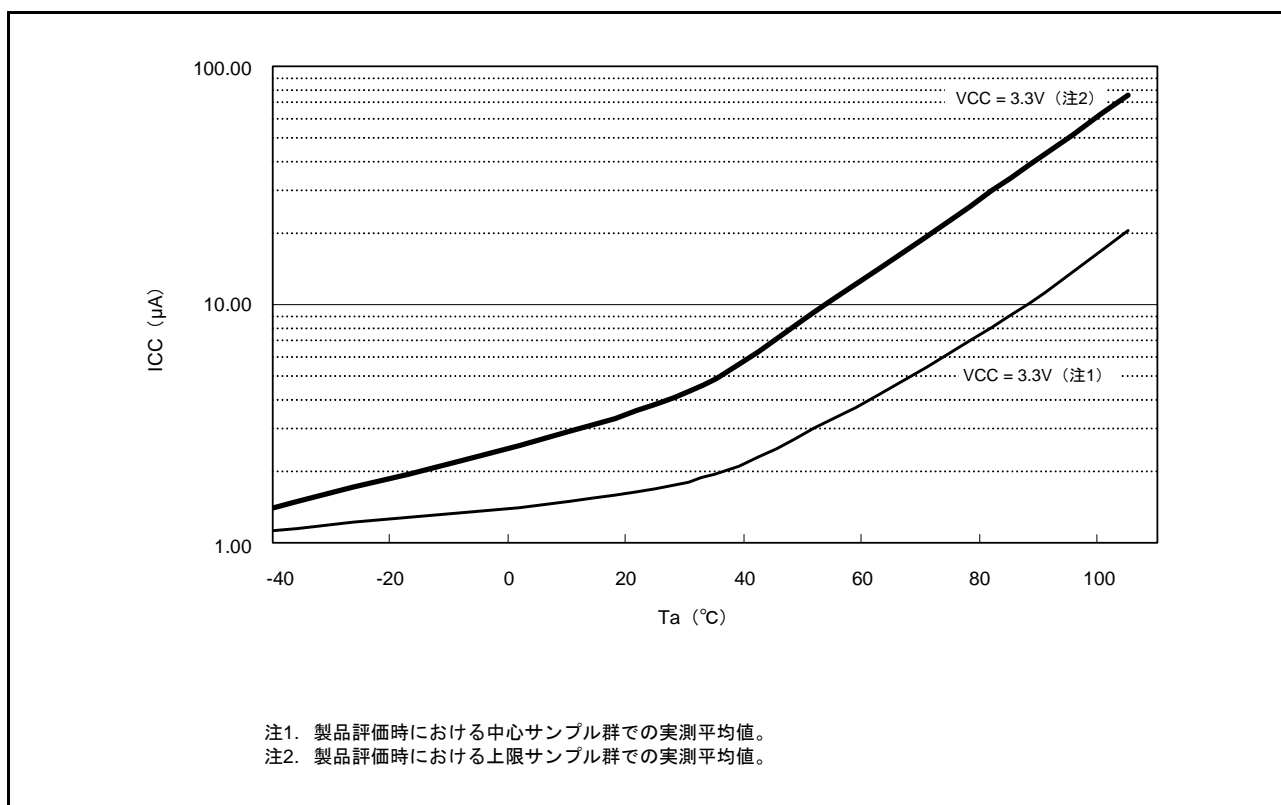


図 5.23 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン~ 100 ピンのチップバージョン B の場合

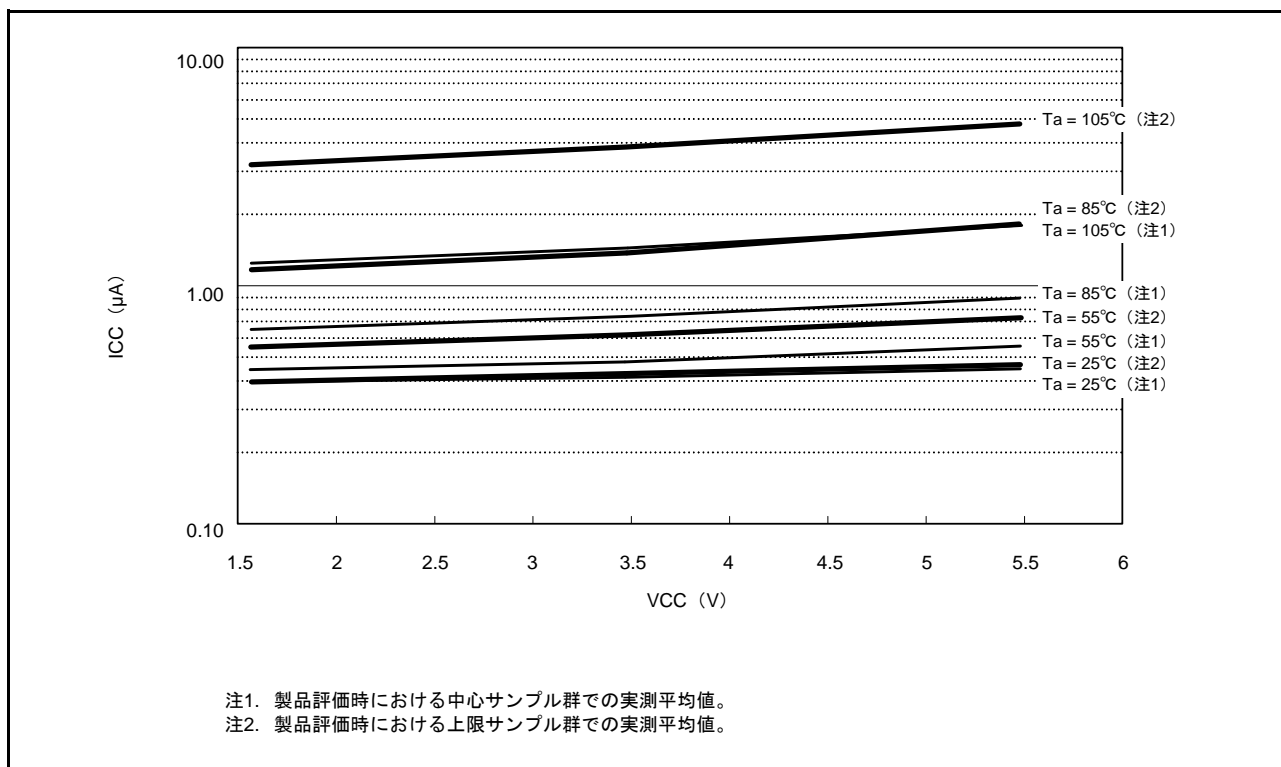


図 5.24 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～ 100 ピンのチップバージョン B の場合

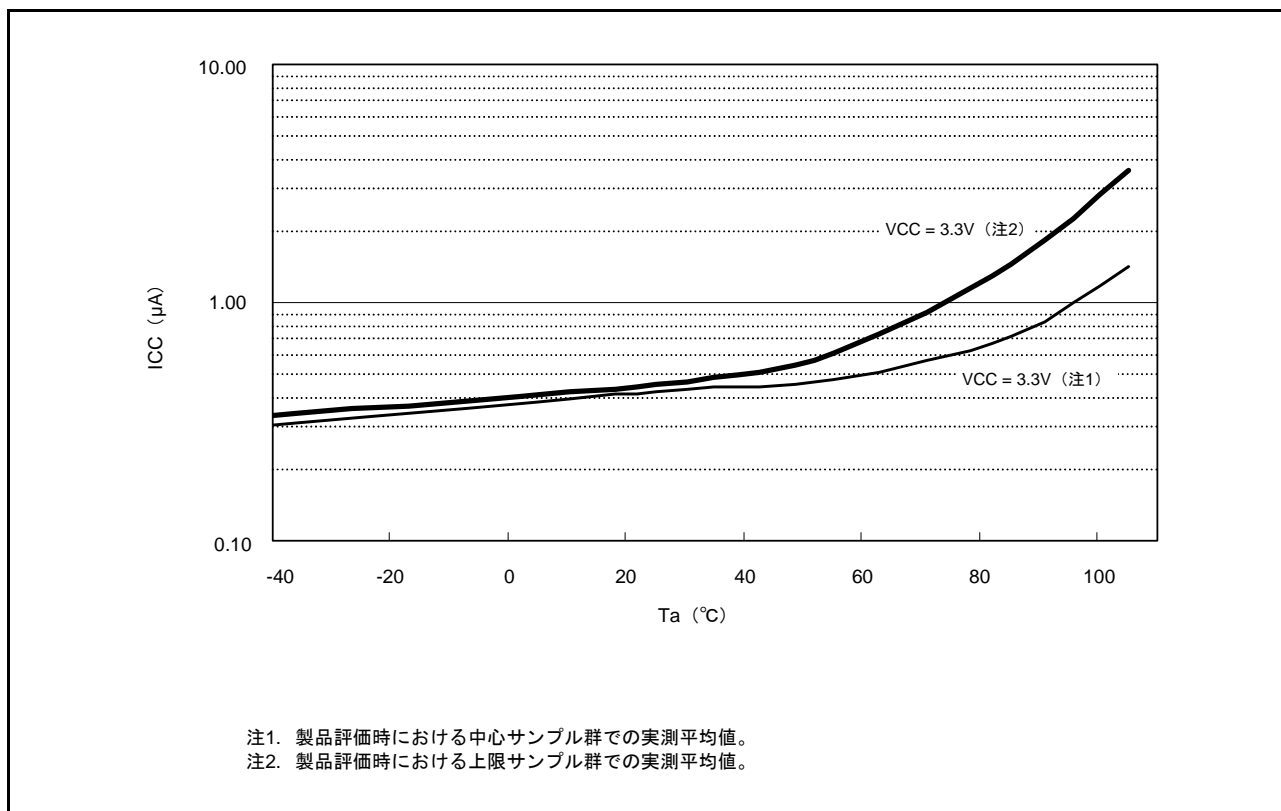


図 5.25 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～ 100 ピンのチップバージョン B の場合

[768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B の場合]

表 5.15 DC 特性 (14)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ	max	単位	測定条件			
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	7.8	—	mA				
			全周辺動作 通常動作 (注3)						ICLK = 50MHz	29.8	—
			全周辺動作 最大動作 (注3)						ICLK = 50MHz	—	45
		スリープモード	周辺動作なし						ICLK = 50MHz	4.3	—
			全周辺動作 通常動作						ICLK = 50MHz	13.5	—
		全モジュールクロックストップモード							3.7	—	
		BGO動作時の増加分 (注4)							23	—	

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[768K/1Mバイトのフラッシュメモリで100ピン～145ピンのチップバージョンBの場合]

表5.16 DC特性 (15)

条件 : VCC = AVCC0 = 1.62～5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40～+105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.6	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
				全周辺動作 通常動作		ICLK = 32MHz (注4)	25.5		
			ICLK = 20MHz (注5)			17.6	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz		3.4	—		
				ICLK = 20MHz		3.3	—		
			全周辺動作 通常動作	ICLK = 32MHz		13.4	—		
				ICLK = 20MHz		10.2	—		
		全モジュールロックストップ モード	ICLK = 32MHz			3	—		
			ICLK = 20MHz			3	—		
		BGO動作時の 増加分 (注6)	中速動作モード1A			23	—		
			中速動作モード1B			20	—		
		中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)		ICLK = 32MHz	5.1		
	ICLK = 16MHz				3.5	—			
	ICLK = 8MHz				2.7	—			
	全周辺動作 通常動作 (注4)			ICLK = 32MHz	25	—			
				ICLK = 16MHz	14	—			
				ICLK = 8MHz	8.5	—			
	全周辺動作 最大動作 (注4)			ICLK = 32MHz	—	34			
				ICLK = 16MHz	—	—			
				ICLK = 8MHz	—	—			
	スリープ モード		周辺動作なし	ICLK = 32MHz	2.9	—			
				ICLK = 16MHz	2.5	—			
				ICLK = 8MHz	2.2	—			
			全周辺動作 通常動作	ICLK = 32MHz	13	—			
ICLK = 16MHz				8.2	—				
ICLK = 8MHz				5.8	—				
全モジュールロックストップ モード	ICLK = 32MHz		2.5	—					
	ICLK = 16MHz		2.2	—					
	ICLK = 8MHz		2.1	—					
BGO動作時の 増加分 (注6)	中速動作モード2A		23	—					
	中速動作モード2B		20	—					

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2.1	—	mA	
				ICLK = 4MHz		1.7	—		
				ICLK = 2MHz		1.5	—		
			全周辺動作通常動作 (注8)	ICLK = 8MHz		7.3	—		
				ICLK = 4MHz		4.5	—		
				ICLK = 2MHz		3.1	—		
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12			
			ICLK = 4MHz	—		—			
			ICLK = 2MHz	—		—			
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.4	—		
				ICLK = 2MHz		1.3	—		
	全周辺動作通常動作		ICLK = 8MHz	4.1	—				
			ICLK = 4MHz	3.0	—				
			ICLK = 2MHz	2.3	—				
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—					
		ICLK = 4MHz	1.3	—					
		ICLK = 2MHz	1.2	—					
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.022	—			
				ICLK = 32kHz	0.06	—			
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)			
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—				
		全周辺動作通常動作	ICLK = 32kHz	0.036	—				
全モジュールクロックストップモード		0.017	—						

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

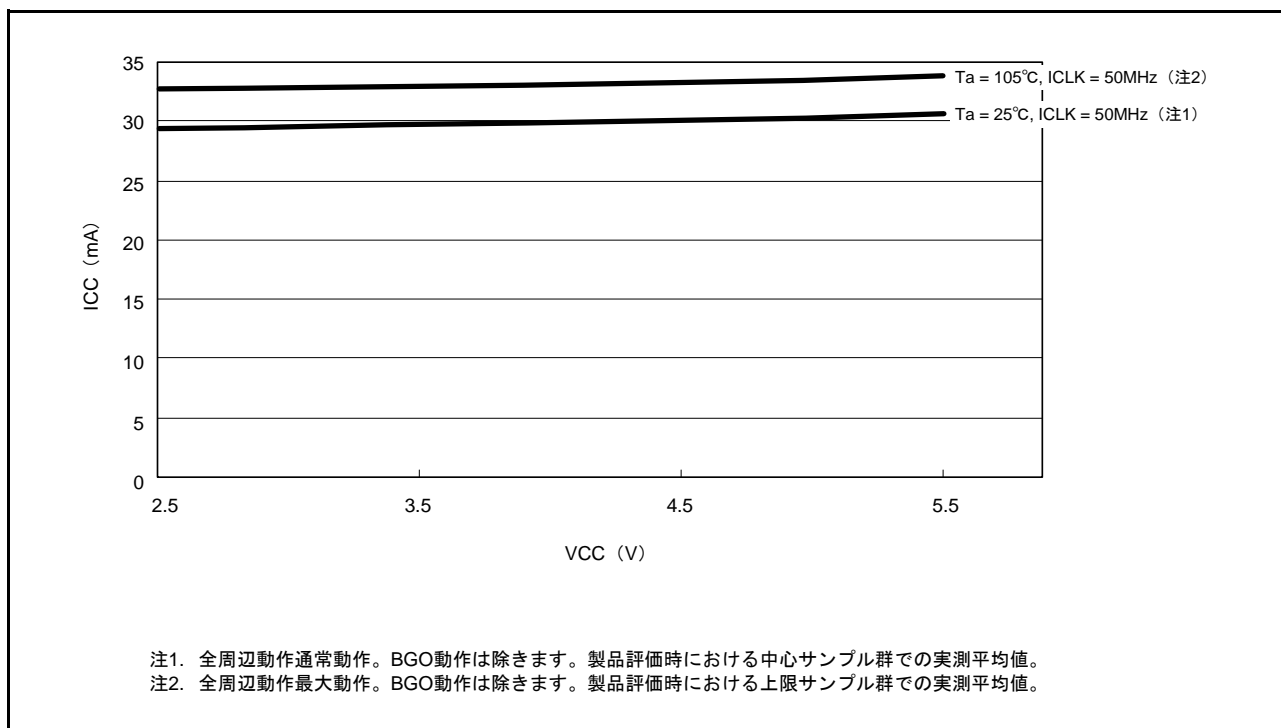


図 5.26 高速動作モードの電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

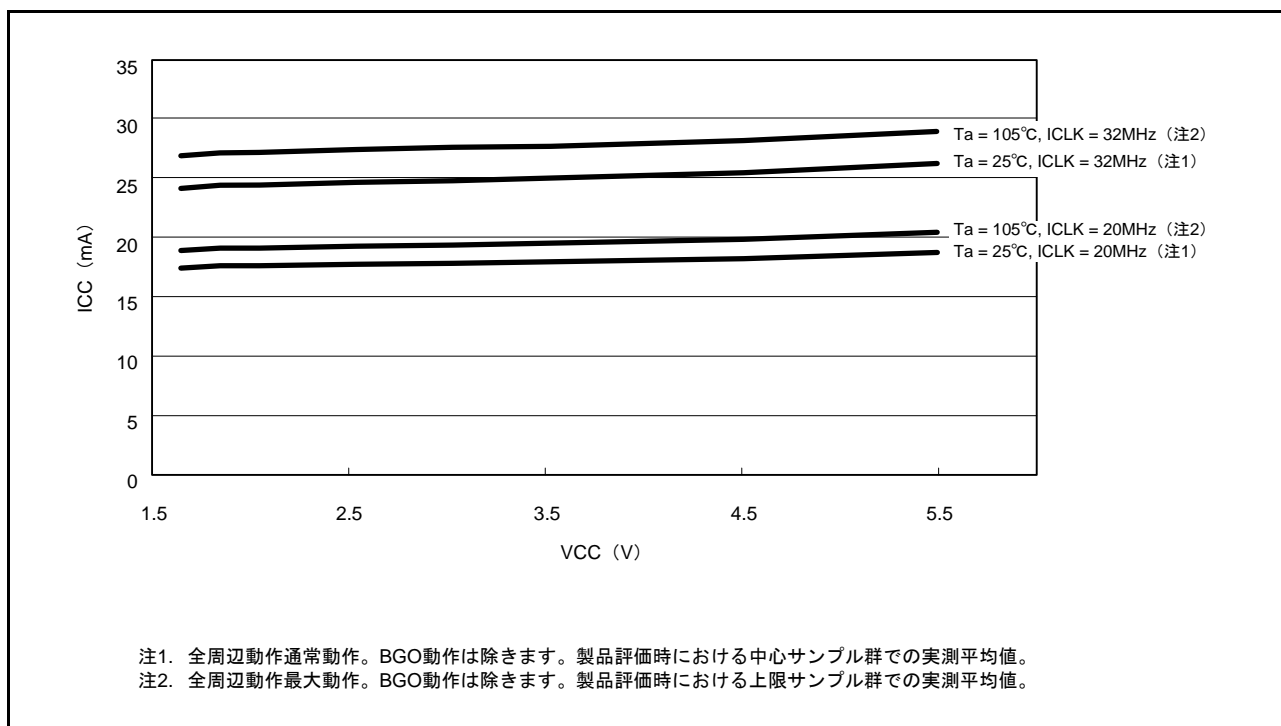


図 5.27 中速動作モード 1A、1B の電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

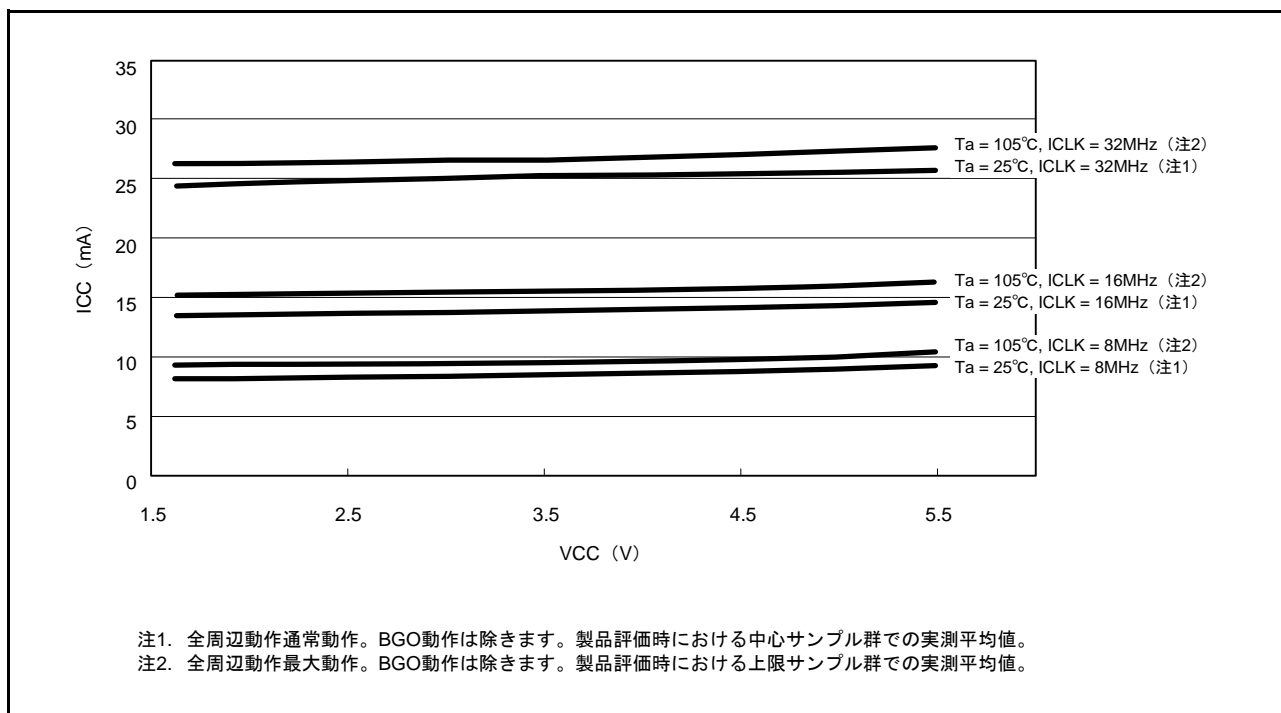


図 5.28 中速動作モード 2A、2B の電圧依存性 (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

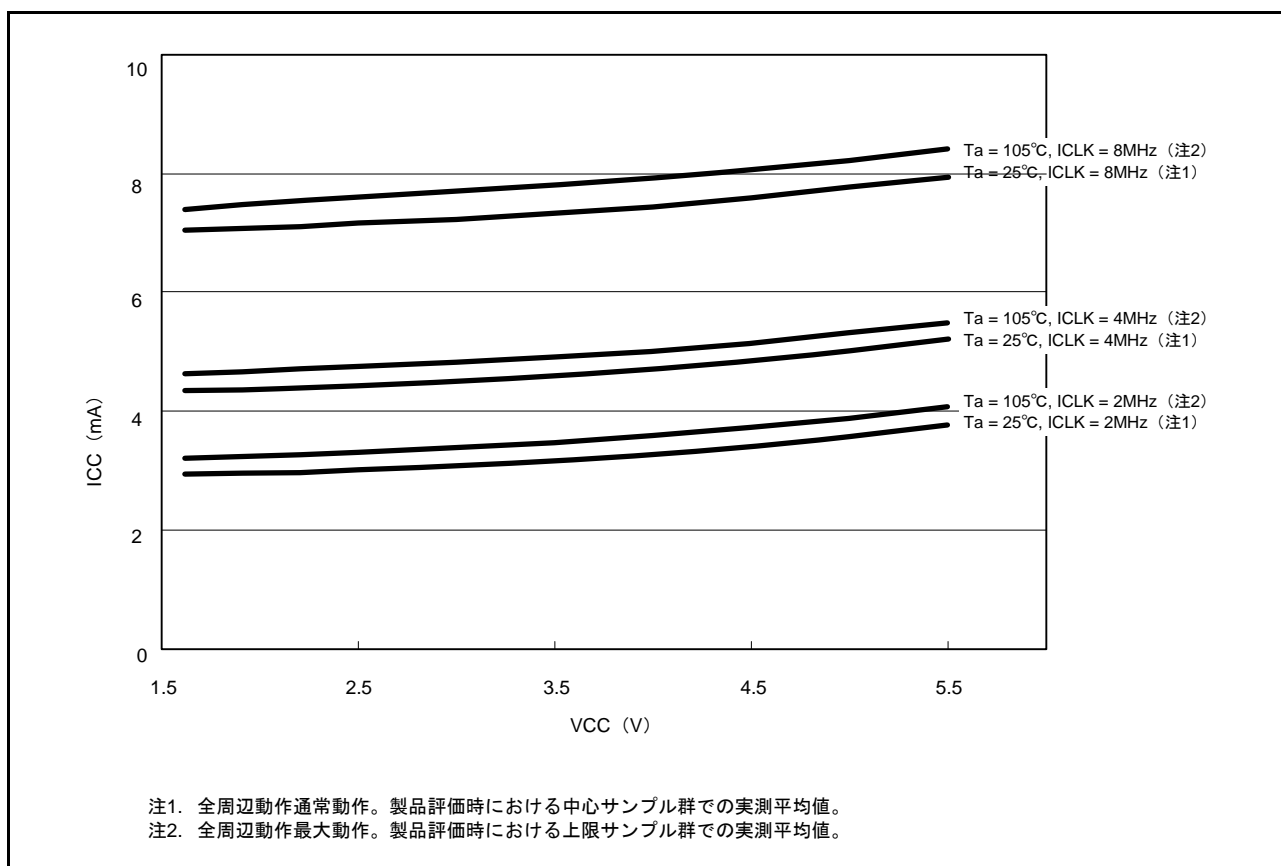


図 5.29 低速動作モード 1 の電圧依存性 (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

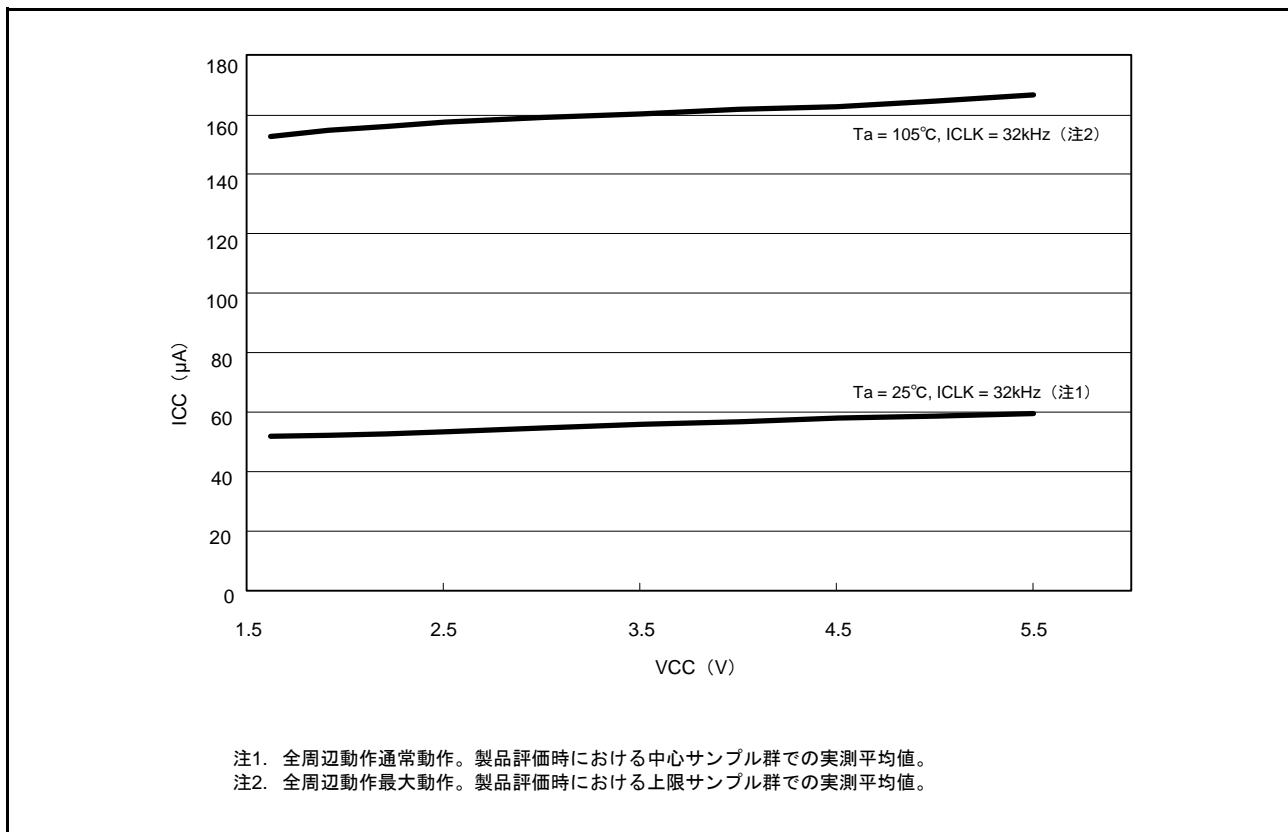


図 5.30 低速動作モード2の電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

[768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B の場合]

表 5.17 DC 特性 (16)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	34	μA
			T _a = 55°C		13	87	
			T _a = 85°C		21	201	
			T _a = 105°C		40	352	
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	24	
			T _a = 55°C		3.3	70	
			T _a = 85°C		10	168	
			T _a = 105°C		25	302	
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8		
			T _a = 55°C	0.5	1.0		
			T _a = 85°C	0.7	2.5		
			T _a = 105°C	1.4	6.3		
	電圧検出回路動作、PORの低消費電力機能無効による増分				1.4	—	
	RTC動作の増加分 (低CLの場合)				0.8	—	
RTC動作の増加分 (標準CLの場合)				2.0	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDТとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

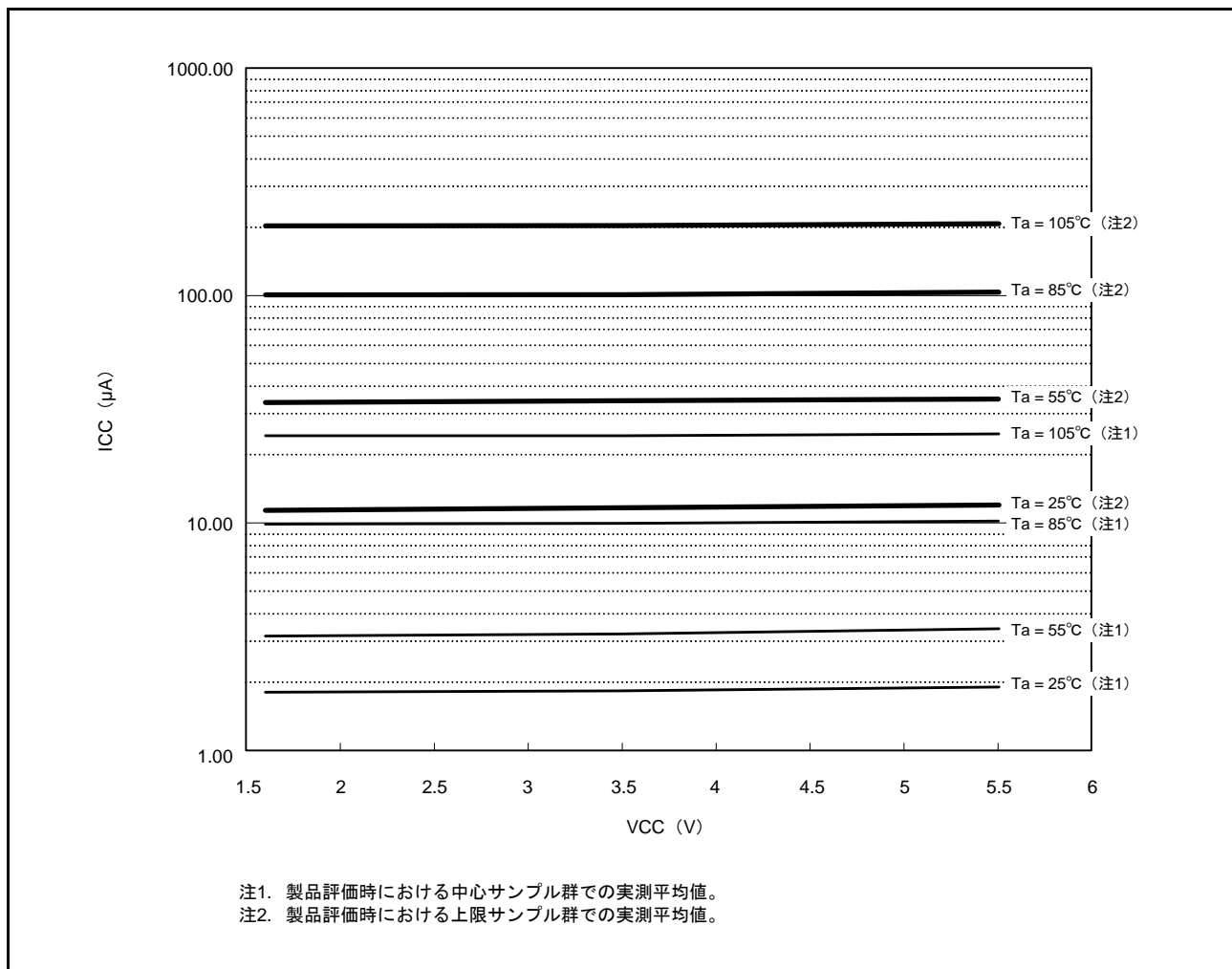


図 5.31 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ)
768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

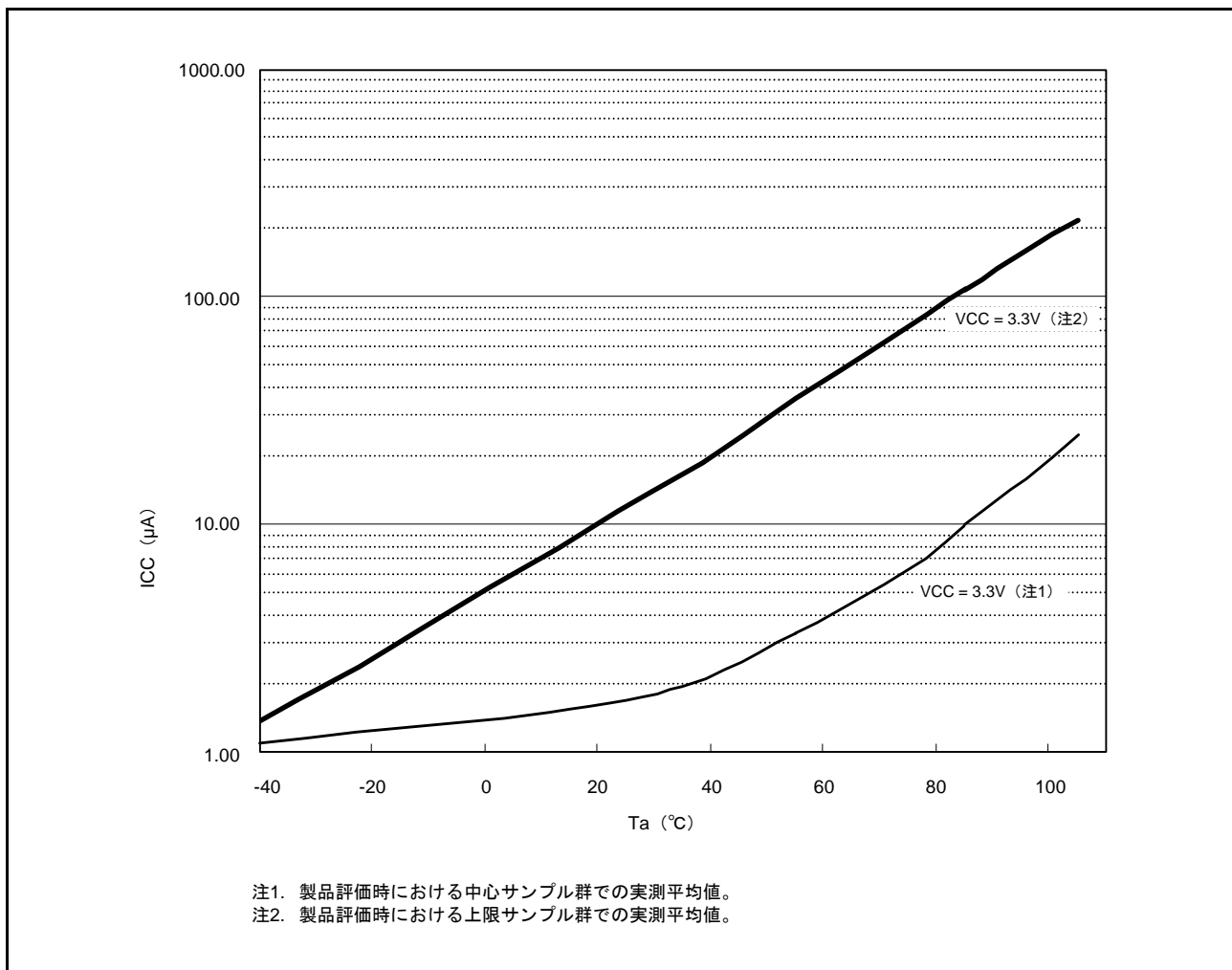


図 5.32 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ)
768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

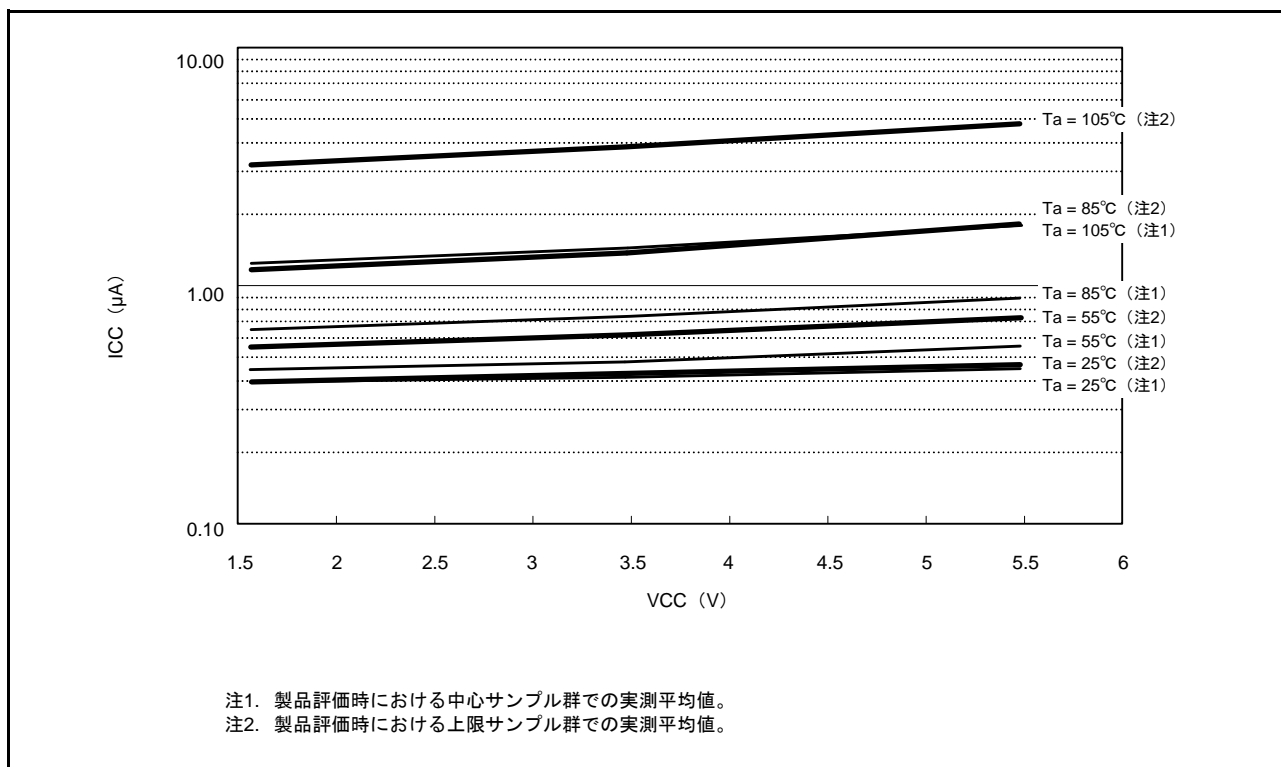


図 5.33 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B

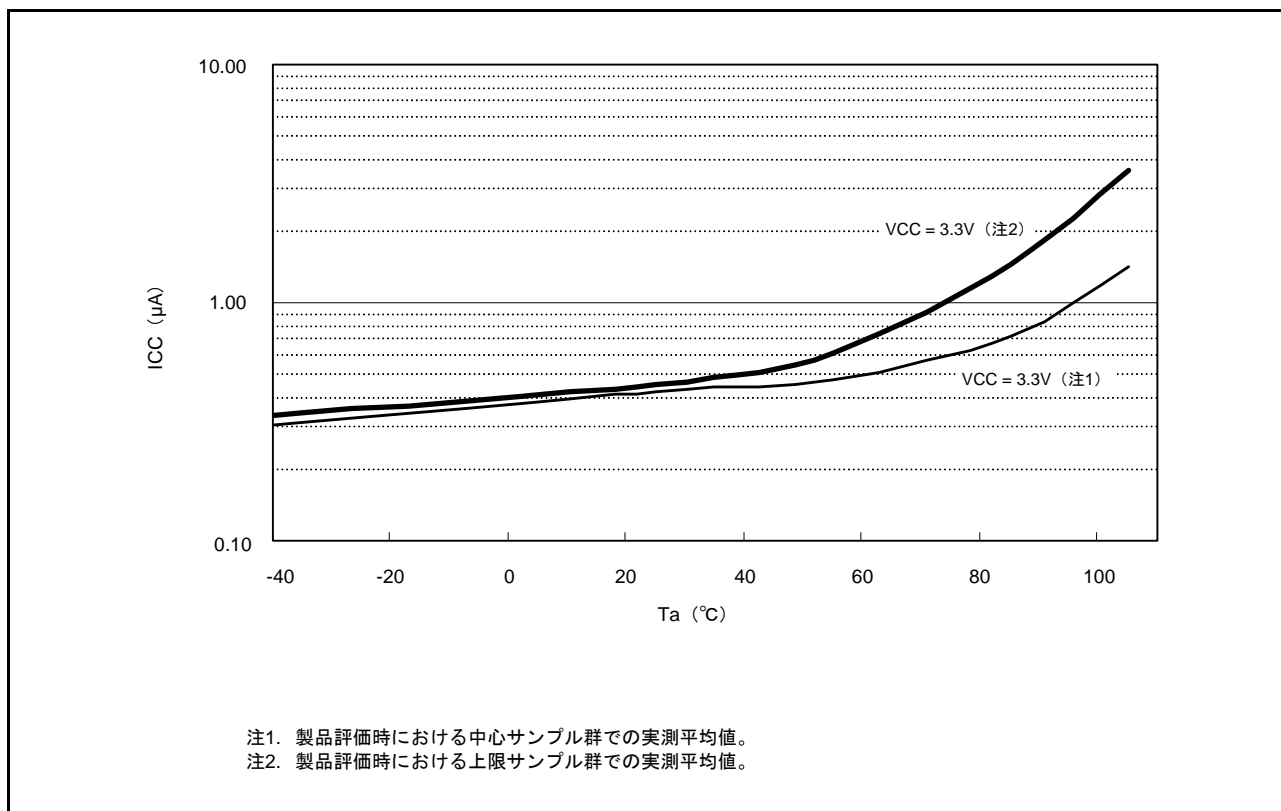


図 5.34 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B

[512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンBの場合]

表5.18 DC特性 (17)

条件：VCC = AVCC0 = 2.7～5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40～+105°C

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 50MHz	I _{CC}	7.2	—	mA	
			全周辺動作 通常動作 (注3)	ICLK = 50MHz		25.9	—		
			全周辺動作 最大動作 (注3)	ICLK = 50MHz		—	45		
		スリープモード	周辺動作なし	ICLK = 50MHz		4.3	—		
			全周辺動作 通常動作	ICLK = 50MHz		13	—		
		全モジュールクロックストップモード					3.7		—
		BGO動作時の増加分 (注4)					21		—

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[512Kバイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンBの場合]

表5.19 DC特性 (18)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40~+105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.3	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
				全周辺動作 通常動作		ICLK = 32MHz (注4)	22.3		
			ICLK = 20MHz (注5)			15.6	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz	3.4	—			
				ICLK = 20MHz	3.3	—			
			全周辺動作 通常動作	ICLK = 32MHz	12.8	—			
				ICLK = 20MHz	9.8	—			
		全モジュールロックストップ モード	ICLK = 32MHz		3	—			
			ICLK = 20MHz		3	—			
		BGO動作時の 増加分 (注6)	中速動作モード1A		21	—			
			中速動作モード1B		19	—			
		中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	4.7		
	ICLK = 16MHz				3.4		—		
	ICLK = 8MHz				2.7		—		
	全周辺動作 通常動作 (注4)			ICLK = 32MHz	21.7		—		
				ICLK = 16MHz	12.3		—		
				ICLK = 8MHz	7.6		—		
	全周辺動作 最大動作 (注4)			ICLK = 32MHz	—		34		
				ICLK = 16MHz	—		—		
				ICLK = 8MHz	—		—		
	スリープ モード		周辺動作なし	ICLK = 32MHz	2.9	—			
				ICLK = 16MHz	2.5	—			
				ICLK = 8MHz	2.2	—			
			全周辺動作 通常動作	ICLK = 32MHz	12.3	—			
ICLK = 16MHz				7.8	—				
ICLK = 8MHz				5.6	—				
全モジュールロックストップ モード	ICLK = 32MHz		2.5	—					
	ICLK = 16MHz		2.2	—					
	ICLK = 8MHz		2.1	—					
BGO動作時の 増加分 (注6)	中速動作モード2A		21	—					
	中速動作モード2B		19	—					

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2.0	—	mA	
				ICLK = 4MHz		1.6	—		
				ICLK = 2MHz		1.5	—		
			全周辺動作通常動作 (注8)	ICLK = 8MHz		6.4	—		
				ICLK = 4MHz		4.0	—		
				ICLK = 2MHz		2.8	—		
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12			
			ICLK = 4MHz	—		—			
			ICLK = 2MHz	—		—			
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.4	—		
				ICLK = 2MHz		1.3	—		
	全周辺動作通常動作		ICLK = 8MHz	3.9	—				
			ICLK = 4MHz	2.8	—				
			ICLK = 2MHz	2.2	—				
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—					
		ICLK = 4MHz	1.3	—					
		ICLK = 2MHz	1.2	—					
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.021	—			
				ICLK = 32kHz	0.06	—			
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)			
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—				
		全周辺動作通常動作	ICLK = 32kHz	0.035	—				
全モジュールクロックストップモード			0.016	—					

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

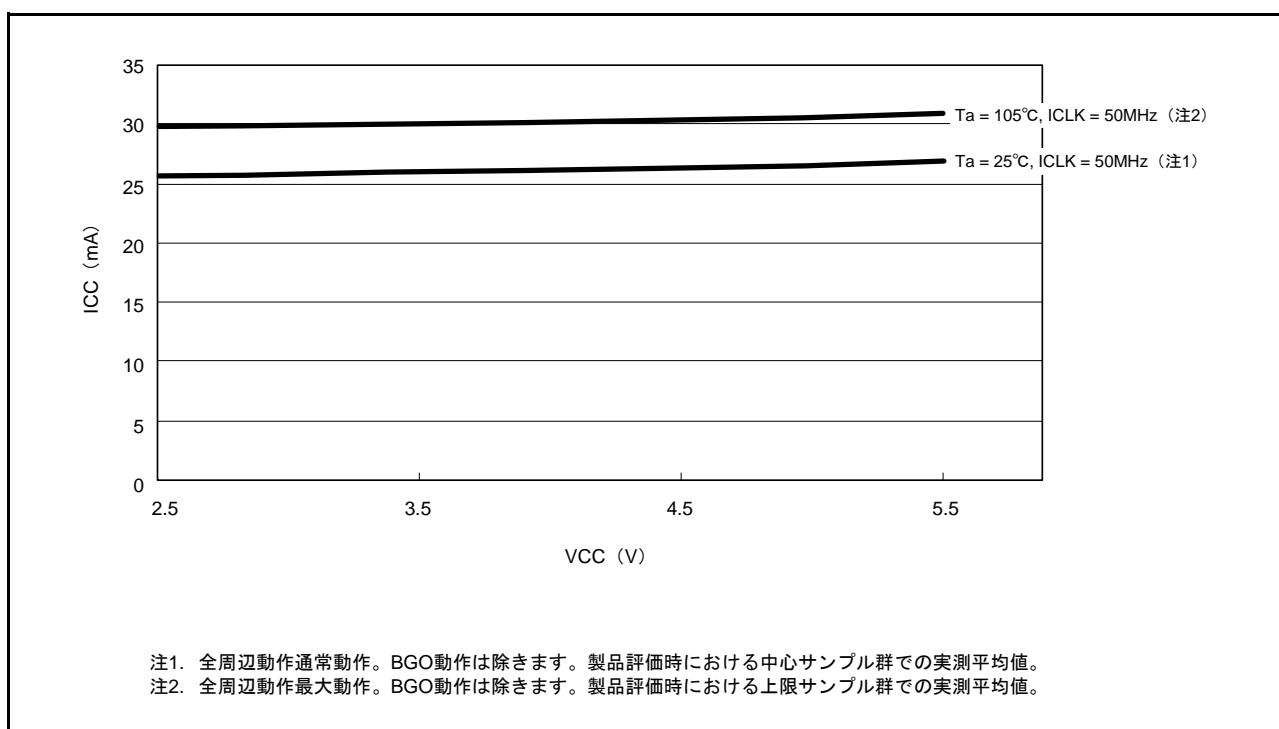


図 5.35 高速動作モードの電圧依存性（参考データ）512K バイト以下のフラッシュメモリで 144 ピン～145 ピンのチップバージョン B

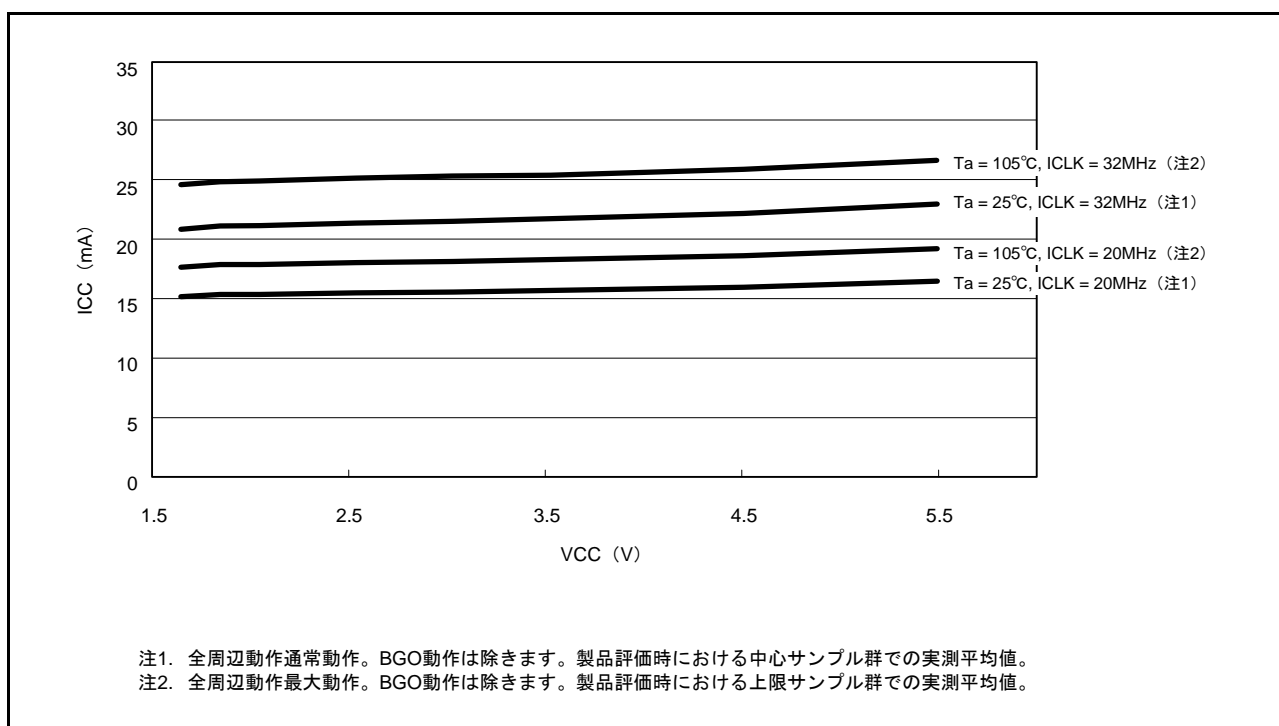


図 5.36 中速動作モード 1A、1B の電圧依存性（参考データ）512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

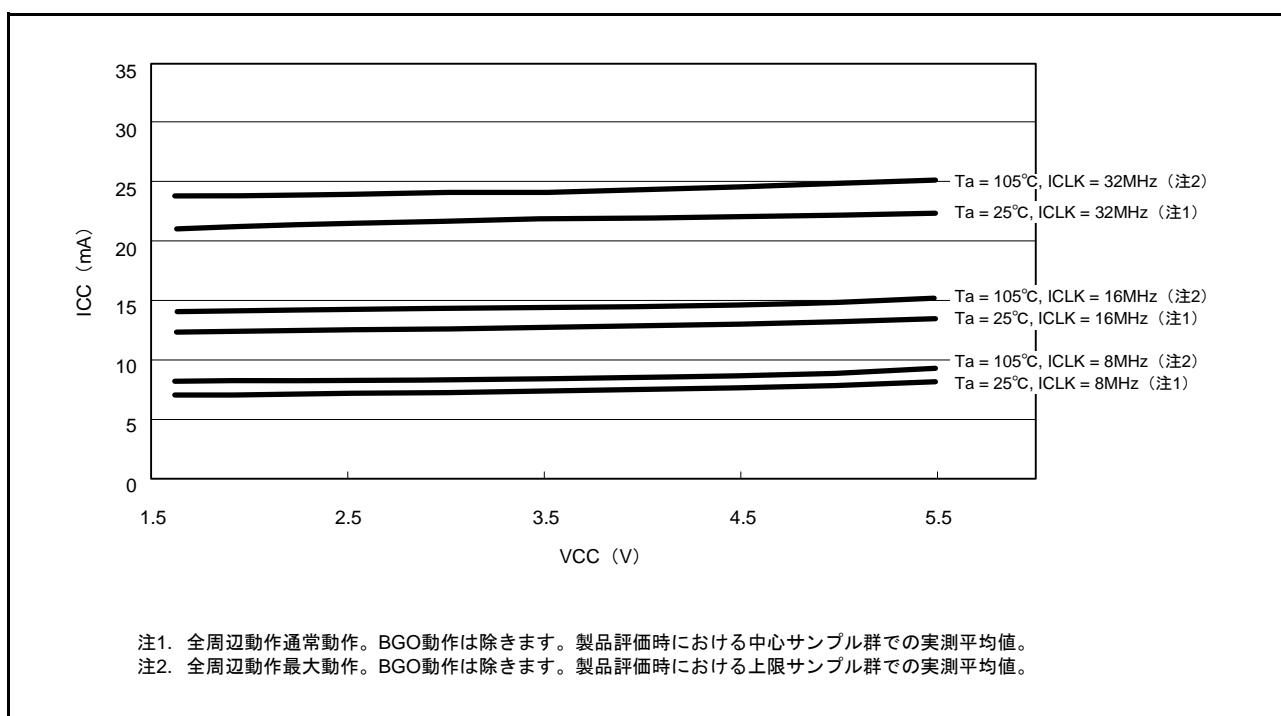


図 5.37 中速動作モード 2A、2B の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

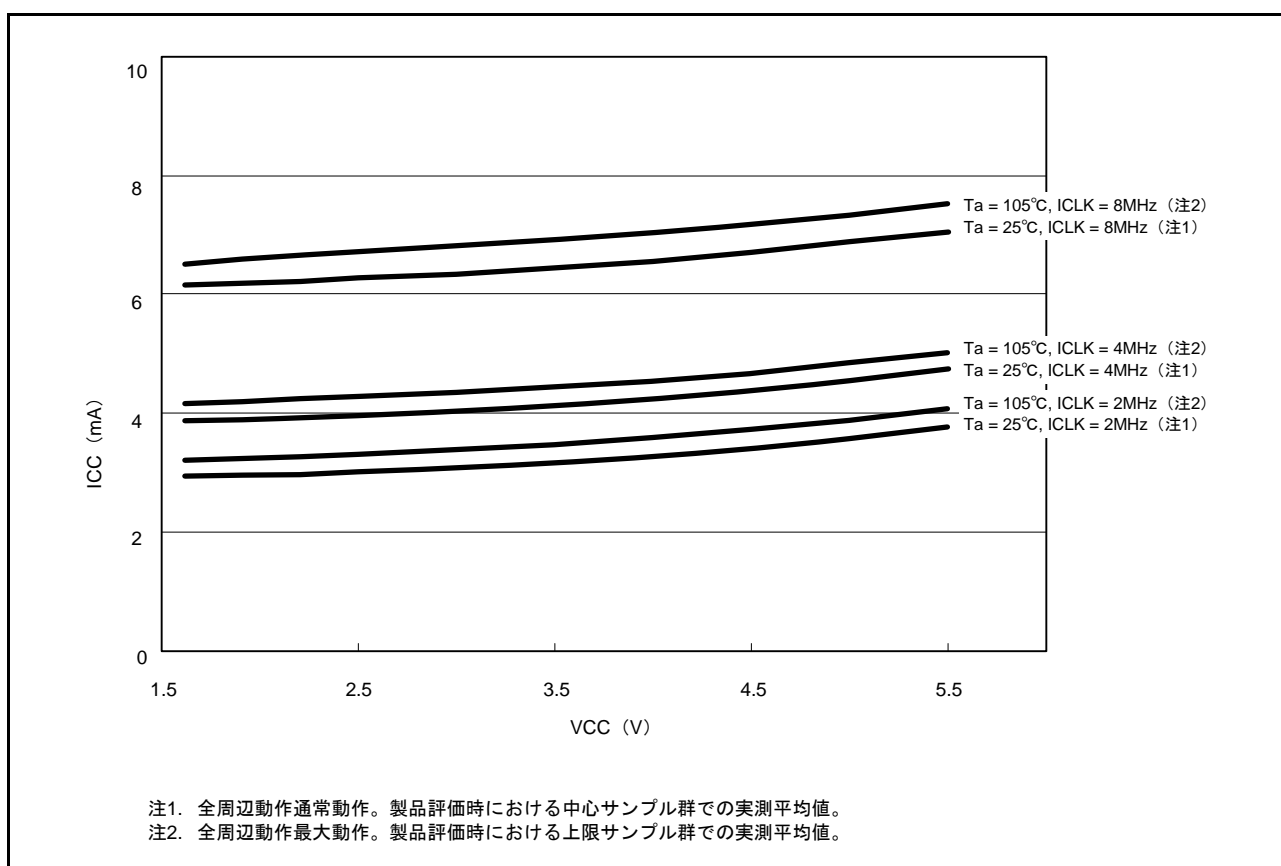


図 5.38 低速動作モード 1 の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

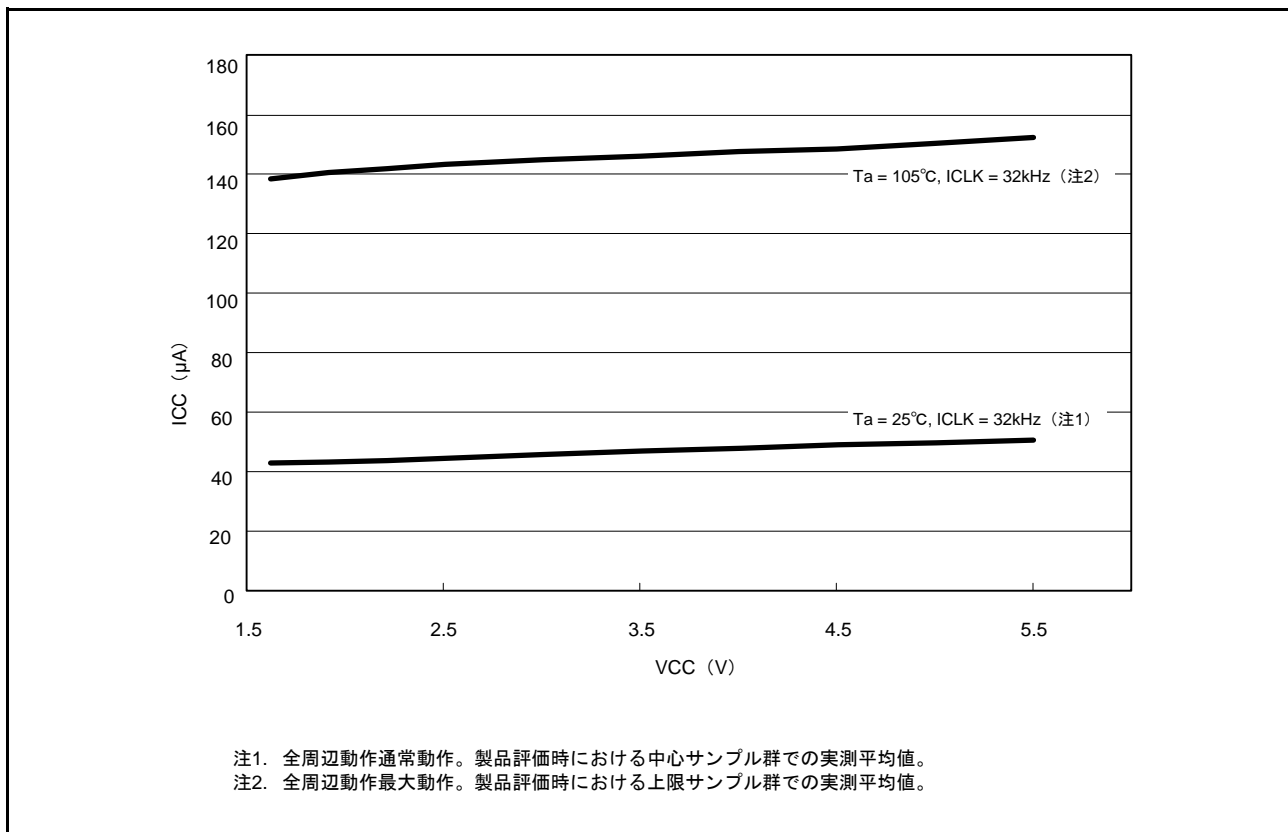


図 5.39 低速動作モード2の電圧依存性（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB

[512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンBの場合]

表5.20 DC特性 (19)

条件：VCC = AVCC0 = 1.62～5.5V、VSS = AVSS0 = 0V、T_a = -40～+105°C

項目				記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	18	μA		
			T _a = 55°C		13	52			
			T _a = 85°C		20	101			
			T _a = 105°C		34	173			
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	7.7			
			T _a = 55°C		3.3	30			
			T _a = 85°C		9.2	75			
			T _a = 105°C		20	139			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8				
			T _a = 55°C	0.5	1.0				
			T _a = 85°C	0.7	2.5				
			T _a = 105°C	1.4	6.3				
	電圧検出回路動作、PORの低消費電力機能無効による増分					1.4			—
	RTC動作の増加分 (低CLの場合)					0.8			—
RTC動作の増加分 (標準CLの場合)					2.0	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDТとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

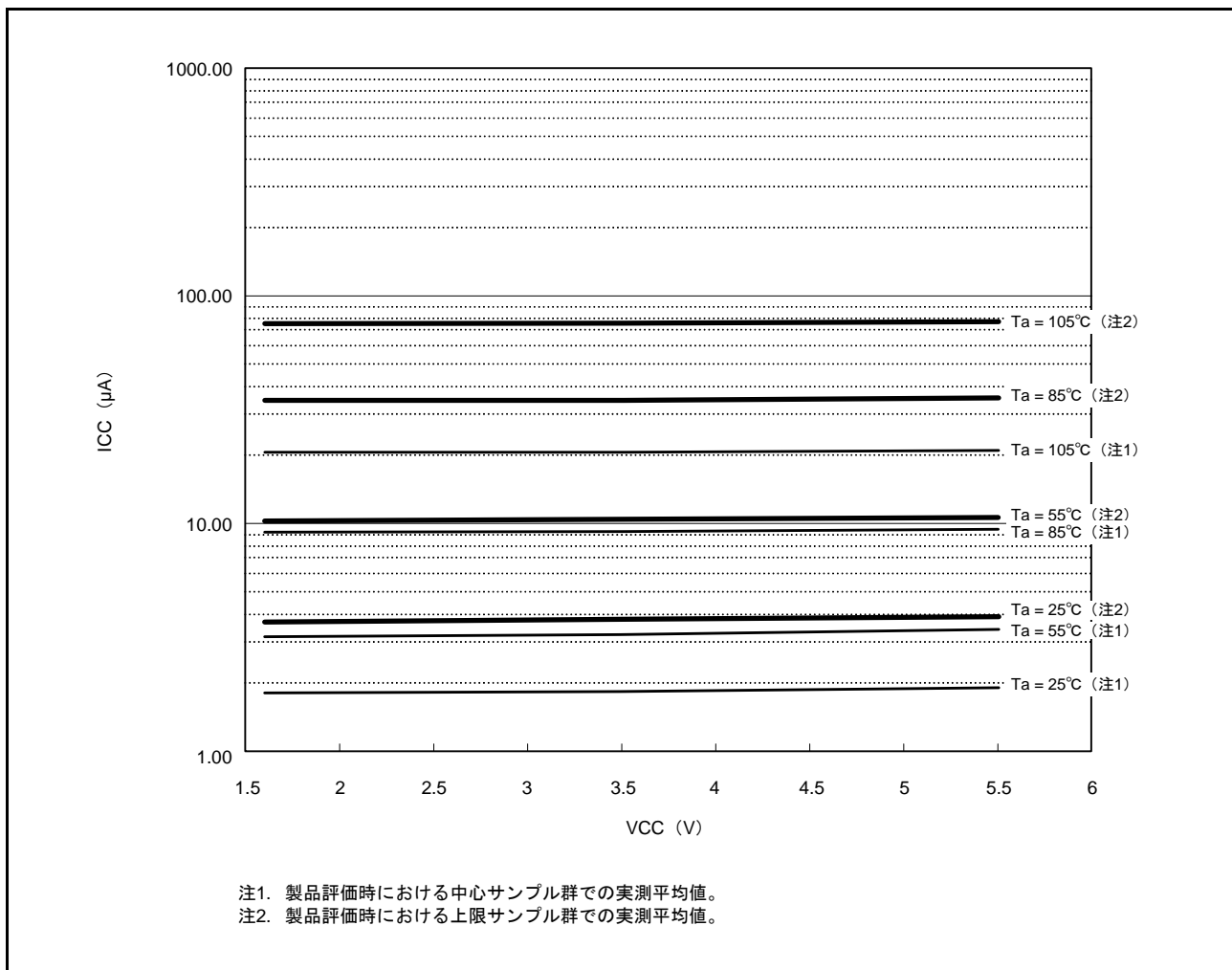


図 5.40 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ)
512K バイト以下のフラッシュメモリで 144 ピン ~ 145 ピンのチップバージョン B

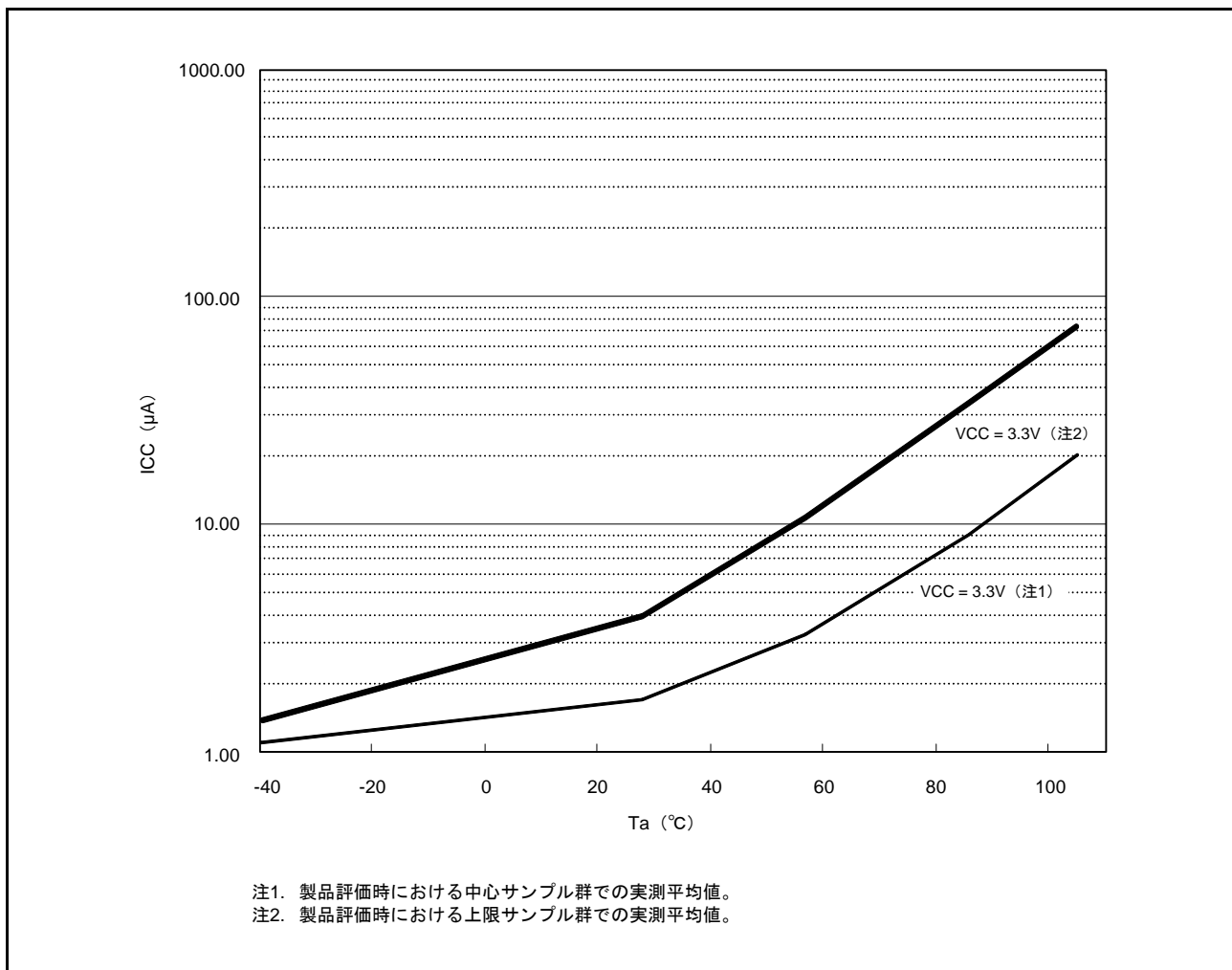


図 5.41 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ)
512K バイト以下のフラッシュメモリで 144 ピン ~ 145 ピンのチップバージョン B

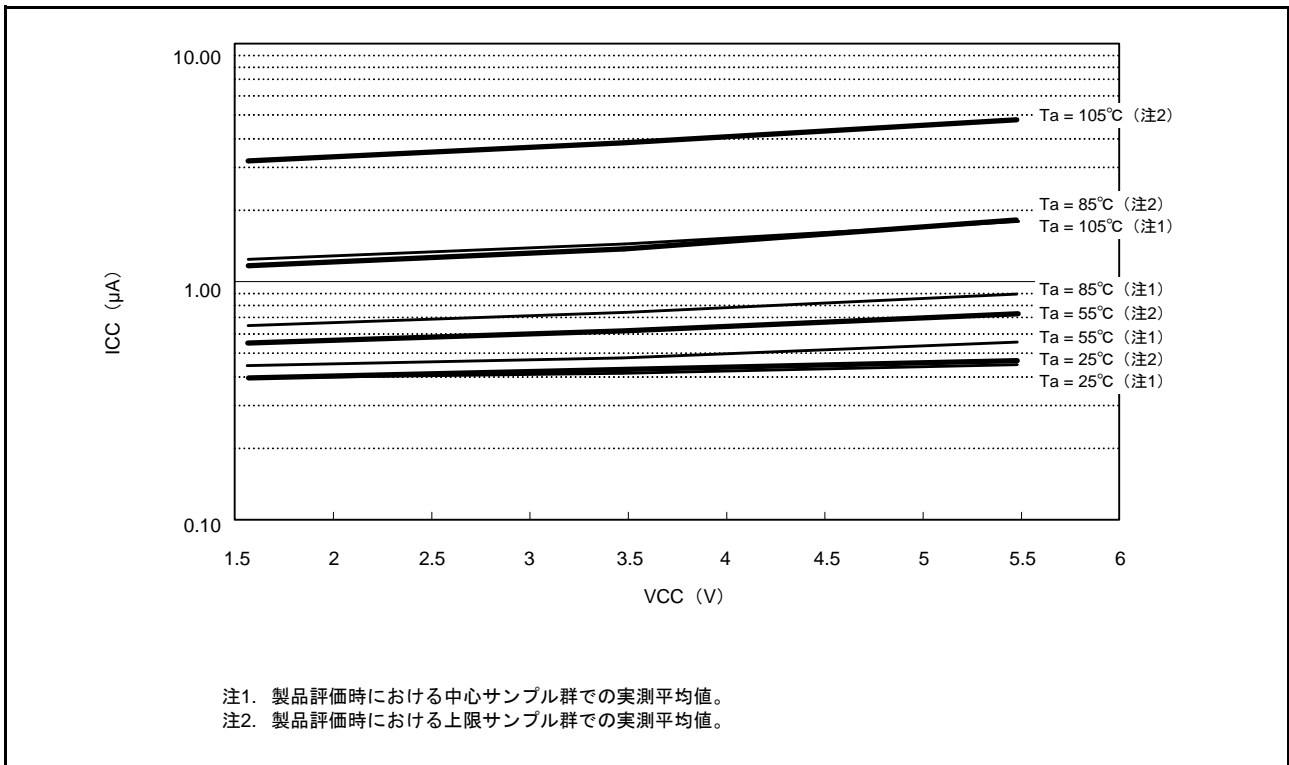


図 5.42 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

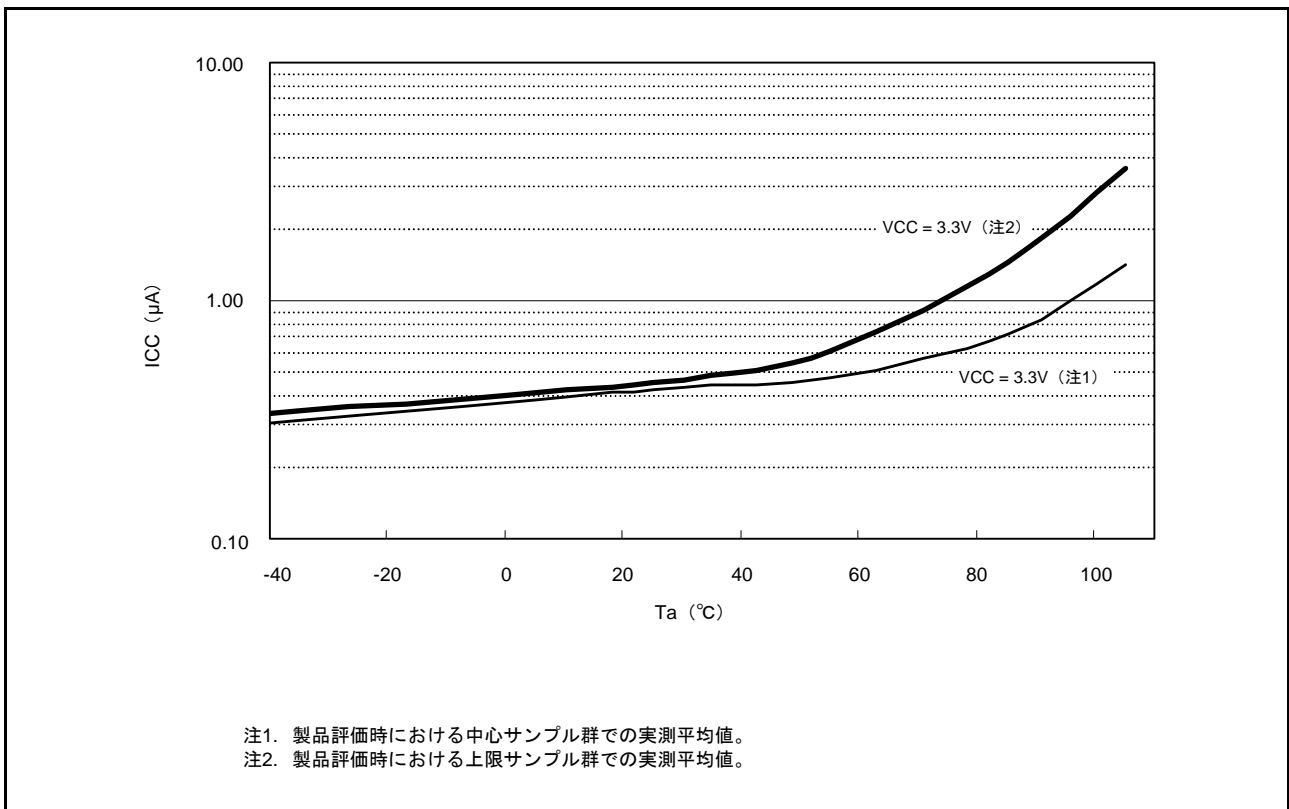


図 5.43 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

表5.21 DC特性 (20)

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	350	mW	$T_a = -40 \sim 85^\circ\text{C}$
		—	150		$85^\circ\text{C} < T_a \leq 105^\circ\text{C}$

注. $T_a = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体（出力電流を含む）の総電力です。

表5.22 DC特性 (21)

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VREFH = 1.8 ~ AVCC0、VREFH0 = 1.62 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
アナログ電源電流	A/D変換中	I_{AVCC0}	—	1.0	3.2	mA	
	温度センサ動作、A/D変換待機時		—	60	200		
	D/A変換中（1チャンネル当り）	I_{VREFH} (注1)	—	0.25	0.75	mA	
	A/D、D/A変換待機時（全ユニット）(注2)		—	0.2	5.0		
リファレンス電源電流	A/D変換中	I_{VREFH0}	—	0.1	0.2	mA	
	A/D変換待機時		—	0.2	0.4		μA

注. A/Dコンバータは、サンプル&ホールドなしの値です。

注1. D/Aコンバータの電源電流の値はリファレンス電源電流も含まれます。

注2. 数値は I_{AVCC0} と I_{VREFH} の合計値です。

表5.23 DC特性 (22)

条件：VCC = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
RAMスタンバイ電圧	V_{RAM}	1.62	—	—	V	

表5.24 DC特性 (23)

条件：VCC = AVCC0 = 0 ~ 5.5V、VREFH = VREFH0 = 0 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCC立ち上がり勾配	SrVCC	0.02	—	20	ms/V	コールドスタート時

表5.25 DC特性 (24)

条件: $V_{CC} = AV_{CC0} = 1.62 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 電源リップルは、 V_{CC} の上限 (5.5V) と下限 (1.62V) は超えない範囲で許容電源リップル周波数 $f_r (V_{CC})$ を満たしてください。 V_{CC} 変動が $V_{CC} \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 dt/dV_{CC} を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r (V_{CC})$	—	—	10	kHz	図 5.44 $V_{CC} \times 0.1 < V_r (V_{CC}) \leq V_{CC} \times 0.2$
		—	—	1	MHz	図 5.44 $V_{CC} \times 0.05 < V_r (V_{CC}) \leq V_{CC} \times 0.1$
		—	—	10	MHz	図 5.44 $V_r (V_{CC}) \leq V_{CC} \times 0.05$
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dV_{CC}	1.0	—	—	ms/V	V_{CC} 変動が $V_{CC} \pm 10\%$ を超える場合

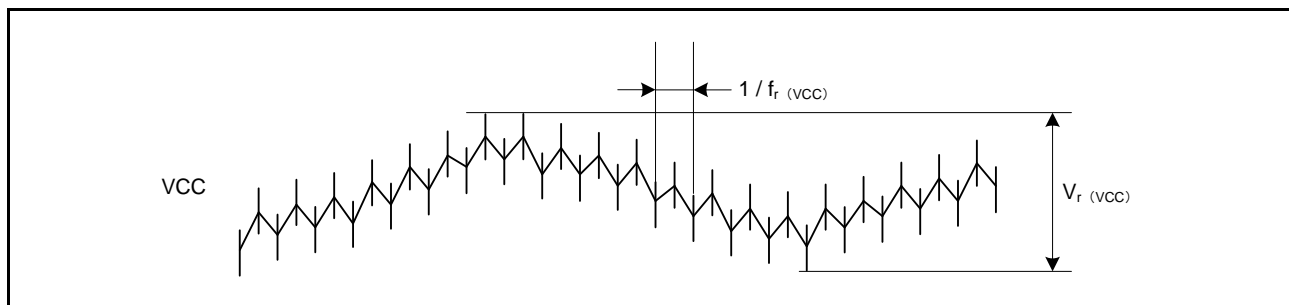


図 5.44 電源リップル波形

表5.26 出力許容電流値 (1)

条件: $V_{CC} = AV_{CC0} = 1.62 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、総電力 (mW) $< 1000 - 10 \times T_a$ のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OL}	4.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		4.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OH}	-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-80	mA

表5.27 出力許容電流値 (2)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、総電力 (mW) $\geq 1000 - 10 \times T_a$ のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OL}	2.0	mA
	高駆動出力時		4.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		2.0	mA
	高駆動出力時		4.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	40	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OH}	-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-40	mA

[チップバージョン A の場合]

表5.28 出力電圧値 (1)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	0.4	V	$I_{OL} = 0.5\text{mA}$
			—	0.4		$I_{OL} = 1.0\text{mA}$
出力Highレベル	全出力端子	V_{OH}	VCC - 0.4	—	V	$I_{OH} = -0.5\text{mA}$
			VCC - 0.4	—		$I_{OH} = -1.0\text{mA}$

[チップバージョン A の場合]

表5.29 出力電圧値 (2)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件	
						VCC = 2.7 ~ 4.0V	VCC = 4.0 ~ 5.5V
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	1.0	V	$I_{OL} = 3.0\text{mA}$	$I_{OL} = 4.0\text{mA}$
			—	1.0		$I_{OL} = 5.0\text{mA}$	$I_{OL} = 8.0\text{mA}$
	RIIC端子		—	0.4		$I_{OL} = 3.0\text{mA}$	
			—	0.6		$I_{OL} = 6.0\text{mA}$	
出力Highレベル	全出力端子	V_{OH}	VCC - 1.0	—	V	$I_{OH} = -3.0\text{mA}$	$I_{OH} = -4.0\text{mA}$
			VCC - 1.0	—		$I_{OH} = -5.0\text{mA}$	$I_{OH} = -8.0\text{mA}$

[チップバージョン B、C の場合]

表5.30 出力電圧値 (3)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 0.5\text{mA}$
			—	0.3		$I_{OL} = 1.0\text{mA}$
出力Highレベル	全出力端子	V_{OH}	VCC - 0.3	—	V	$I_{OH} = -0.5\text{mA}$
			VCC - 0.3	—		$I_{OH} = -1.0\text{mA}$

[チップバージョン B、C の場合]

表 5.31 出力電圧値 (4)

条件 : $VCC = AVCC0 = 2.7 \sim 4.0V$, $VSS = AVSS0 = VREFL = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
出力 Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
出力 High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時	V_{OH}	$VCC - 0.5$	—		$I_{OH} = -2.0mA$

[チップバージョン B、C の場合]

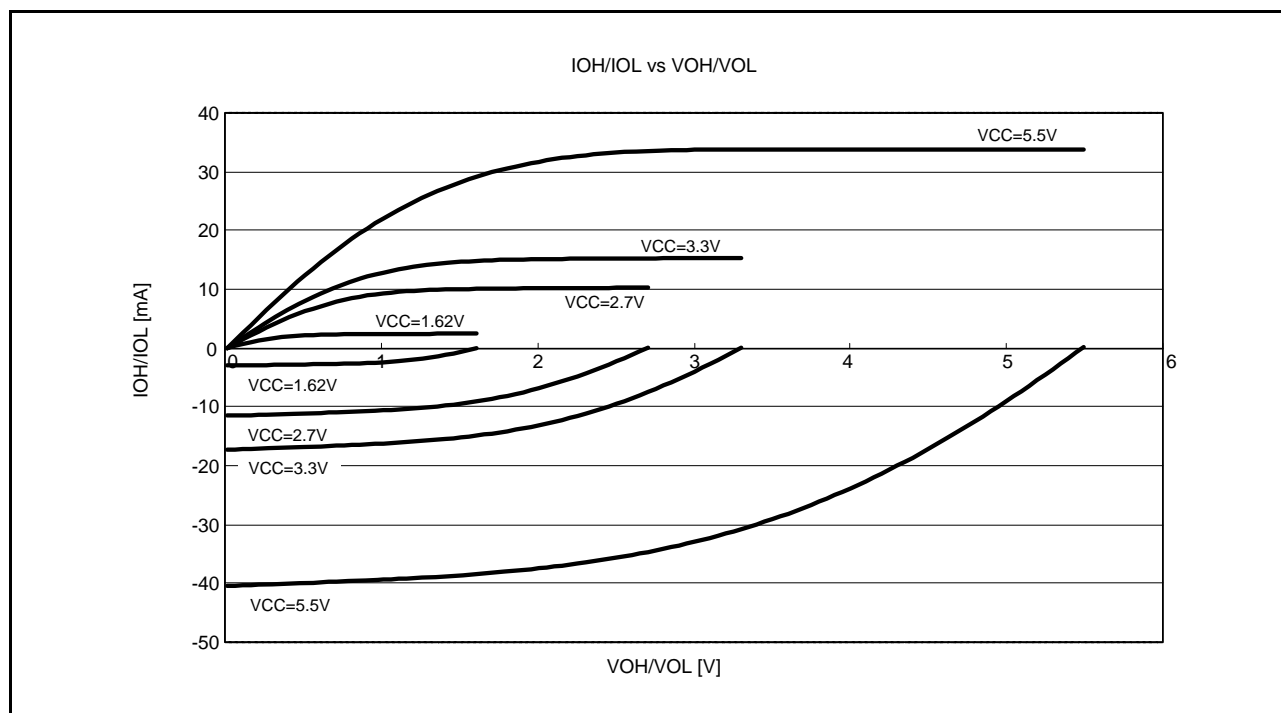
表 5.32 出力電圧値 (5)

条件 : $VCC = AVCC0 = 4.0 \sim 5.5V$, $VSS = AVSS0 = VREFL = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
出力 Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
出力 High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時	V_{OH}	$VCC - 0.8$	—		$I_{OH} = -4.0mA$

5.2.1 標準 I/O 端子出力特性 (1)

図 5.45 ~ 図 5.49 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

図 5.45 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 $T_a = 25^\circ C$ (参考データ)

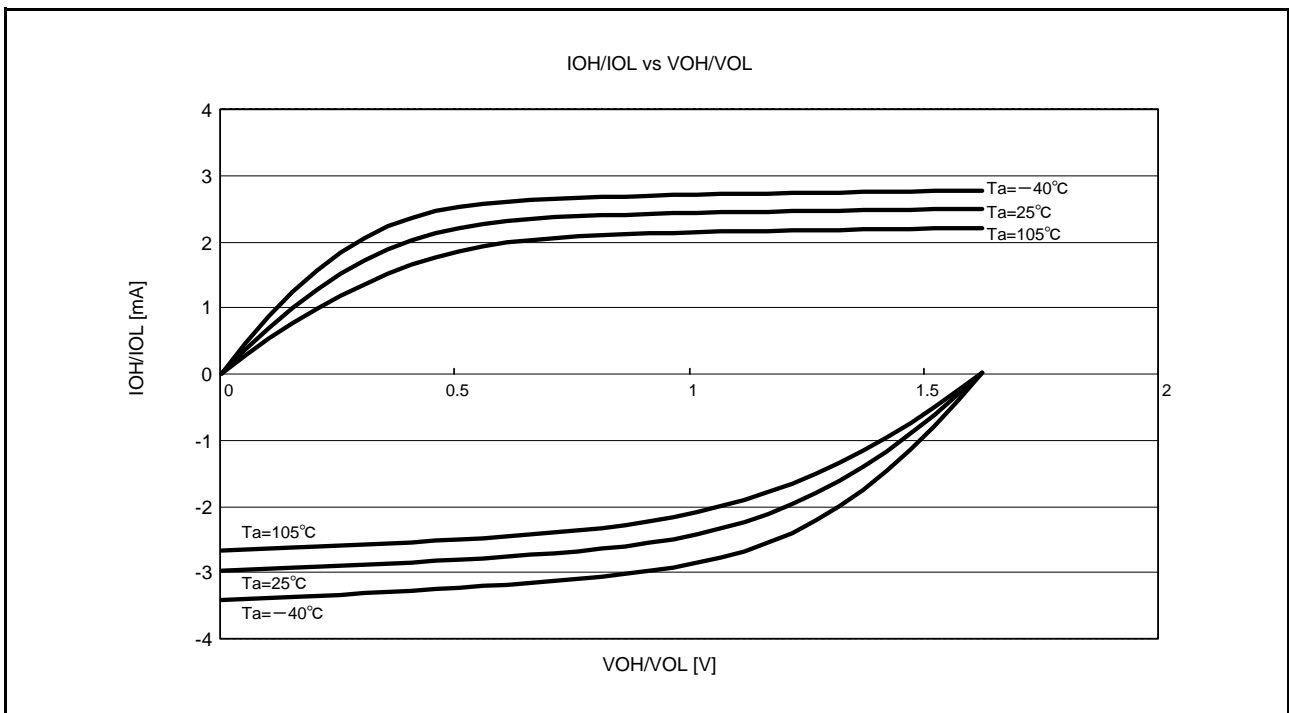


図 5.46 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

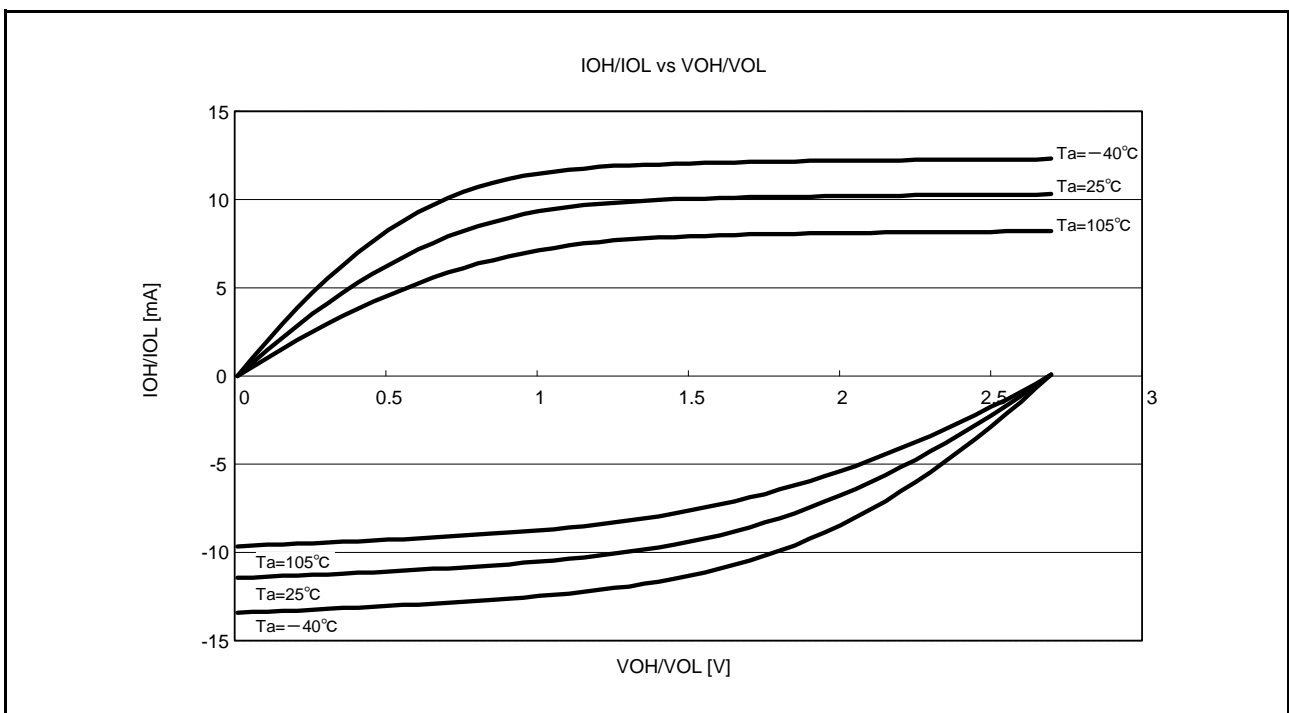


図 5.47 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

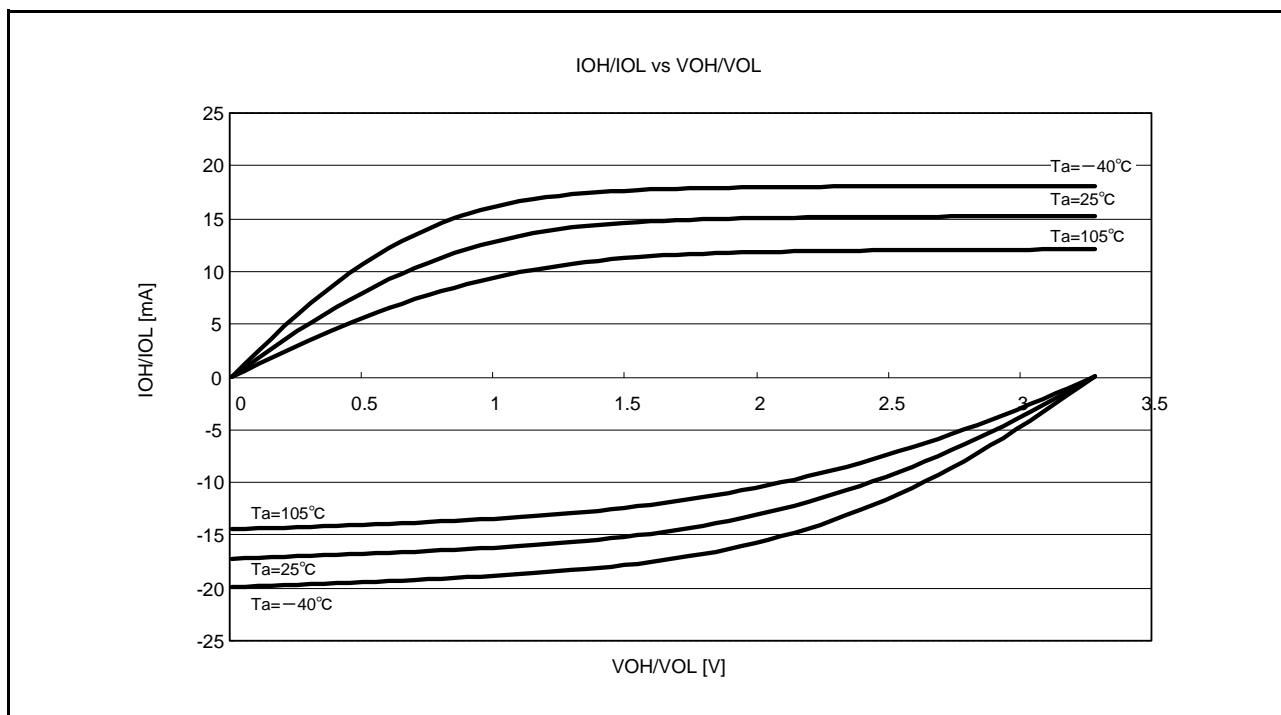


図 5.48 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

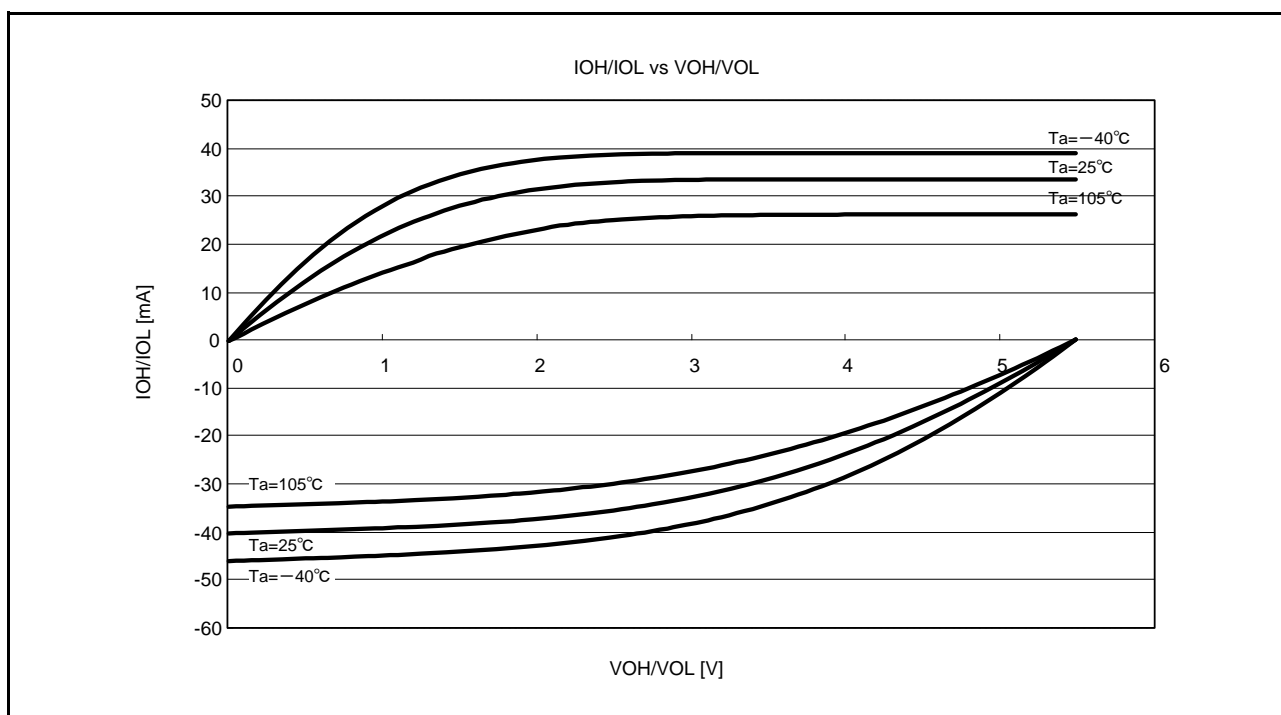


図 5.49 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.50 ~ 図 5.54 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

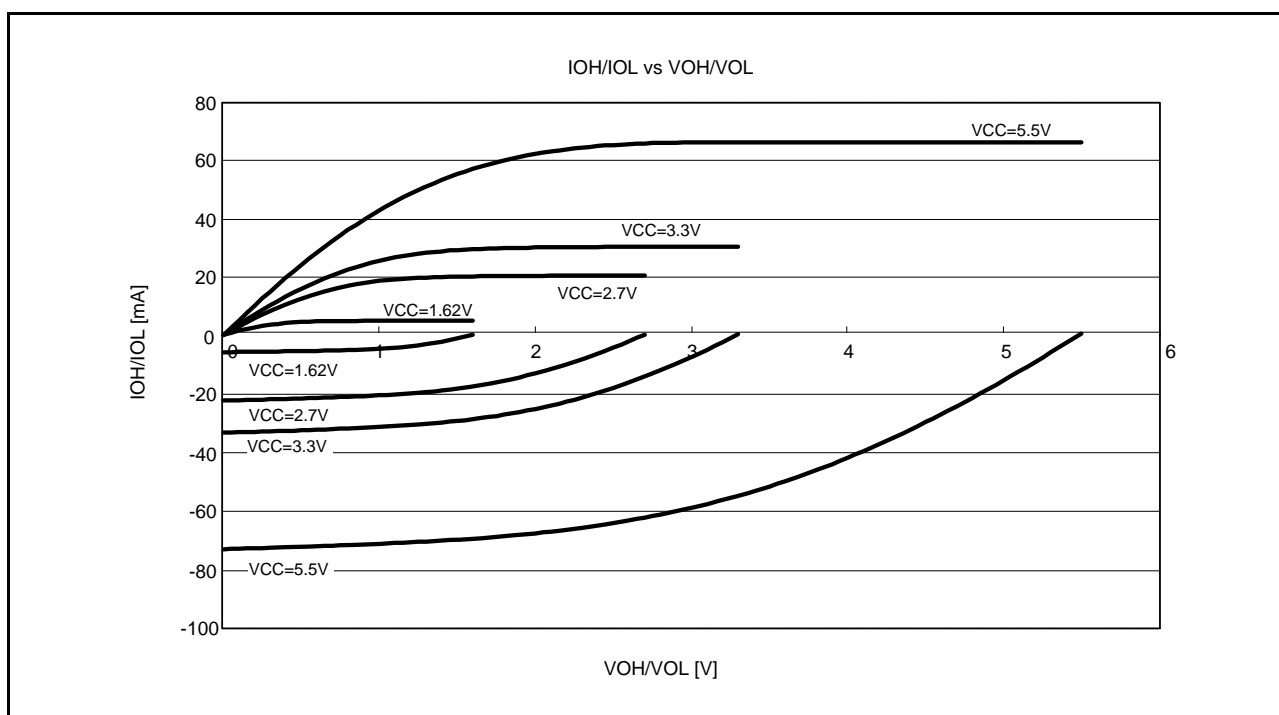


図 5.50 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ)

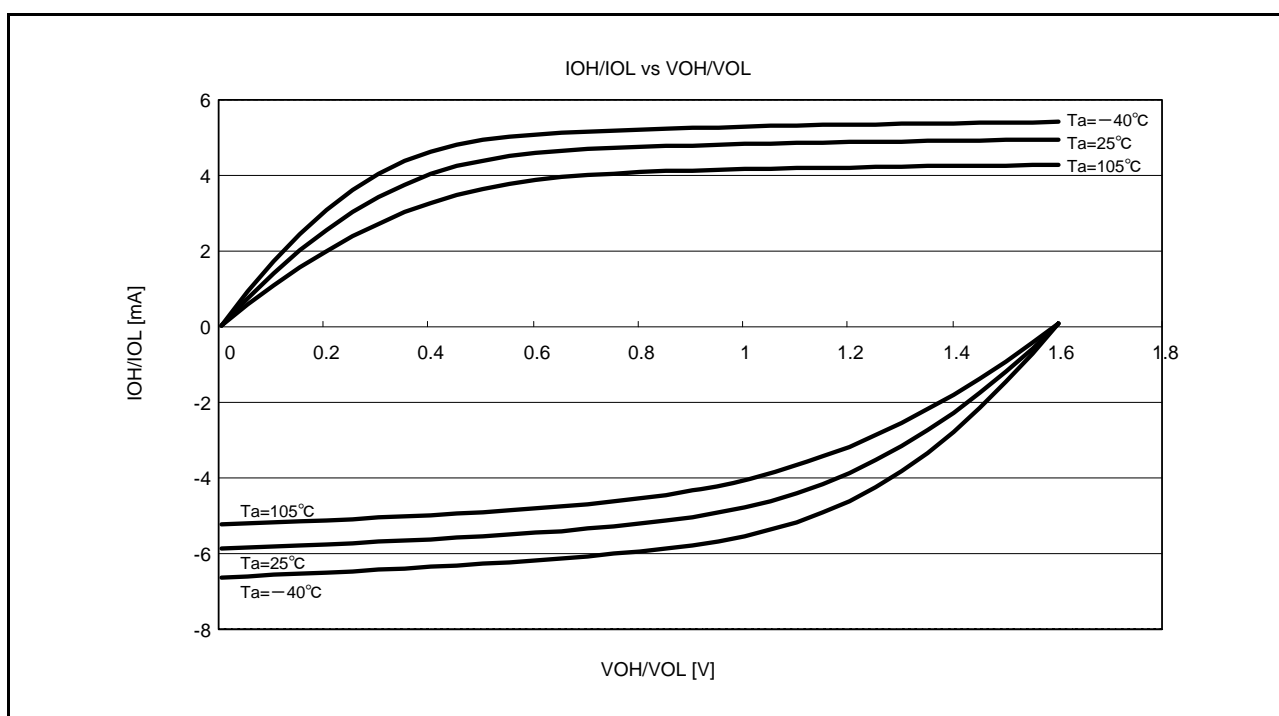


図 5.51 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

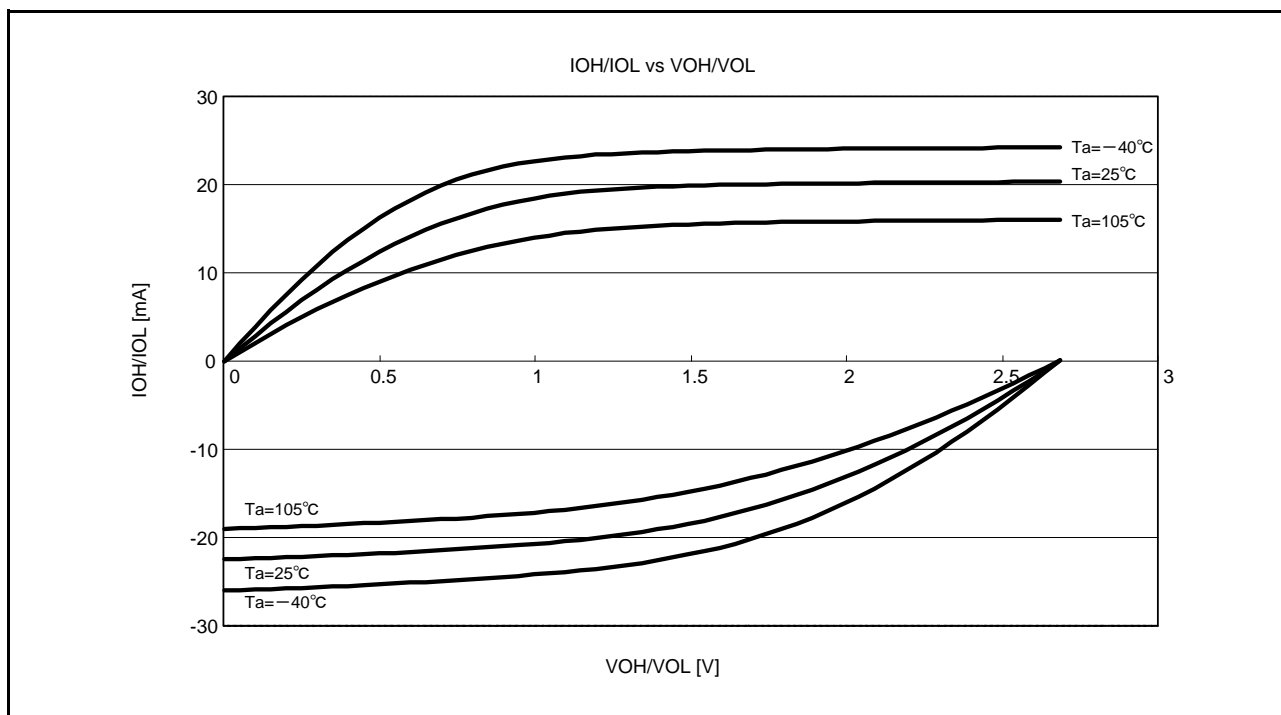


図 5.52 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

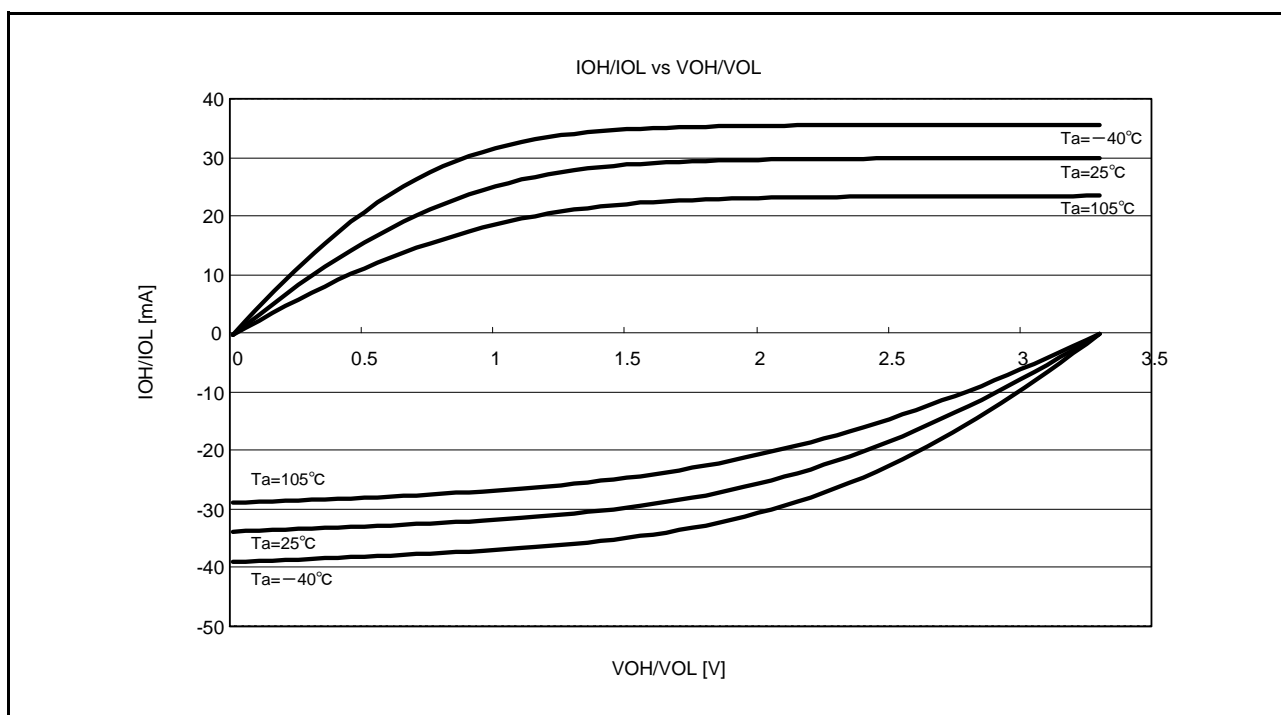


図 5.53 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

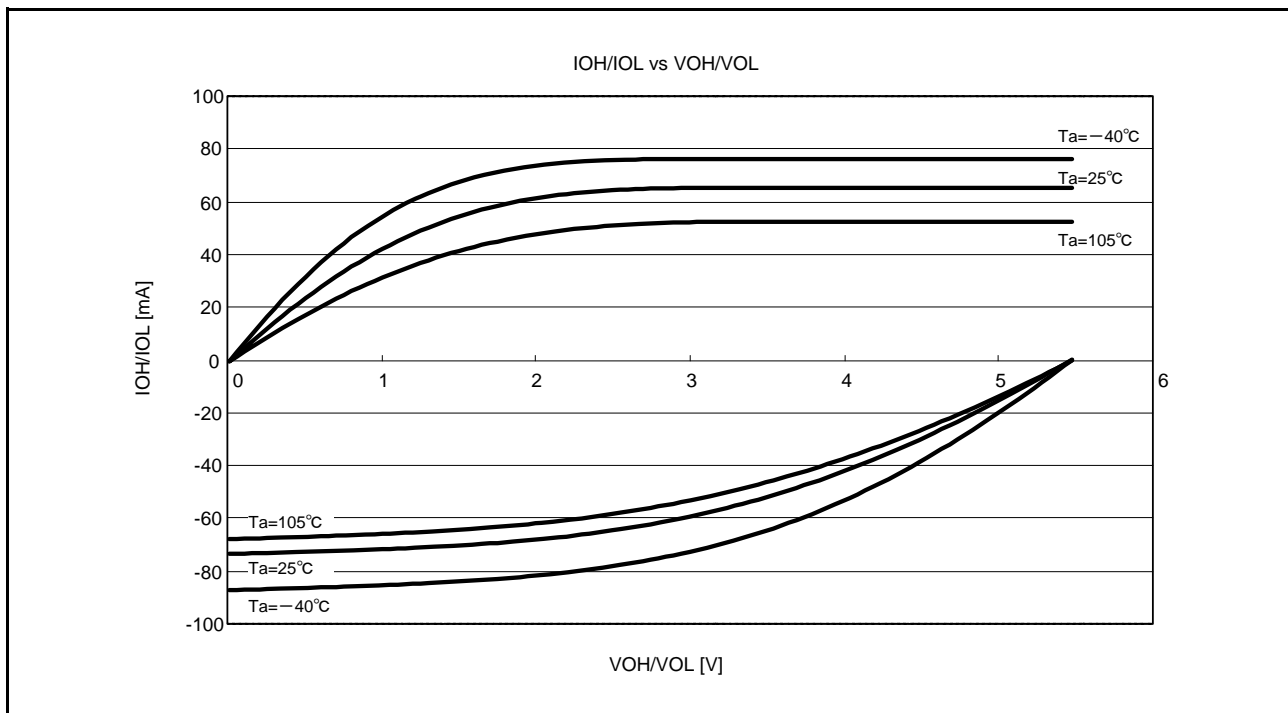


図 5.54 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

5.2.3 RIIC 端子出力特性

図 5.55 ~ 図 5.58 に RIIC 端子の出力特性を示します。

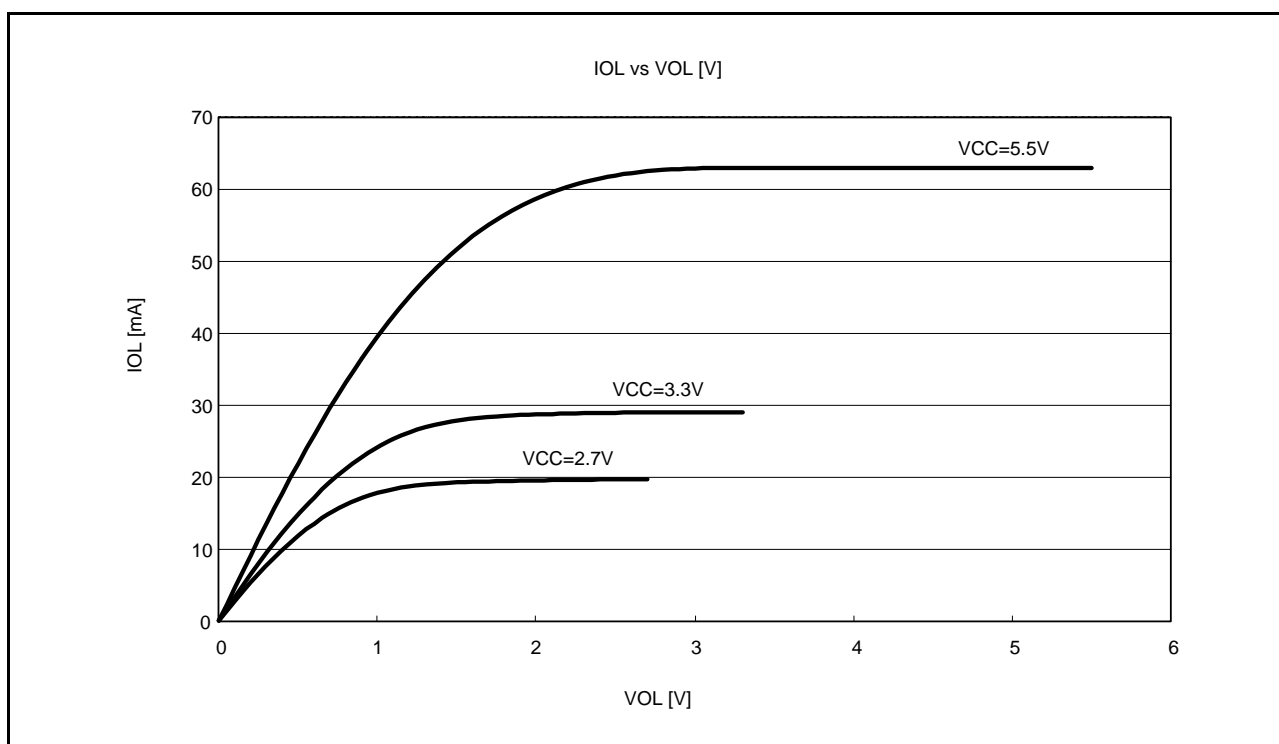


図 5.55 RIIC 出力端子の VOL、IOL 電圧特性 Ta = 25 °C (参考データ)

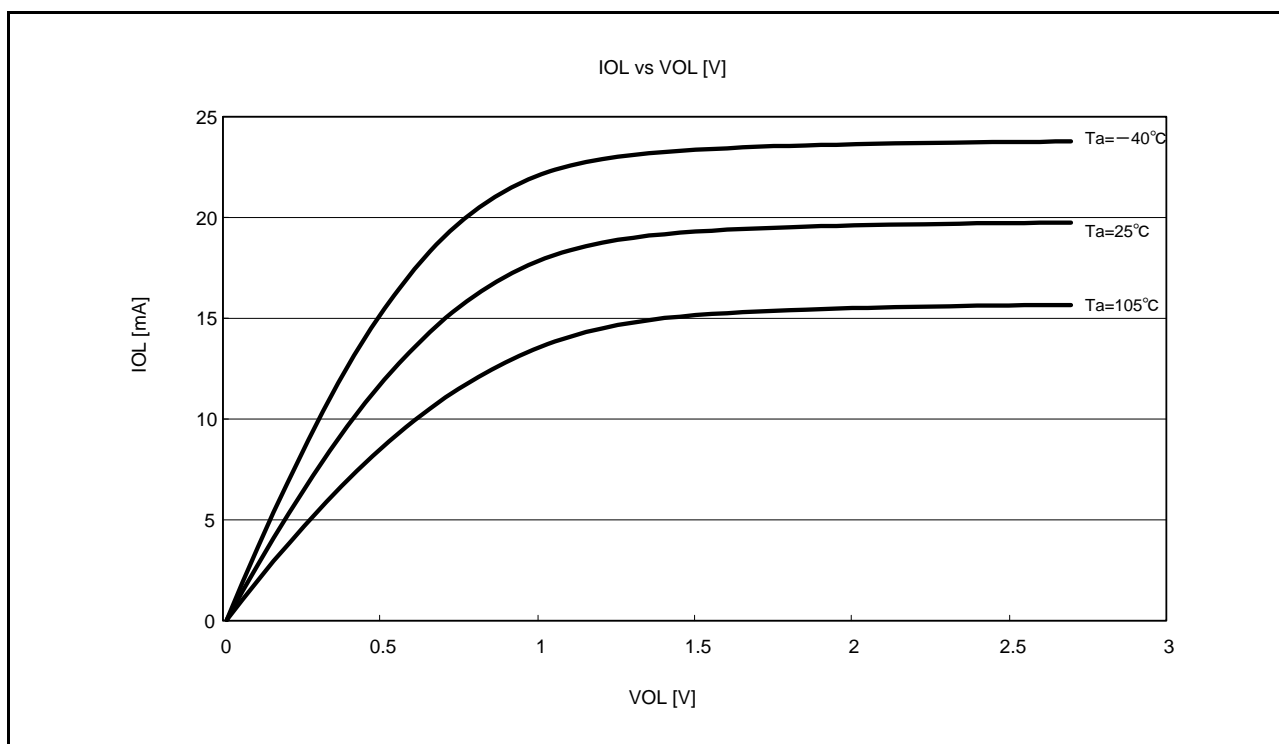


図 5.56 RIIC 出力端子の VOL、IOL 温度特性 VCC = 2.7V (参考データ)

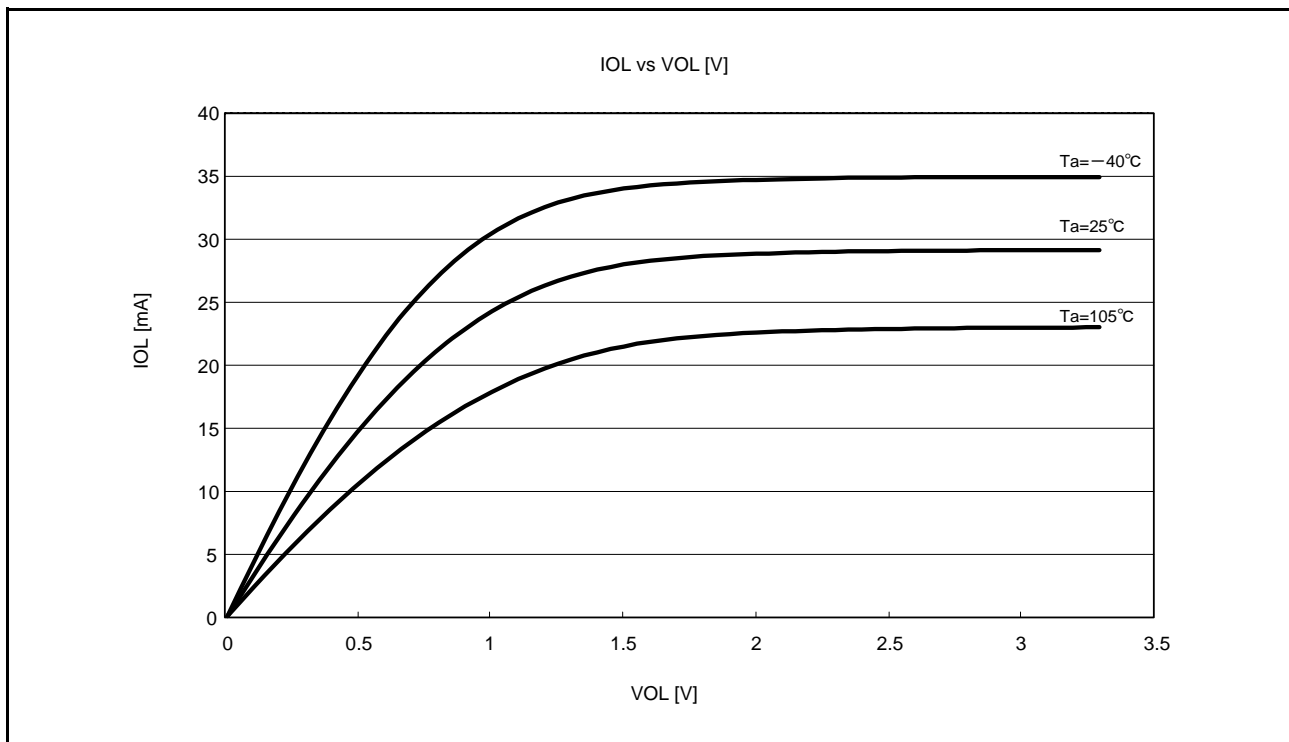


図 5.57 RIIC 出力端子の VOL、IOL 温度特性 VCC = 3.3V (参考データ)

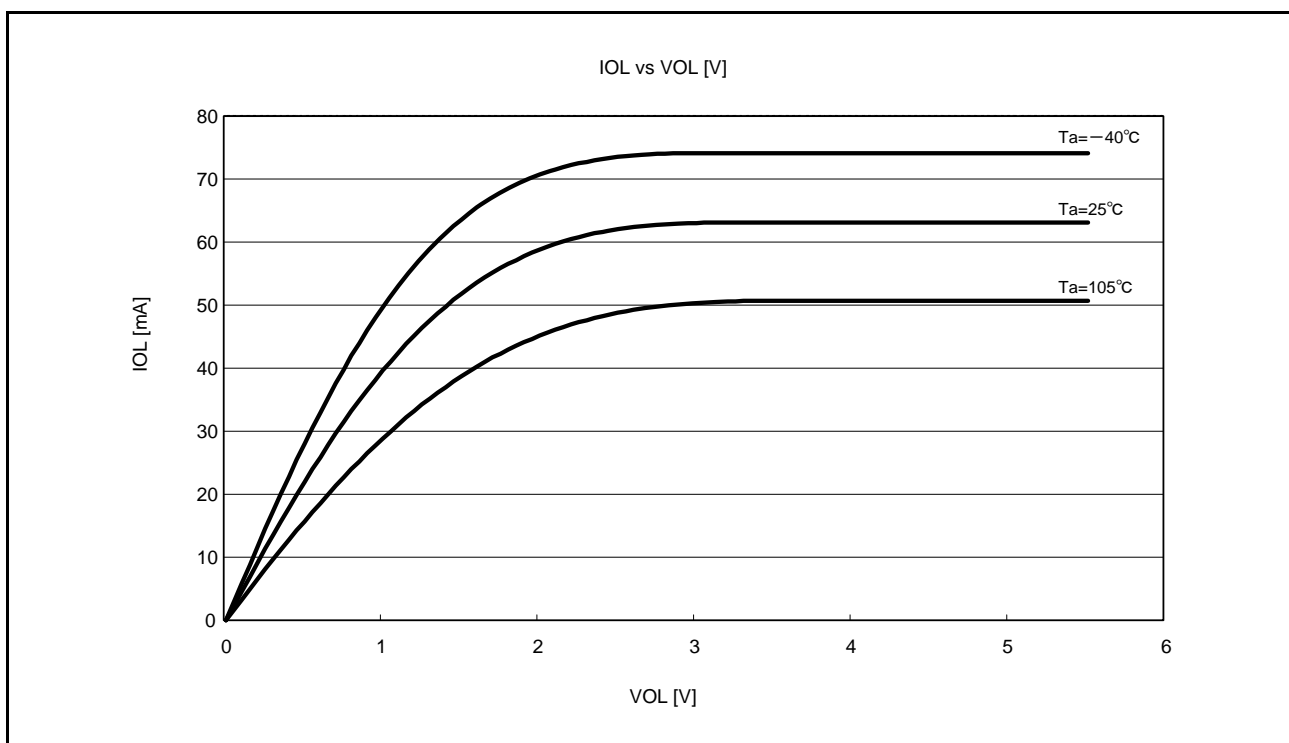


図 5.58 RIIC 出力端子の VOL、IOL 温度特性 VCC = 5.5V (参考データ)

5.3 AC 特性

[チップバージョン A、B、C の場合]

表5.33 動作周波数 (高速動作モード)

条件 : VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		2.7 ~ 5.5V				
最大動作周波数	システムクロック (ICLK)	f_{\max}	50			MHz
	FlashIFクロック (FCLK) (注1)		32			
	周辺モジュールクロック (PCLKB)		32			
	周辺モジュールクロック (PCLKD) (注2)		50			
	外部バスクロック (BCLK)		25			
	BCLK端子出力		12.5			

注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表5.34 動作周波数 (中速動作モード1A)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	20	32	32	MHz
	FlashIFクロック (FCLK) (注1)		20	32	32	
	周辺モジュールクロック (PCLKB)		20	32	32	
	周辺モジュールクロック (PCLKD) (注2)		20	32	32	
	外部バスクロック (BCLK)		12	16	25	
	BCLK端子出力		6	8	12.5	

注1. フラッシュメモリP/E時のVCCは2.7~5.5V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表5.35 動作周波数 (中速動作モード1B)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	20	32	32	MHz
	FlashIFクロック (FCLK) (注1)		20	32	32	
	周辺モジュールクロック (PCLKB)		20	32	32	
	周辺モジュールクロック (PCLKD) (注2)		20	32	32	
	外部バスクロック (BCLK)		12	16	25	
	BCLK端子出力		6	8	12.5	

注1. フラッシュメモリP/E時のVCCは1.62~3.6V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン B の場合]

表 5.36 動作周波数 (中速動作モード 2A)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注2)		8	16	32	
	外部バスクロック (BCLK)		8	16	25	
	BCLK端子出力		8	8	12.5	

注1. フラッシュメモリ P/E 時の VCC は 2.7 ~ 5.5V、FCLK の下限周波数は 4MHz です。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン B の場合]

表 5.37 動作周波数 (中速動作モード 2B)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注2)		8	16	32	
	外部バスクロック (BCLK)		8	16	25	
	BCLK端子出力		8	8	12.5	

注1. フラッシュメモリ P/E 時の VCC は 1.62 ~ 3.6V、FCLK の下限周波数は 4MHz です。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン A、C の場合]

表 5.38 動作周波数 (低速動作モード 1)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	1	1	1	MHz
	FlashIFクロック (FCLK) (注1)		1	1	1	
	周辺モジュールクロック (PCLKB)		1	1	1	
	周辺モジュールクロック (PCLKD) (注2)		1	1	1	
	外部バスクロック (BCLK)		1	1	1	
	BCLK端子出力		1	1	1	

注1. フラッシュメモリの P/E はできません。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン B の場合]

表 5.39 動作周波数 (低速動作モード1)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f _{max}	2	4	8	MHz
	FlashIFクロック (FCLK) (注1)		2	4	8	
	周辺モジュールクロック (PCLKB)		2	4	8	
	周辺モジュールクロック (PCLKD) (注2)		2	4	8	
	外部バスクロック (BCLK)		2	4	8	
	BCLK端子出力		2	4	8	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表 5.40 動作周波数 (低速動作モード2)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f _{max}	32.768	32.768	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKB)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKD) (注2)		32.768	32.768	32.768	
	外部バスクロック (BCLK)		32.768	32.768	32.768	
	BCLK端子出力		32.768	32.768	32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

5.3.1 クロックタイミング

表5.41 BCLKタイミング (1)

条件：VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 25MHz (BCLK 端子出力周波数 ≤ 12.5MHz)、T_a = -40~+105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	80	—	—	ns	図 5.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	20	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	20	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	15	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	15	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表5.42 BCLKタイミング (2)

条件：VCC = AVCC0 = 1.8~2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 16MHz (BCLK 端子出力周波数 ≤ 8MHz)、T_a = -40~+105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	125	—	—	ns	図 5.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	30	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	30	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	25	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	25	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表5.43 BCLKタイミング (3)

条件：VCC = AVCC0 = 1.62~1.8V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 12MHz (BCLK 端子出力周波数 ≤ 6MHz)、T_a = -40~+105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	166.6	—	—	ns	図 5.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	42	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	42	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	35	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	35	ns	

注. BCLK端子出力ポートの駆動能力は、高駆動出力にしてください。

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表5.44 クロックタイミング

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t _{EXcyc}	50	—	—	ns	図 5.60
EXTAL外部クロック入力パルス幅Highレベル	t _{EXH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t _{EXL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t _{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t _{EXf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t _{EXWT}	1	—	—	ms	図 5.61
メインクロック発振器発振周波数 (注2)	f _{MAIN}	1	—	20	MHz	
メインクロック発振安定時間 (水晶) (注2)	t _{MAINOSC}	—	3	—	ms	
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs	
メインクロック発振安定待機時間 (水晶) (注2)	t _{MAINOSCWT}	—	6	—	ms	
メインクロック発振安定待機時間 (セラミック共振子) (注2)	t _{MAINOSCWT}	—	100	—	μs	図 5.62
LOCOクロックサイクル時間	t _{cyc}	7.27	8	8.89	μs	
LOCOクロック発振周波数 (注6)	f _{LOCO}	112.5	125	137.5	kHz	
LOCOクロック発振安定待機時間	t _{LOCOWT}	—	—	20	μs	図 5.63 Ta = 0 ~ 50°C Ta = -40 ~ 105°C
HOCOクロック発振周波数 (注7)	f _{HOCO}	31.680	32	32.320	MHz	
		36.495	36.864	37.233		
		39.600	40	40.400		
		49.500	50	50.500		
		31.520	32	32.480		
		36.311	36.864	37.417		
		39.400	40	40.600		
49.250	50	50.750				
HOCOクロック発振安定時間1	t _{HOCO1}	—	—	300	μs	
HOCOクロック発振安定時間2	t _{HOCO2}	—	—	175	μs	
HOCOクロック発振安定待機時間	t _{HOCOWT}	—	—	350	μs	
HOCOクロック電源安定時間	t _{HOCOP}	—	—	350	μs	
PLL入力周波数	f _{PLLIN}	4	—	12.5	MHz	
PLL回路発振周波数	f _{PLL}	50	—	100	MHz	
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t _{PLL1}	—	—	500	μs
PLLクロック発振安定待機時間		t _{PLLWT1}	1.5	—	—	ms
PLLクロック発振安定時間 (注4)	メインクロック発振安定前にPLL動作開始	t _{PLL2}	—	3.5 (注3)	—	ms
PLLクロック発振安定待機時間 (注4)		t _{PLLWT2}	—	7	—	ms
PLLクロック電源安定時間 (チップバージョンBのみ)	t _{PLLPW}	—	—	30	μs	
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間 (注5)	t _{SUBOSC}	2	—	—	s	図 5.69
サブクロック発振安定待機時間 (注5)	t _{SUBOSCWT}	4	—	—	s	

- 注1. P36、P37を入力に設定し、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。
- 注2. メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。メインクロック発振安定待機時間は、メインクロック発振安定時間に十分なマージン (推奨2倍) を考慮してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間 (t_{MAINOSCWT}) が経過した後、メインクロックの使用を開始してください。
- 注3. 8MHzの発振子を使用した場合の参考値です。
- 注4. メインクロック発振安定時間とPLL発振安定時間を足した値です。
- 注5. 8MHzの発振子を使用した場合の参考値です。
- 注6. サブクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の待機時間になるように SOSCWTCR レジスタに設定してください。
- 注7. サブクロック発振安定待機時間は、サブクロック発振安定時間に十分なマージン (推奨2倍) を考慮して値を設定してください。SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定待機時間 (t_{SUBOSCWT}) が経過した後、サブクロックの使用を開始してください。
- 注8. 69ピンWLBGAについてはmin、maxの値はありません。
- 注9. 69ピンWLBGAについてはボード実装前の特性値です。

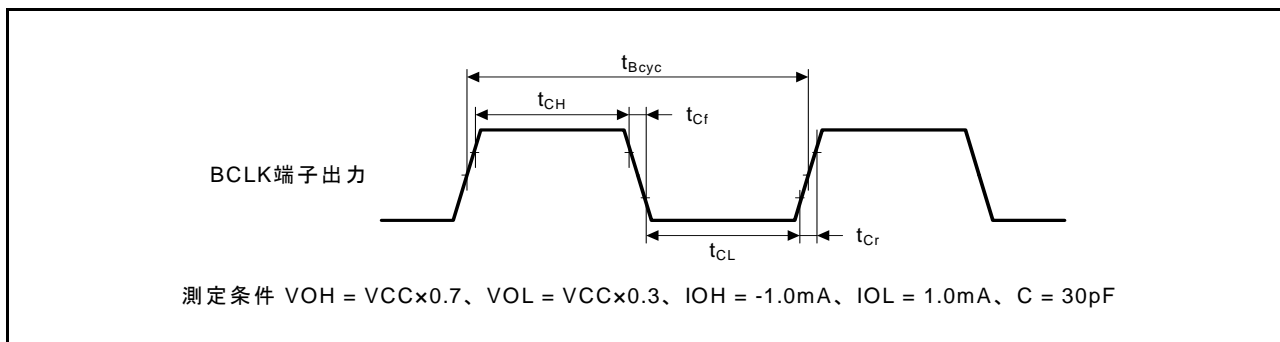


図 5.59 BCLK 端子出力タイミング

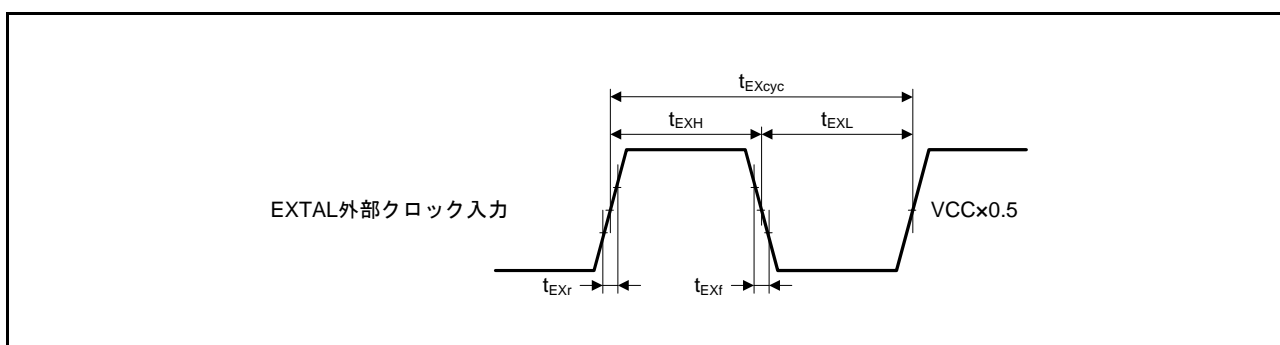


図 5.60 EXTAL 外部クロック入力タイミング

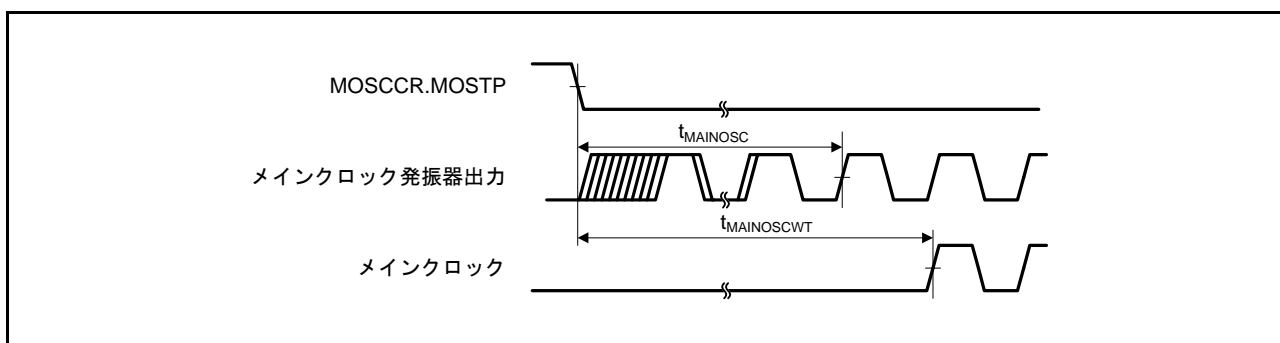


図 5.61 メインクロック発振開始タイミング

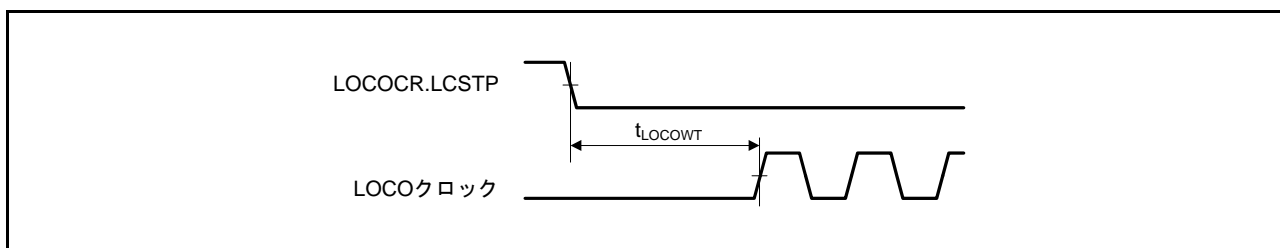


図 5.62 LOCO クロック発振開始タイミング

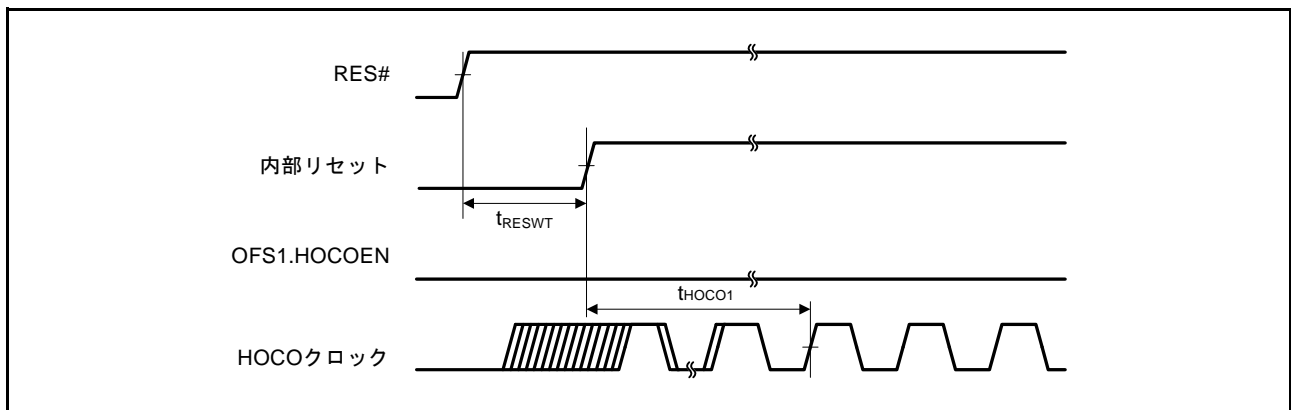


図 5.63 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

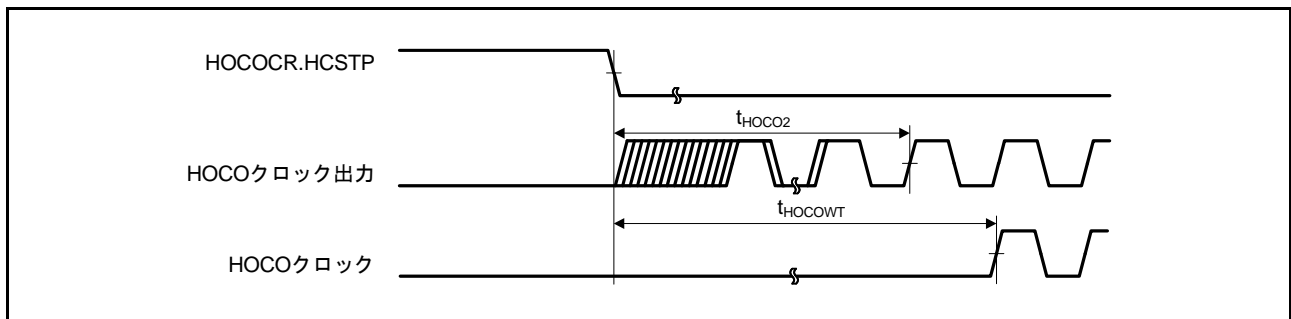


図 5.64 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

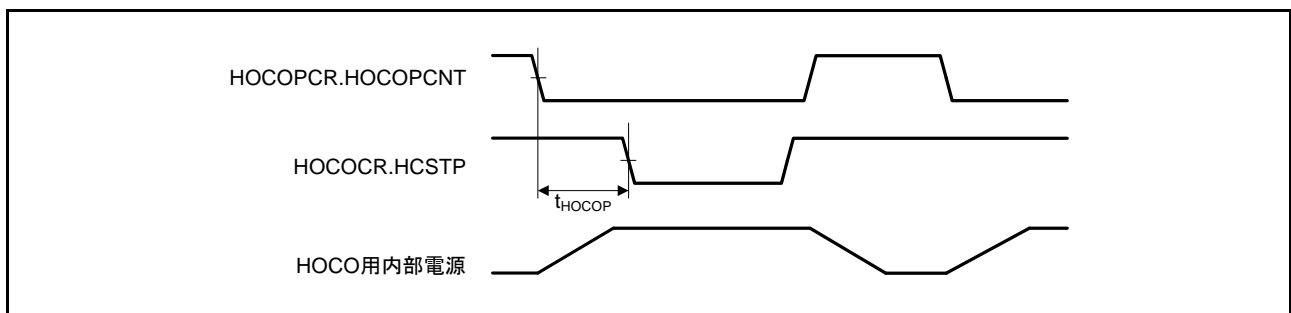


図 5.65 HOCO 電源制御タイミング

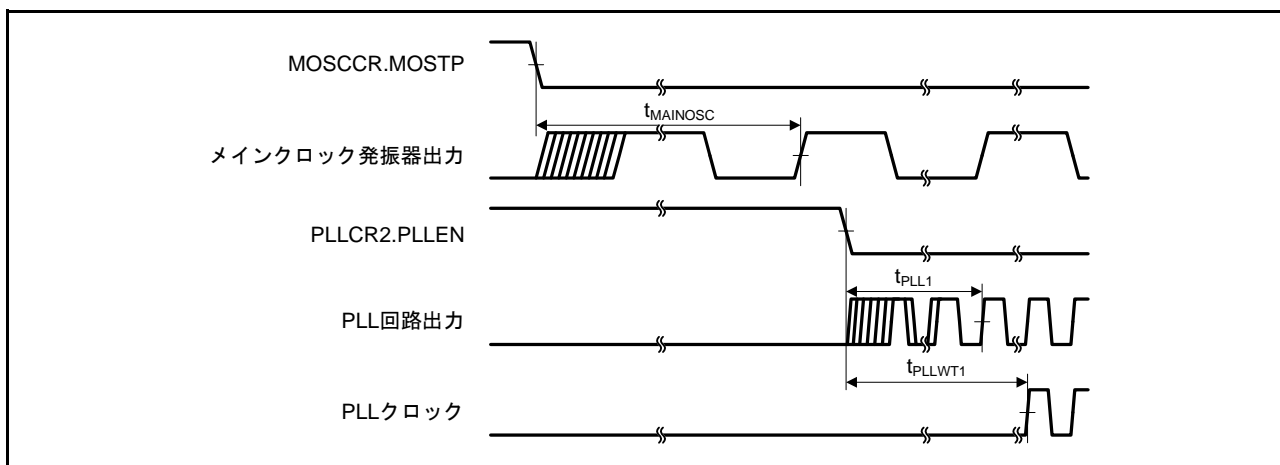


図 5.66 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

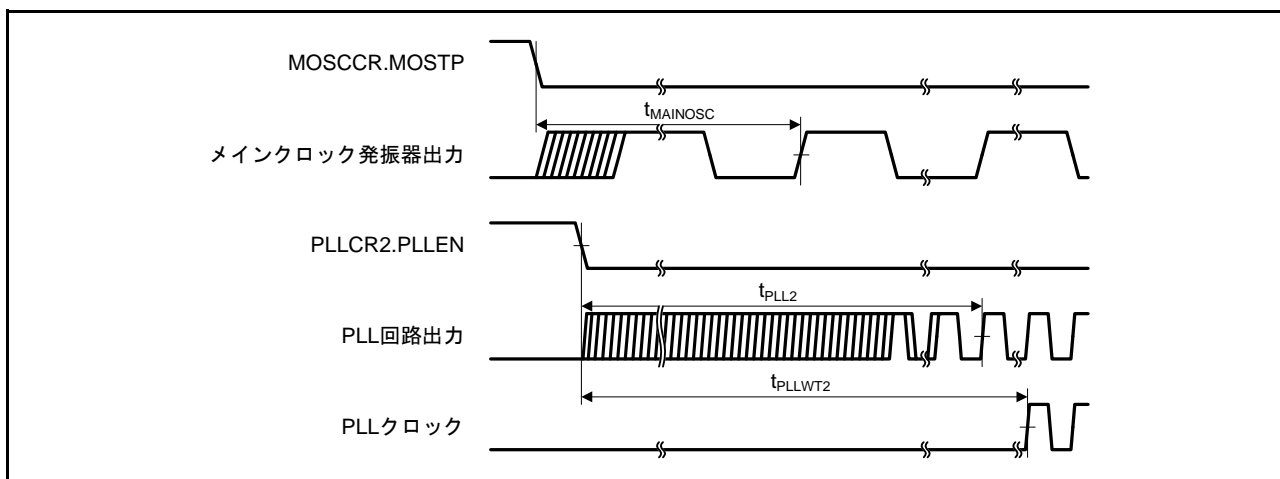


図 5.67 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

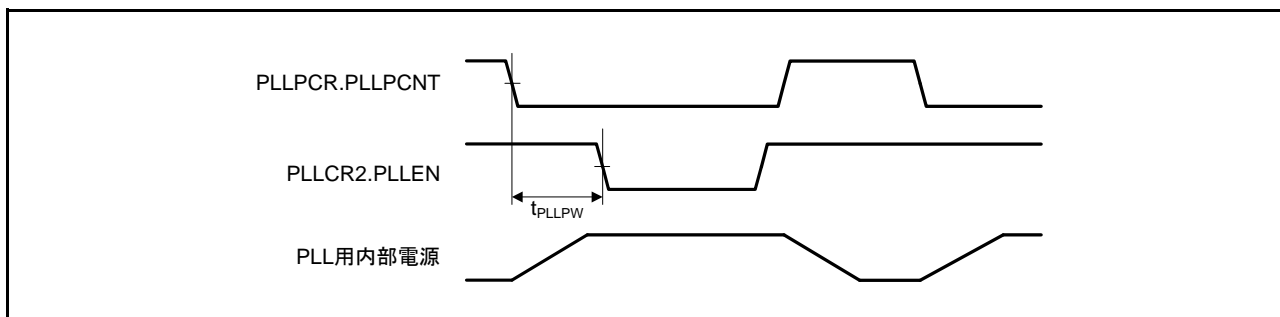


図 5.68 PLL 電源制御タイミング

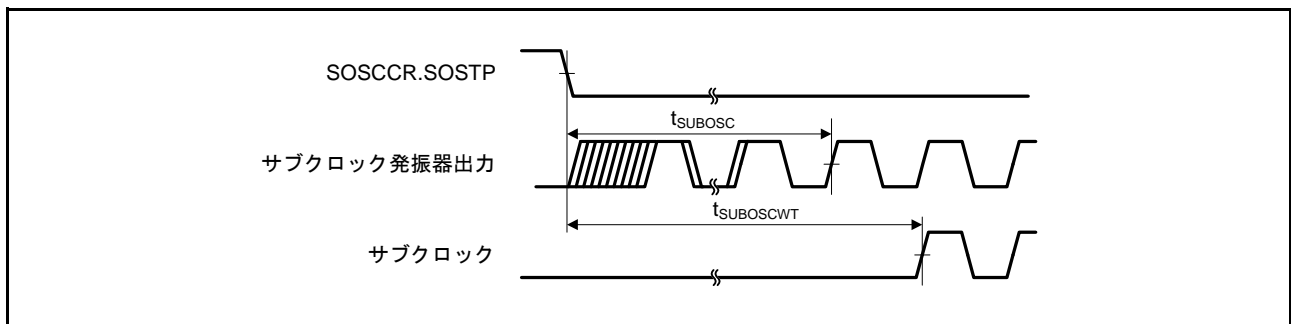


図 5.69 サブクロック発振開始タイミング

5.3.2 リセットタイミング

表5.45 リセットタイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	8	—	—	ms	図 5.70
	ディープソフトウェアスタンバイモード	t_{RESWD}	8	—	—	ms	図 5.71
	ソフトウェアスタンバイモード、 低速動作モード1、2	t_{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—	μs	
RES#解除後待機時間	t_{RESWT}	—	—	912	μs	図 5.70	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t_{RESW2}	—	—	1.4	ms		

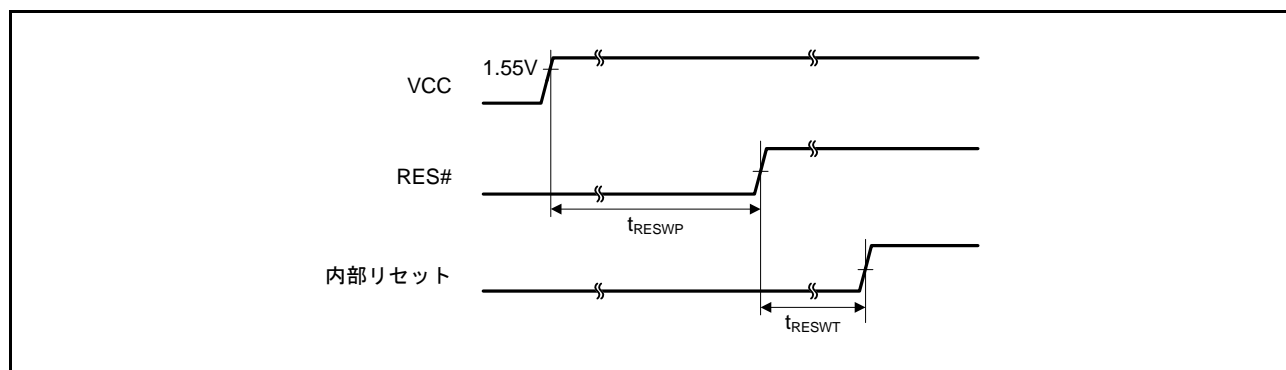


図 5.70 電源投入時リセット入力タイミング

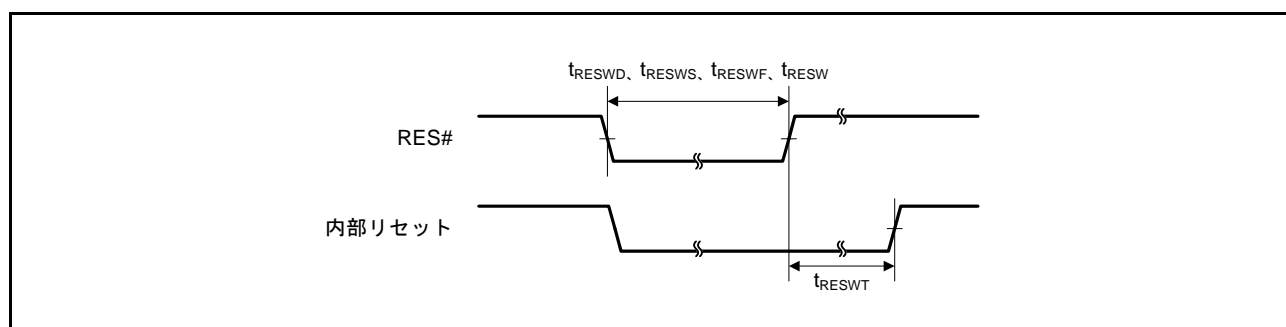


図 5.71 リセット入力タイミング

5.3.3 低消費電力状態からの復帰タイミング

[チップバージョン A、C の場合]

表5.46 低消費電力状態からの復帰タイミング

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ、HOCO電源供給) (SOFTCUT [2:0]ビット = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	10	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	500	μs	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ電源供給、HOCO電源供給なし) (SOFTCUT [2:0]ビット = 110b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	40	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ、HOCO電源供給なし) (SOFTCUT [2:0]ビット = 111b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	100	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注4)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	10	ms	
ディープソフトウェアスタンバイモード解除後復帰時間		t _{DSBY}	—	—	8	ms	図 5.73	
ディープソフトウェアスタンバイモード解除後待機時間		t _{DSBYWT}	—	—	0.8	ms		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。

注3. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算した時間になります。

注4. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算し、さらに31.25msを加算した時間になります。

[チップバージョン B の場合]

表 5.47 低消費電力状態からの復帰タイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給) (SOFTCUT [2:0]ビット = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	10	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	500	μs	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給なし) (SOFTCUT [2:0]ビット = 110b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	40	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ディープソフトウェアスタンバイモード解除後復帰時間			t _{DSBY}	—	—	8	ms	図 5.73
ディープソフトウェアスタンバイモード解除後待機時間			t _{DSBYWT}	—	—	0.8	ms	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。

注3. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算した時間になります。

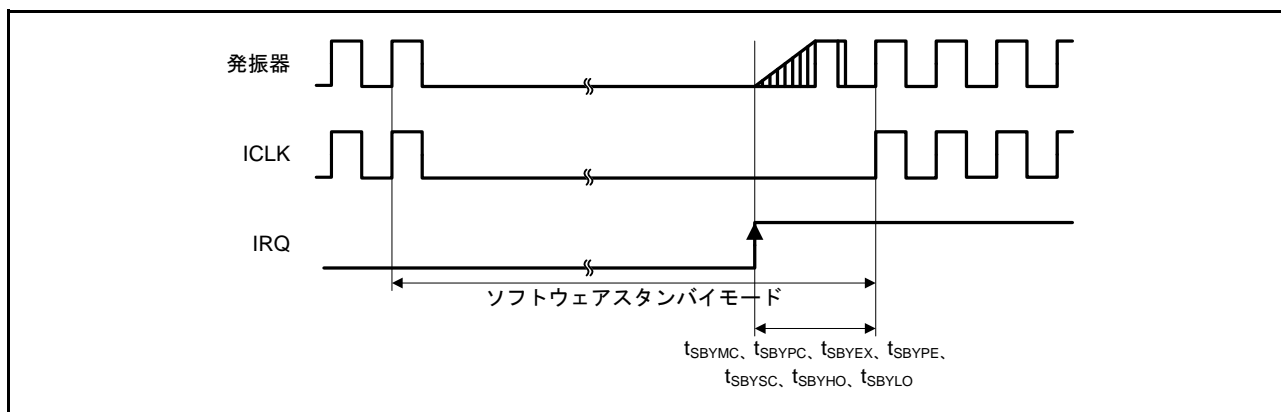


図 5.72 ソフトウェアスタンバイモード解除タイミング

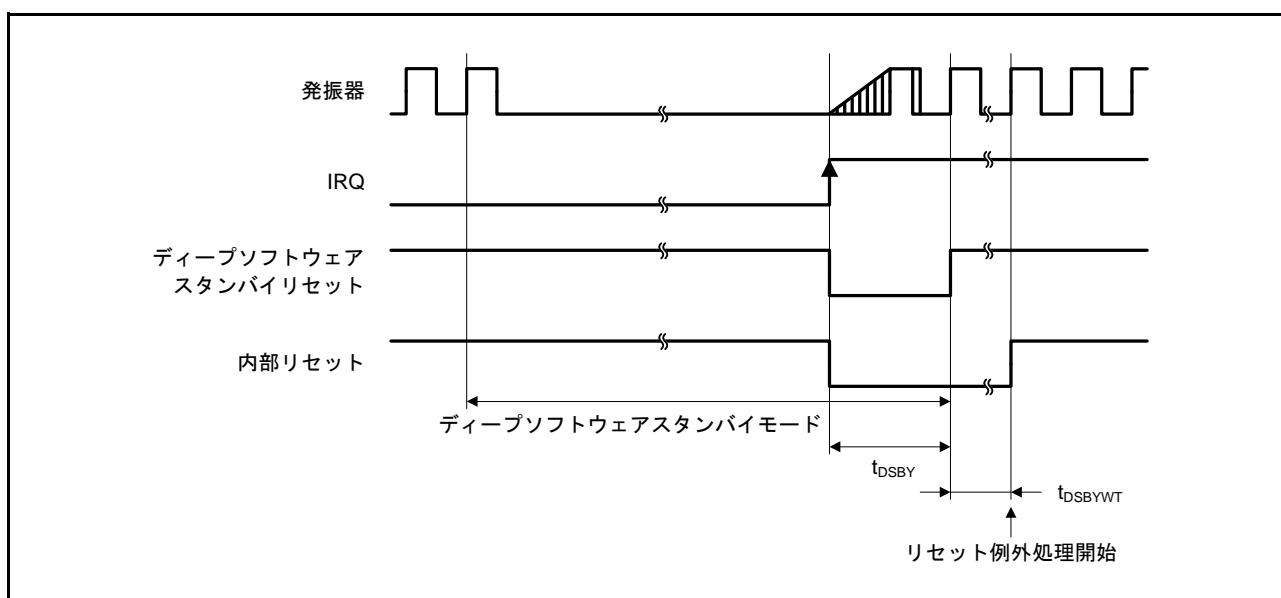


図 5.73 ディープソフトウェアスタンバイモード解除タイミング

5.3.4 制御信号タイミング

表5.48 制御信号タイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t _{NMIW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 5.74
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 5.74
IRQパルス幅	t _{IRQW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 5.75
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 5.75

注. ディープソフトウェアスタンバイおよびソフトウェアスタンバイ時は、最小200nsです。

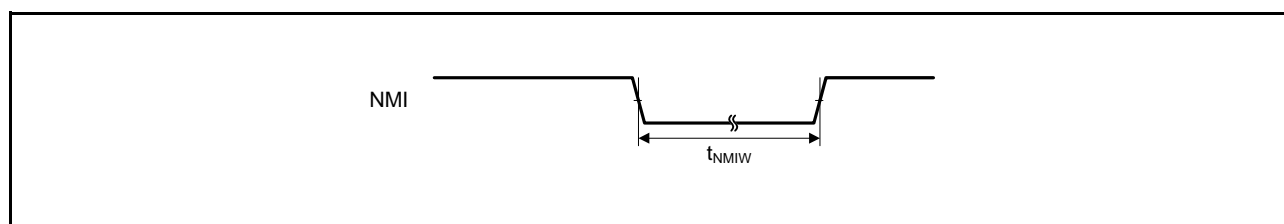


図 5.74 NMI 割り込み入カタイミング

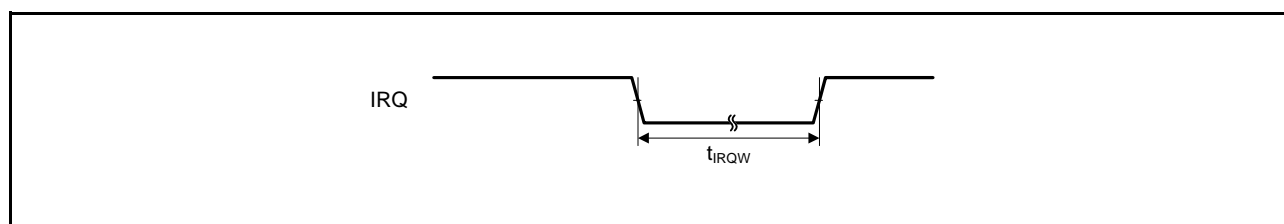


図 5.75 IRQ 割り込み入カタイミング

5.3.5 バスタイミング

表5.49 バスタイミング (1)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 25MHz (BCLK 端子出力周波数 ≤ 12.5MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	60	ns	図 5.76 ~ 図 5.79
バイトコントロール遅延時間	t _{BCD}	—	60	ns	
CS#遅延時間	t _{CS}	—	60	ns	
RD#遅延時間	t _{RD}	—	60	ns	
リードデータセットアップ時間	t _{RDS}	40	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WR}	—	60	ns	
ライトデータ遅延時間	t _{WD}	—	60	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	40	—	ns	
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表5.50 バスタイミング (2)

条件 : VCC = AVCC0 = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 16MHz (BCLK 端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	90	ns	図 5.76 ~ 図 5.79
バイトコントロール遅延時間	t _{BCD}	—	90	ns	
CS#遅延時間	t _{CS}	—	90	ns	
RD#遅延時間	t _{RD}	—	90	ns	
リードデータセットアップ時間	t _{RDS}	60	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WR}	—	90	ns	
ライトデータ遅延時間	t _{WD}	—	90	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	60	—	ns	
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表5.51 バスタイミング (3)

条件 : $V_{CC} = AV_{CC0} = 1.62 \sim 1.8V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、
 $f_{BCLK} \leq 12MHz$ (BCLK 端子出力周波数 $\leq 6MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、
 $I_{OH} = -0.5mA$ 、 $I_{OL} = 0.5mA$ 、 $C_L = 30pF$
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	125	ns	図 5.76 ~ 図 5.79
バイトコントロール遅延時間	t_{BCD}	—	125	ns	
CS#遅延時間	t_{CSD}	—	125	ns	
RD#遅延時間	t_{RSD}	—	125	ns	
リードデータセットアップ時間	t_{RDS}	85	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	125	ns	
ライトデータ遅延時間	t_{WDD}	—	125	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	85	—	ns	
WAIT#ホールド時間	t_{WTH}	0	—	ns	

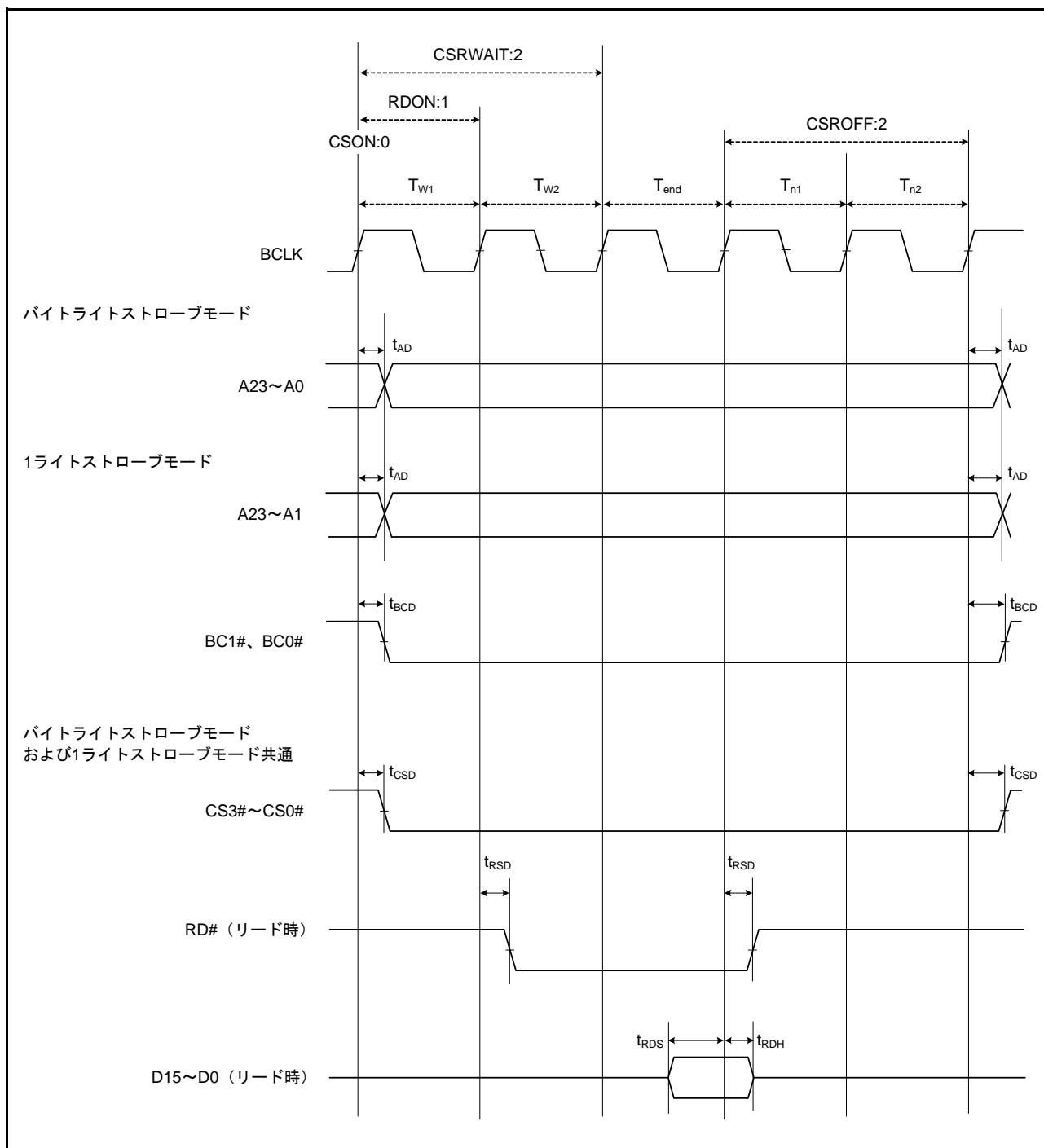


図 5.76 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

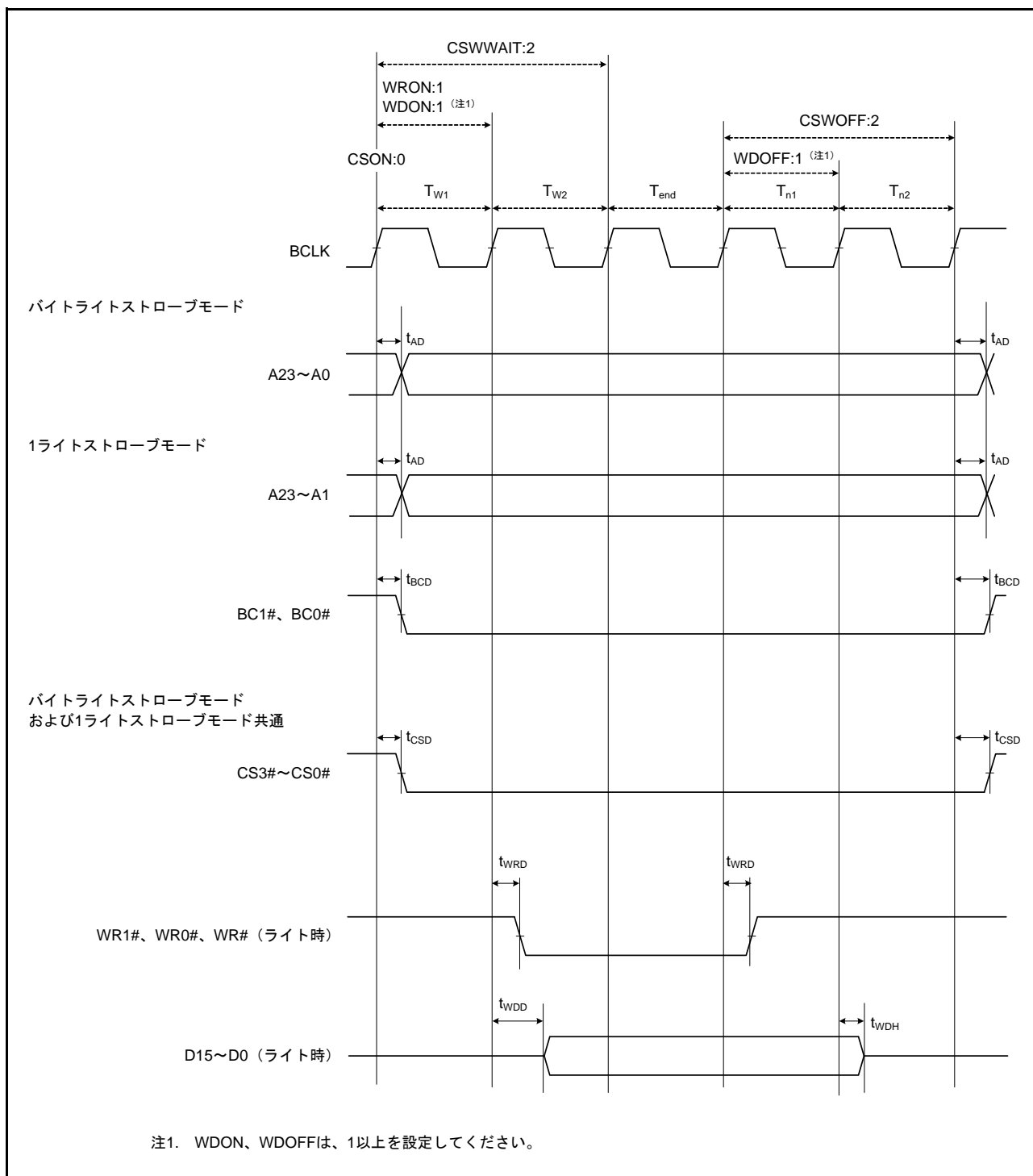


図 5.77 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

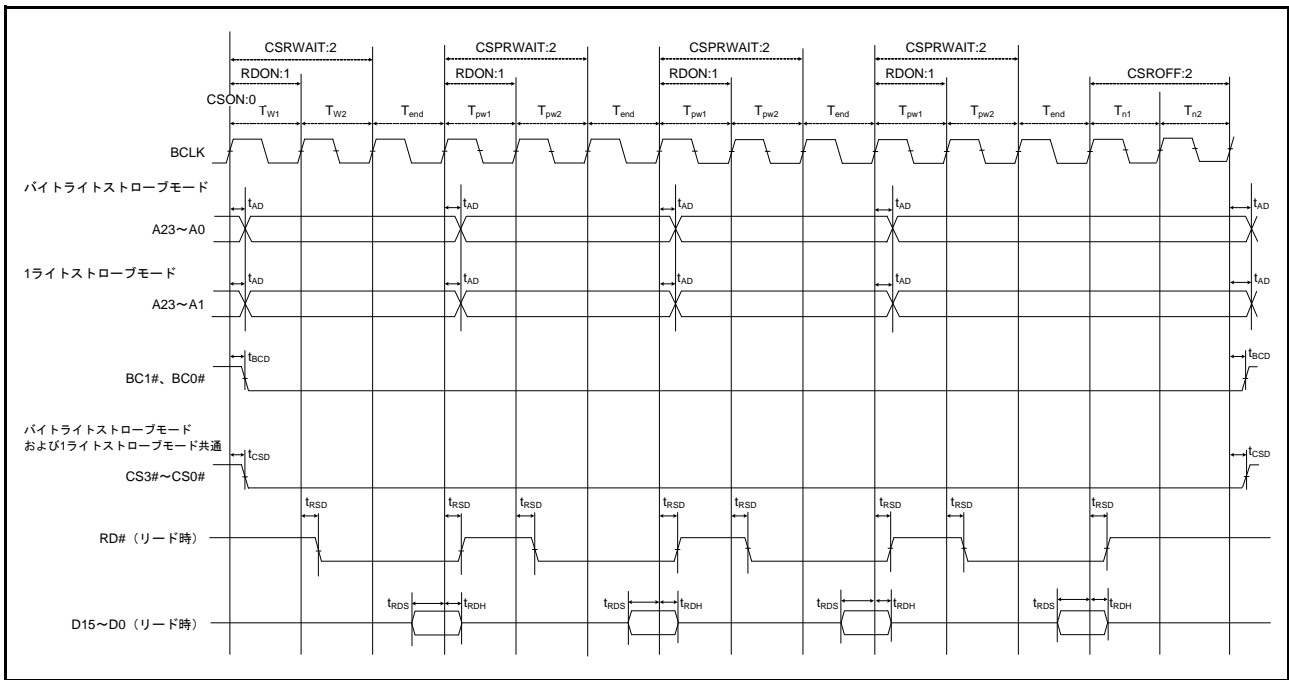
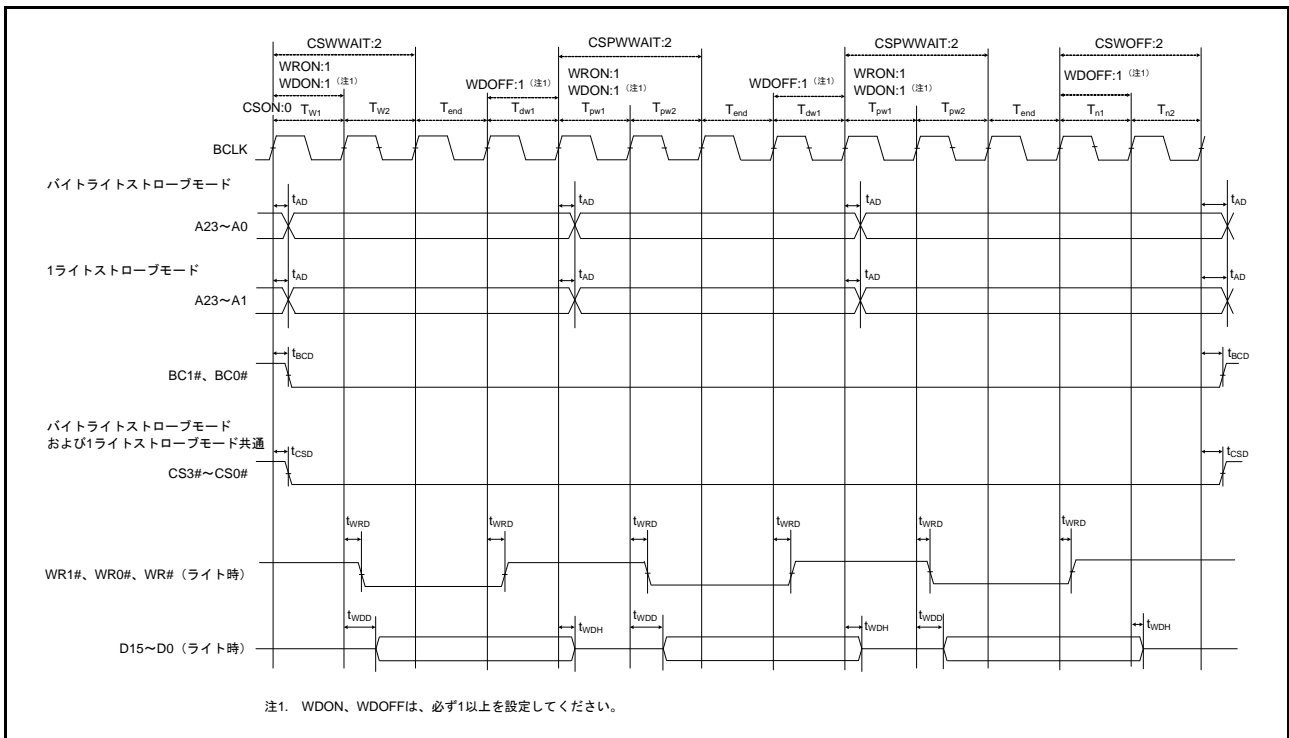


図 5.78 外部バスタイミング / ページリードサイクル (バスクロック同期)



注1. WDON、WDOFFは、必ず1以上を設定してください。

図 5.79 外部バスタイミング / ページライトサイクル (バスクロック同期)

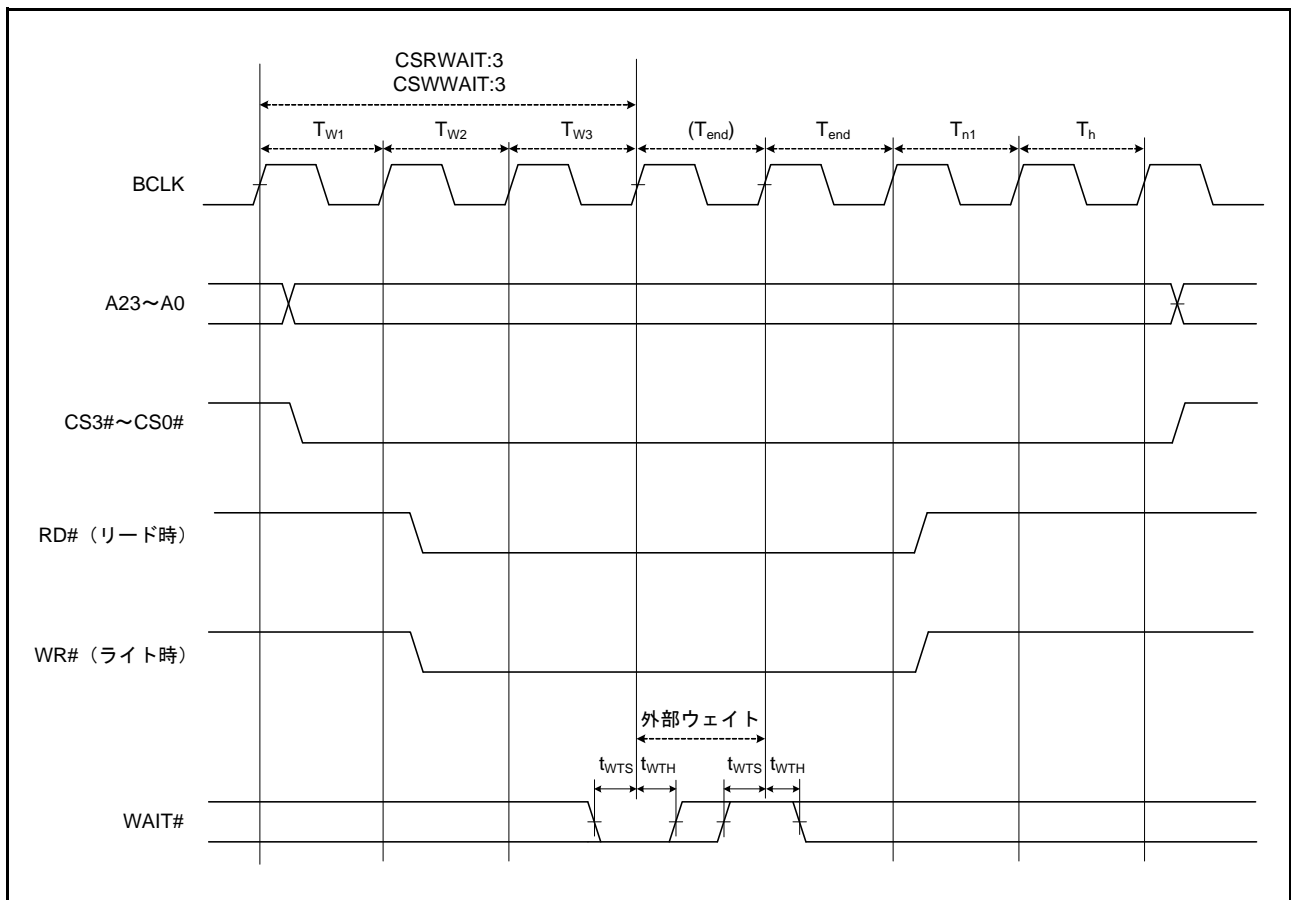


図 5.80 外部バスタイミング / 外部ウェイト制御

表5.52 バスタイミング (マルチプレクスバス) (1)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 25MHz (BCLK端子出力周波数 ≤ 12.5MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	60	ns	図5.81、 図5.82
バイトコントロール遅延時間	t _{BCD}	—	60	ns	
CS#遅延時間	t _{CSD}	—	60	ns	
RD#遅延時間	t _{RSD}	—	60	ns	
ALE遅延時間	t _{ALED}	—	60	ns	
リードデータセットアップ時間	t _{RDS}	40	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	60	ns	
ライトデータ遅延時間	t _{WDD}	—	60	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	40	—	ns	図5.80
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表5.53 バスタイミング (マルチプレクスバス) (2)

条件: VCC = AVCC0 = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 16MHz (BCLK端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	90	ns	図5.81、 図5.82
バイトコントロール遅延時間	t _{BCD}	—	90	ns	
CS#遅延時間	t _{CSD}	—	90	ns	
RD#遅延時間	t _{RSD}	—	90	ns	
ALE遅延時間	t _{ALED}	—	90	ns	
リードデータセットアップ時間	t _{RDS}	60	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	90	ns	
ライトデータ遅延時間	t _{WDD}	—	90	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	60	—	ns	図5.80
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表5.54 バスタイミング（マルチプレクスバス）（3）

条件：VCC = AVCC0 = 1.62 ~ 1.8V、VSS = AVSS0 = VREFL = VREFL0 = 0V、

fBCLK ≤ 12MHz（BCLK端子出力周波数 ≤ 6MHz）、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、I_{OH} = -0.5mA、I_{OL} = 0.5mA、C_L = 30pF

駆動能力制御レジスタは通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	125	ns	図5.81、 図5.82
バイトコントロール遅延時間	t _{BCD}	—	125	ns	
CS#遅延時間	t _{CSD}	—	125	ns	
RD#遅延時間	t _{RS}	—	125	ns	
ALE遅延時間	t _{ALED}	—	125	ns	
リードデータセットアップ時間	t _{RDS}	85	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	125	ns	
ライトデータ遅延時間	t _{WDD}	—	125	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	85	—	ns	図5.80
WAIT#ホールド時間	t _{WTH}	0	—	ns	

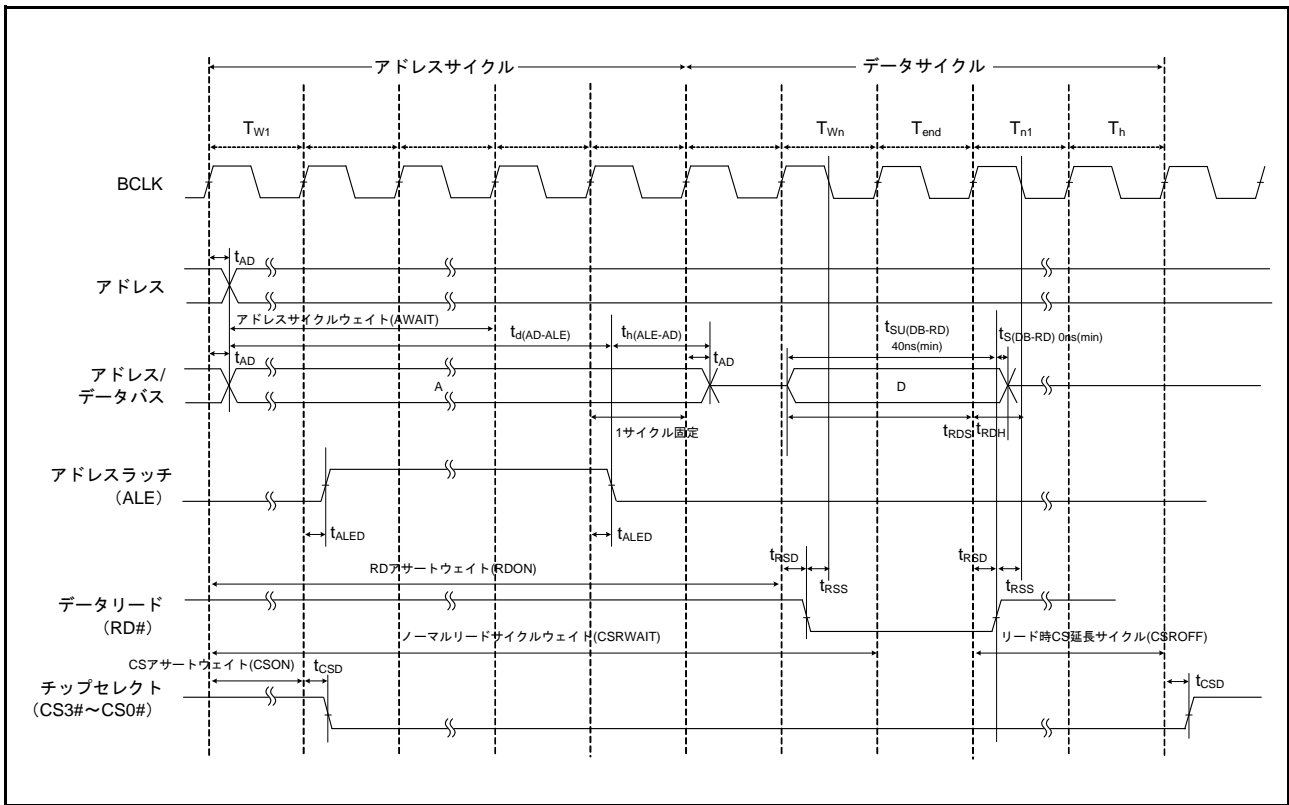


図 5.81 外部バスタイミング/リードアクセスの動作例 (マルチプレクス)

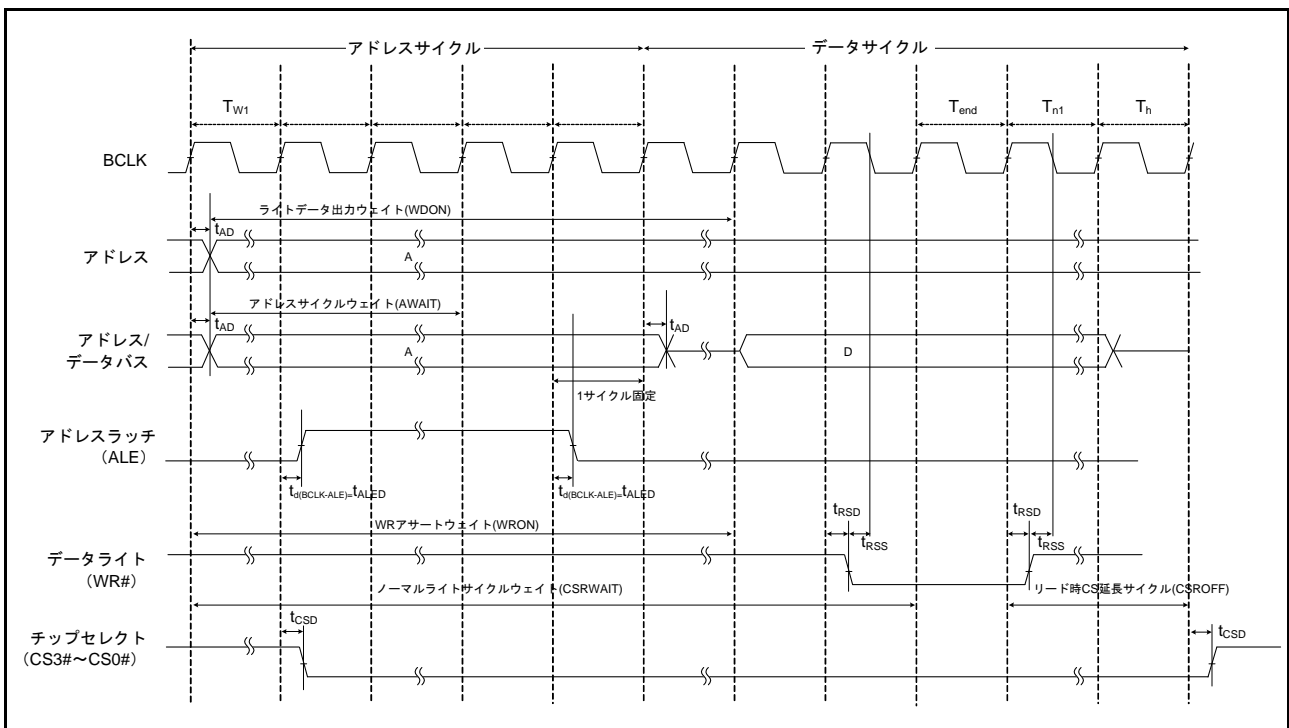


図 5.82 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)

5.3.6 内蔵周辺モジュールタイミング

表5.55 内蔵周辺モジュールタイミング (1)

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図5.83	
MTU/TPU	入力キャプチャ入力パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図5.84	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図5.85	
		両エッジ指定	2.5	—			
		位相係数モード	2.5	—			
POE	POE#入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図5.86	
8ビットタイマ	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図5.87	
		両エッジ指定	2.5	—			
SCI	入力クロックサイクル	調歩同期	4	—	t _{Pcyc}	図5.88	
		クロック同期	6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期	t _{Scyc}	16	—	t _{Pcyc}	C = 30pF 図5.89
		クロック同期		4	—		
	出カクロックパルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SCKW}	0.4	0.6	t _{Scyc}	
		1.8V ≤ VCC < 2.7V		0.35	0.65		
		1.62V ≤ VCC < 1.8V		0.35	0.65		
	出カクロック立ち上がり時間		t _{SCKr}	—	20	ns	
	出カクロック立ち下がり時間		t _{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t _{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック同期		2.7V ≤ VCC ≤ 5.5V	—	65	
1.8V ≤ VCC < 2.7V				—	85	ns	
1.62V ≤ VCC < 1.8V			—	95	ns		
受信データセットアップ時間 (マスタ)	クロック同期	t _{RXS}	2.7V ≤ VCC ≤ 5.5V	65	—	ns	
			1.8V ≤ VCC < 2.7V	75	—	ns	
			1.62V ≤ VCC < 1.8V	80	—	ns	
受信データセットアップ時間 (スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期	t _{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図5.90	
CAC	CACREF入力パルス幅	t _{Pcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{Pcyc}		ns		
		t _{Pcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{Pcyc}				

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウントクロックソースの周期

[512K バイト以下のフラッシュメモリかつ 48 ピン～ 100 ピン版]

表 5.56 内蔵周辺モジュールタイミング (2)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
RSPI	RSPCKクロックサイクル	マスタ	t _{SPCyc}	2	4096	t _{Pcyc}	C = 30pF 図 5.91
		スレーブ		125	—	ns	
RSPCKクロック Highレベルパルス幅	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		1.8V ≤ VCC < 2.7V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
		1.62V ≤ VCC < 1.8V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
RSPCKクロック Lowレベルパルス幅	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		1.8V ≤ VCC < 2.7V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
		1.62V ≤ VCC < 1.8V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
RSPCKクロック 立ち上がり/立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t _{SPCKr} , t _{SPCKf}	—	10	ns	
		1.8V ≤ VCC < 2.7V		—	15		
		1.62V ≤ VCC < 1.8V		—	20		
	入力	—	1	μs			
データ入力セットアップ 時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SU}	50	—	ns	C = 30pF 図 5.92 ~ 図 5.97
		1.8V ≤ VCC < 2.7V		65	—		
		1.62V ≤ VCC < 1.8V		75	—		
	スレーブ	25 - t _{Pcyc}	—				
データ入力ホールド時間	マスタ	t _H	t _{Pcyc}	—	ns		
	スレーブ	20 + 2 × t _{Pcyc}	—				
SSLセットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPCyc}		
	スレーブ		4	—	t _{Pcyc}		
SSLホールド時間	マスタ	t _{LAG}	1	8	t _{SPCyc}		
	スレーブ		4	—	t _{Pcyc}		
データ出力遅延時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{OD}	—	50	ns	
		1.8V ≤ VCC < 2.7V		—	55		
		1.62V ≤ VCC < 1.8V		—	60		
	スレーブ	2.7V ≤ VCC ≤ 5.5V		—	3 × t _{Pcyc} + 65		
		1.8V ≤ VCC < 2.7V		—	3 × t _{Pcyc} + 85		
		1.62V ≤ VCC < 1.8V		—	3 × t _{Pcyc} + 95		
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns		
	スレーブ		0	—			
連続送信遅延時間	マスタ	t _{TD}	t _{SPCyc} + 2 × t _{Pcyc}	8 × t _{SPCyc} + 2 × t _{Pcyc}	ns		
	スレーブ		4 × t _{Pcyc}	—			
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	20	ns		
	入力		—	1			μs
SSL立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	20	ns		
	入力		—	1			μs

項目		記号	min	max	単位 (注1)	測定条件	
RSPI	スレーブアクセス時間	t_{SA}	$2.7V \leq VCC \leq 5.5V$	—	6	t_{Pcyc}	C = 30pF 図5.96、図5.97
			$1.8V \leq VCC < 2.7V$	—	7		
			$1.62V \leq VCC < 1.8V$	—	7		
	スレーブ出力開放時間	t_{REL}	$2.7V \leq VCC \leq 5.5V$	—	5		
			$1.8V \leq VCC < 2.7V$	—	6		
			$1.62V \leq VCC < 1.8V$	—	6		

注1. t_{Pcyc} : PCLKの周期

[768K/1M バイトフラッシュメモリまたは 144/145 ピン版]

表5.57 内蔵周辺モジュールタイミング (3)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ C$

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	C = 30pF 図5.91	
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$2.7V \leq VCC \leq 5.5V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
				$1.8V \leq VCC < 2.7V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
				$1.62V \leq VCC < 1.8V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$2.7V \leq VCC \leq 5.5V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
				$1.8V \leq VCC < 2.7V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
				$1.62V \leq VCC < 1.8V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	$2.7V \leq VCC \leq 5.5V$	—	10		ns
				$1.8V \leq VCC < 2.7V$	—	15		
				$1.62V \leq VCC < 1.8V$	—	20		
		入力		—	—	1		μs

項目			記号	min	max	単位 (注1)	測定条件	
RSPI	データ入力セットアップ時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{SU}	10	—	ns	C = 30pF 図5.92~図5.97
			$1.8V \leq VCC < 2.7V$		25	—		
			$1.62V \leq VCC < 1.8V$		30	—		
		スレーブ	$25 - t_{Pcyc}$		—			
	データ入力ホールド時間	マスタ	PCLKBを2分周以外に設定	t_H	t_{Pcyc}	—	ns	
			PCLKBを2分周に設定 (注2)	t_{HF}	0	—		
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—			
	SSLセットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{Pcyc}		
	SSLホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{Pcyc}		
	データ出力遅延時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{OD}	—	14	ns	
			$1.8V \leq VCC < 2.7V$		—	20		
			$1.62V \leq VCC < 1.8V$		—	25		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		—	$3 \times t_{Pcyc} + 65$		
			$1.8V \leq VCC < 2.7V$		—	$3 \times t_{Pcyc} + 85$		
			$1.62V \leq VCC < 1.8V$		—	$3 \times t_{Pcyc} + 95$		
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns		
		スレーブ		0	—			
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns		
スレーブ		$4 \times t_{Pcyc}$		—				
MOSI、MISO 立ち上がり/立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{Dr}, t_{Df}	—	10	ns		
		$1.8V \leq VCC < 2.7V$		—	15			
		$1.62V \leq VCC < 1.8V$		—	20			
	入力	—		1	μs			
SSL立ち上がり/立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SSLr}, t_{SSLf}	—	10	ns		
		$1.8V \leq VCC < 2.7V$		—	15			
		$1.62V \leq VCC < 1.8V$		—	20			
	入力	—		1	μs			
スレーブアクセス時間		$2.7V \leq VCC \leq 5.5V$	t_{SA}	—	6	t_{Pcyc}		
		$1.8V \leq VCC < 2.7V$		—	7			
		$1.62V \leq VCC < 1.8V$		—	7			
スレーブ出力開放時間		$2.7V \leq VCC \leq 5.5V$	t_{REL}	—	5	t_{Pcyc}		
		$1.8V \leq VCC < 2.7V$		—	6			
		$1.62V \leq VCC < 1.8V$		—	6			

注1. t_{Pcyc} : PCLKの周期

注2. 2分周の設定は、768K/1Mバイトフラッシュメモリまたは144/145ピン版のみ設定できます。

表5.58 内蔵周辺モジュールタイミング (4)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t _{SPCyc}	4	65536	t _{Pcyc}	C = 30pF 図5.91	
	SCKクロックサイクル入力 (スレーブ)		6	65536			
	SCK入カクロックHighレベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPCyc}		
	SCK入カクロックLowレベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPCyc}		
	SCK出カクロックHighレベル パルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWH}	0.4	0.6		t _{SPCyc}
		1.8V ≤ VCC < 2.7V		0.35	0.65		
		1.62V ≤ VCC < 1.8V		0.35	0.65		
	SCK出カクロックLowレベル パルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWL}	0.4	0.6	t _{SPCyc}	
		1.8V ≤ VCC < 2.7V		0.35	0.65		
		1.62V ≤ VCC < 1.8V		0.35	0.65		
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns		
	データ入カセットアップ時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{SU}	65	—	ns	C = 30pF 図5.92 ~ 図 5.97
		1.8V ≤ VCC < 2.7V		75	—		
		1.62V ≤ VCC < 1.8V		80	—		
	データ入カセットアップ時間 (スレーブ)		40	—			
	データ入カホールド時間	t _H	40	—	ns		
	SS入カセットアップ時間	t _{LEAD}	6	—	t _{Pcyc}		
SS入カホールド時間	t _{LAG}	6	—	t _{Pcyc}			
データ出力遅延時間 (マスタ)	t _{OD}	—	40	ns			
データ出力遅延時間 (スレーブ)		2.7V ≤ VCC ≤ 5.5V	—		65		
		1.8V ≤ VCC < 2.7V	—		85		
	1.62V ≤ VCC < 1.8V	—	95				
データ出力ホールド時間	t _{OH}	-10	—	ns			
データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	20	ns			
SS入カ立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	20	ns			
スレーブアクセス時間	t _{SA}	—	6	t _{Pcyc}	C = 30pF 図5.96、図 5.97		
スレーブ出力開放時間	t _{REL}	—	6	t _{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表5.59 内蔵周辺モジュールタイミング (5)

条件: VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、fPCLKB ≤ 32MHz、T_a = -40~+105°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 1300	—	ns	図5.98
	SCL入力Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
	RIIC (ファスト モード)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 600	—	
SCL入力Highパルス幅		t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
SCL入力Lowパルス幅		t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
SCL、SDA入力立ち上がり時間		t _{Sr}	20 + 0.1C _b	300	ns	
SCL、SDA入力立ち下がり時間		t _{Sf}	20 + 0.1C _b	300	ns	
SCL、SDA入カスパイクパルス除去時間		t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
SDA入力バスフリー時間		t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
開始条件入力ホールド時間		t _{STAH}	t _{IIcCyc} + 300	—	ns	
再送開始条件入力セットアップ時間		t _{STAS}	300	—	ns	
停止条件入力セットアップ時間		t _{STOS}	300	—	ns	
データ入力セットアップ時間		t _{SDAS}	t _{IIcCyc} + 50	—	ns	
データ入力ホールド時間		t _{SDAH}	0	—	ns	
SCL、SDAの容量性負荷		C _b	—	400	pF	

注. t_{IIcCyc}: RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE=1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]=11bの場合を示します。

注2. C_bはバスラインの容量総計です。

表5.60 内蔵周辺モジュールタイミング (6)

条件 : VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、fPCLKB ≤ 32MHz、T_a = -40~+105°C

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min (注1)	max	単位	測定条件
簡易IIC (スタンダードモード)	SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図5.98
	SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注2)	ns	
	データ入力セットアップ時間	t _{SDAS}	250	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易IIC (ファストモード)	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	図5.98
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注2)	ns	
	データ入力セットアップ時間	t _{SDAS}	100	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{pcyc} : PCLKの周期注1. C_bはバスラインの容量総計です。

注2. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

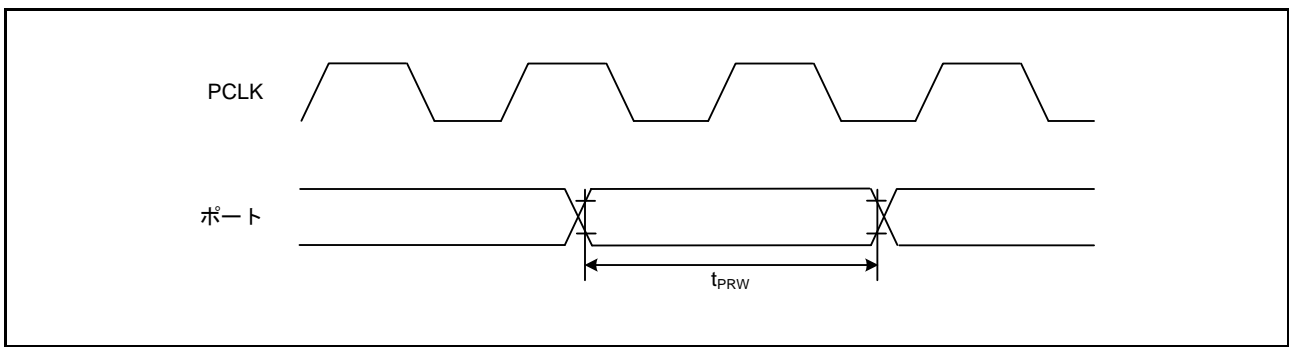


図 5.83 I/O ポート入力タイミング

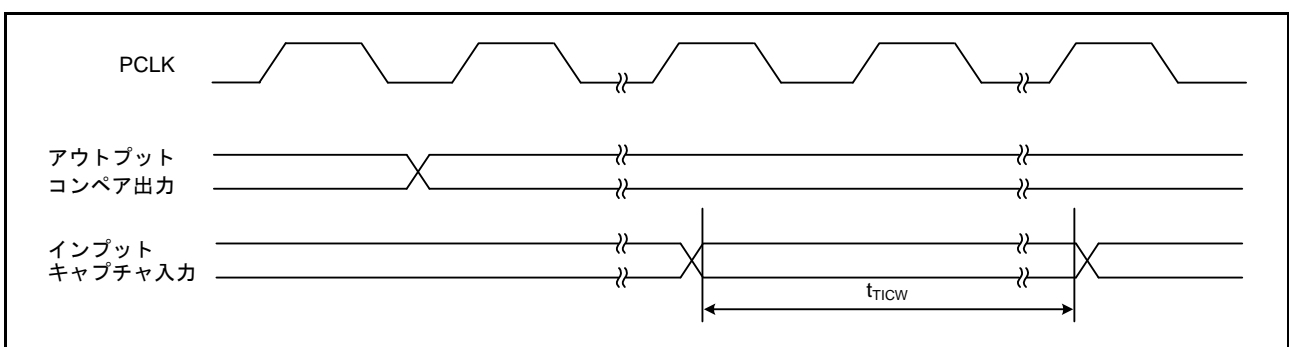


図 5.84 MTU/TPU 入出力タイミング

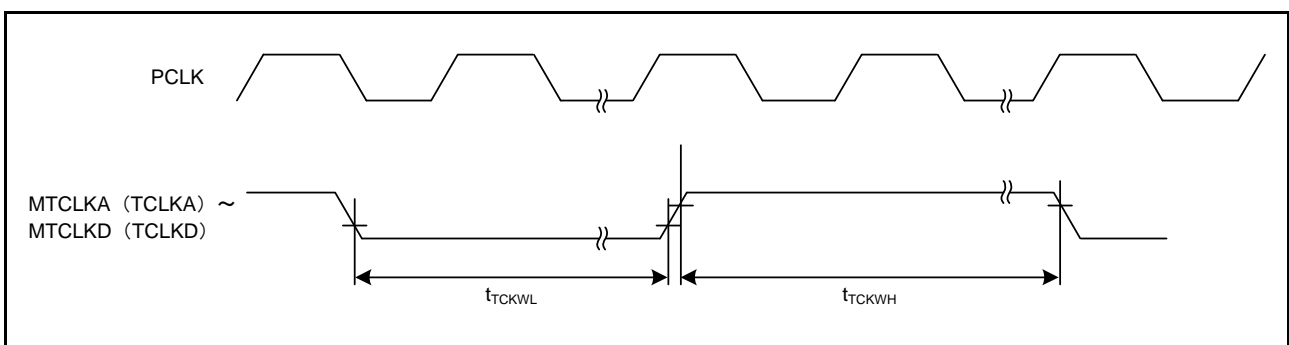


図 5.85 MTU/TPU クロック入力タイミング

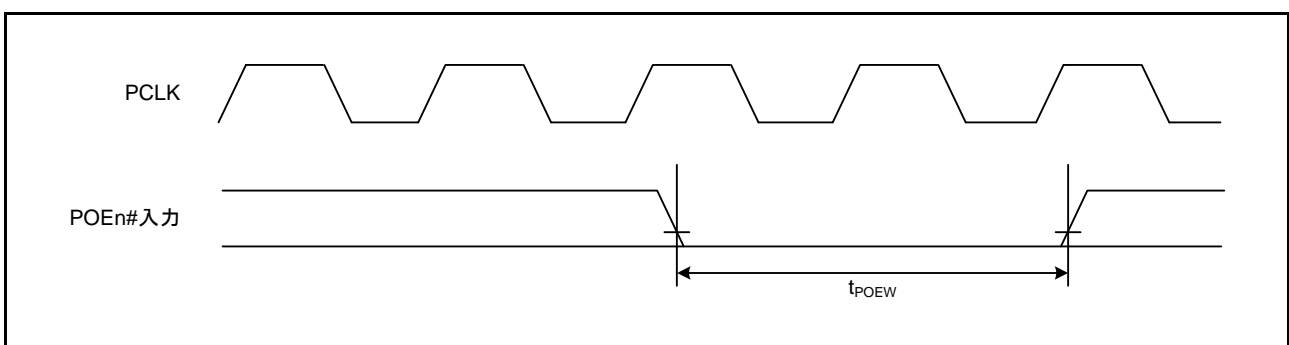


図 5.86 POE# 入力タイミング

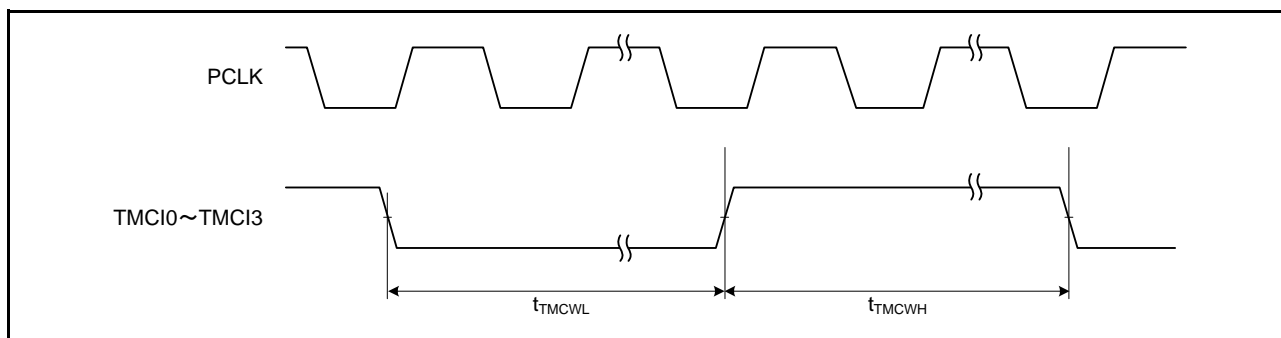


図 5.87 8ビットタイマクロック入力タイミング

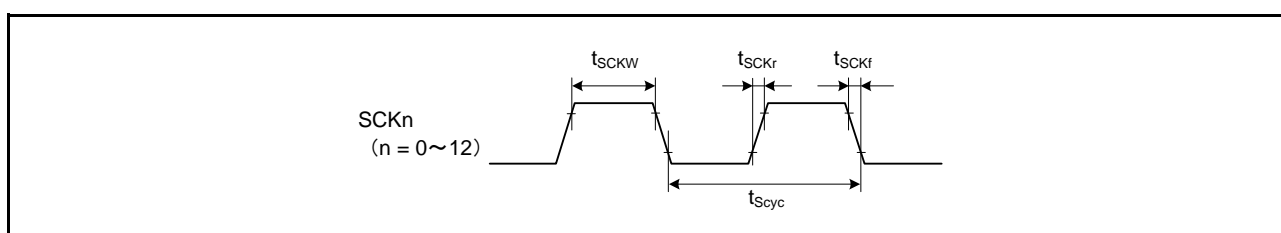


図 5.88 SCKクロック入力タイミング

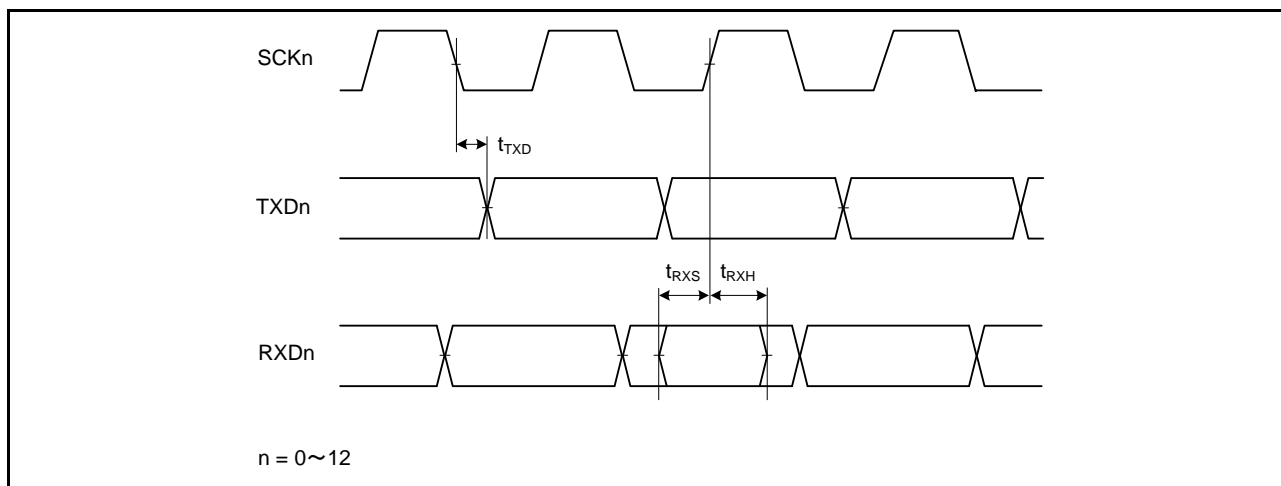


図 5.89 SCI 入出力タイミング/クロック同期式モード

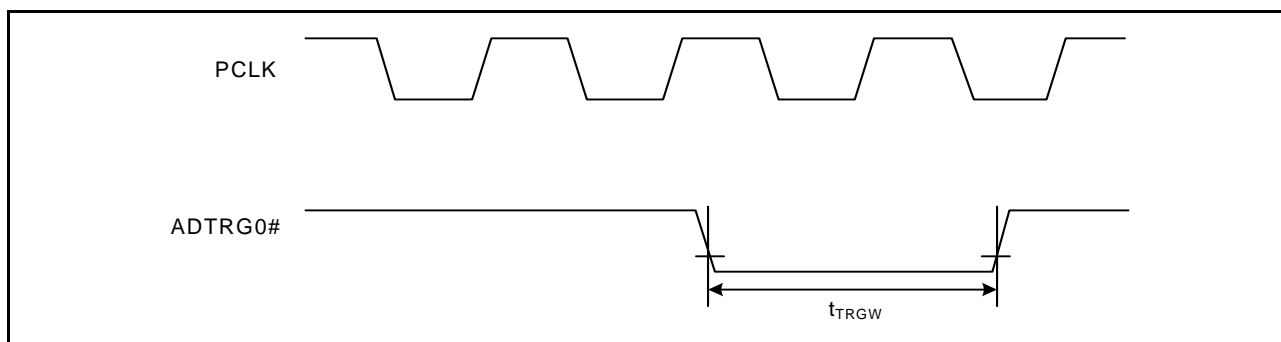


図 5.90 A/D コンバータ外部トリガ入力タイミング

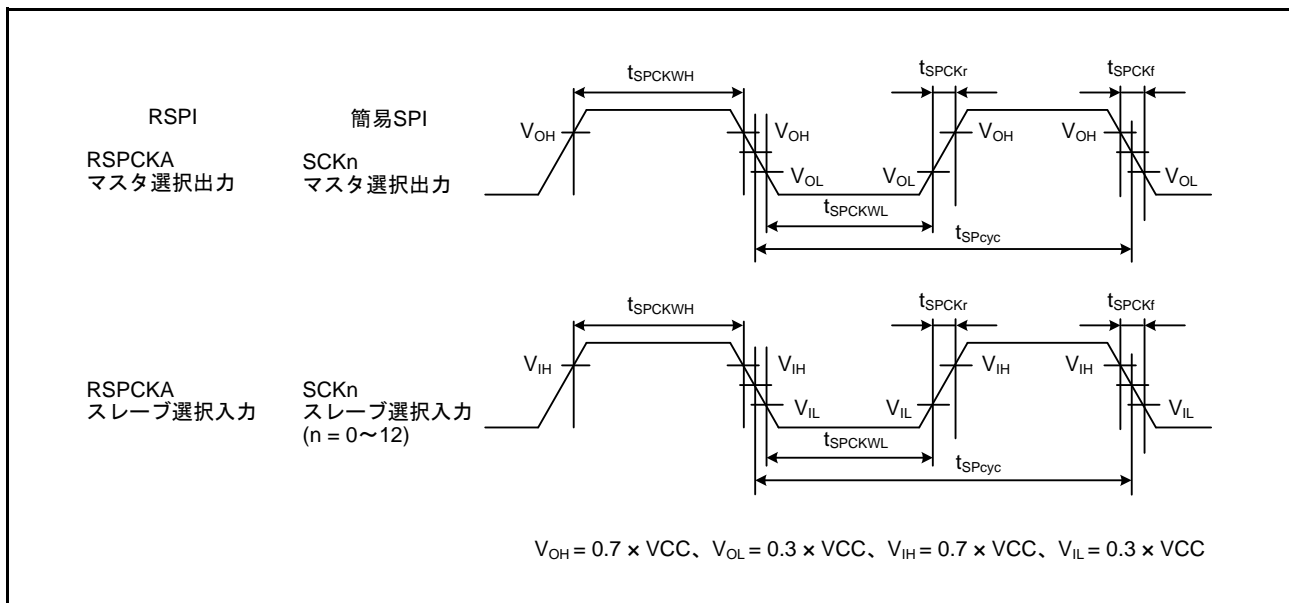


図 5.91 RSPI クロックタイミング / 簡易 SPI クロックタイミング

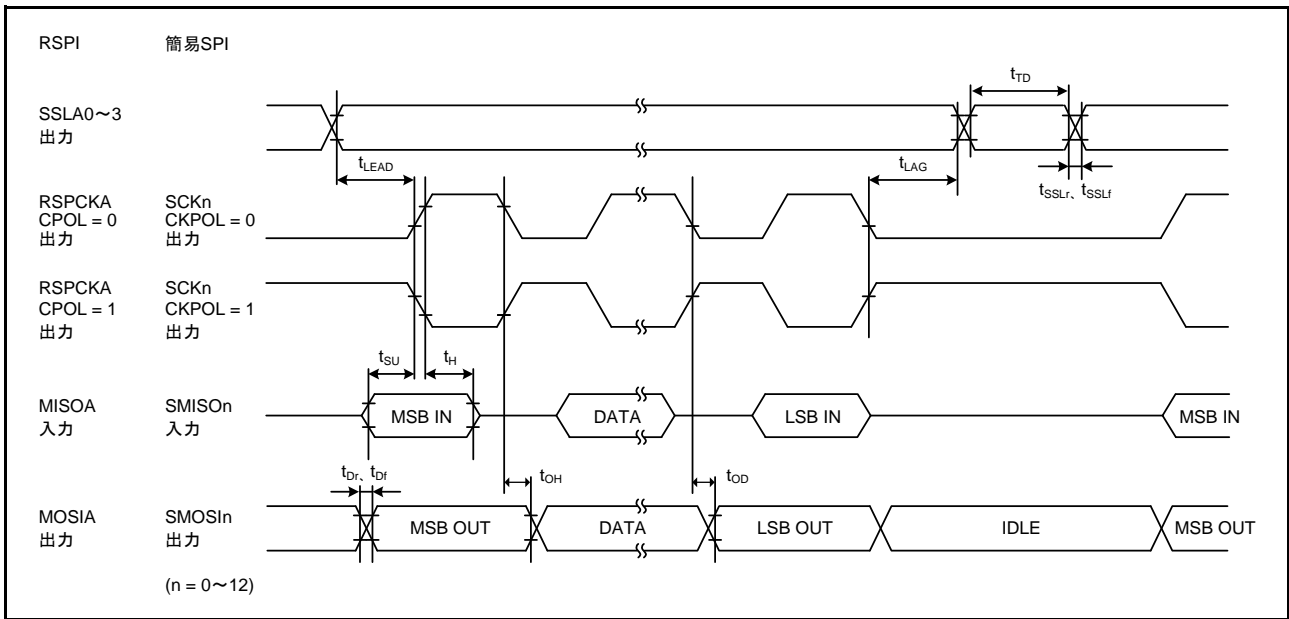


図 5.92 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

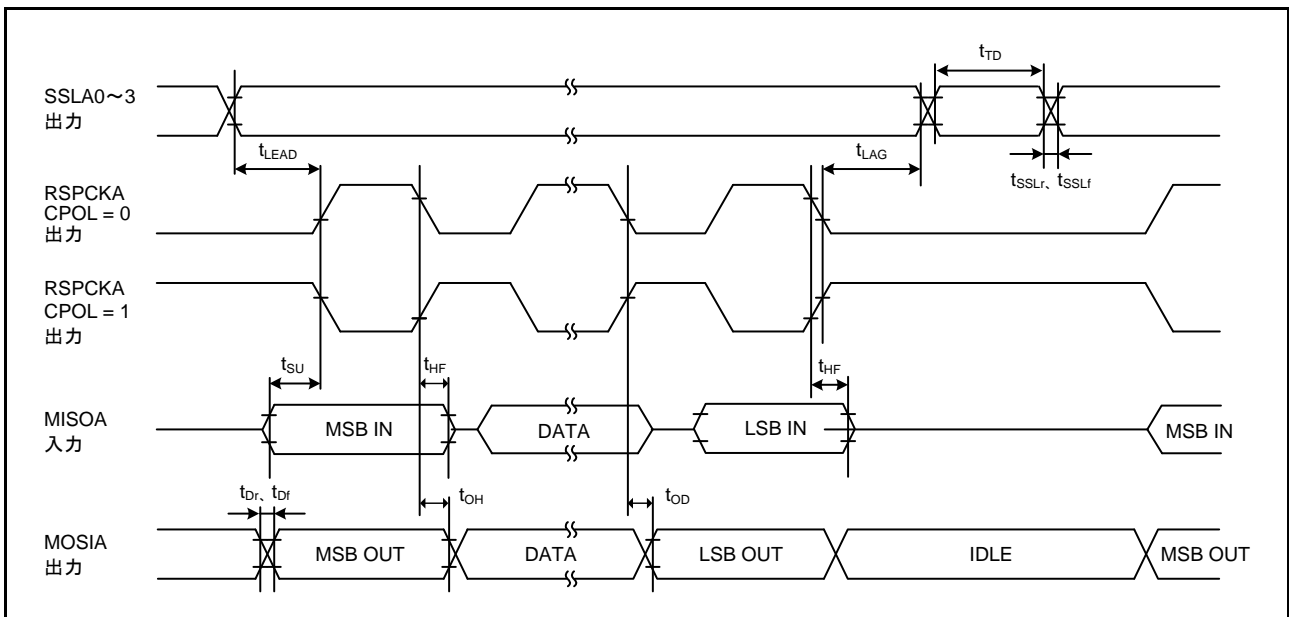


図 5.93 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

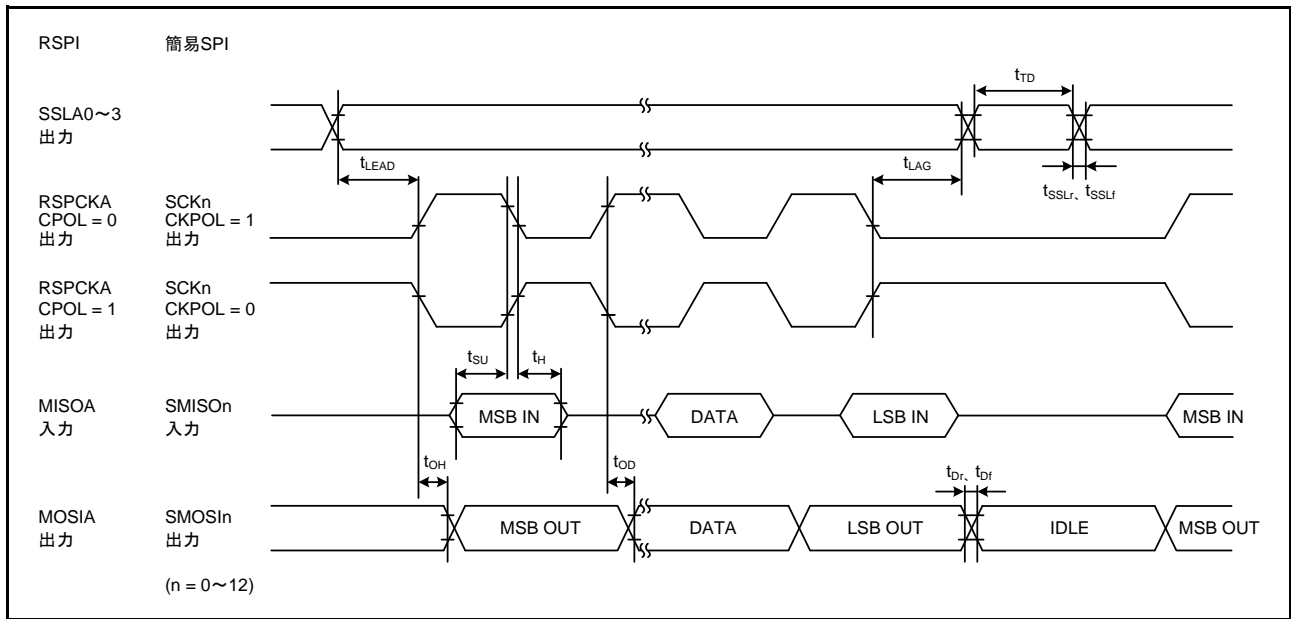


図 5.94 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

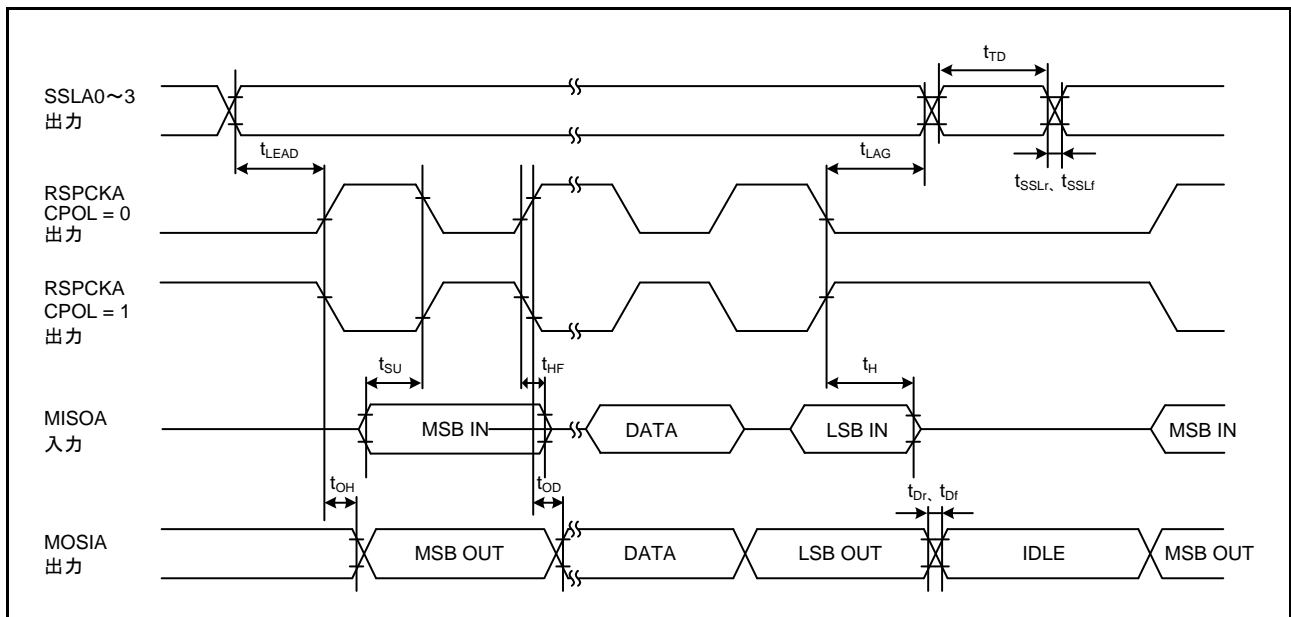


図 5.95 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

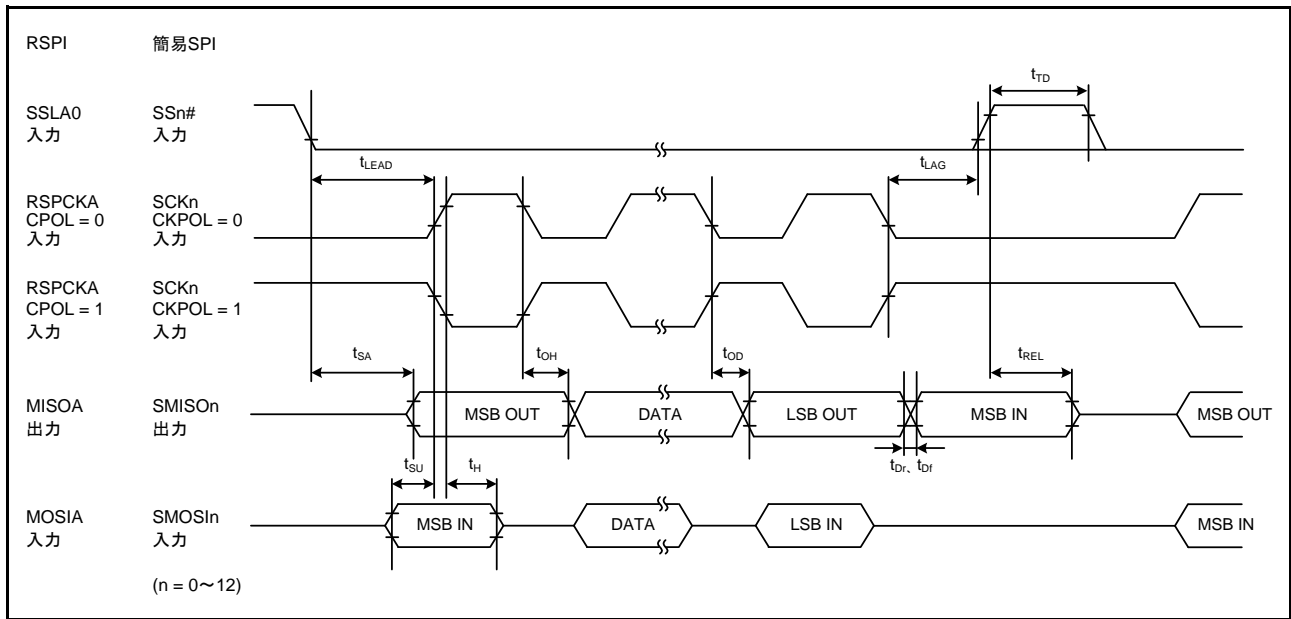


図 5.96 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

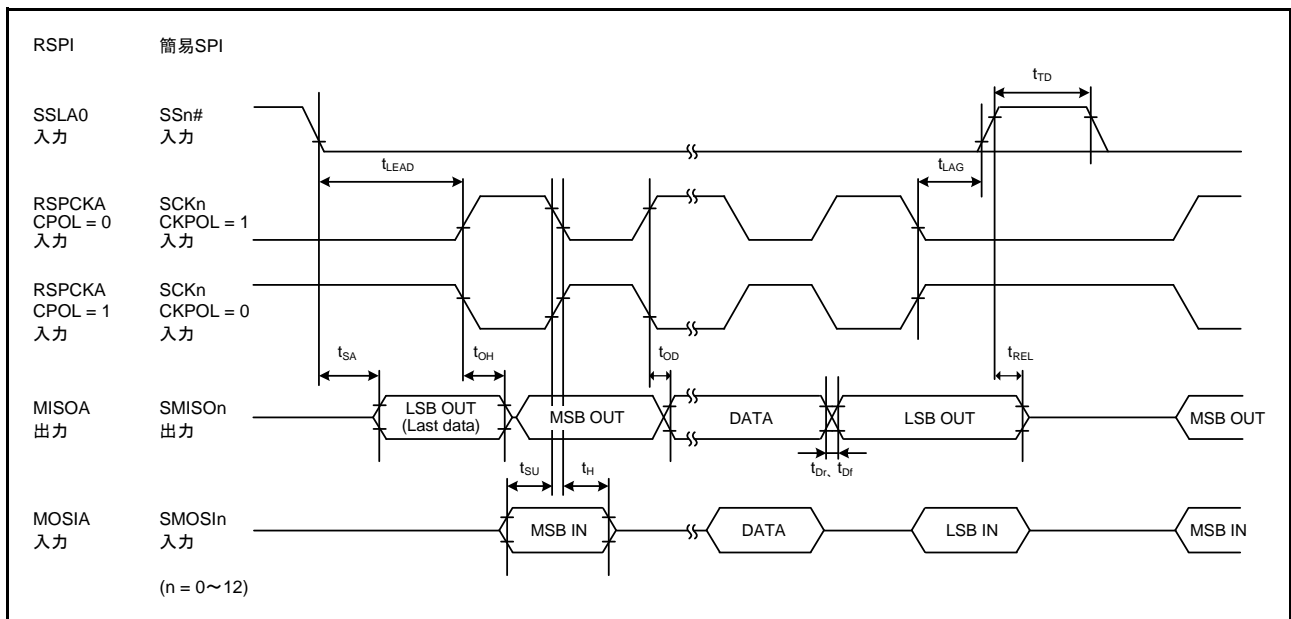


図 5.97 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

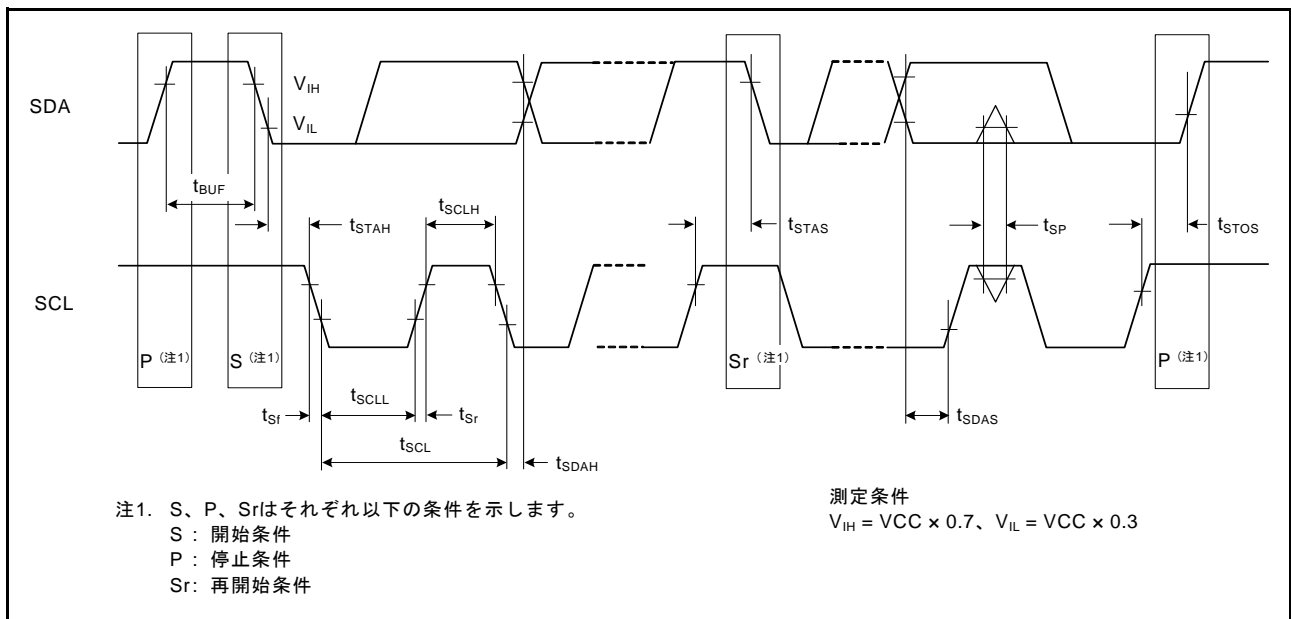


図 5.98 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

5.4 A/D 変換特性

表5.61 A/D変換特性 (1)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 ≥ 2.7V、AVCC0 - 0.9V ≤ VREFH0 ≤ AVCC0 (注3)、
VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)	1	—	50	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (fPCLKD = 50MHz時)	許容信号源インピーダンス max = 0.5kΩ	1.0 (0.4) (注2)	—	μs	サンプリング20ステート
	許容信号源インピーダンス max = 1kΩ	1.1 (0.5) (注2)	—		サンプリング25ステート
	許容信号源インピーダンス max = 5kΩ	1.5 (0.9) (注2)	—		サンプリング45ステート
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	±0.5	±4.5	LSB	高精度チャンネル
			±7.5		通常精度チャンネル
フルスケール誤差	—	±0.75	±4.5	LSB	高精度チャンネル
			±7.5		通常精度チャンネル
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±1.25	±5.0	LSB	高精度チャンネル
			±8.0		通常精度チャンネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.0	±3.0	LSB	

- 注. A/D変換クロックにHOCOを選択する場合、PCLKDを40MHz以下にしてください。A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。
- 注. チャンネル専用サンプル&ホールド回路使用時は、AN000 ~ AN002のアナログ入力電圧 (V_{AN}) を、
0.25V ≤ V_{AN} ≤ AVCC0 - 0.25V、かつ V_{AN} ≤ VREFH0
の範囲で、かつAVCC0 ≥ 2.7Vでご使用ください。
- 注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。
- 注3. 温度センサを使用する場合は、VREFH0 = AVCC0の条件で使用してください。

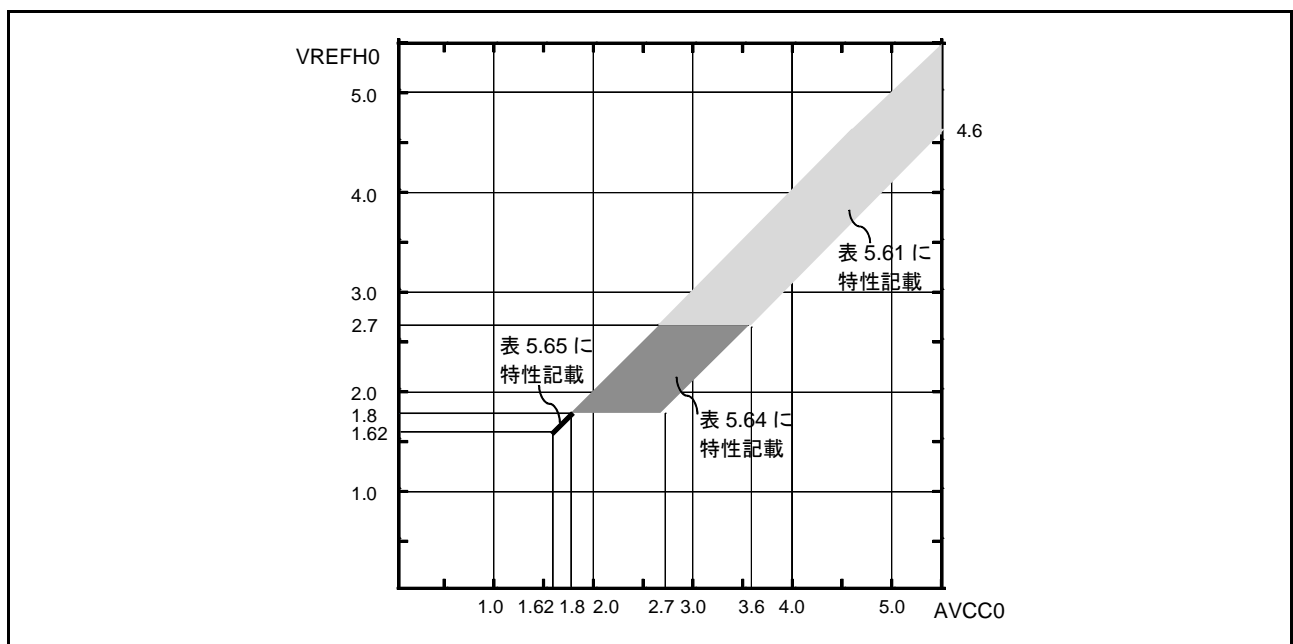


図 5.99 AVCC0-VREFH0 電圧範囲

表5.62 A/Dコンバータチャンネル分類表

分類	対象チャンネル	チャンネル専用 サンプル& ホールド回路	条件	
高精度チャンネル	AN000 ~ AN002	使用	AVCC0 = 2.7 ~ 5.5V AVCC0 - 0.9V ≤ VREFH0 ≤ AVCC0 VREFH0 ≥ 2.7V AVSS0 = VREFL0 = 0V 0.25V ≤ V _{AN} ≤ AVCC0 - 0.25V V _{AN} ≤ VREFH0	A/Dコンバータ使用時、 AN000 ~ AN007端子を デジタル出力として使用 することは禁止です。
		未使用	AVCC0 = 1.62 ~ 5.5 V AVCC0 ≥ 1.8V時 AVCC0 - 0.9V ≤ VREFH0 ≤ AVCC0 VREFH0 ≥ 1.8V	
	AN003 ~ AN007	—	AVCC0 < 1.8 V時 VREFH0 = AVCC0 AVSS0 = VREFL0 = 0V 0V ≤ V _{AN} ≤ VREFH0	
通常精度チャンネル	AN008 ~ AN015	—		

表5.63 A/D内部基準電圧特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.35	1.50	1.65	V	

表5.64 A/D変換特性 (2)

条件 : $V_{CC} = AV_{CC0} = 1.8 \sim 3.6V$, $1.8V \leq V_{REFH0} \leq 2.7V$, $AV_{CC0} - 0.9V \leq V_{REFH0} \leq AV_{CC0}$ (注3)、
 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1	—	25	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (fPCLKD = 25MHz時)	許容信号源インピーダンス max = 1k Ω	2.0 (0.8) (注2)	—	—	μs	サンプリング20ステート
	許容信号源インピーダンス max = 5k Ω	2.2 (1.0) (注2)	—	—		サンプリング25ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	± 0.5	± 7.5	LSB	
フルスケール誤差		—	± 1.25	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.25	—	LSB	
INL 積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注. チャンネル専用サンプル&ホールド回路使用時は、AN000~AN002のアナログ入力電圧 (V_{AN}) を、
 $0.25V \leq V_{AN} \leq AV_{CC0} - 0.25V$ 、かつ $V_{AN} \leq V_{REFH0}$
の範囲で、かつ $AV_{CC0} \geq 2.7V$ でご使用ください。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

注3. 温度センサを使用する場合は、 $V_{REFH0} = AV_{CC0}$ の条件で使用してください。

表5.65 A/D変換特性 (3)

条件 : $V_{CC} = AV_{CC0} = 1.62 \sim 1.8V$, $V_{REFH0} = AV_{CC0}$,
 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1	—	12.5	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (fPCLKD = 12.5MHz時)	許容信号源インピーダンス max = 1k Ω	3.36 (0.96) (注2)	—	—	μs	サンプリング12ステート
	許容信号源インピーダンス max = 5k Ω	3.6 (1.2) (注2)	—	—		サンプリング15ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	± 0.5	± 7.5	LSB	
フルスケール誤差		—	± 1.25	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 2.75	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.25	—	LSB	
INL 積分非直線性誤差		—	± 1.25	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 5.66 サンプルング時間

条件 : $V_{CC} = AV_{CC0} = 1.62 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	typ	単位	測定条件
サンプルング時間	高精度チャネル	$0.2 + 0.14 \times R_0$ (K Ω)	μs	図 5.100
	通常精度チャネル	$0.35 + 0.14 \times R_0$ (K Ω)		

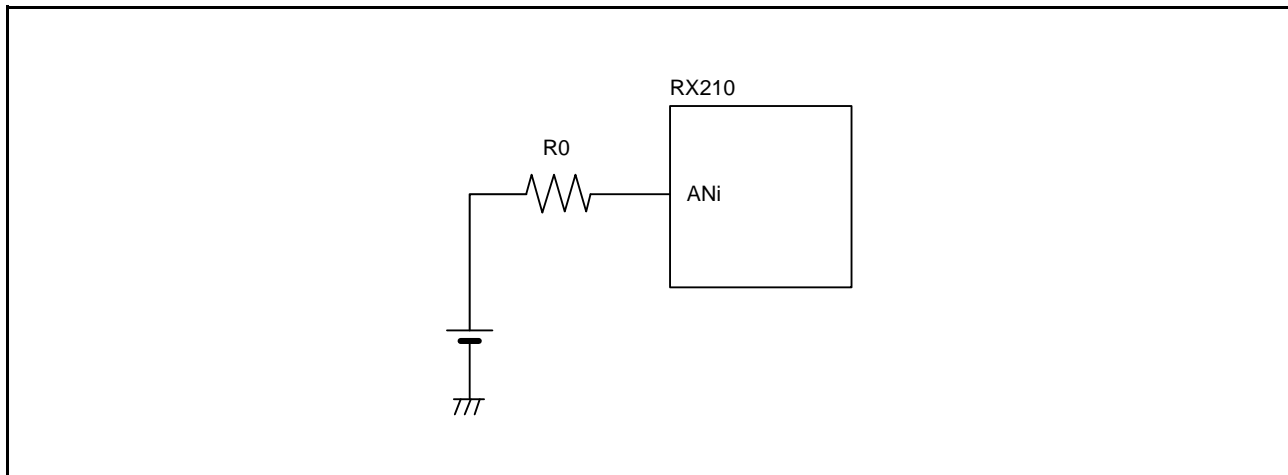


図 5.100 アナログ入力端子の内部等価回路

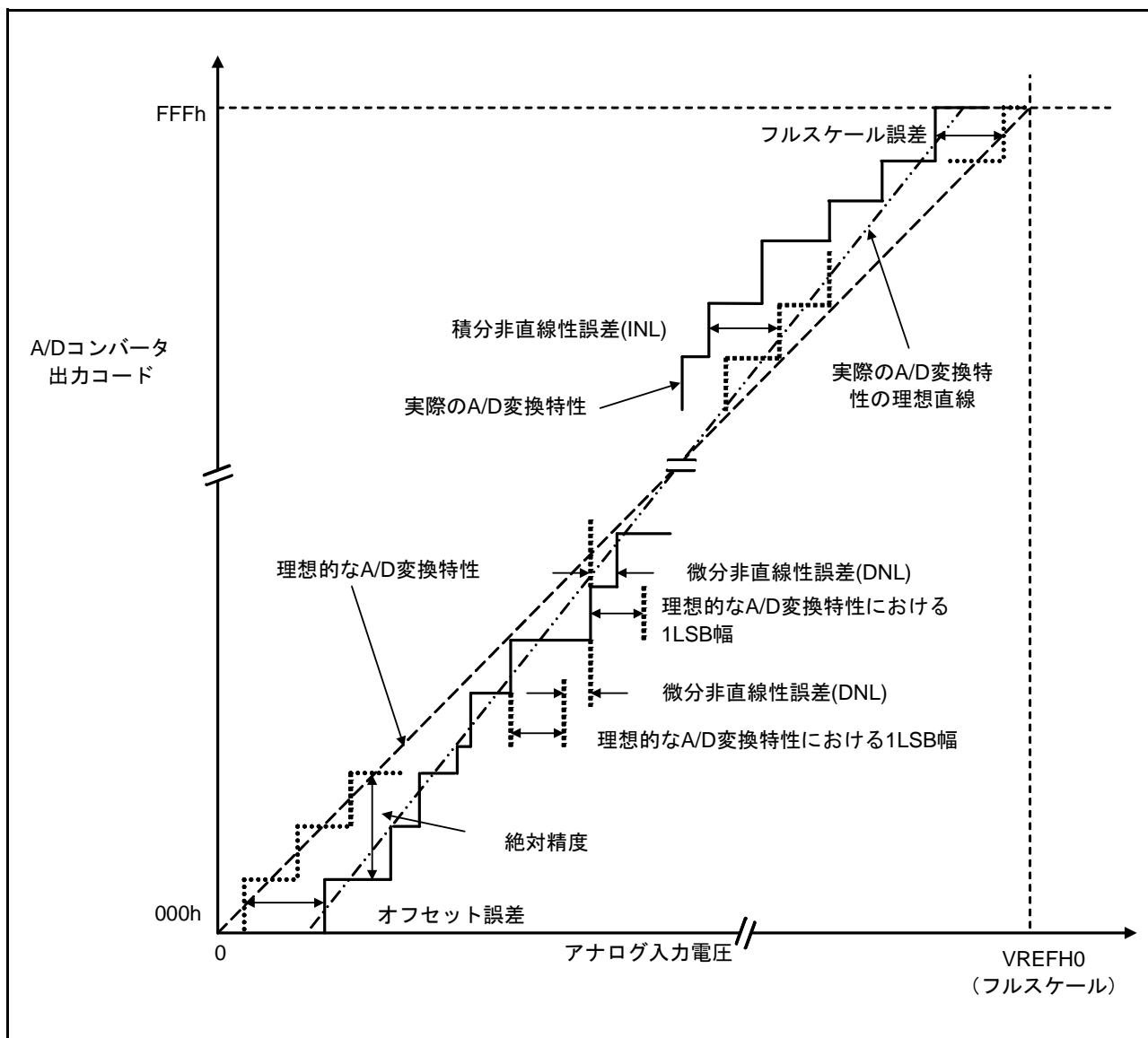


図 5.101 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 5.12V）の場合、1LSB 幅は 1.25mV で、アナログ入力電圧には 0mV、1.25mV、2.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 10mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.5 D/A 変換特性

表5.67 D/A変換特性 (1)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	±3.0	±5.0	LSB	負荷抵抗 4MΩ
	—	—	±4.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	4.1	—	kΩ	

表5.68 D/A変換特性 (2)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、VREFH = 1.8V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	10.0	μs	負荷容量 20pF
絶対精度	—	±5.0	±6.0	LSB	負荷抵抗 4MΩ
	—	—	±5.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	4.1	—	kΩ	

5.6 温度センサ特性

表5.69 温度センサ特性

条件：VCC = AVCC0 = VREFH0 = 1.8 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.0	—	°C	
温度傾斜	1.8 ≤ AVCC0 < 2.7	—	7.27	—	mV/°C	PGAGAIN=00b
	2.7 ≤ AVCC0 < 3.6	—	10.46	—		PGAGAIN=01b
	3.6 ≤ AVCC0 < 4.5	—	13.98	—		PGAGAIN=10b
	4.5 ≤ AVCC0 ≤ 5.5	—	21.65	—		PGAGAIN=11b
出力電位 (@25°C)	—	—	1.375	—	V	VCC=3.6V
温度センサ起動時間	t _{START}	—	—	80	μs	図5.102
サンプリング時間	—	30	72	300	μs	
PGA再起動時間	t _{RST_PGA}	—	—	40	μs	

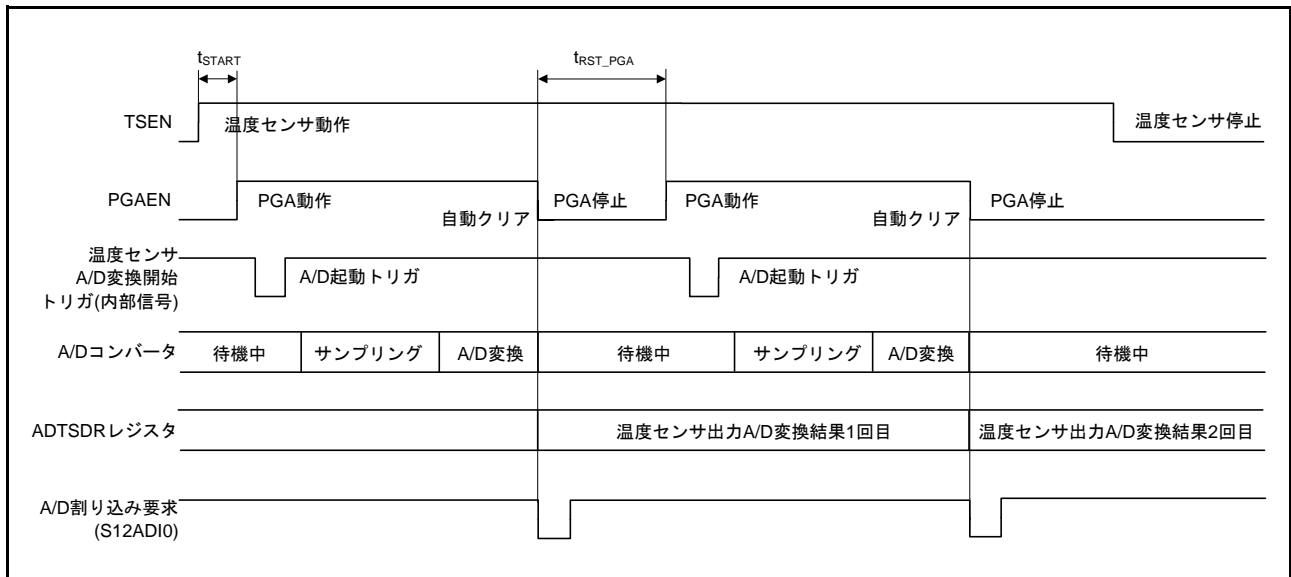


図 5.102 温度センサの A/D 変換タイミング例 (2 変換の場合)

5.7 コンパレータ特性

表 5.70 コンパレータ特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件		
コンパレータ A	外部基準電圧入力範囲	LVREF	1.4	—	VCC	V			
	外部比較電圧 (CMPA1、CMPA2) 入力範囲	VI	-0.3	—	VCC+0.3	V			
	オフセット	—	—	±50	±150	mV			
	コンパレータ出力遅延時間 (注1)	—	—	3	—	—		µs	立ち下がり時 VI = LVREF-110mV
				2	—	—		µs	立ち下がり時 VI < LVREF-1V
				3	—	—		µs	立ち上がり時 VI = LVREF+160mV
1.5				—	—	µs	立ち上がり時 VI > LVREF+1V		
コンパレータ動作電流	ICMPA	—	0.5	—	µA	VCC = 5.0V			
コンパレータ B	CVREFB0、CVREFB1 入力基準電圧	VREF	0	—	VCC-1.4	V			
	CMPB0、CMPB1 入力電圧	VI	-0.3	—	VCC+0.3	V			
	オフセット	—	—	±10	±100	mV			
	コンパレータ出力遅延時間	td	—	—	1	µs		VI = VREF + 100mV	
	コンパレータ動作電流	ICMPB	—	75	150	µA		VCC = 5.0V、2チャンネル合計	

注1. デジタルフィルタ無効時。

5.8 パワーオンリセット回路、電圧検出回路特性

表5.71 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = AVCC0、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.30	1.40	1.55	V	図 5.103、 図 5.104
	低消費電力機能無効 (注1)		1.00	1.20	1.45		
電圧検出回路 (LVD0) (注3)		V _{det0_0}	3.65	3.80	3.95	V	図 5.105
		V _{det0_1}	2.70	2.80	2.90		
		V _{det0_2}	1.80	1.90	2.00		
		V _{det0_3}	1.62	1.72	1.82		
電圧検出回路 (LVD1) (注4)		V _{det1_0}	4.00	4.15	4.30	V	図 5.106 VCC 立ち 下がり時
		V _{det1_1}	3.85	4.00	4.15		
		V _{det1_2}	3.70	3.85	4.00		
		V _{det1_3}	3.55	3.70	3.85		
		V _{det1_4}	3.40	3.55	3.70		
		V _{det1_5}	3.25	3.40	3.55		
		V _{det1_6}	3.10	3.25	3.40		
		V _{det1_7}	2.95	3.10	3.25		
		V _{det1_8}	2.85	2.95	3.05		
		V _{det1_9}	2.70	2.80	2.90		
		V _{det1_A}	2.55	2.65	2.75		
		V _{det1_B}	2.40	2.50	2.60		
		V _{det1_C}	2.25	2.35	2.45		
		V _{det1_D}	2.10	2.20	2.30		
		V _{det1_E}	1.95	2.05	2.15		
V _{det1_F}	1.80	1.90	2.00				

注. 電源にノイズが重畳されていない状態での特性です。

注1. ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード以外の場合、またはFHSSBYCR.SOFTCUT[2]ビットが"0"でソフトウェアスタンバイモードに移行した場合か、DPSBYCR.DEEPCUT1ビットが"0"でディープソフトウェアスタンバイモードに移行した場合です。

注2. FHSSBYCR.SOFTCUT[2]ビットが"1"でソフトウェアスタンバイモードに移行、またはDPSBYCR.DEEPCUT1ビットが"1"でディープソフトウェアスタンバイモードに移行した場合です。

注3. 記号V_{det0_#}の#は、LDSEL[1:0]ビットの値です。注4. 記号V_{det1_#}の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

表5.72 パワーオンリセット回路、電圧検出回路特性 (2)

条件: VCC = AVCC0, VSS = AVSS0 = VREFL = VREFL0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V _{det2_0}	4.00	4.15	4.30	V	図 5.107 VCC 立ち下がり時
		V _{det2_1}	3.85	4.00	4.15		
		V _{det2_2}	3.70	3.85	4.00		
		V _{det2_3}	3.55	3.70	3.85		
		V _{det2_4}	3.40	3.55	3.70		
		V _{det2_5}	3.25	3.40	3.55		
		V _{det2_6}	3.10	3.25	3.40		
		V _{det2_7}	2.95	3.10	3.25		
		V _{det2_8}	2.85	2.95	3.05		
		V _{det2_9}	2.70	2.80	2.90		
		V _{det2_A}	2.55	2.65	2.75		
		V _{det2_B}	2.40	2.50	2.60		
		V _{det2_C}	2.25	2.35	2.45		
		V _{det2_D}	2.10	2.20	2.30		
		V _{det2_E}	1.95	2.05	2.15		
V _{det2_F}	1.80	1.90	2.00				
	V _{CMPA2}	1.18	1.33	1.48		EXVCCINP2 = 1	
内部リセット時間	パワーオンリセット時間	t _{POR}	—	9	—	ms	図5.104
	電圧監視0リセット時間	t _{LVD0}	—	9	—		図5.105
	電圧監視1リセット時間	t _{LVD1}	—	1.4	—		図5.106
	電圧監視2リセット時間	t _{LVD2}	—	1.4	—		図5.107
最小VCC低下時間 (注2)	t _{VOFF}	200	—	—	μs	図5.103	
応答遅延時間	t _{det}	—	—	200	μs	図5.104	
LVD動作安定時間 (LVD有効切り替え時)	T _{d (E-A)}	—	—	15	μs	図5.106、図5.107	
パワーオンリセット有効時間	t _{W (POR)}	1	—	—	ms	図5.104 VCC = 0.9V 以下	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V _{L VH}	—	100	—	mV	V _{detX_0} ~ 7 選択時	
		—	50	—		V _{detX_8} ~ F 選択時	

注. 電源にノイズが重畳されていない状態での特性です。

注1. 記号V_{det2_#}の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。注2. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

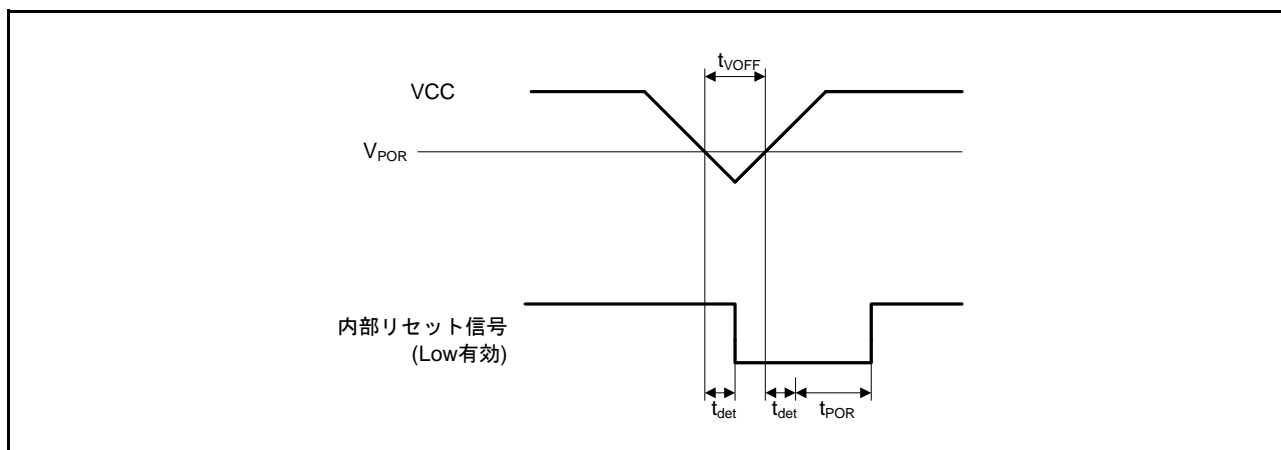


図 5.103 電圧検出リセットタイミング

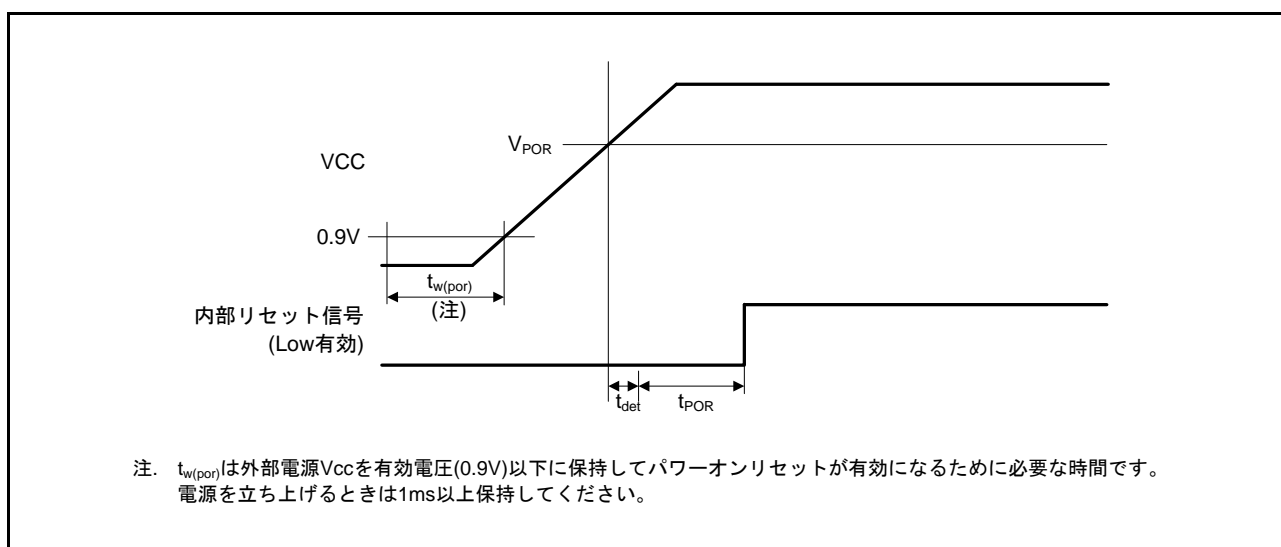


図 5.104 パワーオンリセットタイミング

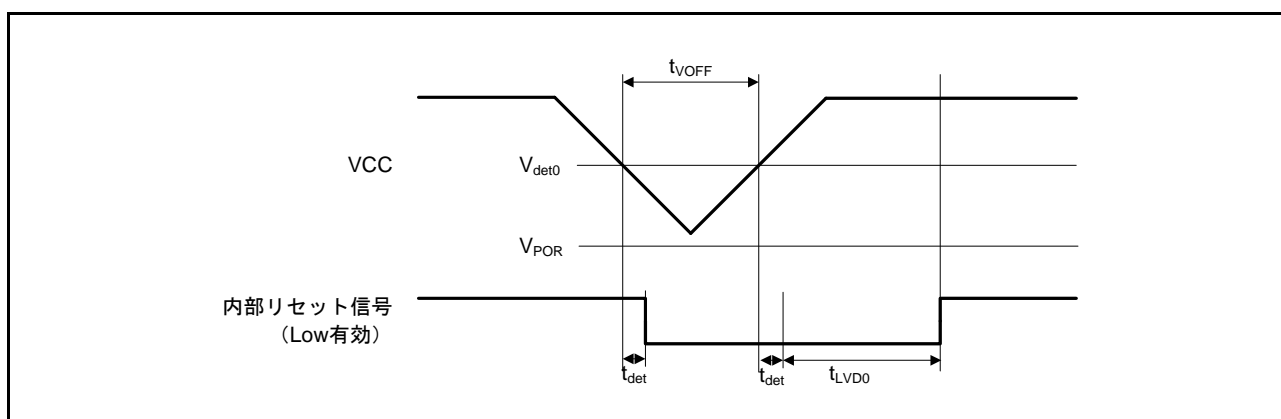


図 5.105 電圧検出回路タイミング (V_{det0})

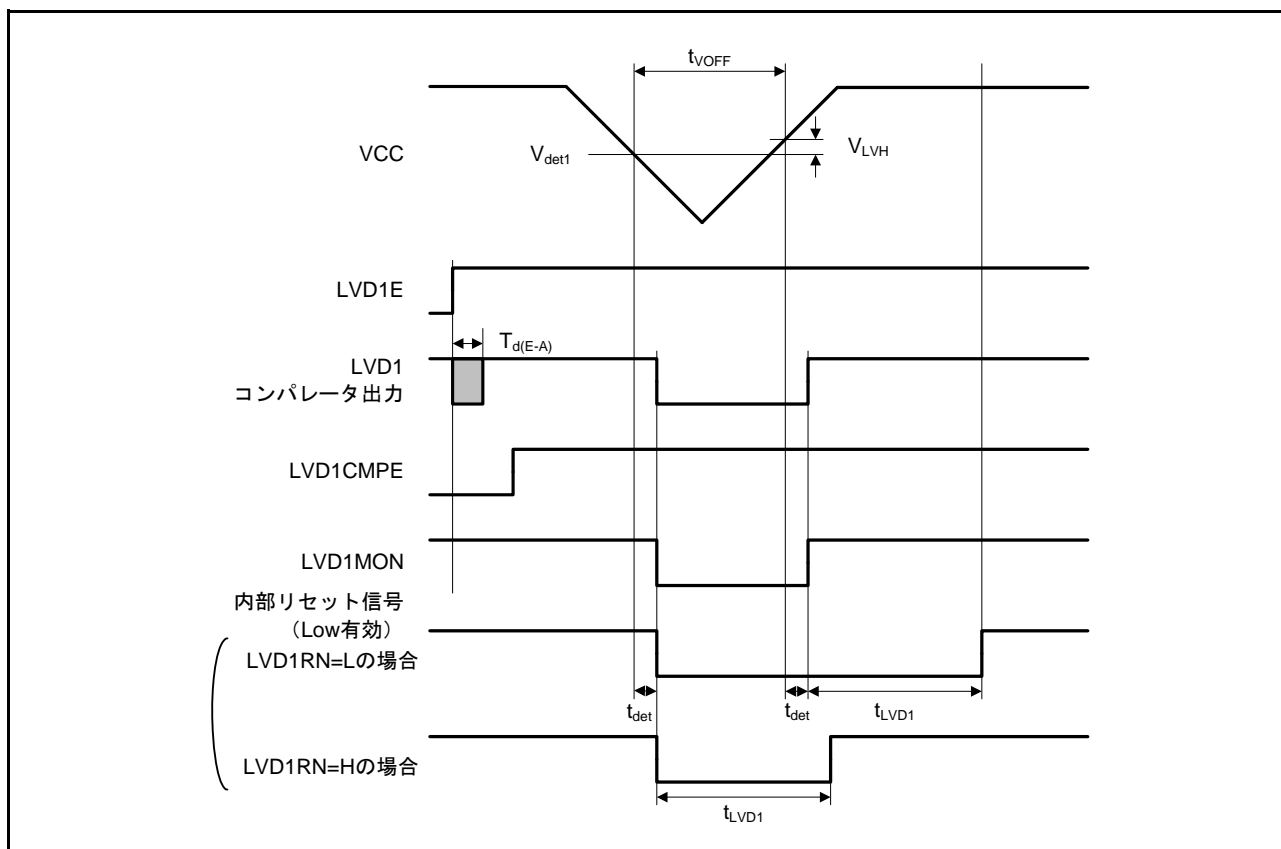


図 5.106 電圧検出回路タイミング (V_{det1})

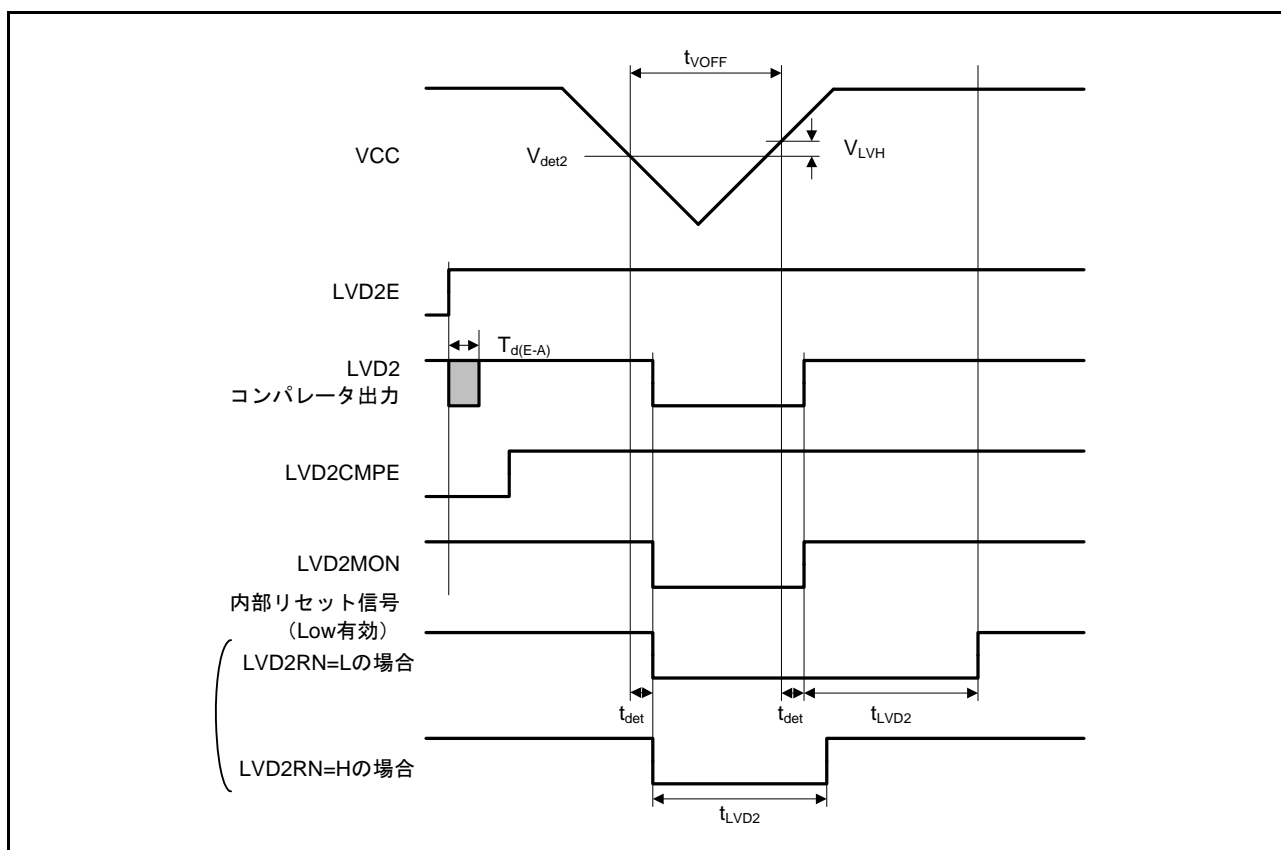


図 5.107 電圧検出回路タイミング (V_{det2})

5.9 発振停止検出タイミング

表5.73 発振停止検出回路特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.108

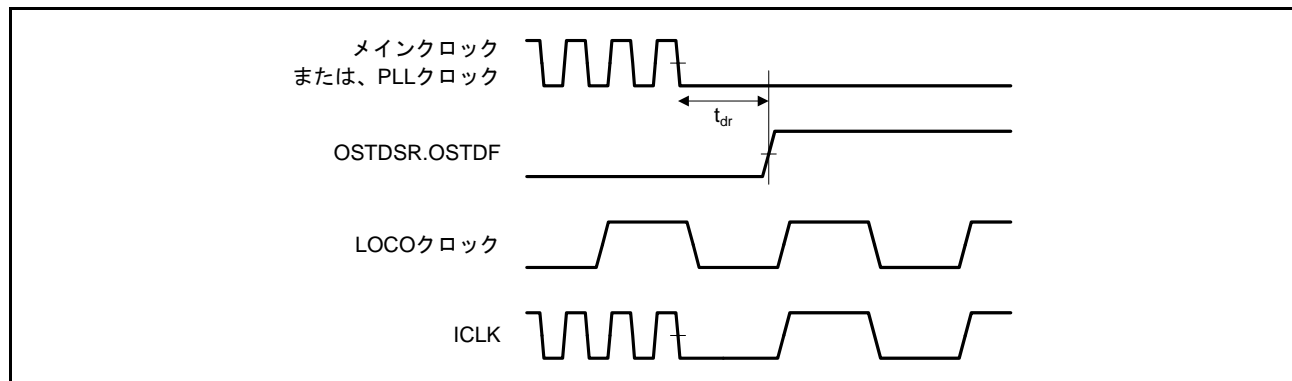


図 5.108 発振停止検出タイミング

5.10 ROM（コード格納用フラッシュメモリ）特性

[チップバージョンAの場合]

表5.74 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	t _{DRP}	10（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョンB、Cの場合]

表5.75 ROM（コード格納用フラッシュメモリ）特性（2）

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル（注1）	N _{PEC}	10000	—	—	回		
データ保持時間	N _{PEC} 1000 回後	t _{DRP}	30（注2）	—	—	年	Ta = +85°C
	N _{PEC} 10000 回後		1（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョン A、C の場合]

表5.76 ROM（コード格納用フラッシュメモリ）特性（3）高速動作モード・中速動作モード1A

条件：VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40~+105°C

項目	記号	FCLK=4MHz			FCLK=32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.52	4.8	—	0.19	2.5	ms
	8バイト	t _{P8}	—	0.52	4.9	—	0.19	2.5	
	128バイト	t _{P128}	—	1.50	10.7	—	0.57	4.8	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.61	5.7	—	0.23	3.0	ms
	8バイト	t _{P8}	—	0.61	6.2	—	0.23	3.2	
	128バイト	t _{P128}	—	1.71	13.2	—	0.65	6.0	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	17.0	92.9	—	11.0	29	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	20.8	195.8	—	13.5	60	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{SPD}	—	—	0.9	—	—	0.8	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	0.9	—	—	0.8	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{SED}	—	—	0.9	—	—	0.8	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD2}	—	—	0.9	—	—	0.8	ms	
FCU リセット時間	t _{FCUR}	20μs 以上かつ FCLKx6 以上	—	—	20μs 以上かつ FCLKx6 以上	—	—	μs	

[チップバージョン A、C の場合]

表5.77 ROM（コード格納用フラッシュメモリ）特性（4）中速動作モード1B

条件：VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105 °C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.69	6.0	—	0.30	3.5	ms
	8バイト	t _{P8}	—	0.69	6.0	—	0.30	3.5	
	128バイト	t _{P128}	—	1.76	14.2	—	0.85	8.3	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.81	7.1	—	0.35	4.2	ms
	8バイト	t _{P8}	—	0.81	7.6	—	0.35	4.5	
	128バイト	t _{P128}	—	1.99	17.5	—	0.96	10	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	24.5	113.7	—	19.0	46	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	29.8	225.8	—	23.2	90 (1k回 ≥ N _{PEC} > 100回) 98 (10k回 ≥ N _{PEC} > 1k回)	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{SPD}	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{SED}	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD2}	—	—	1.7	—	—	1.6	ms	
FCU リセット時間	t _{FCUR}	20μs 以上 かつ FCLK×6 以上	—	—	20μs 以上 かつ FCLK×6 以上	—	—	—	μs

注1. 電圧範囲 = 1.62V ~ 1.8V 未満では、動作周波数は20MHz maxです。

[チップバージョン B の場合]

表5.78 ROM (コード格納用フラッシュメモリ) 特性 (5) 中速動作モード1A、2A

条件 : VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40~+105°C

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.19	4.3	—	0.12	2.0	ms
	8バイト	t _{P8}	—	0.19	4.4	—	0.12	2.0	
	128バイト	t _{P128}	—	0.67	10.7	—	0.41	4.8	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.23	5.3	—	0.15	2.5	ms
	8バイト	t _{P8}	—	0.23	5.4	—	0.15	2.5	
	128バイト	t _{P128}	—	0.80	13.2	—	0.48	6.0	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	13.0	92.9	—	10.5	29	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	15.9	176.9	—	12.8	60	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t _{SPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{SPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{SPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t _{SED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{SESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{SESD2}	—	—	0.9	—	—	0.8	ms
FCU リセット時間		t _{FCUR}	20μs 以上かつ FCLKx6 以上	—	—	20μs 以上かつ FCLKx6 以上	—	—	μs

[チップバージョン B の場合]

表 5.79 ROM (コード格納用フラッシュメモリ) 特性 (6) 中速動作モード 1B、2B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +105 °C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.25	5.0	—	0.21	2.8	ms
	8バイト	t _{P8}	—	0.25	5.3	—	0.21	3.0	
	128バイト	t _{P128}	—	0.92	14.0	—	0.65	8.3	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.31	6.2	—	0.26	3.5	ms
	8バイト	t _{P8}	—	0.31	6.6	—	0.26	3.7	
	128バイト	t _{P128}	—	1.09	17.5	—	0.77	10.0	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	21.0	113.7	—	18.5	46	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	25.6	220.6	—	22.5	90 (1k回 ≥ N _{PEC} > 100回) 98 (10k回 ≥ N _{PEC} > 1k回)	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{SPD}	—	—	1.7	—	—	—	1.6	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	1.7	—	—	—	1.6	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{SED}	—	—	1.7	—	—	—	1.6	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD1}	—	—	220	—	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD2}	—	—	1.7	—	—	—	1.6	ms
FCU リセット時間	t _{FCUR}	20μs 以上 かつ FCLK×6 以上	—	—	—	20μs 以上 かつ FCLK×6 以上	—	—	μs

注1. 電圧範囲 = 1.62V ~ 1.8V 未満では、動作周波数は 20MHz max です。

5.11 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

[チップバージョンAの場合]

表5.80 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{DPEC}	100000	—	—	回	
データ保持時間	t _{DRP}	10（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョンB、Cの場合]

表5.81 E2データフラッシュ特性（2）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{DPEC}	100000	—	—	回	
データ保持時間	N _{DPEC} 100000 回後 t _{DRP}	30（注2）	—	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョン A、C の場合]

表5.82 E2データフラッシュ特性 (3) 高速動作モード・中速動作モード1A

条件 : VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = -40 \sim +105^{\circ}\text{C}$

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 $N_{\text{PEC}} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.40	4.4	—	0.16	2.0	ms
	8バイト	t_{DP8}	—	0.45	5.1	—	0.17	2.2	
プログラム時間 $N_{\text{PEC}} > 100$ 回のとき	2バイト	t_{DP2}	—	0.62	6.4	—	0.25	3.0	ms
	8バイト	t_{DP8}	—	0.69	7.5	—	0.26	3.2	
イレーズ時間 $N_{\text{PEC}} \leq 100$ 回のとき	128バイト	t_{DE128}	—	5.6	27.1	—	2.8	8	ms
イレーズ時間 $N_{\text{PEC}} > 100$ 回のとき	128バイト	t_{DE128}	—	6.8	45.1	—	3.4	12	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	98	—	—	35	μs
	2Kバイト	t_{DBC2K}	—	—	16	—	—	2.5	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{DSPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{DSED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	0.9	—	—	0.8	ms

[チップバージョン A、C の場合]

表5.83 E2データフラッシュ特性 (4) 中速動作モード1B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{\text{PEC}} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.52	5.1	—	0.24	2.8	ms
	8バイト	t_{DP8}	—	0.57	6.0	—	0.26	3.2	
プログラム時間 $N_{\text{PEC}} > 100$ 回のとき	2バイト	t_{DP2}	—	0.77	7.6	—	0.36	4.2	ms
	8バイト	t_{DP8}	—	0.84	8.8	—	0.38	4.5	
イレーズ時間 $N_{\text{PEC}} \leq 100$ 回のとき	128バイト	t_{DE128}	—	6.8	32.5	—	4.4	12	ms
イレーズ時間 $N_{\text{PEC}} > 100$ 回のとき	128バイト	t_{DE128}	—	8.2	51.4	—	5.3	17	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	110	—	—	40	μs
	2Kバイト	t_{DBC2K}	—	—	16.3	—	—	2.6	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{DSPD}	—	—	1.7	—	—	1.6	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD2}	—	—	1.7	—	—	1.6	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{DSED}	—	—	1.7	—	—	1.6	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	1.7	—	—	1.6	ms

注1. 電圧範囲 = 1.62V ~ 1.8V未満では、動作周波数は20MHz maxです。

[チップバージョンBの場合]

表5.84 E2データフラッシュ特性 (5) 高速動作モード・中速動作モード1A、2A

条件: VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 $N_{\text{PEC}} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.19	4.4	—	0.13	2.0	ms
	8バイト	t_{DP8}	—	0.24	5.1	—	0.13	2.2	
プログラム時間 $N_{\text{PEC}} > 100$ 回のとき	2バイト	t_{DP2}	—	0.25	6.4	—	0.17	3.0	ms
	8バイト	t_{DP8}	—	0.32	7.5	—	0.18	3.2	
イレーズ時間 $N_{\text{PEC}} \leq 100$ 回のとき	128バイト	t_{DE128}	—	3.3	27.1	—	2.5	8	ms
イレーズ時間 $N_{\text{PEC}} > 100$ 回のとき	128バイト	t_{DE128}	—	4.0	45.1	—	3.0	12	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	98	—	—	35	μs
	2Kバイト	t_{DBC2K}	—	—	16	—	—	2.5	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{DSPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{DSED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	0.9	—	—	0.8	ms

[チップバージョンBの場合]

表5.85 E2データフラッシュ特性 (6) 中速動作モード1B、2B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +105°C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{DP2}	—	0.28	5.1	—	0.20	2.8	ms
	8バイト	t _{DP8}	—	0.32	6.0	—	0.22	3.2	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{DP2}	—	0.36	7.6	—	0.25	4.2	ms
	8バイト	t _{DP8}	—	0.40	8.8	—	0.28	4.5	
イレーズ時間 N _{PEC} ≤ 100回のとき	128バイト	t _{DE128}	—	4.8	32.4	—	4.1	12	ms
イレーズ時間 N _{PEC} > 100回のとき	128バイト	t _{DE128}	—	5.8	51.4	—	4.9	17	ms
ブランクチェック時間	2バイト	t _{DBC2}	—	—	110	—	—	40	μs
	2Kバイト	t _{DBC2K}	—	—	16.3	—	—	2.6	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{DSPD}	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{DSPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{DSPSD2}	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{DSED}	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{DSESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{DSESD2}	—	—	1.7	—	—	1.6	ms	

注1. 電圧範囲 = 1.62V ~ 1.8V未満では、動作周波数は20MHz maxです。

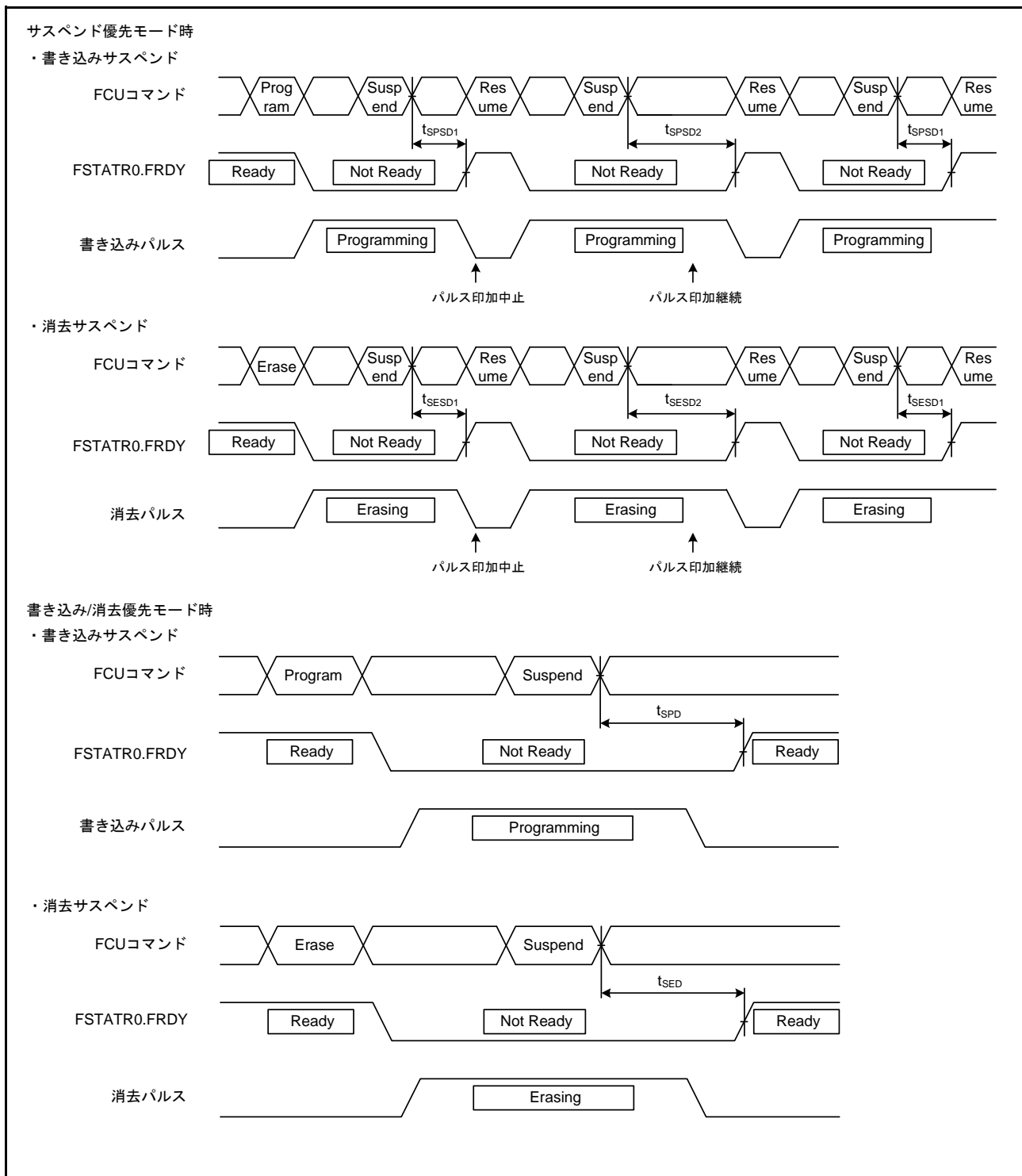


図 5.109 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

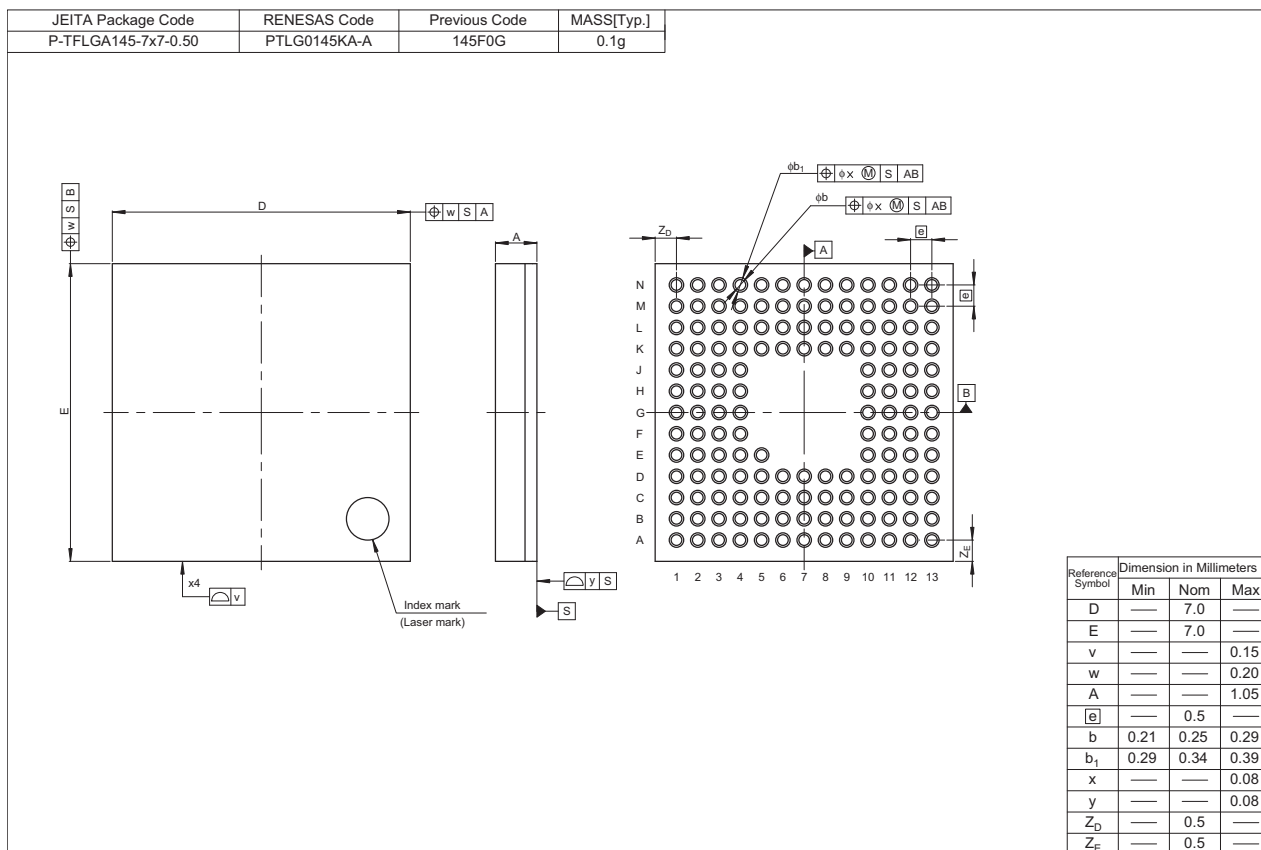


図 A. 145 ピン TFLGA (PTLG0145KA-A)

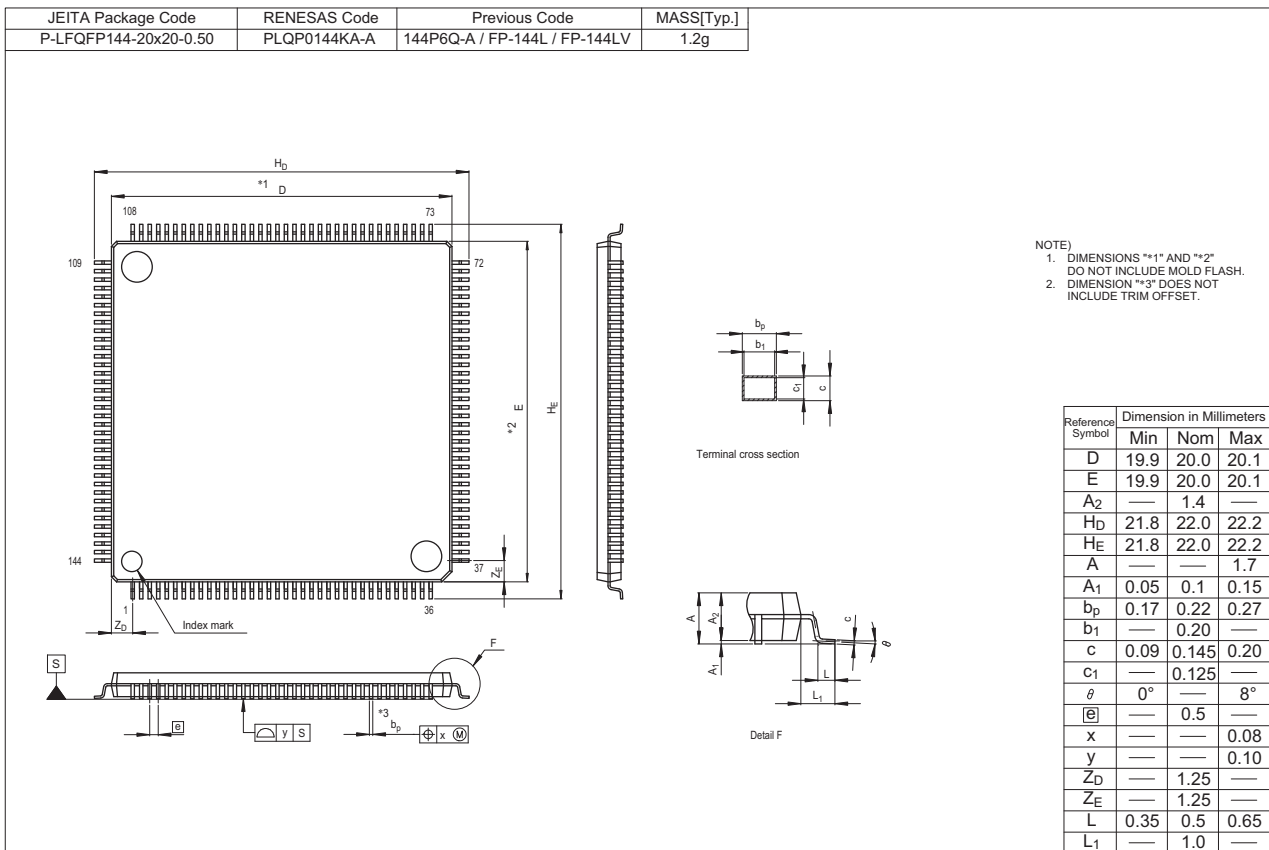


図 B. 144ピン LQFP (PLQP0144KA-A)

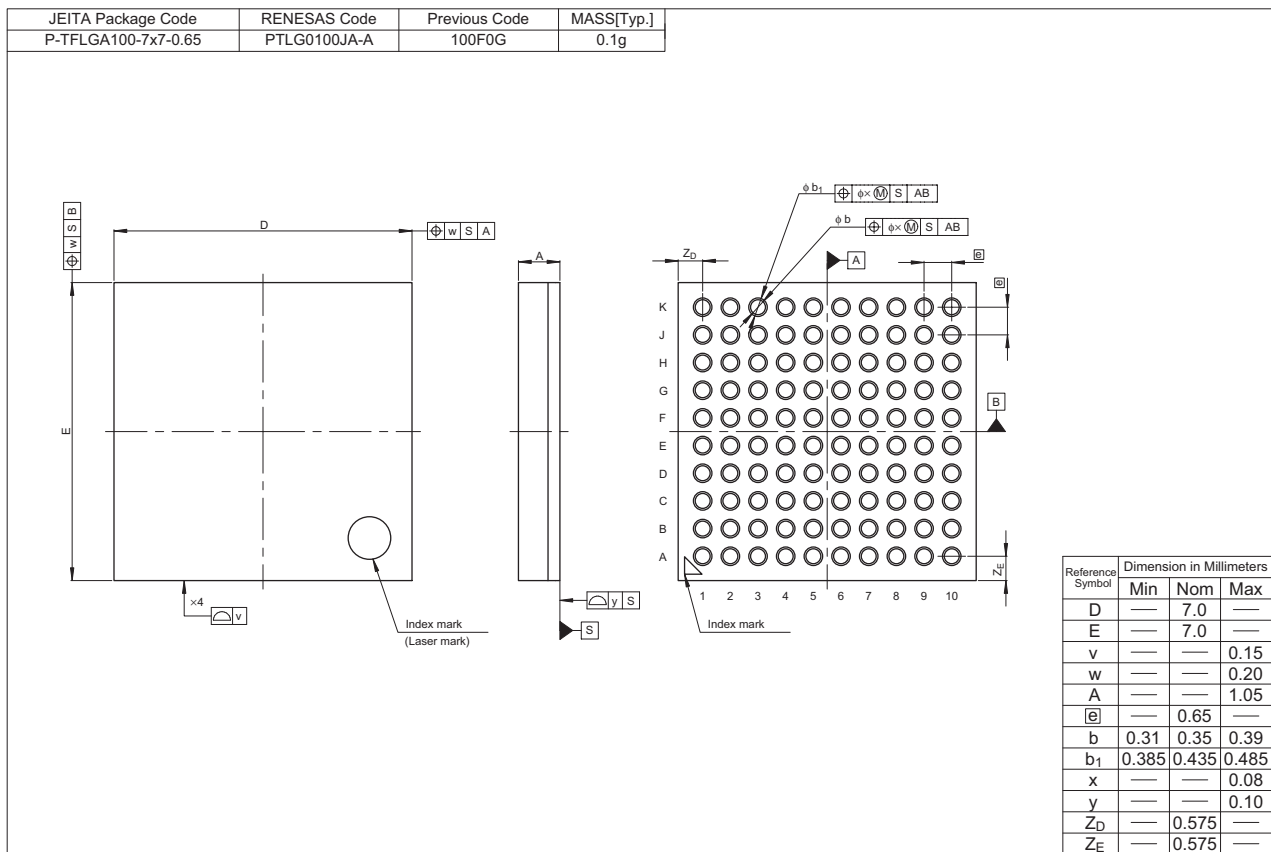


図 C. 100ピン TFLGA (PTLG0100JA-A)

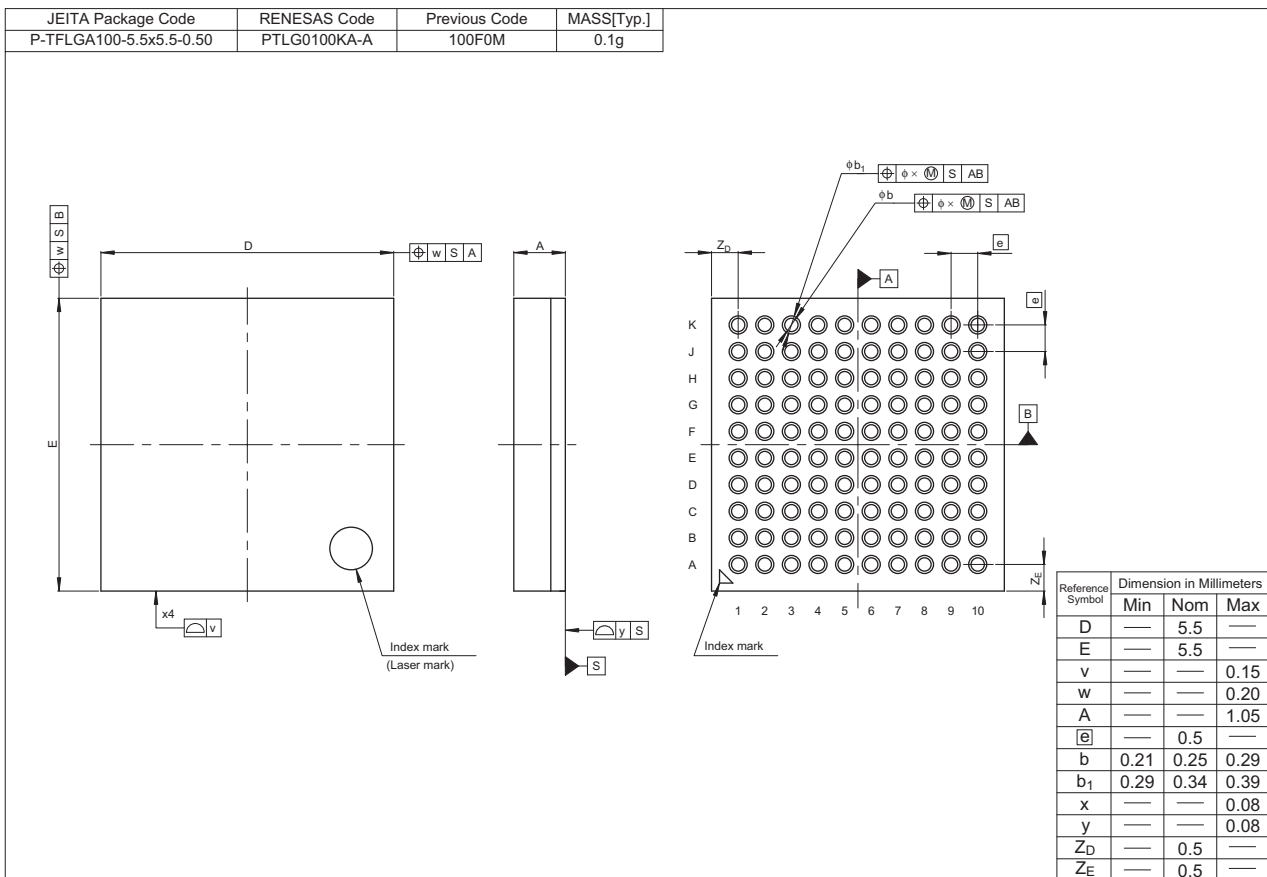
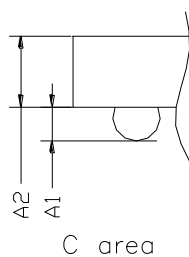
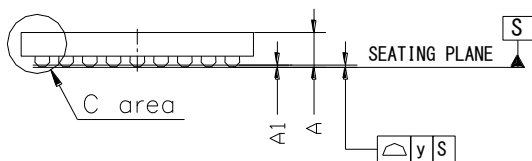
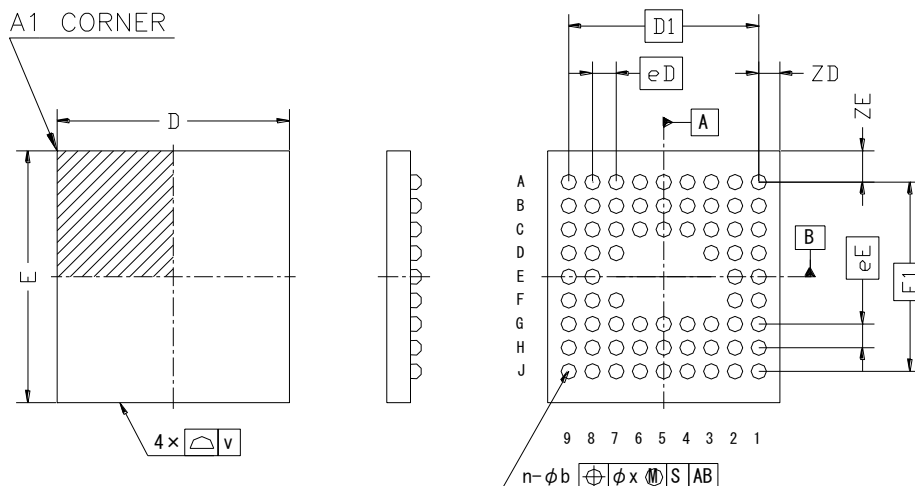


図 D. 100ピン TFLGA (PTLG0100KA-A)

JEITA Package code	RENESAS Code	Previous Code	MASS(TYP.)[g]
S-WFBGA69-3.91x4.26-0.40	SWBG0069LA-A	—	0.02



Dimensions in millimeters

Term	Reference Symbol	Specification		
		Min	Nom	Max
Package length	D	3.86	3.91	3.96
Package width	E	4.21	4.26	4.31
Overhang dimension in length	ZD	0.305	0.355	0.405
Overhang dimension in width	ZE	0.48	0.53	0.58
Profile height	A	—	—	0.70
Stand-off height	A1	0.15	0.19	0.23
Wafer thickness	A2	0.36	0.40	0.44
	(A3)	—	—	—
Terminal diameter	b	0.22	0.27	0.32
Terminal pitch in length	eD	0.4 (BSC)		
Terminal pitch in width	eE	0.4 (BSC)		
Center terminal position in D-direction	SD	— (BSC)		
Center terminal position in E-direction	SE	— (BSC)		
Edge ball center to center in D-direction	D1	3.2 (BSC)		
Edge ball center to center in E-direction	E1	3.2 (BSC)		
Number of terminals	n	69		
Tolerance of package lateral profile	v	0.05		
Positional tolerance of terminals	x	0.05		
Coplanarity	y	0.08		

注記:

- 端子ピッチは端子中央部の位置で規定する。
- データA及びBは、ボールグリッドセンタを称す。

Note:

- Ball pitch dimension is specified with the center of balls.
- Datum A and B are axes defined by the ball grid array, not by the PKG outline.

© 2013 Renesas Electronics Corporation. All rights reserved.

図 E. 69ピンWLBGA (SWBG0069LA-A)

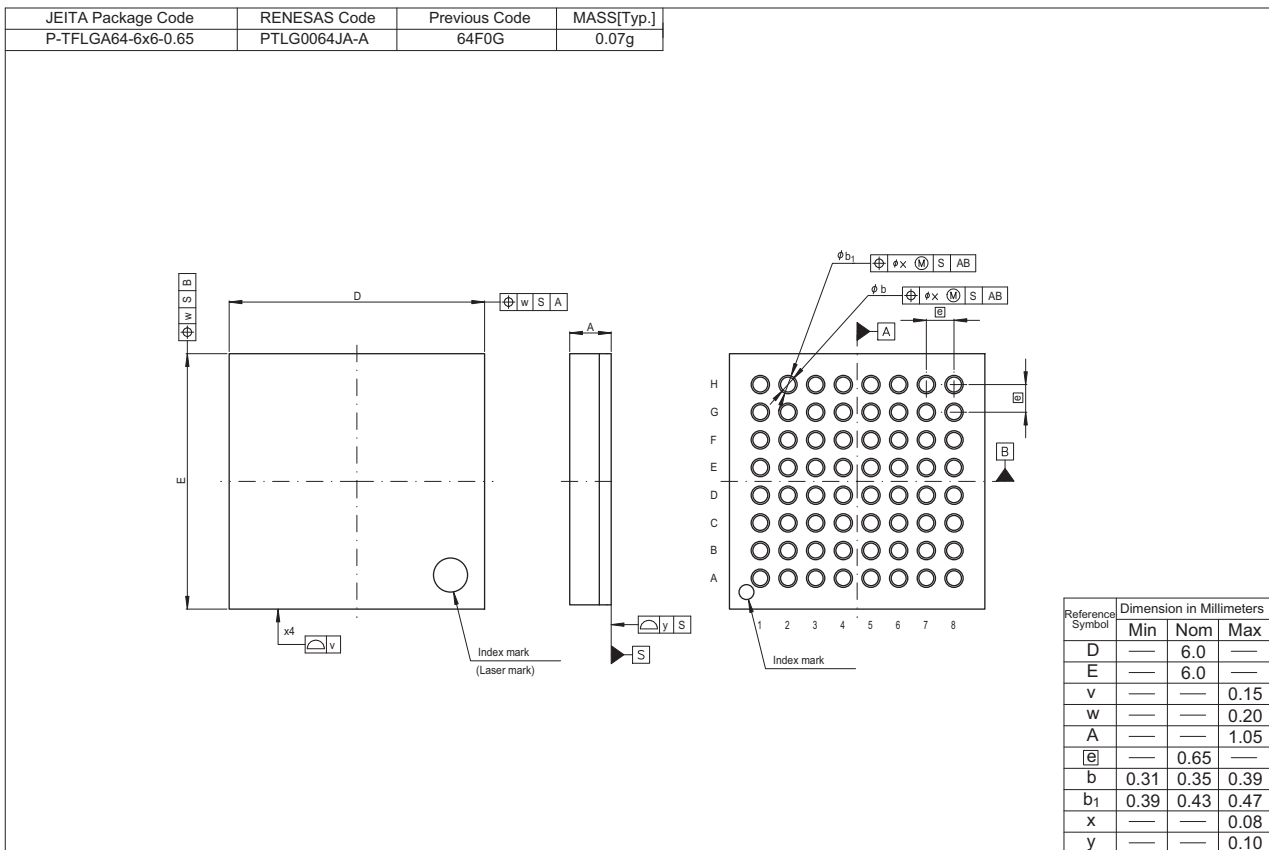


図 F. 64ピン TFLGA (PTLG0064JA-A)

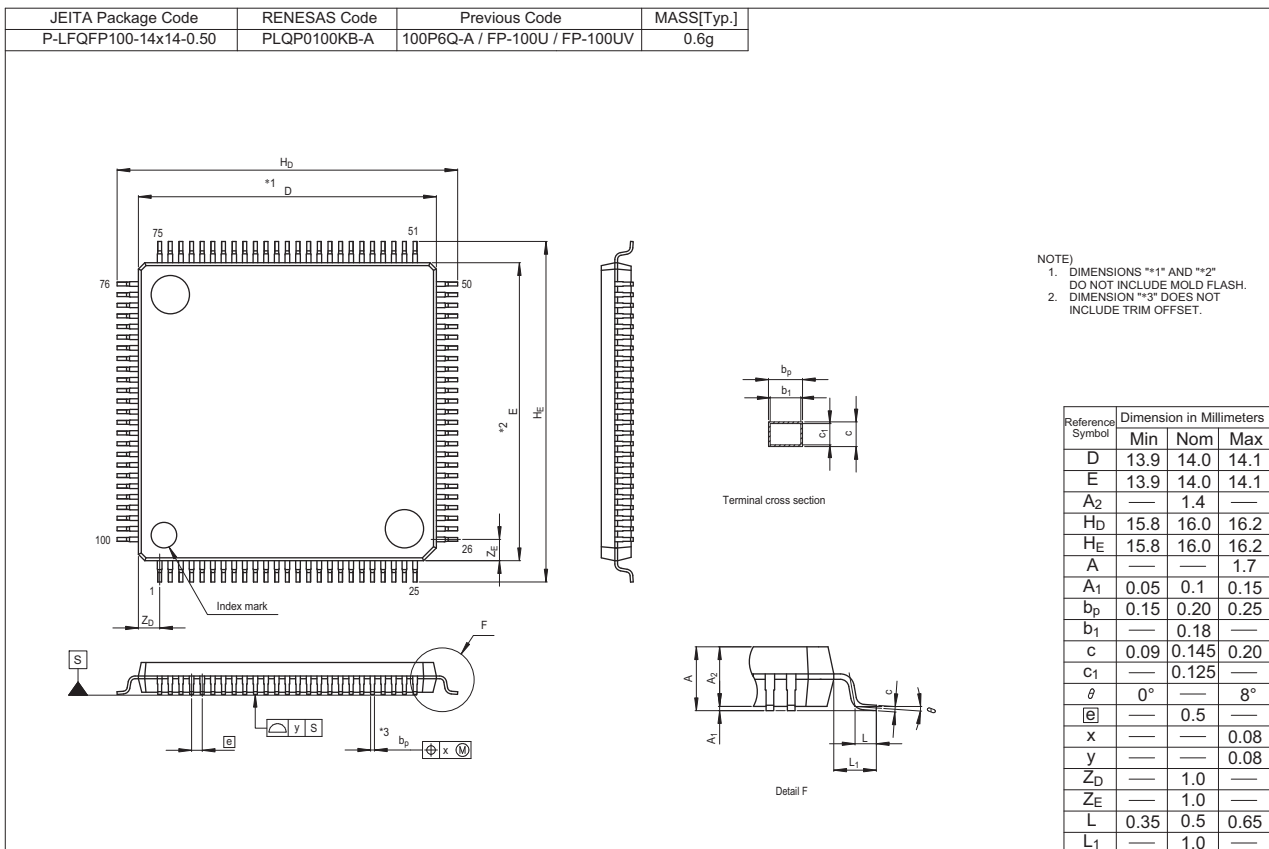


図 G. 100ピン LQFP (PLQP0100KB-A)

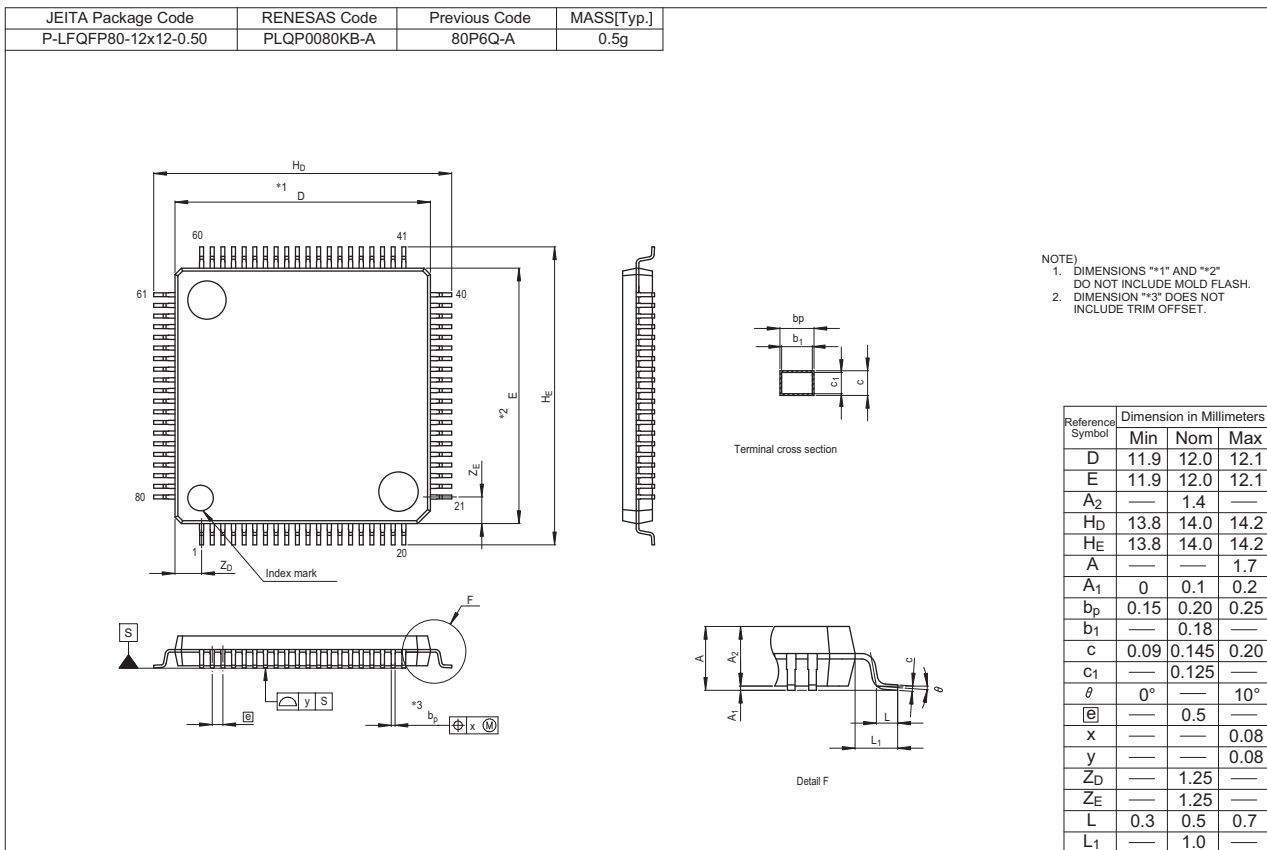


図 H. 80ピンLQFP (PLQP0080KB-A)

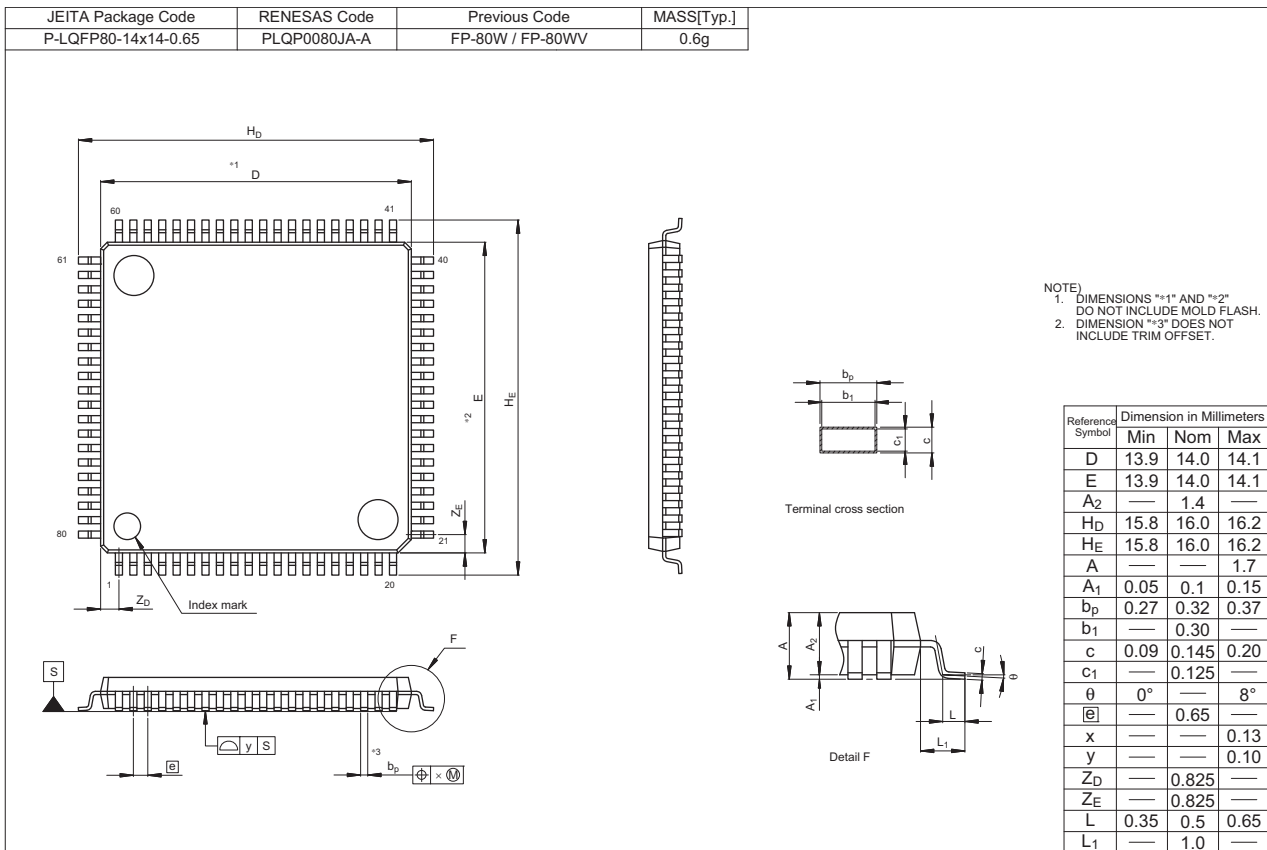


図 I. 80ピン LQFP (PLQP0080JA-A)

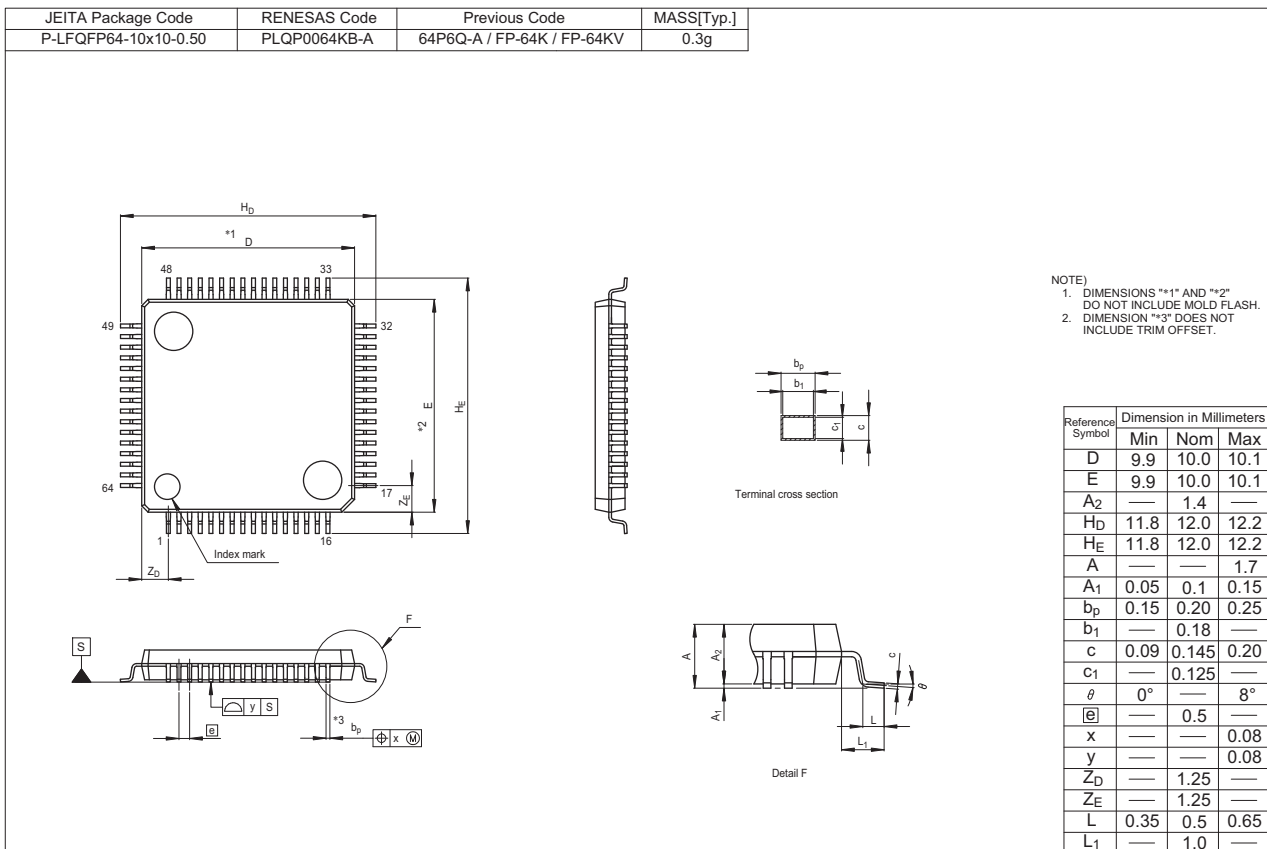


図 J. 64ピンLQFP (PLQP0064KB-A)

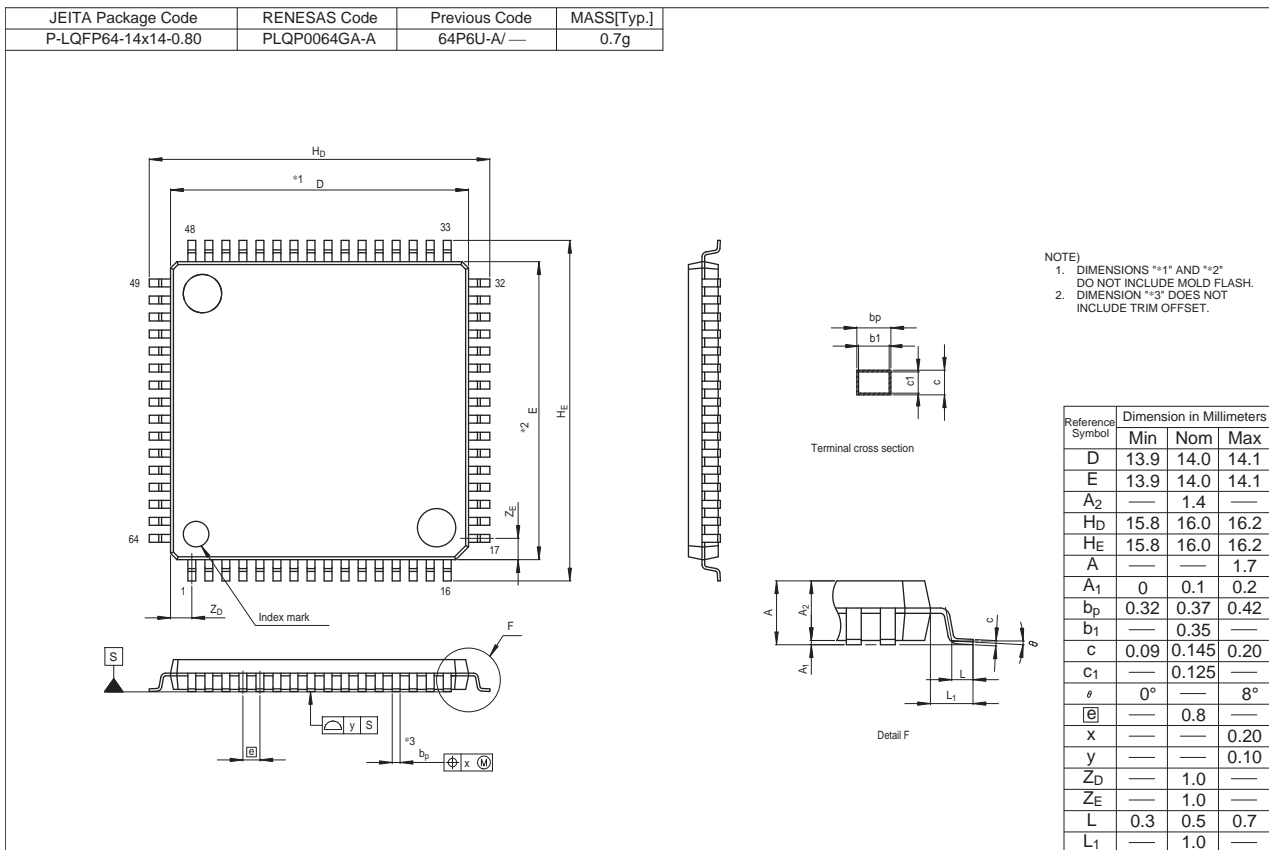


図 K. 64ピンLQFP (PLQP0064GA-A)

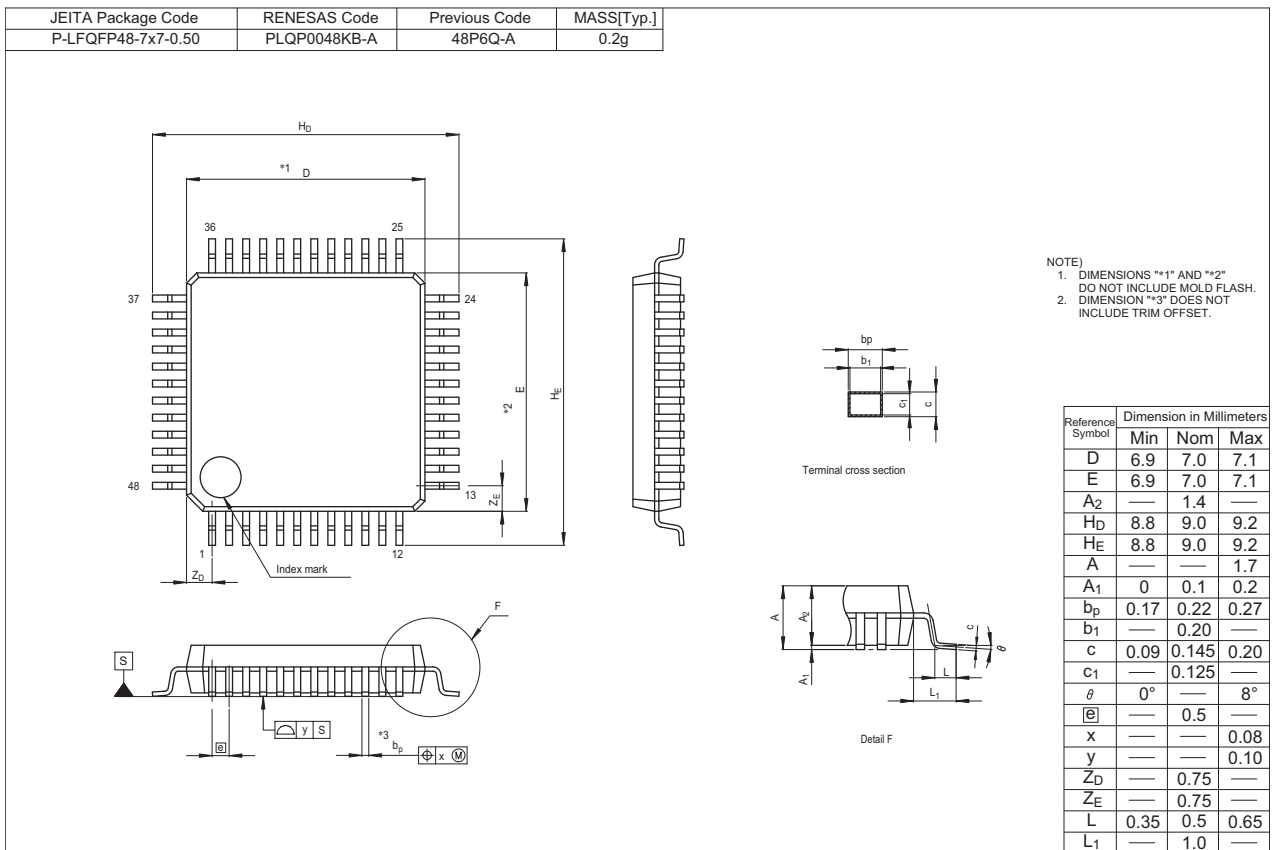


図 L. 48ピンLQFP (PLQP0048KB-A)

改訂記録	RX210 グループ データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.11.29	—	初版発行
0.20	2010.12.27	2、4	表 1.1 仕様概要 電圧検出と動作周囲温度の変更
		11、15～17	100ピンTFLGA情報の追加
		25	100ピンTFLGAの外形寸法図の追加
0.50	2010.02.25	1	特長の追加
		7	1.2 製品一覧の追加
		27～56	2. CPUの追加
		57～59	3. アドレス空間の追加
		60～83	4. I/Oレジスタの追加
0.90	2011.07.08	1. 概要	
		4	表 1.1 仕様概要 電源電圧/動作周波数の項目 変更
		17、21、24、26	表 1.5～表 1.8 機能別端子一覧の端子名 (LVCMP2→CMPA2) 変更
		2. CPU	
		50	表 2.14 複数マイクロオペレーションに変換される命令の算術/論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド)の項目 追加
		5. 電気的特性	
59～111	新規追加		
1.00	2011.11.04	1. 概要	
		2～5	表 1.1 仕様概要 メモリ、割り込みコントローラ、タイマ、動作周囲温度、データ演算回路、オンチップデバッキングシステム 変更
		7、8	表 1.3 製品一覧表 変更
		9	図 1.1 型名とメモリサイズ・パッケージ G項目追加
		10	図 1.2 ブロック図 変更
		11	表 1.4 端子機能一覧 マルチプレクスバス 追加
		2. CPU	
		29～31	説明変更
		4. I/Oレジスタ	
		—	表 4.1 I/Oレジスタアドレス一覧 LOCOウェイトコントロールレジスタ2(LOCOWTCR2) 削除
		5. 電気的特性	
		59～111	説明変更
		1.20	2012.09.24
特長			
1	パッケージの追加		
1. 概要			
2	1.1 仕様概要 説明変更		
2～5	表 1.1 仕様概要 メモリ、低消費電力、I/Oポート、パッケージ 変更、注1. 追加		
6	表 1.2 パッケージ別機能比較一覧 パッケージ 変更		
7	表 1.3 製品一覧表 チップバージョンA、Dバージョン (Ta=-40～85℃) 変更		
8	表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta=-40～85℃) 追加		
9	表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta=-40～105℃) 追加		
10	表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta=-40～85℃) 追加		
10	表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta=-40～105℃) 追加		
11	図 1.1 型名とメモリサイズ・パッケージ 変更		
13	表 1.8 端子機能一覧 電源、クロック、システム制御、オンチップエミュレータ 変更		
20	図 1.7 48ピンLQFPピン配置図 追加		
21～23	表 1.9 機能別端子一覧 (100ピンTFLGA) 変更		
24～26	表 1.10 機能別端子一覧 (100ピンLQFP) 変更		
27、28	表 1.11 機能別端子一覧 (80ピンLQFP) 変更		
29、30	表 1.12 機能別端子一覧 (64ピンLQFP) 変更		
31、32	表 1.13 機能別端子一覧 (48ピンLQFP) 追加		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2012.09.24	3. アドレス空間			
		36	図3.1 各動作モードのメモリマップ 変更		
		4. I/O レジスタ			
		40~60	表5.1 I/Oレジスタアドレス一覧 割り込み要因プライオリティレジスタ xxx(IPRxxx)、ポート入力データレジスタ (PIDR)のアクセスサイクル数 変更 PLL 電源コントロールレジスタ (PLLPCR)、電圧レギュレータ制御レジスタ (VRCR)、タイムアウト内部カウンタ L(TMOCNTL)、タイムアウト内部カウンタ U(TMOCNTU) 追加 注1、注2の追加		
		5. 電気的特性			
		61~147	差し替え		
		付録1. 外形寸法図			
		149	図B. 100ピンTFLGA (PTLG0100KA-A) 追加		
		150	図C. 64ピンTFLGA (PTLG0064JA-A) 追加		
		151	図D. 100ピンLQFP (PLQP0100KB-A) 変更		
		152	図E. 80ピンLQFP (PLQP0080KB-A) 変更		
		154	図G. 64ピンLQFP (PLQP0064KB-A) 変更		
		156	図I. 48ピンLQFP (PLQP0048KB-A) 追加		
		1.30	2012.12.05	特長	
				1	内蔵コードフラッシュメモリ、内蔵SRAM、通信機能、拡張タイマ機能 変更
1. 概要					
2~6	表1.1 仕様概要 変更				
7	表1.2 パッケージ別機能比較一覧 変更				
9	表1.4 製品一覧表 チップバージョンB、Dバージョン (Ta=-40~85℃) 変更				
100	表1.5 製品一覧表 チップバージョンB、Gバージョン (Ta=-40~105℃) 変更				
11	表1.6 製品一覧表 チップバージョンC、Dバージョン (Ta=-40~85℃)、 表1.7 製品一覧表 チップバージョンC、Gバージョン (Ta=-40~105℃) 変更				
12	図1.1 型名とメモリサイズ・パッケージ 変更				
13	図1.2 ブロック図 変更				
14	表1.8 端子機能一覧 16ビットタイマパルスユニット追加				
55	表1.8 端子機能一覧 シリアルコミュニケーションインタフェース (SC1c) 変更				
17	表1.8 端子機能一覧 I/Oポート変更				
18	図1.3 145ピンTFLGAピン配置図 (上面透視図) 追加				
19	図1.4 144ピンLQFPピン配置図 追加				
24~27	表1.9 機能別端子一覧 (145ピンTFLGA) 追加				
28~31	表1.10 機能別端子一覧 (144ピンLQFP) 追加				
3. アドレス空間					
47	図3.1 各動作モードのメモリマップ 変更				
4. I/O レジスタ					
54~77	表4.1 I/Oレジスタアドレス一覧 変更				
5. 電気的特性					
79	表5.2、表5.3 DC特性 変更				
80~116	表5.6~表5.20 DC特性 変更、図5.1~図5.34 変更				
151	表5.55 内蔵周辺モジュールタイミング 変更				
152	[512Kバイト以下のフラッシュメモリまたは48ピン~100ピン版] 表5.56 内蔵周辺モジュールタイミング 追加				
153、154	[768K/1Mバイトフラッシュメモリまたは144/145ピン版] 表5.57 内蔵周辺モジュールタイミング 追加				
155	表5.58 内蔵周辺モジュールタイミング 変更				
158	図5.75、図5.76 変更				
161	図5.83 RSPI タイミング (マスタ、CPHA=0) (ビットレート: PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=1)、 図5.84 RSPI タイミング (マスタ、CPHA=0) (ビットレート: PCLKBを2分周に設定) 変更				
162	図5.85 RSPI タイミング (マスタ、CPHA=1) (ビットレート: PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=0)、 図5.86 RSPI タイミング (マスタ、CPHA=1) (ビットレート: PCLKBを2分周に設定) 変更				
166	表5.64 A/D変換特性 条件変更				
168	図5.91 A/Dコンバータ特性用語説明図、変更 絶対精度 説明変更				

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.30	2012.12.05	182	表 5.80 E2データフラッシュ特性 (1)、表 5.81 E2データフラッシュ特性 (2) 項目変更 (測定条件→条件)		
		付録1. 外形寸法図			
		188	図A. 145ピンTFLGA (PTLG0145KA-A) 追加		
		189	図B. 144ピンLQFP (PLQP0144KA-A) 追加		
1.40	2012.12.05	1. 概要			
		2~6	表 1.1 仕様概要 変更、注2 追記		
		9	表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta=-40~85°C) 変更		
		10	表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta=-40~105°C) 変更、注 追記		
		11	表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta=-40~85°C) 注1、 表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta=-40~105°C) 注1 削除、注 追記		
		12	図 1.1 型名とメモリサイズ・パッケージ 変更		
		4. I/Oレジスタ			
		57	表 5.1 I/Oレジスタアドレス一覧 変更		
		5. 電気的特性			
		80	表 5.4 DC特性 (3) 変更		
		84	表 5.8 DC特性 (7) 変更		
		91	表 5.11 DC特性 (10) 変更		
		100	表 5.14 DC特性 (13) 変更		
		109	表 5.17 DC特性 (16) 変更		
		110	図 5.31 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット=110b) 時の電圧依存性 (参考データ) 768K/1M バイトのフラッシュメモリで100ピン~145ピンのチップバージョンB 変更		
		111	図 5.32 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット=110b) 時の温度依存性 (参考データ) 768K/1M バイトのフラッシュメモリで100ピン~145ピンのチップバージョンB 変更		
		113	表 5.18 DC特性 (17) 変更		
		114	表 5.19 DC特性 (18) 変更		
		116~118	「図 5.35 高速動作モードの電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンB」~ 「図 5.39 低速動作モード2の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンB」 追記		
		119	表 5.20 DC特性 (19) 変更		
		120~122	「図 5.40 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット=110b) 時の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンB」~ 「図 5.43 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット=1) (参考データ) 512K バイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンB」 追記		
		123	表 5.22 DC特性 (21) 変更、注2 追記		
		138	表 5.44 クロックタイミング 注5 変更		
		148	表 5.49 バスタイミング (1)、表 5.50 バスタイミング (2) 変更		
		149	表 5.51 バスタイミング (3) 変更		
		154	表 5.52 バスタイミング (マルチプレクスバス) (1)、 表 5.53 バスタイミング (マルチプレクスバス) (2) 変更		
		155	表 5.54 バスタイミング (マルチプレクスバス) (3) 変更		
		158	表 5.56 内蔵周辺モジュールタイミング (2) 変更		
		160	表 5.57 内蔵周辺モジュールタイミング (3) 変更		
		171	表 5.61 A/D変換特性 (1)、注3 削除、注4 追記、図 5.90 AVCC-AVREFH 電圧範囲 追記		
		173	表 5.64 A/D変換特性 (2)、注3、表 5.65 A/D変換特性 (3)、注3 削除		
		180	表 5.72 パワーオンリセット回路、電圧検出回路特性 (2) 変更		
		185	表 5.76 ROM (コード格納用フラッシュメモリ) 特性 (3) 高速動作モード・中速動作モード1A 変更		
		186	表 5.77 ROM (コード格納用フラッシュメモリ) 特性 (4) 中速動作モード1B 変更		
		187	表 5.78 ROM (コード格納用フラッシュメモリ) 特性 (5) 中速動作モード1A、2A 変更		
		188	表 5.79 ROM (コード格納用フラッシュメモリ) 特性 (6) 中速動作モード1B、2B 変更		
		190	表 5.82 E2データフラッシュ特性 (3) 高速動作モード・中速動作モード1A 変更		
		191	表 5.83 E2データフラッシュ特性 (4) 中速動作モード1B 変更		
		192	表 5.84 E2データフラッシュ特性 (5) 高速動作モード・中速動作モード1A、2A 変更		
		193	表 5.85 E2データフラッシュ特性 (6) 中速動作モード1B、2B 変更		
		1.50	2013.10.18	全体	69ピンWLBGAパッケージ製品の追加
				特長	
				1	SWBG0069LA-A 3.91×4.26mm、0.40mmピッチ、■用途 追記
				1. 概要	
				2	1.1 仕様概要 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2013.10.18	2~6	表 1.1 仕様概要、注2 変更
		7	表 1.2 パッケージ別機能比較一覧 変更
		8	表 1.3 製品一覧表 チップバージョンA、Dバージョン (Ta = -40 ~ 85°C) 変更、注 追記
		9	表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta = -40 ~ 85°C)、注1 変更、注 追記
		10	表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta = -40 ~ 105°C)、注 変更、注1 削除
		11	表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta = -40 ~ 85°C)、表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta = -40 ~ 105°C)、注 変更
		12	図 1.1 型名とメモリサイズ・パッケージ 変更
		23	図 1.8 69 ピンWLBGA ピン配置図 追記
		42、43	表 1.14 機能別端子一覧 (69ピンWLBGA) 追記
			5. 電氣的特性
		129	表 5.21 DC特性 (20) 注 追記
		144	表 5.44 クロックタイミング 注6、注7 追記
		177	表 5.61 A/D変換特性 (1) 注 追記、注4 削除
		178	表 5.62 A/Dコンバータチャネル分類表 変更
		179	表 5.64 A/D変換特性 (2) 注 追記
		付録 1.	外形寸法図
		205	図 E. 69 ピンWLBGA (SWBG0069LA-A) 追記

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
- 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
- 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
- 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
- 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
- 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
- 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
- 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないで行ってください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
- お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
- 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

*営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>