

1. 概要

1.1 特長

R8C/M11Aグループ、R8C/M12Aグループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/M11Aグループ、R8C/M12Aグループは、データフラッシュ (1 KB × 2ブロック) を内蔵します。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 グループごとの相違点

表 1.1 に R8C/M11A グループ、R8C/M12A グループの仕様比較を示します。1.1.3 以降で指定のない場合は、R8C/M12A グループの仕様を説明します。

表 1.1 R8C/M11Aグループ、R8C/M12Aグループの仕様比較

分類	機能説明	R8C/M11Aグループ	R8C/M12Aグループ
割り込み	外部割り込み入力	6 (INT $\bar{1}$ × 3、キー入力 × 3)	8 (INT $\bar{1}$ × 4、キー入力 × 4)
I/Oポート	端子数	14 端子なし： P1_0/AN0/TRCIOD/KI0 P3_3/IVCMP3/TRCCLK/INT3 P3_4/IVREF3/TRCIOC/INT2 P3_5/TRCIOD/KI2/VCOU3 P4_2/TRBO/TXD0/KI3 P4_5/INT0/ADTRG	20
	CMOS入出力ポート数	11 ポートなし： P1_0、P3_3、P3_4、P3_5、 P4_2、P4_5	17
	大電流ポート数	5 ポートなし：P3_3、P3_4、P3_5	8
A/Dコンバータ	A/Dチャンネル数	5チャンネル チャンネルなし：AN0	6チャンネル
コンパレータB	チャンネル数	コンパレータB1	コンパレータB1、コンパレータB3

表1.2にR8C/M11Aグループのレジスタ設定の説明を示します。R8C/M11Aグループ、R8C/M12Aグループの仕様相違に対応します。

表1.2 R8C/M11Aグループのレジスタ設定の説明

関連機能	レジスタ名	アドレス	ビット	アクセスする場合の設定方法
INT3	INTEN	00038h	INT3EN	予約ビット。0にしてください。
	INTF0	0003Ah	INT3F0、INT3F1	予約ビット。0にしてください。
	ISCR0	0003Ch	INT3SA、INT3SB	予約ビット。0にしてください。
	ILVLD	0004Dh	ILVLD0、ILVLD1	予約ビット。0にしてください。
	IRR3	00053h	IRI3	予約ビット。0にしてください。
KI0	KIEN	0003Eh	KI0EN、KI0PL	予約ビット。0にしてください。
コンパレータ B3割り込み	ILVL2	00042h	ILVL24、ILVL25	予約ビット。0にしてください。
	IRR2	00052h	IRCMP3	予約ビット。0にしてください。
P1_0	PD1	000A9h	PD1_0	予約ビット。0にしてください。
	P1	000AFh	P1_0	予約ビット。0にしてください。
	PUR1	000B5h	PU1_0	予約ビット。0にしてください。
	POD1	000C1h	POD1_0	予約ビット。0にしてください。
	PML1	000C8h	P10SEL0、P10SEL1	予約ビット。0にしてください。
P3_3、 P3_4、P3_5	PD3	000ABh	PD3_3、PD3_4、PD3_5	予約ビット。0にしてください。
	P3	000B1h	P3_3、P3_4、P3_5	予約ビット。0にしてください。
	PUR3	000B7h	PU3_3、PU3_4、PU3_5	予約ビット。0にしてください。
	DRR3	000BDh	DRR3_3、DRR3_4、DRR3_5	予約ビット。0にしてください。
	POD3	000C3h	POD3_3、POD3_4、POD3_5	予約ビット。0にしてください。
	PML3	000CCh	P33SEL0、P33SEL1	予約ビット。0にしてください。
P4_2、P4_5	PMH3	000CDh	P34SEL0、P34SEL1、 P35SEL0、P35SEL1	予約ビット。0にしてください。
	PD4	000ACh	PD4_2、PD4_5	予約ビット。0にしてください。
	P4	000B2h	P4_2、P4_5	予約ビット。0にしてください。
	PUR4	000B8h	PU4_2、PU4_5	予約ビット。0にしてください。
	POD4	000C4h	POD4_2、POD4_5	予約ビット。0にしてください。
	PML4	000CEh	P42SEL0、P42SEL1	予約ビット。0にしてください。
AN0	PMH4	000CFh	P45SEL0、P45SEL1	予約ビット。0にしてください。
	ADINSEL	0009Dh	CH0、ADGSEL0、ADGSEL1	000にしないでください。
コンパレータ B3	WCMPR	00180h	WCB3M0、WCB3OUT	予約ビット。0にしてください。
	WCB3INTR	00182h	全ビット	予約レジスタ。アクセスしないでください。

1.1.3 仕様概要

表1.3および表1.4に仕様概要を示します。

表1.3 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：50 ns (f(XIN) = 20 MHz、VCC = 2.7 V ~ 5.5 V) 200 ns (f(XIN) = 5 MHz、VCC = 1.8 V ~ 5.5 V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、 データフラッシュ	「表1.5 製品一覧」参照
リセット要因		<ul style="list-style-type: none"> RESET端子によるハードウェアリセット パワーオンリセット ウォッチドッグタイマリセット ソフトウェアリセット 電圧検出0によるリセット
電圧検出	電圧検出回路	電圧検出2点：電圧検出0、電圧検出1(検出レベル選択可能)
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 カウントソース保護モードを選択可能 周期タイマ機能選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 3回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 クロック分周回路内蔵
パワーコントロール		<ul style="list-style-type: none"> 標準動作モード ウェイトモード(CPU停止、周辺機能動作) ストップモード(CPU、周辺機能とも停止)
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：8 (INT×4、キー入力×4) 割り込み優先レベル：2
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> CMOS入出力：17、プルアップ抵抗を選択可能 大電流ポート：8
タイマ	タイマRJ2	16ビット×1 タイマモード、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2	8ビット×1(8ビットプリスケアラ付)または16ビット×1(選択可能) タイマモード、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(アウトプットコンペア機能、インプットキャプチャ機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
シリアル インタ フェース	UART0	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用
A/Dコンバータ		<ul style="list-style-type: none"> 分解能：10ビット×6チャンネル サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路

表1.4 仕様概要(2)

分類	機能	説明
フラッシュメモリ		<ul style="list-style-type: none"> • プログラムROMのプログラム/イレーズ電圧 : VCC = 1.8 V ~ 5.5 V • データフラッシュのプログラム/イレーズ電圧 : VCC = 1.8 V ~ 5.5 V • プログラム/イレーズ回数 : 10,000回(データフラッシュ) 10,000回(プログラムROM) • プログラムセキュリティ : IDコードチェック、ロックビットによるプロテクト • デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN) = 20 MHz (VCC = 2.7 V ~ 5.5 V) f(XIN) = 5 MHz (VCC = 1.8 V ~ 5.5 V)
温度範囲		-20 °C ~ 85 °C (Nバージョン) -40 °C ~ 85 °C (Dバージョン) (注1)
パッケージ		14ピンTSSOP : [パッケージコード] PTSP0014JA-B 14ピンDIP : [パッケージコード] PRDP0014AC-A 20ピンLSSOP : [パッケージコード] PLSP0020JB-A 20ピンDIP : [パッケージコード] PRDP0020AD-A

注1. Dバージョンをご使用になる場合は、その旨を指定してください。

1.2 製品一覧

表1.5に製品一覧を、図1.1に型名とメモリサイズ・パッケージを示します。

表1.5 製品一覧

2012年5月現在

グループ名	型名	内部ROM容量		内部RAM容量	パッケージ	備考	
		プログラムROM	データフラッシュ				
R8C/M11A グループ	R5F2M110ANSP	2 Kバイト	1 Kバイト × 2	256バイト	PTSP0014JA-B	Nバージョン	
	R5F2M111ANSP	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M112ANSP	8 Kバイト	1 Kバイト × 2	512バイト			
	R5F2M110ANDD	2 Kバイト	1 Kバイト × 2	256バイト	PRDP0014AC-A		
	R5F2M111ANDD	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M112ANDD	8 Kバイト	1 Kバイト × 2	512バイト			
	R5F2M110ADSP	2 Kバイト	1 Kバイト × 2	256バイト	PTSP0014JA-B		Dバージョン
	R5F2M111ADSP	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M112ADSP	8 Kバイト	1 Kバイト × 2	512バイト			
R8C/M12A グループ	R5F2M120ANSP	2 Kバイト	1 Kバイト × 2	256バイト	PLSP0020JB-A	Nバージョン	
	R5F2M121ANSP	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M122ANSP	8 Kバイト	1 Kバイト × 2	512バイト			
	R5F2M120ANDD	2 Kバイト	1 Kバイト × 2	256バイト	PRDP0020AD-A		
	R5F2M121ANDD	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M122ANDD	8 Kバイト	1 Kバイト × 2	512バイト			
	R5F2M120ADSP	2 Kバイト	1 Kバイト × 2	256バイト	PLSP0020JB-A		Dバージョン
	R5F2M121ADSP	4 Kバイト	1 Kバイト × 2	384バイト			
	R5F2M122ADSP	8 Kバイト	1 Kバイト × 2	512バイト			

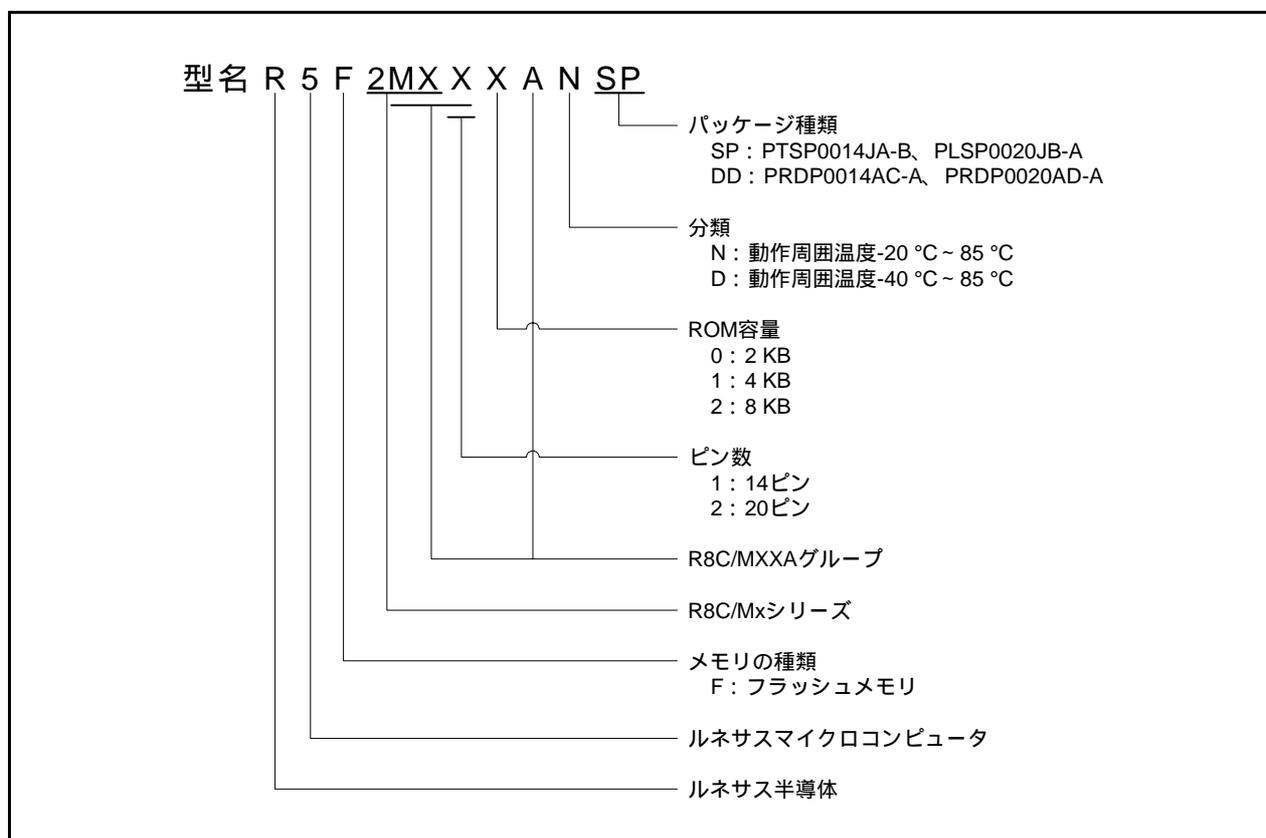


図1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

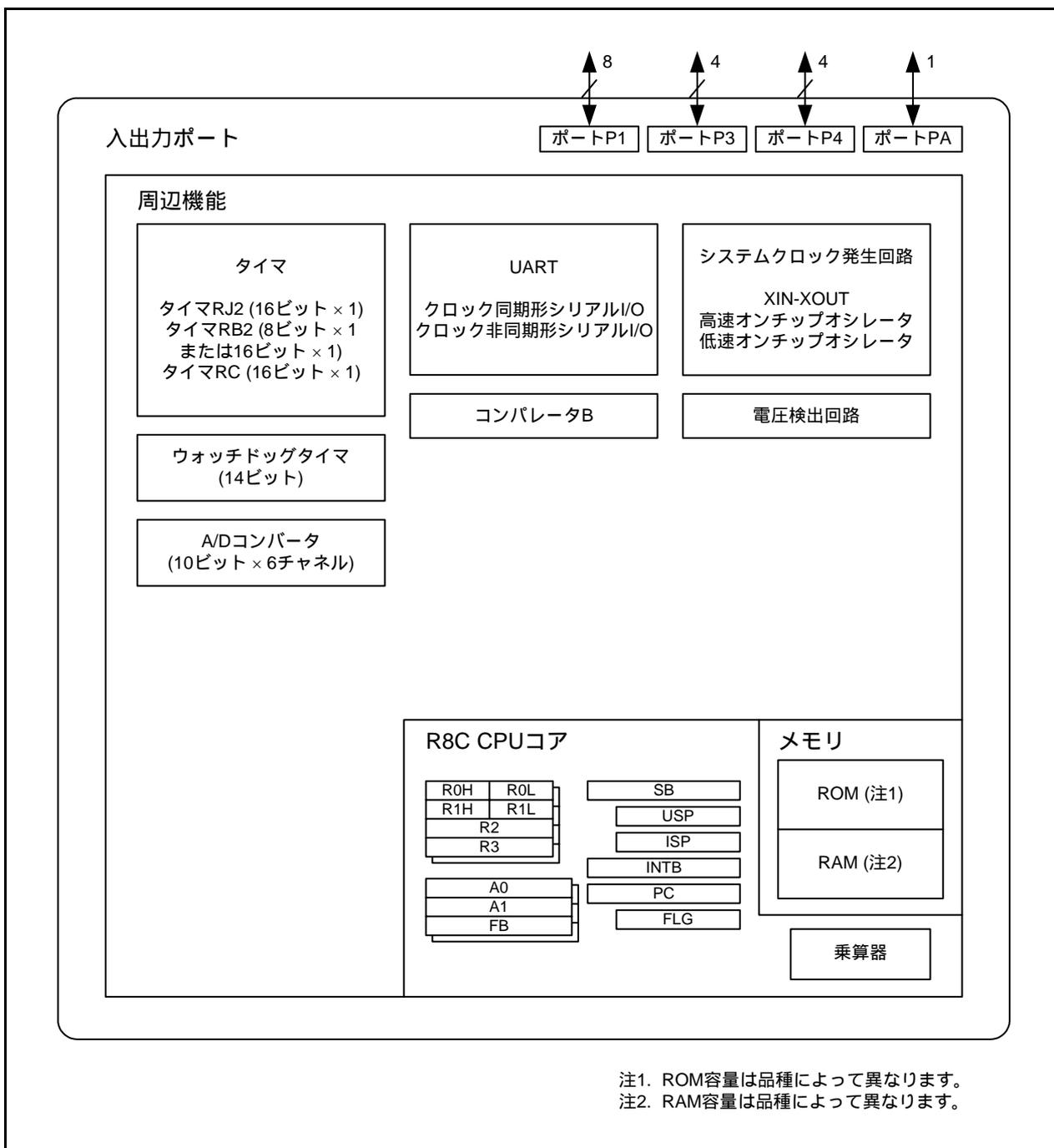


図1.2 ブロック図

1.4 ピン配置図

図1.3および図1.4にピン配置図(上面図)を、表1.6にピン番号別端子名一覧を示します。

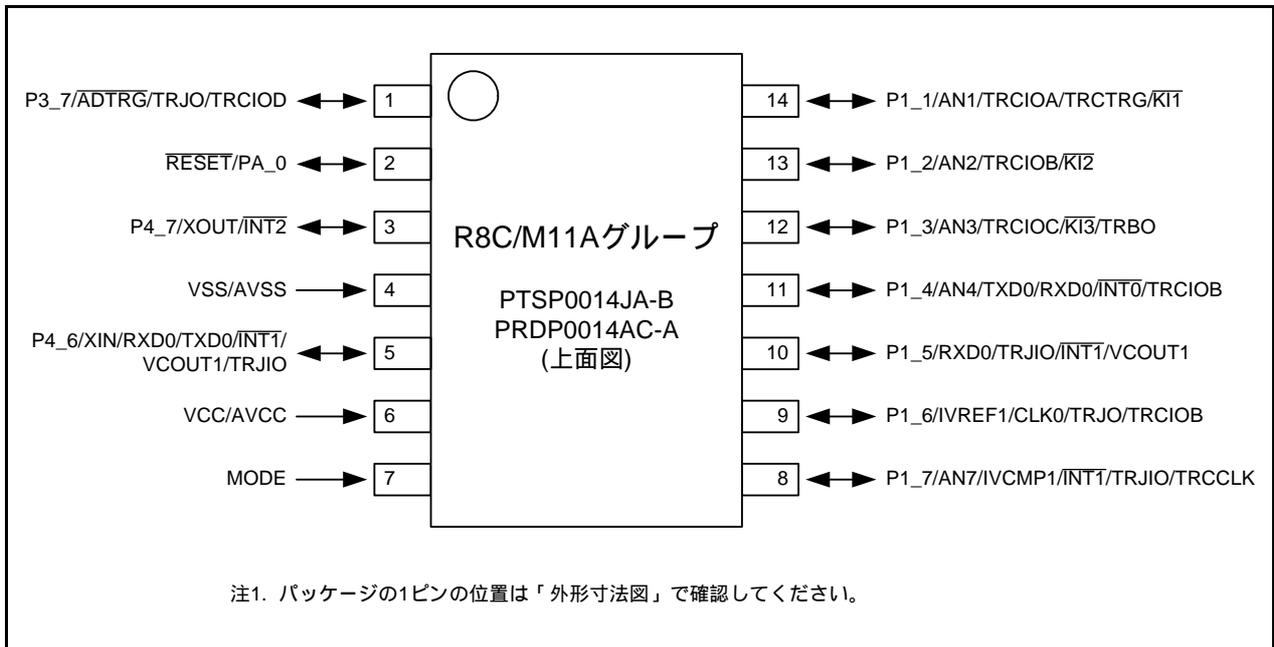


図1.3 R8C/M11Aグループのピン配置図(上面図)

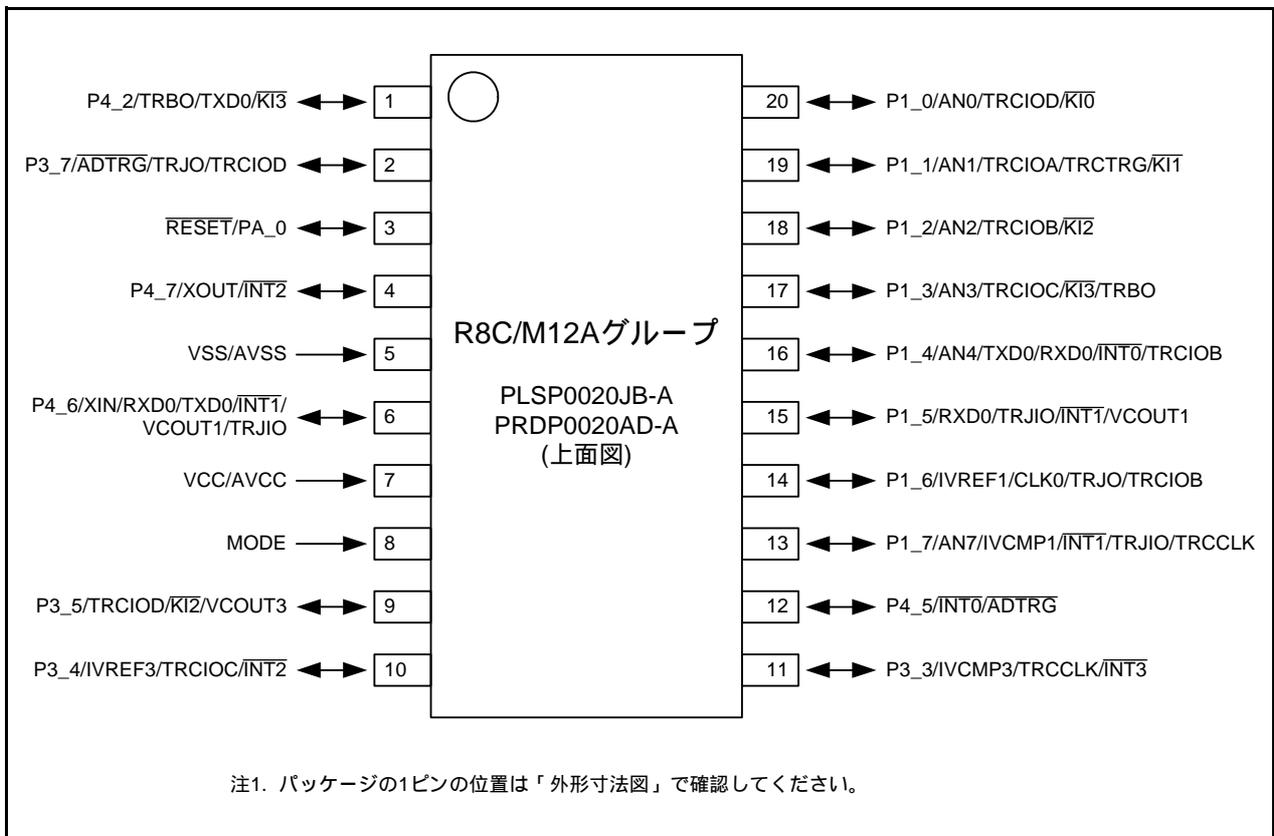


図1.4 R8C/M12Aグループのピン配置図(上面図)

表1.6 ピン番号別端子名一覧

ピン番号		制御端子	ポート	周辺機能の入出力端子			
R8C/M11A グループ	R8C/M12A グループ			割り込み	タイマ	シリアル インタフェース	A/Dコンバータ、 コンパレータB
	1		P4_2	$\overline{\text{KI3}}$	TRBO	TXD0	
1	2		P3_7		TRJO/TRCIOD		$\overline{\text{ADTRG}}$
2	3	$\overline{\text{RESET}}$	PA_0				
3	4	XOUT	P4_7	$\overline{\text{INT2}}$			
4	5	VSS/AVSS					
5	6	XIN	P4_6	$\overline{\text{INT1}}$	TRJIO	RXD0/TXD0	VCOUT1
6	7	VCC/AVCC					
7	8	MODE					
	9		P3_5	$\overline{\text{KI2}}$	TRCIOD		VCOUT3
	10		P3_4	$\overline{\text{INT2}}$	TRCIOC		IVREF3
	11		P3_3	$\overline{\text{INT3}}$	TRCCLK		IVCMP3
	12		P4_5	$\overline{\text{INT0}}$			$\overline{\text{ADTRG}}$
8	13		P1_7	$\overline{\text{INT1}}$	TRJIO/TRCCLK		AN7/IVCMP1
9	14		P1_6		TRJO/TRCIOB	CLK0	IVREF1
10	15		P1_5	$\overline{\text{INT1}}$	TRJIO	RXD0	VCOUT1
11	16		P1_4	$\overline{\text{INT0}}$	TRCIOB	RXD0/TXD0	AN4
12	17		P1_3	$\overline{\text{KI3}}$	TRBO/TRCIOC		AN3
13	18		P1_2	$\overline{\text{KI2}}$	TRCIOB		AN2
14	19		P1_1	$\overline{\text{KI1}}$	TRCIOA/TRCTRG		AN1
	20		P1_0	$\overline{\text{KI0}}$	TRCIOD		AN0

1.5 端子機能の説明

表1.7に端子機能の説明を示します。

表1.7 端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	出力	XIN端子とXOUT端子の間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XINからクロックを入力してください。このとき、P4_7は入出力ポートとして使用できます。
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
入出力ポート	P1_0～P1_7、 P3_3～P3_5、P3_7、 P4_2、P4_5～P4_7、 PA_0	入出力	CMOSの入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 PA_0以外の入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 P1_2～P1_5、P3_3～P3_5、P3_7は、LED駆動ポートとして使用できます。
タイマRJ2	TRJIO	入出力	タイマRJ2の入出力です。
	TRJO	出力	タイマRJ2の出力です。
タイマRB2	TRBO	出力	タイマRB2の出力です。
タイマRC	TRCCLK	入力	外部クロック入力です。
	TRCTRG	入力	外部トリガ入力です。
	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
	CLK0	入出力	転送クロック入出力です。
シリアルインタフェース	RXD0	入力	シリアルデータ入力です。
	TXD0	出力	シリアルデータ出力です。
	AN0～AN4、AN7	入力	A/Dコンバータのアナログ入力です。
A/Dコンバータ	ADTRG	入力	A/Dコンバータの外部トリガ入力です。
	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
コンパレータB	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
	VCOU1、VCOU3	出力	コンパレータBの比較結果出力です。

注1. 発振特性は発振子メーカーに問い合わせてください。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

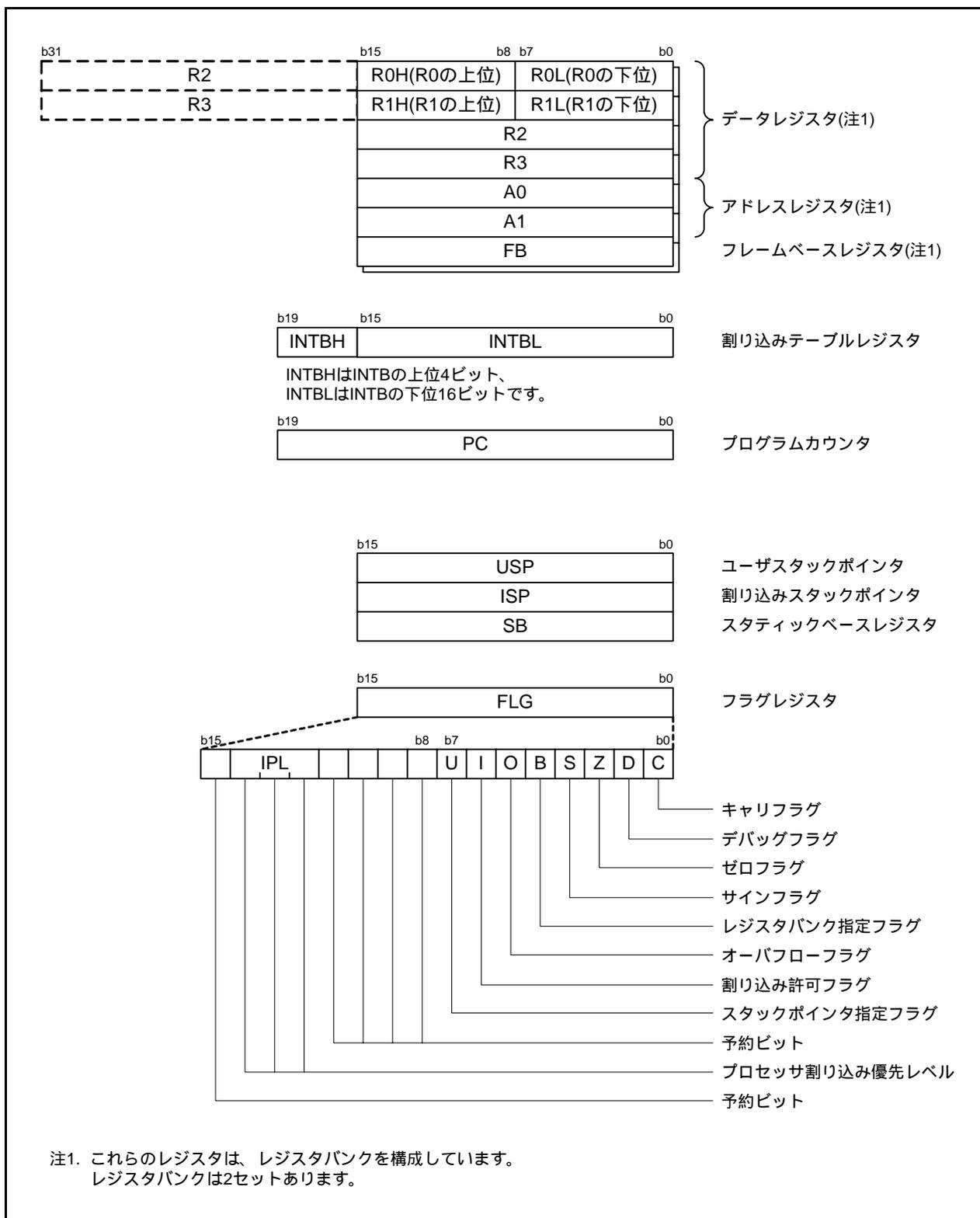


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り換えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが0の場合、マスクブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。IPLをレベル2～7に設定すると、すべてのマスクブル割り込み要求は禁止されます。

2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

3. アドレス空間

3.1 メモリマップ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば8 Kバイトの内部ROMは、0E000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は03000h番地から037FFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば512バイトの内部RAMは、00400h番地から005FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

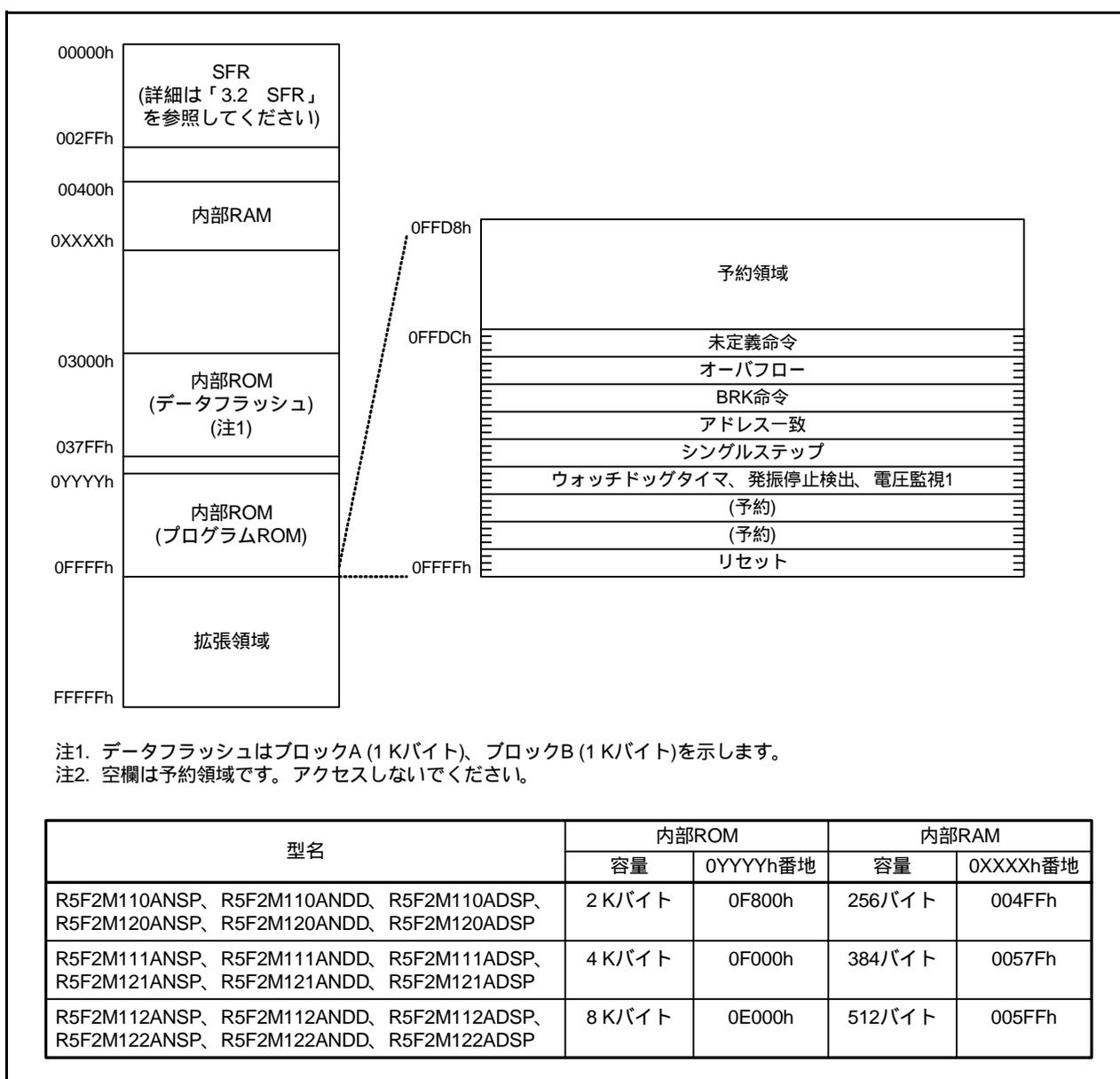


図3.1 メモリ配置図

3.2 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表3.1 ~ 表3.8にSFR一覧を、表3.9にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h			
0005h			
0006h			
0007h			
0008h			
0009h			
000Ah			
000Bh			
000Ch			
000Dh			
000Eh			
000Fh			
00010h	プロセッサモードレジスタ0	PM0	00h
00011h			
00012h	モジュールスタンバイ制御レジスタ	MSTCR	00h (注2) 01110111b (注3)
00013h	プロテクトレジスタ	PRCR	00h
00014h			
00015h			
00016h	ハードウェアリセットプロテクトレジスタ	HRPR	00h
00017h			
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch			
0001Dh			
0001Eh			
0001Fh			
00020h	外部クロック制御レジスタ	EXCKCR	00h
00021h	高速/低速オンチップオシレータ制御レジスタ	OCOCR	00h
00022h	システムクロックf制御レジスタ	SCKCR	00h
00023h	システムクロックf選択レジスタ	PHISEL	00h
00024h	クロック停止制御レジスタ	CKSTPR	00h
00025h	モード復帰時クロック制御レジスタ	CKRSCR	00h
00026h	発振停止検出レジスタ	BAKCR	00h
00027h			
00028h			
00029h			
0002Ah			
0002Bh			
0002Ch			
0002Dh			
0002Eh			
0002Fh			
00030h	ウォッチドッグタイマ機能レジスタ	RISR	1000000b (注4) 00h (注5)
00031h	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
00032h	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
00033h	ウォッチドッグタイマ制御レジスタ	WDTC	01XXXXXXb
00034h	カウントソース保護モードレジスタ	CSPR	1000000b (注4) 00h (注5)
00035h	周期タイマ割り込み制御レジスタ	WDTIR	00h
00036h			
00037h			
00038h	外部入力許可レジスタ	INTEN	00h
00039h			

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS2レジスタのMSTINIビットが0の場合。

注3. OFS2レジスタのMSTINIビットが1の場合。

注4. OFSレジスタのCSPROINIビットが0の場合。

注5. OFSレジスタのCSPROINIビットが1の場合。

表3.2 SFR一覧(2) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0003Ah	INT入力フィルタ選択レジスタ0	INTF0	00h
0003Bh			
0003Ch	INT入力エッジ選択レジスタ0	ISCR0	00h
0003Dh			
0003Eh	キー入力許可レジスタ	KIEN	00h
0003Fh			
00040h	割り込み優先レベルレジスタ0	ILVL0	00h
00041h			
00042h	割り込み優先レベルレジスタ2	ILVL2	00h
00043h	割り込み優先レベルレジスタ3	ILVL3	00h
00044h	割り込み優先レベルレジスタ4	ILVL4	00h
00045h	割り込み優先レベルレジスタ5	ILVL5	00h
00046h	割り込み優先レベルレジスタ6	ILVL6	00h
00047h	割り込み優先レベルレジスタ7	ILVL7	00h
00048h	割り込み優先レベルレジスタ8	ILVL8	00h
00049h	割り込み優先レベルレジスタ9	ILVL9	00h
0004Ah	割り込み優先レベルレジスタA	ILVLA	00h
0004Bh	割り込み優先レベルレジスタB	ILVLB	00h
0004Ch	割り込み優先レベルレジスタC	ILVLC	00h
0004Dh	割り込み優先レベルレジスタD	ILVLD	00h
0004Eh	割り込み優先レベルレジスタE	ILVLE	00h
0004Fh			
00050h	割り込みモニタフラグレジスタ0	IRR0	00h
00051h	割り込みモニタフラグレジスタ1	IRR1	00h
00052h	割り込みモニタフラグレジスタ2	IRR2	00h
00053h	外部割り込みフラグレジスタ	IRR3	00h
00054h			
00055h			
00056h			
00057h			
00058h	電圧監視回路エッジ選択レジスタ	VCAC	00h
00059h			
0005Ah	電圧検出レジスタ2	VCA2	00100100b (注2) 00000100b (注3)
0005Bh	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0005Ch	電圧監視0回路制御レジスタ	VW0C	1100X011b (注2) 1100X010b (注3)
0005Dh	電圧監視1回路制御レジスタ	VW1C	10001010b
0005Eh			
0005Fh	リセット要因判別レジスタ	RSTFR	0000XXXXb (注4)
00060h			
00061h			
00062h			
00063h			
00064h	高速オンチップオシレータ18.432 MHz制御レジスタ0	FR18S0	出荷時の値
00065h	高速オンチップオシレータ18.432 MHz制御レジスタ1	FR18S1	出荷時の値
00066h			
00067h	高速オンチップオシレータ制御レジスタ1	FRV1	出荷時の値
00068h	高速オンチップオシレータ制御レジスタ2	FRV2	出荷時の値
00069h			
0006Ah			
0006Bh			
0006Ch			
0006Dh			
0006Eh			
0006Fh			
00070h			
00071h			
00072h			
00073h			
00074h			
00075h			
00076h			
00077h			
00078h			
00079h			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのLVDASビットが0の場合。

注3. OFSレジスタのLVDASビットが1の場合。

注4. リセット要因によってリセット後の値が異なります。

表3.3 SFR一覧(3) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			
00080h	UART0送受信モードレジスタ	U0MR	00h
00081h	UART0ビットレートレジスタ	U0BRG	XXh
00082h	UART0送信バッファレジスタ	U0TBL	XXh
00083h		U0TBH	XXh
00084h	UART0送受信制御レジスタ0	U0C0	00001000b
00085h	UART0送受信制御レジスタ1	U0C1	00000010b
00086h	UART0受信バッファレジスタ	U0RBL	XXh
00087h		U0RBH	XXh
00088h	UART0割り込みフラグと許可レジスタ	U0IR	00h
00089h			
0008Ah			
0008Bh			
0008Ch			
0008Dh			
0008Eh			
0008Fh			
00090h			
00091h			
00092h			
00093h			
00094h			
00095h			
00096h			
00097h			
00098h	A/Dレジスタ0	AD0L	XXh
00099h		AD0H	000000XXb
0009Ah	A/Dレジスタ1	AD1L	XXh
0009Bh		AD1H	000000XXb
0009Ch	A/Dモードレジスタ	ADMOD	00h
0009Dh	A/D入力選択レジスタ	ADINSEL	00h
0009Eh	A/D制御レジスタ0	ADCON0	00h
0009Fh	A/D割り込み制御ステータスレジスタ	ADICSR	00h
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A6h			
000A7h			
000A8h			
000A9h	ポートP1方向レジスタ	PD1	00h
000AAh			
000ABh	ポートP3方向レジスタ	PD3	00h
000ACh	ポートP4方向レジスタ	PD4	00h
000ADh	ポートPA方向レジスタ	PDA	00h
000AEh			
000AFh	ポートP1レジスタ	P1	00h
000B0h			
000B1h	ポートP3レジスタ	P3	00h
000B2h	ポートP4レジスタ	P4	00h
000B3h	ポートPAレジスタ	PA	00h
000B4h			
000B5h	ブルアップ制御レジスタ1	PUR1	00h
000B6h			
000B7h	ブルアップ制御レジスタ3	PUR3	00h
000B8h	ブルアップ制御レジスタ4	PUR4	00h
000B9h	ポート入出力機能制御レジスタ	PINSR	00h
000BAh			
000BBh	駆動能力制御レジスタ1	DRR1	00h
000BCh			
000BDh	駆動能力制御レジスタ3	DRR3	00h
000BEh			
000BFh			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧(4) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
000C0h			
000C1h	オープンドレイン制御レジスタ1	POD1	00h
000C2h			
000C3h	オープンドレイン制御レジスタ3	POD3	00h
000C4h	オープンドレイン制御レジスタ4	POD4	00h
000C5h	ポートPAモード制御レジスタ	PAMCR	00010001b
000C6h			
000C7h			
000C8h	ポート1機能マッピングレジスタ0	PML1	00h
000C9h	ポート1機能マッピングレジスタ1	PMH1	00h
000CAh			
000CBh			
000CCh	ポート3機能マッピングレジスタ0	PML3	00h
000CDh	ポート3機能マッピングレジスタ1	PMH3	00h
000CEh	ポート4機能マッピングレジスタ0	PML4	00h
000CFh	ポート4機能マッピングレジスタ1	PMH4	00h
000D0h			
000D1h	ポート1機能マッピング拡張レジスタ	PMH1E	00h
000D2h			
000D3h			
000D4h			
000D5h	ポート4機能マッピング拡張レジスタ	PMH4E	00h
000D6h			
000D7h			
000D8h	タイマRJカウンタレジスタ	TRJ	FFh
000D9h			FFh
000DAh	タイマRJ制御レジスタ	TRJCR	00h
000DBh	タイマRJ I/O制御レジスタ	TRJIOC	00h
000DCh	タイマRJモードレジスタ	TRJMR	00h
000DDh	タイマRJイベント選択レジスタ	TRJISR	00h
000DEh	タイマRJ割り込み制御レジスタ	TRJIR	00h
000DFh			
000E0h	タイマRB制御レジスタ	TRBCR	00h
000E1h	タイマRBワンショット制御レジスタ	TRBOCR	00h
000E2h	タイマRB I/O制御レジスタ	TRBIOC	00h
000E3h	タイマRBモードレジスタ	TRBMR	00h
000E4h	タイマRBプリスケアラレジスタ(注2) タイマRBプライマリ/セカンダリレジスタ(下位8ビット)(注3)	TRBPRE	FFh
000E5h	タイマRBプライマリレジスタ(注2) タイマRBプライマリレジスタ(上位8ビット)(注3)	TRBPR	FFh
000E6h	タイマRBセカンダリレジスタ(注2) タイマRBセカンダリレジスタ(上位8ビット)(注3)	TRBSC	FFh
000E7h	タイマRB割り込み制御レジスタ	TRBIR	00h
000E8h	タイマRCカウンタ	TRCCNT	00h
000E9h			00h
000EAh	タイマRCジェネラルレジスタA	TRCGRA	FFh
000EBh			FFh
000ECh	タイマRCジェネラルレジスタB	TRCGRB	FFh
000EDh			FFh
000EEh	タイマRCジェネラルレジスタC	TRCGRC	FFh
000EFh			FFh
000F0h	タイマRCジェネラルレジスタD	TRCGRD	FFh
000F1h			FFh
000F2h	タイマRCモードレジスタ	TRCMR	01001000b
000F3h	タイマRC制御レジスタ1	TRCCR1	00h
000F4h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
000F5h	タイマRCステータスレジスタ	TRCSR	01110000b
000F6h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
000F7h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
000F8h	タイマRC制御レジスタ2	TRCCR2	00011000b
000F9h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
000FAh	タイマRC出力許可レジスタ	TRCOER	01111111b
000FBh	タイマRC A/D変換トリガ制御レジスタ	TRCADCR	11110000b
000FCh	タイマRC波形出力操作レジスタ	TRCOPR	00h
000FDh			
000FEh			
000FFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. TRBMRレジスタのTCNT16ビットが0の場合。

注3. TRBMRレジスタのTCNT16ビットが1の場合。

表3.5 SFR一覧(5) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h			
00111h			
00112h			
00113h			
00114h			
00115h			
00116h			
00117h			
00118h			
00119h			
0011Ah			
0011Bh			
0011Ch			
0011Dh			
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h			
00131h			
00132h			
00133h			
00134h			
00135h			
00136h			
00137h			
00138h			
00139h			
0013Ah			
0013Bh			
0013Ch			
0013Dh			
0013Eh			
0013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00140h			
00141h			
00142h			
00143h			
00144h			
00145h			
00146h			
00147h			
00148h			
00149h			
0014Ah			
0014Bh			
0014Ch			
0014Dh			
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h			
00161h			
00162h			
00163h			
00164h			
00165h			
00166h			
00167h			
00168h			
00169h			
0016Ah			
0016Bh			
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h			
00171h			
00172h			
00173h			
00174h			
00175h			
00176h			
00177h			
00178h			
00179h			
0017Ah			
0017Bh			
0017Ch			
0017Dh			
0017Eh			
0017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧(7) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00180h	コンパレータB制御レジスタ	WCMPR	00h
00181h	コンパレータB1割り込み制御レジスタ	WCB1INTR	00h
00182h	コンパレータB3割り込み制御レジスタ	WCB3INTR	00h
00183h			
00184h			
00185h			
00186h			
00187h			
00188h			
00189h			
0018Ah			
0018Bh			
0018Ch			
0018Dh			
0018Eh			
0018Fh			
00190h			
00191h			
00192h			
00193h			
00194h			
00195h			
00196h			
00197h			
00198h			
00199h			
0019Ah			
0019Bh			
0019Ch			
0019Dh			
0019Eh			
0019Fh			
001A0h			
001A1h			
001A2h			
001A3h			
001A4h			
001A5h			
001A6h			
001A7h			
001A8h			
001A9h	フラッシュメモリステータスレジスタ	FST	10000000b
001AAh	フラッシュメモリ制御レジスタ0	FMR0	00h
001ABh	フラッシュメモリ制御レジスタ1	FMR1	00h
001ACh	フラッシュメモリ制御レジスタ2	FMR2	00h
001ADh	フラッシュメモリリフレッシュ制御レジスタ	FREFR	00h
001AEh			
001AFh			
001B0h			
001B1h			
001B2h			
001B3h			
001B4h			
001B5h			
001B6h			
001B7h			
001B8h			
001B9h			
001BAh			
001BBh			
001BCh			
001BDh			
001BEh			
001BFh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
001C0h	アドレス一致割り込みレジスタ0	AIADR0L	00h
001C1h		AIADR0M	00h
001C2h		AIADR0H	00h
001C3h	アドレス一致割り込み許可レジスタ0	AIEN0	00h
001C4h	アドレス一致割り込みレジスタ1	AIADR1L	00h
001C5h		AIADR1M	00h
001C6h		AIADR1H	00h
001C7h	アドレス一致割り込み許可レジスタ1	AIEN1	00h
001C8h			
001C9h			
001CAh			
001CBh			
001CCh			
001CDh			
001CEh			
001CFh			
001D0h			
001D1h			
001D2h			
001D3h			
001D4h			
001D5h			
001D6h			
001D7h			
001D8h			
001D9h			
001DAh			
001DBh			
001DCh			
001DDh			
001DEh			
001DFh			
001E0h			
001E1h			
001E2h			
001E3h			
001E4h			
001E5h			
001E6h			
001E7h			
001E8h			
001E9h			
001EAh			
001EBh			
001ECh			
001EDh			
001EEh			
001EFh			
001F0h			
001F1h			
001F2h			
001F3h			
001F4h			
001F5h			
001F6h			
001F7h			
001F8h			
001F9h			
001FAh			
001FBh			
001FCh			
001FDh			
001FEh			
001FFh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 IDコード領域、オプション機能選択領域

アドレス	領域名	シンボル	リセット後の値
0FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
0FFDFh	ID1		(注2)
0FFE3h	ID2		(注2)
0FFEBh	ID3		(注2)
0FFEfh	ID4		(注2)
0FFF3h	ID5		(注2)
0FFF7h	ID6		(注2)
0FFFBh	ID7		(注2)
0FFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

ブランク出荷品の出荷時、オプション機能選択領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

ブランク出荷品の出荷時、IDコード領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

4. 電気的特性

表4.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧			-0.3 ~ 6.5	V
V _i	入力電圧	XIN	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V _{CC} + 0.3	V
		その他の端子		-0.3 ~ V _{CC} + 0.3	V
V _o	出力電圧	XOUT	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V _{CC} + 0.3	V
		その他の端子		-0.3 ~ V _{CC} + 0.3	V
P _d	消費電力		-40 °C Topr 85 °C	500	mW
T _{opr}	動作周囲温度			-20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)	°C
T _{stg}	保存温度			-60 ~ 150	°C

注1. 発振回路使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b
 発振回路未使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b以外

表4.2 推奨動作条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{CC} /AV _{CC}	電源電圧			1.8	—	5.5	V
V _{SS} /AV _{SS}	電源電圧			—	0	—	V
V _{IH}	H入力電圧	CMOS入力以外		0.8 V _{CC}	—	V _{CC}	V
		CMOS入力	4.0 V V _{CC} 5.5 V	0.65 V _{CC}	—	V _{CC}	V
			2.7 V V _{CC} < 4.0 V	0.7 V _{CC}	—	V _{CC}	V
		1.8 V V _{CC} < 2.7 V	0.8 V _{CC}	—	V _{CC}	V	
V _{IL}	L入力電圧	CMOS入力以外		0	—	0.2 V _{CC}	V
		CMOS入力	4.0 V V _{CC} 5.5 V	0	—	0.4 V _{CC}	V
			2.7 V V _{CC} < 4.0 V	0	—	0.3 V _{CC}	V
		1.8 V V _{CC} < 2.7 V	0	—	0.2 V _{CC}	V	
I _{OH(sum)}	H尖頭総出力電流	全端子のI _{OH(peak)} の総和		—	—	-160	mA
I _{OH(sum)}	H平均総出力電流	全端子のI _{OH(avg)} の総和		—	—	-80	mA
I _{OH(peak)}	H尖頭出力電流		駆動能力Low時	—	—	-10	mA
			駆動能力High時(注5)	—	—	-40	mA
I _{OH(avg)}	H平均出力電流		駆動能力Low時	—	—	-5	mA
			駆動能力High時(注5)	—	—	-20	mA
I _{OL(sum)}	L尖頭総出力電流	全端子のI _{OL(peak)} の総和		—	—	160	mA
I _{OL(sum)}	L平均総出力電流	全端子のI _{OL(avg)} の総和		—	—	80	mA
I _{OL(peak)}	L尖頭出力電流		駆動能力Low時	—	—	10	mA
			駆動能力High時(注5)	—	—	40	mA
I _{OL(avg)}	L平均出力電流		駆動能力Low時	—	—	5	mA
			駆動能力High時(注5)	—	—	20	mA
f _(XIN)	XIN発振周波数		2.7 V V _{CC} 5.5 V	2	—	20	MHz
			1.8 V V _{CC} < 2.7 V	2	—	5	MHz
	XINクロック入力発振周波数		2.7 V V _{CC} 5.5 V	0	—	20	MHz
			1.8 V V _{CC} < 2.7 V	0	—	5	MHz
f _{HOCO}	高速オンチップオシレータ発振周波数(注3)		1.8 V V _{CC} 5.5 V	—	20	—	MHz
f _{LOCO}	低速オンチップオシレータ発振周波数(注4)		1.8 V V _{CC} 5.5 V	—	125	—	kHz
—	システムクロック周波数		2.7 V V _{CC} 5.5 V	—	—	20	MHz
			1.8 V V _{CC} < 2.7 V	—	—	5	MHz
f _s	CPUクロック周波数		2.7 V V _{CC} 5.5 V	0	—	20	MHz
			1.8 V V _{CC} < 2.7 V	0	—	5	MHz

注1. 指定のない場合は、V_{CC} = 1.8 V ~ 5.5 V、T_{opr} = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. 電気的特性は「表4.10 高速オンチップオシレータ発振回路の電気的特性」を参照してください。

注4. 電気的特性は「表4.11 低速オンチップオシレータ発振回路の電気的特性」を参照してください。

注5. 高駆動能力を持っている端子はP1_2、P1_3、P1_4、P1_5、P3_3、P3_4、P3_5、P3_7です。

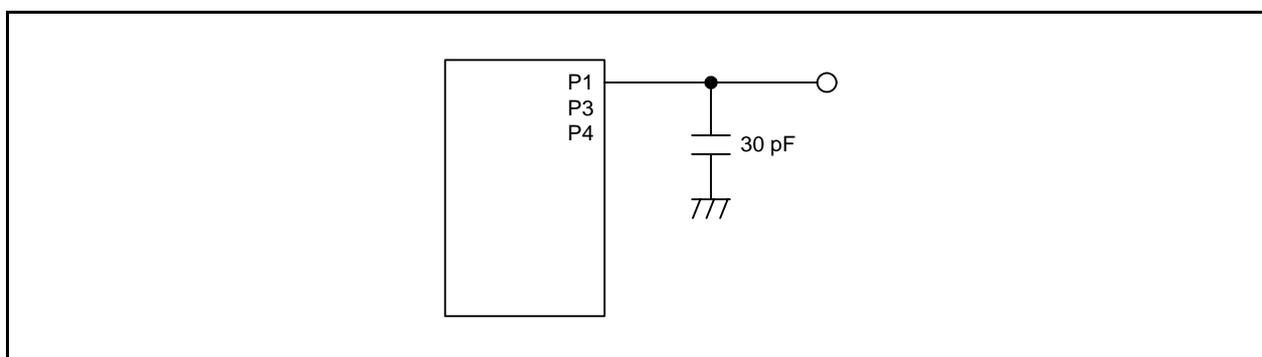


図4.1 ポートP1、P3、P4のタイミング測定回路

表4.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能		—	—	10	Bit
—	絶対精度	AVcc = 5.0 V AN0 ~ AN4、AN7入力	—	—	±3	LSB
		AVcc = 3.0 V AN0 ~ AN4、AN7入力	—	—	±5	LSB
		AVcc = 1.8 V AN0 ~ AN4、AN7入力	—	—	±5	LSB
—	A/D変換クロック	4.0 V AVcc 5.5 V (注2)	2	—	20	MHz
		3.2 V AVcc 5.5 V (注2)	2	—	16	MHz
		2.7 V AVcc 5.5 V (注2)	2	—	10	MHz
		1.8 V AVcc 5.5 V (注2)	2	—	5	MHz
—	許容信号源インピーダンス			3	kΩ	
tCONV	変換時間	AVcc = 5.0 V、A/D変換クロック = 20 MHz	2.20	—	—	μs
tsAMP	サンプリング時間	A/D変換クロック = 20 MHz	0.80	—	—	μs
Via	アナログ入力電圧		0	—	AVcc	V

注1. 指定のない場合は、Vcc/AVcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. ストップモード時、フラッシュメモリの停止時および低消費電流リードモード時では、A/D変換結果が不定になります。これらの状態のときにA/D変換を行わないでください。A/D変換中にこれらの状態に移行しないでください。

表4.4 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0	—	Vcc - 1.4	V
Vi	IVCMP1、IVCMP3入力電圧		-0.3	—	Vcc + 0.3	V
—	オフセット		—	5	100	mV
td	コンパレータ出力遅延時間(注2)	Vi = Vref ± 100 mV	—	0.1	—	μs
IcMP	コンパレータ動作電流	Vcc = 5.0 V	—	17.5	—	μA

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. デジタルフィルタ無効時。

表4.5 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	80	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	160	—	μs
—	ブロックイレーズ時間		—	0.12	—	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = 0 °C ~ 60 °Cです。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1 ~ 最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

表4.6 フラッシュメモリ(データフラッシュ ブロックA、B)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000 (注3)	—	—	回
—	バイトプログラム時間		—	150	—	μs
—	ブロックイレーズ時間		—	0.05	1	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nバージョン)	—	85	°C
			-40 (Dバージョン)	—	85	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1~最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

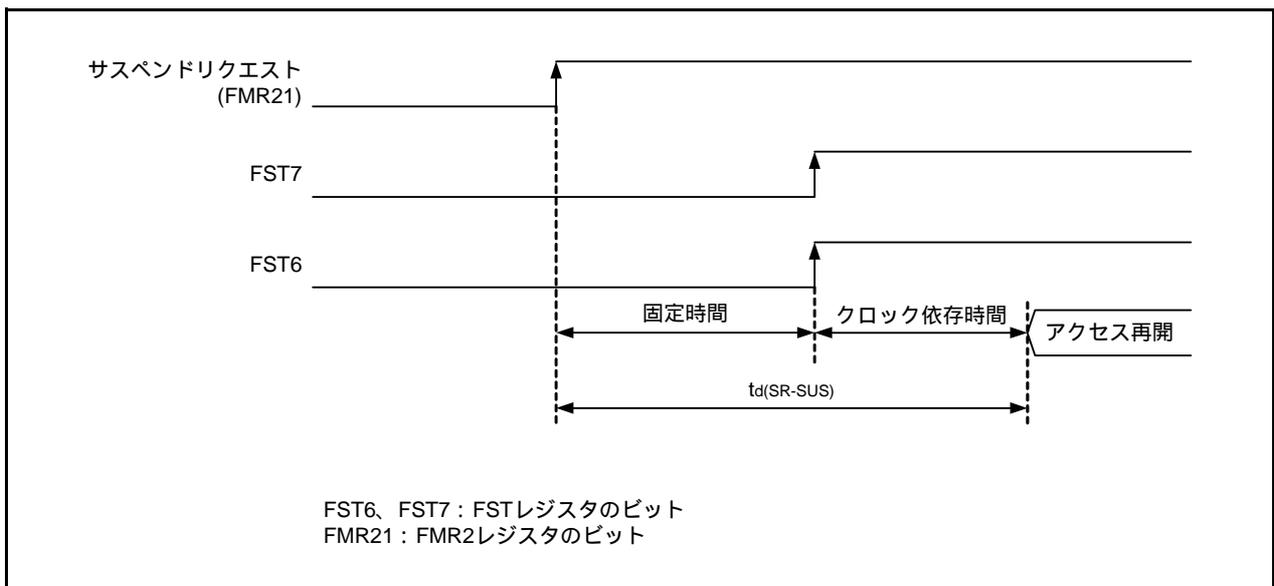


図4.2 サスペンドへの遷移時間

表4.7 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
—	電圧検出0回路反応時間(注3)	Vcc = 5 V (Vdet0_0 - 0.1) V に下げたとき	—	30	—	μs
—	電圧検出回路の自己消費電流	VC0E = 1、Vcc = 5.0 V	—	1.5	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 電圧検出レベルは、OFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注4. VCA2レジスタのVC0Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表4.8 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_1 ~ Vdet1_5 選択時	—	0.07	—	V
		Vdet1_7 ~ Vdet1_F 選択時	—	0.10	—	V
—	電圧監視1回路反応時間(注3)	Vcc = 5 V (Vdet1_0 - 0.1) V に下げたとき	—	60	150	μs
—	電圧検出回路の自己消費電流	VC1E = 1、Vcc = 5.0 V	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 電圧検出レベルは、VD1LSレジスタのVD1S1 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVC1Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表4.9 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. 指定のない場合の測定条件は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. パワーオンリセットを使用する場合は、OFSレジスタのLVDASビットを0にし、電圧監視0リセットを有効にしてください。

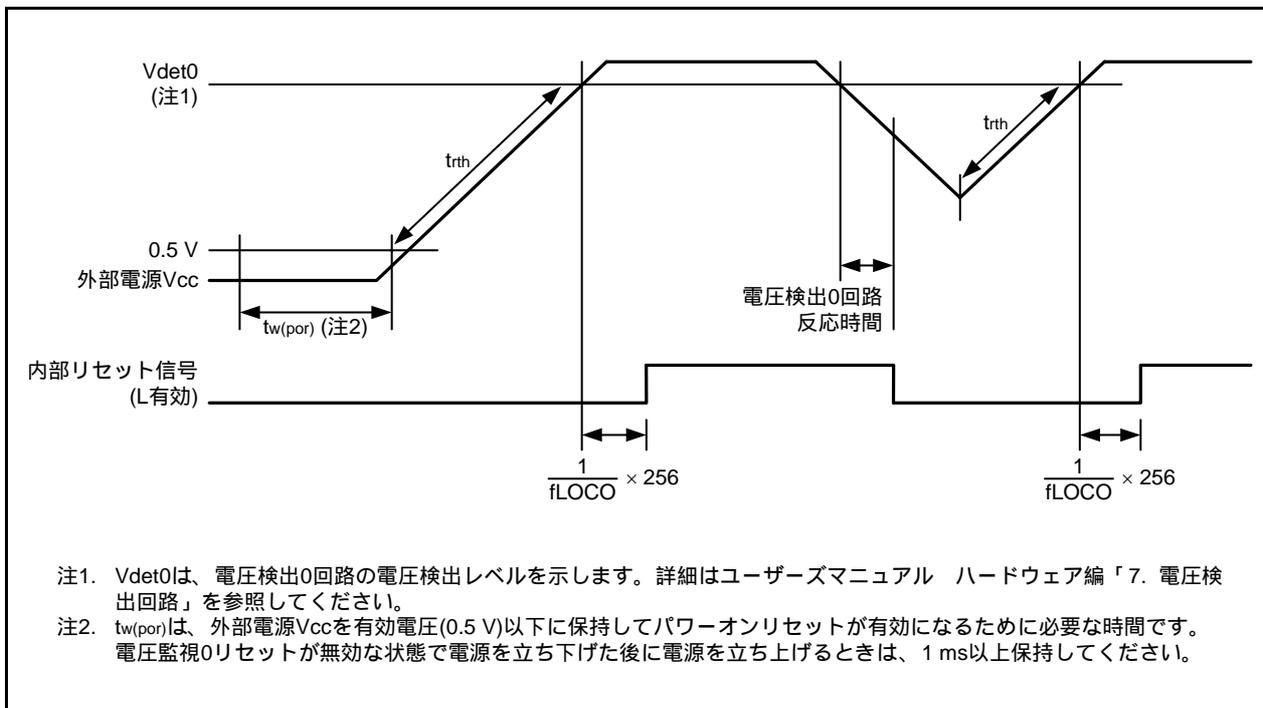


図4.3 パワーオンリセット回路の電気的特性

表4.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	パッケージ	測定条件	規格値			単位
				最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	14ピンTSSOP 20ピンLSSOP	Vcc = 1.8 V ~ 5.5 V、 -20 °C Topr 85 °C	19.2	20.0	20.8	MHz
		14ピンDIP 20ピンDIP		19.0	20.0	21.0	MHz
		14ピンTSSOP 20ピンLSSOP	Vcc = 1.8 V ~ 5.5 V、 -40 °C Topr 85 °C	19.0	20.0	21.0	MHz
	FR18S0レジスタの補正値をFRV1レジスタに、かつFR18S1レジスタの補正値をFRV2レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	14ピンTSSOP 20ピンLSSOP	Vcc = 1.8 V ~ 5.5 V、 -20 °C Topr 85 °C	17.694	18.432	19.169	MHz
		14ピンDIP 20ピンDIP		17.510	18.432	19.353	MHz
		14ピンTSSOP 20ピンLSSOP	Vcc = 1.8 V ~ 5.5 V、 -40 °C Topr 85 °C	17.510	18.432	19.353	MHz
—	発振安定時間	—	—	—	30	μs	
—	発振時の自己消費電流	—	Vcc = 5.0 V、Topr = 25 °C	—	530	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600 bps、38400 bpsなどのビットレートの設定誤差を、0%にすることができます。

表4.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25 °C	—	2	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

表4.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		—	—	2,000	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = 25 °Cです。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表4.13 DC特性(1) [4.0 V Vcc 5.5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VoH	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力Low時	IoH = -5 mA	Vcc - 2.0	—	Vcc	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoH = -5 mA	Vcc - 2.0	—	Vcc	V
VoL	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoL = 20 mA	—	—	2.0	V
			駆動能力Low時	IoL = 5 mA	—	—	2.0	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoL = 5 mA	—	—	2.0	V
Vt+-Vt-	ヒステリシス	INT0、INT1、INT2、INT3、 KI0、KI1、KI2、KI3、 TRJIO、TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 RXD0、CLK0	Vcc = 5 V		0.1	1.2	—	V
		RESET	Vcc = 5 V		0.1	1.2	—	V
IiH	H入力電流		Vi = 5 V、Vcc = 5.0 V		—	—	5.0	μA
IiL	L入力電流		Vi = 0 V、Vcc = 5.0 V		—	—	-5.0	μA
RpULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 5.0 V		25	50	100	kΩ
RiXIN	帰還抵抗	XIN			—	2.2	—	MΩ
VRAM	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、4.0 V Vcc 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 20 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表4.14 DC特性(2) [4.0 V Vcc 5.5 V]
(指定のない場合は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件									単位		
		発振回路			オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値			
		XIN (注2)	高速	低速	最小	標準 (注3)				最大			
Icc	電源電流 (注1)	高速 クロック モード	20 MHz	停止	125 kHz	分周なし	—	—	—	3	7.0	mA	
			16 MHz	停止	125 kHz	分周なし	—	—	—	2.5	6.0	mA	
			10 MHz	停止	125 kHz	分周なし	—	—	—	1.7	—	mA	
			20 MHz	停止	125 kHz	8分周	—	—	—	1.5	—	mA	
			16 MHz	停止	125 kHz	8分周	—	—	—	1.2	—	mA	
			10 MHz	停止	125 kHz	8分周	—	—	—	1.0	—	mA	
		高速 オンチップ オシレータ モード	停止	20 MHz	125 kHz	分周なし	—	—	—	3.5	7.5	mA	
			停止	20 MHz	125 kHz	8分周	—	—	—	2.0	—	mA	
			停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1	—	—	1.0	—	mA	
		低速 オンチップ オシレータ モード	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0	—	—	—	60	270	μA
			停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	100	μA	
		ウェイト モード	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	4.0	90	μA	
			停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA	
		ストップ モード	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.5	—	μA	

注1. Vcc = 4.0 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0 V

注4. PHISELレジスタでシステムクロックを4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$)

表4.15 外部クロック入力(XIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50	—	ns
$t_{WH(XIN)}$	XIN入力Hパルス幅	24	—	ns
$t_{WL(XIN)}$	XIN入力Lパルス幅	24	—	ns

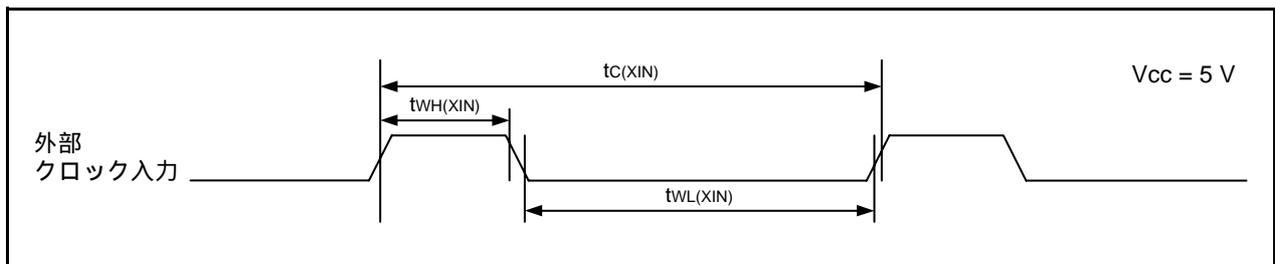


図4.4 $V_{CC} = 5\text{ V}$ 時の外部クロック入力タイミング

表4.16 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRJIO)}$	TRJIO入力サイクル時間	100	—	ns
$t_{WH(TRJIO)}$	TRJIO入力Hパルス幅	40	—	ns
$t_{WL(TRJIO)}$	TRJIO入力Lパルス幅	40	—	ns

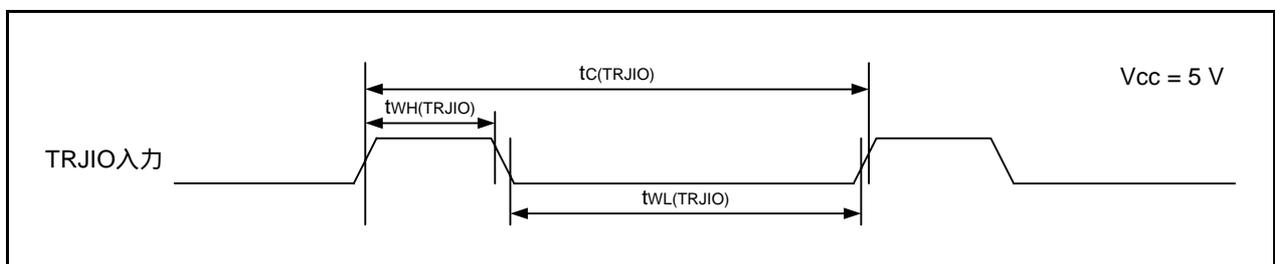


図4.5 $V_{CC} = 5\text{ V}$ 時のTRJIO入力のタイミング

表4.17 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0入力サイクル時間	200	—	ns
$t_{w(CKH)}$	CLK0入力Hパルス幅	100	—	ns
$t_{w(CKL)}$	CLK0入力Lパルス幅	100	—	ns
$t_{d(C-Q)}$	TXD0出力遅延時間	—	50	ns
$t_{h(C-Q)}$	TXD0ホールド時間	0	—	ns
$t_{su(D-C)}$	RXD0入力セットアップ時間	50	—	ns
$t_{h(C-D)}$	RXD0入力ホールド時間	90	—	ns

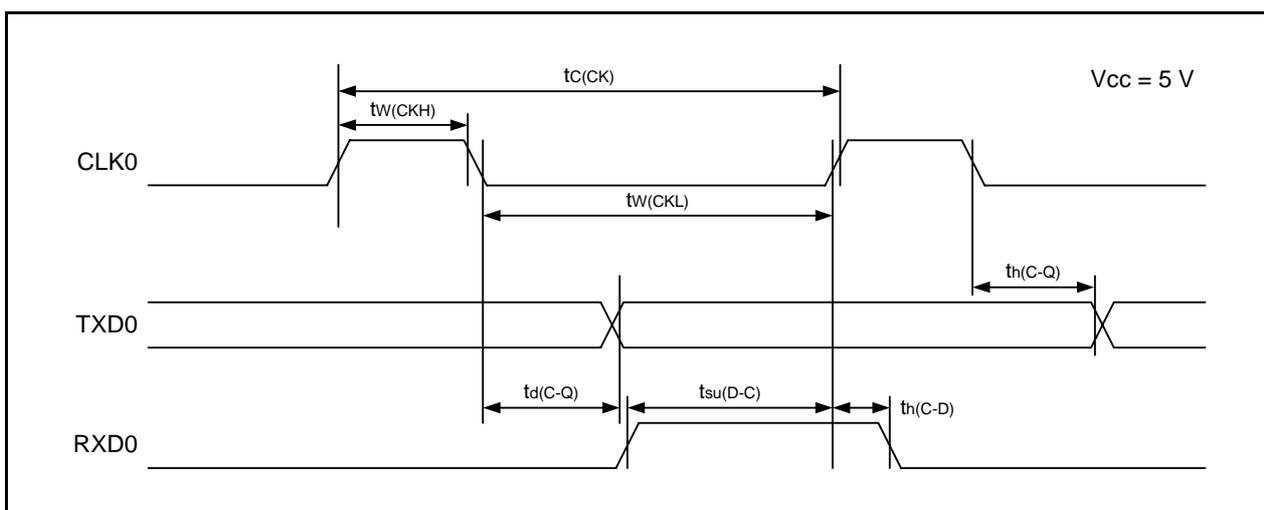


図4.6 Vcc = 5 V時のシリアルインタフェースのタイミング図

表4.18 外部割り込み \overline{INTi} 入力、キー入力割り込み \overline{Kli} ($i = 0 \sim 3$)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力Hパルス幅、 \overline{Kli} 入力Hパルス幅	250 (注1)	—	ns
$t_{w(INL)}$	\overline{INTi} 入力Lパルス幅、 \overline{Kli} 入力Lパルス幅	250 (注2)	—	ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

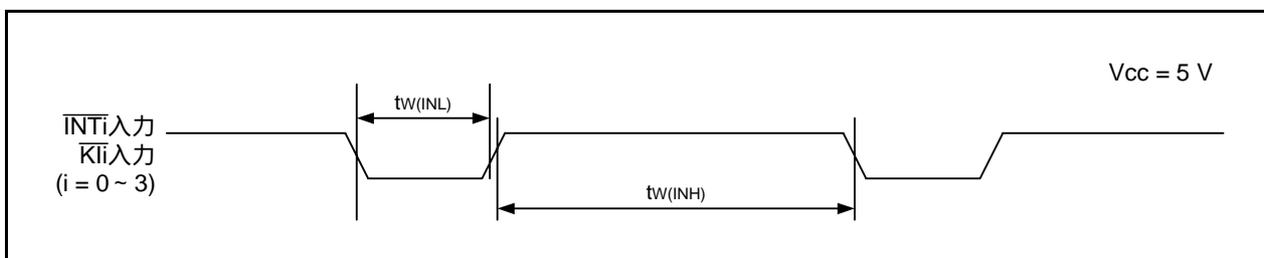
図4.7 Vcc = 5 V時の外部割り込み \overline{INTi} 入力およびキー入力割り込み \overline{Kli} のタイミング図

表4.19 DC特性(3) [2.7 V $V_{cc} < 4.0$ V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V _{OH}	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I _{OH} = -5 mA	V _{cc} - 0.5	—	V _{cc}	V
			駆動能力Low時	I _{OH} = -1 mA	V _{cc} - 0.5	—	V _{cc}	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		I _{OH} = -1 mA	V _{cc} - 0.5	—	V _{cc}	V
V _{OL}	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I _{OL} = 5 mA	—	—	0.5	V
			駆動能力Low時	I _{OL} = 1 mA	—	—	0.5	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		I _{OL} = 1 mA	—	—	0.5	V
V _{T+} -V _{T-}	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRJIO</u> 、 <u>TRCIOA</u> 、 <u>TRCIOB</u> 、 <u>TRCIOC</u> 、 <u>TRCIOD</u> 、 <u>RXD0</u> 、 <u>CLK0</u>	V _{cc} = 3 V		0.1	0.4	—	V
		<u>RESET</u>	V _{cc} = 3 V		0.1	0.5	—	V
I _{IH}	H入力電流		V _I = 3 V、V _{cc} = 3.0 V		—	—	4.0	μA
I _{IL}	L入力電流		V _I = 0 V、V _{cc} = 3.0 V		—	—	-4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V、V _{cc} = 3.0 V		42	84	168	kΩ
R _{I_{XIN}}	帰還抵抗	XIN			—	2.2	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、2.7 V $V_{cc} < 4.0$ V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 10 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表4.20 DC特性(4) [2.7 V $V_{cc} < 4.0$ V]
(指定のない場合は、 $T_{opr} = -20$ °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件									単位		
		発振回路			オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値			
		XIN (注2)	高速	低速	最小	標準 (注3)				最大			
I _{cc}	電源電流 (注1)	高速 クロック モード	20 MHz	停止	125 kHz	分周なし	—	—	—	3.0	7.0	mA	
			16 MHz	停止	125 kHz	分周なし	—	—	—	2.5	6.0	mA	
			10 MHz	停止	125 kHz	分周なし	—	—	—	1.6	5.0	mA	
			20 MHz	停止	125 kHz	8分周	—	—	—	1.5	—	mA	
			16 MHz	停止	125 kHz	8分周	—	—	—	1.2	—	mA	
		10 MHz	停止	125 kHz	8分周	—	—	—	0.9	4.5	mA		
		高速 オンチップ オシレータ モード	停止	20 MHz	125 kHz	分周なし	—	—	—	3.5	7.5	mA	
			停止	20 MHz	125 kHz	8分周	—	—	—	2.0	—	mA	
			停止	10 MHz (注4)	125 kHz	分周なし	—	—	—	2.2	—	mA	
			停止	10 MHz (注4)	125 kHz	8分周	—	—	—	1.4	—	mA	
	停止		4 MHz (注4)	125 kHz	16分周	MSTTRC = 1	—	—	1.0	—	mA		
	低速 オンチップ オシレータ モード	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0	—	—	60	260	μA		
		停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA		
	ウェイト モード	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	4.0	80	μA		
		停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA		
	ストップ モード	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.5	—	μA		

注1. $V_{cc} = 2.7$ V ~ 4.0 V、シングルチップモードで、出力端子は開放、その他の端子はV_{ss}。

注2. XINは方形波入力。

注3. $V_{cc} = 3.0$ V

注4. PHISELレジスタでシステムクロックを10 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 3\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$)

表4.21 外部クロック入力(XIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{XIN})$	XIN入力サイクル時間	50	—	ns
$t_{WH}(\text{XIN})$	XIN入力Hパルス幅	24	—	ns
$t_{WL}(\text{XIN})$	XIN入力Lパルス幅	24	—	ns

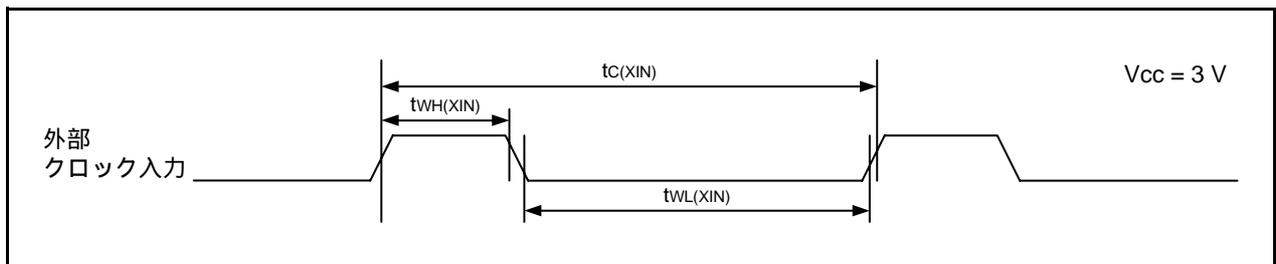


図4.8 $V_{CC} = 3\text{ V}$ 時の外部クロック入力タイミング

表4.22 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{TRJIO})$	TRJIO入力サイクル時間	300	—	ns
$t_{WH}(\text{TRJIO})$	TRJIO入力Hパルス幅	120	—	ns
$t_{WL}(\text{TRJIO})$	TRJIO入力Lパルス幅	120	—	ns

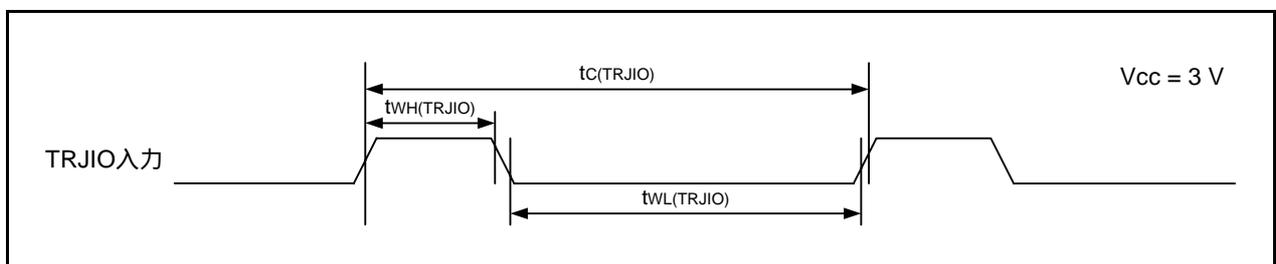


図4.9 $V_{CC} = 3\text{ V}$ 時のTRJIO入力のタイミング図

表4.23 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLK0入力サイクル時間	300	—	ns
$t_w(\text{CKH})$	CLK0入力Hパルス幅	150	—	ns
$t_w(\text{CKL})$	CLK0入力Lパルス幅	150	—	ns
$t_d(\text{C-Q})$	TXD0出力遅延時間	—	80	ns
$t_h(\text{C-Q})$	TXD0ホールド時間	0	—	ns
$t_{su}(\text{D-C})$	RXD0入力セットアップ時間	70	—	ns
$t_h(\text{C-D})$	RXD0入力ホールド時間	90	—	ns

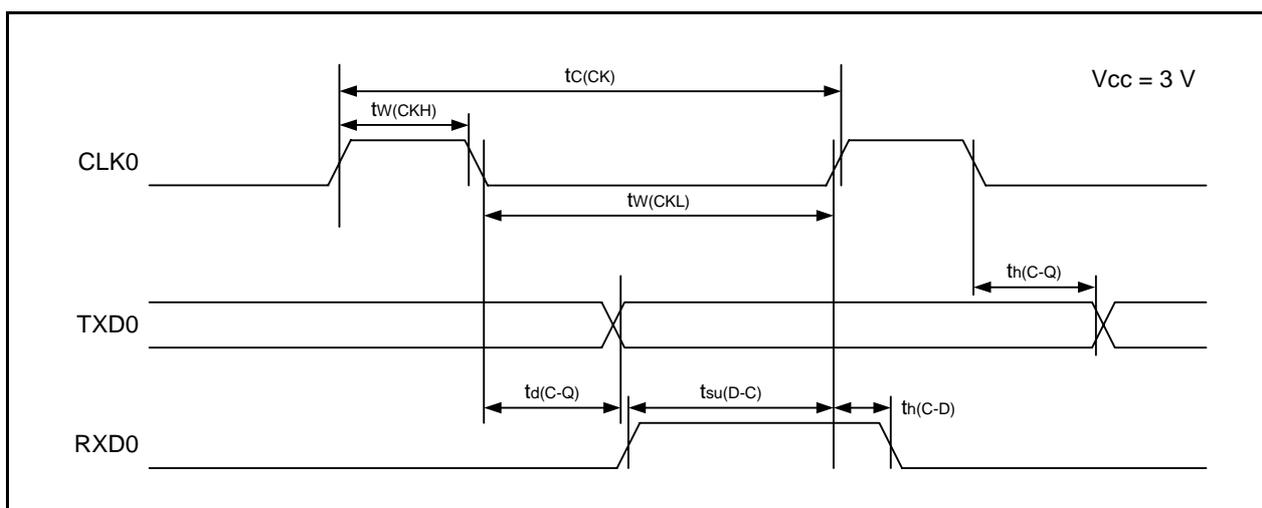


図4.10 Vcc = 3V時のシリアルインタフェースのタイミング図

表4.24 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力Hパルス幅、Kli入力Hパルス幅	380 (注1)	—	ns
$t_w(\text{INL})$	INTi入力Lパルス幅、Kli入力Lパルス幅	380 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

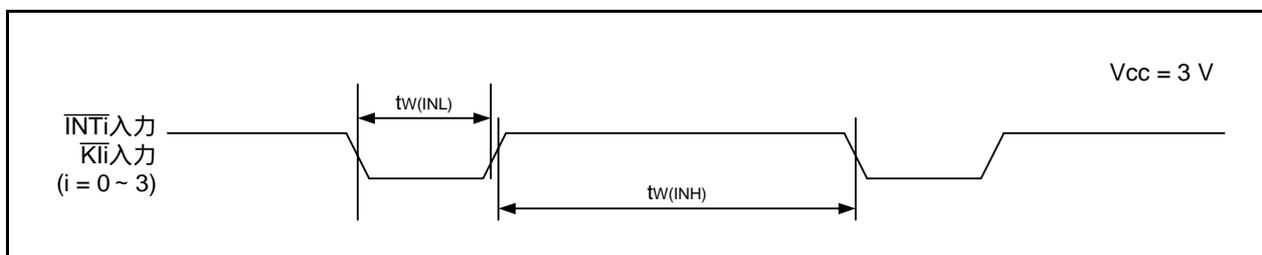


図4.11 Vcc = 3V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図

表4.25 DC特性(5) [1.8 V $V_{cc} < 2.7$ V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V _{OH}	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I _{OH} = -2 mA	V _{cc} - 0.5	—	V _{cc}	V
			駆動能力Low時	I _{OH} = -1 mA	V _{cc} - 0.5	—	V _{cc}	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		I _{OH} = -1 mA	V _{cc} - 0.5	—	V _{cc}	V
V _{OL}	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I _{OL} = 2 mA	—	—	0.5	V
			駆動能力Low時	I _{OL} = 1 mA	—	—	0.5	V
		P1_0、P1_1、P1_6、P1_7、 P4_2、P4_5、P4_6、P4_7、 PA_0		I _{OL} = 1 mA	—	—	0.5	V
V _{T+} -V _{T-}	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRJIO</u> 、 <u>TRCIOA</u> 、 <u>TRCIOB</u> 、 <u>TRCIOC</u> 、 <u>TRCIOD</u> 、 <u>RXD0</u> 、 <u>CLK0</u>	V _{cc} = 2.2 V		0.05	0.20	—	V
		<u>RESET</u>	V _{cc} = 2.2 V		0.05	0.20	—	V
I _{IH}	H入力電流		V _I = 2.2 V、V _{cc} = 2.2 V		—	—	4.0	μA
I _{IL}	L入力電流		V _I = 0 V、V _{cc} = 2.2 V		—	—	-4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V、V _{cc} = 2.2 V		70	140	300	kΩ
R _{I_{XIN}}	帰還抵抗	XIN			—	2.2	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、1.8 V $V_{cc} < 2.7$ V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 5 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表4.26 DC特性(6) [1.8 V $V_{cc} < 2.7$ V]
(指定のない場合は、 $T_{opr} = -20$ °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件									単位		
		発振回路			オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値			
		XIN (注2)	高速	低速	最小	標準 (注3)				最大			
I _{cc}	電源電流 (注1)	高速 クロック モード	5 MHz	停止	125 kHz	分周なし	—	—	—	1.0	—	mA	
			5 MHz	停止	125 kHz	8分周	—	—	—	0.6	—	mA	
	高速 オンチップ オシレータ モード	停止	5 MHz (注4)	125 kHz	分周なし	—	—	—	1.6	6.5	mA		
		停止	5 MHz (注4)	125 kHz	8分周	—	—	—	1.1	—	mA		
		停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1	—	—	1.0	—	mA		
	低速 オンチップ オシレータ モード	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0	—	—	60	200	μA		
		停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA		
	ウェイト モード	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	4.0	80	μA		
		停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA		
	ストップ モード	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.5	—	μA		

注1. $V_{cc} = 1.8$ V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はV_{ss}。

注2. XINは方形波入力。

注3. $V_{cc} = 2.2$ V

注4. PHISELレジスタでシステムクロックを5 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{cc} = 2.2\text{ V}$ 、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$)

表4.27 外部クロック入力(XIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{XIN})$	XIN入力サイクル時間	200	—	ns
$t_{WH}(\text{XIN})$	XIN入力Hパルス幅	90	—	ns
$t_{WL}(\text{XIN})$	XIN入力Lパルス幅	90	—	ns

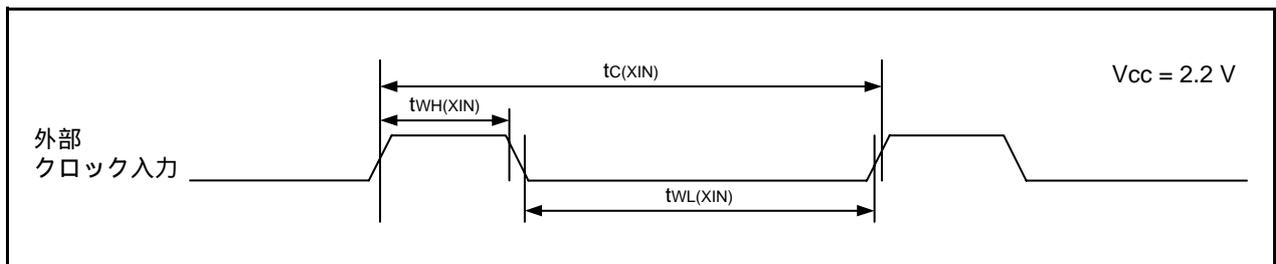


図4.12 $V_{cc} = 2.2\text{ V}$ 時の外部クロック入力タイミング

表4.28 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{TRJIO})$	TRJIO入力サイクル時間	500	—	ns
$t_{WH}(\text{TRJIO})$	TRJIO入力Hパルス幅	200	—	ns
$t_{WL}(\text{TRJIO})$	TRJIO入力Lパルス幅	200	—	ns

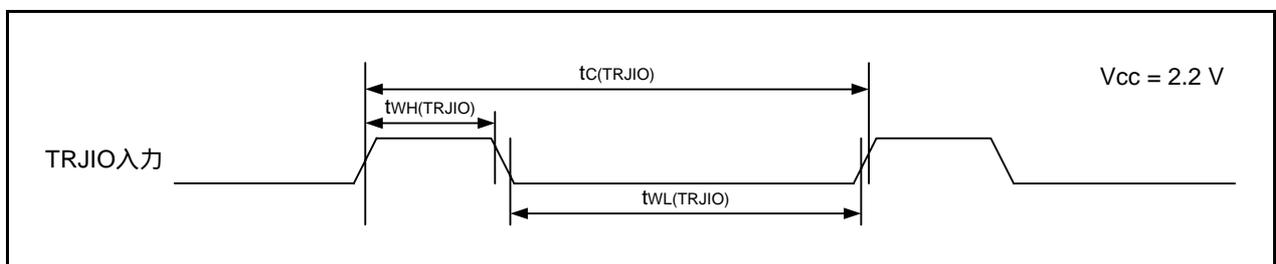
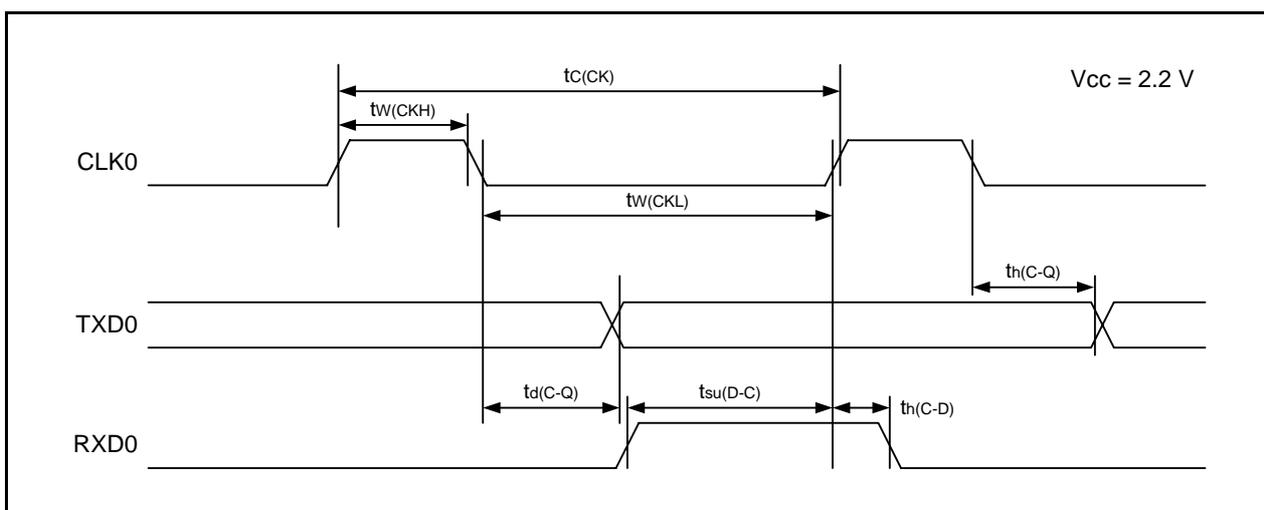


図4.13 $V_{cc} = 2.2\text{ V}$ 時のTRJIO入力のタイミング図

表4.29 シリアルインタフェース

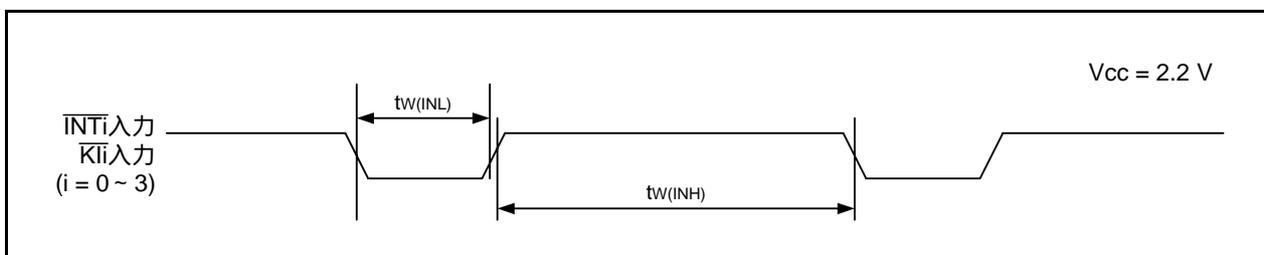
記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK0入力サイクル時間	800	—	ns
$t_{w(CKH)}$	CLK0入力Hパルス幅	400	—	ns
$t_{w(CKL)}$	CLK0入力Lパルス幅	400	—	ns
$t_{d(C-Q)}$	TXD0出力遅延時間	—	200	ns
$t_{h(C-Q)}$	TXD0ホールド時間	0	—	ns
$t_{su(D-C)}$	RXD0入力セットアップ時間	150	—	ns
$t_{h(C-D)}$	RXD0入力ホールド時間	90	—	ns

図4.14 $V_{cc} = 2.2\text{ V}$ 時のシリアルインタフェースのタイミング図表4.30 外部割り込み \overline{INTi} 入力、キー入力割り込み \overline{Kli} ($i = 0 \sim 3$)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力Hパルス幅、 \overline{Kli} 入力Hパルス幅	1,000 (注1)	—	ns
$t_{w(INL)}$	\overline{INTi} 入力Lパルス幅、 \overline{Kli} 入力Lパルス幅	1,000 (注2)	—	ns

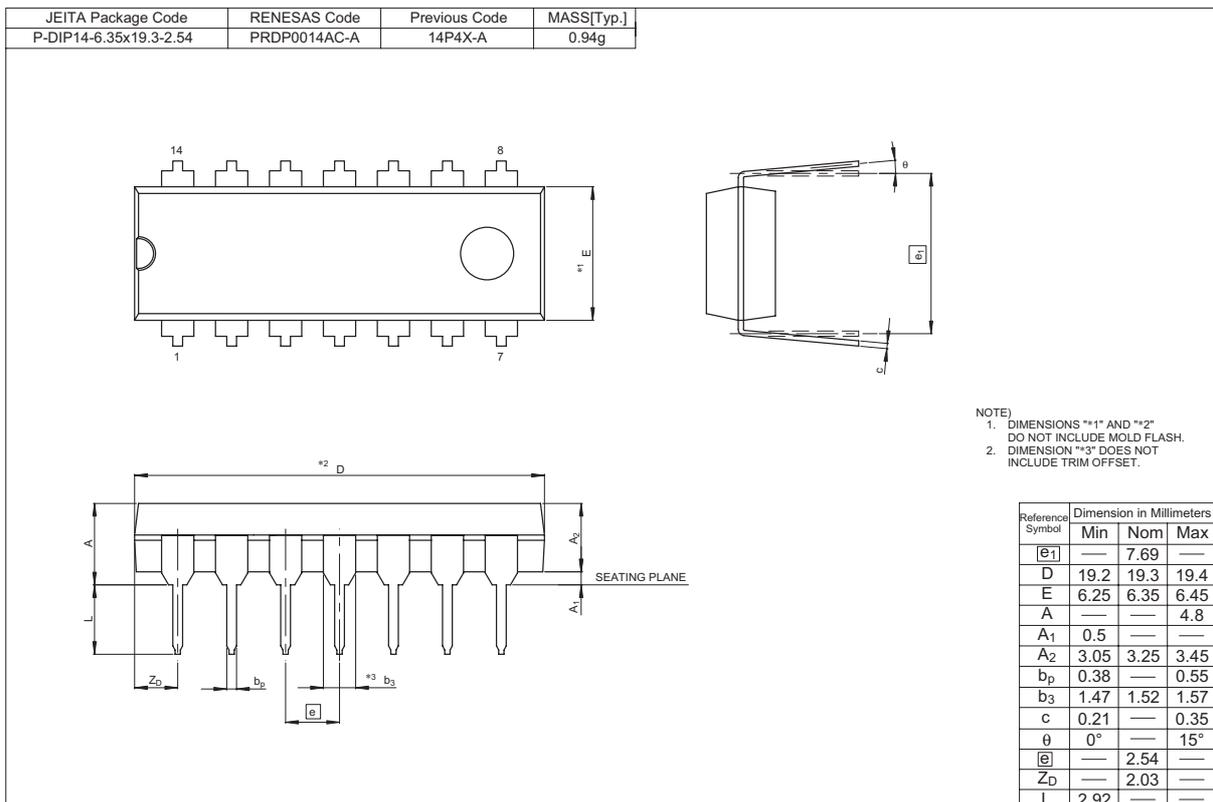
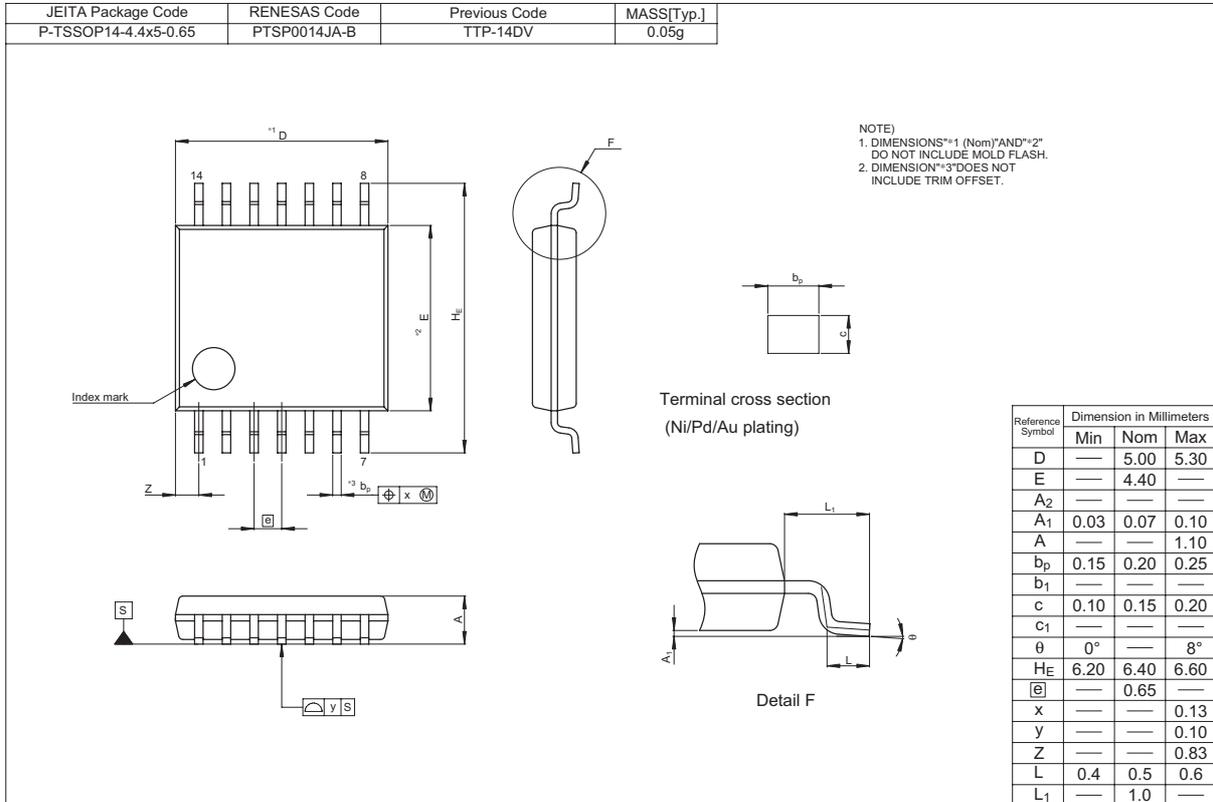
注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

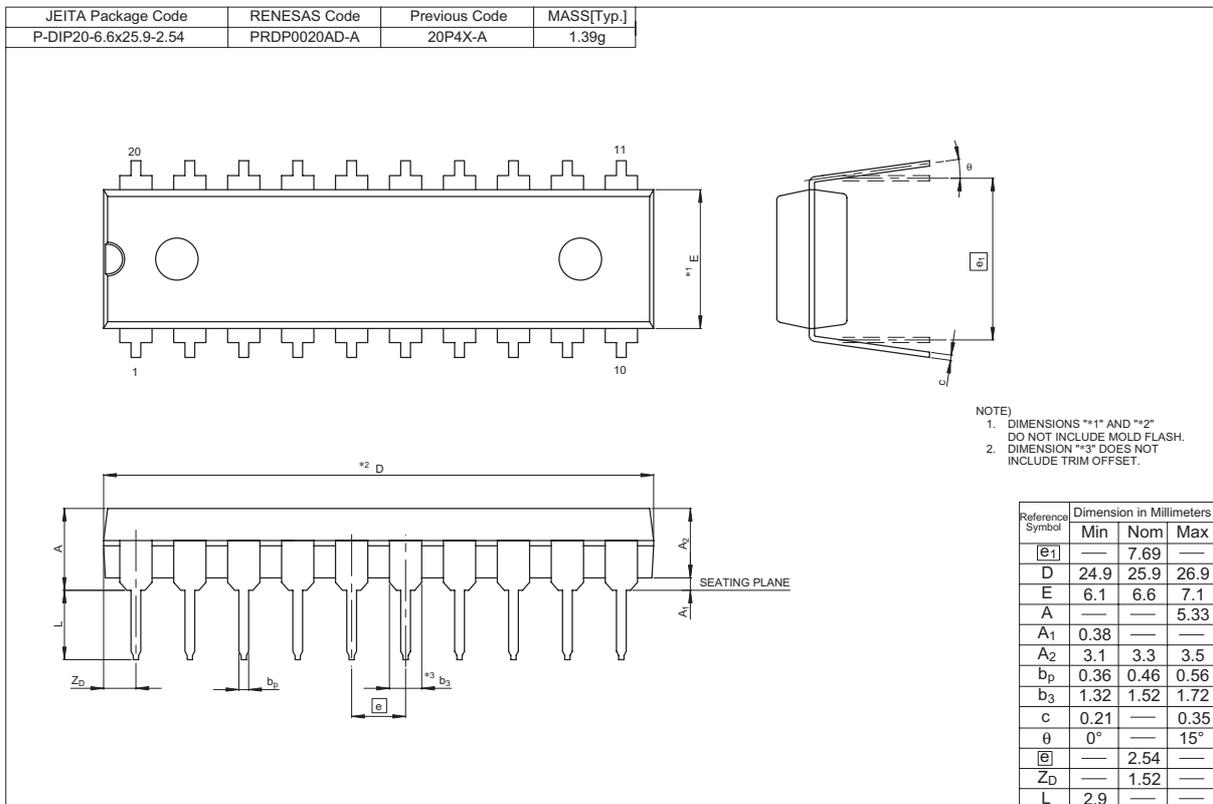
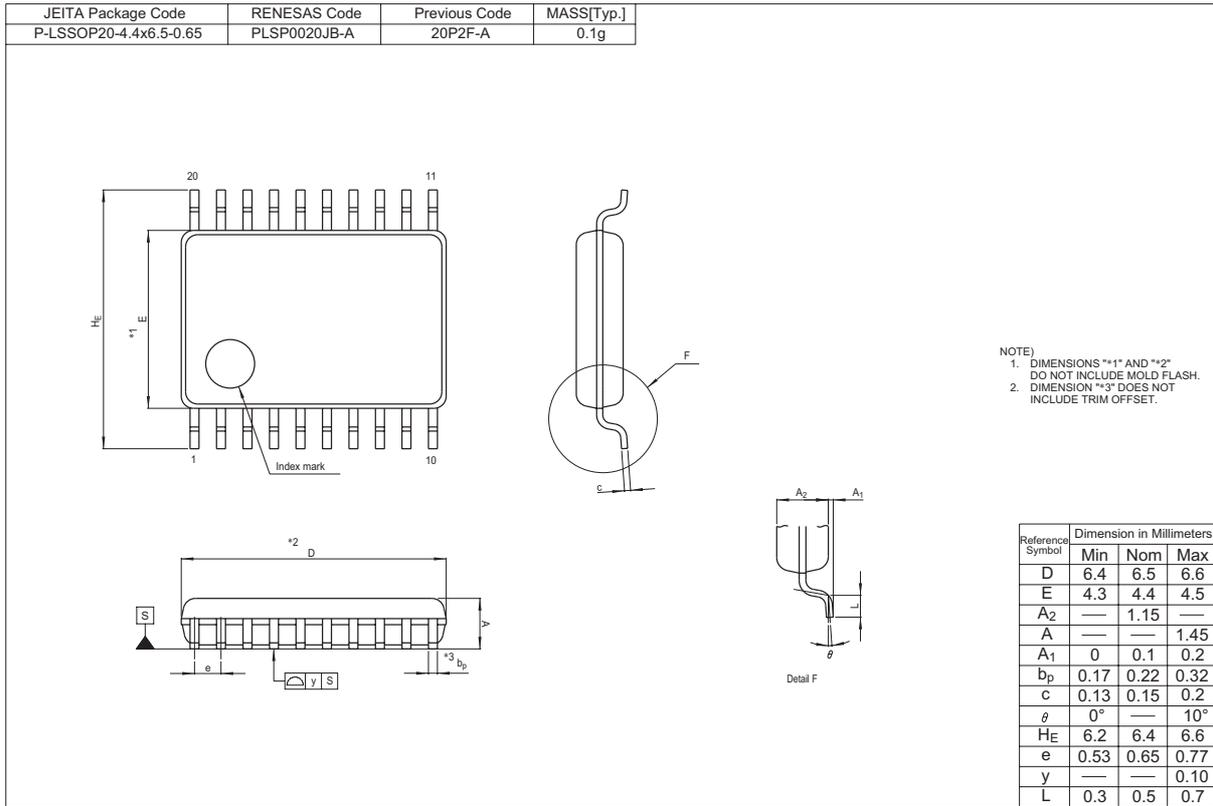
注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

図4.15 $V_{cc} = 2.2\text{ V}$ 時の外部割り込み \overline{INTi} 入力およびキー入力割り込み \overline{Kli} のタイミング図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。





改訂記録	R8C/M11Aグループ、R8C/M12Aグループ データシート
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2010.01.14	—	初版発行
0.10	2010.08.25	— 2、3 4 5 6 8 9 11～43	資料番号「RJJ03B0304」「R01DS0010JJ」 1.1.2 グループごとの相違点 追加 表1.3 「電圧検出1によるリセット」削除 表1.4 「・・・電圧：VCC = 2.7 V ~ 5.5 V」「・・・電圧：VCC = 1.8 V ~ 5.5 V」 「1,000回(プログラムROM)」「10,000回(プログラムROM)」、注1 追加 表1.5 変更 図1.3、図1.4 変更 表1.6 変更 2. 中央演算処理装置(CPU)、3. アドレス空間、4. 電気的特性 追加
2.00	2012.05.31	全ページ 1 3 4 5 6 9 10 11 15 18 23 26 31 34、38、 42 44、45	「暫定版」、「開発中」削除 1.1 変更 表1.2 IRR3、IRR2 変更 表1.3 ウォッチドッグタイマ 変更 表1.4 注1 変更 表1.5 変更 表1.6 「電圧検出回路」削除 表1.7 変更 図2.1 変更 表3.1 00021h、00030h ~ 00033h、00035h 変更 表3.4 000DEh、000E7h 変更 表3.9 注1、注2 変更 表4.3 変更 表4.10、表4.11 変更 表4.15、表4.21、表4.27 タイトル 変更、 図4.4、図4.8、図4.12 タイトル、「XIN入力」「外部クロック入力」変更 外形寸法図 追記

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>