

## R8C/36T-Aグループ

ルネサスマイクロコンピュータ

R01DS0055JJ0100

Rev.1.00

2011.12.09

## 1. 概要

### 1.1 特長

R8C/36T-Aグループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、R8C/36T-Aグループは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/36T-Aグループはタッチセンサコントロールユニットを搭載し、静電容量方式タッチ電極の浮遊容量を検出することが可能です。

また、BGO (バックグラウンドオペレーション)機能付データフラッシュ (1 Kバイト×4ブロック)を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

## 1.1.2 仕様概要

表1.1、表1.2に仕様概要を示します。

表1.1 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：50 ns (CPUクロック = 20 MHz、VCC = 2.7 V ~ 5.5 V) 200 ns (CPUクロック = 5 MHz、VCC = 1.8 V ~ 5.5 V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1 Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.3 製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)</li> </ul>
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> <li>入力専用：1</li> <li>CMOS入出力：59、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：59</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路：XINクロック発振回路、XCINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード</li> </ul>
割り込み		<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：9 (INT×5、キー入力×4)</li> <li>割り込み優先レベル：7レベル</li> </ul>
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> <li>周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能(30要因×10種類のイベントリンク動作)</li> <li>割り込み要求とは独立してイベントを扱うことが可能</li> </ul>
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>起動要因：27</li> <li>転送モード：2(ノーマルモード、リピートモード)</li> </ul>

表1.2 仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE2	8ビット×1 コンペア一致タイマモード、リアルタイムクロックモード
シリアルインタフェース	UART0_0、 UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード1(I <sup>2</sup> Cモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0	1チャンネル(I <sup>2</sup> Cバスと兼用)
	[I <sup>2</sup> Cバス] I <sup>2</sup> C_0	1チャンネル(SSUと兼用)
LINモジュール	HW-LIN_0	ハードウェアLIN 1チャンネル(タイマRJ_0、UART0_0またはUART0_1を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
タッチセンサコントロールユニット(TSCU)		システムチャンネル×4、静電容量接触検出×28
CRC演算回路		CRC-CCITT (X <sup>16</sup> +X <sup>12</sup> +X <sup>5</sup> +1)、CRC-16 (X <sup>16</sup> +X <sup>15</sup> +X <sup>2</sup> +1)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> <li>プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V</li> <li>プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM)</li> <li>プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>BGO(バックグラウンドオペレーション)機能(データフラッシュ)</li> </ul>
動作周波数/電源電圧		CPUクロック = 20 MHz (VCC = 2.7 V ~ 5.5 V) CPUクロック = 5 MHz (VCC = 1.8 V ~ 5.5 V)
消費電流		標準6.5mA (VCC=5.0V、f(XIN)=20MHz) 標準3.5mA (VCC=3.0V、f(XIN)=10MHz) 標準4.0μA (VCC=3.0V、ウェイトモード(f(XCIN)=32kHz)) 標準2.2μA (VCC=3.0V、ストップモード)
動作周囲温度		-20 °C ~ 85 °C (Nバージョン) -40 °C ~ 85 °C (Dバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード：PLQP0064KB-A (旧コード：64P6Q-A) パッケージコード：PLQP0064GA-A (旧コード：64P6U-A)

注1. Dバージョンをご使用になる場合は、その旨をご指定ください。

## 1.2 製品一覧

表1.3に製品一覧を、図1.1に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧

2011年12月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F21368SNFP	64 Kバイト	1 Kバイト × 4	6 Kバイト	PLQP0064KB-A	Nバージョン	
R5F2136ASNFP	96 Kバイト		8 Kバイト			
R5F2136CSNFP	128 Kバイト		10 Kバイト			
R5F21368SNFA	64 Kバイト		6 Kバイト	PLQP0064GA-A		
R5F2136ASNFA	96 Kバイト		8 Kバイト			
R5F2136CSNFA	128 Kバイト		10 Kバイト			
R5F21368SDFP	64 Kバイト		6 Kバイト	PLQP0064KB-A		Dバージョン
R5F2136ASDFP	96 Kバイト		8 Kバイト			
R5F2136CSDFP	128 Kバイト		10 Kバイト			
R5F21368SDFA	64 Kバイト		6 Kバイト	PLQP0064GA-A		
R5F2136ASDFA	96 Kバイト		8 Kバイト			
R5F2136CSDFA	128 Kバイト		10 Kバイト			

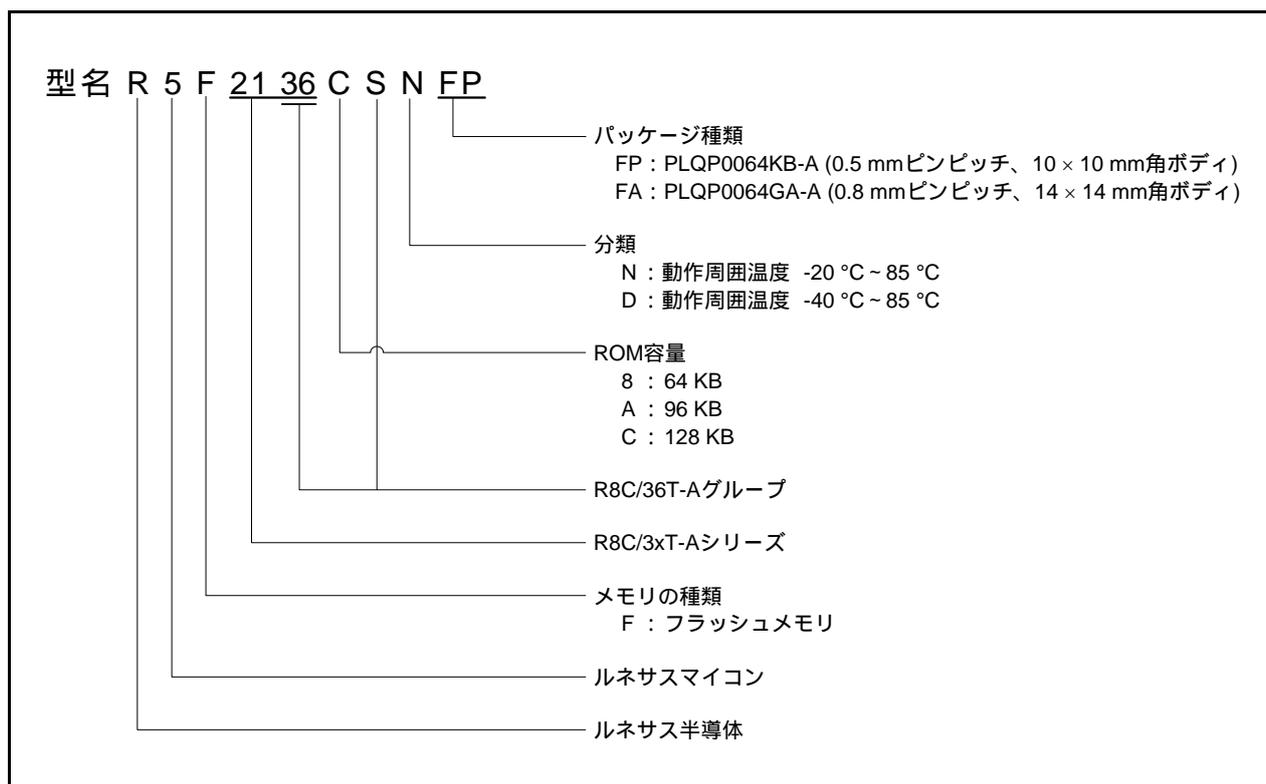
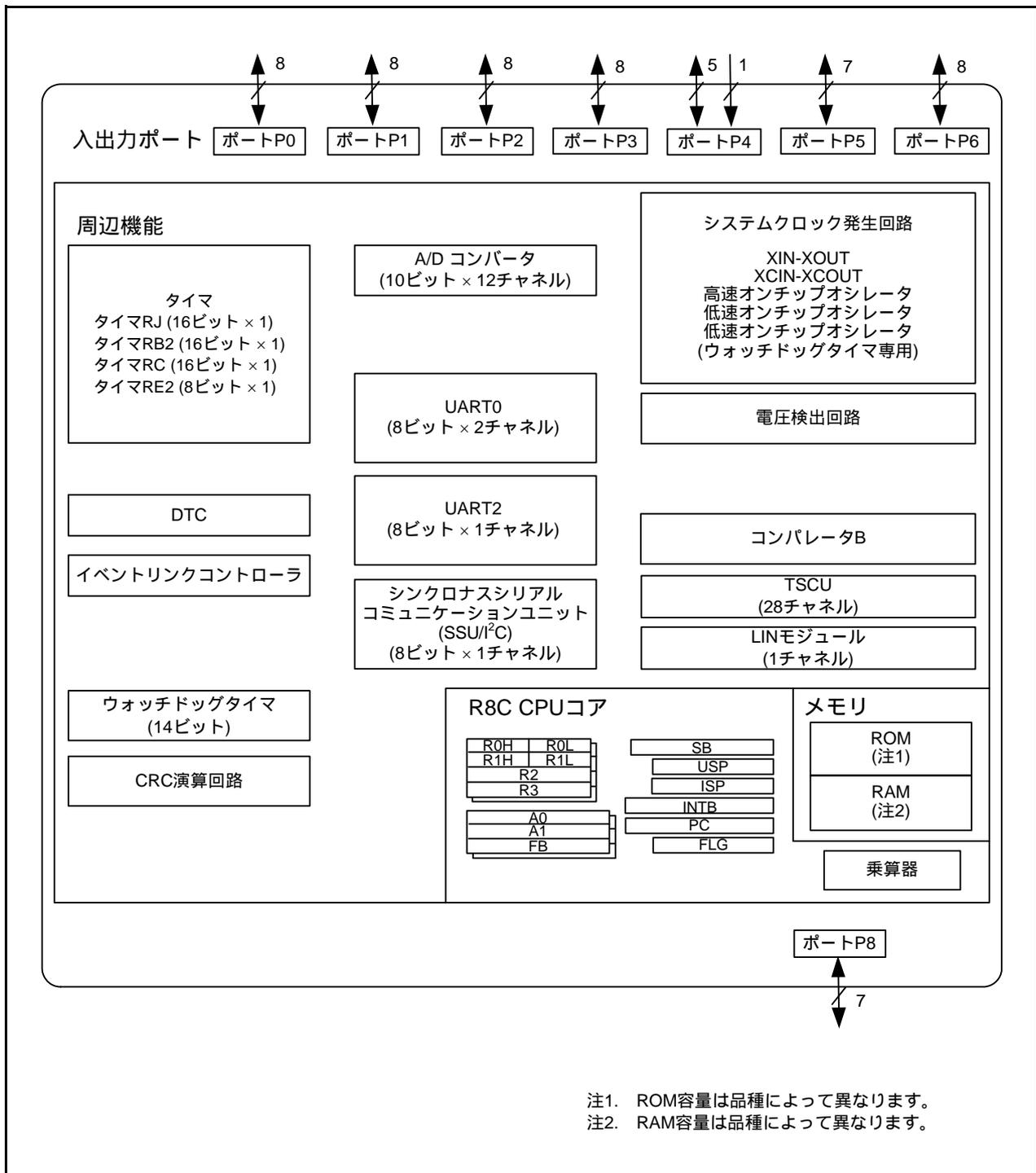


図1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図1.2にブロック図を示します。



注1. ROM容量は品種によって異なります。  
 注2. RAM容量は品種によって異なります。

図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4～表1.6にピン番号別端子名一覧を示します。

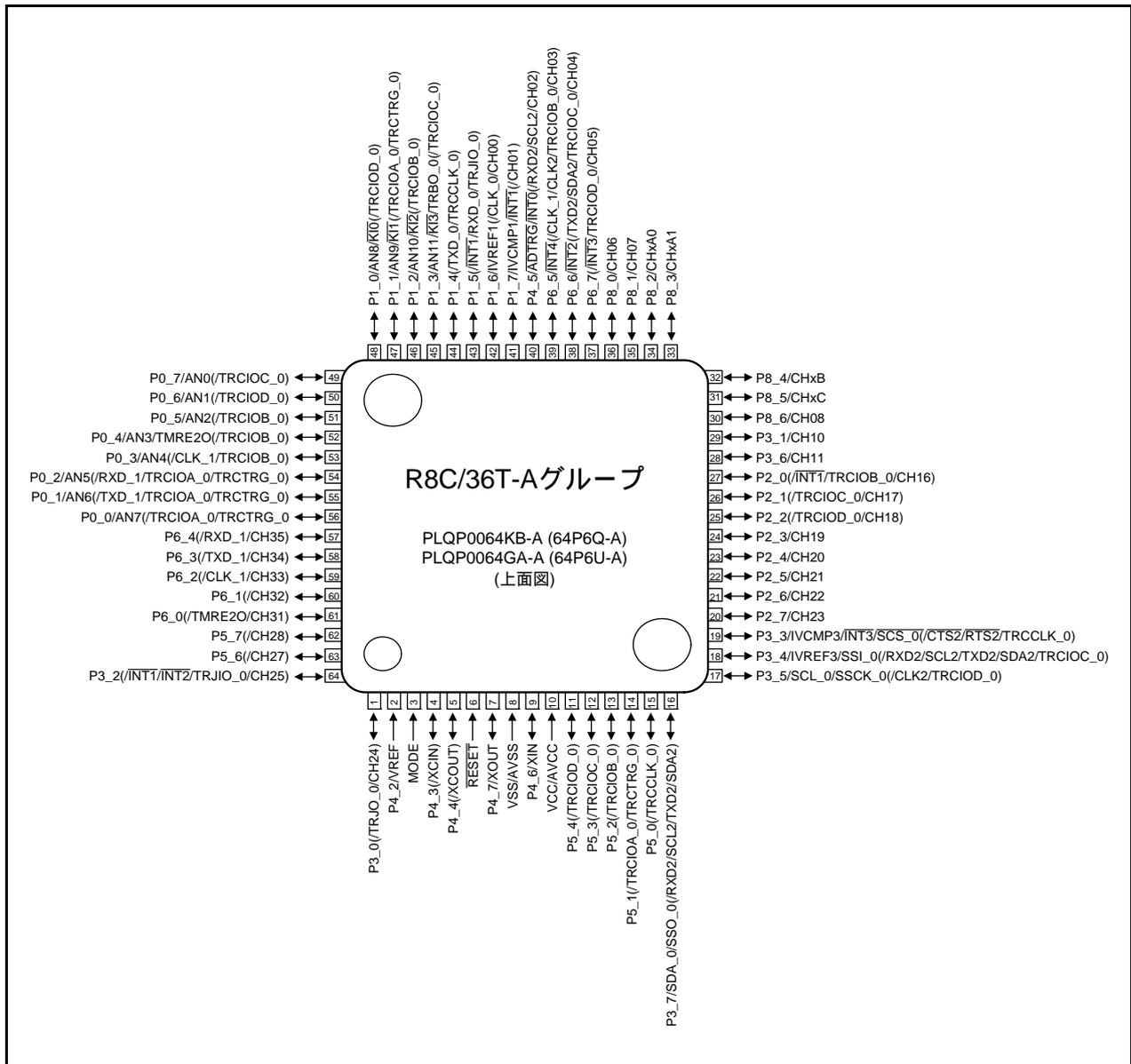


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧(割り込み、UART0、UART2)

ポート	端子番号	割り込み				UART0						UART2							
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	SDA2	SCL2	CLK2
P0_0	56																		
P0_1	55							TXD_1											
P0_2	54								RXD_1										
P0_3	53										CLK_1								
P0_4	52																		
P0_5	51																		
P0_6	50																		
P0_7	49																		
P1_0	48																		
P1_1	47																		
P1_2	46																		
P1_3	45																		
P1_4	44						TXD_0												
P1_5	43		INT1					RXD_0											
P1_6	42									CLK_0									
P1_7	41		INT1																
P2_0	27		INT1																
P2_1	26																		
P2_2	25																		
P2_3	24																		
P2_4	23																		
P2_5	22																		
P2_6	21																		
P2_7	20																		
P3_0	1																		
P3_1	29																		
P3_2	64		INT1	INT2															
P3_3	19				INT3									CTS2	RTS2				
P3_4	18											TXD2	RXD2			SDA2	SCL2		
P3_5	17																		CLK2
P3_6	28																		
P3_7	16											TXD2	RXD2			SDA2	SCL2		
P4_2	2																		
P4_3	4																		
P4_4	5																		
P4_5	40	INT0											RXD2				SCL2		
P4_6	9																		
P4_7	7																		
P5_0	15																		
P5_1	14																		
P5_2	13																		
P5_3	12																		
P5_4	11																		
P5_6	63																		
P5_7	62																		
P6_0	61																		
P6_1	60																		
P6_2	59										CLK_1								
P6_3	58							TXD_1											
P6_4	57								RXD_1										
P6_5	39					INT4					CLK_1								CLK2
P6_6	38			INT2								TXD2				SDA2			
P6_7	37				INT3														
P8_0	36																		
P8_1	35																		
P8_2	34																		
P8_3	33																		
P8_4	32																		
P8_5	31																		
P8_6	30																		

表1.5 ピン番号別端子名一覧(SSU/I<sup>2</sup>C、タイマRJ、タイマRB2)

ポート	端子番号	SSU/I <sup>2</sup> C						タイマRJ		タイマRB2
		SCL_0	SDA_0	SSI_0	SCS_0	SSCK_0	SSO_0	TRJO_0	TRJIO_0	TRBO_0
P0_0	56									
P0_1	55									
P0_2	54									
P0_3	53									
P0_4	52									
P0_5	51									
P0_6	50									
P0_7	49									
P1_0	48									
P1_1	47									
P1_2	46									
P1_3	45									TRBO_0
P1_4	44									
P1_5	43								TRJIO_0	
P1_6	42									
P1_7	41									
P2_0	27									
P2_1	26									
P2_2	25									
P2_3	24									
P2_4	23									
P2_5	22									
P2_6	21									
P2_7	20									
P3_0	1							TRJO_0		
P3_1	29									
P3_2	64								TRJIO_0	
P3_3	19				SCS_0					
P3_4	18			SSI_0						
P3_5	17	SCL_0				SSCK_0				
P3_6	28									
P3_7	16		SDA_0				SSO_0			
P4_2	2									
P4_3	4									
P4_4	5									
P4_5	40									
P4_6	9									
P4_7	7									
P5_0	15									
P5_1	14									
P5_2	13									
P5_3	12									
P5_4	11									
P5_6	63									
P5_7	62									
P6_0	61									
P6_1	60									
P6_2	59									
P6_3	58									
P6_4	57									
P6_5	39									
P6_6	38									
P6_7	37									
P8_0	36									
P8_1	35									
P8_2	34									
P8_3	33									
P8_4	32									
P8_5	31									
P8_6	30									

表1.6 ピン番号別端子名一覧(タイマRC、タイマRE2、その他)

ポート	端子番号	タイマRC					タイマRE2	その他			
		TRCCLK_0	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0		TRCTRG_0	TMRE20		
P0_0	56		TRCIOA_0				TRCTRG_0		AN7		
P0_1	55		TRCIOA_0				TRCTRG_0		AN6		
P0_2	54		TRCIOA_0				TRCTRG_0		AN5		
P0_3	53			TRCIOB_0					AN4		
P0_4	52			TRCIOB_0				TMRE20	AN3		
P0_5	51			TRCIOB_0					AN2		
P0_6	50					TRCIOD_0			AN1		
P0_7	49				TRCIOC_0				AN0		
P1_0	48					TRCIOD_0			AN8	K10	
P1_1	47		TRCIOA_0				TRCTRG_0		AN9	K11	
P1_2	46			TRCIOB_0					AN10	K12	
P1_3	45				TRCIOC_0				AN11	K13	
P1_4	44	TRCCLK_0									
P1_5	43										
P1_6	42								IVREF1		CH00
P1_7	41								IVCMP1		CH01
P2_0	27			TRCIOB_0							CH16
P2_1	26				TRCIOC_0						CH17
P2_2	25					TRCIOD_0					CH18
P2_3	24										CH19
P2_4	23										CH20
P2_5	22										CH21
P2_6	21										CH22
P2_7	20										CH23
P3_0	1										CH24
P3_1	29										CH10
P3_2	64										CH25
P3_3	19	TRCCLK_0							IVCMP3		
P3_4	18				TRCIOC_0				IVREF3		
P3_5	17					TRCIOD_0					
P3_6	28										CH11
P3_7	16										
P4_2	2								VREF		
P4_3	4								XCIN		
P4_4	5								XCOU		
P4_5	40								ADTRG		CH02
P4_6	9								XIN		
P4_7	7								XOUT		
P5_0	15	TRCCLK_0									
P5_1	14		TRCIOA_0				TRCTRG_0				
P5_2	13			TRCIOB_0							
P5_3	12				TRCIOC_0						
P5_4	11					TRCIOD_0					
P5_6	63										CH27
P5_7	62										CH28
P6_0	61							TMRE20			CH31
P6_1	60										CH32
P6_2	59										CH33
P6_3	58										CH34
P6_4	57										CH35
P6_5	39			TRCIOB_0							CH03
P6_6	38				TRCIOC_0						CH04
P6_7	37					TRCIOD_0					CH05
P8_0	36										CH06
P8_1	35										CH07
P8_2	34										CHxA0
P8_3	33										CHxA1
P8_4	32										CHxB
P8_5	31										CHxC
P8_6	30										CH08

## 1.5 端子機能の説明

表1.7、表1.8に端子機能の説明を示します。

表1.7 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	入出力	XINとXOUTの間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。
XCINクロック出力	XCOUT	入出力	XCINとXCOUTの間には、水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
INT割り込み入力	INT0～INT4	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRJ_0	TRJIO_0	入出力	タイマRJの入出力です。
	TRJO_0	出力	タイマRJの出力です。
タイマRB2_0	TRBO_0	出力	タイマRB2の出力です。
タイマRC_0	TRCLK_0	入力	外部クロック入力です。
	TRCTRG_0	入力	外部トリガ入力です。
	TRCIOA_0、TRCIOB_0、TRCIOC_0、TRCIOD_0	入出力	タイマRCの入出力です。
タイマRE2	TMRE2O	出力	分周クロックの出力です。
シリアルインタフェース(UART0)	CLK_0、CLK_1	入出力	転送クロック入出力です。
	RXD_0、RXD_1	入力	シリアルデータ入力です。
	TXD_0、TXD_1	出力	シリアルデータ出力です。
シリアルインタフェース(UART2)	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I <sup>2</sup> Cモードのクロック入出力です。
	SDA2	入出力	I <sup>2</sup> Cモードのデータ入出力です。
	RXD2	入力	シリアルデータ入力です。
	TXD2	出力	シリアルデータ出力です。
	CLK2	入出力	転送クロック入出力です。
シンクロナスシリアルコミュニケーションユニット(SSU_0)	SSI_0	入出力	データ入出力です。
	SCS_0	入出力	チップセレクト入出力です。
	SSCK_0	入出力	クロック入出力です。
	SSO_0	入出力	データ入出力です。
I <sup>2</sup> Cバス(I <sup>2</sup> C_0)	SCL_0	入出力	クロック入出力です。
	SDA_0	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。

注1. 発振特性は発振子メーカーに問い合わせてください。

表1.8 端子機能の説明(2)

分類	端子名	入出力	機能
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力です。
タッチセンサ コントロールユニット (TSCU)	CHxA0、CHxA1、CHxB、 CHxC	入出力	静電容量接触検出のための制御端子です。
	CH00 ~ CH08、CH10、 CH11、CH16 ~ CH25、 CH27、CH28、 CH31 ~ CH35	入力	静電容量接触検出端子です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_7、 P5_0 ~ P5_4、P5_6、 P5_7 P6_0 ~ P6_7、 P8_0 ~ P8_6	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動(高駆動)ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

## 2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

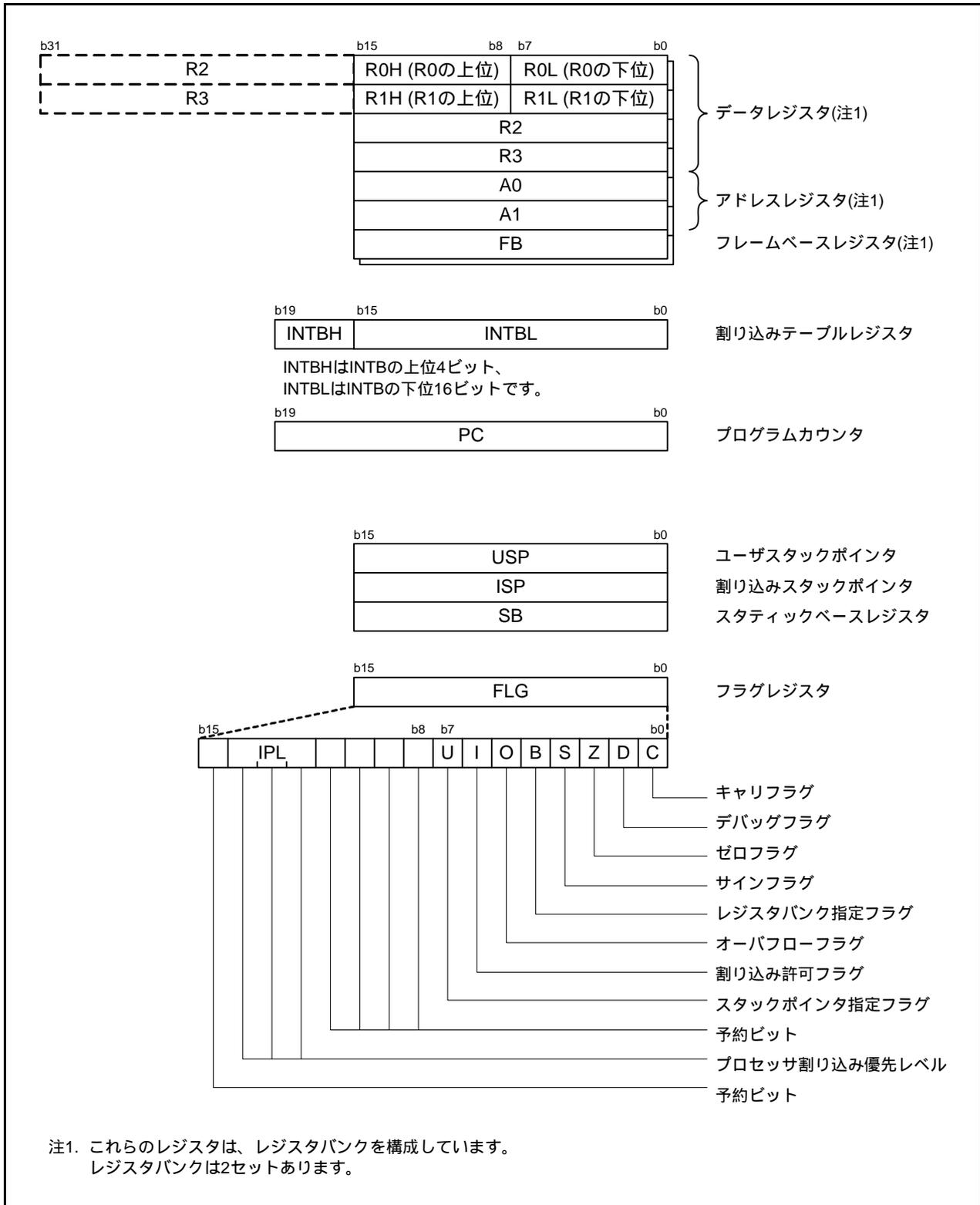


図2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが0の場合、マスクブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

### 3. アドレス空間

#### 3.1 メモリマップ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

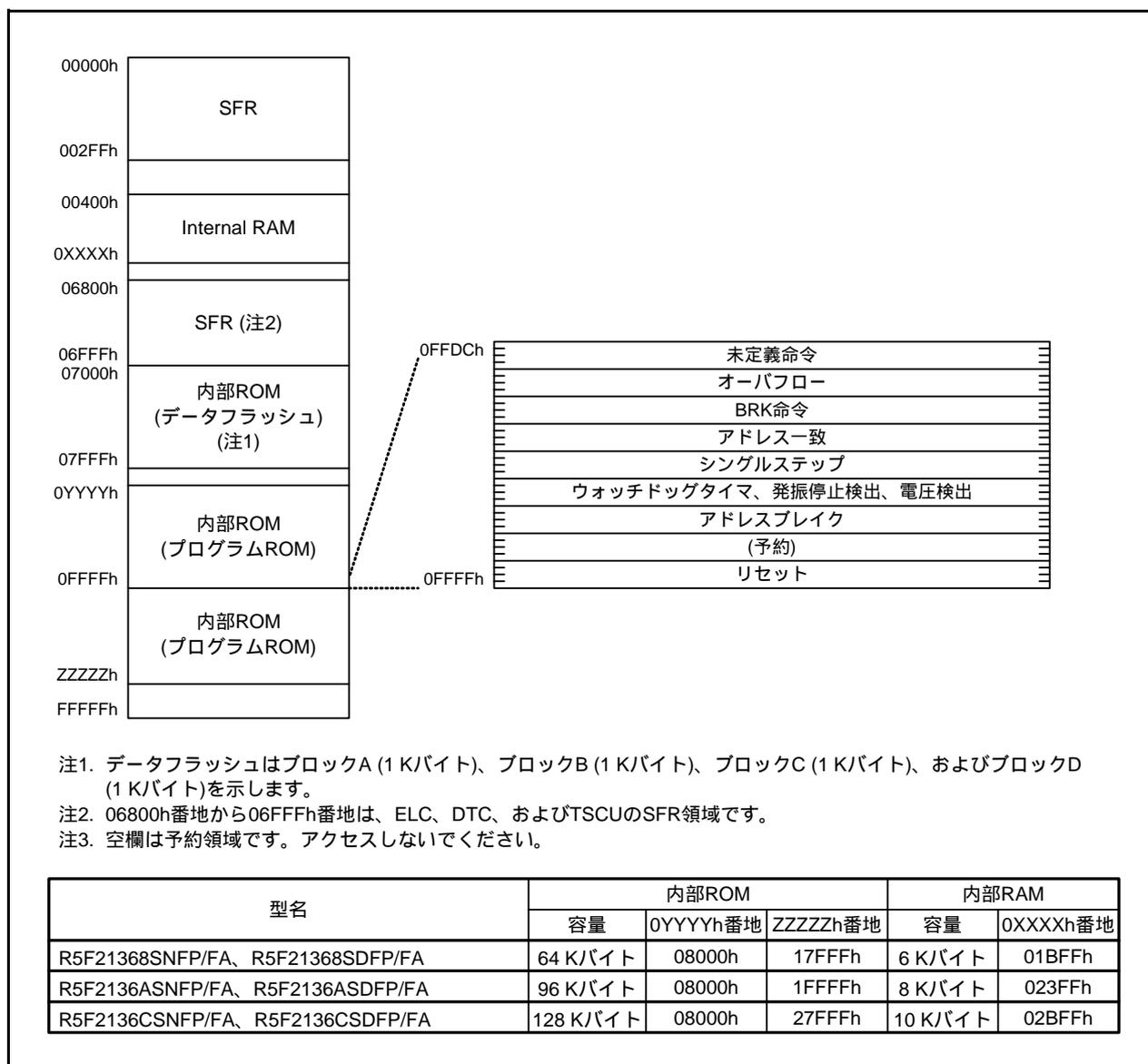


図3.1 メモリ配置図

## 3.2 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表3.1～表3.16にSFR一覧を、表3.17にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00000h				
00001h				
00002h				
00003h				
00004h	PM0	プロセッサモードレジスタ0	00h	
00005h	PM1	プロセッサモードレジスタ1	10000000b	
00006h				
00007h	PRCR	プロテクトレジスタ	00h	
00008h	CM0	システムクロック制御レジスタ0	00101000b	
00009h	CM1	システムクロック制御レジスタ1	00100000b	
0000Ah	OCD	発振停止検出レジスタ	00h	
0000Bh	CM3	システムクロック制御レジスタ3	00h	
0000Ch	CM4	システムクロック制御レジスタ4	00000001b	
0000Dh				
0000Eh				
0000Fh				
00010h	CPSRF	時計用プリスケアラリセットフラグ	00h	
00011h				
00012h	FRA0	高速オンチップオシレータ制御レジスタ0	00h	
00013h				
00014h	FRA2	高速オンチップオシレータ制御レジスタ2	00h	
00015h				
00016h				
00017h				
00018h				
00019h				
0001Ah				
0001Bh				
0001Ch				
0001Dh				
0001Eh				
0001Fh				
00020h	RISR	リセット割り込み選択レジスタ	10000000b、00000000b	(注2)
00021h	WDTR	ウォッチドッグタイマリセットレジスタ	FFh	
00022h	WDT5	ウォッチドッグタイマスタートレジスタ	FFh	
00023h	WDTC	ウォッチドッグタイマ制御レジスタ	01111111b	
00024h	CSPR	カウントソース保護モードレジスタ	10000000b、00000000b	(注2)
00025h				
00026h				
00027h				
00028h	RSTFR	リセット要因判別レジスタ	00XXXXXXb	
00029h				
0002Ah				
0002Bh				
0002Ch	SVDC	STBY VDC電力制御レジスタ	00h	
0002Dh				
0002Eh				
0002Fh				
00030h	CMPA	電圧監視回路制御レジスタ	00h	
00031h	VCAC	電圧監視回路エッジ選択レジスタ	00h	
00032h	OCVREFCR	チップ内蔵基準電圧制御レジスタ	00h	
00033h				
00034h	VCA2	電圧検出レジスタ2	00000000b、00100000b	(注3)
00035h				
00036h	VD1LS	電圧検出1レベル選択レジスタ	00000111b	
00037h				
00038h	VW0C	電圧監視0回路制御レジスタ	1100XX10b、1100XX11b	(注3)
00039h	VW1C	電圧監視1回路制御レジスタ	10001010b	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注3. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

表3.2 SFR一覧(2)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0003Ah	VW2C	電圧監視2回路制御レジスタ	10001010b	
0003Bh				
0003Ch				
0003Dh				
0003Eh				
0003Fh				
00040h				
00041h	FMRDYIC	割り込み制御レジスタ	00h	
00042h				
00043h				
00044h				
00045h				
00046h	INT4IC	割り込み制御レジスタ	00h	
00047h	TRCIC_0	割り込み制御レジスタ	00h	
00048h				
00049h				
0004Ah	TRE2IC	割り込み制御レジスタ	00h	
0004Bh	U2TIC	割り込み制御レジスタ	00h	
0004Ch	U2RIC	割り込み制御レジスタ	00h	
0004Dh	KUPIC	割り込み制御レジスタ	00h	
0004Eh	ADIC	割り込み制御レジスタ	00h	
0004Fh	SSUIC_0/IICIC_0	割り込み制御レジスタ	00h	
00050h				
00051h	U0TIC_0	割り込み制御レジスタ	00h	
00052h	U0RIC_0	割り込み制御レジスタ	00h	
00053h	U0TIC_1	割り込み制御レジスタ	00h	
00054h	U0RIC_1	割り込み制御レジスタ	00h	
00055h	INT2IC	割り込み制御レジスタ	00h	
00056h	TRJIC_0	割り込み制御レジスタ	00h	
00057h				
00058h	TRB2IC_0	割り込み制御レジスタ	00h	
00059h	INT1IC	割り込み制御レジスタ	00h	
0005Ah	INT3IC	割り込み制御レジスタ	00h	
0005Bh				
0005Ch				
0005Dh	INT0IC	割り込み制御レジスタ	00h	
0005Eh	U2BCNIC	割り込み制御レジスタ	00h	
0005Fh				
00060h				
00061h				
00062h				
00063h				
00064h				
00065h				
00066h				
00067h				
00068h				
00069h				
0006Ah				
0006Bh				
0006Ch				
0006Dh				
0006Eh				
0006Fh				
00070h				
00071h				
00072h	VCMP1IC	割り込み制御レジスタ	00h	
00073h	VCMP2IC	割り込み制御レジスタ	00h	
00074h				
00075h	TSCUIC	割り込み制御レジスタ	00h	
00076h				
00077h				
00078h				
00079h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.3 SFR一覧 (3) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0007Ah				
0007Bh				
0007Ch				
0007Dh				
0007Eh				
0007Fh				
00080h	U0MR_0	UART0_0送受信モードレジスタ	00h	
00081h	U0BRG_0	UART0_0ビットレートレジスタ	XXh	
00082h	U0TB_0	UART0_0送信バッファレジスタ	XXh	
00083h			XXh	
00084h	U0C0_0	UART0_0送受信制御レジスタ0	00001000b	
00085h	U0C1_0	UART0_0送受信制御レジスタ1	00000010b	
00086h	U0RB_0	UART0_0受信バッファレジスタ	XXXXh	
00087h				
00088h	U0IR_0	UART0_0割り込みフラグと許可レジスタ	00h	
00089h				
0008Ah				
0008Bh				
0008Ch	LINCR2_0	LIN_0特殊機能レジスタ	00h	
0008Dh				
0008Eh	LINCT_0	LIN_0制御レジスタ	00h	
0008Fh	LINST_0	LIN_0ステータスレジスタ	00h	
00090h	U0MR_1	UART0_1送受信モードレジスタ	00h	
00091h	U0BRG_1	UART0_1ビットレートレジスタ	XXh	
00092h	U0TB_1	UART0_1送信バッファレジスタ	XXh	
00093h			XXh	
00094h	U0C0_1	UART0_1送受信制御レジスタ0	00001000b	
00095h	U0C1_1	UART0_1送受信制御レジスタ1	00000010b	
00096h	U0RB_1	UART0_1受信バッファレジスタ	XXXXh	
00097h				
00098h	U0IR_1	UART0_1割り込みフラグと許可レジスタ	00h	
00099h				
0009Ah				
0009Bh				
0009Ch				
0009Dh				
0009Eh				
0009Fh				
000A0h				
000A1h				
000A2h				
000A3h				
000A4h				
000A5h				
000A6h				
000A7h				
000A8h				
000A9h				
000AAh				
000ABh				
000ACh				
000ADh				
000AEh				
000AFh				
000B0h				
000B1h				
000B2h				
000B3h				
000B4h				
000B5h				
000B6h				
000B7h				
000B8h				
000B9h				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧(4)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000BAh				
000BBh				
000BCh				
000BDh				
000BEh				
000BFh				
000C0h	U2MR	UART2送受信モードレジスタ	00h	
000C1h	U2BRG	UART2ビットレートレジスタ	00h	
000C2h	U2TB	UART2送信バッファレジスタ	00h	
000C3h			00h	
000C4h	U2C0	UART2送受信制御レジスタ0	00001000b	
000C5h	U2C1	UART2送受信制御レジスタ1	00000010b	
000C6h	U2RB	UART2受信バッファレジスタ	0000h	
000C7h				
000C8h	U2RXDF	UART2デジタルフィルタ機能選択レジスタ	00h	
000C9h				
000CAh				
000CBh				
000CCh				
000CDh				
000CEh				
000CFh				
000D0h	U2SMR5	UART2特殊モードレジスタ5	00h	
000D1h				
000D2h				
000D3h				
000D4h	U2SMR4	UART2特殊モードレジスタ4	00h	
000D5h	U2SMR3	UART2特殊モードレジスタ3	00h	
000D6h	U2SMR2	UART2特殊モードレジスタ2	00h	
000D7h	U2SMR	UART2特殊モードレジスタ	00h	
000D8h				
000D9h				
000DAh				
000DBh				
000DCh				
000DDh				
000DEh				
000DFh				
000E0h	IICCR_0	I <sup>2</sup> C_0制御レジスタ	00001110b	
000E1h	SSBR_0	SS_0ビットカウンタレジスタ	11111000b	
000E2h	SITDR_0	SI_0送信データレジスタ	FFh	
000E3h			FFh	
000E4h	SIRDR_0	SI_0受信データレジスタ	FFh	
000E5h			FFh	
000E6h	SICR1_0	SI_0制御レジスタ1	00h	
000E7h	SICR2_0	SI_0制御レジスタ2	01111101b	
000E8h	SIMR1_0	SI_0モードレジスタ1	00010000b	
000E9h	SIER_0	SI_0割り込み許可レジスタ	00h	
000EAh	SISR_0	SI_0ステータスレジスタ	00h	
000EBh	SIMR2_0	SI_0モードレジスタ2	00h	
000ECh				
000EDh				
000EEh				
000EFh				
000F0h				
000F1h				
000F2h				
000F3h				
000F4h				
000F5h				
000F6h				
000F7h				
000F8h				
000F9h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.5 SFR一覧(5)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000FAh				
000FBh				
000FCh				
000FDh				
000FEh				
000FFh				
00100h				
00101h				
00102h				
00103h				
00104h				
00105h				
00106h				
00107h				
00108h				
00109h				
0010Ah				
0010Bh				
0010Ch				
0010Dh				
0010Eh				
0010Fh				
00110h	TRJ_0	タイマRJ_0カウンタレジスタ	FFFFh	
00111h				
00112h	TRJCR_0	タイマRJ_0制御レジスタ	00h	
00113h	TRJIOC_0	タイマRJ_0 I/O制御レジスタ	00h	
00114h	TRJMR_0	タイマRJ_0モードレジスタ	00h	
00115h	TRJISR_0	タイマRJ_0イベント端子選択レジスタ	00h	
00116h				
00117h				
00118h				
00119h				
0011Ah				
0011Bh				
0011Ch				
0011Dh				
0011Eh				
0011Fh				
00120h				
00121h				
00122h				
00123h				
00124h				
00125h				
00126h				
00127h				
00128h				
00129h				
0012Ah				
0012Bh				
0012Ch				
0012Dh				
0012Eh				
0012Fh				
00130h	TRBCR_0	タイマRB2_0制御レジスタ	00h	
00131h	TRBOCR_0	タイマRB2_0ワンショット制御レジスタ	00h	
00132h	TRBIOC_0	タイマRB2_0 I/O制御レジスタ	00h	
00133h	TRBMR_0	タイマRB2_0モードレジスタ	00h	
00134h	TRBPRE_0	タイマRB2_0プリスケアラレジスタ	FFh	
00135h	TRBPR_0	タイマRB2_0プライマリレジスタ	FFh	
00136h	TRBSC_0	タイマRB2_0セカンダリレジスタ	FFh	
00137h	TRBIR_0	タイマRB2_0割り込み要求レジスタ	00h	
00138h	TRCCNT_0	タイマRC_0カウンタ	0000h	
00139h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	レジスタ名
0013Ah	TRCGRA_0	タイマRC_0ジェネラルレジスタA	FFFFh	
0013Bh				
0013Ch	TRCGRB_0	タイマRC_0ジェネラルレジスタB	FFFFh	
0013Dh				
0013Eh	TRCGRC_0	タイマRC_0ジェネラルレジスタC	FFFFh	
0013Fh				
00140h	TRCGRD_0	タイマRC_0ジェネラルレジスタD	FFFFh	
00141h				
00142h	TRCMR_0	タイマRC_0モードレジスタ	01001000b	
00143h	TRCCR1_0	タイマRC_0制御レジスタ1	00h	
00144h	TRCIER_0	タイマRC_0割り込み許可レジスタ	01110000b	
00145h	TRCSR_0	タイマRC_0ステータスレジスタ	01110000b	
00146h	TRCIOR0_0	タイマRC_0 I/O制御レジスタ0	10001000b	
00147h	TRCIOR1_0	タイマRC_0 I/O制御レジスタ1	10001000b	
00148h	TRCCR2_0	タイマRC_0制御レジスタ2	00011000b	
00149h	TRCDF_0	タイマRC_0デジタルフィルタ機能選択レジスタ	00h	
0014Ah	TRCOER_0	タイマRC_0出力許可レジスタ	01111111b	
0014Bh	TRCADCR_0	タイマRC_0 A/D変換トリガ制御レジスタ	11110000b	
0014Ch	TRCOPR_0	タイマRC_0出力波形操作レジスタ	00h	
0014Dh	TRCELCCR_0	タイマRC_0 ELC連動制御レジスタ	00h	
0014Eh				
0014Fh				
00150h				
00151h				
00152h				
00153h				
00154h				
00155h				
00156h				
00157h				
00158h				
00159h				
0015Ah				
0015Bh				
0015Ch				
0015Dh				
0015Eh				
0015Fh				
00160h				
00161h				
00162h				
00163h				
00164h				
00165h				
00166h				
00167h				
00168h				
00169h				
0016Ah				
0016Bh				
0016Ch				
0016Dh				
0016Eh				
0016Fh				
00170h	TRESEC	タイマRE2カウンタデータレジスタ タイマRE2秒データレジスタ	00h	
00171h	TREMIN	タイマRE2コンパアデータレジスタ タイマRE2分データレジスタ	00h	
00172h	TREHR	タイマRE2時データレジスタ	00h	
00173h	TREWK	タイマRE2曜日データレジスタ	00h	
00174h	TREDY	タイマRE2日データレジスタ	00000001b	
00175h	TREMON	タイマRE2月データレジスタ	00000001b	
00176h	TREYR	タイマRE2年データレジスタ	00h	
00177h	TRECR	タイマRE2制御レジスタ	00000100b	
00178h	TRECSR	タイマRE2カウントソース選択レジスタ	00001000b	
00179h	TREADJ	タイマRE2時計誤差補正レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧(7)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0017Ah	TREIFR	タイマRE2割り込みフラグレジスタ	00h	
0017Bh	TREIER	タイマRE2割り込み許可レジスタ	00h	
0017Ch	TREAMN	タイマRE2アラーム分レジスタ	00h	
0017Dh	TREahr	タイマRE2アラーム時レジスタ	00h	
0017Eh	TREAwK	タイマRE2アラーム曜日レジスタ	00h	
0017Fh	TREPRC	タイマRE2プロテクトレジスタ	00h	
00180h ~ 001FFh				
00200h	AD0	A/Dレジスタ0	00h	
00201h			00h	
00202h	AD1	A/Dレジスタ1	00h	
00203h			00h	
00204h	AD2	A/Dレジスタ2	00h	
00205h			00h	
00206h	AD3	A/Dレジスタ3	00h	
00207h			00h	
00208h	AD4	A/Dレジスタ4	00h	
00209h			00h	
0020Ah	AD5	A/Dレジスタ5	00h	
0020Bh			00h	
0020Ch	AD6	A/Dレジスタ6	00h	
0020Dh			00h	
0020Eh	AD7	A/Dレジスタ7	00h	
0020Fh			00h	
00210h				
00211h				
00212h				
00213h				
00214h	ADMOD	A/Dモードレジスタ	00h	
00215h	ADINSEL	A/D入力選択レジスタ	11000000b	
00216h	ADCON0	A/D制御レジスタ0	00h	
00217h	ADCON1	A/D制御レジスタ1	00h	
00218h				
00219h				
0021Ah				
0021Bh				
0021Ch				
0021Dh				
0021Eh				
0021Fh				
00220h				
00221h				
00222h				
00223h				
00224h				
00225h				
00226h				
00227h				
00228h	INTCMP	コンパレータB制御レジスタ0	00h	
00229h				
0022Ah				
0022Bh				
0022Ch				
0022Dh				
0022Eh				
0022Fh				
00230h	INTEN	外部入力許可レジスタ0	00h	
00231h	INTEN1	外部入力許可レジスタ1	00h	
00232h	INTF	INT入力フィルタ選択レジスタ0	00h	
00233h	INTF1	INT入力フィルタ選択レジスタ1	00h	
00234h	INTPOL	INT入力極性切り替えレジスタ	00h	
00235h				
00236h	KIEN	キー入力割り込み許可レジスタ	00h	
00237h				
00238h	MSTCR0	モジュールスタンバイコントロールレジスタ0	00h	
00239h	MSTCR1	モジュールスタンバイコントロールレジスタ1	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0023Ah	MSTCR2	モジュールスタンバイコントロールレジスタ2	00h	
0023Bh	MSTCR3	モジュールスタンバイコントロールレジスタ3	00h	
0023Ch	MSTCR4	モジュールスタンバイコントロールレジスタ4	00h	
0023Dh				
0023Eh				
0023Fh				
00240h				
00241h				
00242h				
00243h				
00244h				
00245h				
00246h				
00247h				
00248h				
00249h				
0024Ah				
0024Bh				
0024Ch				
0024Dh				
0024Eh				
0024Fh				
00250h				
00251h				
00252h	FST	フラッシュメモリステータスレジスタ	1000X00b	
00253h				
00254h	FMR0	フラッシュメモリ制御レジスタ0	00h	
00255h	FMR1	フラッシュメモリ制御レジスタ1	00h	
00256h	FMR2	フラッシュメモリ制御レジスタ2	00h	
00257h				
00258h				
00259h				
0025Ah				
0025Bh				
0025Ch				
0025Dh				
0025Eh				
0025Fh				
00260h	AIADR0L	アドレス一致割り込みアドレス0Lレジスタ	XXXXh	
00261h				
00262h	AIADR0H	アドレス一致割り込みアドレス0Hレジスタ	0000XXXXb	
00263h	AIEN0	アドレス一致割り込み許可0レジスタ	00h	
00264h	AIADR1L	アドレス一致割り込みアドレス1Lレジスタ	XXXXh	
00265h				
00266h	AIADR1H	アドレス一致割り込みアドレス1Hレジスタ	0000XXXXb	
00267h	AIEN1	アドレス一致割り込み許可1レジスタ	00h	
00268h				
00269h				
0026Ah				
0026Bh				
0026Ch				
0026Dh				
0026Eh				
0026Fh				
00270h				
00271h				
00272h				
00273h				
00274h				
00275h				
00276h				
00277h				
00278h				
00279h				
0027Ah				
0027Bh				
0027Ch				
0027Dh				
0027Eh				
0027Fh				

X:不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 SFR一覧(9)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00280h	DTCTL	DTC起動制御レジスタ	00h	
00281h				
00282h				
00283h				
00284h				
00285h				
00286h				
00287h				
00288h	DTCEN0	DTC起動許可レジスタ0	00h	
00289h	DTCEN1	DTC起動許可レジスタ1	00h	
0028Ah	DTCEN2	DTC起動許可レジスタ2	00h	
0028Bh	DTCEN3	DTC起動許可レジスタ3	00h	
0028Ch				
0028Dh	DTCEN5	DTC起動許可レジスタ5	00h	
0028Eh	DTCEN6	DTC起動許可レジスタ6	00h	
0028Fh				
00290h	CRCSAR	SFR監視アドレスレジスタ	0000h	
00291h				
00292h	CRCMR	CRC制御レジスタ	00h	
00293h				
00294h	CRCD	CRCデータレジスタ	0000h	
00295h				
00296h	CRCIN	CRCインプットレジスタ	00h	
00297h				
00298h				
00299h				
0029Ah				
0029Bh				
0029Ch				
0029Dh				
0029Eh				
0029Fh				
002A0h	TRJ_0SR	タイマRJ_0端子選択レジスタ	08h	
002A1h				
002A2h				
002A3h				
002A4h				
002A5h	TRCCLKSR	タイマRCCLK端子選択レジスタ	00h	
002A6h	TRC_0SR0	タイマRC_0端子選択レジスタ0	00h	
002A7h	TRC_0SR1	タイマRC_0端子選択レジスタ1	00h	
002A8h				
002A9h				
002AAh				
002ABh				
002ACh				
002ADh	TIMSR	タイマ端子選択レジスタ	00h	
002AEh	U_0SR	UART0_0端子選択レジスタ	00h	
002AFh	U_1SR	UART0_1端子選択レジスタ	00h	
002B0h				
002B1h				
002B2h	U2SR0	UART2端子選択レジスタ0	00h	
002B3h	U2SR1	UART2端子選択レジスタ1	00h	
002B4h				
002B5h				
002B6h	INTSR0	INT割り込み入力端子選択レジスタ0	00h	
002B7h				
002B8h				
002B9h	PINSR	入出力機能端子選択レジスタ	00h	
002BAh				
002BBh				
002BCh				
002BDh				
002BEh	PMCSEL	端子配置選択レジスタ	00h	
002BFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.10 SFR一覧(10)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
002C0h	PUR0	ブルアップ制御レジスタ0	00h	
002C1h	PUR1	ブルアップ制御レジスタ1	00h	
002C2h	PUR2	ブルアップ制御レジスタ2	00h	
002C3h				
002C4h				
002C5h				
002C6h				
002C7h				
002C8h	P1DRR	ポートP1駆動能力制御レジスタ	00h	
002C9h	P2DRR	ポートP2駆動能力制御レジスタ	00h	
002CAh				
002CBh				
002CCh	DRR0	駆動能力制御レジスタ0	00h	
002CDh	DRR1	駆動能力制御レジスタ1	00h	
002CEh	DRR2	駆動能力制御レジスタ2	00h	
002CFh				
002D0h	VLT0	入力しきい値制御レジスタ0	00h	
002D1h	VLT1	入力しきい値制御レジスタ1	00h	
002D2h	VLT2	入力しきい値制御レジスタ2	00h	
002D3h				
002D4h				
002D5h				
002D6h				
002D7h				
002D8h				
002D9h				
002DAh				
002DBh				
002DCh				
002DDh				
002DEh				
002DFh				
002E0h	PORT0	ポートP0レジスタ	XXh	
002E1h	PORT1	ポートP1レジスタ	XXh	
002E2h	PD0	ポートP0方向レジスタ	00h	
002E3h	PD1	ポートP1方向レジスタ	00h	
002E4h	PORT2	ポートP2レジスタ	XXh	
002E5h	PORT3	ポートP3レジスタ	XXh	
002E6h	PD2	ポートP2方向レジスタ	00h	
002E7h	PD3	ポートP3方向レジスタ	00h	
002E8h	PORT4	ポートP4レジスタ	XXh	
002E9h	PORT5	ポートP5レジスタ	XXh	
002EAh	PD4	ポートP4方向レジスタ	00h	
002EBh	PD5	ポートP5方向レジスタ	00h	
002ECh	PORT6	ポートP6レジスタ	XXh	
002EDh				
002EEh	PD6	ポートP6方向レジスタ	00h	
002EFh				
002F0h	PORT8	ポートP8レジスタ	XXh	
002F1h				
002F2h	PD8	ポートP8方向レジスタ	00h	
002F3h				
002F4h				
002F5h				
002F6h				
002F7h				
002F8h				
002F9h				
002FAh				
002FBh				
002FCh				
002FDh				
002FEh				
002FFh				
00300h				
~				
003FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.11 SFR一覧(11)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00400h ~ 053FFh	内蔵RAM	内蔵RAM		
05400h ~ 069FFh				
06A00h	ELSELR0	イベント出力先選択レジスタ0	00h	
06A01h	ELSELR1	イベント出力先選択レジスタ1	00h	
06A02h	ELSELR2	イベント出力先選択レジスタ2	00h	
06A03h	ELSELR3	イベント出力先選択レジスタ3	00h	
06A04h	ELSELR4	イベント出力先選択レジスタ4	00h	
06A05h				
06A06h				
06A07h				
06A08h	ELSELR8	イベント出力先選択レジスタ8	00h	
06A09h	ELSELR9	イベント出力先選択レジスタ9	00h	
06A0Ah				
06A0Bh	ELSELR11	イベント出力先選択レジスタ11	00h	
06A0Ch	ELSELR12	イベント出力先選択レジスタ12	00h	
06A0Dh	ELSELR13	イベント出力先選択レジスタ13	00h	
06A0Eh	ELSELR14	イベント出力先選択レジスタ14	00h	
06A0Fh	ELSELR15	イベント出力先選択レジスタ15	00h	
06A10h	ELSELR16	イベント出力先選択レジスタ16	00h	
06A11h				
06A12h				
06A13h				
06A14h				
06A15h				
06A16h				
06A17h				
06A18h				
06A19h				
06A1Ah				
06A1Bh				
06A1Ch				
06A1Dh				
06A1Eh				
06A1Fh				
06A20h				
06A21h				
06A22h				
06A23h				
06A24h				
06A25h				
06A26h				
06A27h				
06A28h				
06A29h				
06A2Ah				
06A2Bh				
06A2Ch				
06A2Dh				
06A2Eh				
06A2Fh				
06A30h				
06A31h ~ 06AFFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.12 SFR一覧(12)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06B00h	TSCUCR0	TSCU制御レジスタ0	0000h	
06B01h				
06B02h	TSCUCR1	TSCU制御レジスタ1	0000000000010000b	
06B03h				
06B04h	TSCUMR	TSCUモードレジスタ	0000000010000000b	
06B05h				
06B06h	TSCUTCROA	TSCUタイミング制御レジスタ0A	0000000001111111b	
06B07h				
06B08h	TSCUTCROB	TSCUタイミング制御レジスタ0B	0000000001111111b	
06B09h				
06B0Ah	TSCUTCRCR1	TSCUタイミング制御レジスタ1	0000000000000001b	
06B0Bh				
06B0Ch	TSCUTCRCR2	TSCUタイミング制御レジスタ2	0000h	
06B0Dh				
06B0Eh	TSCUTCRCR3	TSCUタイミング制御レジスタ3	0000h	
06B0Fh				
06B10h	TSCUCHC	TSCUチャネル制御レジスタ	0011111100000000b	
06B11h				
06B12h	TSCUFR	TSCUフラグレジスタ	0000h	
06B13h				
06B14h	TSCUSTC	TSCUステータスカウンタレジスタ	0000h	
06B15h				
06B16h	TSCUSCS	TSCUセカンダリカウンタ設定レジスタ	000000000100000b	
06B17h				
06B18h	TSCUSCC	TSCUセカンダリカウンタレジスタ	000000000100000b	
06B19h				
06B1Ah	TSCUDBR	TSCUデータバッファレジスタ	0000h	
06B1Bh				
06B1Ch	TSCUPRC	TSCUプライマリカウンタレジスタ	0000h	
06B1Dh				
06B1Eh	TSCURVR0	TSCUランダム値格納レジスタ0	0000h	
06B1Fh				
06B20h	TSCURVR1	TSCUランダム値格納レジスタ1	0000h	
06B21h				
06B22h	TSCURVR2	TSCUランダム値格納レジスタ2	0000h	
06B23h				
06B24h	TSCURVR3	TSCUランダム値格納レジスタ3	0000h	
06B25h				
06B26h	TSIE0	TSCU入力許可レジスタ0	0000h	
06B27h				
06B28h	TSIE1	TSCU入力許可レジスタ1	0000h	
06B29h				
06B2Ah	TSIE2	TSCU入力許可レジスタ2	0000h	
06B2Bh				
06B2Ch	TSCHSEL0	TSCUCHXA選択レジスタ0	0000h	
06B2Dh				
06B2Eh	TSCHSEL1	TSCUCHXA選択レジスタ1	0000h	
06B2Fh				
06B30h	TSCHSEL2	TSCUCHXA選択レジスタ2	0000h	
06B31h				
06B32h				
~				
06BFFh				
06C00h		DTC転送ベクタ0格納領域	XXh	
06C01h		DTC転送ベクタ1格納領域	XXh	
06C02h		DTC転送ベクタ2格納領域	XXh	
06C03h		DTC転送ベクタ3格納領域	XXh	
06C04h		DTC転送ベクタ4格納領域	XXh	
06C05h				
06C06h				
06C07h				
06C08h		DTC転送ベクタ8格納領域	XXh	
06C09h		DTC転送ベクタ9格納領域	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.13 SFR一覧(13)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C0Ah		DTC転送ベクタ10格納領域	XXh	
06C0Bh		DTC転送ベクタ11格納領域	XXh	
06C0Ch		DTC転送ベクタ12格納領域	XXh	
06C0Dh		DTC転送ベクタ13格納領域	XXh	
06C0Eh		DTC転送ベクタ14格納領域	XXh	
06C0Fh		DTC転送ベクタ15格納領域	XXh	
06C10h		DTC転送ベクタ16格納領域	XXh	
06C11h		DTC転送ベクタ17格納領域	XXh	
06C12h		DTC転送ベクタ18格納領域	XXh	
06C13h		DTC転送ベクタ19格納領域	XXh	
06C14h				
06C15h				
06C16h		DTC転送ベクタ22格納領域	XXh	
06C17h		DTC転送ベクタ23格納領域	XXh	
06C18h		DTC転送ベクタ24格納領域	XXh	
06C19h		DTC転送ベクタ25格納領域	XXh	
06C1Ah				
06C1Bh				
06C1Ch				
06C1Dh				
06C1Eh				
06C1Fh				
06C20h				
06C21h				
06C22h				
06C23h				
06C24h				
06C25h				
06C26h				
06C27h				
06C28h				
06C29h				
06C2Ah		DTC転送ベクタ42格納領域	XXh	
06C2Bh				
06C2Ch				
06C2Dh				
06C2Eh				
06C2Fh				
06C30h				
06C31h		DTC転送ベクタ49格納領域	XXh	
06C32h				
06C33h		DTC転送ベクタ51格納領域	XXh	
06C34h		DTC転送ベクタ52格納領域	XXh	
06C35h		DTC転送ベクタ53格納領域	XXh	
06C36h		DTC転送ベクタ54格納領域	XXh	
06C37h				
06C38h				
06C39h				
06C3Ah				
06C3Bh				
06C3Ch				
06C3Dh				
06C3Eh				
06C3Fh				
06C40h	DTCCR0	DTC制御レジスタ0	XXh	
06C41h	DTBLS0	DTCブロックサイズレジスタ0	XXh	
06C42h	DTCCT0	DTC転送回数レジスタ0	XXh	
06C43h	DTRL0	DTC転送回数リロードレジスタ0	XXh	
06C44h	DTSAR0	DTCソースアドレスレジスタ0	XXXXh	
06C45h				
06C46h	DTDAR0	DTCデスティネーションアドレスレジスタ0	XXXXh	
06C47h				
06C48h	DTCCR1	DTC制御レジスタ1	XXh	
06C49h	DTBLS1	DTCブロックサイズレジスタ1	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.14 SFR一覧(14)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C4Ah	DTCCT1	DTC転送回数レジスタ1	XXh	
06C4Bh	DTRLD1	DTC転送回数リロードレジスタ1	XXh	
06C4Ch	DTSAR1	DTCソースアドレスレジスタ1	XXXXh	
06C4Dh				
06C4Eh	DTDAR1	DTCデスティネーションアドレスレジスタ1	XXXXh	
06C4Fh				
06C50h	DTCCR2	DTC制御レジスタ2	XXh	
06C51h	DTBLS2	DTCブロックサイズレジスタ2	XXh	
06C52h	DTCCT2	DTC転送回数レジスタ2	XXh	
06C53h	DTRLD2	DTC転送回数リロードレジスタ2	XXh	
06C54h	DTSAR2	DTCソースアドレスレジスタ2	XXXXh	
06C55h				
06C56h	DTDAR2	DTCデスティネーションアドレスレジスタ2	XXXXh	
06C57h				
06C58h	DTCCR3	DTC制御レジスタ3	XXh	
06C59h	DTBLS3	DTCブロックサイズレジスタ3	XXh	
06C5Ah	DTCCT3	DTC転送回数レジスタ3	XXh	
06C5Bh	DTRLD3	DTC転送回数リロードレジスタ3	XXh	
06C5Ch	DTSAR3	DTCソースアドレスレジスタ3	XXXXh	
06C5Dh				
06C5Eh	DTDAR3	DTCデスティネーションアドレスレジスタ3	XXXXh	
06C5Fh				
06C60h	DTCCR4	DTC制御レジスタ4	XXh	
06C61h	DTBLS4	DTCブロックサイズレジスタ4	XXh	
06C62h	DTCCT4	DTC転送回数レジスタ4	XXh	
06C63h	DTRLD4	DTC転送回数リロードレジスタ4	XXh	
06C64h	DTSAR4	DTCソースアドレスレジスタ4	XXXXh	
06C65h				
06C66h	DTDAR4	DTCデスティネーションアドレスレジスタ4	XXXXh	
06C67h				
06C68h	DTCCR5	DTC制御レジスタ5	XXh	
06C69h	DTBLS5	DTCブロックサイズレジスタ5	XXh	
06C6Ah	DTCCT5	DTC転送回数レジスタ5	XXh	
06C6Bh	DTRLD5	DTC転送回数リロードレジスタ5	XXh	
06C6Ch	DTSAR5	DTCソースアドレスレジスタ5	XXXXh	
06C6Dh				
06C6Eh	DTDAR5	DTCデスティネーションアドレスレジスタ5	XXXXh	
06C6Fh				
06C70h	DTCCR6	DTC制御レジスタ6	XXh	
06C71h	DTBLS6	DTCブロックサイズレジスタ6	XXh	
06C72h	DTCCT6	DTC転送回数レジスタ6	XXh	
06C73h	DTRLD6	DTC転送回数リロードレジスタ6	XXh	
06C74h	DTSAR6	DTCソースアドレスレジスタ6	XXXXh	
06C75h				
06C76h	DTDAR6	DTCデスティネーションアドレスレジスタ6	XXXXh	
06C77h				
06C78h	DTCCR7	DTC制御レジスタ7	XXh	
06C79h	DTBLS7	DTCブロックサイズレジスタ7	XXh	
06C7Ah	DTCCT7	DTC転送回数レジスタ7	XXh	
06C7Bh	DTRLD7	DTC転送回数リロードレジスタ7	XXh	
06C7Ch	DTSAR7	DTCソースアドレスレジスタ7	XXXXh	
06C7Dh				
06C7Eh	DTDAR7	DTCデスティネーションアドレスレジスタ7	XXXXh	
06C7Fh				
06C80h	DTCCR8	DTC制御レジスタ8	XXh	
06C81h	DTBLS8	DTCブロックサイズレジスタ8	XXh	
06C82h	DTCCT8	DTC転送回数レジスタ8	XXh	
06C83h	DTRLD8	DTC転送回数リロードレジスタ8	XXh	
06C84h	DTSAR8	DTCソースアドレスレジスタ8	XXXXh	
06C85h				
06C86h	DTDAR8	DTCデスティネーションアドレスレジスタ8	XXXXh	
06C87h				
06C88h	DTCCR9	DTC制御レジスタ9	XXh	
06C89h	DTBLS9	DTCブロックサイズレジスタ9	XXh	
06C8Ah	DTCCT9	DTC転送回数レジスタ9	XXh	
06C8Bh	DTRLD9	DTC転送回数リロードレジスタ9	XXh	
06C8Ch	DTSAR9	DTCソースアドレスレジスタ9	XXXXh	
06C8Dh				
06C8Eh	DTDAR9	DTCデスティネーションアドレスレジスタ9	XXXXh	
06C8Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.15 SFR一覧 (15) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C90h	DTCCR10	DTC制御レジスタ10	XXh	
06C91h	DTBLS10	DTCブロックサイズレジスタ10	XXh	
06C92h	DTCCT10	DTC転送回数レジスタ10	XXh	
06C93h	DTRLD10	DTC転送回数リロードレジスタ10	XXh	
06C94h	DTSAR10	DTCソースアドレスレジスタ10	XXXXh	
06C95h				
06C96h	DTDAR10	DTCデスティネーションアドレスレジスタ10	XXXXh	
06C97h				
06C98h	DTCCR11	DTC制御レジスタ11	XXh	
06C99h	DTBLS11	DTCブロックサイズレジスタ11	XXh	
06C9Ah	DTCCT11	DTC転送回数レジスタ11	XXh	
06C9Bh	DTRLD11	DTC転送回数リロードレジスタ11	XXh	
06C9Ch	DTSAR11	DTCソースアドレスレジスタ11	XXXXh	
06C9Dh				
06C9Eh	DTDAR11	DTCデスティネーションアドレスレジスタ11	XXXXh	
06C9Fh				
06CA0h	DTCCR12	DTC制御レジスタ12	XXh	
06CA1h	DTBLS12	DTCブロックサイズレジスタ12	XXh	
06CA2h	DTCCT12	DTC転送回数レジスタ12	XXh	
06CA3h	DTRLD12	DTC転送回数リロードレジスタ12	XXh	
06CA4h	DTSAR12	DTCソースアドレスレジスタ12	XXXXh	
06CA5h				
06CA6h	DTDAR12	DTCデスティネーションアドレスレジスタ12	XXXXh	
06CA7h				
06CA8h	DTCCR13	DTC制御レジスタ13	XXh	
06CA9h	DTBLS13	DTCブロックサイズレジスタ13	XXh	
06CAAh	DTCCT13	DTC転送回数レジスタ13	XXh	
06CABh	DTRLD13	DTC転送回数リロードレジスタ13	XXh	
06CACH	DTSAR13	DTCソースアドレスレジスタ13	XXXXh	
06CADh				
06CAEh	DTDAR13	DTCデスティネーションアドレスレジスタ13	XXXXh	
06CAFh				
06CB0h	DTCCR14	DTC制御レジスタ14	XXh	
06CB1h	DTBLS14	DTCブロックサイズレジスタ14	XXh	
06CB2h	DTCCT14	DTC転送回数レジスタ14	XXh	
06CB3h	DTRLD14	DTC転送回数リロードレジスタ14	XXh	
06CB4h	DTSAR14	DTCソースアドレスレジスタ14	XXXXh	
06CB5h				
06CB6h	DTDAR14	DTCデスティネーションアドレスレジスタ14	XXXXh	
06CB7h				
06CB8h	DTCCR15	DTC制御レジスタ15	XXh	
06CB9h	DTBLS15	DTCブロックサイズレジスタ15	XXh	
06CBAh	DTCCT15	DTC転送回数レジスタ15	XXh	
06CBBh	DTRLD15	DTC転送回数リロードレジスタ15	XXh	
06CBCh	DTSAR15	DTCソースアドレスレジスタ15	XXXXh	
06CBDh				
06CBEh	DTDAR15	DTCデスティネーションアドレスレジスタ15	XXXXh	
06CBFh				
06CC0h	DTCCR16	DTC制御レジスタ16	XXh	
06CC1h	DTBLS16	DTCブロックサイズレジスタ16	XXh	
06CC2h	DTCCT16	DTC転送回数レジスタ16	XXh	
06CC3h	DTRLD16	DTC転送回数リロードレジスタ16	XXh	
06CC4h	DTSAR16	DTCソースアドレスレジスタ16	XXXXh	
06CC5h				
06CC6h	DTDAR16	DTCデスティネーションアドレスレジスタ16	XXXXh	
06CC7h				
06CC8h	DTCCR17	DTC制御レジスタ17	XXh	
06CC9h	DTBLS17	DTCブロックサイズレジスタ17	XXh	
06CCAh	DTCCT17	DTC転送回数レジスタ17	XXh	
06CCBh	DTRLD17	DTC転送回数リロードレジスタ17	XXh	
06CCCh	DTSAR17	DTCソースアドレスレジスタ17	XXXXh	
06CCDh				
06CCEh	DTDAR17	DTCデスティネーションアドレスレジスタ17	XXXXh	
06CCFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.16 SFR一覧(16)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06CD0h	DTCCR18	DTC制御レジスタ18	XXh	
06CD1h	DTBLS18	DTCブロックサイズレジスタ18	XXh	
06CD2h	DTCCT18	DTC転送回数レジスタ18	XXh	
06CD3h	DTRLD18	DTC転送回数リロードレジスタ18	XXh	
06CD4h	DTSAR18	DTCソースアドレスレジスタ18	XXXXh	
06CD5h				
06CD6h	DTDAR18	DTCデスティネーションアドレスレジスタ18	XXXXh	
06CD7h				
06CD8h	DTCCR19	DTC制御レジスタ19	XXh	
06CD9h	DTBLS19	DTCブロックサイズレジスタ19	XXh	
06CDAh	DTCCT19	DTC転送回数レジスタ19	XXh	
06CDBh	DTRLD19	DTC転送回数リロードレジスタ19	XXh	
06CDC	DTSAR19	DTCソースアドレスレジスタ19	XXXXh	
06CDDh				
06CDEh	DTDAR19	DTCデスティネーションアドレスレジスタ19	XXXXh	
06CDFh				
06CE0h	DTCCR20	DTC制御レジスタ20	XXh	
06CE1h	DTBLS20	DTCブロックサイズレジスタ20	XXh	
06CE2h	DTCCT20	DTC転送回数レジスタ20	XXh	
06CE3h	DTRLD20	DTC転送回数リロードレジスタ20	XXh	
06CE4h	DTSAR20	DTCソースアドレスレジスタ20	XXXXh	
06CE5h				
06CE6h	DTDAR20	DTCデスティネーションアドレスレジスタ20	XXXXh	
06CE7h				
06CE8h	DTCCR21	DTC制御レジスタ21	XXh	
06CE9h	DTBLS21	DTCブロックサイズレジスタ21	XXh	
06CEAh	DTCCT21	DTC転送回数レジスタ21	XXh	
06CEBh	DTRLD21	DTC転送回数リロードレジスタ21	XXh	
06CECh	DTSAR21	DTCソースアドレスレジスタ21	XXXXh	
06CEDh				
06CEEh	DTDAR21	DTCデスティネーションアドレスレジスタ21	XXXXh	
06CEFh				
06CF0h	DTCCR22	DTC制御レジスタ22	XXh	
06CF1h	DTBLS22	DTCブロックサイズレジスタ22	XXh	
06CF2h	DTCCT22	DTC転送回数レジスタ22	XXh	
06CF3h	DTRLD22	DTC転送回数リロードレジスタ22	XXh	
06CF4h	DTSAR22	DTCソースアドレスレジスタ22	XXXXh	
06CF5h				
06CF6h	DTDAR22	DTCデスティネーションアドレスレジスタ22	XXXXh	
06CF7h				
06CF8h	DTCCR23	DTC制御レジスタ23	XXh	
06CF9h	DTBLS23	DTCブロックサイズレジスタ23	XXh	
06CFAh	DTCCT23	DTC転送回数レジスタ23	XXh	
06CFBh	DTRLD23	DTC転送回数リロードレジスタ23	XXh	
06CFCh	DTSAR23	DTCソースアドレスレジスタ23	XXXXh	
06CFDh				
06CFEh	DTDAR23	DTCデスティネーションアドレスレジスタ23	XXXXh	
06CFFh				
06D00h				
~				
06FFFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.17 IDコード領域、オプション機能選択領域

アドレス	シンボル	領域名	リセット後の値	備考
0FFDBh	OFS2	オプション機能選択レジスタ2	(注1)	
0FFDFh	ID1		(注2)	
0FFE3h	ID2		(注2)	
0FFEBh	ID3		(注2)	
0FFEFh	ID4		(注2)	
0FFF3h	ID5		(注2)	
0FFF7h	ID6		(注2)	
0FFFBh	ID7		(注2)	
0FFFFh	OFS	オプション機能選択レジスタ	(注1)	

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

## 4. 電気的特性

## 4.1 絶対最大定格

表4.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V <sub>CC</sub> /AV <sub>CC</sub> ICEV <sub>CC</sub>	電源電圧		-0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧		-0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧		-0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力	-40    Topr    85	500	mW
T <sub>opr</sub>	動作周囲温度		-20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)	
T <sub>stg</sub>	保存温度		-65 ~ 150	

## 4.2 推奨動作条件

表4.2 推奨動作条件(1)

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
$V_{cc}/AV_{cc}$	電源電圧			1.8	—	5.5	V		
$V_{ss}/AV_{ss}$	電源電圧			—	0	—	V		
$V_{IH}$	H入力電圧	CMOS入力以外			$0.8V_{cc}$	—	$V_{cc}$	V	
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： $0.35V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	$0.5V_{cc}$	—	$V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	$0.55V_{cc}$	—	$V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	$0.65V_{cc}$	—	$V_{cc}$	V
				入力レベル選択： $0.5V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	$0.65V_{cc}$	—	$V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	$0.7V_{cc}$	—	$V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	$0.8V_{cc}$	—	$V_{cc}$	V
				入力レベル選択： $0.7V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	$0.85V_{cc}$	—	$V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	$0.85V_{cc}$	—	$V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	$0.85V_{cc}$	—	$V_{cc}$	V
外部クロック入力(XOUT)			1.2	—	$V_{cc}$	V			
$V_{IL}$	L入力電圧	CMOS入力以外			0	—	$0.2V_{cc}$	V	
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： $0.35V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	0	—	$0.2V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	0	—	$0.2V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	0	—	$0.2V_{cc}$	V
				入力レベル選択： $0.5V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	0	—	$0.4V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	0	—	$0.3V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	0	—	$0.2V_{cc}$	V
				入力レベル選択： $0.7V_{cc}$	$4.0\text{ V}$ $V_{cc} \leq 5.5\text{ V}$	0	—	$0.55V_{cc}$	V
					$2.7\text{ V}$ $V_{cc} < 4.0\text{ V}$	0	—	$0.45V_{cc}$	V
					$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$	0	—	$0.35V_{cc}$	V
外部クロック入力(XOUT)			0	—	0.4	V			
$I_{OH}(\text{sum})$	H尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和		—	—	-80	mA		
$I_{OH}(\text{sum})$	H平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和		—	—	-40	mA		
$I_{OH}(\text{peak})$	H尖頭出力電流	駆動能力Low時		—	—	-10	mA		
		駆動能力High時		—	—	-40	mA		
$I_{OH}(\text{avg})$	H平均出力電流	駆動能力Low時		—	—	-5	mA		
		駆動能力High時		—	—	-20	mA		
$I_{OL}(\text{sum})$	L尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和		—	—	80	mA		
$I_{OL}(\text{sum})$	L平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和		—	—	40	mA		
$I_{OL}(\text{peak})$	L尖頭出力電流	駆動能力Low時		—	—	10	mA		
		駆動能力High時		—	—	40	mA		
$I_{OL}(\text{avg})$	L平均出力電流	駆動能力Low時		—	—	5	mA		
		駆動能力High時		—	—	20	mA		
$f(\text{XIN})$	XINクロック入力発振周波数	$2.7\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$		—	—	5	MHz		
$f(\text{XCIN})$	XCINクロック入力発振周波数	$1.8\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		—	32.768	50	kHz		
$f(\text{HOCO})$	タイマRCのカウントソース	$2.7\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		32	—	40	MHz		
$f(\text{HOCO-F})$	fHOCO-F周波数	$2.7\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$		—	—	5	MHz		
—	システムクロック周波数	$2.7\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$		—	—	5	MHz		
$f(\text{BCLK})$	CPUクロック周波数	$2.7\text{ V}$ $V_{cc} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V}$ $V_{cc} < 2.7\text{ V}$		—	—	5	MHz		

注1. 平均出力電流は100 msの期間内での平均値です。

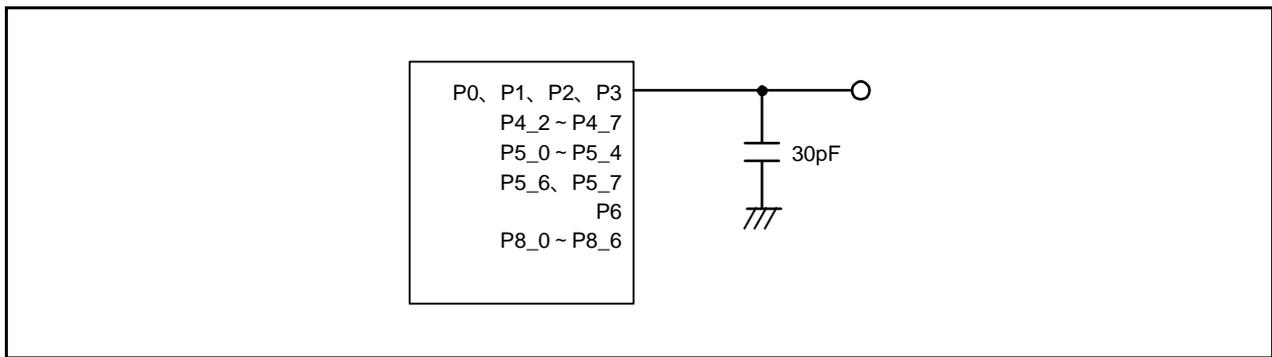


図4.1 ポートP0 ~ P3、P4\_2 ~ P4\_7、P5\_0 ~ P5\_4、P5\_6、P5\_7、P6、P8\_0 ~ P8\_6のタイミング測定回路

## 4.3 周辺機能の特性

表4.3 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.2\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	$V_{REF} = AV_{CC}$	—	—	10	Bit	
—	絶対精度	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 3$	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 5$	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 5$	LSB
			$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 5$	LSB
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 2$	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 2$	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 2$	LSB
			$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0 ~ AN11入力	—	—	$\pm 2$	LSB
$\phi AD$	A/D変換クロック	4.0 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	20	MHz	
		3.2 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	16	MHz	
		2.7 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	10	MHz	
		2.2 V $V_{REF} = AV_{CC}$ 5.5 V (注1)	2	—	5	MHz	
—	許容信号源インピーダンス		—	3	—	k $\Omega$	
$I_{VREF}$	$V_{REF}$ 電流	$V_{CC} = 5\text{ V}$ 、 $XIN = f1 = fAD = 20\text{ MHz}$	—	45	—	$\mu\text{A}$	
$t_{CONV}$	変換時間	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	$\mu\text{s}$
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	$\mu\text{s}$
$t_{SAMP}$	サンプリング時間	$\phi AD = 20\text{ MHz}$	0.8	—	—	$\mu\text{s}$	
$V_{REF}$	基準電圧		2.2	—	$AV_{CC}$	V	
$V_{IA}$	アナログ入力電圧(注2)		0	—	$V_{REF}$	V	
OCVREF	チップ内蔵基準電圧	2MHz $\phi AD$ 4MHz	1.19	1.34	1.49	V	

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定となります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表4.4 コンパレータBの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = 2.2\text{ V} \sim 5.5\text{ V}$ 、 $T_{OPR} = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{REF}$	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
$V_I$	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
$t_d$	コンパレータ出力遅延時間(注1)	$V_I = V_{REF} \pm 100\text{ mV}$	—	0.1	—	$\mu\text{s}$
$I_{CMP}$	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	17.5	—	$\mu\text{A}$

注1. デジタルフィルタ非選択時。

表4.5 フラッシュメモリ(プログラムROM)の特性  
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 ~ 85 (Nバージョン)/  
-40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		1,000(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 100回)		—	—	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	—	—	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 100回)	Topr = 25、 Vcc = 5.0 V	—	100	200	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 100回)		—	100	400	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 1,000回)		—	100	650	μs
—	ブロックイレーズ時間		—	0.3	4	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間		—	—	5 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nver) -40 (Dver)	—	85	
—	データ保持時間(注6)	周囲温度 = 55 (注7)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. 周囲温度85 の環境下での7,000時間を含みます。

表4.6 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性  
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、T<sub>opr</sub> = -20 ~ 85 (Nバージョン)/  
-40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)		—	0.3	1	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間		—	—	3 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nver) -40 (Dver)	—	85	
—	データ保持時間(注6)	周囲温度 = 55 (注7)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. 周囲温度85 の環境下での7,000時間を含みます。

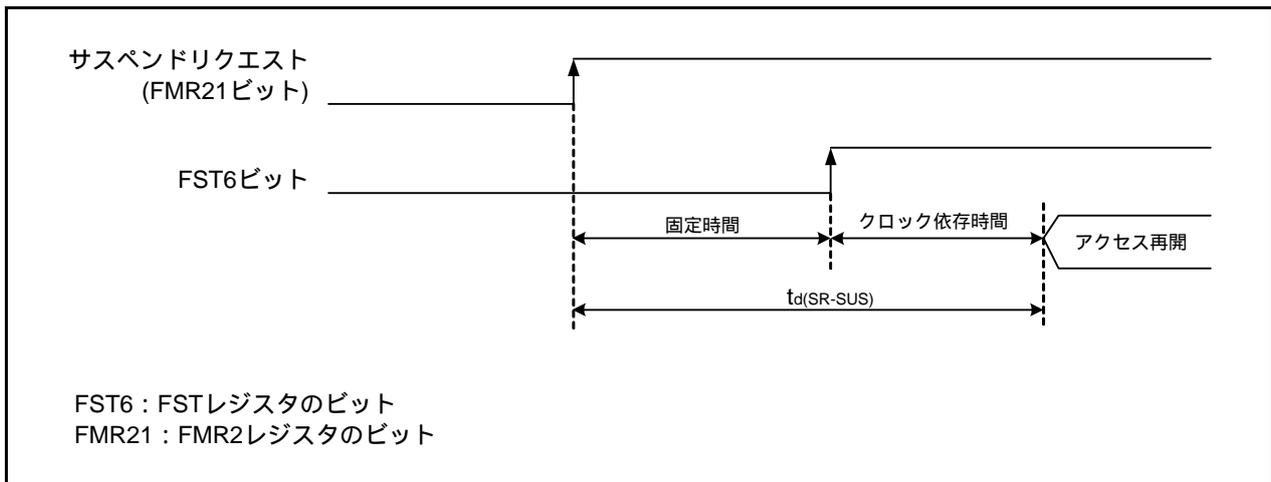


図4.2 サスペンドへの遷移時間

表4.7 電圧検出0回路の特性

(測定条件は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注1)	Vcc立ち下がり時	1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注1)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet0_2 (注1)	Vcc立ち下がり時	2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注1)	Vcc立ち下がり時	3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注2)	$V_{CC} = 5\text{ V}$ ( $V_{det0} - 0.1\text{ V}$ )	—	6	150	$\mu\text{s}$
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.5	—	$\mu\text{A}$
t <sub>d</sub> (E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	$\mu\text{s}$

注1. 電圧検出レベルはOFSレジスタのVDSEL0、VDSEL1ビットで選択してください。

注2. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注3. VCA2レジスタのVCA25ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.8 電圧検出1回路の特性

(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注1)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注1)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注1)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3(注1)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注1)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注1)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注1)	Vcc立ち下がり時	2.80	3.10	3.40	V
	電圧検出レベルVdet1_7 (注1)	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8 (注1)	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9 (注1)	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A (注1)	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B (注1)	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C (注1)	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D (注1)	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E (注1)	Vcc立ち下がり時	4.00	4.30	4.60	V
	電圧検出レベルVdet1_F (注1)	Vcc立ち下がり時	4.15	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス	Vdet1_0 ~ Vdet1_5選択時	—	0.07	—	V
		Vdet1_6 ~ Vdet1_F選択時	—	0.10	—	V
—	電圧検出1回路反応時間 (注2)	$V_{cc} = 5\text{ V}$ ( $V_{det1} - 0.1$ ) V	—	60	150	$\mu\text{s}$
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	$\mu\text{A}$
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	$\mu\text{s}$

注1. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.9 電圧検出2回路の特性

(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス		—	0.1	—	$\mu\text{s}$
—	電圧検出2回路反応時間 (注1)	$V_{cc} = 5\text{ V}$ ( $V_{det2\_0} - 0.1$ ) V	—	20	150	$\mu\text{s}$
—	電圧検出回路の自己消費電流	VCA27 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	$\mu\text{A}$
td(E-A)	電圧検出回路動作開始までの待ち時間 (注2)		—	—	100	$\mu\text{s}$

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表4.10 パワーオンリセット回路の特性(注1)  
 (測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 ~ 85 (Nバージョン)/  
 -40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして電圧監視0リセットを有効にしてください。

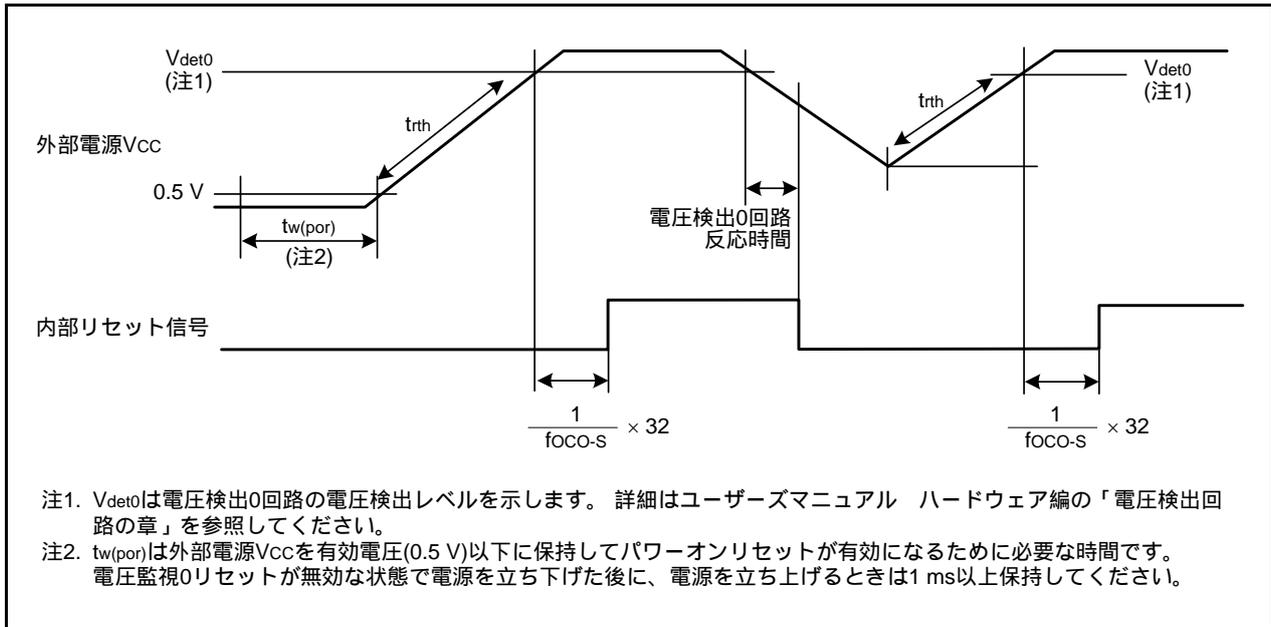


図4.3 パワーオンリセット回路の特性

表4.11 高速オンチップオシレータ発振回路の特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 1.8 V ~ 5.5 V、 -20 Topr 85	—	40	—	MHz
	FRA2レジスタのFRA25、FRA24ビットに01bまたは10bを書き込んだときの高速オンチップオシレータ発振周波数(注1)	(Nバージョン) -40 Topr 85 (Dバージョン)	—	36.864	—	MHz
	FRA2レジスタのFRA25、FRA24ビットに10bを書き込んだときの高速オンチップオシレータ発振周波数		—	32	—	MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)		-1.5	—	1.5	%
—	発振安定時間	Vcc = 5.0 V、Topr = 25	—	250	—	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25	—	500	—	μA

注1. シリアルインタフェースをUARTモードで使用時、9600bps、38400bpsなどのビットレートの設定誤差を0%にすることができます。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

表4.12 低速オンチップオシレータ発振回路の特性  
 (測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	30	100	$\mu\text{s}$
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	3	—	$\mu\text{A}$

表4.13 電源回路の特性  
 (測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(\text{P-R})$	電源投入時の内部電源安定時間 (注1)		—	—	2,000	$\mu\text{s}$

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

## 4.4 DC特性

表4.14 DC特性(1) [ 4.2 V  $V_{cc}$  5.5 V ]  
 (測定条件は  $V_{cc} = 1.8 \text{ V} \sim 5.5 \text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -20 \text{ mA}$	$V_{cc} - 2.0$	—	$V_{cc}$	V
			駆動能力Low	$I_{OH} = -5 \text{ mA}$	$V_{cc} - 2.0$	—	$V_{cc}$	V
				$I_{OH} = -200 \mu\text{A}$	$V_{cc} - 0.3$	—	$V_{cc}$	V
		XOUT	$I_{OH} = -200 \mu\text{A}$	1.0	—	$V_{cc}$	V	
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 20 \text{ mA}$	—	—	2.0	V
			駆動能力Low	$I_{OL} = 5 \text{ mA}$	—	—	2.0	V
				$I_{OL} = 200 \mu\text{A}$	—	—	0.45	V
		XOUT	$I_{OL} = 200 \mu\text{A}$	—	—	0.5	V	
VT+~VT-	ヒステリシス	INT0 ~ INT4、K10 ~ K13、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.1	1.2	—	V
		RESET	$V_{cc} = 5.0 \text{ V}$		0.1	1.2	—	V
I <sub>IH</sub>	H入力電流		$V_i = 5.0 \text{ V}$		—	—	1.0	$\mu\text{A}$
I <sub>IL</sub>	L入力電流		$V_i = 0 \text{ V}$		—	—	-1.0	$\mu\text{A}$
R <sub>PULLUP</sub>	プルアップ抵抗		$V_i = 0 \text{ V}$		25	50	100	k $\Omega$
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			—	0.3	—	M $\Omega$
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			—	8	—	M $\Omega$
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8	—	—	V

表4.15 DC特性(2) [ 3.3 V Vcc 5.5 V ]  
(指定のない場合は、Topr = -20 ~ 85 (Nバージョン)/-40 ~ 85 (Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	20 MHz	停止	停止	125 kHz	分周なし	—	—	6.5	15	mA	
			16 MHz	停止	停止	125 kHz	分周なし	—	—	5.3	12.5	mA	
			10 MHz	停止	停止	125 kHz	分周なし	—	—	3.6	—	mA	
			20 MHz	停止	停止	125 kHz	8分周	—	—	3.0	—	mA	
			16 MHz	停止	停止	125 kHz	8分周	—	—	2.2	—	mA	
			10 MHz	停止	停止	125 kHz	8分周	—	—	1.5	—	mA	
	高速オンチップ オシレータモード	停止	停止	20 MHz(注3)	125 kHz	分周なし	—	—	7.0	15	mA		
		停止	停止	20 MHz(注3)	125 kHz	8分周	—	—	3.0	—	mA		
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	1	—	mA		
	低速オンチップ オシレータモード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	90	400	μA		
	低速 クロックモード	停止	32 kHz	停止	停止	—	FMR27 = 1 SVC0 = 0	—	85	400	μA		
		停止	32 kHz	停止	停止	—	FMSTP = 1 SVC0 = 0	RAM上のプログラム動作 フラッシュメモリ停止時	—	47	—	μA	
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	100	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	90	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25 周辺クロック停止	—	2.2	6.0	μA	
		停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85 周辺クロック停止	—	30	—	μA	

注1. Vcc = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表4.16 DC特性(3) [ 2.7 V  $V_{CC} < 4.2$  V ]  
 (測定条件は、 $V_{CC} = 1.8$  V ~ 5.5 V、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -5$ mA	$V_{CC} - 0.5$	—	$V_{CC}$	V
			駆動能力Low	$I_{OH} = -1$ mA	$V_{CC} - 0.5$	—	$V_{CC}$	V
		XOUT		$I_{OH} = -200$ $\mu$ A	1.0	—	$V_{CC}$	V
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 5$ mA	—	—	0.5	V
			駆動能力Low	$I_{OL} = 1$ mA	—	—	0.5	V
		XOUT		$I_{OL} = 200$ $\mu$ A	—	—	0.5	V
VT+VT-	ヒステリシス	INT0 ~ INT4、KI0 ~ KI3、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.1	0.4	—	V
		RESET	$V_{CC} = 3.0$ V		0.1	0.5	—	V
I <sub>IH</sub>	H入力電流			$V_i = 3.0$ V	—	—	1.0	$\mu$ A
I <sub>IL</sub>	L入力電流			$V_i = 0$ V	—	—	-1.0	$\mu$ A
R <sub>PULLUP</sub>	プルアップ抵抗			$V_i = 0$ V	42	84	168	k $\Omega$
R <sub>IXIN</sub>	帰還抵抗	XIN			—	0.3	—	M $\Omega$
R <sub>IXCIN</sub>	帰還抵抗	XCIN			—	8	—	M $\Omega$
V <sub>RAM</sub>	RAM保持電圧			ストップモード時	1.8	—	—	V

表4.17 DC特性(4) [ 2.7 V  $V_{cc} < 3.3$  V ]  
 (指定のない場合は、 $T_{opr} = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
I <sub>cc</sub>	電源 電流 (注1)	高速 クロックモード	10 MHz	停止	停止	125 kHz	分周なし	—	—	3.5	10	mA	
			10 MHz	停止	停止	125 kHz	8分周	—	—	1.5	7.5	mA	
	高速オンチップ オシレータモード	停止	停止	20 MHz(注3)	125 kHz	分周なし	—	—	—	7.0	15	mA	
		停止	停止	20 MHz(注3)	125 kHz	8分周	—	—	—	3.0	—	mA	
		停止	停止	10 MHz(注3)	125 kHz	分周なし	—	—	—	4.0	—	mA	
		停止	停止	10 MHz(注3)	125 kHz	8分周	—	—	—	1.5	—	mA	
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	—	1	—	mA	
		停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	—	90	390	μA	
	低速オンチップ オシレータモード	停止	32 kHz	停止	停止	分周なし	FMR27 = 1 SVC0 = 0	—	—	80	400	μA	
		停止	32 kHz	停止	停止	分周なし	FMSTP = 1 SVC0 = 0	RAM上のプログラム動作 フラッシュメモリ停止時	—	40	—	μA	
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	90	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	80	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 25$ 周辺クロック停止	—	2.2	6.0	μA	
停止		停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	$T_{opr} = 85$ 周辺クロック停止	—	30	—	μA		

注1.  $V_{cc} = 2.7$  V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はV<sub>ss</sub>。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表4.18 DC特性(5) [ 1.8 V  $V_{CC} < 2.7$  V ]  
 (測定条件は、 $V_{CC} = 1.8$  V ~ 5.5 V、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -2$ mA	$V_{CC} - 0.5$	—	$V_{CC}$	V
			駆動能力Low	$I_{OH} = -1$ mA	$V_{CC} - 0.5$	—	$V_{CC}$	V
		XOUT		$I_{OH} = -200$ $\mu$ A	1.0	—	$V_{CC}$	V
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 2$ mA	—	—	0.5	V
			駆動能力Low	$I_{OL} = 1$ mA	—	—	0.5	V
		XOUT		$I_{OL} = 200$ $\mu$ A	—	—	0.5	V
VT+VT-	ヒステリシス	INT0 ~ INT4、KI0 ~ KI3、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.05	0.2	—	V
		RESET	$V_{CC} = 2.2$ V		0.05	0.2	—	V
I <sub>IH</sub>	H入力電流			$V_i = 2.2$ V	—	—	1.0	$\mu$ A
I <sub>IL</sub>	L入力電流			$V_i = 0$ V	—	—	-1.0	$\mu$ A
R <sub>PULLUP</sub>	プルアップ抵抗			$V_i = 0$ V	100	200	400	k $\Omega$
R <sub>IXIN</sub>	帰還抵抗	XIN			—	0.3	—	M $\Omega$
R <sub>IXCIN</sub>	帰還抵抗	XCIN			—	8	—	M $\Omega$
V <sub>RAM</sub>	RAM保持電圧			ストップモード時	1.8	—	—	V

表4.19 DC特性(6) [ 1.8 V  $V_{cc} < 2.7$  V ]  
 (指定のない場合は、 $Topr = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
I <sub>cc</sub>	電源電流(注1)	高速クロックモード	5 MHz	停止	停止	125 kHz	分周なし	—	—	2.2	—	mA	
			5 MHz	停止	停止	125 kHz	8分周	—	—	0.8	—	mA	
	高速オンチップオシレータモード	停止	停止	5 MHz(注3)	125 kHz	分周なし	—	—	2.5	10	mA		
		停止	停止	5 MHz(注3)	125 kHz	8分周	—	—	1.7	—	mA		
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	1	—	mA		
		停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	90	300	μA		
	低速オンチップオシレータモード	停止	32 kHz	停止	停止	分周なし	FMR27 = 1 SVC0 = 0	—	80	350	μA		
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	90	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	80	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25 周辺クロック停止	—	2.2	6	μA	
		停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85 周辺クロック停止	—	30	—	μA	

注1.  $V_{cc} = 1.8$  V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子は $V_{ss}$ 。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

## 4.5 AC特性

表4.20 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(マスタ動作時)  
 (測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 ~ 85 (Nバージョン)/  
 -40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間	2.7 V Vcc 5.5 V	—	—	0.50	tCYC (注1)
		1.8 V Vcc < 2.7 V	—	—	1.00	tCYC (注1)
tFALL	SSCKクロック立ち下がり時間	2.7 V Vcc 5.5 V	—	—	0.50	tCYC (注1)
		1.8 V Vcc < 2.7 V	—	—	1.00	tCYC (注1)
tSU	SSI、SSOデータ入力セットアップ時間	4.5 V Vcc 5.5 V	60	—	—	ns
		2.7 V Vcc < 4.5 V	70	—	—	ns
		1.8 V Vcc < 2.7 V	100	—	—	ns
tH	SSI、SSOデータ入力ホールド時間	2.7 V Vcc 5.5 V	2.00	—	—	tCYC (注1)
		1.8 V Vcc < 2.7 V	2.00	—	—	tCYC (注1)
tLEAD	SCS - SCK出力遅延時間		0.5 tSUCYC - 1 tCYC	—	—	ns
tLAG	SCK - SCS出力有効時間		0.5 tSUCYC - 1 tCYC	—	—	ns
tOD	SSOデータ出力遅延時間	2.7 V Vcc 5.5 V	—	—	30.00	ns
		1.8 V Vcc < 2.7 V	—	—	1.00	tCYC (注1)

注1. 1tCYC = 1/f1 (s)

表4.21 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(スレーブ動作時)  
(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
 $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間		—	—	1.00	$\mu\text{s}$
tFALL	SSCKクロック立ち下がり時間		—	—	1.00	$\mu\text{s}$
tSU	SSOデータ入力セットアップ時間		10.00	—	—	ns
tH	SSOデータ入力ホールド時間		2.00	—	—	tCYC (注1)
tLEAD	SCSセットアップ時間		$1t_{CYC} + 50$	—	—	ns
tLAG	SCSホールド時間		$1t_{CYC} + 50$	—	—	ns
tOD	SSI、SSOデータ出力遅延時間	4.5 V $V_{cc} = 5.5\text{ V}$	—	—	60	ns
		2.7 V $V_{cc} < 4.5\text{ V}$	—	—	70	ns
		1.8 V $V_{cc} < 2.7\text{ V}$	—	—	100.00	ns
tSA	SSIスレーブアクセス時間	2.7 V $V_{cc} = 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns
		1.8 V $V_{cc} < 2.7\text{ V}$	—	—	$1.5t_{CYC} + 200$	ns
tOR	SSIスレーブアウト開放時間	2.7 V $V_{cc} = 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns
		1.8 V $V_{cc} < 2.7\text{ V}$	—	—	$1.5t_{CYC} + 200$	ns

注1.  $1t_{CYC} = 1/f_1$  (s)

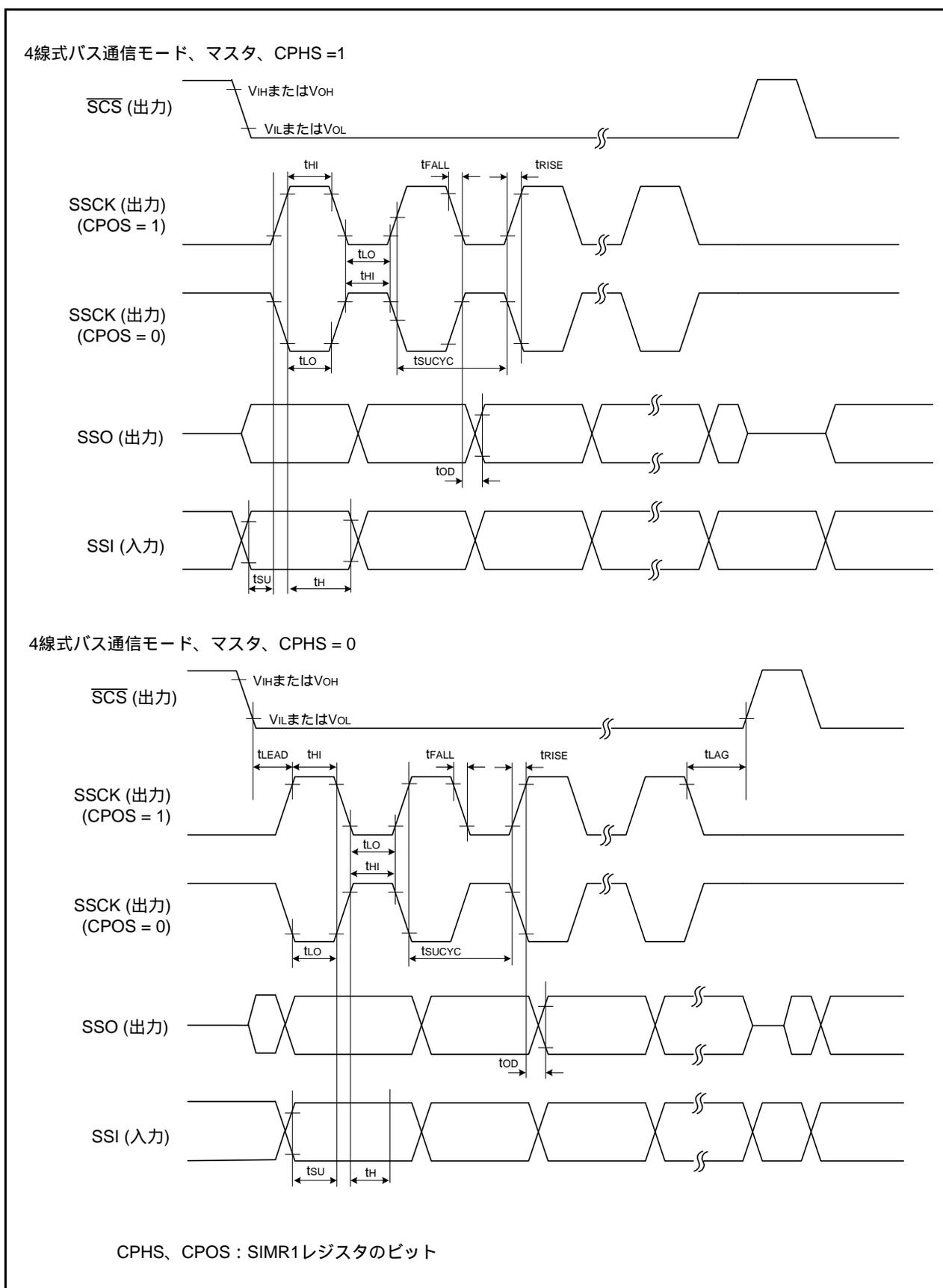


図4.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

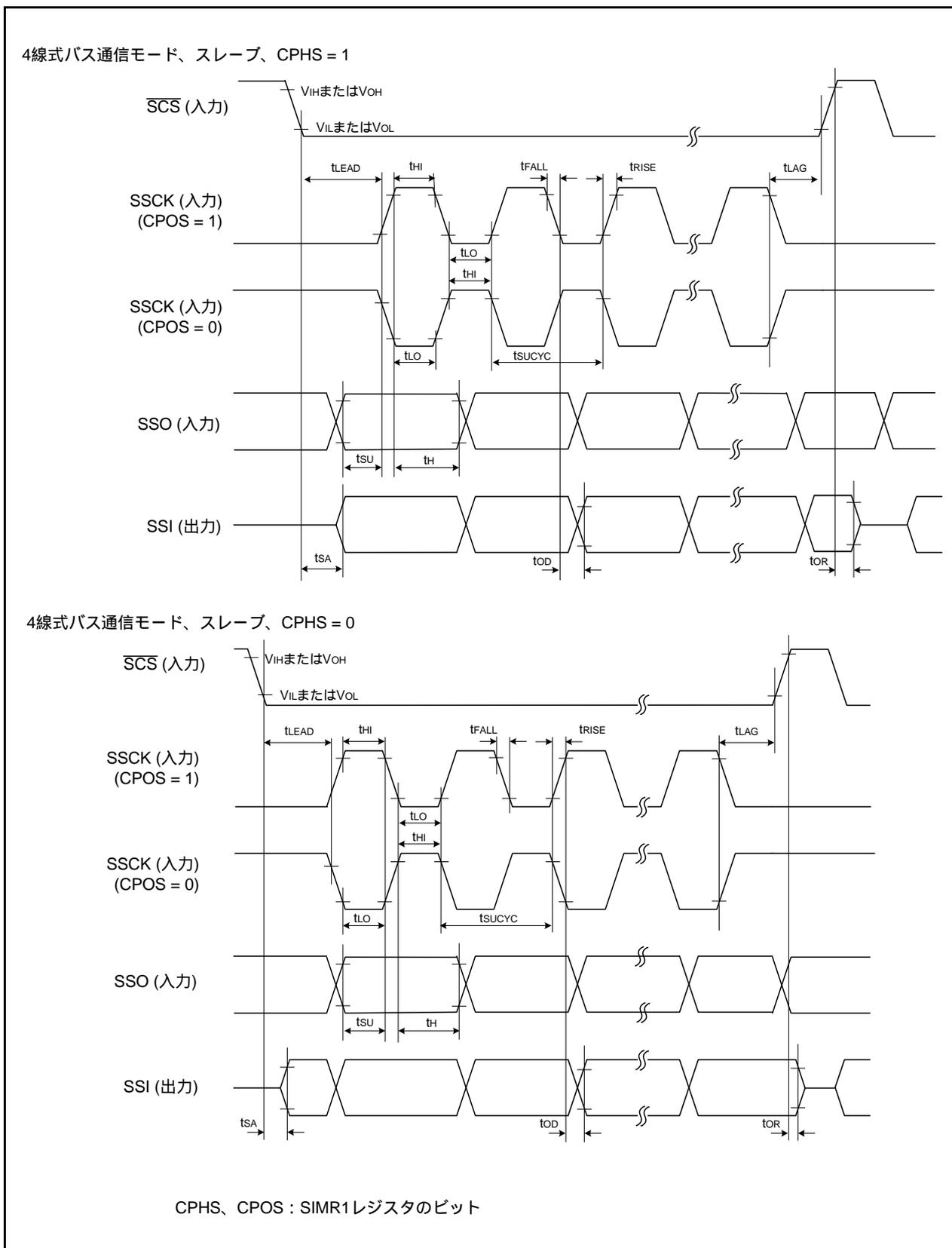


図4.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

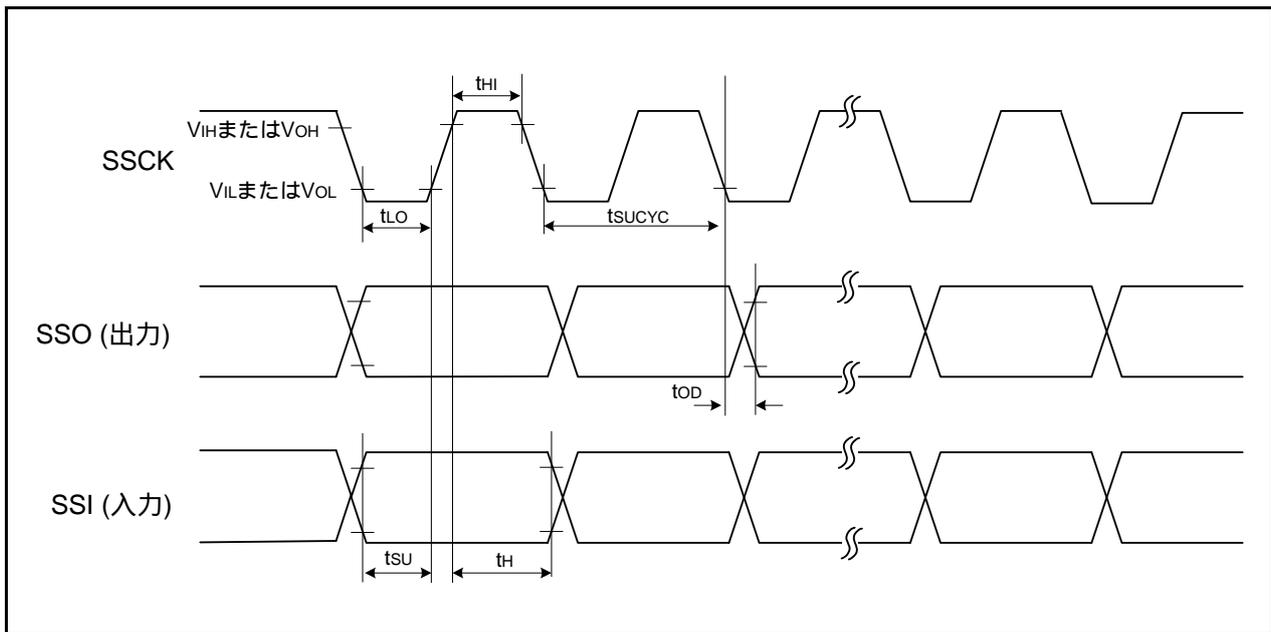


図4.6 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表4.22 外部クロック入力(XOUT、XCIN)のタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25		Vcc = 3 V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	最小	最大	
t <sub>c</sub> (XOUT)	XOUT入力サイクル時間	200	—	50	—	50	—	ns
t <sub>WH</sub> (XOUT)	XOUT入力Hパルス幅	90	—	24	—	24	—	ns
t <sub>WL</sub> (XOUT)	XOUT入力Lパルス幅	90	—	24	—	24	—	ns
t <sub>c</sub> (XCIN)	XCIN入力サイクル時間	14	—	14	—	14	—	μs
t <sub>WH</sub> (XCIN)	XCIN入力Hパルス幅	7	—	7	—	7	—	μs
t <sub>WL</sub> (XCIN)	XCIN入力Lパルス幅	7	—	7	—	7	—	μs

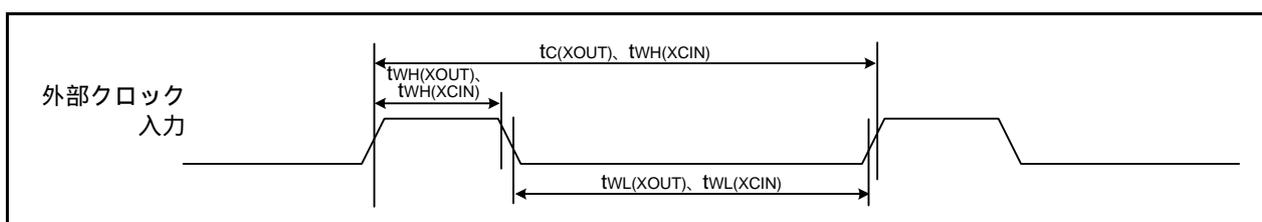


図4.7 外部クロック入力タイミング

表4.23 TRJIOのタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25		Vcc = 3 V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	最小	最大	
t <sub>c</sub> (TRJIO)	TRJIO入力サイクル時間	500	—	300	—	100	—	ns
t <sub>WH</sub> (TRJIO)	TRJIO入力Hパルス幅	200	—	120	—	40	—	ns
t <sub>WL</sub> (TRJIO)	TRJIO入力Lパルス幅	200	—	120	—	40	—	ns

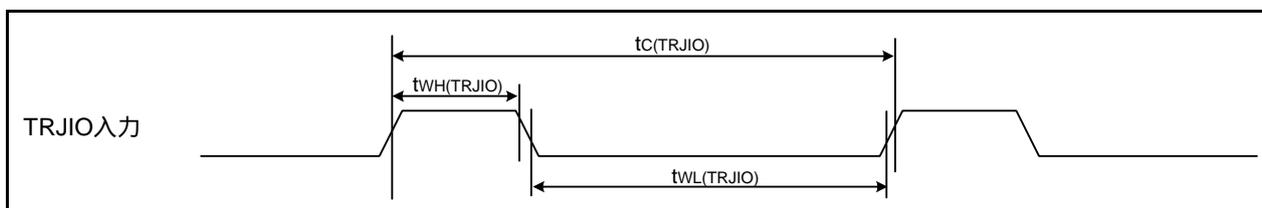


図4.8 TRJIOの入力タイミング

表4.24 シリアルインタフェースのタイミング条件  
(転送クロックを内部クロック選択時(マスタ通信))

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	最小	最大	
t <sub>d</sub> (C-Q)	TXDi出力遅延時間	—	200	—	30	—	10	ns
t <sub>su</sub> (D-C)	RXDi入力セットアップ時間 (注1)	150	—	120	—	90	—	ns
t <sub>h</sub> (C-D)	RXDi入力ホールド時間	90	—	90	—	90	—	ns

i = 0、1

注1. 外部端子負荷条件CL = 30pF

表4.25 シリアルインタフェースのタイミング条件  
(転送クロックを外部クロック選択時(スレーブ通信))

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	最小	最大	
t <sub>c</sub> (CK)	CLKi入力サイクル時間	800	—	300	—	200	—	ns
t <sub>w</sub> (CKH)	CLKi入力Hパルス幅	400	—	150	—	100	—	ns
t <sub>w</sub> (CKL)	CLKi入力Lパルス幅	400	—	150	—	100	—	ns
t <sub>d</sub> (C-Q)	TXDi出力遅延時間	—	200	—	120	—	90	ns
t <sub>su</sub> (D-C)	RXDi入力セットアップ時間	150	—	30	—	10	—	ns
t <sub>h</sub> (C-D)	RXDi入力ホールド時間	90	—	90	—	90	—	ns

i = 0、1

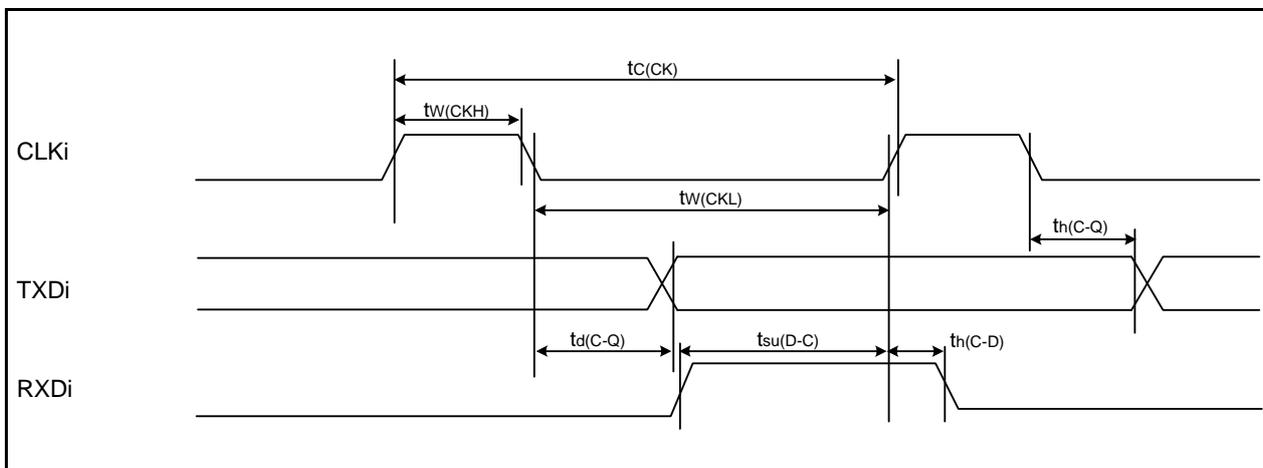


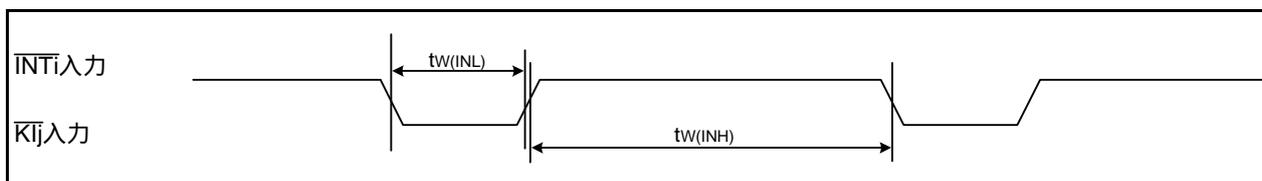
図4.9 シリアルインタフェースの入出力タイミング(i = 0、1)

表4.26 外部割り込み $\overline{\text{INT}}_i$ 入力 ( $i = 0 \sim 4$ )、キー入力割り込み $\overline{\text{KIJ}}_j$  ( $j = 0 \sim 3$ )のタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25		Vcc = 3V、Topr = 25		Vcc = 5 V、Topr = 25		
		最小	最大	最小	最大	最小	最大	
$t_{W(\text{INH})}$	$\overline{\text{INT}}_i$ 入力Hパルス幅、 $\overline{\text{KIJ}}_j$ 入力Hパルス幅	1000 (注1)	—	380 (注1)	—	250 (注1)	—	ns
$t_{W(\text{INL})}$	$\overline{\text{INT}}_i$ 入力Lパルス幅、 $\overline{\text{KIJ}}_j$ 入力Lパルス幅	1000 (注2)	—	380 (注2)	—	250 (注2)	—	ns

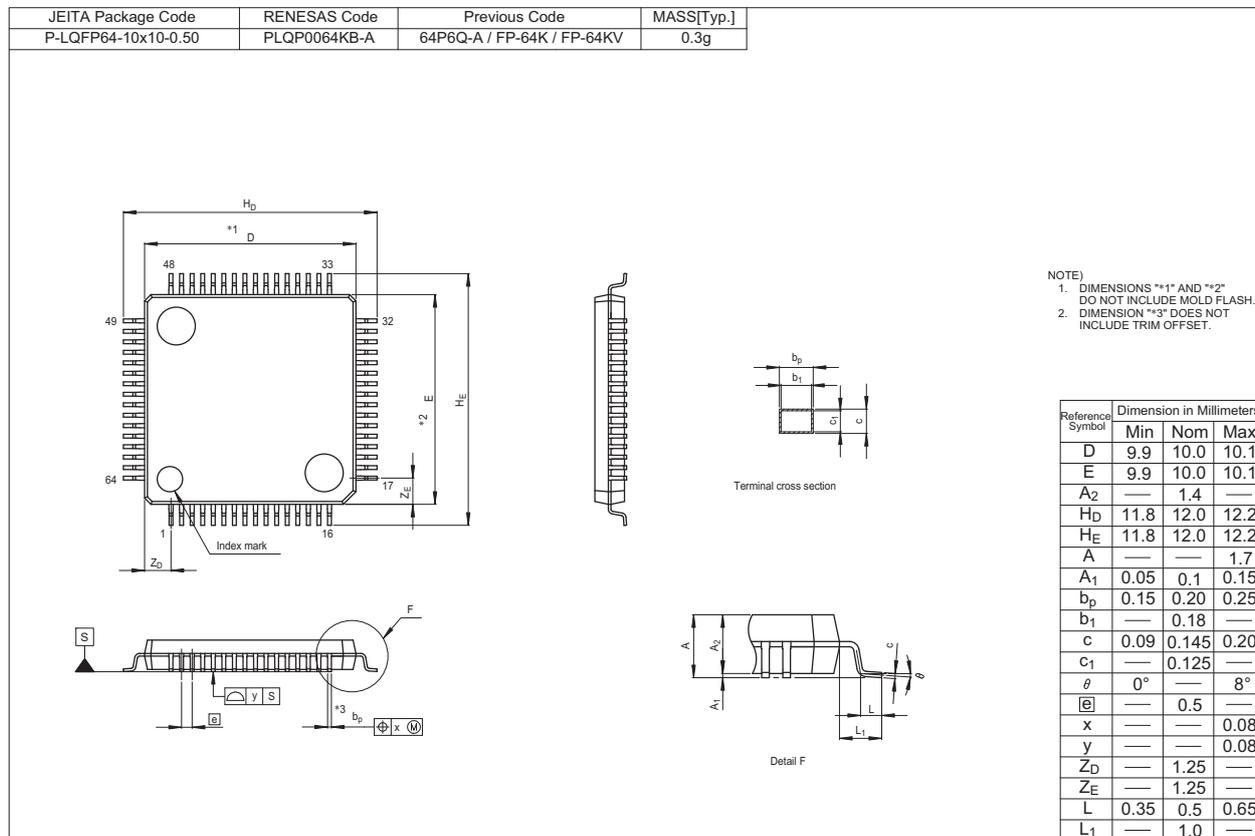
注1.  $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{\text{INT}}_i$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$ 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図4.10 外部割り込み $\overline{\text{INT}}_i$ およびキー入力割り込み $\overline{\text{KIJ}}_j$ の入力タイミング ( $i = 0 \sim 4$ 、 $j = 0 \sim 3$ )

### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。





## 改訂記録

## R8C/36T-Aグループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2011.02.23	—	初版発行
1.00	2011.12.09	全ページ	「暫定版」、「開発中」削除、 「センサーコントロールユニット」「タッチセンサコントロールユニット」
		3	表1.2 変更
		6	図1.3 「P3_10/CH10」「P3_1/CH10」
		11	表1.8 「タッチセンサコントロールユニット(TSCU)」追記
		16、17、 19～22、 24～28	表3.1、表3.2、表3.4～表3.7、表3.9～表3.13 変更
		32	表3.17 変更、注2 追記
		34～56	「4. 電気的特性」追記

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社その総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>