

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

M306V8グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、116ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、OSDやデータスライサを内蔵しており、クローズドキャプション機能やID1機能付TVの制御に適したシングルチップマイクロコンピュータです。

応用

TV

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。

また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

目 次	
概要	1
中央演算処理装置	9
リセット	22
プロセッサモード	28
クロック発生回路	50
プロテクト	67
割り込み	68
ウォッチドッグタイマ	88
DMAC	90
タイマ	100
シリアルI/O	119
A/Dコンバータ	150
マルチマスタI ² C-BUSインタフェース	166
データスライサ	185
HSYNCカウンタ	198
OSD機能	199
プログラマブル入出力ポート	255
電気的特性	291
フラッシュメモリ版	313
使用上の注意事項	343
パッケージ	355

性能概要

表1.1に性能概要を示します。

表1.1. 性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns(f(BCLK)=16MHz)
メモリ容量	ROM RAM	(ROM/RAM展開の図を参照してください) (ROM/RAM展開の図を参照してください)
入出力ポート	P0~P10	75本
多機能タイマ	TA0、TA1、TA2、TA3、TA4	出力系16ビット×5
	TB0、TB1、TB2、TB3、TB4、TB5	入力系16ビット×6
シリアルI/O	UART0、UART1、UART2	(UART、クロック同期形シリアルI/O、IEBus(注2))×3
A/Dコンバータ		8ビット×13チャンネル
データスライサ		2回路
HSYNCカウンタ		1回路 2系統
OSD機能		1回路
マルチマスタI ² C busインタフェース(注1)		3回路 4系統
DMAC		2チャンネル (スタート条件: 29要因)
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)
割り込み		内部31要因、外部5要因、ソフトウェア4要因、7レベル
クロック発生回路		3回路 ・メインクロック発振回路 ・サブクロック発振回路 上記2回路には、帰還抵抗内蔵、セラミック共振子または水晶発振子外付け ・OSDクロック
電源電圧		3.3±5%
フラッシュメモリ版	プログラム、イレーズ電圧	3.3±5%
	プログラム、イレーズ回数	100回
消費電流		500mW
入出力特性	入出力耐電圧	3.3V
	出力電流	5mA
メモリ拡張		可能(4Mバイトの拡張)
動作周囲温度		- 20 ~ 70
素子構造		CMOS高性能シリコンゲート
パッケージ		116ピンプラスチックモールドQFP

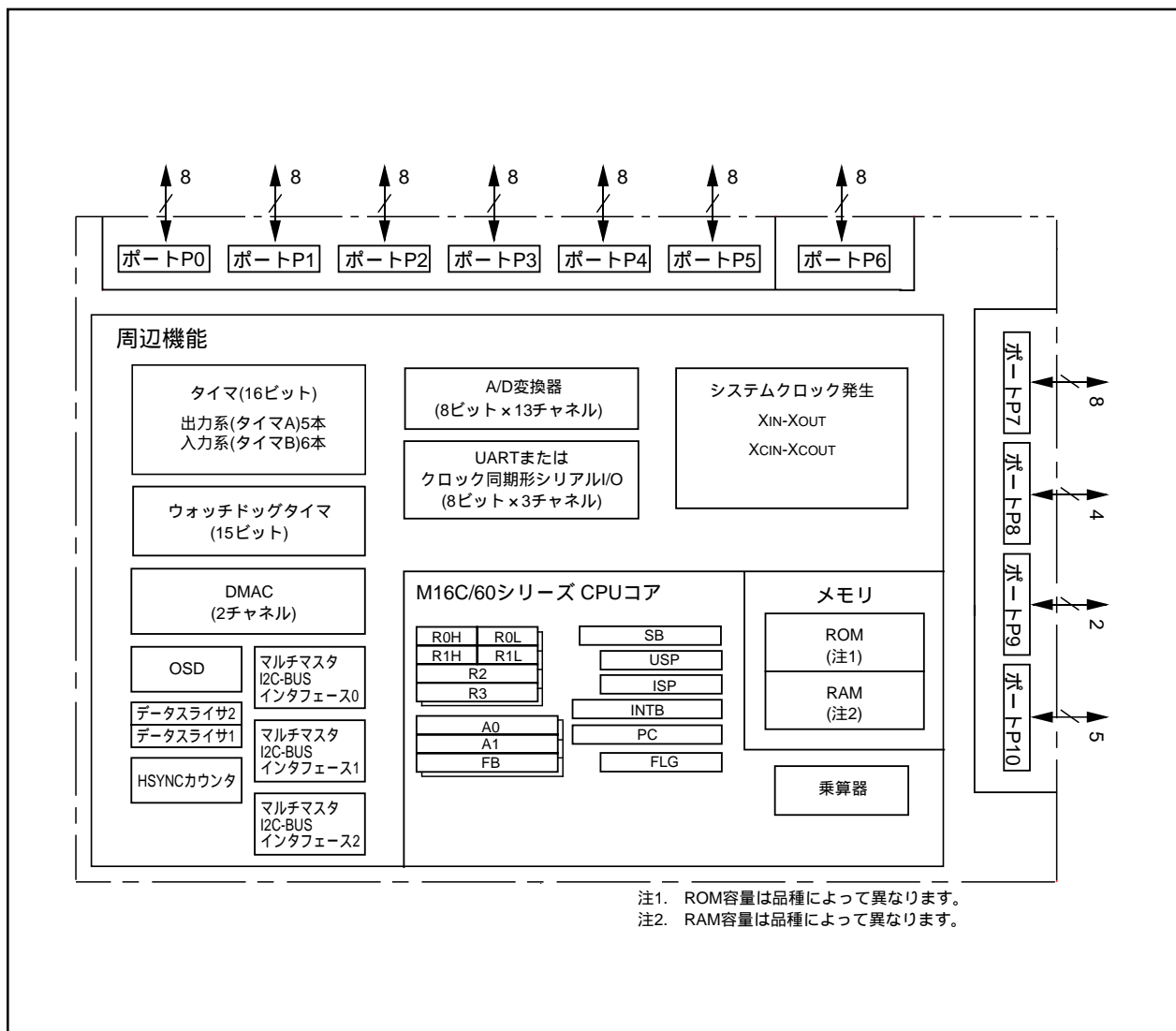
注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の商標です。

オプション機能をご使用になる場合は、その旨ご指定ください。

ブロック図

図1.1にブロック図を示します。



注1. ROM容量は品種によって異なります。
 注2. RAM容量は品種によって異なります。

製品一覧

表1.2に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.2. 製品一覧表(1)

型名	ROM容量	RAM容量	パッケージ	備考
M306V8FJFP	512Kバイト	16Kバイト	116P6A-A	フラッシュメモリ版

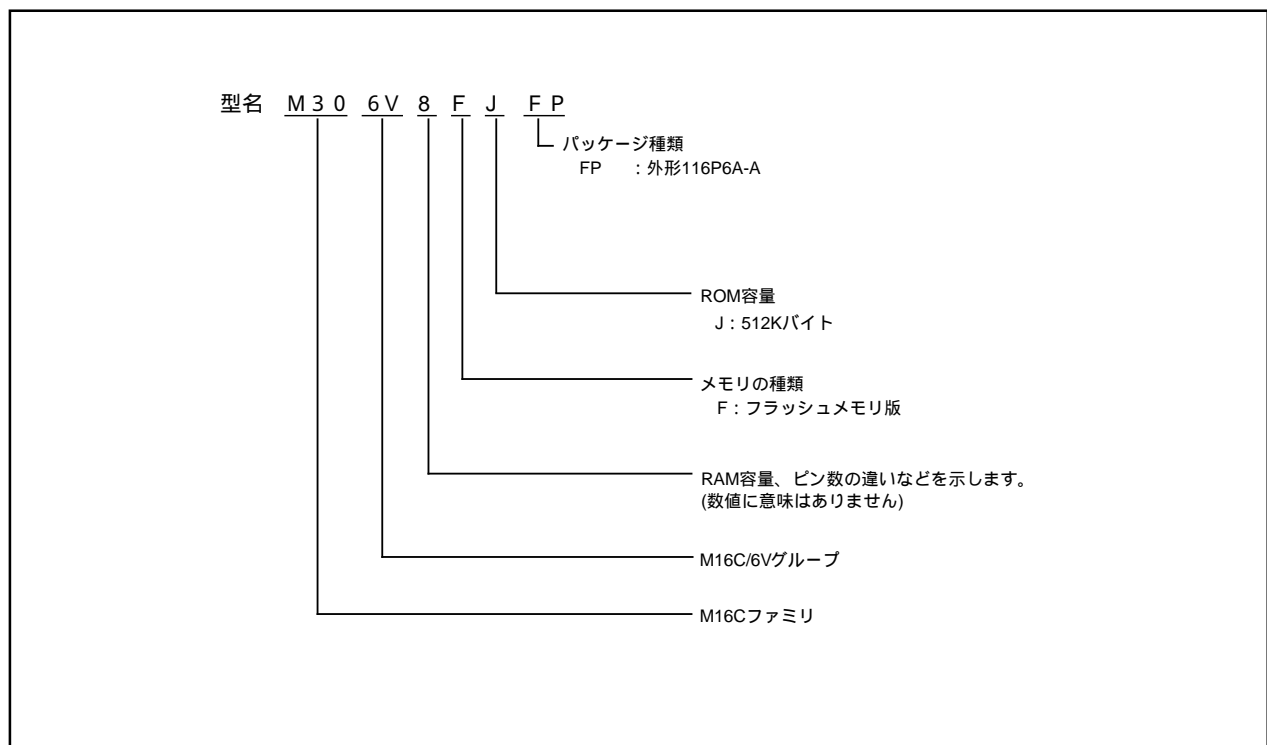


図1.2. 型名とメモリサイズ・パッケージ

ピン接続図

図1.3にピン接続図（上面図）を示します。

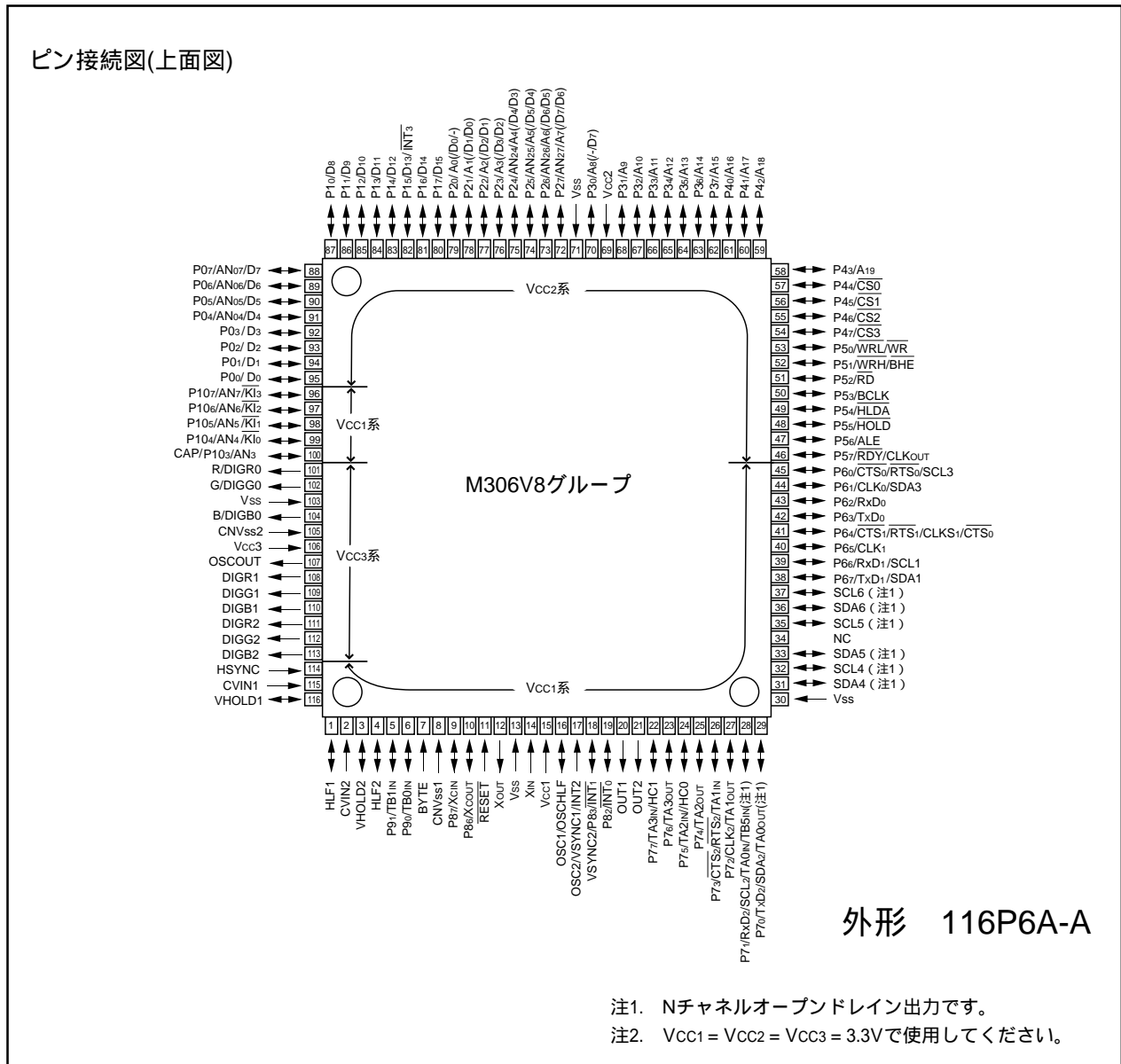


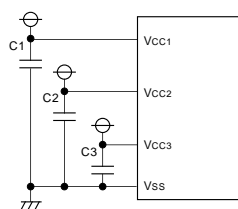
図1.3. ピン接続図（上面図）

表1.3. 端子の機能説明(1)

端子名	名称	入出力	電源系統	機能
Vcc1、Vcc2、 Vcc3、Vss	電源入力		—	Vcc1、Vcc2、Vcc3端子には、3.3Vを入力してください。Vss端子には、0Vを入力してください。(注1) また、電源-GND間には、バイパスコンデンサを挿入してください。(注2)
CNVss1、 CNVss2	CNVss1/CNVss2	入力	Vcc	CNVss1端子はプロセッサモードを切り替えるための端子です。リセット後、シングルチップモード(メモリ拡張モード)で動作を開始する場合Vssに、マイクロプロセッサモードで動作を開始する場合Vcc1に接続してください。CNVss2端子は常にVssに接続してください。
RESET	リセット入力	入力	Vcc	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	Vcc	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振器、または水晶共振器を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス 切り替え入力	入力	Vcc	外部データバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、Vssに接続してください。
P00 ~ P07	入出力ポートP0	入出力	Vcc	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。メモリ拡張モード、マイクロプロセッサモードでは、プルアップ抵抗を選択できません。プログラムで選択することによってA/Dコンバータの入力端子として機能します。
D0 ~ D7		入出力		セパレートバス設定時データ(D0 ~ D7)の入出力を行います。
P10 ~ P17	入出力ポートP1	入出力	Vcc	P0と同等の機能を持つ8ビット入出力ポートです。P15はプログラムで選択することによって、INT割り込みの入力端子として機能します。
D8 ~ D15		入出力		セパレートバス設定時データ(D8 ~ D15)の入出力を行います。
P20 ~ P27	入出力ポートP2	入出力	Vcc	P0と同等の機能を持つ8ビット入出力ポートです。プログラムで選択することによってA/Dコンバータの入力端子として機能します。
A0 ~ A7		出力		アドレスの下位8ビット(A0 ~ A7)の出力を行います。
A0/D0 ~ A7/D7		入出力		外部データバスが8ビットでマルチプレクスバス設定時、データ(D0 ~ D7)の入出力と、アドレスの下位8ビット(A0 ~ A7)の出力を時分割で行います。
A0		出力		外部データバスが16ビットでマルチプレクスバス設定時、データ(D0 ~ D6)の入出力と、アドレス(A1 ~ A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
A1/D0 ~ A7/D6		入出力		
P30 ~ P37	入出力ポートP3	入出力	Vcc	P0と同等の機能を持つ8ビット入出力ポートです。
A8 ~ A15		出力		アドレスの中位8ビット(A8 ~ A15)の出力を行います。
A8/D7、 A9 ~ A15		入出力 出力		外部データバスが16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9 ~ A15)の出力を行います。
P40 ~ P47	入出力ポートP4	入出力	Vcc	P0と同等の機能を持つ8ビット入出力ポートです。
A16 ~ A19、 CS0 ~ CS3		出力 出力		A16 ~ A19、CS0 ~ CS3信号を出力します。A16 ~ A19はアドレスの上位4ビットです。CS0 ~ CS3はチップセレクト信号でアクセス空間の指定に使用します。

注1. この説明以降、特に指定のない限り、文中にVccと記述されている場合は、Vcc1を示します。

- ノイズによる誤動作やラッチアップの防止のため、各電源端子とGNDの間には、それぞれコンデンサを挿入してください。また、コンデンサは太い配線を利用して、最短距離で接続してください。



C1 0.1 μ F、C2 0.1 μ F、C3 0.1 μ F(参考値)

表1.4. 端子の機能説明(2)

端子名	名称	入出力	電源系統	機能
P50 ~ P57	入出力ポートP5	入出力	Vcc	P0と同等の機能を持つ入出力ポートです。シングルチップモード時、プログラムで選択することによって、P57からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY		出力 出力 出力 出力 入力 出力 入力		WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。プログラムでWRL、WRHまたはBHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき、読み出します。BHE信号が“L”のとき、奇数番地をアクセスします。外部データバスが8ビットのときは、このモードを使用してください。 HOLD端子への入力が“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”を出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータのバスはウエイト状態になります。
P60 ~ P67	入出力ポートP6	入出力	Vcc	P0と同等の機能を持つ入出力ポートです。プログラムで選択することによって、UART0、UART1、マルチマスタIICbusの入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	Vcc	P0と同等の機能を持つ入出力ポートです(ただし、P70、P71はNチャンネルオープンドレイン出力)。プログラムで選択することによって、タイマA0 ~ A3、B5の入出力端子として機能します。また、UART2、マルチマスタIICbusの入出力端子、P75、P77はHsyncカウンタの入力端子としても機能します。
P82、P84、 P86、P87	入出力ポートP8	入出力 入出力	Vcc	P0と同等の機能を持つ入出力ポートです。プログラムで選択することによって、INT割り込み、Vsyncの入力端子、サブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。
P90、P91	入出力ポートP9	入出力	Vcc	P0と同等の機能を持つ入出力ポートです。プログラムで選択することによって、タイマB0 ~ B1の入力端子として機能します。
P103 ~ P107	入出力ポートP10	入出力	Vcc	P0と同等の機能を持つ入出力ポートです。プログラムで選択することによってA/Dコンバータの入力端子、アナログRGB動作コンデンサ接続用端子として機能します。
SC L4 ~ 6、 SDA4 ~ 6	マルチマスタI ² Cbus インターフェース	入出力		マルチマスタI ² Cbusインターフェースの専用端子です。(Nチャンネルオープンドレイン出力)
Hsync	Hsync	入力	Vcc	OSD機能のHsync入力端子です。
R/DIGR0,B/ DIGB0,G/ DIGG0,OUT1, OUT2,DIGR1, DIGB1,DIGG1, DIGR2,DIGG2, DIGB2, OSCOUT	OSD機能出力端子	出力	Vcc	OSD機能の専用端子です。
CVin1,VHO LD1,HLF1, CVin2,VHOLD2, HLF2	データスライサ機能 入出力端子	入出力	Vcc	データスライサ機能の専用端子です。
OSC1/OSDHLF, OSC2	OSD機能用発振端子	入出力	Vcc	OSD機能用の発振端子です。外部割り込み、Vsync入力端子と兼用です。

メモリ

図1.4にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000₁₆番地からFFFFFF₁₆番地に配置されます。

固定割り込みベクタテーブルはFFFDC₁₆番地からFFFFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400₁₆番地から上位方向に配置されます。例えば10Kバイトの内部RAMは、00400₁₆番地から02BFF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から003FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00₁₆番地からFFFDB₁₆番地に配置されています。このベクタはJMP命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

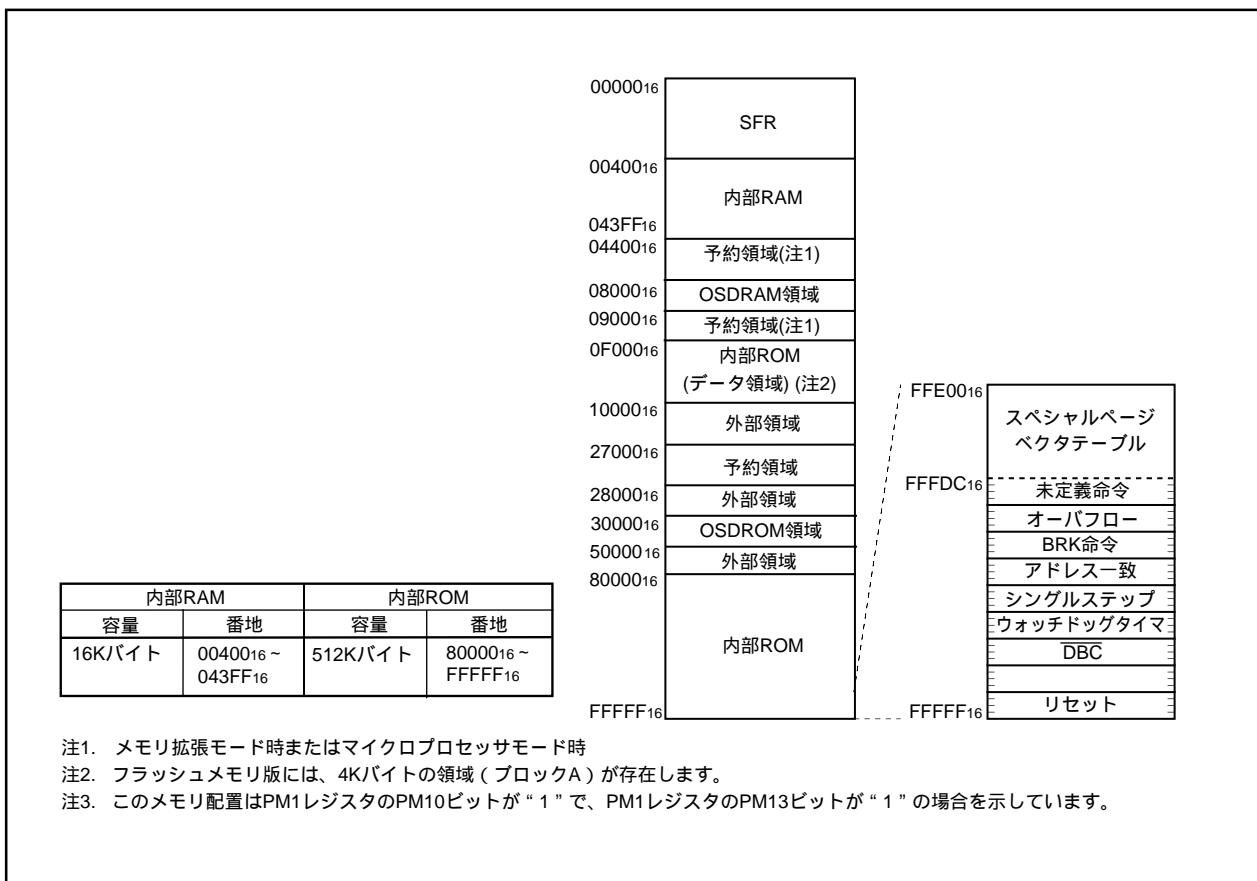


図1.4. メモリ配置

中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

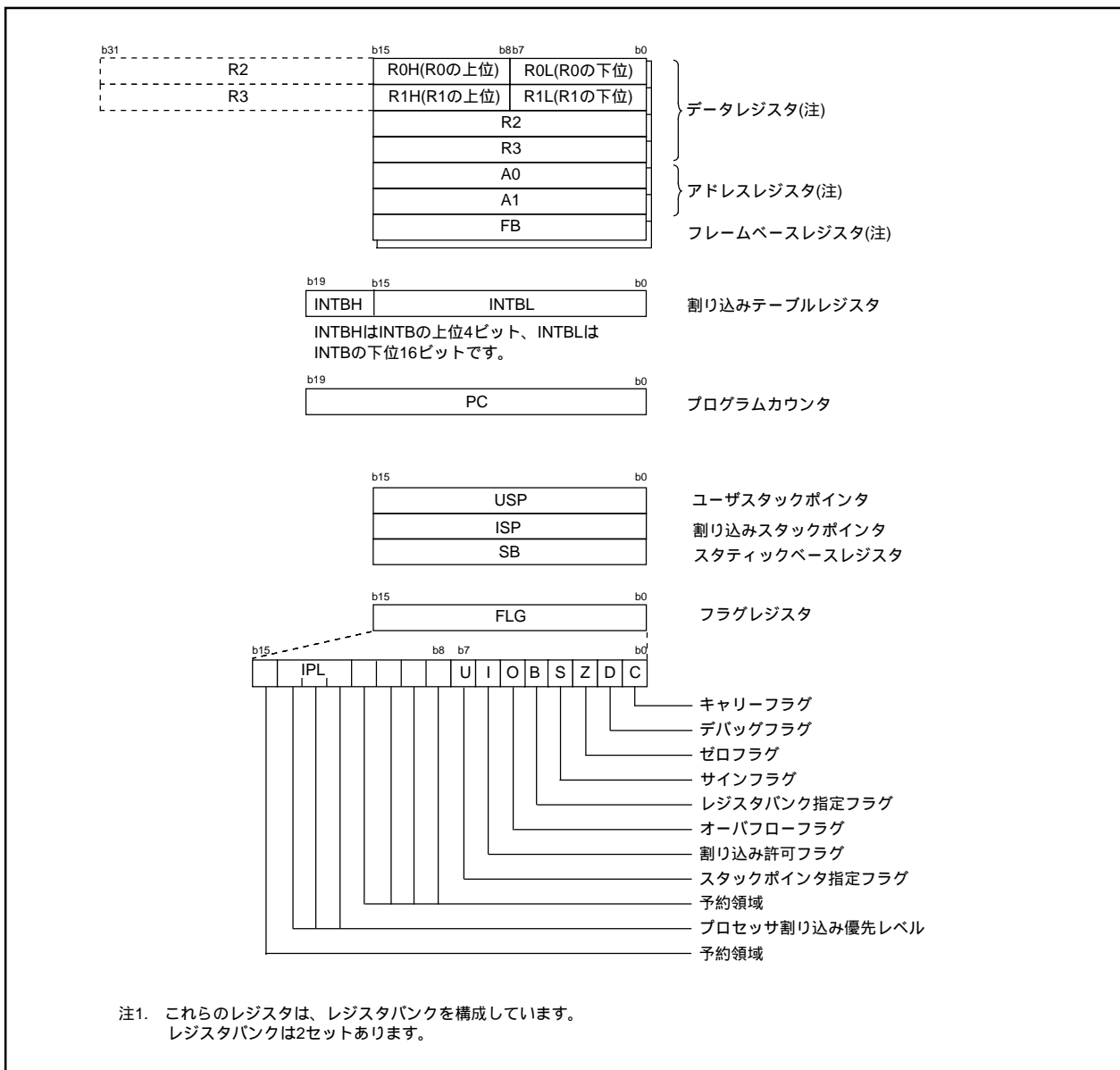


図2.1. CPUのレジスタ

(1) データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

(2) アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

(3) フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

(4) 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

(5) プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

(6) ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPIはFLGのUフラグで切り替えられます。

(7) スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 (注2)	PM0	0000000 ₂ (CNVss1端子が "L") 00000011 ₂ (CNVss1端子が "H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	00001000 ₂
0006 ₁₆	システムクロック制御レジスタ0	CM0	01001000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	00100000 ₂
0008 ₁₆	チップセレクト制御レジスタ	CSR	00000001 ₂
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXXXX00 ₂
000A ₁₆	プロテクトレジスタ	PRCR	XX000000 ₂
000B ₁₆	データバンクレジスタ	DBR	00 ₁₆
000C ₁₆	システムクロック制御レジスタ2	CM2	0000X000 ₂
000D ₁₆			
000E ₁₆	ウォッチドッグタイムスタートレジスタ	WDTS	?? ₁₆
000F ₁₆	ウォッチドッグタイム制御レジスタ	WDC	00?????? ₂
0010 ₁₆			00 ₁₆
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	00 ₁₆
0012 ₁₆			X0 ₁₆
0013 ₁₆			
0014 ₁₆			00 ₁₆
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	00 ₁₆
0016 ₁₆			X0 ₁₆
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	予約レジスタ	RSVREG0019	00001000 ₂
001A ₁₆	予約レジスタ	RSVREG001A	00 ₁₆
001B ₁₆	チップセレクト拡張制御レジスタ2	CSE	00 ₁₆
001C ₁₆	予約レジスタ	RSVREG001C	0001X010 ₂
001D ₁₆			
001E ₁₆	予約レジスタ	RSVREG001E	XXX00000 ₂
001F ₁₆	予約レジスタ	RSVREG001F	00 ₁₆
0020 ₁₆			?? ₁₆
0021 ₁₆	DMA0ソースポインタ	SAR0	?? ₁₆
0022 ₁₆			X? ₁₆
0023 ₁₆			
0024 ₁₆			?? ₁₆
0025 ₁₆	DAM0ディスティネーションポインタ	DAR0	?? ₁₆
0026 ₁₆			X? ₁₆
0027 ₁₆			
0028 ₁₆	DAM0転送カウンタ	TCR0	?? ₁₆
0029 ₁₆			?? ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ	DM0CON	00000?00 ₂
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			?? ₁₆
0031 ₁₆	DMA1ソースポインタ	SAR1	?? ₁₆
0032 ₁₆			X? ₁₆
0033 ₁₆			
0034 ₁₆			?? ₁₆
0035 ₁₆	DAM1ディスティネーションポインタ	DAR1	?? ₁₆
0036 ₁₆			X? ₁₆
0037 ₁₆			
0038 ₁₆	DAM1転送カウンタ	TCR1	?? ₁₆
0039 ₁₆			?? ₁₆
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ	DM1CON	00000?00 ₂
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

注2. PM00、PM01ビットはソフトウェアリセット、ウォッチドッグリセット時は変化しません。

X: このビットは何も配置されていません。 ? : 不定です。

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00?000 ₂
0045 ₁₆	タイマB5割り込み制御レジスタ	TB5IC	XXXX?000 ₂
0046 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX?000 ₂
0047 ₁₆	タイマB3割り込み制御レジスタ	TB3IC	XXXX?000 ₂
0048 ₁₆	スライサ1割り込み制御レジスタ	DSC1IC	XX00?000 ₂
0049 ₁₆	スライサ2割り込み制御レジスタ	DSC2IC	XX00?000 ₂
004A ₁₆	バス衝突検出割り込み制御レジスタ	BCNIC	XXXX?000 ₂
004B ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXX?000 ₂
004C ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXX?000 ₂
004D ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX?000 ₂
004E ₁₆	A/D変換割り込み制御レジスタ	ADIC	XXXX?000 ₂
004F ₁₆	UART2送信割り込み制御レジスタ	S2TIC	XXXX?000 ₂
0050 ₁₆	UART2受信割り込み制御レジスタ	S2RIC	XXXX?000 ₂
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXX?000 ₂
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXX?000 ₂
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXX?000 ₂
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXX?000 ₂
0055 ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXX?000 ₂
0056 ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXX?000 ₂
0057 ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXX?000 ₂
0058 ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXX?000 ₂
0059 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXX?000 ₂
005A ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX?000 ₂
005B ₁₆	タイマB1割り込み制御レジスタ	TB1IC	XXXX?000 ₂
005C ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX?000 ₂
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00?000 ₂
005E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00?000 ₂
005F ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00?000 ₂
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0180 ₁₆			
0181 ₁₆			
0182 ₁₆			
0183 ₁₆			
0184 ₁₆			
0185 ₁₆			
0186 ₁₆			
≈			≈
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆	フラッシュ識別レジスタ (注2)	FIDR	XXXXXX00 ₂
01B5 ₁₆	フラッシュメモリ制御レジスタ1 (注2)	FMR1	0?00??0? ₂
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0 (注2)	FMR0	??000001 ₂
01B8 ₁₆			00 ₁₆
01B9 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	00 ₁₆
01BA ₁₆			X0 ₁₆
01BB ₁₆	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX00 ₂
01BC ₁₆			00 ₁₆
01BD ₁₆	アドレス一致割り込みレジスタ3	RMAD3	00 ₁₆
01BE ₁₆			X0 ₁₆
01BF ₁₆			
01C0 ₁₆			
01C1 ₁₆			
01C2 ₁₆			
≈			≈
01E0 ₁₆			
01E1 ₁₆			
01E2 ₁₆			
01E3 ₁₆			
01E4 ₁₆			
01E5 ₁₆			
01E6 ₁₆			
01E7 ₁₆			
01E8 ₁₆			
01E9 ₁₆			
01EA ₁₆			
01EB ₁₆			
01EC ₁₆			
01ED ₁₆			
01EE ₁₆			
01EF ₁₆			
01F0 ₁₆			
01F1 ₁₆			
01F2 ₁₆			
01F3 ₁₆			
01F4 ₁₆			
01F5 ₁₆			
01F6 ₁₆			
01F7 ₁₆			
01F8 ₁₆			
01F9 ₁₆			
01FA ₁₆			
01FB ₁₆			
01FC ₁₆			
01FD ₁₆			
01FE ₁₆			
01FF ₁₆			

注1. 空欄は予約領域です。使用しないでください。
 注2. このレジスタはフラッシュメモリ版にあります。

X: このビットは何も配置されていません。
 ?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0200 ₁₆			
0201 ₁₆	スプライトOSD制御レジスタ	SC	XXX00000 ₂
0202 ₁₆	OSDコントロールレジスタ1	OC1	00 ₁₆
0203 ₁₆	OSDコントロールレジスタ2	OC2	00 ₁₆
0204 ₁₆	水平位置レジスタ	HP	00 ₁₆
0205 ₁₆	クロックコントロールレジスタ1	CS	00 ₁₆
0206 ₁₆	入出力極性コントロールレジスタ	PC	10000000 ₂
0207 ₁₆	OSDコントロールレジスタ3	OC3	00 ₁₆
0208 ₁₆	ラスタカラーレジスタ	RSC	00 ₁₆
0209 ₁₆			00 ₁₆
020A ₁₆	OSD予約レジスタ5	OR5	00 ₁₆
020B ₁₆	クロックコントロールレジスタ2	CG	00 ₁₆
020C ₁₆	トップボーダーコントロールレジスタ	TBR	?? ₁₆
020D ₁₆			
020E ₁₆	ボトムボーダーコントロールレジスタ	BBR	?? ₁₆
020F ₁₆			
0210 ₁₆	ブロックコントロールレジスタ1	BC1	?? ₁₆
0211 ₁₆	ブロックコントロールレジスタ2	BC2	?? ₁₆
0212 ₁₆	ブロックコントロールレジスタ3	BC3	?? ₁₆
0213 ₁₆	ブロックコントロールレジスタ4	BC4	?? ₁₆
0214 ₁₆	ブロックコントロールレジスタ5	BC5	?? ₁₆
0215 ₁₆	ブロックコントロールレジスタ6	BC6	?? ₁₆
0216 ₁₆	ブロックコントロールレジスタ7	BC7	?? ₁₆
0217 ₁₆	ブロックコントロールレジスタ8	BC8	?? ₁₆
0218 ₁₆	ブロックコントロールレジスタ9	BC9	?? ₁₆
0219 ₁₆	ブロックコントロールレジスタ10	BC10	?? ₁₆
021A ₁₆	ブロックコントロールレジスタ11	BC11	?? ₁₆
021B ₁₆	ブロックコントロールレジスタ12	BC12	?? ₁₆
021C ₁₆	ブロックコントロールレジスタ13	BC13	?? ₁₆
021D ₁₆	ブロックコントロールレジスタ14	BC14	?? ₁₆
021E ₁₆	ブロックコントロールレジスタ15	BC15	?? ₁₆
021F ₁₆	ブロックコントロールレジスタ16	BC16	?? ₁₆
0220 ₁₆	垂直位置レジスタ1	VP1	?? ₁₆
0221 ₁₆			?? ₁₆
0222 ₁₆	垂直位置レジスタ2	VP2	?? ₁₆
0223 ₁₆			?? ₁₆
0224 ₁₆	垂直位置レジスタ3	VP3	?? ₁₆
0225 ₁₆			?? ₁₆
0226 ₁₆	垂直位置レジスタ4	VP4	?? ₁₆
0227 ₁₆			?? ₁₆
0228 ₁₆	垂直位置レジスタ5	VP5	?? ₁₆
0229 ₁₆			?? ₁₆
022A ₁₆	垂直位置レジスタ6	VP6	?? ₁₆
022B ₁₆			?? ₁₆
022C ₁₆	垂直位置レジスタ7	VP7	?? ₁₆
022D ₁₆			?? ₁₆
022E ₁₆	垂直位置レジスタ8	VP8	?? ₁₆
022F ₁₆			?? ₁₆
0230 ₁₆	垂直位置レジスタ9	VP9	?? ₁₆
0231 ₁₆			?? ₁₆
0232 ₁₆	垂直位置レジスタ10	VP10	?? ₁₆
0233 ₁₆			?? ₁₆
0234 ₁₆	垂直位置レジスタ11	VP11	?? ₁₆
0235 ₁₆			?? ₁₆
0236 ₁₆	垂直位置レジスタ12	VP12	?? ₁₆
0237 ₁₆			?? ₁₆
0238 ₁₆	垂直位置レジスタ13	VP13	?? ₁₆
0239 ₁₆			?? ₁₆
023A ₁₆	垂直位置レジスタ14	VP14	?? ₁₆
023B ₁₆			?? ₁₆
023C ₁₆	垂直位置レジスタ15	VP15	?? ₁₆
023D ₁₆			?? ₁₆
023E ₁₆	垂直位置レジスタ16	VP16	?? ₁₆
023F ₁₆			?? ₁₆

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0240 ₁₆ 0241 ₁₆	カラーパレットレジスタ1	CR1	?? ₁₆ ?? ₁₆
0242 ₁₆ 0243 ₁₆	カラーパレットレジスタ2	CR2	?? ₁₆ ?? ₁₆
0244 ₁₆ 0245 ₁₆	カラーパレットレジスタ3	CR3	?? ₁₆ ?? ₁₆
0246 ₁₆ 0247 ₁₆	カラーパレットレジスタ4	CR4	?? ₁₆ ?? ₁₆
0248 ₁₆ 0249 ₁₆	カラーパレットレジスタ5	CR5	?? ₁₆ ?? ₁₆
024A ₁₆ 024B ₁₆	カラーパレットレジスタ6	CR6	?? ₁₆ ?? ₁₆
024C ₁₆ 024D ₁₆	カラーパレットレジスタ7	CR7	?? ₁₆ ?? ₁₆
024E ₁₆ 024F ₁₆	カラーパレットレジスタ9	CR9	?? ₁₆ ?? ₁₆
0250 ₁₆ 0251 ₁₆	カラーパレットレジスタ10	CR10	?? ₁₆ ?? ₁₆
0252 ₁₆ 0253 ₁₆	カラーパレットレジスタ11	CR11	?? ₁₆ ?? ₁₆
0254 ₁₆ 0255 ₁₆	カラーパレットレジスタ12	CR12	?? ₁₆ ?? ₁₆
0256 ₁₆ 0257 ₁₆	カラーパレットレジスタ13	CR13	?? ₁₆ ?? ₁₆
0258 ₁₆ 0259 ₁₆	カラーパレットレジスタ14	CR14	?? ₁₆ ?? ₁₆
025A ₁₆ 025B ₁₆	カラーパレットレジスタ15	CR15	?? ₁₆ ?? ₁₆
025C ₁₆			
025D ₁₆	OSD予約レジスタ1	OR1	00 ₁₆
025E ₁₆	周辺クロック選択レジスタ	PCLKR	03 ₁₆
025F ₁₆	OSDコントロールレジスタ4	OC4	XXXXXXXX00 ₂
0260 ₁₆	データスライサ0制御レジスタ1	DSC01	00 ₁₆
0261 ₁₆	データスライサ0制御レジスタ2	DSC02	?0?0?0?2
0262 ₁₆ 0263 ₁₆	キャプションデータレジスタ01	CD01	????????? ?????????
0264 ₁₆ 0265 ₁₆	キャプションデータレジスタ02	CD02	????????? ?????????
0266 ₁₆	キャプション位置レジスタ0	CPS0	00?00000 ₂
0267 ₁₆	スライス基準電圧選択レジスタ	SBV0	00 ₁₆
0268 ₁₆	データスライサ0予約レジスタ1	DR01	00 ₁₆
0269 ₁₆	クロックライン検出レジスタ0	CRD0	00 ₁₆
026A ₁₆	データクロック位置レジスタ0	DPS0	X0000000 ₂
026B ₁₆	ID1制御レジスタ0	IDC0	00 ₁₆
026C ₁₆	基準クロック検出レジスタ0	BCD0	XX???????
026D ₁₆	CRCCデータレジスタ0	CRC0	XX000000 ₂
026E ₁₆	テスト予約レジスタ0	IDT0	00 ₁₆
026F ₁₆	予約レジスタ	RSVREG026F	XXXXXXXX0 ₂
0270 ₁₆ 0271 ₁₆	レフトボーダーコントロールレジスタ	LBR	XXXXX000 ₂ 00 ₁₆
0272 ₁₆ 0273 ₁₆	ライトボーダーコントロールレジスタ	RBR	00 ₁₆ XXXXX000 ₂
0274 ₁₆ 0275 ₁₆	スプライト垂直位置レジスタ1	VS1	?? ₁₆ ?? ₁₆
0276 ₁₆ 0277 ₁₆	スプライト垂直位置レジスタ2	VS2	?? ₁₆ ?? ₁₆
0278 ₁₆ 0279 ₁₆	スプライト水平位置レジスタ	HS	?? ₁₆ XXXXX000 ₂
027A ₁₆	OSD予約レジスタ4	OR4	X0000000 ₂
027B ₁₆	OSD予約レジスタ3	OR3	00 ₁₆
027C ₁₆	OSD予約レジスタ2	OR2	00 ₁₆
027D ₁₆	ペリフェラルモードレジスタ	PM	000XXXXX ₂
027E ₁₆	HSYNCカウンタレジスタ	HC	XXX00X00 ₂
027F ₁₆	HSYNCカウンタラッチ		?? ₁₆

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0280 ₁₆	内部発振コントロールレジスタ1	DIV0	00 ₁₆
0281 ₁₆	内部発振コントロールレジスタ2	DIV1	00 ₁₆
0282 ₁₆	内部発振コントロールレジスタ3	VCO	00 ₁₆
0283 ₁₆			
0284 ₁₆			
0285 ₁₆			
0286 ₁₆			
0287 ₁₆			
0288 ₁₆			
0289 ₁₆			
028A ₁₆			
028B ₁₆			
028C ₁₆			
028D ₁₆			
028E ₁₆			
028F ₁₆			
0290 ₁₆			
0291 ₁₆			
0292 ₁₆			
0293 ₁₆			
0294 ₁₆			
0295 ₁₆			
0296 ₁₆			
0297 ₁₆			
0298 ₁₆			
0299 ₁₆			
029A ₁₆			
029B ₁₆			
029C ₁₆			
029D ₁₆			
029E ₁₆			
029F ₁₆			
02A0 ₁₆	フラッシュメモリ (USER/OSD) 切り替えレジスタ	FMSEL	00 ₁₆
02A1 ₁₆			
02A2 ₁₆			
02A3 ₁₆	フラッシュメモリOSD1制御レジスタ4	FMOSA4	X0XXXX00 ₂
02A4 ₁₆			
02A5 ₁₆	フラッシュメモリOSD1制御レジスタ1	FMOSA1	XXXXXX0X ₂
02A6 ₁₆			
02A7 ₁₆	フラッシュメモリOSD1制御レジスタ0	FMOSA0	XX000001 ₂
02A8 ₁₆			
02A9 ₁₆			
02AA ₁₆			
02AB ₁₆			
02AC ₁₆			
02AD ₁₆			
02AE ₁₆			
02AF ₁₆			
02B0 ₁₆			
02B1 ₁₆			
02B2 ₁₆			
02B3 ₁₆	フラッシュメモリOSD2制御レジスタ4	FMOSB4	X0XXXX00 ₂
02B4 ₁₆			
02B5 ₁₆	フラッシュメモリOSD2制御レジスタ1	FMOSB1	XXXXXX0X ₂
02B6 ₁₆			
02B7 ₁₆	フラッシュメモリOSD2制御レジスタ0	FMOSB0	XX000001 ₂
02B8 ₁₆			
02B9 ₁₆			
02BA ₁₆			
02BB ₁₆			
02BC ₁₆			
02BD ₁₆			
02BE ₁₆			
02BF ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
02C0 ₁₆	拡張レジスタ00	EXTREG02C0	00 ₁₆
02C1 ₁₆	拡張レジスタ01	EXTREG02C1	00 ₁₆
02C2 ₁₆	拡張レジスタ02	EXTREG02C2	00 ₁₆
02C3 ₁₆	拡張レジスタ03	EXTREG02C3	00 ₁₆
02C4 ₁₆	拡張レジスタ04	EXTREG02C4	00 ₁₆
02C5 ₁₆	拡張レジスタ05	EXTREG02C5	00 ₁₆
02C6 ₁₆	拡張レジスタ06	EXTREG02C6	00 ₁₆
02C7 ₁₆	拡張レジスタ07	EXTREG02C7	00 ₁₆
02C8 ₁₆	拡張レジスタ08	EXTREG02C8	00 ₁₆
02C9 ₁₆	拡張レジスタ09	EXTREG02C9	00 ₁₆
02CA ₁₆	拡張レジスタ0A	EXTREG02CA	00 ₁₆
02CB ₁₆	拡張レジスタ0B	EXTREG02CB	00 ₁₆
02CC ₁₆	拡張レジスタ0C	EXTREG02CC	00 ₁₆
02CD ₁₆	拡張レジスタ0D	EXTREG02CD	00 ₁₆
02CE ₁₆	拡張レジスタ0E	EXTREG02CE	00 ₁₆
02CF ₁₆	拡張レジスタ0F	EXTREG02CF	00 ₁₆
02D0 ₁₆	拡張レジスタ10	EXTREG02D0	00 ₁₆
02D1 ₁₆	拡張レジスタ11	EXTREG02D1	00 ₁₆
02D2 ₁₆	拡張レジスタ12	EXTREG02D2	00 ₁₆
02D3 ₁₆	拡張レジスタ13	EXTREG02D3	00 ₁₆
02D4 ₁₆	拡張レジスタ14	EXTREG02D4	00 ₁₆
02D5 ₁₆	拡張レジスタ15	EXTREG02D5	00 ₁₆
02D6 ₁₆	拡張レジスタ16	EXTREG02D6	00 ₁₆
02D7 ₁₆	拡張レジスタ17	EXTREG02D7	00 ₁₆
02D8 ₁₆	拡張レジスタ18	EXTREG02D8	00 ₁₆
02D9 ₁₆	拡張レジスタ19	EXTREG02D9	00 ₁₆
02DA ₁₆	拡張レジスタ1A	EXTREG02DA	00 ₁₆
02DB ₁₆	拡張レジスタ1B	EXTREG02DB	00 ₁₆
02DC ₁₆	拡張レジスタ1C	EXTREG02DC	00 ₁₆
02DD ₁₆	拡張レジスタ1D	EXTREG02DD	00 ₁₆
02DE ₁₆	拡張レジスタ1E	EXTREG02DE	00 ₁₆
02DF ₁₆	拡張レジスタ1F	EXTREG02DF	00 ₁₆
02E0 ₁₆	I ² C0データシフトレジスタ	IIC0S0	?? ₁₆
02E1 ₁₆	I ² C0アドレスレジスタ	IIC0S0D	00 ₁₆
02E2 ₁₆	I ² C0ステータスレジスタ	IIC0S1	0001000?2
02E3 ₁₆	I ² C0コントロールレジスタ	IIC0S1D	00 ₁₆
02E4 ₁₆	I ² C0クロックコントロールレジスタ	IIC0S2	00 ₁₆
02E5 ₁₆	予約レジスタ	RSVREG02E5	00?000002
02E6 ₁₆	I ² C0送信バッファレジスタ	IIC0S0S	?? ₁₆
02E7 ₁₆			
02E8 ₁₆	I ² C1データシフトレジスタ	IIC1S0	?? ₁₆
02E9 ₁₆	I ² C1アドレスレジスタ	IIC1S0D	00 ₁₆
02EA ₁₆	I ² C1ステータスレジスタ	IIC1S1	0001000?2
02EB ₁₆	I ² C1コントロールレジスタ	IIC1S1D	00 ₁₆
02EC ₁₆	I ² C1クロックコントロールレジスタ	IIC1S2	00 ₁₆
02ED ₁₆	予約レジスタ	RSVREG02ED	00?000002
02EE ₁₆	I ² C1送信バッファレジスタ	IIC1S0S	?? ₁₆
02EF ₁₆			
02F0 ₁₆	I ² C2データシフトレジスタ	IIC2S0	?? ₁₆
02F1 ₁₆	I ² C2アドレスレジスタ	IIC2S0D	00 ₁₆
02F2 ₁₆	I ² C2ステータスレジスタ	IIC2S1	0001000?2
02F3 ₁₆	I ² C2コントロールレジスタ	IIC2S1D	00 ₁₆
02F4 ₁₆	I ² C2クロックコントロールレジスタ	IIC2S2	00 ₁₆
02F5 ₁₆	予約レジスタ	RSVREG02F5	00?000002
02F6 ₁₆	I ² C2送信バッファレジスタ	IIC2S0S	?? ₁₆
02F7 ₁₆			
02F8 ₁₆			
02F9 ₁₆			
02FA ₁₆			
02FB ₁₆			
02FC ₁₆			
02FD ₁₆			
02FE ₁₆			
02FF ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。
?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0300 ₁₆	データスライサ1制御レジスタ1	DSC11	00 ₁₆
0301 ₁₆	データスライサ1制御レジスタ2	DSC12	?0?0?0?2
0302 ₁₆	キャプションデータレジスタ11	CD11	???????? ₂
0303 ₁₆			???????? ₂
0304 ₁₆	キャプションデータレジスタ12	CD12	???????? ₂
0305 ₁₆			???????? ₂
0306 ₁₆	キャプション位置レジスタ1	CPS1	00?00000 ₂
0307 ₁₆	スライス基準電圧選択レジスタ	SBV1	00 ₁₆
0308 ₁₆	データスライサ1予約レジスタ1	DR11	00 ₁₆
0309 ₁₆	クロックランイン検出レジスタ1	CRD1	00 ₁₆
030A ₁₆	データクロック位置レジスタ1	DPS1	X0000000 ₂
030B ₁₆	ID1制御レジスタ1	IDC1	00 ₁₆
030C ₁₆	基準クロック検出レジスタ1	BCD1	XX????? ₂
030D ₁₆	CRCCデータレジスタ1	CRC1	XX000000 ₂
030E ₁₆	テスト予約レジスタ1	IDT1	00 ₁₆
030F ₁₆	予約レジスタ	RSVREG030F	XXXXXXXX ₂
0310 ₁₆			
0311 ₁₆			
0312 ₁₆			
0313 ₁₆			
0314 ₁₆			
0315 ₁₆			
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆			
031C ₁₆	ID1予約レジスタ0	IRSV0	00????? ₂
031D ₁₆	ID1予約レジスタ1	IRSV1	00????? ₂
031E ₁₆			
031F ₁₆			
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆			
0325 ₁₆			
0326 ₁₆			
0327 ₁₆			
0328 ₁₆			
0329 ₁₆			
032A ₁₆			
032B ₁₆			
032C ₁₆			
032D ₁₆			
032E ₁₆			
032F ₁₆			
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆			
0335 ₁₆			
0336 ₁₆			
0337 ₁₆			
0338 ₁₆			
0339 ₁₆			
033A ₁₆			
033B ₁₆			
033C ₁₆			
033D ₁₆			
033E ₁₆			
033F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0340 ₁₆	タイマB3,4,5カウント開始フラグ	TBSR	000XXXXX ₂
0341 ₁₆			
0342 ₁₆	予約レジスタ	RSVREG0342	?? ₁₆
0343 ₁₆	予約レジスタ	RSVREG0343	?? ₁₆
0344 ₁₆	予約レジスタ	RSVREG0344	?? ₁₆
0345 ₁₆	予約レジスタ	RSVREG0345	?? ₁₆
0346 ₁₆	予約レジスタ	RSVREG0346	?? ₁₆
0347 ₁₆	予約レジスタ	RSVREG0347	?? ₁₆
0348 ₁₆	予約レジスタ	RSVREG0348	00 ₁₆
0349 ₁₆	予約レジスタ	RSVREG0349	00 ₁₆
034A ₁₆	予約レジスタ	RSVREG034A	00 ₁₆
034B ₁₆	予約レジスタ	RSVREG034B	00 ₁₆
034C ₁₆	予約レジスタ	RSVREG034C	?? ₁₆
034D ₁₆	予約レジスタ	RSVREG034D	?? ₁₆
034E ₁₆			
034F ₁₆			
0350 ₁₆	タイマB3レジスタ	TB3	?? ₁₆
0351 ₁₆			?? ₁₆
0352 ₁₆	タイマB4レジスタ	TB4	?? ₁₆
0353 ₁₆			?? ₁₆
0354 ₁₆	タイマB5レジスタ	TB5	?? ₁₆
0355 ₁₆			?? ₁₆
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆	タイマB3モードレジスタ	TB3MR	00??0000 ₂
035C ₁₆	タイマB4モードレジスタ	TB4MR	00?X0000 ₂
035D ₁₆	タイマB5モードレジスタ	TB5MR	00?X0000 ₂
035E ₁₆	割り込み要因選択レジスタ2	IFSR2A	00XXXXXX ₂
035F ₁₆	割り込み要因選択レジスタ	IFSR	00 ₁₆
0360 ₁₆	予約レジスタ	RSVREG0360	?? ₁₆
0361 ₁₆			
0362 ₁₆	予約レジスタ	RSVREG0362	01000000 ₂
0363 ₁₆	予約レジスタ	RSVREG0363	?? ₁₆
0364 ₁₆	予約レジスタ	RSVREG0364	?? ₁₆
0365 ₁₆			
0366 ₁₆	予約レジスタ	RSVREG0366	01000000 ₂
0367 ₁₆	予約レジスタ	RSVREG0367	?? ₁₆
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
036D ₁₆	UART0特殊モードレジスタ3	U0SMR3	000X0X0X ₂
036E ₁₆	UART0特殊モードレジスタ2	U0SMR2	X0000000 ₂
036F ₁₆	UART0特殊モードレジスタ	U0SMR	X0000000 ₂
0370 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
0371 ₁₆	UART1特殊モードレジスタ3	U1SMR3	000X0X0X ₂
0372 ₁₆	UART1特殊モードレジスタ2	U1SMR2	X0000000 ₂
0373 ₁₆	UART1特殊モードレジスタ	U1SMR	X0000000 ₂
0374 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0375 ₁₆	UART2特殊モードレジスタ3	U2SMR3	000X0X0X ₂
0376 ₁₆	UART2特殊モードレジスタ2	U2SMR2	X0000000 ₂
0377 ₁₆	UART2特殊モードレジスタ	U2SMR	X0000000 ₂
0378 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0379 ₁₆	UART2転送速度レジスタ	U2BRG	?? ₁₆
037A ₁₆	UART2送信バッファレジスタ	U2TB	???????? ₂
037B ₁₆			XXXXXX ₂
037C ₁₆	UART2送受信制御レジスタ0	U2C0	00001000 ₂
037D ₁₆	UART2送受信制御レジスタ1	U2C1	00000100 ₂
037E ₁₆	UART2受信バッファレジスタ	U2RB	???????? ₂
037F ₁₆			?????XX ₂

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0381 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXX ₂
0382 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0383 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0384 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0385 ₁₆			
0386 ₁₆ 0387 ₁₆	タイマA0レジスタ	TA0	?? ₁₆ ?? ₁₆
0388 ₁₆ 0389 ₁₆	タイマA1レジスタ	TA1	?? ₁₆ ?? ₁₆
038A ₁₆ 038B ₁₆	タイマA2レジスタ	TA2	?? ₁₆ ?? ₁₆
038C ₁₆ 038D ₁₆	タイマA3レジスタ	TA3	?? ₁₆ ?? ₁₆
038E ₁₆ 038F ₁₆	タイマA4レジスタ	TA4	?? ₁₆ ?? ₁₆
0390 ₁₆ 0391 ₁₆	タイマB0レジスタ	TB0	?? ₁₆ ?? ₁₆
0392 ₁₆ 0393 ₁₆	タイマB1レジスタ	TB1	?? ₁₆ ?? ₁₆
0394 ₁₆ 0395 ₁₆	タイマB2レジスタ	TB2	?? ₁₆ ?? ₁₆
0396 ₁₆	タイマA0モードレジスタ	TA0MR	00 ₁₆
0397 ₁₆	タイマA1モードレジスタ	TA1MR	00 ₁₆
0398 ₁₆	タイマA2モードレジスタ	TA2MR	00 ₁₆
0399 ₁₆	タイマA3モードレジスタ	TA3MR	00 ₁₆
039A ₁₆	タイマA4モードレジスタ	TA4MR	00 ₁₆
039B ₁₆	タイマB0モードレジスタ	TB0MR	00?0000 ₂
039C ₁₆	タイマB1モードレジスタ	TB1MR	00?X0000 ₂
039D ₁₆	タイマB2モードレジスタ	TB2MR	00?X0000 ₂
039E ₁₆	予約レジスタ	RSVREG039E	XXXXXX00 ₂
039F ₁₆			
03A0 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
03A1 ₁₆	UART0転送速度レジスタ	U0BRG	?? ₁₆
03A2 ₁₆ 03A3 ₁₆	UART0送信バッファレジスタ	U0TB	???????? ₂ XXXXXXXX ₂
03A4 ₁₆	UART0送受信制御レジスタ0	U0C0	00001000 ₂
03A5 ₁₆	UART0送受信制御レジスタ1	U0C1	00000010 ₂
03A6 ₁₆ 03A7 ₁₆	UART0受信バッファレジスタ	U0RB	???????? ₂ ?????XX ₂
03A8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
03A9 ₁₆	UART1転送速度レジスタ	U1BRG	?? ₁₆
03AA ₁₆ 03AB ₁₆	UART1送信バッファレジスタ	U1TB	???????? ₂ XXXXXXXX ₂
03AC ₁₆	UART1送受信制御レジスタ0	U1C0	00001000 ₂
03AD ₁₆	UART1送受信制御レジスタ1	U1C1	00000010 ₂
03AE ₁₆ 03AF ₁₆	UART1受信バッファレジスタ	U1RB	???????? ₂ ?????XX ₂
03B0 ₁₆	UART送受信制御レジスタ2	UCON	X0000000 ₂
03B1 ₁₆			
03B2 ₁₆			
03B3 ₁₆			
03B4 ₁₆			
03B5 ₁₆			
03B6 ₁₆			
03B7 ₁₆			
03B8 ₁₆	DMA0要因選択レジスタ	DM0SL	00 ₁₆
03B9 ₁₆			
03BA ₁₆	DMA1要因選択レジスタ	DM1SL	00 ₁₆
03BB ₁₆			
03BC ₁₆	予約レジスタ	RSVREG03BC	?? ₁₆
03BD ₁₆	予約レジスタ	RSVREG03BD	?? ₁₆
03BE ₁₆	予約レジスタ	RSVREG03BE	?? ₁₆
03BF ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

?: 不定です。

番地	レジスタ	シンボル	リセット後の値
03C0 ₁₆	予約レジスタ	RSVREG03C0	??????? ₂
03C1 ₁₆	予約レジスタ	RSVREG03C1	XXXXXX? ₂
03C2 ₁₆	予約レジスタ	RSVREG03C2	??????? ₂
03C3 ₁₆	予約レジスタ	RSVREG03C3	XXXXXX? ₂
03C4 ₁₆	予約レジスタ	RSVREG03C4	??????? ₂
03C5 ₁₆	予約レジスタ	RSVREG03C5	XXXXXX? ₂
03C6 ₁₆	A/Dレジスタ3	AD3	??????? ₂
03C7 ₁₆			XXXXXX? ₂
03C8 ₁₆	A/Dレジスタ4	AD4	??????? ₂
03C9 ₁₆			XXXXXX? ₂
03CA ₁₆	A/Dレジスタ5	AD5	??????? ₂
03CB ₁₆			XXXXXX? ₂
03CC ₁₆	A/Dレジスタ6	AD6	??????? ₂
03CD ₁₆			XXXXXX? ₂
03CE ₁₆	A/Dレジスタ7	AD7	??????? ₂
03CF ₁₆			XXXXXX? ₂
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆	A/D制御レジスタ2	ADCON2	00 ₁₆
03D5 ₁₆			
03D6 ₁₆	A/D制御レジスタ0	ADCON0	00000?? ₂
03D7 ₁₆	A/D制御レジスタ1	ADCON1	00 ₁₆
03D8 ₁₆	予約レジスタ	RSVREG03D8	?? ₁₆
03D9 ₁₆			
03DA ₁₆	予約レジスタ	RSVREG03DA	?? ₁₆
03DB ₁₆			
03DC ₁₆	予約レジスタ	RSVREG03DC	00 ₁₆
03DD ₁₆			
03DE ₁₆	予約レジスタ	RSVREG03DE	XX00XXX ₂
03DF ₁₆	予約レジスタ	RSVREG03DF	00 ₁₆
03E0 ₁₆	ポートP0レジスタ	P0	?? ₁₆
03E1 ₁₆	ポートP1レジスタ	P1	?? ₁₆
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ	P2	?? ₁₆
03E5 ₁₆	ポートP3レジスタ	P3	?? ₁₆
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ	P4	?? ₁₆
03E9 ₁₆	ポートP5レジスタ	P5	?? ₁₆
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆
03EC ₁₆	ポートP6レジスタ	P6	?? ₁₆
03ED ₁₆	ポートP7レジスタ	P7	?? ₁₆
03EE ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03EF ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03F0 ₁₆	ポートP8レジスタ	P8	?? ₁₆
03F1 ₁₆	ポートP9レジスタ	P9	?? ₁₆
03F2 ₁₆	ポートP8方向レジスタ	PD8	00X0000 ₂
03F3 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆
03F4 ₁₆	ポートP10レジスタ	P10	?? ₁₆
03F5 ₁₆	予約レジスタ	RSVREG03F5	?? ₁₆
03F6 ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆
03F7 ₁₆	予約レジスタ	RSVREG03F7	00 ₁₆
03F8 ₁₆	予約レジスタ	RSVREG03F8	?? ₁₆
03F9 ₁₆	予約レジスタ	RSVREG03F9	?? ₁₆
03FA ₁₆	予約レジスタ	RSVREG03FA	00 ₁₆
03FB ₁₆	予約レジスタ	RSVREG03FB	00 ₁₆
03FC ₁₆	ブルアップ制御レジスタ0	PUR0	00 ₁₆
03FD ₁₆	ブルアップ制御レジスタ1	PUR1	0000000 ₂ (注2) 0000010 ₂
03FE ₁₆	ブルアップ制御レジスタ2	PUR2	00 ₁₆
03FF ₁₆	ポート制御レジスタ	PCR	00 ₁₆

注1. 空欄は予約領域です。使用しないでください。

注2. ハードウェアリセットでは次のようになります。

- ・CVNss1端子に“L”を入力している場合、“00000000₂”
- ・CVNss1端子に“H”を入力している場合、“0000010₂”

ソフトウェアリセット、ウォッチドッグタイマリセットでは次のようになります。

- ・PM0レジスタのPM01～PM00ビットが“00₂” (シングルチップモード)の場合、“00000000₂”
- ・PM0レジスタのPM01～PM00ビットが“00₂” (メモリ拡張モード)または、“11₂” (マイクロプロセッサモード)の場合“0000010₂”

X: このビットは何も配置されていません。

?: 不定です。

リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(「表3.1 RESET端子のレベルが“L”の期間の端子の状態」を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図3.1にリセット回路の一例を、図3.2にリセットシーケンスを、表3.1にRESET端子のレベルが“L”の期間の端子の状態を、図3.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「SFR」を参照してください。

1. 電源が安定している場合
 - (1)RESET端子に“L”を入力する
 - (2)XIN端子に20サイクル以上のクロックを入力する
 - (3)RESET端子に“H”を入力する

2. 電源投入時
 - (1)RESET端子に“L”を入力する
 - (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
 - (3)内部電源が安定するまでtd(P-R)待つ
 - (4)XIN端子に20サイクル以上のクロックを入力する
 - (5)RESET端子に“H”を入力する

ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

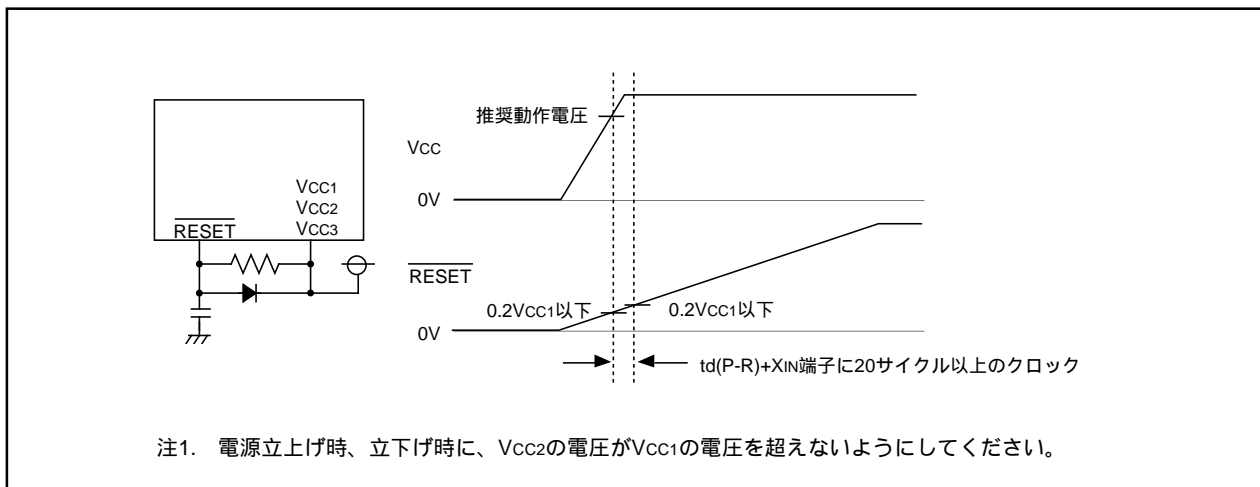


図3.1. リセット回路の一例

ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

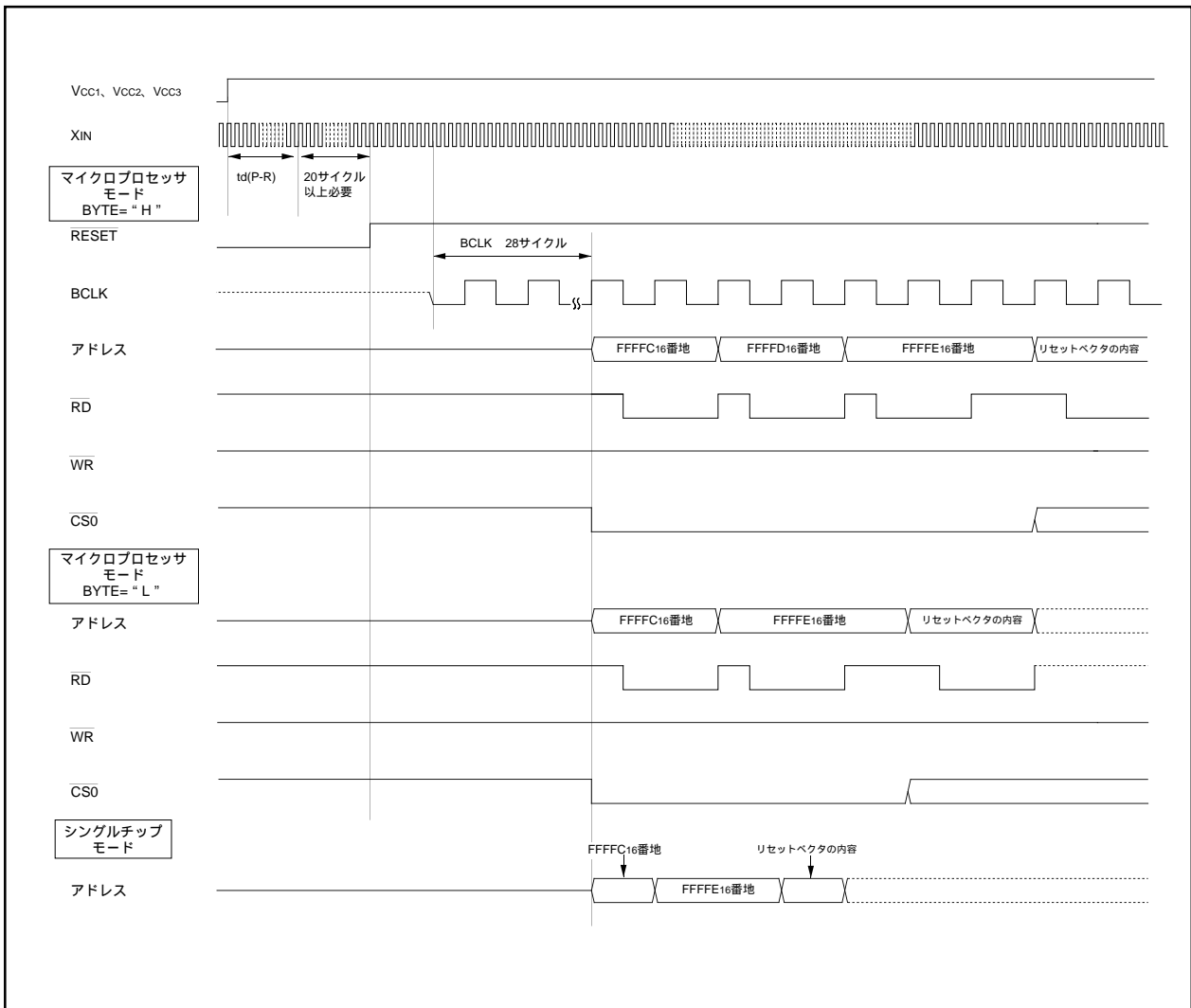


図3.2. リセットシーケンス

表3.1. RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss1 = Vss	CNVss1 = Vcc1	
		BYTE = Vss	BYTE = Vcc1
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P40 ~ P43	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート	CS0出力(“H”を出力)	CS0出力(“H”を出力)
P45 ~ P47	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)
P50	入力ポート	WR出力(“H”を出力)	WR出力(“H”を出力)
P51	入力ポート	BHE出力(不定)	BHE出力(不定)
P52	入力ポート	RD出力(“H”を出力)	RD出力(“H”を出力)
P53	入力ポート	BCLK出力	BCLK出力
P54	入力ポート	HLDA出力(出力値はHOLD端子の入力に依存)	HLDA出力(出力値はHOLD端子の入力に依存)
P55	入力ポート	HOLD入力	HOLD入力
P56	入力ポート	ALE出力(“L”を出力)	ALE出力(“L”を出力)
P57	入力ポート	RDY入力	RDY入力
P6, P7, P8, P9 P10	入力ポート	入力ポート	入力ポート
OSC2/SYNC1 OSCOU HSYNC/DA1 SCL4,SDA4,SCL5 SDA5,SCL6,SDA6	出力状態		
DIGR1, DIGG1 DIGB1 DIGR2, DIGG2 DIGB2	出力状態(不定)		
R/DIGR0,G/DIGG0 B/DIGB0,OUT1, OUT2 OSC1/OSCHLF DA0,CVIN1 VHOLD1,HLF1 CVIN2,VHOLD2 HLF2	入力状態		

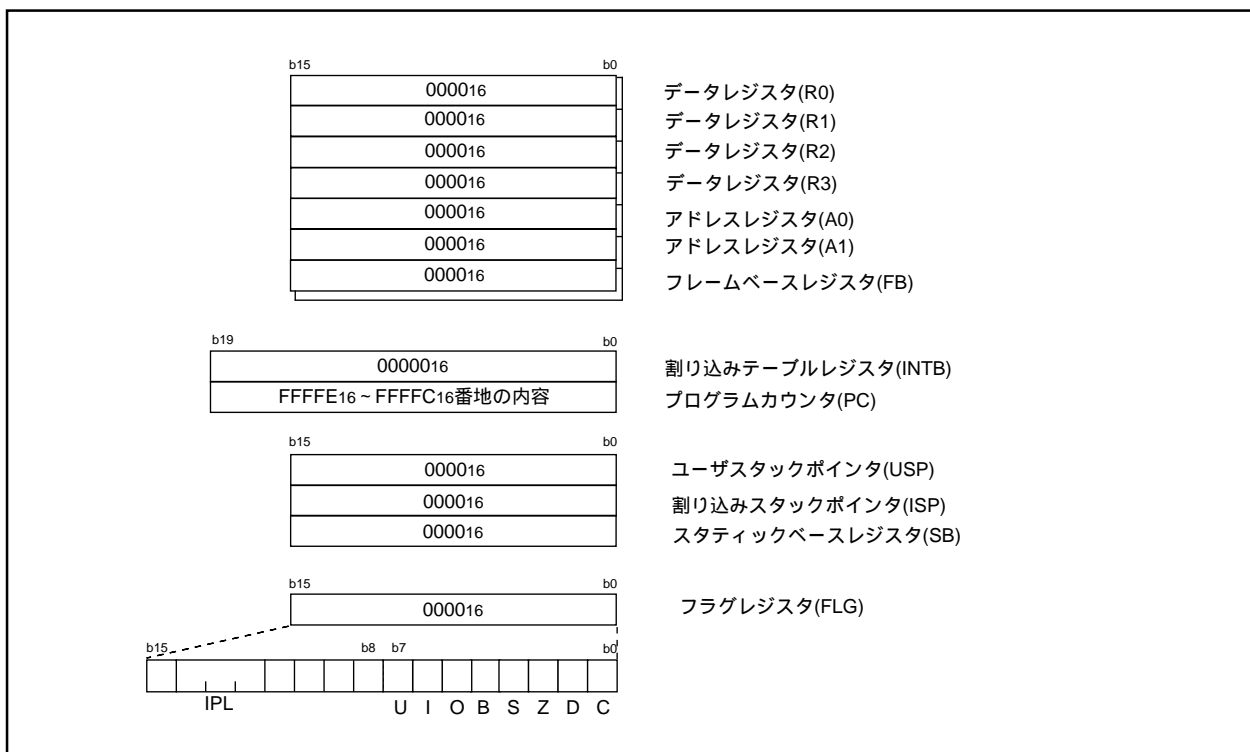


図3.3. リセット後のCPUレジスタの状態

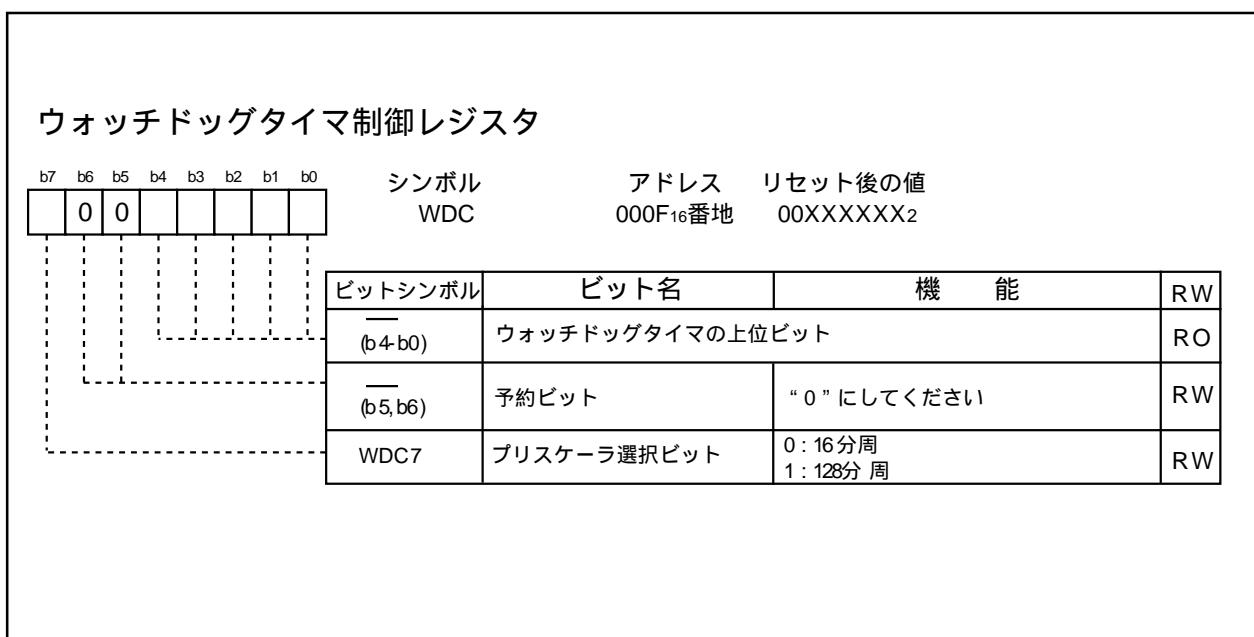


図3.4. WDCレジスタ

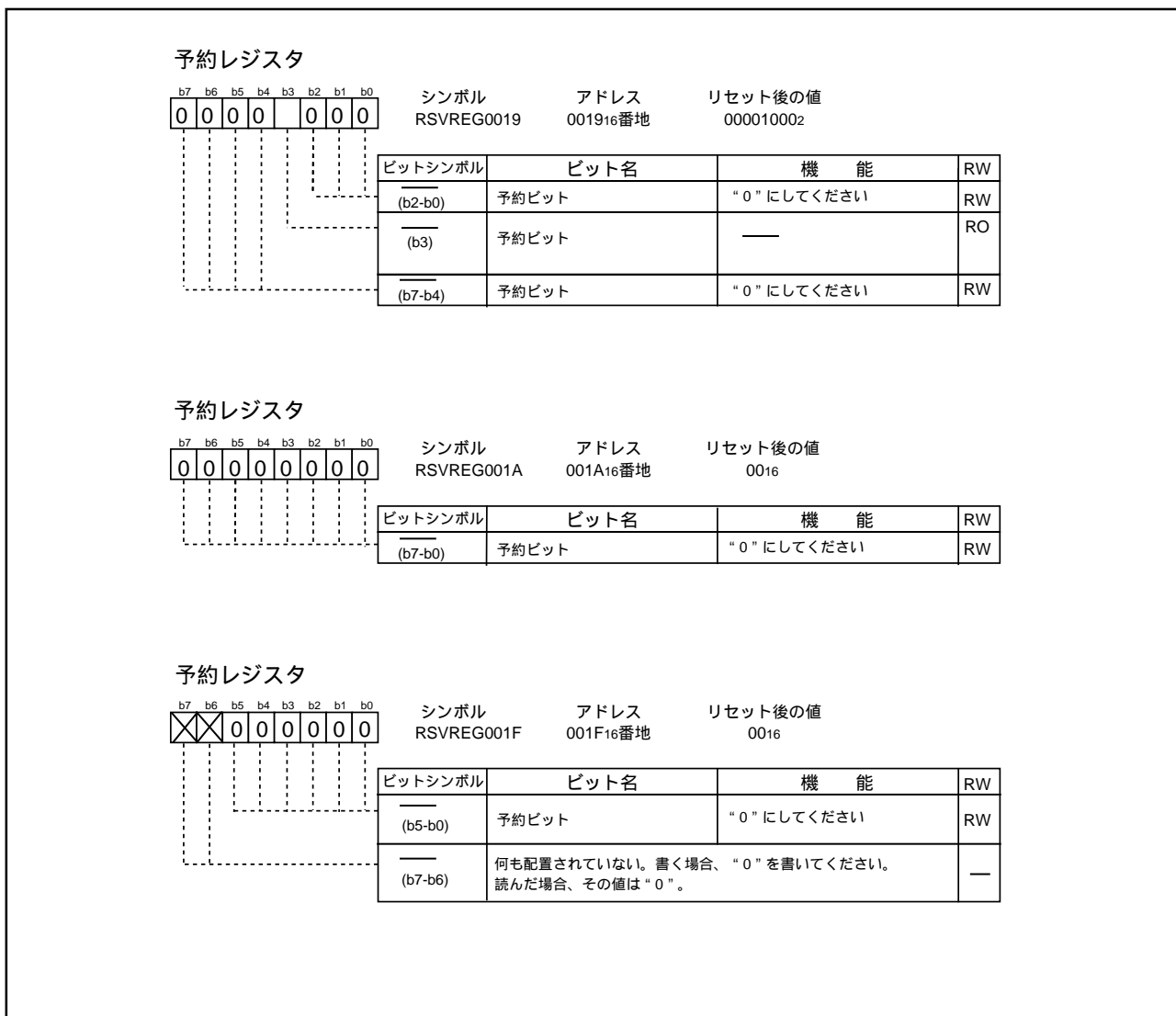


図3.5. 予約レジスタ

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表4.1にプロセッサモードの特長を示します。

表4.1. プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM、OSDRAM、OSDROM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域(注1) OSDRAM、OSDROM	一部の端子がバス制御端子(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域(注1) OSDRAM、OSDROM	一部の端子がバス制御端子(注1)

注1. 詳細は、「バス」を参照してください。

(2) プロセッサモードの設定

プロセッサモードの設定は、CNVss1端子、PM0レジスタのPM01~PM00ビットで行います。表4.2にハードウェアリセット後のプロセッサモード、表4.3にPM01~PM00ビットの設定値に対するプロセッサモードを示します。

表4.2. ハードウェアリセット後のプロセッサモード

CNVss1端子の入力レベル	プロセッサモード
Vss	シングルチップモード
Vcc1(注1、注2)	マイクロプロセッサモード

注1. CNVSS1端子にVcc1を入力し、ハードウェアリセット(ハードウェアリセット1またはハードウェアリセット2)した場合、PM01~PM00ビットにかかわらず、内部ROMはアクセスできません。

注2. マルチプレクスバスをCSの全空間に割り当てることはできません。

表4.3. PM01~PM00ビットの設定値に対するプロセッサモード

PM01~PM00ビット	プロセッサモード
002	シングルチップモード
012	メモリ拡張モード
102	設定しないでください
112	マイクロプロセッサモード

PM01~PM00ビットを書き換えると、CNVss1端子の入力レベルにかかわらず、PM01~PM00ビットに対応するモードになります。PM01~PM00ビットを“012”(メモリ拡張モード)または“112”(マイクロプロセッサモード)に書き換える場合、PM07ビット~PM02ビットと同時に書き換えないでください。また、内部ROMでのマイクロプロセッサモードへの移行、内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVss1端子にVcc1を入力し、ハードウェアリセットした場合、PM01~PM00ビットにかかわらず、内部ROMはアクセスできません。

図4.1~図4.2にプロセッサモード関連レジスタ、図4.3にシングルチップモード時のメモリ配置を示します。

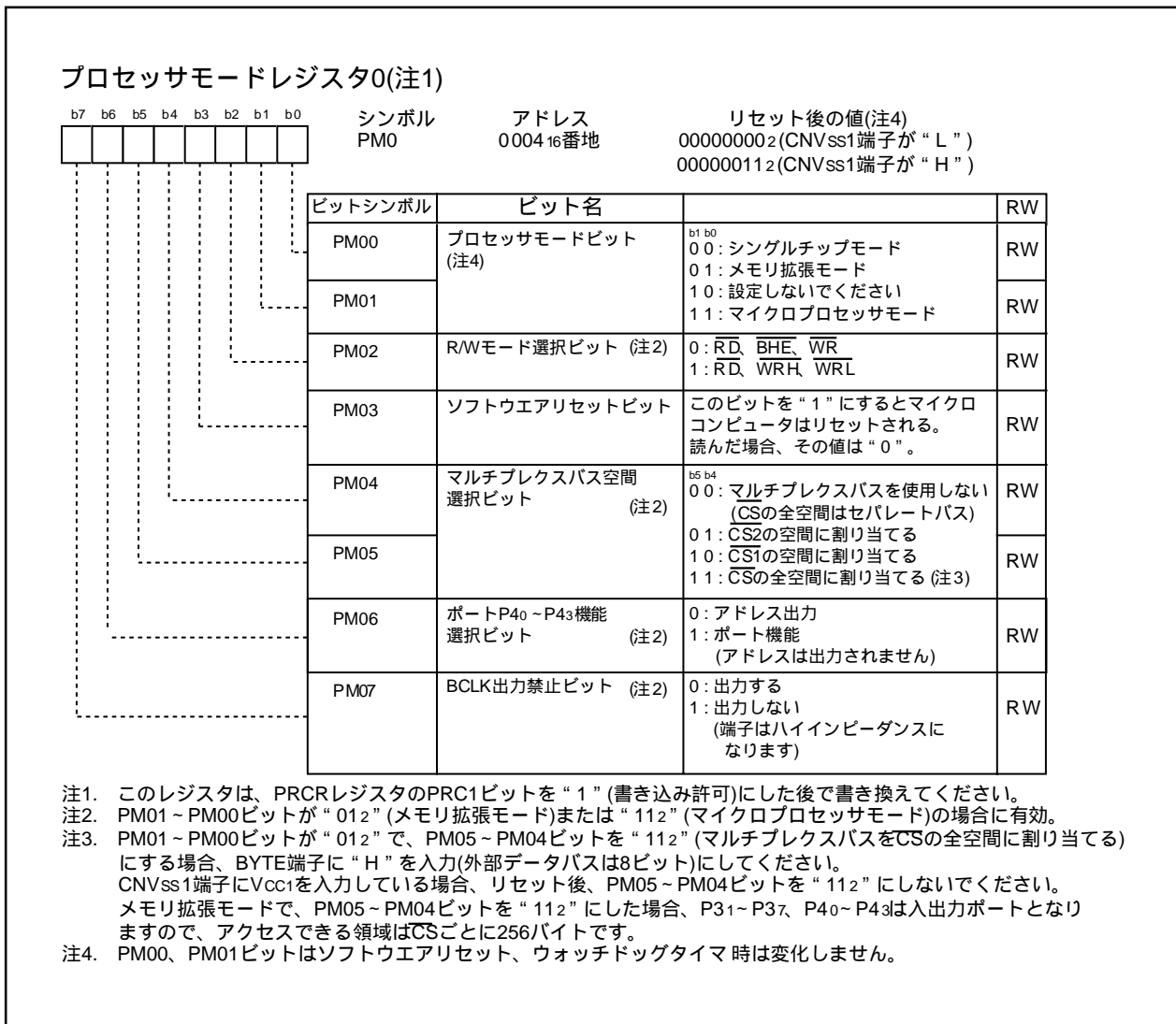


図4.1. PM0レジスタ

プロセッサモードレジスタ1(注1)

ビットシンボル	ビット名	機能	RW
PM10	CS2領域切り替えビット (データブロック有効ビット) (注2)	0 : 09000 ₁₆ ~ 26FFF ₁₆ (ブロックA無効) 1 : 10000 ₁₆ ~ 26FFF ₁₆ (ブロックA有効)	RW
PM11	ポートP37~P34機能選択 ビット(注3)	0 : アドレス出力 1 : ポート機能	RW
PM12	ウォッチドッグタイマ機能 選択ビット	0 : ウォッチドッグタイマ割り込み 1 : ウォッチドッグタイマリセット(注4)	RW
PM13	内部予約領域拡張ビット	注6を参照してください	RW
PM14	メモリ空間拡張ビット(注3)	b5 b4 00 : 1Mバイトモード(拡張なし)	RW
PM15		01 : 設定しないでください 10 : 設定しないでください 11 : 4Mバイトモード	RW
(b6)	予約ビット	"0" にしてください。	RW
PM17	ウェイトビット(注5)	0 : ウェイトなし 1 : ウェイトあり(1ウェイト)	RW

- 注1. このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. マスクROM版では、“0”にしてください。フラッシュメモリ版の場合、PM10ビットはブロックAが有効か無効かも制御します。なお、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、PM10ビットは自動的に“1”になります。
- 注3. PM01~PM00ビットが“012”(メモリ拡張モード)または“112”(マイクロプロセッサモード)の場合に有効。
- 注4. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
- 注5. PM17ビットが“1”(ウェイトあり)の場合、内部RAM、内部ROM、外部領域アクセス時に1ウェイトが挿入されます。CSRレジスタのCSiWビット(i=0~3)が“0”(ウェイトあり)の場合、PM17ビットにかかわらず、CS領域はウェイトありになります。RDY信号を使用する場合、またはマルチプレクスバスを使用する場合、CSRレジスタのCSiWビットを“0”(ウェイトあり)にしてください。
- 注6. FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、PM13ビットは自動的に“1”になります。
- 注7. PM13ビットで次のとおりアクセス領域が変化します。

アクセス領域	PM13=0	PM13=1
内部 RAM	最大00400 ₁₆ ~ 03FFF ₁₆ 番地(15Kバイト)	全領域を使用可能
ROM	最大D0000 ₁₆ ~ FFFFF ₁₆ 番地(192Kバイト)	全領域を使用可能
外部	04000 ₁₆ ~ 07FFF ₁₆ 番地を使用可能 80000 ₁₆ ~ CFFFF ₁₆ 番地を使用可能	04000 ₁₆ ~ 07FFF ₁₆ 番地は予約領域 80000 ₁₆ ~ CFFFF ₁₆ 番地は予約領域

図4.2. PM1レジスタ

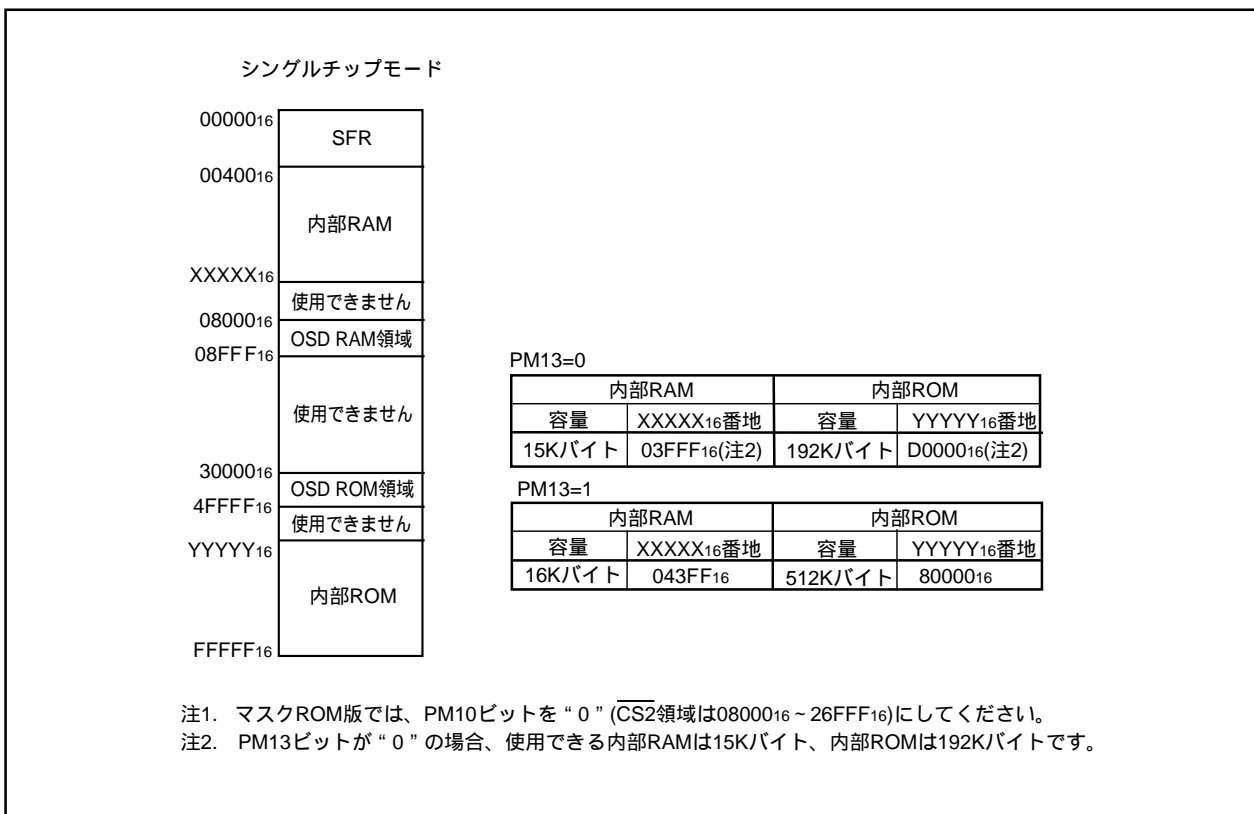


図4.3. シングルチップモード時のメモリ配置

バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA₀ ~ A₁₉、D₀ ~ D₁₅、CS₀ ~ CS₃、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLKがあります。

バス形式

バスの形式は、PM05 ~ PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。

セパレートバス

データとアドレスを分離するバスの形式です。

マルチプレクスバス

データとアドレスをマルチプレクスするバスの形式です。D₀ ~ D₇がA₁ ~ A₈とマルチプレクスされ、D₈ ~ D₁₅はマルチプレクスされません。この場合、マルチプレクスバスに接続した外部デバイスは、マイクロコンピュータの偶数番地のみに配置されます。

バス制御

外部デバイスのアクセスに必要な信号とソフトウェアウエイトについて説明します。

(1) アドレスバス

アドレスバスはA0～A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットとPM1レジスタのPM11ビットによって12ビット、16ビット、20ビットから選択できます。表4.4にPM06ビット、PM11ビットの設定値とアドレスバス幅を示します。

表4.4. PM06ビット、PM11ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM11=1	P34～P37	12ビット
PM06=1	P40～P43	
PM11=0	A12～A15	16ビット
PM06=1	P40～P43	
PM11=0	A12～A15	20ビット
PM06=0	A16～A19	

注1. この表で示す値以外を設定しないでください。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

(2) データバス

D0～D15の16本がデータバスになります。

BYTE端子の入力レベル“L”は変更しないでください。

(3) チップセレクト信号

チップセレクト信号(以下、 \overline{CS} と称す)は \overline{CS}_i ($i=0\sim 3$)端子から出力されます。CSRレジスタの \overline{CS}_i ビットによって、端子の機能を入出力ポートにするか \overline{CS}_i にするかを選択できます。図4.4にCSRレジスタを示します。

1Mバイトモードでは \overline{CS}_i 端子から出力される \overline{CS}_i 信号によって外部領域を最大4つに分割できます。4Mバイトモードでは \overline{CS}_i 端子から \overline{CS}_i 信号またはバンク番号が出力されます。詳細は「メモリ空間拡張機能」を参照してください。

図4.5に1Mバイトモードでのアドレスバスと \overline{CS}_i 信号の出力例(セパレートバス、ウエイトなし)を示します。

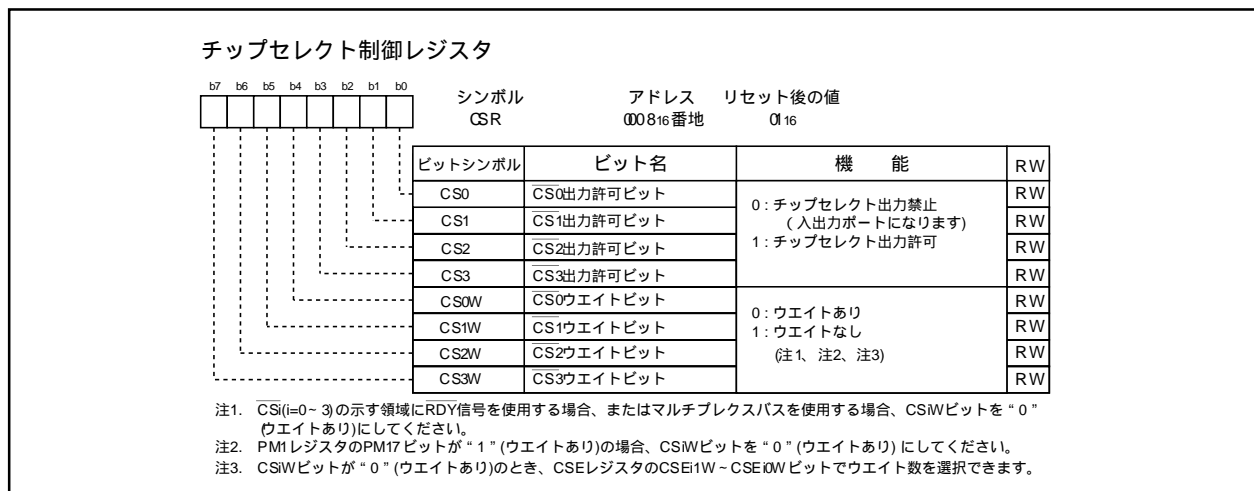
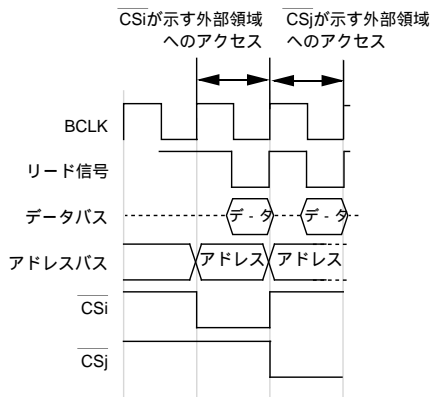


図4.4. CSRレジスタ

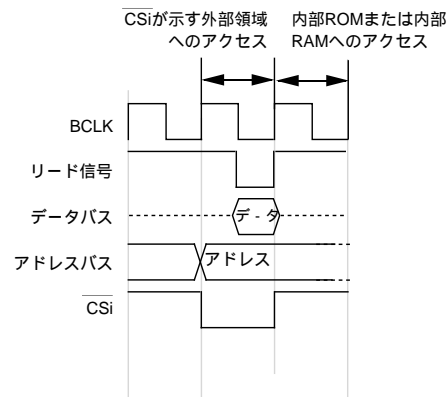
- 例1. $\overline{\text{CSi}}$ が示す外部領域へアクセス後、次のサイクルで $\overline{\text{CSj}}$ が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化する。



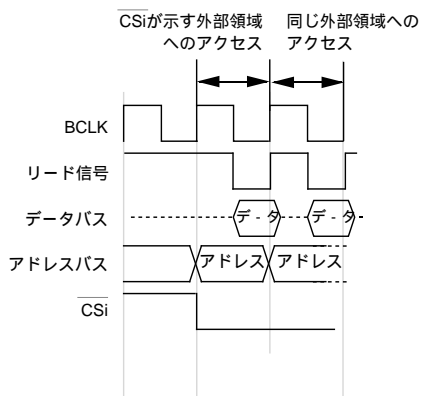
- 例2. $\overline{\text{CSi}}$ が示す外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合

この2つのサイクル間でチップセレクト信号は変化するが、アドレスバスは変化しない。



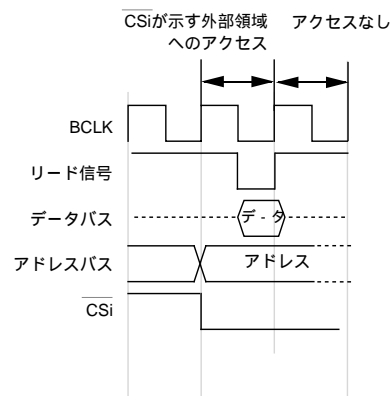
- 例3. $\overline{\text{CSi}}$ が示す外部領域へアクセス後、次のサイクルで同じ $\overline{\text{CSi}}$ が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバスは変化するが、チップセレクト信号は変化しない。



- 例4. $\overline{\text{CSi}}$ が示す外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合

この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しない。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上、伸びる場合があります。

上図は、セパレートバス、ウエイトなし、読み出しの場合です。i=0~3、j=0~3(ただし、iを除く)。

図4.5. 1Mバイトモードでのアドレスバスと $\overline{\text{CSi}}$ 信号の出力例

(4) リード信号、ライト信号

データバス幅が16ビットの場合、リード信号、ライト信号はPM0レジスタのPM02ビットによって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。データバス幅が8ビットの場合、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせにしてください。表4.5に \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作、表4.6に \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作を示します。

表4.5. \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地ともにデータを書く

表4.6. \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地の1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地の1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む

(5) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち上がりでアドレスをラッチしてください。

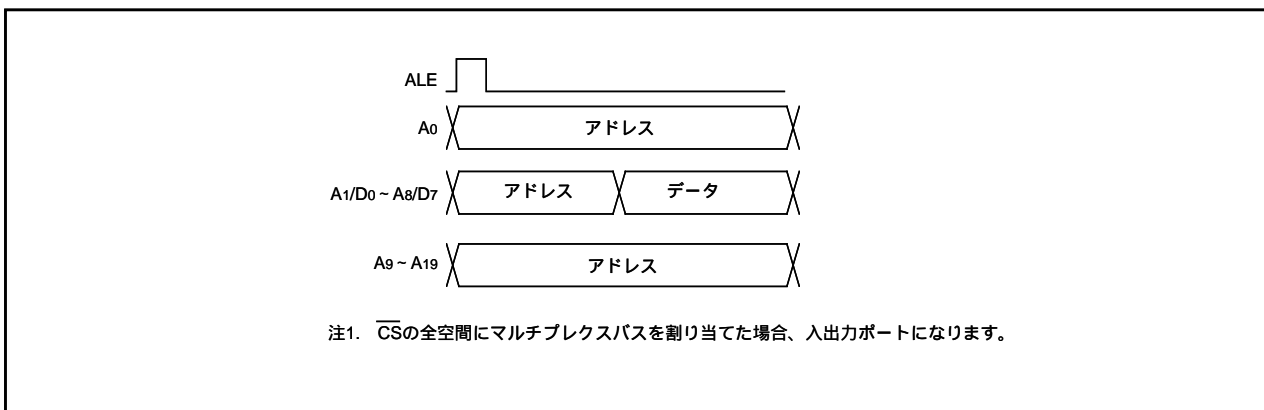


図4.6. ALE信号とアドレスバス、データバス

(6) $\overline{\text{RDY}}$ 信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“L”が入力されている場合、バスサイクルにウエイトが挿入されます。 $\overline{\text{RDY}}$ 信号によるウエイト中、次の信号は $\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持します。

A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{HLDA}}$

その後、BCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“H”が入力されていると、残りのバスサイクルを実行します。図4.7に $\overline{\text{RDY}}$ 信号によってリードサイクルにウエイトが挿入された例を示します。

$\overline{\text{RDY}}$ 信号を使用する場合、CSRレジスタの対応するビット(CS3W ~ CS0Wビット)を“0”(ウエイトあり)にしてください。 $\overline{\text{RDY}}$ 信号を使用しない場合、未使用端子の処理をしてください。

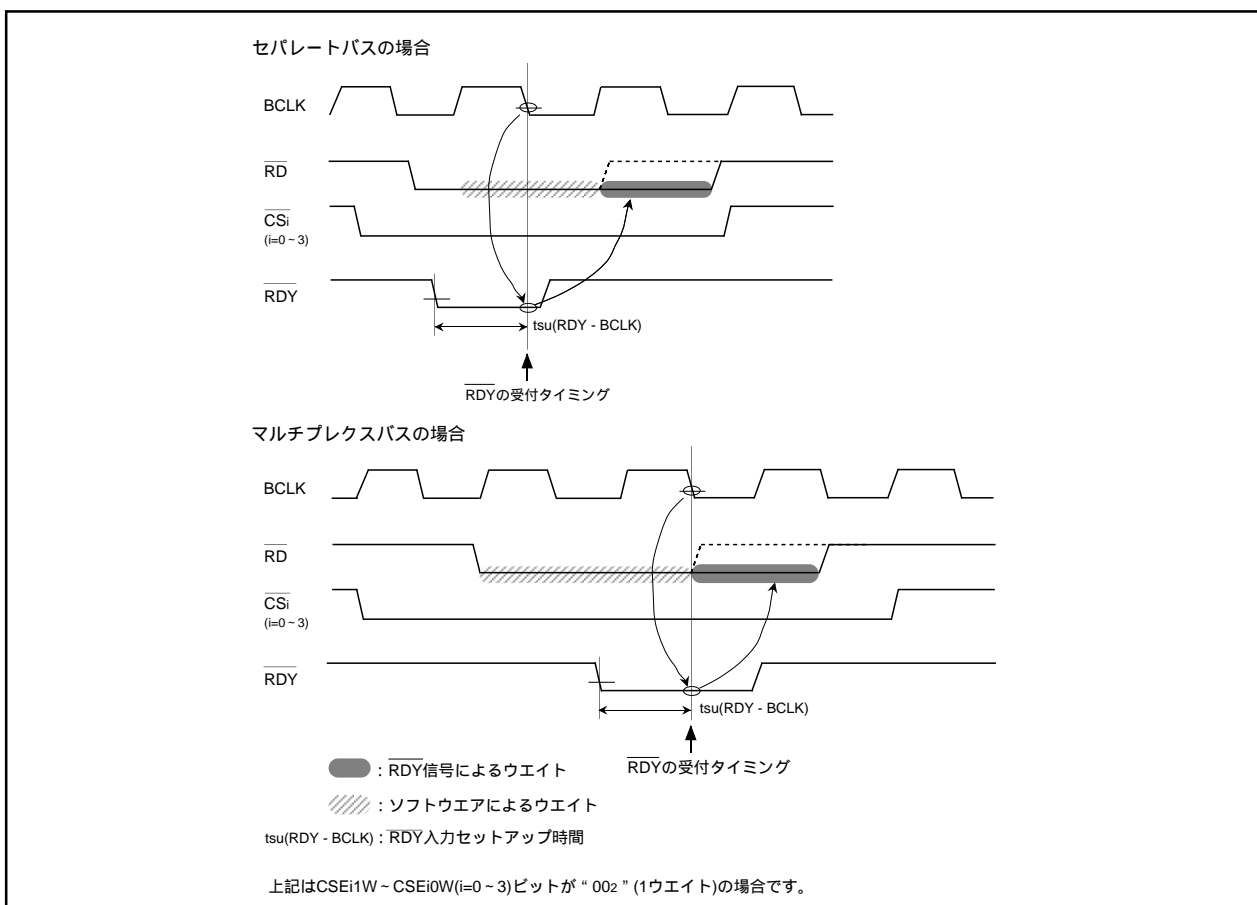


図4.7. $\overline{\text{RDY}}$ 信号によってリードサイクルにウエイトが挿入された例

(7) $\overline{\text{HOLD}}$ 信号

バスの使用権をCPUやDMAから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 $\overline{\text{HOLD}}$ 端子が“L”の期間、ホールド状態を保持し、 $\overline{\text{HLDA}}$ 端子から“L”を出力します。表4.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図4.8. バス使用優先順位

表4.7. ホールド状態におけるマイクロコンピュータの状態

項 目		状 態
BCLK		出力
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WRL、WRH、WR $\overline{\text{BHE}}$		ハイインピーダンス
入出力ポート	P0、P1、P3、P4(注1)	ハイインピーダンス
	P6 ~ P10	$\overline{\text{HOLD}}$ 信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内部周辺機能		動作(ただしウォッチドッグタイマは停止)
ALE		不定

注1. 入出力ポートを選択した場合です。

(8) BCLK出力

PM0レジスタのPM07ビットを“0”(出力する)にすると、CPUクロックと同一周波数のクロックがBCLKとしてBCLK端子から出力されます。詳細は「システムクロック」を参照してください。

表4.8. プロセッサモードと端子の機能表

プロセッサモード	メモリ拡張モードまたはマイクロプロセッサモード	
PM05 ~ PM04ビット	002(セパレートバス)	012(CS2領域はマルチプレクスバス それ以外はセパレートバス) 102(CS1領域はマルチプレクスバス それ以外はセパレートバス)
データバス幅 BYTE端子	16ビット “L”	16ビット “L”
P00 ~ P07	D0 ~ D7	D0 ~ D7(注)
P10 ~ P17	D8 ~ D15	D8 ~ D15(注)
P20	A0	A0
P21 ~ P27	A1 ~ A7	A1 ~ A7/D0 ~ D6 (注2)
P30	A8	A8/D7(注2)
P31 ~ P33	A9 ~ A11	
P34 ~ P37	PM11=0	A12 ~ A15
	PM11=1	入出力ポート
P40 ~ P43	PM06=0	A16 ~ A19
	PM06=1	入出力ポート
P44	CS0=0	入出力ポート
	CS0=1	CS0
P45	CS1=0	入出力ポート
	CS1=1	CS1
P46	CS2=0	入出力ポート
	CS2=1	CS2
P47	CS3=0	入出力ポート
	CS3=1	CS3
P50	PM02=0	WR
	PM02=1	WRL
P51	PM02=0	BHE
	PM02=1	WRH
P52	RD	
P53	BCLK	
P54	HLDA	
P55	HOLD	
P56	ALE	
P57	RDY	

入出力ポート：入出力ポートまたは周辺機能入出力端子として機能する

注1. CNVss1端子にVcc1を入力している場合、リセット後、PM05 ~ PM04ビットを“112”にしないでください。
メモリ拡張モードで、PM05 ~ PM04ビットを“112”にした場合、P31 ~ P37、P40 ~ P43は入出力ポートとなりますので、
アクセスできる領域はCSごとに256バイトです。

注2. セパレートバスではアドレスバスになります。

注3. マルチプレクスバスを使用する領域をアクセスする場合、書き込み時は不定値を出力します。

(9) 内部領域をアクセスしたときの外部バスの状態

表4.9に内部領域をアクセスしたときの外部バスの状態を示します。

表4.9. 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM、RAMをアクセスしたときの状態
A0 ~ A19	アドレスを出力	直前にアクセスされた外部領域またはSFRのアドレスを保持
D0 ~ D15	リード時	ハイインピーダンス
	ライト時	データを出力
RD、WR、WRL、WRH	RD、WR、WRL、WRHを出力	“H”を出力
BHE	BHEを出力	直前にアクセスされた外部領域またはSFRの状態を保持
CS0 ~ CS3	“H”を出力	“H”を出力
ALE	“L”を出力	“L”を出力

(10) ソフトウェアウエイト

PM1レジスタのPM17ビット、CSRレジスタのCS0W ~ CS3Wビット、CSEレジスタによって、ソフトウェアウエイトを挿入できます。SFR領域はこれらの制御ビットの影響を受けず、BCLKの2サイクルでアクセスされます。

RDY信号を使用する場合、CS0W ~ CS3Wビットの該当するビットを“0”にしてください。

図4.9にCSEレジスタ、表4.10にソフトウェアウエイト関連ビットとバスサイクル、図4.10、図4.11にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

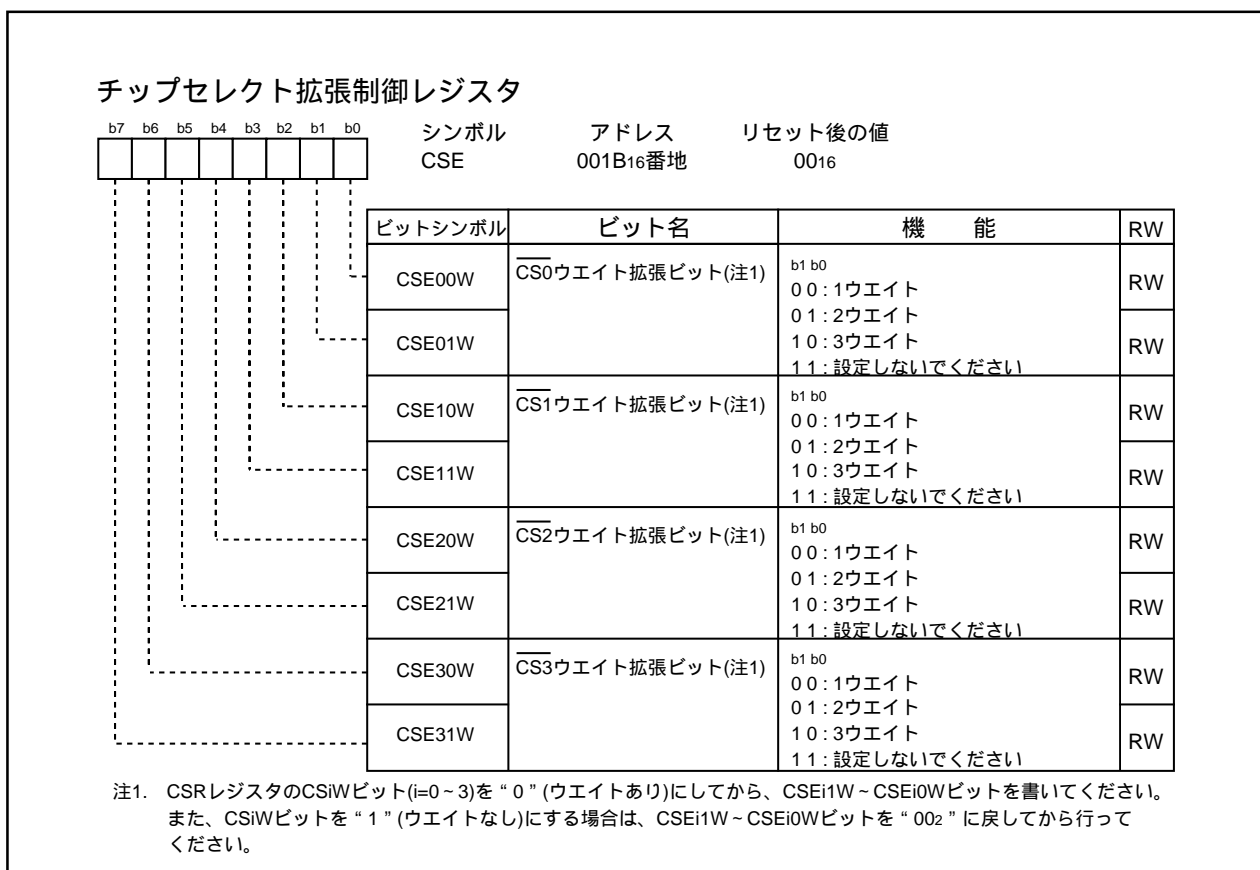


図4.9. CSEレジスタ

表4.10. ソフトウェアウエイト関連ビットとバスサイクル

領域	バス形式	PM1レジスタ PM17ビット	CSRレジスタ CS3W ビット(注1) CS2W ビット(注1) CS1W ビット(注1) CS0W ビット(注1)	CSEレジスタ CSE31W ~ CSE30W ビット CSE21W ~ CSE20W ビット CSE11W ~ CSE10W ビット CSE01W ~ CSE00W ビット	ソフトウェア ウエイト	バスサイクル
SFR	---	---	---	---	---	BCLKの2サイクル
内部 RAM、ROM	---	0	---	---	なし	BCLKの1サイクル(注3)
	---	1	---	---	1ウエイト	BCLKの2サイクル
外部領域	セパレート バス	0	1	00 ₂	なし	BCLKの1サイクル(リード) BCLKの2サイクル(ライト)
		---	0	00 ₂	1ウエイト	BCLKの2サイクル(注3)
		---	0	01 ₂	2ウエイト	BCLKの3サイクル
		---	0	10 ₂	3ウエイト	BCLKの4サイクル
		1	0	00 ₂	1ウエイト	BCLKの2サイクル
	マルチプレクス バス(注2)	---	0	00 ₂	1ウエイト	BCLKの3サイクル
		---	0	01 ₂	2ウエイト	BCLKの3サイクル
		---	0	10 ₂	3ウエイト	BCLKの4サイクル
		1	0	00 ₂	1ウエイト	BCLKの3サイクル

注1. RDY信号を使用する場合“0”(ウエイトあり)にしてください。

2. マルチプレクスバスでアクセスする場合は、CS0W ~ CS3W ビットの該当するビットを“0”(ウエイトあり)にしてください。

3. リセット後、PM17ビットは“0”(ウエイトなし)、CS0W ~ CS3W ビットはすべて“0”(ウエイトあり)、CSEレジスタは“00₁₆”(CS0 ~ CS3は1ウエイト)ですので、内部RAMと内部ROMはウエイトなし、外部領域はすべて1ウエイトになります。

4. PM17ビットが“1”で外部領域をアクセスする場合は、CSRレジスタのCSiWビット(0~3)を“0”(ウエイトあり)にしてください。

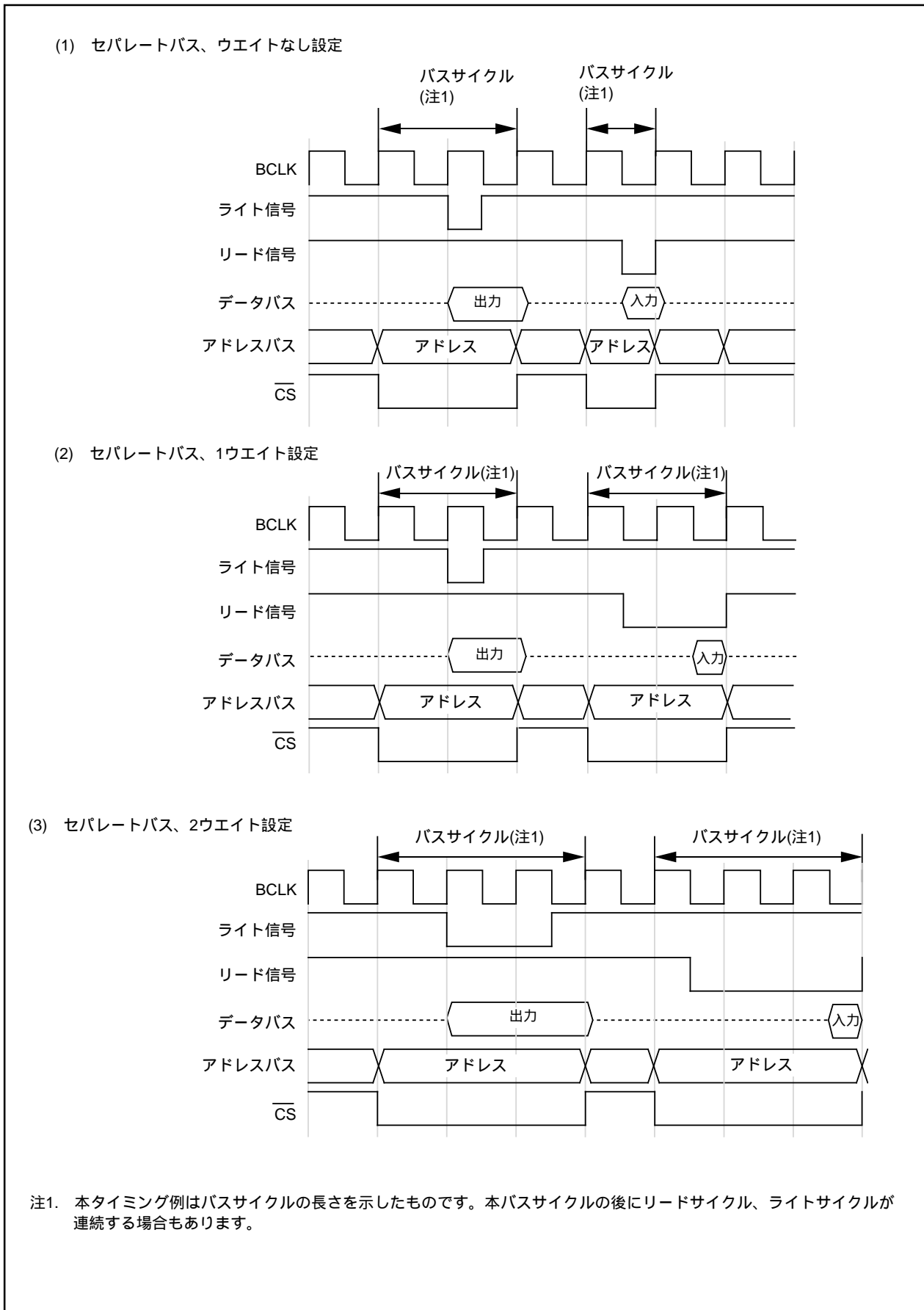


図4.10. ソフトウェアウエイトを使用した場合のバスタイミング例(1)

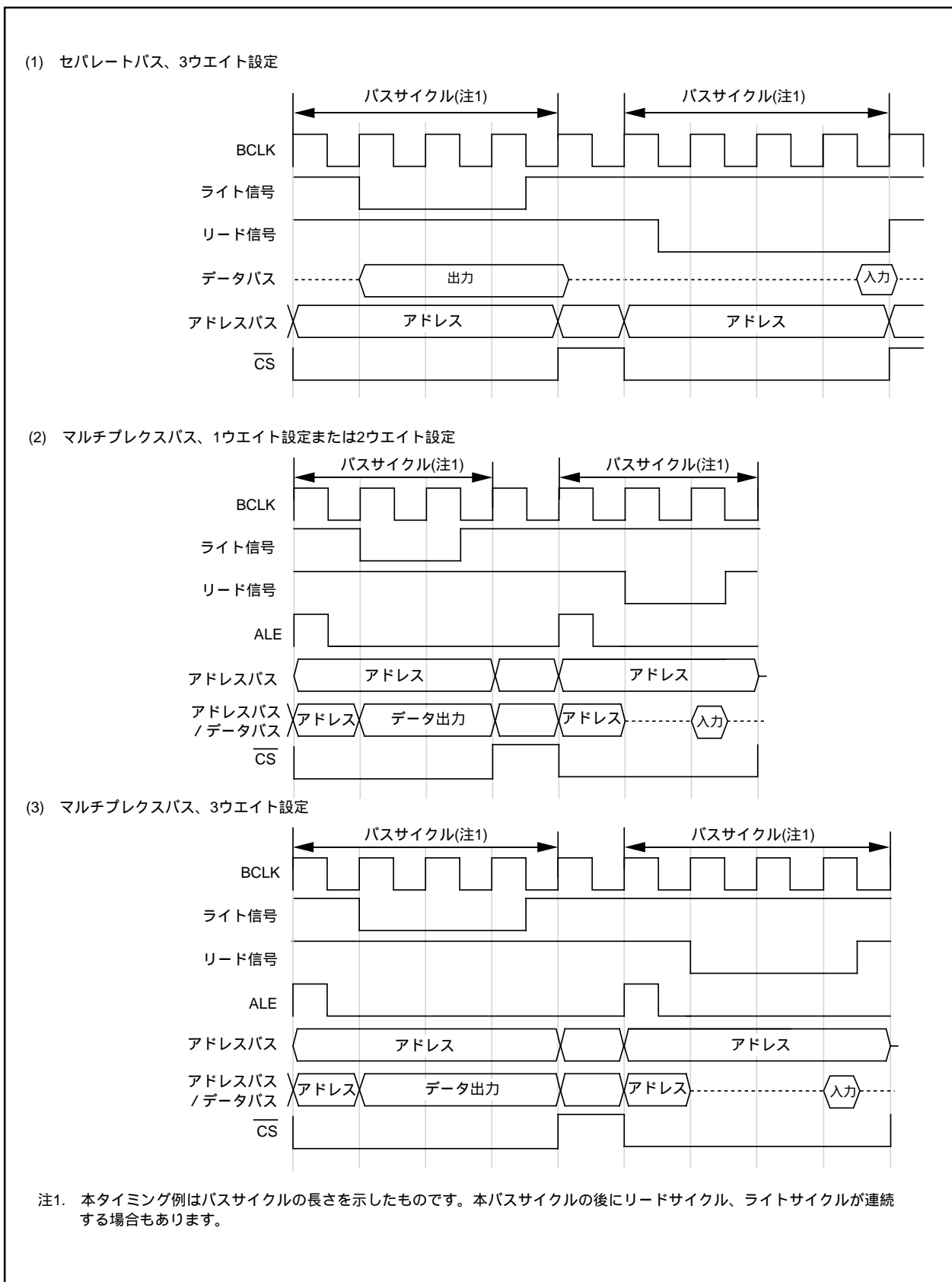


図4.11. ソフトウェアウェイトを使用した場合のバスタイミング例(2)

メモリ空間拡張機能

メモリ空間拡張機能について説明します。

メモリ拡張モードまたはマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張できます。表4.11にメモリ空間拡張機能の設定方法、メモリ空間を示します。

表4.11. メモリ空間拡張機能の設定方法、メモリ空間

メモリ空間拡張機能	設定方法(PM15～PM14)	メモリ空間
1Mバイトモード	00 ₂	1Mバイト(拡張なし)
4Mバイトモード	11 ₂	4Mバイト

(1)1Mバイトモード

メモリ空間が1Mバイトのモードです。1Mバイトモードでは、 $\overline{CS}_i(i=0\sim 3)$ 信号によってアクセスできる外部領域(以下 \overline{CS}_i 領域と称す)を指定します。図4.13～図4.14に1Mモード時のメモリ配置、 \overline{CS} 領域を示します。

(2)4Mバイトモード

メモリ空間が4Mバイトのモードです。図4.12にDBRレジスタを示します。BSR2～BSR0ビットでデータをアクセスする場合のバンク番号を選択できます。OFSビットを“1”(オフセットあり)にすると、アクセスする番地に40000₁₆番地分のオフセットを追加できます。

4Mバイトモードでは、アクセスする領域によって、 $\overline{CS}_i(i=0\sim 3)$ 端子の機能が異なります。

04000₁₆～3FFFF₁₆番地、C0000₁₆～FFFFF₁₆番地

- ・ \overline{CS}_i 端子から \overline{CS}_i 信号を出力(1Mバイトモードと同じ動作。ただし、 \overline{CS}_1 領域は3FFFF₁₆番地まで)

40000₁₆～BFFFF₁₆番地

- ・ \overline{CS}_0 端子は“L”を出力
- ・ $\overline{CS}_1\sim\overline{CS}_3$ 端子は、BSR2～BSR0ビットの値(バンク番号)を出力

図4.15～図4.16に4Mモード時のメモリ配置、 \overline{CS} 領域を示します。

なお、バンク0～6はデータ専用の領域です。プログラムはバンク7または \overline{CS}_i 領域に配置してください。

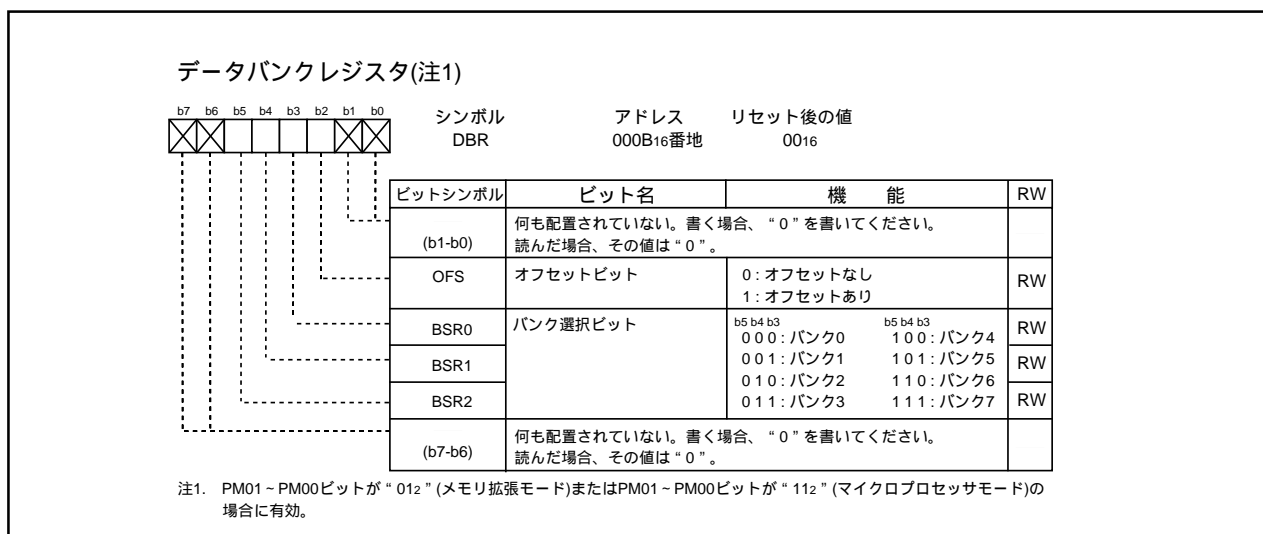


図4.12. DBRレジスタ

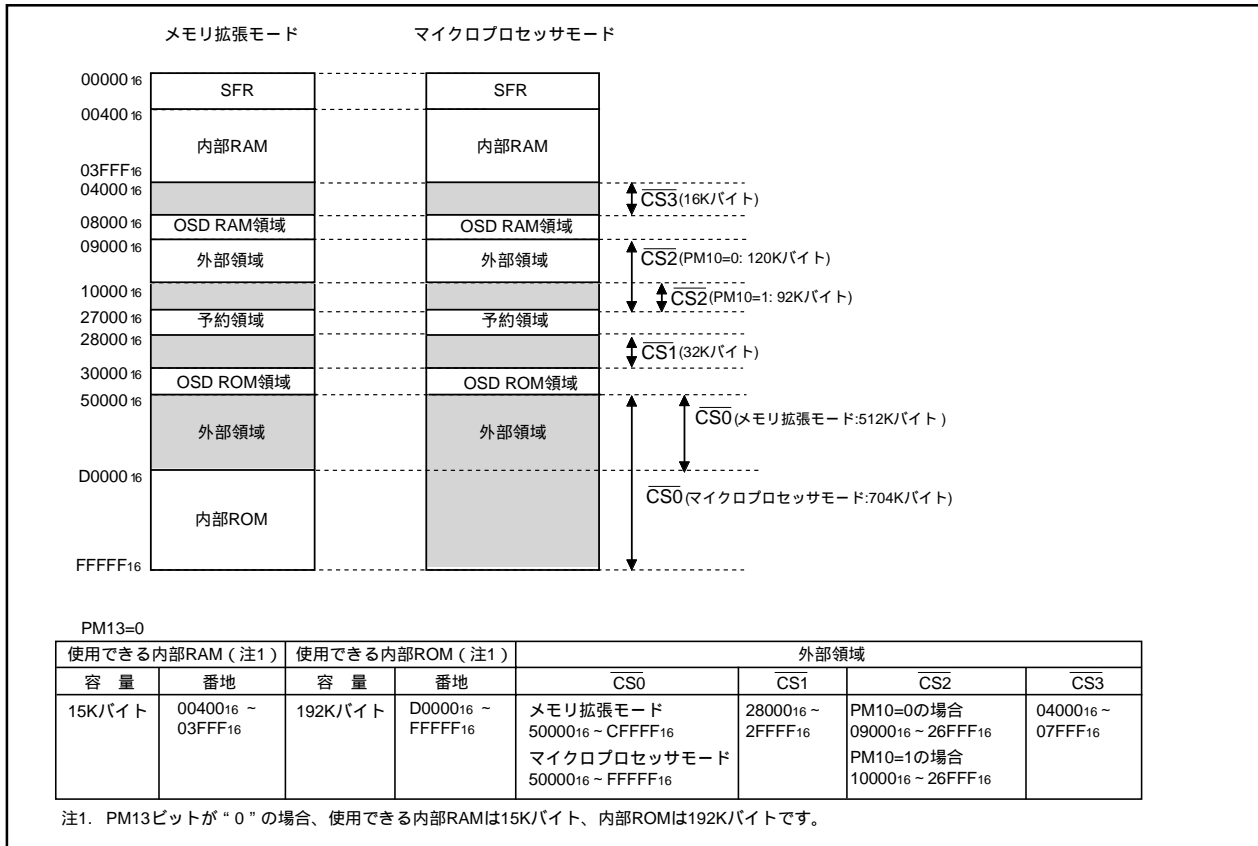


図4.13. 1Mバイトモード時のメモリ配置、CS領域(PM13=0)

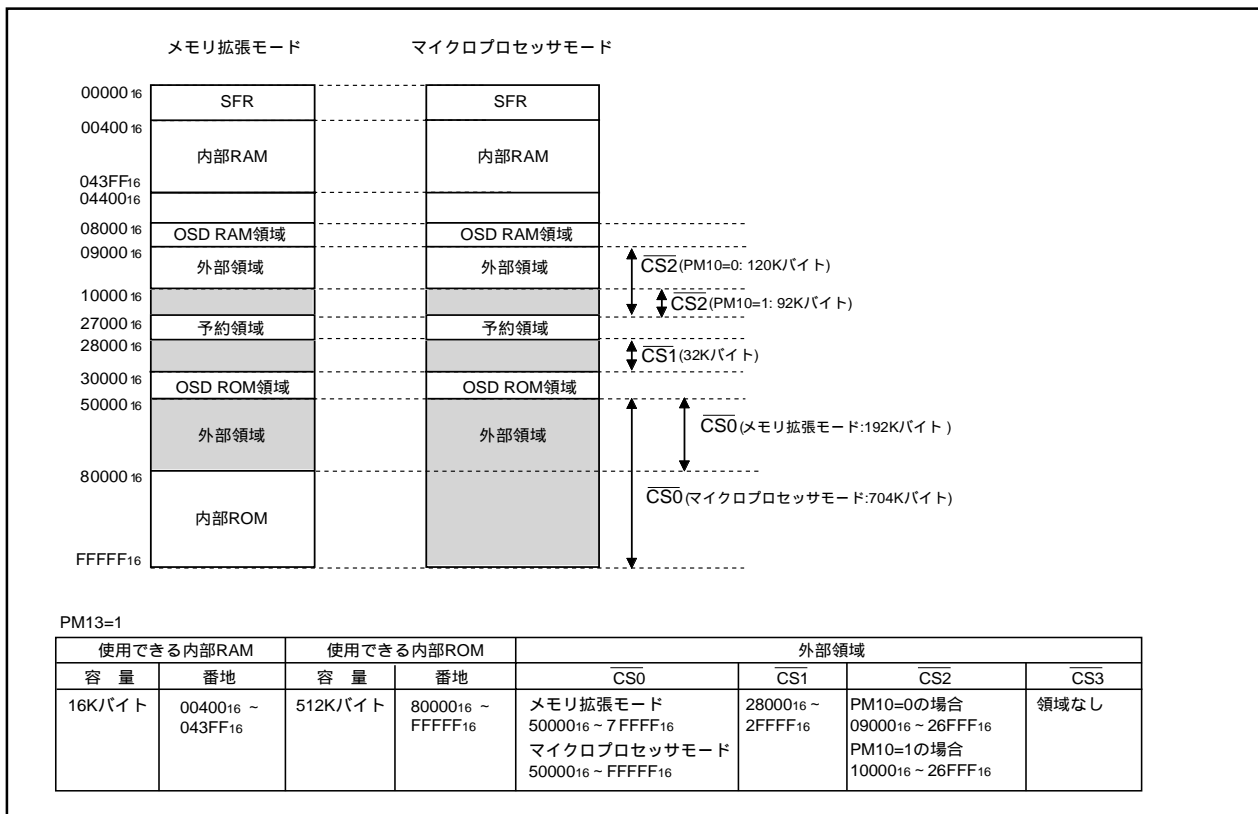


図4.14. 1Mバイトモード時のメモリ配置、CS領域(PM13=1)

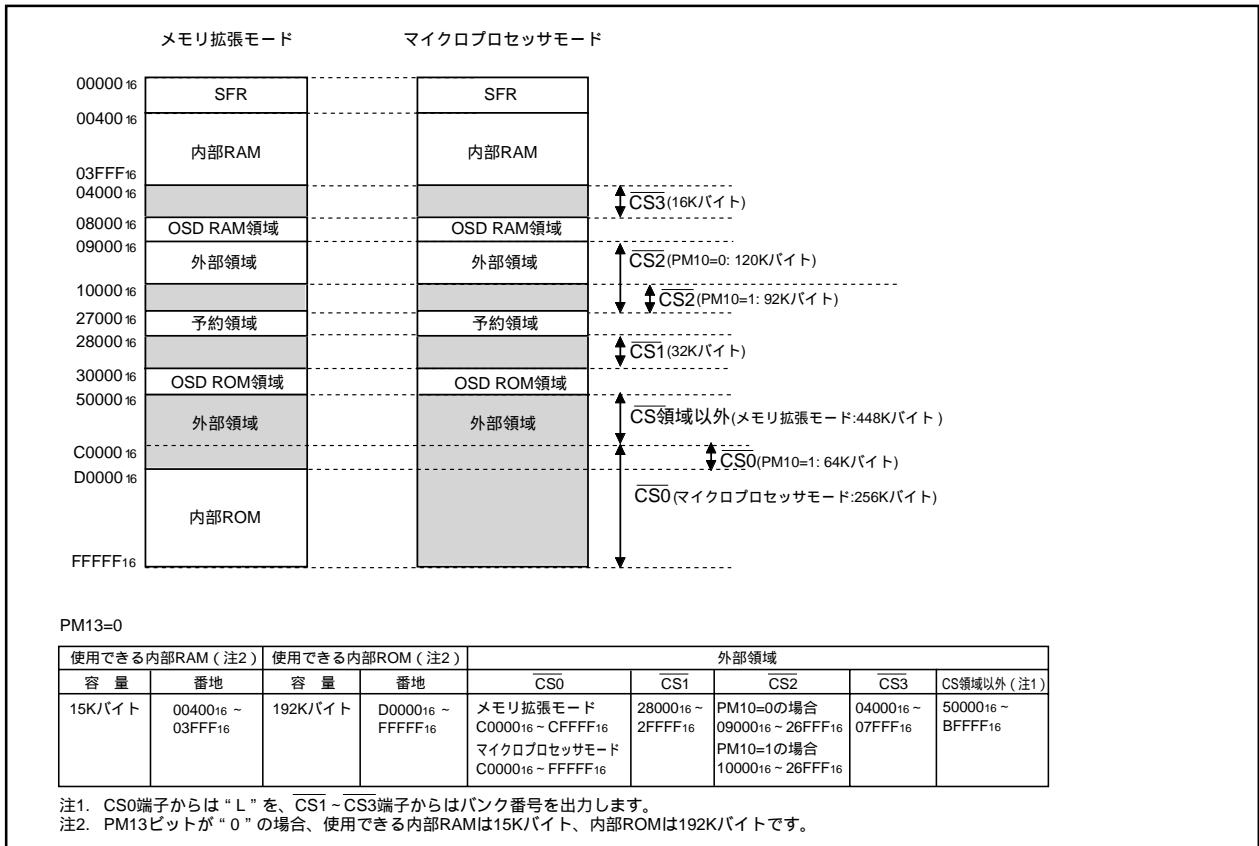


図4.15. 4Mバイトモード時のメモリ配置、CS領域(PM13=0)

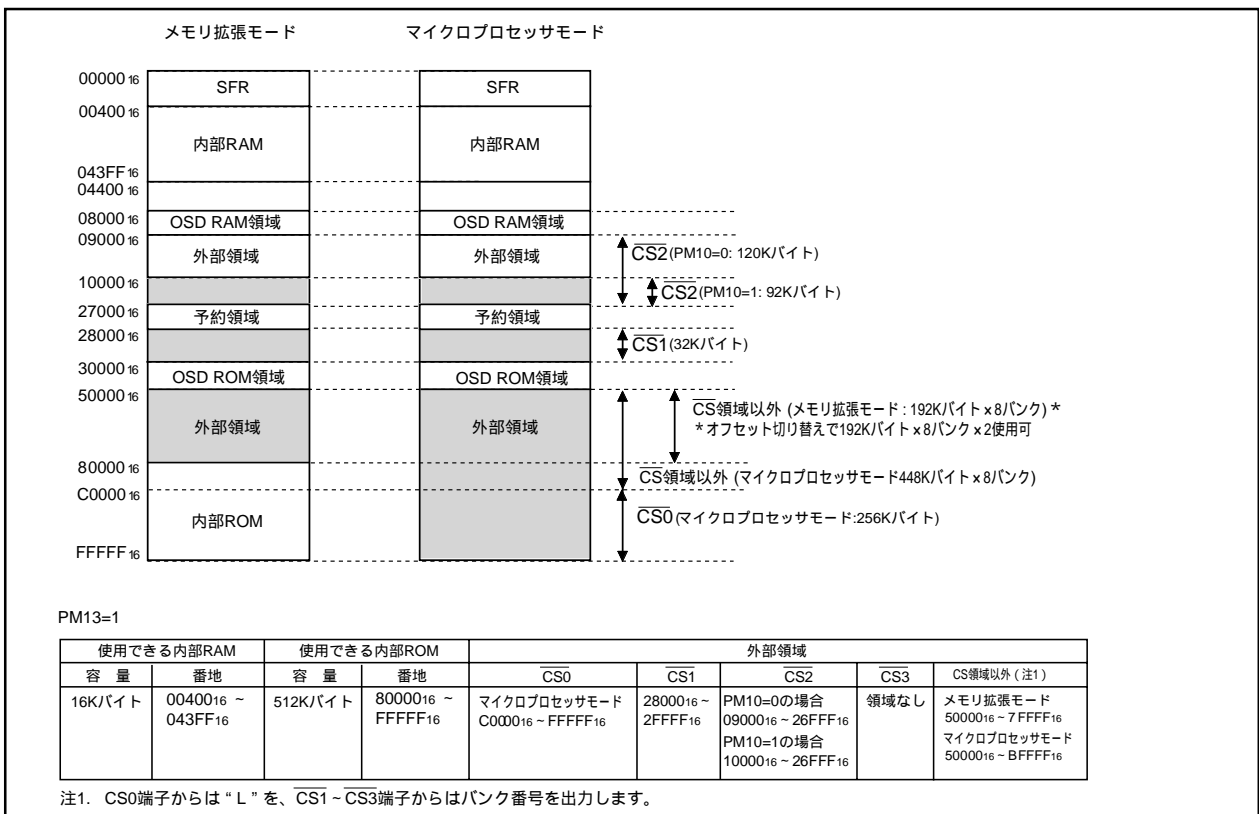


図4.16. 4Mバイトモード時のメモリ配置、CS領域(PM13=1)

図4.17に4Mバイトモード時の外部メモリ接続例を示します。この例では、4MバイトROMの \overline{CS} 端子をマイクロコンピュータの $\overline{CS0}$ と接続します。4MバイトROMアドレス入力AD21端子、AD20端子、AD19端子はマイクロコンピュータの $\overline{CS3}$ 端子、 $\overline{CS2}$ 端子、 $\overline{CS1}$ 端子とそれぞれ接続します。アドレス入力AD18端子はマイクロコンピュータのA19端子と接続します。図4.18～図4.20に図4.17の接続例における4MバイトROMとマイクロコンピュータのアドレスの関係を示します。

マイクロプロセッサモード、またはPM1レジスタのPM13ビットが“0”でメモリ拡張モードの場合、512Kバイトごとにバンクがあります。OFSビットを“1”（オフセットあり）にすることで、 40000_{16} 番地のオフセットがつきバンク境界部分のデータであっても、連続してアクセスできます。

PM13ビットが“1”でメモリ拡張モードの場合、512KバイトのバンクをOFSビットで切り替えることによって256Kバイトごとにアクセスできます。

SRAMは、チップセレクト信号S2が“H”で、S1が“L”であることがアクセス条件ですので、S2には $\overline{CS0}$ をS1には $\overline{CS2}$ をそれぞれ接続できます。もし、両極性のチップセレクト信号入力端子を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

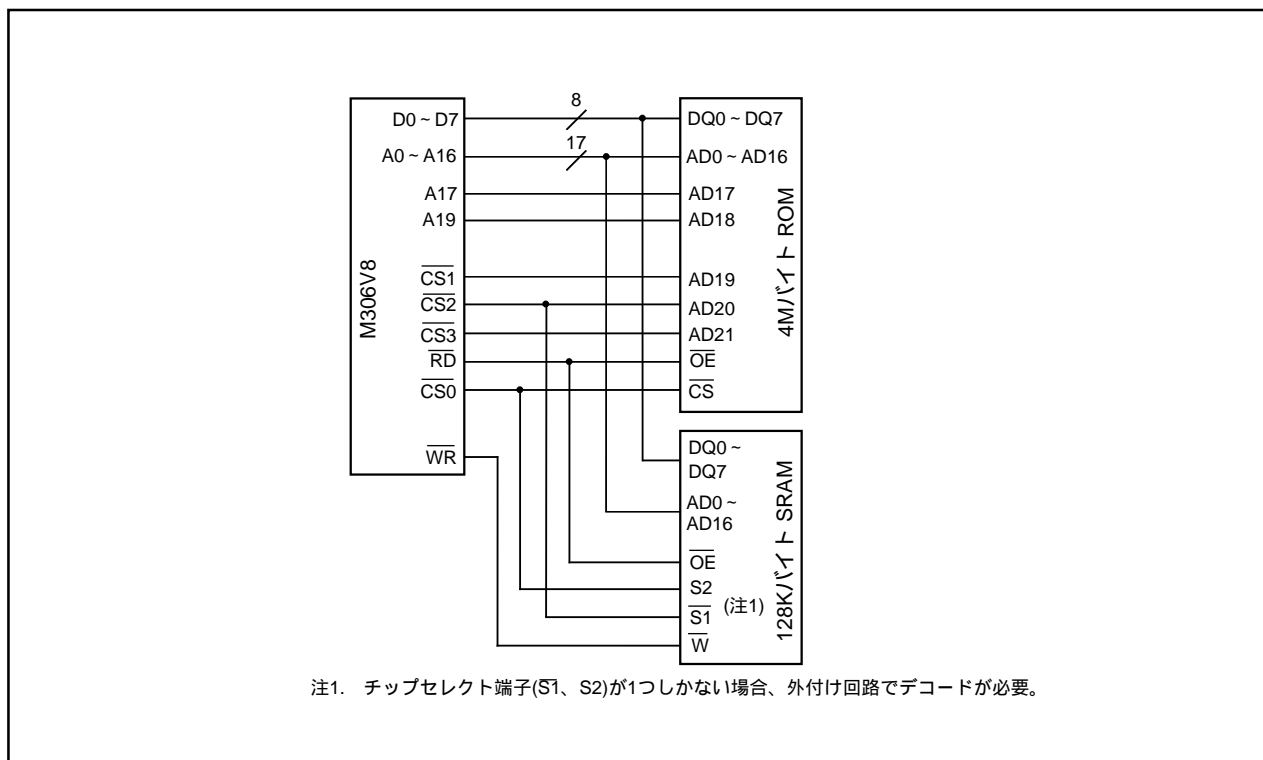
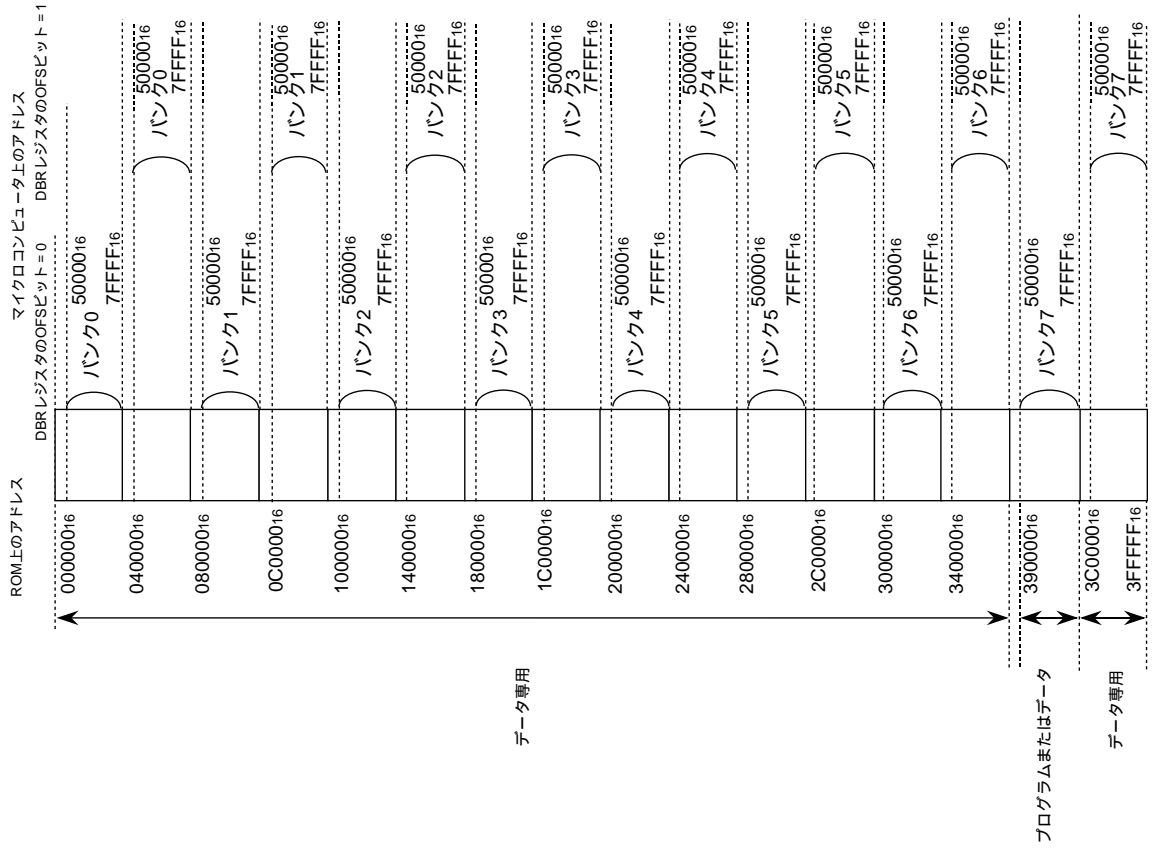


図4.17. 4Mバイトモード時の外部メモリ接続例

メモリ拡張モード、PM13=1の場合



バンク番号	OFS	アドレス領域	マイクロコンピュータの端子からの出力										アドレス出力	
			CS3	CS2	CS1	A19	A18	A17	A16	A15	A14			
0	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	01000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	03FFFF16
1	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	05000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	07FFFF16
2	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	09000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	0BFFFF16
3	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	0D000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	0FFFFF16
4	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	11000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	13FFFF16
5	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	15000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	17FFFF16
6	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	19000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	1BFFFF16
7	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	1D000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	1FFFFF16
8	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	21000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	23FFFF16
9	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	25000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	27FFFF16
10	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	29000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	2BFFFF16
11	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	2D000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	2FFFFF16
12	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	31000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	33FFFF16
13	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	35000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	37FFFF16
14	0	5000016	0	0	0	0	0	0	0	0	0	0	000016	39000016
	1	7FFFF16	0	0	0	0	0	0	0	0	0	0	FFFF16	3BFFFF16
15	0	8000016												内部ROMアクセス
	1	FFFFF16												内部ROMアクセス
16	0	5000016	1	1	1	1	1	0	0	0	0	0	000016	3D000016
	1	7FFFF16	1	1	1	1	1	0	0	0	0	0	FFFF16	3FFFFF16
17	0	8000016												内部ROMアクセス
	1	FFFFF16												内部ROMアクセス

図4.19. 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(2)

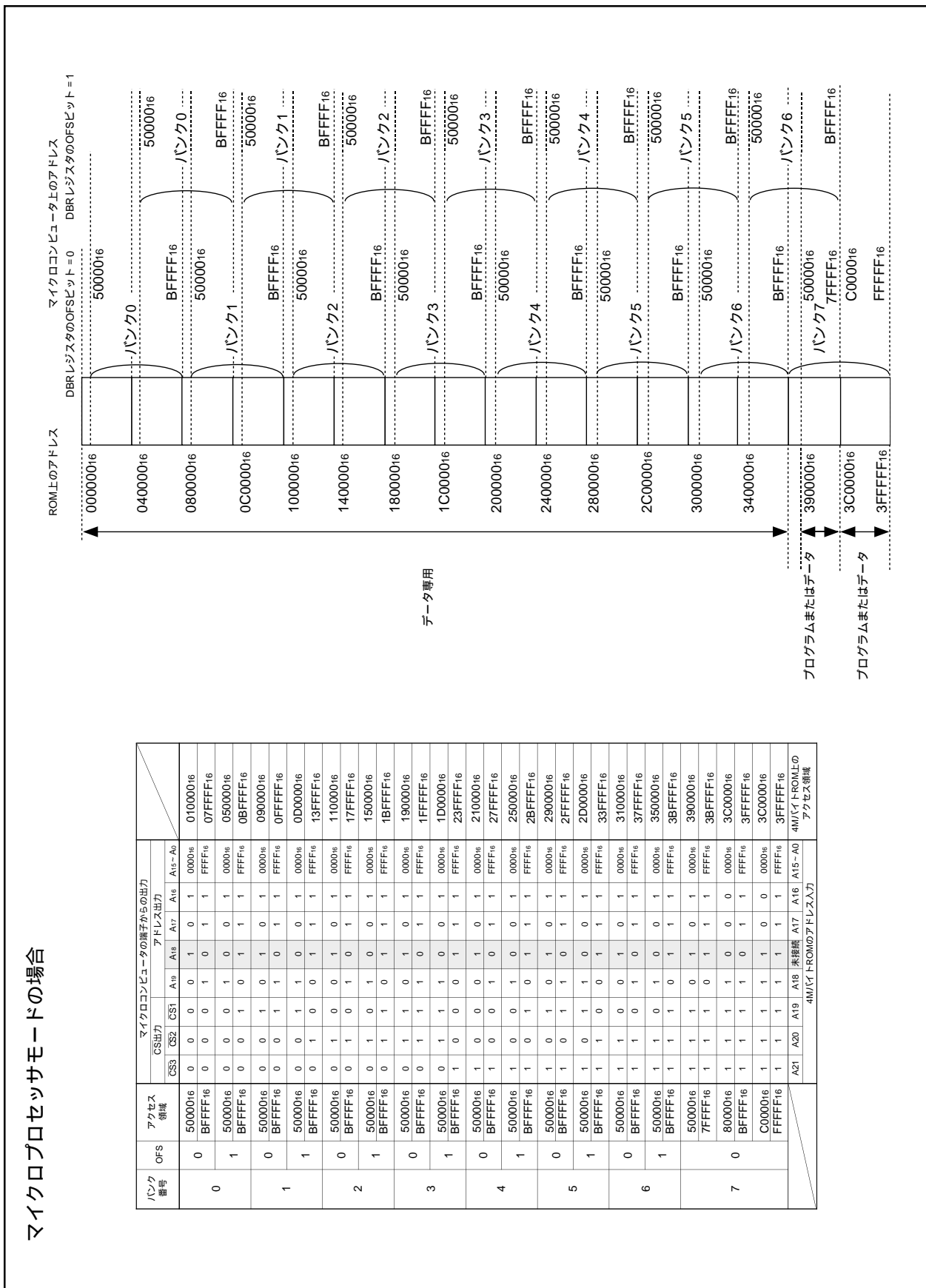


図4.20. 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(3)

クロック発生回路

クロック発生回路として、2つの回路を内蔵します。

- ・ メインクロック発振回路
- ・ サブクロック発振回路

表5.1にクロック発生回路の概略仕様を示します。また、図5.1にシステムクロック発生回路のブロック図、図5.2～図5.6にクロック関連レジスタを示します。

表5.1. クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路
用途	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ 周辺機能のクロック源 	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ タイマA、Bの クロック源
クロック周波数	16MHz	32.768kHz
接続できる発振子	<ul style="list-style-type: none"> ・ セラミック共振子 ・ 水晶発振子 	<ul style="list-style-type: none"> ・ 水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振停止、再開 機能	あり	あり
リセット後 の状態	発振	停止
その他	外部で生成されたクロックを入力可能	

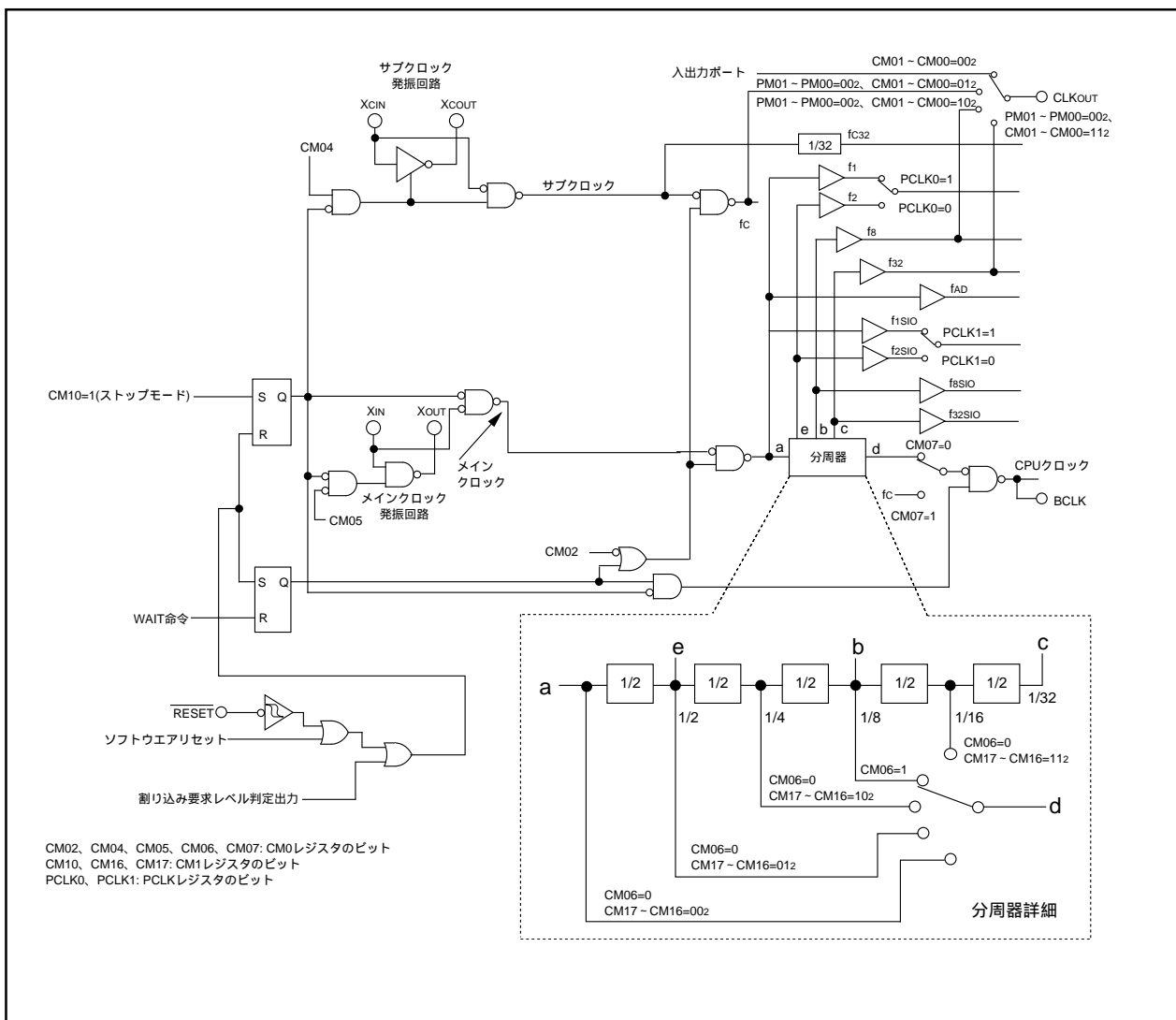


図5.1. システムクロック発生回路

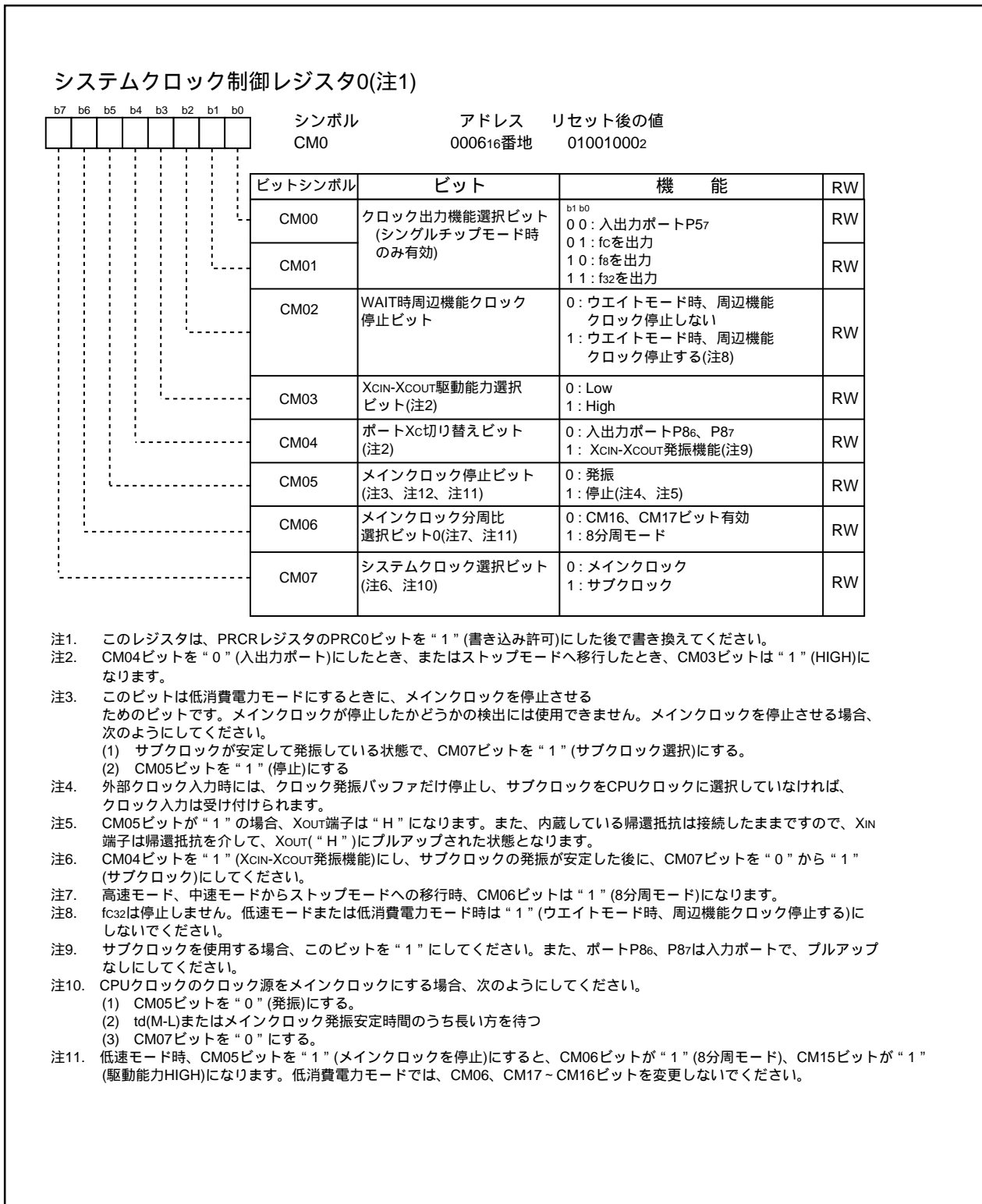
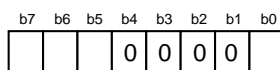


図5.2. CM0レジスタ

システムクロック制御レジスタ1(注1)

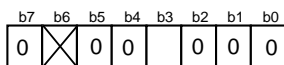
シンボル
CM1アドレス
0007₁₆番地リセット後の値
00100000₂

ビットシンボル	ビット	機能	RW
CM10	全クロック停止制御ビット (注4、注5)	0: クロック発振 1: 全クロック停止(ストップモード)	RW
— (b4-b1)	予約ビット	“0” にしてください	RW
CM15	XIN-XOUT駆動能力選択ビット (注2)	0: LOW 1: HIGH	RW
CM16	メインクロック分周比 選択ビット1(注3)	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード	RW
CM17			RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. 高速モード、中速モードからストップモードへの移行時、または低速モードで、CM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力HIGH)になります。
- 注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。
- 注4. CM10ビットが“1”(ストップモード)の場合、XOUTは“H”となり、内蔵している帰還抵抗は切り離されます。XCIN端子、XCOUT端子は、ハイインピーダンスになります。
- 注5. CM07=“0”のとき有効。

図5.3. CM1レジスタ

システムクロック制御レジスタ2(注1)



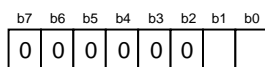
シンボル アドレス リセット後の値
 CM2 000C16番地 0X0000002

ビットシンボル	ビット名	機 能	RW
(b2-b0)	予約ビット	“0” にしてください	RW
CM23	XINモニタフラグ	0: メインクロック発振 1: メインクロック停止	RO
(b5-b4)	予約ビット	“0” にしてください	RW
(b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		
(b7)	予約ビット	“0” にしてください	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

図5.4. CM2レジスタ

周辺クロック選択レジスタ(注1)

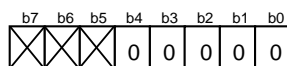


シンボル アドレス リセット後の値
PCLKR 025E₁₆番地 0000001₁₂

ビットシンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止時間 設定タイマのクロック源)	0 : f2 1 : f1	RW
PCLK1	SI/Oクロック選択ビット (UART0 ~ UART2のクロック源)	0 : f2SIO 1 : f1SIO	RW
— (b7-b2)	予約ビット	“0” にしてください	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

予約レジスタ(注1)



シンボル アドレス リセット後の値
RSVREG001E 001E₁₆番地 XXX00000₂

ビットシンボル	ビット名	機 能	RW
— (b4-b3)	予約ビット	“0” にしてください	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

図5.5. PCLKR、PM2レジスタ

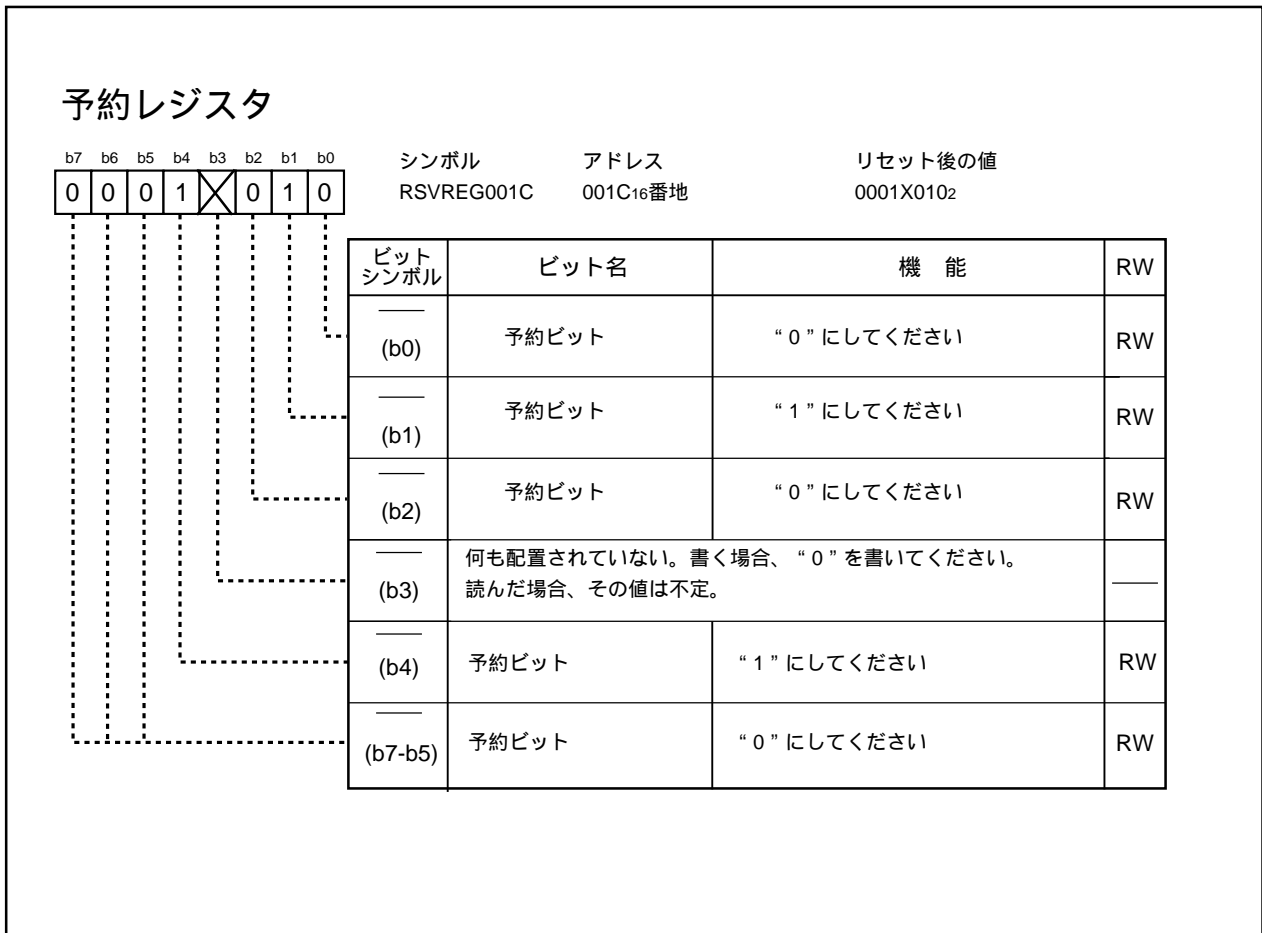


図5.6. PLC0レジスタ

クロック発生回路で生成するクロックを説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図5.7にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしても、サブクロックをCPUクロックに選択していない限り、メインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。

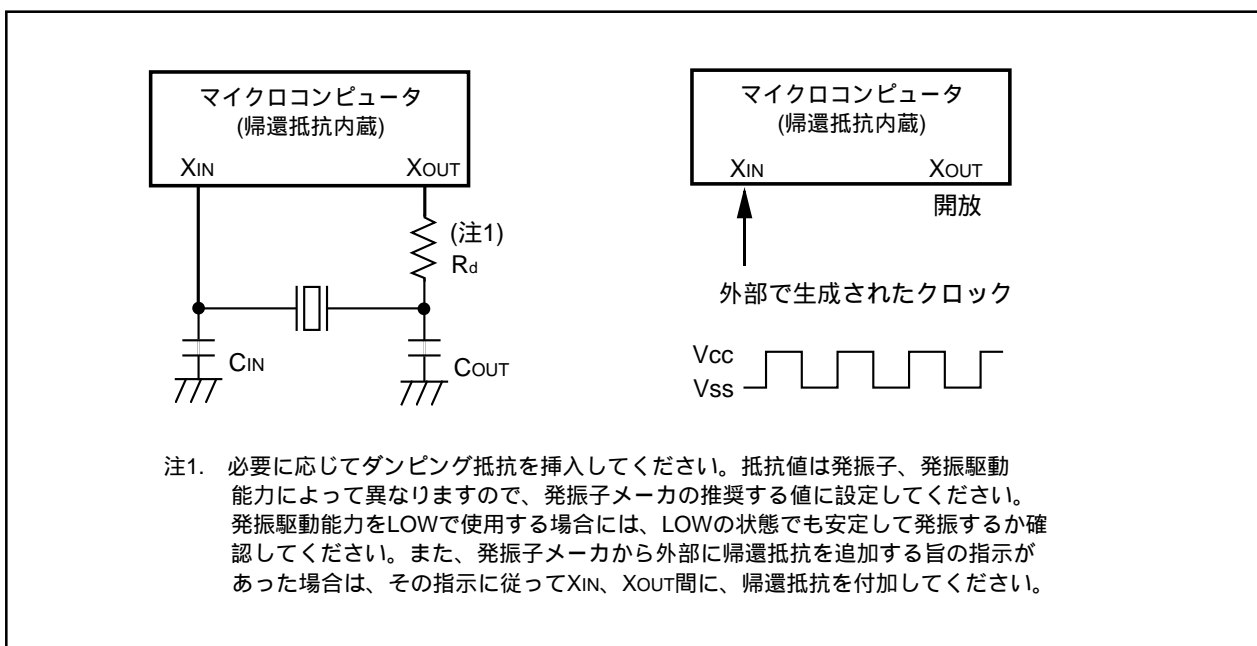


図5.7. メインクロックの接続回路例

(2) サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数のfcをCLKOUT端子から出力できます(「クロック出力機能参照」)。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図5.8にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

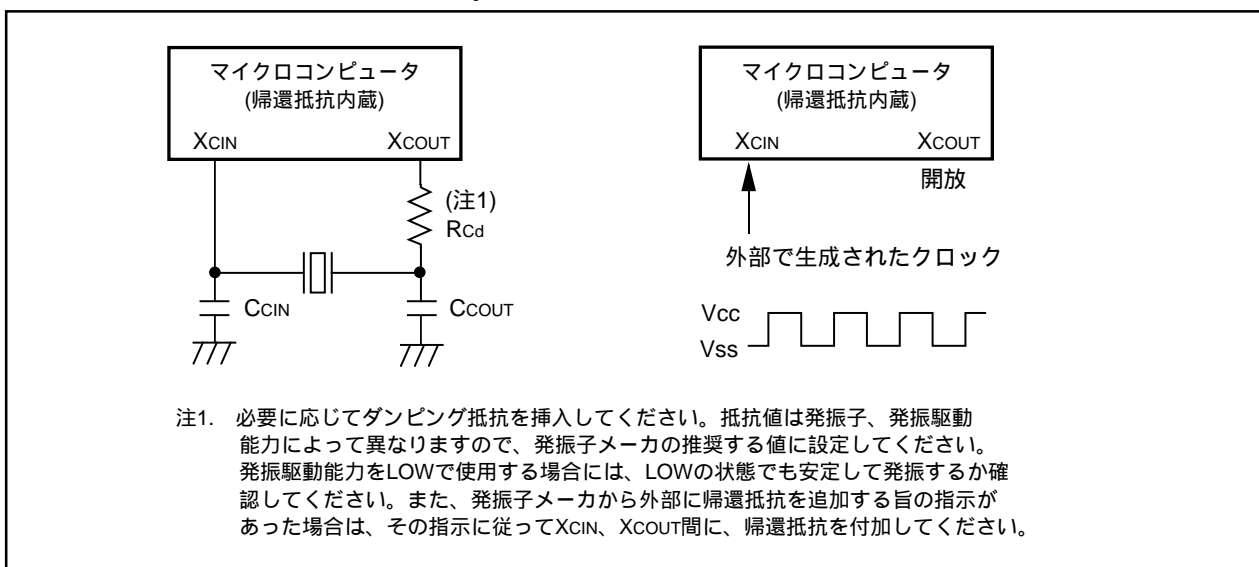


図5.8. サブクロックの接続回路例

OSD発振回路

OSDクロック発振回路は、OSC1とOSC2端子間にLC発振子又はセラミック共振子(又は水晶発振子)を接続する外付け発振回路とOSC1端子にフィルタを接続する内部発振回路とを選択することができます。この選択はクロックコントロールレジスタ(0205₁₆番地)のビット0, ビット1及びビット2, 拡張レジスタ2DC₁₆番地のビット1で設定してください。

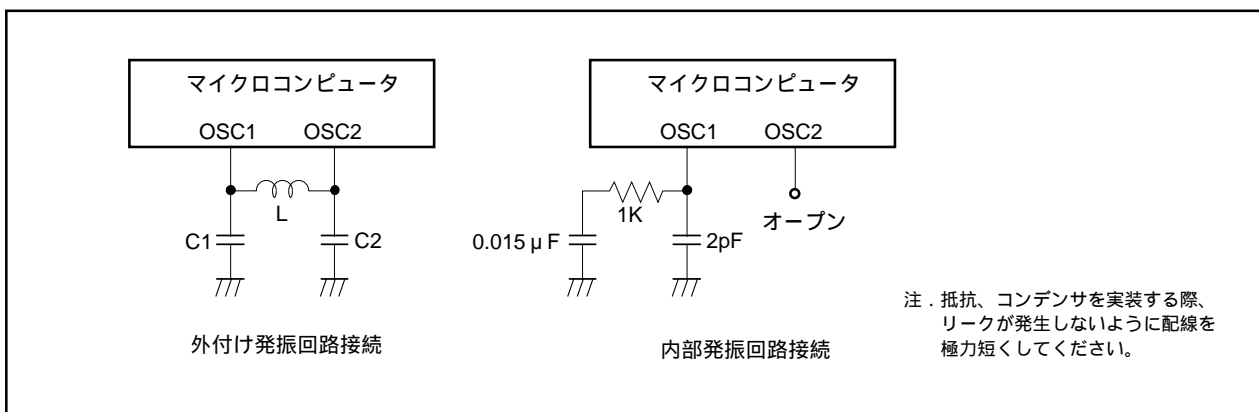


図5.9. OSDクロックの接続例

CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

(1) CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロックが選択できます。

CPUクロックのクロック源としてメインクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、メインクロックの8分周がCPUクロックになります。

メモリ拡張モード時、マイクロプロセッサモード時、PM0レジスタのPM07ビットを“0”(出力する)にすると、BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

なお、高速モード、中速モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

(2) 周辺機能クロック(f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}、f_{C32})

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_{iSIO}はメインクロックをi分周したクロックです。f_iはタイマA、タイマBで、f_{iSIO}はシリアルI/Oで使用します。f₈とf₃₂はCLKOUT端子から出力できます。

f_{AD}は、メインクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_{iSIO}、f_{AD}は停止します。

f_{C32}はサブクロックをクロック源とし、タイマA、タイマBで使用します。f_{C32}はサブクロックが供給されているときに使用できます。

クロック出力機能

シングルチップモード時、CLKOUT端子からf₈、f₃₂、またはf_Cを出力できます。CM0レジスタのCM01～CM00ビットで選択してください。

パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウエイトモード、ストップモード以外の状態を通常動作モードと呼びます。

(1) 通常動作モード

通常動作モードには、さらに4つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

低速モード

サブクロックがCPUクロックとなります。

fc32がタイマA、タイマBのカウントソースに使用できます。

低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。fc32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

表5.2. クロック関連ビットの設定とモード

モード	CM1レジスタ		CM0レジスタ			
	CM17、CM16	CM07	CM06	CM05	CM04	
高速モード	002	0	0	0	—	
中速モード	2分周	012	0	0	—	
	4分周	102	0	0	—	
	8分周	—	0	1	—	
	16分周	112	0	0	—	
低速モード	—	1	—	0	1	
低消費電力モード	—	1	1(注1)	1(注1)	1	

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

(2) ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、サブクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。fc32は停止しません。

ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

ウェイトモード時の端子の状態

表5.3にウェイトモード時の端子の状態を示します。

ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットを“0002”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

表5.3. ウェイトモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、 BHE		ウェイトモードに入る直前の状態を保持	/
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
入出力ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fc選択時		停止しません
	f8、f32選択時		CM02ビットが“0”のとき 停止しません CM02ビットが“1”のとき ウェイトモードに入る直前の状態を保持

表5.4. ウェイトモードからの復帰に使用できる割り込み

割り込み	CM02=0の場合	CM02=1の場合
シリアルI/O割り込み	内部クロック、外部クロック で使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは単掃引モード で使用可	— (使用しないでください)
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたは カウントソースがfc32のとき 使用可
INT割り込み	使用可	使用可

表5.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“0002” (割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) Iフラグを“1”にする。
- (4) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

(3) ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・キー入力割り込み
- ・ $\overline{\text{INT}}$ 割り込み
- ・タイマA、タイマBの割り込み(イベントカウンタモードで外部パルスのカウント時)
- ・シリアルI/Oの割り込み(外部クロック選択時)

ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモード時の端子の状態

表5.5にストップモード時の端子の状態を示します。

ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2~ILVL0ビットに割り込み優先レベルを設定する。

また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にする。

- (3) Iフラグを“1”にする。

- (4) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合	: サブクロック
ストップモード移行前のCPUクロックがメインクロックの場合	: メインクロックの8分周

表5.5. ストップモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、 BHE		ストップモードに入る直前の状態を保持	/
RD、WR、WRL、WRH		“ H ”	
HLDA、BCLK		“ H ”	
ALE		不定	
入出力ポート		ストップモードに入る直前の状態を保持	
CLKOUT	fC選択時		“ H ”
	f8、f32選択時		ストップモードに入る直前の状態を保持

図5.10に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。図5.11に通常動作モードの状態遷移を示します。

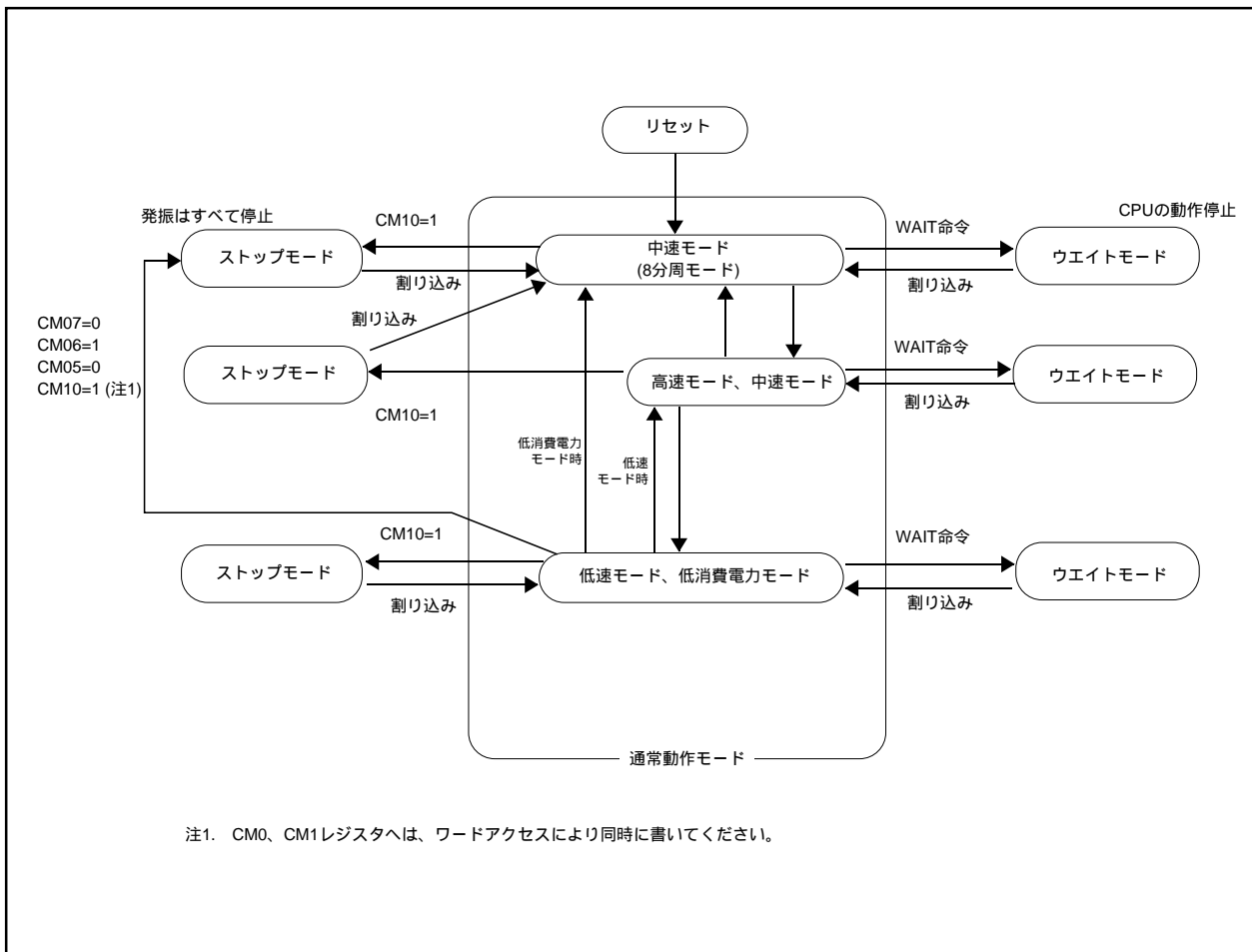


図5.10. ストップモード、ウェイトモード状態遷移

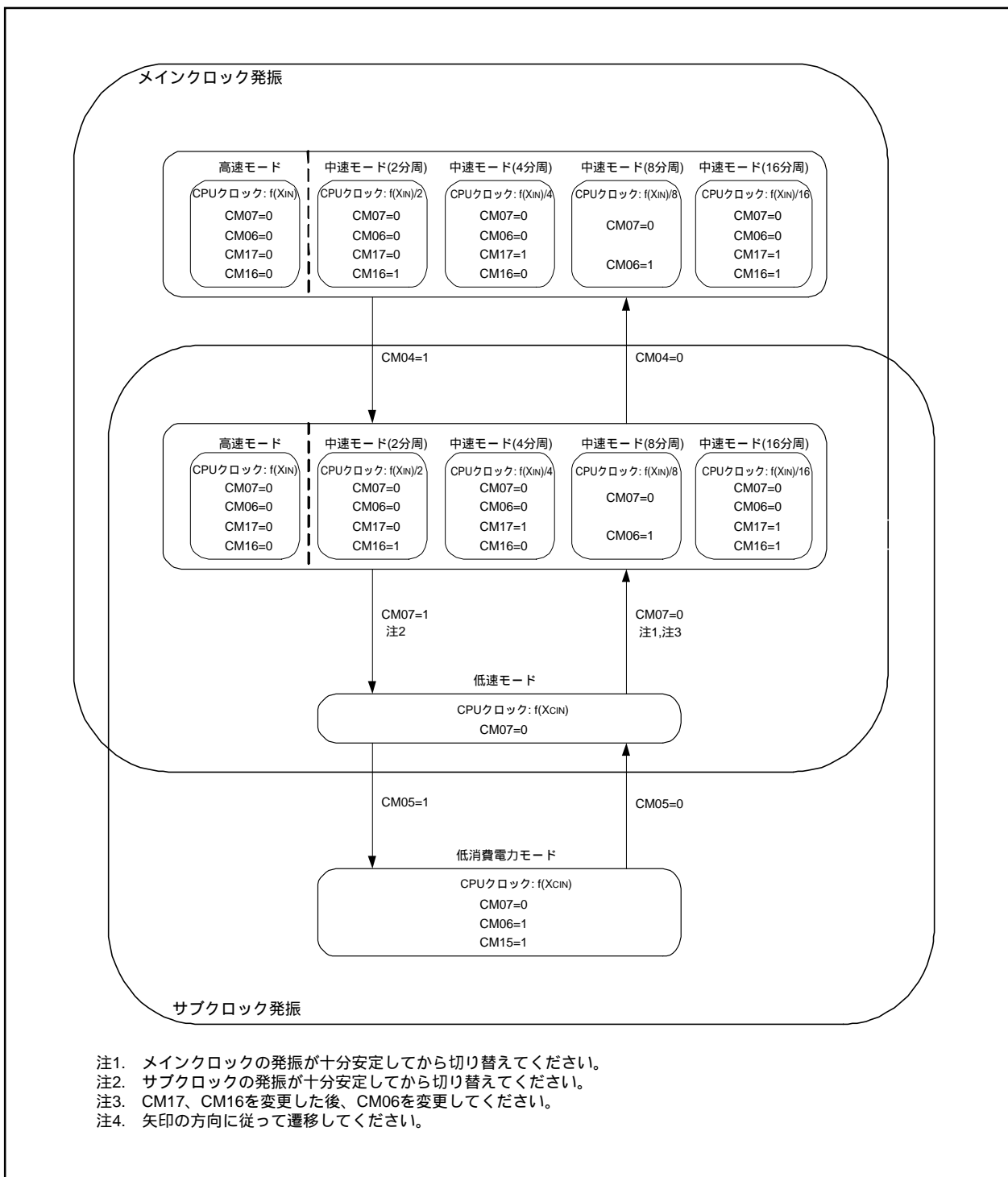


図5.11. 通常動作モード状態遷移

プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図6.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ : CM0、CM1、CM2、PCLKRレジスタ、予約レジスタ001C番地
- ・ PRC1ビットで保護されるレジスタ : PM0、PM1、予約レジスタ001E番地、039E番地、0348番地、0349番地
- ・ PRC2ビットで保護されるレジスタ : PD9、予約レジスタ0362番地、0366番地

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

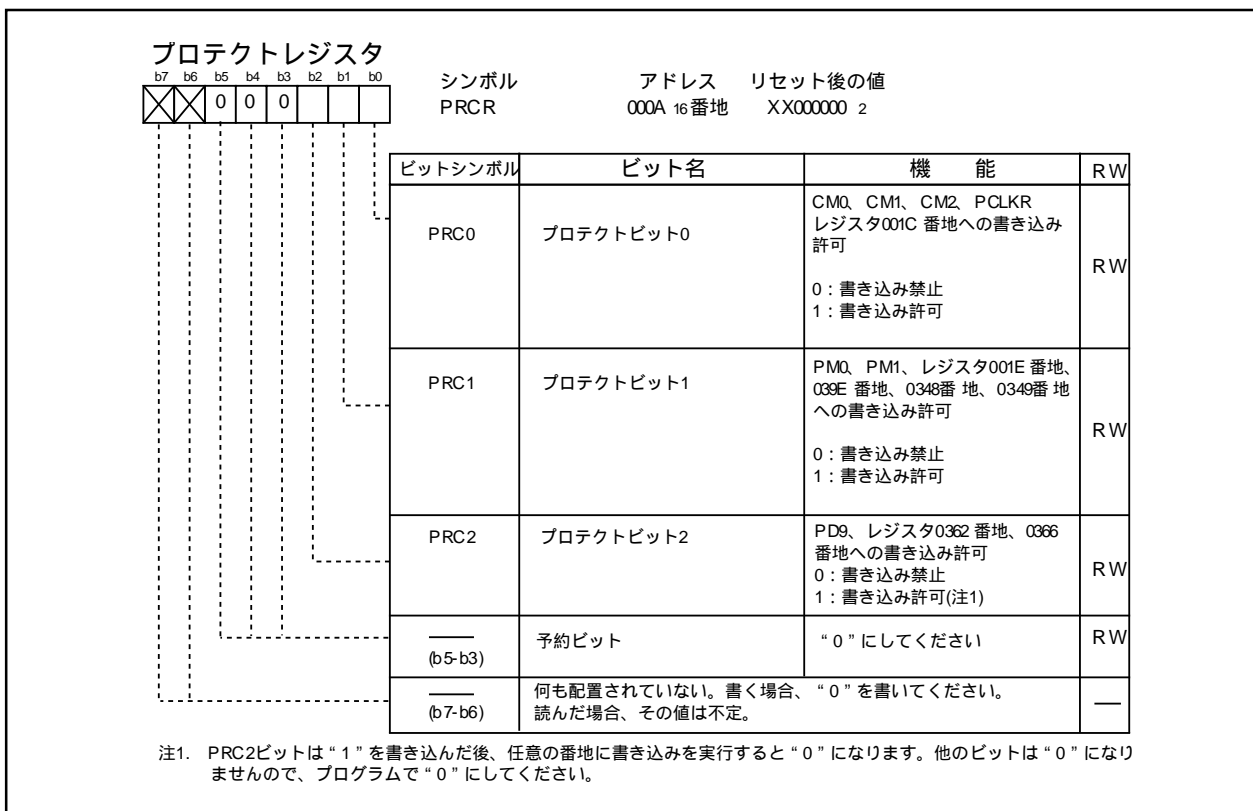


図6.1. PRCRレジスタ

割り込み

割り込みの分類

図7.1に割り込みの分類を示します。

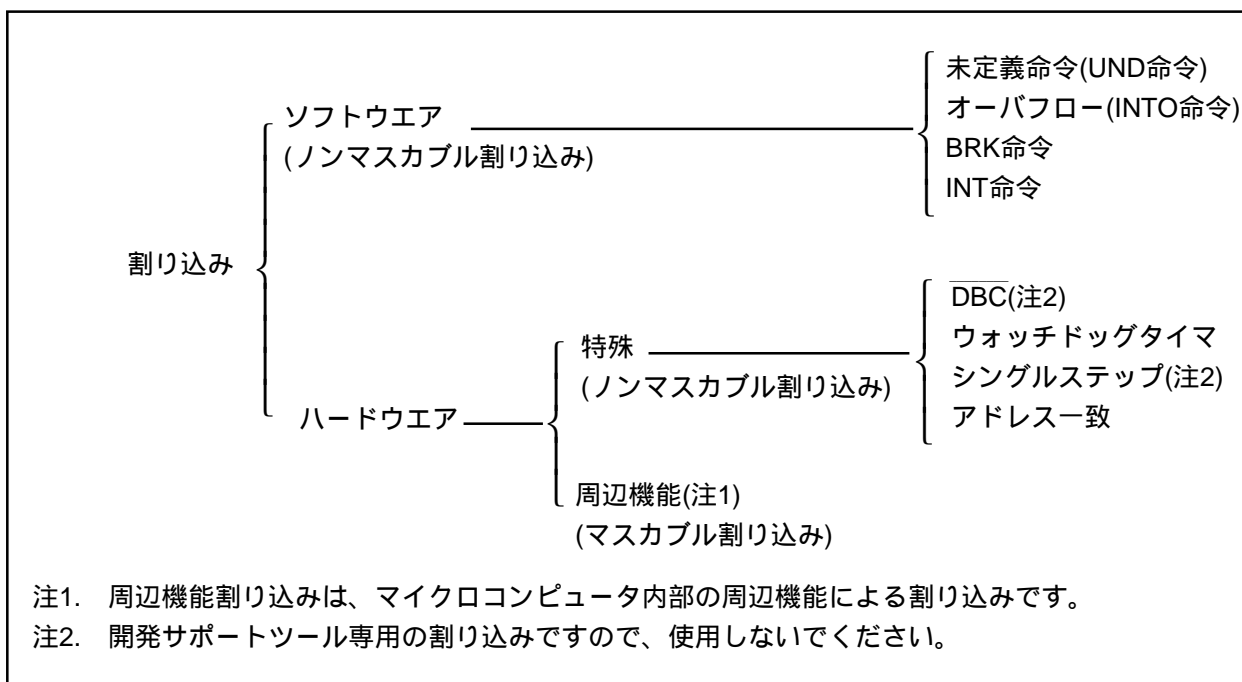


図7.1. 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) $\overline{\text{DBC}}$ 割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(2) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「ウォッチドッグタイマ」を参照してください。

(3) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(4) アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「アドレス一致割り込み」を参照してください。

周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は表7.2を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図7.2に割り込みベクタを示します。

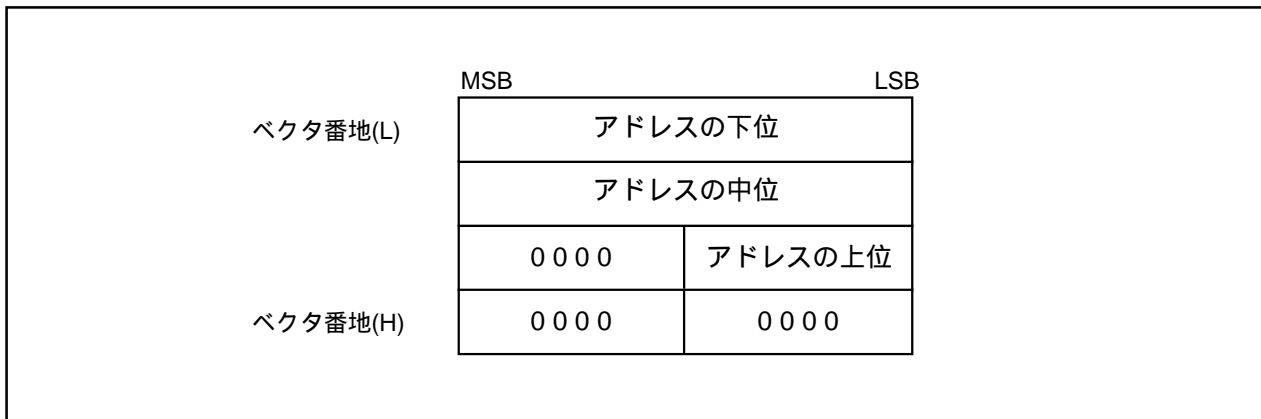


図7.2. 割り込みベクタ

固定ベクタテーブル

固定ベクタテーブルは、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。表7.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「フラッシュメモリ書き換え禁止機能」を参照してください。

表7.1. 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み	M16C/60、M16C/20
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み	シリーズ
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	FFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行	ソフトウェア マニュアル
アドレス一致	FFFE8 ₁₆ ~ FFFE _B ₁₆		アドレス一致割り込み
シングルステップ(注1)	FFFE _C ₁₆ ~ FFFE _F ₁₆		
ウォッチドッグタイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆		ウォッチドッグタイマ
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆		
リセット	FFFF _C ₁₆ ~ FFFFF ₁₆		リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。

可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表7.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表7.2. 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注3)	+0 ~ +3(0000 ₁₆ ~ 0003 ₁₆)	0	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
—— (予約)		1 ~ 3	
INT3	+16 ~ +19(0010 ₁₆ ~ 0013 ₁₆)	4	
タイマB5/OSD1	+20 ~ +23(0014 ₁₆ ~ 0017 ₁₆)	5	タイマ
タイマB4、UART1バス衝突検出 (注2)	+24 ~ +27(0018 ₁₆ ~ 001B ₁₆)	6	タイマ シリアルI/O
タイマB3、UART0バス衝突検出 (注2)	+28 ~ +31(001C ₁₆ ~ 001F ₁₆)	7	
データスライサ1	+32 ~ +35(0020 ₁₆ ~ 0023 ₁₆)	8	データスライサ
データスライサ2	+36 ~ +39(0024 ₁₆ ~ 0027 ₁₆)	9	
UART2バス衝突検出 / I ² C-bus0	+40 ~ +43(0028 ₁₆ ~ 002B ₁₆)	10	シリアルI/O / I ² C-bus
DMA0	+44 ~ +47 (002C ₁₆ ~ 002F ₁₆)	11	DMAC
DMA1	+48 ~ +51 (0030 ₁₆ ~ 0033 ₁₆)	12	
キー入力割り込み/VSYNC	+52 ~ +55 (0034 ₁₆ ~ 0037 ₁₆)	13	キー入力割り込み、OSD
A/D/I ² Cbus1NACK	+56 ~ +59 (0038 ₁₆ ~ 003B ₁₆)	14	A/Dコンバータ、I ² Cbus
UART2送信	+60 ~ +63 (003C ₁₆ ~ 003F ₁₆)	15	シリアルI/O
UART2受信	+64 ~ +67 (0040 ₁₆ ~ 0043 ₁₆)	16	
UART0送信	+68 ~ +71 (0044 ₁₆ ~ 0047 ₁₆)	17	
UART0受信	+72 ~ +75 (0048 ₁₆ ~ 004B ₁₆)	18	
UART1送信	+76 ~ +79 (004C ₁₆ ~ 004F ₁₆)	19	
UART1受信	+80 ~ +83 (0050 ₁₆ ~ 0053 ₁₆)	20	
タイマA0/I ² C-bus0	+84 ~ +87 (0054 ₁₆ ~ 0057 ₁₆)	21	タイマ I ² Cbus
タイマA1/I ² C-bus1	+88 ~ +91 (0058 ₁₆ ~ 005B ₁₆)	22	
タイマA2/OSD2	+92 ~ +95 (005C ₁₆ ~ 005F ₁₆)	23	
タイマA3/VSYNC	+96 ~ +99 (0060 ₁₆ ~ 0063 ₁₆)	24	
タイマA4/I ² Cbus0NACK	+100 ~ +103 (0064 ₁₆ ~ 0067 ₁₆)	25	
タイマB0/I ² Cbus1NACK	+104 ~ +107 (0068 ₁₆ ~ 006B ₁₆)	26	
タイマB1/I ² C-bus2NACK	+108 ~ +111 (006C ₁₆ ~ 006F ₁₆)	27	
タイマB2/I ² C-bus2	+112 ~ +115 (0070 ₁₆ ~ 0073 ₁₆)	28	
INT0	+116 ~ +119 (0074 ₁₆ ~ 0077 ₁₆)	29	INT割り込み OSD
INT1	+120 ~ +123 (0078 ₁₆ ~ 007B ₁₆)	30	
INT2/OSD2	+124 ~ +127 (007C ₁₆ ~ 007F ₁₆)	31	
ソフトウェア割り込み(注3)	+128 ~ +131 (0080 ₁₆ ~ 0083 ₁₆) +252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	32 63	M16C/60、M16C/20シリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSR2AレジスタのIFSR26、27ビットで選択してください。

注3. フラグによる禁止はできません。

割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図7.3に割り込み制御レジスタを示します。

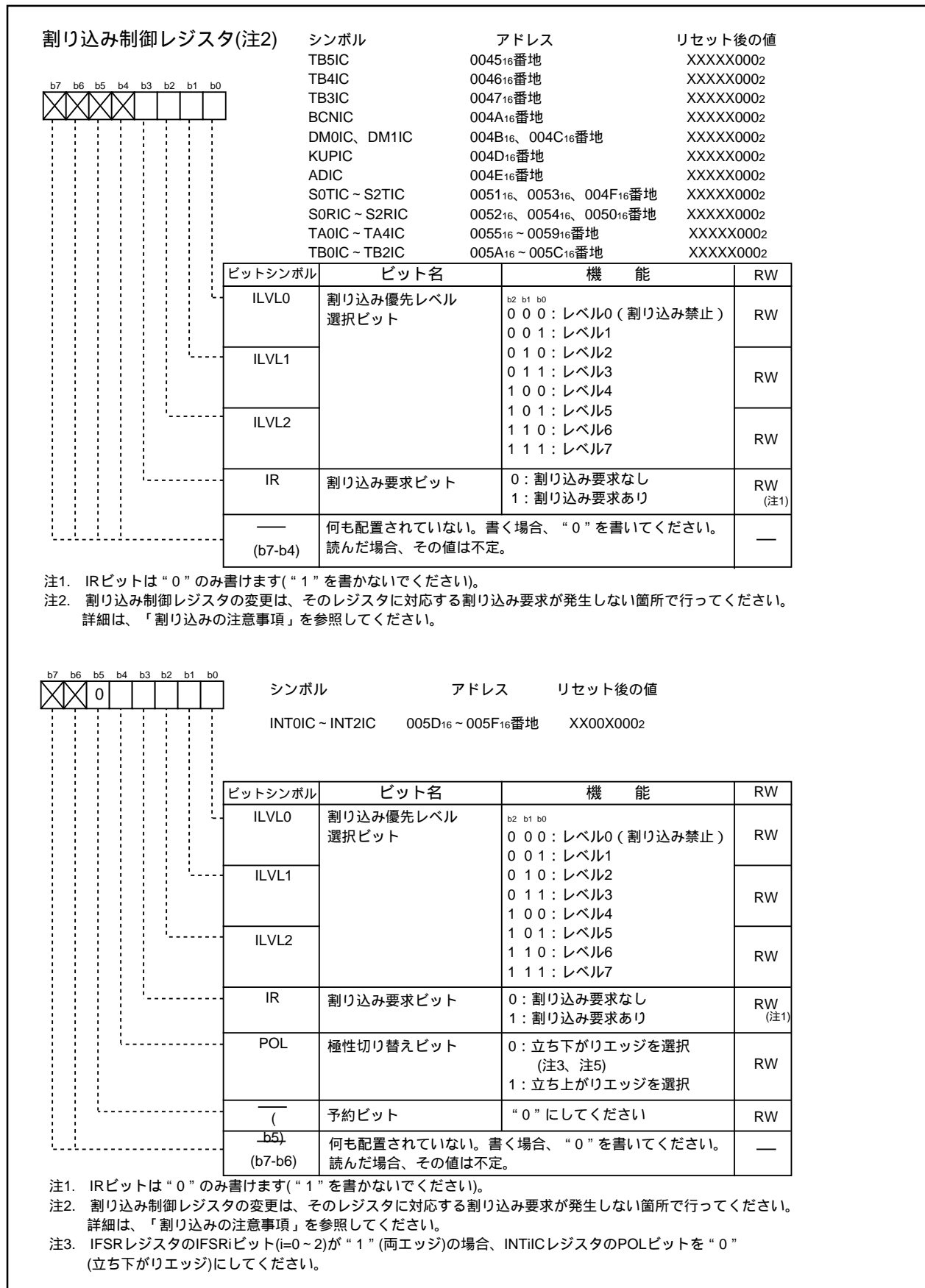


図7.3. 割り込み制御レジスタ

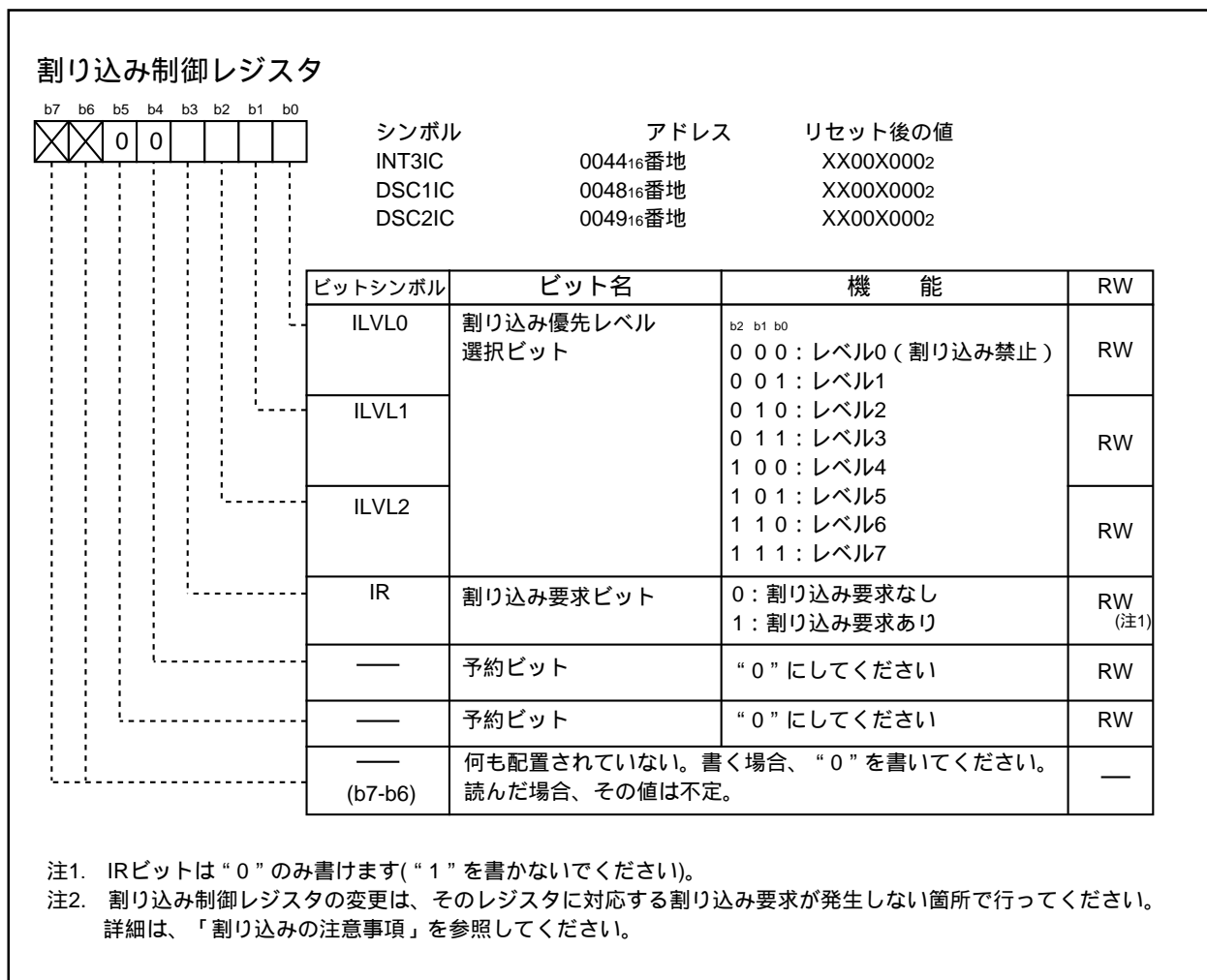


図7.4. 割り込み制御レジスタ

Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスクブル割り込みは許可され、“0”（禁止）にするとすべてのマスクブル割り込みは禁止されます。

IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表7.3に割り込み優先レベルの設定、表7.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・ Iフラグ = 1
- ・ IRビット = 1
- ・ 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表7.3. 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000 ₂	レベル0 (割り込み禁止)	———
001 ₂	レベル1	低い ↓ 高い
010 ₂	レベル2	
011 ₂	レベル3	
100 ₂	レベル4	
101 ₂	レベル5	
110 ₂	レベル6	
111 ₂	レベル7	

表7.4. IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000 ₂	レベル1以上を許可
001 ₂	レベル2以上を許可
010 ₂	レベル3以上を許可
011 ₂	レベル4以上を許可
100 ₂	レベル5以上を許可
101 ₂	レベル6以上を許可
110 ₂	レベル7以上を許可
111 ₂	すべてのマスクブル割り込みを禁止

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図7.5に割り込みシーケンスの実行時間を示します。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

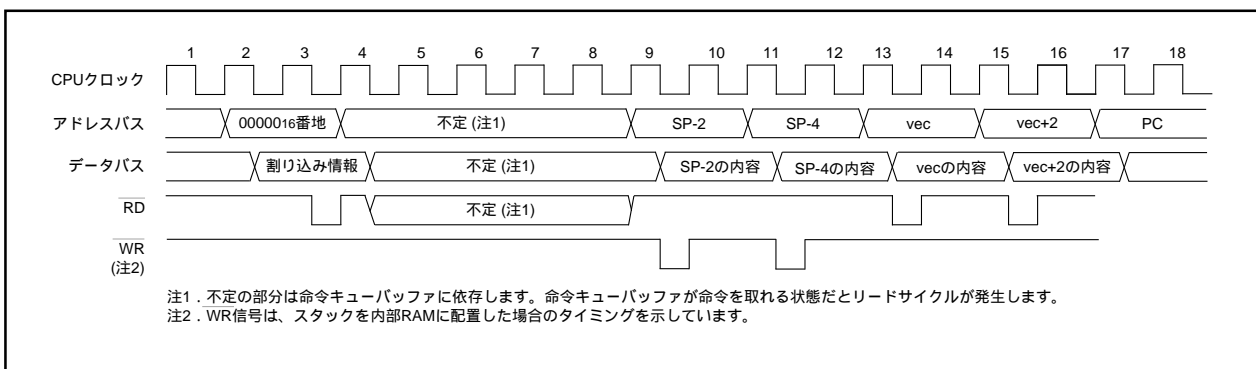


図7.5. 割り込みシーケンスの実行時間

割り込み応答時間

図7.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図7.6の(a))と割り込みシーケンスを実行する時間(図7.6の(b))で構成されます。

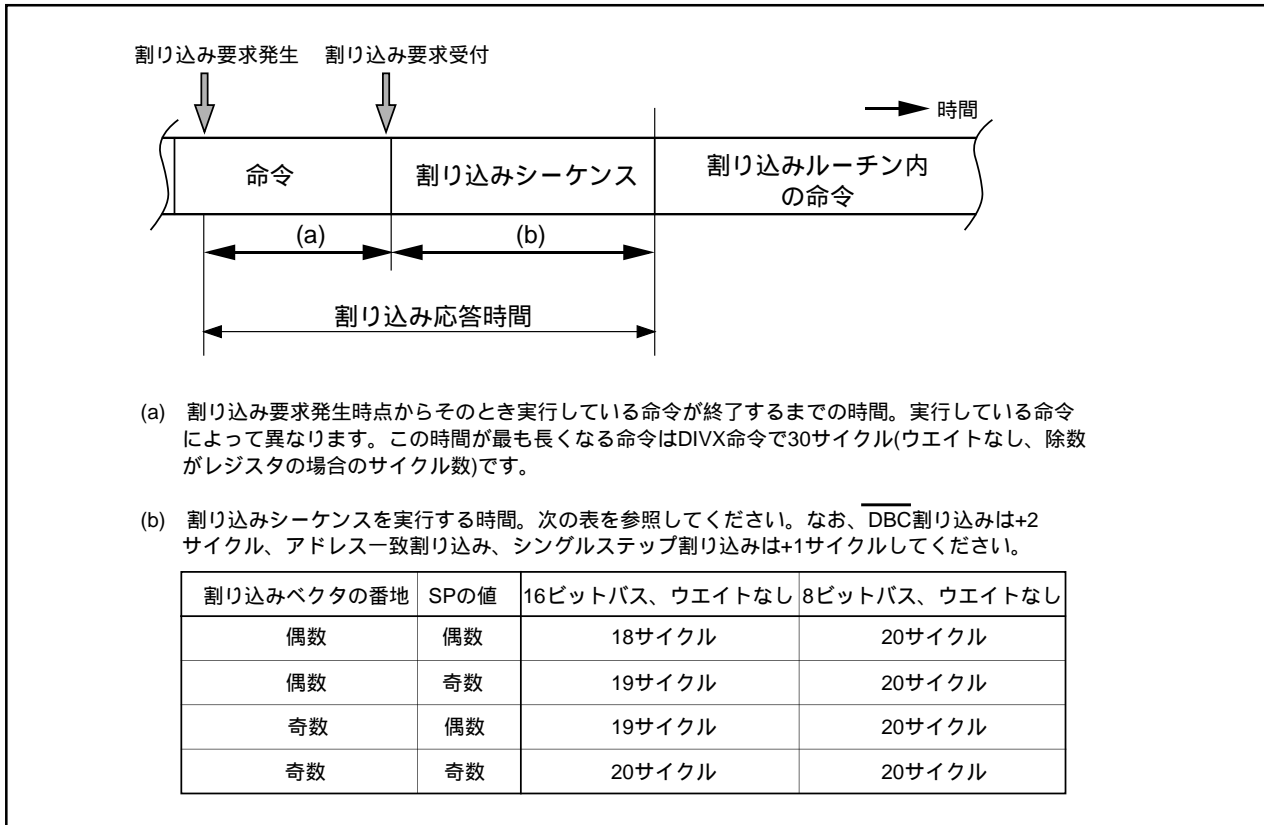


図7.6. 割り込み応答時間

割り込み要求受付時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表7.5に示す値がIPLに設定されます。表7.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表7.5. ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ	7
ソフトウェア、アドレス一致、 $\overline{\text{DBC}}$ 、シングルステップ	変化しない

レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図7.7に割り込み要求受付前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

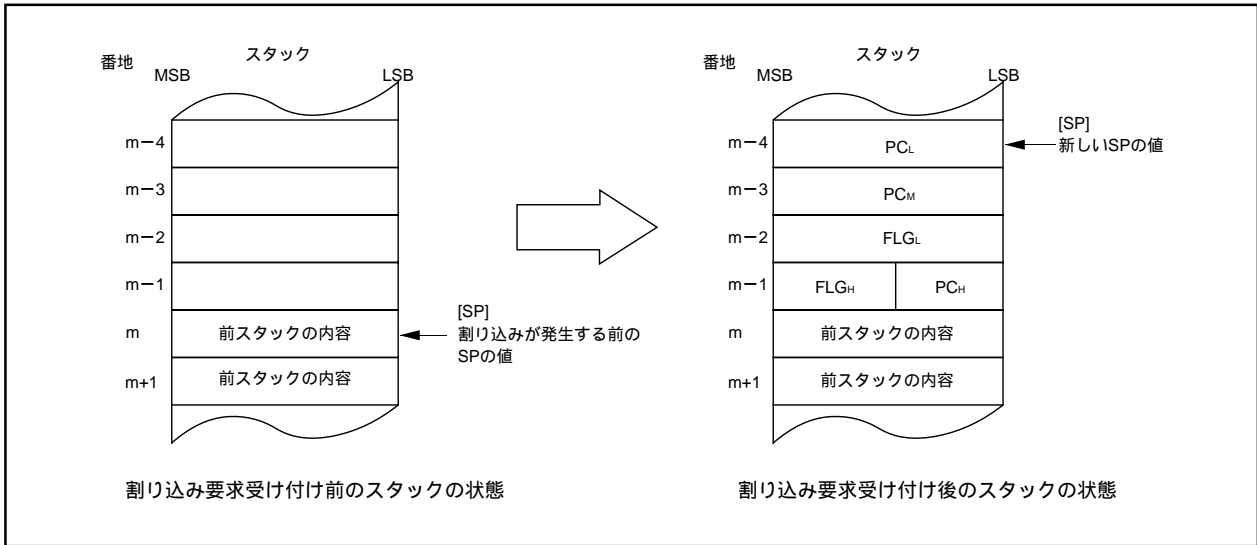


図7.7. 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図7.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

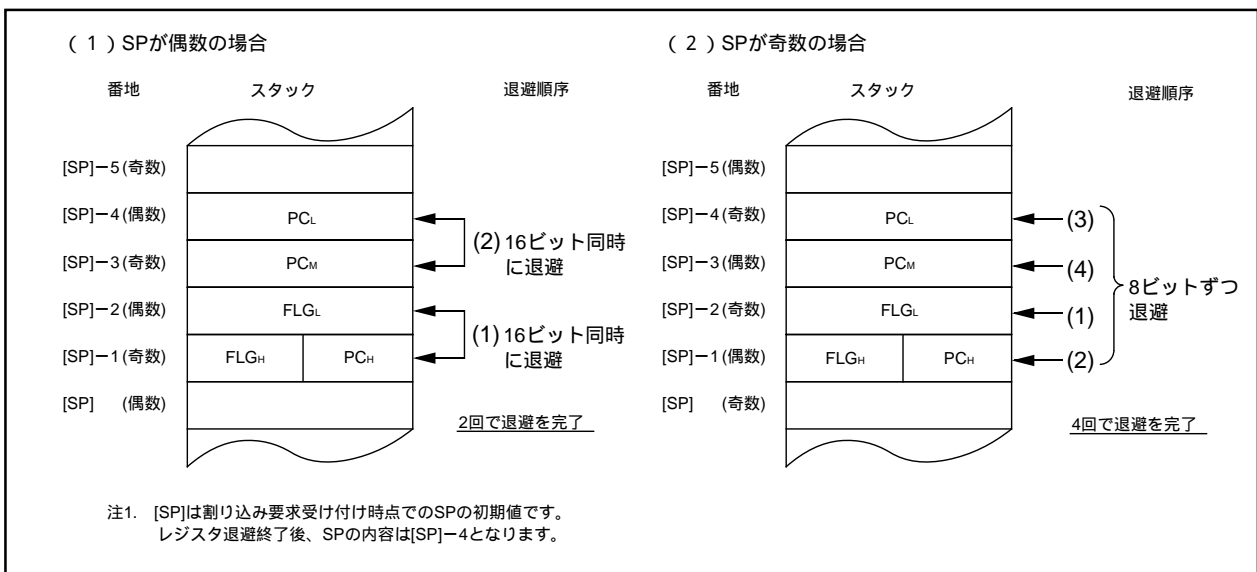


図7.8. レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられません。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図7.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

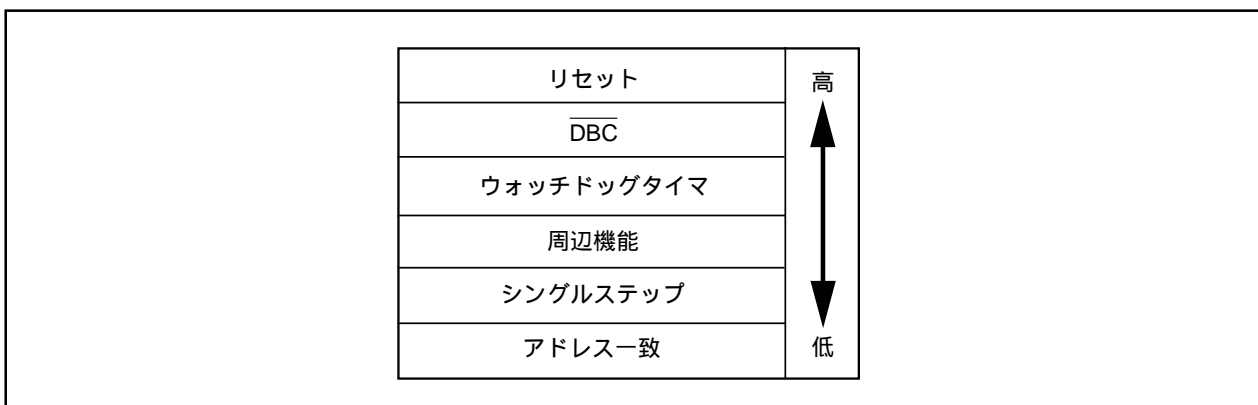


図7.9. ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図7.10に割り込み優先レベルの判定回路を示します。

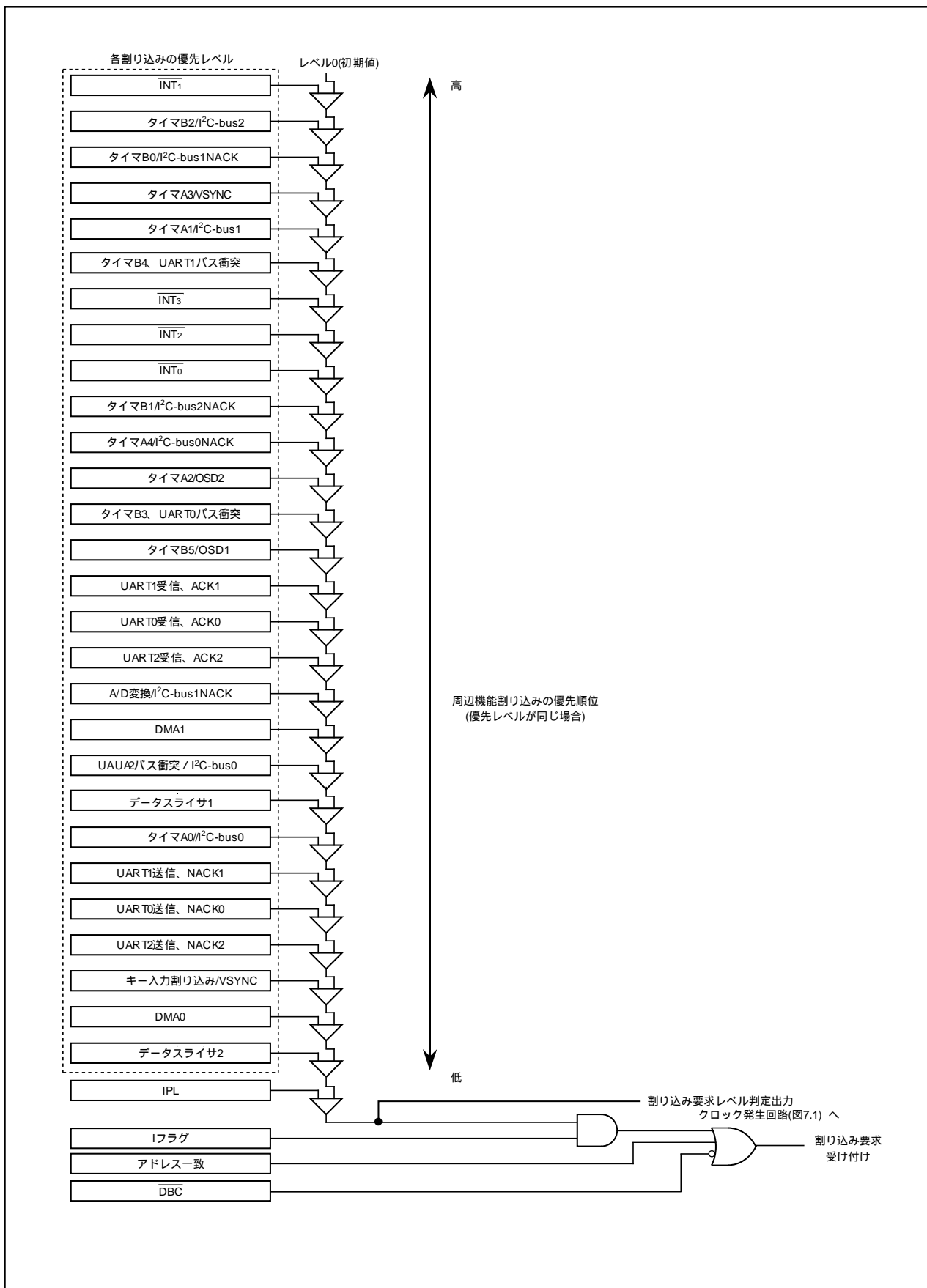


図7.10. 割り込み優先レベル判定回路

INT割り込み

INT_i割り込み(i=0~3)は外部入力による割り込みです。極性をIFSRレジスタのIFSR_iビットで選択できます。

図7.11にIFSR、IFSR2Aレジスタを示します。

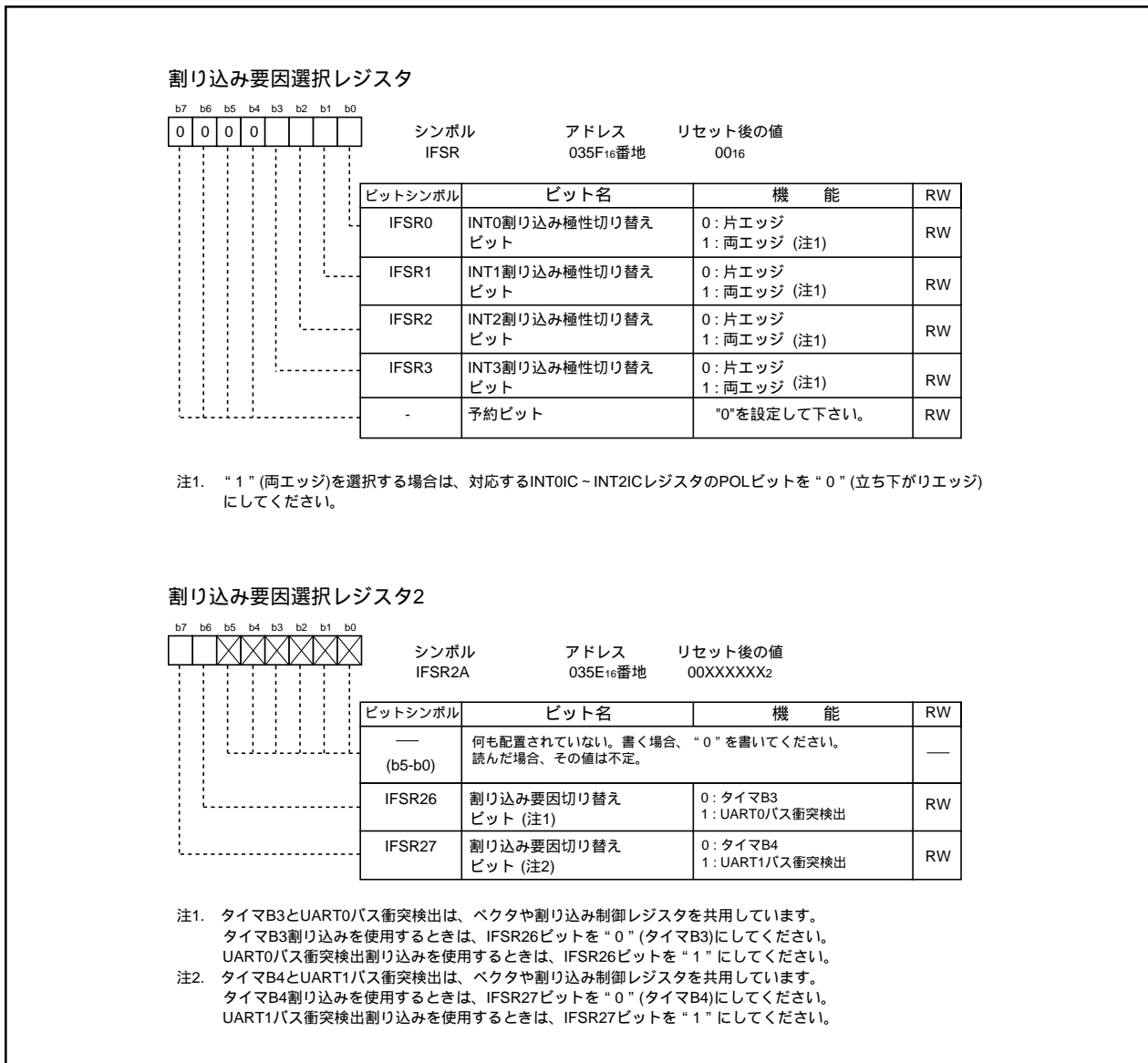


図7.11. IFSR、IFSR2Aレジスタ

キー入力割り込み

P104～P107のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”（入力）にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P104～P107をアナログ入力端子として使用しないでください。図7.12にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0”（入力モード）にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

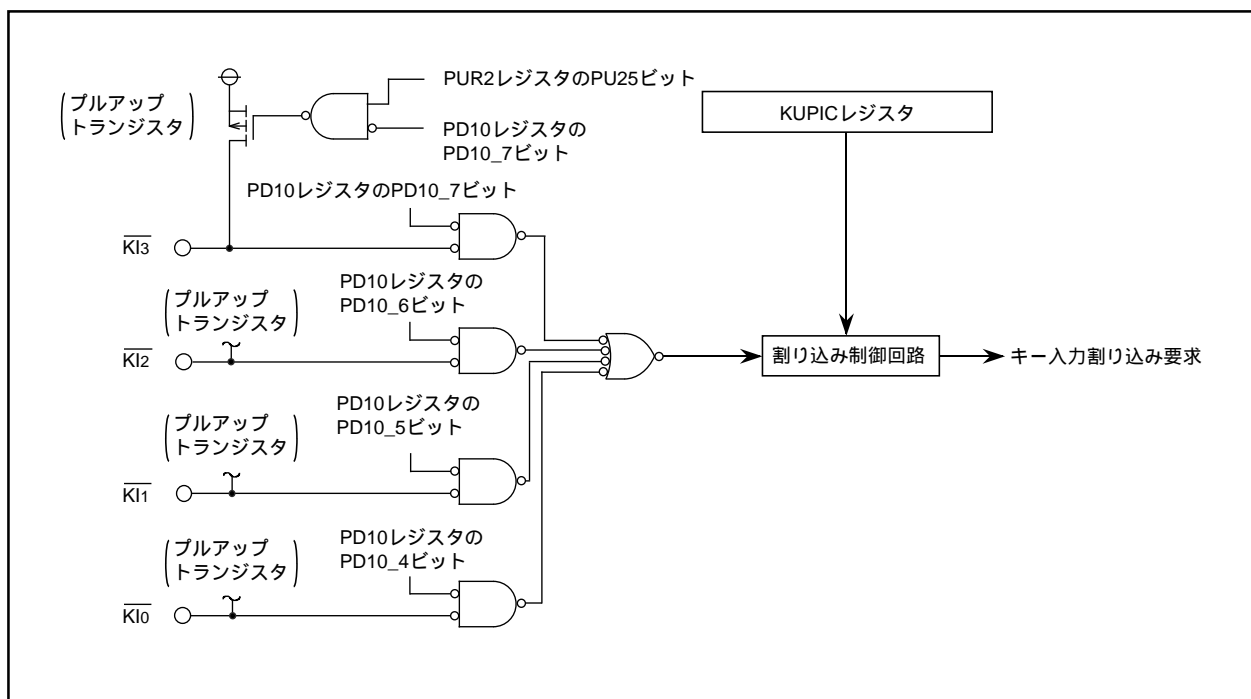


図7.12. キー入力割り込みのブロック図

アドレス一致割り込み

RMADiレジスタ(i=0~3)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表7.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

なお、外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図7.13にAIER、AIER2、RMAD0~RMAD3レジスタを示します。

表7.6. アドレス一致割り込み要求受け付け時に退避されるPCの値

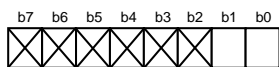
RMADiレジスタで示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値：「レジスタ退避」参照

表7.7. アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

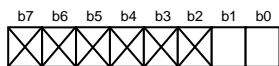
アドレス一致割り込み許可レジスタ



シンボル アドレス リセット後の値
 AIER 0009₁₆番地 XXXXXX00₂

ビットシンボル	ビット名	機 能	RW
AIER0	アドレス一致割り込み0 許可ビット	0: 禁止 1: 許可	RW
AIER1	アドレス一致割り込み1 許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

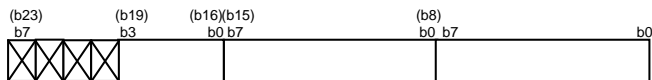
アドレス一致割り込み許可レジスタ2



シンボル アドレス リセット後の値
 AIER2 01BB₁₆番地 XXXXXX00₂

ビットシンボル	ビット名	機 能	RW
AIER20	アドレス一致割り込み2 許可ビット	0: 禁止 1: 許可	RW
AIER21	アドレス一致割り込み3 許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタ*i*(*i*=0~3)



シンボル アドレス リセット後の値
 RMAD0 0012₁₆ ~ 0010₁₆番地 X00000₁₆
 RMAD1 0016₁₆ ~ 0014₁₆番地 X00000₁₆
 RMAD2 01BA₁₆ ~ 01B8₁₆番地 X00000₁₆
 RMAD3 01BE₁₆ ~ 01BC₁₆番地 X00000₁₆

機 能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ	00000 ₁₆ ~ FFFFF ₁₆	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図7.13. AIER、AIER2、RMAD0~RMAD3レジスタ

割り込みの注意事項

(1) 00000₁₆番地の読み出し

プログラムで00000₁₆番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。プログラムで00000₁₆番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

(2) SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000₁₆”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

(3) $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_3$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅または“H”幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_3$ 端子の極性を切り替えるときにIRビットが“1” (割り込み要求あり)になることがあります。切り替えを行った後、IRビットを“0” (割り込み要求なし)にしてください。図7.14に $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を示します。

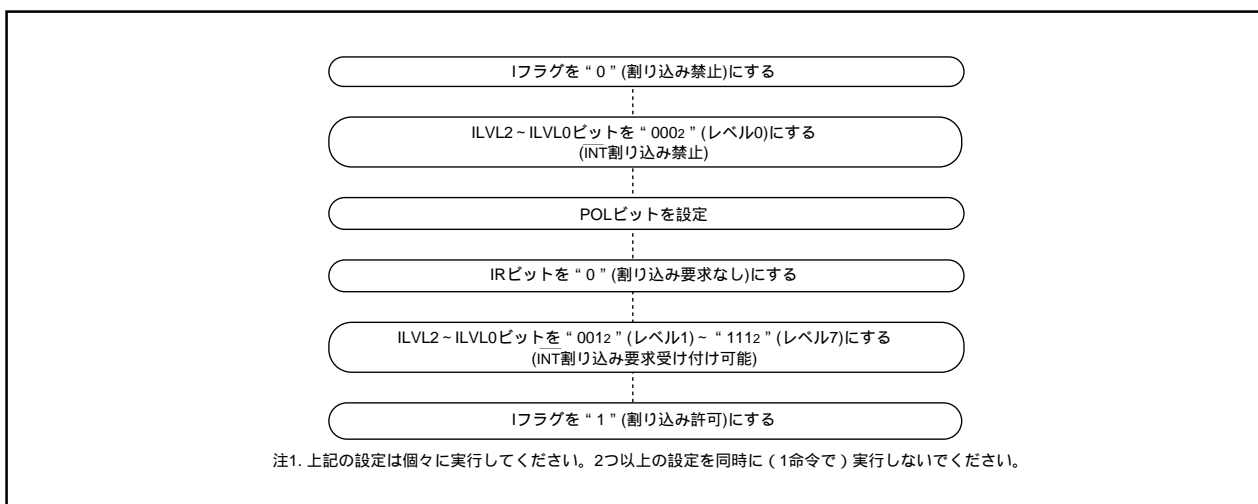


図7.14. $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例

(4) ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止してから変更してください。次に参考プログラム例を示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0055H ; TA0ICレジスタを“0016”にする
  NOP                    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET   I           ; 割り込み許可
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0055H ; TA0ICレジスタを“0016”にする
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0055H ; TA0ICレジスタを“0016”にする
  POPC   FLG        ; 割り込み許可
```

例1でFSET I命令の前にNOP命令が2個（HOLD機能使用時は4個）、例2でFSET I命令の前にダミーリードがある理由
命令キューバッファの影響によって、割り込み制御レジスタに書く前に、1フラグが“1”になるのを防ぐ。

割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「ウォッチドッグタイマリセット」を参照してください。

CPUクロックにメインクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケアラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、またはホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図8.1にウォッチドッグタイマのブロック図、図8.2にウォッチドッグタイマ関連レジスタを示します。

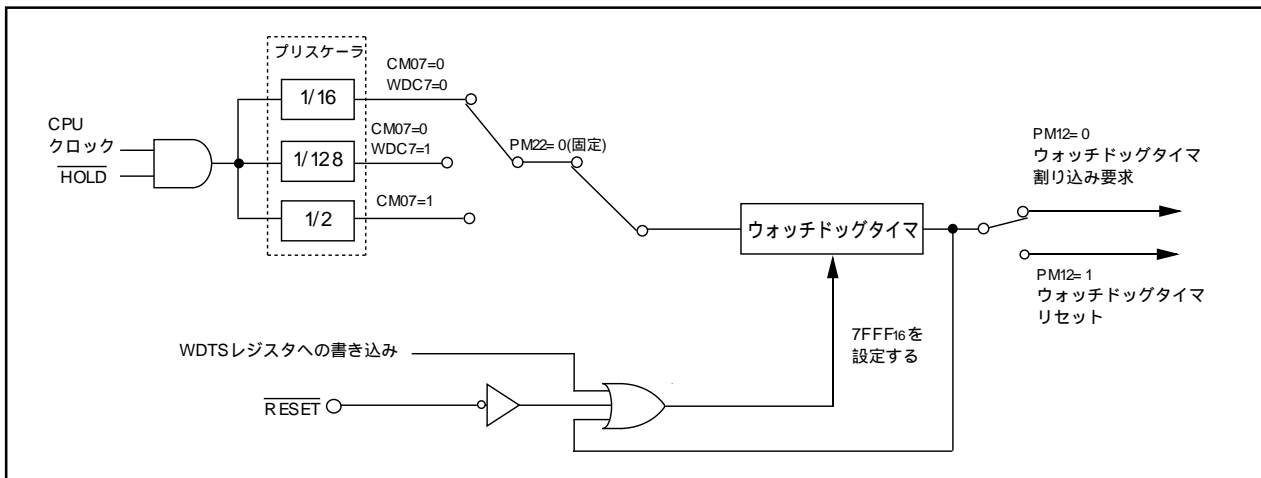


図8.1. ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
	0	0						WDC	000F ₁₆ 番地	00XXXXXX ₂

ビットシンボル	ビット名	機能	RW
(b4-b0)	ウォッチドッグタイマの上位ビット		RO
(b5, b6)	予約ビット	"0" にしてください	RW
WDC7	プリスケアラ選択ビット	0: 16分周 1: 128分周	RW

ウォッチドッグタイマスタートレジスタ(注1)

b7	b0	シンボル	アドレス	リセット後の値
		WDTS	000E ₁₆ 番地	不定

機能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。ウォッチドッグタイマの初期値は、書き込む値にかかわらず "7FFF ₁₆ " が設定されます。	WO

注1. ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図8.2. WDC、WDTSレジスタ

DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図9.1にDMACブロック図、表9.1にDMACの仕様、図9.2～図9.4にDMAC関連レジスタを示します。

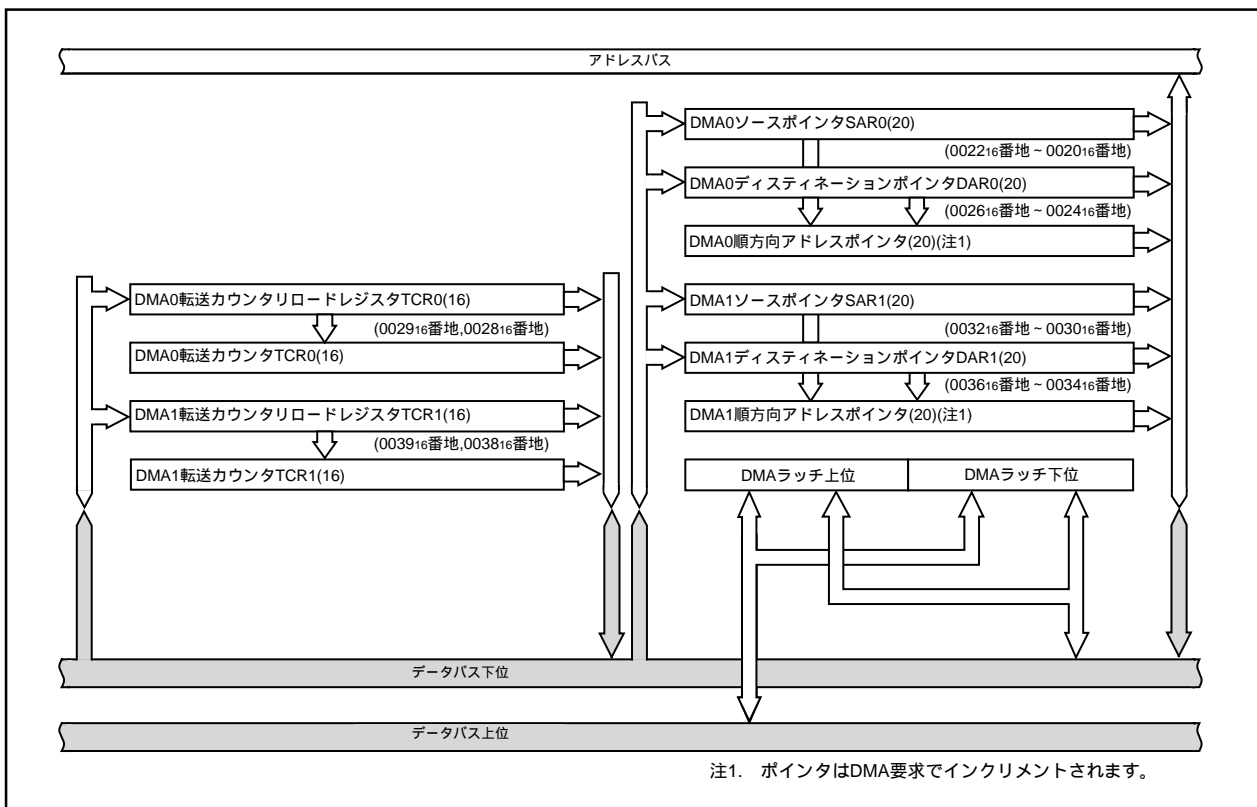


図9.1. DMACブロック図

DMA要求は、DMiSLレジスタ($i=0 \sim 1$)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「DMA要求」を参照してください。

表9.1. DMACの仕様

項 目		仕 様
チャンネル数		2チャンネル(サイクルスチール方式)
転送空間		1Mバイトの任意の空間から固定番地 固定番地から1Mバイトの任意の空間 固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、注2)		INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 A/D変換割り込み要求 ソフトウエアトリガ OSD1,OSD2割り込み VSYNC割り込み マルチマスタI ² C-busインタフェース0,1,2割り込み I ² C-bus0,1,2NACK割り込み
チャンネル優先順位		DMA0 > DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送 リピート転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	DMAEビットを“0”(禁止)にする
	リピート転送	DMAi転送カウンタがアンダフローした後 DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020₁₆～003F₁₆番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ

シンボル
DM0SL

アドレス
03B8₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
(b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
DMS	DMA要因拡張選択ビット	0：基本要因 1：拡張要因	RW
DSR	ソフトウェアDMA要求ビット	DMSビットが“0”（基本要因）、DSEL3～DSEL0ビットが“0001 ₂ ”（ソフトウェアアトリガ）のとき、このビットを“1”にするとDMA要求が発生する（読んだ場合、その値は“0”）	RW

注1. DMA0の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0 0 0 2	INT0端子の立ち下がりエッジ -	
0 0 0 1	ソフトウェアアトリガ	-
0 0 1 0	タイマA0/I ² C-bus0	-
0 0 1 1	タイマA1/I ² C-bus1	-
0 1 0 0	タイマA2/OSD2	-
0 1 0 1	タイマA3/VSYNC	-
0 1 1 0	タイマA4/I ² C-bus0NACK	INT0端子の両エッジ
0 1 1 1	タイマB0/I ² C-bus1NACK	タイマB3
1 0 0 0	タイマB1/I ² C-bus2NACK	タイマB4
1 0 0 1	タイマB2/I ² C-bus2	タイマB5/OSD1
1 0 1 0	UART0送信	-
1 0 1 1	UART0受信	-
1 1 0 0	UART2送信	-
1 1 0 1	UART2受信	-
1 1 1 0	A/D変換	-
1 1 1 1	UART1送信	-

図9.2. DM0SLレジスタ

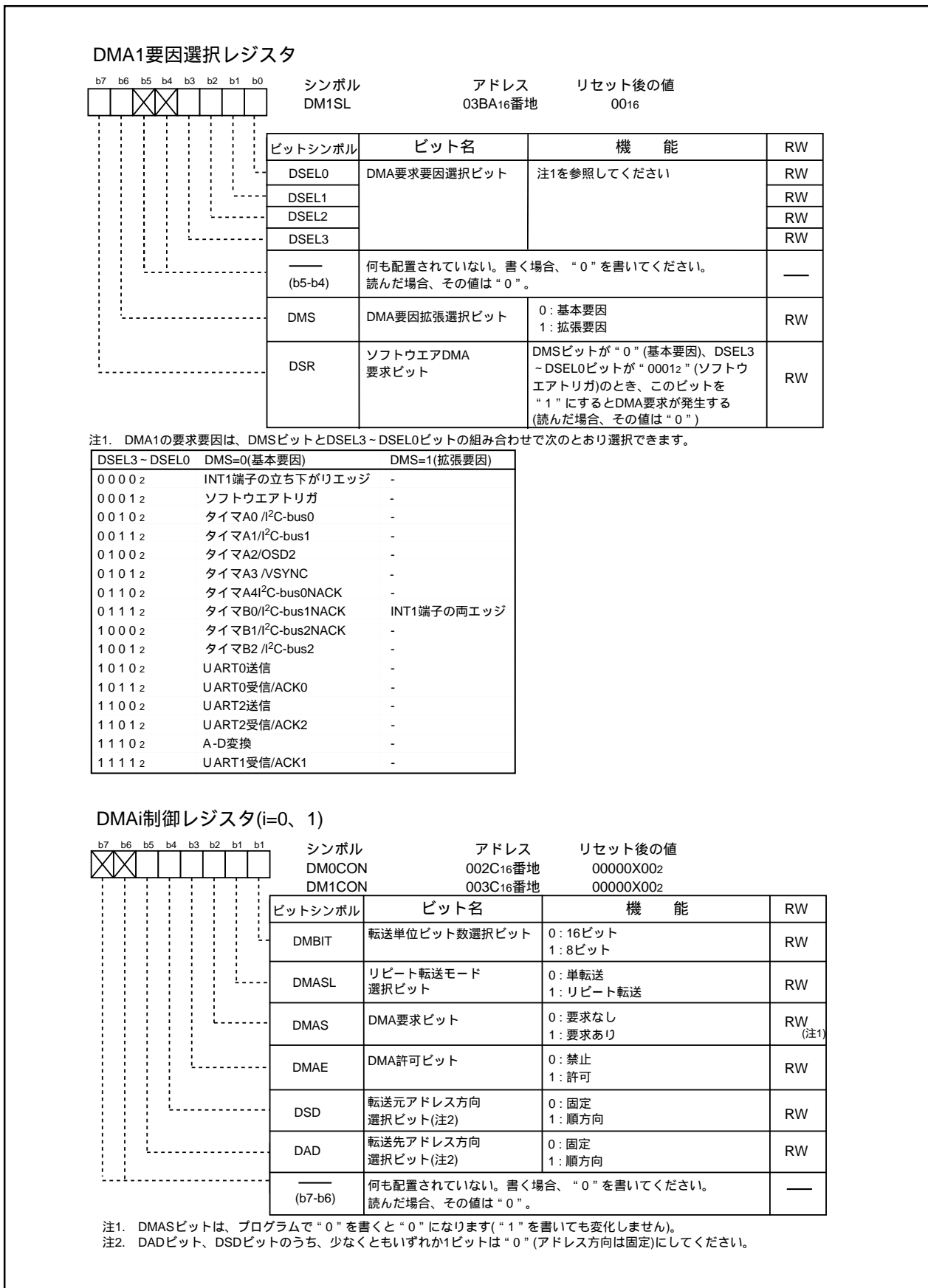


図9.3. DM1SL、DM0CON、DM1CONレジスタ

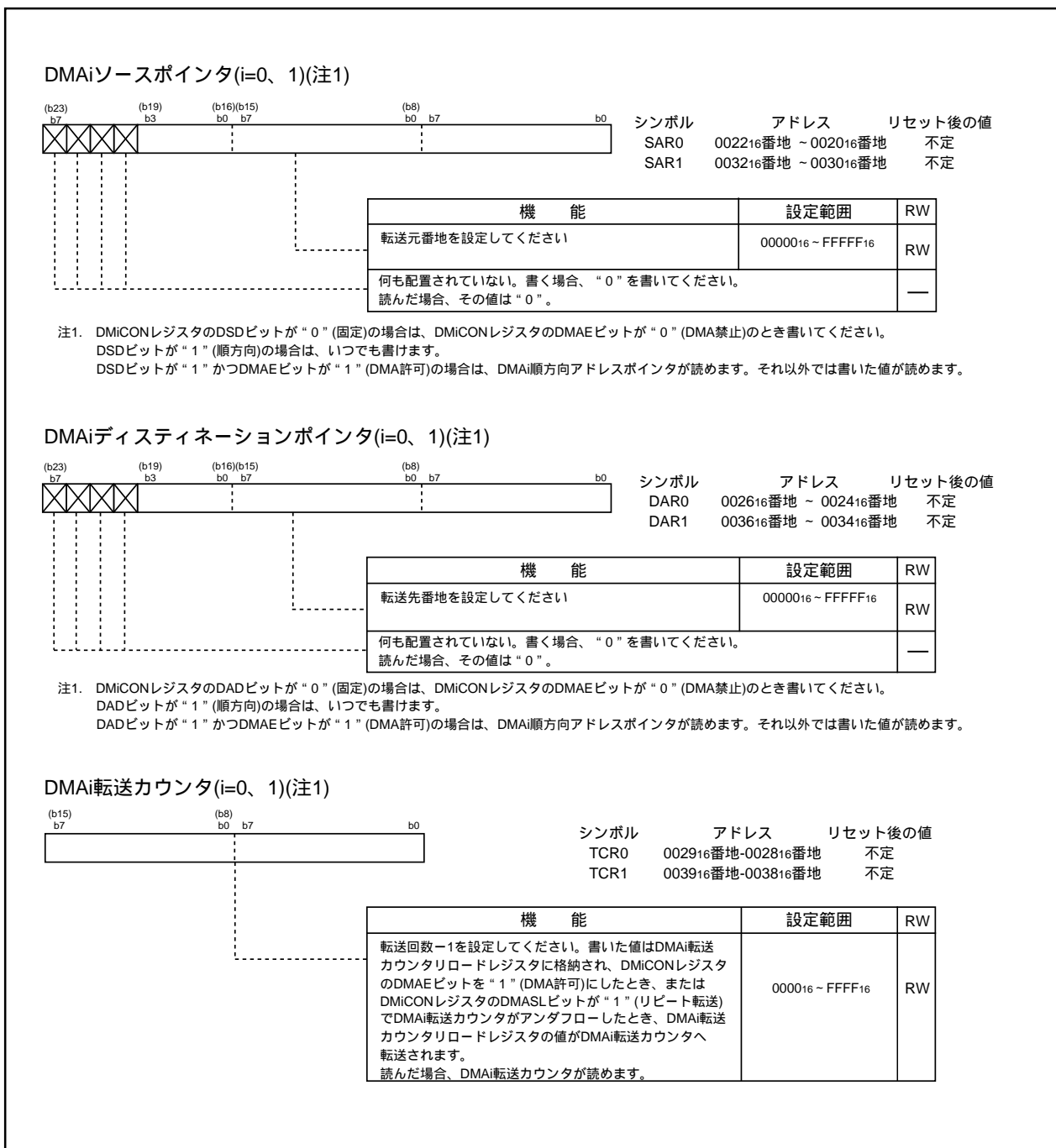


図9.4. SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

(1) 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトやRDY信号の影響により、バスサイクル自体が長くなります。

転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

RDY信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「RDY信号」を参照してください。

図9.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図9.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

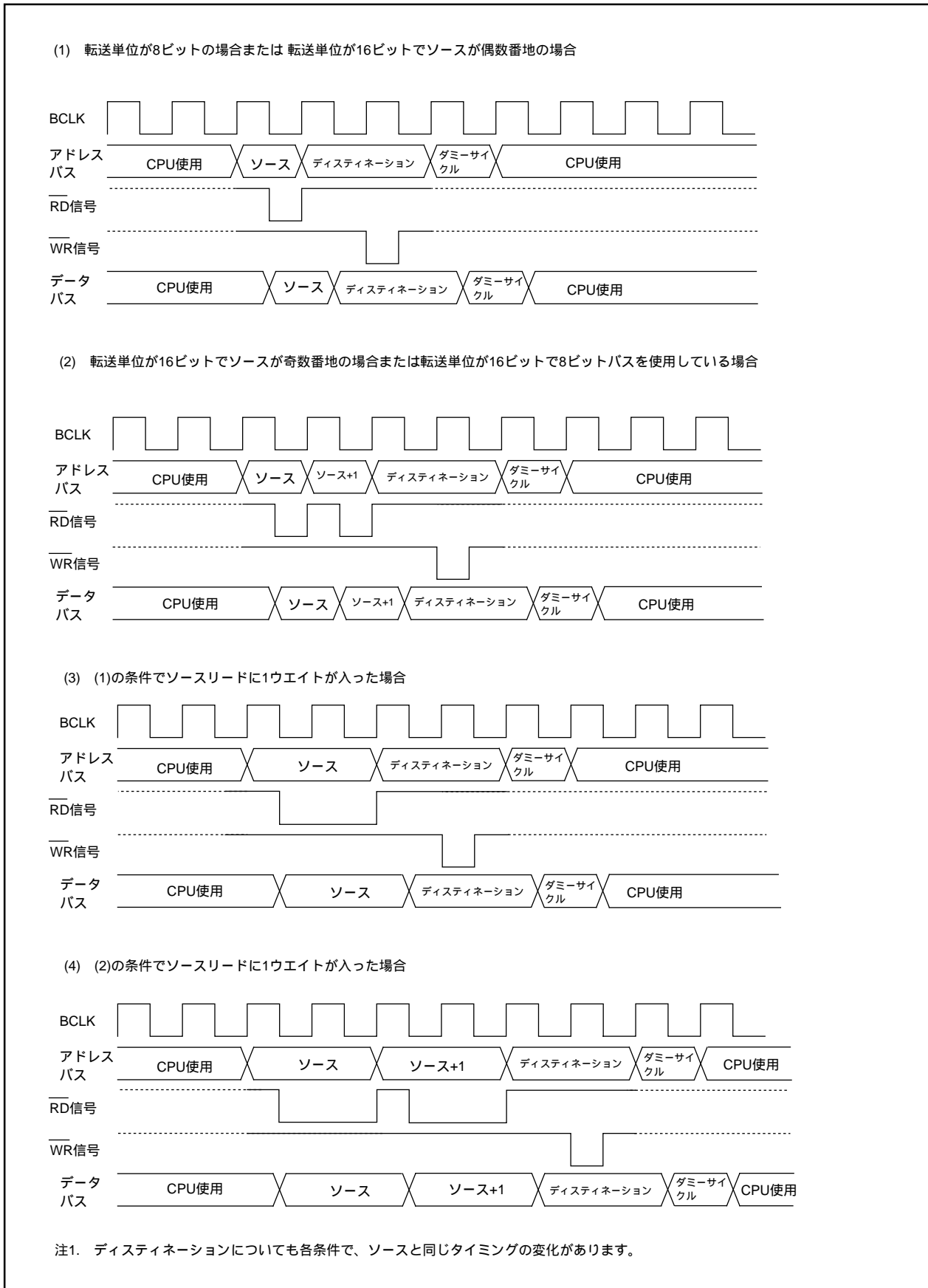


図9.5. ソースリードサイクル例

(2) DMA転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表9.2にDMAC転送サイクル数、表9.3に計数j、kを示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表9.2. DMA転送サイクル数

転送単位	バス	アクセス 番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

表9.3. 係数j、k

	内部領域				外部領域						
	内部ROM、RAM		SFR		セパレートバス			マルチプレクスバス			
	ウエイト なし	ウエイト あり	1ウエイト (注2)	2ウエイト (注2)	ウエイト なし	ウエイトあり(注1)			ウエイトあり(注1)		
						1ウエイト	2ウエイト	3ウエイト	1ウエイト	2ウエイト	3ウエイト
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注1. CSEレジスタの設定値に依存します。

注2. PM2レジスタのPM20ビットの設定値に依存します。

(3) DMA許可

DMiCONレジスタ(i=0, 1)のDMAEビットを“1” (許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (1) DMiCONレジスタ(i=0, 1)のDSDビットが“1” (順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1” (順方向)の場合はDARiレジスタの値を順方向アドレスポインタヘリロードする
- (2) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタヘリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(1)(2)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

(4) DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0, 1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表9.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1” (要求あり)になります。DMAEビットが“1” (許可)の場合、データ転送が開始される直前にDMASビットは“0” (要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表9.4. DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiCONレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> ・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiCONレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

(5) チャンネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図9.6に外部要因によるDMA転送例を示します。

図9.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図9.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

CPUとバスの使用優先順位については、「バス制御 (7)HOLD信号」も参照してください。

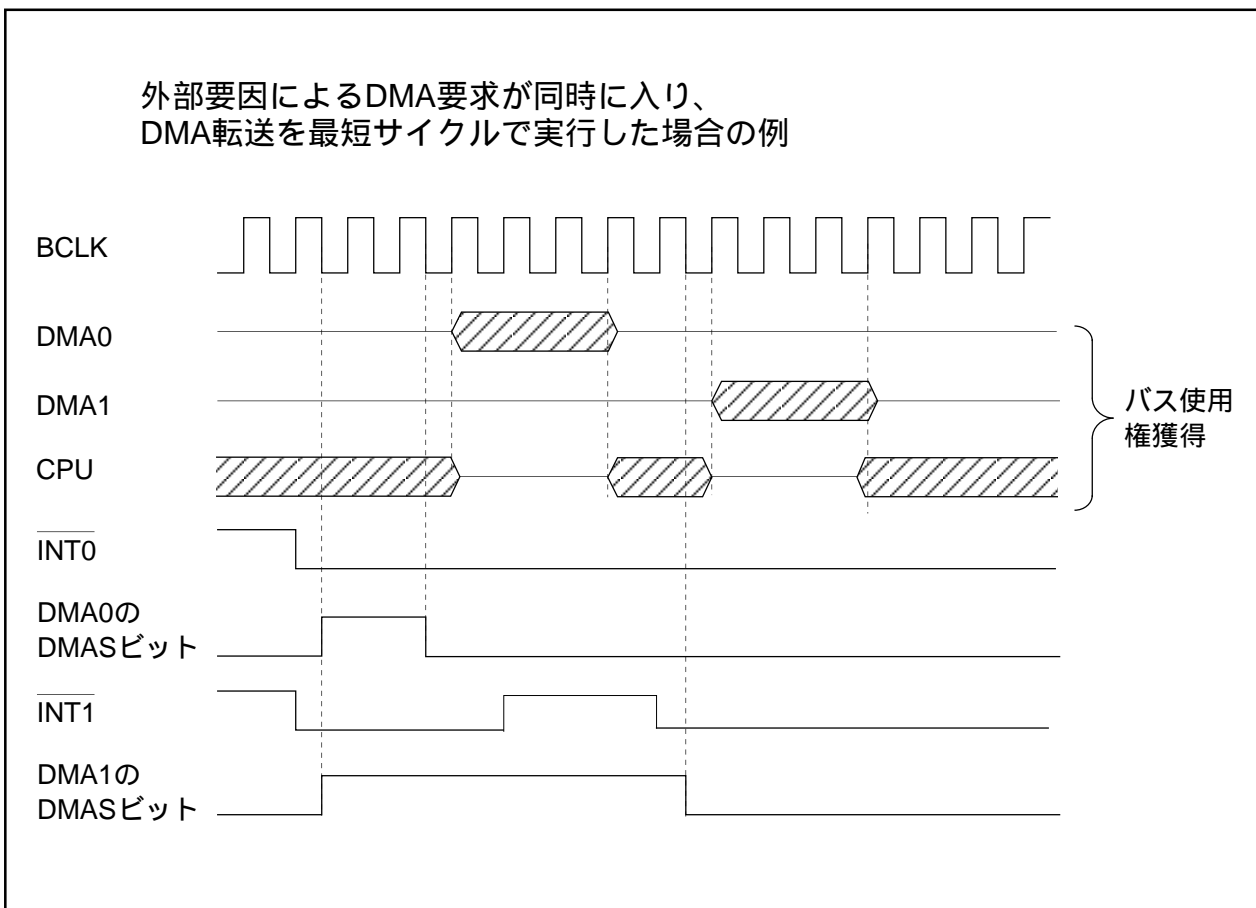


図9.6. 外部要因によるDMA転送例

タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図10.1にタイマA構成、図10.2にタイマB構成を示します。

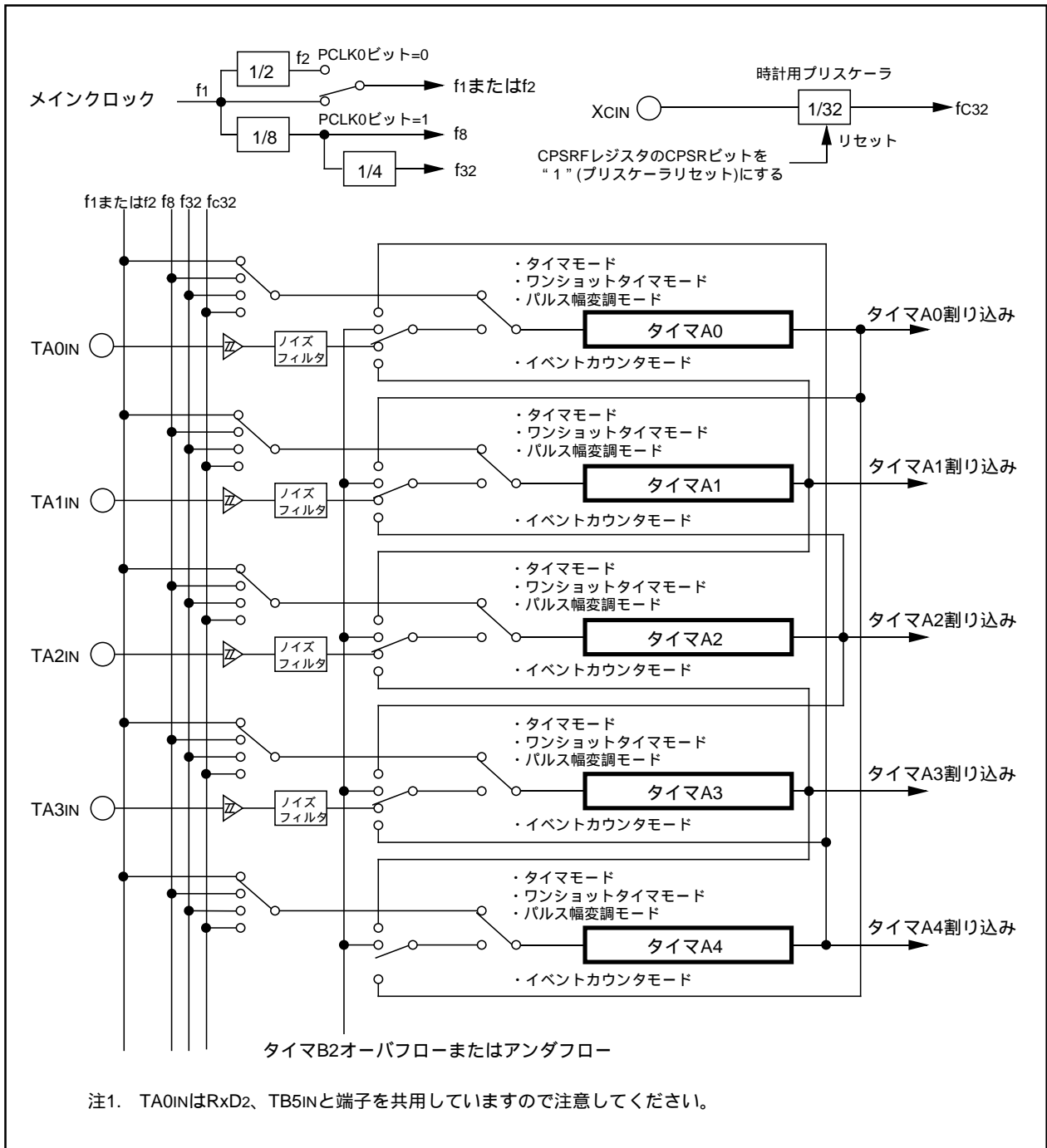


図10.1. タイマA構成

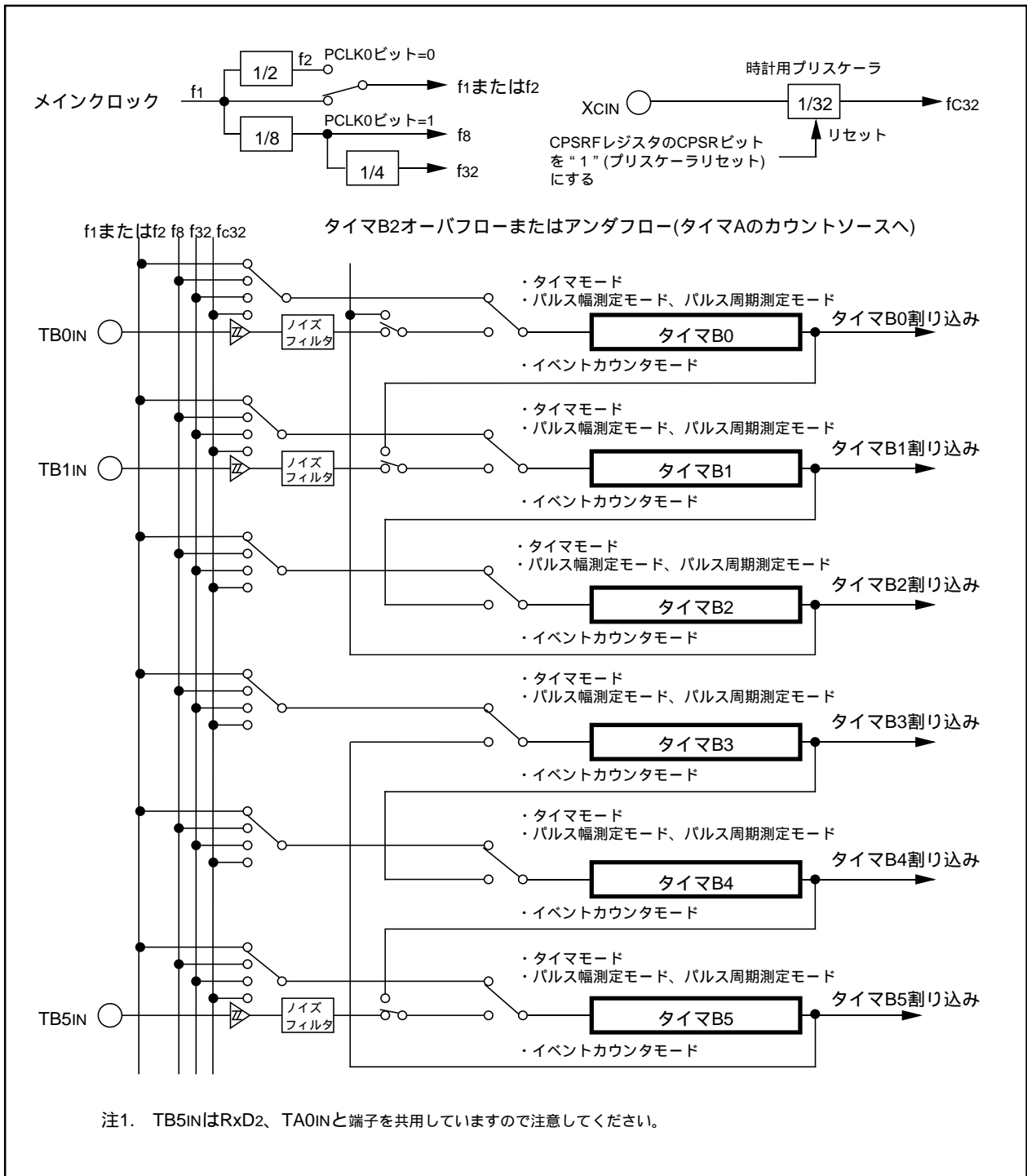


図10.2. タイマB構成

タイマA

図10.3にタイマAブロック図、図10.4～図10.6にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“000016”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調モード 任意の幅のパルスを連続して出力するモード

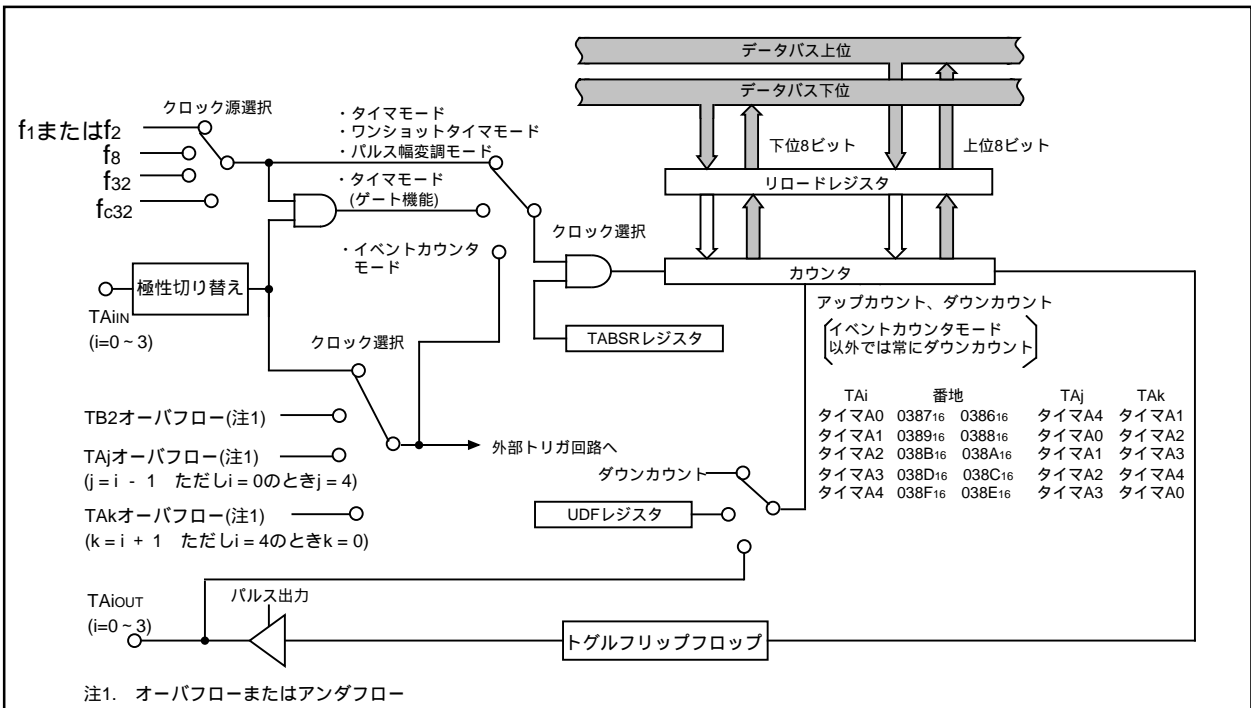


図10.3. タイマAブロック図

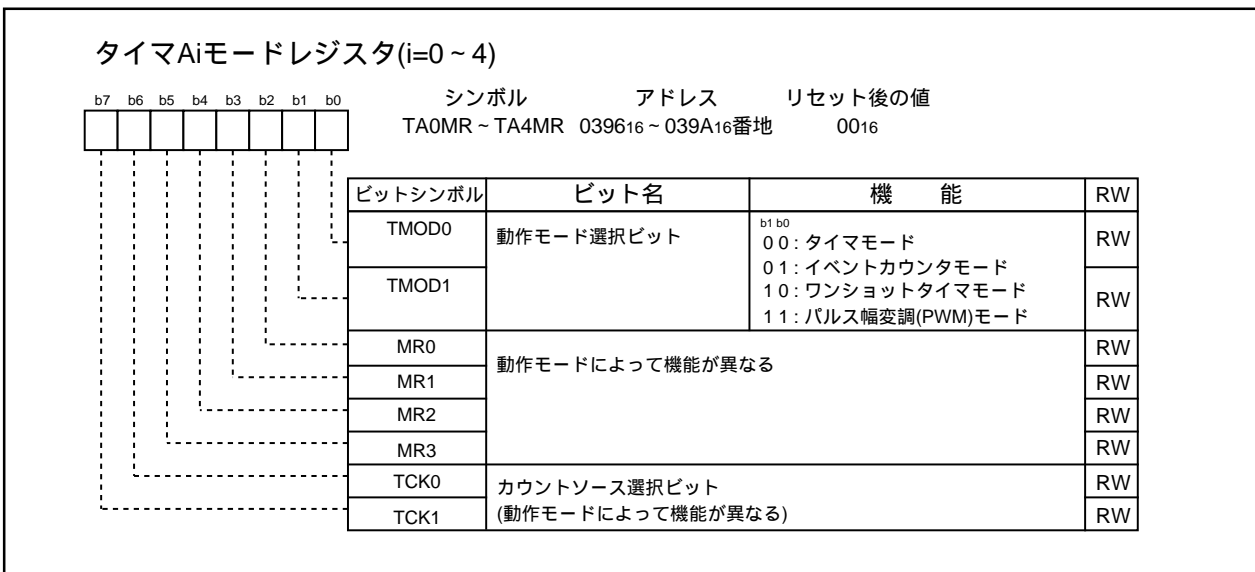


図10.4. TA0MR～TA4MRレジスタ

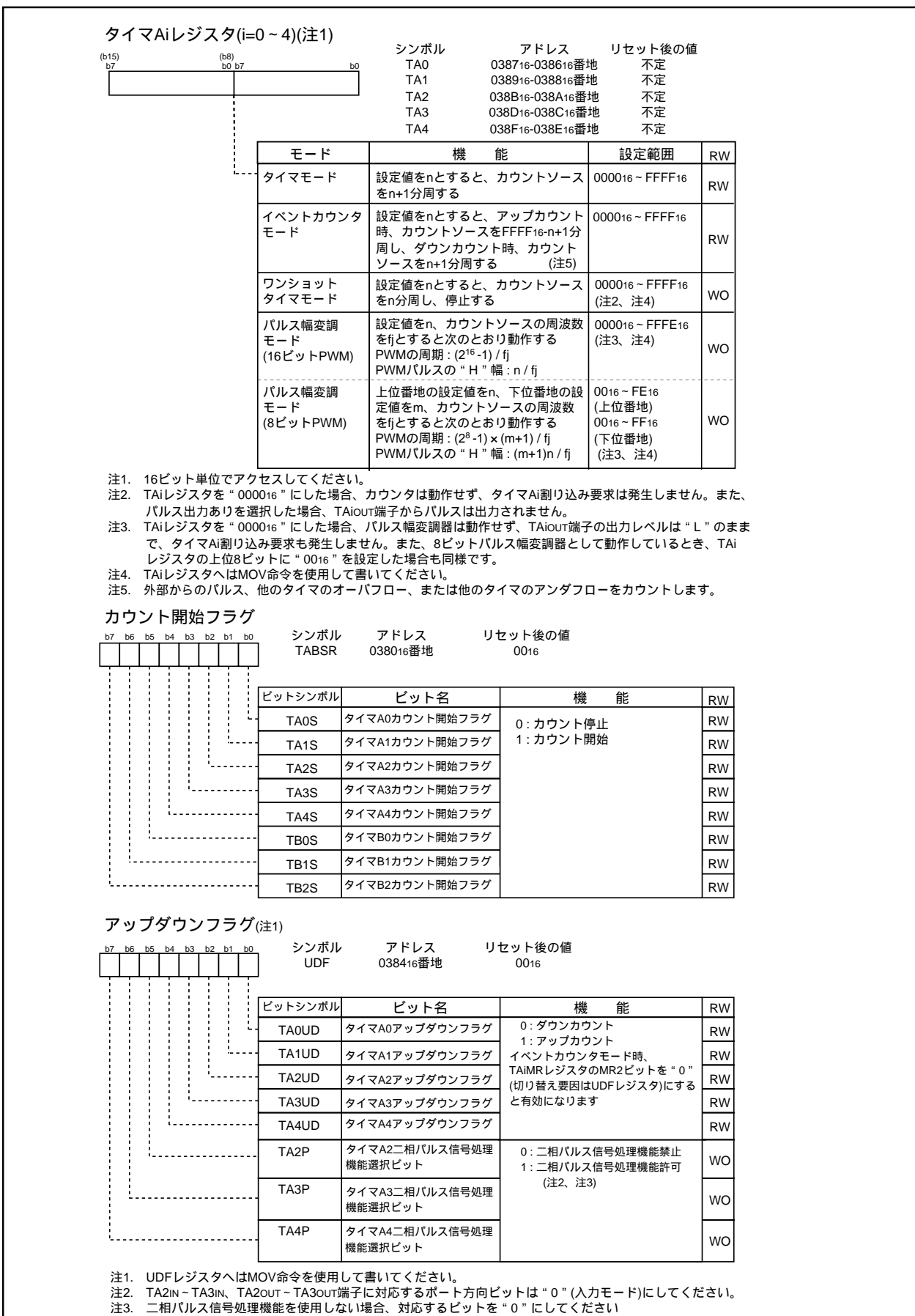


図10.5. TA0 ~ TA4、TABSR、UDFレジスタ

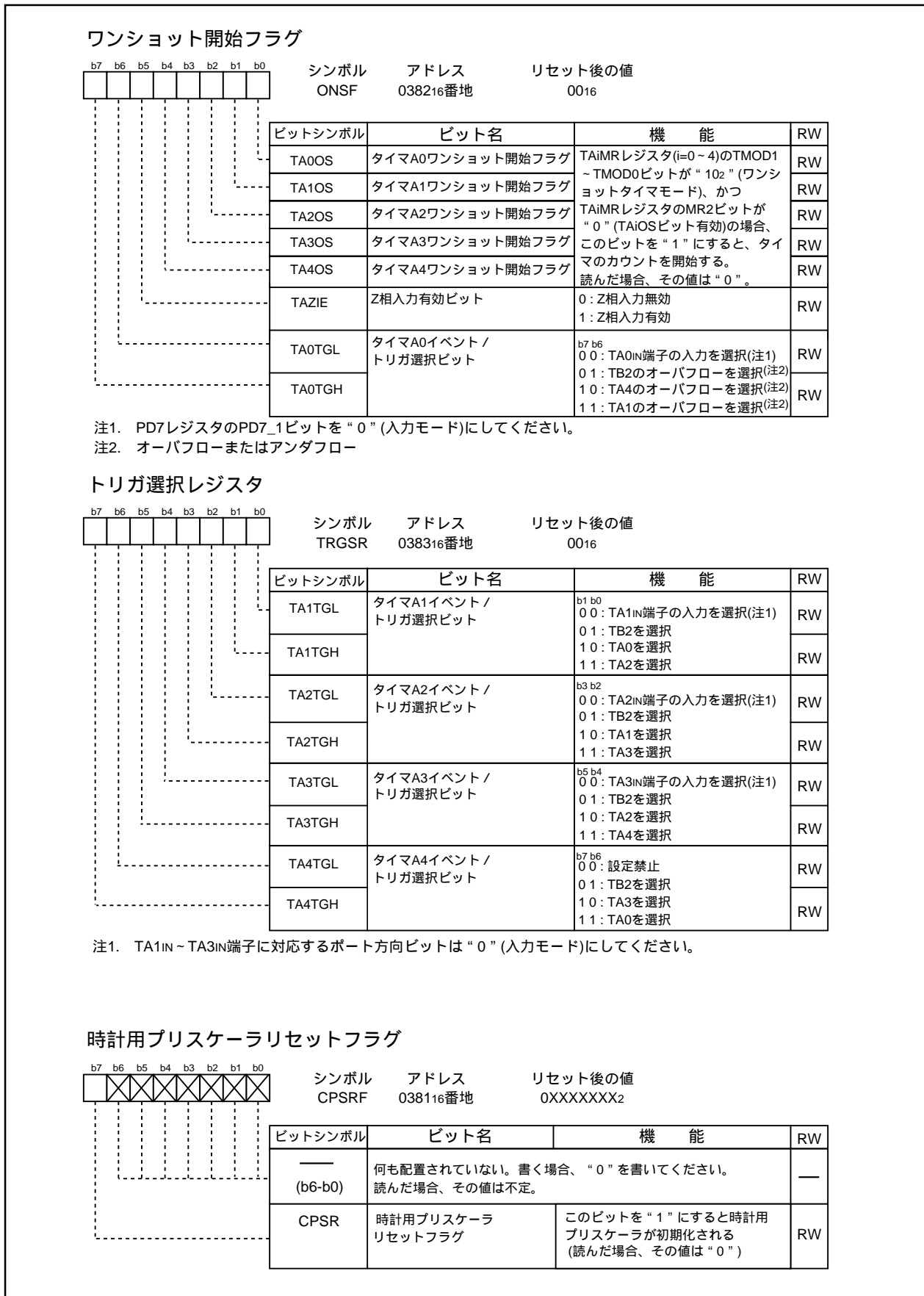


図10.6. ONSF、TRGSR、CPSRFレジスタ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表10.1)。図10.7にタイマモード時のTAiMRレジスタを示します。

表10.1. タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止中)の期間は“L”を出力

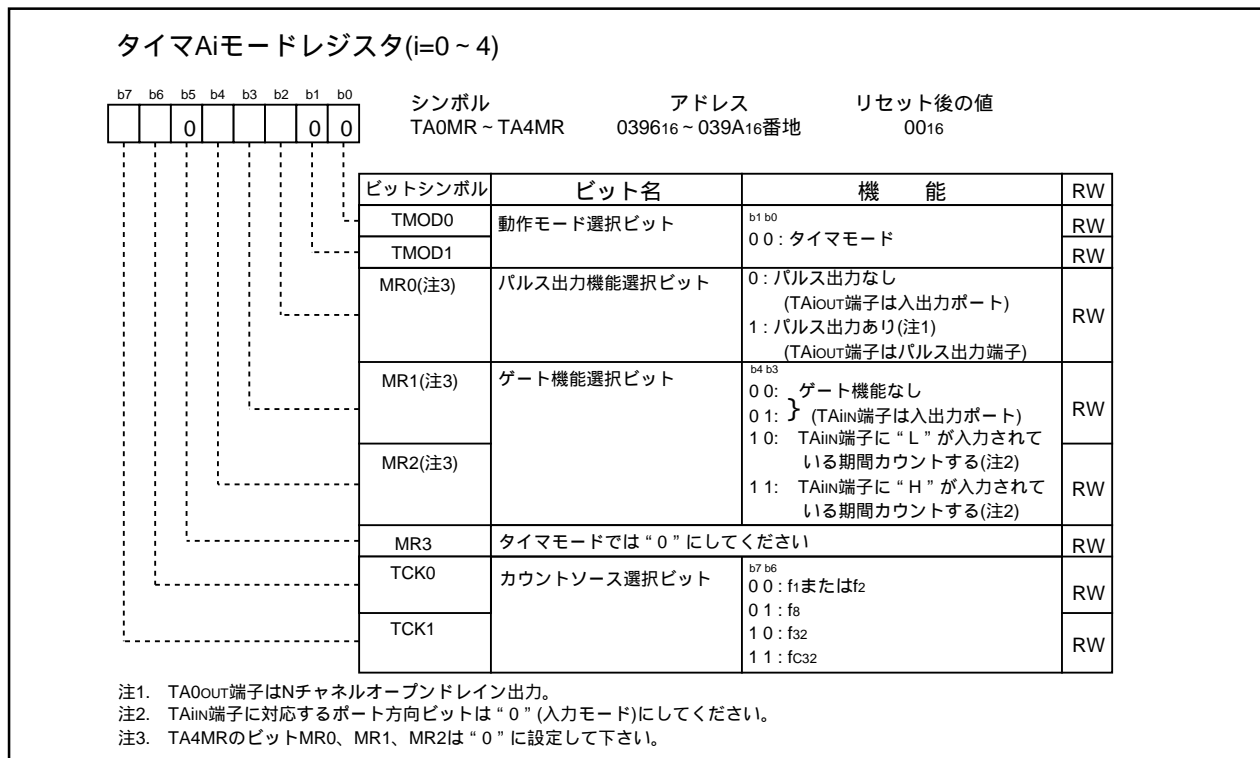


図10.7. タイマモード時のTAiMRレジスタ

(2) イベントカウンタモード

外部信号、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表10.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図10.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表10.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIN端子(i=0~3)に入力された外部信号(プログラムで有効エッジを選択可能) タイマB2のオーバーフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー
カウント動作	アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	アップカウント時 1/(FFFF16 - n+1) ダウンカウント時 1/(n+1) n:TAiレジスタの設定値 000016 ~ FFFF16
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフローまたはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしないパルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止中)の期間は“L”を出力

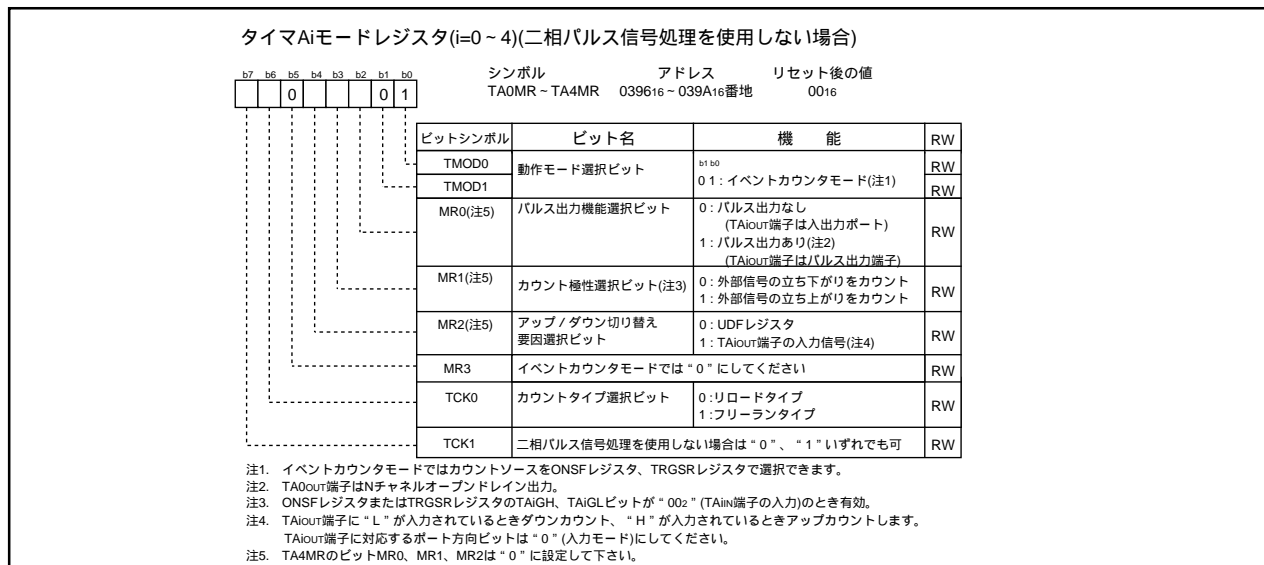


図10.8. イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

表10.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)、
図10.9にイベントカウンタモード時のTA2MR～TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表10.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i = 2 ~ 3)に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウン トを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	<p>通常処理動作(タイマA2、タイマA3)</p> <p>TAjOUT端子(j=2、3)の入力信号が“H”の期間、TAjIN端子の立ち上がりをア ップカウントし、立ち下がりダウンカウントします。</p>  <p>4通倍処理動作(タイマA3、タイマA4)</p> <p>TAKOUT端子(k=3)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係 の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりアップカウントしま す。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係 の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりダウンカウントしま す。</p>  <p>Z相入力によるカウンタ初期化(タイマA3)</p> <p>Z相入力により、タイマのカウント値を“0”にする</p>

注1. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です。

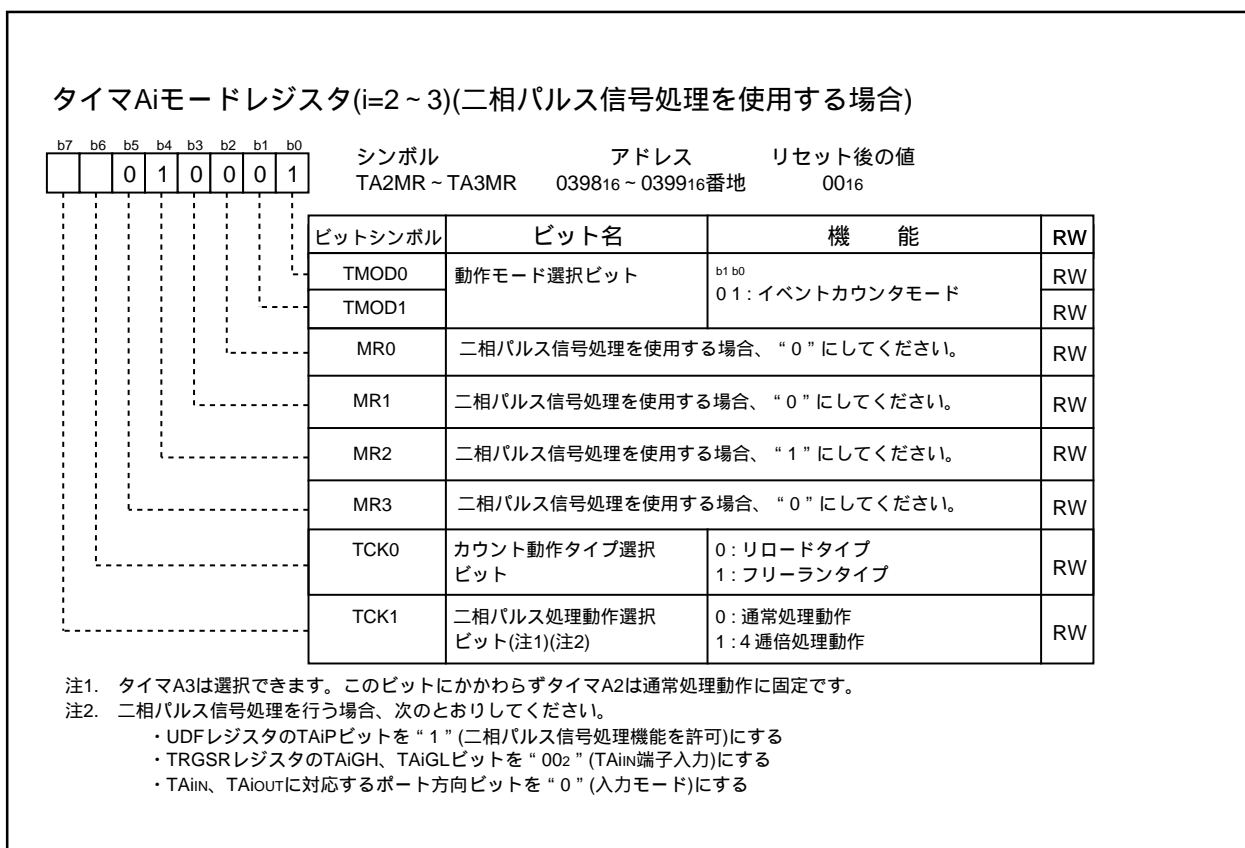


図10.9. イベントカウンタモード時のTA2MRレジスタ~TA4MRレジスタ
(タイマA2、A3で二相パルス信号処理を使用する場合)

二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4通倍処理でのみ使用でき、Z相は $\overline{\text{INT2}}$ 端子から入力します。

TA3レジスタに“0000₁₆”を書き、“ONSFレジスタのTAZIEビットを“1” (Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図10.10に二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

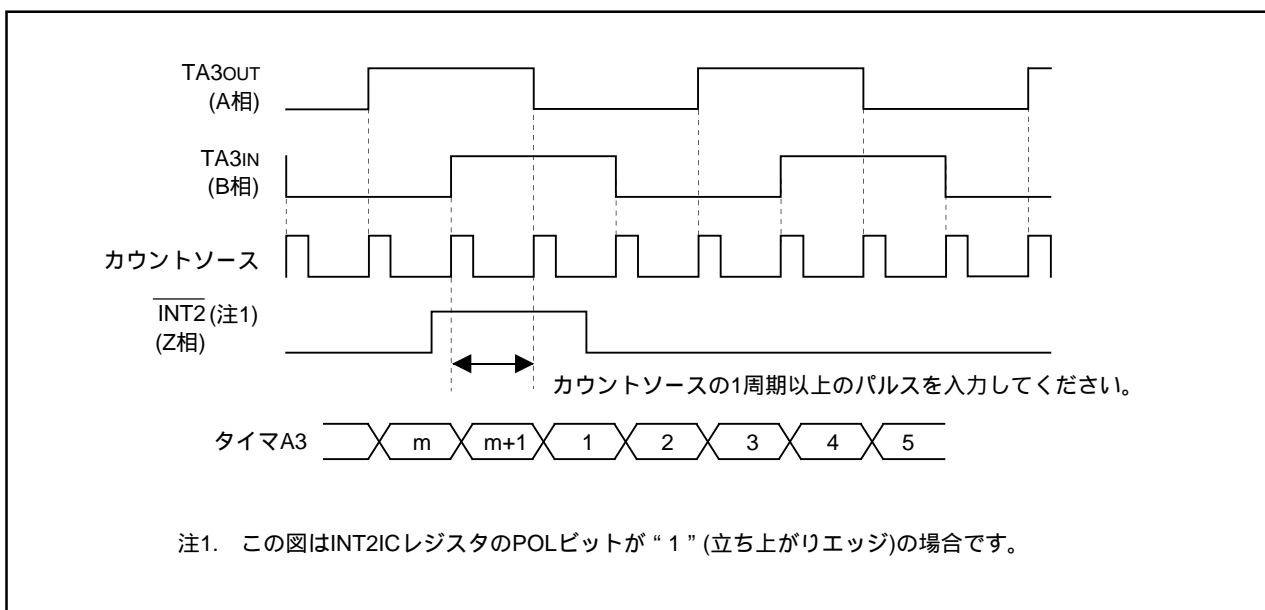


図10.10. 二相パルス(A相、B相)とZ相の関係

(3) ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表10.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図10.11にワンショットタイマモード時のTAiMRレジスタを示します。

表10.4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	ダウンカウント カウンタが0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆ ただし、0000 ₁₆ を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 TAiIN端子からの外部トリガ入力 タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	カウント値が0000 ₁₆ になりリロードした後 TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000 ₁₆ になるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

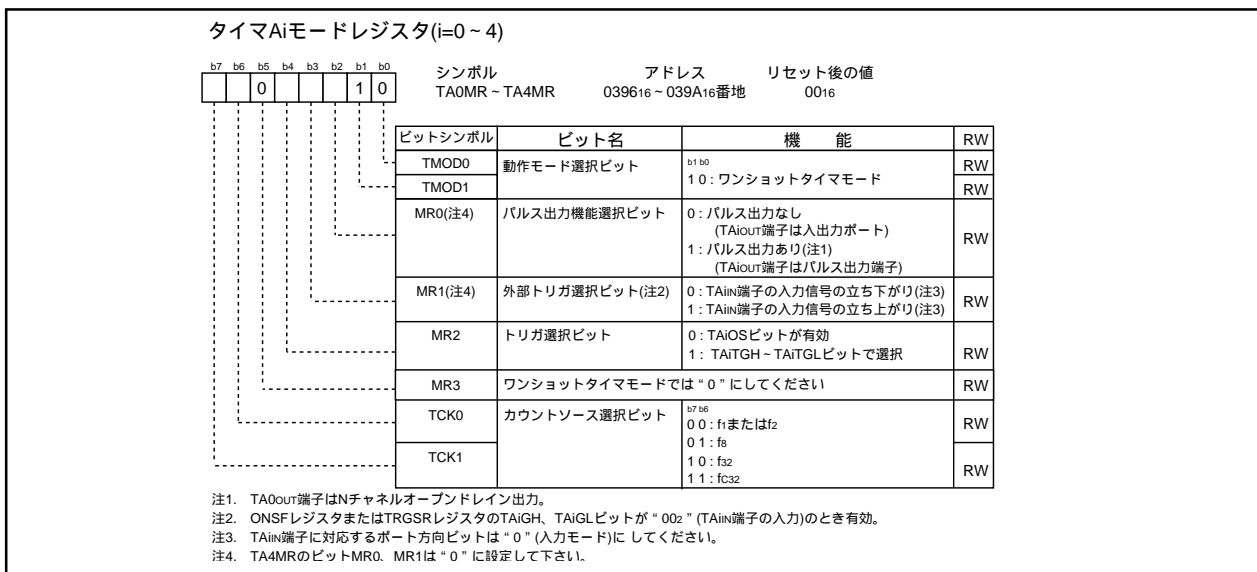


図10.11. ワンショットタイマモード時のTAiMRレジスタ

(4) パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表10.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図10.12にパルス幅変調モード時のTAiMRレジスタ、図10.13に16ビットパルス幅変調器の動作例、図10.14に8ビットパルス幅変調器の動作例を示します。

表10.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”幅 n / f_j n :TAiレジスタの設定値($i=0 \sim 3$) 周期 $(2^{16} - 1) / f_j$ 固定 f_j :カウントソースの周波数($f_1、f_2、f_8、f_{32}、f_{C32}$)
8ビットPWM	“H”幅 $n \times (m+1) / f_j$ n :TAiレジスタの上位番地の設定値 周期 $(2^8 - 1) \times (m+1) / f_j$ m :TAiレジスタの下位番地の設定値
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj($j=i-1$ 、ただし $i=0$ のとき $j=4$)のオーバフローまたはアンダフロー、タイマAk($k=i+1$)のオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

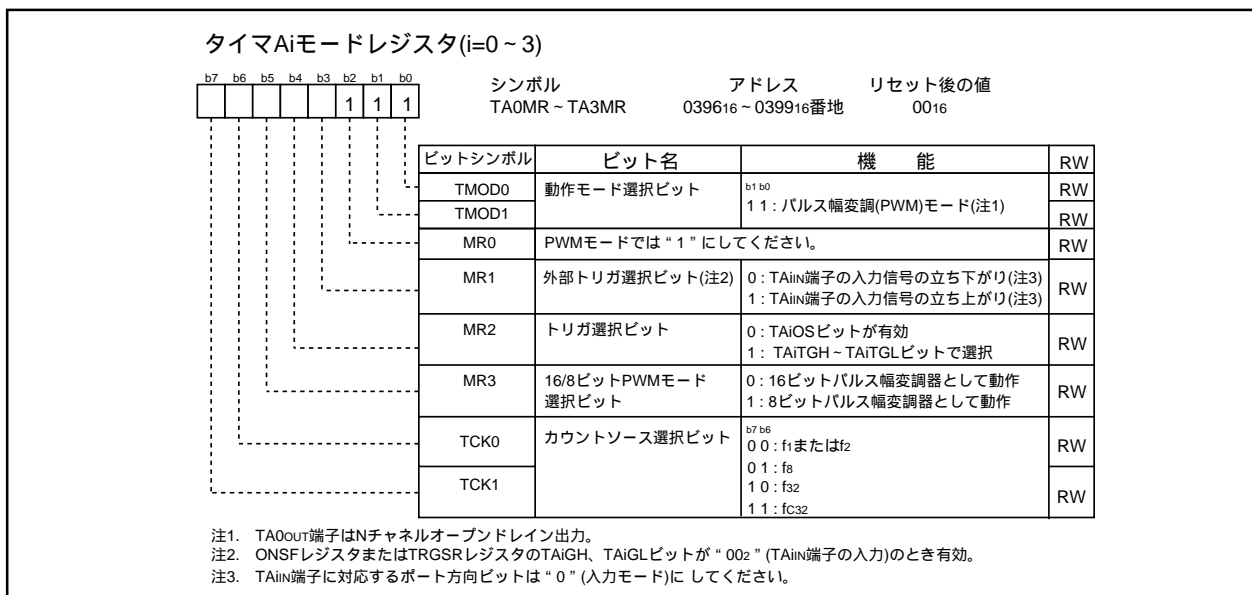


図10.12. パルス幅変調モード時のTAiMRレジスタ

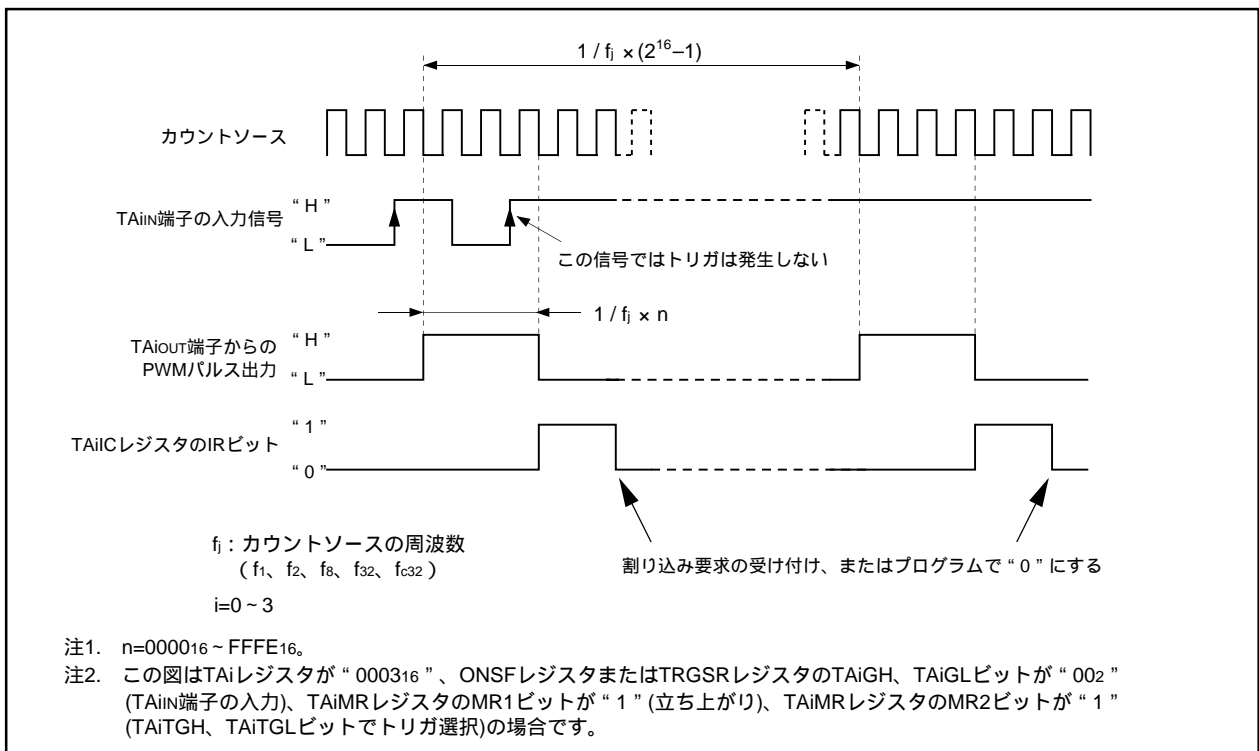


図10.13. 16ビットパルス幅変調器の動作例

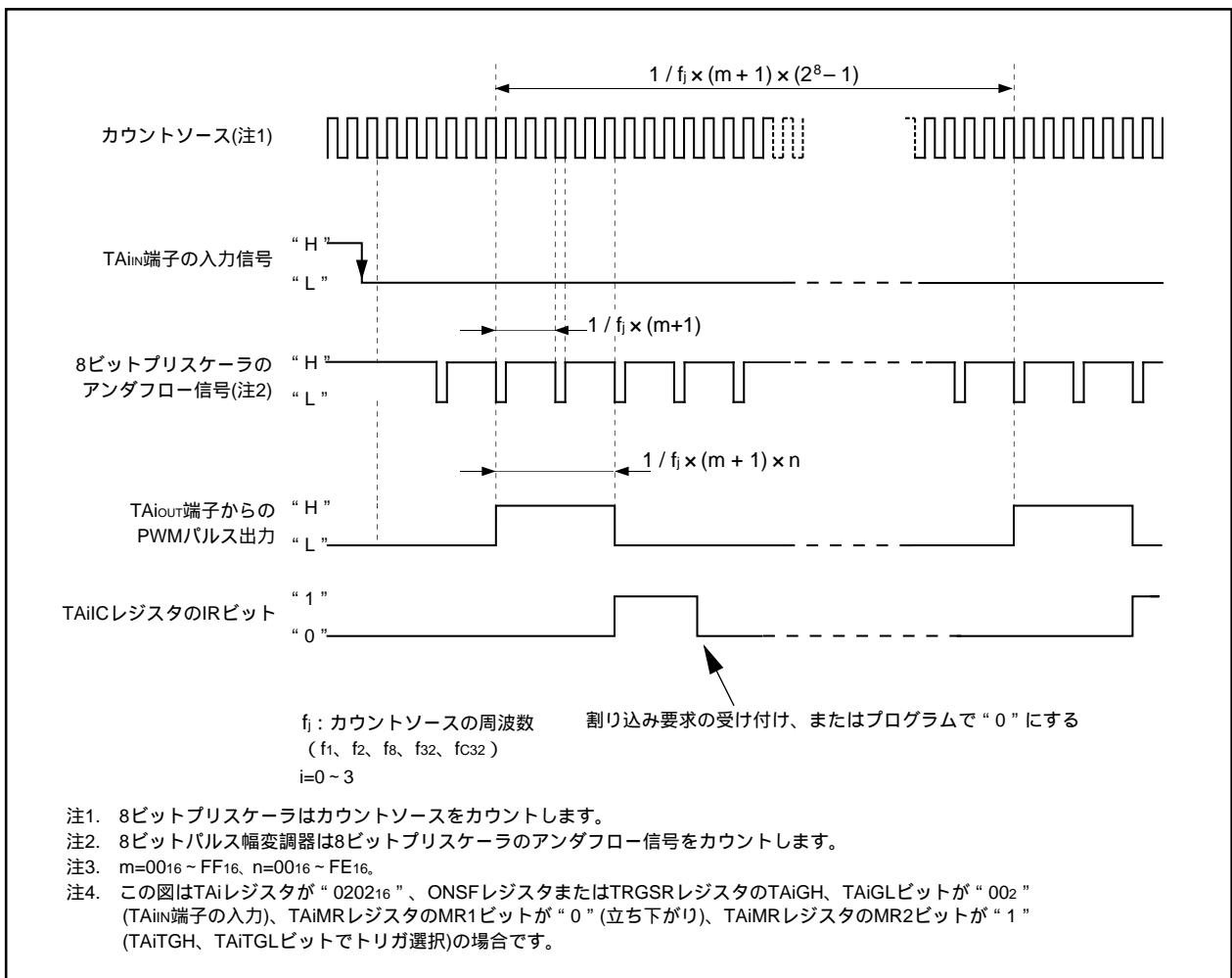


図10.14. 8ビットパルス幅変調器の動作例

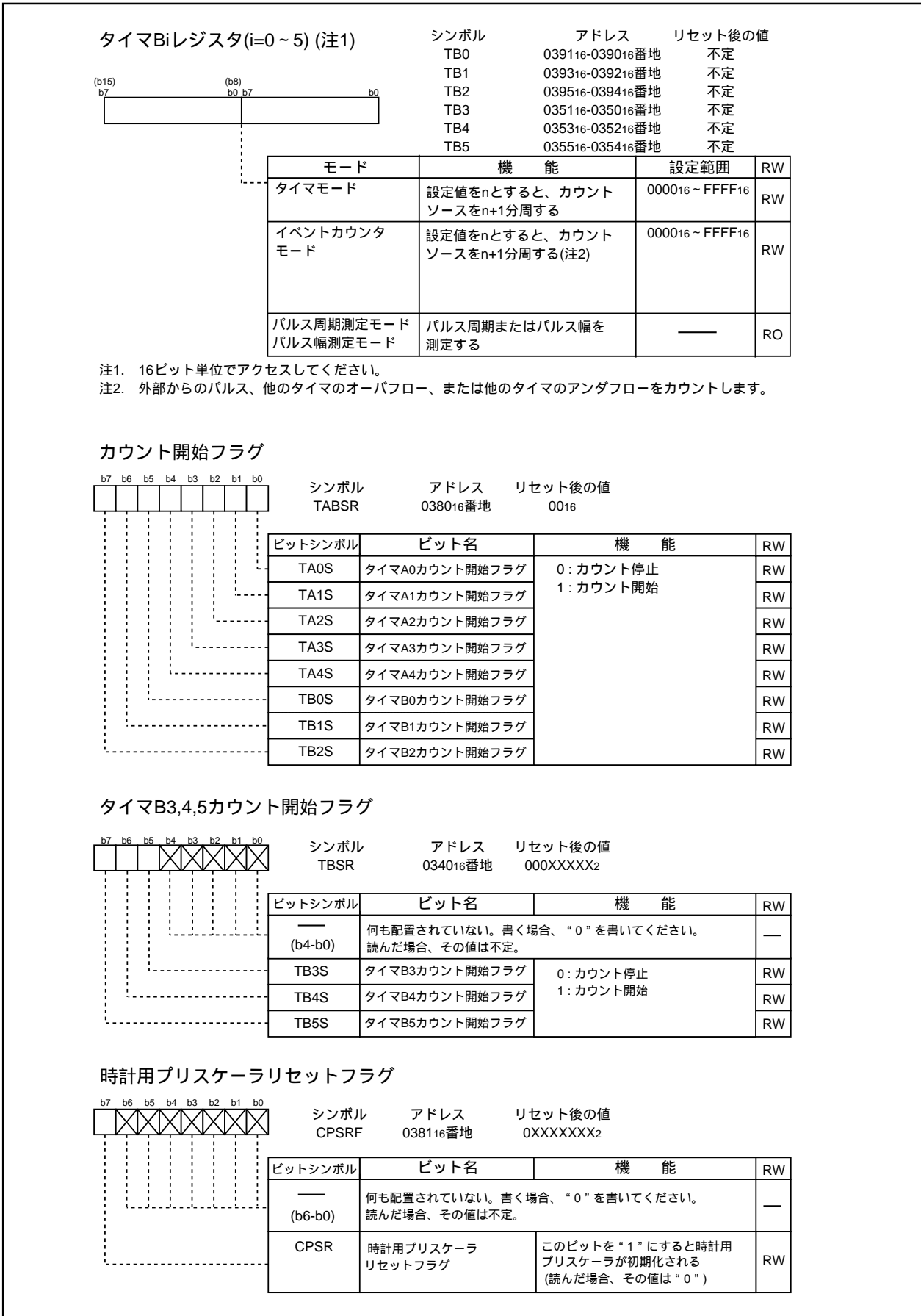


図10.17. TB0~TB5、TABSR、TBSR、CPSRFレジスタ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表10.6)。図10.18にタイマモード時のTBiMRレジスタを示します。

表10.6. タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタの設定値(i=0~5) 000016~FFFF16
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABSRRレジスタのビット5~7、TB3S~TB5SビットはTBSRRレジスタのビット5~7です。

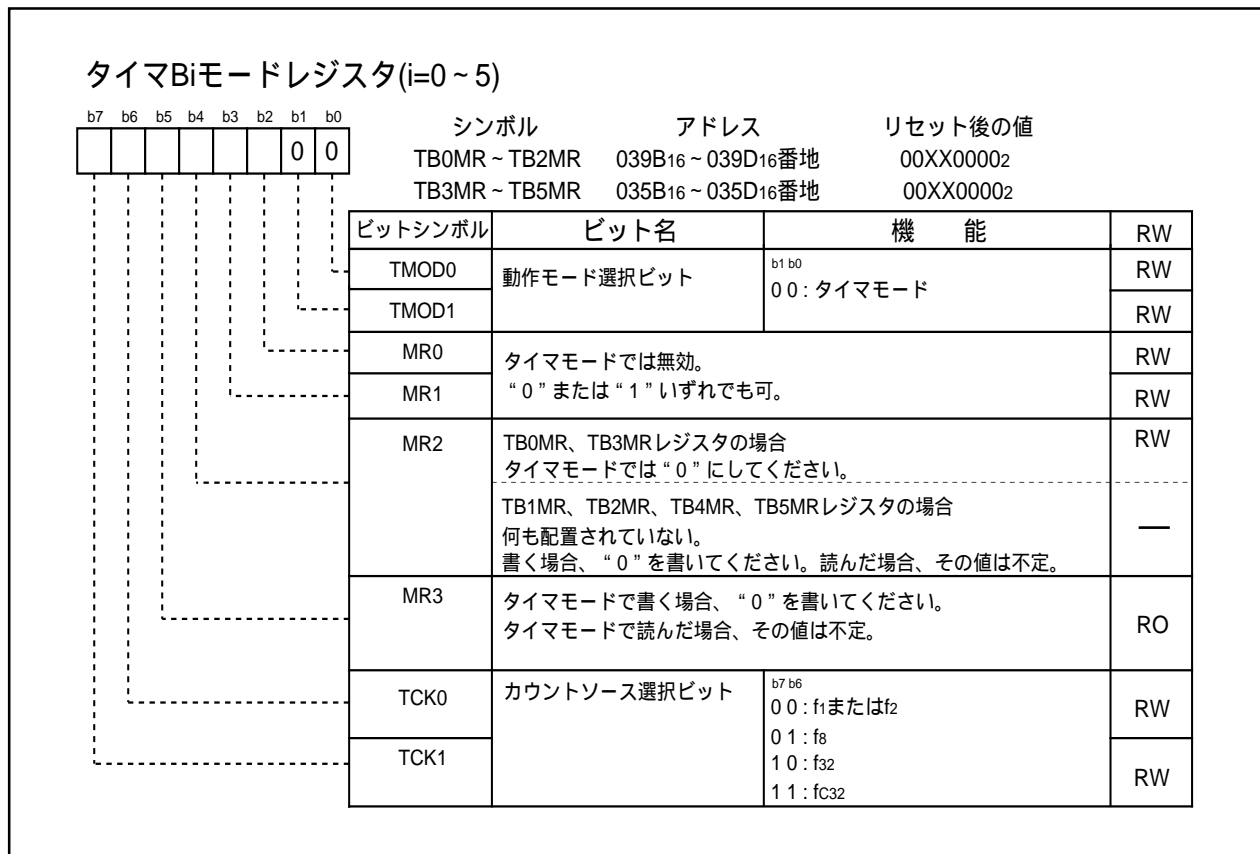


図10.18. タイマモード時のTBiMRレジスタ

(3) パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表10.8)。図10.20にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図10.21にパルス周期測定時の動作図、図10.22にパルス幅測定時の動作図を示します。

表10.8. パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	TBiSビット(i=0,1,5)(注3)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

- 注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
- 注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。
- 注3. TB0S~TB1SビットはTABS_Rレジスタのビット5~6、TB5SビットはTBS_Rレジスタのビット7です。

タイマBiモードレジスタ(i=0,1,5)

シンボル	アドレス	リセット後の値
TB0MR ~ TB1MR	039B ₁₆ ~ 039C ₁₆ 番地	00XX0000 ₂
TB5MR	035D ₁₆ 番地	00XX0000 ₂

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	10: パルス周期測定モード、 パルス幅測定モード	RW
TMOD1			RW
MR0	測定モード選択ビット	b3 b2 00: パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定) 01: パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定) 10: パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定と 立ち上がりから次の立ち下がり間の測定) 11: 設定しないでください	RW
MR1			RW
MR2	TB0MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。 TB1MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		RW
MR3	タイマBiオーバフロー フラグ(注1)	0: オーバフローなし 1: オーバフローあり	RO
TCK0	カウントソース選択ビット	b7 b6 00: f1またはf2 01: f8 10: f32 11: fC32	RW
TCK1			RW

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S~TB1SビットはTABS_Rレジスタのビット5~6、TB5SビットはTBS_Rレジスタのビット7です。

図10.20. パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

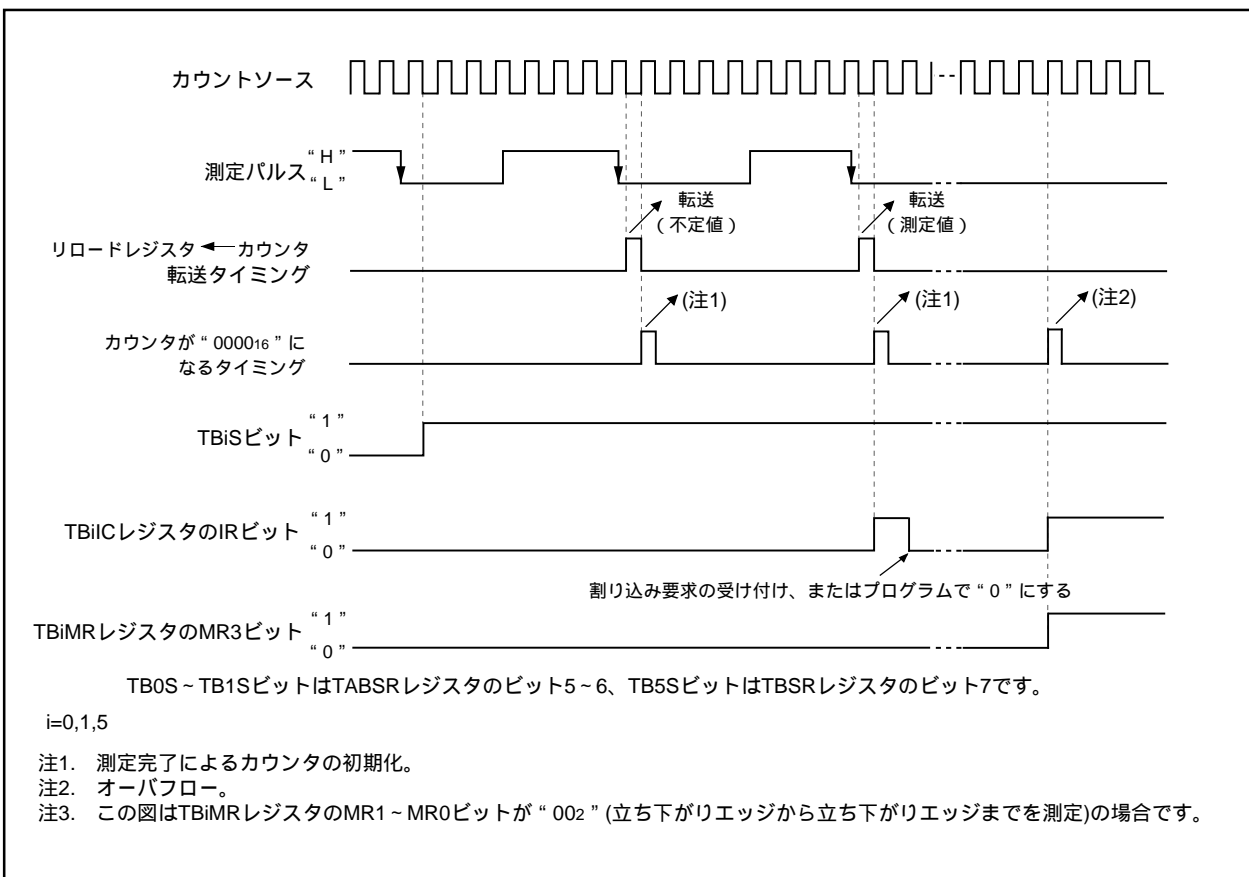


図10.21. パルス周期測定時の動作図

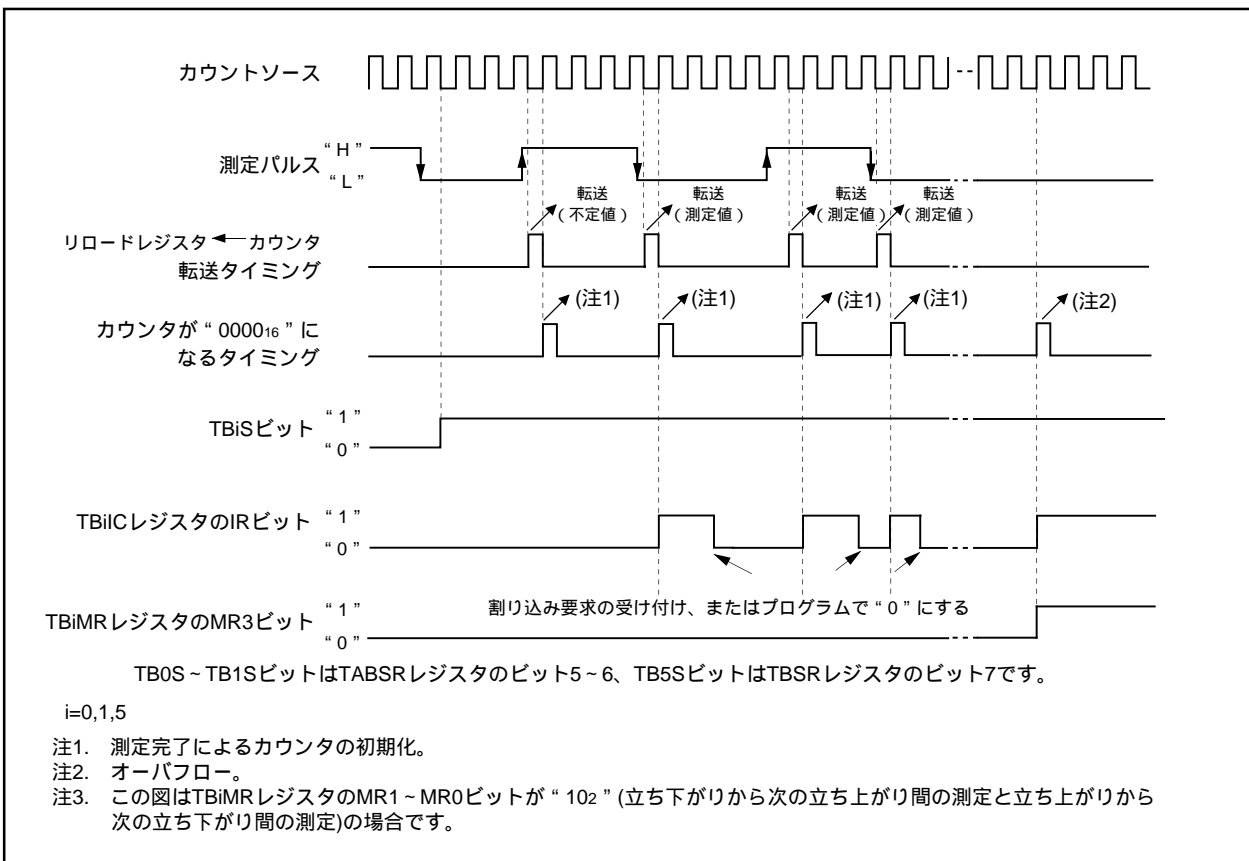


図10.22. パルス幅測定時の動作図

シリアルI/O

シリアルI/Oは、UART0~UART2の3チャンネルで構成しています。
次にそれぞれについて説明します。

UARTi(i=0~2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図11.1にUARTiブロック図、図11.2にUARTi送受信ブロック図を示します。

UARTiには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード (UARTモード)
- ・特殊モード2
- ・特殊モード1(バス衝突検出機能、IEモード) : UART0、UART1

図11.3~図11.8に、UARTi関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

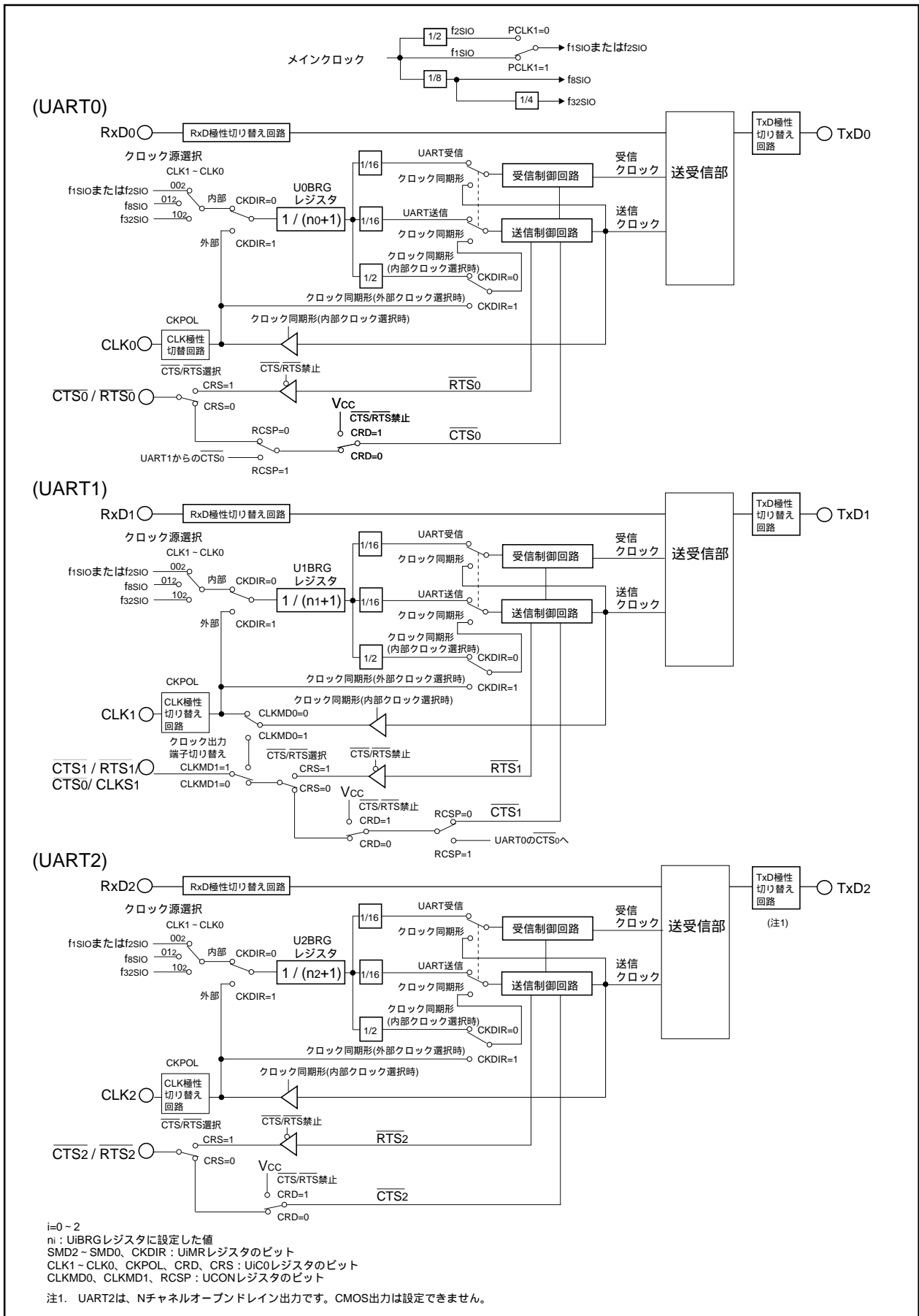


図11.1. UARTiブロック図

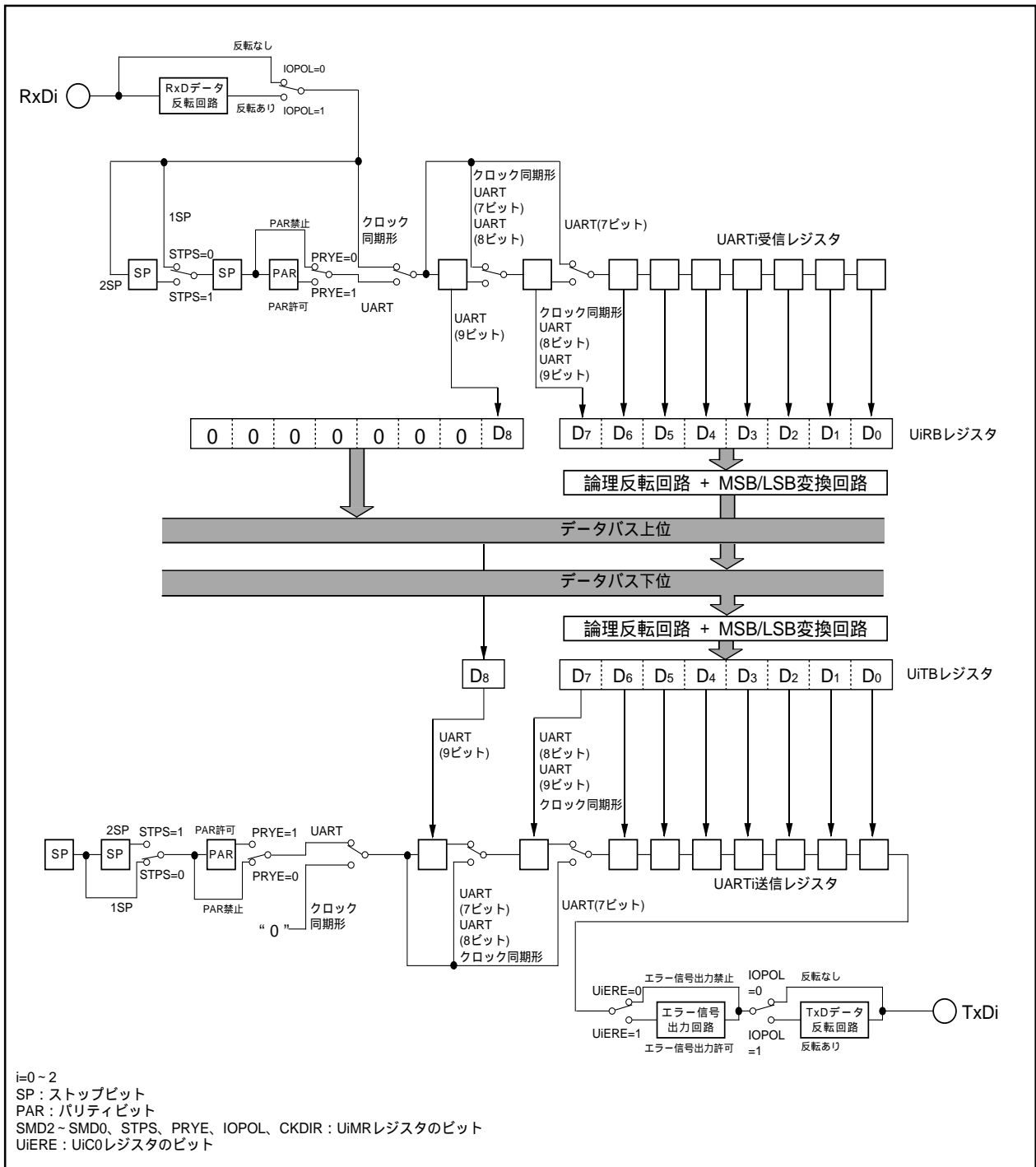
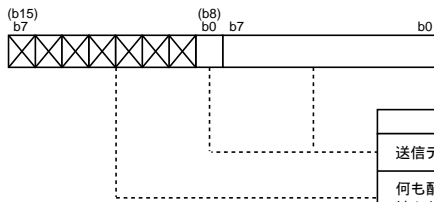


図11.2. UARTi送受信部ブロック図

UARTi送信バッファレジスタ(i=0~2)(注1)

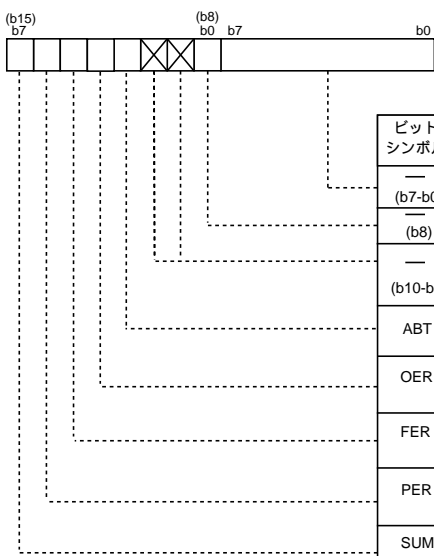


シンボル	アドレス	リセット後の値
U0TB	03A3 ₁₆ -03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ -03AA ₁₆ 番地	不定
U2TB	037B ₁₆ -037A ₁₆ 番地	不定

機 能		RW
送信データ		WO
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. このレジスタはMOV命令を使用して書いてください。

UARTi受信バッファレジスタ(i=0~2)

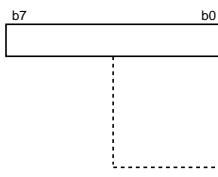


シンボル	アドレス	リセット後の値
U0RB	03A7 ₁₆ -03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ -03AE ₁₆ 番地	不定
U2RB	037F ₁₆ -037E ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ(D7~D0)	RO
— (b8)	—	受信データ(D8)	RO
— (b10-b9)	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
ABT	アービトラージョンロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注1)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注1)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注1)	0: エラーなし 1: エラー発生	RO

注1. UIMRレジスタのSMD2~SMD0ビットを“000₂”(シリアルI/Oは無効)にしたとき、またはUIC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U1RBレジスタの下位バイトを読んだとき、“0”になります。
 注2. ABTビットはプログラムで“0”を書くとも“0”になります(“1”を書いても変化しません)。

UARTi転送速度レジスタ(i=0~2)(注1、注2)



シンボル	アドレス	リセット後の値
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機 能	設定範囲	RW
設定値を n とすると、UiBRGはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. 送受信停止中に書いてください。
 注2. このレジスタはMOV命令を使用して書いてください。

図11.3. U0TB ~ U2TB、U0RB ~ U2RB、U0BRG ~ U2BRGレジスタ

UART_i送受信モードレジスタ(i=0~2)

ビットシンボル	ビット名	機能	RW
SMD0	シリアル/Oモード 選択ビット (注2)	b2 b1 b0 0 0 シリアル/Oは無効 0 0 1: クロック同期形シリアル/Oモード 0 1 0: 設定禁止 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック(注1)	RW
STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶 選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TxD、RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

- 注1. CLK_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. 受信する場合、RxD_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。

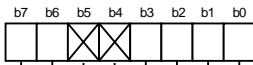
UART_i 送受信制御レジスタ0 (i=0~2)

ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0: f _{SIO} または f _{2SIO} を選択 0 1: f _{SIO} を選択 1 0: f _{2SIO} を選択 1 1: 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS機能選択ビット (注4)	CRD=0のとき有効 0: CTS機能を選択(注1) 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止 (P60、P64、P73は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット (注2)	0: TxD _i /SDA _i 、SCL _i 端子はCMOS出力 1: TxD _i /SDA _i 、SCL _i 端子はNチャンネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択 ビット(注3)	0: LSBファースト 1: MSBファースト	RW

- 注1. CTS端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. TxD₂は、Nチャンネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは“0”にしてください。
 注3. クロック同期形シリアル/Oモード、UARTモード転送データ長8ビット時に有効です。
 注4. CTS₁/RTS₁はUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK₁のみ)、かつUCONレジスタのRCSPビットが“0”(CTS₀/RTS₀分離しない)のとき使用できます。

図11.4. U0MR ~ U2MR、U0C0 ~ U2C0レジスタ

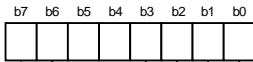
UARTi送受信制御レジスタ1(i=0、1)



シンボル アドレス リセット後の値
 U0C1、U1C1 03A5₁₆、03AD₁₆番地 00XX0010₂

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: U _i TBレジスタにデータあり 1: U _i TBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: U _i RBレジスタにデータなし 1: U _i RBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
UI _i LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
UI _i ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

UART2送受信制御レジスタ1

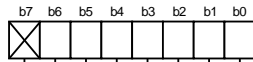


シンボル アドレス リセット後の値
 U2C1 037D₁₆番地 00000010₂

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
U2RRM	UART2連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U2LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

図11.5. U0C1 ~ U2C1レジスタ

UART送受信制御レジスタ2

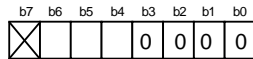


シンボル アドレス リセット後の値
UCON 03B 016番地 X0000000 2

ビットシンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1 (注1)	0: CLK出力はCLK1のみ 1: 転送クロック複数端子 出力機能選択	RW
R CSP	UART0CTS/R TS分離ビット	0: CTS/R TS共通端子 1: CTS/R TS分離 (CTS0をP64端子から入力)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

UARTi特殊モードレジスタ(i=0~2)



シンボル アドレス リセット後の値
U0SMR ~ U2SMR 036 F16、0373 16、037716番地 X0000000 2

ビットシンボル	ビット名	機能	RW
予約ビット		必ず“0”を設定してください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0: 転送クロックの立ち上がり 1: タイマAjのアンダフロー信号 (注1)	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RxDiに同期しない 1: RxDiに同期する (注2)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号。
注2. 転送が始まると、SSSビットは“0”(RxDiと無関係)になります。

図11.6. UCON、U0SMR ~ U2SMRレジスタ

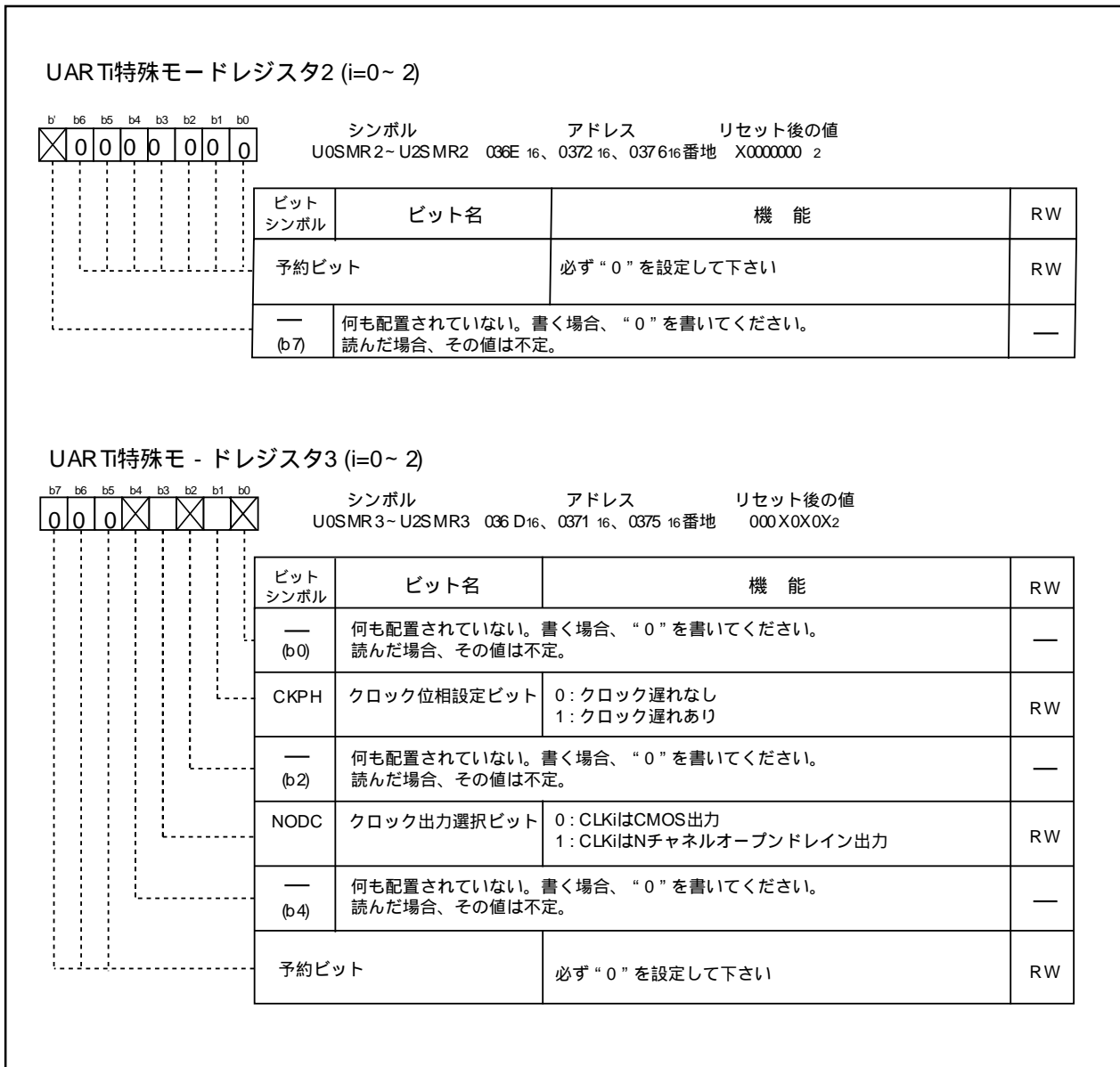


図11.7. U0SMR2~U2SMR2、U0SMR3~U2SMR3レジスタ

クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表11.1にクロック同期形シリアルI/Oモードの仕様、表11.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表11.1. クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック) : $f_j/2(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ n=UiBRGレジスタの設定値 0016~FF16 CKDIRビットが“1”(外部クロック) : CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です(注1)。 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です(注1)。 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> • UiIRSビット(注3)が“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

注3. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表11.2. クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	"0012" にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	"0" にしてください
UiC0	CLK1~CLK0	UiBRGレジスタのカウンツソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、"1" にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、"1" にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	連続受信モードを使用する場合、"1" にしてください
	UiLCH	データ論理反転を使用する場合、"1" にしてください
	UiERE	"0" にしてください
	UiSMR	0~7
UiSMR2	0~7	"0" にしてください
UiSMR3	0~2	"0" にしてください
	NODC	クロック出力形式を選択してください
	4~7	"0" にしてください
UiSMR4	0~7	"0" にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、"1" にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、"1" にしてください
	RCSP	UART0のCTS0信号をP64端子から入力する場合、"1" にしてください
	7	"0" にしてください

注1. U0C1、U1C1レジスタのビット4、5は"0" にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは"0" にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、"0" を書いてください。

i=0~2

表11.3にクロック同期形シリアル/Oモード時の入出力端子の機能を示します。表11.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表11.4にクロック同期形シリアル/Oモード時のP64端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表11.3. クロック同期形シリアル/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TxDi(i=0~2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P60、P64、P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表11.4. クロック同期形シリアル/Oモード時のP64端子の機能

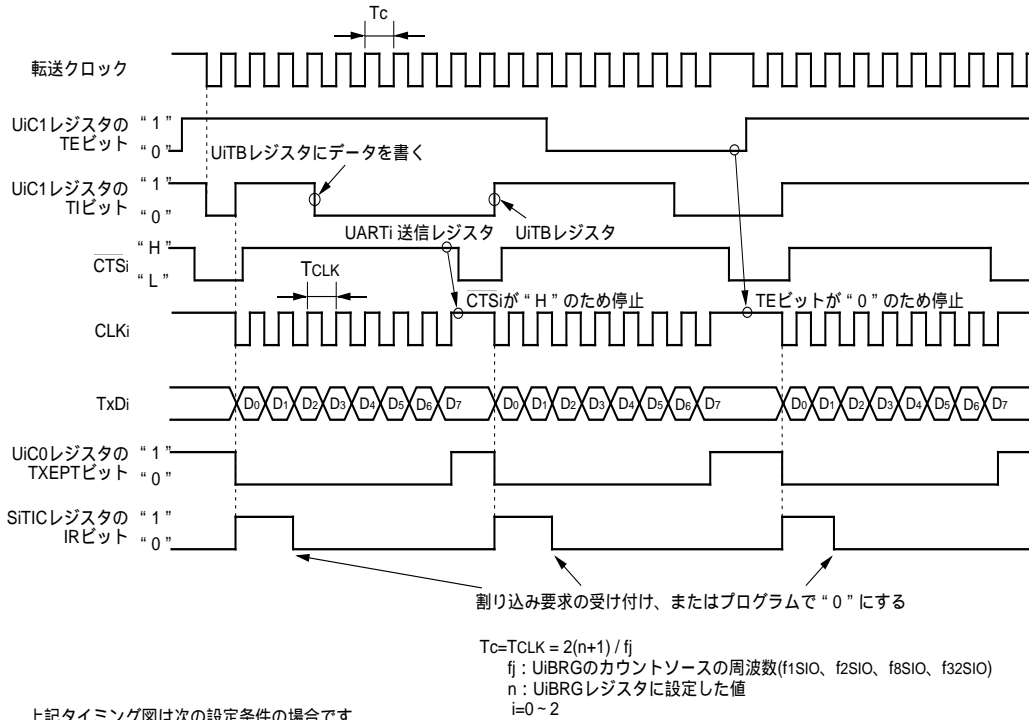
端子の機能	ビットの設定値					
	U1C0レジスタ		U0C0レジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	入力：0、出力：1
CTS _i	0	0	0	0	—	0
RTS _i	0	1	0	0	—	—
CTS ₀ (注1)	0	0	1	0	—	0
CLKS ₁	—	—	—	1(注2)	1	—

注1. この他にU0C0レジスタのCRDビットを“0”(CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを“1”(RTS₀選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

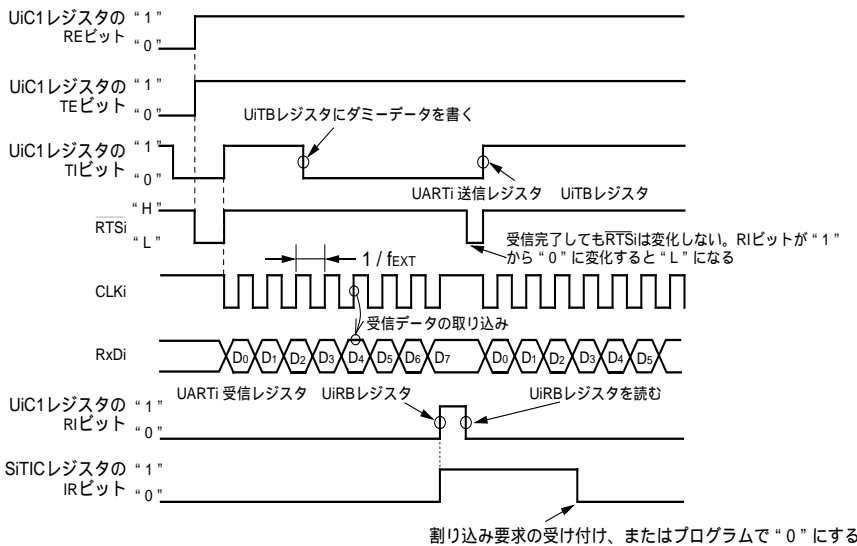
- ・U1C0レジスタのCKPOLビットが“0”：H
- ・U1C0レジスタのCKPOLビットが“1”：L

(1) 送信タイミング例(内部クロック選択時)



上記タイミング図は次の設定条件の場合です。
 UiMRレジスタのCKDIRビット=0(内部クロック)
 UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
 UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
 UiIRSビット=0(送信バッファが空になると割り込み要求発生): U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

(2) 受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。
 UiMRレジスタのCKDIRビット=1(外部クロック)
 UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=1(RTS選択)
 UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
 データ受信前のCLKi端子への入力が“H”のときに、次の条件が揃うようにしてください。
 UIC0レジスタのTEビット=1(送信許可)
 UIC0レジスタのREビット=1(受信許可)
 UITBレジスタにダミーデータを書く

f_{EXT} : 外部クロックの周波数

図11.9. クロック同期形シリアルI/Oモード時の送信、受信タイミング例

通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ(i=0~2)の初期化手順

- (1)UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2)UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルI/O無効)にする。
- (3)UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4)UiC1レジスタのREビットを“1”(受信許可)にする。

- UiTBレジスタの初期化手順

- (1)UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルI/O無効)にする。
- (2)UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3)UiC1レジスタのTEビットの値にかかわらず“1”(受信許可)を書き込む。

CLK極性選択

UiC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図11.10に転送クロックの極性を示します。

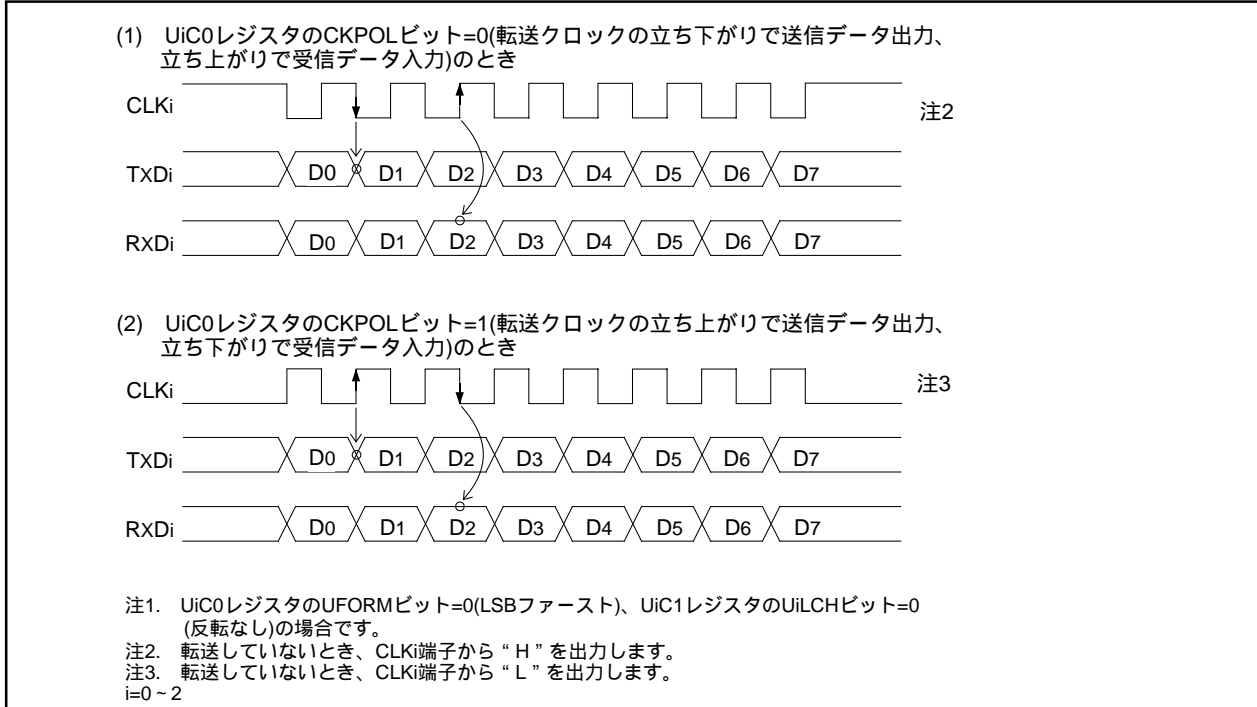


図11.10. 転送クロックの極性

LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~2)のUFORMビットで転送フォーマットを選択できます。図11.11に転送フォーマットを示します。

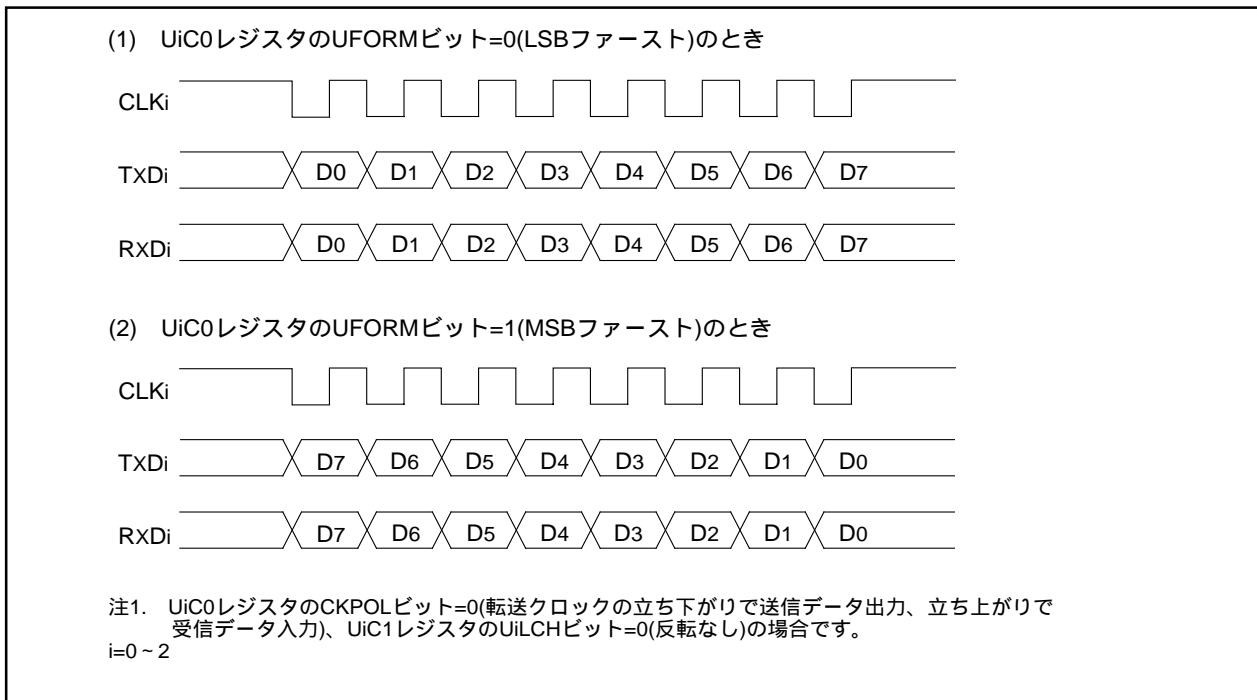


図11.11. 転送フォーマット

連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット($i=0\sim 2$)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“1”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3で、U2RRMビットはU2C1レジスタのビット4です。

シリアルデータ論理切り替え

UiC1レジスタ($i=0\sim 2$)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図11.12にシリアルデータ論理を示します。

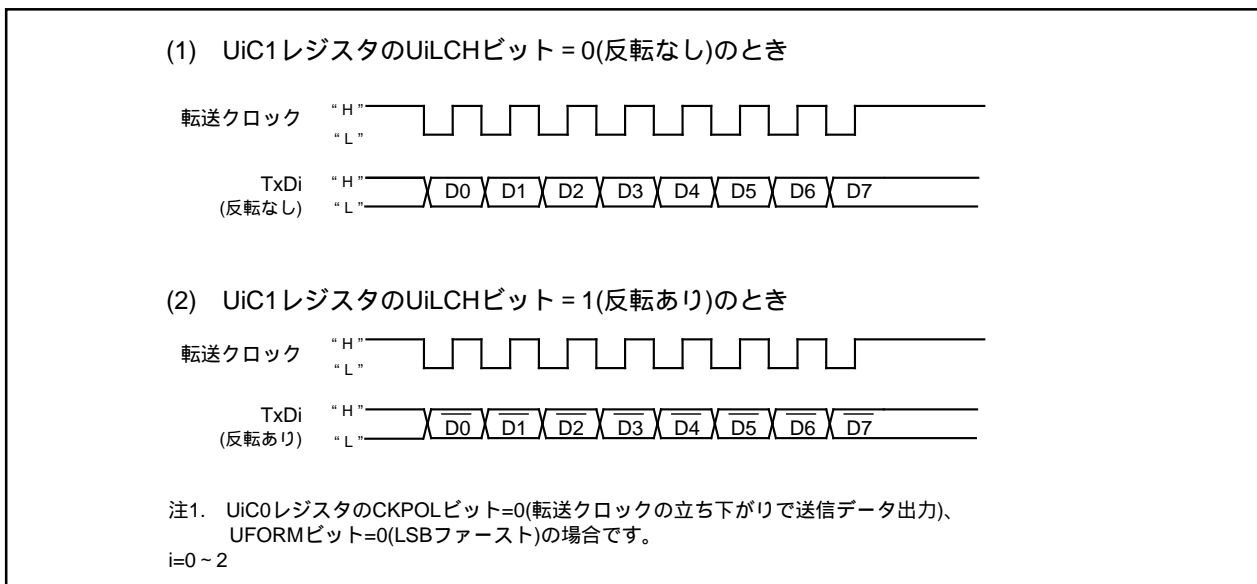


図11.12. シリアルデータ論理

転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図11.13)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

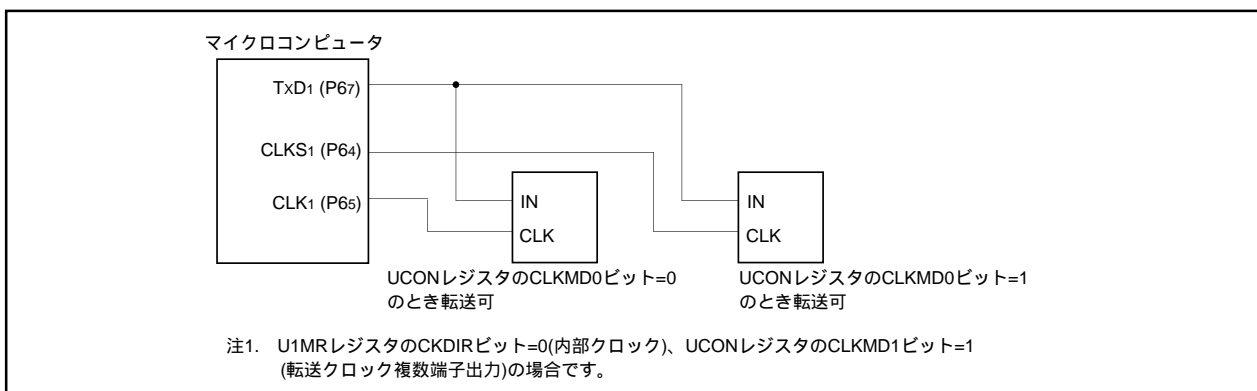


図11.13. 転送クロック複数端子出力機能の使用例

CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$)端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- ・ $\text{U}i\text{C}0$ レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- ・ CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はCTS機能
- ・ CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はRTS機能

CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・ $\text{U}0\text{C}0$ レジスタのCRDビット=0(UART0のCTS/RTS許可)
- ・ $\text{U}0\text{C}0$ レジスタのCRSビット=1(UART0のRTS出力)
- ・ $\text{U}1\text{C}0$ レジスタのCRDビット=0(UART1のCTS/RTS許可)
- ・ $\text{U}1\text{C}0$ レジスタのCRSビット=0(UART1のCTS入力)
- ・ $\text{U}CON$ レジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- ・ $\text{U}CON$ レジスタのCLKMD1ビット=0(CLKS_1 を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

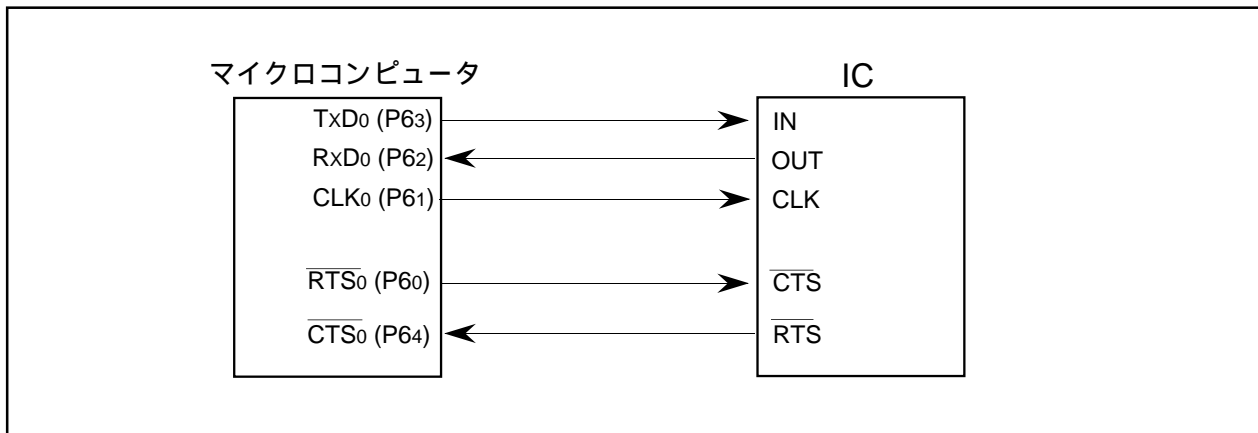


図11.14. $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 分離機能の使用例

クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表11.5にUARTモードの仕様を示します。

表11.5. UARTモードの仕様

項目	仕様
転送データフォーマット	キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 スタートビット 1ビット パリティビット 奇数、偶数、なしを選択可 ストップビット 1ビット、2ビットを選択可
転送クロック	UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック) : $f_{j}/16(n+1)$ $f_j=f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ 。n=UiBRGレジスタの設定値 0016~FF16 CKDIRビットが“1”(外部クロック) : $f_{EXT}/16(n+1)$ f_{EXT} はCLKi端子からの入力。n=UiBRGレジスタの設定値 0016~FF16
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です。 ・UiC1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます ・UiIRSビット(注2)が“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバーランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 パリティエラー (注3) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 シリアルデータ論理切り替え 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. オーバーランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのiRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表11.6. UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	-	転送速度を設定してください
UiMR	SMD2~SMD0	転送データが7ビットの場合、“1002”を設定してください。 転送データが8ビットの場合、“1012”を設定してください。 転送データが9ビットの場合、“1102”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD/RxD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS ₀ 信号をP64端子から入力する場合、“1”にしてください
	7	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8

注2. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. TxD₂端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

i=0~2

表11.7にUARTモード時の入出力端子の機能を示します。表11.8にUARTモード時のP64端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表11.7. UARTモード時の入出力端子の機能

端子名	機能	選択方法
TxDi(i=0~2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P60、P64、P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

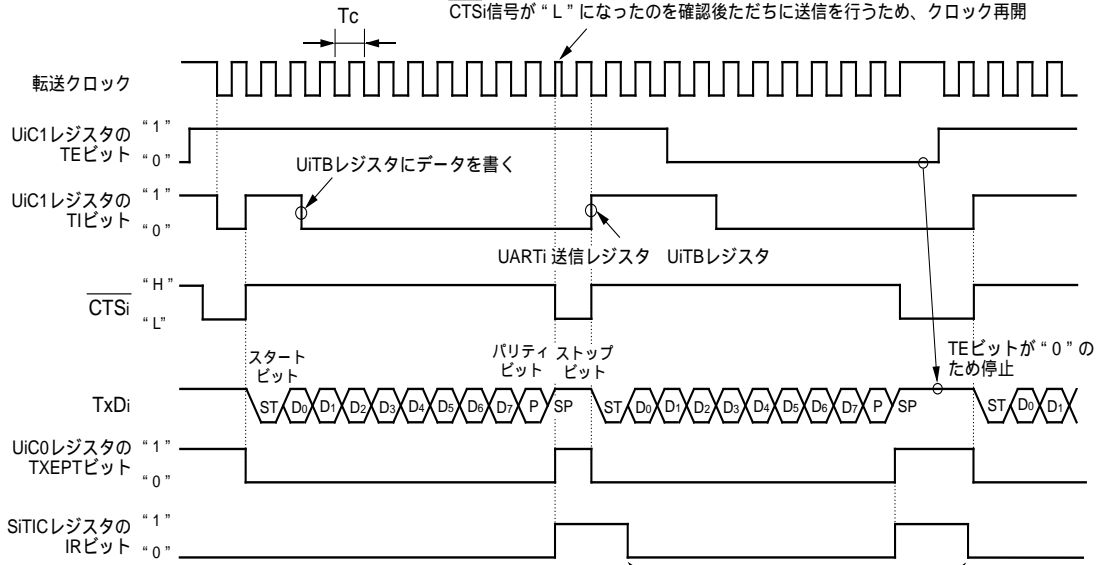
表11.8. UARTモード時のP64端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	入力：0、出力：1
CTS ₁	0	0	0	0	0
RTS ₁	0	1	0	0	—
CTS ₀ (注1)	0	0	1	0	0

注1. この他にU0C0レジスタのCRDビットを“0”(CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを“1”(RTS₀選択)にしてください。

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

ストップビット確認時CTS_i信号が“H”なので、いったん転送クロック停止
 CTS_i信号が“L”になったのを確認後ただちに送信を行うため、クロック再開



上記タイミング図は次の設定条件の場合です。

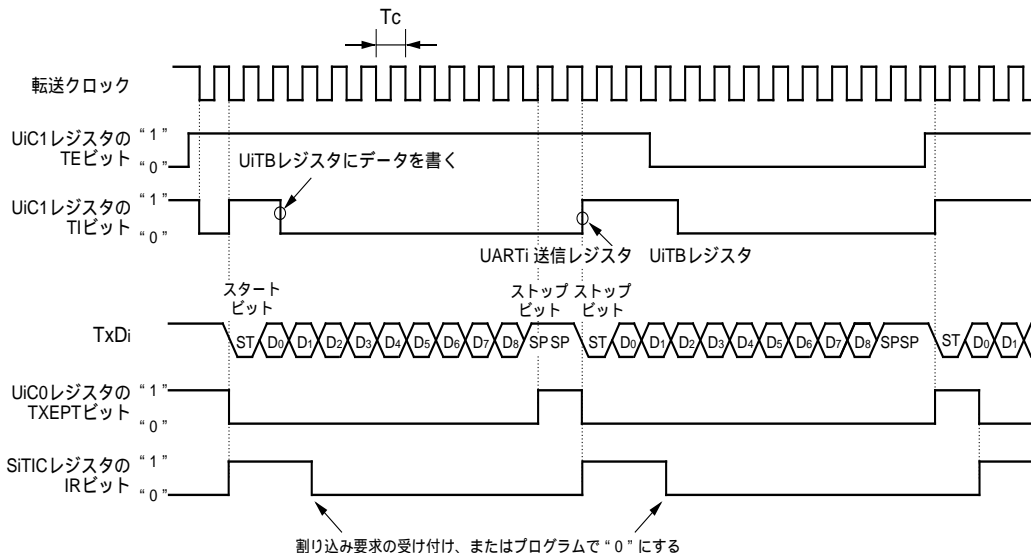
- UIMRレジスタのPRYEビット=1(パリティ許可)
- UIMRレジスタのSTPSビット=0(1ストップビット)
- UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
- UIIRSビット=1(送信完了すると割り込み要求発生)
- : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

- f_j : UIBRGのカウンタソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
- f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)
- n : UIBRGレジスタに設定した値
- i=0~2

割り込み要求の受け付け、またはプログラムで“0”にする

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。

- UIMRレジスタのPRYEビット=0(パリティ禁止)
- UIMRレジスタのSTPSビット=1(2ストップビット)
- UIC0レジスタのCRDビット=1(CTS/RTS禁止)
- UIIRSビット=0(送信バッファが空になると割り込み要求発生)
- : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

- f_j : UIBRGのカウンタソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
- f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)
- n : UIBRGレジスタに設定した値
- i=0~2

図11.15. UARTモード時の送信タイミング例

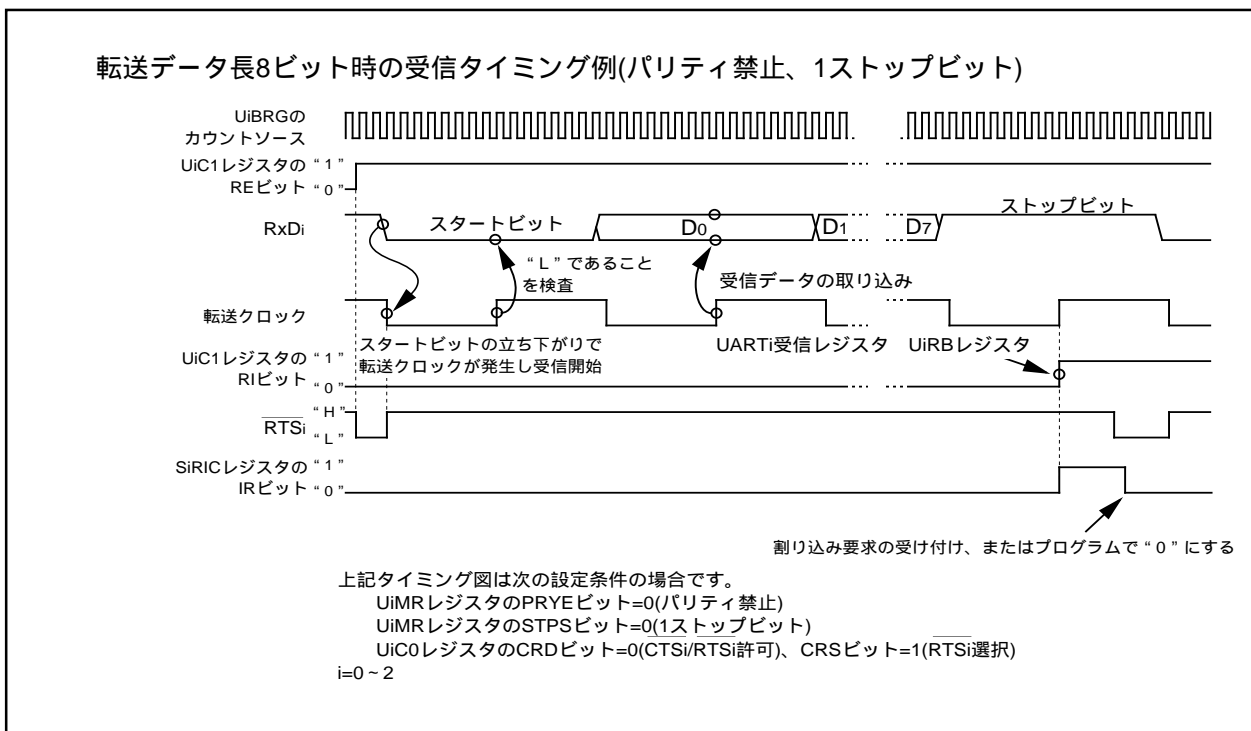


図11.16. UARTモード時の受信タイミング例

転送速度

UARTモードは、UiBRGレジスタ(i=0~2)で分周した周波数の16分周が転送速度になります。表17.9に転送速度の設定例を示します。

表11.9 転送速度

ビットレート (bps)	BRGの カウントソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz	
		BRGの設定値 : n	実時間(bps)	BRGの設定値 : n	実時間(bps)
1200	f8	103 (67h)	1202	155 (96h)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423
19200	f1	51 (33h)	19231	77 (46h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724

通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・ UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

・ UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルI/O無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(受信許可)を書き込む。

LSBファースト、MSBファースト選択

図11.17に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

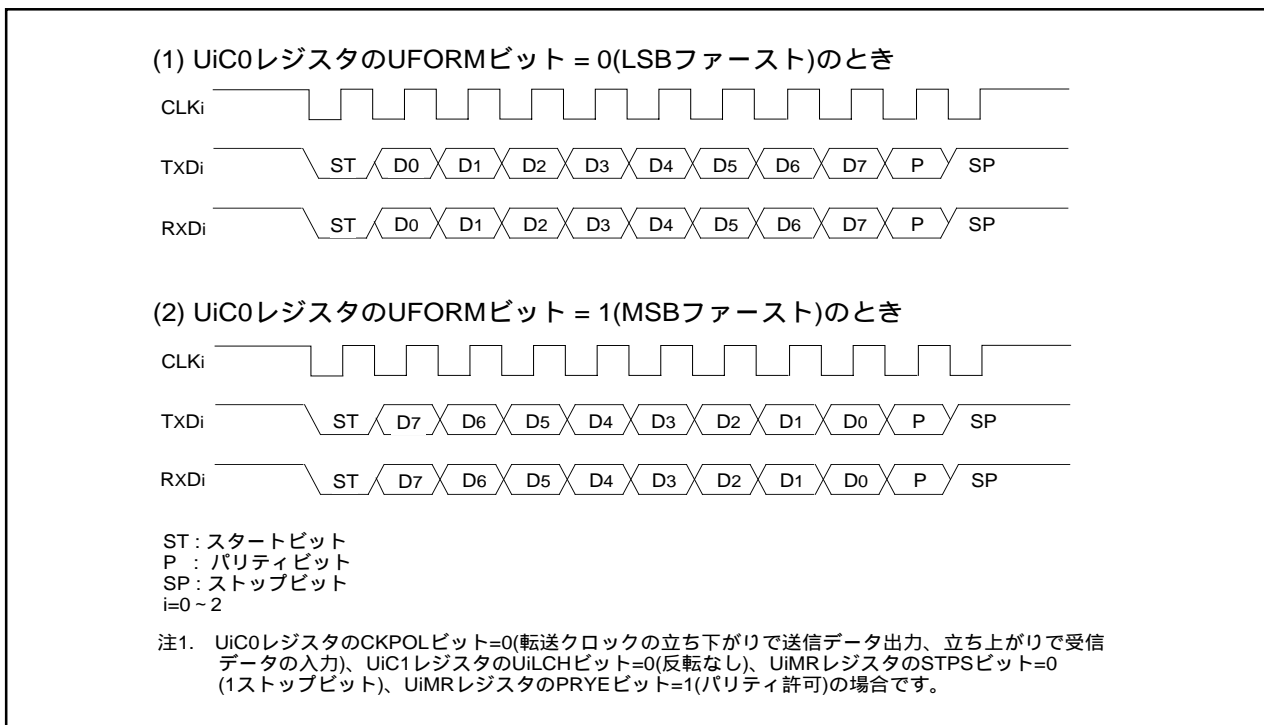


図11.17. 転送フォーマット

シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図11.18にシリアルデータ論理を示します。

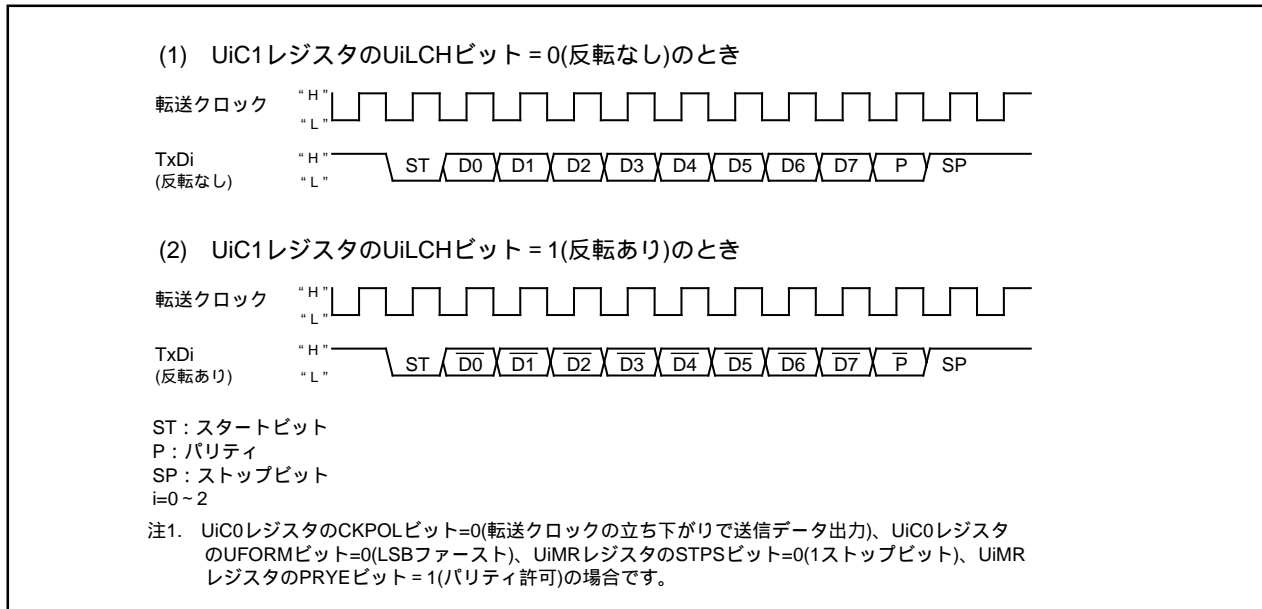


図11.18. シリアルデータ論理

TxD、RxD入出力極性切り替え機能

TxDi端子出力とRxDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図11.19にTxD、RxD入出力極性切り替えを示します。

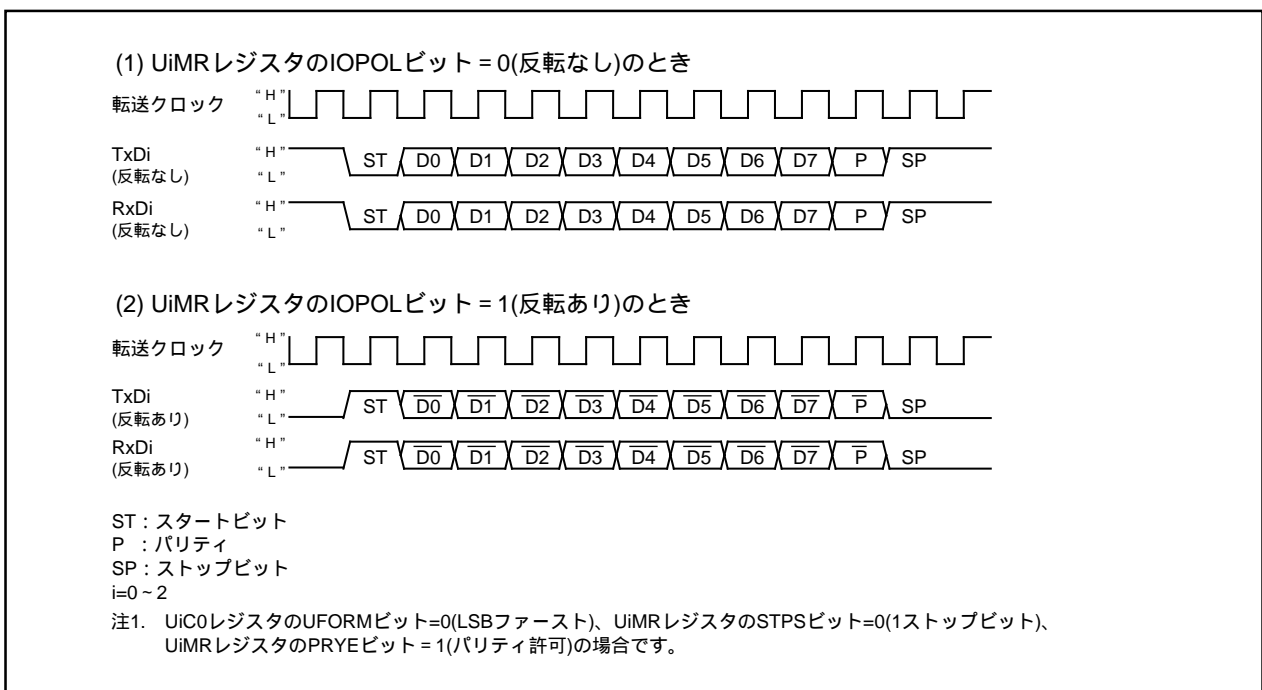


図11.19. TxD、RxD入出力極性切り替え

CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち下がりで出力レベルが“H”になります。

- ・ UIC0 レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- ・ CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はCTS機能
- ・ CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はRTS機能

CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・ U0C0 レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 許可)
- ・ U0C0 レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}_0$ 出力)
- ・ U1C0 レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 許可)
- ・ U1C0 レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}_0$ 入力)
- ・ UCON レジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- ・ UCON レジスタのCLKMD1ビット=0(CLKS_1 を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

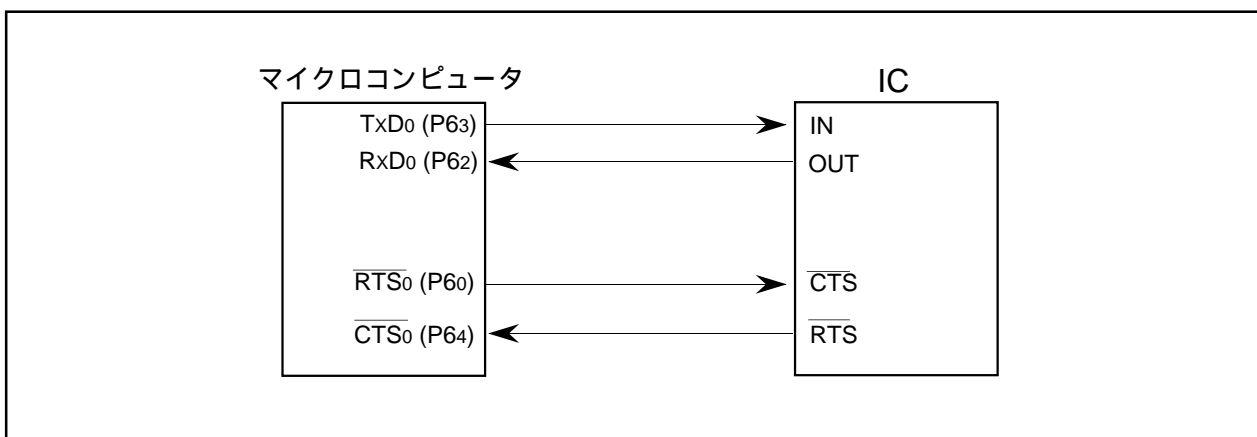


図11.20. CTS/RTS分離機能の使用例

特殊モード2

1つのマスタから、複数のスレーブヘシリアル通信できます。また、同期クロックの極性と位相を選択できます。表11.9に特殊モード2の仕様を、表11.10に特殊モード2時の使用レジスタと設定値を、図11.21に特殊モード2の通信制御例を示します。

表11.10. 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	マスタモード UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ n : UiBRGレジスタ設定値。0016~FF16。 スレーブモード CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要です。(注1) ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。(注1) ・ UiC1レジスタのREビットが“1”(受信許可) ・ TEビットが“1”(送信許可) ・ TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます。 ・ UiC1レジスタのUiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

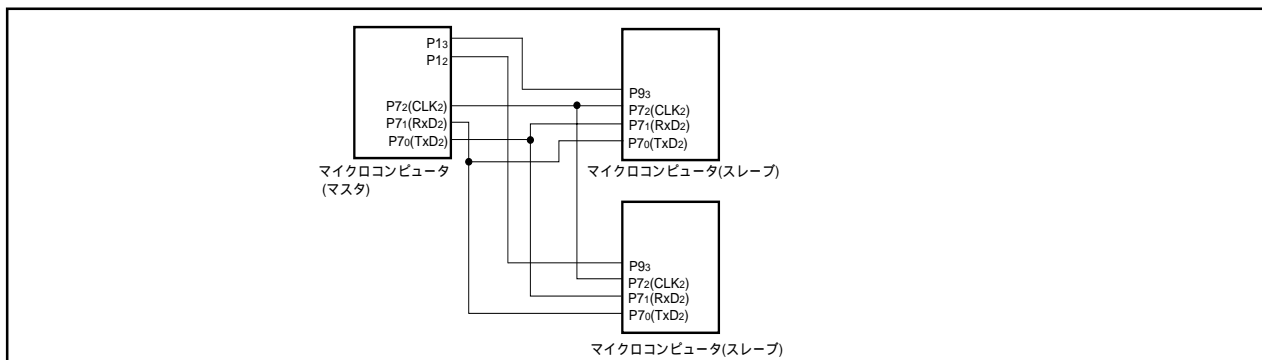


図11.21. 特殊モード2の通信制御例(UART2)

表11.11. 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=“1”なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0” にしてください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)、U2LCH、UIERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは何も配置されていないので、書く場合“0” にしてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。

i=0~2

クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

マスタ(内部クロック)の場合

図11.22にマスタ(内部クロック)の場合の送受信のタイミングを示します。

スレーブ(外部クロック)の場合

図11.23にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図11.24にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

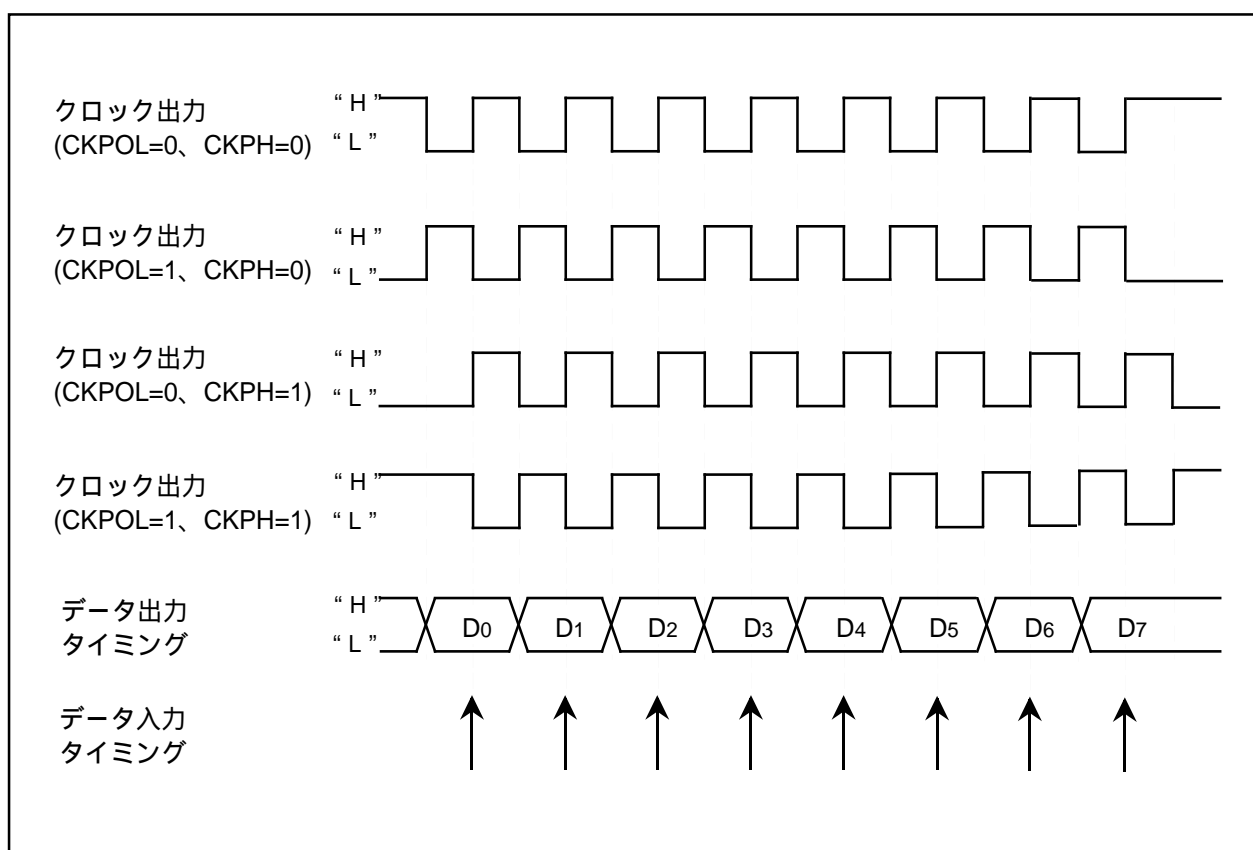


図11.22. マスタ(内部クロック)の場合の送受信のタイミング

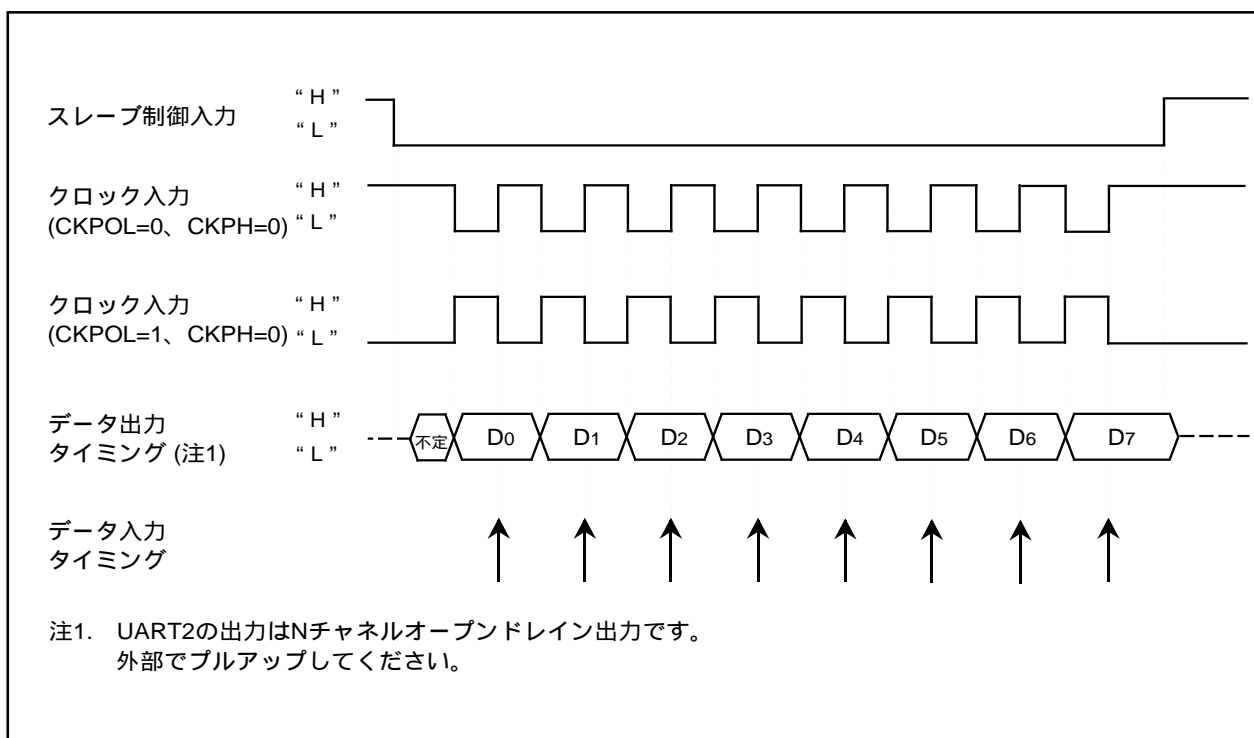


図11.23. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

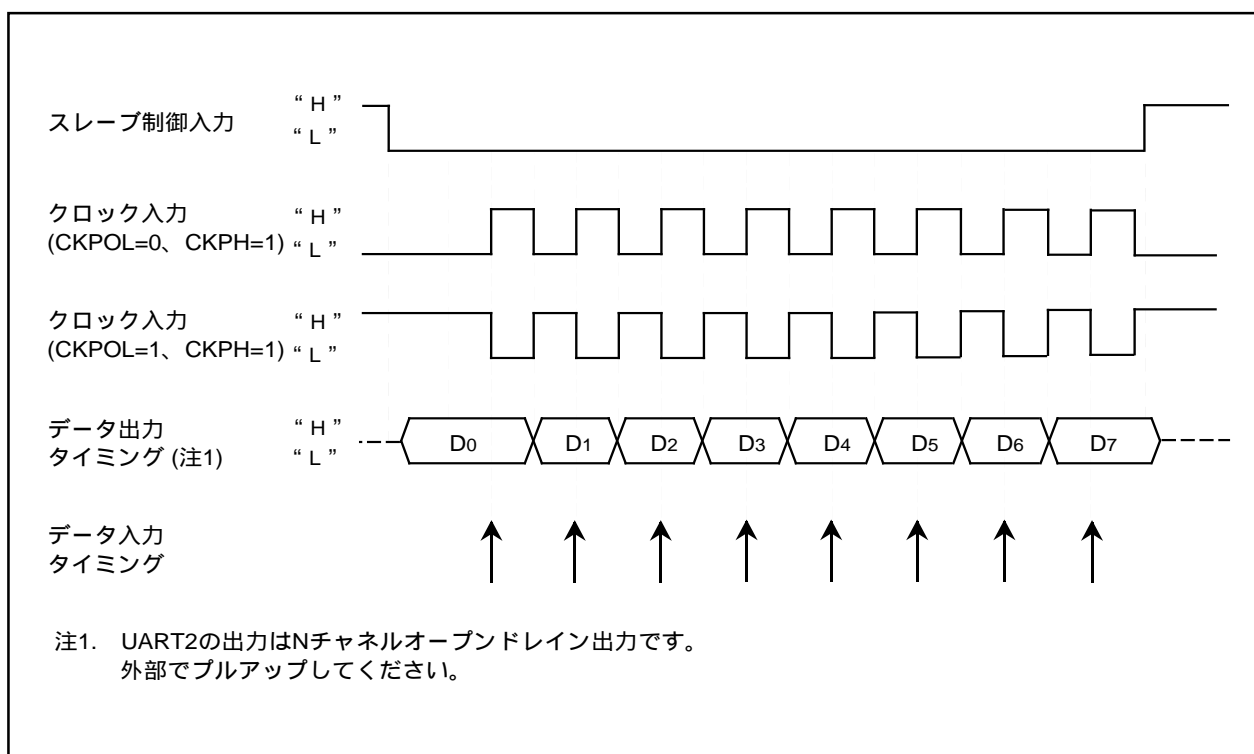


図11.24. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

特殊モード1(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表11.11にIEモード時の使用レジスタと設定値を、図11.25にバス衝突検出機能関連ビットの機能を示します。

TxDi端子(i=0~2)の出力レベルとRxDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表11.12. IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“1102” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	UiRRM(注1)、 UiLCH、UiERE	“0” にしてください
UiSMR	0~3、7	“0” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
IFSR2A	IFSR26、IFSR27	“1” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TxD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは何も配置されていないので、書く場合は“0” にしてください。

注3. この表に記載していないビットはIEモード時に書く場合、“0” を書いてください。

i=0~2

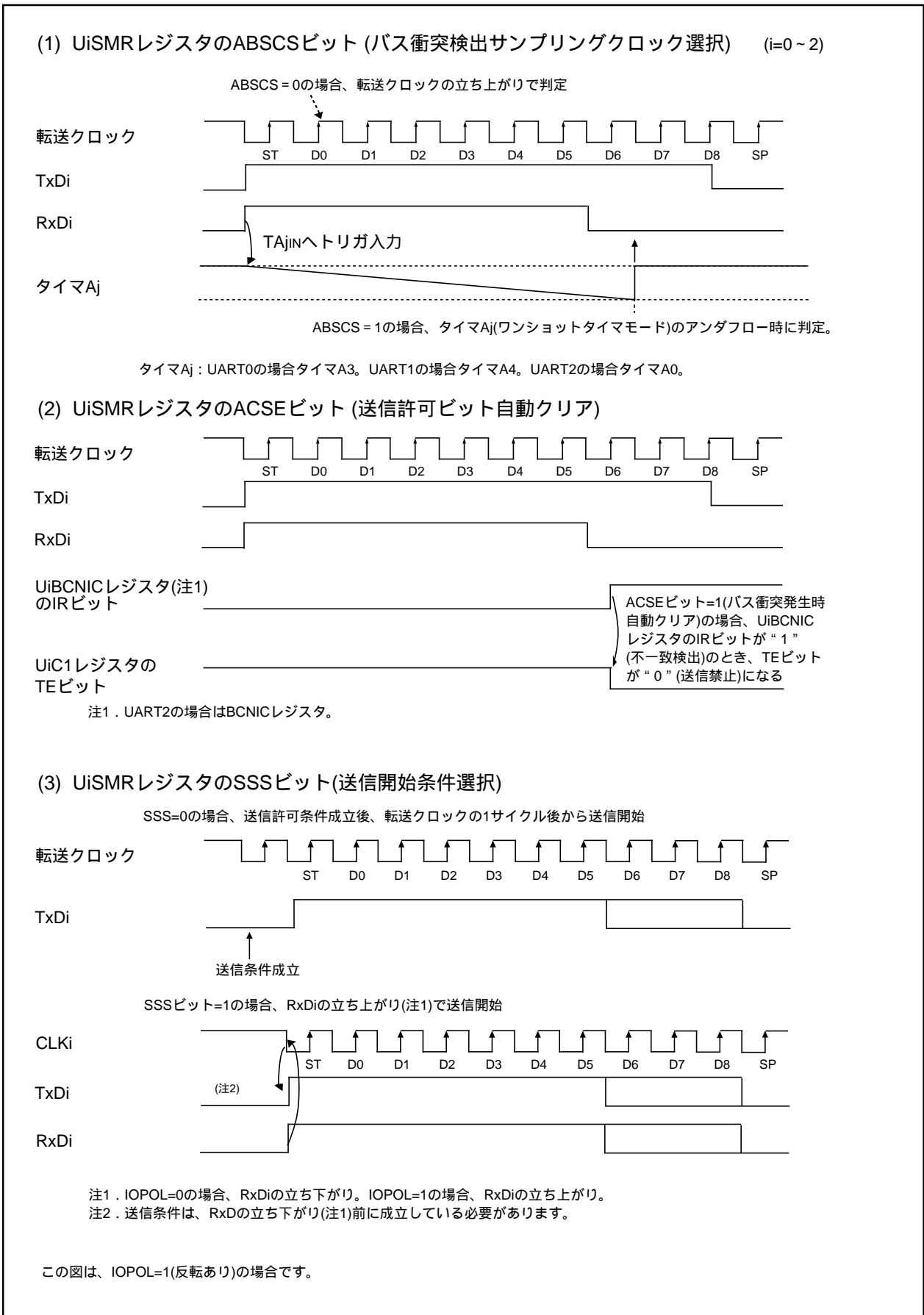


図11.25. バス衝突検出機能関連ビットの機能

A/Dコンバータ

容量結合増幅器で構成された8ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P103～P107、P04～P07、P24～P27と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”(Vref未接続)にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i、AN_{0i}、AN_{2i}端子(i=0～7)に対応したAD_iレジスタに格納されます。

表12.1にA/Dコンバータの仕様、図12.1にA/Dコンバータのブロック図、図12.2～図12.3にA/Dコンバータ関連レジスタを示します。

表12.1. A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～VCC1
動作クロック AD(注2)	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周、f _{AD} の6分周、またはf _{AD} の12分周
分解能	8ビット
積分非直線性誤差	±5LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード、
アナログ入力端子	5本(AN3～AN7) + 4本(AN04～AN07) + 4本(AN24～AN27)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
1端子あたりの変換速度	サンプル&ホールドなし 49 ADサイクル サンプル&ホールドあり 28 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしの場合、ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの場合、ADの周波数は1MHz以上にしてください。

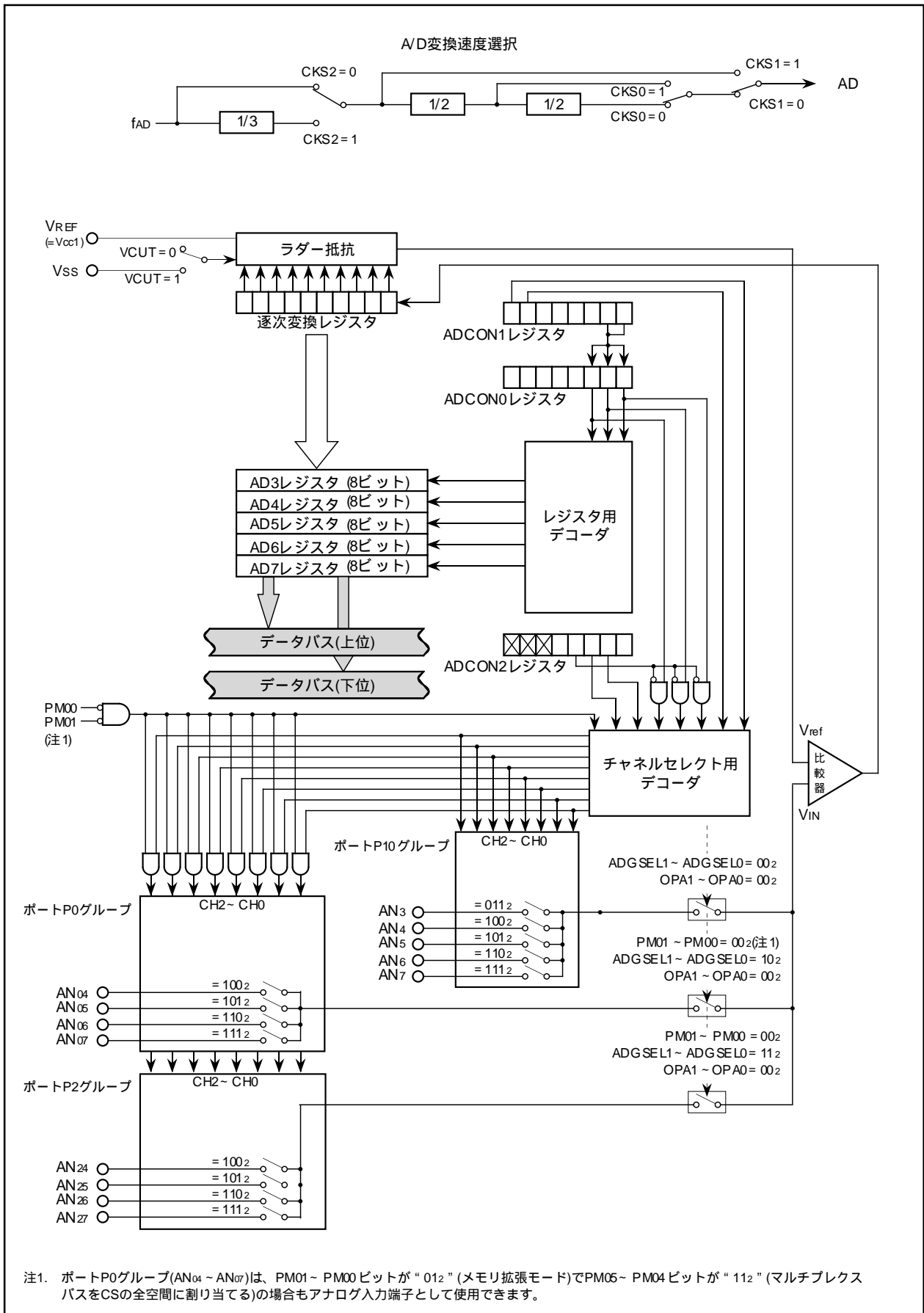
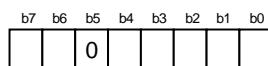


図12.1. A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

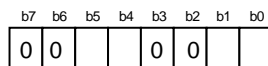


シンボル アドレス リセット後の値
 ADCON0 03D6₁₆番地 00000XX₂

ビットシンボル	ビット名	機 能	RW
CH0	アナログ入力端子選択ビット	動作モードによって機能が異なる	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	^{b4 b3} 00:単発モード 01:繰り返しモード 10:単掃引モード 11:繰り返し掃引モード0	RW
MD1			RW
予約ビット		必ず“0”を設定して下さい。	RW
ADST	A/D変換開始フラグ	0:AD変換停止 1:AD変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)



シンボル アドレス リセット後の値
 ADCON1 03D7₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	RW
SCAN0	A/D掃引端子選択ビット	動作モードによって機能が異なる	RW
SCAN1			RW
予約ビット		必ず“0”を設定して下さい。	RW
予約ビット		必ず“0”を設定して下さい。	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	0:Vref未接続 1:Vref接続	RW
予約ビット		必ず“0”を設定して下さい。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図12.2. ADCON0 ~ ADCON1レジスタ

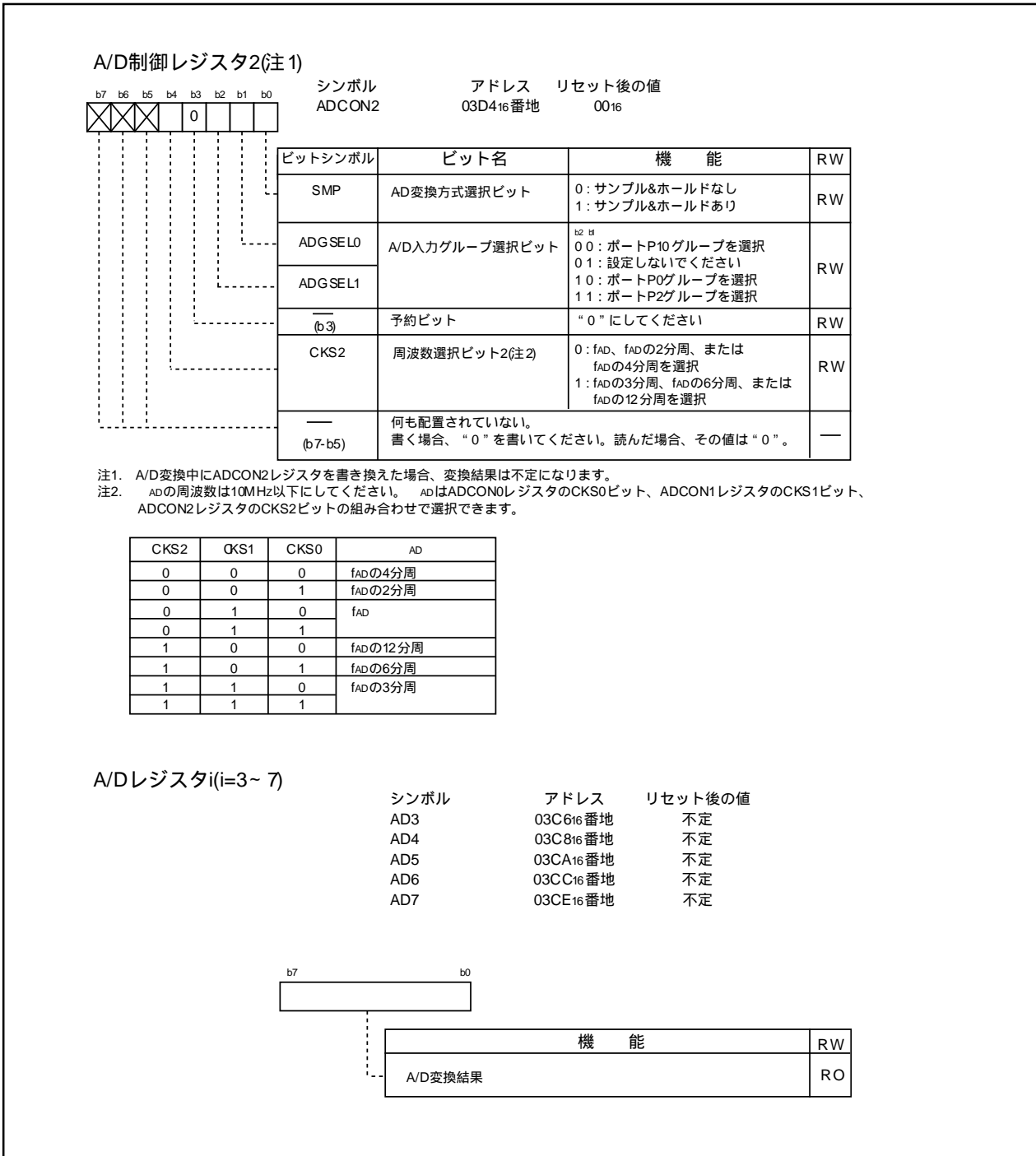


図12.3. ADCON2、AD3~AD7レジスタ

(1) 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表12.2に単発モードの仕様、図12.4に単発モード時のADCON0～ADCON1レジスタを示します。

表12.2. 単発モードの仕様

項 目	仕 様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	A/D変換終了 ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN3～AN7、AN04～AN07、AN24～AN27から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD3～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0			

シンボル
ADCON0

アドレス
03D6₁₆番地

リセット後の値
00000XX₂

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子 選択ビット	b2 b1 b0 000:設定禁止 001:設定禁止 010:設定禁止 011:AN ₃ を選択 100:AN ₄ を選択 101:AN ₅ を選択 110:AN ₆ を選択 111:AN ₇ を選択	RW
CH1			RW
CH2		(注2) (注3)	RW
MD0		A/D動作モード選択ビット0	b4 b3 00:単発モード (注3)
MD1	RW		
予約ビット		必ず“0”を設定して下さい	RW
ADST	A/D変換開始フラグ	0:AD変換停止 1:AD変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₄～AN₇と同様にAN₀₄～AN₀₇、AN₂₄～AN₂₇を使用できます。ADCON2レジスタのADGSEL₁～ADGSEL₀ビットで選択してください。

注3. MD₁～MD₀ビットを書き換えた後、別の命令でCH₂～CH₀ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	0		

シンボル
ADCON1

アドレス
03D7₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	単発モードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単発モードでは“0”にしてください	RW
予約ビット		必ず“0”を設定して下さい	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1:V _{ref} 接続	RW
予約ビット		必ず“0”を設定して下さい	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図12.4. 単発モード時のADCON0～ADCON1レジスタ

(2) 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表12.3に繰り返しモードの仕様、図12.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表12.3. 繰り返しモードの仕様

項 目	仕 様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN3～AN7、AN04～AN07、AN24～AN27から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD3～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	1			

シンボル
ADCON0

アドレス
03D6₁₆番地

リセット後の値
0000XX_{X2}

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	b2 bit b0 000:設定禁止 001:設定禁止 010:設定禁止 011:AN ₃ を選択 100:AN ₄ を選択 101:AN ₅ を選択 110:AN ₆ を選択 111:AN ₇ を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 bit b3 01:繰り返しモード (注3)	RW
MD1			RW
予約ビット		必ず“0”を設定して下さい	RW
ADST	A/D変換開始フラグ	0:A/D変換停止 1:A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₄～AN₇と同様にAN₀₄～AN₀₇、AN₂₄～AN₂₇を使用できます。ADCON2レジスタのADGSEL1～0ADGSELビットで選択してください。

注3. MD1～0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	0		

シンボル
ADCON1

アドレス
03D7₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返しモードでは“0”にしてください	RW
予約ビット		必ず“0”を設定して下さい	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1:Vre接続	RW
予約ビット		必ず“0”を設定して下さい	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1 μ s以上経過した後にA/D変換を開始してください。

図12.5. 繰り返しモード時のADCON0～ADCON1レジスタ

(3) 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表12.4に単掃引モードの仕様、図12.6に単掃引モード時のADCON0～ADCON1レジスタを示します。

表12.4. 単掃引モードの仕様

項 目	仕 様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	A/D変換終了 ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN _{i4} ～AN _{i5} (2端子)、AN _{i4} ～AN _{i7} (4端子)から選択(<i>i</i> =0,2)(注1)
A/D変換値の読み出し	選択した端子に対応したAD4～AD7レジスタの読み出し

注1. AN₀₄～AN₀₇,AN₂₄～AN₂₇と同様にAN₄～AN₇を使用できます。この場合、AN₄～AN₅(2端子),AN₄～AN₇(4端子)から選択となります。

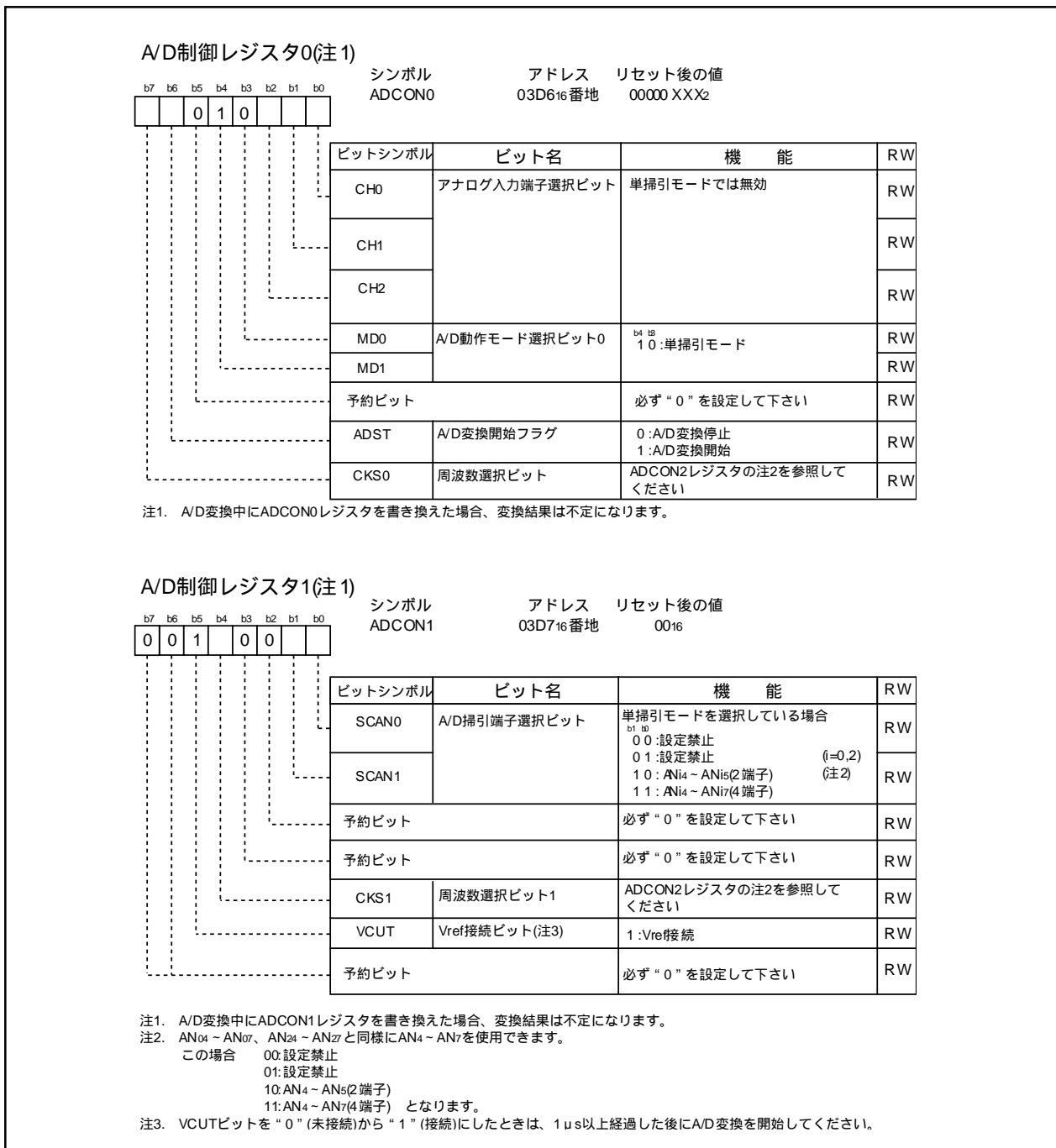


図12.6. 単掃引モード時のADCON0 ~ ADCON1レジスタ

(4) 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表12.5に繰り返し掃引モード0の仕様、図12.7に繰り返し掃引モード0時のADCON0～ADCON1レジスタを示します。

表12.5. 繰り返し掃引モード0の仕様

項 目	仕 様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN _i 4～AN _i 5(2端子)、AN _i 4～AN _i 7(4端子)から選択(<i>i</i> =0,2)(注1)
A/D変換値の読み出し	選択した端子に対応したAD3～AD7レジスタの読み出し

注1. AN₀4～AN₀7,AN₂4～AN₂7と同様にAN₄～AN₇を使用できます。この場合、AN₄～AN₅(2端子),AN₄～AN₇(4端子)から選択となります。

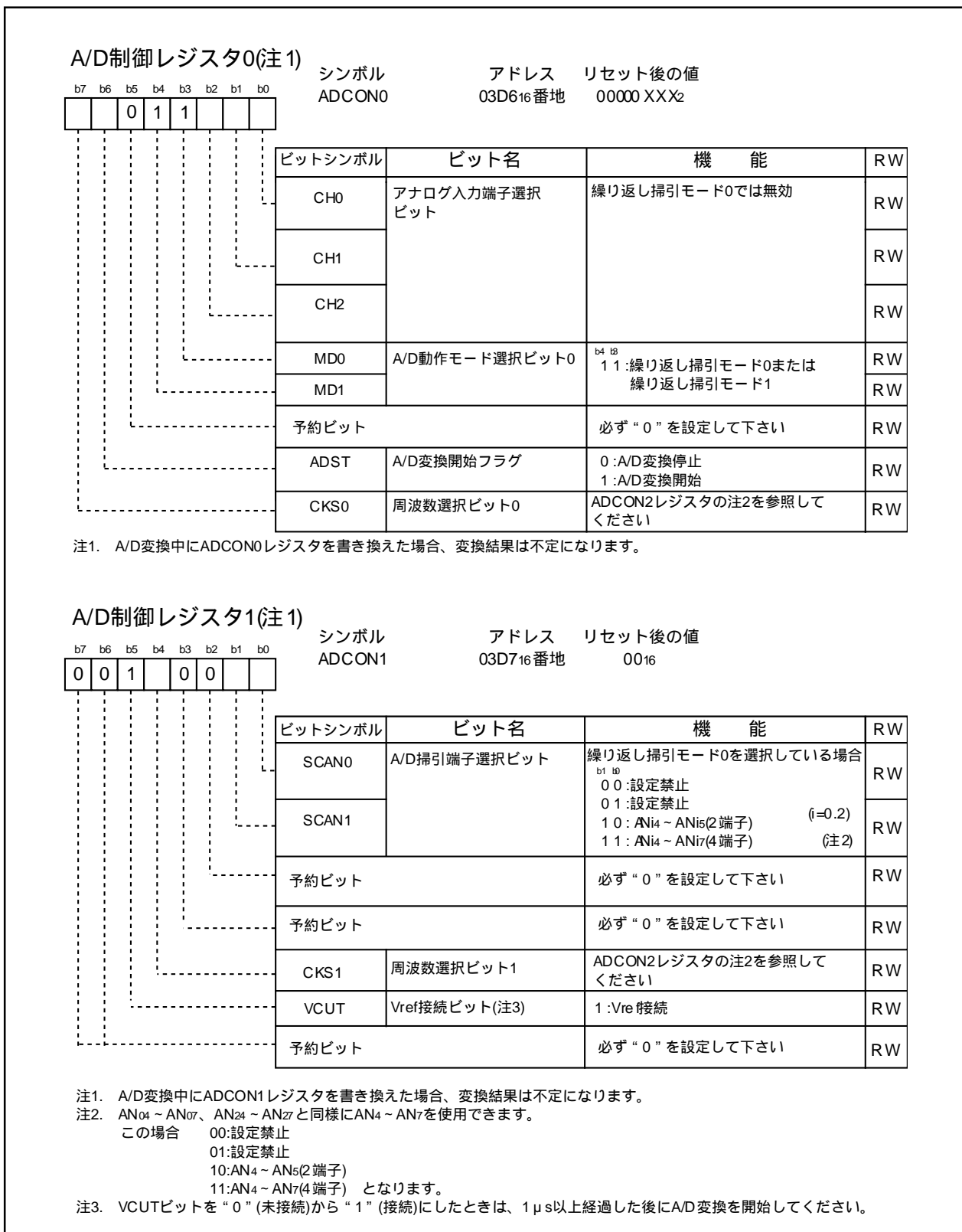


図12.7. 繰り返し掃引モード0時のADCON0 ~ ADCON1レジスタ

サンプル&ホールド

ADCON2レジスタのSMPビットを“1” (サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、28 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(VREF接続)にした後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”(VREF未接続)にしないでください。

A/Dコンバータ使用時の注意事項

- (1) アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- (2) キー入力割り込みを使用する場合、AN4～AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。
- (3) ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、Vcc1端子、Vcc2端子、アナログ入力端子(ANi(i=3～7)、AN0i、AN2i)とVss端子の間には、それぞれコンデンサを挿入してください。図12.8に各端子の処理例を示します。
- (4) A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
 単発モードまたは単掃引モードで使用する場合
 A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
 CPUクロックは、メインクロックを分周せずに使用してください。
- (5) A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

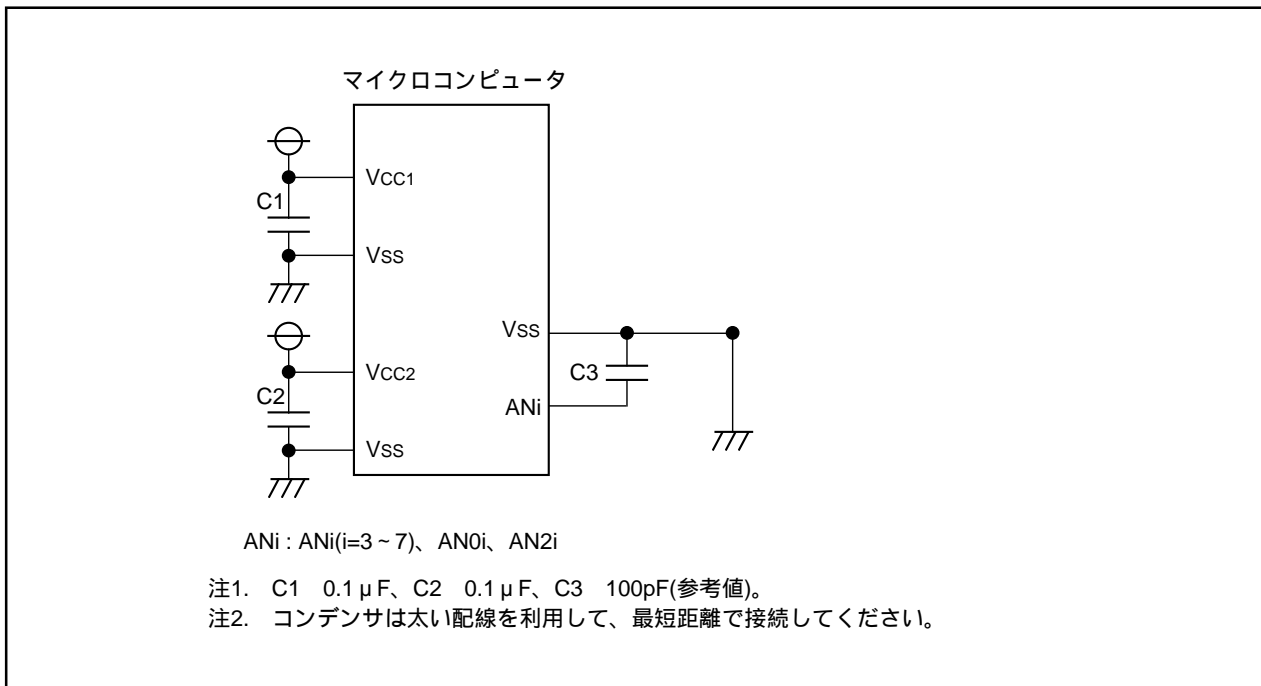


図12.8. 各端子のノイズ対策処理例

マルチマスタI²C-BUSインタフェース0~2

マルチマスタI²C-BUSインタフェースi(i=0~2)は、それぞれ専用回路を持っており、独立して動作します。

マルチマスタI²C-BUSインタフェースiは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーションロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図13.1、図13.2にマルチマスタI²C-BUSインタフェースiのブロック図、表13.1にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースiは、I²Ciアドレスレジスタ、I²Ciデータシフトレジスタ、I²Ciクロックコントロールレジスタ、I²Ciコントロールレジスタ、I²Ciステータスレジスタ、I²Ci送信バッファレジスタとその他の制御回路により構成されています。

表13.1 マルチマスタI²C-BUSインタフェースi機能

項 目	機 能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz (BCLK = 16 MHz)
バスライン電源電圧	(SCL1/SDA1), (SCL3/SDA3), (SCL5/SDA5), (SCL6/SDA6) : 3.3V (SCL2/SDA2), (SCL4/SDA4) : 3.3Vまたは5V

注. I²C-BUSインタフェース0,1とポート (SCL1,SCL3,SCL5,SCL6,SDA1 , SDA3,SDA5,SDA6) の接続を制御する機能 ([02D9₁₆番地] のビット0, ビット1) の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

マルチマスタI²C-BUSインタフェース系統図

I²C-BUS0~2は、下記の端子より通信制御が可能です。レジスタ設定により使用する端子を選択して下さい。

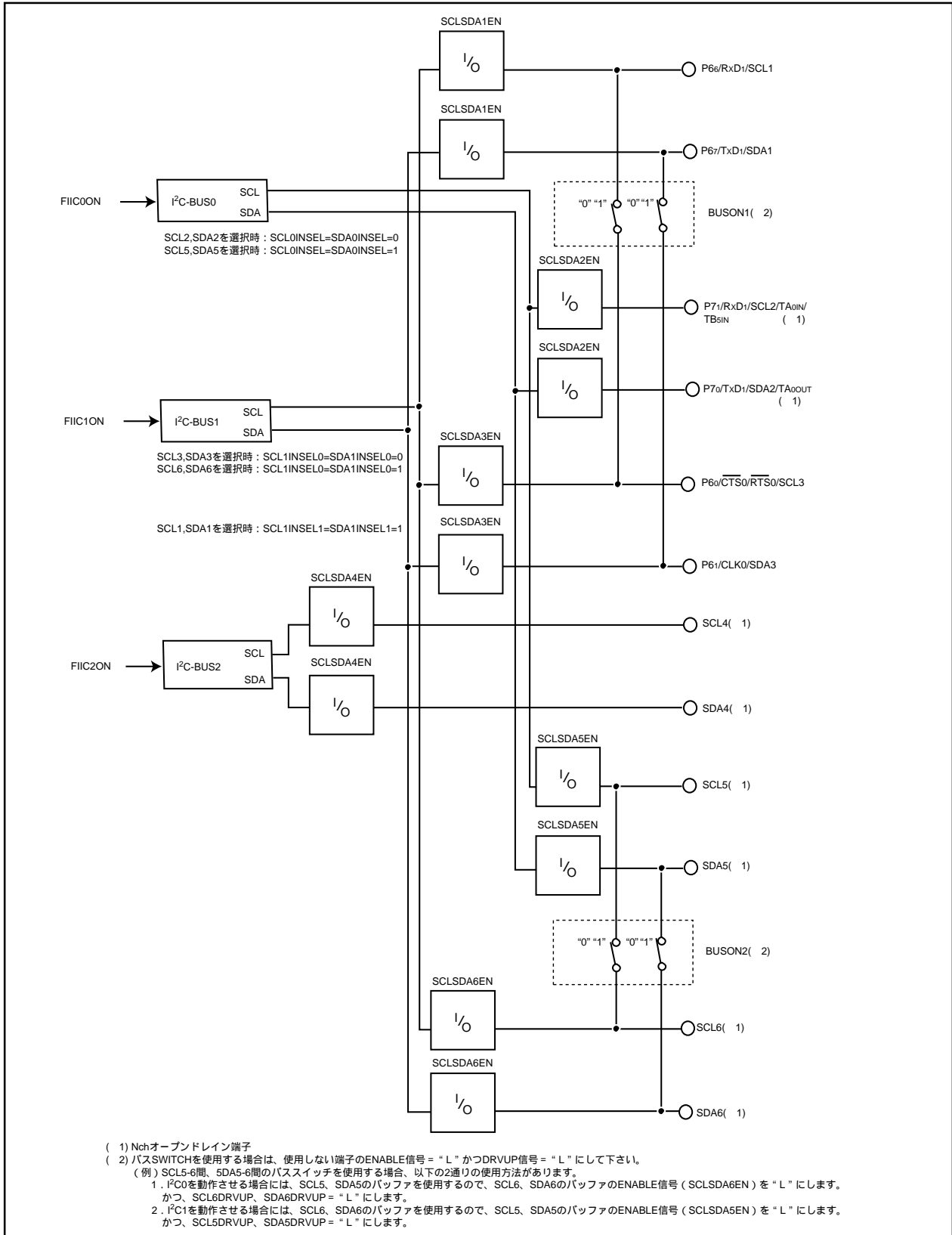


図13.1 マルチマスタI²C-BUSインタフェースiのブロック図(i=0~2)

(1) 予約レジスタ

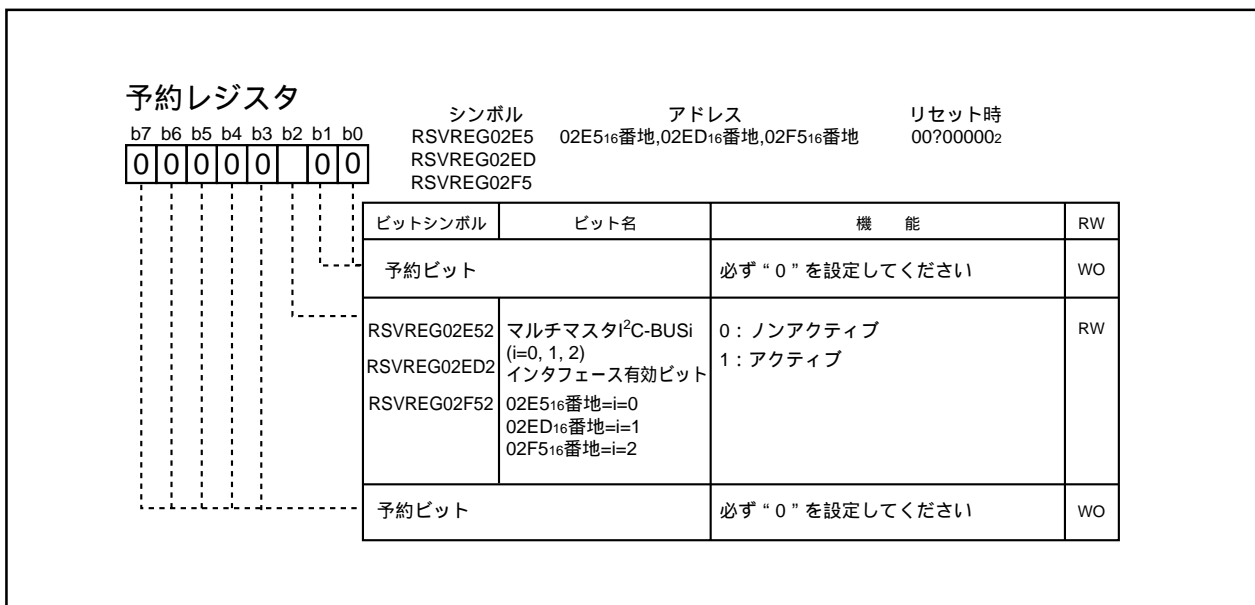


図13.3 予約レジスタ

(2) I²Ciデータシフトレジスタ、I²Ci送信バッファレジスタ (i=0~2)

I²Ciデータシフトレジスタは、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してこのレジスタのビット0からデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

I²Ciデータシフトレジスタは、I²CiコントロールレジスタのESOビットが“1”のときのみ書き込みが可能です。I²Ciデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESOビットが“1”、I²CiステータスレジスタのMSTビットが“1”のとき、I²Ciデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Ciデータシフトレジスタの読み出しは、ESOビットの値にかかわらずいつでも可能です。

I²Ci送信バッファレジスタはリスタートコンディション発生前にI²Ciデータシフトレジスタへ送信データ(スレーブアドレス)を格納するためのレジスタです。つまり、マスタ時、I²Ci送信バッファレジスタに書き込んだデータは同時にI²Ciデータシフトレジスタに書き込まれますが、SCLの出力は行われません。また、I²Ci送信バッファレジスタは、ESOビットが“1”のときのみ書き込み可能で、ESOビットの値にかかわらず読み出しはできません。

- 注1. MSTビットが“1” “0”に変化した後にI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタにデータを書き込む場合、20BCLK以上の間隔を確保してください。
2. I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込みを実行した後、スタートまたはリスタートコンディションを発生する場合は、4BCLK以上の間隔を確保してください。

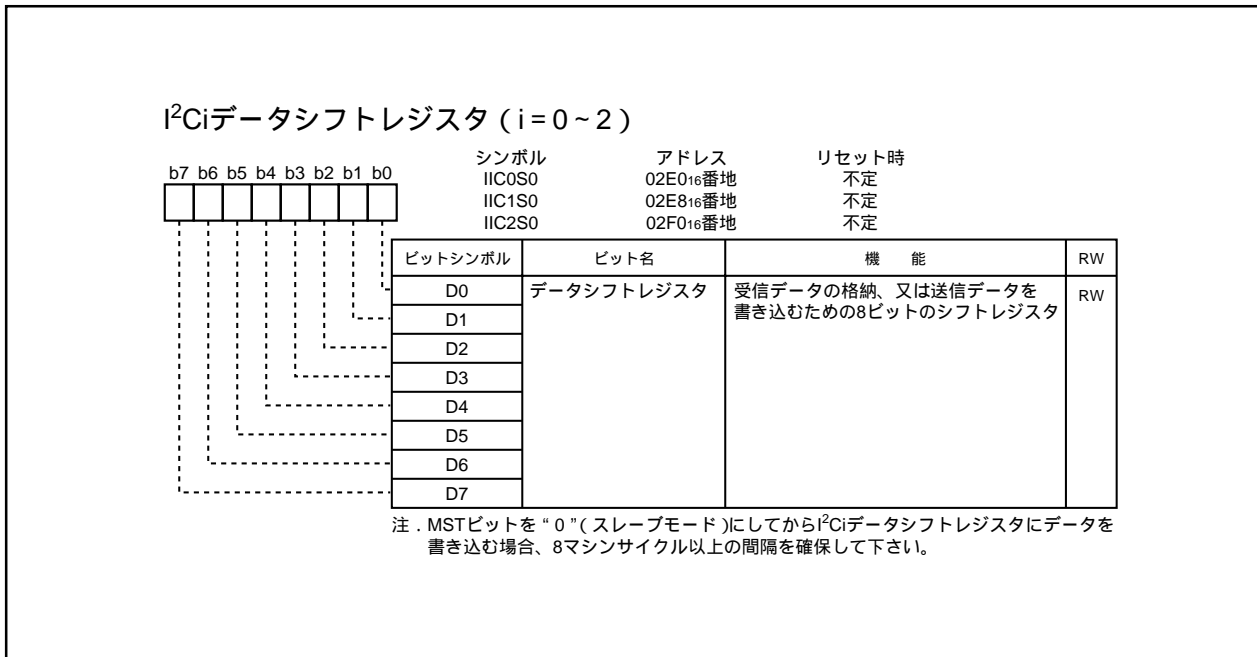


図13.4 I²Ciデータシフトレジスタ (i=0~2)

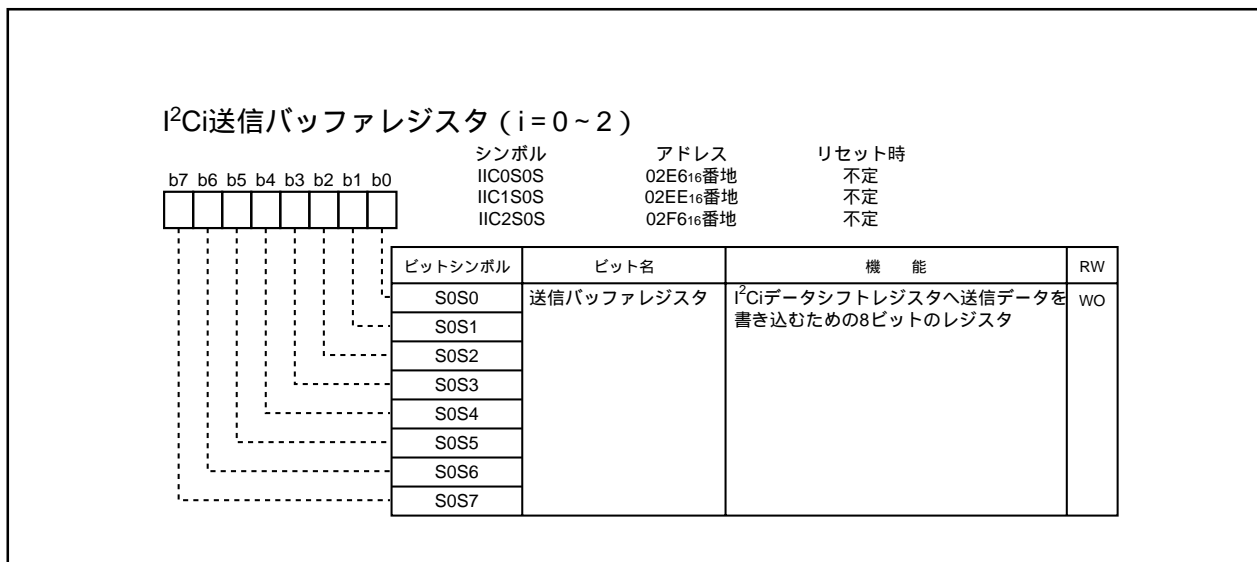


図13.5 I²Ci送信バッファレジスタ (i=0~2)

(3) I²Ciアドレスレジスタ (i=0~2)

I²Ciアドレスレジスタは7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されています。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

ビット0：リード/ライトビット (RBW)

7ビットアドレッシングモード時には、アドレス比較の際に使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Ciアドレスレジスタの内容 (SAD6~SAD0 + RBW) が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

ビット1～ビット7：スレーブアドレス (SAD0～SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

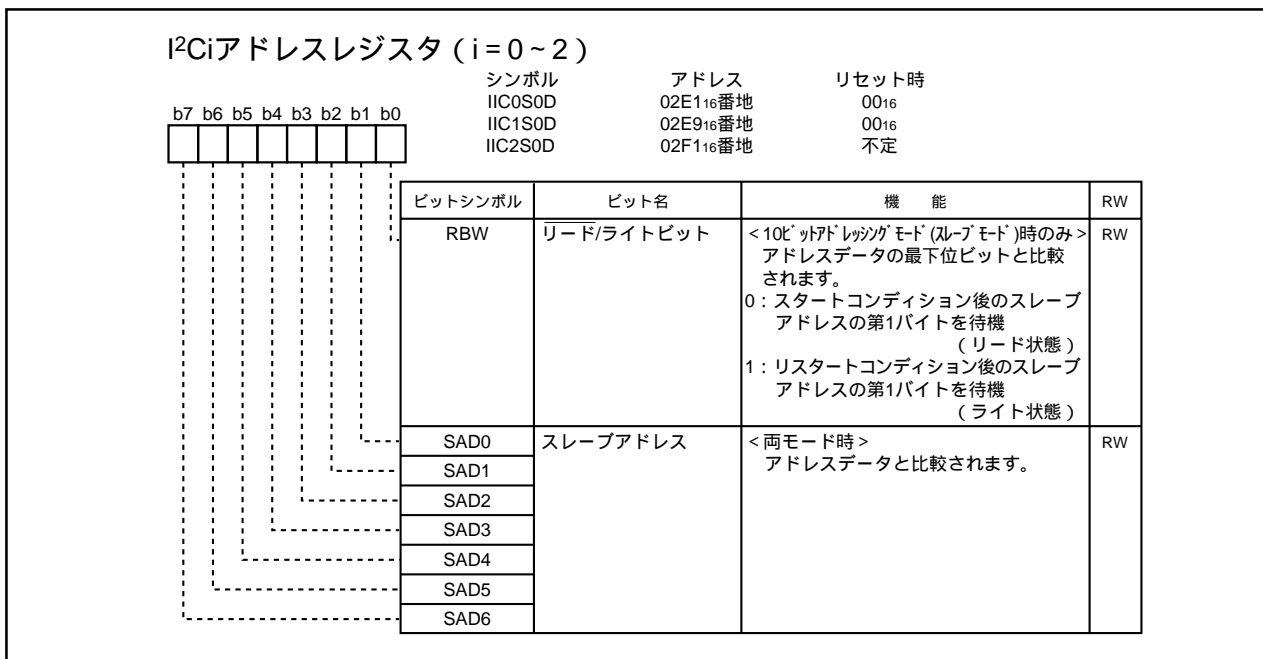


図13.6 I²Ciアドレスレジスタ (i=0~2)

(4) I²Ciクロックコントロールレジスタ (i=0~2)

I²Ciクロックコントロールレジスタはアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

ビット0~ビット4 : SCL周波数制御ビット (CCR0~CCR4)

SCL周波数を制御するビットです。

ビット5 : SCLモード指定ビット (FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

ビット6 : アックビット (ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT = “0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。

スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

*アッククロック : 確認応答用のクロック

ビット7 : アッククロックビット (ACK)

データ転送の確認応答であるアクノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Ciクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Ciクロックジェネレータがリセットされ、データが正常に転送できません。

I²Ciクロックコントロールレジスタ (i = 0 ~ 2)

シンボル	アドレス	リセット時
IIC0S2	02E4 ₁₆ 番地	00 ₁₆
IIC1S2	02EC ₁₆ 番地	00 ₁₆
IIC2S2	02F4 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW		
b7 b6 b5 b4 b3 b2 b1 b0	SCL周波数制御ビット	レジスタ値 b4 ~ b0	標準 クロックモード	高速 クロックモード	RW
		00 ~ 02	禁止	禁止	
		03	禁止	333	
		04	禁止	250	
		05	100	400 (注)	
		06	83.3	166	
		:	500/CCR値	1000/CCR値	
		1D	17.2	34.5	
		1E	16.6	33.3	
		1F	16.1	32.3	
(BCLK = 10MHz, 単位;kHz)					
FAST MODE	SCLモード指定ビット	0 : 標準クロックモード 1 : 高速クロックモード	RW		
ACK BIT	アックビット	0 : アック返す 1 : アック返さない	RW		
ACK	アッククロックビット	0 : アッククロックなし 1 : アッククロックあり	RW		

注 . 高速クロックモード, 400kHz時のデューティは “ 0 ” 期間 : “ 1 ” 期間 = 3 : 2
それ以外のデューティは “ 0 ” 期間 : “ 1 ” 期間 = 1 : 1

図13.7 I²Ciクロックコントロールレジスタ (i = 0 ~ 2)

(5) I²Ciコントロールレジスタ (i=0~2)

I²Ciコントロールレジスタはデータ通信フォーマットの制御を行うレジスタです。

ビット0~ビット2：ビットカウンタ (BC0~BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“000₂”になり、アドレスデータは必ず8ビットで送受信されます。

注. ビットカウンタ値=“111₂”の状態、ストップコンディション、スタートコンディションの待機はできません。

ビット3：I²C-BUSインタフェースi使用許可ビット (ESO)

マルチマスタI²C-BUSインタフェースiの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ESO=“0”のとき、次のように処理されます。

- ・I²CiステータスレジスタのPIN=“1”, BB=“0”, AL=“0”に設定される。
- ・I²CiデータシフトレジスタおよびI²Ci送信バッファレジスタへの書き込みは禁止される。

ビット4：データフォーマット選択ビット (ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「(6) I²Ciステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

ビット5：アドレッシングフォーマット選択ビット (10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Ciアドレスレジスタの上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Ciアドレスレジスタの全ビットがアドレスデータと比較されます。

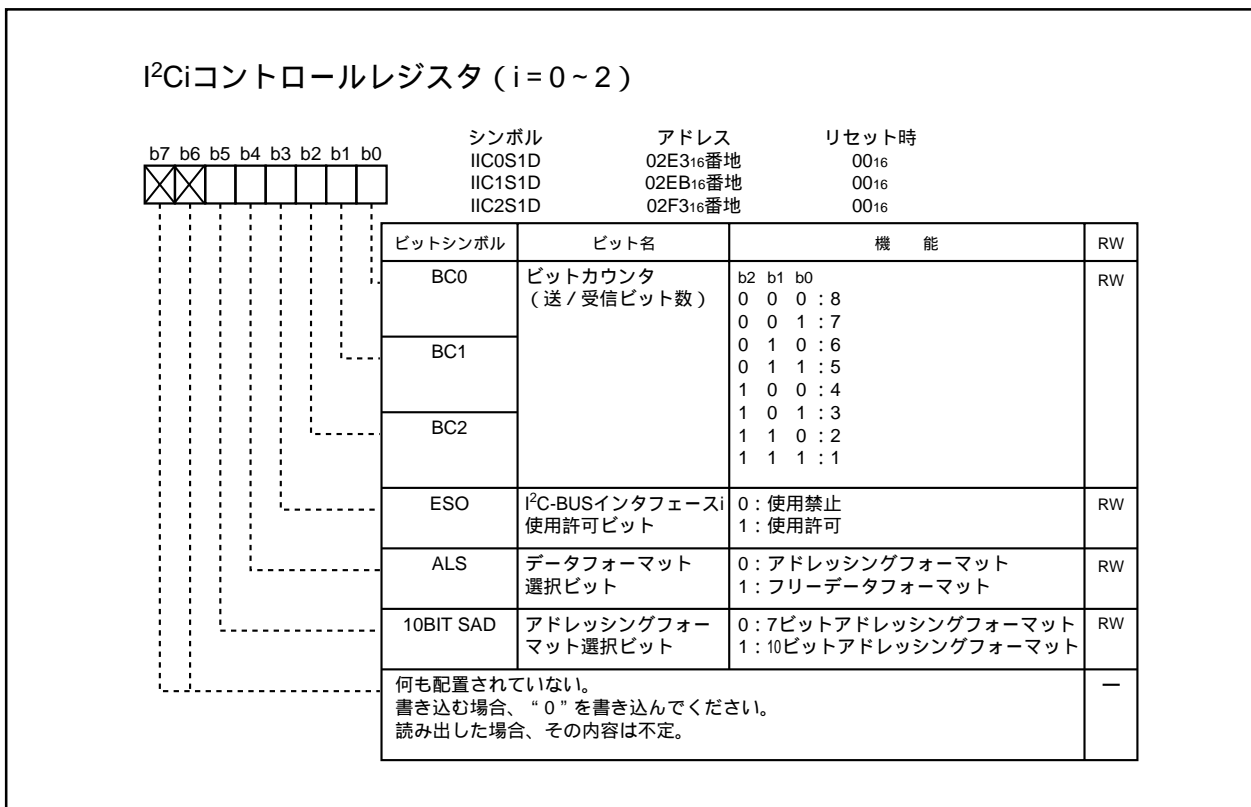


図13.8 I²Ciコントロールレジスタ (i=0~2)

(6) I²Ciステータスレジスタ (i=0~2)

I²CiステータスレジスタはI²C-BUSインタフェースiの状態を制御するレジスタです。ビット0~ビット3とビット5は読み出し専用で、ビット4、ビット6、ビット7は読み出し/書き込み可能です。

ビット0：最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。

このビットは、I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を実行すると“1”から“0”になります。

ビット1：ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディション、スタートコンディションの検出により“0”になります。

* ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

ビット2：スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

《スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。》

- ・スタートコンディション発生直後のアドレスデータがI²Ciアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合
- ・ジェネラルコールを受信した場合

《スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。》

- ・アドレスデータとI²Ciアドレスレジスタ（スレーブアドレス、及びRBWビットで構成される8ビット）とを比較し、1バイト目が一致した場合

《このビットはI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

ビット3：アービトレーションロスト*検出フラグ (AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時にTRXビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MSTビットが“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

《このビットはI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

*アービトレーションロスト：マスタとしての通信が不許可となった状態。

ビット4：I²C-BUSインタフェース割り込み要求ビット（PIN）

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック（アッククロックを含む）の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。スレープ時は、ストップコンディションを検出すると、PINビットの立ち下がりに関係なくマルチマスタI²C-BUSインタフェース割り込み要求ビット（IR）は“0”から“1”（要求あり）になります。PINビットが“0”のときはSCLは“0”に保たれクロックの発生は禁止されます。図13.10に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“1”になります。

- ・ PINビットへの“1”書き込み
- ・ I²Cデータシフトレジスタ、又はI²Ci送信バッファレジスタへの書き込み命令の実行（注）
- ・ ESOビットが“0”のとき
- ・ リセット時

注. これらのレジスタへの書き込み命令後、PINビットが“1”になるまで12BCLKサイクル必要です。

PINビットが“0”になる条件を以下に示します。

- ・ 1バイトのデータ送信完了直後（アービトレーションロストを検出した場合を含む）
- ・ 1バイトのデータ受信完了直後
- ・ スレープ受信の際、ALS = “0”で、スレープアドレス又はジェネラルコールアドレス受信完了直後
- ・ スレープ受信の際、ALS = “1”で、アドレスデータ受信完了直後

ビット5：バスビジーフラグ（BB）

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能（注）によって禁止されます。

このフラグはソフトウェアによる書き込みはできません。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I²CiコントロールレジスタのESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

ビット6：通信モード指定ビット（転送方向指定ビット：TRX）

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²CiコントロールレジスタのALSビットが“0”でスレープの場合、マスタから送信されたアドレスデータの最下位ビット（R/Wビット）が“1”のときはTRXビットは“1”（送信）になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”（受信）になります。

以下のいずれかの条件でTRXビットが“0”になります。

- ・ アービトレーションロストを検出した場合
- ・ ストップコンディションを検出した場合
- ・ スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- ・ MST = “0”で、スタートコンディションを検出した場合
- ・ MST = “0”で、アックが返ってこなかったことを検出した場合
- ・ リセット時

ビット7：通信モード指定ビット（マスタ/スレーブ指定ビット：MST）

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ送信終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- ・リセット時

注. スタートコンディション重複防止機能は、スタートコンディションの発生と、それに伴うビットカウンタのリセット、及びSCLの出力を禁止する機能です。この機能はBBフラグがセットされてから1バイトの送受信が完了（送受信割り込み要求 < IICIRQ > の発生）するまで有効となります。

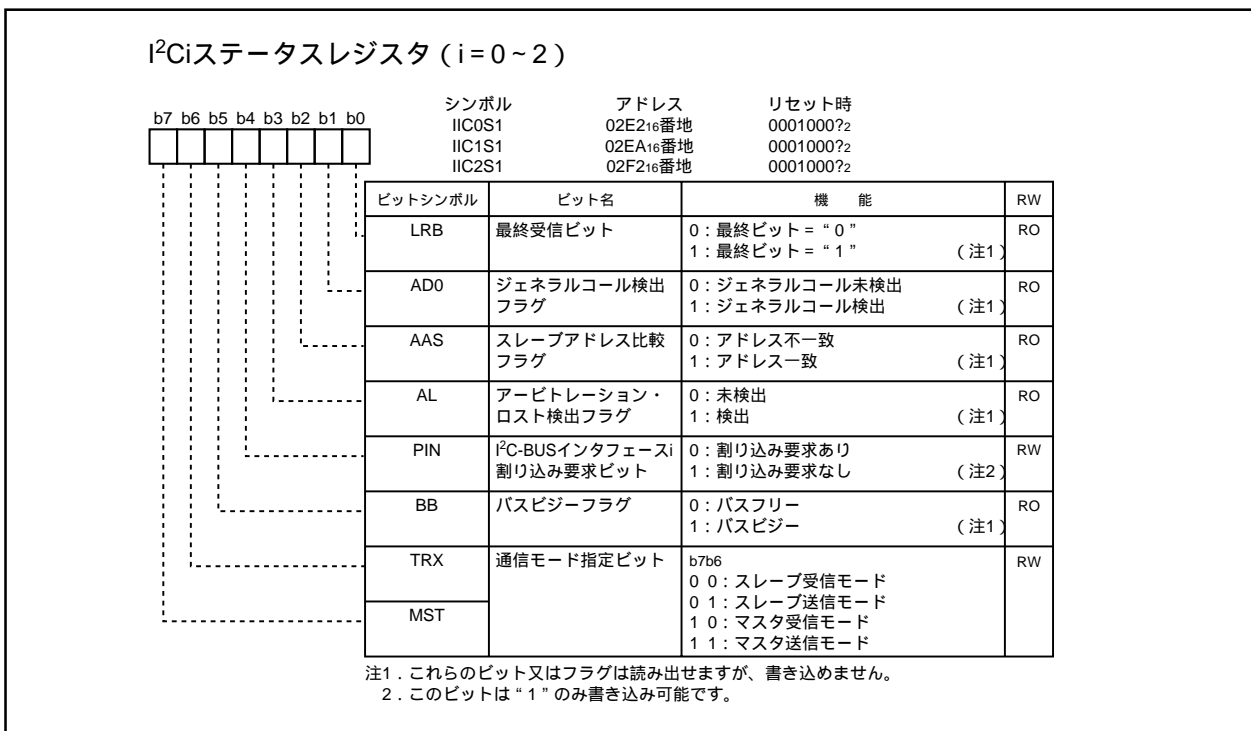


図13.9 I²Ciステータスレジスタ (i=0~2)

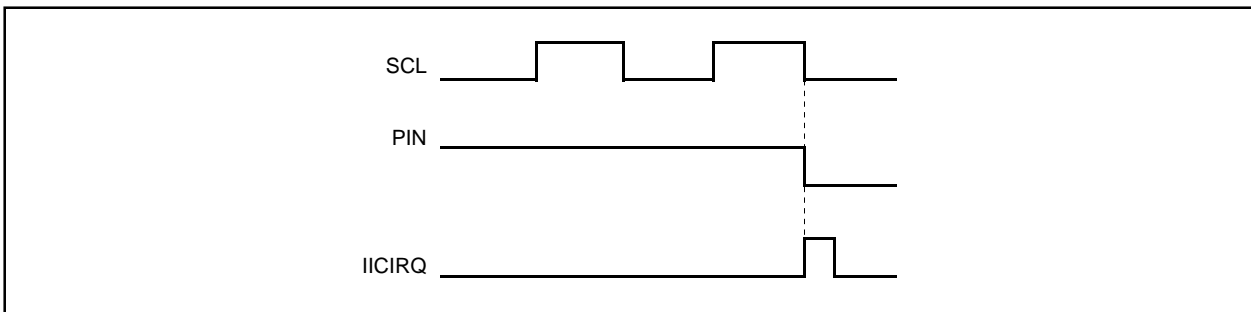


図13.10 割り込み要求信号の発生タイミング

(7) スタートコンディション発生方法

I²CiコントロールレジスタのESOビットが“1”の状態、I²Ciステータスレジスタに書き込み命令を行いIMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図13.11のスタートコンディション発生タイミング図と表13.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

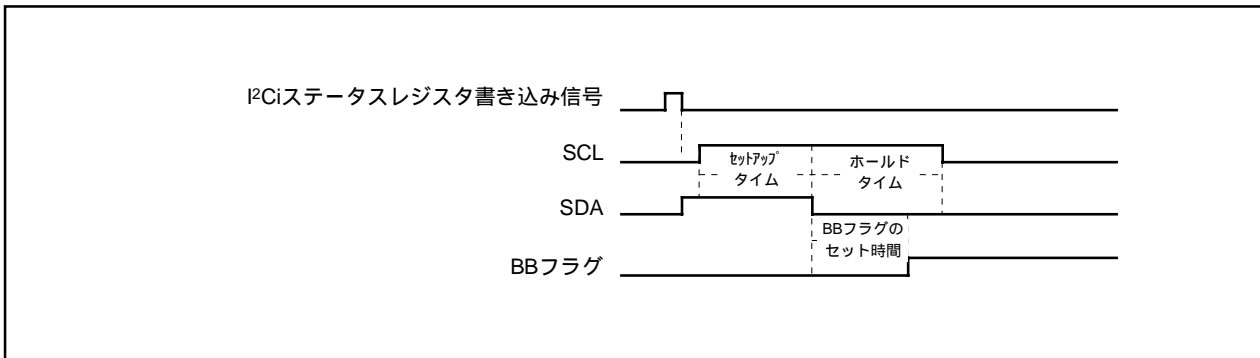


図13.11 スタートコンディション発生タイミング図

(8) ストップコンディションの発生方法

I²CiコントロールレジスタのESOビットが“1”の状態、I²Ciステータスレジスタへ書き込み命令を行いIMST = “1”, TRX = “1”, BB = “0”にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図13.12のストップコンディション発生タイミング図と表13.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

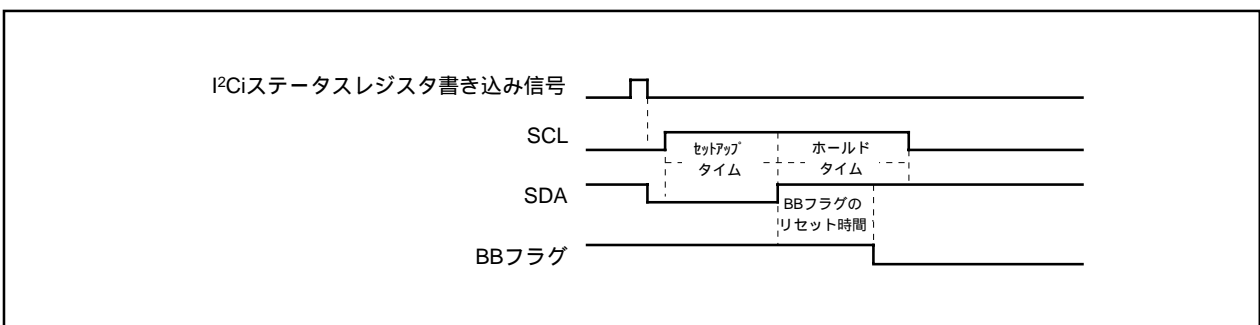


図13.12 ストップコンディション発生タイミング図

表13.2 スタートコンディション、ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間 (最小)	5.6 μ s	2.1 μ s
ホールド時間 (最小)	4.8 μ s	2.3 μ s
BBフラグセット/リセット時間	3.5 μ s	0.75 μ s

(9) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図13.13と表13.3に示します。表13.3の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ (MST = 0) 時にストップコンディションを検出すると, CPUに対して割り込み要求信号 <IICIRQ> を発生します。

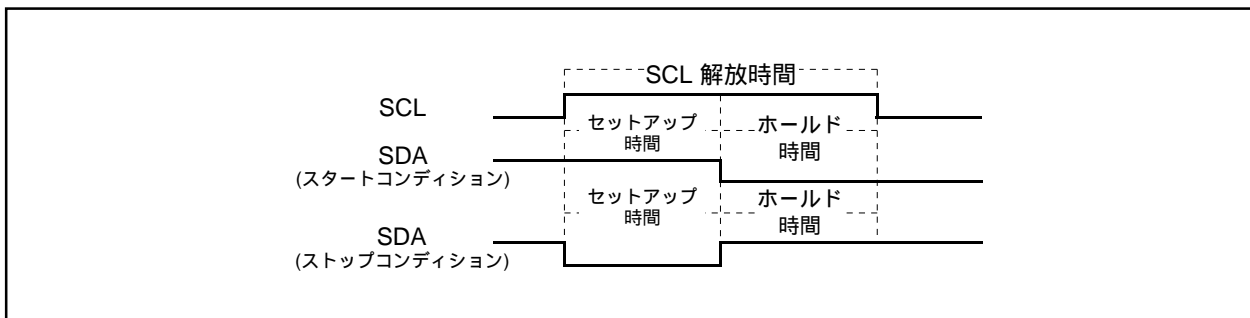


図13.13 スタートコンディション, ストップコンディション検出のタイミング図

表13.3 スタートコンディション, ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μ s < SCL解放時間	1.0 μ s < SCL解放時間
3.25 μ s < セットアップ時間	0.5 μ s < セットアップ時間
3.25 μ s < ホールド時間	0.5 μ s < ホールド時間

(10) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Ciコントロールレジスタの10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Ciアドレスレジスタに格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²CiアドレスレジスタのRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図13.14の(1)、(2)を参照してください。

10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Ciコントロールレジスタの10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Ciアドレスレジスタに格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²CiアドレスレジスタのRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるR/Wビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²CiステータスレジスタのAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Ciデータシフトレジスタに格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²CiアドレスレジスタのRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Ciアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図13.14の(3)、(4)を参照してください。

(11) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

I²Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Ciクロックコントロールレジスタに“85₁₆”を設定することによって、アックを返すモード、SCL = 100kHzにします。

I²Ciステータスレジスタに“10₁₆”を設定し、SCLを“H”レベルに保持します。

I²Ciコントロールレジスタに“08₁₆”を設定することによって、通信許可状態にします。

I²Ciデータシフトレジスタの上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。

I²Ciステータスレジスタに“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。

I²Ciデータシフトレジスタに送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。

複数バイトの制御データを送信する場合、 を繰り返します。

アックが返らなかった場合又は送信が終了した場合は、I²Ciステータスレジスタに“D0₁₆”を設定することによってストップコンディションを発生させます。

(12) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

I²Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Ciクロックコントロールレジスタに“25₁₆”を設定することによって、アックなしモード、SCL = 400kHzにします。

I²Ciステータスレジスタに“10₁₆”を設定しSCLを“H”レベルに保持します。

I²Ciコントロールレジスタに“08₁₆”を設定することによって、通信許可状態にします。

スタートコンディションを受信すると、アドレス比較されます。

< 送信されたアドレスがすべて“0”の場合（ジュネラルコール）>

I²CiステータスレジスタのAD0=“1”に設定され、割り込み要求信号が発生します。

< 送信されたアドレスが、 で設定したアドレスと一致した場合 >

I²CiステータスレジスタのAAS=“1”に設定され、割り込み要求信号が発生します。

< 上記以外の場合 >

I²CiステータスレジスタのAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。

I²Ciデータシフトレジスタにダミーデータを設定します。

複数バイトの制御データを受信する場合、 を繰り返します。

ストップコンディションを検出すると通信が終了します。

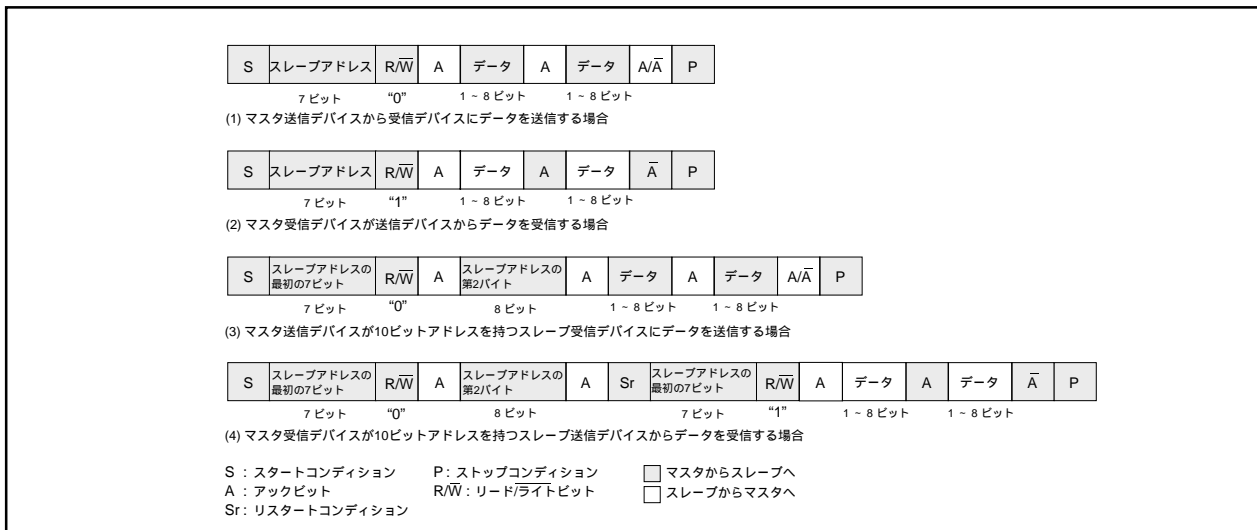


図13.14 アドレスデータ通信フォーマット

(13) マルチマスタ²C-BUSインタフェースiの注意事項

BCLKの動作モードについて

分周なしモードを選択してください。

使用する命令について

マルチマスタ²C-BUSインタフェースi関連レジスタをアクセスする命令のデータサイズは、バイト(.B)を指定してください。

リード・モディファイ・ライト命令の使用について

BSET, BCLRなどのリード・モディファイ・ライト命令をマルチマスタ²C-BUSインタフェースiの各レジスタに使う場合の注意事項は以下のとおりです。

・²Ciデータシフトレジスタ (IICiS0)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・²Ciアドレスレジスタ (IICiS0D)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット (RBW) が、ハードウェアによって変化するためです。

・²Ciステータスレジスタ (IICiS1)

すべてのビットはハードウェアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・²Ciコントロールレジスタ (IICiS1D)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ (BC0 ~ BC2) が、ハードウェアによって変化するためです。

・²Ciクロックコントロールレジスタ (IICiS2)

リード・モディファイ・ライト命令は使用可能です。

・²Ciポートセレクションレジスタ (IICiS2D)

上位4ビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。

・²Ci送信バッファレジスタ (IICiS0S)

すべてのビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。

スタートコンディション発生手順について

```

      :
      FCLR   I           (割り込みの禁止)
      BTST   5, IICiS1  (BBフラグ確認及び分岐処理)
      JC     BUSBUSY
BUSFREE:
      MOV.B  SA, IICiS0  (スレーブアドレス値 < SA > の書き込み)
      NOP
      NOP
      NOP
      MOV.B  #F0H, IICiS1 (スタートコンディション発生トリガ)
      FSET   I           (割り込みの許可)
      :
BUSBUSY:
      FSET   I           (割り込みの許可)
      :

```

スレーブアドレス値の書き込みと、スタートコンディション発生トリガの設定は、手順例のとおり必ずNOP命令×4を挿入して実行してください。

マルチマスタシステムの場合は、BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

シングルマスタシステムの場合は、上記の割り込み禁止処理は必要ありません。

リスタートコンディション発生手順について

```

      :
      MOV.B  SA, IICiS0S  (スレーブアドレス値 < SA > の書き込み)
      NOP
      MOV.B  #F0H, IICiS1 (リスタートコンディション発生トリガ)
      :

```

I²Ciデータシフトレジスタへのスレーブアドレス値の書き込みは、I²Ci送信バッファレジスタを使用してください。また、必ずNOP命令×4を挿入してください。

I²Ciステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²Ciデータシフトレジスタ及びI²Ciステータスレジスタに書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

データスライサ

本マイクロコンピュータは、クロードキャプションデコーダ（以下CCDと称す）及びビデオID（以下ID1と称す）デコードに対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重畳されたCCD及びID1（*1）を取り出すことができます。CVIN端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ1（026016/030016番地）のビット0を“0”に設定することによって、データスライサ回路及びタイミング信号発生回路をOFFすることができます。これらの設定によって、電源電流を抑えることができます。

注．（*1）525i(480i)/525p(480p) ID1データスライサを行うことができます。525p(480p)でCCデータのスライサはできません。

指定のない場合、以下525i(480i)に関する記載となります。

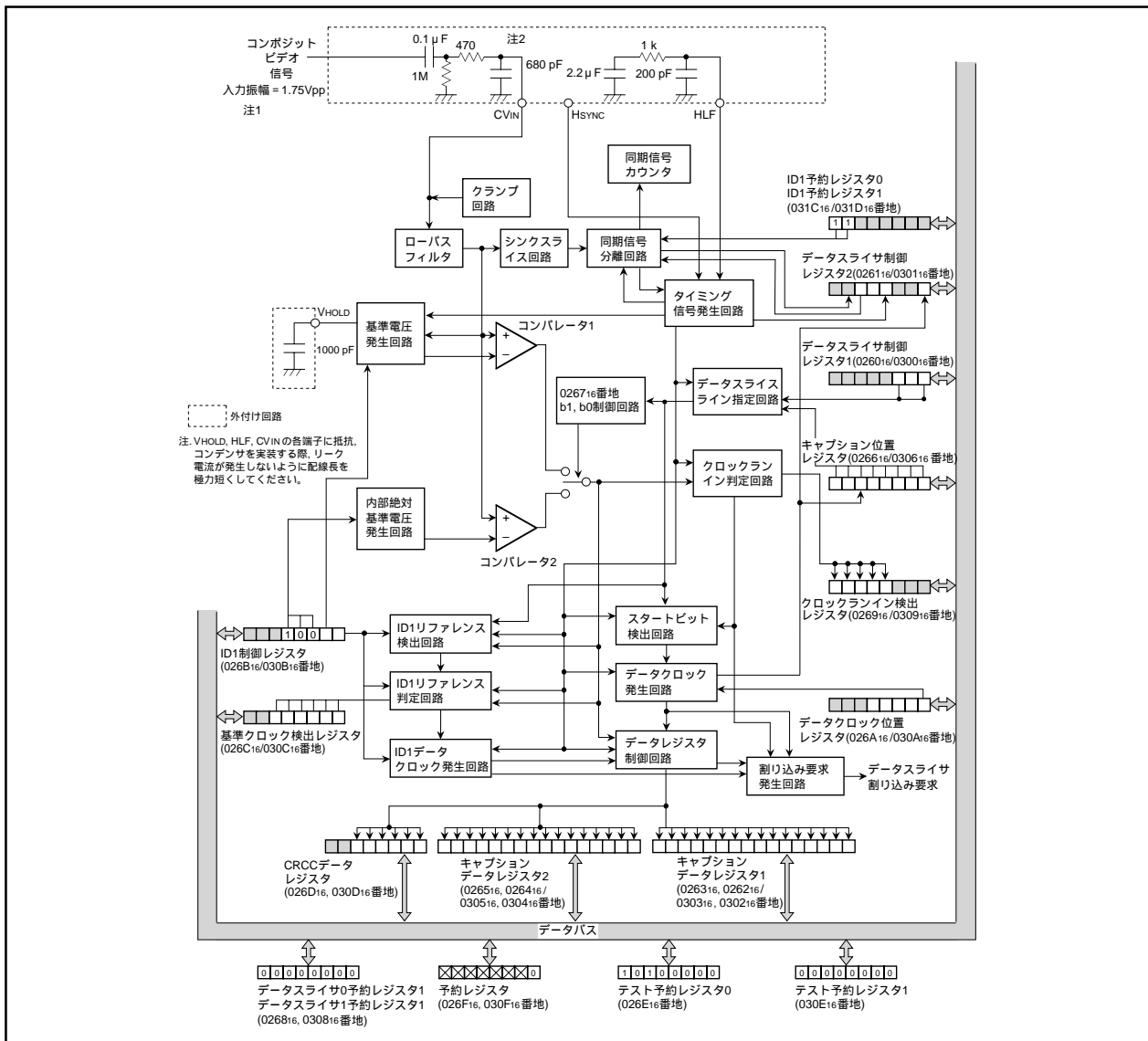


図14.1 データスライサブロック図

注1. CVIN端子から入力する振幅は、以下を満足するようにしてください。

(1) 入力振幅 + シンクチップクランプ電位 < $VCCi + 0.3V$ としてください。

$VCCi$ は、 $VCCi$ 電源端子電圧を示します。

シンクチップクランプ電位は、 $(43/120) \times VCCi$ となります。

例) $VCCi = 3.3V$ で入力振幅 = 2.0Vの場合

$$2.0V + 1.18V = 3.18V < 3.6V = 3.3V + 0.3V$$

(2) 図14.2にCVIN端子の入力振幅に対する各信号レベルを示します。

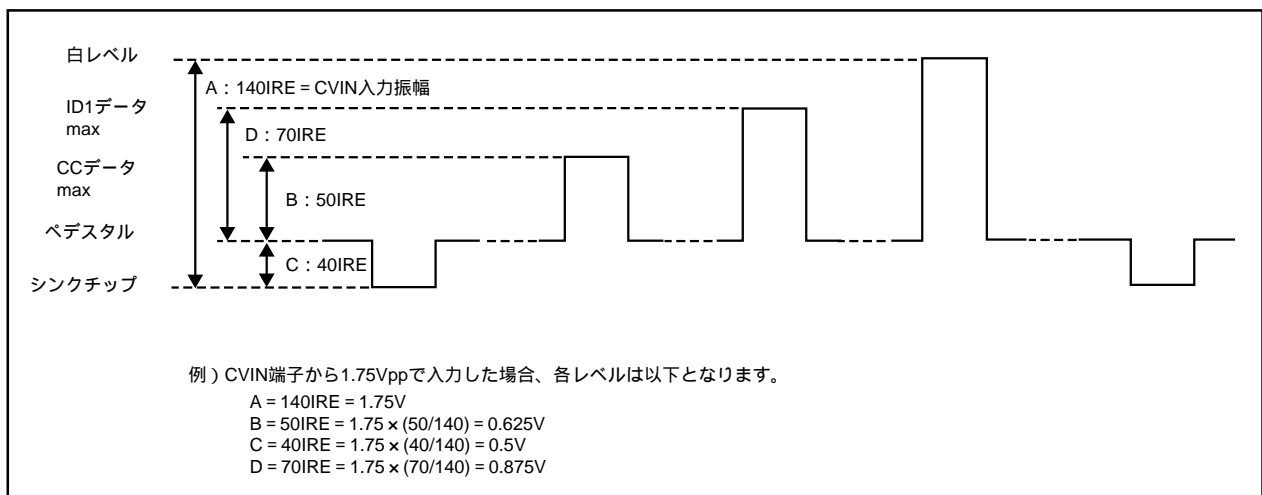


図14.2 CVIN端子の入力振幅に対する各レベル

注2. 図14.1に示す外付け各定数は一例であり、システム上のビデオ信号出力インピーダンスや基板容量などに大きく影響されます。入力振幅、外付け各定数決定には、十分な評価をお願いします。

データスライサを使用しない場合の注意事項

データスライサ制御レジスタ1 (026016/030016番地) のビット0が“0”の場合、図14.3のように端子を処理してください。

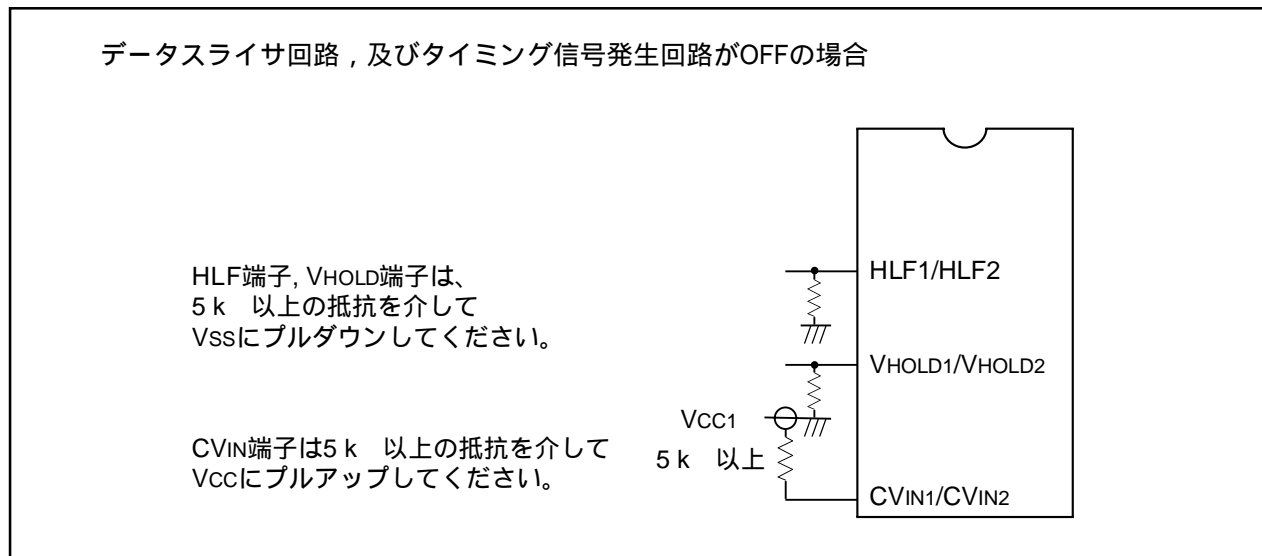


図14.3 データスライサ回路，及びタイミング信号発生回路OFFの場合の，データスライサ入出力端子の処理方法

図14.4、図14.5にデータサイサ制御レジスタを示します。

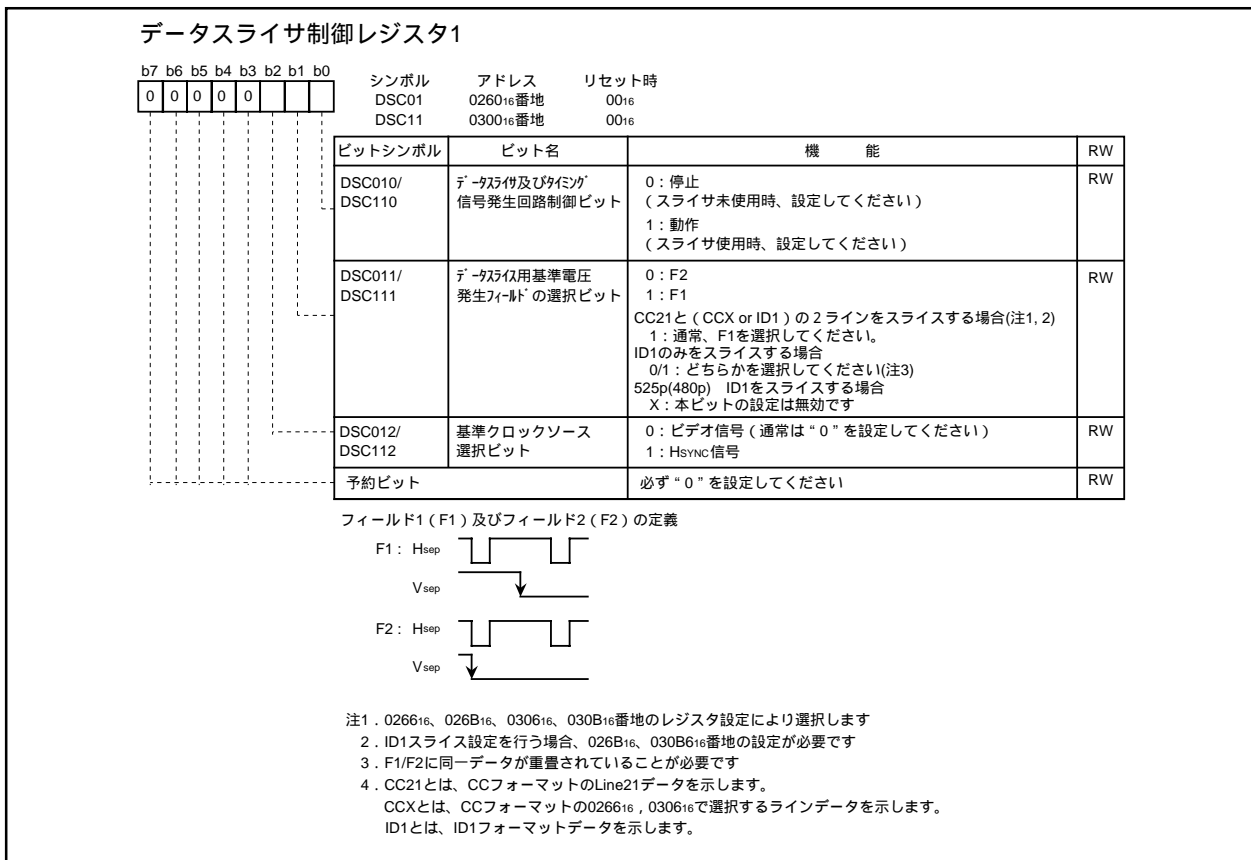


図14.4 データサイサ制御レジスタ1

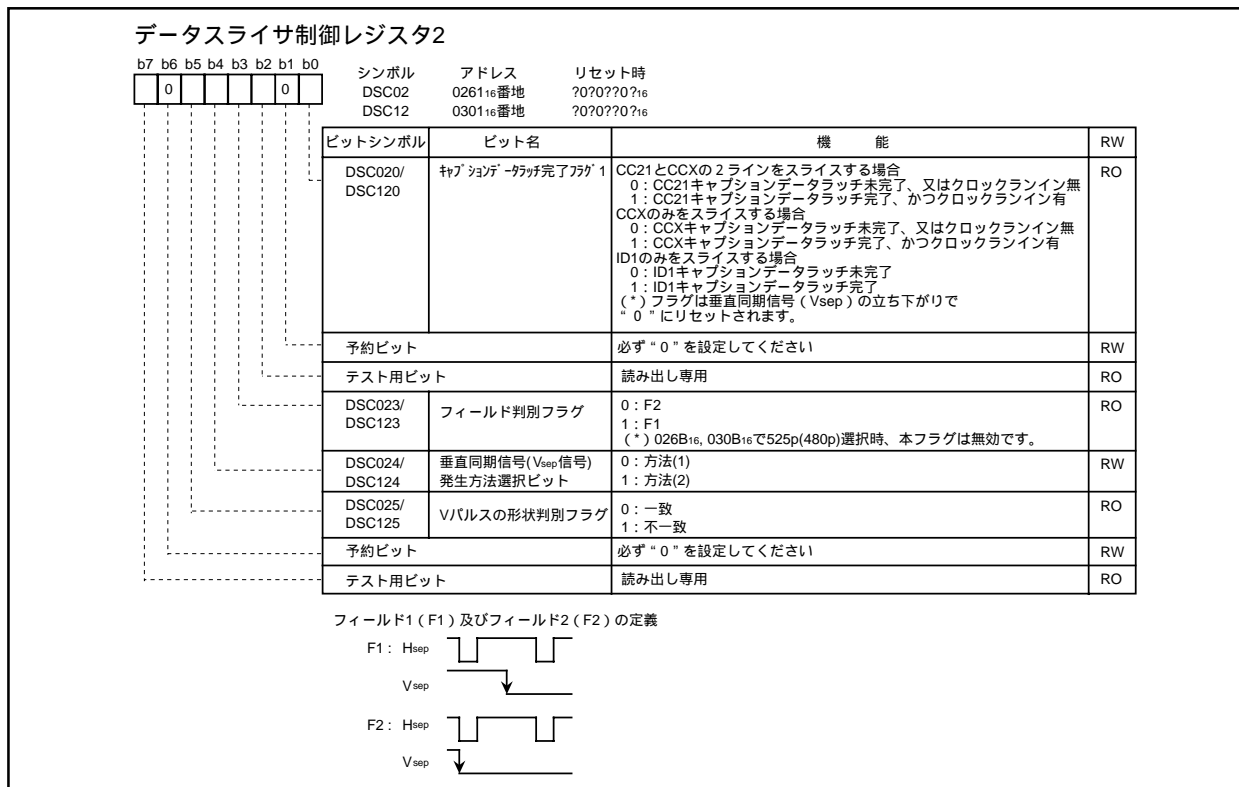


図14.5 データサイサ制御レジスタ2

クランプ回路・ローパスフィルタ

CVIN端子から入力されたコンポジットビデオ信号は、クランプ回路でシンクチップ部分を基準にしてクランプされます。ローパスフィルタはクランプされたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力されるCVIN端子は、外部でのコンデンサ (0.1 μ F) 結合が必要です。またCVIN端子は、数100k ~ 1 M 程度の抵抗でプルダウンしてください。さらにCVIN端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します (図14.1 及び注意事項参照)。

シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。

図14.21に示すID1予約レジスタ0, 1 (031C16/031D16番地) のビット7, 6を11bに設定してください。

同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

(1) 水平同期信号 (Hsep)

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号Hsepを発生します。

(2) 垂直同期信号 (Vsep)

Vsep信号の発生方法は、データスライサ制御レジスタ2 (026116/030116番地) のビット4を用いて、次の2種類から選択することができます。

- ・方法1 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の立ち上がりで同期してVsep信号を発生します。
- ・方法2 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の“L”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりで同期してVsep信号を発生します (図14.6参照)。

発生タイミングを図14.6に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データスライサ制御レジスタ2のビット5を読み出すことによって、コンポジットシンク信号のVパルス部分の形状が判別できます。図14.7のようにA, Bのレベルが一致していれば“0”、不一致であれば“1”になります。

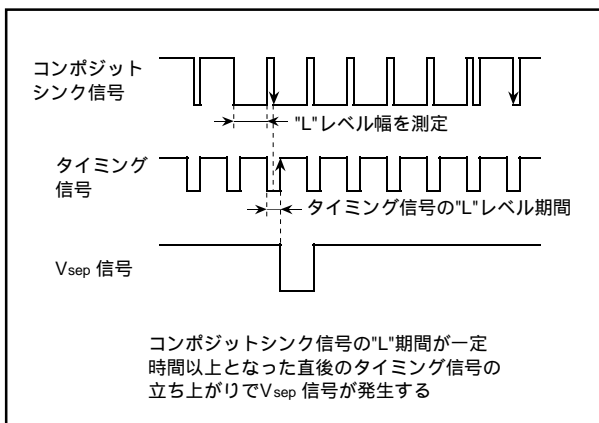


図14.6 Vsep発生タイミング (方法2)

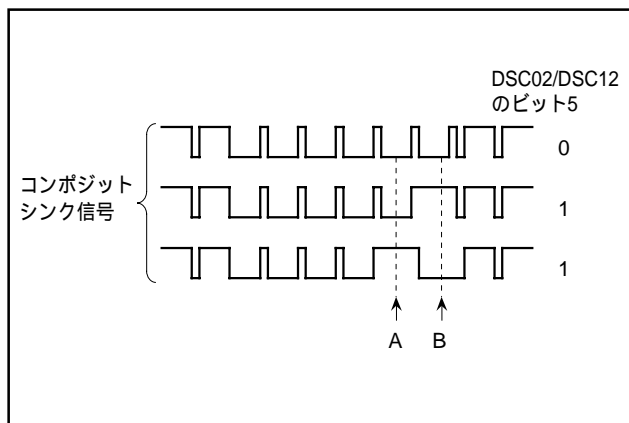


図14.7 Vパルス形状の判別

タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ 1 (0260₁₆/0300₁₆番地)のビット0を“1”に設定することによって動作します。

基準クロックは、コンポジットシンク信号のかわりにHSYNC信号をカウントソースとすることもできます。ただし、HSYNC信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ 1 (0260₁₆/0300₁₆番地)のビット2で選択できます。

HLF端子は、図14.1に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注． データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。

この期間、各種タイミング信号、Hsep信号、Vsep信号は不定となりますので、プログラム作成の際は、安定時間を考慮してください。

データスライスライン指定回路

(1) データスライスラインの指定

キャプションデータが重畳されるラインを決定します。1フィールド中のライン21（固定）と任意の1ラインの計2ライン/1フィールド、F1/F2の両フィールドのデータスライスが可能です。各設定はキャプション位置レジスタ（0266₁₆/0306₁₆番地）で行います（表14.1参照）。

Vsepの立ち下がりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット4～ビット0の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには“00₁₆”～“1F₁₆”の値が設定できます（任意の1ラインのみの設定時、表14.1参照）。図14.8に垂直帰線期間中の信号を示します。キャプション位置レジスタを図14.9に示します。ID1をスライスする場合、0266₁₆/0306₁₆番地ビット4 - 0 = 10000bを設定してください。

525p(480p) ID1スライスを行う場合、0266₁₆/0306₁₆番地ビット4 - 0 = 00001b、及びデータクロック位置レジスタ（026A₁₆/030A₁₆番地）ビット6,5 = 01bを設定してください。

(2) スライス電圧を設定するラインの指定

CC21、CCXをスライスする場合、どのラインのクロックランインに対して、スライス用の基準電圧（スライス電圧）を発生するかを表14.1に示します。スライス電圧を発生させるフィールドの指定はデータスライサ制御レジスタ1のビット1で設定します。1フィールド中のスライス電圧発生ラインは、キャプション位置レジスタのビット7、6で設定します（表14.1参照）。

ID1をスライスする場合、0266₁₆/0306₁₆番地ビット7、6 = 00bまたは、01bを設定してください。

525p(480p) ID1スライスを行う場合、0266₁₆/0306₁₆番地ビット7、6 = 01bを設定してください。

(3) フィールドの判別

データスライサ制御レジスタ2のビット3によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりのタイミングで変化します。

525p(480p) ID1スライスを行う場合、本フラグは無効です。

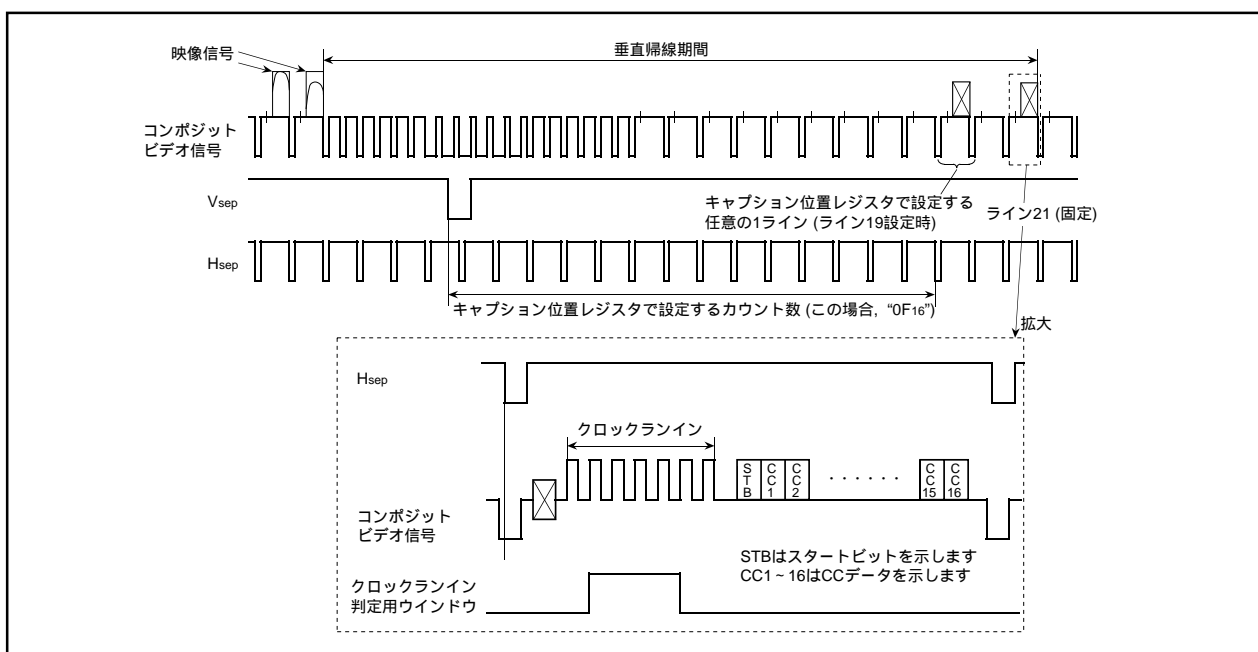


図14.8 垂直帰線期間中の信号

キャプション位置レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット時
[][][][][][][][]	CPS0	0266 ₁₆ 番地	00?00000 ₂
	CPS1	0306 ₁₆ 番地	00?00000 ₂

ビットシンボル	ビット名	機能	RW
CPS00/CPS10	キャプション位置ビット	(CCX or ID1) キャプション位置を設定します。 CCXの場合は、表15.1を参照してください。 ID1スライスの場合 ビット4 - 0 = 10000bを設定してください (ライン20選択) 525p(480p) ID1スライスの場合 ビット4 - 0 = 00001bを設定してください (ライン41選択) (*)026A ₁₆ /030A ₁₆ 番地 ビット6, 5 = 01bの設定が必要です	RW
CPS01/CPS11			RW
CPS02/CPS12			RW
CPS03/CPS13			RW
CPS04/CPS14			RW
CPS05/CPS15	キャプションデータラッチ完了フラグ2	CC21とCCXの2ラインをスライスする場合 0: CCXキャプションデータラッチ未完了、又はクロックライン無 1: CCXキャプションデータラッチ完了、かつクロックライン有 CC21とID1の2ラインをスライスする場合 0: ID1キャプションデータラッチ未完了 1: ID1キャプションデータラッチ完了 CC21、CCX、ID1のいづれか1ラインのみをスライスする場合 本ビットは無効です。 (*)フラグは垂直同期信号 (Vsep) の立ち下がり で " 0 " にリセットされます。	RO
CPS06/CPS16	スライスラインモード指定ビット	CC21又はCCXをスライスする場合、表15.1を参照ください。 ID1スライスの場合 ビット7, 6 = 00b又は01bを設定してください、 525p(480p) ID1スライスの場合 ビット6, 5 = 01bを設定してください。	RW
CPS07/CPS17			RW

図14.9 キャプション位置レジスタ

表14.1 データスライスラインの指定

CPS0/CPS1		データスライスするフィールド・ライン	スライス電圧発生フィールド・ライン
ビット7	ビット6		
0	0	・F1/F2両フィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21(計1ライン)
0	1	・F1/F2両フィールド ・CPS0/CPS1のビット4~0で指定される1ライン(計1ライン) (注3)	・DSC01/DSC11のビット1で指定されるフィールド ・CPS0/CPS1のビット4~0で指定される1ライン(計1ライン) (注3)
1	0	・F1/F2両フィールド ・ライン21(計1ライン)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21(計1ライン)
1	1	・F1/F2両フィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)

注1. DSC01/DSC11 : データライサ制御レジスタ1

CPS0/CPS1 : キャプション位置レジスタ

2. CPS0/CPS1のビット4~0には" 00₁₆ " ~ " 10₁₆ " の値を設定してください。
3. CPS0/CPS1のビット4~0には" 00₁₆ " ~ " 1F₁₆ " の値を設定してください。

スライス基準電圧選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット時
0 0 0 0 0 0 [][]	SBV0	267 ₁₆ 番地	00 ₁₆
	SBV1	307 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
SVB00/SVB10 SVB01/SVB11	スライス基準電圧選択ビット	b1, b0	RW
0 0		基準電圧発生回路による基準電圧選択	
0 1		内部絶対基準電圧選択	
1 0		CC21は基準電圧発生回路による電圧、 (CCX or ID1) は、内部絶対基準電圧選択	
1 1	設定禁止		
予約ビット		必ず " 0 " を設定してください。	RW

図14.10 スライス基準電圧選択レジスタ

基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータ1,2に入力されます。

(1) 基準電圧発生回路

データスライスライン指定回路で指定されたラインにおけるクロックランインの振幅を用いて基準電圧（スライス電圧）を発生します。VHOLD端子とVSS間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注．データスライサを動作させてからスライス電圧が安定するまで、数十ライン程度のスライス電圧発生ラインが必要です。

この期間、スライスデータは不定となりますのでプログラム作成の際は安定時間を考慮してください。

(2) コンパレータ1

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧（基準電圧）を比較し、コンポジットビデオ信号をデジタル値に変換します。

(3) コンパレータ2

コンポジットビデオ信号の電圧と電源電圧から内部で生成する絶対基準電圧を比較し、コンポジットビデオ信号をデジタル値に変換します。

CCスタートビット・ID1レファレンスビット検出回路

データスライスライン指定回路で決定したラインにおいて、CCスタートビット・ID1レファレンスビットを検出します。

CCスタートビットの場合

データスライスラインの入力パルスのカウントすることでクロックランインパルスを検出します。クロックランインパルスを検出した場合、タイミング発生回路から出力されるサンプリングクロックでスタートビットパターンを検出し、CCスタートビットを判定します。

ID1レファレンスビットの場合

Hsepから一定時間後にタイミング信号発生回路で生成されるウィンドウ中にID1レファレンスビットを検出します。

クロックランイン判定・ID1レファレンスビット回路

クロックランイン判定

データスライスラインの特定ウィンドウ中でパルス数をカウントすることによってクロックランインであることを判定します。クロックランインなしと判定した場合、キャプションデータラッチ完了フラグは1になりません。

また、クロックランインパルス1周期にカウントされる基準クロック数はクロックランイン検出レジスタ（0269₁₆/0309₁₆番地）のビット7～ビット3に格納します。

ID1レファレンスビット判定

ID1レファレンスビットの一定期間中にカウントされる基準クロック数を基準クロック検出レジスタ（0269₁₆/030C₁₆番地）のビット5～0に格納します。

これらのビットはデータスライサ割り込み（「(12)割り込み要求発生回路」）の発生後に読み出してください。

クロックランイン検出レジスタを図14.11、基準クロック検出レジスタを図14.12に示します。

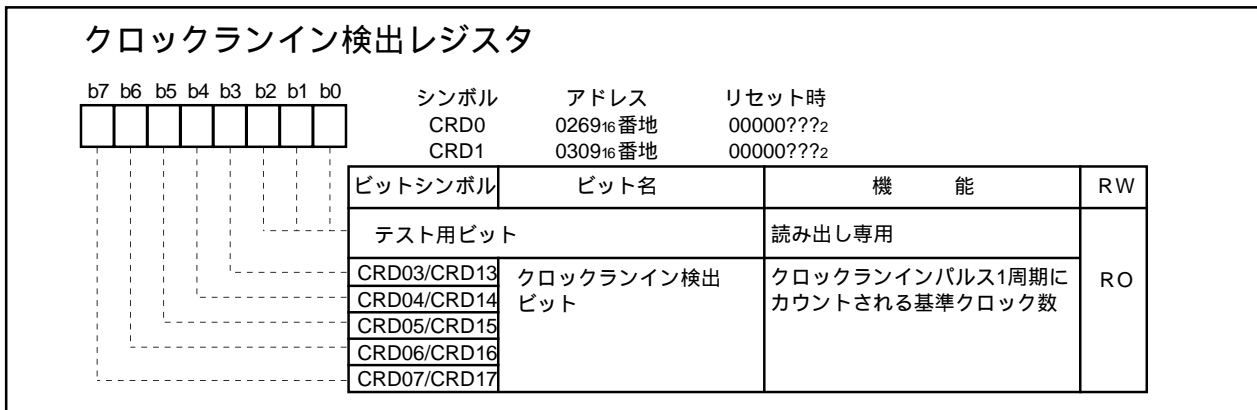


図14.11 クロックランイン検出レジスタ

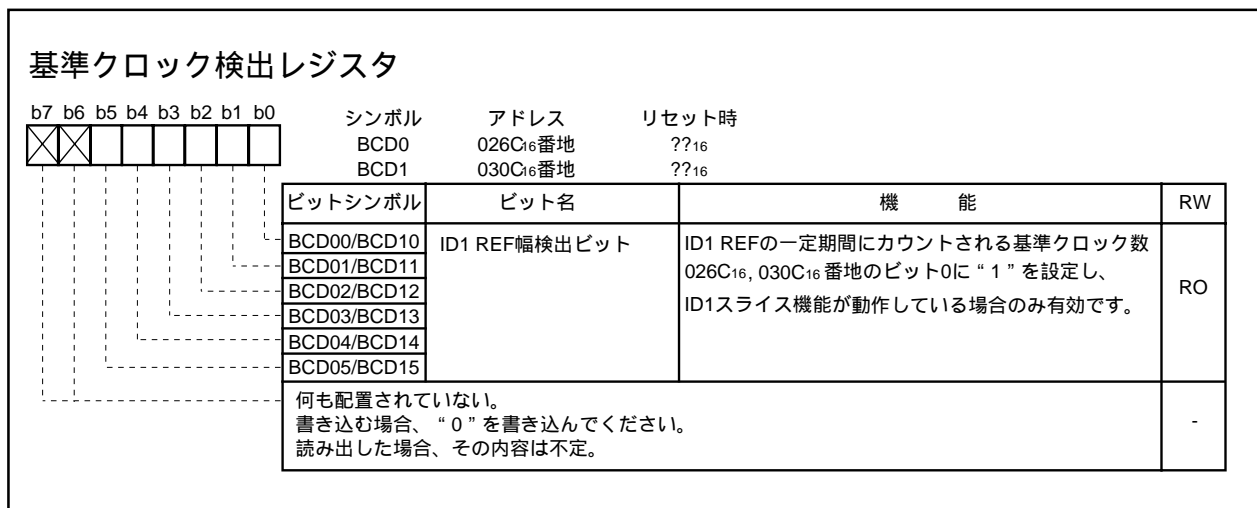


図14.12 基準クロック検出レジスタ

データクロック発生回路

CCデータスライス時

CCスタートビット検出回路で検出されたCCスタートビットに同期し、データクロック位置レジスタ（026A₁₆/030A₁₆番地）により設定された一定のオフセット後にデータクロックを発生します。データクロックはキャプションデータをキャプションレジスタへ格納する為のクロックです。16ビットのデータがキャプションレジスタへ格納され、クロックランイン判定回路でクロックランイン有と判定された場合、キャプションデータラッチ完了フラグがセットされます。

図14.13にデータクロック位置レジスタを示します。

ID1データスライス時

ID1レファレンスビットに同期したデータクロックを発生します。このデータクロックにより、20ビットのデータ中、14ビットデータはキャプションレジスタへ、残りCRCC6ビットデータはCRCCデータレジスタ（026D₁₆/030D₁₆番地）に格納されます。20ビットデータが各々のレジスタに格納されると、キャプションデータラッチ完了フラグがセットされます。

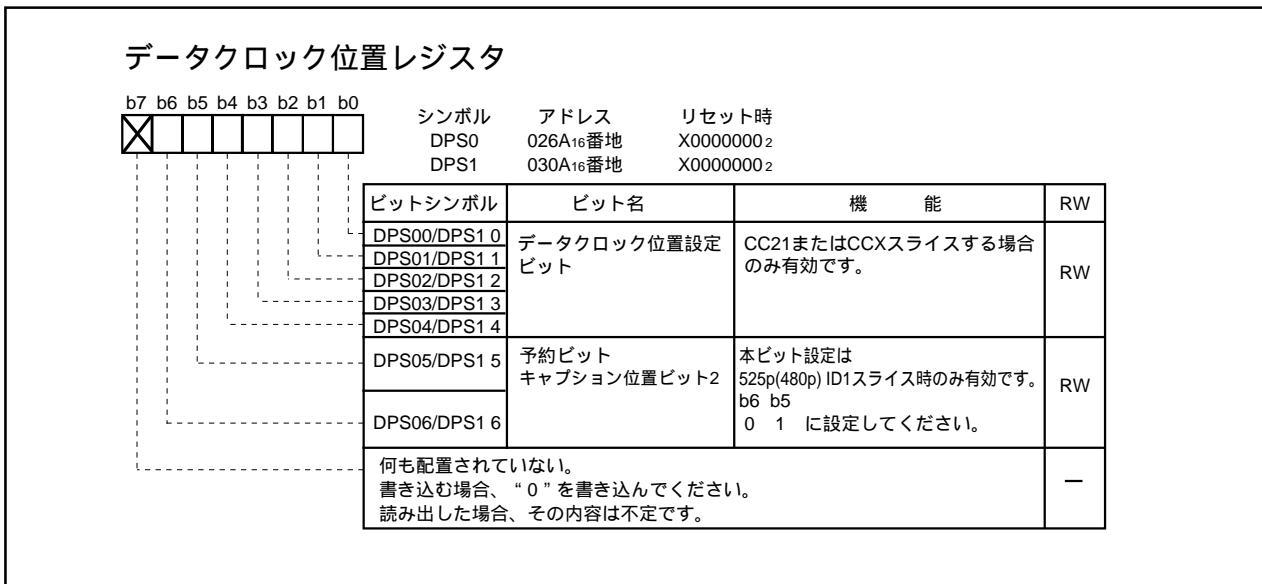


図14.13 データクロック位置レジスタ

キャプションレジスタ及びCRCCデータレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期してキャプションレジスタ及びCRCCデータレジスタに格納されます。格納されたキャプションレジスタ及びCRCCデータレジスタを読み出すことによってデータ内容を得ることができます。これらのレジスタはVsepの立ち下がりで“0”にリセットされます。これらのレジスタは、データスライサ割り込み発生後に読み出してください。

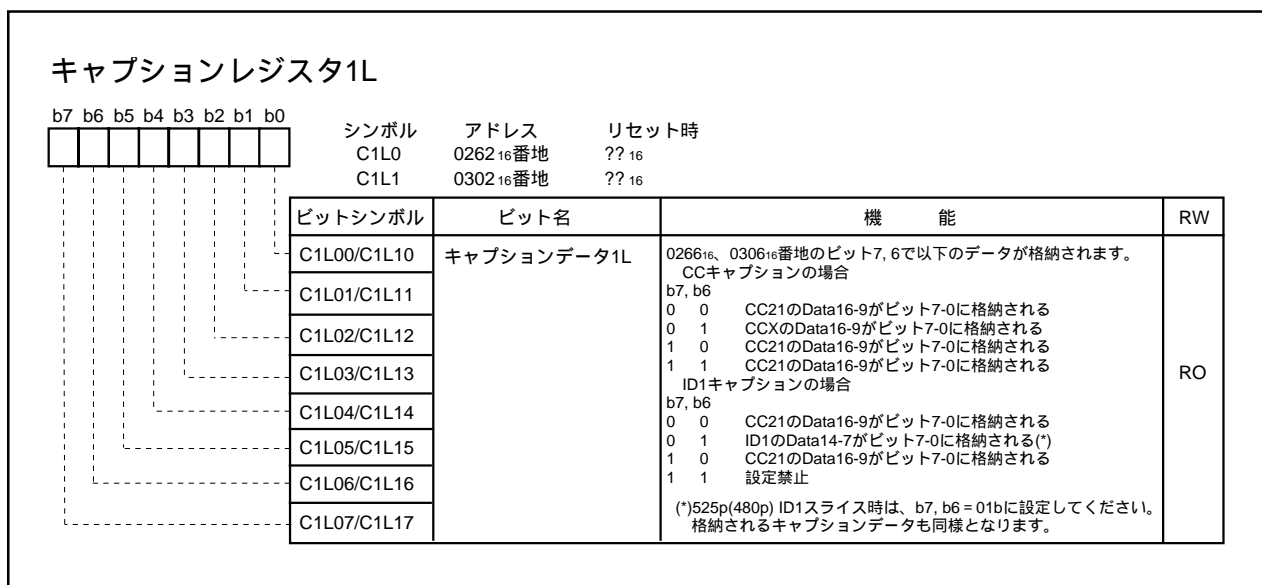


図14.14 キャプションレジスタ1L

キャプションレジスタ1H

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
C1H0	0263 ₁₆ 番地	?? ₁₆
C1H1	0303 ₁₆ 番地	?? ₁₆

ビットシンボル	ビット名	機能	RW
C1H00/C1H10	キャプションデータ1H	0266 ₁₆ 、0306 ₁₆ 番地のビット7, 6で以下のデータが格納されます。 CCキャプションの場合 b7, b6 0 0 CC21のデータ8-1がビット7-0に格納される 0 1 CCXのデータ8-1がビット7-0に格納される 1 0 CC21のデータ8-1がビット7-0に格納される 1 1 CC21のデータ8-1がビット7-0に格納される ID1キャプションの場合 b7, b6 0 0 CC21のデータ8-1がビット7-0に格納される 0 1 ID1のデータ6-1がビット7-2に格納される(*) 1 0 CC21のデータ8-1がビット7-0に格納される 1 1 設定禁止 (*)ビット1, 0の読み出し値は不定です。 525p(480p) ID1スライス時は、b7, b6 = 01bに設定してください。格納されるキャプションデータも同様となります。	RO
C1H01/C1H11			
C1H02/C1H12			
C1H03/C1H13			
C1H04/C1H14			
C1H05/C1H15			
C1H06/C1H16			
C1H07/C1H17			

図14.15 キャプションレジスタ1H

キャプションレジスタ2L

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
C2L0	0264 ₁₆ 番地	?? ₁₆
C2L1	0304 ₁₆ 番地	?? ₁₆

ビットシンボル	ビット名	機能	RW
C2L00/C2L10	キャプションデータ2L	0266 ₁₆ 、0306 ₁₆ 番地のビット7, 6で以下のデータが格納されます。 CCキャプションの場合 b7, b6 0 0 CCXのデータ16-9がビット7-0に格納される 0 1 データは無効です 1 0 データは無効です 1 1 CCXのデータ16-9がビット7-0に格納される ID1キャプションの場合 b7, b6 0 0 ID1のデータ14-7がビット7-0に格納される 0 1 データは無効です 1 0 データは無効です 1 1 設定禁止	RO
C2L01/C2L11			
C2L02/C2L12			
C2L03/C2L13			
C2L04/C2L14			
C2L05/C2L15			
C2L06/C2L16			
C2L07/C2L17			

図14.16 キャプションレジスタ2L

キャプションレジスタ2H

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
C2H0	0265 ₁₆ 番地	?? ₁₆
C2H1	0305 ₁₆ 番地	?? ₁₆

ビットシンボル	ビット名	機能	RW
C2H00/C2H10	キャプションデータ2H	0266 ₁₆ 、0306 ₁₆ 番地のビット7, 6で以下のデータが格納されます。 CCキャプションの場合 b7, b6 0 0 CCXのデータ8-1がビット7-0に格納される 0 1 データは無効です 1 0 データは無効です 1 1 CCXのデータ8-1がビット7-0に格納される ID1キャプションの場合 b7, b6 0 0 ID1のデータ6-1がビット7-2に格納される(*) 0 1 データは無効です 1 0 データは無効です 1 1 設定禁止 (*)ビット1, 0の読み出し値は不定です。	RO
C2H01/C2H11			
C2H02/C2H12			
C2H03/C2H13			
C2H04/C2H14			
C2H05/C2H15			
C2H06/C2H16			
C2H07/C2H17			

図14.17 キャプションレジスタ2H

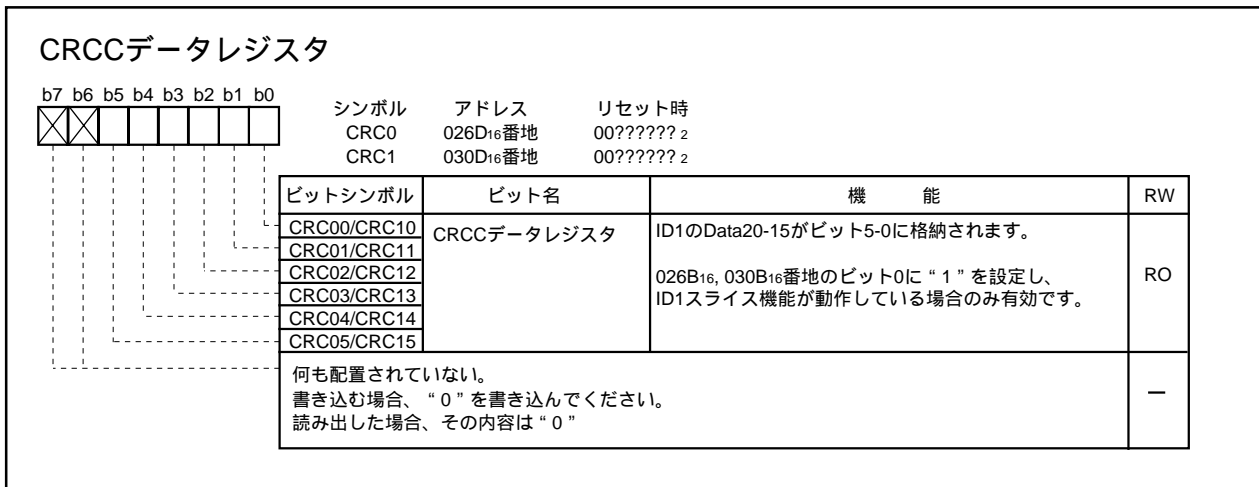


図14.18 CRCCデータレジスタ

割り込み要求発生回路

キャプション位置レジスタ（0266₁₆/0306₁₆番地）のビット7、ビット6の組み合わせによって表14.2に示すように割り込み要求が発生します。キャプションデータレジスタ1、2、CRCCデータレジスタ、及びクロックランイン検出レジスタ、基準クロック検出レジスタの内容は、データスライサ割り込み要求発生後に読み出してください。

表14.2 割り込み要求発生要因

キャプション位置レジスタ		データスライスライン終了時割り込み要求
ビット7	ビット6	
0	0	ライン21スライス後
0	1	キャプション位置レジスタビット4~0で指定される1ライン後（注）
1	0	ライン21スライス後
1	1	ライン21スライス後

注．525p(480p)時キャプション位置レジスタビット4~0及びデータクロック位置レジスタビット6,5で指定される1ライン後となります。

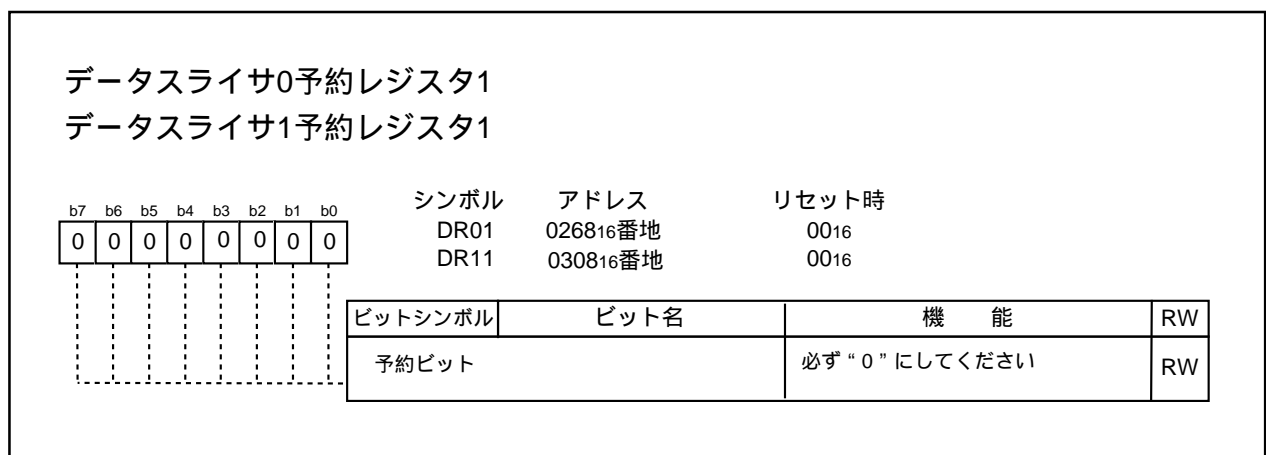


図14.19 データスライサi予約レジスタ1 (i=1, 2)

ID1データスライス

ID1データをスライスする場合、図14.20のID1制御レジスタの設定が必要です。



図14.20 ID1制御レジスタ

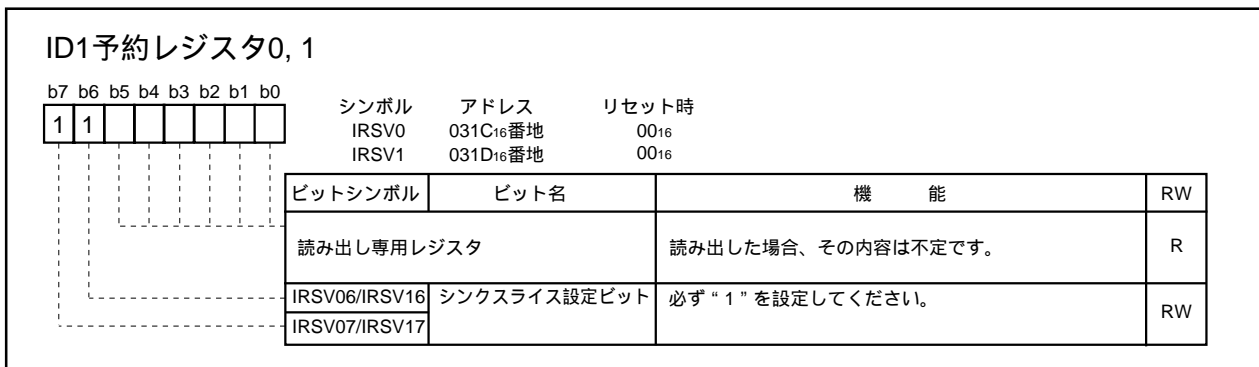


図14.21 ID1予約レジスタ

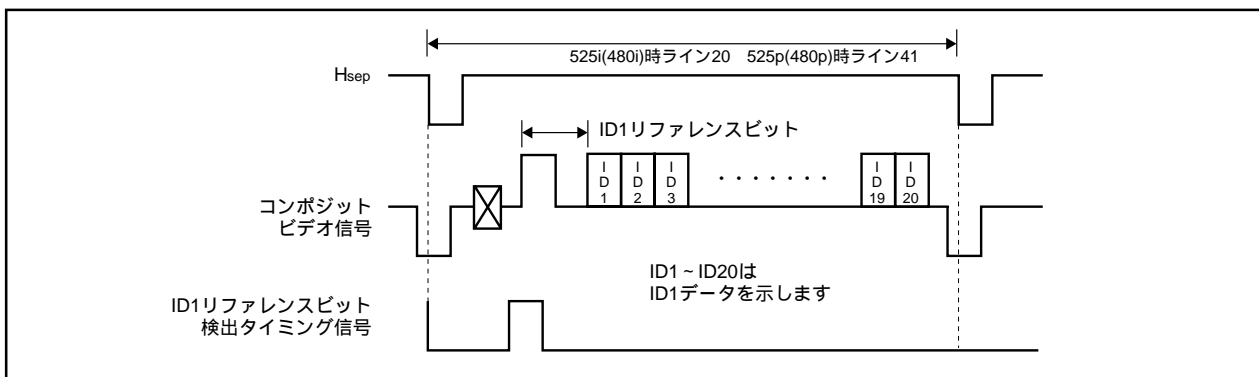


図14.22 垂直帰線期間中のID1信号

HSYNCカウンタ

HSYNCカウンタは、HSYNCカウント入力端子（HC0, HC1）から入力された信号をカウントソースとしてカウントします。

システムクロックを分周した一定時間（T時間 = 1024 μ s, 2048 μ s, 4096 μ s, 8192 μ s,）のカウント値が、8ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウント値が“FF₁₆”を越えた場合は、“FF₁₆”がラッチに格納されます。

ラッチの値は、HSYNCカウンタラッチ（027F₁₆番地）を読み出すことによって得ることができます。カウントソース及びカウント更新周期（T時間）は、同期信号カウンタレジスタのビット0, ビット3, ビット4によって選択します。

図15.1にHSYNCカウンタレジスタを、図15.2にHSYNCカウンタのブロック図を示します。

注．HSYNCカウンタラッチは読み出し専用のレジスタです。

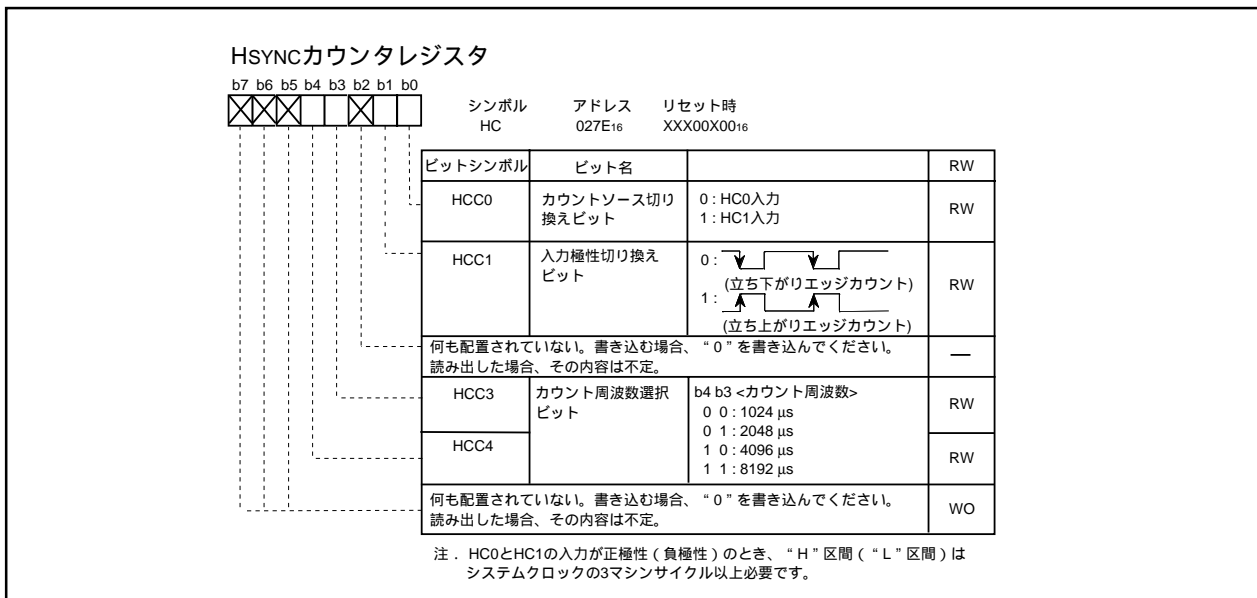


図15.1 HSYNCカウンタレジスタ

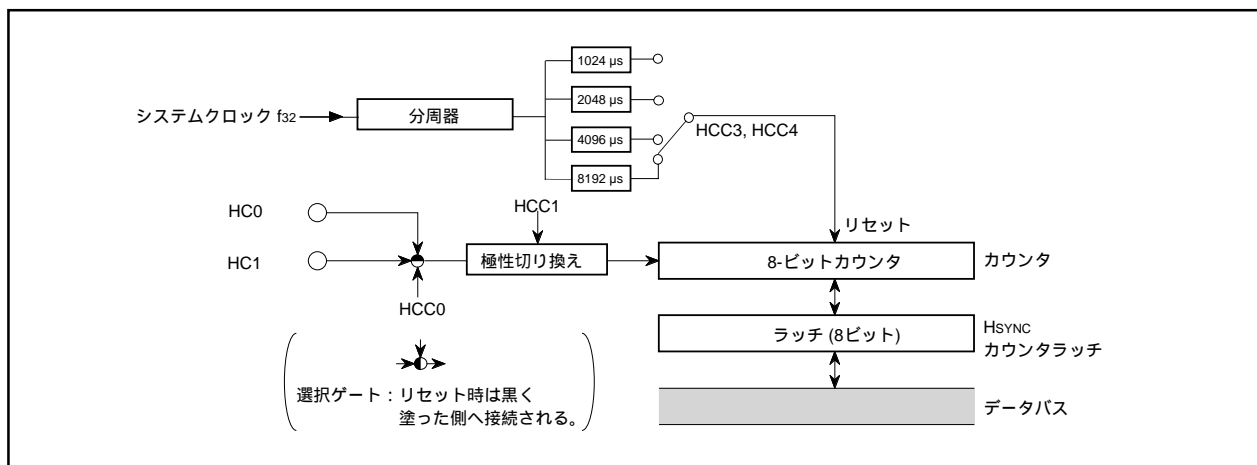


図15.2 HSYNCカウンタのブロック図

OSD機能

OSD機能の概要を表16.1に示します。OSD機能には、32文字×16行又は42文字×16行が画面単位に選択できるブロック表示と、1文字のスプライト表示があり、それらは同時に表示できます。さらにブロック表示は、ブロックコントロールレジスタ*i* ($i=1\sim 16$)によって、ブロック単位に3つの表示モードが選択できます。各表示の特長を下図に示します。

注. OSD機能使用時、BCLKの動作モードは“分周なしモード”を選択し、またメインクロック周波数を $f(XIN) = 16\text{MHz}$ にしてください。

表16.1 各表示スタイルの特長

表示スタイル 項目	ブロック表示					スプライト表示
	CCモード (グラフィックモード)	OSDモード (オンスクリーンディスプレイモード)			CDOSDモード (グラフィックオン ディスプレイモード)	
		OSDSEモード	OSDPEモード	OSDLEモード		
表示文字数	32文字×16行 / 42文字×16行					1文字×2行
ドット構成	16×20ドット (文字表示領域は16×26ドット)	16×20ドット 12×20ドット 8×20ドット 4×20ドット	24×32ドット	16×26ドット	32×20ドット	
文字ROM 種類	OSDL 許可モード	254種類		254種類	126種類	RAMフォント2種類
	OSDL 禁止モード	508種類	254種類	—		
文字サイズ(注1)	4種類	14種類	12種類		14種類	8種類
プリ分周比	1倍, 2倍	1倍, 2倍, 3倍				1倍, 2倍
ドットサイズ	1Tc×1/2H, 1Tc×1H	1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H		1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H, 1Tc×1H, 2Tc×1H, 2Tc×2H
アトリビュート	スムーズイタリック, アンダーライン, フラッシュ(点滅)	フチドリ		—		
キャラクタフォント 着色	1画面8種類(文字単位) 最大512種類	1画面16種類(文字単位) 最大512種類			1画面16種類 (ドット単位) (指定ドットのみ文字 単位に着色可能) 最大512種類	1画面16種類 (ドット単位) 最大512種類
文字背景着色	可能 (文字単位, 1画面4種類, 最大512種類)	可能 (文字単位, 1画面16種類, 最大512種類)			—	
表示レイヤ	レイヤ1	レイヤ1, 2	レイヤ1	レイヤ1, 2		レイヤ3(最優先表示)
OSD出力(注2)	アナログR, G, B出力(各8階調512色), デジタルOUT1, OUT2出力					
ラスター着色	可能(画面単位, 最大512種類)					
他機能(注3)	オートリッドスキャン機能	トリプルレイヤOSD機能, ウィンドウ機能, ブランク機能				
拡張表示(多行表示)	可能					

- 注1. 文字サイズはドットサイズとプリ分周比によって指定します。「ドットサイズ」を参照してください。
 2. スプライト表示はOUT2を出力しません。
 3. スプライト表示では、ウィンドウ機能は動作しません。

OSD回路には拡張表示モードがあり、1行表示するごとに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、16行以上の多行表示を行うことができます。

図16.1に各表示スタイルの表示可能なフォントを、図16.2にOSD回路のブロック図を示します。また、図16.3にOSDコントロールレジスタ1を、図16.4にブロックコントロールレジスタiを示します。

表示スタイル	表示可能なフォント	
CCモード		ブランク領域 アンダーライン領域 ブランク領域
OSDSモード		
OSDPモード		
OSDLモード		
CDOSDモード		
スプライト		

*: 文字コード限定
 **: フラッグフォント

図16.1 各表示スタイルの表示可能なフォント

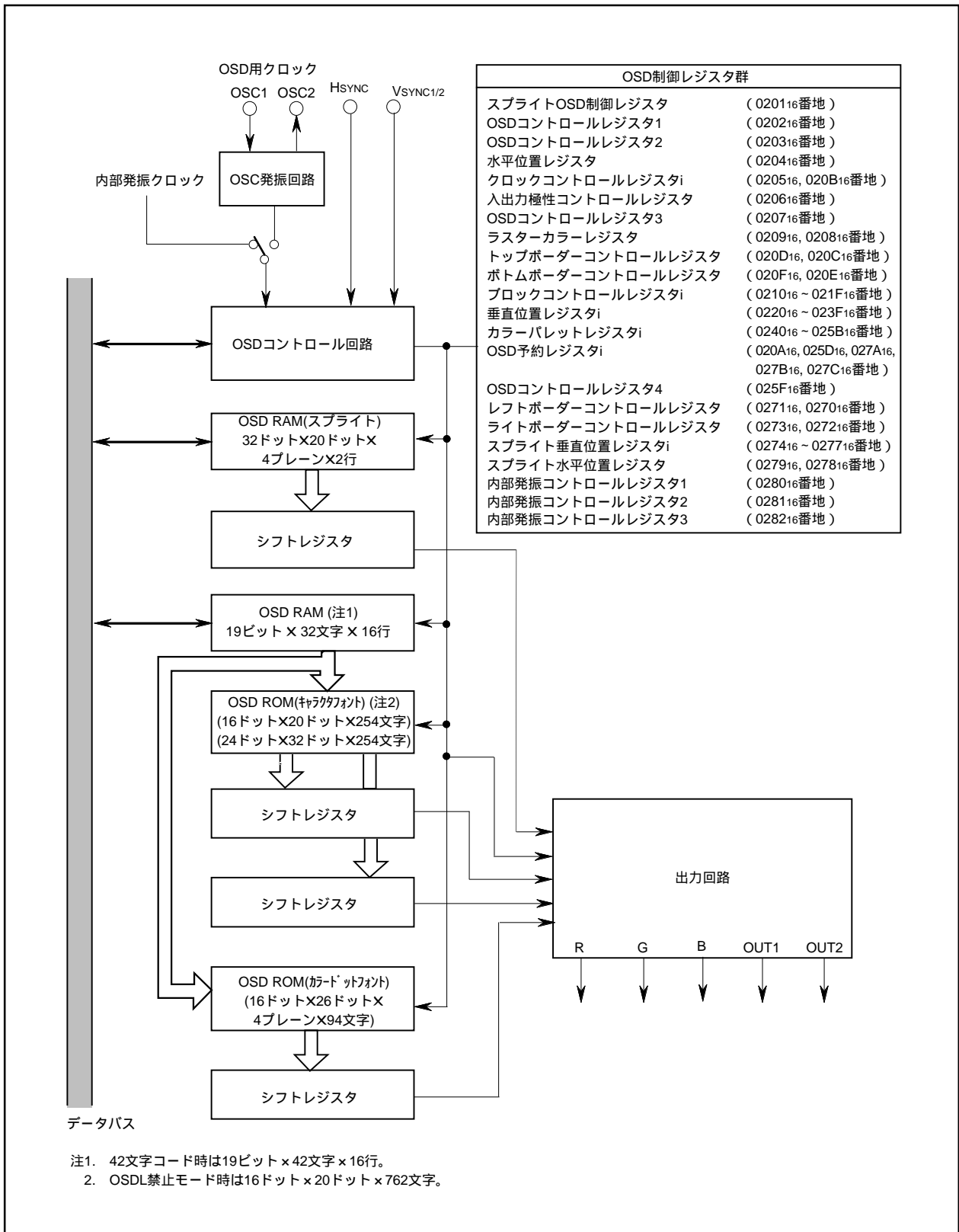


図16.2 OSD回路ブロック図

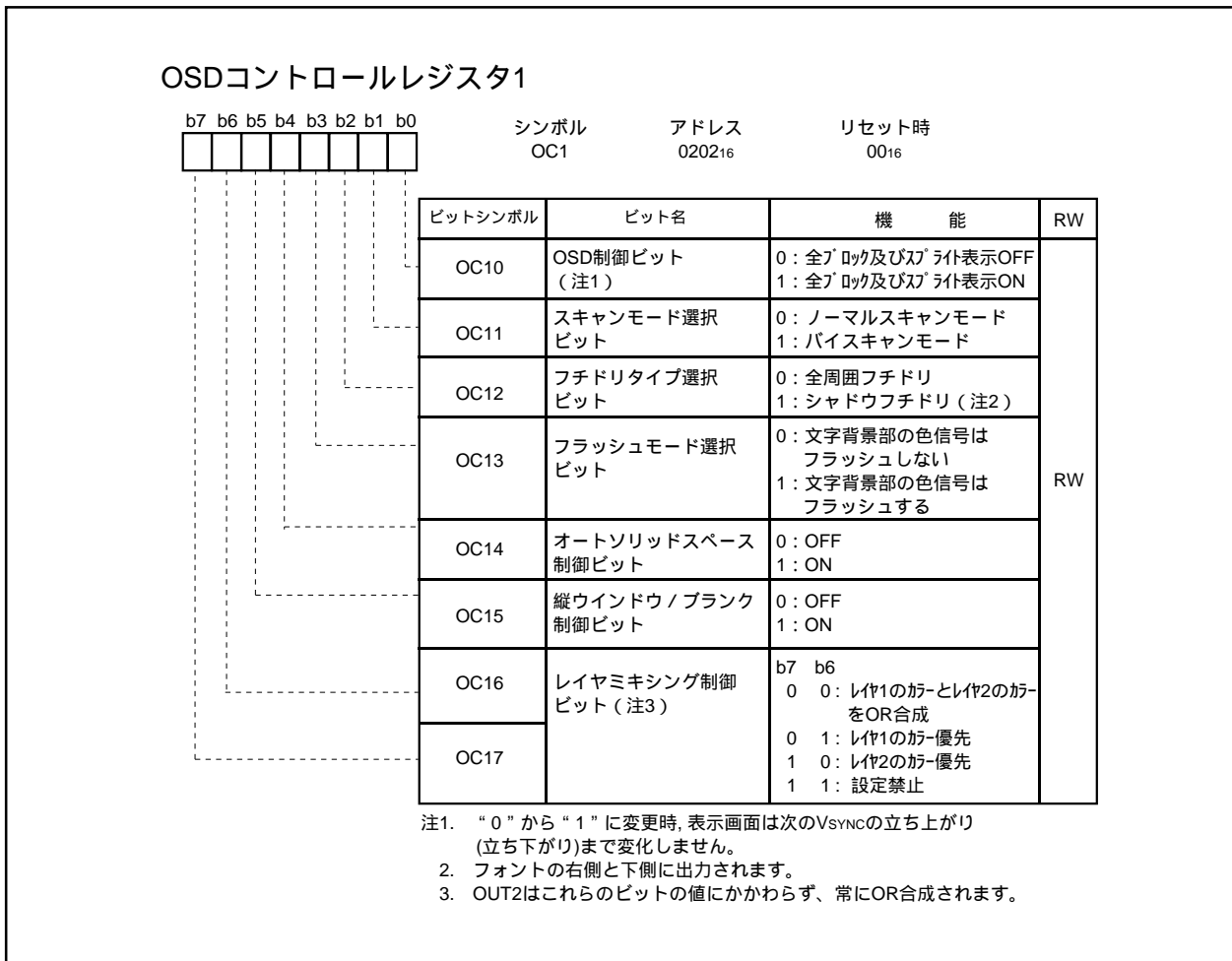


図16.3 OSDコントロールレジスタ1

ブロックコントロールレジスタ*i*

b7 b6 b5 b4 b3 b2 b1 b0

X							
---	--	--	--	--	--	--	--

シンボル アドレス リセット時

BCi(i=1 ~ 16) 0210₁₆ ~ 021F₁₆ 不定

ビットシンボル	ビット名	機 能				RW			
BCi_0 BCi_1 BCi_2	表示モード選択 ビット	b2	b1	b0	機 能	RW			
		0	0	0	表示OFF				
		0	0	1	OSDSE-ド (フチドリ無)				
		0	1	0	CCF-ド				
		0	1	1	CDOSDE-ド				
		1	0	0	OSDPF-ド (フチドリ無)				
		1	0	1	OSDSE-ド (フチドリ有)				
BCi_3 BCi_4	ドットサイズ選択 ビット	b6	b5	b4	b3	プリ分周比	ドットサイズ	RW	
		0	0	0	0	1倍	1Tc x 1/2H		1Tc x 1H 2Tc x 2H 3Tc x 3H
		0	0	0	1				
		0	1	0	0				
0	1	1	0						
BCi_5 BCi_6	プリ分周比選択 ビット	1	1	0	0	2倍	1Tc x 1/2H	1.5Tc x 1/2H(注3, 4) 1.5Tc x 1H(注3, 4)	
		1	1	0	1				
		1	0	1	0		3倍		1Tc x 1/2H
1	0	1	1	1Tc x 1H 2Tc x 2H 3Tc x 3H					
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。						-			

注1. Tc: プリ分周したOSD用クロック周期
 2. H: Hsync
 3. この文字サイズはレイヤ2でのみ選択可能です。このときレイヤ1は、プリ分周比を2倍、水平ドットサイズを1Tcにしてください。
 4. OSDLモード、OSDPモードでは1.5Tcサイズは使用できません。

図16.4 ブロックコントロールレジスタ*i* (i = 1 ~ 16)

トリプルレイヤOSD

チャンネルやボリュームなどの表示、クローズドキャプション、及びスプライト表示を3重に重ねて表示できるように、レイヤ1からレイヤ3の3層の表示面を備えています。

各ブロックをどのレイヤに表示するかは、表示モード単位にOSDコントロールレジスタ2のビット0及びビット1で選択します（図16.7参照）。レイヤ3には、常にスプライトが表示されます。

レイヤ1のブロックとレイヤ2のブロックが重なった場合、OSDコントロールレジスタ1のビット7及びビット6で指定されるレイヤミキシングによって、画面が合成されます（図16.5参照）。レイヤ3は常にレイヤ1、レイヤ2に優先して表示されます。

- レイヤ1とレイヤ2のミキシングを行う場合、表16.2の制限事項に注意してください。
- OSDPモードは常にレイヤ1に表示されます。また、レイヤ2のブロックと重ねて表示することはできません。
- OUT2はOSDコントロールレジスタ1のビット6、ビット7の値にかかわらず、常にOR合成されます。また、OUT2（レイヤ1又はレイヤ2）はスプライト表示（レイヤ3）と重なった場合でも、マスクされずに出力されます。

表16.2 レイヤ1とレイヤ2のミキシングを行う場合の制限事項

項目	ブロック	レイヤ1のブロック	レイヤ2のブロック
表示モード		CC, OSDS/L, CDOSDモード	OSDS/L, CDOSDモード
プリ分周比		1倍, 2倍(CCモード時) 1倍~3倍(OSD, CDOSDモード時)	レイヤ1と同一
ドットサイズ		1Tc×1/2H, 1Tc×1H (CCモード時)	プリ分周比1倍時 1Tc×1/2H 1Tc×1H
			プリ分周比2倍時 1Tc×1/2H, 1.5Tc×1/2H 1Tc×1H, 1.5Tc×1H
		1Tc×1H, 1Tc×1/2H, 2Tc×2H, 3Tc×3H (OSDS/L, CDOSDモード時)	・レイヤ1と同一サイズ ・レイヤ1のプリ分周比=2倍、かつレイヤ1の水平ドットサイズ=1Tc時に限り、水平ドットサイズ1.5Tcが選択可能。このとき、垂直ドットサイズはレイヤ1と同一サイズ
水平表示開始位置		任意	レイヤ1と同一位置
垂直表示開始位置		任意 ただし、ドットサイズが2Tc×2H, 3Tc×3Hの場合は、レイヤ1とレイヤ2の垂直表示開始位置の差を以下のように設定してください。 ・2Tc×2H：2H単位 ・3Tc×3H：3H単位	

注. OSDLモードでは1.5Tcサイズは使用できません。

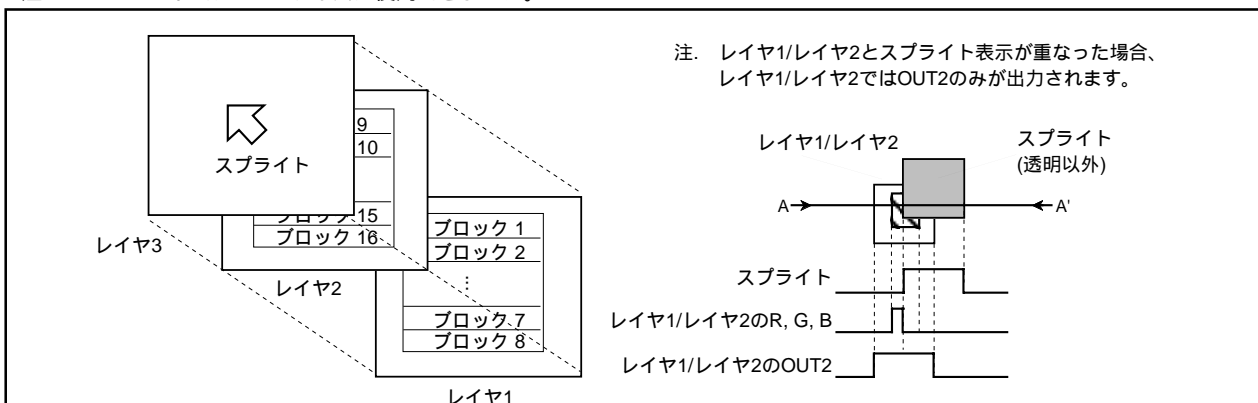




図16.5 トリプルレイヤOSD


レイヤ1に “HELLO” , レイヤ2に “CH5” を表示した例



レイヤ1とレイヤ2のカラーをOR合成(注)
OC17= “ 0 ”, OC16= “ 0 ”



レイヤ1のカラー優先
OC17= “ 0 ”, OC16= “ 1 ”



レイヤ2のカラー優先
OC17= “ 1 ”, OC16= “ 0 ”

注. レイヤミキシングのOR合成は、カラーパレットレジスタの内容（色）ではなく、カラーパレットレジスタ NO. (i) が OR合成されます。例えば、カラーパレット1と4をOR合成すると、NO.1(0001₂)と、NO.4(0100₂)がOR合成され、NO. は NO.5 (0101₂) となります。つまり、カラーパレットレジスタ5の内容（色）が出力されます。OR合成部分は、カラーパレットレジスタ1、4の色に関係なく、カラーパレットレジスタ5の色が出力されます。

図16.6 レイヤミキシングOSD表示例

OSDコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シンボル
OC2

アドレス
0203₁₆

リセット時
00₁₆

ビットシンボル	ビット名	機 能				RW	
		b1	b0	レイヤ1	レイヤ2		
OC20	表示レイヤ選択ビット	0	0	CC, OSDS/L/P, CDOSD	—	RW	
		0	1	CC, OSDS/L/P	CDOSD		
		1	0	CC, OSDP, CDOSD	OSDS/L		
		1	1	CC, OSDP	CDOSD OSDS/L		
OC22	R, G, B信号出力 選択ビット	0 : デジタル出力 1 : アナログ出力 (8階調)					RW
OC23	ソリッドスペース 出力ビット	0 : OUT1出力 1 : OUT2出力					
OC24	横ウインドウ/ ブランク制御ビット	0 : 動作しない 1 : 動作する					
OC25	ウインドウ/ブランク 選択ビット1(横)	0 : 横ブランク機能 1 : 横ウインドウ機能					
OC26	ウインドウ/ブランク 選択ビット2(縦)	0 : 縦ブランク機能 1 : 縦ウインドウ機能					
OC27	OSD割り込み要求 選択ビット	0 : レイヤ1のブロック表示終了時 1 : レイヤ2のブロック表示終了時					

図16.7 OSDコントロールレジスタ2

表示位置

文字の表示位置はブロック単位で指定します。

ブロックはブロック1～ブロック16まで16あり、1つのブロックには最大32文字（32文字モード時）/42文字（42文字モード時）まで表示できます（後述「OSD用メモリ」を参照してください）。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向は全ブロック共通で4Tosc（Tosc：OSD発振周期）単位で256段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに1Th（Th：水平同期信号周期）単位で1024段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

同レイヤ内で表示位置が他のブロックと重なった場合（図16.8の(b)）、ブロック番号（1～16）の若い（小さい）が前面に表示されます。

同レイヤ内で1つのブロック表示中に、他のブロックの表示開始位置がきた場合（図16.8の(c)）は垂直表示開始位置の設定値が大きい方が表示されます。ただし、ドットサイズが2Tc×2Hと3Tc×3Hのブロックは他のブロックの表示期間中*に表示させないでください。

* OSDS/Pモードブロックの場合：垂直表示開始位置から垂直20ドット

* OSDLモードブロックの場合：垂直表示開始位置から垂直32ドット

* CC・CDOSDモードブロックの場合：垂直表示開始位置から垂直26ドット

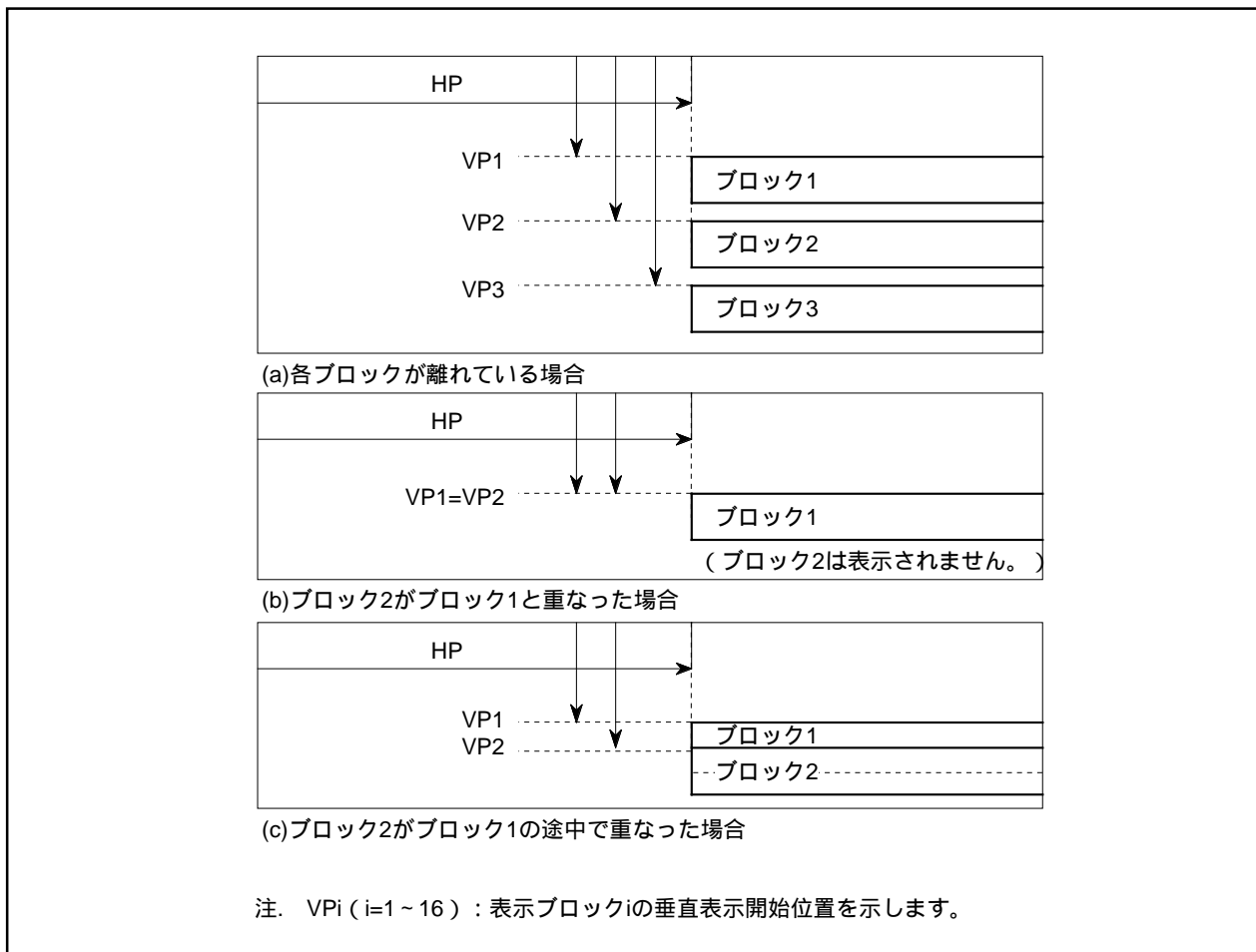


図16.8 表示位置

垂直方向の表示位置は水平同期信号（HSYNC）をカウントすることによって確定されます。この際、VSYNC、HSYNC信号が正極性（負極性）入力の場合VSYNC信号の立ち上がり（立ち下がり）エッジから一定期間後にHSYNC信号の立ち上がり（立ち下がり）エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC信号の立ち上がり（立ち下がり）エッジからHSYNC信号の立ち上がり（立ち下がり）エッジまでの間隔は充分（ $2 \times \text{BCLK}$ 以上）とるようにしてください。HSYNC信号及びVSYNC信号の極性は、入出力極性コントロールレジスタ（0206₁₆番地）によって正極性、負極性のいずれかを選択できます。

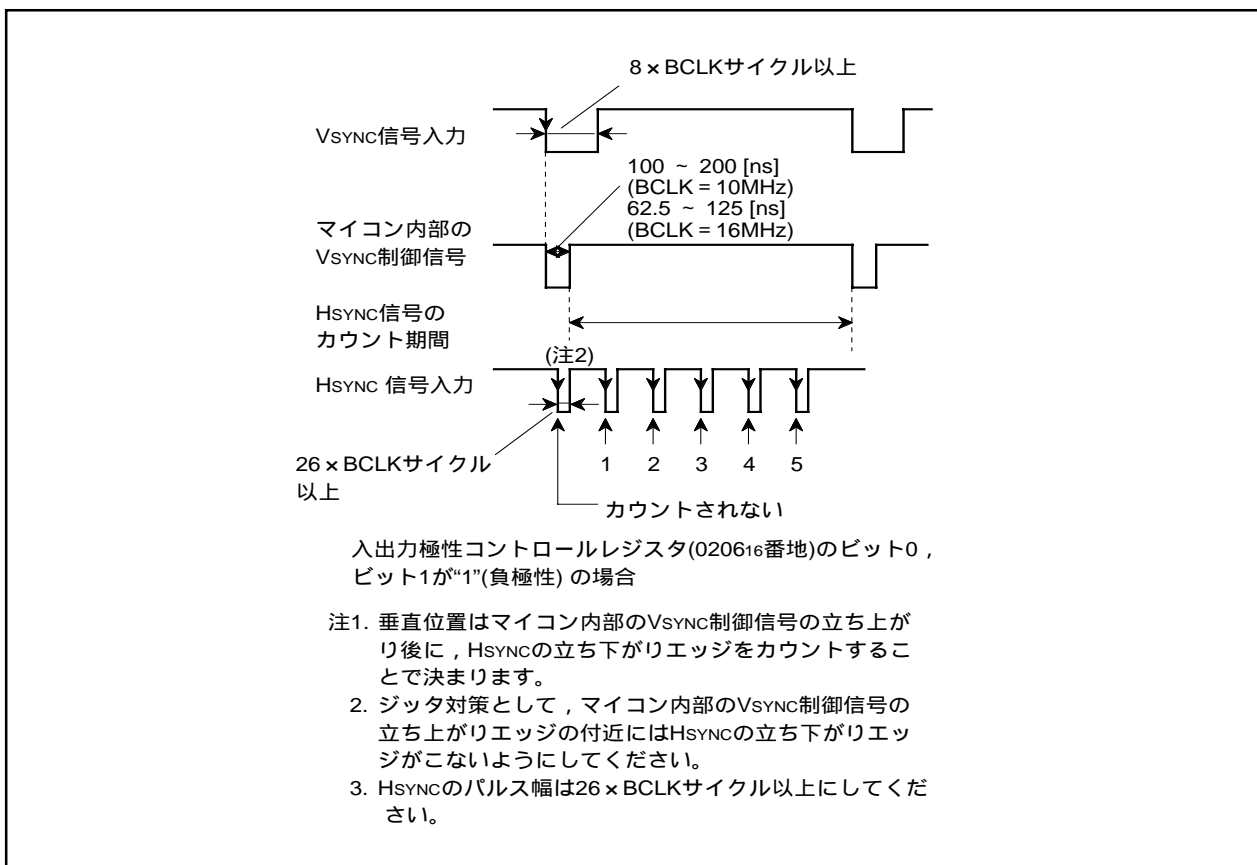


図16.9 表示位置補足説明

垂直位置はブロックごとに垂直位置レジスタ i ($i=1\sim 16$) (0220₁₆~023F₁₆番地)に“002₁₆”~“3FF₁₆”の値を設定することにより、1024段階(1段階あたり1TH (TH:水平同期信号周期))の設定ができます。図16.10に垂直位置レジスタ i ($i=1\sim 16$)を示します。

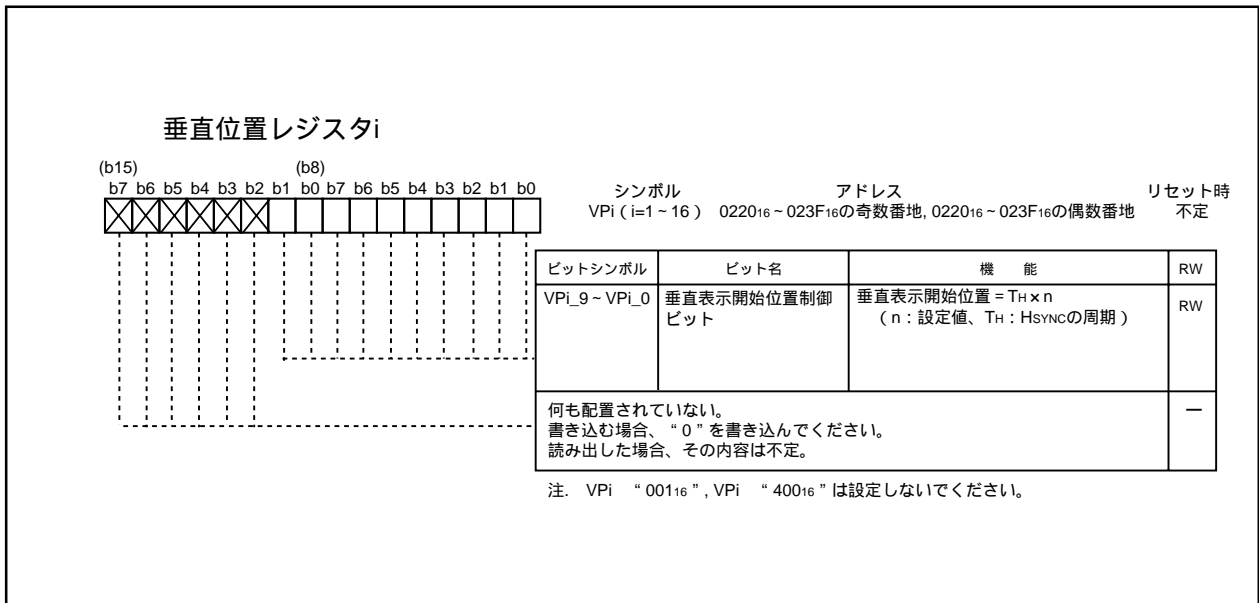


図16.10 垂直位置レジスタ i ($i=1\sim 16$)

水平位置は全ブロック共通で、水平位置レジスタ (0204₁₆番地)のビット0~ビット7に“00₁₆”~“FF₁₆”の値を設定することにより、256段階(1段階あたり4Tosc (Tosc: OSD発振周期))の設定ができます。図16.11に水平位置レジスタを示します。

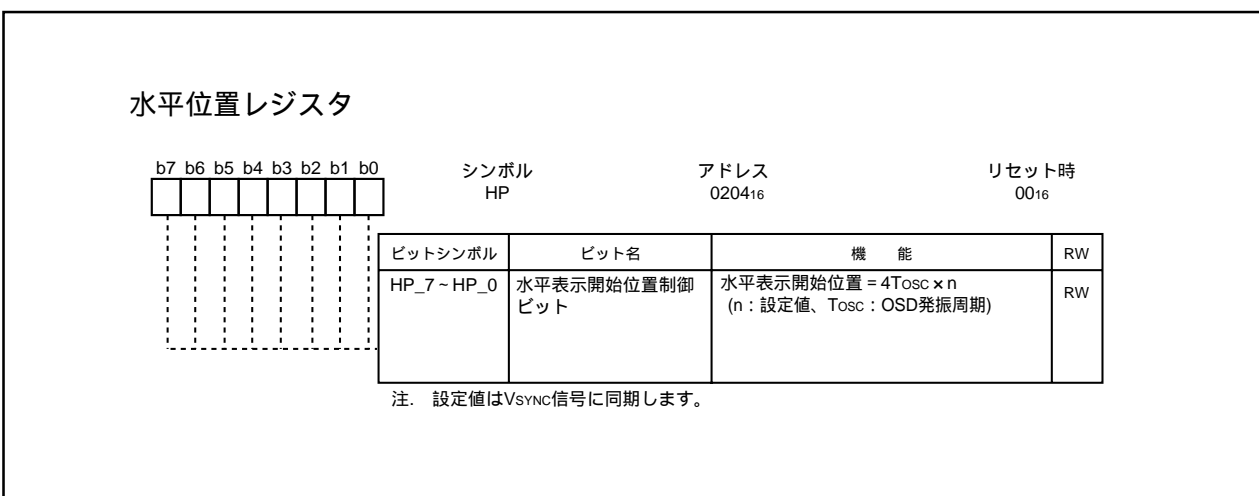


図16.11 水平位置レジスタ

注．水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、 $1T_c$ (T_c : プリ分周したOSD用クロック周期) の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。

通常この差は、文字サイズにかかわらず、常に $1T_c$ ですが、プリ分周比2倍で文字サイズ $1.5T_c$ を選択した場合に限り、この差は $1.5T_c$ となります。

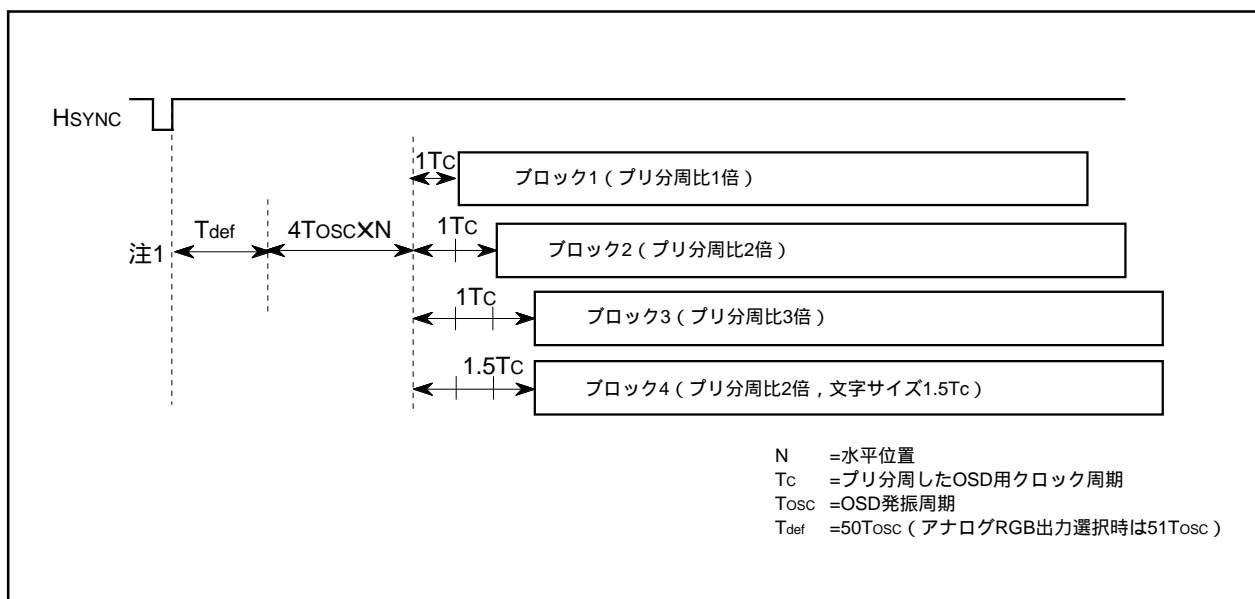


図16.12 水平表示開始位置の注意点

OSD用クロック

OSDに使用するクロックは、以下の3種類の中から選択することができます。

- ・内部発振器から出力される内部発振クロック
- ・OSC1端子から供給されるLC発振からのクロック
- ・OSC1端子から供給されるセラミック共振子（又は水晶発振子）からのクロック

OSD用クロックは、クロックコントロールレジスタ*i* (*i*=1~2) によってクロックソースを選択し、内部発振クロックを選択した場合は、内部発振コントロールレジスタ*i* (*i*=1~3) で発振周波数を選択します。

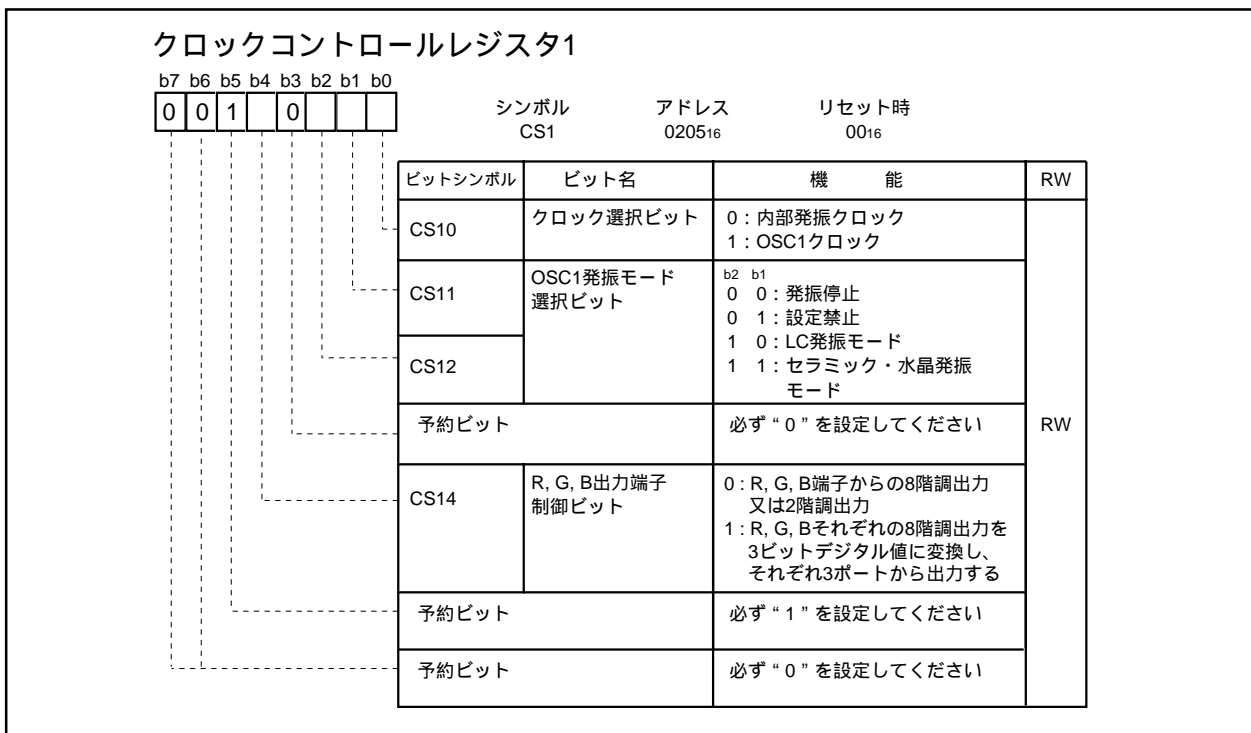


図16.15 クロックコントロールレジスタ1

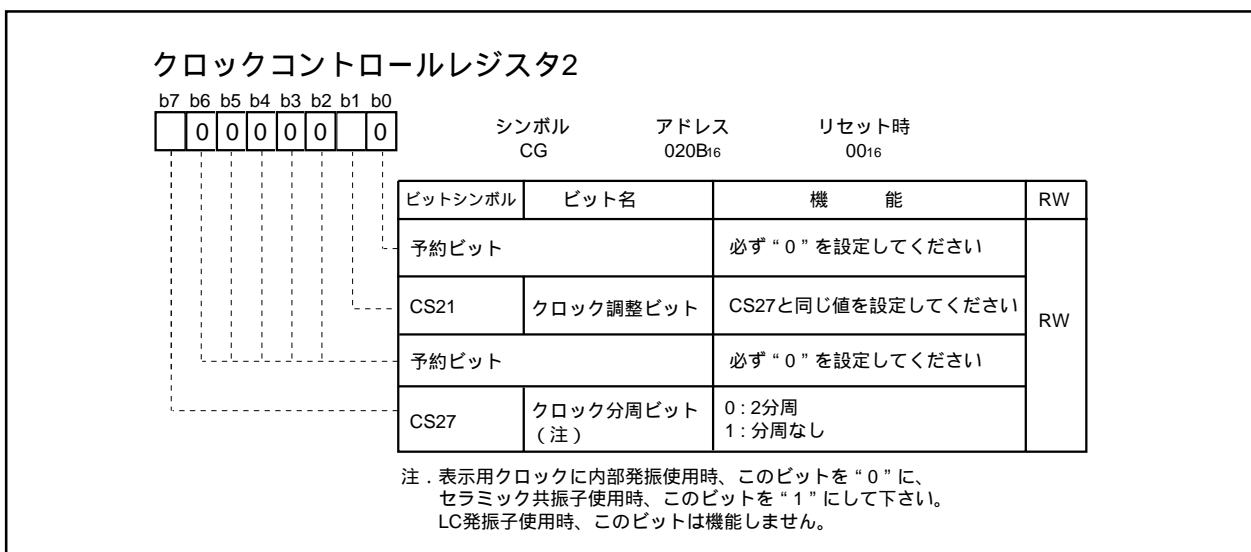


図16.16 クロックコントロールレジスタ2

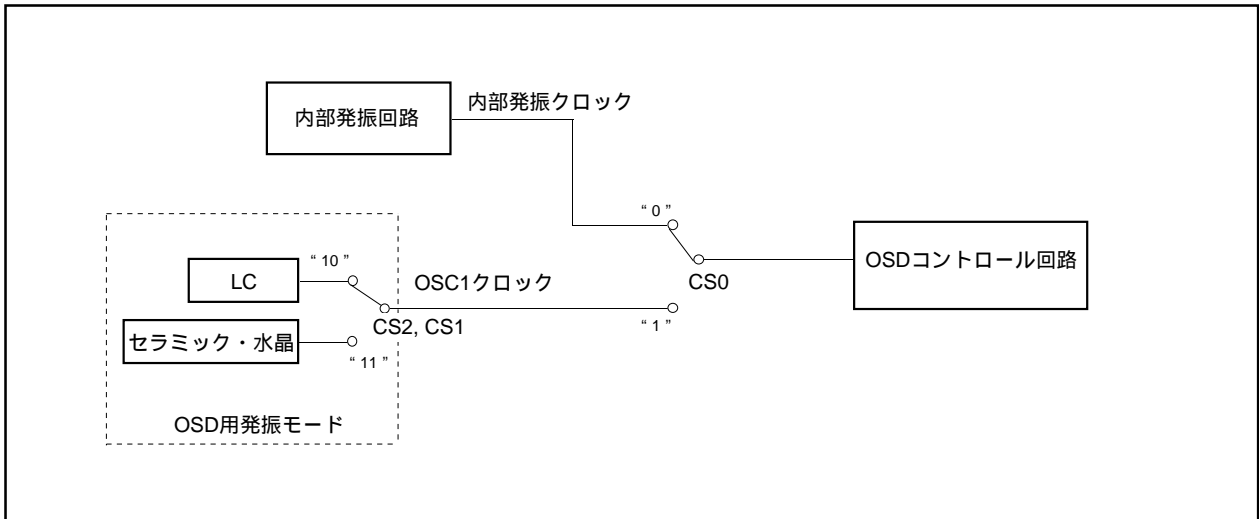


図16.17 OSD用クロックの選択回路のブロック図

内部発振コントロールレジスタ1 (注)

b7 b6 b5 b4 b3 b2 b1 b0
 0 0

シンボル
DIV0アドレス
0280番地リセット時
00₁₆

ビットシンボル	ビット名	機能	RW
DIV00	基準クロック分周ビット	00111 ₂ 又は00110 ₂ を設定してください	RW
DIV01			
DIV02			
DIV03			
DIV04			
DIV05			
予約ビット		必ず“0”を設定してください	

内部発振コントロールレジスタ2 (注)

b7 b6 b5 b4 b3 b2 b1 b0
 0

シンボル
DIV1アドレス
0281番地リセット時
00₁₆

ビットシンボル	ビット名	機能	RW
DIV10	内部発振周波数選択ビット	内部発振周波数 = $n \cdot 4(N + 1)/(m + 1)$ (MHz) N : DIV16 ~ DIV10で表される値 m : DIV04 ~ DIV00で表される値 n : VCO05/04で設定された値 VCO01 = “0” のとき, N = 3B ₁₆ - 7F ₁₆ , m = 06 ₁₆ , n = 2を、 VCO01 = “1” のとき, N = 27 ₁₆ - 3B ₁₆ , m = 07 ₁₆ , n = 1を 設定してください。	RW
DIV11			
DIV12			
DIV13			
DIV14			
DIV15			
DIV16			
予約ビット		必ず“0”を設定してください	

内部発振コントロールレジスタ3 (注)

b7 b6 b5 b4 b3 b2 b1 b0
 0 0 0 0

シンボル
VCOアドレス
0282番地リセット時
00₁₆

ビットシンボル	ビット名	機能	RW
VCO00	内部発振回路動作ビット	0 : 内部発振回路動作OFF 1 : 内部発振回路動作ON	RW
VCO01	内部発振回路動作ビット	0 : 30MHz ~ 65MHz用発振回路選択 1 : 20MHz ~ 30MHz用発振回路選択	
VCO02	発振特性切換ビット	(b3, b2) = (0, 0)に固定してください	
VCO03			
VCO05/04	VCO01が“0”の時、(b5, b4) = (1, 0)に固定してください。 VCO01が“1”の時、(b5, b4) = (0, 0)に固定してください。		
予約ビット		必ず“0”を設定してください	

注 . ジッターが発生する恐れがあるため、これらレジスタに表示中アクセスしないで下さい。

図16.18 内部発振コントロールレジスタ

フィールド判別表示

垂直ドットサイズ = 1/2Hのブロックの表示は、インターレイス方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1（図16.20参照）を交互に表示します。

以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち上がりエッジからマイコン内部のVSYNC制御信号（図16.9を参照）の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のVSYNC制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ（入出力極性コントロールレジスタ；0206₁₆番地のビット7）で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます（図16.19参照）。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

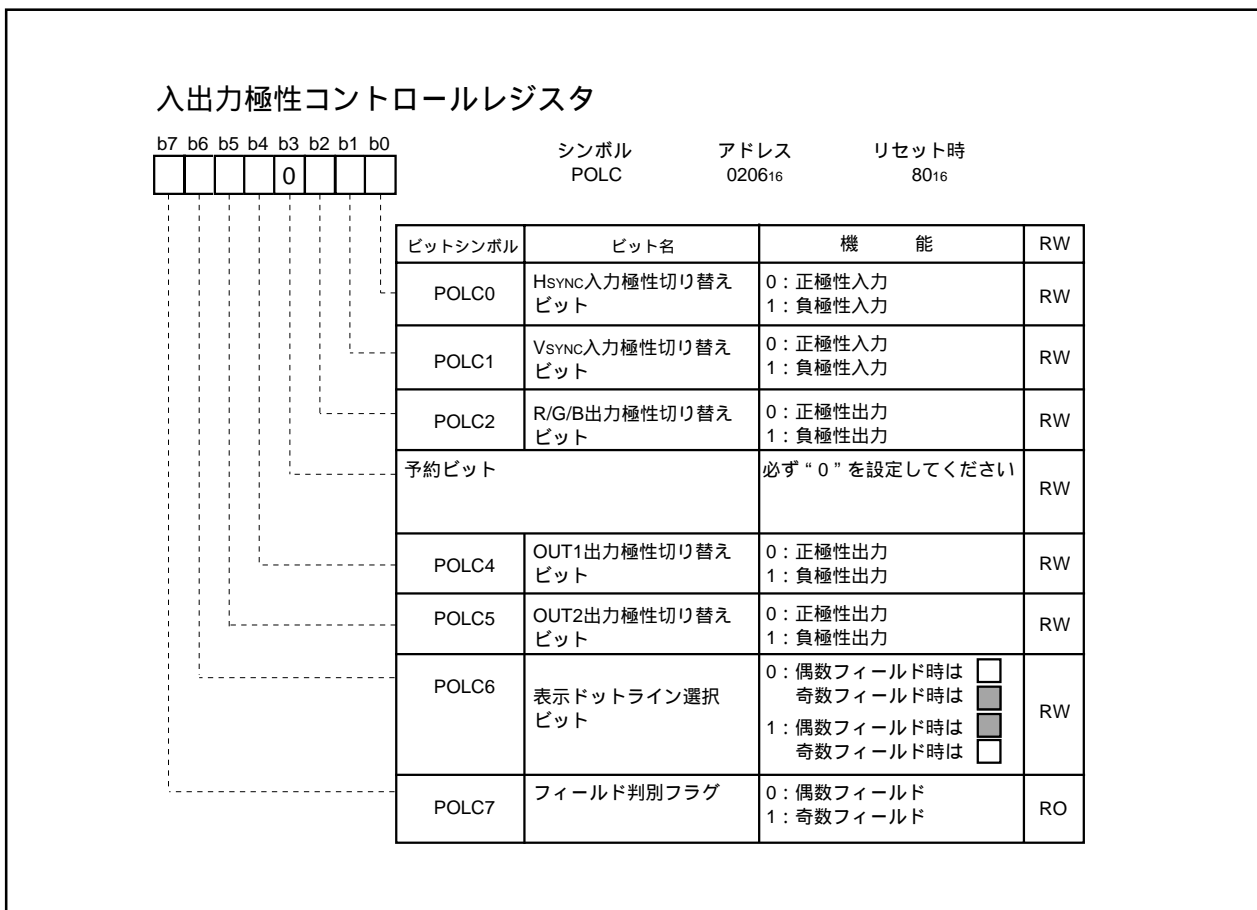
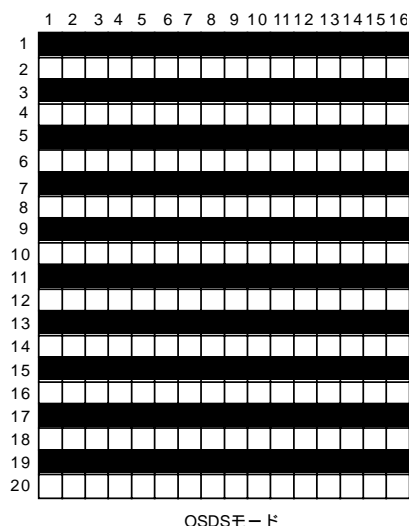
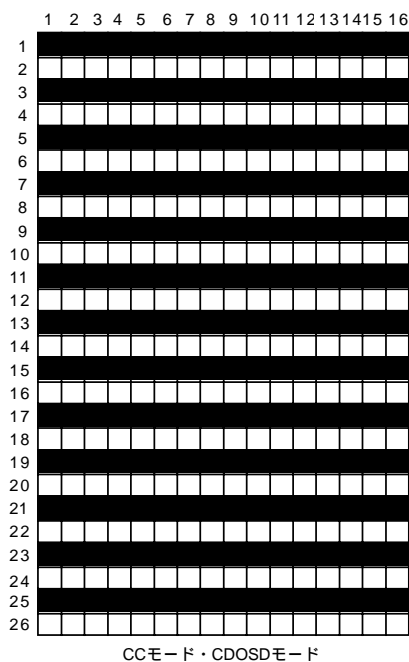


図16.19 入出力極性コントロールレジスタ

Hsync, Vsync1/2共に負極性入力の場合

Hsync		フィールド	フィールド判別フラグ (注)	表示ドットライン選択ビット	表示ドットライン
Vsync1/2とマイコン内部のVsync制御信号 上: Vsync信号 下: マイコン内部のVsync制御信号		奇数			
		偶数	0 (T2 > T1)	0 1	ドットライン1 □ ドットライン0 ■
		奇数	1 (T3 < T2)	0 1	ドットライン0 ■ ドットライン1 □



例. 表示ドットライン選択ビット = "0" の場合、偶数フィールド時□のフォント、奇数フィールド時■のフォントを表示します。また、入出力極性コントロールレジスタのビット7には、フィールド判別フラグとして、奇数フィールド時 "1" が、偶数フィールド時 "0" が読み出されます。

OSD用ROMフォント構成図

注: フィールド判別フラグはマイコン内部のVsync制御信号 (負極性入力) の立ち上がりのタイミングで変化します。

図16.20 フィールド判別フラグと表示フォントの関係

OSD用メモリ

OSD用メモリは、文字のドットデータを格納するOSD ROM (30000₁₆ ~ 4FFFF₁₆番地)と、表示する文字種類、色、及びスプライト表示を指定するOSD RAM (8000₁₆ ~ 8FFF₁₆番地)の2種類があります。以下、別々に説明します。

(1)OSD ROM (30000₁₆ ~ 4FFFF₁₆番地)

OSD ROMのキャラクタフォントエリアにはキャラクタフォントデータを、同ROMのカラードットフォントエリアにはCDフォントデータを格納します。表示キャラクタフォント及びCDフォント種類の指定は、それらの文字コードをOSD RAMに書き込んで行います。

キャラクタフォントの構成は、16×20ドットフォントと24×32ドットフォントが混在するOSDL許可モードと、16×20ドットフォントのみのOSDL禁止モードがあります。OSDL許可/禁止モードの選択は、画面単位にOSDコントロールレジスタ4のビット0で行います。

OSDL許可/禁止モード別の制約事項を図16.22に示します。

OSDL許可モード時、文字コード“000₁₆” ~ “1FF₁₆”が使用できます。このとき、文字コード“000₁₆” ~ “0FF₁₆”は16×20ドットフォント、文字コード“100₁₆” ~ “1FF₁₆”は24×32ドットフォントになります。ただし、文字コード“0FE₁₆”, “0FF₁₆”, “100₁₆”, “180₁₆”は使用できません。

OSDL禁止モード時、文字コード“000₁₆” ~ “2FF₁₆”が使用できます。このとき、すべての文字が16×20ドットになります。ただし、文字コード“0FE₁₆”, “0FF₁₆”, “100₁₆”, “180₁₆”, “200₁₆”, “280₁₆”は使用できません。

CDコードは“00₁₆” ~ “7F₁₆”が使用できます。このとき、すべての文字コードが16×26ドットフォントになります。ただし、CDコード“3F₁₆”, “40₁₆”は使用できません。

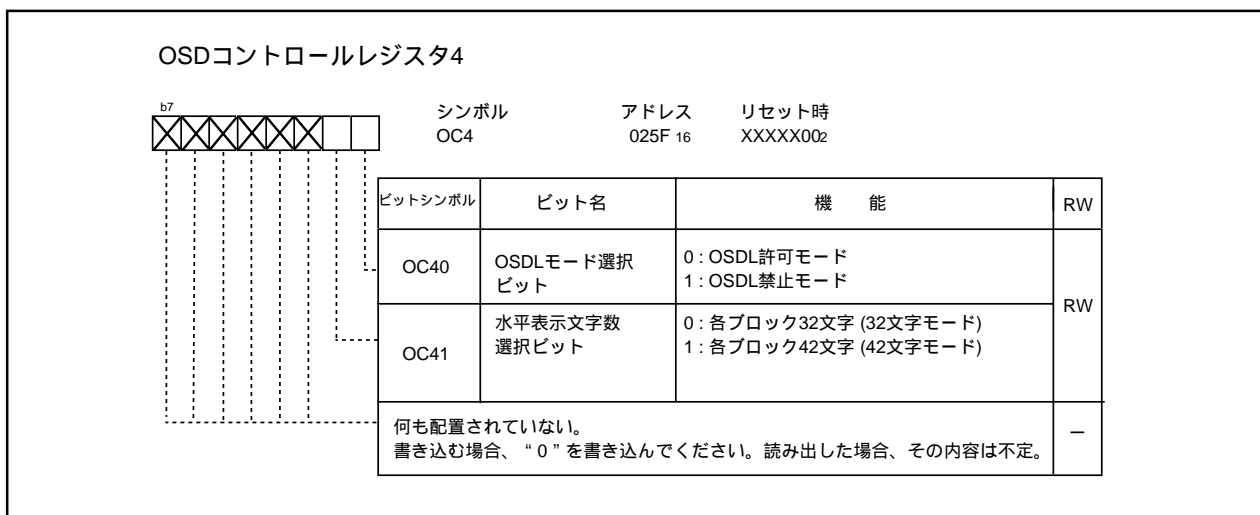
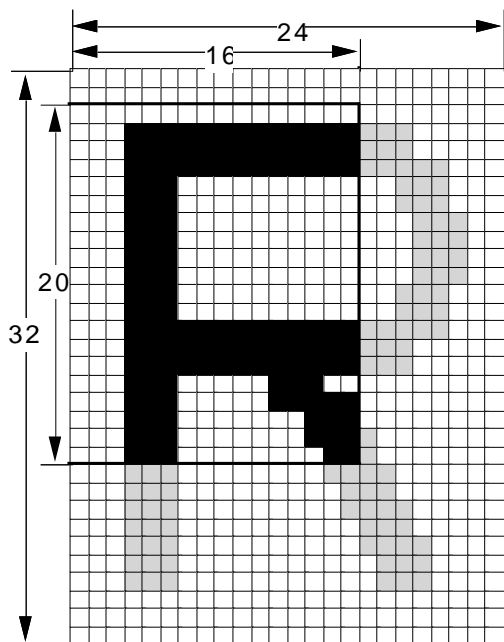


図16.21 OSDコントロールレジスタ4

OSDL許可/禁止モード、表示モード、及び文字コードの関係によって下表の制約があります。

表示モード & 文字コード		OSDL許可/禁止 モード	OSDL許可モード (OSDコントロールレジスタ4の ビット0 = "0")			OSDL禁止モード (OSDコントロールレジスタ4の ビット0 = "1")			
			文字 サイズ	CC	OSDS /P	OSDL	文字 サイズ	CC	OSDS /P
指定 文字 コード	000 ₁₆ ~ 0FF ₁₆	S	使用可	使用可	使用不可 (注3)	S	使用可	使用可	表示OFF
	100 ₁₆ ~ 1FF ₁₆	L	使用可 (注1)	使用可 (注1)	使用可		使用可	使用可	表示 OFF
	200 ₁₆ ~ 27F ₁₆	使用不可 (注3)			使用不可 (注3)		使用不可 (注3)	使用可	表示 OFF
	280 ₁₆ ~ 2FF ₁₆							使用可 (フチドリ無) (注2)	表示OFF
	300 ₁₆ ~ 3FF ₁₆							使用不可 (注3)	表示OFF



- 注1 . 24 x 32フォントの一部が表示されます。
- 注2 . OSDL禁止モード時、文字コード " 280₁₆ " ~ " 2FF₁₆ " は、OSDS/Pモード (フチドリ無) で使用してください。
- 注3 . この設定を使用した場合、フォントデータの出力が不定となるため、使用しないでください。ただし、OSDPモード時は、ブランクフォント出力文字コードとして、" 3FE₁₆ " , " 3FF₁₆ " が使用できます。

図16.22 OSDL許可 / 禁止モード別の制約事項

(2) OSD RAM (キャラクタ表示用OSD RAM、8400₁₆ ~ 8EFF₁₆番地)

キャラクタ表示用のOSD RAMは、8400₁₆ ~ 8EFF₁₆番地に割り当てられており、ブロックごとに文字コード指定部、色コード1指定部、色コード2指定部に分かれています。1ブロックのキャラクタ数(32文字モード又は42文字モード)をOSDコントロールレジスタ4のビット1によって選択します。アドレスマップを表16.3 ~ 表16.7に示します。

たとえば、ブロック1の第一文字目(左端)に文字を表示する場合、8400₁₆番地に文字コードを、8401₁₆番地に表示する色コード1を、8480₁₆番地に表示する色コード2を書き込みます。OSD RAMのビット構成を図16.23に示します。

注. 下記ドットサイズのブロックは、通常ブロックに対して、3n (n = 1 ~ 14) 文字目が抜けた状態になります。

OSDLモード時：全ドットサイズ

レイヤ2上のOSDS、CDOSDモード時：1.5Tc × 1/2H 又は 1.5Tc × 1H

したがって1ブロックの最大文字数は22文字(32文字モード時)又は28文字(42文字モード時)となります(16.22参照)なお、3n文字目のRAMデータは表示に影響を与えませんので、任意のデータを格納してください。さらに32文字モード時のみ以下の点に注意してください。なお、42文字モード時は、28文字目の文字領域にもキャラクタが表示されますので、通常の設定を行ってください。

・OSDSモード時

22文字目の文字領域には、キャラクタは表示されず、文字背景の左側1/3のみが表示されます。この背景を表示しない場合は、文字背景色を透明に設定してください。

・OSDLモード時

22文字目はブランク文字、又は透明の文字色を設定してください。

・CDOSDモード時

22文字目の文字領域(左側1/3)には、キャラクタは表示されず、色コード1のビット3 ~ ビット6で指定されたカラーパレット色が表示されます。

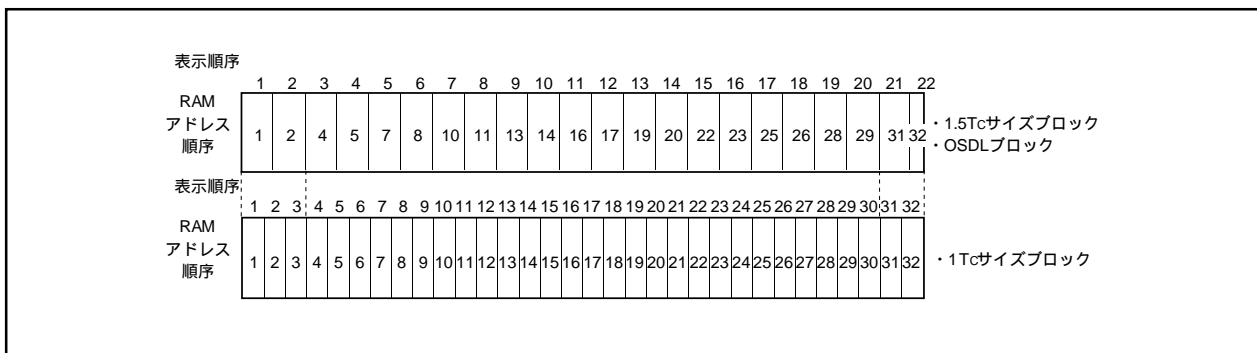


図16.23 3n番目の文字のRAMデータ(32文字モード時)

表16.3 OSD RAM内容 (1~32文字目)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック1	1文字目	8400 ₁₆	8401 ₁₆	8480 ₁₆
	2文字目	8402 ₁₆	8403 ₁₆	8482 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	843C ₁₆	843D ₁₆	84BC ₁₆
	32文字目	843E ₁₆	843F ₁₆	84BE ₁₆
ブロック2	1文字目	8440 ₁₆	8441 ₁₆	84C0 ₁₆
	2文字目	8442 ₁₆	8443 ₁₆	84C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	847C ₁₆	847D ₁₆	84FC ₁₆
	32文字目	847E ₁₆	847F ₁₆	84FE ₁₆
ブロック3	1文字目	8500 ₁₆	8501 ₁₆	8580 ₁₆
	2文字目	8502 ₁₆	8503 ₁₆	8582 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	853C ₁₆	853D ₁₆	85BC ₁₆
	32文字目	853E ₁₆	853F ₁₆	85BE ₁₆
ブロック4	1文字目	8540 ₁₆	8541 ₁₆	85C0 ₁₆
	2文字目	8542 ₁₆	8543 ₁₆	85C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	857C ₁₆	857D ₁₆	85FC ₁₆
	32文字目	857E ₁₆	857F ₁₆	85FE ₁₆
ブロック5	1文字目	8600 ₁₆	8601 ₁₆	8680 ₁₆
	2文字目	8602 ₁₆	8603 ₁₆	8682 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	863C ₁₆	863D ₁₆	86BC ₁₆
	32文字目	863E ₁₆	863F ₁₆	86BE ₁₆
ブロック6	1文字目	8640 ₁₆	8641 ₁₆	86C0 ₁₆
	2文字目	8642 ₁₆	8643 ₁₆	86C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	867C ₁₆	867D ₁₆	86FC ₁₆
	32文字目	867E ₁₆	867F ₁₆	86FE ₁₆
ブロック7	1文字目	8700 ₁₆	8701 ₁₆	8780 ₁₆
	2文字目	8702 ₁₆	8703 ₁₆	8782 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	873C ₁₆	873D ₁₆	87BC ₁₆
	32文字目	873E ₁₆	873F ₁₆	87BE ₁₆
ブロック8	1文字目	8740 ₁₆	8741 ₁₆	87C0 ₁₆
	2文字目	8742 ₁₆	8743 ₁₆	87C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	877C ₁₆	877D ₁₆	87FC ₁₆
	32文字目	877E ₁₆	877F ₁₆	87FE ₁₆
ブロック9	1文字目	8800 ₁₆	8801 ₁₆	8880 ₁₆
	2文字目	8802 ₁₆	8803 ₁₆	8882 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	883C ₁₆	883D ₁₆	88BC ₁₆
	32文字目	883E ₁₆	883F ₁₆	88BE ₁₆
ブロック10	1文字目	8840 ₁₆	8841 ₁₆	88C0 ₁₆
	2文字目	8842 ₁₆	8843 ₁₆	88C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	887C ₁₆	887D ₁₆	88FC ₁₆
	32文字目	887E ₁₆	887F ₁₆	88FE ₁₆

表16.4 OSD RAM内容(1~32文字目)(つづき)

ブロック	表示位置(左から)	文字コード指定	色コード1指定	色コード2指定
ブロック11	1文字目	8900 ₁₆	8901 ₁₆	8980 ₁₆
	2文字目	8902 ₁₆	8903 ₁₆	8982 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	893C ₁₆	893D ₁₆	89BC ₁₆
	32文字目	893E ₁₆	893F ₁₆	89BE ₁₆
ブロック12	1文字目	8940 ₁₆	8941 ₁₆	89C0 ₁₆
	2文字目	8942 ₁₆	8943 ₁₆	89C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	897C ₁₆	897D ₁₆	89FC ₁₆
	32文字目	897E ₁₆	897F ₁₆	89FE ₁₆
ブロック13	1文字目	8A00 ₁₆	8A01 ₁₆	8A80 ₁₆
	2文字目	8A02 ₁₆	8A03 ₁₆	8A82 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	8A3C ₁₆	8A3D ₁₆	8ABC ₁₆
	32文字目	8A3E ₁₆	8A3F ₁₆	8ABE ₁₆
ブロック14	1文字目	8A40 ₁₆	8A41 ₁₆	8AC0 ₁₆
	2文字目	8A42 ₁₆	8A43 ₁₆	8AC2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	8A7C ₁₆	8A7D ₁₆	8AFC ₁₆
	32文字目	8A7E ₁₆	8A7F ₁₆	8AFE ₁₆
ブロック15	1文字目	8B00 ₁₆	8B01 ₁₆	8B80 ₁₆
	2文字目	8B02 ₁₆	8B03 ₁₆	8B82 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	8B3C ₁₆	8B3D ₁₆	8BBC ₁₆
	32文字目	8B3E ₁₆	8B3F ₁₆	8BBE ₁₆
ブロック16	1文字目	8B40 ₁₆	8B41 ₁₆	8BC0 ₁₆
	2文字目	8B42 ₁₆	8B43 ₁₆	8BC2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	8B7C ₁₆	8B7D ₁₆	8BF0 ₁₆
	32文字目	8B7E ₁₆	8B7F ₁₆	8BFE ₁₆

表16.5 OSD RAM内容 (33~42文字目)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック1	33文字目	8C00 ₁₆	8C01 ₁₆	8C80 ₁₆
	34文字目	8C02 ₁₆	8C03 ₁₆	8C82 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C0C ₁₆	8C0D ₁₆	8C8C ₁₆
	40文字目	8C0E ₁₆	8C0F ₁₆	8C8E ₁₆
	41文字目	8E00 ₁₆	8E01 ₁₆	8E80 ₁₆
ブロック2	42文字目	8E02 ₁₆	8E03 ₁₆	8E82 ₁₆
	33文字目	8C10 ₁₆	8C11 ₁₆	8C90 ₁₆
	34文字目	8C12 ₁₆	8C13 ₁₆	8C92 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C1C ₁₆	8C1D ₁₆	8C9C ₁₆
	40文字目	8C1E ₁₆	8C1F ₁₆	8C9E ₁₆
ブロック3	41文字目	8E08 ₁₆	8E09 ₁₆	8E88 ₁₆
	42文字目	8E0A ₁₆	8E0B ₁₆	8E8A ₁₆
	33文字目	8C20 ₁₆	8C21 ₁₆	8CA0 ₁₆
	34文字目	8C22 ₁₆	8C23 ₁₆	8CA2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C2C ₁₆	8C2D ₁₆	8CAC ₁₆
ブロック4	40文字目	8C2E ₁₆	8C2F ₁₆	8CAE ₁₆
	41文字目	8E10 ₁₆	8E11 ₁₆	8E90 ₁₆
	42文字目	8E12 ₁₆	8E13 ₁₆	8E92 ₁₆
	33文字目	8C30 ₁₆	8C31 ₁₆	8CB0 ₁₆
	34文字目	8C32 ₁₆	8C33 ₁₆	8CB2 ₁₆
	⋮	⋮	⋮	⋮
ブロック5	39文字目	8C3C ₁₆	8C3D ₁₆	8CBC ₁₆
	40文字目	8C3E ₁₆	8C3F ₁₆	8CBE ₁₆
	41文字目	8E18 ₁₆	8E19 ₁₆	8E98 ₁₆
	42文字目	8E1A ₁₆	8E1B ₁₆	8E9A ₁₆
	33文字目	8C40 ₁₆	8C41 ₁₆	8CC0 ₁₆
	34文字目	8C42 ₁₆	8C43 ₁₆	8CC2 ₁₆
ブロック6	⋮	⋮	⋮	⋮
	39文字目	8C4C ₁₆	8C4D ₁₆	8CCC ₁₆
	40文字目	8C4E ₁₆	8C4F ₁₆	8CCE ₁₆
	41文字目	8E20 ₁₆	8E21 ₁₆	8EA0 ₁₆
	42文字目	8E22 ₁₆	8E23 ₁₆	8EA2 ₁₆
	33文字目	8C50 ₁₆	8C51 ₁₆	8CD0 ₁₆
ブロック7	34文字目	8C52 ₁₆	8C53 ₁₆	8CD2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C5C ₁₆	8C5D ₁₆	8CDC ₁₆
	40文字目	8C5E ₁₆	8C5F ₁₆	8CDE ₁₆
	41文字目	8E28 ₁₆	8E29 ₁₆	8EA8 ₁₆
	42文字目	8E2A ₁₆	8E2B ₁₆	8EAA ₁₆
ブロック7	33文字目	8C60 ₁₆	8C61 ₁₆	8CE0 ₁₆
	34文字目	8C62 ₁₆	8C63 ₁₆	8CE2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C6C ₁₆	8C6D ₁₆	8CEC ₁₆
	40文字目	8C6E ₁₆	8C6F ₁₆	8CEE ₁₆
	41文字目	8E30 ₁₆	8E31 ₁₆	8EB0 ₁₆
42文字目	8E32 ₁₆	8E33 ₁₆	8EB2 ₁₆	

表16.6 OSD RAM内容 (33~42文字目) (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック8	33文字目	8C70 ₁₆	8C71 ₁₆	8CF0 ₁₆
	34文字目	8C72 ₁₆	8C73 ₁₆	8CF2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8C7C ₁₆	8C7D ₁₆	8CFC ₁₆
	40文字目	8C7E ₁₆	8C7F ₁₆	8CFE ₁₆
	41文字目	8E38 ₁₆	8E39 ₁₆	8EB8 ₁₆
ブロック9	42文字目	8E3A ₁₆	8E3B ₁₆	8EBA ₁₆
	33文字目	8D00 ₁₆	8D01 ₁₆	8D80 ₁₆
	34文字目	8D02 ₁₆	8D03 ₁₆	8D82 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D0C ₁₆	8D0D ₁₆	8D8C ₁₆
	40文字目	8D0E ₁₆	8D0F ₁₆	8D8E ₁₆
ブロック10	41文字目	8E40 ₁₆	8E41 ₁₆	8EC0 ₁₆
	42文字目	8E42 ₁₆	8E43 ₁₆	8EC2 ₁₆
	33文字目	8D10 ₁₆	8D11 ₁₆	8D90 ₁₆
	34文字目	8D12 ₁₆	8D13 ₁₆	8D92 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D1C ₁₆	8D1D ₁₆	8D9C ₁₆
ブロック11	40文字目	8D1E ₁₆	8D1F ₁₆	8D9E ₁₆
	41文字目	8E48 ₁₆	8E49 ₁₆	8EC8 ₁₆
	42文字目	8E4A ₁₆	8E4B ₁₆	8ECA ₁₆
	33文字目	8D20 ₁₆	8D21 ₁₆	8DA0 ₁₆
	34文字目	8D22 ₁₆	8D23 ₁₆	8DA2 ₁₆
	⋮	⋮	⋮	⋮
ブロック12	39文字目	8D2C ₁₆	8D2D ₁₆	8DAC ₁₆
	40文字目	8D2E ₁₆	8D2F ₁₆	8DAE ₁₆
	41文字目	8E50 ₁₆	8E51 ₁₆	8ED0 ₁₆
	42文字目	8E52 ₁₆	8E53 ₁₆	8ED2 ₁₆
	33文字目	8D30 ₁₆	8D31 ₁₆	8DB0 ₁₆
	34文字目	8D32 ₁₆	8D33 ₁₆	8DB2 ₁₆
ブロック13	⋮	⋮	⋮	⋮
	39文字目	8D3C ₁₆	8D3D ₁₆	8DBC ₁₆
	40文字目	8D3E ₁₆	8D3F ₁₆	8DBE ₁₆
	41文字目	8E58 ₁₆	8E59 ₁₆	8ED8 ₁₆
	42文字目	8E5A ₁₆	8E5B ₁₆	8EDA ₁₆
	33文字目	8D40 ₁₆	8D41 ₁₆	8DC0 ₁₆
ブロック14	34文字目	8D42 ₁₆	8D43 ₁₆	8DC2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D4C ₁₆	8D4D ₁₆	8DCC ₁₆
	40文字目	8D4E ₁₆	8D4F ₁₆	8DCE ₁₆
	41文字目	8E60 ₁₆	8E61 ₁₆	8EE0 ₁₆
	42文字目	8E62 ₁₆	8E63 ₁₆	8EE2 ₁₆
ブロック14	33文字目	8D50 ₁₆	8D51 ₁₆	8DD0 ₁₆
	34文字目	8D52 ₁₆	8D53 ₁₆	8DD2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D5C ₁₆	8D5D ₁₆	8DDC ₁₆
	40文字目	8D5E ₁₆	8D5F ₁₆	8DDE ₁₆
	41文字目	8E68 ₁₆	8E69 ₁₆	8EE8 ₁₆
42文字目	8E6A ₁₆	8E6B ₁₆	8EEA ₁₆	

表16.7 OSD RAM内容 (33~42文字目) (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック15	33文字目	8D60 ₁₆	8D61 ₁₆	8DE0 ₁₆
	34文字目	8D62 ₁₆	8D63 ₁₆	8DE2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D6C ₁₆	8D6D ₁₆	8DEC ₁₆
	40文字目	8D6E ₁₆	8D6F ₁₆	8DEE ₁₆
	41文字目	8E70 ₁₆	8E71 ₁₆	8EF0 ₁₆
ブロック16	42文字目	8E72 ₁₆	8E73 ₁₆	8EF2 ₁₆
	33文字目	8D70 ₁₆	8D71 ₁₆	8DF0 ₁₆
	34文字目	8D72 ₁₆	8D73 ₁₆	8DF2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	8D7C ₁₆	8D7D ₁₆	8DFC ₁₆
	40文字目	8D7E ₁₆	8D7F ₁₆	8DFE ₁₆
	41文字目	8E78 ₁₆	8E79 ₁₆	8EF8 ₁₆
	42文字目	8E7A ₁₆	8E7B ₁₆	8EFA ₁₆



図16.24 OSD RAMのビット構成

(3) OSD RAM (スプライト表示用OSD RAM、8000₁₆ ~ 83E7₁₆番地)

スプライトフォント1とスプライトフォント2のOSD RAMは、8000₁₆ ~ 83E7₁₆番地に割り当てられており、各フォントは4つのプレーンから構成されています。各プレーンはカラーパレット選択ビットと対応しており、ドット単位に16種類の中からカラーパレットが指定できます。

表16.8 OSD RAMアドレス (スプライトフォント1対応)

プレーン	プレーン3 (カラーパレット選択ビット3)				プレーン2 (カラーパレット選択ビット2)				プレーン1 (カラーパレット選択ビット1)				プレーン0 (カラーパレット選択ビット0)			
	ドット	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24
ビット	b7~b0				b7~b0				b7~b0				b7~b0			
ライン1	80C0 ₁₆	80C1 ₁₆	81C0 ₁₆	81C1 ₁₆	8080 ₁₆	8081 ₁₆	8180 ₁₆	8181 ₁₆	8040 ₁₆	8041 ₁₆	8140 ₁₆	8141 ₁₆	8000 ₁₆	8001 ₁₆	8100 ₁₆	8101 ₁₆
ライン2	80C2 ₁₆	80C3 ₁₆	81C2 ₁₆	81C3 ₁₆	8082 ₁₆	8083 ₁₆	8182 ₁₆	8183 ₁₆	8042 ₁₆	8043 ₁₆	8142 ₁₆	8143 ₁₆	8002 ₁₆	8003 ₁₆	8102 ₁₆	8103 ₁₆
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	80E4 ₁₆	80E5 ₁₆	81E4 ₁₆	81E5 ₁₆	80A4 ₁₆	80A5 ₁₆	81A4 ₁₆	81A5 ₁₆	8064 ₁₆	8065 ₁₆	8164 ₁₆	8165 ₁₆	8024 ₁₆	8025 ₁₆	8124 ₁₆	8125 ₁₆
ライン20	80E6 ₁₆	80E7 ₁₆	81E6 ₁₆	81E7 ₁₆	80A6 ₁₆	80A7 ₁₆	81A6 ₁₆	81A7 ₁₆	8066 ₁₆	8067 ₁₆	8166 ₁₆	8167 ₁₆	8026 ₁₆	8027 ₁₆	8126 ₁₆	8127 ₁₆

表16.9 対応OSD RAMアドレス (スプライトフォント2対応)

プレーン	プレーン3 (カラーパレット選択ビット3)				プレーン2 (カラーパレット選択ビット2)				プレーン1 (カラーパレット選択ビット1)				プレーン0 (カラーパレット選択ビット0)			
	ドット	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24
ビット	b7~b0				b7~b0				b7~b0				b7~b0			
ライン1	82C0 ₁₆	82C1 ₁₆	83C0 ₁₆	83C1 ₁₆	8280 ₁₆	8281 ₁₆	8380 ₁₆	8381 ₁₆	8240 ₁₆	8241 ₁₆	8340 ₁₆	8341 ₁₆	8200 ₁₆	8201 ₁₆	8300 ₁₆	8301 ₁₆
ライン2	82C2 ₁₆	82C3 ₁₆	83C2 ₁₆	83C3 ₁₆	8282 ₁₆	8283 ₁₆	8382 ₁₆	8383 ₁₆	8242 ₁₆	8243 ₁₆	8342 ₁₆	8343 ₁₆	8202 ₁₆	8203 ₁₆	8302 ₁₆	8303 ₁₆
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	82E4 ₁₆	82E5 ₁₆	83E4 ₁₆	83E5 ₁₆	82A4 ₁₆	82A5 ₁₆	83A4 ₁₆	83A5 ₁₆	8264 ₁₆	8265 ₁₆	8364 ₁₆	8365 ₁₆	8224 ₁₆	8225 ₁₆	8324 ₁₆	8325 ₁₆
ライン20	82E6 ₁₆	82E7 ₁₆	83E6 ₁₆	83E7 ₁₆	82A6 ₁₆	82A7 ₁₆	83A6 ₁₆	83A7 ₁₆	8266 ₁₆	8267 ₁₆	8366 ₁₆	8367 ₁₆	8226 ₁₆	8227 ₁₆	8326 ₁₆	8327 ₁₆

文字色

図16.25に示すように、16種類のカラーパレットが定義できます。カラーパレット0は透明、カラーパレット8は黒に固定されており、残りの14種類は512色から任意の色を設定できます。文字色の種類、指定方法は以下のとおりです。

CCモード 8種類

OSDコントロールレジスタ3 (0207₁₆番地) のビット0によって、カラーパレットの選択範囲 (カラーパレット0~7、又はカラーパレット8~15) を選択します。選択範囲の中からOSD RAMのRC11~RC13によってカラーパレットを指定します。

OSD/S/L/Pモード 16種類

OSD RAMのRC11~RC14によってカラーパレットを指定します。

CDOSDモード 16種類

CDフォントデータによって、ドット単位にカラーパレットを指定します。

CDOSDモードに限り、カラーパレット0を選択したドットは、文字単位で、OSD RAMのRC13~RC16で設定されたカラーパレットに着色されます (図16.25参照)。

また、OSDRAMのRC12により、カラーパレットセットの選択が可能です。

スプライト表示 16種類

スプライトフォントデータによって、ドット単位にカラーパレットを指定します。

- 注1. フチドリ、ソリッドスペース出力 (OUT1出力) はレジスタの設定値にかかわらず、常にカラーパレット8 (黒) が選択されます。
2. カラーパレット0 (透明) と、その他カラーパレットの透明設定とは異なります。複数のレイヤが重なったとき、優先レイヤがカラーパレット0 (透明) の場合は下層レイヤが表示されますが、優先レイヤがその他カラーパレットの透明設定の場合は、下層レイヤは表示されず、背景画面が表示されます (図16.27参照)。

文字背景色

文字表示領域に文字背景色を着色することができます。文字背景色は、文字単位に指定できます。

CCモード 4種類

OSDコントロールレジスタ3 (0207₁₆番地) のビット1, 2によって、カラーパレットの選択範囲 (カラーパレット0~3、4~7、8~11、又はカラーパレット12~15) を選択します。選択範囲の中から、OSD RAMのRC20,RC21によってカラーパレットを指定します。

OSDS/L/Pモード 16種類

OSD RAMのRC15, RC16, RC20, RC21によってカラーパレットを指定します。

- 注. 文字背景色は文字表示領域から、フチドリ、キャラクタフォント部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。

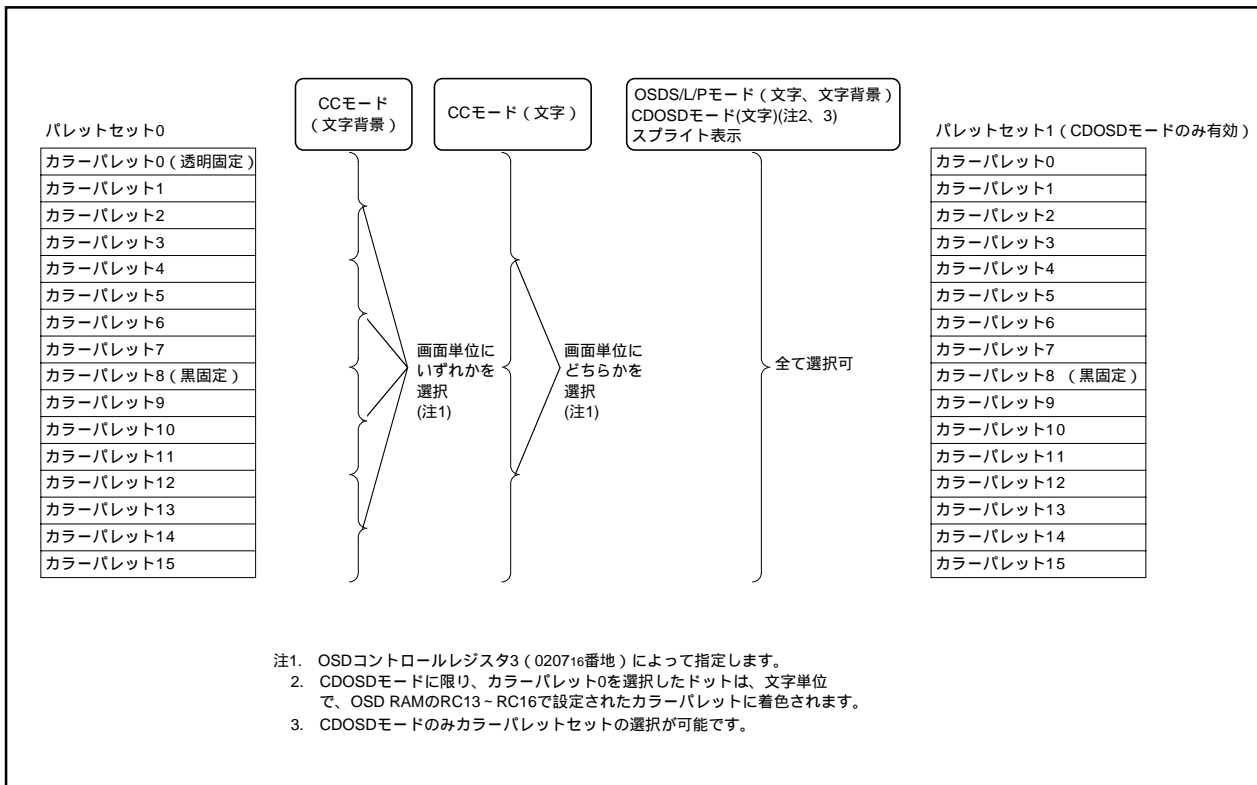


図16.25 カラーパレットの選択

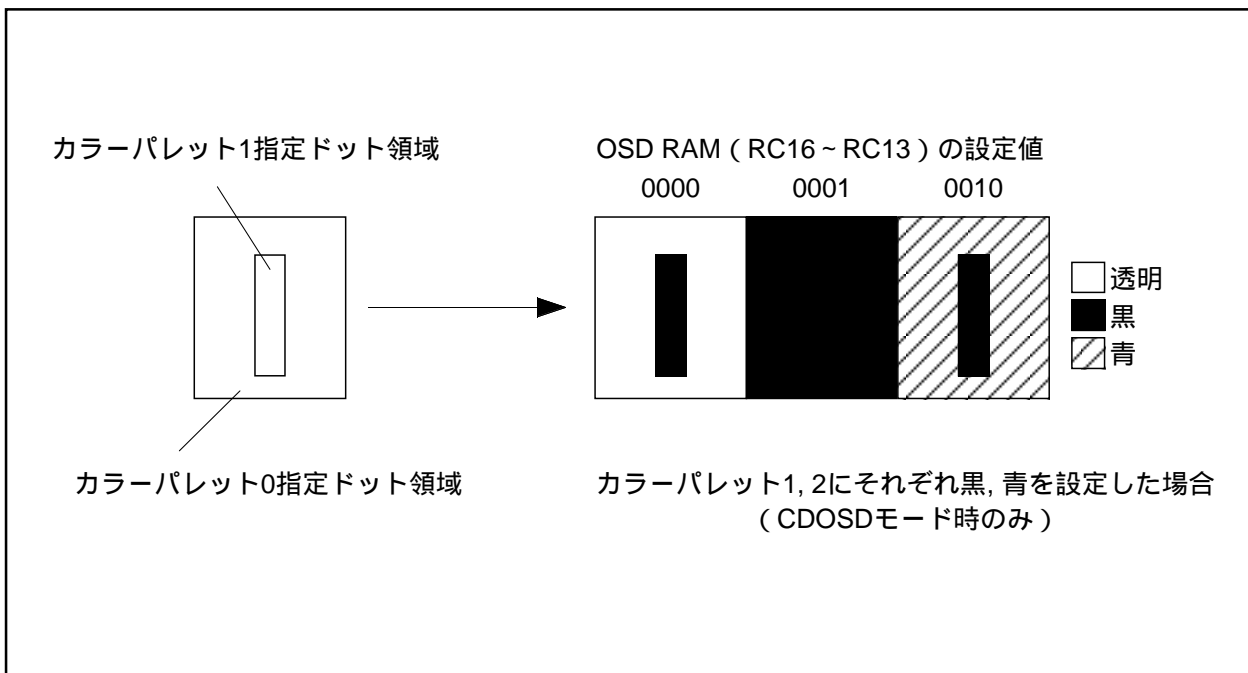


図16.26 CDOSDモード時のカラーパレット0, 8の設定

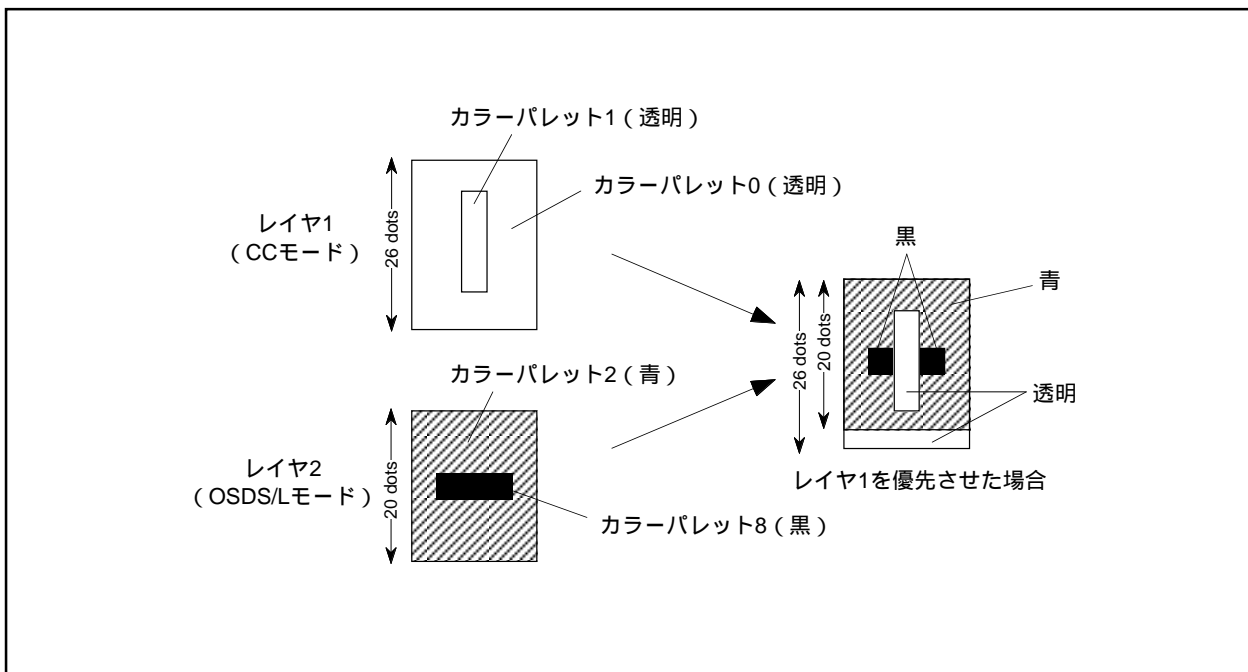


図16.27 カラーパレット0 (透明) とその他カラーパレットの透明設定との違い

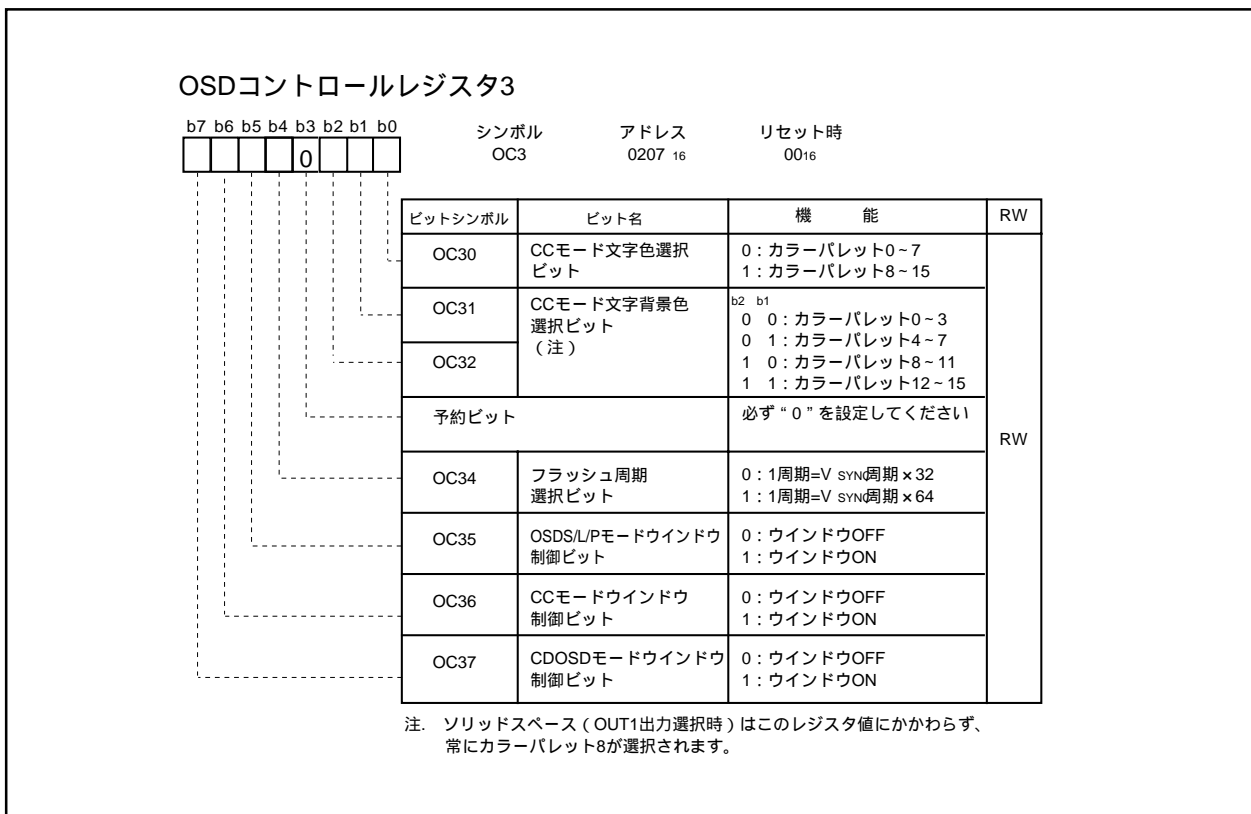


図16.28 OSDコントロールレジスタ3

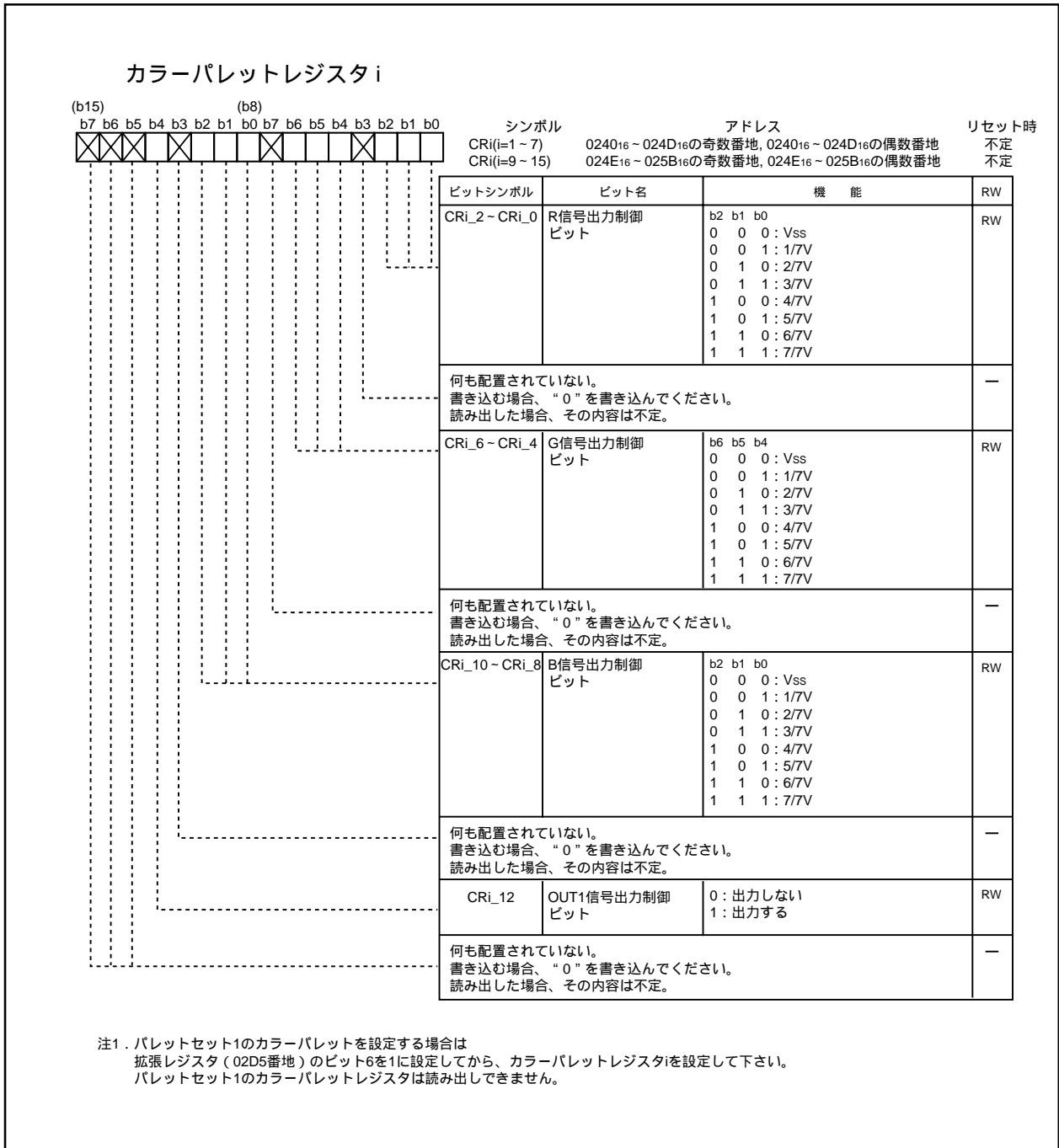


図16.29 カラーパレットレジスタ i (i = 1 ~ 7, 9 ~ 15)

OUT1, OUT2信号

OUT1, OUT2信号は映像信号の輝度を制御するために使用します。OUT1, OUT2信号の出力波形は、カラーパレットレジスタのビット6 (図16.29参照)、ブロックコントロールレジスタのビット0~2 (図16.4参照)、OSD RAMのRC17によって制御します。図16.30にOUT1, OUT2制御の設定値とその出力波形を示します。

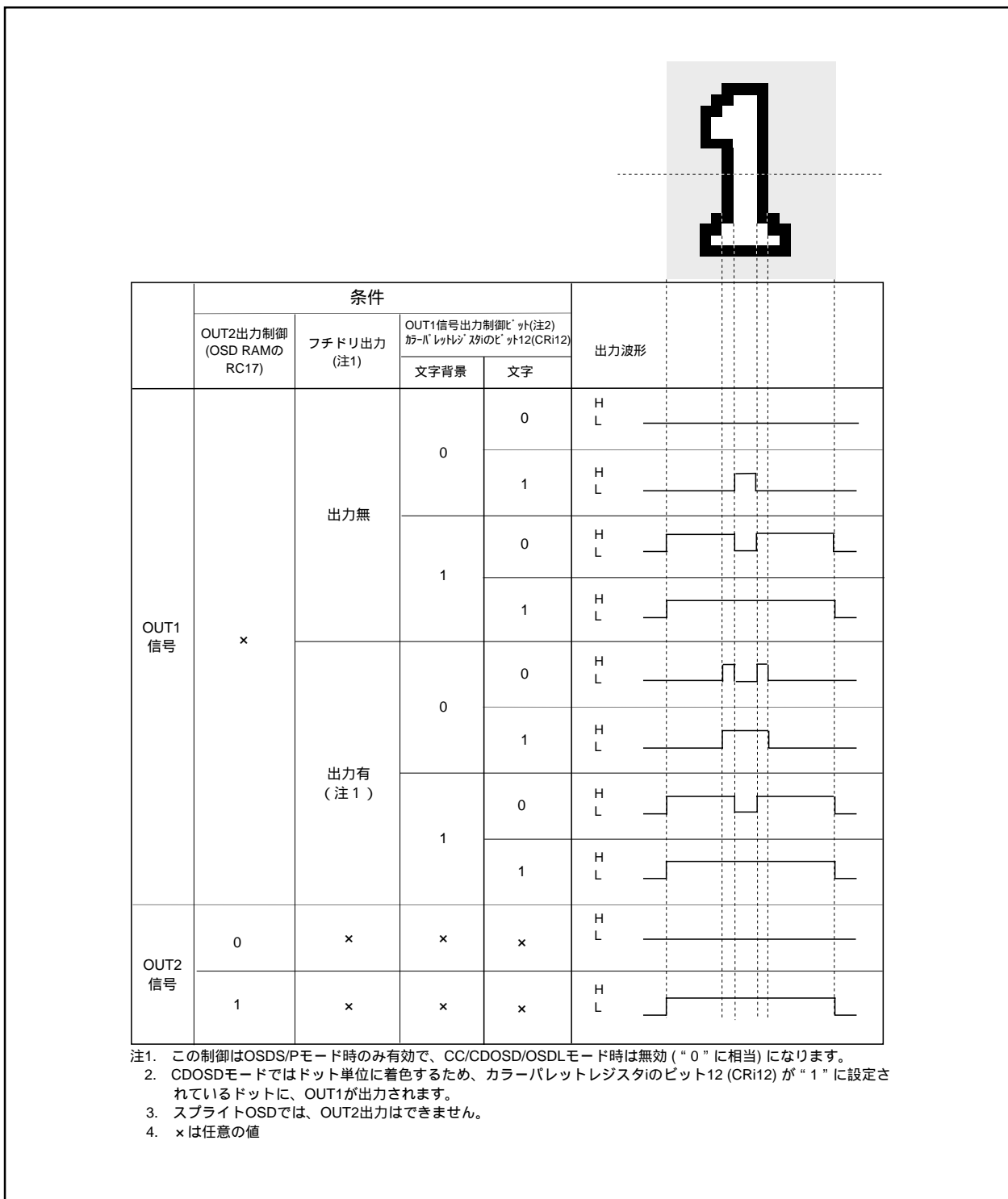


図16.30 OUT1, OUT2制御の設定値とその出力波形

アトリビュート

キャラクタフォントに対してアトリビュート（フラッシュ、アンダーライン、イタリックフォント）を制御することができます。各モード別に制御できるアトリビュートが異なります。

CCモード フラッシュ、アンダーライン、イタリックを文字単位に指定
OSDS / Pモード フチドリ（周囲・シャドウ選択可）をブロック単位に指定

(1) アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び24ライン目に出力されます。アンダーラインはOSD RAMのRC16で制御します。なお、アンダーラインはキャラクタフォントと同色です。

(2) フラッシュ（点滅）

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーライン部、文字背景部をフラッシュさせます。フラッシュはOSD RAMのRC15で文字単位に制御します。また文字背景部のフラッシュの有無はOSDコントロールレジスタ1のビット3（図16.3参照）で制御します。このビットが“0”の場合、キャラクタフォント部及びアンダーライン部のみがフラッシュします。“1”の場合、ソリッドスペース出力なしの文字は、R, G, B, OUT1（表示領域全体）がフラッシュし、ソリッドスペース出力ありの文字はR, G, Bのみ（表示領域全体）がフラッシュします。またフラッシュの周期はVSYNCのカウントを基準とし、この周期はOSDコントロールレジスタ3のビット4で選択します。

< NTSC方式の場合 >

ビット4 = “0” の時

- ・ VSYNC周期 × 24 400ms（フラッシュON時）
- ・ VSYNC周期 × 8 133ms（フラッシュOFF時）

ビット4 = “1” の時

- ・ VSYNC周期 × 48 800ms（フラッシュON時）
- ・ VSYNC周期 × 16 267ms（フラッシュOFF時）

(3) イタリック

イタリック体はCCモード時にだけ、OSD ROMに格納されたフォントを右側に傾斜させることにより作成します。イタリックはOSD RAMのRC14で制御します。

図16.31に“R”を表示した場合の、アトリビュートの表示例を示します。

- 注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
2. フラッシュ設定をしていないイタリック文字の右側にフラッシュ設定（文字背景部もフラッシュ有）した文字が隣接する場合、左側の文字の右側にはみ出した部分もフラッシュします。
3. OUT2はフラッシュしません。
4. プリ分周比=1倍の場合は1ドット×5段階の傾斜をもつイタリック体、プリ分周比=2倍の場合は1/2ドット×10段階の傾斜をもつイタリック体となります（図16.31 (c), (d)参照）。
5. 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません（図16.32参照）。
6. イタリック体の文字に隣接する文字（片側又は両側）は、その文字がイタリックを指定していない場合でもイタリック体になります（図16.32参照）。
7. 32文字目（32文字モード）/42文字目（42文字モード）のキャラクタをイタリック体にした場合、文字領域からはみ出した部分は表示されません（図16.32参照）。
8. プリ分周比1倍のイタリック使用時、フォントの右端にドットデータの存在する文字を使用しないで下さい。

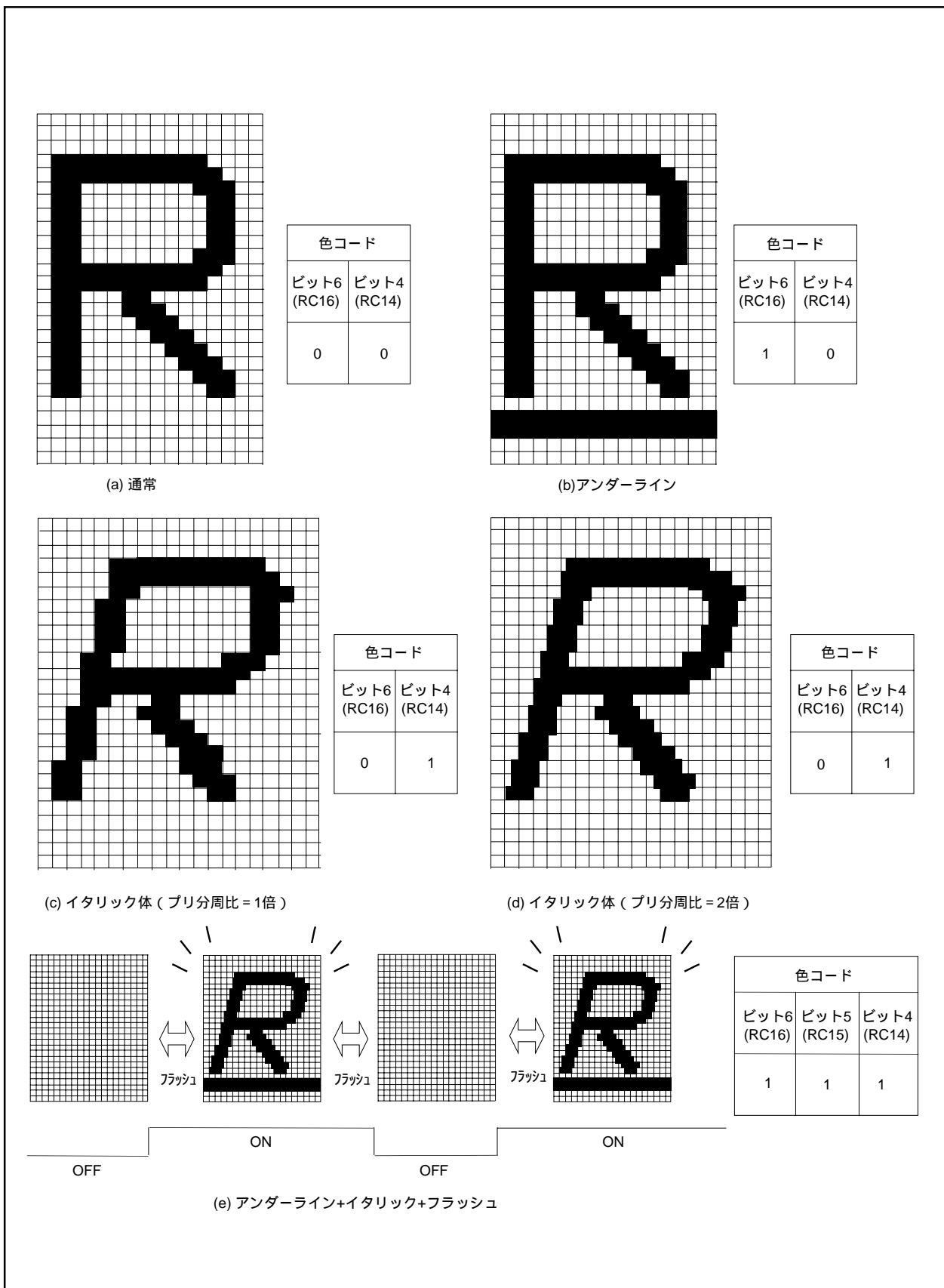


図16.31 アトリビュート表示例 (CCモード時)

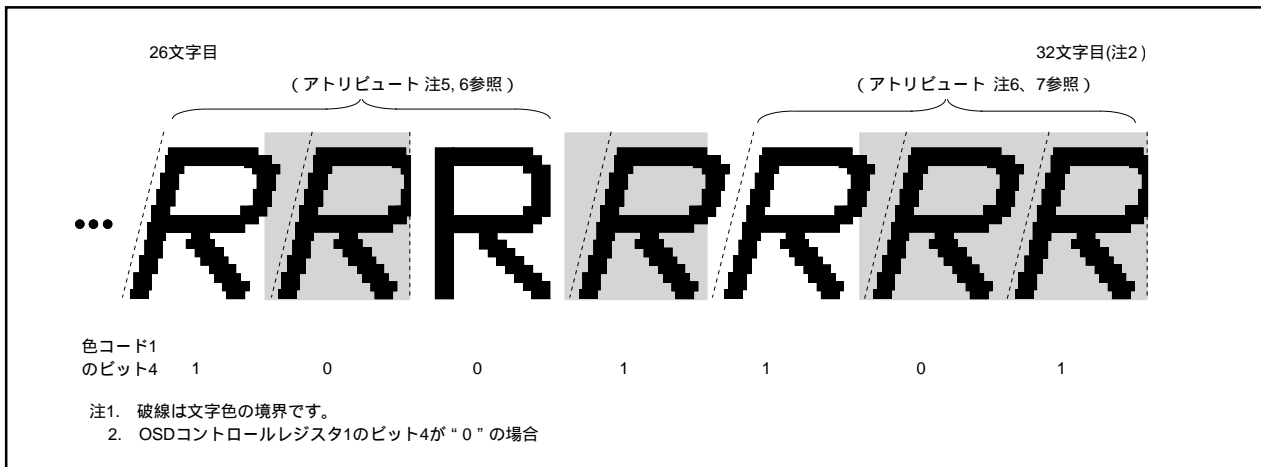


図16.32 イタリック表示例

(4) フチドリ

フチドリはOSDS / Pモード時に出力されます。OSDコントロールレジスタ1のビット2 (図16.3参照) によって、キャラクタフォントの周囲 (周囲フチドリ)、又はキャラクタフォントの右側と下側 (シャドウフチドリ) のいずれかを選択できます (図16.33参照)。フチドリのON/OFFは、ブロックコントロールレジスタ*i*のビット0~2 (図16.4参照) でブロック単位に制御できます。

フチドリの出力はOUT1信号で行われます。また、フチドリの色はカラーパレット8 (黒) に固定されています。

フチドリの水平サイズ (x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅 (OSDクロックをプリ分周した周期幅) です。ただし、プリ分周比2倍で文字サイズに1.5Tcを選択した場合に限り、水平サイズは1.5Tc幅となります。垂直サイズ (y) は、画面のスクアンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

- 注1. フチドリドットの表示域は図16.33に示す網掛けの範囲です。
- 2. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます (図16.36のA参照)。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます (図16.36のB参照)。
- 3. キャラクタフォントの文字領域をはみ出した上下方向のフチドリは表示されません (図16.36参照)。

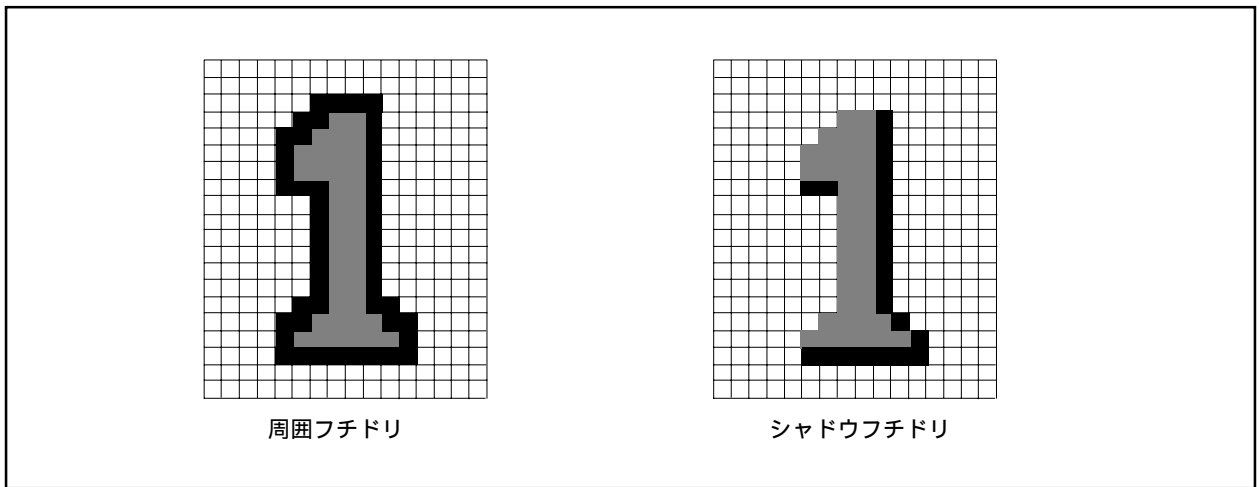
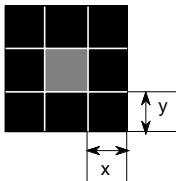


図16.33 フチドリ表示例



	スキャンモード キャラクタフォントの 垂直ドットサイズ	ノーマルスキャンモード	バイスキャンモード
フチドリドットサイズ	1/2H	1H, 2H, 3H	1/2H, 1H, 2H, 3H
水平サイズ (x)	1Tc (プリ分周したOSD用クロック周期) 文字サイズに1.5Tcを選択した場合は1.5Tc		
垂直サイズ (y)	1/2H	1H	1H

図16.34 フチドリの水平サイズ及び垂直サイズ

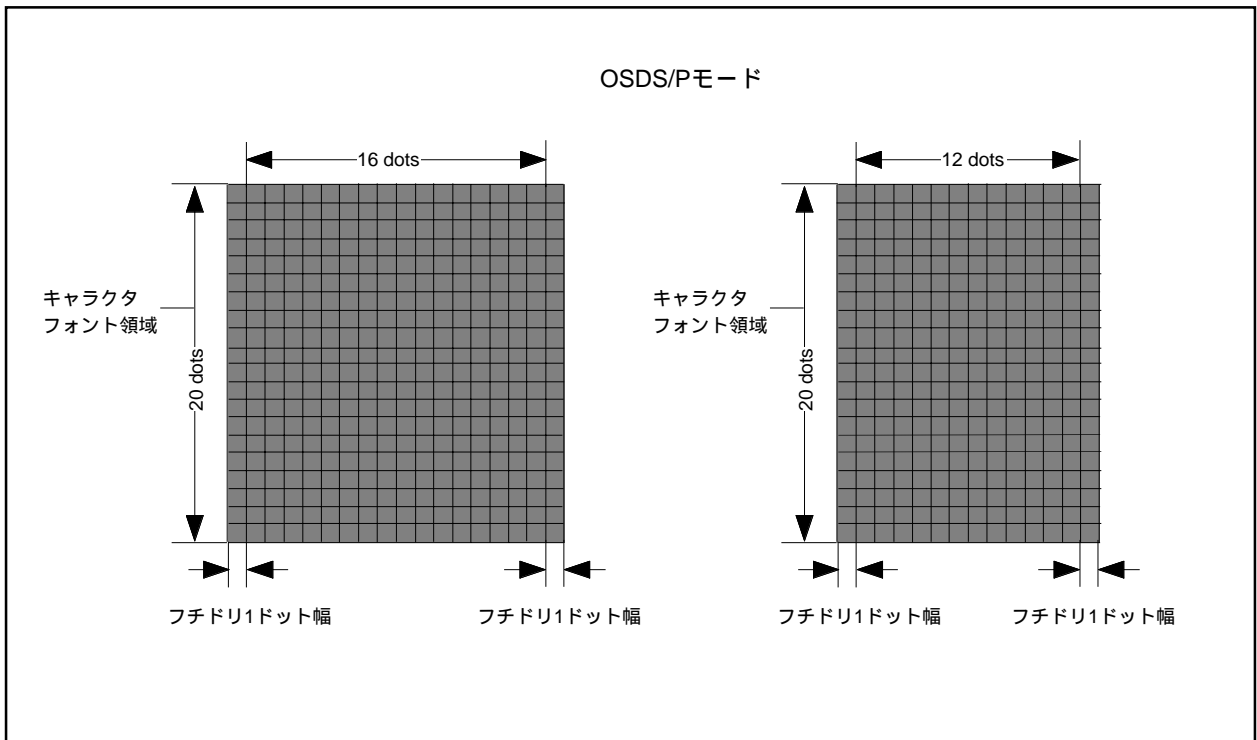


図16.35 フチドリの領域

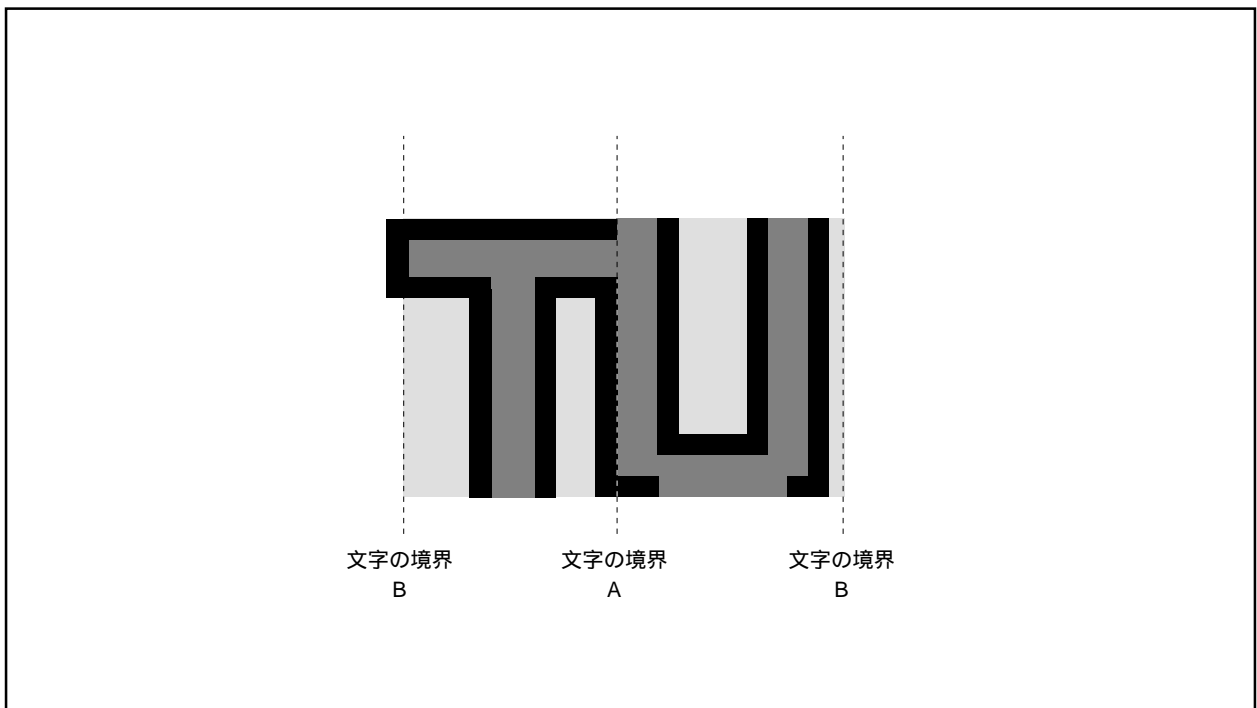


図16.36 フチドリの優先順位

オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース（OUT1又はOUT2ブランク出力）を、ハードウェアで自動的に発生させる機能です。

ソリッドスペースは、文字コードが“00916”以外の文字、及びその左右の文字の文字領域に出力されます。この機能はOSDコントロールレジスタ1のビット4（図16.3参照）でON/OFFします。

また、OUT1及びOUT2の出力の選択は、OSDコントロールレジスタ2のビット3で行います。

- 注1. ソリッドスペース出力にOUT1を選択した場合、ソリッドスペース出力のある文字背景色は、設定にかかわらず常にカラーパレット8(黒)になります。
- 2. 文字コード“00916”にブランクフォント以外のフォントを設定した場合、設定したフォントが出力されます。

表16.10 オートソリッドスペース機能の設定

OSDコントロールレジスタ1のビット4	0				1			
OSDコントロールレジスタ2のビット3	0		1		0		1	
OSD RAMのRC17	0	1	0	1	0	1	0	1
OUT1出力信号	・キャラクタフォント部 ・文字背景部		・キャラクタフォント部 ・文字背景部		ソリッドスペース		・キャラクタフォント部 ・文字背景部	
OUT2出力信号	OFF	文字表示領域	OFF	文字表示領域	OFF	文字表示領域	ソリッドスペース	・ソリッドスペース ・文字表示領域

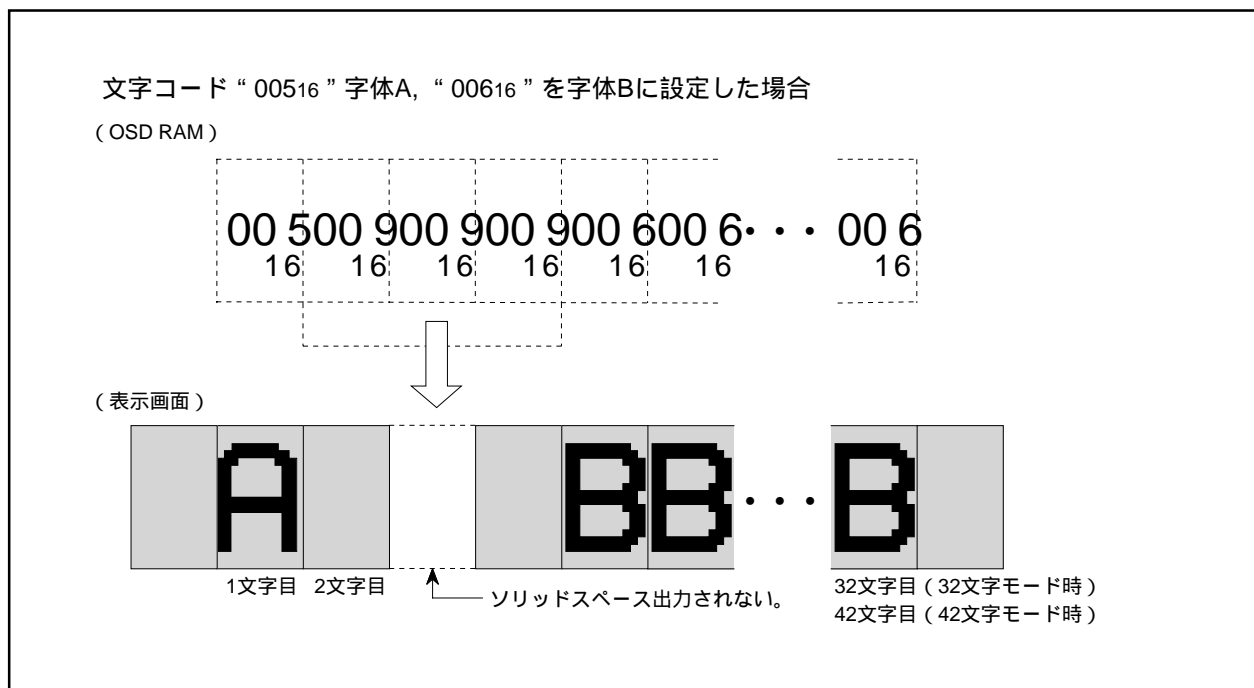


図16.37 オートソリッドスペース画面表示例

特殊OSDモードブロック

OSDPモードを指定したブロックは、水平ドット構成が16ドット、12ドット、8ドット、4ドット（垂直ドット数は全て20ドット）のフォントを混在させることができます。各フォント種類の選択は文字コードで行います。図16.38に特殊OSDモードブロック表示例と表16.11に文字コードと表示フォントの対応を示します。

注. 8×20と4×20ドットフォントは、文字背景色のみ表示できます。また、これらのフォントより右側に文字は表示できません。

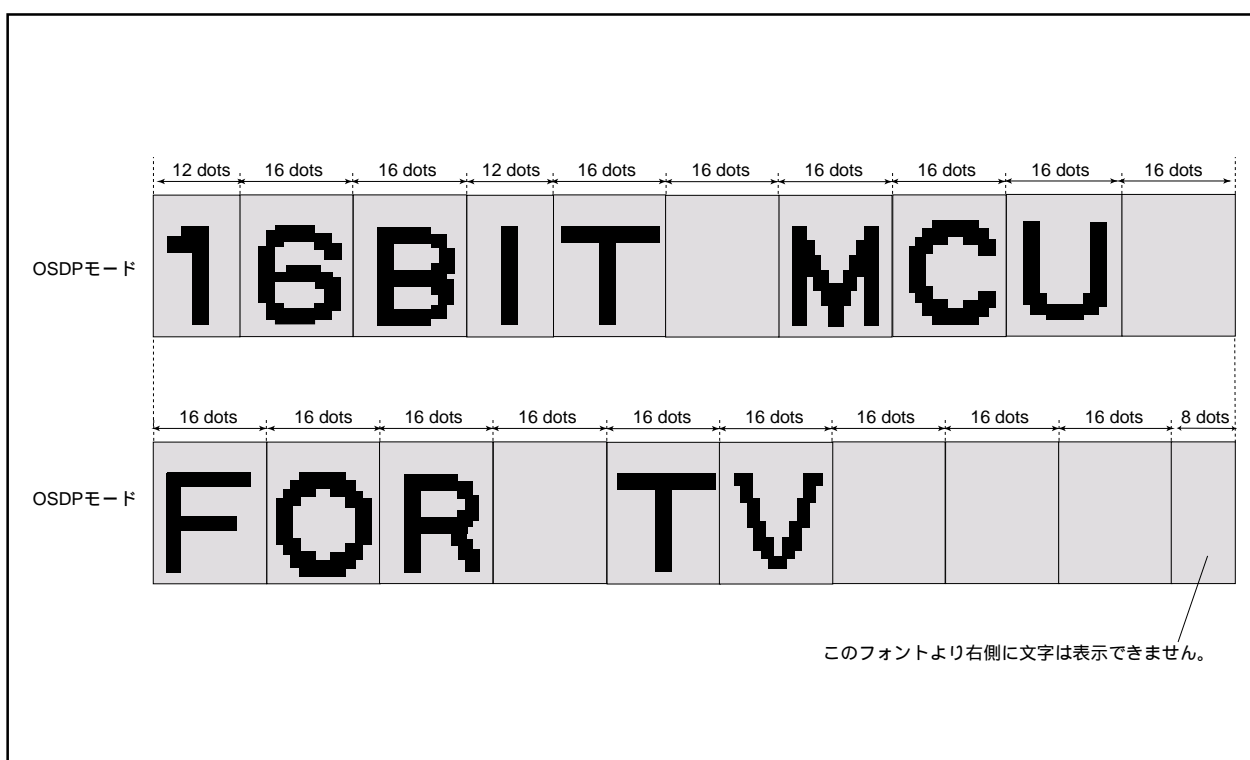
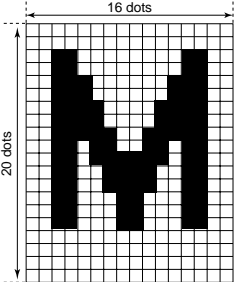
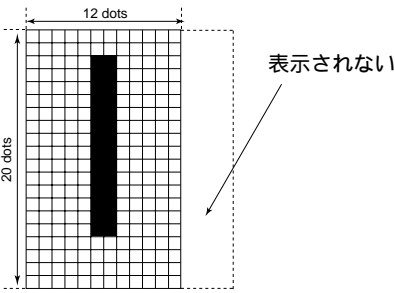
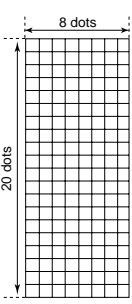
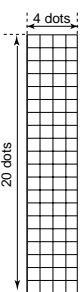


図16.38 OSDモードブロック表示例

表16.11 文字コードと表示フォントの対応

文字コード	表示フォント	注意
00016 ~ 0EF16, 10016 ~ 2FF16 (10016, 18016, 20016, 28016を除く)		
0F016 ~ 0FD16		<ul style="list-style-type: none"> ・ 設定したフォントの左から12ドット分 (16×12ドット)が表示されます。 ・ CC, OSDSモード時は、設定したフォント全体(16×20ドット)が表示されます。
3FE16		<ul style="list-style-type: none"> ・ ブランクフォント (文字背景色のみ) が表示されます。 ・ このフォントより右側に文字表示はできません。 ・ このフォントはブロックの1文字目 (左端) に設定しないでください。
3FF16		<ul style="list-style-type: none"> ・ ブランクフォント (文字背景色のみ) が表示されます ・ このフォントより右側に文字表示はできません。 ・ このフォントはブロックの1文字目 (左端) に設定しないでください。

多行表示

本マイクロコンピュータは、16のブロックを別々の垂直位置に表示することによって16行の表示を行うことができます。更に、OSD1割り込みを用いることにより、16行以上の表示を行うことができます。

OSD1割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置（垂直位置レジスタにより指定）にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。ただし、OSDコントロールレジスタ2（図16.7参照）の設定によってOSD1割り込み要求が発生するモードが異なります。

- ・ OSDコントロールレジスタ2のビット7が“0”のとき、レイヤ1のブロック表示終了時にOSD1割り込み要求が発生
- ・ OSDコントロールレジスタ2のビット7が“1”のとき、レイヤ2のブロック表示終了時にOSD1割り込み要求が発生

- 注1. ブロック表示終了時に発生する“OSD1割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタ i （0210₁₆～021F₁₆番地）の表示制御ビットの設定によってブロックの表示がオフ（非表示）状態であれば、“OSD1割り込み要求”は発生しません（図16.39のA参照）。
2. 1つのブロック表示中に途中の他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します（図16.39のB参照）。
3. ウィンドウを設定した画面で、ウィンドウ外にあるブロック（表示OFF）が表示終了した時点でも“OSD1割り込み要求”は発生します（図16.39のC参照）。

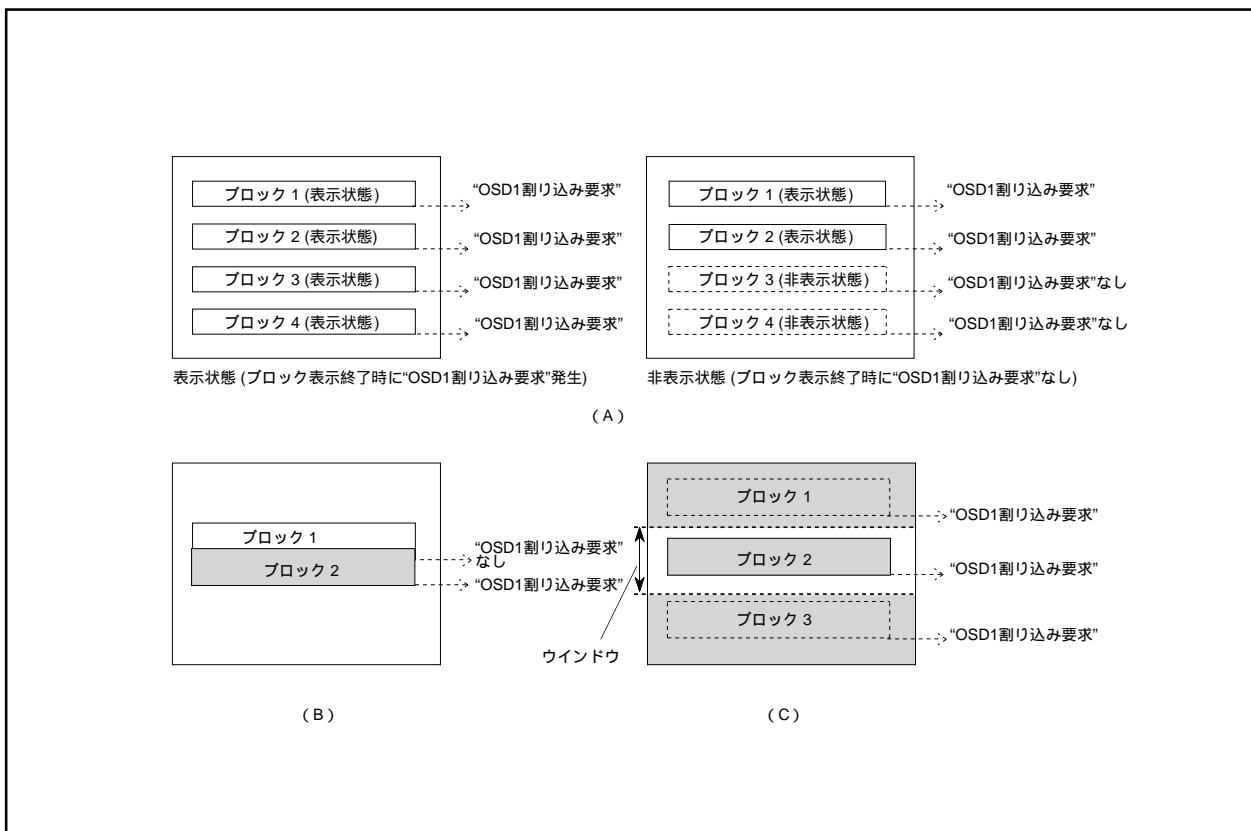


図16.39 OSD1割り込み発生の注意点

スプライトOSD機能

スプライト表示はブロックOSD表示の有無や表示位置にかかわらず、任意の位置に表示することのできる機能で、カーソル表示等に最適です。スプライトフォントはスプライトフォント1とスプライトフォント2の2文字から構成されています。各スプライトフォントは横32ドット×縦20ドット構成のRAMフォントで、4つのプレーンから構成されており、1ドットあたり4ビットのデータを持っています。各プレーンはカラーパレット選択ビットと対応しており、各ドットごとにプレーンの組合せ（4ビット）によって表される16種類のカラーパレットが選択可能です。スプライトフォントはRAMで構成されているため、ソフトウェアによって任意のフォントデータに加工できます。

スプライトOSDはスプライトOSD制御レジスタによって、スプライト表示ON/OFF、ドットサイズ、を設定します。スプライト水平位置レジスタ、スプライト垂直位置レジスタによって、ブロック表示とは独立して表示位置を設定することができます。スプライトフォント1とスプライトフォント2はそれぞれ独立して垂直位置が設定できます。各フォント表示終了時、OSD2割り込み要求を発生します。水平位置は2Tosc単位に2048段階で、垂直位置は1TH単位に1024段階で設定できます。

スプライト表示が他のOSD表示と重なった場合、常にスプライト表示が優先します。ただし、OUT2が出力されているOSD表示と重なった場合は、OSD表示のOUT2はマスクされず、出力されます。

- 注1. スプライトOSDでは、OUT2は出力できません。
- スプライトOSD使用時、HS “003₁₆”, HS “800₁₆” は設定しないでください。
 - スプライトOSD使用時、VSi = “000₁₆”, VSi “400₁₆” は設定しないでください。
 - 同レイヤ内でスプライトフォント1とスプライトフォント2を重ねて表示した場合、垂直表示位置の設定値が大きい方が表示されます。垂直表示位置が同一の場合、スプライトフォント1が表示されます。

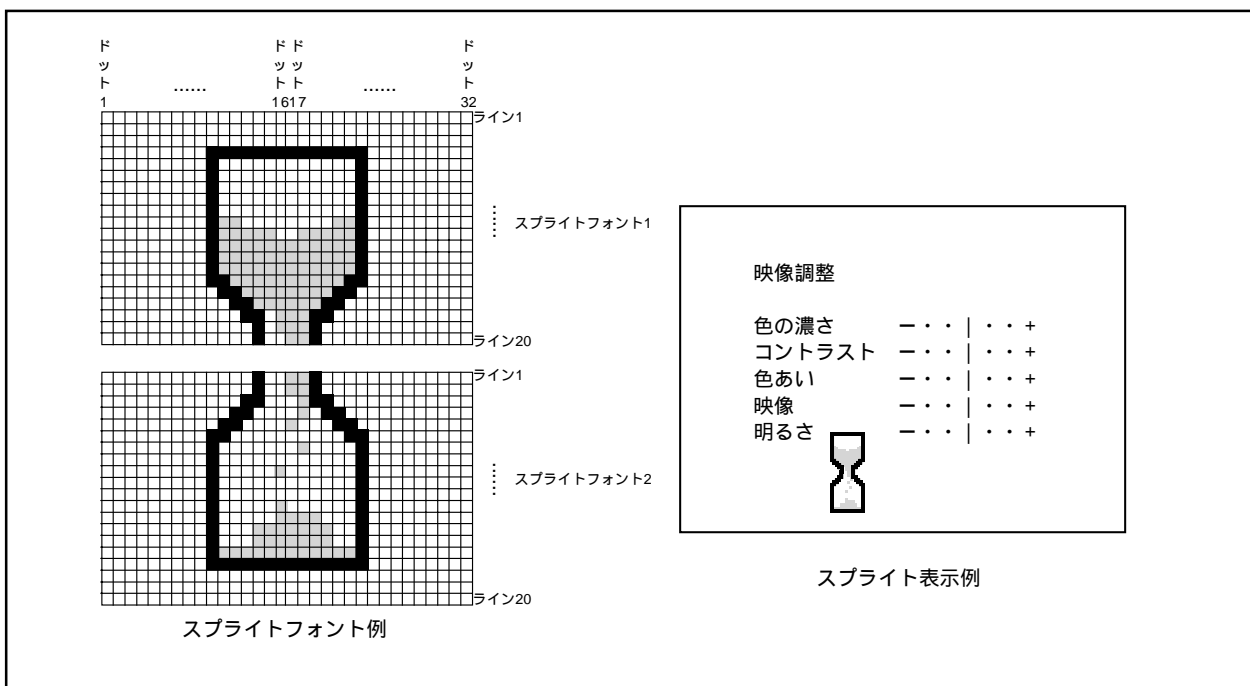


図16.40 スプライトOSD表示例

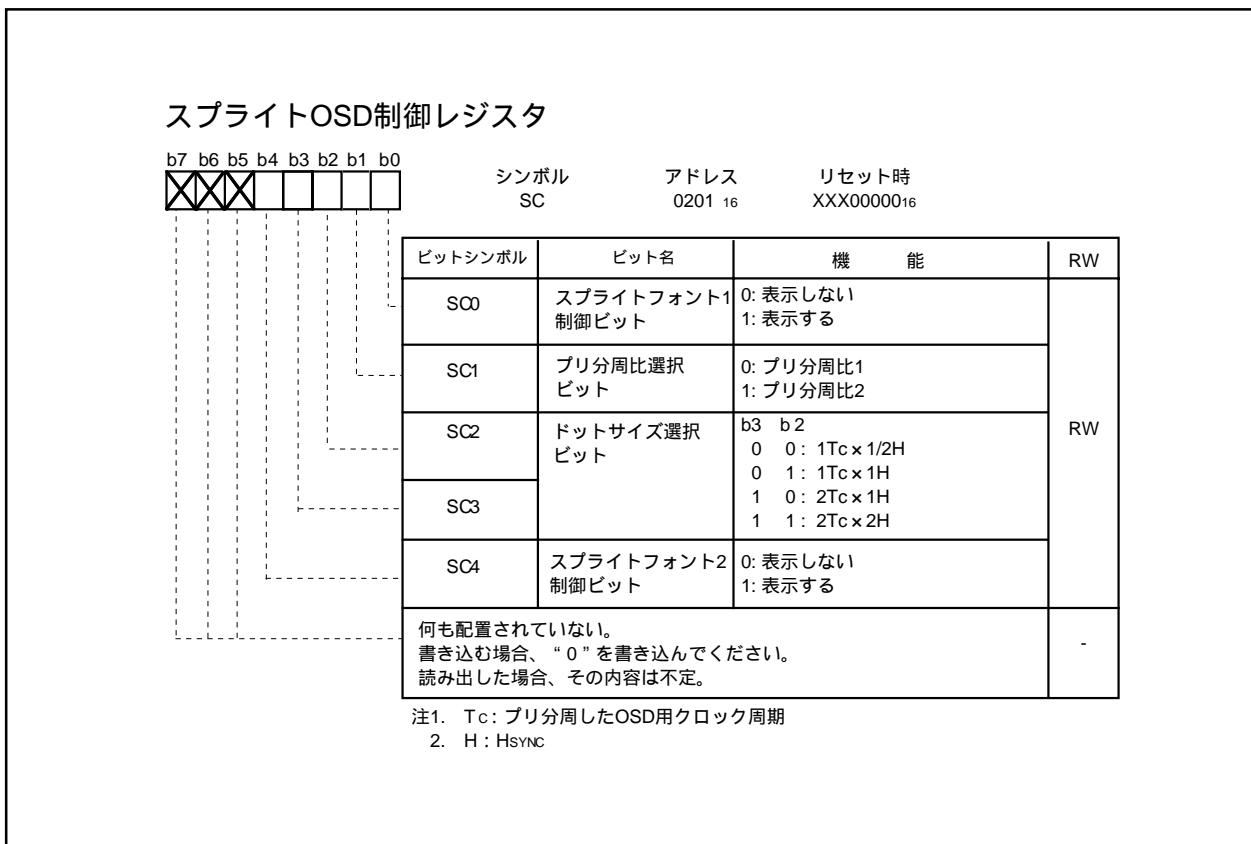


図16.41 スプライトOSD制御レジスタ

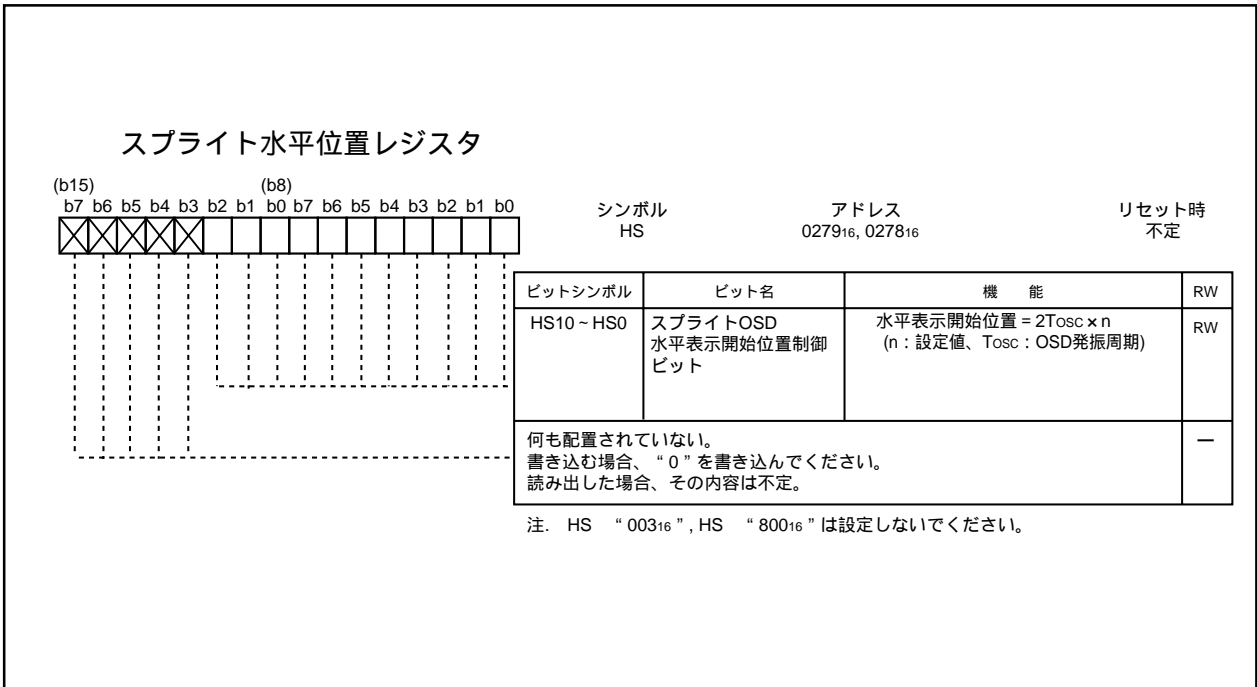


図16.42 スプライト水平位置レジスタ

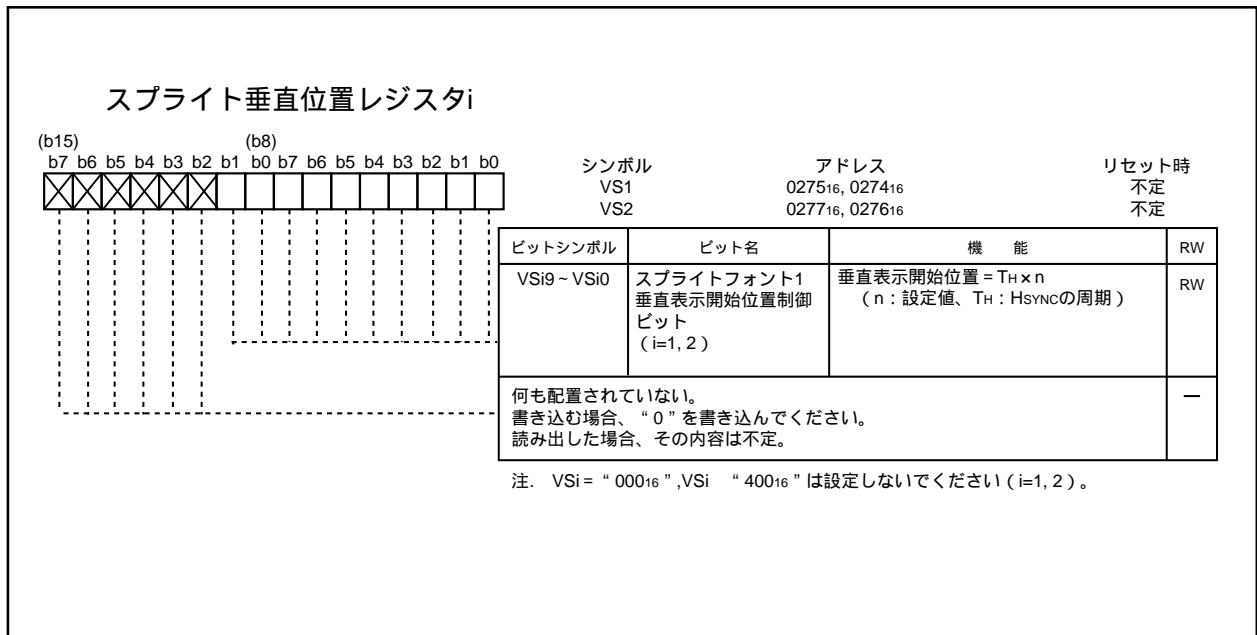


図16.43 スプライト垂直位置レジスタ*i* (*i*=1, 2)

ウィンドウ機能

画面内にウィンドウを設定し、ウィンドウを設定した領域でのみ、OSDを出力する機能です。

縦ウィンドウ機能のON/OFFは、OSDコントロールレジスタ1のビット5によって行い、OSDコントロールレジスタ2のビット6で縦ブランク機能と切り換えて使用します。したがって、縦ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの上端はトップボーダーコントロールレジスタ（TBR）、下端はボトムボーダーコントロールレジスタ（BBR）によって指定します。

横ウィンドウ機能のON/OFFは、OSDコントロールレジスタ2のビット4によって行い、OSDコントロールレジスタ2のビット5で横ブランク機能と切り換えて使用します。したがって、横ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの左端はレフトボーダーコントロールレジスタ（LBR）、右端はライトボーダーコントロールレジスタ（RBR）によって指定します。

- 注1. 横ブランクと横ウィンドウ、縦ブランクと縦ウィンドウは、同時に使用することはできません。
2. OSDコントロールレジスタ1,2でウィンドウ機能を動作設定にした場合、OUT2のウィンドウ機能はOSDコントロールレジスタ3（ビット5～ビット7）の設定値にかかわらず、すべての表示モードで動作します。例えばCCモードのみウィンドウ機能を動作させた場合でも、OUT2のウィンドウ機能はOSDS/L/PとCDOSDモードでも動作します。
3. スプライト表示では、ウィンドウ機能は動作しません。

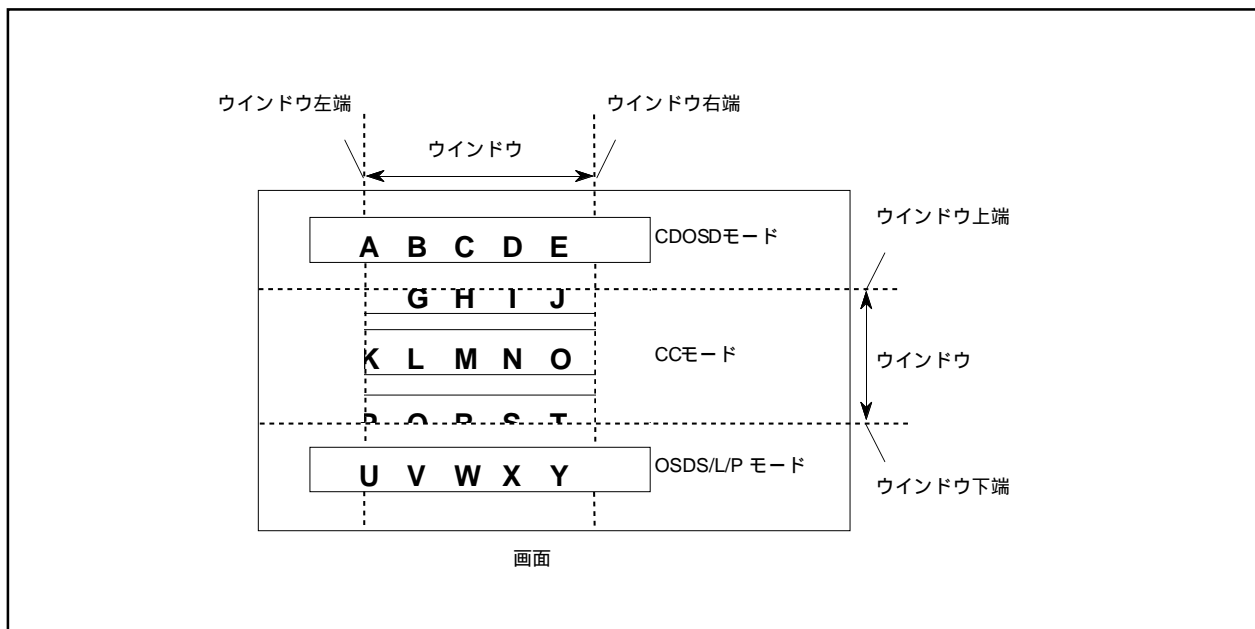


図16.44 ウィンドウ機能例（CCモード有効時）

ブランク機能

ブランク機能は、画面の両端（縦、横）にブランク（OUT1）を出力する機能です。

縦ブランク機能のON/OFFは、OSDコントロールレジスタ1のビット5で行い、OSDコントロールレジスタ2のビット6で縦ウインドウ機能と切り換えて使用します。したがって、縦ウインドウ機能と同時に使用することはできません。ブランクの上端はトップボーダーコントロールレジスタ（TBR）、ブランクの下端はボトムボーダーコントロールレジスタ（BBR）によって、1H単位に指定します。

横ブランク機能のON/OFFは、OSDコントロールレジスタ2のビット4で行い、OSDコントロールレジスタ2ビット5で横ウインドウ機能と切り換えて使用します。したがって、横ウインドウ機能と同時に使用することはできません。ブランクの左端はレフトボーダーコントロールレジスタ（LBR）、ブランクの右端はライトボーダーコントロールレジスタ（RBR）によって、4T_{osc}単位に指定します。

なお、ブランクを出力している領域のOSD出力（ラスタ以外）が消えることはありません。
これらブランク信号は、水平・垂直帰線期間中出力されません。

- 注1. 横ブランクと横ウインドウ、縦ブランクと縦ウインドウは、同時に使用することはできません。
2. ブランク機能使用時、OSDコントロールレジスタ1のビット0を必ず“1”にしてください。

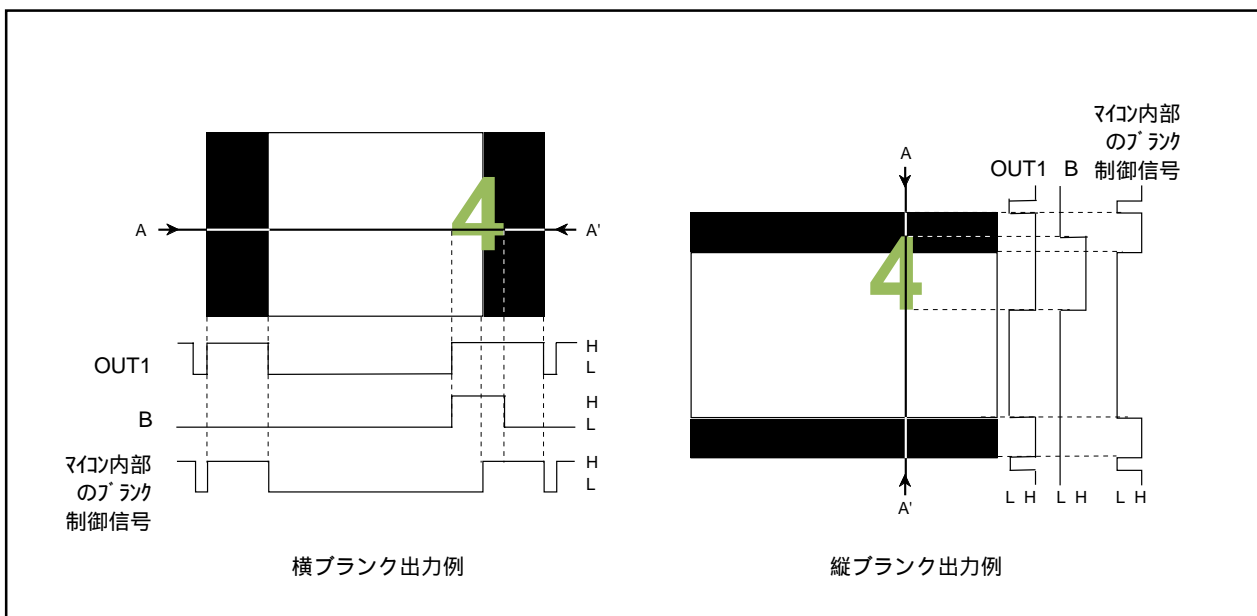


図16.45 ブランク出力例（OSD出力がB+OUT1の場合）

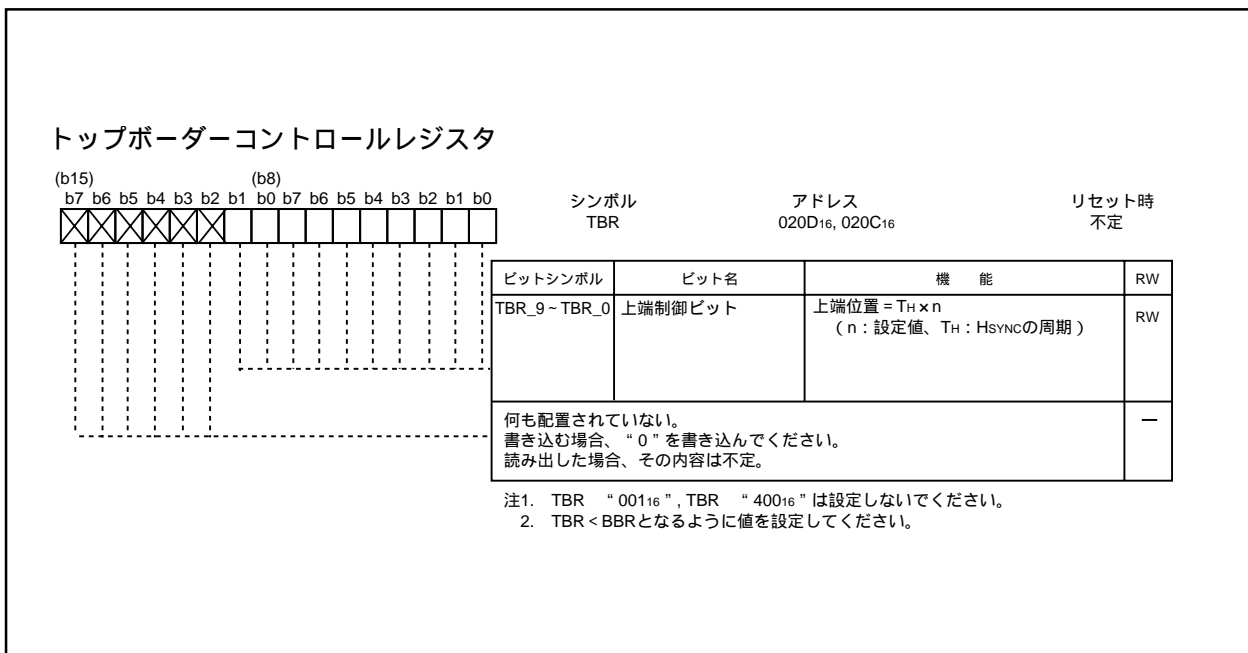


図16.46 トップボーダーコントロールレジスタ

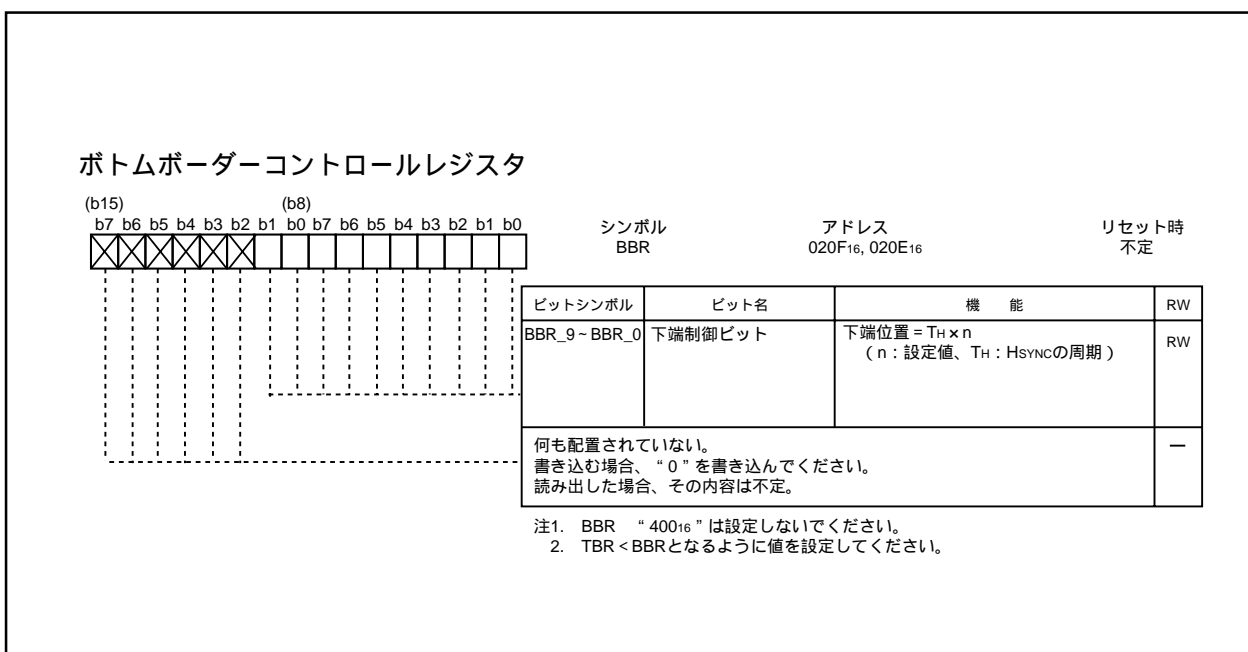


図16.47 ボトムボーダーコントロールレジスタ

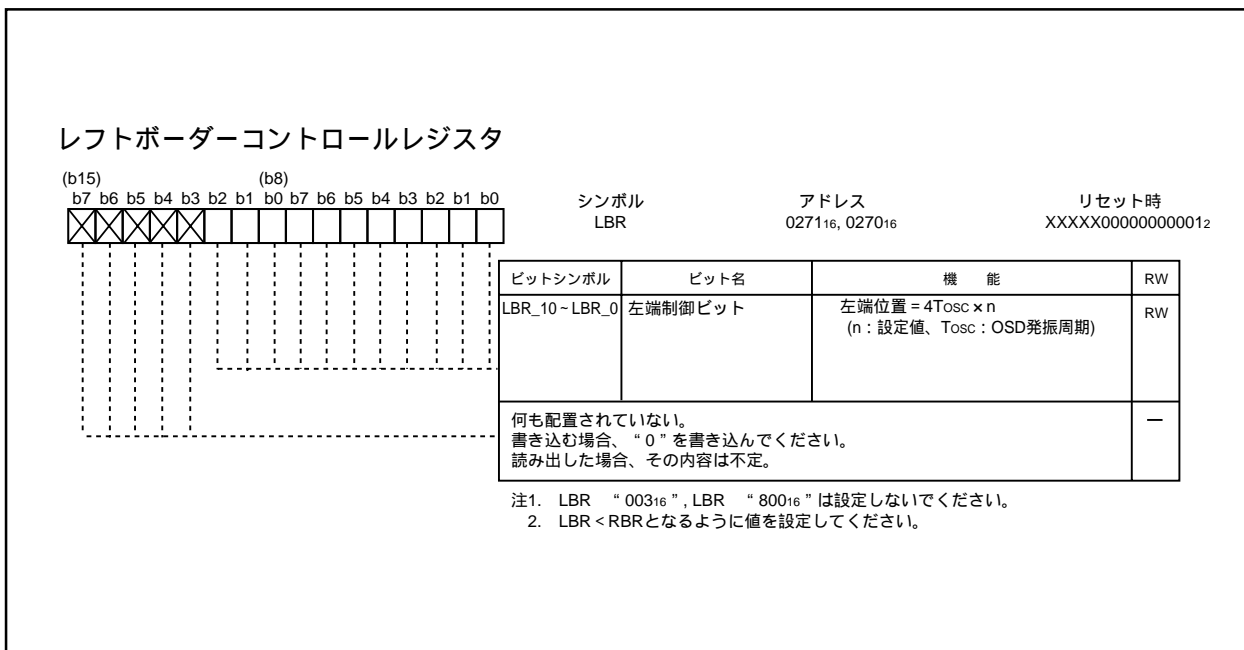


図16.48 レフトボーダーコントロールレジスタ

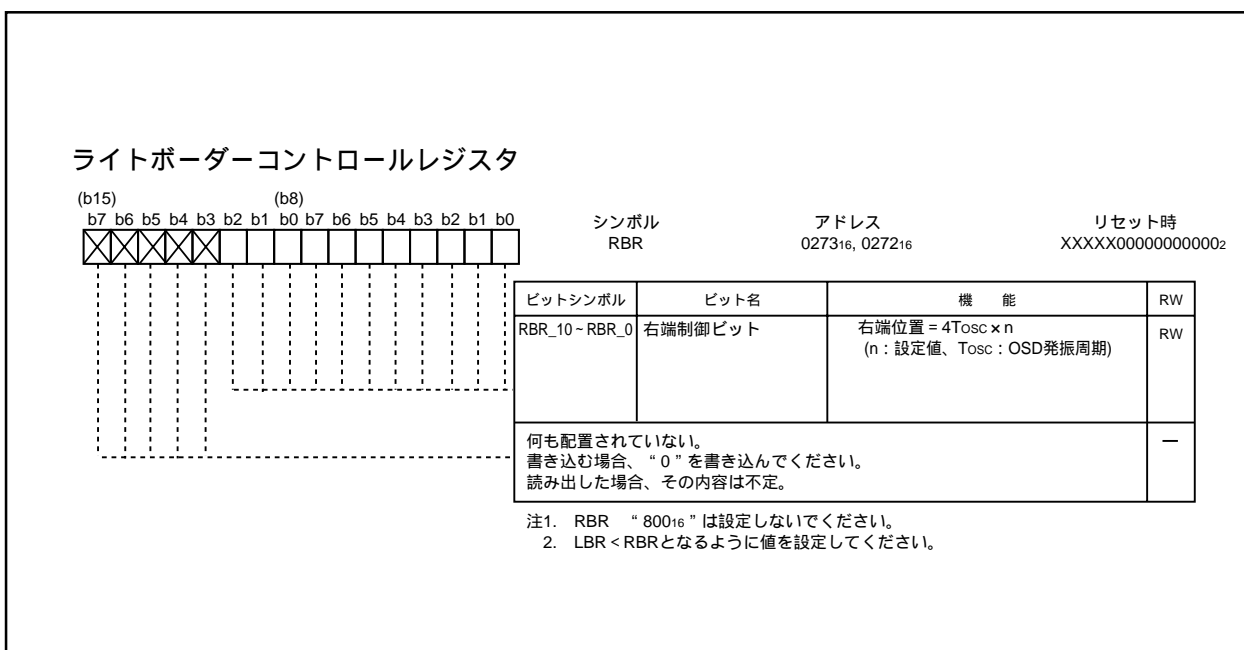


図16.49 ライトボーダーコントロールレジスタ

ラスター着色機能

ラスターカラーレジスタを設定することによって、一画面全体（ラスター）に着色を行うことができます。R, G, B, OUT1, OUT2端子それぞれをラスター信号出力に切り替えることが可能で、512種類のラスター着色が可能です。

文字色 / 文字背景色がラスター色と重なっている部分は、文字色 / 文字背景色に指定した色信号（R, G, B, OUT1, OUT2）が優先して出力されます。したがって文字色 / 文字背景色とラスター色が混合することはありません。

図16.50にラスターカラーレジスタを、図16.51にラスター着色例を示します。

注: ブランクが出力されている領域にはラスターは出力されません。

ラスターカラーレジスタ		シンボル	アドレス	リセット時
(b15) b7 b6 b5 b4 b3 b2 b1 (b8) b0 b7 b6 b5 b4 b3 b2 b1 b0 		RC	0209 ₁₆ , 0208 ₁₆	0000 ₁₆
ビットシンボル	ビット名	機能	RW	
RC2 ~ RC0	R信号出力制御ビット	b2 b1 b0 0 0 0 : Vss 0 0 1 : 1/7V 0 1 0 : 2/7V 0 1 1 : 3/7V 1 0 0 : 4/7V 1 0 1 : 5/7V 1 1 0 : 6/7V 1 1 1 : 7/7V	RW	
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	
RC6 ~ RC4	G信号出力制御ビット	b6 b5 b4 0 0 0 : Vss 0 0 1 : 1/7V 0 1 0 : 2/7V 0 1 1 : 3/7V 1 0 0 : 4/7V 1 0 1 : 5/7V 1 1 0 : 6/7V 1 1 1 : 7/7V	RW	
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	
RC10 ~ RC8	B信号出力制御ビット	b2 b1 b0 0 0 0 : Vss 0 0 1 : 1/7V 0 1 0 : 2/7V 0 1 1 : 3/7V 1 0 0 : 4/7V 1 0 1 : 5/7V 1 1 0 : 6/7V 1 1 1 : 7/7V	RW	
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	
RC12	OUT1信号出力制御ビット	0 : 出力しない 1 : 出力する	RW	
RC13	OUT2信号出力制御ビット	0 : 出力しない 1 : 出力する		
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	

図16.50 ラスターカラーレジスタ

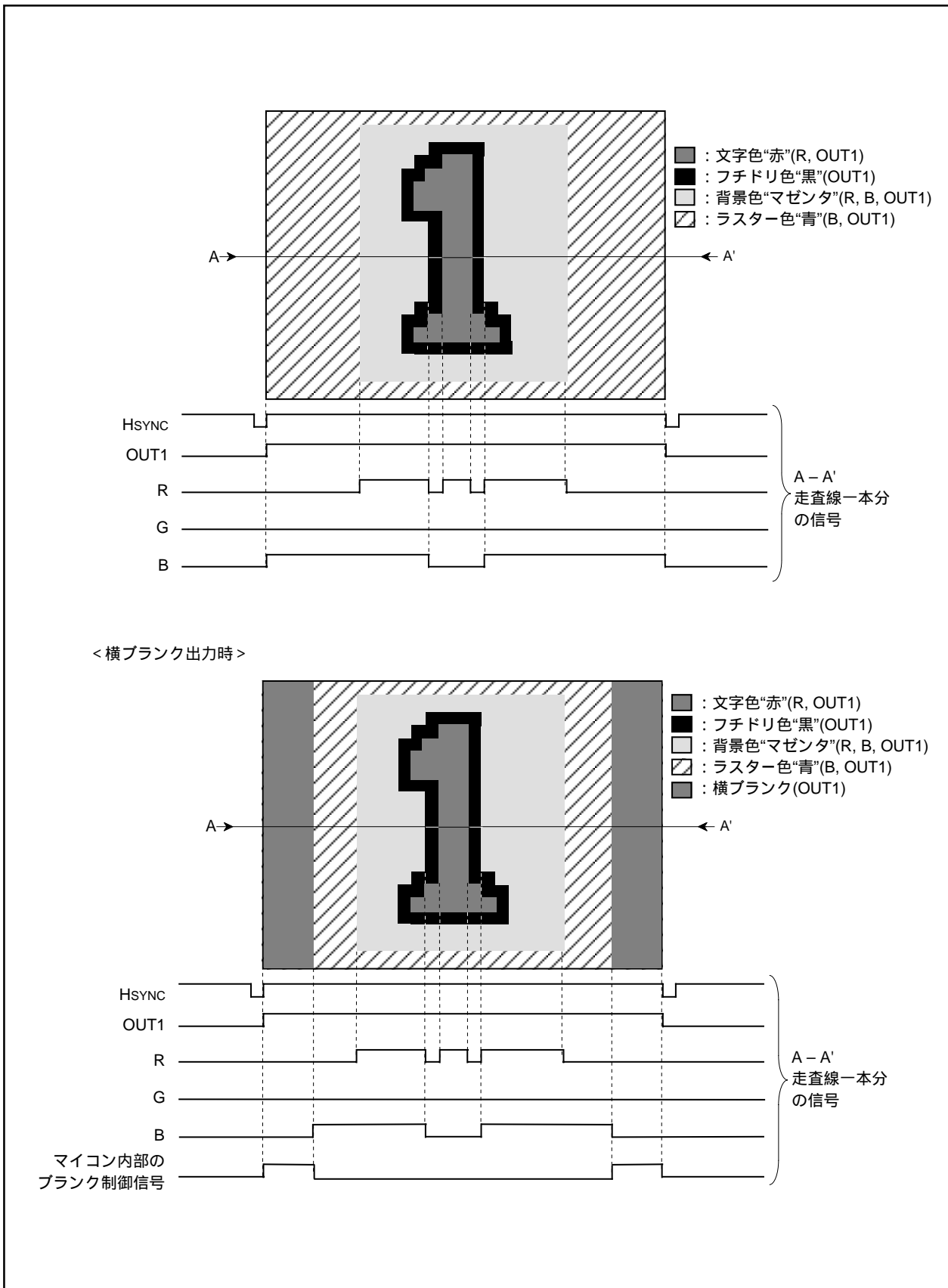


図16.51 ラスター着色例

スキャンモード

通常の2倍の周波数のHsyncに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置、垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタ1のビット1で選択します（図16.3参照）。

表16.12 スキャンモードの設定

項目	スキャンモード	ノーマルスキャン	バイスキャン
OSDコントロールレジスタ1のビット1		0	1
垂直表示開始位置		垂直位置レジスタの値×1H	垂直位置レジスタの値×2H
垂直ドットサイズ		1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H	1Tc×1H 1Tc×2H 2Tc×4H 3Tc×6H

R, G, B信号出力制御

R, G, B信号の出力形態はクロックコントロールレジスタのビット4とOSDコントロールレジスタ2のビット2によって下表のように制御されます。

表16.13 R, G, B信号出力制御

クロックコントロールレジスタ1 (205番地) のビット4	OSDコントロールレジスタ2 (203番地) のビット2	拡張レジスタ (2D5番地) のビット0	R, G, B信号の出力形態
0	0	1	R, G, B各端子2値出力 (デジタル出力)
	1	0	R, G, B各端子8値出力 (アナログ出力) 1
1	0	0	DIGR0, DIGR1, DIGR2 DIGG0, DIGG1, DIGG2 DIGB0, DIGB1, DIGB2 各端子2値出力 (カラーパレットレジスタiの各信号出力制御ビットに対応) DIGR0~2: それぞれCRi0~2 DIGG0~2: それぞれCRi4~6 DIGB0~2: それぞれCRi8~10

- この他にANARGBCLKEN (2DE番地 ビット4)、RGBRON (25D番地 ビット6) を1にして下さい。また、ANARGBCAPON (2DE番地 ビット3) を1に設定し、CAP端子にはアナログRGB内部動作安定用コンデンサ (0.47µF (参考値)) を取付けて下さい。
- OUT1、OUT2端子を使用する場合は、OUT1EN (2DB番地 ビット4)、OUT2EN (2DB番地 ビット5) を“1”にして下さい。

OSD予約レジスタ



図16.52 OSD予約レジスタ1

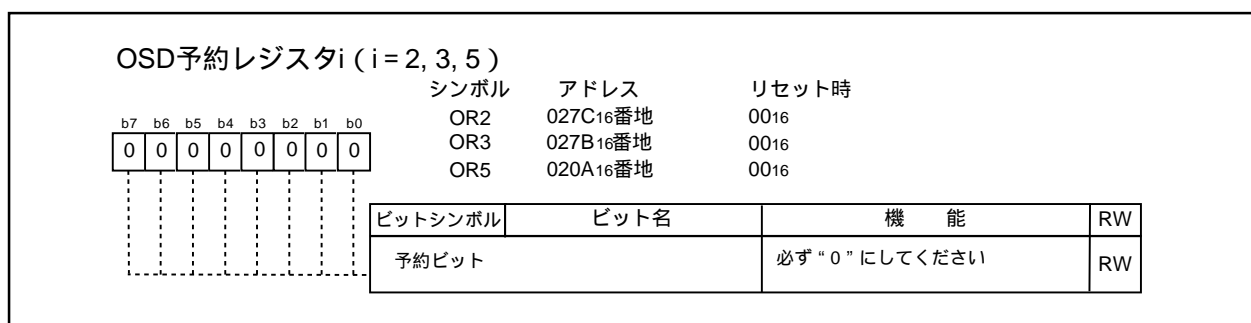
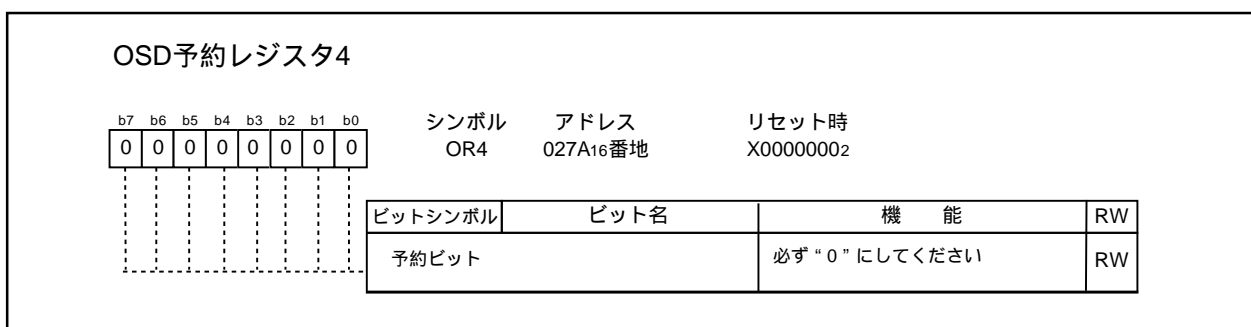
図16.53 OSD予約レジスタ i ($i = 2, 3, 5$)

図16.54 OSD予約レジスタ4

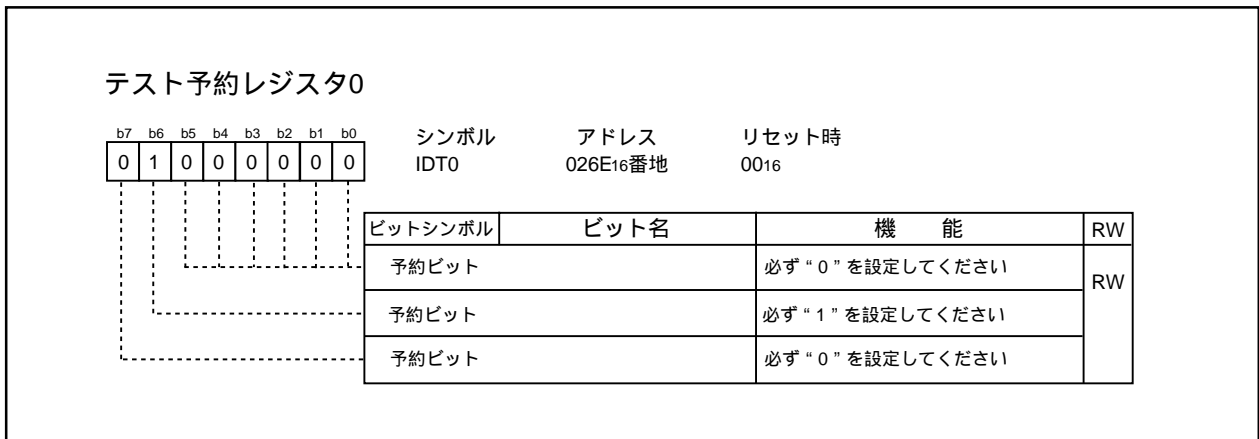


図16.55 テスト予約レジスタ0

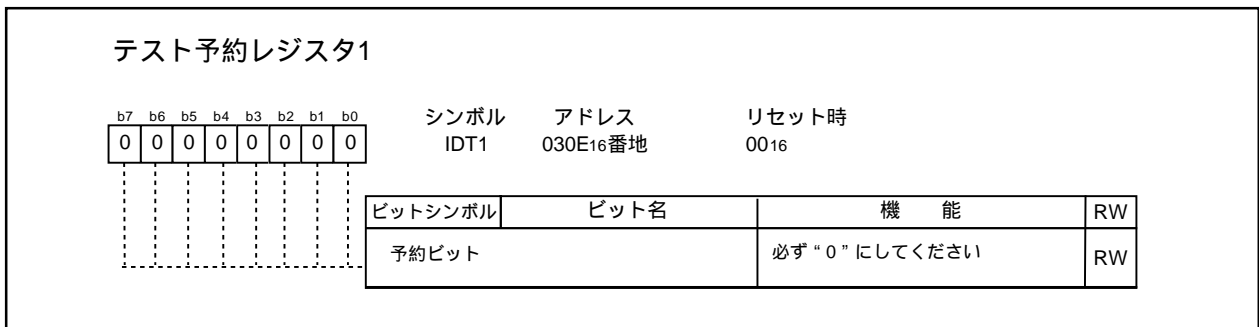


図16.56 テスト予約レジスタ1

TB0IN ノイズフィルタ

TB0IN端子の入力にはノイズフィルタが内蔵されています。ノイズフィルタのON/OFF、フィルタクロックの選択は、拡張レジスタ1Dのビット2～ビット4で行います。

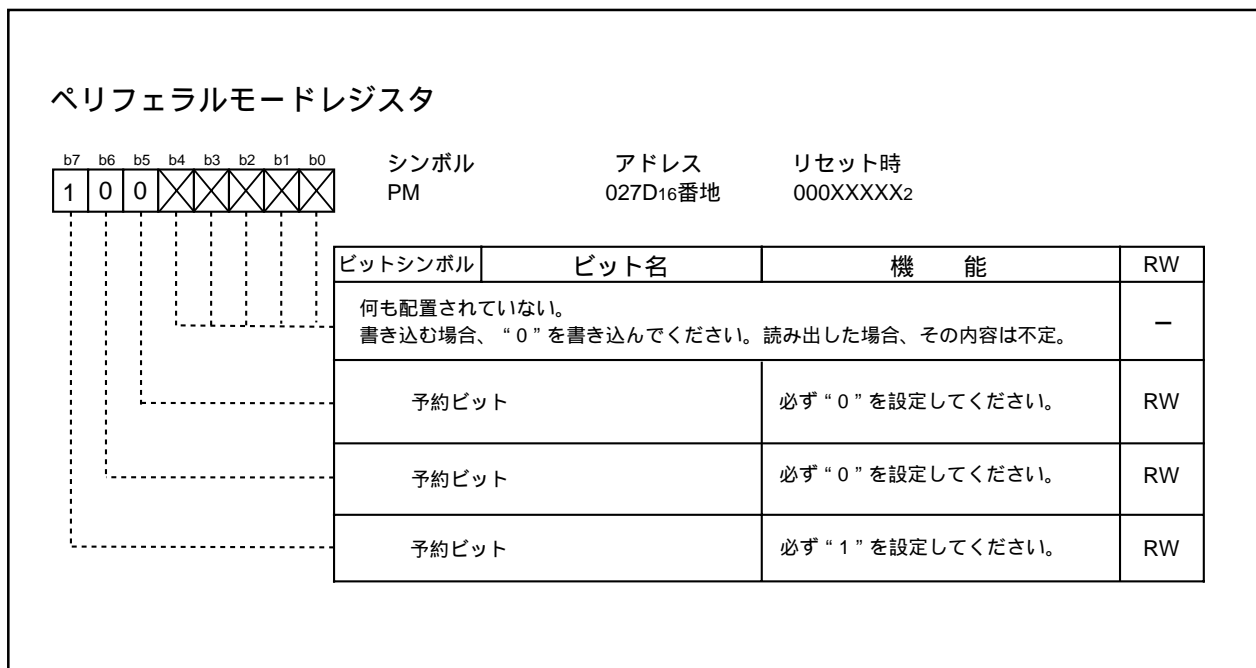


図16.57 ペリフェラルモードレジスタ

プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)はP0~P10の75本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。

図17.1~図17.5に入出力ポートの構成、図17.6に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は、各機能説明を参照してください。

バス制御端子として使用する場合は、「バス制御」を参照してください。

(1) ポートPi方向レジスタ(PDiレジスタ $i=0 \sim 10$)

図17.7にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A19、D0~D15、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL} / \overline{WR}$ 、 $\overline{WRH} / \overline{BHE}$ 、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPDiレジスタは変更できません。

(2) ポートPiレジスタ(Piレジスタ $i=0 \sim 10$)

図17.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A19、D0~D15、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL} / \overline{WR}$ 、 $\overline{WRH} / \overline{BHE}$ 、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

(3) プルアップ制御レジスタ0~プルアップ制御レジスタ2(PUR0~PUR2レジスタ)

図17.10にPUR0~PUR2レジスタを示します。

PUR0~PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0~P3、P40~P43、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

(4) ポート制御レジスタ(PCRレジスタ)

図17.11にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

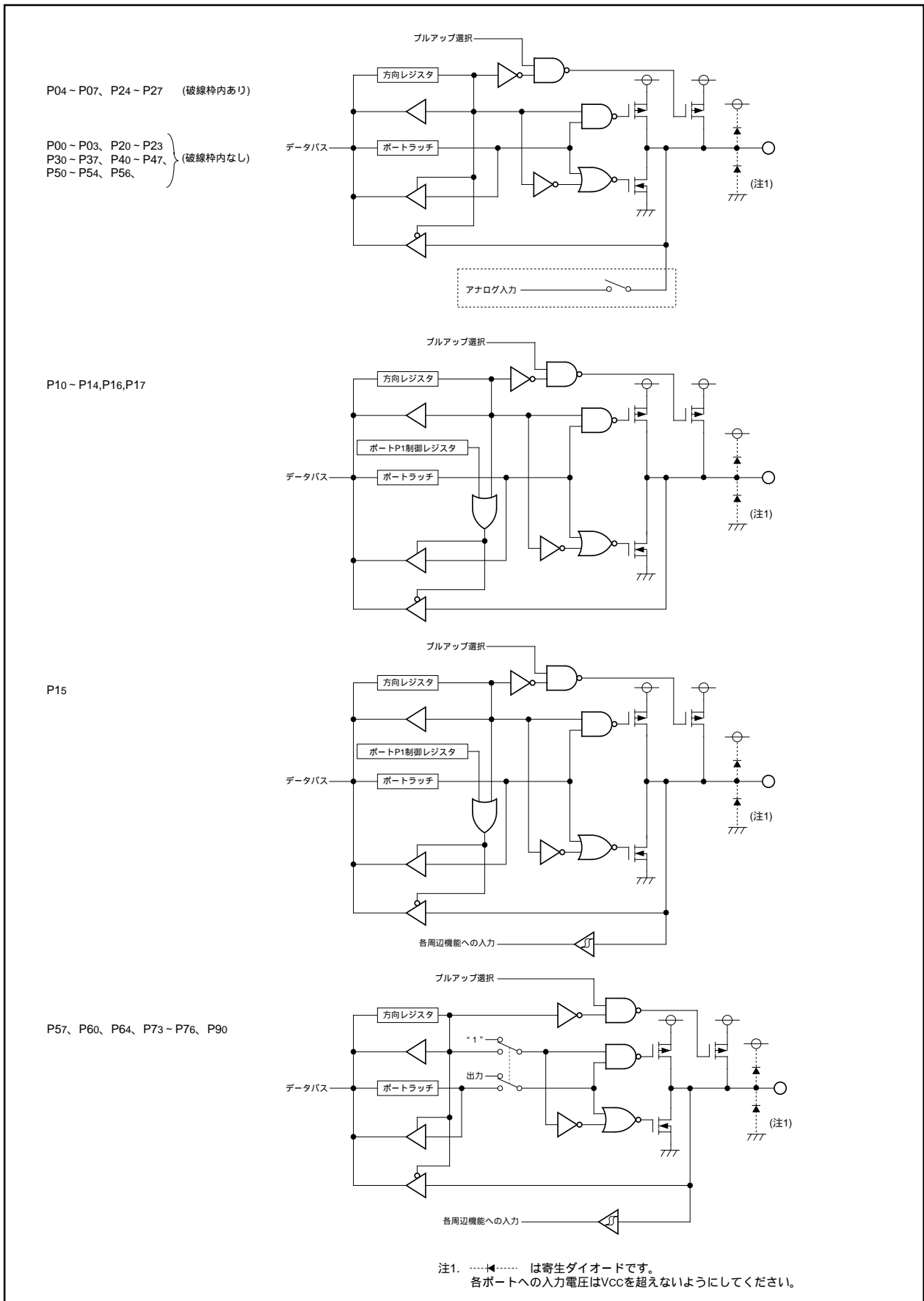


図17.1. 入出力ポートの構成(1)

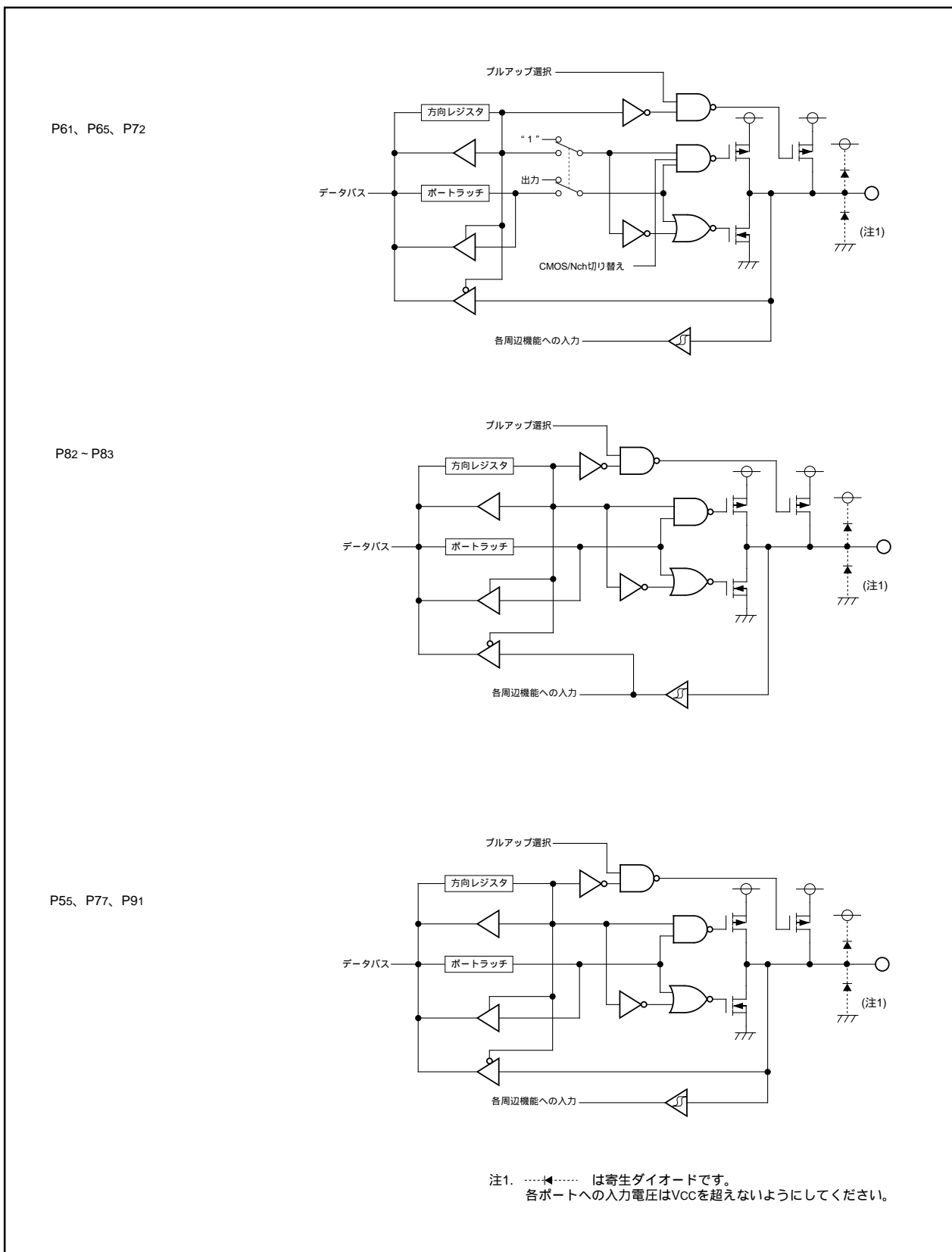


図17.2. 入出力ポートの構成(2)

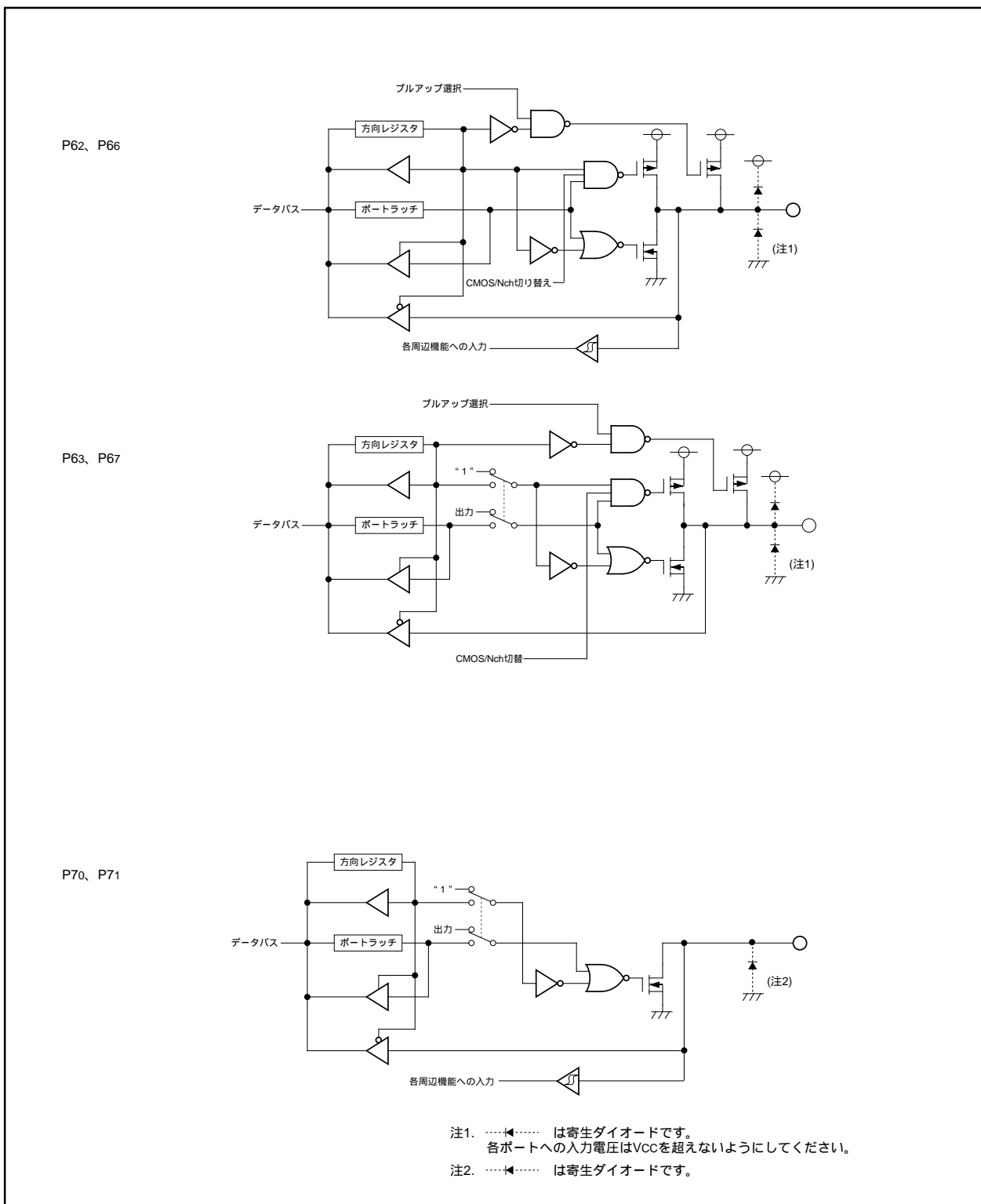


図17.3. 入出力ポートの構成(3)

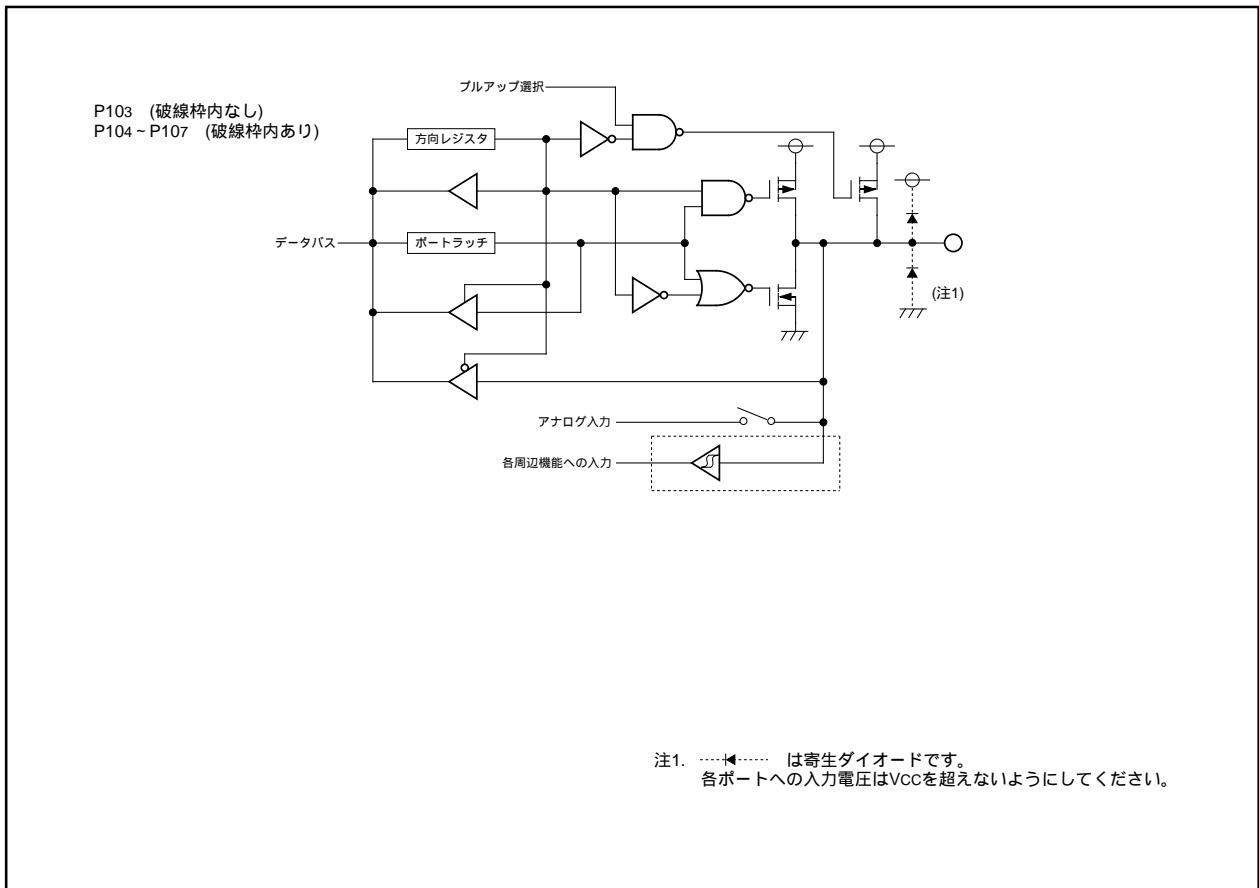


図17.4. 入出力ポートの構成(4)

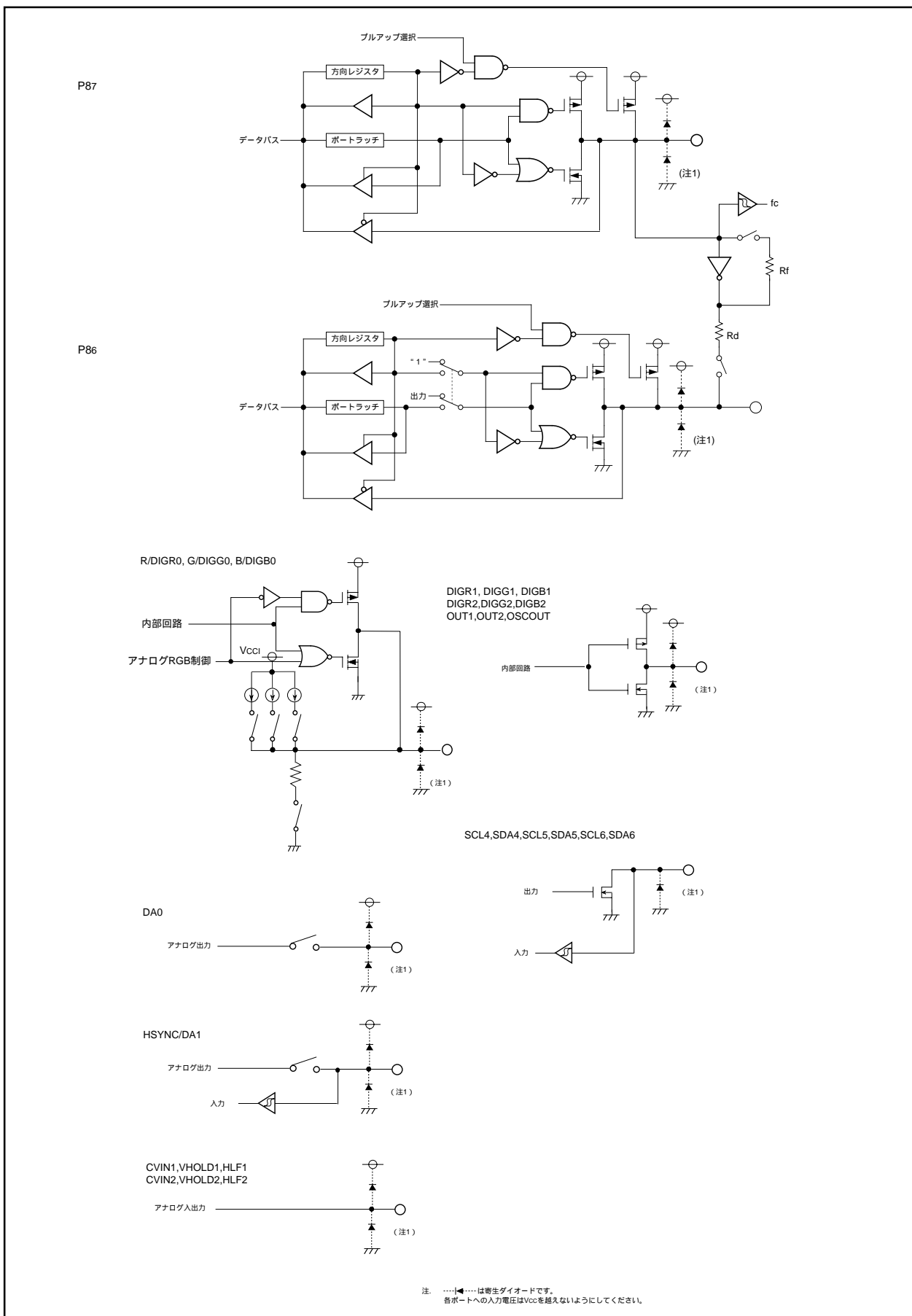


図17.5. 入出力ポートの構成(5)

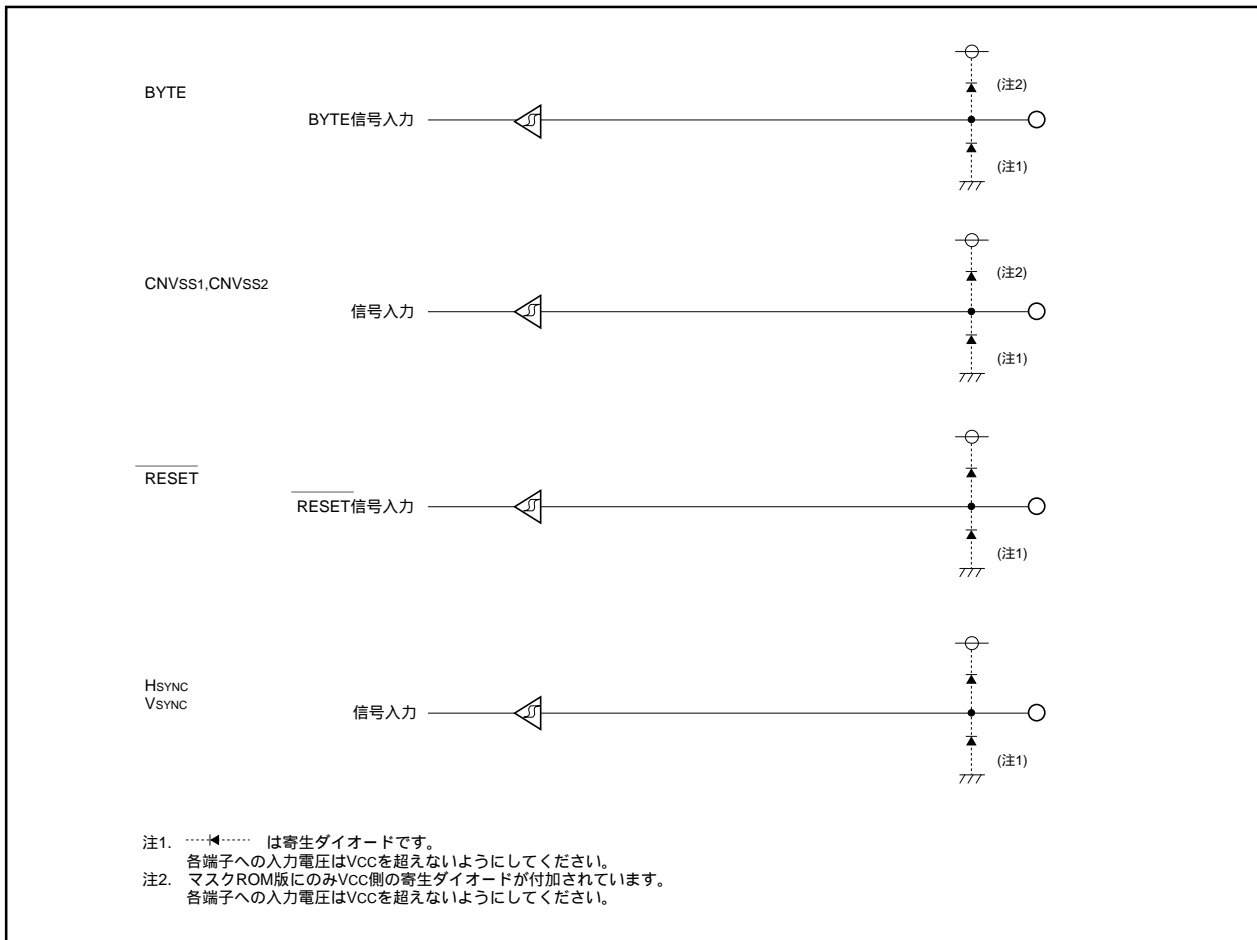


図17.6. 端子の構成

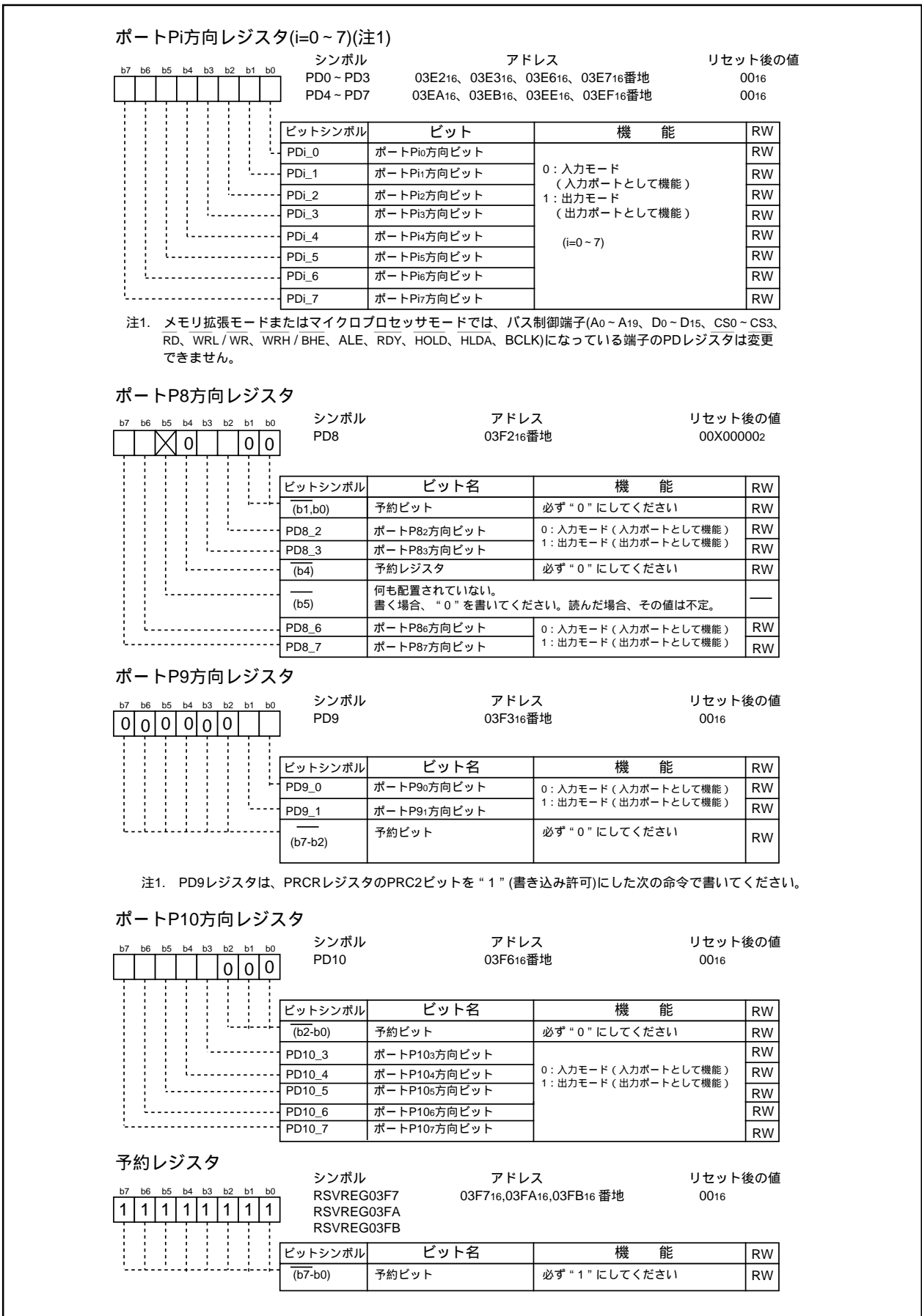


図17.7. PD0~PD10レジスタ

ポートPiレジスタ(i=0~7)(注2)

シンボル	アドレス	リセット後の値
P0~P3	03E0 ₁₆ 、03E1 ₁₆ 、03E4 ₁₆ 、03E5 ₁₆ 番地	不定
P4~P7	03E8 ₁₆ 、03E9 ₁₆ 、03EC ₁₆ 、03ED ₁₆ 番地	不定

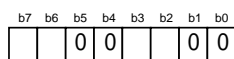


ビットシンボル	ビット名	機	RW
Pi_0	ポートPi ₀ ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: "L" レベル 1: "H" レベル(注1) (i=0~7)	RW
Pi_1	ポートPi ₁ ビット		RW
Pi_2	ポートPi ₂ ビット		RW
Pi_3	ポートPi ₃ ビット		RW
Pi_4	ポートPi ₄ ビット		RW
Pi_5	ポートPi ₅ ビット		RW
Pi_6	ポートPi ₆ ビット		RW
Pi_7	ポートPi ₇ ビット	RW	

注1. P7₀、P7₁はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。
 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A₀~A₁₉、D₀~D₁₅、CS₀~CS₃、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

ポートP8レジスタ

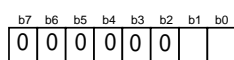
シンボル	アドレス	リセット後の値
P8	03F0 ₁₆ 番地	不定



ビットシンボル	ビット名	機	RW
(b5-b4,b1-b0)	予約ビット	必ず"0"にしてください	RW
P8_2	ポートP8 ₂ ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: "L" レベル 1: "H" レベル	RW
P8_3	ポートP8 ₃ ビット		RW
P8_6	ポートP8 ₆ ビット		RW
P8_7	ポートP8 ₇ ビット		RW

ポートP9レジスタ

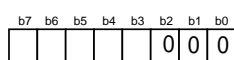
シンボル	アドレス	リセット後の値
P9	03F1 ₁₆ 番地	不定



ビットシンボル	ビット名	機	RW
P9_0	ポートP9 ₀ ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: "L" レベル 1: "H" レベル	RW
P9_1	ポートP9 ₁ ビット		RW
(b7-b2)	予約ビット	必ず"0"にしてください	RW

ポートP10レジスタ

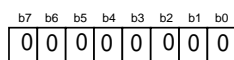
シンボル	アドレス	リセット後の値
P10	03F4 ₁₆ 番地	不定



ビットシンボル	ビット名	機	RW
(b7-b2)	予約ビット	必ず"0"にしてください	RW
P10_3	ポートP10 ₃ ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: "L" レベル 1: "H" レベル	RW
P10_4	ポートP10 ₄ ビット		RW
P10_5	ポートP10 ₅ ビット		RW
P10_6	ポートP10 ₆ ビット		RW
P10_7	ポートP10 ₇ ビット	RW	

予約レジスタ

シンボル	アドレス	リセット後の値
RSVREG03F5 RSVREG03F8 RSVREG03F9	03F5,03F8,03F9 ₁₆ 番地	不定



ビットシンボル	ビット名	機	RW
(b7-b2)	予約ビット	必ず"0"にしてください	RW

図17.8. P0~P10レジスタ

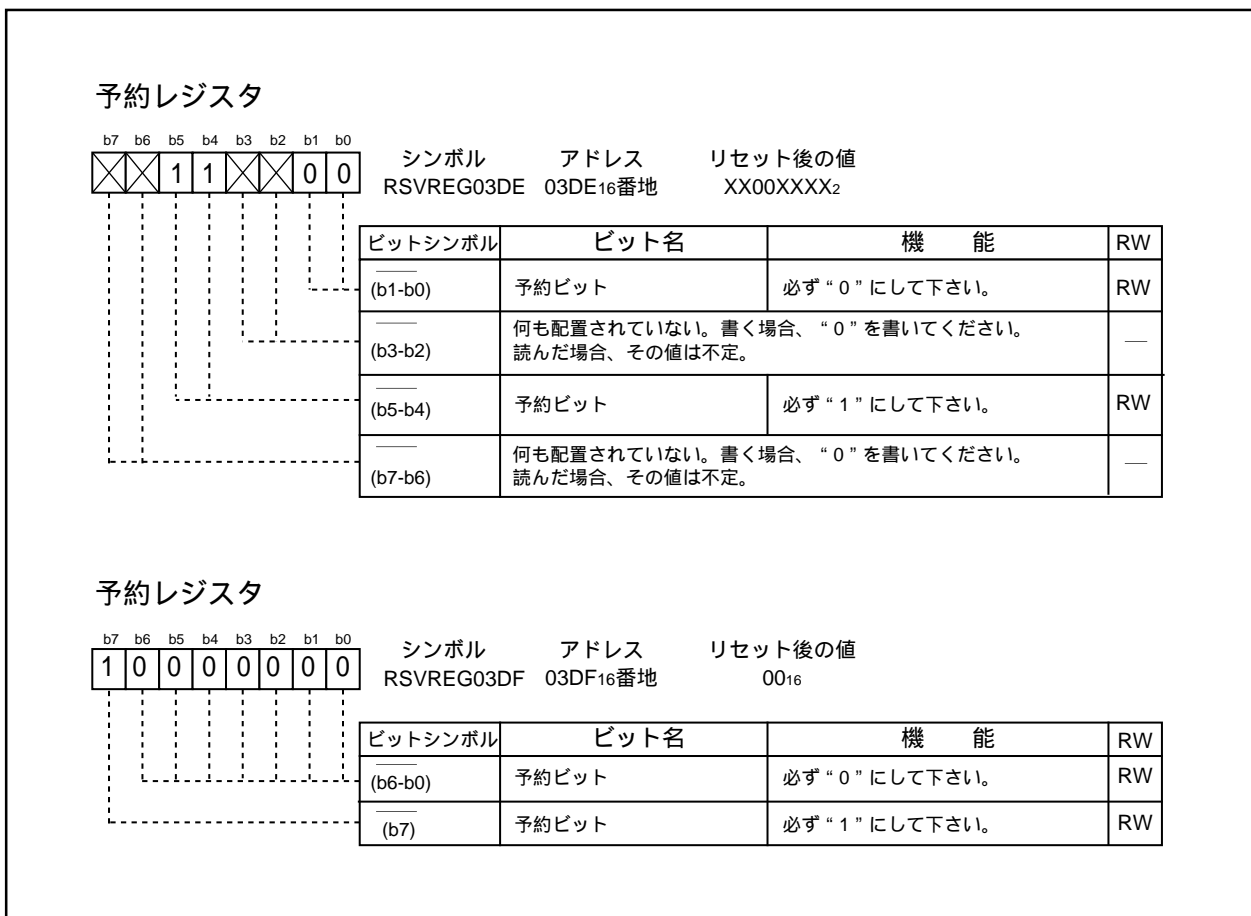
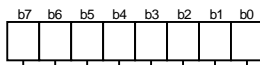


図17.9. 予約レジスタ

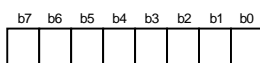
ブルアップ制御レジスタ0(注1)

シンボル
PUR 0アドレス
03FC₁₆番地リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
PU00	P00~P03のブルアップ	0 :ブルアップなし 1 :ブルアップあり(注2)	RW
PU01	P04~P07のブルアップ		RW
PU02	P10~P13のブルアップ		RW
PU03	P14~P17のブルアップ		RW
PU04	P20~P23のブルアップ		RW
PU05	P24~P27のブルアップ		RW
PU06	P30~P33のブルアップ		RW
PU07	P34~P37のブルアップ	RW	

- 注1. メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの内容は変更できますが、ブルアップされません。
 注2. このビットが“1”(ブルアップあり)でかつ方向ビットが“0”(入力モード)の端子がブルアップされます。

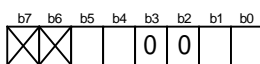
ブルアップ制御レジスタ1

シンボル
PUR 1アドレス
03FD₁₆番地リセット後の値(注5)
00000000₂
00000010₂

ビットシンボル	ビット名	機能	RW
PU10	P40~P43のブルアップ(注2)	0 :ブルアップなし 1 :ブルアップあり(注3)	RW
PU11	P44~P47のブルアップ(注4)		RW
PU12	P50~P53のブルアップ(注2)		RW
PU13	P54~P57のブルアップ(注2)		RW
PU14	P60~P63のブルアップ		RW
PU15	P64~P67のブルアップ		RW
PU16	P72~P73のブルアップ(注1)		RW
PU17	P74~P77のブルアップ	RW	

- 注1. P70、P71端子は、ブルアップはありません。
 注2. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できますが、ブルアップされません。
 注3. このビットが“1”(ブルアップあり)でかつ方向ビットが“0”(入力モード)の端子がブルアップされます。
 注4. シングルチップモード時、プログラムでPM01~PM00ビットを“012”(メモリ拡張モード)または“112”(マイクロプロセッサモード)にすると、PU11ビットが“1”になります。
 注5. ハードウェアリセットでは次のようになります。
 ・CNVss1端子に“L”を入力している場合、“00000000₂”
 ・CNVss1端子に“H”を入力している場合、“00000010₂”
 ソフトウェアリセット、ウォッチドッグタイマリセットでは次のようになります。
 ・PM0レジスタのPM01~PM00ビットが“002”(シングルチップモード)の場合、“00000000₂”
 ・PM0レジスタのPM01~PM00ビットが“012”(メモリ拡張モード)または“112”(マイクロプロセッサモード)の場合、“00000010₂”

ブルアップ制御レジスタ2

シンボル
PUR 2アドレス
03FE₁₆番地リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
PU20	P80~P83のブルアップ	0 :ブルアップなし 1 :ブルアップあり(注1)	RW
PU21	P84~P87のブルアップ(注2)		RW
(b3-b2)	予約ビット	必ず“0”にしてください。	RW
PU24	P103のブルアップ	0 :ブルアップなし 1 :ブルアップあり(注1)	RW
PU25	P104~P107のブルアップ		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

- 注1. このビットが“1”(ブルアップあり)でかつ方向ビットが“0”(入力モード)の端子がブルアップされます。

図17.10. PUR0~PUR2レジスタ

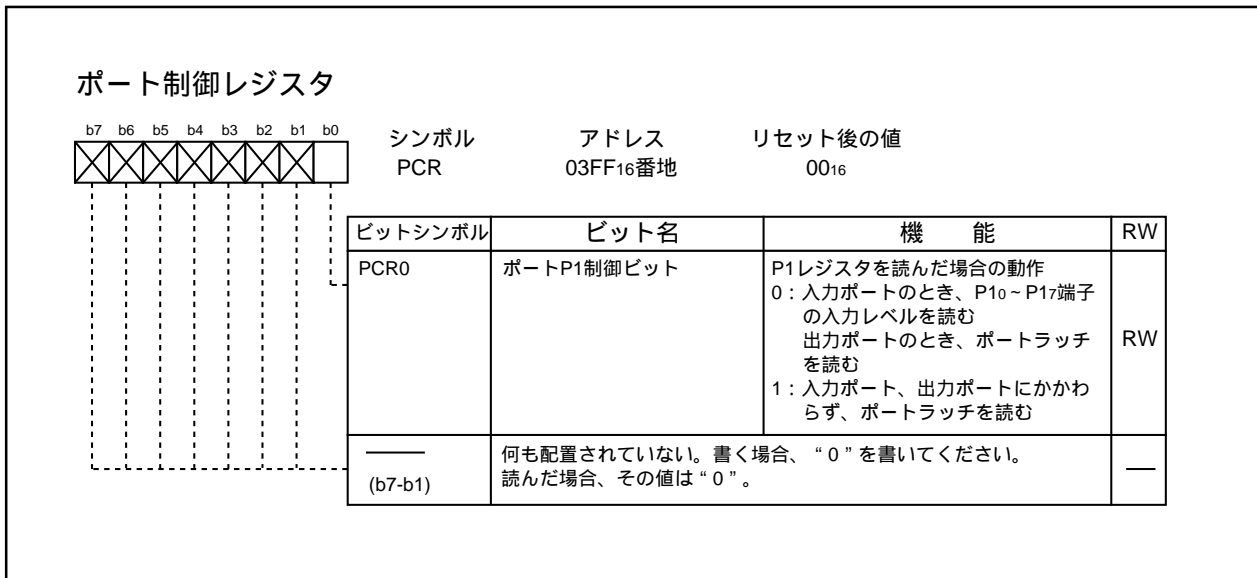


図17.11. PCRレジスタ

表17.1. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0~P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1)
XOUT(注2)	開放
BYTE	Vssに接続

注1. ポートP70, P71を出力モードに設定する場合は“L”を出力してください。ポートP70, P71はNチャネルオープンドレイン出力です。

注2. XIN端子に外部クロックを入力している場合

表17.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6~P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか出力モードに設定し、端子を開放(注1、注2)
P45/CS1~P47/CS3	PD4レジスタのCSi(i=1~3)に対応する方向ビットを“0”(入力モード)、CSRレジスタのCSiビットを“0”(チップセレクト禁止)にし、抵抗を介してVccに接続(プルアップ)
BHE、ALE、HLDA、XOUT(注3)、BCLK(注4)	開放
HOLD、RDY	抵抗を介してVccに接続(プルアップ)

注1. CNVss1端子にVssレベルを印加している場合、リセットからプログラムによってプロセッサモードを切替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不安定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注2. ポートP70, P71, を出力モードに設定する場合は、“L”を出力して下さい。ポートP70, P71, はNチャネルオープンドレイン出力です。

注3. XIN端子に外部クロックを入力している場合

注4. PM0レジスタのPM07ビットを“1”(BCLK出力しない)にした場合、抵抗を介してVccに接続(プルアップ)してください。

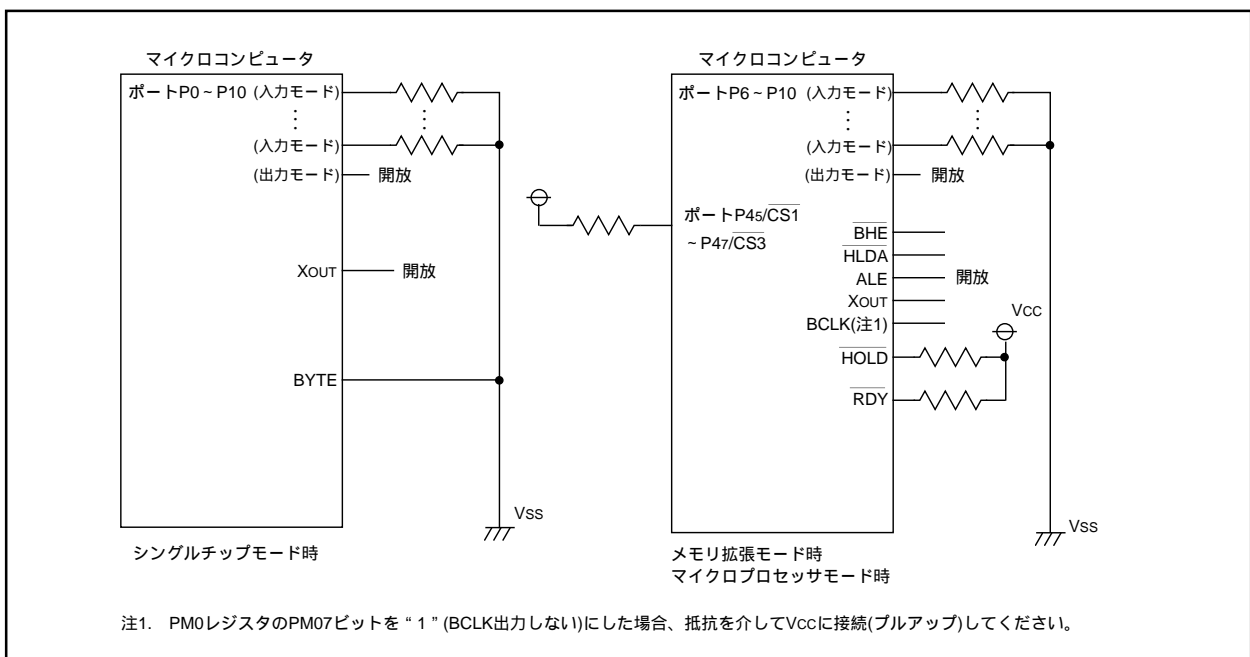
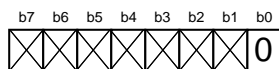


図17.12. 未使用端子の処理例

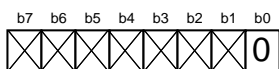
予約レジスタ



シンボル アドレス リセット後の値
 RSVREG026F 026F₁₆番地 XXXXXXX0₂

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	必ず“0”にして下さい。	RW
(b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

予約レジスタ



シンボル アドレス リセット後の値
 RSVREG030F 030F₁₆番地 XXXXXXX0₂

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	必ず“0”にして下さい。	RW
(b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

予約レジスタ

b7	b0	シンボル RSVREG0342	アドレス 0342 ₁₆ 番地	リセット後の値 不定	
		ビット シンボル	ビット名	機 能	RW
		(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル RSVREG0343	アドレス 0343 ₁₆ 番地	リセット後の値 不定	
		ビット シンボル	ビット名	機 能	RW
		(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル RSVREG0344	アドレス 0344 ₁₆ 番地	リセット後の値 不定	
		ビット シンボル	ビット名	機 能	RW
		(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル RSVREG0345	アドレス 0345 ₁₆ 番地	リセット後の値 不定	
		ビット シンボル	ビット名	機 能	RW
		(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル RSVREG0346	アドレス 0346 ₁₆ 番地	リセット後の値 不定	
		ビット シンボル	ビット名	機 能	RW
		(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG0347	0347 ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	RSVREG0348	0348 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	必ず“0”にして下さい。	RW

予約レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	RSVREG0349	0349 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	必ず“0”にして下さい。	RW

予約レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
X	X	0	0	0	0	0	0	RSVREG034A	034A ₁₆ 番地	00 ₁₆
								RSVREG034B	034B ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
(b5-b0)	予約ビット	必ず“0”にして下さい。	RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG034C	034C ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG03BC	03BC ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG03BD	03BD ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG03BE	03BE ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

b7	b0	シンボル	アドレス	リセット後の値
		RSVREG03C0	03C0 ₁₆ 番地	不定

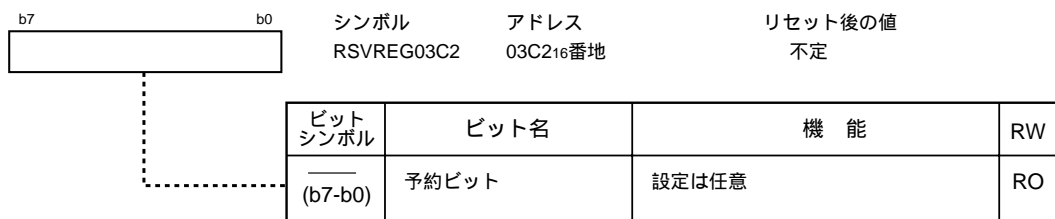
ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	RO

予約レジスタ

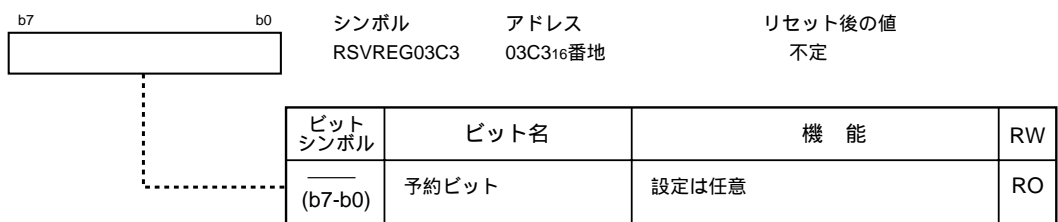
b7	b0	シンボル	アドレス	リセット後の値
		RSVREG03C1	03C1 ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	予約ビット	設定は任意	RO

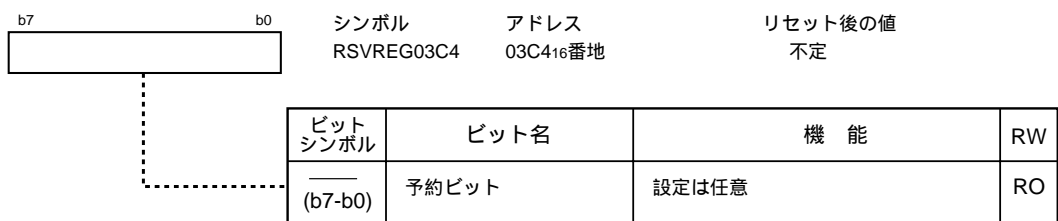
予約レジスタ



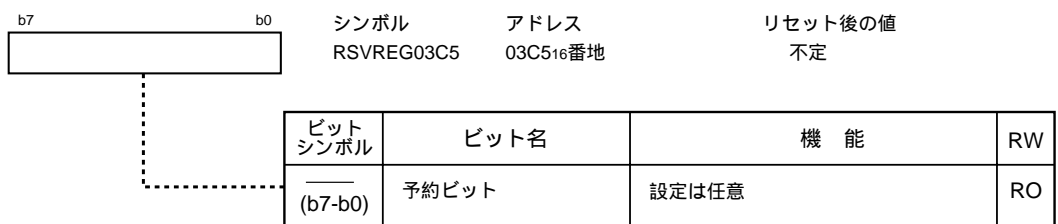
予約レジスタ



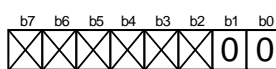
予約レジスタ



予約レジスタ



予約レジスタ



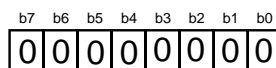
シンボル
RSVREG03DC

アドレス
03DC₁₆番地

リセット後の値
00₁₆

ビット シンボル	ビット名	機 能	RW
(b1-b0)	予約ビット	必ず“0”にして下さい。	RW
(b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

予約レジスタ



シンボル
RSVREG03D8
RSVREG03DA

アドレス
03D8₁₆番地
03DA₁₆番地

リセット後の値
不定
不定

ビット シンボル	ビット名	機 能	RW
(b7-b0)	予約ビット	必ず“0”にして下さい。	RW

予約レジスタ

	シンボル RSVREG034D	アドレス 034D ₁₆ 番地	リセット後の値 不定
ビット シンボル	ビット名	機 能	RW
(b3-b0)	予約ビット	設定は任意	WO
(b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

予約レジスタ

	シンボル RSVREG039E	アドレス 039E ₁₆ 番地	リセット後の値 XXXXXX00 ₂
ビット シンボル	ビット名	機 能	RW
(b1-b0)	予約ビット	必ず“0”にして下さい。	RW
(b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

予約レジスタ

	シンボル RSVREG0362 RSVREG0366	アドレス 0362 ₁₆ 番地 0366 ₁₆ 番地	リセット後の値 01000000 ₂ 01000000 ₂
ビット シンボル	ビット名	機 能	RW
(b5-b0)	予約ビット	必ず“0”にして下さい。	RW
(b6)	予約ビット	必ず“1”にして下さい。	RW
(b7)	予約ビット	必ず“0”にして下さい。	RW

予約レジスタ

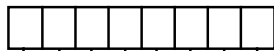
	シンボル RSVREG0363 RSVREG0367	アドレス 0363 ₁₆ 番地 0367 ₁₆ 番地	リセット後の値 不定 不定
ビット シンボル	ビット名	機 能	RW
(b7-b0)	予約ビット	設定は任意	WO

予約レジスタ

	シンボル RSVREG0360 RSVREG0364	アドレス 0360 ₁₆ 番地 0364 ₁₆ 番地	リセット後の値 不定 不定
ビット シンボル	ビット名	機 能	RW
(b7-b0)	予約ビット	設定は任意	RW

拡張レジスタ

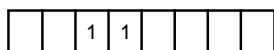
b7 b6 b5 b4 b3 b2 b1 b0
シンボル (EXTREG02C0)
アドレス (02C0₁₆番地)
リセット時 (00₁₆)



ビットシンボル	ビット名	機能	R W
IREQSELSIG0	割り込みDMA要因選択	0: TIMERA0 1: I ² C-bus0	
IREQSELSIG1	割り込みDMA要因選択	0: TIMERA1 1: I ² C-bus1	
IREQSELSIG2	割り込みDMA要因選択	0: TIMERA2 1: OSD2	
IREQSELSIG3	割り込みDMA要因選択	0: TIMERA3 1: VSYNC	
IREQSELSIG4	割り込みDMA要因選択	0: TIMERA4 1: I ² C-bus0NACK	
IREQSELSIG5	割り込みDMA要因選択	0: TIMERB0 1: I ² C-bus1NACK	
IREQSELSIG6	割り込みDMA要因選択	0: TIMERB1 1: I ² C-bus2NACK	
IREQSELSIG7	割り込みDMA要因選択	0: TIMERB2 1: I ² C-bus2	

拡張レジスタ

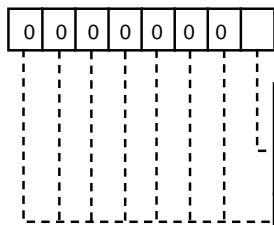
b7 b6 b5 b4 b3 b2 b1 b0
シンボル (EXTREG02C1)
アドレス (02C1₁₆番地)
リセット時 (00₁₆)



ビットシンボル	ビット名	機能	R W
IREQSELSIG8	割り込み・DMA要因選択	0: TIMERB3 1: 設定禁止	
IREQSELSIG9	割り込み・DMA要因選択	0: TIMERB4 1: 設定禁止	
IREQSELSIG10	割り込み・DMA要因選択	0: TIMERB5 1: OSD1	
IREQSELSIGA1	割り込み要因選択	0: UART2バス衝撃検出 1: I ² C-bus0	
予約ビット	必ず“1”にして下さい。		
予約ビット	必ず“1”にして下さい。		
IREQSELSIGA4	割り込みDMA要因選択	0: キー入力 1: VSYNC	
IREQSELSIGA5	割り込みDMA要因選択	0: AD 1: I ² C-bus1NACK	

拡張レジスタ

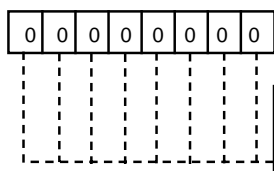
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02C2) (02C2₁₆番地) (00₁₆)



ビットシンボル	ビット名	機能	R	W
IREQSELSIGA6	割込み要因選択	0 : INT2 1 : OSD2		
予約ビット	必ず“0”にして下さい。			

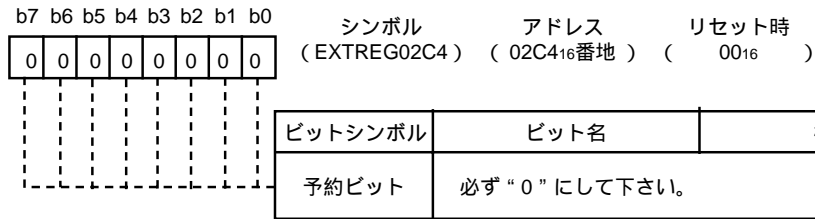
拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02C3) (02C3₁₆番地) (00₁₆)

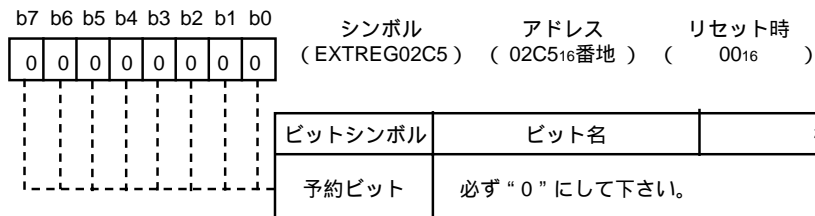


ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

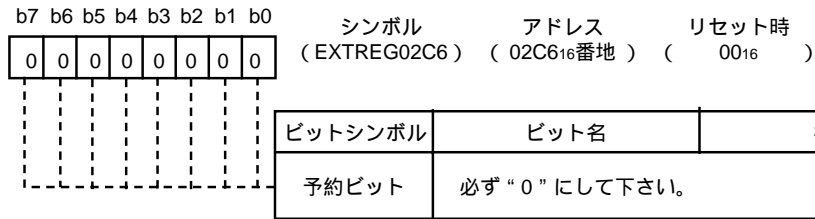
拡張レジスタ



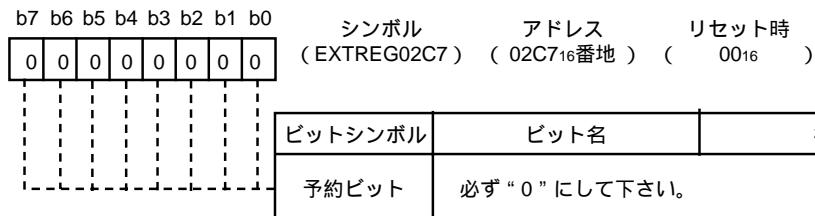
拡張レジスタ



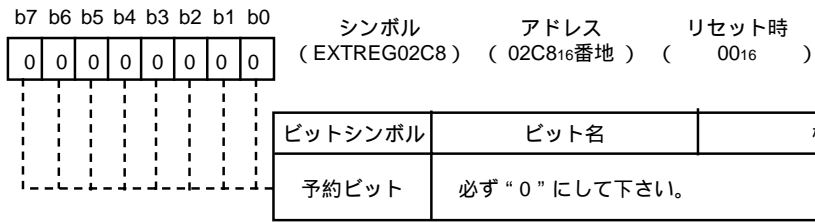
拡張レジスタ



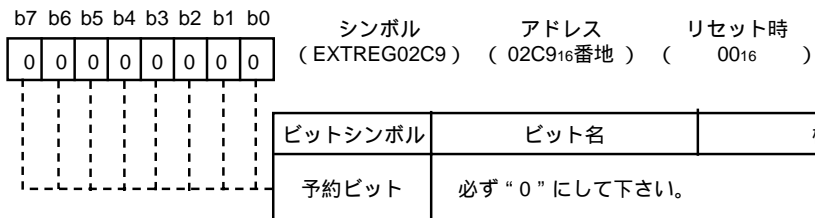
拡張レジスタ



拡張レジスタ



拡張レジスタ



拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02CA) (02CA₁₆番地) (00₁₆)

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

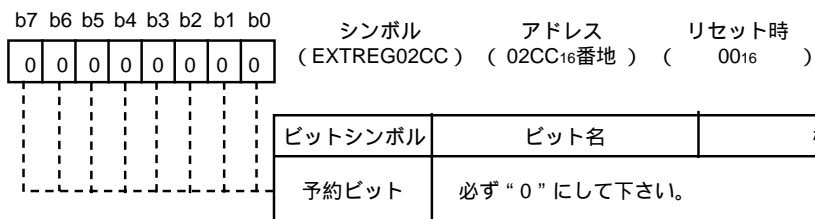
拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02CB) (02CB₁₆番地) (00₁₆)

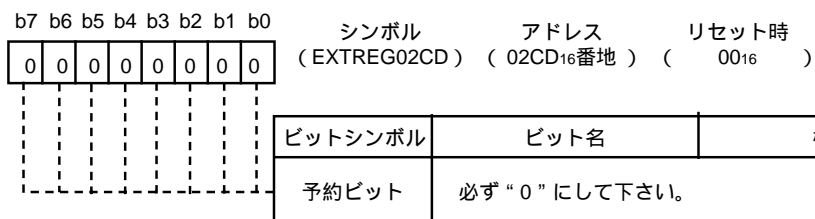
0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

拡張レジスタ



拡張レジスタ



拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02CE) (02CE₁₆番地) (00₁₆)

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

拡張レジスタ

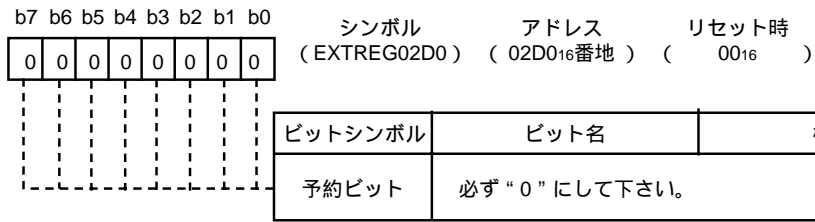
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02CF) (02CF₁₆番地) (00₁₆)

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

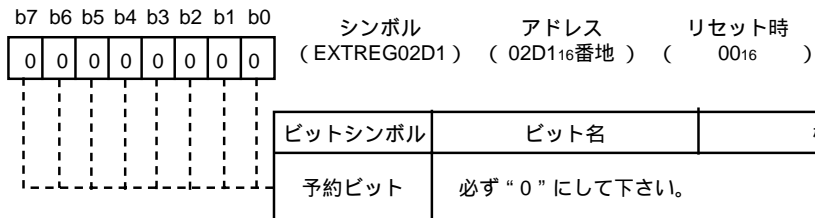


ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

拡張レジスタ



拡張レジスタ



拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02D2) (02D2₁₆番地) (00₁₆)

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02D3) (02D3₁₆番地) (00₁₆)

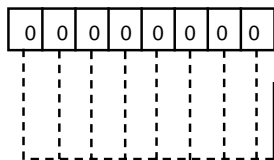
0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



ビットシンボル	ビット名	機能	R	W
予約ビット	必ず“0”にして下さい。			

拡張レジスタ

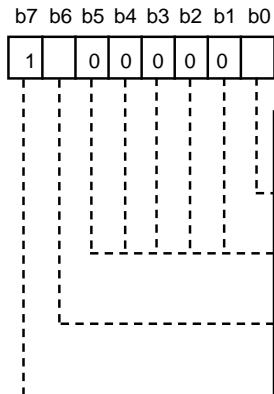
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 0 0 0 0 0 0 0 0 (EXTREG02D4) (02D4₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R	W
— (b7-b0)	予約ビット	必ず“0”にして下さい。		

拡張レジスタ

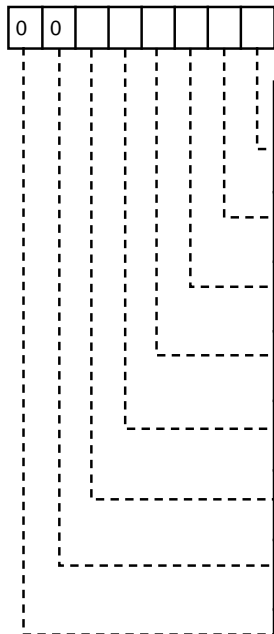
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 1 0 0 0 0 0 0 0 (EXTREG02D5) (02D5₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R	W
RGBSEL	RGB信号出力選択ビット	0: RGB3ビット又はアナログ出力 1: RGB2値出力		
— (b5-b1)	予約ビット	必ず“0”にして下さい。		
CREGCPUSEL	パレットレジスタ選択	0: パレットセット0のパレットレジスタ設定 1: パレットセット1のパレットレジスタ設定		
— (b7)	予約ビット	必ず“1”にして下さい。		

拡張レジスタ

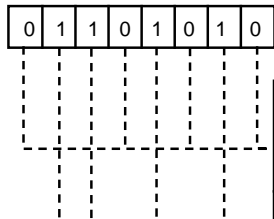
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 0 0 (EXTREG02D6) (02D6₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
SCL3DRVUP	SCL3出力 バッファサイズ調整	0 : weak 1 : strong	
SDA3DRVUP	SDA3出力 バッファサイズ調整	0 : weak 1 : strong	
SCL5DRVUP	SCL5出力 バッファサイズ調整	0 : weak 1 : strong	
SDA5DRVUP	SDA5出力 バッファサイズ調整	0 : weak 1 : strong	
SCL6DRVUP	SCL6出力 バッファサイズ調整	0 : weak 1 : strong	
SDA6DRVUP	SDA6出力 バッファサイズ調整	0 : weak 1 : strong	
予約ビット	必ず“0”にして下さい。		
予約ビット	必ず“0”にして下さい。		

拡張レジスタ

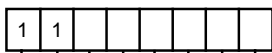
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 0 1 1 0 1 0 1 0 (EXTREG02D7) (02D7₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
予約ビット	必ず“0”にして下さい。		
予約ビット	必ず“1”にして下さい。		

拡張レジスタ

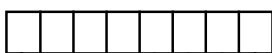
b7 b6 b5 b4 b3 b2 b1 b0
 シンボル アドレス リセット時
 (EXTREG02D8) (02D8₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
SCL0INSEL	I ² C-bus0 SCL 入力端子選択	0: 端子 " SCL2 " 1: 端子 " SCL5 "	
SDA0INSEL	I ² C-bus0 SDA 入力端子選択	0: 端子 " SDA2 " 1: 端子 " SDA5 "	
SCL1INSEL0	I ² C-bus1 SCL 入力端子選択	0: 端子 " SCL3 " 1: 端子 " SCL6 "	
SDA1INSEL0	I ² C-bus1 SDA 入力端子選択	0: 端子 " SDA3 " 1: 端子 " SDA6 "	
SCL1INSEL1	I ² C-bus1 SCL 入力端子選択	0: SCL3orSCL6(SCL1INSEL0有効) 1: 端子 " SCL1 "	
SDA1INSEL1	I ² C-bus1 SDA 入力端子選択	0: SDA3orSDA6(SDA1INSEL0有効) 1: 端子 " SDA1 "	
(b7-b6)	予約ビット	必ず " 1 " にして下さい	

拡張レジスタ

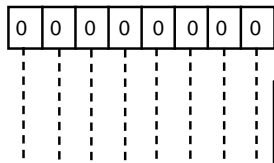
b7 b6 b5 b4 b3 b2 b1 b0
 シンボル アドレス リセット時
 (EXTREG02D9) (02D9₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
BUSON1	SCL1-SCL3, SDA1-SDA3 バスSWITCH	0: OFF 1: ON	
BUSON2	SCL5-SCL6, SDA5-SDA6 バスSWITCH	0: OFF 1: ON	
SCLSDA1EN	SCL1, SDA1 端子制御	0: SCL1, SDA1を使用しない 1: SCL1, SDA1を使用する	
SCLSDA2EN	SCL2, SDA2 端子制御	0: SCL2, SDA2を使用しない 1: SCL2, SDA2を使用する	
SCLSDA3EN	SCL3, SDA3 端子制御	0: SCL3, SDA3を使用しない 1: SCL3, SDA3を使用する	
SCLSDA4EN	SCL4, SDA4 端子制御	0: SCL4, SDA4を使用しない 1: SCL4, SDA4を使用する	
SCLSDA5EN	SCL5, SDA5 端子制御	0: SCL5, SDA5を使用しない 1: SCL5, SDA5を使用する	
SCLSDA6EN	SCL6, SDA6 端子制御	0: SCL6, SDA6を使用しない 1: SCL6, SDA6を使用する	

拡張レジスタ

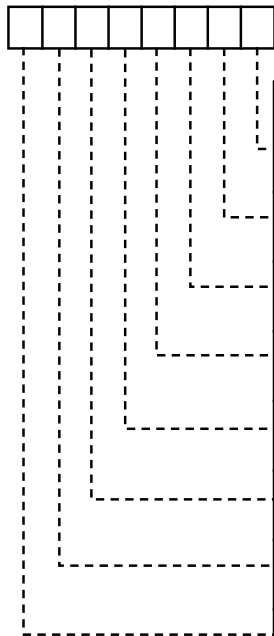
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02DA) (02DA₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
— (b7-b0)	予約ビット	必ず“0”にしてください。	—

拡張レジスタ

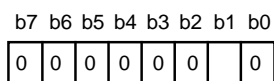
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02DB) (02DB₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R W
SELVIN	VSYNC入力選択	0 : VSYNC1 1 : VSYNC2	—
DIGREN	Rデジタル3BIT出力制御	0 : DISABLE 1 : ENABLE	—
DIGGEN	Gデジタル3BIT出力制御	0 : DISABLE 1 : ENABLE	—
DIGBEN	Bデジタル3BIT出力制御	0 : DISABLE 1 : ENABLE	—
OUT1EN	OUT1出力制御	0 : DISABLE 1 : ENABLE	—
OUT2EN	OUT2出力制御	0 : DISABLE 1 : ENABLE	—
OSCOUTEN	OSCOUT出力制御	0 : DISABLE 1 : ENABLE	—
OSCEN	OSC2/VSYNC1/INT2 機能選択	0 : VSYNC1/INT2入力 1 : OSC2出力	—

拡張レジスタ

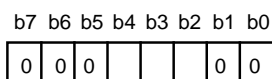
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02DC) (02DC₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R	W
(b0)	予約ビット	必ず“0”にして下さい。		
TST11	OSD発振回路	0:使用する(LC又はセラミック) 1:使用しない		
(b7-b2)	予約ビット	必ず“0”にして下さい。		

拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット時
 (EXTREG02DD) (02DD₁₆番地) (00₁₆)



ビットシンボル	ビット名	機 能	R	W
(b1-b0)	予約ビット	必ず“0”にして下さい。		
WSEL0	TB0IN端子ノイズフィルタ クロック選択ビット	b3 b2 0 0: 0.25 μs (除去可能な最大バス幅 = 1 μs)		
WSEL1		0 1: 8 μs (除去可能な最大バス幅 = 32 μs) 1 0: 16 μs (除去可能な最大バス幅 = 64 μs) 1 1: 32 μs (除去可能な最大バス幅 = 128 μs)		
NFON	TB0IN端子ノイズフィルタ ON/OFF選択	0: ノイズフィルタOFF 1: ノイズフィルタON		
(b7-b5)	予約ビット	必ず“0”にして下さい。		

拡張レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル (EXTREG02DE)	アドレス (02DE ₁₆ 番地)	リセット時 (00 ₁₆)
0	0	0			0	0	0			

ビットシンボル	ビット名	機能	R	W
— (b2-b0)	予約ビット	必ず“0”にして下さい。		
ANARGBCAPON	アナログRGB内部動作安定用CAP端子	0: CAP端子使用しない 1: CAP端子使用する		
ANARGBCLKEN	アナログRGB動作クロック入力制御	0: OFF 1: ON		
— (b6-b5)	予約ビット	必ず“0”にして下さい。		
— (b7)	予約ビット	必ず“0”にして下さい。		

拡張レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル (EXTREG02DF)	アドレス (02DF ₁₆ 番地)	リセット時 (00 ₁₆)
0	0	0	0	0	0	0	0			

ビットシンボル	ビット名	機能	R	W
— (b7-b0)	予約ビット	必ず“0”にして下さい。		

電氣的特性

表18.1. 絶対最大定格

記号	項目		条件	定格値	単位
VCC1,VCC2,VCC3	電源電圧		VCC1=VCC2=VCC3	- 0.3 ~ 6.5	V
Vi	入力電圧	RESET, CNV _{SS1} , BYTE, CNV _{SS2} , P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P82, P83, P86, P87 P90 ~ P91, P103 ~ P107, VSYNC1, OSC1, HLF2, VHOLD2, CVIN2, HLF1, VHOLD1, CVIN1, HSYNC, X _{IN} , SCL5, SDA5, SCL6, SDA6		- 0.3 ~ V _{CC1} +0.3	V
		P70, P71, SCL4, SDA4		- 0.3 ~ 6.5	V
Vo	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P82, P83, P86, P87 P90 ~ P91, P103 ~ P107, DA0, OUT1, OUT2, OSC2, OSCHLF, HLF2, VHOLD2, CVIN2, HLF1, VHOLD1, CVIN1, DA1, X _{OUT} , DIGR1, DIGR2, DIGG1, DIGG2, DIGB1, DIGB2, OSCOUT, R, G, B, SCL5, SDA5, SCL6, SDA6		- 0.3 ~ V _{CC1} +0.3	V
		P70, P71, SCL4, SDA4,		- 0.3 ~ 6.5	V
P _d	消費電力		T _{opr} =25	500	mW
T _{opr}	動作周囲温度	マイコン動作時		- 20 ~ 70	
T _{opr}	動作周囲温度	フラッシュ書込み消去時		0 ~ 60	
T _{stg}	保存温度			- 40 ~ 125	

表18.2. 推奨動作条件(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2, VCC3	電源電圧(VCC1=VCC2=VCC3)	3.15	3.3	3.45	V	
VSS	電源電圧		0		V	
VIH	"H"入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57	0.8VCC1	VCC1	V	
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)	0.8VCC1	VCC1	V	
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0.5VCC1	VCC1	V	
		P60 ~ P67, P72 ~ P77, P82, P83, P86, P87, P90 ~ P91, P103 ~ P107, XIN, RESET, CNVSS1, BYTE, VSYNC1, OSC1, HSYNC	0.8VCC1	VCC1	V	
		P70, P71, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6	0.8VCC1	6.5	V	
VIL	"L"入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57	0	0.2VCC1	V	
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)	0	0.2VCC1	V	
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0	0.16VCC1	V	
		P60 ~ P67, P70 ~ P77, P82, P83, P86, P87, P90 ~ P91, P103 ~ P107, XIN, RESET, CNVSS1, BYTE, VSYNC1, OSC1, HSYNC, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6	0	0.2VCC1	V	
IOH (peak)	"H"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P82, P83, P86, P87, P90, P91, P103 ~ P107, R, G, B, OUT1, OUT2, OSCOUT, DIGR1, DIGR2, DIGG1, DIGG2, DIGB1, DIGB2		- 10.0	mA	
IOH (avg)	"H"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P82, P83, P86, P87, P90, P91, P103 ~ P107, R, G, B, OUT1, OUT2, OSCOUT, DIGR1, DIGR2, DIGG1, DIGG2, DIGB1, DIGB2		- 5.0	mA	
IOL (peak)	"L"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P82, P83, P86, P87, P90, P91, P103 ~ P107, R, G, B, OUT1, OUT2, OSCOUT, DIGR1, DIGR2, DIGG1, DIGG2, DIGB1, DIGB2, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6		10.0	mA	
IOL (avg)	"L"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P82, P83, P86, P87, P90, P91, P103 ~ P107, R, G, B, OUT1, OUT2, OSCOUT, DIGR1, DIGR2, DIGG1, DIGG2, DIGB1, DIGB2, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6		5.0	mA	
f (XIN)	メインクロック入力発振周波数		16		MHz	
f (XCIN)	サブクロック発振周波数		32.768		kHz	
f OSC	発振周波数(OSD用) OSC1	LC発振モード	8.0	30	MHz	
		セラミック発振モード	20.0	30		
		内部発振モード(XIN=16MHz)	20.0	65		
f CVIN	入力周波数	525i(480i)ビデオ信号の水平同期信号	15.262	15.734	16.206	kHz
		525p(480p)ビデオ信号の水平同期信号	-	31.47	-	
VI	入力振幅	ビデオ信号CVIN1, CVIN2	1.5	1.75	2.00	V

注1. 指定のない場合は、VCC=VCC1=VCC2=VCC3=3.3V ± 0.15V、Topr= - 20 ~ 70 です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P86, P87, P9のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84のIOL(peak)の合計は80mA以下、ポートP0, P1, P2のIOH(peak)の合計は - 40mA以下、ポートP3, P4, P5のIOH(peak)の合計は - 40mA以下、ポートP6, P7, P80 ~ P84のIOH(peak)の合計は - 40mA以下、ポートP86, P87, P9, P10のIOH(peak)の合計は - 40mA以下にしてください。

表18.3. A/D変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC1}$		8		Bits
INL	絶対精度	$V_{REF}=V_{CC1}=3.3V$		± 5		LSB
t_{CONV}	変換時間、サンプル&ホールド機能あり	$f_{AD}=10MHz$	2.8			μs
t_{SAMP}	サンプリング時間		0.3			μs
V_{REF}	基準電圧			V_{CC1}		V
V_{IA}	アナログ入力電圧		0		V_{CC1}	V

- 注1. 指定のない場合は、 $V_{CC1}=3.3V$ 、 $V_{SS}=0V$ 、 $Topr=-20\sim 70$ です。
 注2. AD動作クロックの周波数(f_{AD} の周波数)は10MHz以下にしてください。
 また、 f_{AD} を分周し、 f_{AD} の周波数は $f_{AD}/2$ 以下にしてください。
 注3. サンプル&ホールド機能なしのときは、注2の制限に加え f_{AD} の周波数は250kHz以上にしてください。
 サンプル&ホールド機能ありのときは、注2の制限に加え f_{AD} の周波数は1MHz以上にしてください。

表18.4. アナログR,G,B出力特性 (指定のない場合、 $V_{CC1}=3.3V$ 、 $V_{SS}=0V$ 、 $Ta=25$,負荷容 R_I =無, 負荷容 C_I =無)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{ppm}	最大出力振幅	RGB各出力制御ビット=111b設定	$\times 0.8$	$= \frac{100}{140} \times 0.71$	$\times 1.2$	V
V_{oe}	出力偏差				± 20	%
I_o	最大出力電流	RGB各出力制御ビット=111b設定	2.2	4.0	5.8	mA
R_o	出力抵抗		190		400	
T_{st}	セットリングタイム	30% 70%または、70% 30%			33	nS

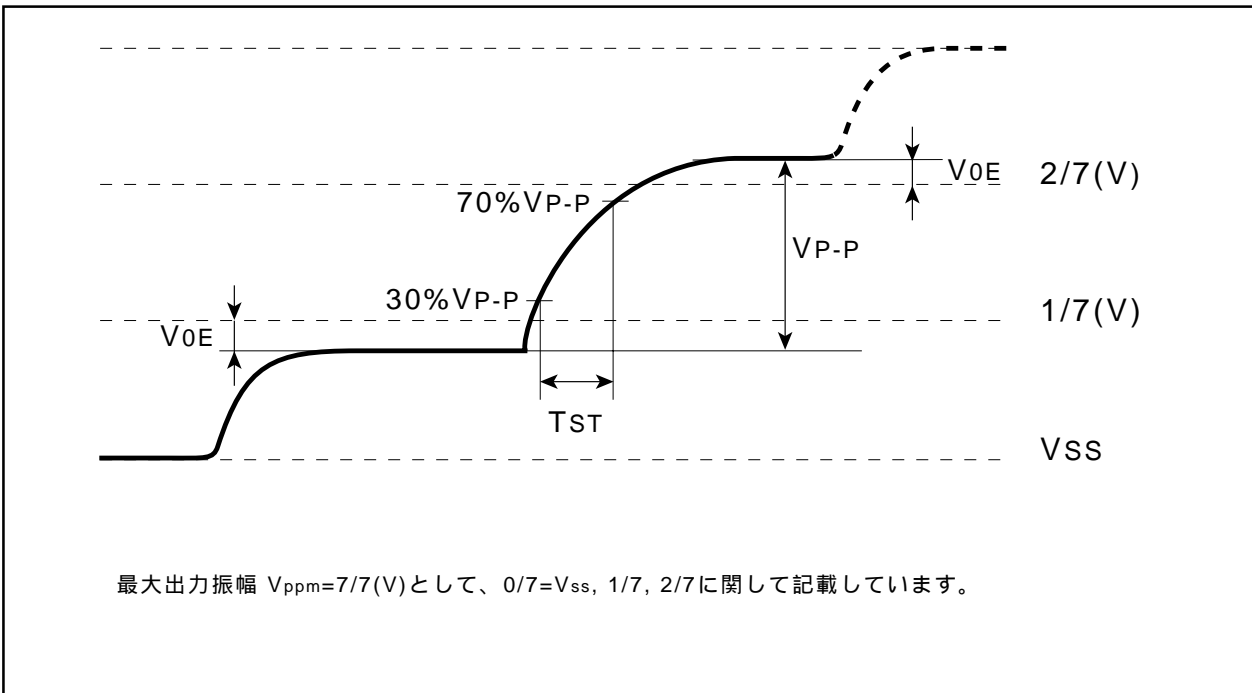


図18.1 アナログR,G,B出力特性

表18.5. フラッシュメモリの電気的特性(注1)

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		30	200	μs
ブロックイレーズ時間		1	4	s
イレーズ全アンロックブロック時間		1 × n	4 × n	s
ロックビットプログラム時間		30	200	μs

注1. 指定のない場合は、V_{CC1}=3.3V、T_{opr}=0 ~ 60 です。

注2. nはイレーズするブロック数です。

表18.6. フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 (T_{opr}=0 ~ 60)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
V _{CC1} =3.3 ± 0.15V	V _{CC1} =3.3 ± 0.15V

表18.7. 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準		
td(P-R)	電源投入時内部電源安定時間	Vcc1=27 ~ 5.5V			2	ms
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウエイトモード解除時間				150	μs

注1. Vcc1=5V時の標準値

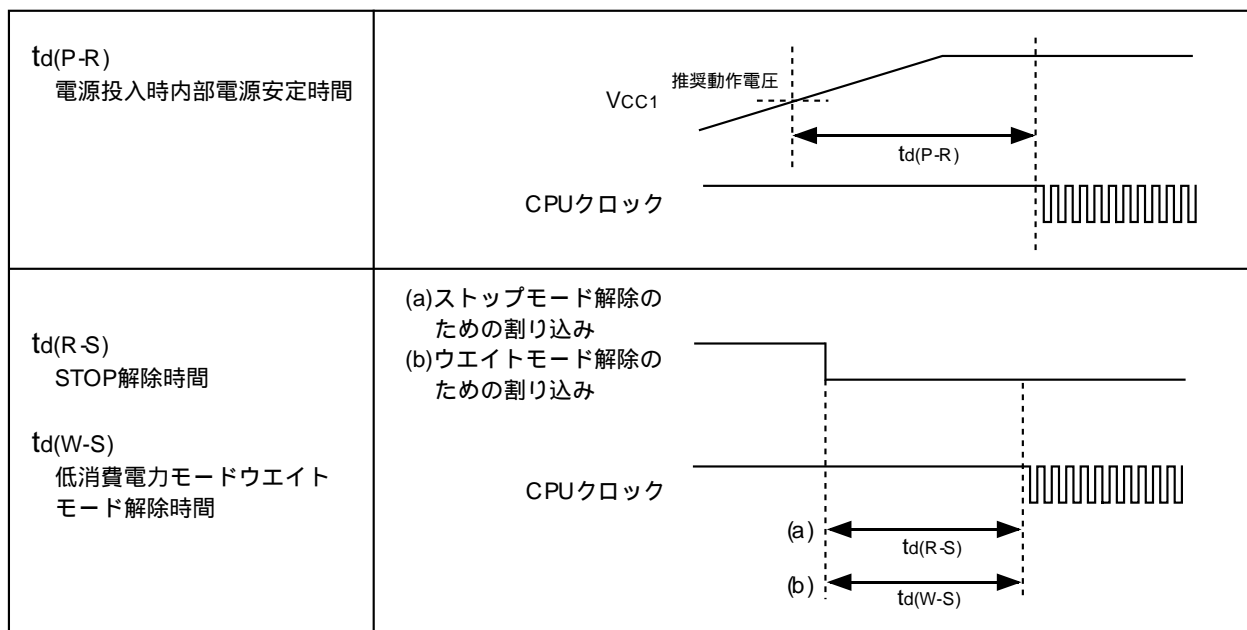


図18.2 電源回路のタイミング図

表18.8. 電気的特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P00 ~ P07,P10 ~ P17,P20 ~ P27,P30 ~ P37,P40 ~ P47 P50 ~ P57,P60 ~ P67,P70 ~ P77,P82,P83,P86,P87,P90 ~ P91 P103 ~ P107,DA0,DA1,R,G,B,OUT1,OUT2,OSCOUT DIGR1,DIGR2,DIGG1,DIGG2,DIGB1,DIGB2	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
V _{OH}	"H"出力電圧	X _{OUT}	HIGHPOWER	I _{OH} = - 0.1mA	V _{CC} - 0.5	V _{CC}	V
			LOWPOWER	I _{OH} = - 50 μA	V _{CC} - 0.5	V _{CC}	
V _{OH}	"H"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		2.5	V
			LOWPOWER	無負荷時		1.6	
V _{OL}	"L"出力電圧	P00 ~ P07,P10 ~ P17,P20 ~ P27,P30 ~ P37,P40 ~ P47 P50 ~ P57,P60 ~ P67,P70 ~ P77,P82,P83,P86,P87,P90 ~ P91 P103 ~ P107,DA0,DA1,R,G,B,OUT1,OUT2,OSCOUT DIGR1,DIGR2,DIGG1,DIGG2,DIGB1,DIGB2, SCL4,SDA4,SCL5,SDA5,SCL6,SDA6	I _{OL} = 1mA			0.5	V
V _{OL}	"L"出力電圧	X _{OUT}	HIGHPOWER	I _{OL} = 0.1mA		0.5	V
			LOWPOWER	I _{OL} = 50 μA		0.5	
V _{OL}	"L"出力電圧	X _{COU} T	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN ~ TA3IN, TB0IN ~ TB1IN INT0 ~ INT3, CTS0 ~ CTS2 SCL0 ~ SCL6, SDA0 ~ SDA6, CLK0 ~ CLK2, TA0OUT ~ TA3OUT, K10 ~ K13, RxD0 ~ RxD2 VSYNC1, VSYNC2, HC0, HC1, HSYNC2		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2	(0.7)	1.8	V
V _{T+} -V _{T-}	ヒステリシス	XIN		0.2		0.8	V
I _{IH}	"H"入力電流	P00 ~ P07,P10 ~ P17,P20 ~ P27,P30 ~ P37, P40 ~ P47,P50 ~ P57,P60 ~ P67,P70 ~ P77, P82, P83, P86, P87, P90 ~ P91, P103 ~ P107 XIN, RESET, CNVss1, BYTE, VSYNC1, OSC1 HSYNC, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6	V _I = 3V			4.0	μA
I _{IL}	"L"入力電流	P00 ~ P07,P10 ~ P17,P20 ~ P27,P30 ~ P37, P40 ~ P47,P50 ~ P57,P60 ~ P67,P70 ~ P77, P82, P83, P86, P87, P90 ~ P91, P103 ~ P107 XIN, RESET, CNVss1, BYTE, VSYNC1, OSC1 HSYNC, SCL4, SDA4, SCL5, SDA5, SCL6, SDA6	V _I = 0V			- 4.0	μA
R _{PULLUP}	プルアップ抵抗	P00 ~ P07,P10 ~ P17,P20 ~ P27,P30 ~ P37, P40 ~ P47,P50 ~ P57,P60 ~ P67,P70 ~ P77, P82, P83, P86, P87, P90 ~ P91, P103 ~ P107,	V _I = 0V	66	160	500	k
R _I XIN	帰還抵抗	XIN			3.0		M
R _I XCIN	帰還抵抗	XCIN			25		M
R _{BS}	IICバス・バススイッチ接続抵抗					130	

注1. 指定のない場合は、V_{CC}=V_{CC1}=V_{CC2}=V_{CC3}=3.3V、V_{SS}=0V、Topr = - 20 ~ 70 です。

表18.9. 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流	マスクROM	f(BCLK)=16MHz 分周なし	OSD データストライフ	ON ON	100	140	mA
			f(BCLK)=16MHz 分周なし	OSD データストライフ	OFF OFF	15		mA
		フラッシュメモリ	f(BCLK)=16MHz 分周なし	OSD データストライフ	ON ON	120	170	mA
			f(BCLK)=16MHz 分周なし	OSD データストライフ	OFF OFF	15		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)			25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)			25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)			420		μA
		マスクROM、 フラッシュメモリ	f(BCLK) = 32kHz ウェイトモード時(注2) 発振能力High			6.0		μA
			f(BCLK) = 32kHz ウェイトモード時(注2) 発振能力Low			1.8		μA
			ストップモード時 T _{opr} =25			0.7	3.0	μA

注1. 指定のない場合は、V_{CC}=V_{CC1}=V_{CC2}=V_{CC3}=3.3V、V_{SS}=0V、T_{opr}= - 20 ~ 70 です。

注2. f_{c32}にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

タイミング必要条件

(指定のない場合は、VCC1=VCC2=VCC3=3.3V、VSS=0V、Topr= - 20 ~ 70)

表18.10. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	62		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	25		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表18.11. メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし設定)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり設定)		(注2)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	50		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	40		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	50		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]} \quad n \text{は1ウエイト設定の場合 "2"、2ウエイト設定の場合 "3"、3ウエイト設定の場合 "4"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]} \quad n \text{は2ウエイト設定の場合 "2"、3ウエイト設定の場合 "3"}$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 70$)

表18.12. タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	60		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	60		ns

表18.13. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	300		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	300		ns

表18.14. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表18.15. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表18.16. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su}(UP-TiN)$	TAiOUT入力セットアップ時間	600		ns
$t_h(TiN-UP)$	TAiOUT入力ホールド時間	600		ns

表18.17. タイマA入力(イベントカウンタモードの二相処理入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAiN-TAOut)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOut-TAiN)$	TAiIN入力入力セットアップ時間	500		ns

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20 \sim 70$)

表18.18. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
$t_c(TB)$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表18.19. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表18.20. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表18.21. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	150		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	150		ns
$t_d(C-Q)$	TxDi出力遅延時間		160	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	100		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表18.22. 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	INTi入力 "H" パルス幅	380		ns
$t_w(INL)$	INTi入力 "L" パルス幅	380		ns

スイッチング特性

(指定のない場合は、VCC1=VCC2=VCC3=3.3V、VSS=0V、Topr= - 20 ~ 70 、CM15= “ 1 ”)

表18.23. メモリ拡張モード、マイクロプロセッサモード(ウエイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図18.10		30	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			30	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			30	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			30	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			30	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \quad [\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC2})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC2}、C = 30pF、R = 1k とすると、

出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC2} / V_{CC2}) = 6.7\text{ns}$$

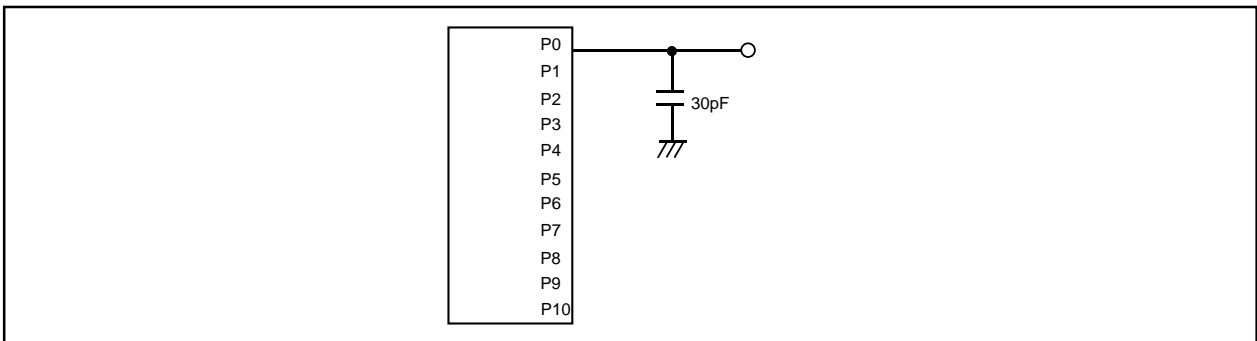
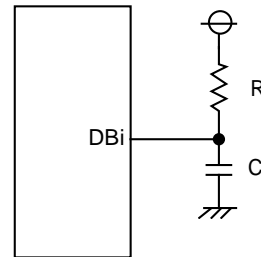


図18.3. ポートP0～P10の測定回路

スイッチング特性

(指定のない場合は、VCC1=VCC2=VCC3=3.3V、VSS=0V、Topr= - 20 ~ 70 、CM15= “ 1 ”)

表18.24. メモリ拡張モード、マイクロプロセッサモード
(1~3ウエイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図18.10		30	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			30	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			30	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			30	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			30	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}] \quad \begin{array}{l} n \text{は1ウエイト設定の場合 "1"、2ウエイト設定の場合 "2"、} \\ \text{3ウエイト設定の場合 "3"} \end{array}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \quad [\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

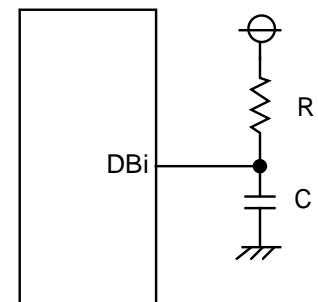
$$t = -CR \times \ln(1 - V_{OL} / V_{CC2})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC2}、C = 30pF、R = 1k とすると、出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC2} / V_{CC2}) = 6.7\text{ns}$$

となります。



スイッチング特性

(指定のない場合は、VCC1=VCC2=VCC3=3.3V、VSS=0V、Topr= - 20 ~ 70、CM15= “ 1 ”)

表18.25. メモリ拡張モード、マイクロプロセッサモード

(2~3ウエイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図18.10		50	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			50	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			40	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			40	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注3)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		(注4)		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _d (RD-AD)	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \quad [\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 50 \quad [\text{ns}]$$

nは2ウエイト設定の場合“2”、3ウエイト設定の場合“3”

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15 \quad [\text{ns}]$$

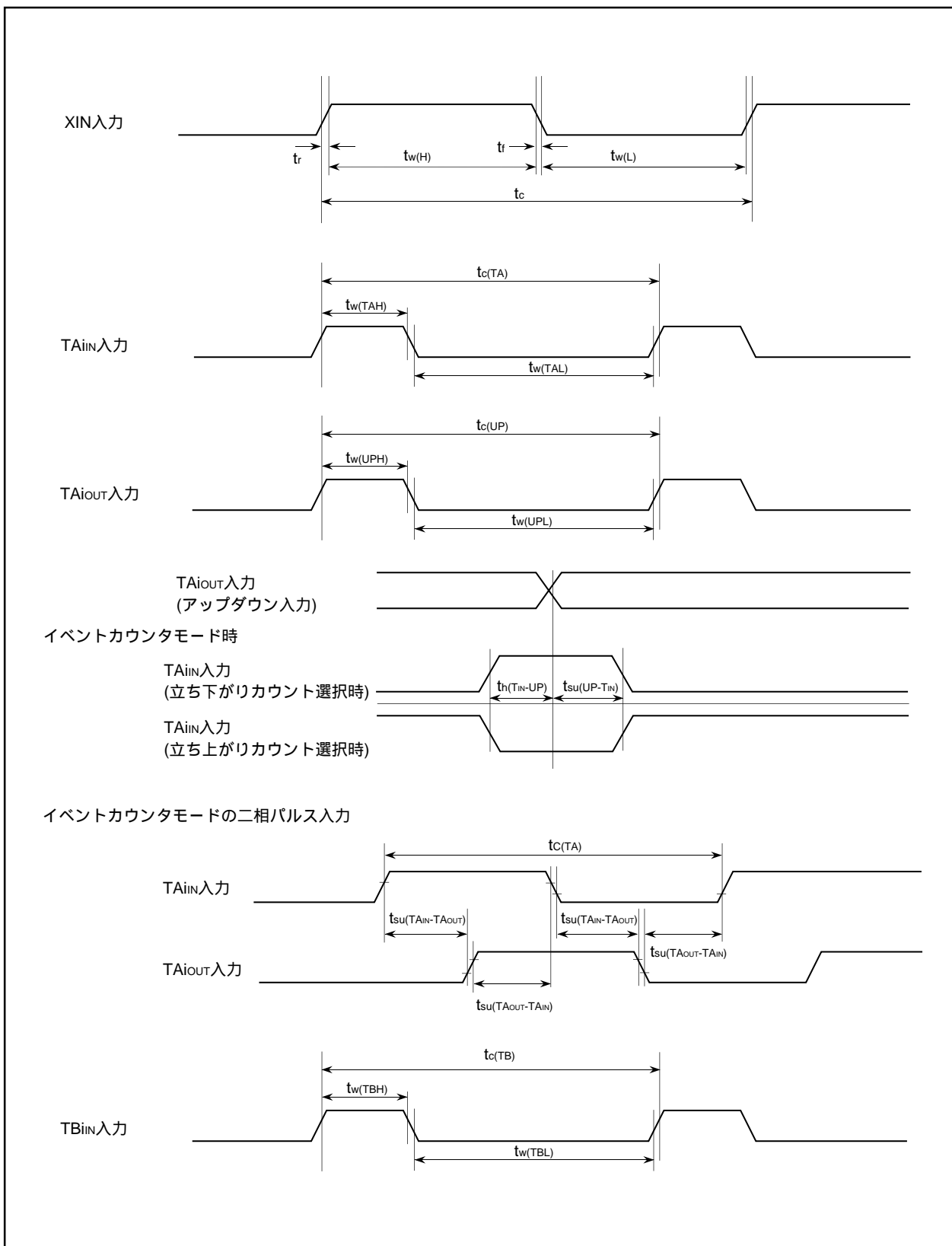


図18.4. タイミング図(1)

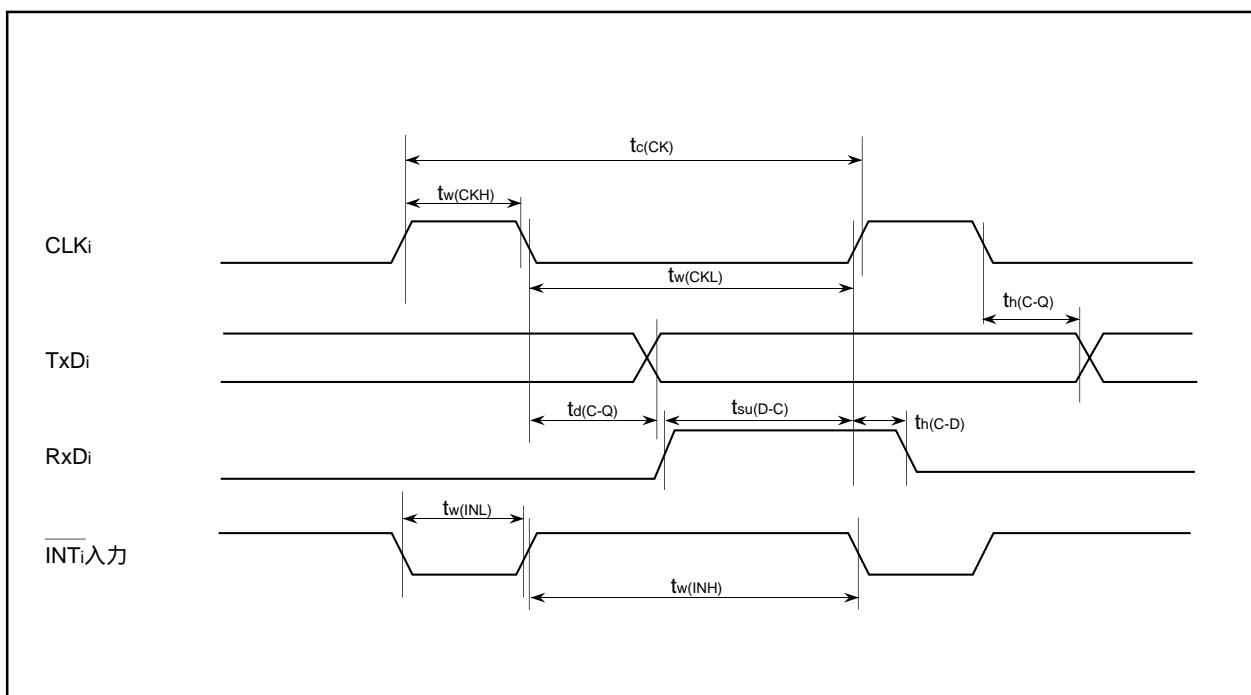
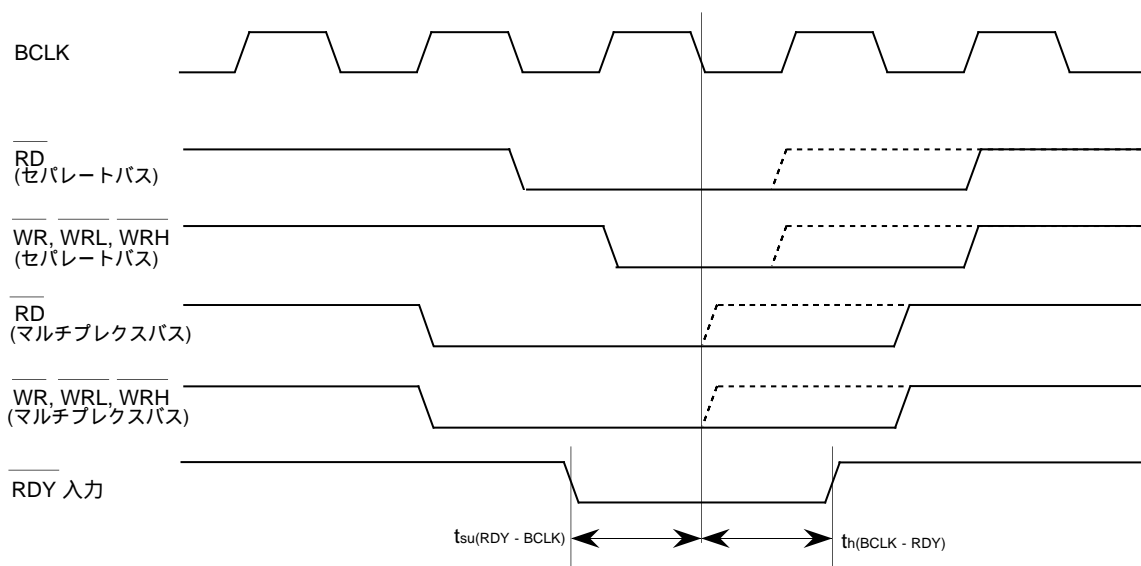


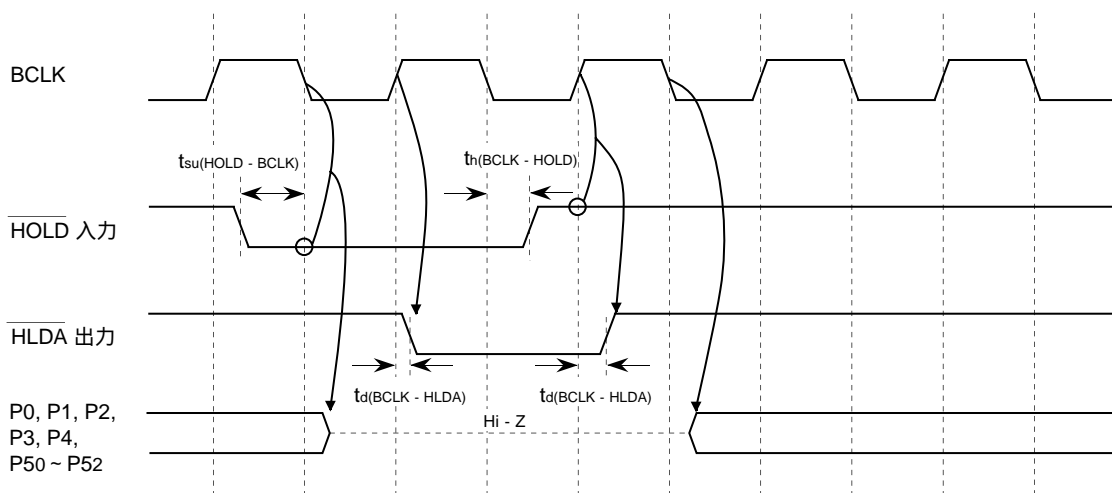
図18.5. タイミング図(2)

メモリ拡張モード、マイクロプロセッサモード

(ウエイトあり設定の場合に有効)



(ウエイトあり設定、ウエイトなし設定共通)



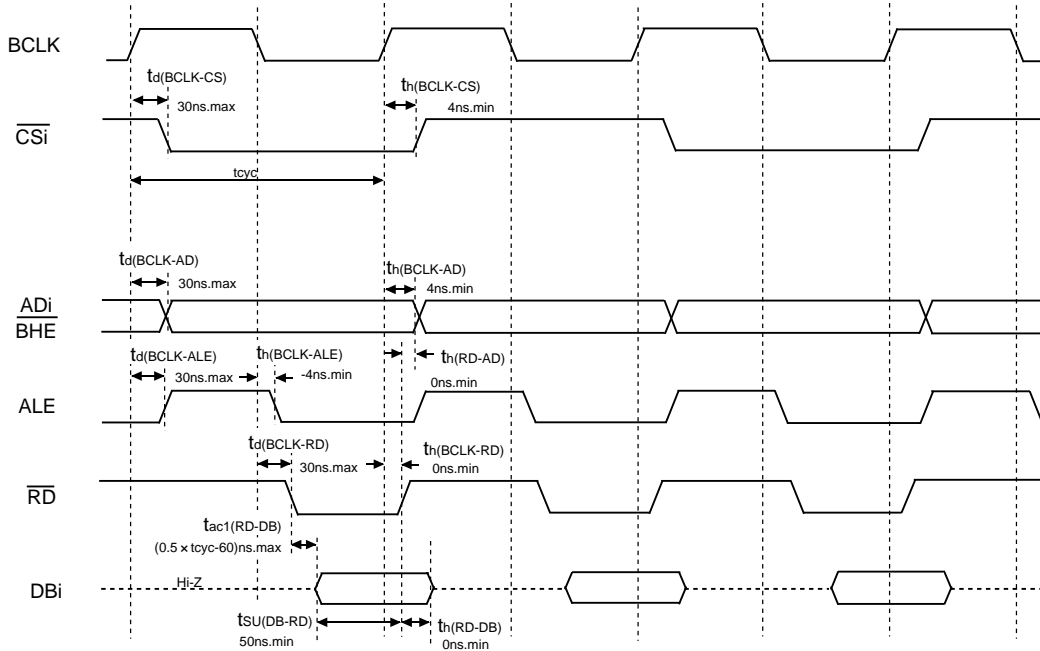
注1. BYTE端子の入力レベル、PM0レジスタのPM06ビットにかかわらず上記ピンはすべてハイインピーダンス状態になります。

- 測定条件
- ・ $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$
 - ・ 入力タイミング電圧 : $V_{IL}=0.6V$, $V_{IH}=2.4V$
 - ・ 出力タイミング電圧 : $V_{OL}=1.5V$, $V_{OH}=1.5V$

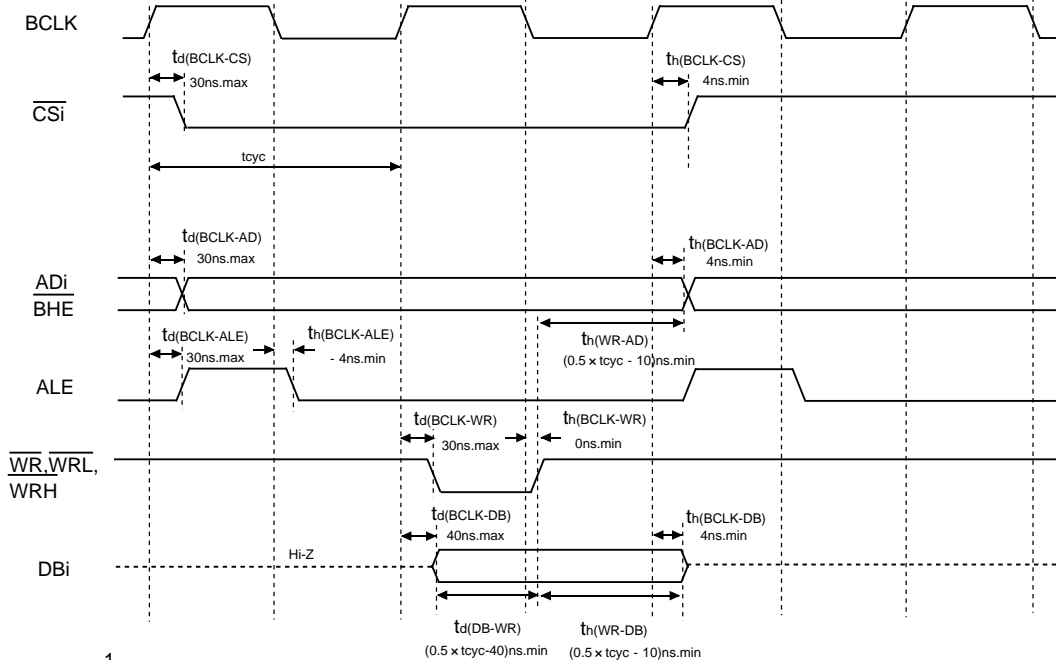
図18.6. タイミング図(3)

メモリ拡張モード、マイクロプロセッサモード(ウエイトなし設定の場合)

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(\text{BCLK})}$$

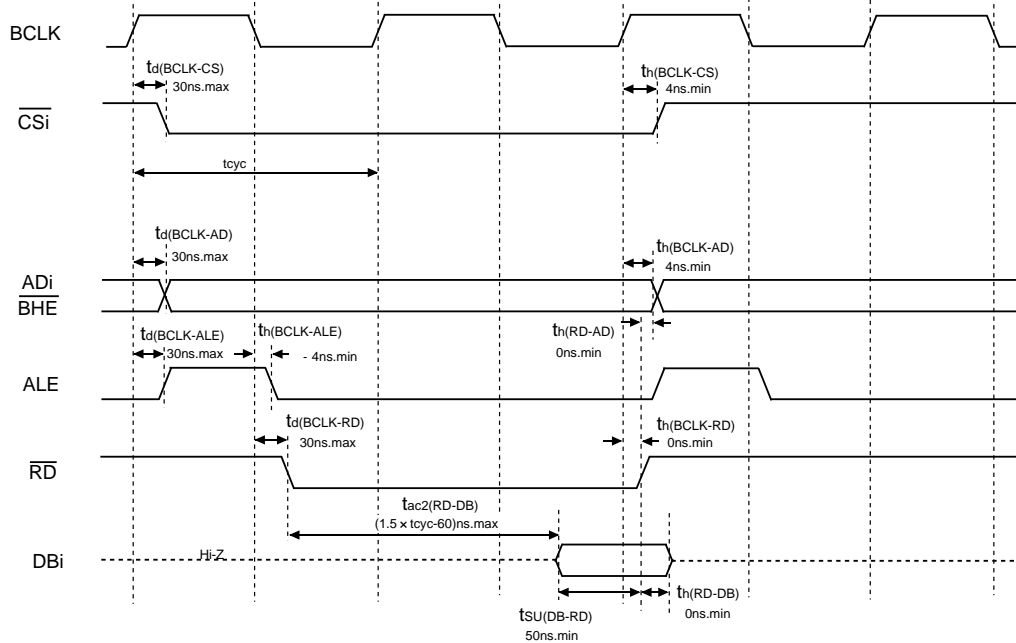
測定条件

- $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$
- 入力タイミング電圧: $V_{IL}=0.6V$, $V_{IH}=2.4V$
- 出力タイミング電圧: $V_{OL}=1.5V$, $V_{OH}=1.5V$

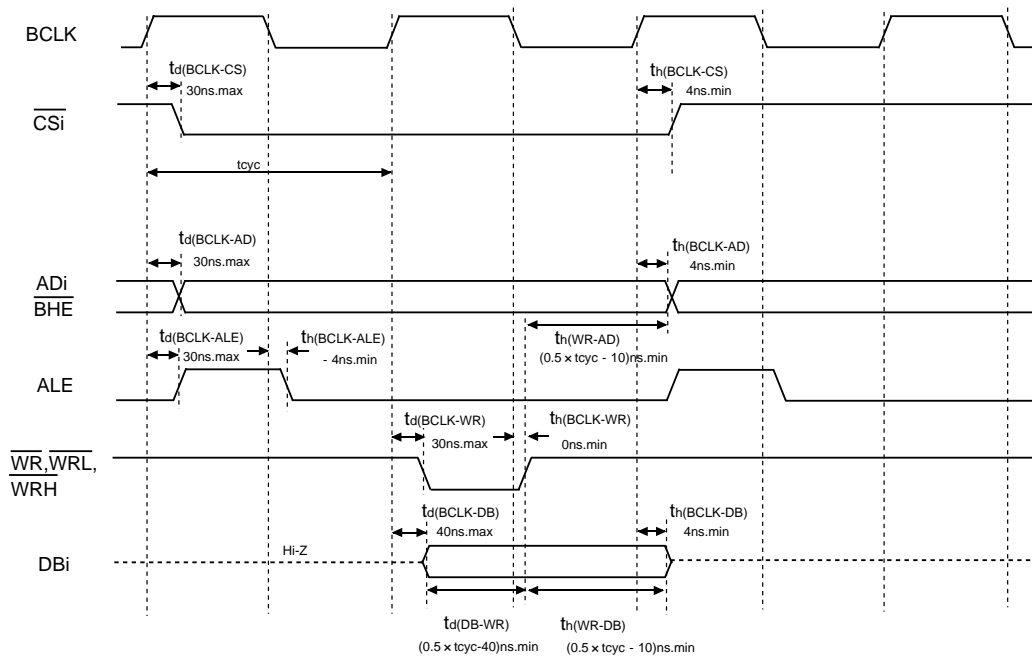
図18.7. タイミング図(4)

メモリ拡張モード、マイクロプロセッサモード
(1ウエイト設定、外部領域をアクセスした場合)

読み出しタイミング



書き込みタイミング



$$tcyc = \frac{1}{f(BCLK)}$$

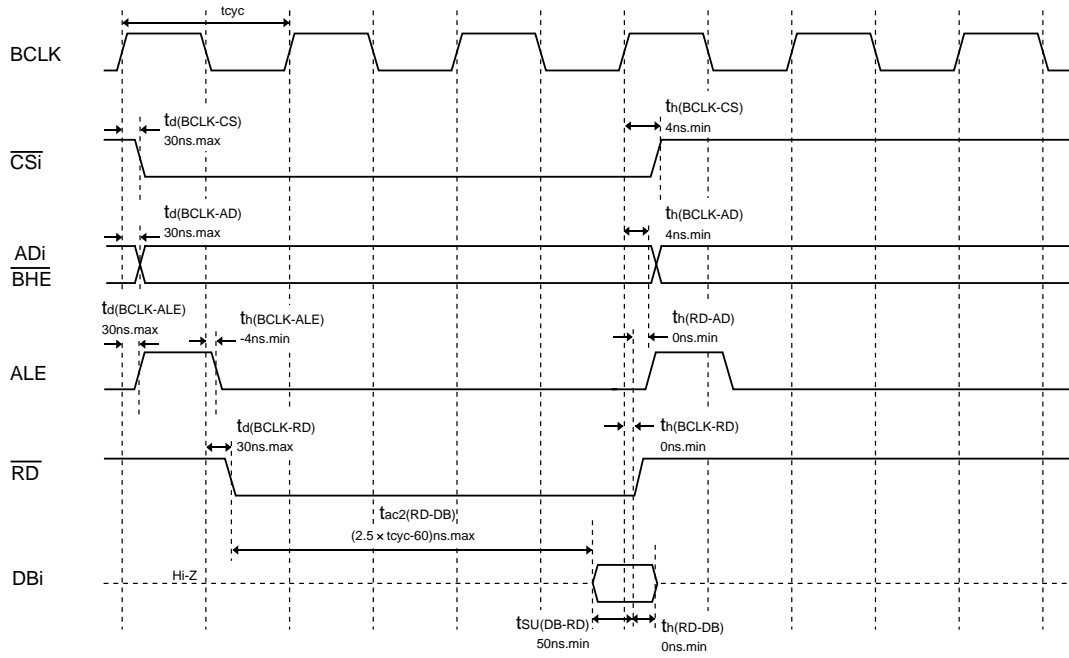
測定条件

- Vcc1=Vcc2=Vcc3=3V
- 入力タイミング電圧 : VIL=0.6V, VIH=2.4V
- 出力タイミング電圧 : VOL=1.5V, VOH=1.5V

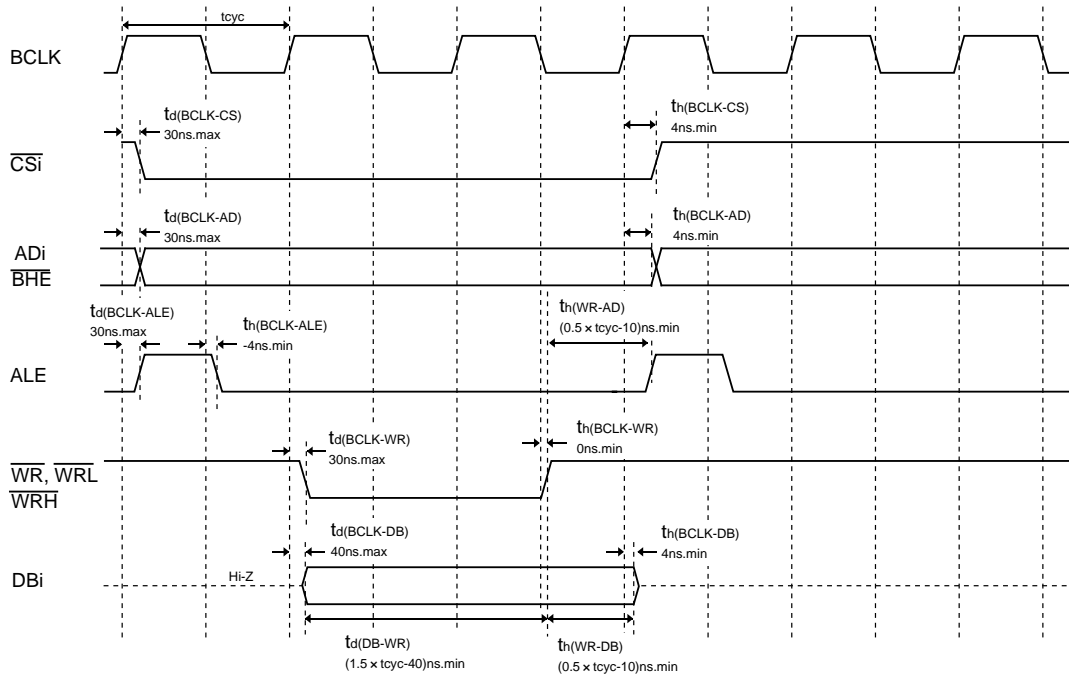
図18.8. タイミング図(5)

メモリ拡張モード、マイクロプロセッサモード
(2ウェイト設定、外部領域をアクセスした場合)

読み出しタイミング



書き込みタイミング



$$t_{cy} = \frac{1}{f(\text{BCLK})}$$

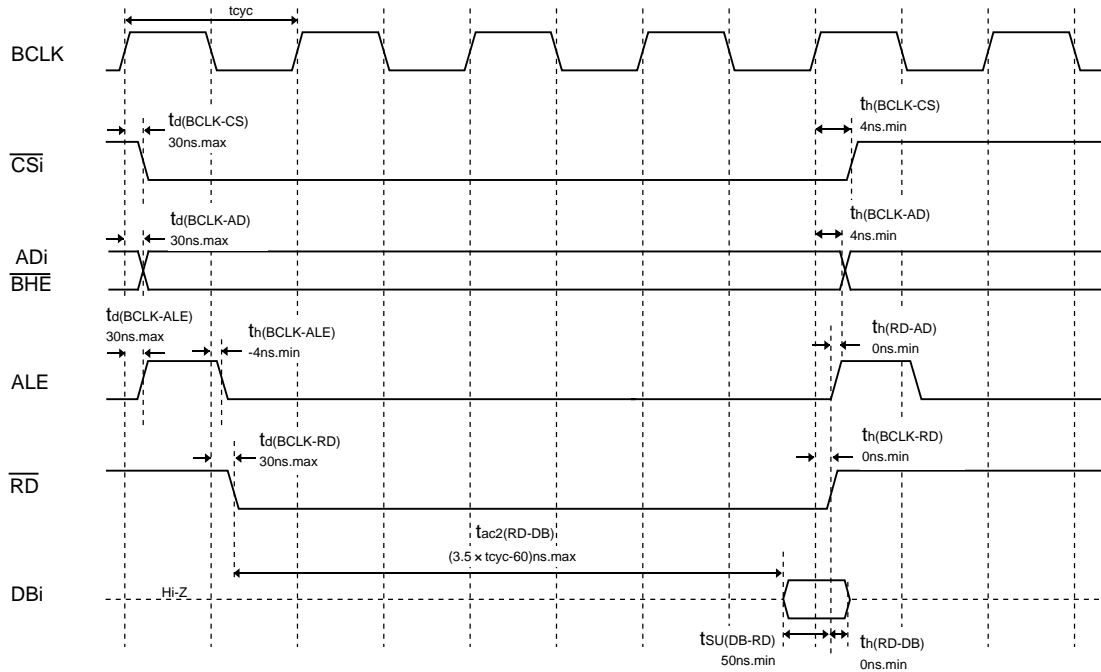
測定条件

- ・ $V_{CC1}=V_{CC2}=V_{CC3}=3.3\text{V}$
- ・ 入力タイミング電圧: $V_{IL}=0.6\text{V}$, $V_{IH}=2.4\text{V}$
- ・ 出力タイミング電圧: $V_{OL}=1.5\text{V}$, $V_{OH}=1.5\text{V}$

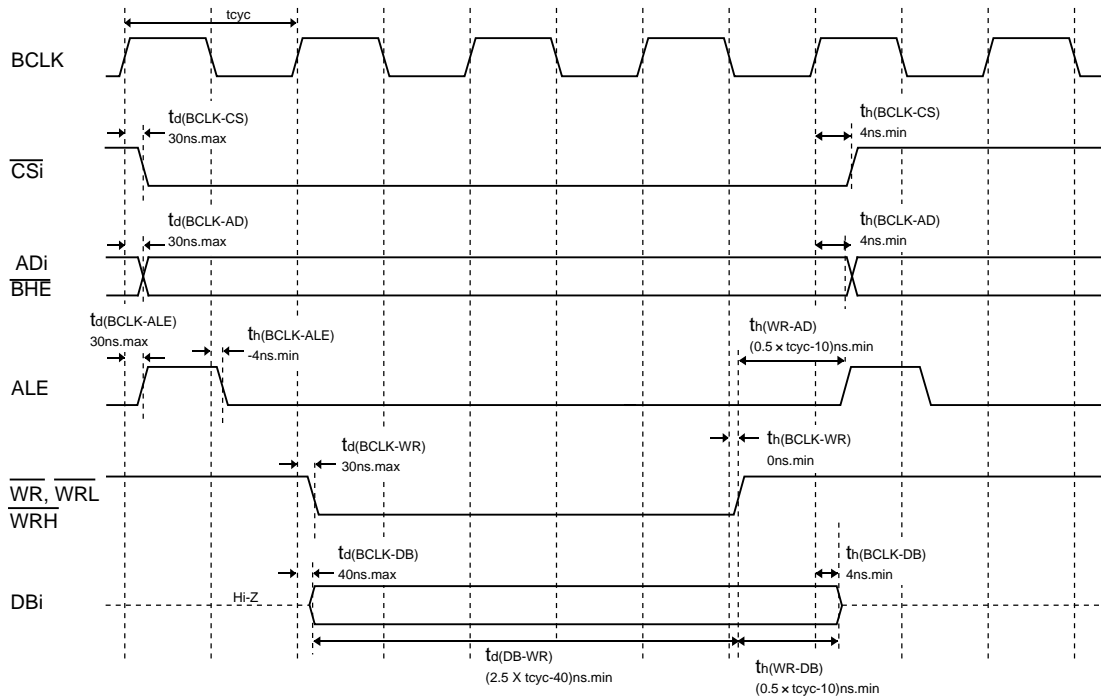
図18.9. タイミング図(6)

メモリ拡張モード、マイクロプロセッサモード
(3ウエイト設定、外部領域をアクセスした場合)

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

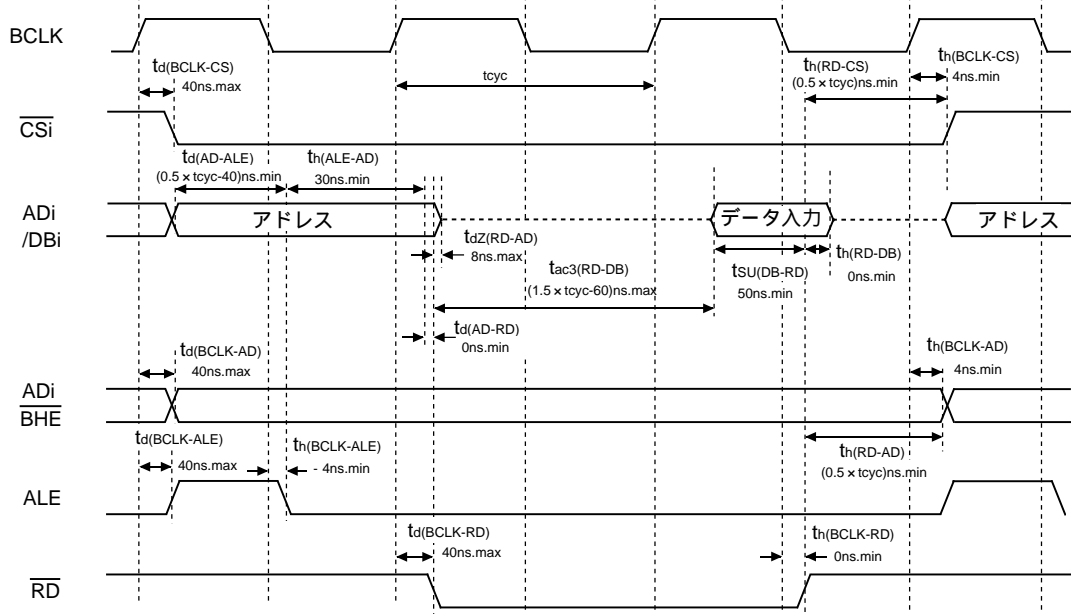
測定条件

- $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$
- 入力タイミング電圧: $V_{IL}=0.6V, V_{IH}=2.4V$
- 出力タイミング電圧: $V_{OL}=1.5V, V_{OH}=1.5V$

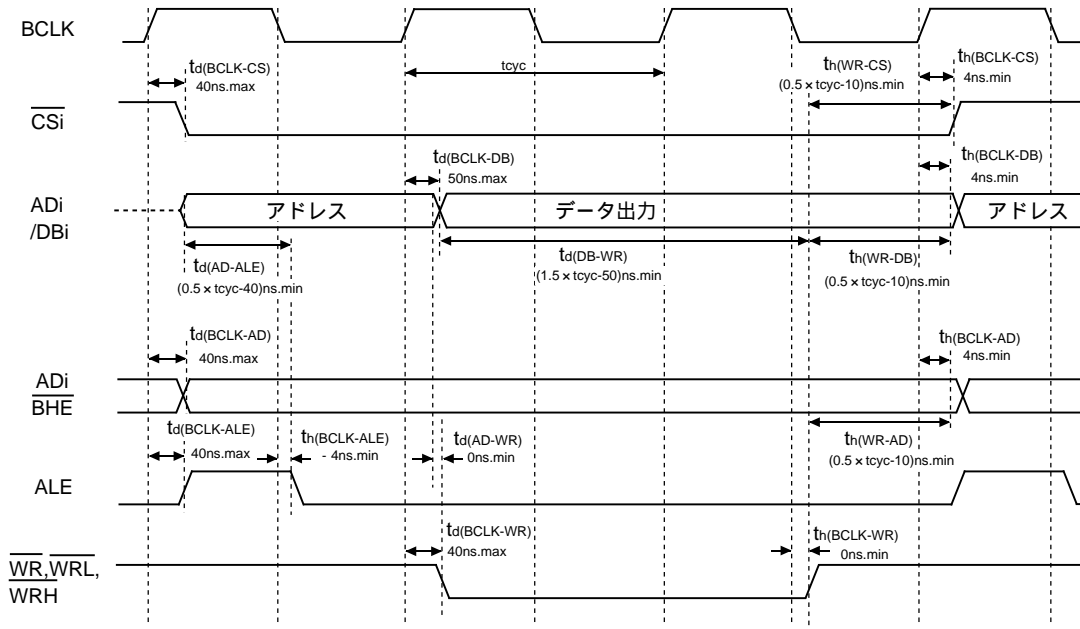
図18.10. タイミング図(7)

メモリ拡張モード、マイクロプロセッサモード
 (2ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(\text{BCLK})}$$

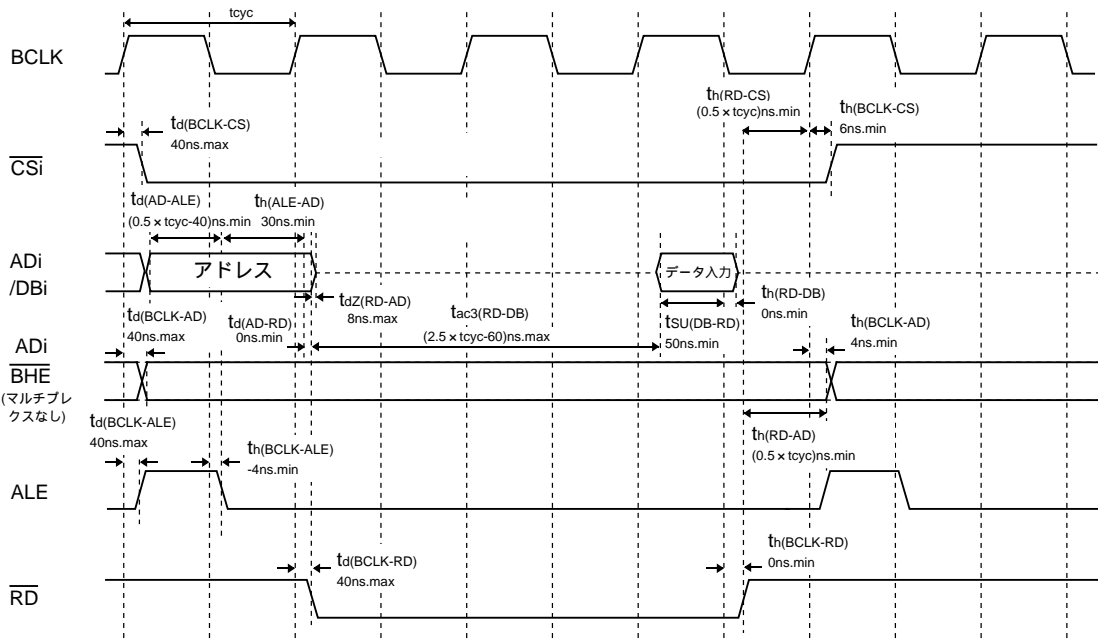
測定条件

- ・ $V_{CC1}=V_{CC2}=V_{CC3}=3.3\text{V}$
- ・ 入力タイミング電圧: $V_{IL}=0.6\text{V}$, $V_{IH}=2.4\text{V}$
- ・ 出力タイミング電圧: $V_{OL}=1.5\text{V}$, $V_{OH}=1.5\text{V}$

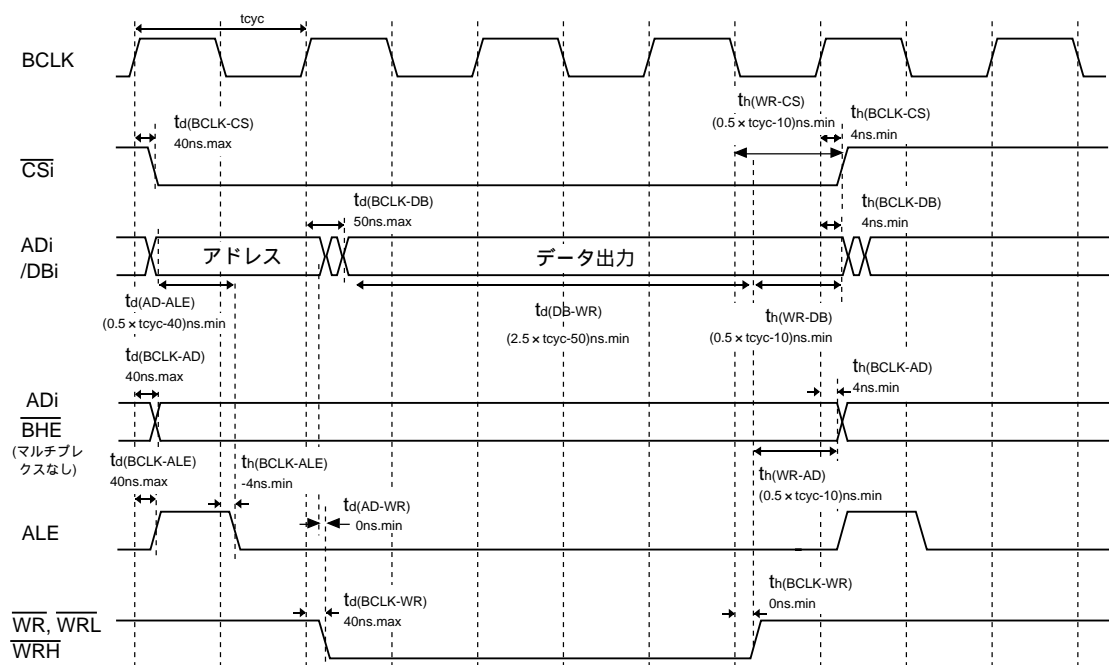
図18.11. タイミング図(8)

メモリ拡張モード、マイクロプロセッサモード
 (3ウエイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

- $V_{CC1}=V_{CC2}=V_{CC3}=3.3V$
- 入力タイミング電圧: $V_{IL}=0.6V$ 、 $V_{IH}=2.4V$
- 出力タイミング電圧: $V_{OL}=1.5V$ 、 $V_{OH}=1.5V$

図18.12. タイミング図(9)

フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表19.1にフラッシュメモリ版の性能概要を示します(表19.1に示す以外の項目は「表1.1. 性能概要」を参照してください)。

表19.1. フラッシュメモリ版の性能概要

項目	性能
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	ユーザROM領域
	ブートROM領域
プログラム方式	ワード単位、バイト単位(注2)
イレース方式	一括消去、ブロック消去
プログラム、イレース制御方式	ソフトウェアコマンドによるプログラム、イレース制御
プロテクト方式	ロックビットによるブロック単位のプロテクト
コマンド数	8コマンド
プログラム、イレース回数	100回
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

注2. パラレル入出力モードのみバイト単位でプログラムできます。

表19.2. フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード(注1)	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注2) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	-	シリアルライタ	パラレルライタ

注1. FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、PM13ビットが“1”になります。FMR01ビットを“0”(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM13ビットが“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(5000016 ~ BFFFF16)は使用しないでください。

メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域、およびOSD ROM領域に分けられます。図19.1にフラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード、またはメモリ拡張モード時のマイコン動作プログラムを格納する領域とは別に、4KバイトのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレースを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ブロックAは、PM1レジスタのPM10ビットを“1”(ブロックA有効、CS2領域は10000₁₆~26FFF₁₆)にすると使用できます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでだけ書き換えられます。また、CNVss1端子とP50端子に“H”を、P55端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVss1端子に“L”を入力してハードウェアリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。OSD ROM領域は文字フォントデータを格納しておく領域です。CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

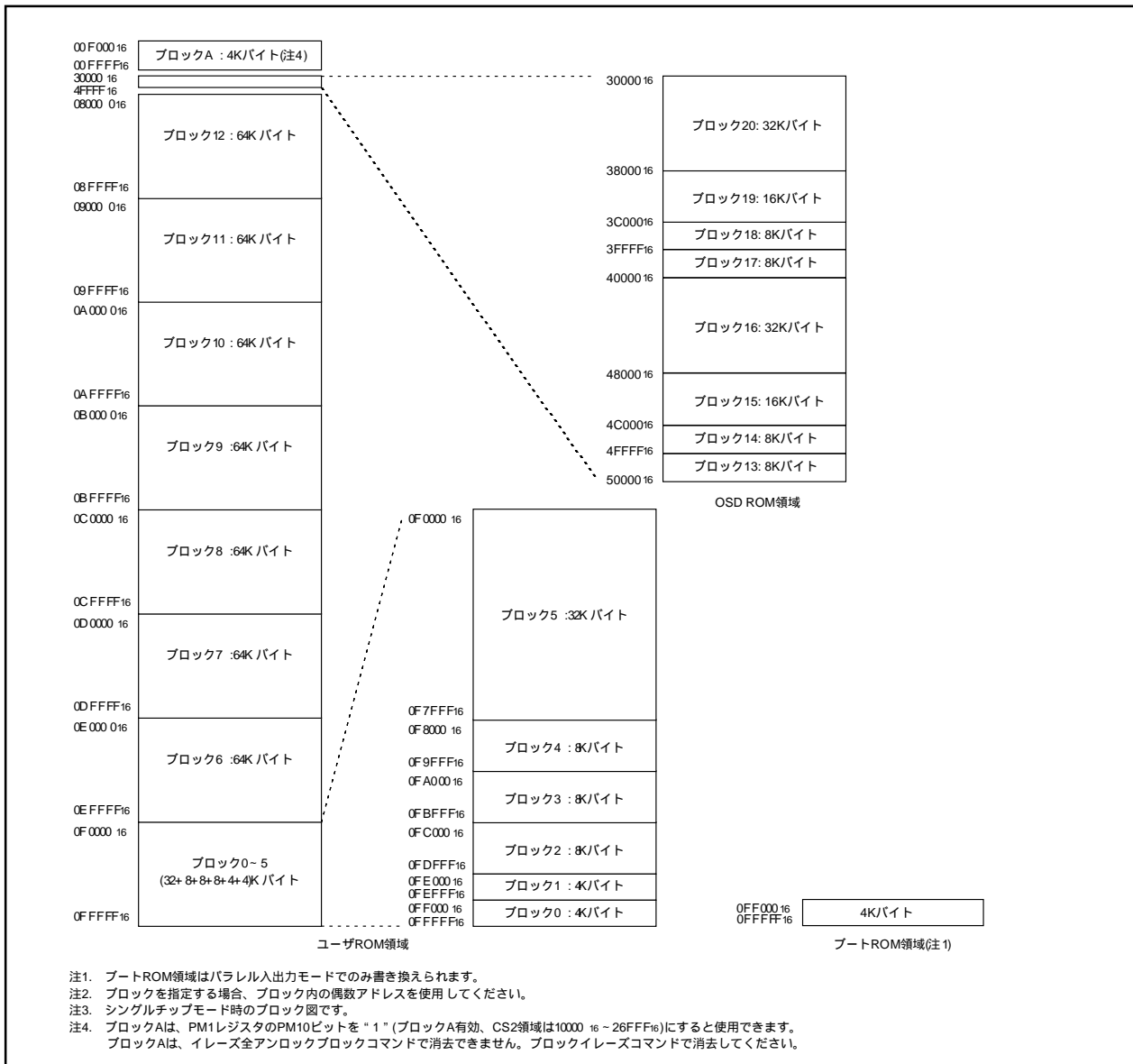


図19.1. フラッシュメモリのブロック図

ブートモード

P55端子に“L”、CNVss1端子に“H”、P50端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードで書き換えられます。EW0モードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり、書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードにはIDコードチェック機能があります。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。図19.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットを“11b”以外にすると、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“111111b”にしてください。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでROMCP1レジスタを含むブロックを消去してください。

IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	出荷時の値	
		1	1	1	1	1	1	ROMCP	0FFFF ₁₆ 番地	FF ₁₆ (注4)	
								ビットシンボル	ビット名	機能	RW
								——	予約ビット	“1”にしてください	RW
								——	予約ビット	“1”にしてください	RW
								——	予約ビット	“1”にしてください	RW
								——	予約ビット	“1”にしてください	RW
								——	予約ビット	“1”にしてください	RW
								ROMCP1	ROMコードプロテクト レベル1設定ビット (注1、注3、注4)	b7 b6 00: } プロテクト有効 01: } 10: } 11: } プロテクト無効	RW
											RW

- 注1. ROMCP1ビットを“1b”以外(ROMコードプロテクトを有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。
- 注2. ROMCP1ビットを“1b”以外にする場合、ビット5～ビット0は“11111b”にしてください。ビット5～ビット0を“11111b”以外にすると、ROMCP1を“1b”以外にしても、ROMコードプロテクトは有効にならない場合があります。
- 注3. ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードで、ROMCPレジスタを含むブロックを消去してください。
- 注4. ROMCPレジスタを含むブロックを消去すると、ROMCPレジスタは“FFh”になります。

図19.2. ROMCPレジスタ

アドレス		
0FFFD ₁₆ ~ 0FFDC ₁₆	ID1	未定義命令ベクタ
0FFFE ₃₁₆ ~ 0FFE ₀₁₆	ID2	オーバフローベクタ
0FFFE ₇₁₆ ~ 0FFE ₄₁₆		BRK命令ベクタ
0FFFE _{B16} ~ 0FFE ₈₁₆	ID3	アドレス一致ベクタ
0FFFE _{F16} ~ 0FFE _{C16}	ID4	シングルステップベクタ
0FFFF ₃₁₆ ~ 0FFF ₀₁₆	ID5	ウォッチドッグタイマベクタ
0FFFF ₇₁₆ ~ 0FFF ₄₁₆	ID6	DBCベクタ
0FFFF _{B16} ~ 0FFF ₈₁₆	ID7	
0FFFF _{F16} ~ 0FFF _{C16}	ROMCP	リセットベクタ
4バイト		

図19.3. IDコードの格納番地

CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域またはOSD ROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域またはOSD ROM領域を書き換えることができます。

CPU書き換えモードでは、図19.1に示す領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表19.3にEW0モードとEW1モードの違いを示します。

表19.3. EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> ・シングルチップモード ・メモリ拡張モード ・ブートモード 	シングルチップモード
書き換え制御プログラムを配置できる領域	<ul style="list-style-type: none"> ・ユーザROM領域 ・ブートROM領域 	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域 OSD ROM領域	ユーザROM領域 OSD ROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限(注3)	なし	<ul style="list-style-type: none"> ・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・イレーズ全アンロックブロックコマンド 書き換え制御プログラムがあるブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知(注3)	<ul style="list-style-type: none"> ・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(ウォッチドッグタイマを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM13ビットが“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(50000₁₆ ~ BFFFF₁₆)は使用しないでください。

注3. 説明文中のレジスタ名、ビット名は、ユーザROM領域の書き換えの場合です。

EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なのでEW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読みません。

フラッシュメモリ制御レジスタ(FIDR、FMR0、FMR1レジスタ)

図19.4にFIDR、FMR0、FMR1レジスタを示します。

FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「22.3.6 データ保護機能」参照)。“0”にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・低消費電力モードにする場合

図19.8に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。なお、ストップモードまたはウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

図19.6にEW0モードの設定と解除方法、図19.7にEW1モードの設定と解除方法を示します。

FMR11ビット

FMR11ビットが“0”(EW0モード)の場合、EW0モードになります。

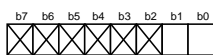
FMR11ビットが“1”(EW1モード)の場合、EW1モードになります。

FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。

ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

フラッシュメモリ (USER) 識別レジスタ

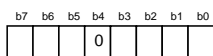


シンボル アドレス リセット後の値
 FIDR 01B416番地 XXXXXX002

ビットシンボル	ビット名	機能	RW
FIDR0	フラッシュモジュールタイプ識別値	b1b0 00: M16C/62N、M3062GF8Nタイプ フラッシュモジュール 10: M16C/62Pタイプフラッシュモジュール 11: M16C/62M、M16C/62Aタイプ フラッシュモジュール	RO
FIDR1			RO
— (b7-b2)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

注1. M16C/62グループに内蔵されているフラッシュモジュールを識別するためのレジスタです。次の手順に従って識別してください。
 (1)FIDRレジスタに“FF16”を書き込む
 (2)FIDRレジスタを読み出す
 (3)(2)で読み出した値の下位2ビットをチェックする
 上記(1)の命令と(2)の命令間に外部メモリへのアクセス、他のSFRへのアクセス、割り込み、またはDMA転送が入らないようにしてください。FIDRレジスタは内蔵フラッシュモジュールのタイプを識別するものであり、チップバージョンを示すものではありません。

フラッシュメモリ (USER) 制御レジスタ0

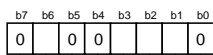


シンボル アドレス リセット後の値
 FMR0 01B716番地 XX0000012

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中)(注6) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット (注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット (注2)	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット (注3、注5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4)	予約ビット	“0”にしてください	RW
FMR05	ユーザROM領域選択ビット (注3) (ブートモード時のみ有効)	0: ブートROM領域アクセス 1: ユーザROM領域アクセス	RW
FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレースステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. “1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
 EW0モード時はフラッシュメモリ以外の領域で変更してください。
 このビットはリードアレイモードにしてから“0”にしてください。
 注2. “1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。
 “0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
 注3. このビットは、フラッシュメモリ以外の領域で変更してください。
 注4. クリアステータスコマンドを実行すると“0”になります。
 注5. FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。
 注6. ロックビットプログラム、リードロックビットステータスコマンドでの書き込み、読み出し中を含みます。

フラッシュメモリ (USER) 制御レジスタ1



シンボル アドレス リセット後の値
 FMR1 01B516番地 0X00XX0X2

ビットシンボル	ビット名	機能	RW
— (b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1)	0: EW0モード 1: EW1モード	RW
— (b3-b2)	予約ビット	読んだ場合、不定	RO
— (b5-b4)	予約ビット	“0”にしてください	RW
FMR16	ロックビットステータスフラグ	0: ロック 1: 非ロック	RO
— (b7)	予約ビット	“0”にしてください	RW

注1. “1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
 FMR01ビットを“0”にすると、FMR01ビットとFMR11ビットは、いずれも“0”になります。

図19.4. FIDR、FMR0、FMR1レジスタ

図19.5にFMOSi0レジスタを、図19.5-2にFMOSi1、FMOSi4レジスタを示します。(i = A, B)

FMOSi00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中、およびイレーズサスペンドモード中は“0”、それ以外のときには“1”になります。

FMOSi01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMOSi02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0およびブロック1はプログラムおよびブロックイレーズのコマンドを受け付けません。

FMOSiSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・低消費電力モードにする場合

図19.8に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMOSi06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

FMOSi07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

FMOSi11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

FMOSi40ビット

FMR40ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMOSi41ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

FMOSi46ビット

自動消去実行中は、FMR46ビットが“0”になります。イレーズサスペンドモード中は“1”になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ (USER/OSD) 切り替えレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
⊗								FMSEL	02A0 ₁₆ 番地	00000000 ₂

ビットシンボル	ビット名	機能	RW
OSELBIT1	USER/OSD1/OSD2切り替え	00 : USER 01 : OSD1 10 : OSD2 11 : 設定しないでください	RW
OSELBIT2			RW
— (b6-b2)	予約ビット	"0" にしてください	RW
— (b7)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は"0"。		RW

フラッシュメモリ (OSD1/OSD2) 制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
			0					FMOSi0	02A 7 ₁₆ /02B 7 ₁₆ 番地	XX000001 ₂

ビットシンボル	ビット名	機能	RW
FMOSi00	RY/B \bar{Y} ステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	RO
FMOSi01	CPU書き換えモード選択 ビット (注1)	0 : CPU書き換えモード無効 1 : CPU書き換えモード有効	RW
FMOSi02	ブロック0,1書き換え許可 ビット (注2)	0 : 書き換え禁止 1 : 書き換え許可	RW
FMOSiSTP	フラッシュメモリ停止 ビット (注3、注5)	0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 低消費電力状態、フラッシュメモリ 初期化)	RW
— (b4-b5)	予約ビット	"0" にしてください	RW
FMOSi06	プログラムステータス フラグ (注4)	0 : 正常終了 1 : エラー終了	RO
FMOSi07	イレーズステータス フラグ (注4)	0 : 正常終了 1 : エラー終了	RO

(i = A, B)

- 注1. "1" にするときは、"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
EWOモード時はフラッシュメモリ以外の領域のプログラムで書いてください。
このビットはリードアレイモードにしてから"0" にしてください。
- 注2. "1" にするときは、FMOSi01 ビットが"1" の状態で、このビットに"0" を書いた後、続けて"1" を書いてください。
"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
- 注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。
- 注4. クリアステータスコマンドを実行すると"0" になります。
- 注5. FMOSi01 ビットが"1" (CPU書き換えモード) のとき有効です。FMOSi01 ビットが"0" のとき、FMOSiSTP ビットに"1" を書くと FMOSiSTP ビットは"1" になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

図19.5. FMOSA0/FMOSB0/FMSELレジスタ

フラッシュメモリ (OSD1/OSD2) 制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	X	0	0				0	FMOSi1	02A516/02B516番地	0X00XX0x2

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	読んだ場合、不定	RO
FMOSi11	EW1モード選択ビット (注1)	0: EW0モード 1: EW1モード	RW
(b3-b2)	予約ビット	読んだ場合、不定	RO
(b5-b4)	予約ビット	"0" にしてください	RW
(b6)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は "0"。		—
(b7)	予約ビット	"0" にしてください	RW

(i = A, B)

注1. "1" にするときは、FMR01ビットが "1" の状態で、このビットに "0" を書いた後、続けて "1" を書いてください。"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
FMOSi01ビットを "0" にすると、FMR01ビットとFMR11ビットは、いずれも "0" になります。

フラッシュメモリ (OSD1/OSD2) 制御レジスタ4

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0		0	0	0	0			FMOSi4	02A316/02B316番地	01000000z

ビットシンボル	ビット名	機能	RW
FMOSi40	イレーズサスペンド機能 許可ビット(注1)	0: 禁止 1: 許可	RW
FMOSi41	イレーズサスペンド リクエストビット(注2)	0: イレーズリスタート 1: サスペンドリクエスト	RW
(b5-b2)	予約ビット	"0" にしてください	RO
FMOSi46	イレーズステータス	0: 自動消去動作中 1: 自動消去停止 (イレーズサスペンドモード)	RO
(b7)	予約ビット	"0" にしてください	RW

(i = A, B)

注1. "1" にするときは、このビットに "0" を書いた後、続けて "1" を書いてください。
"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。

注2. このビットはイレーズサスペンド許可ビット(FMOSi40)が "1" の時のみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ書き込みが可能となります。(上記期間以外は "1" になります。)
EW0モードではこのビットはプログラムによって "0"、"1" 書き込みが可能となります。
EW1モードではFMOSi40ビットが "1" のとき消去中にマスクプル割り込みが発生すると自動的に "1" になります。プログラムによって "1" を書き込むことは出来ません。("0" 書き込みは可能)

図19.5-2. FMOSA1、FMOSB1、FMOSA4、FMOSB4レジスタ

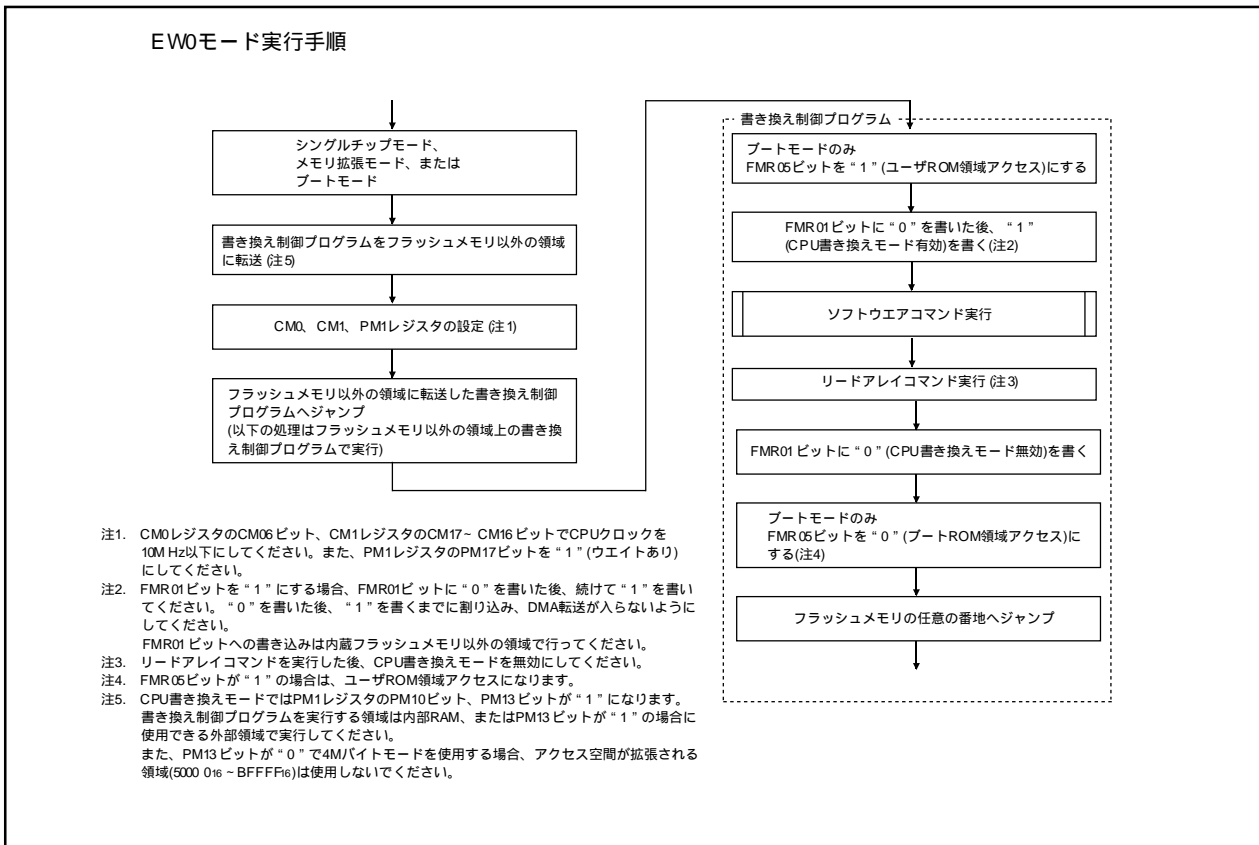


図19.6. EW0モードの設定と解除方法

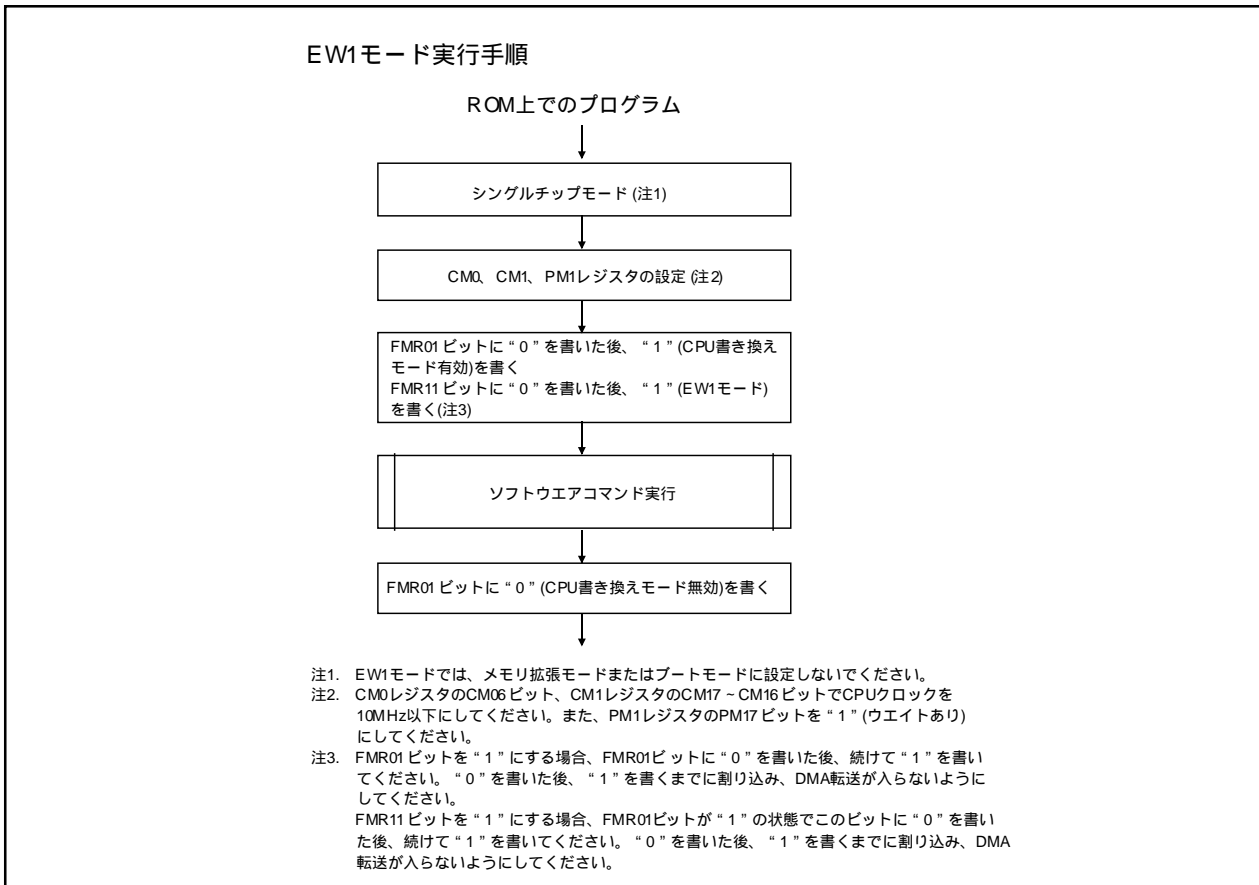


図19.7. EW1モードの設定と解除方法

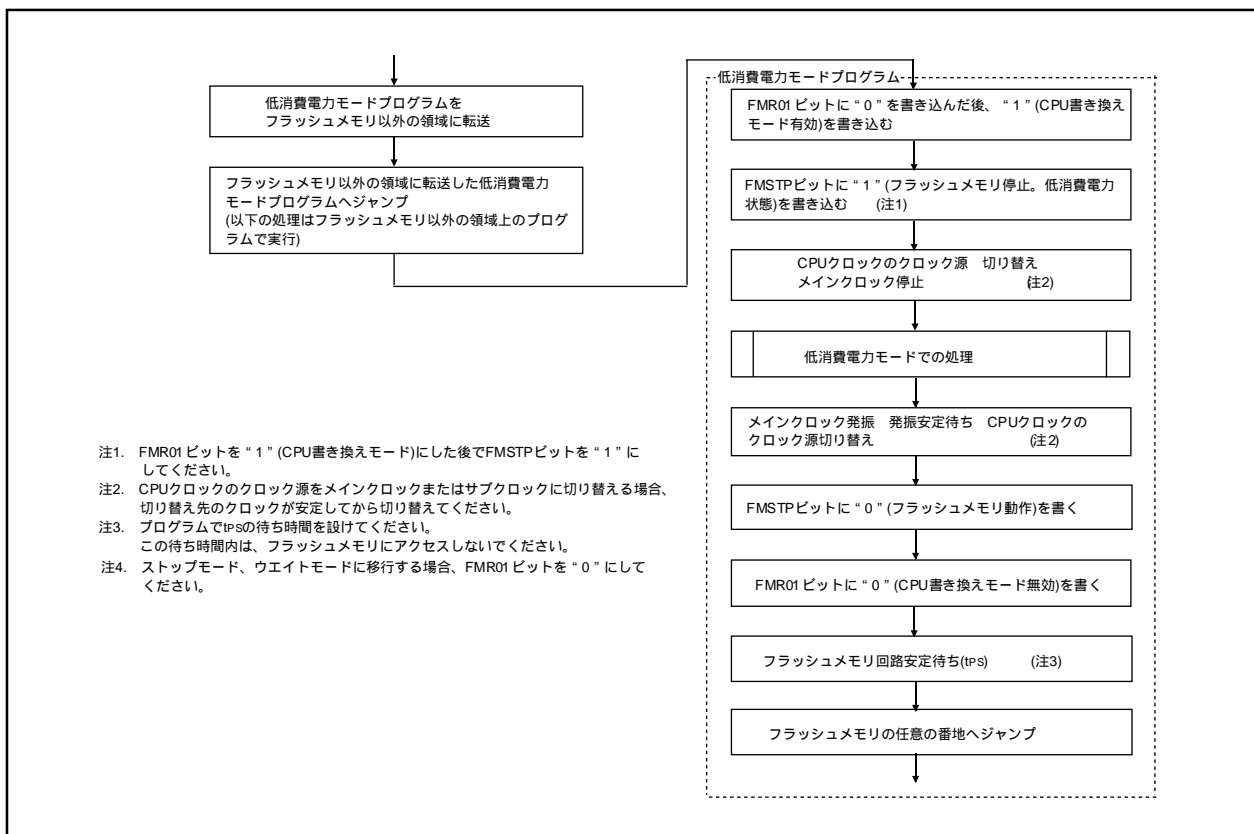


図19.8. 低消費電力モード前後の処理

CPU書き換えモードの注意事項

(1)動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウエイトあり)にしてください。

(2)使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)割り込み(EW0モード)

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。ウォッチドッグタイマ割り込み発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)割り込み(EW1モード)

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。

(5)アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

(6)ユーザROM領域の書き換え(EW0モード)

- ・書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

(7)ユーザROM領域の書き換え(EW1モード)

- ・書き換え制御プログラムが格納されているブロックを書き換えしないでください。

(8)DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

(9)コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

(10) ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0” (CPU書き換えモード無効)にした後、WAIT命令を実行してください。

(11) ストップモード

ストップモードに移行する場合は、次のようにしてください。

- ・ FMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1” (ストップモード)にする
- ・ CM10ビットを“1”にする命令の次にJMP.B命令を実行する

```
プログラム例      BSET      0, CM1      ; ストップモード  
                   JMP.B     L1
```

L1 :

ストップモード復帰後のプログラム

(12) 低消費電力モード

CM05ビットが“1” (メインクロック停止)のときは、次のコマンドを実行しないでください。

- ・ プログラム
- ・ ブロックイレーズ
- ・ イレーズ全アンロックブロック
- ・ ロックビットプログラムソフトウエアコマンド
- ・ リードロックビットステータス

ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表19.4. ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	x	xxFF ₁₆			
リードステータスレジスタ	ライト	x	xx70 ₁₆	リード	x	SRD
クリアステータスレジスタ	ライト	x	xx50 ₁₆			
プログラム	ライト	WA	xx40 ₁₆	ライト	WA	WD
ブロックイレーズ	ライト	x	xx20 ₁₆	ライト	BA	xxD0 ₁₆
イレーズ全アンロックブロック(注1, 2)	ライト	x	xxA7 ₁₆	ライト	x	xxD0 ₁₆
ロックビットプログラム(注2)	ライト	BA	xx77 ₁₆	ライト	BA	xxD0 ₁₆
リードロックビットステータス(注2)	ライト	x	xx71 ₁₆	ライト	BA	xxD0 ₁₆

注1. イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0～ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

注2. USER領域に対してのみ実行可能です。OSD領域への実行はエラーとなります。

SRD：ステータスレジスタデータ(D7～D0)。

WA：書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WD：書き込みデータ(16ビット)

BA：ブロックの最上位番地(ただし、偶数番地)

x：ユーザROM領域内の任意の偶数番地

xx：コマンドコード上位8ビット(無視されます)

リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx4016”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図19.9にプログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

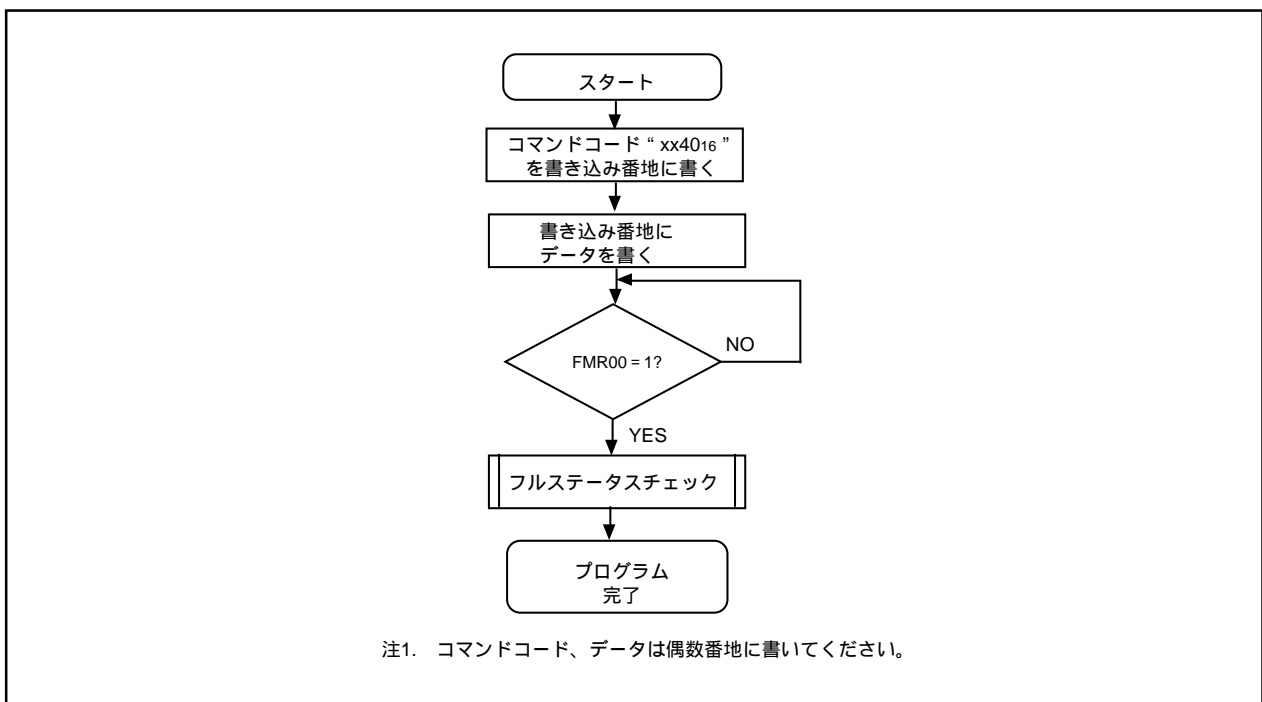


図19.9. プログラムフローチャート

ブロックイレーズ

第1バスサイクルで“xx20₁₆”、第2バスサイクルで“xxD0₁₆”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「フルステータスチェック」参照)。

図19.10にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

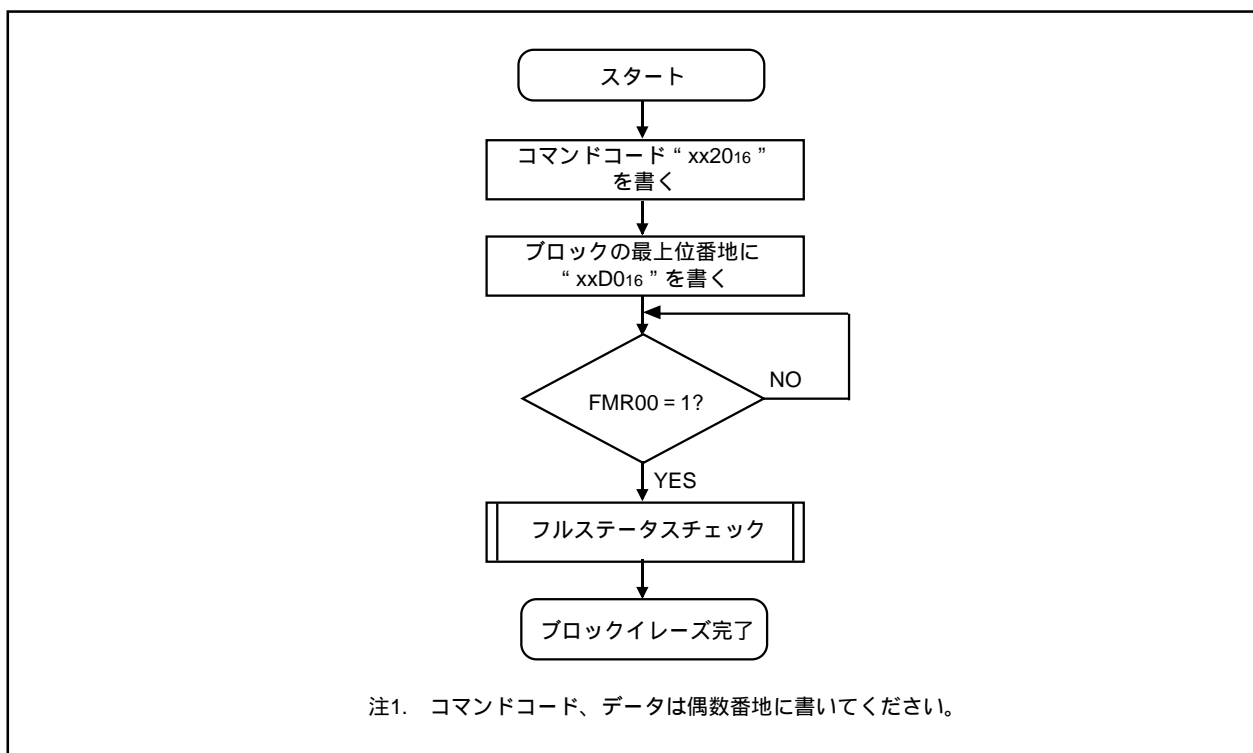


図19.10. ブロックイレーズフローチャート

イレーズ全アンロックブロック（USER領域のみ）

第1バスサイクルで“xxA7₁₆”、第2バスサイクルで“xxD0₁₆”を書くと、ブロックAを除く全ブロックに対し、連続的にブロックイレーズを行います。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。自動消去の結果はFMR0レジスタのFMR07ビットで確認できます。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”(ビジー)となり、終了とともに“1”(レディ)に戻ります。この場合のリードステータスレジスタモードは、次にリードレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

また、本コマンドで消去されるブロックは、ブロック0～ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

ロックビットプログラム（USER領域のみ）

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77₁₆”、第2バスサイクルで“xxD0₁₆”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図19.11にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「データ保護機能」を参照してください。

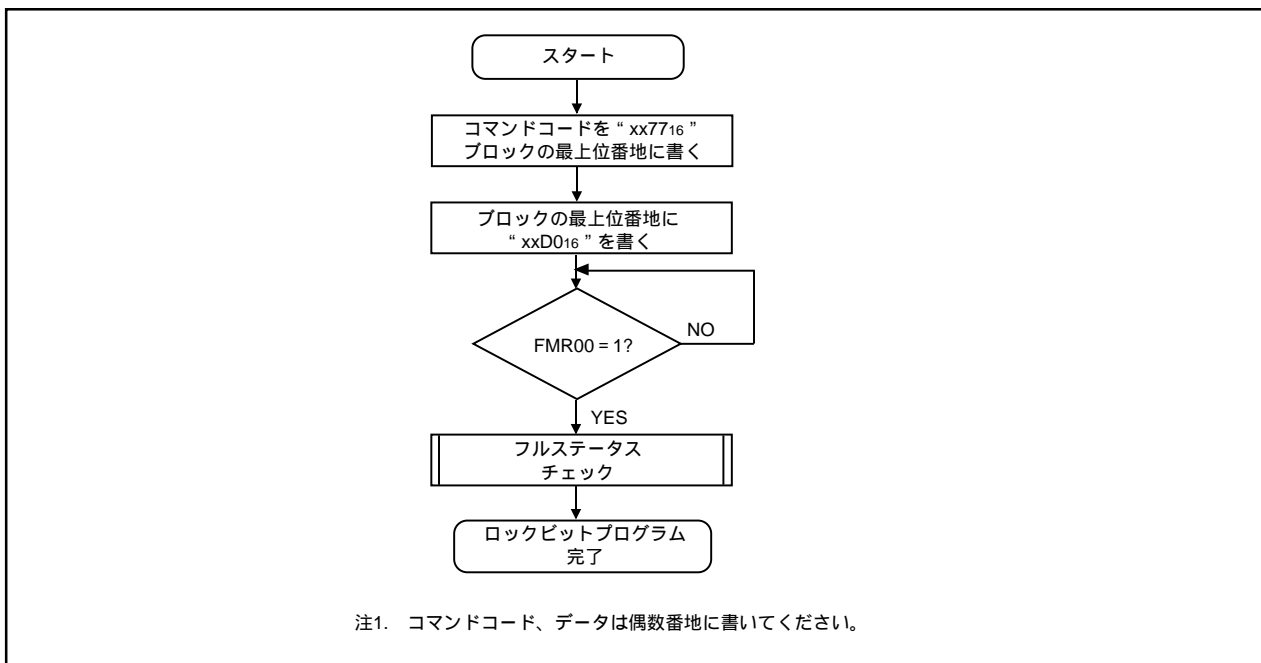


図19.11. ロックビットプログラムフローチャート

リードロックビットステータス (USER領域のみ)

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで “xx7116”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に “xxD016” を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが “1” (レディ) になった後、FMR16ビットを読んでください。

図19.12にリードロックビットプログラムのフローチャート例を示します。

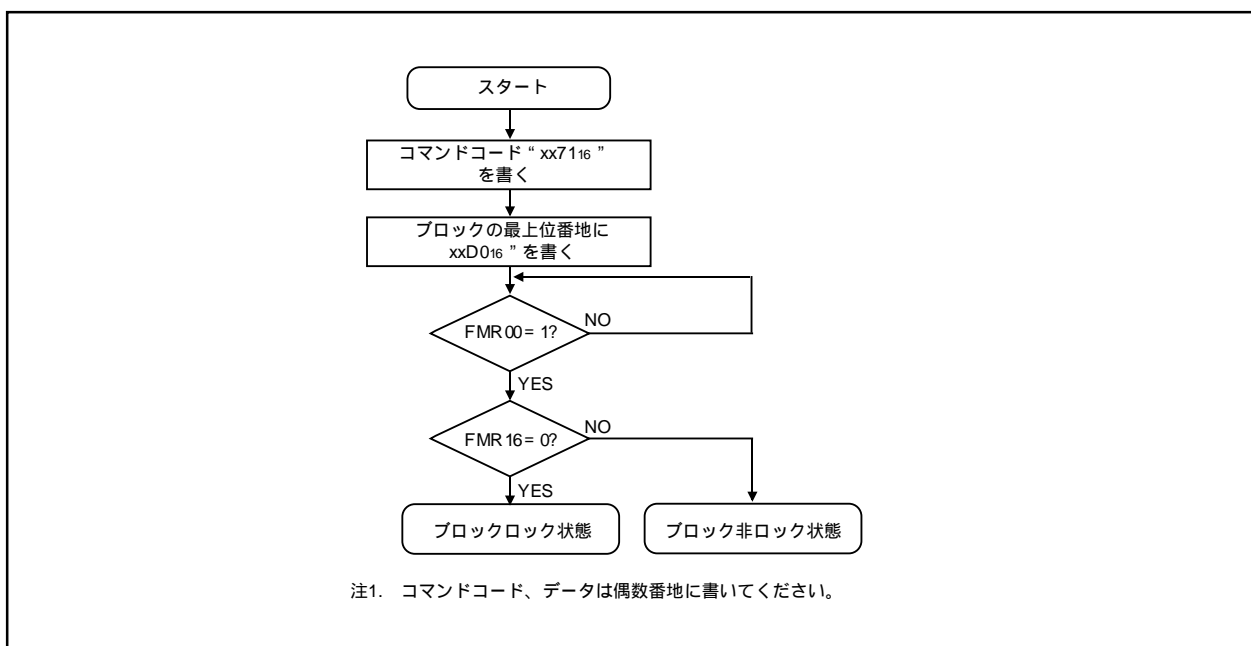


図19.12. リードロックビットステータスフローチャート

データ保護機能 (USER領域のみ)

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ・ロックビットが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ・ロックビットが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットをコマンドで“1”にできません。

また、ロックビットの状態は、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。

各コマンドの詳細は、「ソフトウェアコマンド」を参照してください。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0, FMOSA0, FMOSB0レジスタのビット0、ビット6、ビット7で読めます。

USER/OSD1/OSD2の3領域に対してそれぞれにステータスレジスタが存在します。正しい結果を読み出すためには、コマンド実行前にFMSEL0, FMSEL1にて対象領域を選択しておく必要があります。

表19.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- (2) プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、またはロックビットコマンド実行後、リードアレココマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

シーケンサステータス(SR7、FMR00ビット / FMOSA00ビット / FMOSB00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去、ロックビット書き込み中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

イレーズステータス(SR5、FMR07ビット / FMOSA07ビット / FMOSB07ビット)

「フルステータスチェック」を参照してください。

プログラムステータス(SR4、FMR06ビット / FMOSA06ビット / FMOSB06ビット)

「フルステータスチェック」を参照してください。

表19.5. ステータスレジスタ

ステータスレジスタのビット	フラッシュメモリ制御レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D7)	ビット0	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	-	予約ビット	-	-	-
SR5 (D5)	ビット7	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	ビット6	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	-	予約ビット	-	-	-
SR2 (D2)	-	予約ビット	-	-	-
SR1 (D1)	-	予約ビット	-	-	-
SR0 (D0)	-	予約ビット	-	-	-

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

SR5、SR4は、クリアステータスレジスタコマンドを実行すると“0”になります。

SR5またはSR4が“1”の場合、プログラム、ブロックイレーズ、イレーズ全アンロック

ブロック、ロックビットプログラムコマンドは受け付けられません。

フラッシュメモリ制御レジスタはUSER, OSD1, OSD2の各領域に対して独立に存在し、それぞれFMR0, FMOSA0, FMOSB0となります。

フルステータスチェック

エラーが発生すると、フラッシュメモリ制御レジスタの6~7ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表19.6にエラーとフラッシュメモリ制御レジスタの状態を、図19.13にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表19.6. エラーとフラッシュメモリ制御レジスタの状態

フラッシュメモリ制御レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
(SR5)	(SR4)		
1	1	コマンド シーケンス エラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0₁₆”または“xxFF₁₆”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ロックされたブロックにブロックイレーズコマンドを実行したとき(注2, 注3) ・ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しく自動消去されなかつたとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ロックされたブロックにプログラムコマンドを実行したとき(注2, 注3) ・ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかつたとき ・ロックビットプログラムコマンドを実行し、正しく書き込まれなかつたとき(注3)

注1．これらのコマンドの第2バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2．02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

注3．OSD1またはOSD2領域に対して実行した場合は該当せずエラーは発生しません。

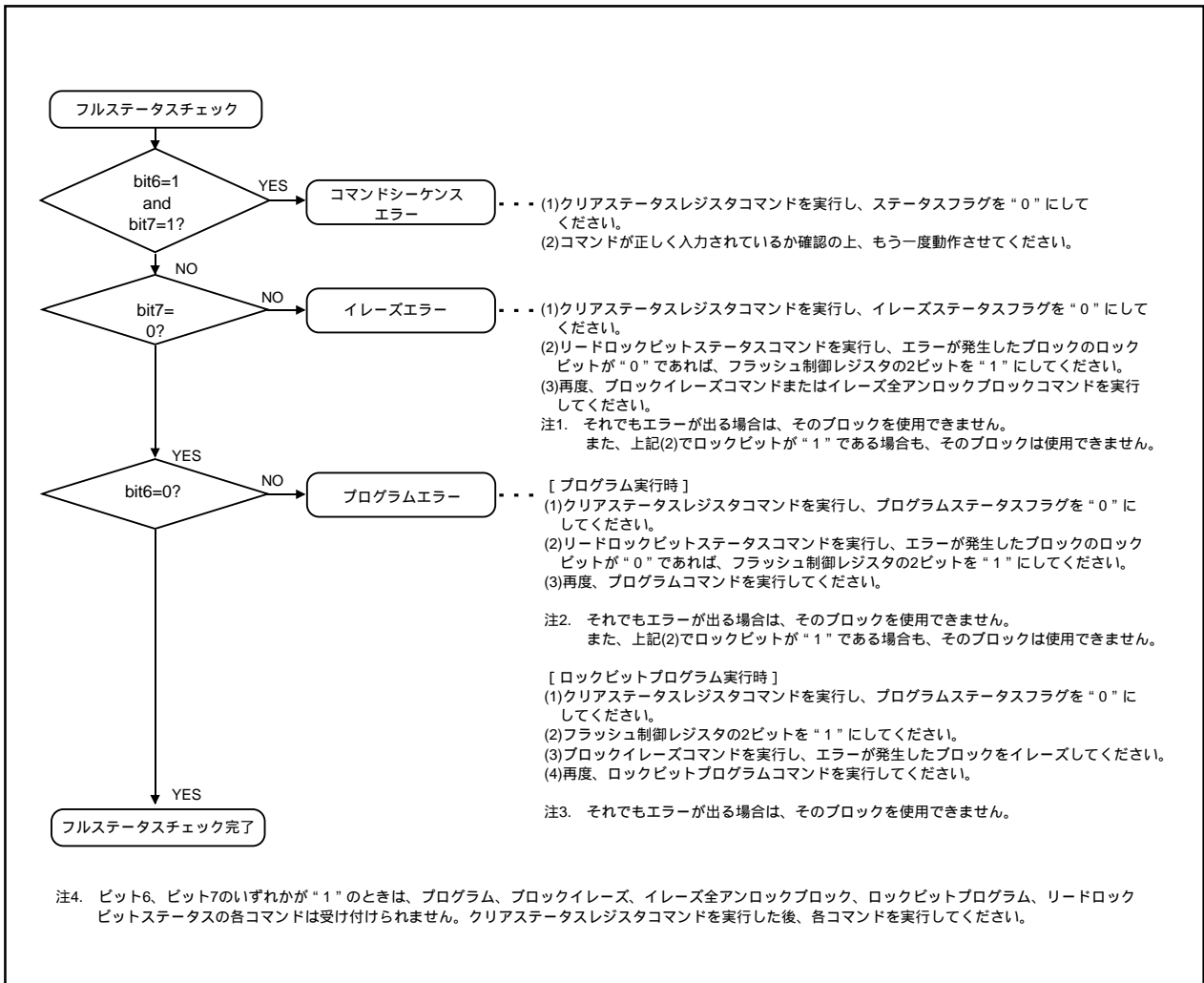


図19.13. フルステータスチェックフロチャート、各エラー発生時の対処方法

標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/6V8グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表19.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図19.14～図19.16に標準シリアル入出力モード時の端子結線図を示します。

IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「フラッシュメモリ書き換え禁止機能」参照)。

表19.7. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC1、VCC2、VCC3、VSS	電源入力		VCC1、VCC2、VCC3端子にはプログラムイレーズの保証電圧を入力してください。VSSには0Vを入力してください。
CNVSS1、CNVSS2	CNVSS	入力	CNVSS1はVCCに、CNVSS2はVSSに接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VSSに接続してください。
P00 ~ P07	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P51 ~ P54, P56, P57	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P50	CE入力	入力	“H”を入力してください。
P55	EPM入力	入力	“L”を入力してください。
P60 ~ P63	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P64/RTS1	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65/CLK1	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P66/RxD1	RxD入力	入力	シリアルデータの入力端子です。
P67/TxD1	TxD出力	出力	シリアルデータの出力端子です。(注1)
P70 ~ P77	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P82 ~ P83, P86, P87	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P90 ~ P91	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P103 ~ P107	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。
その他の入力端子			“H”を入力、または“L”を入力してください。
その他の出力端子			開放してください。

注1. 標準シリアル入出力モード1を使用する場合、RESET端子が“L”の期間中TxD端子に“H”を入力する必要があります。そのため、この端子を抵抗を介してVCCに接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

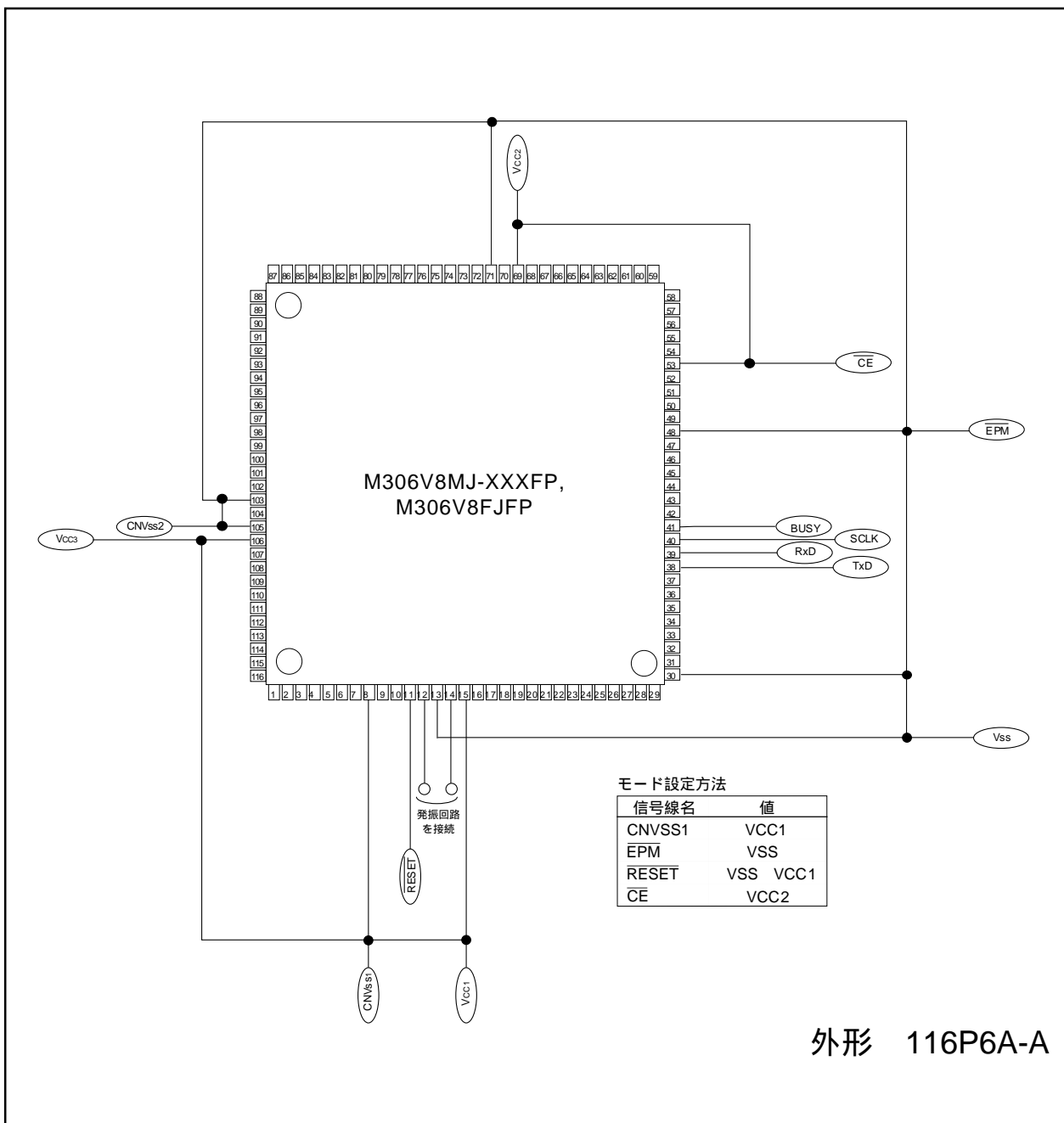


図19.14. 標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード1時の端子処理例

図19.15に標準シリアル入出力モード1を使用する場合の端子処理例、図19.16に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

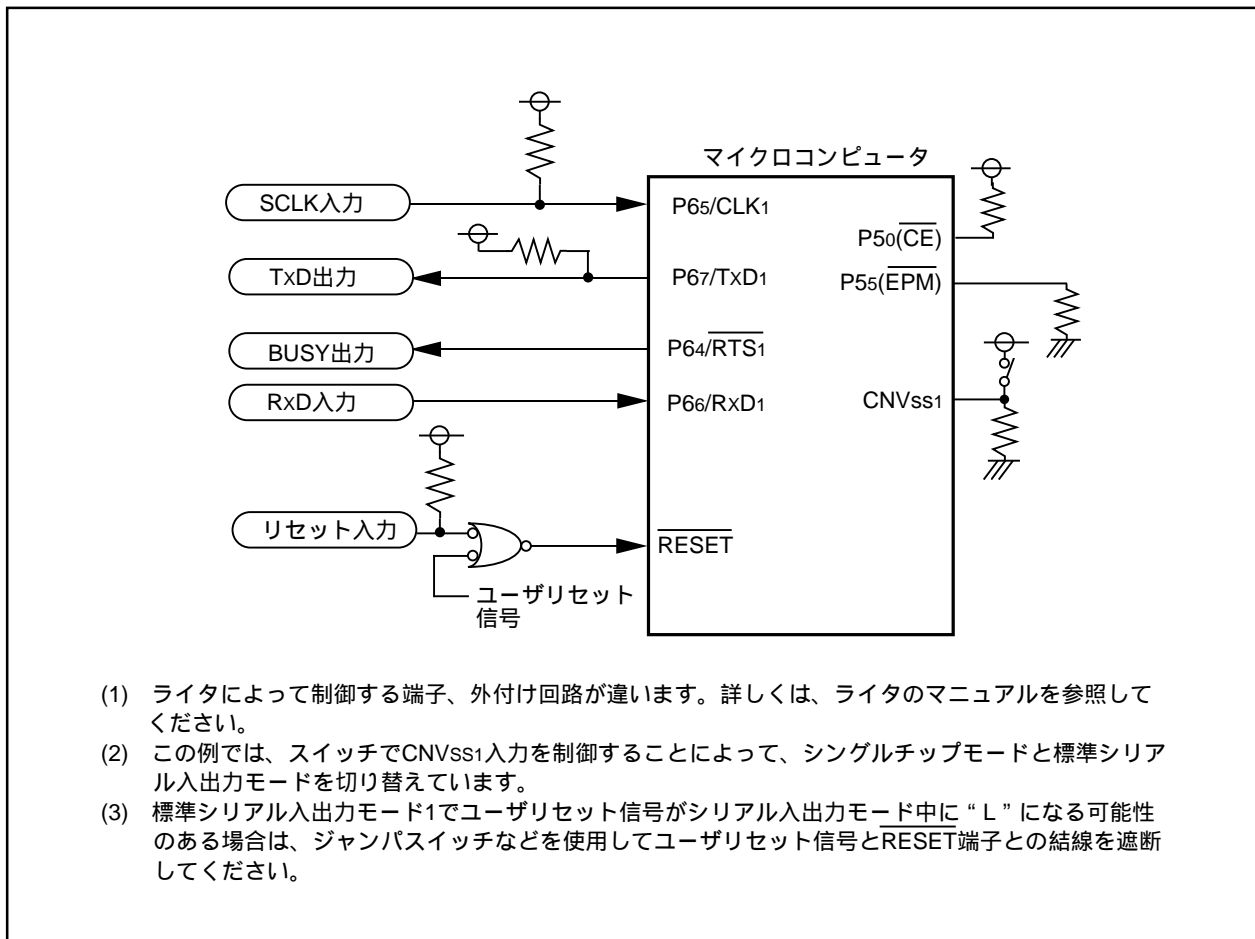


図19.15. 標準シリアル入出力モード1を使用する場合の端子処理例

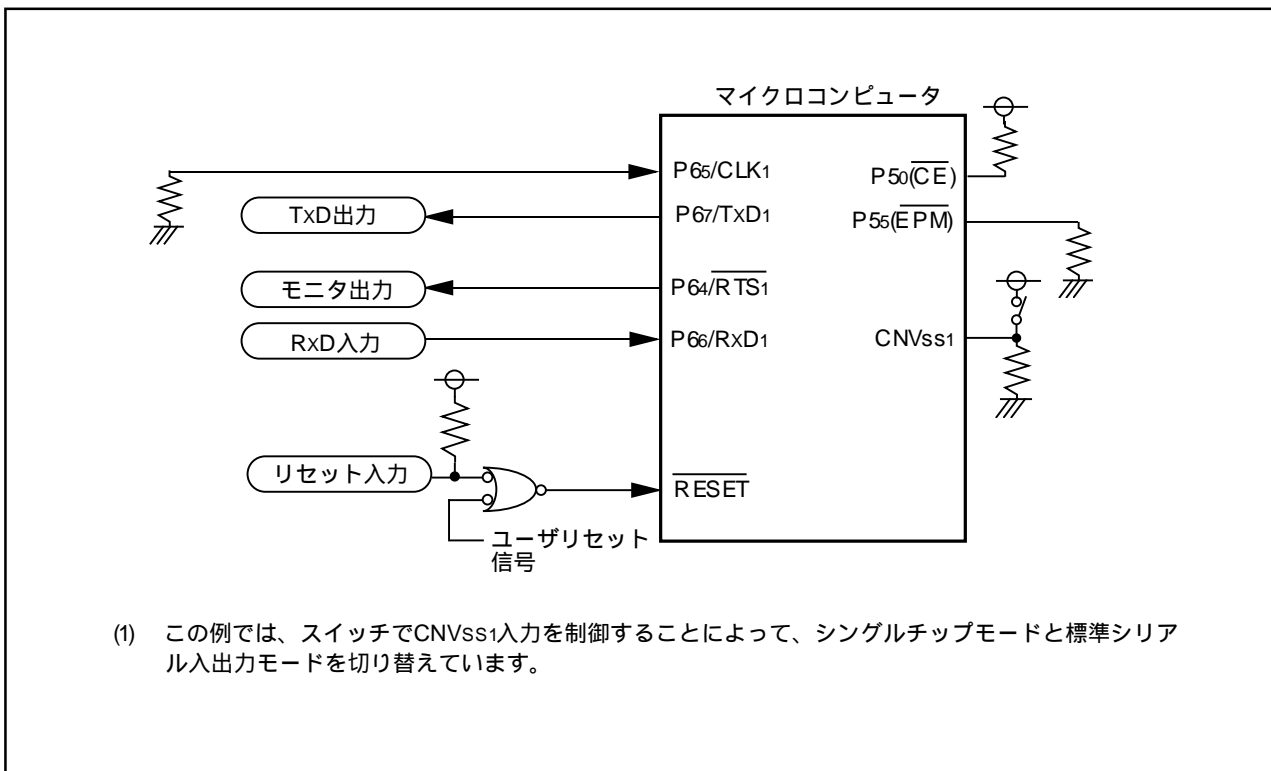


図19.16. 標準シリアル入出力モード2時の端子処理例

パラレル入出力モード

パラレル入出力モードでは、M16C/6V8グループに対応したパラレルライターを使用して、ユーザROM領域とOSD ROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

ブートROM領域

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えしないでください。

ブートROM領域は、パラレル入出力モードでは、0FF000₁₆ ~ 0FFFFFF₁₆ 番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FF000₁₆ ~ 0FFFFFF₁₆番地以外へはアクセスしないでください)。

ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「フラッシュメモリ書き換え禁止機能」参照)。

使用上の注意事項

リセット

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVcc	電源立ち上がり勾配(Vcc1)	0.05			V/ms

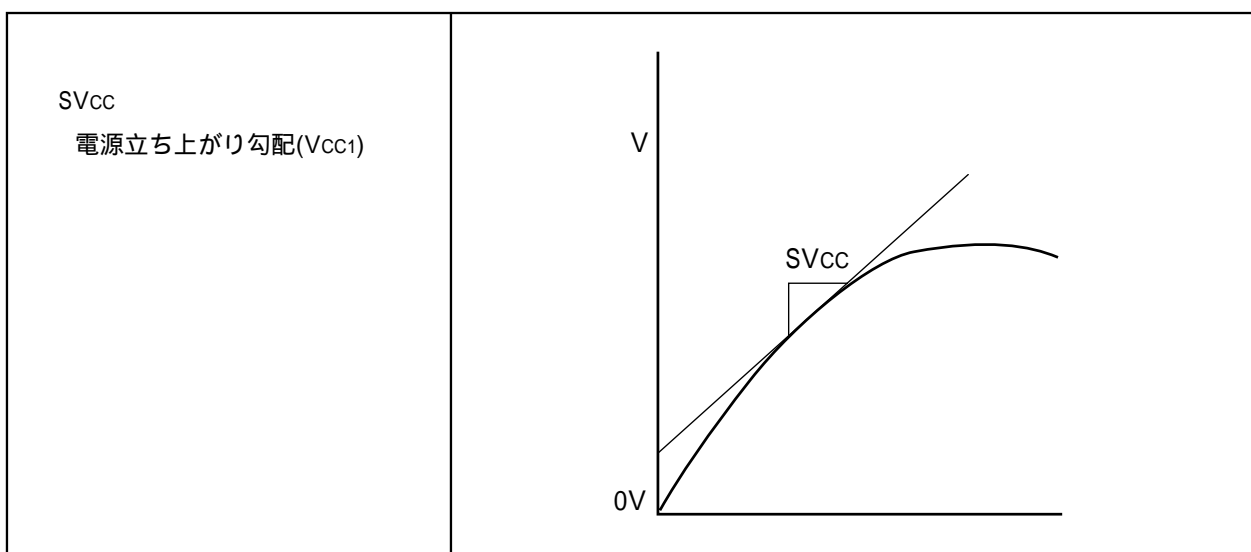


図20.1 SVccのタイミング図

外部バス

- ・ROM外付け版はマイクロプロセッサモード専用のため、CNVSS1端子は、VCC1に接続してください。
- ・CNVSS1端子に“H”を入力してハードウェアリセットすると、内部ROMは読めません。

パワーコントロール

- ・ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。
- ・ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0~4)のMR0ビットを“0”(パルス出力なし)にしてください。
- ・WAIT命令またはCM1レジスタのCM10ビットを“1”にする命令の後には、NOP命令を4つ以上入れてください。ウエイトモードまたはストップモードに移行する場合、命令キューはWAIT命令やCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウエイトモードやストップモードに入る前に次の命令を実行する場合があります。
- ・CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待つてから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
- ・消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

ポート

ウエイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウエイトモードまたはストップモードに移行してください。

A/Dコンバータ

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

周辺機能の停止

ウエイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

ただし、サブクロックから生成している周辺機能クロック(fC32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウエイトモードに移行する場合はCM02ビットを“0”(ウエイトモード時、周辺機能クロック停止しない)にしてウエイトモードに移行してください。

発振駆動能力の切り替え

発振が安定している場合、駆動能力を“LOW”にしてください。

割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1” (割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0” (割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0” (割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図20.2に割り込み要因の変更手順例を示します。

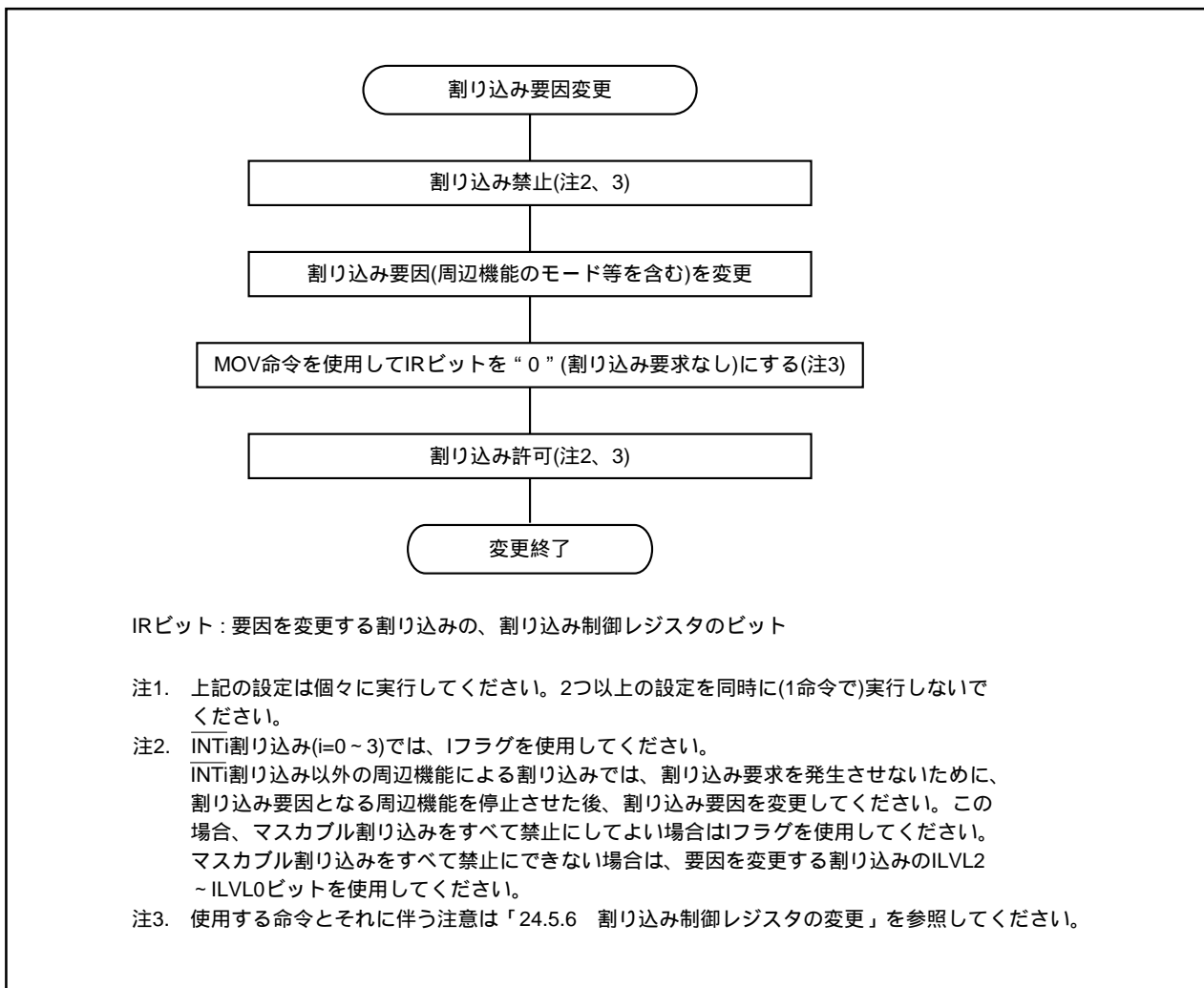


図20.2 割り込み要因の変更手順例

DMAC

DMAiCONレジスタのDMAEビットへの書き込み(i=0~1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- ・ DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- ・ DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

(1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。

(2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRIレジスタの値で確認してください。

TCRIレジスタを読んで、DMA転送開始前にTCRIレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRIレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

タイマ

タイマA

タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ・TAiOUT端子は“L”を出力します。
- ・CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- ・リセット後、ワンショットタイマモードを選択したとき
 - ・動作モードをタイマモードからワンショットタイマモードに変更したとき
 - ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- ・リセット後、PWMモードを選択したとき
- ・動作モードをタイマモードからPWMモードに変更したとき
- ・動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- ・カウンタはカウントを停止します。
- ・TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- ・TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

タイマB

タイマB(タイマモード)

リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

タイマB(パルス周期測定 / パルス幅測定モード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタによって、モードやカウントソース等を設定した後、TABSRレジスタまたはTBSRレジスタのT*Bi*Sビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタは、リセット後に限らずT*Bi*Sビットが“0”(カウント停止)の状態、変更してください。MR3ビットを“0”にするために、T*Bi*Sビットが“1”(カウント開始)の状態、T*Bi*MRレジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

T*Bi*iCレジスタ(*i*=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマ*Bi*がオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でT*Bi*MRレジスタのMR3ビットで判断できます。

測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

MR3ビットを“0”(オーバフローなし)にするには、T*Bi*Sビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、T*Bi*MRレジスタに書いてください。

オーバフローだけの検出にはT*Bi*iCレジスタのIRビットを使用してください。MR3ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマ*Bi*割り込み要求は発生しません。

カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマ*Bi*割り込み要求が発生する可能性があります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

シリアルI/O

クロック同期形シリアルI/Oモード

送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTSi}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

送信

外部クロックを選択している場合、 UiC0 レジスタの CKPOL ビットが“0” (転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、 CKPOL ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1 レジスタの TE ビットが“1” (送信許可)
- ・ UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
- ・ $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTSi}}$ 端子の入力が“L”

受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックが発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TxDi 端子からはダミーデータが外部に出力されます。

内部クロック選択時は UiC1 レジスタ($i=0\sim 2$)の TE ビットを“1” (送信許可)にし、ダミーデータを UiTB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを“1”にし、ダミーデータを UiTB レジスタに設定し、外部クロックが CLKi 端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、 UiC1 レジスタ($i=0\sim 2$)の RE ビットが“1” (UiRB レジスタにデータあり)で UARTi 受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、 UiRB レジスタの OER ビットが“1” (オーバーランエラー発生)になります。この場合、 UiRB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときは SiRIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとに UiTB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、 CKPOL ビットが“0”のときは外部クロックが“H”の状態、 CKPOL ビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1 レジスタの RE ビットが“1” (受信許可)
- ・ UiC1 レジスタの TE ビットが“1” (送信許可)
- ・ UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)

A/Dコンバータ

ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

ADCON1レジスタのVCUTビットを“0”(Vref未接続)から“1”(Vref接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

単掃引モードでA/D変換中にADCON0レジスタのADSTビットを“0”にして、A/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。

プログラマブル入出力ポート

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。

したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

フラッシュメモリ版

フラッシュメモリ書き換え禁止機能

0FFFDf_h、0FFFE3_h、0FFFEb_h、0FFFEf_h、0FFFF3_h、0FFFF7_h、0FFFFb_h番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFf_h番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

プログラムコマンド

第1バスサイクルで“xx40_h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

ロックビットプログラムコマンド

第1バスサイクルで“xx77_h”、第2バスサイクルで“xxD0_h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

ノイズに関する注意事項

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間、VCC3端子とVSS端子間にバイパスコンデンサ(0.1 μ F)を最短でかつ、比較的太い配線を使って接続してください。図20.3にバイパスコンデンサの接続例を示します。

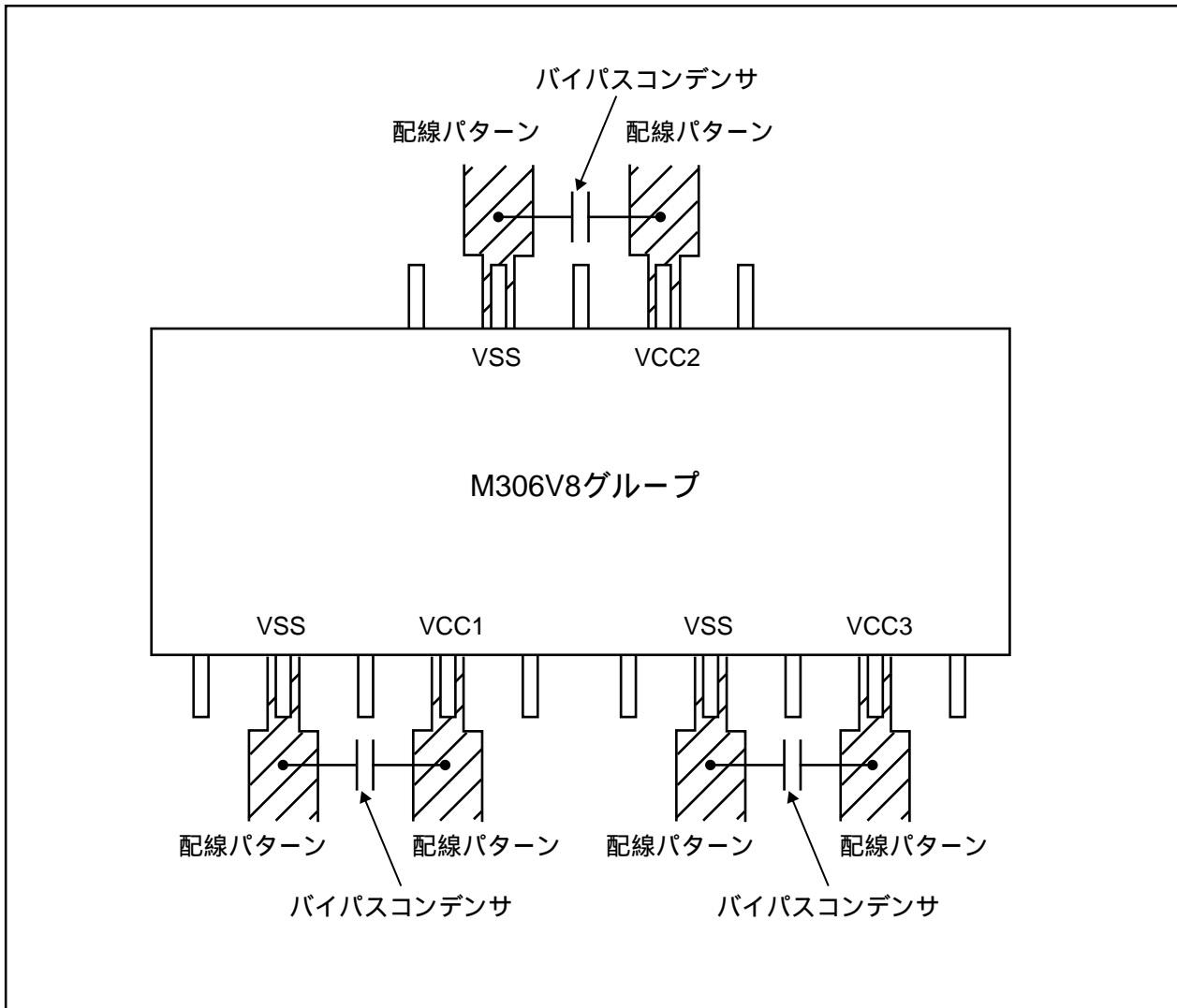


図20.3 バイパスコンデンサの接続例

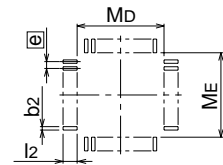
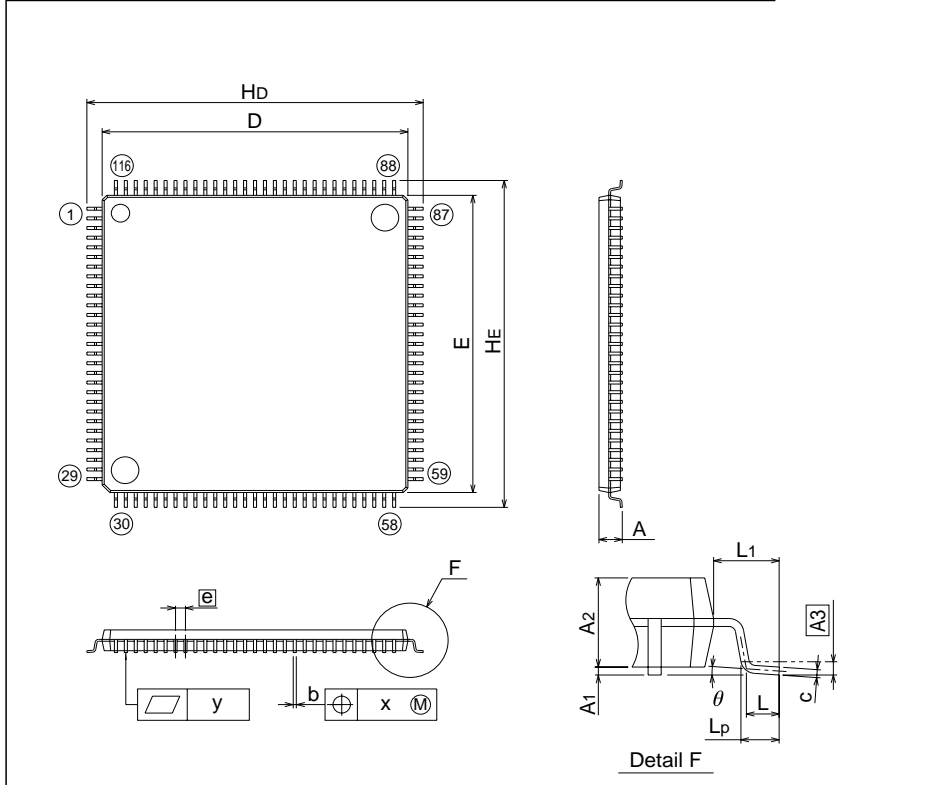
パッケージ外形図

116P6A-A

(MMP)

Plastic 116pin 20X20mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP116-P-2020-0.65	-		Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0.05	0.125	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	-	0.65	-
Hd	21.8	22.0	22.2
HE	21.8	22.0	22.2
L	0.35	0.5	0.65
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.13
y	-	-	0.1
θ	0°	-	8°
b2	-	0.225	-
l2	0.95	-	-
Md	-	20.4	-
ME	-	20.4	-

株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com