

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

M30245グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/62シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドLQFPに収められています。USB周辺マイクロコントローラはUSB2.0仕様に準拠しており、Full Speed (12Mbps)で動作します。A/D変換器、タイマ、UART、シリアルサウンドインタフェース、I²C、DMAC、CRCなどの周辺機能を内蔵しています。このシングルチップマイクロコンピュータは、高性能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

特長

- 基本命令数 ----- 91命令
- メモリ容量 -----
- 64K ROM / 5K RAM (M30245M8-XXXGP)
- 128K ROM / 10K RAM (M30245MC-XXXGP)
- 128K Flash ROM / 10K RAM (M30245FCGP)
- 最短命令実行時間 -----
- 62.5ns (f(XIN)=16MHz、Vcc=3V、ノーウエイト時)
- 電源電圧 ----- 3.0V ~ 3.6V (f(XIN)=16MHz時)
- USBファンクション制御ユニット -----
- 9エンドポイント(IN/OUT)
- FIFOサイズ (エンドポイント0, 1, 2, 3, 4) : 3.25Kバイト
- USBトランシーバ内蔵
- USB 2.0仕様に準拠
- Full-speed対応 (12Mbps)

- 周波数シンセサイザ ----- 48MHzクロック
- 割り込み -----
- 内部 31要因、外部 5要因、ソフトウェア 4要因、
- 7レベル(キー入力割り込み 8本を含む)
- 多機能16ビットタイマ ----- 出力系 5本
- シリアルインタフェース(シリアルI/O) -----
- 4本(UART/クロック同期/I²C(注1) 2本、UART/クロック同期/I²C/シリアルサウンドインタフェース2本)
- DMAC ----- 4チャンネル (31要因)
- A/D変換器 (A/Dコンバータ) --- 10ビット×8チャンネル
- CRC演算回路 -----
- CRC-CCITT/CRC-16方式(MSB/LSB選択可能)
- 監視タイマ (ウォッチドッグタイマ) -----
- 1本 (15ビット)
- プログラマブル入出力ポート -----
- 82本 (NMI端子を除く)
- クロック発生回路 -----
- 2回路内蔵 (帰還抵抗内蔵、セラミック共振子、又は水晶共振子外付け)
- ANDフラッシュメモリ制御回路 ----- 1回路内蔵

注1 . Purchase of Renesas Technology Corporation's I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

応用

USB周辺機器 (電話、オーディオシステム、PC周辺機器、通信機器、携帯機器、スキャナ、デジタルカメラ、メモリカードリーダー)、他

目次

概要	1	タイマA	116
端子機能説明	7	シリアルI/O	128
メモリ	12	クロック同期形シリアルI/O	136
中央演算処理装置	13	I ² Cバスインタフェースモード	151
リセット	16	シリアルインタフェース特殊機能 (SPIモード)	
SFR	21	158
プロセッサモード	25	IEモード	161
バス設定	28	シリアルサウンドインタフェース	163
バス制御	29	A/D変換器 (A/Dコンバータ)	175
クロック発生回路	38	CRC演算回路	182
パワーコントロール	44	プログラマブル入出力ポート	185
プロテクト	46	ANDフラッシュメモリ制御回路	196
割り込み	47	電気的特性	198
監視タイマ (ウォッチドッグタイマ)	69	タイミング	206
周波数シンセサイザ	71	フラッシュメモリ版	214
USB機能	74	使用上の注意事項	265
DMAC	106		

ピン接続図

図1.1.1にピン接続図(上面図)を示します。

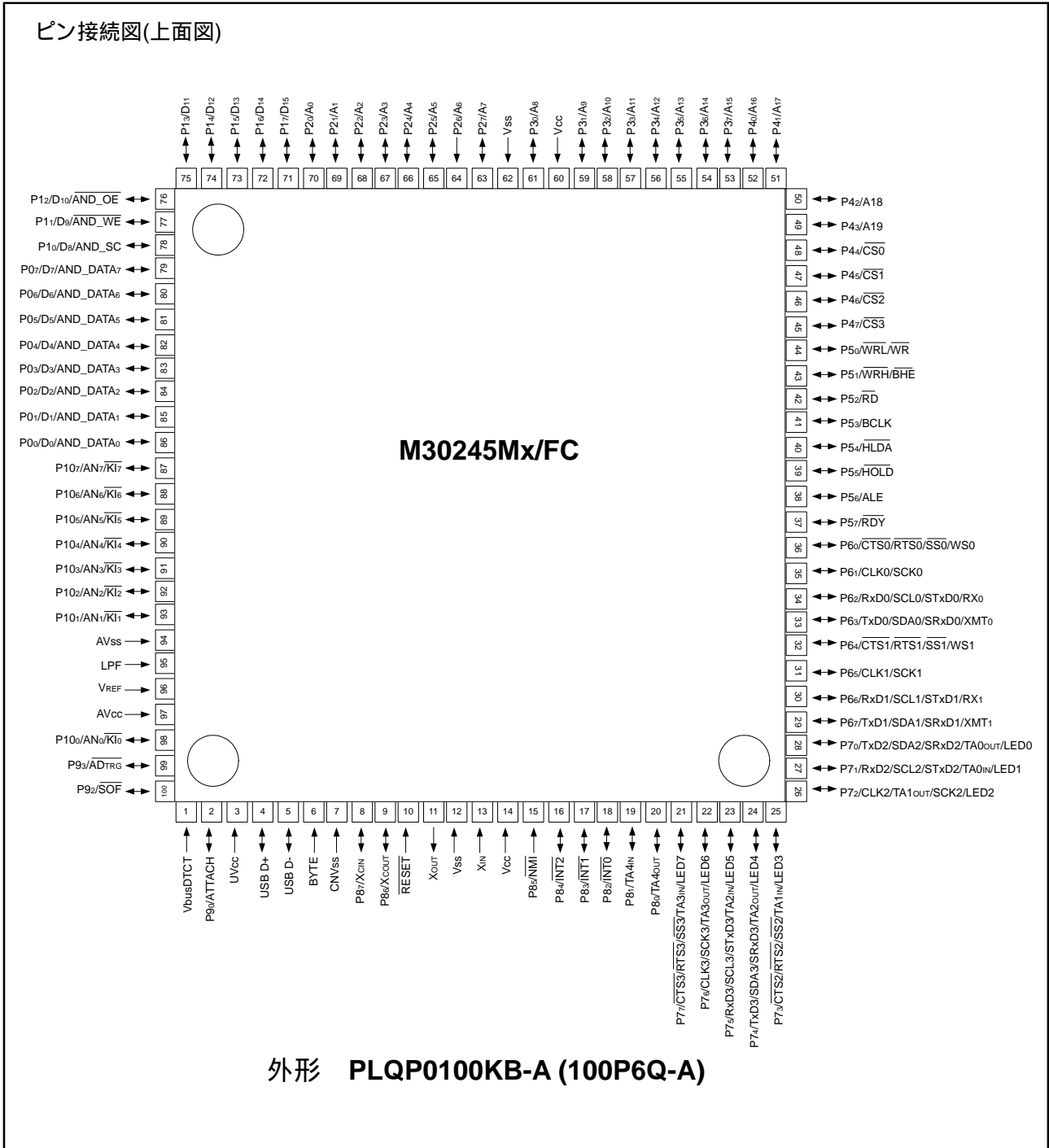


図1.1.1. ピン接続図(上面図)

ブロック図

図1.1.2にM30245グループのブロック図を示します。

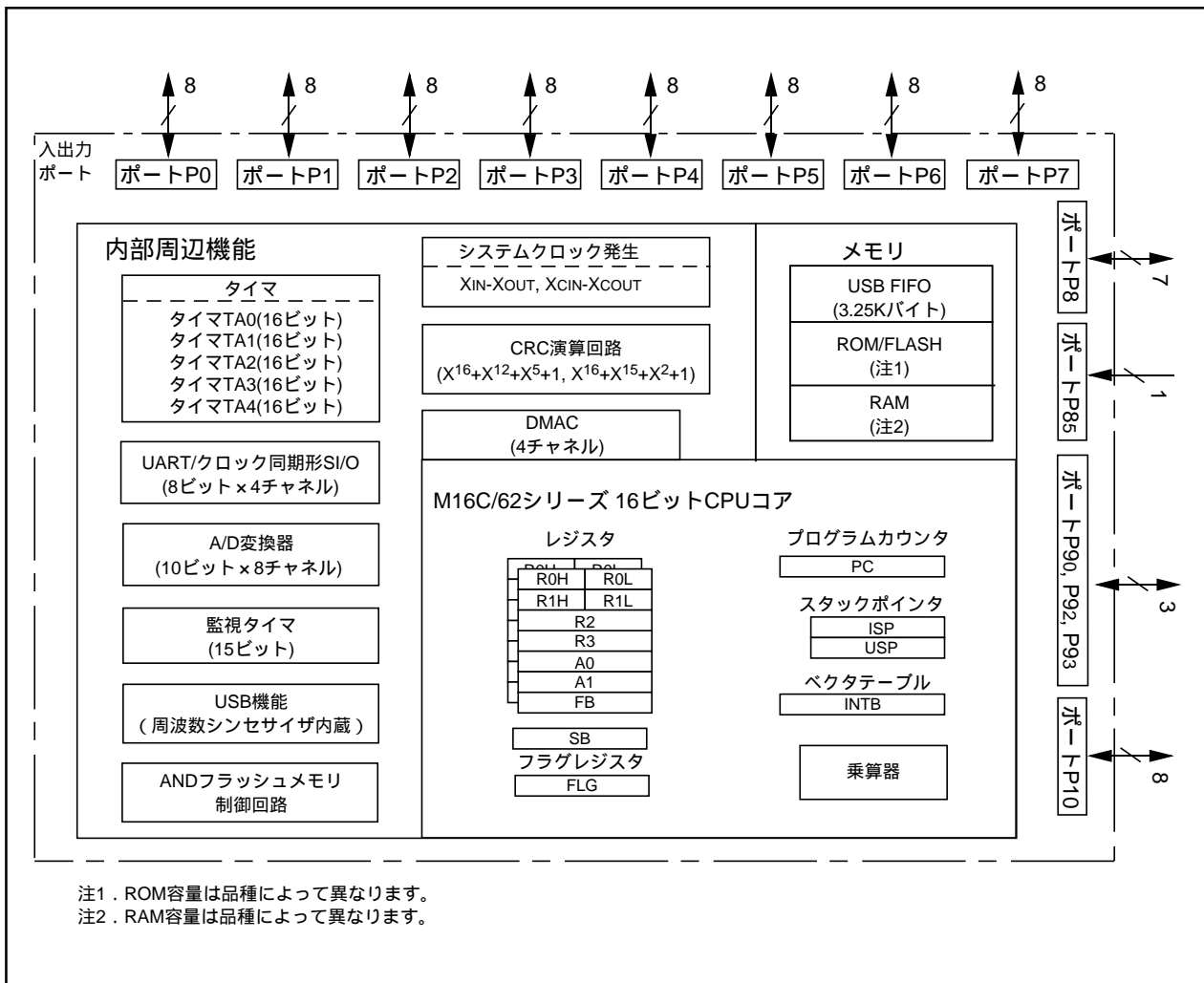


図1.1.2. M30245グループのブロック図

性能概要

表1.1.1にM30245グループの性能概要を示します。

表1.1.1. M30245グループの性能概要

項 目	性 能	
基本命令数	91命令	
最短命令実行時間	62.5ns (f(XIN)=16MHz, VCC=3V時)	
メモリ容量	ROM	128K/64Kバイト(ROM展開の図を参照してください)
	RAM	10K/5Kバイト
入出力ポート	P0 ~ P8, P10 (ただしP85は除く)	8ビット×10
	P9	3ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
シリアルI/O	UART0, UART1	(UART又はクロック同期形、又はSSインタフェース)×2
	UART2, UART3	(UART又はクロック同期形)×2
A/D変換器	10ビット×8チャンネル	
DMAC	4チャンネル (31要因)	
CRC演算回路	2回路 (CRC-CCITT、又はCRC-16方式)	
監視タイマ	15ビット×1 (プリスケアラ付)	
割り込み	内部31要因、外部4要因、ソフトウェア4要因、7レベル	
クロック発生回路	2回路内蔵 (帰還抵抗内蔵、セラミック共振子、又は水晶発振子外付け)	
ANDフラッシュメモリ制御回路	1回路内蔵	
電源電圧	3.0V ~ 3.6V (f(XIN)=16MHz)	
消費電流	25mA (VCC=3.3V, f(XIN)=16MHz 分周なし, USB使用)	
	16mA (VCC=3.3V, f(XIN)=16MHz 分周なし, USB未使用)	
動作周囲温度	-20 ~ 85	
パッケージ	100ピンプラスチックモールドLQFP	

M30245グループでは次のような展開を計画しています。

(1)マスクROM版、フラッシュメモリ版のサポート

(2)ROM容量 (128/64Kバイト)

(3)パッケージ

PLQP0100KB-A プラスチックモールドLQFP (マスクROM版、フラッシュメモリ版)

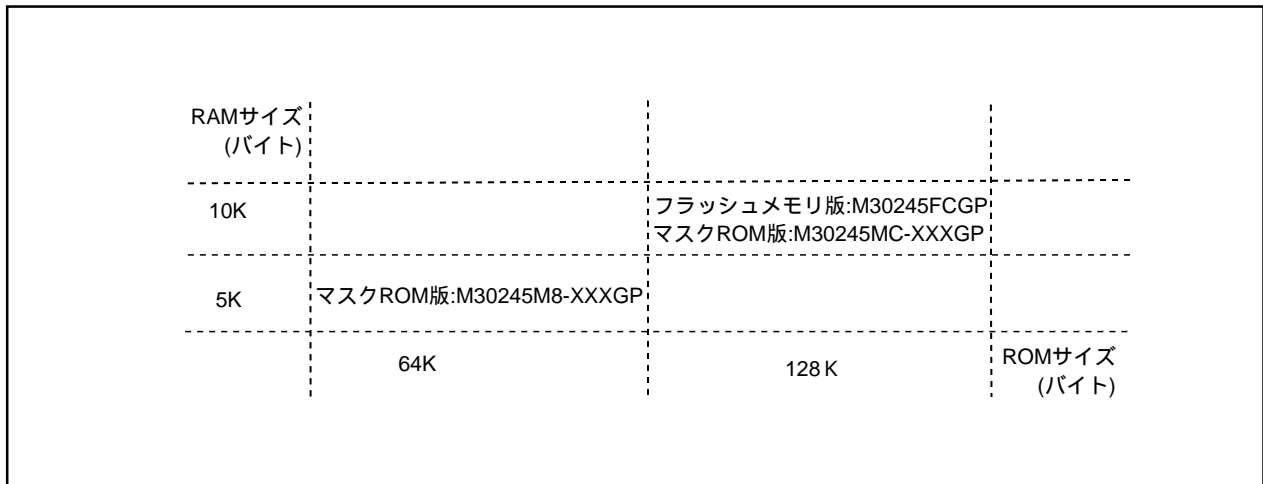


図1.1.3. ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

型名	ROM容量	RAM容量	パッケージ	備考
M30245M8-XXXGP	64Kバイト	5Kバイト	PLQP0100KB-A	マスクROM版
M30245MC-XXXGP	128Kバイト	10Kバイト		マスクROM版
M30245FCGP	128Kバイト	10Kバイト		フラッシュメモリ版

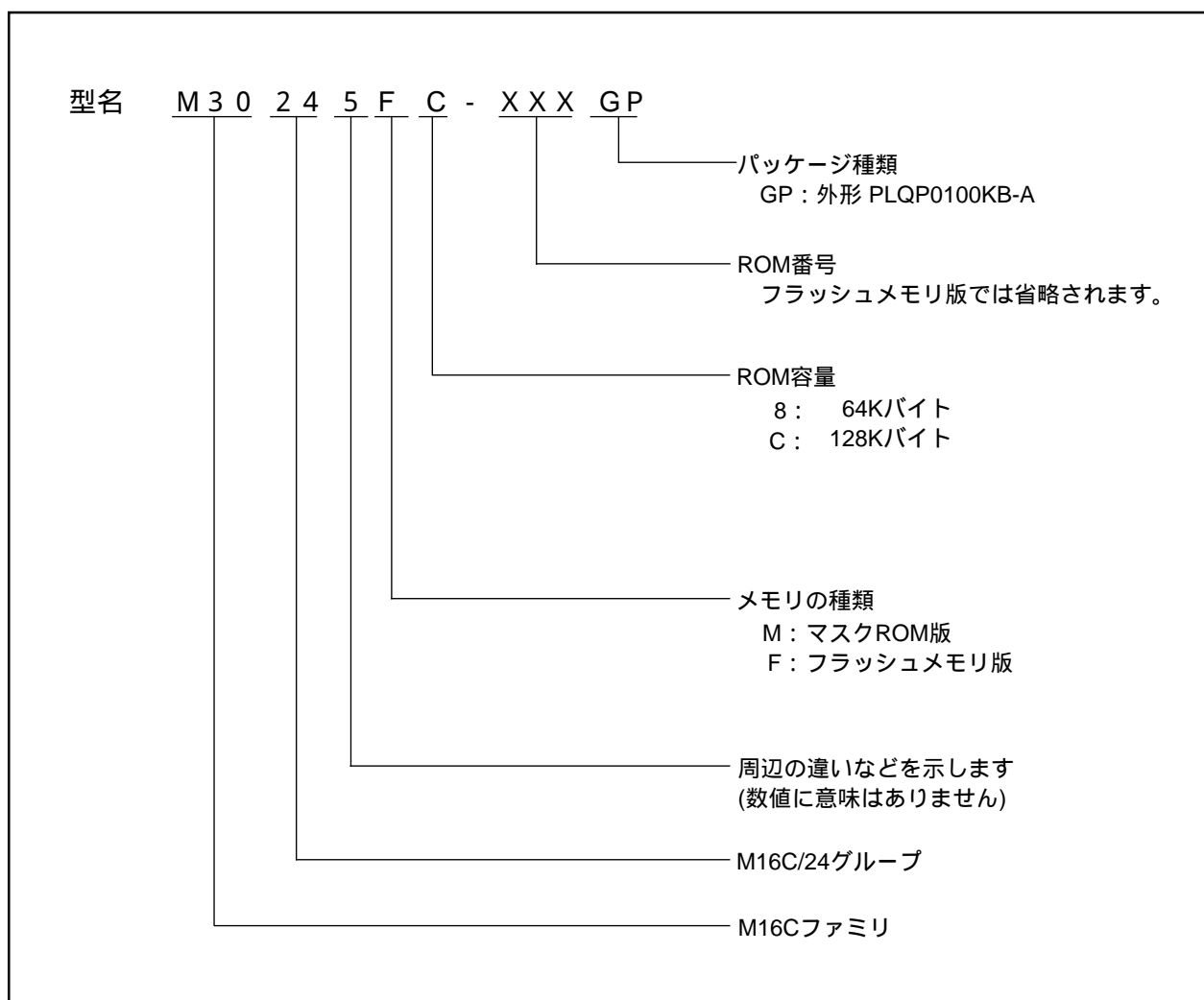


図1.1.4. 型名とメモリサイズ・パッケージ

端子一覧表 (1/2)

パッケージ ピン番号	制御端子	ポート	割り 込み	タイマ	UART/USB	SPI	I ² C	SSインタ フェース(注1)	その他	バス制御
1					Vbus DTCT					
2		P90			ATTACH					
3	UVcc									
4					USB D+					
5					USB D-					
6	BYTE									
7	CNVss									
8	Xcin	P87								
9	XcOUT	P86								
10	RESET									
11	XOUT									
12	Vss									
13	XIN									
14	Vcc									
15		P85	NMI							
16		P84	INT2							
17		P83	INT1							
18		P82	INT0							
19		P81		TA4IN						
20		P80		TA4OUT						
21		P77		TA3IN	CTS3/RTS3	SS3			LED7	
22		P76		TA3OUT	CLK3	SCK3	CLK3		LED6	
23		P75		TA2IN	RxD3	STxD3	SCL3		LED5	
24		P74		TA2OUT	TxD3	SRxD3	SDA3		LED4	
25		P73		TA1IN	CTS2/RTS2	SS2			LED3	
26		P72		TA1OUT	CLK2	SCK2	CLK2		LED2	
27		P71		TA0IN	RxD2	STxD2	SCL2		LED1	
28		P70		TA0OUT	TxD2	SRxD2	SDA2		LED0	
29		P67			TxD1	SRxD1	SDA1	XMT1		
30		P66			RxD1	STxD1	SCL1	RX1		
31		P65			CLK1	SCK1	CLK1	SCK1		
32		P64			CTS1/RTS1	SS1		WS1		
33		P63			TxD0	SRxD0	SDA0	XMT0		
34		P62			RxD0	STxD0	SCL0	RX0		
35		P61			CLK0	SCK0	CLK0	SCK0		
36		P60			CTS0/RTS0	SS0		WS0		
37		P57								RDY
38		P56								ALE
39		P55								HOLD
40		P54								HLDA
41		P53								BCLK
42		P52								RD
43		P51								WRH/BHE
44		P50								WRL/WR
45		P47								CS3
46		P46								CS2
47		P45								CS1
48		P44								CS0
49		P43								A19
50		P42								A18

注1. シリアルサウンドインタフェース

端子一覧表 (2/2)

パッケージ ピン番号	制御端子	ポート	割り 込み	タイマ	UART/USB	SPI	I ² C	SSインタ フェース(注1)	その他	バス制御
51		P41								A17
52		P40								A16
53		P37								A15
54		P36								A14
55		P35								A13
56		P34								A12
57		P33								A11
58		P32								A10
59		P31								A9
60	Vcc									
61		P30								A8
62	Vss									
63		P27								A7
64		P26								A6
65		P25								A5
66		P24								A4
67		P23								A3
68		P22								A2
69		P21								A1
70		P20								A0
71		P17								D15
72		P16								D14
73		P15								D13
74		P14								D12
75		P13								D11
76		P12							AND_OE	D10
77		P11							AND_WE	D9
78		P10							AND_SC	D8
79		P07							AND_DATA7	D7
80		P06							AND_DATA6	D6
81		P05							AND_DATA5	D5
82		P04							AND_DATA4	D4
83		P03							AND_DATA3	D3
84		P02							AND_DATA2	D2
85		P01							AND_DATA1	D1
86		P00							AND_DATA0	D0
87		P107	KI7						AN7	
88		P106	KI6						AN6	
89		P105	KI5						AN5	
90		P104	KI4						AN4	
91		P103	KI3						AN3	
92		P102	KI2						AN2	
93		P101	KI1						AN1	
94	AVss									
95	LPF									
96									VREF	
97	AVcc									
98		P100	KI0						AN0	
99		P93							ADTRG	
100		P92			SOF					

端子の機能説明 (1/3)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には3.0V ~ 3.6Vを印加してください。VSS端子には0Vを印加してください。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合VSS端子に、マイクロプロセッサモードで動作を開始する場合VCC端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、又は水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、VSS端子に接続してください。
AVCC	アナログ電源入力		A/D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A/D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A/D変換器の基準電圧入力端子です。
UVCC	USB電源供給端子	入力	USB用の電源入力ピンです。
LPF	LPF	出力	周波数シンセサイザのループフィルタです。
VbusDTCT	Vbus検出端子	入力	ホストPCからの電源供給を検出する端子です。
USB D+	USB D+電圧入出力	入出力	USBプラス電圧ラインインタフェースです。
USB D-	USB D-電圧入出力	入出力	USBマイナス電圧ラインインタフェースです。
P00 ~ P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、又は出力ポートに設定できます。入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。
D0 ~ D7		入出力	データ(D0 ~ D7)の入出力を行います。
AND_DATA0 ~ AND_DATA7		入出力	ANDフラッシュメモリデータ(AND_DATA0 ~ AND_DATA7)の入出力を行います。
P10 ~ P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
D8 ~ D15		入出力	データ(D8 ~ D15)の入出力を行います。
AND_SC AND_OE AND_WE		出力	ソフトウェアで選択することによって、P10 ~ P12はANDフラッシュメモリ制御端子として機能します。
P20 ~ P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A0 ~ A7		出力	アドレスの下位8ビット(A0 ~ A7)の出力を行います。
P30 ~ P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8 ~ A15		出力	アドレスの中位8ビット(A8 ~ A15)の出力を行います。

端子の機能説明 (2/3)

端子名	名称	入出力	機能	
P40 ~ P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。	
A16 ~ A19	アドレスバス	出力	アドレスの上位4ビット(A16 ~ A19)の出力を行います。	
CS0 ~ CS3	チップセレクト	出力	P44 ~ P47はチップセレクト信号でアクセス空間の指定に使用します。	
P50 ~ P57	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。	
$\overline{WRL}/\overline{WR}$		出力	<p>WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRH又は、BHE、WRを切り替えることができます。</p> <p>\overline{WRL}、\overline{WRH}、\overline{RD}選択時</p> <p>外部データバス幅が16ビットの場合、\overline{WRL}信号が“L”レベルのとき偶数番地に、\overline{WRH}信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。</p> <p>WR、BHE、RD選択時</p> <p>\overline{WR}信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地を、“H”レベルのとき偶数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。</p>	
$\overline{WRH}/\overline{BHE}$		出力		
\overline{RD}		出力		
BCLK		出力		
\overline{HLDA}		出力		
\overline{HOLD}		入力		
ALE		出力		
\overline{RDY}		入力		
P60 ~ P67	入出力ポートP6	入出力		P0と同等の機能を持つ8ビット入出力ポートです。
CTS/RTS/SS/WS				ソフトウェアで選択することによって、P60 ~ P63はUART0、P64 ~ P67はUART1の入出力端子として機能します。
CLK/SCK			これらの端子は、シリアルサウンドインタフェース、I ² C、SPI通信用です。	
RxD/SCL/ STxD/RX				
TxD/SDA/ SRxD/XMT				
P70 ~ P77	入出力ポートP7	入出力	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャンネルオープンドレイン出力)。	
TA _{IN}		入力	<p>ソフトウェアで選択することによって、タイマA0 ~ A3又はUART2、UART3の入出力端子として機能します。</p> <p>P70 ~ P73はUART2、P74 ~ P77はUART3の入出力端子です。</p> <p>これらの端子は、I²C、SPI通信用です。</p>	
TA _{OUT}		出力		
CTS/RTS/SS		入出力		
CLK/SCK				
RxD/SCL/ STxD				
TxD/SDA/ SRxD				
LED ₀ ~ LED ₇		出力		
			20mA(peak)でLED(LED ₀ ~ LED ₇)の出力を行います。	

端子の機能説明 (3/3)

端子名	名称	入出力	機能
P80 ~ P84, P86, P87	入出力ポートP8	入出力	P80 ~ P84, P86, P87 はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによってタイマA4の入出力端子(P80, P81)、外部割り込みの入力端子(P82 ~ P84)として機能します。P86, P87 はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(Xout端子)とP87(Xcin端子)の間には水晶発振子を接続してください。
P85		入力	P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90, P92, P93	入出力ポートP9	入出力	P90, P92, P93はP0 と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、P93はA/Dトリガ入力端子(ADTRG)、P90、P92はUSB機能端子(ATTACH, SOF)として機能します。プロテクトレジスタの設定により、P9方向レジスタへの過った書き込みを防ぎます。
P100 ~ P107	入出力ポートP10	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA/D変換器の入力端子(AN0 ~ AN7)として機能します。また、キー入力割り込み機能の入力端子(KI0 ~ KI7)としても機能します。

機能ブロック動作説明

M30245グループは、次のような装置をシングルチップ内に収めています。命令、又はデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、DMAC、USBファンクション制御ユニット、CRC演算回路、A/D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.3.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30245MC-XXXGPでは、E0000₁₆番地からFFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30245MC-XXXGPでは、00400₁₆番地から02BFF₁₆番地まで10Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A/D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地、又はジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時、又はマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30245MC-XXXGPでは、次の領域は使用できません。

- ・ 02C00₁₆番地から03FFF₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・ D0000₁₆番地からE0000₁₆番地(メモリ拡張モード時)

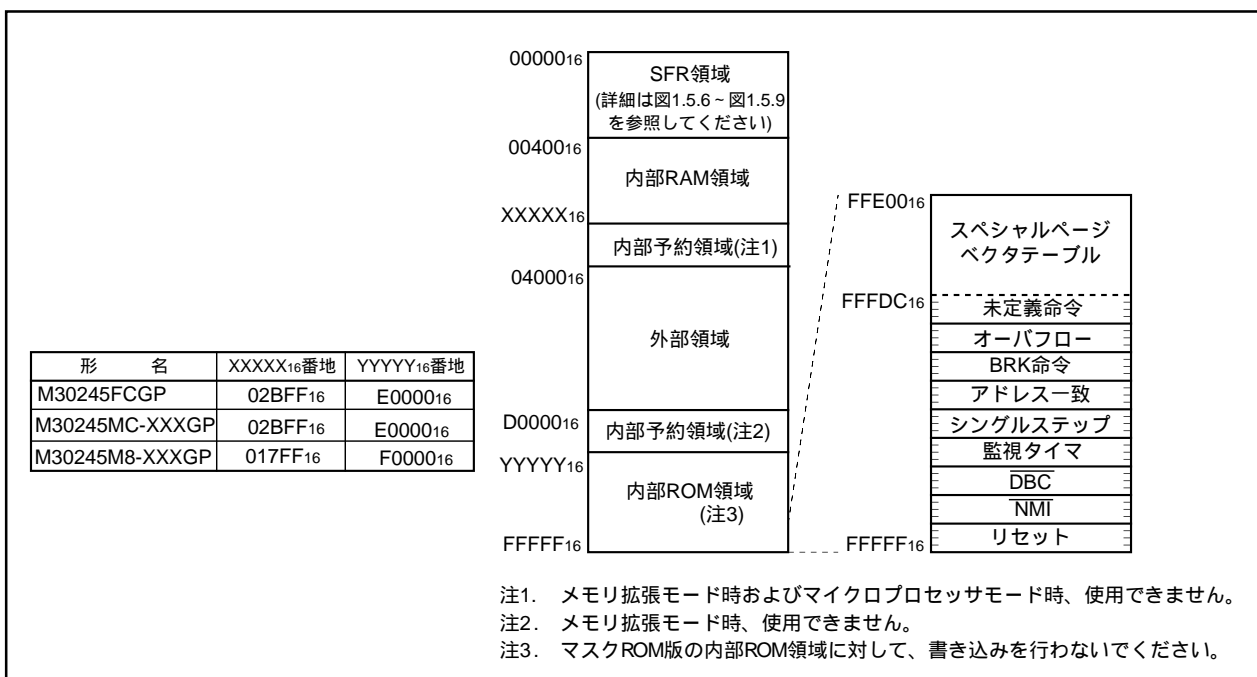


図1.3.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.4.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

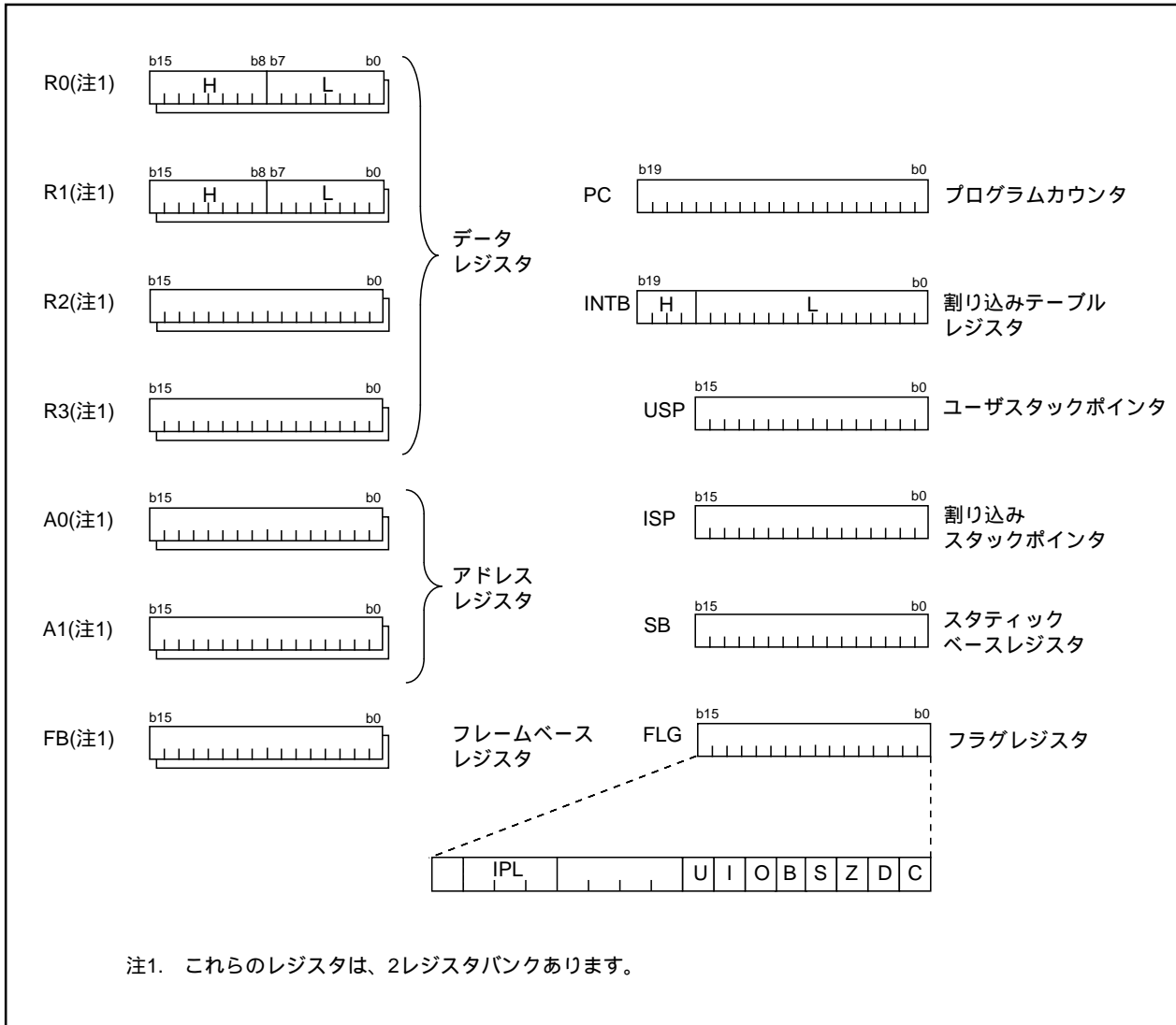


図1.4.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。上位4ビットと下位16ビットに分割して使用できます。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。フラグレジスタ(FLG)の構成を図1.4.7に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、又はソフトウェア割り込み番号0~31のINT命令を実行したとき、このフラグは“0”になります。

ビット8~ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

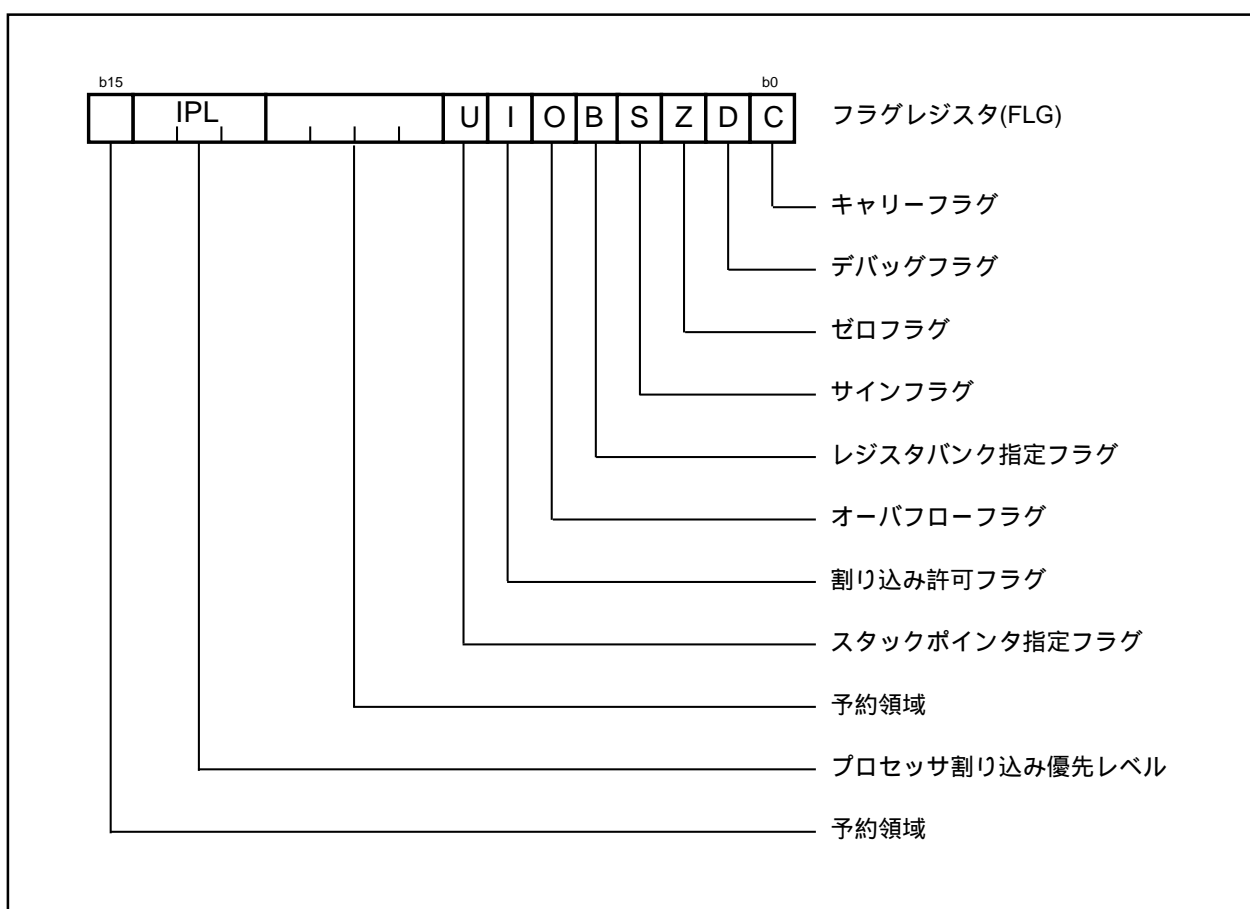


図1.4.2. フラグレジスタ(FLG)の構成

リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ハードウェアリセットとソフトウェアリセットは、一部のSFRの状態を除き、リセット解除後の動作は同じです。プロセッサモードレジスタ0(0004₁₆番地)のビット0、ビット1、及びプルアップ制御レジスタ1(003FD₁₆番地)のビット1は、ハードウェアリセットとソフトウェアリセットでリセット後の値が異なります。

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、下記点を除けばマイコンのハードウェアリセットと同様の動作を行います。

- ・内部RAM領域の内容を保持します。
- ・USB関連レジスタ(0280₁₆~02D5₁₆、02E0₁₆~02F3₁₆番地)、USB接続/非接続レジスタ(001F₁₆番地)、USB制御レジスタ(000C₁₆)、周波数シンセサイザ関連レジスタ(03DB₁₆~03DF₁₆番地)の内容を保持します。
- ・プロセッサモードレジスタ0のプロセッサモードビット(PM00, PM01)を初期化しないため、プロセッサモードは変化しません。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、ソフトウェアリセットビット(PM03)を“1”にしてください。

ハードウェアリセット

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.5.1、リセットシーケンスを図1.5.2に示します。

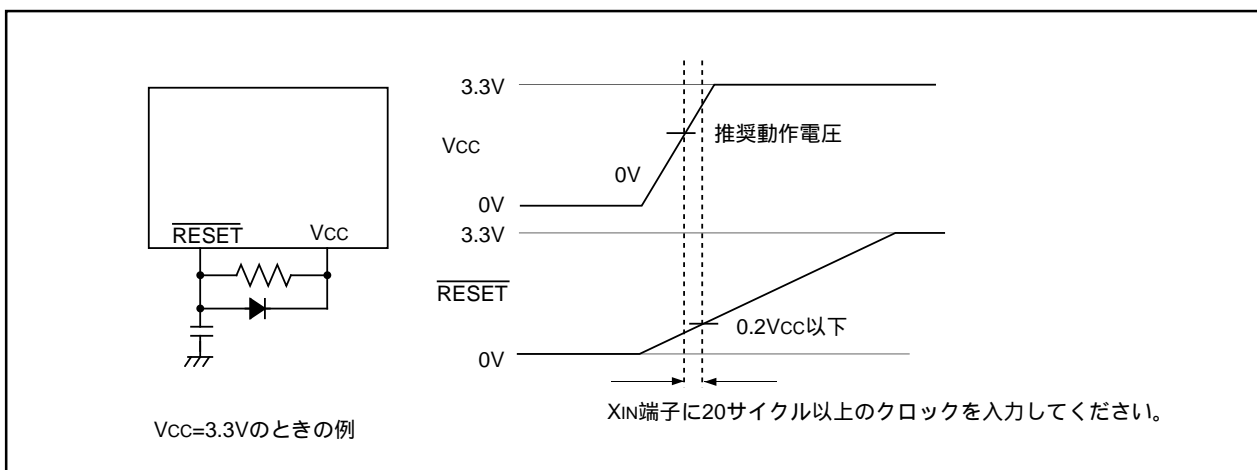


図1.5.1. リセット回路の一例

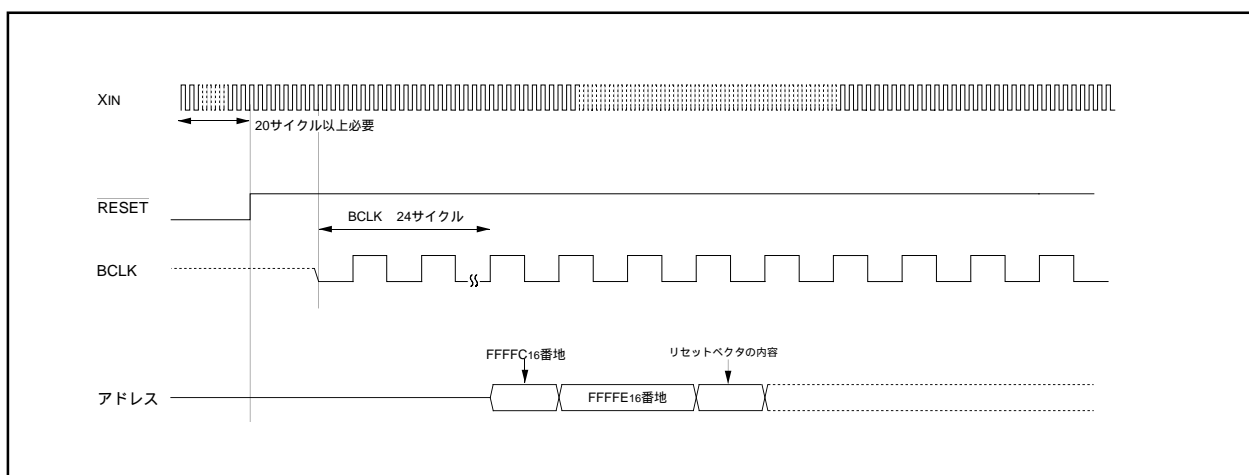


図1.5.2. リセットシーケンス

RESET端子のレベルが“L”の期間の端子の状態を表1.5.1、リセット解除直後のマイクロコンピュータの内部状態を図1.5.3～図1.5.5、SFRの配置図を図1.5.6～図1.5.9に示します。

表1.5.1. RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40～P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	CS0出力(“H”レベルを出力)	CS0出力(“H”レベルを出力)
P45～P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	WR出力(“H”レベルを出力)	WR出力(“H”レベルを出力)
P51	入力ポート(フローティング)	BHE出力(不定)	BHE出力(不定)
P52	入力ポート(フローティング)	RD出力(“H”レベルを出力)	RD出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	HLDA出力(出力値はHOLD端子 の入力に依存)	HLDA出力(出力値はHOLD端子 の入力に依存)
P55	入力ポート(フローティング)	HOLD入力(フローティング)	HOLD入力(フローティング)
P56	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
P57	入力ポート(フローティング)	RDY入力(フローティング)	RDY入力(フローティング)
P6, P7, P80～P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

(1) プロセッサモードレジスタ0 (注1)	(00041e)...	001e	(54) DMA2ソースポインタ	(01801e)...	??1e
(2) プロセッサモードレジスタ1	(00051e)...	0 0 0 0 0 0 0 0	(01811e)...	??1e	
(3) システムロック制御レジスタ0	(00061e)...	0 1 0 0 1 0 0 0	(01821e)...	??1e	
(4) システムロック制御レジスタ1	(00071e)...	0 0 1 0 0 0 0 0	(55) DMA2ディスティネーションポインタ	(01841e)...	??1e
(5) チップセレクト制御レジスタ	(00081e)...	0 0 0 0 0 0 0 1	(01851e)...	??1e	
(6) アドレス一致割り込み許可レジスタ	(00091e)...	0 0 0 0 0 0 0 0	(01861e)...	??1e	
(7) プロテクトレジスタ	(000A1e)...	0 0 0 0 0 0 0 0	(56) DMA2転送カウンタ	(01881e)...	??1e
(8) USB制御レジスタ	(000C1e)...	001e	(01891e)...	??1e	
(9) 監視タイマスタートレジスタ	(000E1e)...	??1e	(57) DMA2制御レジスタ	(018C1e)...	0 0 0 0 0 0 0 0
(10) 監視タイマ制御レジスタ	(000F1e)...	0 0 0 0 0 0 0 0	(58) DMA3ソースポインタ	(01901e)...	??1e
(11) アドレス一致割り込みレジスタ0	(00101e)...	001e	(01911e)...	??1e	
	(00111e)...	001e	(01921e)...	??1e	
	(00121e)...	0 0 0 0 0 0 0 0	(59) DMA3ディスティネーションポインタ	(01941e)...	??1e
(12) アドレス一致割り込みレジスタ1	(00141e)...	001e	(01951e)...	??1e	
	(00151e)...	001e	(01961e)...	??1e	
	(00161e)...	0 0 0 0 0 0 0 0	(60) DMA3転送カウンタ	(01981e)...	??1e
(13) チップセレクト拡張レジスタ	(001B1e)...	001e	(01991e)...	??1e	
(14) USB接続/非接続レジスタ	(001F1e)...	001e	(61) DMA3制御レジスタ	(019C1e)...	0 0 0 0 0 0 0 0
(15) DMA0ソースポインタ	(00201e)...	??1e	(62) USBアドレスレジスタ	(02801e)...	001e
	(00211e)...	??1e	(02811e)...	001e	
	(00221e)...	??1e	(63) USBパワー制御レジスタ	(02821e)...	001e
(16) DMA0ディスティネーションポインタ	(00241e)...	??1e	(02831e)...	001e	
	(00251e)...	??1e	(64) USB機能割り込みステータスレジスタ	(02841e)...	001e
	(00261e)...	??1e	(02851e)...	001e	
(17) DMA0転送カウンタ	(00281e)...	??1e	(65) USB機能割り込みクリアレジスタ	(02861e)...	001e
	(00291e)...	??1e	(02871e)...	001e	
(18) DMA0制御レジスタ	(002C1e)...	0 0 0 0 0 0 0 0	(66) USB機能割り込み許可レジスタ	(02881e)...	FF1e
(19) DMA1ソースポインタ	(00301e)...	??1e	(02891e)...	011e	
	(00311e)...	??1e	(67) USBフレームナンバーレジスタ	(028A1e)...	001e
	(00321e)...	??1e	(028B1e)...	001e	
(20) DMA1ディスティネーションポインタ	(00341e)...	??1e	(68) USB ISO制御レジスタ	(028C1e)...	001e
	(00351e)...	??1e	(028D1e)...	001e	
	(00361e)...	??1e	(69) USBエンドポイント許可レジスタ	(028E1e)...	001e
(21) DMA1転送カウンタ	(00381e)...	??1e	(028F1e)...	001e	
	(00391e)...	??1e	(70) USB DMA0要求レジスタ	(02901e)...	001e
(22) DMA1制御レジスタ	(003C1e)...	0 0 0 0 0 0 0 0	(02911e)...	001e	
(23) キー入力割り込み制御レジスタ	(00411e)...	0 0 0 0 0 0 0 0	(71) USB DMA1要求レジスタ	(02921e)...	001e
(24) UART2受信/ACK割り込み制御レジスタ	(00421e)...	0 0 0 0 0 0 0 0	(02931e)...	001e	
(25) UART1/3バス衝突検出割り込み制御レジスタ	(00431e)...	0 0 0 0 0 0 0 0	(72) USB DMA2要求レジスタ	(02941e)...	001e
(26) INT1割り込み制御レジスタ	(00441e)...	0 0 0 0 0 0 0 0	(02951e)...	001e	
(27) タイマA1割り込み制御レジスタ	(00451e)...	0 0 0 0 0 0 0 0	(73) USB DMA3要求レジスタ	(02961e)...	001e
(28) USBエド 0 イン0割り込み制御レジスタ	(00461e)...	0 0 0 0 0 0 0 0	(02971e)...	001e	
(29) タイマA2割り込み制御レジスタ	(00471e)...	0 0 0 0 0 0 0 0	(74) USBエド 0 イン0制御/オーバーサイズ	(02981e)...	001e
(30) UART1受信/ACK/SSI1割り込み制御レジスタ	(00481e)...	0 0 0 0 0 0 0 0	(02991e)...	201e	
(31) UART0/2/3バス衝突検出割り込み制御レジスタ	(00491e)...	0 0 0 0 0 0 0 0	(75) USBエド 0 イン0最大バケットサイズレジスタ	(029A1e)...	081e
(32) UART0/ACK/SSI0受信割り込み制御レジスタ	(004A1e)...	0 0 0 0 0 0 0 0	(029B1e)...	001e	
(33) AD変換割り込み制御レジスタ	(004B1e)...	0 0 0 0 0 0 0 0	(76) USBエド 0 イン0 OUT書き込み妨がりレジスタ	(029C1e)...	001e
(34) DMA0割り込み制御レジスタ	(004C1e)...	0 0 0 0 0 0 0 0	(029D1e)...	001e	
(35) UART3送信/NACK割り込み制御レジスタ	(004D1e)...	0 0 0 0 0 0 0 0	(77) USBエド 0 イン1 IN制御/オーバーサイズ	(029E1e)...	031e
(36) DMA1割り込み制御レジスタ	(004E1e)...	0 0 0 0 0 0 0 0	(029F1e)...	001e	
(37) UART2送信/NACK割り込み制御レジスタ	(004F1e)...	0 0 0 0 0 0 0 0	(78) USBエド 0 イン1 IN最大バケットサイズレジスタ	(02A01e)...	001e
(38) DMA2割り込み制御レジスタ	(00501e)...	0 0 0 0 0 0 0 0	(02A11e)...	001e	
(39) UART1送信/NACK/SSI1割り込み制御レジスタ	(00511e)...	0 0 0 0 0 0 0 0	(79) USBエド 0 イン1 IN FIFOコンフィグレーションレジスタ	(02A21e)...	001e
(40) DMA3割り込み制御レジスタ	(00521e)...	0 0 0 0 0 0 0 0	(02A31e)...	001e	
(41) UART0送信/NACK/SSI0割り込み制御レジスタ	(00531e)...	0 0 0 0 0 0 0 0	(02A41e)...	031e	
(42) タイマA0割り込み制御レジスタ	(00541e)...	0 0 0 0 0 0 0 0	(02A51e)...	001e	
(43) UART3受信/ACK割り込み制御レジスタ	(00551e)...	0 0 0 0 0 0 0 0	(81) USBエド 0 イン2 IN最大バケットサイズレジスタ	(02A61e)...	001e
(44) USBサスペンド割り込み制御レジスタ	(00561e)...	0 0 0 0 0 0 0 0	(02A71e)...	001e	
(45) タイマA3割り込み制御レジスタ	(00571e)...	0 0 0 0 0 0 0 0	(82) USBエド 0 イン2 IN FIFOコンフィグレーションレジスタ	(02A81e)...	001e
(46) USBレジューム割り込み制御レジスタ	(00581e)...	0 0 0 0 0 0 0 0	(02A91e)...	001e	
(47) タイマA4割り込み制御レジスタ	(00591e)...	0 0 0 0 0 0 0 0	(83) USBエド 0 イン3 IN制御/オーバーサイズ	(02AA1e)...	031e
(48) USBリセット割り込み制御レジスタ	(005A1e)...	0 0 0 0 0 0 0 0	(02AB1e)...	001e	
(49) USB SOF割り込み制御レジスタ	(005B1e)...	0 0 0 0 0 0 0 0	(84) USBエド 0 イン3 IN最大バケットサイズレジスタ	(02AC1e)...	001e
(50) USB Vbus検出割り込み制御レジスタ	(005C1e)...	0 0 0 0 0 0 0 0	(02AD1e)...	001e	
(51) USB機能割り込み制御レジスタ	(005D1e)...	0 0 0 0 0 0 0 0	(85) USBエド 0 イン3 IN FIFOコンフィグレーションレジスタ	(02AE1e)...	001e
(52) INT2割り込み制御レジスタ	(005E1e)...	0 0 0 0 0 0 0 0	(02AF1e)...	001e	
(53) INT0割り込み制御レジスタ	(005F1e)...	0 0 0 0 0 0 0 0	(86) USBエド 0 イン4 IN制御/オーバーサイズ	(02B01e)...	031e
			(02B11e)...	001e	

x : このビットは何も配置されていません。
 ? : 不定です。
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注1. ハードウェアリセットでは、CNVss端子にVccレベルを印加している時、リセット時031eになります。
 ソフトウェアリセットでは、ビット0およびビット1の内容は、リセット前の値を保持します。

図1.5.3. リセット解除後のマイクロコンピュータの内部状態 (1/3)

(87) USB インドポイント4 IN最大バケットサイズレジスタ	(02B21e)...	001e	(121) UART3特殊モードレジスタ4	(03241e)...	001e
	(02B31e)...	001e	(122) UART3特殊モードレジスタ3	(03251e)...	001e
(88) USB インドポイント4 IN FIFOコフィグレーションレジスタ	(02B41e)...	001e	(123) UART3特殊モードレジスタ2	(03261e)...	001e
	(02B51e)...	001e	(124) UART3特殊モードレジスタ1	(03271e)...	001e
(89) USB インドポイント1 OUT制御レジスタ	(02B61e)...	001e	(125) UART3送受信モードレジスタ	(03281e)...	001e
	(02B71e)...	001e	(126) UART3転送速度レジスタ	(03291e)...	??1e
(90) USB インドポイント1 OUT最大バケットサイズレジスタ	(02B81e)...	001e	(127) UART3送信バッファレジスタ	(032A1e)...	??1e
	(02B91e)...	001e		(032B1e)...	??1e
(91) USB インドポイント1 OUT書き込みカウンタレジスタ	(02BA1e)...	001e	(128) UART3受信制御レジスタ0	(032C1e)...	081e
	(02BB1e)...	001e	(129) UART3受信制御レジスタ1	(032D1e)...	021e
(92) USB インドポイント1 OUT FIFOコフィグレーションレジスタ	(02BC1e)...	001e	(130) UART3受信バッファレジスタ	(032E1e)...	??1e
	(02BD1e)...	001e		(032F1e)...	??1e
(93) USB インドポイント2 OUT制御レジスタ	(02BE1e)...	001e	(131) UART2特殊モードレジスタ4	(03341e)...	001e
	(02BF1e)...	001e	(132) UART2特殊モードレジスタ3	(03351e)...	001e
(94) USB インドポイント2 OUT最大バケットサイズレジスタ	(02C01e)...	001e	(133) UART2特殊モードレジスタ2	(03361e)...	001e
	(02C11e)...	001e	(134) UART2特殊モードレジスタ1	(03371e)...	001e
(95) USB インドポイント2 OUT書き込みカウンタレジスタ	(02C21e)...	001e	(135) UART2送受信モードレジスタ	(03381e)...	001e
	(02C31e)...	001e	(136) UART2転送速度レジスタ	(03391e)...	??1e
(96) USB インドポイント2 OUT FIFOコフィグレーションレジスタ	(02C41e)...	001e	(137) UART2送信バッファレジスタ	(033A1e)...	??1e
	(02C51e)...	001e		(033B1e)...	??1e
(97) USB インドポイント3 OUT制御レジスタ	(02C61e)...	001e	(138) UART2受信制御レジスタ0	(033C1e)...	081e
	(02C71e)...	001e	(139) UART2受信制御レジスタ1	(033D1e)...	021e
(98) USB インドポイント3 OUT最大バケットサイズレジスタ	(02C81e)...	001e	(140) UART2受信バッファレジスタ	(033E1e)...	??1e
	(02C91e)...	001e		(033F1e)...	??1e
(99) USB インドポイント3 OUT書き込みカウンタレジスタ	(02CA1e)...	001e	(141) 割り込み要因選択レジスタ	(035F1e)...	001e
	(02CB1e)...	001e	(142) UART1特殊モードレジスタ4	(03641e)...	001e
(100) USB インドポイント3 OUT FIFOコフィグレーションレジスタ	(02CC1e)...	001e	(143) UART1特殊モードレジスタ3	(03651e)...	001e
	(02CD1e)...	001e	(144) UART1特殊モードレジスタ2	(03661e)...	001e
(101) USB インドポイント4 OUT制御レジスタ	(02CE1e)...	001e	(145) UART1特殊モードレジスタ1	(03671e)...	001e
	(02CF1e)...	001e	(146) UART1送受信モードレジスタ	(03681e)...	001e
(102) USB インドポイント4 OUT最大バケットサイズレジスタ	(02D01e)...	001e	(147) UART1転送速度レジスタ	(03691e)...	??1e
	(02D11e)...	001e	(148) UART1送信バッファレジスタ	(036A1e)...	??1e
(103) USB インドポイント4 OUT書き込みカウンタレジスタ	(02D21e)...	001e		(036B1e)...	??1e
	(02D31e)...	001e	(149) UART1受信制御レジスタ0	(036C1e)...	081e
(104) USB インドポイント4 OUT FIFOコフィグレーションレジスタ	(02D41e)...	001e	(150) UART1受信制御レジスタ1	(036D1e)...	021e
	(02D51e)...	001e	(151) UART1受信バッファレジスタ	(036E1e)...	??1e
(105) USB エンドポイント0 IN FIFO	(02E01e)...	??1e		(036F1e)...	??1e
	(02E11e)...	??1e	(152) SSインタフェース1モードレジスタ0	(03701e)...	001e
(106) USB エンドポイント0 OUT FIFO	(02E21e)...	??1e	(153) SSインタフェース1モードレジスタ1	(03711e)...	001e
	(02E31e)...	??1e	(154) SSインタフェース1送信バッファレジスタ	(03741e)...	001e
(107) USB エンドポイント1 IN FIFO	(02E41e)...	??1e		(03751e)...	001e
	(02E51e)...	??1e	(155) SSインタフェース1受信バッファレジスタ	(03761e)...	001e
(108) USB エンドポイント1 OUT FIFO	(02E61e)...	??1e		(03771e)...	001e
	(02E71e)...	??1e	(156) SSインタフェース1 RFレジスタ	(03781e)...	001e
(109) USB エンドポイント2 IN FIFO	(02E81e)...	??1e		(03791e)...	001e
	(02E91e)...	??1e	(157) カウント開始フラグ	(03801e)...	XXXXXXXXXX0000
(110) USB エンドポイント2 OUT FIFO	(02EA1e)...	??1e	(158) 時計用プリスケアラリセットフラグ	(03811e)...	0XXXXXXXXXXXXX
	(02EB1e)...	??1e	(159) ワンショット開始フラグ	(03821e)...	00XXXXXXXXXX00
(111) USB エンドポイント3 IN FIFO	(02EC1e)...	??1e	(160) トリガ選択レジスタ	(03831e)...	001e
	(02ED1e)...	??1e	(161) アップダウンフラグ	(03841e)...	001e
(112) USB エンドポイント3 OUT FIFO	(02EE1e)...	??1e	(162) タイマA0レジスタ	(03861e)...	??1e
	(02EF1e)...	??1e		(03871e)...	??1e
(113) USB エンドポイント4 IN FIFO	(02F01e)...	??1e	(163) タイマA1レジスタ	(03881e)...	??1e
	(02F11e)...	??1e		(03891e)...	??1e
(114) USB エンドポイント4 OUT FIFO	(02F21e)...	??1e	(164) タイマA2レジスタ	(038A1e)...	??1e
	(02F31e)...	??1e		(038B1e)...	??1e
(115) フラッシュメモリ制御レジスタ0 (注1)	(02F71e)...	011e	(165) タイマA3レジスタ	(038C1e)...	??1e
(116) SSインタフェース0モードレジスタ0	(03101e)...	001e		(038D1e)...	??1e
(117) SSインタフェース0モードレジスタ1	(03111e)...	001e	(166) タイマA4レジスタ	(038E1e)...	??1e
(118) SSインタフェース0送信バッファレジスタ	(03141e)...	001e		(038F1e)...	??1e
	(03151e)...	001e	(167) タイマA0モードレジスタ	(03961e)...	001e
(119) SSインタフェース0受信バッファレジスタ	(03161e)...	001e	(168) タイマA1モードレジスタ	(03971e)...	001e
	(03171e)...	001e	(169) タイマA2モードレジスタ	(03981e)...	001e
(120) SSインタフェース0 RFレジスタ	(03181e)...	001e	(170) タイマA3モードレジスタ	(03991e)...	001e
	(03191e)...	001e	(171) タイマA4モードレジスタ	(039A1e)...	001e

× : このビットは何も配置されていません。
 ? : 不定です。
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注1. このレジスタは、フラッシュメモリ版のみに存在します。

図1.5.4. リセット解除後のマイクロコンピュータの内部状態 (2/3)

(171) UART0特殊モードレジスタ4	(03A416)...	0016	(197) AD制御レジスタ2	(03D416)...	XXXXXXXXXX0
(172) UART0特殊モードレジスタ3	(03A516)...	0016	(198) AD制御レジスタ0	(03D616)...	000000???
(173) UART0特殊モードレジスタ2	(03A616)...	0016	(199) AD制御レジスタ1	(03D716)...	0016
(174) UART0特殊モードレジスタ1	(03A716)...	0016	(200) 周波数シフト 加算制御レジスタ	(03DB16)...	0016
(175) UART0送受信モードレジスタ	(03A816)...	0016	(201) 周波数シフト 制御レジスタ	(03DC16)...	6016
(176) UART0転送速度レジスタ	(03A916)...	0016	(202) 周波数シフト 乗算レジスタ	(03DD16)...	FF16
(177) UART0送信バッファレジスタ	(03AA16)...	0016	(203) 周波数シフト プリスクアレレジスタ	(03DE16)...	FF16
	(03AB16)...	0016	(204) 周波数シフト 除算レジスタ	(03DF16)...	FF16
(178) UART0送受信制御レジスタ0	(03AC16)...	0816	(205) ポートP0	(03E016)...	??16
(179) UART0送受信制御レジスタ1	(03AD16)...	0216	(206) ポートP1	(03E116)...	??16
(180) UART0受信バッファレジスタ	(03AE16)...	??16	(207) ポートP0方向レジスタ	(03E216)...	0016
	(03AF16)...	??16	(208) ポートP1方向レジスタ	(03E316)...	0016
(181) DMA2要因選択レジスタ	(03B016)...	0016	(209) ポートP2	(03E416)...	??16
(182) DMA3要因選択レジスタ	(03B216)...	0016	(210) ポートP3	(03E516)...	??16
(183) SFR監視アドレスレジスタ	(03B416)...	??16	(211) ポートP2方向レジスタ	(03E616)...	0016
	(03B516)...	00XXXXXX??	(212) ポートP3方向レジスタ	(03E716)...	0016
(184) CRCモードレジスタ	(03B616)...	0XXXXXX0	(213) ポートP4	(03E816)...	??16
(185) DMA0要因選択レジスタ	(03B816)...	0016	(214) ポートP5	(03E916)...	??16
(186) DMA1要因選択レジスタ	(03BA16)...	0016	(215) ポートP4方向レジスタ	(03EA16)...	0016
(187) CRCデータレジスタ	(03BC16)...	0016	(216) ポートP5方向レジスタ	(03EB16)...	0016
	(03BD16)...	0016	(217) ポートP6	(03EC16)...	??16
(188) CRCインプットレジスタ	(03BE16)...	0016	(218) ポートP7	(03ED16)...	??16
(189) ADレジスタ0	(03C016)...	??16	(219) ポートP6方向レジスタ	(03EE16)...	0016
	(03C116)...	??16	(220) ポートP7方向レジスタ	(03EF16)...	0016
(190) ADレジスタ1	(03C216)...	??16	(221) ポートP8	(03F016)...	??16
	(03C316)...	??16	(222) ポートP9	(03F116)...	XXXXXXXXXX0
(191) ADレジスタ2	(03C416)...	??16	(223) ポートP8方向レジスタ	(03F216)...	0000000
	(03C516)...	??16	(224) ポートP9方向レジスタ	(03F316)...	XXXXXXXXXX0
(192) ADレジスタ3	(03C616)...	??16	(225) ポートP10	(03F416)...	??16
	(03C716)...	??16	(226) ポートP10方向レジスタ	(03F616)...	0016
(193) ADレジスタ4	(03C816)...	??16	(227) キー入力モードレジスタ	(03F916)...	0016
	(03C916)...	??16	(228) P7駆動能力選択レジスタ	(03FA16)...	0016
(194) ADレジスタ5	(03CA16)...	??16	(229) ブルアップ制御レジスタ0	(03FC16)...	0016
	(03CB16)...	??16	(230) ブルアップ制御レジスタ1 (注1)	(03FD16)...	0016
(195) ADレジスタ6	(03CC16)...	??16	(231) ブルアップ制御レジスタ2	(03FE16)...	XXXXXXXXXX0
	(03CD16)...	??16	(232) ポート制御レジスタ	(03FF16)...	XXXXXXXXXX0
(196) ADレジスタ7	(03CE16)...	??16			
	(03CF16)...	??16			

注1. ハードウェアリセットでは、CNVss端子にVccレベルを印加しているときは、リセット時0216になります。
ソフトウェアリセットでは、リセット前のプロセッサモードレジスタ0(000416番地)のビット1,0の値が"102" "112"である時、リセット時0216になります。

図1.5.5. リセット解除後のマイクロコンピュータの内部状態 (3/3)

0000 ¹⁶		0040 ¹⁶	
0001 ¹⁶		0041 ¹⁶	キー入力割り込み制御レジスタ(KUPIC)
0002 ¹⁶		0042 ¹⁶	UART2受信/ACK割り込み制御レジスタ(S2RIC)
0003 ¹⁶		0043 ¹⁶	UART1/3バス衝突検出割り込み制御レジスタ(S13BCNIC)
0004 ¹⁶	プロセッサモードレジスタ0(PM0)	0044 ¹⁶	INT1割り込み制御レジスタ(INT1IC)
0005 ¹⁶	プロセッサモードレジスタ1(PM1)	0045 ¹⁶	タイマA1割り込み制御レジスタ(TA1IC)
0006 ¹⁶	システムクロック制御レジスタ0(CM0)	0046 ¹⁶	USBエンドポイント0割り込み制御レジスタ(EP0IC)
0007 ¹⁶	システムクロック制御レジスタ1(CM1)	0047 ¹⁶	タイマA2割り込み制御レジスタ(TA2IC)
0008 ¹⁶	チップセレクト制御レジスタ(CSR)	0048 ¹⁶	UART1受信/ACK/SSI1割り込み制御レジスタ(S1RIC)
0009 ¹⁶	アドレス一致割り込み許可レジスタ(AIER)	0049 ¹⁶	UART0/2バス衝突検出割り込み制御レジスタ(S02BCNIC)
000A ¹⁶	プロテクトレジスタ(PRCR)	004A ¹⁶	UART0受信/ACK/SSIO割り込み制御レジスタ(SORIC)
000B ¹⁶		004B ¹⁶	A-D変換割り込み制御レジスタ(ADIC)
000C ¹⁶	USB制御レジスタ(USBC)	004C ¹⁶	DMA0割り込み制御レジスタ(DM0IC)
000D ¹⁶		004D ¹⁶	UART3送信/NACK割り込み制御レジスタ(S3TIC)
000E ¹⁶	監視タイマスタートレジスタ(WDTS)	004E ¹⁶	DMA1割り込み制御レジスタ(DM1IC)
000F ¹⁶	監視タイマ制御レジスタ(WDC)	004F ¹⁶	UART2送信/NACK割り込み制御レジスタ(S2TIC)
0010 ¹⁶		0050 ¹⁶	DMA2割り込み制御レジスタ(DM2IC)
0011 ¹⁶	アドレス一致割り込みレジスタ0(RMAD0)	0051 ¹⁶	UART1送信/NACK/SSI1割り込み制御レジスタ(S1TIC)
0012 ¹⁶		0052 ¹⁶	DMA3割り込み制御レジスタ(DM3IC)
0013 ¹⁶		0053 ¹⁶	UART0送信/NACK/SSIO割り込み制御レジスタ(S0TIC)
0014 ¹⁶		0054 ¹⁶	タイマA0割り込み制御レジスタ(TA0IC)
0015 ¹⁶	アドレス一致割り込みレジスタ1(RMAD1)	0055 ¹⁶	UART3受信/ACK割り込み制御レジスタ(S3RIC)
0016 ¹⁶		0056 ¹⁶	USBサスペンド割り込み制御レジスタ(SUSPIC)
0017 ¹⁶		0057 ¹⁶	タイマA3割り込み制御レジスタ(TA3IC)
0018 ¹⁶		0058 ¹⁶	USBレジューム割り込み制御レジスタ(RSMIC)
0019 ¹⁶		0059 ¹⁶	タイマA4割り込み制御レジスタ(TA4IC)
001A ¹⁶		005A ¹⁶	USBリセット割り込み制御レジスタ(RSTIC)
001B ¹⁶	チップセレクト拡張レジスタ(CSE)	005B ¹⁶	USB SOF割り込み制御レジスタ(SOFIC)
001C ¹⁶		005C ¹⁶	USB Vbus検出割り込み制御レジスタ(VBDIC)
001D ¹⁶		005D ¹⁶	USB機能割り込み制御レジスタ(USBFIC)
001E ¹⁶	予約	005E ¹⁶	INT2割り込み制御レジスタ(INT2IC)
001F ¹⁶	USB接続/非接続レジスタ(USBAD)	005F ¹⁶	INT0割り込み制御レジスタ(INT0IC)
0020 ¹⁶			≡
0021 ¹⁶	DMA0ソ - スポインタ(SAR0)	0180 ¹⁶	
0022 ¹⁶		0181 ¹⁶	DMA2ソ - スポインタ(SAR2)
0023 ¹⁶		0182 ¹⁶	
0024 ¹⁶		0183 ¹⁶	
0025 ¹⁶	DMA0ディスティネ - ションポインタ(DAR0)	0184 ¹⁶	
0026 ¹⁶		0185 ¹⁶	DMA2ディスティネ - ションポインタ(DAR2)
0027 ¹⁶		0186 ¹⁶	
0028 ¹⁶	DMA0転送カウンタ(TCR0)	0187 ¹⁶	
0029 ¹⁶		0188 ¹⁶	DMA2転送カウンタ(TCR2)
002A ¹⁶		0189 ¹⁶	
002B ¹⁶		018A ¹⁶	
002C ¹⁶	DMA0制御レジスタ(DM0CON)	018B ¹⁶	
002D ¹⁶		018C ¹⁶	DMA2制御レジスタ(DM2CON)
002E ¹⁶		018D ¹⁶	
002F ¹⁶		018E ¹⁶	
0030 ¹⁶		018F ¹⁶	
0031 ¹⁶	DMA1ソ - スポインタ(SAR1)	0190 ¹⁶	
0032 ¹⁶		0191 ¹⁶	DMA3ソ - スポインタ(SAR3)
0033 ¹⁶		0192 ¹⁶	
0034 ¹⁶		0193 ¹⁶	
0035 ¹⁶	DMA1ディスティネ - ションポインタ(DAR1)	0194 ¹⁶	
0036 ¹⁶		0195 ¹⁶	DMA3ディスティネ - ションポインタ(DAR3)
0037 ¹⁶		0196 ¹⁶	
0038 ¹⁶	DMA1転送カウンタ(TCR1)	0197 ¹⁶	
0039 ¹⁶		0198 ¹⁶	DMA3転送カウンタ(TCR3)
003A ¹⁶		0199 ¹⁶	
003B ¹⁶		019A ¹⁶	
003C ¹⁶	DMA1制御レジスタ(DM1CON)	019B ¹⁶	
003D ¹⁶		019C ¹⁶	DMA3制御レジスタ(DM3CON)
003E ¹⁶		019D ¹⁶	
003F ¹⁶		019E ¹⁶	
		019F ¹⁶	

注 . 予約領域に対して読み出し/書き込みを行わないでください。

図1.5.6. 周辺装置制御レジスタの配置 (1/4)

028016	USBアドレスレジスタ(USBA)	02C016	USBインド ホ イト2 OUT最大バケツサイズ レジスタ(EP2OMP)
028116		02C116	
028216	USBパワー制御レジスタ(USBPM)	02C216	USBインド ホ イト2 OUT書き込みカウンタレジスタ(EP2WC)
028316		02C316	
028416	USB機能割り込みステータスレジスタ(USBIS)	02C416	USBインド ホ イト2 OUT FIFOコンフィグレーションレジスタ(EP2OFC)
028516		02C516	
028616	USB機能割り込みクリアレジスタ(USBIC)	02C616	USBインド ホ イト3 OUT制御/ステータスレジスタ(EP3OCS)
028716		02C716	
028816	USB機能割り込み許可レジスタ(USBIE)	02C816	USBインド ホ イト3 OUT最大バケツサイズ レジスタ(EP3OMP)
028916		02C916	
028A16	USBフレームナンバーレジスタ(USBFN)	02CA16	USBインド ホ イト3 OUT書き込みカウンタレジスタ(EP3WC)
028B16		02CB16	
028C16	USB ISO制御レジスタ(USBISOC)	02CC16	USBインド ホ イト3 OUT FIFOコンフィグレーションレジスタ(EP3OFC)
028D16		02CD16	
028E16	USB エンドポイント許可レジスタ(USBEPEN)	02CE16	USBインド ホ イト4 OUT制御/ステータスレジスタ(EP4OCS)
028F16		02CF16	
029016	USB DMA0要求レジスタ(USBDMA0)	02D016	USBインド ホ イト4 OUT最大バケツサイズ レジスタ(EP4OMP)
029116		02D116	
029216	USB DMA1要求レジスタ(USBDMA1)	02D216	USBインド ホ イト4 OUT書き込みカウンタレジスタ(EP4WC)
029316		02D316	
029416	USB DMA2要求レジスタ(USBDMA2)	02D416	USBインド ホ イト4 OUT FIFOコンフィグレーションレジスタ(EP4OFC)
029516		02D516	
029616	USB DMA3要求レジスタ(USBDMA3)	02D616	
029716		02D716	
029816	USBインド ホ イト0制御/ステータスレジスタ(EP0CS)	02D816	予約
029916		02D916	予約
029A16	USBインド ホ イト0最大バケツサイズ レジスタ(EP0MP)	02DA16	予約
029B16		02DB16	予約
029C16	USBインド ホ イト0 OUT書き込みカウンタレジスタ(EP0WC)	02DC16	予約
029D16		02DD16	予約
029E16	USBインド ホ イト1 IN制御/ステータスレジスタ(EP1ICS)	02DE16	予約
029F16		02DF16	予約
02A016	USBインド ホ イト1 IN最大バケツサイズ レジスタ(EP1IMP)	02E016	USBエンドポイント0 IN FIFO(EP0I)
02A116		02E116	
02A216	USBインド ホ イト1 IN FIFOコンフィグレーションレジスタ(EP1IFC)	02E216	USBエンドポイント0 OUT FIFO(EP0O)
02A316		02E316	
02A416	USBインド ホ イト2 IN制御/ステータスレジスタ(EP2ICS)	02E416	USBエンドポイント1 IN FIFO(EP1I)
02A516		02E516	
02A616	USBインド ホ イト2 IN最大バケツサイズ レジスタ(EP2IMP)	02E616	USBエンドポイント1 OUT FIFO(EP1O)
02A716		02E716	
02A816	USBインド ホ イト2 IN FIFOコンフィグレーションレジスタ(EP2IFC)	02E816	USBエンドポイント2 IN FIFO(EP2I)
02A916		02E916	
02AA16	USBインド ホ イト3 IN制御/ステータスレジスタ(EP3ICS)	02EA16	USBエンドポイント2 OUT FIFO(EP2O)
02AB16		02EB16	
02AC16	USBインド ホ イト3 IN最大バケツサイズ レジスタ(EP3IMP)	02EC16	USBエンドポイント3 IN FIFO(EP3I)
02AD16		02ED16	
02AE16	USBインド ホ イト3 IN FIFOコンフィグレーションレジスタ(EP3IFC)	02EE16	USBエンドポイント3 OUT FIFO(EP3O)
02AF16		02EF16	
02B016	USBインド ホ イト4 IN制御/ステータスレジスタ(EP4ICS)	02F016	USBエンドポイント4 IN FIFO(EP4I)
02B116		02F116	
02B216	USBインド ホ イト4 IN最大バケツサイズ レジスタ(EP4IMP)	02F216	USBエンドポイント4 OUT FIFO(EP4O)
02B316		02F316	
02B416	USBインド ホ イト4 IN FIFOコンフィグレーションレジスタ(EP4IFC)	02F416	
02B516		02F516	
02B616	USBインド ホ イト1 OUT制御/ステータスレジスタ(EP1OCS)	02F616	
02B716		02F716	フラッシュメモリ制御レジスタ0(FMR0)
02B816	USBインド ホ イト1 OUT最大バケツサイズ レジスタ(EP1OMP)	02F816	
02B916		02F916	
02BA16	USBインド ホ イト1 OUT書き込みカウンタレジスタ(EP1WC)	02FA16	
02BB16		02FB16	
02BC16	USBインド ホ イト1 OUT FIFOコンフィグレーションレジスタ(EP1OFC)	02FC16	
02BD16		02FD16	
02BE16	USBインド ホ イト2 OUT制御/ステータスレジスタ(EP2OCS)	02FE16	予約
02BF16		02FF16	予約

注 . 予約領域に対して読み出し/書き込みを行わないでください。

図1.5.7. 周辺装置制御レジスタの配置 (2/4)

0310 ₁₆	SSインタフェース0モードレジスタ0 (SSI0MR0)	0370 ₁₆	SSインタフェース1モードレジスタ0 (SSI1MR0)
0311 ₁₆	SSインタフェース0モードレジスタ1 (SSI0MR1)	0371 ₁₆	SSインタフェース1モードレジスタ1 (SSI1MR1)
0312 ₁₆	予約	0372 ₁₆	予約
0313 ₁₆	予約	0373 ₁₆	予約
0314 ₁₆	SSインタフェース0送信バッファレジスタ (SSI0TXB)	0374 ₁₆	SSインタフェース1送信バッファレジスタ (SSI1TXB)
0315 ₁₆		0375 ₁₆	
0316 ₁₆	SSインタフェース0受信バッファレジスタ (SSI0RXB)	0376 ₁₆	SSインタフェース1受信バッファレジスタ (SSI1RXB)
0317 ₁₆		0377 ₁₆	
0318 ₁₆	SSインタフェース0 RFレジスタ (SSI0RF)	0378 ₁₆	SSインタフェース1 RFレジスタ (SSI1RF)
0319 ₁₆		0379 ₁₆	
031A ₁₆	予約	037A ₁₆	予約
031B ₁₆	予約	037B ₁₆	予約
031C ₁₆		037C ₁₆	
031D ₁₆		037D ₁₆	
031E ₁₆		037E ₁₆	
031F ₁₆		037F ₁₆	
0320 ₁₆		0380 ₁₆	カウント開始フラグ (TABSR)
0321 ₁₆		0381 ₁₆	時計用プリスケアラリセットフラグ (CPSRF)
0322 ₁₆		0382 ₁₆	ワンショット開始フラグ (ONSF)
0323 ₁₆		0383 ₁₆	トリガ選択レジスタ (TRGSR)
0324 ₁₆	UART3特殊モ - ドレジスタ4 (U3SMR4)	0384 ₁₆	アップダウンフラグ (UDF)
0325 ₁₆	UART3特殊モ - ドレジスタ3 (U3SMR3)	0385 ₁₆	
0326 ₁₆	UART3特殊モ - ドレジスタ2 (U3SMR2)	0386 ₁₆	タイマA0 (TA0)
0327 ₁₆	UART3特殊モ - ドレジスタ1 (U3SMR)	0387 ₁₆	
0328 ₁₆	UART3送受信モ - ドレジスタ (U3MR)	0388 ₁₆	タイマA1 (TA1)
0329 ₁₆	UART3転送速度レジスタ (U3BRG)	0389 ₁₆	
032A ₁₆		038A ₁₆	タイマA2 (TA2)
032B ₁₆	UART3送信バッファレジスタ (U3TB)	038B ₁₆	
032C ₁₆	UART3送受信制御レジスタ 0 (U3C0)	038C ₁₆	タイマA3 (TA3)
032D ₁₆	UART3送受信制御レジスタ 1 (U3C1)	038D ₁₆	
032E ₁₆		038E ₁₆	タイマA4 (TA4)
032F ₁₆	UART3受信バッファレジスタ (U3RB)	038F ₁₆	
0330 ₁₆		0390 ₁₆	
0331 ₁₆		0391 ₁₆	
0332 ₁₆		0392 ₁₆	
0333 ₁₆		0393 ₁₆	
0334 ₁₆	UART2特殊モ - ドレジスタ4 (U2SMR4)	0394 ₁₆	
0335 ₁₆	UART2特殊モ - ドレジスタ3 (U2SMR3)	0395 ₁₆	
0336 ₁₆	UART2特殊モ - ドレジスタ2 (U2SMR2)	0396 ₁₆	タイマA0モ - ドレジスタ (TA0MR)
0337 ₁₆	UART2特殊モ - ドレジスタ1 (U2SMR)	0397 ₁₆	タイマA1モ - ドレジスタ (TA1MR)
0338 ₁₆	UART2送受信モ - ドレジスタ (U2MR)	0398 ₁₆	タイマA2モ - ドレジスタ (TA2MR)
0339 ₁₆	UART2転送速度レジスタ (U2BRG)	0399 ₁₆	タイマA3モ - ドレジスタ (TA3MR)
033A ₁₆		039A ₁₆	タイマA4モ - ドレジスタ (TA4MR)
033B ₁₆	UART2送信バッファレジスタ (U2TB)	039B ₁₆	
033C ₁₆	UART2送受信制御レジスタ 0 (U2C0)	039C ₁₆	
033D ₁₆	UART2送受信制御レジスタ 1 (U2C1)	039D ₁₆	
033E ₁₆	UART2受信バッファレジスタ (U2RB)	039E ₁₆	
033F ₁₆		039F ₁₆	
035F ₁₆	割り込み要因選択レジスタ (IFSR)	03A0 ₁₆	
0360 ₁₆		03A1 ₁₆	
0361 ₁₆		03A2 ₁₆	
0362 ₁₆		03A3 ₁₆	
0363 ₁₆		03A4 ₁₆	UART0特殊モ - ドレジスタ4 (U0SMR4)
0364 ₁₆	UART1特殊モ - ドレジスタ4 (U1SMR4)	03A5 ₁₆	UART0特殊モ - ドレジスタ3 (U0SMR3)
0365 ₁₆	UART1特殊モ - ドレジスタ3 (U1SMR3)	03A6 ₁₆	UART0特殊モ - ドレジスタ2 (U0SMR2)
0366 ₁₆	UART1特殊モ - ドレジスタ2 (U1SMR2)	03A7 ₁₆	UART0特殊モ - ドレジスタ1 (U0SMR)
0367 ₁₆	UART1特殊モ - ドレジスタ1 (U1SMR)	03A8 ₁₆	UART0送受信モ - ドレジスタ (U0MR)
0368 ₁₆	UART1送受信モ - ドレジスタ (U1MR)	03A9 ₁₆	UART0転送速度レジスタ (U0BRG)
0369 ₁₆	UART1転送速度レジスタ (U1BRG)	03AA ₁₆	
036A ₁₆		03AB ₁₆	UART0送信バッファレジスタ (U0TB)
036B ₁₆	UART1送信バッファレジスタ (U1TB)	03AC ₁₆	UART0送受信制御レジスタ 0 (U0C0)
036C ₁₆	UART1送受信制御レジスタ 0 (U1C0)	03AD ₁₆	UART0送受信制御レジスタ 1 (U0C1)
036D ₁₆	UART1送受信制御レジスタ 1 (U1C1)	03AE ₁₆	
036E ₁₆	UART1受信バッファレジスタ (U1RB)	03AF ₁₆	UART0受信バッファレジスタ (U0RB)
036F ₁₆			

注．予約領域に対して読み出し/書き込みを行わないでください。

図1.5.8. 周辺装置制御レジスタの配置 (3/4)

03B0 ₁₆	DMA2要因選択レジスタ(DM2SL)
03B1 ₁₆	
03B2 ₁₆	DMA3要因選択レジスタ(DM3SL)
03B3 ₁₆	
03B4 ₁₆	SFR監視アドレスレジスタ(CRCSAR)
03B5 ₁₆	
03B6 ₁₆	CRCモードレジスタ(CRCMR)
03B7 ₁₆	
03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
03B9 ₁₆	
03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
03BB ₁₆	
03BC ₁₆	CRCデータレジスタ(CRCD)
03BD ₁₆	
03BE ₁₆	CRCインプットレジスタ(CRCIN)
03BF ₁₆	
03C0 ₁₆	ADレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	ADレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	ADレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	ADレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	ADレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	ADレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	ADレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	ADレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	AD制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	AD制御レジスタ0(ADCON0)
03D7 ₁₆	AD制御レジスタ1(ADCON1)
03D8 ₁₆	
03D9 ₁₆	
03DA ₁₆	
03DB ₁₆	周波数シフトアップ制御レジスタ(FSCCR)
03DC ₁₆	周波数シフトアップ制御レジスタ(FSC)
03DD ₁₆	周波数シフトアップ乗算レジスタ(FSM)
03DE ₁₆	周波数シフトアッププリスケールレジスタ(FSP)
03DF ₁₆	周波数シフトアップ除算レジスタ(FSD)
03E0 ₁₆	ポートP0(P0)
03E1 ₁₆	ポートP1(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2(P2)
03E5 ₁₆	ポートP3(P4)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4(P4)
03E9 ₁₆	ポートP5(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6(P6)
03ED ₁₆	ポートP7(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8(P8)
03F1 ₁₆	ポートP9(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	キー入力モードレジスタ(KUPM)
03FA ₁₆	P7駆動能力選択レジスタ(P7DR)
03FB ₁₆	
03FC ₁₆	ブルアップ制御レジスタ0(PUR0)
03FD ₁₆	ブルアップ制御レジスタ1(PUR1)
03FE ₁₆	ブルアップ制御レジスタ2(PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

図1.5.9. 周辺装置制御レジスタの配置 (4/4)

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。図1.6.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

ただし、リセット解除後CNVss端子を“H”の状態でもマイクロプロセッサモードから動作を開始した場合は、その後シングルチップモードに移行しても内部ROMのアクセスはできません。

このモードでは、P0～P10をプログラマブル入出力ポート、又は内蔵周辺機能の入出力ポートとして使用することができます。

メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。

ただし、リセット解除後CNVss端子を“H”の状態でもマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードに移行しても内部ROMのアクセスはできません。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。プロセッサモードビットを“01₂”(メモリ拡張モード)または“11₂”(マイクロプロセッサモード)に書き換える場合、PM07ビット～PM02ビットと同時に書き換えしないでください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

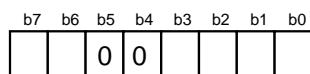
CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図1.6.2に各プロセッサモードのメモリ配置図を示します。

図1.6.3に各プロセッサモードのメモリ配置とチップセレクト領域を示します。

プロセッサモードレジスタ0 (注1)

シンボル
PM0アドレス
0004₁₆番地リセット時
00₁₆(注2)

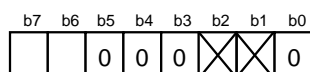
ビットシンボル	ビット名	機能	R/W
PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード 10: 使用禁止 11: マイクロプロセッサモード	
PM01			
PM02	R/Wモード選択ビット	0: RD, BHE, WR 1: RD, WRH, WRL	
PM03	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。	
PM04	予約	必ず“0”を設定してください。	
PM05			
PM06	ポートP4 ₀ ~P4 ₃ 機能 選択ビット(注3)	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はフローティングになります)	

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

注2. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります(PM00およびPM01が“1”になります)。

注3. マイクロプロセッサモード、メモリ拡張モード時有効。

プロセッサモードレジスタ1 (注1)

シンボル
PM1アドレス
0005₁₆番地リセット時
00000XX0₂

ビットシンボル	ビット名	機能	R/W
	予約ビット	必ず“0”を設定してください	
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	- -
	予約ビット	必ず“0”を設定してください	
PM16	WR幅制御ビット	0: 通常 1: 拡張	
PM17	予約ビット	必ず“0”を設定してください	

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

図1.6.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

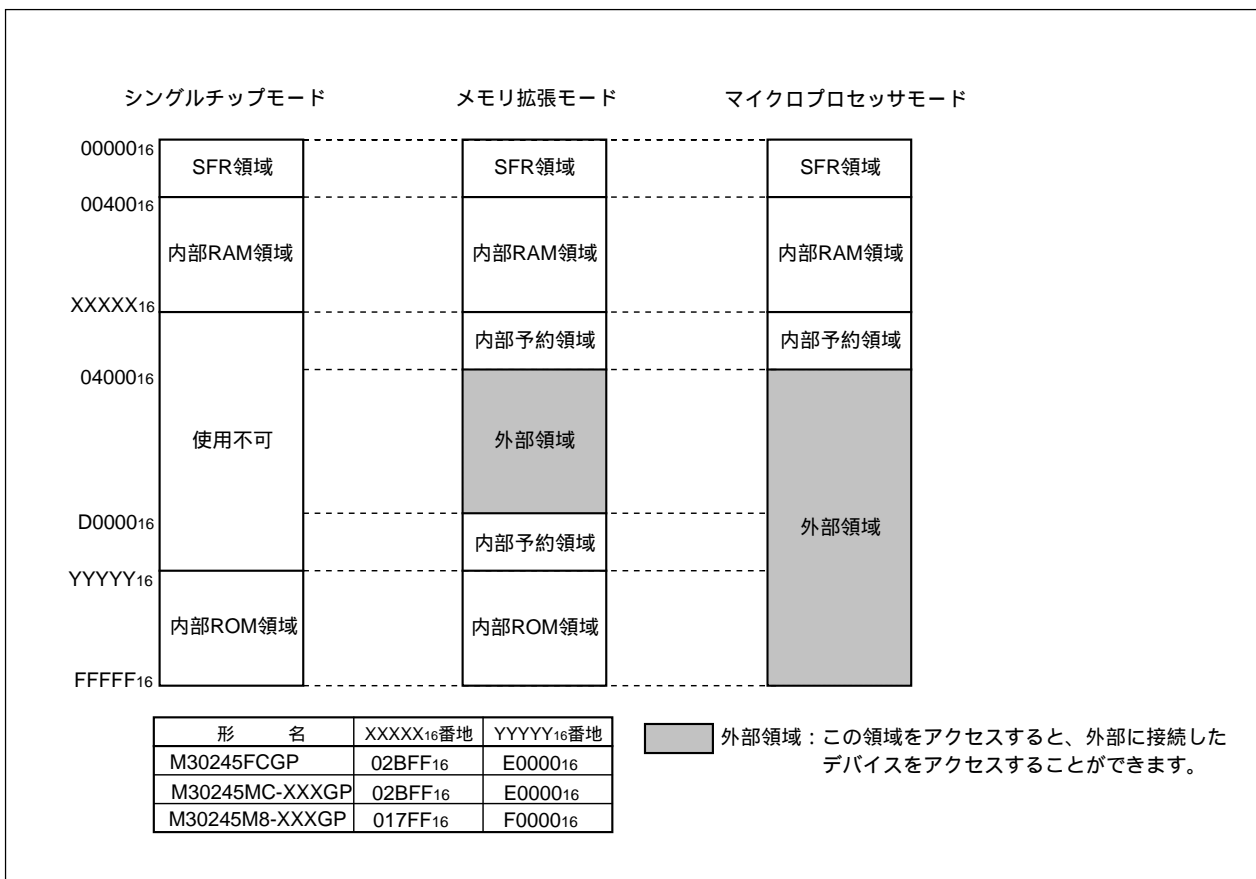


図1.6.2. 各プロセッサモード時のメモリ配置

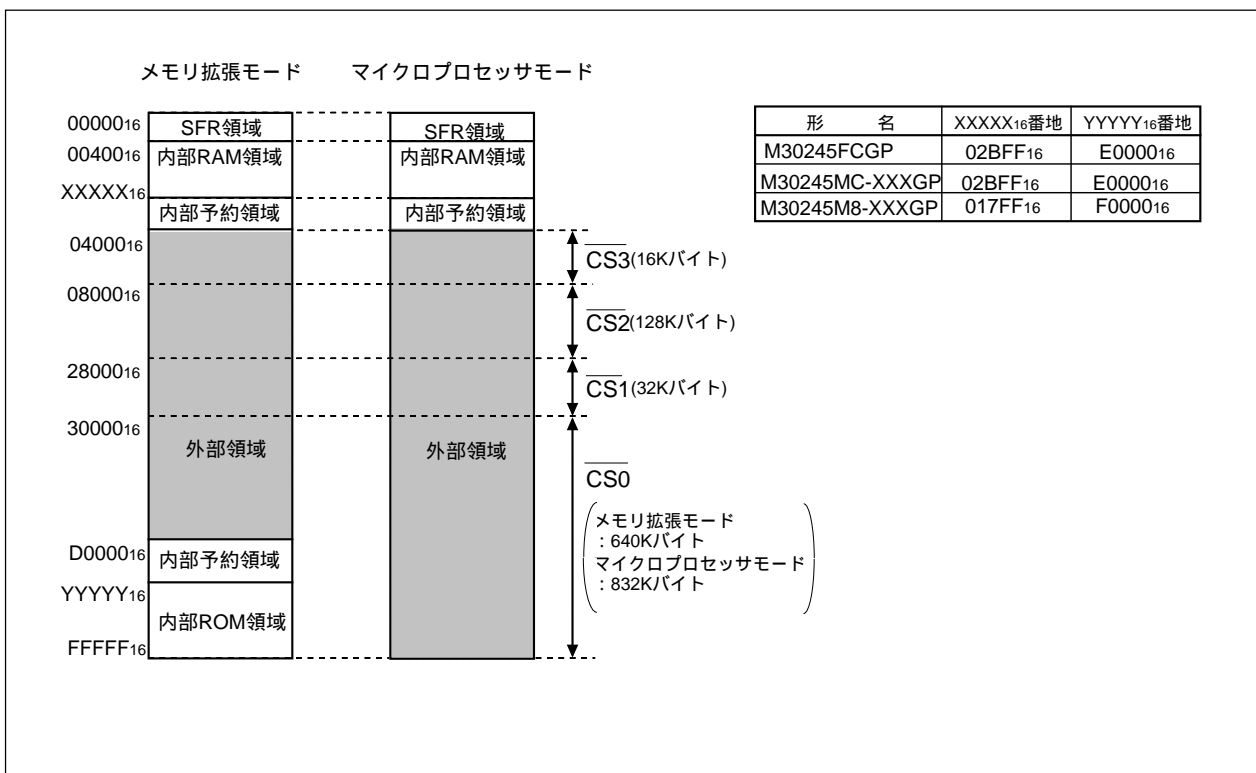


図1.6.3. メモリ拡張、マイクロプロセッサモード時のチップセレクト領域

バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット6で切り替えることができます。

表1.7.1に各バスの設定と切り替え要因を示します。

表1.7.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。動作時は、BYTE端子を“H”又は“L”に固定してください。BYTE端子が“H”の時、ポートP0が8ビットのデータバスになり、BYTE端子が“L”の時、ポートP0とポートP1の両方が16ビットのデータバスになります。ソフトウエアウエイトを挿入できます。

表1.7.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード	
データバス幅 BYTE端子		8ビット BYTE=“H”	16ビット BYTE=“L”
P00～P07	入出力ポート	データバス	データバス
P10～P17	入出力ポート	入出力ポート	データバス
P20	入出力ポート	アドレスバス	アドレスバス
P21～P27	入出力ポート	アドレスバス	アドレスバス
P30	入出力ポート	アドレスバス	アドレスバス
P31～P37	入出力ポート	アドレスバス	アドレスバス
P40～P43 (機能選択ビット=“1”)	入出力ポート	入出力ポート	入出力ポート
P40～P43 (機能選択ビット=“0”)	入出力ポート	アドレスバス	アドレスバス
P44～P47	入出力ポート	CS(チップセレクト)又はプログラマブル入出力ポートの選択(詳細は「バス制御」を参照)	
P50～P53	入出力ポート	RD, WRL, WRH, BCLK 出力、又はRD, BHE, WR, BCLK 出力(詳細は「バス制御」を参照)	
P54	入出力ポート	HLDA	HLDA
P55	入出力ポート	HOLD	HOLD
P56	入出力ポート	ALE	ALE
P57	入出力ポート	RDY	RDY

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウェアウエイトは全プロセッサモードで有効です。

(1) アドレスバス/データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0～A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0～D7の8本がデータバスに、BYTE端子が“L”のときはD0～D15の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP44～P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0～ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44～P47はプログラマブル入出力ポートになります。

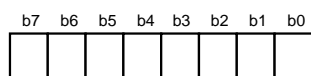
マイクロプロセッサモードの場合、リセット解除のときCS0だけチップセレクト信号を出力し、CS1～CS3は入力ポートになっています。チップセレクト制御レジスタの構成を図1.8.1に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.8.1に示します。

表1.8.1. チップセレクト信号によって指定する外部領域

プロセッサモード	チップセレクト信号			
	CS0	CS1	CS2	CS3
メモリ拡張モード	30000 ₁₆ ～ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ～ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ～ 27FFF ₁₆ (128Kバイト)	04000 ₁₆ ～ 07FFF ₁₆ (16Kバイト)
マイクロプロセッサモード	30000 ₁₆ ～ FFFFF ₁₆ (832Kバイト)			

チップセレクト制御レジスタ

シンボル
CSRアドレス
0008₁₆番地リセット時
01₁₆

ビットシンボル	ビット名	機 能	R	W
CS0	CS0出力許可ビット	0: チップセレクト出力禁止 (通常のポート端子) 1: チップセレクト出力許可		
CS1	$\overline{\text{CS1}}$ 出力許可ビット			
CS2	$\overline{\text{CS2}}$ 出力許可ビット			
CS3	$\overline{\text{CS3}}$ 出力許可ビット			
CS0W	CS0ウェイトビット	0: ウェイトあり 1: ウェイトなし		
CS1W	CS1ウェイトビット			
CS2W	CS2ウェイトビット			
CS3W	CS3ウェイトビット			

チップセレクト拡張レジスタ

シンボル
CSEアドレス
001B₁₆リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
CSE0W	$\overline{\text{CS0}}$ ウェイト拡張ビット	00: 1ウェイト 01: 2ウェイト 10: 3ウェイト 11: 使用禁止		
CSE1W	$\overline{\text{CS1}}$ ウェイト拡張ビット			
CSE2W	$\overline{\text{CS2}}$ ウェイト拡張ビット			
CSE3W	$\overline{\text{CS3}}$ ウェイト拡張ビット			

注1. CSRレジスタのCSiWビット (i=0 ~ 3) を“0” にしてからCSEiWビット (i=0 ~ 3) を設定してください。
また、CSiWビットを“1” にする場合、CSEiWビットを“00₂” に戻してからCSiWビットを“1” にしてください。

図1.8.1. チップセレクト関連レジスタの構成

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、又は \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2を“0”にしてください)。各信号の動作を表1.8.2、表1.8.3に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.8.2. \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.8.3. \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

外部デバイスにより、アドレスバスからアドレスをラッチするための信号です。ALE信号の立ち下がりアドレスをラッチしてください。

(5) $\overline{\text{RDY}}$ 信号

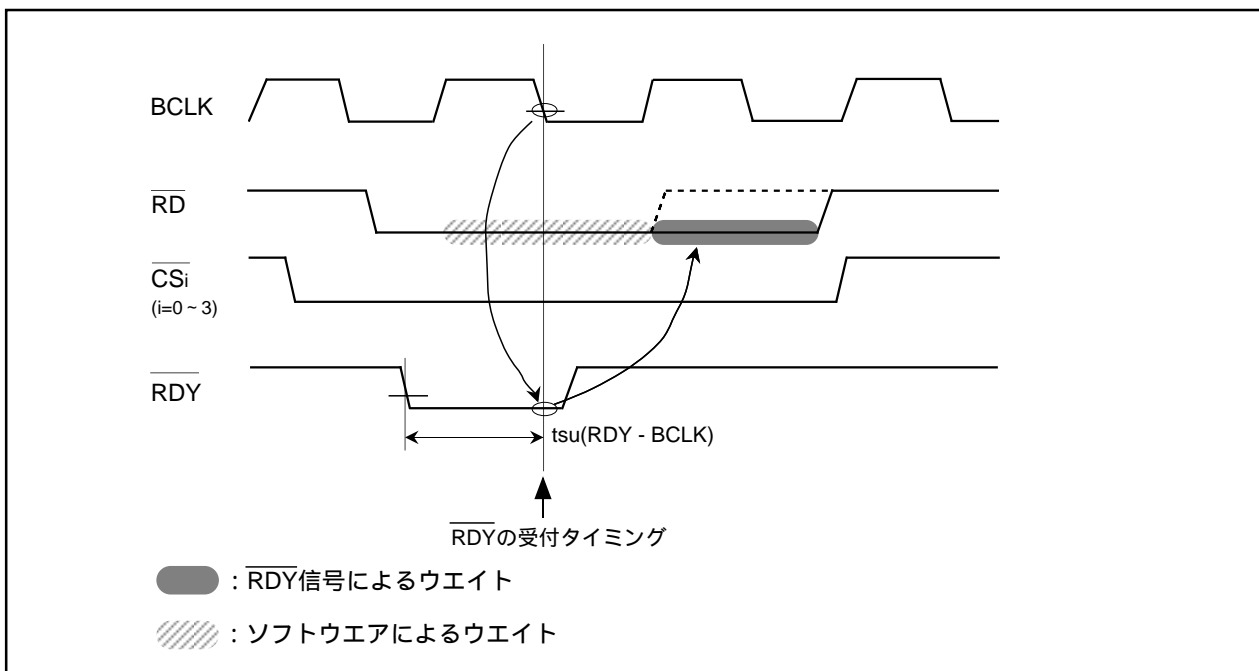
$\overline{\text{RDY}}$ は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.8.2に示すようにBCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“H”が入力されているとき、バスはウェイト状態を解除します。表1.8.4にバスのウェイト状態におけるマイクロコンピュータの状態、図1.8.2にRD信号が $\overline{\text{RDY}}$ 信号によって延びた例を示します。

$\overline{\text{RDY}}$ 信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に全て“1”を設定している場合は、 $\overline{\text{RDY}}$ 信号は無効ですが、 $\overline{\text{RDY}}$ 端子の未使用端子の処理が必要です。

表1.8.4. バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項目	状態
発振	動作
R/W信号、アドレスバス、データバス、 $\overline{\text{CS}}$ ALE信号、HLDA プログラマブル入出力ポート	$\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウェイトによるウェイトの直前には $\overline{\text{RDY}}$ 信号は受け付けられません。

図1.8.2. RD信号が $\overline{\text{RDY}}$ 信号によって延びた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子が“L”の期間その状態を保持します。また、その間 $\overline{\text{HLDA}}$ 端子から“L”を出力します。表1.8.5にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなっています。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図1.8.3. バス使用優先順位

表1.8.5. ホールド状態におけるマイクロコンピュータの状態

項目		状態
発振		動作
R/W信号、アドレスバス、データバス、 $\overline{\text{CS}}$ 、BHE		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.8.6に示します。

表1.8.6. 内部領域をアクセスしたときの外部バスの状態

項目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
RD, WR, WRL, WRH		RD, WR, WRL, WRHを出力	“H”を出力
BHE		BHEを出力	直前にアクセスされた外部領域の状態を保持
CS		“H”を出力	“H”を出力
ALE		“L”を出力	“L”を出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

チップセレクト制御レジスタ(0008₁₆番地)のCS0W ~ CS3Wビット、及びチップセレクト拡張レジスタ(001B₁₆番地)によって、外部メモリ領域に対してソフトウェアウエイトを挿入できます。

RDY信号を使用する場合、CS0W ~ CS3Wの該当するビットに“0”を設定する必要があります。

チップセレクト制御レジスタのCS0W ~ CS3WはそれぞれチップセレクトCS0 ~ CS3に対応します。これらのビットを“1”にするとReadバスサイクルはBCLKの1サイクル、WriteバスサイクルはBCLKの2サイクルで実行されます。“0”にすると、チップセレクト拡張レジスタの設定に応じてRead/WriteバスサイクルがBCLKの2サイクル、又は3サイクル、又は4サイクルになります。チップセレクト制御レジスタの対応するビットが“0”のときチップセレクト拡張レジスタの設定が有効になり、“1”のとき、チップセレクト拡張レジスタの対応するビットは“002”を設定してください。

リセット解除後、チップセレクト制御レジスタとチップセレクト拡張レジスタの値は“00₁₆”です。

SFR領域と内部ROM/RAM領域は、これらの制御ビットの影響を受けません。

表1.8.7にソフトウェアウエイトとバスサイクル、図1.8.4、図1.8.5にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

表1.8.7. ソフトウェアウエイトとバスサイクル

領域	CSxW (注1)	CSExW (注2)	バスサイクル	
			読み出し	書き込み
SFR	無効	無効	BCLKの2サイクル	BCLKの2サイクル
内部ROM/RAM	無効	無効	BCLKの1サイクル	BCLKの1サイクル
外部メモリ領域	0	00	BCLKの2サイクル	BCLKの2サイクル
	0	01	BCLKの3サイクル	BCLKの3サイクル
	0	10	BCLKの4サイクル	BCLKの4サイクル
	0	11	設定禁止	
	1	00	BCLKの1サイクル	BCLKの2サイクル

注1. $\overline{\text{RDY}}$ 信号を使用する場合“0”を設定してください。

注2. CSRレジスタのCSiWビット(i=0~3)を“0”にしてからCSEiWビット(i=0~3)を設定してください。

また、CSiWビットを“1”にする場合、CSEiWビットを“002”に戻してからCSiWビットを“1”にしてください。

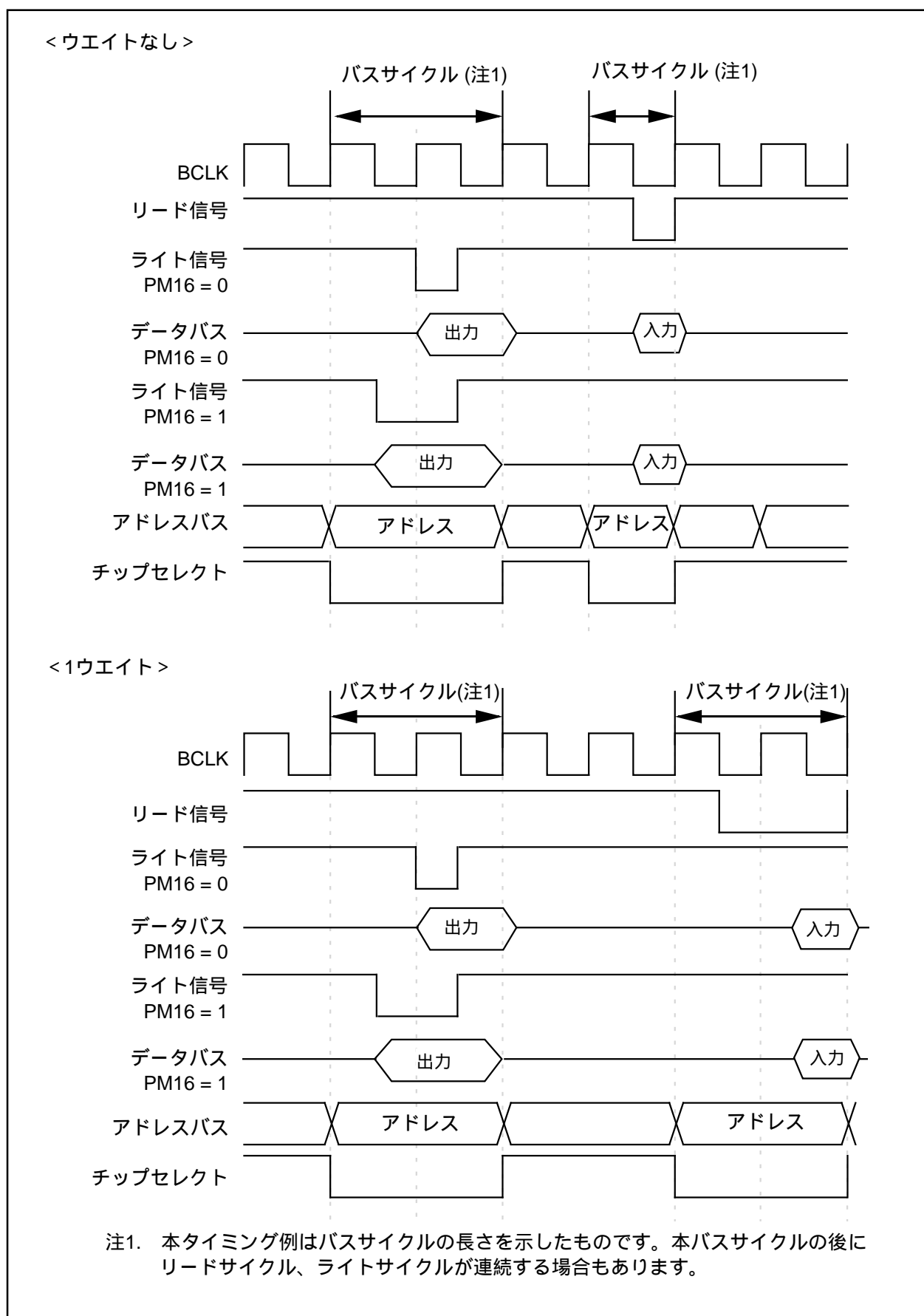


図1.8.4. ソフトウェアウエイトを使用した場合のバスタイミング例 (1)

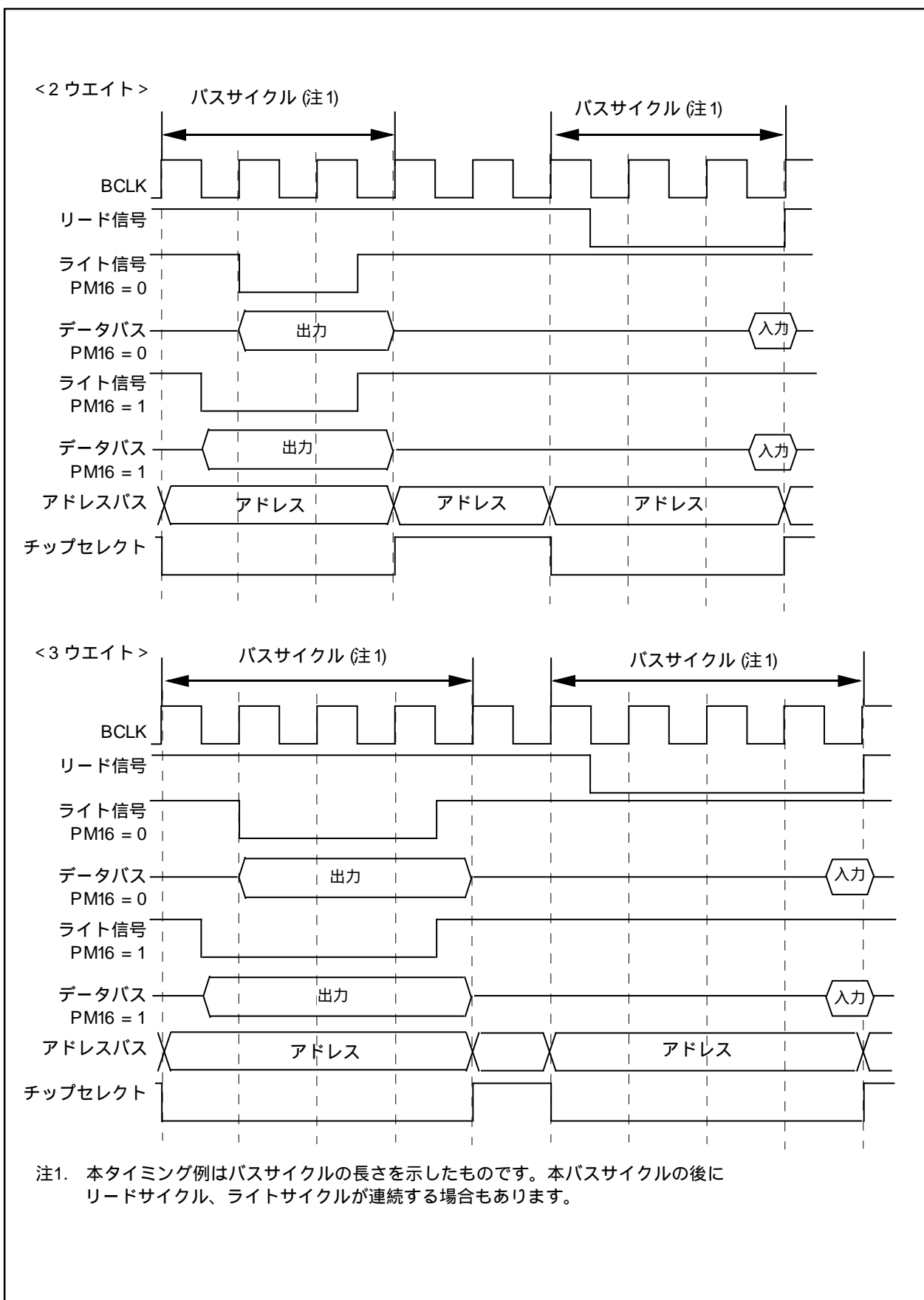


図1.8.5. ソフトウェアウェイトを使用した場合のバスタイミング例 (2)

クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.9.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマAのカウントクロック源
接続できる発振子	水晶発振子/セラミック発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図1.9.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.9.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

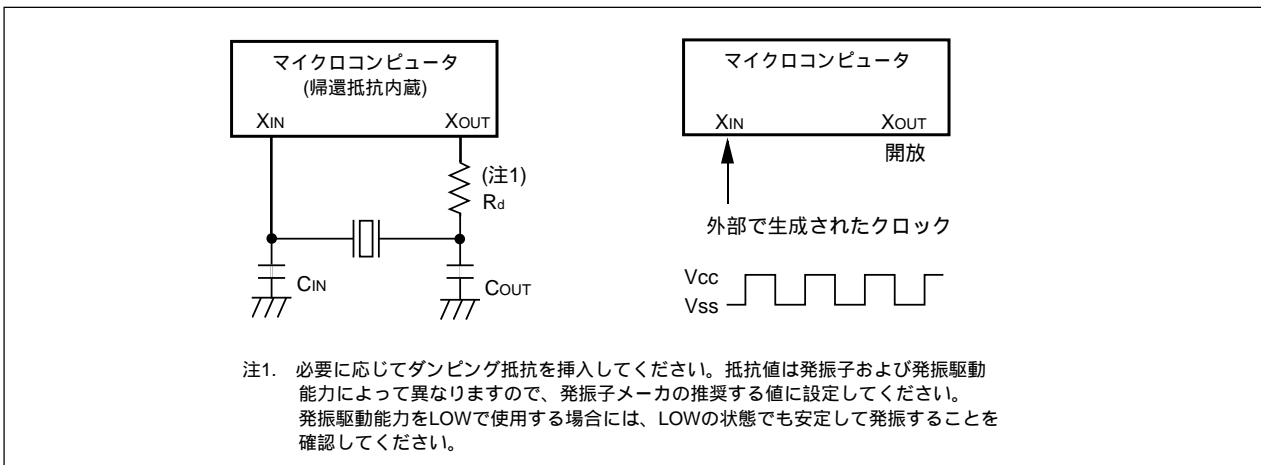


図1.9.1. メインクロックの接続例

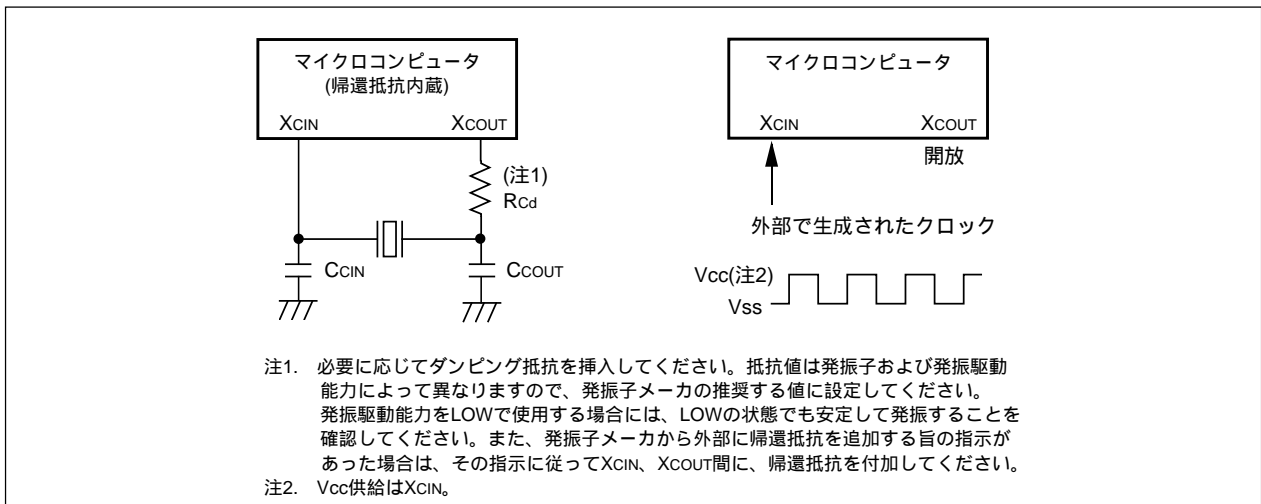


図1.9.2. サブクロックの接続例

クロックの制御

図1.9.3にクロック発生回路のブロック図を示します。

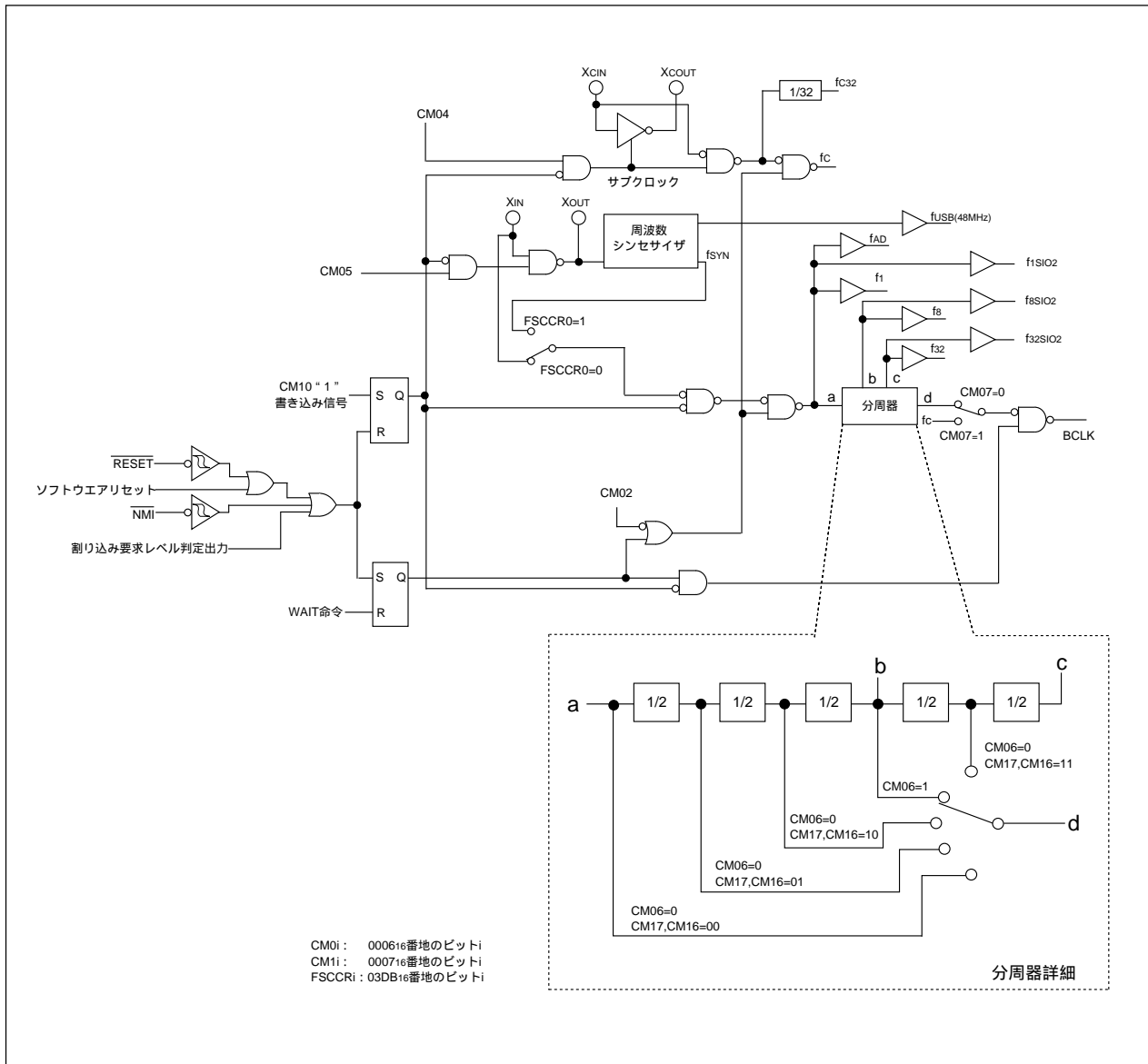


図1.9.3. クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、又はfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、又はWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

(7) fUSB

周波数シンセサイザで生成される48MHzのクロックです。USB回路に使用します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル アドレス リセット時
CM0 000616番地 4816

ビットシンボル	ビット名	機能	R/W
予約ビット		必ず“0”を設定してください	
CM02	WAIT時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロック停止しない 1: ウェイトモード時、周辺機能クロック停止する(注8)	
CM03	XcIN-XcOUT駆動能力選択ビット(注2)	0: LOW 1: HIGH	
CM04	ポートXc切り替えビット	0: 入出力ポート機能 1: XcIN-XcOUT発振機能(注9)	
CM05	メインクロック(XIN-XOUT)停止ビット(注3、注4、注5)	0: 発振 1: 停止	
CM06	メインクロック分周比選択ビット0(注7)	0: CM16,CM17有効 1: 8分周モード	
CM07	システムクロック選択ビット(注6)	0: XIN,XOUT選択 1: XcIN,XcOUT選択	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット0を“1”にしてください。
- 注2. ストップモードへの移行時およびリセット時、“1”になります。
- 注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
- 注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
- 注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままです。XINは帰還抵抗を介して、XOUT(“H”レベル)にプルアップされた状態となります。
- 注6. このビットを“0”から“1”にする場合、ポートXc切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
- 注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
- 注8. fc32は含まれません。低速モードおよび低消費電力モード時は“1”にしないでください。
- 注9. XcIN/XcOUTを使用する場合、ポートP86、P87は入力ポートで、プルアップなしを設定してください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	0		

シンボル アドレス リセット時
CM1 000716番地 2016

ビットシンボル	ビット名	機能	R/W
CM10	全クロック停止制御ビット(注4)	0: クロック発振 1: 全クロック停止(ストップモード)	
予約ビット		必ず“0”を設定してください	
CM15	XIN-XOUT駆動能力選択ビット(注2)	0: LOW 1: HIGH	
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 00: 分周なしモード	
CM17		01: 2分周モード 10: 4分周モード 11: 16分周モード	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット0を“1”にしてください。
- 注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
- 注3. システムクロック制御レジスタ0(000616番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
- 注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XcIN、XcOUTは、ハイインピーダンスになります。

図1.9.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁ ~ f₃₂、f_{1SIO2} ~ f_{32SIO2}、f_C、f_{C32}、f_{AD}は停止しますのでA/D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマAは外部パルスをカウントするイベントカウンタモードだけ、UART_i(i = 0 ~ 3)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.9.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表1.9.2. ストップモード時のポートの状態

端 子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS ₀ ~ CS ₃ ,	ストップモードに入る直前の状態を保持	
RD, WR, BHE, WRL, WRH	“H”	
HLDA, BCLK	“H”	
ALE	“H”	
ポート	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持

ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(f_{C32})は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウェイトモードに移行しないでください。ウェイトモード時のポートの状態を表1.9.3に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウェイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウェイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウェイトモードに移行してください。

表1.9.3. ウェイトモード時のポートの状態

端 子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS ₀ ~ CS ₃ ,	ウェイトモードに入る直前の状態を保持	
RD, WR, BHE, WRL, WRH	“H”	
HLDA, BCLK	“H”	
ALE	“H”	
ポート	ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.9.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードからストップモードへの移行時では保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、又はこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモードからの復帰時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.9.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、又は16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図1.9.5に示します。

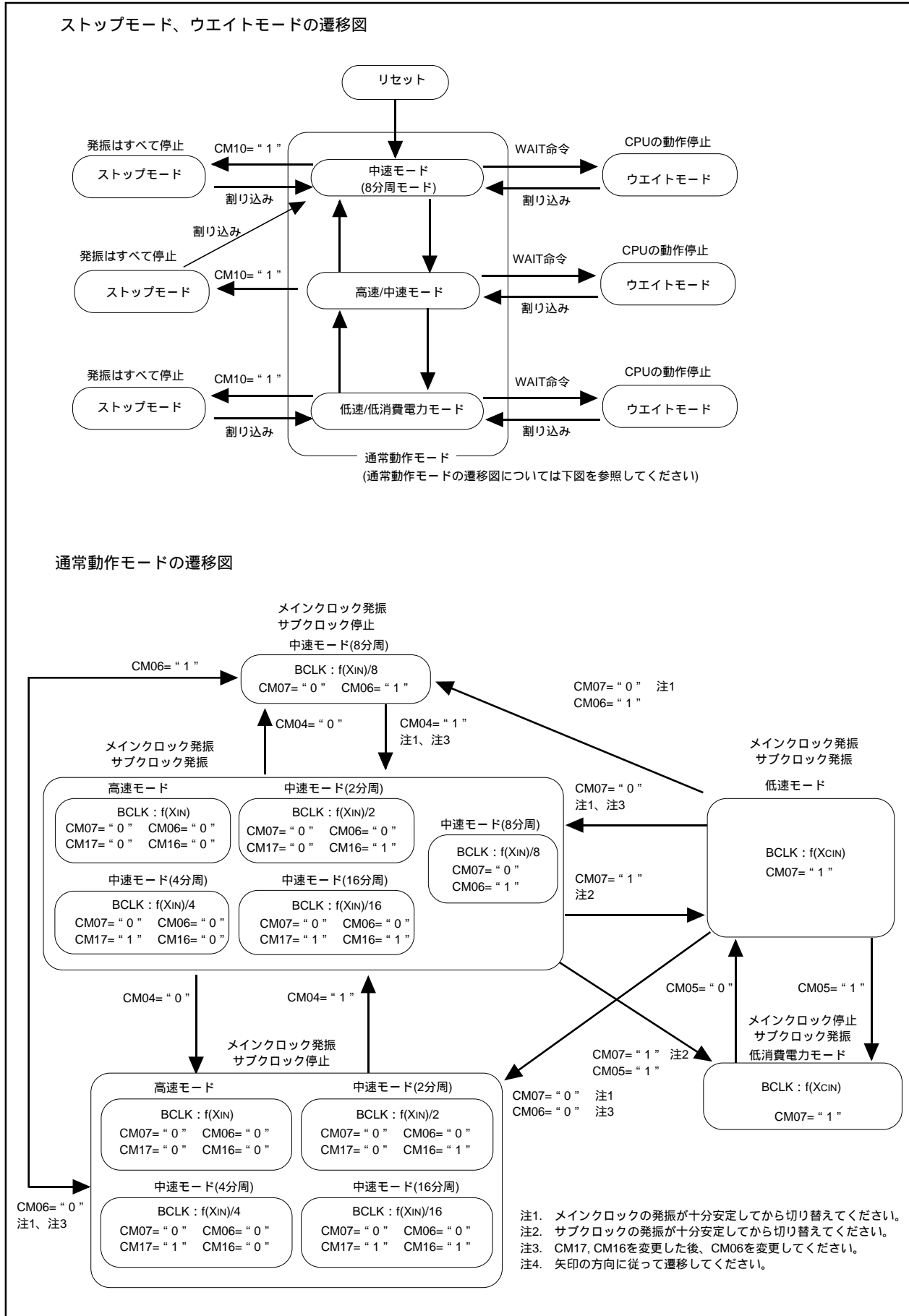


図1.9.5. 状態遷移図

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.9.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。

プロテクトレジスタの各ビットは、任意の番地に書き込みを実行しても自動的に“0”になりません。プログラムで“0”にしてください。

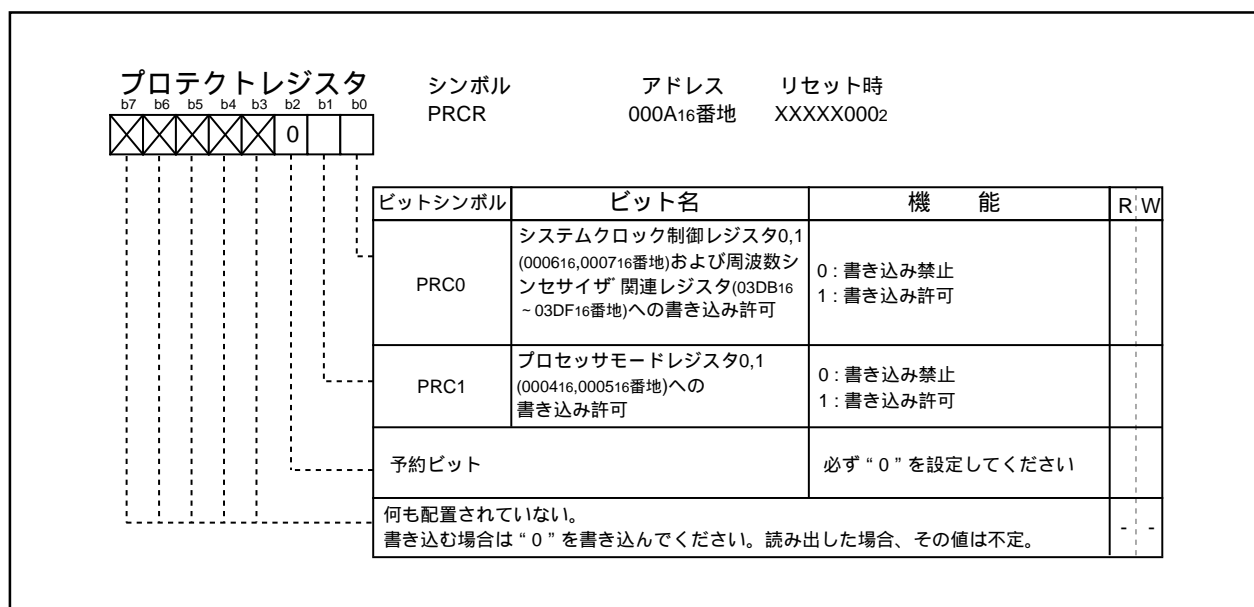


図1.9.6. プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図1.10.1に割り込みの分類を示します。

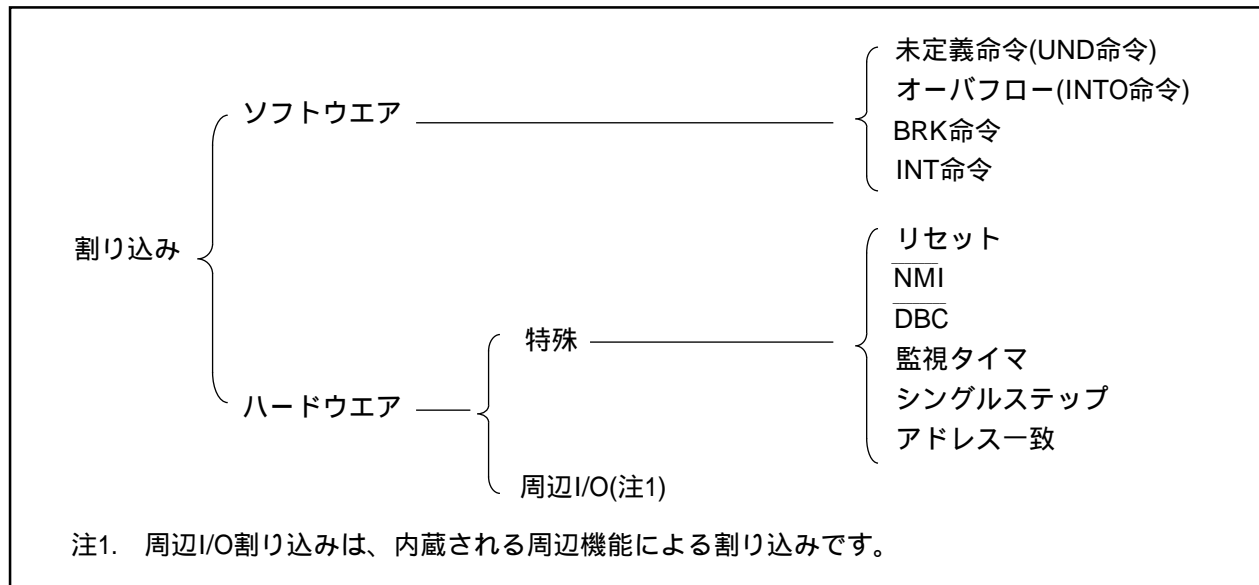


図1.10.1. 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベル設定による割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベル設定による割り込み優先順位の変更が**不可能**

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32~63では、スタックポインタは切り替わりません。

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0～DMA3割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$ 端子に“L”を入力すると発生します。

(4) A/D変換割り込み

A/D変換器による割り込みです。

(5) UART関連割り込み(UART0～UART3)

- ・UART i 送信/NACK割り込み($i=2,3$)
- ・UART i 送信/NACK/SSインタフェース i 送信($i=0,1$)
- ・UART i 受信/ACK割り込み($i=2,3$)
- ・UART i 受信/ACK/SSインタフェース i 受信($i=0,1$)
- ・バス衝突検出、スタート/ストップコンディション検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。I²Cモード選択時、スタート、ストップコンディション割り込みが選択されます。

(6) USB(エンドポイント0,サスペンド,レジューム,SOF,リセット,Vbus検出,機能)割り込み

USBによる割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) $\overline{\text{INT0}} \sim \overline{\text{INT2}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりエッジ、立ち上がりエッジ、又は両エッジを入力すると発生します。

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.10.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図1.10.2. 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.10.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.10.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L) ~ アドレス(H)	備考
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ~ FFFE _B ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE _C ₁₆ ~ FFFE _F ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆	通常は使用禁止
NMI	FFFF8 ₁₆ ~ FFFF _B ₁₆	NMI端子入力による外部割り込み
リセット	FFFF _C ₁₆ ~ FFFFF ₁₆	

注1. デバッガ専用割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.10.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.10.2. 割り込み要因(可変ベクタテーブル)

ソフトウェア 割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H) (注1)	割り込み要因
0	+0 ~ +3	BRK命令 (注2)
1	+4 ~ +7	キー入力
2	+8 ~ +11	UART2受信/ACK (注3)
3	+12 ~ +15	UART1/UART3バス衝突検出、スタート/ストップコンディション検出 (注3)
4	+16 ~ +19	INT1
5	+20 ~ +23	タイマA1
6	+24 ~ +27	USB EP0
7	+28 ~ +31	タイマA2
8	+32 ~ +35	UART1受信/ACK/SSインタフェース1受信 (注3)
9	+36 ~ +39	UART0/UART2バス衝突検出、スタート/ストップコンディション検出 (注3)
10	+40 ~ +43	UART0受信/ACK/SSインタフェース0受信 (注3)
11	+44 ~ +47	A/D
12	+48 ~ +51	DMA0
13	+52 ~ +55	UART3送信/NACK (注3)
14	+56 ~ +59	DMA1
15	+60 ~ +63	UART2送信/NACK (注3)
16	+64 ~ +67	DMA2
17	+68 ~ +71	UART1送信/NACK/SSインタフェース1送信 (注3)
18	+72 ~ +75	DMA3
19	+76 ~ +79	UART0送信/NACK/SSインタフェース0送信 (注3)
20	+80 ~ +83	タイマA0
21	+84 ~ +87	UART3受信/ACK (注3)
22	+88 ~ +91	USBサスペンド
23	+92 ~ +95	タイマA3
24	+96 ~ +99	USBレジューム
25	+100 ~ +103	タイマA4
26	+104 ~ +107	USBリセット
27	+108 ~ +111	USB SOF
28	+112 ~ +115	USB Vbus検出
29	+116 ~ +119	USB機能
30	+120 ~ +123	INT2
31	+124 ~ +127	INT0
32 ~ 63	+252 ~ +255	ソフトウェア割り込み (注2)

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. Iフラグによるマスク不可

注3. I²Cモード選択時にNACK/ACK、スタート/ストップコンディション検出割り込みが選択されます。

割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

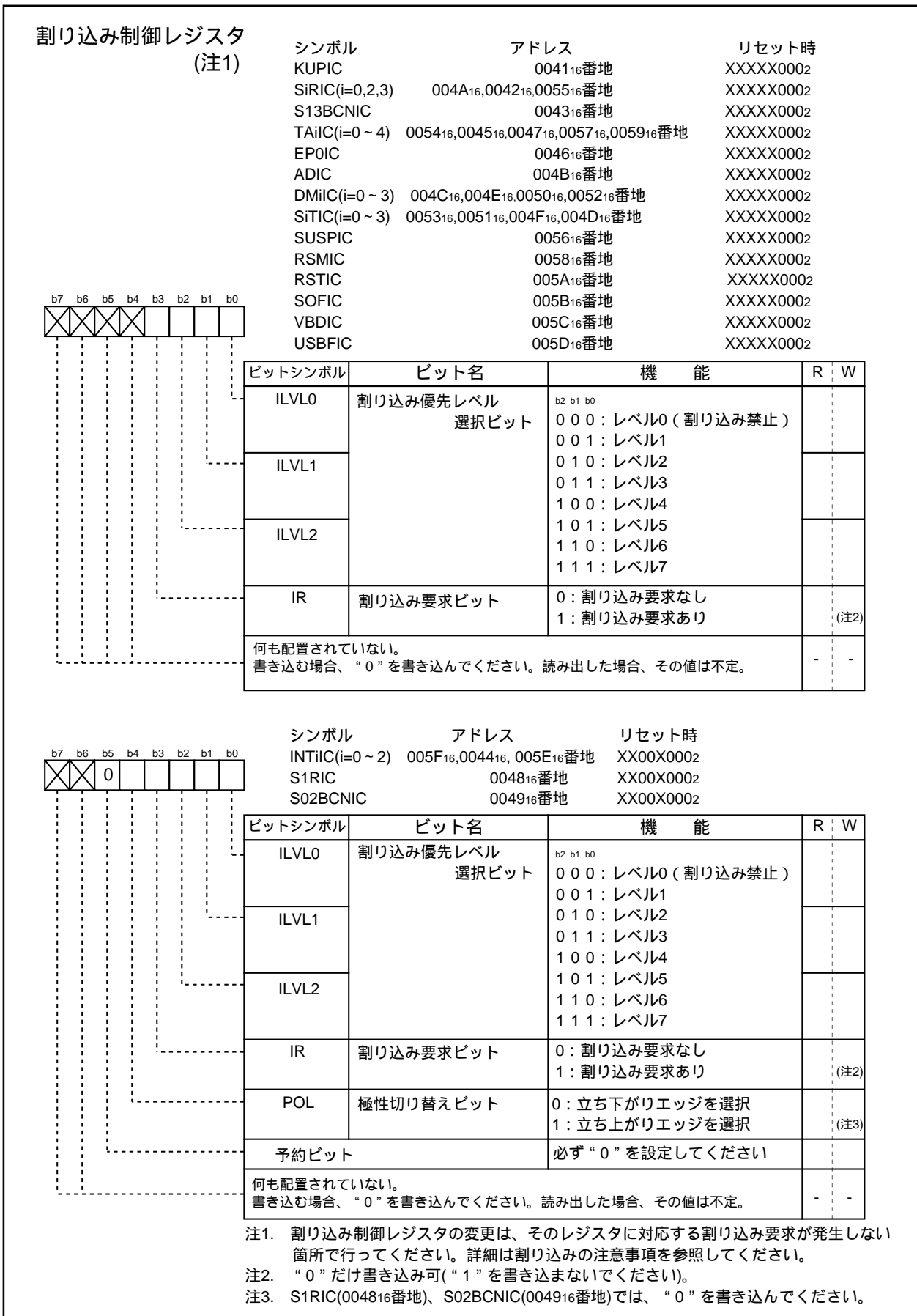


図1.10.3. 割り込み制御レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.10.3に割り込み優先レベルの設定を、表1.10.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.10.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表1.10.4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

・ IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

・ IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR      I                ; 割り込み禁止
  AND.B     #00H , 0055H     ; TA0ICレジスタを “00h” にする
  NOP
  NOP
  FSET      I                ; 割り込み許可
```

NOP命令の数は、次の通り

PM20=1(1ウェイト)時、2個。PM20=0(2ウェイト)時、3個。HOLD使用時、4個。

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR      I                ; 割り込み禁止
  AND.B     #00H , 0055H     ; TA0ICレジスタを “00h” にする
  MOV.W     MEM , R0         ; ダミーリード
  FSET      I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC     FLG
  FCLR      I                ; 割り込み禁止
  AND.B     #00H , 0055H     ; TA0ICレジスタを “00h” にする
  POPC     FLG              ; 割り込み許可
```

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.10.4に割り込み応答時間を示します。

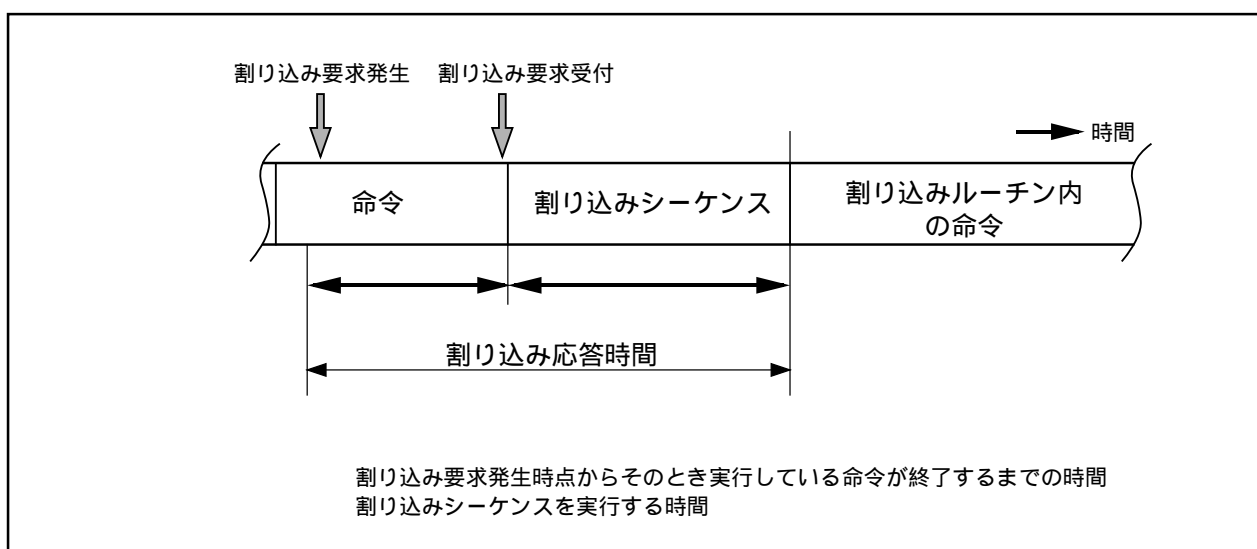


図1.10.4. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表1.10.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

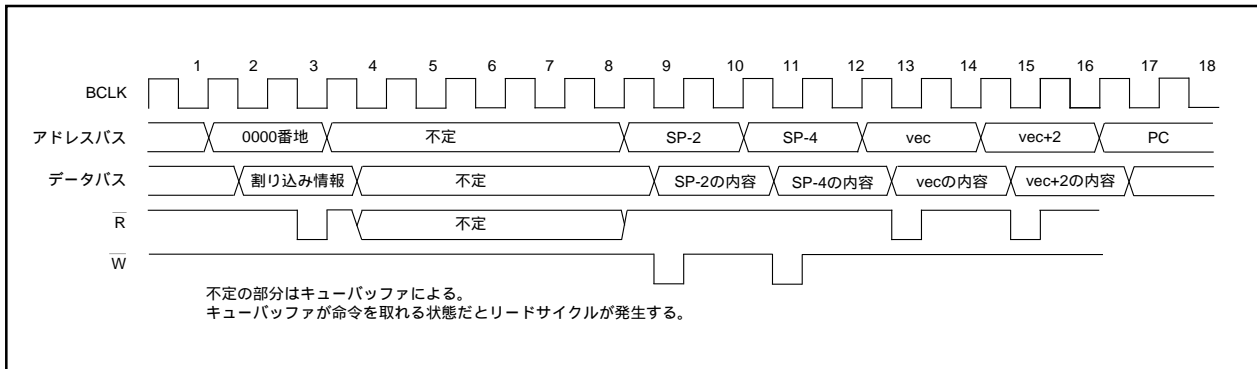


図1.10.5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.10.6に示す値がIPLに設定されます。

表1.10.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図1.10.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

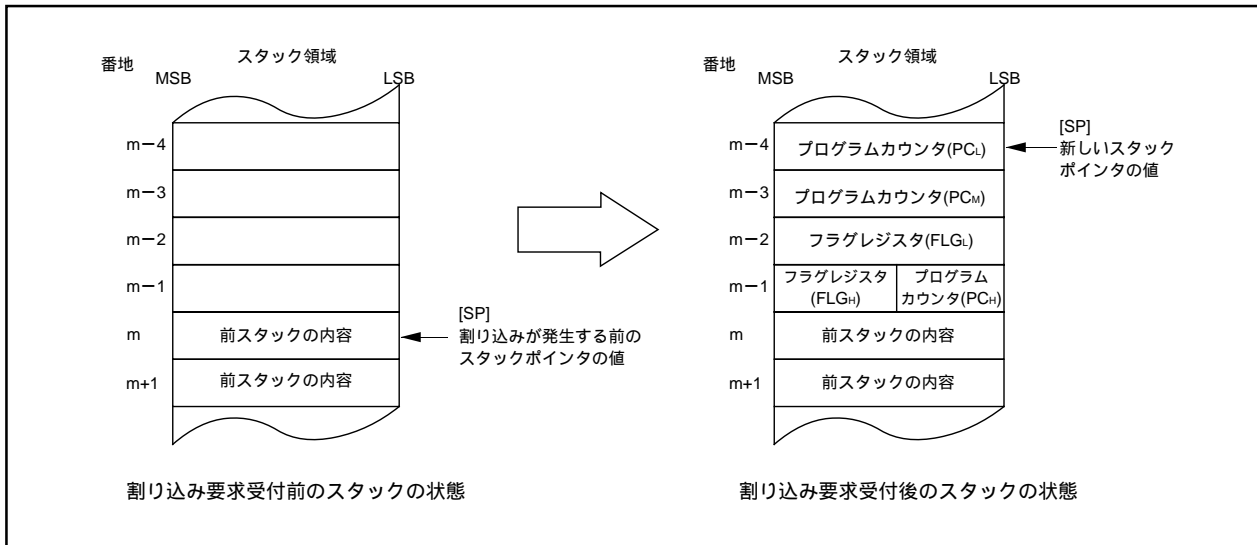
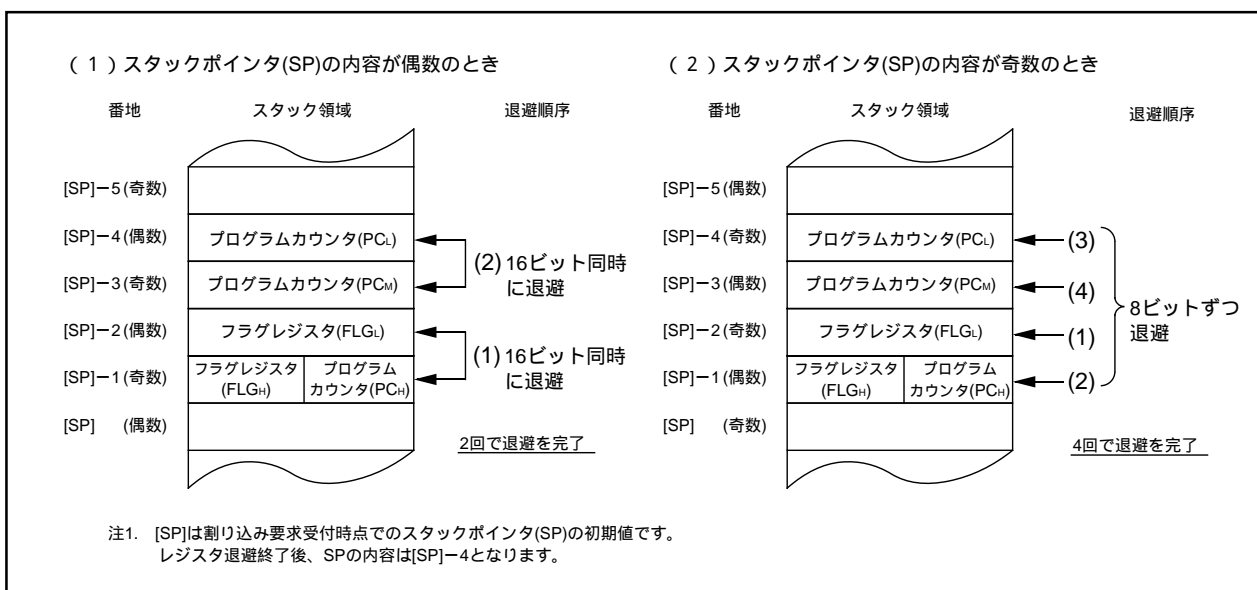


図1.10.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.10.7にレジスタ退避動作を示します。

注1. Uフラグが示すスタックポインタです。



注1. [SP]は割り込み要求受付時点でのスタックポインタ(SP)の初期値です。レジスタ退避終了後、SPの内容は[SP]-4となります。

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図1.10.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

リセット > NMI > DBC > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図1.10.8. ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.10.9に割り込み優先レベルの判定回路を示します。

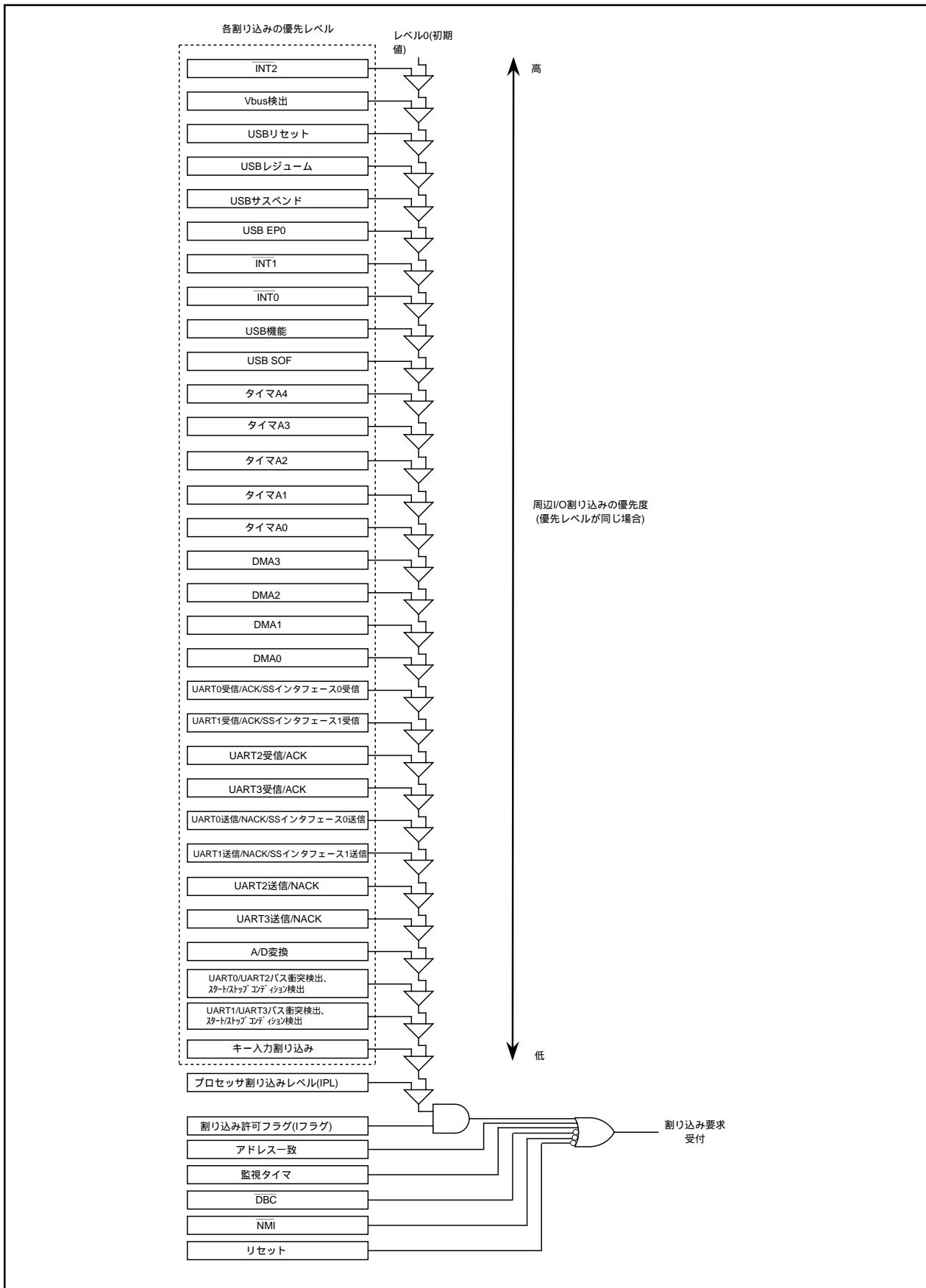


図1.10.9. 割り込み優先レベル判定回路

INT割り込み

INT0 ~ INT2は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下りの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。図1.10.10に外部割り込み要因選択レジスタを示します。

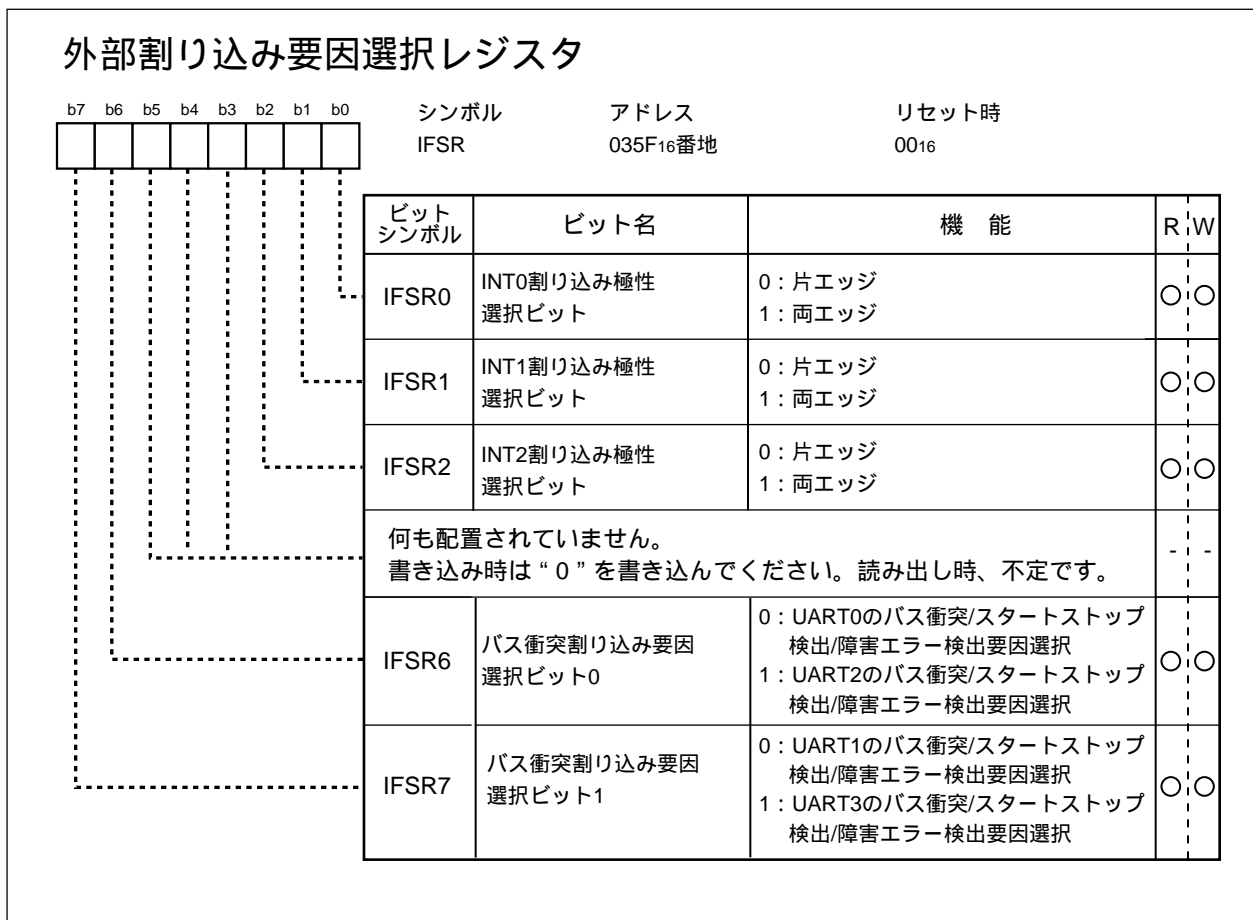


図1.10.10. 外部割り込み要因選択レジスタ

NMI割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F0₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

注意事項

- (1) $\overline{\text{NMI}}$ 機能をご使用にならない場合は、必ず $\overline{\text{NMI}}$ 端子をVccに接続して下さい。 $\overline{\text{NMI}}$ 割り込みはノンマスクブルであり、無効にすることはできませんので、必ず端子処理が必要です。
- (2) $\overline{\text{NMI}}$ 端子入力が“L”のとき、ストップモードおよびウエイトモードへは移行しないでください。 $\overline{\text{NMI}}$ 割り込みは立ち下がりエッジによる割り込みですので、必要以上に“L”レベルを長く維持する必要はありません。

キー入力割り込み

P10のうち方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジ、立ち上がりエッジ、又は両方のエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。キー入力モードレジスタのビット1,2でキー入力割り込みのためのエッジを選択できます。P10はプルアップ制御レジスタを使用することにより、プルアップ設定できます。

(1) キー入力割り込みの許可と禁止

キー入力割り込みは、キー入力モードレジスタ(03F9₁₆番地)とキー入力割り込み制御レジスタ(0041₁₆番地)の設定により許可/禁止を設定します。キー入力割り込みは割り込み優先レベル(IPL)と割り込み許可フラグ(Iフラグ)に影響されます。キー入力割り込みのトリガとなる入力信号のエッジは、P10キー入力エッジ選択ビット(03F9₁₆番地のビット0,1)によって立ち下がり、立ち上がり、又は両方のエッジを選択できます。

(2) キー入力割り込みの発生タイミング

キー入力割り込みが許可状態で、P10の方向レジスタが入力に設定されると、P10はキー入力割り込み端子($\overline{\text{KI0}} \sim \overline{\text{KI7}}$)となります。キー入力割り込み端子のいずれかに選択したエッジを入力すると、キー入力割り込みが発生します。このとき、他のキー入力割り込み端子が“H”レベルでなければなりません。

(3) キー入力割り込みの決定の仕方

8本のキー入力端子のうちいずれかに選択したエッジが入力されるとキー入力割り込みが発生します。すべてのキー入力割り込み端子は同じベクタアドレスを共有しているため、割り込み端子を決定するためには、キー入力割り込みルーチンでP10の入力レベルを読み出してください。

(4) キー入力割り込みのレジスタ関連

キー入力割り込み関連レジスタのブロック図を図1.10.11、メモリマップを図1.10.12、キー入力モードレジスタを図1.10.13に示します。

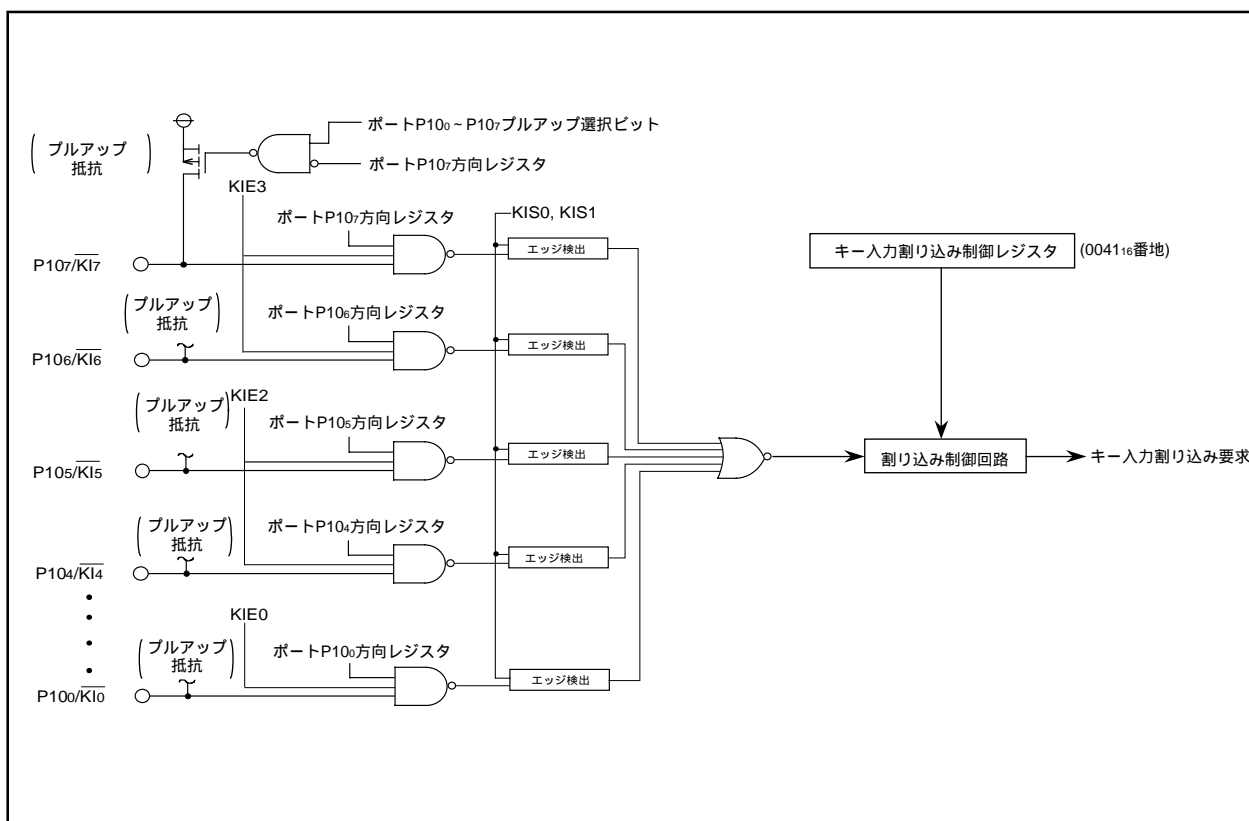


図1.10.11. キー入力割り込みのブロック図

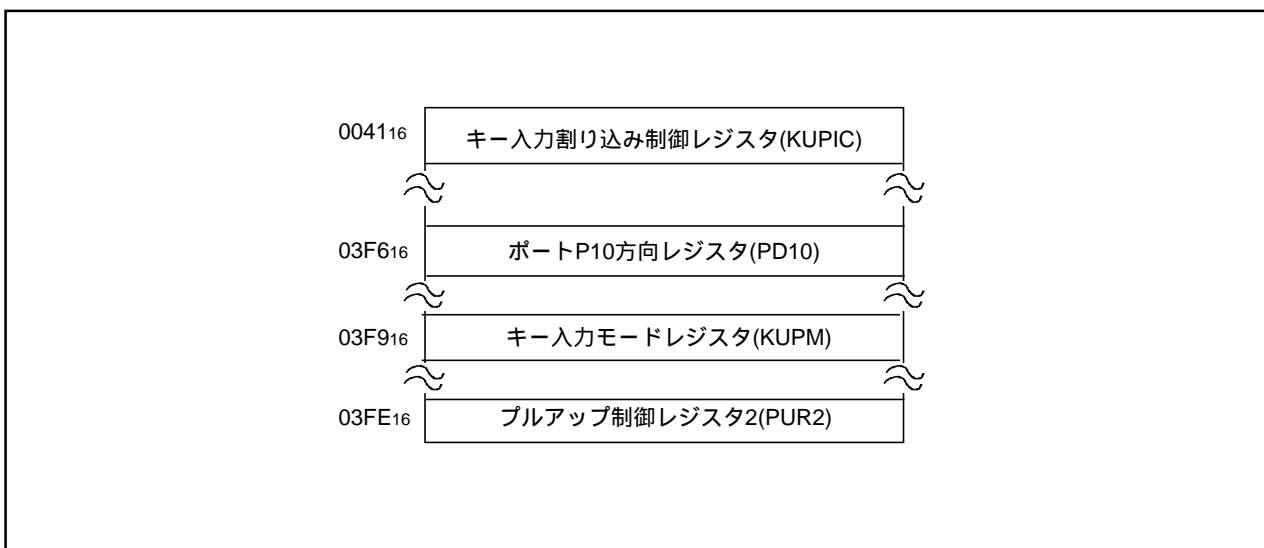


図1.10.12. キー入力割り込み関連レジスタメモリマップ

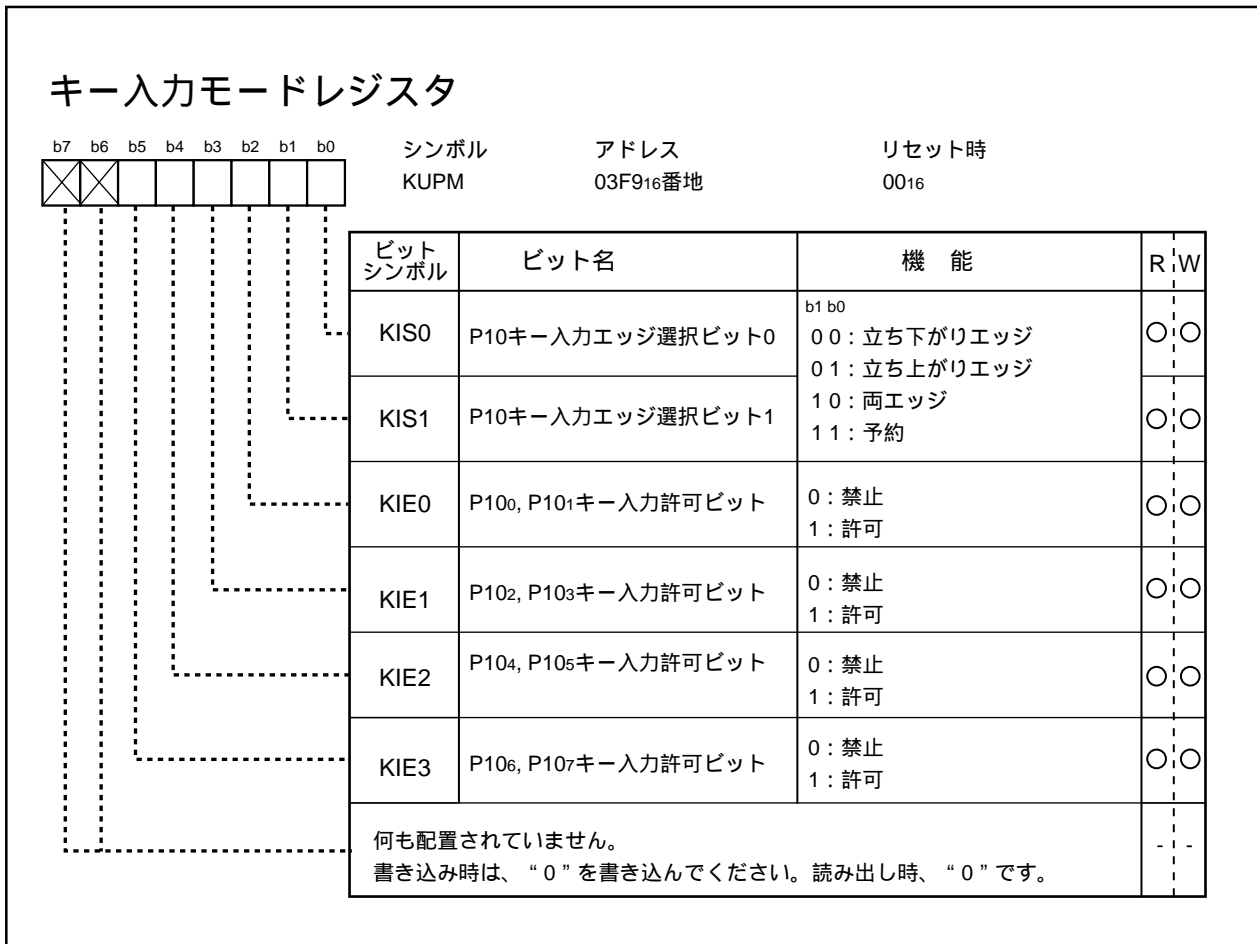


図1.10.13. キー入力モードレジスタ

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。

また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図1.10.14にアドレス一致割り込み関連レジスタの構成を示します。

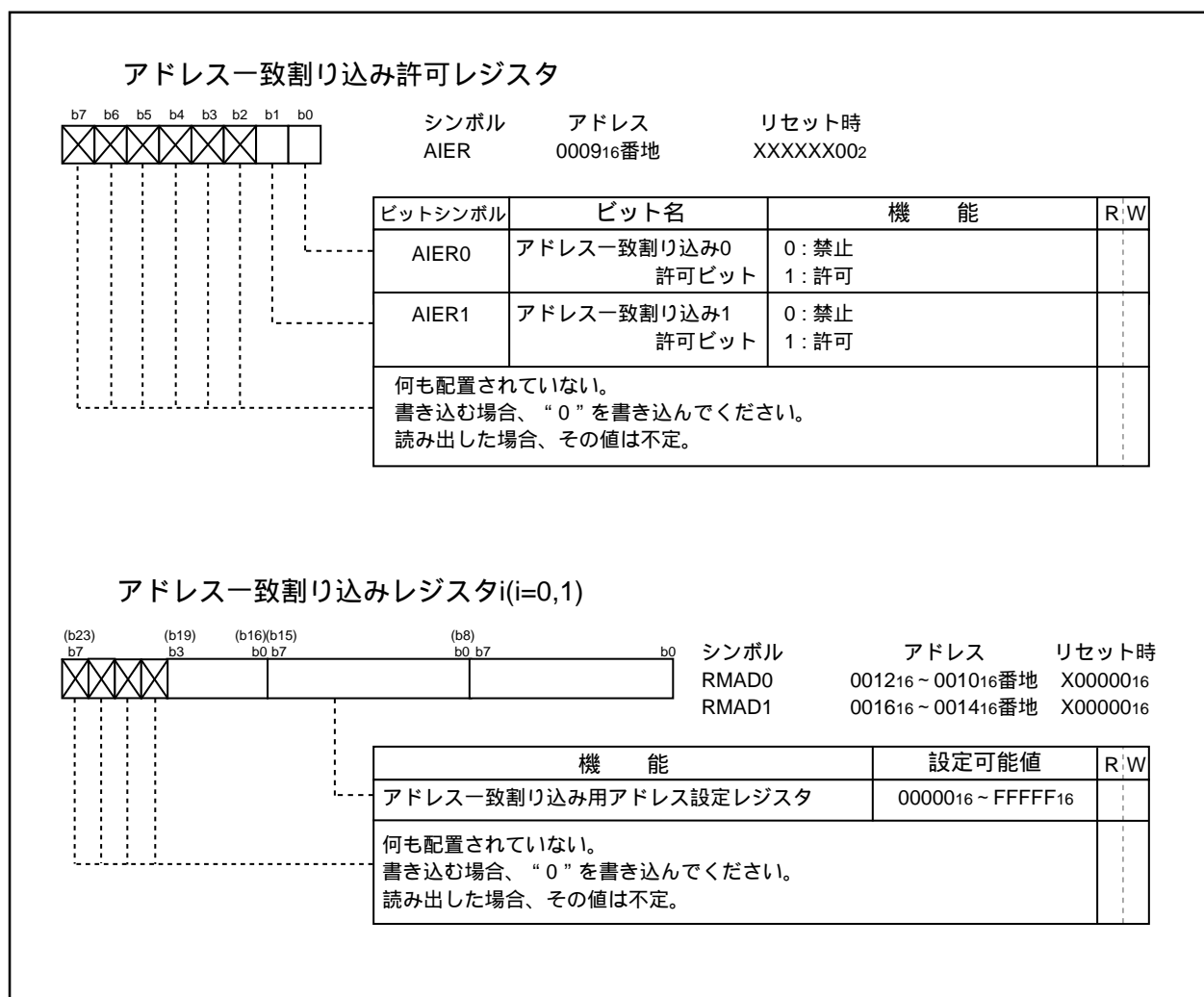


図1.10.14. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態のリセットをかけないでください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ですトップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ですウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの(2クロック+300ns)以上の“L”レベル幅が必要です。

(4) 外部割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_2$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、又は“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_2$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図1.10.15に示します。

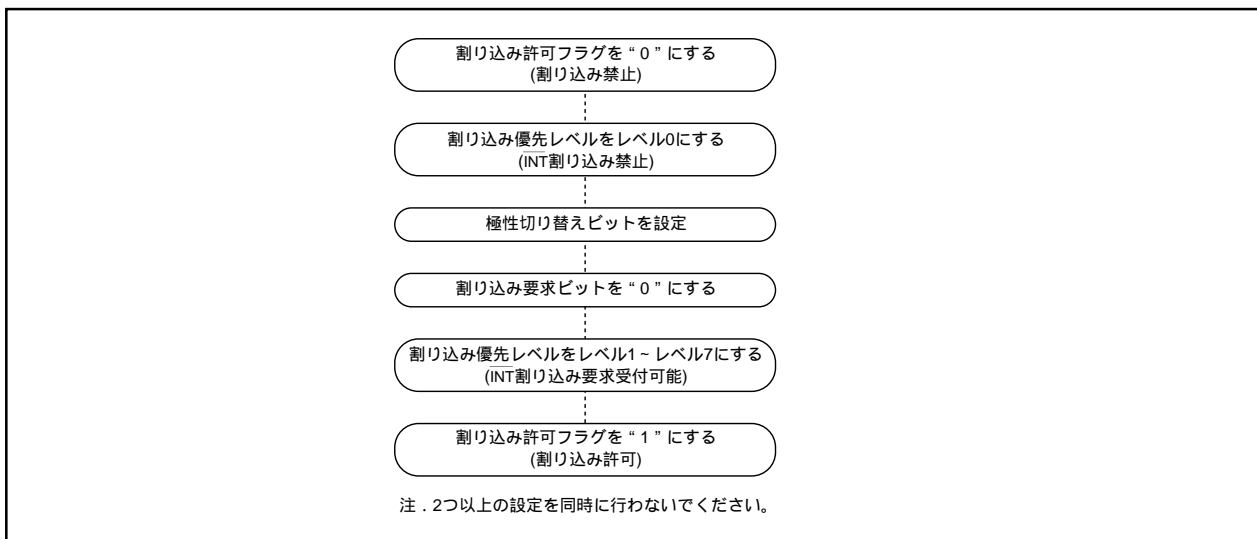


図1.10.15. INT割り込み発生要因の切り替え手順例

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込み禁止状態にしてから変更してください。

< 割り込み制御レジスタを書き換えるプログラム例 >

アセンブラの場合

例1：

```

INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0054H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP    ; HOLD機能を使用する場合はNOP命令が4個必要
  FSET   I           ; 割り込み許可状態
  
```

例2：

```

INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0054H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
  
```

例3：

```

INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0054H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
  
```

C言語の場合

```

#pragma ASM
  INT_SWITCH :
    FCLR I
#pragma ENDASM
  TA0IC &=00 ; /* タイマA0割り込み制御レジスタに "0016" を設定*/
#pragma ASM
  NOP      /* HOLD機能を使用する場合はNOP命令が4個必要*/
  NOP
  FSET I
#pragma ENDASM
  
```

例1と例2でFSET 1命令の前にNOP命令2個(HOLD機能使用時は4個)やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みにより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケータで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケータの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケータの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケータによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(16、\text{又は}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケータの分周比として16分周を選択している場合、監視タイマの周期は、約32.77msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケータは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケータは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。

ストップモード、ウェイトモード、又はHOLD時、監視タイマとプリスケータは停止しています。これらのモードを解除後、残りの値からカウントを開始します。

図1.11.1に監視タイマのブロック図、図1.11.2に監視タイマ関連レジスタの構成を示します。

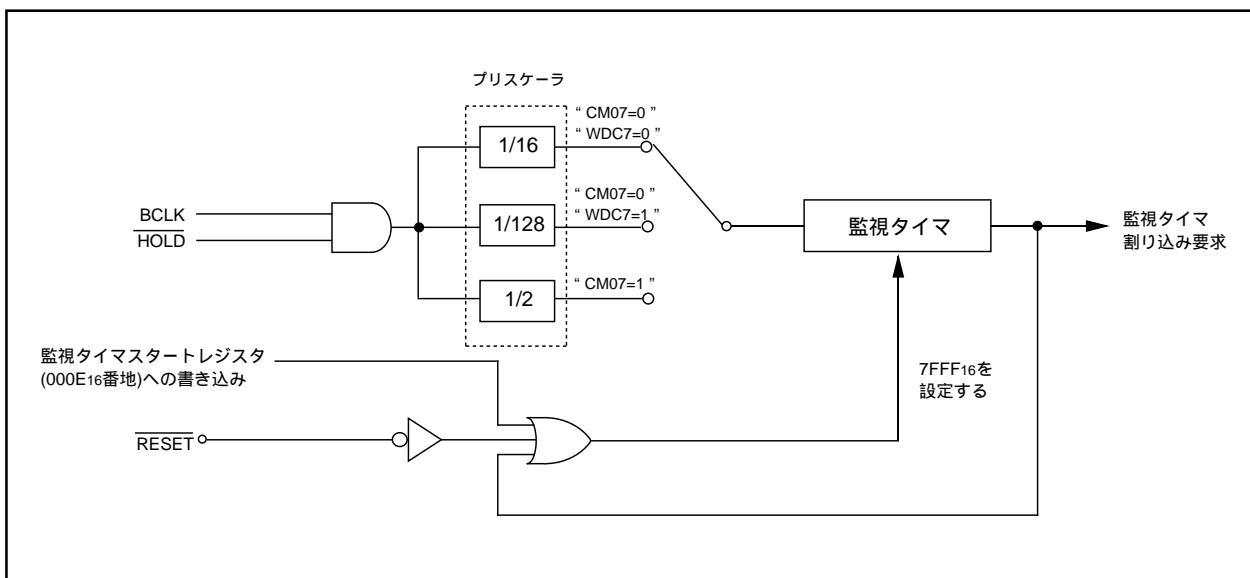


図1.11.1. 監視タイマのブロック図

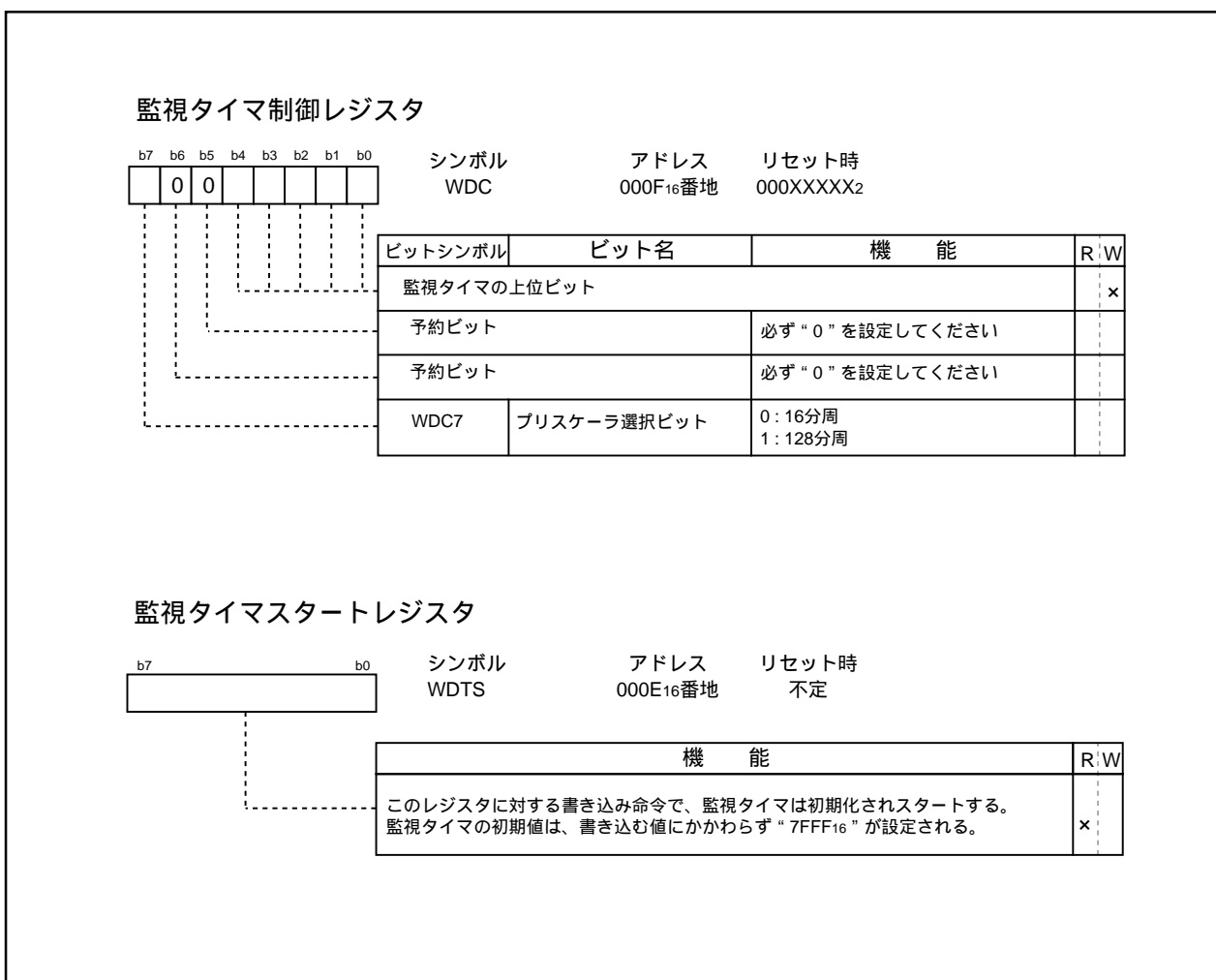


図1.11.2. 監視タイマ関連レジスタ

周波数シンセサイザ

周波数シンセサイザは、外部入力基準クロック $f(XIN)$ の倍数である f_{SYN} およびUSBブロックに必要な48MHzクロック f_{USB} を生成します。図1.12.1に周波数シンセサイザ回路ブロック図を示します。

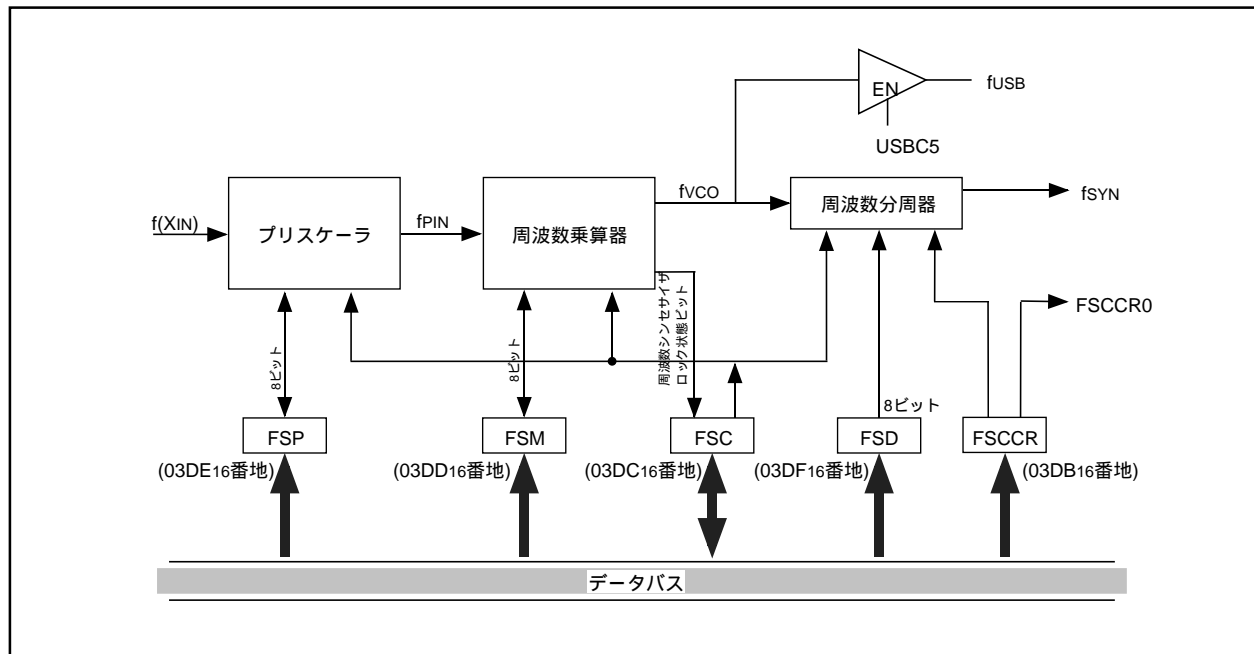


図1.12.1. 周波数シンセサイザ回路ブロック図

プリスケラ

周波数シンセサイザプリスケラレジスタ(03DE₁₆番地 : FSP) の内容により $f(XIN)$ が分周され、 f_{PIN} が生成されます。周波数シンセサイザプリスケラレジスタの設定を255にすると、分周は禁止となり $f_{PIN} = f(XIN)$ になります。

$$f_{PIN} = f(XIN)/2(n+1) \quad n : \text{FSPの設定値}$$

表1.12.1にFSPの設定値を示します。

表1.12.1. 周波数シンセサイザプリスケラレジスタの設定値

f_{PIN}	FSP		$f(XIN)$
	10進表記	16進表記	
12 MHz	255	FF ₁₆	12.00 MHz
1 MHz	7	07 ₁₆	16.00 MHz
1 MHz	5	05 ₁₆	12.00 MHz
2 MHz	3	03 ₁₆	16.00 MHz
2 MHz	2	02 ₁₆	12.00 MHz
3 MHz	1	01 ₁₆	12.00 MHz
6 MHz	0	00 ₁₆	12.00 MHz

周波数乗算器

周波数シンセサイザ乗算レジスタ(03DD₁₆番地：FSM)の内容によりfvcoが生成されます。周波数シンセサイザ乗算レジスタの設定値を255にすると、乗算は禁止となりfvco = fPINになります。fvcoの値が48MHzになるようにnの値を選択してください。

$$fvco = fPIN \times 2(n+1) \quad n : \text{FSMの設定値}$$

表1.12.2にFSMの設定値を示します。

表1.12.2. 周波数シンセサイザ乗算レジスタの設定値

f _{PIN}	FSM		fvco
	10進表記	16進表記	
1 MHz	23	17 ₁₆	48.00 MHz
2 MHz	11	0B ₁₆	48.00 MHz
4 MHz	5	05 ₁₆	48.00 MHz
6 MHz	3	03 ₁₆	48.00 MHz
8 MHz	2	02 ₁₆	48.00 MHz
12 MHz	1	01 ₁₆	48.00 MHz

周波数分周器

周波数シンセサイザ除算レジスタ(03DF₁₆番地：FSD)の内容によりfsynが生成されます。周波数シンセサイザ除算レジスタの設定値を255にすると、除算は禁止となりfsyn = fvcoになります。

$$fsyn = fvco/2(m+1) \quad m : \text{FSDの設定値}$$

注. m = 2 かつ、周波数シンセサイザクロック制御レジスタ(03DB₁₆番地：FSCCR)のビット4を“1”に設定とき、fsyn = fvco/(m+1) になります。

表1.12.3にFSDの設定値を示します。

表1.12.3. 周波数シンセサイザ除算レジスタの設定値

fvco	FSD		fsyn
	10進表記	16進表記	
48.00 MHz	1	01 ₁₆	12.00 MHz
48.00 MHz	2	02 ₁₆	8.00 MHz
48.00 MHz	2	02 ₁₆	16.00 MHz (注1)
48.00 MHz	3	03 ₁₆	6.00 MHz
48.00 MHz	127	7F ₁₆	187.50 kHz

$$fsyn = fvco/2(m+1)$$

注1. FSCCR4 = 1 かつ m = 2のとき、fsyn = fvco/(m+1) です。

周波数シンセサイザ制御レジスタ

周波数シンセサイザ許可ビット(FSE)を“1”に設定することで周波数シンセサイザを許可にします。周波数シンセサイザが許可のとき、周波数シンセサイザロック状態ビット(LS)が“1”ならば、fsynとfvcoは正しい周波数であることを示します。

図1.12.2に周波数シンセサイザ関連レジスタの構成を示します。

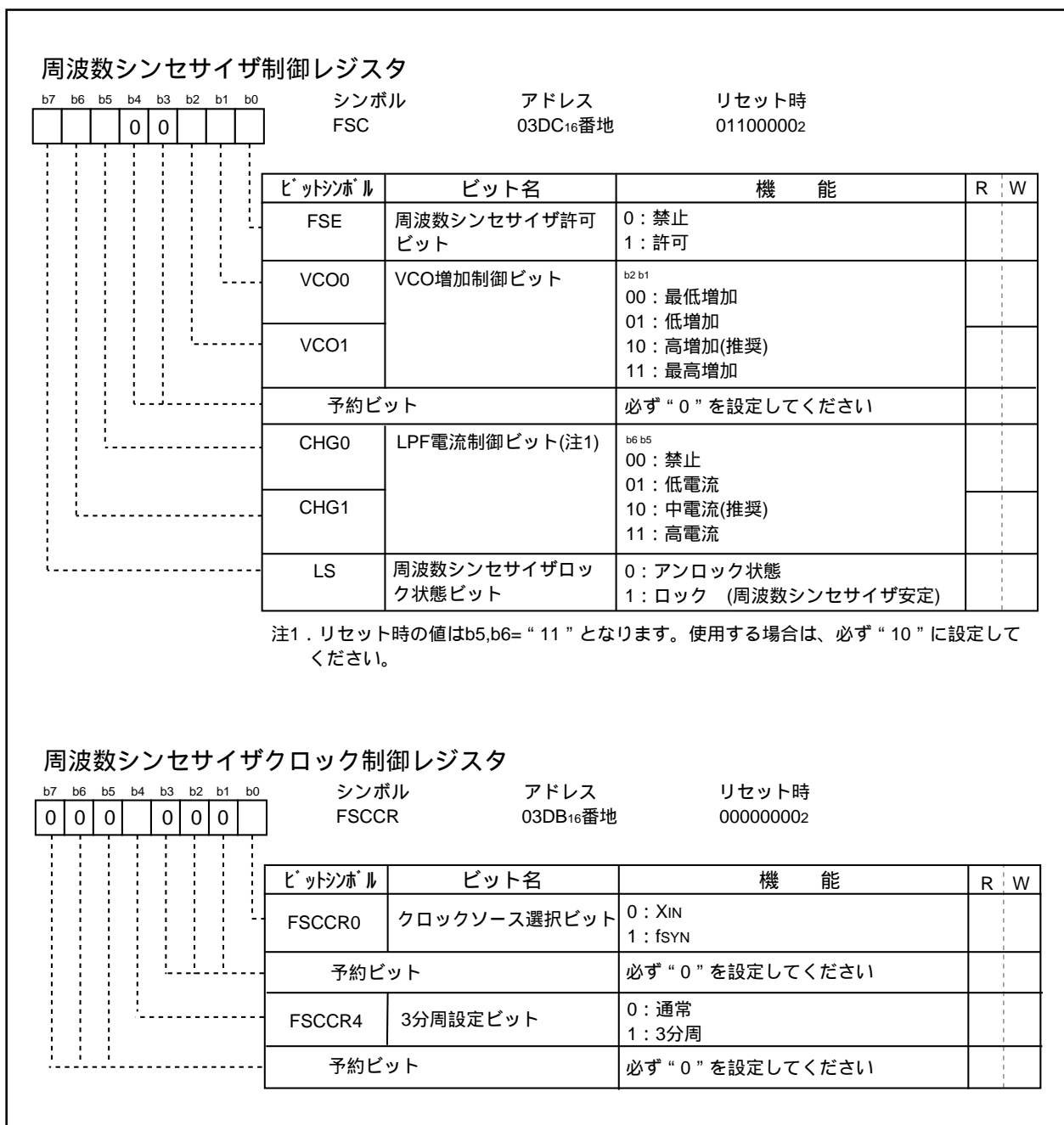


図1.12.2. 周波数シンセサイザ関連レジスタの構成

注意事項

周波数シンセサイザを使用する場合は、ローパスフィルタをLPF端子へ接続してください。

周波数シンセサイザ制御レジスタのビット6,5はリセット時“11”(高電流)です。周波数シンセサイザ制御レジスタを使用する場合はビット6,5=“10”(中電流)へ変更してください。

fPINは12MHz以下になるようにしてください。

fPINが1MHzより小さくならないようにFSPを設定してください。

USB機能

M30245グループはUSB2.0仕様に準拠したUSBファンクション制御ユニットを内蔵しています。このUSBファンクション制御ユニットはfull-speed機能に対応しており、ホストコンピュータとの通信を効率良く行います。

USB2.0仕様は4種の転送タイプを定義しています。コントロール転送、アイソクロナス転送、インタラプト転送およびバルク転送です。これらの転送タイプはさまざまなPC周辺機器に対応します。アイソクロナス転送は連続的で周期的な通信に使用されます。インタラプト転送はマウス、キーボードなどの周期的、低頻度のデータをデバイスからホストに通知する転送です。また、バルク転送は可変的なバス幅でPCへ大容量データを伝達するデジタルカメラやスキャナーに必要となります。最後にコントロール転送は、バスマネージメントが主でホスト初期化等の情報伝達をサポートしています。

USBファンクション制御ユニットは、エンドポイント0、エンドポイント1~4OUT(受信)、エンドポイント1~4IN(送信)の9つのエンドポイントを持ち、エンドポイントごとにFIFOを持ちます。エンドポイント0はコントロール転送のみ使用できます。エンドポイント1~4 IN/OUTはそれぞれアイソクロナス転送、インタラプト転送およびバルク転送を設定できます。

USB機能を使用する場合は、USB許可ビット(USBC7)を“1”にしてください。USB割り込みとして、USBサスペンド、USBレジューム、USBリセット、USBエンドポイント0割り込み、USB機能割り込み及びUSB SOF割り込みがあります。

図1.13.1にUSBファンクション制御ユニットブロック図を示します。USBファンクション制御ユニットブロックはUSBシリアルデータ通信を行うSIE (シリアル・インタフェース・エンジン)、USBプロトコル処理を行うGFI (ジェネリック・ファンクション・インタフェース)、受信したアドレスとエンドポイントをデコードするSIU (シリアルエンジン・インタフェース・ユニット)、マイクロコントローラとのインタフェースと制御信号のアドレスデコード、同期を行うMCI (マイクロ・コントローラ・インタフェース) およびUSBトランシーバから構成されています。

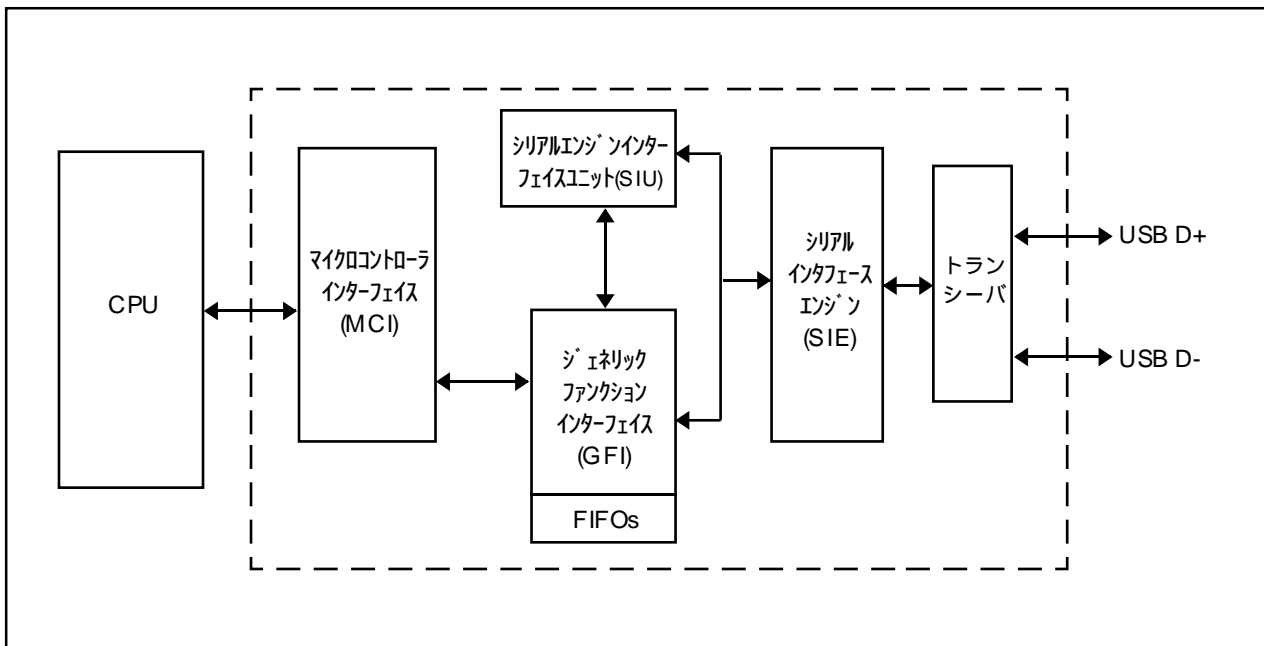


図1.13.1. USBファンクション制御ユニットブロック図

USBエンドポイントFIFO

エンドポイント0~4はそれぞれに独立してIN(送信)FIFOとOUT(受信)FIFOを持っています。各エンドポイントを使用する場合は、エンドポイント許可レジスタ(028E₁₆番地)により、使用するエンドポイントを許可してください。USBファンクション制御ユニット(USB FCU)は、エンドポイントバッファとして3328バイトのFIFOを内蔵しています。エンドポイント0 FIFOは、IN/OUT FIFOそれぞれ128バイト、合計256バイト(固定)であり、3328バイトのFIFOの3072バイト目から3327バイト目までに配置されます(固定)。各エンドポイント(x=1~4) IN/OUTのFIFOサイズとFIFO開始ロケーション(64バイトごと)はユーザシステムに応じて設定できます。1つのエンドポイントに対してFIFOサイズは64バイト単位で最高1024バイトまで、IN/OUTそれぞれ設定できます。ダブルバッファモードを許可すると、設定したバッファサイズの2倍がIN/OUT FIFOとして使用できます。8エンドポイント(エンドポイントx(x=1~4) IN/OUT FIFO)のFIFOサイズの合計が3072バイトを超えてはいけません。FIFOサイズ、FIFO開始ロケーション、ダブルバッファモード許可は、USBエンドポイントx IN FIFOコンフィグレーションレジスタ、USBエンドポイントx OUT FIFOコンフィグレーションレジスタで設定してください。

転送タイプ

コントロール転送

主にセットアップ時に使用されます。標準デバイスリクエストはすべてのデバイスがサポートされなければならないので、USBに対応する機器ではコントロール転送が例外なくサポートされます。

バルク転送

エンドポイント1~4が使用できます。勃発的で非周期的な通信のうち、遅延が問題にならない用途に使用されるデータ転送です。プリンタの印字データやスキャナのイメージデータなど、大量のデータを転送するのに適します。

アイソクロナス転送

エンドポイント1~4が使用できます。対応するエンドポイントのISOビットを“1”にセットします。送信データをSOF信号に同期させるため、次のSOFを受信するまでデータパケットの送信を遅延させることができます。

インタラプト転送

エンドポイント1~4が使用できます。通常のインタラプト転送の場合、インタラプトトランザクションは、バルク転送と同じです。INエンドポイントを rate feedbackインタラプト転送として使用できます。この場合、EPxICSレジスタのINTPTビットを“1”にセットしてください。デバイスは、常にINトークンに対してFIFO内のデータ送信します。

INエンドポイントを rate feedbackインタラプト転送として使用する場合の方法を以下に示します。

- (1) シングルバッファに設定。
- (2) INTPTビットを“1”にセット。
- (3) 割り込み情報をFIFOへ設定し、SET_IN_BUF_RDYビットを“1”にセット。
- (4) 3を繰り返す。

エンドポイント0送信(IN)

USBエンドポイント0 IN FIFOデータレジスタへデータを書き込むことにより、内部ライトポインタがワードアクセス時では2、バイトアクセス時では1、自動的にインクリメントされます。EP0CSRのIN_BUF_RDYビットが“0”であれば、USBエンドポイント0 IN FIFOデータレジスタへ転送バイト分書き込み完了後、EP0CSRのSET_IN_BUF_RDYビットを“1”にセットしてください。また、コントロールRead転送でNULLパケットを送信する場合でも、SET_IN_BUF_RDYビットを“1”にセットしてください。

コントロールRead送信時の動作

EP0 IN FIFOへ1パケット分の送信データを書き込み完了時、SET_IN_BUF_RDYビットを“1”にセットしてください。これによりIN_BUF_RDYフラグが自動的に“1”に更新されます。EP0 IN FIFOのデータをすべてホストPCに送信完了すると、IN_BUF_RDYフラグは自動的に“0”にクリアされます。

エンドポイント0受信(OUT)

EP0 OUT FIFOデータレジスタから受信したデータを読み出すと内部リードポインタはワードアクセス時では2、バイトアクセス時では1、自動的にインクリメントされます。EP0CSのOUT_BUF_RDYフラグが“1”の時、EP0 OUT FIFOからデータを読み出してください。

SETUPパケット受信時、OUT_BUF_RDYフラグとSETUPフラグが“1”にセットされます。

コントロールWrite受信時の動作

ホストPCから1パケットデータを受信完了するとOUT_BUF_RDYフラグは自動的に“1”にセットされます。受信したデータをEP0 OUT FIFOから読み出し終了後、CLR_OUT_BUF_RDYビットに“1”をセットしてください。これによりOUT_BUF_RDYフラグは自動的に“0”にクリアされます。

コントロール転送のエラー

コントロール転送中のエラー発生は、USBエンドポイント0制御/ステータスレジスタのFORCE_STALLフラグにより示されます。このフラグは下記の条件のうちいずれか1つでも発生した場合、エラー報告のために“1”にセットされます。

- ・ SETUPステージのないINトークンを受信
- ・ STATUSステージで不正なデータトグルを受信(DATA0が使用される)
- ・ SETUPステージで不正なデータトグルを受信(DATA1が使用される)
- ・ SETUPステージで指定された以上のデータを要求される(DATA_ENDフラグがセットされた後にINトークンを受信)
- ・ SETUPステージで指定された以上のデータを受信(DATA_ENDフラグがセットされた後にOUTトークンを受信)
- ・ USBエンドポイント0最大パケットサイズレジスタに設定した値を超えるデータを受信

SETUPステージにおける不正データトグルの場合を除き、上記の条件が発生したとき、問題のIN/OUTトークンに対してSTALLを送信します。SETUPステージの不正なデータトグルの場合、SETUPステージに対してACKを返し、次のIN/OUTトークンに対してSTALLを返します。

コントロール転送の中断

コントロール転送中の中断は、USBエンドポイント0制御/ステータスレジスタのSETUP_ENDフラグにより示されます。以下のいずれかが発生した場合、このフラグは“1”にセットされます。

- ・ データフェーズ処理中にセットアップフェーズで設定したデータサイズの転送が終了(DATA_ENDビットがセットされる前にステータスフェーズが開始)した場合
- ・ ステータスフェーズが終了する前に新しいSETUPパケットを受信した場合

このフラグが“1”のとき、ホストCPUへの送信データがある場合は、IN_BUF_RDYビットが“0”にクリアされてIN FIFOのデータが破棄されます。FIFOへのアクセスを中止し、それ以前のセットアップ処理をしてください。

また、SETUP_ENDフラグが“1”にセットされた直後に新しいSETUPパケットを受信(データフェーズやステータスフェーズを完了する前に次の新しいSETUPパケットを受信)した場合、SETUP_ENDフラグとOUT_BUF_RDYビットの両方が“1”にセットされ、OUT FIFOには新しいSETUPパケットデータがあることを示します。

エンドポイント1～4送信(IN)

対応するEPx ICSのIN_BUF_STS1フラグが“0”の時、送信データをUSBエンドポイントx IN FIFOデータレジスタへ書き込んでください。内部ライトポイントがワードアクセス時では2、バイトアクセス時では1、自動的にインクリメントされます。IN FIFOの状態は、EPx ICSのIN_BUF_STS0フラグとIN_BUF_STS1フラグによって示されます。リセット時、又は、USBリセット時、IN_BUF_STS0とIN_BUF_STS1フラグはともに“1”です。対応するエンドポイントが最初に許可された時、これらのフラグはともに“0”になります（エンドポイント1-4 IN/OUT はリセット時禁止されています）。IN FIFOへデータを書き込んだ後、EPxICSのSET_IN_BUF_RDYビットを“1”にセットしてください。これにより、IN FIFOの状態によってIN_BUF_STS0フラグとIN_BUF_STS1フラグが更新されます。

ユーザシステムに応じて各IN エンドポイントのIN FIFOサイズ、IN FIFO配置位置を設定できます。IN FIFOサイズ、IN FIFO開始ロケーション、ダブルバッファモード許可は、USBエンドポイントx IN FIFOコンフィギュレーションレジスタ(EPxIFC)で設定してください。1つのエンドポイントに対してIN FIFOサイズは64バイト単位で最高1024バイトまで設定できます。ダブルバッファモードを許可すると、設定したバッファサイズ(BUF_SIZで指定)の2倍がIN FIFOとして使用できます。

連続送信モードは、エンドポイント1-4 IN バルク転送でのみ設定できます。EPxIFCの連続送信許可ビットを“1”にセットすることにより、連続送信モードを許可します。連続送信モード時、USB FCUは、IN FIFO内のデータを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)に分割し、順にホストPCに送信します(最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します)。連続送信モード許可時、IN FIFOサイズが最大パケットサイズの整数倍であるかユーザシステムで把握しておく必要があります。

AUTO_SET機能は、EP1-4 INの連続送信モード時、連続送信モード禁止時共に設定することができます（エンドポイント0では使用できません）。EPxICSのAUTO_SETビットを“1”にセットすることにより、AUTO_SET機能が許可されます。AUTO_SET許可時、SET_IN_BUF_RDYビットを“1”にセットすることなく、IN FIFOにバッファサイズ(BUF_SIZで指定)分の送信データを書き込むとIN_BUF_STS0とIN_BUF_STS1フラグが更新されます。ショートパケット、又は、バッファサイズ以下のデータをホストへ送信する場合は、SET_IN_BUF_RDYビットをソフトウェアで“1”にセットしてください。これによりデータ送信準備完了を示します。

1. AUTO_SET禁止、連続送信モード禁止時：

シングルバッファモード時

IN FIFOへ1データパケットを書き込み完了後、対応するEPx ICSのSET_IN_BUF_RDYビットを“1”にセットしてください（IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“112”に更新されます）。データパケットをホストへ送信終了すると、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“002”に自動的に更新されます。

ダブルバッファモード時

IN FIFOへ1データパケットを書き込み完了後、対応するEPx ICSのSET_IN_BUF_RDYビットを“1”にセットしてください。IN_BUF_STS0とIN_BUF_STS1フラグは、IN FIFOの状態に応じて以下のように更新されます。

- ・ダブルバッファのうち最初の1パケットがIN FIFOに書き込まれており、2つ目のデータパケットが書き込める状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“012”に更新されます。
- ・IN FIFOに2データパケットが書き込まれており、これ以上IN FIFOにデータ書き込みできない状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“112”に更新されます。

1データパケットをホストへ送信終了後、IN_BUF_STS0とIN_BUF_STS1フラグは以下のように更新されます。

- ・ IN FIFOに1つ以上のデータパケットが存在する時、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“012”に更新されます。
- ・ IN FIFOにデータパケットが存在しない時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“002”に更新されます。

2. AUTO_SET禁止、連続送信モード時：

シングルバッファモード時

設定した1バッファサイズまでのデータをIN FIFOに書き込み完了後、対応するEPx ICSのSET_IN_BUF_RDYビットを“1”にセットしてください（IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“112”に更新されます）。USB FCUIは、IN FIFO内のデータを1パケットサイズ（EPxIMPに設定した最大パケットサイズ）に分割し、順にホストPCに送信します（最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します）。

IN FIFOのデータをホストへ送信終了時、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“002”に更新されます。

ダブルバッファモード時

設定したバッファサイズ（EPxIFCのBUF_SIZで指定）までのデータパケットをIN FIFOに書き込み完了後、対応するEPx ICSのSET_IN_BUF_RDYビットを“1”にセットしてください（IN_BUF_STS0とIN_BUF_STS1フラグが更新されます）。

- ・ IN FIFOにダブルバッファのうち最初の1バッファが書き込まれており、2つ目のバッファに書き込める状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“012”に更新されます。
- ・ IN FIFOに2バッファデータが書き込まれており、これ以上IN FIFOにデータが書き込めない状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“112”に更新されます。

USB FCUIは、IN FIFO内のデータを1パケットサイズ（EPxIMPに設定した最大パケットサイズ）に分割し、順にホストPCに送信します（最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します）。

1バッファのすべてのデータをホストへ送信終了後、IN_BUF_STS0とIN_BUF_STS1フラグは更新されます。

- ・ IN FIFOにもう1バッファデータが存在する時、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“012”に更新されます。
- ・ IN FIFOにデータが存在しない時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“002”に更新されます。

3. AUTO_SET許可、連続送信モード禁止時：

シングルバッファモード時

IN FIFOへ最大パケットサイズ分の1データパケットを書き込み完了後、対応するEPxICSのIN_BUF_STS0とIN_BUF_STS1フラグは、SET_IN_BUF_RDYビットを“1”にセットすることなく、自動的に“002”から“112”に更新されます。ショートパケット（最大パケットサイズより小さい）を書き込んだ場合、これらのフラグは自動的に更新されません。ショートパケット時は、ソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

データパケットをホストへ送信終了すると、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“002”に自動的に更新されます。

ダブルバッファモード時

IN FIFOへ最大パケットサイズ分の1データパケットを書き込み完了後、SET_IN_BUF_RDYビットを“1”にセットすることなく、自動的に対応するEPx ICSのIN_BUF_STS0とIN_BUF_STS1フラグを更新します。

- ・ IN FIFOにダブルバッファのうち最初の1パケットが書き込まれており、2つ目のデータパケットが書き込める状態の時（1バッファ空きあり）、IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“012”に更新されます。
- ・ IN FIFOに2データパケットが書き込まれた状態の時（両方のバッファにデータあり）、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“112”に更新されます。

ショートパケット（最大パケットサイズより小さい）をIN FIFOに書き込んだ場合、IN_BUF_STS0とIN_BUF_STS1フラグは自動的に更新されません。ショートパケット時は、ソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

1データパケットをホストへ送信終了後、IN_BUF_STS0とIN_BUF_STS1フラグは次のように更新されます。

- ・ IN FIFOに1データパケットが存在する時、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“012”に更新されます。
- ・ IN FIFOにデータパケットが存在しない時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“002”に更新されます。

4. AUTO_SET許可、連続送信モード許可時：

シングルバッファモード時

設定したバッファサイズ(EPxIFCのBUF_SIZで指定)分のデータをIN FIFOに書き込み完了後、対応するEPx ICSのIN_BUF_STS0とIN_BUF_STS1フラグは、SET_IN_BUF_RDYビットを“1”にセットすることなく、自動的に“002”から“112”に更新されます。設定したバッファサイズより小さいデータをIN FIFOに書き込んだ場合、IN_BUF_STS0とIN_BUF_STS1フラグは自動的に更新されません。この場合、ソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

USB FCUは、IN FIFO内のデータを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)に分割し、順にホストPCに送信します(最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します)。

データをホストへ送信終了すると、IN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“002”に自動的に更新されます。

ダブルバッファモード時

設定したバッファサイズ(EPxIFCのBUF_SIZで指定)分のデータをIN FIFOに書き込み完了後、対応するEPx ICSのSET_IN_BUF_RDYビットを“1”にセットすることなくIN_BUF_STS0とIN_BUF_STS1フラグは次のように更新されます。

- ・ IN FIFOにダブルバッファのうち最初の1バッファ分（BUF_SIZで指定）が書き込まれており、2つ目のバッファに書き込める状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“012”に更新されます。
- ・ IN FIFOに2バッファ分のデータ（BUF_SIZで指定したバイト数×2）が書き込まれた状態の時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“112”に更新されます。

設定したバッファサイズより小さいデータをIN FIFOに書き込んだ場合、IN_BUF_STS0とIN_BUF_STS1フラグは自動的に更新されません。この場合、データの送信準備が完了していることを示すため、SET_IN_BUF_RDYビットを“1”にセットしてください。

USB FCUは、IN FIFO内のデータを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)に分割し、順にホストPCに送信します(最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します)。

ホストへ1バッファ分のデータ送信後、N_BUF_STS0とIN_BUF_STS1フラグは以下のように更新されます。

- ・ IN FIFOにもう1バッファ分のデータが残っていれば、IN_BUF_STS0とIN_BUF_STS1フラグは、“112” から “012” に更新されます。
- ・ IN FIFOにデータが存在しない時、IN_BUF_STS0とIN_BUF_STS1フラグは、“012” から “002” に更新されます。

エンドポイントIN FIFOフラッシュ

ソフトウェアによるフラッシュ、又は、ハードウェアフラッシュすると、連続、非連続モードに関わらずUSB FCUはホストへIN FIFOのデータが送信終了されたように動作します。IN FIFOに1バッファデータが存在する時、1回フラッシュするとIN FIFOが空になります。IN FIFOに2バッファデータ存在する場合、1回のフラッシュで、IN FIFO内の古い方のバッファデータのみが破棄されます。IN FIFOをフラッシュすることにより、対応するEPx ICSのIN_BUF_STS0とIN_BUF_STS1フラグは以下のように更新されます。

表1.13.1 エンドポイント1～4 IN FIFOの状態

IN_BUF_STS1	IN_BUF_STS0	シングルバッファ (IN FIFOサイズはBUF_SIZ ^(*) で指定)	ダブルバッファ (IN FIFOサイズ = BUF_SIZ ^(*) で指定したバイト数×2)
0	0	データなし 1バッファ分空きあり	データなし 2バッファ分空きあり
0	1	無効	1データあり 1データ分空きあり
1	0	無効	無効
1	1	1データあり IN FIFO空きなし	2データあり IN FIFO空きなし

*1. EPxIFC, bit 6～9

AUTO FLUSH機能

この機能はダブルバッファでのアイソクロナス転送においてご使用ください。

USB ISO制御レジスタのAUTO_FLUSHビットを設定することにより、アイソクロナス転送における送信パケットデータ破棄を制御します。このビットは、ISO_UPDが“1” (ISOアップデート許可) の時のみ使用可能です。アイソクロナス転送のINエンドポイント(1～4)にのみ有効です。

ISO_UPD=“1”、AUTO_FLUSH=“1”、かつ、エンドポイントINのISOビット=“1”の場合、USBファンクション制御ユニットはSOFパケット検出時に (ホストPCから、又は、artificial SOF)、IN_BUF_STS1とIN_BUF_STS0がともに“1” (IN FIFOフル状態) ならば、自動的にIN FIFO内の古いデータパケットを破棄します。

エンドポイント1～4受信(OUT)

対応するEPx OCSのOUT_BUF_STS1フラグが“1”の時、受信データをUSBエンドポイントx OUT FIFO データレジスタから読み出してください。内部リードポインタがワードアクセス時では2、バイトアクセス時では1、自動的にインクリメントされます。受信データを読み出したら、EPxOCSのCLR_OUT_BUF_RDY ビットを“1”にセットしてください。これにより、OUT FIFOの状態によってEPx OCSのOUT_BUF_STS0 フラグとOUT_BUF_STS1フラグが更新されます。

ユーザシステムに応じて各USBエンドポイントのOUT FIFOサイズ、OUT FIFO配置位置を設定できます。OUT FIFOサイズ、OUT FIFO開始ロケーション、ダブルバッファモード許可は、USBエンドポイントx OUT FIFOコンフィグレーションレジスタ(EPxIFC)で設定してください。1つのエンドポイントに対してOUT FIFOサイズは64バイト単位で最高1024バイトまで設定できます。ダブルバッファモードを許可すると、設定したバッファサイズ(BUF_SIZで指定)の2倍がOUT FIFOとして使用できます。

連続受信モードは、エンドポイント1-4 OUTバルク転送でのみ設定できます。EPxOFCの連続受信許可ビットを“1”にセットすることにより、連続受信モードを許可します。USB FCUは、ホストPCから受信したデータを1パケットサイズ(EPxOMPIに設定した最大パケットサイズ)ずつ順にOUT FIFOに書き込みます(最後の1パケットがEPxOMPIに設定したサイズより小さい場合は、ショートパケットとして受信します)。連続受信モード許可時、ホストPCからの受信データがバッファサイズと同じであるか、ショートパケットを含むかユーザシステムで把握しておく必要があります。

AUTO_CLR機能は、EP1-4 OUTの連続受信モード時、連続受信モード禁止時共に有効です(エンドポイント0では使用できません)。EPxOCSのAUTO_CLRビットを“1”にセットすることにより、AUTO_CLR機能が許可されます。AUTO_CLR許可時、OUT FIFOから受信データを読み出すと、CLR_OUT_BUF_RDY ビットを“1”にセットすることなくOUT_BUF_STS0フラグとOUT_BUF_STS1フラグが更新されます。

1. AUTO_CLR禁止、連続受信モード禁止時：

シングルバッファモード時

ホストから1データパケットを受信完了後、対応するEPxOCSのOUT_BUF_STS1とOUT_BUF_STS0 フラグは、“002”から“112”に自動的に更新されます。

OUT FIFOからデータパケットを読み出した後、CLR_OUT_BUF_RDYビットを“1”にセットしてください。それにより、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“112”から“002”に更新されます。

ダブルバッファモード時

ホストから1データパケットを受信完了後、対応するEPxOCSのOUT_BUF_STS1とOUT_BUF_STS0 フラグは以下のように更新されます。

- ・ OUT FIFOにダブルバッファのうち最初の1パケットが書き込まれており、2つ目のパケットが書き込める状態の時、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“002”から“102”に更新されます。
- ・ OUT FIFOに2データパケットが書き込まれた時、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“102”から“112”に更新されます。

1パケットをOUT FIFOから読み出し終了後、CLR_OUT_BUF_RDYビットを“1”にセットしてください。それにより、OUT_BUF_STS1とOUT_BUF_STS0フラグは、次のように更新されます。

- ・ OUT FIFOにもう一つデータパケットが存在する時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“112”から“102”に更新されます。
- ・ OUT FIFOにデータパケットが存在しない時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“002”に更新されます。

2. AUTO_CLR禁止、連続受信モード時：

シングルバッファモード時

バッファサイズ(EPxOFCのBUF_SIZで指定)のデータ、又は、ショートパケットをホストから受信終了後、対応するEPx OCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは“002”から“112”に更新されます。

OUT FIFOからデータを読み出した後、CLR_OUT_BUF_RDYビットを“1”にセットしてください。それにより、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“112”から“002”に更新されます。

ダブルバッファモード時

バッファサイズ(EPxOFCのBUF_SIZで指定したバイト数の2倍)のデータ、又は、ショートパケットをホストから受信完了後、対応するEPx OCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは以下のように更新されます。

- ・ OUT FIFOにダブルバッファのうち1バッファ目に受信データが書き込まれており、2バッファ目にデータを受信できる状態の時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“002”から“102”に更新されます。
- ・ OUT FIFOに2バッファ分のデータを受信した時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“112”に更新されます。

1バッファ分のデータをOUT FIFOから読み出し終了後、CLR_OUT_BUF_RDYビットを“1”にセットしてください。それにより、OUT_BUF_STS1とOUT_BUF_STS0フラグは、次のように更新されます。

- ・ OUT FIFOにもう1バッファ分データが存在する時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“112”から“102”に更新されます。
- ・ OUT FIFOにデータパケットが存在しない時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“002”に更新されます。

3. AUTO_CLR許可、連続受信モード禁止時：

シングルバッファモード時

ホストから1パケットデータ受信完了後、対応するEPx OCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは“002”から“112”に更新されます。OUT FIFOから1パケットデータを読み出した後、CLR_OUT_BUF_RDYビットを“1”にセットすることなく、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“112”から“002”に自動的に更新されます。

ダブルバッファモード時

ホストから1パケットデータ受信完了後、対応するEPxOCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは以下のように更新されます。

- ・ OUT FIFOにダブルバッファのうち1バッファ目にパケットデータがあり、2バッファ目にデータパケットを受信できる状態の時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“002”から“102”に更新されます。
- ・ OUT FIFOに2バッファデータがある時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“112”に更新されます。

1パケットデータをOUT FIFOから読み出し終了後、CLR_OUT_BUF_RDYビットを“1”にセットすることなく、OUT_BUF_STS1とOUT_BUF_STS0フラグは、次のように更新されます。

- ・ OUT FIFOにもう一つバッファデータが存在する時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“112”から“102”に更新されます。
- ・ OUT FIFOにデータパケットが存在しない時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“002”に更新されます。

4. AUTO_CLR許可、連続受信モード許可時：

シングルバッファモード時

EPxOFCのBUF_SIZと等しいサイズのデータ、又は、ショートパケットをホストから受信完了後、対応するEPx OCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは、“002”から“112”に自動的に更新されます。

OUT FIFOから受信したデータを全て読み出した後、CLR_OUT_BUF_RDYビットを“1”にセットすることなく、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“112”から“002”に自動的に更新されます。

ダブルバッファモード時

バッファサイズ(EPxOFCのBUF_SIZで指定したバイト数の2倍)のデータ、又は、ショートパケットをホストから受信完了後、対応するEPxOCSのOUT_BUF_STS1とOUT_BUF_STS0フラグは以下のように更新されます。

- ・OUT FIFOにダブルバッファのうち1バッファ目に受信データが書き込まれており、2バッファ目にデータを受信できる状態の時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“002”から“102”に更新されます。
- ・OUT FIFOに2バッファ分のデータを受信した時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“112”に更新されます。

データをOUT FIFOから読み出し終了後、CLR_OUT_BUF_RDYビットを“1”にセットすることなく、OUT_BUF_STS1とOUT_BUF_STS0フラグは、次のように更新されます。

- ・OUT FIFOにもう1バッファデータが存在する時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“112”から“102”に更新されます。
- ・OUT FIFOにデータが存在しない時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102”から“002”に更新されます。

エンドポイントOUT FIFOフラッシュ

ソフトウェアフラッシュすると、USB FCUはOUT FIFO内の全データを読み出したように動作します。OUT_BUF_STS1フラグが“1”の時のみ（OUT FIFOに受信データが1、又は2パケット存在することを示す）、FLUSHビットを“1”にセットしてください。OUT FIFOに1パケットのみ存在する場合、1回フラッシュするとOUT FIFOが空になります。OUT FIFOに2バッファデータ存在する場合、1回のフラッシュで、OUT FIFO内の古い方のバッファデータが破棄されます。OUT FIFOをフラッシュすることにより、対応するEPx OUT CSRのOUT_BUF_STS1とOUT_BUF_STS0フラグは以下のように更新されます。

表1.13.2. エンドポイント1~4 OUT FIFOの状態

OUT_BUF_STS1	OUT_BUF_STS0	シングルバッファ (OUT FIFO サイズはBUF_SIZ ^(*) で指定)	ダブルバッファ (OUT FIFOサイズ= BUF_SIZ ^(*) で指定したバイト数×2)
0	0	データなし 1バッファ分空きあり	データなし 2バッファ分空きあり
0	1	無効	無効
1	0	無効	1データあり 1データ分空きあり
1	1	1データあり OUT FIFO空きなし	2データあり OUT FIFO空きなし

*1. EPxOFC, bit 6~9

トグルの初期化

トグルの初期化は、バルク転送、又はインタラプト転送において必要となります。

送信(IN)エンドポイントのデータトグルシーケンスビットを初期化(次のデータパケットをDATA0にセット)したい場合、TOGGLE_INITビット(EPxICSのビット5)を“1”にセットしてください。このビットは自動的に“0”にクリアされます。

受信(OUT)エンドポイントのデータトグルシーケンスビットを初期化(次のデータパケットをDATA0にセット)したい場合、TOGGLE_INITビット(EPxOCSのビット9)を“1”にセットしてください。このビットは自動的に“0”にクリアされます。

USB割り込み

USB割り込みには、USBエンドポイント0割り込み、USB機能割り込み、USBリセット割り込み、USBサスペンド割り込み、USBレジューム割り込み及びUSB SOF(スタート・オブ・フレーム)割り込みがあります。

USBエンドポイント0割り込み

USBエンドポイント0割り込み制御レジスタ(EP0IC: 0046₁₆番地)で割り込み優先レベルを設定してください。以下のいずれかの要因により、EP0ICの割り込み要求ビットが“1”にセットされ、USBエンドポイント0割り込みが発生します。

- ・データ受信完了
- ・データ送信完了
- ・EP0CSレジスタのDATA_ENDフラグが“0”にクリアされた時
- ・EP0CSレジスタのSETUP_ENDフラグが“1”にセットされた時(「USB機能の注意事項」を参照)

USB機能割り込み

USB機能割り込みは、データのフロー制御に使用する割り込みです。データの送受信終了、オーバーラン/アンダーラン発生時に割り込み要求が発生します。エンドポイントx IN割り込み、エンドポイントx OUT割り込み、エラー割り込みがあります。

USB機能割り込みを使用する場合は、USBIEの対応するビットを“1”に、またUSB機能割り込み制御レジスタ(USBFC: 005D₁₆番地)で割り込み優先レベルを設定してください。

エンドポイントx(x=1~4) IN割り込みは、USBISのUSBエンドポイントx IN割り込みステータスフラグ(INTST0,2,4,6)が“1”のとき、割り込み要求が発生します。USBエンドポイントx IN割り込みステータスフラグは、次のいずれかの場合に“1”にセットされます。

- ・USBエンドポイント許可レジスタ(USBEPEN: 028E₁₆番地)の対応するビットが“1”にセットされた時(エンドポイントが禁止状態から、許可された時)
- ・1データ送信完了時
- ・IN FIFOに1、又は2パケットデータが存在する時、ハードウェアのオートフラッシュが実行されたか、又はEPxICSのFLUSHビットに“1”をセットした時
- ・コントロールRead転送の最後のデータステージでACKが破損した場合(「USB機能の注意事項」を参照)

エンドポイントx(x=1~4) OUT割り込みは、USBISのUSBエンドポイントx OUT割り込みステータスフラグ(INTST3,5,7,9)が“1”のとき、割り込み要求が発生します。USBエンドポイントx OUT割り込みステータスフラグは、次の場合に“1”にセットされます。

- ・1データ受信完了

エラー割り込みは、USBISのエラー割り込みステータスフラグ(INTST8)が“1”のとき、割り込み要求が発生します。INTST8は、以下のいずれかの場合に“1”にセットされます。

- ・EPOCSのFORCE_STALLフラグが“1”
- ・EPOCSのSETUP_ENDフラグが“1”
- ・USBエンドポイントx IN制御/ステータスレジスタ(EPxICS: 029E16, 02A416, 02AA16, 02B016番地)のUNDER_RUNフラグが“1”
- ・EPxOCSのOVER_RUNフラグが“1”
- ・USBエンドポイントx OUT制御/ステータスレジスタ(EPxOCS: 02B616, 02BE16, 02C616, 02CE16番地)のFORCE_STALLフラグが“1”
- ・USBエンドポイントx OUT制御/ステータスレジスタ(EPxOCS: 02B616, 02BE16, 02C616, 02CE16番地)のDATA_ERRフラグが“1”

エンドポイント0割り込み要因のマスク機能

USBエンドポイント0制御/ステータスレジスタのDATA_END_MASKビットを設定することにより、DATA_ENDフラグのクリアをエンドポイント0割り込み要因とするか、しないかを制御できます。リセット時、DATA_ENDフラグのクリアをマスクします(DATA_ENDフラグのクリアは、エンドポイント0割り込み要因にはなりません)。

USBリセット割り込み

USBリセット割り込みは、USBファンクション制御ユニットがホストCPUからのリセット信号を検出(少なくともD+/D-ラインにSE0を2.5 μs間検出)したときに発生する割り込みです。USBリセット割り込みを使用する場合は、USBリセット割り込み制御レジスタ(RSTIC: 005A16番地)で割り込み優先レベルを設定してください。

USBリセット割り込みが発生すると、すべてのUSB内部レジスタはリセット時の状態になります。通信を再開するには、各エンドポイントの初期設定が必要です。

USBサスペンド割り込み

USBサスペンド割り込みは、D+/D-ライン上に3ms間アクティビティが検出されなかった場合に、USBパワー制御レジスタ(USBPM: 028216番地)のサスペンドステータスフラグがセットされ、同時にUSBサスペンド割り込みが発生します。USBサスペンド割り込みを使用する場合は、USBサスペンド割り込み制御レジスタ(SUSPIC: 005616番地)で割り込み優先レベルを設定してください。

USBレジューム割り込み

ホストCPUからのレジューム信号(サスペンド検出状態でD+/D-ライン上にアクティビティ)を検出した場合に、USBレジューム割り込み制御レジスタ(RSMIC: 005816番地)のレジューム割り込み要求ビットが“1”になり、USBレジューム割り込みが発生します。USBレジューム割り込みを使用する場合は、RSMICで割り込み優先レベルを設定してください。

USB SOF割り込み

アイソクロナス転送時に使用します。SOFパケット受信時、割り込み要求が発生します。USB SOF割り込みを使用する場合は、USB SOF割り込み制御レジスタ(SOFIC: 005B16番地)で割り込み優先レベルを設定してください。

アイソクロナス転送時、USB制御レジスタ(USBC: 000C16番地)のUSB SOFポート選択ビットを“1”にすることにより、P92をSOF出力端子として使用できます(P92を出力に設定してください)。ホストからSOF信号を受信するたびに、約166ns(USBクロック12MHzの2周期)の間、“L”をP92から出力します。

Artificial SOF機能

ホストPCからのSOFパケットが何らかの要因で破壊され、前のフレーム開始から1ms経過しても有効なSOFパケットを受信しなかった場合に、擬似SOF受信動作を行います(USB SOF割り込み要求も発生します)。これにより、SOFパケットが何らかの要因で破壊された場合も次のSOFパケットを待つことなく、新しいフレームを形成することが可能です。擬似SOF受信動作は、有効なSOFパケットを2回受信した後、1回機能します。Artificial SOF機能を許可するためにはUSB ISO制御レジスタ(USBISOC: 028C₁₆番地)のArtificial SOF許可ビットを“1”にセットしてください。

サスペンド/レジューム機能

ホストCPUからサスペンド信号を受信すると(D+/D-ライン上に3ms間アクティビティがない場合)、M30245グループは、USBパワー制御レジスタ(USMPM: 0282₁₆番地)のサスペンドステータスフラグ(SUSPEND)を“1”にセットし、同時にUSBサスペンド割り込みを発生させます。

USBサスペンド時、ストップモードに移行させ、サスペンドモードからの復帰割り込み待ちとなります。ここで変更した処理はサスペンドモードからの復帰割り込み処理が終了してから、必要に応じて元に戻してください(割り込み許可フラグを“0”にして多重割り込みを禁止し、使用する割り込みの優先レベルを元に戻す。プロテクトレジスタのビットセット等)。

サスペンドモードからの復帰は、USBレジューム割り込みで行います。サスペンドモード中にホストCPUからレジューム信号を受信すると(サスペンド検出状態でD+/D-ライン上にアクティビティを検出した場合)、USBレジューム割り込み要求が発生します。USBレジューム割り込み以外の処理(リモートウェイクアップ)で復帰する場合は、復帰に使用する割り込みの割り込み制御レジスタを設定してください。

USB関連SFR

USBエンドポイントx(x=0~4) IN FIFOデータレジスタ(EPxI)とUSBエンドポイントx(x=0~4) OUT FIFOデータレジスタ(EPxO)、USB制御レジスタ(USBC)、USB接続/非接続レジスタ(USBAD)以外のすべてのUSB関連レジスタ(16ビットのレジスタ)は、ワードアクセス、バイトアクセスが可能です。EPxI、EPxOにワードアクセスした場合、下位バイトのみアクセスされます。8ビットレジスタのUSBC、USBADにはバイトアクセスのみ可能です。

ソフトウェアリセット後、すべてのUSB関連レジスタの内容は保持されます。

図1.13.2にUSB制御レジスタを示します。USB機能を使用する場合、USBクロック許可ビットを“1”にセットしてから、USB許可ビットを“1”にしてください。このレジスタは、USBリセット信号の影響を受けません。USB許可後(USBC7=“1”)、他のUSBレジスタを操作する場合は最低187.5ns (BCLKの3サイクル)の遅延が必要です。

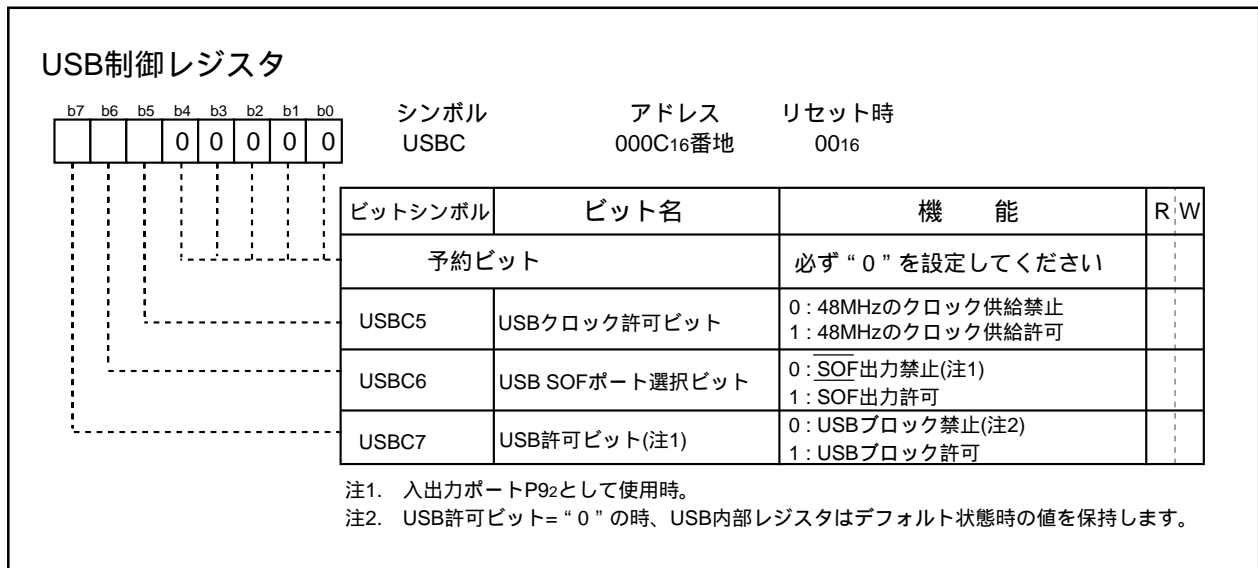


図1.13.2. USB制御レジスタの構成

図1.13.3にUSB接続/非接続レジスタを示します。この機能はUSBケーブルを物理的に切断することなく、USB通信規格におけるUSBホストからの接続/非接続を制御するものです。

Vbus検出許可ビットについては「Vbus検出」の項をご参照ください。

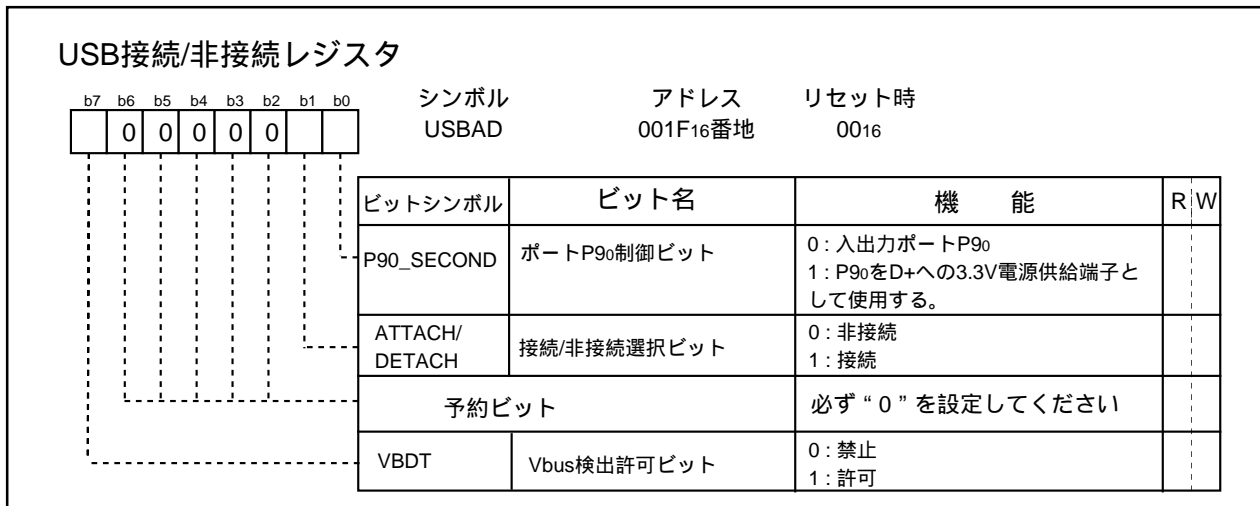


図1.13.3. USB接続/非接続レジスタの構成

図1.13.4にUSBアドレスレジスタを示します。ホストコンピュータから割り当てられた7ビットのUSBファンクション制御ユニットの自己アドレスを保持します。リセット時、デバイスが未構成状態では、このレジスタの値は“00₁₆”です。

USBブロックを禁止(USB制御レジスタのビット7を“0”)にしたときも、このレジスタは“0”になります。USBアドレスレジスタの書き換えは、次の手順で行ってください。

デバイスがデフォルト状態(USBアドレスレジスタ値が“0”)の場合

- (1) ホストよりSET_ADDRESSリクエスト受信時、USBアドレスレジスタに新しい自己アドレスデータを格納してください。
- (2) SET_ADDRESSリクエストのステータスフェーズが完了すると、(1)で書き込んだアドレスに書きかわります。ステータスフェーズが正常に終了しない場合、アドレスは書きかわりません。

デバイスがアドレス状態(USBアドレスレジスタ値が“0”以外)の場合

- (1) ホストよりSET_ADDRESSリクエスト受信時、SET_ADDRESSリクエストのステータスフェーズが完了するのを確認します。
- (2) USBアドレスレジスタに新しい自己アドレスデータを格納します。

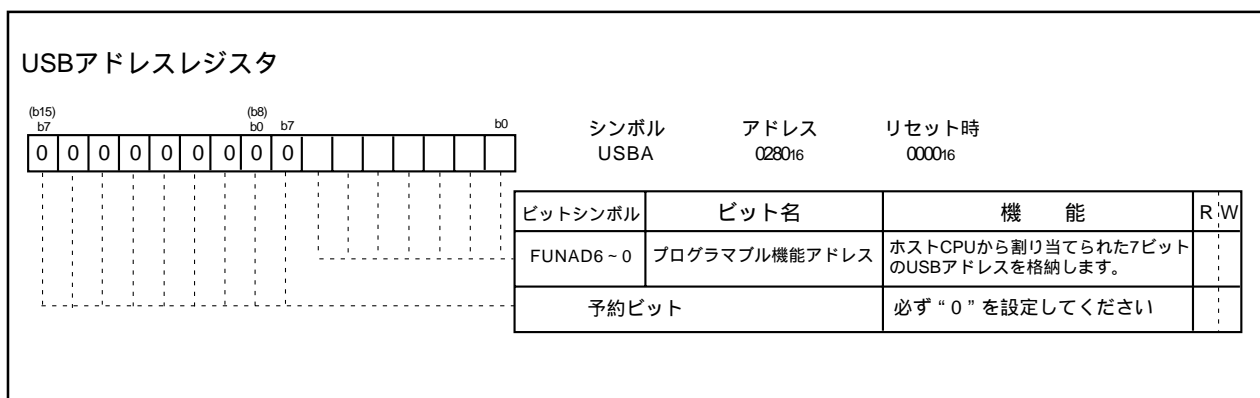


図1.13.4. USB機能アドレスレジスタの構成

図1.13.5にUSBパワー制御レジスタを示します。USBファンクション制御ユニットの電源制御に使用します。

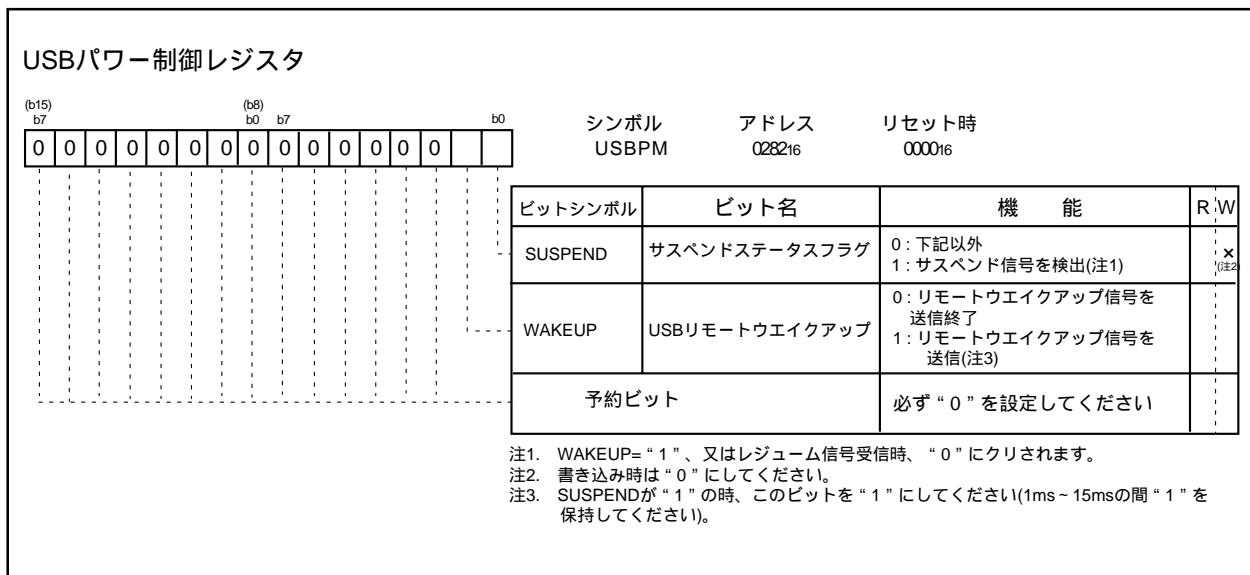


図1.13.5. USBパワー制御レジスタの構成

図1.13.6にUSB機能割り込みステータスレジスタを示します。

各USB機能割り込み要求が発生すると、対応するビットが“1”にセットされます。USB機能割り込みクリアレジスタの対応するビットに“1”を設定することにより、“1”にセットされた各割り込みステータスフラグを“0”クリアできます。

INTST0, INTST2, INTST4, INTST6は、以下の場合、“1”にセットされます。

- ・エンドポイントが禁止状態から、許可されたとき
- ・1バッファデータの送信が成功とき
- ・IN FIFOにバッファデータが存在するとき、AUTO FLUSH、又はFLUSHビット(EPxICSのビット6)の“1”セットによりバッファフラッシュが実行されたとき

INTST1, INTST3, INTST5, INTST7は、以下の場合、“1”にセットされます。

- ・1データの受信が成功したとき

INTST8は各エンドポイントでエラーが発生したかどうかを示します。

以下の場合、“1”にセットされます。

- ・エンドポイント0のEP0CSR4(FORCE_STALL)フラグが“1”にセットされたとき
- ・エンドポイント0のEP0CSR5(SETUP_END)フラグが“1”にセットされたとき
- ・エンドポイント1~4 INのINXCSR2(UNDER_RUN)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR2(OVER_RUN)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR3(FORCE_STALL)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR4(DATA_ERR)フラグが“1”にセットされたとき

USB機能割り込みステータスレジスタ (注1)

ビットシンボル	ビット名	機能	R/W
INTST0	エンドポイント1 IN 割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求発生	x
INTST1	エンドポイント1 OUT 割り込みステータスフラグ		
INTST2	エンドポイント2 IN 割り込みステータスフラグ		
INTST3	エンドポイント2 OUT 割り込みステータスフラグ		
INTST4	エンドポイント3 IN 割り込みステータスフラグ		
INTST5	エンドポイント3 OUT 割り込みステータスフラグ		
INTST6	エンドポイント4 IN 割り込みステータスフラグ		
INTST7	エンドポイント4 OUT 割り込みステータスフラグ		
INTST8	エラー割り込みステータスフラグ		
予約ビット		読み出し時、“0”です。	x

注1. 読み出し専用レジスタです。

図1.13.6. USB機能割り込みステータスレジスタの構成

図1.13.7にUSB機能割り込みクリアレジスタを示します。

割り込みステータスクリアフラグに“1”をセットすることにより、USBISの対応するUSB機能割り込みステータスフラグがクリアされます。

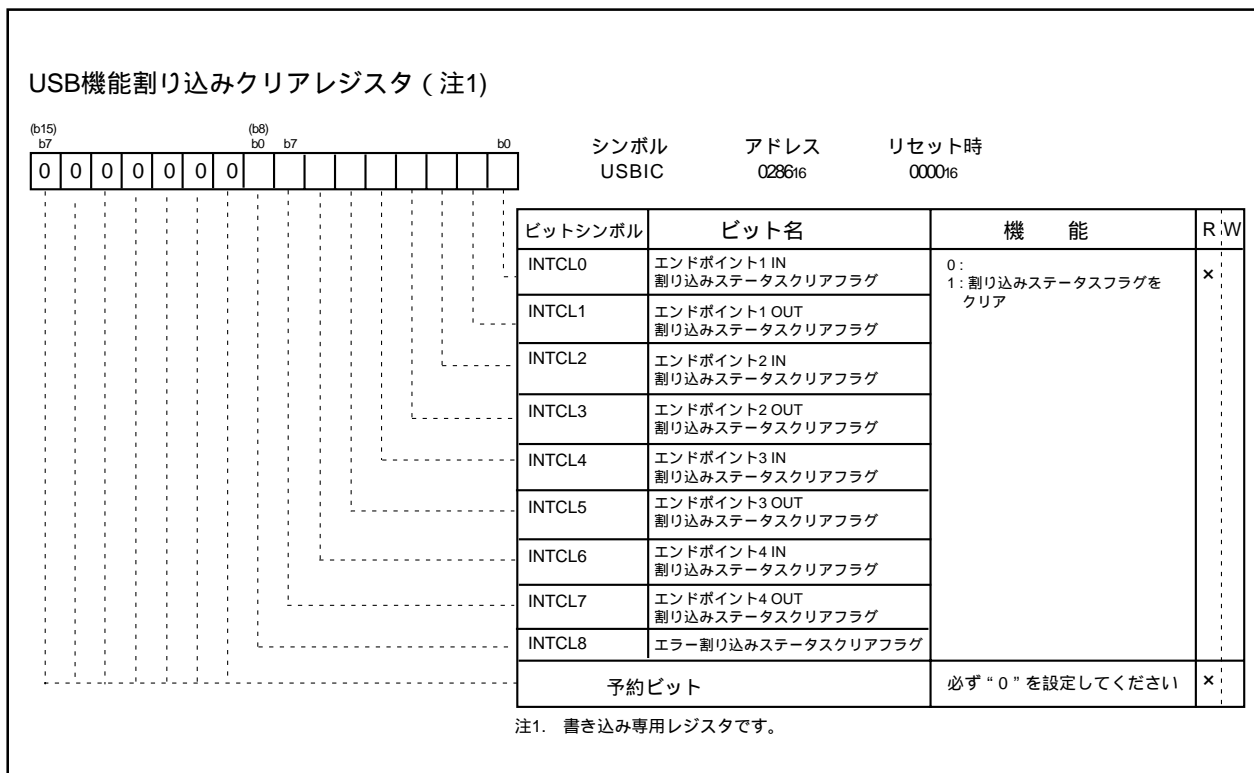


図1.13.7. USB機能割り込みクリアレジスタの構成

図1.13.8にUSB機能割り込み許可レジスタを示します。USB機能割り込みを許可するためのレジスタです。“0”のとき、対応するUSB機能割り込みは発生しません。

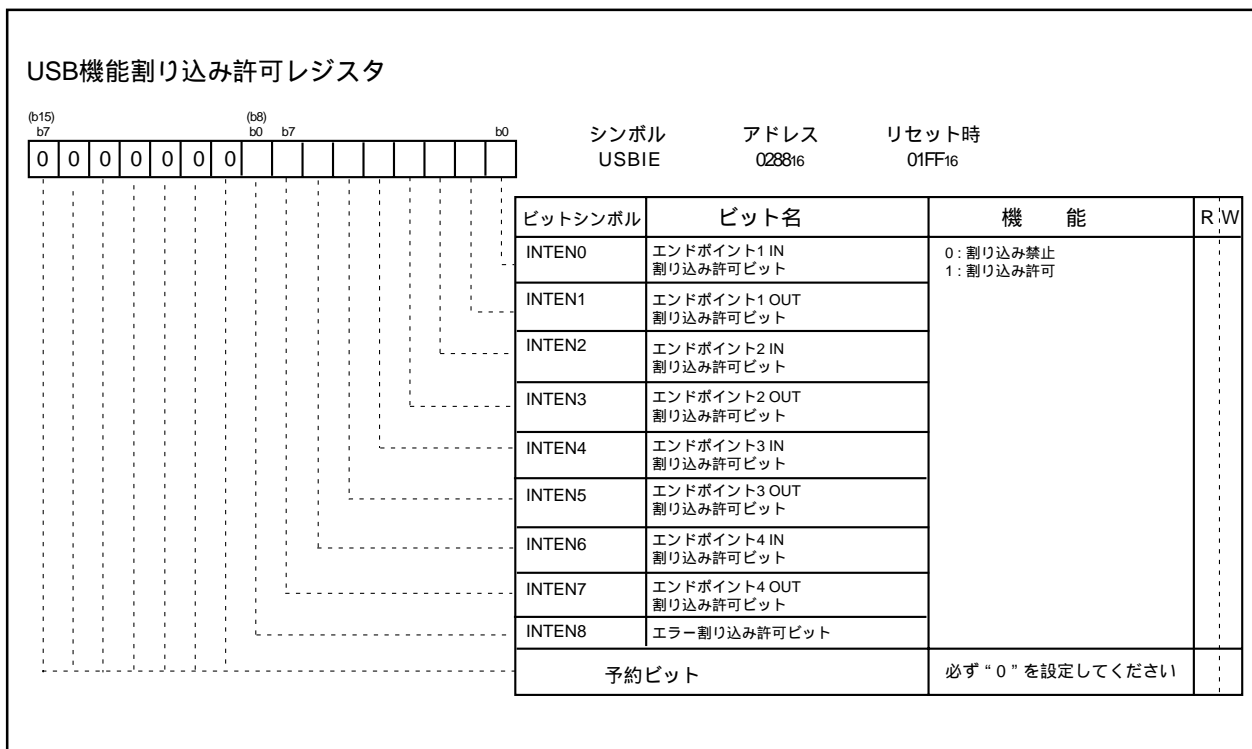


図1.13.8. USB機能割り込み許可レジスタの構成

図1.13.9にUSBフレームナンバーレジスタを示します。ホストコンピュータから受け取るSOFトークンのフレームナンバーを格納する11ビットのレジスタです。

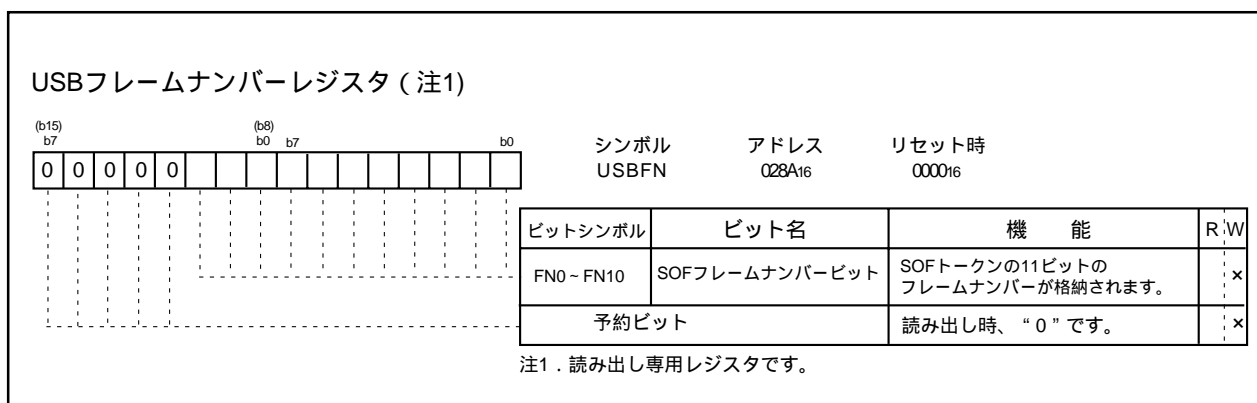


図1.13.9. USBフレームナンバーレジスタの構成

図1.13.10にUSB ISO制御レジスタを示します。

エンドポイント1~4のアイソクロナス転送を制御し、各種ステータス情報を示します。

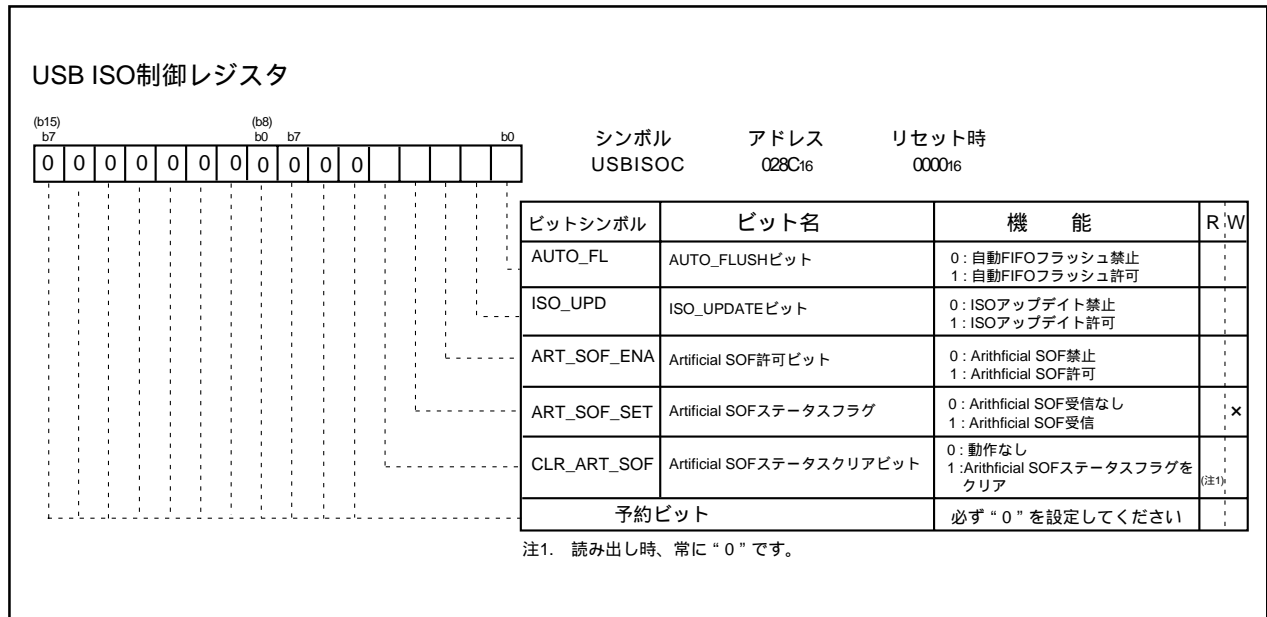


図1.13.10. USB ISO制御レジスタの構成

図1.13.11にUSBエンドポイント許可レジスタを示します。

エンドポイント1~4において、使用するエンドポイントIN/OUT FIFOを許可します。エンドポイント0は常に許可されており、ソフトウェアで禁止にすることはできません。リセット時、すべてのエンドポイントは禁止されています。

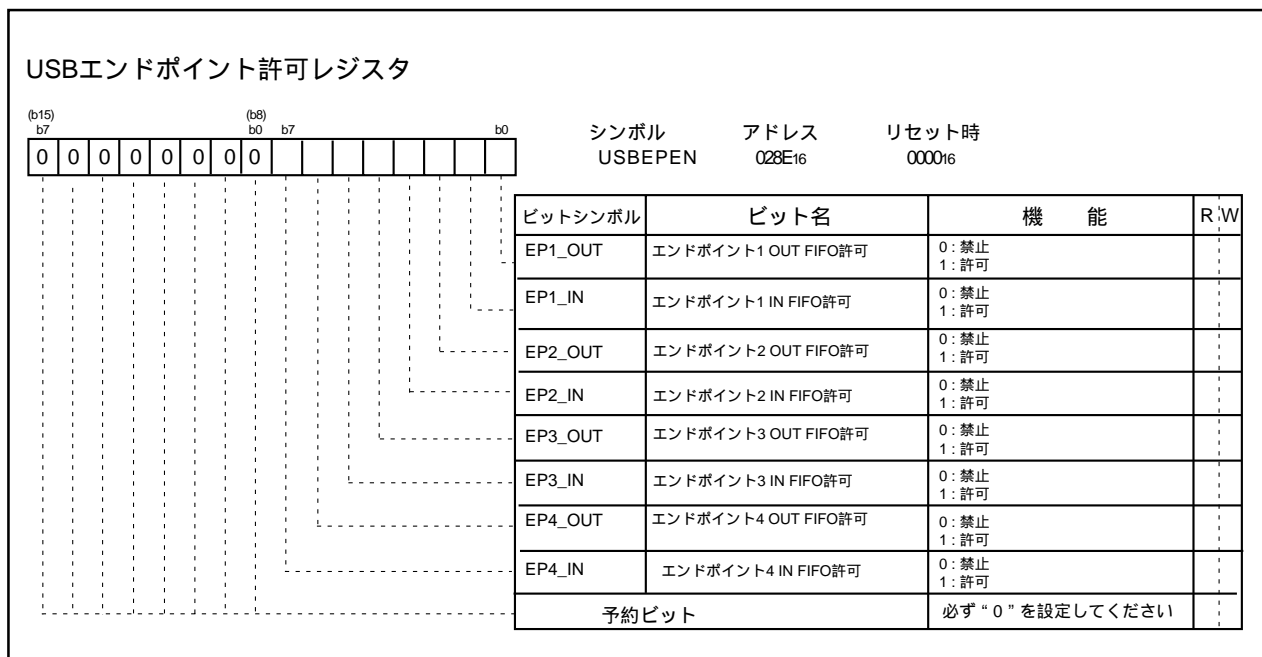


図1.13.11. USBエンドポイント許可レジスタの構成

図1.13.12にUSB DMA_x(x=0~3)要求レジスタを示します。

DMA_x(x=0~3)要因選択レジスタ(03B8₁₆, 03BA₁₆, 03B0₁₆, 03B2₁₆番地)でUSB_x(x=0~3)を選択した場合のUSBエンドポイントx(x=1~4) IN/OUT書き込み/読み出し要求を選択します。このレジスタで選択した割り込みが発生すると、DMA転送が開始されます。これらのビットは、1ビットのみセットしてください。同時に複数のビットがセットされた場合、要求は無効となります。

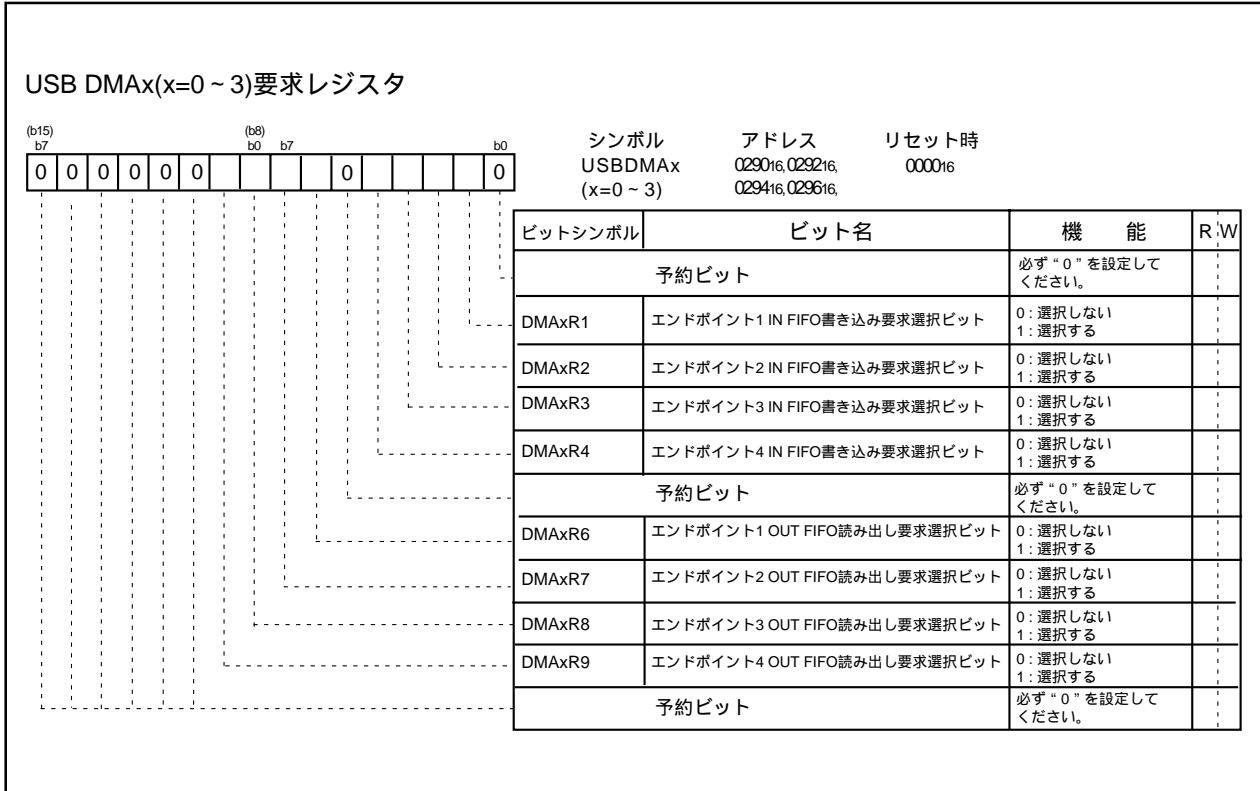


図1.13.12. USB DMA_x(x=0~3)要求レジスタの構成

図1.11 13にUSBエンドポイント0制御/ステータスレジスタを示します。

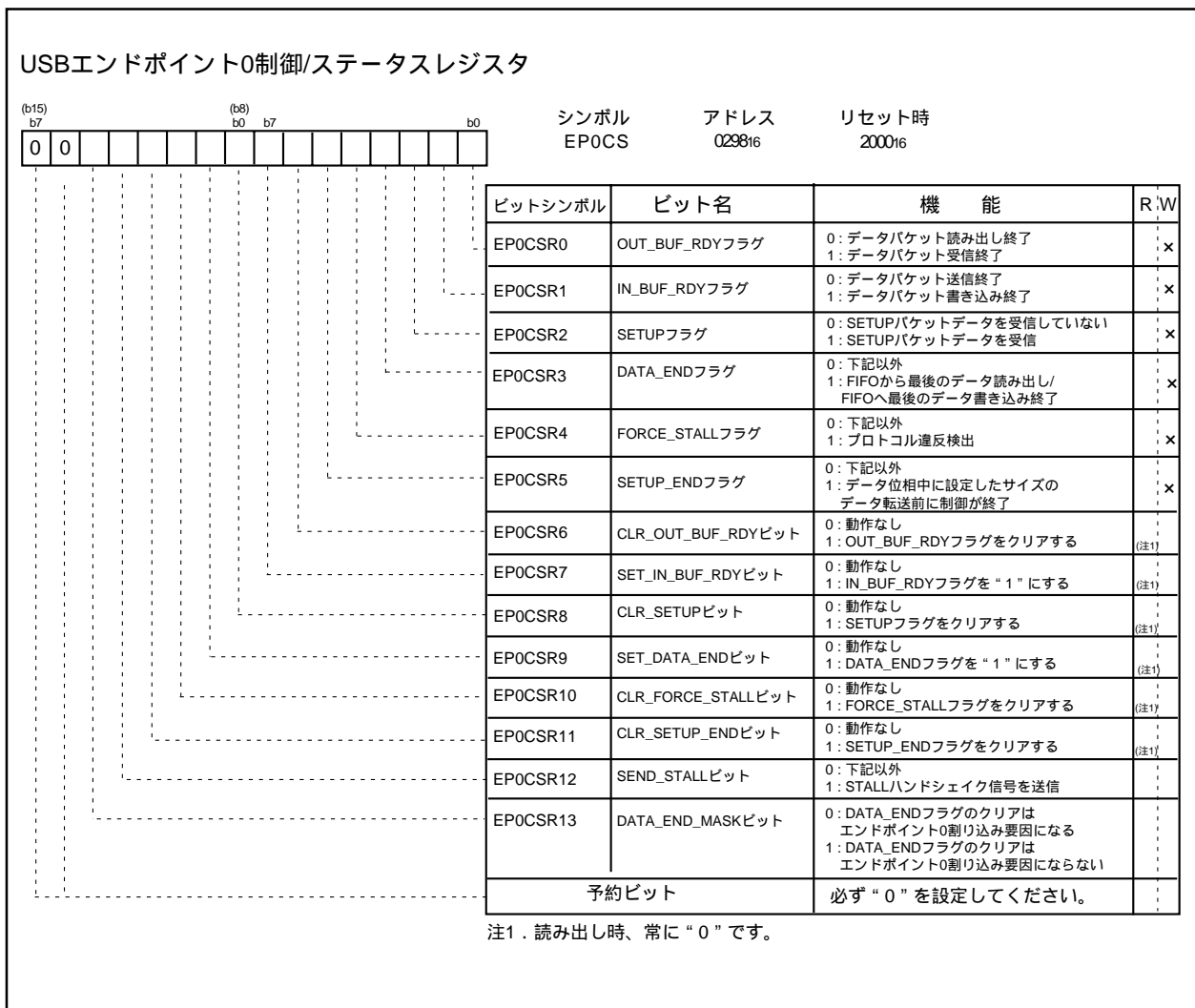


図1.13.13. USBエンドポイント0制御/ステータスレジスタの構成

図1.13.14にUSBエンドポイント0 最大パッケージサイズレジスタを示します。

エンドポイント0 IN/OUTの最大パッケージサイズを設定します。エンドポイント0の初期値は8バイトです。ホストCPUからGET_DESCRIPTORリクエスト実行時、このレジスタの値を変更してください。

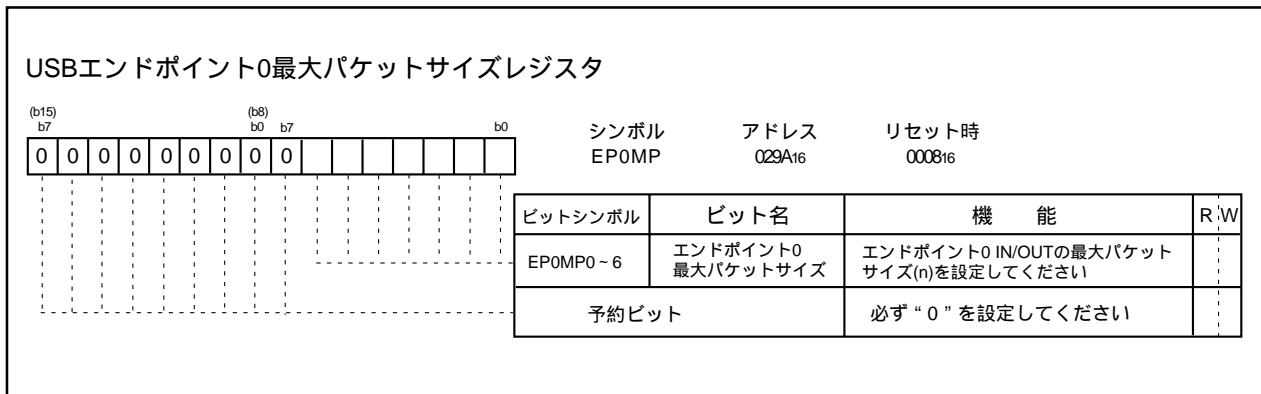


図1.13.14. USBエンドポイント0 最大パッケージサイズレジスタの構成

図1.13.15にUSBエンドポイント0 OUT書き込みカウントレジスタを示します。

エンドポイント0 OUT FIFOに書き込まれた1バッファデータのバイト数を保持するレジスタです。USBファンクション制御ユニットはホストCPUからのデータパケット受信完了時、このレジスタの値を設定します。1バッファデータ受信完了したら、このレジスタを読み出し、OUT FIFOから読み出すデータのバイト数を決定してください。このレジスタの値は、OUT FIFOからデータを読み出してもデクリメントされません。EP0CSRのCLR_OUT_BUF_RDYビットを“1”にセットすると、このレジスタの値は“0”にクリアされます。

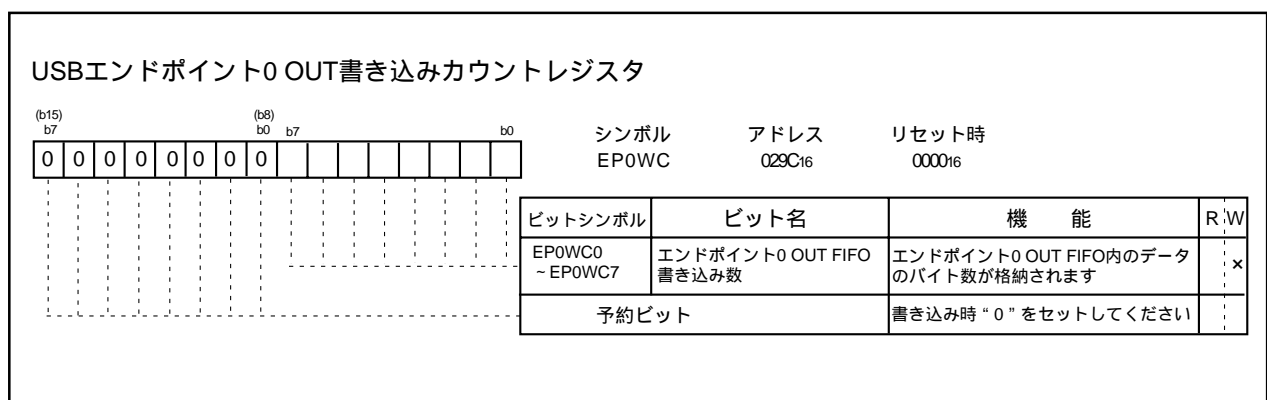


図1.13.15. USBエンドポイント0 OUT書き込みカウントレジスタの構成

図1.13.16にUSBエンドポイントx IN制御/ステータスレジスタを示します。

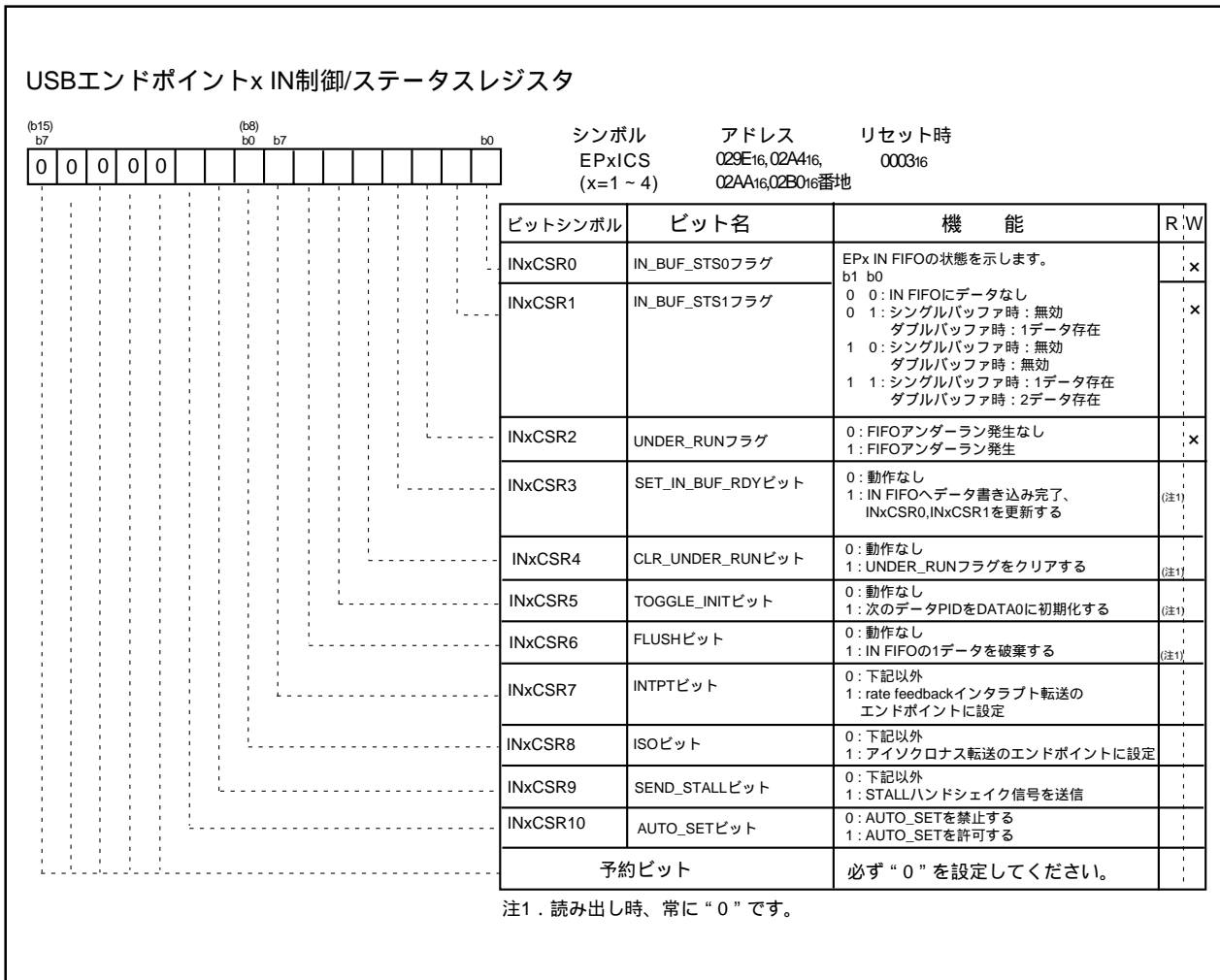


図1.13.16. USBエンドポイントx IN制御/ステータスレジスタの構成

図1.13.17にUSBエンドポイントx(x=1~4) IN最大パケットサイズレジスタを示します。
エンドポイントx(x=1~4) INの最大パケットサイズを示します。初期値は0バイトです。

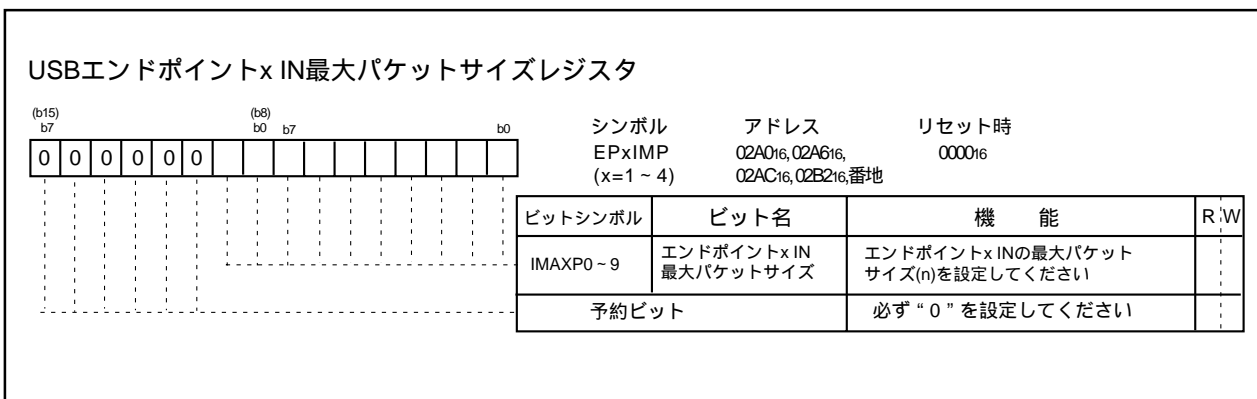


図1.13.17 USBエンドポイントx(x=1~4) IN最大パケットサイズレジスタの構成

図1.13.18にUSBエンドポイントx(x=1~4) IN FIFOコンフィグレーションレジスタを示します。

BUF_NUM

エンドポイントx(x=1~4) IN FIFOの開始位置を設定します。64バイト単位とし、例えば、320バイト目からIN FIFOを配置したい場合、設定値は“0001012”となります。

BUF_SIZ

エンドポイントx(x=1~4) IN FIFOの1バッファサイズを設定します。64バイト単位とし、例えば、256バイトの場合、設定値は“00112”となります。ダブルバッファモード時に有効なIN FIFOサイズは、BUF_SIZで指定したバイト数の2倍です。

DBL_BUF

IN FIFOに2バッファデータ書き込めるようにするとき、ダブルバッファモード許可ビットを“1”にしてください。ダブルバッファモード時、有効なIN FIFOは、BUF_SIZで指定したバイト数の2倍となります。他のエンドポイントのFIFO開始位置の設定時にはご注意ください。

CONTINUE

連続転送モード許可時、このビットを“1”にしてください。

このレジスタを設定する際、以下にご注意ください。

- ・ IN FIFO開始位置 + IN FIFOサイズが3072バイトを超えないようにしてください。
- ・ 各エンドポイントのFIFOが互いに重ならないように配置してください。

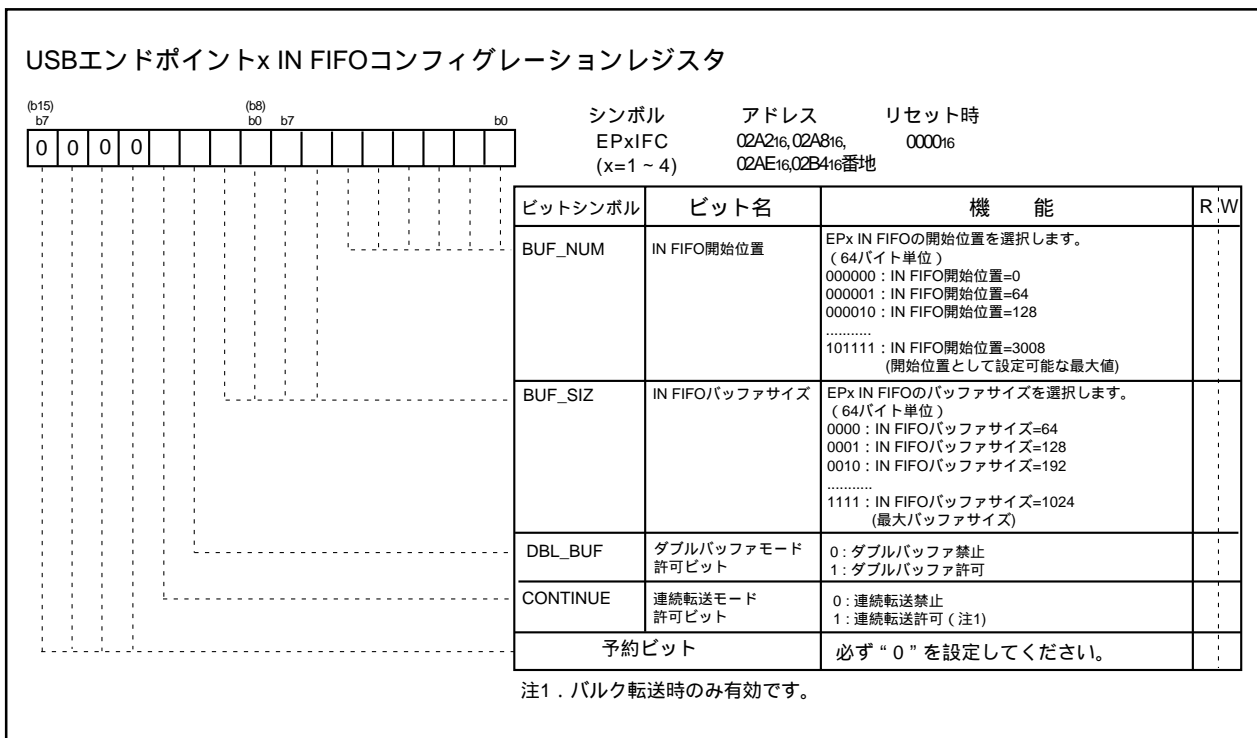


図1.13.18 USBエンドポイントx(x=1~4) IN FIFOコンフィグレーションレジスタの構成

図1.13.19にUSBエンドポイントx(x=1~4)OUT制御/ステータスレジスタを示します。

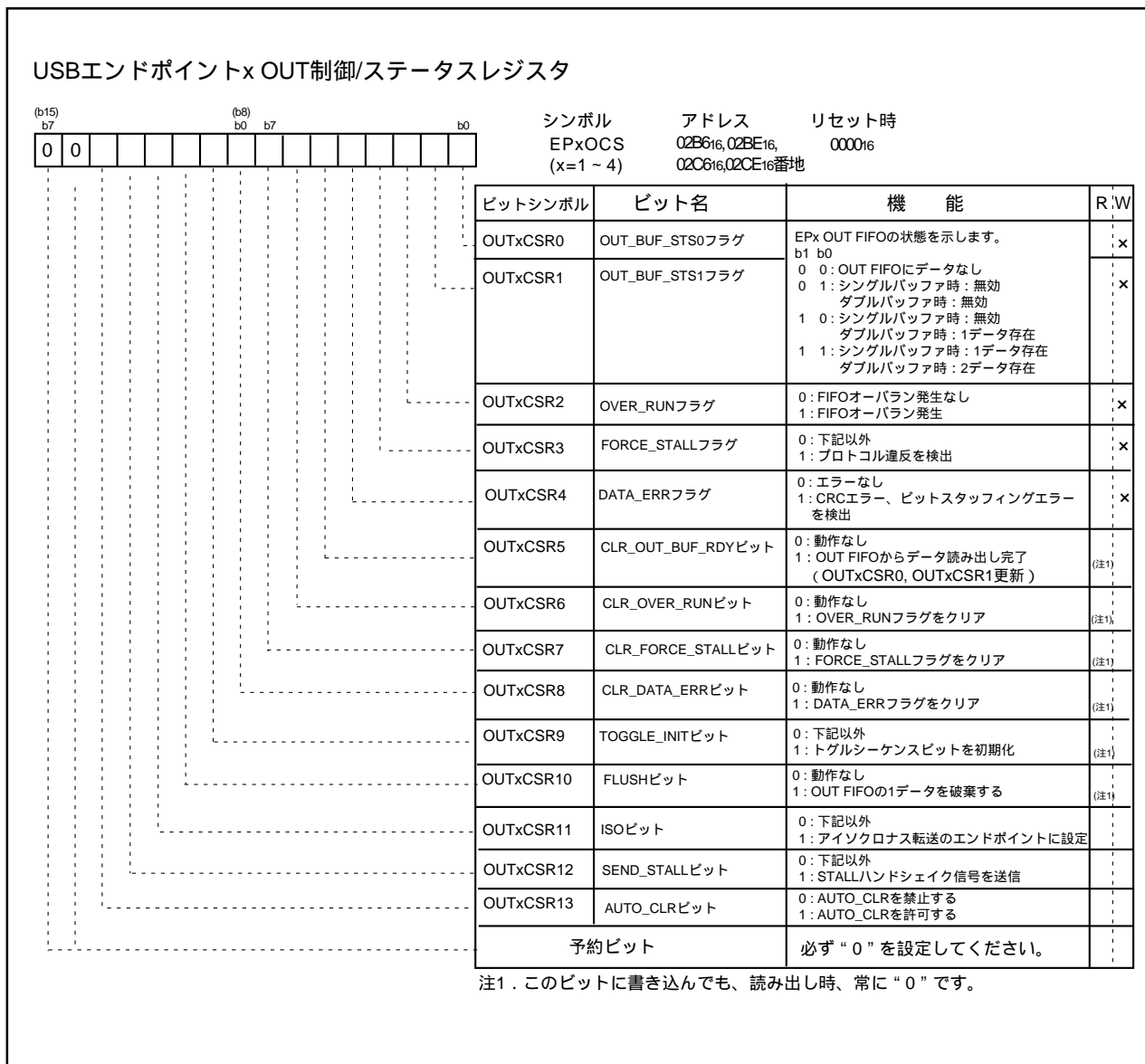


図1.13.19. USBエンドポイントx(x=1~4)OUT制御/ステータスレジスタの構成

図1.13.20にUSBエンドポイントx(1~4) OUTの最大パケットサイズレジスタを示します。初期値は0バイトです。

ホストCPUよりエンドポイントを設定するリクエスト (SET_DESCRIPTOR, SET_CONFIGURATION, SET_INTERFACEなど) を受信した等の理由によりエンドポイントを初期化する場合、このレジスタへ書き込んでエンドポイントx OUTの最大パケットサイズ値を変更します。使用する転送タイプで規定されているパケットサイズ値を設定してください。

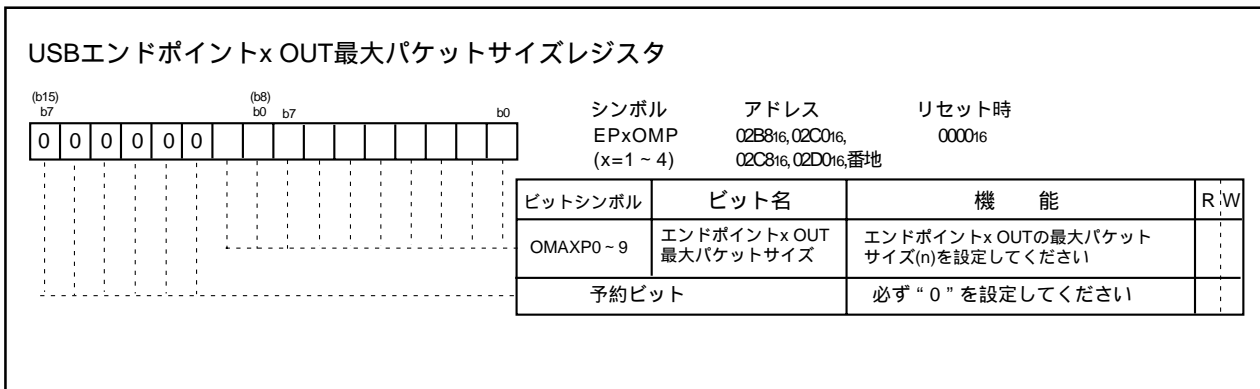


図1.13.20. USBエンドポイントx(1~4) OUTの最大パケットサイズレジスタの構成

図1.13.21にUSBエンドポイントx(x=1~4)OUT書き込みカウントレジスタを示します。

このレジスタはエンドポイントx(x=1~4)OUT FIFOに書き込まれた1バッファデータのバイト数を保持する11ビットのレジスタです。USB FCUはホストCPUからの1バッファデータ受信完了時、このレジスタの値を設定します。1バッファデータ受信完了したら、このレジスタを読み出し、OUT FIFOから読み出すバイト数を決定してください。USBエンドポイントx OUT FIFOデータレジスタからデータを読み出しても、このレジスタの値はデクリメントされません。

CLR_OUT_BUF_RDYビットを“1”にセットした場合、又はAUTO_CLR機能時 (AUTO_CLRビットに“1”をセット)、OUT FIFOから受信1バッファデータを読み出した後、このレジスタはクリアされます。

ダブルバッファモードにおいてOUT FIFOに2バッファデータがある場合は、このレジスタを読み出すと最初に受信したバッファの受信データ数が格納されています。1バッファデータをOUT FIFOから読み出した後にCLR_OUT_BUF_RDYビットを“1”にセットした時点で、このレジスタの値は後に受信したバッファのデータ数に更新されます。

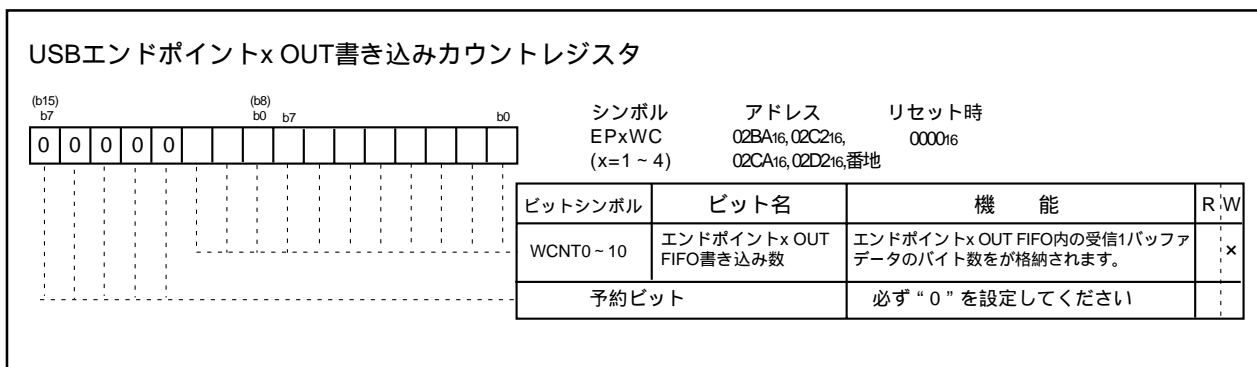


図1.13.21. USBエンドポイントx(x=1~4)OUT書き込みカウントレジスタの構成

図1.13.22にUSBエンドポイントx(x=1~4) OUT FIFOコンフィグレーションレジスタを示します。

BUF_NUM

エンドポイントx(x=1~4) OUT FIFOの開始位置を設定します。64バイト単位とし、例えば、320バイト目からOUT FIFOを配置したい場合、設定値は“0001012”となります。

BUF_SIZ

エンドポイントx(x=1~4) OUT FIFOの1バッファサイズを設定します。64バイト単位とし、例えば、256バイトの場合、設定値は“00112”となります。ダブルバッファモード時に有効なOUT FIFOサイズは、BUF_SIZで指定したバイト数の2倍です。

DBL_BUF

このビットに“1”をセットすると、対応するエンドポイントのOUT FIFOがダブルバッファモードとなります。ダブルバッファ時、有効なOUT FIFOは、BUF_SIZで指定した2倍のバイト数となります。他のエンドポイントのFIFO開始位置の設定時にはご注意ください。

CONTINUE

連続受信許可時、このビットを“1”にしてください。

以下に注意してください。

- ・ OUT FIFO開始位置 + OUT FIFOサイズが3072バイトを超えないようにしてください。
- ・ 各エンドポイントのFIFOが互いに重ならないように配置してください。

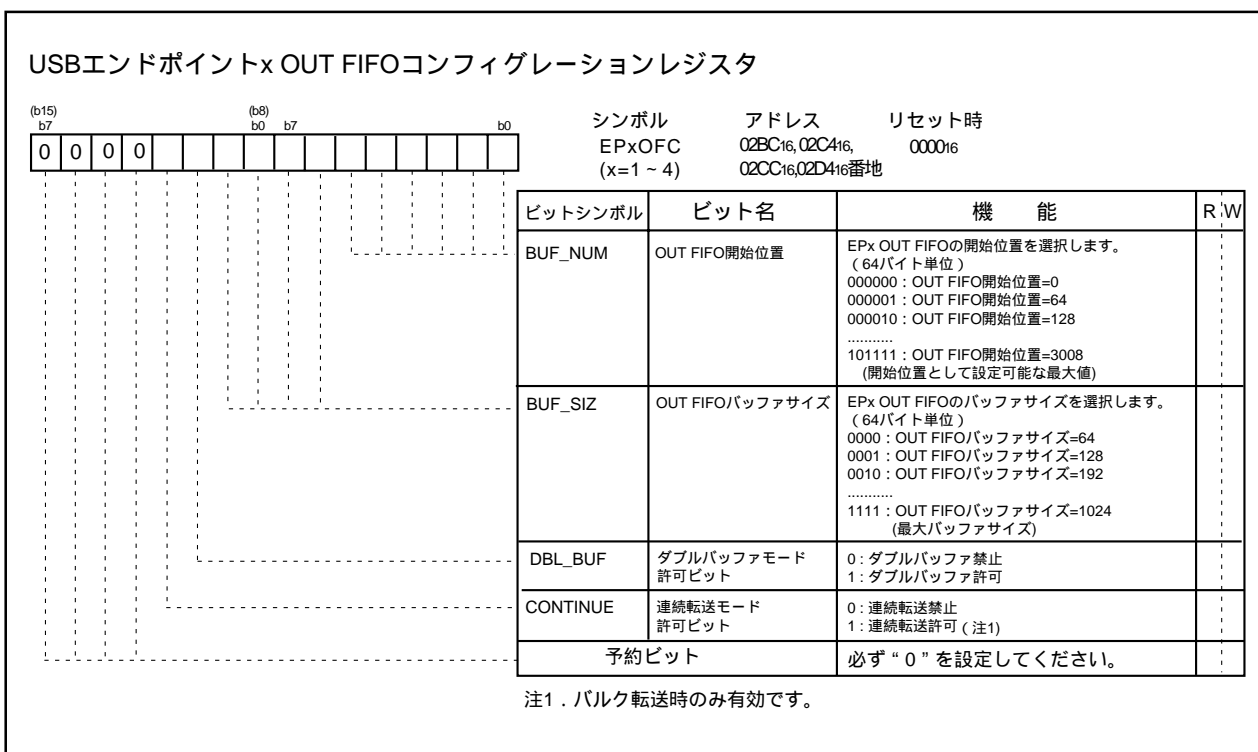


図1.13.22. USBエンドポイントx(x=1~4) OUT FIFOコンフィグレーションレジスタの構成

図1.13.23にUSBエンドポイントx IN FIFOデータレジスタを示します。

USBの送信(IN)FIFOデータレジスタです。ホストへ送信時、このレジスタに送信データを書き込みます。

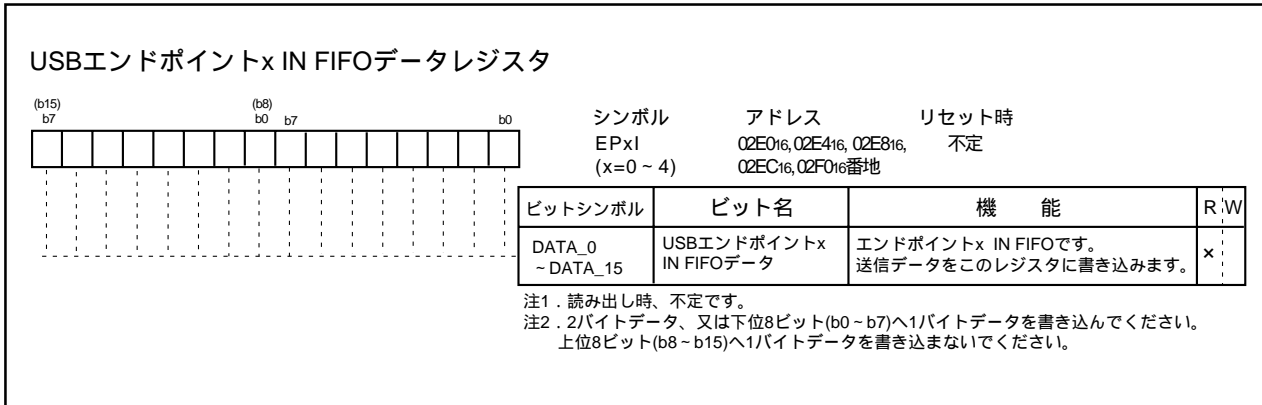


図1.13.23. USBエンドポイントx IN FIFOデータレジスタの構成

図1.13.24にUSBエンドポイントx OUT FIFOデータレジスタを示します。

USBの受信(OUT)FIFOデータレジスタです。ホストからデータを受信後、このレジスタからデータを読み出します。

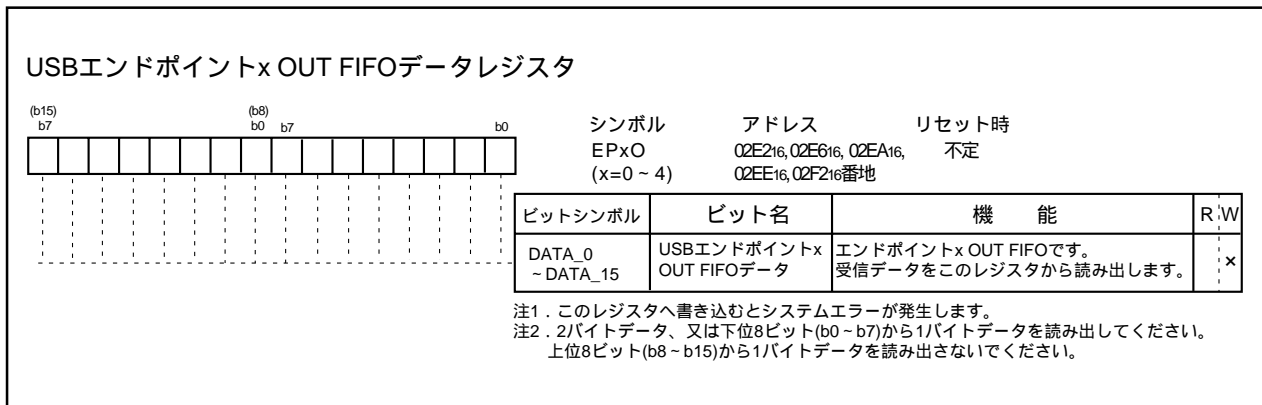


図1.13.24. USBエンドポイントx OUT FIFOデータレジスタの構成

Vbus検出

デバイスの電源供給方法には、次の2通りあります。

セルフパワー

電池などの外部電源から電源供給します。ホストPCの電源ON/OFF時のモニタリングが必要です。

バスパワー

USB Vbusにより、ホストPCから電源供給します。ホストPCがすでに電源ON状態であれば、USB経由で電源が供給されるため、Vbus検出機能は必要ありません。

USBセルフパワー動作時、電池などの消耗を抑えるため、デバイスがホストPCに接続されVbusから電力供給できるときのみバスパワーに切り替えたい場合、Vbus検出機能を使用します。Vbus検出機能を使用するためには、ハードウェア設定としてVbusDTCT端子の処理、ソフトウェアでVbus検出割り込みの設定が必要です。VbusDTCT端子は、Vbus検出機能用の端子です。セルフパワー動作時、USBコネクタのVbusラインをVbusDTCT端子に接続します。Vbus検出機能の許可/禁止は、USB接続/非接続レジスタのVbus検出許可ビット(001F16番地のビット7)を“1”に設定してください。また、Vbus検出割り込み制御レジスタ(VBDIC: 005C16番地)で割り込み優先レベルを設定してください。ホストPCの電源ON/OFF時に関わらず、Vbus検出割り込みは発生します。Vbus検出割り込みが発生したら、P91のポートレジスタ値を読みだし、電源ON/OFFを検出してください。

図1.13.25にセルフパワー動作時の接続例、図1.13.26にVbus関連レジスタを示します。

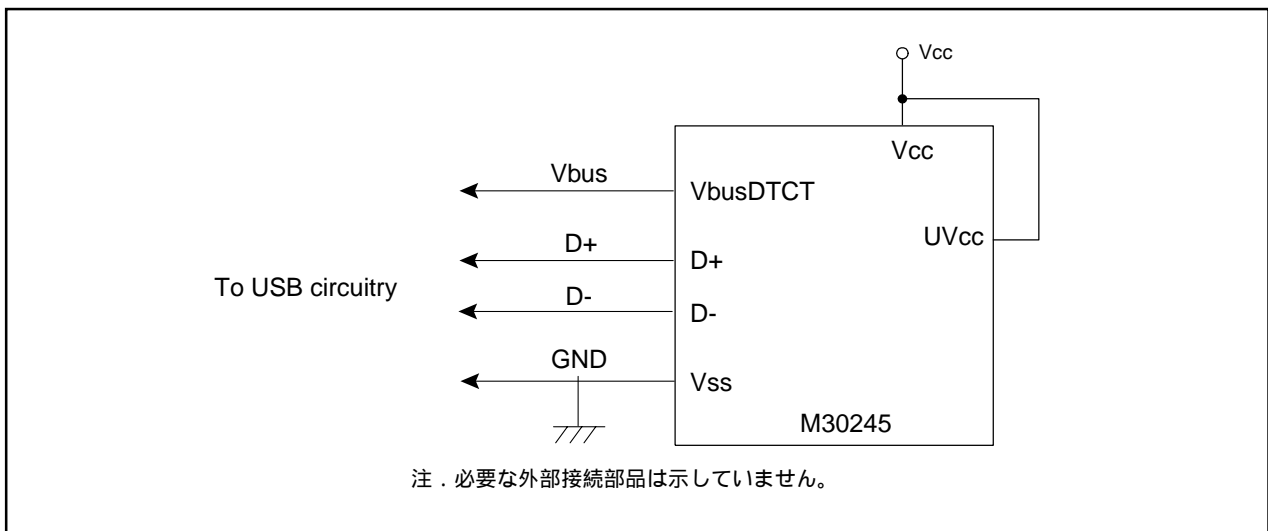


図1.13.25. セルフパワー動作時の接続例

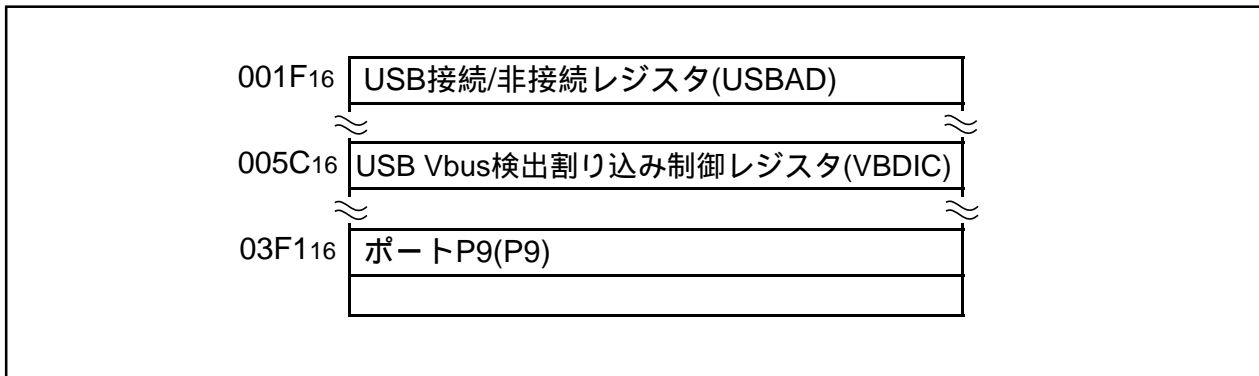


図1.13.26. Vbus関連レジスタ

スタートアップ時、誤ったVbus検出割り込みの受信を避けるために、Vbus検出割り込みを許可する前にVbus検出を許可する必要があります。以下の手順でVbus検出許可します。

1. Vbus検出許可ビット(001F16番地のビット7)を“1”に設定し、Vbus検出を許可します。
2. Vbus検出割り込み要求ビット(005C16番地のビット3)を“0”に設定し、Vbus検出割り込み要求をクリアします。
3. Vbus検出割り込み優先レベル(005C16番地のビット0～2)を“0002”より大きな値に設定し、Vbus検出割り込みを許可します。

図1.13.27にVbus検出割り込みのタイミングを示します。

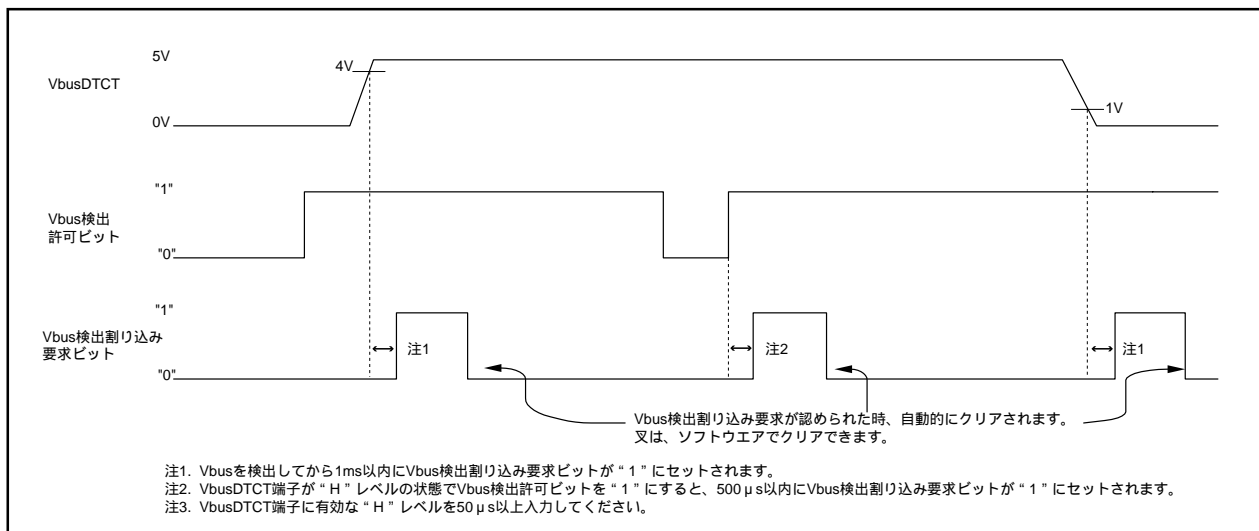


図1.13.27. Vbus検出割り込みのタイミング

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を4チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、又は1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.14.1にDMACのブロック図を、表1.14.1にDMACの仕様を、図1.14.2～図1.14.4にDMACで使用するレジスタの構成を示します。

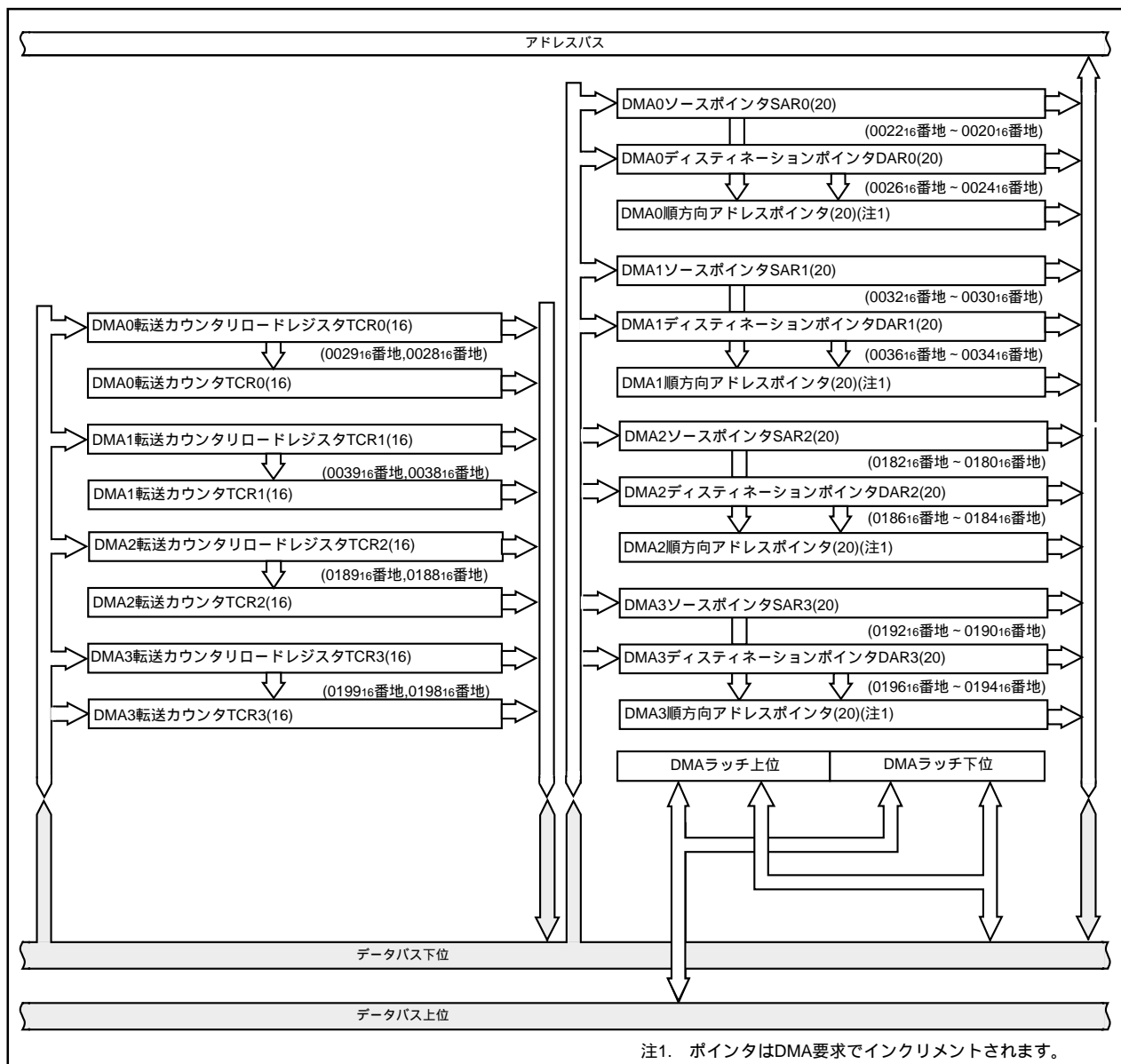


図1.14.1. DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(フラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生すると、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.14.1. DMAC仕様

項 目	仕 様
チャンネル数	4チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可: 0020 ₁₆ 番地 ~ 003F ₁₆ 、0180 ₁₆ 番地 ~ 019F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0, INT1, INT2端子の立ち下がりエッジ、又は両エッジ タイマA0 ~ タイマA4割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 UART3送信および受信割り込み要求 A/D変換割り込み要求 USB機能割り込み要求 ソフトウェアトリガ DMAトリガ シリアルサウンドインタフェース0送信および受信割り込み要求 シリアルサウンドインタフェース1送信および受信割り込み要求
チャンネル優先順位	優先順位の高い順に、DMA0, DMA1, DMA2, DMA3
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生することにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、又はディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

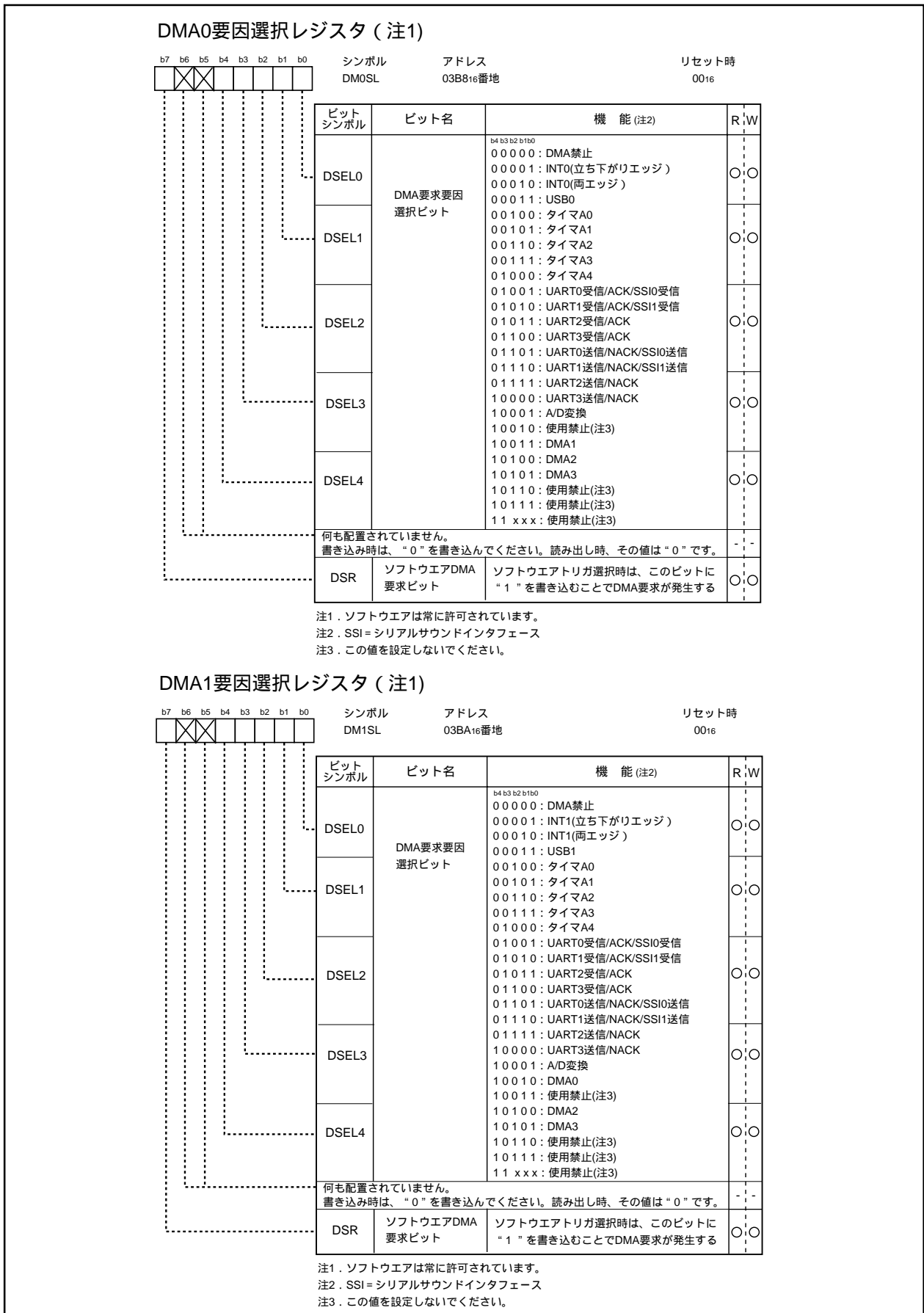


図1.14.2. DMACレジスタ構成(1)

DMA2要因選択レジスタ (注1)

		シンボル DM2SL	アドレス 03B0 ₁₆ 番地	リセット時 00 ₁₆
ビットシンボル	ビット名	機能 (注2)	R	W
DSEL0	DMA要求要因 選択ビット	b4 b3 b2 b1b0 00000: DMA禁止 00001: INT2(立ち下がリエッジ) 00010: INT2(両エッジ) 00011: USB2 00100: タイマA0 00101: タイマA1 00110: タイマA2 00111: タイマA3 01000: タイマA4 01001: UART0受信/ACK/SSI0受信 01010: UART1受信/ACK/SSI1受信 01011: UART2受信/ACK 01100: UART3受信/ACK 01101: UART0送信/NACK/SSI0送信 01110: UART1送信/NACK/SSI1送信 01111: UART2送信/NACK	○	○
DSEL1		10000: UART3送信/NACK 10001: A/D変換 10010: DMA0 10011: DMA1 10100: 使用禁止(注3) 10101: DMA3 10110: 使用禁止(注3) 10111: 使用禁止(注3) 11xxx: 使用禁止(注3)	○	○
DSEL2			○	○
DSEL3			○	○
DSEL4			○	○
何も配置されていません。 書き込み時は、“0”を書き込んでください。読み出し時、その値は“0”です。			-	-
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、このビットに “1”を書き込むことでDMA要求が発生する	○	○

注1. ソフトウェアは常に許可されています。
注2. SSI=シリアルサウンドインタフェース
注3. この値を設定しないでください。

DMA3要因選択レジスタ (注1)

		シンボル DM3SL	アドレス 03B2 ₁₆ 番地	リセット時 00 ₁₆
ビットシンボル	ビット名	機能 (注2)	R	W
DSEL0	DMA要求要因 選択ビット	b4 b3 b2 b1b0 00000: DMA禁止 00001: INT0(立ち下がリエッジ) 00010: INT0(両エッジ) 00011: USB3 00100: タイマA0 00101: タイマA1 00110: タイマA2 00111: タイマA3 01000: タイマA4 01001: UART0受信/ACK/SSI0受信 01010: UART1受信/ACK/SSI1受信 01011: UART2受信/ACK 01100: UART3受信/ACK 01101: UART0送信/NACK/SSI0送信 01110: UART1送信/NACK/SSI1送信 01111: UART2送信/NACK 10000: UART3送信/NACK 10001: A/D変換 10010: DMA0 10011: DMA1 10100: DMA2 10101: 使用禁止(注3) 10110: 使用禁止(注3) 10111: 使用禁止(注3) 11xxx: 使用禁止(注3)	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
DSEL4			○	○
何も配置されていません。 書き込み時は、“0”を書き込んでください。読み出し時、その値は“0”です。			-	-
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、このビットに “1”を書き込むことでDMA要求が発生する	○	○

注1. ソフトウェアは常に許可されています。
注2. SSI=シリアルサウンドインタフェース
注3. この値を設定しないでください。

図1.14.3. DMACレジスタ構成(2)

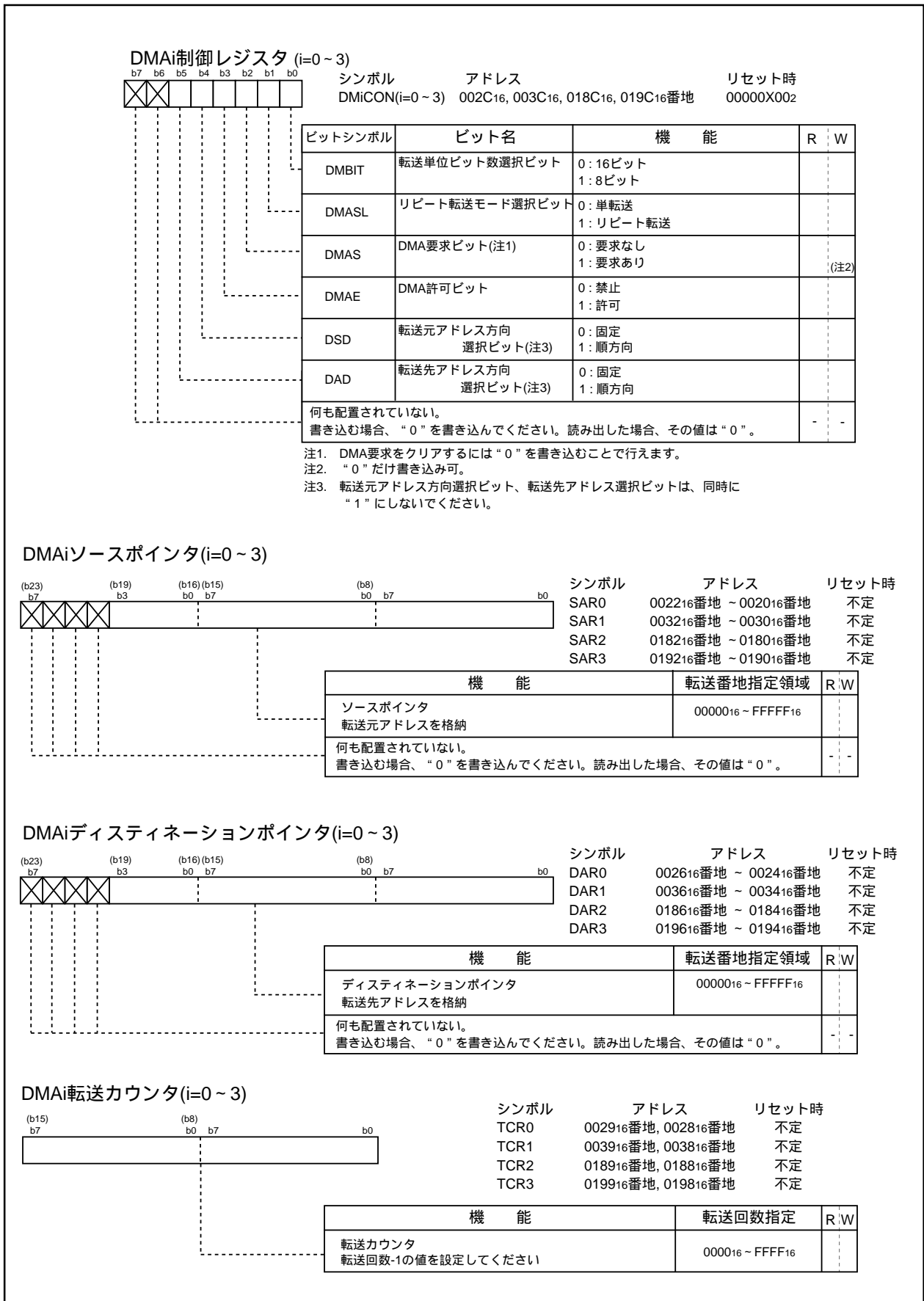


図1.14.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリ、又はSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスおよびソフトウェアウエイトの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE 端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

BYTE 端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE 端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE 端子で選択したデータ幅でアクセスします。

ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.14.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば、転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

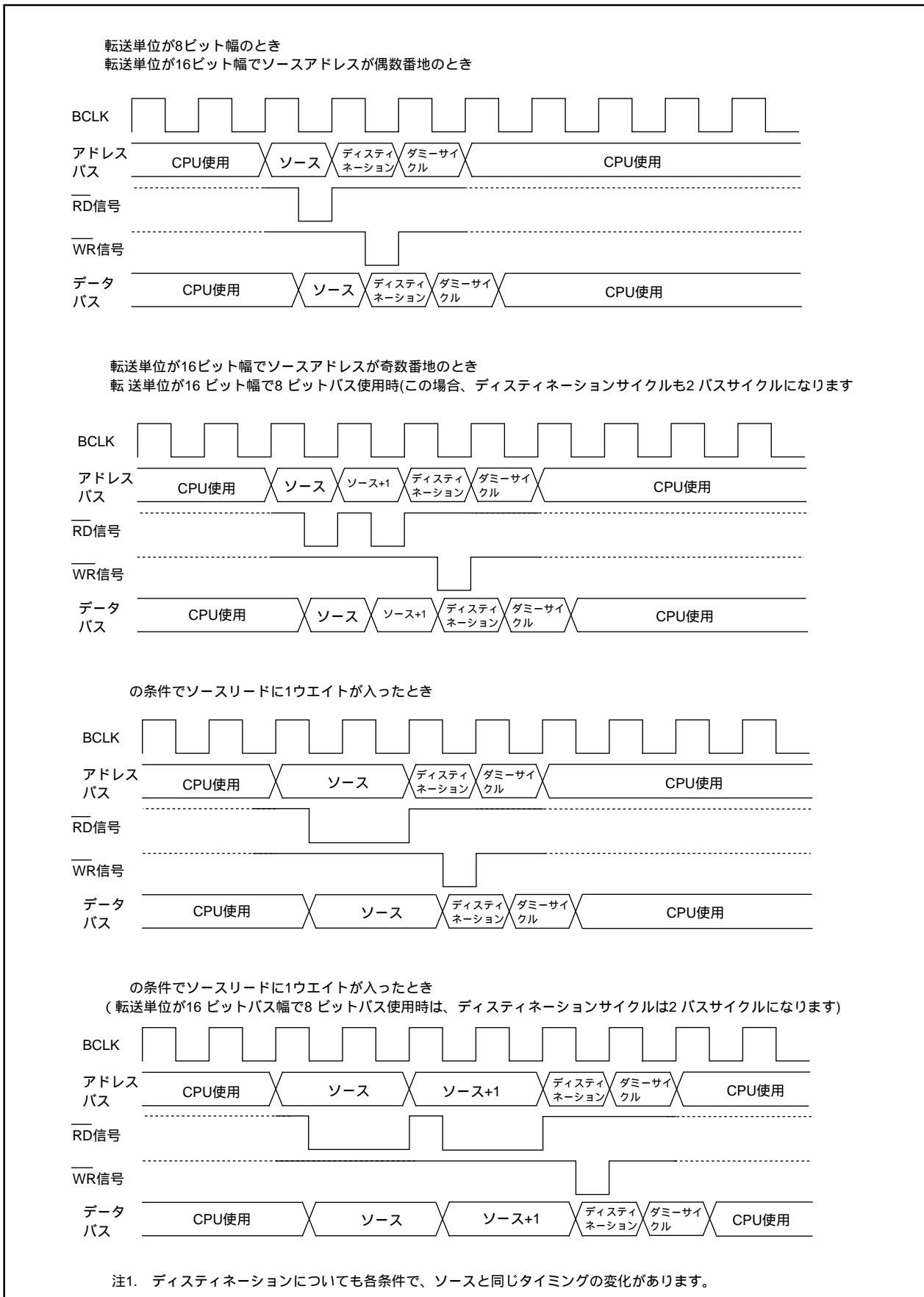


図1.14.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.14.2にDMAC転送サイクル数を示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表1.14.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数 j,k

	内部領域		外部領域			
	内部ROM, RAM	SFR	ウェイト なし	ウェイトあり(注1)		
				1ウェイト	2ウェイト	3ウェイト
j	1	2	1	2	3	4
k	1	2	2	2	3	4

注1. チップセレクト拡張レジスタ(CSE)の設定値に依存します。

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタ、又はディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

DMA転送要因としてUSB0/USB1/USB2/USB3を選択する場合、以下の手順で各レジスタをセットアップしてください。

- DMA禁止(DMAi制御レジスタのビット3を“0”)
- DMA要求要因にUSB0/USB1/USB2/USB3を選択(DMAi要因選択レジスタのビット4~0に“000112”)
- DMAiソースポインタの設定
- DMAiディスティネーションポインタの設定
- DMAi転送カウンタの設定
- DMA許可(DMAi制御レジスタのビット3を“1”)
- USB DMAx要求レジスタの設定(029016,029216, 029416,029616番地)

(2) 外部要因

INTi端子(DMACチャンネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因としてINTi端子を選択すると、これらの端子からの入力が入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各INTi端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

DMAの優先順位は、次の通りです。

DMA0 > DMA1 > DMA2 > DMA3

外部要因によるDMA0、DMA1要求が同時に発生した場合のDMA転送の動作例を図58に示します。

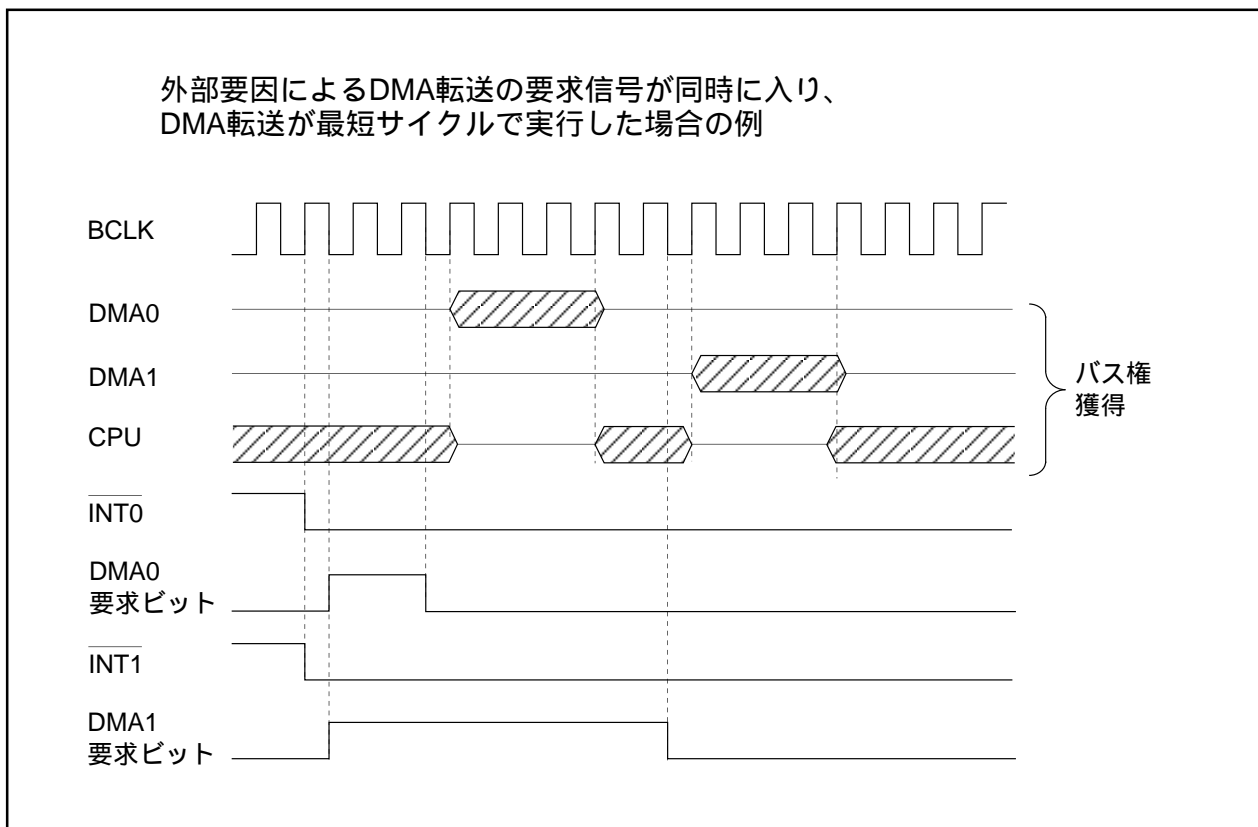


図1.14.6. 外部要因によるDMA転送例

タイマA

タイマAは、16ビットタイマを5本内蔵しています。すべてのタイマは、それぞれ独立して動作します。

図1.15.1にタイマAの構成を示します。

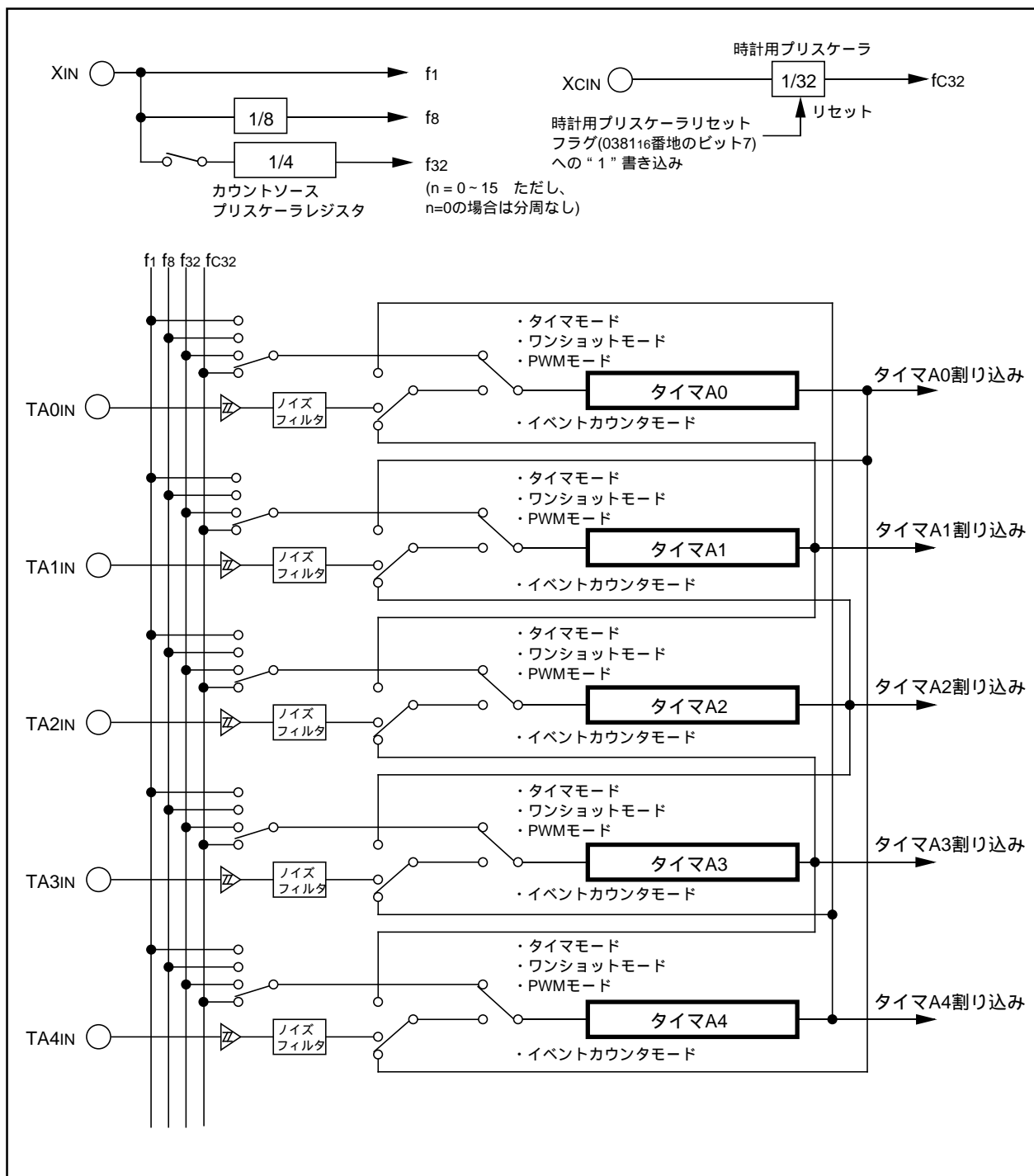


図1.15.1. タイマA構成

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、又はタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるとカウントが止まるモード
- ・パルス幅変調(PWM)モード 任意のパルス幅を連続して出力するモード

図1.15.2にタイマAのブロック図を、図1.15.3～図1.15.5にタイマA関連のレジスタを示します。

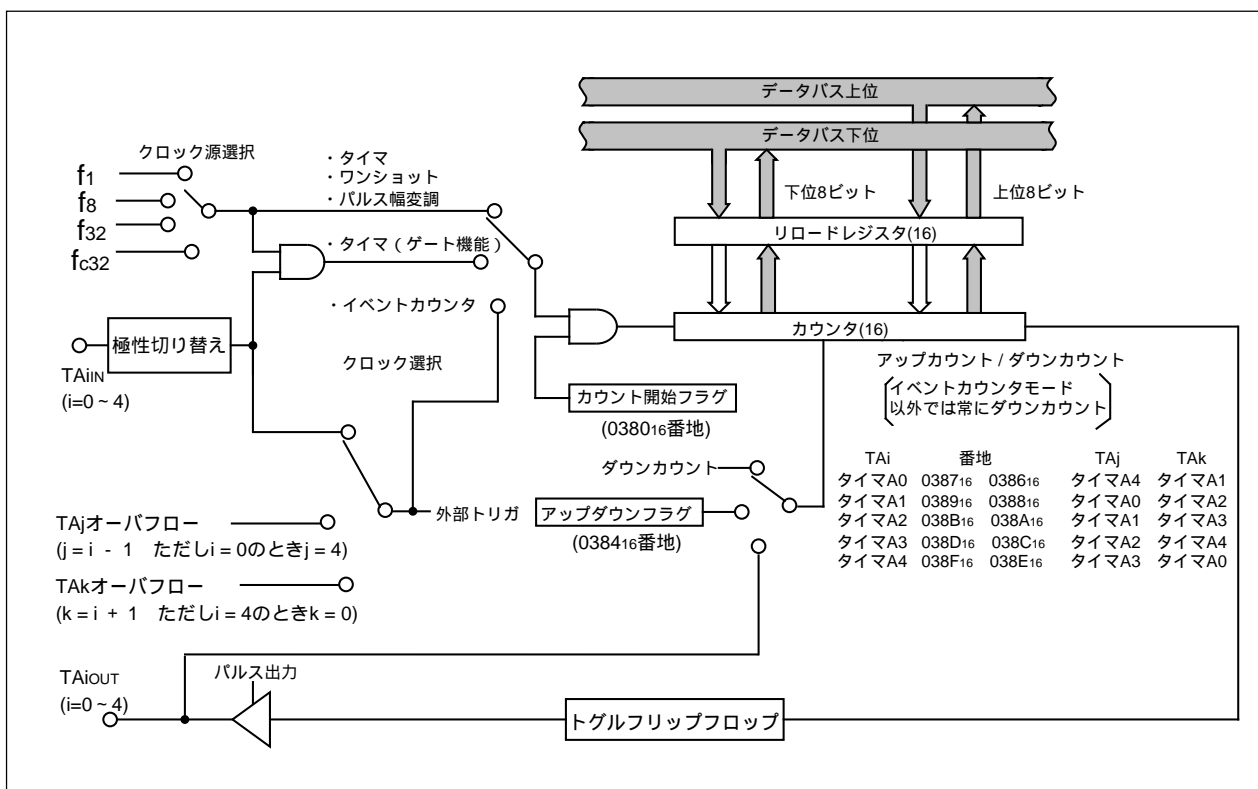
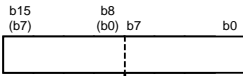


図1.15.2. タイマAブロック図

タイマAiレジスタ (i=0~4)(注1)

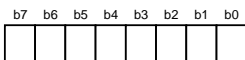


シンボル	アドレス	リセット時
TAi(i=0~4)	0387 ₁₆ ,0386 ₁₆ , 0389 ₁₆ ,0388 ₁₆ , 038B ₁₆ ,038A ₁₆ , 038D ₁₆ ,038C ₁₆ , 038F ₁₆ ,038E ₁₆ 番地	不定

モード	機能	設定範囲	R	W
タイマモード	16ビットカウンタ (分周比を設定)	0000 ₁₆ ~ FFFF ₁₆	○	○
イベントカウンタモード	16ビットカウンタ (分周比を設定) (注2)	0000 ₁₆ ~ FFFF ₁₆	○	○
ワンショットタイマモード	16ビットカウンタ (ワンショット幅を設定) (注6)	0000 ₁₆ ~ FFFF ₁₆ (注3)	—	○
パルス幅変調モード (16ビットPWM)	16ビットパルス幅変調器 (PWMパルス幅の"H"幅を設定) (注4,7)	0000 ₁₆ ~ FFFF ₁₆ (注3)	—	○
パルス幅変調モード (8ビットPWM)	下位8ビット : 8ビットプリスケアラ(注5,7) (PWMの周期を設定) 上位8ビット : 8ビットパルス幅変調器 (PWMパルスの"H"幅を設定)	00 ₁₆ ~ FE ₁₆ (上位アドレス、 下位アドレスとも) (注3)	—	○

- 注1. 読み出し、および書き込みは16ビット単位で実行してください。
- 注2. 外部入力パルス、又はタイマのオーバフローをカウント。
- 注3. このレジスタへの書き込みは、MOV命令を使用してください。
- 注4. 設定値をnとすると、PWMの周期・PWMパルスの"H"幅は以下のとおりです。
PWMの周期 : $(2^{16}-1) / f_i$
PWMパルスの"H"幅 : n / f_i
- 注5. 上位アドレスの設定値をn、下位アドレスの設定値をmとすると、PWMの周期・PWMパルスの"H"幅は以下のとおりです。
PWMの周期 : $(2^8-1) \times (m+1) / f_i$
PWMパルスの"H"幅 : $(m+1)n / f_i$
- 注6. タイマAiレジスタに "0000₁₆" を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOut端子からパルスは出力されません。
- 注7. タイマAiレジスタに "0000₁₆" を設定した場合、パルス幅変調器は動作せず、TAiOut端子の出力レベルは "L" のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに "00₁₆" を設定した場合も同様です。

トリガ選択レジスタ



シンボル	アドレス	リセット時
TRGSR	0383 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R	W
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 00 : TA1In端子の入力を選択 (注1) 01 : 無効	○	○
TA1TGH		10 : TA0のオーバフローを選択 11 : TA2のオーバフローを選択	○	○
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 00 : TA2In端子の入力を選択 (注1) 01 : 無効	○	○
TA2TGH		10 : TA1のオーバフローを選択 11 : TA3のオーバフローを選択	○	○
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 00 : TA3In端子の入力を選択 (注1) 01 : 無効	○	○
TA3TGH		10 : TA2のオーバフローを選択 11 : TA4のオーバフローを選択	○	○
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 00 : TA4In端子の入力を選択 (注1) 01 : 無効	○	○
TA4TGH		10 : TA3のオーバフローを選択 11 : TA0のオーバフローを選択	○	○

注1. 対応するポート方向レジスタは"0"にしてください。

図1.15.3. タイマA関連レジスタ(1)

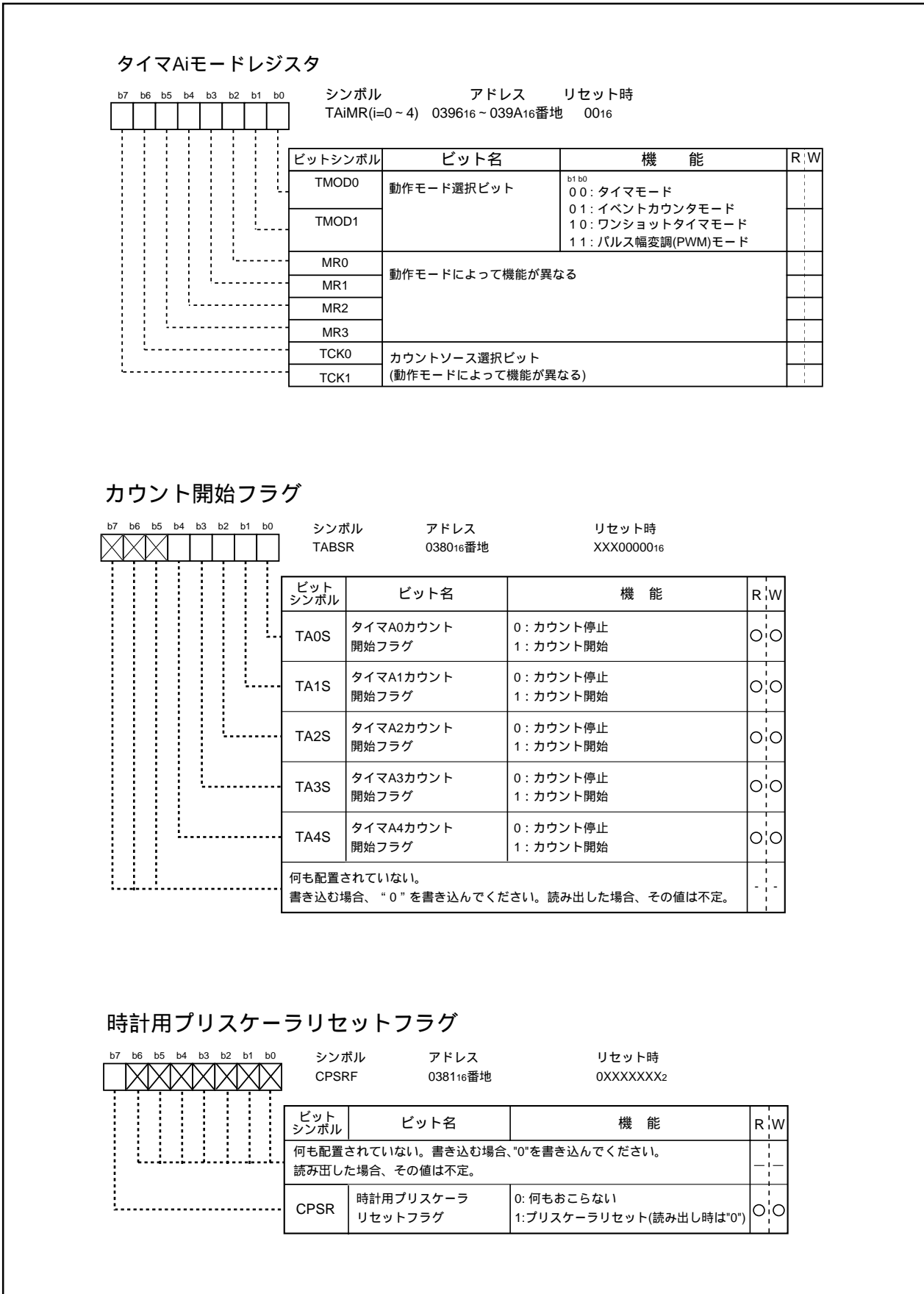
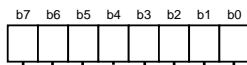


図1.15.4. タイマA関連レジスタ(2)

アップダウンフラグ(注1)

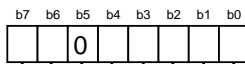


シンボル アドレス リセット時
UDF 0384₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
TA0UD	タイマA0アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	○ ○
TA1UD	タイマA1アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	○ ○
TA2UD	タイマA2アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	○ ○
TA3UD	タイマA3アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	○ ○
TA4UD	タイマA4アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	○ ○
TA2P	タイマA2 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	- ○
TA3P	タイマA3 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	- ○
TA4P	タイマA4 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	- ○

- 注1. このレジスタへの書き込みはMOV命令を使用してください。
- 注2. アップ/ダウン切替要因にアップダウンフラグの内容を選択すると有効になります。
- 注3. 二相パルス信号処理機能を使用しない場合は"0"を設定してください。

ワンショット開始フラグ



シンボル アドレス リセット時
ONSF 0382₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
TA0OS	タイマA0ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	○ ○
TA1OS	タイマA1ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	○ ○
TA2OS	タイマA2ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	○ ○
TA3OS	タイマA3ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	○ ○
TA4OS	タイマA4ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	○ ○
予約ビット		必ず"0"を設定してください。	○ ○
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0IN端子の入力 (注2、3)	○ ○
TA0TGH		01: 無効 10: TA4のオーバーフロー 11: TA1のオーバーフロー	

- 注1. 読み出し時の値は"0"。
- 注2. 対応するポート方向レジスタは"0"にしてください。
- 注3. ワンショットタイマモードで外部トリガ入力によるカウント開始はできません。

図1.15.5. タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.15.1)。図1.15.6にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.15.1. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、又はゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

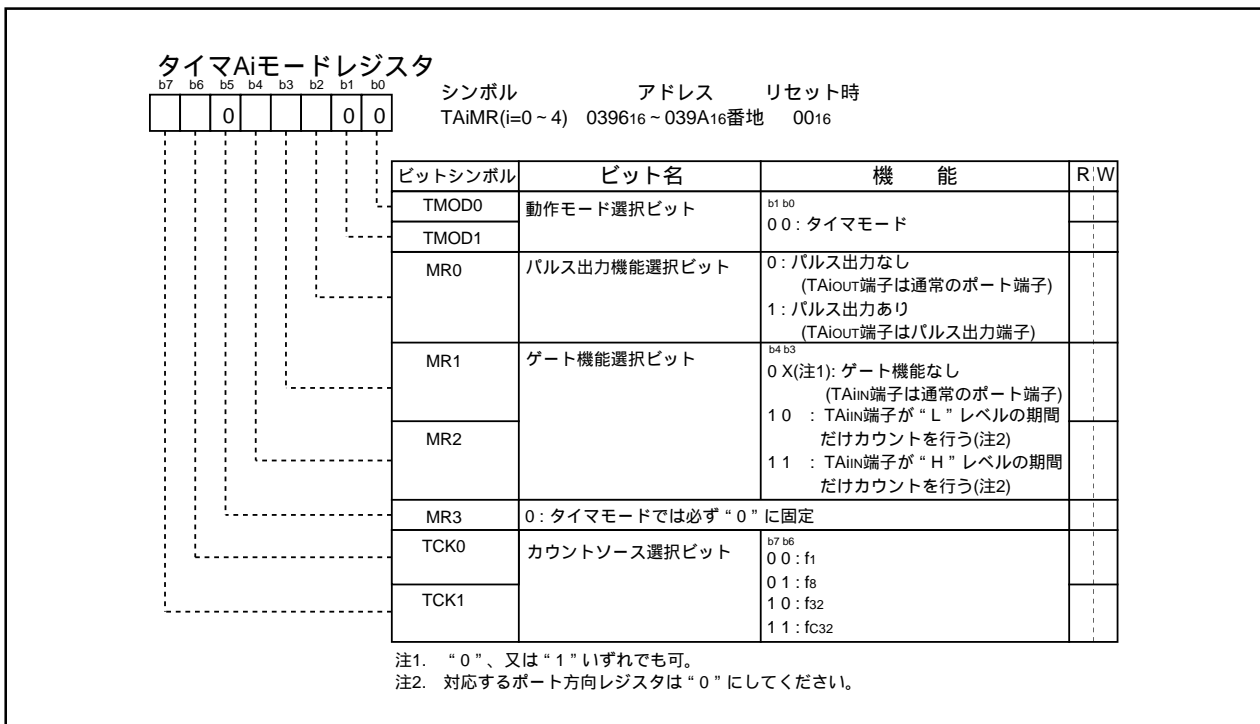


図1.15.6. タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号、又は内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできません。一相の外部信号をカウントする場合の仕様を表1.15.2に、二相の外部信号をカウントする場合の仕様を表1.15.3に、タイマAiモードレジスタの構成を図1.15.7に示します。

表1.15.2. イベントカウンタモードの仕様（二相パルス信号を使用しない場合）

項 目	仕 様
カウントソース	TAiIn端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TAjのオーバフロー
カウント動作	アップカウント、又はダウンカウントを、外部信号、又はソフトウェアで選択可能 オーバフロー、又はアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIn端子機能	プログラマブル入出力ポート、又はカウントソース入力
TAiOut端子機能	プログラマブル入出力ポート、パルス出力、又はアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフロー、又はアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフロー、又はアンダフローするごとにTAiOut端子の極性が反転

注1. フリーラン機能選択時は除きます。

表1.15.3. イベントカウンタモードの仕様（二相パルス信号を使用する場合）

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	アップカウント、又はダウンカウントを、二相パルス信号によって切り替え可 オーバフロー、又はアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注2)	<p>通常処理動作（タイマA2,A3） TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし、立ち下がりダウンカウントします。</p> <p>4通倍処理動作（タイマA3,A4） TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりアップカウントします。 TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりダウンカウントします。</p>

注1．フリーラン機能選択時は除く。

注2．タイマA3 だけ選択できます。タイマA2 は通常処理動作に、タイマA4 は4 通倍処理動作に固定です。

タイマAiモードレジスタ (i=0~4)(イベントカウンタモード)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
						0	1	TAiMR(i=0~4)	0396 ₁₆ , 0397 ₁₆ , 0398 ₁₆ , 0399 ₁₆ , 039A ₁₆ 番地	00000X002

ビット シンボル	ビット名	機能 (二相パルス信号処理を使用しない)	機能 (二相パルス信号処理を使用する)	R	W
TMOD0	動作モード 選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)		○	○
MR0	パルス出力機能 選択ビット	0 : パルス出力なし (TAiOUT端子は通常の ポート端子) 1 : パルス出力あり (TAiOUT端子はパルス 出力端子) (注3)	"0"を設定して ください。	—	—
MR1	カウント極性 選択ビット (注2)	0 : 外部信号の立ち 下がりカウント 1 : 外部信号の立ち 上がりカウント	"0"を設定して ください。	○	○
MR2	アップ/ダウン切替 要因選択ビット	0 : アップダウン フラグの内容 1 : TAiOUT端子の 入力内容 (注3)	"1"を設定して ください。	○	○
MR3	イベントカウンタモードでは、"0"を設定してください。			○	○
TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		○	○
TCK1	二相パルス処理動作 選択ビット (注4)	"0"を設定してください	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1. イベントカウンタモードではカウントソースをタイマAiイベント/トリガ選択ビット(0382₁₆,0383₁₆番地)で選択。

注2. 外部信号カウント時のみ有効。

注3. 対応するポート方向レジスタは"0"にしてください。

TAiOUT端子の入力信号が"L"の時はダウンカウント、"H"の時はアップカウントを行います。

注4. このビットはタイマA3モードレジスタにおいて有効。

タイマA0,A1モードレジスタでは、"0"、又は"1"のいずれでも可。

タイマA2モードレジスタでは通常処理動作に、タイマA4モードレジスタでは4逓倍処理動作に固定です。

図1.15.7. イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.15.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.15.8にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.15.4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIn端子機能	プログラマブル入出力ポート、又はトリガ入力
TAiOut端子機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

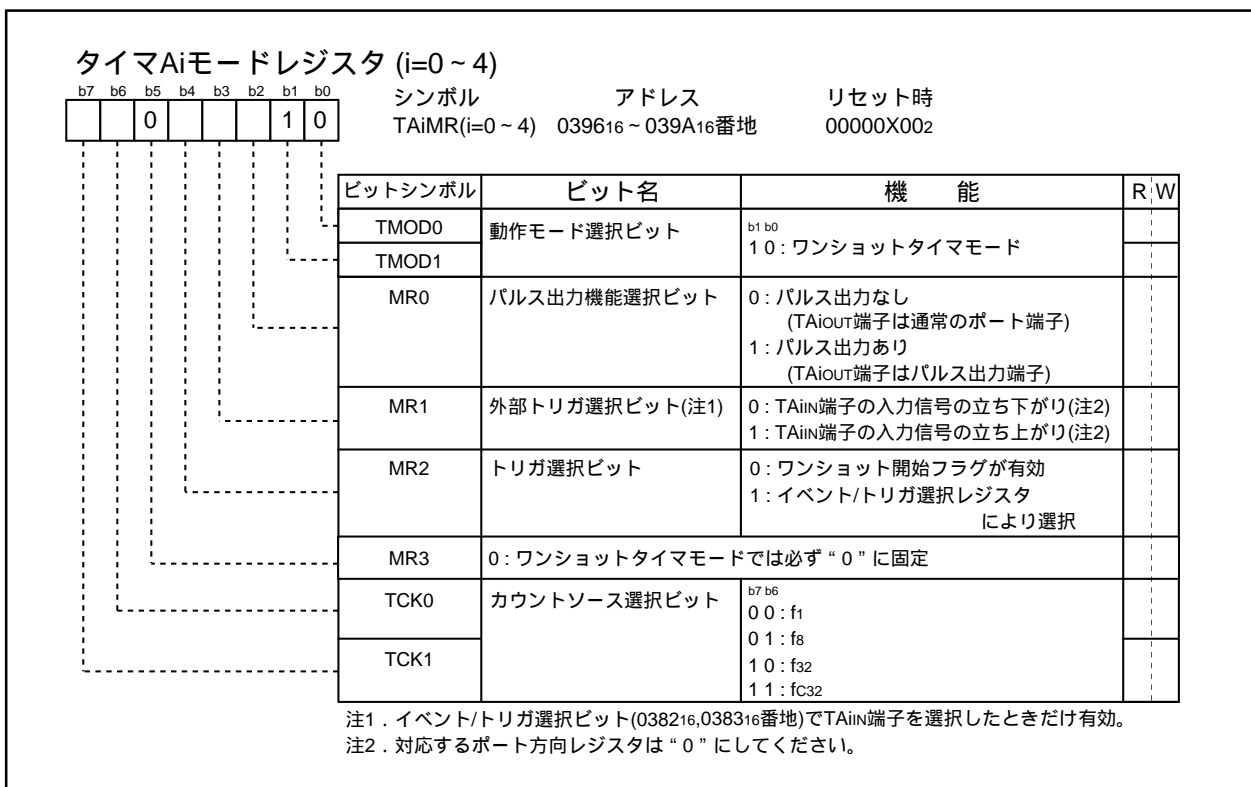


図1.15.8. ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調(PWM)モード

任意の幅のパルスを連続して出力するモードです(表1.15.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.15.9にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.15.10に16ビットパルス幅変調器の動作例、および図1.15.11に8ビットパルス幅変調器の動作例を示します。

表1.15.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1,f8,f32,fc32
カウント動作	ダウンカウント(8ビット、又は16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / fi n:設定値 周期 (2 ¹⁶ - 1) / fi固定
8ビットPWM	“H”レベル幅 n x (m+1) / fi n:タイマAiレジスタの上位アドレスの設定値 周期 (2 ⁸ - 1) x (m+1) / fi m:タイマAiレジスタの下部アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、又はトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

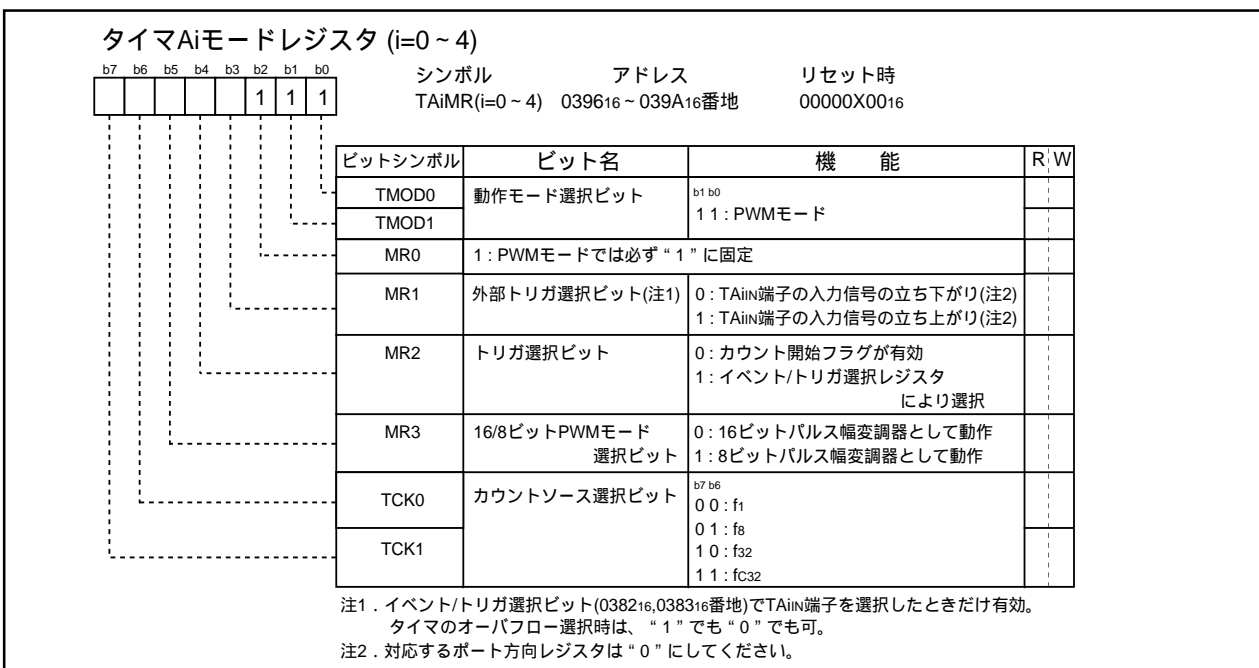


図1.15.9. パルス幅変調モード時のタイマAiモードレジスタの構成

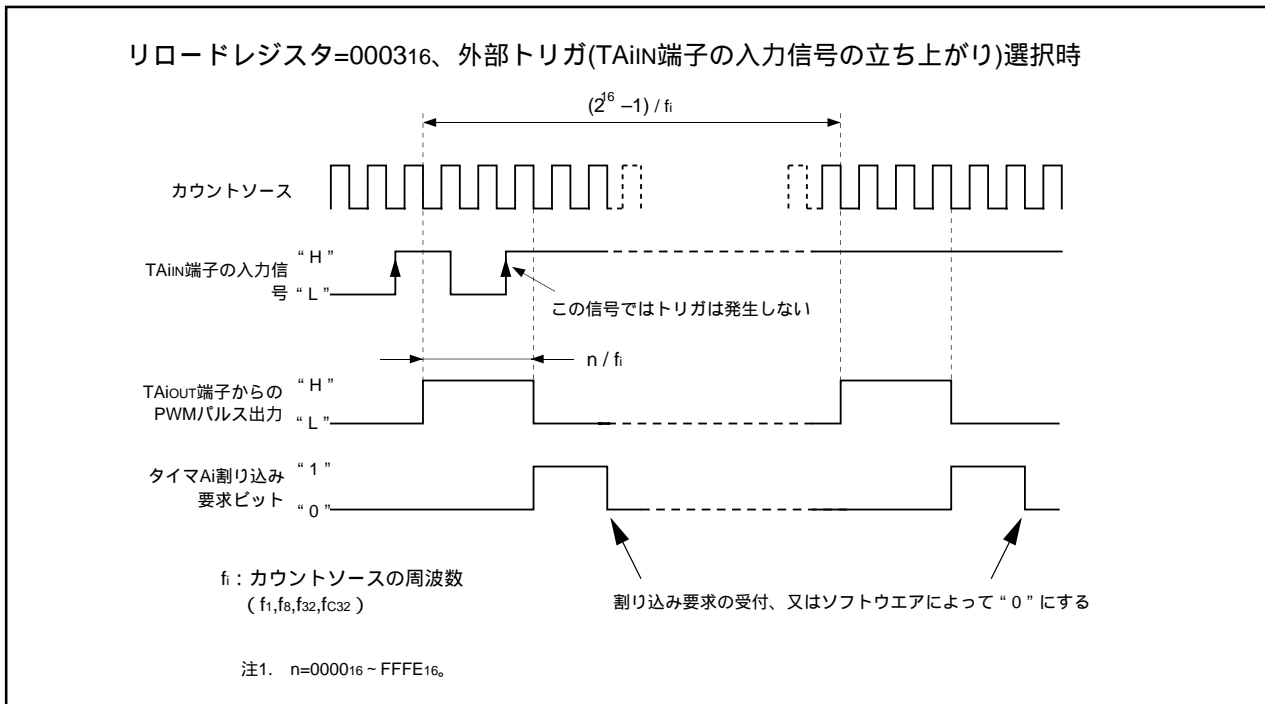


図1.15.10. 16ビットパルス幅変調器の動作例

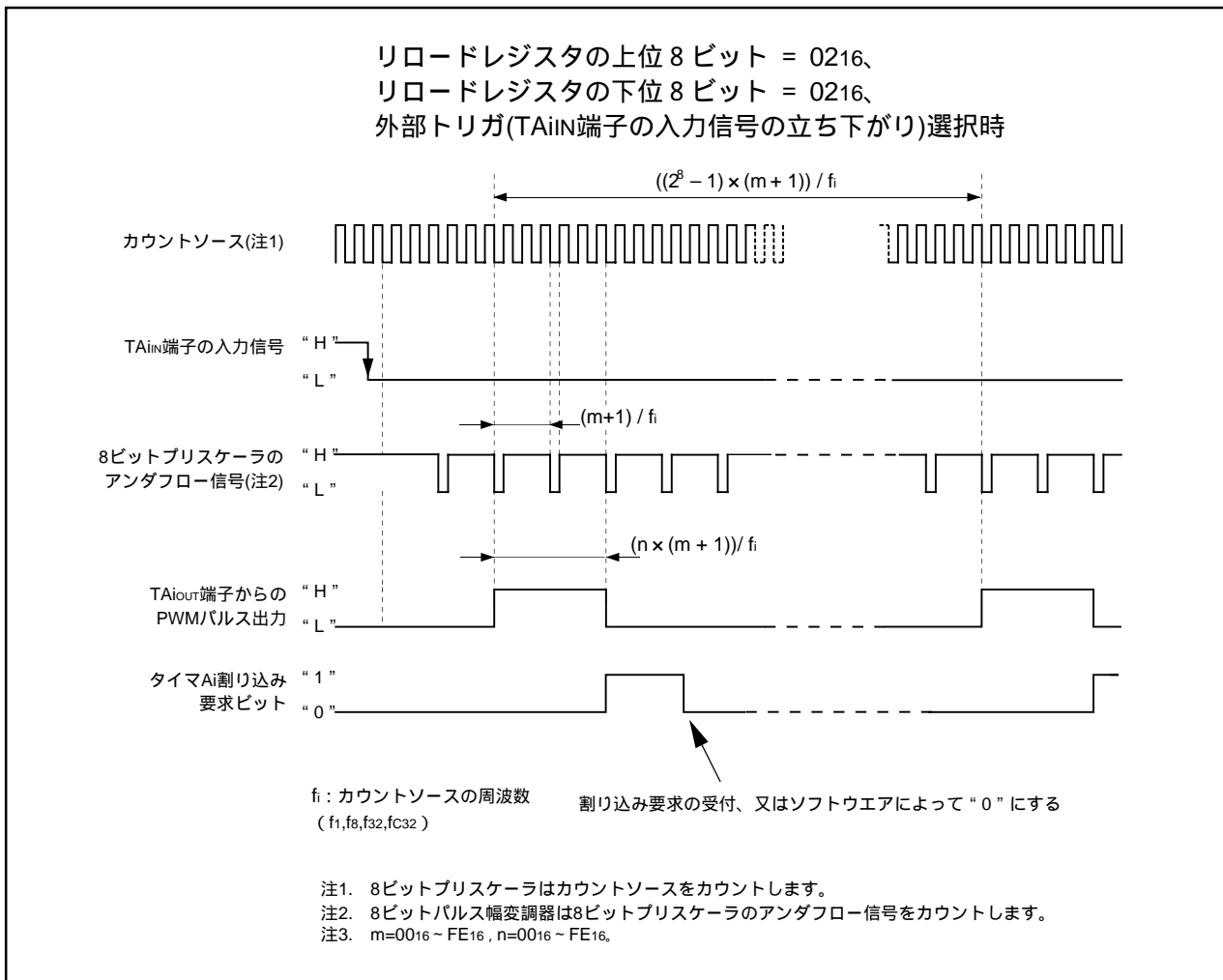


図1.15.11. 8ビットパルス幅変調器の動作例

シリアルI/O

シリアルI/Oは、UART0~UART3の4チャンネルで構成しています。

UART0~UART3はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.16.1にUARTi(i=0~3)のブロック図を示します。

UARTi(i=0~3)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A8₁₆、0368₁₆、0338₁₆、0328₁₆番地のビット0~ビット2)の内容で選択します。TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

図1.16.2~図1.16.7に、UARTi関連のレジスタを示します。

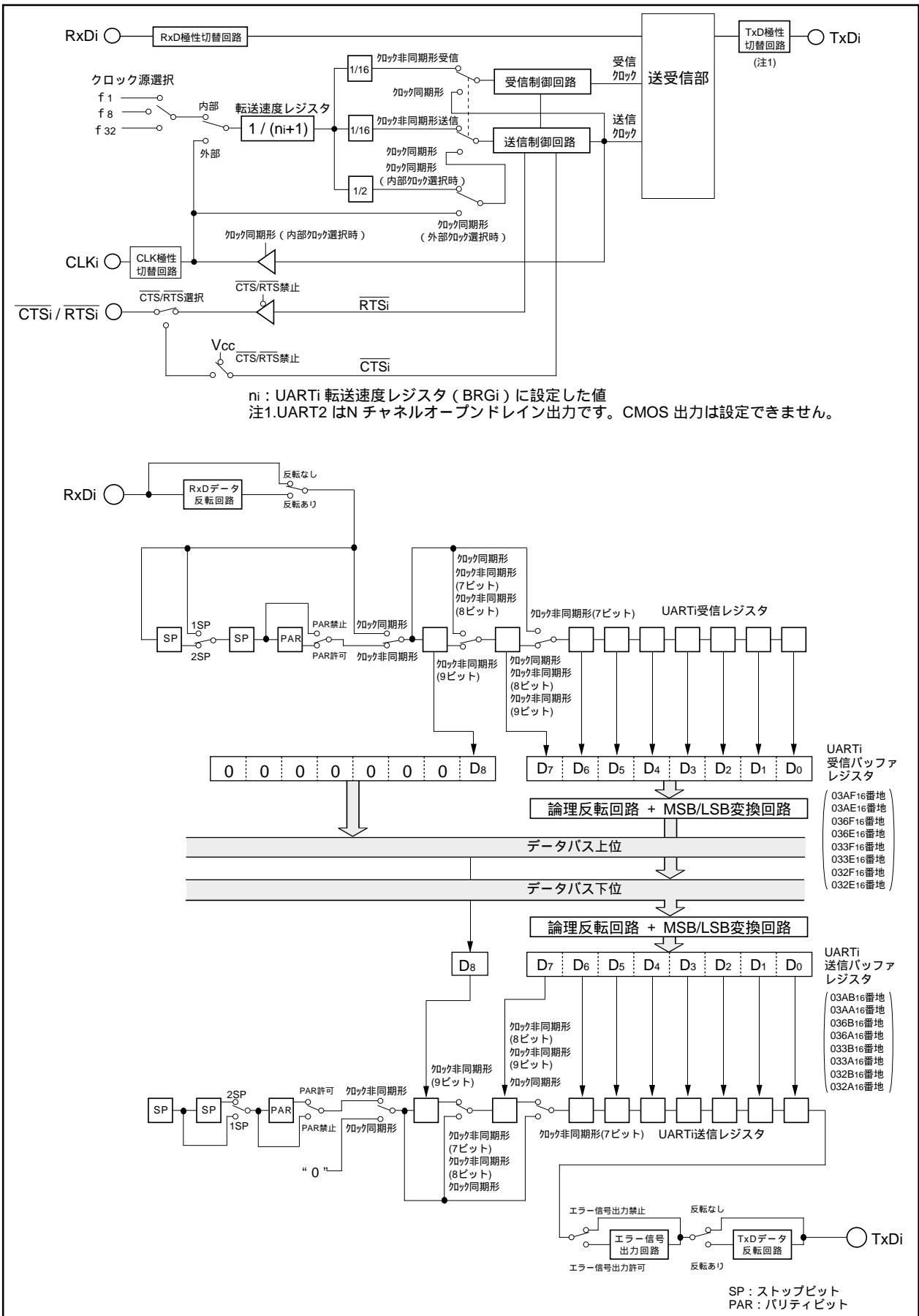
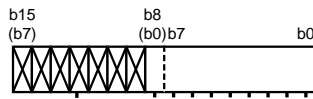


図1.16.1. UARTi(i=0~3)ブロック図

SP : ストップビット
 PAR : パリティビット

- UARTi 受信バッファレジスタ
- (03AF16番地)
 - (03AE16番地)
 - (036F16番地)
 - (036E16番地)
 - (033F16番地)
 - (033E16番地)
 - (032F16番地)
 - (032E16番地)
- UARTi 送信バッファレジスタ
- (03AB16番地)
 - (03AA16番地)
 - (036B16番地)
 - (036A16番地)
 - (033B16番地)
 - (033A16番地)
 - (032B16番地)
 - (032A16番地)

UARTi送信バッファレジスタ (i=0~3) (注1)

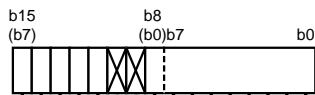


シンボル	アドレス	リセット時
U0TB	03AB ₁₆ , 03AA ₁₆ 番地	不定
U1TB	036B ₁₆ , 036A ₁₆ 番地	不定
U2TB	033B ₁₆ , 033A ₁₆ 番地	不定
U3TB	032B ₁₆ , 032A ₁₆ 番地	不定

ビットシンボル	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R	W
——	送信データ	送信データ	x	○
——	——	送信データ(9bit目)	x	○
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		—	—

注1. このレジスタの書き込みはMOV命令を使用してください。

UARTi受信バッファレジスタ (i = 0 ~ 3)



シンボル	アドレス	リセット時
U0RB	03AF ₁₆ , 03AE ₁₆ 番地	不定
U1RB	036F ₁₆ , 036E ₁₆ 番地	不定
U2RB	033F ₁₆ , 033E ₁₆ 番地	不定
U3RB	032F ₁₆ , 032E ₁₆ 番地	不定

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R	W
——	——	受信データ	受信データ	○	x
——	——	——	受信データ(9bit目)	○	x
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		——	—	—
ABT	アービトラージョンロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	無効	○	○
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	○	x
FER	フレーミングエラーフラグ (注2)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	○	x
PER	パリティエラーフラグ (注2)	無効	0: パリティエラーなし 1: パリティエラー発生	○	x
SUM	エラーサムフラグ (注2)	無効	0: エラーなし 1: エラー発生	○	x

注1. アービトラージョンロスト検出フラグは、“0”のみ書き込みできます。

注2. bit15~bit12はシリアルI/Oモード選択ビット(03A8₁₆,0368₁₆,033B₁₆,0328₁₆番地のbit2~bit0)を“000₂”にしたとき、又は受信許可ビットを“0”にしたとき“0”になります(bit15は、bit14~bit12がすべて“0”になると“0”になります)。また、bit14,bit13はUARTi受信バッファレジスタの下位バイト(03AE₁₆,036E₁₆,033E₁₆,032E₁₆番地)を読み出したときも、“0”になります。

図1.16.2. UARTi関連のレジスタ (1)

UARTi転送速度レジスタ (i=0 ~ 3) (注1,2)

b7 b0

シンボル	アドレス	リセット時
U0BRG	03A9 ₁₆ 番地	不定
U1BRG	0369 ₁₆ 番地	不定
U2BRG	0339 ₁₆ 番地	不定
U3BRG	0329 ₁₆ 番地	不定

機能	設定可能値	R/W
設定値を n とすると、BRG _i はカウントソースをn+1分周する	00 ₁₆ - FF ₁₆	-

注1 . このレジスタの書き込みはMOV 命令を使用してください。
 注2 . 送受信停止中に値を書き込んでください。

UARTi 送受信モードレジスタ (i=0 ~ 3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時	U0MR 03
A8 ₁₆ 番地	00 ₁₆		
U1MR	0368 ₁₆ 番地	00 ₁₆	
U2MR	0338 ₁₆ 番地	00 ₁₆	
U3MR	0328 ₁₆ 番地	00 ₁₆	

ビットシンボル	ビット名	機能 (クック同期形シリアル/OE-ド時)	機能 (クック非同期形シリアル/OE-ド時)	R/W
SMD0	シリアル/Oモード選択ビット (注3)	b2 b1 b0 0 0 0 : シリアル/Oは無効 0 0 1 : シリアル/Oモード 0 1 0 : I ² Cモード 上記以外の値は設定しないでください。	b2 b1 b0 0 0 0 : シリアル/Oは無効 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 上記以外の値は設定しないでください。	-
SMD1				-
SMD2				-
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	-
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	-
PRY	パリティ奇/偶選択ビット	無効	ビット6が " 1 " のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	-
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	-
IOPOL	TxD,RxD 入出力極性切り替えビット(注2)	0 : 反転なし 1 : 反転あり		-

注1. I²Cバスインタフェースモード選択時、対応するポート(SCLi)のポート方向レジスタを " 0 "、またはポート方向レジスタを " 1 " でポートデータレジスタを " 1 " にしてください。その他のシリアル/Oモード選択時、対応するポート(CLKi)のポート方向レジスタを " 0 " にしてください。
 注2. 通常 " 0 " を設定してください。
 注3. 受信する場合、RxDi 端子に対応するポート方向レジスタは " 0 " にしてください。

図1.16.3. UARTi関連のレジスタ (2)

UARTi 送受信制御レジスタ0 (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
UIC0(i=0~3)

アドレス
03AC16, 036C16, 033C16, 032C16, 番地

リセット時
0816

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f0を選択 10: f32を選択 11: 使用禁止			
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0: CTS機能を選択(注1) 1: RTS機能を選択(注4)			
TXEPT	送信レジスタ空フラグ	0: 送信レジスタに データあり(送信中) 1: 送信レジスタに データなし(送信完了)			x
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止			
NCH (注2)	データ出力選択ビット	0: TxDi/SDAi及びSCLi端子はCMOS 出力 1: TxDi/SDAi及びSCLi端子はN チャネルオープンドレイン出力			
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1: 転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	“0”に固定してください		
UFORM	転送フォーマット選択ビット (注3)	0: LSBファースト 1: MSBファースト			

注1. 対応するポート方向レジスタは“0”にしてください。
 注2. UART2の送信端子(TxD2: P70, SCL2: P71)はNチャネルオープンドレイン出力です。
 CMOS出力は設定できません。
 注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。
 注4. 対応するポートレジスタとポート方向レジスタは無効です。

UARTi送受信制御レジスタ1 (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
UIC1(i=0~3)

アドレス
03AD16, 036D16, 033D16, 032D16番地

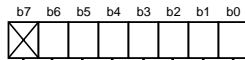
リセット時
0216

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R	W
TE	送信許可ビット	0: 送信禁止 1: 送信許可		○	○
TI	送信バッファ 空フラグ	0: 送信バッファレジスタにデータあり 1: 送信バッファレジスタにデータなし		○	○
RE	受信許可ビット	0: 受信禁止 1: 受信許可		○	○
RI	受信完了フラグ	0: 受信バッファレジスタにデータなし 1: 受信バッファレジスタにデータあり		○	○
UiIRS	UARTi 送信 割り込み要因 選択ビット	0: 送信バッファ空(TI="1") 1: 送信完了(TXEPT="1")		○	○
UiRRM	UARTi 連続受信 モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0"を設定してください	○	○
UiLCH	データ論理 選択ビット	0: 反転なし 1: 反転あり		○	○
UiERE	エラー信号出力 許可ビット	0: "0"を設定してください。 読み出した場合、その 値は不定。	エラー信号出力許可ビット 0: 出力しない 1: 出力する (注1)	○	○

注1. エラー信号出力を許可しない場合は、UiMRレジスタを設定した後に
 UiEREビットを"0"にしてください。

図1.16.4. UARTi関連のレジスタ (3)

UARTi特殊モードレジスタ1 (i=0~3)



シンボル アドレス リセット時
 UiSMR(i=0~3) 03A7₁₆, 0367₁₆, 0337₁₆, 0327₁₆番地 00₁₆

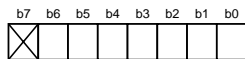
ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同形シリアルI/Oモード)	R	W	
	IICM	I ² Cモード 選択ビット	0: 通常モード 1: I ² Cモード	"0"を設定してください	○	○
	ABC	アービトラージ ロス検出 フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0"を設定してください	○	○
	BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0"を設定してください	○	○ (注1)
	LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可 (注3)	"0"を設定してください	○	○
	ABSCS	バス衝突検出 サンプリング クロック選択ビット	"0"を設定してください	0: 転送クロックの立ち上がり 1: タイマAiのアンダフロー (注2)	○	○
	ACSE	送信許可ビット 自動クリア機能 選択ビット	"0"を設定してください	0: 自動クリア機能なし 1: バス衝突発生時 自動クリア	○	○
	SSS	送信開始条件 選択ビット	"0"を設定してください	0: 通常 1: RxDiの立ち下がり	○	○
	—	何も配置されていない。書き込む場合は"0"を書き込んでください。 読み出し時、その値は不定です。			—	—

注1. "0"だけ書き込み可。

注2. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、
 UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号。

注3. I²Cモード以外では、このビットを"1"にしないでください。

UARTi特殊モードレジスタ2 (i=0~3)



シンボル アドレス リセット時
 UiSMR2(i=0~3) 03A6₁₆, 0366₁₆, 0336₁₆, 0326₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R	W		
	IICM2	I ² Cモード 選択ビット2	0: NACK/ACK割り込み(DMAの要因: ACK) 受信クロックの最終ビットの立ち上がりで 受信バッファに転送 受信クロックの最終ビットの立ち上がりで 受信割り込み発生 1: UARTi送信/受信割り込み(DMAの要因: UARTi受信) 受信クロックの最終ビットの立ち下がり 受信バッファに転送 受信クロックの最終ビットの立ち下がり 受信割り込み発生	○	○	
	CSC	クロック同期化ビット	0: 禁止 1: 許可	○	○	
	SWC	SCLウエイト 出力ビット (注1)	0: 禁止 1: 許可	○	○	
	ALS	SDA出力停止ビット	0: 禁止 1: 許可	○	○	
	STC	UARTi初期化ビット (注1)	0: 禁止 1: 許可	○	○	
	SWC2	SCLウエイト 出力ビット2 (注1)	0: UARTi クロック 1: 0 出力	○	○	
	SDHI	SDA出力禁止ビット	0: 許可 1: 禁止 (ハイインピーダンス)	○	○	
	—	何も配置されていない。書き込む場合は"0"を書き込んでください。 読み出し時、その値は不定です。			—	—

注1. SCLiが外部クロック時は使用できません。

図1.16.5. UARTi関連のレジスタ (4)

UARTi特殊モードレジスタ3 (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル アドレス

UiSMR3(i=0~3) 03A5₁₆、0365₁₆、0335₁₆、0325₁₆番地

リセット時

00₁₆

ビットシンボル	ビット名	機能	R W
SSE	SS端子機能許可ビット (注1)	0: SS機能禁止 1: SS機能許可	○ ○
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	○ ○
DINC	シリアル入力端子設定ビット	0: TxDi,RxDiを選択(マスタモード) 1: STxDi,SRxDiを選択(スレーブモード)	○ ○
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオープンドレイン出力	○ ○
ERR	障害エラーフラグ	0: 障害エラーなし 1: 障害エラーあり (注2)	○ ○
DL0	SDAi(TxDi)デジタル遅延値設定ビット (注3) (注4)	b7 b6 b5 0 0 0: 遅延なし 0 0 1: BRGカウントソースの1~2サイクル 0 1 0: BRGカウントソースの2~3サイクル 0 1 1: BRGカウントソースの3~4サイクル 1 0 0: BRGカウントソースの4~5サイクル 1 0 1: BRGカウントソースの5~6サイクル 1 1 0: BRGカウントソースの6~7サイクル 1 1 1: BRGカウントソースの7~8サイクル	○ ○
DL1			○ ○
DL2			○ ○

注1. SSを設定する場合、CTS/RTS禁止ビット(UARTi送受信制御レジスタ0のビット4)を"1"に設定してCTS/RTS機能を禁止してください。

注2. "0"のみ書き込み可能。

注3. 本ビットはI²CインタフェースとしてUARTiを使用する際、SDAi(TxDi)出力にデジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000₂"に設定してください。

注4. 遅延量はSCLi端子、SDAi端子の負荷により変化します。外部クロックを選択した場合、+100ns程度遅延が大きくなります。

図1.16.6. UARTi関連のレジスタ (5)

UARTi特殊モードレジスタ4 (i=0~3)

ビットシンボル	シンボル	アドレス	リセット時
b7	UiSMR4(i=0~3)	03A4 ₁₆ , 0364 ₁₆ , 0334 ₁₆ , 0324 ₁₆ 番地	00 ₁₆
b6			
b5			
b4			
b3			
b2			
b1			
b0			

ビットシンボル	ビット名	機能	R/W
STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	○/○
RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	○/○
STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	○/○
STSPSEL	SCL, SDA出力選択ビット	0: 従来ブロック 1: スタート/ストップコンディション生成ブロック	○/○
ACKD	ACKデータビット	0: ACK 1: NACK	○/○
ACKC	ACKデータ出力許可ビット	0: SIOデータ出力 1: ACKD出力	○/○
SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	○/○
SWC9	SCLウエイト出力ビット3 (注2)	0: SCL"L"ホールド禁止 1: SCL"L"ホールド許可	○/○

注1. スタートコンディションが生成された場合、自動的に"0"になります。
 注2. SCLiが外部クロック時は使用できません。

外部割り込み要因選択レジスタ

ビットシンボル	シンボル	アドレス	リセット時
b7	IFSR	035F ₁₆ 番地	00 ₁₆
b6			
b5			
b4			
b3			
b2			
b1			
b0			

ビットシンボル	ビット名	機能	R/W
IFSR0	INT0割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○/○
IFSR1	INT1割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○/○
IFSR2	INT2割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○/○
何も配置されていません。 書き込み時は"0"を書き込んでください。読み出し時、不定です。			-/-
IFSR6	バス衝突割り込み要因選択ビット0	0: UART0のバス衝突/スタートストップ検出/障害エラー検出要因選択 1: UART2のバス衝突/スタートストップ検出/障害エラー検出要因選択	○/○
IFSR7	バス衝突割り込み要因選択ビット1	0: UART1のバス衝突/スタートストップ検出/障害エラー検出要因選択 1: UART3のバス衝突/スタートストップ検出/障害エラー検出要因選択	○/○

図1.16.7. UARTi関連のレジスタ (6)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.17.1、表1.17.2にクロック同期形シリアルI/Oモードの仕様を、図1.17.1にUARTi送受信モードレジスタの構成を示します。

表1.17.1. クロック同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3=“0”)： $f_i/2(m+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3=“1”)： CLK _i 端子からの入力
送信制御/受信制御	CTS機能/RTS機能/CTS, RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット1)=“0” ・CTS機能選択時、CTS端子の入力が“L”レベル 更に、外部クロック選択時には次の条件も必要です。 ・CLK _i 極性選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット6)=“0”： CLK _i 端子の入力が“H” ・CLK _i 極性選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット6)=“1”： CLK _i 端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット2)=“1” ・送信許可ビット(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット1)=“0” 更に、外部クロック選択時には次の条件も必要です。 ・CLK _i 極性選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット6)=“0”： CLK _i 端子の入力が“H” ・CLK _i 極性選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット6)=“1”： CLK _i 端子の入力が“L”
割り込み要求発生タイミング	送信時：次の条件のいずれかを選択できます。 ・送信割り込み要因選択ビット(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット4)=“0”： UART _i 送信バッファレジスタからUART _i 送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03AD ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 番地のビット4)=“1”： UART _i 送信レジスタからデータ送信完了時 受信時 ・UART _i 受信レジスタから、UART _i 受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UART _i 受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生

注1. m はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UART_i受信バッファには次のデータが書き込まれます。またUART_i受信割り込み要求ビットは“1”になりません。

表1.17.2. クロック同期形シリアルI/Oモードの仕様(2)

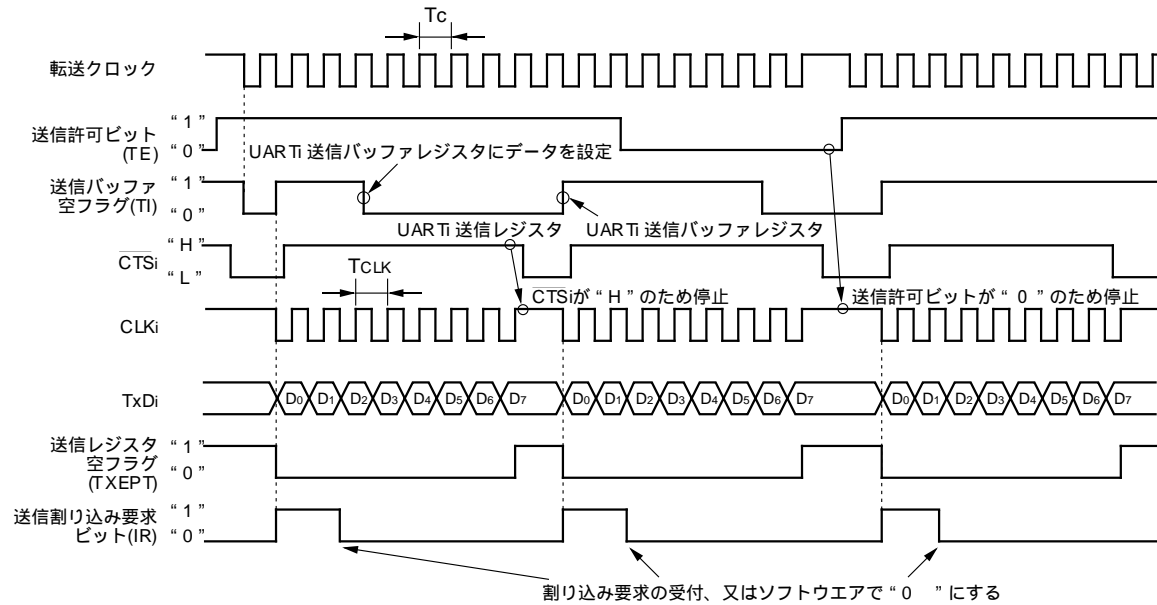
項目	仕様
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、又はビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 シリアルデータ論理切り替え 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 TXD、RXD入出力極性切り替え TXD端子出力およびRXD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

表1.17.3に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.17.3. クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxDi (P63,P67,P70,P74)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62,P66,P71,P75)	シリアルデータ入力	ポートP62、P66、P71、P75の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1、ビット5)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61,P65,P72,P76)	転送クロック出力	内/外部クロック選択ビット(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3)=“1” ポートP61、P65、P72、P76の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2、ビット6)=“0”
CTS _i /RTS _i (P60,P64,P73,P77)	CTS入力	CTS/RTS禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット2)=“0” ポートP60、P64、P73、P77の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3、ビット7)=“0”
	RTS出力	CTS/RTS禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット2)=“1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)=“1”

送信タイミング例(内部クロック選択時)



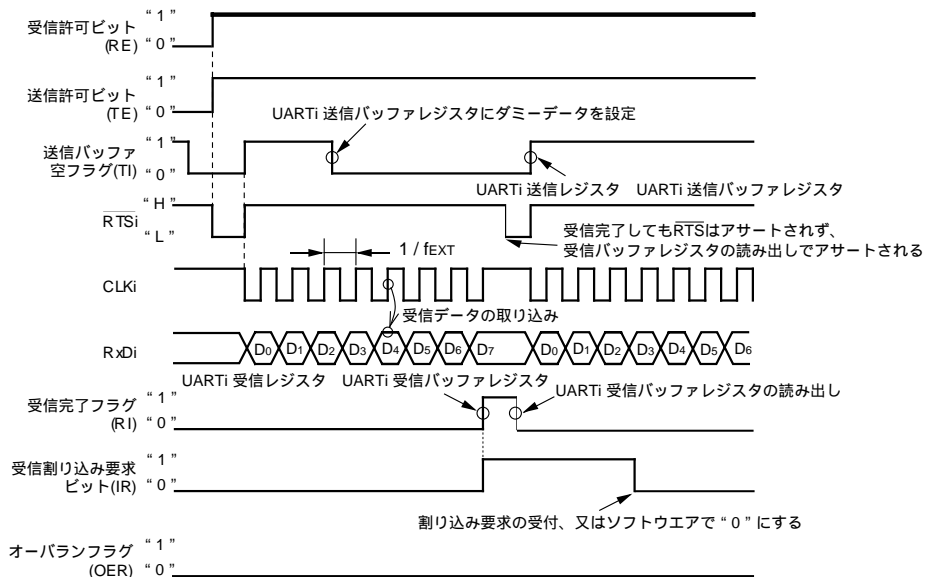
()内はビットシンボルです。

$$T_c = T_{CLK} = 2(m+1) / f_i$$

f_i : BRGiのカウンタソースの周波数(f_1, f_8, f_{32})
 m : BRGiに設定した値

上記タイミング図は次の設定条件の場合です。
 内部クロック選択
 CTS機能選択
 CLK極性選択ビット = "0"
 送信割り込み要因選択ビット = "0"

受信タイミング例(外部クロック選択時)



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
 外部クロック選択
 RTS機能選択
 CLK極性選択ビット = "0"
 f_{EXT} : 外部クロックの周波数

データ受信前のCLKi端子の入力が" H "レベルのときに、以下の条件が揃うようにしてください。
 送信許可ビット "1"
 受信許可ビット "1"
 UARTi送信バッファレジスタへのダミーデータの書き込み

図1.17.1. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

極性選択機能

図1.17.2に示すように、CLK極性選択ビット(03AC₁₆、036C₁₆、033C₁₆、032C₁₆番地のビット6)によって転送クロックの極性を選択できます。

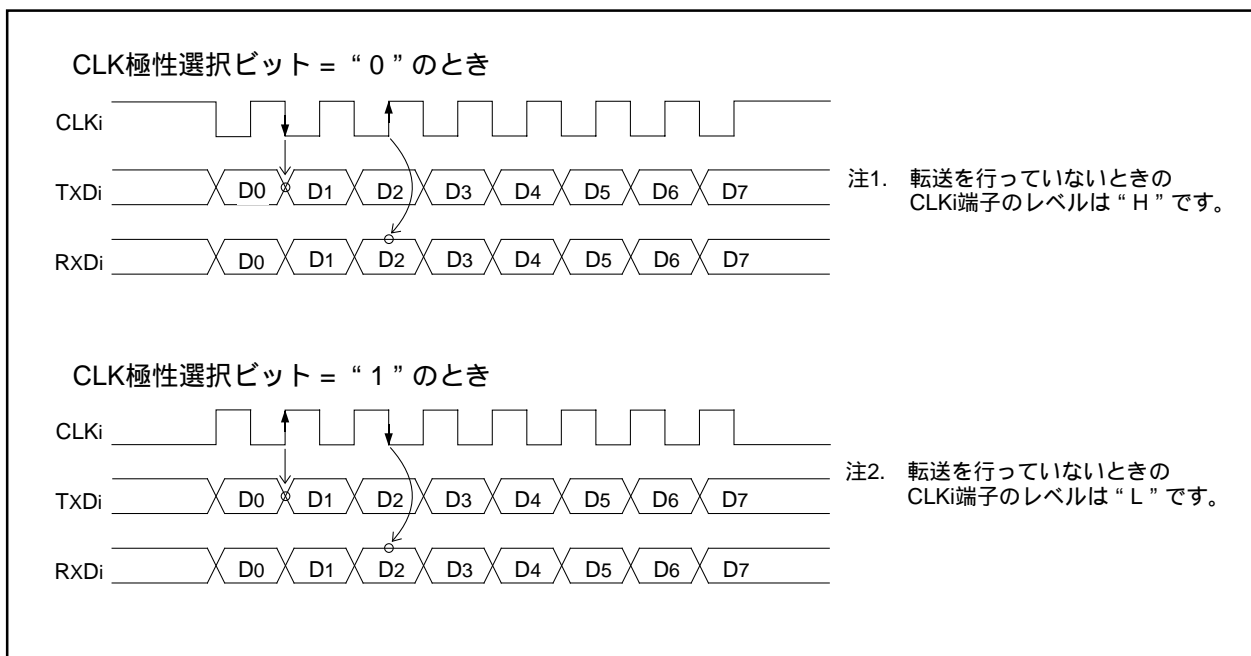


図1.17.2. 転送クロックの極性

LSBファースト/MSBファースト選択機能

図1.17.3に示すように、転送フォーマット選択ビット(03AC₁₆、036C₁₆、033C₁₆、032C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

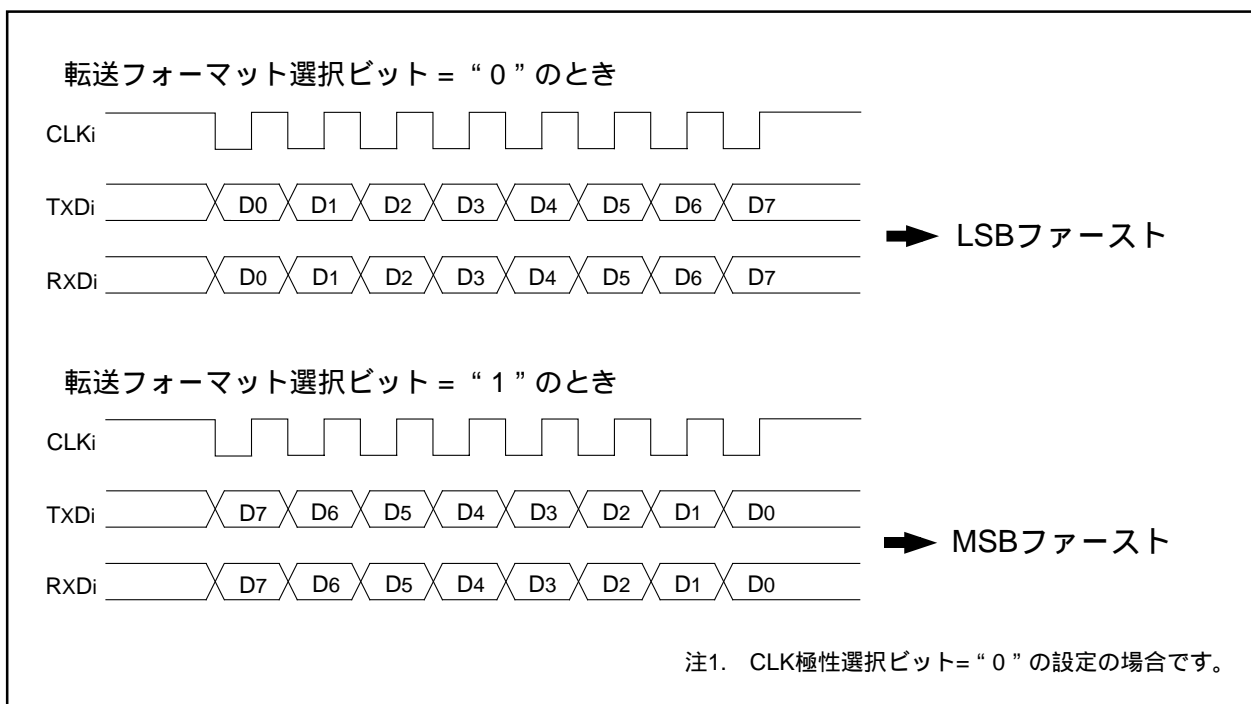


図1.17.3. 転送フォーマット

連続受信モード

連続受信モード許可ビット(03AD₁₆、036D₁₆、033D₁₆、032D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

シリアルデータ論理切り替え機能

データ論理選択ビット(03AD₁₆、036D₁₆、033D₁₆、032D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.17.4にシリアルデータ論理切り替えのタイミング例を示します。

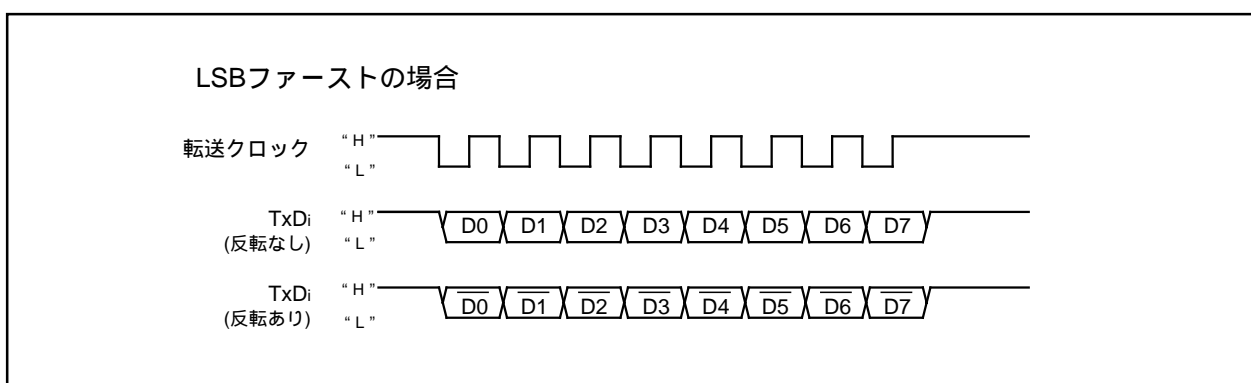


図1.17.4. シリアルデータ論理切り替えのタイミング例

TxD、RxD入出力極性切り替え機能

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.18.1、表1.18.2にクロック非同期形シリアルI/Oモードの仕様を、図1.18.1、図1.18.2にUARTモード時の送信/受信タイミング例を示します。

表1.18.1. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット3=“0”) : $f_i/16(m+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(m+1)$ (注1)(注2)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03AD₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03AD₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット2)=“1” スタートビットの検出
割り込み要求発生タイミング	送信時：次の条件のいずれかを選択できます <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03AD₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット4)=“0” : UART_i送信バッファレジスタからUART_i送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03AD₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット4)=“1” : UART_i送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UART_i受信レジスタから、UART_i受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UART _i 受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. m はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. f_{EXT}はCLK_i端子(i=0, 1, 2, 3)からの入力です。

注3. オーバランエラーが発生した場合は、UART_i受信バッファは不定になります。

表1.18.2. クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、又はビット7から送信/受信するかを選択可 シリアルデータ論理切り替え 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 TxD、RxD入出力極性切り替え TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

表1.18.3に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します（Nチャンネルオープンドレイン出力選択時はフローティング状態）。

表1.18.3. クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機 能	選 択 方 法
TxDi (P63、P67、P70、P74)	シリアルデータ出力	
RxDi (P62、P66、P71、P75)	シリアルデータ入力	ポートP62、P66、P71、P75の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72、P76)	プログラマブル入出力	内/外部クロック選択ビット(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3)= “0”
	転送クロック入力	内/外部クロック選択ビット(03A8 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 番地のビット3)= “1” ポートP61、P65、P72、P76の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2、ビット6)= “0”
$\overline{\text{CTS}}/\text{RTSi}$ (P60、P64、P73、P77)	$\overline{\text{CTS}}$ 入力	$\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット2)= “0” ポートP60、P64、P73、P77の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3、ビット7)= “0”
	$\overline{\text{RTS}}$ 出力	$\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03AC ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 番地のビット4)= “1”

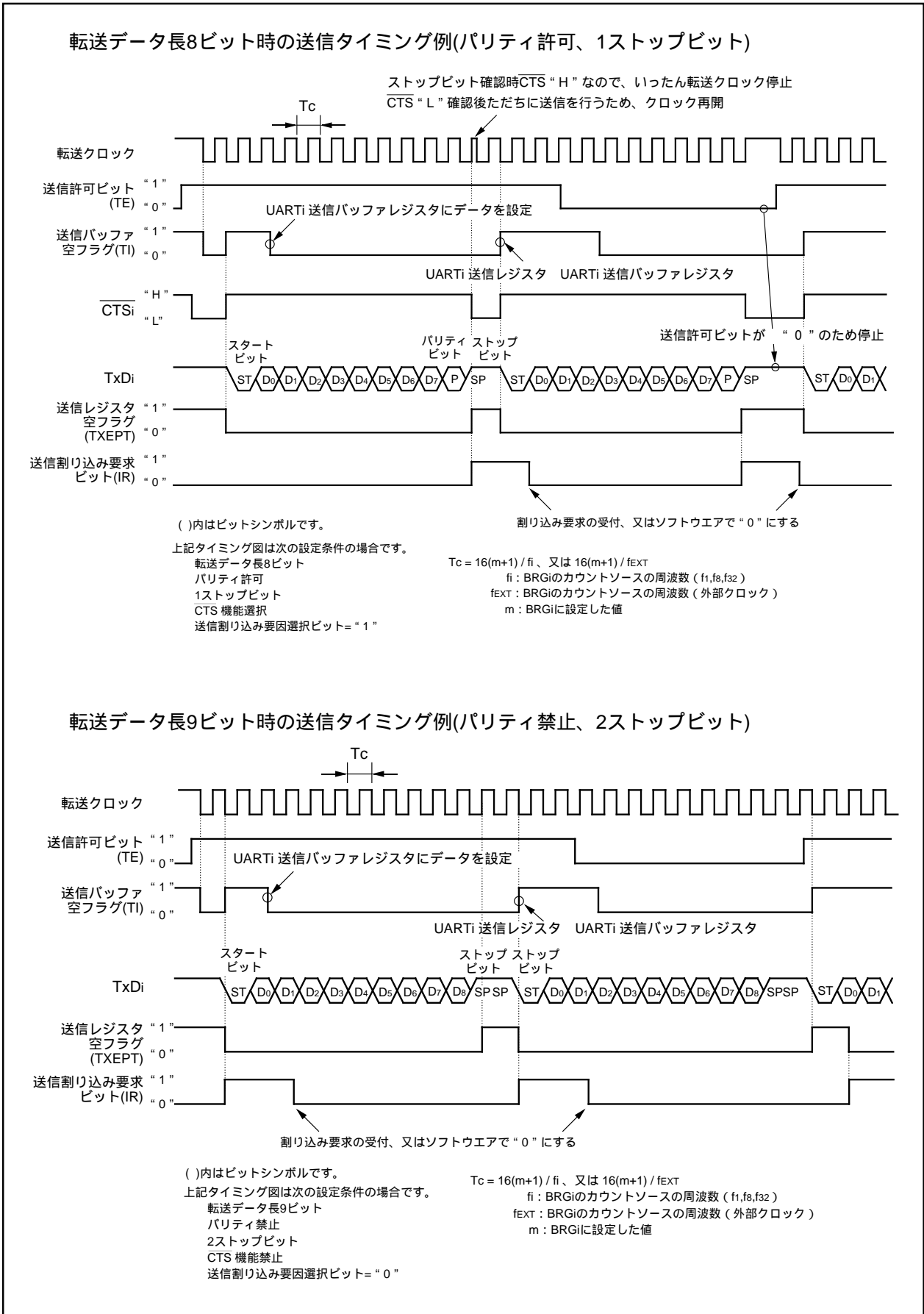


図1.18.1. UART モード時の送信タイミング例

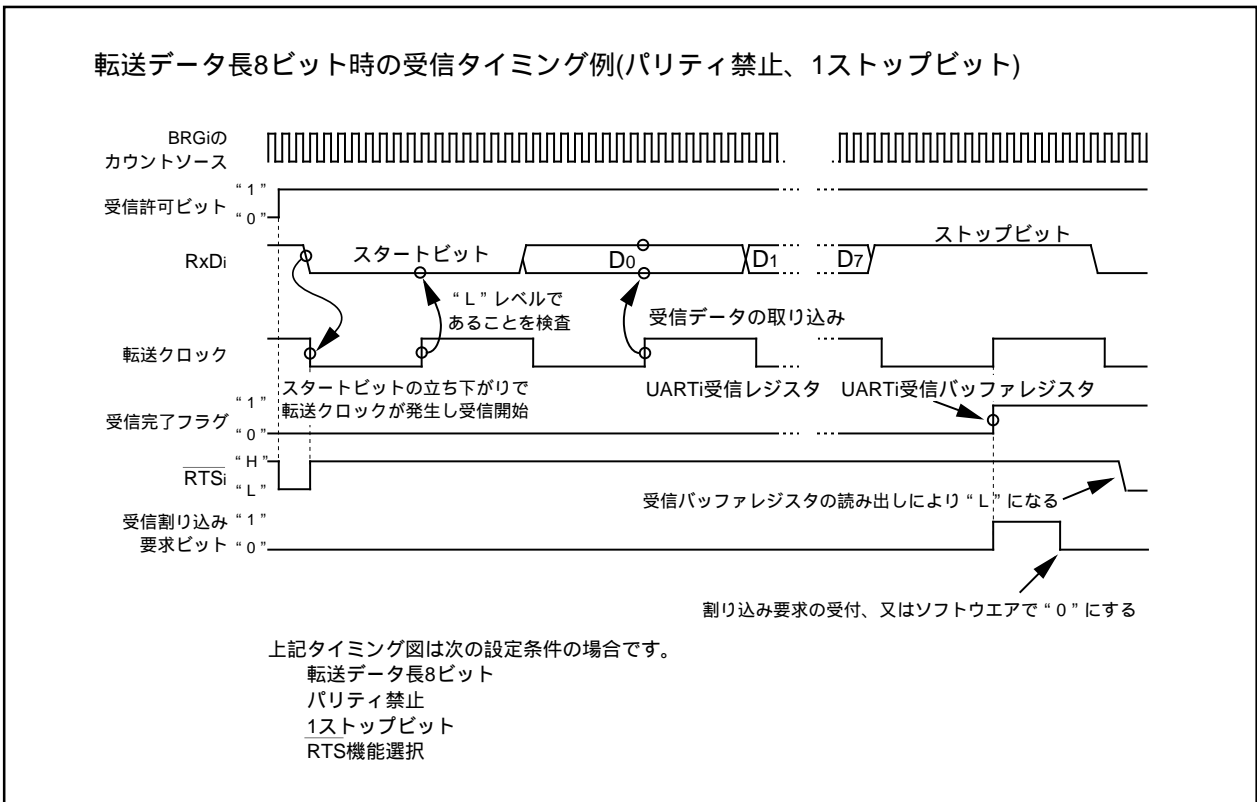


図1.18.2. UART モード時の受信タイミング例

LSBファースト/MSBファースト選択機能

図1.18.3に示すように、転送フォーマット選択ビット(03AC16、036C16、033C16、032C16番地のビット7)で転送フォーマットが選択できます。この機能は転送データ長8ビットのときに有効です。

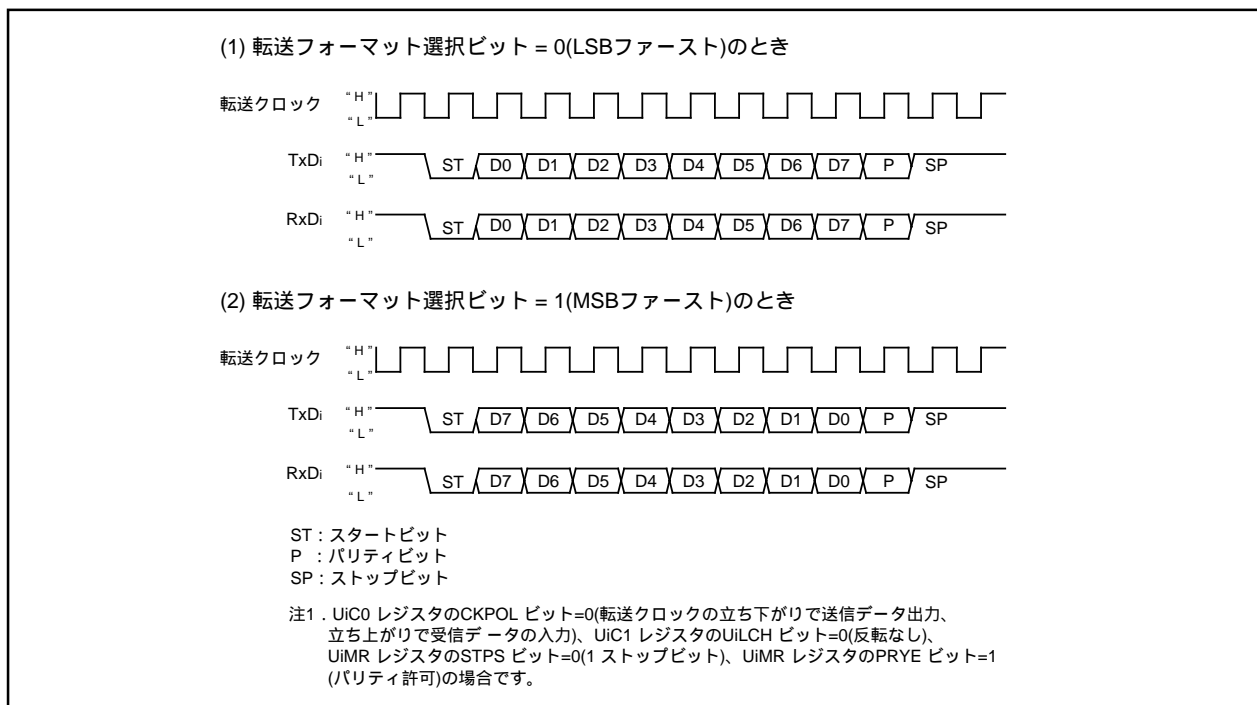


図1.18.3. 転送フォーマット

シリアルデータ論理切り替え機能

データ論理選択ビット(03AD₁₆, 036D₁₆, 033D₁₆, 032D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.18.4に、シリアルデータ論理切り替え機能のタイミング例を示します。

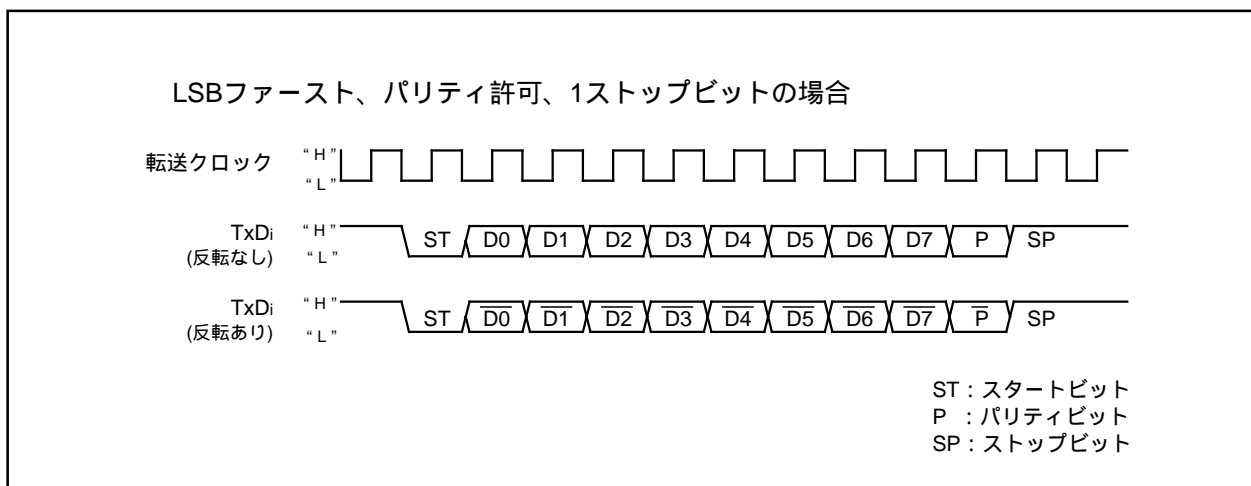


図1.18.4. シリアルデータ論理切り替え機能のタイミング例

TxD、RxD入出力極性切り替え機能

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

バス衝突検出機能

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.18.5にバス衝突検出タイミング例(UARTモード時)を示します。

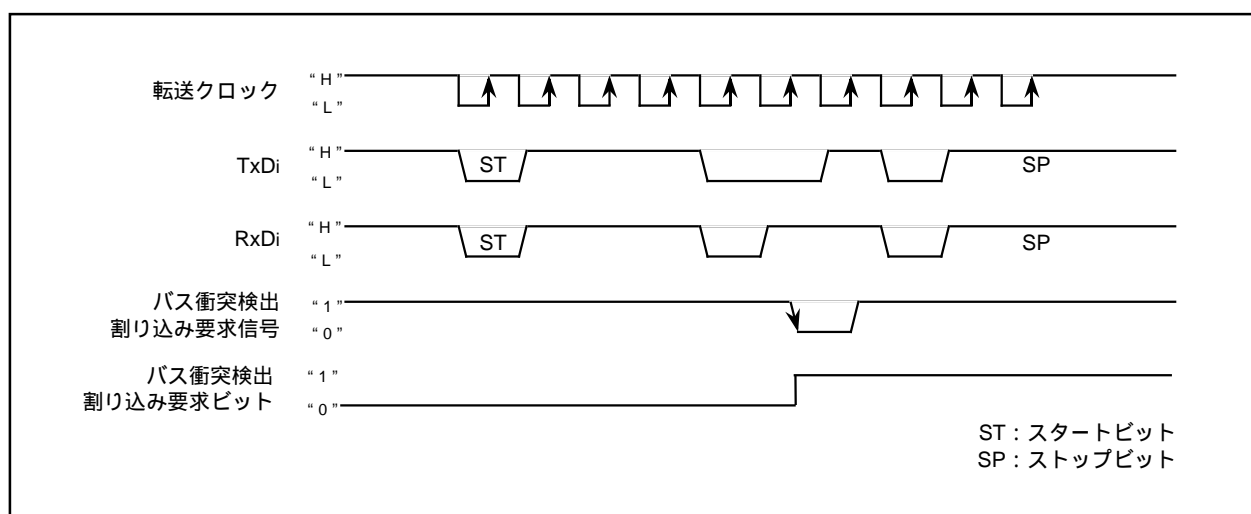


図1.18.5. バス衝突検出タイミング例(UARTモード時)

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、クロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.18.4、表1.18.5にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.18.4. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項目	仕様
転送データフォーマット	転送データ 8ビットUARTモード (03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット2～ビット0= “ 1012 ”) 1ストップビット(03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット4= “ 0 ”) ダイレクトフォーマットの場合 - パリティを偶数パリティに設定 (03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット5= “ 1 ”、ビット6= “ 1 ”) - データ論理をダイレクトに設定 (03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット6= “ 0 ”) - 転送フォーマットをLSBに設定 (03AC ₁₆ , 036C ₁₆ , 033C ₁₆ , 032C ₁₆ 番地のビット7= “ 0 ”) インバースフォーマットの場合 - パリティを奇数パリティに設定 (03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット5= “ 0 ”、ビット6= “ 1 ”) - データ論理をインバースに設定 (03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット6= “ 1 ”) - 転送フォーマットをMSBに設定 (03AC ₁₆ , 036C ₁₆ , 033C ₁₆ , 032C ₁₆ 番地のビット7= “ 1 ”)
転送クロック	内部クロック(03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット3= “ 0 ”) : $f_i/16(m+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック(03A8 ₁₆ , 0368 ₁₆ , 0338 ₁₆ , 0328 ₁₆ 番地のビット3= “ 1 ”) : $f_{EXT}/16(m+1)$ (注1, 3)
送信制御/受信制御	CTS,RTS機能禁止に設定 (03AC ₁₆ , 036C ₁₆ , 033C ₁₆ , 032C ₁₆ 番地のビット4= “ 1 ”)
その他設定項目	送信割り込み要因を送信完了に設定 (03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット4= “ 1 ”) UART0,1,3のTxD端子をNチャンネルオープンドレイン出力に設定 (03AC ₁₆ , 036C ₁₆ , 032C ₁₆ 番地のビット5= “ 1 ”)
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット0= “ 1 ”) ・送信バッファ空フラグ(03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット1= “ 0 ”)
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット2)= “ 1 ” ・スタートビットの検出

注1. m はUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. f_{EXT}はCLK_i端子(i=0, 1, 2, 3)からの入力です。

表1.18.5. クロック非同期形シリアルI/Oモードの仕様その2(SIMインタフェース対応)

項 目	仕 様
割り込み要求発生タイミング	送信時 UART0～UART3送信レジスタからデータ転送完了時 (03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット4=“1”) 受信時 ・UART0～UART3受信レジスタから、UART0～UART3受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(クロック非同期形シリアルI/Oの仕様を参照してください) フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) - 受信側は、パリティエラー検出時、パリティエラー信号出力機能(03AD ₁₆ , 036D ₁₆ , 033D ₁₆ , 032D ₁₆ 番地のビット7=“1”)によりTxDi端子から“L”レベルを出力 - 送信側は、送信割り込み発生時、RxDi端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

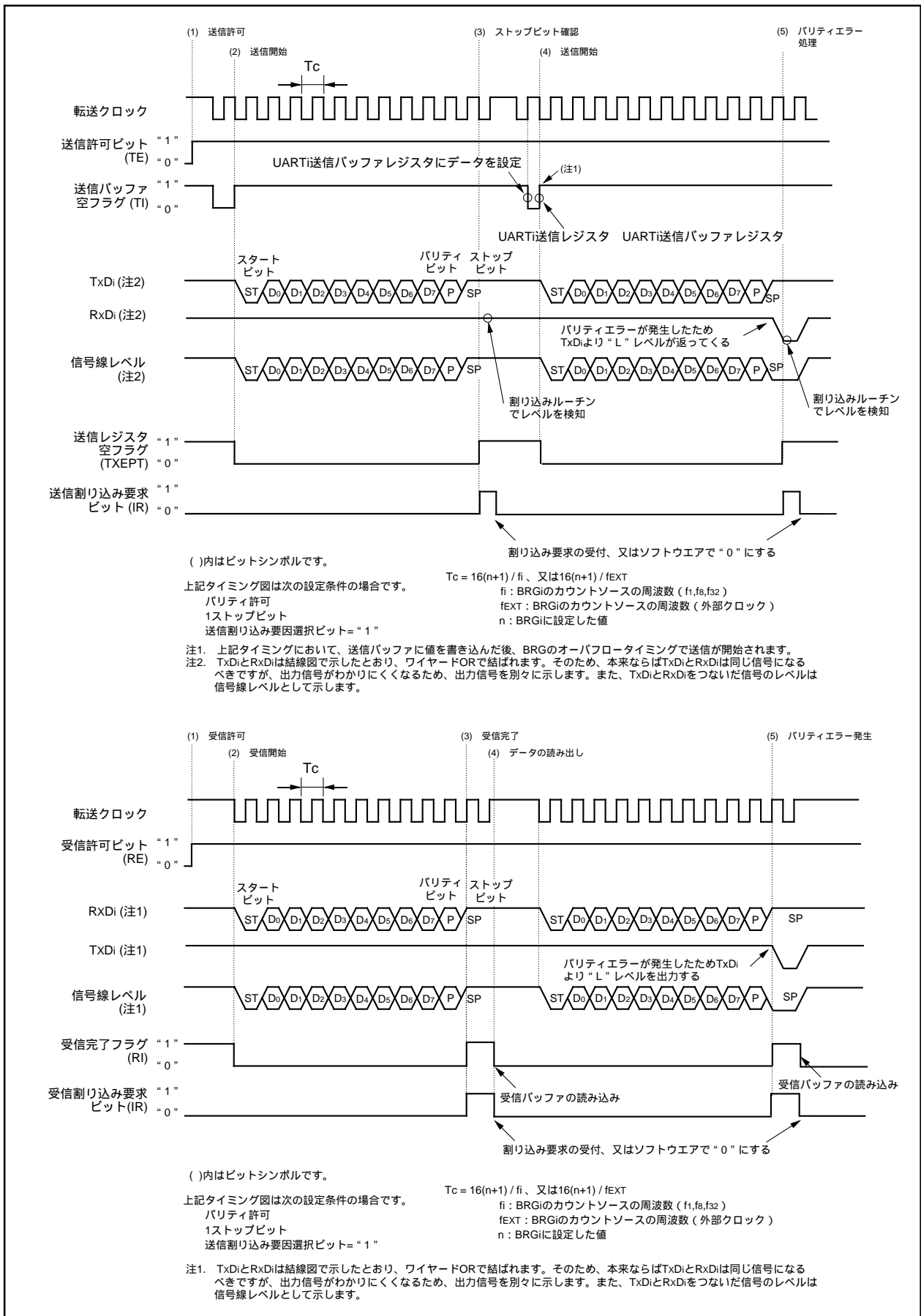


図1.18.6. UART モード(SIMインタフェース対応)の送受信タイミング例

パリティエラー信号出力機能

エラー信号出力許可ビット(03AD₁₆, 036D₁₆ 033D₁₆ 032D₁₆番地のビット7)の内容が“1”のとき、パリティエラー検出時にTxDi端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図1.18.7にパリティエラー信号出力タイミングを示します。

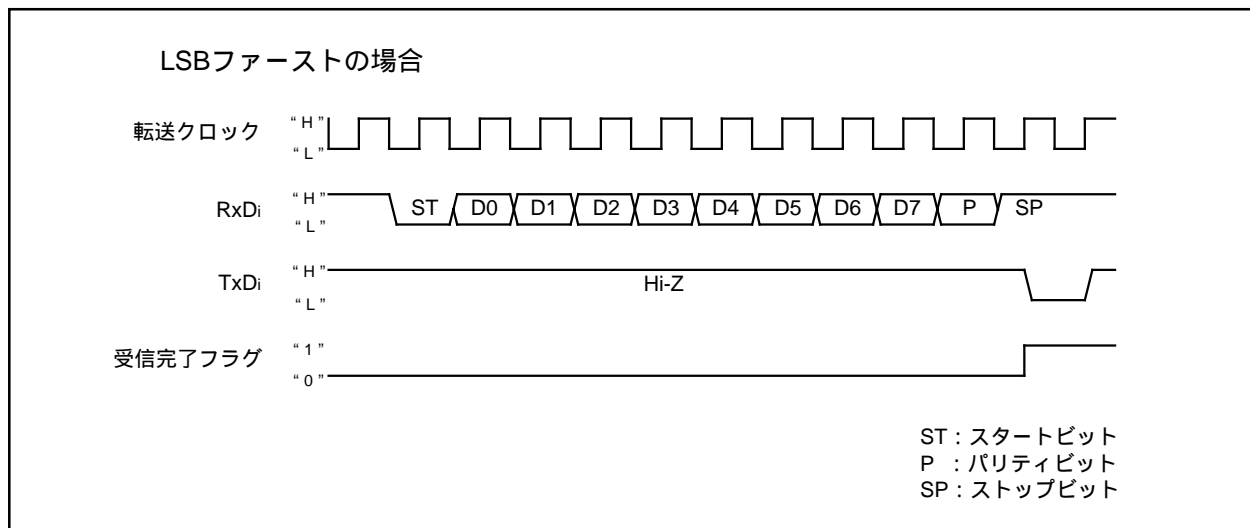


図1.18.7. パリティエラー信号出力タイミング

ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD₀のデータがTxDiから出力されます。インバースフォーマットを選択するとD₇のデータが反転してTxDiから出力されます。

図1.18.8にSIMインタフェースフォーマットを示します。

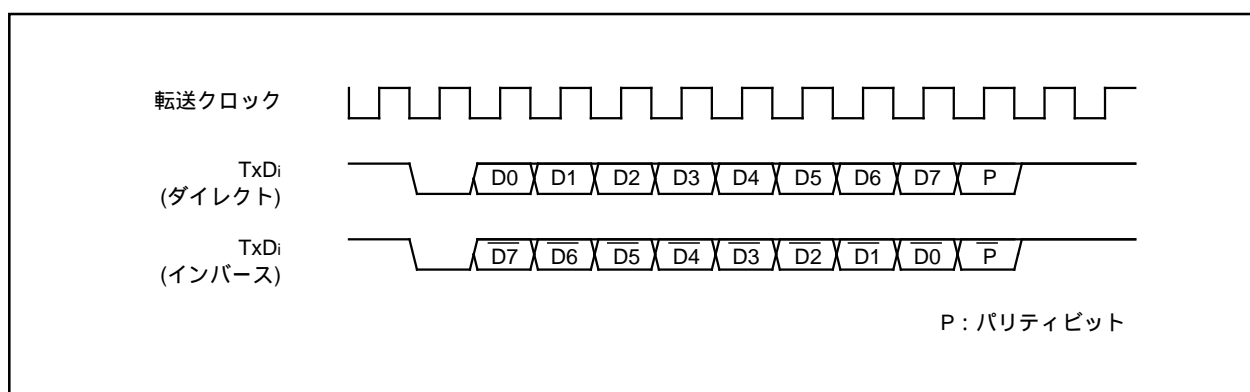


図1.18.8. SIM インタフェースフォーマット

図1.18.9にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してください。

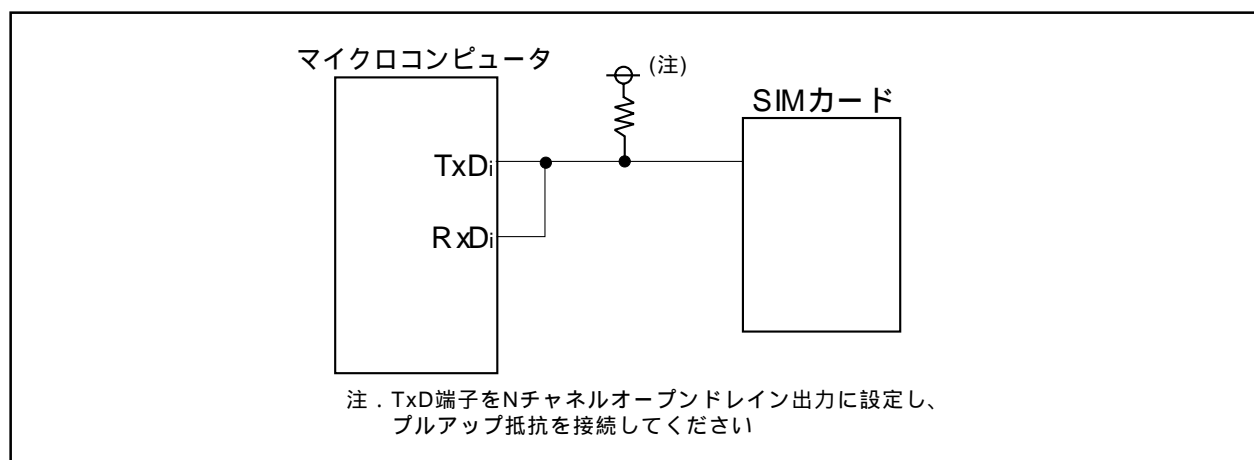


図1.18.9. SIM インタフェース接続例

I²Cバスインタフェースモード

I²Cバスインタフェースモード(簡易I²Cバス)は、UART0～UART3がもつ機能です。

I²Cモード選択ビット(03A7₁₆、0367₁₆、0337₁₆、0327₁₆番地のビット0)に“1”を設定すると、I²Cバス(簡易I²Cバス)インタフェース回路が有効になります。

I²Cバスをスレーブモードで使用する場合、SCL_i端子は対応するポート方向レジスタを入力に設定するか、または出力に設定して“1”を出力してください。またUART0,1,3ではデータ出力選択ビット(03AC₁₆、036C₁₆、032C₁₆番地のビット5)でNチャンネルオープンドレイン出力を選択してください(UART2はNチャンネルオープンドレイン出力に固定です)。

クロック同期型シリアルI/Oモード、クロック非同期型シリアルI/Oモードで使用する場合、I²Cモード選択ビットを必ず“0”に設定してください。

表1.19.1. I²Cモード時の各機能

	機 能	通常モード (IICM=0)	I ² Cモード (IICM=1) ^(注1)
1	割り込み番号3, 9の要因 ^(注2)	バス衝突検出	スタートコンディション検出、 又はストップコンディション検出
2	割り込み番号13, 15の要因 ^(注2)	UART _i 送信	アクノリジ未検出 (NACK)
3	割り込み番号2, 21の要因 ^(注2)	UART _i 受信	アクノリジ検出 (ACK)
4	UART _i 送信出力遅延	遅延なし	遅延あり
5	UART _i 使用時のP63, P67, P70, P74	TxD _i (出力)	SDA _i (入出力) ^(注3)
6	UART _i 使用時のP62, P66, P71, P75	RxD _i (入力)	SCL _i (入出力)
7	UART _i 使用時のP61, P65, P72, P76	CLK _i	P61, P65, P72, P76
8	DMA1要因	UART _i 受信	アクノリジ検出 (ACK)
9	ノイズフィルタ幅	15ns	50ns
10	P62, P66, P71, P75のリード	方向レジスタ=0の時 端子をリードする。	外部クロックを使用しない場合(マスターモード): 方向レジスタの値に関係なく端子をリードする。 外部クロックを使用する場合(スレーブモード): 方向レジスタが“0”の場合に端子をリードする。
11	UART _i 出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時にP63, P67, P70, P74 ラッチに設定した値 ^(注3)

注1. I²Cモード使用時は以下の設定にしてください。

UART_i送受信モードレジスタのビット2, 1, 0を010に設定。

RTS/CTS機能は禁止。

MSBファーストに設定。

注2. 要因を切り替える時は以下の手順で行ってください。

1. 対応する割り込み番号の割り込み禁止。

2. 要因の切り替え。

3. 対応する割り込み番号の割り込み要求フラグリセット。

4. 対応する割り込み番号の割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、I²Cモード(I²Cモード選択ビット=“1”)で、かつシリアルI/Oが無効の状態で行ってください。

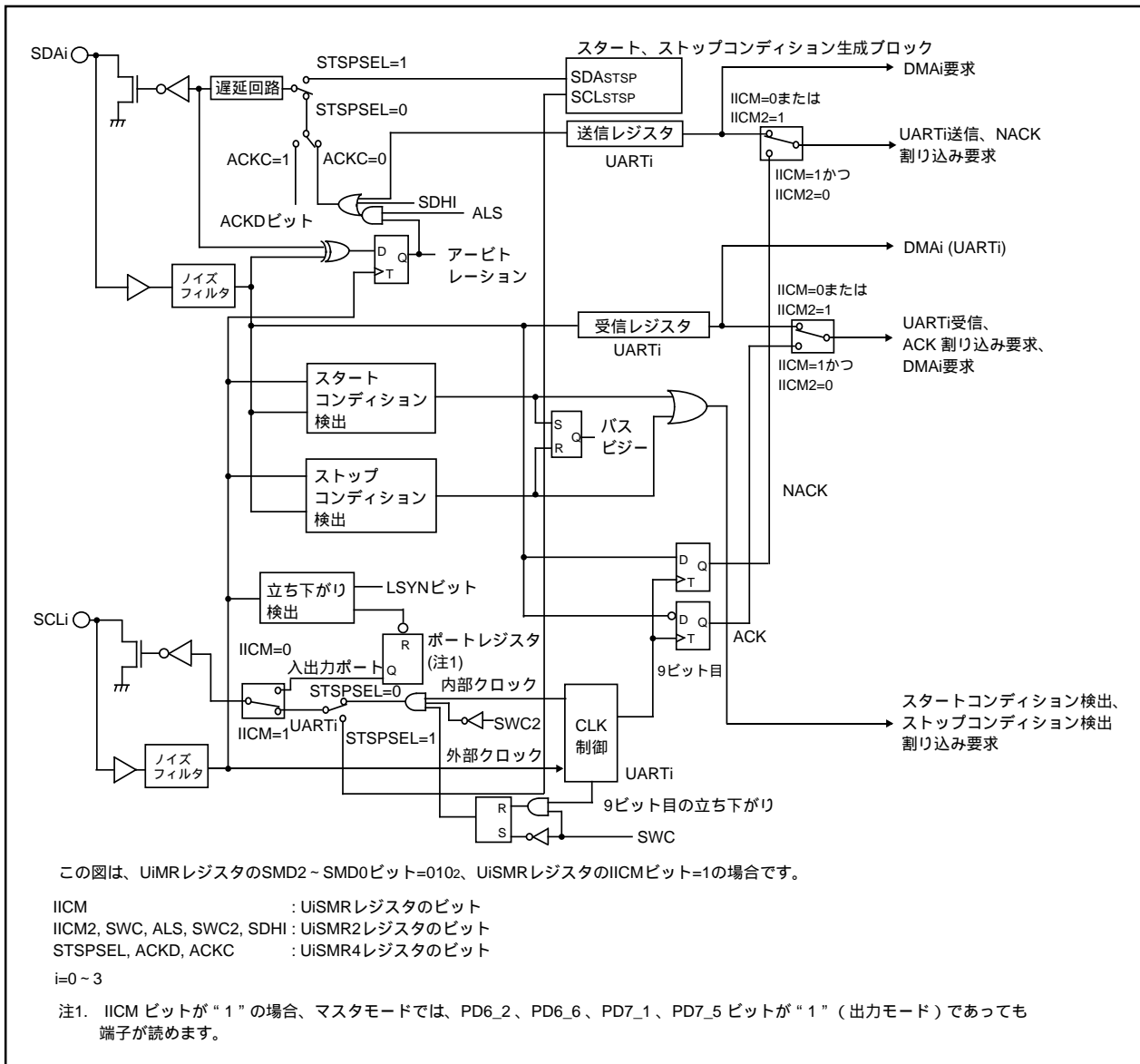
図1.19.1. I²Cモード機能ブロック図(UARTi:i=0～3)

図1.19.1は、I²Cバスインタフェース機能のブロック図です。
I²Cバスインタフェース関連の制御ビットについて記述します。

UARTi特殊モードレジスタ1: UiSMR (03A7₁₆、0367₁₆、0337₁₆、0327₁₆番地)

ビット0: I²Cモード選択ビット (IICM)

このビットを“1”にすると、ポートの機能がそれぞれデータ送受信端子SDAi、クロック入出力端子SCLi、ポートとなります。SDAi送信出力にはディレイ回路が付加されますので、SCLiが十分“L”になった後、SDAi出力が変化します。外部クロックを使用しない場合（マスタモード）、ポート(SCLi)は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDAi送信出力の初期値は、このモードではポートに設定した値になります。さらに、バス衝突検出割り込み、UARTi送信割り込み、UARTi受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCLi端子が“H”の状態でSDAi端子の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCLi端子が“H”の状態でSDAi端子の立ち上がりが発生したことを検出して発生する割り込みです。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時にSDAi端子のレベルが“H”のままであることを検出して発生する割り込みです。

アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時にSDAi端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMAi要求要因にUARTi受信を選択することでアクノリッジ検出によってDMA転送を起動することができます。

ビット1：アービトレーションロスト検出フラグ制御ビット (ABC)

アービトレーションとはSCLiの立ち上がりのタイミングで送信データとSDAi端子データの不一致を検出するものです。この検出フラグはUARTi受信バッファレジスタのビット11に配置されており、不一致を検出すると“1”になります。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでもアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

ビット2：バスビジーフラグ (BBS)

スタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にリセットされます。

ビット3：SCLi L同期出力許可ビット (LSYN)

このビットを“1”にすると、SCLi端子のレベルが“L”になるのに同期してポートのデータレジスタが“0”になります。

ビット4～6：I²Cバスインタフェースモードには関連しません。IEモードの項を参照してください。

UARTi特殊モードレジスタ2: UiSMR2 (03A6₁₆, 0366₁₆, 0336₁₆, 0326₁₆番地)

ビット0: I²Cモード選択ビット2 (IICM2)

I²Cモード選択ビットが“1”のとき、このビットにより変更される各制御を表1.19.2に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を図1.19.2に示します。

ビット1: クロック同期化ビット (CSC)

このビットを“1”にすると、内部SCL=“H”時、SCLi端子に立ち下がりエッジがあれば内部SCL=“L”とし、ポーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCLi端子=“L”時、内部SCLが“L”から“H”に変化すればポーレートジェネレータのカウントを停止し、SCLi端子=“H”になればカウントを再開します。この機能によりUARTiの送受信クロックは、内部SCLとSCLi端子の信号をANDしたものになります。この機能はUARTiの1発目の立ち下がりクロックの時点よりクロックの半周期前から、9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

ビット2: SCLウエイト出力ビット (SWC)

このビットを“1”にすると、クロックの9ビット目の立ち下がりSCLi端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。SCLが外部クロックの時はこのビットを使用できません。

ビット3: SDA出力停止ビット (ALS)

このビットを“1”にすると、アービトレーションロストが発生し、アービトレーションロスト検出フラグが“1”になった場合、同時にSDAi端子がハイインピーダンス状態になります。

ビット4: UARTi初期化ビット (STC)

このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

1. 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UARTi出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
2. 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
3. SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、送信バッファ空フラグの内容は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。SCLが外部クロックの時はこのビットを使用できません。

ビット5: SCLウエイト出力ビット2 (SWC2)

シリアルI/O指定時にこのビットを“1”にすると、UARTi動作中でもSCLi端子から強制的に“L”を出力できます。このビットを“0”にすると、SCLi端子からの“L”出力は解除され、UARTiクロックが入出力されます。SCLが外部クロックの時はこのビットを使用できません。

ビット6: SDA出力禁止ビット (SDHI)

このビットを“1”にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUARTiの転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

表1.19.2. I²Cモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号13, 15, 17, 19の要因	アクノリッジ未検出 (NACK)	UARTi送信(最終ビットのクロックの立ち上がり)
2	割り込み番号2, 8, 10, 21の要因	アクノリッジ検出 (ACK)	UARTi受信(最終ビットのクロックの立ち下がり)
3	DMA要因	アクノリッジ検出 (ACK)	UARTi受信(最終ビットのクロックの立ち下がり)
4	UART受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

3~6サイクル<セットアップ時間(注1)

3~6サイクル<ホールド時間(注1)

注1. サイクル数はメインクロック入力発振周波数f(X_{IN})のサイクル数を示します。

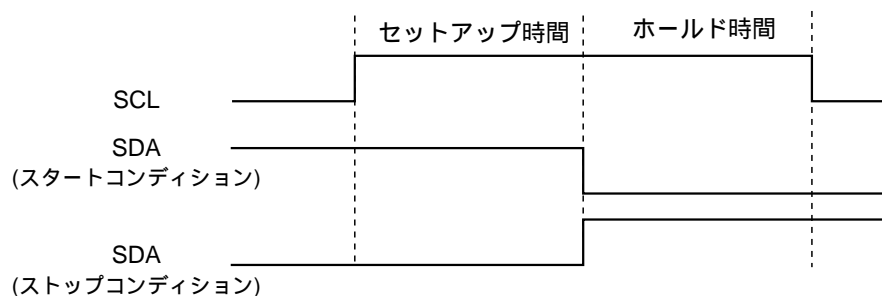


図1.19.2. スタート/ストップコンディション検出タイミング特性

UARTi特殊モードレジスタ3: UiSMR3 (03A₅₁₆、036₅₁₆、033₅₁₆、032₅₁₆番地)

ビット0: I²Cバスインタフェースモードには関連しません。

シリアルインタフェース特殊機能 (SPIモード) の項を参照してください。

ビット1: クロック位相設定ビット (CKPH)

UARTi特殊モードレジスタ1のビット0 (I²Cモード選択ビット) 及びUARTi特殊モードレジスタ2のビット0 (I²Cモード選択ビット2) がともに “1” のとき、このビットにより変更される各制御を表1.19.3及び図1.19.3に示します。

ビット2: I²Cバスインタフェースモードには関連しません。

シリアルインタフェース特殊機能 (SPIモード) の項を参照してください。

ビット3: I²Cバスインタフェースモードには関連しません。

ビット4: I²Cバスインタフェースモードには関連しません。

シリアルインタフェース特殊機能 (SPIモード) の項を参照してください。

ビット5~7: SDAiデジタル遅延値設定ビット (DL0~DL2)

このビットの設定により、SDAiの出力を遅延なし、又はBRGカウントソースの2サイクル~8サイクルの遅延を設定できます。

表1.19.3. クロック位相設定ビットによって変更される各機能

機能	CKPH=0, IICM=1, IICM2=1	CKPH=1, IICM=1, IICM2=1
SCL初期値、終了値	初期値“H”、終了値“H”	初期値“L”、終了値“L”
送信割り込み要因	9ビット目の立ち上がり	10ビット目の立ち下がり
UART受信シフトレジスタから受信バッファレジスタへの転送回数	9ビット目の立ち下がり	9ビット目の立ち下がりと9ビット目の立ち上がりの2回

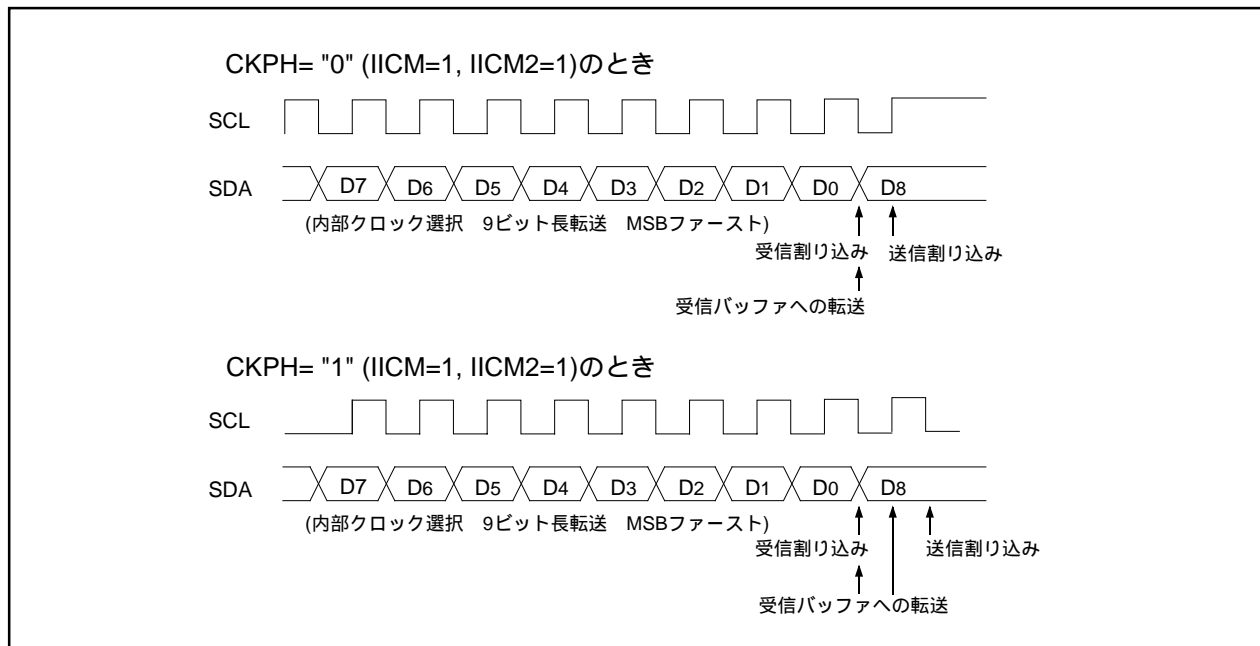


図1.19.3. クロック位相設定ビットによって変更される各機能

UARTi特殊モードレジスタ4 : UiSMR4 (03A4₁₆, 0364₁₆, 0334₁₆, 0324₁₆番地)

ビット0 : スタートコンディション生成ビット (STAREQ)

UARTi特殊モードレジスタ4のビット3 (SCL、SDA出力選択ビット) が“1”のとき、このビットを“1”にするとスタートコンディションを生成します。

ビット1 : リスタートコンディション生成ビット (RSTAREQ)

UARTi特殊モードレジスタ4のビット3 (SCL、SDA出力選択ビット) が“1”のとき、このビットを“1”にするとリスタートコンディションを生成します。

ビット2 : ストップコンディション生成ビット (STPREQ)

UARTi特殊モードレジスタ4のビット3 (SCL、SDA出力選択ビット) が“1”のとき、このビットを“1”にするとストップコンディションを生成します。

ビット3 : SCL、SDA出力選択ビット (STSPSEL)

このビットにより変更される各制御を表1.21.4及び図1.21.4に示します。

ビット4 : ACKデータビット (ACKD)

UARTi特殊モードレジスタ4のビット3 (SCL、SDA出力選択ビット) が“0”でUARTi特殊モードレジスタ4のビット5 (ACKデータ出力許可ビット) が“1”のとき、このビットに設定された値がSDAi端子より出力されます。

ビット5 : ACKデータ出力許可ビット (ACKC)

UARTi特殊モードレジスタ4のビット3 (SCL、SDA出力選択ビット) が“0” のとき、このビットを“1” にするとUARTi特殊モードレジスタ4のビット4 (ACKデータビット) に設定された値を、SDAi端子より出力することが許可されます。

ビット6 : SCL出力停止ビット (SCLHI)

このビットを“1” にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態とします)。

ビット7 : SCLウエイト出力ビット3 (SWC9)

このビットを“1” にすると、クロックの10ビット目の立ち下がりでSCLi端子は“L” 出力固定になります。このビットを“0” にすると“L” 出力固定は解除されます。SCLが外部クロックの時はこのビットを使用できません。

表1.19.4. SCL、SDA出力選択ビットによって変更される各機能

機能	STSPSEL=0	STSPSEL=1
1 SCL,SDA出力	SI/O制御回路の出力	スタート/ストップコンディション制御回路の出力
2 スタート/ストップコンディション割り込み要因	スタート/ストップコンディション検出	スタート/ストップコンディション生成終了

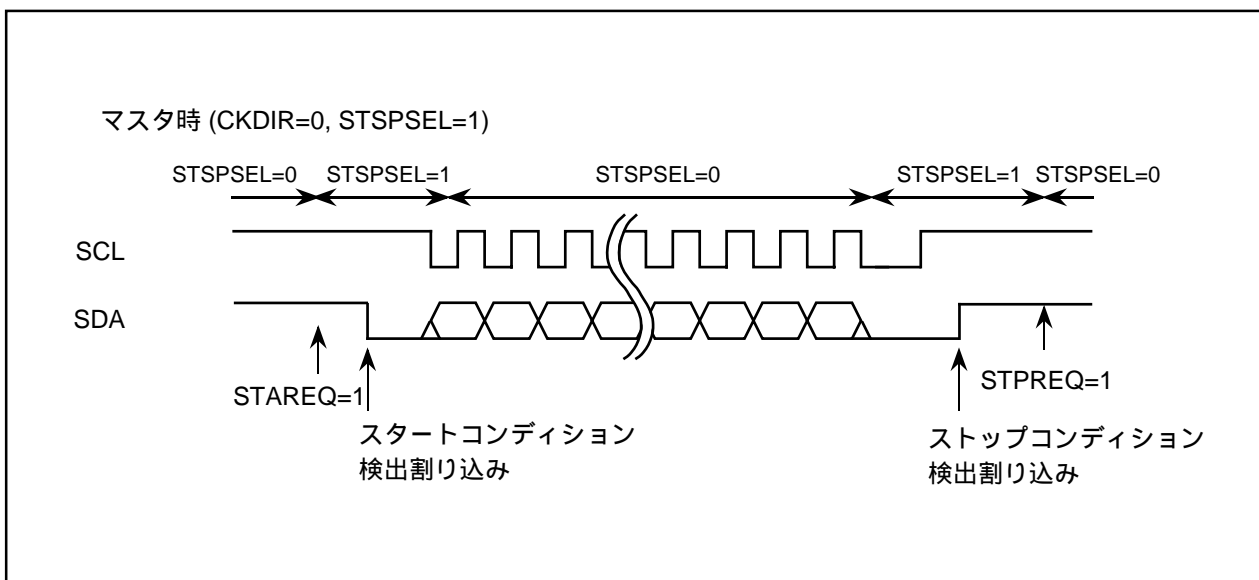


図1.19.4. SCL、SDA出力選択ビットによって変更される各機能

シリアルインタフェース特殊機能 (SPIモード)

SPIモード関連の制御ビットに関して記述します。

UARTi特殊モードレジスタ3: UiSMR3 (03A516、036516、033516、032516番地)

ビット0: SS端子機能許可ビット (SSE)

このビットを“1”にするとスレーブ出力が許可されます。

ビット1: クロック位相設定ビット (CKPH)

転送クロックの位相を選択するビットです。クロック位相設定機能を参照してください。

ビット2: シリアル入力端子設定ビット (DINC)

SSi入力端子機能として、マスタモードかスレーブモードを選択するビットです。

ビット4: 障害エラーフラグ (ERR)

障害エラーを検出すると、このビットが“1”にセットされます。

ビット3, 5~7: SPIモードには関連しません。

UARTiは、SSi入力端子を用いたシリアルバスの通信制御を、行うことができます(図1.19.5)。転送クロックを出力するマスタは、転送クロックを入力するスレーブに対しデータを転送します。このとき、データがバス上で衝突しないように、マスタは他のスレーブ/マスタに対しSSi入力端子を用いて出力端子をフローティングにします。

SSi入力端子機能は、マスタ/スレーブで次の通りになります。

STxDi、SRxDi選択(スレーブモード)の場合 (DINC=1)

SSi入力端子に“H”が入力されると、STxDi、SRxDiの各端子は、ハイインピーダンスになり、クロックの入力は無視されます。SSi入力端子に“L”が入力されると、クロックの入力が有効となり、シリアル通信が可能になります。(i = 0~3)

TxDi、RxDi選択(マスタモード)の場合 (DINC=0)

マルチマスタのシステムの場合、SSi端子入力を使用します。SSi入力端子が“H”の場合、送信権を持っていることを示し、シリアル通信が可能となります。SSi入力端子に“L”が入力されると、別にマスタが存在していることを示し、TxDi、RxDi、CLKiの各端子は、ハイインピーダンスになり、さらに障害エラー割り込み要求ビットが“1”になります。通信中に障害エラーが発生しても、通信の動作は停止しません。通信を停止する場合、UARTi送受信モードレジスタ(0A6816、036816、033816、032816番地)のビット0、1、2に“0”を設定してください。(i = 0~3)

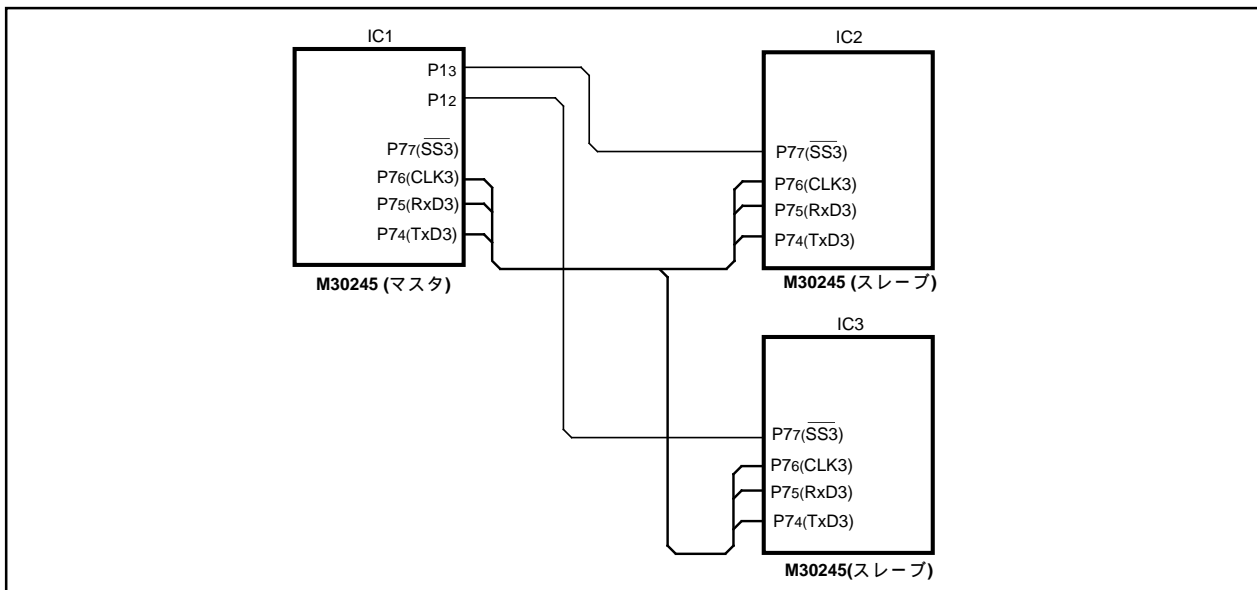


図1.19.5. SS入力端子を用いたシリアルバスの通信制御例

クロック位相設定機能

UARTi特殊モードレジスタ3(03A5₁₆、0365₁₆、0335₁₆、0325₁₆番地)(i = 0 ~ 3)のビット1と、UARTi送受信制御レジスタ0(036C₁₆、02EC₁₆、033C₁₆、032C₁₆、02FC₁₆番地)(i = 0 ~ 3)のビット6によって転送クロックの相と極性の4つの組み合わせを選択できます。

UARTi送受信制御レジスタ0(i = 0 ~ 3)のビット6によって転送クロックの極性を切り替えられ、UARTi特殊モードレジスタ3(i = 0 ~ 3)のビット1によって転送クロックの相を切り替えられます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにする必要があります。

マスタ(内部クロック)の場合 (DINC=0)

図1.19.6に送受信のタイミングを示します。

スレーブ(外部クロック)の場合 (DINC=1)

- UARTi特殊モードレジスタ3(i = 0 ~ 3)のビット1(CKPH)が“0”の場合

$\overline{\text{SS}}_i$ 入力端子が“H”の時、出力データはハイインピーダンスです。 $\overline{\text{SS}}_i$ 入力端子が“L”でシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図1.19.7にタイミングを示します。

- UARTi特殊モードレジスタ3(i = 0 ~ 3)のビット1(CKPH)が“1”の場合

$\overline{\text{SS}}_i$ 入力端子が“H”の時、出力データはハイインピーダンスです。 $\overline{\text{SS}}_i$ 端子が“L”で最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図1.19.8にタイミングを示します。

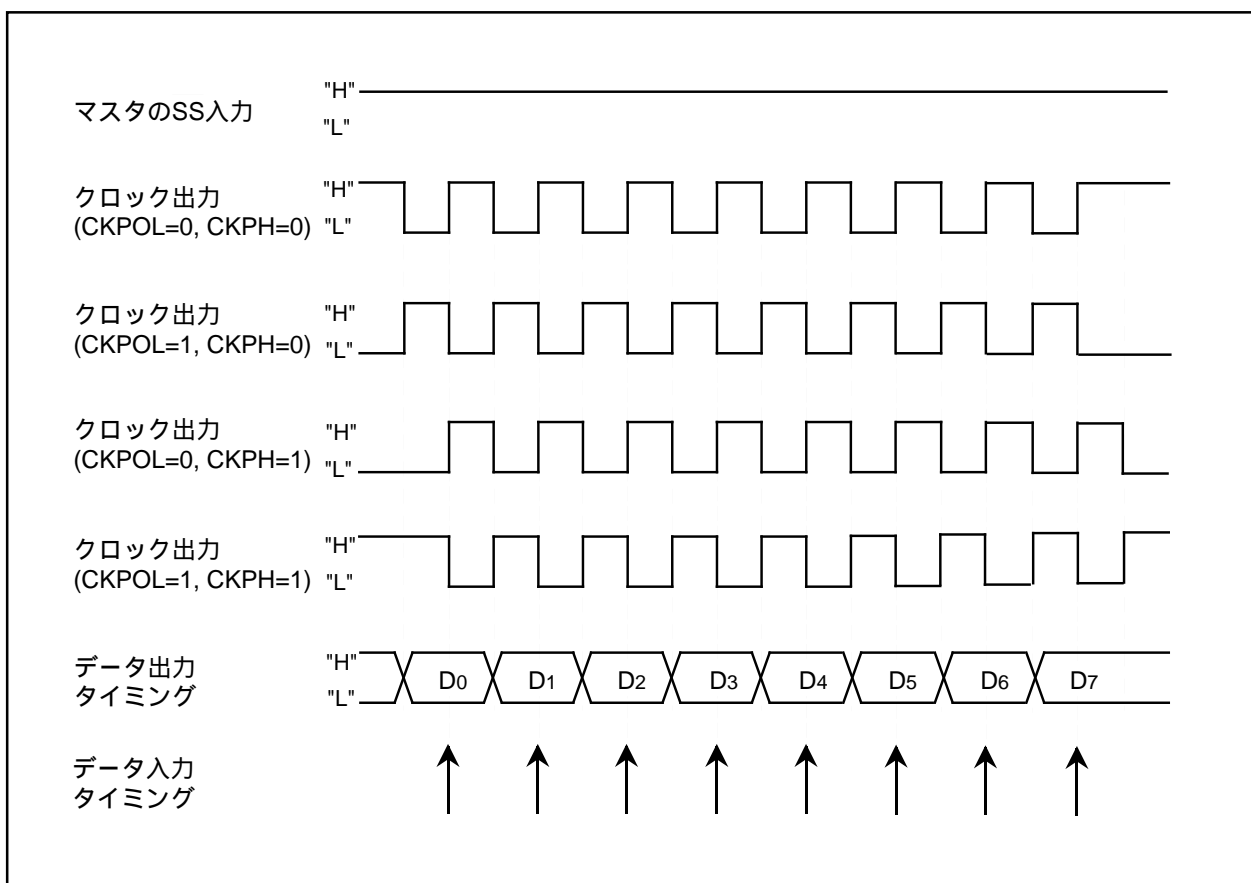


図1.19.6. マスタ(内部クロック)の場合の送受信のタイミング

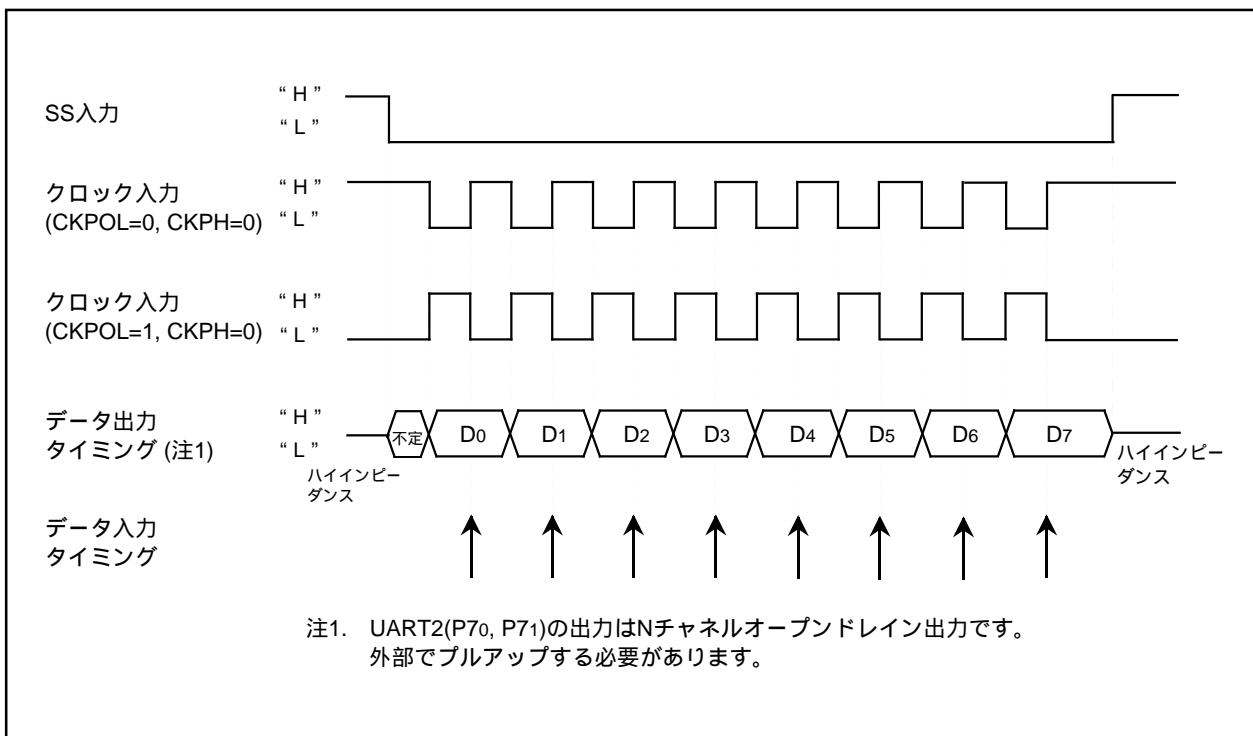


図1.19.7. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

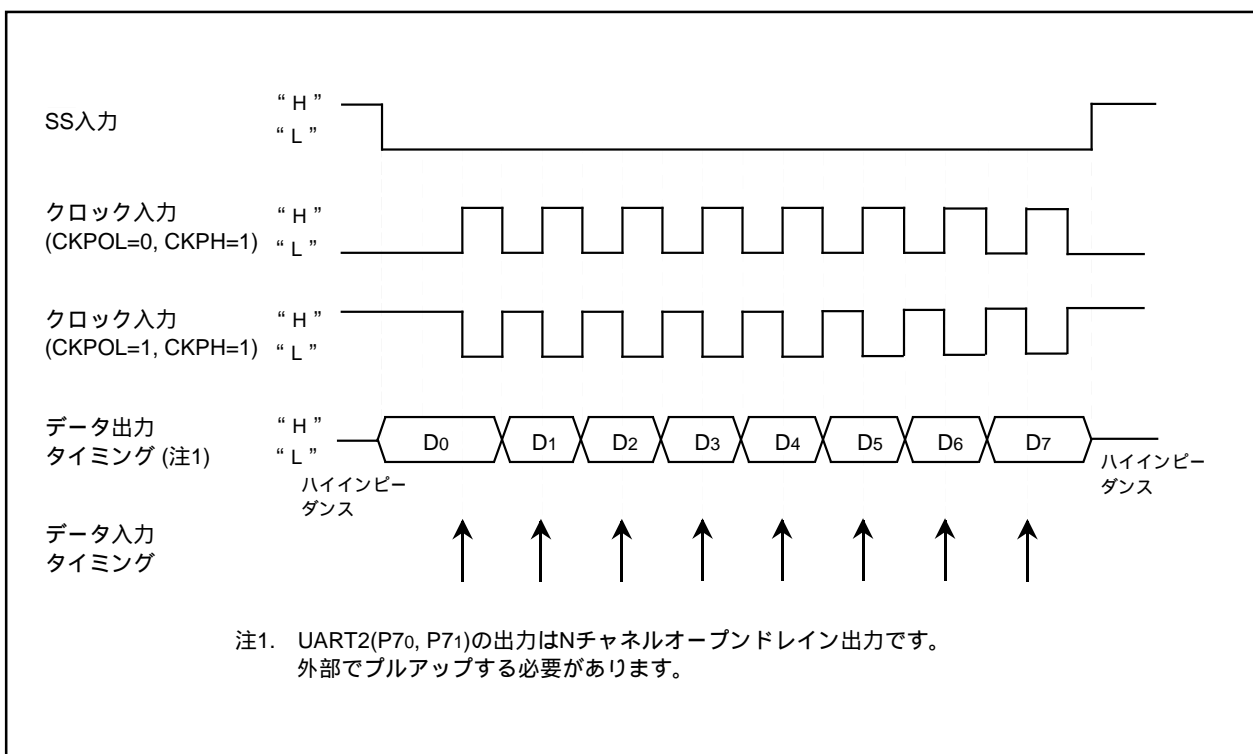


図1.19.8. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

IEモード

IEモード関連の制御ビットについて記述します。

UARTi特殊モードレジスタ1 : UiSMR (03A7₁₆、0367₁₆、0337₁₆、0327₁₆番地)

ビット0～3 : IEモードには関連しません。

ビット4 : バス衝突検出サンプリングクロック選択ビット (ABSCS)

バス衝突検出割り込みとはRxDiとTxDiのレベルが一致していないときに割り込みを発生します。このビットが“0”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“1”の場合、タイマAj (UART0ではタイマA3、UART1ではタイマA4、UART2ではタイマA0、UART3ではタイマA3のアンダフローのタイミングで検出します。RxDi端子をTAjIN端子に接続し、タイマAj (ワンショットモード) を起動してください。その動作を図1.19.9に示します。

ビット5 : 送信許可ビット自動クリア機能選択ビット (ACSE)

このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1” (不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

ビット6 : 送信開始条件選択ビット (SSS)

このビットを“1”にすることで、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。

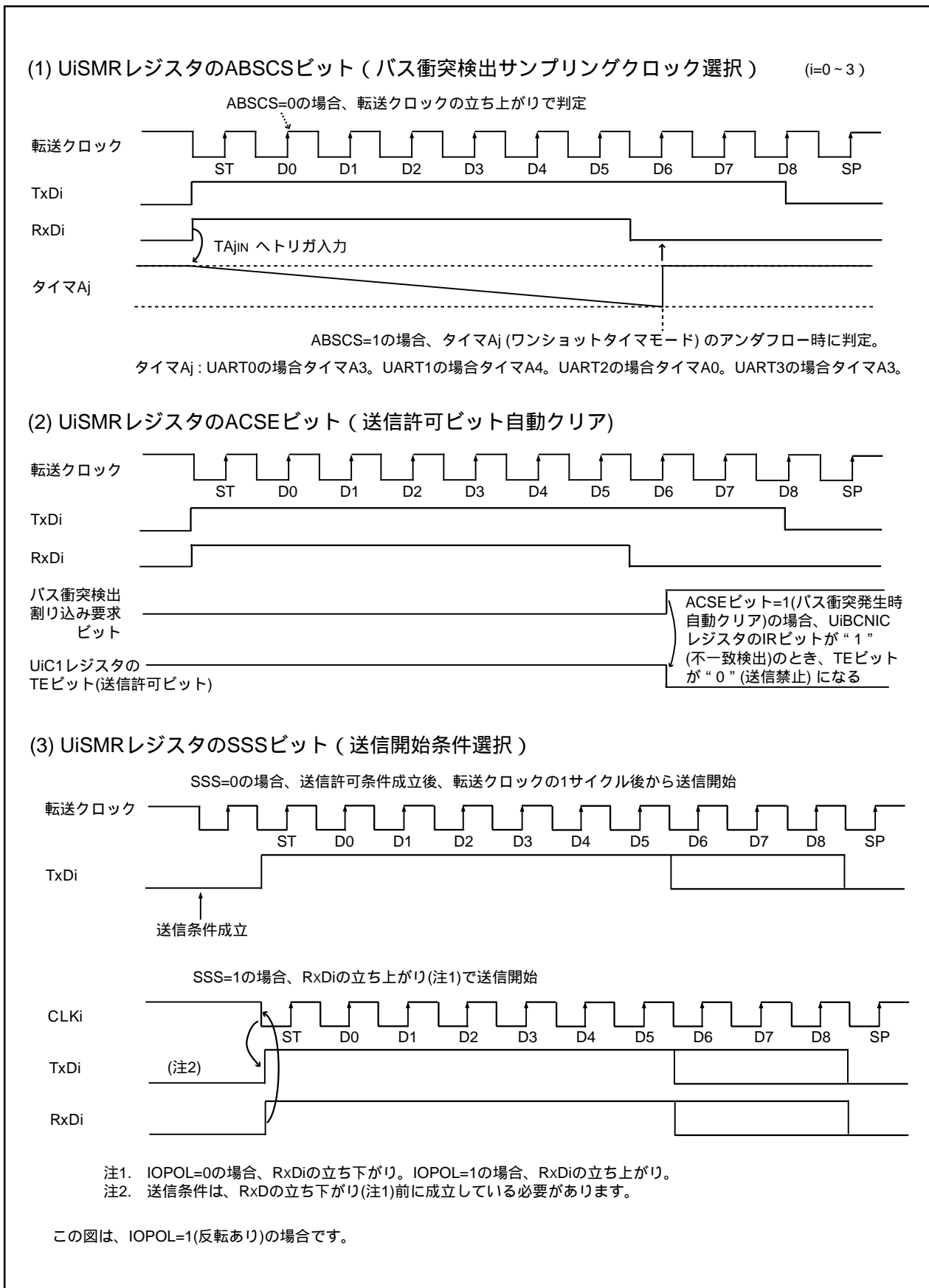


図1.19.9 バス衝突検出機能関連ビットの機能

シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI)は、デジタルオーディオデータ転送のためのシリアルデータインタフェースです。M30245のSSIは、標準のオーディオインタフェースと互換性があり、独自の機能も追加しています。

M30245のSSIは、以下の4本のバスを持っています。

- ・ データクロック (SCK)
- ・ チャネルクロック (WS)
- ・ データ出力 (XMT)
- ・ データ入力 (RX)

例えば、基本的な2チャンネル(左1chと右1ch)のステレオオーディオシステムから多チャンネルオーディオシステムに至るまで、4本のバスでデータを送信できます。

基本的なSSIシステムは2つのSSIと、SCKとWSを供給するマスターコントローラを持っています。コントロール信号(SCKとWS)を供給するSSIはマスターとして動作し、外部からコントロール信号の供給を受けるSSIはスレーブとして動作します。M30245のSSIはスレーブとしてのみ動作させることができます。

図1.20.1は、SSIのシステム、及びコントロール信号と入出力データの関係を示します(6チャンネルオーディオシステム)。

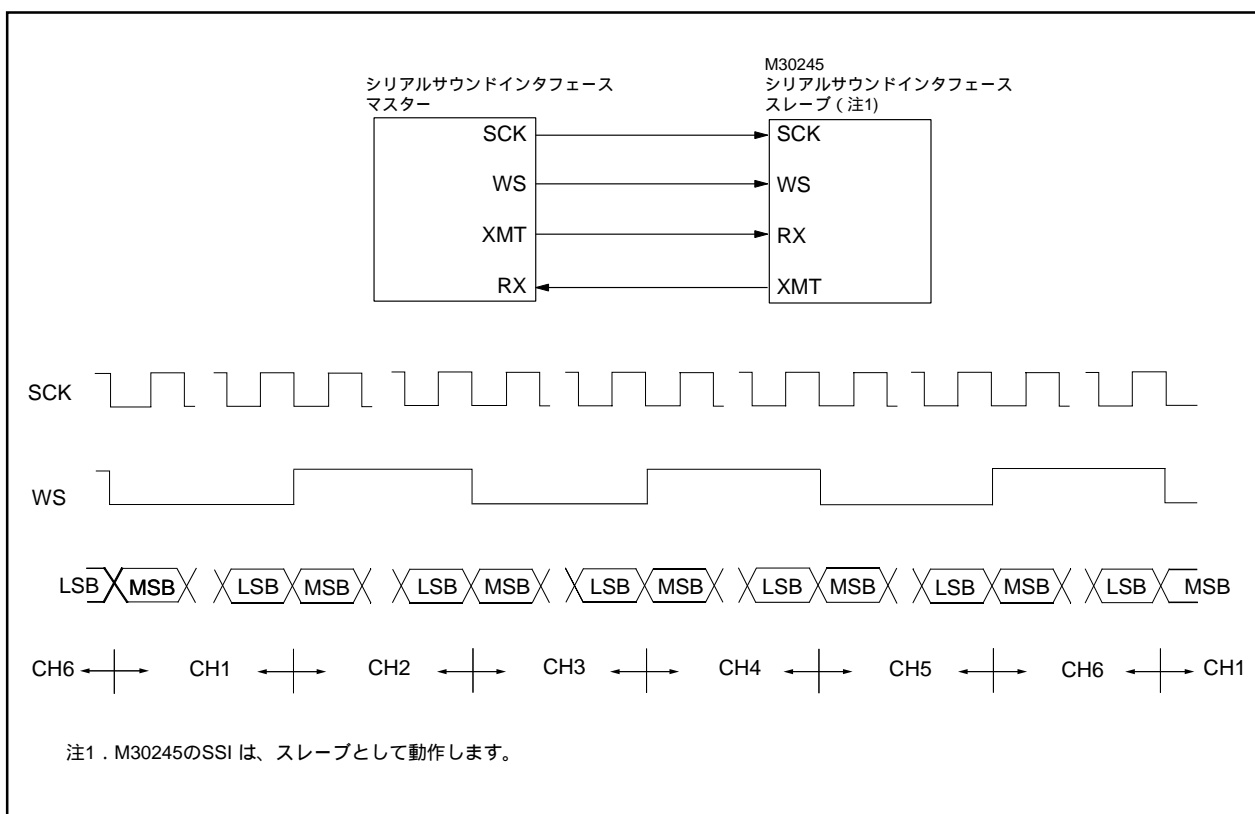


表1.20.1 に SSI の仕様を示します。

表1.20.1. SSI の仕様

チャンネルデータ幅	16ビット/24ビット/32ビット
転送クロック	外部クロック (SCK端子からの入力)
送信開始条件	SSインタフェース許可ビット (SSIEN ; 0310h, 0370h番地のビット0) = " 1 " 送信許可ビット (XMTEN ; 0310h, 0370h番地のビット1) = " 1 "
受信開始条件	SSインタフェース許可ビット (SSIEN ; 0310h, 0370h番地のビット0) = " 1 " 受信許可ビット (RXEN ; 0310h, 0370h番地のビット2) = " 1 "
割り込み要求 発生タイミング	送信時 (送信許可ビット = " 1 ") (1)データバッファからシフトレジスタにデータが転送され、データバッファに送信すべきデータがなくなったとき (データバッファからシフトレジスタへのデータ転送はWSエッジごとに発生) (2)データバッファに送信データが書き込まれるが、設定されたデータ幅に達しないとき 受信時 (受信許可ビット = " 1 ") (1)シフトレジスタからデータバッファに受信データが転送され、設定されたデータ幅のデータが揃ったとき (シフトレジスタからデータバッファへのデータ転送はWSエッジごとに発生) (2)データバッファから受信データが読み出されるが、データバッファに受信データが残っているとき

SSIデータフォーマット

SSIのデータ送受信は、WSのエッジごとにチャンネルデータを切り替えて行われます。WSの“H”/“L”期間内のSCKの数が、チャンネルデータ幅になります。チャンネルデータ幅は、チャンネル幅選択ビット0、1(SSIiMR0のビット4、5)により16ビット、24ビット、又は32ビットを選択できます。設定されたチャンネルデータ幅を超過する場合、データ受信は次のWSエッジまでデータ受信を停止します。また、データ送信は次のWSエッジまで“0”を送信します。SCKの数がチャンネルデータ幅に達しない場合、データ送受信は、直ちに次のチャンネルデータの転送に切り替わります。

SSIの内部構成を図1.20.2に示します。

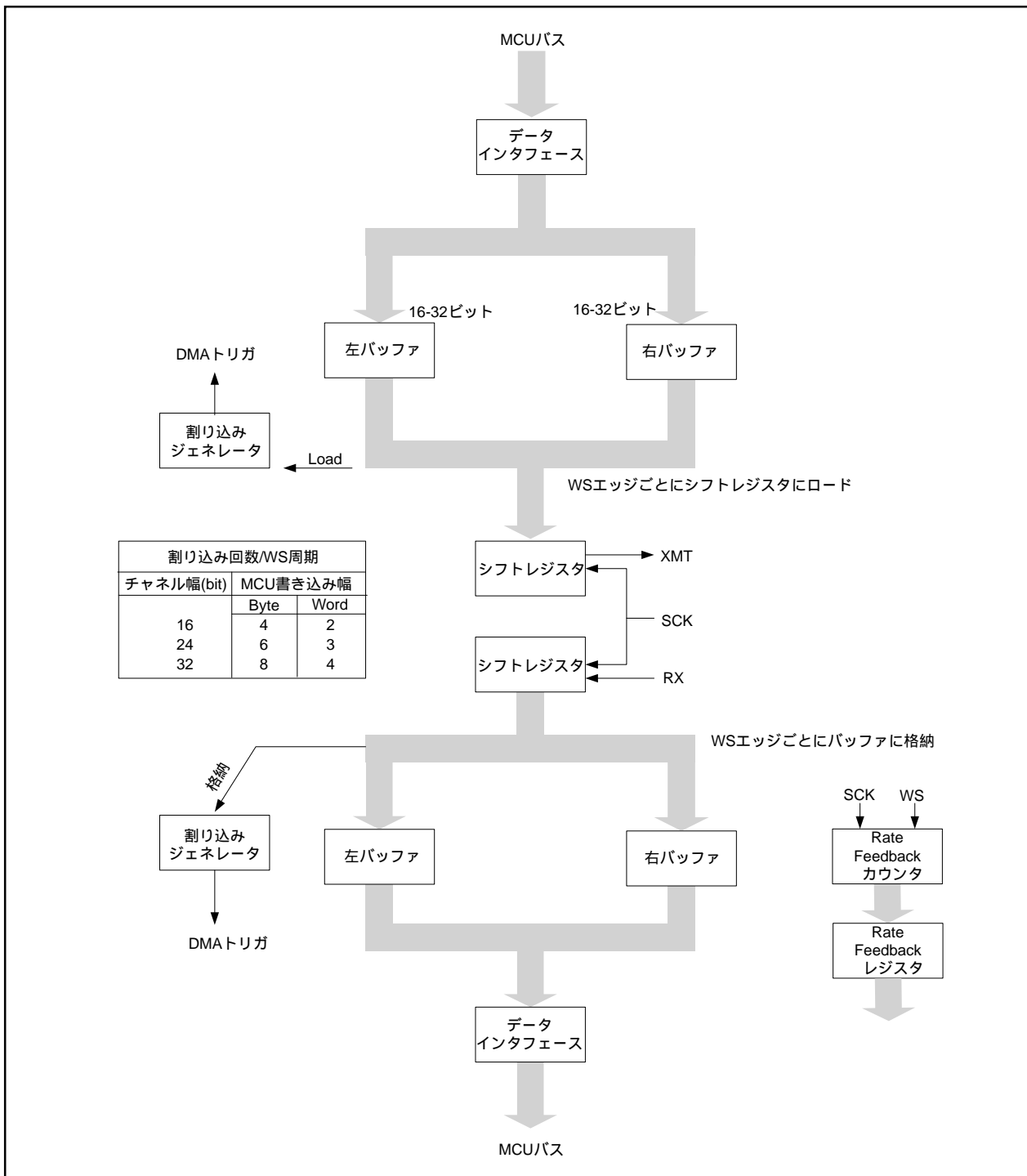


図1.20.2. SSI の内部構成

M30245のSSIは以下の特徴があり、SSIモードレジスタ0、1の設定により各機能を選択できます。

- ・データ送信とデータ受信の端子が分かれていることにより、同一のSCKとWSの信号に同期して、データの送信と受信を同時に行うことができます。
- ・データ送受信及びWSをSCKの立ち上がり/立ち下がりエッジに同期させることができます。SSIモードレジスタ1のSCK極性選択ビットで選択できます。

図1.20.3にSCKに同期したデータ送受信とWSを示します。

- ・データ送受信は、WSの立ち上がり/立ち下がりエッジに同期させることができます。SSIモードレジスタ1のWS極性選択ビットで選択できます。図1.20.4にWSに同期したデータ送受信を示します。
- ・チャンネルデータの切り替えタイミングに2つのモードがあります。SSIモードレジスタ1のWS遅延選択ビットに“0”を設定するとWS遅延モード、“1”を設定すると通常WSモードになります。

- 通常WSモード：

チャンネルデータ切り替えタイミングを基準にして、WSがSCKの1周期前に変化するモードです（WSが変化してから、SCKの1周期後にチャンネルデータが切り替わります）。

- WS遅延モード：

チャンネルデータ切り替えとWSの変化が同期します。

図1.20.5に通常WSモードとWS遅延モードのタイミングを示します。

- ・チャンネルデータ切り替えタイミング、及び送受信データバッファへのすべての各データバッファバイトのアクセスで割り込みが発生します。
- ・32、24及び16ビットのチャンネルデータ幅の送受信が可能です。SSIモードレジスタ0のチャンネル幅選択ビットで選択します。
- ・MSB又はLSBからのデータ送受信が可能です。データ受信はSSIモードレジスタ0の受信フォーマット選択ビット0で、データ送信はSSIモードレジスタ1の送信フォーマット選択ビットでそれぞれ選択できます。“0”を設定するとLSBファースト、“1”を設定するとMSBファーストになります。
- ・データ受信時、WSの“H”/“L”期間のSCKの数が、設定されたチャンネルデータ幅未満の場合、データはMSB justified、又はLSB justifiedのどちらかでデータを保持できます。

図1.20.6に受信時のMSB justified / LSB justifiedの場合のデータフォーマット例を示します。

- ・USBインタフェースと共に使用するとき、USB 1フレームごとのWS、又はSCKの数をカウントできるレートフィードバック機能を使用できます。

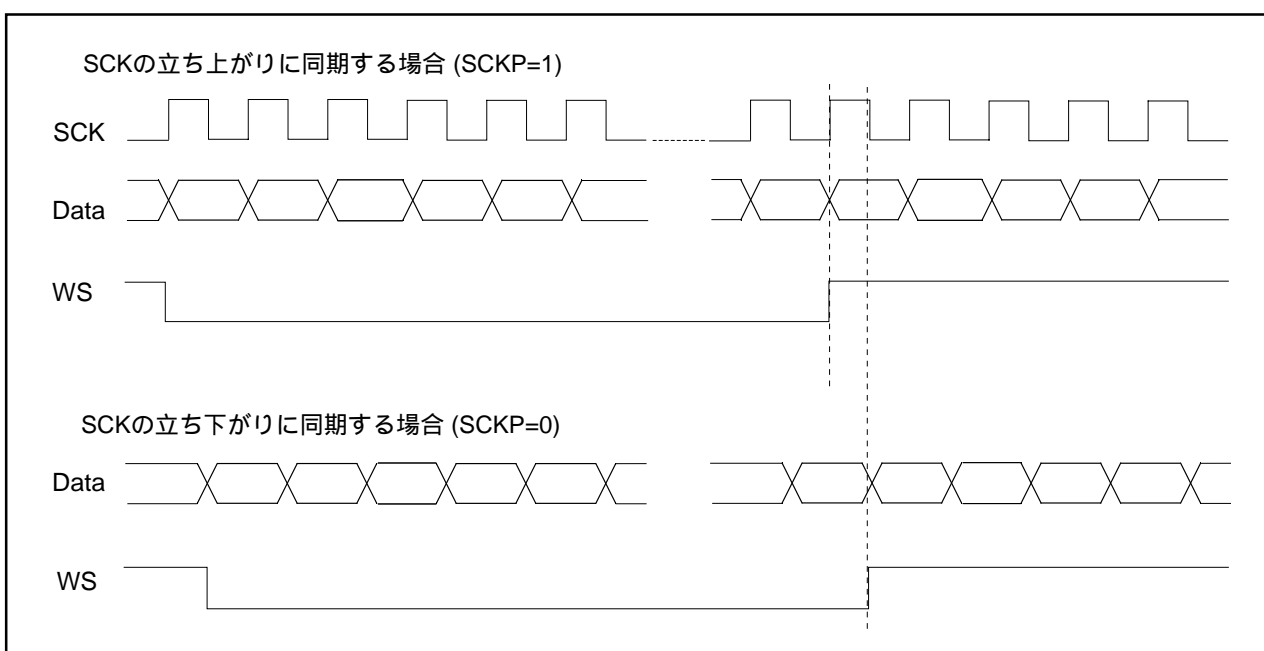


図1.20.3. SCK に同期したデータ送受信とWS

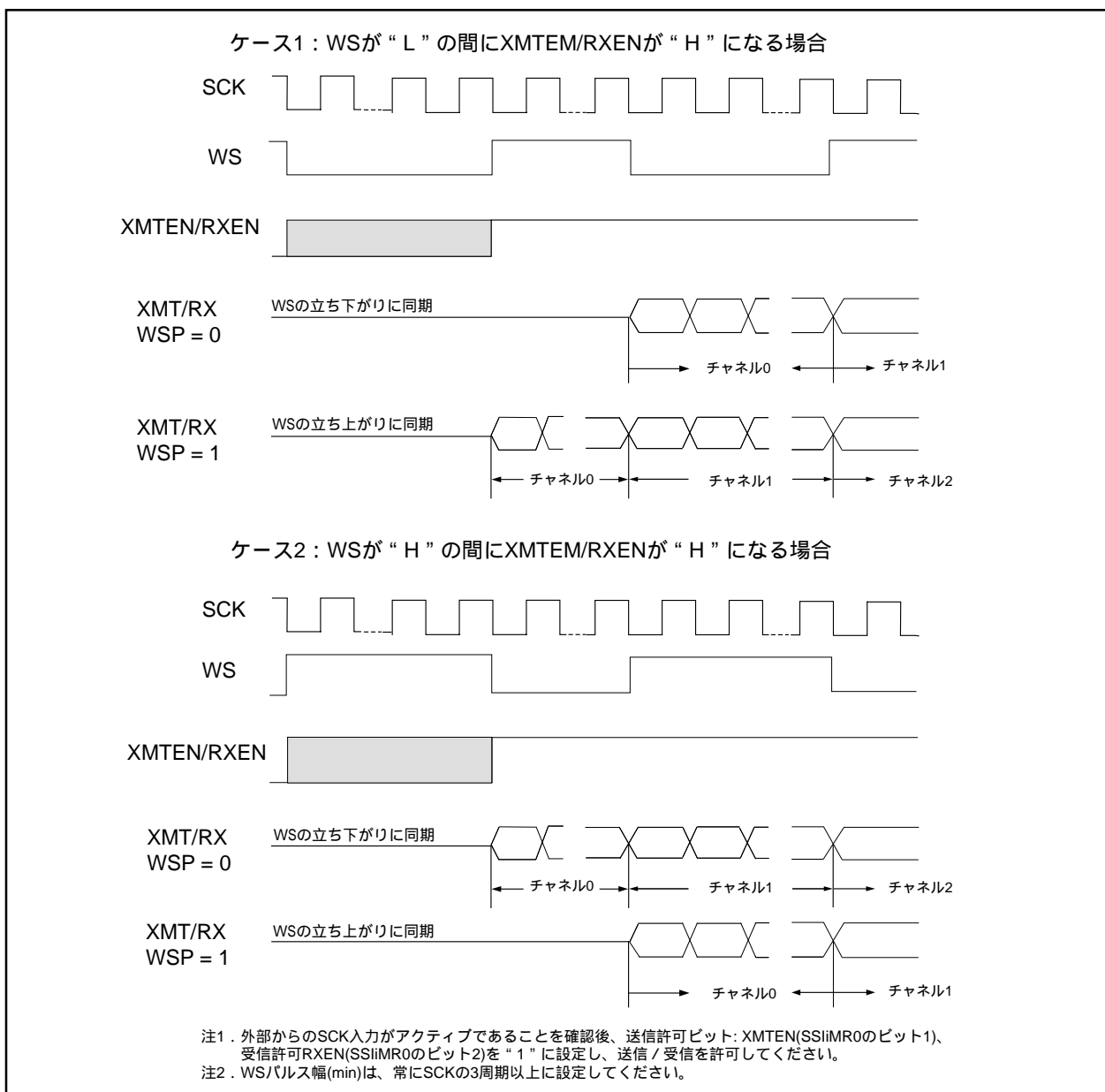


図1.20.4. WS に同期したデータ送受信

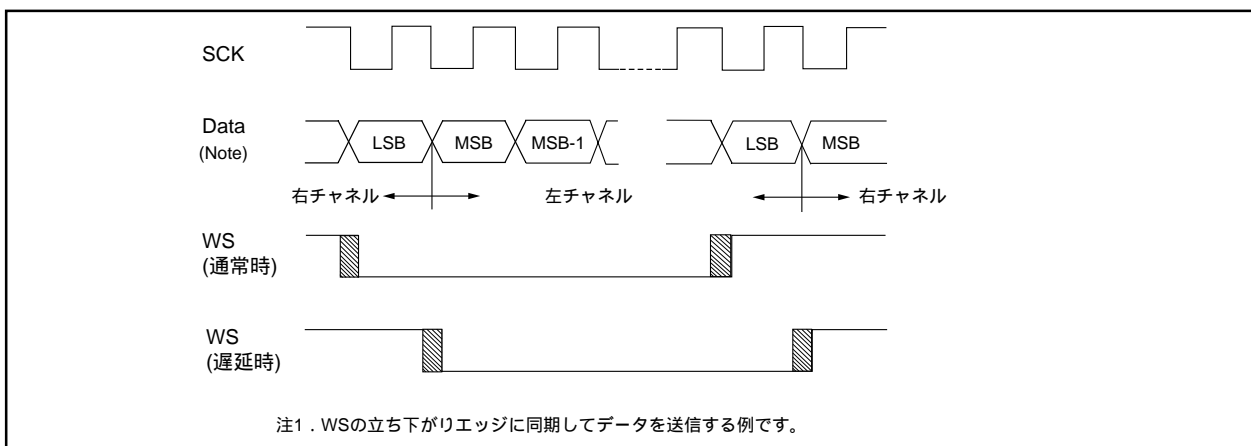


図1.20.5. 通常WSモードとWS遅延モードのタイミング

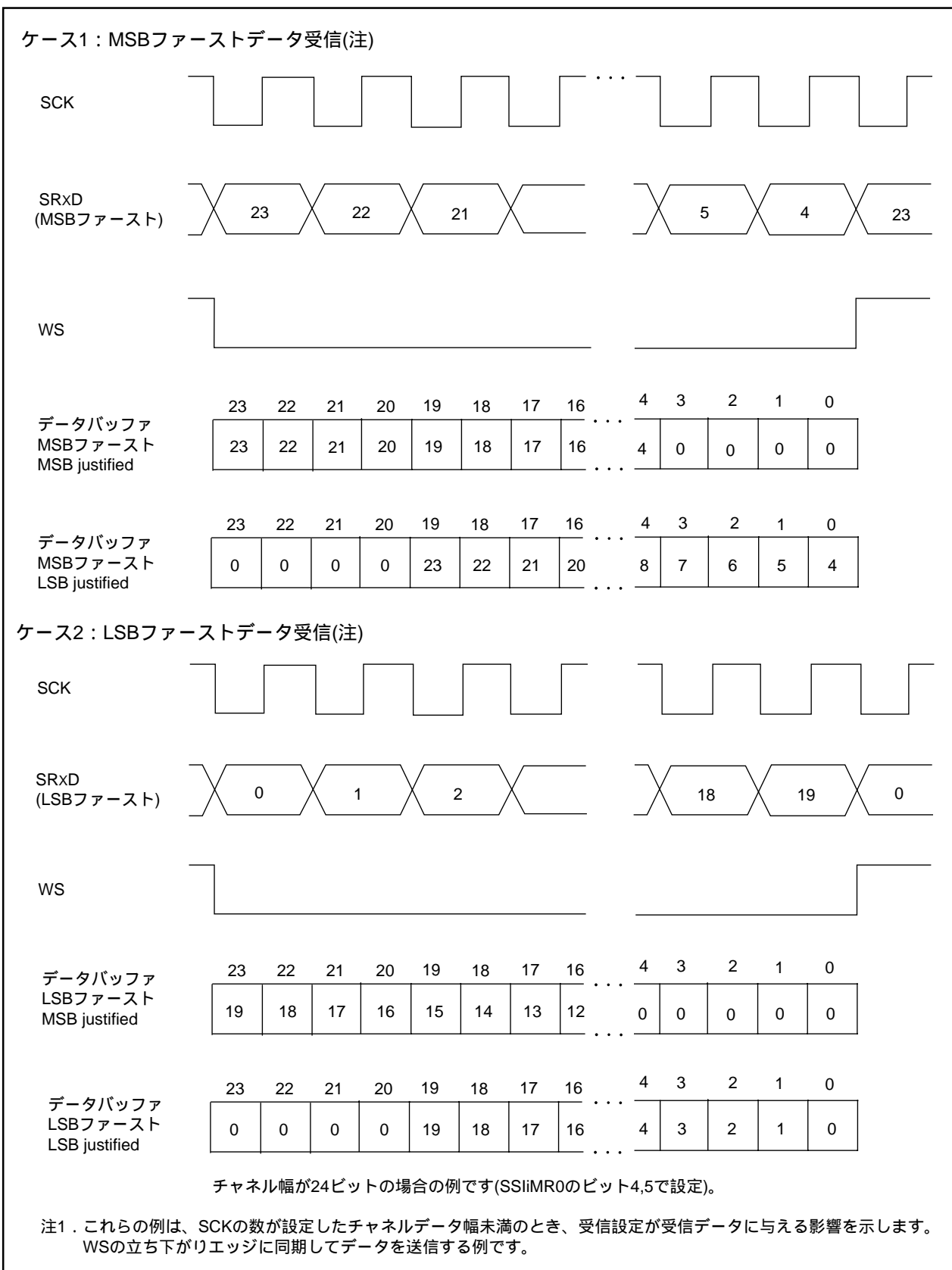


図1.20.6. 受信時のMSB justified / LSB justified の場合のデータフォーマット例

SSIはシリアルデータ通信システムです。パラレルデータ(MCUバス)からシリアルデータへの変換はシフトレジスタとバッファレジスタで行われます。

図1.20.7にSSIアーキテクチャの各構成要素の関連レジスタを示します。全二重送受信のための個別の32ビットシフトレジスタを持ちます。各シフトレジスタは、チャンネル幅選択ビットを設定することにより32、24又は16ビットにすることが可能です。シフトレジスタは、WSエッジごとにデータバッファからデータを読み出し(又は、受信データ用シフトレジスタからデータバッファへのデータ書き込み)ます。

SSIにはレートフィードバック機能があります。USBを使用しているとき、データ転送レートの確認に使用できます。レートフィードバック機能はWS、又はSCKをカウントソースとする16ビットのカウンタとカウント値を格納する16ビットのレジスタで構成されます。USBコアが生成するSOF信号の立ち下がりエッジごとに、カウント値がレジスタに格納されます。カウンタもSOF信号によってリセットされます。SOF信号はUSB通信で使用されるUSBフレーム周期信号です(1ms)。詳細はUSBの節を参照してください。レジスタから読み出した値は直前のUSBフレームからのカウンタ値です。

図1.20.7、図1.20.8にSSI関連レジスタを示します。

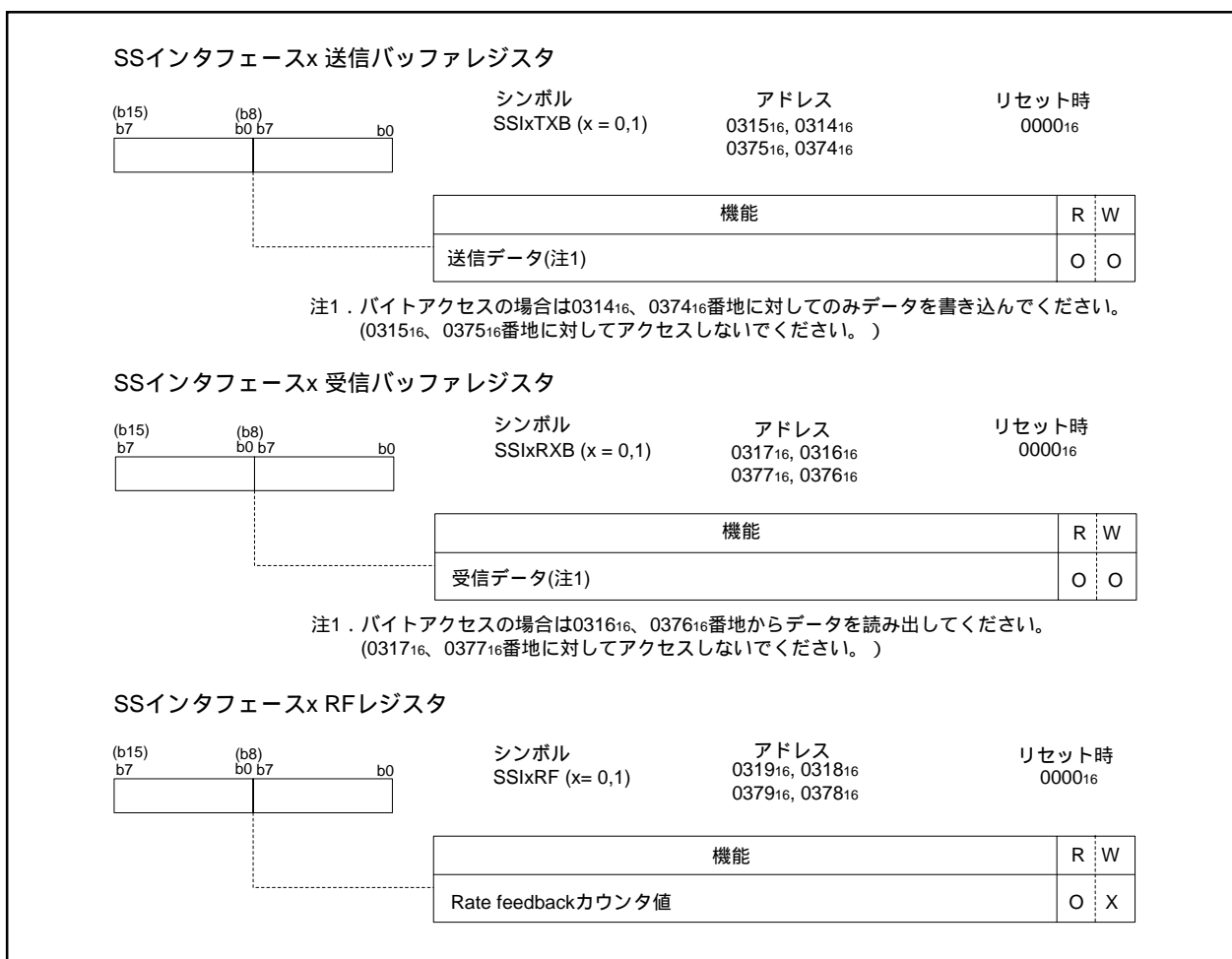


図1.20.7. SSI 関連レジスタ(1)

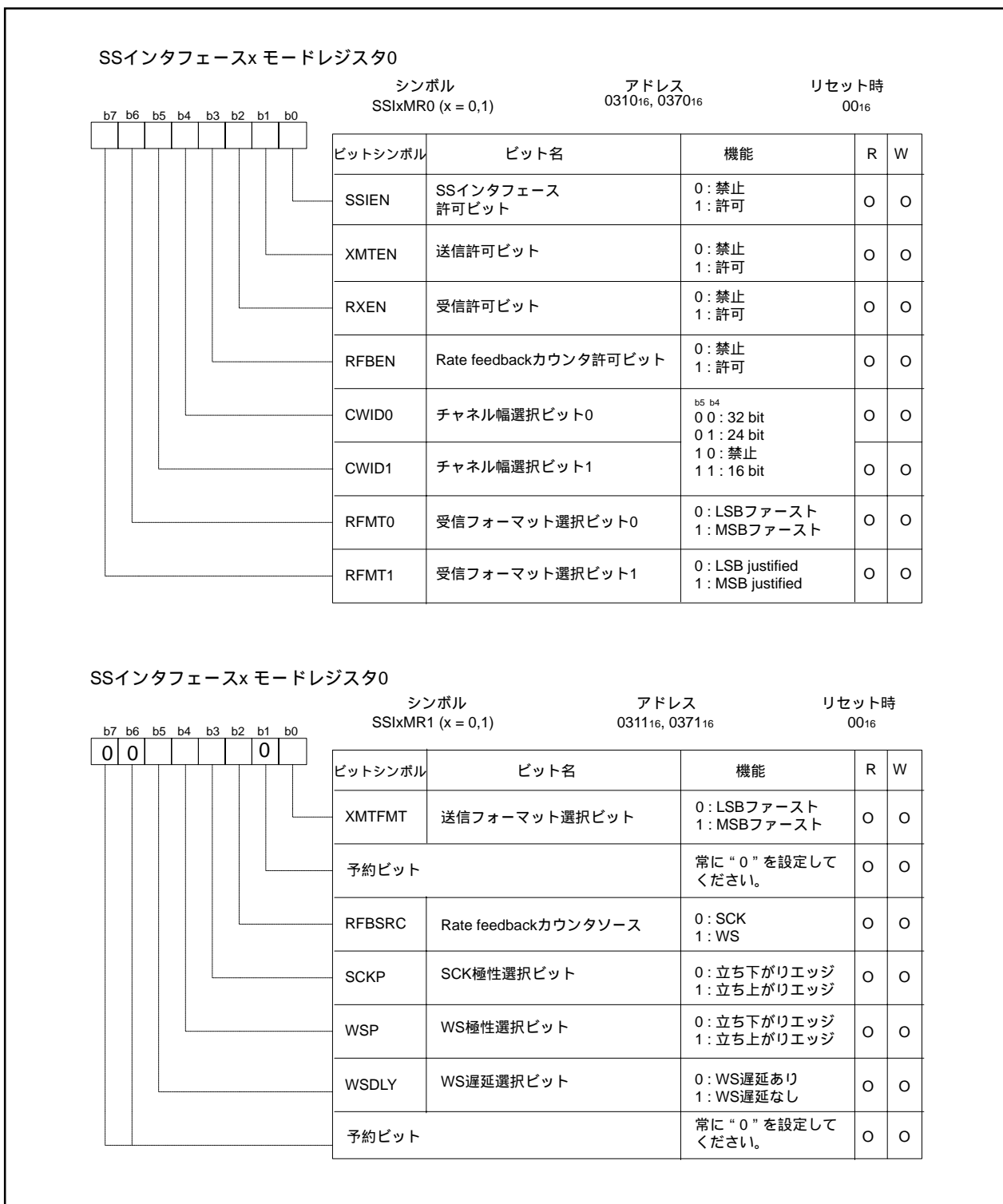


図1.20.8. SSI 関連レジスタ(2)

データパス

SSIのデータ配置は、USBオーディオデバイスクラス仕様書のデータフォーマットに合わせて設計されています。

表1.20.2に、24ビット(L23 L0、及びR23 R0)ステレオデータ転送時のUSB FIFOデータ配置を示します。また、表1.20.3にSSIバッファデータを示します。

表1.20.2. USB FIFO のデータ配置

FIFOアドレス (エンドポイント開始アドレスからのオフセット)	FIFOデータ	Comment
0	L7 ~ L0	サンプル0
1	L15 ~ L8	
2	L23 ~ L16	
3	R7 ~ R0	
4	R15 ~ R8	
5	R23 ~ R16	
6	L7 ~ L0	サンプル1
7	L15 ~ L8	
8	L23 ~ L16	
9	R7 ~ R0	
10	R15 ~ R8	
11	R23 ~ R16	
...
...	L7 ~ L0	サンプルn
...

表1.20.3. SSI バッファデータ

左バッファ			右バッファ		
バイト2	バイト1	バイト0	バイト2	バイト1	バイト0
L23 ~ L16	L15 ~ L8	L7 ~ L0	R23 ~ R16	R15 ~ R8	R7 ~ R0

USB FIFOはワードアクセスで読み出され、ワードアクセスで送信バッファに書き込まれます。

表1.20.4にUSB FIFOシーケンス動作を示します。DBはMCUデータバスです。

データは最下位バイト(LSByte)から最上位バイト(MSByte)の順でまず最初に左バッファから書き込まれます。ワード書き込みの場合、最初に下位データバス(DB7-DB0)、次に上位データバス(D15-DB8)の順で書き込まれます。受信バッファ読み出しの場合も同様の処理を行います。

バイトアクセスにおいては、データはMSByteファーストでバスに置かれます。

ワードアクセスで読み出す場合、下位データバス(DB7-DB0)から先に扱われます。

表1.20.4. USB FIFO シーケンス動作

操作	左バッファ			右バッファ		
	バイト2 (L23 ~ L16)	バイト1 (L15 ~ L8)	バイト0 (L7 ~ L0)	バイト2 (R23 ~ R16)	バイト1 (R15 ~ R8)	バイト0 (R7 ~ R0)
1ワードデータ書き込み		DB15 ~ DB8	DB7 ~ DB0			
2ワード目データ書き込み	DB7 ~ DB0					DB15 ~ DB8
3ワード目データ書き込み				DB15 ~ DB8	DB7 ~ DB0	

SSIの注意事項

- ・ SSI動作時にウェイトモードに移行する際は、SSI動作を停止してください。また、ウェイトモードからの復帰時、SSIを初期化してください。
- ・ フラッシュメモリ版ではSSIデータの受信側デバイスにて、下記のタイミングでSSIデータをラッチしてください。
 - SCKP=0 (SCK極性：立下りエッジ) を選択した場合：SCKの立上りエッジからBCLKの3サイクル以内
 - SCKP=1 (SCK極性：立上りエッジ) を選択した場合：SCKの立下りエッジからBCLKの3サイクル以内

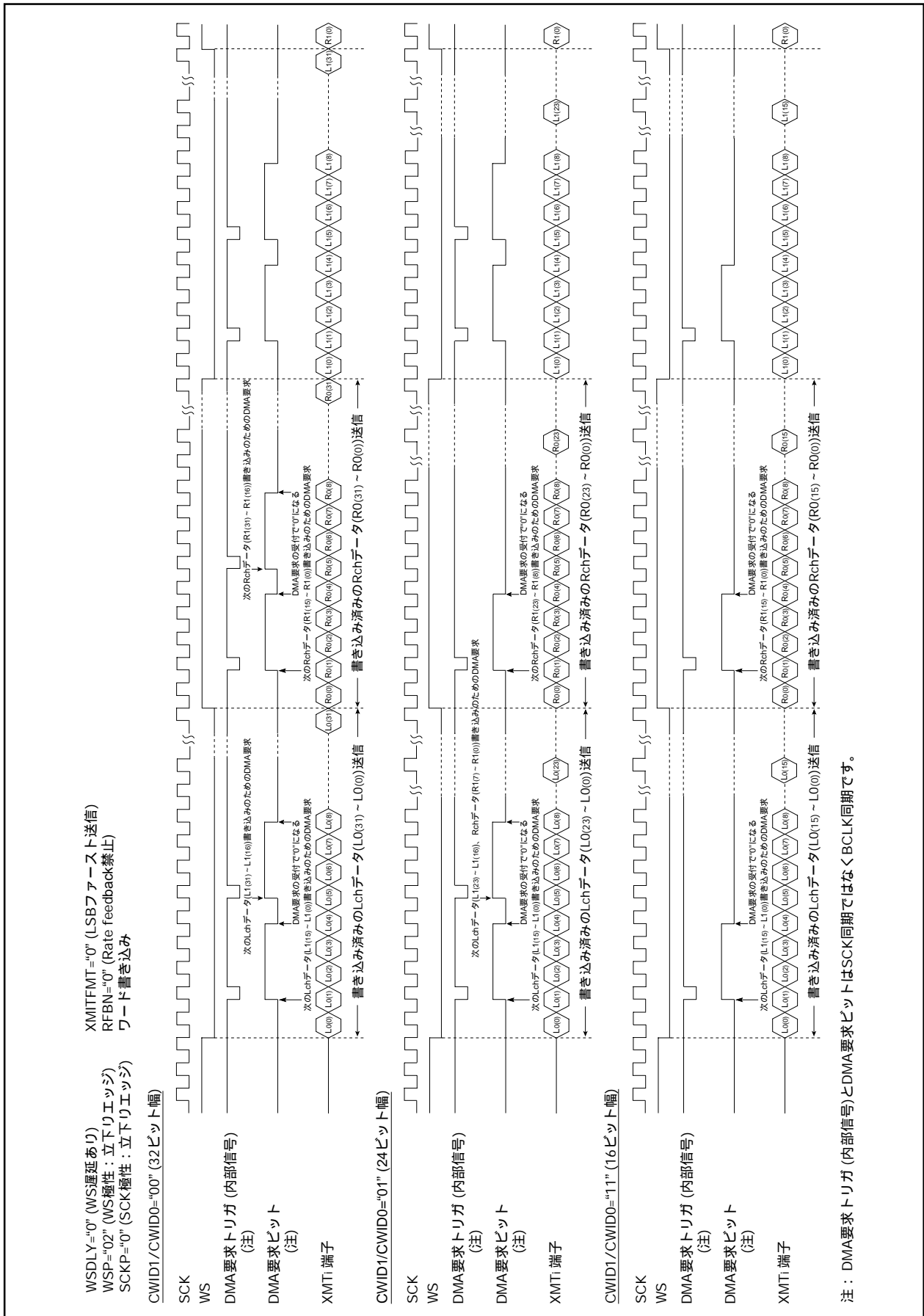


図1.20.9. 32/24/16ビット幅のDMA要求タイミング (送信時)

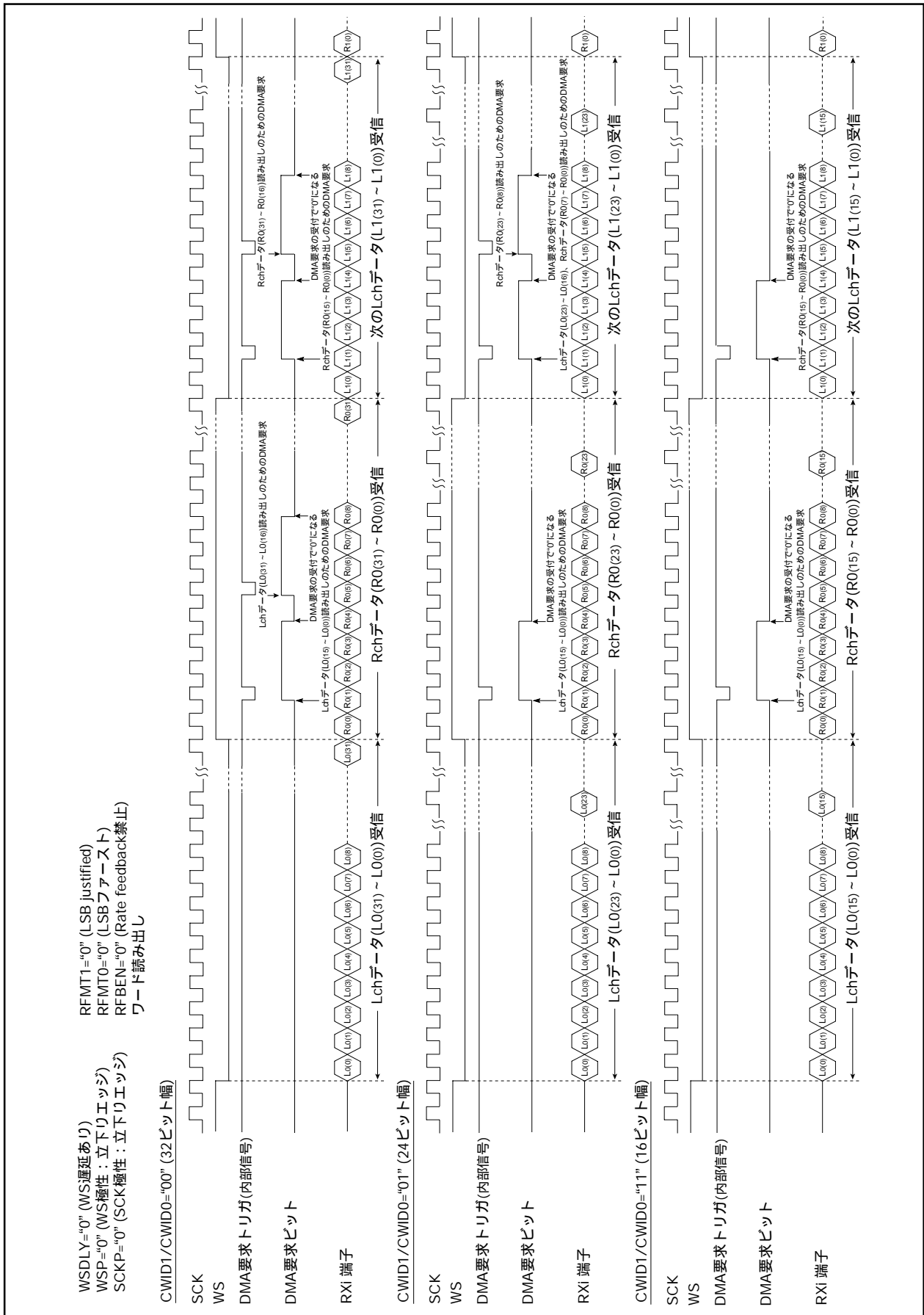


図1.20.10. 32/24/16ビット幅のDMA要求タイミング(送信時)

A/D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA/D変換器を1回路内蔵しています。アナログ信号入力端子は、P100～P107と共用していますのでA/D変換を行う端子に対応する方向レジスタは入力に設定してください。A/D変換した結果は、選択した端子に対応したA/Dレジスタに格納されます。

表1.21.1にA/D変換器の性能を、図1.21.1にA/D変換器のブロック図を、図1.21.2、図11.19.3にA/D変換器関連のレジスタを示します。

表1.21.1. A/D変換器の性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC)
動作クロック AD(注2)	f _{AD} /f _{AD} の2分周/f _{AD} の3分周/f _{AD} の4分周 f _{AD} =f(XIN)
分解能	8/10ビット選択可能
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7)
A/D変換開始条件	ソフトウエアトリガ A/D変換開始フラグを“1”にするとA/D変換を開始 外部トリガ(再トリガ可能) A/D変換開始フラグを“1”にし、かつADTRG/P93入力が“H”から“L”の変化でA/D変換を開始(注3)
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1．サンプル&ホールド機能の有無に依存しません。

注2．f(XIN)が10MHzを超える場合は周波数選択ビット(ADCON0のビット7とADCON1のビット4)により分周し、ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3．ポートの方向レジスタは入力に設定してください。

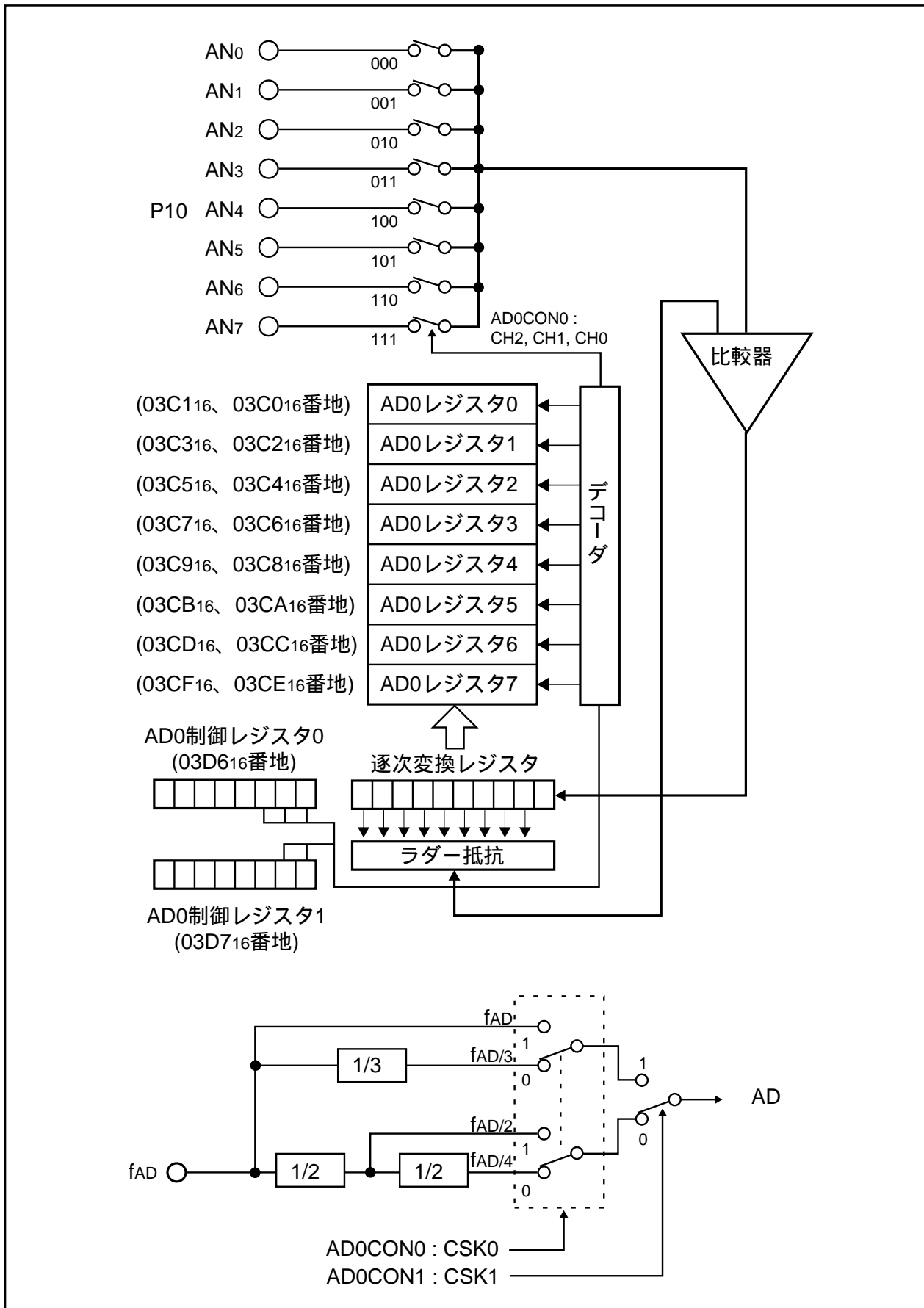


図1.21.1. A/D 変換器のブロック図

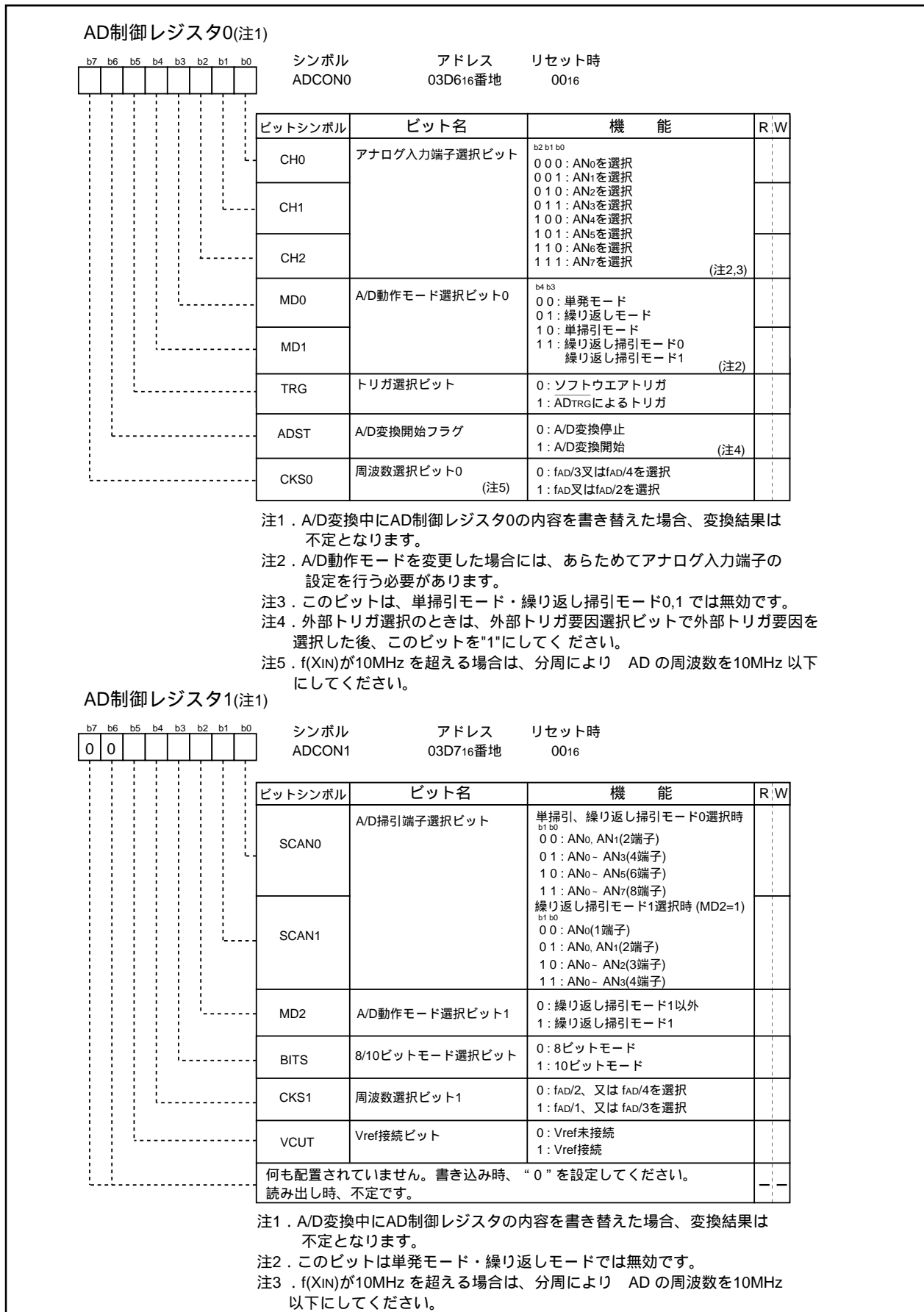


図1.21.2. A/D 変換器関連レジスタ(1)

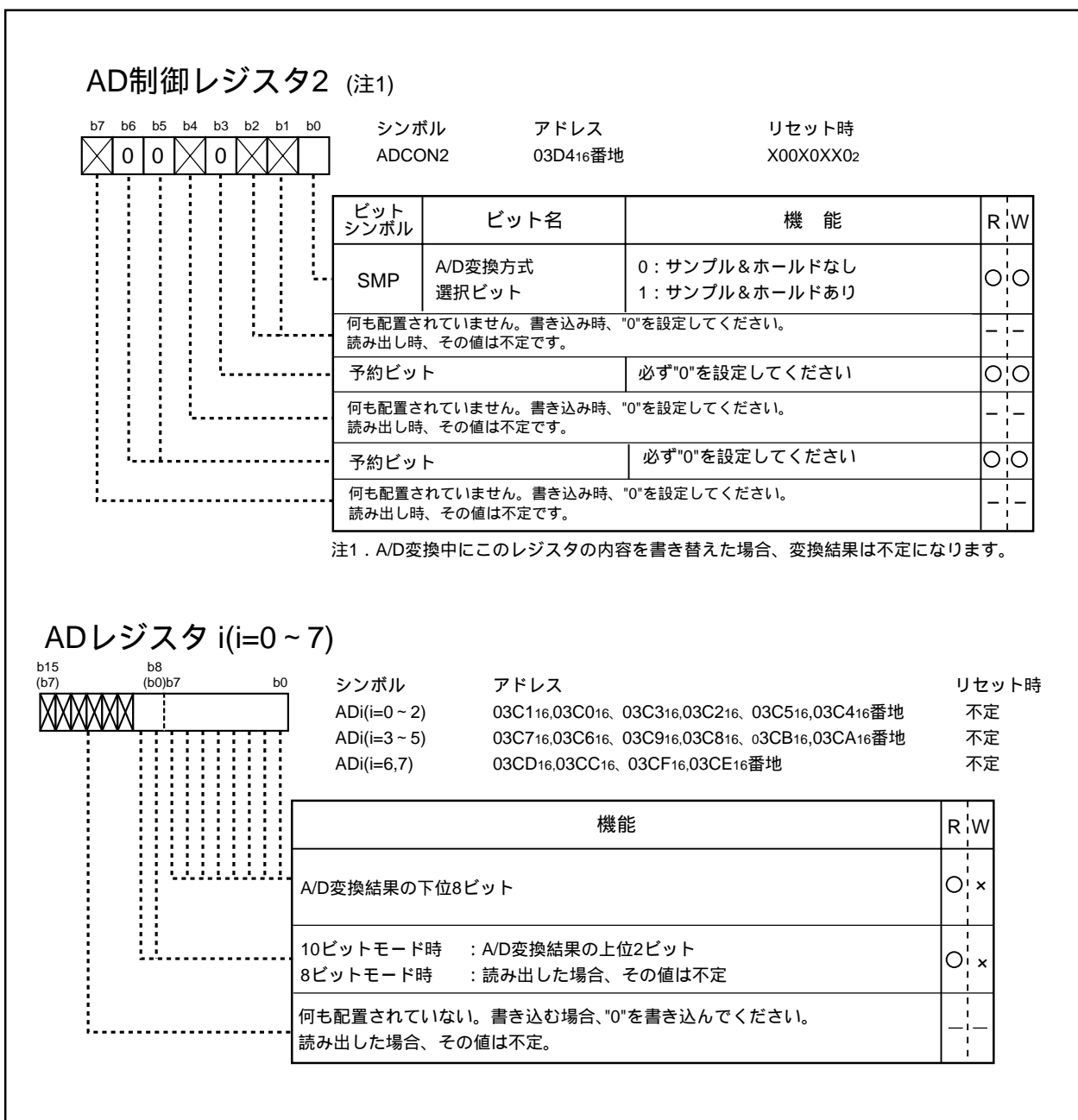


図1.21.3. A/D 変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換するモードです。表1.21.2に単発モードの仕様を示します。

表1.21.2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み、外部トリガ
停止条件	A/D変換終了(A/D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A/D変換値の読み出し	選択した端子に対応したADレジスタの読み出し

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換するモードです。表1.21.3に繰り返しモードの仕様を示します。

表1.21.3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み、外部トリガ
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A/D変換値の読み出し	選択した端子に対応したADレジスタの読み出し（常時読み出し可能）

(3) 単掃引モード

A/D掃引端子選択ビットで選択した端子を1回ずつA/D変換するモードです。表1.21.4に単掃引モードの仕様を示します。

表1.21.4. 単掃引モードの仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子を1回ずつA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み、外部トリガ
停止条件	A/D変換終了(A/D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)
A/D変換値の読み出し	選択した端子に対応したADレジスタの読み出し

(4) 繰り返し掃引モード0

A/D掃引端子選択ビットで選択した端子を繰り返しA/D変換するモードです。表1.21.5に繰り返し掃引モード0の仕様を示します。

表1.21.5. 繰り返し掃引モード0の仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)
A/D変換値の読み出し	選択した端子に対応したADレジスタの読み出し(常時読み出し可能)

(5) 繰り返し掃引モード1

A/D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA/D変換するモードです。表1.21.6に繰り返し掃引モード1の仕様を示します。

表1.21.6. 繰り返し掃引モード1の仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA/D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN ₀ (1端子)、AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₂ (3端子)、AN ₀ ~ AN ₃ (4端子)
A/D変換値の読み出し	選択した端子に対応したADレジスタの読み出し(常時読み出し可能)

機能

分解能選択機能

A/D制御レジスタ1の8/10ビットモード選択ビット(03D716番地のビット3)

変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

サンプル&ホールド

AD制御レジスタ2(03D416番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA/D変換を開始してください。

消費電流低減機能

VREF 接続ビット(03D716番地のビット5)によりA/D変換器を使用しないとき、A/D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF 端子から抵抗ラダーに電流が流れなくなり、消費電力を少なくすることができます。A/D変換器を使用する場合は、VREFを接続してからA/D変換をスタートしてください。

A/D変換開始フラグとVREF接続ビットは、同時に“1”を書き込まないでください。

注意事項

- (1) AD制御レジスタ0の各ビット(ビット6を除く)、AD制御レジスタ1の各ビット、およびAD制御レジスタ2のビット0に対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。特にVREF接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA/D変換を開始してください。
- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モード、又は単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADレジスタを読み出してください。A/D変換の完了はA/D変換割り込み要求ビットで判定できます。
- (4) 繰り返しモード、繰り返し掃引モード0、又は繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)、又はCRC-16($X^{16}+X^{15}+X^2+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタ(CRCD)に初期値を設定した後、1バイトのデータをCRCインプットレジスタ(CRCIN)に転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.22.1にCRCのブロック図、図1.22.2にCRCの関連レジスタを示します。また、図1.22.3にCRC-CCITT使用の場合のCRC演算回路の演算例を示します。

SFRアクセス監視機能：

CRC演算回路は、SFRへの書き込み・SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、又は、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCインプットレジスタにデータを設定する必要がありません。対象となるSFRはUSB関連レジスタ、UART関連レジスタ及びSSインタフェース関連レジスタです。例えば、UART送信バッファレジスタへの書き込みやUART受信バッファレジスタからの読み出しを監視する場合に便利です。

SFRへの書き込み/SFRからの読み出しを監視するためには、対象になるSFRアドレスをSFR監視アドレスレジスタ(CRCSARのビット0~9)に設定します。書き込み監視許可ビット(CRCSARのビット15)で対象SFRへの書き込みの監視を、読み出し監視許可ビット(CRCSARのビット14)で対象SFRの読み出しの監視を許可します。

書き込み監視許可ビットに“1”を設定している場合、CPU、又はDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCインプットレジスタに格納し、CRC演算を実行します。同様に、読み出し監視許可ビットに“1”を設定している場合、CPU、又はDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCインプットレジスタに格納し、CRC演算を実行します。

CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、CRCインプットレジスタには1バイトデータのみが格納されます。

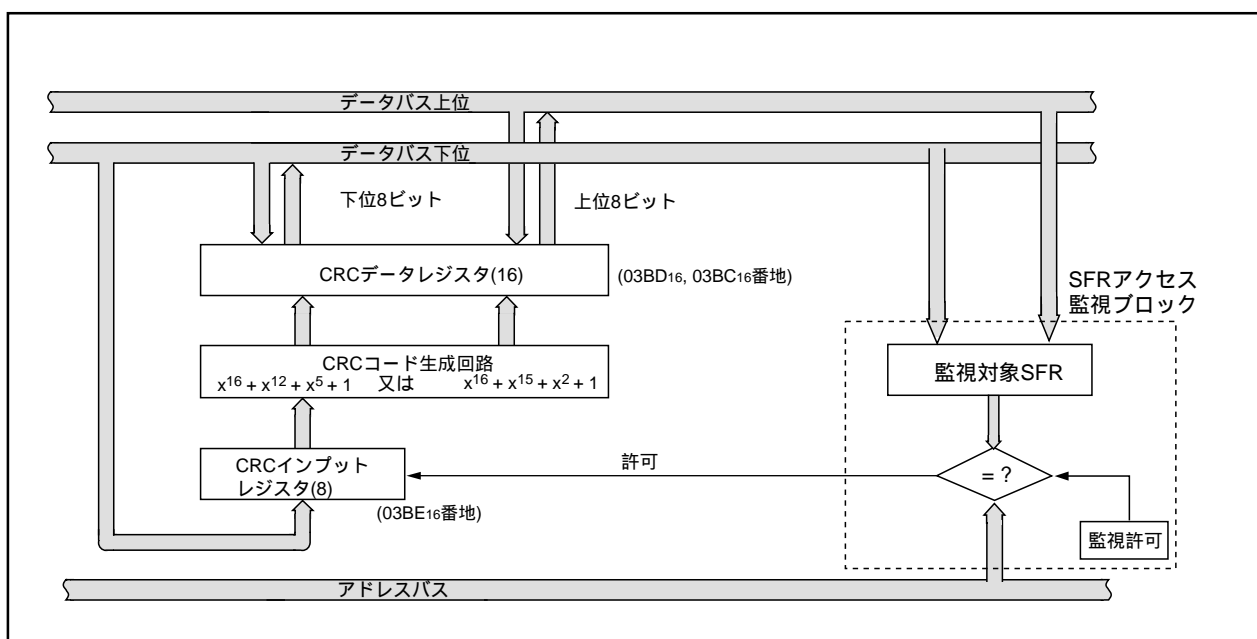


図1.22.1. CRC ブロック図

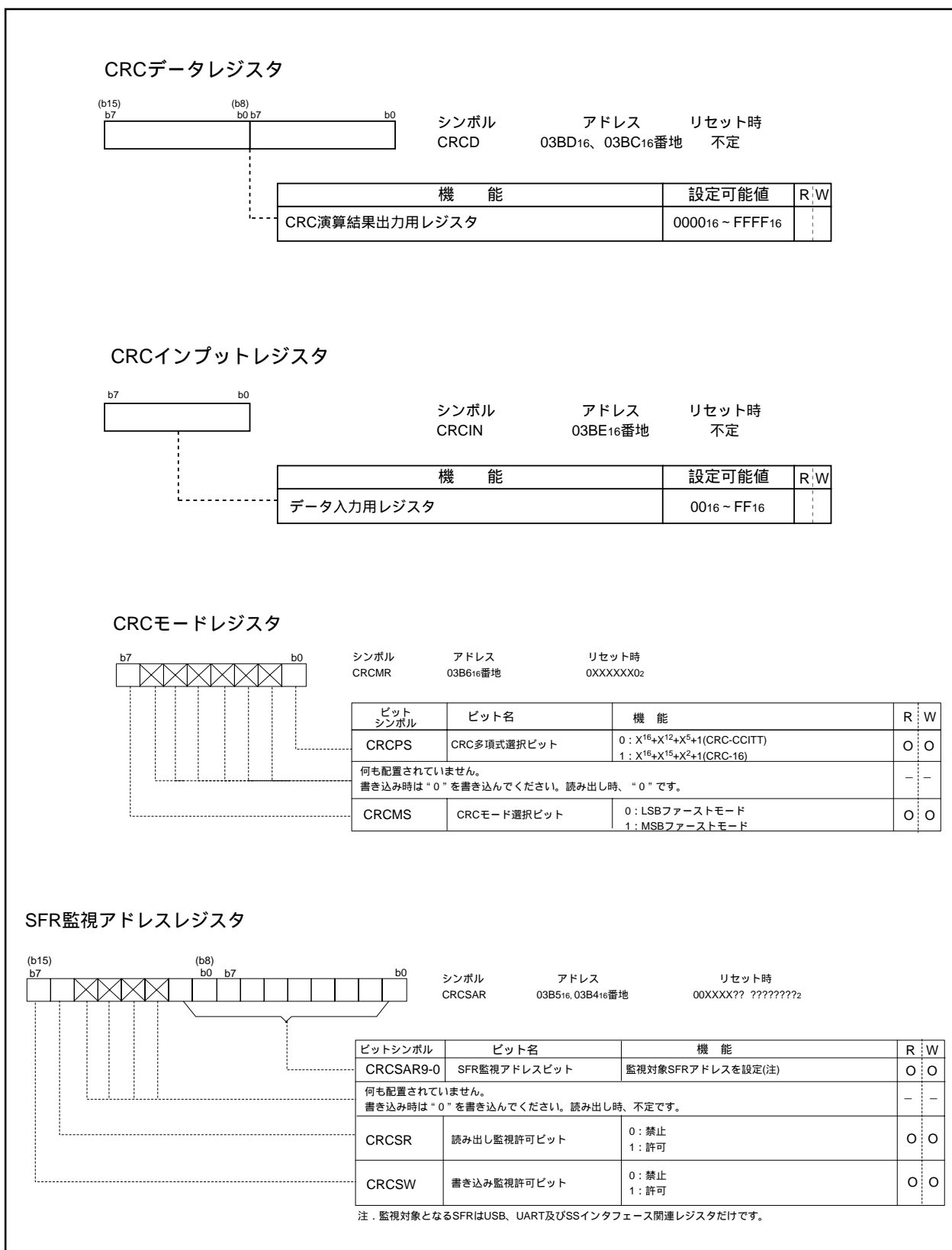


図1.22.2. CRC 関連レジスタ

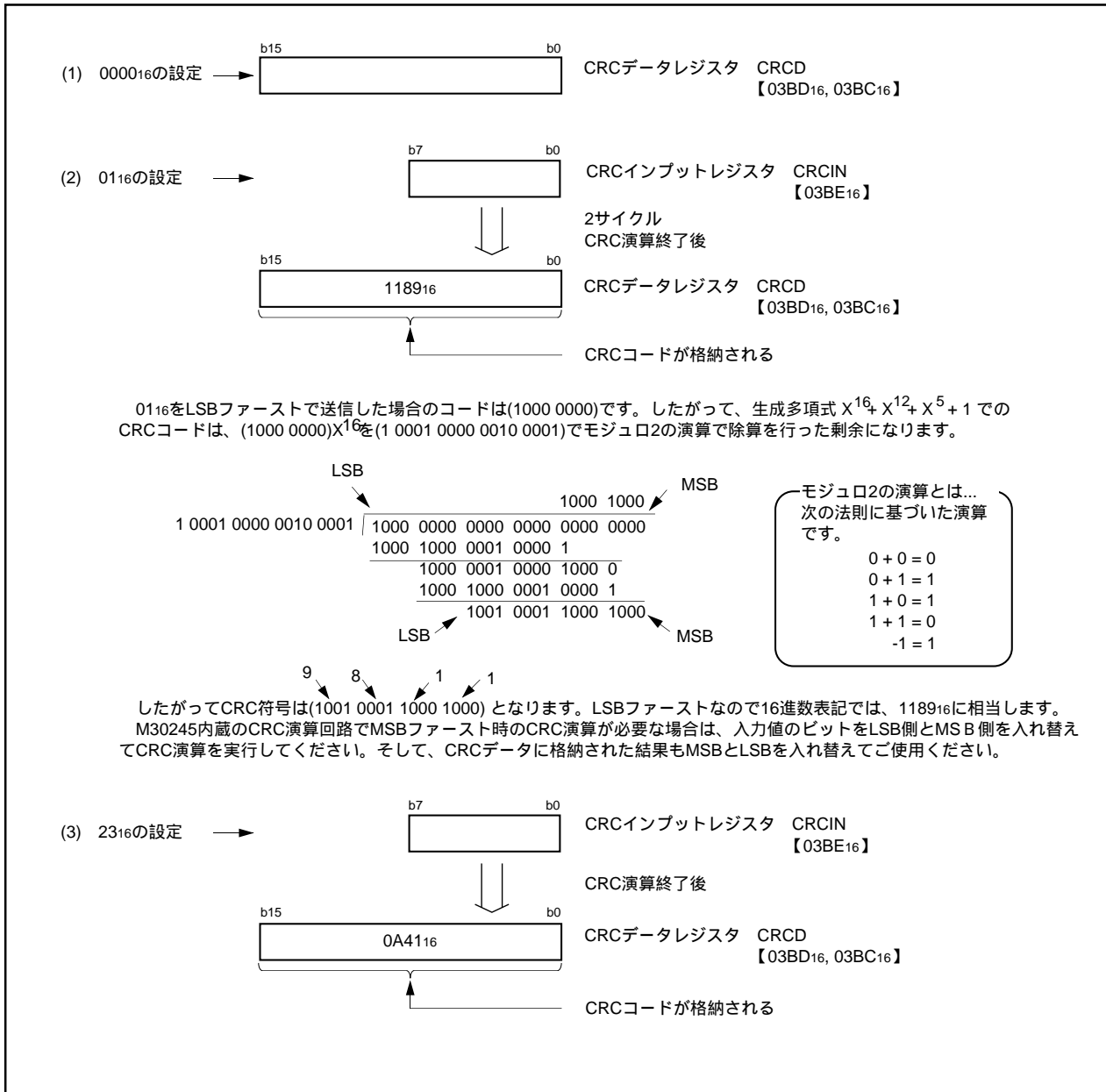


図1.22.3. CRC 演算回路の演算例 (CRC-CCITT使用時)

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85, P91, P94～P97は除く)の82本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図1.23.1, ~ 図1.23.3に、端子の構成を、図1.23.4に示します。各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) P7駆動能力選択レジスタ

P7駆動能力選択レジスタの構成を図1.23.5に示します。

このレジスタは電流の駆動能力について、標準駆動・高駆動を選択できます。P7は、対応するビットのNチャネルトランジスタの駆動能力を増加させることにより、LEDの直接駆動が可能です。

(2) ポート制御レジスタ

ポート制御レジスタの構成を、図1.23.6に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下の様になります

0:ポートP1が入力ポートのとき、端子の入力レベルを読み出す。

出力ポートのとき、ポートP1レジスタの内容を読み出す。

1:ポートP1が入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す。

ポート制御レジスタは、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時に有効です。

(3) 方向レジスタ

方向レジスタの構成を、図1.23.7に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

注1. P85の方向レジスタのビットは存在しません。

(4) ポートレジスタ

ポートレジスタの構成を、図1.23.8に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(5) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.23.9に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。

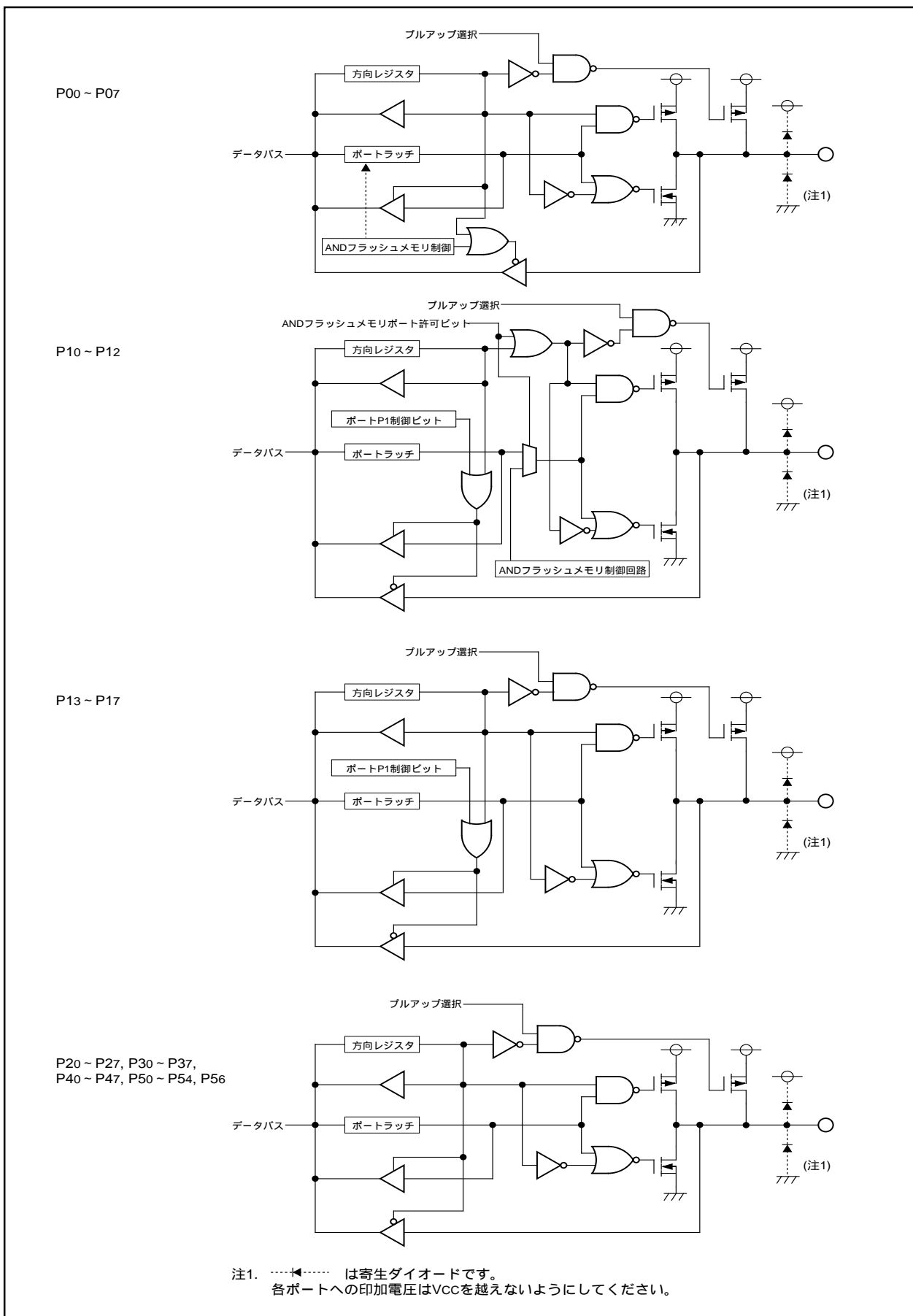


図1.23.1. プログラマブル入出力ポートの構成(1)

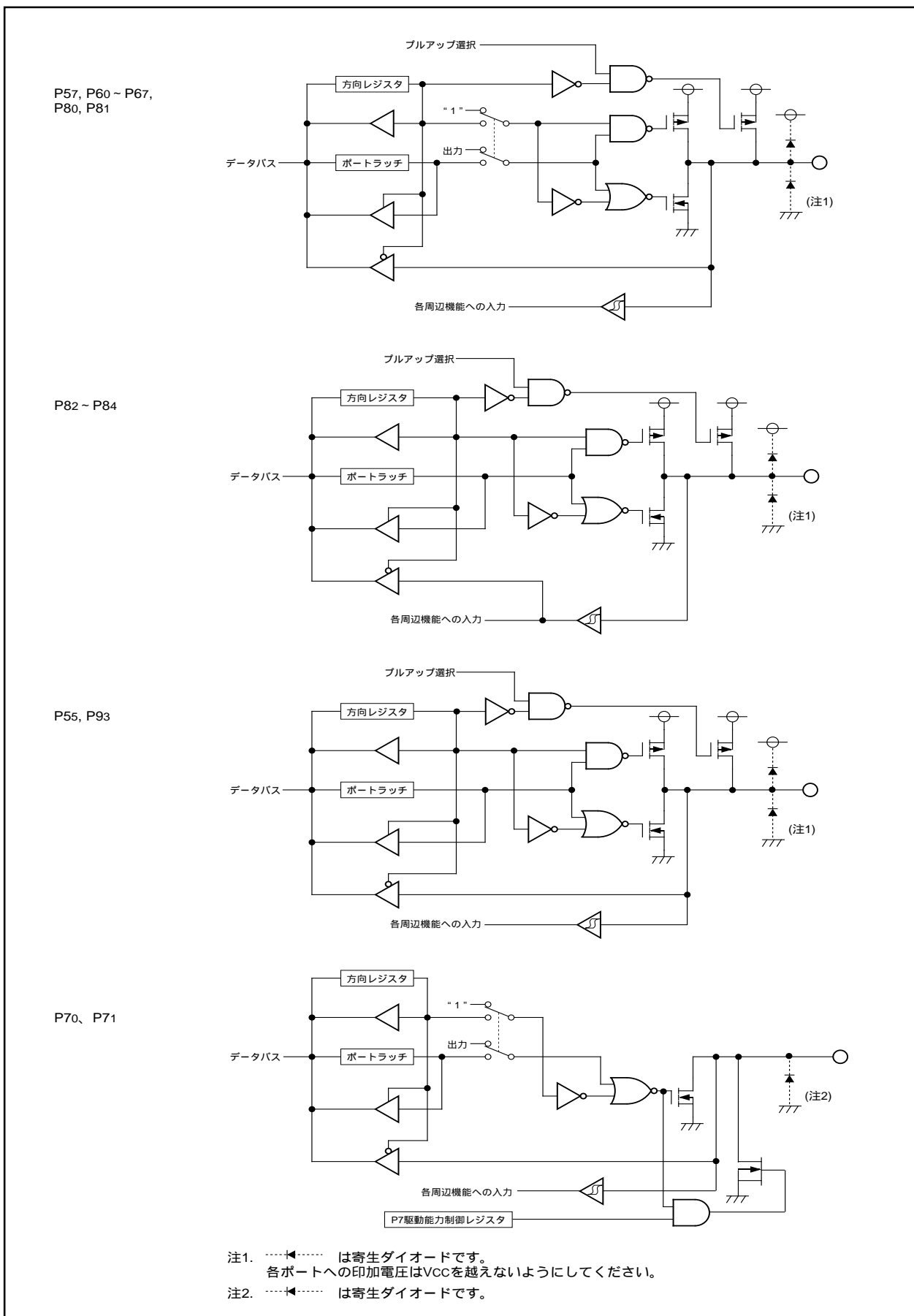


図1.23.2. プログラマブル入出力ポートの構成(2)

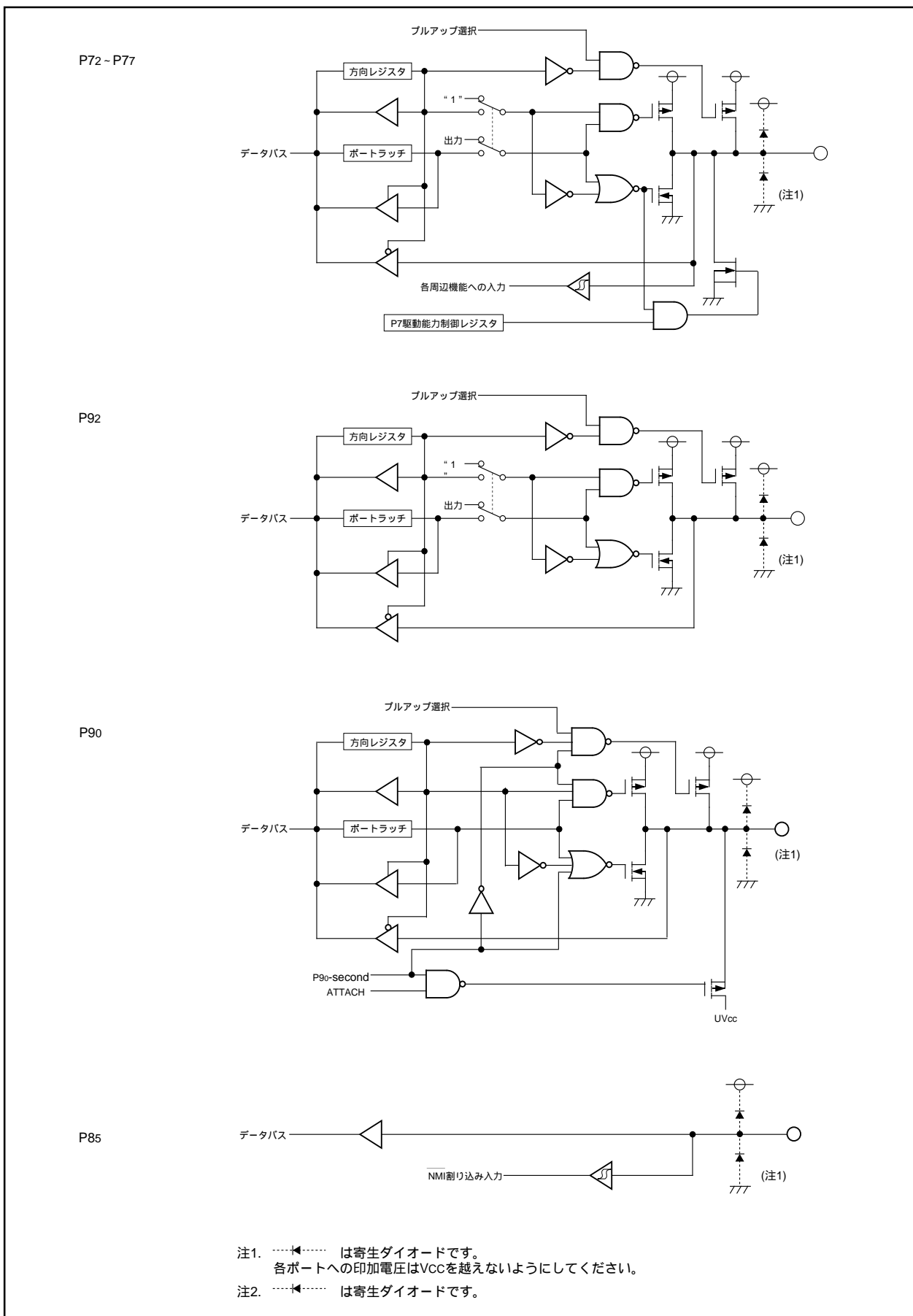


図1.23.3. プログラマブル入出力ポートの構成(3)

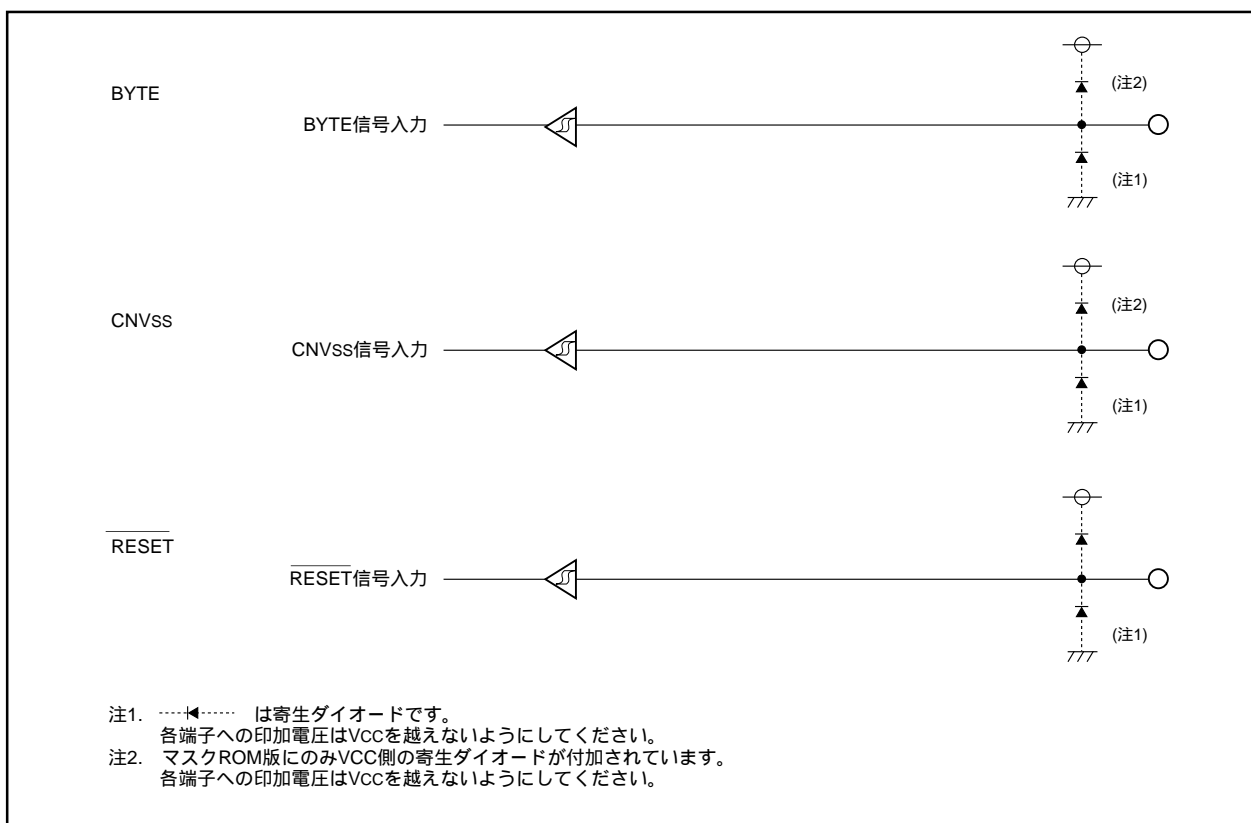


図1.23.4. 端子の構成

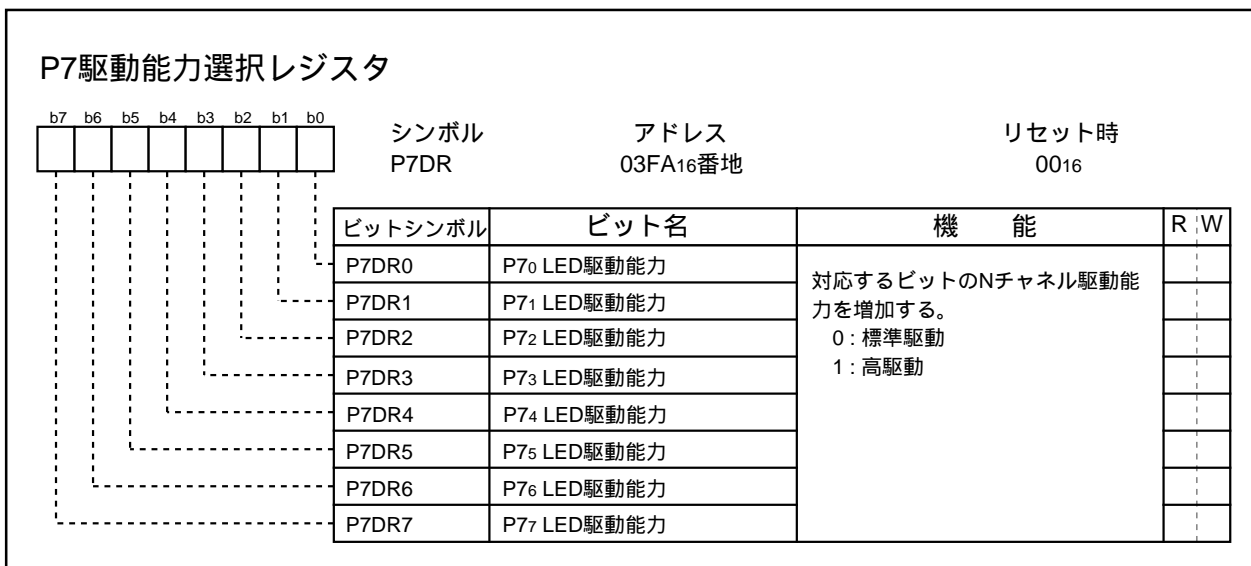


図1.23.5. P7駆動能力選択レジスタ

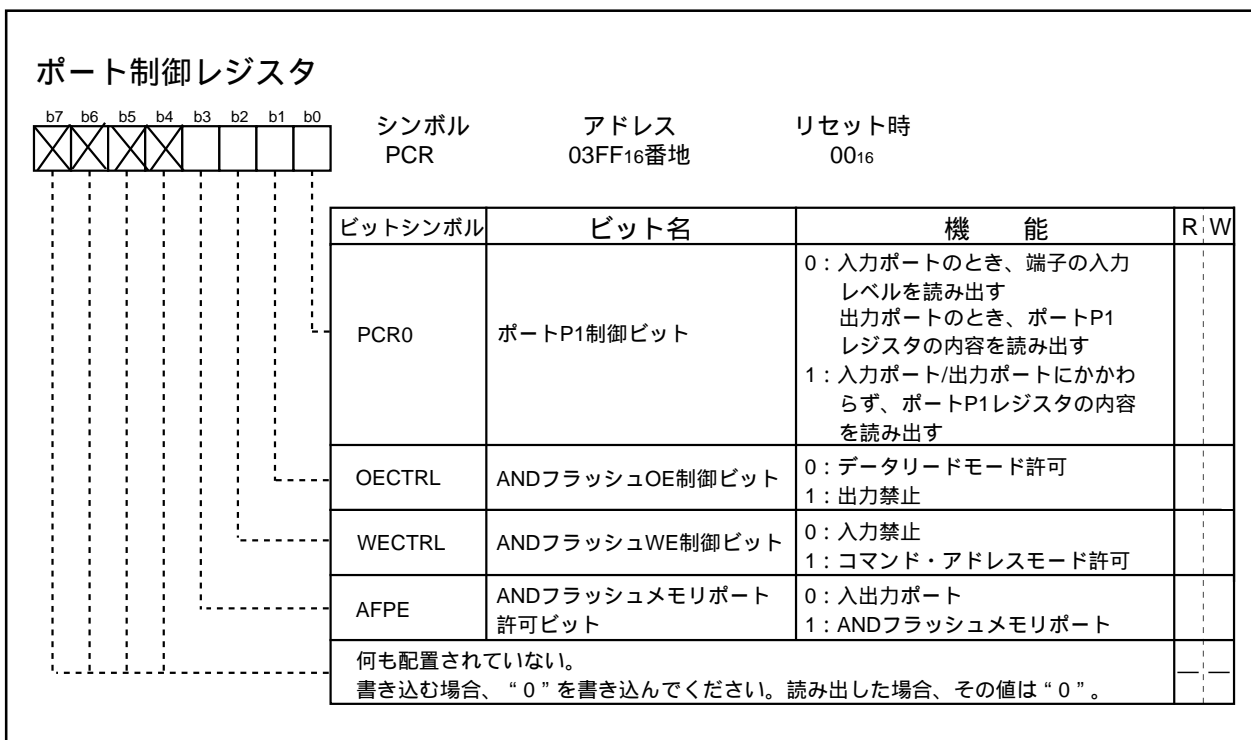


図1.23.6. ポート制御レジスタ

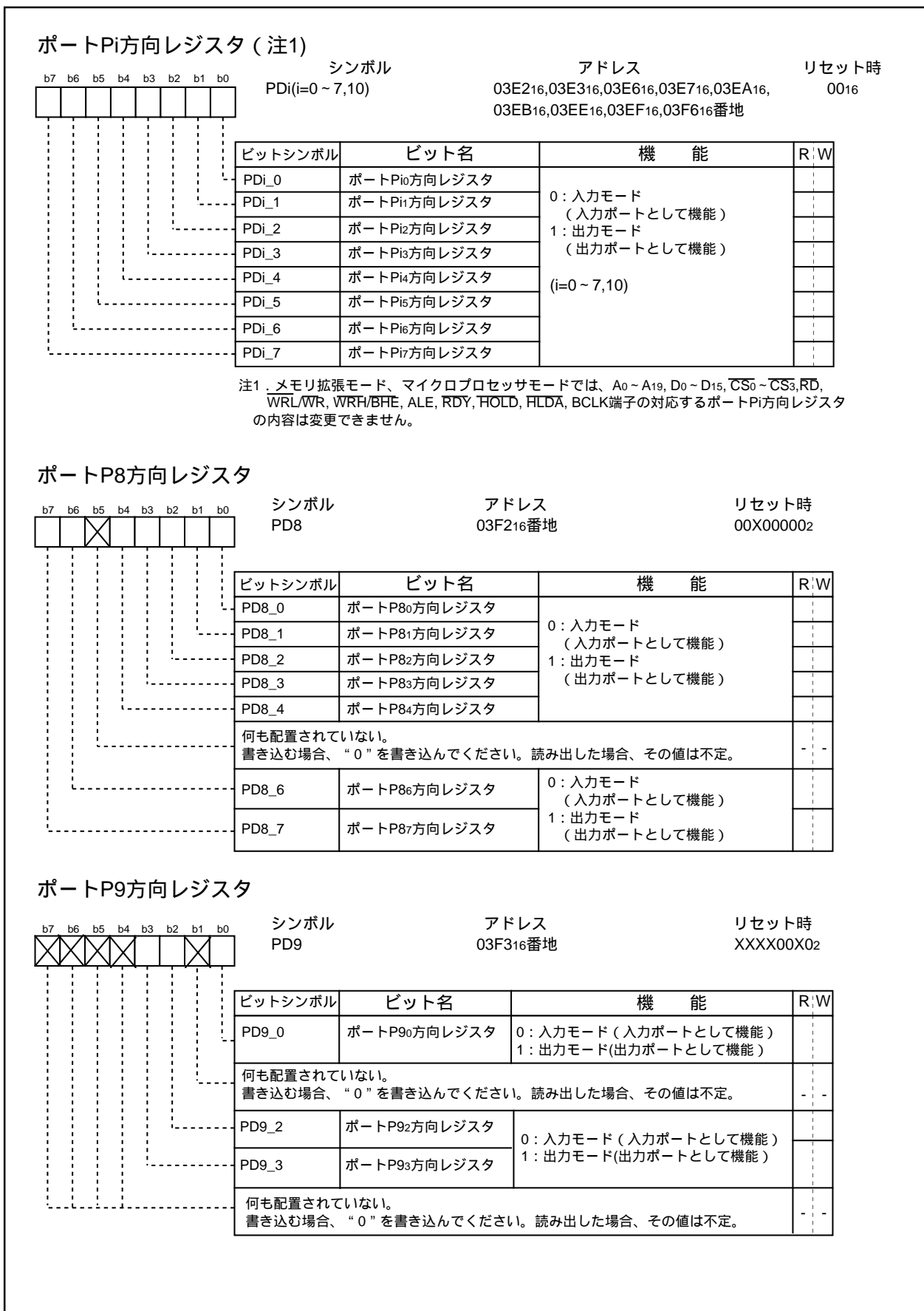


図1.23.7. 方向レジスタの構成

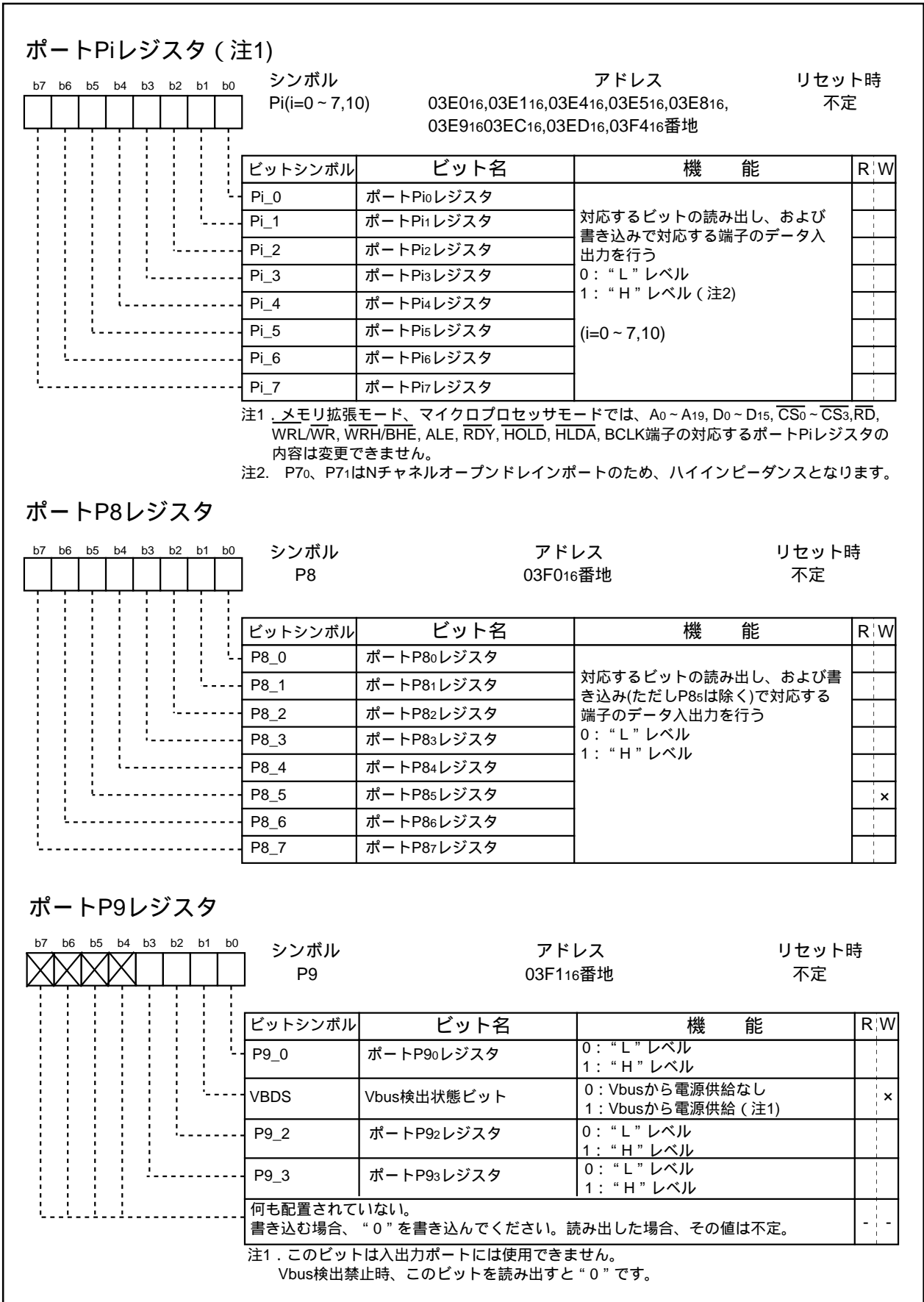


図1.23.8. ポートレジスタの構成

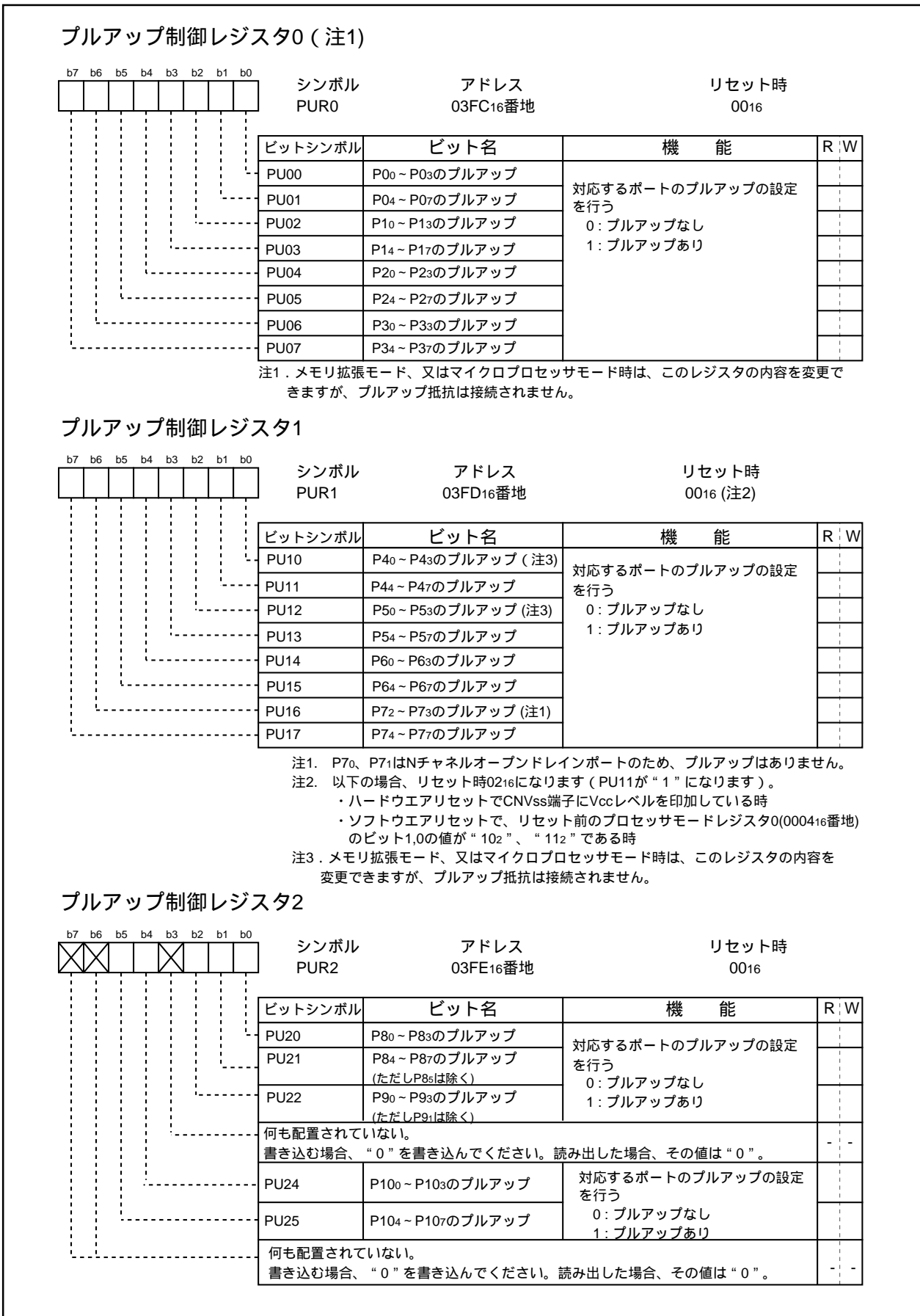


図1.23.9. プルアップ制御レジスタの構成

表1.23.1. シングルチップモード時の未使用端子処理例

端子名	処理内容
ポートP0～P10 (P85は除く)	・入力モードに設定し、端子ごとに抵抗を介してVcc、又はVssに接続(プルダウン)するか、又は出力モードに設定し、端子を開放(注1,注2,注3)
XOUT (注1)	・開放
$\overline{\text{NMI}}$	・抵抗を介してVccに接続(プルアップ)
UVcc, AVcc	・Vccに接続
AVss, VREF, BYTE	・Vssに接続
USB D+, USB D-	・開放
LPF	・開放
VbusDTCT	・開放

注1. XIN端子に外部クロックを入力しているとき。

注2. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注3. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。
ポートP70、P71はNチャンネルオープンドレイン出力です。

表1.23.2. メモリ拡張モード時の未使用端子処理例

端子名	処理内容
ポートP6～P10 (P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVss、又はVccに接続(プルダウン)するか、又は出力モードに設定し、端子を開放(注2,注3,注4)
P45/ $\overline{\text{CS1}}$ ～P47/ $\overline{\text{CS3}}$	ポートを入力モードに設定し、 $\overline{\text{CS1}}$ ～ $\overline{\text{CS3}}$ 出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
$\overline{\text{BHE}}$ (注5), $\overline{\text{ALE}}$ (注5), $\overline{\text{HLDA}}$ (注5), XOUT (注1), BCLK	開放
$\overline{\text{HOLD}}$, $\overline{\text{RDY}}$, $\overline{\text{NMI}}$	抵抗を介してVccに接続(プルアップ)
UVcc, AVcc	Vccに接続
AVss, VREF	Vssに接続
USB D+, USB D-	開放
LPF	開放
VbusDTCT (注6)	開放

注1. XIN端子に外部クロックを入力しているとき

注2. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注3. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. CNVss端子にVssレベルを印加している場合、リセットからソフトウェアによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不安定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注6. VbusDTCT端子は内部でプルダウンされています。

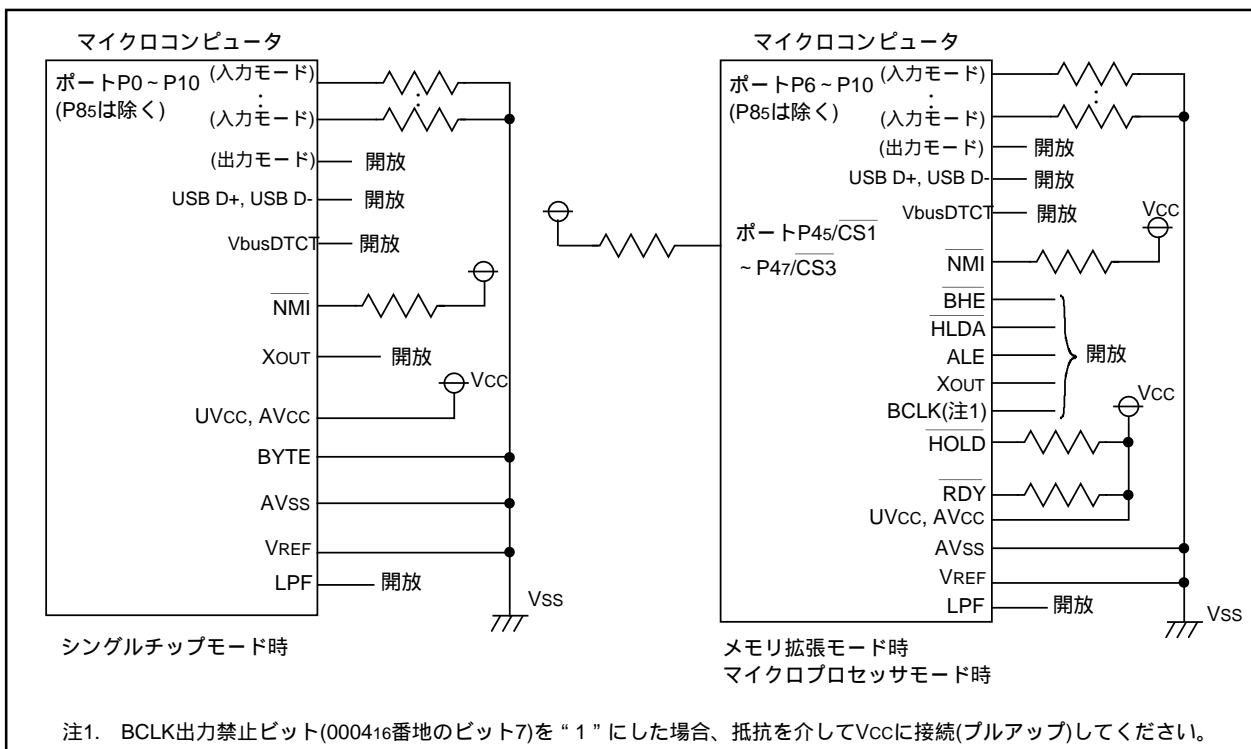


図1.23.10. 未使用端子の処理例

ANDフラッシュメモリ制御回路

ANDフラッシュメモリ制御回路はM30245と接続するANDフラッシュメモリの制御に使用する機能で、シングルチップモードのみで有効です。ANDフラッシュメモリ制御回路は、ICEではエミュレートできません。図1.24.1にポート制御レジスタの構成を示します。ANDフラッシュメモリポート許可ビット(03FF₁₆番地のビット3)を"1"に設定することにより、ポートP0₀~P0₇、ポートP1₀~P1₂がANDフラッシュメモリ制御端子として機能します。

(1) AND_DATA(7:0) (ANDフラッシュメモリデータバス)

ANDフラッシュメモリとの間でデータの入出力を行う端子です。ANDフラッシュメモリデータバスはポートP0₀~P0₇と兼用です。データ入力時はポートP0方向レジスタ(03E2₁₆番地のビット0~ビット7)を"0"に、データ出力時は"1"にしてください。

(2) $\overline{\text{AND_OE}}$

この機能はポートP1₂と兼用です。ANDフラッシュOE制御ビット(03FF₁₆番地のビット1)を"1"にすると、AND_DATAの読み出しで"L"パルスが発生します。ANDフラッシュOE制御ビット(03FF₁₆番地のビット1)を"0"にすると"L"レベルを出力します。

(3) $\overline{\text{AND_WE}}$

この機能はポートP1₁と兼用です。ANDフラッシュWE制御ビット(03FF₁₆番地のビット2)を"1"にすると、AND_DATAへの書き込みで"L"パルスが発生します。ANDフラッシュWE制御ビット(03FF₁₆番地のビット2)を"0"にすると"H"レベルを出力します。

(3) AND_SC

この機能はポートP1₀と兼用です。ANDフラッシュOE制御ビット(03FF₁₆番地のビット1)を"1"、ANDフラッシュWE制御ビット(03FF₁₆番地のビット2)を"0"にすると、AND_DATAへの書き込みで"H"パルスが発生します。

ANDフラッシュOE制御ビット(03FF₁₆番地のビット1)を"0"、ANDフラッシュWE制御ビット(03FF₁₆番地のビット2)を"1"にすると、AND_DATAの読み出しで"H"パルスが発生します。

ANDフラッシュOE制御ビット(03FF₁₆番地のビット1)を"1"、ANDフラッシュWE制御ビット(03FF₁₆番地のビット2)を"1"にすると、"L"レベルを出力します。

各制御端子の動作を表1.24.1に示します。

表1.24.1.

WECTL, OECTL	$\overline{\text{AND_OE}}$	$\overline{\text{AND_WE}}$	AND_SC
00	使用禁止		
01	AND_DATA読み出しで"L"パルス	"H"出力	AND_DATA書き込みで"H"パルス
10	"L"出力	AND_DATA書き込みで"L"パルス	AND_DATA読み出しで"H"パルス
11	AND_DATA読み出しで"L"パルス	AND_DATA書き込みで"L"パルス	"L"出力

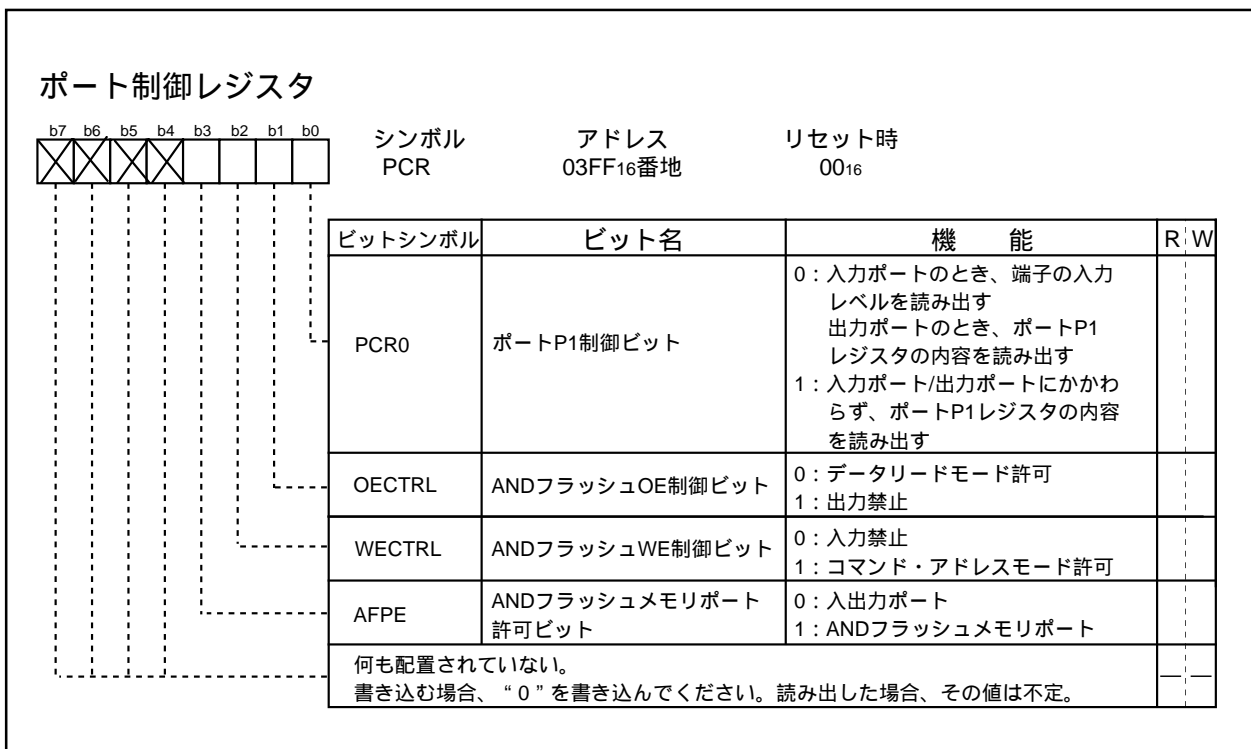


図1.24.1. ポート制御レジスタ

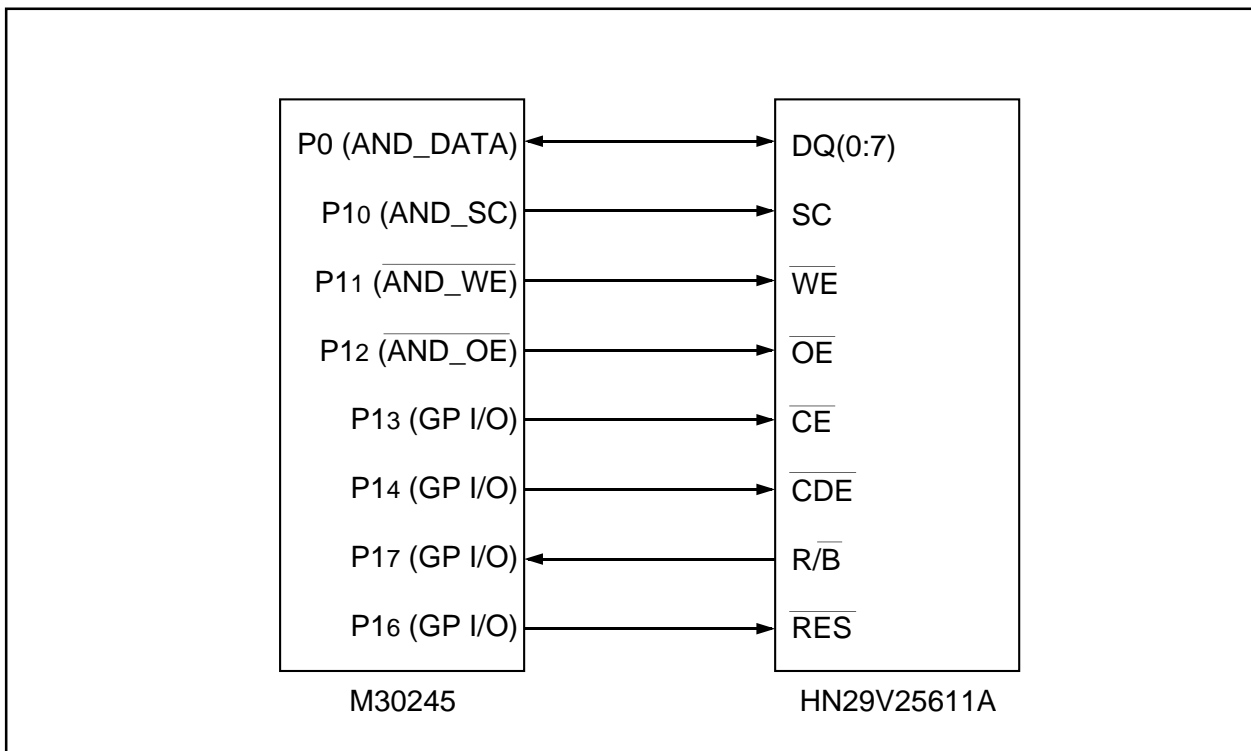


図1.24.2. ANDフラッシュメモリとの接続例

電気的特性

表1.24.2 . 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{CC} =AV _{CC} = UV _{CC}	-0.3 ~ 4.0	V
AV _{CC}	アナログ電源電圧	V _{CC} =AV _{CC} = UV _{CC}	-0.3 ~ 4.0	V
UV _{CC}	USB回路電源電圧	V _{CC} =AV _{CC} = UV _{CC}	-0.3 ~ 4.0	V
V _I	入力電圧	RESET, V _{REF} , X _{IN} , CNV _{SS} , BYTE P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90, P92, P93, P100 ~ P107, D+, D-	-0.3 ~ V _{CC} +0.3	V
		P70, P71	-0.3 ~ 4.0	V
		V _{bus} DTCT	-0.3 ~ 5.50	V
V _O	出力電圧	X _{OUT} , P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107, D+, D-	-0.3 ~ V _{CC} +0.3	V
		P70, P71	-0.3 ~ 4.0	V
P _d	消費電力	T _{opr} =25	300	mW
T _{opr}	動作周囲温度		-20 ~ 85	
T _{stg}	保存温度		-65 ~ 150	

表1.24.3 . 推奨動作条件(指定のない場合は、V_{CC}=3.0V ~ 3.6V, T_{opr}= -20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧	3.0	3.3	3.6	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
UV _{CC}	USB電源電圧	3.0	3.3	3.6	V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	"H"入力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90, P92, P93, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE	0.8V _{CC}		V _{CC}	V
		P70, P71	0.8V _{CC}		4.0	V
		D+, D-	2.0			V
		V _{bus} DTCT	4.0		5.25	V
V _{IL}	"L"入力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90, P92, P93, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE			0.2V _{CC}	V
		P70, P71			0.2V _{CC}	V
		D+, D-			0.8	V
		V _{bus} DTCT			1.0	V
I _{OH} (peak)	"H"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107			- 10.0	mA
I _{OH} (avg)	"H"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107			- 5.0	mA
I _{OL} (peak)	"L"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107			10.0	mA
I _{OL} (avg)	"L"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107			5.0	mA
f (X _{IN})	メインクロック入力発振周波数		(注3)		16	MHz
f (X _{CIN})	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0,P1,P2,P86,P87,P9,P10のI_{OL}(peak)とI_{OH}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84のI_{OL}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84のI_{OH}(peak)の合計は80mA以下にしてください。

注3. USB機能を使用する場合は、f(X_{IN})を4MHz以上にしてください。

表1.24.4 . 電気的特性(指定のない場合は、Vcc=3.0V ~ 3.6V, Vss=0V, Topr= -20 ~ 85 , f(XIN) =16MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	"H"出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62, P64 ~ P66, P70 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107	IOH= -1mA	2.5		V		
		P63, P67	IOH= -10mA	2.0		V		
		XOUT	HIGHPOWER	IOH= -0.1mA	2.5		V	
			LOWPOWER	IOH= -50 μA	2.5			
		XCOUT	HIGHPOWER	IOH= -1 μA	2.5		V	
LOWPOWER	IOH= -0.5 μA		2.5					
VOL	"L"出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62, P64 ~ P66, P70 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107	IOl= 1mA		0.5	V		
		P63, P67, P70 ~ P77 (P7 Highドライブ時)	IOl= 10mA		0.8	V		
		XOUT	HIGHPOWER	IOl= 0.1mA		0.5	V	
			LOWPOWER	IOl= 50 μA		0.5		
		XCOUT	HIGHPOWER	IOl= 1 μA		0.5	V	
LOWPOWER	IOl= 0.5 μA			0.5				
VT+、VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, INT0 ~ INT2, ADTRG, CTS0 ~ CTS3, CLK0, CLK1, TA2OUT ~ TA4OUT, NMI, Kl0 ~ Kl7, RxD0 ~ RxD3, SCL, SDA		0.2	1.0	V		
		RESET		0.2	1.8	V		
		VbusDTCT		1.0		V		
IIH	"H"入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90, P92, P93, P100 ~ P107, XIN, RESET, CNVss, BYTE	Vi= Vcc		4	μA		
		VbusDTCT			50	μA		
IIL	"L"入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90, P92, P93, P100 ~ P107, XIN, RESET, CNVss, BYTE, VbusDTCT	Vi= 0V		-4	μA		
RPULLUP	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90, P92, P93, P100 ~ P107	Vi= 0V	30.0	50.0	167.0	k	
RiXIN	帰還抵抗	XIN			1.0	M		
RiXCIN	帰還抵抗	XCIN			10	M		
VRAM	RAM保持電圧		クロック停止時	2.0		V		
Icc	電源電流	シングルチップモード時、出力端子は開放、その他の端子はVss	f(XIN)=16MHz 方形波、分周なし、USB未使用時		16		mA	
			f(XIN)=16MHz 方形波、分周なし、USB使用時		25	43	mA	
			f(XCIN)=32kHz 方形波		30		μA	
			f(XCIN) = 32kHzウエイト時(注1)		12		μA	
			クロック停止時 USBサスペンド状態 フラッシュメモリ	Topr=25		235		μA
				Topr=45		420		μA
			クロック停止時 USBサスペンド状態 マスクROM	Topr=25		95		μA
	Topr=45		190		μA			

注1. fc32にてタイマ1本を動作させている状態です。

表1.24.5 . USB電気的特性(指定のない場合は、 $V_{CC}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VoH	D+,D-	IoH/IoL= \pm 18.3mA、 $UV_{CC}=3.00V$ 、 $R_x=33$		2.2		3.6	V
VoL	D+,D-	IoH/IoL= \pm 18.3mA、 $UV_{CC}=3.00V$ 、 $R_x=33$		0		0.8	V
Isusp	サスペンド電流	USBサスペンド状態、内部クロック停止時	フラッシュメモリ版	Topr=25		235	μA
				Topr=45		420	μA
			マスクROM版	Topr=25		95	μA
				Topr=45		190	μA

表1.24.6 . A/D変換特性 (指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.3V$, $V_{SS}=AV_{SS}=0V$, $T_{opr}=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
-	絶対精度	サンプル&ホールド機能なし(10ビット)	$V_{REF}=V_{CC}$		± 4	LSB
		サンプル&ホールド機能あり(10ビット)	$V_{REF}=V_{CC}$		± 4	LSB
		サンプル&ホールド機能なし(8ビット)	$V_{REF}=V_{CC}$		± 2	LSB
		サンプル&ホールド機能あり(8ビット)	$V_{REF}=V_{CC}$		± 2	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k
tCONV	変換時間(10bit)	$V_{REF}=V_{CC}$	3.3			μs
tCONV	変換時間(8bit)	$V_{REF}=V_{CC}$	2.8			μs
tsAMP	サンプリング時間		0.3			μs
VREF	基準電圧			V_{CC}		V
VIA	アナログ入力電圧		0		V_{CC}	V

注1. $f(X_{IN})$ が10MHzを超える場合は f_{AD} を分周し、AD動作クロック周波数(AD)が10MHz以下になるようにしてください。

表1.24.7 . フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC}=3.3 \pm 0.3V$, $T_{opr}=0 \sim 60$)

項目	規格値			単位
	最小	標準	最大	
ページプログラム時間		8	120	ms
ブロックイレーズ時間		50	600	ms
イレーズ全アンロックブロック時間		50 X n (注1)	600 X n (注1)	ms
ロックビットプログラム時間		8	120	ms

注1. nはイレーズするブロック数です。

タイミング必要条件 (指定のない場合は、Vcc=3.3V, Vss=0V, Topr= -20 ~ 85)

表1.24.8 . 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	62.5		ns
tw(H)	外部クロック入力 "H"パルス幅	29.5		ns
tw(L)	外部クロック入力 "L" パルス幅	29.5		ns
tr	外部クロック立ち上がり時間		10	ns
tf	外部クロック立ち下がり時間		10	ns

表1.24.9 . メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注2)	ns
tsu(DB-RD)	データ入力セットアップ時間	50		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間		40	ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間		105	ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK -RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns

注1. $tac1 = tcyc/2 - 60ns$

注2. $tac2 = (m+0.5) \times tcyc - 60ns$

$tcyc = 1/f(BCLK) \times 10^9 (ns)$

m = ウエイト数(1~3)

タイミング必要条件 (指定のない場合は、 $V_{CC}=3.3V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表1.24.10 . タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	100		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	50		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	40		ns

表1.24.11 . タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	(注)		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	(注)		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	(注)		ns

注: TAINのパルス幅は、選択したカウントソース周期より大きくしてください。

表1.24.12 . タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	200		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	100		ns

表1.24.13 . タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIn入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	100		ns

表1.24.14 . タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

タイミング必要条件 (指定のない場合は、 $V_{CC}=3.3V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表1.24.15 . A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	ADTRG入力サイクル時間 (トリガ可能最小)	1000		ns
$t_w(ADL)$	ADTRG入力"L"パルス幅	125		ns

表1.24.16 . シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	160		ns
$t_w(CKH)$	CLKi入力"H"パルス幅	60		ns
$t_w(CKL)$	CLKi入力"L"パルス幅	60		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	60		ns
$t_h(C-D)$	RxDi入力ホールド時間	20		ns

表1.24.17 . 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	INTi入力"H"パルス幅	250		ns
$t_w(INL)$	INTi入力"L"パルス幅	250		ns

表1.24.18 . Vbus検出割り込み

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_w(INT)$	割り込みパルス幅	VbusDTCT割り込み	50			μs

表1.24.19 . シリアルサウンドインタフェース

記号	項目	規格値			単位
		最小	標準	最大	
$t_c(SCK)$	SCKi 入力サイクル時間	62.5			ns
$t_w(SCKH)$	SCKi 入力 "H" パルス幅	29.5			ns
$t_w(SCKL)$	SCKi 入力 "L" パルス幅	29.5			ns
$t_1(SCK-WS)$	SCKP=0	SCKi 立ち上がりエッジからWSエッジまでの時間	10		ns
	SCKP=1	SCKi 立ち下がりエッジからWSエッジまでの時間	10		ns
$t_2(WS-SCK)$	SCKP=0	WSエッジからSCKi 立ち上がりエッジまでの時間	10		ns
	SCKP=1	WSエッジからSCKi 立ち下がりエッジまでの時間	10		ns
$t_{su}(RX-SCK)$	RXi 入力セットアップ時間	10			ns
$t_h(SCK-RX)$	RXi 入力ホールド時間	10			ns

表1.24.20 . ANDフラッシュメモリ制御回路

記号	項目	規格値		単位
		最小	最大	
$t_h(OE-D)$	AND_DATA 入力ホールド時間 (AND_OE基準)	0		ns
$t_{h2}(SC-D)$	AND_DATA 入力ホールド時間 (AND_SC基準)	0		ns
$t_{su}(D-OE)$	AND_DATA 入力セットアップ時間 (AND_OE基準)	50		ns
$t_{su}(D-SC)$	AND_DATA 入力セットアップ時間 (AND_SC基準)	43		ns

スイッチング特性 (指定のない場合は、 $V_{CC}=3.3V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表1.24.21 . メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図1.24.3 $V_{IL}=0.2V_{CC}$, $V_{IH}=0.8V_{CC}$, $V_{OH}=V_{OL}=0.5V_{CC}$		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		0		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			30	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		0		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注2)		(注2)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注3)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$PM16 = 0 \text{ の場合: } t_d(\text{DB-WR}) = (m-0.5) \times t_{cyc} - 40\text{ns}$$

$$PM16 = 1 \text{ の場合: } t_d(\text{DB-WR}) = m \times t_{cyc} - 40\text{ns}$$

$$m = 1 \text{ (ウエイトなし)}, m=1 \text{ (1ウエイト)}, m=2 \text{ (2ウエイト)}, m=3 \text{ (3ウエイト)}$$

$$t_{cyc} = 1/f(\text{BCLK}) \times 10^9 \text{ (ns)}$$

注2. 次の計算式で算出されます。

$$t_h(\text{WR-DB}) = t_{cyc}/2$$

注3. 次の計算式で算出されます。

$$t_h(\text{WR-CS}) = t_{cyc}/2$$

表1.24.22 . シリアルI/O

記号	項目		規格値		単位
			最小	最大	
$t_d(\text{C-Q})$	TxDi 出力遅延時間	外部クロック選択時		80	ns
		内部クロック選択時		30	ns
$t_h(\text{C-Q})$	TxDi 出力ホールド時間		0		ns
$t_r(\text{CK})$	CLKi 出力立上り時間	内部クロック選択時		7	ns
$t_f(\text{CK})$	CLKi 出力立下り時間	内部クロック選択時		7	ns

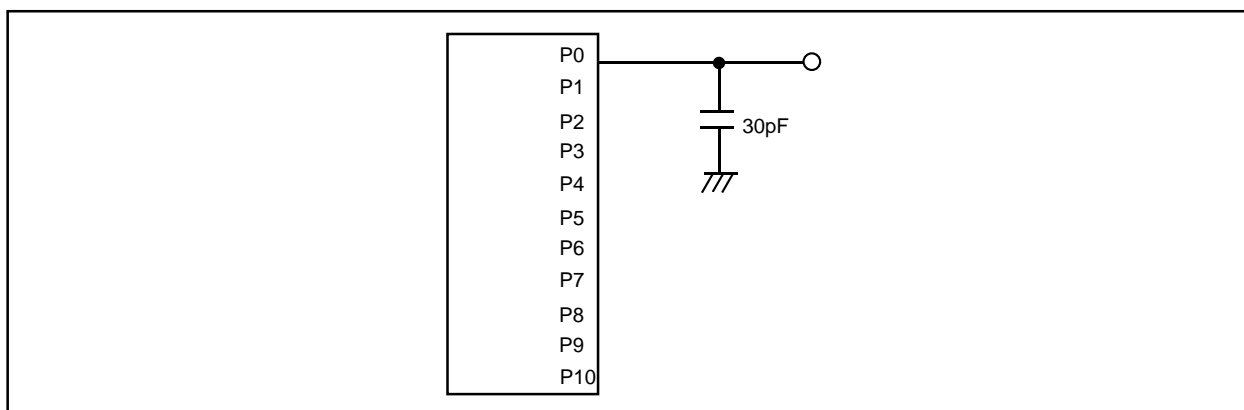


図1.24.3 . ポートP0～P10の測定回路

表1.24.23 . シリアルサウンドインタフェース

記号	項目	規格値		単位
		最小	最大	
td (WS-XMT)	XMTi 出力遅延時間 (WS基準)		20	ns
td (SCK-XMT)	XMTi 出力遅延時間 (SCKi基準)		20	ns

表1.24.24 . ANDフラッシュメモリ制御回路

記号	項目	規格値		単位
		最小	最大	
td (D-SC)	AND_SC 出力遅延時間 (AND_DATA基準)		(注1)	ns
td (D-WE)	AND_WE 出力遅延時間 (AND_DATA基準)	(注2)		ns
th1 (SC-D)	AND_DATA 出力ホールド時間 (AND_SC基準)	(注3)		ns
th (WE-D)	AND_DATA 出力ホールド時間 (AND_WE基準)	(注4)		ns
tw (OEL)	AND_OE "L"パルス幅	(注5)		ns
tw1 (SCH)	AND_SC "H"パルス幅 (書き込み時)	(注6)		ns
tw2 (SCH)	AND_SC "H"パルス幅 (読み出し時)	(注7)		ns
tw (WEL)	AND_WE "L"パルス幅	(注8)		ns

注1. $td(D-SC) = 0.5 t_{cyc} - 15$ [ns]

注2. $td(D-WE) = 1.5 t_{cyc} - 43$ [ns]

注3. $th1(SC-D) = 1.5 t_{cyc} - 30$ [ns]

注4. $th(WE-D) = 0.5 t_{cyc}$ [ns]

注5. $tw(OEL) = 1.5 t_{cyc} - 10$ [ns]

注6. $tw1(SCH) = t_{cyc} - 15$ [ns]

注7. $tw2(SCH) = 1.5 t_{cyc} - 10$ [ns]

注8. $tw(WEL) = t_{cyc} - 15$ [ns]

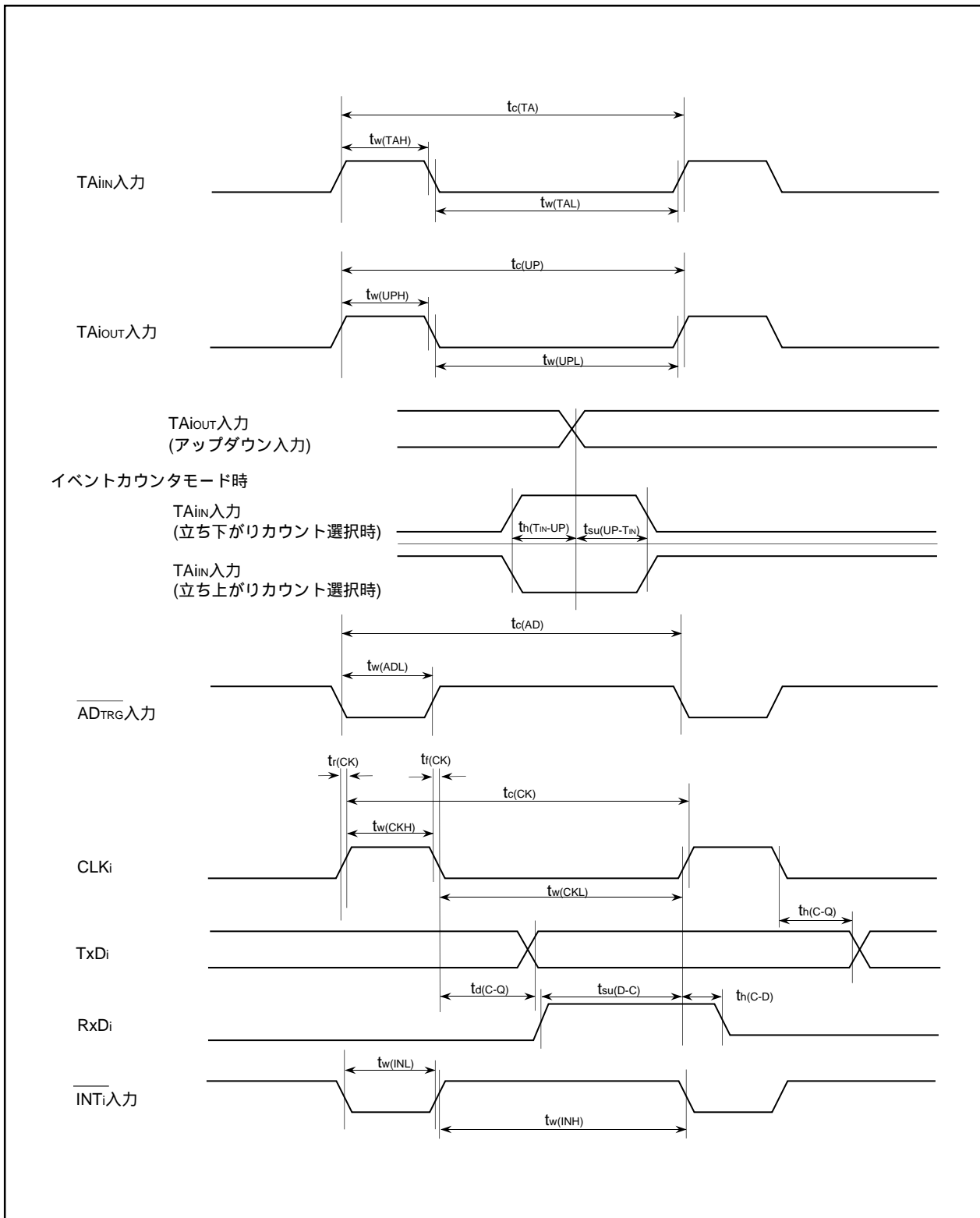


図1.24.4. タイミング図(1)

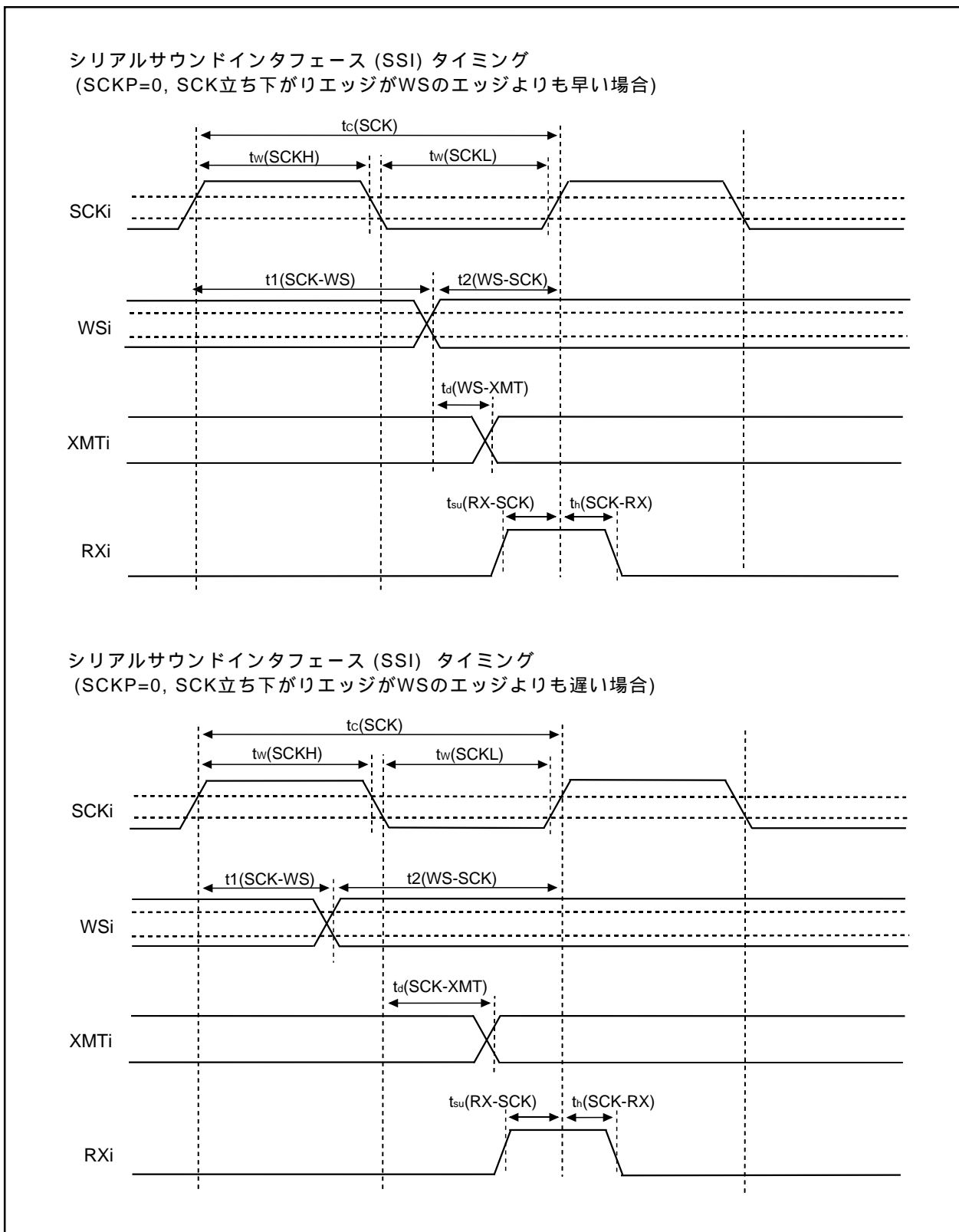


図1.24.5. タイミング図(2)

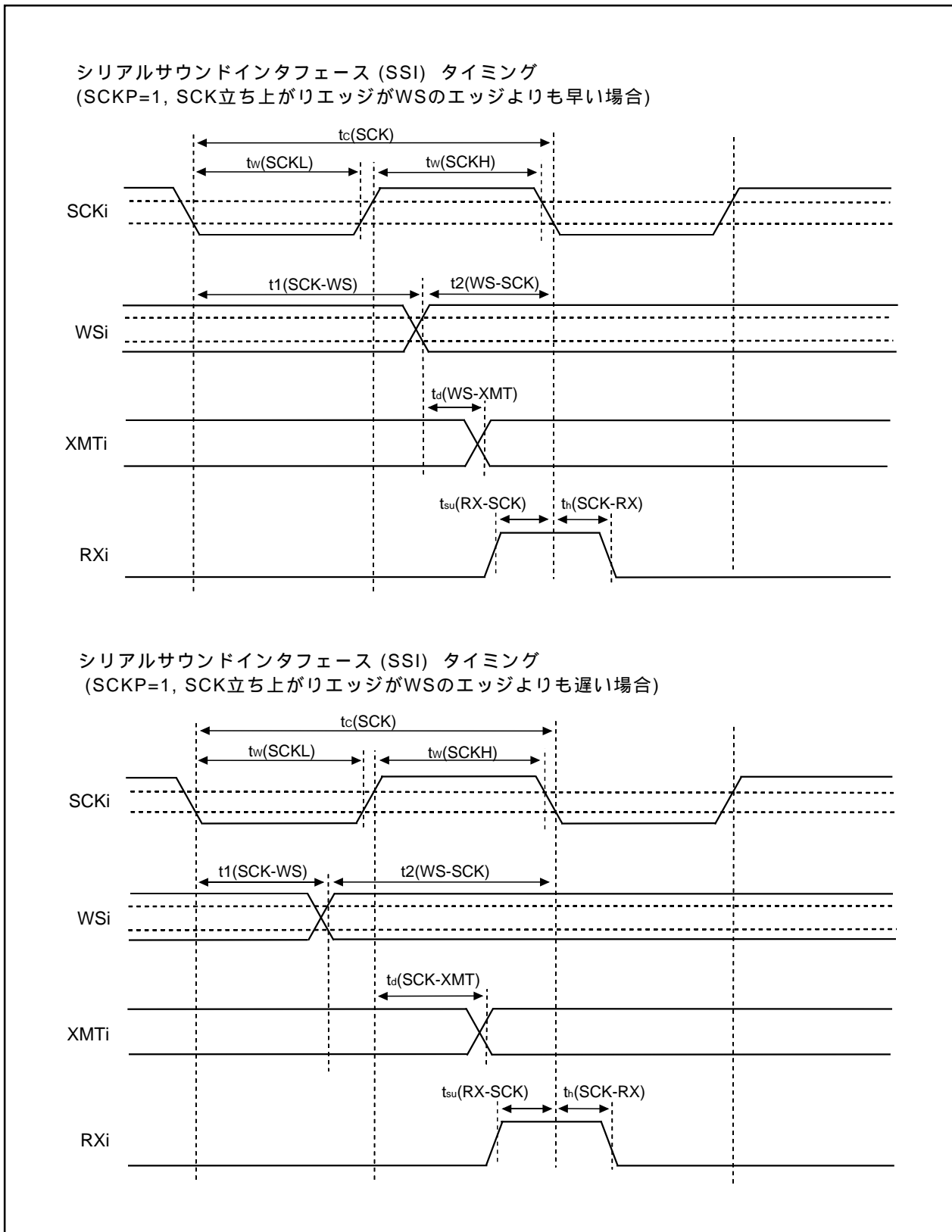


図1.24.6. タイミング図(3)

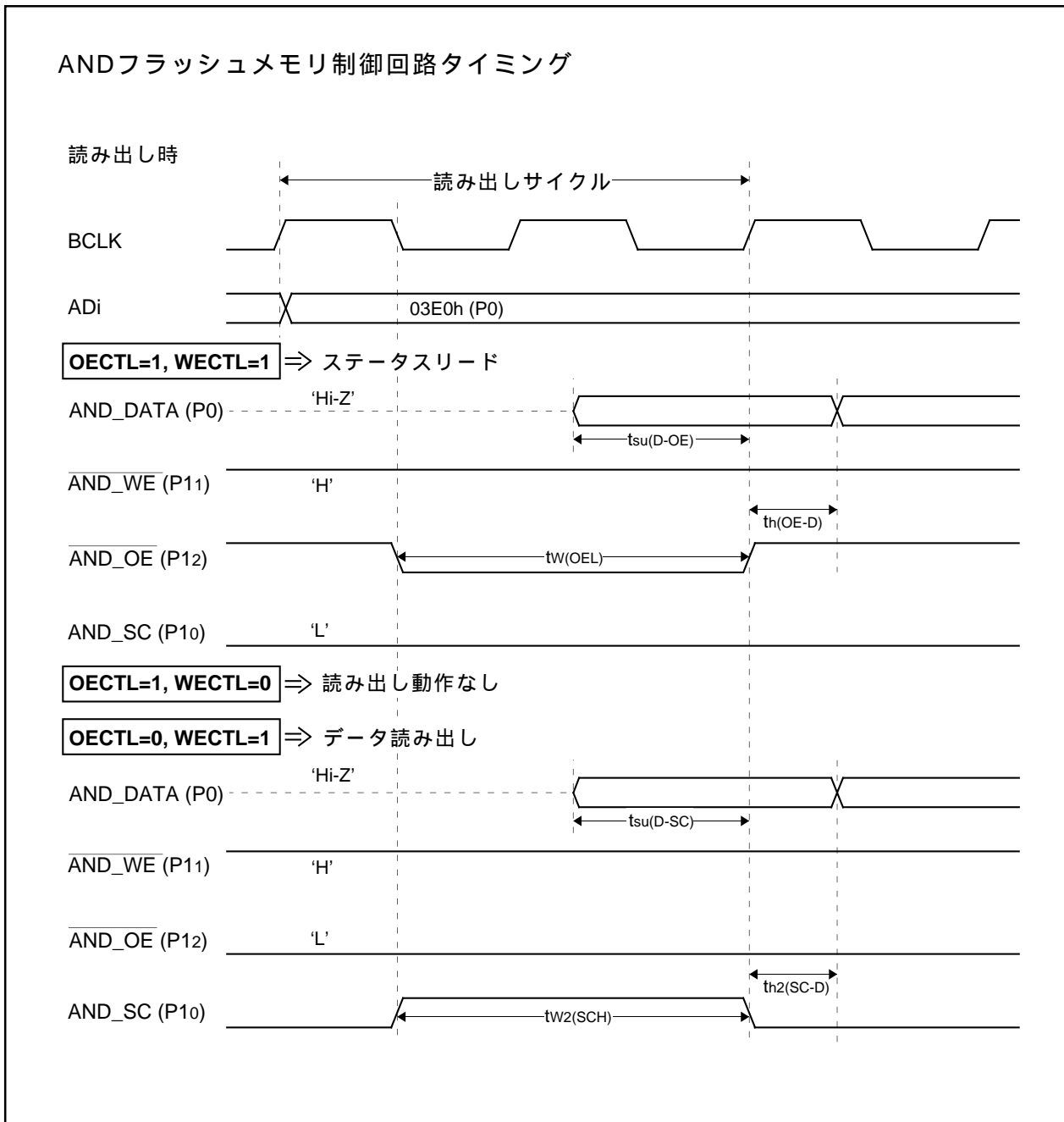


図1.24.7. タイミング図(4)

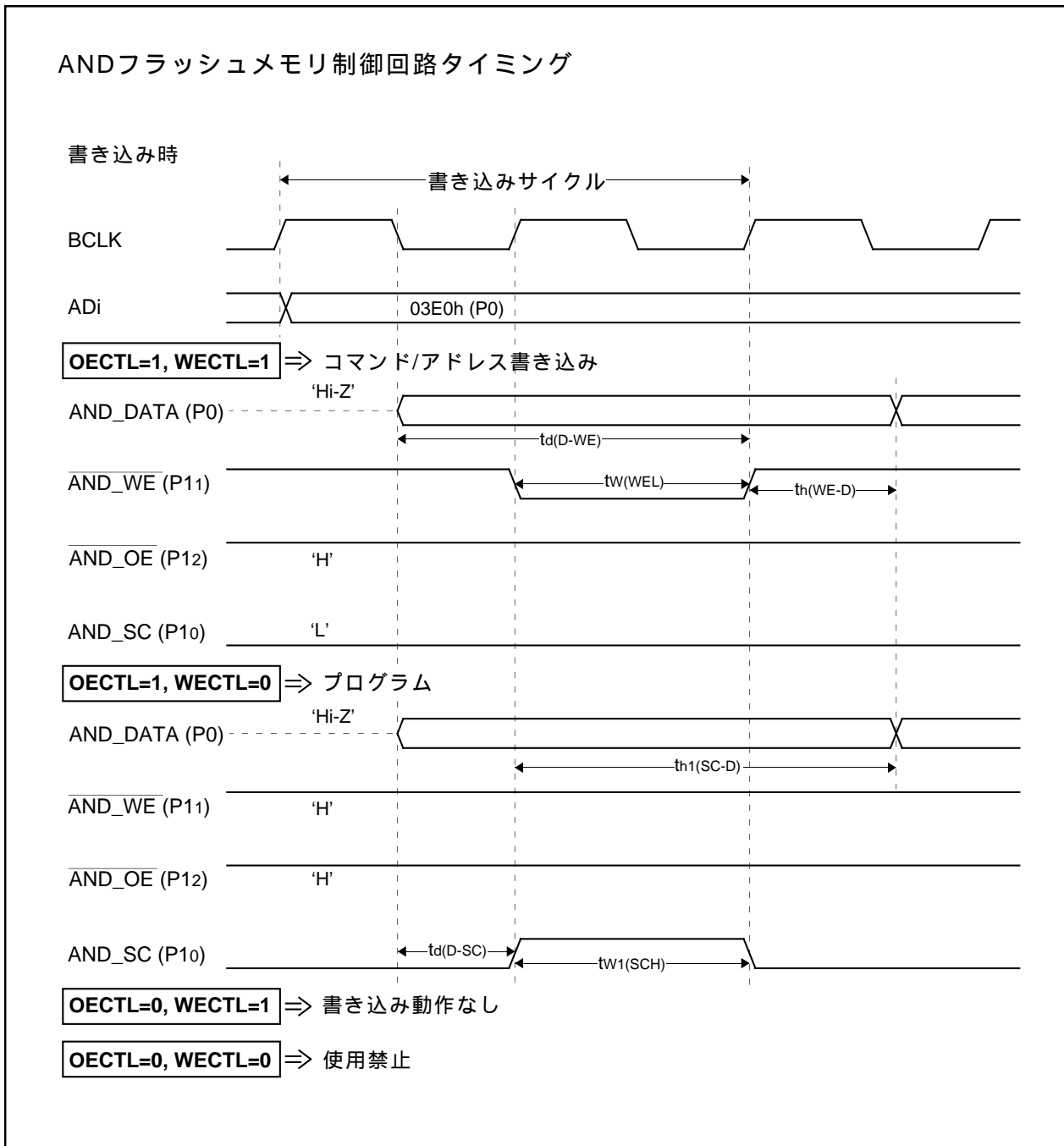
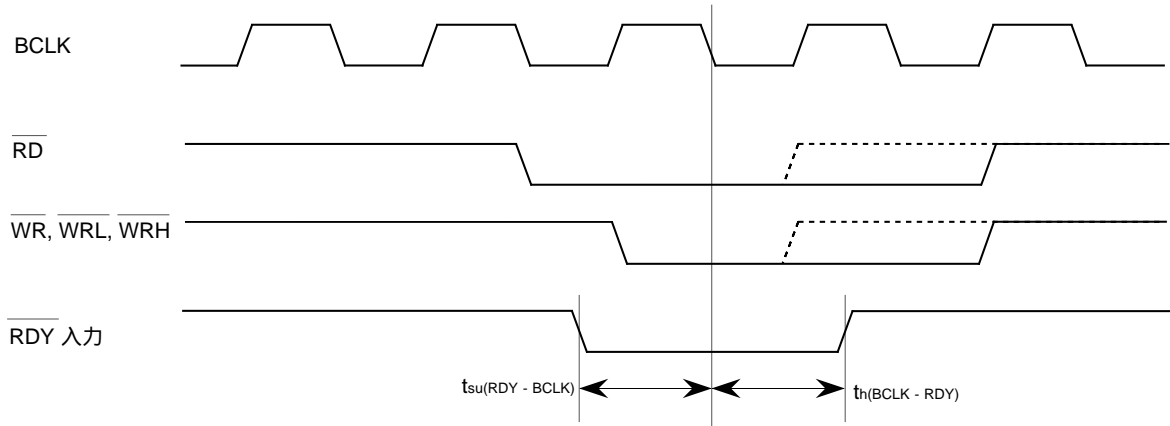


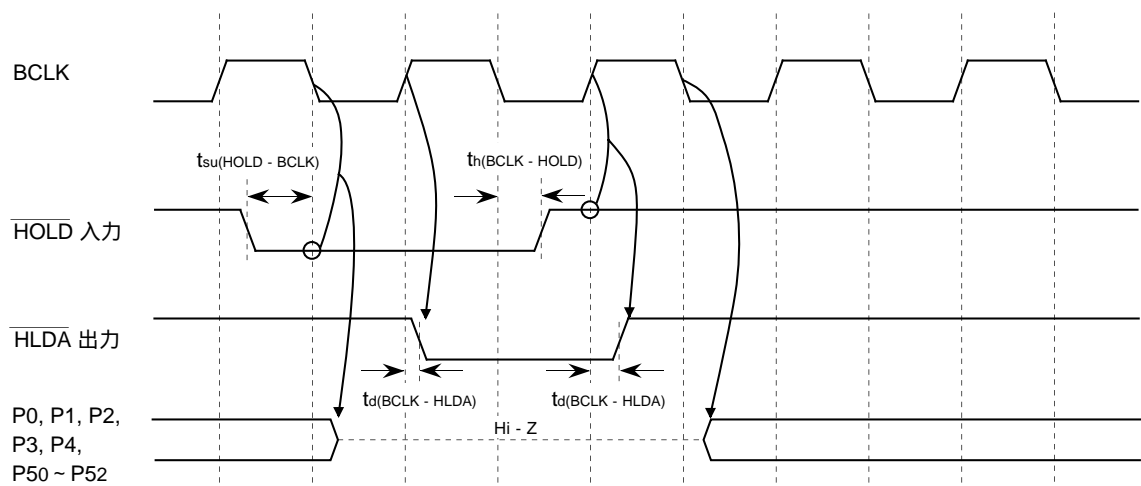
図1.24.8. タイミング図(5)

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀~P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

図1.24.9. タイミング図(6)

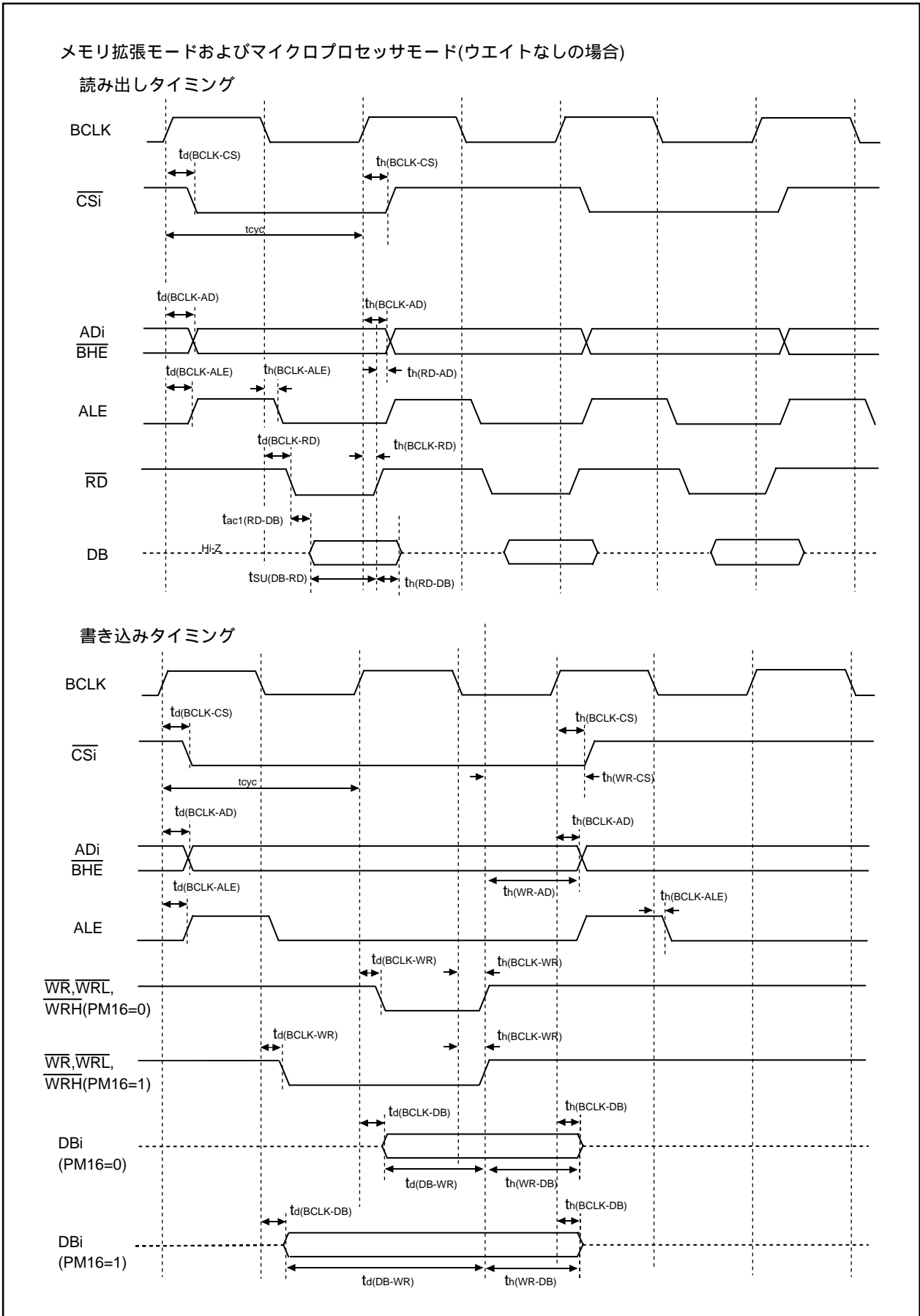
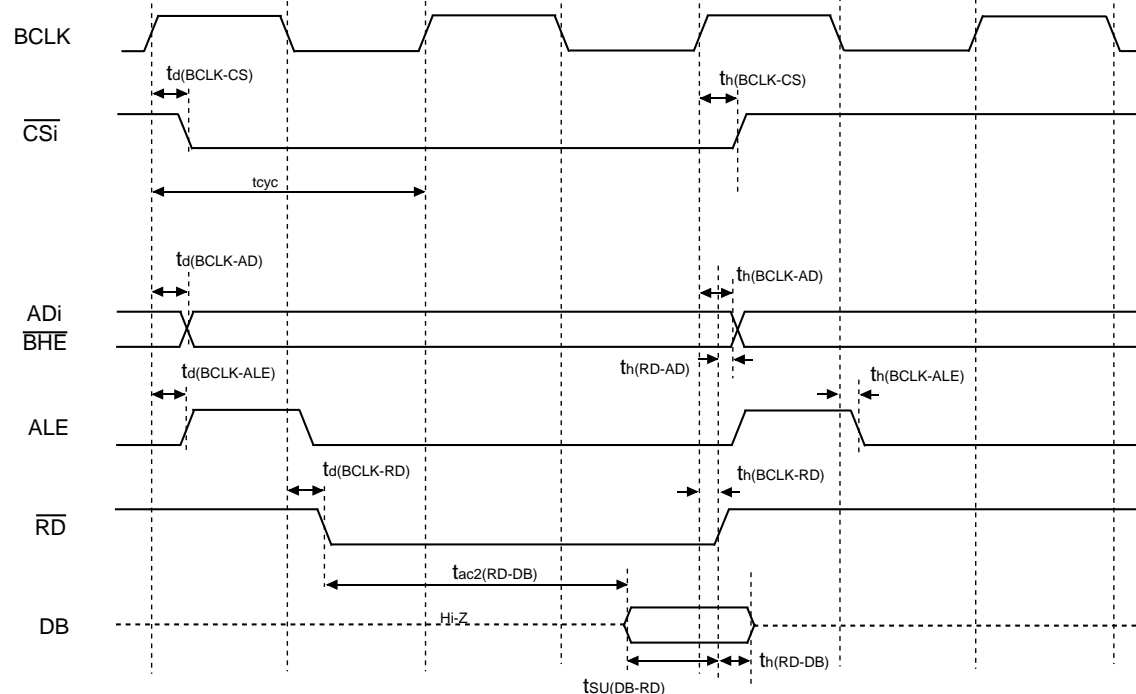


図1.24.10. タイミング図(7)

メモリ拡張モード、およびマイクロプロセッサモード
(1ウエイト、外部メモリ領域をアクセスした場合)

読み出し時



書き込みタイミング

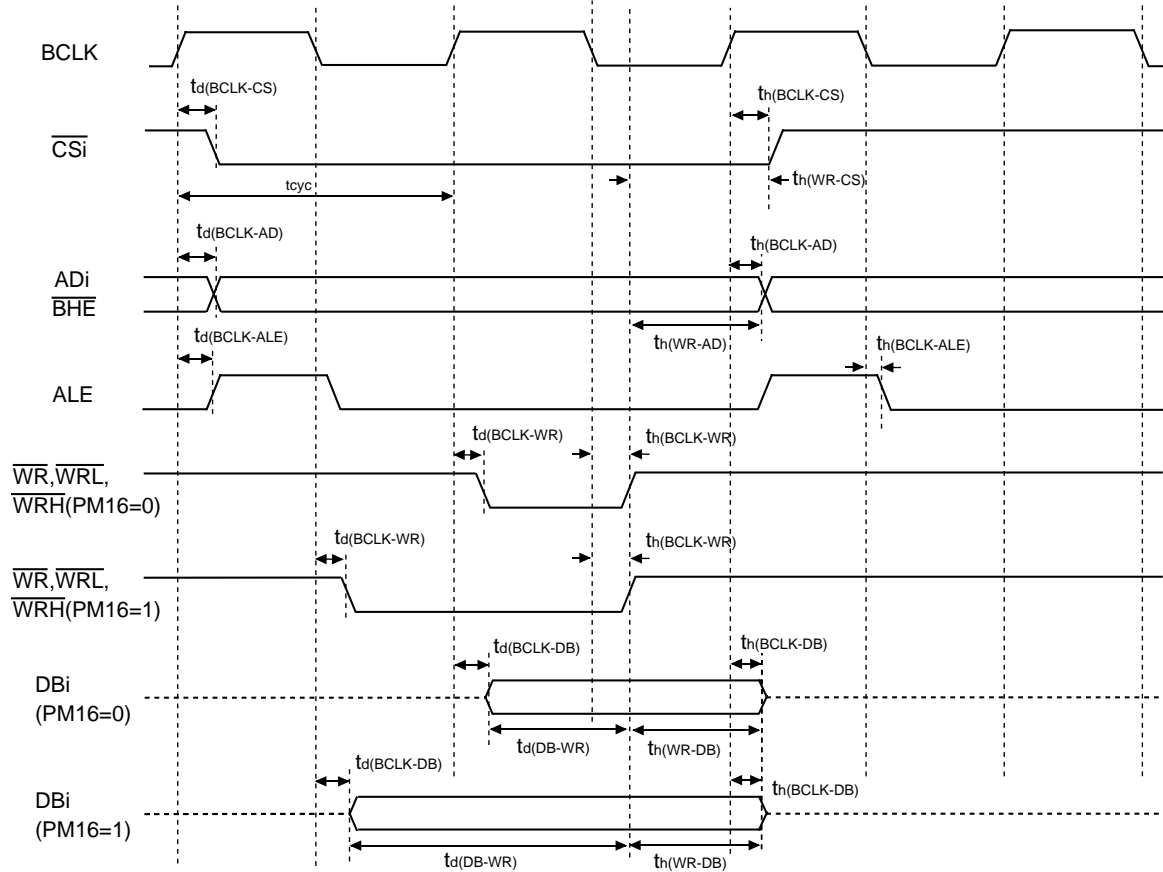


図1.24.11. タイミング図(8)

性能概要

表1.25.1にM30245(フラッシュメモリ版)の性能概要を示します。

表1.25.1. M30245(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧		3.00 ~ 3.60V
プログラム/イレーズ電圧		3.00 ~ 3.60V
フラッシュメモリの動作モード		3モード (1) CPU書き換えモード (中央演算処理装置(CPU)を用いてフラッシュメモリを操作する) (2) パラレル入出力モード (外部のライタを用いてフラッシュメモリの操作を行う) (注1) (3) 標準シリアル入出力モード (外部のライタを用いてフラッシュメモリの操作を行う) (注1)
消去ブロック分割	ユーザROM領域	図1.25.1を参照してください。
	ブートROM領域	1分割(8Kバイト)(注2)
プログラム方式		ページ単位(256バイト)
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム/イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. パラレル入出力モード、標準シリアル入出力モードは、M30245グループ(フラッシュメモリ版)をサポートしている専用の外部装置(フラッシュライタ)をご使用ください。

注2. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

フラッシュメモリ

M30245FC(フラッシュメモリ版)は、3.3V単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレースなどの操作を行うために、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。

図1.25.1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレースを行うことができます。これらの各ブロックは、イレース、プログラム実行の有効/無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

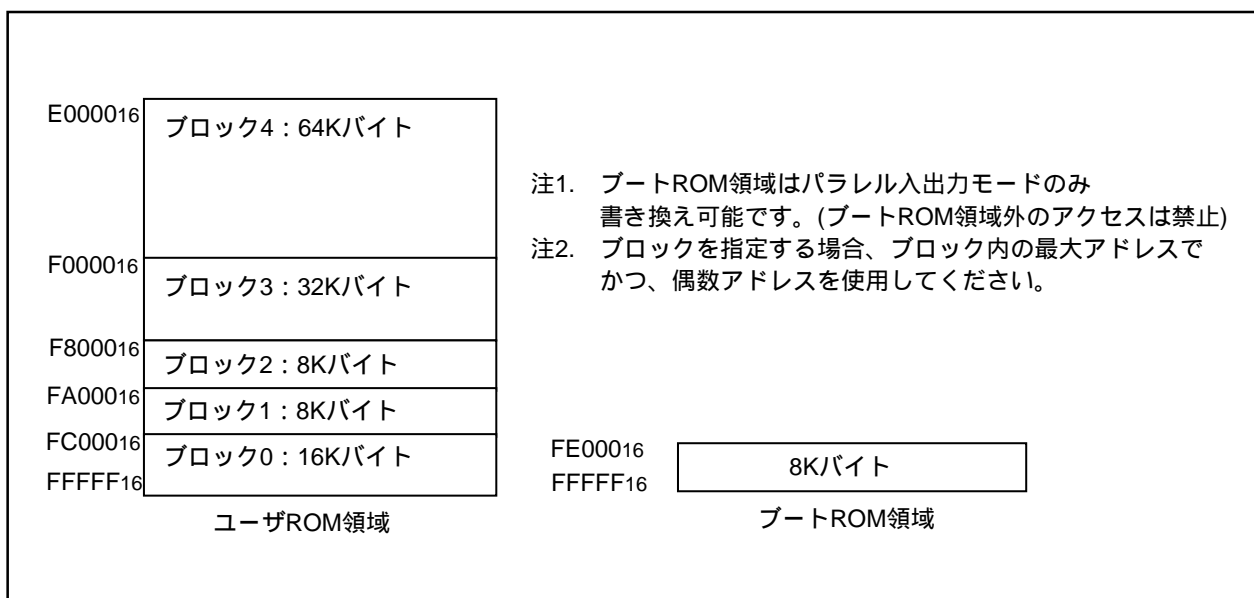


図1.25.1. 内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、図1.25.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域の各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードでユーザROM領域、又はブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図1.25.1に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレースコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモード選択ビット(02F7₁₆番地のビット1)に“1”を書き込むことによりCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA0は“0”)へライト、リードしてください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図1.26.1にフラッシュメモリ制御レジスタ0、図1.26.2にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。また、 $\overline{\text{NMI}}$ 端子が“H”の状態で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”に設定するためには、“0”書き込みだけで行えます。

ビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

ビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスする領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください。

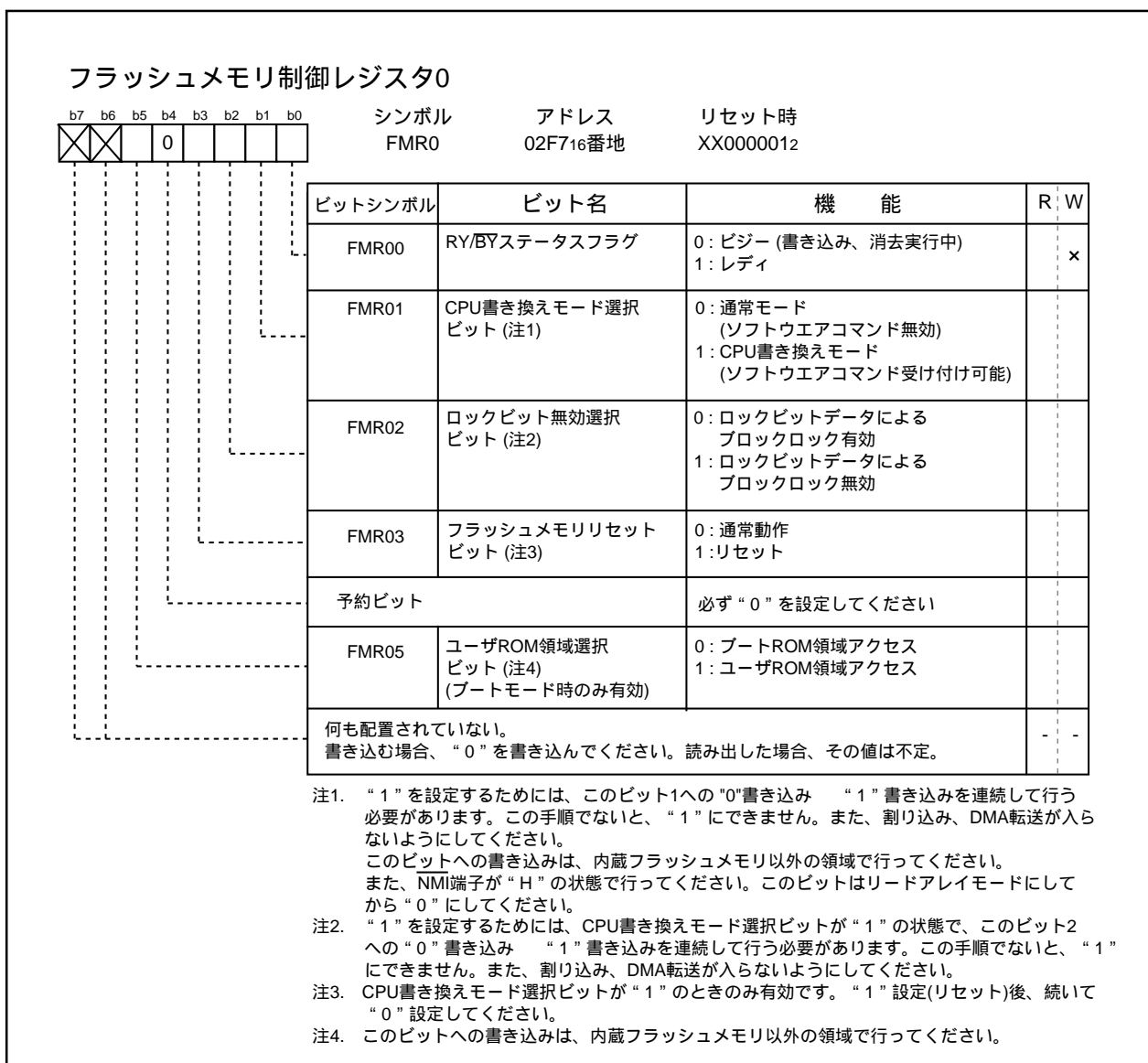


図1.26.1. フラッシュメモリ制御レジスタ0の構成

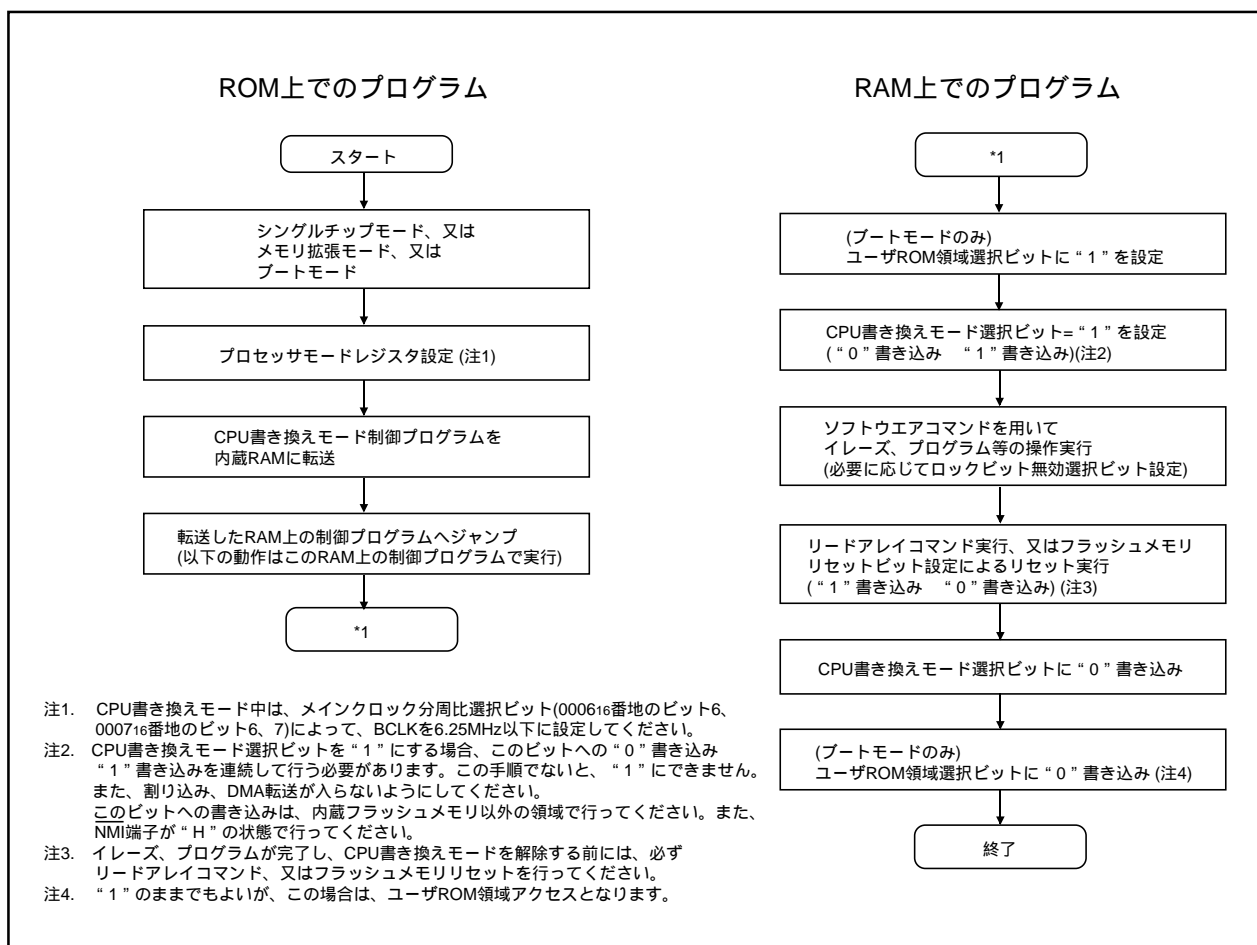


図1.26.2. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)によって、BCLKを6.25MHz以下に設定してください。

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。NMI割り込み、監視タイマ割り込みは、各割り込み発生時に強制的にフラッシュメモリ制御レジスタ0が初期化され、通常モードに戻る(FMR01=“0”)ので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。NMI割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。

(4)リセット

常に受け付けます。

(5)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビットを“1”に設定する場合は、“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

CPU書き換えモード選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。

(6)アクセス禁止

CPU書き換えモード選択ビット、ユーザROM領域選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。

(7)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があり、その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは、標準シリアル入出力モード、又はパラレル入出力モードを使用することを推奨します。

(8)ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

ソフトウェアコマンド

表1.26.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表1.26.1. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	ライト	X (注6)	FF16						
リードステータスレジスタ	ライト	X	7016	リード	X	SRD (注2)			
クリアステータスレジスタ	ライト	X	5016						
ページプログラム (注3)	ライト	X	4116	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	2016	ライト	BA (注4)	D016			
イレーズ全アンロックブロック	ライト	X	A716	ライト	X	D016			
ロックビットプログラム	ライト	X	7716	ライト	BA	D016			
リードロックビットステータス	ライト	X	7116	リード	BA	D6 (注5)			

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD=ステータスレジスタデータ

注3. WA=ライトアドレス, WD=ライトデータ

WAとWDは 0016 から FE16(バイトアドレス。ただし、偶数アドレス)へ順番に設定されなければなりません。ページサイズは 256バイトです。

注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)

注5. D6はブロックロックステータスに対応します。D6="1": 非ブロックロック、D6="0": ブロックロック

注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

ページプログラムコマンド(4116)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“4116”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA0～A7は“0016”から“FE16”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリード、又はフラッシュメモリ制御レジスタ0のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)、又はリードロックビットステータスコマンド(7116)をライトするまで、又は、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.26.3にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

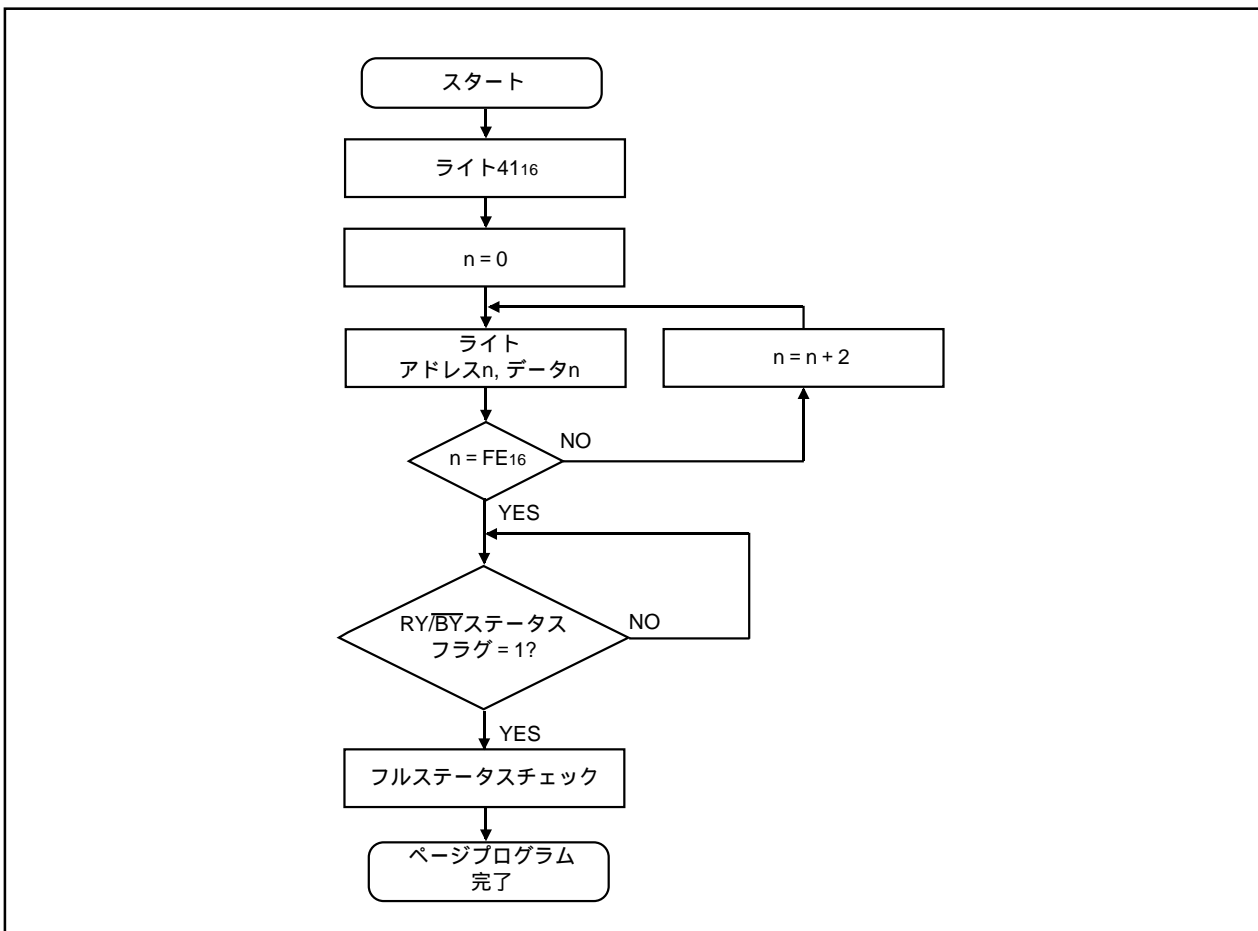


図1.26.3. ページプログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリード、又はフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)、又はリードロックビットステータスコマンド(71₁₆)をライトするまで、又はフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.26.4にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

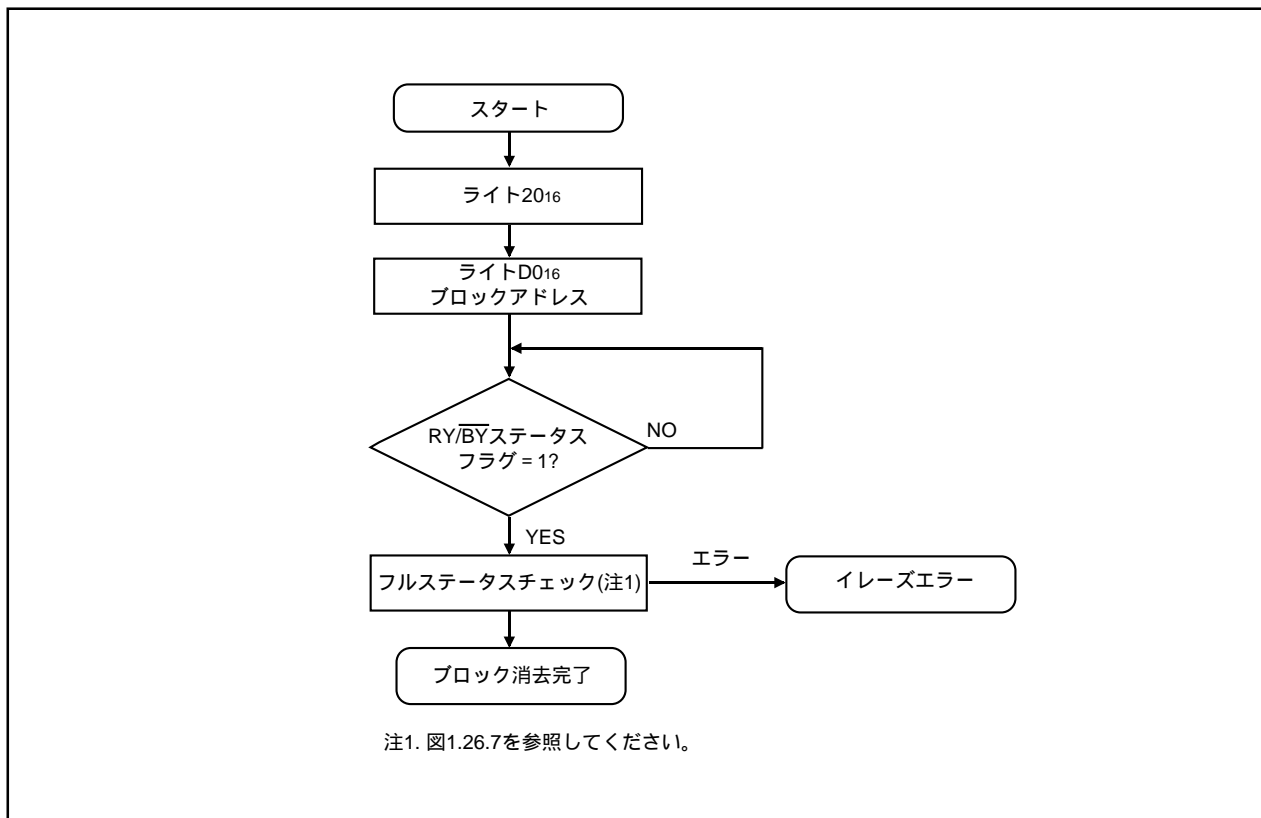


図1.26.4. ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A716/D016)

第1バスサイクルでコマンドコード“ A716 ”、続く第2バスサイクルで確認コマンドコード“ D016 ”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリード、又はフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“ 1 ”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“ 0 ”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“ 1 ”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(7716/D016)

第1バスサイクルでコマンドコード“ 7716 ”、続く第2バスサイクルで確認コマンド“ D016 ”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。

図1.26.5にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリード、又はフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

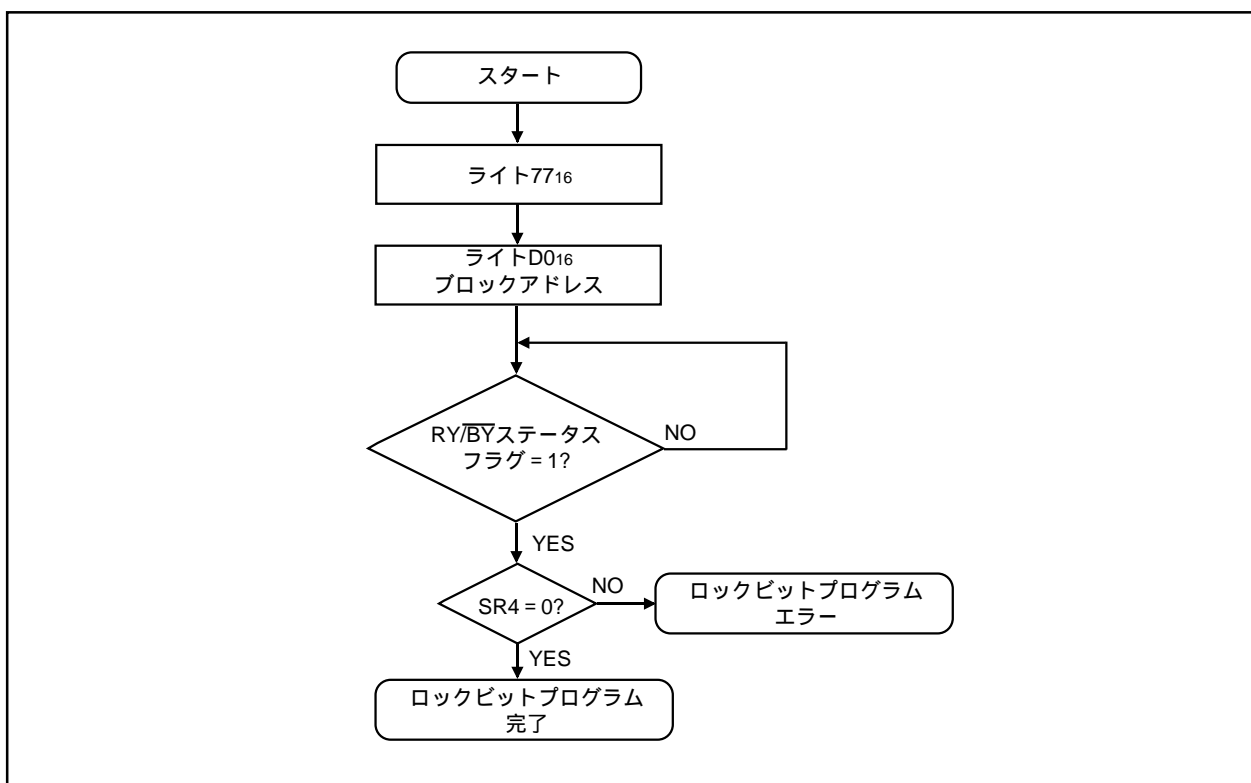


図1.26.5. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(7116)

第1バスサイクルでコマンドコード“7116”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックビットの状態がデータバス(D6)へ読み出されます。

図1.26.6にリードロックビットプログラムのフローチャート例を示します。

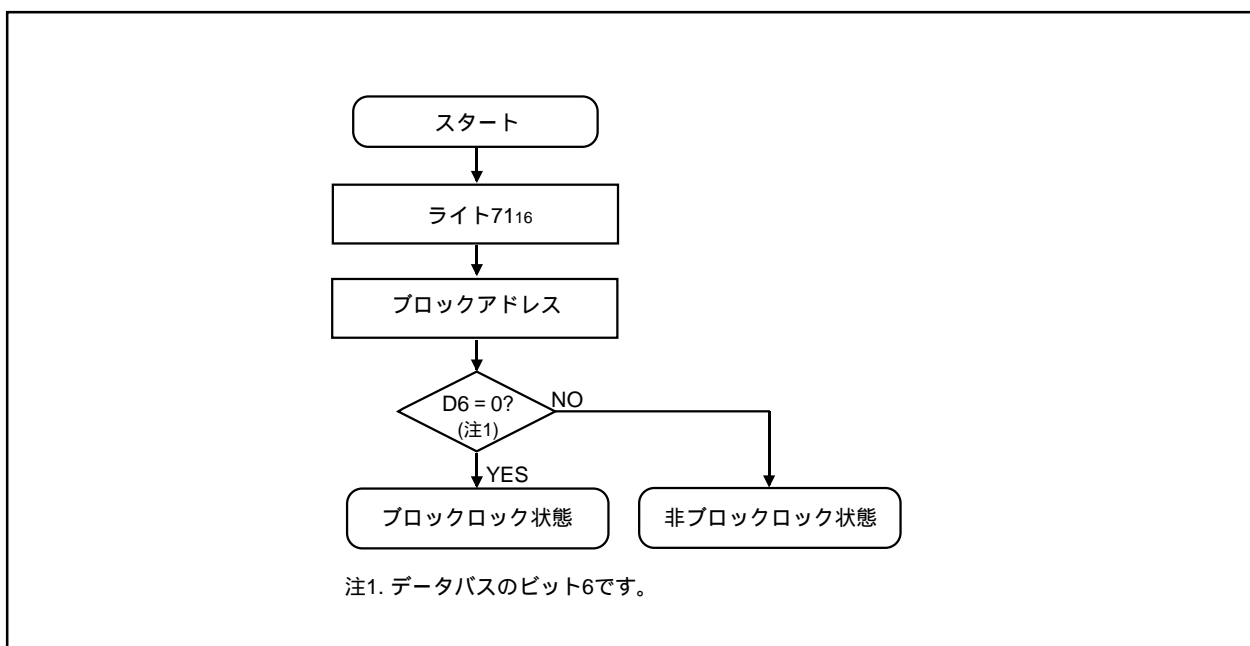


図1.26.6. リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.25.1に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

- (1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。
- (2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。ステータスレジスタを表1.26.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。リセット解除後、ステータスレジスタは、“80₁₆”になります。各ビットを以下に説明します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を示すもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド以外のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

- (1) 規定コマンドが正しく入力されなかった場合。
- (2) ロックビットプログラム(77₁₆/D0₁₆)、ブロックイレーズ(20₁₆/D0₁₆)、イレーズ全アンロックブロック(A7₁₆/D0₁₆)の第2バスサイクルのデータにD0₁₆、又はFF₁₆以外のデータを入力した場合。
ただし、FF₁₆を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80₁₆”を出力し、書き込みがフェイルしたときは“90₁₆”を出力、そして、過剰書き込みが発生したときに“88₁₆”が出力されます。

表1.26.2. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。

図1.26.7にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

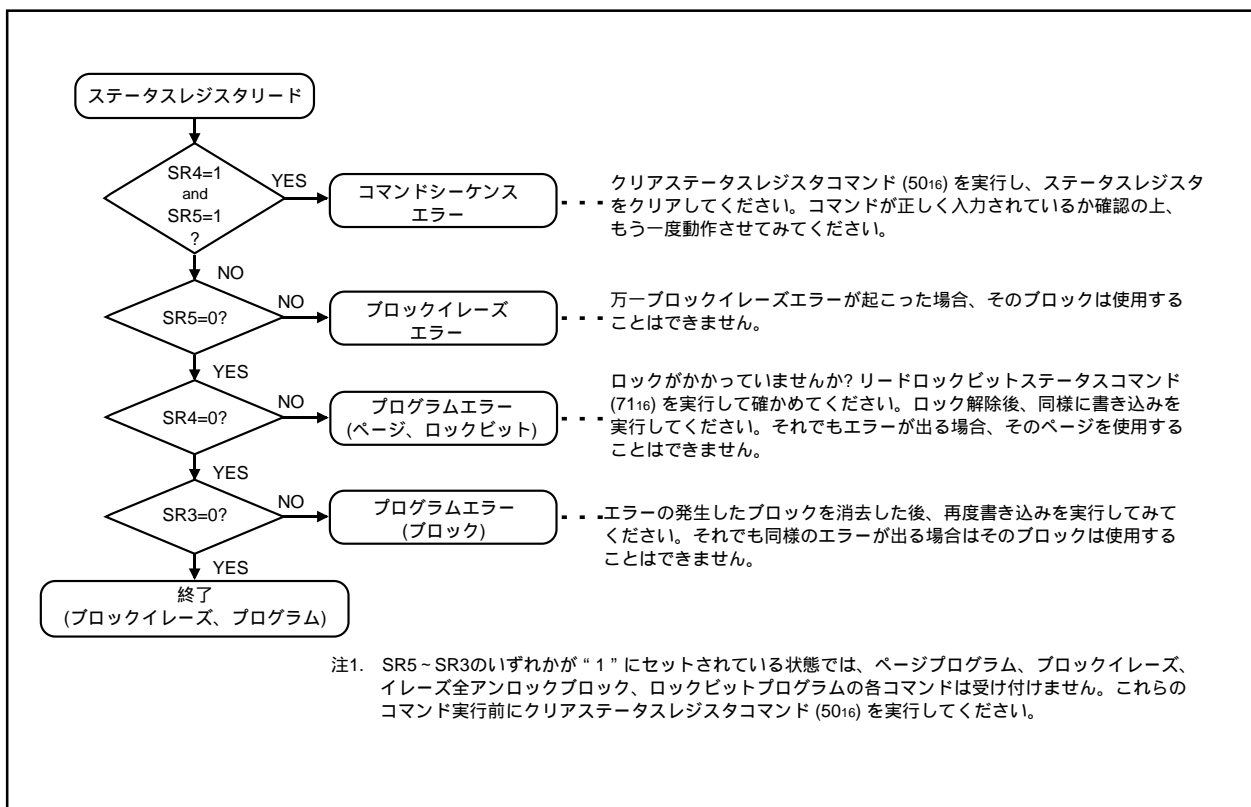


図1.26.7. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M30245FC(フラッシュメモリ版)をサポートしている専用ライターを使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.25.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、0FE000₁₆~0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、弊社からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFF₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFF₁₆番地)の構成を図1.27.1に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

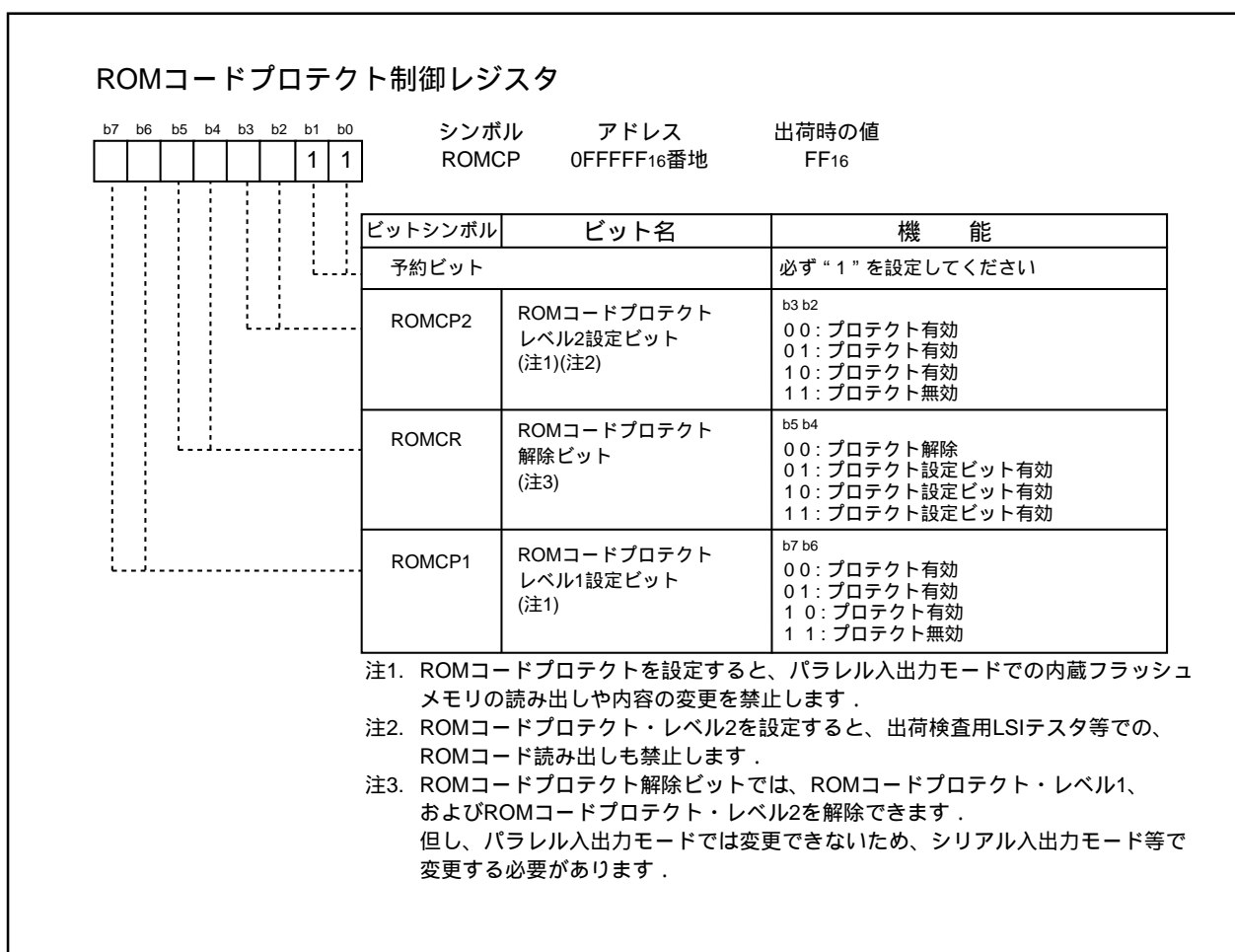


図1.27.1. ROMコードプロテクト制御レジスタの構成

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム/イレーズ電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	Vss、又はVccに接続してください。
AVcc、AVss	アナログ電源入力		AVssはVssに、AVccはVccに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、又は開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、又は開放してください。
P20 ~ P27	入力ポートP2	入力	"H"を入力、"L"を入力、又は開放してください。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、又は開放してください。
P40 ~ P47	入力ポートP4	入力	"H"を入力、"L"を入力、又は開放してください。
P51 ~ P54, P56, P57	入力ポートP5	入力	"H"を入力、"L"を入力、又は開放してください。
P50	CE入力	入力	"H"を入力してください。
P55	EPM入力	入力	"L"を入力してください。
P60 ~ P63	入力ポートP6	入力	"H"を入力、"L"を入力、又は開放してください。
P64	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: "L"を入力してください。
P66	RxD入力	入力	シリアルデータの入力端子です。
P67	TxD出力	出力	シリアルデータの出力端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、又は開放してください。
P80 ~ P84, P86, P87	入力ポートP8	入力	"H"を入力、"L"を入力、又は開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97	入力ポートP9	入力	"H"を入力、"L"を入力、又は開放してください。
P100 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、又は開放してください。

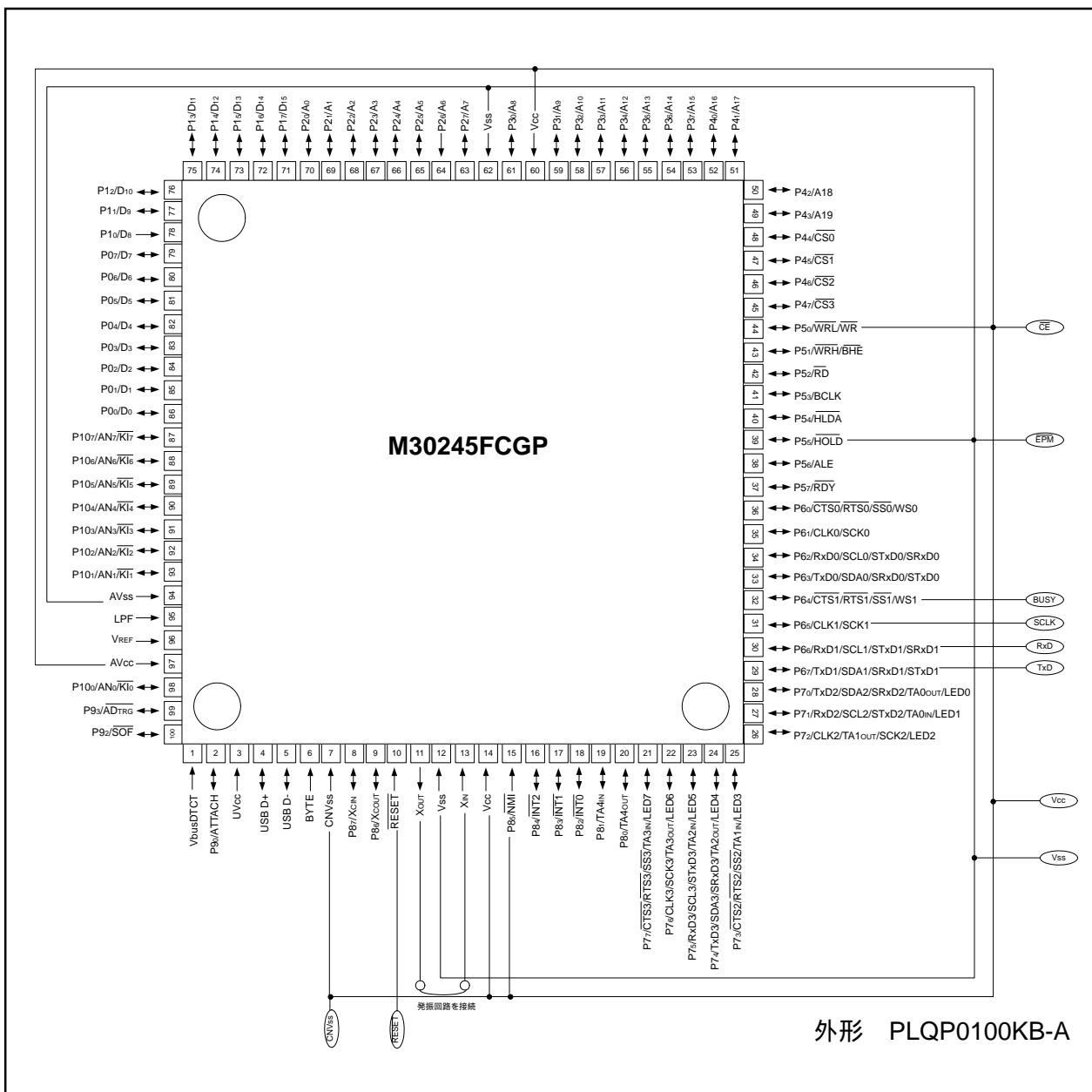


図1.28.1. 標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形の標準シリアル入出力モード1
- ・クロック非同期形の標準シリアル入出力モード2

があり、どちらも専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(C \bar{E})端子を“H”、P55(E $\bar{P}M$)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)

この制御プログラムは弊社からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますのでご注意ください。図1.28.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK $_1$ 端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK $_1$ 端子を“H”にしてリセットを解除します。UART1の端子CLK $_1$ 、RxD $_1$ 、TxD $_1$ 、RTS $_1$ (BUSY)の4本を使用します。CLK $_1$ 端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TxD $_1$ 端子はCMOS出力です。RTS $_1$ (BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK $_1$ 端子を“L”にしてリセットを解除します。UART1の端子RxD $_1$ 、TxD $_1$ の2本を使用します。

標準シリアル入出力モードでは、図1.25.1に示すユーザROM領域のみ書き換え可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライター)から送られてくるコマンドを受け付けません。

標準シリアル入出力モード1(クロック同期形)機能概要

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がりに同期して、RxD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD1端子から外部に出力します。

TxD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表1.28.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します

表1.28.1. ソフトウェアコマンド一覧表(標準シリアル入出力モード1)

	制御コマンド名	1H ¹⁶ 16ビット目 の転送	2H ¹⁶ 16ビット目	3H ¹⁶ 16ビット目	4H ¹⁶ 16ビット目	5H ¹⁶ 16ビット目	6H ¹⁶ 16ビット目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H ¹⁶ 16ビット目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259H ¹⁶ 16ビット目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ 全ページブロック	A7 ₁₆	D0 ₁₆						受付不可
5	リード ステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リード ブロックテストステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ブロックテストデータ 出力				受付不可
8	ブロックテストプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ブロックテスト有効	7A ₁₆							受付不可
10	ブロックテスト無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	~ 必要回数		受付不可
13	ページ情報出力機能	FB ₁₆	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	~ 9H ¹⁶ 16ビット目 ページアドレス 出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H ¹⁶ 16ビット目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

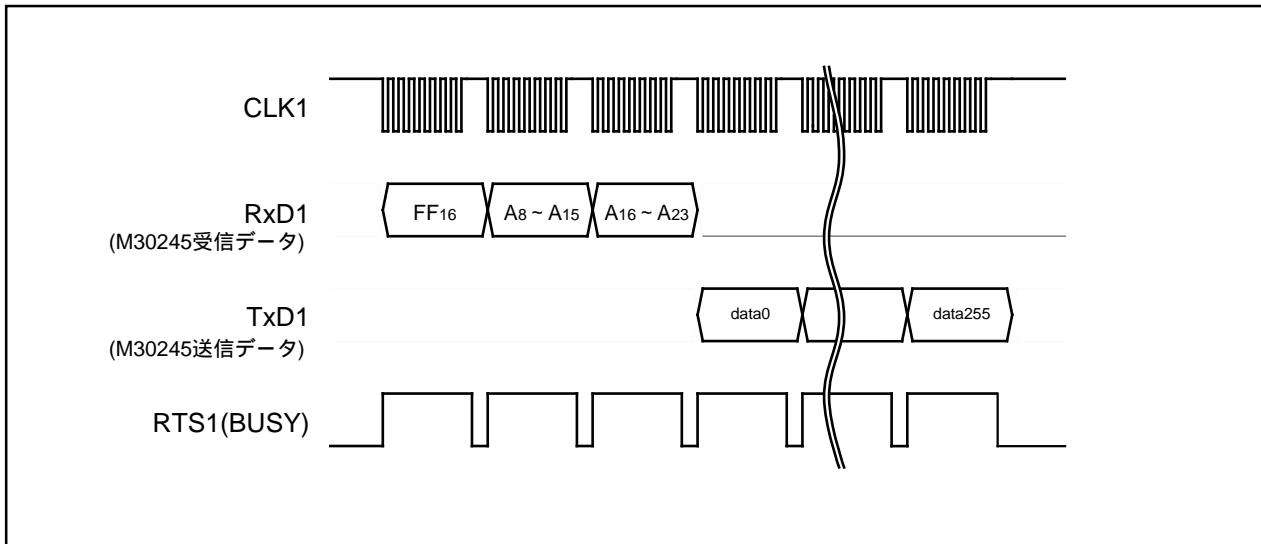


図1.28.3. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

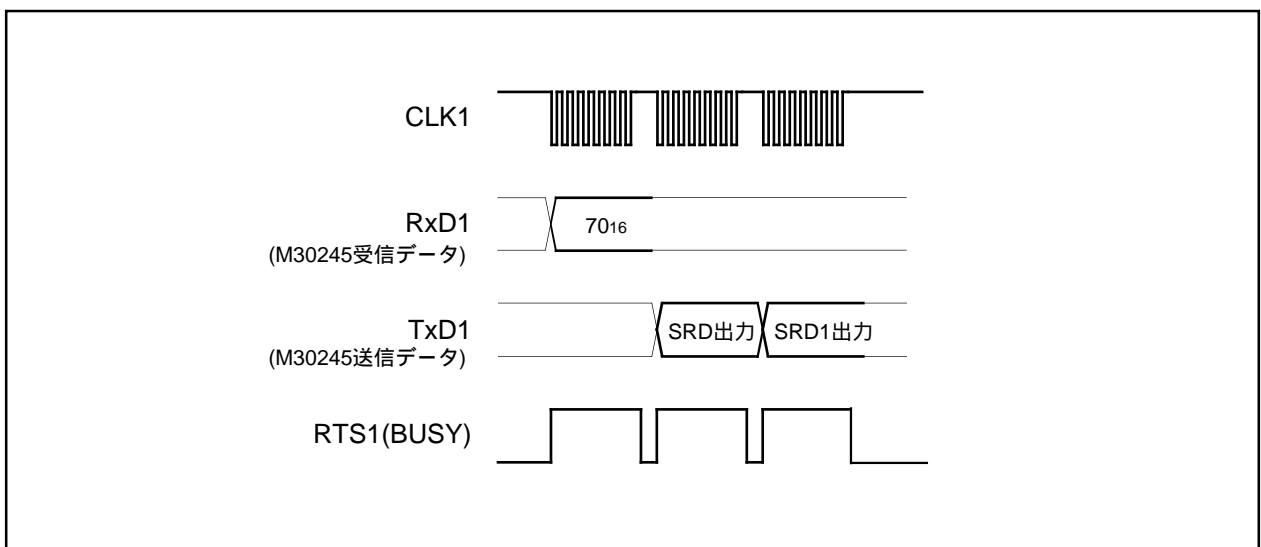


図1.28.4. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS₁(BUSY)信号は“H”から“L”に変化します。

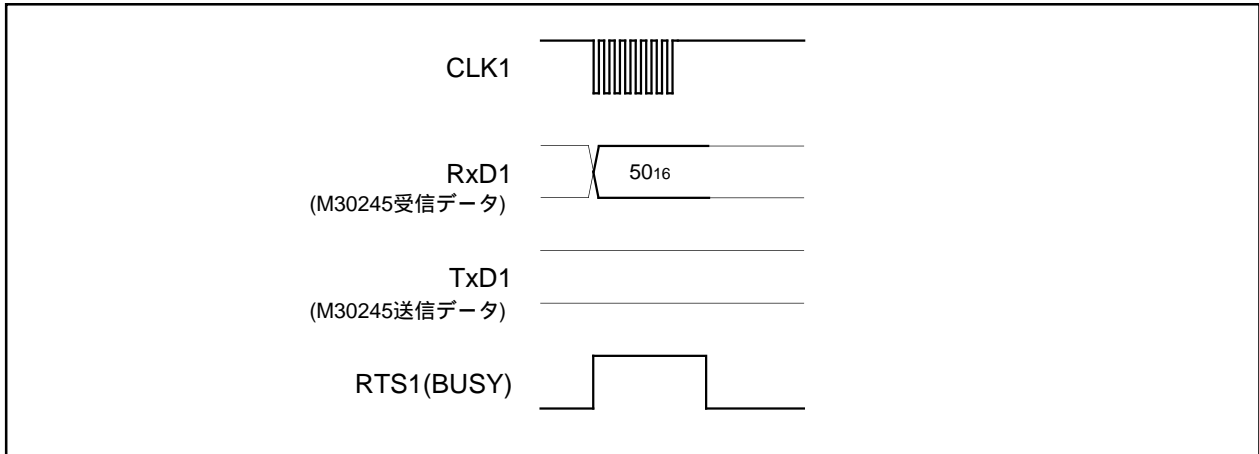


図1.28.5. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS₁(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

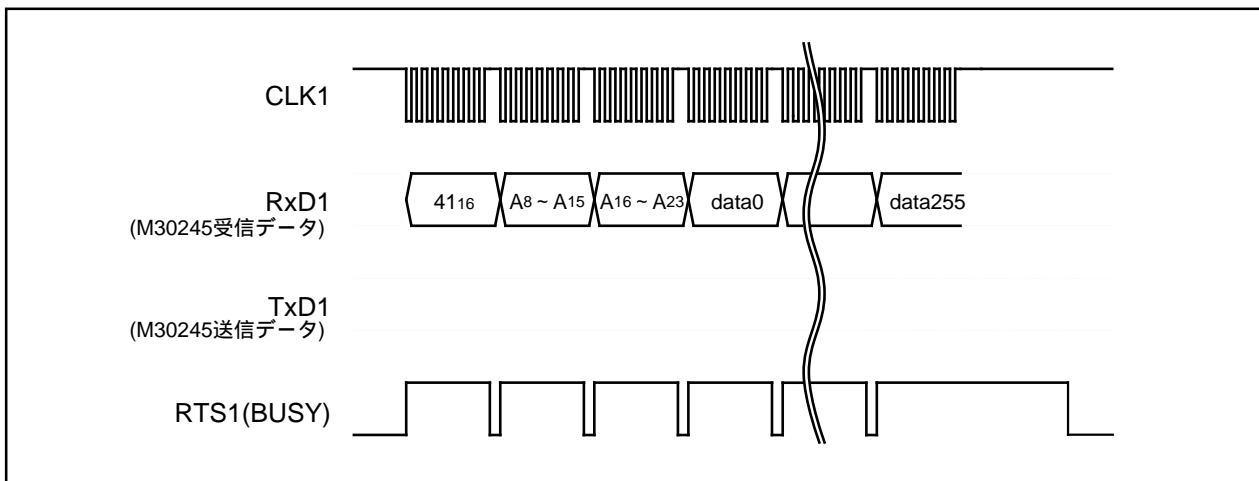


図1.28.6. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₁(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

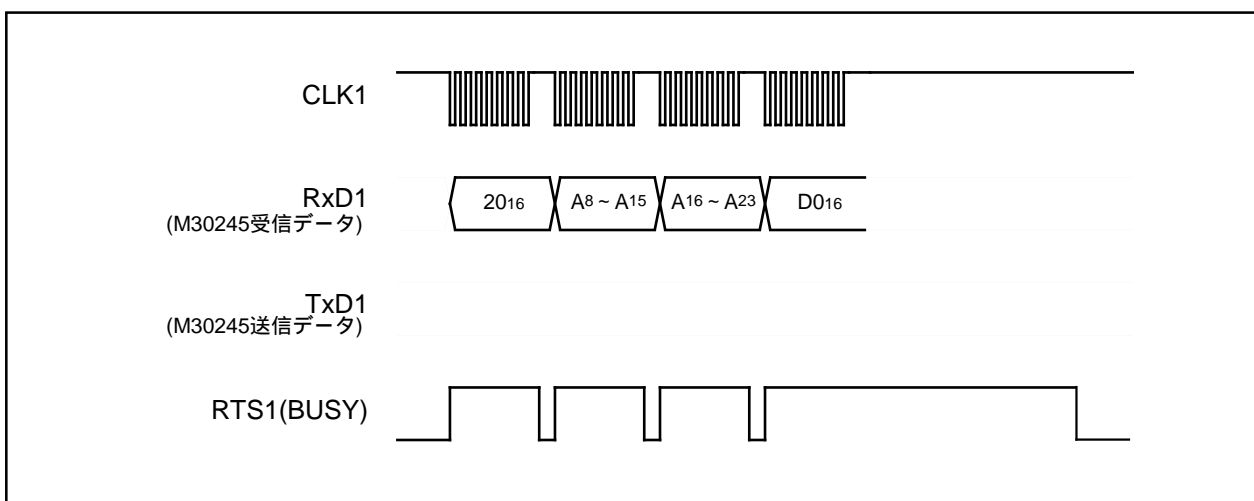


図1.28.7. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A716 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D016 ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS1(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

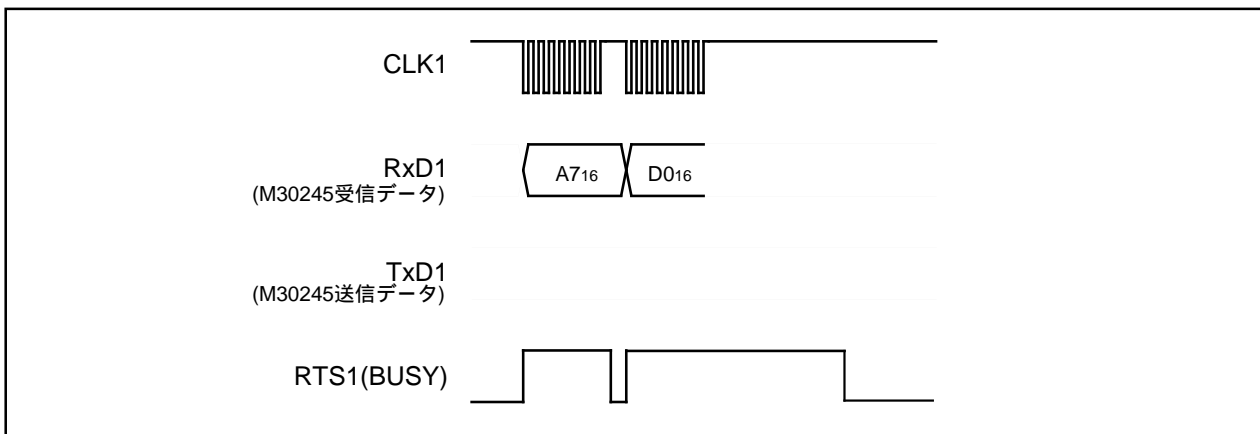


図1.28.8. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 7716 ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D016 ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS1(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

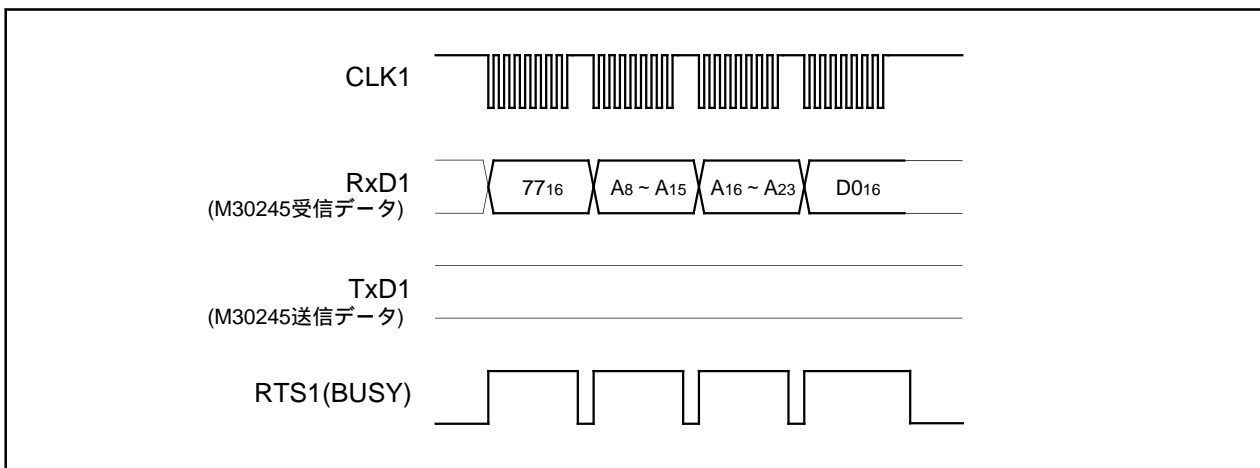


図1.28.9. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“7116”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D6)がロックビットデータです。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

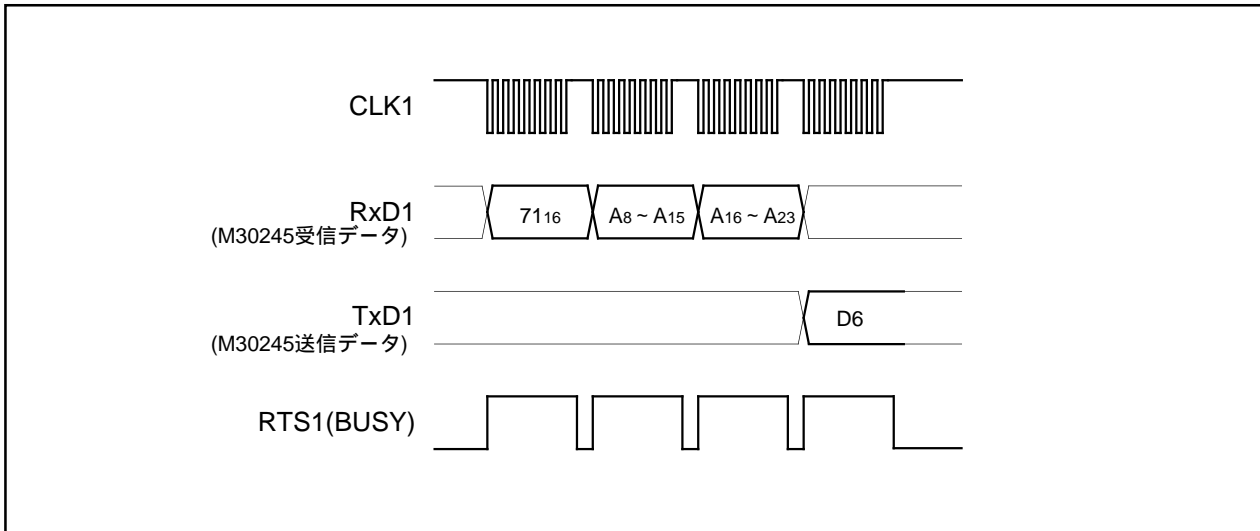


図1.28.10. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A16”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

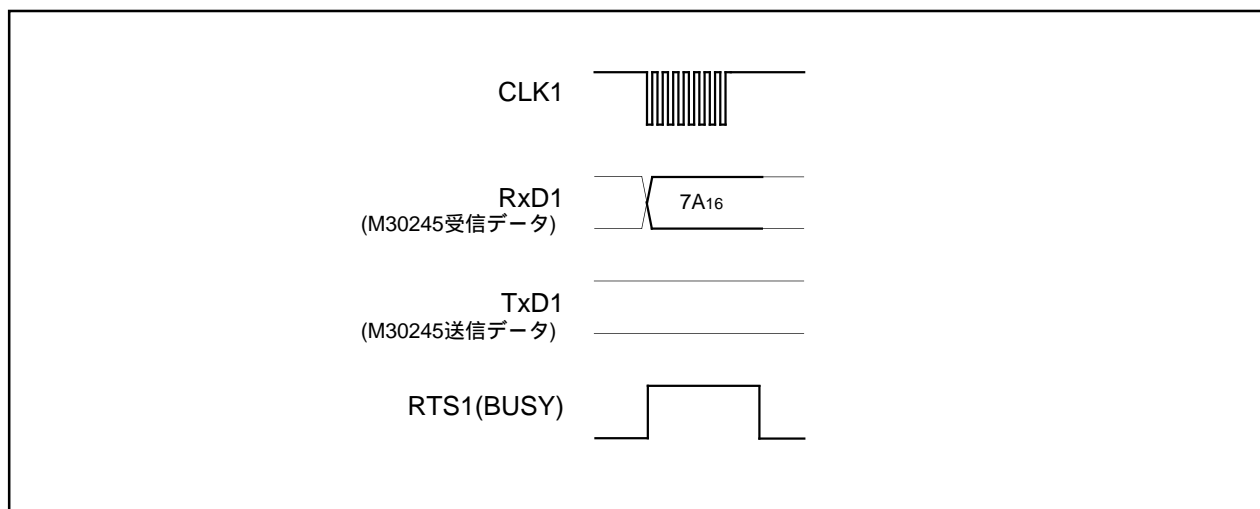


図1.28.11. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

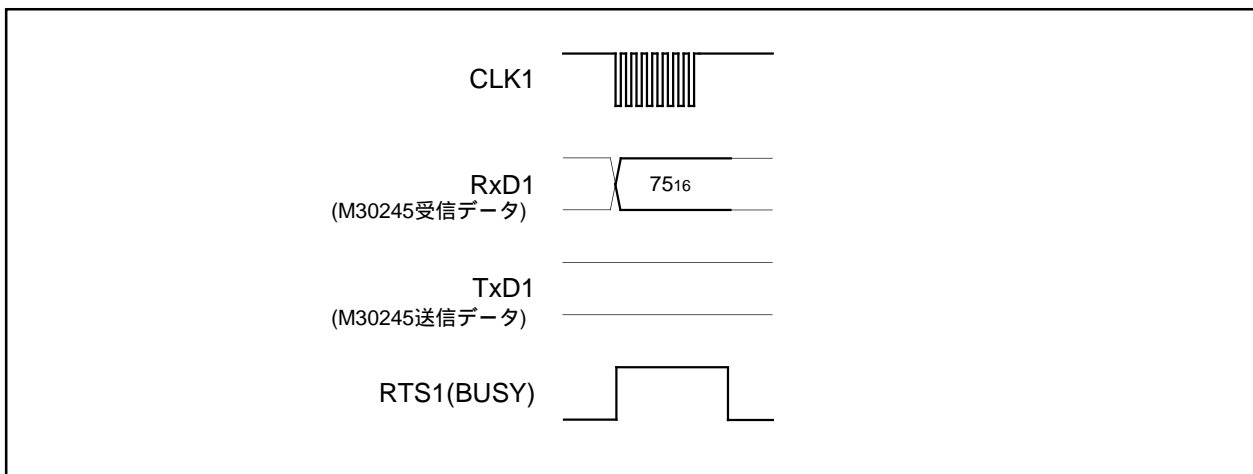


図1.28.12. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

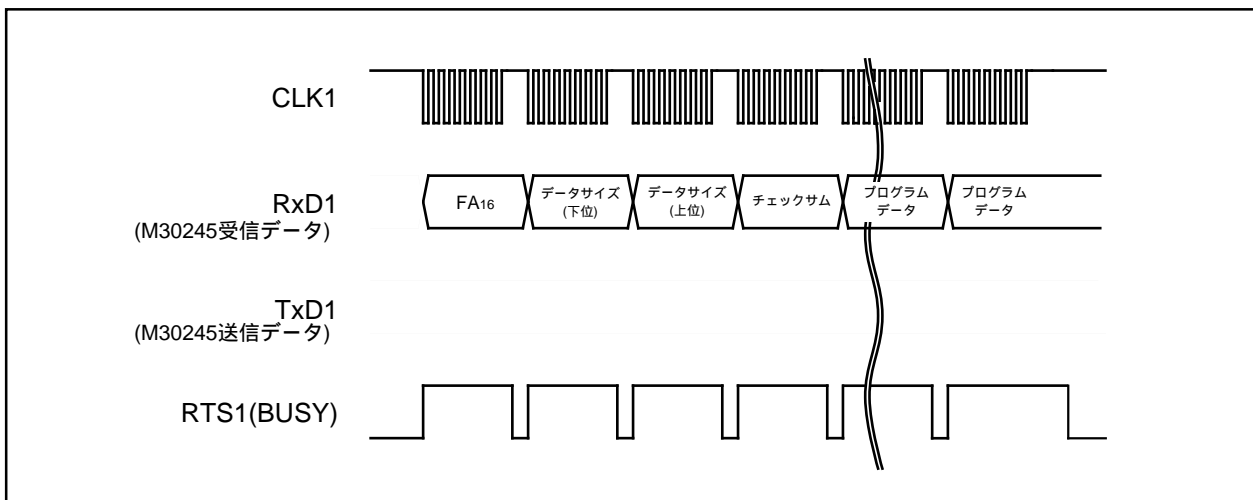


図1.28.13. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

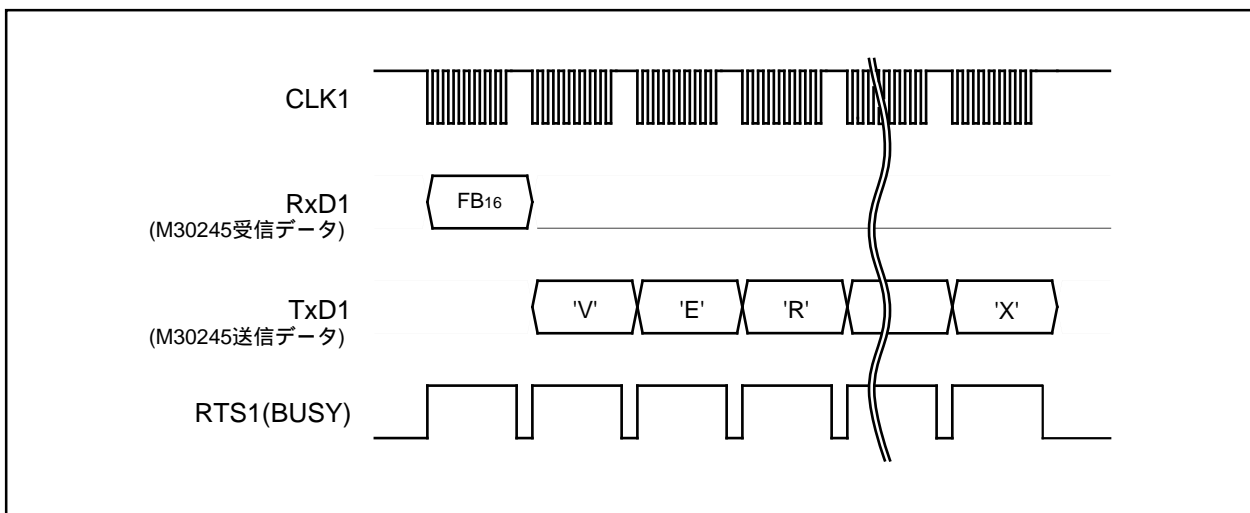


図1.28.14. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

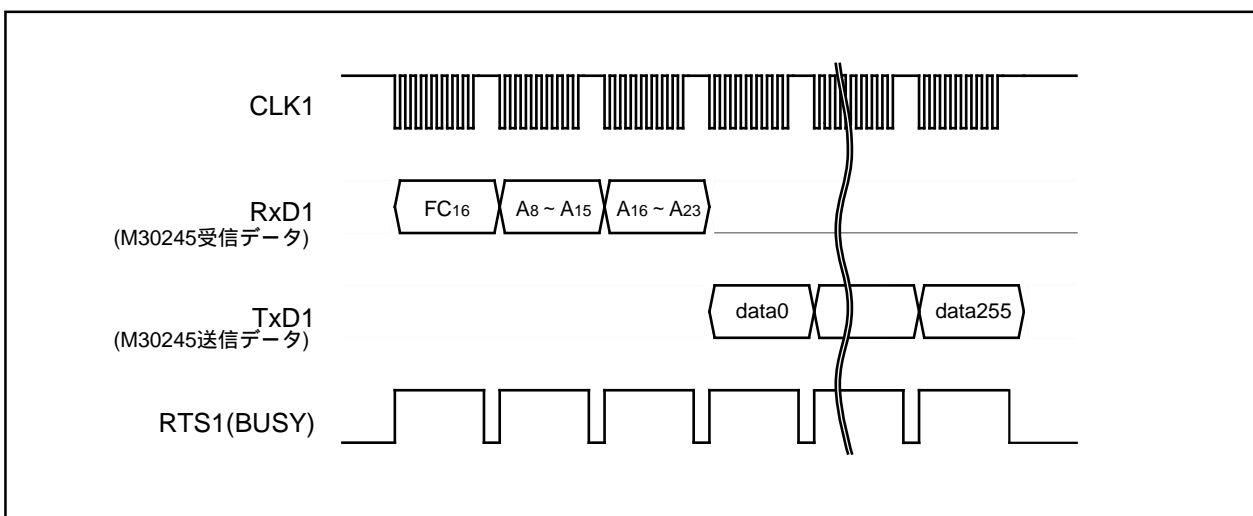


図1.28.15. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀~A₇、A₈~A₁₅、A₁₆~A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

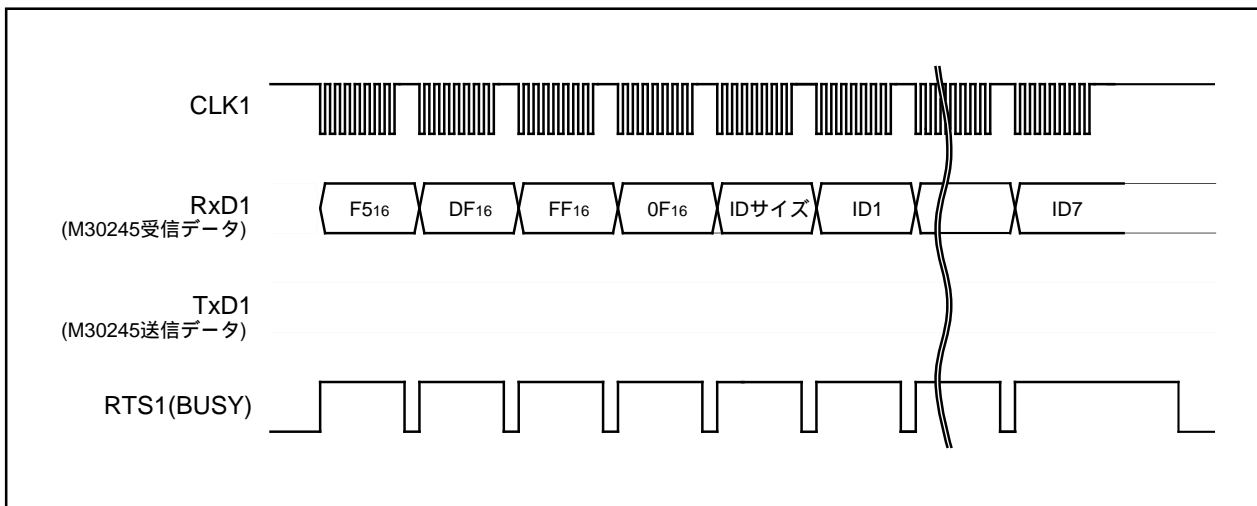


図1.28.16. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がblankでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE7₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

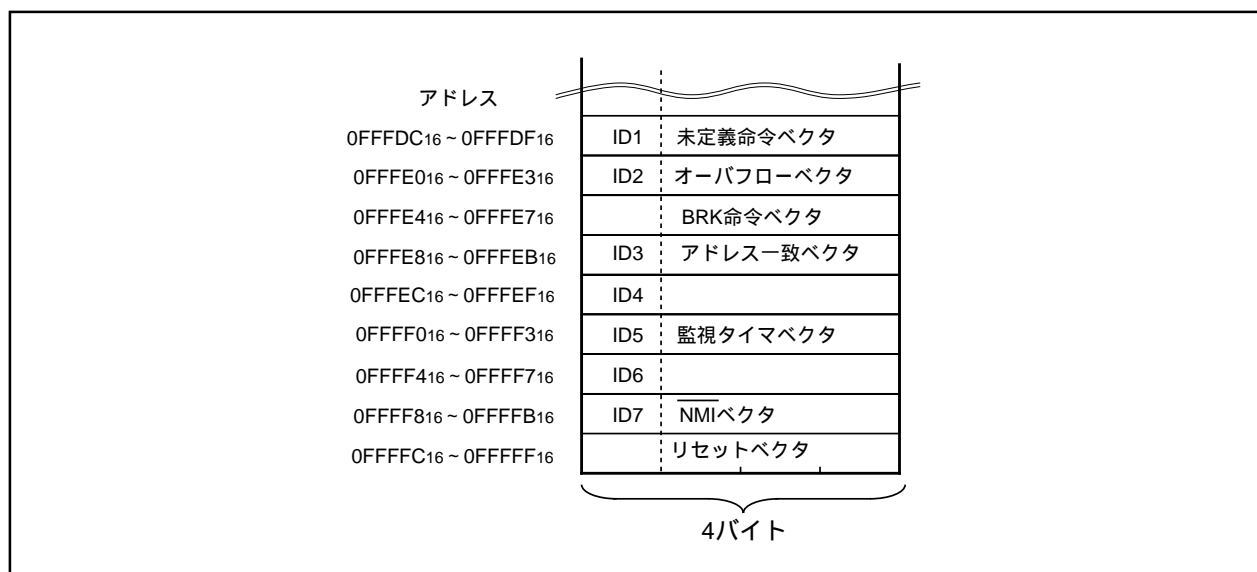


図1.28.17. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD₁₆”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

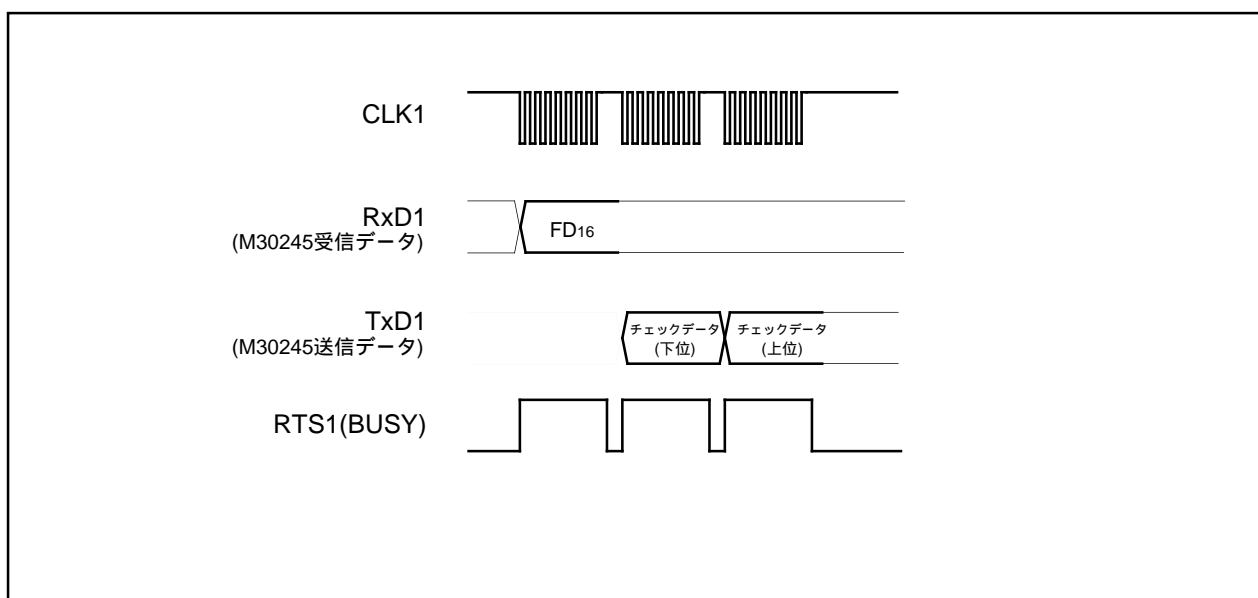


図1.28.18. リードチェックデータコマンド時のタイミング

データ保護機能(ブロックロック)

図1.28.19 に示す各々のブロックは、消去 / 書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの無効、有効はロックビットの状態とロックビット無効コマンド / ロックビット有効コマンドの実行状況で決まります。

- (1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック / 非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去 / 書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去 / 書き込みが可能です。
- (2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去 / 書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

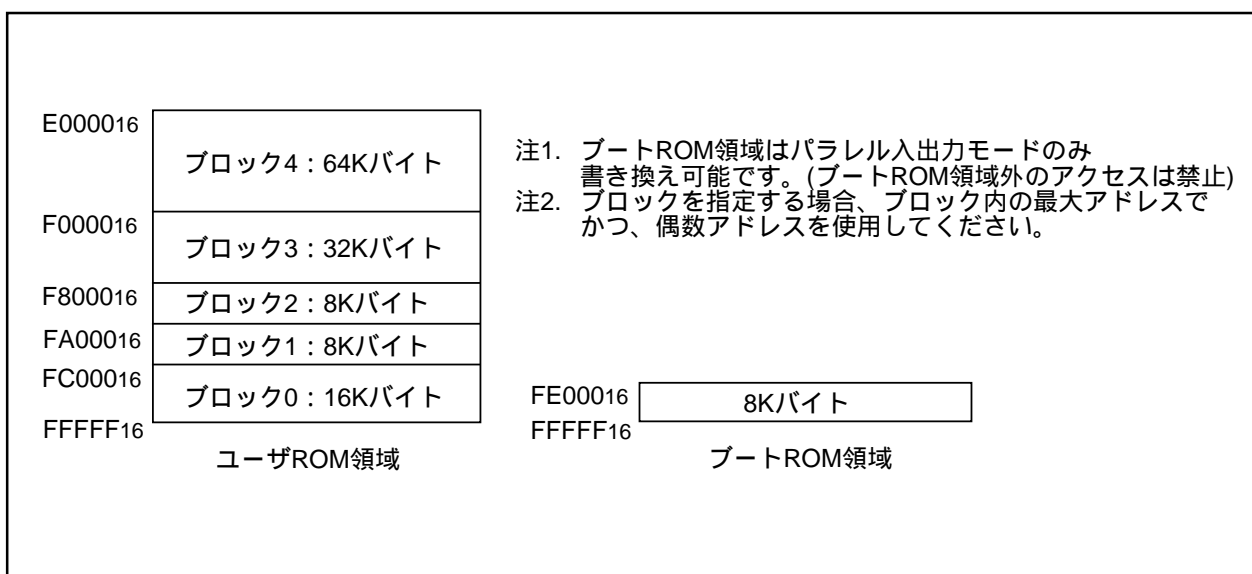


図1.28.19. 内蔵フラッシュメモリのブロック図

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.28.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表1.28.2. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“1”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“80₁₆”、書き込みがフェイルしたときは“90₁₆”、そして、過剰書き込みが発生したときに“88₁₆”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレース、イレース全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50₁₆)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.28.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表1.28.3. ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.28.20にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

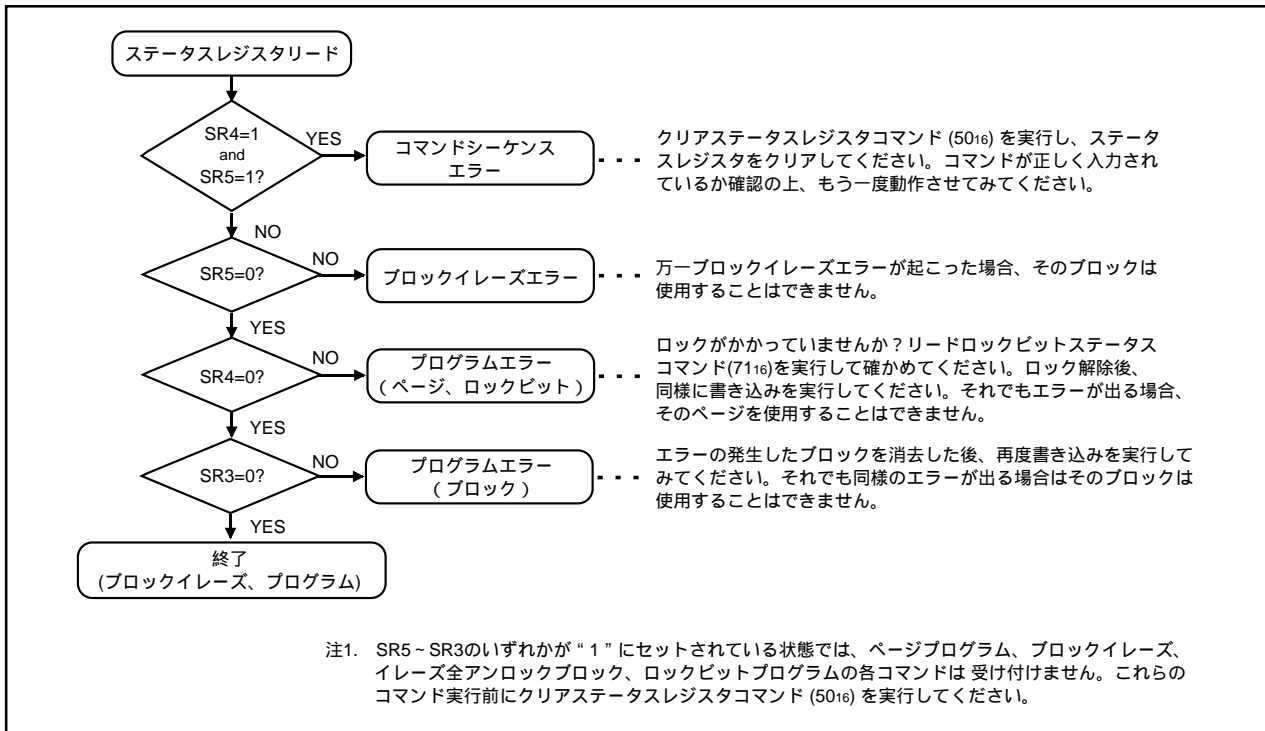


図1.28.20. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライター)によって制御するピン等が違いますので、詳細は外部装置(ライター)のマニュアルを参考にしてください。

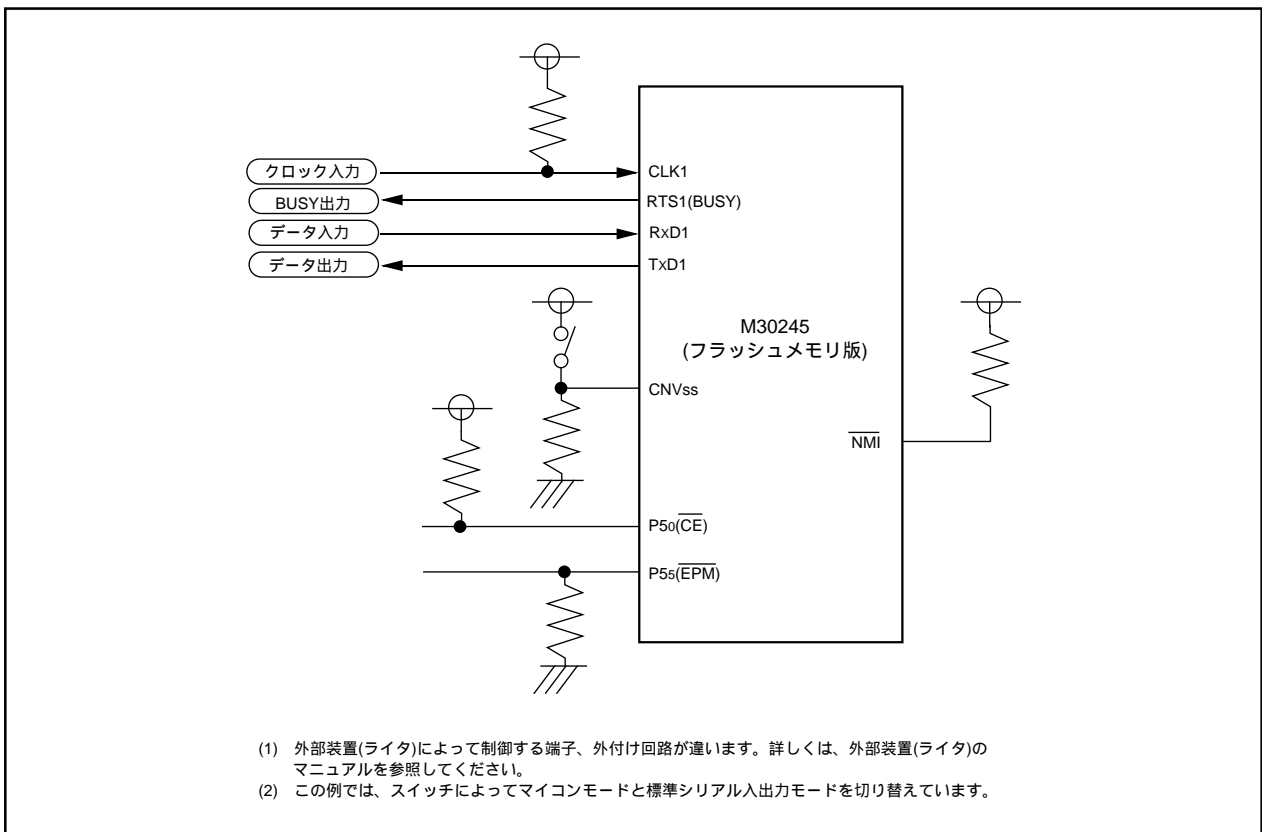


図1.28.21. 標準シリアル入出力モード1時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライト等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.28.22)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウェアコマンドを実行することで、9600bps、19200bps、38400bps、57600bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、十分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウェアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウェアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.28.22)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

- (1) 外部装置から“0016”を16回転送します。(フラッシュメモリ内蔵マイコンは“0016”が正しく受信できるように転送速度レジスタを設定します。)
- (2) フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力し、初期通信を終了します^(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上空ける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1. 外部装置に“B016”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

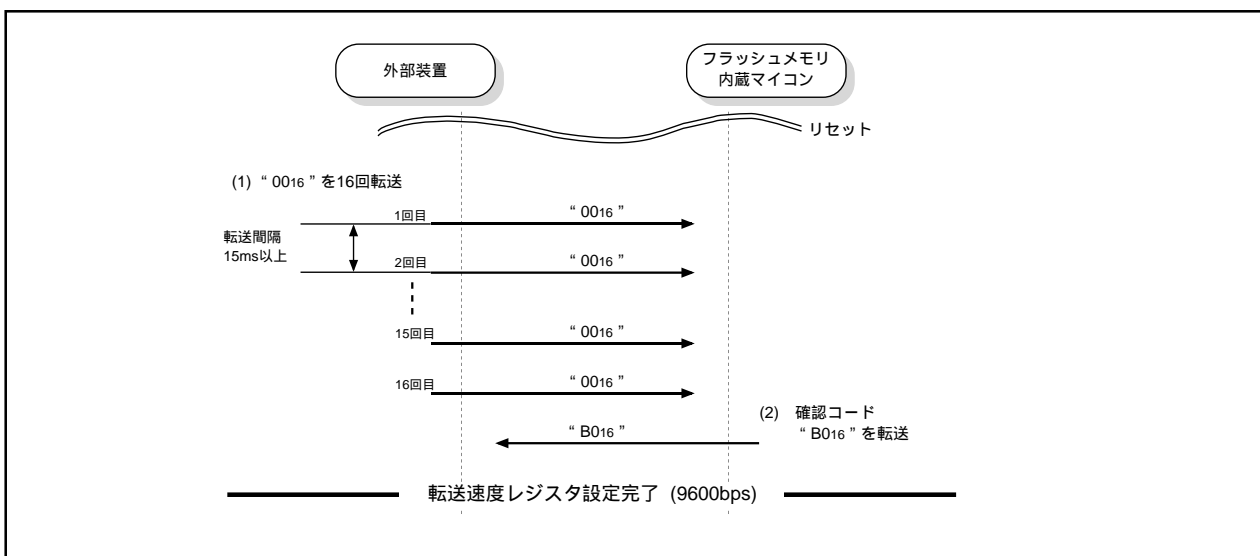


図1.28.22. 外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“0016”データを16回受信することで、動作周波数(2MHz~16MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.28.4に主な周波数と実現できるボーレートの一覧を示します。

表1.28.4 動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps
16MHz				
12MHz				
11MHz				
10MHz				
8MHz				
7.3728MHz				
6MHz				×
5MHz				×
4.5MHz				
4.194304MHz				×
4MHz			×	×
3.58MHz				
3MHz				×
2MHz		×	×	×

: 通信可能

× : 通信不可

ソフトウェアコマンド

表1.28.5にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウェアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600の4コマンドを追加しています。

以下に各ソフトウェアコマンドの内容を説明します

表1.28.5. ソフトウェアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ハードウェアリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ハードウェアプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全ブロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードブロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ブロックビットデータ出力				受付不可
8	ブロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ブロックビット有効	7A ₁₆							受付不可
10	ブロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
12	データカウント機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
13	ハードウェア情報出力機能	FB ₁₆	ハードウェア情報出力	ハードウェア情報出力	ハードウェア情報出力	ハードウェア情報出力	ハードウェア情報出力	~9バイト目 ハードウェア情報出力	受付可
14	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可
16	ボーレート9600	B0 ₁₆	B0 ₁₆						受付可
17	ボーレート19200	B1 ₁₆	B1 ₁₆						受付可
18	ボーレート38400	B2 ₁₆	B2 ₁₆						受付可
19	ボーレート57600	B3 ₁₆	B3 ₁₆						受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ 1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

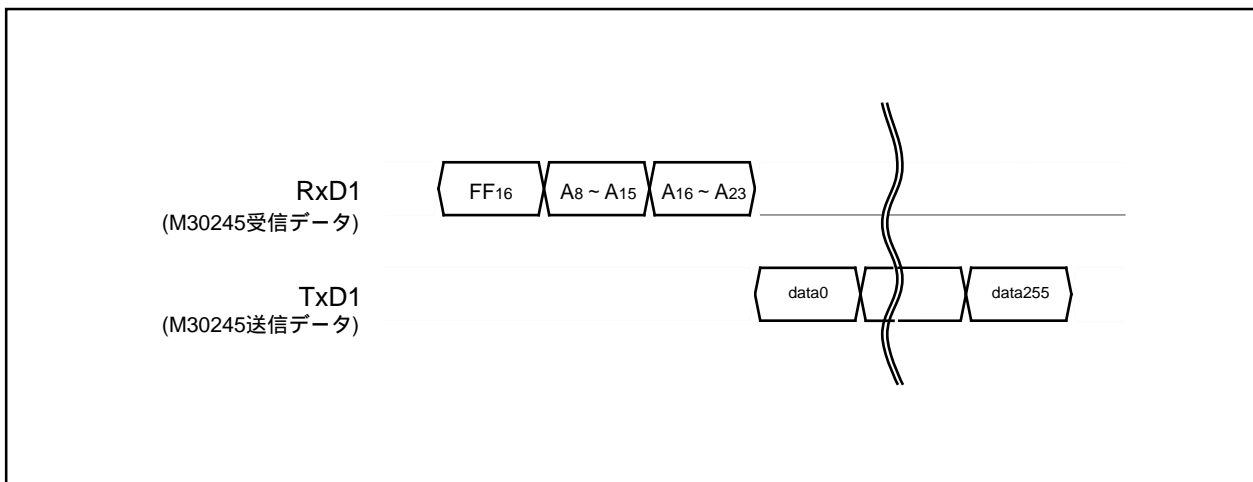


図1.28.23. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

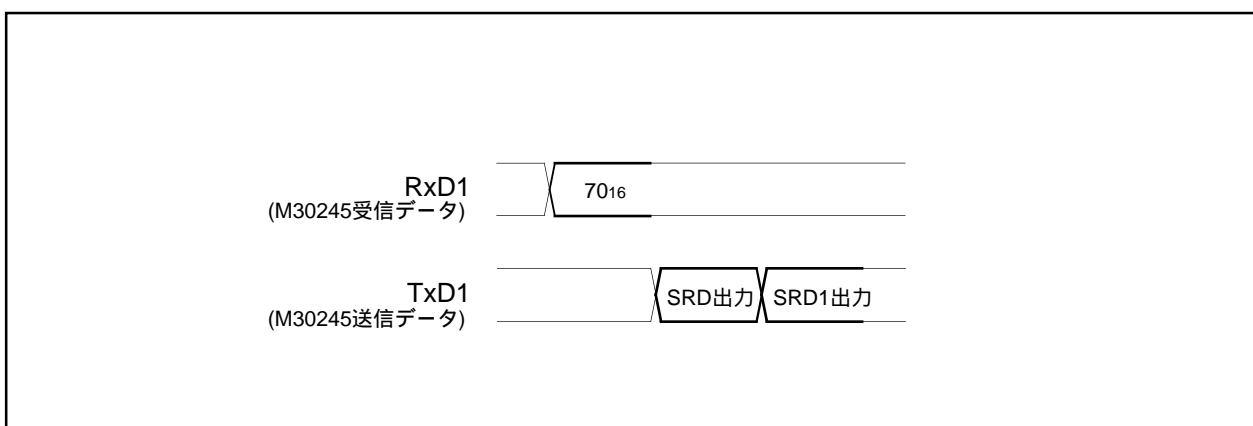


図1.28.24. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。

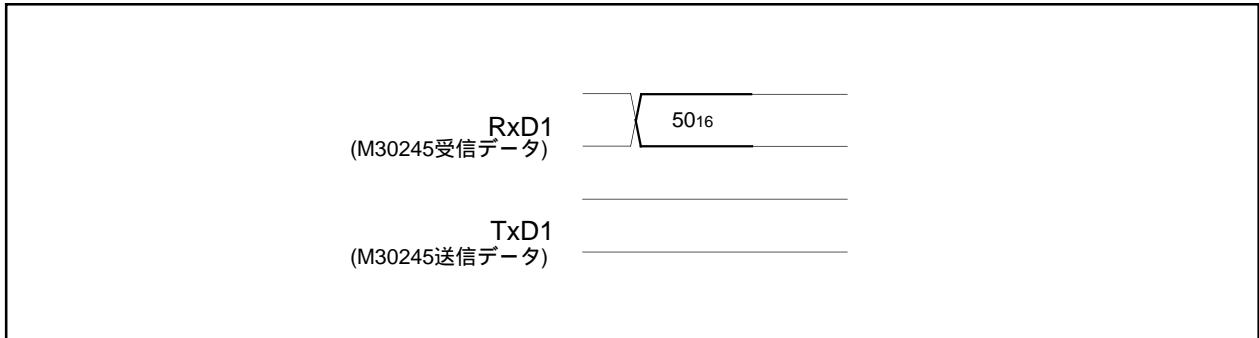


図1.28.25. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

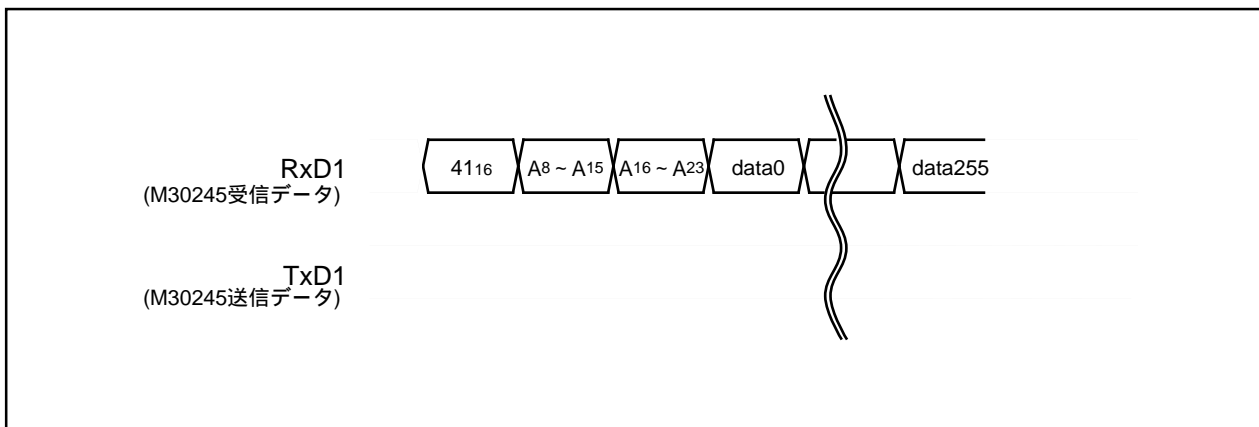


図1.28.26. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

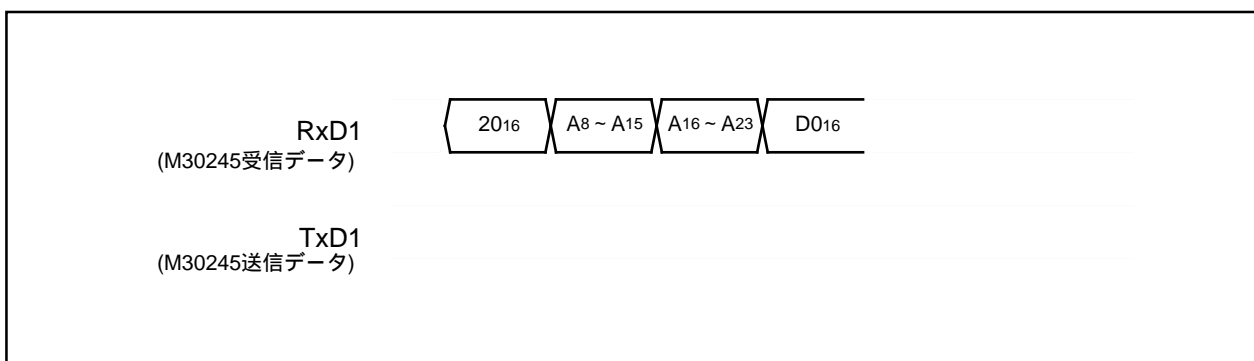


図1.28.27. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A716 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D016 ”を転送すると、フラッシュメモリの全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

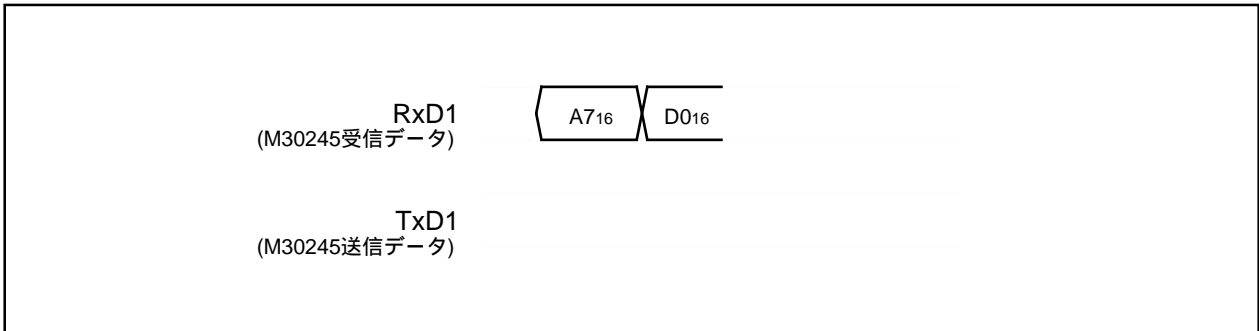


図1.28.28. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 7716 ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D016 ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

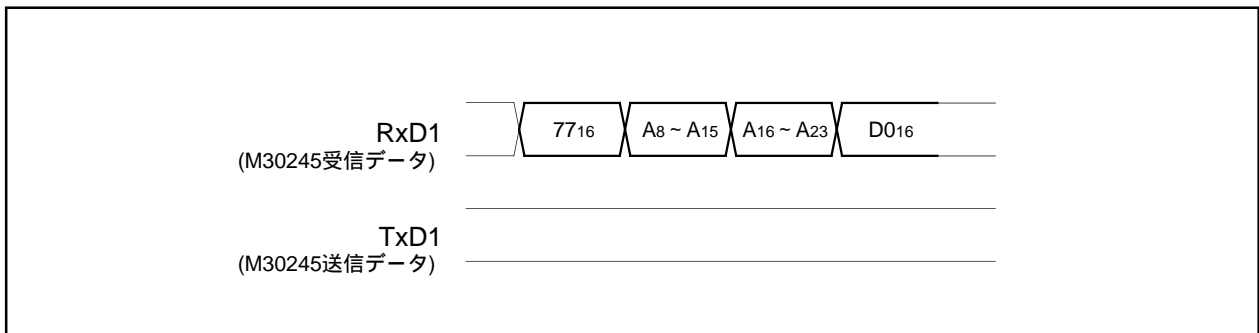


図1.28.29. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

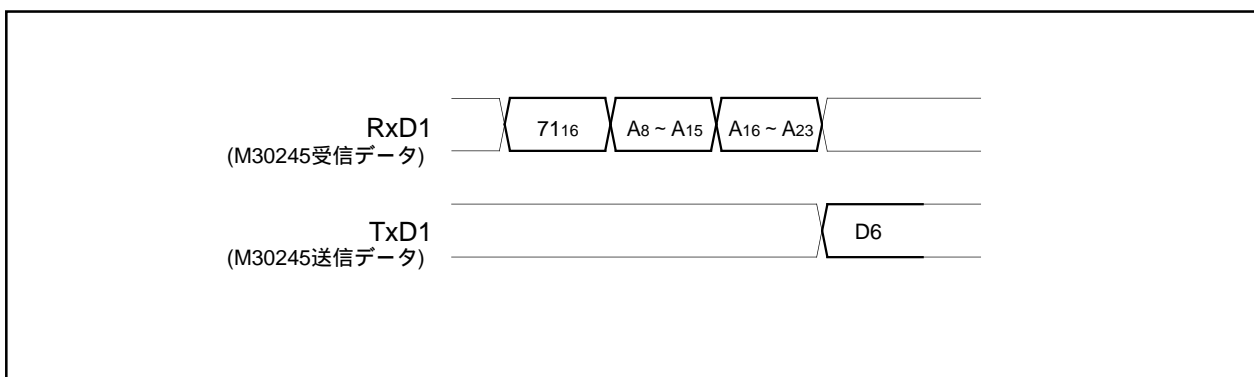


図1.28.30. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

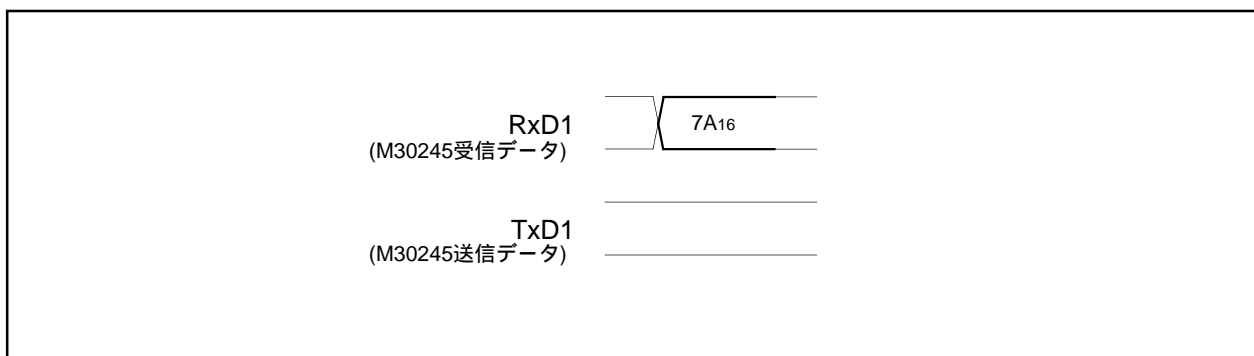


図1.28.31. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

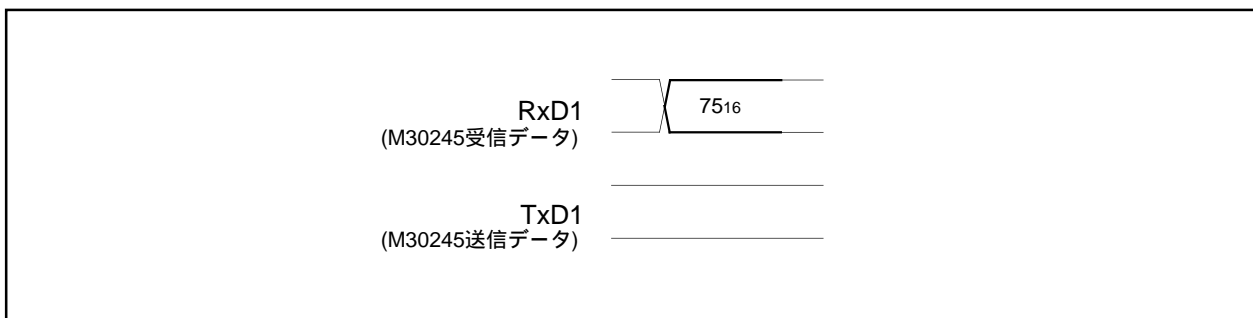


図1.28.32. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

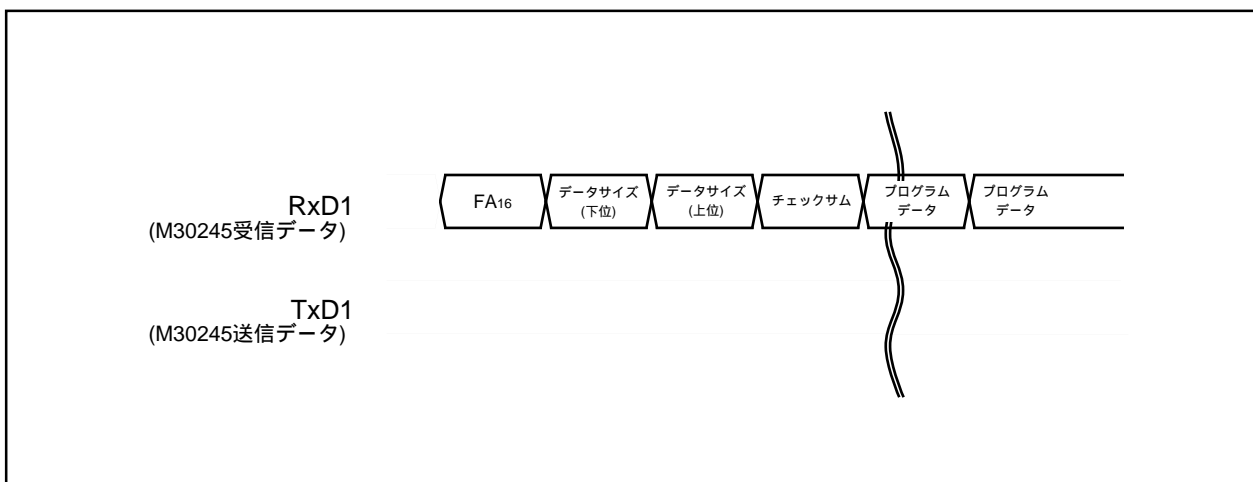


図1.28.33. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

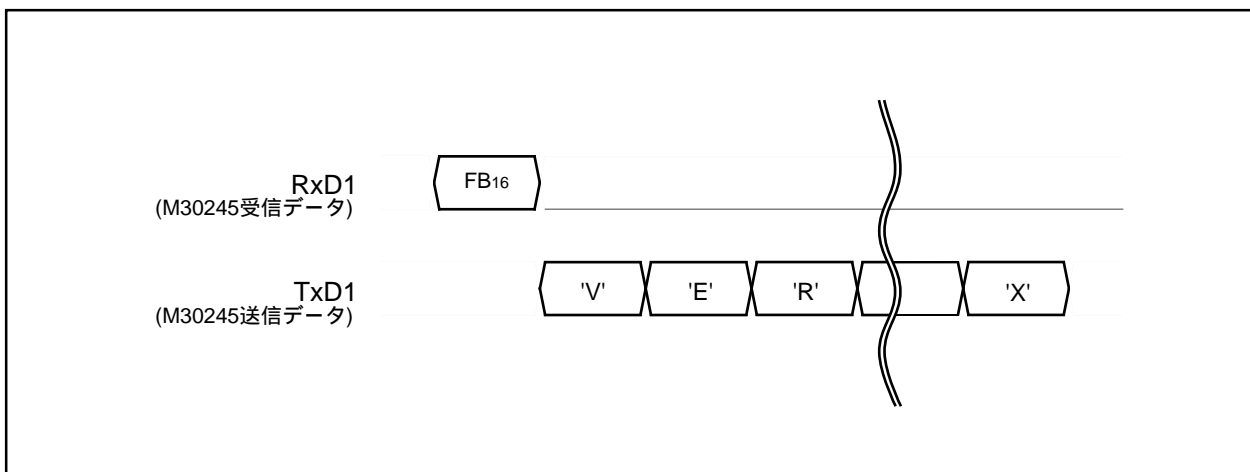


図1.28.34. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、アドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

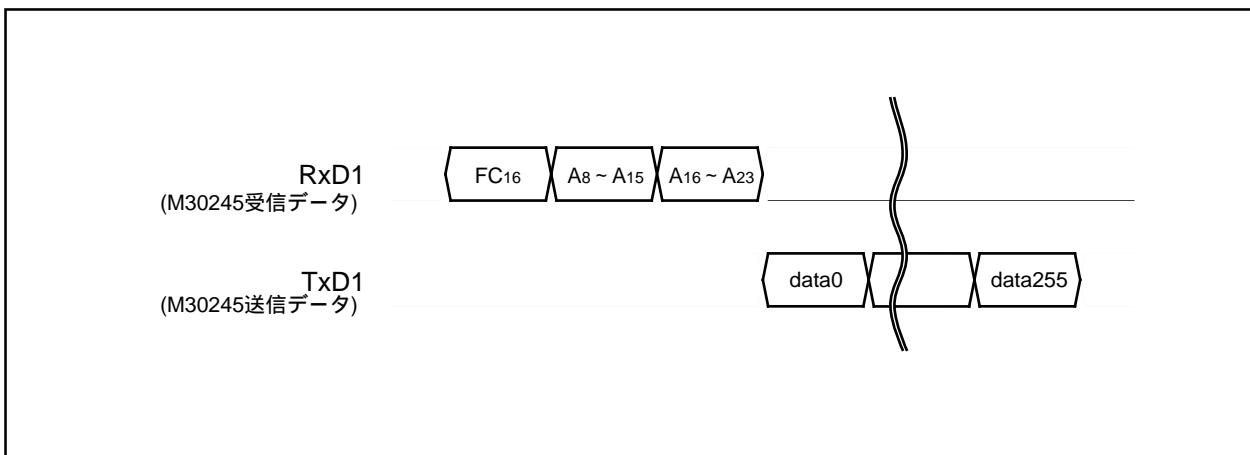


図1.28.35. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀~A₇、A₈~A₁₅、A₁₆~A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

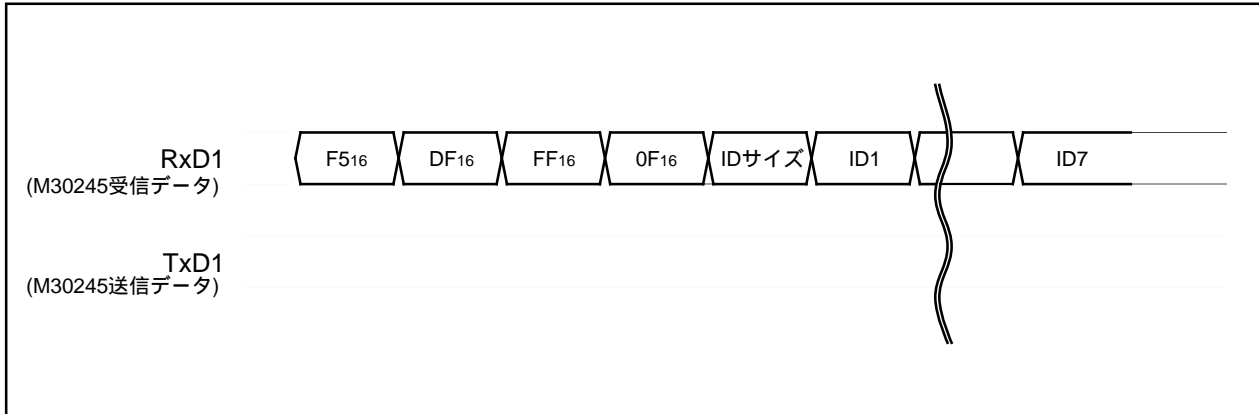


図1.28.36. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がblankでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE0₁₆、0FFFE3₁₆、0FFFE6₁₆、0FFFE9₁₆、0FFF3₁₆、0FFF7₁₆、0FFF16₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。図1.28.37にIDコードの格納アドレスを示します。

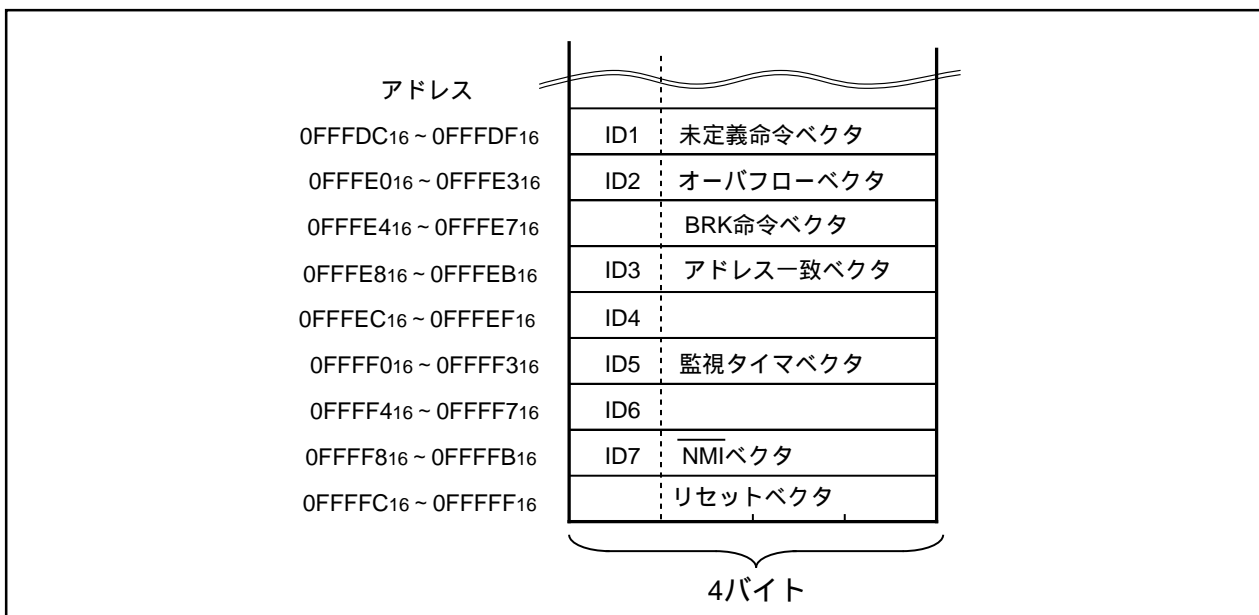


図1.28.37. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD₁₆”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

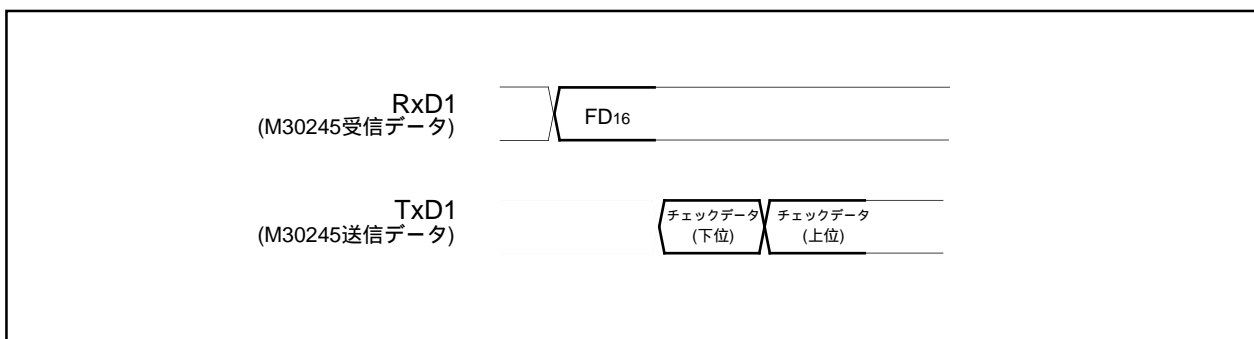


図1.28.38. リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B016 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B016 ”を出力した後、転送速度9600bpsに変更します。

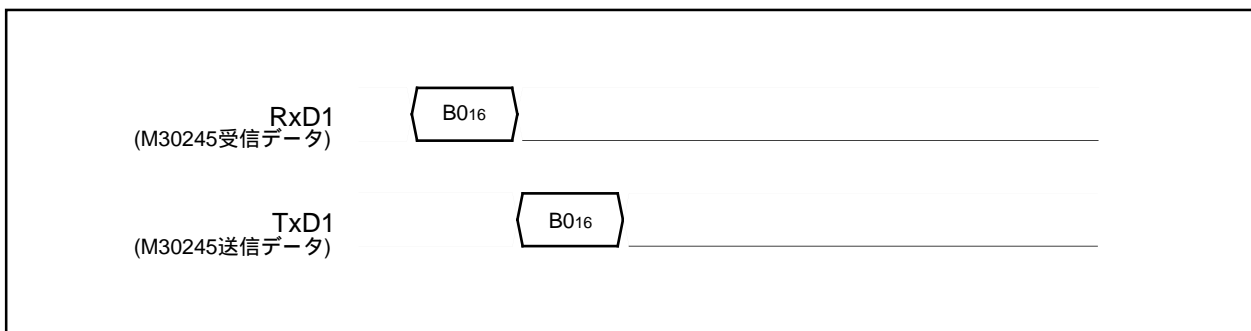


図1.28.39. ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B116 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B116 ”を出力した後、転送速度19200bpsに変更します。



図1.28.40. ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B216 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B216 ”を出力した後、転送速度38400bpsに変更します。

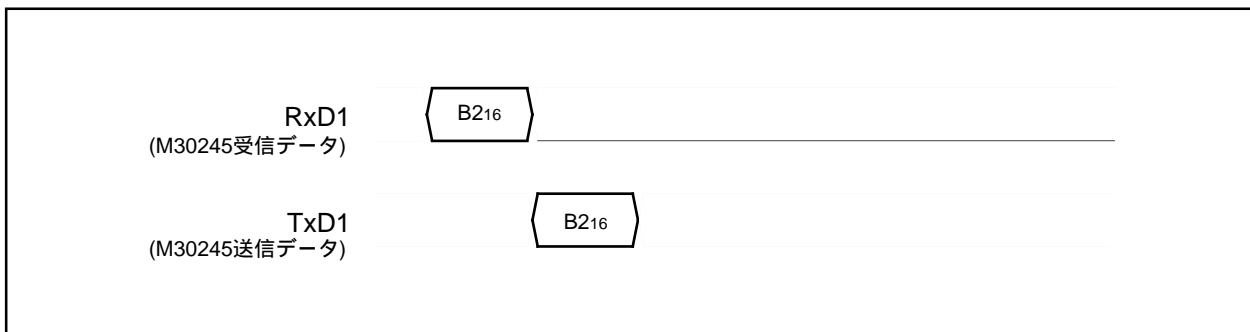


図1.28.41. ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B316 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B316 ”を出力した後、転送速度57600bpsに変更します。



図1.28.42. ボーレート57600のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

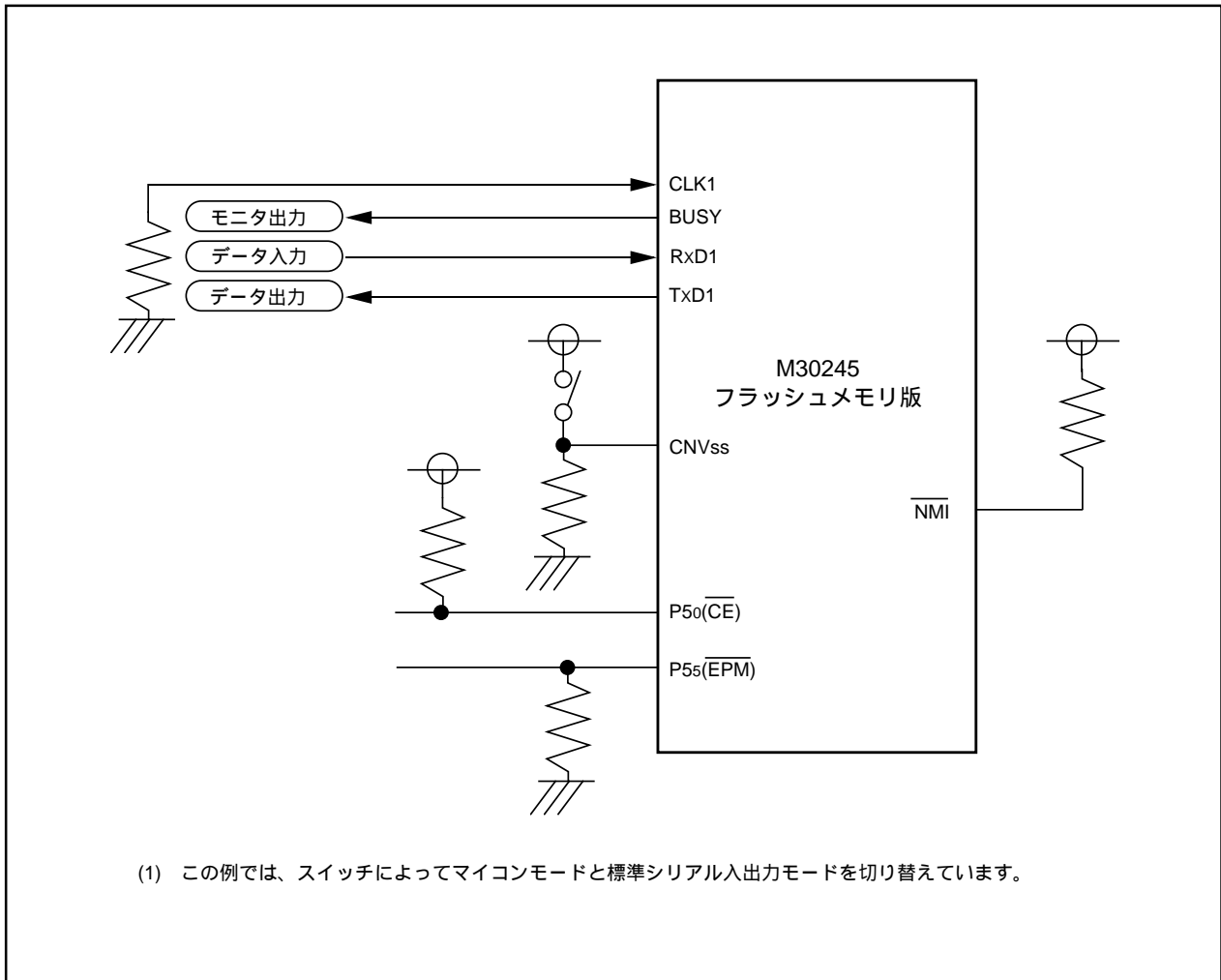


図1.28.43. 標準シリアル入出力モード2時の応用回路例

使用上の注意事項

タイマ A の注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマ A の注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始時にタイマに値を設定しても、不定値からカウントを開始することがあります。

この現象は、イベントカウンタモードのフリーランタイプだけで発生します。また、カウント中にタイマレジスタの値が不定になることはありません。

【対策】

アップカウント、ダウンカウントを切り替えない場合

リロードタイプを使用してください。カウント開始時にタイマレジスタに値を設定し、カウント開始直後タイマレジスタの値を書き替えてください。アップカウントで使用する場合は、タイマレジスタの値を0000₁₆に書き替え、ダウンカウントで使用する場合は、タイマレジスタの値をFFFF₁₆に書き替えることによって、フリーランタイプを同じ動作をします。

アップカウント、ダウンカウントを切り替える場合

カウントパルスが入力されるまで、リロードタイプで使用してください。1パルス分のカウントパルスが入力されてから、フリーランタイプにモードを変更してください。

- (3) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

タイマ A の注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、ワンショットタイマモードを選択したとき
動作モードをタイマモードからワンショットタイマモードに変更したとき
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (3) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。
- (4) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

タイマ A の注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

A/D変換器の注意事項

- (1) AD制御レジスタ0の各ビット(ビット6を除く)、AD制御レジスタ1の各ビット、およびAD制御レジスタ2のビット0に対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。特にVREF接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA/D変換を開始させてください。
- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モード、又は単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADレジスタを読み出してください(A/D変換の完了はA/D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0、又は繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

シリアルI/Oの注意事項 (UARTモード)

CLKi端子とCTSi端子のレベルが“H”(注1)のとき、UiMRレジスタの設定を以下のいずれかにすると、UiC1レジスタのUiEREビットが“1”(パリティエラー信号出力許可)になります。UiEREビットが“1”(パリティエラー信号出力許可)になった状態でUiMRレジスタのPRYEビットを“1”(パリティ許可)にした場合、受信時にパリティエラーが発生すると、TxDi端子から“L”レベルが出力されます。これを防ぐため、UiMRレジスタを設定した後にUiEREビットを設定してください。

SMD2~SMD0ビットを“0002”(シリアルI/Oは無効)から“1012”(UARTモード転送データ長8ビット)にする。

SMD2~SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1002”(UARTモード転送データ長7ビット)にする。

SMD2~SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1012”(UARTモード転送データ長8ビット)にする。

SMD2~SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1102”(UARTモード転送データ長9ビット)にする。

SMD2~SMD0ビットを“0102”(I²Cモード)から“1012”(UARTモード転送データ長8ビット)にする。

注1) CLKi、CTSiとして使用していない場合でも、端子レベルが“H”のときはこの条件に該当します。

DMAの注意事項

(1) DMA許可ビットについての補足説明

DMA許可ビットは、DMA0制御レジスタおよびDMA1制御レジスタのビット3に配置されています。DMA許可ビットを“1”にすることにより、DMAはアクティブ状態となります。DMAアクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする。

転送カウンタリロードレジスタの値を転送カウンタへリロードする。

したがって、DMAアクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

(2) DMA要求ビットについての説明

DMA要求ビットは、DMA0制御レジスタおよびDMA1制御レジスタのビット2に配置されています。DMA要求ビットは、DMAがアクティブでない状態でも、DMA転送の要求信号が発生すると“1”になります。また、DMA要求要因選択ビットを変更することでDMA要求ビットが“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始されると“0”になります。DMAアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMAがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。図1.19.1にDMA関連レジスタ設定手順を示します。

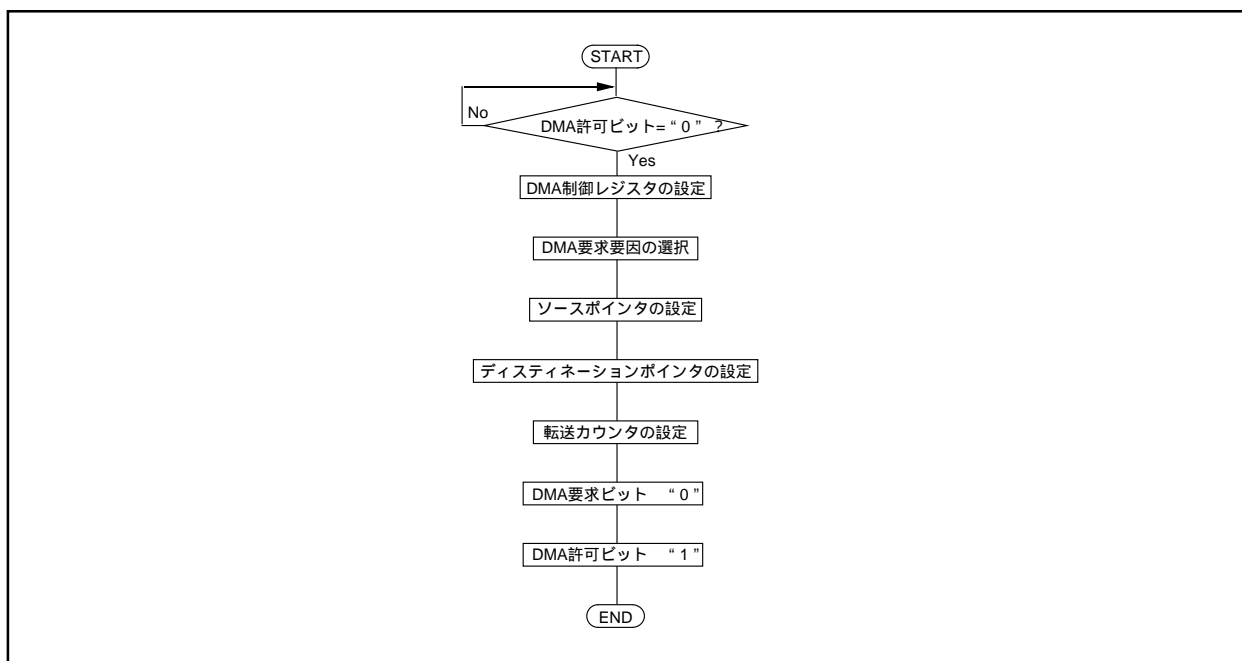


図1.29.1. DMA制御レジスタの設定手順

(3) DMAiCONレジスタのDMAEビットへの書き込み (i=0~1)

(a) に示す条件のときは、(b) に示す手順で書いてください。

(a) 条件

- ・ DMAEビットが、“1” (DMAi がアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- ・ DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く（注1）。
- (2) DMAiが初期状態（注2）になっていることを、プログラムで確認する。
DMAi が初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0” (DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。
DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモード及びストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
- (3) 低速モードおよび低消費電力モード時には周辺機能クロック停止ビット(CM02)に“1”を設定してウェイトモードに移行しないでください。
- (4) 内部システムクロックにfsYNを使用している場合、ストップモードになる前にf(XIN)に変更してください(周波数シンセサイザクロック制御レジスタのビット0を“0”にする)。

割り込みの注意事項

- (1) 00000₁₆番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

- (2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、NMI割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、NMI割り込みを含むすべての割り込みが禁止されています。

- (3) NMI割り込み

NMI割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、NMI端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

NMI端子は、入力専用のP8₅と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、NMI割り込みが入ったときの端子のレベル確定用にだけ使用してください。

NMI端子入力が“L”の状態ではリセットをかけないでください。

NMI端子入力が“L”の状態ではストップモードに移行しないでください。NMI端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

NMI端子入力が“L”の状態ではウェイトモードに移行しないでください。NMI端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

NMI端子に入力する信号には、CPUの動作クロックの(2クロック+300ns)以上の“L”レベル幅が必要です。

- (4) 外部割り込み

INT₀ ~ INT₂端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

INT₀ ~ INT₂端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。INT割り込み発生要因の切り替え手順例を図1.29.2に示します。

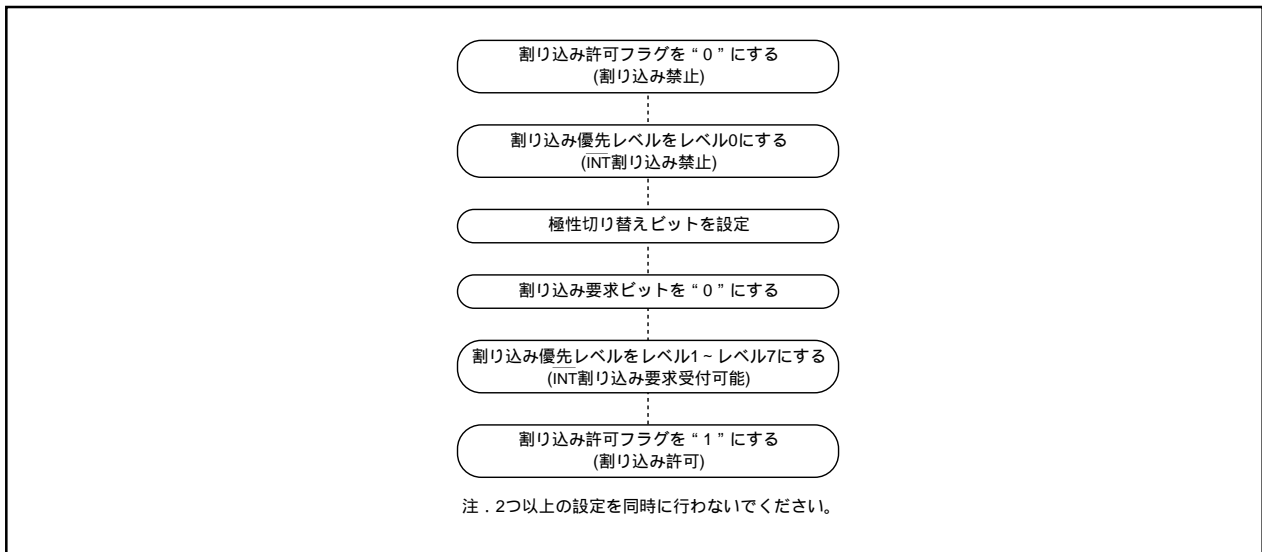


図1.29.2. INT割り込み発生要因の切り替え手順例

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を次に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >
アセンブラの場合

例1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H , 0054H ; タイマA0割り込み制御レジスタに “ 0016 ” を設定
  NOP
  NOP           ; HOLD 機能を使用する場合はNOP 命令が 4 個必要
  FSET   I           ; 割り込み許可状態
```

例2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H , 0054H ; タイマA0割り込み制御レジスタに “ 0016 ” を設定
  MOV.W  MEM , R0    ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H , 0054H ; タイマA0割り込み制御レジスタに “ 0016 ” を設定
  POPC   FLG        ; 割り込み許可状態
```

C言語の場合

```
#pragma ASM
  INT_SWITCH :
    FCLR I
#pragma ENDASM
  TA0IC  &=00 ; /* タイマA0割り込み制御レジスタに “ 0016 ” を設定*/
#pragma ASM
  NOP     /* HOLD 機能を使用する場合はNOP 命令が 4 個必要*/
  NOP
  FSET I
#pragma ENDASM
```

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

USB機能の注意事項

- (1) 通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。
- (2) USB2.0仕様では、ドライバインピーダンス28 ~ 44 Ω が規定されています(7.1.1.1 Full-speed(12Mb/s) Driver Characteristics を参照してください)。この規格を満足するために、USB D+端子とUSB D-端子に直列抵抗(推奨値 27 ~ 33 Ω)を接続してください。また、USB D+端子/USB D-端子とVss端子の間にコンデンサを接続してください。これらのコンデンサはリングングを抑えるため、もしくはD+/D-の立ち上がり、立下がり時間及びクロスオーバーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。
- (3) D+端子、又はD-端子にチョークコイルを接続しないことを推奨します。
- (4) USB接続 / 非接続機能(Attach/Detach)を使用しない場合は、UVcc端子とUSB D+端子間を1.5k Ω の抵抗を介して接続してください (D+ラインプルアップのタイミングはUVcc端子に依存します)。USB接続 / 非接続機能(Attach/Detach)を使用する場合は、P90/ATTACH端子とUSB D+端子間を1.5k Ω の抵抗を介して接続してください。USB接続 / 非接続機能の使用に関わらず、UVcc端子は電源に接続してください。また、ホストPCがUSB接続 / 非接続を認識するまでの時間は、基板抵抗成分・容量成分、USBケーブル容量、ホストの基板特性と処理速度など、全システムの状態によって異なります。実際にご使用になるシステムで十分な評価を行ってください。
- (5) USB機能割り込みがエラーにより発生した場合、その割り込みサービスルーチンはエンドポイント0割り込みサービスルーチンより優先度を高く設定してください。USB機能割り込み発生時、次の処理を行ってください。図1.29.3にフローチャート例を示します。
 - Step 1. エラー割り込みステータスフラグ(INTST8)とEP0CSのSETUP_ENDフラグがともに“1”であるか判定します。ともに“1”であれば、CLR_SETUP_ENDビット“1”にセットしてStep 2.に進みます。
 - Step 2. エンドポイント0 IN FIFOへの書き込み中で、EP0CSのSET_IN_BUF_RDYビットが“1”にセットされていないか確認します。SET_IN_BUF_RDYビットが“0”の場合、SET_IN_BUF_RDYビットを“1”にセットし、次のEP0割り込み発生後、Step 3.に進みます。
 - Step 3. EP0CSのOUT_BUF_RDYフラグとSETUPフラグがともに“1”であるか判定します。ともに“1”であればStep 4.に進みます。
 - Step 4. 現在のコントロール転送SETUPステージのDATA0パッケージがコントロールRead転送によるものであるか確認します。Yesの場合、エンドポイント0 IN FIFOへの書き込みを完了してからEP0CSのCLR_OUT_BUF_RDYビット、SET_IN_BUF_RDYビット及びCLR_SETUPビットを“1”にセットします。

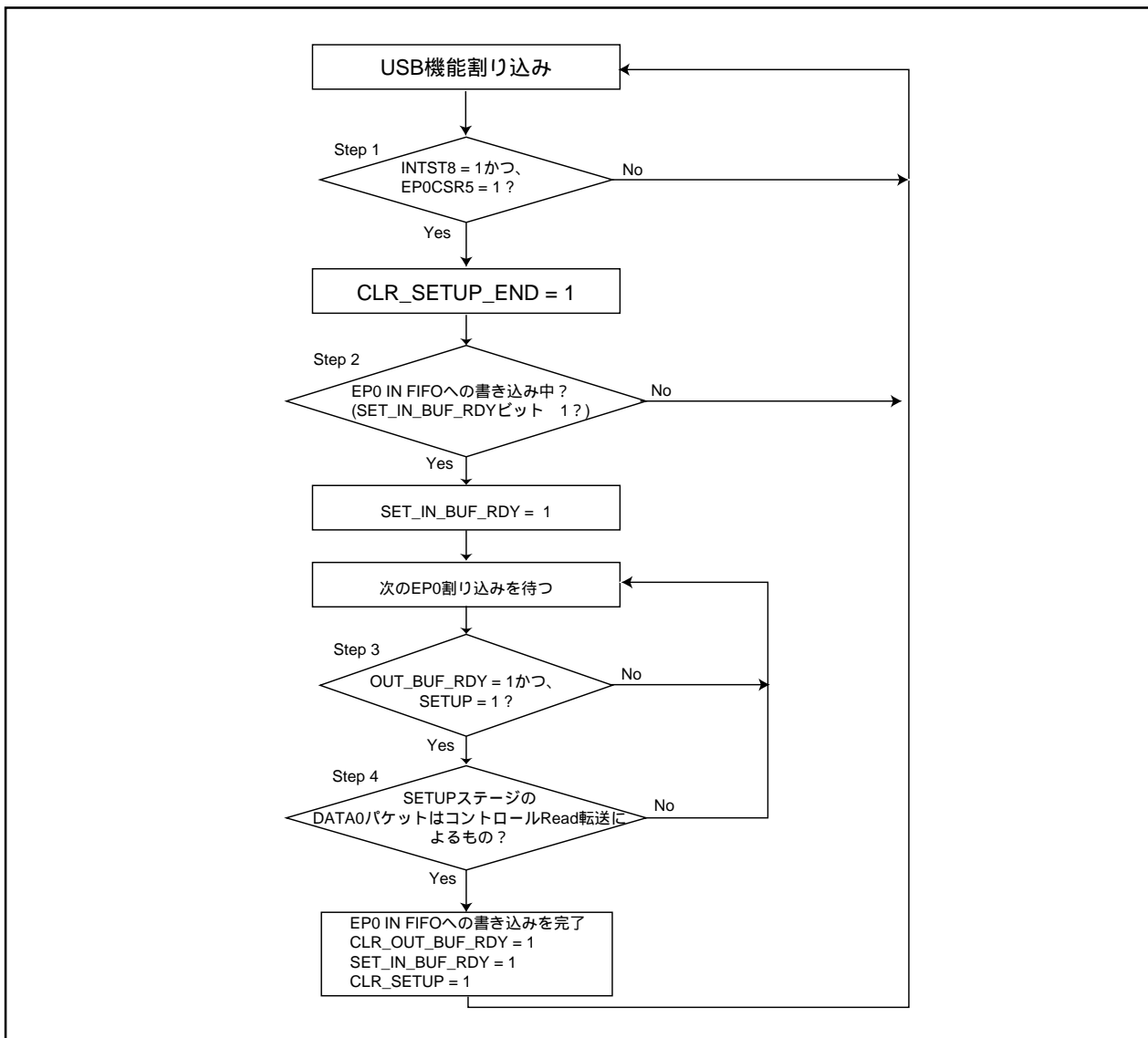


図1.29.3. フローチャート例(1)

- (6) エンドポイント0のエラーによる割り込みについて次の追加処理が必要です。図1.29.4にフローチャート例を示します。
- Step A. データパケットを受信終了しているか判定します。受信完了していればStep Bに進みます。
- Step B. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、CLR_OUT_BUF_RDYビット、CLR_SETUP_ENDビット及びSEND_STALLビットを“1”にセットします(SETUPフラグが“1”の場合にはCLR_SETUPビットも“1”にセットします)。
データ転送完了していた場合はStep Cに進みます。
- Step C. エンドポイント0 OUT書き込みカウントレジスタの値と等しいバイト数分のデータをEP0 OUT FIFOから読み出します。コントロールWrite転送の最後のDATAパケットであるか判定します。
YesであればStep D_0へ、NoであればStep E_0に進みます。
- Step D_0. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、CLR_OUT_BUF_RDYビット、CLR_SETUP_ENDビット及びSEND_STALLビットを“1”にセットします(SETUPフラグが“1”の場合にはCLR_SETUPビットも“1”にセットします)。
データ転送完了していた場合は、CLR_OUT_BUF_RDYビット、CLR_DATA_ENDビットを“1”にセットします(SETUPフラグが“1”の場合にはCLR_SETUPビットも“1”にセットします)。
Step D_1に進みます。
- Step D_1. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、SEND_STALLビットを“1”にセットし、Step F_0に進みます。
データ転送完了していた場合は、次のEP0割り込み発生後、Step Aに進みます。
- Step E_0. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、CLR_OUT_BUF_RDYビット、CLR_SETUP_ENDビット及びSEND_STALLビットを“1”にセットします(SETUPフラグが“1”の場合にはCLR_SETUPビットも“1”にセットします)。
データ転送完了していた場合は、CLR_OUT_BUF_RDYビットを“1”にセットします(SETUPフラグが“1”の場合にはCLR_SETUPビットも“1”にセットします)。Step E_1に進みます。
- Step E_1. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、SEND_STALLビットを“1”にセットし、Step F_0に進みます。
データ転送完了していた場合は、次のEP0割り込み発生後、Step Aに進みます。
- Step F_0. EP0CSのOUT_BUF_RDYフラグとSETUPフラグがともに“1”にセットされているか判定します。Yesの場合、Step F_1に進みます。Noの場合、次のEP0割り込み発生後Step F_0に進みます。
- Step F_1. 設定したサイズのデータを転送する前に制御終了したか判定します。
データ転送完了前に制御終了していた場合、CLR_OUT_BUF_RDYビット、CLR_SETUPビット及びCLR_SETUP_ENDビットを“1”にセットします。次のEP0割り込み発生後Step F_0に進みます。
データ転送完了していた場合は、CLR_OUT_BUF_RDYビットとCLR_SETUPビットを“1”にセットし、SEND_STALLビットを“0”にクリアします。
- (7) USB機能割り込みステータスフラグを“0”にクリアする場合、以下の手順で行ってください。
- 1: USBIEを変数 / データレジスタに退避
 - 2: USBIEに“0016”を書き込む(全てのビットを割り込み禁止にする)
 - 3: USBICに書き込む(対応するUSB機能割り込みステータスフラグを“0”クリア)
 - 4: 変数 / データレジスタに退避した値をUSBIEに書き込む

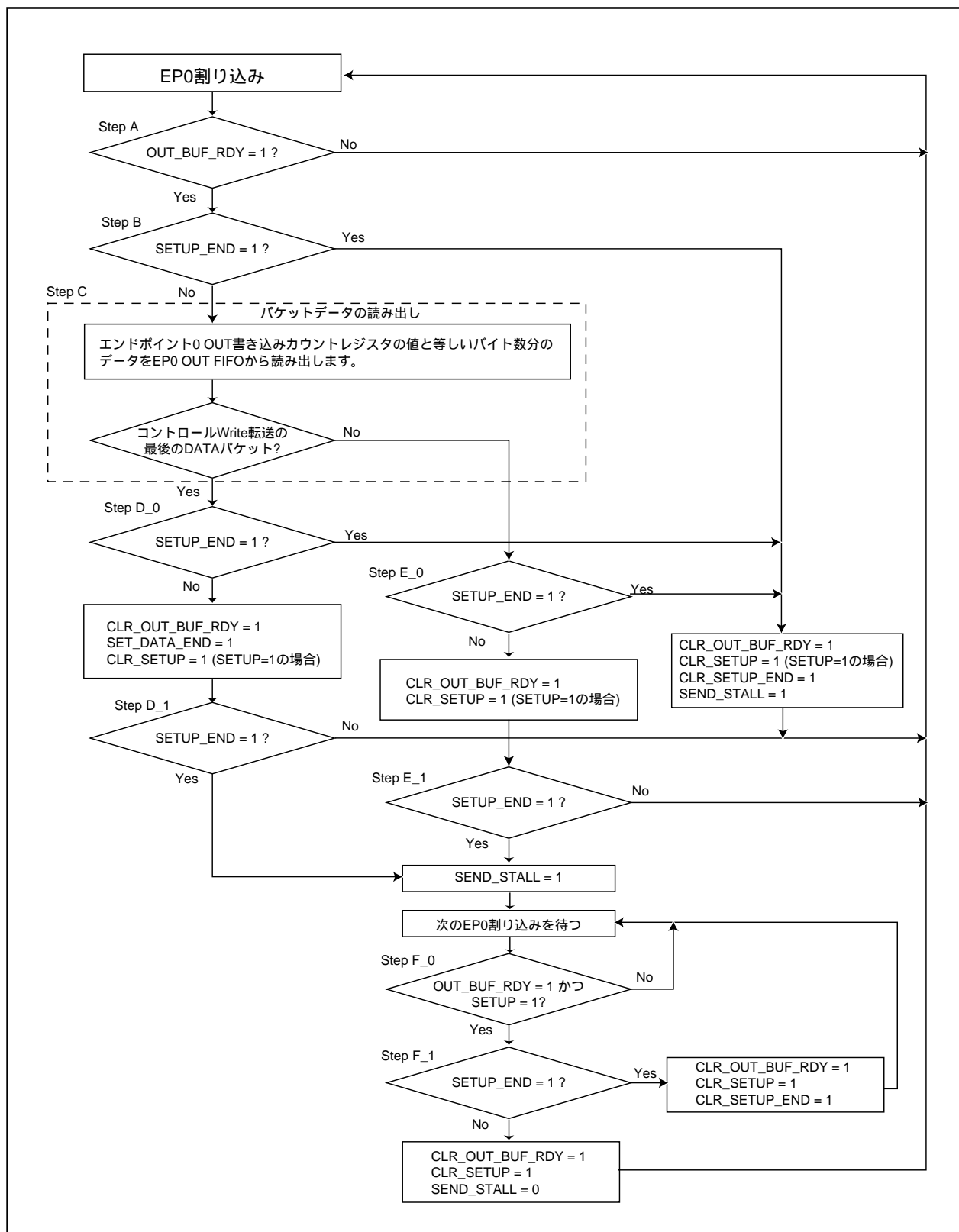


図1.29.4. フローチャート例(2)

HOLD 信号使用の注意事項

HOLD入力を使用する場合は、シングルチップモードからマイクロプロセッサモードまたはメモリ拡張モードに移行する前に、P40～P47、P50～P52を入力に設定してください。

消費電力を小さくする場合の注意事項

A/D変換を行わない場合、AD制御レジスタ1のVREF接続ビットでVREF未接続を選択してください。A/D変換を行う場合、VREFを接続してから1 μ s以上経過した後、A/D変換をスタートさせてください。

マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張モード、シングルチップモードへの遷移後の注意事項

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです。そのため内部ROM領域がアクセスできません。

リセット解除後CNVss端子を“H”の状態からマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードまたはシングルチップモードに移行しても、内部ROMのアクセスはできません。

CNVss 端子を“H”でリセットするときの注意事項

CNVss端子を“H”にしてリセットすると、内部ROMは読み出せません。

ノイズに関する注意事項

Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

入力専用の注意事項

図1.29.5の回路例のように異なる電源がシステムに供給される場合で、使用しない入力専用端子の入力電圧が、Vcc端子の電圧より高くなる場合は、入力専用端子を直接、電源に接続しないでください。矢印に示す回路例のように、1k程度の抵抗を介して電源に接続してください。上記の注意事項は、電源投入時の電源の立ち上がりが異なる場合も当てはまります。

入力専用端子の電圧がVcc端子の電圧より高くなると、ラッチアップが発生する原因となります。

* : Vcc端子の電圧が入力専用端子の電圧と等しいか、より高い場合は、抵抗は必要ありません。

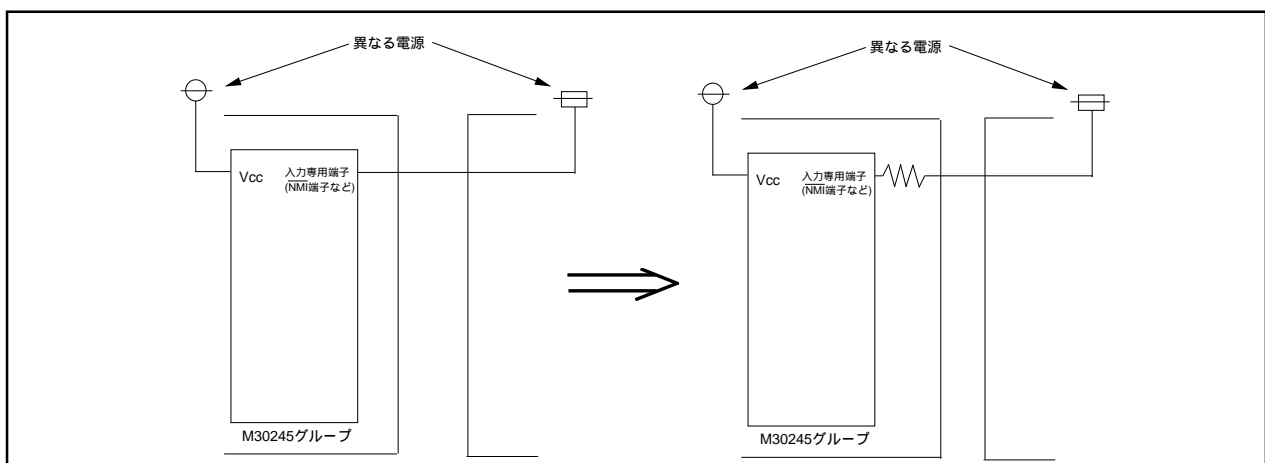


図1.29.5. 回路例

フラッシュメモリ版 / マスクROM版の相違点に関する注意事項

フラッシュメモリ版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターン相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

マスクROM版の注意事項

マスクROM版の内部ROM領域に対して、書き込みを行わないでください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ…………… フロッピーディスク

*フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。

*マスク化確認書及びマーク指定書につきましては、
ルネサステクノロジホームページ
(<http://www.renesas.com>)「ROM 発注」を参照してください。

PLQP0100KB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g

NOTE)

1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	0.1	0.15
b _p	0.15	0.20	0.25
b ₁	—	0.18	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
β	0°	—	8°
ⓔ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z _D	—	1.0	—
Z _E	—	1.0	—
L	0.35	0.5	0.65
L ₁	—	1.0	—

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
暫定B	2002.03.31	88 100 103 121 134 149 171 181 182 183 ~ 234 ~	<p>Artificial SOF 機能 : 「フレーム開始から 1ms 以内」を追加</p> <p>BUF_SIZ : 設定値 01002 00112、ダブルバッファ時の説明追加。</p> <p>表 1.13.18 : EPxIFC, BUF_SIZ の設定値 : 0000 : IN FIFO バッファサイズ = 0 =64 0001 : IN FIFO バッファサイズ = 64 =128 0010 : IN FIFO バッファサイズ = 128 =192</p> <p>BUF_SIZ : 設定値 01002 00112、ダブルバッファ時の説明追加。</p> <p>表 1.13.22 : EPxOFC, BUF_SIZ の設定値 : 0000 : OUT FIFO バッファサイズ = 0 =64 0001 : OUT FIFO バッファサイズ = 64 =128 0010 : OUT FIFO バッファサイズ = 128 =192</p> <p>図 1.15.5 : ONSF の注 2 : 機能選択レジスタの記述削除</p> <p>図 1.16.5 : UiSMR2, bit7 に注 1 を入れた</p> <p>図 1.18.5 : 上下の図それぞれの Tc に「または 16(n+1)/fEXT」を追加、 下の図の BRG2 BRGi, RxD2 RxDi, TxD2 TxDi, 注 1 注 2</p> <p>図 1.22.2 : CRCSAR のアドレス : 03B516, 03B516 番地 03B516, 03B416 番地</p> <p>図 1.23.9 : PUR1 の注 2 修正</p> <p>表 1.23.1 : UVcc 修正 (開放 Vcc 接続)</p> <p>図 1.23.10 : UVcc 修正 (開放 Vcc 接続)</p> <p>フラッシュ説明追加</p> <p>注意事項追加</p>
暫定C	2002.06.10	1 4 9 11 18 19 21 ~ 23 21 36, 37 42 51 53	<p>最短命令実行時間 62.5ns (f(XIN)=16MHz))に修正、DMAC に (31 要因)を追加、 電源電圧の(f(XIN)=12MHz) (f(XIN)=16MHz)、 プログラマブル入出力ポート 81 本 82 本(NMI 端子を除く)に修正</p> <p>表 1.1.1 : 最短命令実行時間 62.5ns (f(XIN)=16MHz))に修正、DMAC に (31 要因) を追加、 入出力ポート P9 : 4 ビット × 1 3 ビット × 1、 電源電圧 : (f(XIN)=12MHz) (f(XIN)=16MHz)</p> <p>端子の機能表 : UVcc の入出力 : 入力 空欄に修正、AND Flash 関連端子名削除</p> <p>端子の機能説明 (3/3): 入出力ポート P8 の説明 : P86(Xout 端子) P86(Xcout 端子)、 P8, P9, P10 に各端子名を追加</p> <p>図 1.5.3 : 各 UART 受信 / 送信割り込み制御レジスタ名修正 UART0 受信 / ACK / SSI0 ~、UAR1 受信 / ACK / SSI1 ~、UART2 受信 / ACK ~、 UART3 受信 / ACK ~、UART0 送信 / NACK / SSI0 ~、UAR1 送信 / NACK / SSI1 ~、 UART2 送信 / NACK ~、UART3 送信 / NACK ~</p> <p>図 1.5.4 : SS インタフェース x rate feedback レジスタ SS インタフェース x RF レジスタに変更 (他該当箇所 : Page23, 図 1.5.8)</p> <p>図 1.5.6 ~ 1.5.8 : 注意追加</p> <p>図 1.5.6 : UART0, 1 の受信 / 送信割り込み制御レジスタ名修正 UART0 受信 / ACK / SSI0 ~、UAR1 受信 / ACK / SSI1 ~、 UART0 送信 / NACK / SSI0 ~、UAR1 送信 / NACK / SSI1 ~</p> <p>図の点線修正</p> <p>ストップモード : 上から 6 行目 : UARTi (i = 0 ~ 2)、SIO3,4 UARTi (i = 0 ~ 3)</p> <p>表 1.10.2 : 注 3 より「SS 端子選択時障害エラー割り込みが選択されます。」削除</p> <p>図 1.10.3 : 上の図 : SiTIC (i=0 ~ 2) (i=0 ~ 3)</p>

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
暫定C	2002.06.10	62	キー入力割り込み端子(KI0 ~ KI15) ($\overline{KI0}$ ~ $\overline{KI7}$)
		69	BCLK が 12MHz 16MHz にし、監視タイマの周期 約 32.77ms に修正
		72	表 1.12.2 : 1MHz 時の FSM 値修正、表 1.12.3 に注 1 追加
		73	図 1.12.2 : FSCCR に FSCCR4 追加
		75	「USB エンドポイント FIFO」説明下から 3 行目 : 「 ~ 2 倍が IN FIFO として ~ 」 「 ~ 2 倍が IN/OUT FIFO として ~ 」
		76	「連続送信モードは ~ 」 EP0 の連続転送機能削除による関連説明削除
		77, 78	連続送信 / 受信モード時の注意事項を全て削除
		79	2 : ダブルバッファ時の説明の配置のみ変更
		80	4 : シングルバッファ時、ダブルバッファ時の説明の配置のみ変更
		82	20 行目付近「ショートパケット、又は、BUF_SIZ 以下のデータを受信した場合 ~ CLR_OUT_BUF_RDY ビットを“1”にセットしてください。」を削除
		86	USB SOF 割り込み : 「約 125ns(USB クロック 16MHz の 2 周期)」に修正
		88	1 行目 : USB エンドポイント x(x=1 ~ 4) OUT FIFO データレジスタ (x=0 ~ 4)、 4 行目 : 「EPxI、EPxO にバイトアクセスした場合、下位バイトのみアクセスされます」 「 ~ ワードアクセスした場合、 ~ 」 最後の行 : 「(f(XIN)=12MHz 時、 の約 3 サイクル分)」を削除
		91	図 1.13.6 : INTST8 「割り込みエラーステータスフラグ」 「エラー割り込み ~ 」
		92	図 1.13.7 : INTCL8 「割り込みエラーステータスクリアフラグ」 「エラー割り込み ~ 」
		93	図 1.13.8 : INTST8 INTEN8
		95	図 1.13.12 : USBDMAx の bit0, 5 を予約ビットに修正
		97	図 1.13.14 : EP0MP の bit7, 8 を予約ビットに修正
		99	図 1.13.18 : EPxIFC の注 1 の該当箇所を 0 : の場合から 1 : に移動
		102	図 1.13.22 : EPxOFC の注 1 の該当箇所を 0 : の場合から 1 : に移動
		103	図 1.13.23、図 1.13.24 : EPxI と EPxO の注 2 をそれぞれ修正
		104	図 1.13.25 修正
		105	図 1.13.27 : 電圧と注を追加
		108,109	DMxSL(x=0 ~ 3)レジスタ図 : リセット値 0000 ₁₆ 00 ₁₆ 、 b0 ~ b4="00000" 時 : 禁止 DMA 禁止、 これ以外の「禁止」と「(注 3)」を「使用禁止(注 3)」に修正
		120	図 1.15.5 : ONSF の TAZIE ビット 予約ビットに修正
		124	図 1.15.7 : TAiMR の bit2 の x 空白に修正 (イベントカウンタモード時)
		130	図 1.16.2 : UiTB, UiRB の各ビット R/W を修正
		144, 149	図 1.18.3、図 1.18.6、図 1.18.7 : パリティ パリティビット
		162 ~	「シリアルサウンドインタフェース」節を追加
		178	SFR アクセス監視機能 : 「対象となる SFR は USB 関連レジスタと UART 関連レジスタです」を追加
		180	図中 M16C M30245
		181	プログラマブル入出力ポートは、P0 ~ P10(P8 ₅ は除く)の 83 本 82 本
		186	図 1.23.6 : PCR の bit1 ~ 3 を予約ビットに修正
		187	図 1.23.7 : PD9 の注 1 削除(プロテクトレジスタ設定の注意)
190	表 1.23.1 : 注 2,3 を追加、表 1.23.2 : UVcc を追加、注 2 ~ 5 追加		
192 ~	「電気的特性」節を追加		
221	端子の機能説明 : 「電源入力」修正		

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
暫定C	2002.06.10	243 255 257 258 260 261 ~	図 1.28.24 : CLK1 を削除 タイマ A 注意事項(ワンショットタイマモード)に(3),(4)追加 DMA の注意事項を追加 ストップモード、ウェイトモードの注意事項を追加 割り込みの注意事項を「割り込み」項のものとあわせた USB 機能、 $\overline{\text{HOLD}}$ 信号使用、消費電力を小さくする場合、 マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張 モード、シングルチップモードへの遷移後、CNVss 端子を“ H ”でリセット するとき、入力専用の注意事項をそれぞれ追加
1.0	2003.04.15	全ページ 2 4 7 11 16 20 22 26 34 40 42 46 64 71 72 73 85 86 87 88 105 120 121 125 130 131 132	USB 仕様 Ver.2.0 USB2.0 仕様, 社名変更: 三菱電機 ルネサステクノロジ 図 1.1.1 : VbusDTCT を入力に修正 消費電流記載、消費電力、入出力特性、素子構造削除 端子一覧表(1/2): I ² C 欄に CLK0 ~ CLK3 追加 ポート P9 : 「プロテクトレジスタの設定により、P9 方向レジスタへの過った書き 込みを防ぎます。」削除 ソフトウェアリセット: 説明追加 図 1.5.5 : SFR 監視アドレスレジスタリセット値修正 図 1.5.7 : 誤記 USB SAR0 ~ 3 USB DMA0 ~ 3 図 1.6.1 : PM1 に注 2 追加 注 2 追加 (1)メインクロック: 「メインクロック発振回路の駆動能力を弱めると消費電力は 低減します。」削除、(2)サブクロック: 「サブクロック発振回路の駆動能力を弱め ると消費電力はさらに低減します。」削除 表 1.9.3 : BHE を "H" に修正 図 1.9.6 : bit7-3 を「書き込む場合 "0"」に修正 図 1.10.13 : KUPM: bit1, b0="01"= 立ち上がりエッジ、bit1, b0="10"= 両エッジに修正 表 1.12.1 項目追加 表 1.12.3 項目追加 図 1.12.2 : FSC, bit2,1 = "10" を推奨に修正 USB エンドポイント 0 割り込み発生要因に「SETUP_END フラグが "1" にセット された時」を追加、USB 機能 割り込み発生要因に「コントロール Read 転送の 最後のデータステージで ACK が破損した場合」を追加 USB SOF 割り込み: 約 125ns(USB クロック 16MHz の 2 周期) 約 166ns(USB クロック 12MHz の 2 周期) Artificial SOF 説明修正 最低 250ns の遅延 187.5ns(BCLK の 3 サイクル) 図 1.13.27 : 注 2 追加 図 1.15.5 : UDF, bit5-7 の R を - に修正 図 1.15.6 : MR0 の注 2 削除 図 1.15.8 : MR0 の注 2 削除 図 1.16.2 : ABT の W を に修正、注 1 削除 図 1.16.3 : UiMR のリセット値不定 00 ₁₆ 図 1.16.4 : UiC0, NCH : TxDi 端子 TxDi/SDi 及び SCLi 端子、注 2 修正、注 4 追加 UiC1, bit7 のクロック分周同期化停止ビット(SCLKSTPB)削除、注 1 削除

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	2003.04.15	133	図 1.16.5 : UiSMR, bit7 : クロック分周設定ビット削除 UiSMR2, bit7 : クロック分周同期化有効ビット、注 1 削除
		136	表 1.17.1 : 割り込み要求発生タイミング 送信時 : 次の条件のいずれかを選択 できます。追記、オーバーラン発生条件修正。
		138	図 1.17.1 : 受信タイミング図中、TI, RSTi, RI のタイミング修正
		140	TxD、RxD 入出力極性切り替え機能 説明追加
		141	表 1.18.1 : 送信開始条件中、「対応する機能選択レジスタ A,B,C ~」を削除、 ・割り込み要求発生タイミング 送信時 : 次の条件のいずれかを選択 できます。追記、オーバーラン発生条件修正、注 3 修正。
		142	表 1.18.2 : LSB ファースト /MSB ファースト 選択を追加
		144	LSB ファースト /MSB ファースト 選択、図 1.18.3 追加、以降の図番号修正
		146	表 1.18.4 : 「その他設定項目」中、RxD を削除
		148	図 1.18.6 : SIM インタフェース送信 : 転送クロックと TI タイミング修正
		151	N チャンネルオープンドレイン出力設定 : 033C ₁₆ 番地削除、
		152	表 1.19.1 : 5 に P63, P67 追加、6 に P62, P66 追加、7 に P61, P65 追加
		152	図 1.19.1 : ブロック図修正。
		153	UARTi 特殊モードレジスタのビット 7 の説明削除
		155	UARTi 特殊モードレジスタ 2 のビット 7 の説明削除
		158	図 1.19.5:CKDIR 値を修正
		159 ~ 161	ヘッダタイトルを「特殊モード」に修正
		173	図 1.12.2 : ADCON0, bit7 : 0:fAD/3 又は fAD/4 を選択、1:fAD 又は fAD/2 を選択に 修正
		178	SFR アクセス監視対象 SFR に SS インタフェース関連レジスタを追加
		179	図 1.22.2 : CRCMR, CRCSAR のリセット値の修正、CRCSAR に注を追加
		187	図 1.23.7 : PD9 のリセット値の修正
		191	図 1.23.10 : 未使用端子処理 : シングルチップモード時、「UVcc は Vcc に接続」に 修正
		192 ~	電気的特性 : 条件の Ta Topr に全部修正
		192	表 1.24.1 : USB 関連データ追加、Pd データ確定、条件に UVcc 追加
		193	表 1.24.2 : USB 関連データ追加、注 3 追記
		193	表 1.24.3 : P6 の特性追加及び修正、VOH, VOL : XOUT 条件及びデータ修正、 USB 関連データ追加、Icc 修正、RfXCIN データ修正
		194	表 1.24.4 : Isusp データ追加修正
		195	表 1.24.5 : 絶対精度追加修正、RLADDER データ確定
		195	表 1.24.6 : データ確定
		196	表 1.24.7 : tac3(RD-DB)削除、データ確定
		196	表 1.24.8 : tW(TAH)データ修正
197	表 1.24.9 : データ修正、注追加		
197	表 1.24.14 : データ修正		
198	表 1.24.16 : Vbus 検出割り込みタイミング表追加		
198	表 1.24.17 : タイトルから (ウエイトなし) 削除、データ確定、th(WR-CS)追加、 条件追加、注 1,2,3 追加		
200 ~ 202	暫定 Rev.C の表 1.24.17 削除 図 1.24.3 ~ 図 1.24.5 : 測定条件削除		

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	2003.04.15	201 202 221 260 ~ 266	<p>図 1.24.4 : 図中の全データ値削除、DBi 追加修正</p> <p>図 1.24.5 : 図中の全データ値削除、DBi 追加修正</p> <p>図 1.28.1 : VbusDTCT を入力に修正</p> <p>USB の注意事項 : (1):「USB D+ 端子と USB D- 端子の間にコンデンサ接続」削除 (3):「Attach/Detach を使用しない場合」の記述追記、</p> <p>図 1.29.3, 1.29.4 追加、注意事項(4)(5)(6)追加</p> <p>マスク化発注時の提出資料 : EPROM に関する記述削除</p>
1.1	2003.10.10	2 6 22 23 25 26 30 34	<p>図 1.1.1. ピン接続図 : P1₀/D₈ について入力 入出力 に矢印を変更。</p> <p>図 1.1.4. 型名とメモリサイズ・パッケージ : 形名 型名 に変更。</p> <p>図 1.5.7. 周辺装置制御レジスタの配置 : 02FE₁₆, 02FF₁₆ 番地に「予約」と追記。</p> <p>図 1.5.8. 周辺装置制御レジスタの配置 : 誤記修正 (SSI₁ SSI₀, SSI₂ SSI₁)</p> <p>(1)プロセッサモードの種類 : 「シングルチップモード」, 「メモリ拡張モード」 説明文中に次の文を追記。 * ただし、リセット解除後 内部 ROM のアクセスはできません。</p> <p>(2)各モードの設定 : 次の文を変更。 * したがって、プロセッサモードビット以外のビット内容を書き替えるとき、 プロセッサモードビットが変化しないように注意してください。 プロセッサモードビットを "01₂" と同時に書き換えないでください。</p> <p>「CNV_{SS} 端子に V_{CC} を印加」に関する説明文より下線部を削除。 * にメモリ空間拡張なし (ノーマルモード) 時の各プロセッサモードの</p> <p>図 1.6.1. : プロセッサモードレジスタ 1 の構成中の b7 の内容を変更、注 2 を削除。 (変更前) b7 : ビット名 ... ウエイトビット(注 2), 機能 ... 0:ウエイトなし 1:ウエイトあり 注 2 : 内部 ROM 領域にソフトウエアウエイトを挿入する場合、BCLK は 8MHz 以上にしてください。</p> <p>図 1.8.1. : チップセレクト拡張レジスタの構成中の機能の内容を変更、注 1 を追記。 機能 11 : 未使用 11 : 使用禁止</p> <p>(9)ソフトウエアウエイトに関する次の文を変更 又は 削除。 <変更前は次のとおり> * プロセッサモードレジスタ 1 (0005₁₆ 番地)(注 1)のウエイトビット(ビット 7)、チップセレクト制御レジスタ (0008₁₆ 番地)のビット 4 ~ ビット 7、及びチップセレクト拡張レジスタ (001B₁₆ 番地)によって、BCLK の 1 ~ 4 サイクルのソフトウエアウエイトを挿入することができます。 プロセッサモードレジスタ 1 のウエイトビットによって、内部 ROM/RAM 領域、および外部メモリ領域に対してソフトウエアウエイトを挿入することができます。このビットが "0" のときバスサイクルは BCLK の 1 サイクルで実行され、"1" にするとバスサイクルが BCLK の 2 サイクルになります。リセット解除後、このビットは "0" になっています。このビットが "1" のとき、チップセレクト制御レジスタのビット 4 ~ ビット 7 とチップセレクト拡張レジスタの内容によらず、全領域ウエイトあり(BCLK の 2 サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY 信号を使用する場合、チップセレクト制御レジスタのビット 4 ~ ビット 7 の該当するビットに "0" を設定する必要があります。プロセッサモードレジスタ 1 のウエイトビットが "0" のとき、チップセレクト制御レジスタのビット 4 ~ ビット 7 の値によって、チップセレクト信号で選択された 4 つの領域ごとにソフトウエアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット 4 ~ ビット 7 は <以下、次の箇所までは変更なしのため省略> * SFR 領域は、これらの制御ビットの影響を受けず、常に BCLK の 2 サイクルでアクセスされます。 * 注 1. プロセッサモードレジスタ 1 を書き替える場合、プロテクトレジスタ (000A₁₆ 番地)のビット 1 を "1" にしてください。 注 2. 内部 ROM 領域にソフトウエアウエイトを挿入する場合、BCLK は 8MHz 以上にしてください。</p>

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.1	2003.10.10	35	表 1.8.7. ソフトウェアウエイトとバスサイクルの一部を削除 又は 変更し、注 2 を追記。< 表の変更箇所は次のとおり > * PM17(PM1, bit7)に関する内容を全て削除。 * 内部 ROM/RAM 領域、外部メモリ領域について PM17(PM1, bit7)が「1」のときの内容を全て削除。 * 外部メモリ領域に関する次の箇所を変更。 CSxW : 0, CSExW : 11 のとき バスサイクル : 無効 設定禁止 CSxW : 1 のとき CSExW : 無効 00
		55	割り込み制御レジスタの変更に関する次の文を追記。 * また、割り込み要求ビットを "0".....MOV 命令を使用してクリアしてください。
		65	アドレス一致割り込みに関する次の文を追記。 * なお、外部データバスを 8 ビットで アドレス一致割り込みは使用できません。
		97	USB エンドポイント 0 最大パケットサイズレジスタに関する次の箇所を変更。SET_DESCRIPTOR リクエストGET_DESCRIPTOR リクエスト
		105	図 1.13.27. Vbus 検出割り込みのタイミング : 注 2 を追記し、Vbus 検出割り込み要求ビットに関する図に注 1、注 2 の内容を反映させた。
		131	図 1.16.3. : UARTi 送受信モードレジスタに関する図に注 3 を追記。
		134	図 1.16.6. : UARTi 特殊モードレジスタ 3 に関する図中の DL0 ~ DL2 の機能に関する内容の一部 (次の箇所) を変更し、注 4 に次の文を追記。 * 2 サイクル 1 ~ 2 サイクル, 3 サイクル 2 ~ 3 サイクル, 4 サイクル 3 ~ 4 サイクル, 5 サイクル 4 ~ 5 サイクル, 6 サイクル 5 ~ 6 サイクル, 7 サイクル 6 ~ 7 サイクル, 8 サイクル 7 ~ 8 サイクル * 注 4 に「遅延量は SCLi 端子、SDAi 端子の負荷により変化します。」を追記。
		167	図 1.20.7. SSI 関連レジスタ(1) : 注 1 の内容を変更。 < 変更前 > SSiTXB.....注 1. 2 バイト単位でデータを書き込んでください。 SSiRXB.....注 1. 2 バイト単位でデータを読み出してください。
		192	表 1.24.1. 絶対最大定格 : Vi に関する項目の次の箇所を変更。 (マスク ROM 版:CNVss, BYTE) CNVss, BYTE
		194	表 1.24.6. フラッシュメモリの電気的特性を追記。
		195, 198	td(BCLK-HLDA)に関する内容を、タイミング必要条件関連の「表 1.24.8. メモリ拡張およびマイクロプロセッサモード」より削除し、スイッチング特性関連の「表 1.24.19. メモリ拡張およびマイクロプロセッサモード」に追記。
		197	表 1.24.15. シリアル I/O より「td(C-Q)」「th(C-Q)」に関する内容を削除。
			表 1.24.18. シリアルサウンドインタフェースを追記。
		198	表 1.24.20. シリアル I/O を追記。
		199	表 1.24.21. シリアルサウンドインタフェースを追記。
		200	図 1.24.2. タイミング図(1): CLKi について「tr(CK)」「tf(CK)」に関する図を追記。
		201	図 1.24.3. タイミング図(2): SSI タイミング図を追記。
		202	図 1.24.4. タイミング図(3): SSI タイミング図を追記。
		211-212	図 1.26.2. CPU 書き換えモードの設定 / 解除フローチャート : 注 1 を変更。 CPU 書き換えモードの注意事項 : (1)動作速度の次の箇所を変更。 < 変更前 >BCLK を次の周波数以下に設定してください。 ウエイトビット(0005 ₁₆ 番地のビット 7)=0 (内部アクセスウエイトなし) 6.25MHz 以下 ウエイトビット(0005 ₁₆ 番地のビット 7)=1 (内部アクセスウエイトあり) 12.5MHz 以下
		260	DMA の注意事項(3)を追記

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.2	2004.02.03	1	特長 及び 目次に「ANDフラッシュメモリ制御回路」を追記。
		2	図 1.1.1. ピン接続図：76 ~ 78 ピンAND_OE, AND_WE, AND_SC を追記。 80 ~ 86 ピンAND_DATA7 ~ AND_DATA0 を追記。
		3	図 1.1.2. M30245 グループのブロック図：ANDフラッシュメモリ制御回路を追記。
		4	表 1.1.1. M30245 グループの性能概要：ANDフラッシュメモリ制御回路を追記。
		8	端子一覧表(2/2)：76 ~ 86 ピンの「その他」欄に AND_OE ~ AND_DATA0 を追記。
		9	端子の機能説明(1/3)：入出力ポート P0 に AND_DATA0 ~ AND_DATA7 を追記。 入出力ポート P1 に AND_SC, AND_OE, AND_WE を追記。
		132	図 1.16.4. UART 関連のレジスタ(3)：UiC1 図 * b7 の機能 (クロック同期形シリアル I/O モード) に「読み出した場合、その値は不定」を追記。 * 注 1 を追記。
		162, 164 166 ~ 167	シリアルサウンドインタフェース： * 本文 及び 図 1.20.1、図 1.20.2、図 1.20.4：XMIT 又は XMT STxD、RX SRxD * 図 1.20.6：RX ラインのデータ SRxD
		163	表 1.20.1. SSI の仕様 を追記。
		172	図 1.20.9. 32/24/16 ビット幅の DMA 要求タイミング (送信時) を追記。
		173	図 1.20.10. 32/24/16 ビット幅の DMA 要求タイミング (受信時) を追記。
		185	図 1.23.1. プログラマブル入出力ポートの構成(1): * P00 ~ P07、P10 ~ P12 の図を追記。 * 次の箇所を削除 (下線部) 及び変更： <u>P00 ~ P07</u> , <u>P20 ~ P27</u> , <u>P30 ~ P37</u> P10 ~ P17 P13 ~ P17
		189	図 1.23.6. ポート制御レジスタ： * b0：ビット名変更 (ポート P1 制御レジスタ ポート P1 制御ビット) * b1 ~ b3：予約ビット (必ず "0" を設定) OCTRL, WCTRL, AFPE
		193	表 1.23.2. メモリ拡張モード時の未使用端子処理例： AVSS, VREF、USB D+、USB D-、LPF、VbusDTCT 及び 注 6 を追記。
		195 ~ 196	AND フラッシュメモリ制御回路 に関する内容を挿入。
		202	タイミング必要条件：表 1.24.20. AND フラッシュメモリ制御回路 を追記。
		204	スイッチング特性：表 1.24.24. AND フラッシュメモリ制御回路 を追記。
208 ~ 209	図 1.24.7. タイミング図(4)、図 1.24.8. タイミング図(5) を追記。		
211 ~ 212	図 1.24.10. タイミング図(7)、図 1.24.11. タイミング図(8)： ADi, BHE の書き込みタイミング図中の th(WR-AD)に関する箇所を修正。		
265	シリアル I/O の注意事項(UART モード) を追記。		
1.3	2004.06.01	1	特長、目次：A-D 変換器 A-D 変換器 (A/D コンバータ)、 監視タイマ 監視タイマ (ウォッチドッグタイマ)
		2, 7	図 1.1.1. ピン接続図、端子一覧表(1/2)：次の箇所を変更 29 ピン：STxD1 XMT1、 30 ピン：SRxD1 RX1、 33 ピン：STxD0 XMT0、 34 ピン：SRxD0 RX0
		7	端子一覧表(1/2) の 27 ピン：RxD2 RxD2
		10	端子の機能説明(2/3)：入出力ポート P6 の次の箇所を変更。 STxD/SRxD STxD/RX、SRxD/STxD SRxD/XMT
		12	図 1.3.1. メモリ配置図：注 3 を追記。

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.3	2004.06.01	22 133 135 151	<p>図 1.5.7. 周辺装置制御レジスタの配置 : 02D8₁₆ ~ 02DF₁₆ を「USB 予約 予約」に</p> <p>図 1.16.5. UARTi 関連のレジスタ(4) : 次の箇所を変更。 UiSMR : *注 2 に「UART3 ではタイマ A3 のアンダフロー信号」を追記。 *注 3 を追記。 UiSMR2 : *注 1 を追記。</p> <p>図 1.16.7. UARTi 関連のレジスタ(6) UiSMR4 : 注 2 を追記。 IFSR : b3 ~ b5 に X 印を追記。</p> <p>次の文章又は下線部を削除。 * I²C バスインタフェース機能 I²C バスインタフェース機能(簡易 I²C バス)は、UARTi 特殊モードレジスタ 1(i=0 ~ 3)(03A7₁₆、0367₁₆、0337₁₆、0327₁₆ 番地)、UARTi 特殊モードレジスタ 2(i=0 ~ 3)(03A6₁₆、0366₁₆、0336₁₆、0326₁₆ 番地)によって実現します。UARTi 特殊モードレジスタ 3(i=0 ~ 3)(03A5₁₆、0365₁₆、0335₁₆、0325₁₆ 番地)によって、さらに特殊機能を付加できます。 * 1. I²C バスインタフェースモード * UARTi 特殊モードレジスタおよび UARTi 特殊モードレジスタ 2(i=0 ~ 3)の構成を図 1.19.1 に示します。 * I²C バスを使用する場合、マスタ、スレーブ側とも機能選択レジスタ</p> <p>表 1.19.1. I²C モード時の各機能 : 次の箇所を変更。 9 <機能欄> : ノイズフィルター ノイズフィルタ 10 <機能欄> : P7₁, P7₅ のリード P6₂, P6₆, P7₁, P7₅ のリード 11 <I²C モード欄> : ポート選択時に P7₀, P7₄ ラッチに設定した値 ポート選択時に P6₃, P6₇, P7₀, P7₄ ラッチに設定した値</p>
		152	<p>図 1.19.1. I²C モード機能ブロック図 : 一部修正 文章中の次の箇所(下線部)を追記。 UARTi 特殊モードレジスタ 1 : UiSMR (03A7₁₆、.....)</p>
		153	<p>ビット 4 ~ ビット 6 : 新設した IE モードの項(P161)を参照するよう記述内容を変更。 (変更前の記述内容は IE モードの項(P161)に記載。ただし、次の箇所を変更した。 ビット 4 : タイマ Ai タイマ Aj、RxDi 端子を を起動してください。)を追記。)</p>
		154	<p>旧 図 1.19.2. 機能タイミング を削除 下線部を追記 (UARTi 特殊モードレジスタ 2 : UiSMR2 (03A6₁₆、.....))</p>
		155	<p>下線部を追記 (UARTi 特殊モードレジスタ 3 : UiSMR3 (03A5₁₆、.....)) ビット 0、ビット 4 : SPI モードの項(P158)を参照するよう記述内容を変更。 (変更前の記述内容は SPI モードの項(P158)に記載) ビット 2、ビット 3 に関する記述を追記。</p>
		156	<p>下線部を追記 (UARTi 特殊モードレジスタ 4 : UiSMR4 (03A4₁₆、.....))</p>
		157	<p>図 1.19.4. SCL、SDA 出力選択ビットによって変更される各機能 : スレーブ時の図を削除。</p>
		158 ~ 160	<p>ヘッダーの項目を「特殊モード」 「シリアルインタフェース特殊機能 (SPI モード)」に変更</p>
		158	<p>下線部を削除 (2. シリアルインタフェース特殊機能(SPI モード)) 次の箇所を追記 「SPI モード関連の制御ビットに関して記述します。 ~ ビット 3, 5 ~ 7 : SPI モードには関連しません。」</p>
		159	<p>下線部を削除 (3. クロック位相設定機能)</p>
		161 ~ 162	<p>IE モードの項を追加</p>
		162	<p>I²C バスインタフェースモードの項(P154)にあった「機能タイミング」図を見直し 「図 1.19.9. バス衝突検出機能関連ビットの機能」として、IE モードの項に記載。</p>

改訂記録

M30245 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.3	2004.06.01	163	データ出力(STxD) データ出力(XMT)、データ入力(SRxD) データ入力(RX) 図 1.20.1. SSI システム図： 次の箇所を変更 (下線部は追記箇所) M30245 シリアルサウンドインタフェース スレーブ、STxD XMT、SRxD RX
		165	図 1.20.2. SSI の内部構成： STxD XMT、SRxD RX
		166	文中誤記修正： チャンネルデ - タ チャンネルデ - タ
		167	図 1.20.4. WS に同期したデータ送受信： STxD/SRxD XMT/RX
		173	図 1.20.9. 32/24/16 ビット幅の DMA 要求タイミング(送信時) * 32 ビット幅： DMA 要求ビット 「次の Lch データ書き込みのための DMA 要求」を示す矢印の位置を修正。 * STxD 端子 XMTi 端子 * 注を追記
		174	図 1.20.10. 32/24/16 ビット幅の DMA 要求タイミング(受信時) * STxD 端子 RXi 端子 * 24 ビット幅： 次の Lch データ(L1(31) ~ L1(0))受信 次の Lch データ(L1(23) ~ L1(0))受信
		203	表 1.24.19 シリアルサウンドインタフェース 旧表 1.24.23 シリアルサウンドインタフェースの内容に変更 ただし、次の箇所を変更 (SRxD RX、SRxDi RXi)
		205	表 1.24.23 シリアルサウンドインタフェース 旧表 1.24.19 シリアルサウンドインタフェースの内容に変更 ただし、次の箇所を変更 (STxD XMT、STxDi XMTi)
		207 ~ 208	図 1.24.5. タイミング図(2)、図 1.24.6. タイミング図(3) STxDi XMTi、SRxDi RXi、STxD XMT、SRxD RX
		277	「マスク ROM 版の注意事項」を追加。
		該当ページ	用語の統一： * VREF, Vref VREF * オーバーラン オーバラン
1.4	2004.07.01	113	DMAC の転送サイクル数「係数 j, k」の表の内容を変更
2.0	2006.10.03	-	型名 100P6Q-A PLQP0100KB-A に変更
		55	割り込み制御レジスタの変更 変更
		151	I ² C バスインタフェースモード 「I ² C バスを使用する場合、、、 SDAi を出力に設定してください。」 「I ² C バスをスレーブモードで使用する場合、、、 “1” を出力してください。」 表 1.19.1 11 I ² C モード (IICM=1)： 「方向レジスタの値に関係なく端子をリードする」 「外部クロックを使用しない場合、、、方向レジスタが “0” の場合に端子をリードする。」
		152	図 1.19.1 注 1 変更 ビット 0： I ² C モード選択ビット (IICM)： 「ポート(SCLi)は、、、読み出せるようになります。」 「外部クロックを使用しない、、、が読み出せるようになります。」
		172	SSI の注意事項 「・フラッシュメモリ版、、、BCLK の 3 サイクル以内」 追加
		272	USB 機能の注意事項 「(1) 通信の信頼性が求められる、、、」 追加
		279	パッケージ寸法図 変更

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com