

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

概要

M16C/62Tグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンまたは80ピンプラスチックモールドQFPに共通のチップが収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/62Tグループは、内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

特長

メモリ容量	ROM : 7ページ「図1.1.5. ROM展開」を参照してください。 RAM : 3Kバイト ~ 20Kバイト
最短命令実行時間	62.5ns(f(XIN)=16MHz、VCC=5V時)
電源電圧	マスクROM版 : 4.2V ~ 5.5V(f(XIN)=16MHz時、ウエイトなし) ワンタイムPROM版 : 4.5V ~ 5.5V(f(XIN)=16MHz時、ウエイトなし)
低消費電力	140mW(VCC=5V、f(XIN)=16MHz時)
割り込み	内部25要因、外部8要因(100ピン版)/5要因((80ピン版)、ソフトウェア4要因、7レベル(キー入力割り込みを含む))
多機能16ビットタイマ	入出力系5本 + 入力系6本(100ピン版) 入出力系3本 + 入力系5本(80ピン版)
内部16ビットタイマ	3本(80ピン版のみ) (注1)
シリアルI/O	UART/クロック同期形3本 + クロック同期形2本(100ピン版) UART/クロック同期形3本(内1本はUART専用) + クロック同期形2本(内1本は送信専用) (80ピン版)
DMAC	2チャンネル(スタート条件:24要因)
A-D変換器	10ビット × 8チャンネル(最大26チャンネルまで拡張可)
D-A変換器	8ビット × 2チャンネル
CRC演算回路	1回路
監視タイマ	1本
プログラマブル入出力	87本(100ピン版)、70本(80ピン版)
入力ポート	1本(P85、NMI端子と兼用)
メモリ拡張	可能(1.2Mバイト、4Mバイトの拡張)(注2)
チップセレクト出力	4本(M30622(100ピン版)のみ)(注3)
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

注1. 80ピン版では、外部端子への接続のないタイマを内部タイマとして使用できます。

注2. M16C/62Tグループではメモリ拡張の動作保証をしていません。

注3. 80ピン版では、チップセレクト出力は外部端子への接続がありません。

応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、自動車、他

目次

中央演算処理装置	12	タイマ	84
リセット	15	三相モータ制御用タイマ機能	102
プロセッサモード	28	シリアルI/O	114
クロック発生回路	43	A-D変換器	150
プロテクト	53	D-A変換器	161
割り込み	53	CRC演算回路	163
監視タイマ	72	プログラマブル入出力ポート	165
コールドスタート/ウォームスタート	73	電気的特性	182
DMAC	74	フラッシュメモリ版	189

概要

ピン接続図

図1.1.1に100ピン版のピン接続図(上面図)を、図1.1.2に80ピン版のピン接続図(上面図)を示します。

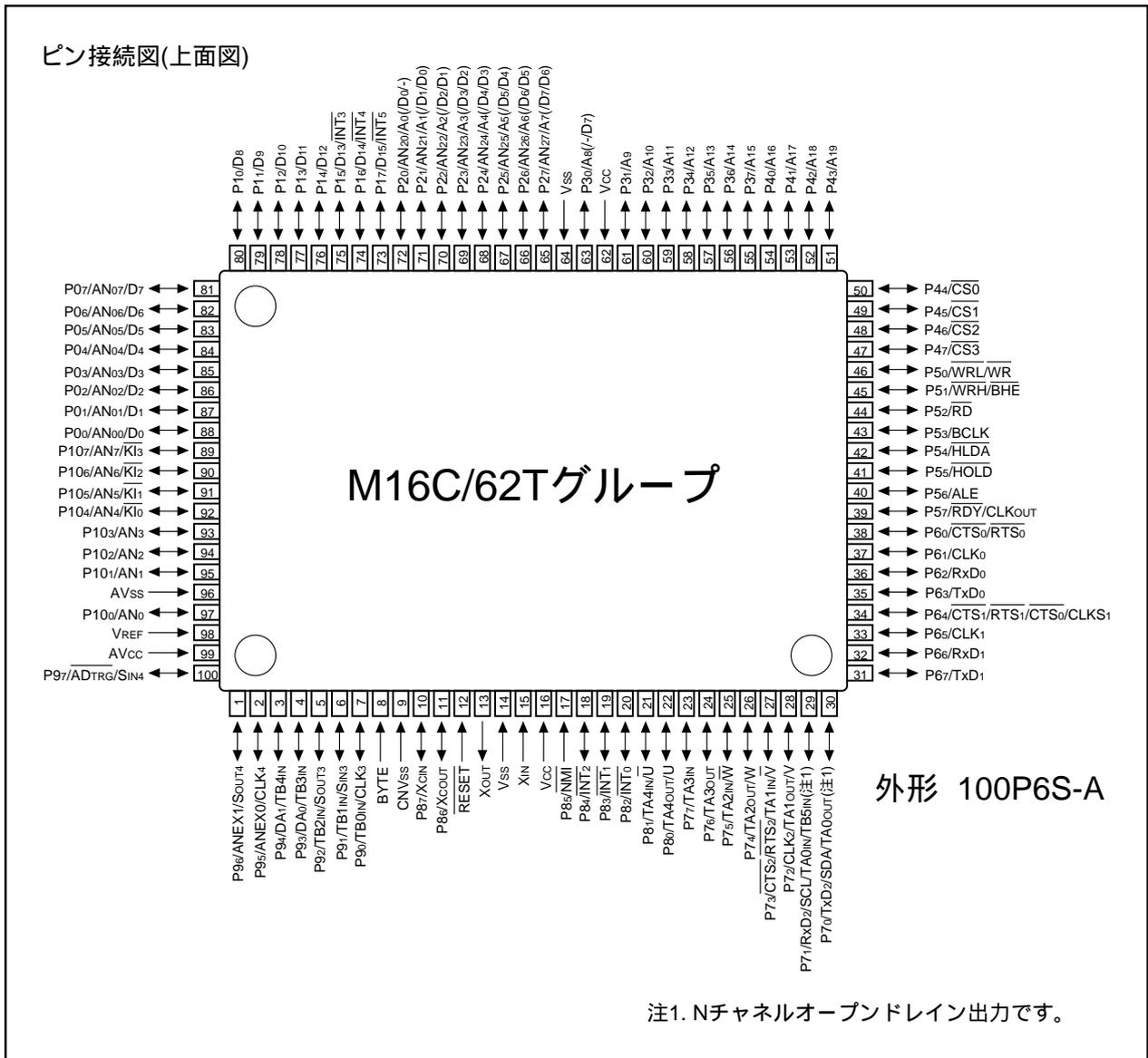


図1.1.1. 100ピン版のピン接続図(上面図)

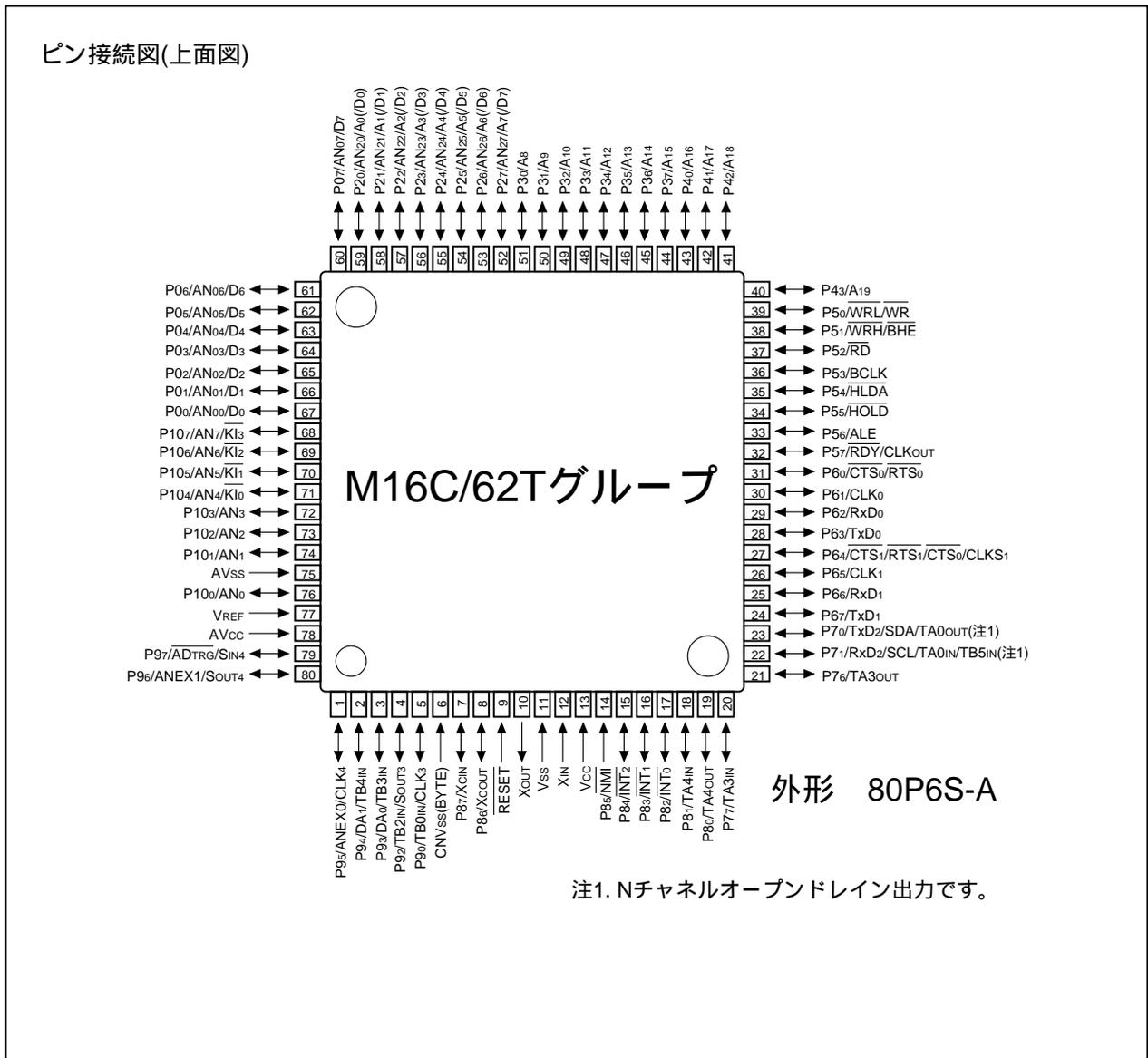
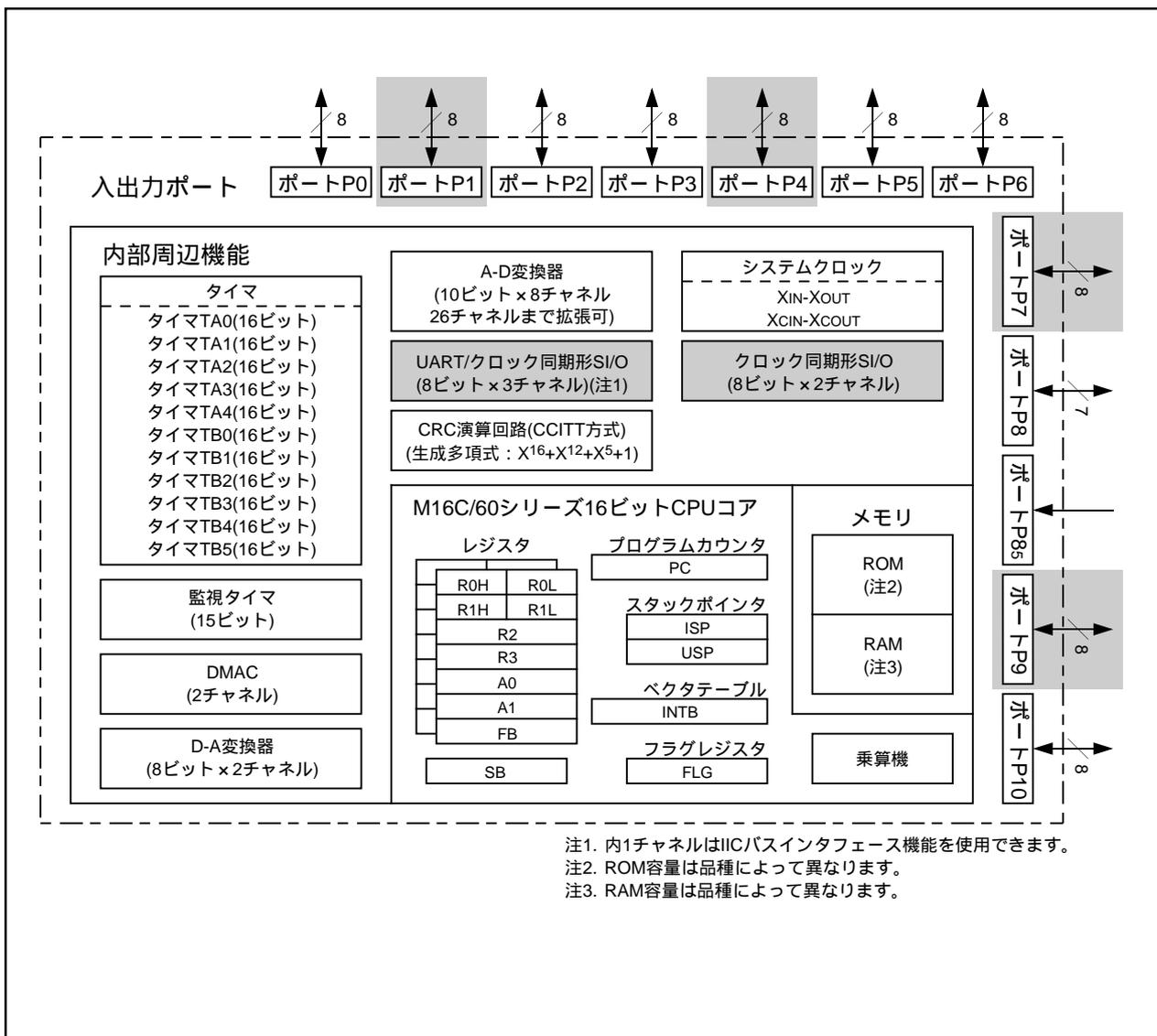


図1.1.2. 80ピン版のピン接続図(上面図)

概要

ブロック図

図1.1.3に100ピン版のブロック図を、図1.1.4に80ピン版のブロック図を示します。



注1. 内1チャンネルはIICバスインタフェース機能を使用できます。
注2. ROM容量は品種によって異なります。
注3. RAM容量は品種によって異なります。

図1.1.3. 100ピン版のブロック図

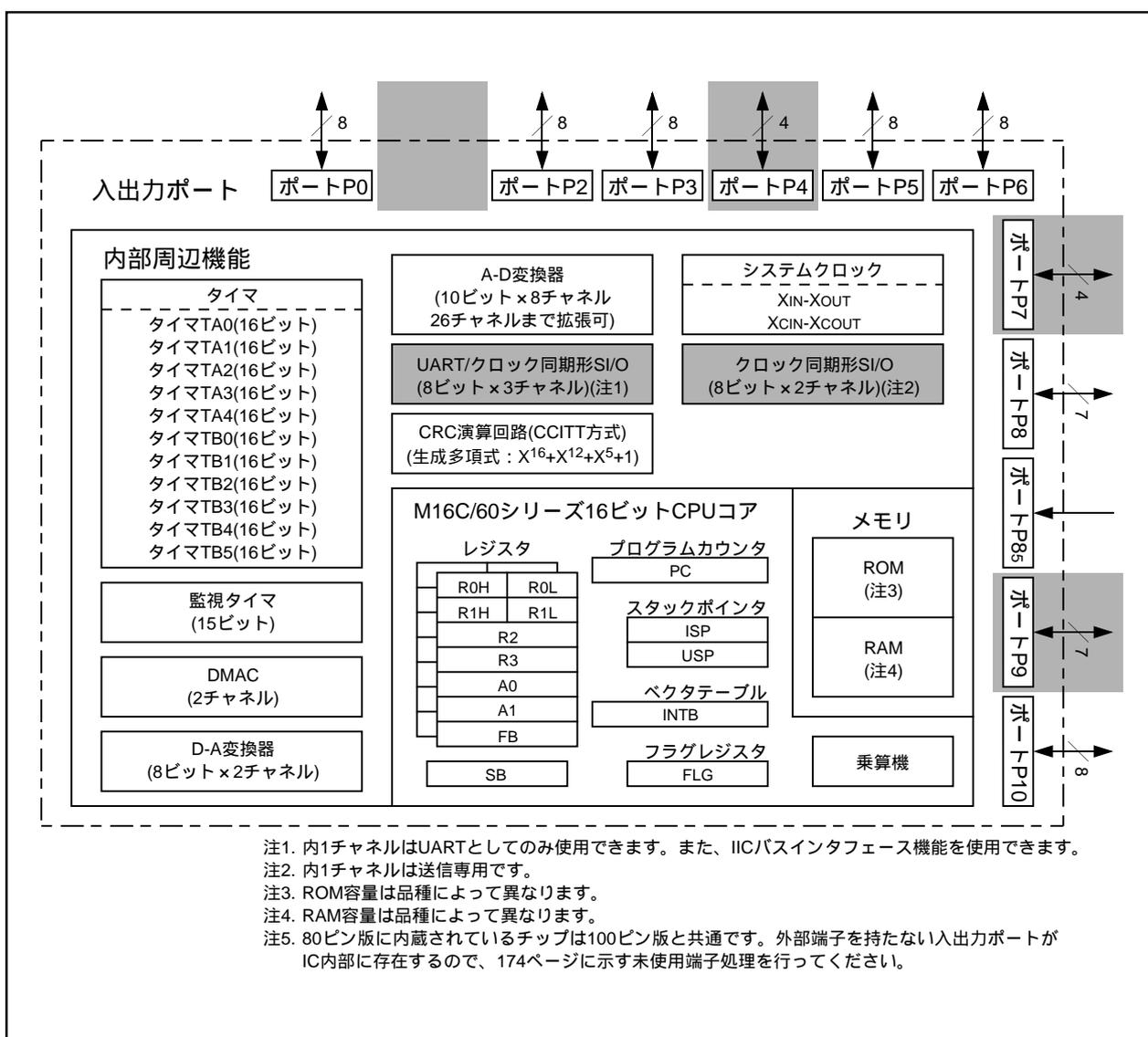


図1.1.4. 80ピン版のブロック図

概 要

性能概要

表1.1.1にM16C/62Tグループの性能概要を示します。

表1.1.1. M16C/62Tグループの性能概要

項 目	性 能			
	100ピン版	80ピン版		
基本命令数	91命令			
最短命令実行時間	62.5ns($f(XIN)=16MHz$ 、 $VCC=5V$ 時)			
メモリ容量	ROM	7ページ「図1.1.5. ROM展開」を参照		
	RAM	3Kバイト～20Kバイト		
入出力ポート	P0, P2, P3, P5, P6, P10	8ビット×6		
	P1	8ビット×1	-	
	P4, P7	8ビット×2	4ビット×2	
	P8(P85を除く)	7ビット×1		
	P9	8ビット×1	7ビット×1	
入力ポート	P85	1ビット×1		
	多機能タイマ	TA0, A3, TA4	16ビット×3(周期タイマ、外部/内部イベントカウント、パルス出力)	
		TA1, TA2	16ビット×2(周期タイマ、外部/内部イベントカウント、パルス出力)	16ビット×2(周期タイマ、内部イベントカウント)
	TB0, TB2～TB5	16ビット×5(周期タイマ、外部/内部イベントカウント、パルス周期/パルス幅測定)		
TB1	16ビット×1(周期タイマ、外部/内部イベントカウント、パルス周期/パルス幅測定)	16ビット×1(周期タイマ、内部イベントカウント)		
シリアルI/O	UART0, UART1	(UARTまたはクロック同期形)×2		
	UART2	(UARTまたはクロック同期形)×1	UART×1	
	SI/O3	クロック同期形×1	クロック同期形×1(送信専用)	
	SI/O4	クロック同期形×1		
A-D変換器	10ビット×(8×3+2)チャンネル			
D-A変換器	8ビット×2チャンネル			
DMAC	2チャンネル(スタート条件:24要因)			
CRC演算回路	CRC-CCITT方式			
監視タイマ	15ビット×1(プリスケアラ付)			
割り込み	内部25要因、外部8要因、ソフトウェア4要因、7レベル	内部25要因、外部5要因、ソフトウェア4要因、7レベル		
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)			
電源電圧	マスクROM版：4.2V～5.5V($f(XIN)=16MHz$ 時、ウエイトなし) ワンタイムPROM版：4.5V～5.5V($f(XIN)=16MHz$ 時、ウエイトなし)			
消費電力	140mW($VCC=5V$ 、 $f(XIN)=16MHz$ 時)			
入出力特性	入出力耐電圧	5V		
	出力電流	5mA		
メモリ拡張	可能(1.2Mバイト、4Mバイトの拡張)			
動作周囲温度	85 保証版：-40～85、125 保証版：-40～125			
素子構造	CMOS高性能シリコンゲート			
パッケージ	100ピンプラスチックモールドQFP	80ピンプラスチックモールドQFP		

*：開発中

注1. M16C/62Tグループではメモリ拡張の動作保証をしていません。

M16C/62Tグループでは次のような展開を計画しています。

(1) マスクROM版、ワнтаイムPROM版、フラッシュメモリ版のサポート

ワнтаイムPROM版は、電気的書き込み可能なPROMを内蔵していること以外はマスクROM版と同等の機能を有しています。フラッシュメモリ版については、後述の「フラッシュメモリ版」を参照してください。

(2) ROM容量

サポート製品のROM展開を図1.1.5に示します。

(3) パッケージ(ピン数)

100P6S-A ----- 100ピンプラスチックモールドQFP

80P6S-A ----- 80ピンプラスチックモールドQFP

(4) 85 保証版、105 保証版、125 保証版のサポート

105 保証版および125 保証版は85 保証版と動作周囲温度および使用条件が異なりますので、ご使用の際は三菱電機または特约店へお問い合わせください。

ROMサイズ (バイト)		100ピン版		
256K				M30624FGTFF ** M30624FGUFP **
128K	M30620MCT-XXXFP ** M30620MCV-XXXFP ** M30622MCT-XXXFP M30622MCV-XXXFP	M30622ECT-XXXFP M30622ECTFP * M30622ECV-XXXFP M30622ECVFP *		M30620FCTFP M30620FCUFP
64K	M30622M8T-XXXFP M30622M8V-XXXFP			
		マスクROM版	ワнтаイムPROM版	フラッシュメモリ版
ROMサイズ (バイト)		80ピン版		
256K				M30625FGTGP ** M30625FGUGP **
128K	M30623MCT-XXXGP M30623MCV-XXXGP M30621MCV-XXXGP **	M30623ECT-XXXGP M30623ECTGP * M30623ECV-XXXGP M30623ECVGP *		M30621FCTGP M30621FCUGP **
64K	M30623M8T-XXXGP M30623M8V-XXXGP M30621M8T-XXXGP **			
32K	M30623M4T-XXXGP			
		マスクROM版	ワнтаイムPROM版	フラッシュメモリ版

* : ブランク出荷品
** : 開発中

注1. 今後変更する場合があります。
注2. ワнтаイムPROM版のブランク出荷品は、試作やプログラム開発用としてご使用ください。
車両搭載試験や量産には書き込み出荷品にて対応します。

図1.1.5. ROM展開

2001年9月現在

概 要

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

2001年9月現在

形 名	ROM容量	RAM容量	特 性	パッケージ	備 考		
M30622M8T-XXXFP	64Kバイト	4Kバイト	85 保証版	100P6S-A	マスクROM版		
M30622M8V-XXXFP			125 保証版(注3)				
M30622MCT-XXXFP	128Kバイト	5Kバイト	85 保証版			100P6S-A	ワンタイムPROM版(書き込み品)
M30622MCV-XXXFP			125 保証版(注3)				
M30622ECT-XXXFP			85 保証版				
M30622ECV-XXXFP			125 保証版(注3)				
M30622ECTFP			85 保証版		ワンタイムPROM版(ブランク品)		
M30622ECVFP			125 保証版(注3)				
M30620MCT-XXXFP *	128Kバイト	10Kバイト	85 保証版		100P6S-A	マスクROM版	
M30620MCV-XXXFP *			125 保証版(注3)				
M30620FCTFP			85 保証版				
M30620FCUFP *	256Kバイト	20Kバイト	105 保証版(注3)		100P6S-A	フラッシュメモリ版	
M30624FGTFP *			85 保証版				
M30624FGUFP *			105 保証版(注3)				
M30623M4T-XXXGP	32Kバイト	3Kバイト	85 保証版	80P6S-A	マスクROM版		
M30623M8T-XXXGP	64Kバイト	4Kバイト	85 保証版				
M30623M8V-XXXGP			125 保証版(注3)				
M30621M8T-XXXGP *	64Kバイト	10Kバイト	85 保証版				
M30623MCT-XXXGP	128Kバイト	5Kバイト	85 保証版			80P6S-A	ワンタイムPROM版(書き込み品)
M30623MCV-XXXGP			125 保証版(注3)				
M30623ECT-XXXGP			85 保証版				
M30623ECV-XXXGP			125 保証版(注3)				
M30623ECTGP			85 保証版				
M30623ECVGP			125 保証版(注3)				
M30621MCT-XXXGP *	128Kバイト	10Kバイト	85 保証版		80P6S-A	マスクROM版	
M30621FCTGP			85 保証版				
M30621FCUGP *			105 保証版(注3)				
M30625FGTGP *	256Kバイト	20Kバイト	85 保証版		80P6S-A	フラッシュメモリ版	
M30625FGUGP *			105 保証版(注3)				

* : 開発中

注1. 今後変更する場合があります。

注2. ワンタイムPROM版のブランク出荷品は、試作やプログラム開発用としてご使用ください。

車両搭載試験や量産には書き込み出荷品にて対応します。

注3. 動作周囲温度および使用条件が85 保証版とは異なりますのでお問い合わせください。

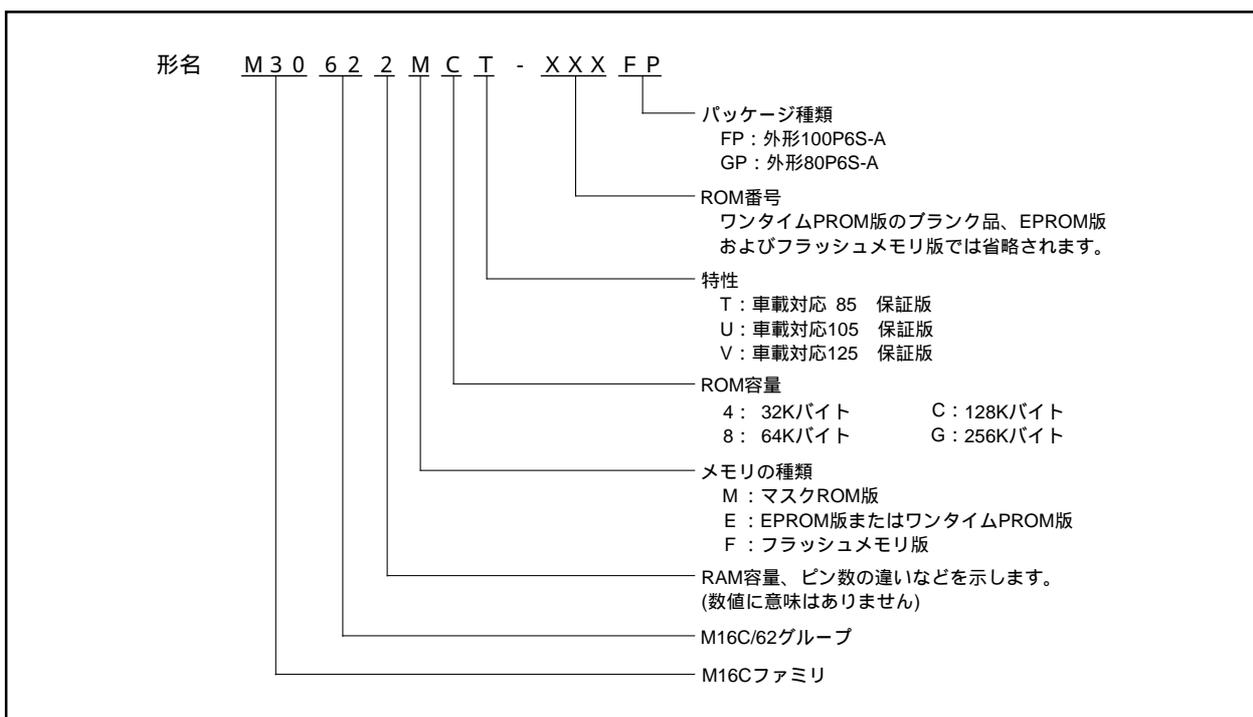


図1.1.6. 形名とメモリサイズ・パッケージ

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子には、4.2V～5.5Vを印加してください。Vss端子には、0Vを印加してください。
CNVss	CNVss	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモードまたはメモリ拡張モードで動作を開始する場合はVss端子に、マイクロプロセッサモードで動作を開始する場合はVcc端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、Vss端子に接続してください。マスクROM版およびワнтаムPROM版の80ピン版では、マイクロコンピュータ内部でCNVss端子に接続しています。フラッシュメモリ版の80ピン版では内部の空き端子処理回路によりプルアップ処理が施されています。
AVcc	アナログ電源入力		A-D変換器の電源入力端子です。Vcc端子に接続してください。
AVss	アナログ電源入力		A-D変換器の電源入力端子です。Vss端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートに設定できます。シングルチップモードの入力では、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗を選択できません。 P0はシングルチップモード時、ソフトウェアで選択することによってA-D変換器の拡張入力端子として機能します。
D0～D7		入出力	セパレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P15～P17はソフトウェアで選択することによって、外部割り込み端子として機能します。
D8～D15		入出力	セパレートバス設定時データ(D8～D15)の入出力を行います。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 P2はシングルチップモード時、ソフトウェアで選択することによってA-D変換器の拡張入力端子として機能します。
A0～A7		出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～ A7/D7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
A0, A1/D0～ A7/D6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
P30～P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8～A15		出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D7, A9～A15		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9～A15)の出力を行います。
P40～P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16～A19, CS0～CS3		出力 出力	A16～A19、CS0～CS3信号を出力します。A16～A19はアドレスの上位4ビットです。CS0～CS3はチップセレクト信号でアクセス空間の指定に使用します。

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
P50 ~ P57	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウェアで選択することによって、P57からXCINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
WRL/WR, WRH/BHE, RD, BCLK, HLDA, HOLD, ALE, RDY		出力 出力 出力 出力 入力 出力 入力	<p>WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRHまたは、BHE、WRを切り替えることができます。</p> <p>WRL、WRH、RD選択時 外部データバス幅が16ビットの場合、WRL信号が“L”レベルのとき偶数番地に、WRH信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。</p> <p>WR、BHE、RD選択時 WR信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。</p> <p>HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。</p>
P60 ~ P67	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャンネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A3、タイマB5またはUART2の入出力端子として機能します。
P80 ~ P84, P86, P87, P85	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90 ~ P97	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、SI/O3、4の入出力端子、タイマB0 ~ B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104 ~ P107はキー入力割り込み機能の入力端子としても機能します。

注1. 80ピン版では、以下に示す外部端子への接続がありません。

P10/D8 ~ P14/D12, P15/D13/INT3 ~ P17/D15/INT5

P44/CS0 ~ P47/CS3

P72/CLK2/TA1OUT/V, P73/CTS2/RTS2/TA1IN/V, P74/TA2OUT/W, P75/TA2IN/W

P91/TB1IN/SIN3

注2. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

メモリ

機能ブロック動作説明

M16C/62Tグループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.4.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30623M4T-XXXGPでは、F8000₁₆番地からFFFFFF₁₆番地まで32Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30623M4T-XXXGPでは、00400₁₆番地から00FFF₁₆番地まで3Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.7.1～図1.7.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30623M4T-XXXGPでは、次の領域は使用できません。

- ・ 01000₁₆番地から03FFF₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・ D0000₁₆番地からF7FFF₁₆番地(メモリ拡張モード時)

ただし、M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

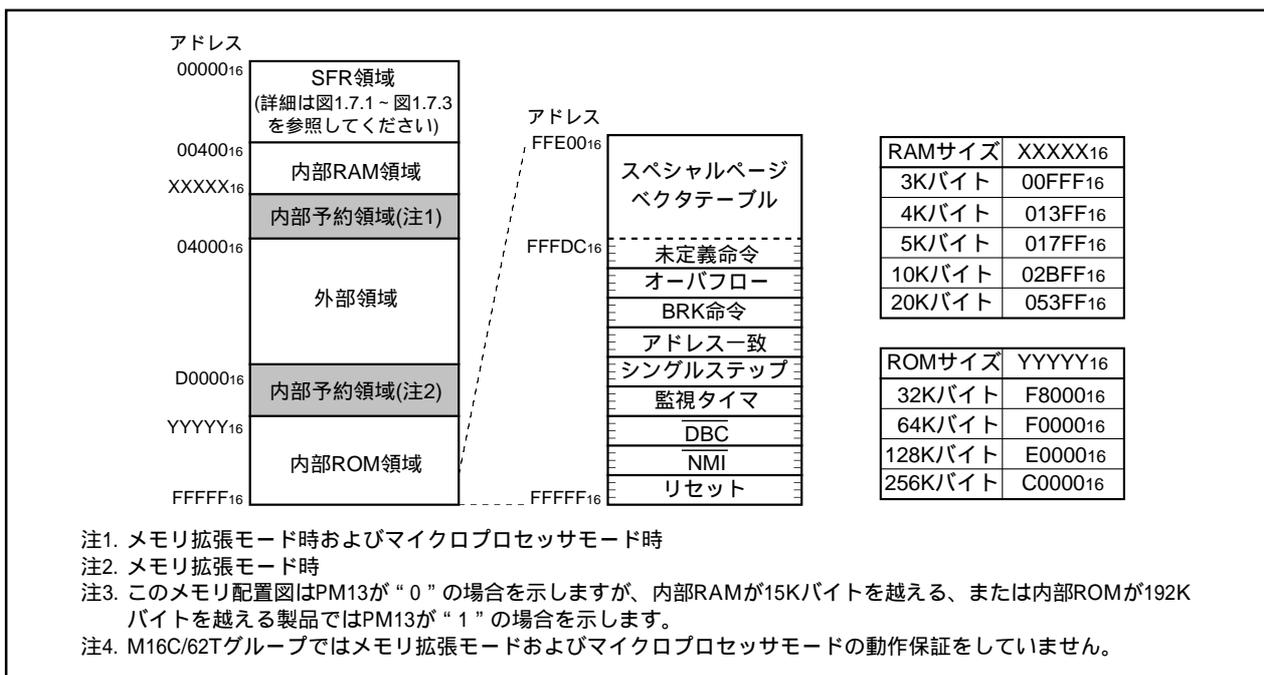


図1.4.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.5.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

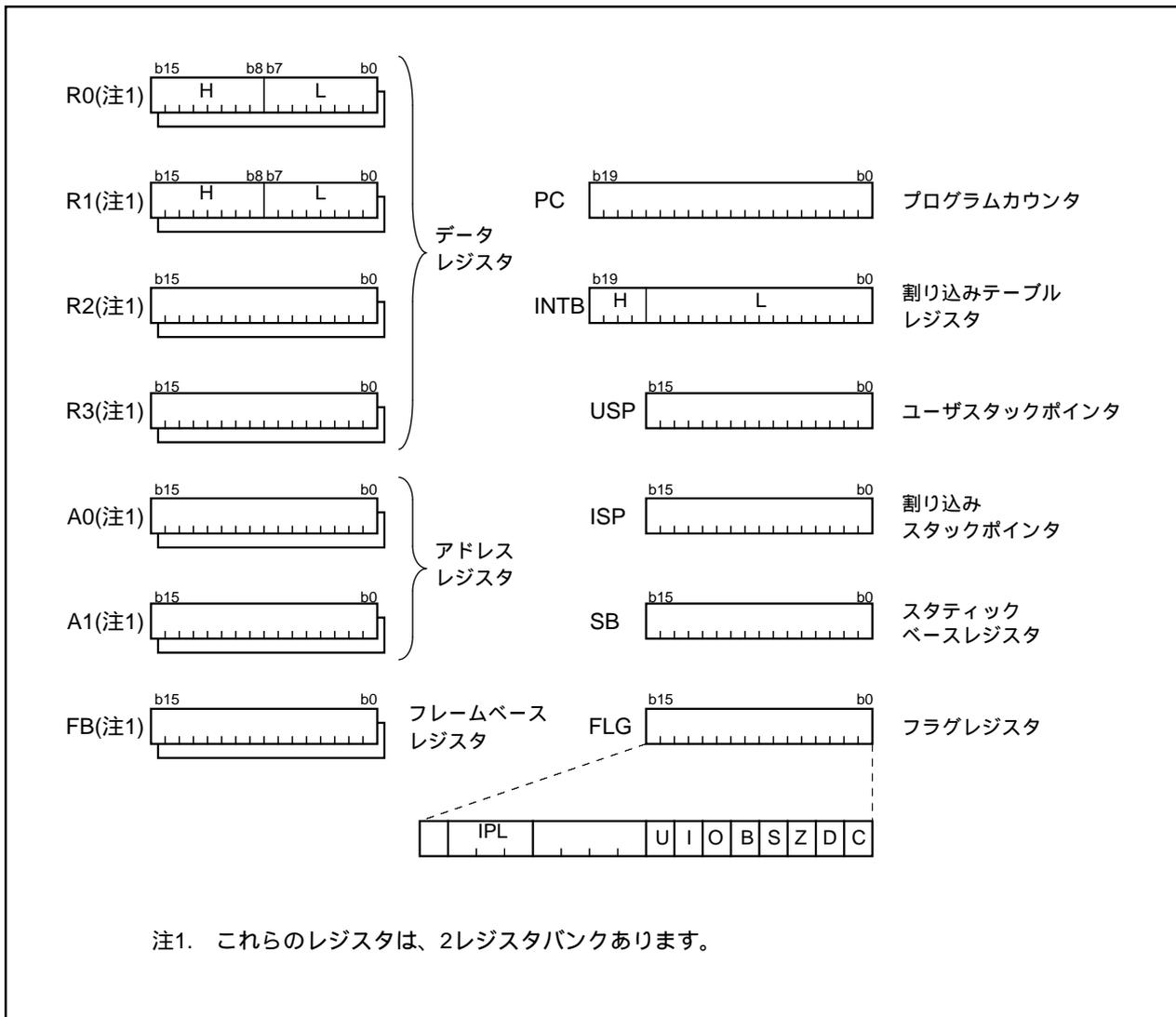


図1.5.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられません。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図1.5.2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスク可能割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

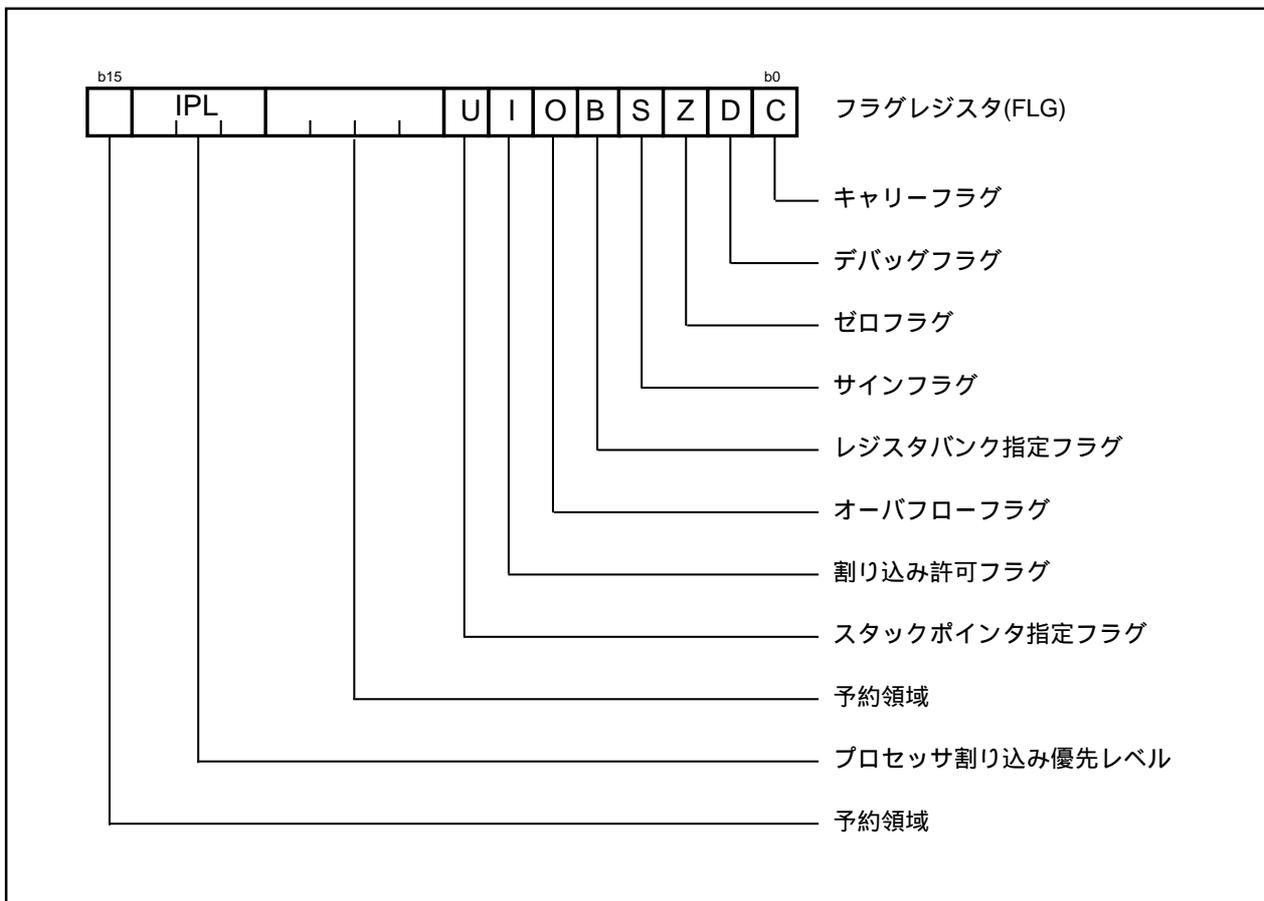


図1.5.2. フラグレジスタ(FLG)の構成

リセット

リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子をXINの20サイクル以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.6.1、リセットシーケンスを図1.6.2、RESET端子のレベルが“L”の期間の端子の状態を表1.6.1に示します。

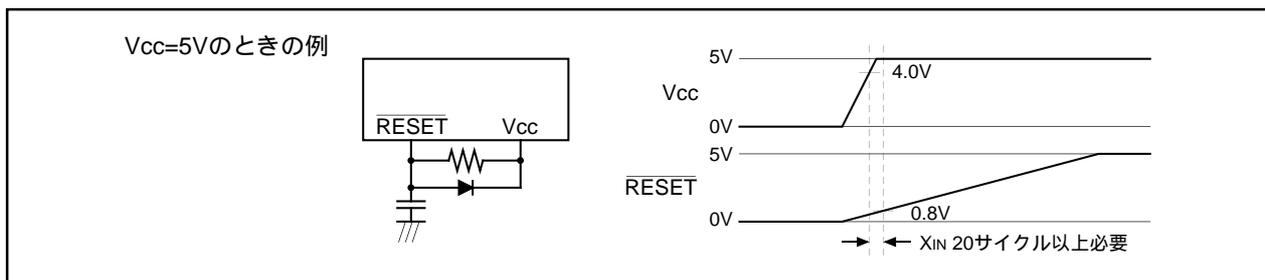


図1.6.1. リセット回路の一例

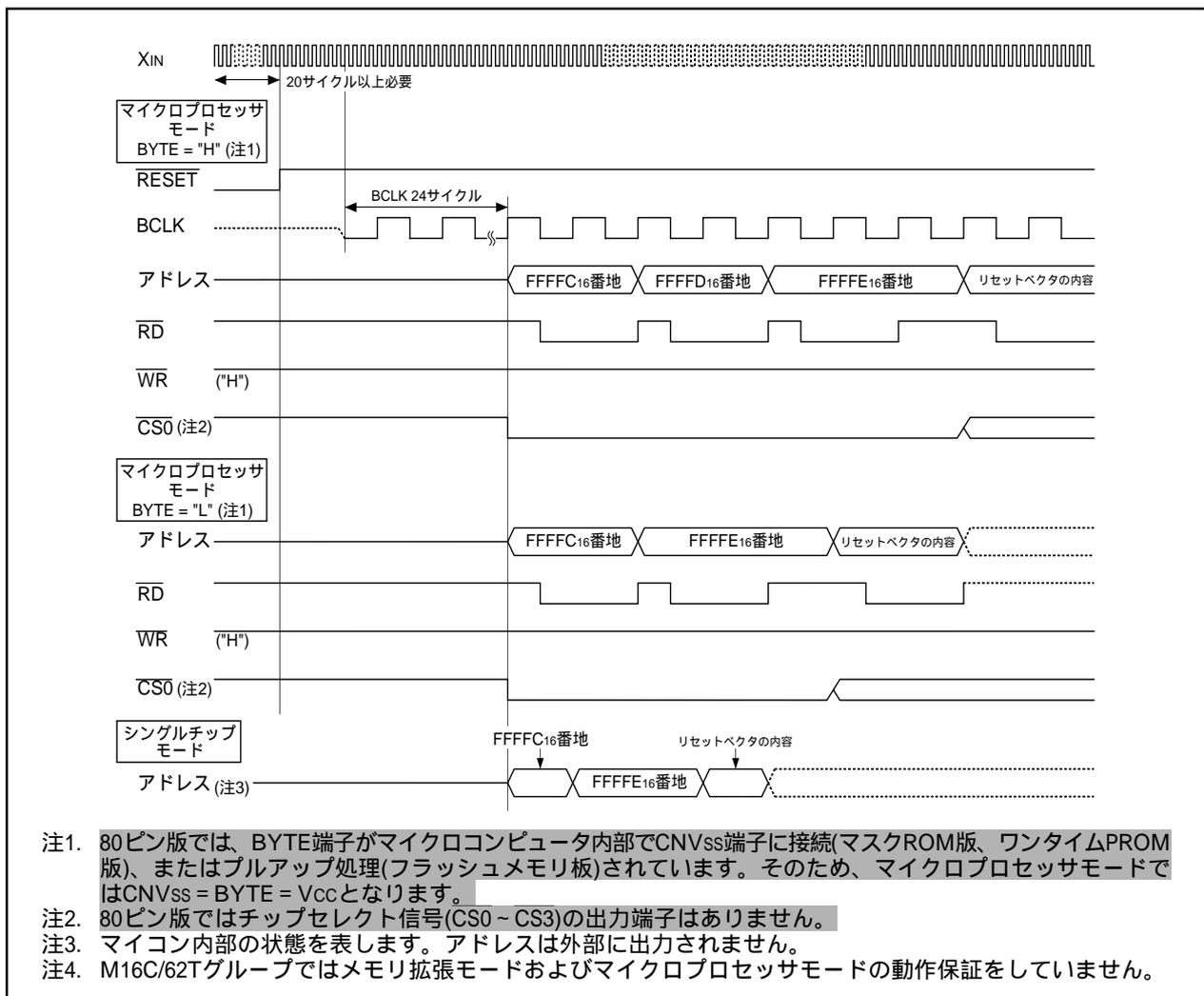


図1.6.2. リセットシーケンス

リセット

表1.6.1. $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss (注1)	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40 ~ P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)
P45 ~ P47	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)
P51	入力ポート(フローティング)	BHE出力(不定)	BHE出力(不定)
P52	入力ポート(フローティング)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の 入りに依存)	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の 入りに依存)
P55	入力ポート(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)
P56	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
P57	入力ポート(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)
P6, P7, P80 ~ P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

注1. 80ピン版では、BYTE端子がマイクロコンピュータ内部でCNVss端子と接続(マスクROM版、ワンタイムPROM版)、またはプルアップ処理(フラッシュメモリ版)されているので、BYTE = Vssは設定できません。

注2. 80ピン版では、P1、P44 ~ P47、P72 ~ P75、P91の各端子は外部端子への接続はありませんが、内部では上記の状態となっています。リセット解除後は、これらの端子に対して次のいずれかの未使用端子処理を行ってください。

ポート方向レジスタを出力モードに設定し、“L”レベル出力状態にする

内蔵プルアップ抵抗を接続状態にする

リセット

電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入力されると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

コールドスタート/ウォームスタートの判定にリセット解除後のRAMの初期値を使用する場合には、複数のRAMにウォームスタートを示すデータを書き込み、さらに、コールドスタート/ウォームスタート判定フラグ(監視タイマ制御レジスタのビット5)による判定を併用することを推奨します。

リセット解除直後のマイクロコンピュータの内部状態を図1.6.3、図1.6.4に示します。

(1) プロセッサモードレジスタ0(注1)	(0004 ₁₆)...	00 ₁₆	(24) A-D変換割り込み制御レジスタ	(004E ₁₆)...	XXXXXXXX?000
(2) プロセッサモードレジスタ1	(0005 ₁₆)...	000000XX0	(25) UART2送信割り込み制御レジスタ	(004F ₁₆)...	XXXXXXXX?000
(3) システムクロック制御レジスタ0	(0006 ₁₆)...	010001000	(26) UART2受信割り込み制御レジスタ	(0050 ₁₆)...	XXXXXXXX?000
(4) システムクロック制御レジスタ1	(0007 ₁₆)...	001000000	(27) UART0送信割り込み制御レジスタ	(0051 ₁₆)...	XXXXXXXX?000
(5) チップセレクト制御レジスタ	(0008 ₁₆)...	000000001	(28) UART0受信割り込み制御レジスタ	(0052 ₁₆)...	XXXXXXXX?000
(6) アドレス一致割り込み許可レジスタ	(0009 ₁₆)...	XXXXXXXX00	(29) UART1送信割り込み制御レジスタ	(0053 ₁₆)...	XXXXXXXX?000
(7) プロテクトレジスタ	(000A ₁₆)...	XXXXXXXX00	(30) UART1受信割り込み制御レジスタ	(0054 ₁₆)...	XXXXXXXX?000
(8) データバンクレジスタ	(000B ₁₆)...	00 ₁₆	(31) タイマA0割り込み制御レジスタ	(0055 ₁₆)...	XXXXXXXX?000
(9) 監視タイマ制御レジスタ	(000F ₁₆)...	00*?????	(32) タイマA1割り込み制御レジスタ	(0056 ₁₆)...	XXXXXXXX?000
(10) アドレス一致割り込みレジスタ0	(0010 ₁₆)...	00 ₁₆	(33) タイマA2割り込み制御レジスタ	(0057 ₁₆)...	XXXXXXXX?000
	(0011 ₁₆)...	00 ₁₆	(34) タイマA3割り込み制御レジスタ	(0058 ₁₆)...	XXXXXXXX?000
	(0012 ₁₆)...	XXXXXXXX0000	(35) タイマA4割り込み制御レジスタ	(0059 ₁₆)...	XXXXXXXX?000
(11) アドレス一致割り込みレジスタ1	(0014 ₁₆)...	00 ₁₆	(36) タイマB0割り込み制御レジスタ	(005A ₁₆)...	XXXXXXXX?000
	(0015 ₁₆)...	00 ₁₆	(37) タイマB1割り込み制御レジスタ	(005B ₁₆)...	XXXXXXXX?000
	(0016 ₁₆)...	XXXXXXXX0000	(38) タイマB2割り込み制御レジスタ	(005C ₁₆)...	XXXXXXXX?000
(12) DMA0制御レジスタ	(002C ₁₆)...	000000?000	(39) INTO割り込み制御レジスタ	(005D ₁₆)...	XX00?000
(13) DMA1制御レジスタ	(003C ₁₆)...	000000?000	(40) INT1割り込み制御レジスタ	(005E ₁₆)...	XX00?000
(14) INT3割り込み制御レジスタ	(0044 ₁₆)...	XX00?000	(41) INT2割り込み制御レジスタ	(005F ₁₆)...	XX00?000
(15) タイマB5割り込み制御レジスタ	(0045 ₁₆)...	XXXXXXXX?000	(42) タイマB3,4,5カウント開始フラグ	(0340 ₁₆)...	0000XXXX
(16) タイマB4割り込み制御レジスタ	(0046 ₁₆)...	XXXXXXXX?000	(43) 三相PWM制御レジスタ0	(0348 ₁₆)...	00 ₁₆
(17) タイマB3割り込み制御レジスタ	(0047 ₁₆)...	XXXXXXXX?000	(44) 三相PWM制御レジスタ1	(0349 ₁₆)...	00 ₁₆
(18) SI/O4割り込み制御レジスタ	(0048 ₁₆)...	XX00?000	(45) 三相出力バッファレジスタ0	(034A ₁₆)...	00 ₁₆
(19) SI/O3割り込み制御レジスタ	(0049 ₁₆)...	XX00?000	(46) 三相出力バッファレジスタ1	(034B ₁₆)...	00 ₁₆
(20) バス衝突検出割り込み制御レジスタ	(004A ₁₆)...	XXXXXXXX?000	(47) タイマB3モードレジスタ	(035B ₁₆)...	00?00000
(21) DMA0割り込み制御レジスタ	(004B ₁₆)...	XXXXXXXX?000	(48) タイマB4モードレジスタ	(035C ₁₆)...	00?00000
(22) DMA1割り込み制御レジスタ	(004C ₁₆)...	XXXXXXXX?000	(49) タイマB5モードレジスタ	(035D ₁₆)...	00?00000
(23) キー入力割り込み制御レジスタ	(004D ₁₆)...	XXXXXXXX?000	(50) 割り込み要因選択レジスタ	(035F ₁₆)...	00 ₁₆

* : このビットはコールドスタート/ウォームスタートフラグで、電源投入時は"0"となります(P73参照)。
 x : このビットは何も配置されていません。
 ? : 不定です。

リセット解除後、上記以外のレジスタは不定ですので、初期値を設定してください。
 電源投入後、RAMは不定ですので初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入力されると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。
 コールドスタート/ウォームスタートの判定にリセット解除後のRAMの初期値を使用する場合には、複数のRAMにウォームスタートを示すデータを書き込み、さらに、コールドスタート/ウォームスタート判定フラグ(監視タイマ制御レジスタのビット5)による判定を併用することを推奨します。

注1. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります。

図1.6.3. リセット解除後のマイクロコンピュータの内部状態(1)

リセット

(51) SI/O3制御レジスタ	(0362 ₁₆)...	0 1 0 0 0 0 0 0	(80) DMA1要因選択レジスタ	(03BA ₁₆)...	00 ₁₆
(52) SI/O4制御レジスタ	(0366 ₁₆)...	0 1 0 0 0 0 0 0	(81) A-D制御レジスタ2	(03D4 ₁₆)...	0 0 0 0 0 0 0 0
(53) UART2特殊モードレジスタ	(0377 ₁₆)...	00 ₁₆	(82) A-D制御レジスタ0	(03D6 ₁₆)...	0 0 0 0 0 0 ? ?
(54) UART2送受信モードレジスタ	(0378 ₁₆)...	00 ₁₆	(83) A-D制御レジスタ1	(03D7 ₁₆)...	00 ₁₆
(55) UART2送受信制御レジスタ0	(037C ₁₆)...	0 0 0 0 1 0 0 0	(84) D-A制御レジスタ	(03DC ₁₆)...	00 ₁₆
(56) UART2送受信制御レジスタ1	(037D ₁₆)...	0 0 0 0 0 0 1 0	(85) ポートP0方向レジスタ	(03E2 ₁₆)...	00 ₁₆
(57) カウント開始フラグ	(0380 ₁₆)...	00 ₁₆	(86) ポートP1方向レジスタ	(03E3 ₁₆)...	00 ₁₆
(58) 時計用プリスケアラリセットフラグ	(0381 ₁₆)...	0 x x x x x x x	(87) ポートP2方向レジスタ	(03E6 ₁₆)...	00 ₁₆
(59) ワンショット開始フラグ	(0382 ₁₆)...	0 0 x 0 0 0 0 0	(88) ポートP3方向レジスタ	(03E7 ₁₆)...	00 ₁₆
(60) トリガ選択レジスタ	(0383 ₁₆)...	00 ₁₆	(89) ポートP4方向レジスタ	(03EA ₁₆)...	00 ₁₆
(61) アップダウンフラグ	(0384 ₁₆)...	00 ₁₆	(90) ポートP5方向レジスタ	(03EB ₁₆)...	00 ₁₆
(62) タイマA0モードレジスタ	(0396 ₁₆)...	00 ₁₆	(91) ポートP6方向レジスタ	(03EE ₁₆)...	00 ₁₆
(63) タイマA1モードレジスタ	(0397 ₁₆)...	00 ₁₆	(92) ポートP7方向レジスタ	(03EF ₁₆)...	00 ₁₆
(64) タイマA2モードレジスタ	(0398 ₁₆)...	00 ₁₆	(93) ポートP8方向レジスタ	(03F2 ₁₆)...	0 0 x 0 0 0 0 0
(65) タイマA3モードレジスタ	(0399 ₁₆)...	00 ₁₆	(94) ポートP9方向レジスタ	(03F3 ₁₆)...	00 ₁₆
(66) タイマA4モードレジスタ	(039A ₁₆)...	00 ₁₆	(95) ポートP10方向レジスタ	(03F6 ₁₆)...	00 ₁₆
(67) タイマB0モードレジスタ	(039B ₁₆)...	0 0 ? ? 0 0 0 0	(96) ブルアップ制御レジスタ0	(03FC ₁₆)...	00 ₁₆
(68) タイマB1モードレジスタ	(039C ₁₆)...	0 0 ? x 0 0 0 0	(97) ブルアップ制御レジスタ1(注1)	(03FD ₁₆)...	00 ₁₆
(69) タイマB2モードレジスタ	(039D ₁₆)...	0 0 ? x 0 0 0 0	(98) ブルアップ制御レジスタ2	(03FE ₁₆)...	00 ₁₆
(70) UART0送受信モードレジスタ	(03A0 ₁₆)...	00 ₁₆	(99) ポート制御レジスタ	(03FF ₁₆)...	00 ₁₆
(71) UART0送受信制御レジスタ0	(03A4 ₁₆)...	0 0 0 0 1 0 0 0	(100) データレジスタ(R0/R1/R2/R3)		0000 ₁₆
(72) UART0送受信制御レジスタ1	(03A5 ₁₆)...	0 0 0 0 0 0 1 0	(101) アドレスレジスタ(A0/A1)		0000 ₁₆
(73) UART1送受信モードレジスタ	(03A8 ₁₆)...	00 ₁₆	(102) フレームベースレジスタ(FB)		0000 ₁₆
(74) UART1送受信制御レジスタ0	(03AC ₁₆)...	0 0 0 0 1 0 0 0	(103) 割り込みテーブルレジスタ(INTB)		0000 ₁₆
(75) UART1送受信制御レジスタ1	(03AD ₁₆)...	0 0 0 0 0 0 1 0	(104) ユーザスタックポインタ(USP)		0000 ₁₆
(76) UART送受信制御レジスタ2	(03B0 ₁₆)...	x 0 0 0 0 0 0 0	(105) 割り込みスタックポインタ(ISP)		0000 ₁₆
(77) フラッシュメモリ制御レジスタ1(注2)	(03B6 ₁₆)...	? ? ? ? ? ? ? ?	(104) スタティックベースレジスタ(SB)		0000 ₁₆
(78) フラッシュメモリ制御レジスタ0(注2)	(03B7 ₁₆)...	x x 0 0 0 0 0 1	(105) フラグレジスタ(FLG)		0000 ₁₆
(79) DMA0要因選択レジスタ	(03B8 ₁₆)...	00 ₁₆			

x : このビットは何も配置されていません。
? : 不定です。

リセット解除後、上記以外のレジスタは不定ですので、初期値を設定してください。
電源投入後、RAMは不定ですので初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入力されると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

コールドスタート/ウォームスタートの判定にリセット解除後のRAMの初期値を使用する場合には、複数のRAMにウォームスタートを示すデータを書き込み、さらに、コールドスタート/ウォームスタート判定フラグ(監視タイマ制御レジスタのビット5)による判定を併用することを推奨します。

注1. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります。
注2. これらのレジスタはフラッシュメモリ版にのみ存在します。

図1.6.4. リセット解除後のマイクロコンピュータの内部状態(2)

0340 ₁₆	タイマB3,4,5カウント開始フラグ(TBSR)	0380 ₁₆	カウント開始フラグ(TABSR)
0341 ₁₆		0381 ₁₆	時計用プリスケアラリセットフラグ(CPSRF)
0342 ₁₆	タイマA1-1レジスタ(TA11)	0382 ₁₆	ワンショット開始フラグ(ONSF)
0343 ₁₆		0383 ₁₆	トリガ選択レジスタ(TRGSR)
0344 ₁₆	タイマA2-1レジスタ(TA21)	0384 ₁₆	アップダウンフラグ(UDF)
0345 ₁₆		0385 ₁₆	
0346 ₁₆	タイマA4-1レジスタ(TA41)	0386 ₁₆	タイマA0レジスタ(TA0)
0347 ₁₆		0387 ₁₆	
0348 ₁₆	三相PWM制御レジスタ0(INVC0)	0388 ₁₆	タイマA1レジスタ(TA1)
0349 ₁₆	三相PWM制御レジスタ1(INVC1)	0389 ₁₆	
034A ₁₆	三相出力バッファレジスタ0(IDB0)	038A ₁₆	タイマA2レジスタ(TA2)
034B ₁₆	三相出力バッファレジスタ1(IDB1)	038B ₁₆	
034C ₁₆	短絡防止タイマ(DTT)	038C ₁₆	タイマA3レジスタ(TA3)
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)	038D ₁₆	
034E ₁₆		038E ₁₆	タイマA4レジスタ(TA4)
034F ₁₆		038F ₁₆	
0350 ₁₆	タイマB3レジスタ(TB3)	0390 ₁₆	タイマB0レジスタ(TB0)
0351 ₁₆		0391 ₁₆	
0352 ₁₆	タイマB4レジスタ(TB4)	0392 ₁₆	タイマB1レジスタ(TB1)
0353 ₁₆		0393 ₁₆	
0354 ₁₆	タイマB5レジスタ(TB5)	0394 ₁₆	タイマB2レジスタ(TB2)
0355 ₁₆		0395 ₁₆	
0356 ₁₆		0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0357 ₁₆		0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0358 ₁₆		0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0359 ₁₆		0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
035A ₁₆		039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)
035B ₁₆	タイマB3モードレジスタ(TB3MR)	039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
035C ₁₆	タイマB4モードレジスタ(TB4MR)	039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
035D ₁₆	タイマB5モードレジスタ(TB5MR)	039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
035E ₁₆		039E ₁₆	
035F ₁₆	割り込み要因選択レジスタ(IFSR)	039F ₁₆	
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)	03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
0361 ₁₆		03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
0362 ₁₆	SI/O3制御レジスタ(S3C)	03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)	03A3 ₁₆	
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)	03A4 ₁₆	UART0送受信制御レジスタ0(U0C0)
0365 ₁₆		03A5 ₁₆	UART0送受信制御レジスタ1(U0C1)
0366 ₁₆	SI/O4制御レジスタ(S4C)	03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)	03A7 ₁₆	
0368 ₁₆		03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
0369 ₁₆		03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
036A ₁₆		03AA ₁₆	UART1送信バッファレジスタ(U1TB)
036B ₁₆		03AB ₁₆	
036C ₁₆		03AC ₁₆	UART1送受信制御レジスタ0(U1C0)
036D ₁₆		03AD ₁₆	UART1送受信制御レジスタ1(U1C1)
036E ₁₆		03AE ₁₆	UART1受信バッファレジスタ(U1RB)
036F ₁₆		03AF ₁₆	UART送受信制御レジスタ2(UCON)
0370 ₁₆		03B0 ₁₆	
0371 ₁₆		03B1 ₁₆	
0372 ₁₆		03B2 ₁₆	
0373 ₁₆		03B3 ₁₆	
0374 ₁₆		03B4 ₁₆	
0375 ₁₆		03B5 ₁₆	
0376 ₁₆		03B6 ₁₆	フラッシュメモリ制御レジスタ1(FMR1) (注1)
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	03B7 ₁₆	フラッシュメモリ制御レジスタ0(FMR0) (注1)
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	03B9 ₁₆	
037A ₁₆	UART2送信バッファレジスタ(U2TB)	03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
037B ₁₆		03BB ₁₆	
037C ₁₆	UART2送受信制御レジスタ0(U2C0)	03BC ₁₆	CRCデータレジスタ(CRCD)
037D ₁₆	UART2送受信制御レジスタ1(U2C1)	03BD ₁₆	
037E ₁₆	UART2受信バッファレジスタ(U2RB)	03BE ₁₆	CRCインプットレジスタ(CRCIN)
037F ₁₆		03BF ₁₆	

注1. これらのレジスタはフラッシュメモリ版にのみ存在します。
注2. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.2. 周辺装置制御レジスタの配置(2)

03C0 ₁₆	A-Dレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	A-Dレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	ブルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	ブルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	ブルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.3. 周辺装置制御レジスタの配置(3)

メモリ空間拡張機能

メモリ空間拡張機能

メモリ空間拡張機能について説明します。

プロセッサモードがメモリ拡張モードおよびマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張することができます。メモリ空間拡張機能には、次の3つのモードがあります。

- (1) ノーマルモード (拡張なし)
- (2) メモリ空間拡張モード1 (以下、拡張モード1)
- (3) メモリ空間拡張モード2 (以下、拡張モード2)

各モードの選択はプロセッサモードレジスタ1のビット5、4(PM15,PM14)で設定します。モードごとに、チップセレクト信号により指定される外部領域が異なり、アクセス可能なメモリ空間が変化します。表1.8.1に各モードごとの設定方法とアクセス可能なメモリ空間を示します。チップセレクト信号により指定される外部領域については、表1.12.1を参照してください。

ただし、80ピン版ではチップセレクト信号の出力端子がありません。また、M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.8.1. メモリ空間拡張各モードの設定方法およびメモリ空間

拡張モード	設定方法(PM15,PM14)	アクセス可能なメモリ空間
ノーマルモード(拡張なし)	0,0	最大1Mバイト
拡張モード1	1,0	最大1.2Mバイト
拡張モード2	1,1	最大4Mバイト

以下に各拡張モードについて説明します。

(1) ノーマルモード(拡張なし)

メモリ空間を拡張しない通常モードです。

ノーマルモード時のメモリ配置図およびチップセレクト領域を図1.8.1に示します。

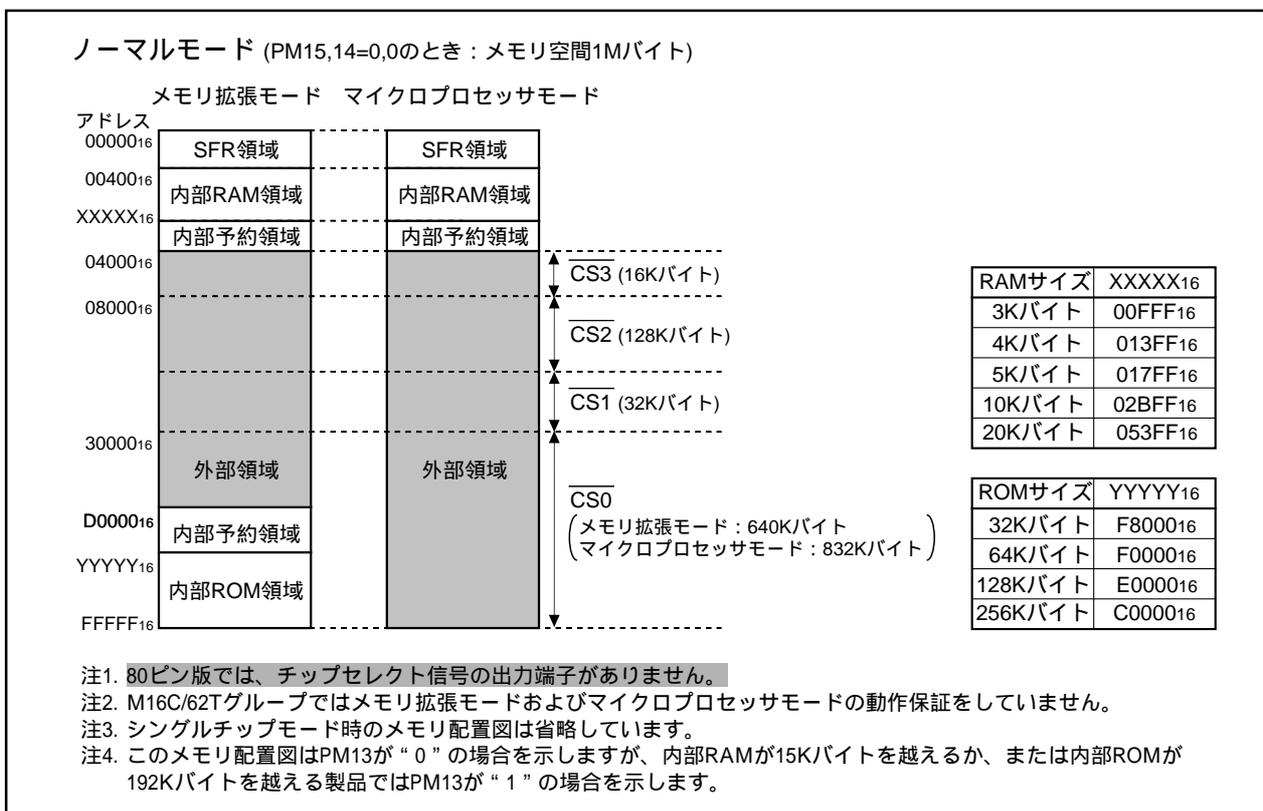


図1.8.1. ノーマルモード時のメモリ配置およびチップセレクト領域

メモリ空間拡張機能

(2)拡張モード1

メモリ空間を通常モードより176Kバイト拡張することができます。

拡張モード1時のメモリ配置図およびチップセレクト領域を図1.8.2に示します。

拡張モード1時、04000₁₆番地～2FFFF₁₆番地の領域ではデータアクセス時にCS3、CS2、CS1がアクティブになり、プログラムフェッチ時にCS0がアクティブになります。30000₁₆番地以降の領域では、データアクセス時、プログラムフェッチ時ともにCS0がアクティブになります。つまり、04000₁₆番地～2FFFF₁₆番地(176Kバイト)をデータアクセス(CS3、CS2、CS1)とプログラムフェッチ(CS0)で使い分けることにより、アドレス空間を拡張します。

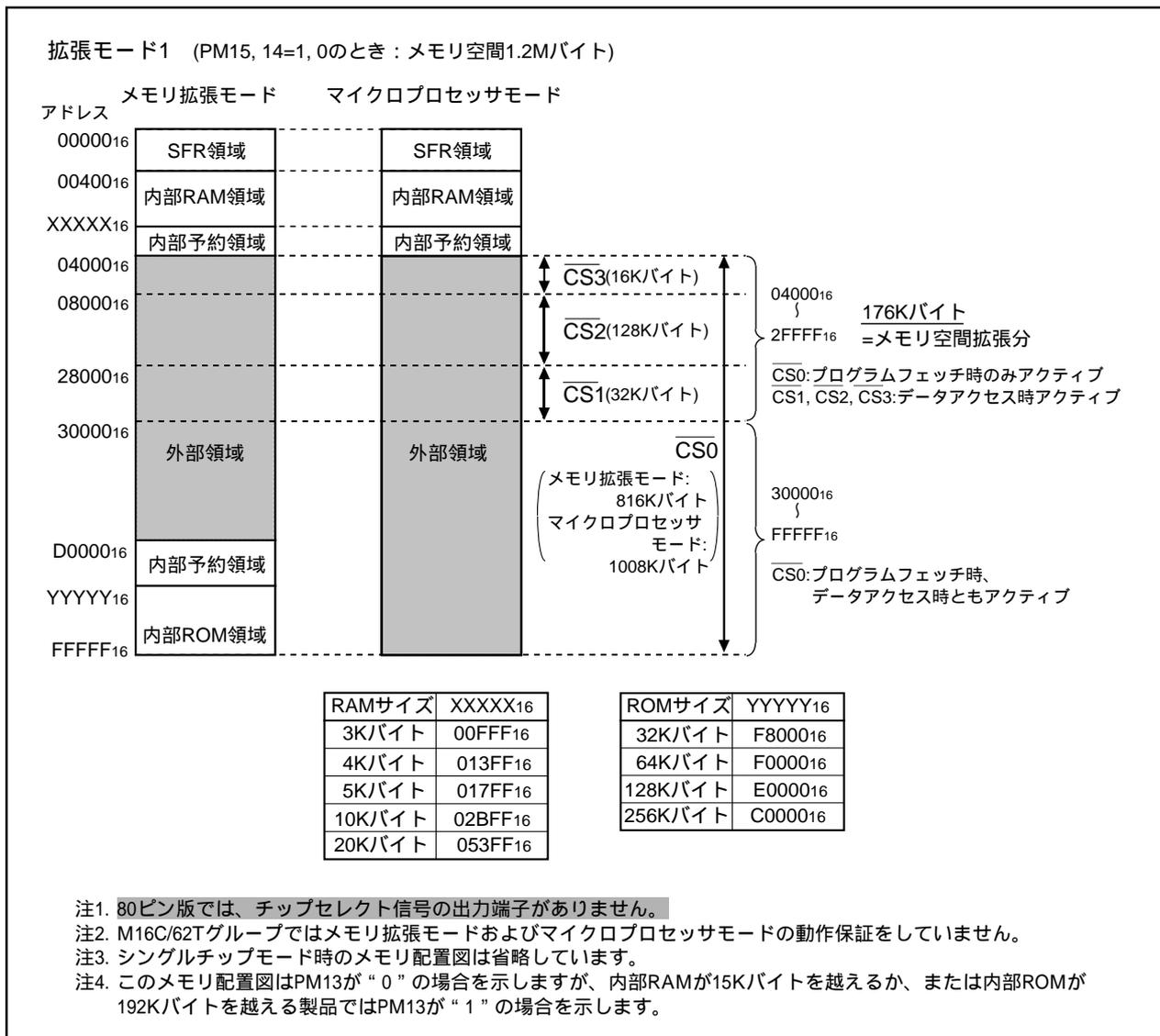


図1.8.2. 拡張モード1時のメモリ配置図およびチップセレクト領域

メモリ空間拡張機能

接続例

拡張モード1時の接続例を図1.8.3に示します。

この例では、 $\overline{CS0}$ を1MバイトフラッシュROMに接続し、 $\overline{CS2}$ を128KバイトSRAMに接続しています。

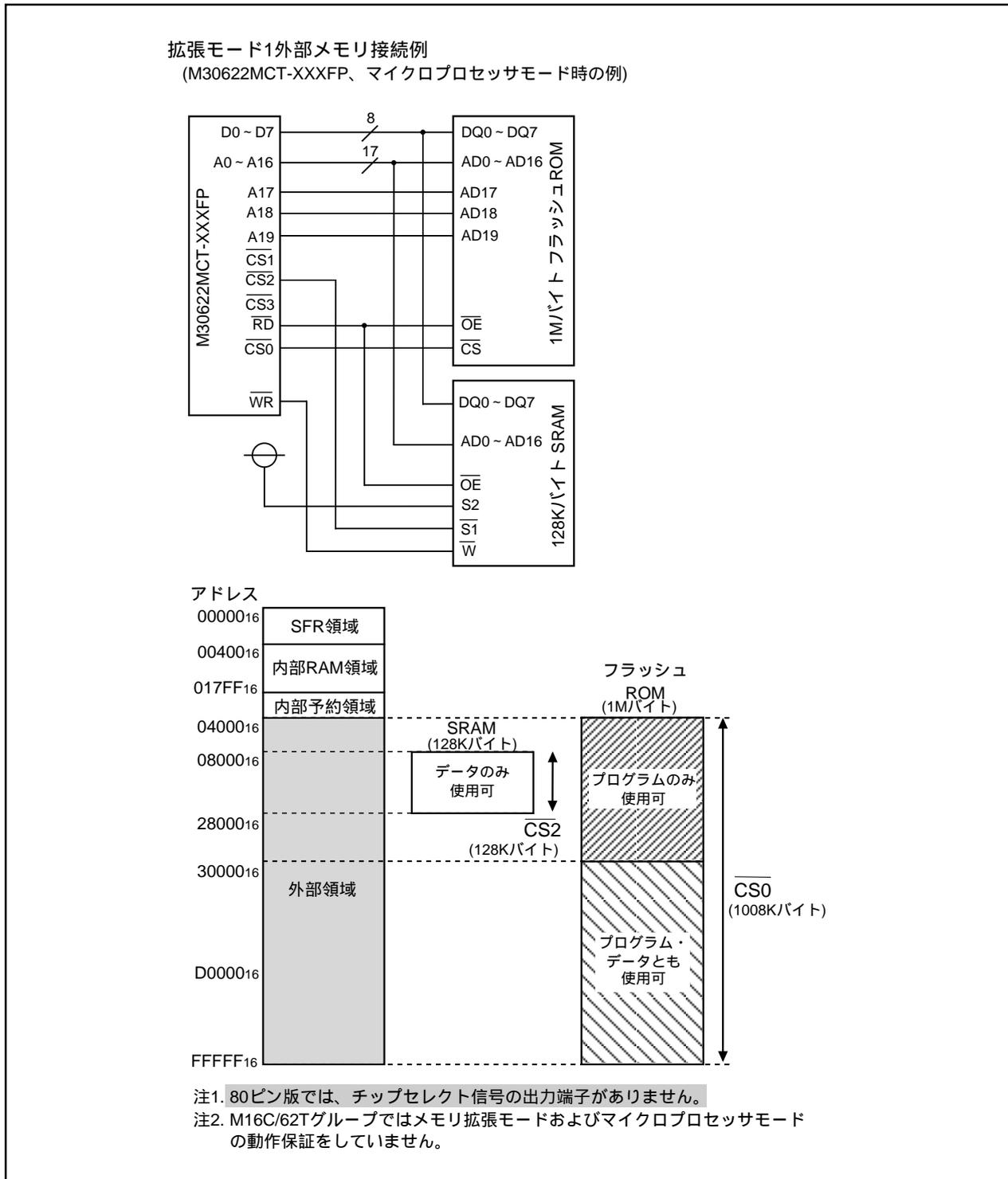


図1.8.3. 拡張モード1時の外部メモリ接続例

メモリ空間拡張機能

(3)拡張モード2

拡張モード2では、データバンクレジスタ(0000B₁₆番地)が有効になります。データバンクレジスタの構成を図1.8.4に示します。

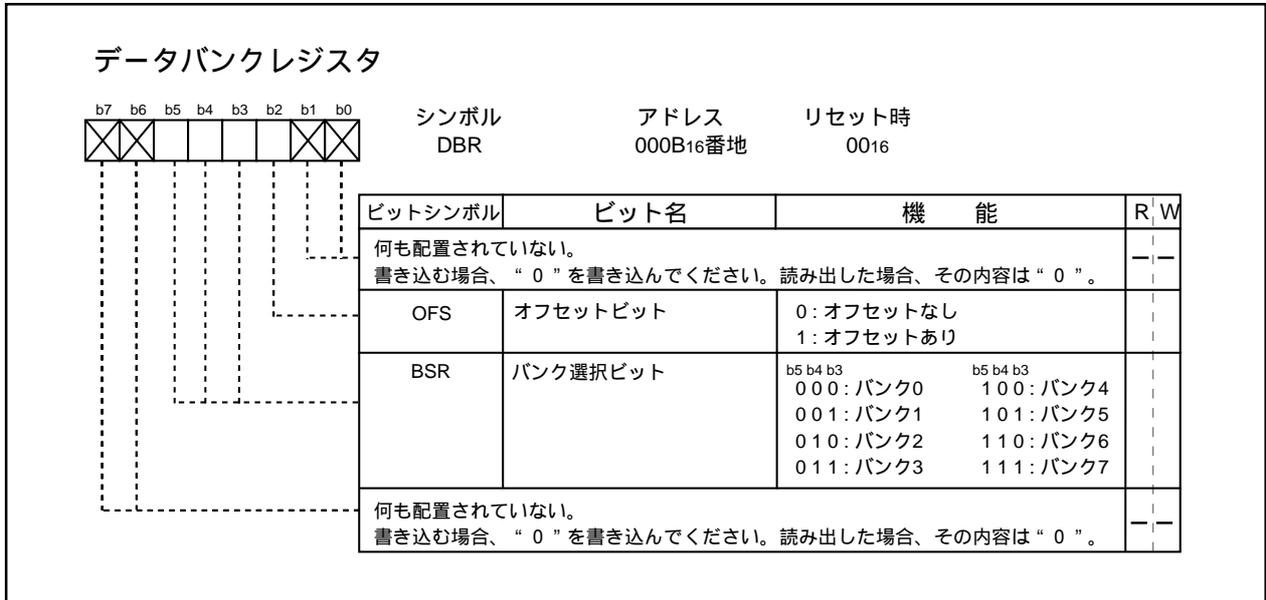


図1.8.4. データバンクレジスタ

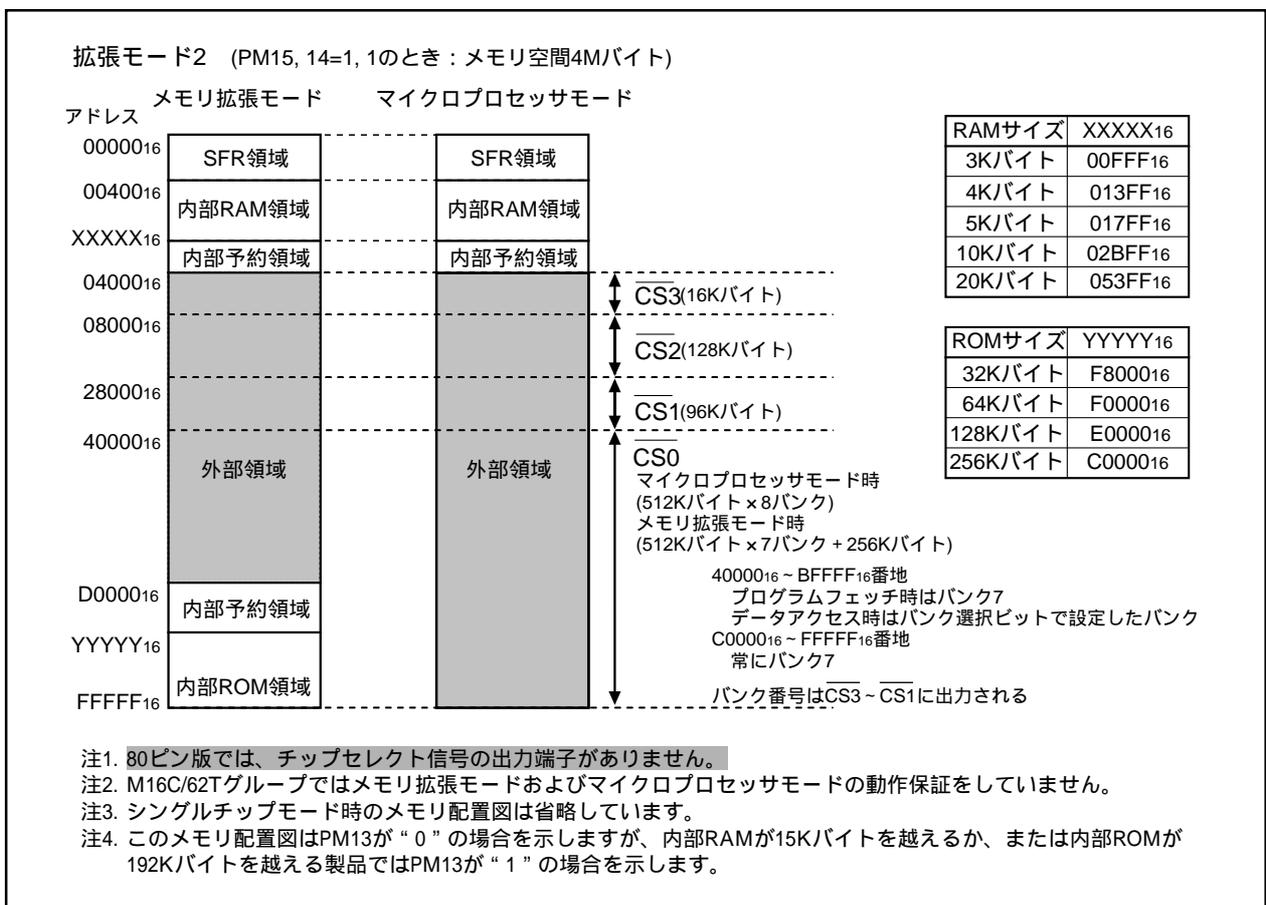


図1.8.5. 拡張モード2時のメモリ配置図およびチップセレクト領域

データバンクレジスタは、バンク選択ビット(ビット5~3)とオフセットビット(ビット2)で構成されます。バンク選択ビットは、 $40000_{16} \sim BFFFF_{16}$ の領域のデータアクセス時のバンク番号を設定します。オフセットビットを“1”に設定することで、 40000_{16} 番地分のオフセットを設定することができます。

拡張モード2時のメモリ配置図およびチップセレクト領域を図1.8.5に示します。

$\overline{CS0}$ の領域は、 $40000_{16} \sim FFFFF_{16}$ となりますが、その内 $40000_{16} \sim BFFFF_{16}$ の領域については、データアクセス時のみ $\overline{CS3} \sim \overline{CS1}$ の出力端子よりバンク選択ビットで設定したバンク番号が出力されます。プログラムフェッチの場合は常に $\overline{CS3} \sim \overline{CS1}$ はバンク7(1112)が出力されます。それ以外の領域 $C0000_{16} \sim FFFFF_{16}$ についてはデータアクセス、プログラムフェッチにかかわらず $\overline{CS3} \sim \overline{CS1}$ はバンク7(1112)が出力されず。

$\overline{CS0}$ 以外の領域のアクセスの場合は、データアクセス、プログラムフェッチにかかわらず、従来通りアドレスによって $\overline{CS3}$ ($4000_{16} \sim 7FFF_{16}$)、 $\overline{CS2}$ ($8000_{16} \sim 27FFF_{16}$)、 $\overline{CS1}$ ($28000_{16} \sim 3FFFF_{16}$)のチップセレクト信号が出力されます。

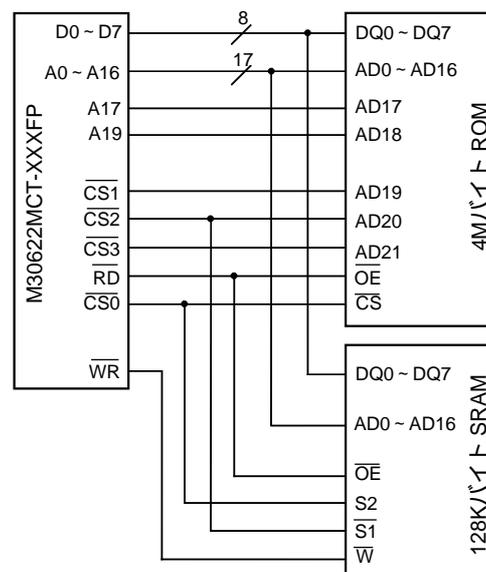
図1.8.6に、4MバイトのROMと128KバイトのSRAMの接続例を示します。4MバイトのROMのチップセレクトには $\overline{CS0}$ を接続します。アドレス入力AD21, AD20, AD19にはM16Cの $\overline{CS3}$, $\overline{CS2}$, $\overline{CS1}$ をそれぞれ接続します。アドレス入力AD18にはM16CのA19出力を接続します。この接続における4MバイトROMとM16Cのアドレスの関係を図1.8.7に示します。

このモードでは、512Kバイト毎のバンクがあり、バンクが異なるデータアクセスには、バンクを切り替える必要があります。しかし、オフセットビット“0”時のバンク境界部分データは、オフセットビットを“1”に設定することで、 4000_{16} 番地のオフセットがつき、バンク境界部分のデータであっても、連続してアクセスできます。例えば、4MバイトROMの $0FFFF_{16}$ 番地と 10000_{16} 番地に配置される2バイトのデータは、オフセットビットを“1”にし $07FFF_{16}$ 番地と 8000_{16} 番地をアクセスすることでバンクビットを切り替えることなく連続的にアクセスできます。

一方、SRAMのチップセレクトは $\overline{CS0} = 1$ (非選択)で $\overline{CS2} = 0$ (選択)であることが条件ですので、S2には $\overline{CS0}$ をS1には $\overline{CS2}$ をそれぞれ接続します。もし、両極性のチップセレクト信号入力端子を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

拡張モード2外部メモリ接続例

(M30622MCT-XXXXFP、マイクロプロセッサモード時の例)



注1. チップセレクト端子(S1,S2)が1本しかない場合、外付け回路でデコードが必要。

注2. 80ピン版ではチップセレクト信号の出力端子がありません。

注3. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.8.6. 拡張モード2時の外部メモリ接続例

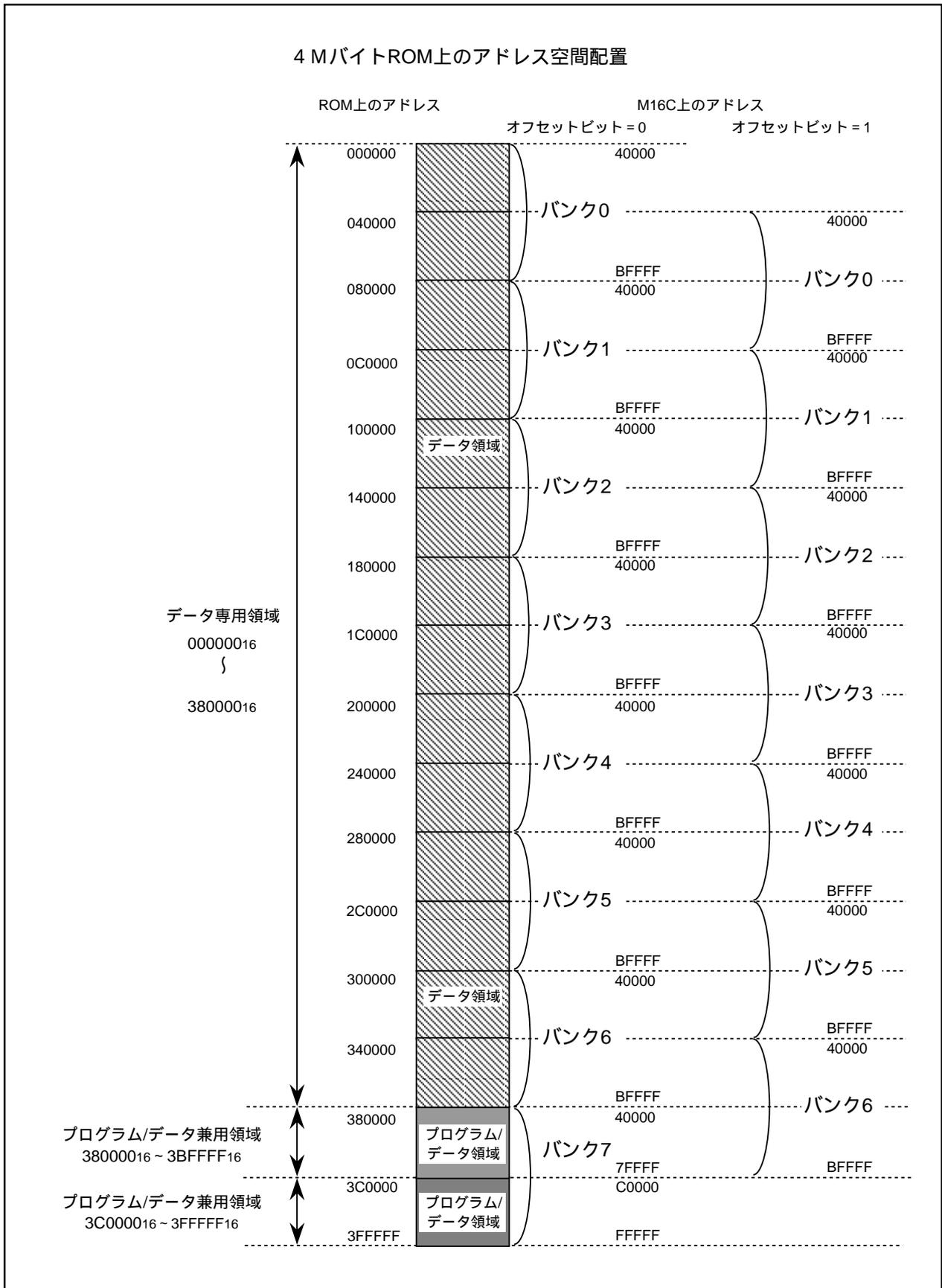


図1.8.7. 4MバイトROMのアドレスとM16Cのアドレスとの関係

ソフトウェアリセット

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

ただし、M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

メモリ拡張モードおよびマイクロプロセッサモードについては、メモリ空間拡張機能を使用し、アクセス空間を拡大することが可能です(詳細は、「メモリ空間拡張機能」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットを書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットを書き替えるとき、プロセッサモードビットが変化しないように注意してください。プロセッサモードビットを“01₂”または“11₂”に書き替えるときは、他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてから、プロセッサモードビットを書き替えてください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図1.9.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図1.10.1にメモリ空間拡張なし(ノーマルモード)時の、各プロセッサモードのメモリ配置図を示します。

プロセッサモード

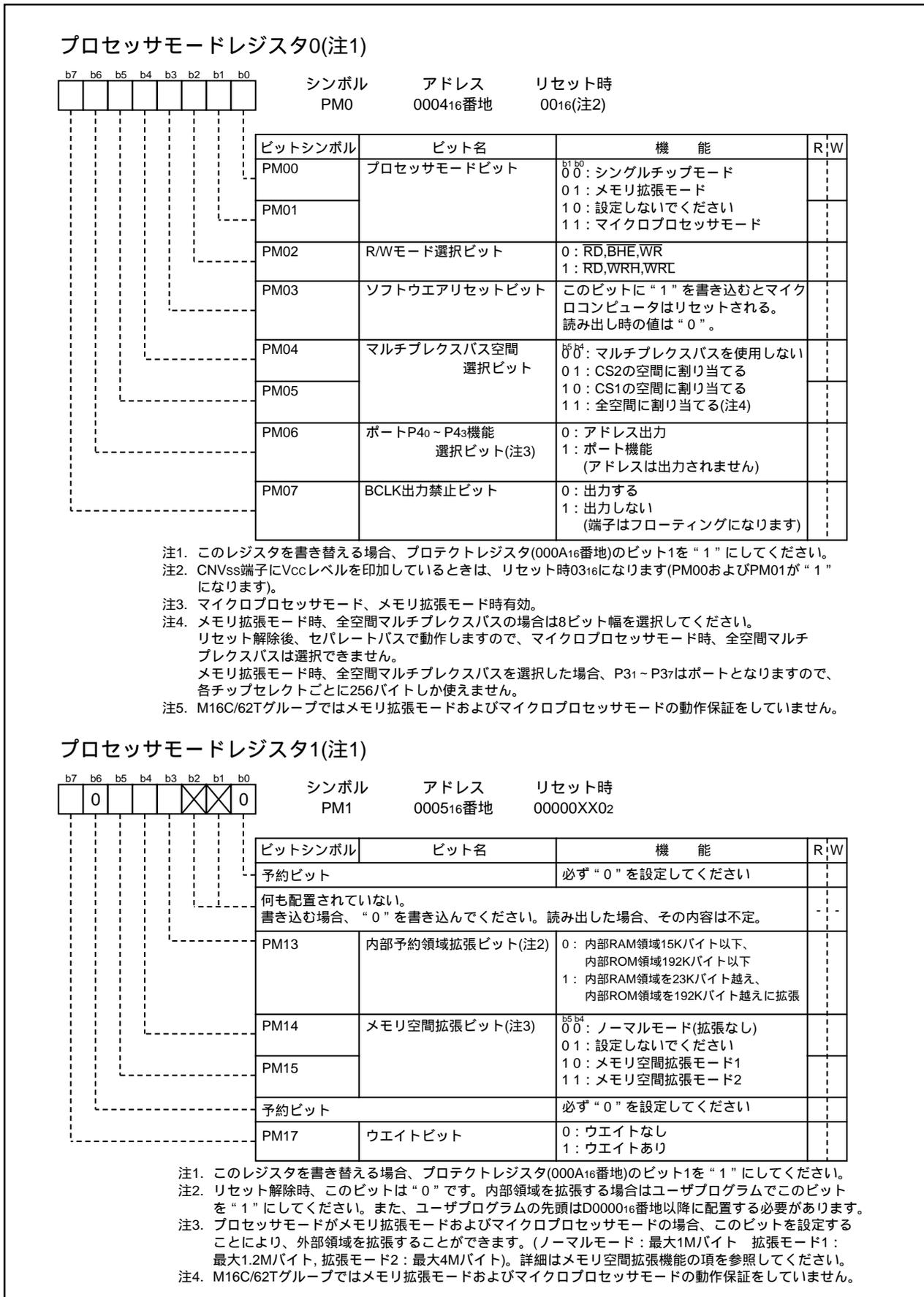


図1.9.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

プロセッサモード

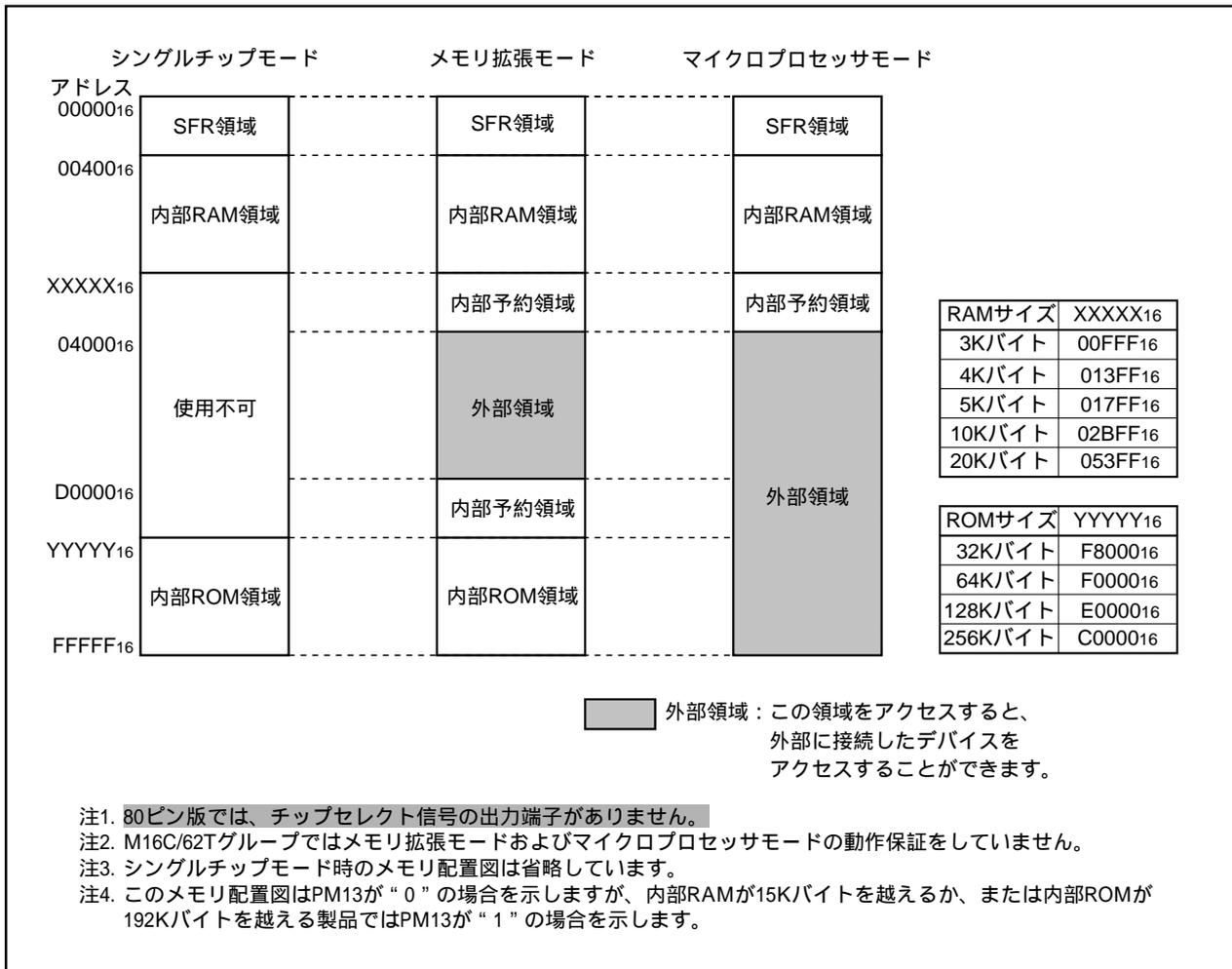


図1.10.1. 各プロセッサモード時のメモリ配置(メモリ空間拡張なし：ノーマルモード)

内部予約領域拡張ビット(PM13)

内部RAM領域、内部ROM領域を拡張し、チップセレクトの領域を変更するビットです。例えば、M30624MGT/FGU、M30625FGT/FGUで、このビットを“1”にすると、内部RAM領域20Kバイト、内部ROM領域256Kバイトに拡張されます。チップセレクトの領域に関しては、図1.10.2を参照してください。リセット解除時、このビットは“0”です。内部領域を拡張する場合は、ユーザプログラムで、このビットを“1”にしてください。また、ユーザプログラムの先頭は、D0000₁₆番地以降に配置する必要があります。

内部RAM15Kバイト以下または内部ROM192Kバイト以下の製品で、メモリ拡張モードまたはマイクロプロセッサモードで使用する場合は、このビットを“0”にしてください。シングルチップモードで使用する場合は“1”にしても内部領域は拡張されず、動作にも影響を与えません。

内部RAM15Kバイト越え、内部ROM192Kバイト越えの製品について、PM13(内部予約領域拡張ビット)による各プロセッサモード時のメモリ配置およびチップセレクト領域を図1.10.2に示します。

プロセッサモード

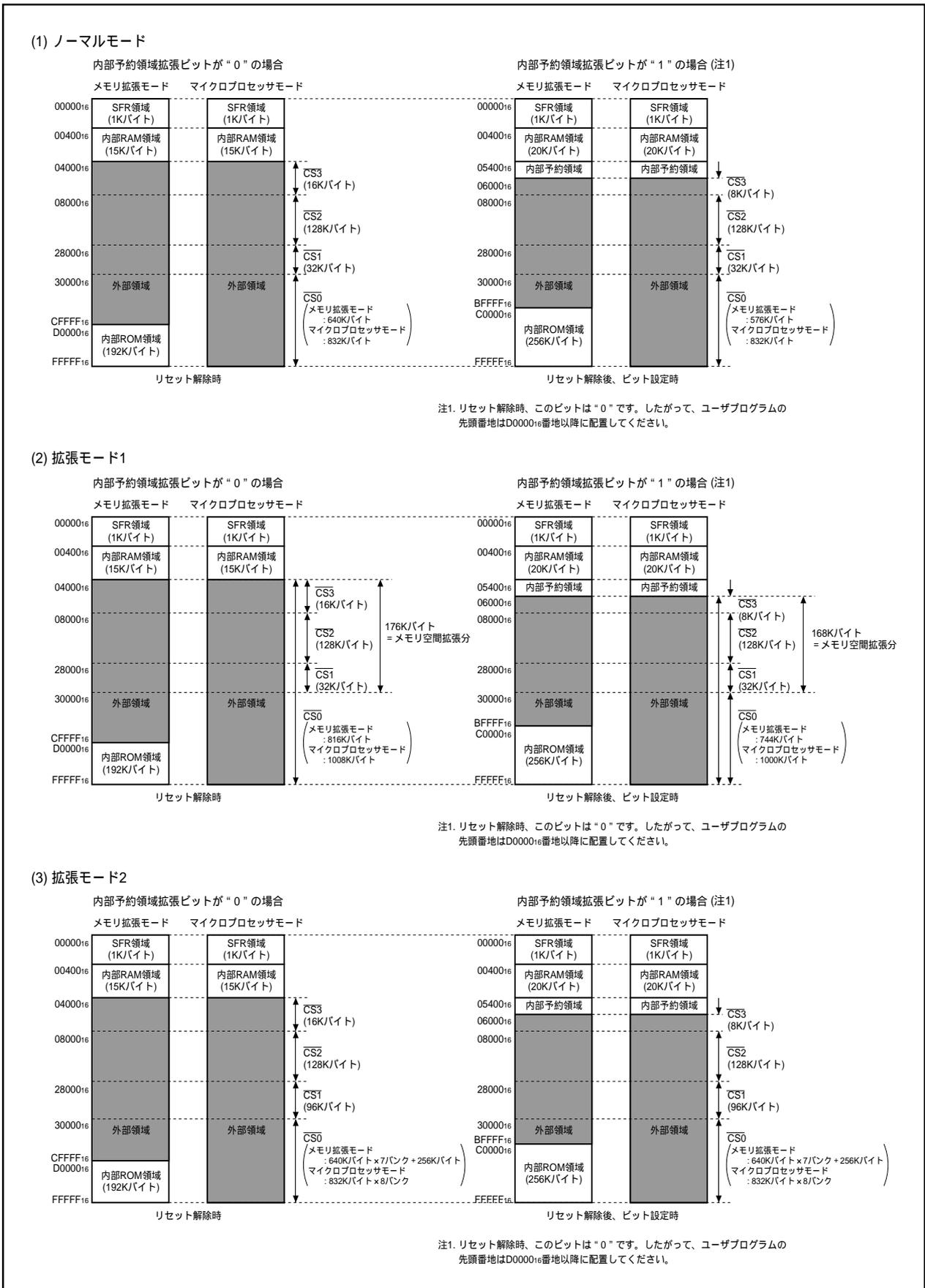


図1.10.2. 各プロセッサモード時のメモリ配置およびチップセレクト領域

バス設定

バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6で切り替えることができます。

80ピン版では、BYTE端子がマイクロコンピュータ内部でCNV_{ss}端子に接続しているため、外部データバス幅は8ビットのみ使用できます。

M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.11.1に各バスの設定と切り替え要因を示します。

表1.11.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス/マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

注1. 80ピン版では、外部データバス幅は切り替え不可(8ビット固定)です。

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のときは16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス/マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウェアウエイトの有無を選択できます。

マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。BYTE端子が“H”レベルのとき、D₀～D₇の8ビットがA₀～A₇とマルチプレクスされます。

BYTE端子が“L”レベルのとき、D₀～D₇の8ビットがA₁～A₈とマルチプレクスされD₈～D₁₅はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、P56から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウエアウエイトを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

バス設定

表1.11.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード				メモリ拡張モード(注1)
		“01”、“10” (CS1またはCS2はマルチプレクスバス、それ以外はセパレートバス)		“00” (セパレートバス)		
マルチプレクスバス空間選択ビット						“11”(注2) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P00~P07	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
P10~P17	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
P20	入出力ポート	アドレスバス/ データバス(注3)	アドレスバス	アドレスバス	アドレスバス	アドレスバス/ データバス
P21~P27	入出力ポート	アドレスバス/ データバス(注3)	アドレスバス/ データバス(注3)	アドレスバス	アドレスバス	アドレスバス/ データバス
P30	入出力ポート	アドレスバス	アドレスバス/ データバス(注3)	アドレスバス	アドレスバス	A8/D7
P31~P37	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P40~P43 ポートP40~P43機能 選択ビット=“1”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
P40~P43 ポートP40~P43機能 選択ビット=“0”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P44~P47	入出力ポート	CS(チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「バス制御」を参照)				
P50~P53	入出力ポート	RD、WRL、WRH、BCLK出力またはRD、BHE、WR、BCLK出力 (詳細は「バス制御」を参照)				
P54	入出力ポート	HLDA	HLDA	HLDA	HLDA	HLDA
P55	入出力ポート	HOLD	HOLD	HOLD	HOLD	HOLD
P56	入出力ポート	ALE	ALE	ALE	ALE	ALE
P57	入出力ポート	RDY	RDY	RDY	RDY	RDY

注1. 80ピン版では、メモリ拡張モードに正しく移行するには次のいずれかの手順でデータバス幅を8ビットにしておく必要があります。

リセット時にCNVss(BYTE)端子に“H”を入力することによりプロセッサモードでプログラムを開始する。その後、プロセッサモードビットをメモリ拡張モードに変更する。

リセット時にCNVss(BYTE)端子に“L”を入力することによりシングルチップモードでプログラムを開始し、ポート出力等によりCNVss(BYTE)端子に“H”を入力する。その後、プロセッサモードビットをメモリ拡張モードに変更する。

注2. メモリ拡張モード時、全空間マルチプレクスバスの場合は8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、P31~P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

注3. セパレートバスではアドレスバスになります。

注4. 80ピン版では、P1、P44~P47の各端子は外部に接続されていません。

注5. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウェアウエイトは全プロセッサモードで有効です。

80ピン版では、BYTE端子がマイクロコンピュータ内部でCNVss端子に接続しているため、外部データバス幅は8ビットのみ使用できます。

M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

(1) アドレスバス / データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0 ~ A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0 ~ D7の8本がデータバスに、BYTE端子が“L”のときはD0 ~ D15の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号 (80ピン版ではチップセレクト信号の出力端子がありません)

チップセレクト信号はP44 ~ P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0 ~ ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44 ~ P47はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のときCS0だけチップセレクト信号を出力し、CS1 ~ CS3は入力ポートになっています。チップセレクト制御レジスタの構成を図1.12.1に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.12.1、表1.12.2に示します。

表1.12.1. チップセレクト信号によって指定する外部領域

(内部RAM15Kバイト以内で、かつ内部ROM192Kバイト以内の製品)

メモリ空間拡張モード	プロセッサモード	チップセレクト信号					
		CS0	CS1	CS2	CS3		
指定するアドレス範囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)	
		マイクロプロセッサモード	30000 ₁₆ ~ FFFFF ₁₆ (832Kバイト)				
	拡張モード1 (PM15,14=1,0)	メモリ拡張モード	04000 ₁₆ ~ CFFFF ₁₆ (816Kバイト)				
		マイクロプロセッサモード	04000 ₁₆ ~ FFFFF ₁₆ (1008Kバイト)				
	拡張モード2 (PM15,14=1,1)	メモリ拡張モード	40000 ₁₆ ~ BFFFF ₁₆ (512Kバイト × 7 + 256Kバイト)				28000 ₁₆ ~ 3FFFF ₁₆ (96Kバイト)
		マイクロプロセッサモード	40000 ₁₆ ~ FFFFF ₁₆ (512Kバイト × 8)				

注1. 80ピン版ではチップセレクト信号の出力端子はありません。

注2. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.12.2. チップセレクト信号によって指定する外部領域
(内部RAM15Kバイトを越える、または内部ROM192Kバイトを越える製品)

メモリ空間拡張モード	プロセッサモード	チップセレクト信号				
		CS0	CS1	CS2	CS3	
指定するアドレス範囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	PM13 = 0のとき 04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト) PM13 = 1のとき 06000 ₁₆ ~ 07FFF ₁₆ (8Kバイト)	
		マイクロプロセッサモード				PM13 = 0のとき 30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト) PM13 = 1のとき 30000 ₁₆ ~ BFFFF ₁₆ (576Kバイト)
	拡張モード1 (PM15,14=1,0)	メモリ拡張モード				PM13 = 0のとき 04000 ₁₆ ~ CFFFF ₁₆ (816Kバイト) PM13 = 1のとき 06000 ₁₆ ~ BFFFF ₁₆ (744Kバイト)
		マイクロプロセッサモード				PM13 = 0のとき 04000 ₁₆ ~ FFFFF ₁₆ (1008Kバイト) PM13 = 1のとき 06000 ₁₆ ~ FFFFF ₁₆ (1000Kバイト)
拡張モード2 (PM15,14=1,1)	メモリ拡張モード	28000 ₁₆ ~ 3FFFF ₁₆ (96Kバイト)				
	マイクロプロセッサモード				40000 ₁₆ ~ BFFFF ₁₆ (512Kバイト × 7 + 256Kバイト) 40000 ₁₆ ~ FFFFF ₁₆ (512Kバイト × 8)	

注1. 80ピン版ではチップセレクト信号の出力端子はありません。

注2. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

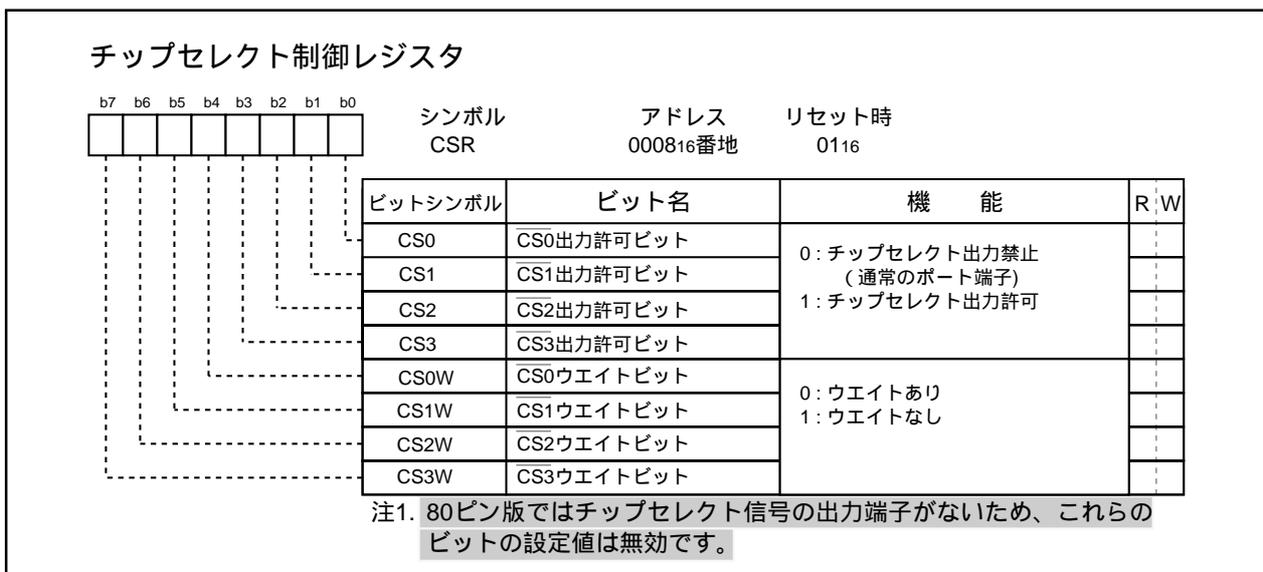
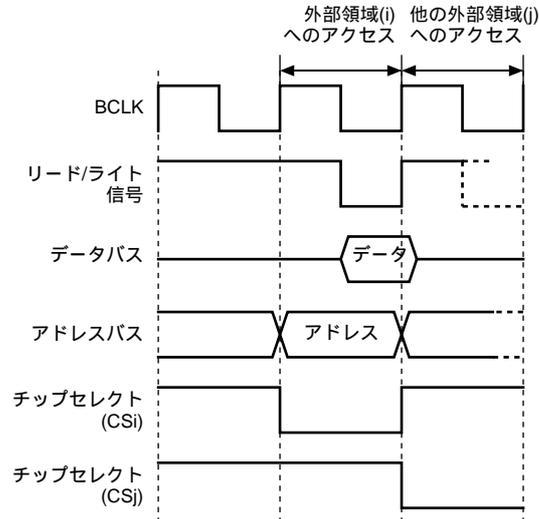


図1.12.1. チップセレクト制御レジスタの構成

チップセレクト信号が“L”(アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図1.12.2に示します。

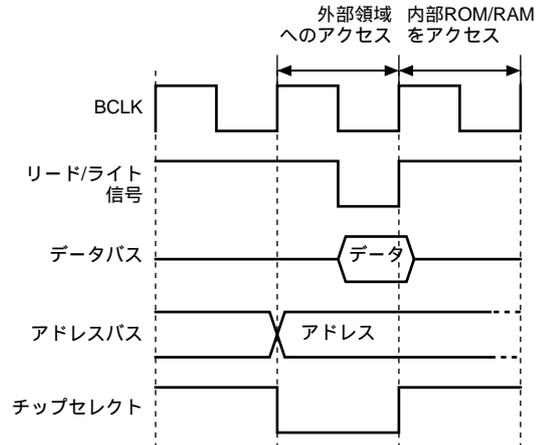
(例1) 外部領域へアクセス後、次のサイクルでアドレス信号、チップセレクト信号が共に変化

外部領域(i)へアクセス後、次のサイクルで他のチップセレクト信号が示す領域(j)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化します。



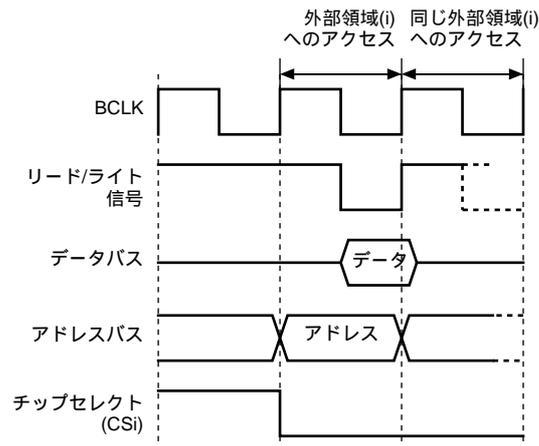
(例2) 外部領域へアクセス後、次のサイクルでチップセレクト信号のみ変化 (アドレスバスは変化しない)

外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でチップセレクト信号は変化しますが、アドレスバスは変化しません。



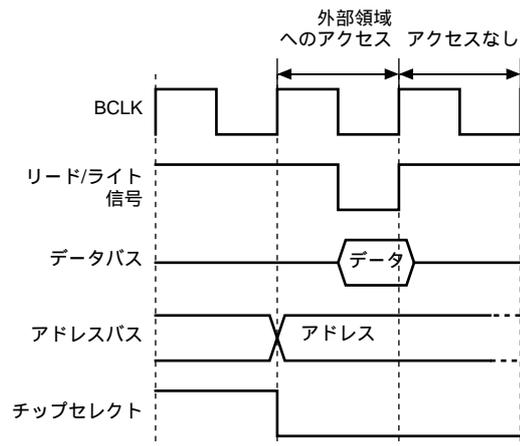
(例3) 外部領域へアクセス後、次のサイクルでアドレスバスのみ変化 (チップセレクト信号は変化しない)

外部領域(i)へアクセス後、次のサイクルで同じチップセレクト信号が示す領域(i)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバスは変化しますが、チップセレクト信号は変化しません。



(例4) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号共に変化しない

外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しません。



注 . これらの例は、連続する2つのサイクル8のアドレスバスおよびチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2サイクル以上伸びる場合があります。

図1.12.2. アドレスバスとチップセレクト信号の出力例 (セパレートバス ウェイトなし)

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、RD、BHE、WRの組み合わせ、またはRD、WRL、WRHの組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号はRD、WR、BHEの組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2を“0”にしてください)。各信号の動作を表1.12.3、表1.12.4に示します。

リセット解除後、リード/ライト信号はRD、WR、BHEの組み合わせです。

RD、WRL、WRHの組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.12.3. RD、WRL、WRH信号の動作

データバス幅	RD	WRL	WRH	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.12.4. RD、WR、BHE信号の動作

データバス幅	RD	WR	BHE	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

注1. 80ピン版ではBYTE=“H”のみ使用できます。

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

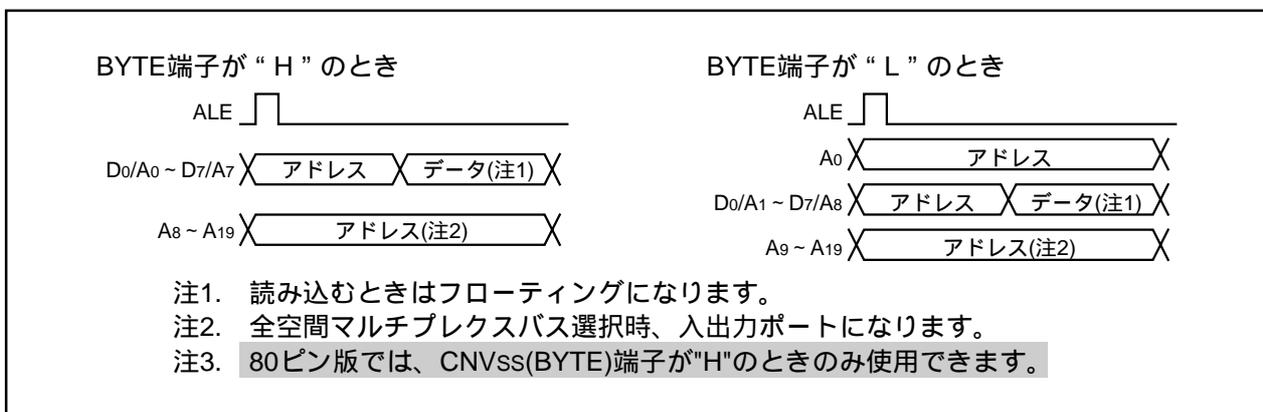


図1.12.3. ALE信号とアドレスバス/データバス

(5) RDY信号

RDYは、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.12.4に示すようにBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりでRDY端子に“H”が入力されているとき、バスはウェイト状態を解除します。表1.12.5にバスのウェイト状態におけるマイクロコンピュータの状態、図1.12.4にRD信号がRDY信号によつてのびた例を示します。

RDY信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“1”を設定している場合は、RDY信号は無効ですが、RDY端子の未使用端子の処理が必要です。

表1.12.5. バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項目	状態
発振	動作
R/W信号、アドレスバス、データバス、CS ALE信号、HLDA プログラマブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウェイトによるウェイトの直前にはRDY信号は受け付けられません。

注2. 80ピン版ではCS信号の出力端子はありません。

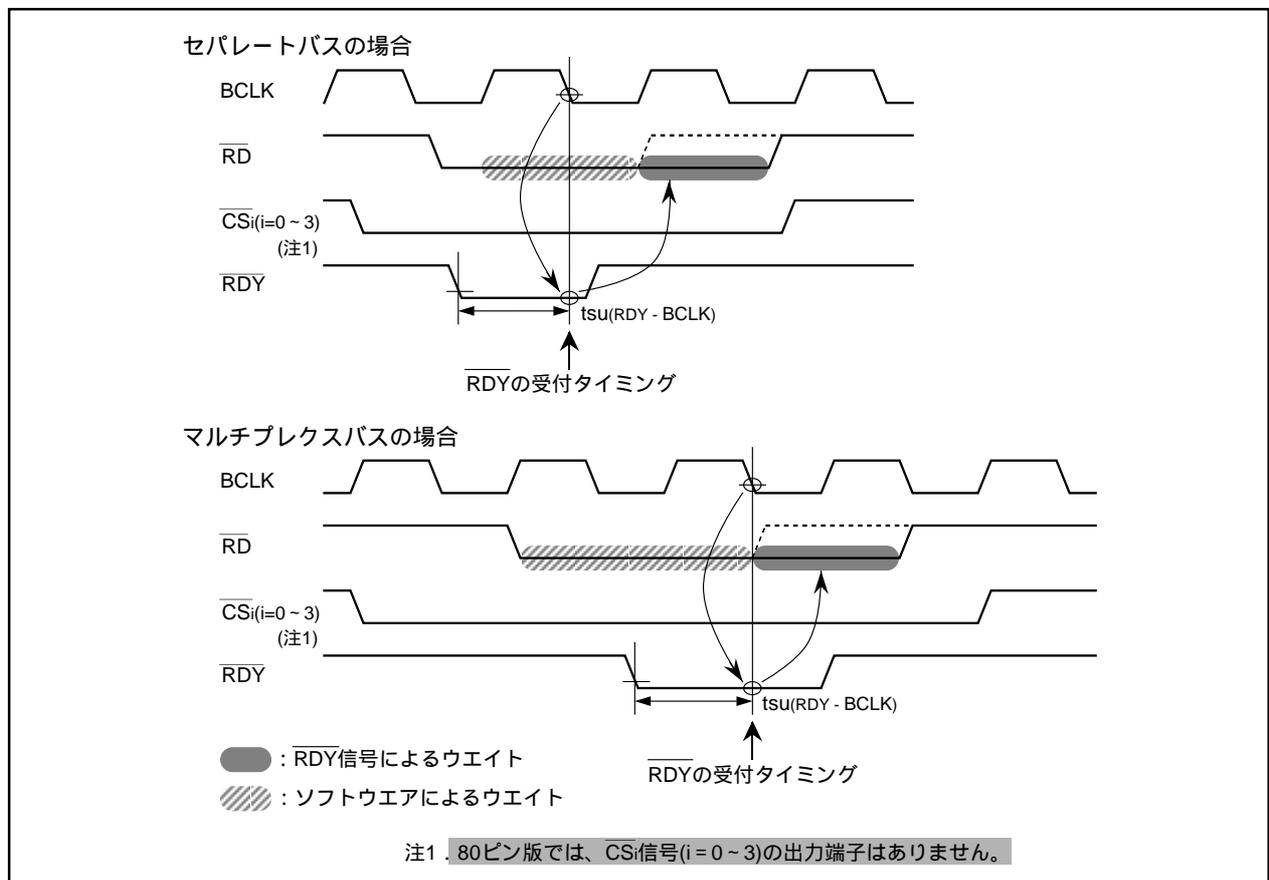


図1.12.4. RD信号がRDY信号によつてのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、HOLD端子が“L”の期間その状態を保持します。また、その間HLDA端子から“L”を出力します。表1.12.6にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなっています。

HOLD > DMAC > CPU

図1.12.5. バス使用優先順位

表1.12.6. ホールド状態におけるマイクロコンピュータの状態

項 目		状 態
発振		動作
R/W信号、アドレスバス、データバス、CS、BHE		フローティング
プログラマブル入出力ポート	P0,P1,P2,P3,P4,P5	フローティング
	P6,P7,P8,P9,P10	ホールド信号を受け付けた状態を保持
HLDA		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

注1. 80ピン版ではP1、P44～P47(CS0～CS3)、P72～P75、P91は外部端子への接続はありませんが、内部では上記の状態となっています。

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.12.7に示します。

表1.12.7. 内部領域をアクセスしたときの外部バスの状態

項 目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
RD, WR, WRL, WRH		RD, WR, WRL, WRHを出力	“H”を出力
BHE		BHEを出力	直前にアクセスされた外部領域の状態を保持
CS		“H”を出力	“H”を出力
ALE		“L”を出力	“L”を出力

注1. 80ピン版ではCS信号の出力端子はありません。

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容に関わらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクトCS₀～CS₃に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウェアウエイトを挿入してください。

表1.12.8にソフトウェアウエイトとバスサイクル、図1.12.6にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

注2. 80ピン版ではチップセレクト信号の出力端子はありません。

表1.12.8. ソフトウェアウエイトとバスサイクル

領域	バス形状	ウエイトビット	チップセレクト制御レジスタビット4～ビット7	バスサイクル
SFR	————	無効	無効	BCLKの2サイクル
内部ROM/RAM	————	0	無効	BCLKの1サイクル
	————	1	無効	BCLKの2サイクル
外部メモリ領域	セパレートバス	0	1	BCLKの1サイクル
	セパレートバス	0	0	BCLKの2サイクル
	セパレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

注1. RDY信号を使用する場合、“0”を設定してください。

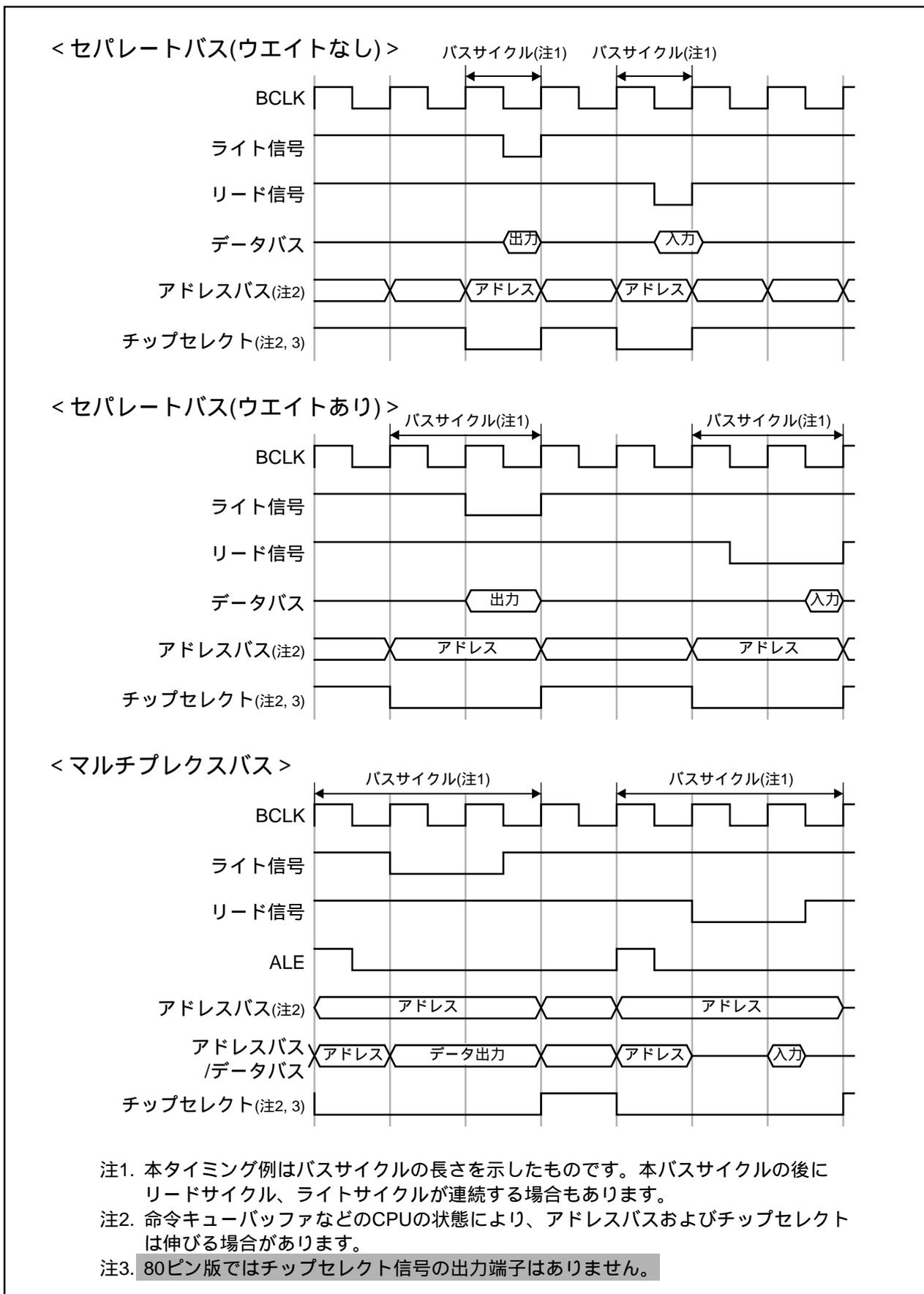


図1.12.6. ソフトウエアウエイトを使用した場合のバスタイミング例

クロック発生回路

クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.13.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図1.13.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.13.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.13.1中および図1.13.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

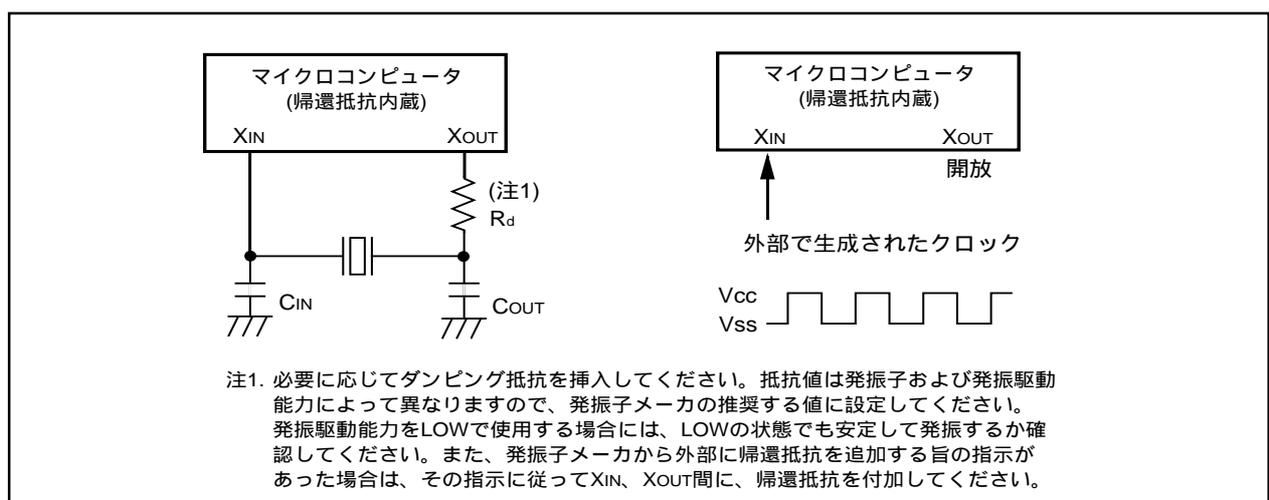


図1.13.1. メインクロックの接続例

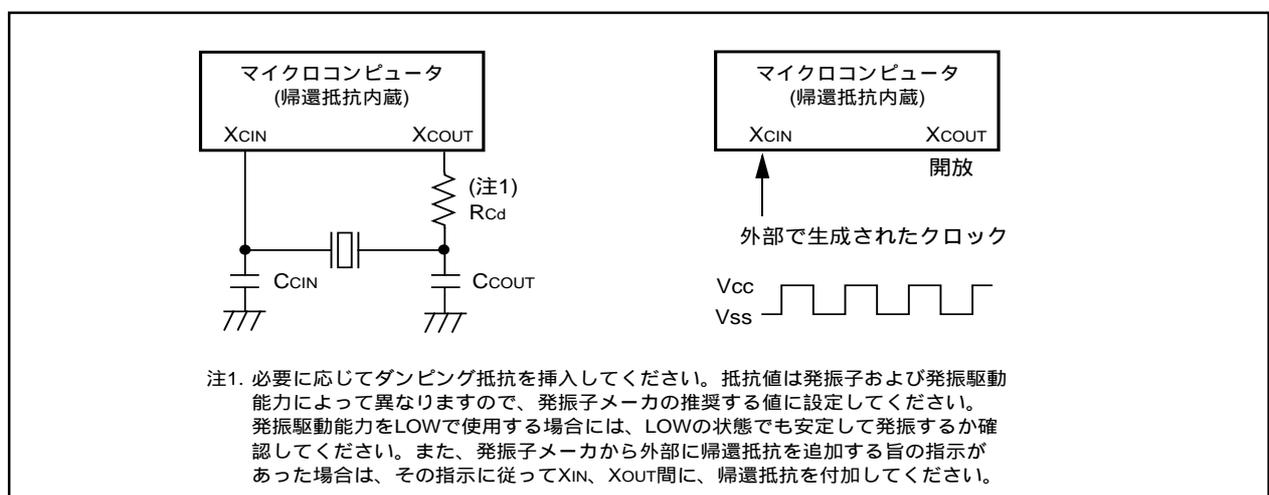


図1.13.2. サブクロックの接続例

クロック発生回路

クロックの制御

図1.13.3にクロック発生回路のブロック図を示します。

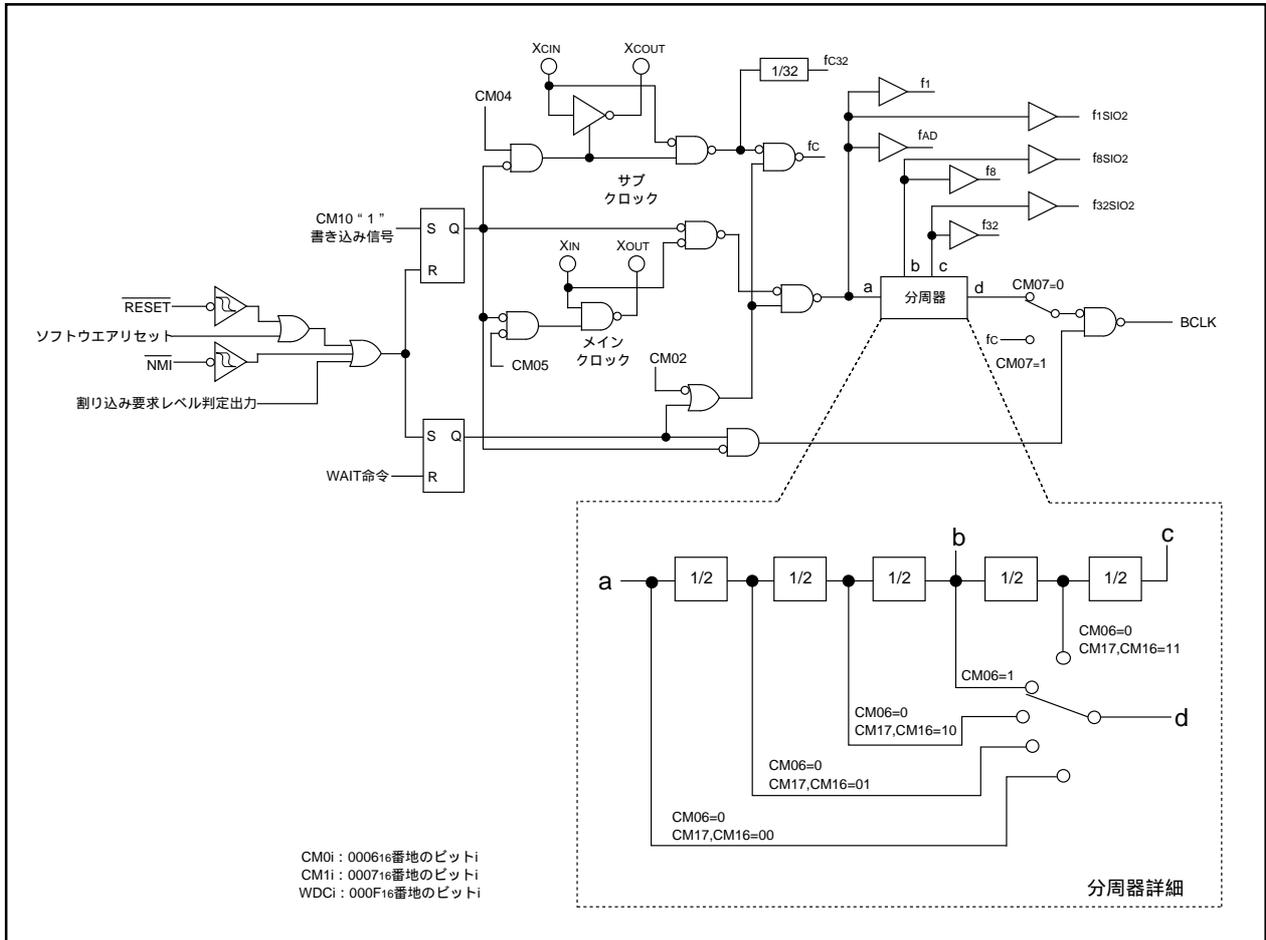


図1.13.3. クロック発生回路

クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

XCIN/XCOUTを使用する場合、ポートP86、P87は入力ポートでプルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図1.13.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

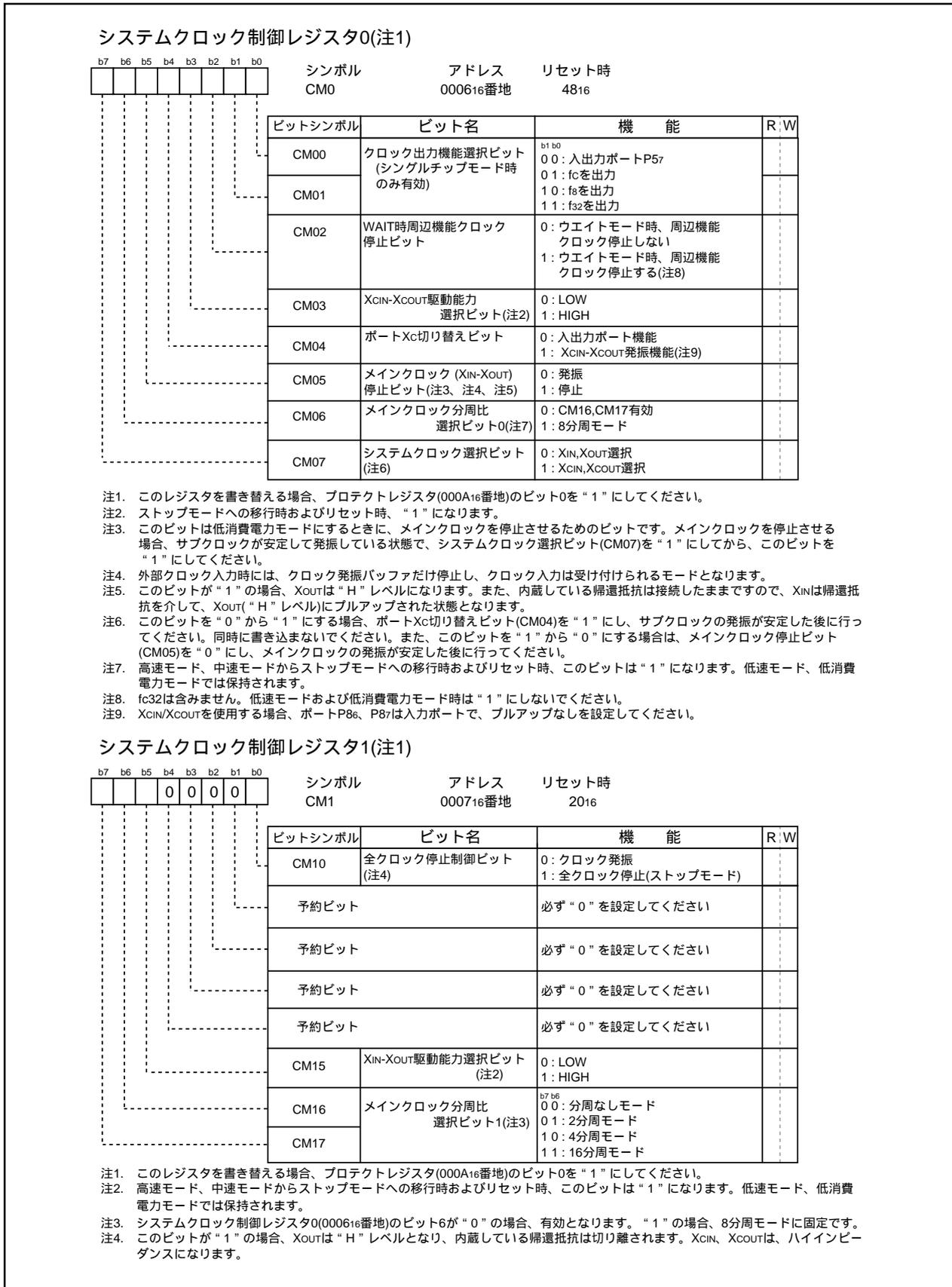


図1.13.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック発生回路

クロック出力

シングルチップモード時、クロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってP57/CLKOUT端子からf₈、f₃₂またはf_cを出力することができます。WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f₁SIO2～f₃₂SIO2、f_c、f_c32、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i=0～2)、SIO3, 4は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.13.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)が“1”になります。低速モード、低消費電力モードでは保持されます。

表1.13.2. ストップモード時のポートの状態

端 子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード	
アドレスバス, データバス, CS0～CS3, BHE	ストップモードに入る直前の状態を保持	/	
RD, WR, WRL, WRH	“H”		
HLDA, BCLK	“H”		
ALE	“H”		
ポート	ストップモードに入る直前の状態を保持		ストップモードに入る直前の状態を保持
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	“H”
	f ₈ 、f ₃₂ 選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

注1. 80ピン版では、CS0～CS3は外部端子への接続はありませんが、内部では上記の状態となっています。

ウエイトモード

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表1.13.3に示します。

ウエイトモードはハードウェアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウエイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウエイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウエイトモードに移行してください。

表1.13.3. ウエイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ウエイトモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“ H ”	
HLDA, BCLK		“ H ”	
ALE		“ H ”	
ポート		ウエイトモードに入る直前の状態を保持	ウエイトモードに入る直前の状態を保持
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	停止しません
	f ₈ , f ₃₂ 選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

注1. 80ピン版では、CS0 ~ CS3は外部端子への接続はありませんが、内部では上記の状態となっています。

BCLKの状態遷移

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.13.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードになります。高速モード、中速モードからストップモードへの移行時、およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間をとってから移行するようにしてください。

表1.13.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図1.13.5に示します。

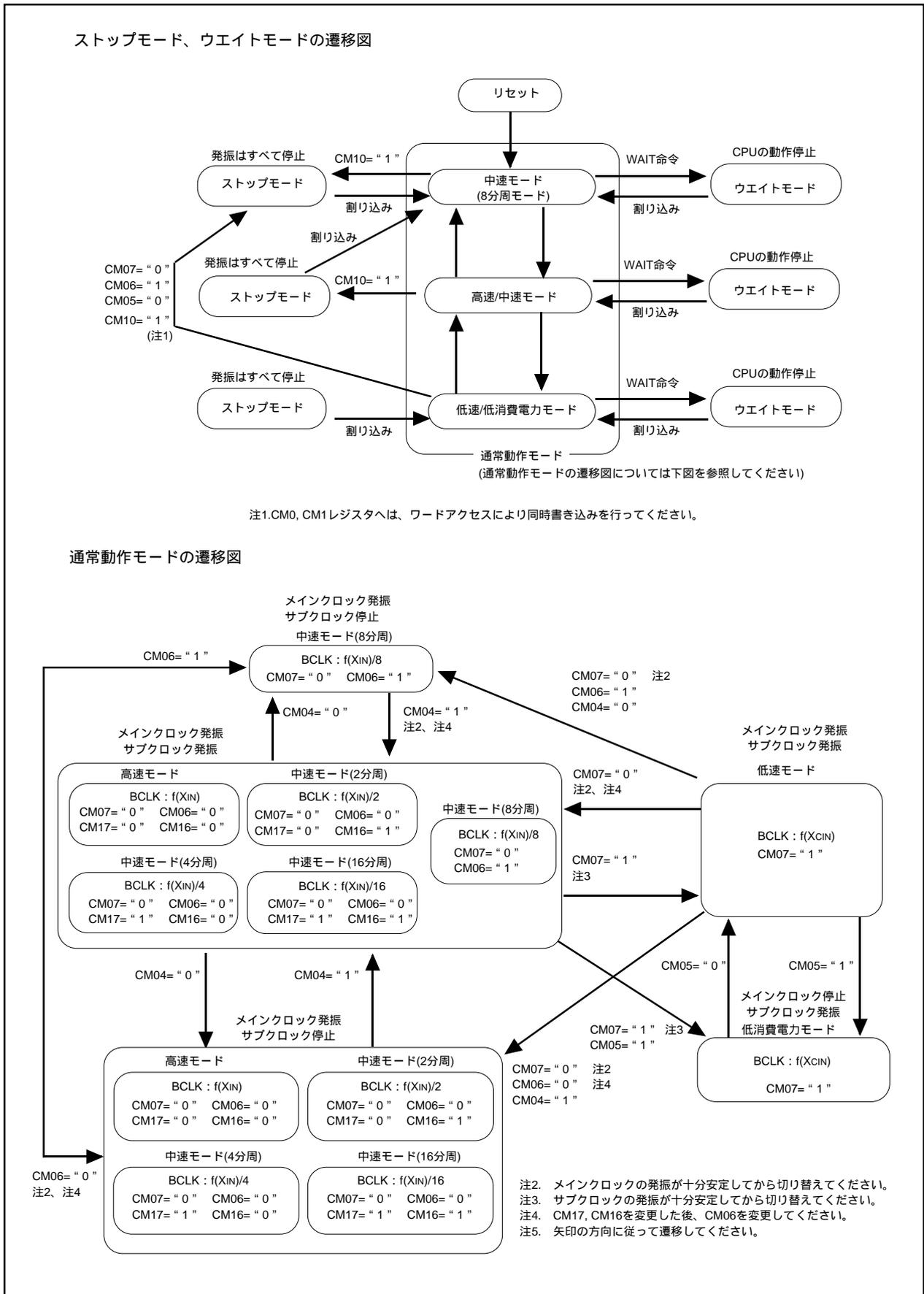


図1.13.5. 状態遷移図

プロテクト

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.13.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、ポートP9方向レジスタ(03F3₁₆番地)、SI/O3制御レジスタ(0362₁₆番地)、およびSI/O4制御レジスタ(0366₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/O_i制御レジスタ($i = 3, 4$)書き込み許可ビット(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

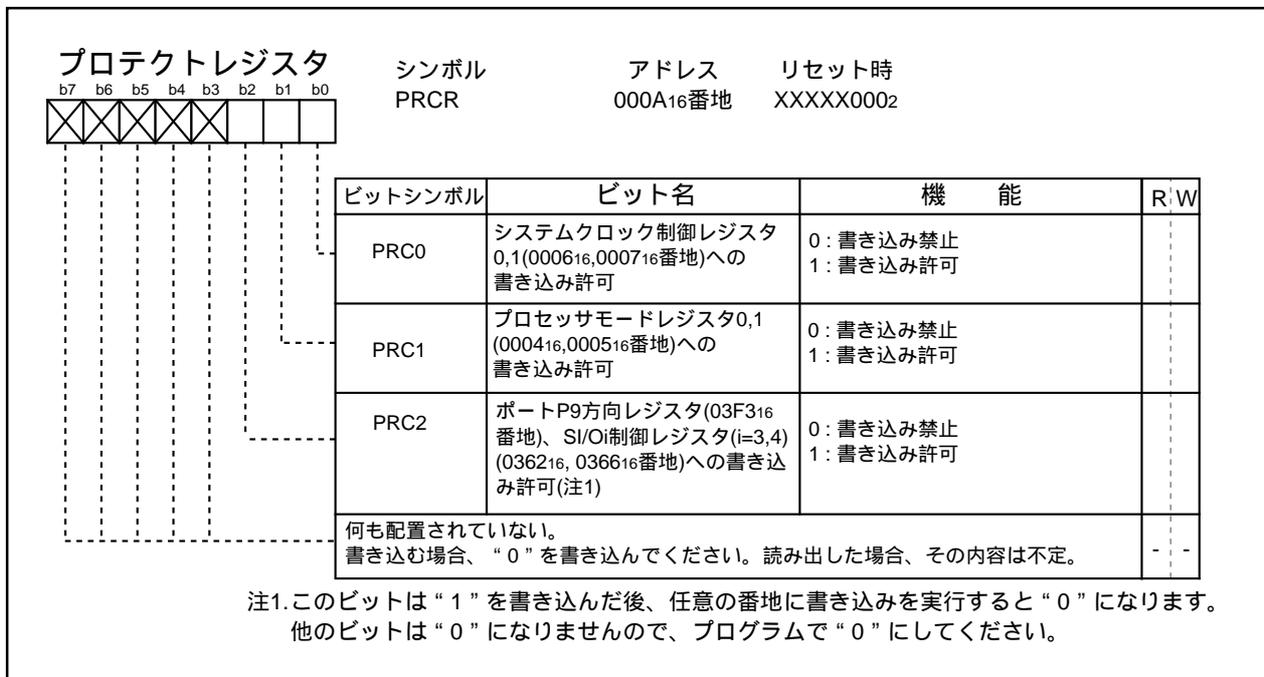


図1.13.6. プロテクトレジスタの構成

割り込み

割り込みの概要

割り込みの分類

図1.14.1に割り込みの分類を示します。

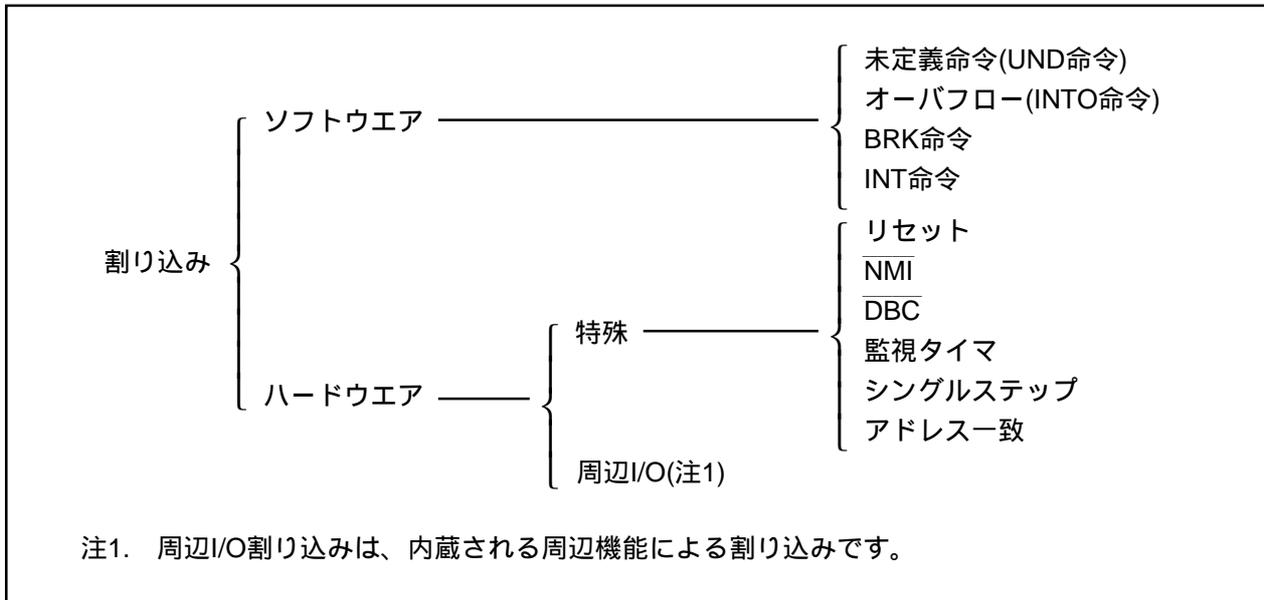


図1.14.1. 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32~63では、スタックポインタは切り替わりません。

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

(1) リセット

リセットは、RESET端子に“L”を入力すると発生します。

(2) NMI割り込み

NMI割り込みは、NMI端子に“L”を入力すると発生します。

(3) DBC割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0～31と同一です。周辺I/O割り込みは、マスク割込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{KI0}$ ～ $\overline{KI3}$ 端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{INT0}$ ～ $\overline{INT5}$ 割り込み

\overline{INT} 割り込みは、 \overline{INT} 端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

注1. 80ピン版では、P15/D13/ $\overline{INT3}$ ～P17/D15/ $\overline{INT5}$ が外部端子への接続がないため $\overline{INT3}$ ～ $\overline{INT5}$ を割り込み要因として使用できません。

割り込み

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.14.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図1.14.2. 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.14.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.14.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備考
未定義命令	FFFDC ₁₆ ～FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ～FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ～FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ～FFFEB ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE0 ₁₆ ～FFFEF ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ～FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ～FFFF7 ₁₆	通常は使用禁止
NMI	FFFF8 ₁₆ ～FFFFB ₁₆	NMI端子入力による外部割り込み
リセット	FFFFC ₁₆ ～FFFFF ₁₆	

注1. デバッガ専用割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.14.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

割り込み

表1.14.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号4	+16～+19(注1)	$\overline{\text{INT3}}$ (注4)	
ソフトウェア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウェア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウェア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウェア割り込み番号8	+32～+35(注1)	SI/O4 / $\overline{\text{INT5}}$ (注2,注4)	
ソフトウェア割り込み番号9	+36～+39(注1)	SI/O3 / $\overline{\text{INT4}}$ (注2,注4)	
ソフトウェア割り込み番号10	+40～+43(注1)	バス衝突検出	
ソフトウェア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウェア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウェア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウェア割り込み番号14	+56～+59(注1)	A-D	
ソフトウェア割り込み番号15	+60～+63(注1)	UART2送信 / NACK (注3)	
ソフトウェア割り込み番号16	+64～+67(注1)	UART2受信 / ACK (注3)	
ソフトウェア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウェア割り込み番号24	+96～+99(注1)	タイマA3	
ソフトウェア割り込み番号25	+100～+103(注1)	タイマA4	
ソフトウェア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウェア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウェア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウェア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウェア割り込み番号32 ～ ソフトウェア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. 割り込み要因切替ビット(035F₁₆番地のビット6,ビット7)により選択します。

注3. IICモード選択時にNACK、ACK割り込みが選択されます。

注4. 80ピン版では、P15/D13/INT3～P17/D15/INT5が外部端子への接続がないためINT3～INT5を割り込み要因として使用できません。

割り込み制御

マスクブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図1.14.3に割り込み制御レジスタの構成を示します。

割り込み

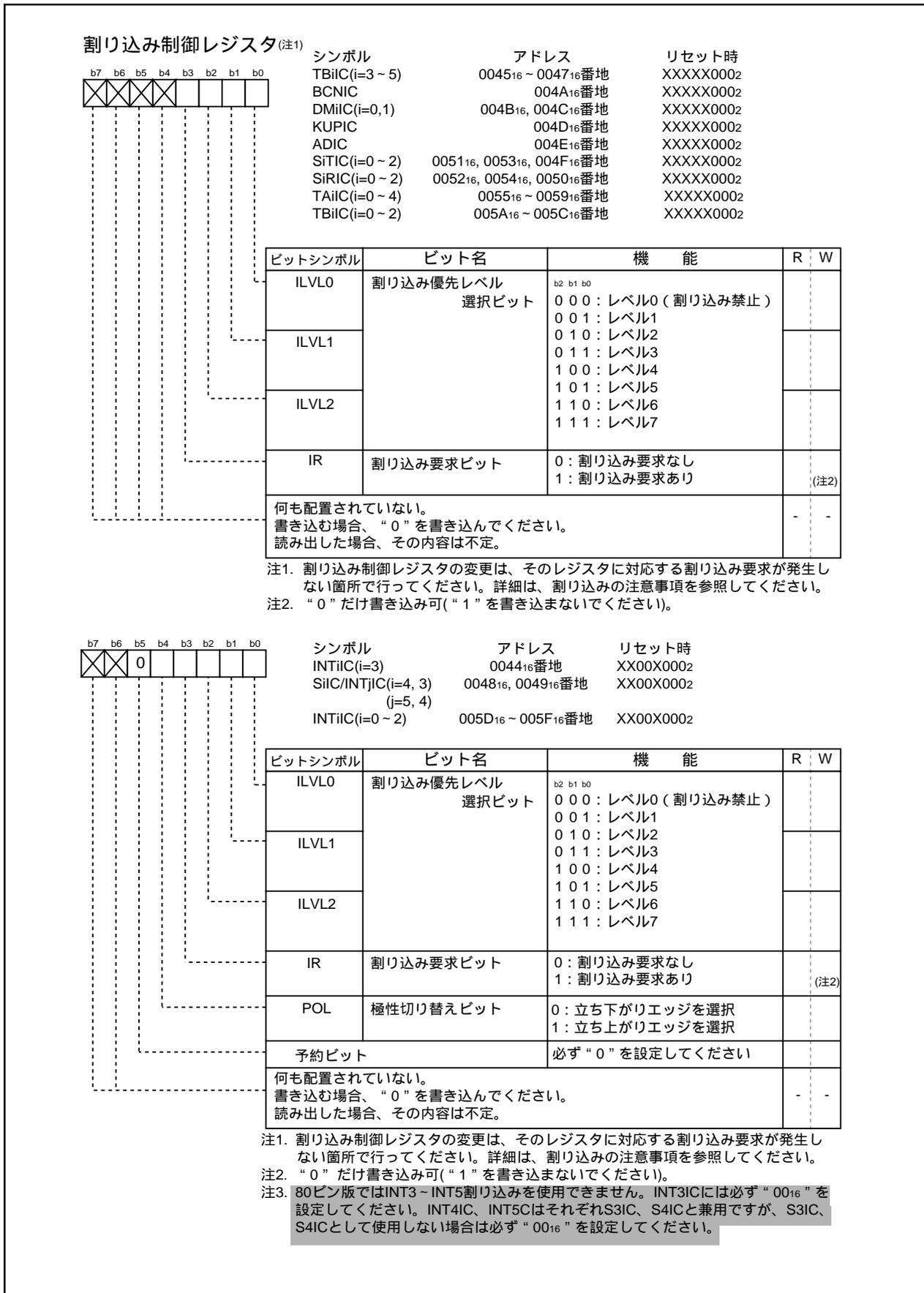


図1.14.3. 割り込み制御レジスタの構成

割り込み

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.14.3に割り込み優先レベルの設定を、表1.14.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.14.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表1.14.4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止状態
  AND.B  #00H, 0055H      ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                                ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止状態
  AND.B  #00H, 0055H      ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR    I                ; 割り込み禁止状態
  AND.B  #00H, 0055H      ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG              ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ (Iフラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされることがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.14.4に割り込み応答時間を示します。

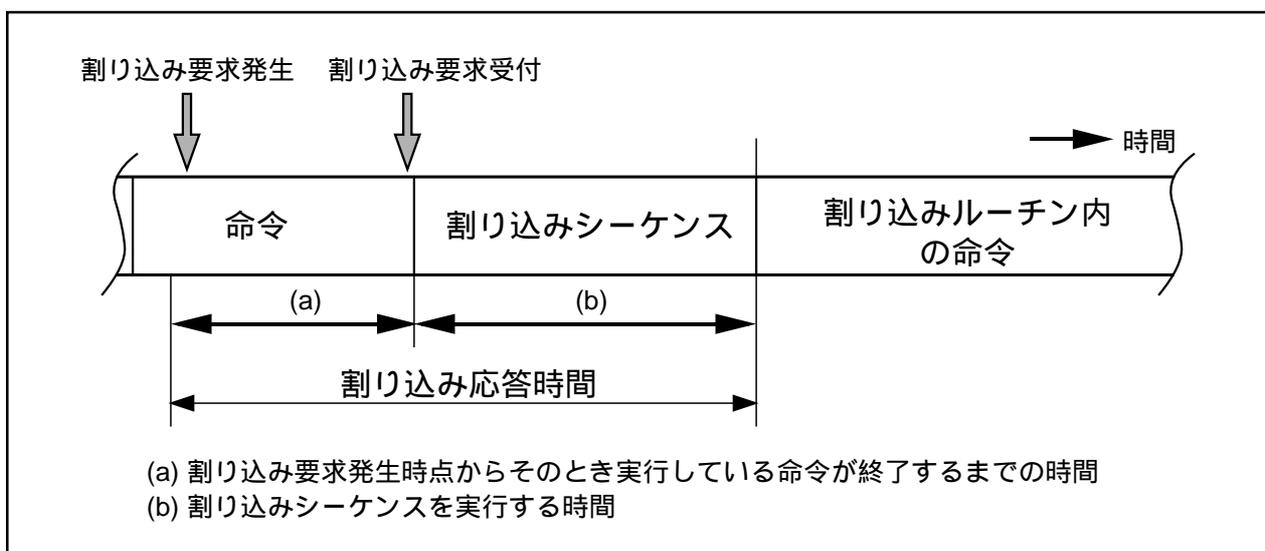


図1.14.4. 割り込み応答時間

割り込み

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウェイトなし)です。
(b)の時間は次のとおりです。

表1.14.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウェイトなし	8ビットバス、ウェイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

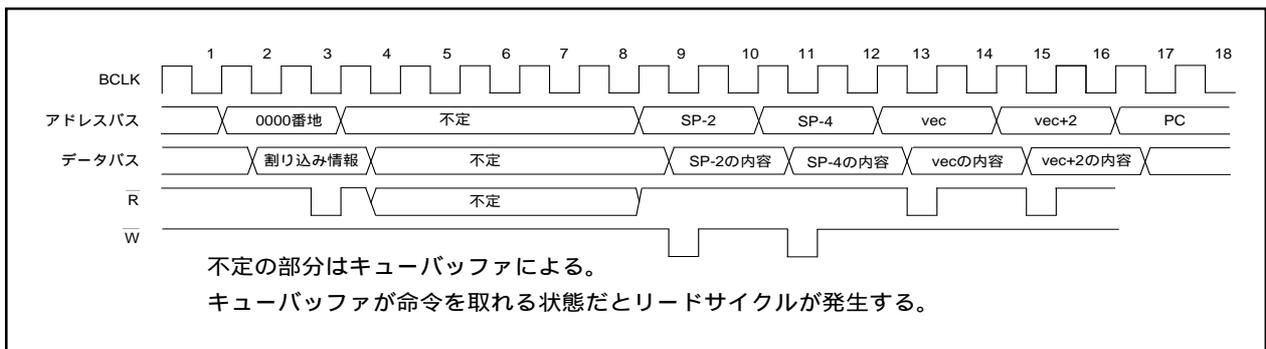


図1.14.5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.14.6に示す値がIPLに設定されます。

表1.14.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

割り込み

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

スタック領域へ退避する順番は、まず、プログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットを退避し、次にプログラムカウンタの下位16ビットを退避します。図1.14.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

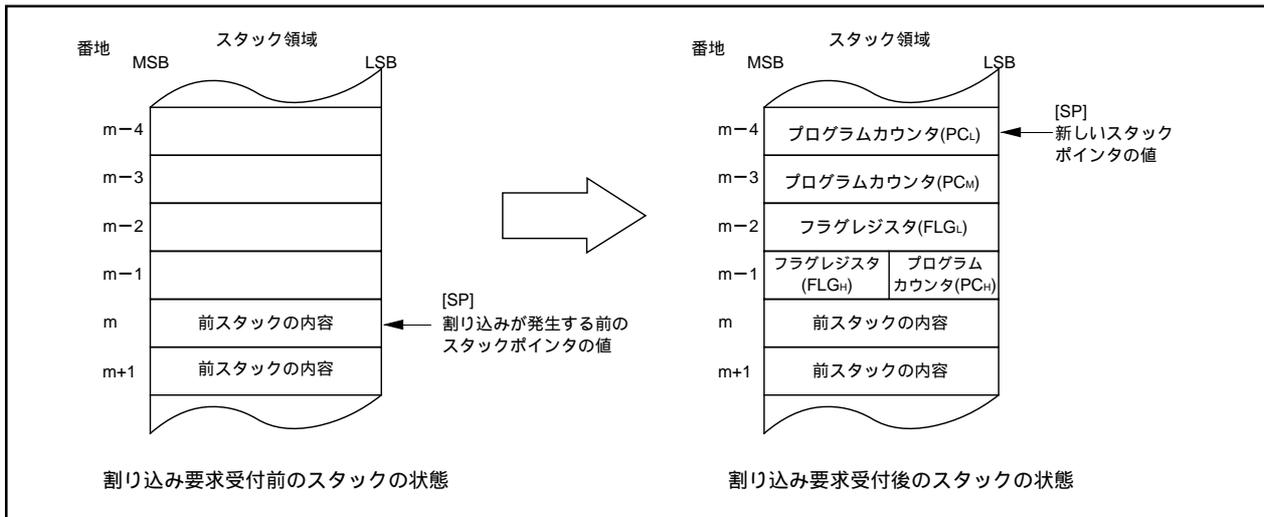


図1.14.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.14.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。

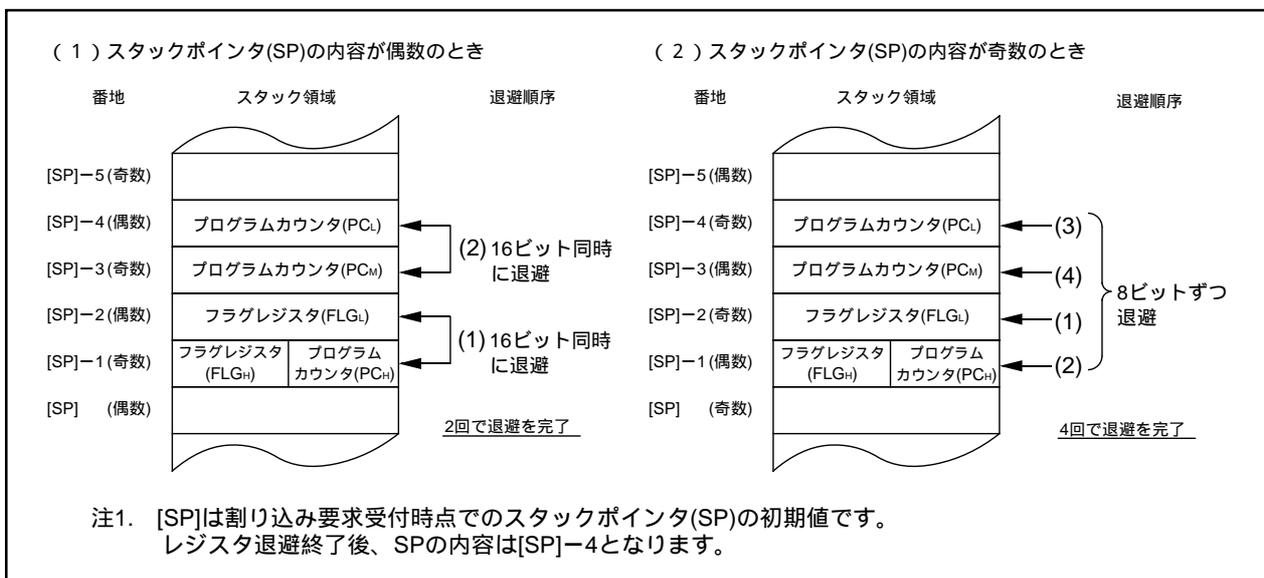


図1.14.7. レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスクブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図1.14.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

リセット > $\overline{\text{NMI}}$ > $\overline{\text{DBC}}$ > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図1.14.8. ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.14.9に割り込み優先レベルの判定回路を示します。

割り込み

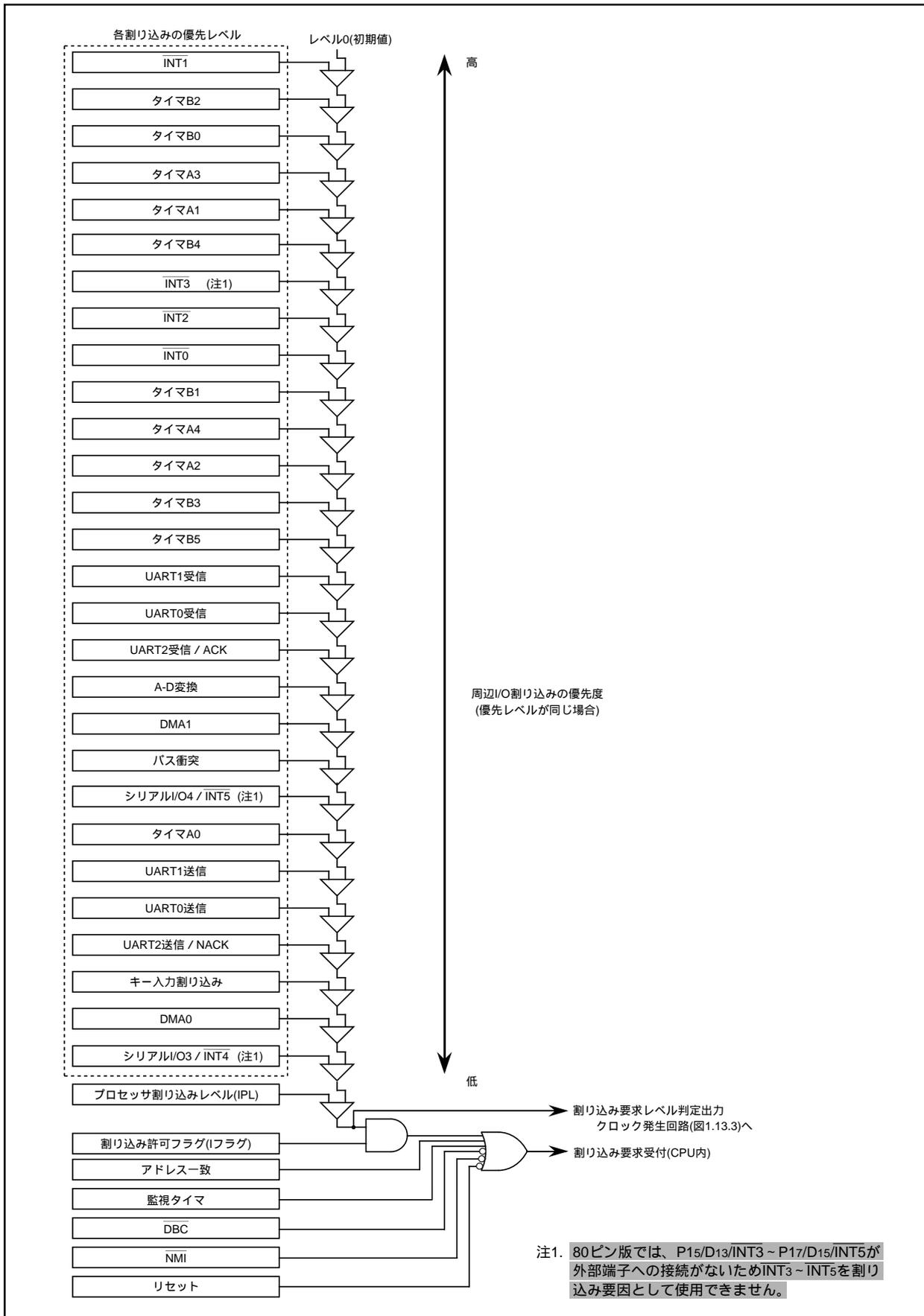


図1.14.9. 割り込み優先レベル判定回路

割り込み

INT割り込み

INT0 ~ INT5は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

割り込み制御レジスタの内、0048₁₆番地はシリアルI/O4と外部割り込みINT5入力の割り込み制御レジスタを兼用し、0049₁₆番地はシリアルI/O3と外部割り込みINT4入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F₁₆番地)の割り込み要因切り替えビット(ビット6,7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048₁₆番地と0049₁₆番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットを立ち下がりエッジ(“0”)に設定してください。

図1.14.10に割り込み要因選択レジスタの構成を示します。

注1. 80ピン版では、P15/D13/INT3 ~ P17/D15/INT5が外部端子への接続がないためINT3 ~ INT5を割り込み要因として使用できません。

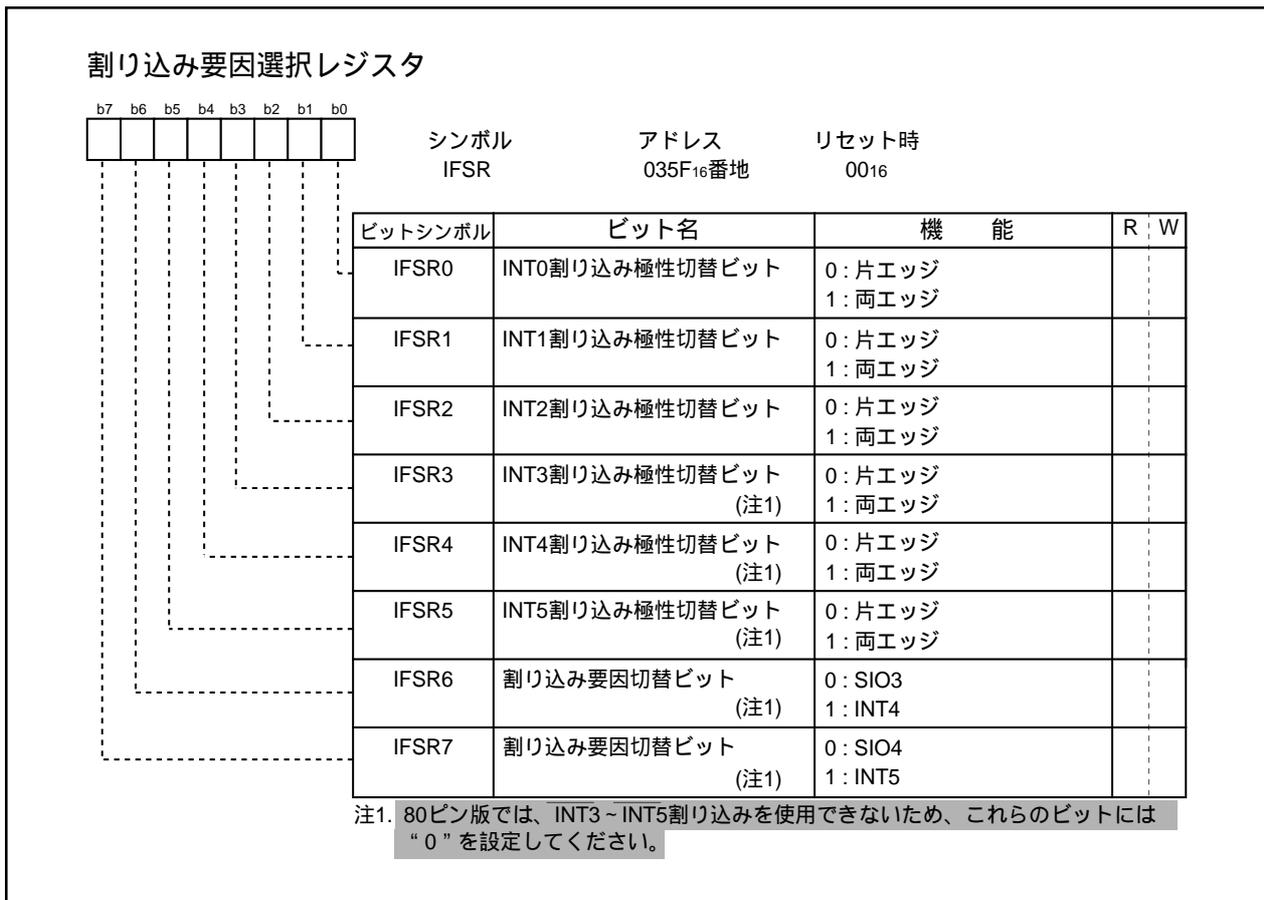


図1.14.10. 割り込み要因選択レジスタの構成

割り込み

NMI割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F0₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P104 ~ P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104 ~ P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.14.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

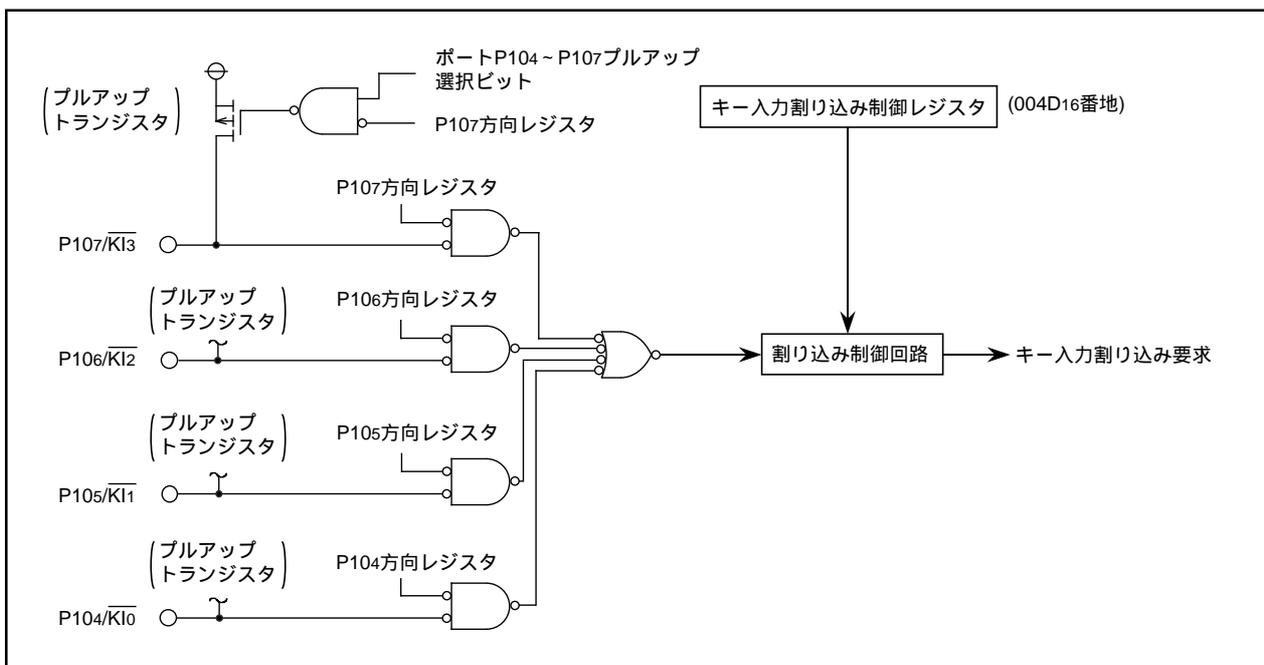


図1.14.11. キー入力割り込みのブロック図

アドレス一致割り込み

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みを使用できません。

注1. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.14.12にアドレス一致割り込み関連レジスタの構成を示します。

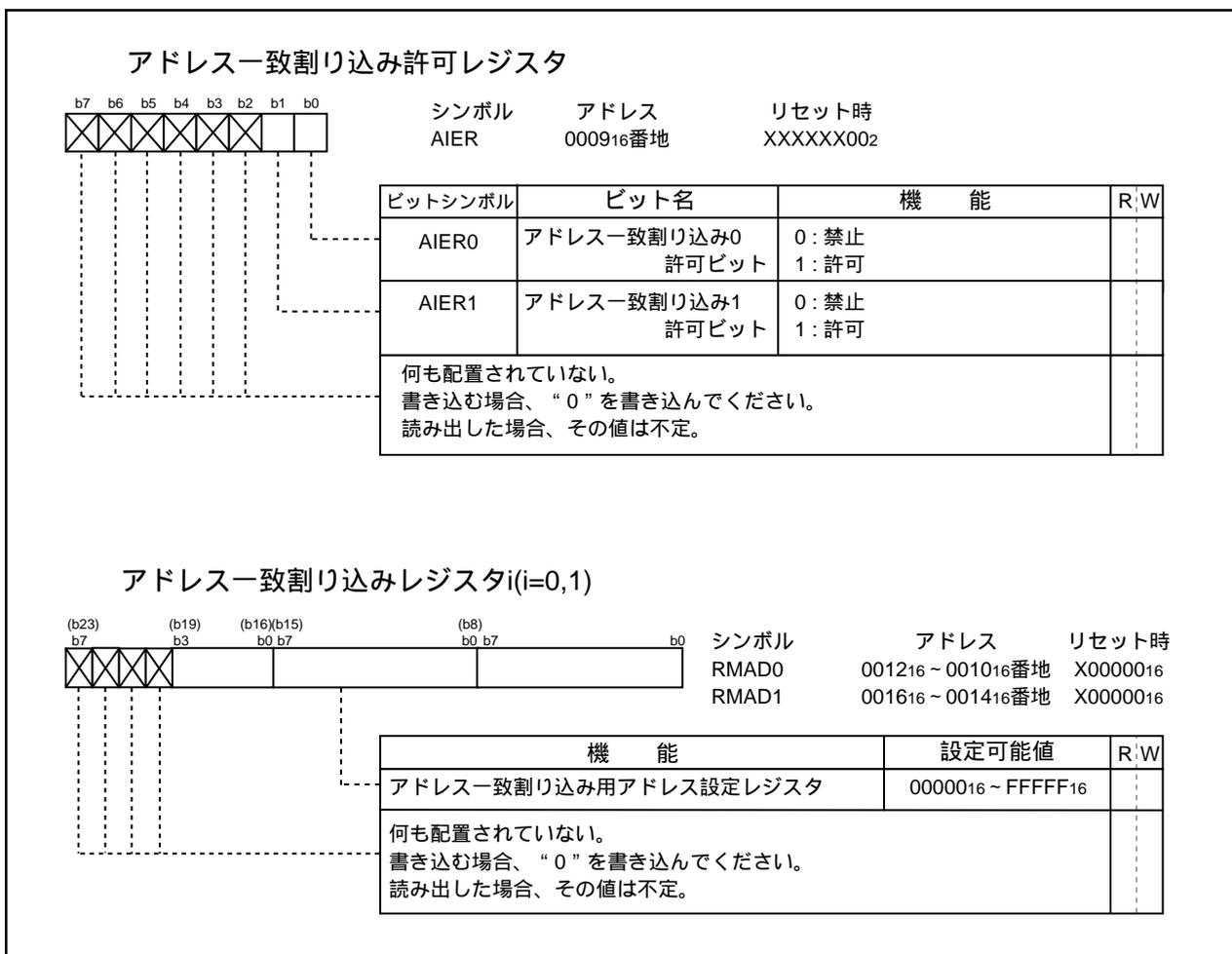


図1.14.12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスク割込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。

リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割込み

$\overline{\text{NMI}}$ 割込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子をVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP8sと兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態のリセットをかけないでください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではストップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、CPUはその後に発生した割り込みにより正常に復帰し、動作を再開します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割込み発生要因の切り替え手順例を図1.14.13に示します。

注1. 80ピン版では、P15/D13/ $\overline{\text{INT}}_3 \sim \text{P17/D15}/\overline{\text{INT}}_5$ が外部端子への接続がないため $\overline{\text{INT}}_3 \sim \overline{\text{INT}}_5$ を割り込み要因として使用できません。

割り込みの注意事項

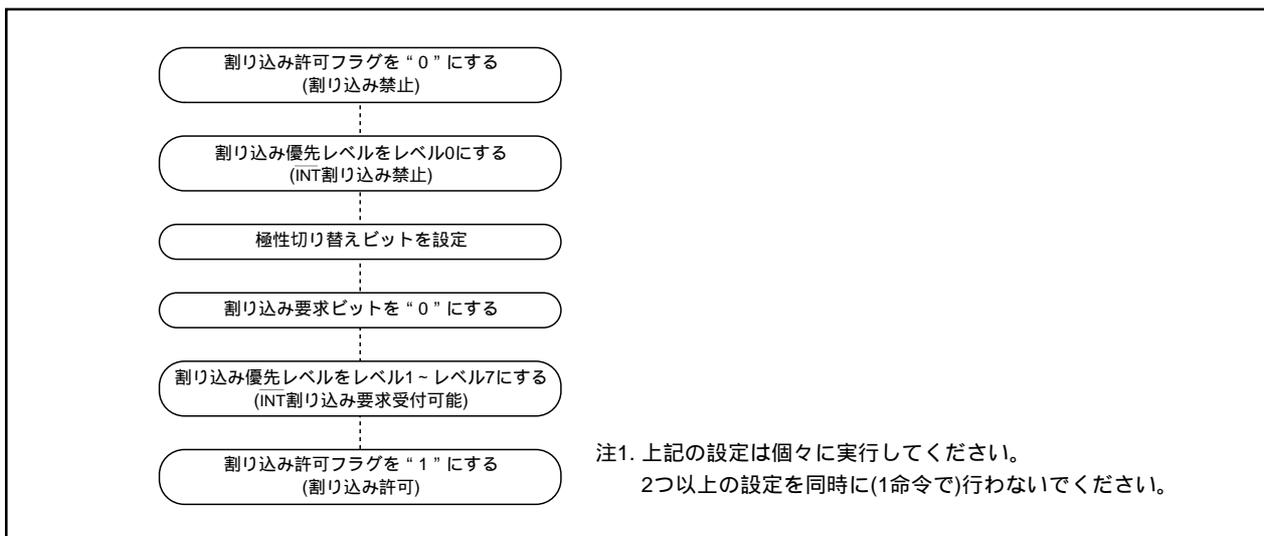


図1.14.13. INT割り込み発生要因の切り替え手順例

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```

INT_SWITCH1 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
NOP                                           ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET    I                ; 割り込み許可状態
  
```

例 2 :

```

INT_SWITCH2 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可状態
  
```

例 3 :

```

INT_SWITCH3 :
PUSHC   FLG
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
POPC    FLG             ; 割り込み許可状態
  
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ (Iフラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。これが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケータで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケータの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケータの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケータによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(16\text{または}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケータの分周比として16分周を選択している場合、監視タイマの周期は約32.8msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケータは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケータは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。ストップモード時、ウェイトモード時、およびホールド状態時、監視タイマおよびプリスケータは停止し、解除すると保持された値からカウントします。

図1.15.1に監視タイマのブロック図、図1.15.2に監視タイマ関連レジスタの構成を示します。

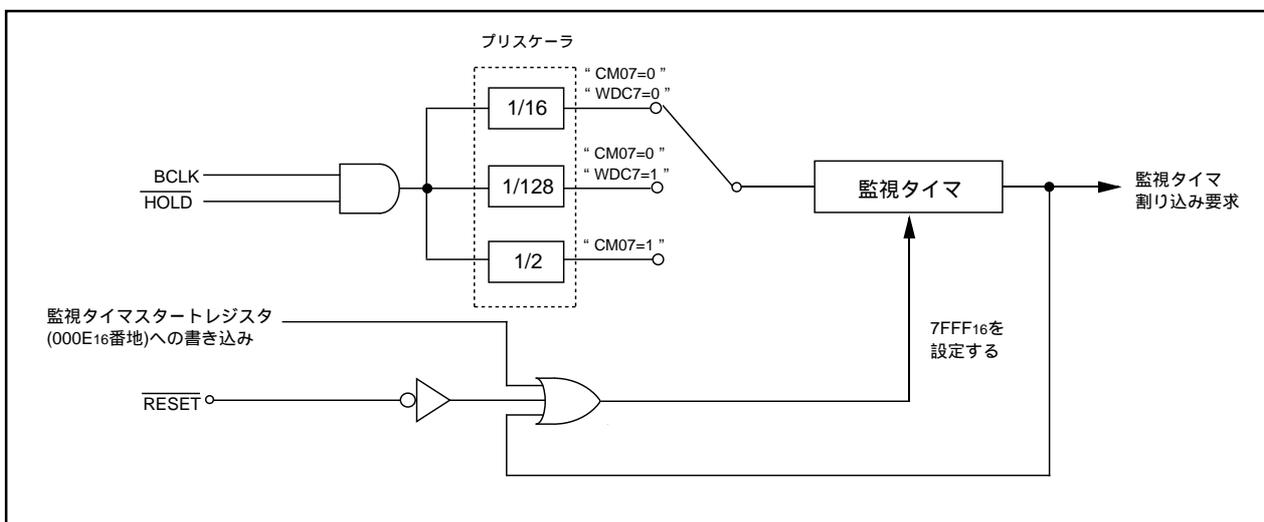


図1.15.1. 監視タイマのブロック図

監視タイマ

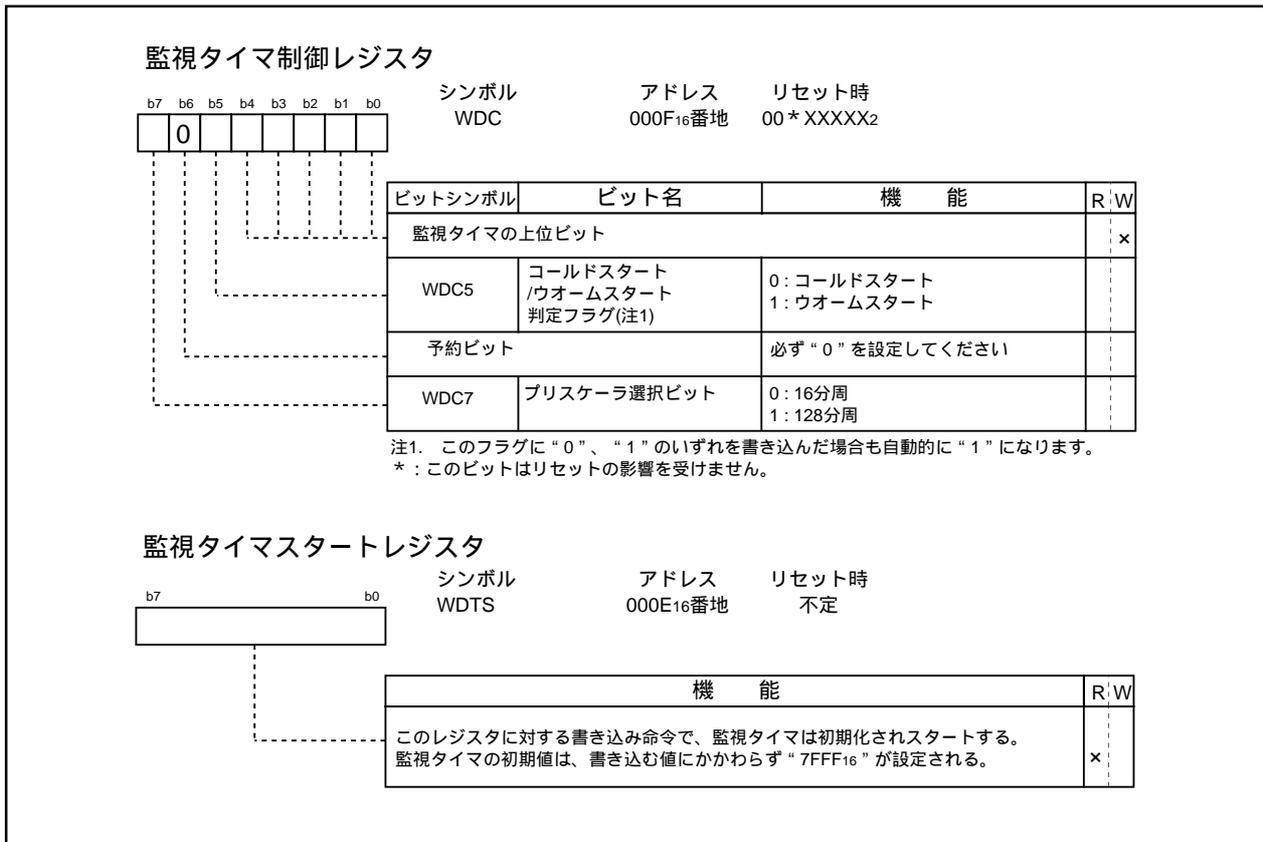


図1.15.2. 監視タイマ関連レジスタ

コールドスタート/ウォームスタート

監視タイマ制御レジスタ(000F₁₆番地)のビット5(コールドスタート/ウォームスタート判定フラグ)によって電源が投入されたときのリセット処理(コールドスタート)なのか、動作中にリセット信号が入力されたときのリセット処理(ウォームスタート)を判定することができます。

コールドスタート/ウォームスタート判定フラグは、電源投入時“0”で、監視タイマ制御レジスタ(000F₁₆番地)に書き込み動作(レジスタへの書き込む値は任意)を行うと“1”になり、ソフトウェアリセットやリセット信号の入力に対しても“0”になりません。

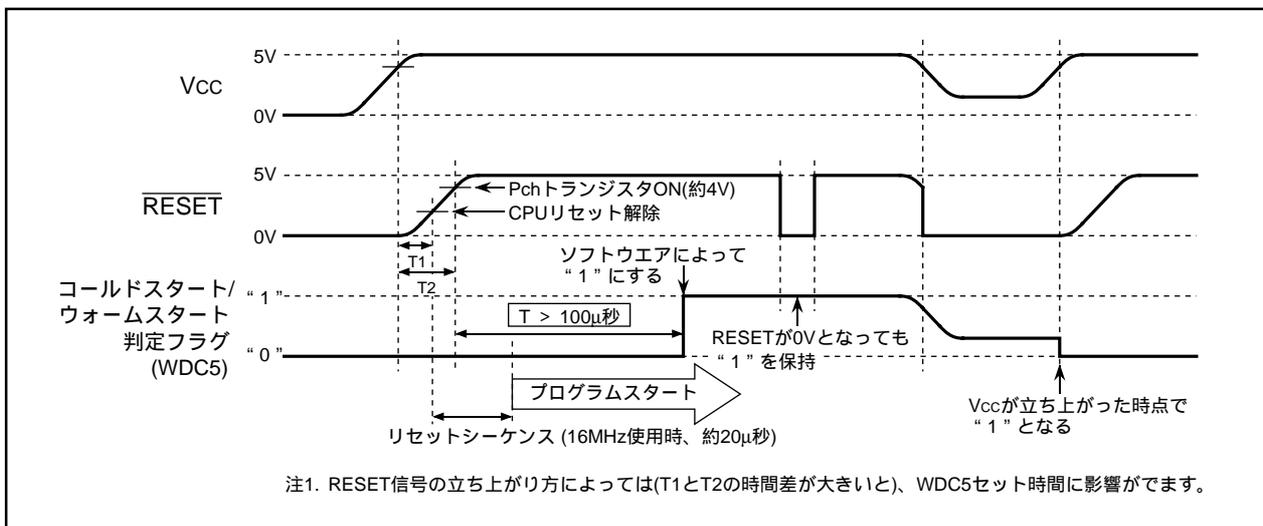


図1.15.3. コールドスタート/ウォームスタート

DMAC

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.16.1にDMACのブロック図を、表1.16.1にDMACの仕様を、図1.16.2～図1.16.4にDMACで使用するレジスタの構成を示します。

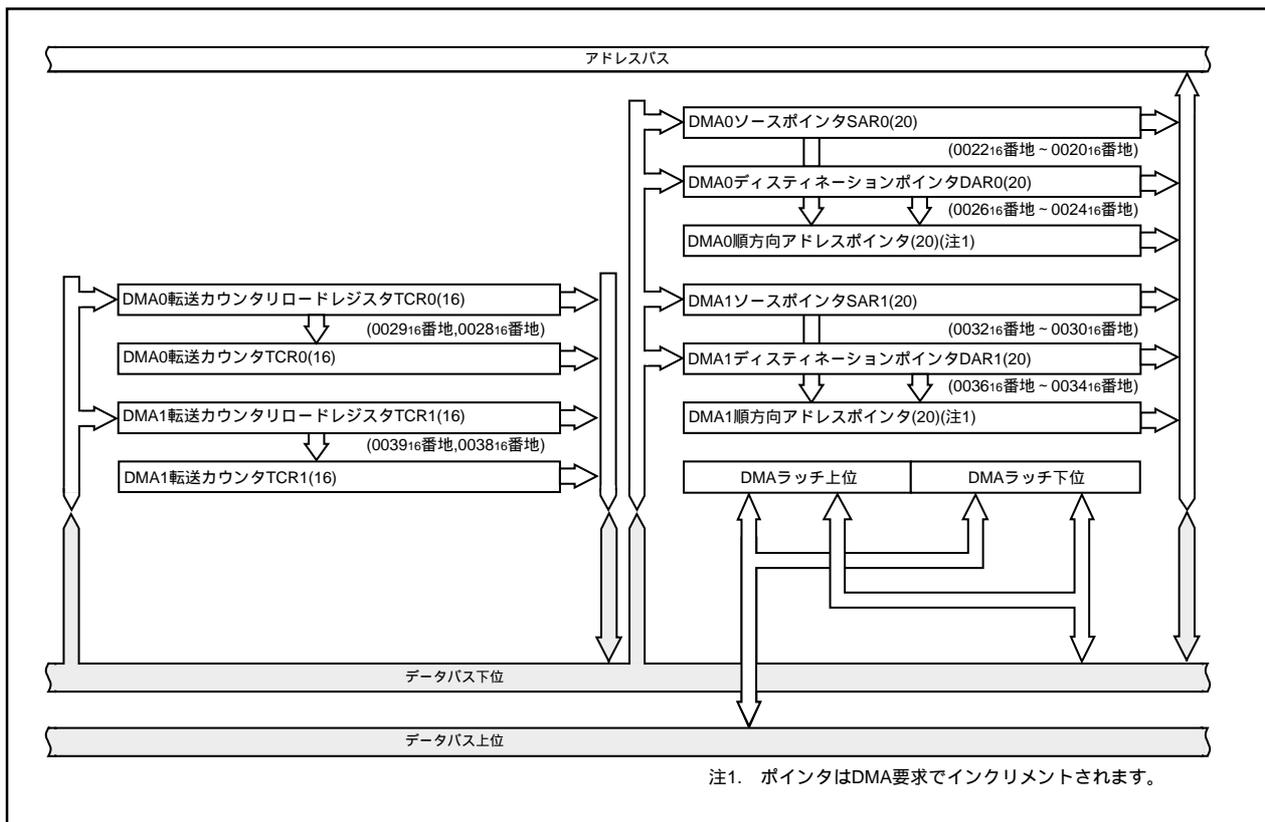


図1.16.1. DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するとともに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.16.1. DMAC仕様

項 目	仕 様
チャンネル数	2チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0またはINT1端子の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生することにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

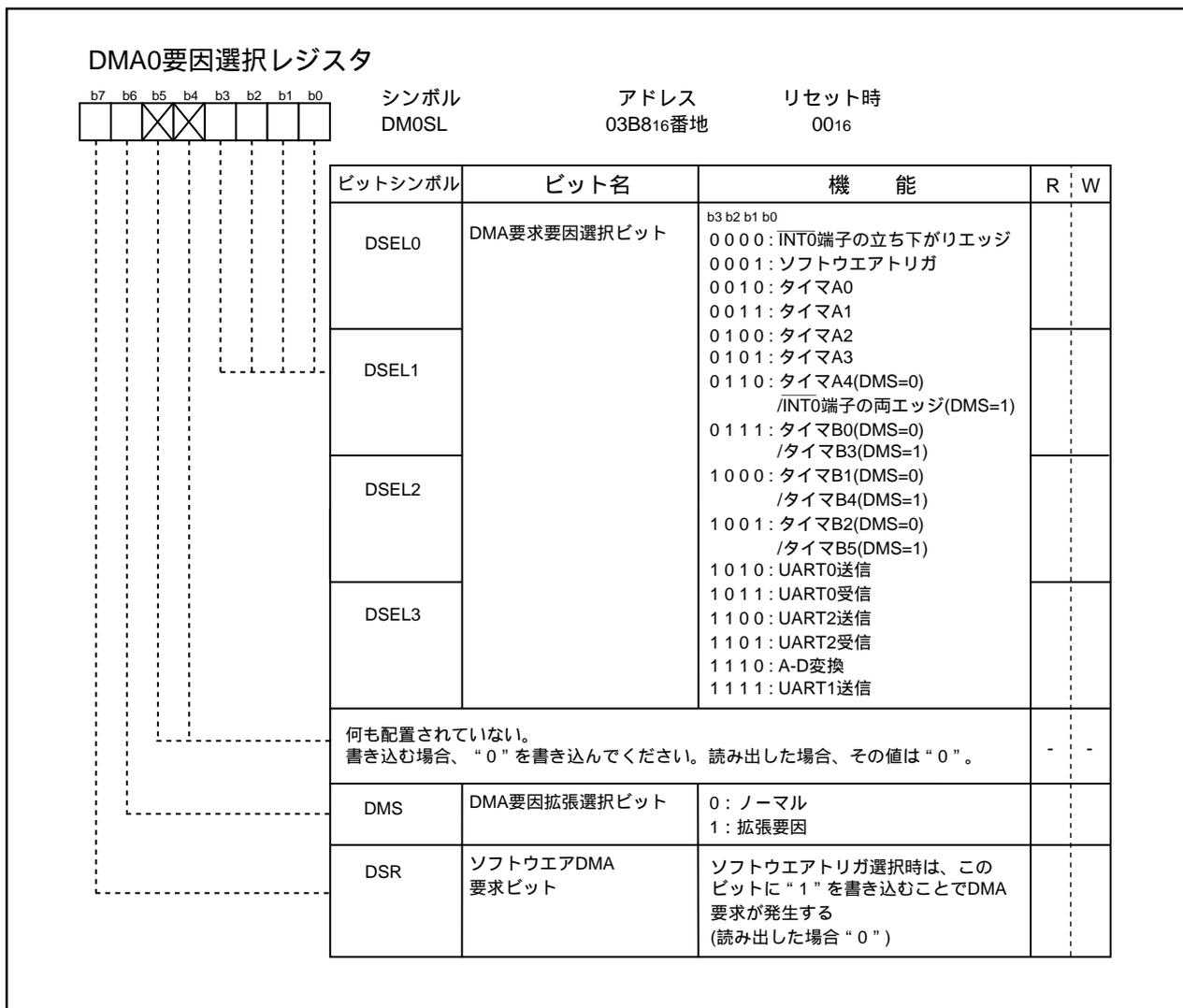


図1.16.2. DMACレジスタ構成(1)

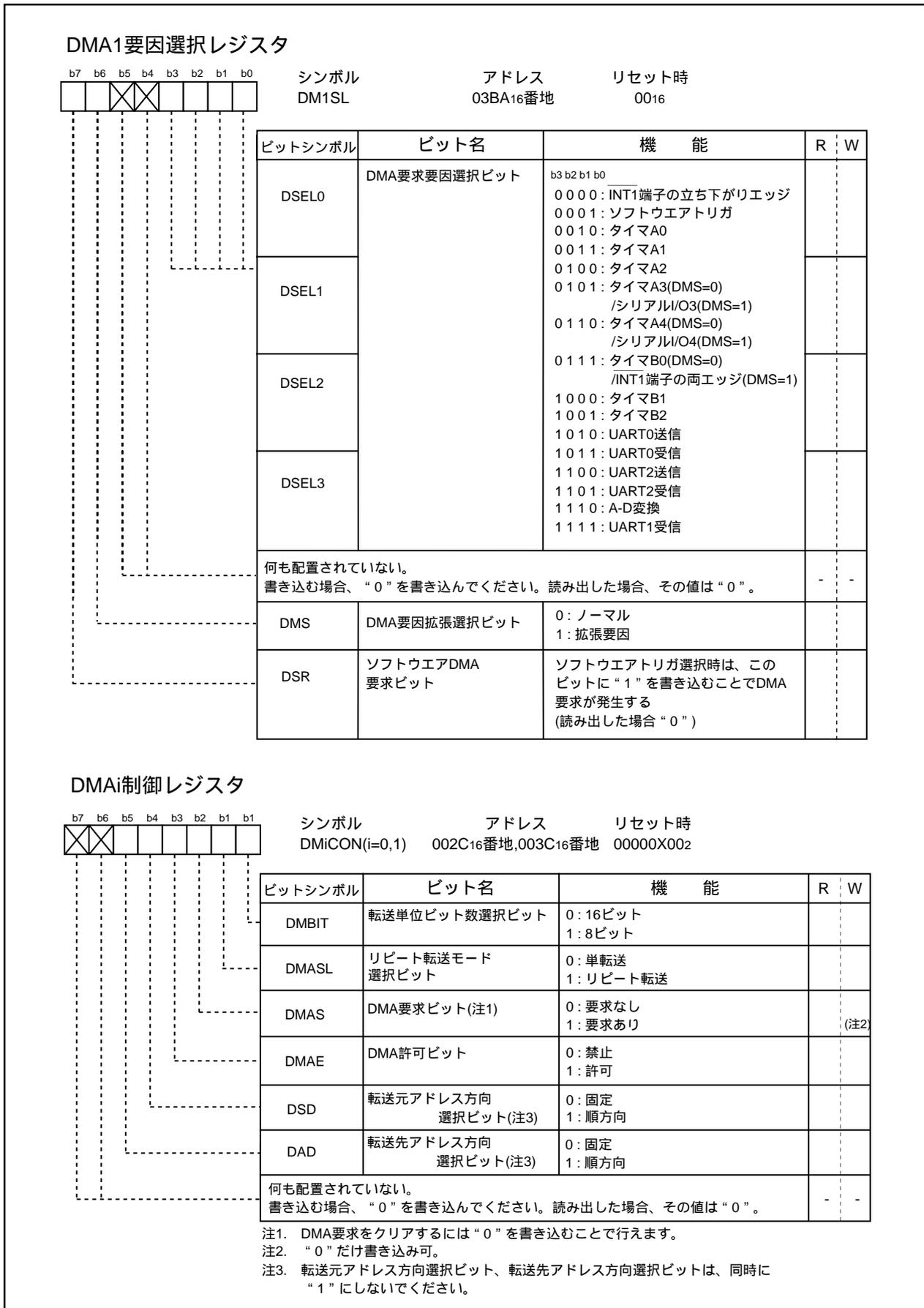


図1.16.3. DMACレジスタ構成(2)

DMAC

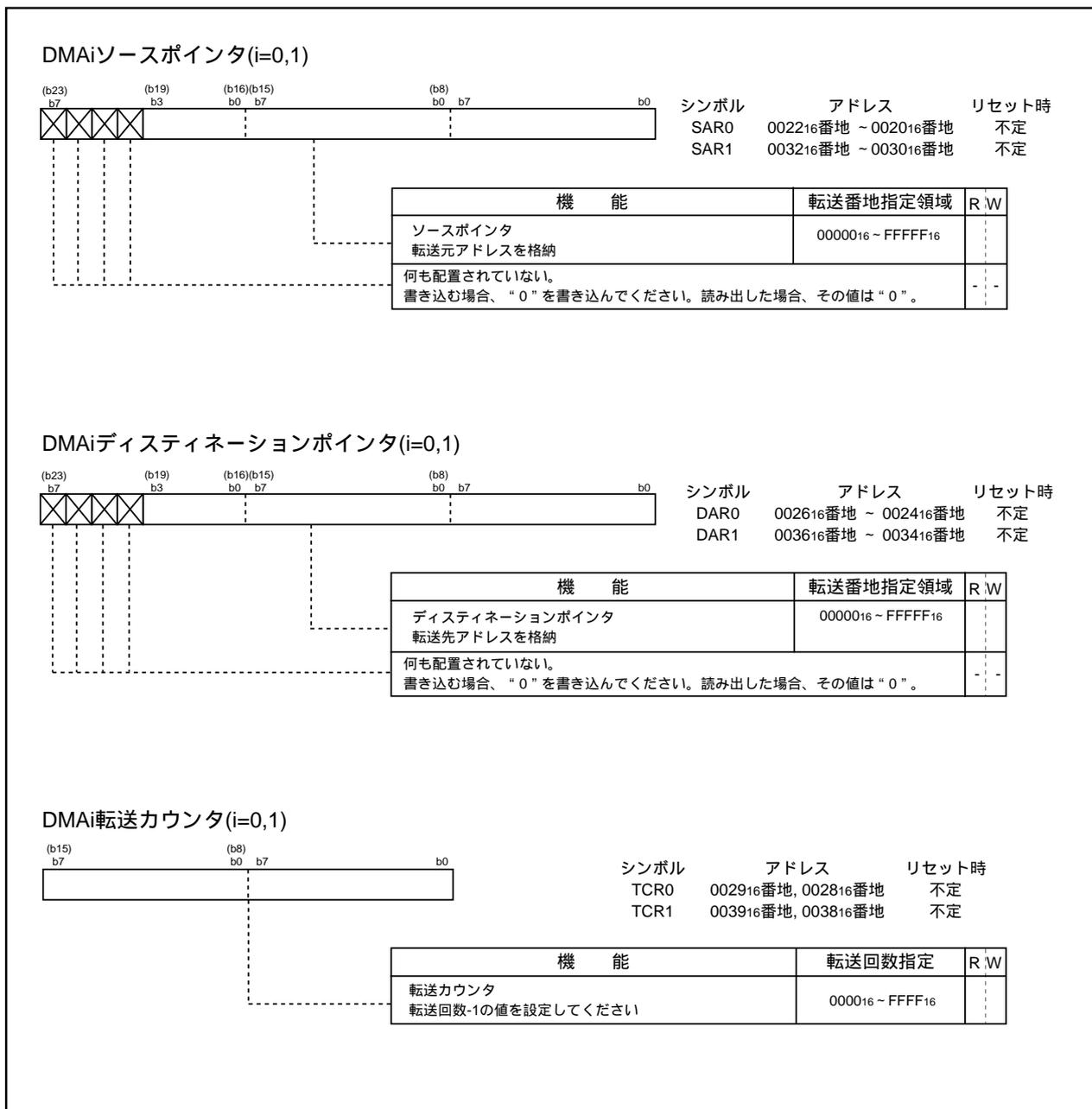


図1.16.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

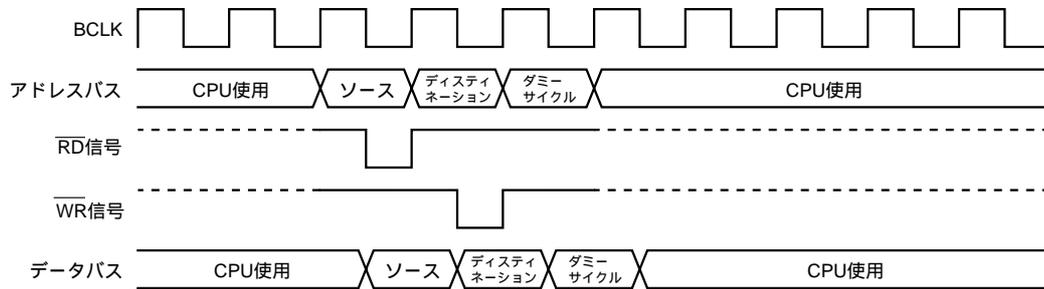
ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

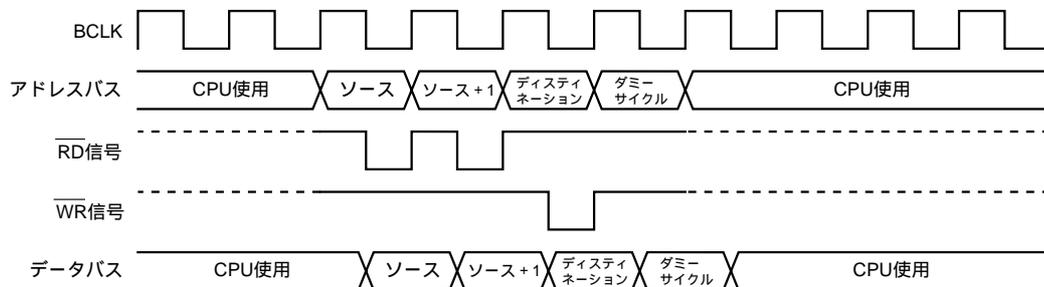
図1.16.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

注1. 80ピン版では、外部バス領域をアクセスする場合、8ビットバスモードのみ使用できます。

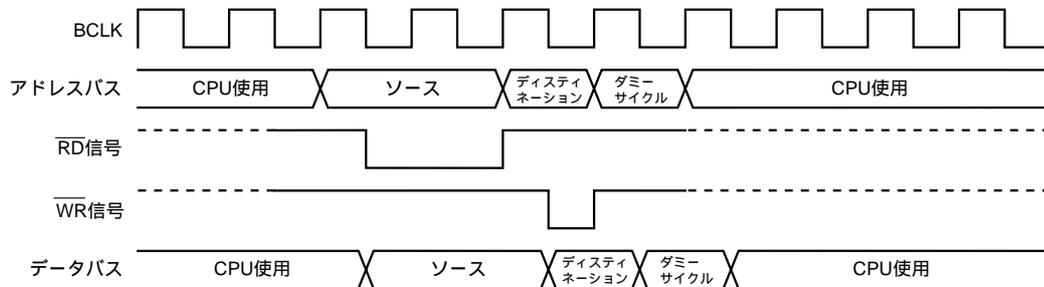
転送単位が8ビット幅のとき
転送単位が16ビット幅でソースアドレスが偶数番地のとき



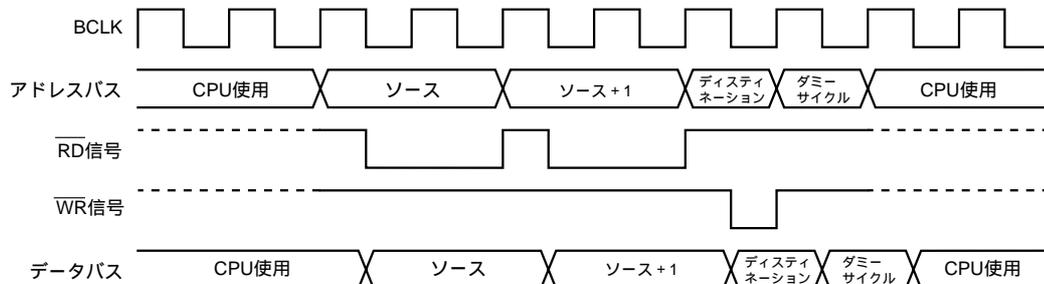
転送単位が16ビット幅でソースアドレスが奇数番地のとき
転送単位が16ビット幅で8ビットバス使用時(この場合、ディスティネーションサイクルも2サイクルになります)



の条件でソースリードに1ウェイトが入ったとき



の条件でソースリードに1ウェイトが入ったとき
(転送単位が16ビット幅で8ビットバス使用時は、ディスティネーションサイクルは2サイクルになります)



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

注2. 80ピン版では、外部領域をアクセスする場合、8ビットバスモードのみ使用できます。

図1.16.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.16.2にDMAC転送サイクル数を示します。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表1.16.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数,j,k

内部領域			外部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート ウエイトあり	マルチプレクス バス
1	2	2	1	2	3

注1. 80ピン版では、外部領域をアクセスする場合、8ビットバスモードのみ使用できます。

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャンネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMA_i要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}_i$ 端子(DMACチャンネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として $\overline{\text{INT}}_i$ 端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各 $\overline{\text{INT}}_i$ 端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図1.16.6 (外部要因によるDMA転送例)に示します。

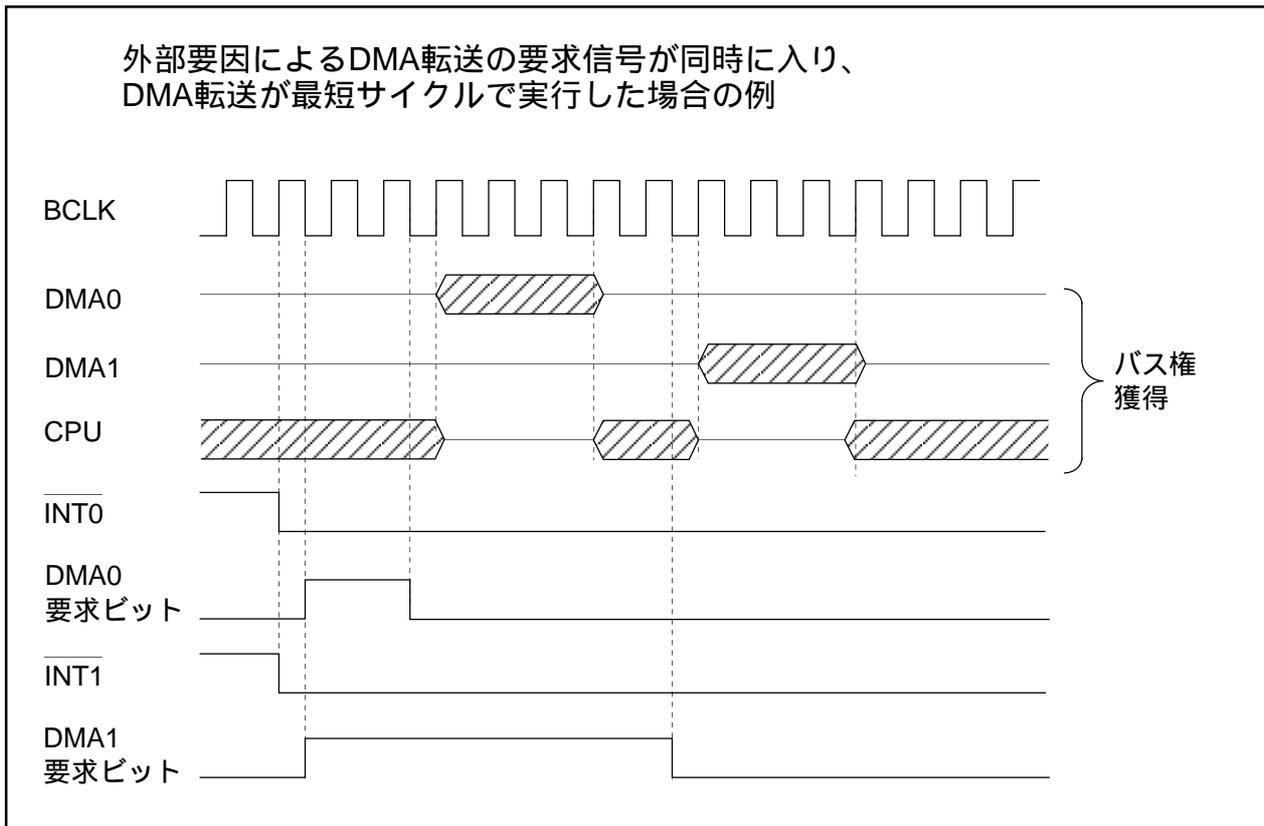


図1.16.6. 外部要因によるDMA転送例

タイマ

タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.17.1にタイマA、図1.17.2にタイマBの構成を示します。

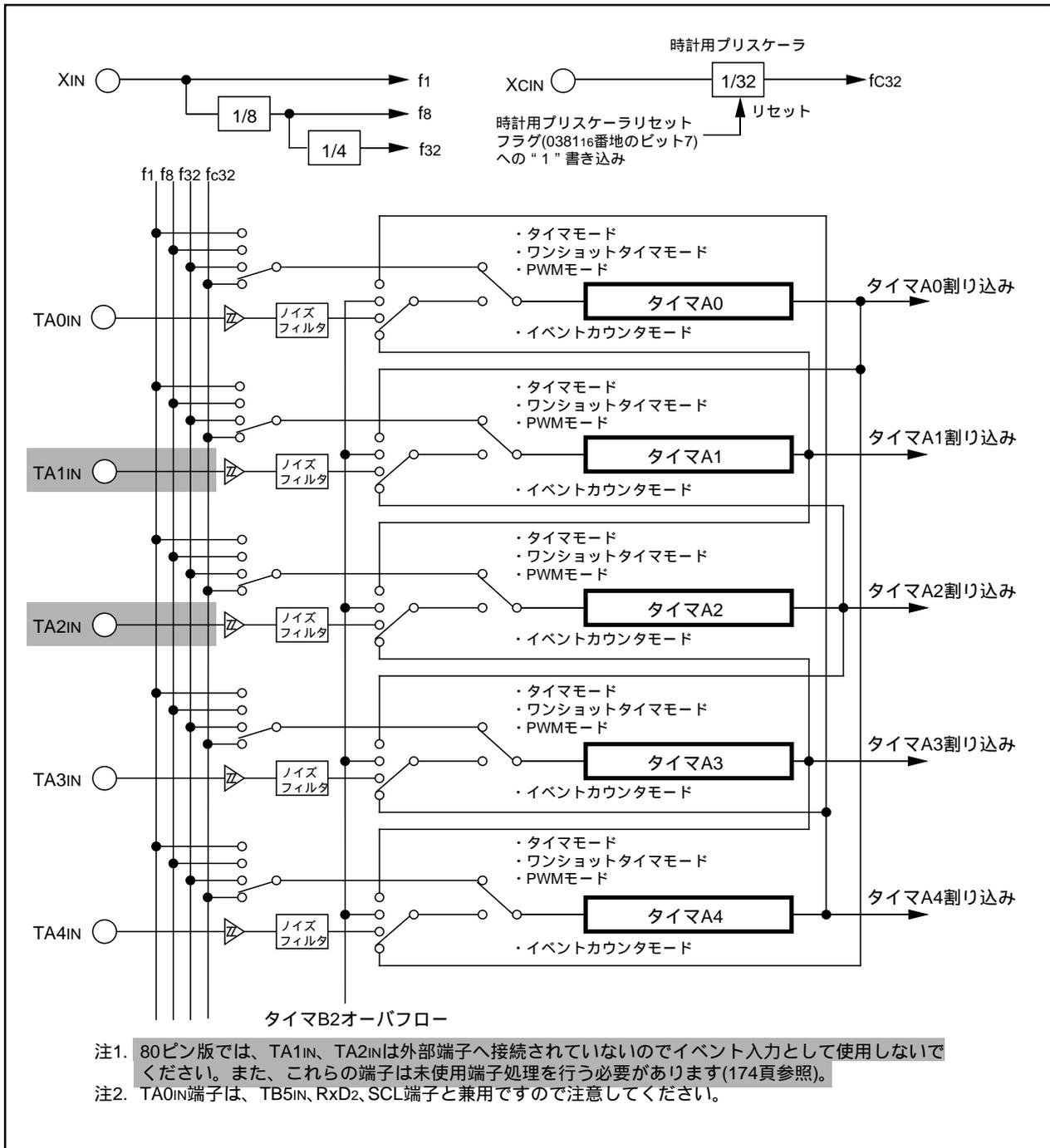


図1.17.1. タイマA構成

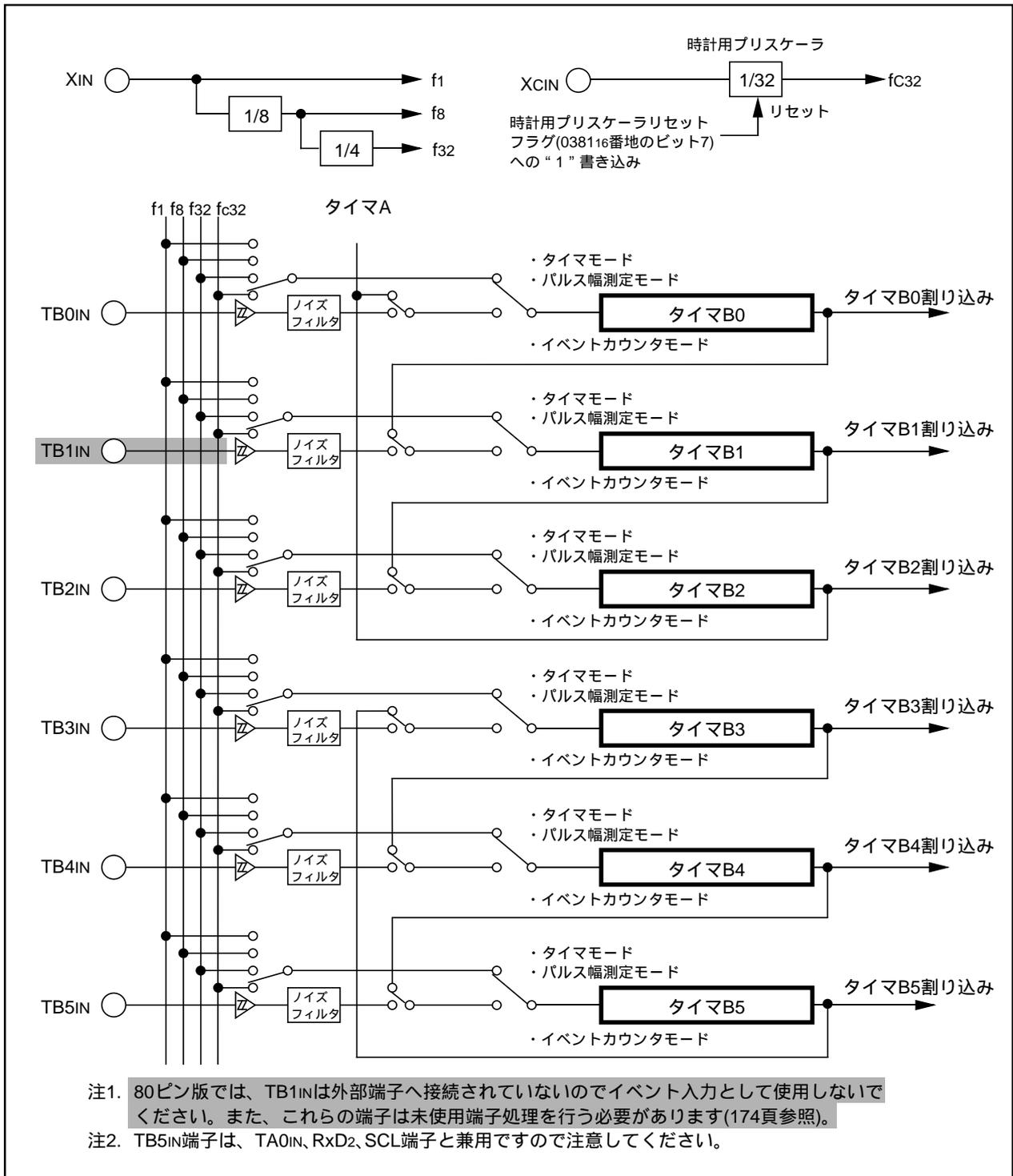
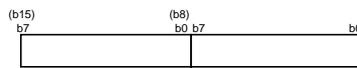


図1.17.2. タイマB構成

タイマA

タイマAiレジスタ(注1)

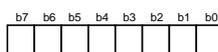


シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機能	設定可能値	R/W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆	
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	x
パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆ (注3、注4)	x
パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (下位アドレス) (注3、注4)	x

- 注1. 読み出し、および書き込みは16ビット単位で行ってください。
 注2. タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。
 注3. タイマAiレジスタに“0000₁₆”を設定した場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同様です。
 注4. このレジスタへの書き込みにはMOV命令を使用してください。

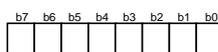
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

アップダウンフラグ(注1)



シンボル	アドレス	リセット時
UDF	0384 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ/ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	
TA1UD	タイマA1アップダウンフラグ		
TA2UD	タイマA2アップダウンフラグ		
TA3UD	タイマA3アップダウンフラグ		
TA4UD	タイマA4アップダウンフラグ		
TA2P	タイマA2二相パルス信号処理 機能選択ビット(注3)	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可(注2)	x
TA3P	タイマA3二相パルス信号処理 機能選択ビット	二相パルス信号処理機能を使用 しない場合は、“0”を設定して ください	x
TA4P	タイマA4二相パルス信号処理 機能選択ビット		x

- 注1. このレジスタへの書き込みにはMOV命令を使用してください。
 注2. TAiIN、TAiOUTに対応するポート方向レジスタは“0”にしてください。
 注3. 80ピン版では、タイマA2の入出力端子がないので、このビットを“0”にしてください。

図1.17.5. タイマA関連レジスタ(2)

タイマA

ワンショット開始フラグ

シンボル アドレス リセット時
ONSF 038216番地 00X0000z

ビットシンボル	ビット名	機能	R/W
TA0OS	タイマA0ワンショット開始フラグ	1: タイマスタート 読み出し時の値は " 0 "	
TA1OS	タイマA1ワンショット開始フラグ		
TA2OS	タイマA2ワンショット開始フラグ		
TA3OS	タイマA3ワンショット開始フラグ		
TA4OS	タイマA4ワンショット開始フラグ		
何も配置されていない。 書き込む場合、" 0 " を書き込んでください。読み出した場合、その内容は不定。			
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA4のオーバーフローを選択 1 1 : TA1のオーバーフローを選択	
TA0TGH			

注1. 対応するポート方向レジスタは " 0 " にしてください。

トリガ選択レジスタ

シンボル アドレス リセット時
TRGSR 038316番地 0016

ビットシンボル	ビット名	機能	R/W
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1,注2) 0 1 : TB2のオーバーフローを選択 1 0 : TA0のオーバーフローを選択 1 1 : TA2のオーバーフローを選択	
TA1TGH			
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1,注2) 0 1 : TB2のオーバーフローを選択 1 0 : TA1のオーバーフローを選択 1 1 : TA3のオーバーフローを選択	
TA2TGH			
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA2のオーバーフローを選択 1 1 : TA4のオーバーフローを選択	
TA3TGH			
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA3のオーバーフローを選択 1 1 : TA0のオーバーフローを選択	
TA4TGH			

注1. 対応するポート方向レジスタは " 0 " にしてください。
注2. 80ピン版では、TA1IN、TA2INは外部端子に接続されていないので、これらの機能を選択しないでください。

時計用プリスケアラリセットフラグ

シンボル アドレス リセット時
CPSRF 038116番地 0XXXXXXz

ビットシンボル	ビット名	機能	R/W
何も配置されていない。 書き込む場合、" 0 " を書き込んでください。読み出した場合、その内容は不定。			
CPSR	時計用プリスケアラ リセットフラグ	0: 何もおこらない 1: プリスケアラリセット (読み出し時は " 0 ")	

図1.17.6. タイマA関連レジスタ(3)

タイマA

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.17.1)。図1.17.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.17.1. タイマモードの仕様

項目	仕様
カウントソース	f1,f8,f32,fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

注1. 80ピン版ではタイマA1、A2の入出力端子(TAiIN,TAiOUT)がありません。

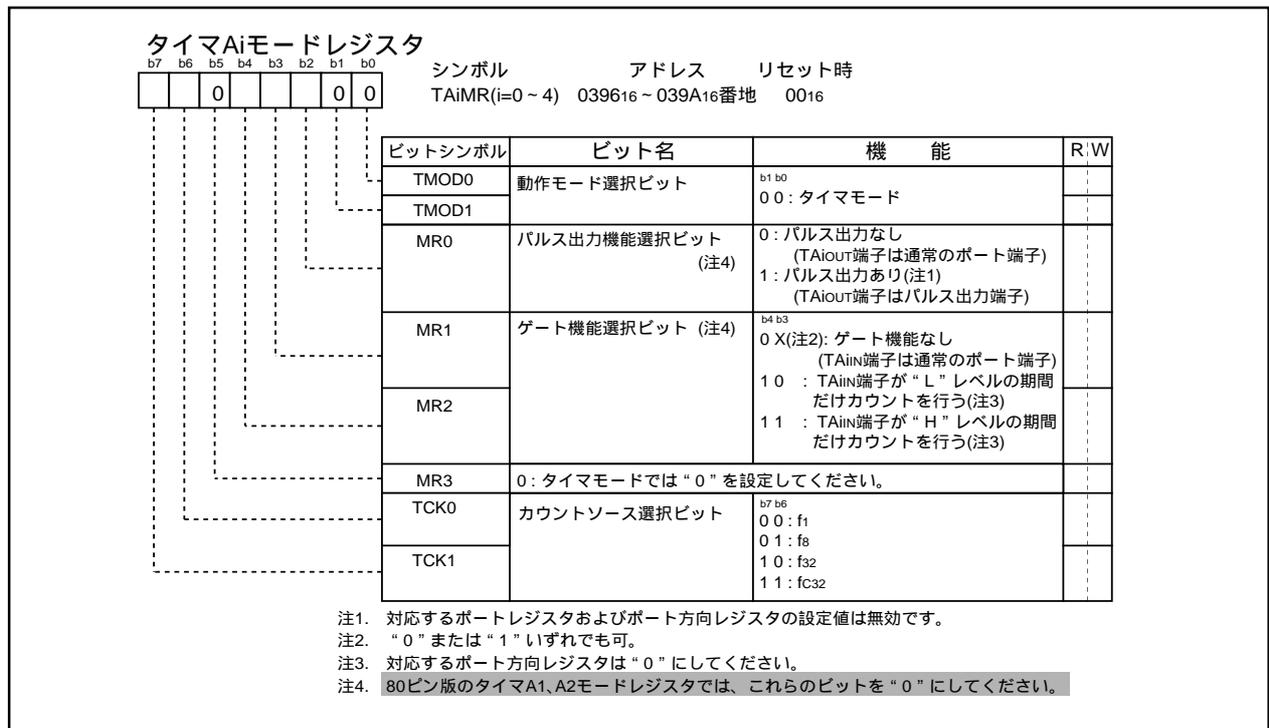


図1.17.7. タイマモード時のタイマAiモードレジスタの構成

タイマA

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.17.2に、タイマAiモードレジスタの構成を図1.17.8に示します。二相の外部信号をカウントする場合の仕様を表1.17.3に、タイマAiモードレジスタの構成を図1.17.9に示します。

表1.17.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバフロー、TAjのオーバフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

注2. 80ピン版ではタイマA1、A2の入出力端子(TAiIN,TAiOUT)がありません。

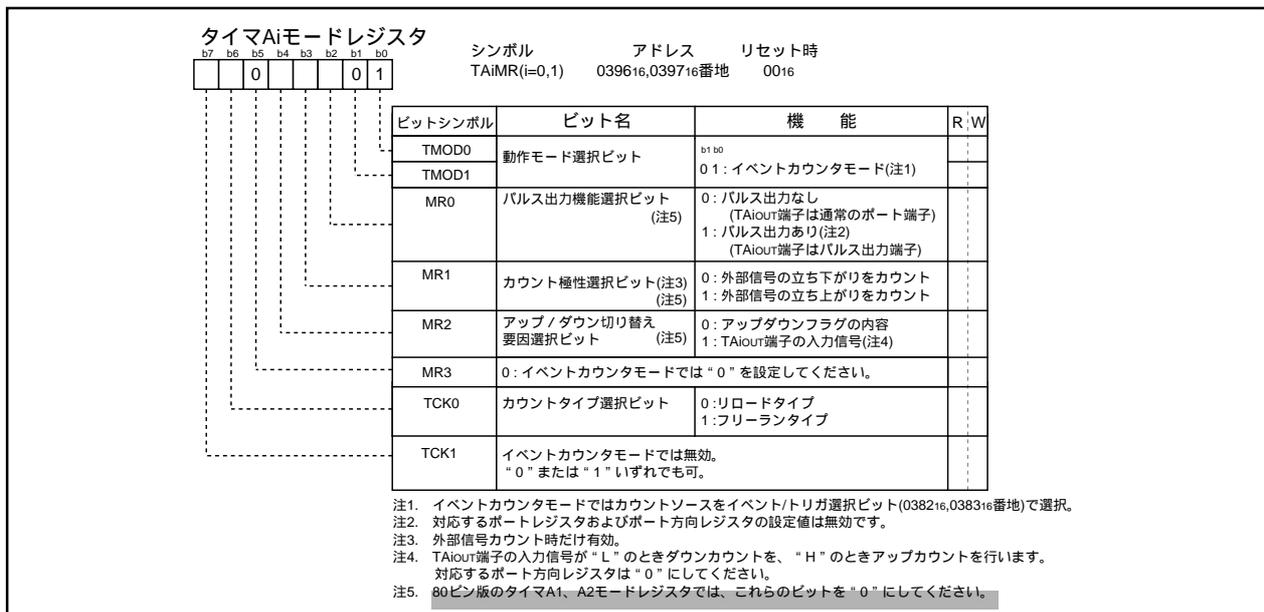
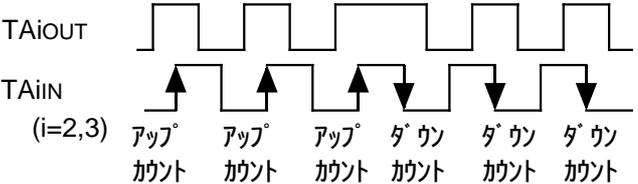
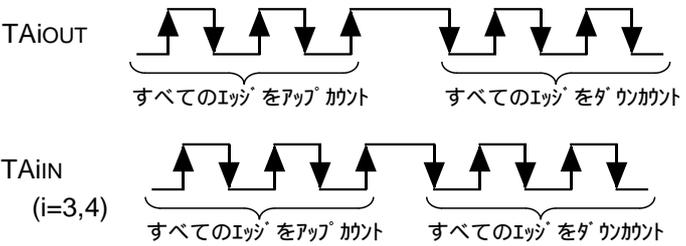


図1.17.8. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

表1.17.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

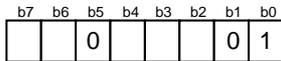
項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバーフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力 (TAiIN端子に対するポート方向レジスタは“0”にする)
TAiOUT端子機能	二相パルス入力 (TAiOUT端子に対するポート方向レジスタは“0”にする)
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注2)	<p>通常処理動作 (タイマA2、タイマA3) TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。</p>  <p>4通倍処理動作 (タイマA3、タイマA4) TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。</p> 

注1. フリーラン機能選択時は除く。

注2. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

注3. 80ピン版ではタイマA1、A2の入出力端子(TAiIN,TAiOUT)がありません。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

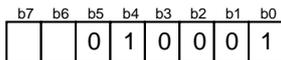


シンボル アドレス リセット時
TAIMR(i=2~4) 0398₁₆ ~ 039A₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	R	W	
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード			
TMOD1					
MR0	パルス出力機能選択ビット (注5)	0: パルス出力なし (TAiout端子は通常のポート端子) 1: パルス出力あり(注1) (TAiout端子はパルス出力端子)			
MR1	カウント極性選択ビット(注2) (注5)	0: 外部信号の立ち下がりを実カウント 1: 外部信号の立ち上がりを実カウント			
MR2	アップ/ダウン切り替え 要因選択ビット (注5)	0: アップダウンフラグの内容 1: TAiout端子の入力信号(注3)			
MR3	0: イベントカウンタモードモードでは“0”を設定してください				
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ			
TCK1	二相パルス処理動作選択 ビット(注4)	0: 通常処理動作 1: 4 逡倍処理動作			

- 注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
 注2. 外部信号カウント時だけ有効。
 注3. 対応するポート方向レジスタは“0”にしてください。
 注4. このビットはタイマA3モードレジスタにおいて有効。
 タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
 注5. 80ピン版のタイマA2モードレジスタでは、これらのビットを“0”にしてください。

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合) (注3)



シンボル アドレス リセット時
TAIMR(i=2~4) 0398₁₆ ~ 039A₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	R	W	
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード			
TMOD1					
MR0	0: 二相パルス信号処理使用時は“0”を設定してください				
MR1	0: 二相パルス信号処理使用時は“0”を設定してください				
MR2	1: 二相パルス信号処理使用時は“1”を設定してください				
MR3	0: 二相パルス信号処理使用時は“0”を設定してください				
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ			
TCK1	二相パルス処理動作選択 ビット(注1)(注2)	0: 通常処理動作 1: 4 逡倍処理動作			

- 注1. このビットはタイマA3モードレジスタにおいて有効。
 タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
 注2. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384₁₆番地)は“1”に、
 イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)は“00”にしてください。
 注3. 80ピン版ではタイマA2を二相パルス信号処理に使用できません。

図1.17.9. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.17.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.17.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.17.4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

注1. 80ピン版ではタイマA1、A2の入出力端子(TAiIN, TAiOUT)がありません。

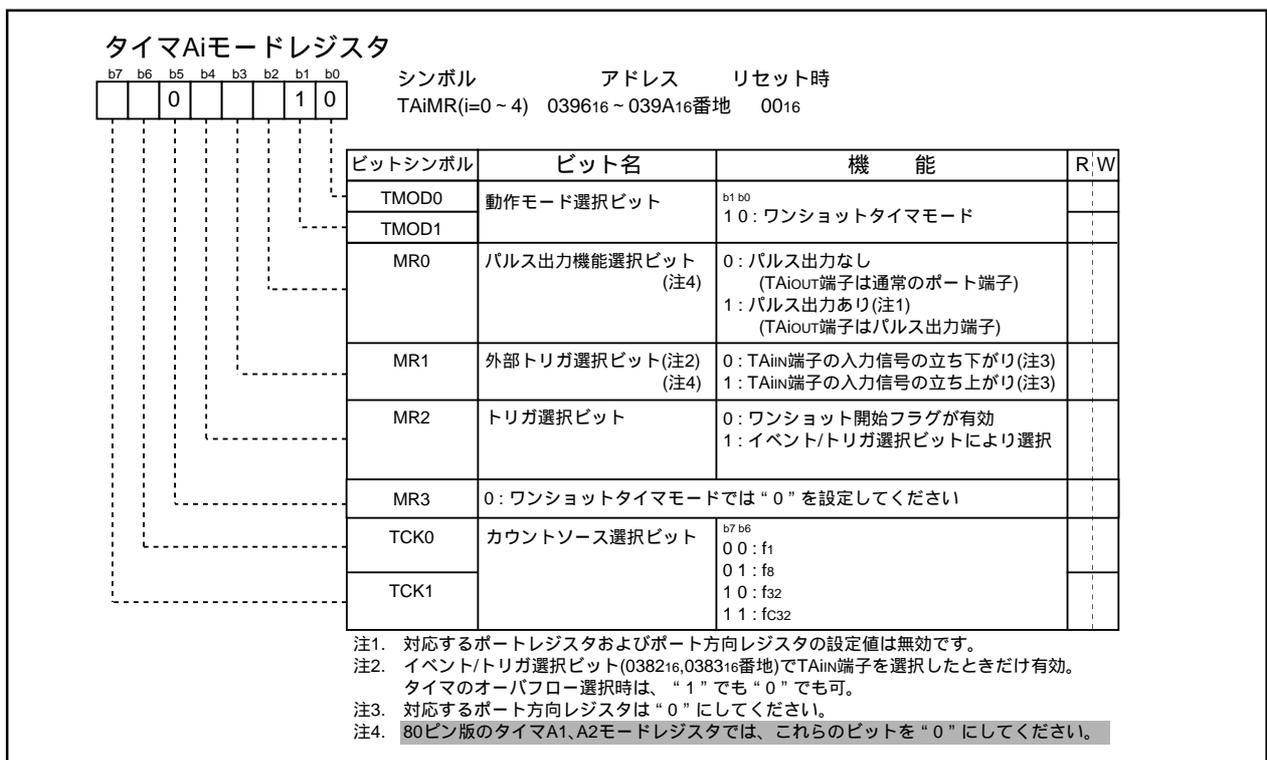


図1.17.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

タイマA

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.17.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.17.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.17.12に16ビットパルス幅変調器の動作例、および図1.17.13に8ビットパルス幅変調器の動作例を示します。

表1.17.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n :設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n :タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m :タイマAiレジスタの下位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

注1. 80ピン版ではタイマA1、A2の入出力端子(TAiIN, TAiOUT)がありません。

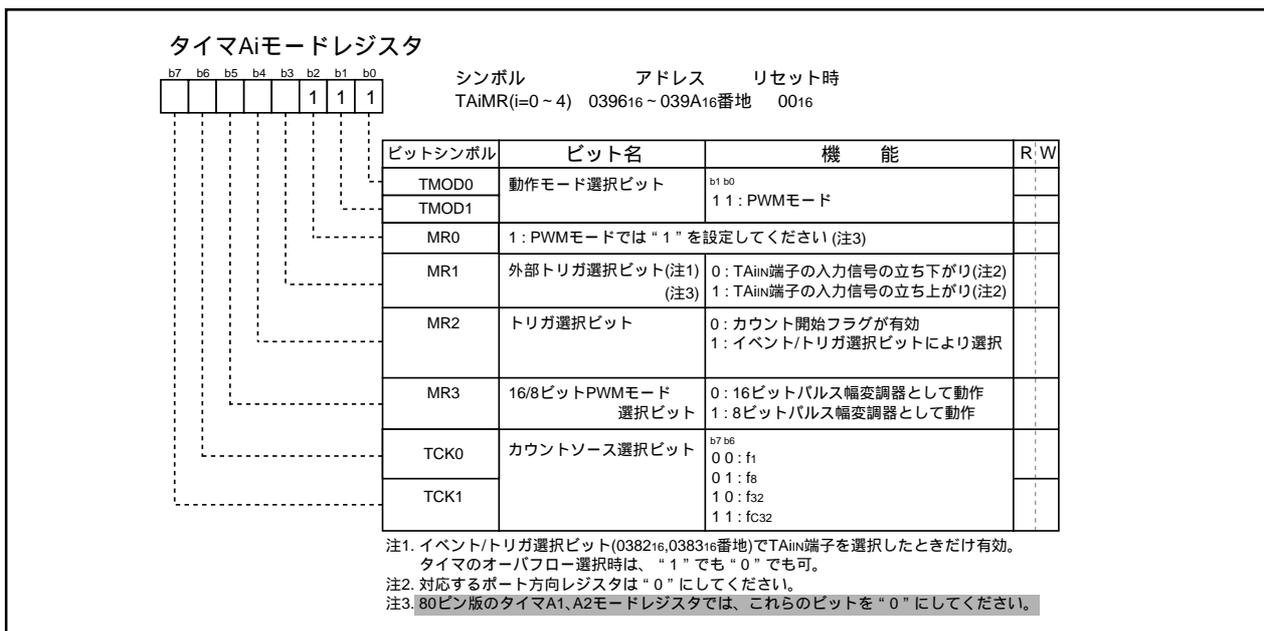


図1.17.11. パルス幅変調モード時のタイマAiモードレジスタの構成

タイマA

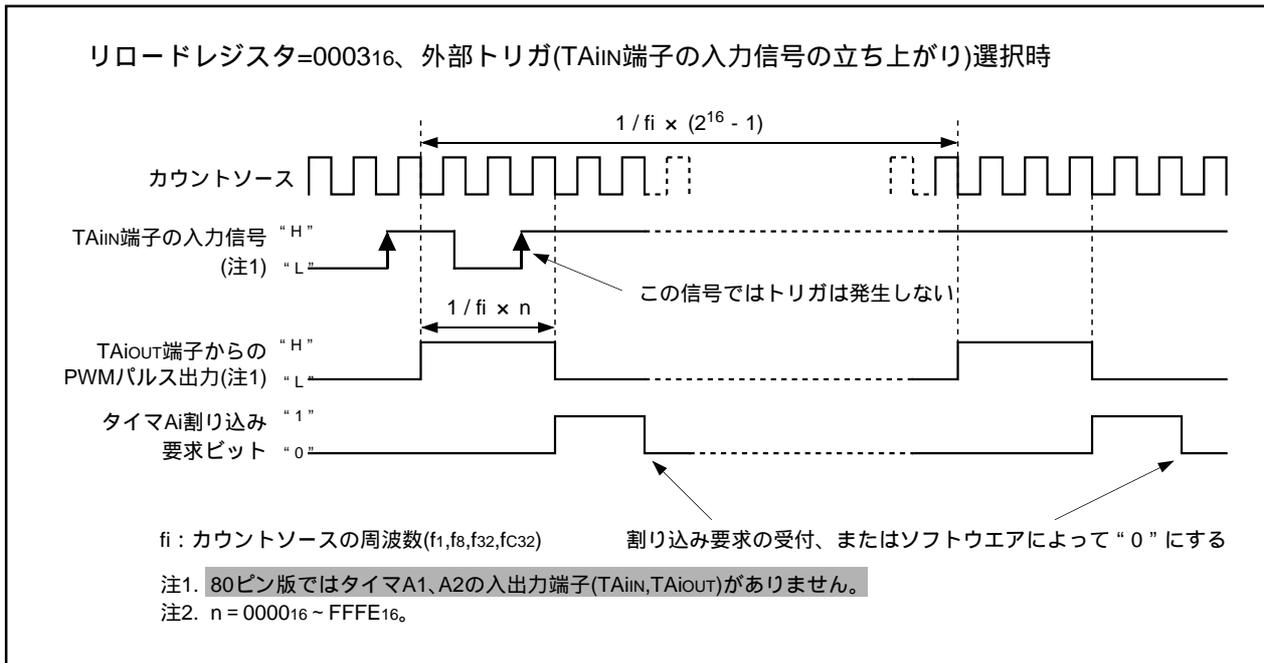


図1.17.12. 16ビットパルス幅変調器の動作例

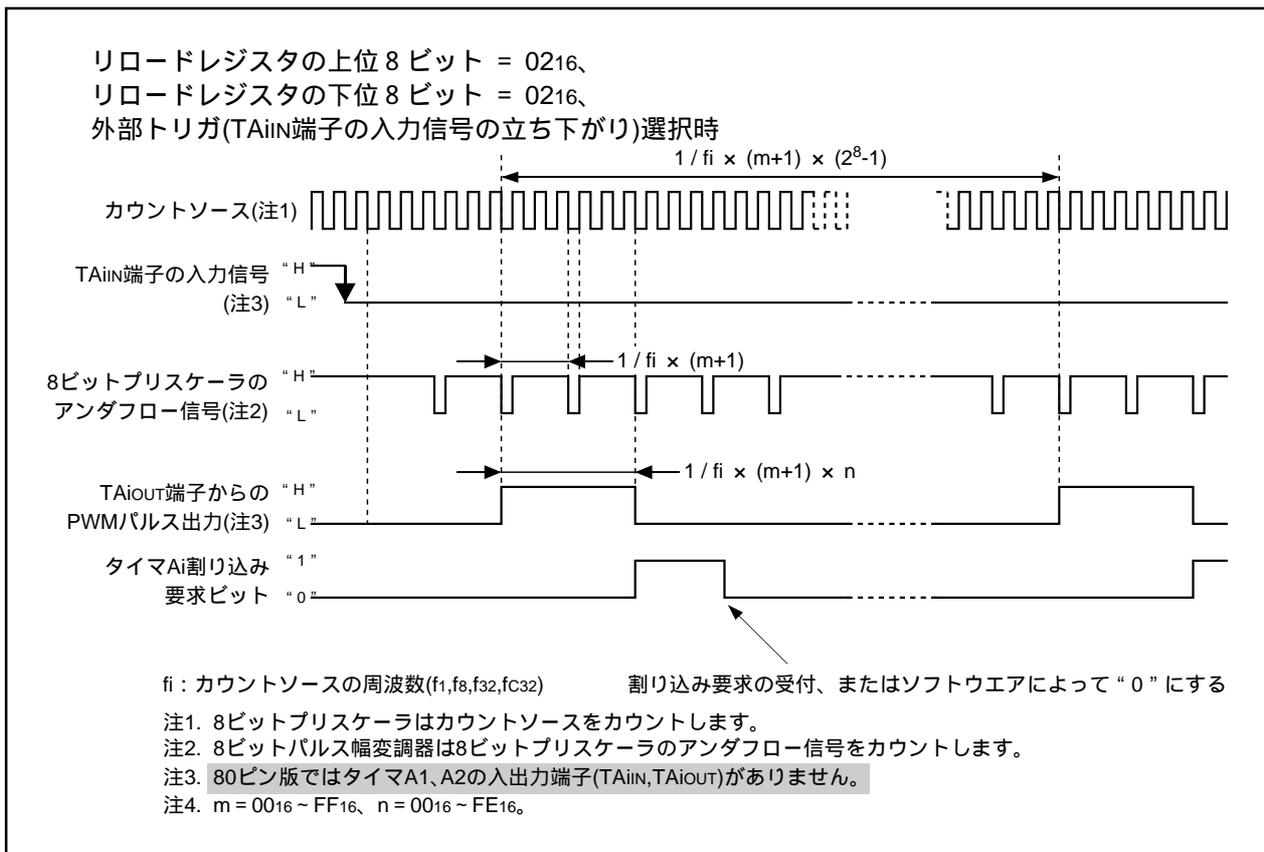


図1.17.13. 8ビットパルス幅変調器の動作例

タイマB

タイマBiレジスタ(注1)

シンボル	アドレス	リセット時
TB0	039116,039016番地	不定
TB1	039316,039216番地	不定
TB2	039516,039416番地	不定
TB3	035116,035016番地	不定
TB4	035316,035216番地	不定
TB5	035516,035416番地	不定

機能	設定可能値	R/W
タイマモード タイマの周期をカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント (注2)	0000 ₁₆ ~ FFFF ₁₆	
パルス周期測定モード / パルス幅測定モード パルス周期、またはパルス幅を測定 (注3)	—	x

注1. 読み出し、および書き込みは16ビット単位で行ってください。
 注2. 80ピン版のタイマB1では入力端子がないので、カウントソースとして外部からの入力パルスを選択できません。
 注3. 80ピン版のタイマB1では、入力端子がないのでこのモードは機能しません。

カウント開始フラグ

シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

タイマB3,4,5カウント開始フラグ

シンボル	アドレス	リセット時
TBSR	0340 ₁₆ 番地	000XXXXX ₂

ビットシンボル	ビット名	機能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			-
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	
TB4S	タイマB4カウント開始フラグ		
TB5S	タイマB5カウント開始フラグ		

時計用プリスケアラリセットフラグ

シンボル	アドレス	リセット時
CPSRF	0381 ₁₆ 番地	0XXXXXXX ₂

ビットシンボル	ビット名	機能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			-
CPSR	時計用プリスケアラ リセットフラグ	0: 何もおこらない 1: プリスケアラリセット (読み出し時は“0”)	

図1.17.16. タイマB関連レジスタ(2)

タイマB

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.17.6)。図1.17.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.17.6. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

注1. 80ピン版ではタイマB1の入力端子TB1INがありません。

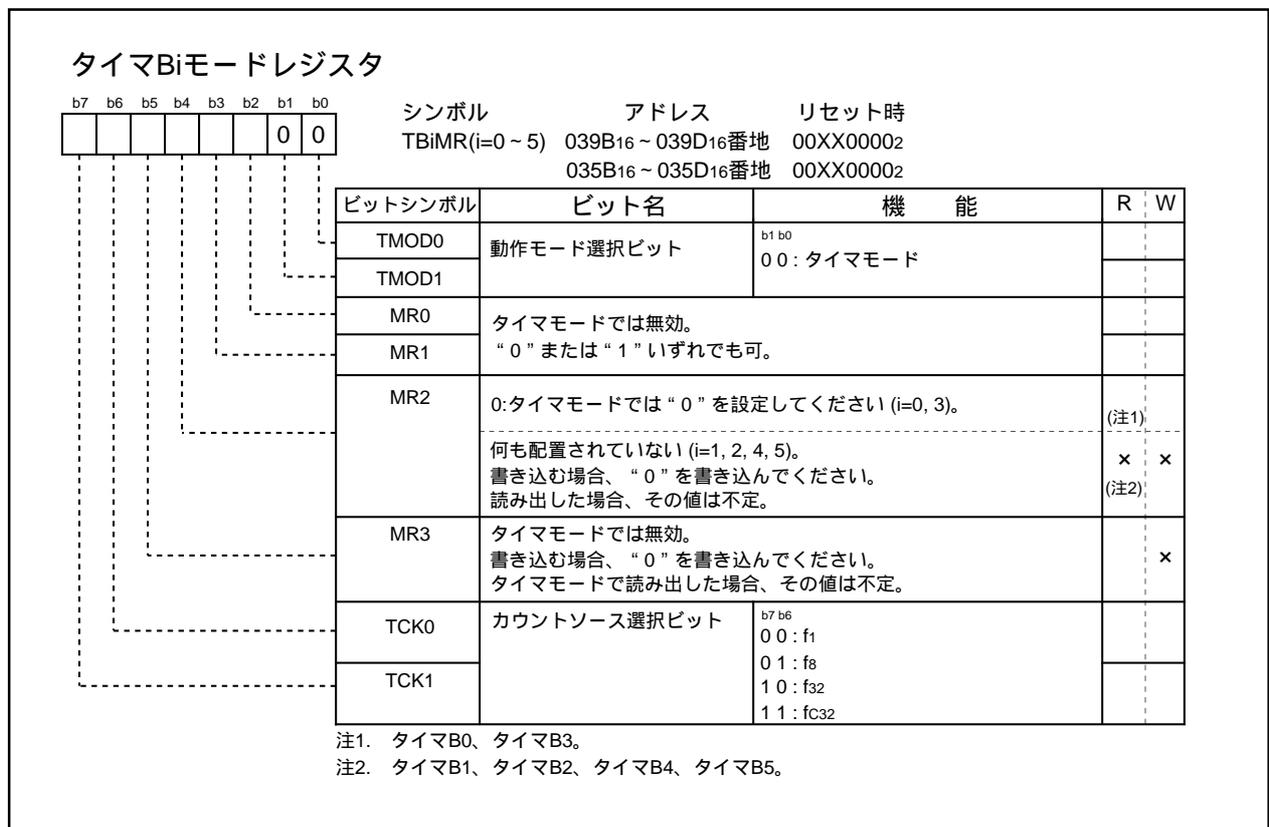


図1.17.17. タイマモード時のタイマBiモードレジスタの構成

タイマB

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです(表1.17.7)。タイマBiレジスタの構成を図1.17.18に示します。

表1.17.7. イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウェアによって選択可
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

注1. 80ピン版ではタイマB1の入力端子TB1INがありません。

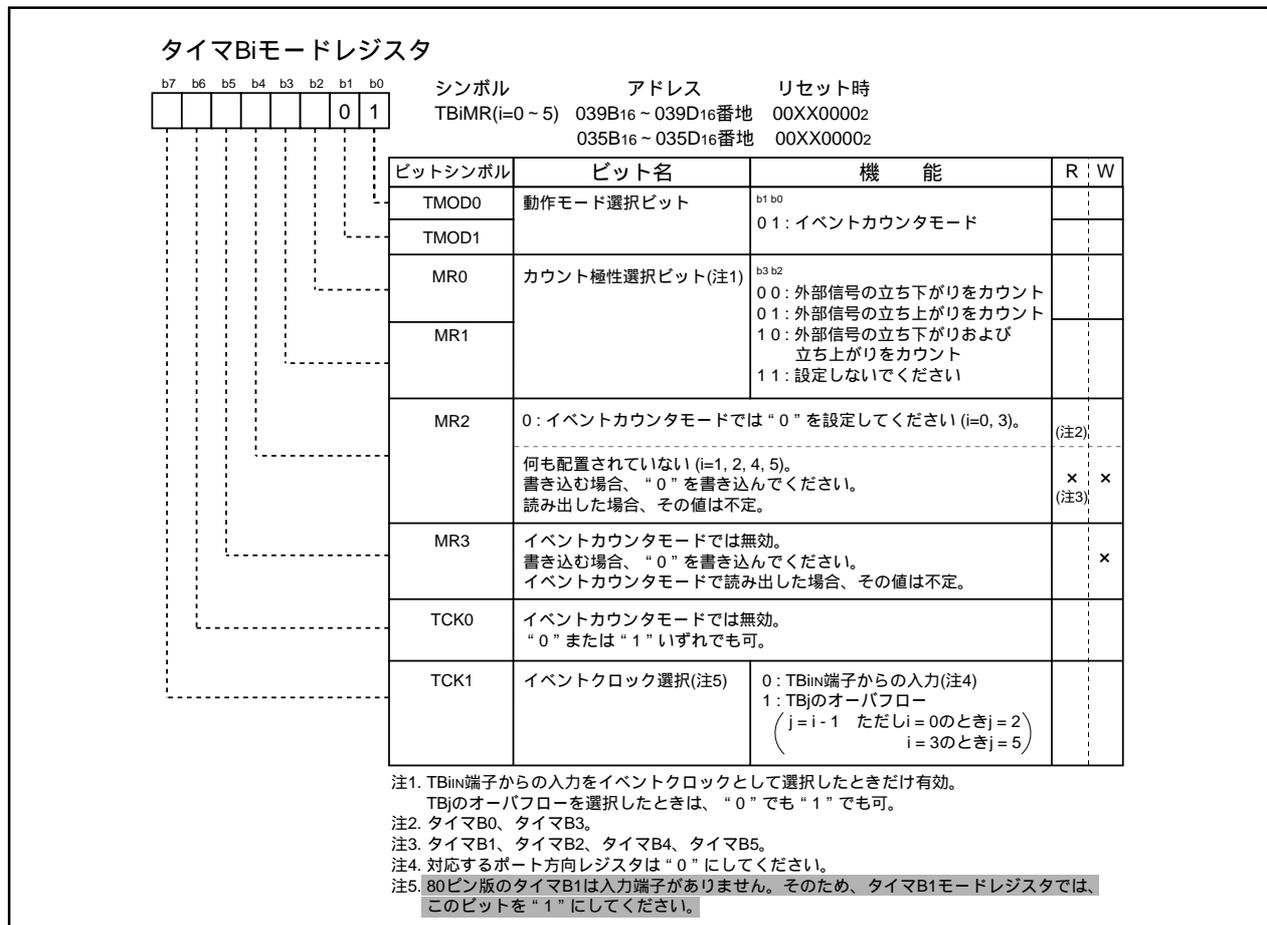


図1.17.18. イベントカウンタモード時のタイマBiモードレジスタの構成

タイマB

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.17.8)。80ピン版のタイマB1は入力端子がないので、この機能を使用できません。

図1.17.19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図1.17.20にパルス周期測定時の動作図、および図1.17.21にパルス幅測定時の動作図を示します。

表1.17.8. パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。カウント開始フラグが“1”の状態、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、タイマBiオーバフローフラグは“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後 2 回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

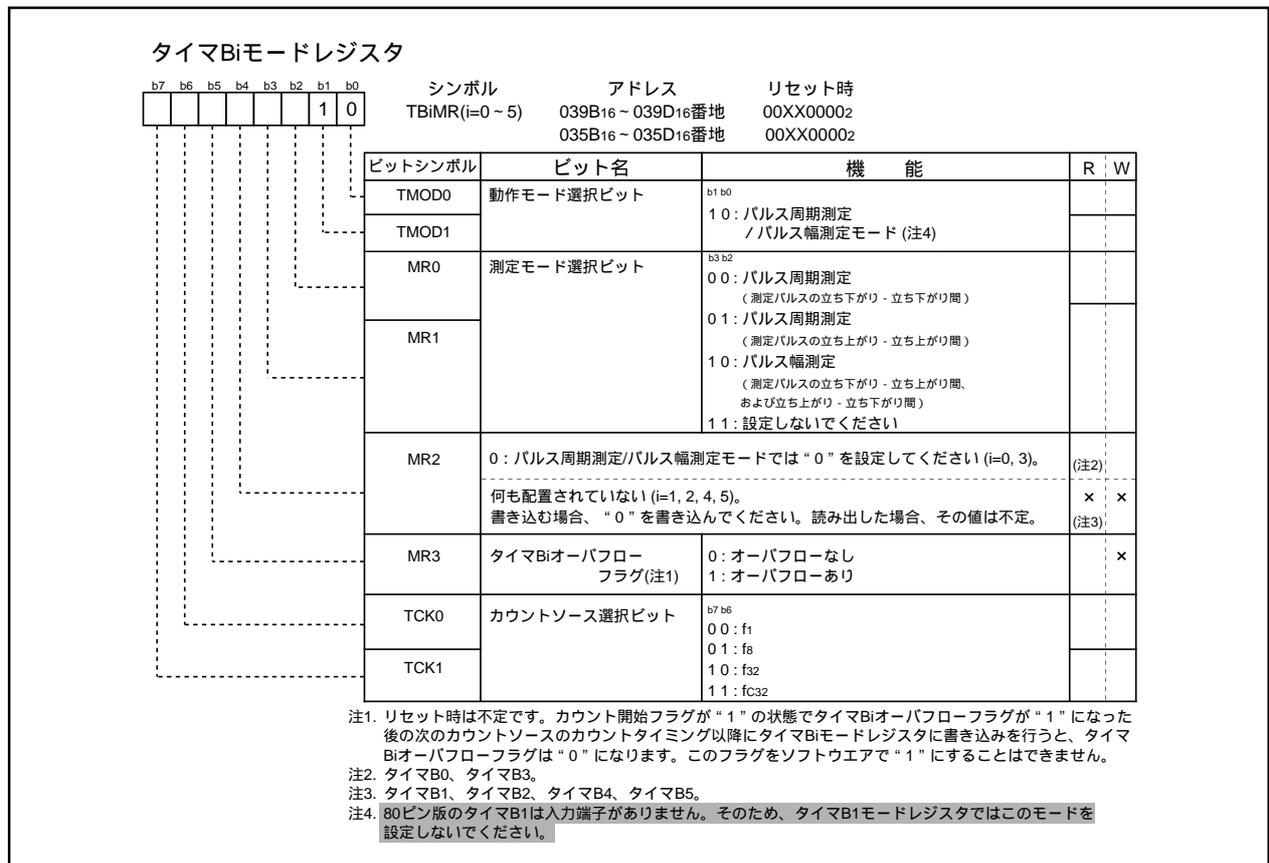


図1.17.19. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

タイマB

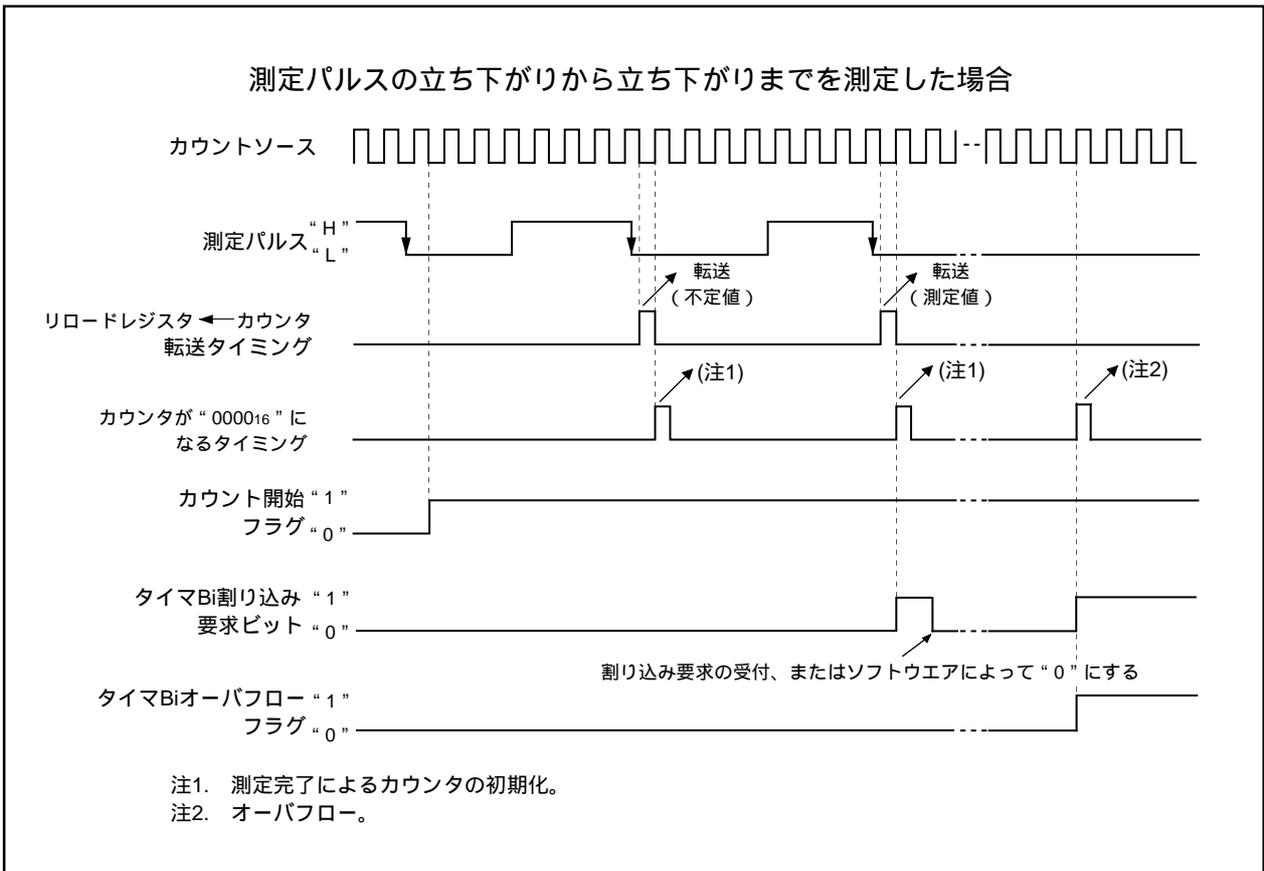


図1.17.20. パルス周期測定時の動作図

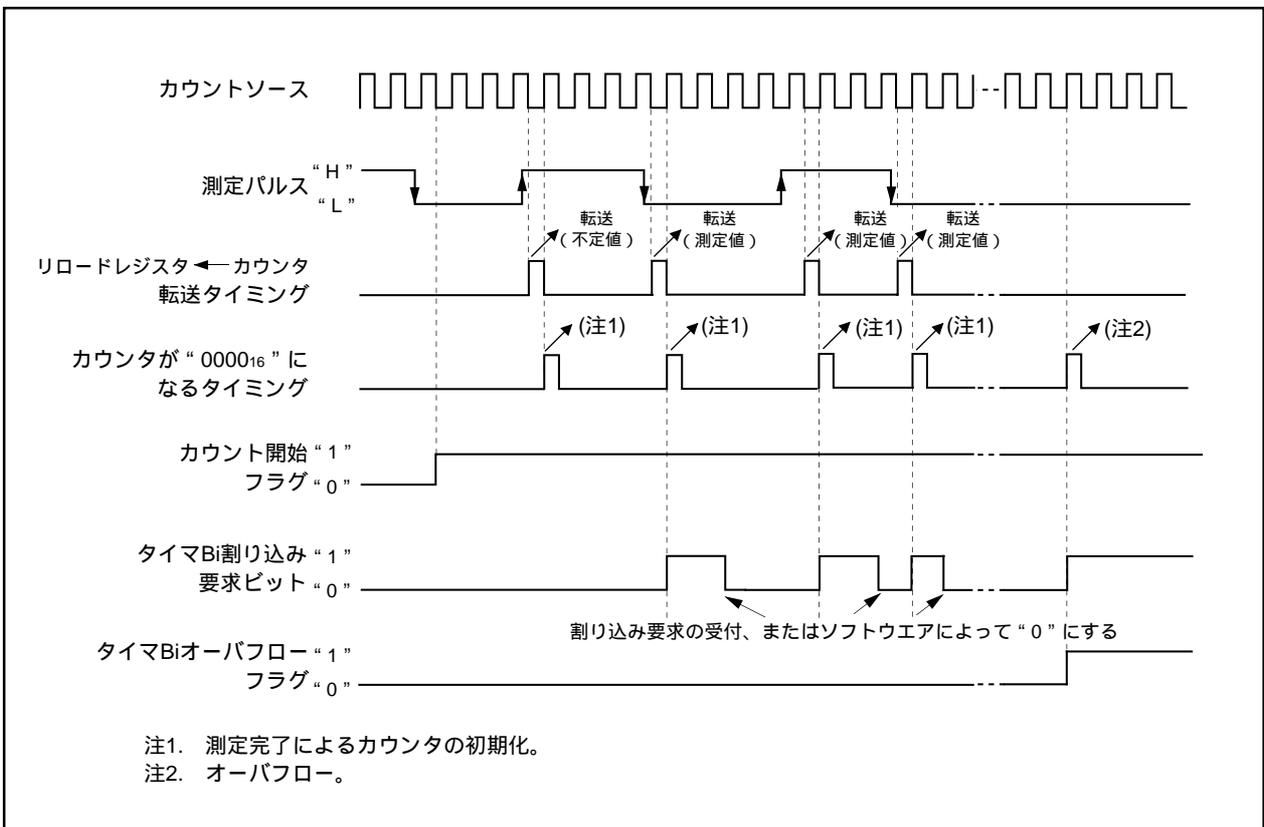


図1.17.21. パルス幅測定時の動作図

三相モータ制御用タイマ機能

三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。

80ピン版では、三相モータ制御に必要なV、V、W、W端子が外部端子に接続されていないのでこの機能を使用できません。

図1.18.1～図1.18.3に三相モータ制御用タイマ関連のレジスタを示します。

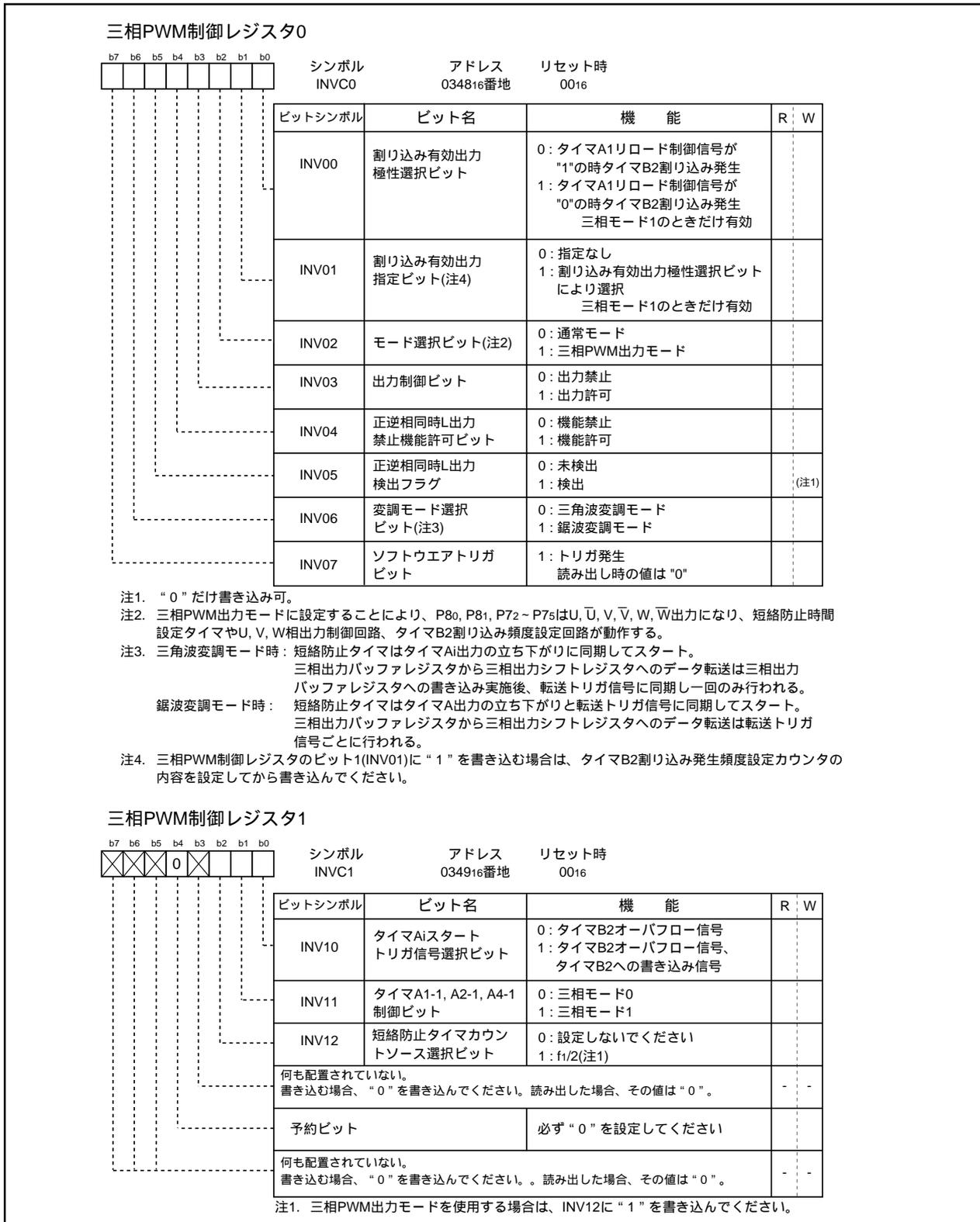


図1.18.1. 三相モータ制御用タイマ関連のレジスタ

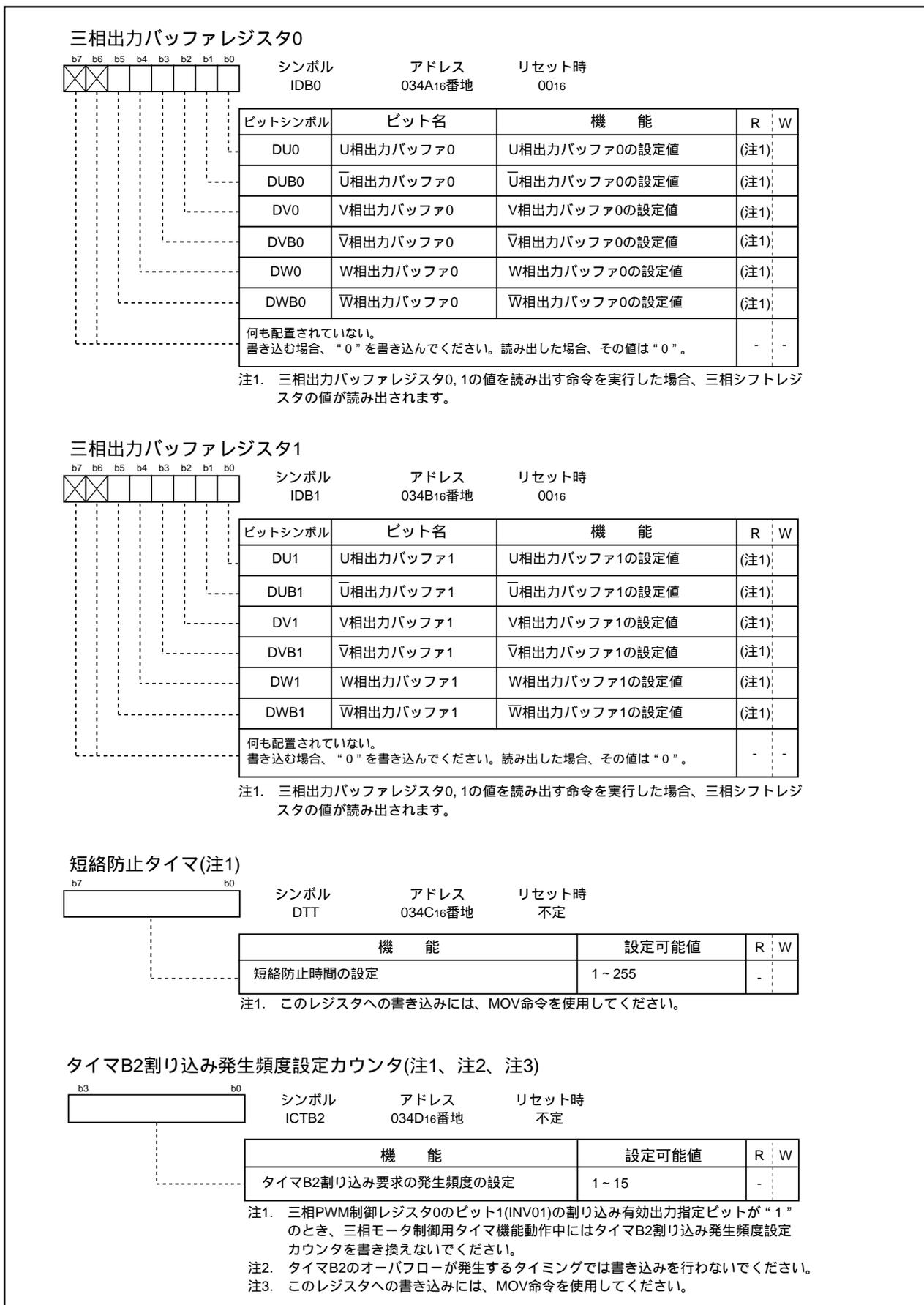
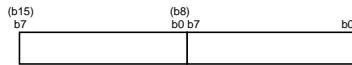


図1.18.2. 三相モータ制御用タイマ関連のレジスタ

タイマAiレジスタ(注1)

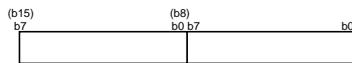


シンボル	アドレス	リセット時
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定
TB2	0395 ₁₆ , 0394 ₁₆ 番地	不定

機能	設定可能値	R/W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注3)	X

- 注1. 読み出し、および書き込みは16ビット単位で行ってください。
 注2. タイマAiレジスタに"0000₁₆"を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。
 注3. このレジスタへの書き込みにはMOV命令を使用してください。

タイマAi-1レジスタ(注1)

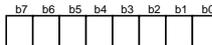


シンボル	アドレス	リセット時
TA11	0343 ₁₆ , 0342 ₁₆ 番地	不定
TA21	0345 ₁₆ , 0344 ₁₆ 番地	不定
TA41	0347 ₁₆ , 0346 ₁₆ 番地	不定

機能	設定可能値	R/W
内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	

- 注1. 読み出し、および書き込みは16ビット単位で行ってください。

トリガ選択レジスタ

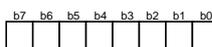


シンボル	アドレス	リセット時
TRGSR	0383 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 00 : TA1IN端子の入力を選択(注1) 01 : TB2のオーバーフローを選択 10 : TA0のオーバーフローを選択 11 : TA2のオーバーフローを選択	
TA1TGH			
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 00 : TA2IN端子の入力を選択(注1) 01 : TB2のオーバーフローを選択 10 : TA1のオーバーフローを選択 11 : TA3のオーバーフローを選択	
TA2TGH			
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 00 : TA3IN端子の入力を選択(注1) 01 : TB2のオーバーフローを選択 10 : TA2のオーバーフローを選択 11 : TA4のオーバーフローを選択	
TA3TGH			
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 00 : TA4IN端子の入力を選択(注1) 01 : TB2のオーバーフローを選択 10 : TA3のオーバーフローを選択 11 : TA0のオーバーフローを選択	
TA4TGH			

- 注1. 対応するポート方向レジスタは"0"にしてください。

カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

図1.18.3. 三相モータ制御用タイマ関連のレジスタ

三相モータ制御用タイマ機能

三相モータ駆動波形出力モード(三相PWM出力モード)

図1.18.1に示す三相PWM制御レジスタ0(0348₁₆番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1, A2, A4, B2の4つのタイマを使用する三相PWM出力モードが選択されます。図1.18.4に示すように三相PWM出力モードではタイマA1, A2, A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

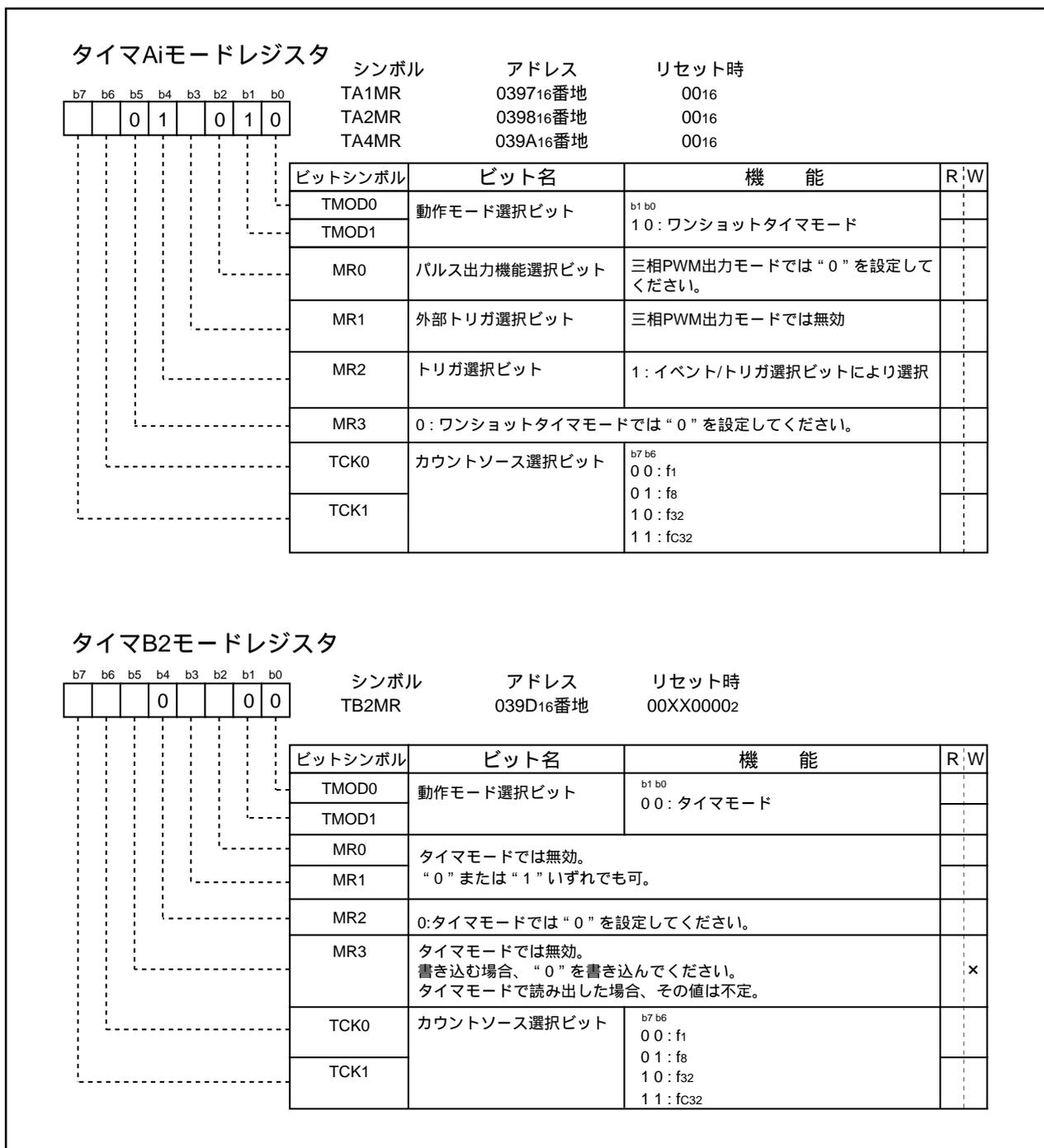


図1.18.4. 三相PWM出力モード時のタイマモードレジスタ

三相PWM出力モード時のブロック図を図1.18.5に示します。三相PWM出力モードにおいては正相波形(U相、V相、W相)および逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の6つの波形がP80, P81, P72, P73, P74, P75から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、 \bar{U} 相、タイマA1はV相、 \bar{V} 相、タイマA2はW相、 \bar{W} 相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1~255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ(034C₁₆番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(0349₁₆番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が00₁₆になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相PWM出力モードにおける正相波形(U相、V相、W相)とその逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)は三相PWM制御レジスタ0(0348₁₆番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはポート方向レジスタで設定した状態になります。このビットは、命令で“0”にする以外に、NMI入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と \bar{U} 相、V相と \bar{V} 相、W相と \bar{W} 相のいずれかが同時に“L”になることでポートはポート方向レジスタで設定した状態になります。

三角波変調

三角波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348₁₆番地)の変調モード選択ビット(ビット6)を“0”に設定します。そして、三相PWM制御レジスタ1(0349₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000₁₆になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)が“0”であれば、タイマB2のカウンタの値が0000₁₆になるごとに発生する割り込み要求の発生頻度をタイマB2割り込み発生頻度設定カウンタ(034D₁₆番地)によって設定できます。発生頻度は(設定値; 設定値 0)で与えられます。

また、三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力極性選択ビット(ビット0)で行います。

次に、U相波形の一例を図1.18.6に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034B₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000₁₆になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”にして、割り込み有効出力極性選択ビットを“0”にし、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000₁₆になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ(U相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000₁₆になってもシフトレジスタへの設定はされません。

U端子(P8₀)にはDU0の値が、 \bar{U} 端子(P8₁)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F₁₆番地、038E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になるとタイマA4のカウンタがタイマA4-1(0347₁₆番地、0346₁₆番地)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

三相モータ制御用タイマ機能

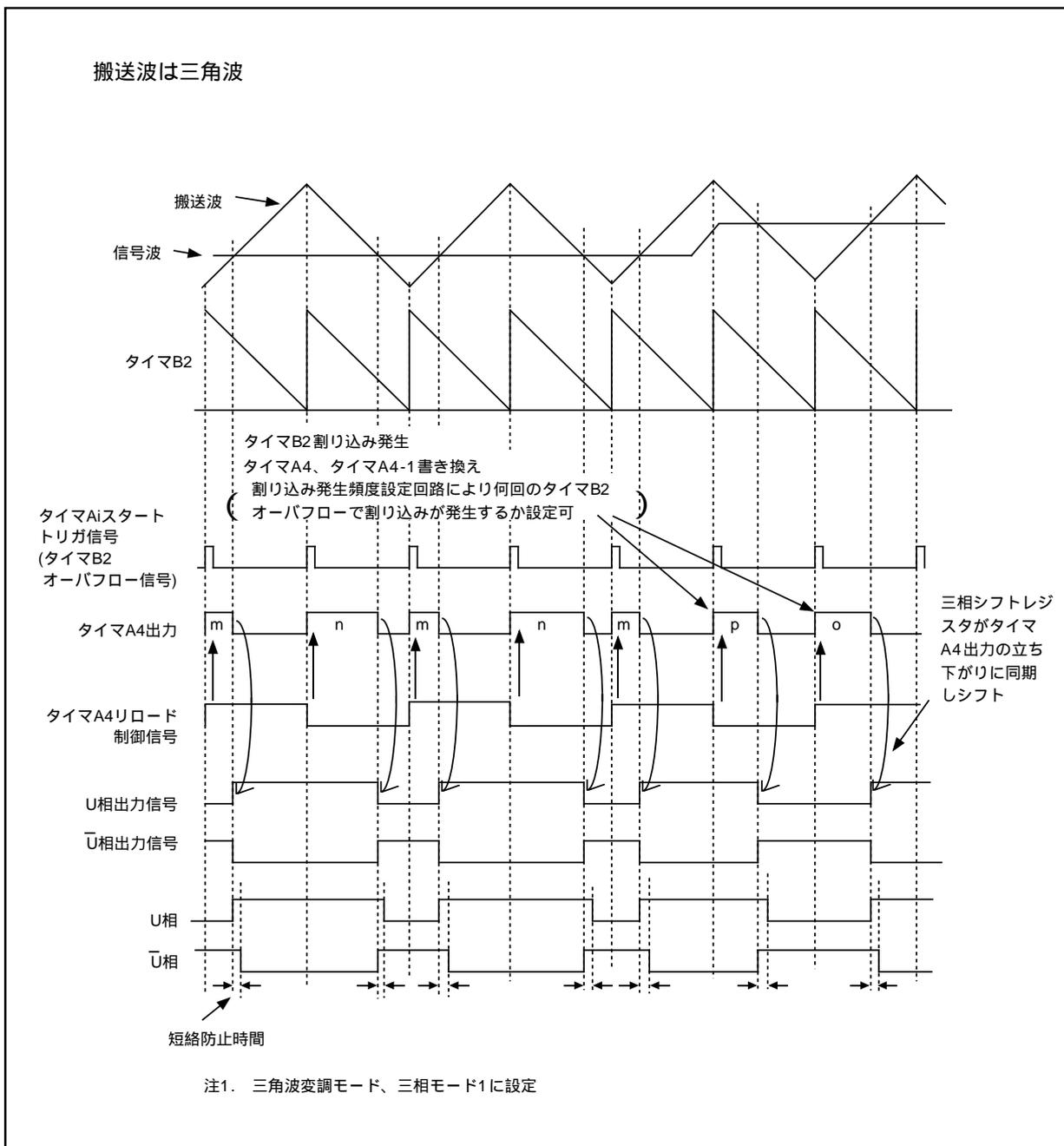


図1.18.6. 動作タイミング図(1)

三相モータ制御用タイマ機能

また、三相出力バッファレジスタ0(034A₁₆番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(034B₁₆番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図1.18.7のような、U相のみ出力、 \bar{U} 相は“H”固定、またはU相は“H”固定、 \bar{U} 相のみ出力の波形を出力することができます。

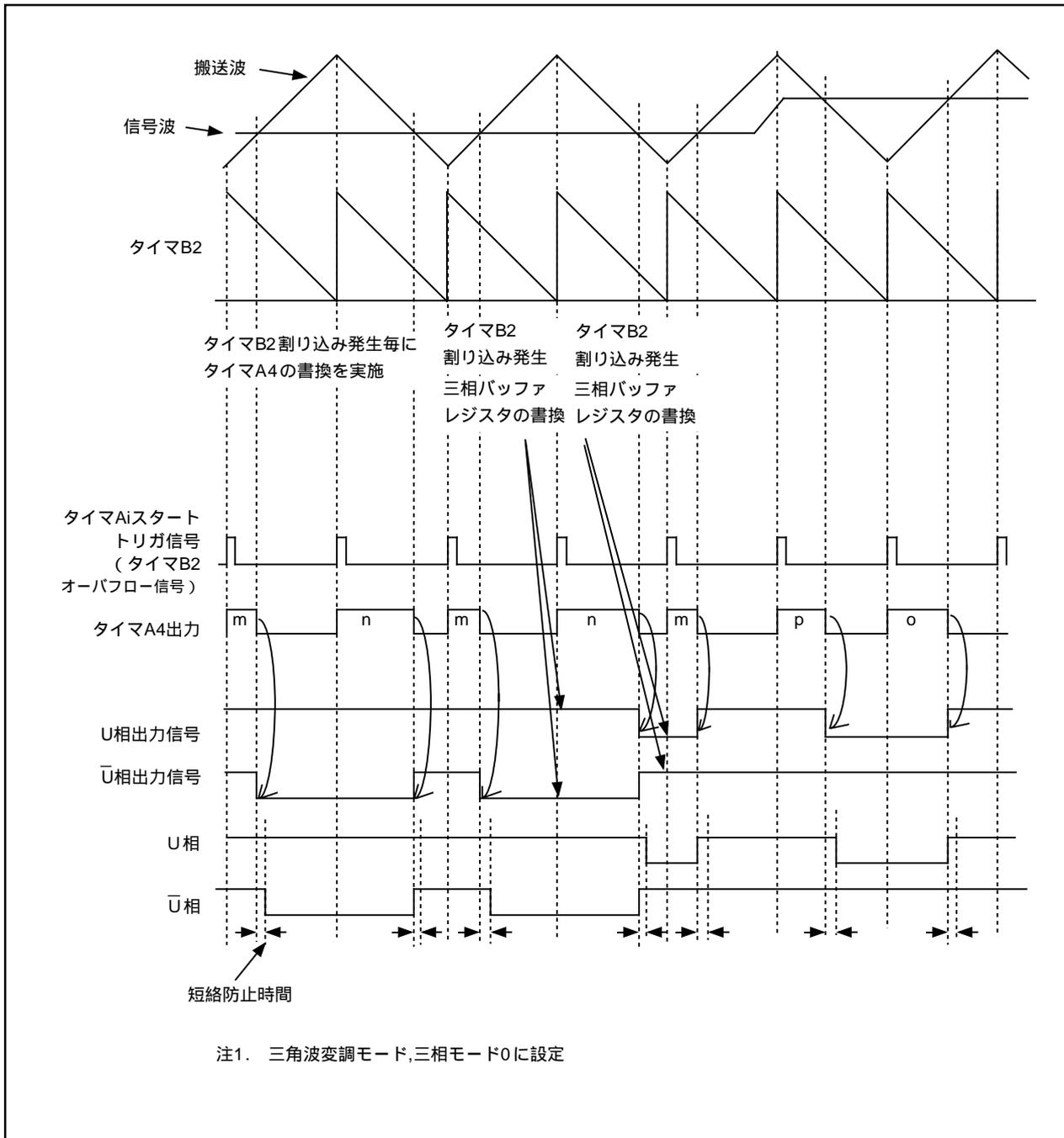


図1.18.7. 動作タイミング図(2)

鋸波変調

鋸波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348₁₆番地)の変調モード選択ビット(ビット6)を“1”に設定します。そして、三相PWM制御レジスタ1(0349₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、タイマA4、A1、A2のタイマレジスタは従来のタイマA4、A1、A2のみで、タイマB2のカウンタの内容が0000₁₆になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)や割り込み有効出力極性選択ビット(ビット0)は無効になります。

次に、U相波形の一例を図1.18.8に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034A₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。

タイマB2のカウンタの内容が0000₁₆になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(U相)に設定されます。以降タイマB2のカウンタの内容が0000₁₆になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P80)にはDU0の値が、 \bar{U} 端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F₁₆番地、038E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(\bar{U} 相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

また、三相出力バッファレジスタ0(034A₁₆番地)のビット1(DUB0)と三相出力バッファレジスタ1(034B₁₆番地)のビット1(DUB1)をともに“1”に設定することにより、図1.18.9のようにU相のみ出力し、 \bar{U} 相を“H”出力固定にすることもできます。

三相モータ制御用タイマ機能

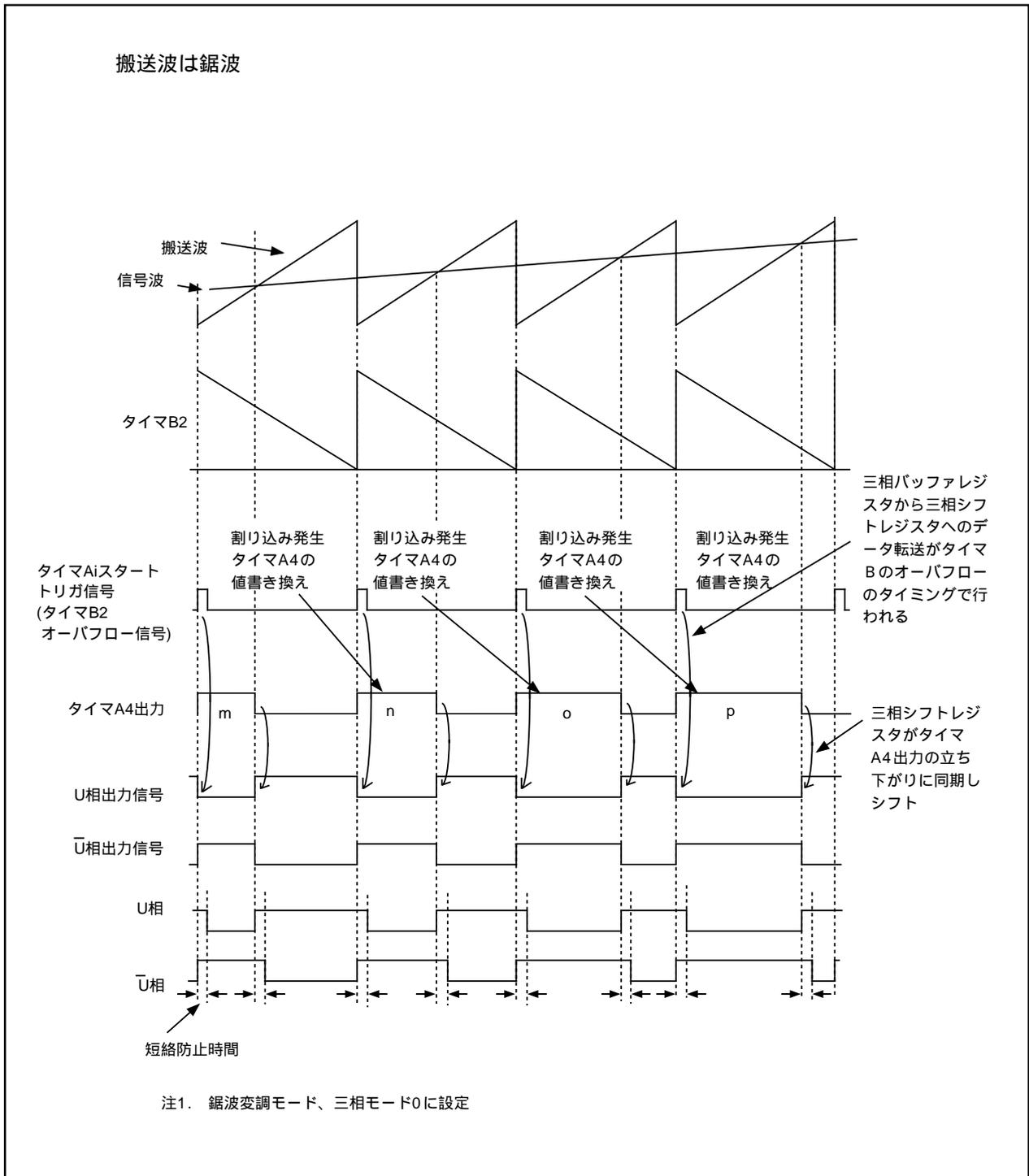


図1.18.8. 動作タイミング図(3)

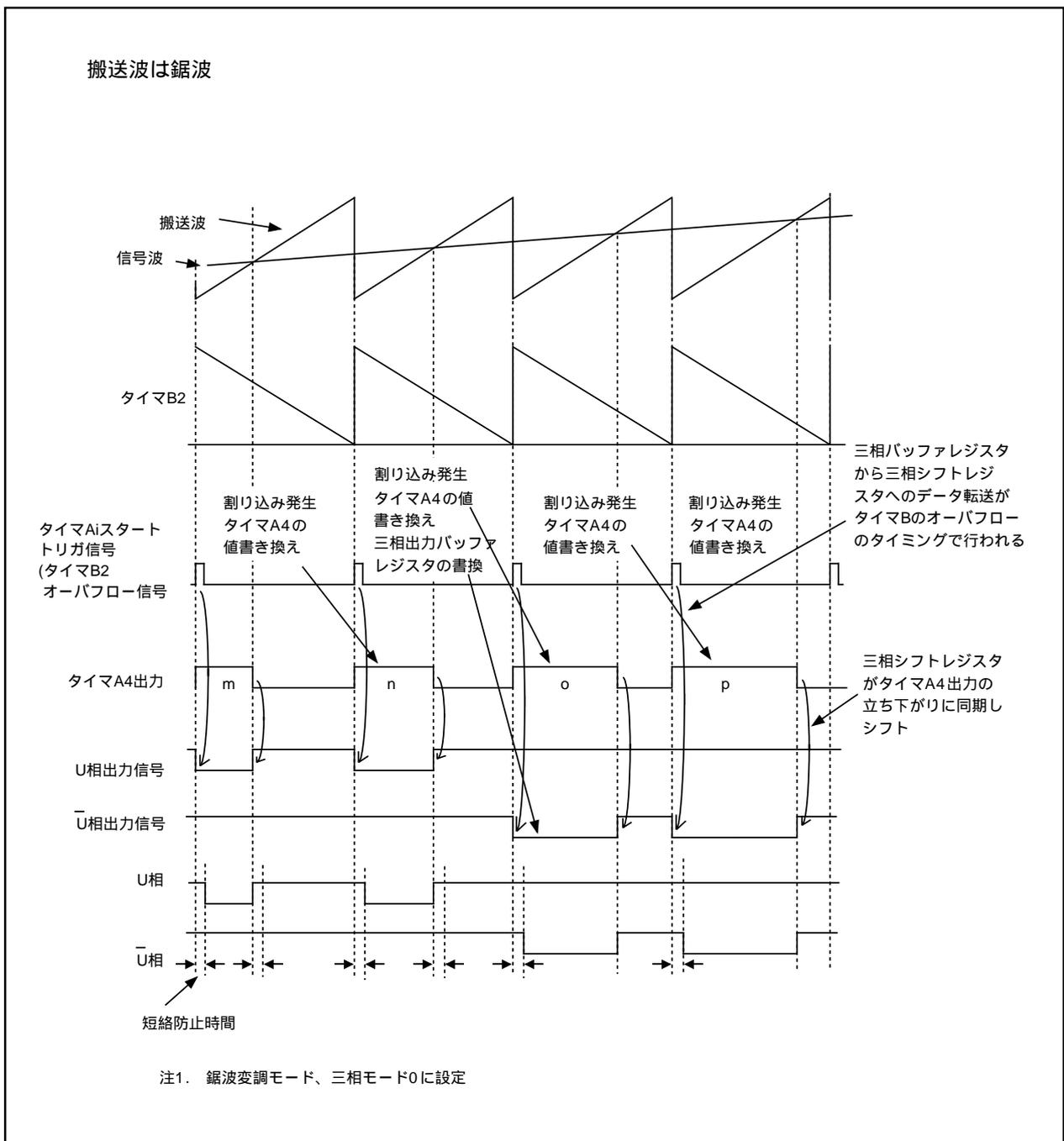


図1.18.9. 動作タイミング図(4)

シリアルI/O

シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3、4の5チャンネルで構成しています。
次にそれぞれについて説明します。

UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.19.1にUARTi(i=0～2)のブロック図を、図1.19.2、図1.19.3に送受信部のブロック図を示します。

UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット0～ビット2)の内容で選択します。

UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

80ピン版では、UART2はクロック非同期形シリアルI/OモードおよびIICモードを使用できます。

注1. SIM : Subscriber Identity Module

表1.19.1にUART0～UART2の機能比較を、図1.19.4～図1.19.8に、UARTi関連のレジスタを示します。

表1.19.1. UART0～UART2の機能比較

機 能	UART0	UART1	UART2	
			100ピン版	80ピン版
CLK極性選択	可 (注1)	可 (注1)	可 (注1)	不可 (注5)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)	
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)	
転送クロック複数端子出力選択	不可	可 (注1)	不可	
CTS/RTS分離	可	不可	不可	
シリアルデータ論理切り替え	不可	不可	可 (注4)	
スリープモード選択	可 (注3)	可 (注3)	不可	
TxD、RxD入出力極性切り替え	不可	不可	可	
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャネルオープンドレイン出力 (注6)	
パリティエラー信号出力	不可	不可	可 (注4)	
バス衝突検出	不可	不可	可 (注7)	

注1. クロック同期形シリアルI/Oモード時だけ

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ

注3. UARTモード時だけ

注4. SIMインタフェース対応

注5. 80ピン版では、CLK₂、CTS₂/RTS₂が外部端子を持たないのでこの機能を使用できません。

注6. 外部でプルアップ抵抗を介してV_{CC}に接続してください。

注7. 主にIEバスエミュレート時に使用します。

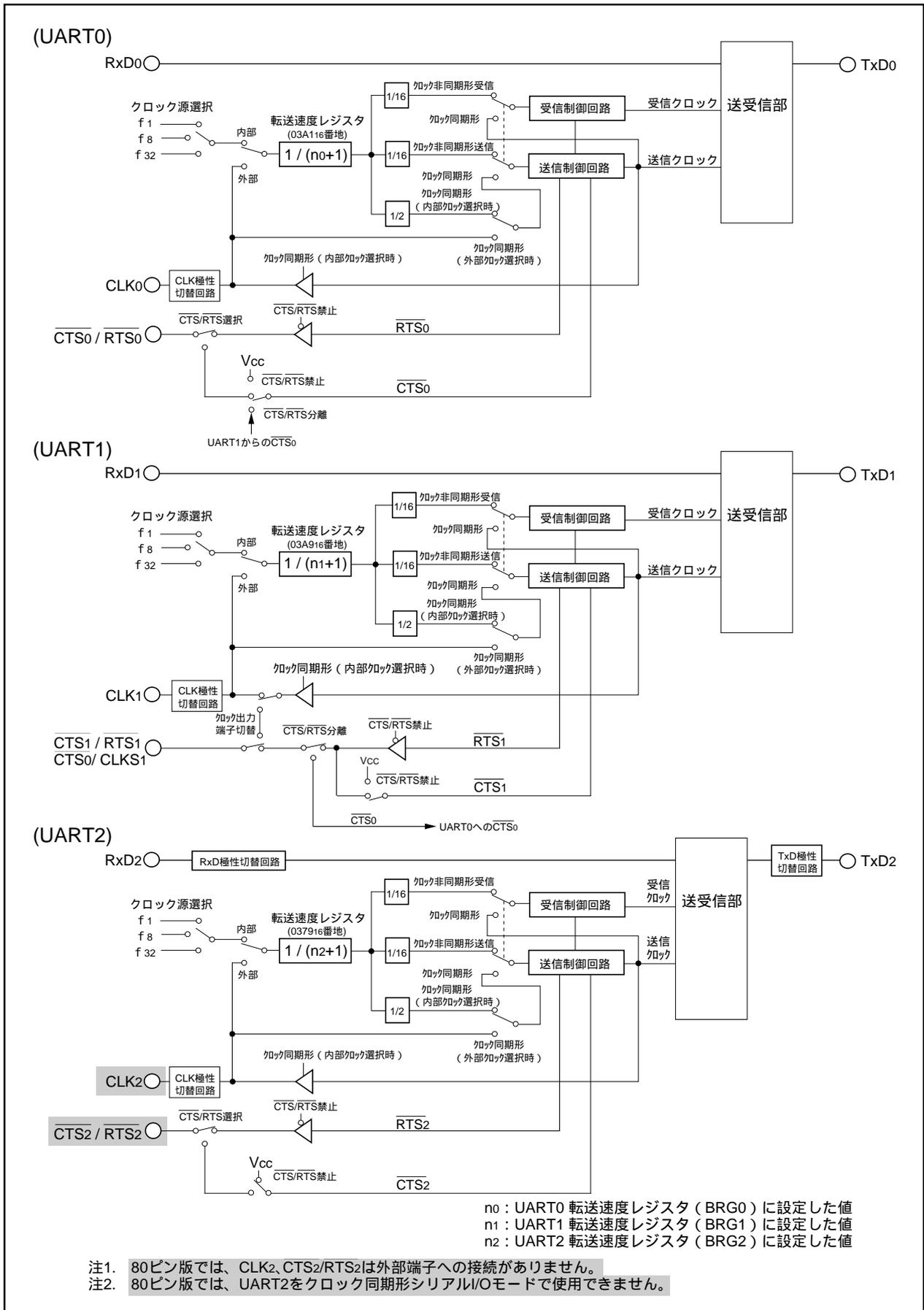


図1.19.1. UART*i*(*i*=0~2)ブロック図

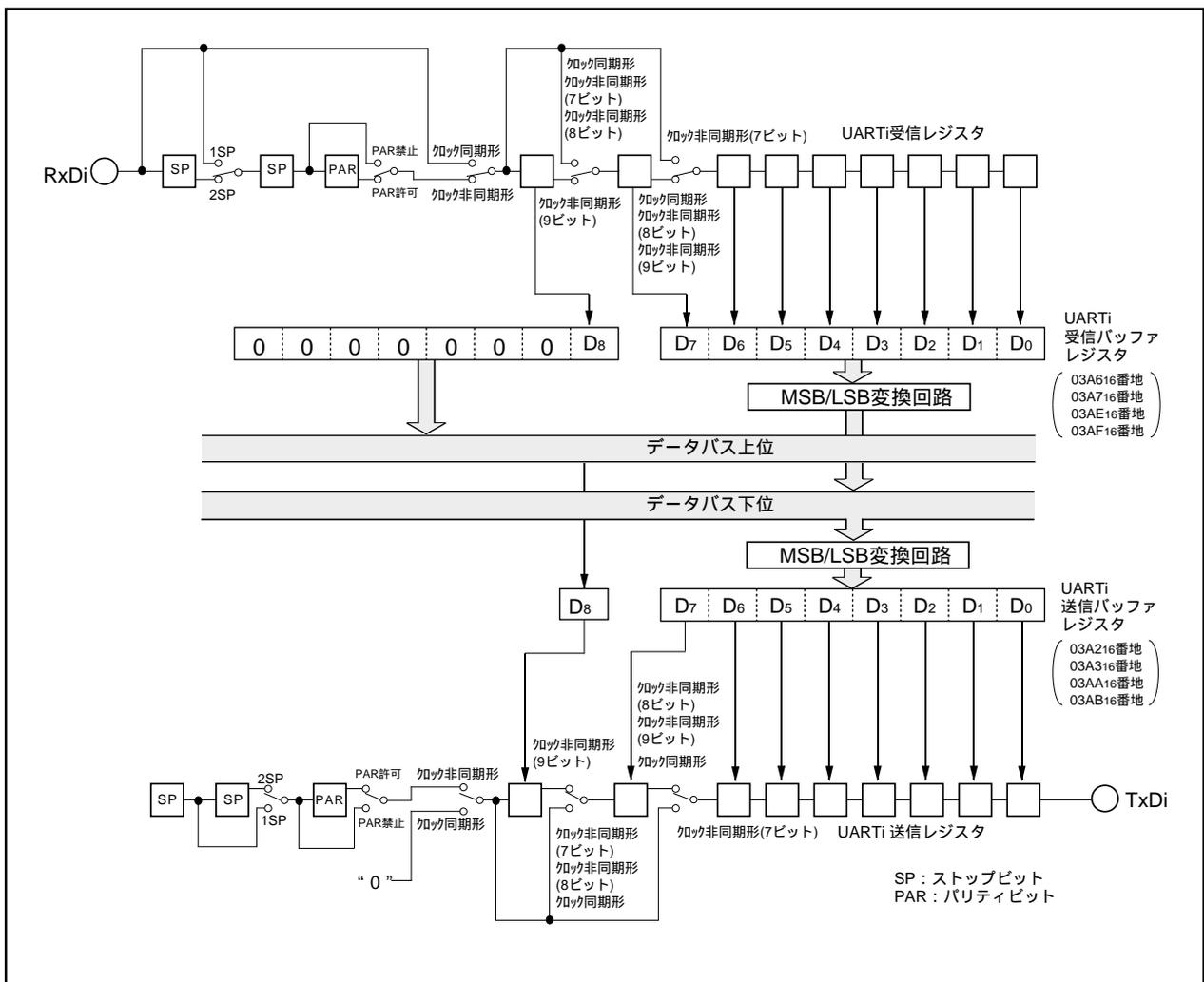


図1.19.2. UARTi(i=0,1)送受信部ブロック図

シリアルI/O

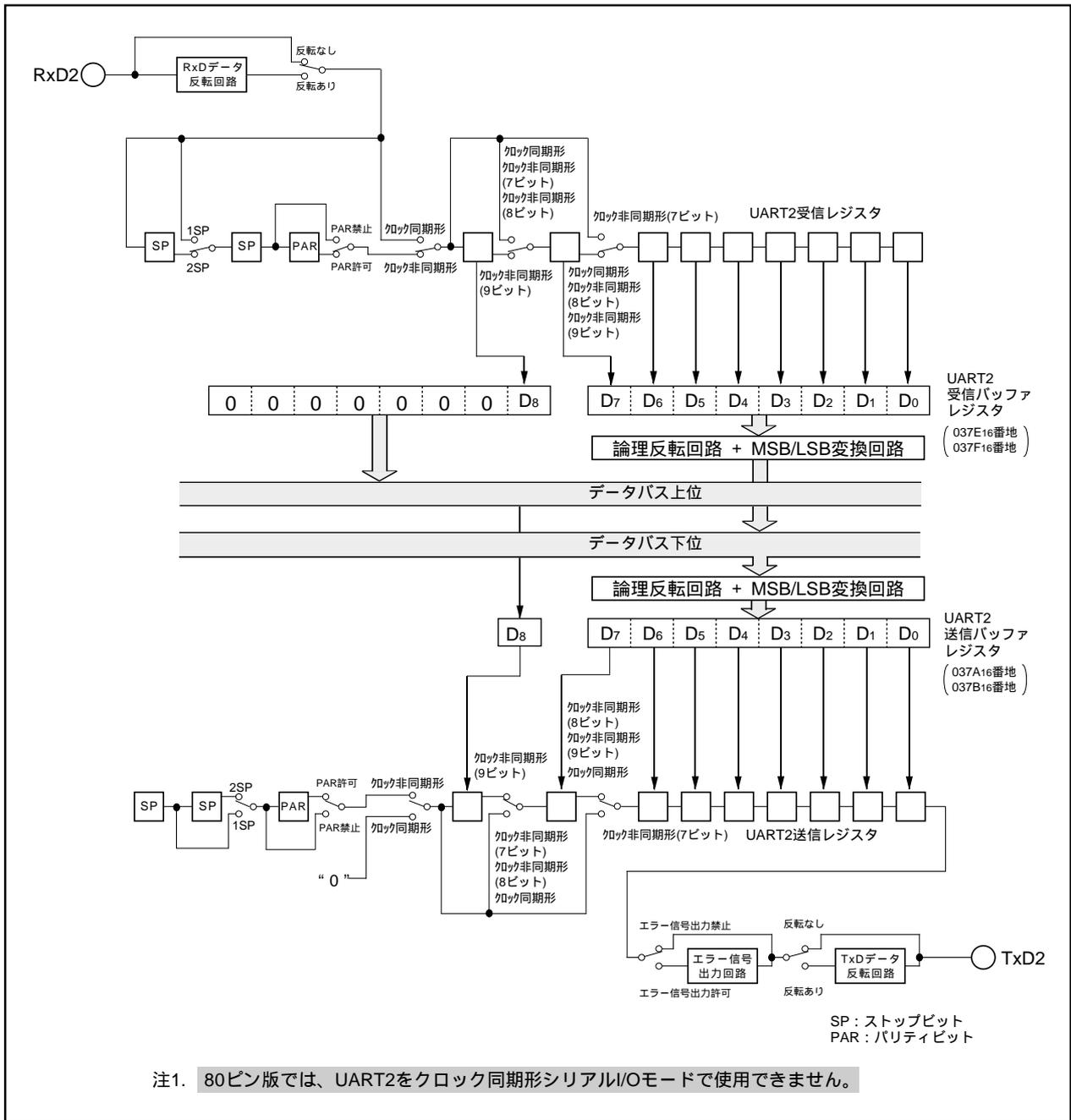


図1.19.3. UART2送受信部ブロック図

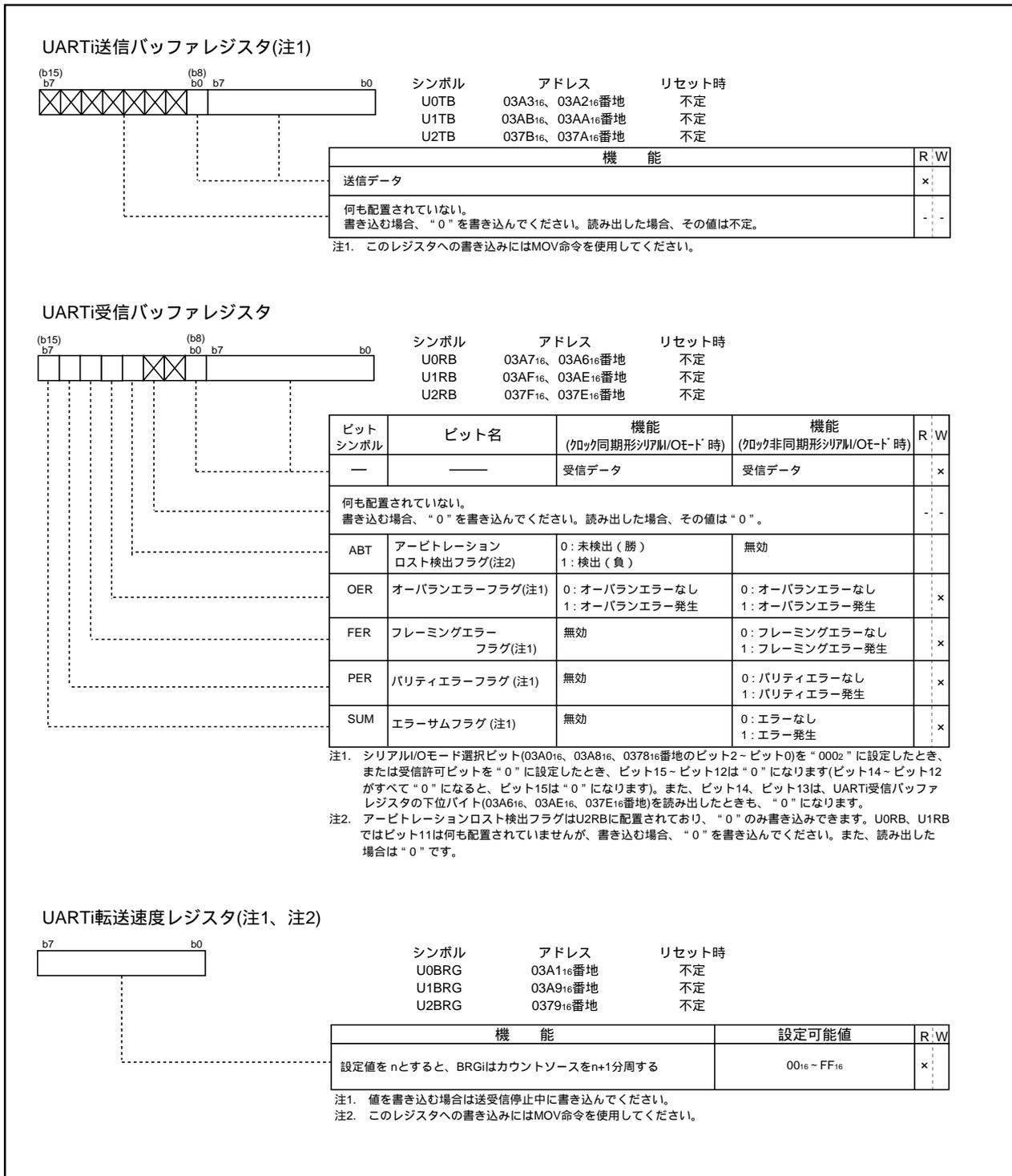
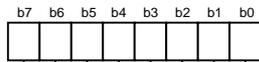


図1.19.4. UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

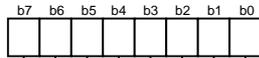


シンボル アドレス リセット時
UiMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ド時)	機能 (クロック非同期形シリアル/OE-ド時)	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアル/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアル/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	0: 内部クロック 1: 外部クロック(注1)	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
SLEP	スリープ選択ビット	“0”を設定してください	0: スリープモード解除 1: スリープモード選択	

注1. 対応する方向レジスタを“0”にしてください。

UART2送受信モードレジスタ



シンボル アドレス リセット時
U2MR 0378₁₆番地 00₁₆

ビット シンボル	ビット名	機能(注2) (クロック同期形シリアル/OE-ド時)	機能 (クロック非同期形シリアル/OE-ド時)	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアル/Oは無効 010: (注1) 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアル/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注3)	“0”を設定してください	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
IOPOL	TxD,RxD入出力極性切り替え ビット	0: 反転なし 1: 反転あり 通常は“0”に設定してくだ さい	0: 反転なし 1: 反転あり 通常は“0”に設定してくだ さい	

注1. IICモード使用時、ビット2～ビット0は“010₂”にしてください。

注2. 80ピン版ではUART2をクロック同期形シリアル/Oモードで使用できません。

注3. 対応する方向レジスタを“0”にしてください。

図1.19.5. UARTi関連のレジスタ (2)



図1.19.6. UARTi関連のレジスタ (3)

シリアルI/O



図1.19.7. UARTi関連のレジスタ (4)



図1.19.8. UARTi関連のレジスタ (5)

クロック同期形シリアルI/Oモード

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.19.2、表1.19.3にクロック同期形シリアルI/Oモードの仕様を、図1.19.9にUARTi送受信モードレジスタの構成を示します。

80ピン版ではUART2をクロック同期形シリアルI/Oモードで使用できません。

表1.19.2. クロック同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "0") : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "1") : CLKi端子からの入力
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" CTS機能選択時、CTS端子の入力が "L" レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L"
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット2)= "1" 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L"
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "0" : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "1" : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. nはUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック同期形シリアルI/Oモード

表1.19.3. クロック同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択(UART1) (注1) UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 CTS/RTS 分離(UART0) (注1) UART0の $\overline{\text{CTS}}$ 端子と $\overline{\text{RTS}}$ 端子を別々の端子に配置できる。 シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

注1. 転送クロック複数端子出力機能と $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能は同時に選択できません。

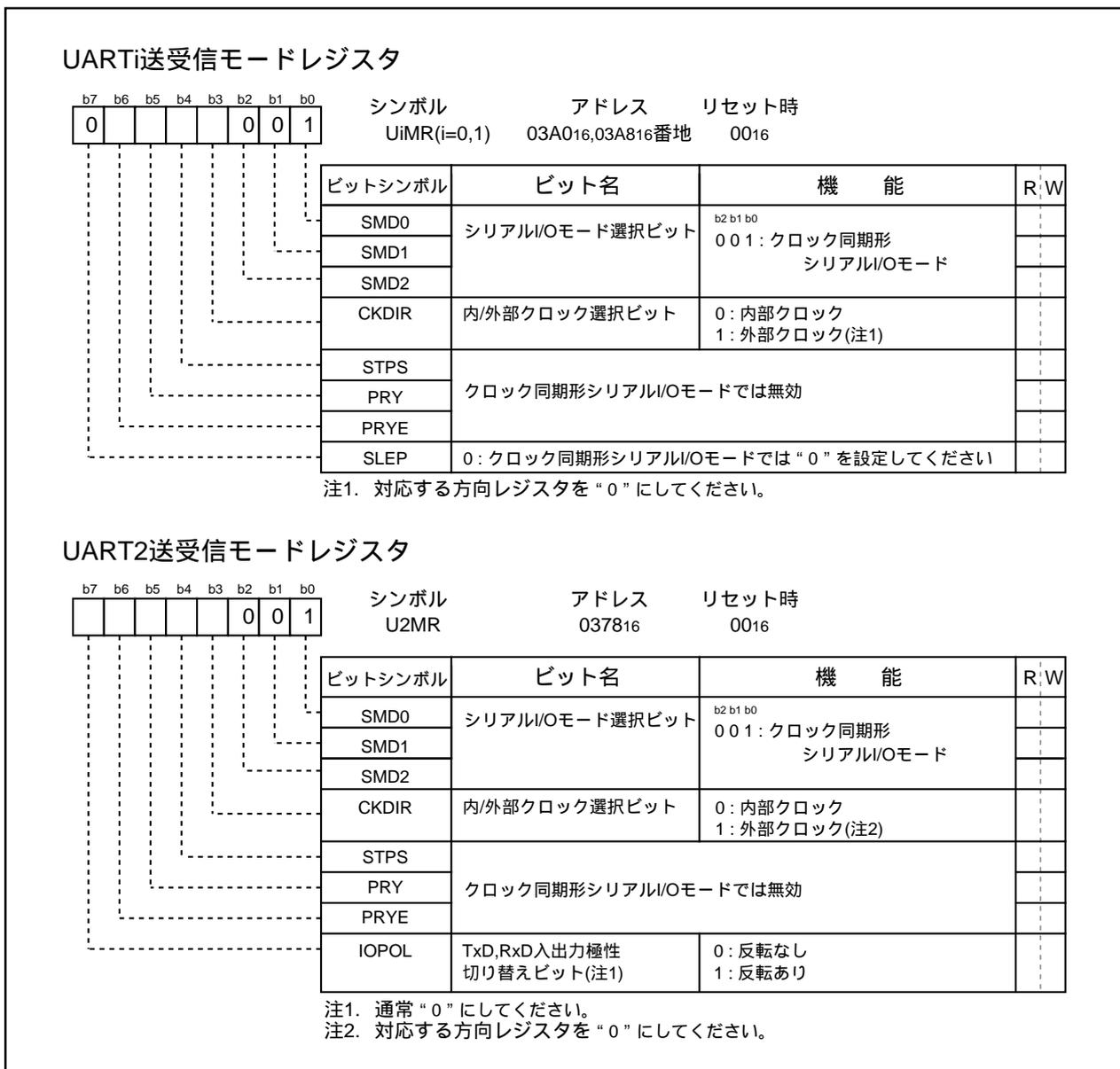


図1.19.9. クロック同期形シリアルI/Oモード時のUART_i送受信モードレジスタの構成

クロック同期形シリアルI/Oモード

表1.19.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能およびCTS/RTS分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.19.4. クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択、CTS/RTS分離機能非選択時)

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	転送クロック出力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0”
	転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “1” ポートP61, P65, P72の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2)= “0”
CTS _i /RTS _i (P60, P64, P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1”

注1. 80ピン版ではUART2をクロック同期形シリアルI/Oモードで使用できません。

クロック同期形シリアルI/Oモード

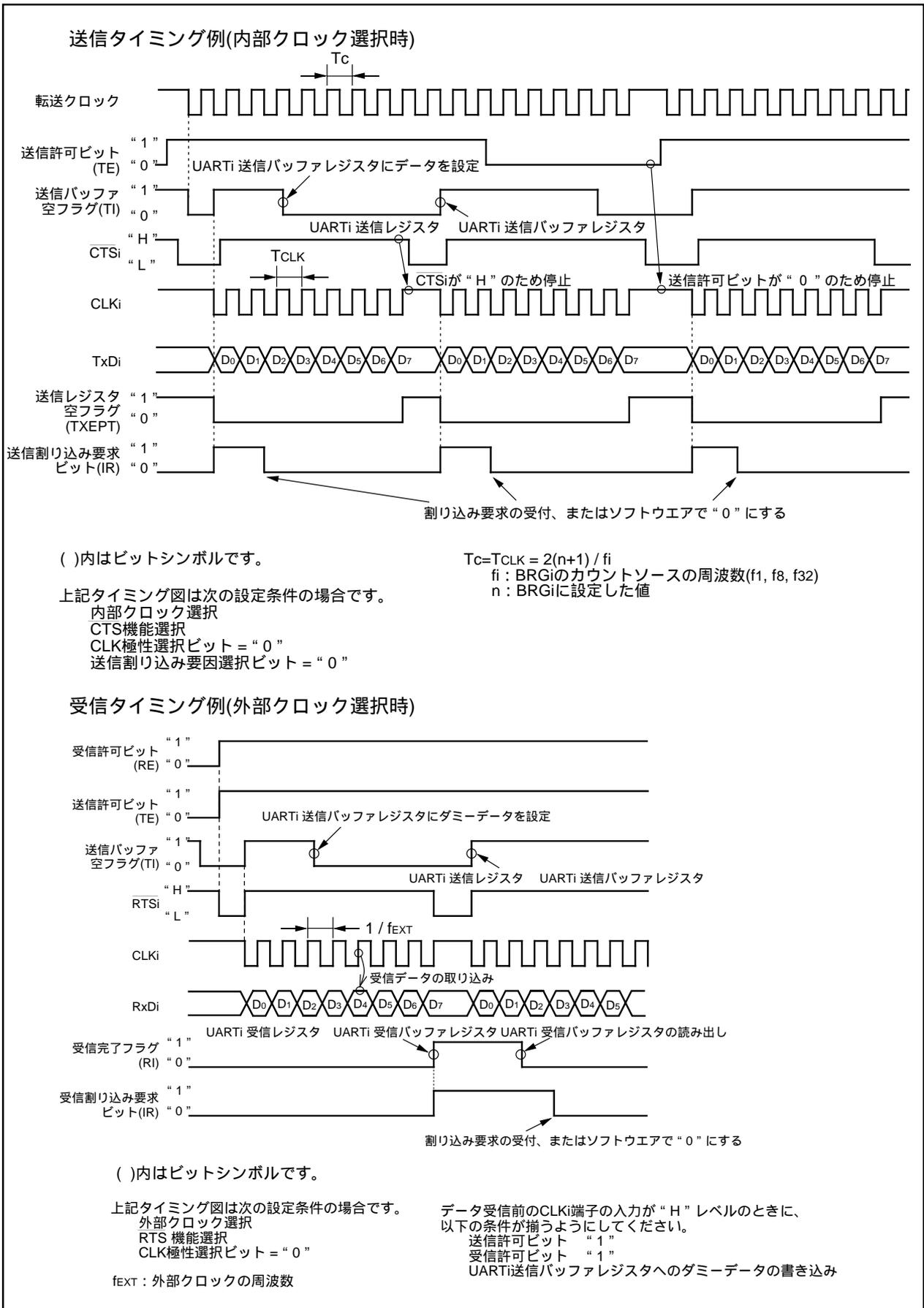


図1.19.10. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

クロック同期形シリアルI/Oモード

極性選択機能

図1.19.11に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

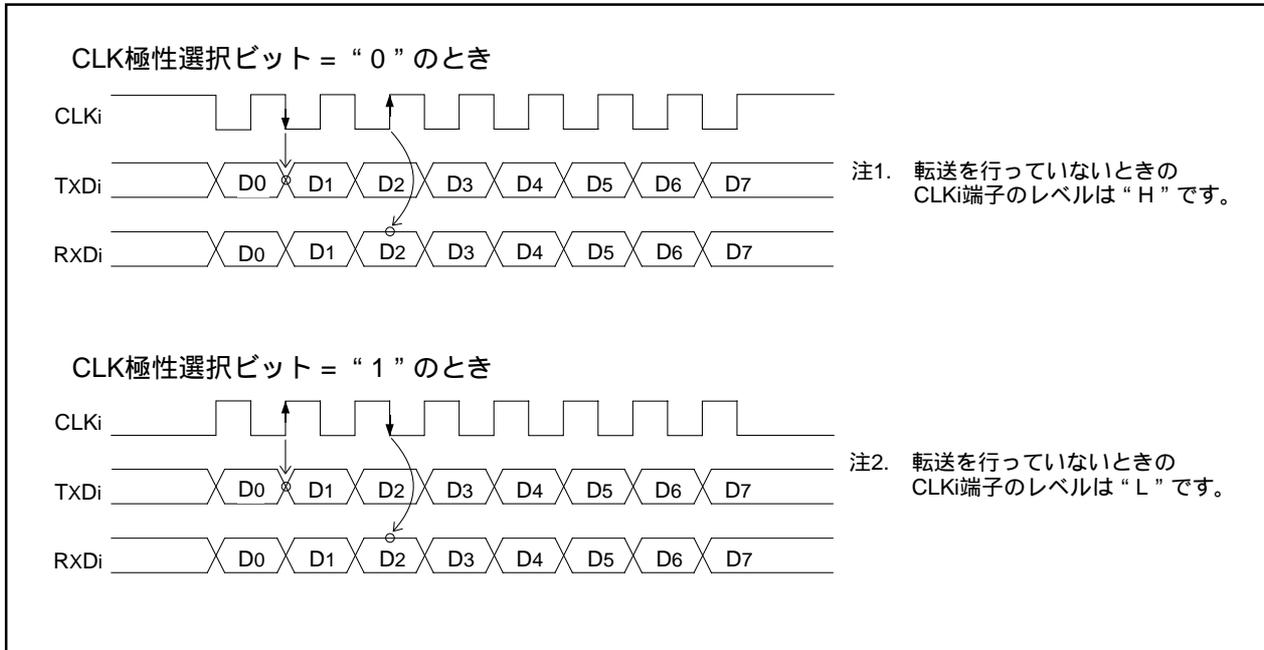


図1.19.11. 転送クロックの極性

LSBファースト/MSBファースト選択機能

図1.19.12に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

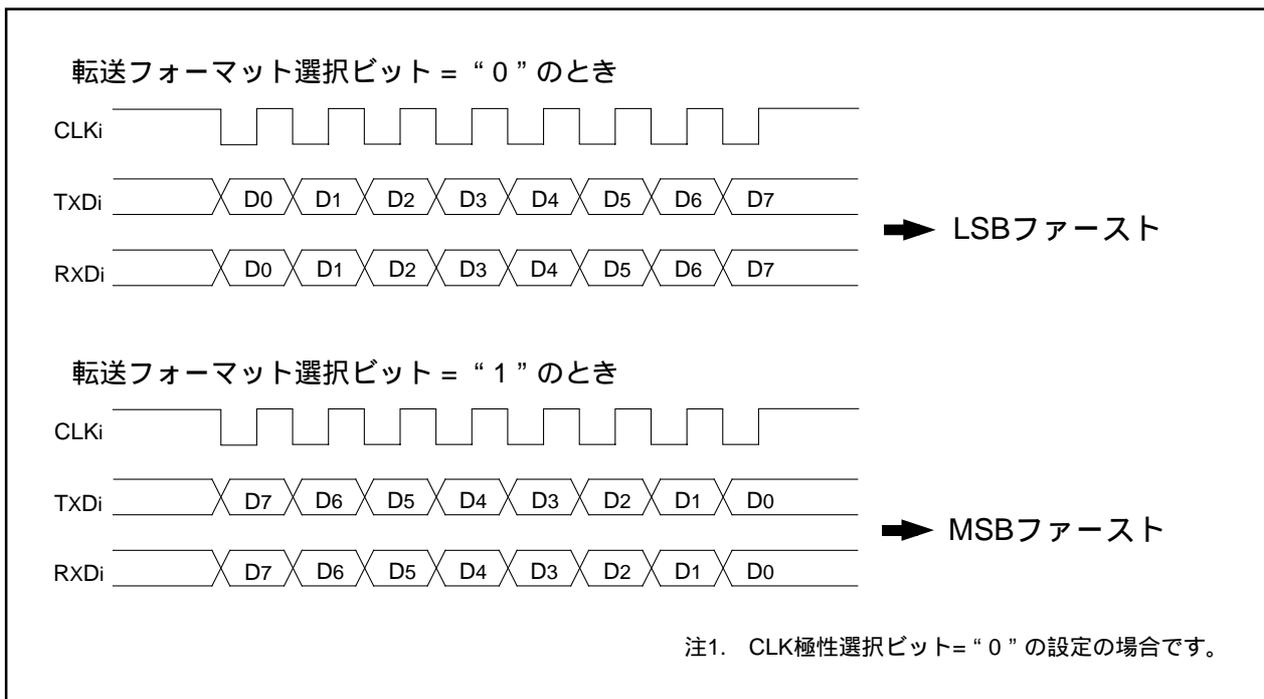


図1.19.12. 転送フォーマット

クロック同期形シリアルI/Oモード

転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS₁選択ビット(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.19.13)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

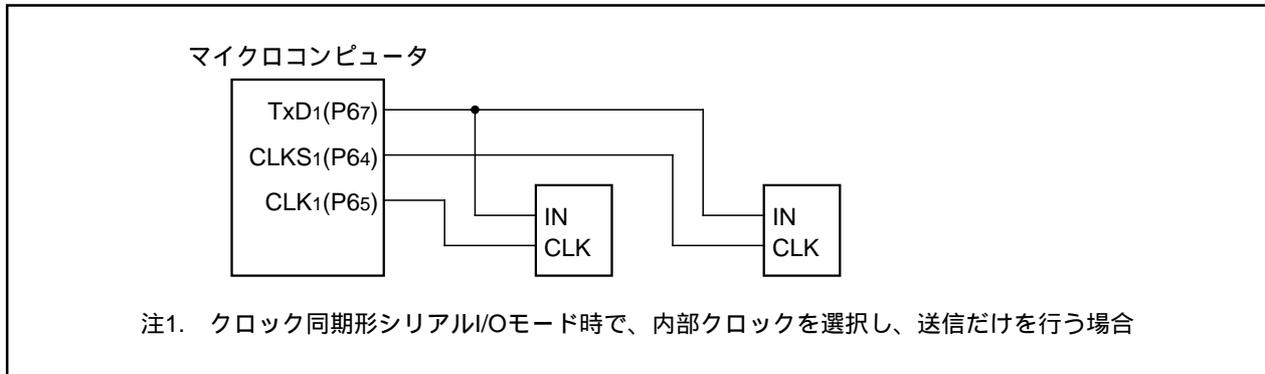


図1.19.13. 転送クロック複数端子出力機能の使用例

連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

$\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

本機能は、クロック非同期形シリアルI/O(UART)モード時と同様の機能です。設定方法、入出力端子の機能共に同様ですので、次項「(2) クロック非同期形シリアルI/O(UART)モード」の、選択機能の項を参照してください。なお、転送クロック複数端子出力機能選択時には、本機能は無効となります。

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.19.14にシリアルデータ論理切り替えのタイミング例を示します。

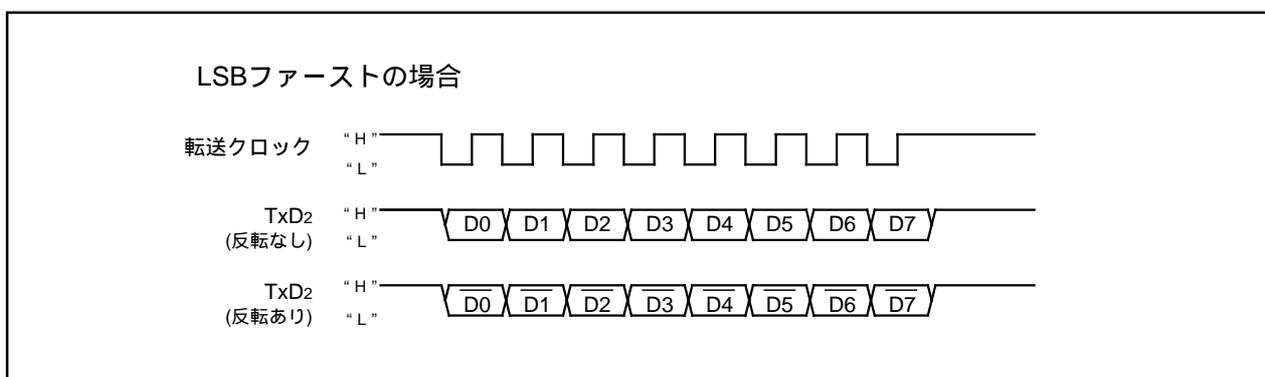


図1.19.14. シリアルデータ論理切り替えのタイミング例

クロック非同期形シリアルI/Oモード

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.19.5、表1.19.6にクロック非同期形シリアルI/Oモードの仕様を、図1.19.15にUARTi送受信モードレジスタの構成を示します。

表1.19.5. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択(注4)
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット1)=“0” ・CTS機能選択時、CTS端子の入力が“L”レベル(注4)
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	送信時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00₁₆~FF₁₆の値です。

注2. f_{EXT} はCLKi端子からの入力です。

注3. オーバーランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

注4. 80ピン版ではCTS₂/RTS₂の外部端子がないので、UART2に対するCTS/RTS禁止ビット(037C₁₆番地のビット4)を“1”に設定してください。

クロック非同期形シリアルI/Oモード

表1.19.6. クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	CTS/RTS 分離(UART0) UART0のCTS端子とRTS端子を別々の端子に配置できる スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用するシリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

クロック非同期形シリアルI/Oモード

表1.19.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.19.7. クロック非同期形シリアルI/Oモード時($\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能非選択時)の入出力端子の機能

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72) (注1)	プログラマブル入出力 転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0” 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ 番地のビット3)= “1” ポートP61, P65の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5)= “0” (UART2は外部クロック選択を設定しないでください)
$\overline{\text{CTS}}/\overline{\text{RTS}}_i$ (P60, P64, P73) (注2)	$\overline{\text{CTS}}$ 入力	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1”

注1. 80ピン版では、CLK₂(P72)の外部端子を備えていないので、UART2の転送クロックは内部クロックを使用してください。

注2. 80ピン版では、 $\overline{\text{CTS}}_2/\overline{\text{RTS}}_2$ (P73)の外部端子を備えていないので、UART2に対する $\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(037C₁₆番地のビット4)を“1”に設定してください。

クロック非同期形シリアルI/Oモード

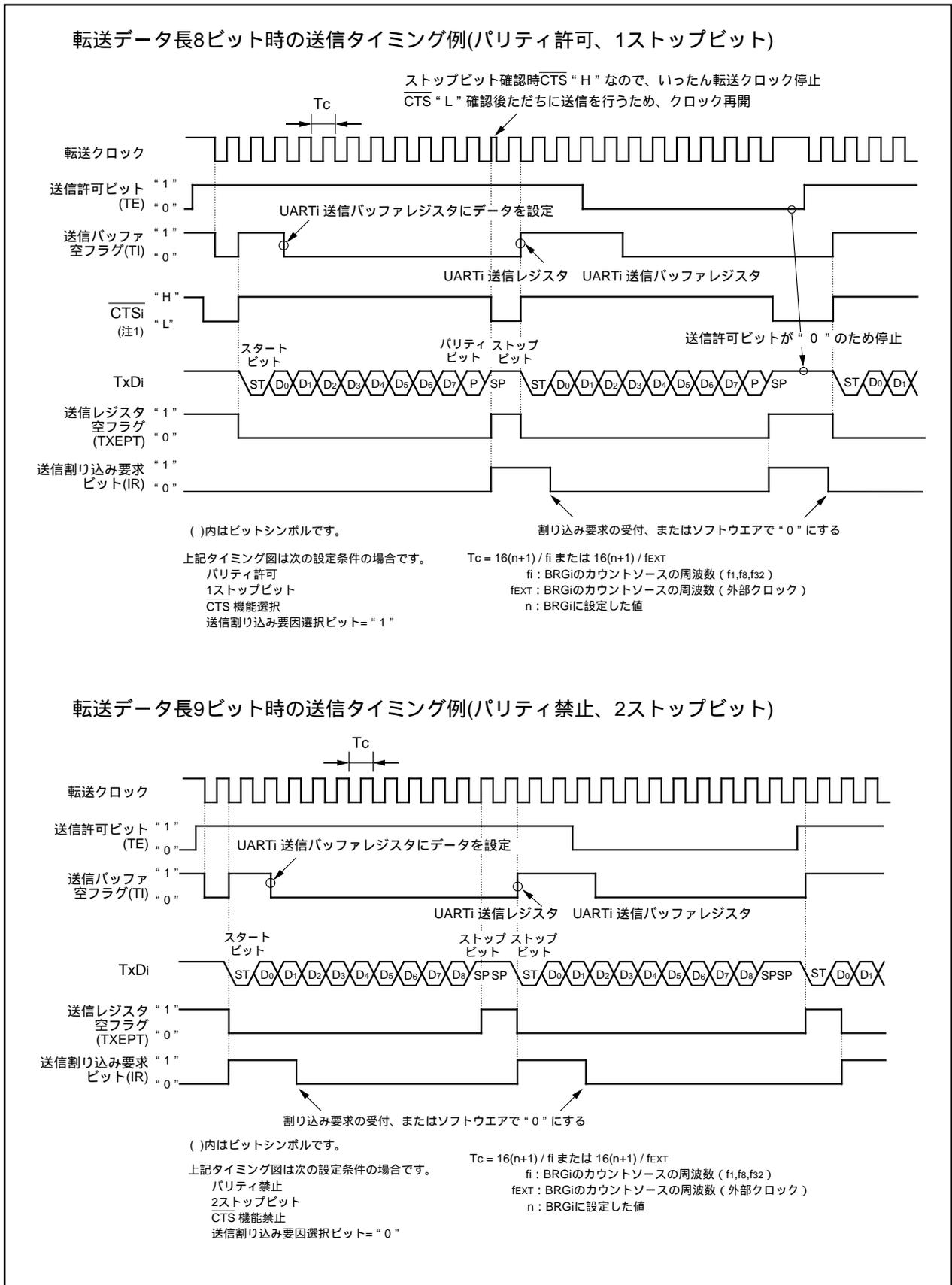


図1.19.16. UARTモード時の送信タイミング例(UART0、UART1)

クロック非同期形シリアルI/Oモード

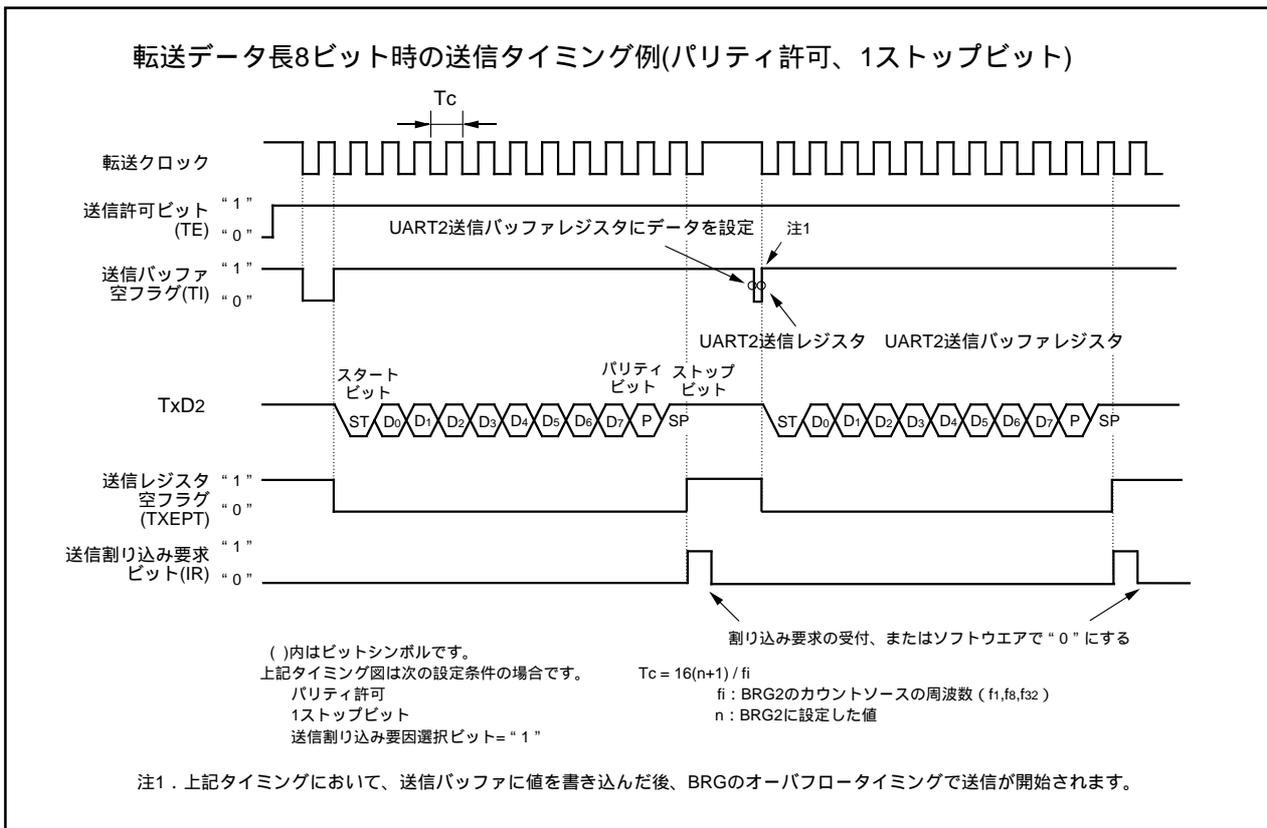


図1.19.17. UARTモード時の送信タイミング例(UART2)

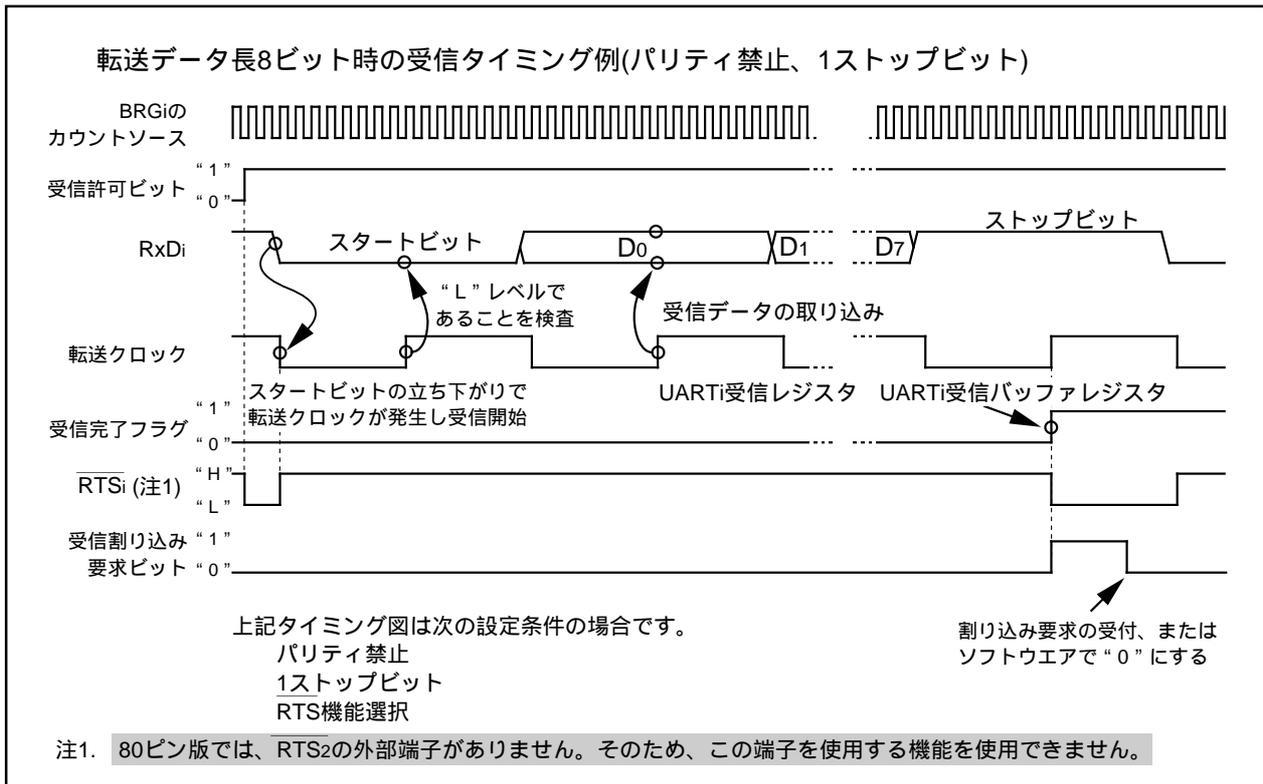


図1.19.18. UARTモード時の受信タイミング例

CTS/RTS分離機能(UART0)

CTS/RTS分離ビット(03B0₁₆番地のビット6)を“1”にすることによりCTS信号とRTS信号を別々の端子から入力/出力します。CTSを使用するかRTSを使用するかは、 $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03A4₁₆番地のビット2)で選択してください。この機能はUART0だけで有効です。なお、本機能選択時にUART1のCTS/RTS機能は使用できませんが、 $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03AC₁₆番地のビット2)、CTS/RTS禁止ビット(03AC₁₆番地のビット4)とともに“0”を設定してください。

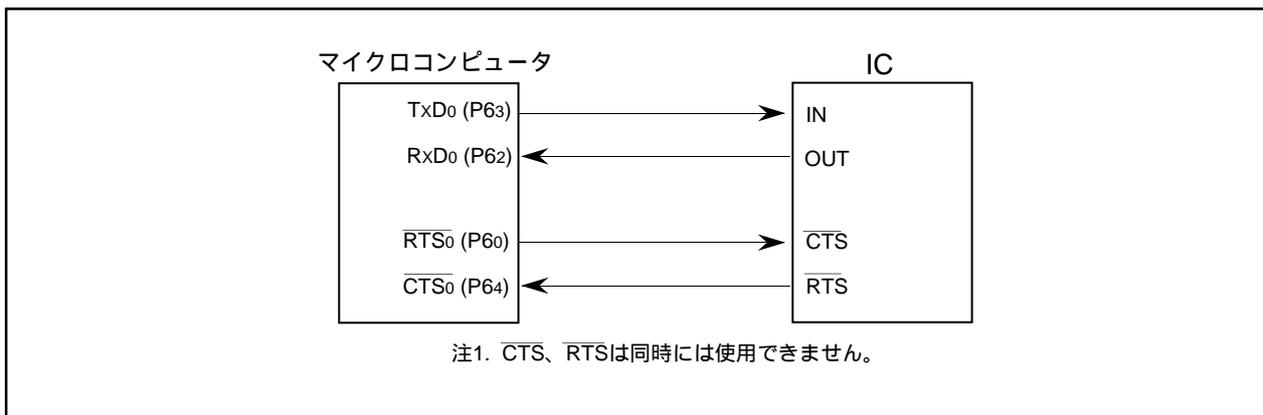


図1.19.19. CTS/RTS分離機能の使用例

スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0₁₆、03A8₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

クロック非同期形シリアルI/Oモード

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.19.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。図1.19.20に、入出力極性切り替え機能のタイミング例を示します。

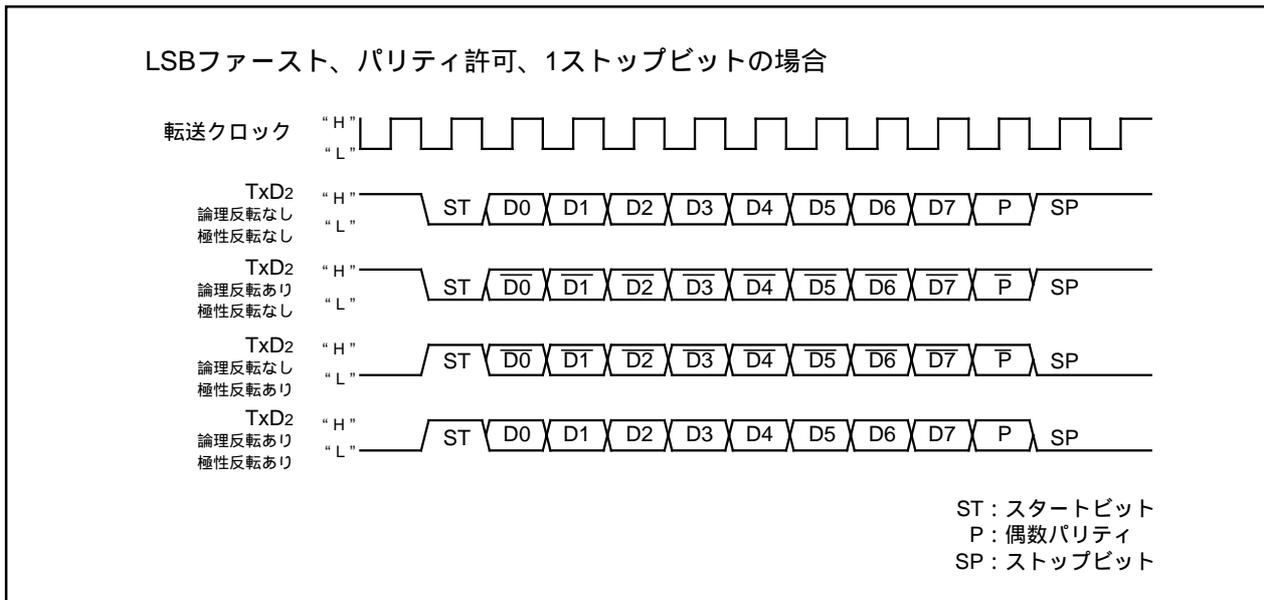


図1.19.20. シリアルデータ論理切り替え機能のタイミング例

バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.19.21にバス衝突検出タイミング例(UARTモード時)を示します。

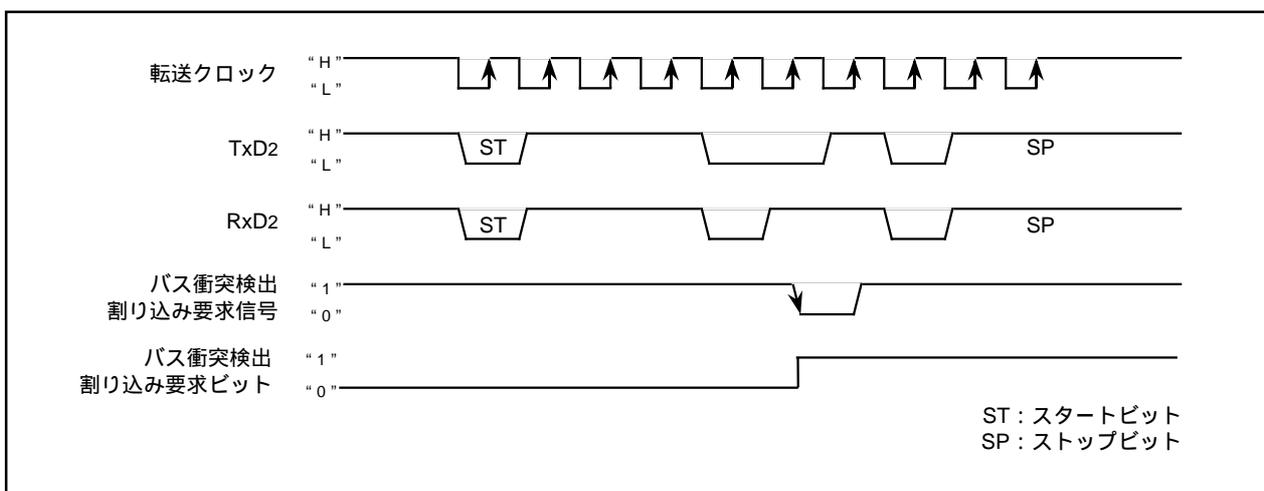


図1.19.21. バス衝突検出タイミング例(UARTモード時)

クロック非同期形シリアルI/Oモード

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.19.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.19.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項 目	仕 様
転送データフォーマット	転送データ 8ビットUARTモード (0378 ₁₆ 番地のビット2～ビット0=“1012”) 1ストップビット (0378 ₁₆ 番地のビット4=“0”) ダイレクトフォーマットの場合 パリティを偶数パリティに設定 (0378 ₁₆ 番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定 (037D ₁₆ 番地のビット6=“0”) 転送フォーマットをLSBに設定 (037C ₁₆ 番地のビット7=“0”) インバースフォーマットの場合 パリティを奇数パリティに設定 (0378 ₁₆ 番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定 (037D ₁₆ 番地のビット6=“1”) 転送フォーマットをMSBに設定 (037C ₁₆ 番地のビット7=“1”)
転送クロック	内部クロック選択時(0378 ₁₆ 番地のビット3=“0”) : $fi/16(n+1)$ (注1) $fi=f_1, f_8, f_{32}$ (外部クロック選択を設定しないでください)
送信制御/受信制御	CTS, RTS機能禁止に設定 (037C ₁₆ 番地のビット4=“1”)
その他設定項目	UART2ではスリープモード選択機能はありません 送信割り込み要因を送信完了に設定 (037D ₁₆ 番地のビット4=“1”)
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(037D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(037D ₁₆ 番地のビット1)=“0”
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(037D ₁₆ 番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	送信時 UART2送信レジスタからデータ転送完了時 (037D ₁₆ 番地のビット4=“1”) 受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能(037D ₁₆ 番地のビット7=“1”)によりTxD ₂ 端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxD ₂ 端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. オーバーランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは変化しません。

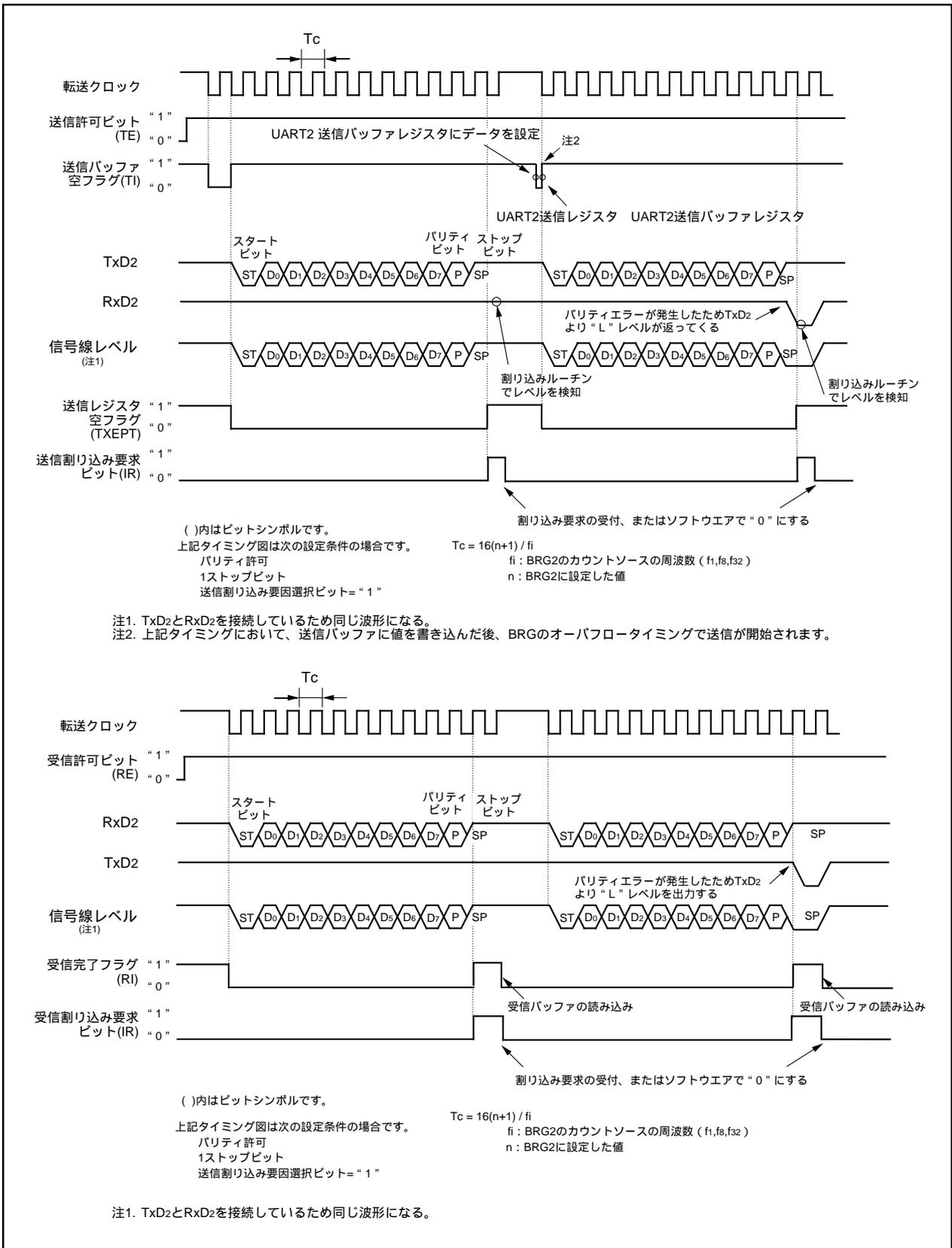


図1.19.22. UARTモード(SIMインタフェース対応)の送受信タイミング例

クロック非同期形シリアルI/Oモード

パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“1”のとき、パリティエラー検出時にTxD₂端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“0”の時と比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。従って、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図1.19.23にパリティエラー信号出力タイミングを示します。

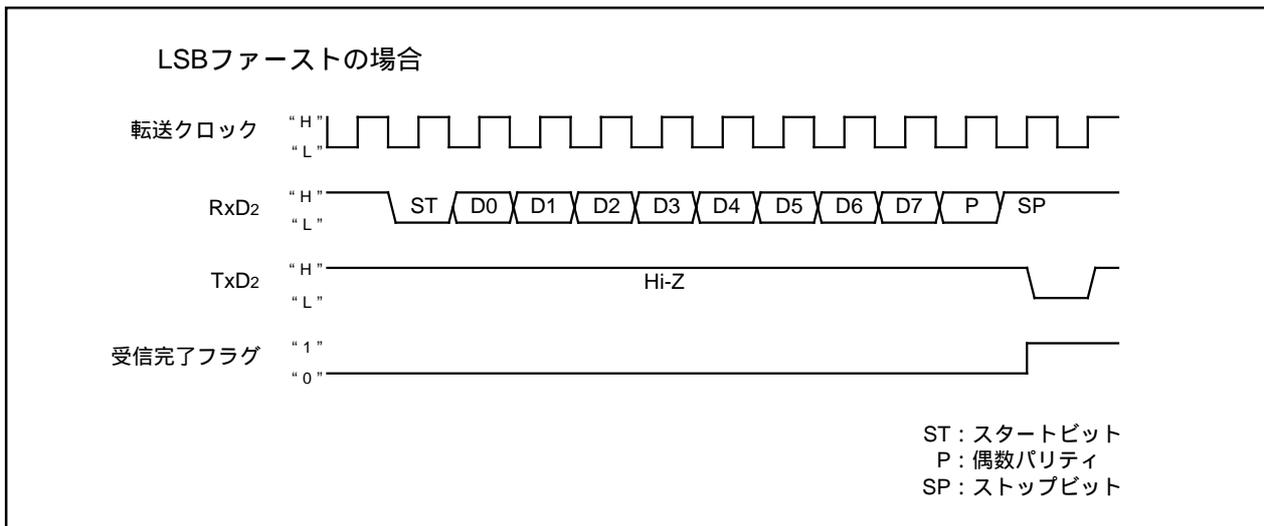


図1.19.23. パリティエラー信号出力タイミング

ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD₀のデータがTxD₂から出力されます。インバースフォーマットを選択するとD₇のデータが反転してTxD₂から出力されます。

図1.19.24にSIMインタフェースフォーマットを示します。

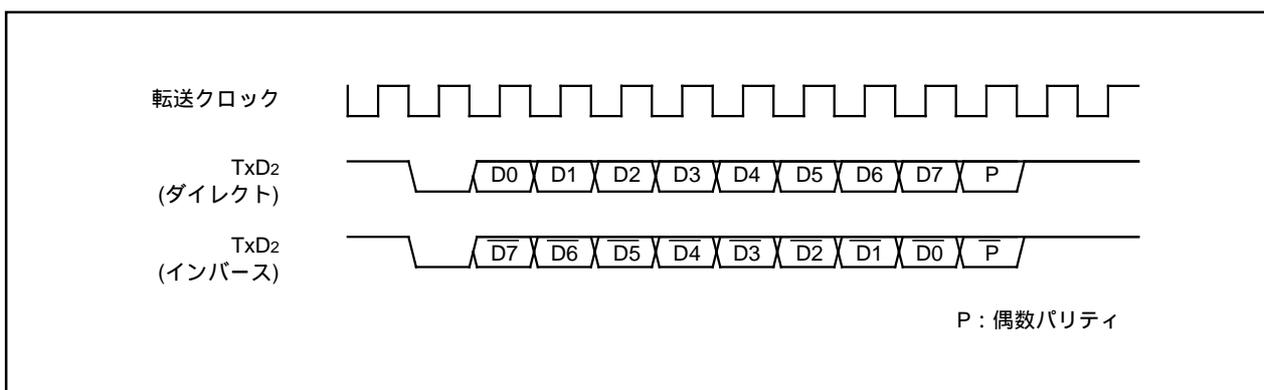


図1.19.24. SIMインタフェースフォーマット

図1.19.25にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

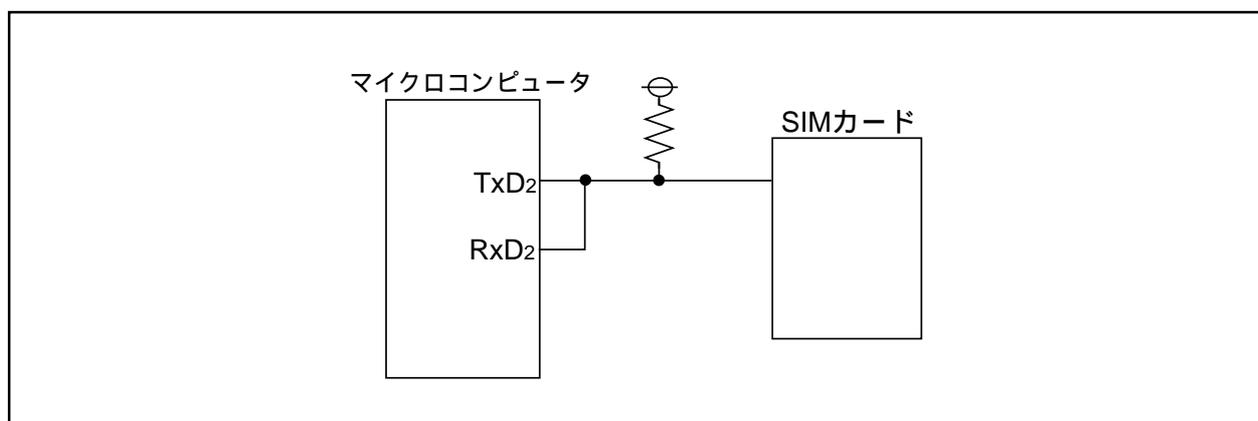


図1.19.25. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377₁₆番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図1.19.26に示します。

まず、IICバスインタフェース関連の制御ビットについて説明します。

UART2特殊モードレジスタ(0377₁₆番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.19.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを必ず“0”に設定してください。

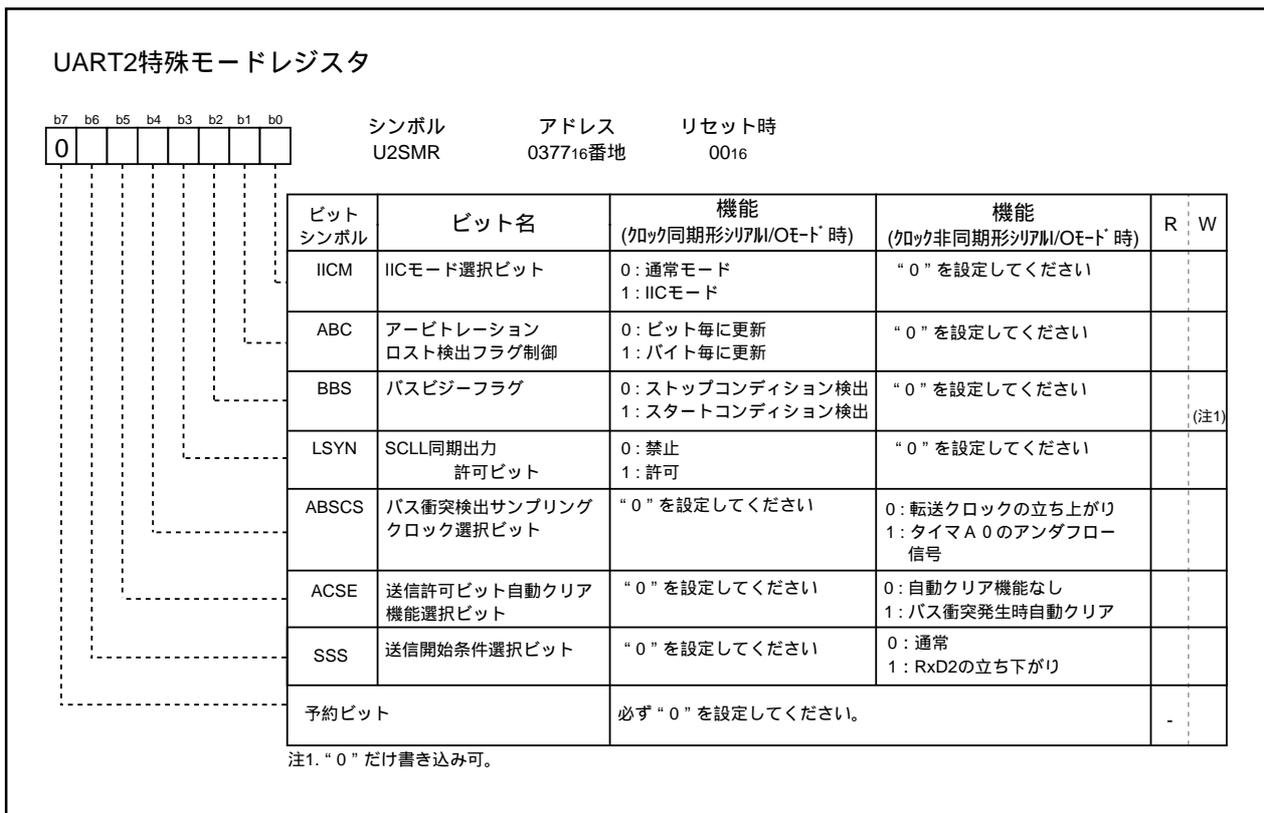


図1.19.26 . UART2特殊モードレジスタ

表1.19.9 . IICモード時の各機能

機能	通常モード	IICモード(注1)
1 割り込み番号10の要因(注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2 割り込み番号15の要因(注2)	UART2送信	アクノリジ未検出(NACK)
3 割り込み番号16の要因(注2)	UART2受信	アクノリジ検出(ACK)
4 UART2送信出力delay	delayなし	delayあり
5 UART2使用時のP7 ₀	TxD ₂ (出力)	SDA(入出力)(注3)
6 UART2使用時のP7 ₁	RxD ₂ (入力)	SCL(入出力)
7 UART2使用時のP7 ₂ (注4)	CLK ₂	P7 ₂
8 DMA要求要因選択ビット=1101時のDMA1要因	UART2受信	アクノリジ検出(ACK)
9 Noise Filter 幅	15ns	50ns
10 P7 ₁ のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11 UART2出力の初期値	Hレベル(CLK極性選択ビット=0時)	ポート選択時にP7 ₀ ラッチに設定した値

- 注1. IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を010に設定してください。
RTS / CTS機能は禁止してください。
MSBファーストに設定してください。
- 注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。
- 注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の状態で行ってください。
- 注4. 80ピン版ではP7₂は外部端子への接続がありません。

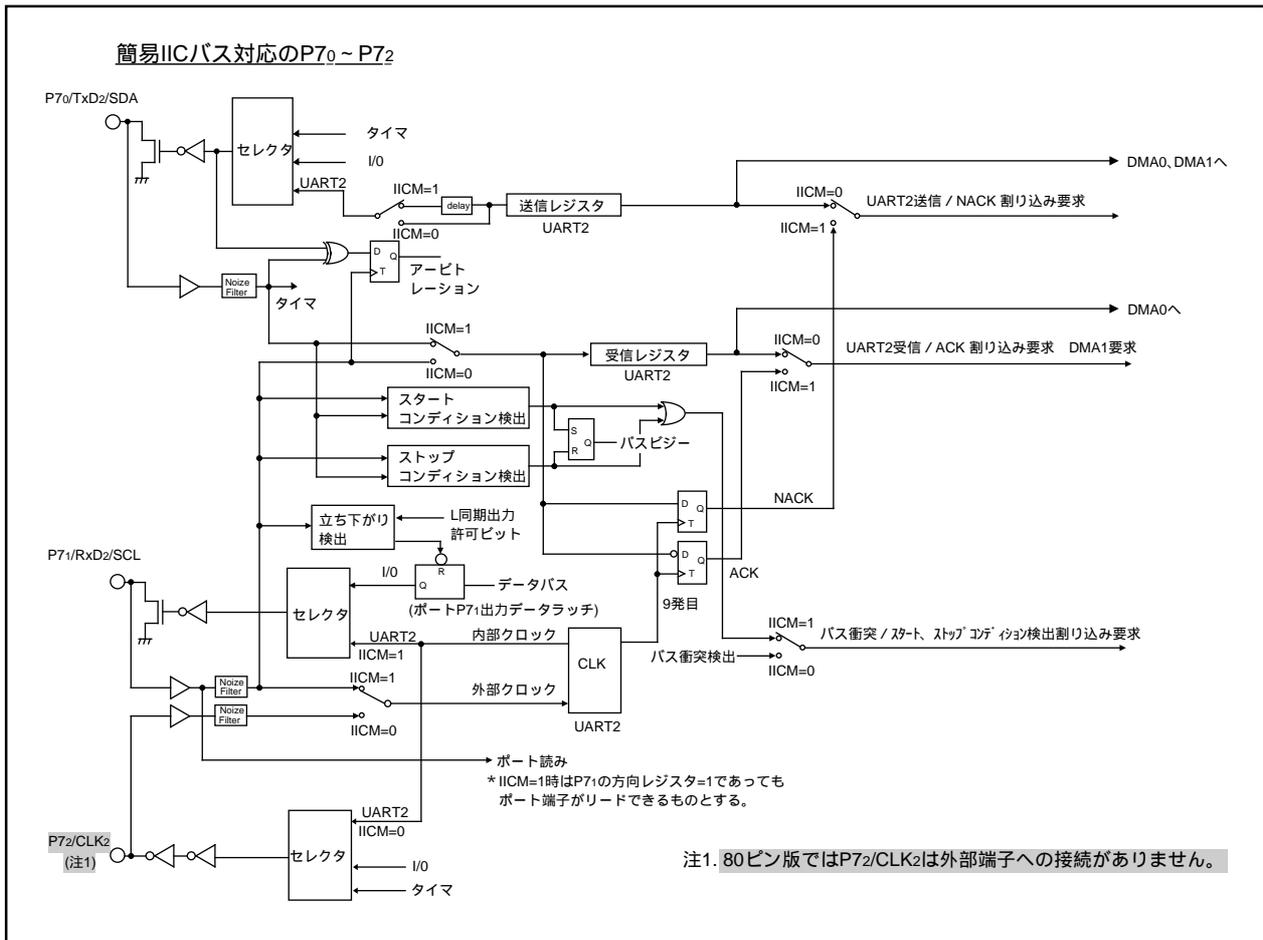


図1.19.27. IICモード機能ブロック図

IICモードの機能を図1.19.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”にすると、ポートP70, P71, P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルを読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みになります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でのSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でのSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377₁₆番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(037F₁₆番地、037E₁₆番地)のビット11に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりですべてのアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377₁₆番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”にすると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

UART2特殊モードレジスタ

次に、その他の追加された機能について説明します。その動作を図1.19.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりで同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

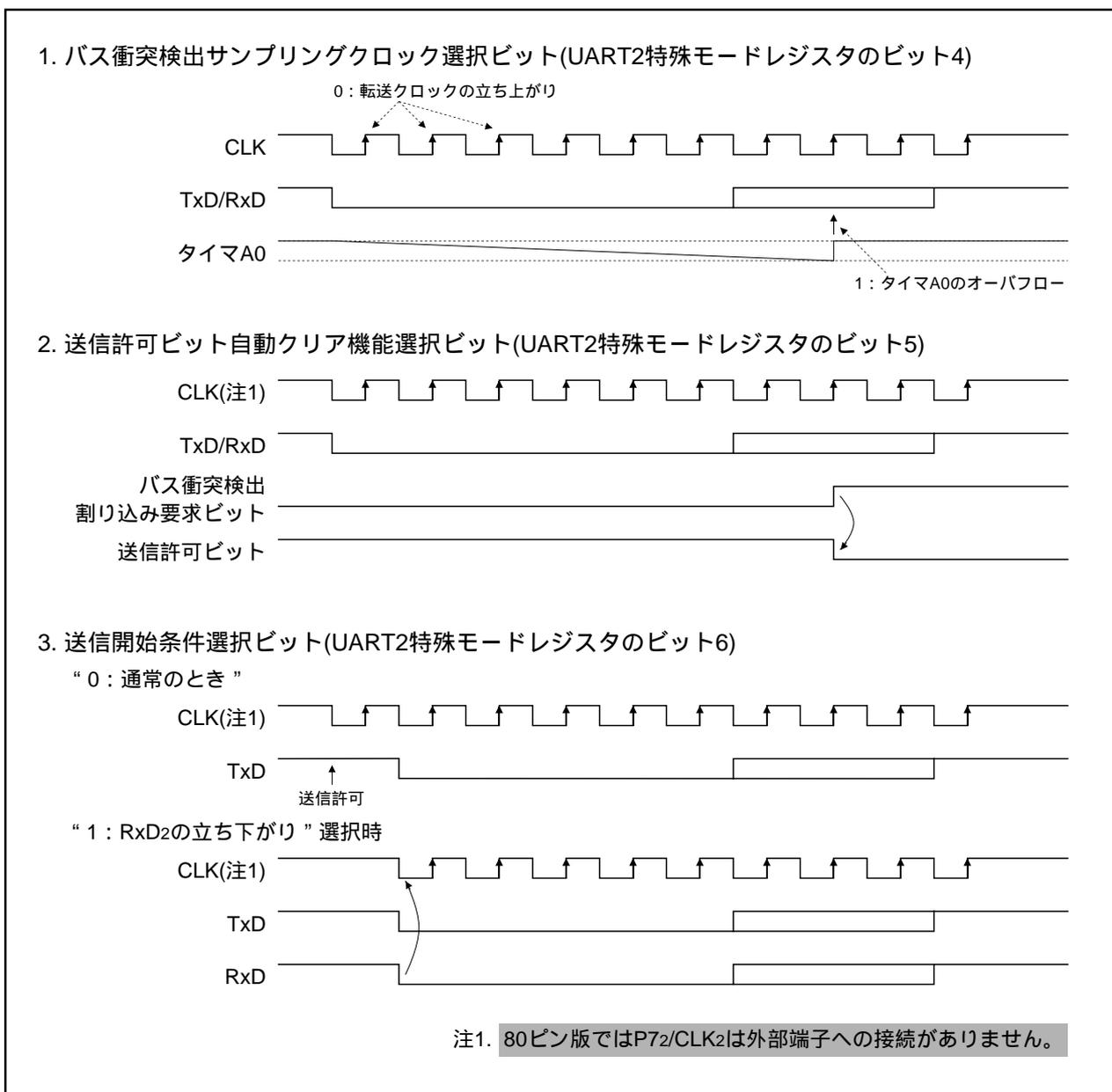


図1.19.28. その他の追加機能

S I/O3, 4

S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。80ピン版では、SIN3が外部端子への接続がないのでS I/O3は送信専用です。

図1.19.29にS I/O3, 4のブロック図を、図1.19.30にS I/O3, 4関連のレジスタを示します。

表1.19.10にS I/O3, 4の仕様を示します。

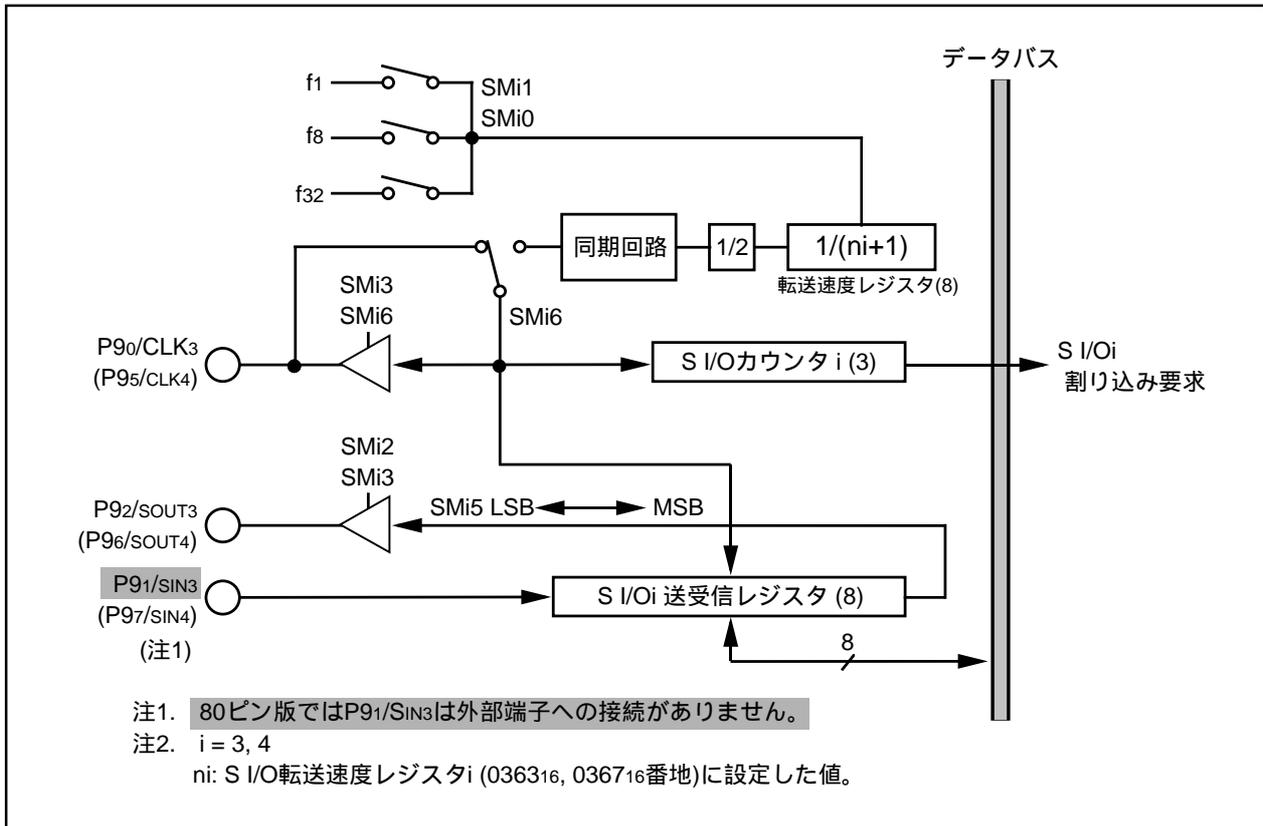


図1.19.29. S I/O3, 4ブロック図

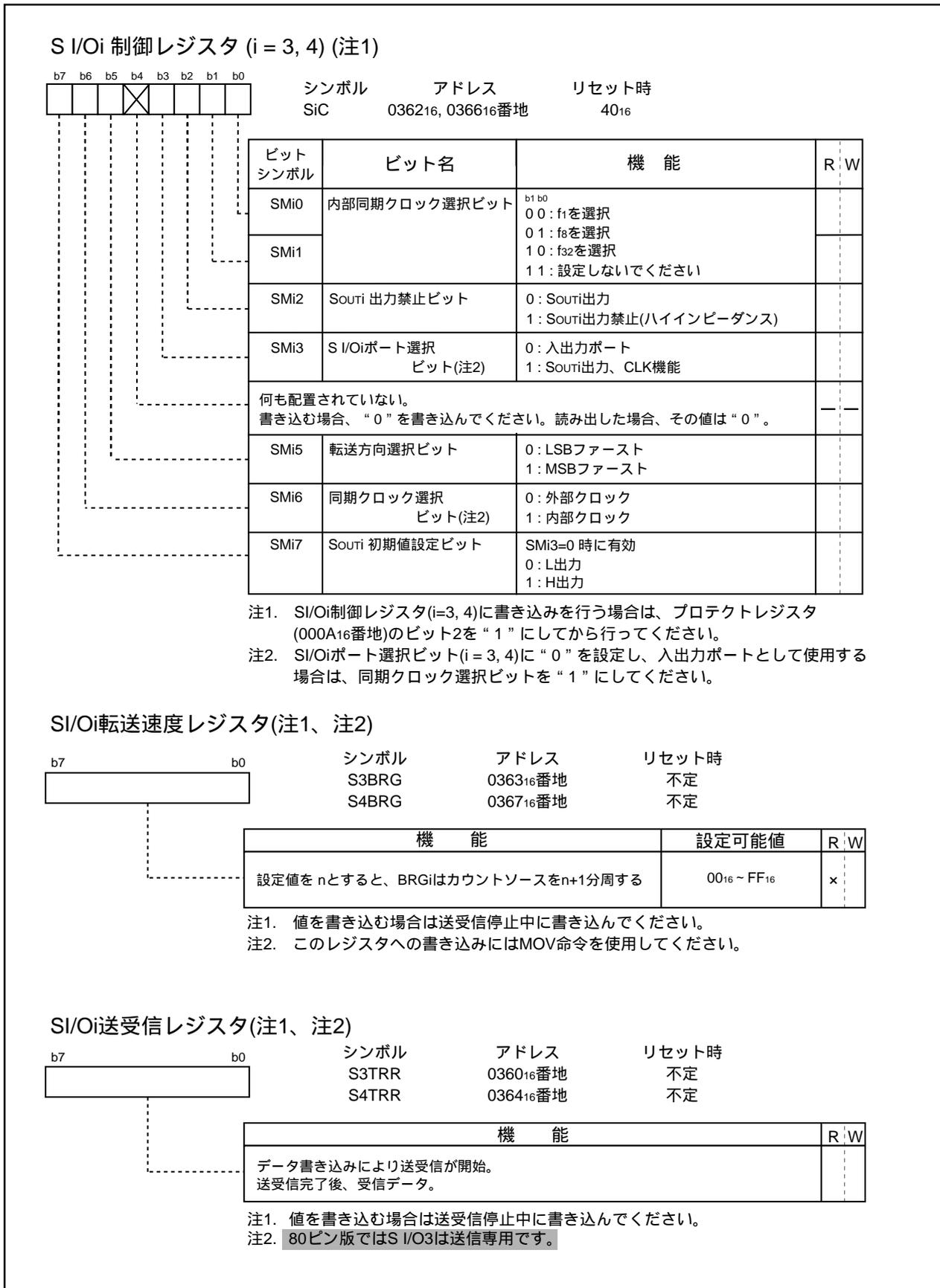


図1.19.30. S I/Oi関連のレジスタ

表1.19.10. S I/O3, 4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6=“1”) : f _{1/2} (n _i +1) , f _{8/2} (n _i +1) , f _{32/2} (n _i +1) (注1) 外部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6=“0”) : CLK _i 端子からの入力 (注2)
送受信開始条件	送受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 同期クロックの選択。(0362₁₆、0366₁₆番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362₁₆、0366₁₆番地のビット0, 1で選択) SOUT_i初期値設定ビット設定。(0362₁₆、0366₁₆番地のビット7で設定) S I/O_iポート選択ビット(0362₁₆、0366₁₆番地のビット3)=“1” 転送方向選択ビット設定(0362₁₆、0366₁₆番地のビット5で設定) S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への転送データ書き込み 更に、S I/O _i 割り込みを使用する場合、次の条件も必要です。 <ul style="list-style-type: none"> S I/O_i送受信レジスタへの転送データ書き込みの前に、S I/O_i割り込み要求ビットクリア(0049₁₆、0048₁₆番地のビット3)=“0”
割り込み要求発生タイミング	最後の転送クロックの立ち上がり。(注3)
選択機能	LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 SOUT _i 初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUT _i 端子出力レベルを選択できます。設定の方法は図1.19.33を参照してください。
注意事項	S I/O _i (i=3,4)は、UART0~2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込まないでください。 転送クロックとして内部クロックを選択している場合、転送終了後SOUT _i は、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1. n はS I/O_i転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。(i=3, 4)

注2. 外部クロック選択時には、

- S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への書き込みを行う際にはCLK_i端子に“H”レベルが入力されている状態で行ってください。また、S I/O_i制御レジスタ(0362₁₆、0366₁₆番地)のビット7(SOUT_i初期値設定ビット)を書き替える場合もCLK_i端子に“H”レベルが入力されている状態で行ってください。
- 同期クロックがS I/O_i回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3. 同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態です。

注4. 80ピン版では、SIN₃が外部端子への接続がないためS I/O3は送信専用です。

Sout_i初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSout_i端子出力レベルを“H”または“L”のどちらかに設定できます。Sout_i初期値設定時のタイミング図および設定方法を図1.19.33に示します。

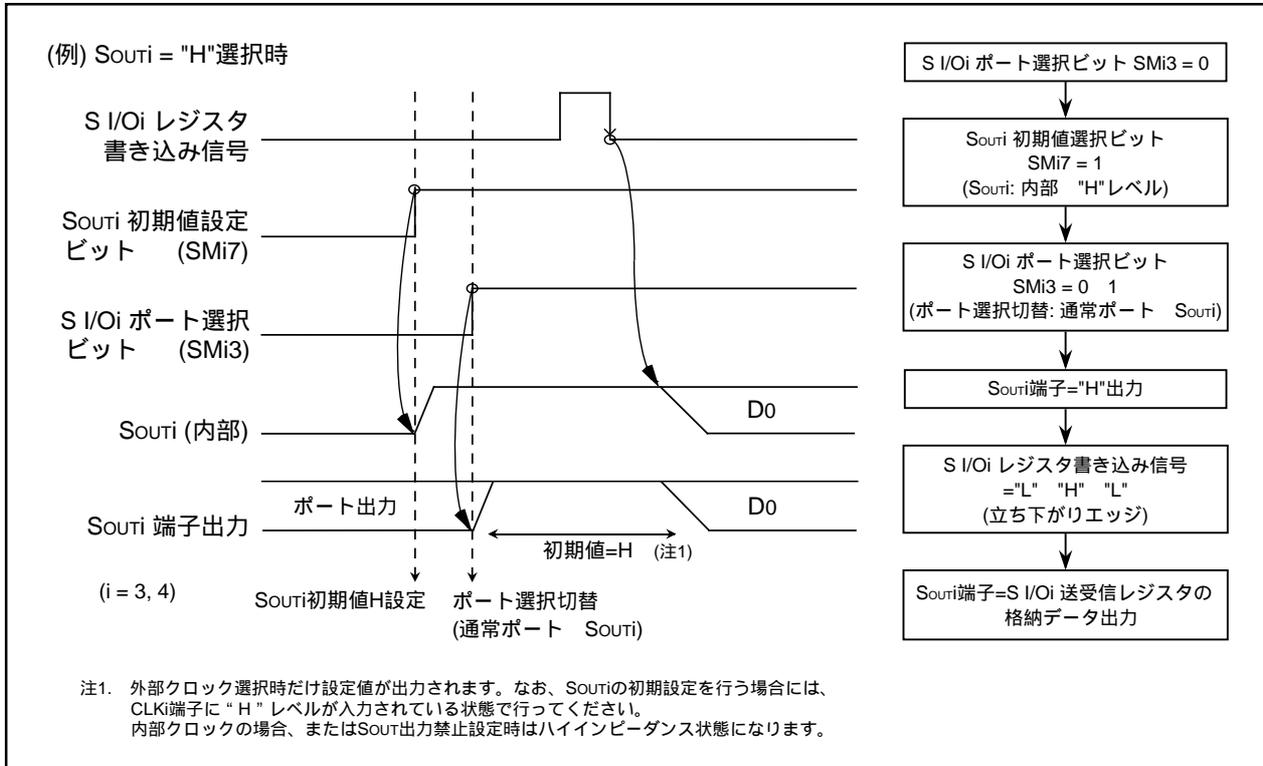


図1.19.31. Sout_i初期値設定時のタイミング図および設定方法

S I/Oi動作タイミング

S I/Oi動作タイミング図を図1.19.32に示します。

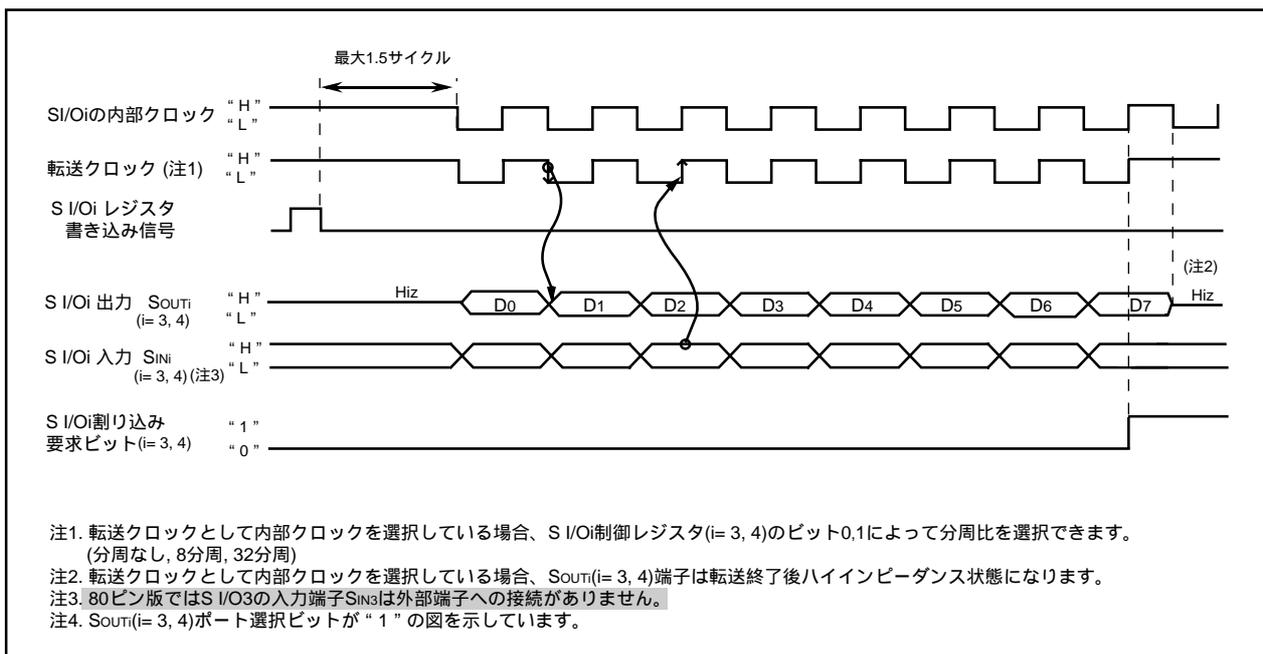


図1.19.32. S I/Oi動作タイミング図

A-D変換器

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P10₀ ~ P10₇、P9₅、P9₆、P0₀ ~ P0₇、P2₀ ~ P2₇と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D7₁₆番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.20.1にA-D変換器の性能を、図1.20.1にA-D変換器のブロック図を、図1.20.2、図1.20.3にA-D変換器関連のレジスタを示します。

表1.20.1. A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC(VCC)
動作クロック AD(注2)	fAD/fADの2分周/fADの4分周 fAD=f(XIN) (VCC = 5V)
分解能	8/10ビット選択可能
絶対精度(VCC = 5V)	分解能8ビット ±2LSB 分解能10ビット ±3LSB ただし、拡張アナログ入力端子ANEX0, ANEX1, AN0 ₀ ~ AN0 ₇ , AN2 ₀ ~ AN2 ₇ を外部オペアンプモード接続モードで使用する場合、±7LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0/繰り返し掃引モード1
アナログ入力端子	8本(AN0 ~ AN7) + 2本(ANEX0, ANEX1) + 16本(AN0 ₀ ~ AN0 ₇ , AN2 ₀ ~ AN2 ₇) (注3)
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつADTRG/P97入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(XIN)が10MHzを超える場合は分周し、ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3. アナログ入力端子として使用しない端子は、通常の入出力ポート、または各周辺機能の入出力端子として使用できます。

A-D変換器

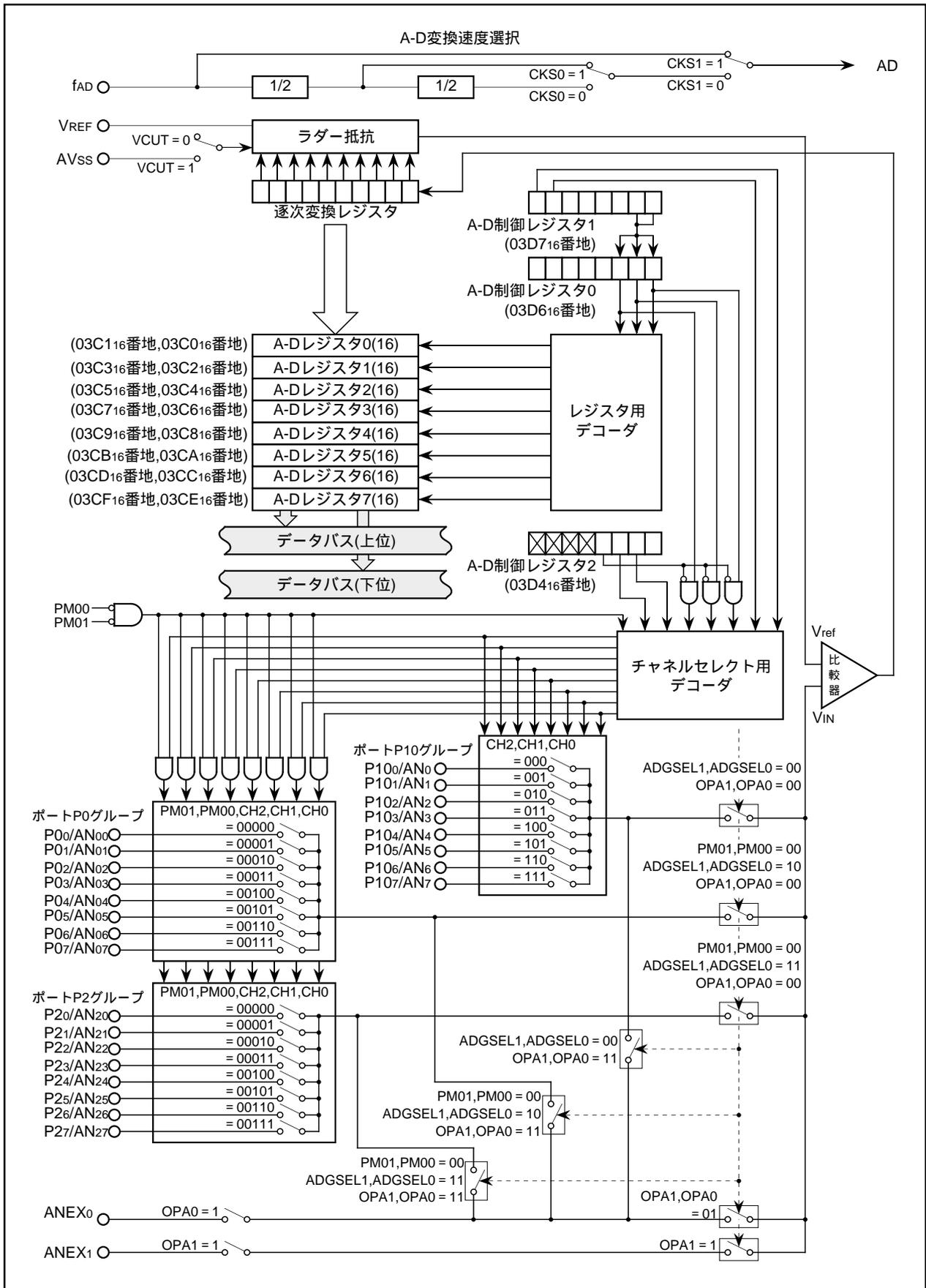
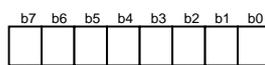


図1.20.1. A-D変換器のブロック図

A-D変換器

A-D制御レジスタ0(注1)



シンボル アドレス リセット時
ADCON0 03D6₁₆番地 00000XXX₂

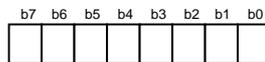
ビットシンボル	ビット名	機 能	R/W
CH0	アナログ入力端子選択ビット	b ₂ b ₁ b ₀ 0 0 0 : AN ₀ を選択 0 0 1 : AN ₁ を選択 0 1 0 : AN ₂ を選択 0 1 1 : AN ₃ を選択 1 0 0 : AN ₄ を選択 1 0 1 : AN ₅ を選択 1 1 0 : AN ₆ を選択 1 1 1 : AN ₇ を選択	
CH1			
CH2			
MD0		A-D動作モード選択ビット0	
MD1			
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	
CKS0	周波数選択ビット0	0 : f _{AD} /4を選択 1 : f _{AD} /2を選択	

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇, AN₂₀ ~ AN₂₇を使用できます。

注3. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)



シンボル アドレス リセット時
ADCON1 03D7₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	R/W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b ₁ b ₀ 0 0 : AN ₀ , AN ₁ (2端子) 0 1 : AN ₀ - AN ₃ (4端子) 1 0 : AN ₀ - AN ₅ (6端子) 1 1 : AN ₀ - AN ₇ (8端子)	
SCAN1		繰り返し掃引モード1選択時 b ₁ b ₀ 0 0 : AN ₀ (1端子) 0 1 : AN ₀ , AN ₁ (2端子) 1 0 : AN ₀ - AN ₂ (3端子) 1 1 : AN ₀ - AN ₃ (4端子)	
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	
CKS1	周波数選択ビット1 (注2)	0 : f _{AD} /2または f _{AD} /4を選択 1 : f _{AD} を選択	
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	
OPA0	外部オペアンプ接続 モードビット	b ₇ b ₆ 0 0 : ANEX0, ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	
OPA1			

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. f(XIN)が10MHzを超えるときは分周し、ADを10MHz以下にしてください。

注3. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇, AN₂₀ ~ AN₂₇を使用できます。

図1.20.2. A-D変換器関連レジスタ(1)

A-D変換器

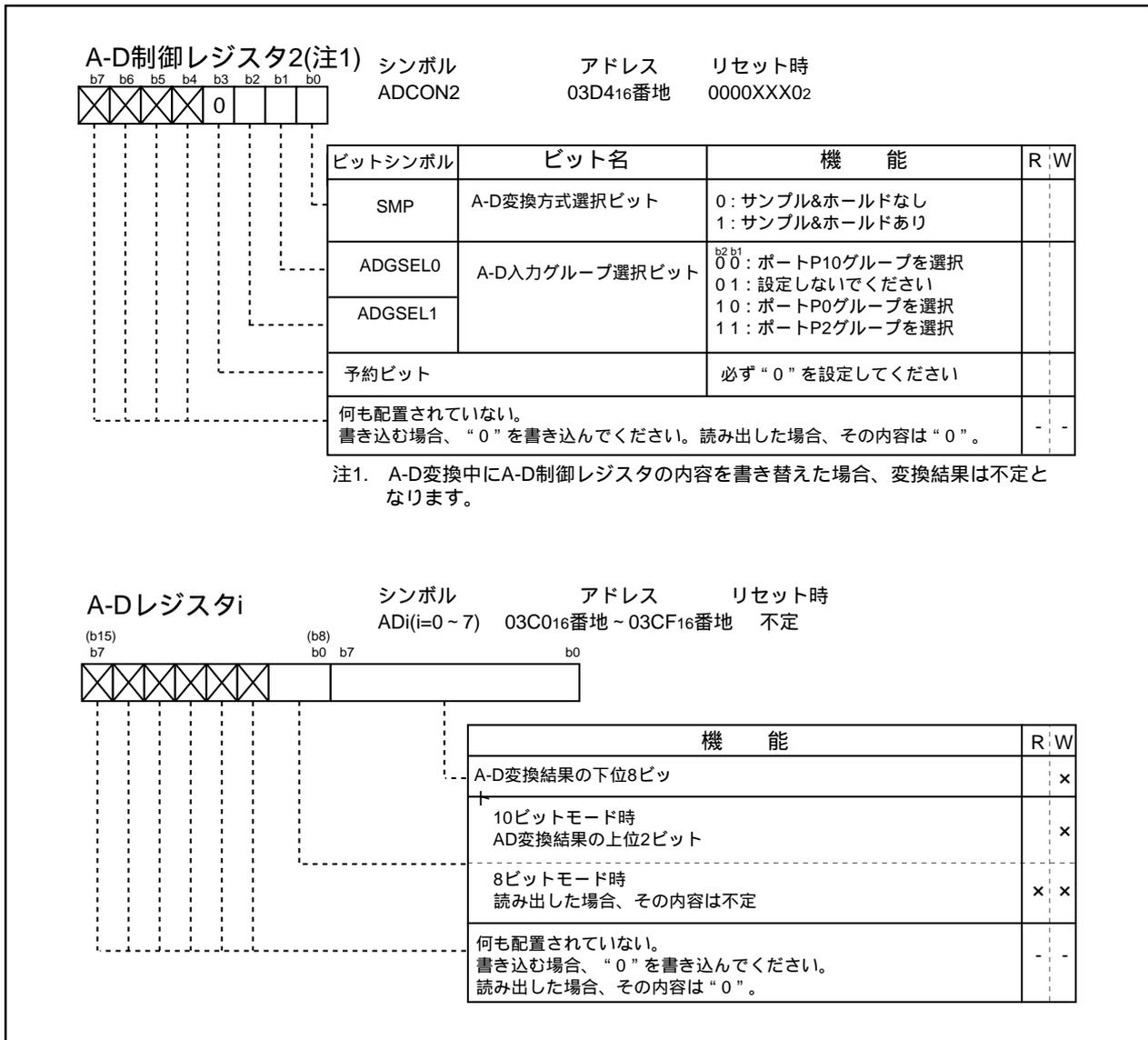


図1.20.3. A-D変換器関連レジスタ(2)

A-D変換器

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.20.2に単発モードの仕様、図1.20.4に単発モード時のA-D制御レジスタ構成を示します。

表1.20.2. 単発モードの仕様

項 目	仕 様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN0 ~ AN7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. AN0 ~ AN7と同様にAN00 ~ AN07、AN20 ~ AN27を使用できます。

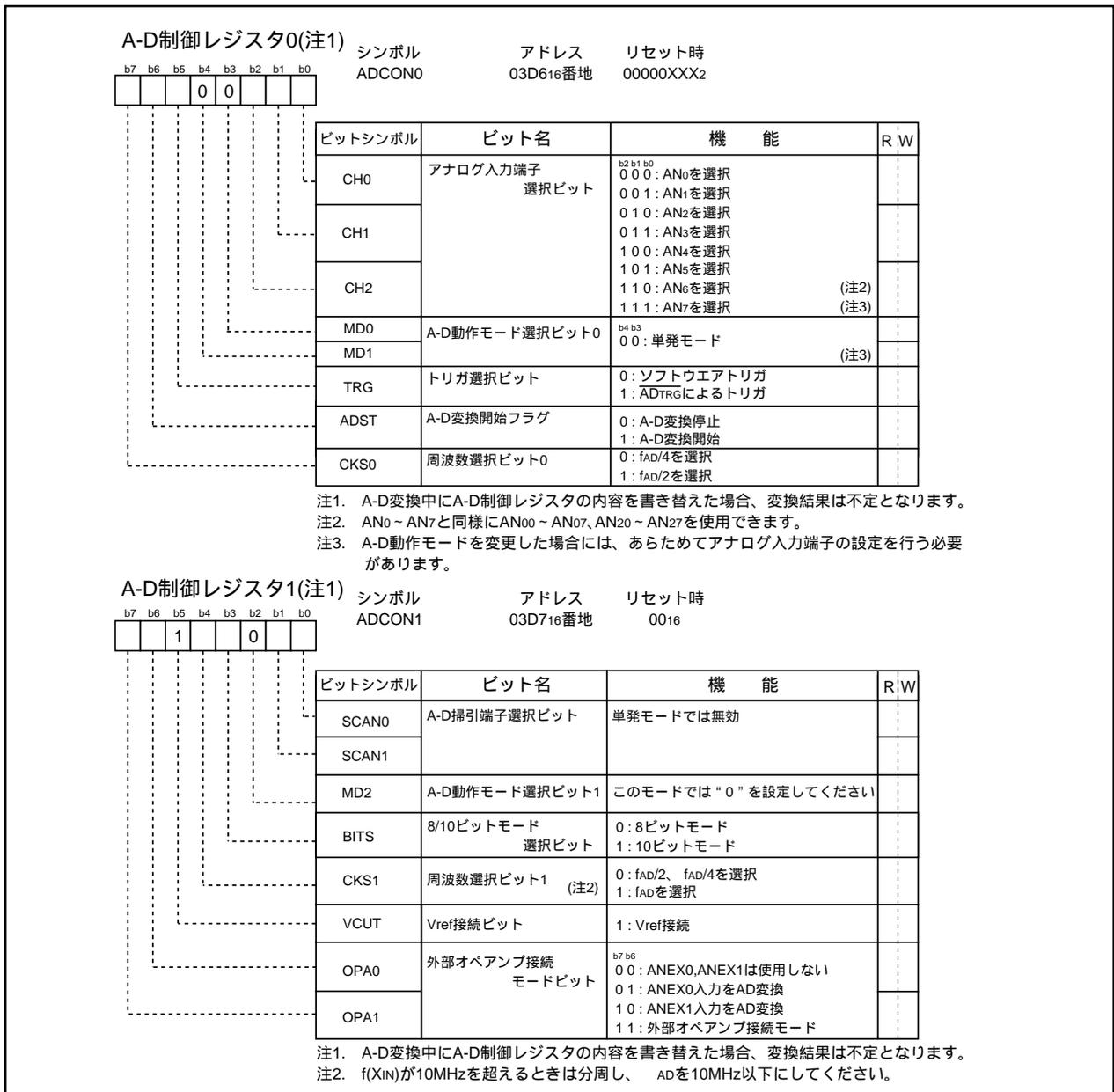


図1.20.4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.20.3に繰り返しモードの仕様、図1.20.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.20.3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN0～AN7と同様にAN00～AN07、AN20～AN27を使用できます。

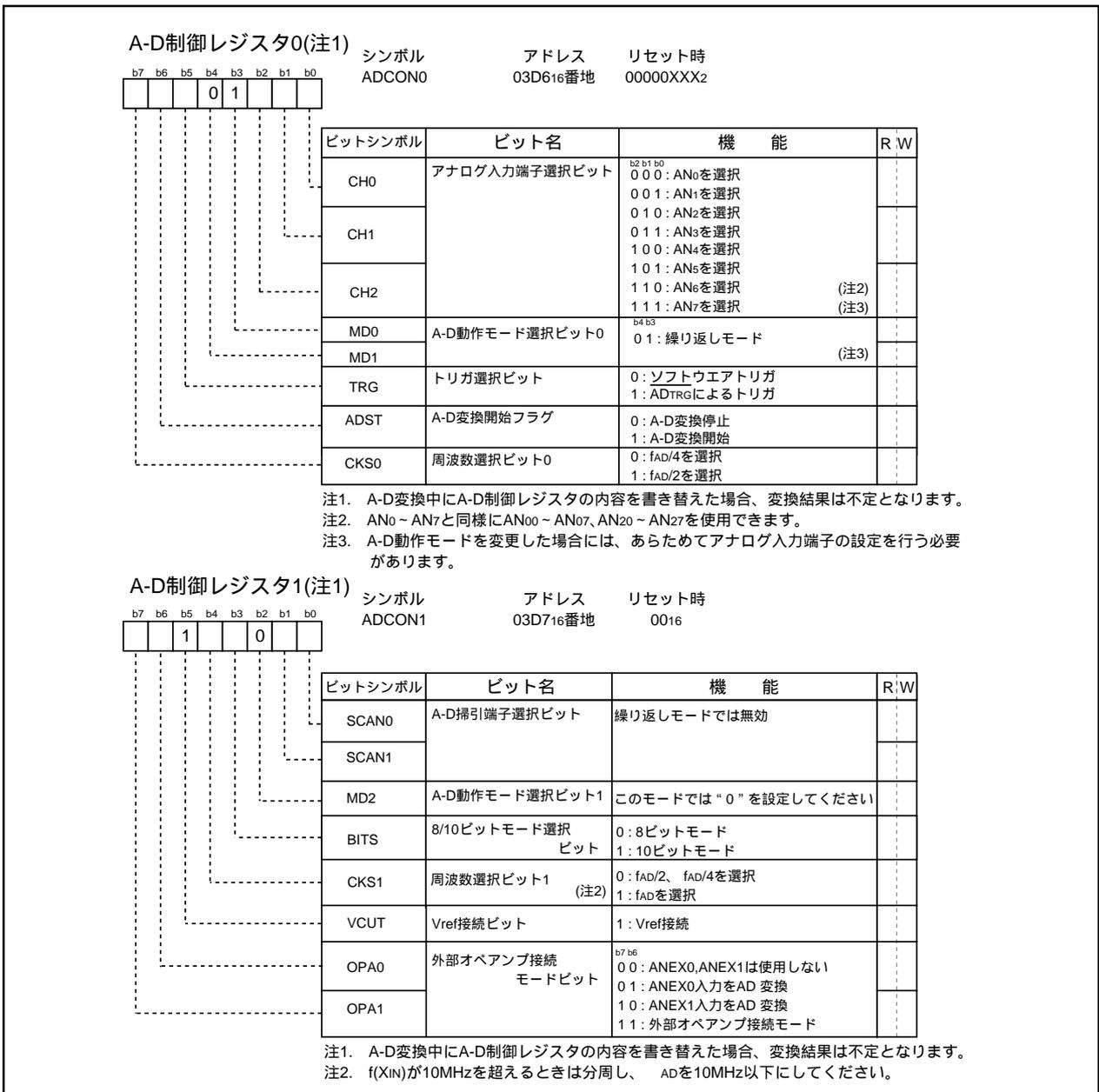


図1.20.5. 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.20.4に単掃引モードの仕様、図1.20.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.20.4. 単掃引モードの仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇、AN₂₀ ~ AN₂₇を使用できます。

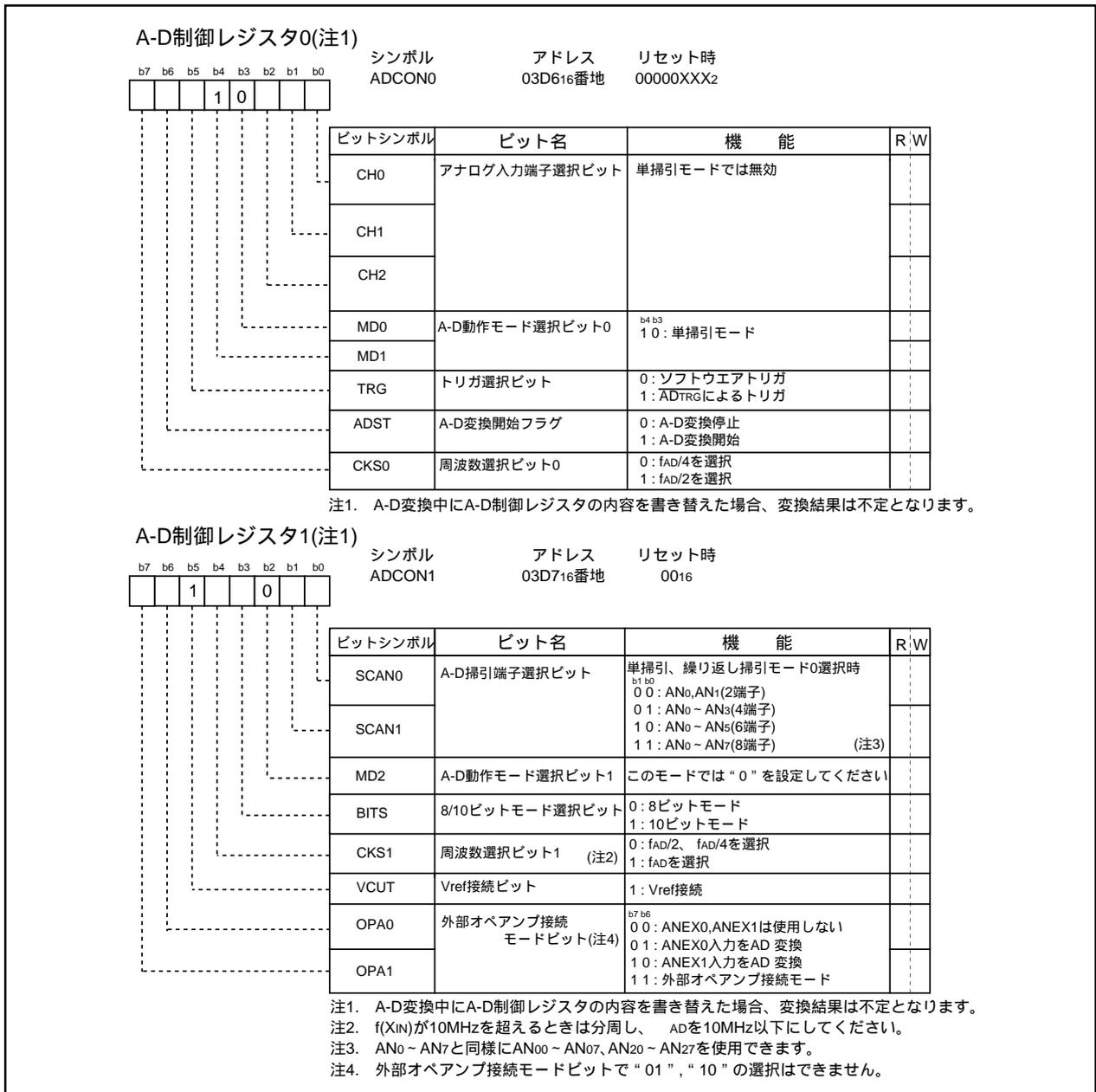


図1.20.6. 単掃引モード時のA-D制御レジスタ

A-D変換器

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.20.5に繰り返し掃引モード0の仕様、図1.20.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.20.5. 繰り返し掃引モード0の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0,AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN0~AN7と同様にAN00~AN07、AN20~AN27を使用できます。

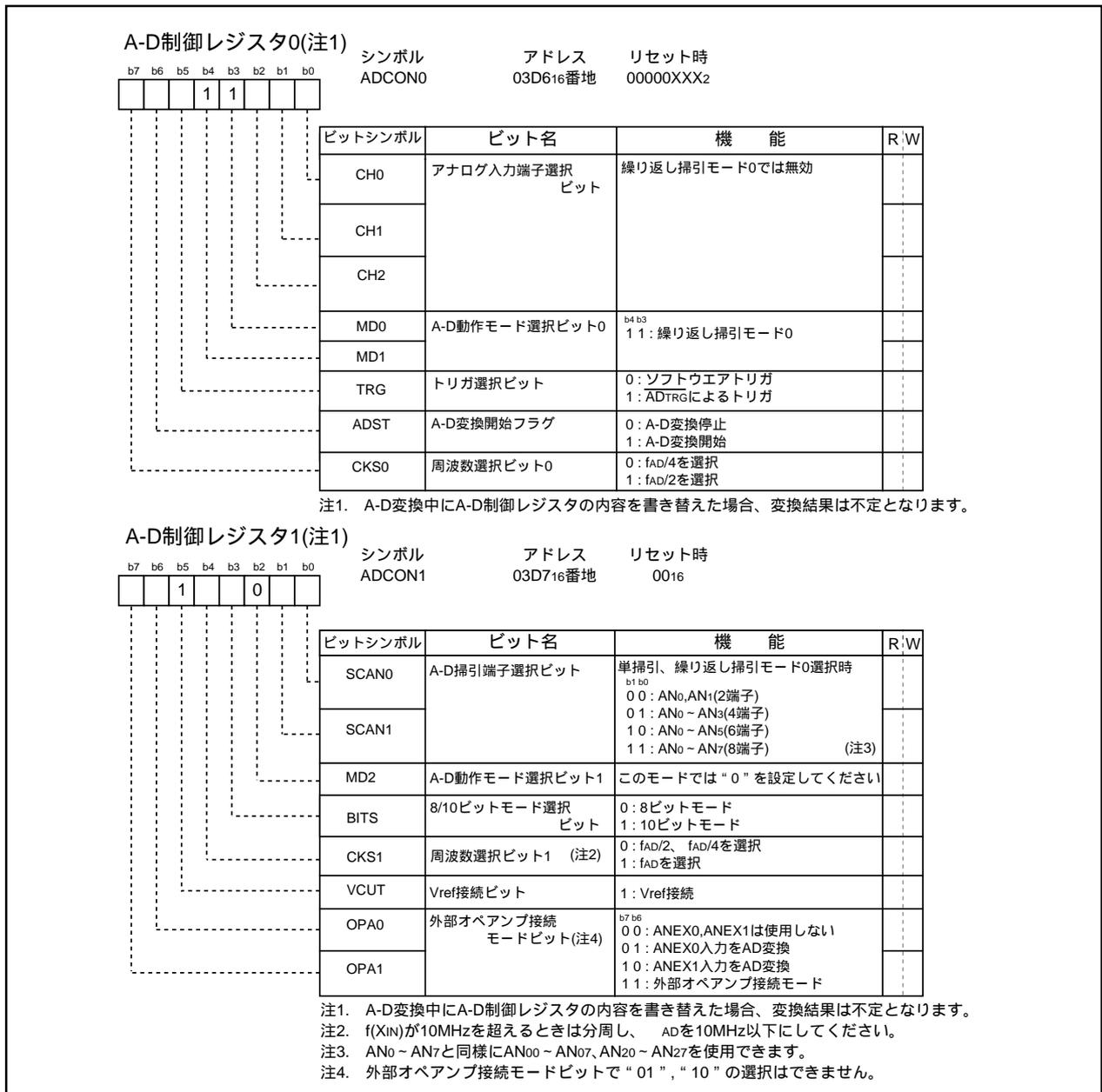


図1.20.7. 繰り返し掃引モード0時のA-D制御レジスタ

A-D変換器

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点を置いて全端子を繰り返しA-D変換するモードです。表1.20.6に繰り返し掃引モード1の仕様、図1.20.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.20.6. 繰り返し掃引モード1の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子に重点を置いて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子：AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)、AN ₀ ～AN ₂ (3端子)、AN ₀ ～AN ₃ (4端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN₀～AN₇と同様にAN₀₀～AN₀₇、AN₂₀～AN₂₇を使用できます。

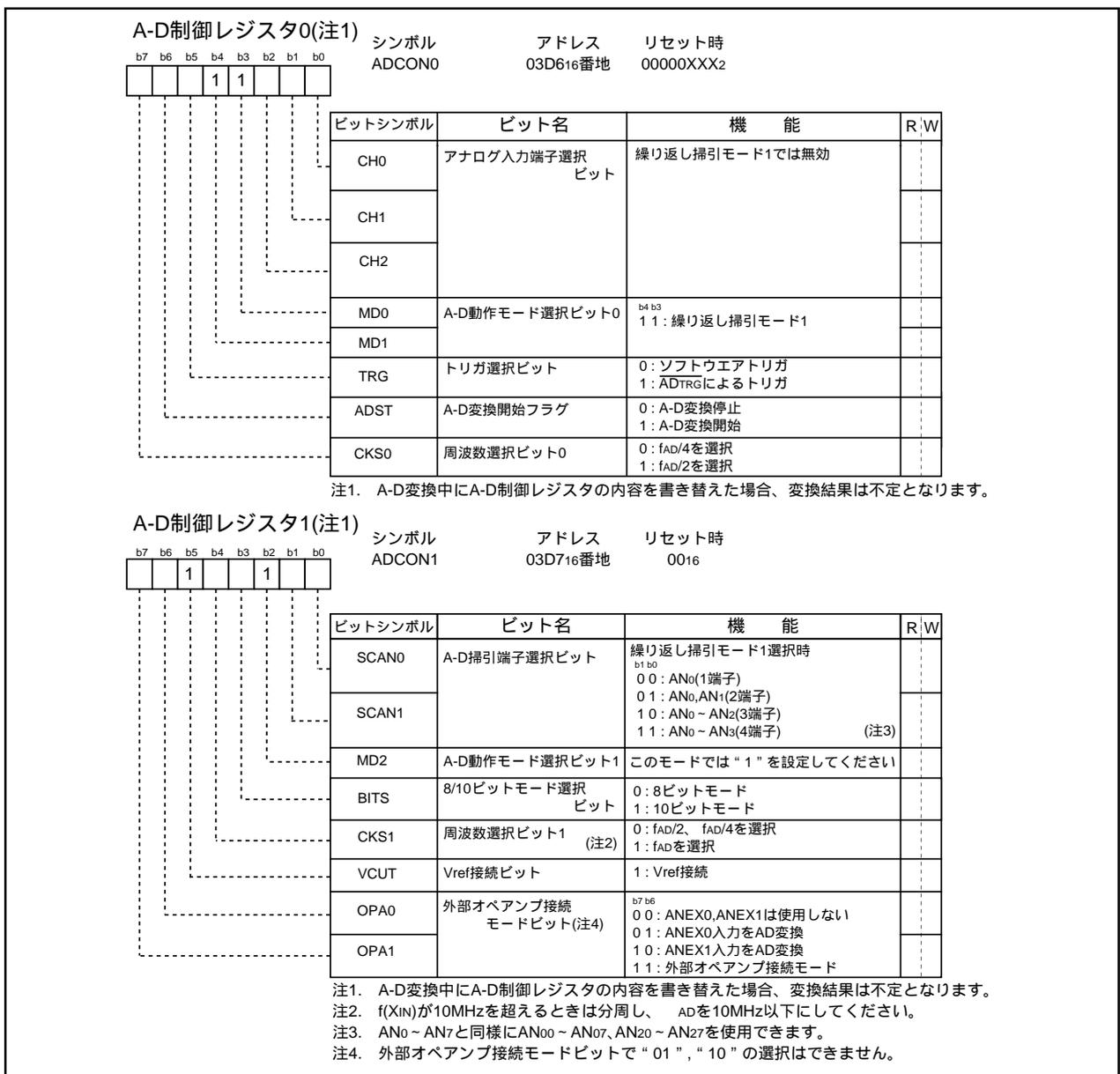


図1.20.8. 繰り返し掃引モード1時のA-D制御レジスタ

サンプル&ホールド

A-D制御レジスタ2(03D4₁₆番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合²⁸ ADサイクル、分解能10ビットの場合³³ ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

また、拡張アナログ入力端子AN00～AN07、AN20～AN27の16端子からの入力もA-D変換することができます。これらの端子はAN0～AN7と同様に扱うことができます。

A-D制御レジスタ2(03D4₁₆番地)のビット1、ビット2でAN0～AN7、AN00～AN07、AN20～AN27から使用する端子グループを選択します。

選択された端子グループの内、アナログ入力端子として使用しない端子は、通常の入出力ポート、各周辺機能の入出力端子として使用できます。

外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN0～AN7(注1)からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.20.9に外部オペアンプ接続モードの接続例を示します。

注1. AN0～AN7と同様にAN00～AN07、AN20～AN27を使用できます。

A-D変換器の使用時の注意事項

- (1) アナログ入力端子として使用する端子および外部トリガ入力端子(P97)に対応するポートの方向レジスタは入力に設定してください。
- (2) キー入力割り込みを使用する場合、AN4～AN7は4本ともA-D変換ポートとして使用できません(A-D入力電圧が“L”レベルになると、キー入力割り込みが発生します)。
- (3) ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、およびアナログ入力端子(AN_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。図1.20.10に各端子の処理例を示します。

A-D変換器

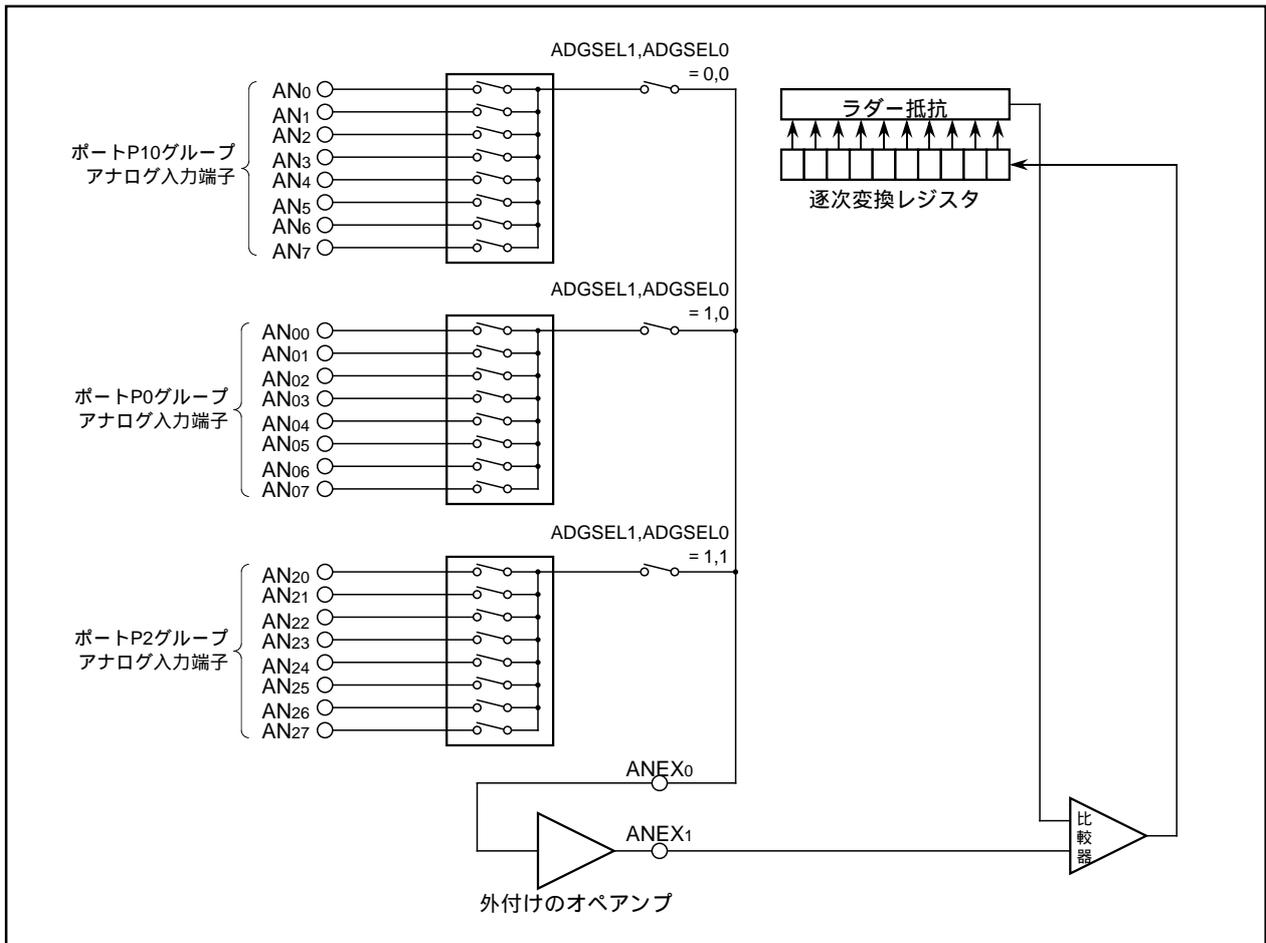


図1.20.9. 外部オペアンプ接続モードの接続例

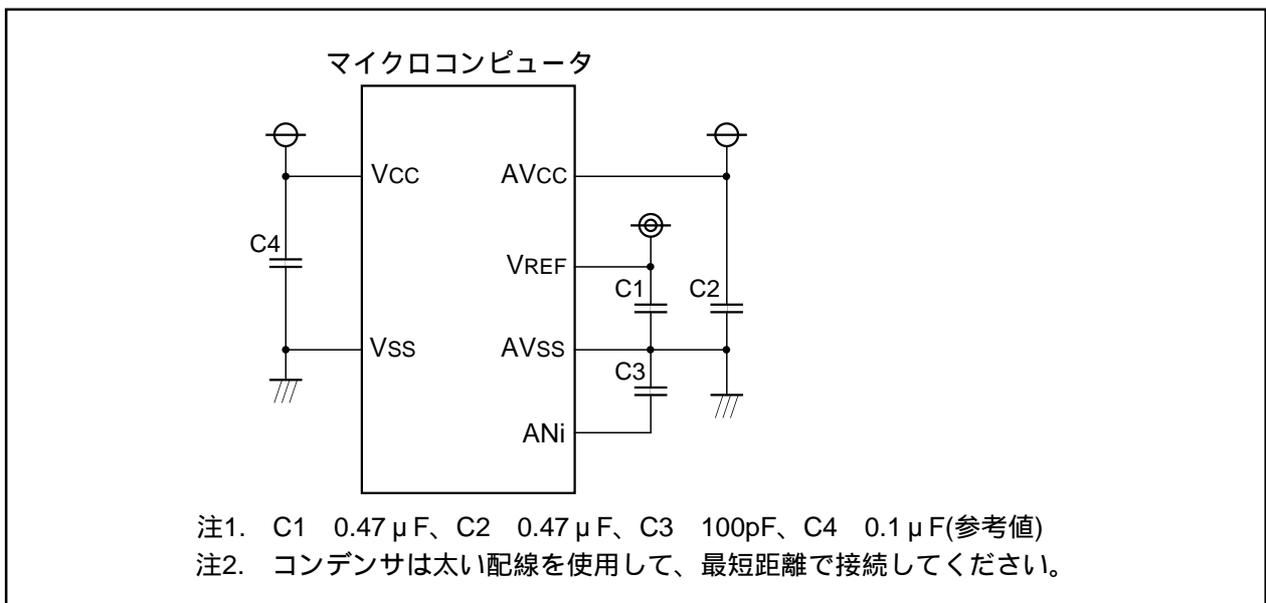


図1.20.10. 各端子のノイズ対策処理例

D-A変換器

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} :基準電圧

表1.21.1にD-A変換器の性能を、図1.21.1にD-A変換器のブロック図を、図1.21.2にD-A制御レジスタの構成を、図1.21.3にD-A変換器の等価回路を示します。

表1.21.1. D-A変換器の性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

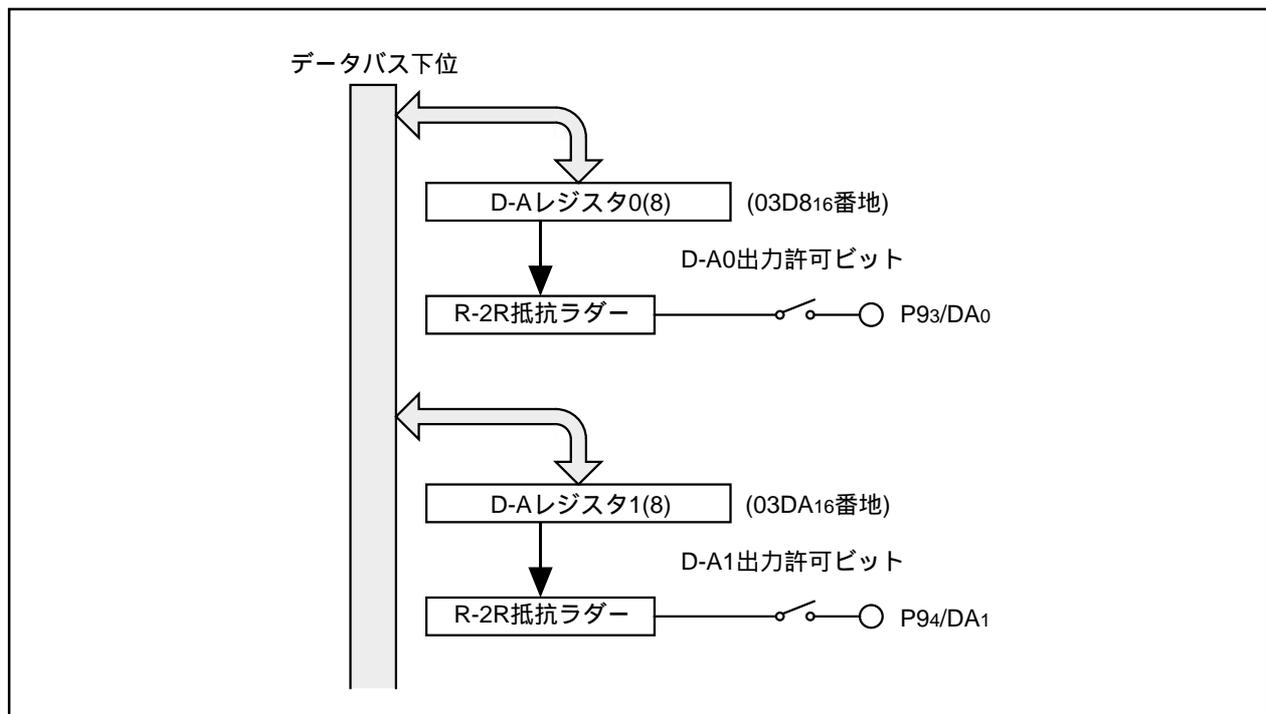


図1.21.1. D-A変換器のブロック図

D-A変換器

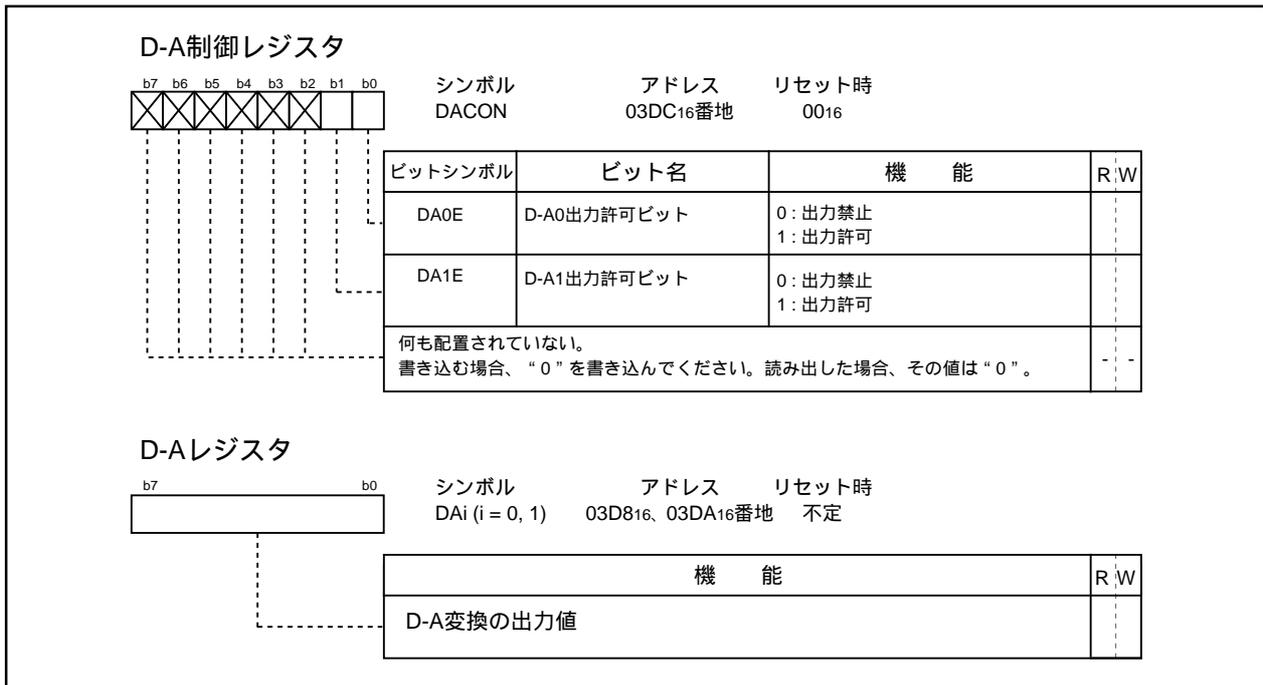


図1.21.2. D-A制御レジスタの構成

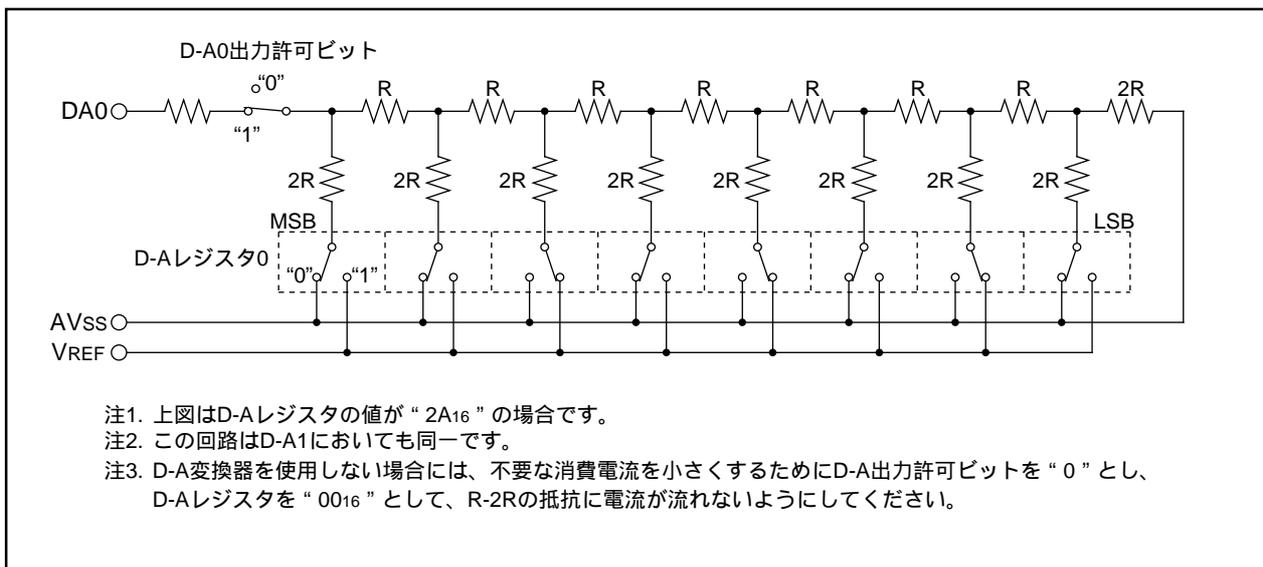


図1.21.3. D-A変換器の等価回路

CRC演算回路

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.22.1にCRCのブロック図、図1.22.2にCRCの関連レジスタを示します。また、図1.22.3にCRC演算回路の演算例を示します。

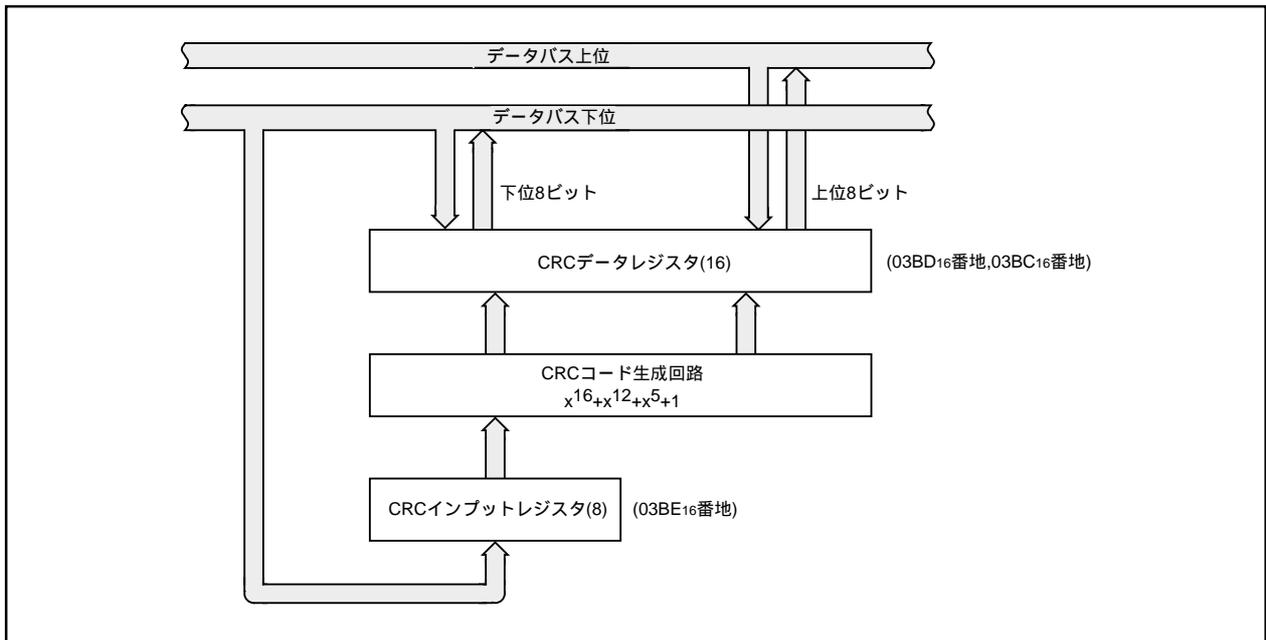


図1.22.1. CRCブロック図

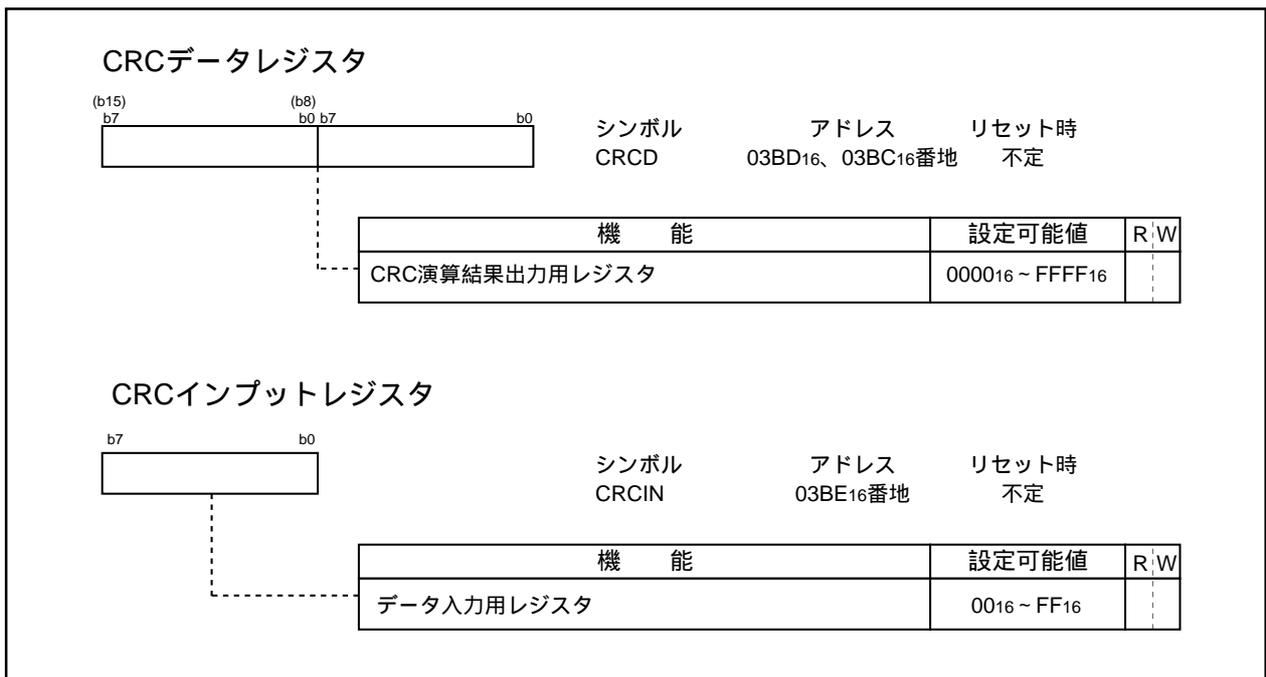


図1.22.2. CRC関連レジスタ

CRC演算回路

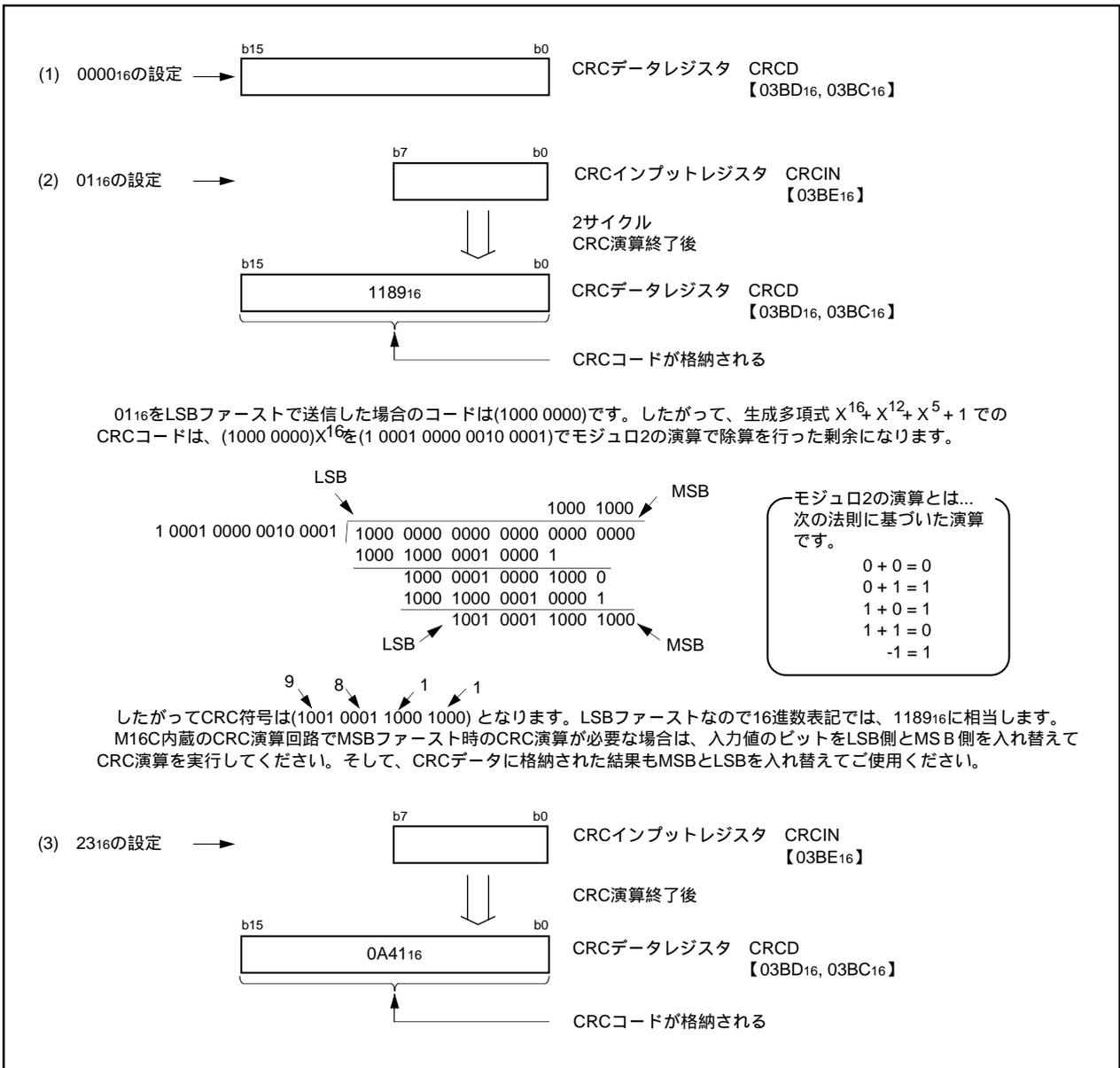


図1.22.3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P85は除く)の87本あります。80ピン版ではP1、P44～P47、P72～P75、P91は外部端子への接続がありませんので70本です。

各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を図1.23.1～図1.23.3、端子の構成を図1.23.4に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.23.5に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています(注1)。

メモリ拡張モード時またはマイクロプロセッサモード時、 $A_0 \sim A_{19}$ 、 $D_0 \sim D_{15}$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL} / \overline{WR}$ 、 $\overline{WRH} / \overline{BHE}$ 、 \overline{ALE} 、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、 \overline{BCLK} に設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.23.6に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、 $A_0 \sim A_{19}$ 、 $D_0 \sim D_{15}$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL} / \overline{WR}$ 、 $\overline{WRH} / \overline{BHE}$ 、 \overline{ALE} 、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、 \overline{BCLK} に設定している端子のポートレジスタの内容は変更できません。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.23.7に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P51はプルアップ制御レジスタの設定は無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

(4) ポート制御レジスタ

ポート制御レジスタの構成を、図1.23.8に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下の様になります。

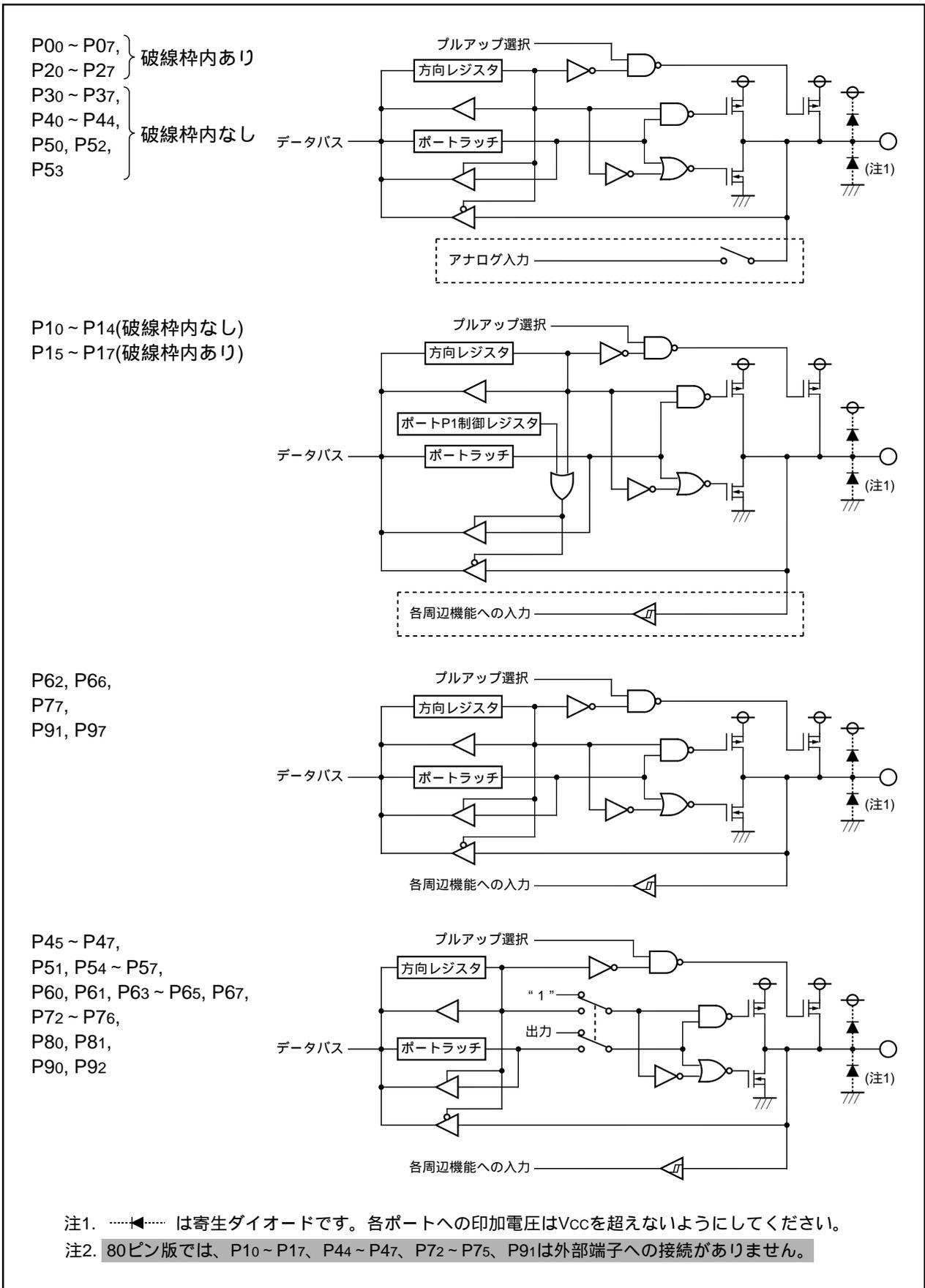
0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。

ポート



注1.は寄生ダイオードです。各ポートへの印加電圧はVccを超えないようにしてください。

注2. 80ピン版では、P10~P17、P44~P47、P72~P75、P91は外部端子への接続がありません。

図1.23.1. プログラマブル入出力ポートの構成(1)

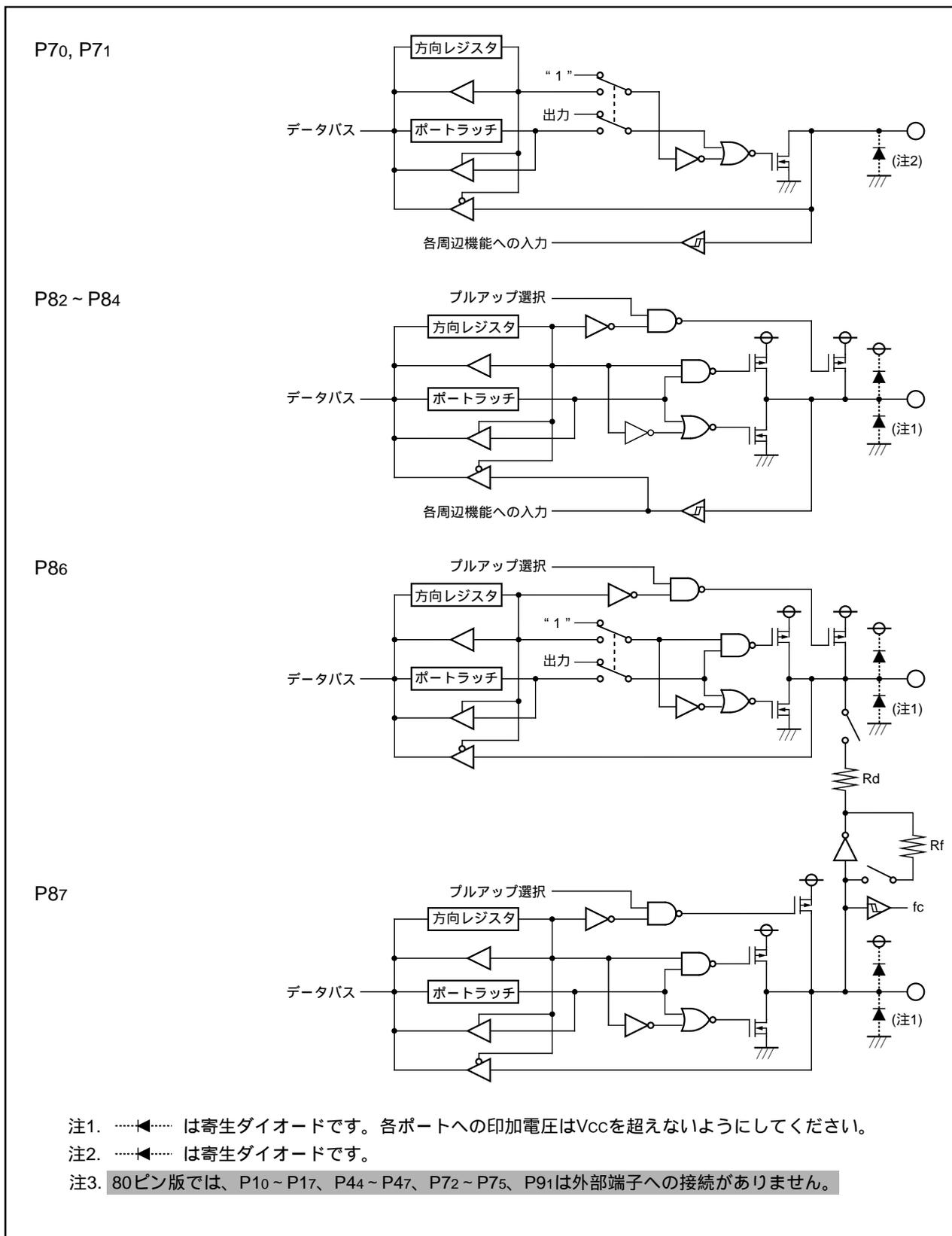


図1.23.2. プログラマブル入出力ポートの構成(2)

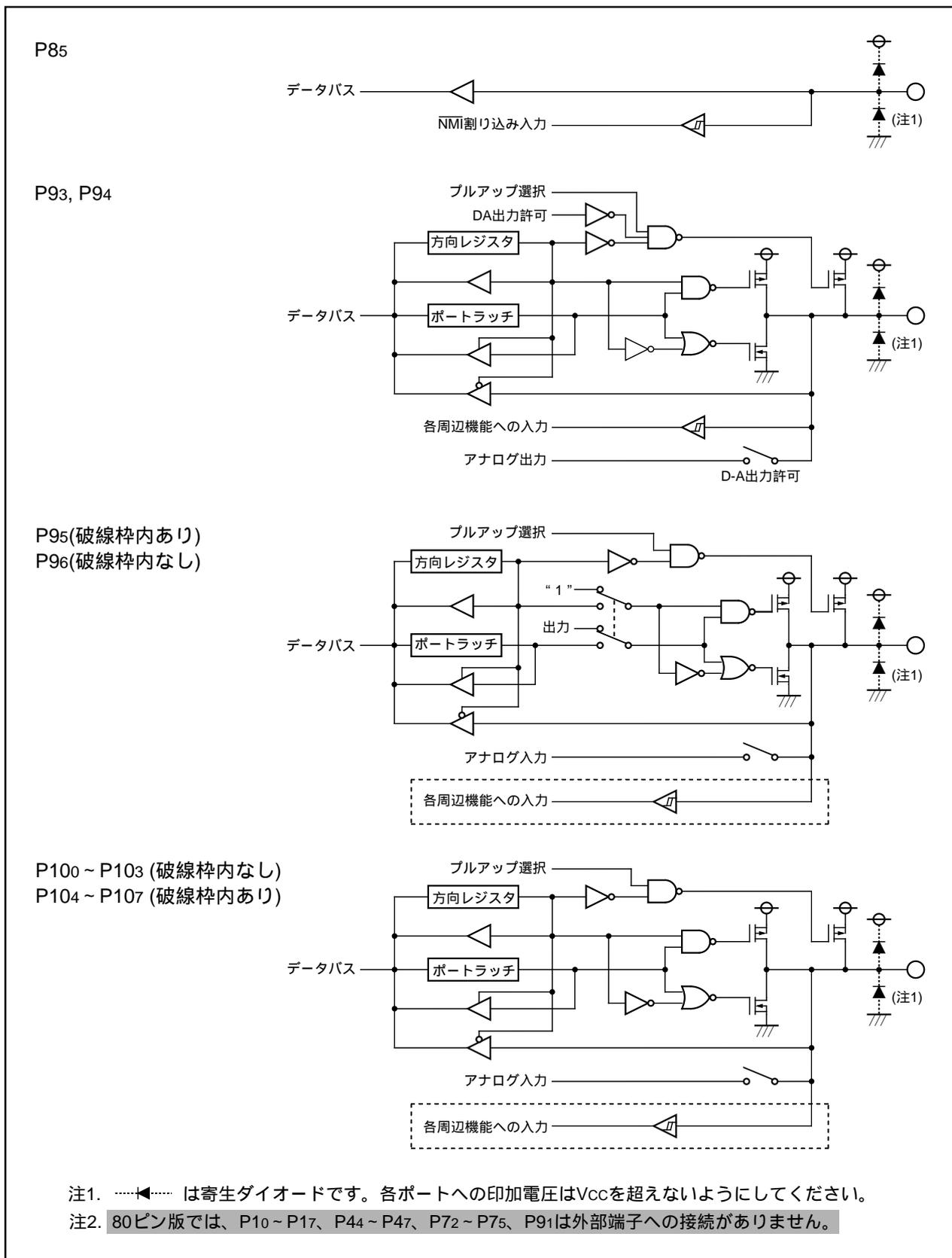


図1.23.3. プログラマブル入出力ポートの構成(3)

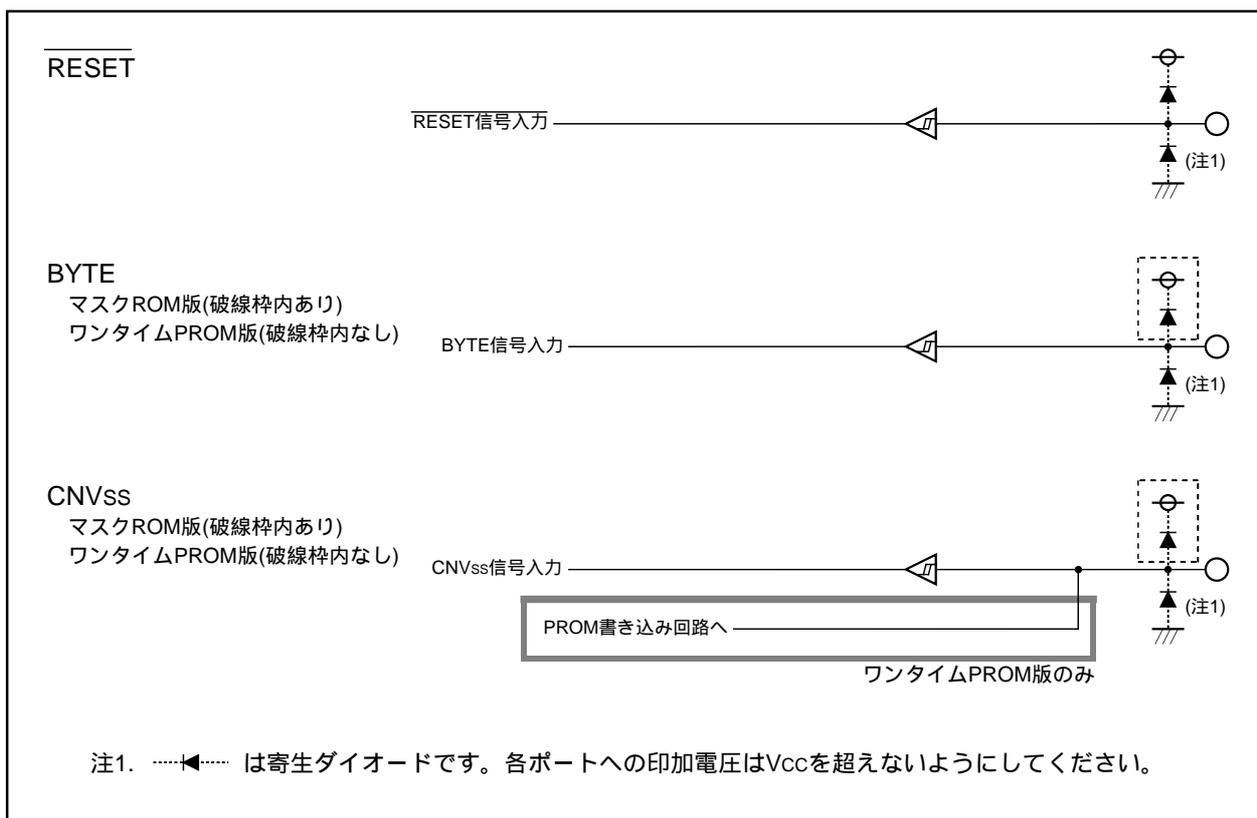


図1.23.4. 端子の構成

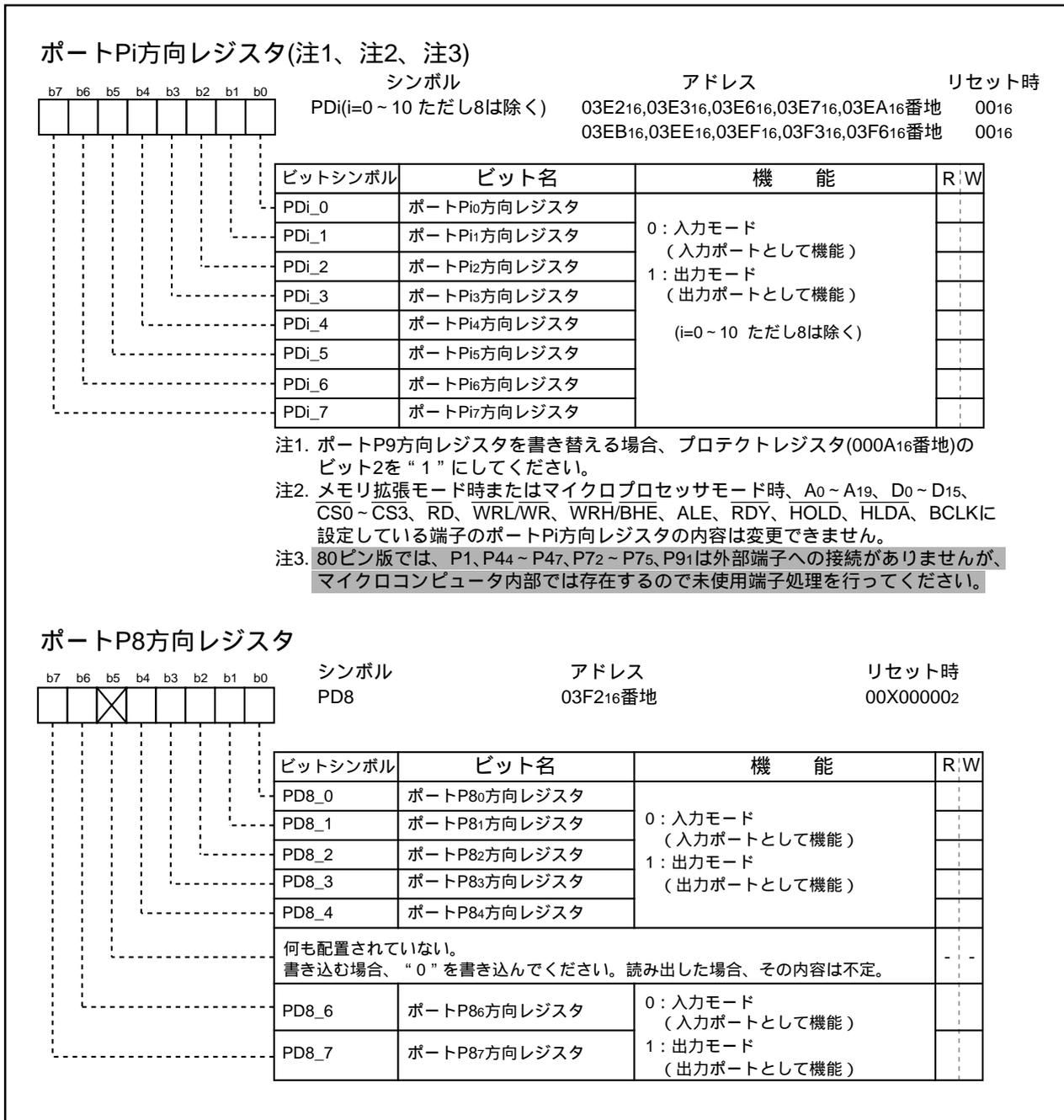


図1.23.5. 方向レジスタの構成

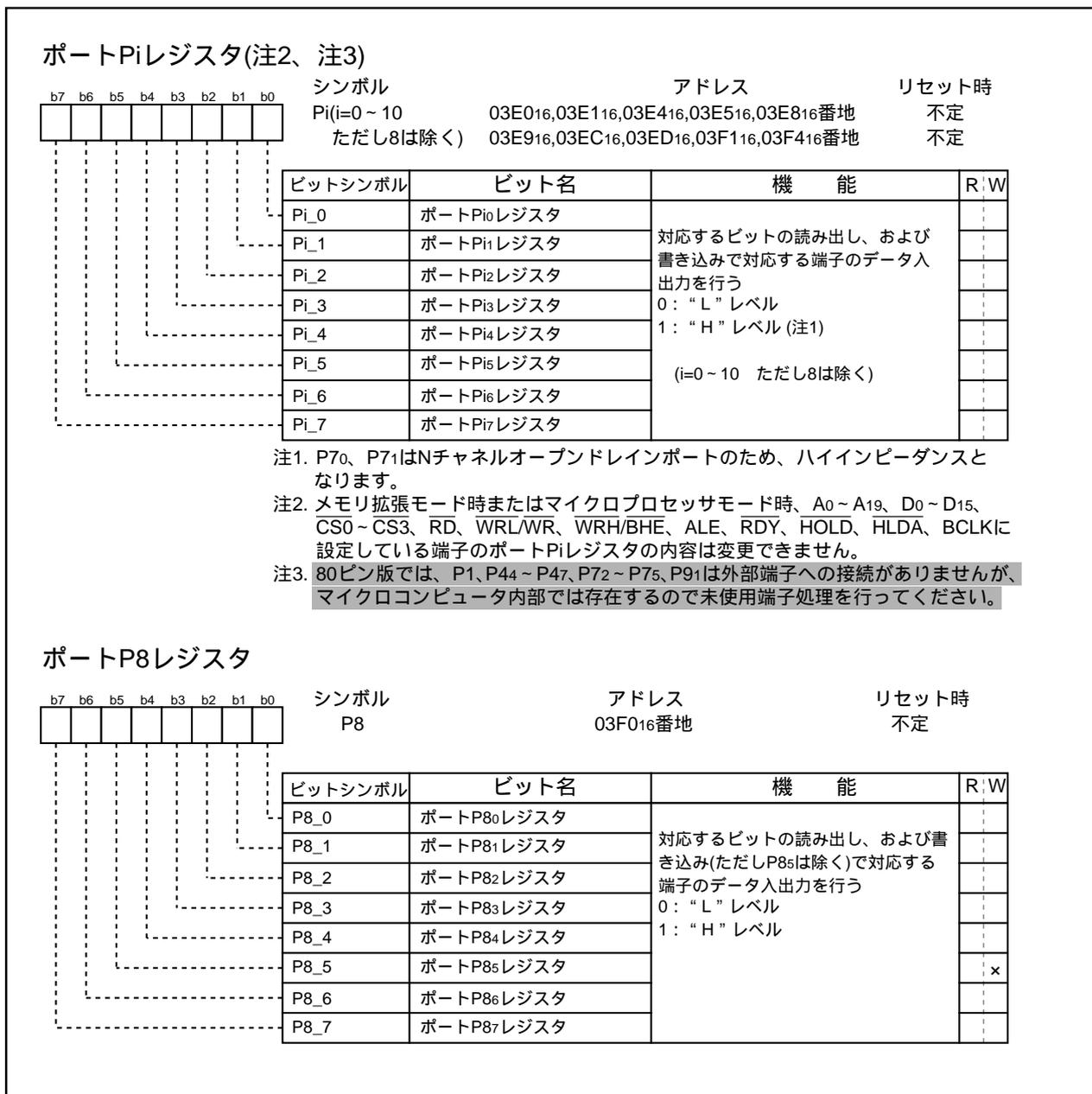


図1.23.6. ポートレジスタの構成

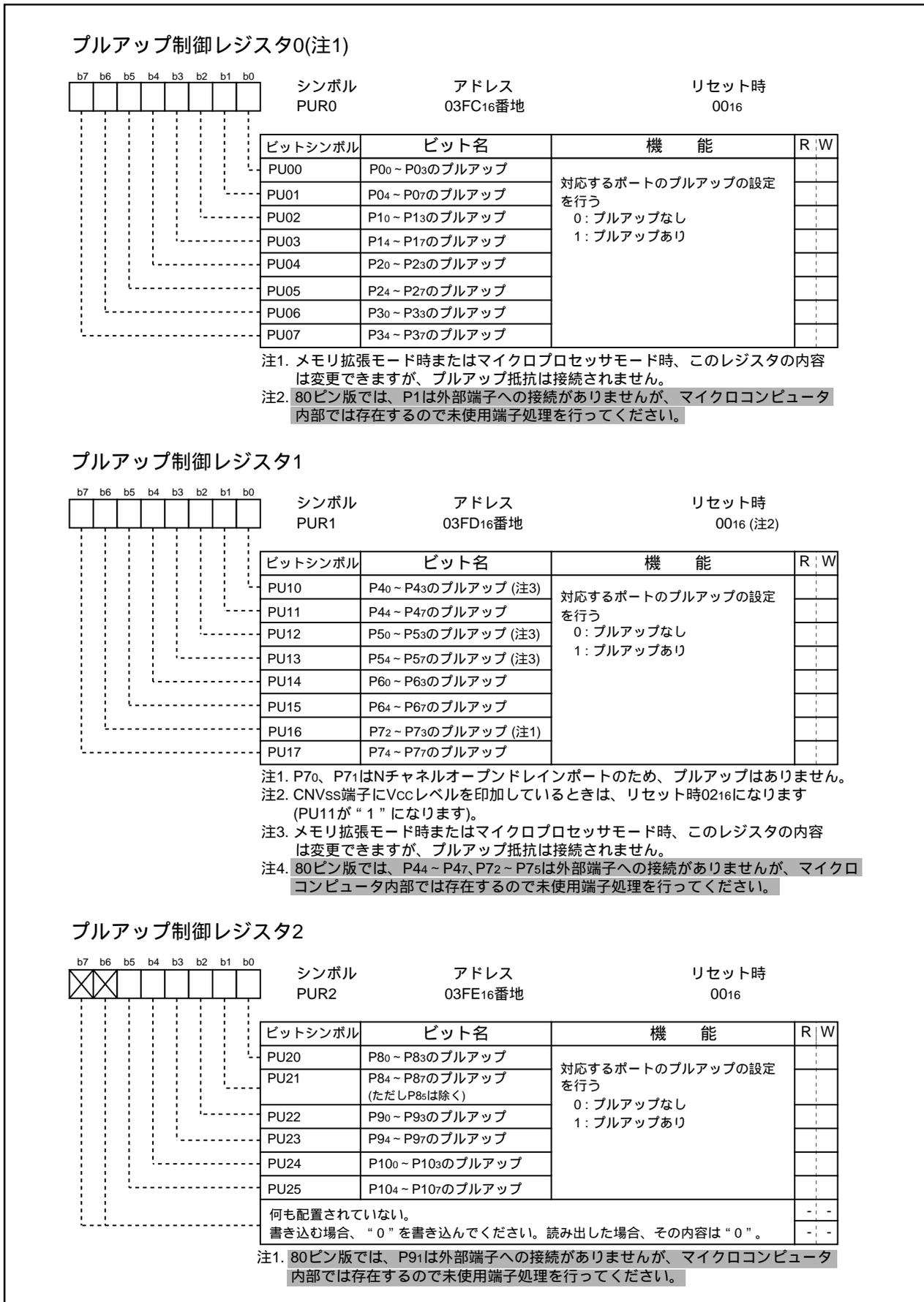


図1.23.7. プルアップ制御レジスタの構成

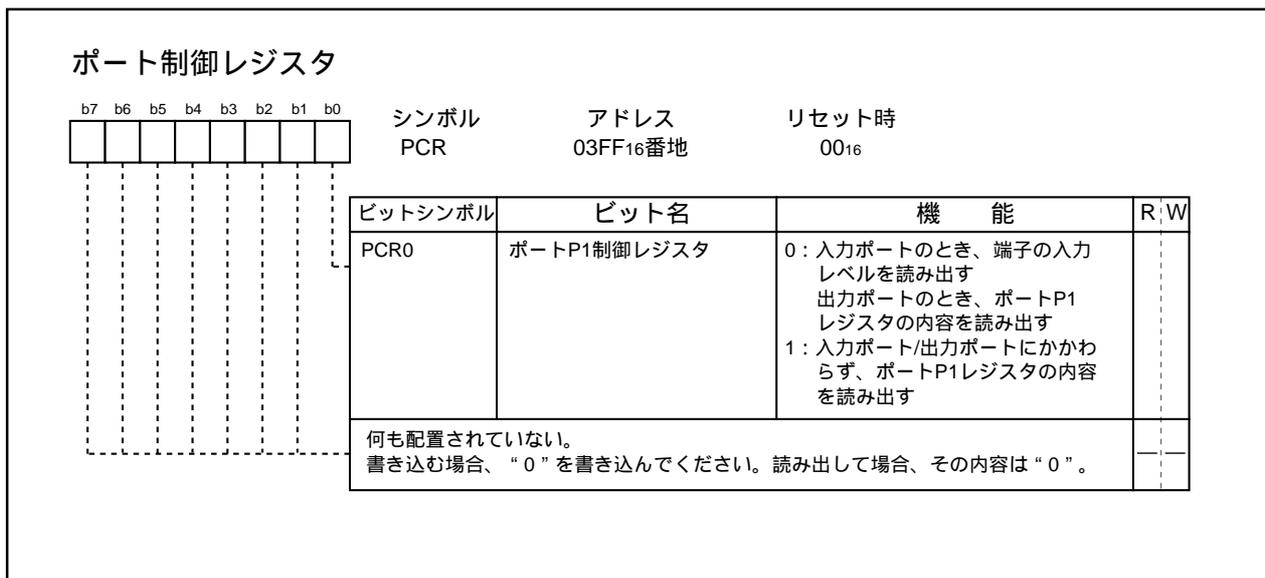


図1.23.8. ポート制御レジスタの構成

表1.23.1. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P10(P8sは除く) (注1)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注2)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. M30623(80ピン版)では、P1、P44～P47、P72～P75、P91は外部端子への接続はありませんが、マイクロプロセッサ内部では存在するので、未使用端子処理を行ってください。

注2. XIN端子に外部クロックを入力しているとき

表1.23.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

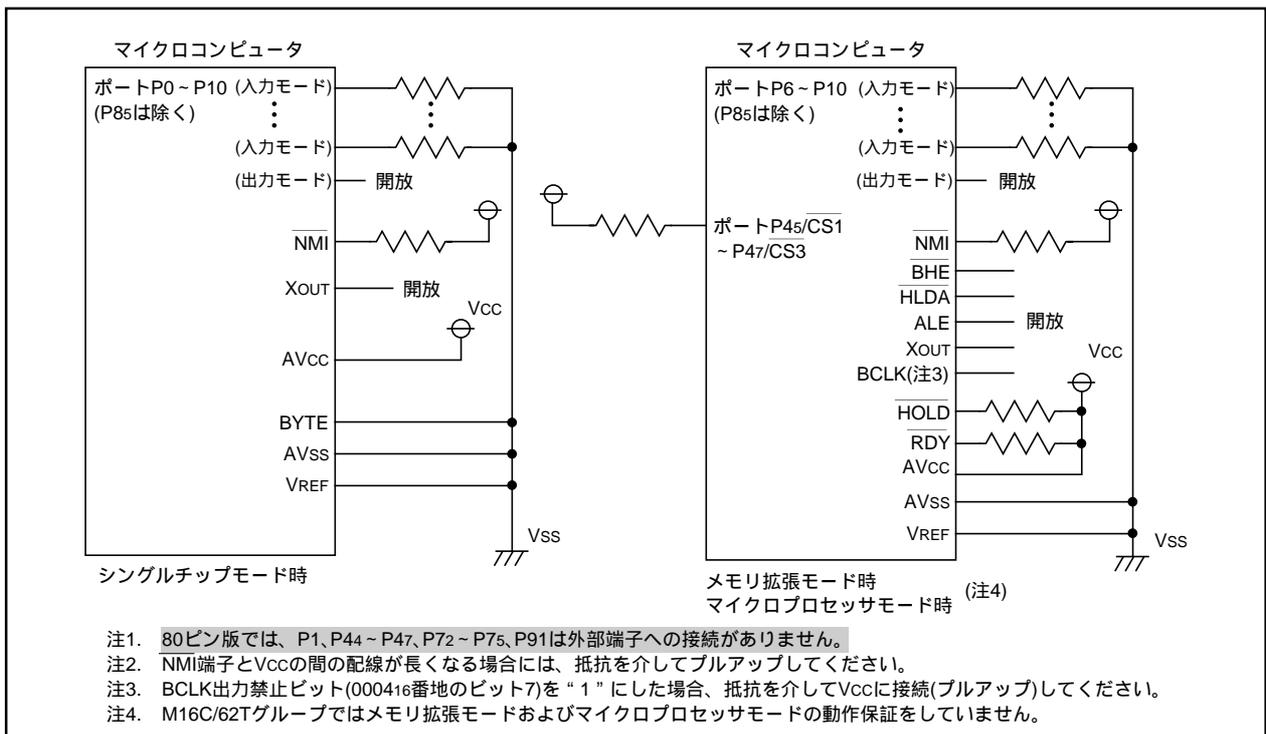
端子名	処理内容
ポートP6～P10(P8sは除く) (注1)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/CS1～P47/CS3	ポートを入力モード、CS1～CS3出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
BHE, ALE, HLDA, XOUT(注2), BCLK(注3)	開放
HOLD, RDY, NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. M30623(80ピン版)では、P72～P75、P91は外部端子への接続はありませんが、マイクロプロセッサ内部では存在するので、未使用端子処理を行ってください。

注2. XIN端子に外部クロックを入力しているとき

注3. BCLK出力禁止ビット(0004₁₆番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。

注4. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。



使用上の注意事項

使用上の注意事項

タイマAの注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマAの注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

タイマAの注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、ワンショットタイマモードを選択したとき
動作モードをタイマモードからワンショットタイマモードに変更したとき
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

タイマAの注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、PWMモードを選択したとき
動作モードをタイマモードからPWMモードに変更したとき
動作モードをイベントカウンタモードからPWMモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

使用上の注意事項

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- (1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
- (2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

A-D変換器の注意事項

- (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA-D変換を開始させてください。
- (2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
- (3) 低速モードおよび低消費電力モード時には、周辺機能クロック停止ビット(CM02)が“1”の状態ではウェイトモードに移行しないでください。

割り込みの注意事項

- (1) 00000₁₆番地の読み出し
マスクابل割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。
したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。
- (2) スタックポインタの設定
リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、NMI割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

使用上の注意事項

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子をVCC端子に接続してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子入力を“L”にした状態では、ストップモードやウエイトモードには移行しないでください。

(4) 外部割り込み

INT₀ ~ INT₅端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

注1. 80ピン版では、P15/D13/INT₃ ~ P17/D15/INT₅が外部端子への接続がないためINT₃ ~ INT₅を割り込み要因として使用できません。

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
NOP                                           ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
PUSHC   FLG
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
POPC    FLG              ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ (Iフラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

ノイズに関する注意事項

(1) ワンタイムPROM版のVPP端子

CNVss端子はVPP端子と兼用しています。VPP端子は内蔵ROMへの電源入力端子ですので、ノイズ誤動作耐量向上のため、CNVss端子に接続する配線は短くしてください。CNVss端子への配線が長くなる場合には、5k 程度の抵抗をできるだけCNVss端子に近い位置に挿入し、これを介してCNVss端子とVssまたはVccを接続してください。

注1. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

(2) ノイズおよびラッチアップ対策として、Vcc-Vssライン間へのバイパスコンデンサ挿入

Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

(3) ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。特にポートP2、P3、P8、およびP9(80ピン版ではポートP2、P3を除く)はVcc端子に近く、他のポートより電源系ノイズの影響を受ける可能性が大きいと考えられます。

このような場合のソフトウェア対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を書き替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分ご検討の上、再設定処理を導入してください。

PROM内蔵版使用上の注意事項

【PROM内蔵版の全機種に対する注意事項】

内蔵PROMへの書き込み時は高い電圧を使用しますので、マイクロコンピュータに過電圧がかからないようにしてください。電源の投入時は特に注意してください。

【ワнтаイムPROM版に対する注意事項】

ワнтаイムPROM版では、ユーザにて内蔵PROMを書き込むためのブランク出荷品(M30622ECTFP/ECVFP、M30623ECTGP/ECVGP)を用意しています。

ブランク出荷品については、アセンブリ工程以降、PROMの書き込みテスト、およびスクリーニングを、弊社では実施しません。したがって、ROM書き込み不良が5%程度、発生することがあります。書き込み以降の信頼性を向上させるために、図1.24.1に示す手順で書き込み、およびテストを行った後、使用することを推奨します。

ただし、車輛搭載試験や量産等に使用される場合は、弊社にてPROM書き込みおよびスクリーニングを実施した書き込み出荷品にて対応しますので、その旨、ご連絡ください。

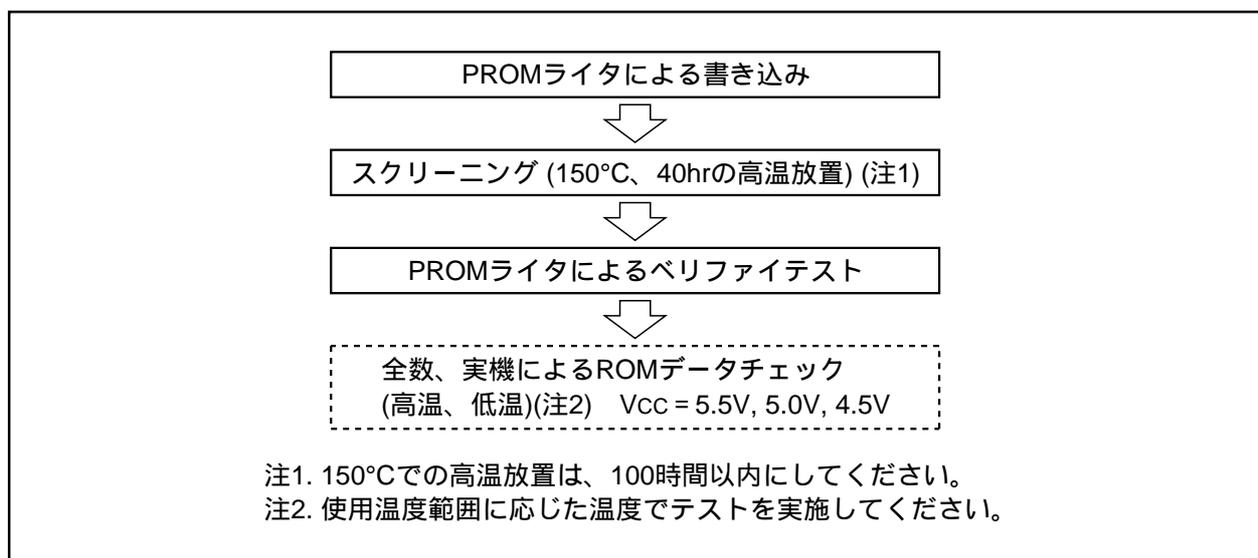


図1.24.1. ワнтаイムPROM版の書き込み、およびテスト

M16C/62Tグループ 80ピン版の注意事項

M16C/62Tグループ 80ピン版は、80ピンプラスチックモールドパッケージに収められています。100ピンパッケージ品と比較してピン数が少なくなっておりますので、下記の事項にご注意ください。

- (1) 下記の入出力ポートは、M16C/62Tグループ 80ピン版では存在しませんが、内部状態を安定させるため、各入出力ポートの方向レジスタを出力モードに設定する必要があります。出力モードに設定しない場合、消費電流の増加を伴います。

80ピン版で存在しないピン：P10～P17、P44～P47、P72～P75、P91

- (2) P15～P17に配置された $\overline{\text{INT3}}$ ～ $\overline{\text{INT5}}$ は使用できません。 $\overline{\text{INT3}}$ の割り込み制御レジスタは割り込み禁止状態に設定してください。また、 $\overline{\text{INT4}}$ 、 $\overline{\text{INT5}}$ の割り込み制御レジスタはSI/O3、SI/O4と兼用となっておりますが、SI/O3、SI/O4として使用しない場合は、割り込み禁止状態に設定してください。
- (3) P72～P75に配置されたタイマA1、A2の入出力端子TA1IN、TA1OUT、TA2IN、TA2OUTは使用できません。したがって、タイマA1、タイマA2は、ゲート機能、パルス出力機能が使用できませんのでタイマモードおよび内部イベントカウント、ワンショットタイマモードでのトリガ信号発生として使用してください。
- (4) P72、P73に配置されたUART2の入出力端子CLK2、 $\overline{\text{CTS2/RTS2}}$ は使用できません。したがって、UART2は内部クロックのUARTとしてのみ使用できます。また、UART2は、CTS/RTS禁止ビット(037C₁₆番地のビット4)が“1”の状態で使用してください。
- (5) P91に配置されたタイマB1の入力端子TB1INは使用できませんので、タイマB1は、タイマモード、内部イベントカウンタモードのみ使用してください。
- (6) P91に配置されたシリアルI/O3の入力端子SIN3は使用できませんので、シリアルI/O3は送信専用シリアルI/Oとして使用してください。
- (7) P72～P75に配置された三相モータ制御用出力端子は使用できませんので、三相PWM制御レジスタ0のモード選択ビット(ビット2)を“0”(通常モード)に設定してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ…………… EPROM、またはフロッピーディスク
 - *EPROMの場合は同一のデータのものを3組準備してください。
 - *フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- (1) ROM書き込み確認書
- (2) マーク指定書
- (3) ROMのデータ…………… EPROM、またはフロッピーディスク
 - *EPROMの場合は同一のデータのものを3組準備してください。
 - *フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。

電気的特性

表1.26.1. 絶対最大定格

記号	項目	条件	定格値		単位
			ワンタイムPROM版	マスクROM版	
Vcc	電源電圧	AVcc=Vcc, AVss=Vss	-0.3 ~ 7	-0.3 ~ 6.5	V
AVcc	アナログ電源電圧	AVcc=Vcc, AVss=Vss	-0.3 ~ 7	-0.3 ~ 6.5	V
Vi	入力電圧	RESET, VREF, XIN P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	-0.3 ~ Vcc+0.3	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 7	-0.3 ~ 6.5	V
		CNVss, BYTE	-0.3 ~ 7 (注1)	-0.3 ~ Vcc+0.3	V
Vo	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, XOUT	-0.3 ~ Vcc+0.3	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 7	-0.3 ~ 6.5	V
Pd	消費電力	-40 < Ta 85	300	300	mW
		85 < Ta 125	200	200	
Topr	動作周囲温度		-40 ~ 125 (注2)	-40 ~ 125 (注2)	
Tstg	保存温度		-65 ~ 150	-65 ~ 150	

注1. 内部PROMへの書き込み動作時には、-0.3V ~ 13.5V。

注2. 85 保証版では -40 ~ 85、125 保証版では -40 ~ 125。

注3. M30623(80ピン版)では、P10 ~ P17、P44 ~ P47、P72 ~ P75、P91は外部端子への接続がありません。

表1.26.2. 推奨動作条件(指定のない場合はVcc=4.2(注1) ~ 5.5V, Ta= -40 ~ 125 (注2))

記号	項目	定格値			単位
		最小	標準	最大	
Vcc	電源電圧	4.2 (注1)	5.0	5.5	V
AVcc	アナログ電源電圧		Vcc		V
Vss	電源電圧		0		V
AVss	アナログ電源電圧		0		V
VIH	"H"入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVss, BYTE	0.8Vcc		Vcc	V
VIH	"H"入力電圧 P00 ~ P07, P10 ~ P17 (シングルチップモード時)	0.8Vcc		Vcc	V
VIL	"L"入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVss, BYTE	0		0.2Vcc	V
VIL	"L"入力電圧 P00 ~ P07, P10 ~ P17 (シングルチップモード時)	0		0.2Vcc	V
IOH (peak)	"H"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107 (注4)			-10	mA
IOH (avg)	"H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			-5	mA
IOL (peak)	"L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107 (注4)			10	mA
IOL (avg)	"L"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			5	mA
f (XIN)	メインクロック入力発振周波数	Vcc=4.2V(注1) ~ 5.5V		16	MHz
f (XCIN)	サブクロック発振周波数		32.768	50	kHz

注1. ワンタイムPROM版の場合は、4.5Vとなります。

注2. 85 保証版では -40 ~ 85、125 保証版では -40 ~ 125。

注3. 平均出力電流は100msの期間内での平均値です。

注4. 100ピン版では、ポートP0, P1, P2, P86, P87, P9, P10のIOL(peak)の合計およびIOH(peak)の合計、ポートP3, P4, P5, P6, P7, P80 ~ P84のIOL(peak)の合計およびIOH(peak)の合計をそれぞれ80mA以下としてください。

また、80ピン版では、Vcc, Vss端子が各々1本のため、全ポートのIOL(peak)の合計およびIOH(peak)の合計を80mA以下としてください。

注5. Ta=125 時(Ta>85 を含む)の消費電力が絶対最大定格を超えないようにするため、ポート部分全体(出力ポートトランジスタおよびプルアップ抵抗)の実効電力損失は50mW以下にしてください。

注6. 80ピン版では、P10 ~ P17、P44 ~ P47、P72 ~ P75、P91は外部端子への接続がありません。

電気的特性

表1.26.3. 電気的特性(指定のない場合は、Vcc=5V, Vss=0V, Ta= - 40 ~ 125 (注1), f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-5mA V _{CC} =4.0V ~ 5.5V	0.6V _{CC}			V
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OH} =-200μA V _{CC} =4.0V ~ 5.5V	0.9V _{CC}			V
VOH	"H"出力電圧 X _{OUT}	HIGHPOWER	I _{OH} =-1mA	3.0		V
		LOWPOWER	I _{OH} =-0.5mA	3.0		
	"H"出力電圧 X _{COUT}	HIGHPOWER	無負荷時		3.0	V
		LOWPOWER	無負荷時		1.6	
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =5mA V _{CC} =4.0V ~ 5.5V			0.4V _{CC}	V
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	I _{OL} =200μA V _{CC} =4.0V ~ 5.5V			0.1V _{CC}	V
VOL	"L"出力電圧 X _{OUT}	HIGHPOWER	I _{OL} =1mA		2.0	V
		LOWPOWER	I _{OL} =0.5mA		2.0	
	"L"出力電圧 X _{COUT}	HIGHPOWER	無負荷時		0	V
		LOWPOWER	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス TA0IN ~ TA4IN, TA2OUT ~ TA4OUT, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS2, CLK0 ~ CLK4, RxD0 ~ RxD2, SIN3, SIN4, KI0 ~ KI3, HOLD, RDY, NMI, SCL, SDA		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス RESET, CNVss, BYTE		0.5		1.5	V
V _{T+} -V _{T-}	ヒステリシス XIN		0.2		0.8	V
I _{IH}	"H"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVss, BYTE	V _I =5V			5	μA
I _{IL}	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVss, BYTE	内蔵プルアップなし V _I =0V			-5	μA
I _{IL}	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	内蔵プルアップあり V _I =0V	-70	-100	-150	μA
R _{IXIN}	帰還抵抗 XIN			1.0		M
R _{IXCIN}	帰還抵抗 XCIN			6.0		M
V _{RAM}	RAM保持電圧	クロック停止時	2			V
I _{CC}	電源電流	シングルチップモード時 出力専用端子は開放、その他の端子はV _{SS}	f(XIN)=16MHz, 方形波, 1分周, no-wait 動作	28	38	mA
			f(XIN)=16MHz, 方形波, 1分周, 1-wait 動作	24		mA
			f(XIN)=16MHz, 方形波, 8分周, no-wait 動作	6.7		mA
			f(XCIN) = 32kHz, (注3) ウェイト時, Ta=25	4.0		μA
			クロック停止時, Ta=25		2	μA
			クロック停止時, Ta=85		20	
クロック停止時, Ta=125		50				

注1. 85 保証版では - 40 ~ 85、125 保証版では - 40 ~ 125。

注2. 80ピン版では、P10 ~ P17, P44 ~ P47, P72 ~ P75, P91は外部端子への接続がありません。

注3. fc32にてタイマ1本を動作させている状態です。

電気的特性

表1.26.4. A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=5V$, $V_{SS}=AV_{SS}=0V$, $T_a=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	$V_{REF} = V_{CC} = 5V$			10	Bits	
-	絶対精度(8bit)	$V_{REF} = AV_{CC} = V_{CC} = 5V$, $f_{AD} = 10MHz$			± 2	LSB	
-	絶対精度(10bit)	サンプル&ホールド機能なし	$V_{REF} = AV_{CC} = V_{CC} = 5V$, $f_{AD} = 10MHz$			± 3	LSB
		サンプル&ホールド機能あり	$V_{REF} = AV_{CC} = V_{CC} = 5V$, $f_{AD} = 10MHz$ AN ₀ ~ AN ₇ , AN ₀₀ ~ AN ₀₇ , AN ₂₀ ~ AN ₂₇ , ANEX ₀ , ANEX ₁ 入力 外部オペアンプ接続モード			± 3	LSB
RLADDER	ラダー抵抗	$V_{REF} = V_{CC} = 5V$	10		40	k	
tCONV	変換時間(10bit)	$f(X_{IN})=16MHz$, $f_{AD} = f_{AD}/2 = 8MHz$	4.125			μs	
		$f(X_{IN})=10MHz$, $f_{AD} = f_{AD} = 10MHz$	3.3				
tCONV	変換時間(8bit)	$f(X_{IN})=16MHz$, $f_{AD} = f_{AD}/2 = 8MHz$	3.5			μs	
		$f(X_{IN})=10MHz$, $f_{AD} = f_{AD} = 10MHz$	2.8				
tsAMP	サンプリング時間	$f(X_{IN})=16MHz$, $f_{AD} = f_{AD}/2 = 8MHz$	0.375			μs	
		$f(X_{IN})=10MHz$, $f_{AD} = f_{AD} = 10MHz$	0.3				
VREF	基準電圧		2		V_{CC}	V	
VIA	アナログ入力電圧		0		V_{REF}	V	

注1. $f(X_{IN})$ が10MHzを超えるときは分周し、 f_{AD} を10MHz以下にしてください。

注2. サンプル&ホールド機能なしの時は、注1の制限に加えAD動作クロック f_{AD} の周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの時は、注1の制限に加えAD動作クロック f_{AD} の周波数は1MHz以上にしてください。

注3. AV_{CC} 端子は V_{CC} 端子に接続し同一電位を与えてください。

表1.26.5. D-A変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=5V$, $V_{SS}=AV_{SS}=0V$, $T_a=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	k
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“00₁₆”の場合です。

A-D変換器のラダー抵抗分は除きます。

注2. A-D制御レジスタで V_{REF} 未接続とした場合でも、D-A変換回路に I_{vREF} が流れます。D-A変換器を使用しない場合、不要な基準電源電流の消費を防ぐために、使用しないD-A変換器のD-Aレジスタを“00₁₆”に設定してください。

電氣的特性

タイミング必要条件

(指定のない場合は、 $V_{cc}=5V$, $V_{ss}=0V$, $T_a = -40 \sim 85$ (85 保証版), $T_a = -40 \sim 125$ (125 保証版))

表1.26.6. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力"H"パルス幅	25		ns
$t_w(L)$	外部クロック入力"L"パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表1.26.7. 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INT}_i 入力"H"パルス幅	250		ns
$t_w(INL)$	\overline{INT}_i 入力"L"パルス幅	250		ns

表1.26.8. タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TA_{iIN} 入力サイクル時間	150		ns
$t_w(TAH)$	TA_{iIN} 入力"H"パルス幅	60		ns
$t_w(TAL)$	TA_{iIN} 入力"L"パルス幅	60		ns

表1.26.9. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TA_{iIN} 入力サイクル時間	400		ns
$t_w(TAH)$	TA_{iIN} 入力"H"パルス幅	200		ns
$t_w(TAL)$	TA_{iIN} 入力"L"パルス幅	200		ns

表1.26.10. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TA_{iIN} 入力サイクル時間	200		ns
$t_w(TAH)$	TA_{iIN} 入力"H"パルス幅	100		ns
$t_w(TAL)$	TA_{iIN} 入力"L"パルス幅	100		ns

表1.26.11. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TA_{iIN} 入力"H"パルス幅	100		ns
$t_w(TAL)$	TA_{iIN} 入力"L"パルス幅	100		ns

表1.26.12. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TA_{iOUT} 入力サイクル時間	2000		ns
$t_w(UPH)$	TA_{iOUT} 入力"H"パルス幅	1000		ns
$t_w(UPL)$	TA_{iOUT} 入力"L"パルス幅	1000		ns
$t_{su}(UP-T_{iN})$	TA_{iOUT} 入力セットアップ時間	400		ns
$t_h(T_{iN}-UP)$	TA_{iOUT} 入力ホールド時間	400		ns

電気的特性

タイミング必要条件

(指定のない場合は、 $V_{cc}=5V$, $V_{ss}=0V$, $T_a = -40 \sim 85$ (85 保証版), $T_a = -40 \sim 125$ (125 保証版))

表1.26.13. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiOUT入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiOUT入力"H"パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiOUT入力"L"パルス幅(片エッジカウント)	60		ns
$t_c(TB)$	TBiOUT入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiOUT入力"H"パルス幅(両エッジカウント)	120		ns
$t_w(TBL)$	TBiOUT入力"L"パルス幅(両エッジカウント)	120		ns

表1.26.14. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力"H"パルス幅	200		ns
$t_w(TBL)$	TBiIN入力"L"パルス幅	200		ns

表1.26.15. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力"H"パルス幅	200		ns
$t_w(TBL)$	TBiIN入力"L"パルス幅	200		ns

表1.26.16. シリアルI/O(UART, SI/O)

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	250		ns
$t_w(CKH)$	CLKi入力"H"パルス幅	125		ns
$t_w(CKL)$	CLKi入力"L"パルス幅	125		ns
$t_d(C-Q)$	TxDi / Souti出力遅延時間		100	ns
$t_h(C-Q)$	TxDi / Soutiホールド時間	0		ns
$t_{su}(D-C)$	RxDi / SiNi入力セットアップ時間	外部クロック選択時	45	ns
		内部クロック選択時	120	ns
$t_h(C-D)$	RxDi / SiNi入力ホールド時間	外部クロック選択時	120	ns
		内部クロック選択時	45	ns

表1.26.17. A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	\overline{ADTRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_w(AD)$	\overline{ADTRG} 入力"L"パルス幅	125		ns

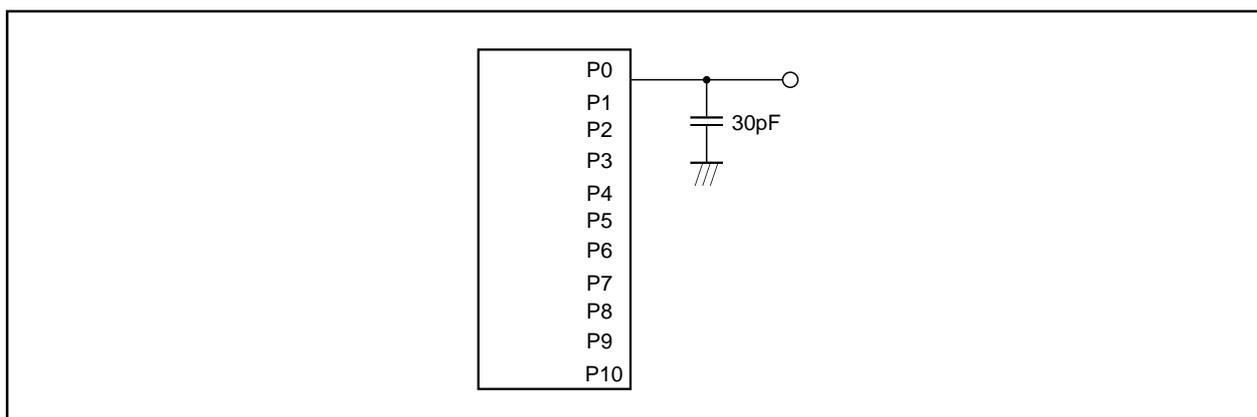


図1.26.1. ポートP0～P10の測定回路

電気的特性

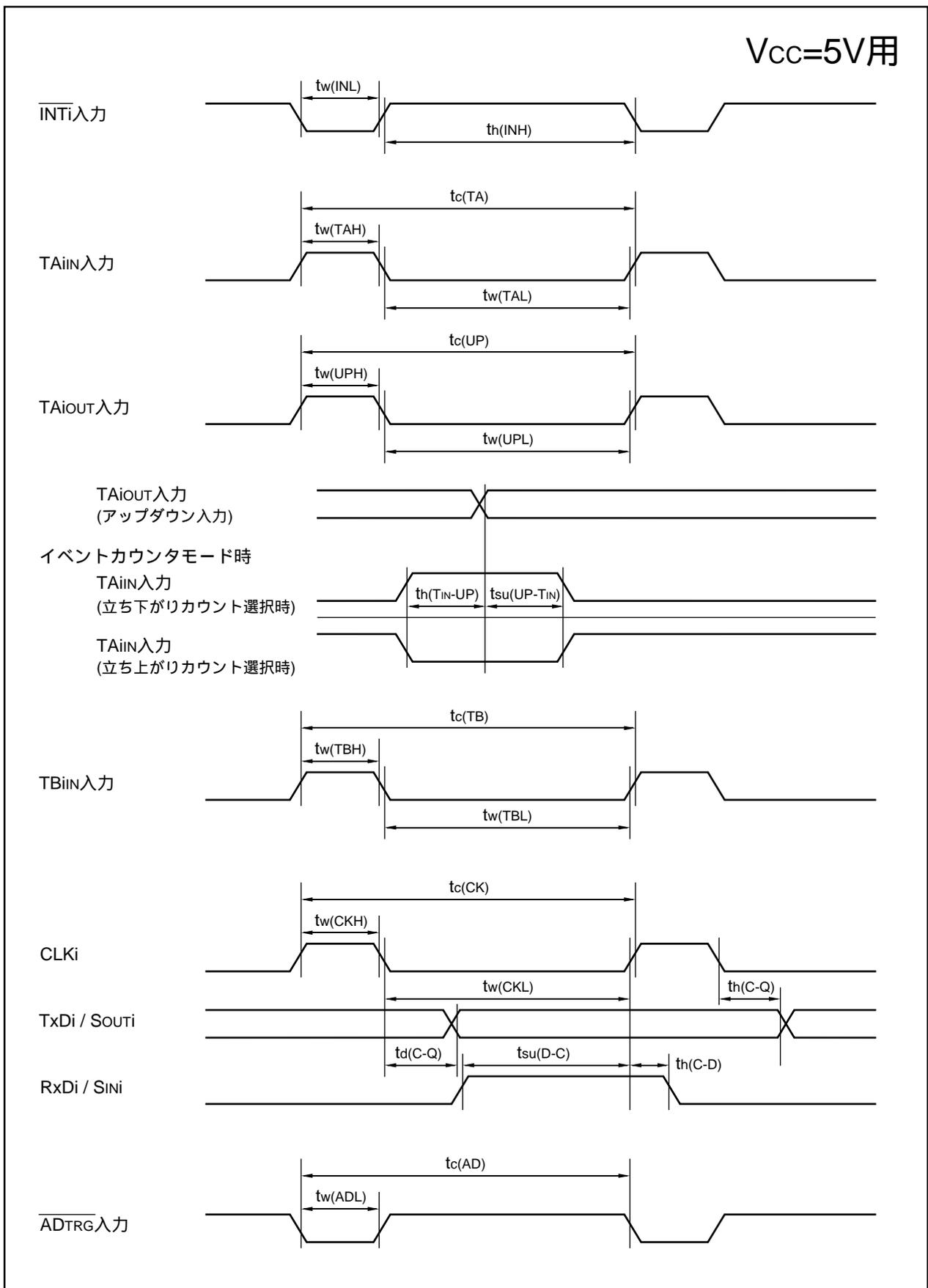


図1.26.2. タイミング図

性能概要

表1.27.1にM16C/62Tグループ(フラッシュメモリ版)の性能概要を示します。

表1.27.1. M16C/62Tグループ(フラッシュメモリ版)の性能概要

項 目		性 能
フラッシュメモリの動作モード		3モード (パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.27.2を参照してください。
	ブートROM領域	1分割 (8Kバイト) (注1)
プログラム方式		ページ単位 (256バイト単位)
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

M16C/62Tグループ(フラッシュメモリ版)では次のような展開を計画しています。

- (1) ROM容量
- (2) パッケージ
 - 100P6S-A 100ピン プラスチックモールドQFP
 - 80P6S-A 80ピン プラスチックモールドQFP
- (3) 85 保証版、105 保証版のサポート
 - 105 保証版は、85 保証版と動作周囲温度および使用条件が異なりますので、ご使用の際は三菱電機または特约店へお問い合わせください。

ROMサイズ (バイト)	100ピン版	80ピン版
256K	M30624FGTFP* M30624FGUFP*	M30625FGTGP* M30625FGUGP*
128K	M30620FCTFP M30620FCUFP*	M30621FCTGP M30621FGUGP*
64K		
64K		

フラッシュメモリ版

* : 開発中

図1.27.1. ROM展開

2001年9月現在

サポートを行う予定の製品を表1.27.2に示します。

表1.27.2. 製品一覧表

2001年9月現在

形 名	ROM容量	RAM容量	特 性	パッケージ	備 考
M30620FCTFP	128Kバイト	10Kバイト	85 保証版	100P6S-A	フラッシュメモリ版
M30620FUTFP*			105 保証版		
M30624FGTFP*	256Kバイト	20Kバイト	85 保証版		
M30624FUTFP*			105 保証版		
M30621FCTGP	128Kバイト	10Kバイト	85 保証版	80P6S-A	
M30621FUTGP*			105 保証版		
M30625FGTGP*	256Kバイト	20Kバイト	85 保証版		
M30625FUTGP*			105 保証版		

* : 開発中

フラッシュメモリ

M16C/62Tグループ(フラッシュメモリ版)は、単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.27.2に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効/無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

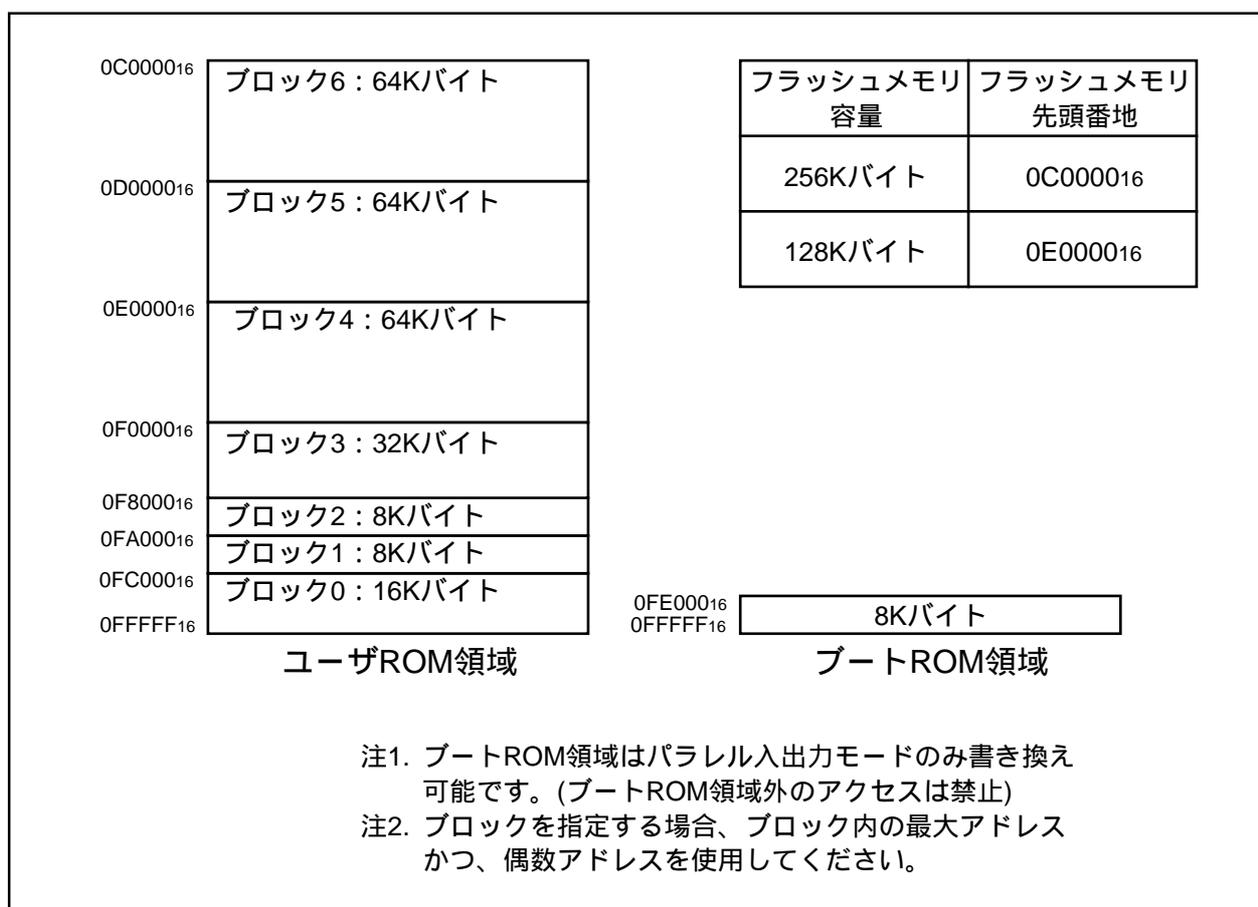


図1.27.2. 内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、図1.27.2に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図1.27.2に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレースコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(03B7₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA₀は“0”)へライト、リードしてください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図1.28.1にフラッシュメモリ制御レジスタ0およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”に設定するためには、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態では、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスする領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください。

フラッシュメモリ制御レジスタ1のビット3は、内蔵フラッシュメモリの電源をoffするビットです。このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ1を特別に設定する必要がありません。

図1.28.2にCPU書き換えモードの設定/解除フローチャート、図1.28.3に低速モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

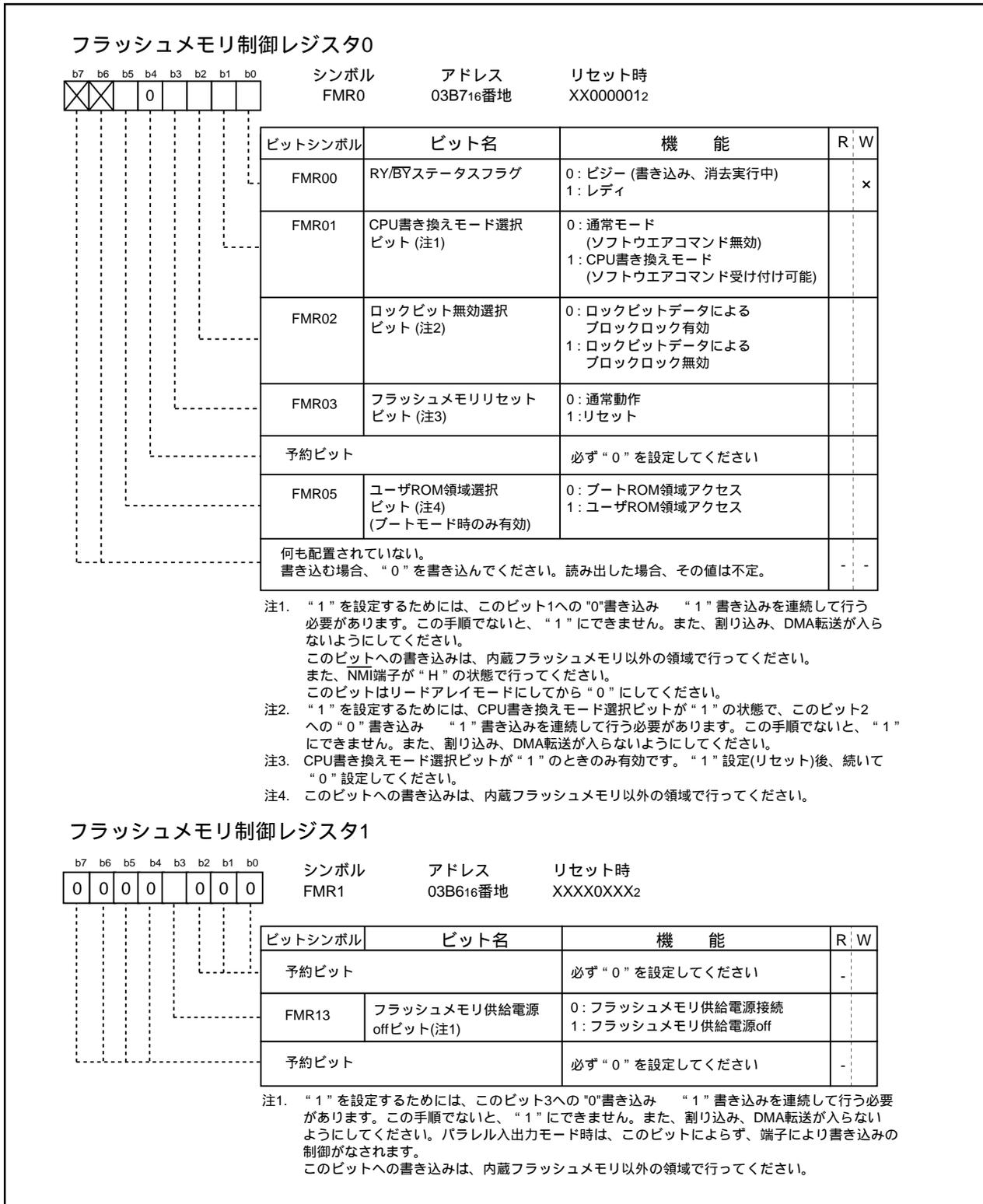


図1.28.1. フラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1

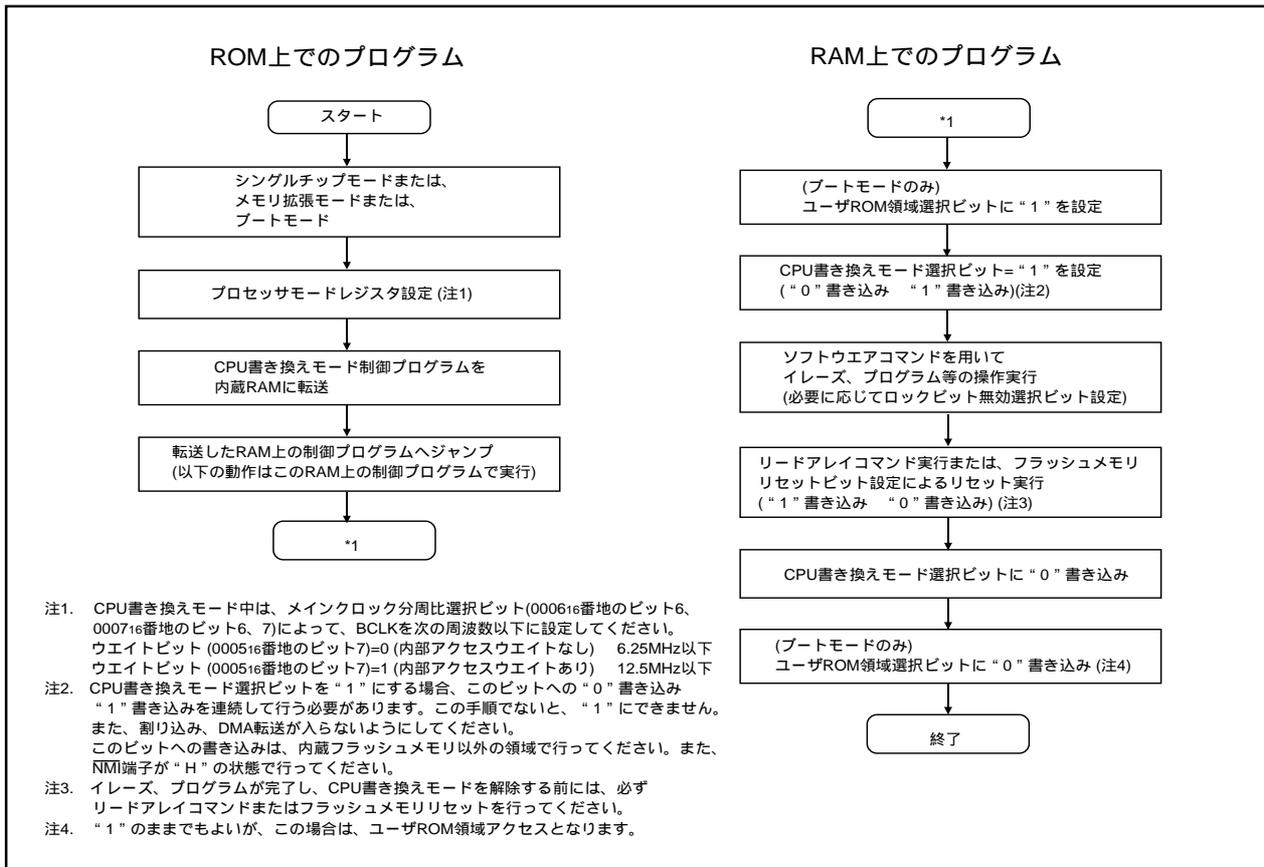


図1.28.2. CPU書き換えモードの設定/解除フローチャート

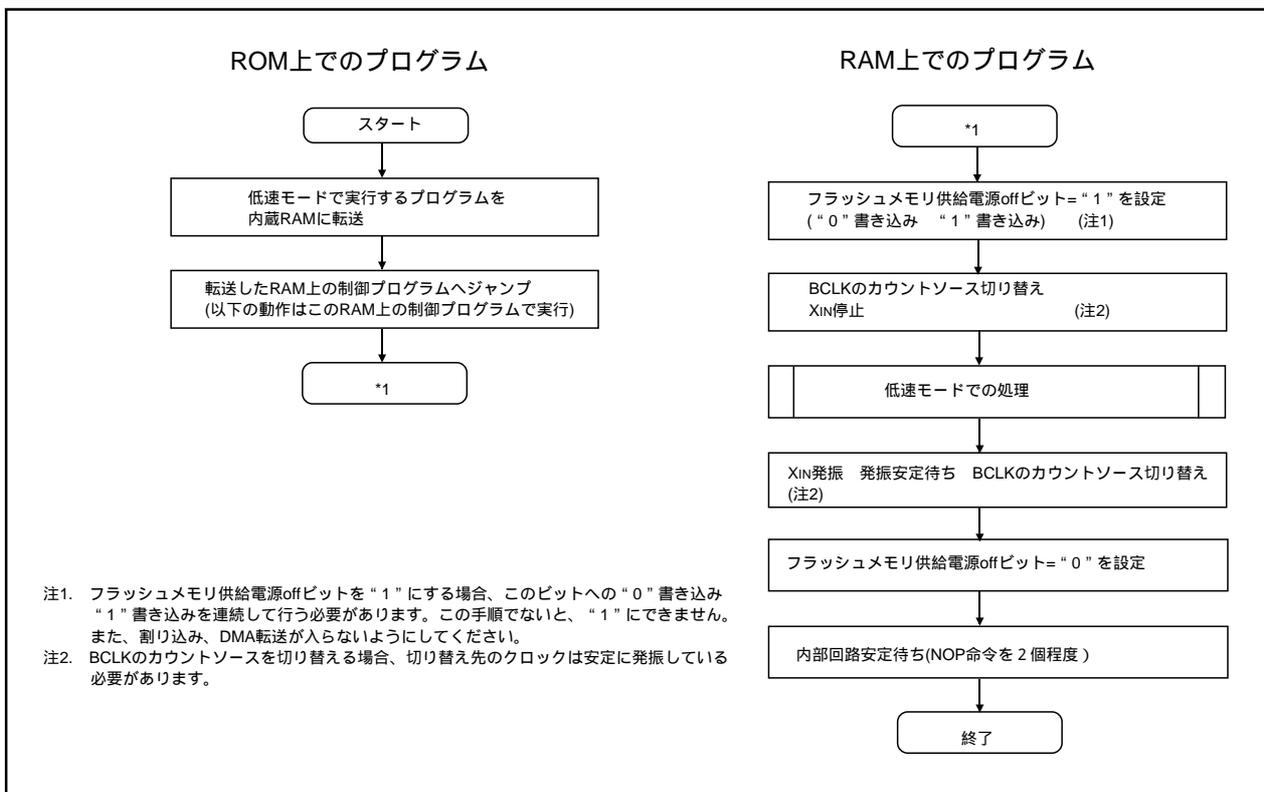


図1.28.3. 低速モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)によって、BCLKを次の周波数以下に設定してください。

ウエイトビット(0005 ₁₆ 番地のビット7) = 0(内部アクセスウエイト無し)	6.25MHz以下
ウエイトビット(0005 ₁₆ 番地のビット7) = 1(内部アクセスウエイト有り)	12.5MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。 $\overline{\text{NMI}}$ 割り込み、監視タイマ割り込みは、各割り込み発生時に強制的にフラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1が初期化され、通常モードに戻るので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。 $\overline{\text{NMI}}$ 割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。

(4)内部予約領域拡張ビット(0005₁₆番地のビット3)

内部予約領域拡張ビット(0005₁₆番地のビット3)により内部メモリの予約領域を変更できます。しかし、CPU書き換えモード選択ビット(03B7₁₆番地のビット1)を“1”にすると、自動的に内部予約領域拡張ビット(0005₁₆番地のビット3)も“1”になります。CPU書き換えモード選択ビット(03B7₁₆番地のビット1)を“0”にすると、自動的に内部予約領域拡張ビット(0005₁₆番地のビット3)も“0”に戻ります。この注意事項の対象はRAM15Kバイト越え、またはフラッシュメモリ192Kバイト越えの製品です。

(5)リセット

常に受け付けます。リセット解除時、0C0000₁₆番地～0CFFFF₁₆番地は予約領域でアクセスできません。したがって、この領域をユーザROM領域内に持つ製品の場合、リセットベクタにはこの領域のアドレスを書かないでください。プログラムで内部予約領域拡張ビット(0005₁₆番地のビット3)を変更することにより、アクセス可能となります。

(6)アクセス禁止

CPU書き換えモード選択ビット、フラッシュメモリ供給電源offビット、ユーザROM領域選択ビットは、内蔵フラッシュメモリ以外の領域のプログラムで書き込みを行ってください。

(7)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビット、フラッシュメモリ供給電源offビットを“1”に設定する場合は、“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

CPU書き換えモード選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、 $\overline{\text{NMI}}$ 端子が“H”の状態で行ってください。

(8) ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのぶろっくの書き換えが正常でない場合があります。その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(9) ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

ソフトウェアコマンド

表1.28.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表1.28.1. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	ライト	X(注6)	FF16						
リードステータスレジスタ	ライト	X	7016	リード	X	SRD(注2)			
クリアステータスレジスタ	ライト	X	5016						
ページプログラム(注3)	ライト	X	4116	ライト	WA0(注3)	WD0(注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	2016	ライト	BA(注4)	D016			
イレーズ全アンロックブロック	ライト	X	A716	ライト	X	D016			
ロックビットプログラム	ライト	X	7716	ライト	BA	D016			
リードロックビットステータス	ライト	X	7116	リード	BA	D6(注5)			

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD = ステータスレジスタデータ

注3. WA = ライトアドレス、WD = ライトデータ

WAとWDは0016からFE16(バイトアドレス、ただし偶数アドレス)へ順番に設定されなければなりません。ページサイズは256バイトです。

注4. BA = ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス。)

注5. D6はブロックロックステータスに対応します。D6 = “1” : 非ブロックロック、D6 = “0” : ブロックロック。

注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

ページプログラムコマンド(4116)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“4116”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA0～A7は“0016”から“FE16”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)または、リードロックビットステータスコマンド(7116)をライトするまでまたは、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.28.4にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

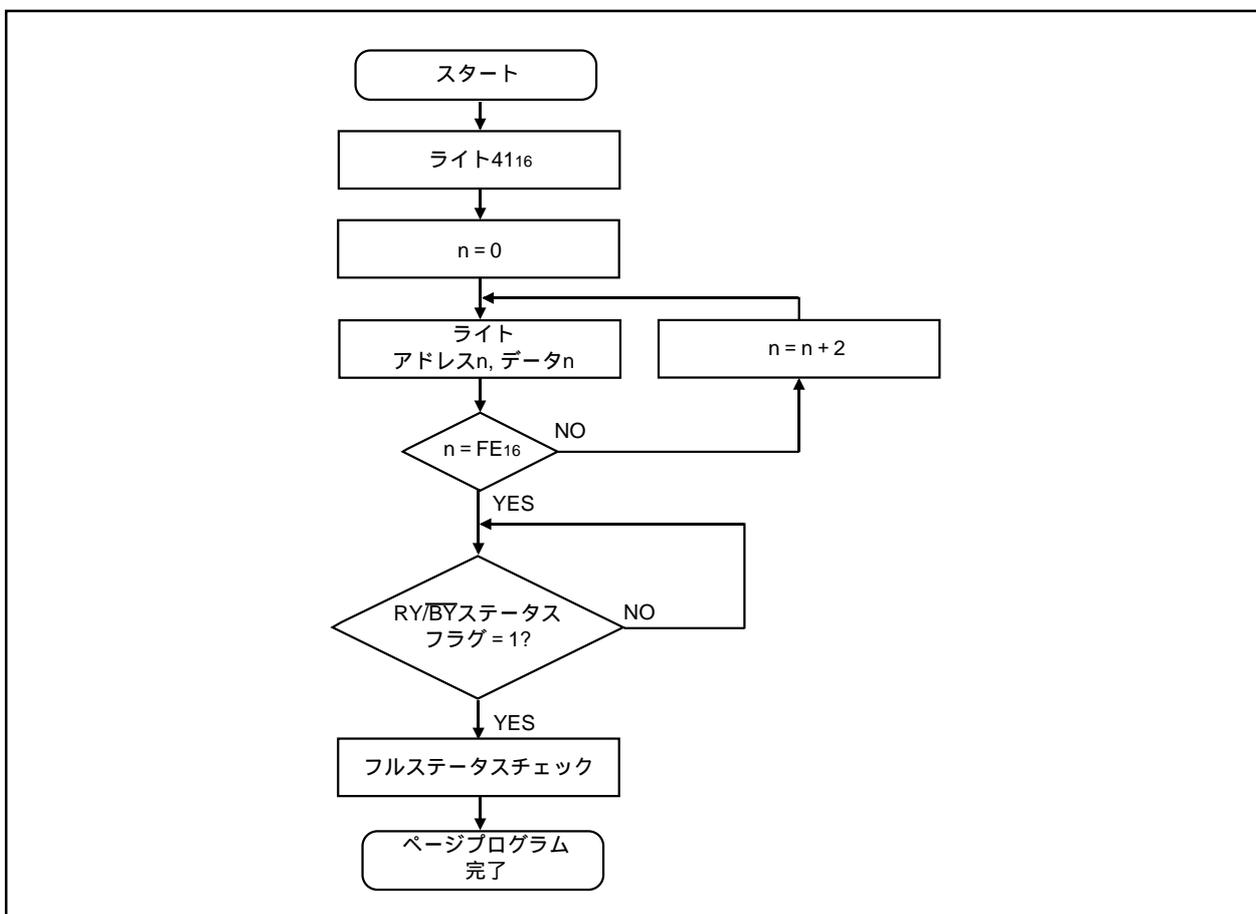


図1.28.4. ページプログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)またはリードロックビットステータスコマンド(71₁₆)をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/ $\overline{\text{BY}}$ ステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.28.5にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

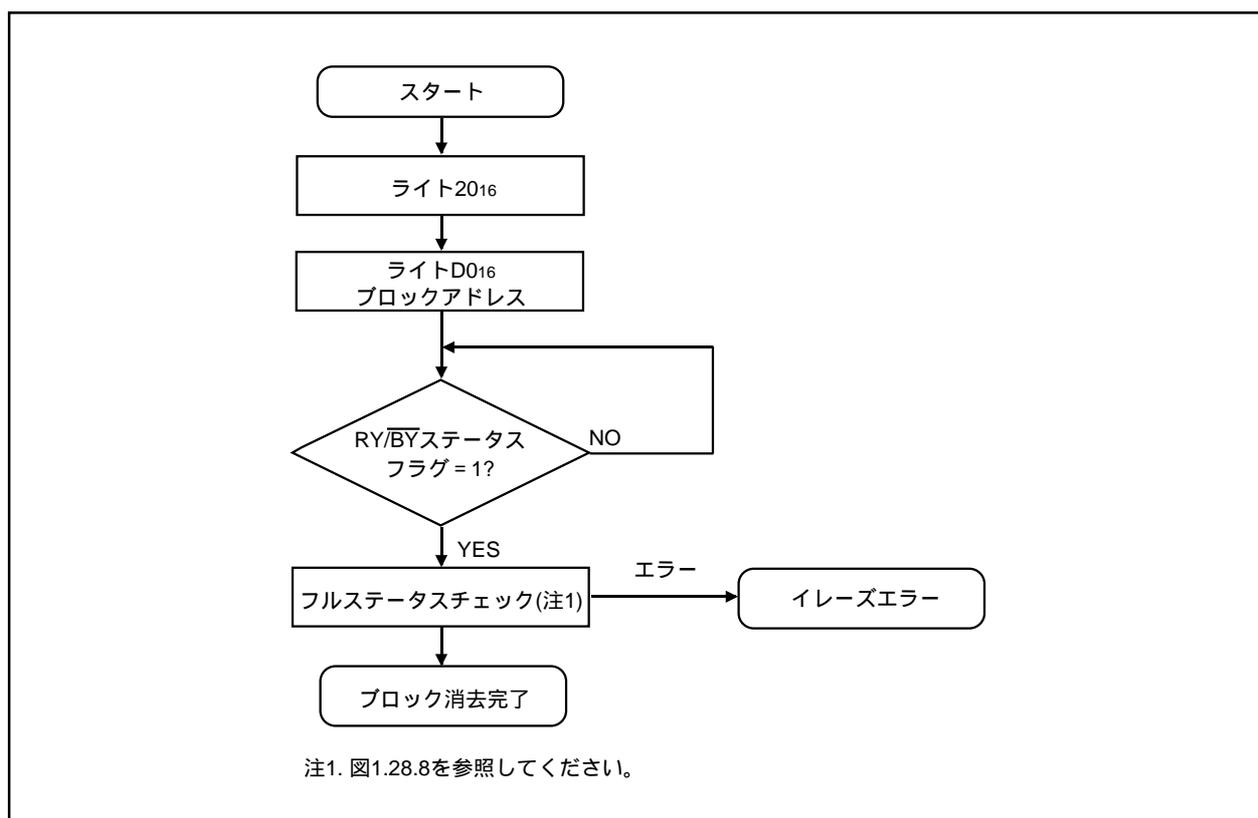


図1.28.5. ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A7₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ A7₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“ 1 ”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“ 0 ”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“ 1 ”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(77₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 77₁₆ ”、続く第2バスサイクルで確認コマンド“ D0₁₆ ”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。

図1.28.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

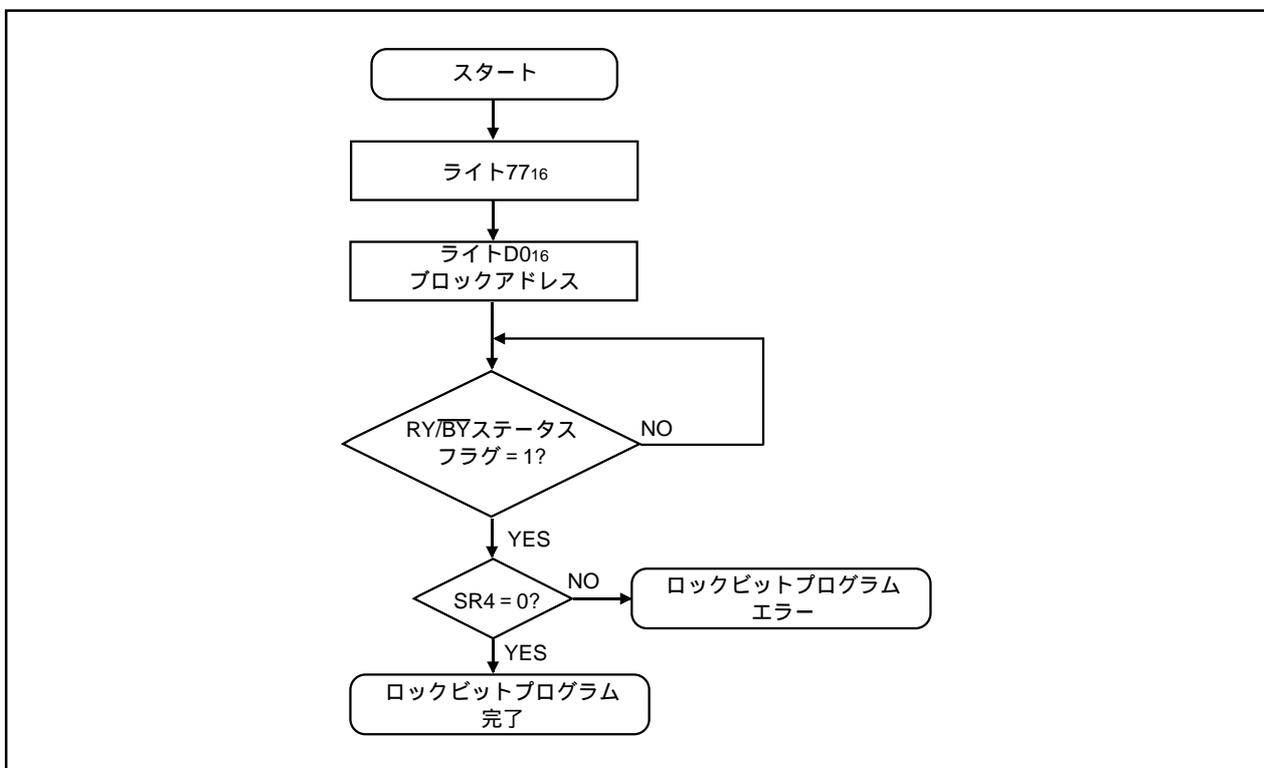


図1.28.6. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(7116)

第1バスサイクルでコマンドコード“7116”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックビットの状態がデータバス(D6)へ読み出されます。

図1.28.7にリードロックビットプログラムのフローチャート例を示します。

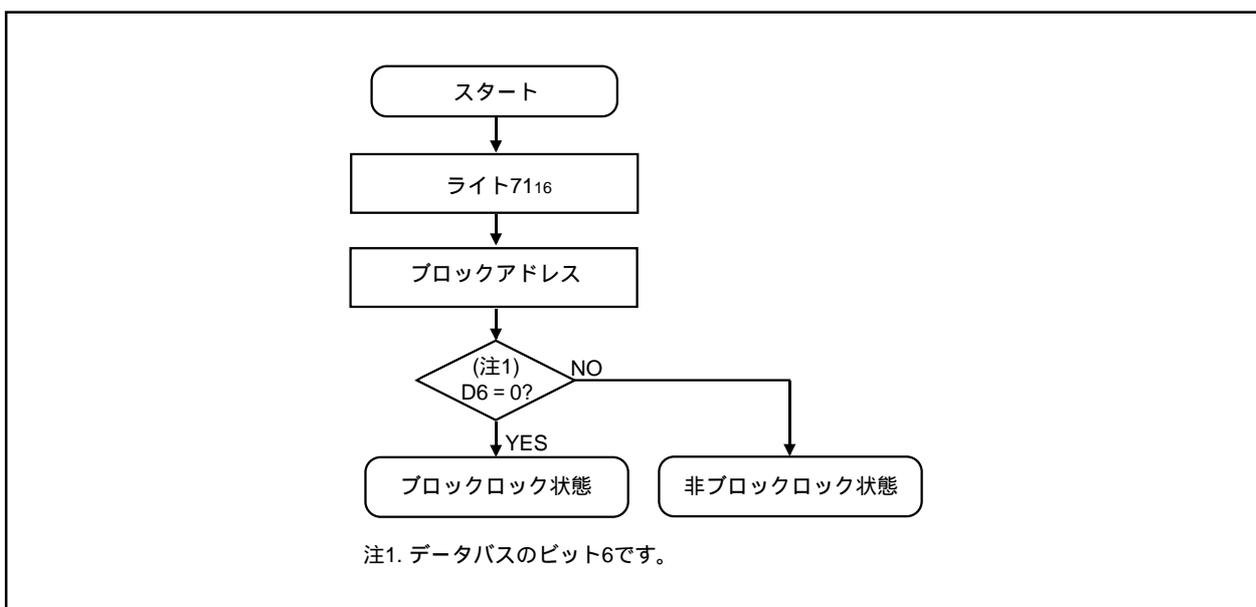


図1.28.7. リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.27.2に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

- (1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。
- (2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレース、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。ステータスレジスタを表1.28.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。リセット解除後、ステータスレジスタは、“80₁₆”になります。各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレースステータス(SR5)

イレースステータスはオートイレースの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレースステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を示すもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド以外のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

- (1) 規定コマンドが正しく入力されなかった場合。
- (2) ロックビットプログラム(77₁₆/D0₁₆)、ブロックイレーズ(20₁₆/D0₁₆)、イレーズ全アンロックブロック(A7₁₆/D0₁₆)の第2バスサイクルのデータにD0₁₆またはFF₁₆以外のデータを入力した場合。
ただし、FF₁₆を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80₁₆”を出力し、書き込みがフェイルしたときは“90₁₆”を出力、そして、過剰書き込みが発生したときに“88₁₆”が出力されます。

表1.28.2. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定 義	
		“1”	“0”
SR7 (bit 7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit 6)	リザーブ	—	—
SR5 (bit 5)	イレーズステータス	エラー終了	正常終了
SR4 (bit 4)	プログラムステータス	エラー終了	正常終了
SR3 (bit 3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit 2)	リザーブ	—	—
SR1 (bit 1)	リザーブ	—	—
SR0 (bit 0)	リザーブ	—	—

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。

図1.28.8にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

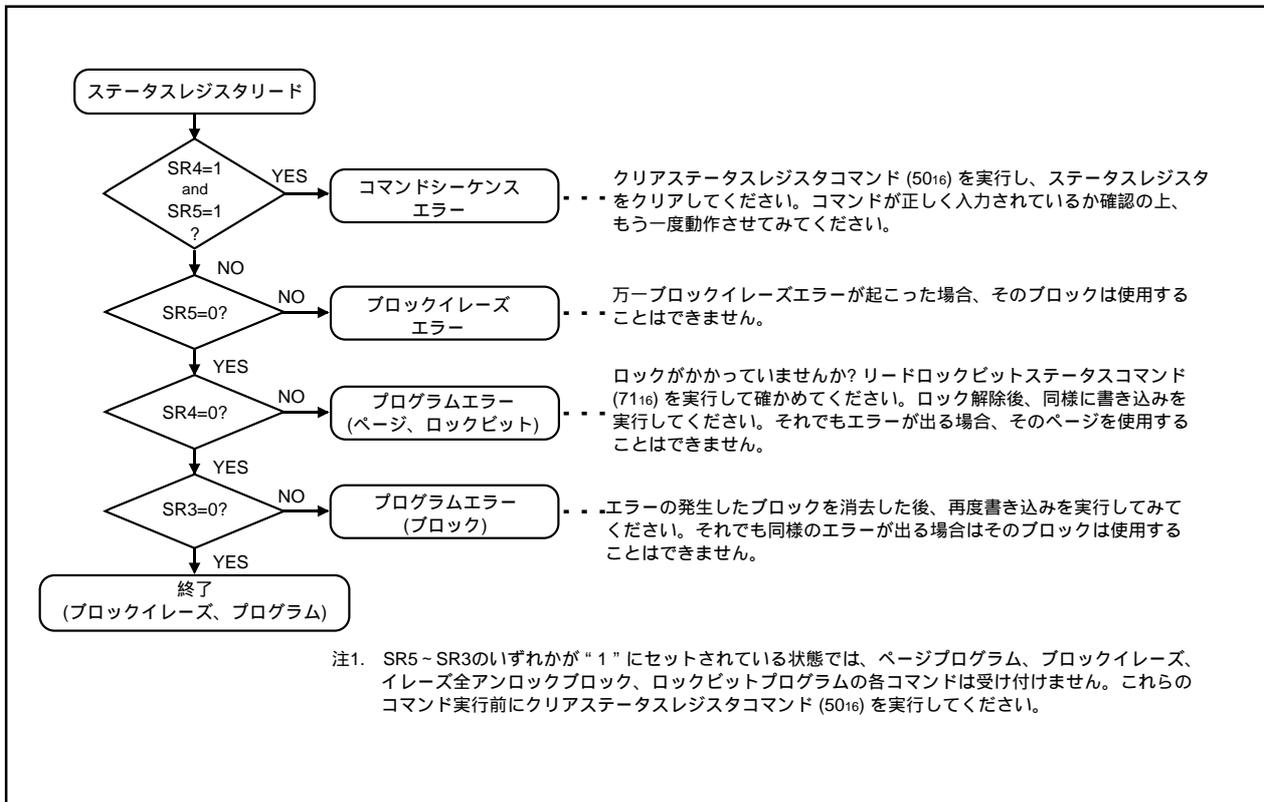


図1.28.8. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFF₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFF₁₆番地)の構成を図1.29.1に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

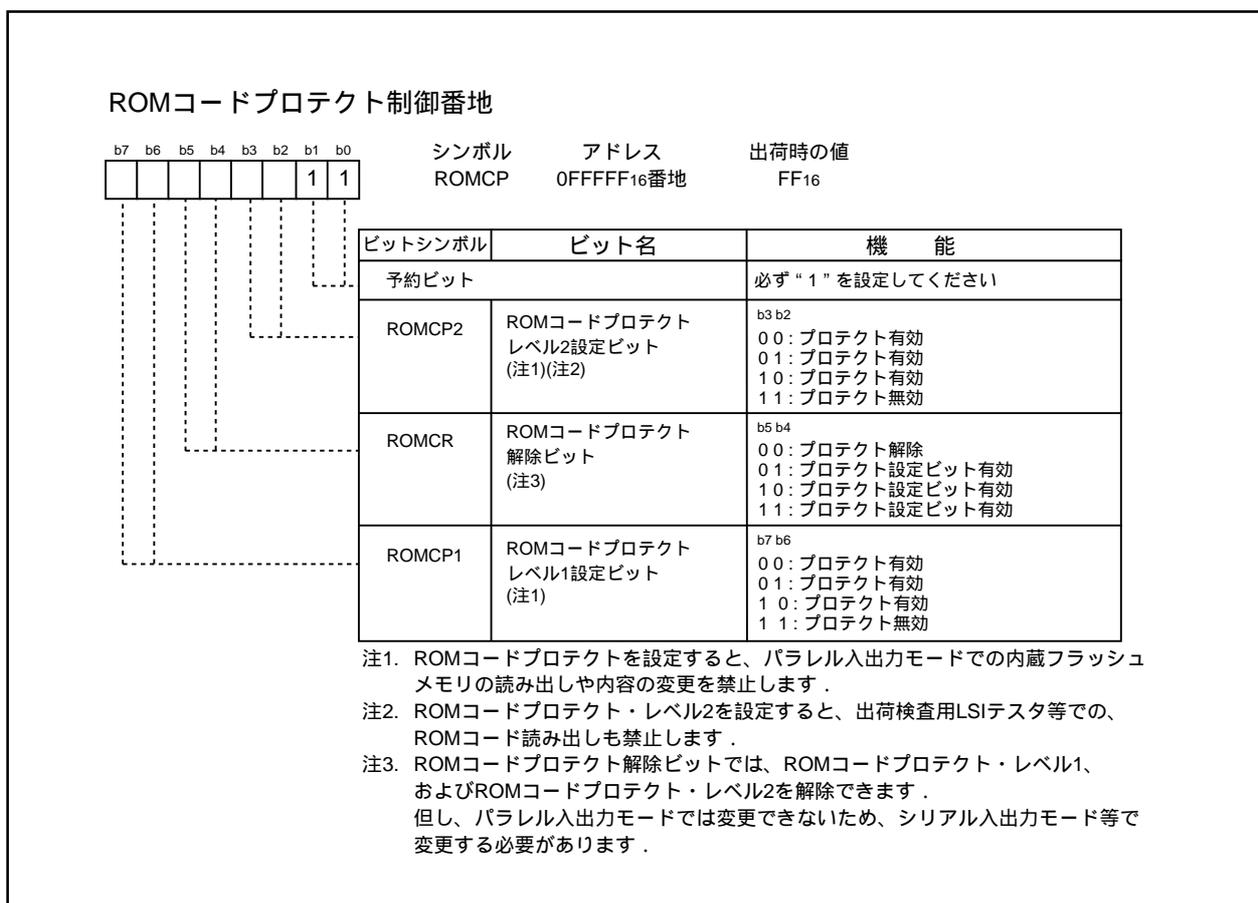


図1.29.1. ROMコードプロテクト制御番地の構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

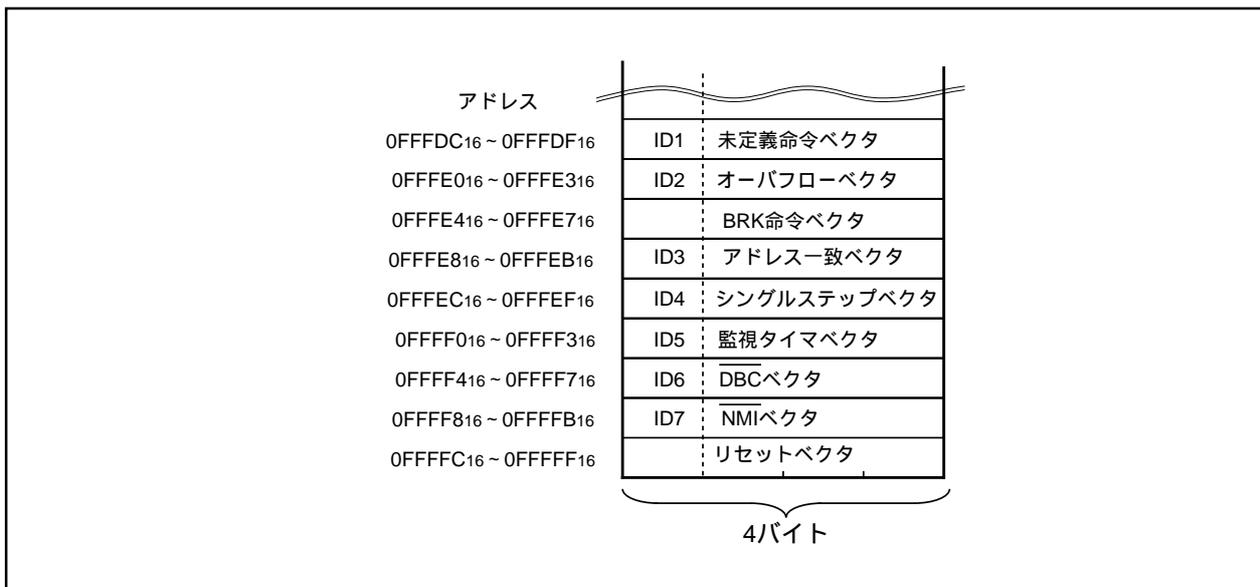


図1.29.2. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M16C/62Tグループ(フラッシュメモリ版)をサポートしている専用ライターを使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.27.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図1.27.1に示します。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、0FE000₁₆~0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。
XOUT	クロック出力	出力	外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
BYTE (注1)	BYTE入力	入力	VccまたはVssに接続してください。
AVcc, AVss	アナログ電源入力		AVccはVccに、AVssはVssに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P10 ~ P17 (注2)	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P40 ~ P47 (注2)	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P51 ~ P54, P56, P57	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P50	CE入力	入力	“H”を入力してください。
P55	EPM入力	入力	“L”を入力してください。
P60 ~ P63	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P64	BUSY出力	出力	標準シリアルモード1: BUSY信号の出力端子です。 標準シリアルモード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65	SCLK入力	入力	標準シリアルモード1: シリアルクロックの入力端子です。 標準シリアルモード2: “L”を入力してください。
P66	RxD入力	入力	シリアルデータの入力端子です。
P67	TxD出力	出力	シリアルデータの出力端子です。
P70 ~ P77 (注2)	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P80 ~ P84, P86, P87	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97 (注2)	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1. M30621FCTGP、M30625FGTGPでは、マイクロコンピュータ内部で空き端子処理が施されています。

注2. M30621FCTGP、M30625FGTGPでは、P10 ~ P17、P44 ~ P47、P72 ~ P75、P91は外部端子への接続がありません。

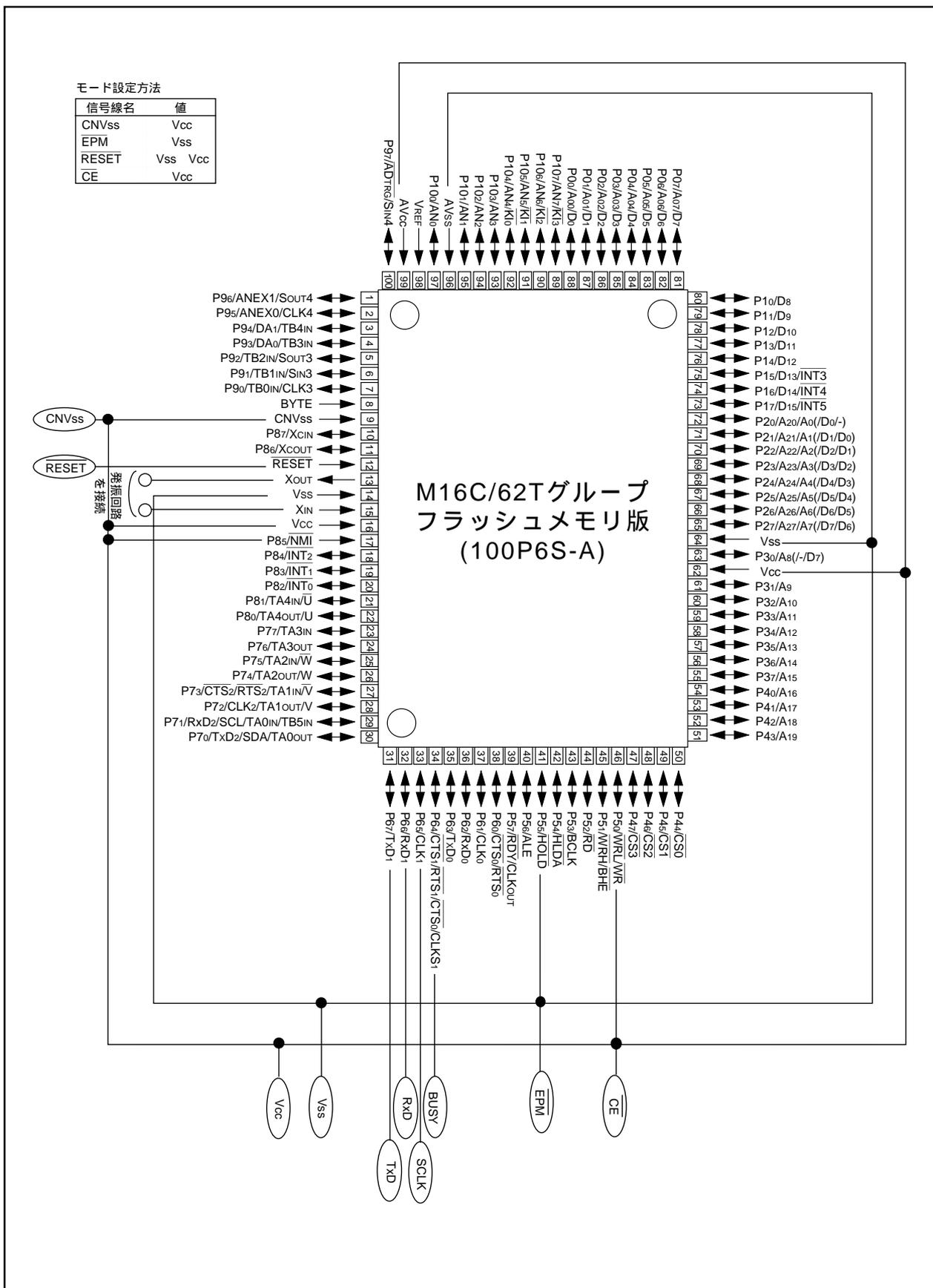


図1.31.1. シリアル入出力モード時の端子結線図(100ピン版)

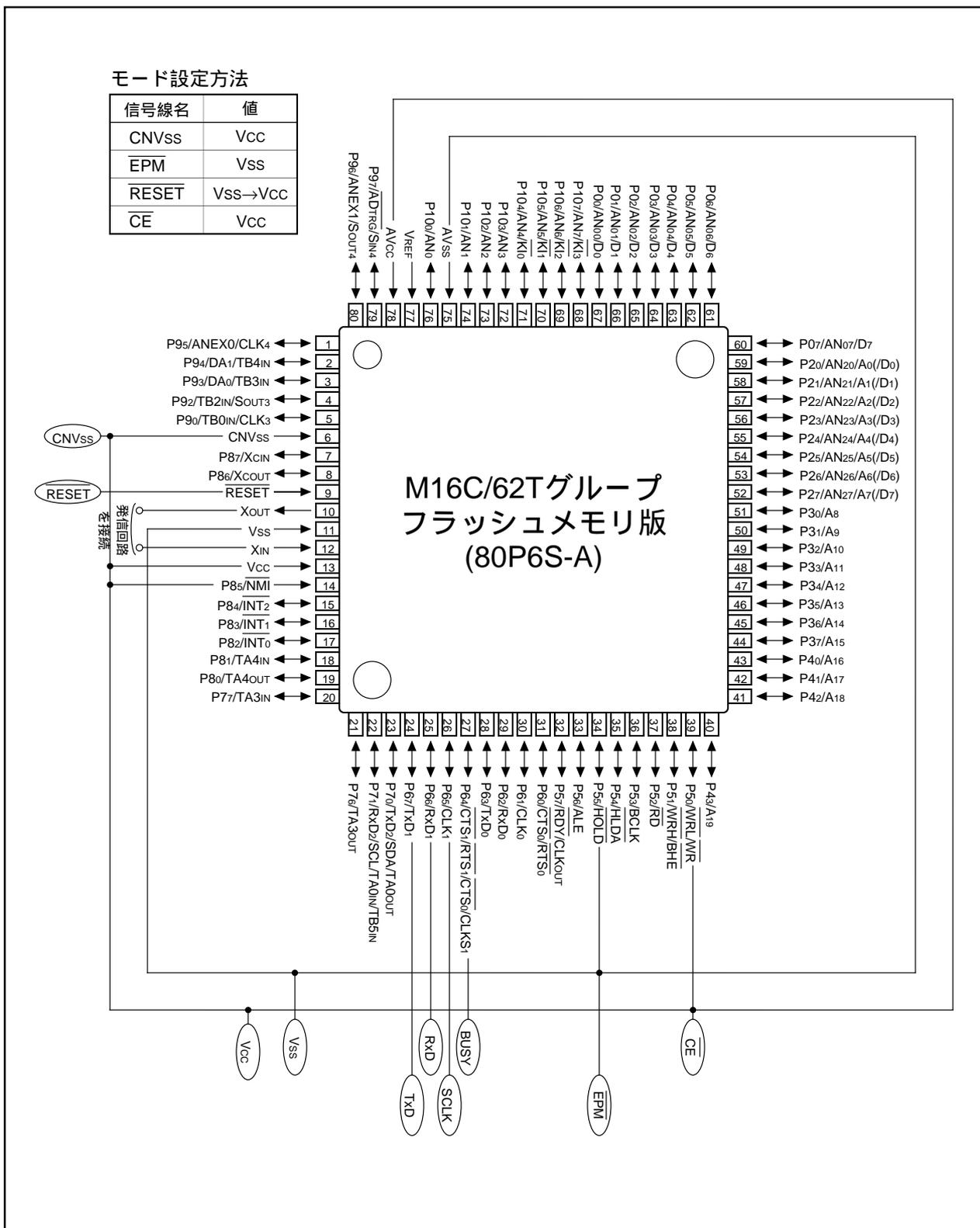


図1.31.2. シリアル入出力モード時の端子結線図(80ピン版)

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形のモード1
- ・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(C \bar{E})端子を“H”、P55(E $\bar{P}M$)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.31.1、図131.2に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK₁端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK₁端子を“H”にしてリセットを解除します。UART1の端子CLK₁、RxD₁、TxD₁、RTS₁(BUSY)の4本を使用します。CLK₁端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TxD₁端子はCMOS出力です。RTS₁(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK₁端子を“L”にしてリセットを解除します。UART1の端子RxD₁、TxD₁の2本を使用します。

標準シリアル入出力モードでは、図1.31.19に示すユーザROM領域のみ書き換え可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライター)から送られてくるコマンドを受け付けません。

標準シリアル入出力モード1(クロック同期形)機能概要

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がり同期して、RxD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がり同期して、TxD1端子から外部に出力します。

TxD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表1.31.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します。

表1.31.1. ソフトウェアコマンド一覧表(標準シリアル入出力モード1)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全ブロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードブロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ブロックビットデータ 出力				受付不可
8	ブロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ブロックビット有効	7A ₁₆							受付不可
10	ブロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
13	ページジョン情報出力機能	FB ₁₆	ページジョンデータ 出力	ページジョンデータ 出力	ページジョンデータ 出力	ページジョンデータ 出力	ページジョンデータ 出力	~9バイト目 ページジョンデータ出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送。

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては、全コマンドの受付可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

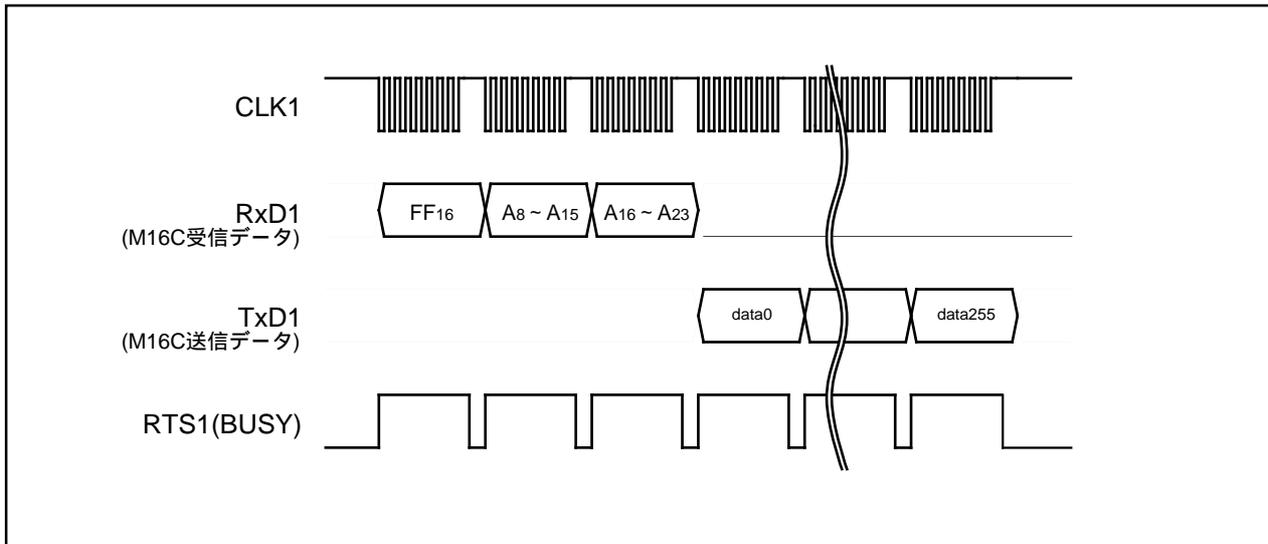


図1.31.3. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

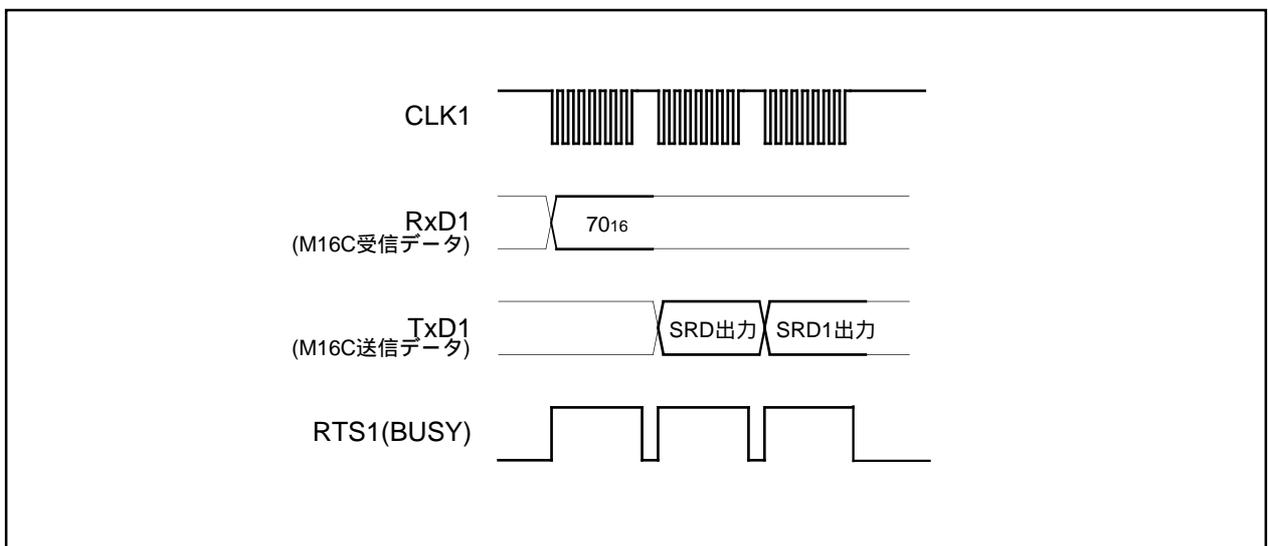


図1.31.4. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS₁(BUSY)信号は“H”から“L”に変化します。

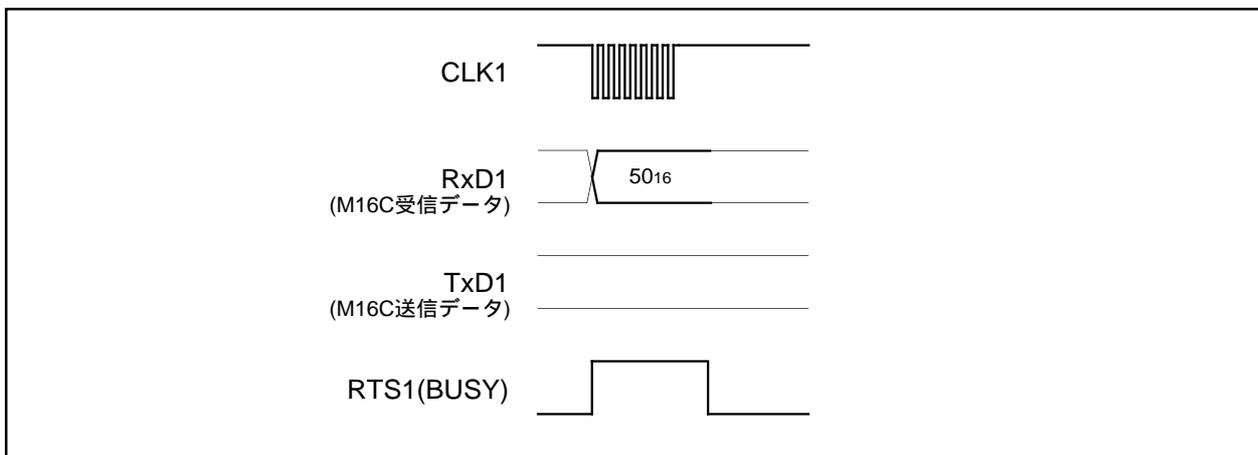


図1.31.5. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降、ライトデータ(D₀~D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS₁(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

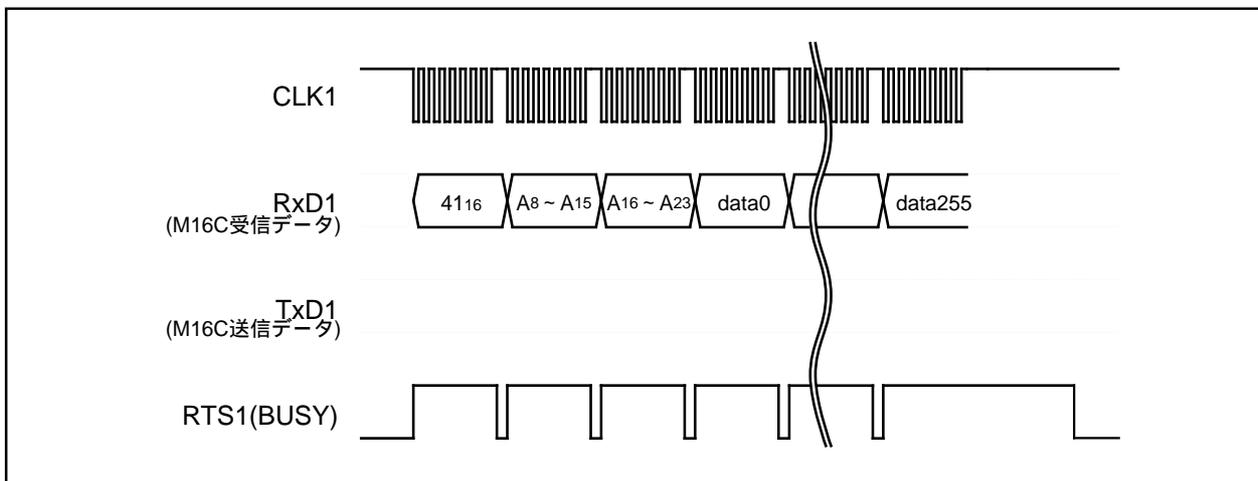


図1.31.6. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₁(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

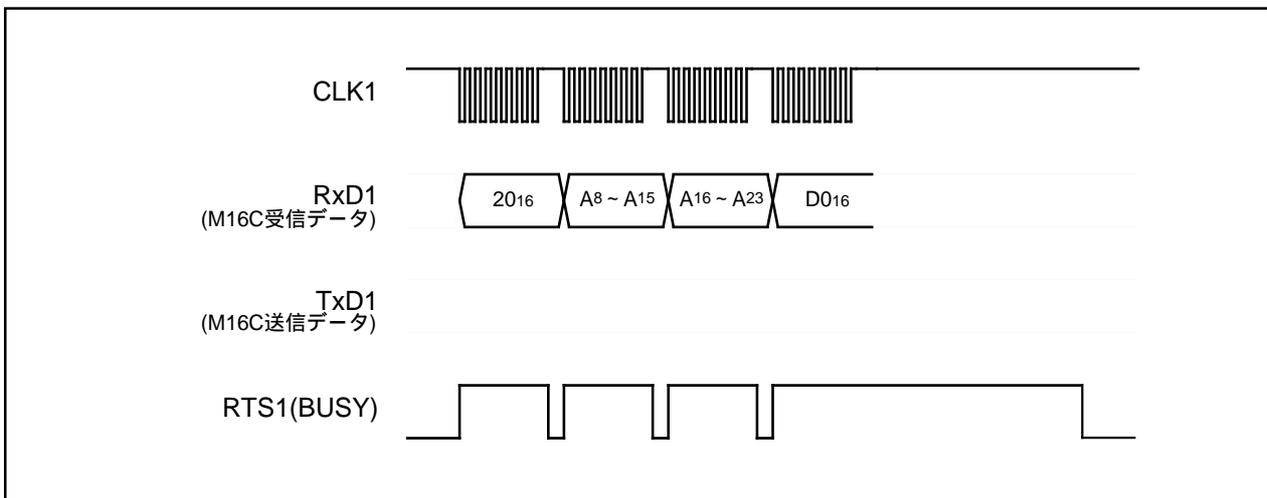


図1.31.7. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS₁(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

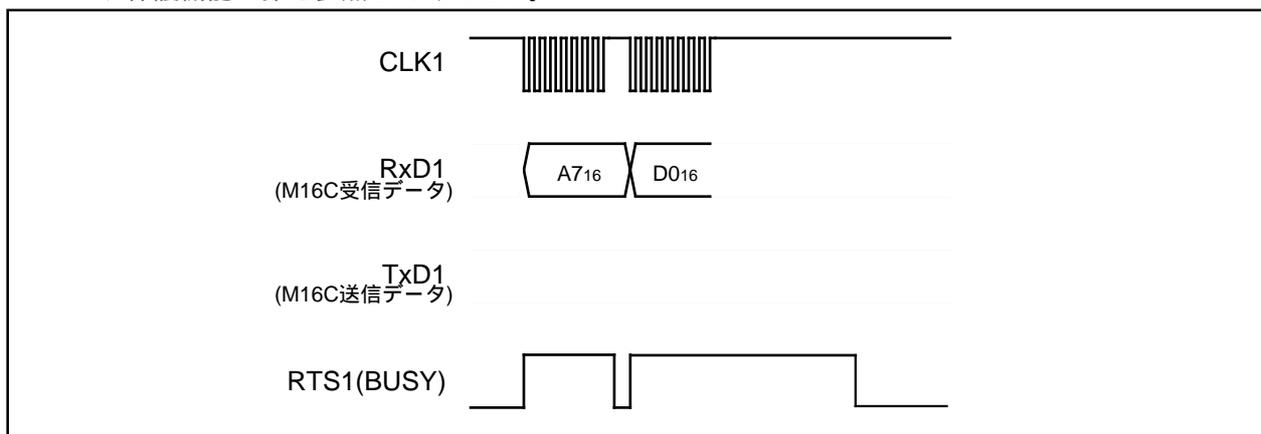


図1.31.8. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS₁(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

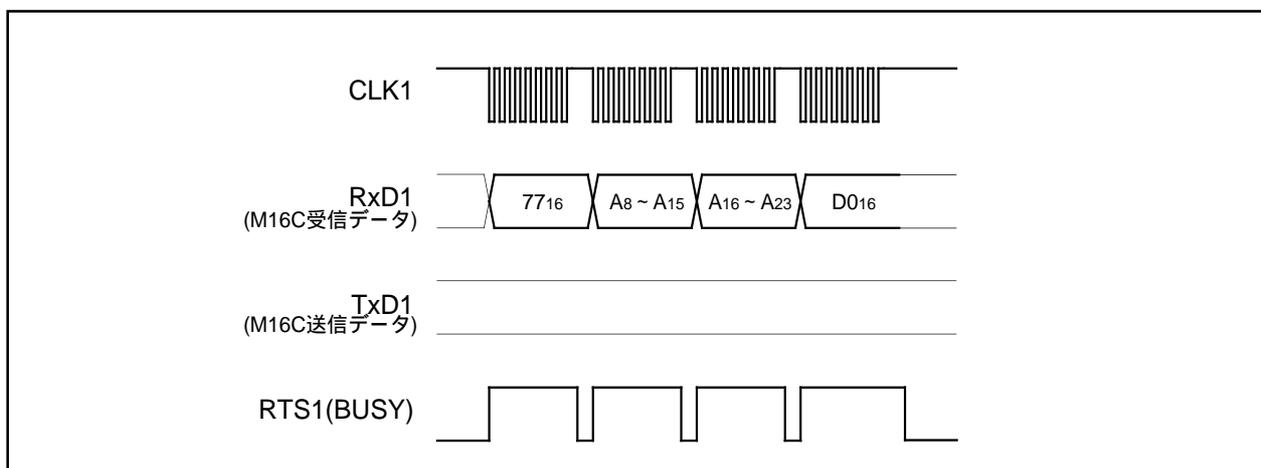


図1.31.9. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

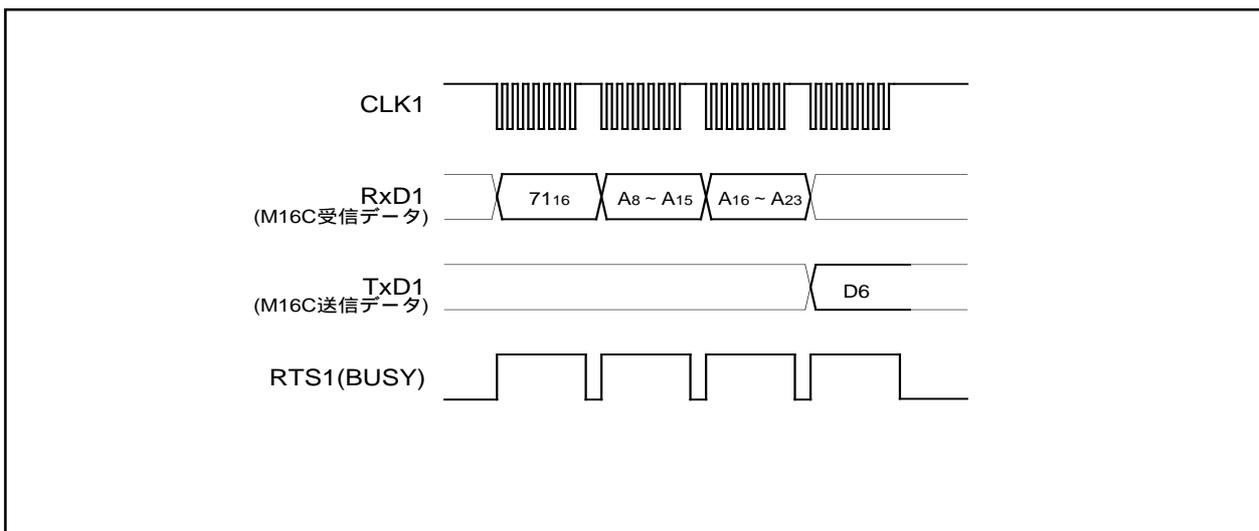


図1.31.10. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

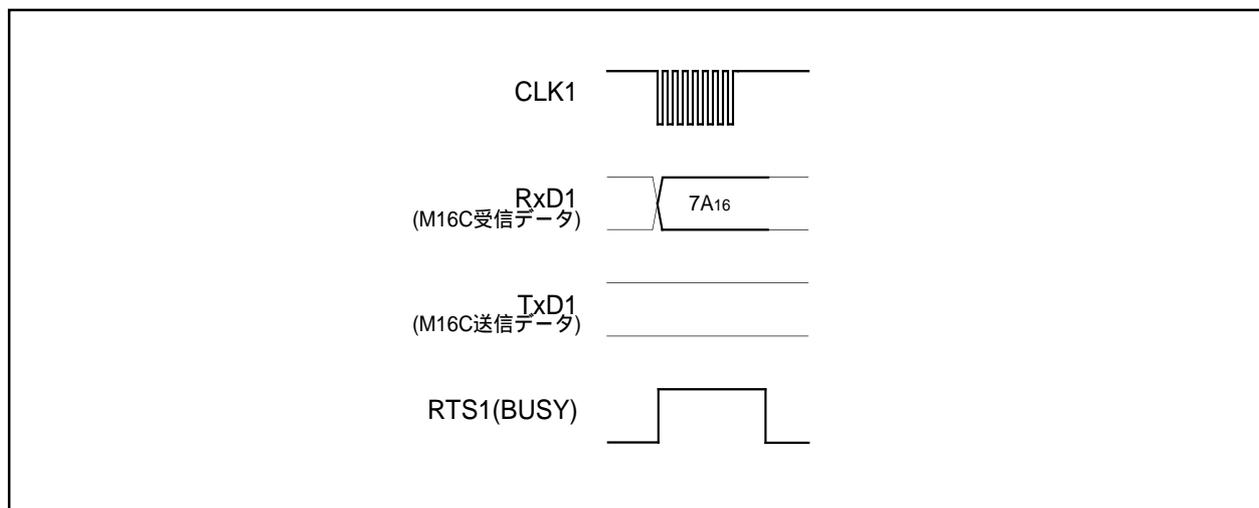


図1.31.11. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0”（ロック状態）であったロックビットデータは、消去終了後“1”（非ロック状態）にセットされます。なお、リセット解除後は、ロックビットは有効となります。

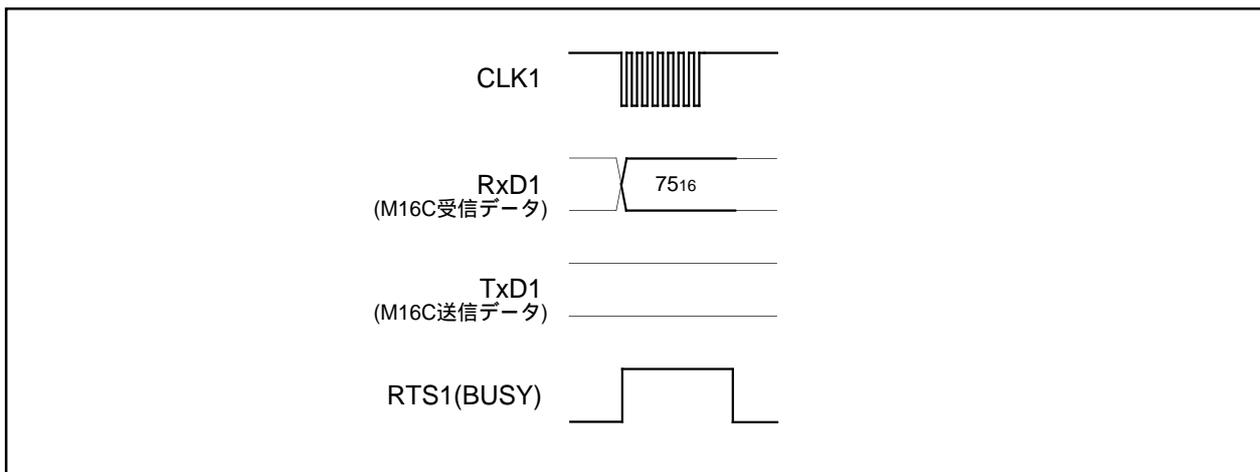


図1.31.12. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

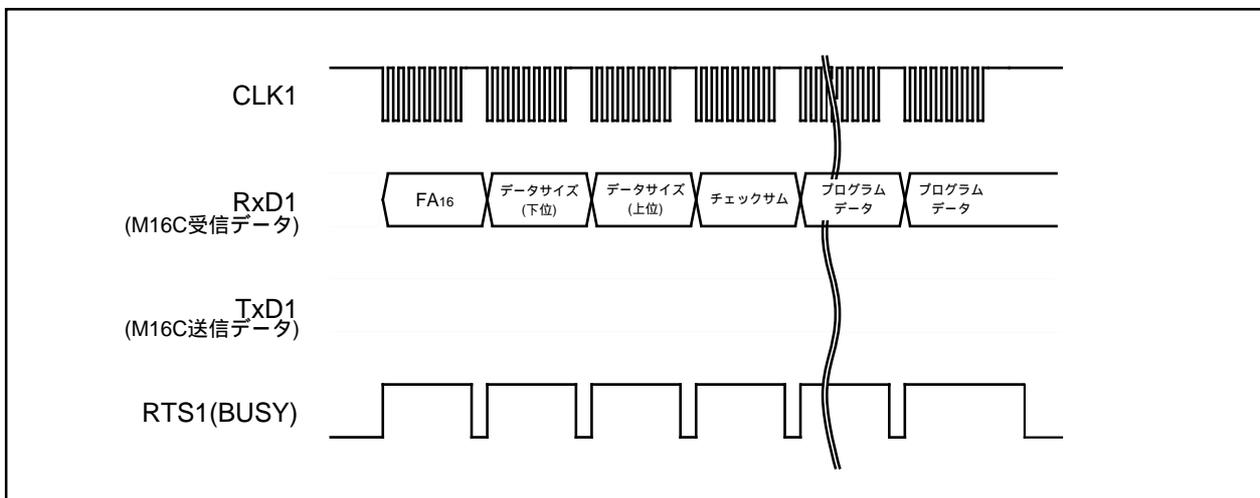


図1.31.13. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

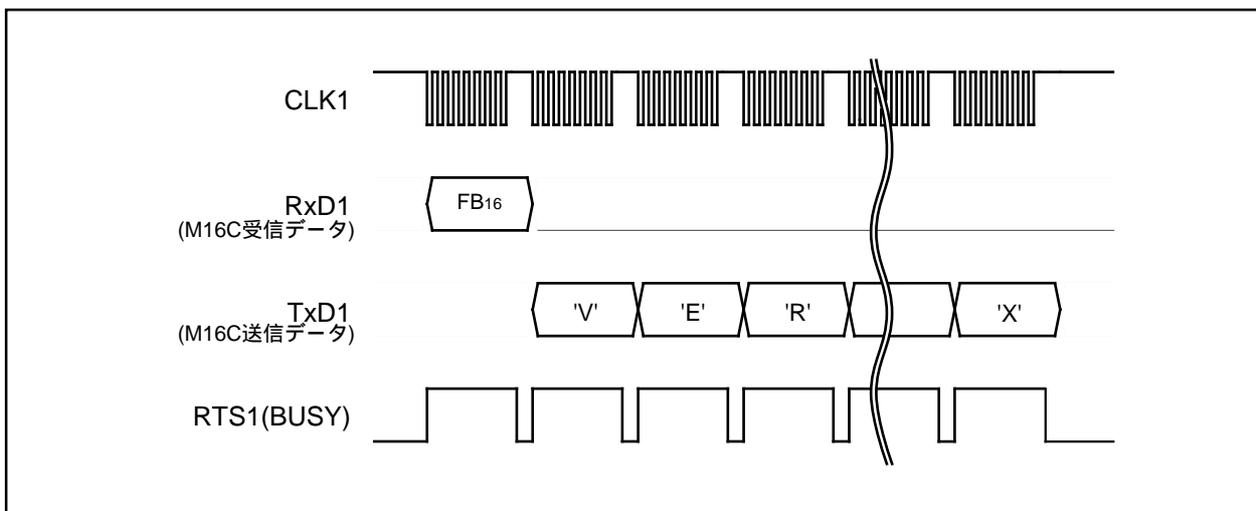


図1.31.14. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

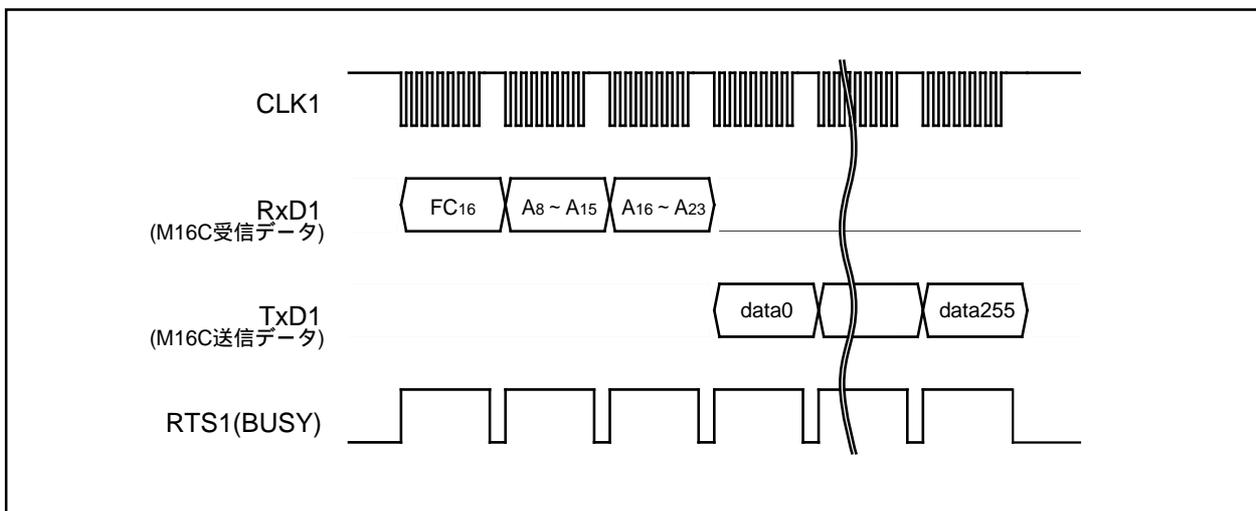


図1.31.15. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀～A₇、A₈～A₁₅、A₁₆～A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

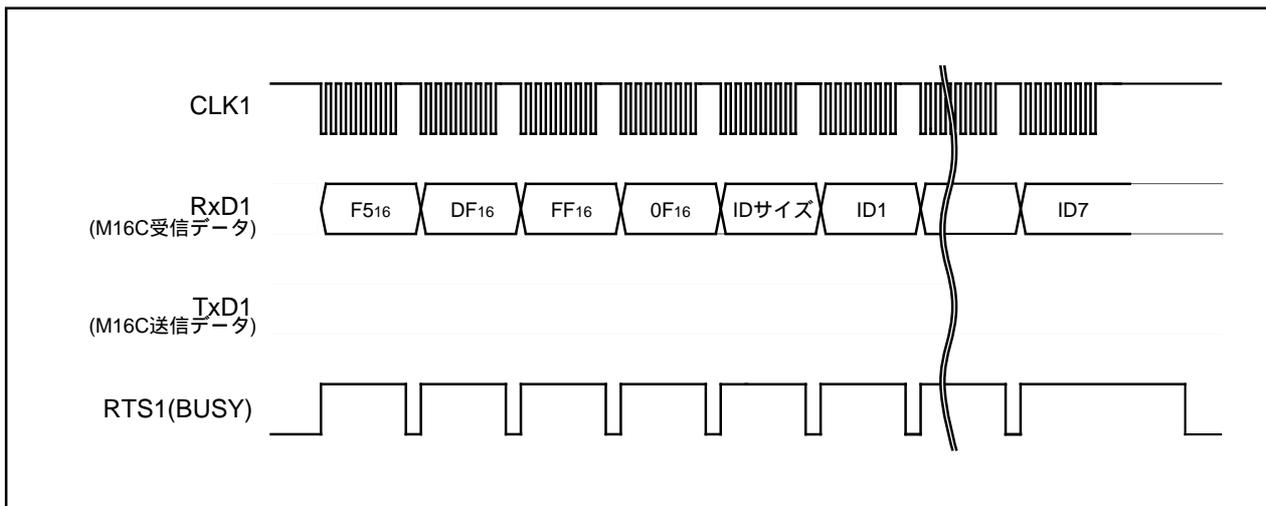


図1.31.16. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE0₁₆、0FFFE3₁₆、0FFFE8₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

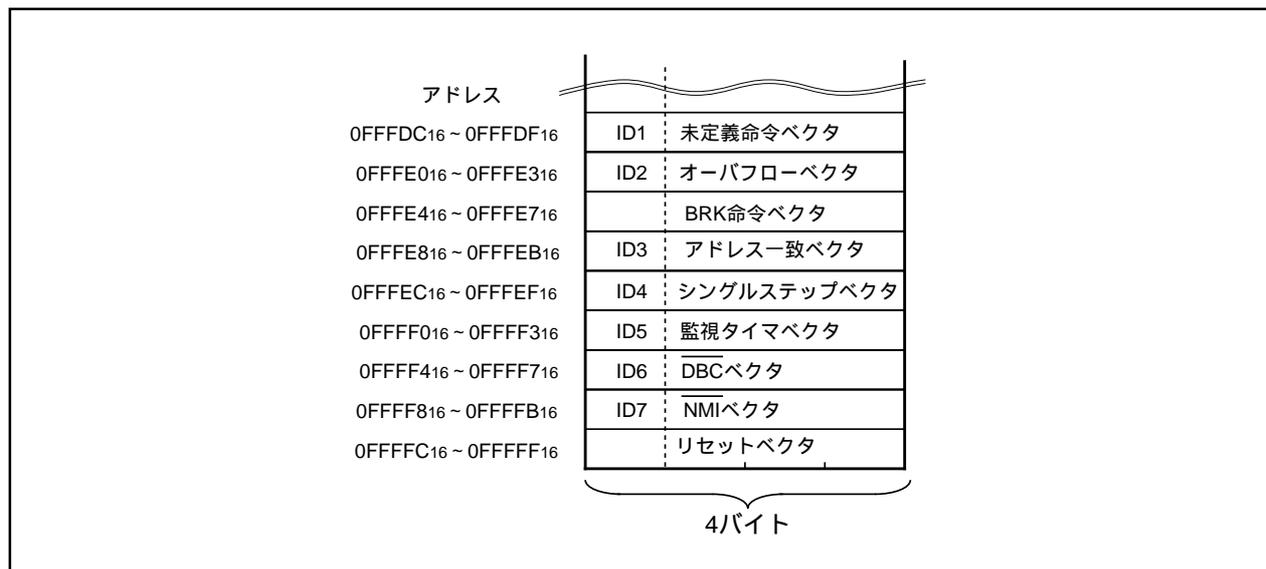


図1.31.17. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

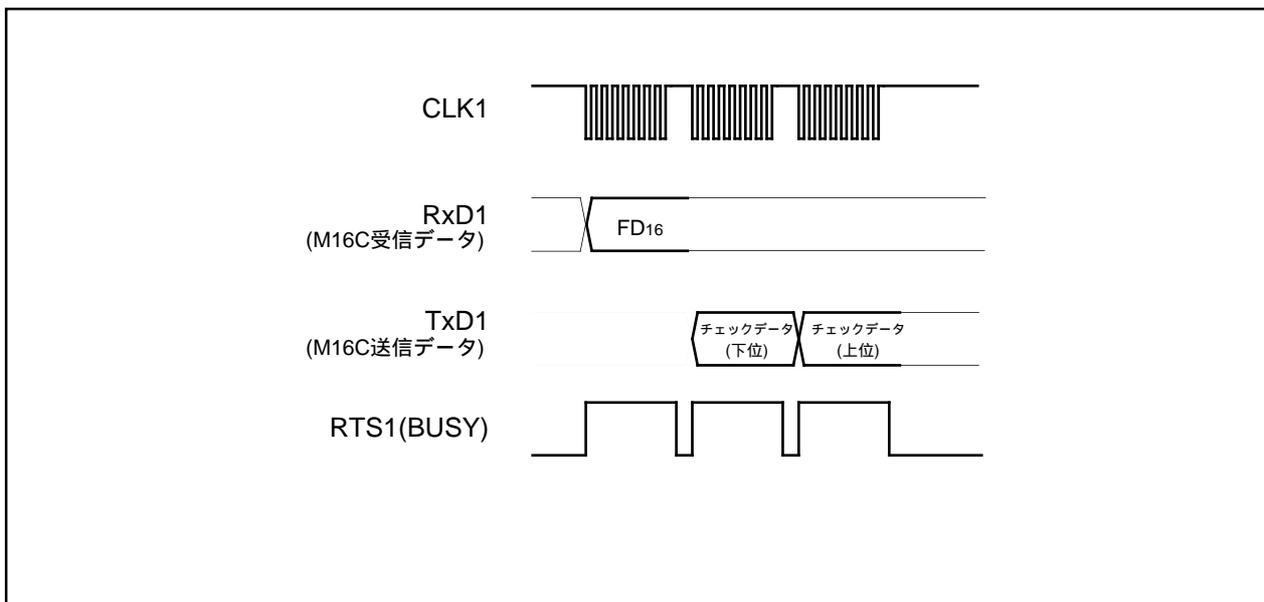


図1.31.18. リードチェックデータコマンド時のタイミング

データ保護機能(ブロックロック)

図1.31.19 に示す各々のブロックは、消去 / 書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とロックビット無効コマンド / ロックビット有効コマンドの実行状況で決まります。

- (1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック / 非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去 / 書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去 / 書き込みが可能です。
- (2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去 / 書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

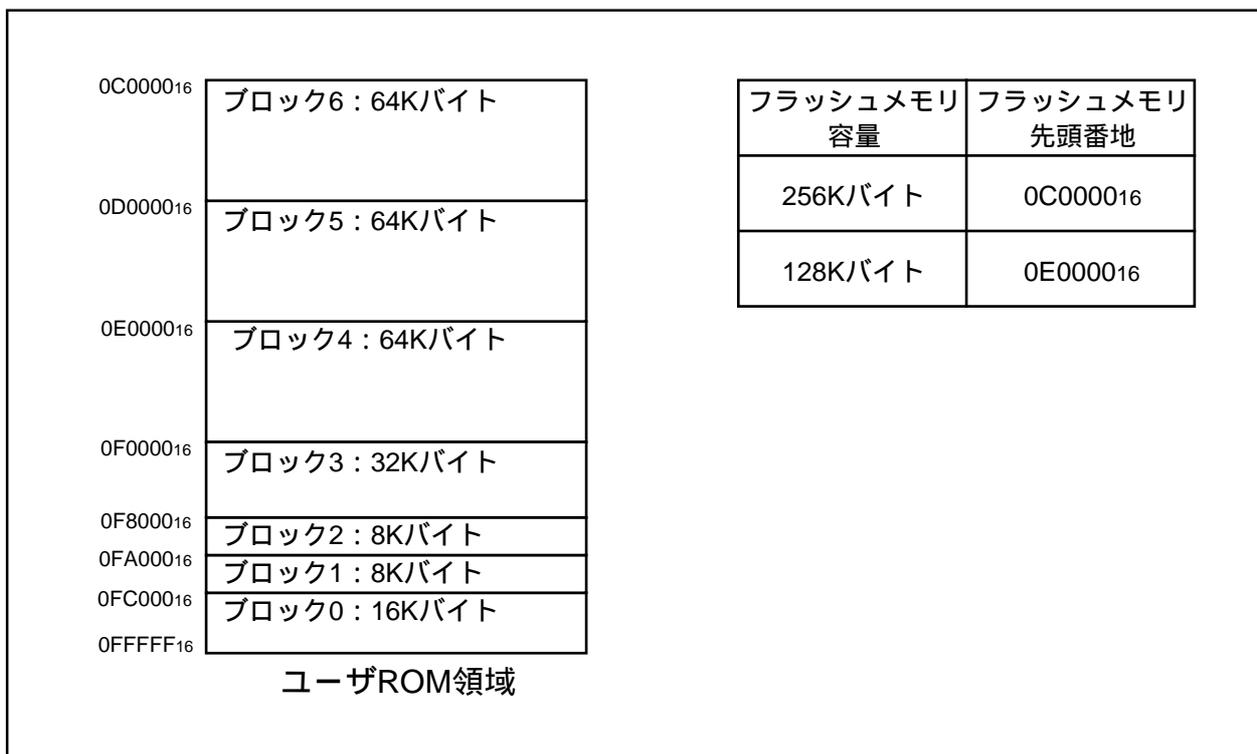


図1.31.19. ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常 / エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.31.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表1.31.2. ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit 7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit 6)	リザーブ	—	—
SR5 (bit 5)	イレーズステータス	エラー終了	正常終了
SR4 (bit 4)	プログラムステータス	エラー終了	正常終了
SR3 (bit 3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit 2)	リザーブ	—	—
SR1 (bit 1)	リザーブ	—	—
SR0 (bit 0)	リザーブ	—	—

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“1”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“80₁₆”、書き込みがフェイルしたときは“90₁₆”、そして、過剰書き込みが発生したときに“88₁₆”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50₁₆)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.31.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表1.31.3. ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		“1”	“0”
SR15 (bit 7)	ブート更新済みビット	更新済み	未更新
SR14 (bit 6)	リザーブ	—	—
SR13 (bit 5)	リザーブ	—	—
SR12 (bit 4)	チェックサム一致ビット	一致	不一致
SR11 (bit 3) SR10 (bit 2)	ID照合済みビット	00：未照合 01：照合不一致 10：リザーブ 11：照合済み	
SR9 (bit 1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit 0)	リザーブ	—	—

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.31.20 にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

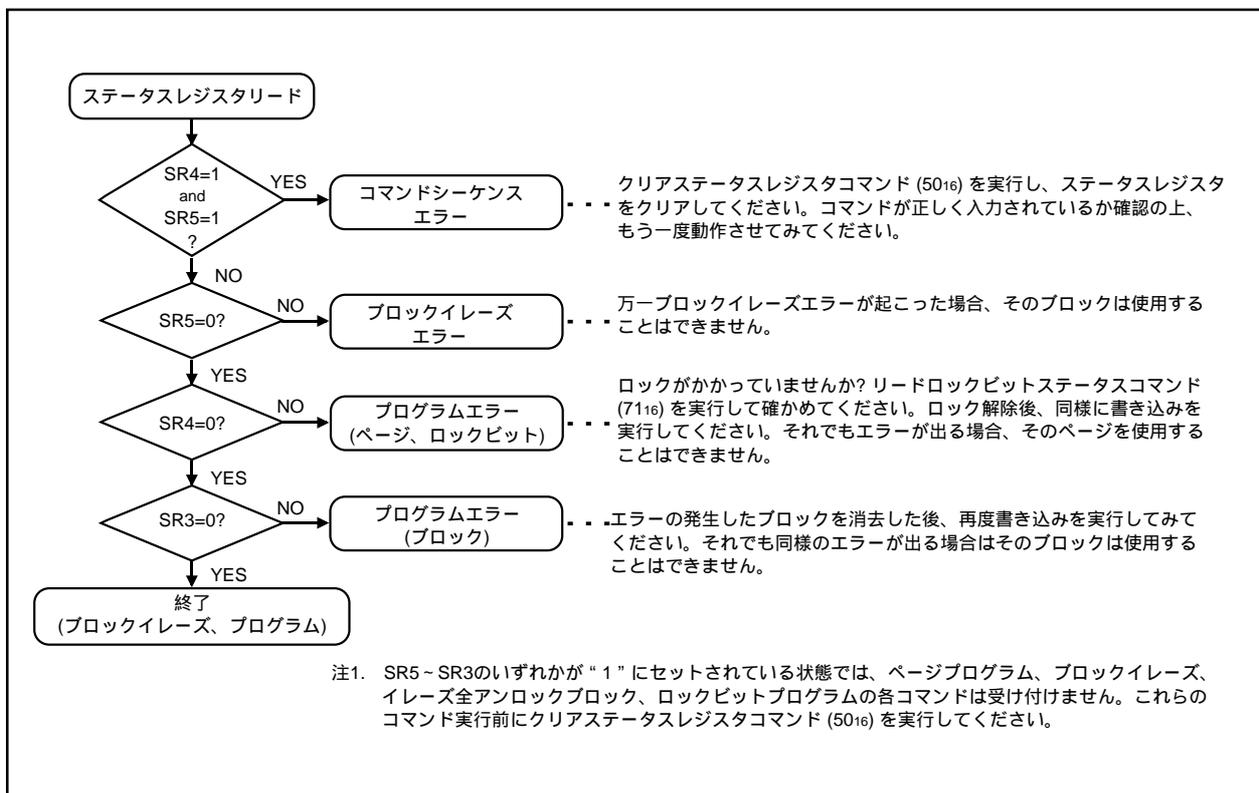
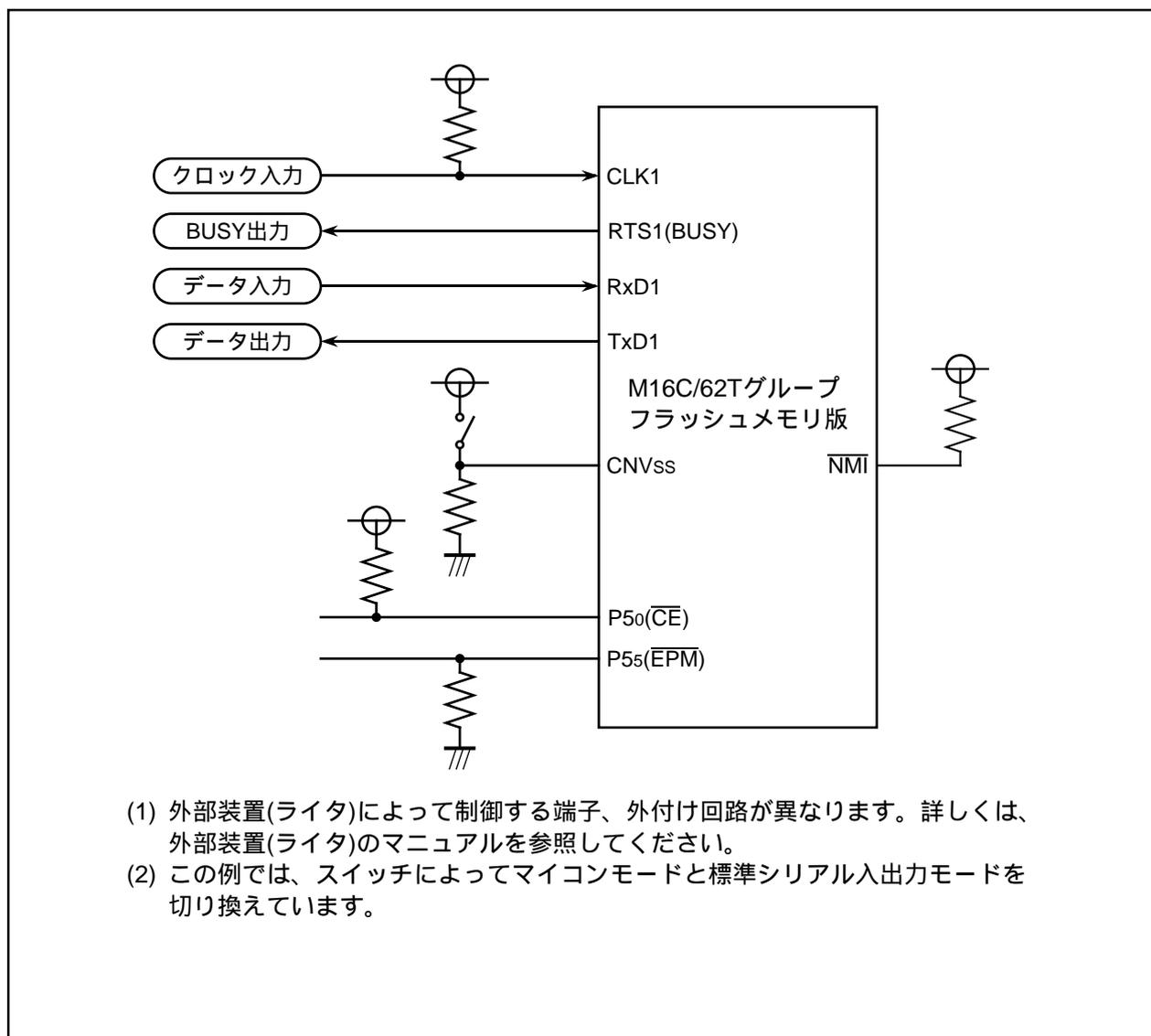


図1.31.20. フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。外部装置(ライター)によって制御するピン等が異なりますので、詳細は外部装置(ライター)のマニュアルを参考にしてください。



- (1) 外部装置(ライター)によって制御する端子、外付け回路が異なります。詳しくは、外部装置(ライター)のマニュアルを参照してください。
- (2) この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り換えています。

図1.31.21. 標準シリアル入出力モード時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.31.22)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウェアコマンドを実行することで、9600bps、19200bps、38400bps、57600bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、十分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウェアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウェアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.31.22)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

- (1) 外部装置から“B016”を転送します。このとき、メインクロックの入力発振周波数が10MHz/16MHzの場合、フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力します。10MHz/16MHz以外の場合、何も出力しません。
- (2) 外部装置から“0016”を16回転送します。(フラッシュメモリ内蔵マイコンは“0016”が正しく受信できるように転送速度レジスタを設定します。)
- (3) フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力し、初期通信を終了します(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1. 外部装置に“B016”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

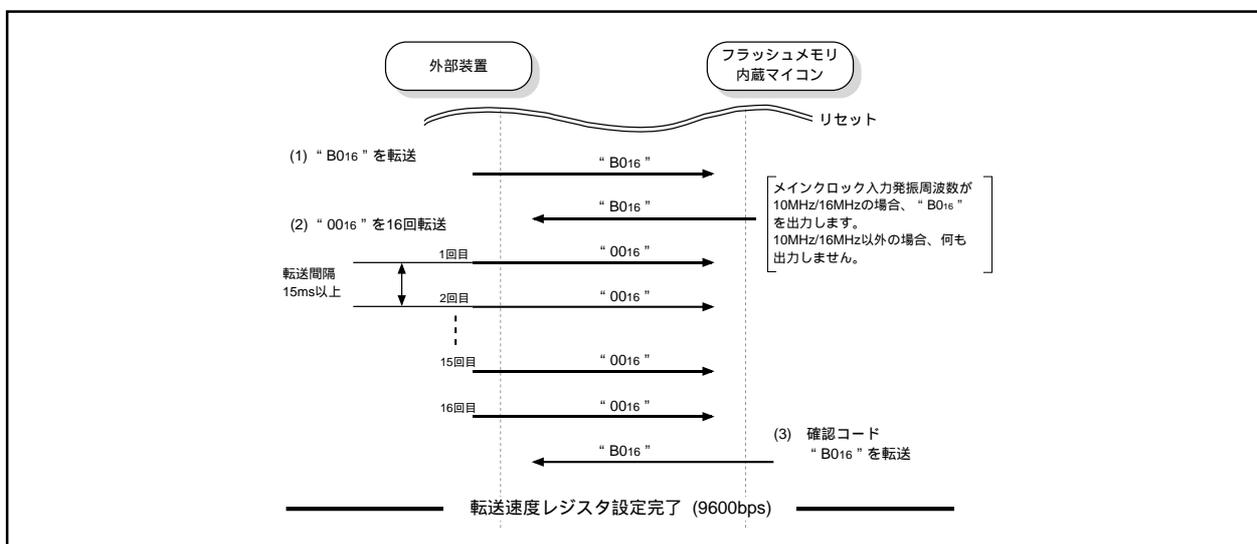


図1.31.22. 外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“0016”データを16回受信することで、動作周波数(2MHz~16MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.31.4に主な周波数と実現できるボーレートの一覧を示します。

表1.31.4 動作周波数と対応ボーレート

動作周波数	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps
16MHz				
12MHz				×
11MHz				×
10MHz			×	
8MHz			×	
7.3728MHz				
6MHz				×
5MHz			×	×
4.5MHz			×	
4.194304MHz				×
4MHz			×	×
3.58MHz				
3MHz				×
2MHz		×	×	×

：通信可能

×：通信不可

ソフトウェアコマンド

表1.31.5にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウェアコマンドに、ポーレート9600、ポーレート19200、ポーレート38400、ポーレート57600の4コマンドを追加しています。

以下に各ソフトウェアコマンドの内容を説明します

表1.31.5. ソフトウェアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードブロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ブロックビットデータ 出力				受付不可
8	ブロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ブロックビット有効	7A ₁₆							受付不可
10	ブロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
12	データカウント機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
13	バージョン情報出力機能	FB ₁₆	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	~9バイト目 バージョンデータ出力	受付可
14	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可
16	ポーレート9600	B0 ₁₆	B0 ₁₆						受付可
17	ポーレート19200	B1 ₁₆	B1 ₁₆						受付可
18	ポーレート38400	B2 ₁₆	B2 ₁₆						受付可
19	ポーレート57600	B3 ₁₆	B3 ₁₆						受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送。

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては、全コマンドの受付可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

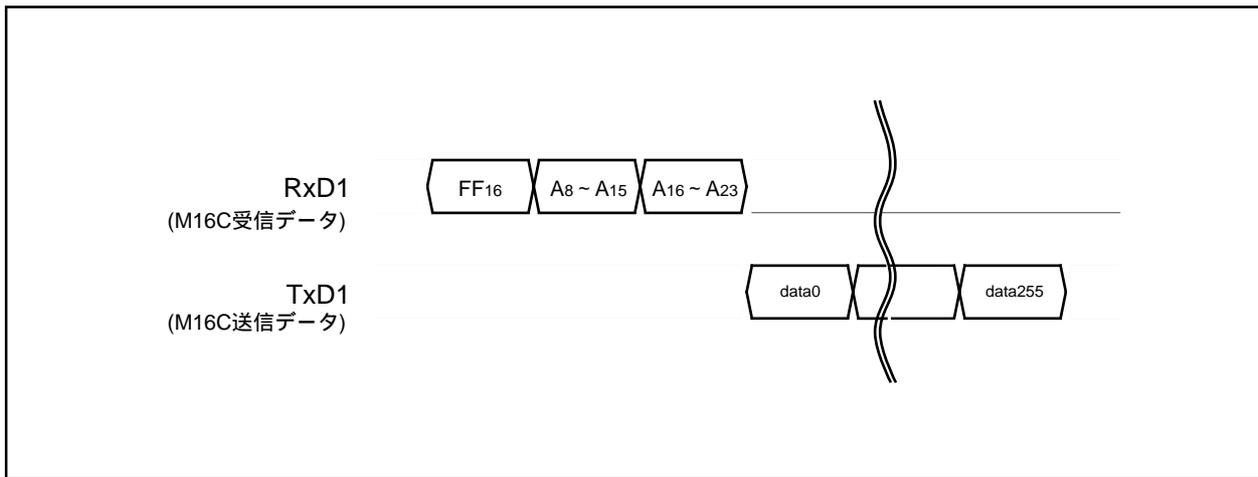


図1.31.23. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

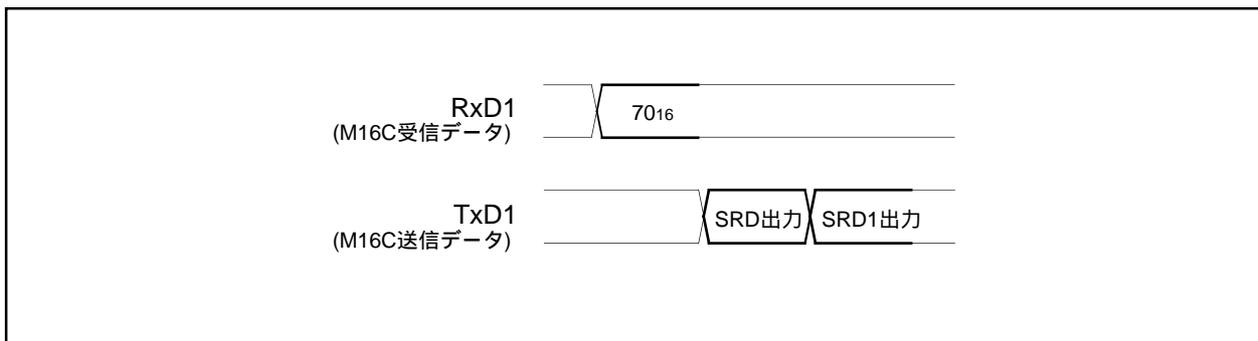


図1.31.24. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。

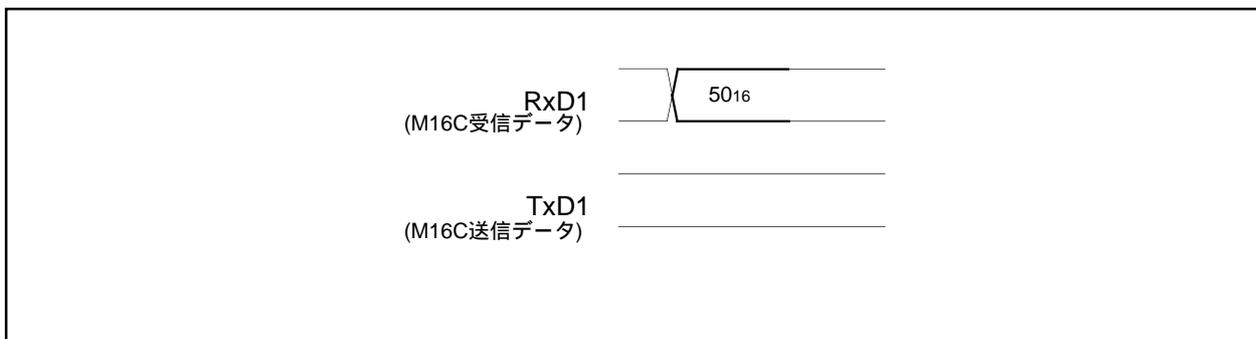


図1.31.25. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降、ライトデータ(D₀~D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

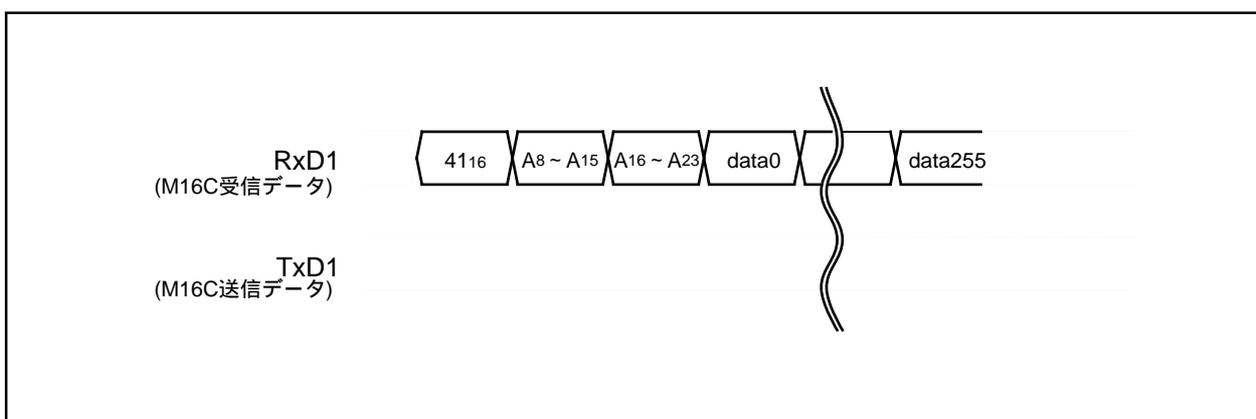


図1.31.26. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

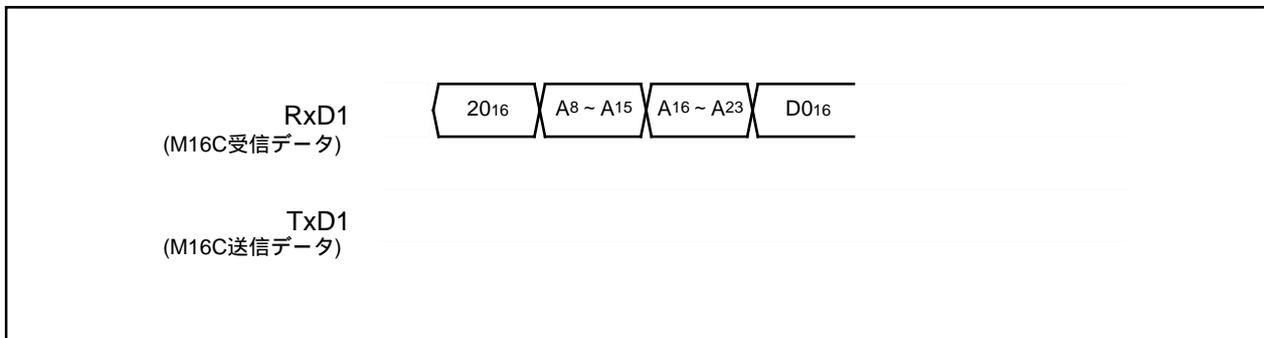


図1.31.27. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

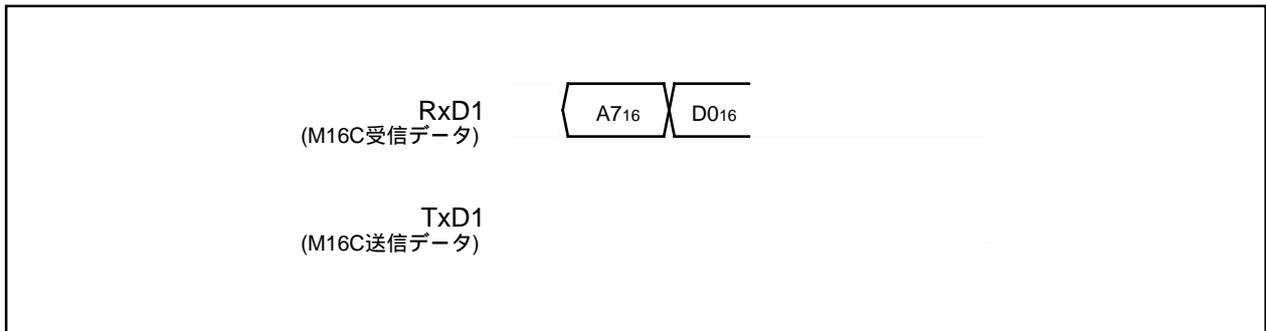


図1.31.28. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ” (ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

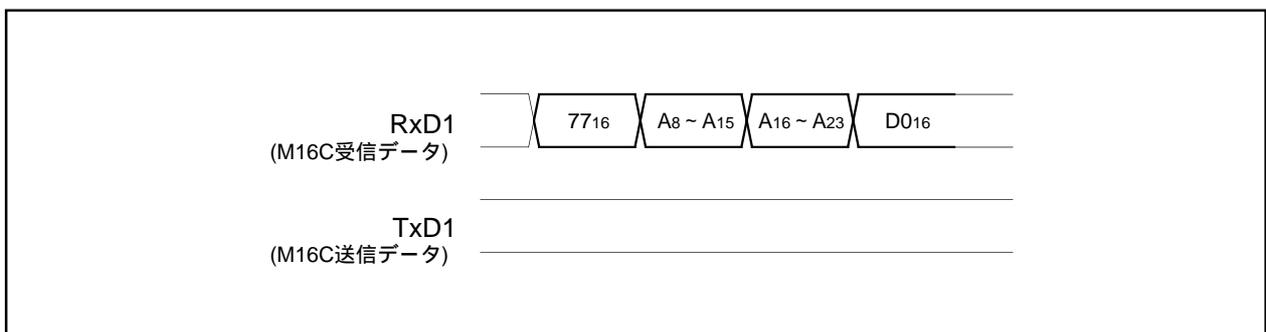


図1.31.29. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

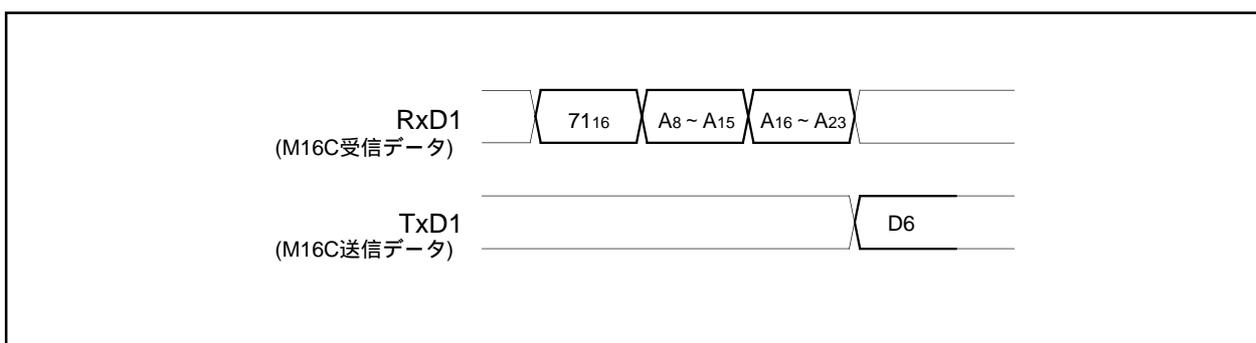


図1.29.30. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

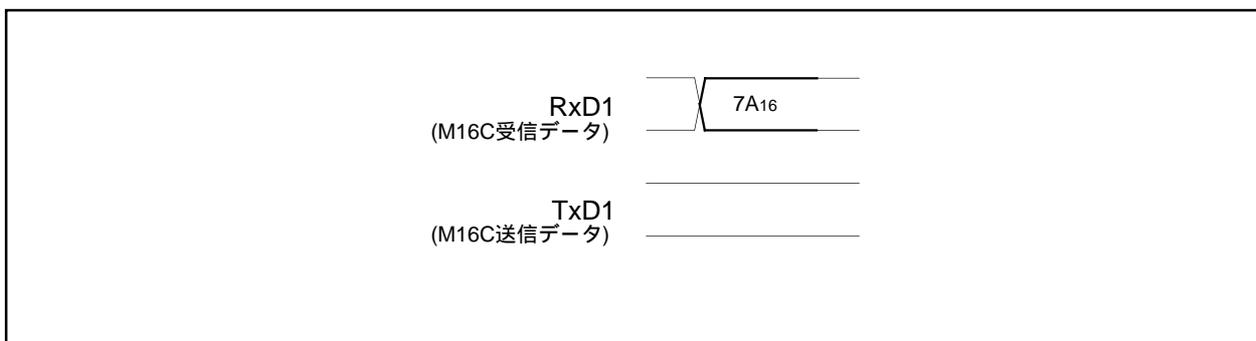


図1.31.31. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0”（ロック状態）であったロックビットデータは、消去終了後“1”（非ロック状態）にセットされます。なお、リセット解除後は、ロックビットは有効となります。

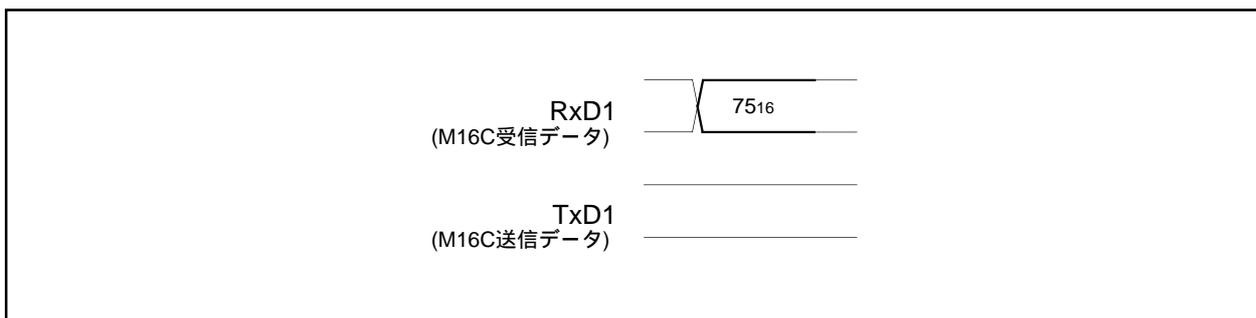


図1.31.32. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

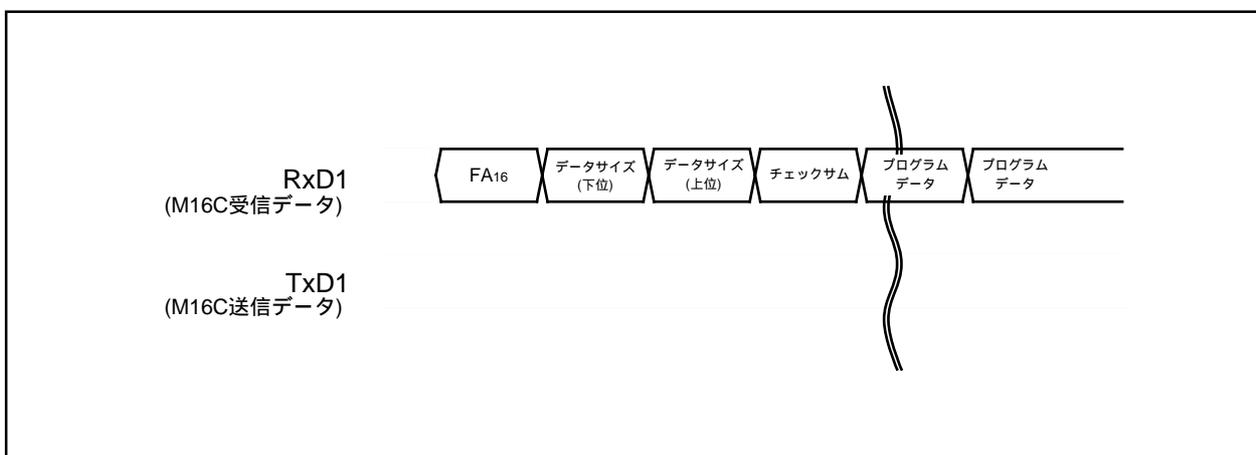


図1.31.33. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB₁₆”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

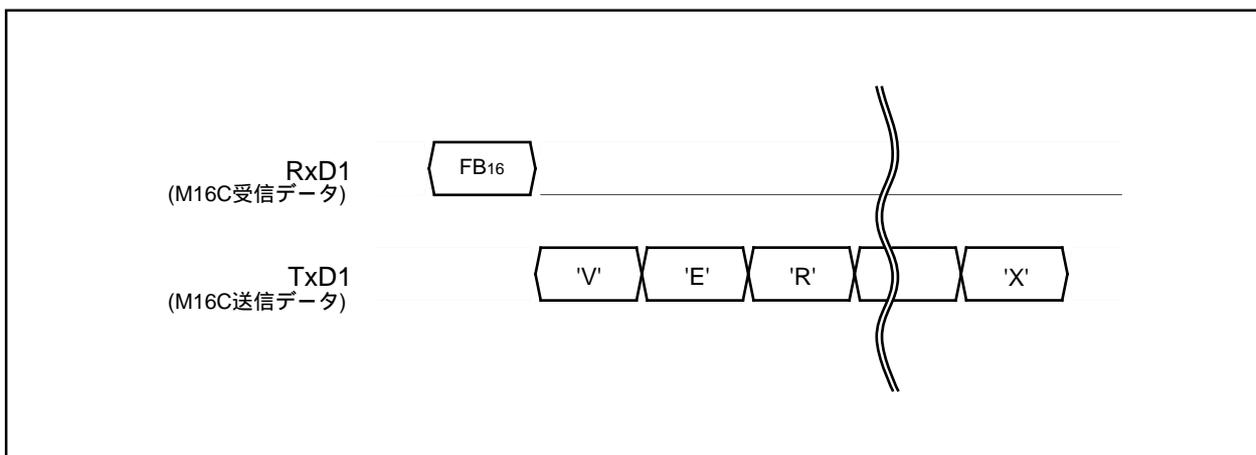


図1.30.34. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します

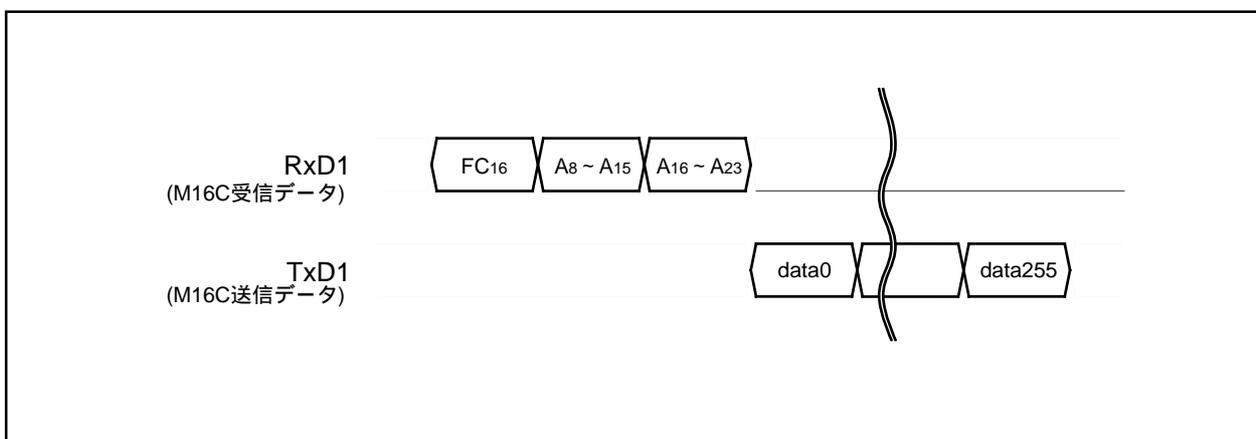


図1.31.35. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀~A₇、A₈~A₁₅、A₁₆~A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

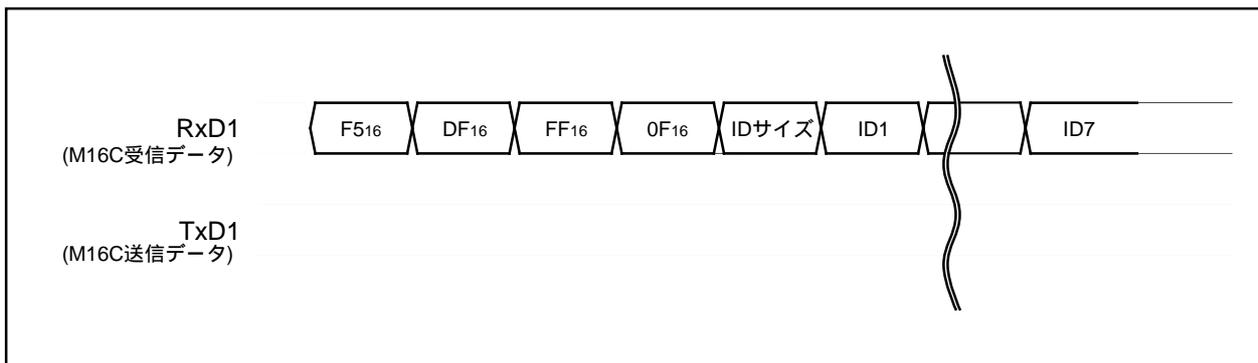


図1.31.36. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE7₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

アドレス	ID	機能
0FFFDC ₁₆ ~ 0FFFD ₁₆	ID1	未定義命令ベクタ
0FFFE0 ₁₆ ~ 0FFFE3 ₁₆	ID2	オーバフローベクタ
0FFFE4 ₁₆ ~ 0FFFE7 ₁₆		BRK命令ベクタ
0FFFE8 ₁₆ ~ 0FFFEB ₁₆	ID3	アドレス一致ベクタ
0FFFE ₁₆ ~ 0FFFEF ₁₆	ID4	シングルステップベクタ
0FFFF0 ₁₆ ~ 0FFFF3 ₁₆	ID5	監視タイマベクタ
0FFFF4 ₁₆ ~ 0FFFF7 ₁₆	ID6	DBCベクタ
0FFFF8 ₁₆ ~ 0FFFFB ₁₆	ID7	NMIベクタ
0FFFFC ₁₆ ~ 0FFFFF ₁₆		リセットベクタ

4バイト

図1.31.37. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

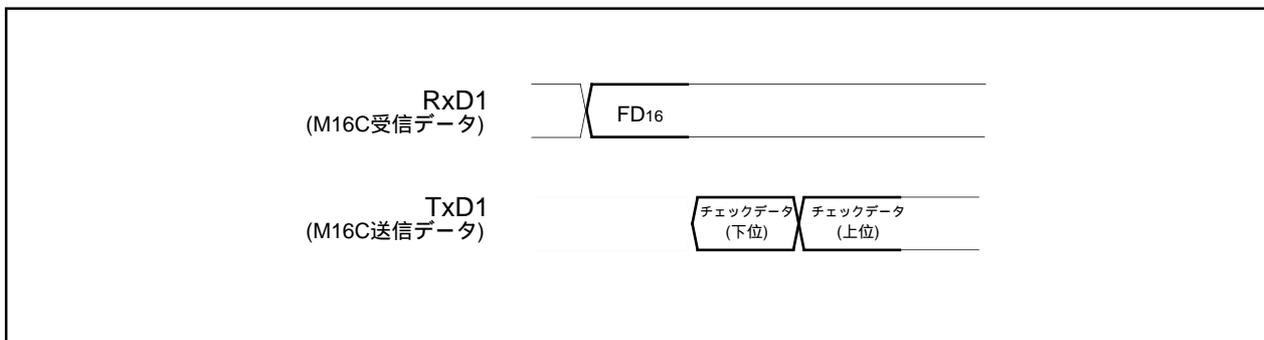


図1.31.38. リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B0₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B0₁₆ ”を出力した後、転送速度9600bpsに変更します。

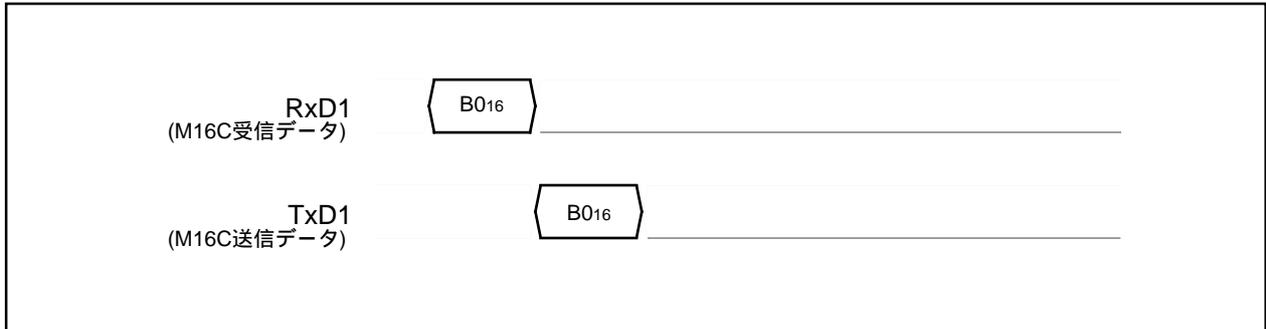


図1.31.39. ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B1₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B1₁₆ ”を出力した後、転送速度19200bpsに変更します。



図1.31.40. ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B216 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B216 ”を出力した後、転送速度38400bpsに変更します。

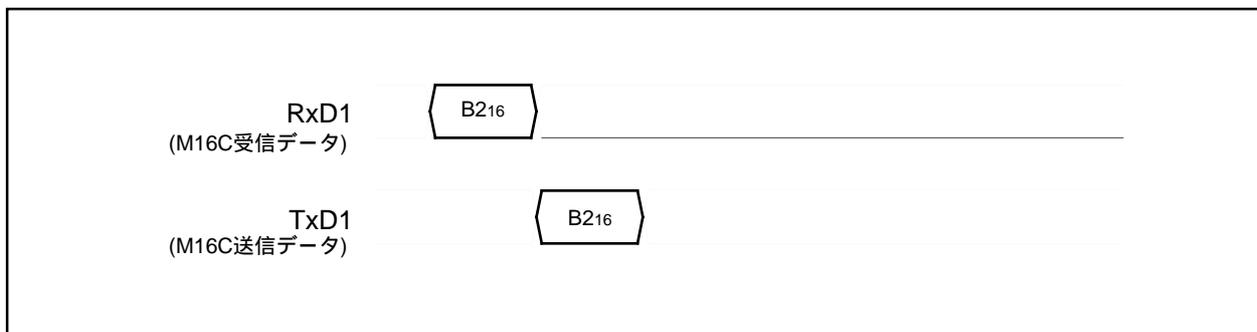


図1.31.41. ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B316 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B316 ”を出力した後、転送速度57600bpsに変更します。



図1.31.42. ボーレート57600のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

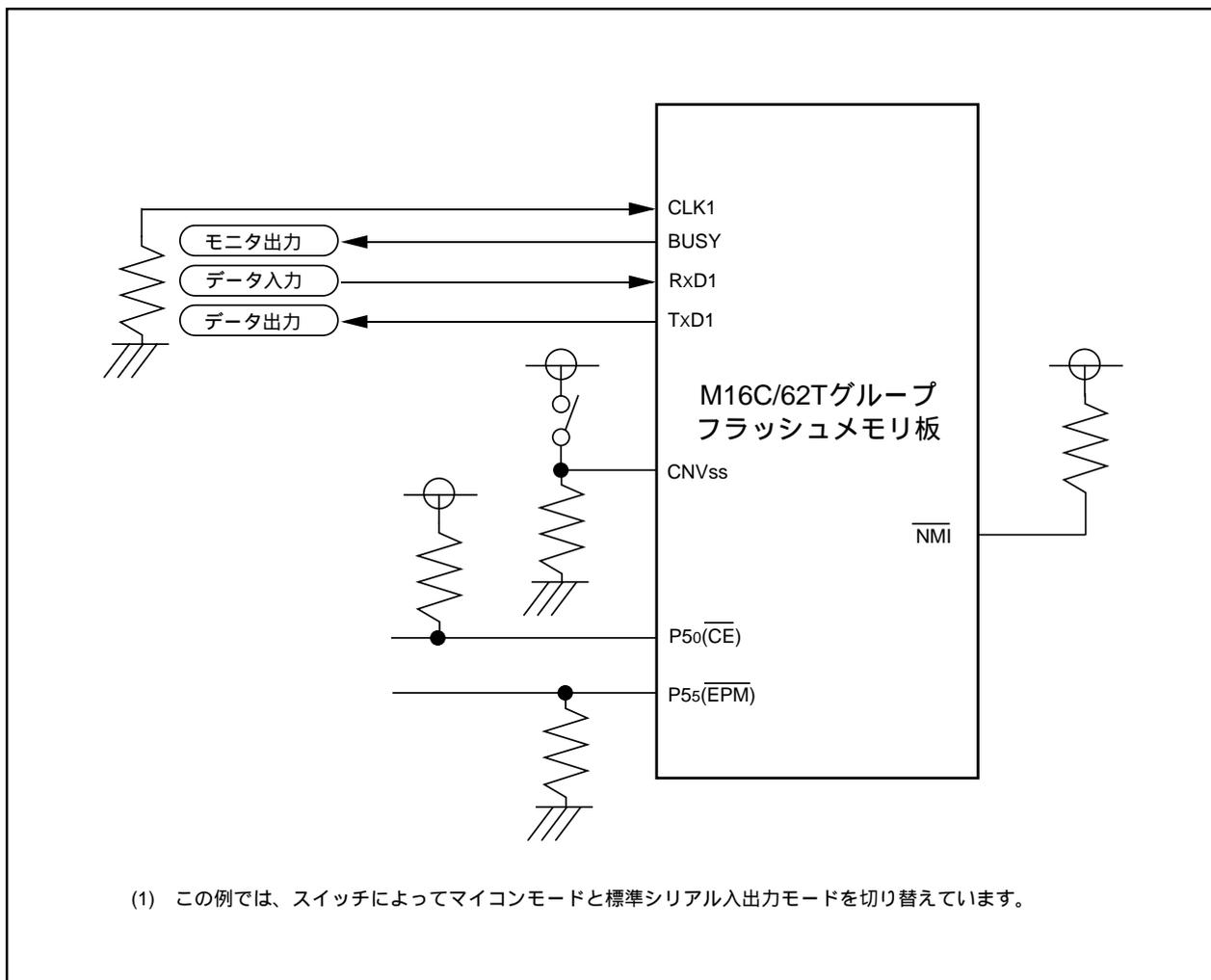


図1.31.43. 標準シリアル入出力モード2時の応用回路例

M16C/62TグループとM16C/61Tグループとの相違点

グループ	M16C/62Tグループ	M16C/61Tグループ
メモリ空間 (注1)	メモリ拡張あり 1.2Mバイトモード 4Mバイトモード	1Mバイト固定
タイマB	6本	3本
シリアルI/O	UART/クロック同期形SI/O …… 3本 [80ピン版では内1本はUART専用] クロック同期形SI/O …… 2本 [80ピン版では内1本は送信専用]	UART/クロック同期形SI/O …… 3本 [80ピン版では内1本はUART専用]
IICバスモード	UART2に内蔵。ソフトウェアとの組み合わせによりIICバスを実現可能。	なし
ポートの端子機能	P90 …… TB0IN/CLK3 P91 …… TB1IN/SIN3 P92 …… TB2IN/SOUT3 P93 …… TB3IN/DA0 P94 …… TB4IN/DA1 P95 …… ANEX0/CLK4 P96 …… ANEX1/SOUT4 P97 …… ADTRG/SIN4 P15 …… D13/INT3 (注2) P16 …… D14/INT4 (注2) P17 …… D15/INT5 (注2) P71 …… Rx/D2/TA0IN/TB5IN	P90 …… TB0IN P91 …… TB1IN P92 …… TB2IN P93 …… DA0 P94 …… DA1 P95 …… ANEX0 P96 …… ANEX1 P97 …… ADTRG P15 …… D13 (注2) P16 …… D14 (注2) P17 …… D15 (注2) P71 …… Rx/D2/TA0IN
割り込み要因	内部 25要因、外部 8要因[80ピン版：5要因]、ソフトウェア 4要因 (シリアル2本、タイマ3本、外部割り込み3本(注2)追加)	内部 20要因、外部 5要因、ソフトウェア 4要因
チップセレクト (注1)(注2)	M16C/61Tタイプ(右記)の出力と以下のタイプの出力を切り替え可能 (他に4Mバイトモードあり) CS0 : 04000 ₁₆ ~ 3FFFF ₁₆ (フェッチ) 40000 ₁₆ ~ FFFFF ₁₆ (データ/フェッチ) CS1 : 28000 ₁₆ ~ 2FFFF ₁₆ (データ) CS2 : 08000 ₁₆ ~ 27FFF ₁₆ (データ) CS3 : 04000 ₁₆ ~ 07FFF ₁₆ (データ)	CS0 : 30000 ₁₆ ~ FFFFF ₁₆ CS1 : 28000 ₁₆ ~ 2FFFF ₁₆ CS2 : 08000 ₁₆ ~ 27FFF ₁₆ CS3 : 04000 ₁₆ ~ 07FFF ₁₆
三相インバータ制御回路(注2)	タイマA4、A1、A2を使用して三相インバータ用PWM出力を実現可能。出力端子はP72 ~ P75、P80、P81に配置。	なし
ポートP1の読み出し (注2)	レジスタの設定により入力モード、出力モード関係なくポートレジスタの状態を読み込むことができる。	入力モード時、端子の状態。 出力モード時、ポートレジスタの状態。
P44/CS0 ~ P47/CS3 (注1)(注2)	CNV _{SS} 端子にV _{CC} レベルを印加した場合にはリセット時ブルアップ制御レジスタ1のビット2(PU11)が“1”になりP44/CS0 ~ P47/CS3がブルアップありとなります。	リセット時、ブルアップ制御レジスタ1のビット2(PU11)は“0”になり、P44/CS0 ~ P47/CS3がブルアップなしとなります。

注1. M16C/61Tグループ、M16C/62Tグループではメモリ拡張の動作保証をしていませんが、性能の差を明確にするため表中に記載しています。

注2. 80ピン版では一部の端子が外部端子へ接続していませんので、これらの機能/端子を使用できません。

改訂記録

改訂 副番	改訂内容	改訂 年月日														
REV.A	初版	97.11.6														
REV.A1	<ul style="list-style-type: none"> 全ページ M30622MxT-XXXFP M30622(100ピン版) M30623MxT-XXXGP M30623(80ピン版) P1 [特長]のメモリ容量、P6 表AA-1のメモリ容量、P11 [メモリ]の本文2行目～4行目および8行目～10行目において M30622M8T-XXXFP, M30623M8T-XXXGPのRAM容量を4Kバイトに変更。 M30623M4T-XXXGP(ROM 32Kバイト, RAM 3Kバイト)、M30622M8V-XXXFP, M30623M8V-XXXGP(ROM 64Kバイト, RAM 4Kバイト)、M30622MCV-XXXFP, M30623MCV-XXXGP(ROM 128Kバイト, RAM 5Kバイト)を追加。または、それに伴う記述の変更。 P1 [特長]のシリアルI/Oにおいて、UART/クロック同期形3本(内1本はUART専用) + クロック同期形2本(内1本は送信専用)(M30623(80ピン版))に変更。 P6 表AA-1のA-D変換器を10ビット×(8×3+2)チャンネルに変更。 P7 (4) 85 保証版、125 保証版のサポートにおいて、M30622M8V-XXXFP, M30623M8V-XXXGP, M30622ECV-XXXFP, M30623ECV-XXXGPの追加に伴う記述変更。 P7 図AA-5、P8 表AA-2において、M30623M4T-XXXGP, M30623M8V-XXXGP, M30623MCV-XXXGP, M30623ECV-XXXGP, M30623ECVGPを追加。計画中の機種は量産済み(P7 図AA-5のみ)。 P11 図CA-1、P22 図EG-1、P23 図EG-2、P25 図EG-5、P30 図BB-1において、XXXXX₁₆番地およびYYYYY₁₆番地の定義を下記の通り変更。 <table border="1" data-bbox="438 1176 1189 1422"> <thead> <tr> <th>形名</th> <th>XXXXX₁₆</th> <th>YYYYY₁₆</th> </tr> </thead> <tbody> <tr> <td>M30623M4T-XXXGP</td> <td>00FFF₁₆</td> <td>F8000₁₆</td> </tr> <tr> <td>M30622M8T/M8V-XXXFP</td> <td rowspan="2">013FF₁₆</td> <td rowspan="2">F0000₁₆</td> </tr> <tr> <td>M30623M8T/M8V-XXXGP</td> </tr> <tr> <td>M30622MCT/MCV-XXXFP</td> <td rowspan="2">017FF₁₆</td> <td rowspan="2">E0000₁₆</td> </tr> <tr> <td>M30623MCT/MCV-XXXGP</td> </tr> </tbody> </table> P11 [メモリ]の本文11行目にM30623MCV-XXXGP追加。 P55 図DD-6において、アドレス一致割り込みレジスタの図修正(文字の重なり)。 P65 図FB-1、P66 図FB-2、P67 図FB-3、P77 図FB-14において注意事項を追加。 P83 図LP-1において、INV0₀, INV1₀の機能変更、注意事項を追加。 P84 図LP-2、P88 図LP-5において、注意事項を追加。 P93 図LP-8、P94 図LP-9において、図変更。 P122～P127において、図番号および表番号を昇順に変更。 P143 図UA-2において、P7₀, P7₁にサージ保護ダイオードを付加、RESET, CNV_{ss}, BYTEを追加。 P152 [ワнтаイムPROM版に対する注意事項]において、M30623ECVPを追加。 P153 表ZA-1のCNV_{ss}, BYTE入力電圧において、マスクROM版の定格値を変更。 P154 表ZA-3のV_{OH}およびV_{OL}において、測定条件の追加、および規格値の変更。 	形名	XXXXX ₁₆	YYYYY ₁₆	M30623M4T-XXXGP	00FFF ₁₆	F8000 ₁₆	M30622M8T/M8V-XXXFP	013FF ₁₆	F0000 ₁₆	M30623M8T/M8V-XXXGP	M30622MCT/MCV-XXXFP	017FF ₁₆	E0000 ₁₆	M30623MCT/MCV-XXXGP	98.1.28
形名	XXXXX ₁₆	YYYYY ₁₆														
M30623M4T-XXXGP	00FFF ₁₆	F8000 ₁₆														
M30622M8T/M8V-XXXFP	013FF ₁₆	F0000 ₁₆														
M30623M8T/M8V-XXXGP																
M30622MCT/MCV-XXXFP	017FF ₁₆	E0000 ₁₆														
M30623MCT/MCV-XXXGP																
	<ul style="list-style-type: none"> P15 図VB-1において、リセット回路入力電圧を変更、コメント追加。 	98.3.3														
改訂記録	M16C/62Tグループ暫定仕様書															

改訂記録

改訂 副番	改訂内容	改訂 年月日
REV.B	<ul style="list-style-type: none"> ・ P1 [特長]において、[メモリ容量]にワンタイムPROM版の情報を追加。[最低命令実行時間]に電源電圧条件「Vcc=5V」を追加。[割り込み]の外部要因を「外部8要因(M30622(100ピン版))/5要因(M30623(80ピン版))」に変更。 ・ P4 図AA-3、P5 図AA-4において、ROM/RAM容量を変更。注意事項を追加。 ・ P6 表AA-1において、[メモリ容量]、[電源電圧]にワンタイムPROM版の情報を追加。[最低命令実行時間]に電源電圧条件「Vcc=5V」を追加。[TA1,TA2(M30623(80ピン版))、[TB0,TB2~TB5]、[TB1(M30622(100ピン版))]より「パルス出力」を削除。[TB1(M30623(80ピン版))]より「パルス出力、パルス周期/パルス幅測定」を削除。[シリアルI/O(M30623(100ピン版))]をSI/O3：クロック同期形×1(送信専用)、SIO/4：クロック同期形×1に変更。[割り込み(M30623(80ピン版))]を「...外部5要因...」に変更。 ・ P8 表AA-2において、ワンタイムPROM版 ワンタイムPROM版(書き込み品)、EPROM版 ワンタイムPROM版(ブランク品)。図AA-6において、[ROM容量]より「1：85Kバイト~3：24Kバイト、5：40Kバイト~7：48Kバイト、A：96Kバイト」を削除。[メモリの種類]より「S：ROM外付け版、F：フラッシュROM版」を削除。 ・ P10 [端子の機能説明]において、$\overline{\text{RDY}}$より「BCLK端子からは、内部クロックと同じ周期を持つクロックを出力します。」を削除。 ・ P11 [メモリ]の本文9行目において、「...M30623M8T/M8V-XXXGPでは00400₁₆番地から013FF₁₆番地まで4Kバイト、...」に変更。 ・ P16 表VB-1のP45~P47のCNVss=Vcc時端子状態に「ただし、プルアップ抵抗ON状態」を追加。 ・ P17 図VB-3、P18 図VB-4において、(2)プロセッサモードレジスタ、(42)タイマB3,4,5カウンタ開始フラグ、(79)A-D制御レジスタ2のレジスタ値を変更。 ・ P19~P21のヘッダを「SFR」に変更。 ・ P22 図EG-1、P23 図EG-2において、注意事項を追加。 ・ P25 図EG-4において、未使用ビットの書き込みに関する記述を変更。 ・ P25 図EG-5において、注意事項を追加。CS0の領域を変更。 ・ P29 図BG-1のプロセッサモードレジスタ0において、注意事項を追加。プロセッサモードレジスタ1において、b3：x 0、b6：空欄 0、リセット時の値を変更、未使用ビットの書き込みに関する記述を変更。 ・ P31 (2)外部データバスにおいて、「動作時は、BYTE端子を“H”または“L”に固定してください。」を追加。 ・ P32 [マルチプレクスバス]において、「メモリ拡張モード時、全空間マルチプレクスバスの場合は...各チップセレクトごとに256バイトしか使えません。」を追加。 ・ P33 表EE-2において、マルチプレクスバス空間選択ビットの記述を変更。P30のメモリ拡張モード時の機能を「アドレスバス」に変更。注2を変更。 ・ P34 (1)アドレスバス/データバスにおいて、「アドレスバス/データバスとも、...バスは前回の状態を保持し、変化しません。また。」を削除。 ・ P34 表EF-1において、拡張モード2のCS0の領域を変更。 ・ P36 (5)RDY信号本文、および表EF-4において、レディー信号、レディー機能をRDY信号、マイクロコンピュータをバス、レディー状態をウェイト状態に変更。 	98.7.1
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
REV.B	<ul style="list-style-type: none"> ・ P37 図EF-3において、セパレートバスの場合とマルチプレクスバスの場合に分けて記述。 ・ P37 (6)ホールド信号において、バスの使用優先順位に関する記述を追加。図EF-4を追加。 ・ P38 (7)内部領域をアクセスしたときの外部バス状態を追加。 ・ P38 ~ P42において、内部クロック をBCLKに変更。 ・ P43 (4)周辺機能クロック、およびP45 [ストップモード]において、f1SIO2、f8SIO2、f32SIO2を追加。 ・ P44 図WA-4のシステムクロック制御レジスタ0において、注5、注6を追加。システムクロック制御レジスタ1において、注4を追加。 ・ P48、P49 [パワーコントロール]を追加。 ・ P50 図WA-6において、未使用ビットの書き込みに関する記述を変更。 ・ P51 ~ P69 [割り込み]全面改訂。 ・ P56 [監視タイマ]本文、および図DG-1において、内部クロック をBCLKに変更。本文に「したがって、監視タイマの周期は下記のように計算できます。...監視タイマの周期は約52.4msとなります。」を追加。監視タイマの周期表を削除。 ・ P72 ~ P81 [DMAC]全面改訂。 ・ P86 図FB-6において、未使用ビットの書き込みに関する記述を変更。 ・ P95 図FB-16において、未使用ビットの書き込みに関する記述を変更。タイマB3,4,5 カウント開始フラグのリセット時の値を変更。 ・ P96 図FB-17 ~ P98 図FB-19において、未使用ビットの書き込みに関する記述を変更。 ・ P100 図LP-1において、ビットシンボルを変更。未使用ビットの書き込みに関する記述を変更。 ・ P101 図LP-2において、未使用ビットの書き込みに関する記述を変更。タイマB2割り込み発生頻度設定カウンタの注1内ビットシンボル変更、注2変更。 ・ P103 図LP-4において、未使用ビットの書き込みに関する記述を変更。 ・ P105 図LP-5において、ビットシンボルを変更。 ・ P106 [三角波変調]下から10行目、タイマA4-1(0347₁₆番地、0346₁₆番地)に変更。 ・ P109 [鋸波変調]下から3行目、三相出力バッファレジスタ(034B₁₆番地)に変更。 ・ P112 表GA-1において、UART2はCTS/RTS分離不可、スリープモード不可。 ・ P116 図GA-4、P118 図GA-6 ~ P120 図GA-8において、未使用ビットの書き込みに関する記述を変更。 ・ P121 表GA-2において、外部クロック選択時の転送クロック：CLKi端子からの入力に関する注意事項「最大5Mbps」を削除。 ・ P123 図GA-9のUART2送受信モードレジスタにおいて、b7:0 空欄。 ・ P133 [CTS/RTS分離機能]において、文章追加。図GA-18において、注意事項を追加。 ・ P135 本文1行目において、「...メモリカードI/C等...」 「メモリカード等...」。 ・ P139 図GA-25において、UART2特殊モードレジスタに変更。[UART2特殊モードレジスタ]本文下から3行目に、IICバス(簡易IICバス)インタフェースを追加。 ・ P140 図GA-26において、割り込み要求信号の入力先を削除。 ・ P141 本文最終行を「...P71のデータレジスタが“0”になります。」に変更。 	98.7.1
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
REV.B	<ul style="list-style-type: none"> ・ P143 図GA-29において、未使用ビットの書き込みに関する記述を変更。 ・ P146 表JA-1において、[絶対精度]を「分解能8ビット：±2LSB、分解能10ビット：±3LSB」に変更。注2にf(XIN)が10MHzを超える場合の注意事項を追加。 ・ P148 図JA-2において、A-D制御レジスタ0の注3を変更。f(XIN)が10MHzを超える場合の注意事項を追加。 ・ P149 図JA-3において、未使用ビットの書き込みに関する記述を変更。A-D制御レジスタ2のリセット時の値を変更。 ・ P150 図JA-4～P154 図JA-8において、f(XIN)が10MHzを超える場合の注意事項を追加。 ・ P155にA-D変換器の使用時の注意事項を追加。 ・ P156 図JA-10を追加。 ・ P157 図JB-1において、D-Aレジスタ0、D-Aレジスタ1を2チャンネルに分けて図示。 ・ P158 図JB-2において、未使用ビットの書き込みに関する記述を変更。図JB-3を追加。 ・ P160 図UC-3を追加。 ・ P162 図UA-1～P165 図UA-4を変更。 ・ P166 図UA-5において、未使用ビットの書き込みに関する記述を変更。 ・ P167 図UA-6において、P70、P71に関する注意事項を追加。 ・ P168 図UA-7、P169 図UA-8において、未使用ビットの書き込みに関する記述を変更。 ・ P170 表UA-2、図UA-9において、P45/CS1～P47/CS3を追加。 ・ P172 [ストップモード、ウェイトモードの注意事項]において、(2)追加。 ・ P173 [割り込みの注意事項]において、(4)、(5)追加。 ・ P174において、[ROM外付け版の注意事項]を削除。[ワンタイムPROM版に対する注意事項]に車輛搭載試験や量産等に使用する場合の注意事項を追加。図XX-1に実機によるチェックの記述を変更、仕様温度に関する注意事項を追加。[EPROM版の注意事項]を削除。 ・ P175 [マスク化/ROM書き込み発注時の提出資料]を追加。 ・ P176 表ZA-1、表ZA-2において、動作周囲温度に関する注意事項を追加。 ・ P177 表ZA-3において、Icc(電源電流)の最下段「クロック停止時、Ta=125」。動作周囲温度に関する注意事項を追加。 ・ P178において、表ZA-4にf(XIN)が10MHzを超える場合の注意事項を追加。表ZA-5の注1、注2を変更。 ・ P179、P180において、動作条件を変更。表ZA-16にSI/O追加。 ・ P181 図ZA-1、P182 図ZA-2を追加。 ・ P183 「M16C/62TグループとM16C/61Tグループの相違点」を追加。 	98.7.1
REV.C	<ul style="list-style-type: none"> ・ P9 「端子の機能説明」において、Vcc、Vssの機能「Vcc端子には、4.2V～5.5Vを印加してください。...」。 ・ P49 図WA-5において、「CM0 = "0000XXXX16"」「CM0 = "0001XXXX16"」および「CM0 = "1X11XXXX16"」「CM0 = "1X01XXXX16"」を追加。 ・ P158 図JB-3の注3において、「...D-A制御レジスタ...」「...D-Aレジスタ...」。 ・ P162 図UA-1において、2箇所あるP81記述の一方を削除。 ・ P163 図UA-2のP87において、各周辺機能への入力信号を削除。 	98.10.2
<p>改訂記録</p>		

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P49 図WA-5において、「CM0 = “1X11XXXX16”」、「CM0 = “1X01XXXX16”」間の矢印を修正。 ・ P85 図FB-5の「アップダウンフラグ」において、注1を「...、このビットの設定値は無効です。」 「...、このビットを“0”にしてください。」。 ・ P90 図FB-9の「タイマAiモードレジスタ(二相パルス信号処理を使用しない場合)」において、注3の「ただし、M30623(80ピン版)のタイマA2モードレジスタでは機能しません。」を削除。 ・ P91 図FB-10において、「MR2(トリガ選択ビット)」に付けられた(注4)を削除。 ・ P92 図FB-11において、注3を追加。「MR0」に付けられた(注1)を(注3)。「MR2(トリガ選択ビット)」に付けられた(注1)を削除。 ・ P94 本文2行目に「ただし、M30623(80ピン版)ではタイマB1は入力端子がないので内部タイマとしてだけ動作します。」を追加。 ・ P95 図FB-16の「タイマBiレジスタ」において、注2を追加。 ・ P176 表ZA-1において、Pd(消費電力)の条件を「Ta=25」 「-40 Ta 85」 「Ta=125」 「85 < Ta 125」。注1を「... - 3.0V ~ 13.5V。」 「... - 0.3V ~ 13.5V。」。 ・ P176 表ZA-2において、IOH(peak)("H"尖頭出力電流)、IOL(peak)("L"尖頭出力電流)の項目に(注4)を追加。注5を「Ta=125 時の...」 「Ta=125 (Ta > 85 を含む)時の...」。 ・ P177 表ZA-3において、VOH(XCOUT)、VOL(XCOUT)、RfXIN、RfXCINを追加。ICC(電源電流)において、測定条件「クロック停止時、Ta=85」の特性を追加。 ・ P178 表ZA-4において、絶対精度(8bit)を追加。 	98.11.19
REV.D	<ul style="list-style-type: none"> ・ P9、P10「端子の機能説明」において、ポートP0、P6のプルアップ抵抗に関する記述を変更。ポートP8~P10を「P6と同等の機能を持つ」に変更。 ・ P23 図1.8.3、P26 図1.8.6および本文14行目において、外部メモリのアドレス入力、データ出力の端子名を変更。 ・ P26 本文17行目からの拡張モード2時のバンクに関する記述を変更。 ・ P33 表1.11.2において、P30のメモリ拡張モード時の機能を変更。 ・ P36 (5)RDY信号、P39 (9)ソフトウェアウエイトにおいて、チップセレクト制御レジスタの設定に関する記述を変更。 ・ P39 表1.12.7の注1において、「RDY信号を使用する場合」を追加。 ・ P41 図1.13.1、図1.13.2の注1において、外部帰還抵抗に関する記述を追加。 ・ P43 (1)メインクロック、(2)サブクロックにおいて、消費電力の低減に関する記述を変更。(3)BCLKの記述を変更、追加。 ・ P44 図1.13.4のシステムクロック制御レジスタ0において、CM00、CM01のビット名欄に追記。CM02の機能欄の記述を変更、注8を追加。CM06を注7(追加)に変更。注2、注7の記述を追加、変更。システムクロック制御レジスタ1において、注2、注4の記述を追加、変更。 ・ P45 [ストップモード]において、ストップモード時に動作する周辺機能としてSIO3、4を追加。ストップモードからの復帰時に関する記述を追加。 ・ P46 [ウエイトモード]において、WAIT命令実行時の動作に関する記述を変更。 ・ P47 [BCLKの状態遷移]において、リセット時の動作および状態遷移に関する記述 	99.4.26
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<p>を追加、変更。注意事項の追加。</p> <ul style="list-style-type: none"> ・ P49 図1.13.5を全面変更。 ・ P70 [監視タイマ]において、監視タイマの周期の計算例を変更。 ・ P117、P130 図1.19.5のUART2送受信モードレジスタにおいて、CKDIRの機能を変更。これに関する注意事項を削除。 ・ P120 図1.19.8のUART2特殊モードレジスタにおいてビット7に関する記述を変更。 ・ P128 表1.19.5、P131 表1.19.7、P136 表1.19.8において、UART2の外部クロック選択に関する記述の変更、削除。 ・ P133 図1.19.17「UARTモード時の送信タイミング例(UART2)」を追加。 ・ P137 図1.19.22の送信側において、送信バッファ空フラグおよび送信レジスタ空フラグのタイミングを変更、注意事項の追加、外部クロックに関する記述を削除。受信側において、TxD2とRxD2の信号を入れ換え、外部クロックに関する記述を削除。 ・ P140 図1.19.26において、ビット7の記述を変更。SSSに関する注意事項を削除。 ・ P145 図1.19.30において、SMi2に関する記述を変更、SMi3の注意事項を変更。 ・ P146 表1.19.10において、送受信開始条件、選択機能、注意事項を追加、変更。 ・ P147において、[SouTi初期値設定機能]の本文を変更。図1.19.31の注意事項を変更。図1.19.32のS I/Oiの内部クロック、S I/Oi割り込み要求ビットのタイミング追加、S I/Oi出力のタイミングを変更、注意事項を追加。 ・ P176において、[ノイズに関する注意事項]を追加。[PROM内蔵版使用上の注意事項]本文に、ROM書き込み不良に関する記述を追加。 	
REV.D1	<ul style="list-style-type: none"> ・ P1 [概要]において、本文6行目「M16C/62Tグループは、内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。」を追加。 ・ P1[特長]、およびP6 表1.1.1において、6品種追加。注意事項「M16C/62Tグループではメモリ拡張の動作保証をしていません。」を追加。また、品種追加に伴い、「M30622(100ピン版) 100ピン版」、「M30623(80ピン版) 80ピン版」に記述変更(全頁)。 ・ P7 本文2行目、フラッシュメモリ版の追加。 ・ P7 図1.1.5、P8 表1.1.2において、6品種追加。 ・ P8 図1.1.6において、[ROM番号]に「ワンタイムPROM版のブランク品、EPROM版およびフラッシュメモリ版では省略されます。」に変更。および[ROM容量]に「G : 256Kバイト」を追加。 ・ P9 [端子の機能説明]において、CNVssの機能を「<u>シングルチップモード時およびメモリ拡張モード時はVss端子に接続してください。マイクロプロセッサモード時はVcc端子に接続してください。</u>」「<u>リセット解除後、シングルチップモードまたはメモリ拡張モードで動作を開始する場合はVss端子に、マイクロプロセッサモードで動作を開始する場合はVcc端子に接続してください。</u>」に変更。BYTEの機能を「<u>シングルチップモード時は、Vss端子に接続してください。</u>」「<u>外部データバスを使用しない場合、Vss端子に接続してください。</u>」に変更。 ・ P11 [メモリ]において、本文およびの形名の記述変更。 ・ P11 図1.4.1、P22 図1.8.1、P23 図1.8.2、P25 図1.8.5、P30 図1.10.1において、形名追加。 	99.10.18
改訂記録	M16C/62Tグループ暫定仕様書	

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P18 図1.6.4、P20 図1.7.2において、フラッシュメモリ制御レジスタ0, 1、および注意事項「これらのレジスタはフラッシュメモリ版にのみ存在します。」を追加。 ・ P19 図1.7.1～P21 図1.7.3において、注意事項「SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。」を追加。 ・ P40 図1.12.5において、注意事項「本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。」、「命令キューバッファなどのCPUの状態により、アドレスバスおよびチップセレクトは伸びる場合があります。」を追加。 ・ P43 「(4) 周辺機能クロック」の記述変更。 ・ P45 表1.13.2、P46 表1.13.3において、BHEは「ストップ/ウエイトモードに入る直前の状態を保持」に変更。 ・ P62 [レジスタ退避]の注意事項を「ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。」に変更。 ・ P64 図1.14.9において、割り込み要求レベル判定出力信号の追加。 ・ P68 [(3)NMI割り込み]において、「NMI端子入力が"L"の状態でウエイトモードに移行しないでください。...この場合、CPUはその後に発生した割り込みによって正常に復帰し、動作を再開します。」に変更。 ・ P117 図1.19.5、P123 図1.19.9、P130 図1.19.15のUARTi送受信モードレジスタおよびUART2送受信モードレジスタの内/外部クロック選択ビットに対して注意事項「対応する方向レジスタは"0"にしてください。」を追加。 ・ P140 表1.19.9の注1において、「MSBファーストに設定してください。」に変更。 ・ P163 [プログラマブル入出力ポート]の[(3)プルアップ制御レジスタ]において、「メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタの設定は無効です。」に変更。 ・ P164 図1.23.1において、P45～P47、P51、P54～P56、P63、P67を変更。 ・ P167 図1.23.4において、マスクROM版とワンタイムPROM版のプルアップ接続の有無を修正。 ・ P172 表1.23.2において、注意事項「BCLK出力禁止ビット(0004₁₆番地のビット7)を"1"にした場合、抵抗を介してVccに接続(プルアップ)してください。」を追加。 ・ P176 [ノイズに関する注意事項]において、「(2)ノイズおよびラッチアップ対策として、Vcc-Vssライン間へのバイパスコンデンサ挿入」に変更。 ・ P180 表1.26.3において、「VT+ - VT-」の項目を「TA0OUT～TA4OUT」「TA2OUT～TA4OUT」に変更、「P82～P84」を削除、「SCL, SDA, HOLD, RDY」を追加。注意事項「fc32にてタイマ1本を動作させている状態です。」を追加。 ・ P184～[フラッシュメモリ版]を追加。 	
	<ul style="list-style-type: none"> ・ P7 図1.1.5において、「M30620FCTFP」を「量産中」に変更。「M30623M4T-XXXGP」を「32Kバイト」に修正。 ・ P8 表1.1.2において、「M30620FCTFP」を「量産中」に変更。 	00.4.11
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂番	改訂内容	改訂年月日
	<ul style="list-style-type: none"> ・ P9 [端子の機能説明]の「BYTE」において、最後の一文を「<u>マスクROM版およびワントタイムPROM版の80ピン版では、マイクロコンピュータ内部でCNVss端子に接続しています。フラッシュメモリ版の80ピン版では、内部で空き端子処理が施されています。</u>」に変更。 ・ P11 図1.4.1、P22 図1.8.1、P23 図1.8.2、P25 図1.8.5において、内部予約領域拡張ビットに関する注意事項を追加。 ・ P20 図1.7.2において、フラッシュメモリ制御レジスタの略称を「FMCR」「FMR」に変更。 ・ P29 図1.9.1のプロセッサモードレジスタ1において、内部予約領域拡張ビットの機能を追加。 ・ P36 図1.12.2において、80ピン版に関する注意事項を「80ピン版では、<u>CNVss(BYTE)端子が“H”のときのみ使用できます。</u>」に修正。 ・ P49 図1.13.5の「ストップモード、ウェイトモードの遷移図」において、「低速/低消費電力モード ストップモード」の遷移を追加。 ・ P67 [アドレス一致割り込み]において、本文5行目に「なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みを使用できません。注1. M16C/62Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。」を追加。 ・ P71 図1.15.3において、WDC5動作シーケンスを詳細に記述。 ・ P137 図1.19.22において、注意事項の番号付を修正。 ・ P172 図1.23.9において、BCLKに関する注意事項を追加。 ・ P179 表1.26.1において、ViおよびVoの「P40～P43」を「P40～P47」に修正。 ・ P179 表1.26.2において、VIHの「P40～P44」を「P40～P47」に修正。IOH(avg)、IOL(peak)、IOL(avg)に「P10～P17」を追加。 ・ P181 表1.26.4、表1.26.5において、「指定のない場合は、$VCC=AVCC=VREF=5V$」に修正。 ・ P187 図1.28.1、表1.28.3において、「M30620FCTFP」を「量産中」に変更。 ・ P191 図1.29.1において、フラッシュメモリ制御レジスタの略称を「FMCR」「FMR」に変更。 ・ P193 [CPU書き換えモードの注意事項]の「(4) 内部予約領域拡張ビット」において、最終行を「この注意事項の対象はRAM 15K越え、またはフラッシュメモリ 192K越えの製品です。」に変更。 ・ P214 図1.30.6において、「ライトD016ブロックアドレス」と「SR = 1? (分岐)」の間に「ステータスレジスタリード」を追加。 	
	<ul style="list-style-type: none"> ・ P176 [ノイズに関する注意事項]において、「ポート制御関連レジスタのノイズ誤動作対策」を追加。 	00.5.10
REV.D2	<ul style="list-style-type: none"> ・ フラッシュメモリ版の記述をM16C/62グループの内容からM16C/62Aグループ(Rev.B)の内容に差し替え。 	00.5.22
REV.D3	<ul style="list-style-type: none"> ・ P208 図1.31.2において、シリアル入出力モード時の端子結線を修正(Vcc/Vssラインに接続の「TxD/RxD」を「Vcc/Vss」に)。 	00.6.14
改訂記録	M16C/62Tグループ暫定仕様書	

改訂 副番	改訂内容	改訂 年月日
REV.E	<ul style="list-style-type: none"> ・ レジスタの構成図において、「(値)に固定してください」「(値)を設定してください」に変更。「使用禁止/選択禁止」「設定しないでください」に変更。 ・ P2 図1.1.1、P3 図1.1.2の「ピン接続図」において、注意事項(P70、P71はNチャンネルオープンドレイン出力)を追加。 ・ P11 [メモリ]において、本文8行目を「...4Kバイトの内部RAMが配置されています。...」「...3Kバイトの内部RAMが配置されています。」に訂正。 本文 下から5行目を「...。例えばM30623MCT/MCV-XXXGPでは、...」「...。例えばM30623M4T/M4V-XXXGPでは、...」に訂正。 本文 下から3行目を「D0000₁₆番地からDFFFF₁₆番地(メモリ拡張モード時)」「D0000₁₆番地からF7FFF₁₆番地(メモリ拡張モード時)」に訂正。 ・ P11「図1.4.1. メモリ配置図」の注3、P22「図1.8.1. ノーマルモード時のメモリ配置およびチップセレクト領域」の注4、P23「図1.8.2. 拡張モード1時のメモリ配置図およびチップセレクト領域」の注4、P25「図1.8.5. 拡張モード2時の配置図およびチップセレクト領域」の注4において、「このメモリ配置図はPM13が“0”の場合を示しますが、<u>内部RAMが15Kバイトを越える、または内部ROMが192Kバイトを越える製品(M30624FGTGPおよびM30625FGTGP)</u>ではPM13が“1”の場合を示します。」の下線部を追加。 P30「1.10.1. 各プロセッサモード時のメモリ配置」において、注2を追加。 ・ P17 図1.6.3、P18 図1.6.4の「リセット解除後のマイクロコンピュータの内部状態」において、「(47) タイマB3モードレジスタ」「(67) タイマB0モードレジスタ」を「00?000_2」「00?0000_2」に訂正。「(48) タイマB4モードレジスタ」「(49) タイマB6モードレジスタ」「(68) タイマB1モードレジスタ」「(69) タイマB2モードレジスタ」を「00?000_2」「00?X000_2」に訂正。 ・ P20 図1.7.2、P21 図1.7.3の「周辺装置制御レジスタの配置」において、「タイマAiレジスタ(i=0~4)」「タイマBiレジスタ(i=0~2)」「ポートPiレジスタ(i=0~10)」の下線部を追加。 ・ P28「(2) 各モードの設定」において、本文5~7行目「プロセッサモードビットを“102”または“112”に書き替えるときは、他のビットと同時にプロセッサモードを書き替えないでください。他のビットを書き替えてから、プロセッサモードビットを書き替えてください。」を追加。 ・ P29 図1.9.1の「プロセッサモードレジスタ0の構成」において、注4を「...全空間マルチプレクスバスを選択した場合、<u>上位アドレスはポートとなりますので、...</u>」「...全空間マルチプレクスバスを選択した場合、P31~P37はポートとなりますので、...」に変更。 「プロセッサモードレジスタ1の構成」において、PM13の機能を「0：M16C/60、M16C/61グループと同一の内部予約領域、1：内部RAM領域を23Kバイト、内部ROM領域を256Kバイトに拡張」「0：内部RAM15Kバイト以下、内部ROM192Kバイト以下、1：内部RAM15Kバイト越え、内部ROM192Kバイト越え」に訂正、ビット読み出しを「-」「」訂正。注2を「RAM15Kバイト越え、ROM192Kバイト越えの製品以外では必ずこのビットを“0”にしてください。RAM15Kバイト越え、ROM192Kバイト越えの製品であるM30624FGTGP、M30625FGTGPでは、ユーザプログラムの最初でこのビットを“1”にしてください。またユーザプログラムのリセットベクタテーブルで、リセット解除時のPM13が“0”で内部ROM領域となるD0000₁₆番地以降のアドレスを指定してください。」「リセット解除時、このビットは“0”です。内部領域を拡張する場合はユーザプログラムでこのビットを“1”にしてください。また、ユーザプログラムの先頭はD000₁₆番地以降に配置する必要があります。」に訂正。 ・ P30「内部予約領域拡張ビット(PM13)」を追加。P31「図1.10.2. 各プロセッサモード時のメモリ配置図およびチップセレクト領域」を追加。 	01.7.31
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P33「マルチプレクスバス」本文1行目において、「<u>データバスが8ビット(BYTE端子が“H”レベル)</u>」 「<u>BYTE端子が“H”レベル</u>」に変更。本文3行目において、「<u>データバスが16ビット(BYTE端子が“L”レベル)</u>」 「<u>BYTE端子が“L”レベル</u>」に変更。 本文下から2行目、P34「表1.11.2. 各プロセッサモードと端子の機能表」の注2において、「<u>全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので...</u>」 「<u>全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので...</u>」に変更。 ・ P35 表1.12.1の表題において、「<u>チップセレクト信号によって指定する外部領域(内部RAM15Kバイト以内で、かつ内部ROM192Kバイト以内の製品)</u>」の下線部を追加。 ・ P36「<u>チップセレクト信号によって指定する外部領域(内部RAM15Kバイトを越える、または内部ROM192Kバイトを越える製品)</u>」を追加。 ・ P36において、チップセレクト信号の変化するタイミングに関する記述を追加。P37「<u>図1.12.2. アドレスバスとチップセレクト信号の出力例(セパレートバス ウェイトなし)</u>」を追加。 ・ P45「(2) サブクロック」において、本文最終行「<u>XCIN/XCOUTを使用する場合、ポートP86、P87は入力ポートでプルアップなしを設定してください。</u>」を追加。 ・ P46 図1.13.4の「<u>システムクロック制御レジスタ0の構成</u>」において、注3を「<u>...メインクロックを停止させるためのビットです。ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。</u>」 「<u>...メインクロックを停止させるためのビットです。メインクロックを停止させる場合、サブクロックが安定している状態で、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。</u>」下線部変更。注8に「<u>低速モードおよび低消費電力モード時は“1”にしないでください。</u>」を追加。CM04=1に関する注意事項「<u>注9. XCIN/XCOUTを使用する場合、ポートP86、P87は入力ポートでプルアップなしを設定してください。</u>」を追加。 ・ P47「ストップモード」本文8～13行目において、「<u>ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。</u>」の下線部を追加。 ・ P48「ウェイトモード」本文5行目～最終行において、「<u>ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウェイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウェイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウェイトモードに移行してください。</u>」の下線部を追加。 ・ P67「<u>図1.14.10. 割り込み要因選択レジスタの構成</u>」において、注1と注2を統一し、「<u>注1. 80ピン版では、INT3～INT5割り込みを使用できないため、これらのビットには“0”を設定してください。</u>」に変更。 ・ P70「<u>割り込みの注意事項</u>」の「(1) 00000₁₆番地の読み出し」本文下から3行目において、「<u>...。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。</u>」 「<u>...。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。</u>」に訂正。 	
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P71「図1.14.13. INT割り込み発生要因の切り替え手順例」において、「注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)行わないでください。」を追加。 ・ P72「監視タイマ」において、本文1~2行目に「したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。」を追加。本文 下から3~2行目に「ストップモード時、ウェイトモード時、およびホールド状態時、監視タイマおよびプリスケアラは停止し、解除すると保持された値からカウントします。」を追加。 ・ P75「表1.16.1. DMAC仕様」の「順方向アドレスポインタ、転送カウンタのリロードタイミング」において、表記ミスを訂正。 ・ P77「図1.16.3. DMAi制御レジスタの構成」の注3において、「転送先アドレス選択ビット」「転送先アドレス方向選択ビット」に訂正。 ・ P82「DMA要求ビット」において、本文から「DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。」を削除。 ・ P84「図1.17.1. タイマA構成」において、「ワンショットモード」「ワンショットタイマモード」に訂正。 ・ P87 図1.17.5の「タイマAiレジスタ」において、注2~注4を追加。「アップダウンフラグ」において、注1、注2を追加。 ・ P91「表1.17.3. イベントカウンタモードの仕様」において、TAiIN端子機能に「二相パルス入力 (TAiIN端子に対するポート方向レジスタは“0”にする) 下線部を追加。TAiOUT端子機能に「二相パルス入力 (TAiOUT端子に対するポート方向レジスタは“0”にする) 下線部を追加。選択機能に「通常処理動作 (タイマA2、タイマA3)」、「4通倍処理動作 (タイマA3、タイマA4) 下線部を追加、注2(タイマA3だけ選択可)を追加。 ・ P93 図1.17.10、P94 図1.17.11の「タイマAiモードレジスタの構成」において、MR2=1を「イベント/トリガ選択レジスタにより選択」「イベント/トリガ選択ビットにより選択」に訂正。 ・ P98「図1.17.17. タイマBiモードレジスタの構成」において、「注1. TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。TBiのオーバフローを選択したときは、“0”でも“1”でも可。」下線部を追加。 ・ P100「図1.17.19. タイマBiモードレジスタの構成」において、注1に「リセット時は不定です。」を追加。注4(80ピン版のタイマB1に関する注意事項)を追加。 ・ P102 図1.18.1の「三相PWM制御レジスタ0」において、「三相PWM制御レジスタのビット0(INV00)、ビット1(INV01)にとも「1」を書き込む場合は、...」「三相PWM制御レジスタのビット1(INV01)に“1”を書き込む場合は、...」に訂正。 ・ P103 図1.18.2において、「三相出力バッファレジスタ0」および「三相出力バッファレジスタ1」のb0~b5のビット読み出しを「」「(注1)」に変更。「短絡防止タイマ」および「タイマB2割り込み発生頻度設定カウンタ」に注意事項「このレジスタへの書き込みには、MOV命令を使用してください。」を追加。 ・ P104 図1.18.3. タイマAiレジスタ」において、注2、注3を追加。 ・ P105~P106において、「三相波形モード」「三相PWM出力モード」に訂正。 ・ P105 図1.18.4において、図題を「三相PWM出力モード時のタイマモードレジスタおよびトリガ選択レジスタ」「三相PWM出力モード時のタイマモードレジスタお」に訂正。「タイマAi/B2モードレジスタ」において、「タイマAiモードレジスタの構成」において、MR2=1を「イベント/トリガ選択レジスタにより選択」「イベント/トリガ選択ビットにより選択」に訂正。 ・ P106「三相モータ駆動波形出力モード」本文 最終文において、「...、U相と\bar{U}相、V相と\bar{V}相、W相と\bar{W}相のいずれかが同時に“L”になることで強制的に“0”になります。」「...、U相と\bar{U}相、V相と\bar{V}相、W相と\bar{W}相のいずれかが同時に“L”になることでポートはポート 	
改訂記録	M16C/62Tグループ暫定仕様書	

改訂 副番	改訂内容	改訂 年月日
	<p>方向レジスタで設定した状態になります。」に訂正。</p> <ul style="list-style-type: none"> ・ P118 図1.19.4において、「UARTi送信バッファレジスタ」に注1(レジスタへの書き込みにはMOV命令を使用)を追加。 「UARTi受信バッファレジスタ」の注1を「ビット15～ビット12は、シリアルI/Oモード選択ビット(03A0₁₆番地、03A8₁₆番地、0378₁₆番地のビット2～ビット0)を“0002”に設定したとき、または受信許可ビットを“0”に設定したとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。…」 「シリアルI/Oモード選択ビット(03A0₁₆番地、03A8₁₆番地、0378₁₆番地のビット2～ビット0)を“0002”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。…」に変更。 「UARTi転送速度レジスタ」に注1(値書き込みは送信中に行う)、注2(レジスタへの書き込みにはMOV命令を使用)を追加。 ・ P120 「図1.19.6. UART2送信制御レジスタ0」において、注6 (80ピン版ではCTS/RTS禁止ビットを“1”に設定)を追加。 ・ P121 「図1.19.7. UART2送受信制御レジスタ1」のU2RRM、P122 「図1.19.8. UART送受信制御レジスタ2」のU0RRMおよびU1RRMにおいて、クロック非同期形シリアルI/Oモード時の機能を「無効」「“0”を設定してください」に訂正。 ・ P123 「表1.19.2. クロック同期形シリアルI/Oモードの仕様(1)」において、注2を「…またUARTi受信割り込み要求ビットは“1”になりません。」 「…またUARTi受信割り込み要求ビットは変化しません。」に訂正。 ・ P126 「表1.19.4. クロック同期形シリアルI/Oモード時の入出力端子の機能」において、80ピン版ではUART2をクロック同期形シリアルI/Oモードで使用できない注意事項を追加。 ・ P130 「表1.19.5. クロック非同期形シリアルI/Oモードの仕様」において、注3を「…またUARTi受信割り込み要求ビットは“1”になりません。」 「…またUARTi受信割り込み要求ビットは変化しません。」に訂正。注4を「80ピン版ではCTS₂/RTS₂の外部端子がないのでこれらの機能を使用できません。」 「80ピン版ではCTS₂/RTS₂の外部端子がないので、UART2に対するCTS/RTS禁止ビット(037C₁₆番地のビット4)を“1”設定してください。」に訂正。 ・ P133 「表1.19.7. クロック非同期形シリアルI/Oモード時(CTS/RTS分離機能非選択時)の入出力端子の機能」において、注1を「80ピン版では、CLK₂(P7₂)の外部端子がありません。」 「80ピン版では、CLK₂(P7₂)の外部端子を備えていないので、UART2の転送クロックは内部クロックを使用してください。」に訂正。注2を「80ピン版では、CTS₂/RTS₂の外部端子がないのでUART2におけるこれらの機能はありません。」 「80ピン版では、CTS₂/RTS₂の外部端子を備えていないので、UART2に対するCTS/RTS禁止ビット(037C₁₆番地のビット4)を“1”設定してください。」に訂正。 ・ P138 「表1.19.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)」において、注2を「…またUARTi受信割り込み要求ビットは“1”になりません。」 「…またUARTi受信割り込み要求ビットは変化しません。」に訂正。 ・ P138 「パリティエラー信号出力機能」を「受信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“1”のとき、パリティエラー検出時にTxD₂端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“0”の時と比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。従って、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図1.19.23にパリティエラー信号出力タイミングを示します。」に訂正。 ・ P144 本文3～4行目において、「…この検出フラグはUART2受信バッファレジスタ1 (037F₁₆番地)のビット3に配置されており、…」 「…この検出フラグはUART2受信バッファレジスタ (037F₁₆番地、037E₁₆番地)のビット11に配置されており、…」に訂正。 	
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P147 図1.19.30において、「SI/Oi転送速度レジスタ」において、注1(レジスタへの書き込みは送受信停止中に行う)、注2(レジスタへの書き込みにはMOV命令を使用)を追加。 「SI/Oi送受信レジスタ」において、注1(レジスタへの書き込みは送受信停止中に行う)を追加。 ・ P155 「表1.20.3. 繰り返しモードの仕様」の「A-D変換値の読み出し」に「常時読み出し可能」を追加。 ・ P165 「(1) 方向レジスタ」、P170 「図1.23.5. ポートPi方向レジスタの構成」に「メモリ拡張モード時またはマイクロプロセッサモード時、A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WRL /WR、WRH /BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子の方向レジスタの内容は変更できません。」を追加。 ・ P165 「(2) ポートレジスタ」、P171 「図1.23.6. ポートPiレジスタの構成」に「メモリ拡張モード時またはマイクロプロセッサモード時、A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WRL /WR、WRH /BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子のポートレジスタの内容は変更できません。」を追加。 ・ P165 「(3) プルアップ制御レジスタ」に、「レジスタの内容は変更できますが、プルアップ抵抗は接続されません。」を追加。 ・ P172 図1.23.7の「プルアップ制御レジスタ0, 1の構成」に、メモリ拡張モード時またはマイクロプロセッサモード時に関する注意事項を追加。 ・ P176 「ストップモード、ウエイトモードの注意事項」において、低速モードおよび低消費電力モード時に関する注意事項(3)を追加。 ・ P176 「割り込みの注意事項」において、「(1) 00000₁₆番地の読み出し」の本文5 ~ 6行目を「...。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。...。」 「...。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。...」に訂正。 ・ P184 「表1.26.4. A-D変換特性」において、注2(サンプル&ホールド機能有無によるAD動作クロックの注意事項)、注3(AVcc端子をVcc端子に接続)を追加。 ・ P189 「表1.27.1. M16C/62Tグループ(フラッシュメモリ板)の性能概要」において、「ROMコードプロテクト」に「<u>パラレル入出力モード/標準シリアル入出力モード対応</u>」の下線部を追加。 ・ P193 「機能概要(CPU書き換えモード)」において、本文8 ~ 9行目に「また、NMI端子が“H”の状態で行ってください。」を追加。本文下から8 ~ 7行目において、「このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。」の下線部を削除。 ・ P194 図1.28.1の「フラッシュメモリ制御レジスタ0」の注1および注4、「フラッシュメモリ制御レジスタ1」の注1において、「このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。」の下線部を削除。 「フラッシュメモリ制御レジスタ0」の注1に「また、NMI端子が“H”の状態で行ってください。このビットはリードアレイモードにしてから“0”にしてください。」を追加。 ・ P195 「図1.28.2. CPU書き換えモードの設定/解除フローチャート」において、注1の文頭に「CPU書き換えモード中は、」を追加。注2に「このビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。」を追加。 ・ P196 「CPU書き換えモードの注意事項」の「(1) 動作速度」において、「...、メインクロックを次の周波数以下に設定してください。」 「...、BCLKを次の周波数以下に設定してください。」に訂正。 	
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<p>「(3) 使用禁止割り込み」本文3～5行目を「NMI割り込み、監視タイマ割り込みは、各割り込み発生時にフラッシュメモリの動作モードを強制的にリードアレイモードに変更するので使用できます。」 「NMI割り込み、監視タイマ割り込みは、各割り込み発生時に強制的にフラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1が初期化され、通常モードに戻るので使用できます」に訂正。最終文に「NMI割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。」の下線部を追加。</p> <p>「(7) アクセス方法」において、「CPU書き換えモード選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。」を追加。</p> <ul style="list-style-type: none"> ・ P200 「図1.28.5. ブロックイレーズフローチャート」において、フルステータスチェック時のイレーズエラーを追加、注1(参照)を追加。 ・ P202 「図1.28.7. リードロックビットステータスフローチャート」において、注1(D6の説明)を追加。 ・ P204 「プログラムステータス(SR4)」において、本文7～9行目を「プログラムステータスやイレーズステータスが“1”にセットされている状態では、コマンドライトによる次のコマンドは受け付けません。」 「プログラムステータスやイレーズステータスが“1”にセットされている状態では、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド以外のコマンドは受け付けません。」に訂正。本文中(2)において、「イレーズオールアンロックブロック(A716/D016)」 「イレーズ全アンロックブロック(A716/D016)」に訂正。 ・ P208 「パラレル入出力モード」本文1～2行目を「パラレル入出力モードでは、内蔵フラッシュメモリM5M29FB/T800相当の動作をします。マイコンが持っていない機能やメモリ容量関連の相違点がありますので、フラッシュメモリ用のライターでは書き込みできません。」 「パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。」に訂正。 ・ P209 「端子の機能説明(フラッシュメモリ標準シリアル入出力モード)」の「P64」の標準シリアルモード2時の機能において、「ブートプログラム動作チェック用モニタ信号出力端子です。」の下線部を追加。 ・ P217、P235の「ブロックイレーズコマンド」本文1行目において、「指定したブロック内のデータをイレーズするコマンドです。」 「指定したブロック内のデータをイレーズするコマンドです。」に訂正。 ・ P218、P236の「イレーズ全アンロックブロックコマンド」において、「イレーズ全アンロックブロックコマンド」 「イレーズ全アンロックブロックコマンド」に訂正。 ・ P219 図1.31.10、P237 図1.29.30の「リードロックビットステータスコマンド時のタイミング」において、TxD1(M16C送信データ)を「DQ6」 「D6」に訂正。 ・ P224 「図1.31.43. 標準シリアル入出力モード2時の応用回路」において、「M16C/62フラッシュ」 「M16C/62Tグループフラッシュメモリ板」に訂正。 	
	<ul style="list-style-type: none"> ・ P1 「特長」、P6 「表1.1.1. M16C/62Tグループの性能概要」の「メモリ容量」において、品名種の記述を「ROM：図1.1.5参照、RAM：3Kバイト～20Kバイト」に変更。 ・ P5 「図1.1.4. 80ピン版のブロック図」において、注5(外部端子を持たない入出力ポートに関する注意事項)を追加。 ・ P7、P8において、105 保証版を含む6品種(M30620FCUFP, M30622FGUFP, M30621M8T-XXXGP, M30621MCT-XXXGP, M30621FCUGP, M30625FGUGP)の追加。 	01.9.13
改訂記録	M16C/62Tグループ暫定仕様書	

改訂記録

改訂 副番	改訂内容	改訂 年月日
	<ul style="list-style-type: none"> ・ P9「端子の機能説明」のBYTE端子の機能において、最終文を「フラッシュメモリ板の80ピン版では、内部の空き端子処理回路によりプルアップ処理が施されています。」に変更。 ・ P11 図1.4.1、P22 図1.8.1、P23 図1.8.2、P25 図1.8.5、P30 図1.10.1において、形名と番地の対応表をメモリ容量と番地の対応表に変更。PM13に関する注意事項から形名削除。 ・ P15「リセット」本文に、リセット解除後の不定RAMに対する初期値設定の記述を追加。 ・ P15 図1.6.2の注1、P16 表1.6.1の注1において、80ピン版のBYTE端子がフラッシュメモリ版ではマイコン内部でプルアップ処理されていることを追記。 ・ P17 図1.6.3、P18 図1.6.4において、リセットに関する注意事項を追加。 ・ P30「内部予約領域拡張ビット」本文2行目の形名を訂正。図1.10.2に関する説明を追加。 ・ P72 図1.15.1において、信号名を「BCLG」「BCLK」に訂正。 ・ P99 図1.17.18において、注1、注2から80ピン版に関する注意事項を削除。注5(80ピン版に関する注意事項)を追加。 ・ P100 表1.17.8の割り込み要求発生タイミング、図1.17.19の注1において、タイマBiオーパローフラグに関する記述を変更。 ・ P172 図1.23.7のPU13に注3を付加。 ・ P190において、105 保証版4品種(M30620FCUFP, M30622FGUFP, M30621FCUGP, M30625FGUGP)の追加。 	
	<ul style="list-style-type: none"> ・ P15「リセット」本文からリセット解除後の不定RAMに対する初期値設定の記述を削除。 ・ P17「リセット」本文、図1.6.3、図1.6.4の「リセット解除後のマイクロコンピュータの内部状態」に、リセット解除後の不定RAMに対する初期値設定の記述を追加。 	01.9.28
	以 上	
改 訂 記 録	M16C/62Tグループ暫定仕様書	

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（<http://www.semicon.melco.co.jp/>）などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

三菱シングルチップマイクロコンピュータ
M16C / 62T グループ データシート REV.E

2001年9月発行

編集 三菱電機セミコンダクタ・アプリケーション・エンジニアリング株式会社

発行 三菱電機株式会社

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製
することを堅くお断りします。

©2001 MITSUBISHI ELECTRIC CORPORATION