

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

M16C/62Nグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間、低電圧(2.4V(マスクROM版は2.2V)~3.6V)、かつ命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/62Nグループは内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

特長

メモリ容量	ROM(ROM展開の図を参照してください) RAM 10Kバイト~20Kバイト
最短命令実行時間	62.5ns($f(XIN)=16\text{MHz}$ 、 $V_{CC}=3.0\text{V} \sim 3.6\text{V}$) 142.9ns($f(XIN)=7\text{MHz}$ 、 $V_{CC}=2.4\text{V} \sim 3.6\text{V}$ 、ウエイトなし)
電源電圧	3.0V ~ 3.6V($f(XIN)=16\text{MHz}$ 、ウエイトなし) 2.4V ~ 3.6V($f(XIN)=7\text{MHz}$ 、ウエイトなし) 2.2V ~ 3.6V($f(XIN)=7\text{MHz}$ 、1ウエイト) : マスクROM版
低消費電力	34.0mW($V_{CC}=3\text{V}$ 、 $f(XIN)=10\text{MHz}$ 、ウエイトなし) 66.0mW($V_{CC}=3.3\text{V}$ 、 $f(XIN)=16\text{MHz}$ 、ウエイトなし)
割り込み	内部25要因、外部8要因、ソフトウェア4要因、7レベル (キー入力割り込みを含む)
多機能16ビットタイマ	出力系5本 + 入力系6本
シリアルI/O	5本(UART/クロック同期 3本、クロック同期 2本)
DMAC	2チャンネル(スタート条件:25要因)
A-D変換器	10ビット×8チャンネル(最大18チャンネルまで拡張可)
D-A変換器	8ビット×2チャンネル
CRC演算回路	1回路
監視タイマ	1本
プログラマブル入出力	87本
入力ポート	1本(P85、 $\overline{\text{NMI}}$ 端子と兼用)
メモリ拡張	可能(4Mバイトの拡張)
チップセレクト出力	4本
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)

応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

目次

中央演算処理装置	11	三相モータ制御用タイマ機能	98
リセット	14	シリアルI/O	110
プロセッサモード	27	A-D変換器	151
クロック発生回路	39	D-A変換器	161
プロテクト	48	CRC演算回路	166
割り込み	49	プログラマブル入出力ポート	165
監視タイマ	68	電気的特性	175
DMAC	70	フラッシュメモリ版	190
タイマ	80		

概要

ピン接続図

図1.1.1および図1.1.2にピン接続図(上面図)を示します。

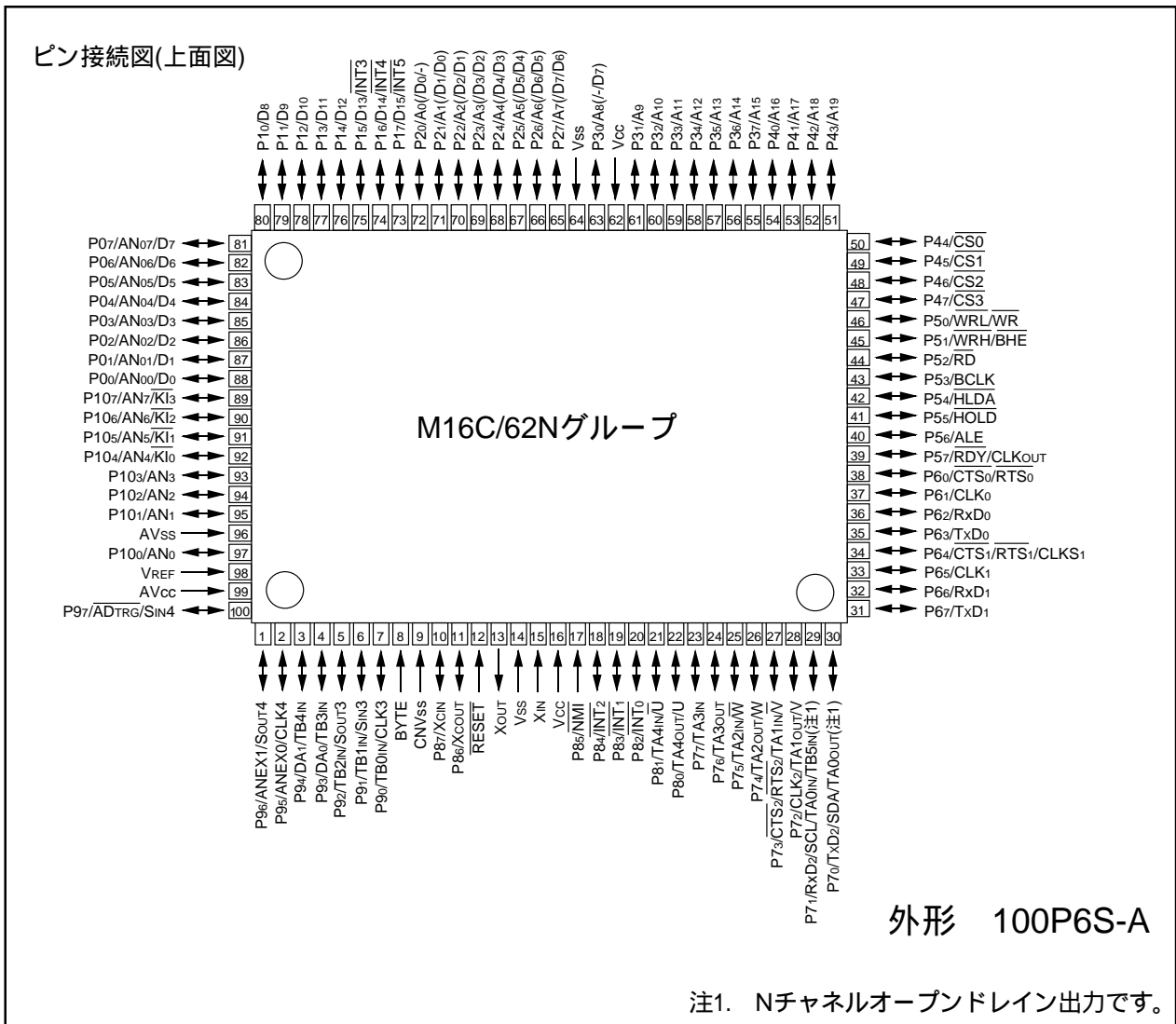


図1.1.1. ピン接続図(上面図)

概要

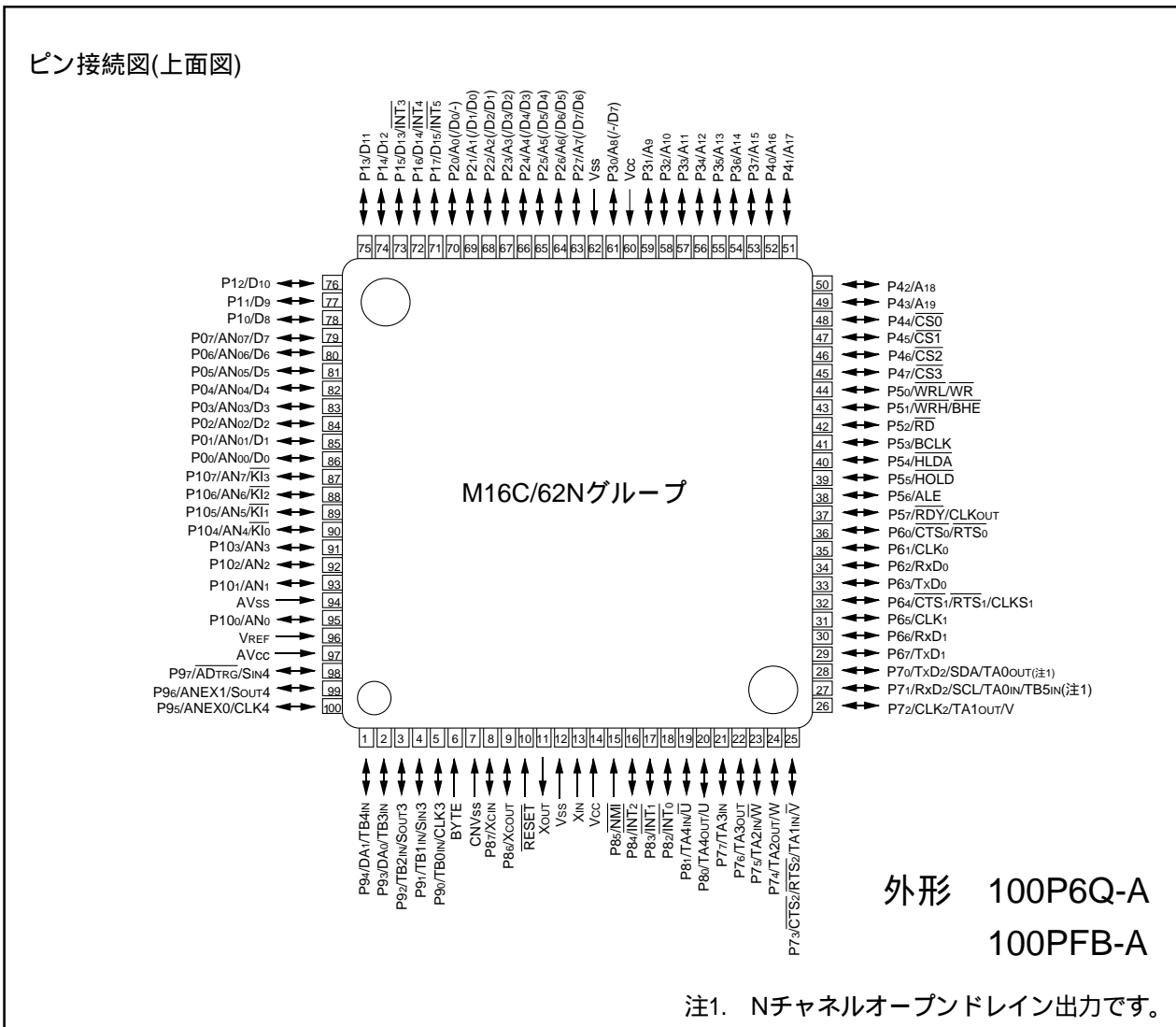


図1.1.2. ピン接続図(上面図)

概要

ブロック図

図1.1.3にM16C/62Nグループのブロック図を示します。

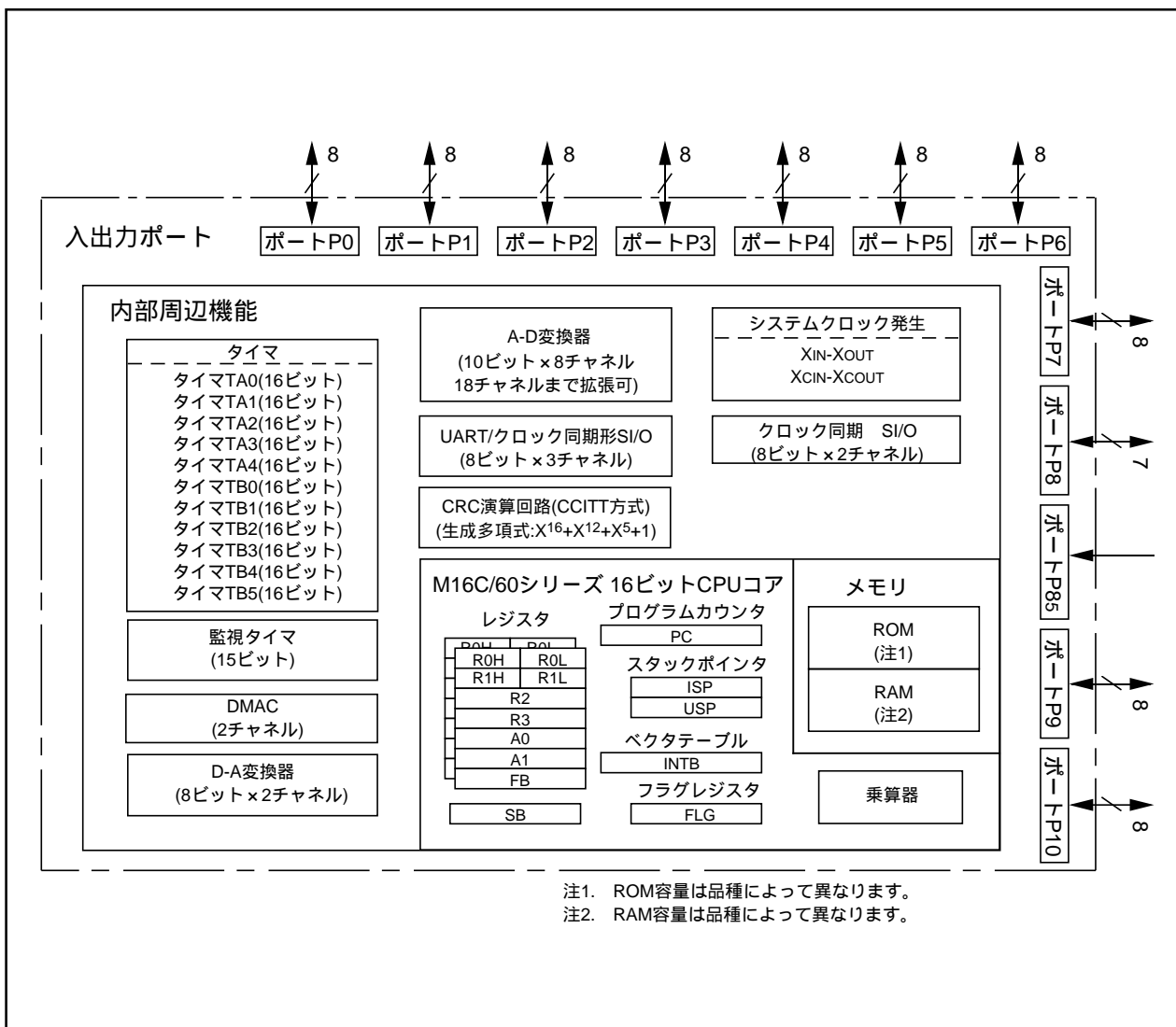


図1.1.3. M16C/62Nグループのブロック図

概 要

性能概要

表1.1.1にM16C/62Nグループの性能概要を示します。

表1.1.1. M16C/62Nグループの性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns($f(X_{IN})=16\text{MHz}$ 、 $V_{CC}=3.0\text{V} \sim 3.6\text{V}$) 142.9ns($f(X_{IN})=7\text{MHz}$ 、 $V_{CC}=2.4\text{V} \sim 3.6\text{V}$ 、ウエイトなし)
メモリ容量	ROM	(ROM展開の図を参照してください)
	RAM	10Kバイト～20Kバイト
入出力ポート	P0～P10(ただしP8 ₅ は除く)	8ビット×10、7ビット×1
入力ポート	P8 ₅	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形)×3
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×(8×2+2)チャンネル
D-A変換器		8ビット×2
DMAC		2チャンネル(スタート条件:25要因)
CRC演算回路		CRC-CCITT方式
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部25要因、外部8要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		3.0V～3.6V($f(X_{IN})=16\text{MHz}$ 、ウエイトなし) 2.4V～3.6V($f(X_{IN})=7\text{MHz}$ 、ウエイトなし) 2.2V～3.6V($f(X_{IN})=7\text{MHz}$ 、1ウエイト) : マスクROM版
消費電力		34.0mW($V_{CC}=3\text{V}$ 、 $f(X_{IN})=10\text{MHz}$ 、ウエイトなし) 66.0mW($V_{CC}=3.3\text{V}$ 、 $f(X_{IN})=16\text{MHz}$ 、ウエイトなし)
入出力特性	入出力耐電圧	3.3V
	出力電流	1mA
メモリ拡張		可能(4Mバイトの拡張)
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

概 要

M16C/62Nグループでは次のような展開を計画しています。

- (1) マスクROM版、フラッシュメモリ版のサポート
- (2) ROM容量
- (3) パッケージ
 - 100P6S-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)
 - 100P6Q-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)
 - 100PFB-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)



図1.1.4. ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

2002年8月現在

形 名	ROM容量	RAM容量	パッケージ	備 考	
M30620MCN-XXXFP	128Kバイト	10Kバイト	100P6S-A	マスクROM版	
M30620MCN-XXXGP			100P6Q-A		
M30620MCN-XXXHP			100PFB-A		
M30622MGN-XXXFP	256Kバイト	12Kバイト	100P6S-A		
M30622MGN-XXXGP			100P6Q-A		
M30622MGN-XXXHP			100PFB-A		
M30624MGN-XXXFP	256Kバイト	20Kバイト	100P6S-A		フラッシュメモリ版
M30624MGN-XXXGP			100P6Q-A		
M30620FCNFP	128Kバイト	10Kバイト	100P6S-A		
M30620FCNGP			100P6Q-A		
M30624FGNFP			100P6S-A		
M30624FGNGP	256Kバイト	20Kバイト	100P6Q-A		
M30624FGNHPP			100PFB-A		

: 開発中

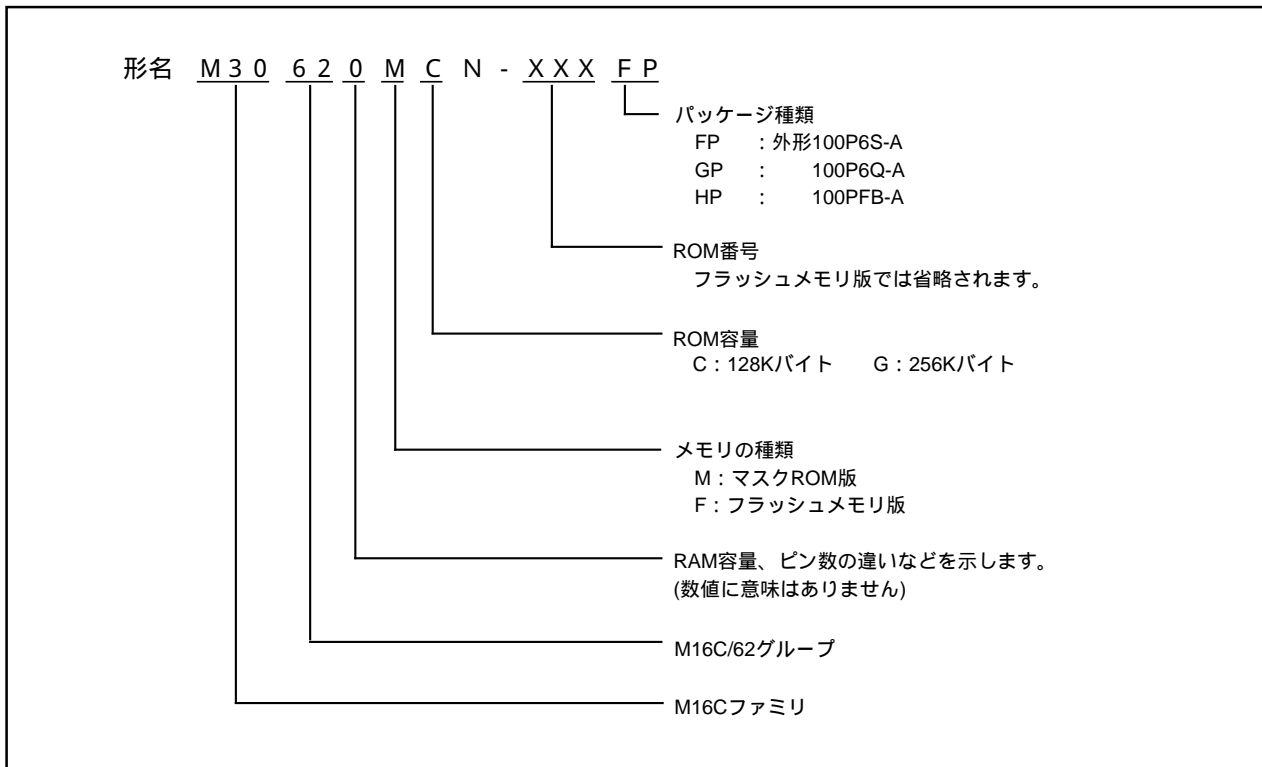


図1.1.5. 形名とメモリサイズ・パッケージ

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
VCC, VSS	電源入力		Vcc端子には、2.2V～3.6V(マスクROM版)、2.4V～3.6V(フラッシュメモリ版)を印加してください。Vss端子には、0Vを印加してください。
CNVss	CNVss	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合Vss端子に、マイクロプロセッサモードで動作を開始する場合Vcc端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、Vss端子に接続してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。Vcc端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。Vss端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。 シングルチップモードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗は選択できません。 P0はシングルチップモード時、ソフトウェアで選択することによってA-D変換器の拡張入力端子として機能します。
D0～D7		入出力	セバレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P15～P17はソフトウェアで選択することによって、外部割り込み端子として機能します。
D8～D15		入出力	セバレートバス設定時データ(D8～D15)の入出力を行います。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A0～A7		出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～ A7/D7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
A0		出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
A1/D0～ A7/D6		入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
P30～P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8～A15		出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D7、 A9～A15		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9～A15)の出力を行います。
P40～P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16～A19、 CS0～CS3		出力 出力	A16～A19、CS0～CS3信号を出力します。A16～A19はアドレスの上位4ビットです。CS0～CS3はチップセレクト信号でアクセス空間の指定に使用します。

端子の機能説明

端子の機能説明

端子名	名称	入出力	機能
P50 ~ P57	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウェアで選択することによって、P57からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
\overline{WRL} / \overline{WR} 、 \overline{WRH} / \overline{BHE} 、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{HOLD} 、 \overline{ALE} 、 \overline{RDY}		出力 出力 出力 出力 入力 出力 入力	\overline{WRL} 、 \overline{WRH} 、(\overline{WR} 、 \overline{BHE})、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{ALE} 信号を出力します。なお、ソフトウェアによって \overline{WRL} 、 \overline{WRH} または、 \overline{BHE} 、 \overline{WR} を切り替えることができます。 \overline{WRL} 、 \overline{WRH} 、 \overline{RD} 選択時 外部データバス幅が16ビットの場合、 \overline{WRL} 信号が“L”レベルのとき偶数番地に、 \overline{WRH} 信号が“L”レベルのときは奇数番地に書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{WR} 、 \overline{BHE} 、 \overline{RD} 選択時 \overline{WR} 信号が“L”レベルのとき書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{BHE} 信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 \overline{HOLD} 端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、 \overline{HLDA} は“L”レベルを出力します。 \overline{ALE} はアドレスをラッチするための信号です。 \overline{RDY} 端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
P60 ~ P67	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A3、タイマB5またはUART2の入出力端子として機能します。
P80 ~ P84、 P86、 P87、 P85	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90 ~ P97	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、SI/O3、4の入出力端子、タイマB0 ~ B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104 ~ P107はキー入力割り込み機能の入力端子としても機能します。

メモリ

機能ブロック動作説明

M16C/62Nグループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.3.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30620MCN-XXXXFPでは、E0000₁₆番地からFFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30620MCN-XXXXFPでは、00400₁₆番地から033FF₁₆番地まで12Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.6.1～図1.6.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用できません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30620MCN-XXXXFPでは、次の領域は使用できません。

- ・03400₁₆番地から03FFF₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・D0000₁₆番地からDFFFF₁₆番地(メモリ拡張モード時)

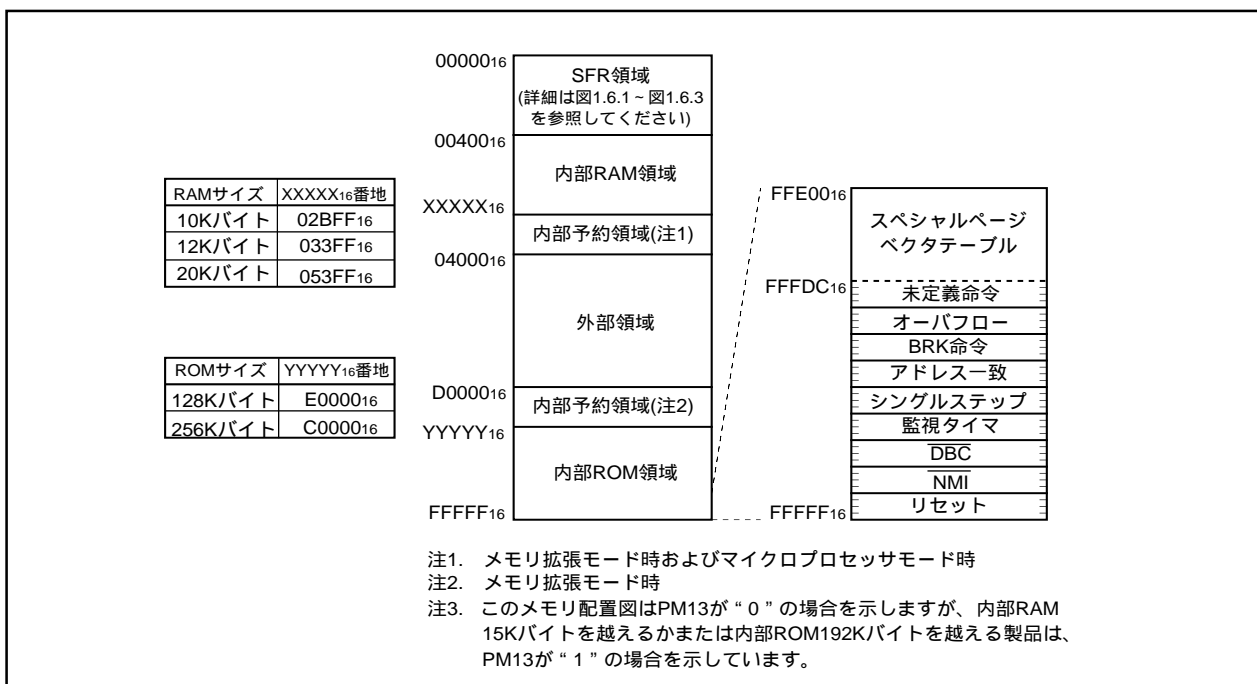


図1.3.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.4.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

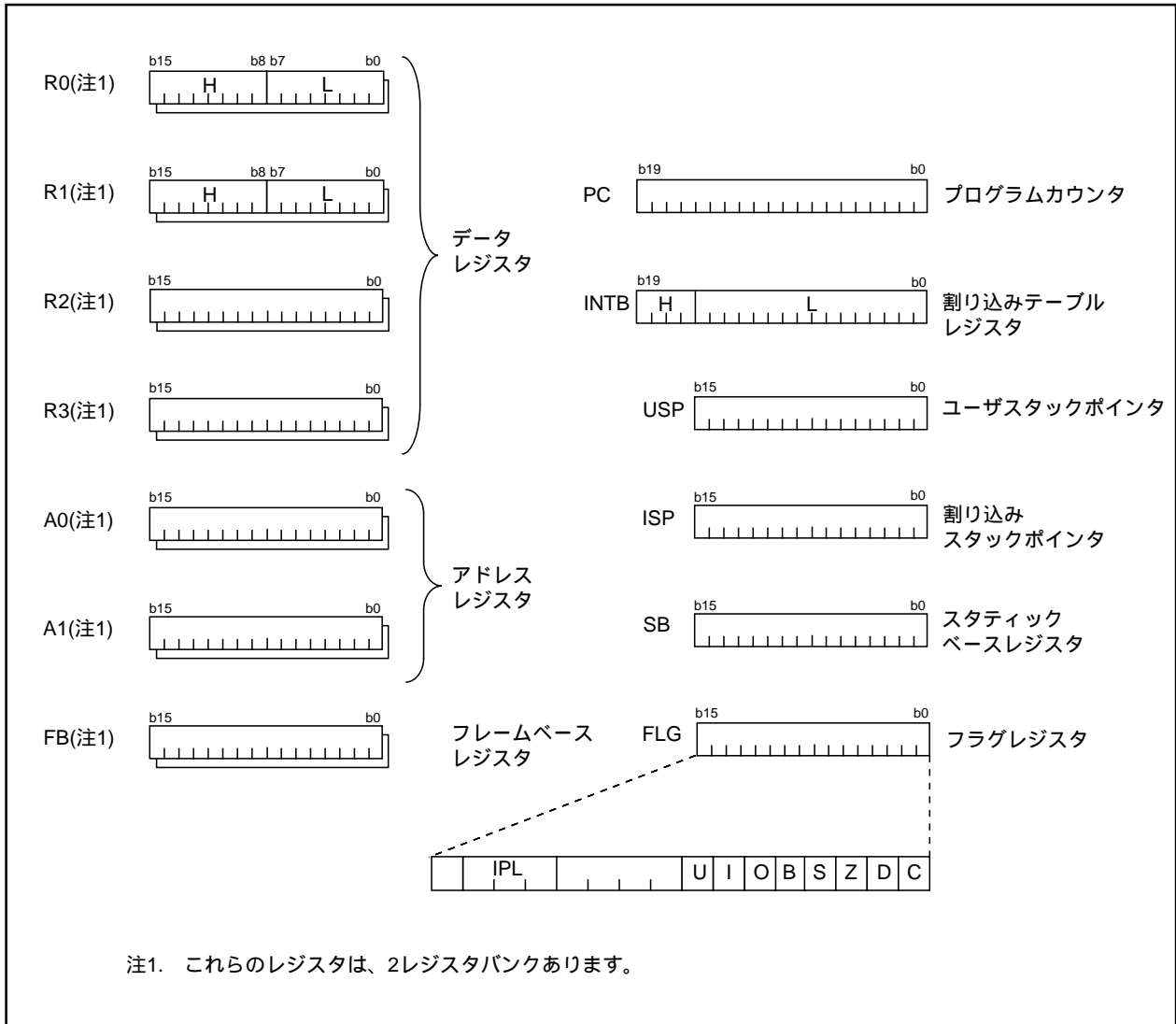


図1.4.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図1.4.2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスク可能割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

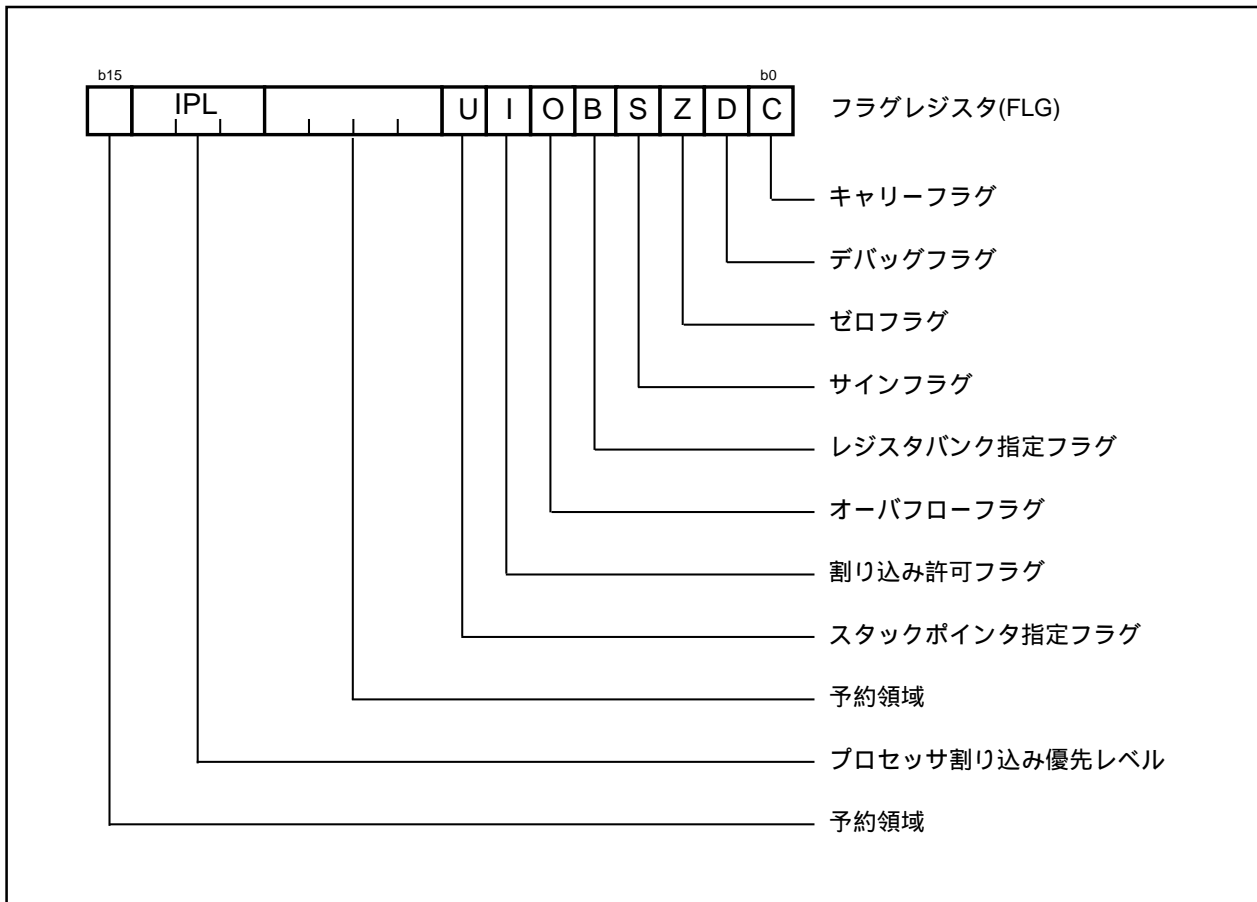


図1.4.2. フラグレジスタ(FLG)の構成

リセット

リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

リセット回路の一例を図1.5.1、リセットシーケンスを図1.5.2に示します。

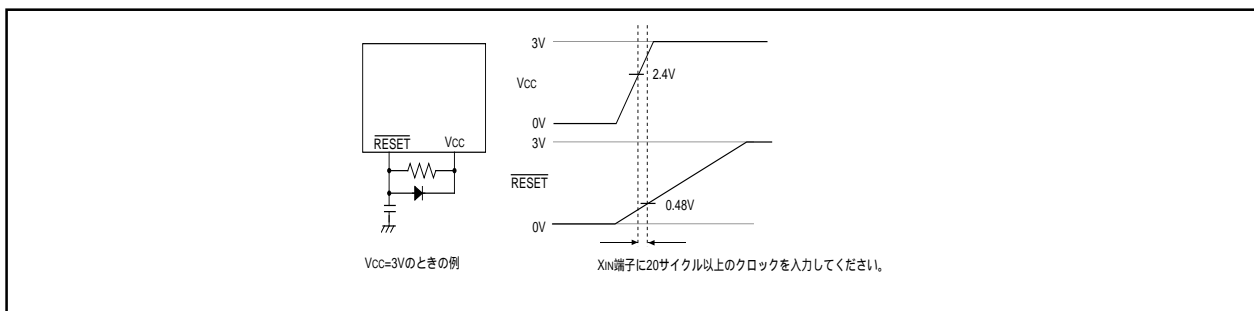


図1.5.1. リセット回路の一例

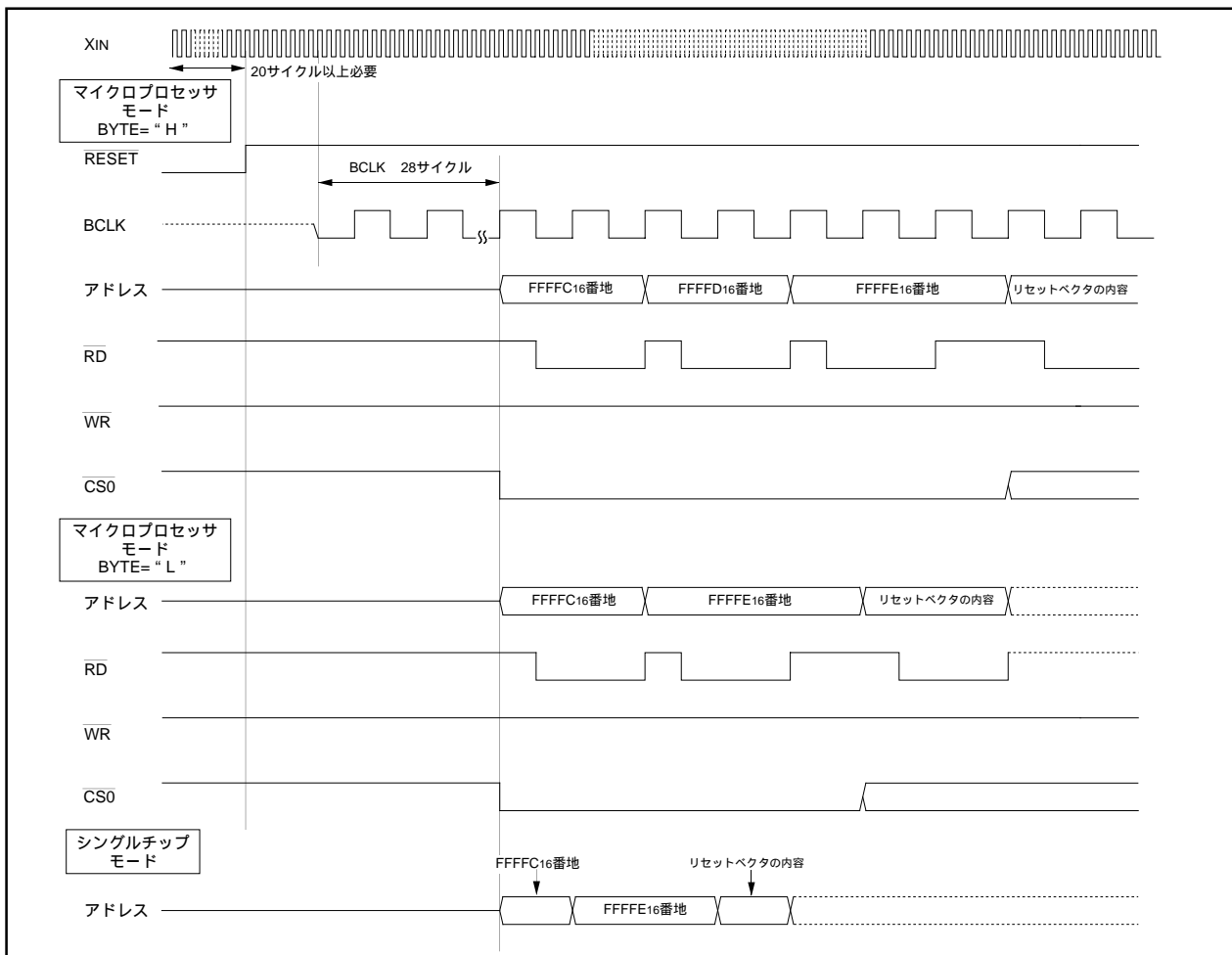


図1.5.2. リセットシーケンス

リセット

$\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を表1.5.1、リセット解除直後のマイクロコンピュータの内部状態を図1.5.3、図1.5.4に示します。

表1.5.1. $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40 ~ P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)
P45 ~ P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)
P51	入力ポート(フローティング)	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P52	入力ポート(フローティング)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)
P53	入力ポート(フローティング)	$\overline{\text{BCLK}}$ 出力	$\overline{\text{BCLK}}$ 出力
P54	入力ポート(フローティング)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の 入力に依存)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の 入力に依存)
P55	入力ポート(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)
P56	入力ポート(フローティング)	$\overline{\text{ALE}}$ 出力(“L”レベルを出力)	$\overline{\text{ALE}}$ 出力(“L”レベルを出力)
P57	入力ポート(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)
P6, P7, P80 ~ P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

リセット

(1) プロセッサモードレジスタ0(注1)	(000416)...	0016	(29) UART1送信割り込み制御レジスタ	(005316)...	XXXXXXXX?000
(2) プロセッサモードレジスタ1	(000516)...	0000000X0	(30) UART1受信割り込み制御レジスタ	(005416)...	XXXXXXXX?000
(3) システムクロック制御レジスタ0	(000616)...	010001000	(31) タイマA0割り込み制御レジスタ	(005516)...	XXXXXXXX?000
(4) システムクロック制御レジスタ1	(000716)...	000100000	(32) タイマA1割り込み制御レジスタ	(005616)...	XXXXXXXX?000
(5) チップセレクト制御レジスタ	(000816)...	000000001	(33) タイマA2割り込み制御レジスタ	(005716)...	XXXXXXXX?000
(6) アドレス一致割り込み許可レジスタ	(000916)...	XXXXXXXXX00	(34) タイマA3割り込み制御レジスタ	(005816)...	XXXXXXXX?000
(7) プロテクトレジスタ	(000A16)...	XXXXXXXX000	(35) タイマA4割り込み制御レジスタ	(005916)...	XXXXXXXX?000
(8) データバンクレジスタ	(000B16)...	0016	(36) タイマB0割り込み制御レジスタ	(005A16)...	XXXXXXXX?000
(9) 監視タイマ制御レジスタ	(000F16)...	0000???	(37) タイマB1割り込み制御レジスタ	(005B16)...	XXXXXXXX?000
(10) アドレス一致割り込みレジスタ0	(001016)...	0016	(38) タイマB2割り込み制御レジスタ	(005C16)...	XXXXXXXX?000
	(001116)...	0016	(39) INT0割り込み制御レジスタ	(005D16)...	XX00?000
	(001216)...	XXXXXXXX0000	(40) INT1割り込み制御レジスタ	(005E16)...	XX00?000
(11) アドレス一致割り込みレジスタ1	(001416)...	0016	(41) INT2割り込み制御レジスタ	(005F16)...	XX00?000
	(001516)...	0016	(42) タイマB3,4,5カウント開始フラグ	(034016)...	000XXXXX
	(001616)...	XXXXXXXX0000	(43) 三相PWM制御レジスタ0	(034816)...	0016
(12) DMA0制御レジスタ	(002C16)...	000000?00	(44) 三相PWM制御レジスタ1	(034916)...	0016
(13) DMA1制御レジスタ	(003C16)...	000000?00	(45) 三相出力バッファレジスタ0	(034A16)...	0016
(14) INT3割り込み制御レジスタ	(004416)...	XX00?000	(46) 三相出力バッファレジスタ1	(034B16)...	0016
(15) タイマB5割り込み制御レジスタ	(004516)...	XXXXXXXX?000	(47) タイマB3モードレジスタ	(035B16)...	00?00000
(16) タイマB4割り込み制御レジスタ	(004616)...	XXXXXXXX?000	(48) タイマB4モードレジスタ	(035C16)...	00?00000
(17) タイマB3割り込み制御レジスタ	(004716)...	XXXXXXXX?000	(49) タイマB5モードレジスタ	(035D16)...	00?00000
(18) SI/O4割り込み制御レジスタ	(004816)...	XX00?000	(50) 割り込み要因選択レジスタ	(035F16)...	0016
(19) SI/O3割り込み制御レジスタ	(004916)...	XX00?000	(51) SI/O3制御レジスタ	(036216)...	4016
(20) バス衝突検出割り込み制御レジスタ	(004A16)...	XXXXXXXX?000	(52) SI/O4制御レジスタ	(036616)...	4016
(21) DMA0割り込み制御レジスタ	(004B16)...	XXXXXXXX?000	(53) UART2特殊モードレジスタ3	(037516)...	0016
(22) DMA1割り込み制御レジスタ	(004C16)...	XXXXXXXX?000	(54) UART2特殊モードレジスタ2	(037616)...	0016
(23) キー入力割り込み制御レジスタ	(004D16)...	XXXXXXXX?000	(55) UART2特殊モードレジスタ	(037716)...	8016
(24) A-D変換割り込み制御レジスタ	(004E16)...	XXXXXXXX?000	(56) UART2送受信モードレジスタ	(037816)...	0016
(25) UART2送信割り込み制御レジスタ	(004F16)...	XXXXXXXX?000	(57) UART2送受信制御レジスタ0	(037C16)...	00001000
(26) UART2受信割り込み制御レジスタ	(005016)...	XXXXXXXX?000	(58) UART2送受信制御レジスタ1	(037D16)...	00000010
(27) UART0送信割り込み制御レジスタ	(005116)...	XXXXXXXX?000			
(28) UART0受信割り込み制御レジスタ	(005216)...	XXXXXXXX?000			

× : このビットは何も配置されていません。
? : 不定です。

リセット解除後、これ以外のレジスタは不定ですので、初期値を設定してください。
電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

注1. CNVss端子にVccレベルを印加しているときは、リセット時0316になります。

図1.5.3. リセット解除後のマイクロコンピュータの内部状態(1)

リセット

(59) カウント開始フラグ	(0380 ₁₆)...	00 ₁₆	(85) A-D制御レジスタ1	(03D7 ₁₆)...	00 ₁₆
(60) 時計用プリスケアラリセットフラグ	(0381 ₁₆)...	0XXXXXX	(86) D-A制御レジスタ	(03DC ₁₆)...	00 ₁₆
(61) ワンショット開始フラグ	(0382 ₁₆)...	00X0000	(87) ポートP0方向レジスタ	(03E2 ₁₆)...	00 ₁₆
(62) トリガ選択レジスタ	(0383 ₁₆)...	00 ₁₆	(88) ポートP1方向レジスタ	(03E3 ₁₆)...	00 ₁₆
(63) アップダウンフラグ	(0384 ₁₆)...	00 ₁₆	(89) ポートP2方向レジスタ	(03E6 ₁₆)...	00 ₁₆
(64) タイマA0モードレジスタ	(0396 ₁₆)...	00 ₁₆	(90) ポートP3方向レジスタ	(03E7 ₁₆)...	00 ₁₆
(65) タイマA1モードレジスタ	(0397 ₁₆)...	00 ₁₆	(91) ポートP4方向レジスタ	(03EA ₁₆)...	00 ₁₆
(66) タイマA2モードレジスタ	(0398 ₁₆)...	00 ₁₆	(92) ポートP5方向レジスタ	(03EB ₁₆)...	00 ₁₆
(67) タイマA3モードレジスタ	(0399 ₁₆)...	00 ₁₆	(93) ポートP6方向レジスタ	(03EE ₁₆)...	00 ₁₆
(68) タイマA4モードレジスタ	(039A ₁₆)...	00 ₁₆	(94) ポートP7方向レジスタ	(03EF ₁₆)...	00 ₁₆
(69) タイマB0モードレジスタ	(039B ₁₆)...	00X?0000	(95) ポートP8方向レジスタ	(03F2 ₁₆)...	00X00000
(70) タイマB1モードレジスタ	(039C ₁₆)...	00X00000	(96) ポートP9方向レジスタ	(03F3 ₁₆)...	00 ₁₆
(71) タイマB2モードレジスタ	(039D ₁₆)...	00X00000	(97) ポートP10方向レジスタ	(03F6 ₁₆)...	00 ₁₆
(72) UART0送受信モードレジスタ	(03A0 ₁₆)...	00 ₁₆	(98) ブルアップ制御レジスタ0	(03FC ₁₆)...	00 ₁₆
(73) UART0送受信制御レジスタ0	(03A4 ₁₆)...	0000010000	(99) ブルアップ制御レジスタ1(注1)	(03FD ₁₆)...	00 ₁₆
(74) UART0送受信制御レジスタ1	(03A5 ₁₆)...	0000000100	(100) ブルアップ制御レジスタ2	(03FE ₁₆)...	00 ₁₆
(75) UART1送受信モードレジスタ	(03A8 ₁₆)...	00 ₁₆	(101) ポート制御レジスタ	(03FF ₁₆)...	00 ₁₆
(76) UART1送受信制御レジスタ0	(03AC ₁₆)...	0000010000	(102) データレジスタ(R0/R1/R2/R3)		0000 ₁₆
(77) UART1送受信制御レジスタ1	(03AD ₁₆)...	0000000100	(103) アドレスレジスタ(A0/A1)		0000 ₁₆
(78) UART1送受信制御レジスタ2	(03B0 ₁₆)...	X0000000	(104) フレームベースレジスタ(FB)		0000 ₁₆
(79) フラッシュ識別レジスタ(注2)	(03B4 ₁₆)...	00 ₁₆	(105) 割り込みテーブルレジスタ(INTB)		00000 ₁₆
(80) フラッシュメモリ制御レジスタ0(注2)	(03B7 ₁₆)...	XXXX000001	(106) ユーザスタックポインタ(USP)		0000 ₁₆
(81) DMA0要因選択レジスタ	(03B8 ₁₆)...	00 ₁₆	(107) 割り込みスタックポインタ(ISP)		0000 ₁₆
(82) DMA1要因選択レジスタ	(03BA ₁₆)...	00 ₁₆	(108) スタティックベースレジスタ(SB)		0000 ₁₆
(83) A-D制御レジスタ2	(03D4 ₁₆)...	00000XXXX0	(109) フラグレジスタ(FLG)		0000 ₁₆
(84) A-D制御レジスタ0	(03D6 ₁₆)...	000000???			

x : このビットは何も配置されていません。
 ? : 不定です。

リセット解除後、これ以外のレジスタは不定ですので、初期値を設定してください。
 電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

注1. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります。
 注2. このレジスタは、フラッシュメモリ版にのみ存在します。

図1.5.4. リセット解除後のマイクロコンピュータの内部状態(2)

0000 ¹⁶		0040 ¹⁶	
0001 ¹⁶		0041 ¹⁶	
0002 ¹⁶		0042 ¹⁶	
0003 ¹⁶		0043 ¹⁶	
0004 ¹⁶	プロセッサモードレジスタ0(PM0)	0044 ¹⁶	INT3割り込み制御レジスタ(INT3IC)
0005 ¹⁶	プロセッサモードレジスタ1(PM1)	0045 ¹⁶	タイマB5割り込み制御レジスタ(TB5IC)
0006 ¹⁶	システムクロック制御レジスタ0(CM0)	0046 ¹⁶	タイマB4割り込み制御レジスタ(TB4IC)
0007 ¹⁶	システムクロック制御レジスタ1(CM1)	0047 ¹⁶	タイマB3割り込み制御レジスタ(TB3IC)
0008 ¹⁶	チップセレクト制御レジスタ(CSR)	0048 ¹⁶	SI/O4割り込み制御レジスタ(S4IC)
0009 ¹⁶	アドレス一致割り込み許可レジスタ(AIER)		INT5割り込み制御レジスタ(INT5IC)
000A ¹⁶	プロテクトレジスタ(PCR)	0049 ¹⁶	SI/O3割り込み制御レジスタ(S3IC)
000B ¹⁶	データバンクレジスタ(DBR)		INT4割り込み制御レジスタ(INT4IC)
000C ¹⁶		004A ¹⁶	バス衝突検出割り込み制御レジスタ(BCNIC)
000D ¹⁶		004B ¹⁶	DMA0割り込み制御レジスタ(DM0IC)
000E ¹⁶	監視タイマスタートレジスタ(WDTS)	004C ¹⁶	DMA1割り込み制御レジスタ(DM1IC)
000F ¹⁶	監視タイマ制御レジスタ(WDC)	004D ¹⁶	キ - 入力割り込み制御レジスタ(KUPIC)
0010 ¹⁶		004E ¹⁶	A - D 変換割り込み制御レジスタ(ADIC)
0011 ¹⁶	アドレス一致割り込みレジスタ0(RMAD0)	004F ¹⁶	UART2送信割り込み制御レジスタ(S2TIC)
0012 ¹⁶		0050 ¹⁶	UART2受信割り込み制御レジスタ(S2RIC)
0013 ¹⁶		0051 ¹⁶	UART0送信割り込み制御レジスタ(S0TIC)
0014 ¹⁶		0052 ¹⁶	UART0受信割り込み制御レジスタ(S0RIC)
0015 ¹⁶	アドレス一致割り込みレジスタ1(RMAD1)	0053 ¹⁶	UART1送信割り込み制御レジスタ(S1TIC)
0016 ¹⁶		0054 ¹⁶	UART1受信割り込み制御レジスタ(S1RIC)
0017 ¹⁶		0055 ¹⁶	タイマA0割り込み制御レジスタ(TA0IC)
0018 ¹⁶		0056 ¹⁶	タイマA1割り込み制御レジスタ(TA1IC)
0019 ¹⁶		0057 ¹⁶	タイマA2割り込み制御レジスタ(TA2IC)
001A ¹⁶		0058 ¹⁶	タイマA3割り込み制御レジスタ(TA3IC)
001B ¹⁶		0059 ¹⁶	タイマA4割り込み制御レジスタ(TA4IC)
001C ¹⁶		005A ¹⁶	タイマB0割り込み制御レジスタ(TB0IC)
001D ¹⁶		005B ¹⁶	タイマB1割り込み制御レジスタ(TB1IC)
001E ¹⁶		005C ¹⁶	タイマB2割り込み制御レジスタ(TB2IC)
001F ¹⁶		005D ¹⁶	INT0割り込み制御レジスタ(INT0IC)
0020 ¹⁶		005E ¹⁶	INT1割り込み制御レジスタ(INT1IC)
0021 ¹⁶	DMA0ソ - スポインタ(SAR0)	005F ¹⁶	INT2割り込み制御レジスタ(INT2IC)
0022 ¹⁶		0060 ¹⁶	
0023 ¹⁶		0061 ¹⁶	
0024 ¹⁶		0062 ¹⁶	
0025 ¹⁶	DMA0ディスティネ - ションポインタ(DAR0)	0063 ¹⁶	
0026 ¹⁶		0064 ¹⁶	
0027 ¹⁶		0065 ¹⁶	
0028 ¹⁶			~
0029 ¹⁶	DMA0転送カウンタ(TCR0)		~
002A ¹⁶		032A ¹⁶	
002B ¹⁶		032B ¹⁶	
002C ¹⁶	DMA0制御レジスタ(DM0CON)	032C ¹⁶	
002D ¹⁶		032D ¹⁶	
002E ¹⁶		032E ¹⁶	
002F ¹⁶		032F ¹⁶	
0030 ¹⁶		0330 ¹⁶	
0031 ¹⁶	DMA1ソ - スポインタ(SAR1)	0331 ¹⁶	
0032 ¹⁶		0332 ¹⁶	
0033 ¹⁶		0333 ¹⁶	
0034 ¹⁶		0334 ¹⁶	
0035 ¹⁶	DMA1ディスティネ - ションポインタ(DAR1)	0335 ¹⁶	
0036 ¹⁶		0336 ¹⁶	
0037 ¹⁶		0337 ¹⁶	
0038 ¹⁶		0338 ¹⁶	
0039 ¹⁶	DMA1転送カウンタ(TCR1)	0339 ¹⁶	
003A ¹⁶		033A ¹⁶	
003B ¹⁶		033B ¹⁶	
003C ¹⁶	DMA1制御レジスタ(DM1CON)	033C ¹⁶	
003D ¹⁶		033D ¹⁶	
003E ¹⁶		033E ¹⁶	
003F ¹⁶		033F ¹⁶	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.1. 周辺装置制御レジスタの配置(1)

0340 ₁₆	タイマB3.4.5カウント開始フラグ(TBSR)	0380 ₁₆	カウント開始フラグ(TABSR)
0341 ₁₆		0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
0342 ₁₆	タイマA1-1レジスタ(TA11)	0382 ₁₆	ワンショット開始フラグ(ONSF)
0343 ₁₆		0383 ₁₆	トリガ選択レジスタ(TRGSR)
0344 ₁₆	タイマA2-1レジスタ(TA21)	0384 ₁₆	アップダウンフラグ(UDF)
0345 ₁₆		0385 ₁₆	
0346 ₁₆	タイマA4-1レジスタ(TA41)	0386 ₁₆	タイマA0レジスタ(TA0)
0347 ₁₆		0387 ₁₆	
0348 ₁₆	三相PWM制御レジスタ0(INVC0)	0388 ₁₆	タイマA1レジスタ(TA1)
0349 ₁₆	三相PWM制御レジスタ1(INVC1)	0389 ₁₆	
034A ₁₆	三相出力バッファレジスタ0(IDB0)	038A ₁₆	タイマA2レジスタ(TA2)
034B ₁₆	三相出力バッファレジスタ1(IDB1)	038B ₁₆	
034C ₁₆	短絡防止タイマ(DTT)	038C ₁₆	タイマA3レジスタ(TA3)
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)	038D ₁₆	
034E ₁₆		038E ₁₆	タイマA4レジスタ(TA4)
034F ₁₆		038F ₁₆	
0350 ₁₆	タイマB3レジスタ(TB3)	0390 ₁₆	タイマB0レジスタ(TB0)
0351 ₁₆		0391 ₁₆	
0352 ₁₆	タイマB4レジスタ(TB4)	0392 ₁₆	タイマB1レジスタ(TB1)
0353 ₁₆		0393 ₁₆	
0354 ₁₆	タイマB5レジスタ(TB5)	0394 ₁₆	タイマB2レジスタ(TB2)
0355 ₁₆		0395 ₁₆	
0356 ₁₆		0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0357 ₁₆		0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0358 ₁₆		0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0359 ₁₆		0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
035A ₁₆		039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)
035B ₁₆	タイマB3モードレジスタ(TB3MR)	039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
035C ₁₆	タイマB4モードレジスタ(TB4MR)	039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
035D ₁₆	タイマB5モードレジスタ(TB5MR)	039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
035E ₁₆		039E ₁₆	
035F ₁₆	割り込み要因選択レジスタ(IFSR)	039F ₁₆	
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)	03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
0361 ₁₆		03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
0362 ₁₆	SI/O3制御レジスタ(S3C)	03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)	03A3 ₁₆	
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)	03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
0365 ₁₆		03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
0366 ₁₆	SI/O4制御レジスタ(S4C)	03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)	03A7 ₁₆	
0368 ₁₆		03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
0369 ₁₆		03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
036A ₁₆		03AA ₁₆	UART1送信バッファレジスタ(U1TB)
036B ₁₆		03AB ₁₆	
036C ₁₆		03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)
036D ₁₆		03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)
036E ₁₆		03AE ₁₆	UART1受信バッファレジスタ(U1RB)
036F ₁₆		03AF ₁₆	UART送受信制御レジスタ2(UCON)
0370 ₁₆		03B0 ₁₆	
0371 ₁₆		03B1 ₁₆	
0372 ₁₆		03B2 ₁₆	
0373 ₁₆		03B3 ₁₆	
0374 ₁₆		03B4 ₁₆	フラッシュ識別レジスタ(FIDR)(注1)
0375 ₁₆	UART2特殊モードレジスタ3(U2SMR3)	03B5 ₁₆	
0376 ₁₆	UART2特殊モードレジスタ2(U2SMR2)	03B6 ₁₆	
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	03B7 ₁₆	フラッシュメモリ制御レジスタ0(FMR0)(注1)
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	03B9 ₁₆	
037A ₁₆	UART2送信バッファレジスタ(U2TB)	03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
037B ₁₆		03BB ₁₆	
037C ₁₆	UART2送受信制御レジスタ0(U2C0)	03BC ₁₆	
037D ₁₆	UART2送受信制御レジスタ1(U2C1)	03BD ₁₆	CRCデータレジスタ(CRCD)
037E ₁₆	UART2受信バッファレジスタ(U2RB)	03BE ₁₆	CRCインプットレジスタ(CRCIN)
037F ₁₆		03BF ₁₆	

注1. このレジスタはフラッシュメモリ版にのみ存在します。
注2. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.2. 周辺装置制御レジスタの配置(2)

03C0 ₁₆	A-Dレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	A-Dレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	ブルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	ブルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	ブルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.3. 周辺装置制御レジスタの配置(3)

メモリ空間拡張機能

メモリ空間拡張機能

メモリ空間拡張機能について説明します。

プロセッサモードがメモリ拡張モードおよびマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張することができます。

(1) ノーマルモード (拡張なし)

(2) メモリ空間拡張モード (以下、拡張モード)

各モードの選択はプロセッサモードレジスタ1のビット5、4(PM15,PM14)で設定します。モードにより、チップセレクト信号により指定される外部領域が異なり、アクセス可能なメモリ空間が変化します。表1.7.1に各モードの設定方法とアクセス可能なメモリ空間を示します。チップセレクト信号により指定される外部領域については、31ページの表1.10.1を参照してください。

表1.7.1. メモリ空間拡張各モードの設定方法およびメモリ空間

拡張モード	設定方法(PM15,PM14)	アクセス可能なメモリ空間
ノーマルモード(拡張なし)	0, 0	最大1Mバイト
拡張モード	1, 1	最大4Mバイト

以下に各拡張モードについて説明します。

(1) ノーマルモード(拡張なし)

メモリ空間を拡張しない通常モードです。

ノーマルモード時のメモリ配置図およびチップセレクト領域を図1.7.1に示します。

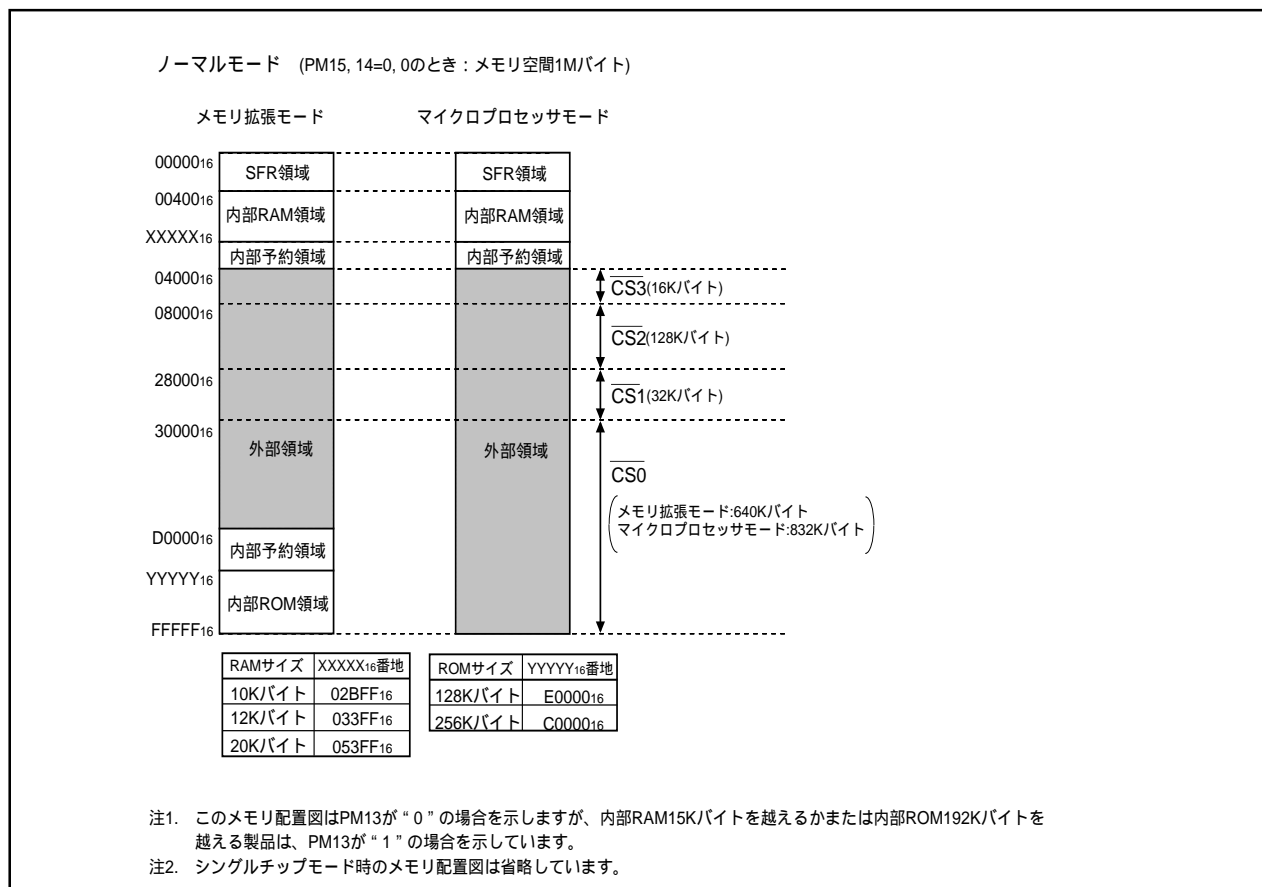


図1.7.1. ノーマルモード時のメモリ配置およびチップセレクト領域

メモリ空間拡張機能

(2) 拡張モード

拡張モードでは、データバンクレジスタ(0000B₁₆番地)が有効になります。データバンクレジスタの構成を図1.7.2に示します。

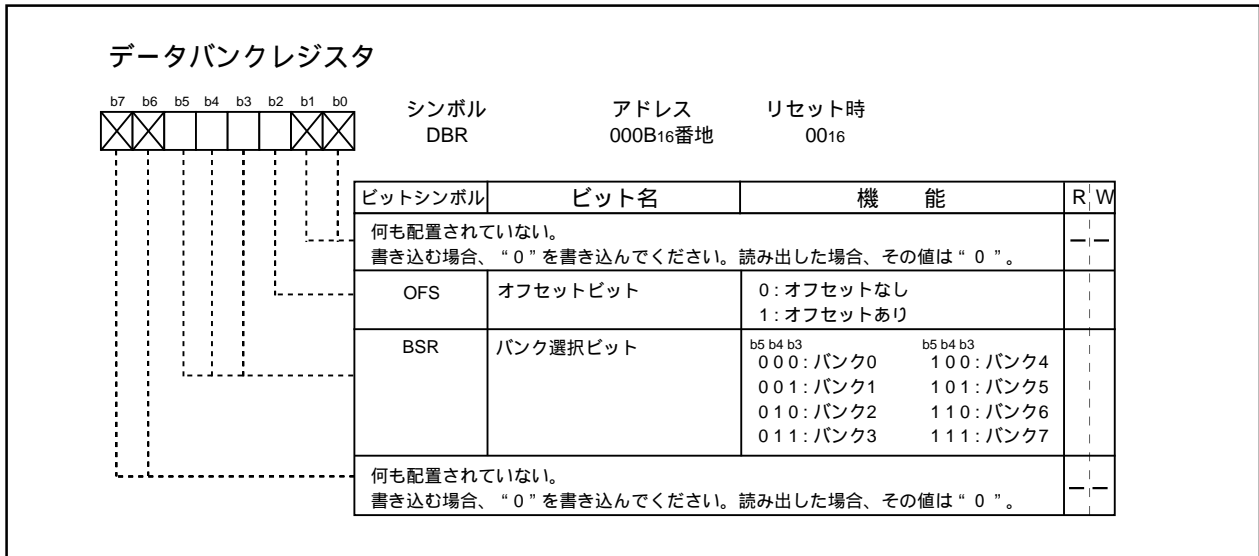


図1.7.2. データバンクレジスタ

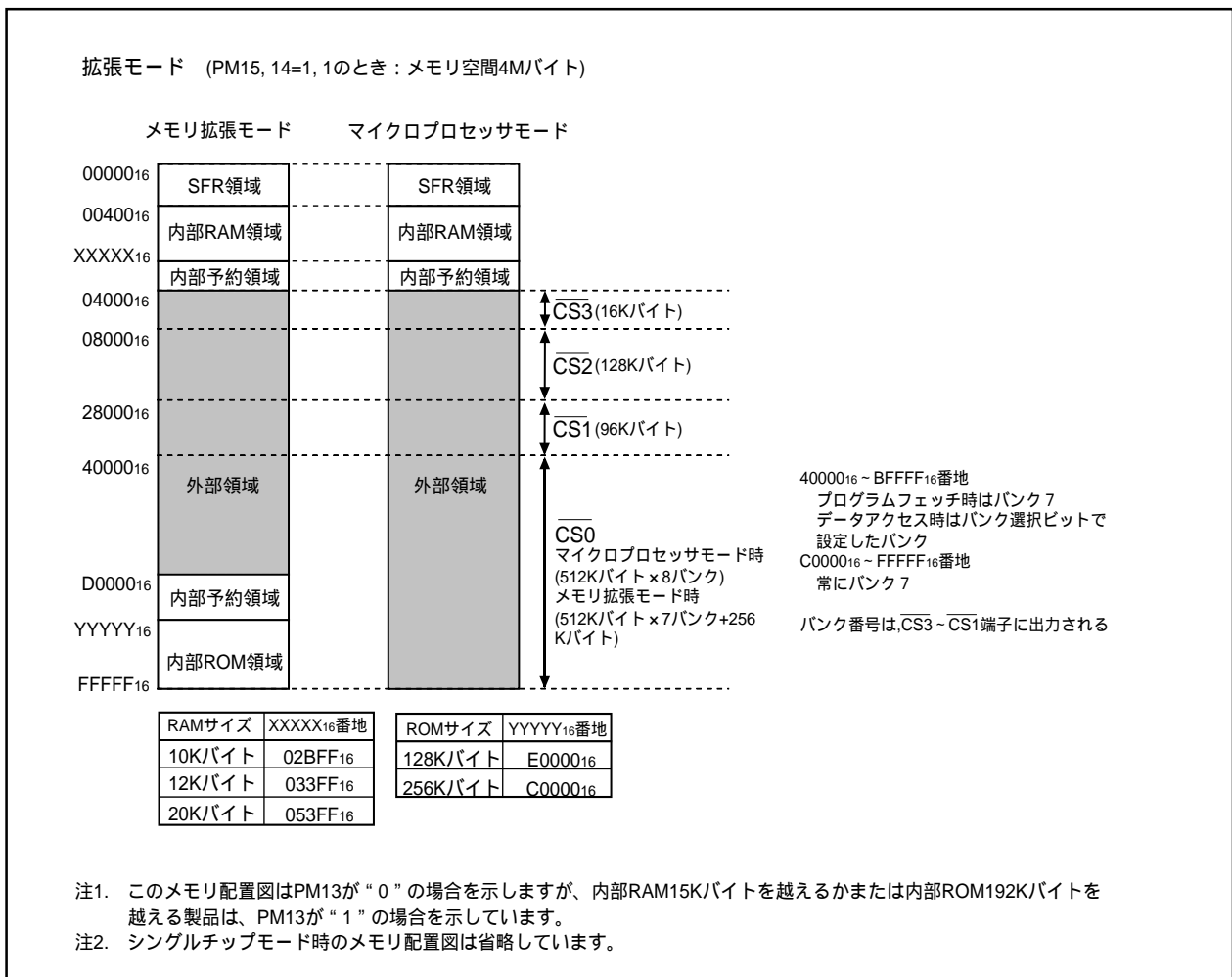


図1.7.3. 拡張モード時のメモリ配置図およびチップセレクト領域

データバンクレジスタは、バンク選択ビット(ビット5~3)とオフセットビット(ビット2)で構成されます。バンク選択ビットは、 40000_{16} ~ $BFFFF_{16}$ の領域のデータアクセス時のバンク番号を設定します。オフセットビットを“1”に設定することで、 40000_{16} 番地分のオフセットを設定することができます。

拡張モード時のメモリ配置図およびチップセレクト領域を図1.7.3に示します。

$\overline{CS0}$ の領域は、 40000_{16} ~ $FFFFF_{16}$ となりますが、その内 40000_{16} ~ $BFFFF_{16}$ の領域については、データアクセス時のみ $\overline{CS3}$ ~ $\overline{CS1}$ の出力端子よりバンク選択ビットで設定したバンク番号が出力されます。プログラムフェッチの場合は常に $\overline{CS3}$ ~ $\overline{CS1}$ はバンク7(1112)が出力されます。それ以外の領域 $C0000_{16}$ ~ $FFFFF_{16}$ についてはデータアクセス、プログラムフェッチにかかわらず $\overline{CS3}$ ~ $\overline{CS1}$ はバンク7(1112)が出力されます。

$\overline{CS0}$ 以外の領域のアクセスの場合は、データアクセス、プログラムフェッチにかかわらず、従来通りアドレスによって $\overline{CS3}$ (40000_{16} ~ $7FFF_{16}$)、 $\overline{CS2}$ (80000_{16} ~ $27FFF_{16}$)、 $\overline{CS1}$ (280000_{16} ~ $3FFFF_{16}$)のチップセレクト信号が出力されます。

図1.7.4に、4MバイトのROMと128KバイトのSRAMの接続例を示します。4MバイトのROMのチップセレクトには $\overline{CS0}$ を接続します。アドレス入力AD21, AD20, AD19にはM16Cの $\overline{CS3}$, $\overline{CS2}$, $\overline{CS1}$ をそれぞれ接続します。アドレス入力AD18にはM16CのA19出力を接続します。この接続における4MバイトROMとM16Cのアドレスの関係を図1.7.5に示します。

このモードでは、512Kバイト毎のバンクがあり、バンクが異なるデータアクセスには、バンクを切り換える必要があります。しかし、オフセットビット“0”時のバンク境界部分データは、オフセットビットを“1”に設定することで、 40000_{16} 番地のオフセットがつきバンク境界部分のデータであっても、連続してアクセスできます。例えば、4MバイトROMの $0FFFFFF_{16}$ 番地と 100000_{16} 番地に配置されている2バイトのデータは、オフセットビットを“1”にし $07FFFF_{16}$ 番地と 80000_{16} 番地をアクセスすることで、バンクビットを切り換えることなく連続的にアクセスできます。

一方、SRAMのチップセレクトは $\overline{CS0}=1$ (非選択)で $\overline{CS2}=0$ (選択)であることが条件ですので、S2には $\overline{CS0}$ をS1には $\overline{CS2}$ をそれぞれ接続します。もし、両極性のチップセレクト信号入力端子を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

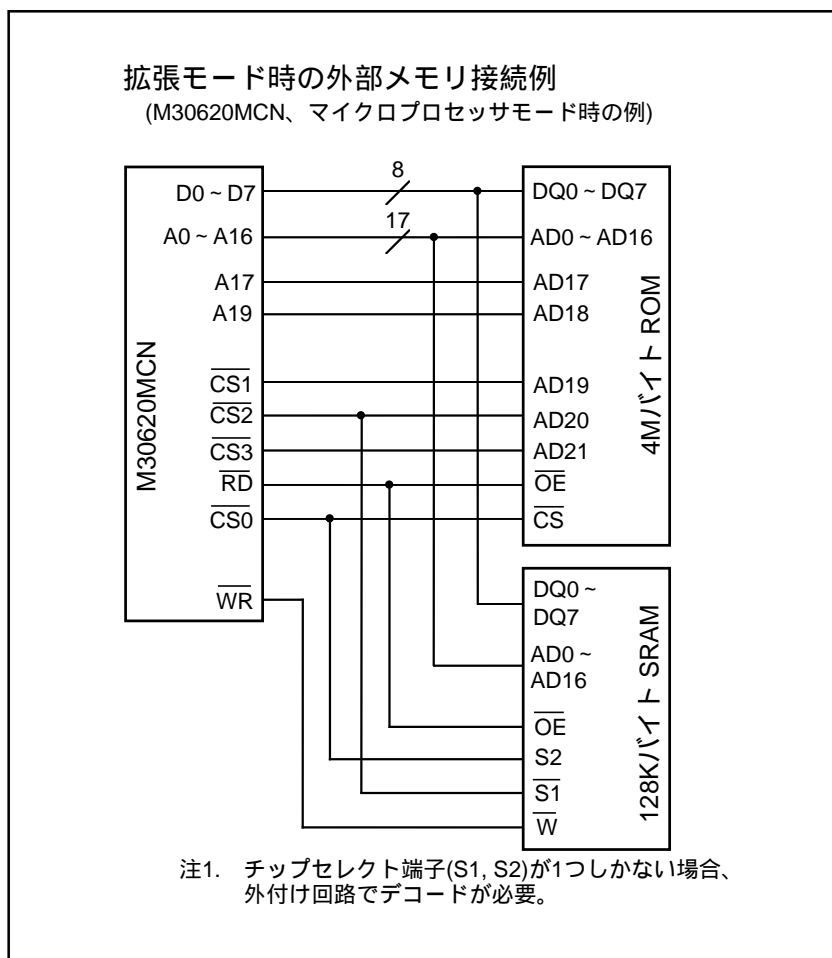


図1.7.4. 拡張モード時の外部メモリ接続例

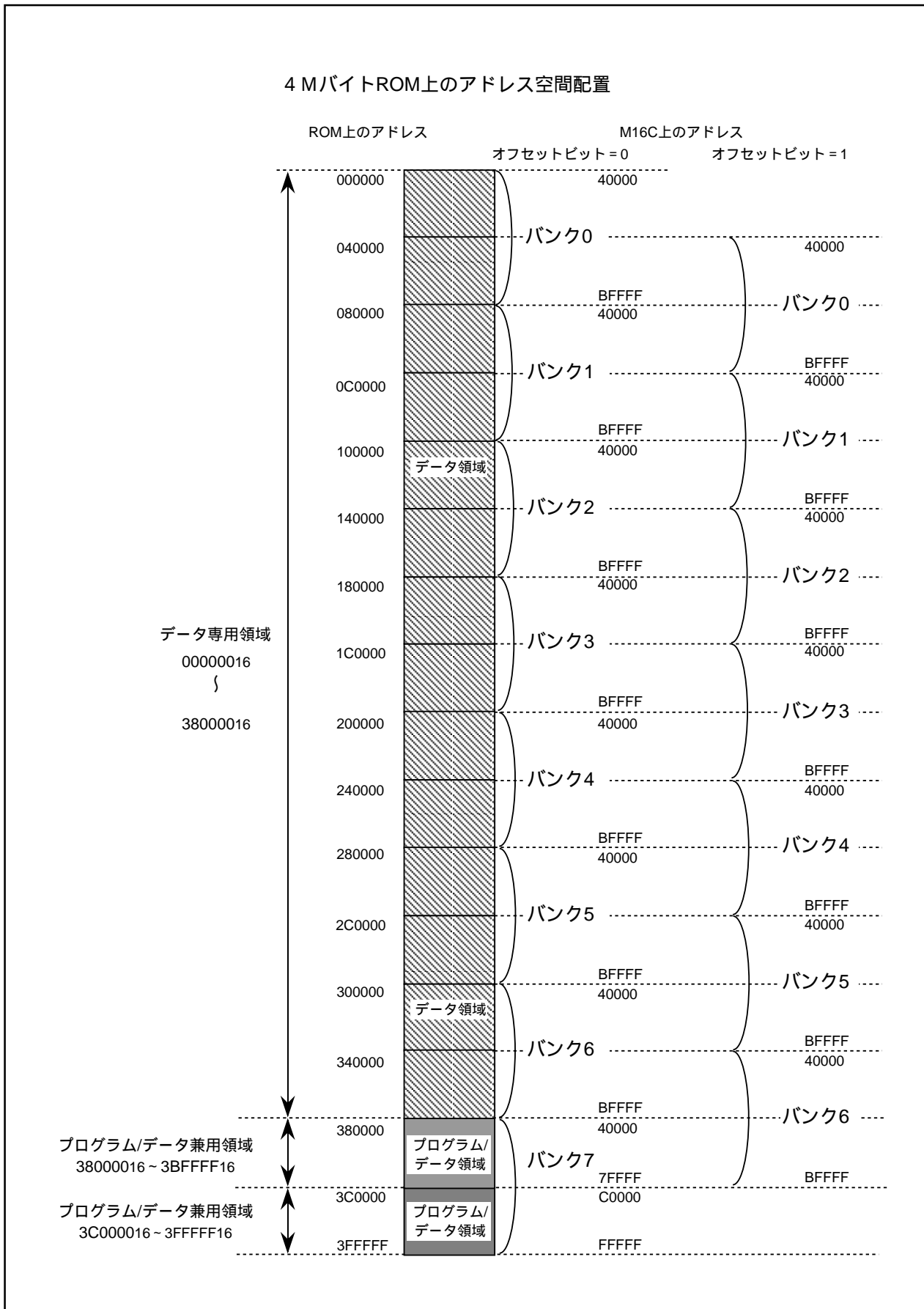


図1.7.5. 4MバイトROMのアドレスとM16Cのアドレスとの関係

ソフトウェアリセット

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後シングルチップモードに移行しても内部ROMのアクセスはできません。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードに移行しても内部ROMのアクセスはできません。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。

その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

メモリ拡張モードおよびマイクロプロセッサモードについては、メモリ空間拡張機能を使用し、アクセス空間を拡大することが可能です(詳細は、「メモリ空間拡張機能」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットを書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットを書き替えるとき、プロセッサモードビットが変化しないように注意してください。プロセッサモードビットを“01₂”または“11₂”に書き替えるときは、他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてから、プロセッサモードビットを書き替えてください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図1.8.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図1.8.2に各プロセッサモードのメモリ配置図(メモリ空間拡張なし：ノーマルモード)を示します。

プロセッサモード

プロセッサモードレジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
								PM0	0004 ₁₆ 番地	00 ₁₆ (注2)

ビットシンボル	ビット名	機能	R/W
PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード 10: 設定しないでください 11: マイクロプロセッサモード	
PM01			
PM02	R/Wモード選択ビット	0: $\overline{RD}, \overline{BHE}, \overline{WR}$ 1: $\overline{RD}, \overline{WRH}, \overline{WRL}$	
PM03	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。	
PM04	マルチプレクスバス空間選択ビット	b5 b4 00: マルチプレクスバスを使用しない 01: CS2の空間に割り当てる 10: CS1の空間に割り当てる 11: 全空間に割り当てる (注4)	
PM05			
PM06	ポートP4 ₀ ~P4 ₃ 機能選択ビット(注3)	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はフローティングになります)	

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

注2. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります(PM00およびPM01が“1”になります)。

注3. マイクロプロセッサモード、メモリ拡張モード時有効。

注4. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セバレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。全空間マルチプレクスバスを選択した場合、P3₁~P3₇はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
	0					0	0	PM1	0005 ₁₆ 番地	000000X0 ₂

ビットシンボル	ビット名	機能	R/W
予約ビット		必ず“0”を設定してください	
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-
PM12	監視タイマ機能選択ビット	0: 割り込み 1: リセット(注3)	(注3)
PM13	内部予約領域拡張ビット(注2)	0: 内部RAM領域15Kバイト以下、内部ROM領域192Kバイト以下 1: 内部RAM領域を15Kバイト越え、内部ROM領域を192Kバイト越えに拡張	
PM14	メモリ空間拡張ビット(注4)	b5 b4 00: ノーマルモード(拡張なし) 01: 設定しないでください 10: 設定しないでください 11: メモリ空間拡張モード	
PM15			
予約ビット		必ず“0”を設定してください	
PM17	ウェイトビット	0: ウェイトなし 1: ウェイトあり	

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

注2. リセット解除時、このビットは“0”です。内部領域を拡張する場合は、ユーザプログラムで、このビットを“1”にしてください。また、ユーザプログラムの先頭は、D0000₁₆番地以降に配置する必要があります。

注3. “1”だけ書き込み可。

注4. プロセッサモードがメモリ拡張モードおよびマイクロプロセッサモードのときに、このビットを設定することにより、外部領域を拡張することができます(ノーマルモード: 最大1Mバイト 拡張モード: 最大4Mバイト)。詳細はメモリ空間拡張機能の項を参照してください。

図1.8.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

プロセッサモード

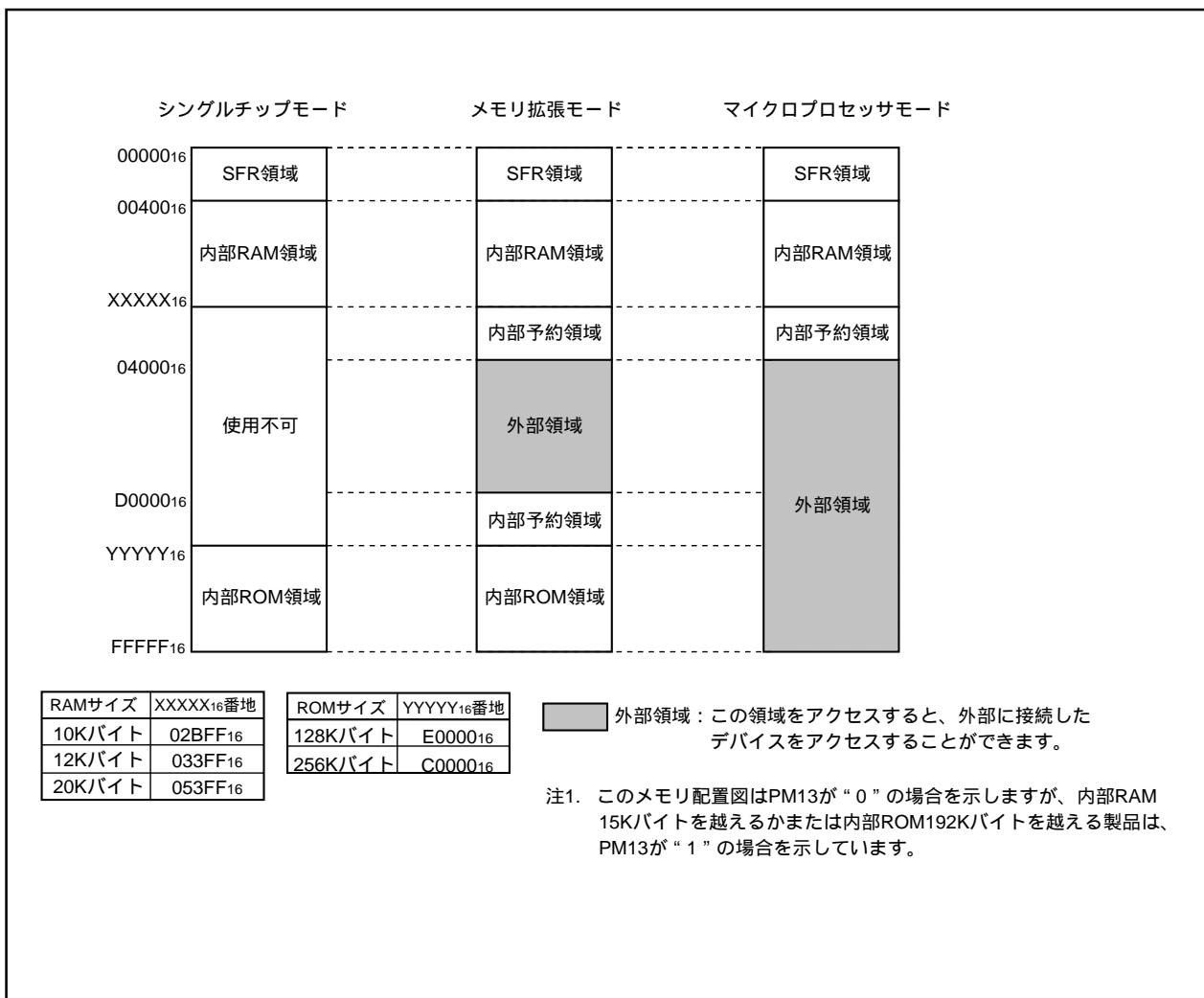


図1.8.2. 各プロセッサモード時のメモリ配置(メモリ空間拡張なし：ノーマルモード)

内部予約領域拡張ビット(PM13)

内部RAM領域、内部ROM領域を拡張し、チップセレクトの領域を変更するビットです。例えば、M30624FGNで、このビットを“1”にすると、内部RAM領域20Kバイト、内部ROM領域256Kバイトに拡張されます。チップセレクトの領域に関しては、図1.8.3を参照してください。リセット解除時、このビットは“0”です。内部領域を拡張する場合は、ユーザプログラムで、このビットを“1”にしてください。また、ユーザプログラムの先頭は、D0000₁₆番地以降に配置する必要があります。

内部ROM192Kバイト以下、内部RAM15Kバイト以下の製品で、メモリ拡張モードまたはマイクロプロセッサモードで使用する場合は、このビットを“0”にしてください。シングルチップモードで使用する場合は“1”にしても内部領域は拡張されず、動作にも影響を与えません。

プロセッサモード

内部RAM15Kバイト越え、ROM192Kバイト越えの製品についてPM13(内部予約領域拡張ビット)による、各プロセッサモード時のメモリ配置およびチップセレクト領域を図1.8.3に示します。

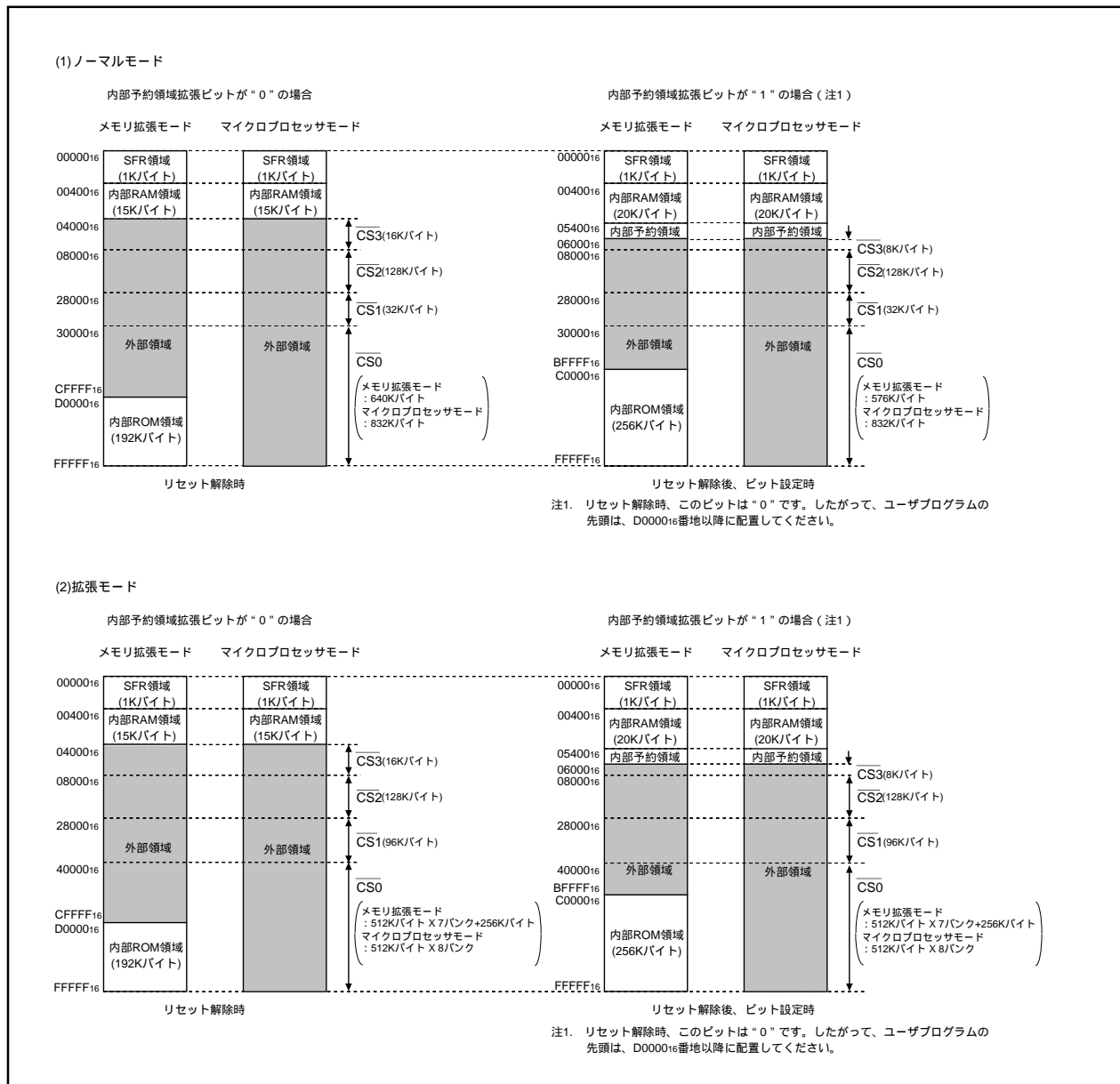


図1.8.3. 各プロセッサモード時のメモリ配置図およびチップセレクト領域

バス設定

バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6で切り替えることができます。

表1.9.1に各バスの設定と切り替え要因を示します。

表1.9.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス/マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス/マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウェアウエイットの有無を選択できます。

マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。BYTE端子が“H”レベルのとき、D0～D7の8ビットがA0～A7とマルチプレクスされます。

BYTE端子が“L”レベルのとき、D0～D7の8ビットがA1～A8とマルチプレクスされD8～D15はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、P56から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウェアウエイットを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

バス設定

表1.9.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード / マイクロプロセッサモード				メモリ拡張モード
マルチプレクスバス 空間選択ビット		“01”、“10” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“00” (セパレートバス)		“11”(注1) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P00 ~ P07	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
P10 ~ P17	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
P20	入出力ポート	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス / データバス
P21 ~ P27	入出力ポート	アドレスバス / データバス(注2)	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス / データバス
P30	入出力ポート	アドレスバス	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	A8/D7
P31 ~ P37	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット=“1”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット=“0”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P44 ~ P47	入出力ポート	\overline{CS} (チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「バス制御」を参照)				
P50 ~ P53	入出力ポート	\overline{RD} 、 \overline{WRL} 、 \overline{WRH} 、BCLK出力または \overline{RD} 、 \overline{BHE} 、 \overline{WR} 、BCLK出力 (詳細は「バス制御」を参照)				
P54	入出力ポート	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}	\overline{HLDA}
P55	入出力ポート	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}
P56	入出力ポート	ALE	ALE	ALE	ALE	ALE
P57	入出力ポート	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}

注1. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、P31 ~ P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

注2. セパレートバスではアドレスバスになります。

バス制御

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウェアウエイトは全プロセッサモードで有効です。

(1) アドレスバス / データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A₀ ~ A₁₉の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD₀ ~ D₇の8本がデータバスに、BYTE端子が“L”のときはD₀ ~ D₁₅の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP44 ~ P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0 ~ ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44 ~ P47はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のときCS₀だけチップセレクト信号を出力し、CS₁ ~ CS₃は入力ポートになっています。チップセレクト制御レジスタの構成を図1.10.1に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.10.1および表1.10.2に示します。

表1.10.1. チップセレクト信号によって指定する外部領域(内部RAM15Kバイト以内でかつ内部ROM192Kバイト以内の製品)(注1)

メモリ空間拡張 モード	プロセッサモード	チップセレクト信号				
		CS ₀	CS ₁	CS ₂	CS ₃	
指定する アド レス 範 囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)
		マイクロプロセッサモード	30000 ₁₆ ~ FFFFF ₁₆ (832Kバイト)			
拡張モード (PM15,14=1,1)	メモリ拡張モード	メモリ拡張モード	40000 ₁₆ ~ BFFFF ₁₆ (512Kバイト × 7+256Kバイト)	28000 ₁₆ ~ 3FFFF ₁₆ (96Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)
		マイクロプロセッサモード	40000 ₁₆ ~ FFFFF ₁₆ (512Kバイト × 8)			

注1. プロセッサモードレジスタ1のビット3(PM13)は、必ず“0”にしてください。

表1.10.2. チップセレクト信号によって指定する外部領域(内部RAM15Kバイトを越えるかまたは内部ROM192Kバイトを越える製品)

メモリ空間拡張モード	プロセッサモード	チップセレクト信号					
		$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$		
指定するアドレス範囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	PM13=0のとき 30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	PM13=0のとき 04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)	
		マイクロプロセッサモード	PM13=1のとき 30000 ₁₆ ~ BFFFF ₁₆ (576Kバイト)				
	拡張モード (PM15,14=1,1)	メモリ拡張モード	40000 ₁₆ ~ BFFFF ₁₆ (512Kバイト×7+256Kバイト)	28000 ₁₆ ~ 3FFFF ₁₆ (96Kバイト)			PM13=1のとき 06000 ₁₆ ~ 07FFF ₁₆ (8Kバイト)
		マイクロプロセッサモード	40000 ₁₆ ~ FFFFF ₁₆ (512Kバイト×8)				

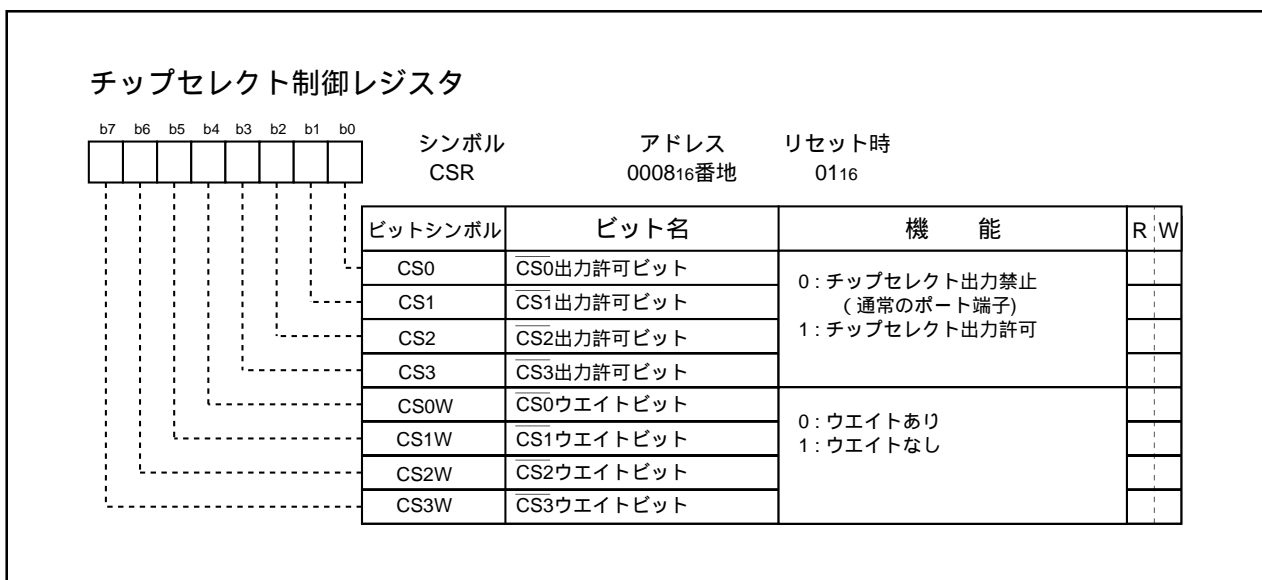


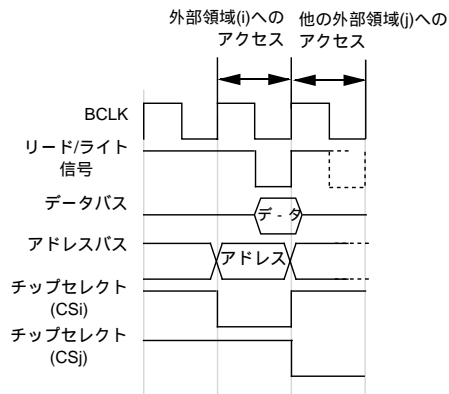
図1.10.1. チップセレクト制御レジスタの構成

チップセレクト信号が“L”(アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図1.10.2に示します。

バス制御

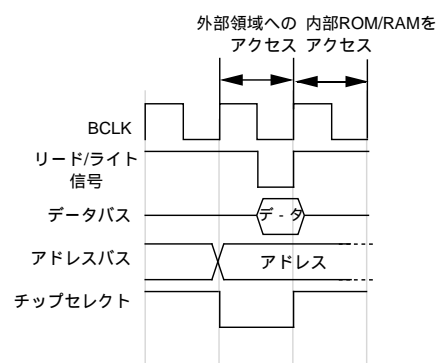
(例1) 外部領域へアクセス後、次のサイクルでアドレス信号、チップセレクト信号が共に変化

外部領域(i)へアクセス後、次のサイクルで他のチップセレクト信号が示す領域(j)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化します。



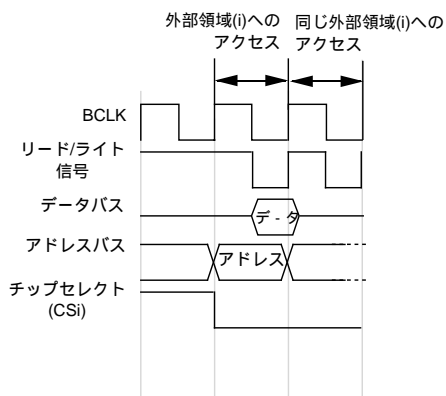
(例2) 外部領域へアクセス後、次のサイクルチップセレクト信号のみ変化 (アドレスバスは変化しない)

外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でチップセレクト信号は変化しますがアドレスバスは変化しません。



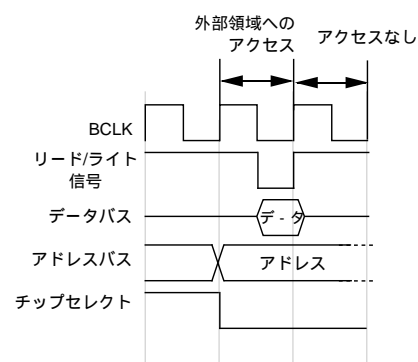
(例3) 外部領域へアクセス後、次のサイクルでアドレスバスのみ変化 (チップセレクト信号は変化しない)

外部領域(i)へアクセス後、次のサイクルで同じチップセレクト信号が示す領域(i)へアクセスする場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバスは変化しますがチップセレクト信号は変化しません。



(例4) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合の例を以下に示します。この場合、この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しません。



注：これらの例は、連続する2つのサイクルのアドレスバスおよびチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2サイクル以上伸びる場合があります。

図1.10.2. アドレスバスとチップセレクト信号の出力例 (セパレートバス ウェイトなし)

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2に“0”を設定してください)。各信号の動作を表1.10.3、表1.10.4に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.10.3. \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.10.4. \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

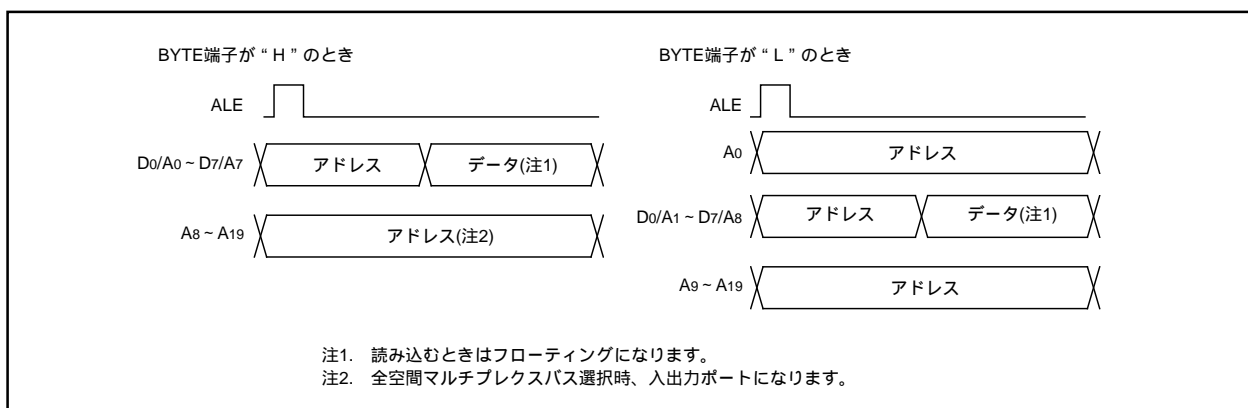


図1.10.3. ALE信号とアドレスバス/データバス

バス制御

(5) $\overline{\text{RDY}}$ 信号

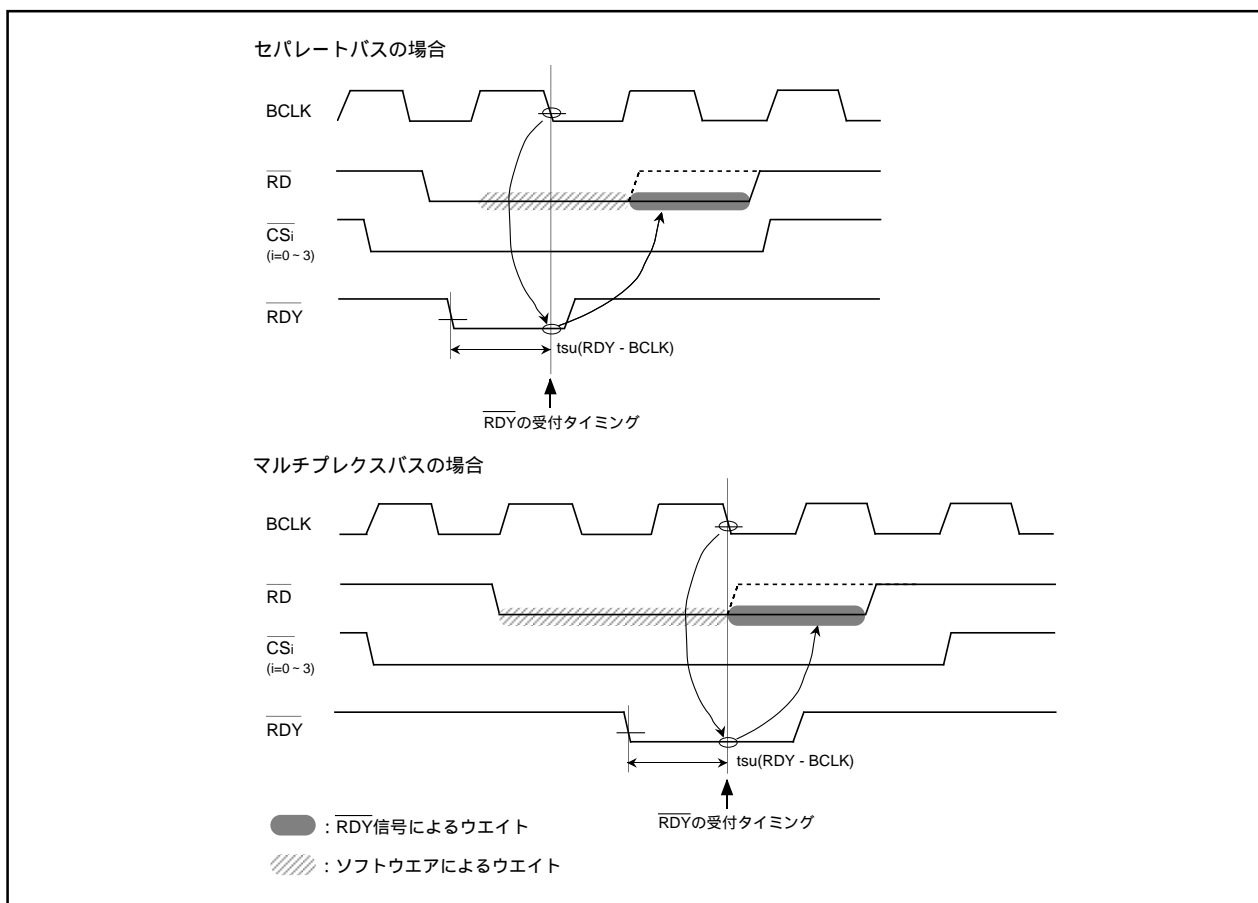
$\overline{\text{RDY}}$ は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.10.4に示すようにBCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“H”が入力されているとき、バスはウェイト状態を解除します。表1.10.5にバスのウェイト状態におけるマイクロコンピュータの状態、図1.10.4にRD信号が $\overline{\text{RDY}}$ 信号によつてのびた例を示します。

$\overline{\text{RDY}}$ 信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に全て“1”を設定している場合は、 $\overline{\text{RDY}}$ 信号は無効ですが、 $\overline{\text{RDY}}$ 端子の未使用端子の処理が必要です。

表1.10.5. バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項目	状態
発振	動作
R/W信号、アドレスバス、データバス、CS ALE信号、HLDA プログラマブル入出力ポート	$\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウェイトによるウェイトの直前には $\overline{\text{RDY}}$ 信号は受け付けられません。

図1.10.4. RD信号が $\overline{\text{RDY}}$ 信号によつてのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子が“L”の期間その状態を保持します。また、その間 $\overline{\text{HLDA}}$ 端子から“L”を出力します。表1.10.6にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなっています。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図1.10.5. バス使用優先順位

表1.10.6. ホールド状態におけるマイクロコンピュータの状態

項目	状態	
発振	動作	
R/W信号、アドレスバス、データバス、CS、BHE	フローティング	
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$	“L”を出力	
内蔵周辺回路	動作(ただし監視タイマは停止)	
ALE信号	不定	

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.10.7に示します。

表1.10.7. 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス	アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング
	ライト時	データを出力
RD, WR, WRL, WRH	RD, WR, WRL, WRHを出力	“H”を出力
BHE	BHEを出力	直前にアクセスされた外部領域の状態を保持
CS	“H”を出力	“H”を出力
ALE	“L”を出力	“L”を出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクトCS₀～CS₃に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウェアウエイトを挿入してください。

表1.10.8にソフトウェアウエイトとバスサイクル、図1.10.6にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表1.10.8. ソフトウェアウエイトとバスサイクル

領域	バス形状	ウエイトビット	チップセレクト制御レジスタビット4～ビット7	バスサイクル
SFR	———	無効	無効	BCLKの2サイクル
内部ROM/RAM	———	0	無効	BCLKの1サイクル
	———	1	無効	BCLKの2サイクル
外部メモリ領域	セパレートバス	0	1	BCLKの1サイクル
	セパレートバス	0	0	BCLKの2サイクル
	セパレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

注1. RDY信号を使用する場合“0”を設定してください。

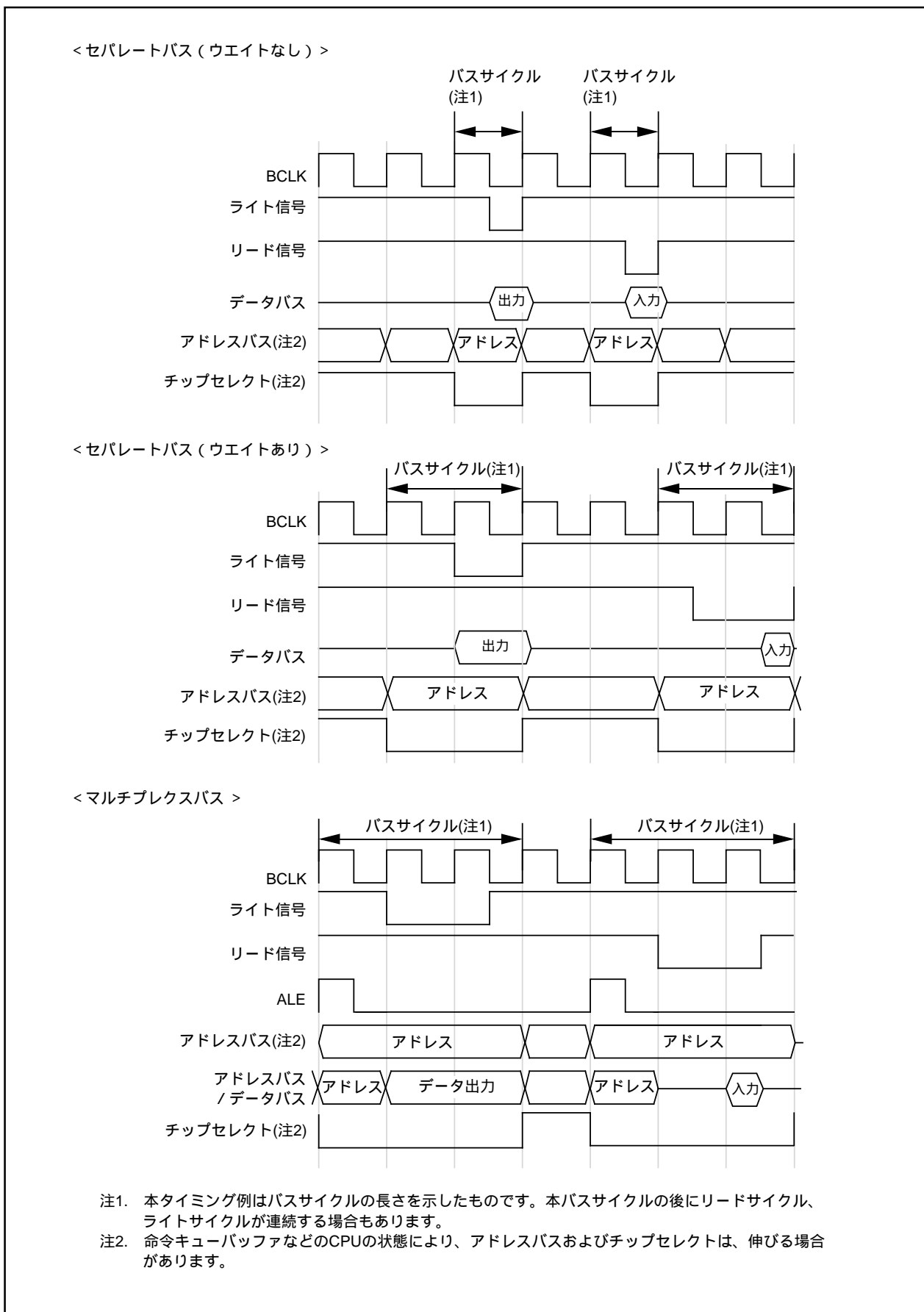


図1.10.6. ソフトウェアウエイトを使用した場合のバスタイミング例

クロック発生回路

クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.11.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図1.11.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.11.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.11.1中および図1.11.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

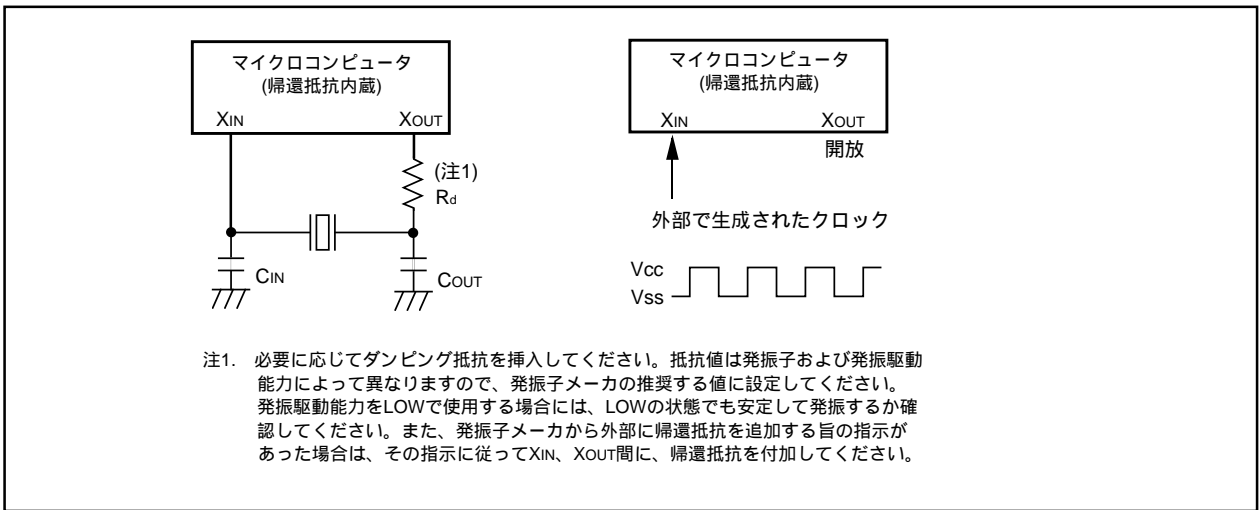


図1.11.1. メインクロックの接続例

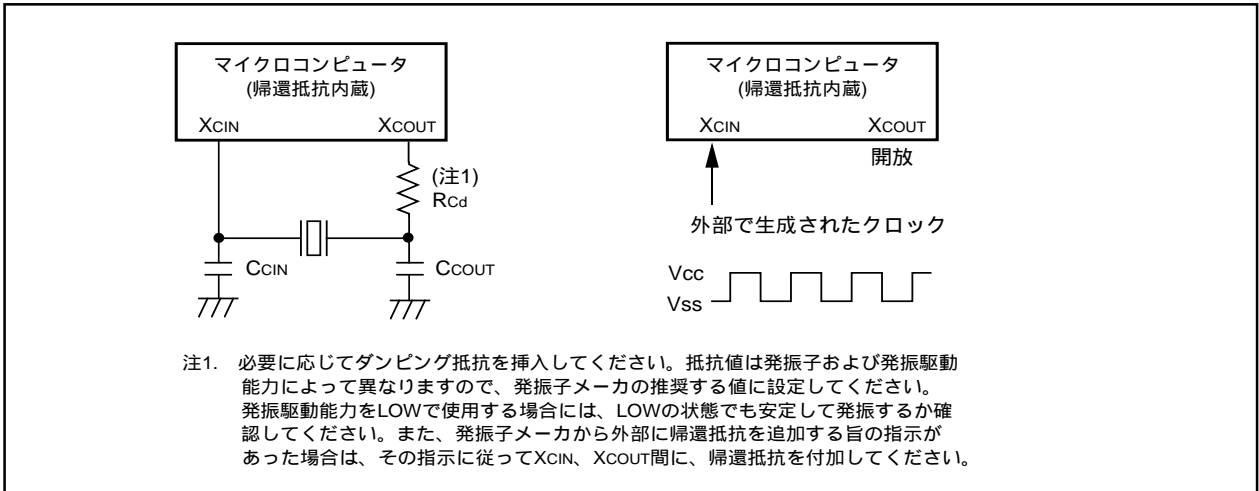


図1.11.2. サブクロックの接続例

クロック発生回路

クロックの制御

図1.11.3にクロック発生回路のブロック図を示します。

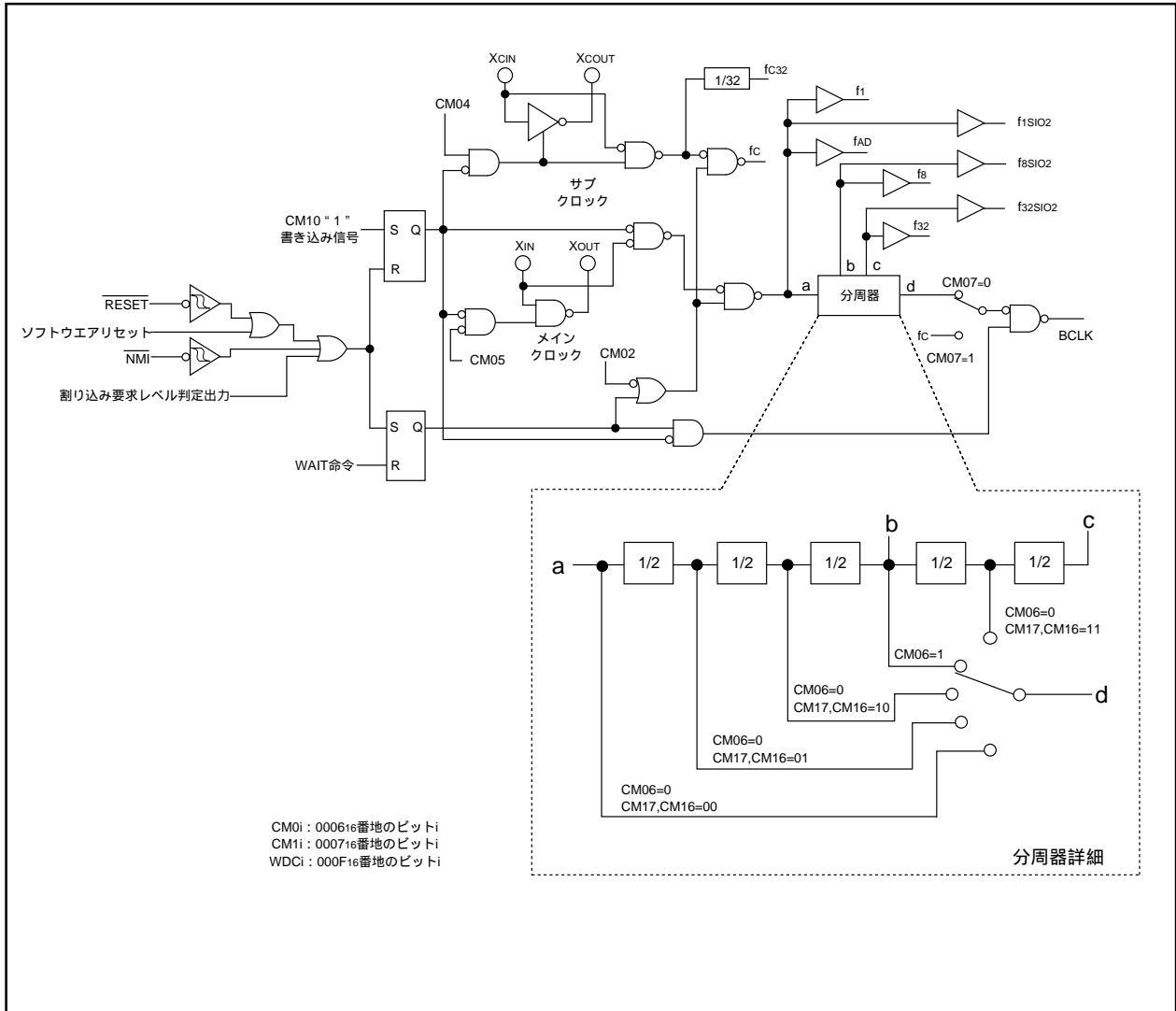


図1.11.3. クロック発生回路

クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時、低消費電力モードへの移行時、およびリセット時、このビットは“1”になります。低速モードでは保持されません。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ポートXc切り替えビット(0006₁₆番地のビット4)を“0”にした時、ストップモードへの移行時、およびリセット時、“1”になります。

XCIN/XCOUTを使用する場合、ポートP86、P87は入力ポートで、プルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時、低消費電力モードへの移行時、およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図1.11.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

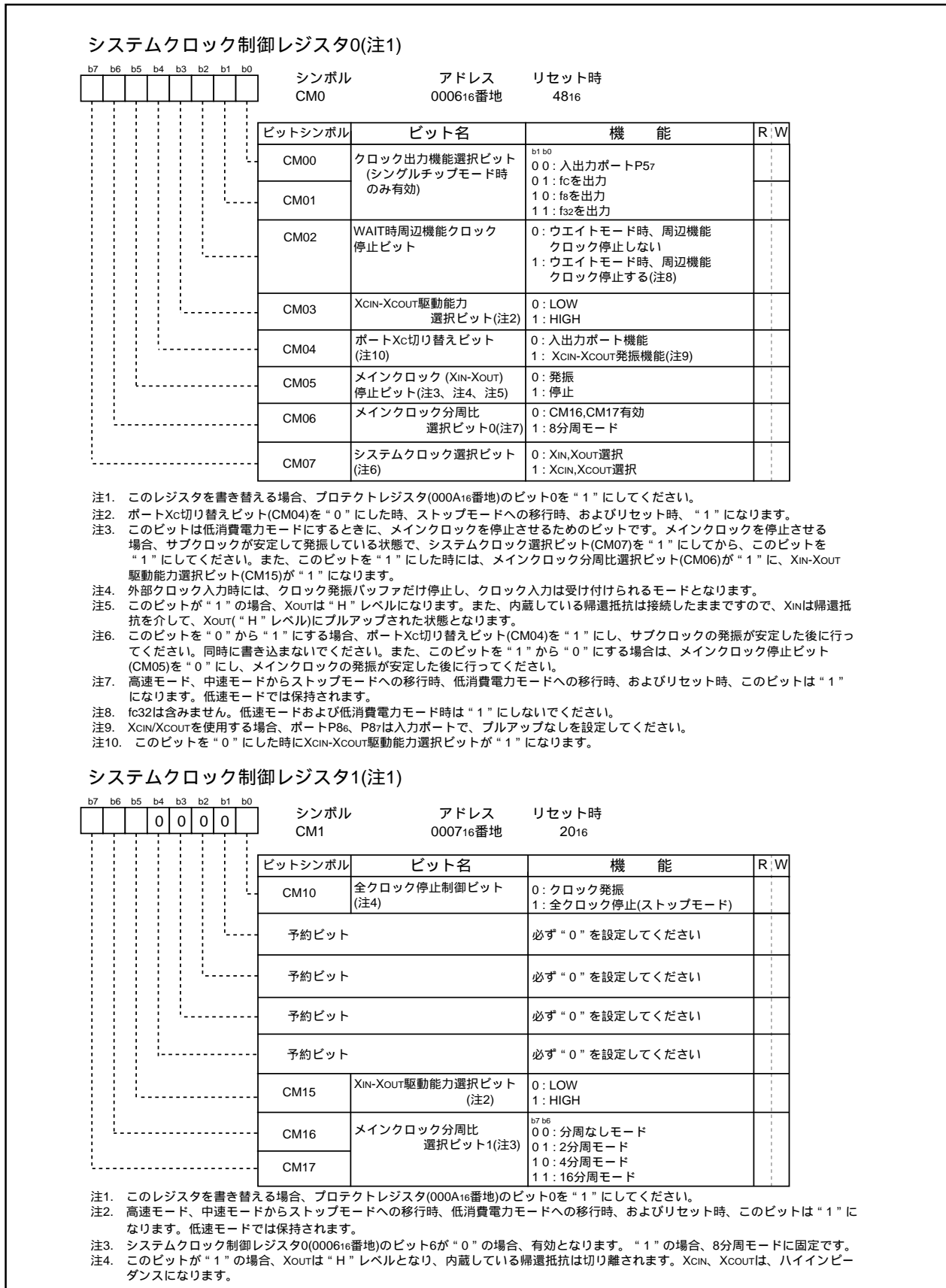


図1.11.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック発生回路

クロック出力

シングルチップモード時、クロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってP57/CLKOUT端子からf₈、f₃₂またはf_cを出力することができます。WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f₁SI02～f₃₂SI02、f_c、f_{c32}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART_i(i=0～2)、SIO_{3,4}は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.11.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時、低消費電力モードへの移行時、およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モードでは保持されます。

表1.11.2. ストップモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS ₀ ～CS ₃ , BHE		ストップモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	“H”
	f ₈ 、f ₃₂ 選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

ウエイトモード

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウエイトモードに移行しないでください。ウエイトモード時のポートの状態を表1.11.3に示します。

ウエイトモードはハードウェアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウエイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウエイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウエイトモードに移行してください。

表1.11.3. ウエイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ウエイトモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ウエイトモードに入る直前の状態を保持	ウエイトモードに入る直前の状態を保持
CLKOUT	fc選択時	シングルチップモード時だけ有効	停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

BCLKの状態

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.11.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時、低消費電力モードへの移行時、およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”に、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)は“1”になります。低速モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.11.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

CM1i : 0007₁₆番地のビットi

CM0i : 0006₁₆番地のビットi

パワーコントロール

パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

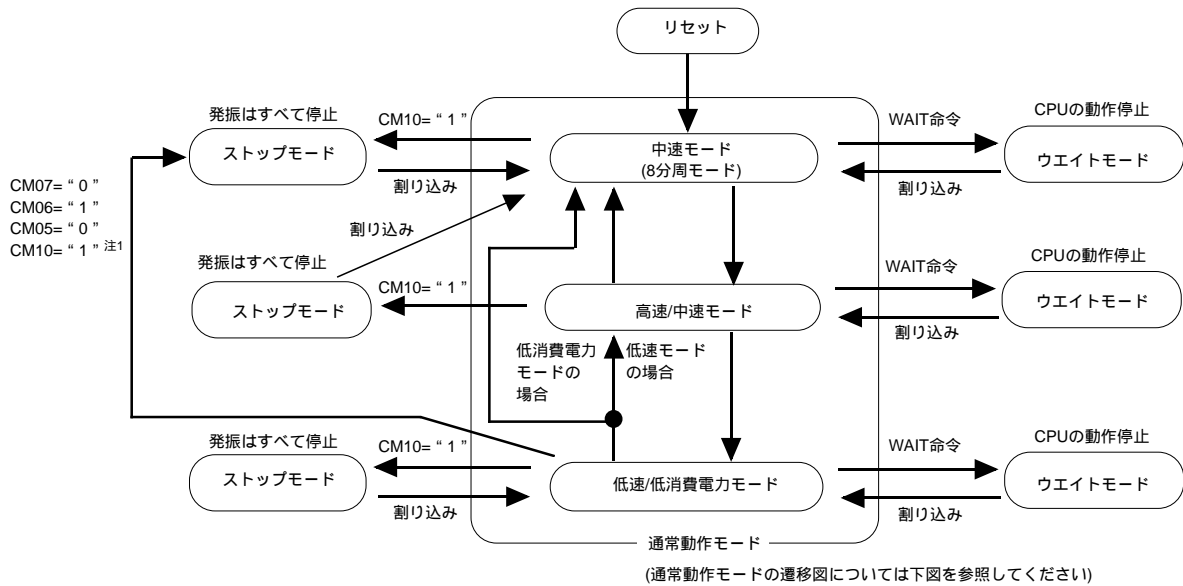
CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図1.11.5に示します。

ストップモード、ウエイトモードの遷移図



注1. CM0、CM1レジスタへは、ワードアクセスにより同時書き込みを行ってください。

通常動作モードの遷移図

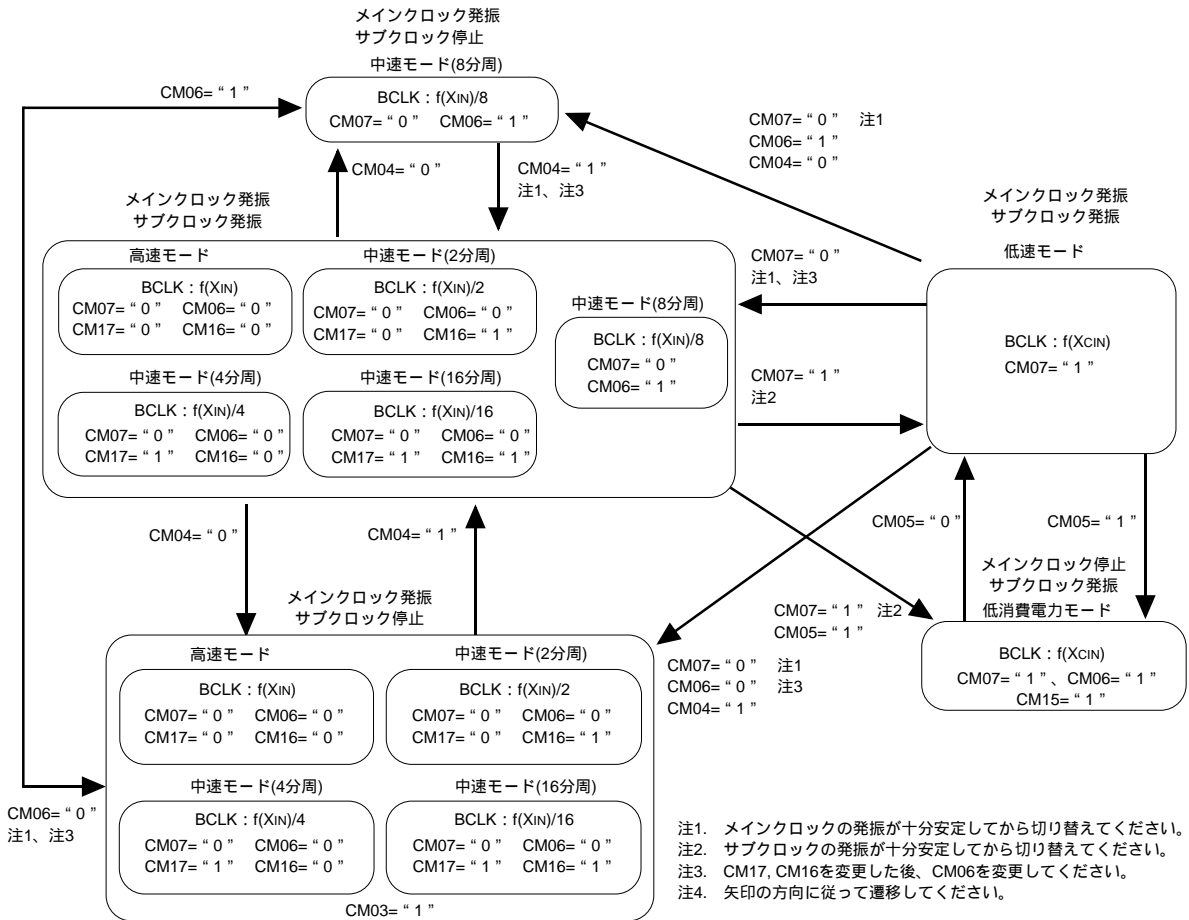


図1.11.5. 状態遷移図

プロテクト

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.11.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、ポートP9方向レジスタ(03F3₁₆番地)、SI/O_i制御レジスタ(0362₁₆番地)、およびSI/O₄制御レジスタ(0366₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/O_i制御レジスタ($i = 3, 4$)書き込み許可ビット(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

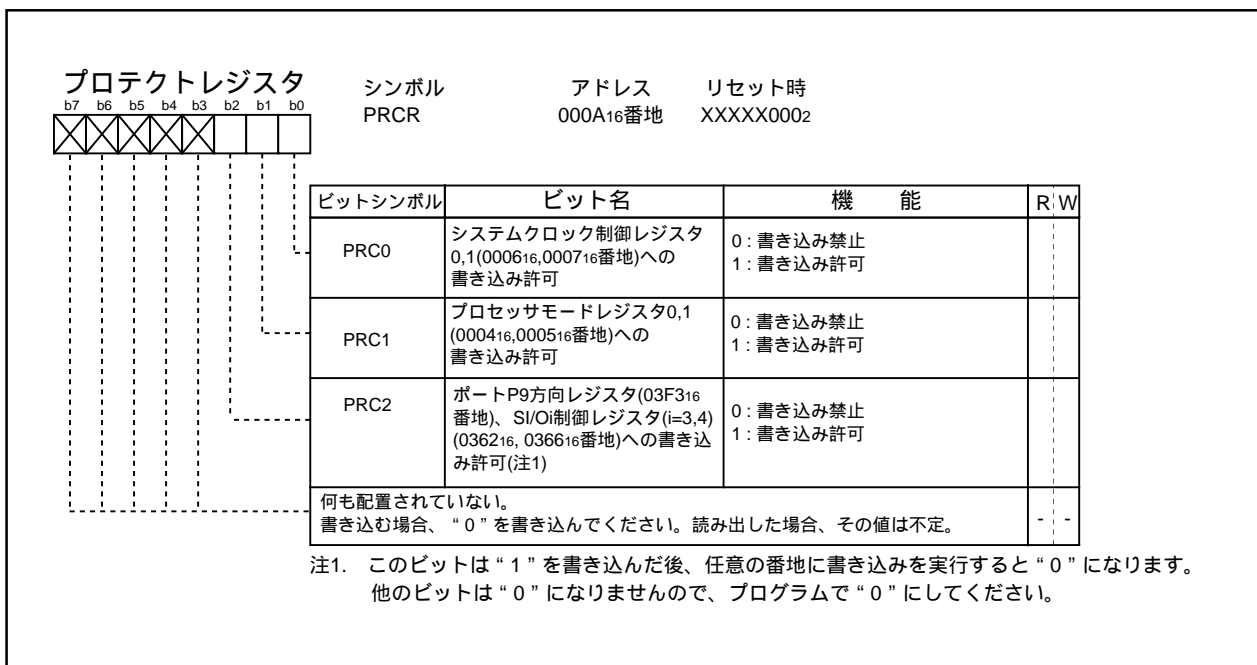


図1.11.6. プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図1.12.1に割り込みの分類を示します。

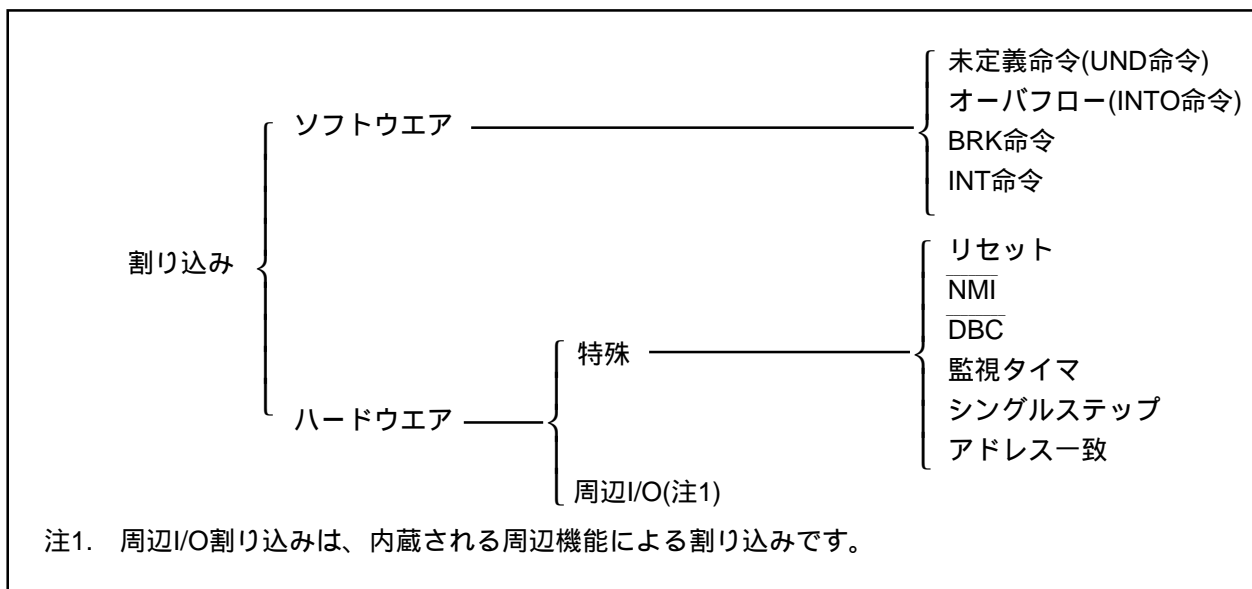


図1.12.1. 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

割り込み

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。監視タイマ割り込み発生後は、必ず監視タイマスタートレジスタへ書き込みを行い、監視タイマを初期化してください。

(5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0~タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0~タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がリエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

割り込み

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.12.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図1.12.2. 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.12.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.12.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ~ FFFE B ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE C ₁₆ ~ FFFE F ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆	通常は使用禁止
NMI	FFFF8 ₁₆ ~ FFFF B ₁₆	NMI端子入力による外部割り込み
リセット	FFFF C ₁₆ ~ FFFFF ₁₆	

注1. デバッガ専用割り込み

割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.12.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.12.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号4	+16 ~ +19(注1)	INT3	
ソフトウェア割り込み番号5	+20 ~ +23(注1)	タイマB5	
ソフトウェア割り込み番号6	+24 ~ +27(注1)	タイマB4	
ソフトウェア割り込み番号7	+28 ~ +31(注1)	タイマB3	
ソフトウェア割り込み番号8	+32 ~ +35(注1)	SI/O4 / INT5 (注2)	
ソフトウェア割り込み番号9	+36 ~ +39(注1)	SI/O3 / INT4 (注2)	
ソフトウェア割り込み番号10	+40 ~ +43(注1)	バス衝突検出	
ソフトウェア割り込み番号11	+44 ~ +47(注1)	DMA0	
ソフトウェア割り込み番号12	+48 ~ +51(注1)	DMA1	
ソフトウェア割り込み番号13	+52 ~ +55(注1)	キー入力割り込み	
ソフトウェア割り込み番号14	+56 ~ +59(注1)	A-D	
ソフトウェア割り込み番号15	+60 ~ +63(注1)	UART2送信 / NACK (注3)	
ソフトウェア割り込み番号16	+64 ~ +67(注1)	UART2受信 / ACK (注3)	
ソフトウェア割り込み番号17	+68 ~ +71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80 ~ +83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84 ~ +87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88 ~ +91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92 ~ +95(注1)	タイマA2	
ソフトウェア割り込み番号24	+96 ~ +99(注1)	タイマA3	
ソフトウェア割り込み番号25	+100 ~ +103(注1)	タイマA4	
ソフトウェア割り込み番号26	+104 ~ +107(注1)	タイマB0	
ソフトウェア割り込み番号27	+108 ~ +111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112 ~ +115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116 ~ +119(注1)	INT0	
ソフトウェア割り込み番号30	+120 ~ +123(注1)	INT1	
ソフトウェア割り込み番号31	+124 ~ +127(注1)	INT2	
ソフトウェア割り込み番号32 、 ソフトウェア割り込み番号63	+128 ~ +131(注1) 、 +252 ~ +255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. 割り込み要因切り替えビット(035F₁₆番地のビット6,7)により選択します。

注3. IICモード選択時にNACK、ACK割り込みが選択されます。

割り込み制御

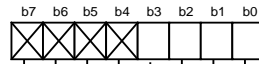
マスクابل割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図1.12.3に割り込み制御レジスタの構成を示します。

割り込み

割り込み制御レジスタ(注2)

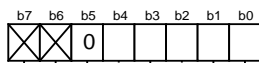


シンボル	アドレス	リセット時
TBiC(i=3~5)	0045 ₁₆ ~ 0047 ₁₆ 番地	XXXXX0002
BCNiC	004A ₁₆ 番地	XXXXX0002
DMiC(i=0,1)	004B ₁₆ , 004C ₁₆ 番地	XXXXX0002
KUPiC	004D ₁₆ 番地	XXXXX0002
ADiC	004E ₁₆ 番地	XXXXX0002
SiTiC(i=0~2)	0051 ₁₆ , 0053 ₁₆ , 004F ₁₆ 番地	XXXXX0002
SiRiC(i=0~2)	0052 ₁₆ , 0054 ₁₆ , 0050 ₁₆ 番地	XXXXX0002
TaiC(i=0~4)	0055 ₁₆ ~ 0059 ₁₆ 番地	XXXXX0002
TBiC(i=0~2)	005A ₁₆ ~ 005C ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり		(注1)
	何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiC(i=3)	0044 ₁₆ 番地	XX00X0002
SiC/INTjIC(i=4, 3) (j=5, 4)	0048 ₁₆ , 0049 ₁₆ 番地 0048 ₁₆ , 0049 ₁₆ 番地	XX00X0002 XX00X0002
INTiC(i=0~2)	005D ₁₆ ~ 005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり		(注1)
POL	極性切り替えビット	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択		
	予約ビット	必ず“0”を設定してください		
	何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図1.12.3. 割り込み制御レジスタの構成

割り込み

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止 / 許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.12.3に割り込み優先レベルの設定を、表1.12.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.12.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表1.12.4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                                ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC    FLG             ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込み禁止状態で割り込み制御レジスタを変更するときには、使用する命令に注意が必要です。

割り込み要求ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込みが発生した場合、割り込み要求ビットがセットされずに割り込みが無視されることがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...MOV

割り込み

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.12.4に割り込み応答時間を示します。

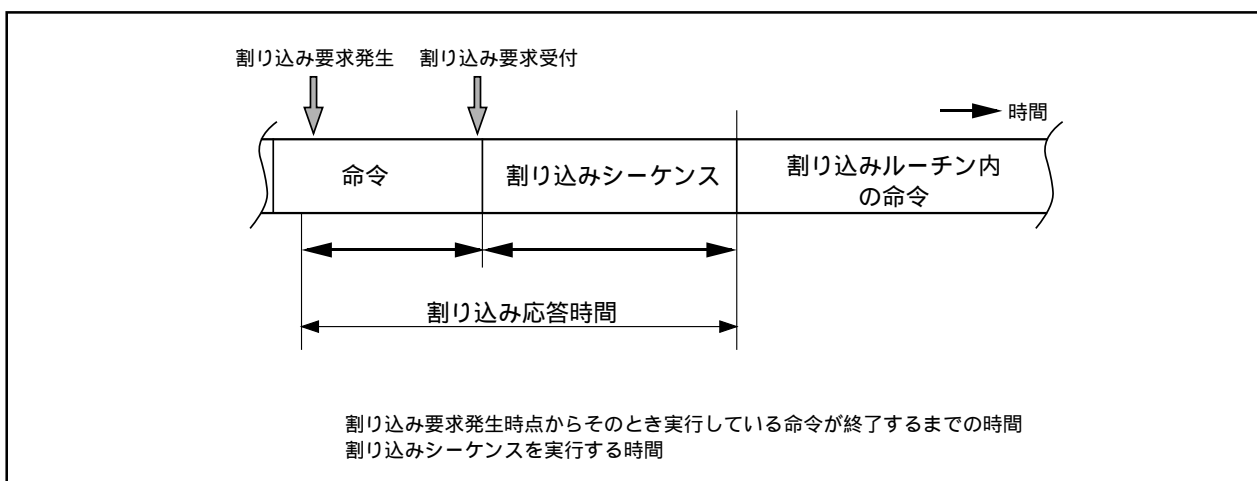


図1.12.4. 割り込み応答時間

割り込み

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表1.12.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

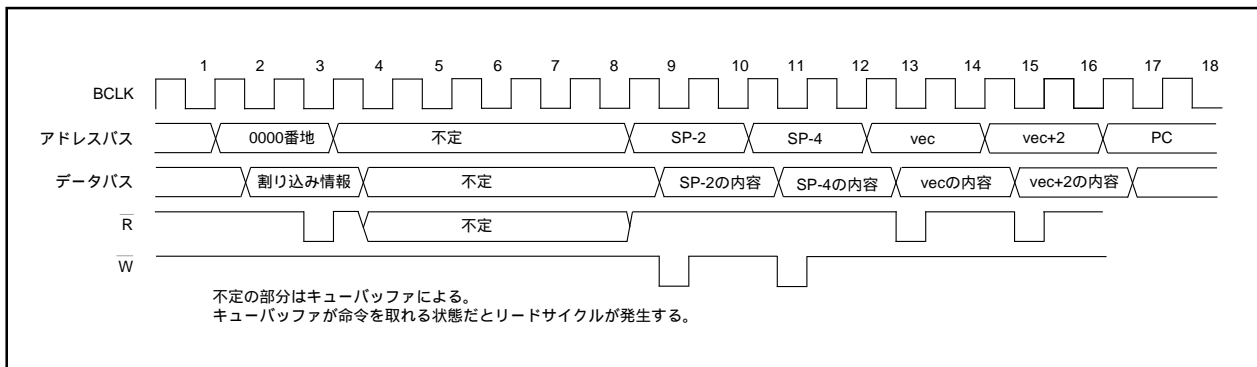


図1.12.5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.12.6に示す値がIPLに設定されます。

表1.12.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

割り込み

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図1.12.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

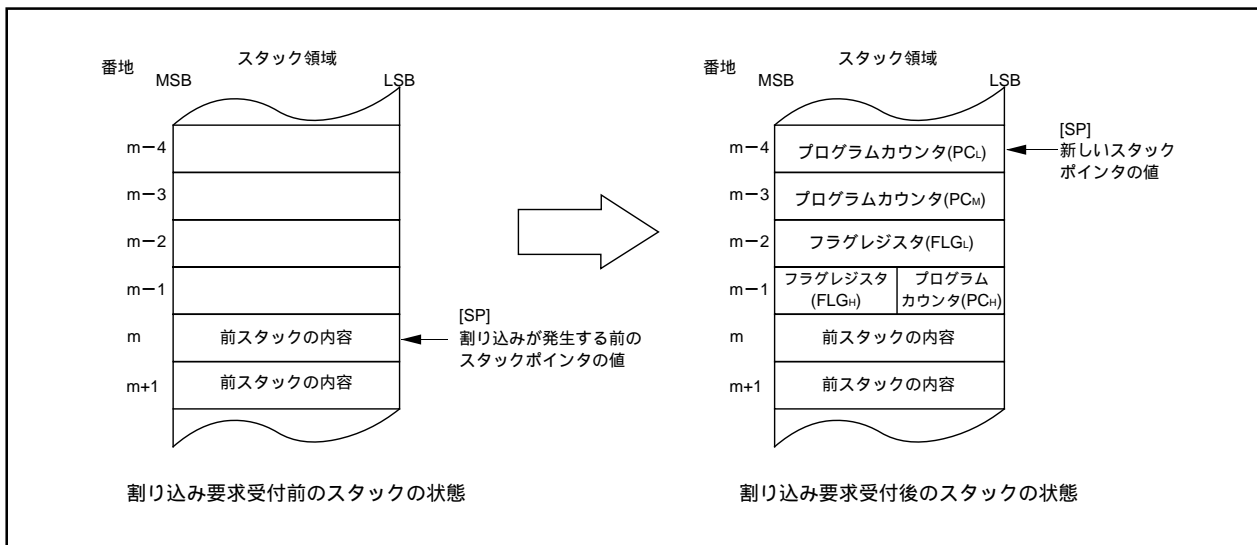
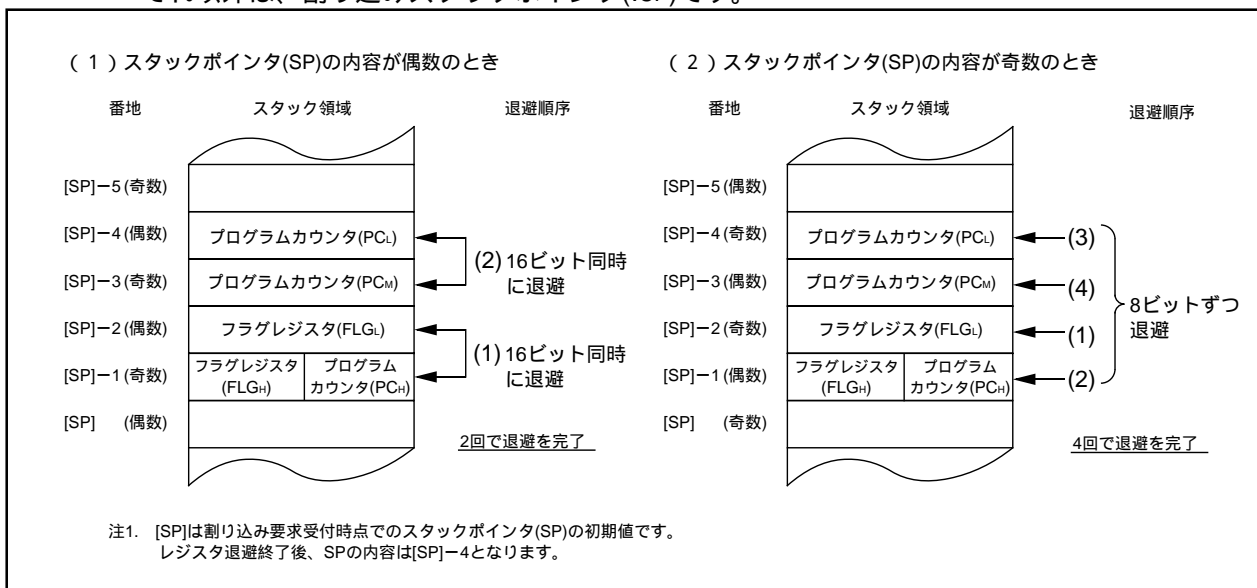


図1.12.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.12.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。



注1. [SP]は割り込み要求受付時点でのスタックポインタ(SP)の初期値です。レジスタ退避終了後、SPの内容は[SP]-4となります。

図1.12.7. レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図1.12.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.12.9に割り込み優先レベルの判定回路を示します。

割り込み

リセット > NMI > DBC > 監視タイマ > アドレス一致 > シングルステップ > 周辺I/O > シングルステップ > アドレス一致

図1.12.8. ハードウェア割り込みの割り込み優先順位

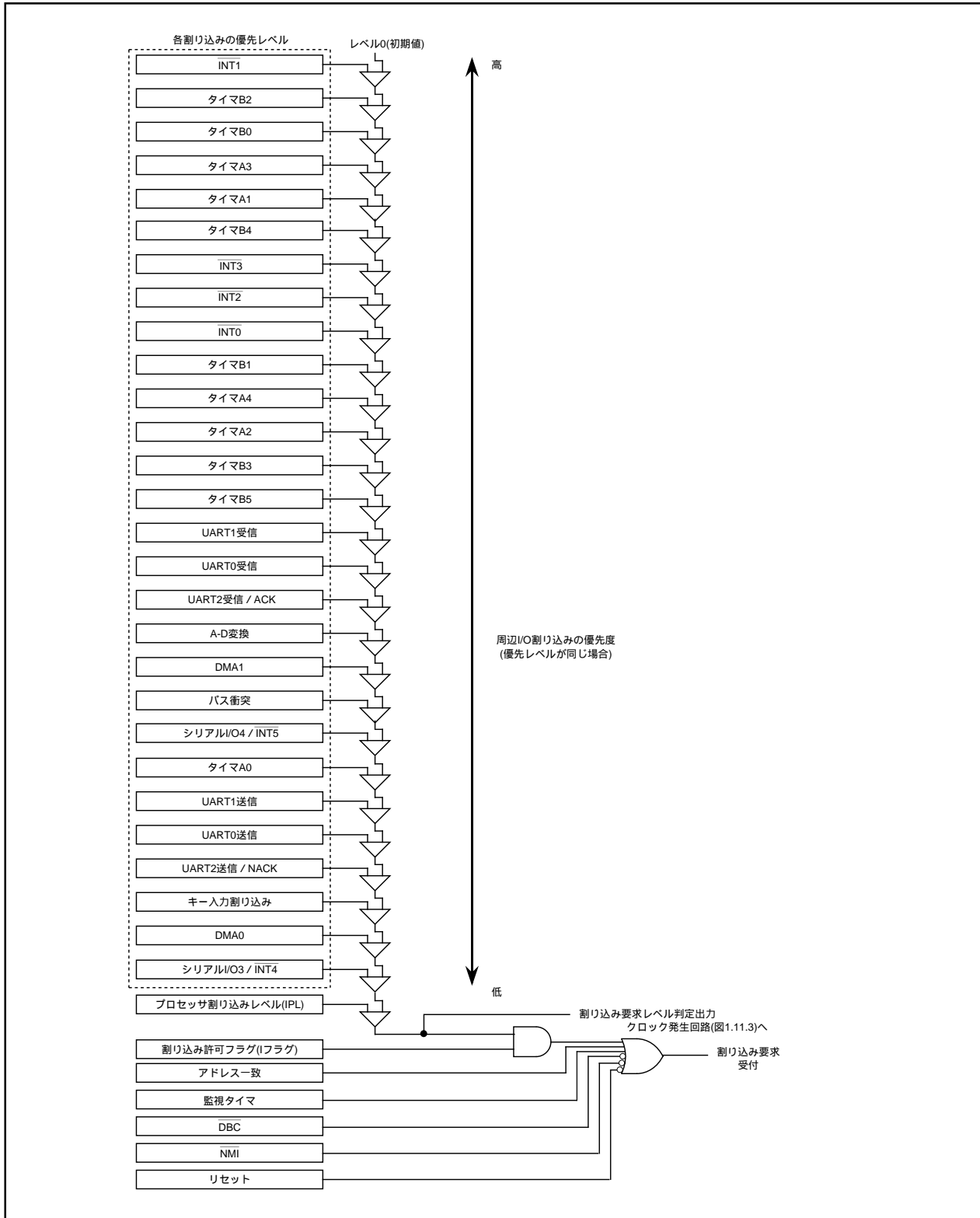


図1.12.9. 割り込み優先レベル判定回路

INT割り込み

INT割り込み

INT0 ~ INT5は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

割り込み制御レジスタの内、0048₁₆番地はシリアルI/O4と外部割り込みINT5入力の割り込み制御レジスタを兼用し、0049₁₆番地はシリアルI/O3と外部割り込みINT4入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F₁₆番地)の割り込み要因切り替えビット(ビット6, 7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048₁₆番地と0049₁₆番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がり両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図1.12.10に割り込み要因選択レジスタの構成を示します。

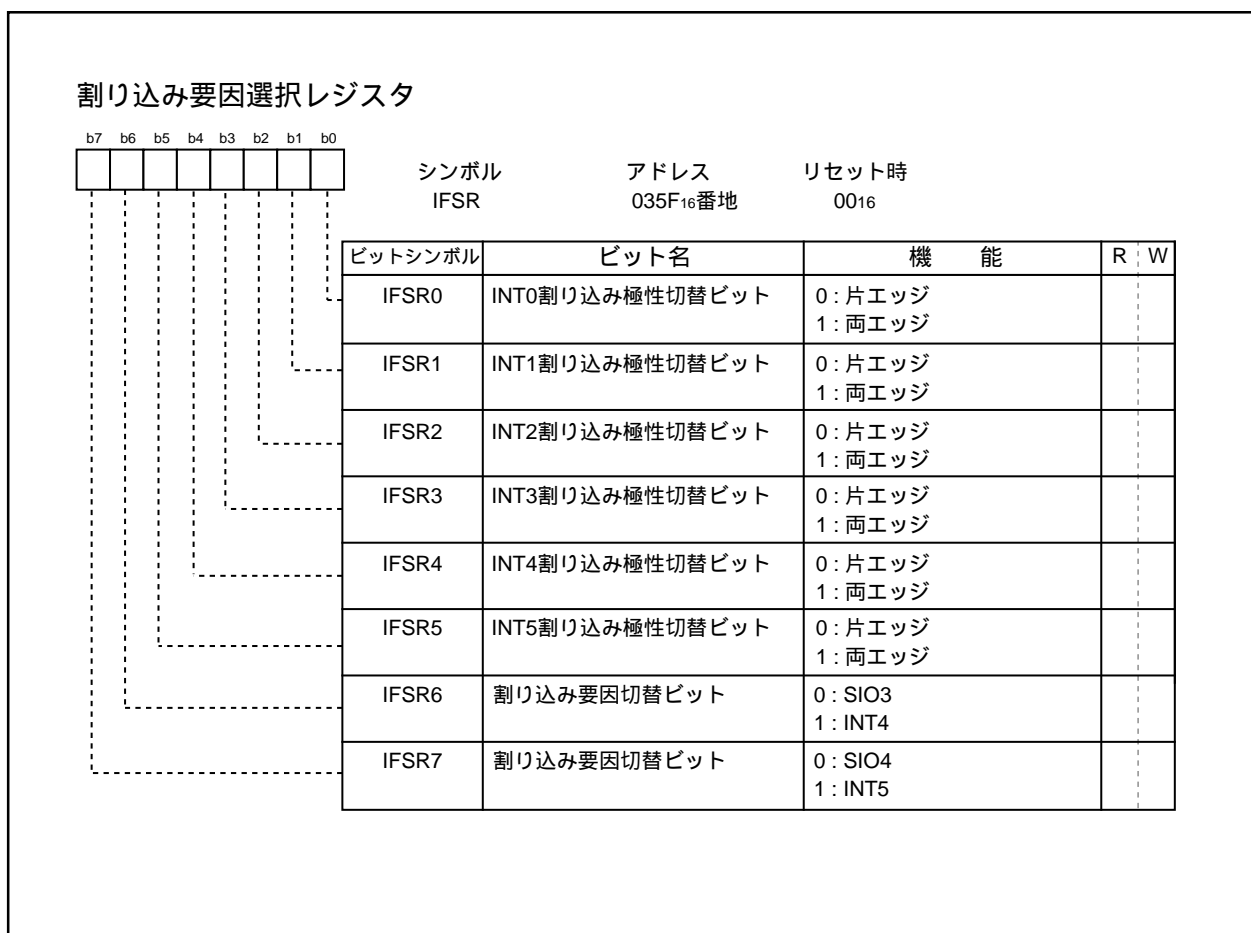


図1.12.10. 割り込み要因選択レジスタの構成

NMI割り込み

NMI割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F0₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.12.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されると、他の端子の入力は割り込みとして検知されません。

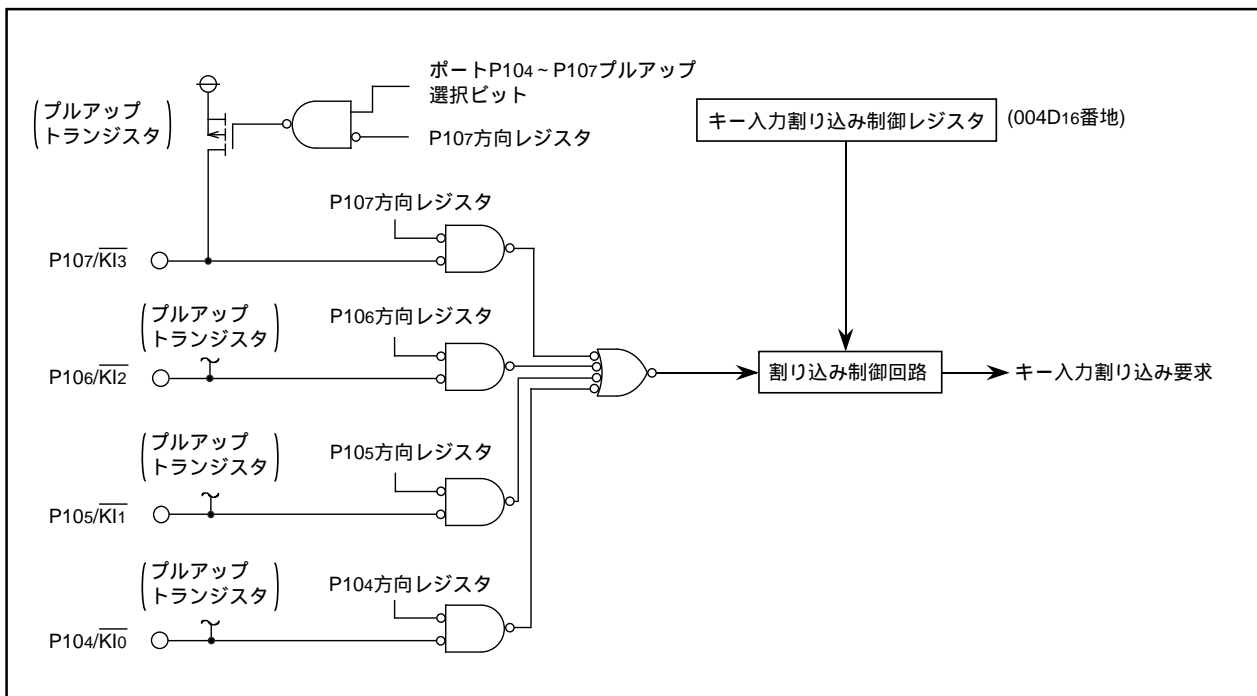


図1.12.11. キー入力割り込みのブロック図

アドレス一致割り込み

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みは使用できません。

図1.12.12にアドレス一致割り込み関連レジスタの構成を示します。

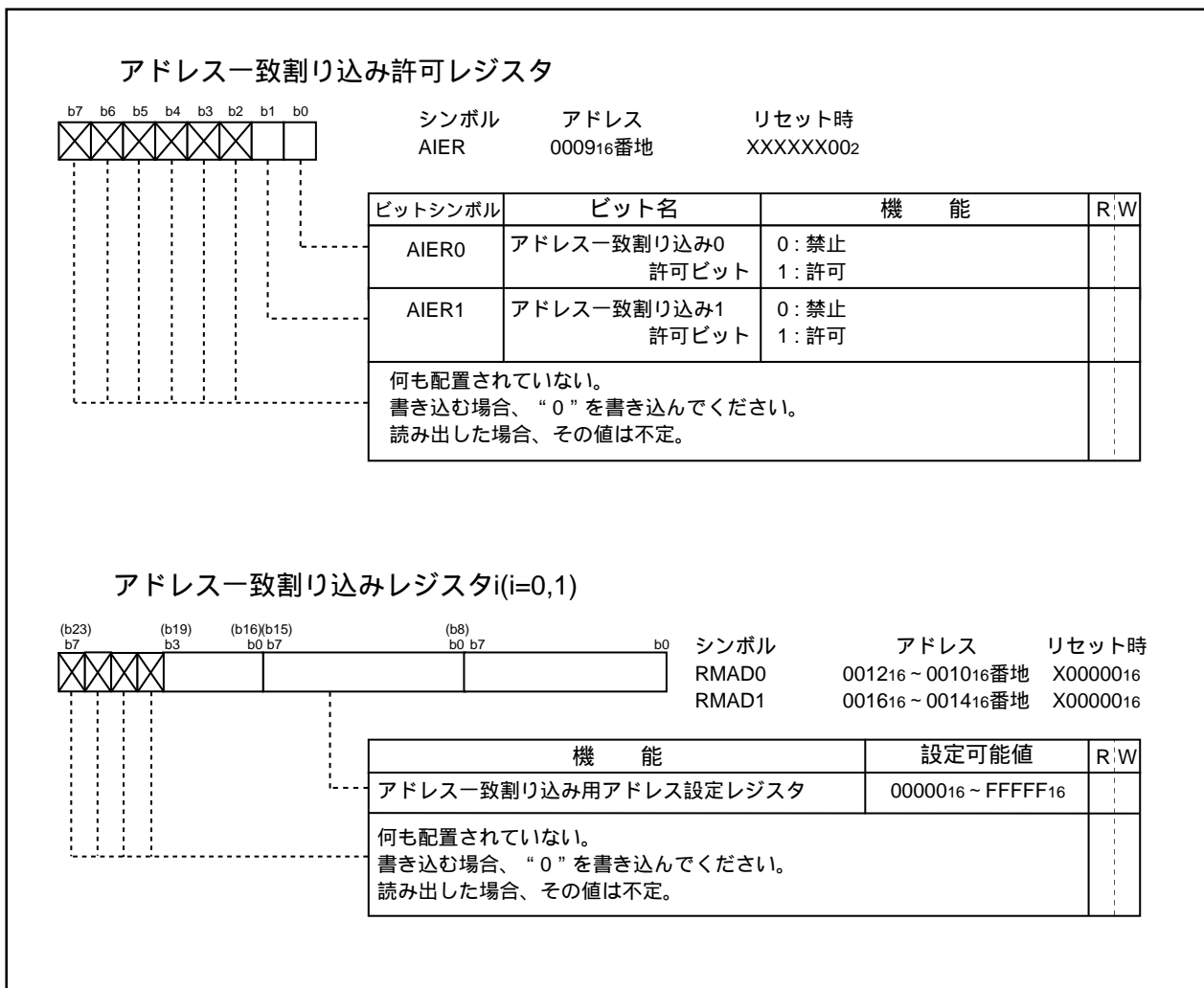


図1.12.12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではストップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

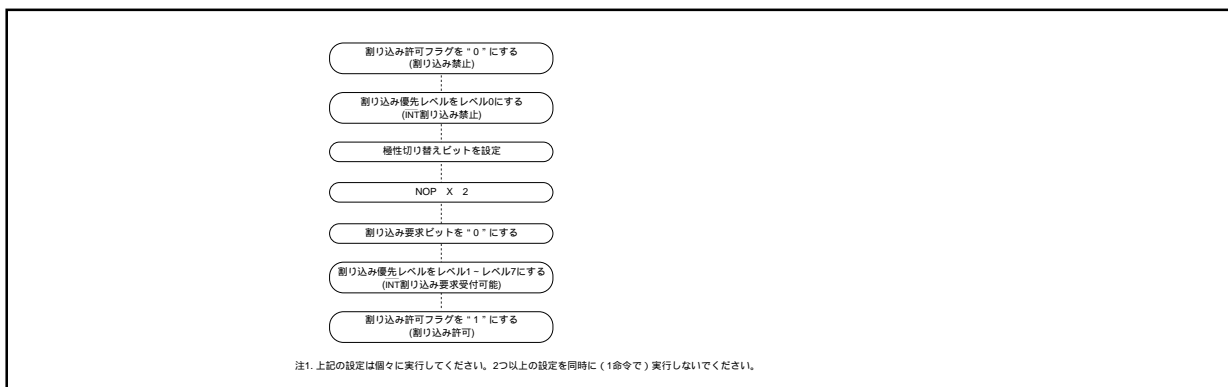
$\overline{\text{NMI}}$ 端子入力が“L”の状態ではウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの2クロック + 300ns以上の“L”レベル幅、“H”レベル幅が必要です。

(4) 外部割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子の極性を切り替えるとき、およびソフトウェア割り込み番号8、9の割り込み要因を切り替えるとき、割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図1.12.13に示します。

図1.12.13. $\overline{\text{INT}}$ 割り込み発生要因の切り替え

割り込みの注意事項

(5) 監視タイマ割り込み

監視タイマ割り込み発生後は、必ず監視タイマスタートレジスタへ書き込みを行い、監視タイマを初期化してください。

(6) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
FCLR  I           ; 割り込み禁止状態
AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
NOP                                ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET  I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
FCLR  I           ; 割り込み禁止状態
AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
MOV.W MEM, R0     ; ダミーリード
FSET  I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
PUSHC FLG
FCLR  I           ; 割り込み禁止状態
AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
POPC  FLG        ; 割り込み許可状態
```

例 1 と例 2 でFSET I命令の前にNOP命令 2 個 (HOLD機能使用時は 4 個) やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込み禁止状態で割り込み制御レジスタを変更するときには、使用する命令に注意が必要です。

割り込み要求ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込みが発生した場合、割り込み要求ビットがセットされずに割り込みが無視されることがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令...MOV

監視タイマ

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。監視タイマは15ビットのカウントを持ち、BCLKをプリスケアラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みを発生させるか、リセットをかけるかを選択できます。監視タイマ割り込みを選択した場合、監視タイマ割り込み発生後は、必ず監視タイマスタートレジスタへ書き込みを行い、監視タイマを初期化してください。プロセッサモードレジスタ1(0005₁₆番地)のビット2(PM12)が“0”で監視タイマ割り込みが、PM12が“1”でリセットが選択されます。PM12には“1”のみ書き込み可能です。一度リセット(PM12=“1”)を設定すると監視タイマ割り込みには変更できません。

BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケアラの分周比に16分周か128分周を選択することができます。BCLKにXcINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケアラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケアラによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(16\text{または}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXcINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケアラの分周比として16分周を選択している場合、監視タイマの周期は、約32.8msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケアラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケアラは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。

ストップモード時、ウェイトモード時、およびホールド状態時、監視タイマおよびプリスケアラは停止し、解除すると保持された値からカウントします。

また、PM12はリセット時だけ初期化されます。リセット解除後は監視タイマ割り込みが選択されます。

図1.13.1に監視タイマのブロック図、図1.13.2に監視タイマ関連レジスタの構成を示します。

監視タイマ

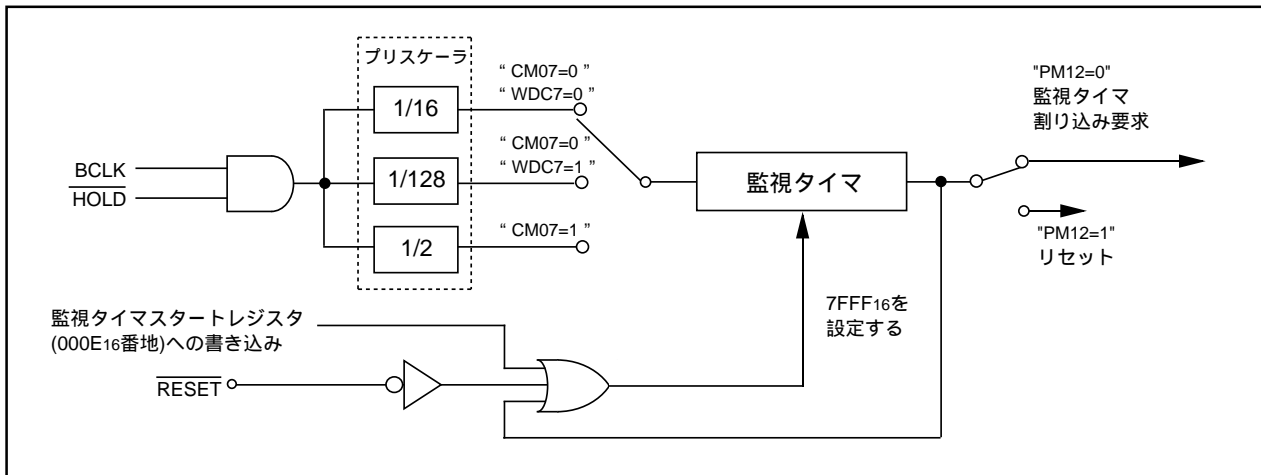


図1.13.1. 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
0	0							WDC	000F ₁₆ 番地	000XXXX ₂

ビットシンボル	ビット名	機能	R	W
監視タイマの上位ビット				x
予約ビット		必ず“0”を設定してください		
予約ビット		必ず“0”を設定してください		
WDC7	プリスケラ選択ビット	0: 16分周 1: 128分周		

監視タイマスタートレジスタ

b7	b0	シンボル	アドレス	リセット時
		WDTS	000E ₁₆ 番地	不定

機能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。監視タイマの初期値は、書き込む値にかかわらず“7FFF ₁₆ ”が設定される。		x

図1.13.2. 監視タイマ関連レジスタ

DMAC

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.14.1にDMACのブロック図を、表1.14.1にDMACの仕様を、図1.14.2～図1.14.4にDMACで使用するレジスタの構成を示します。

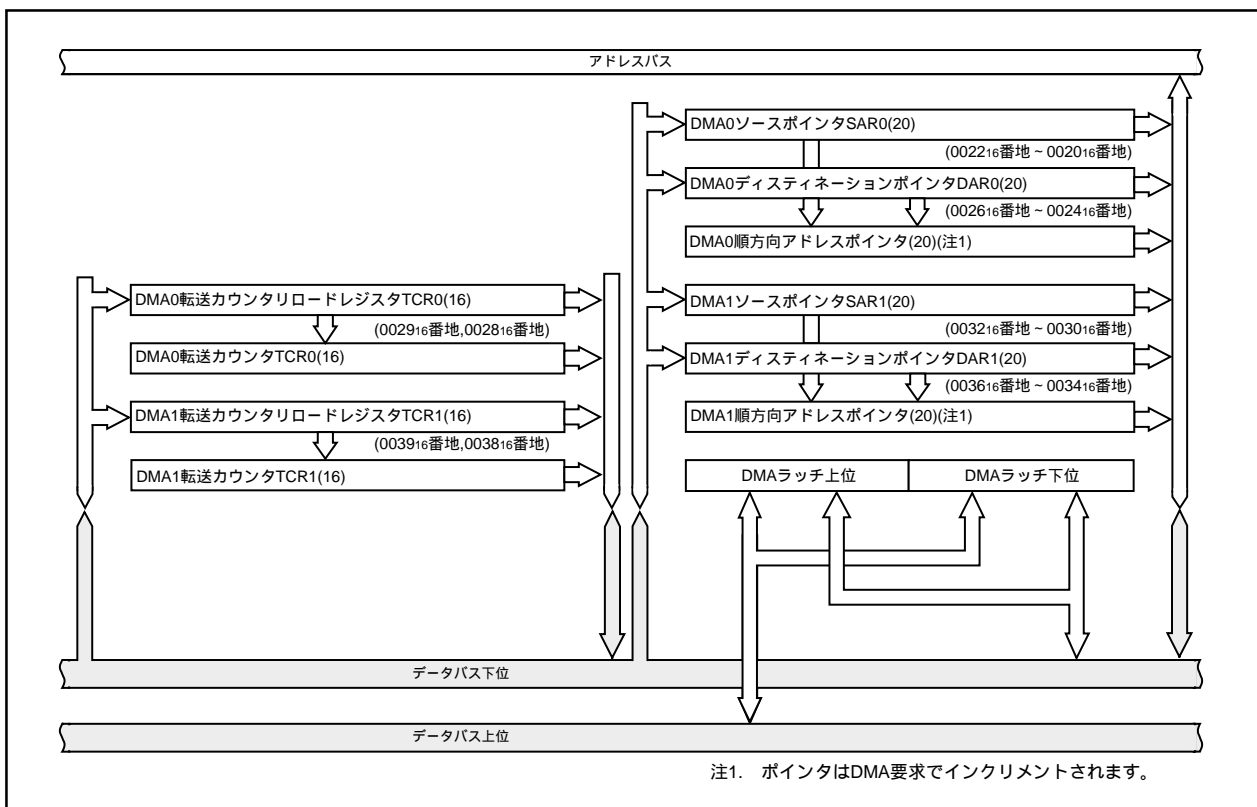


図1.14.1. DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するとともに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.14.1. DMAC仕様

項 目	仕 様
チャンネル数	2チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0またはINT1端子の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生することにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

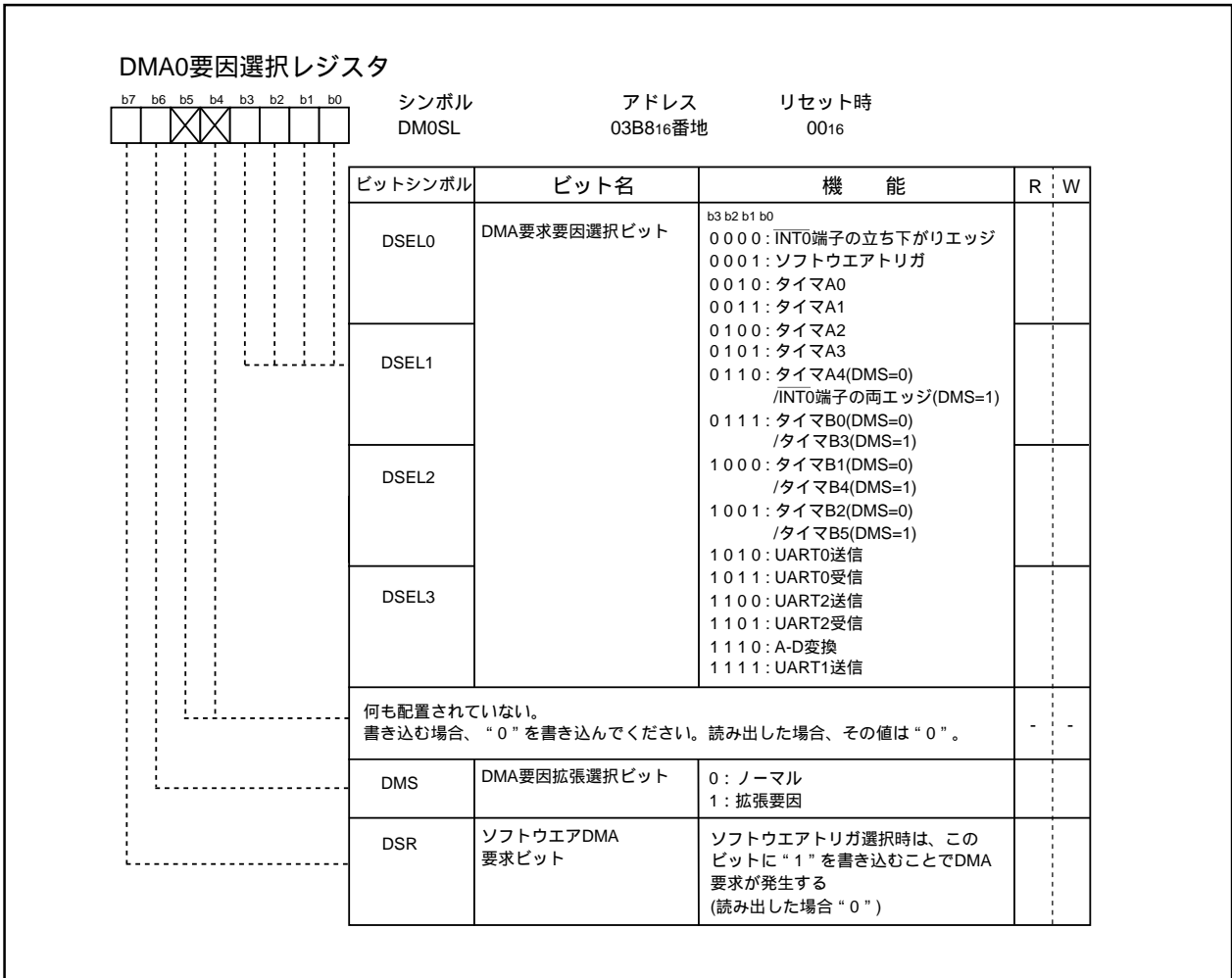
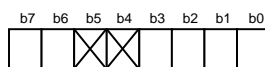


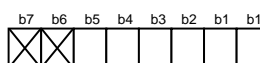
図1.14.2. DMACレジスタ構成(1)

DMA1要因選択レジスタ

シンボル
DM1SLアドレス
03BA₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0: INT1端子の立ち下がりエッジ 0 0 0 1: ソフトウェアトリガ 0 0 1 0: タイマA0 0 0 1 1: タイマA1 0 1 0 0: タイマA2 0 1 0 1: タイマA3(DMS=0) /シリアル/O3(DMS=1) 0 1 1 0: タイマA4(DMS=0) /シリアル/O4(DMS=1) 0 1 1 1: タイマB0(DMS=0) /INT1端子の両エッジ(DMS=1)		
DSEL1				
DSEL2				
DSEL3				
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-
DMS	DMA要因拡張選択ビット	0: ノーマル 1: 拡張要因		
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、この ビットに“1”を書き込むことでDMA 要求が発生する (読み出した場合“0”)		

DMAi制御レジスタ

シンボル
DMiCON(i=0,1)アドレス
002C₁₆番地, 003C₁₆番地リセット時
00000X00₂

ビットシンボル	ビット名	機能	R	W
DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット		
DMASL	リピート転送モード 選択ビット	0: 単転送 1: リピート転送		
DMAS	DMA要求ビット(注1)	0: 要求なし 1: 要求あり		(注2)
DMAE	DMA許可ビット	0: 禁止 1: 許可		
DSD	転送元アドレス方向 選択ビット(注3)	0: 固定 1: 順方向		
DAD	転送先アドレス方向 選択ビット(注3)	0: 固定 1: 順方向		
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-

注1. DMA要求をクリアするには“0”を書き込むことで行えます。

注2. “0”だけ書き込み可。

注3. 転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に
“1”にしないでください。

図1.14.3. DMACレジスタ構成(2)

DMAC

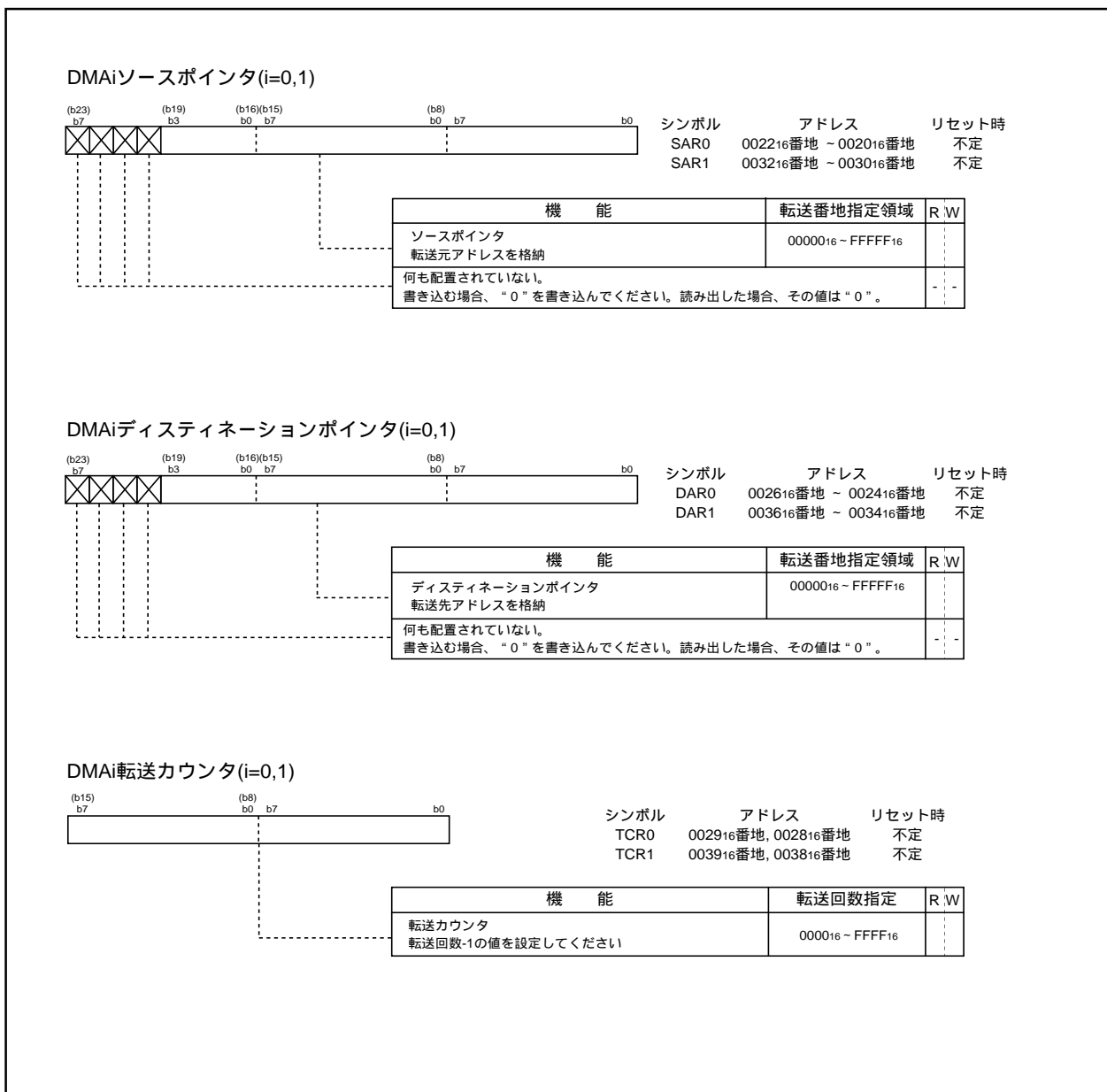


図1.14.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.14.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

DMAC

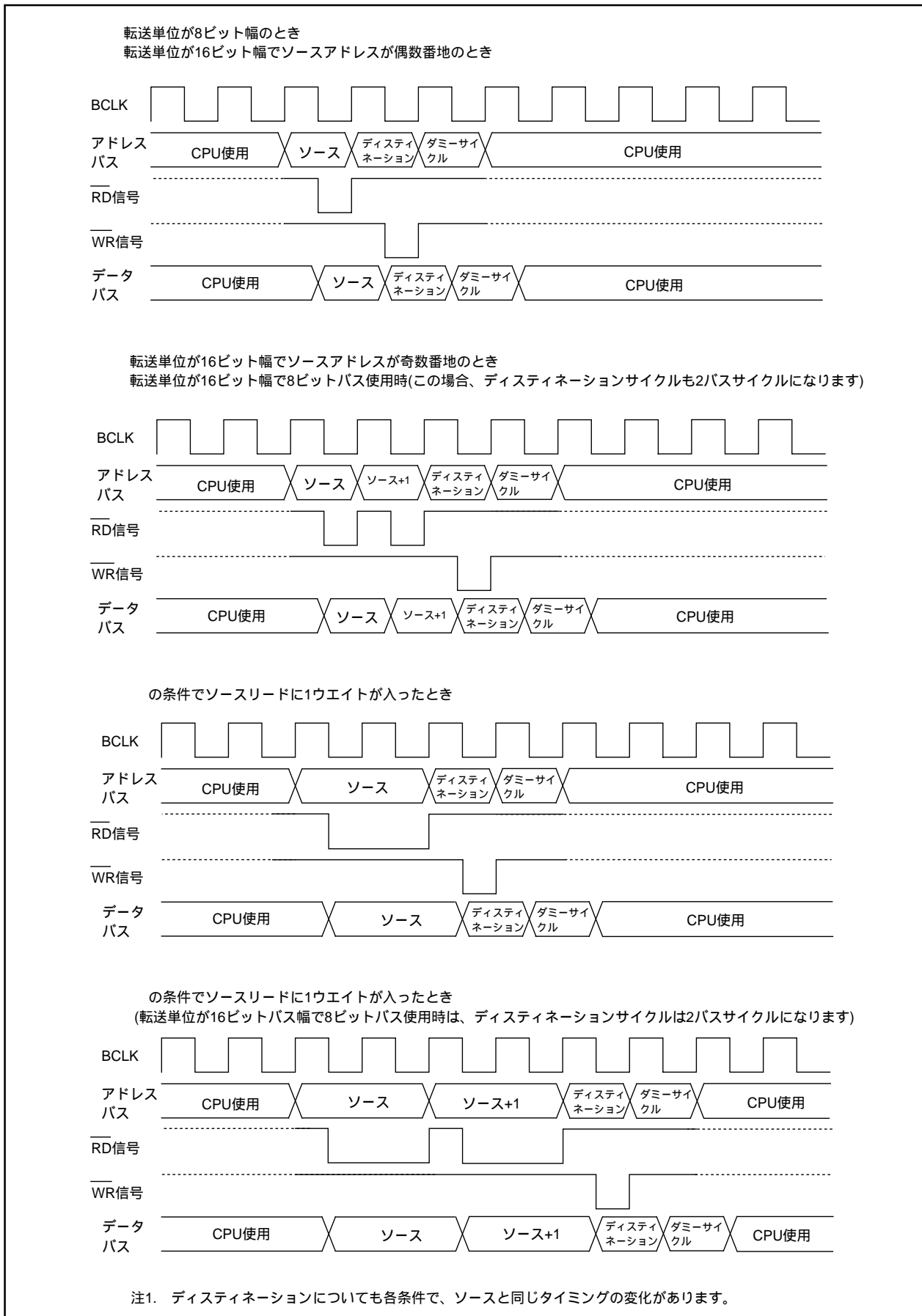


図1.14.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.14.2にDMAC転送サイクル数を示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表1.14.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数j,k

内部領域			外部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート ウエイトあり	マルチプレクス バス
1	2	2	1	2	3

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

INTi端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因としてINTi端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各INTi端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図1.14.6に示します。

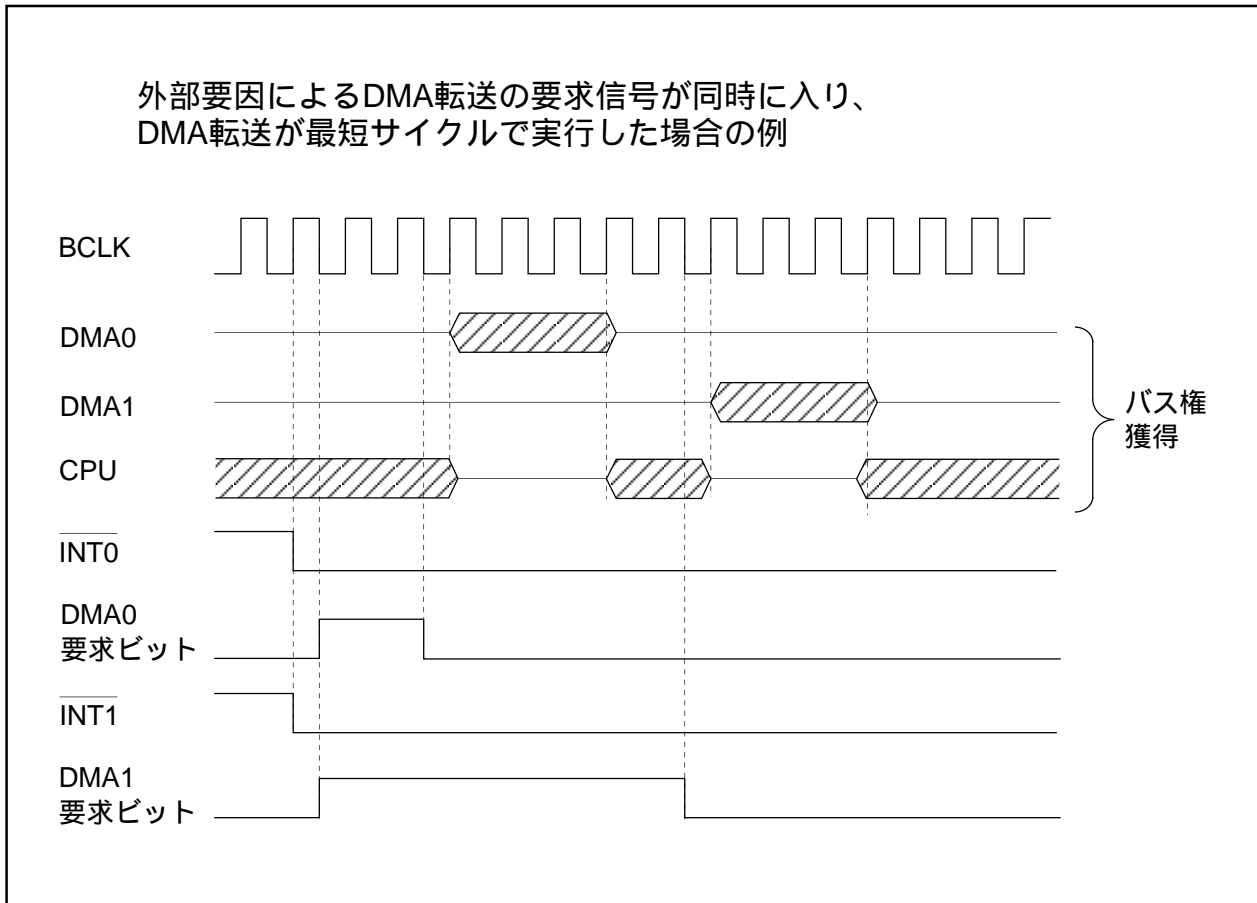


図1.14.6. 外部要因によるDMA転送例

タイマ

タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.15.1にタイマA、図1.15.2にタイマBの構成を示します。

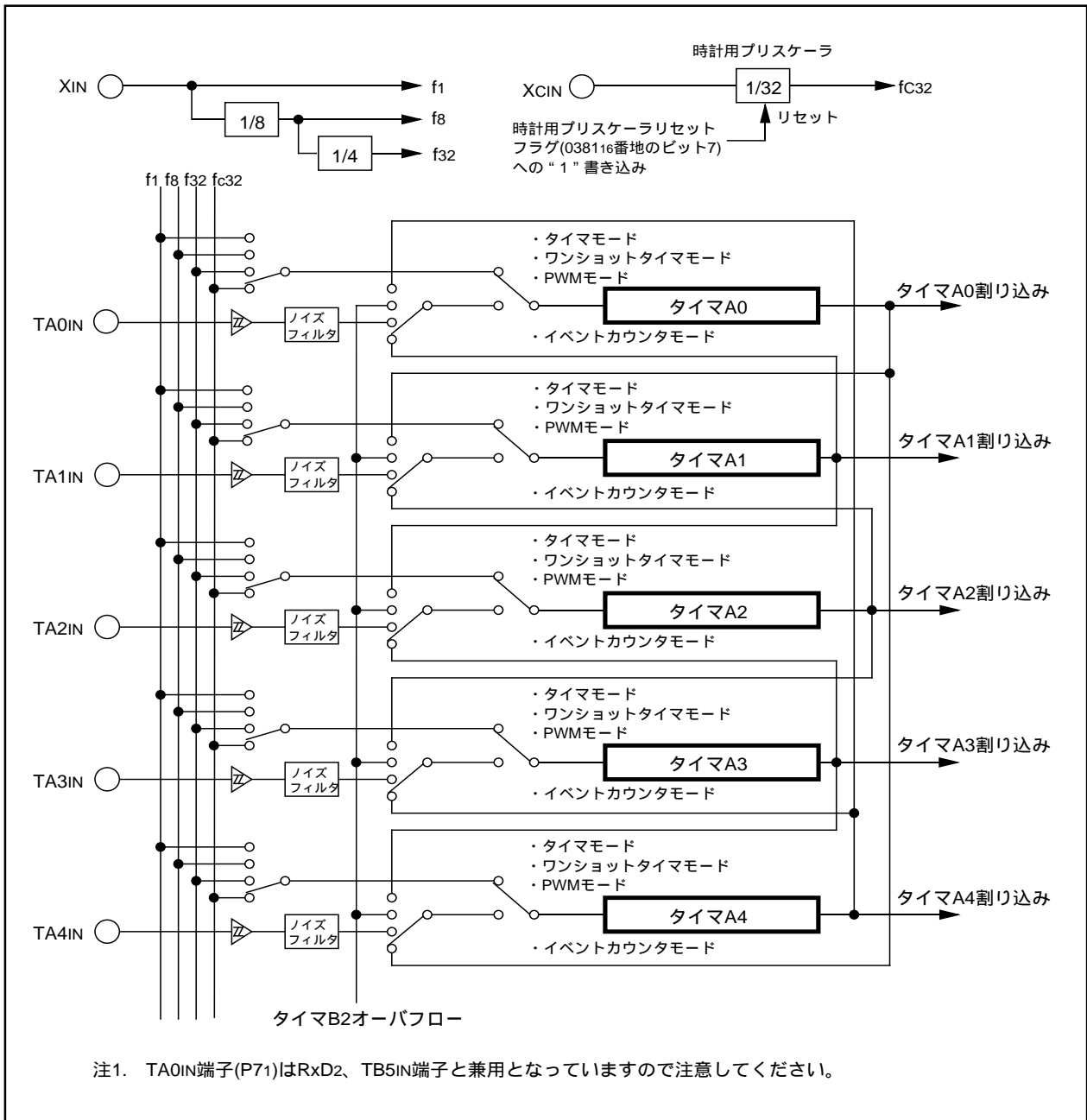


図1.15.1. タイマA構成

タイマ

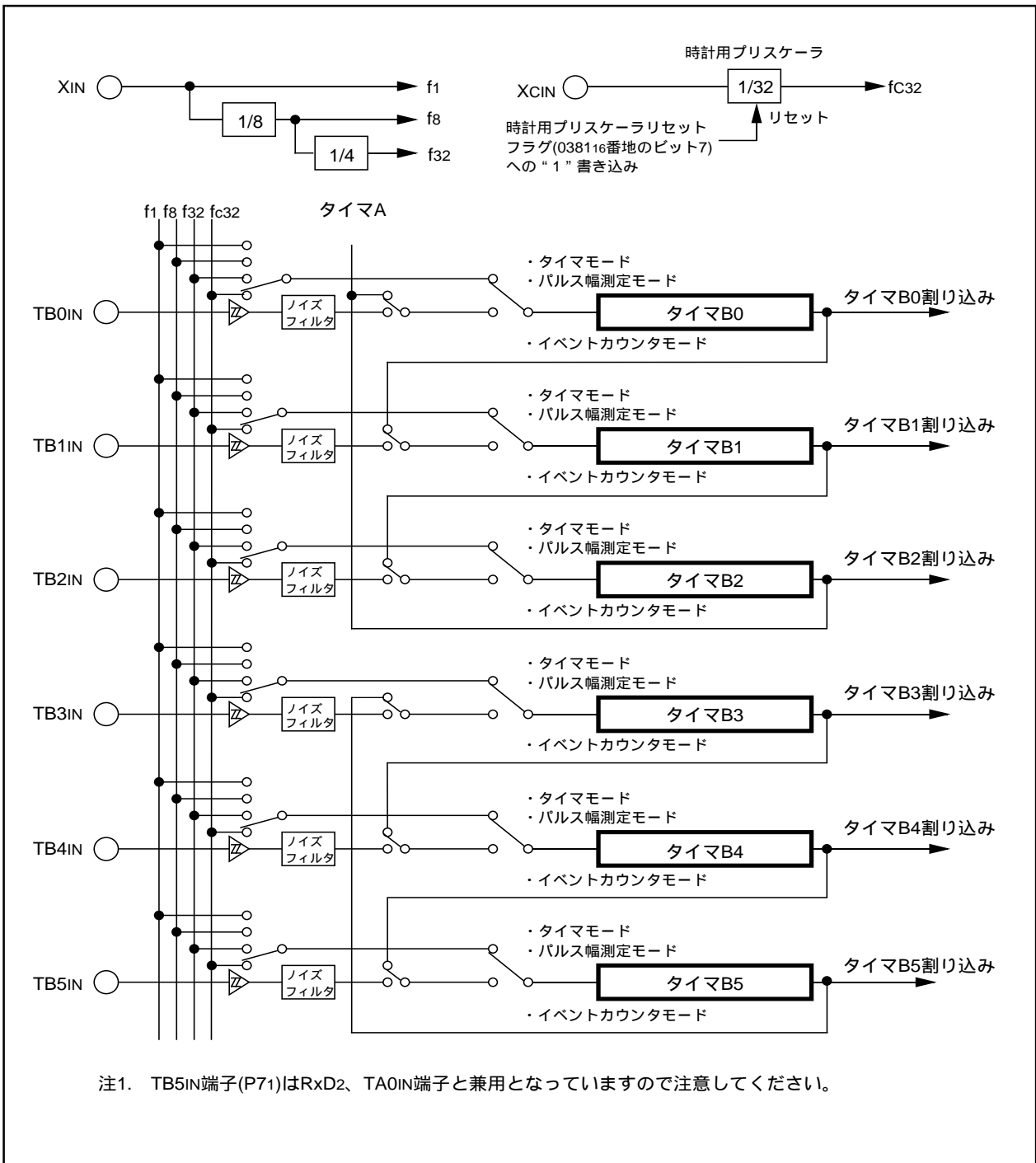
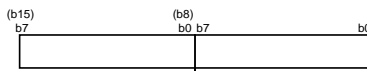


図1.15.2. タイマB構成

タイマA

タイマAiレジスタ(注1)

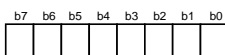


シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機能	設定可能値	R/W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000 ₁₆ ~ FFFF ₁₆	
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	x
パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆ (注3、注4)	x
パルス幅変調モード(8ビットPWM) タイマの低位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (低位アドレス) (注3、注4)	x

- 注1. 読み出し、および書き込みは16ビット単位で行ってください。
- 注2. タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。
- 注3. タイマAiレジスタに“0000₁₆”を設定した場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同様です。
- 注4. このレジスタへの書き込みにはMOV命令を使用してください。

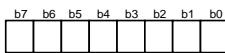
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

アップダウンフラグ(注1)



シンボル	アドレス	リセット時
UDF	0384 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ/ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	
TA1UD	タイマA1アップダウンフラグ		
TA2UD	タイマA2アップダウンフラグ		
TA3UD	タイマA3アップダウンフラグ		
TA4UD	タイマA4アップダウンフラグ		
TA2P	タイマA2二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可(注2)	x
TA3P	タイマA3二相パルス信号処理 機能選択ビット		x
TA4P	タイマA4二相パルス信号処理 機能選択ビット		x

- 注1. このレジスタへの書き込みにはMOV命令を使用してください。
- 注2. TAiIN、TAiOUTに対応するポート方向レジスタは“0”にしてください。

図1.15.5. タイマA関連レジスタ(2)

タイマA

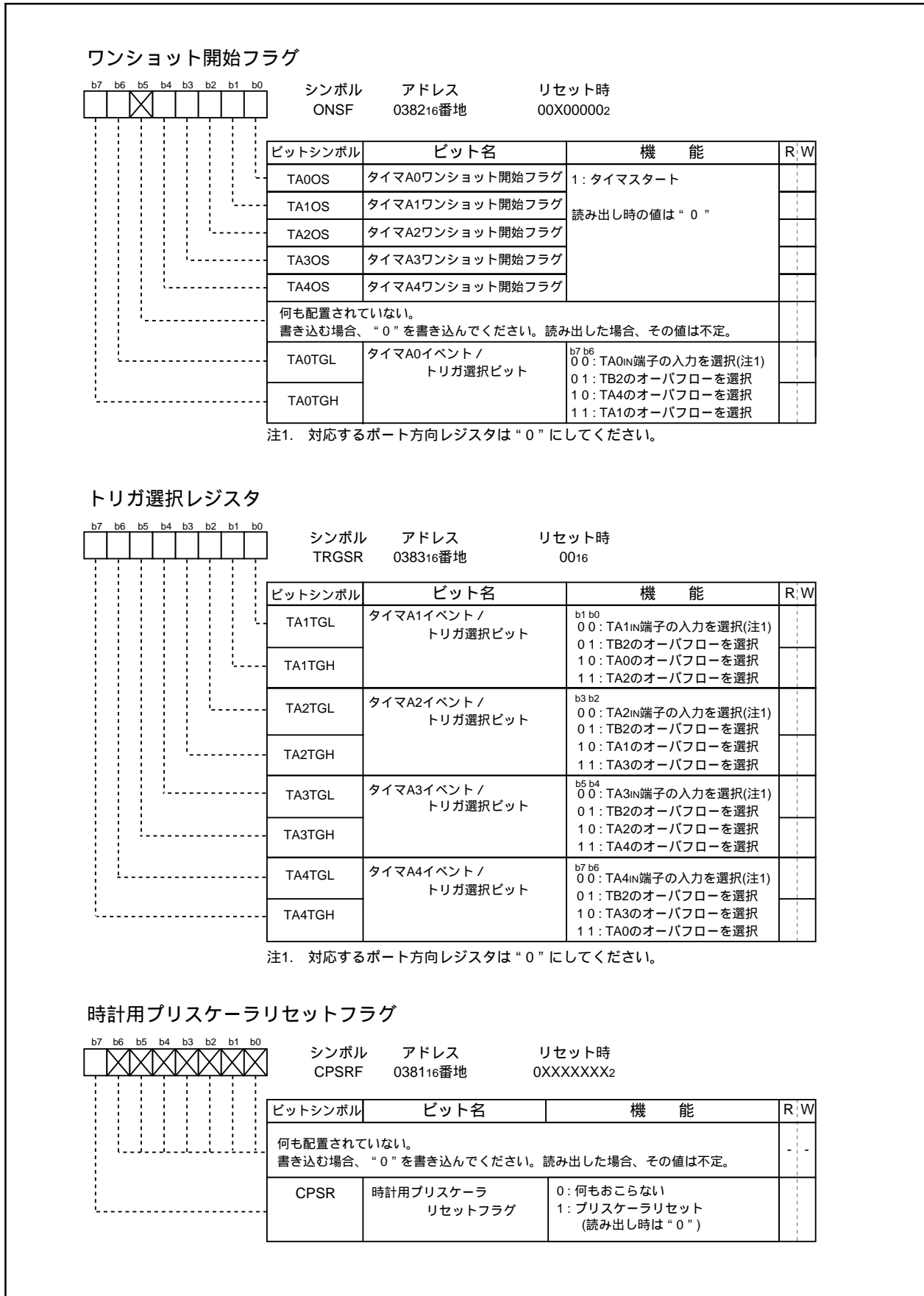


図1.15.6. タイマA関連レジスタ(3)

タイマA

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.15.1)。図1.15.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.15.1. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

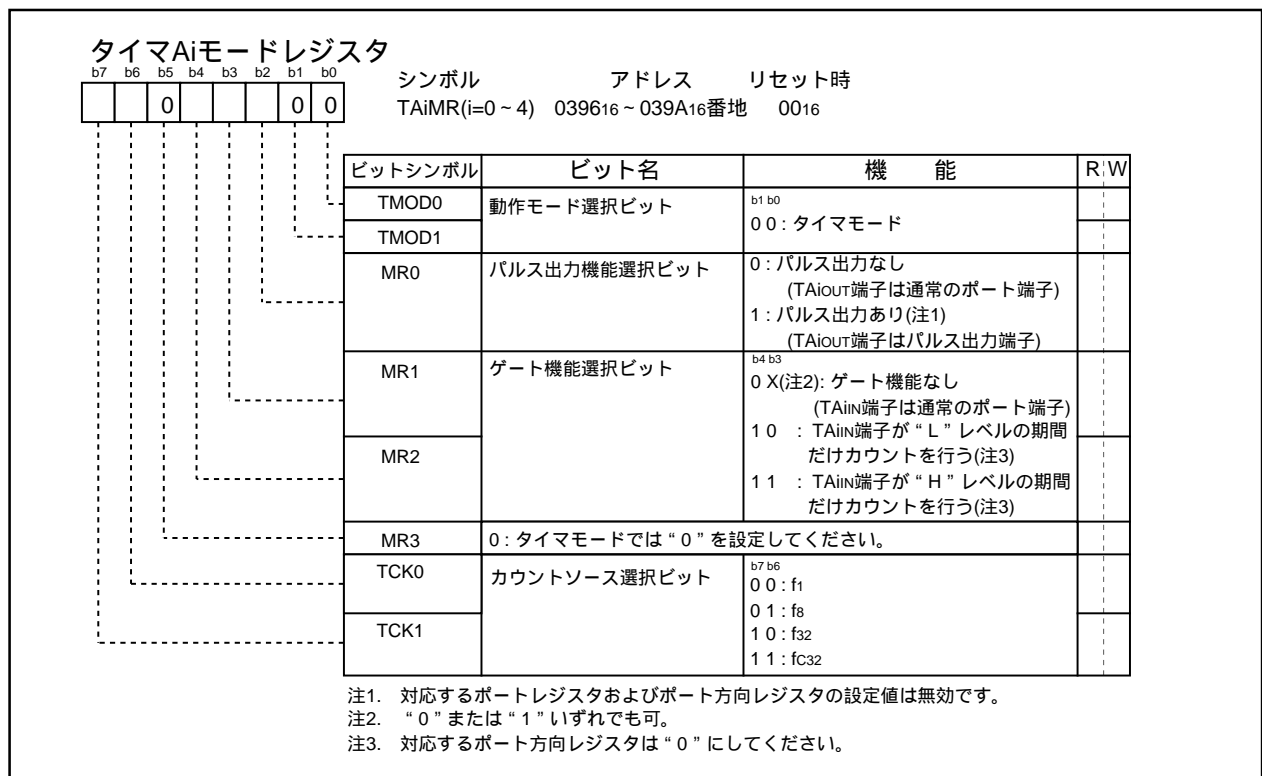


図1.15.7. タイマモード時のタイマAiモードレジスタの構成

タイマA

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.15.2に、タイマAiモードレジスタの構成を図1.15.8に示します。二相の外部信号をカウントする場合の仕様を表1.15.3に、タイマAiモードレジスタの構成を図1.15.9に示します。

表1.15.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIn端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバフロー、TAjのオーバフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIn端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOut端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOut端子の極性が反転

注1. フリーラン機能選択時は除きます。

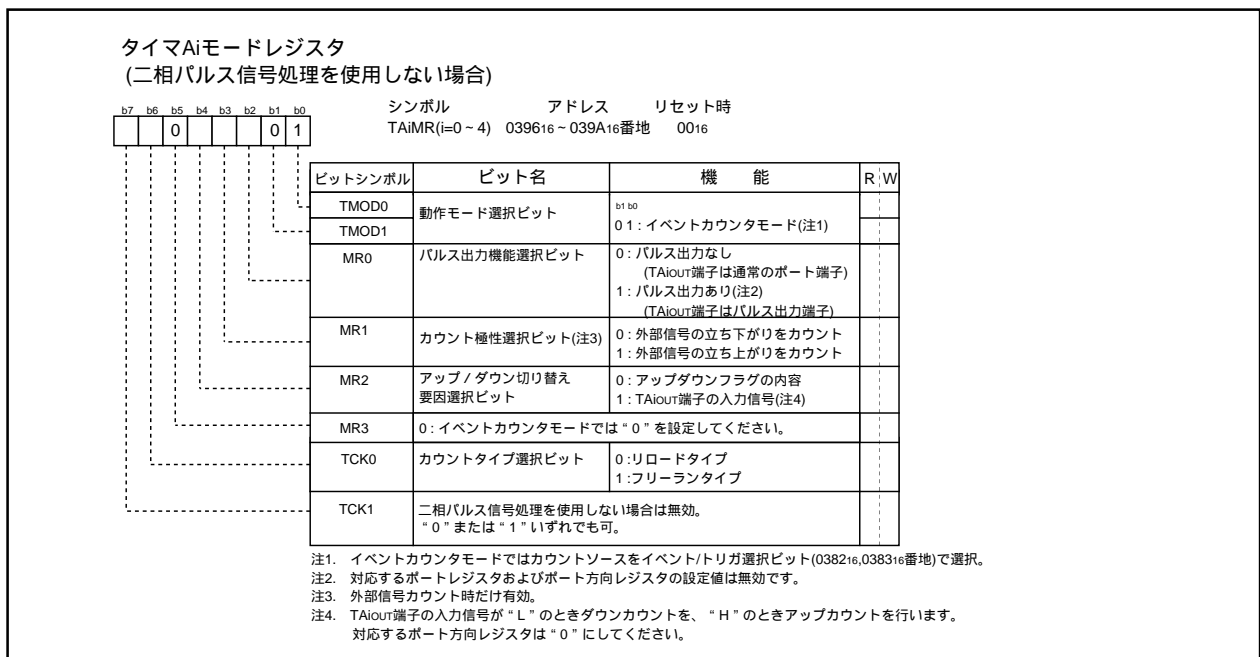
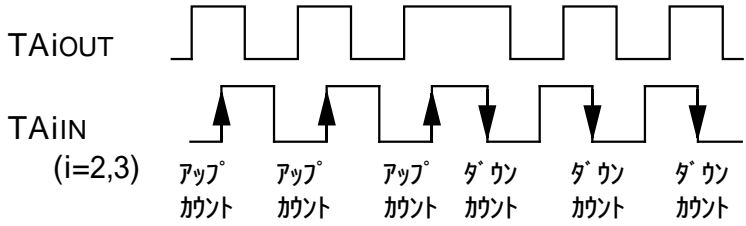
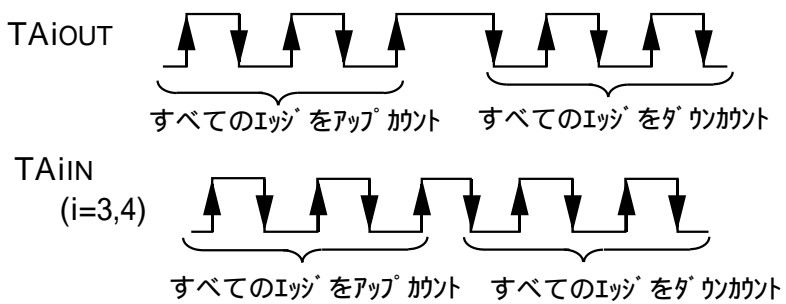


図1.15.8. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

表1.15.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバーフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力 (TAiIN端子に対応するポート方向レジスタは“0”にする)
TAiOUT端子機能	二相パルス入力 (TAiOUT端子に対応するポート方向レジスタは“0”にする)
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注2)	<p>通常処理動作(タイマA2、タイマA3)</p> <p>TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりダウンカウントします。</p>  <p>4通倍処理動作(タイマA3、タイマA4)</p> <p>TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりダウンカウントします。</p> 

注1. フリーラン機能選択時は除く。

注2. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

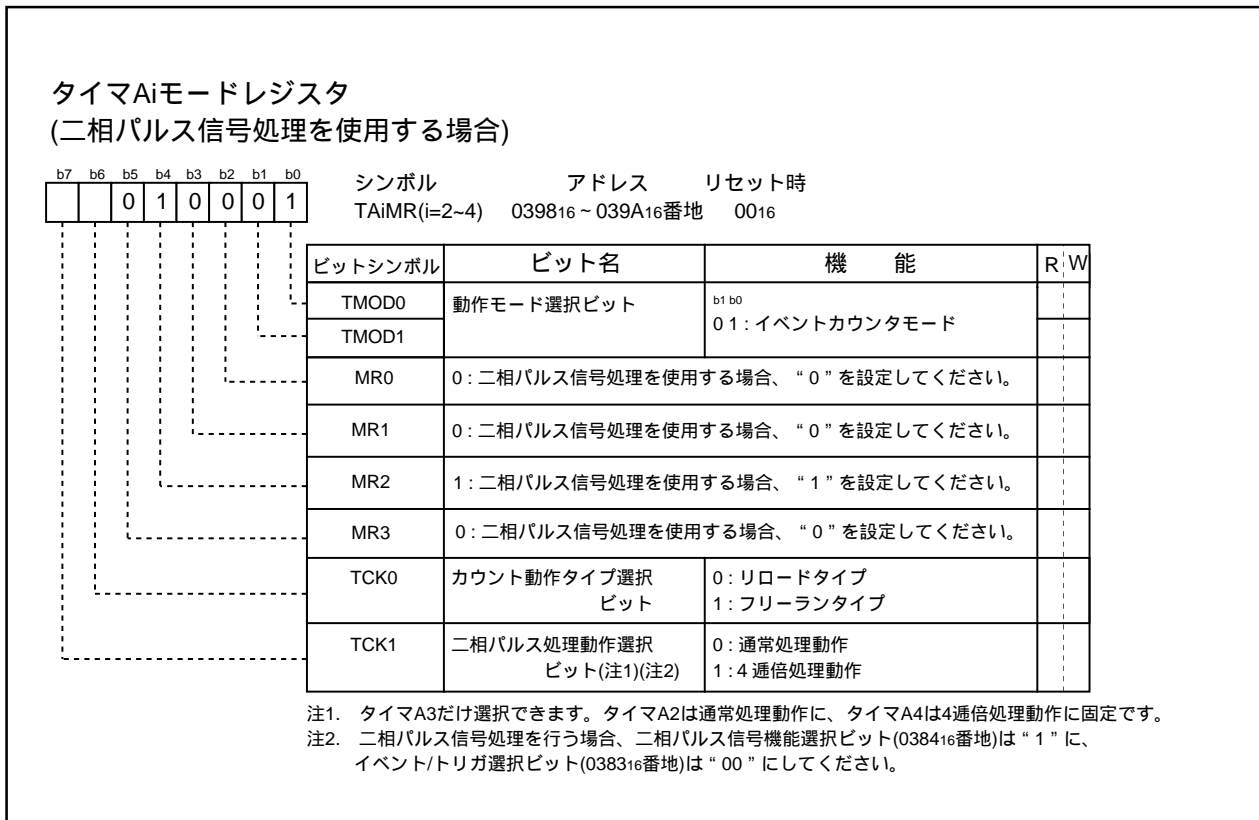


図1.15.9. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.15.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.15.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.15.4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIn端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOut端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

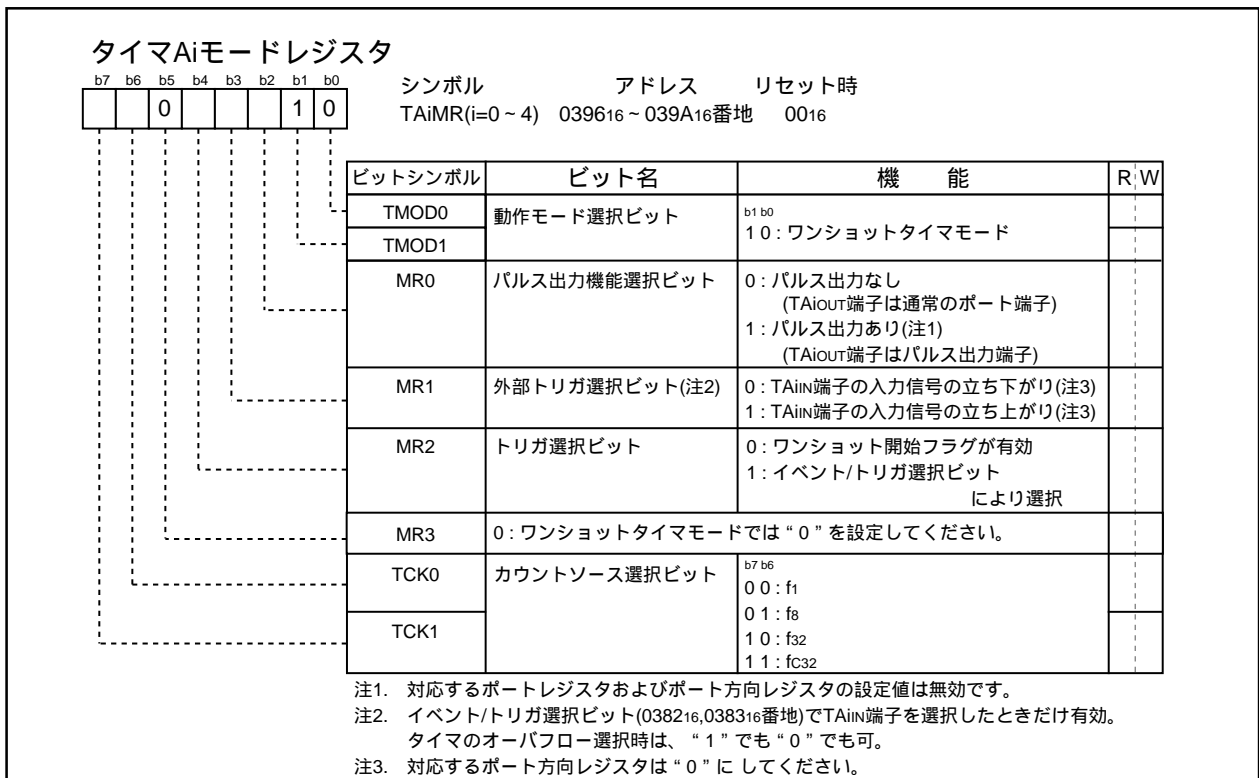


図1.15.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

タイマA

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.15.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.15.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.15.12に16ビットパルス幅変調器の動作例、および図1.15.13に8ビットパルス幅変調器の動作例を示します。

表1.15.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n:設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

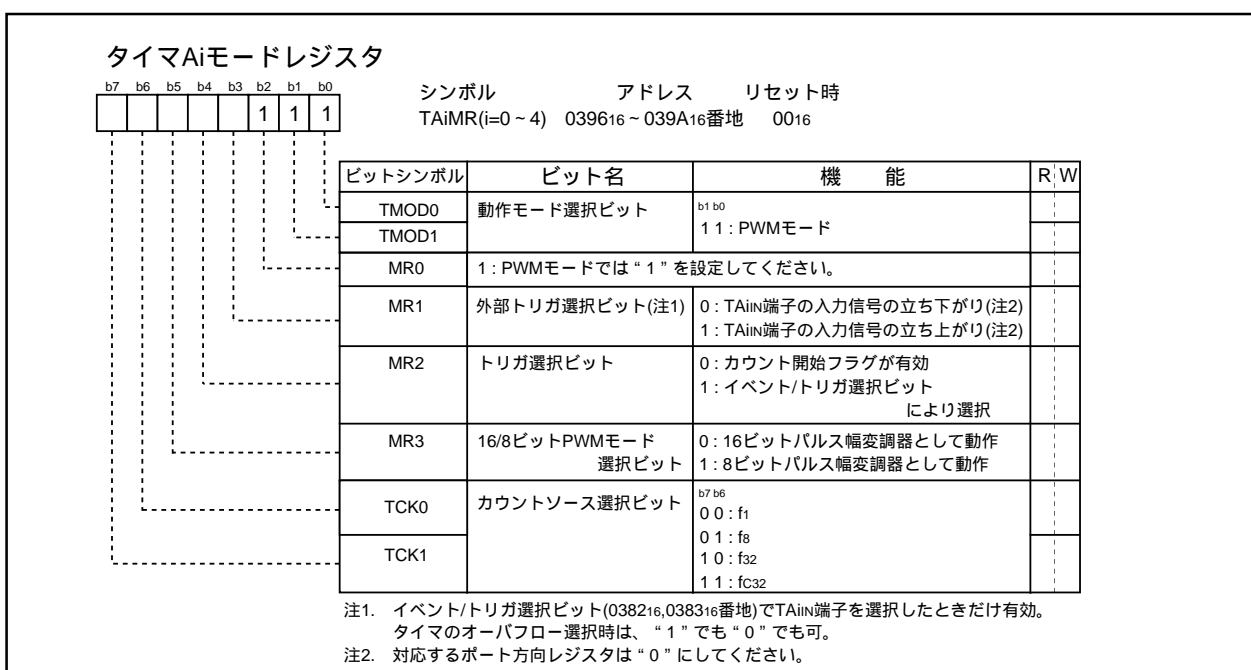


図1.15.11. パルス幅変調モード時のタイマAiモードレジスタの構成

タイマA

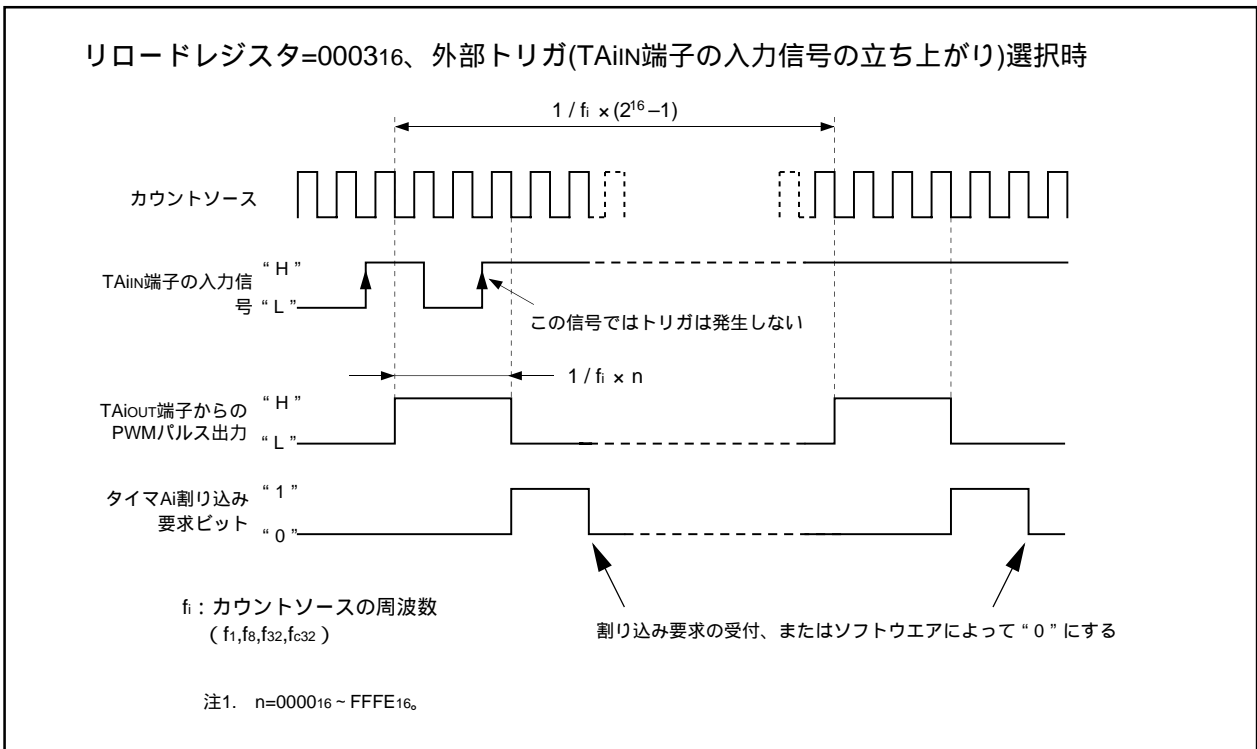


図1.15.12. 16ビットパルス幅変調器の動作例

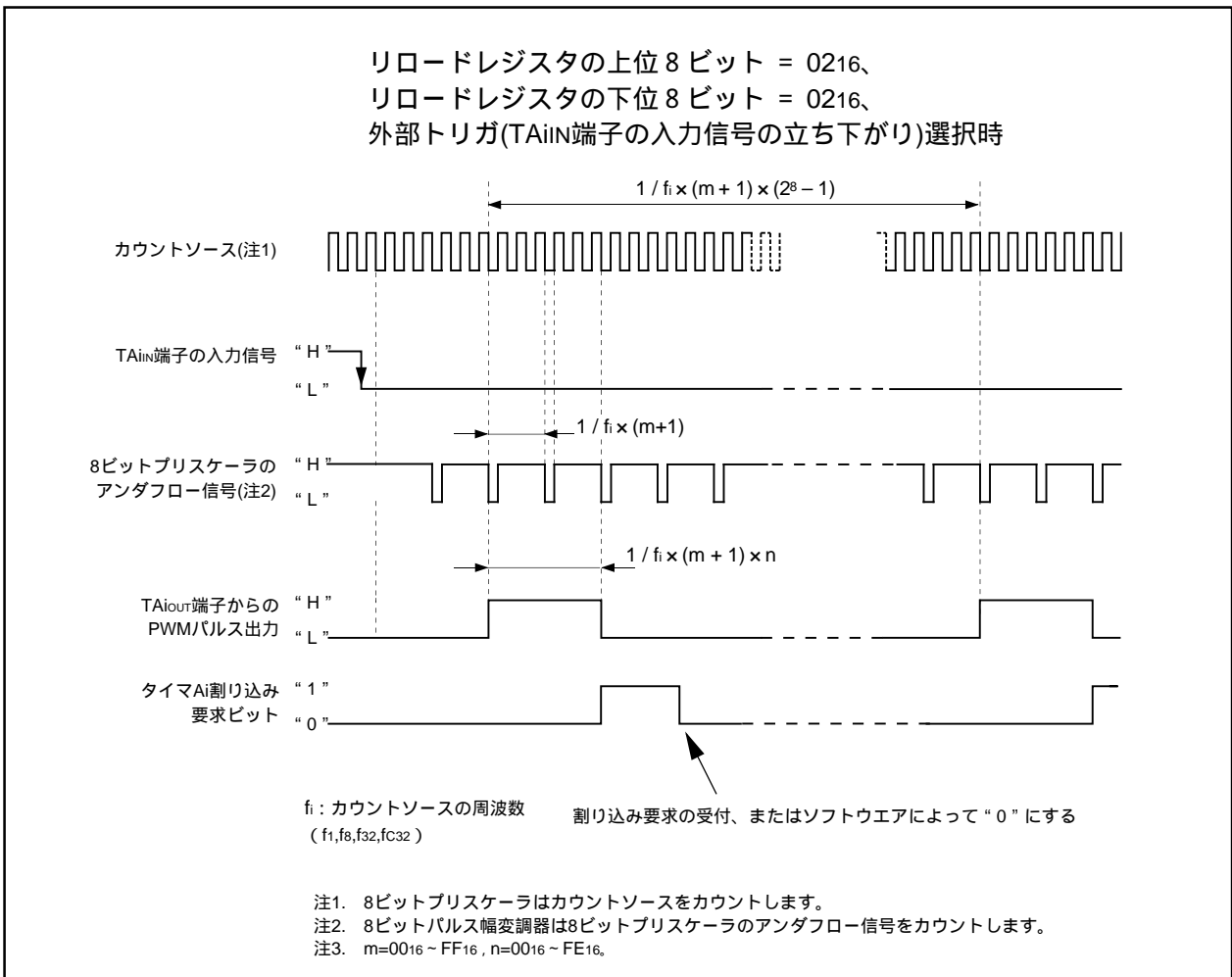


図1.15.13. 8ビットパルス幅変調器の動作例

タイマB

タイマBiレジスタ(注1)

シンボル	アドレス	リセット時
TB0	0391 ₁₆ ,0390 ₁₆ 番地	不定
TB1	0393 ₁₆ ,0392 ₁₆ 番地	不定
TB2	0395 ₁₆ ,0394 ₁₆ 番地	不定
TB3	0351 ₁₆ ,0350 ₁₆ 番地	不定
TB4	0353 ₁₆ ,0352 ₁₆ 番地	不定
TB5	0355 ₁₆ ,0354 ₁₆ 番地	不定

機 能	設定可能値	R/W
タイマモード タイマの周期をカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバーフローを カウント	0000 ₁₆ ~ FFFF ₁₆	
パルス周期測定モード/パルス幅測定モード パルス周期、またはパルス幅を測定	—	x

注1. 読み出し、および書き込みは16ビット単位で行ってください。

カウント開始フラグ

シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

タイマB3,4,5カウント開始フラグ

シンボル	アドレス	リセット時
TBSR	0340 ₁₆ 番地	000XXXXX ₂

ビットシンボル	ビット名	機 能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始	
TB4S	タイマB4カウント開始フラグ		
TB5S	タイマB5カウント開始フラグ		

時計用プリスケアラリセットフラグ

シンボル	アドレス	リセット時
CPSRF	0381 ₁₆ 番地	0XXXXXX ₂

ビットシンボル	ビット名	機 能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			
CPSR	時計用プリスケアラ リセットフラグ	0 : 何もおこらない 1 : プリスケアラリセット (読み出し時は“0”)	

図1.15.16. タイマ B 関連レジスタ(2)

タイマB

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.15.6)。図1.15.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.15.6. タイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

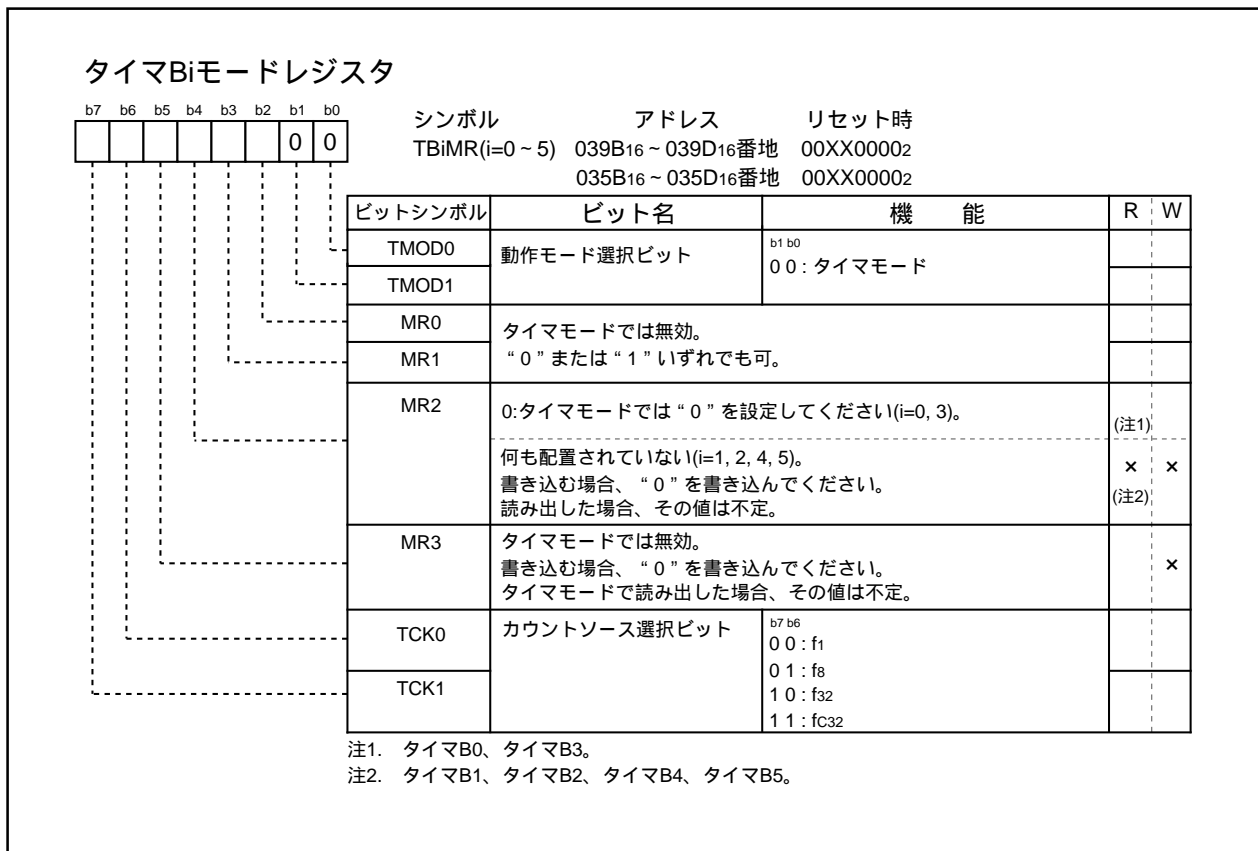


図1.15.17. タイマモード時のタイマBiモードレジスタの構成

タイマB

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです(表1.15.7)。イベントカウンタモード時のタイマBiモードレジスタの構成を図1.15.18に示します。

表1.15.7. イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIn端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウェアによって選択可
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIn端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ		シンボル	アドレス	リセット時	
		TBiMR(i=0~5)	039B16~039D16番地 035B16~035D16番地	00XX0000z 00XX0000z	
ビットシンボル	ビット名	機能		R	W
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード			
TMOD1					
MR0	カウント極性選択ビット(注1)	b3 b2 0 0: 外部信号の立ち下がりを実カウント 0 1: 外部信号の立ち上がりを実カウント 1 0: 外部信号の立ち下がりおよび立ち上がりを実カウント 1 1: 設定しないでください			
MR1					
MR2	0: イベントカウンタモードでは“0”を設定してください(i=0, 3)。 何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		(注2)	x	x
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その値は不定。				x
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。				
TCK1	イベントクロック選択	0: TBiIn端子からの入力(注4) 1: TBjのオーバーフロー (j = i - 1 ただし i = 0 のとき j = 2) i = 3 のとき j = 5)			

注1. TBiIn端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバーフローを選択したときは、“0”でも“1”でも可。

注2. タイマB0、タイマB3。

注3. タイマB1、タイマB2、タイマB4、タイマB5。

注4. 対応するポート方向レジスタは“0”にしてください。

図1.15.18. イベントカウンタモード時のタイマBiモードレジスタの構成

タイマB

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.15.8)。図1.15.19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図1.15.20にパルス周期測定時の動作図、および図1.15.21にパルス幅測定時の動作図を示します。

表1.15.8. パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。カウント開始フラグが“1”の状態、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うと、タイマBiオーバフローフラグは“0”になります)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ		シンボル	アドレス	リセット時	
		TBiMR(i=0~5)	039B ₁₆ - 039D ₁₆ 番地 035B ₁₆ - 035D ₁₆ 番地	00XX0000 ₂ 00XX0000 ₂	
ビットシンボル	ビット名	機能		R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 / パルス幅測定モード			
TMOD1					
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がりがり - 立ち下がりがり間) 0 1 : パルス周期測定 (測定パルスの立ち上がり - 立ち上がり間) 1 0 : パルス幅測定 (測定パルスの立ち下がりがり - 立ち上がり間、および立ち上がり - 立ち下がりがり間) 1 1 : 設定しないでください			
MR1					
MR2				0:パルス周期測定/パルス幅測定モードでは“0”を設定してください(i=0, 3)。(注2) 何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。(注3)	
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり			×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32			
TCK1					

注1. リセット時は不定です。カウント開始フラグが“1”の状態、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うと、タイマBiオーバフローフラグは“0”になります。このフラグをソフトウェアで“1”にすることはできません。

注2. タイマB0、タイマB3。

注3. タイマB1、タイマB2、タイマB4、タイマB5。

図1.15.19. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

タイマB

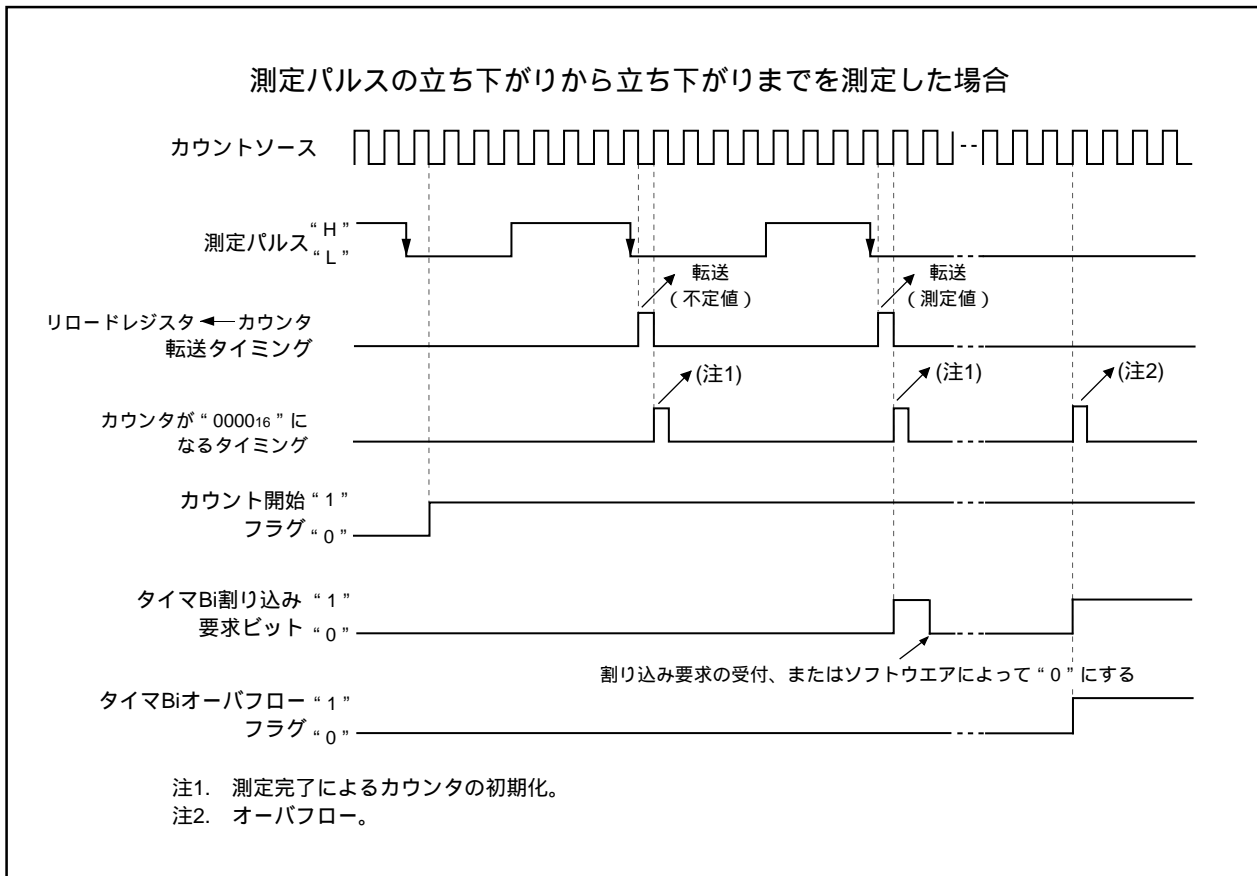


図1.15.20. パルス周期測定時の動作図

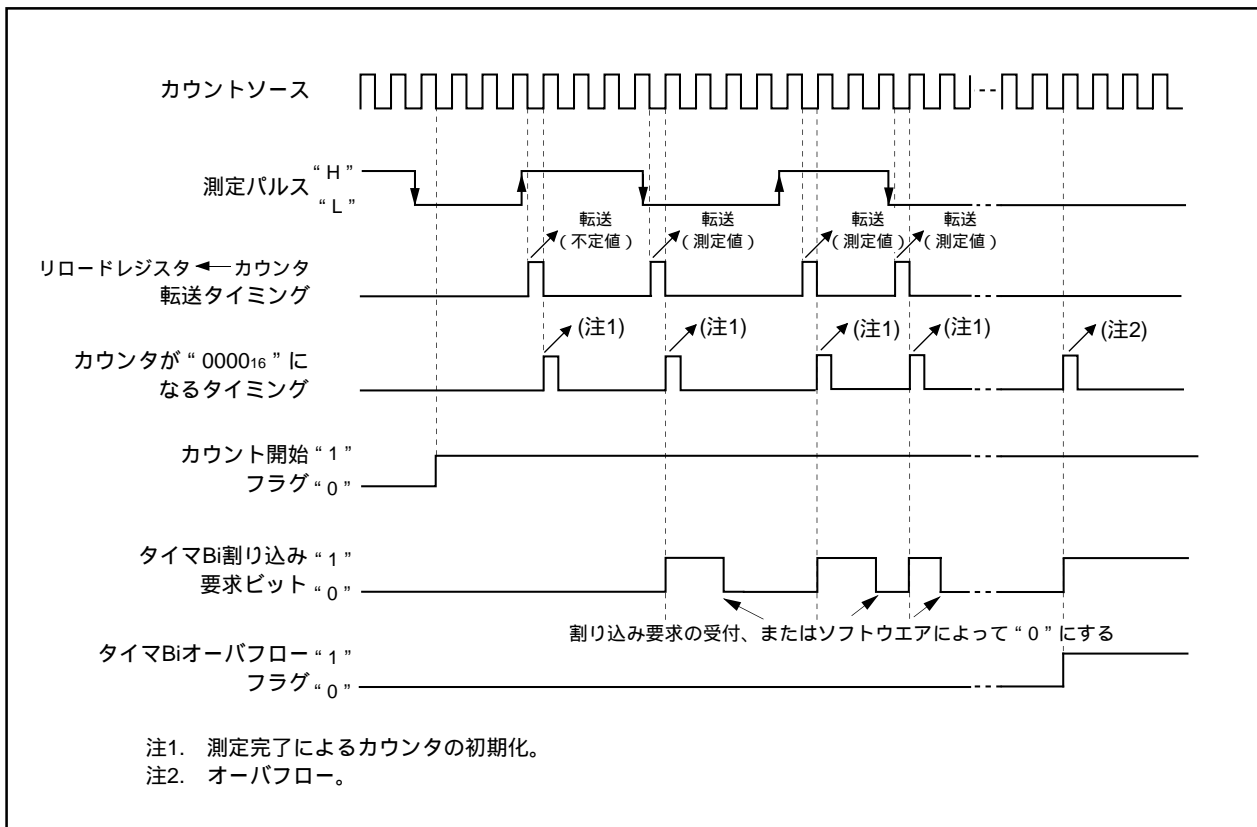


図1.15.21. パルス幅測定時の動作図

三相モータ制御用タイマ機能

三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。

図1.16.1～図1.16.3に三相モータ制御用タイマ関連のレジスタを示します。



図1.16.1. 三相モータ制御用タイマ関連のレジスタ

三相モータ制御用タイマ機能

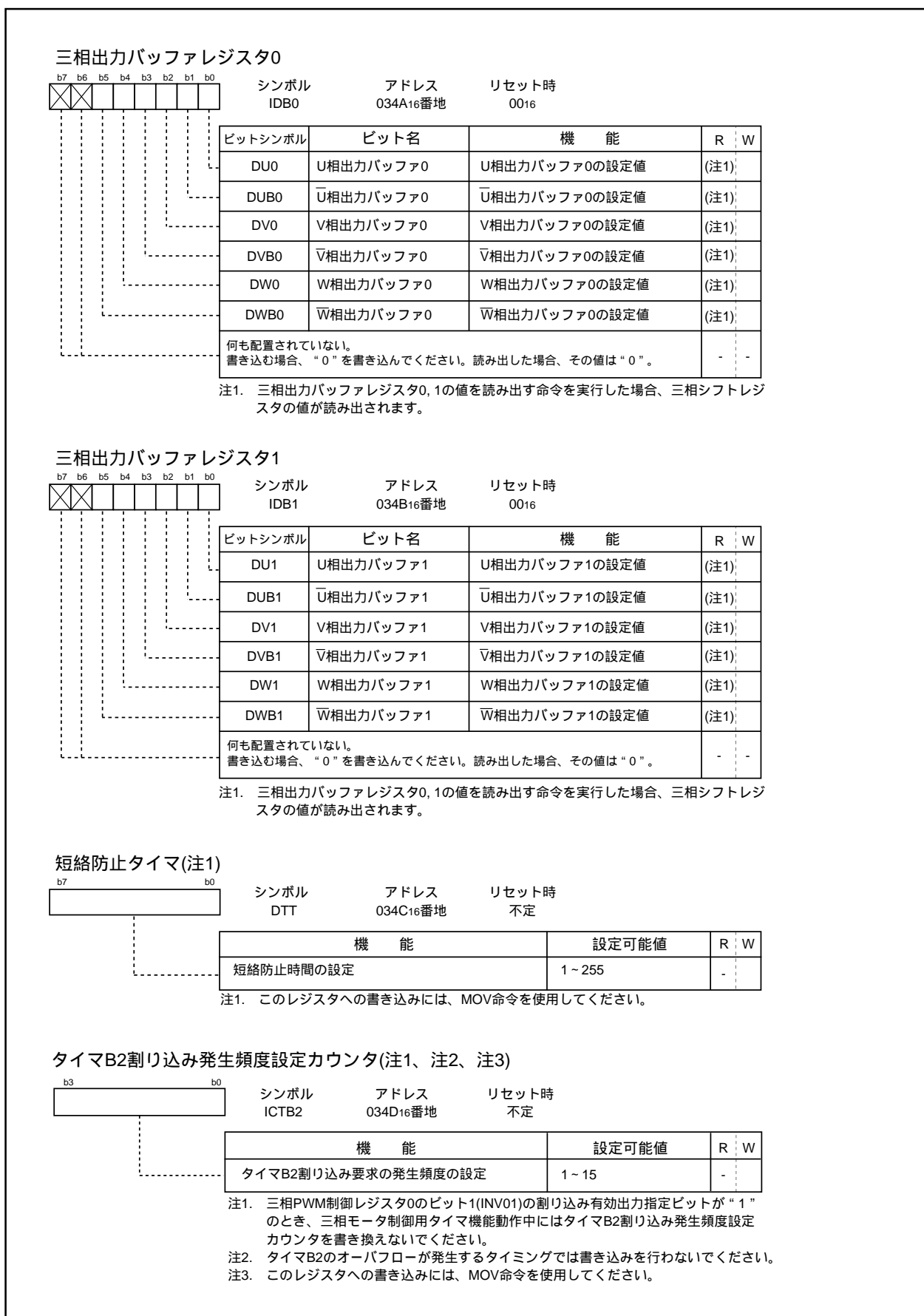


図1.16.2. 三相モータ制御用タイマ関連のレジスタ

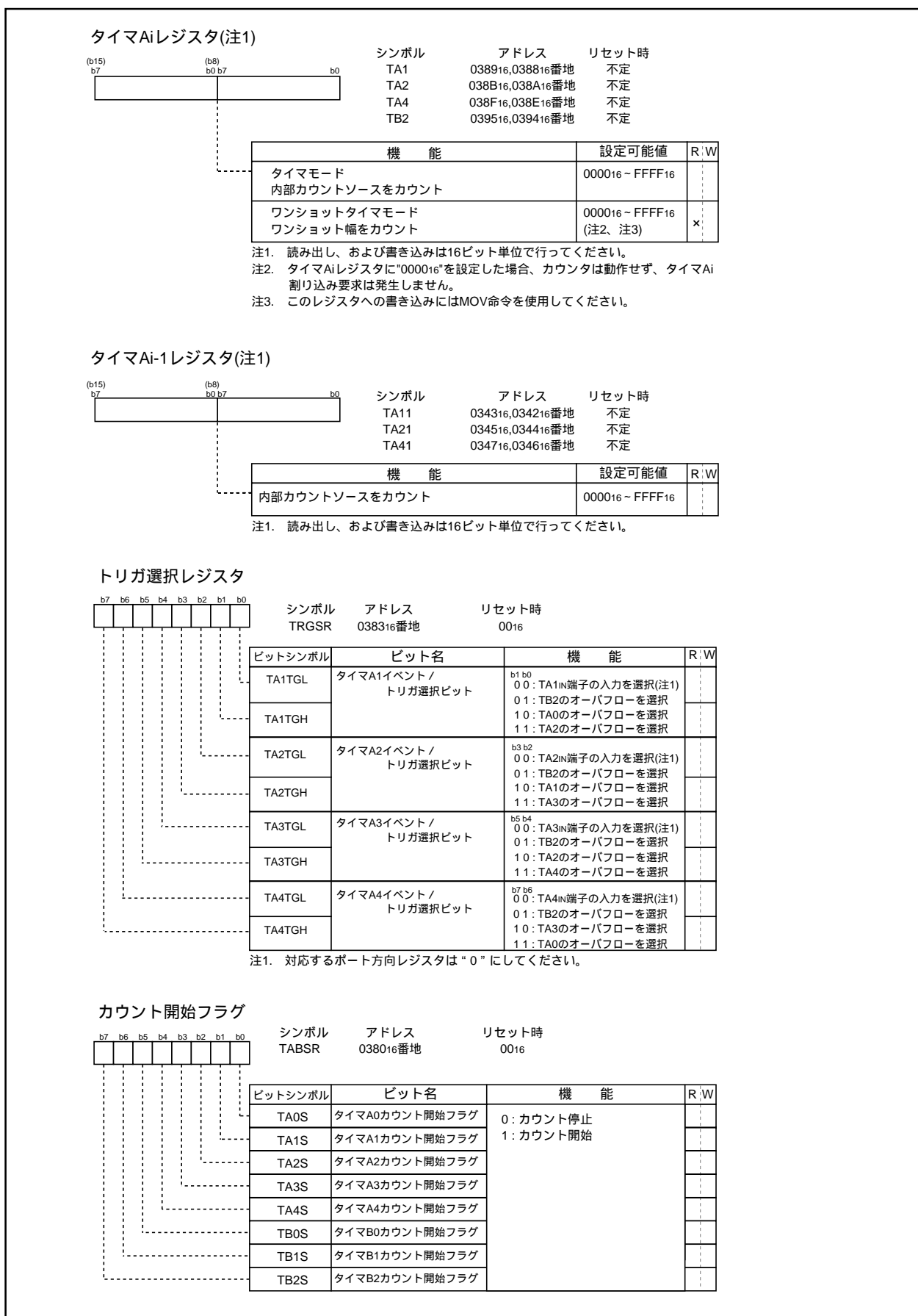


図1.16.3. 三相モータ制御用タイマ関連のレジスタ

三相モータ制御用タイマ機能

三相モータ駆動波形出力モード(三相PWM出力モード)

図1.16.1に示す三相PWM制御レジスタ0(0348₁₆番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1, A2, A4, B2の4つのタイマを使用する三相PWM出力モードが選択されます。図1.16.4に示すように三相PWM出力モードではタイマA1、A2、A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

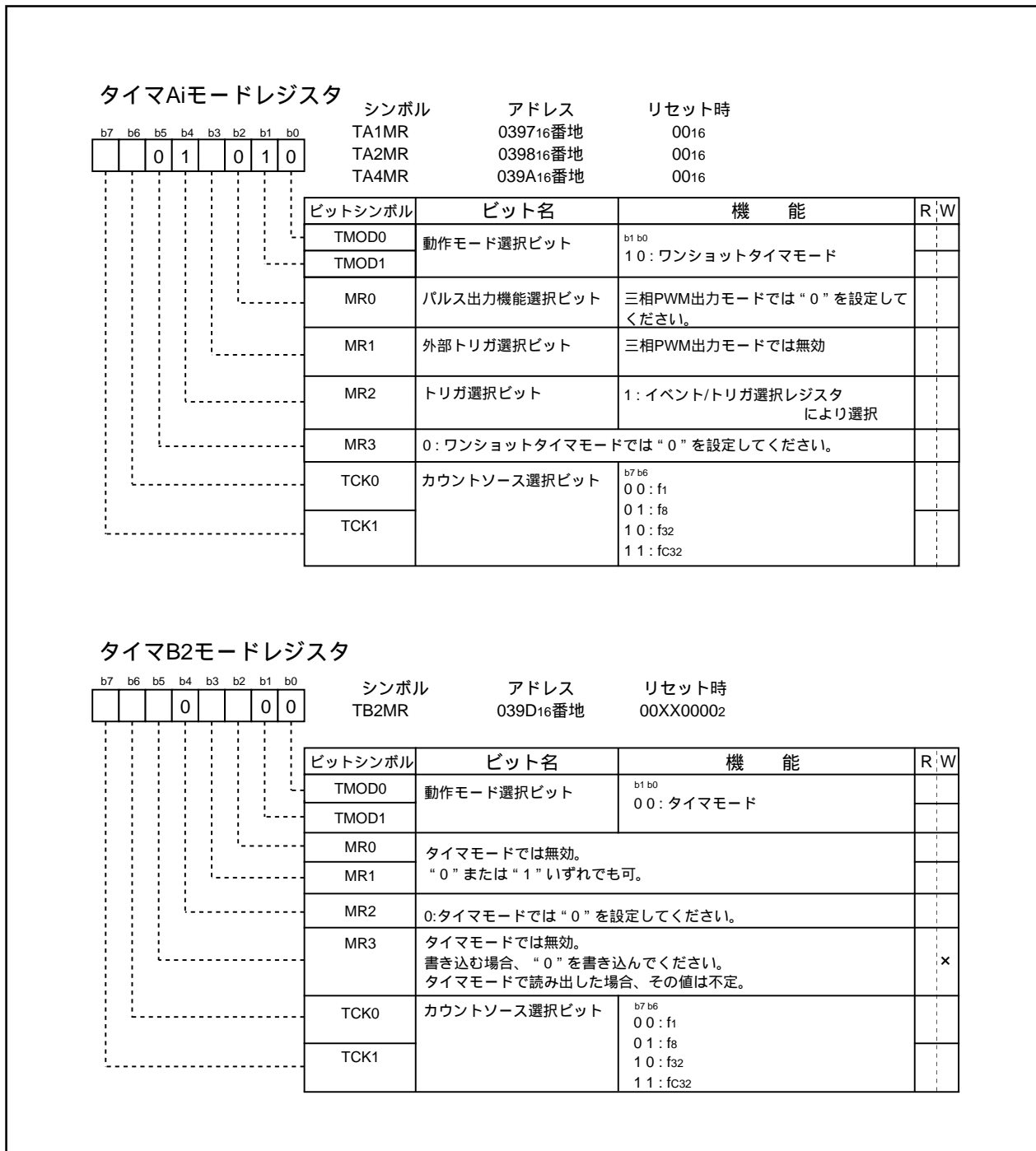


図1.16.4. 三相PWM出力モード時のタイマモードレジスタ

三相PWM出力モード時のブロック図を図1.16.5に示します。三相PWM出力モードにおいては正相波形(U相、V相、W相)および逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の6つの波形がP80, P81, P72, P73, P74, P75から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、 \bar{U} 相、タイマA1はV相、 \bar{V} 相、タイマA2はW相、 \bar{W} 相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1~255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ(034C₁₆番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(0349₁₆番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が00₁₆になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相PWM出力モードにおける正相波形(U相、V相、W相)とその逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)は三相PWM制御レジスタ0(0348₁₆番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはポート方向レジスタで設定した状態になります。このビットは、命令で“0”にする以外に、 \overline{NMI} 入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と \bar{U} 相、V相と \bar{V} 相、W相と \bar{W} 相のいずれかが同時に“L”になることでポートはポート方向レジスタで設定した状態になります。

三角波変調

三角波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348₁₆番地)の変調モード選択ビット(ビット6)を“0”に設定します。そして、三相PWM制御レジスタ1(0349₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000₁₆になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)が“0”であれば、タイマB2のカウンタの値が0000₁₆になるごとに発生する割り込み要求の発生頻度をタイマB2割り込み発生頻度設定カウンタ(034D₁₆番地)によって設定できます。発生頻度は(設定値;設定値 0)で与えられます。

また、三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力極性選択ビット(ビット0)で行います。

次に、U相波形の一例を図1.16.6に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034B₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000₁₆になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”に、割り込み有効出力極性選択ビットを“0”に、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000₁₆になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ(U相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000₁₆になってもシフトレジスタへの設定はされません。

U端子(P80)にはDU0の値が、 \bar{U} 端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F₁₆番地、038E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になるとタイマA4のカウンタがタイマA4-1(0347₁₆番地、0346₁₆番地)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

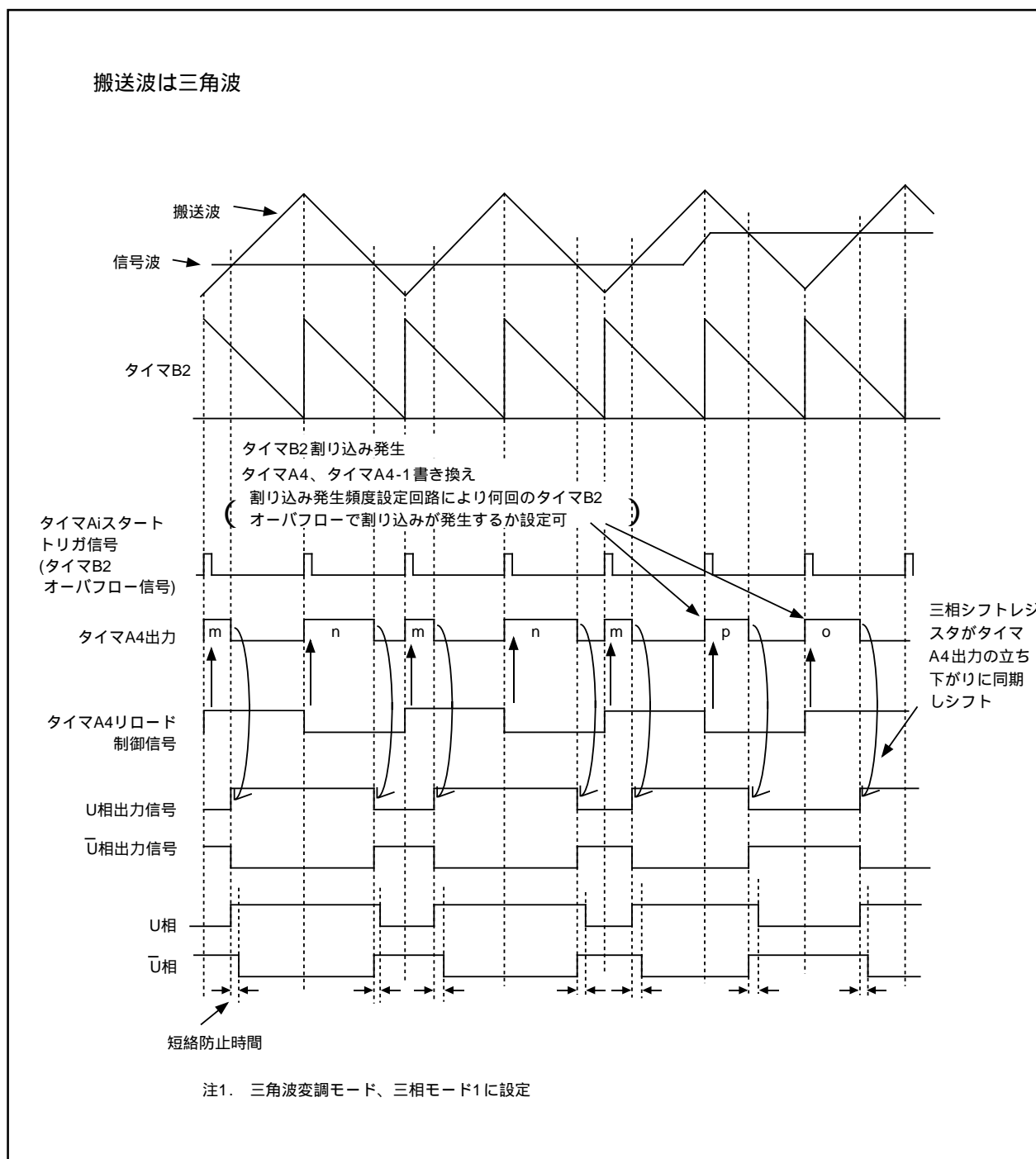


図1.16.6. 動作タイミング図(1)

三相モータ制御用タイマ機能

また、三相出力バッファレジスタ0(034A16番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(034B16番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図1.16.7のような、U相のみ出力、 \bar{U} 相は“H”固定、またはU相は“H”固定、 \bar{U} 相のみ出力の波形を出力することができます。

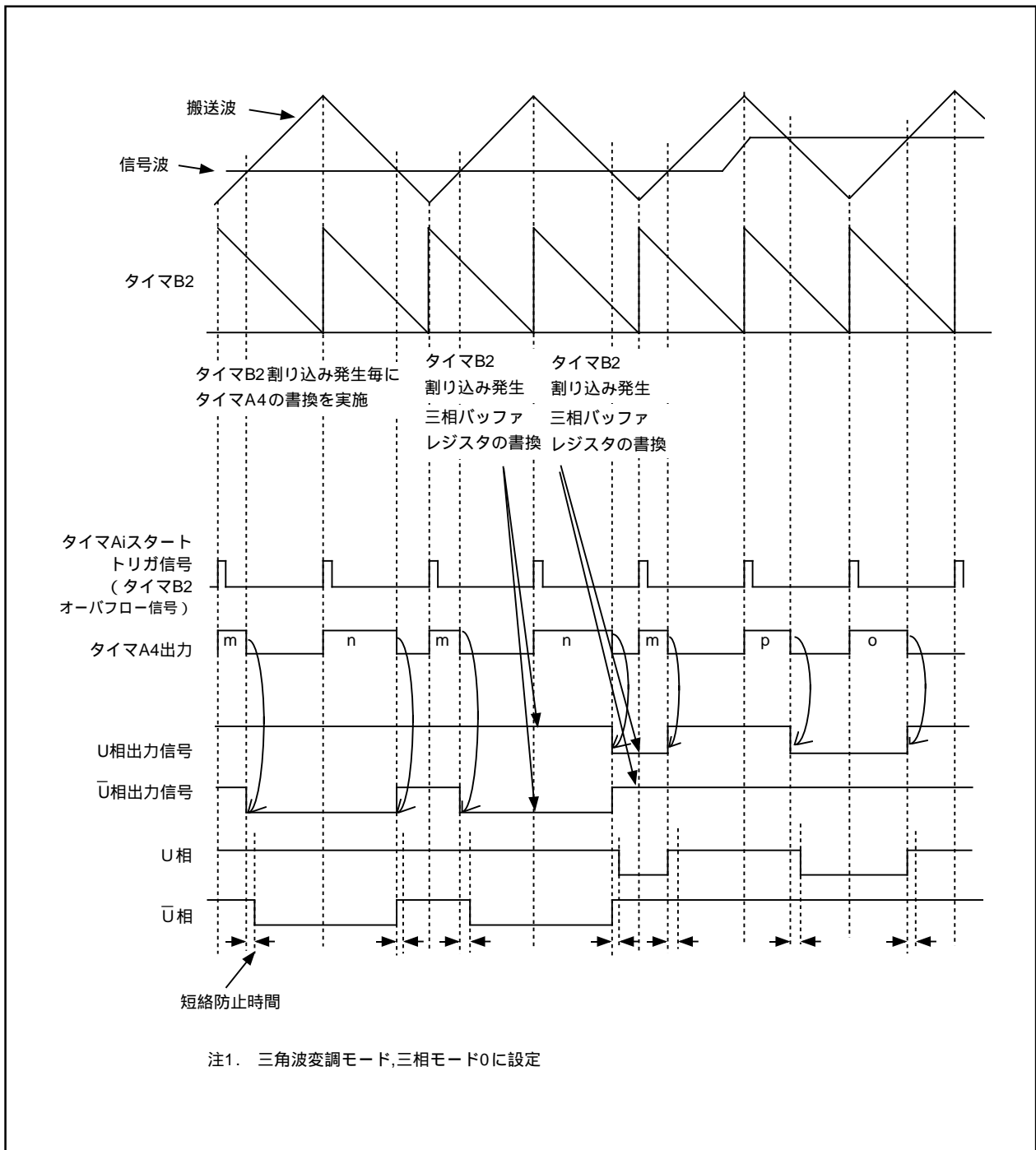


図1.16.7. 動作タイミング図(2)

鋸波変調

鋸波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348₁₆番地)の変調モード選択ビット(ビット6)を“1”に設定します。そして、三相PWM制御レジスタ1(0349₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、タイマA4、A1、A2のタイマレジスタは従来のタイマA4、A1、A2のみで、タイマB2のカウンタの内容が0000₁₆になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)や割り込み有効出力極性選択ビット(ビット0)は無効になります。

次に、U相波形の一例を図1.16.8に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034A₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。

タイマB2のカウンタの内容が0000₁₆になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(\bar{U} 相)に設定されます。以降タイマB2のカウンタの内容が0000₁₆になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P80)にはDU0の値が、 \bar{U} 端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F₁₆番地、038E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(\bar{U} 相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

三相モータ制御用タイマ機能

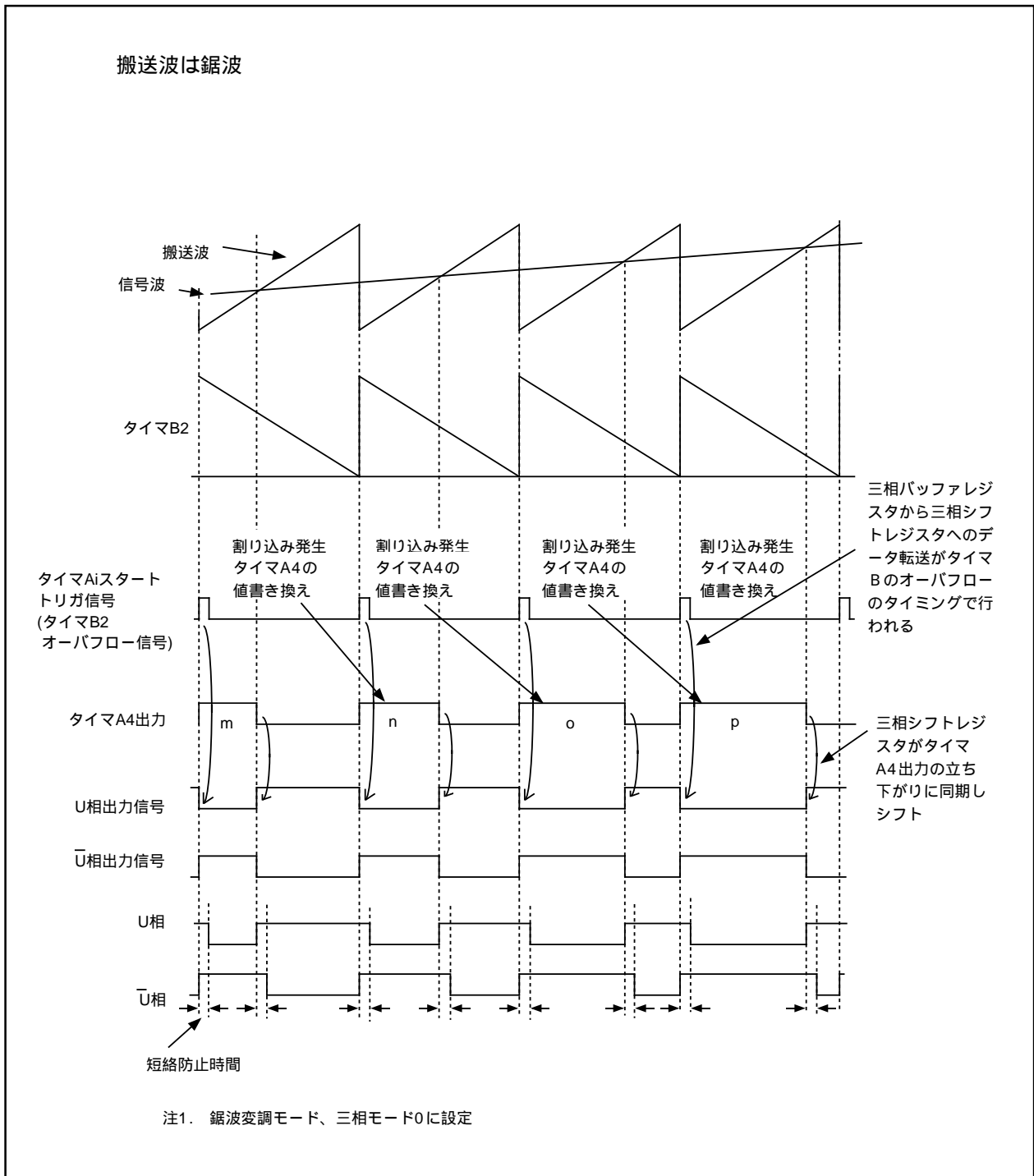


図1.16.8. 動作タイミング図(3)

また、三相出力バッファレジスタ0(034A16番地)のビット1(DUB0)と三相出力バッファレジスタ1(034B16番地)のビット1(DUB1)にともに“1”に設定することにより、図1.16.9のようにU相のみ出力し、 \bar{U} 相を“H”出力固定にすることもできます。

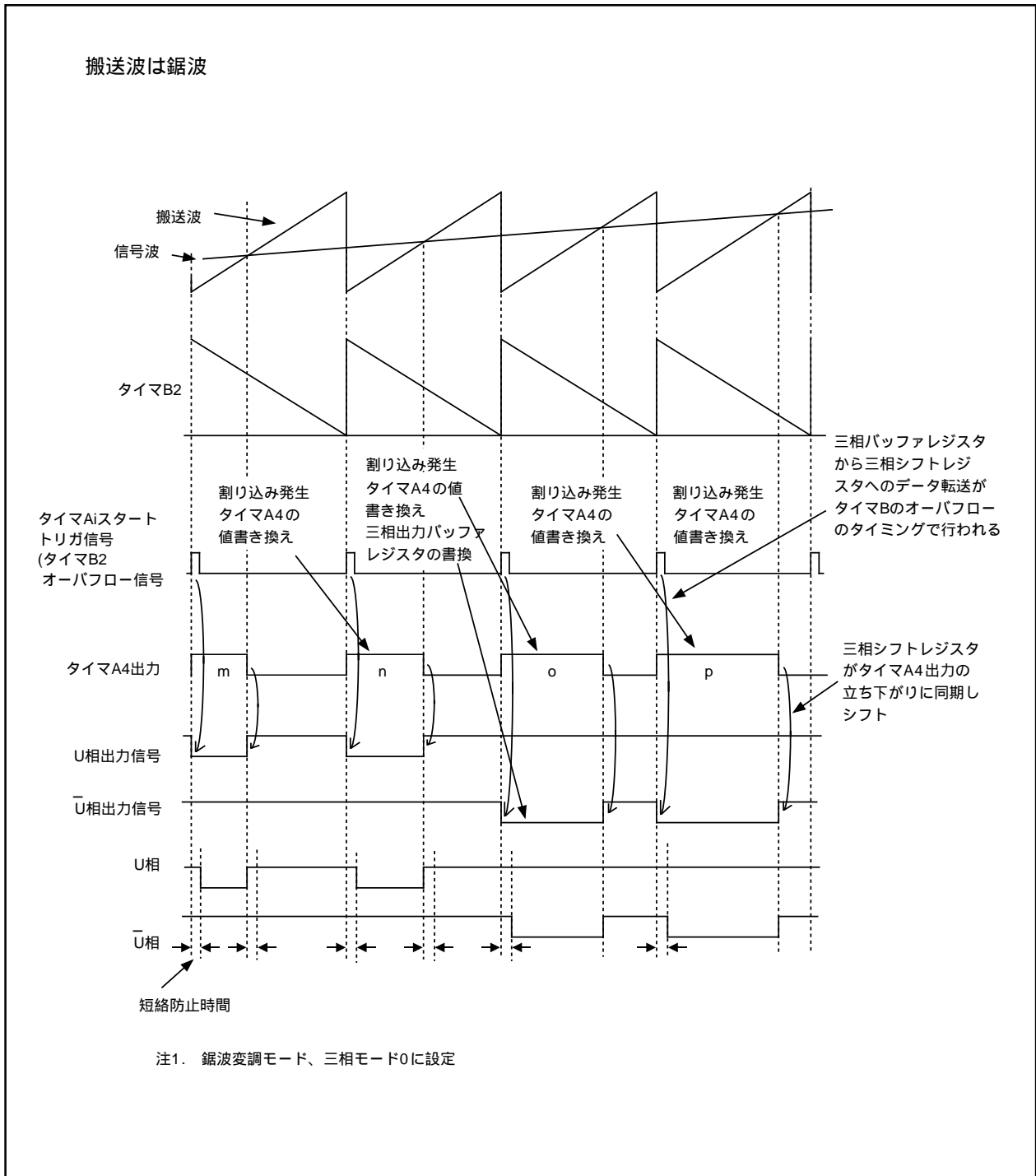


図1.16.9. 動作タイミング図(4)

シリアルI/O

シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3, 4の5チャンネルで構成しています。
次にそれぞれについて説明します。

UART0 ~ 2

UART0~UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.17.1にUARTi(i=0~2)のブロック図を、図1.17.2、図1.17.3に送受信部のブロック図を示します。

UARTi(i=0~2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット0~ビット2)の内容で選択します。

UART0~UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1. SIM : Subscriber Identity Module

表1.17.1にUART0~UART2の機能比較を、図1.17.4~図1.17.9に、UARTi関連のレジスタを示します。

表1.17.1. UART0 ~ UART2の機能比較

機 能	UART0	UART1	UART2
CLK極性選択	可 (注1)	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	可 (注1)	不可
シリアルデータ論理切り替え	不可	不可	可 (注4)
スリープモード選択	可 (注3)	可 (注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャネルオープンドレイン出力
パリティエラー信号出力	不可	不可	可 (注4)
バス衝突検出	不可	不可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

注3. UARTモード時に選択できます。

注4. SIMインタフェース対応。

シリアルI/O

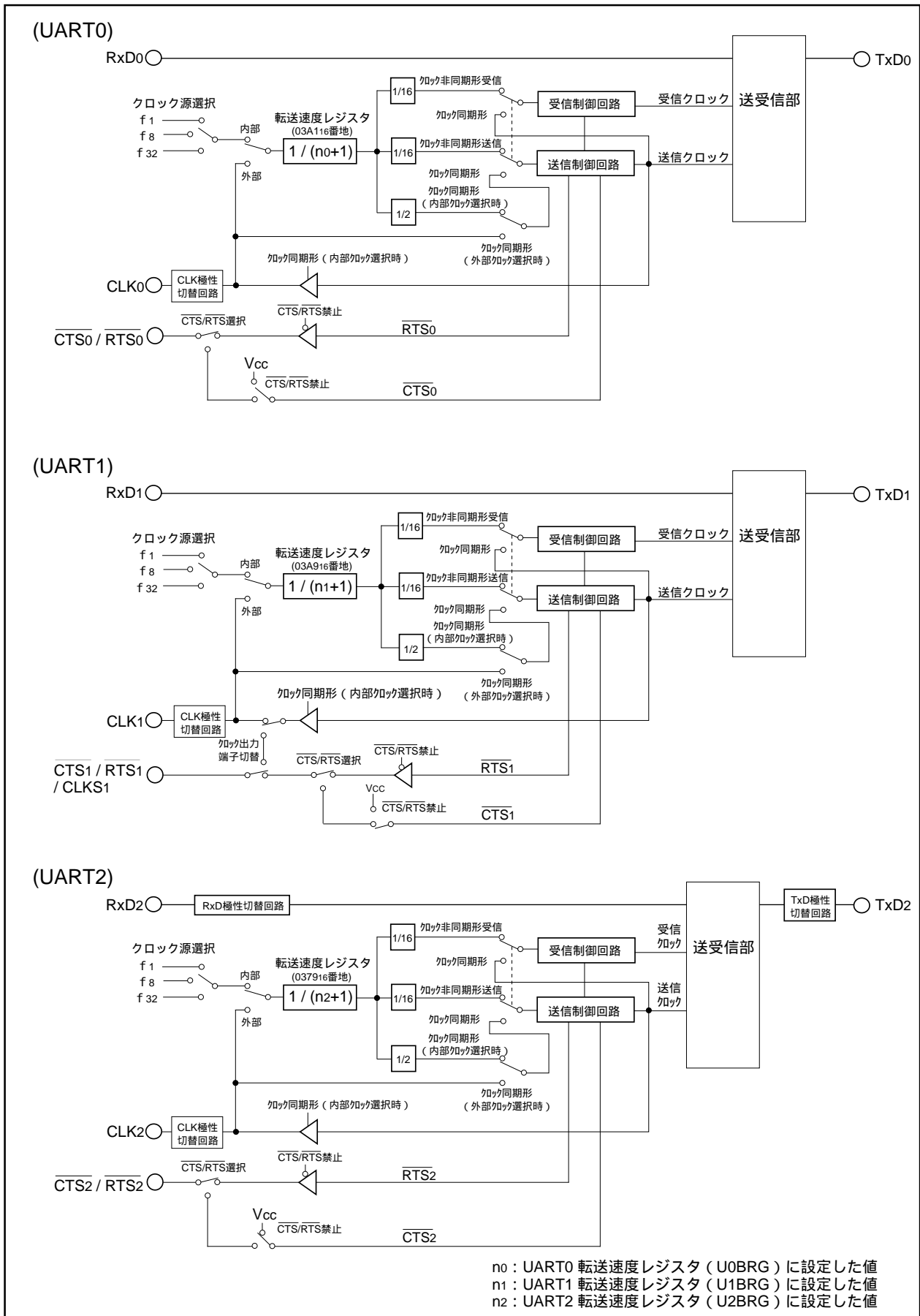


図1.17.1. UARTi(i=0~2)ブロック図

シリアルI/O

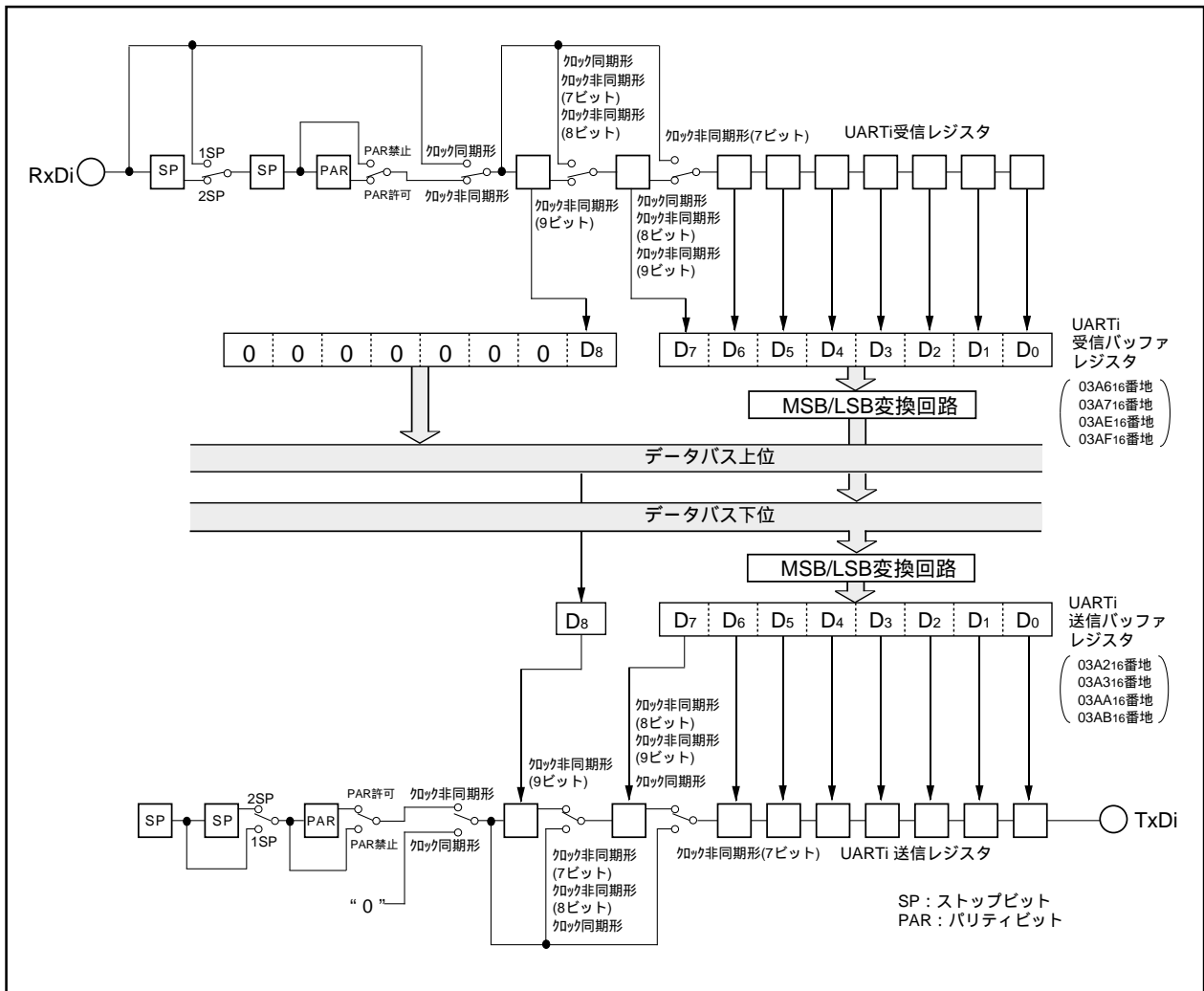


図1.17.2. UARTi(i=0,1)送受信部ブロック図

シリアルI/O

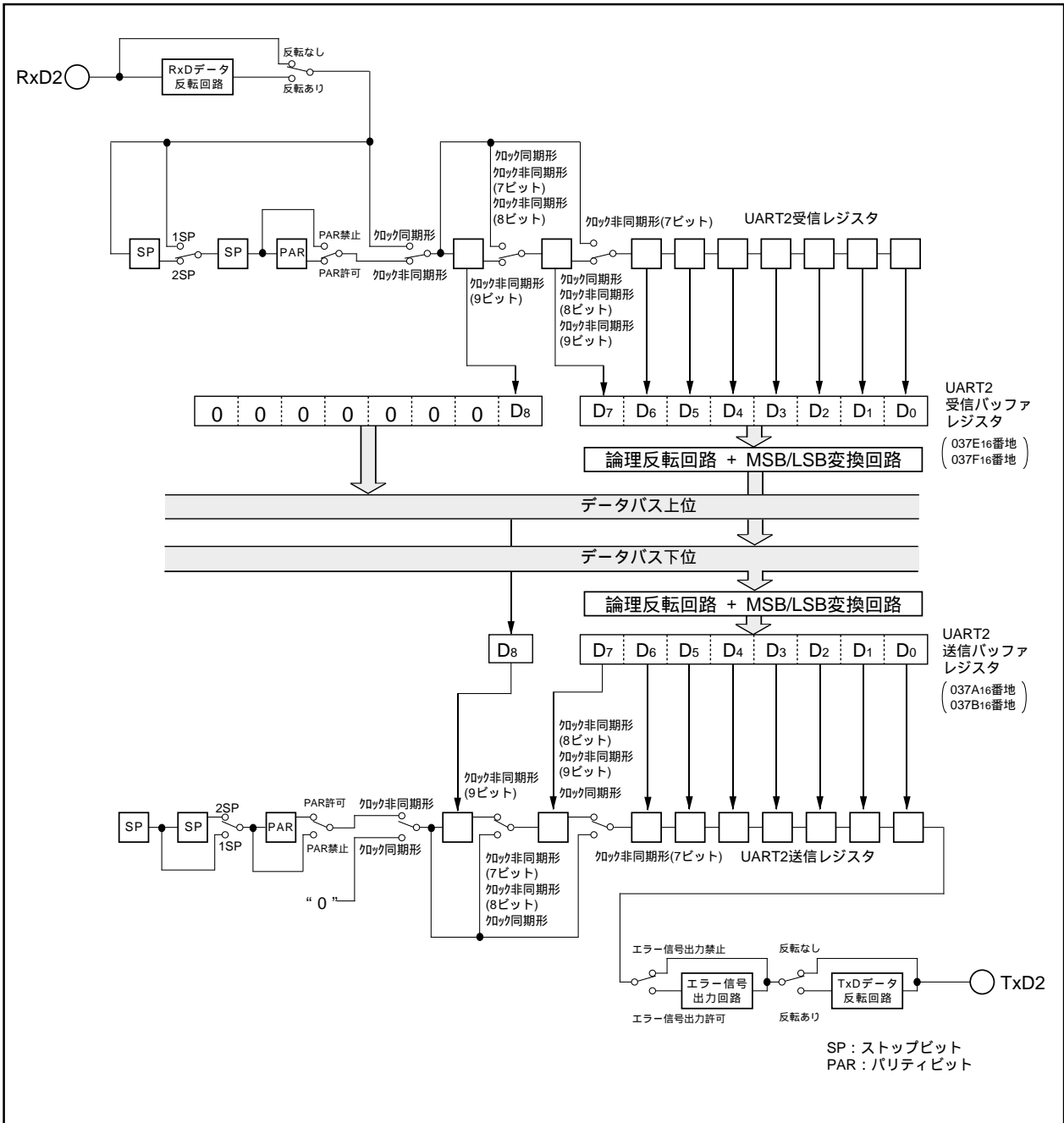


図1.17.3. UART2送受信部ブロック図

シリアルI/O

UARTi送信バッファレジスタ(注1)

シンボル	アドレス	リセット時
U0TB	03A3 ₁₆ 、03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ 、03AA ₁₆ 番地	不定
U2TB	037B ₁₆ 、037A ₁₆ 番地	不定

機能		R	W
送信データ		x	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		-	-

注1. このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ

シンボル	アドレス	リセット時
U0RB	03A7 ₁₆ 、03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ 、03AE ₁₆ 番地	不定
U2RB	037F ₁₆ 、037E ₁₆ 番地	不定

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
—	—	受信データ	受信データ	x	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				-	-
ABT	アービトラージョン ロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	無効		
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	x	
FER	フレーミングエラー フラグ(注1)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	x	
PER	パリティエラーフラグ(注1)	無効	0: パリティエラーなし 1: パリティエラー発生	x	
SUM	エラーサムフラグ(注1)	無効	0: エラーなし 1: エラー発生	x	

注1. シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット2~ビット0)を“000₂”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15~ビット12は“0”になります(ビット14~ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの低位バイト(03A6₁₆、03AE₁₆、037E₁₆番地)を読み出したときも、“0”になります。

注2. アービトラージョンロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)

シンボル	アドレス	リセット時
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機能	設定可能値	R	W
設定値をnとすると、BRGiはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	x	

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

図1.17.4. UARTi関連のレジスタ (1)

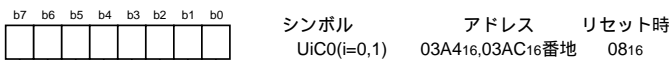
シリアルI/O



図1.17.5. UARTi関連のレジスタ (2)

シリアルI/O

UARTi 送受信制御レジスタ0



ビットシンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R/W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	
CLK1				
CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	x
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャンネル オープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャンネル オープンドレイン出力	
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	" 0 " を設定してください	
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	" 0 " を設定してください	

注1. 対応するポート方向レジスタは " 0 " にしてください。
 注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0



ビットシンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R/W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	
CLK1				
CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	x
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	
何も配置されていない。 書き込む場合、" 0 " を書き込んでください。読み出した場合、その値は " 0 "。				
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	" 0 " を設定してください	
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト	

注1. 対応するポート方向レジスタは " 0 " にしてください。
 注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
 注3. クロック同期シリアル/OEモードおよび8ビットUARTモード時だけ有効です。

図1.17.6. UARTi関連のレジスタ (3)

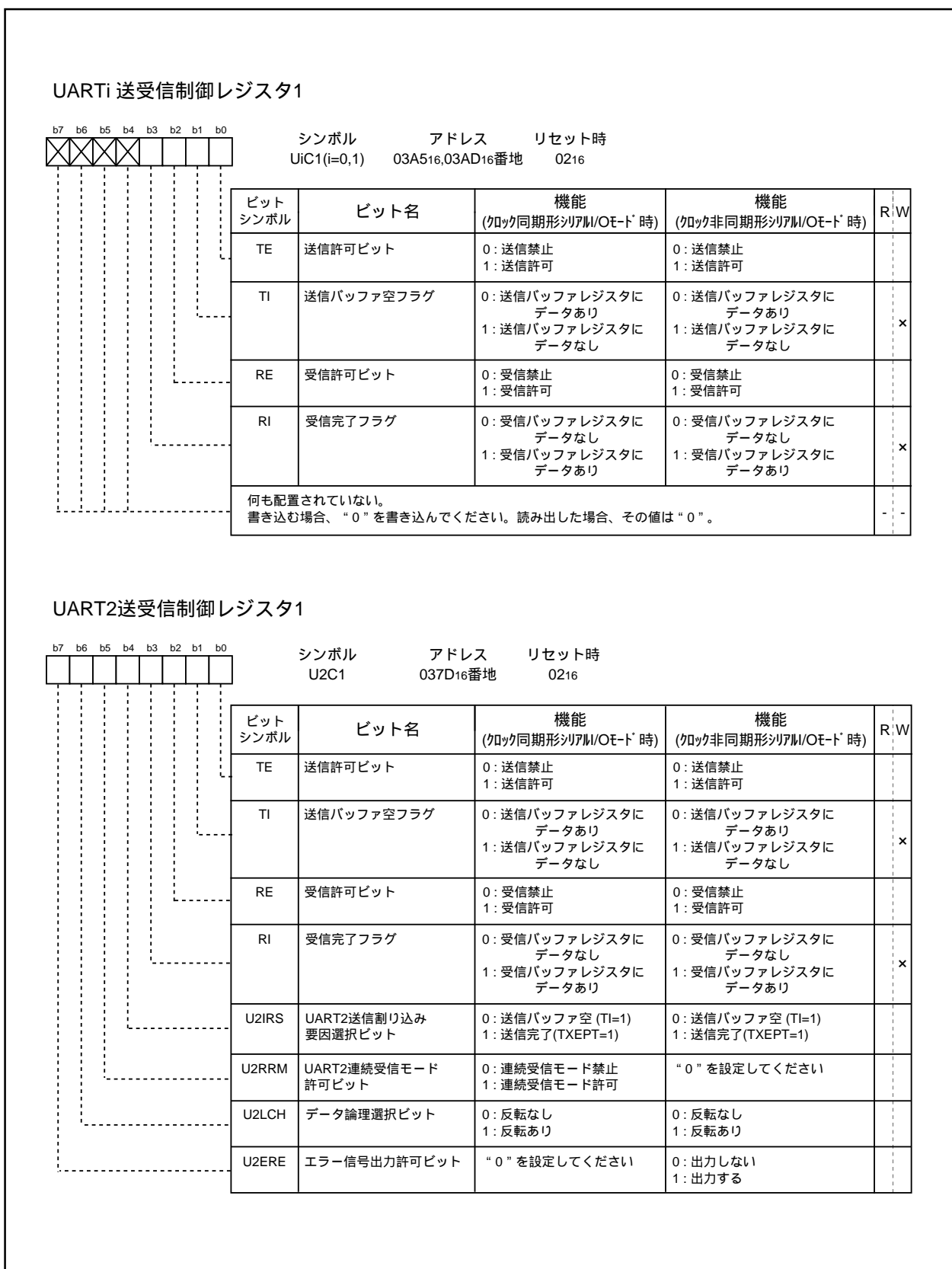
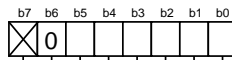


図1.17.7. UARTi関連のレジスタ (4)

UART送受信制御レジスタ2

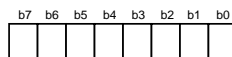


シンボル アドレス リセット時
UCON 03B0₁₆番地 X000000₂

ビット シンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)		
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)		
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0" を設定してください		
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0" を設定してください		
CLKMD0	CLK,CLKS選択ビット0	ビット5が "1" のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効		
CLKMD1	CLK,CLKS選択 ビット1 (注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	"0" を設定してください		
予約ビット		必ず "0" を設定してください。			
何も配置されていない。 書き込む場合、"0" を書き込んでください。読み出した場合、その値は不定。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット(03A8₁₆番地のビット3) = "0"

UART2特殊モードレジスタ



シンボル アドレス リセット時
U2SMR 0377₁₆番地 80₁₆

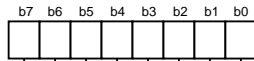
ビット シンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
IICM	IICモード選択ビット	0: 通常モード 1: IICモード	"0" を設定してください		
ABC	アービトレーション ロスト検出フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0" を設定してください		
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0" を設定してください		(注1)
LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0" を設定してください		
ABSCS	バス衝突検出サンプリング クロック選択ビット	"0" を設定してください	0: 転送クロックの立ち上がり 1: タイマA 0のアンダフロー 信号		
ACSE	送信許可ビット自動クリア 機能選択ビット	"0" を設定してください	0: 自動クリア機能なし 1: バス衝突発生時自動クリア		
SSS	送信開始条件選択ビット	"0" を設定してください	0: 通常 1: RxD2の立ち下がり		
SDDS	SDAデジタル遅延 選択ビット(注2)	0: IICモード時以外は "0" を 設定してください。 1: デジタルディレイ出力選択	"0" を設定してください		

注1. "0" だけ書き込み可。

注2. 本機能はIICモード時以外は "1" を書き込まないでください。通常モード時は "0" を設定してください。
本ビットが "0" の場合はUART2特殊モードレジスタ3(U2SMR3 / 0375₁₆番地)のビット7 ~ ビット5 (DL2 ~ DL0 = SDA
デジタル遅延値設定ビット)が初期化され "000" となります。また、SDDS = "0" の場合にはU2SMR3の読み出し、
書き込みはできません。

図1.17.8. UARTi関連のレジスタ (5)

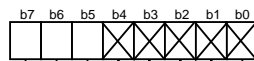
UART2特殊モードレジスタ2(IICバス専用レジスタ)



シンボル アドレス リセット時
 U2SMR2 0376₁₆番地 00₁₆

ビットシンボル	ビット名	機能 (IICバス専用)	R	W
IICM2	IICモード選択ビット2	表1.17.11参照		
CSC	クロック同期化ビット	0: 禁止 1: 許可		
SWC	SCLウエイト出力ビット	0: 禁止 1: 許可		
ALS	SDA出力停止ビット	0: 禁止 1: 許可		
STAC	UART2初期化ビット	0: 禁止 1: 許可		
SWC2	SCLウエイト出力ビット2	0: UART2クロック 1: 0出力		
SDHI	SDA出力禁止ビット	0: 許可 1: 禁止 (ハイインピーダンス)		
SHTC	スタート/ストップコンディション条件制御ビット	1: IICモード選択時、“1”を設定してください。 (表1.17.12参照)		

UART2特殊モードレジスタ3(IICバス専用レジスタ)



シンボル アドレス リセット時
 U2SMR3 0375₁₆番地 “00₁₆”

ビットシンボル	ビット名	機能 (IICバス専用)	R	W
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。 ただし、SDDS = 1とした場合は“0”が読み出される(注1)。	-	-
DL0	SDAデジタル遅延値設定ビット (注1、注2、注3)	b7 b6 b5 0 0 0 : IICモード時は設定しないでください 0 0 1 : 1/f(XIN)の1~2サイクル(デジタル遅延) 0 1 0 : 1/f(XIN)の2~3サイクル(デジタル遅延) 0 1 1 : 1/f(XIN)の3~4サイクル(デジタル遅延) 1 0 0 : 1/f(XIN)の4~5サイクル(デジタル遅延) 1 0 1 : 1/f(XIN)の5~6サイクル(デジタル遅延) 1 1 0 : 1/f(XIN)の6~7サイクル(デジタル遅延) 1 1 1 : 1/f(XIN)の7~8サイクル(デジタル遅延)		
DL1				
DL2				

- 注1. 本ビットはUART2特殊モードレジスタ(U2SMR / 0377₁₆番地)のビット7(SDDS = SDAデジタル遅延選択ビット)が“1”のときのみ読み出し、書き込み可能です。SDDS = “1”にしてUART2特殊モードレジスタ3(U2SMR3)の初期値を読み出した場合、その値は“00₁₆”です。SDDS = “1”にしてUART2特殊モードレジスタ3(U2SMR3)に書き込む場合、ビット0~ビット4には“0”を書き込んでください。SDDS = “0”のときは書き込み不可、読み出した場合、その値は不定です。
- 注2. 本ビットはSDDS = “0”のときには初期化され“000”となります。本ビットはリセット解除時は“000”となります。ただし、SDDS = “1”とした場合のみ読み出し可能のため、SDDS = “0”の場合、読み出した値は不定です。
- 注3. 遅延量はSCL端子、SDA端子の負荷により変化します。また、外部クロックを使用した場合には、200ns程度、遅延が大きくなりますので、評価の上、使用してください。

図1.17.9. UARTI関連のレジスタ (6)

クロック同期形シリアルI/Oモード

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.17.2、表1.17.3にクロック同期形シリアルI/Oモードの仕様を、図1.17.10にUARTi送受信モードレジスタの構成を示します。

表1.17.2. クロック同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "0") : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "1") : CLKi端子からの入力
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" CTS機能選択時、CTS端子の入力が "L" レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L"
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット2)= "1" 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L"
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "0" : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "1" : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

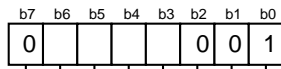
クロック同期形シリアルI/Oモード

表1.17.3. クロック同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 TXD、RXD入出力極性切り替え(UART2) TXD端子出力およびRXD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

クロック同期形シリアル/Oモード

UARTi送受信モードレジスタ

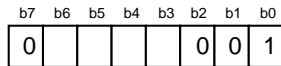


シンボル アドレス リセット時
 UiMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 0 0 1: クロック同期形 シリアル/Oモード	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	
STPS	クロック同期形シリアル/Oモードでは無効		
PRY			
PRYE			
SLEP	0: クロック同期形シリアル/Oモードでは“0”を設定してください。		

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ



シンボル アドレス リセット時
 U2MR 0378₁₆ 00₁₆

ビットシンボル	ビット名	機能	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 0 0 1: クロック同期形 シリアル/Oモード	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	
STPS	クロック同期形シリアル/Oモードでは無効		
PRY			
PRYE			
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0: 反転なし 1: 反転あり	

注1. 通常は“0”にしてください。

注2. 対応する方向レジスタは“0”にしてください。

図1.17.10. クロック同期形シリアル/Oモード時のUARTi送受信モードレジスタの構成

クロック同期形シリアルI/Oモード

表1.17.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.17.4. クロック同期形シリアルI/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能非選択時)

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	転送クロック出力	内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3)=“1” ポートP61、P65、P72の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2)=“0”
CTS _i /RTS _i (P60, P64, P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット2)=“0” ポートP60、P64、P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)=“0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット2)=“1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)=“1”

クロック同期形シリアルI/Oモード

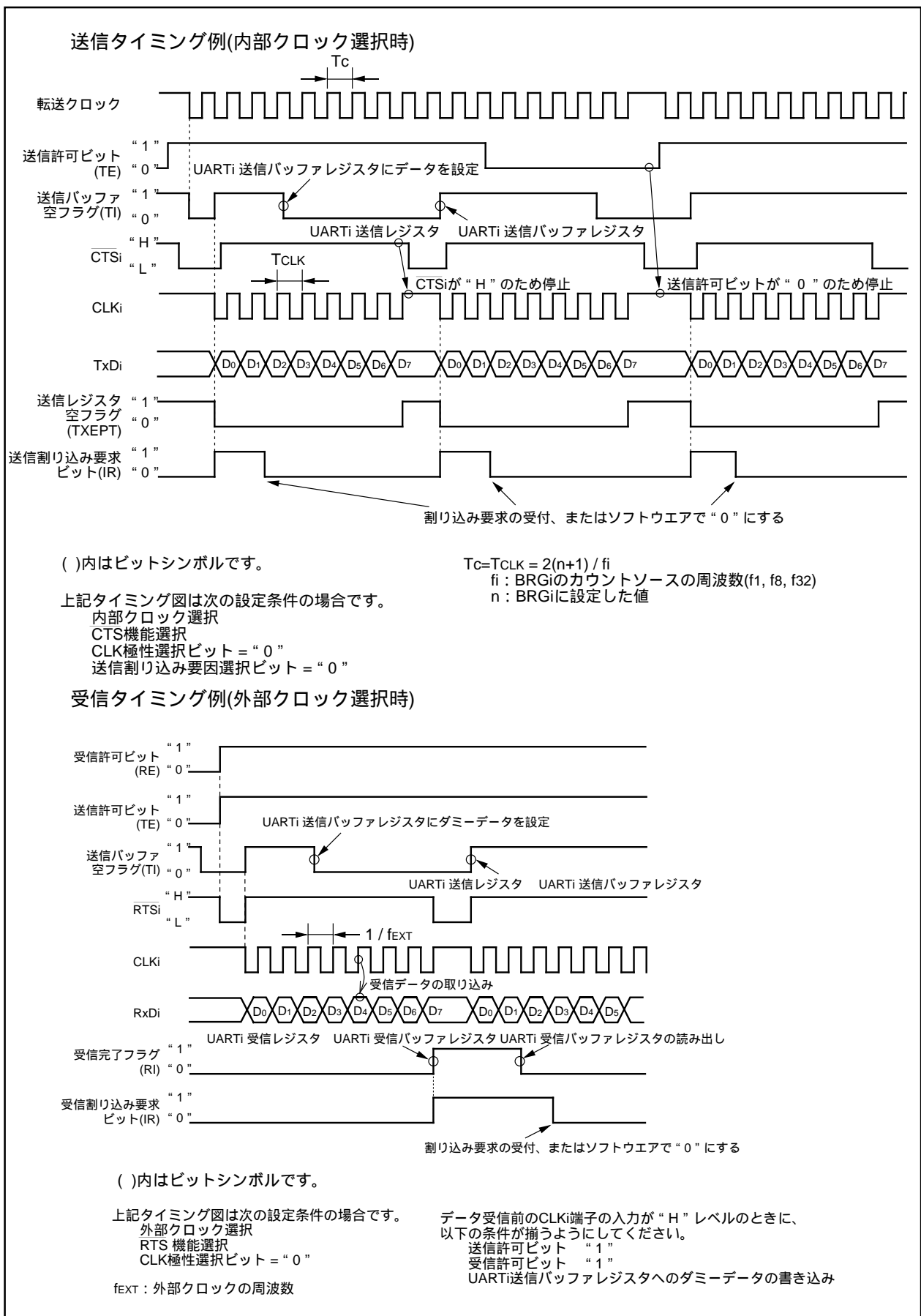


図1.17.11. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

クロック同期形シリアルI/Oモード

極性選択機能

図1.17.12に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

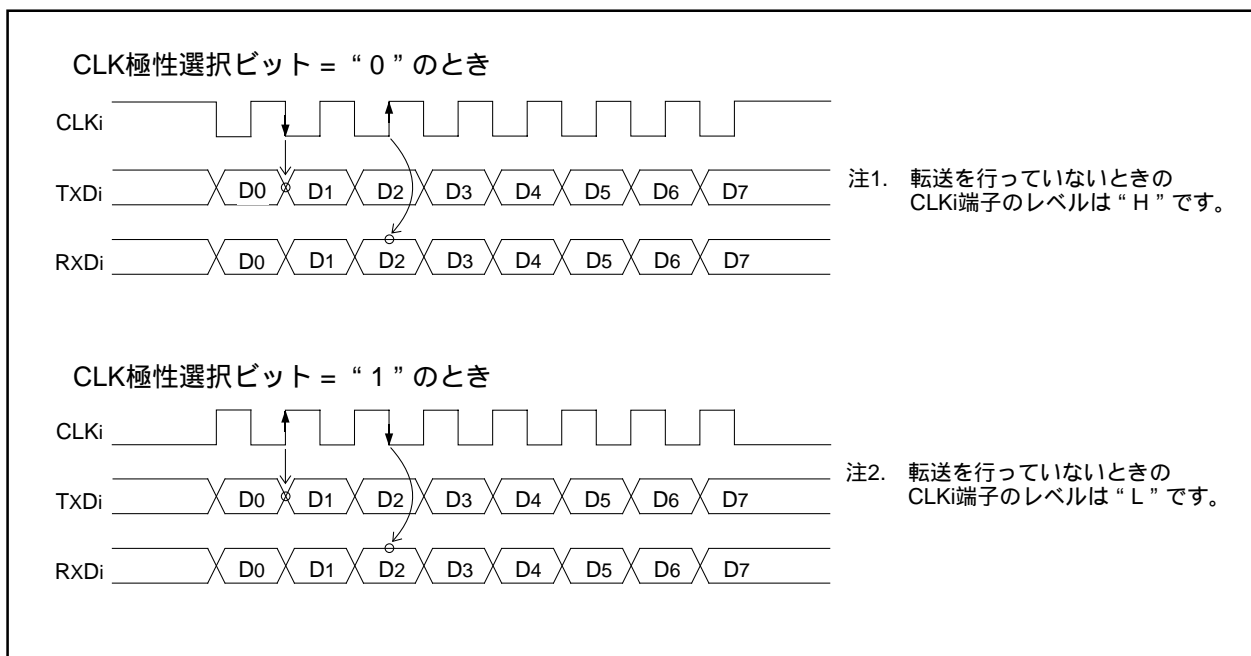


図1.17.12. 転送クロックの極性

LSBファースト/MSBファースト選択機能

図1.17.13に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

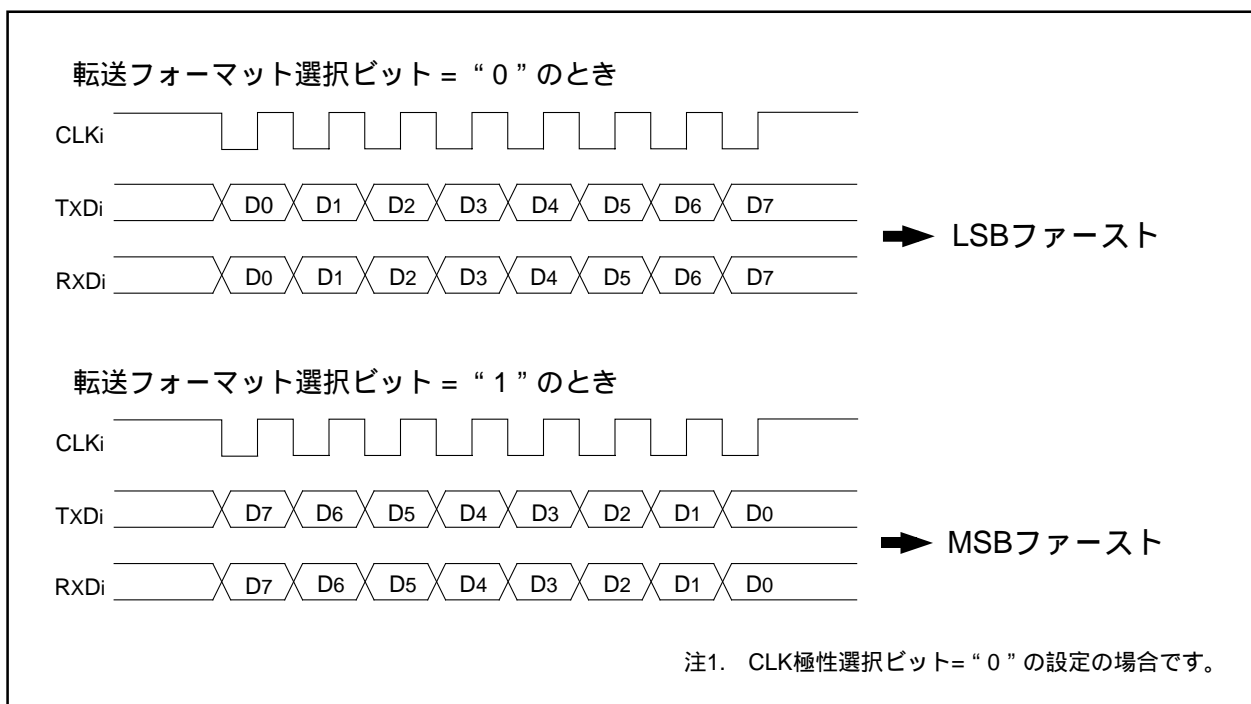


図1.17.13. 転送フォーマット

クロック同期形シリアルI/Oモード

転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.17.14)。この機能は、UART1で内部クロック選択時だけ有効な機能です。

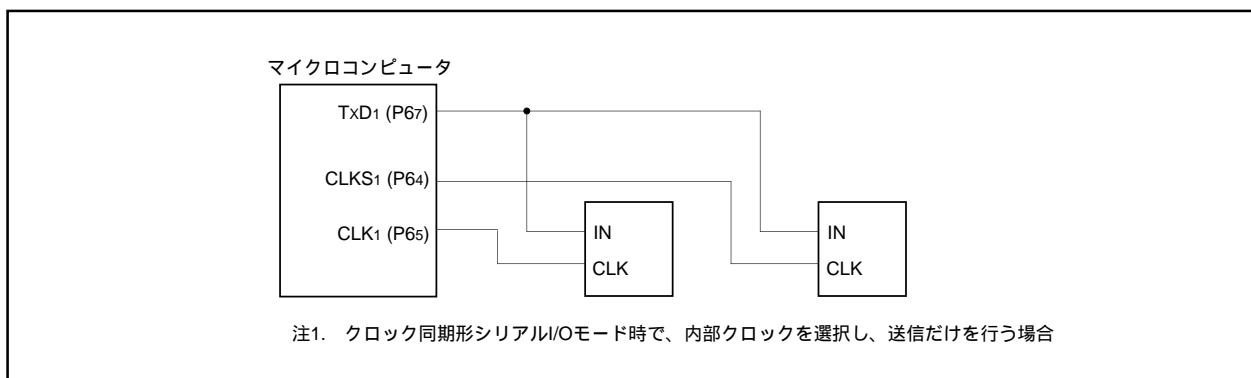


図1.17.14. 転送クロック複数端子出力機能の使用例

連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.17.15にシリアルデータ論理切り替えのタイミング例を示します。

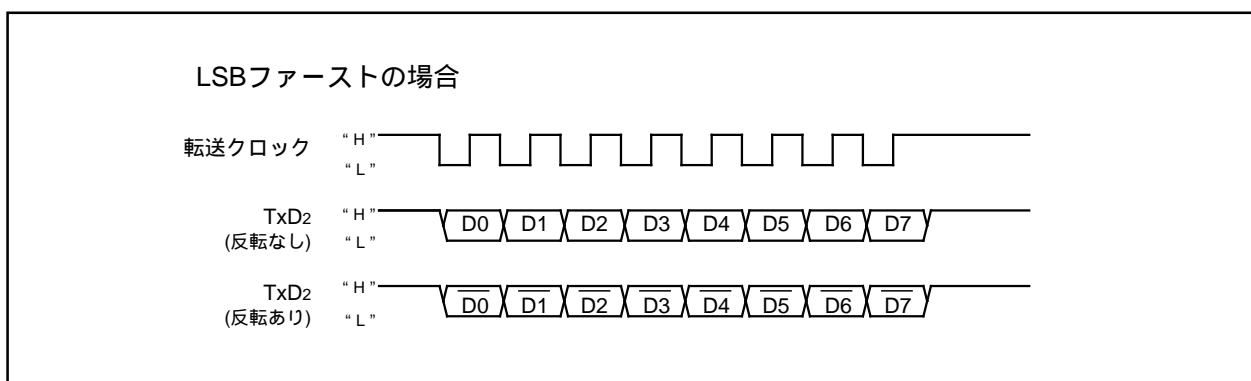


図1.17.15. シリアルデータ論理切り替えのタイミング例

クロック非同期形シリアルI/Oモード

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.17.5、表1.17.6にクロック非同期形シリアルI/Oモードの仕様を、図1.17.16にUARTi送受信モードレジスタの構成を示します。

表1.17.5. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット1)=“0” ・CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5 ₁₆ 、03AD ₁₆ 、037D ₁₆ 番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	送信時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバーランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

表1.17.6. クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	<p>スリープモード選択(UART0、UART1)</p> <p>複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用するシリアルデータ論理切り替え(UART2)</p> <p>転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p>

UARTi送受信モードレジスタ

ビットシンボル	ビット名	機能	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	
SLEP	スリープ選択ビット	0: スリープモード解除 1: スリープモード選択	

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

ビットシンボル	ビット名	機能	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット	
SMD1			
SMD2			
CKDIR	内/外部クロック選択ビット	“0”を設定してください	
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0: 反転なし 1: 反転あり	

注1. 通常“0”にしてください。

図1.17.16. UARTモード時のUARTi送受信モードレジスタの構成

クロック非同期形シリアルI/Oモード

表1.17.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表1.17.7. クロック非同期形シリアルI/Oモード時

端子名	機能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	プログラマブル入出力 転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 番地のビット3)= “0” 内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3)= “1” ポートP61、P65の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5)= “0” (UART2は外部クロック選択を設定しないでください)
CTSi/RTSi (P60, P64, P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット2)= “0” ポートP60、P64、P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 番地のビット4)= “1”

クロック非同期形シリアルI/Oモード

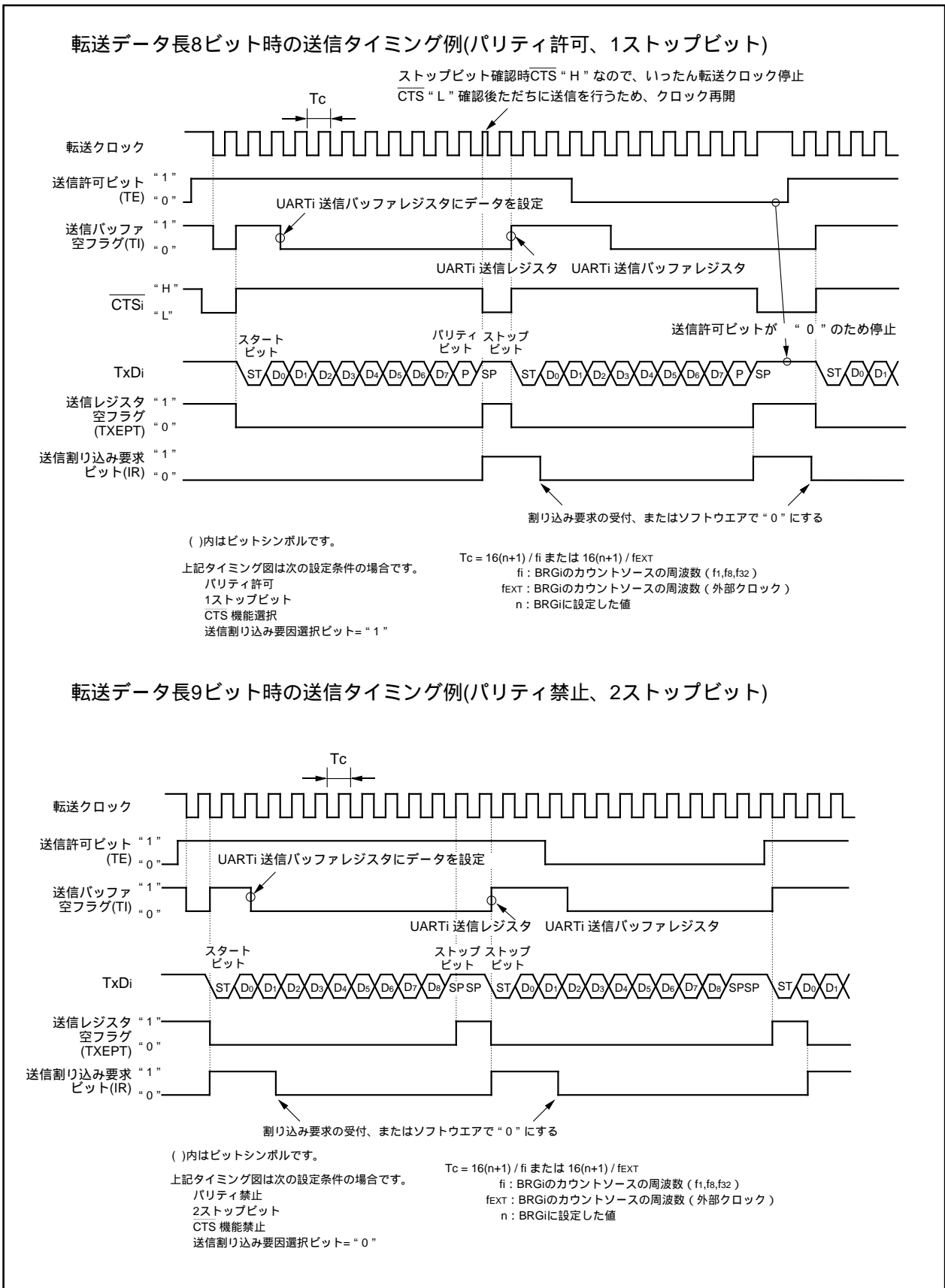


図1.17.17. UARTモード時の送信タイミング例(UART0、UART1)

クロック非同期形シリアルI/Oモード

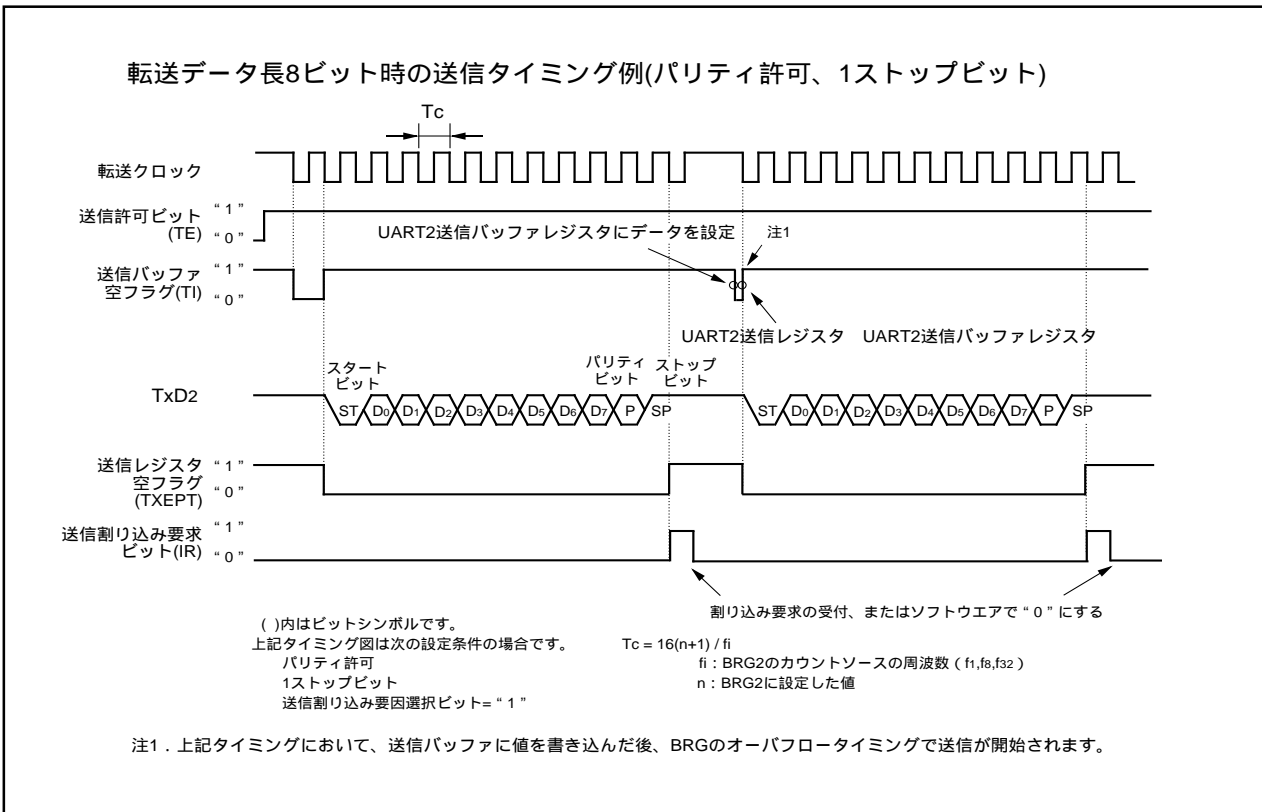


図1.17.18. UARTモード時の送信タイミング例(UART2)

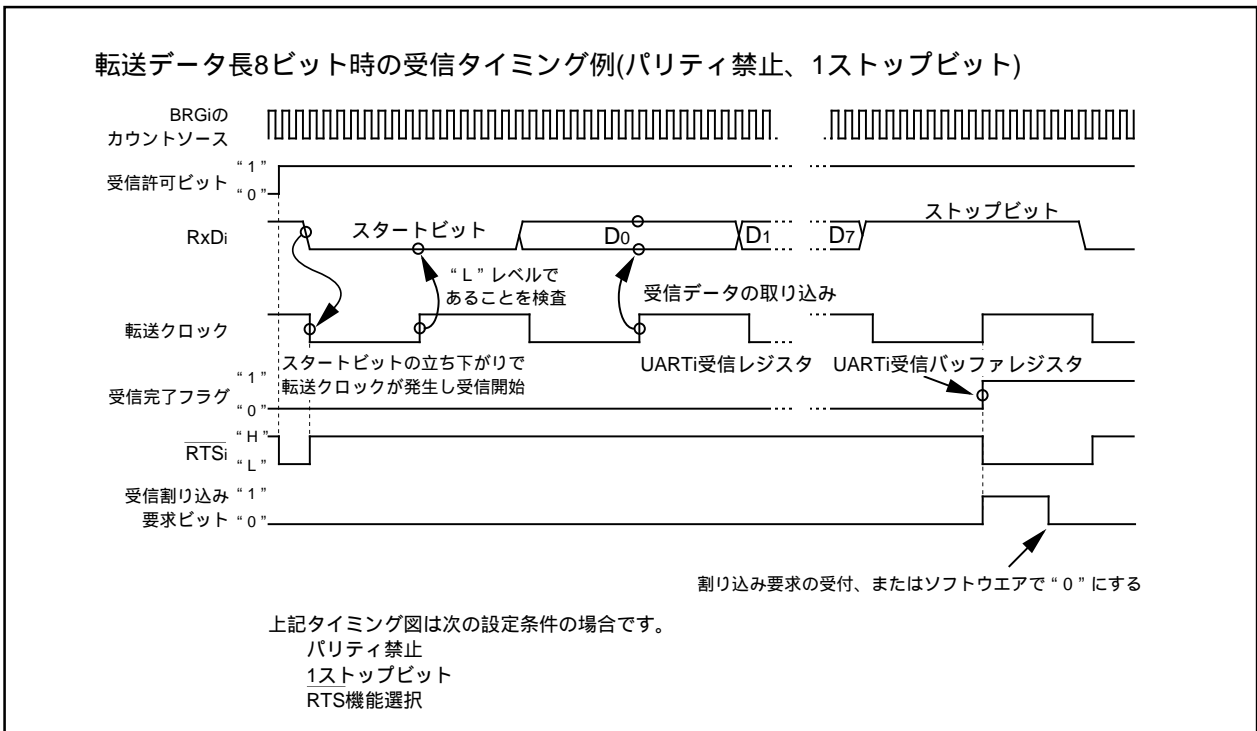


図1.17.19. UARTモード時の受信タイミング例

スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0₁₆、03A8₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.17.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

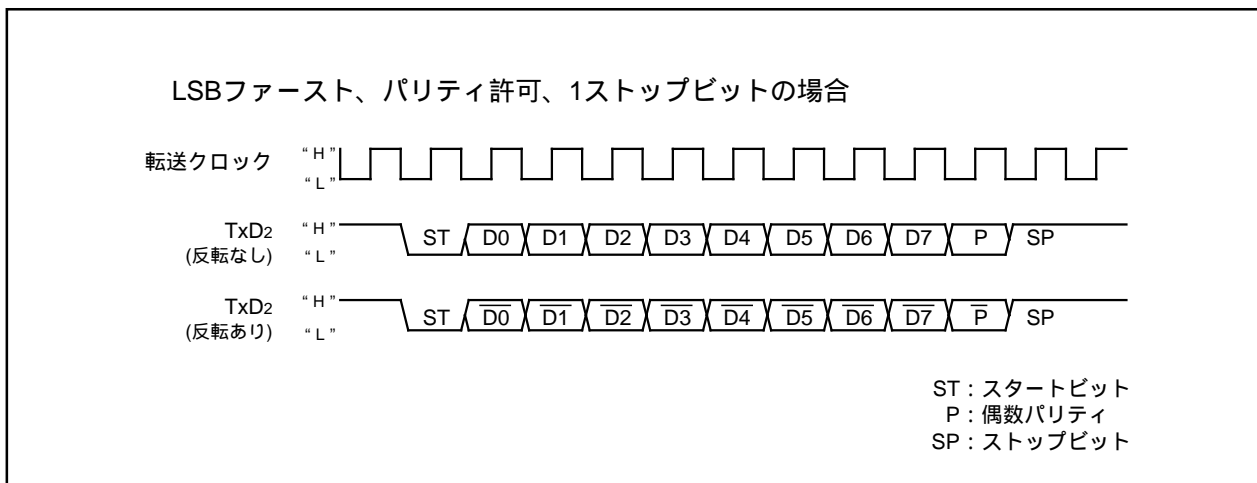


図1.17.20. シリアルデータ論理切り替え機能のタイミング例

クロック非同期形シリアルI/Oモード

TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.17.21にバス衝突検出タイミング例(UARTモード時)を示します。

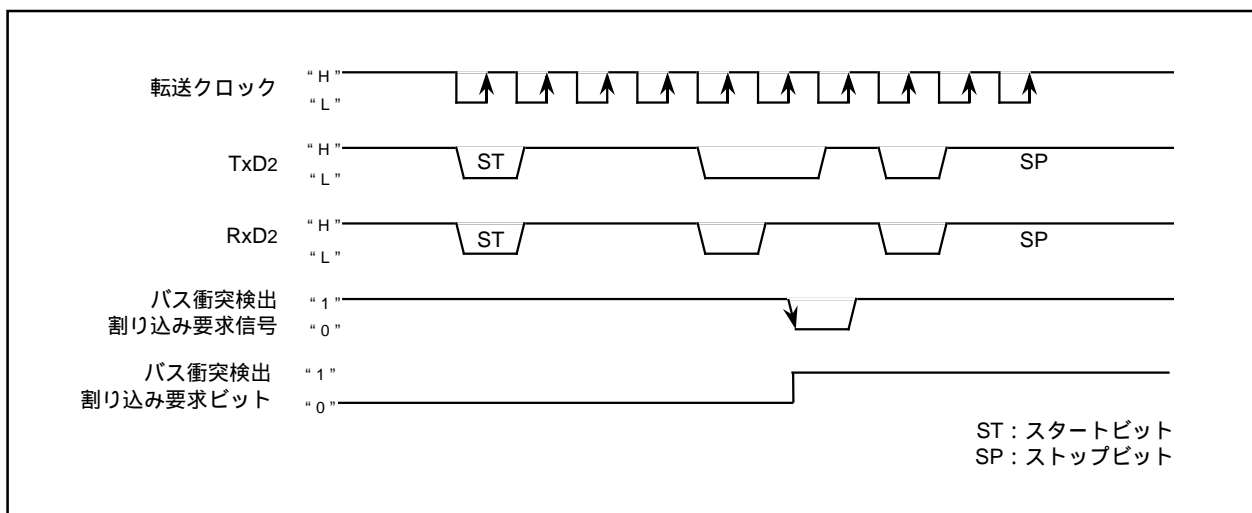


図1.17.21. バス衝突検出タイミング例(UARTモード時)

クロック非同期形シリアルI/Oモード

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.17.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.17.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項 目	仕 様
転送データフォーマット	転送データ 8ビットUARTモード (0378 ₁₆ 番地のビット2~ビット0= "1012") 1ストップビット (0378 ₁₆ 番地のビット4= "0") ダイレクトフォーマットの場合 パリティを偶数パリティに設定 (0378 ₁₆ 番地のビット5= "1"、ビット6= "1") データ論理をダイレクトに設定 (037D ₁₆ 番地のビット6= "0") 転送フォーマットをLSBに設定 (037C ₁₆ 番地のビット7= "0") インバースフォーマットの場合 パリティを奇数パリティに設定 (0378 ₁₆ 番地のビット5= "0"、ビット6= "1") データ論理をインバースに設定 (037D ₁₆ 番地のビット6= "1") 転送フォーマットをMSBに設定 (037C ₁₆ 番地のビット7= "1")
転送クロック	内部クロック選択時(0378 ₁₆ 番地のビット3= "0") : $fi/16(n+1)$ (注1) $fi=f_1, f_8, f_{32}$ (外部クロック選択を設定しないでください)
送信制御/受信制御	CTS, RTS機能禁止に設定 (037C ₁₆ 番地のビット4= "1")
その他設定項目	UART2ではスリープモード選択機能はありません 送信割り込み要因を送信完了に設定 (037D ₁₆ 番地のビット4= "1")
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(037D ₁₆ 番地のビット0)= "1" ・送信バッファ空フラグ(037D ₁₆ 番地のビット1)= "0"
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(037D ₁₆ 番地のビット2)= "1" ・スタートビットの検出
割り込み要求発生タイミング	送信時 UART2送信レジスタからデータ転送完了時 (037D ₁₆ 番地のビット4= "1") 受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能(037D ₁₆ 番地のビット7= "1")によりTxD ₂ 端子から "L" レベルを出力 送信側は、送信割り込み発生時、RxD ₂ 端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバーランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

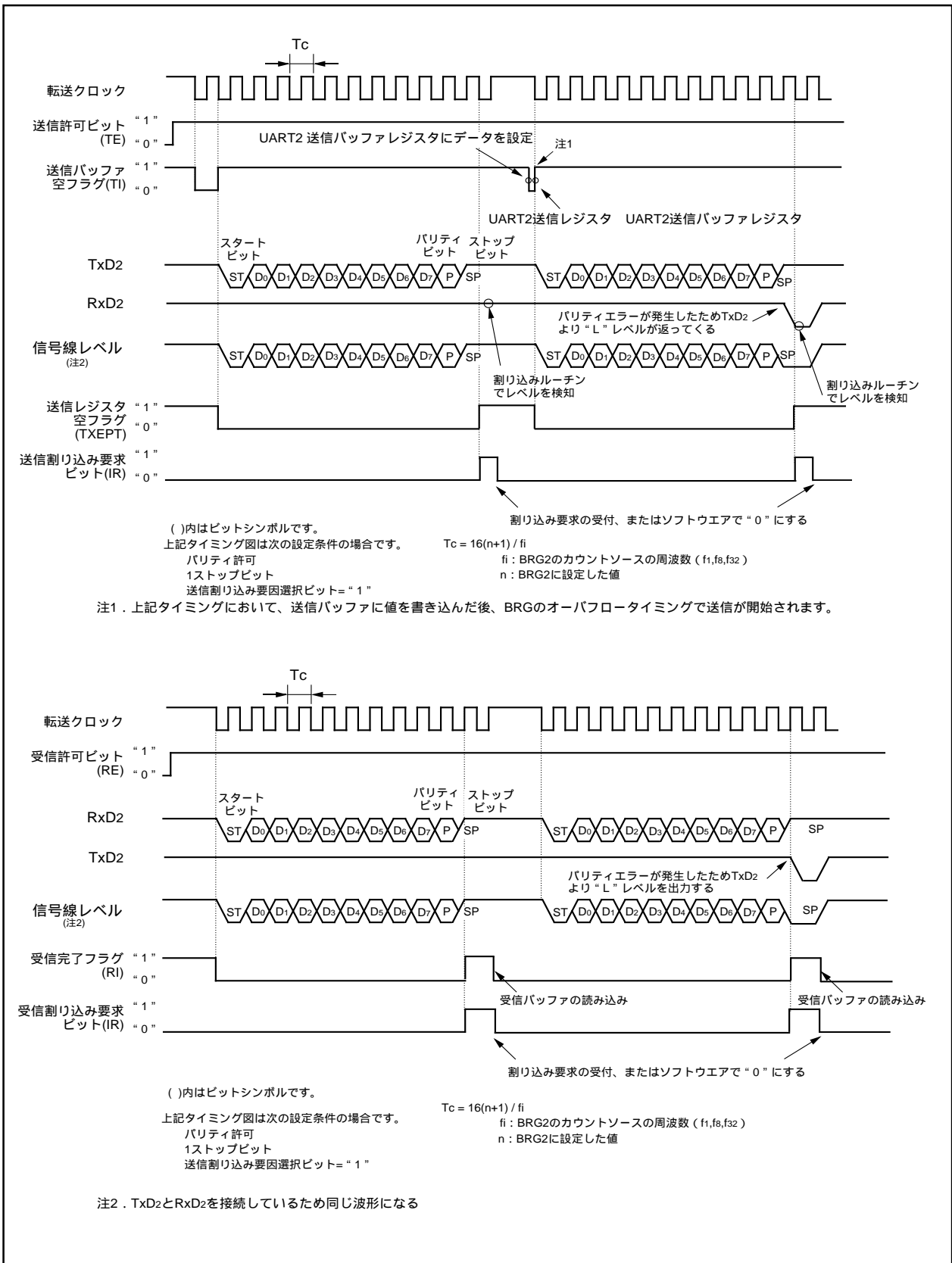


図1.17.22. UARTモード(SIMインタフェース対応)の送受信タイミング例

クロック非同期形シリアルI/Oモード

パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“1”のとき、パリティエラー検出時にTxD₂端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D₁₆番地のビット7)が“0”のときと比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。したがって、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図1.17.23にパリティエラー信号出力タイミングを示します。

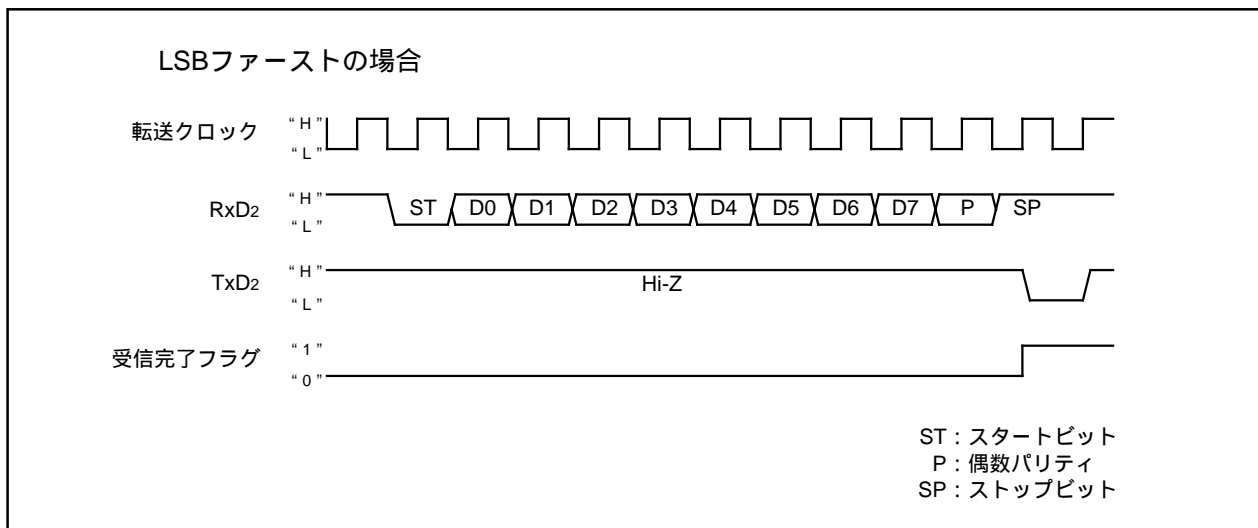


図1.17.23. パリティエラー信号出力タイミング

ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD₀のデータがTxD₂から出力されます。インバースフォーマットを選択するとD₇のデータが反転してTxD₂から出力されます。

図1.17.24にSIMインタフェースフォーマットを示します。

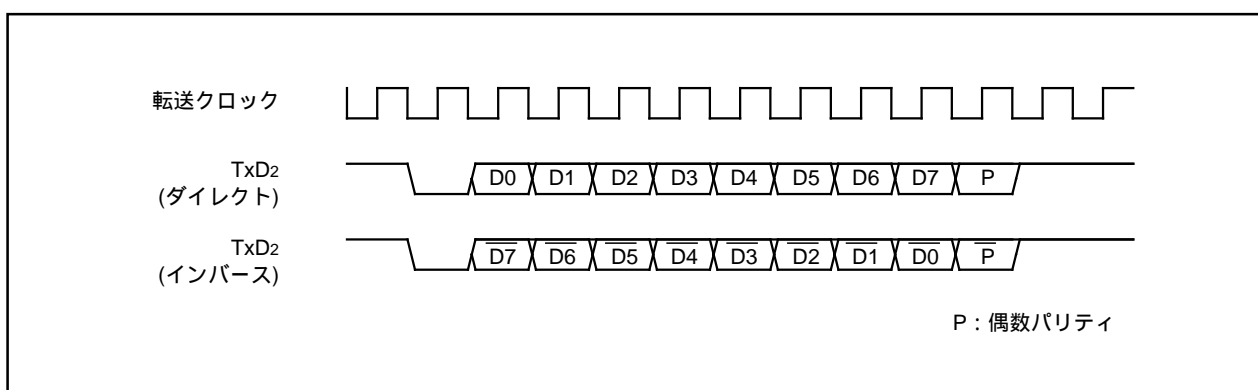


図1.17.24. SIMインタフェースフォーマット

クロック非同期形シリアルI/Oモード

図1.17.25にSIMインタフェースの接続例を示します。TxD₂とRxD₂を接続してプルアップしてください。

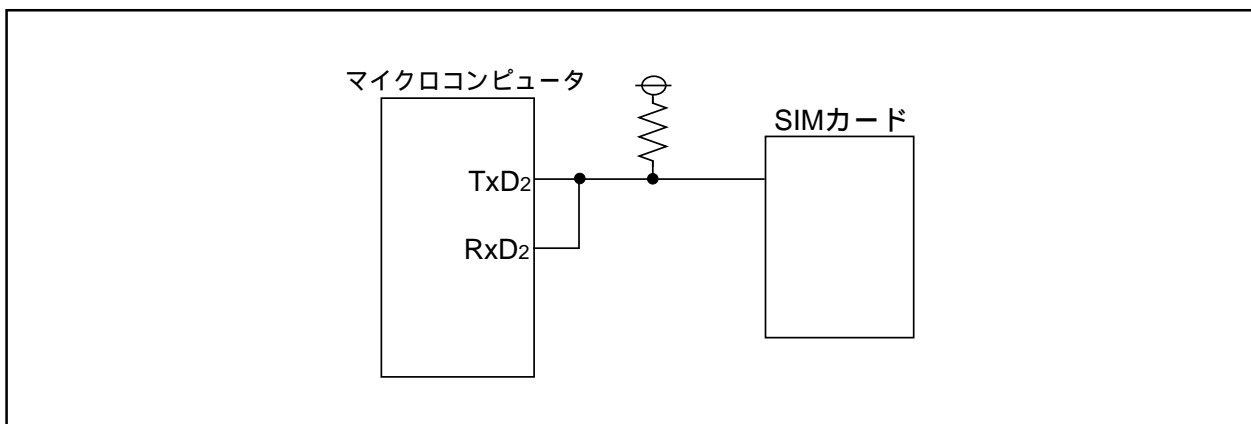


図1.17.25. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377₁₆番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図1.17.26に示します。

UART2特殊モードレジスタ(0377₁₆番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.17.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを“0”に設定してください。

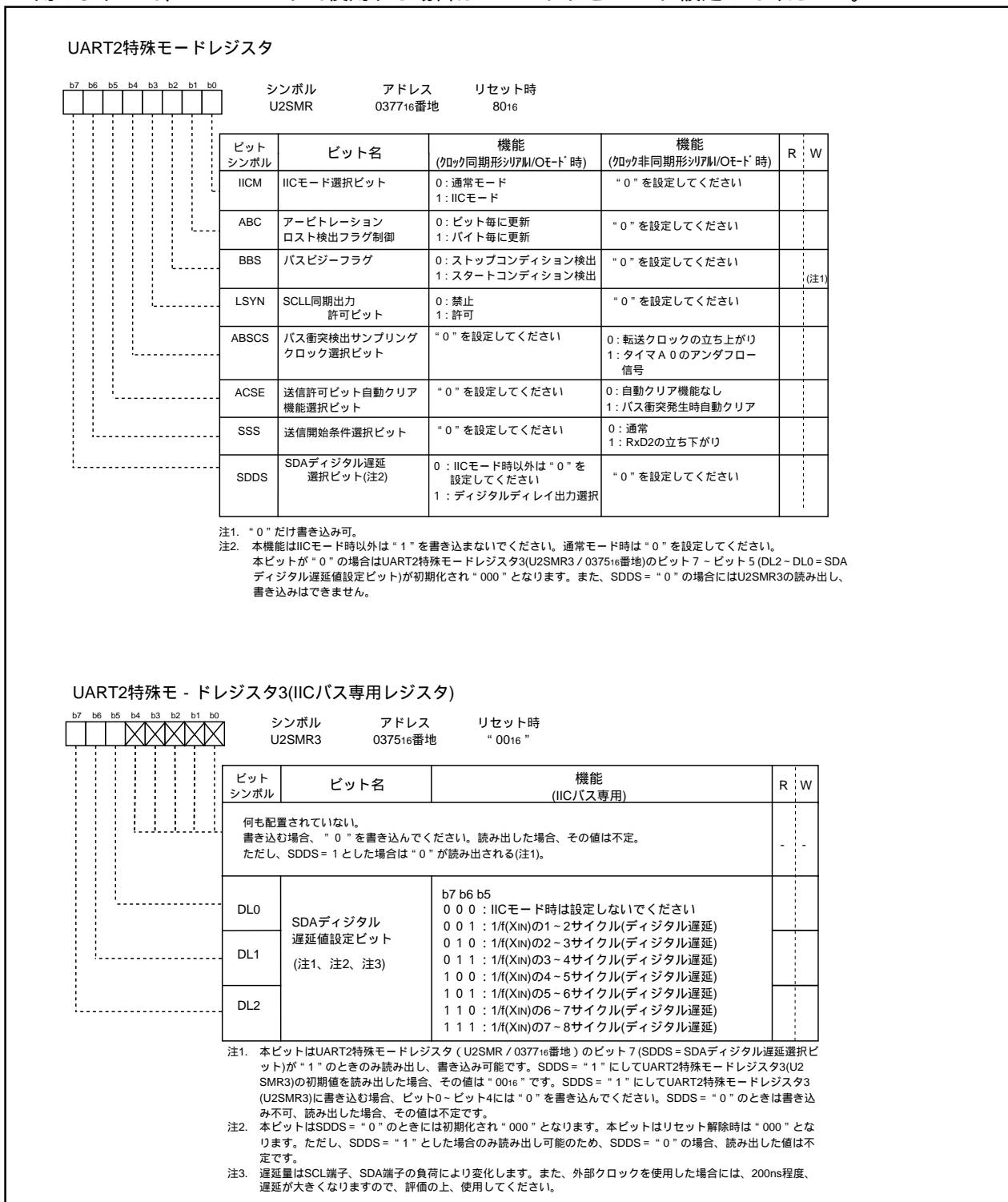


図1.17.26. UART2特殊モードレジスタ

UART2特殊モードレジスタ

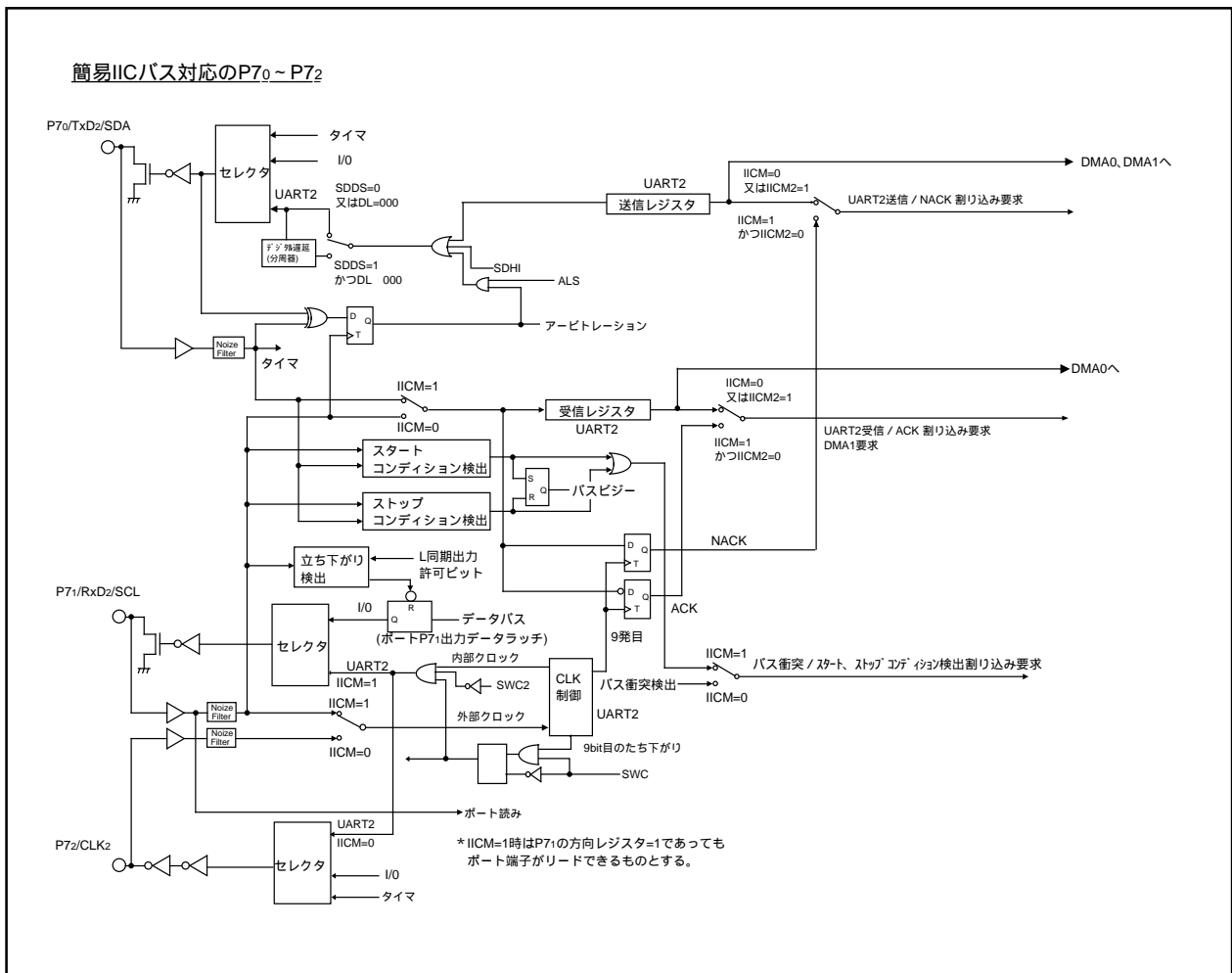


図1.17.27. IICモード機能ブロック図

表1.17.9. IICモード時の各機能

機能	通常モード	IICモード(注1)
1 割り込み番号10の要因(注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2 割り込み番号15の要因(注2)	UART2送信	アクノリジ未検出(NACK)
3 割り込み番号16の要因(注2)	UART2受信	アクノリジ検出(ACK)
4 UART2送信出力delay	delayなし	delayあり(デジタルdelay)
5 UART2使用時のP70	TxD2(出力)	SDA(入出力)(注3)
6 UART2使用時のP71	RxD2(入力)	SCL(入出力)
7 UART2使用時のP72	CLK2	P72
8 DMA要求要因選択ビット=1101時のDMA1要因	UART2受信	アクノリジ検出(ACK)
9 Noise Filter 幅	15ns	200ns
10 P71のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11 UART2出力の初期値	Hレベル(CLK極性選択ビット=0時)	ポート選択時にP70ラッチに設定した値

注1. IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を
"010"に設定してください。
RTS / CTS機能は禁止してください。
MSBファーストに設定してください。

注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の
状態で行ってください。

UART2特殊モードレジスタ

IICモードの機能を図1.17.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”に設定すると、ポートP70, P71, P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。遅延値をUART2特殊モードレジスタ3(0375₁₆番地)によってf1の2サイクルから8サイクルまで選択することができます。遅延回路選択条件を表1.17.10に示します。

表1.17.10. 遅延回路選択条件

	レジスタ値			内 容
	IICM	SDDS	DL	
デジタル遅延選択	1	1	001 111	デジタル遅延が付加されます。
遅延なし	0	0	(000)	IICM=“0”の時遅延回路は選択されません。ただし、IICM=“0”の時は必ずSDDS=“0”にしてください。

ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ(0377₁₆番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(037F₁₆番地、037E₁₆番地)のビット11に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち上がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377₁₆番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”に設定すると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

UART2特殊モードレジスタ

次に、その他の追加された機能について説明します。その動作を図1.17.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりで同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

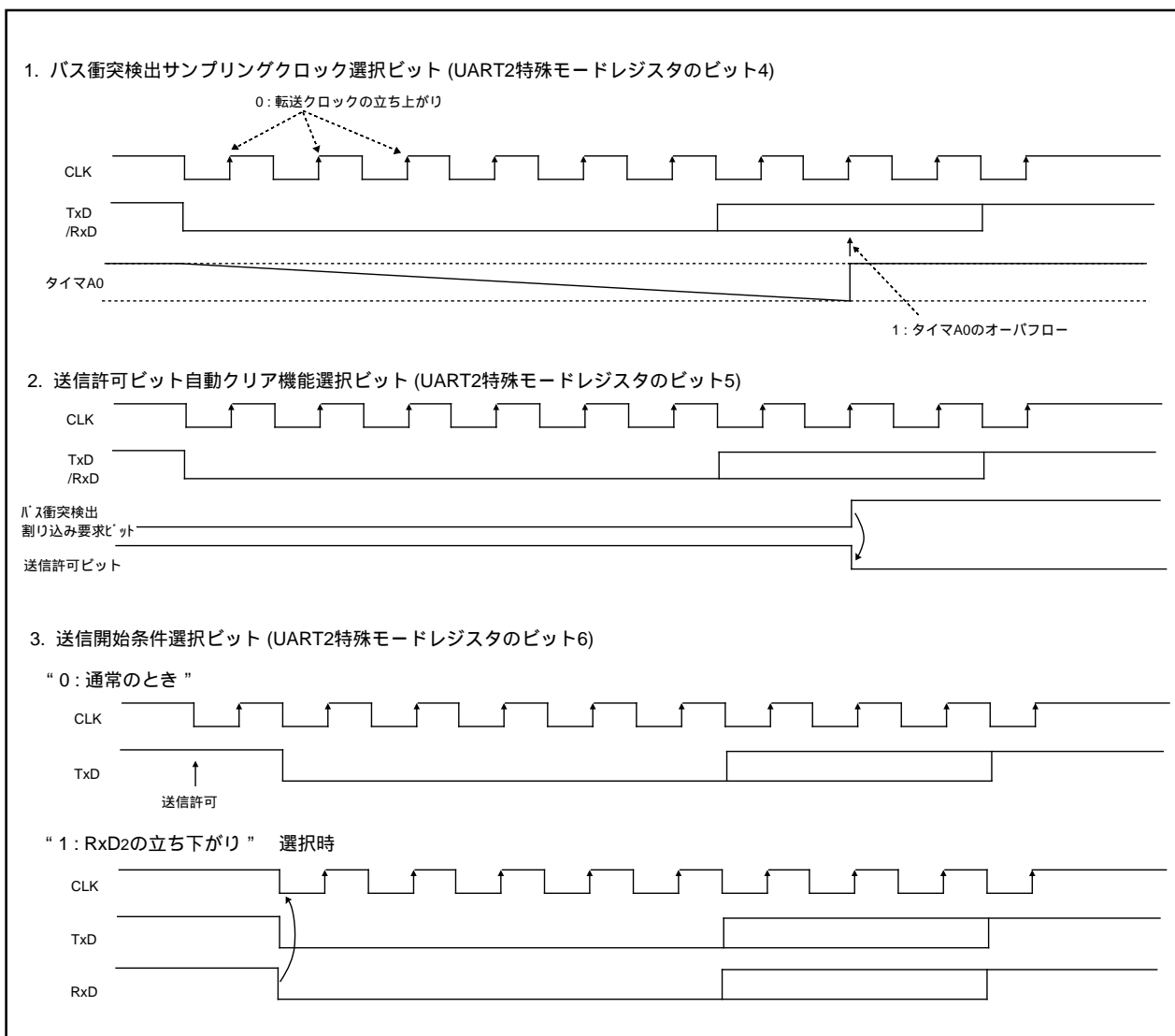


図1.17.28. その他の追加機能

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図1.17.29に示します。

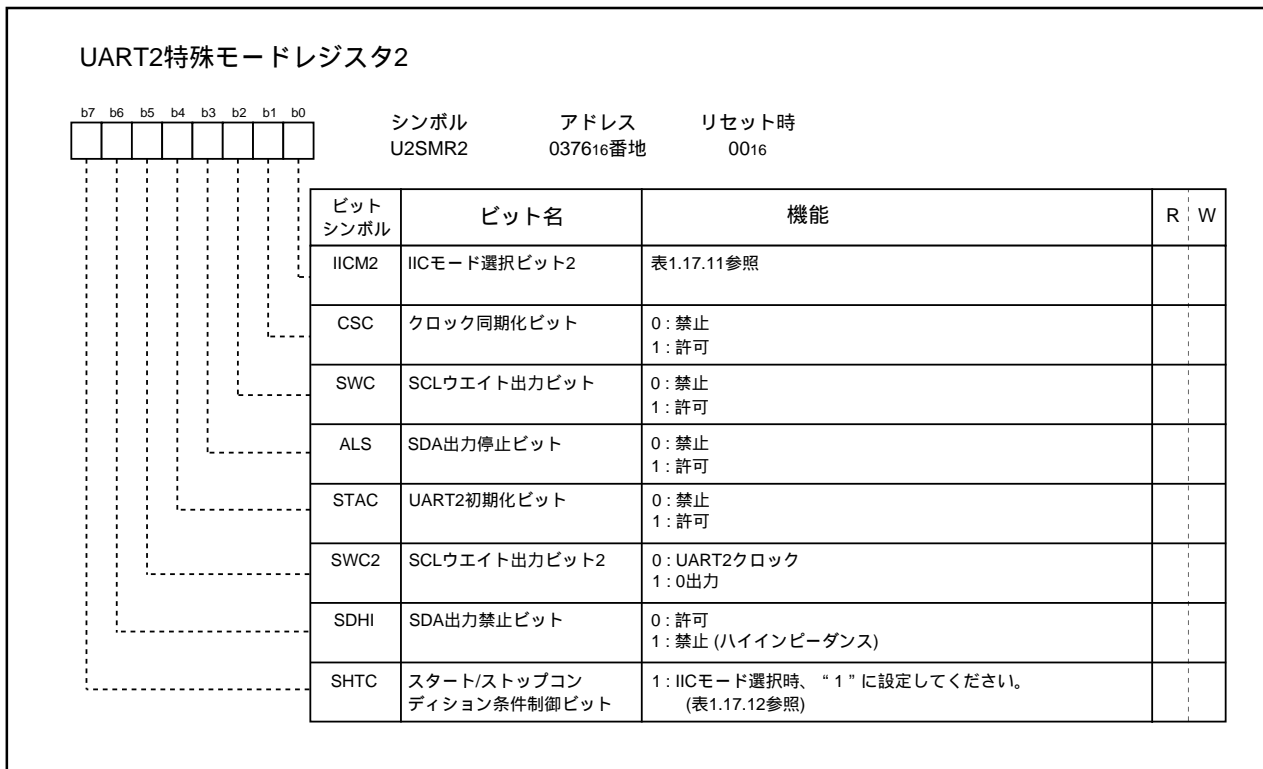


図1.17.29. UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表1.17.11に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表1.17.12に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は“1”に設定してください。

表1.17.11. IICモード選択ビット2によって変更される各機能

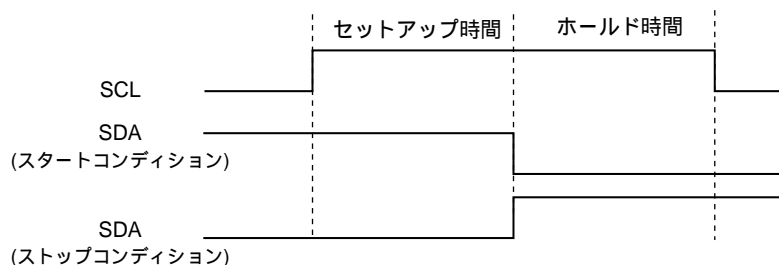
	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要求要因選択ビット= "1101"時のDMA1要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表1.17.12. スタート/ストップコンディション検出タイミング特性(注1)

3~6サイクル < セットアップ時間 (注2)
3~6サイクル < ホールド時間 (注2)

注1. スタート/ストップコンディション条件制御ビットSHTC=“1”の場合。

注2. サイクル数はメインクロック入力発振周波数(f_{XIN})のサイクル数を示します。



UART2特殊モードレジスタ2

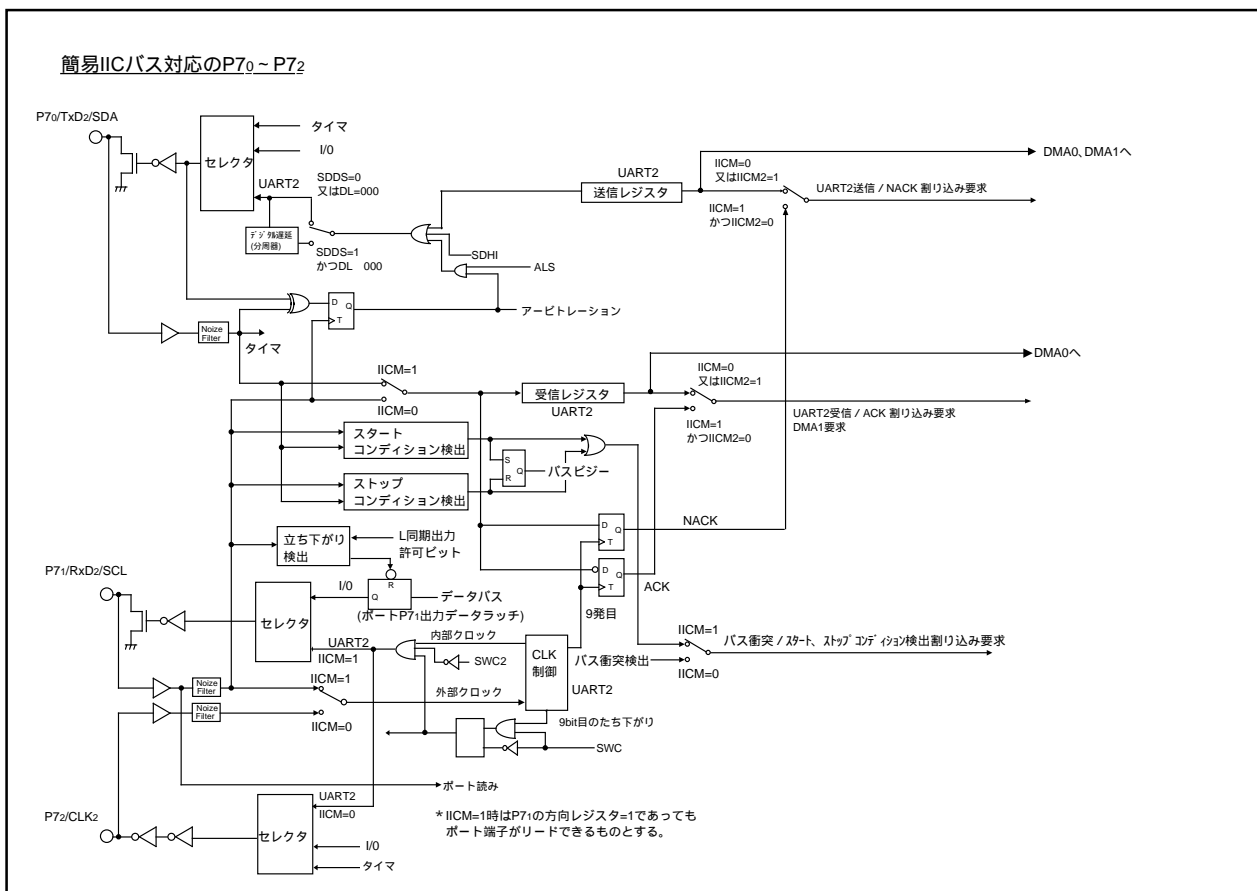


図1.17.30. IICモード機能ブロック図

IICモードの機能を図1.17.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(0376₁₆番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(0376₁₆番地)のビット1はクロック同期化ビットです。このビットを“1”に設定すると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ポーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればポーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がり時SCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

- (1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- (2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- (3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりではSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376₁₆番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

S I/O3, 4

S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

図1.17.31にS I/O3, 4のブロック図を、図1.17.32にS I/O3, 4関連のレジスタを示します。

表1.17.13にS I/O3, 4の仕様を示します。

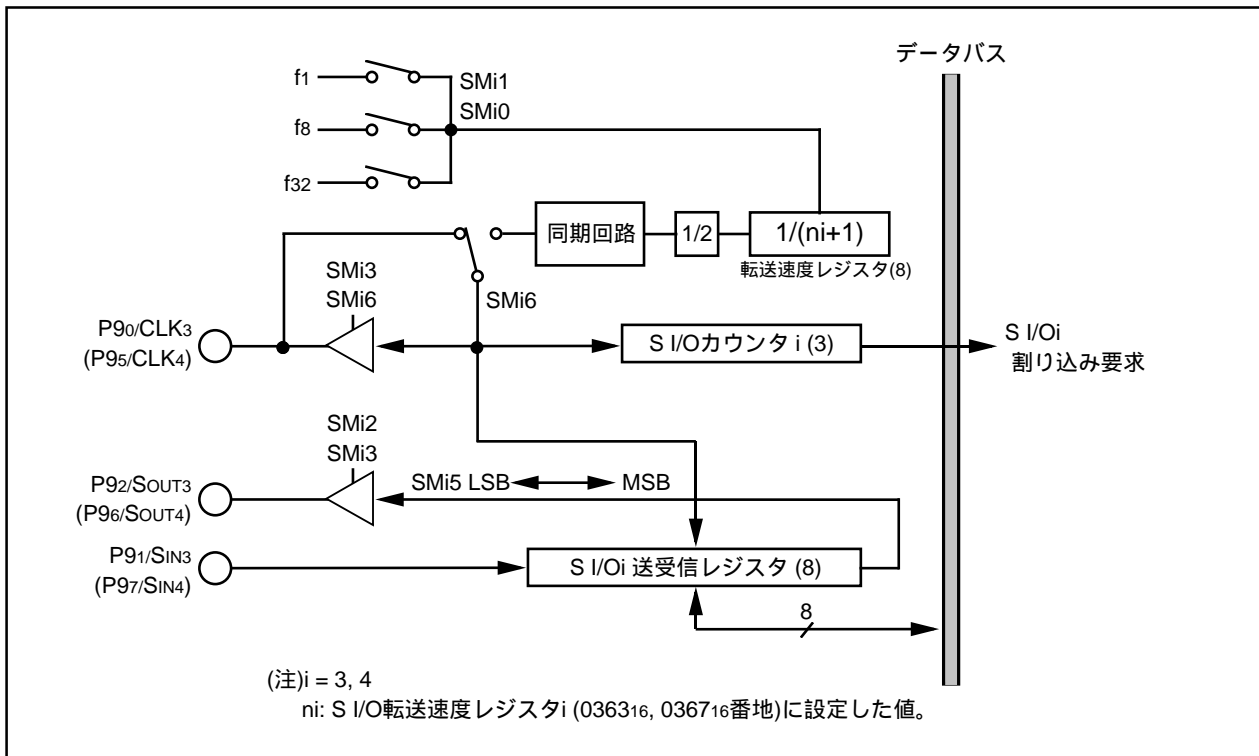
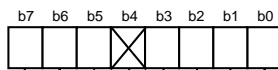


図1.17.31. S I/O3, 4ブロック図

S I/Oi 制御レジスタ (i = 3, 4) (注1)

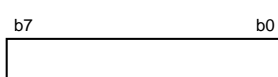


シンボル アドレス リセット時
SiC 0362₁₆, 0366₁₆番地 40₁₆

ビット シンボル	ビット名	機 能	R W
SMi0	内部同期クロック選択ビット	b ₁ b ₀ 00: f ₁ を選択 01: f ₈ を選択 10: f ₃₂ を選択 11: 設定しないでください	
SMi1			
SMi2	Souti 出力禁止ビット	0: Souti出力 1: Souti出力禁止(ハイインピーダンス)	
SMi3	S I/Oiポート選択 ビット(注2)	0: 入出力ポート 1: Souti出力、CLK機能	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			— —
SMi5	転送方向選択ビット	0: LSBファースト 1: MSBファースト	
SMi6	同期クロック選択 ビット(注2)	0: 外部クロック 1: 内部クロック	
SMi7	Souti 初期値設定ビット	SMi3=0 時に有効 0: L出力 1: H出力	

- 注1. S I/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ(000A₁₆番地)のビット2を“1”にしてから行ってください。
注2. S I/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

S I/Oi転送速度レジスタ(注1、注2)

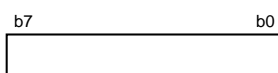


シンボル アドレス リセット時
S3BRG 0363₁₆番地 不定
S4BRG 0367₁₆番地 不定

機 能	設定可能値	R W
設定値を n とすると、BRGiはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	x x

- 注1. 値を書き込む場合は送受信停止中に書き込んでください。
注2. このレジスタへの書き込みにはMOV命令を使用してください。

S I/Oi送受信レジスタ(注1)



シンボル アドレス リセット時
S3TRR 0360₁₆番地 不定
S4TRR 0364₁₆番地 不定

機 能	R W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	x x

- 注1. 値を書き込む場合は送受信停止中に書き込んでください。

図1.17.32. S I/Oi関連のレジスタ

表1.17.13. S I/O3, 4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6= "1") : f _{1/2} (n _i +1) , f _{8/2} (n _i +1) , f _{32/2} (n _i +1) (注1) 外部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6= "0") : CLK _i 端子からの入力 (注2)
送受信開始条件	送受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 同期クロックの選択。(0362₁₆、0366₁₆番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362₁₆、0366₁₆番地のビット0, 1で選択) SOUT_i初期値設定ビット設定。(0362₁₆、0366₁₆番地のビット7で設定) S I/O_iポート選択ビット(0362₁₆、0366₁₆番地のビット3)="1" 転送方向選択ビット設定(0362₁₆、0366₁₆番地のビット5で設定) S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への転送データ書き込み 更に、S I/O _i 割り込みを使用する場合、次の条件も必要です。 <ul style="list-style-type: none"> S I/O_i送受信レジスタへの転送データ書き込みの前に、S I/O_i割り込み要求ビットクリア(0049₁₆、0048₁₆番地のビット3)="0"
割り込み要求発生タイミング	最後の転送クロックの立ち上がり。(注3)
選択機能	LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 SOUT _i 初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUT _i 端子出力レベルを選択できます。設定の方法は図1.17.33を参照してください。
注意事項	S I/O _i (i=3,4)は、UART0~2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込まないでください。 転送クロックとして内部クロックを選択している場合、転送終了後SOUT _i は、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1. n はS I/O_i転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。(i=3, 4)

注2. 外部クロック選択時には、

- S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への書き込みを行う際にはCLK_i端子に“H”レベルが入力されている状態で行ってください。また、S I/O_i制御レジスタ(0362₁₆、0366₁₆番地)のビット7(SOUT_i初期値設定ビット)を書き替える場合もCLK_i端子に“H”レベルが入力されている状態で行ってください。
- 同期クロックがS I/O_i回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3. 同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態では停止します。

SOUTi初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを“H”または“L”のどちらかに設定できます。SOUTi初期値設定時のタイミング図および設定方法を図1.17.33に示します。

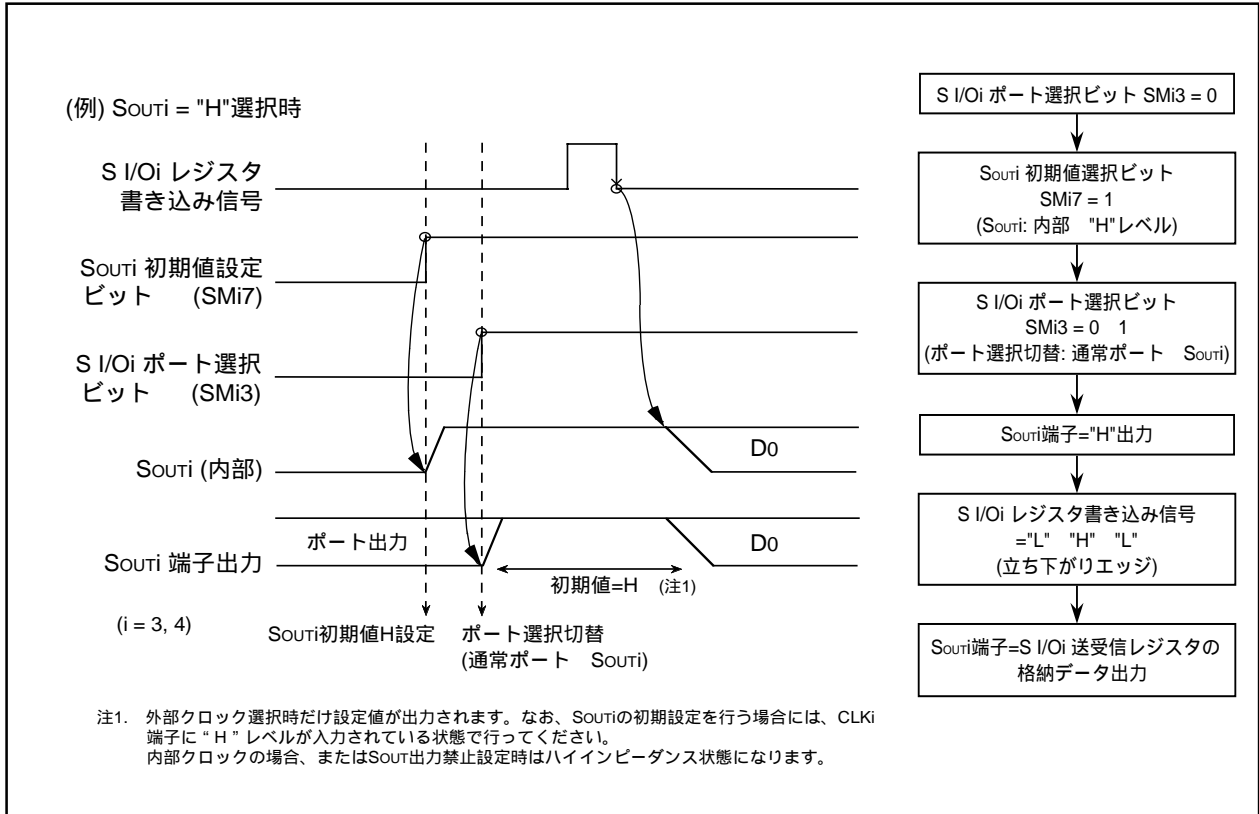


図1.17.33. SOUTi初期値設定時のタイミング図および設定方法

S I/Oi動作タイミング

S I/Oi動作タイミング図を図1.17.34に示します。

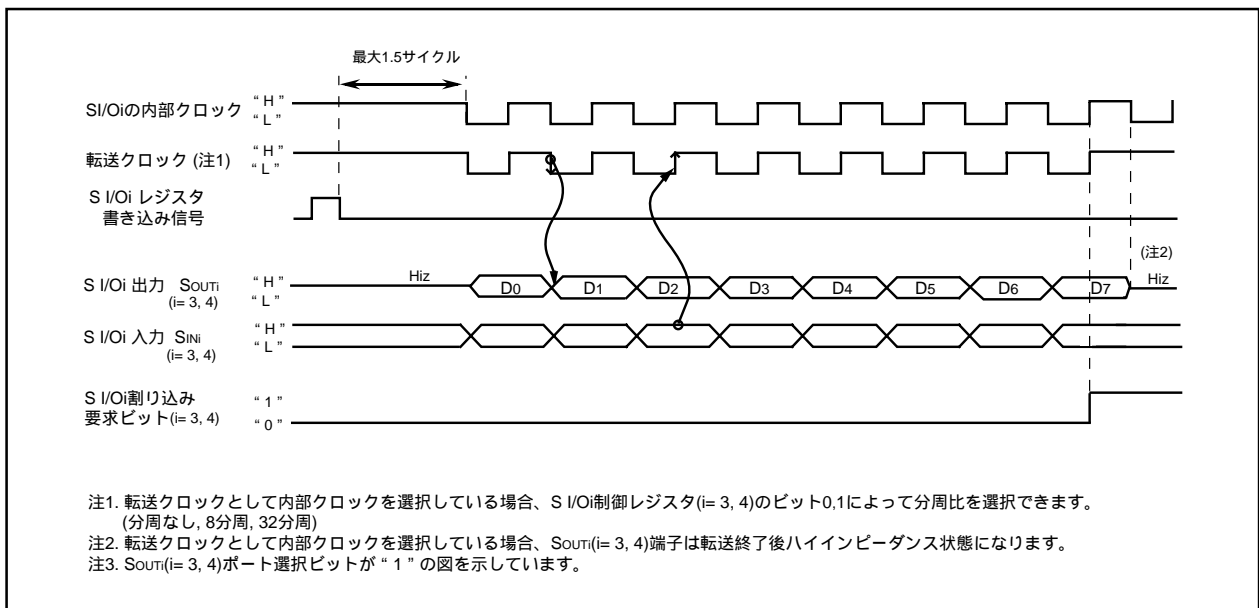


図1.17.34. S I/Oi動作タイミング図

A-D変換器

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P100～P107、P95、P96、P00～P07と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D716番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.18.1にA-D変換器の性能を、図1.18.1にA-D変換器のブロック図を、図1.18.2、図1.18.3にA-D変換器関連のレジスタを示します。

表1.18.1. A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVcc(Vcc)
動作クロック AD(注2)	Vcc=3.3Vのとき fAD/fADの2分周/fADの4分周 fAD=f(XIN)
分解能	8/10ビット選択可能
絶対精度	Vcc = 3.3Vのとき サンプル&ホールド機能なし ±5LSB サンプル&ホールド機能あり(分解能8ビット) ±2LSB サンプル&ホールド機能あり(分解能10ビット) AN0～AN7入力の場合 ±5LSB ANEX0, ANEX1入力の場合(外部オペアンプ接続モードを含む) ±7LSB AN00～AN07入力の場合 ±7LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7) + 2本(ANEX0, ANEX1) + 8本(AN00～AN07)
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつADTRG/P97入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(XIN)が10MHzを超える場合はfADを分周し、ADの周波数を10MHz以下にしてください。また、Vccが3.0V未満の場合もfADを分周し、ADの周波数がfAD/2以下になるようにしてください。
 サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。
 サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

A-D変換器

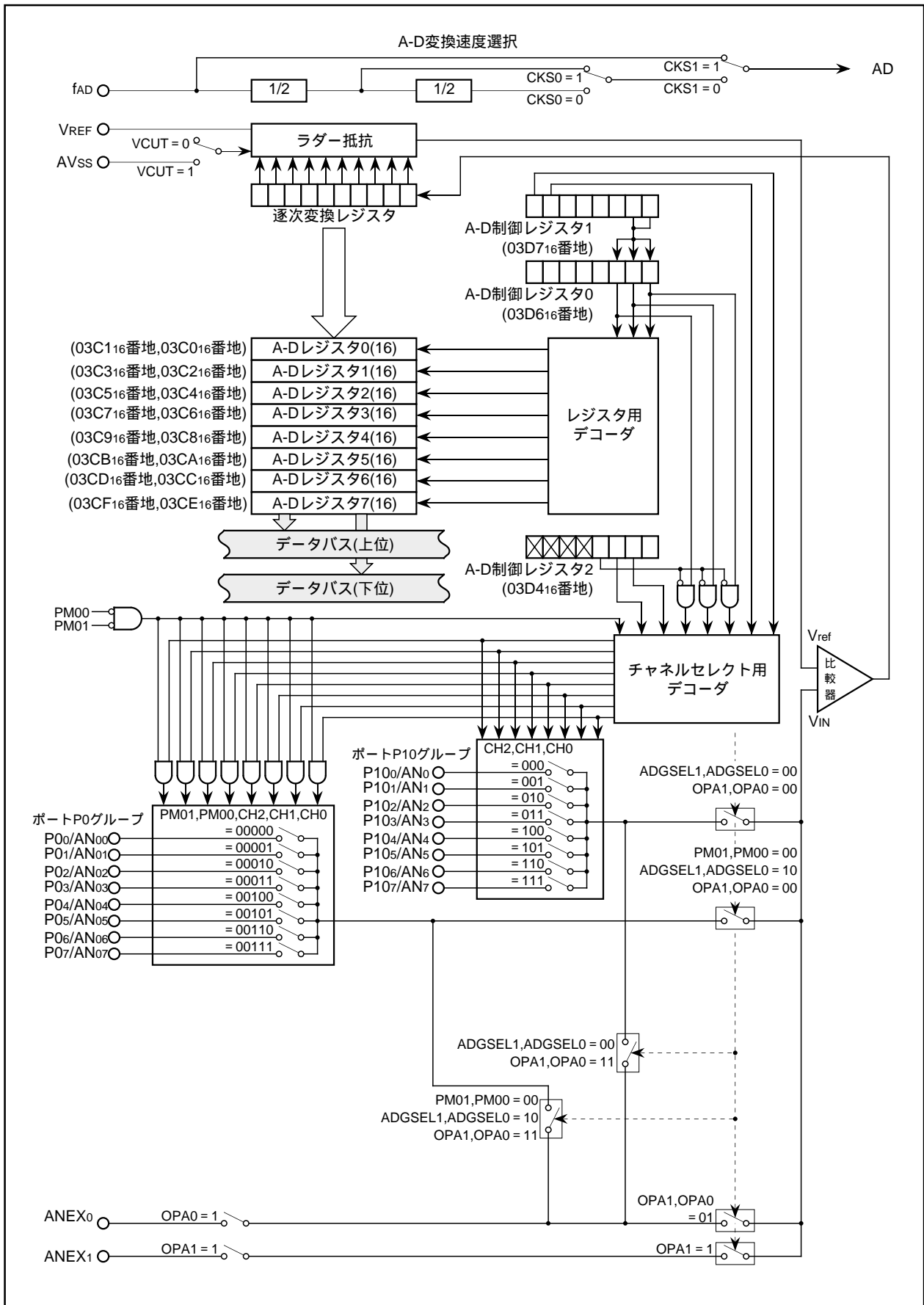
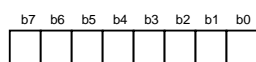


図1.18.1. A-D変換器のブロック図

A-D変換器

A-D制御レジスタ0(注1)

シンボル
ADCON0アドレス
03D7₁₆番地リセット時
00000XXX₂

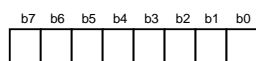
ビットシンボル	ビット名	機能	R/W
CH0	アナログ入力端子選択ビット	^{b2 b1 b0} 0 0 0 : AN ₀ を選択 0 0 1 : AN ₁ を選択 0 1 0 : AN ₂ を選択 0 1 1 : AN ₃ を選択 1 0 0 : AN ₄ を選択 1 0 1 : AN ₅ を選択 1 1 0 : AN ₆ を選択 (注2) 1 1 1 : AN ₇ を選択 (注3)	
CH1			
CH2			
MD0	A-D動作モード選択ビット0	^{b4 b3} 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 (注3) 繰り返し掃引モード1	
MD1			
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	
CKS0	周波数選択ビット0	0 : f _{AD} /4を選択 1 : f _{AD} /2を選択	

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇を使用できます。

注3. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

シンボル
ADCON1アドレス
03D7₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機能	R/W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 ^{b1 b0} 0 0 : AN ₀ , AN ₁ (2端子) 0 1 : AN ₀ - AN ₃ (4端子) 1 0 : AN ₀ - AN ₅ (6端子) 1 1 : AN ₀ - AN ₇ (8端子)	
SCAN1			繰り返し掃引モード1選択時 ^{b1 b0} 0 0 : AN ₀ (1端子) 0 1 : AN ₀ , AN ₁ (2端子) 1 0 : AN ₀ - AN ₂ (3端子) 1 1 : AN ₀ - AN ₃ (4端子) (注2)
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	
CKS1	周波数選択ビット1	0 : f _{AD} /2または f _{AD} /4を選択 1 : f _{AD} を選択	
VCUT	V _{ref} 接続ビット	0 : V _{ref} 未接続 1 : V _{ref} 接続	
OPA0	外部オペアンプ接続 モードビット	^{b7 b6} 0 0 : ANEX ₀ , ANEX ₁ は使用しない 0 1 : ANEX ₀ 入力をAD変換 1 0 : ANEX ₁ 入力をAD変換 1 1 : 外部オペアンプ接続モード	
OPA1			

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇を使用できます。

図1.18.2. A-D変換器関連レジスタ(1)

A-D変換器

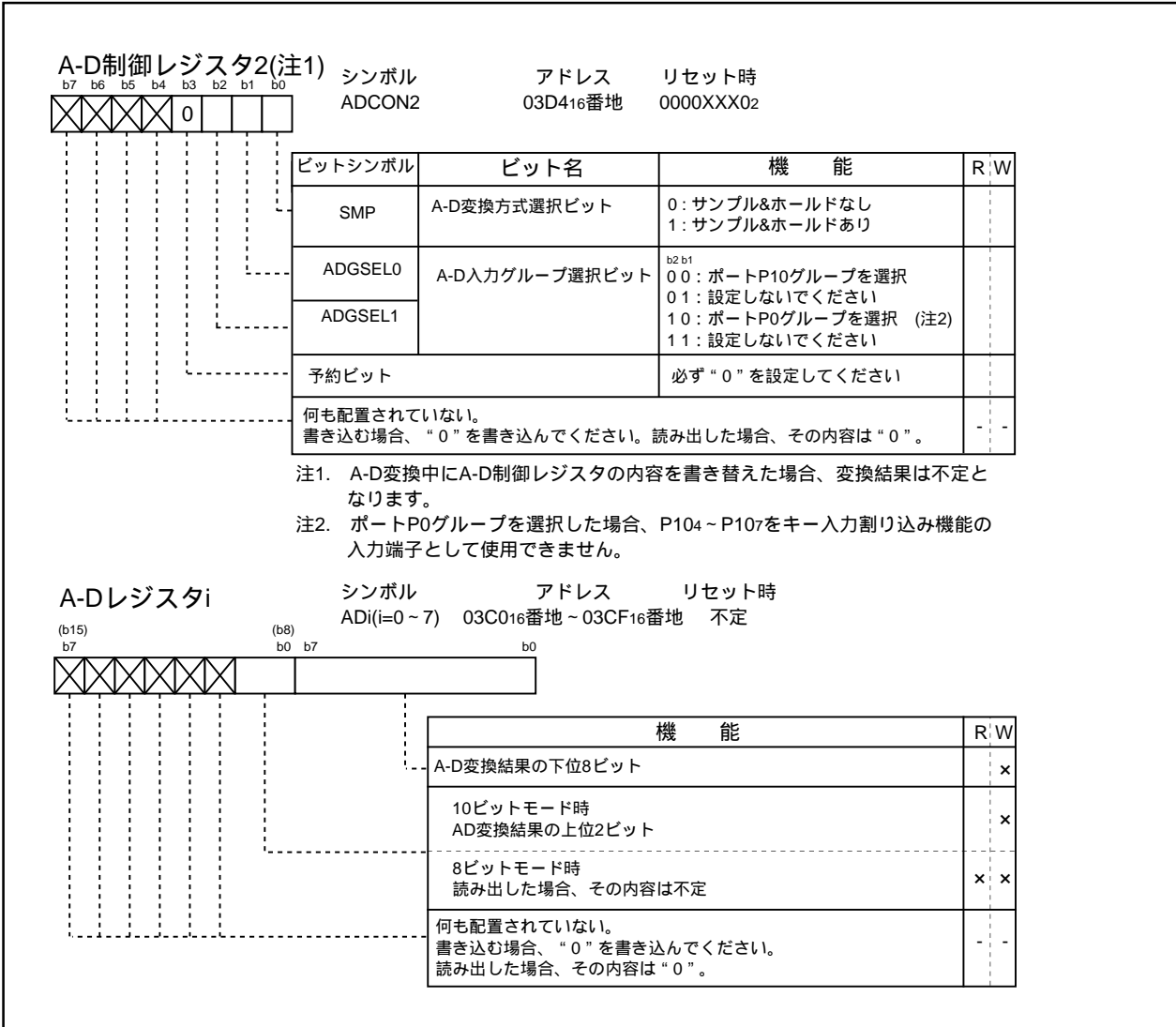


図1.18.3. A-D変換器関連レジスタ(2)

A-D変換器

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.18.2に単発モードの仕様、図1.18.4に単発モード時のA-D制御レジスタ構成を示します。

表1.18.2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN0 ~ AN7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. AN0 ~ AN7と同様にAN00 ~ AN07を使用できます。

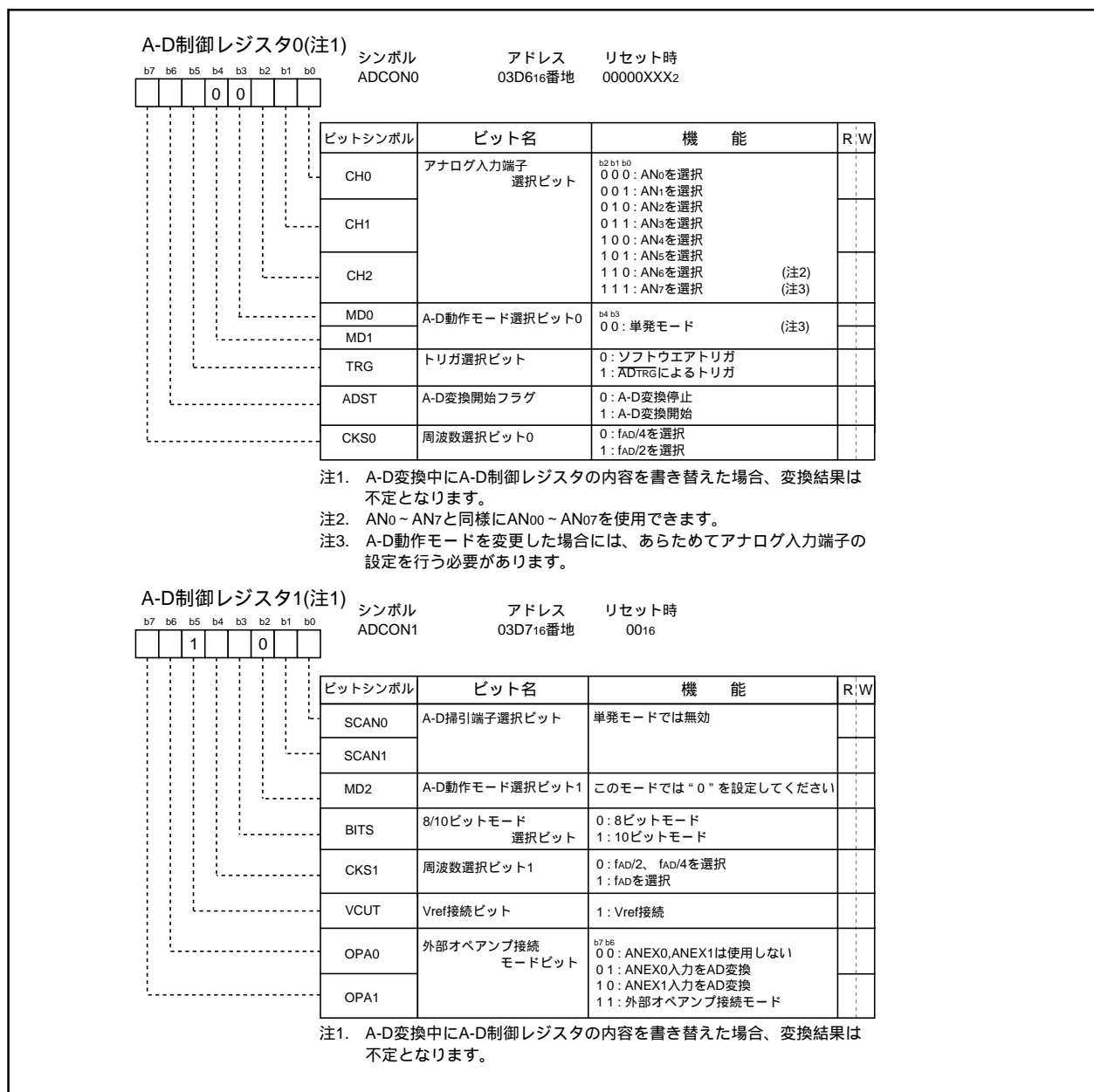


図1.18.4. 単発モード時のA-D制御レジスタ

A-D変換器

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.18.3に繰り返しモードの仕様、図1.18.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.18.3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0 ~ AN7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN0 ~ AN7と同様にAN00 ~ AN07を使用できます。

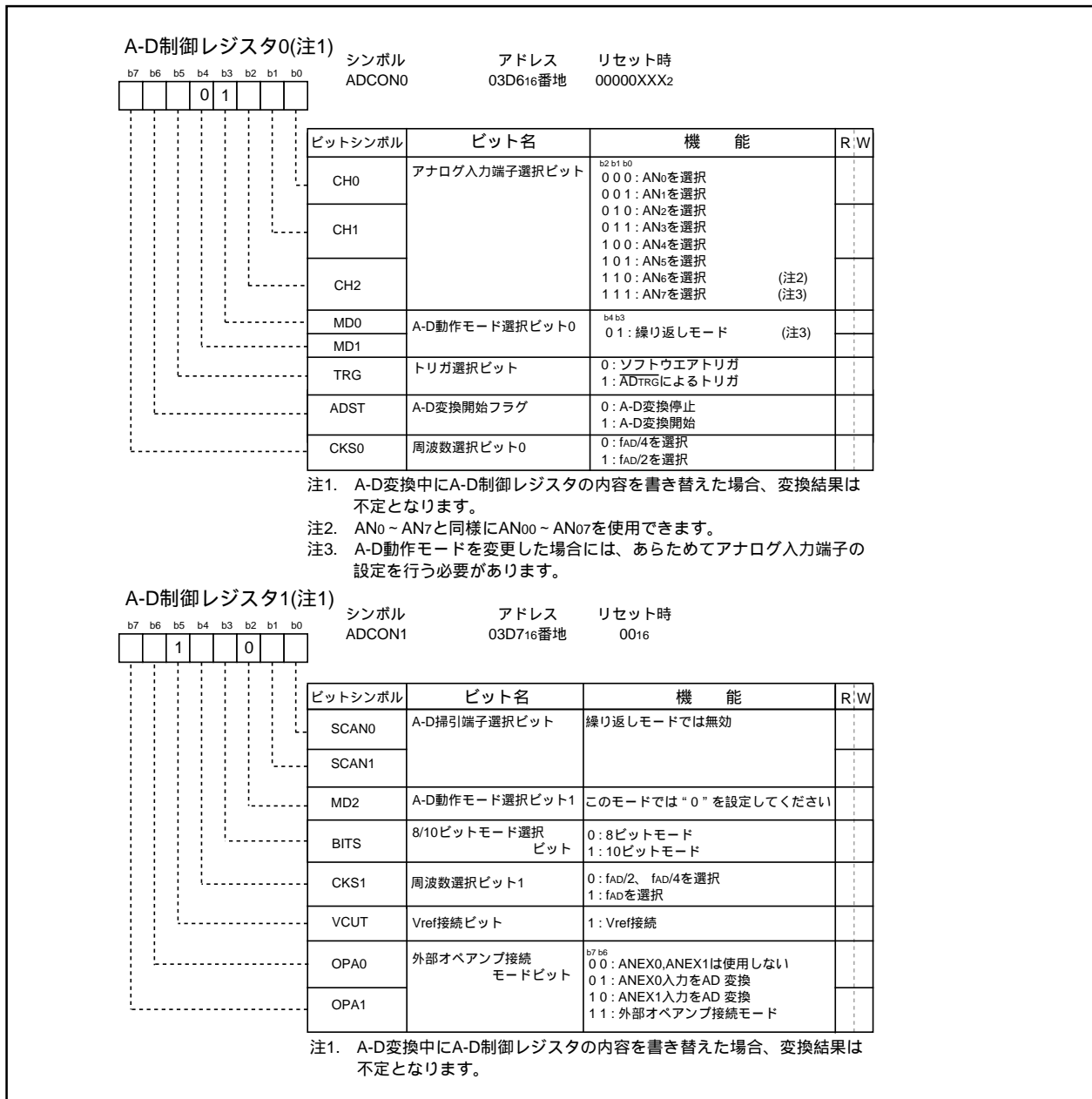


図1.18.5. 繰り返しモード時のA-D制御レジスタ

A-D変換器

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.18.4に単掃引モードの仕様、図1.18.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.18.4. 単掃引モードの仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇を使用できます。

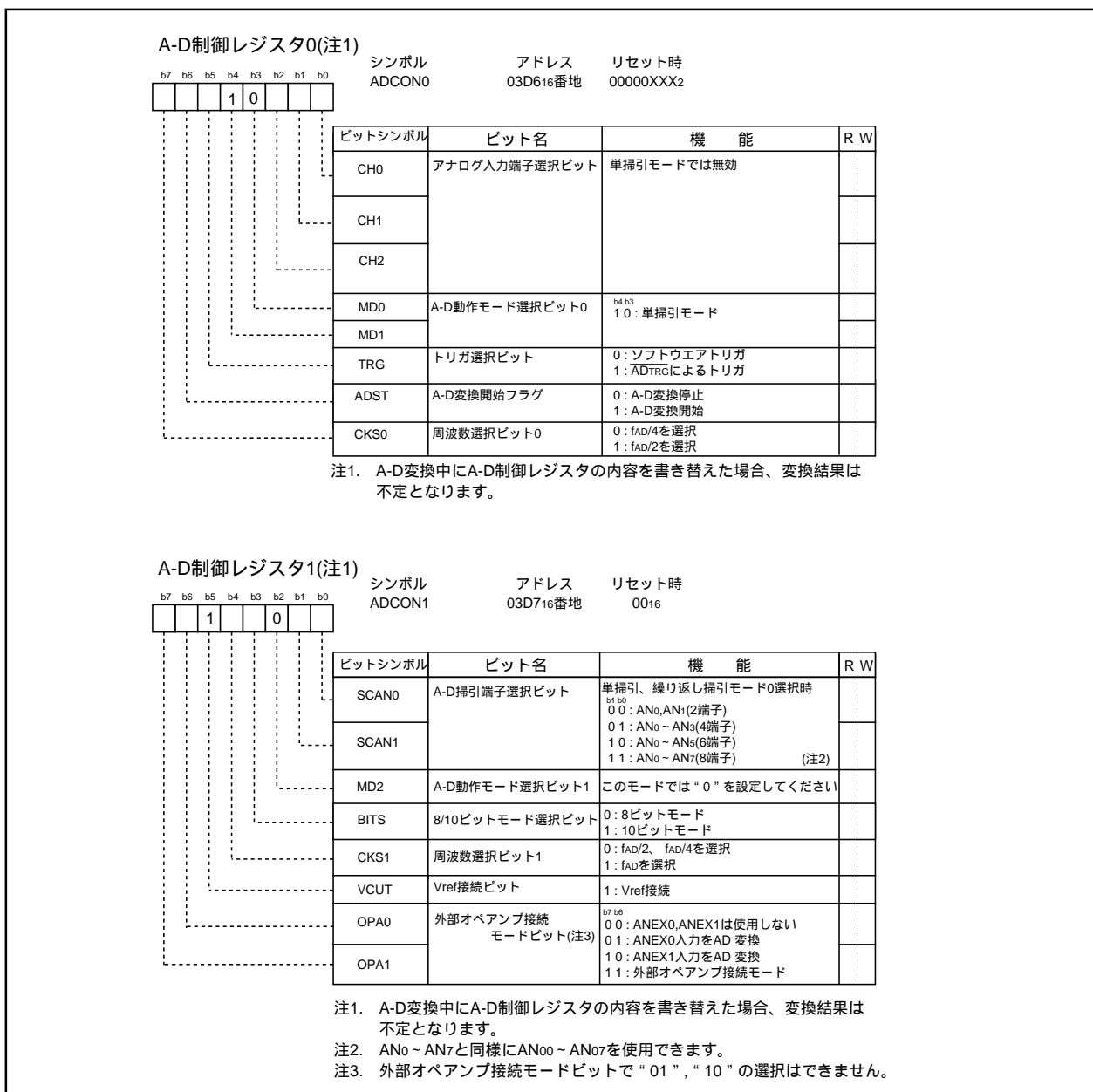


図1.18.6. 単掃引モード時のA-D制御レジスタ

A-D変換器

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.18.5に繰り返し掃引モード0の仕様、図1.18.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.18.5. 繰り返し掃引モード0の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0,AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN0~AN7と同様にAN00~AN07を使用できます。

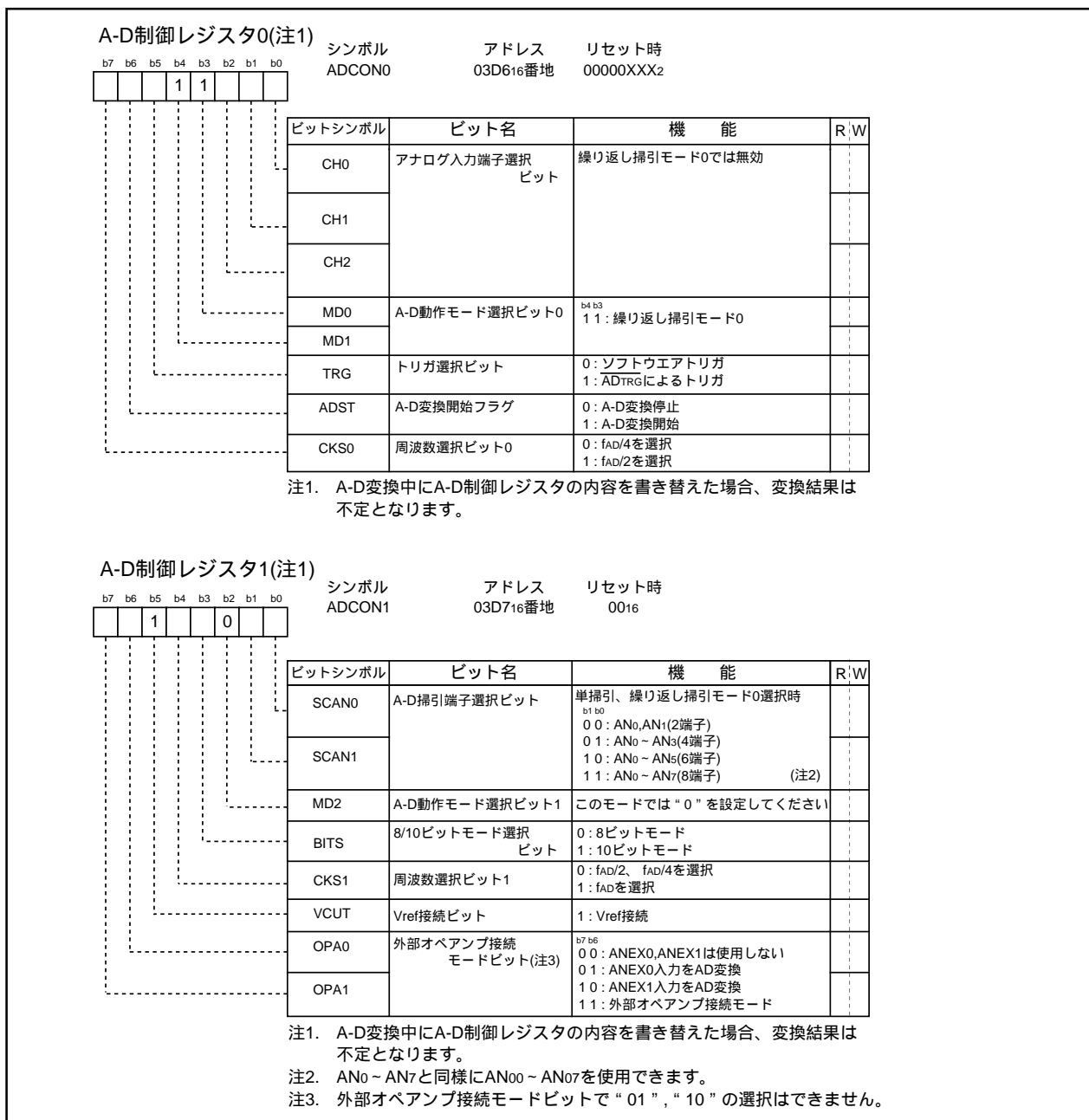


図1.18.7. 繰り返し掃引モード0時のA-D制御レジスタ

A-D変換器

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点を置いて全端子を繰り返しA-D変換するモードです。表1.18.6に繰り返し掃引モード1の仕様、図1.18.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.18.6. 繰り返し掃引モード1の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子に重点を置いて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)、AN ₀ ～AN ₂ (3端子)、AN ₀ ～AN ₃ (4端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. AN₀～AN₇と同様にAN₀₀～AN₀₇を使用できます。

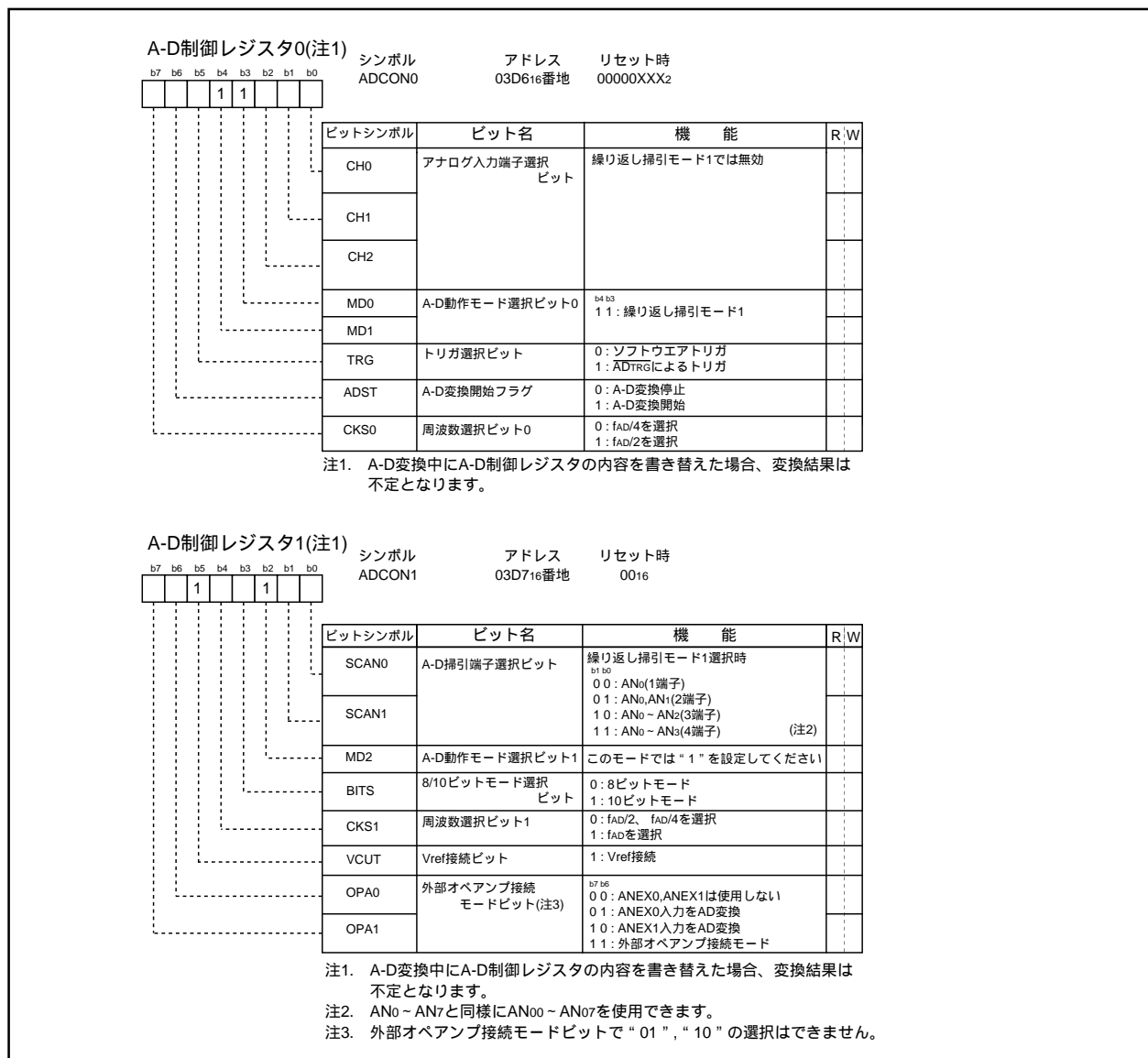


図1.18.8. 繰り返し掃引モード1時のA-D制御レジスタ

A-D変換器

サンプル&ホールド

A-D制御レジスタ2(03D416番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

また、拡張アナログ入力端子AN00 ~ AN07の8端子からの入力もA-D変換することができます。これらの端子はAN0 ~ AN7と同様に扱うことができます。

A-D制御レジスタ2(03D416番地)のビット1、ビット2でAN0 ~ AN7、AN00 ~ AN07から使用する端子グループを選択します。

外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN0 ~ AN7(注1)からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.18.9に外部オペアンプ接続モードの接続例を示します。

注1. AN0 ~ AN7と同様にAN00 ~ AN07を使用できます。

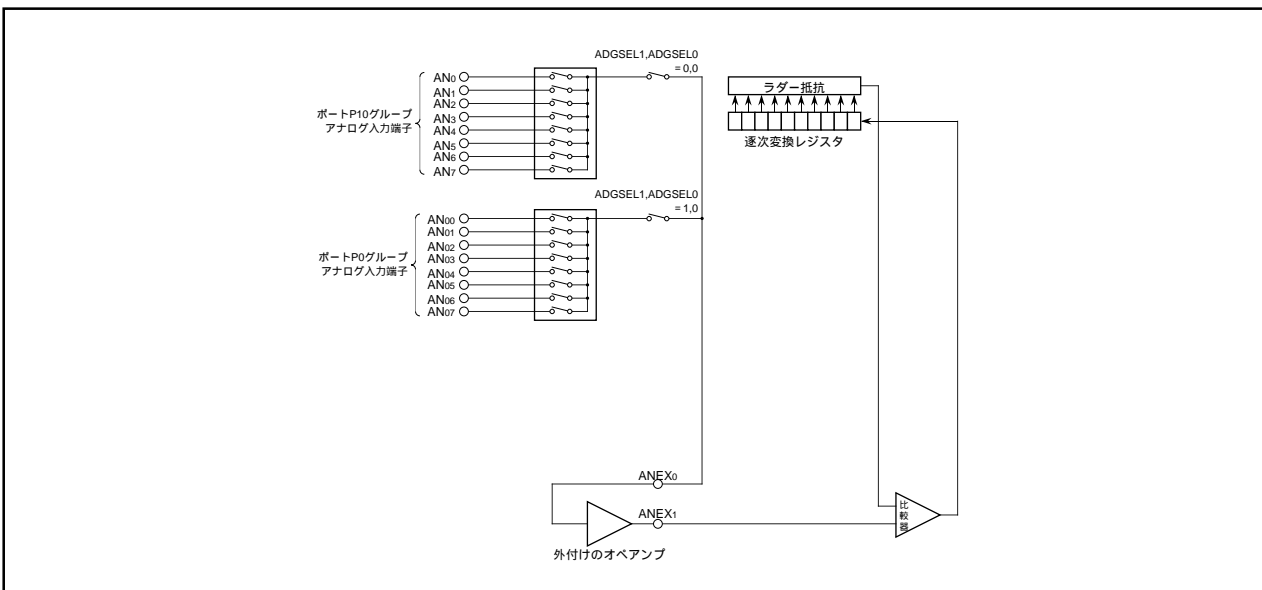


図1.18.9. 外部オペアンプ接続モードの接続例

D-A変換器

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} :基準電圧

表1.19.1にD-A変換器の性能を、図1.19.1にD-A変換器のブロック図を、図1.19.2にD-A制御レジスタの構成を、図1.19.3にD-A変換器の等価回路を示します。

表1.19.1. D-A変換器の性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

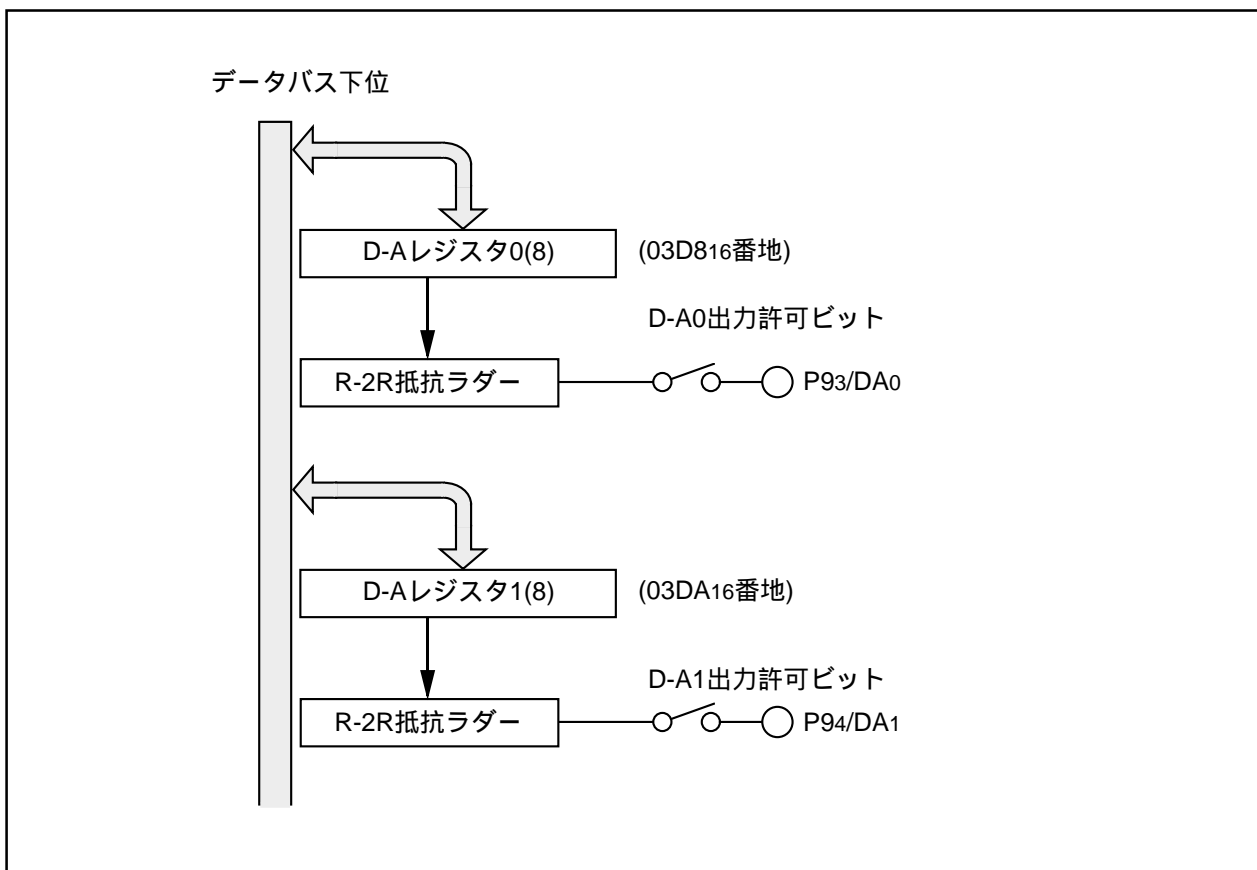


図1.19.1. D-A変換器のブロック図

D-A変換器

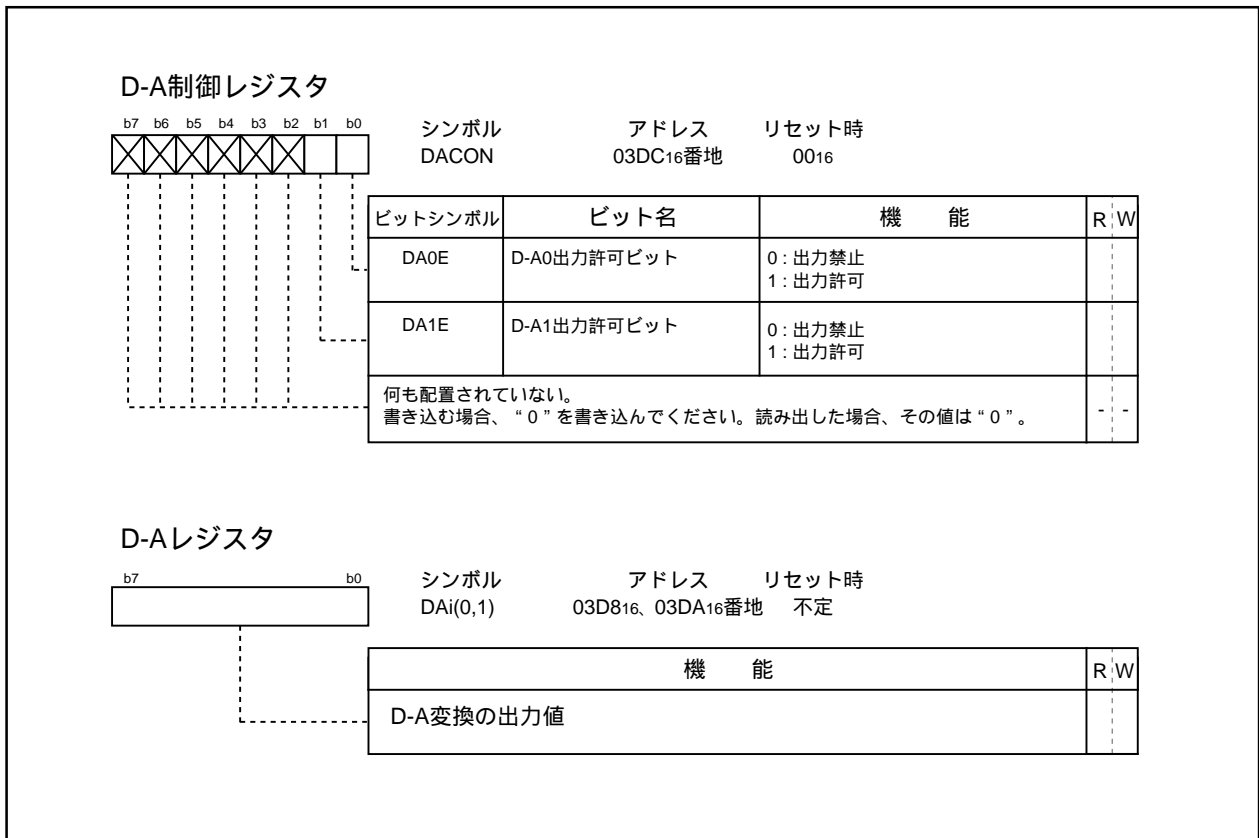


図1.19.2. D-A制御レジスタの構成

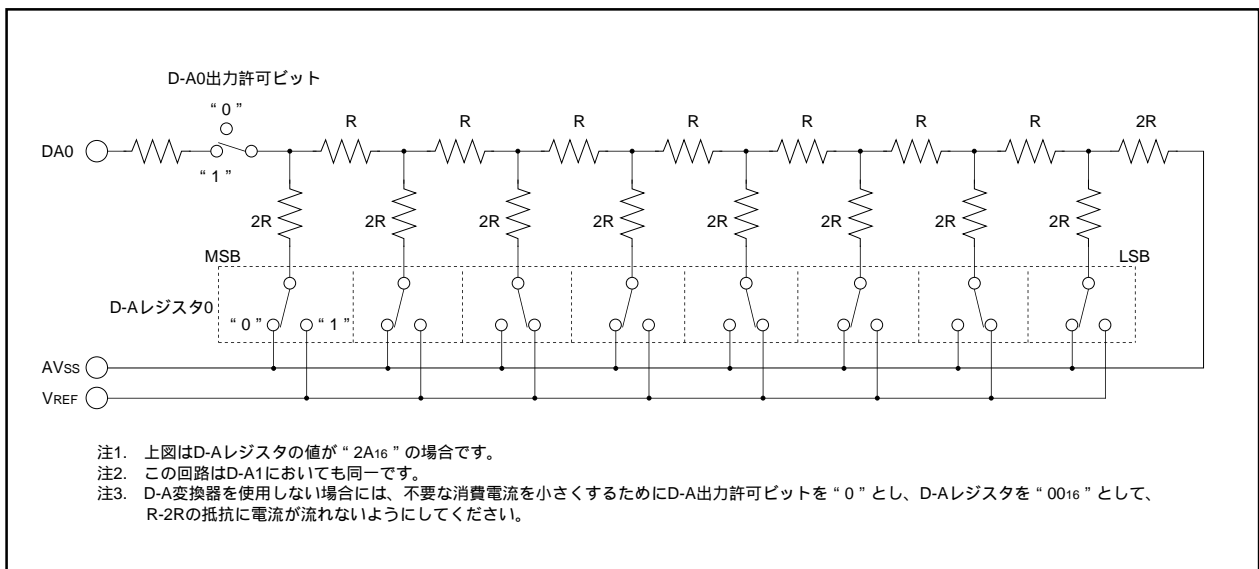


図1.19.3. D-A変換器の等価回路

CRC演算回路

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.20.1にCRCのブロック図、図1.20.2にCRCの関連レジスタを示します。また、図1.20.3にCRC演算回路の演算例を示します。

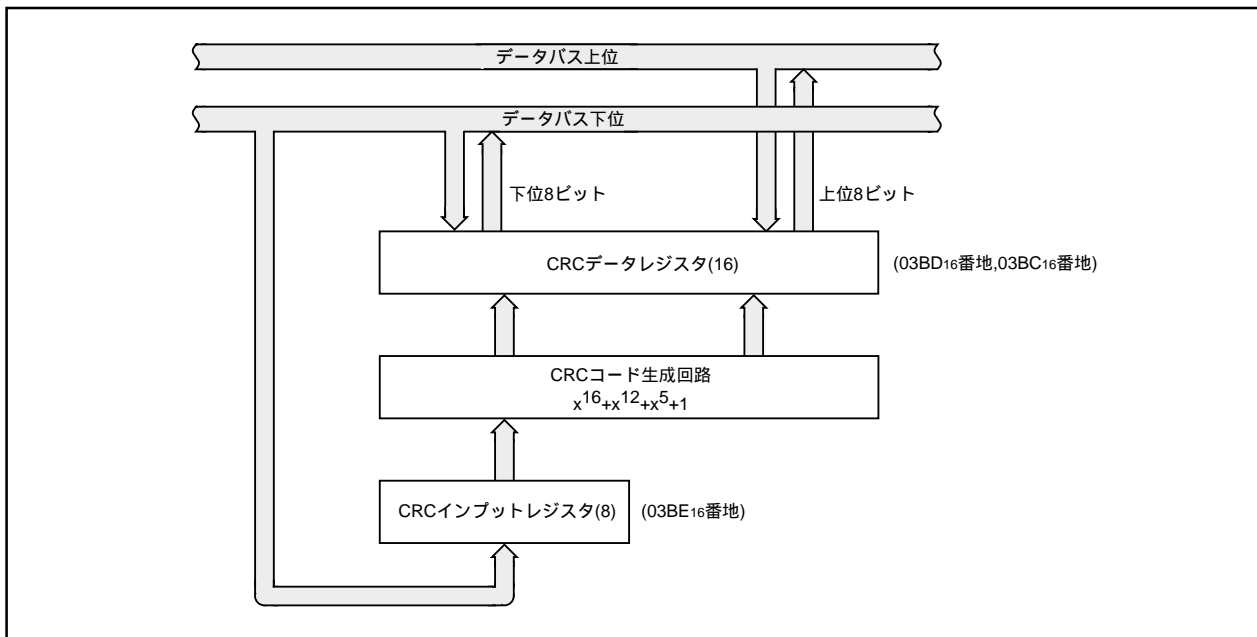


図1.20.1. CRCブロック図

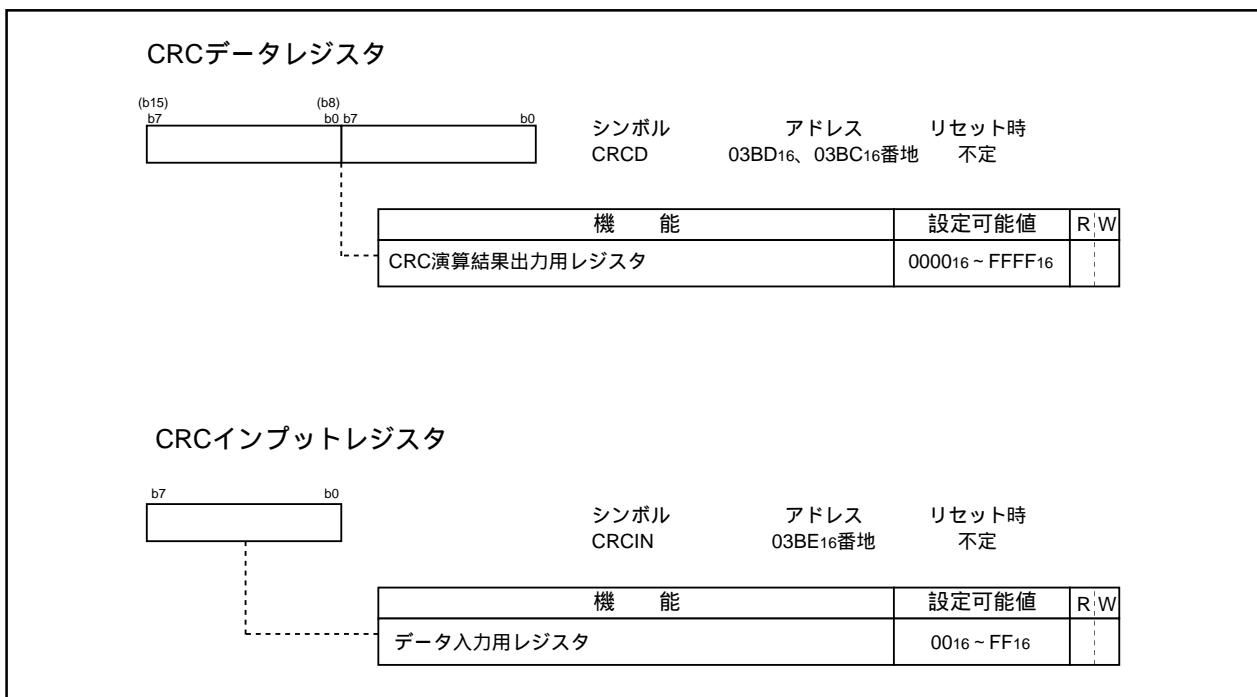


図1.20.2. CRC関連レジスタ

CRC演算回路

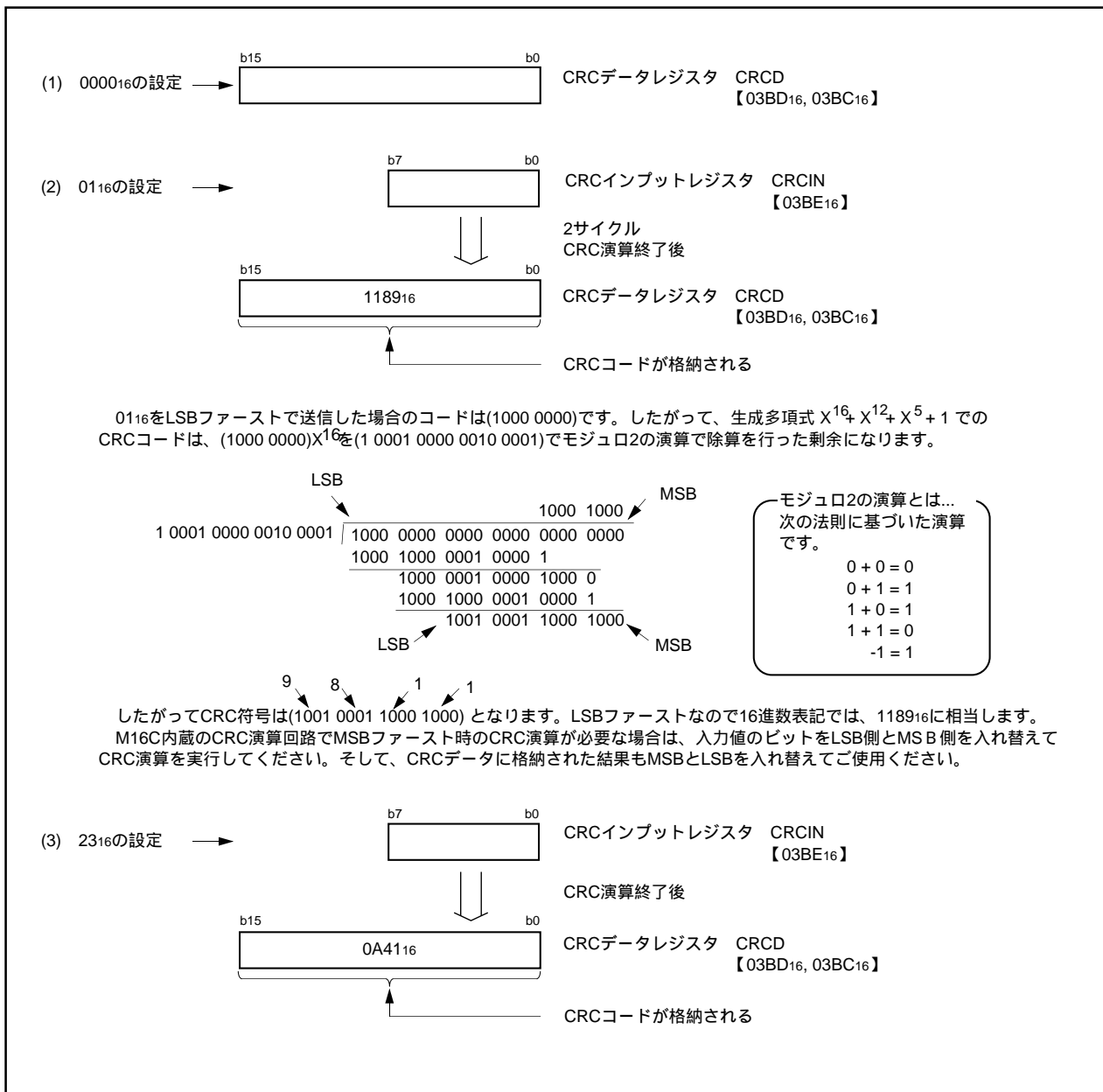


図1.20.3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図1.21.1～図1.21.4に、端子の構成を、図1.21.5に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.21.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています(注1)。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 \overline{RD} 、 \overline{WRL} / \overline{WR} 、 \overline{WRH} / \overline{BHE} 、ALE、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、BCLKに設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.21.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポータラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 \overline{RD} 、 \overline{WRL} / \overline{WR} 、 \overline{WRH} / \overline{BHE} 、ALE、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、BCLKに設定している端子のポートレジスタの内容は変更できません。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.21.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

(4) ポート制御レジスタ

ポート制御レジスタの構成を、図1.21.9に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下のようになります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。

ポート

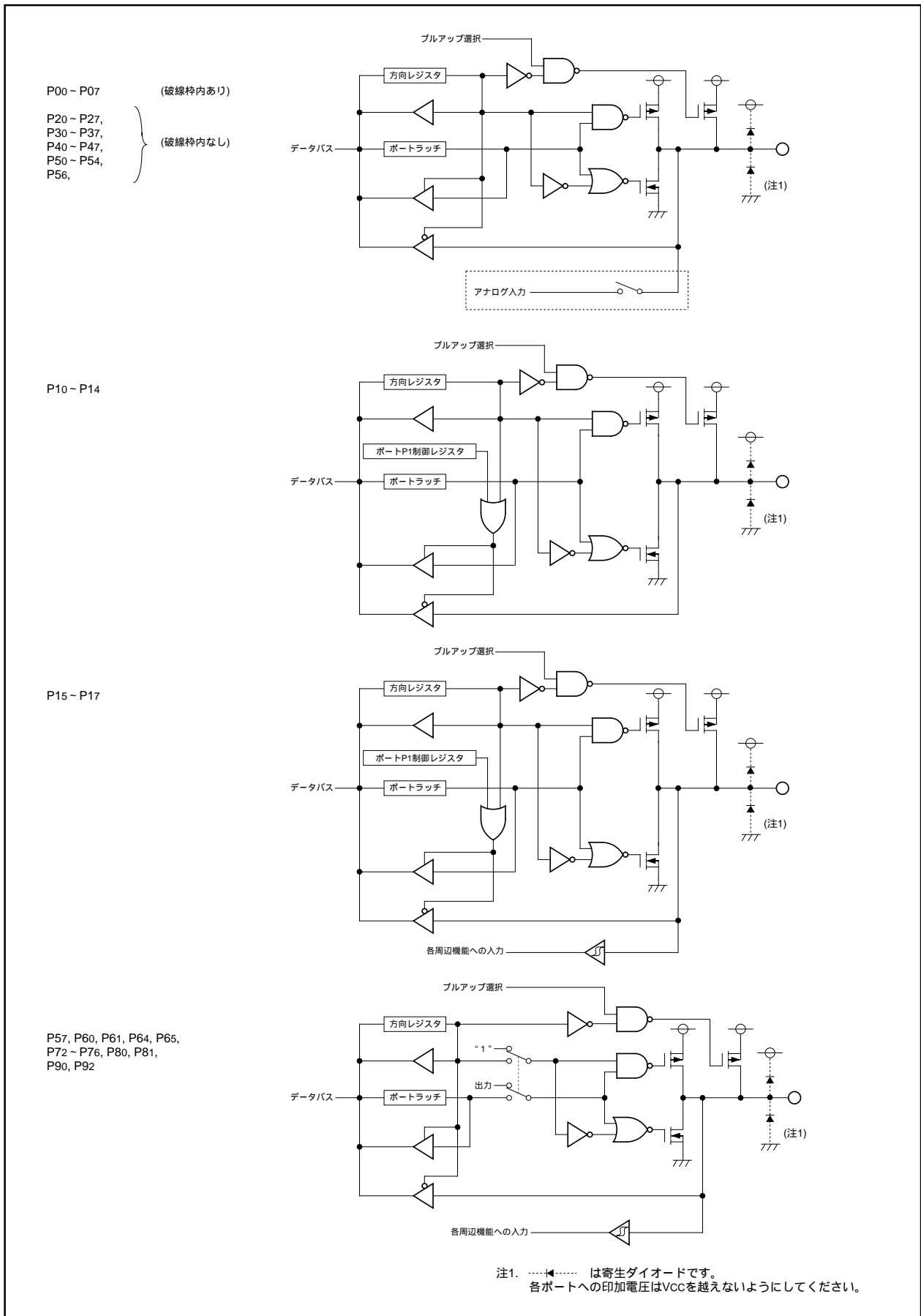


図1.21.1. プログラマブル入出力ポートの構成(1)

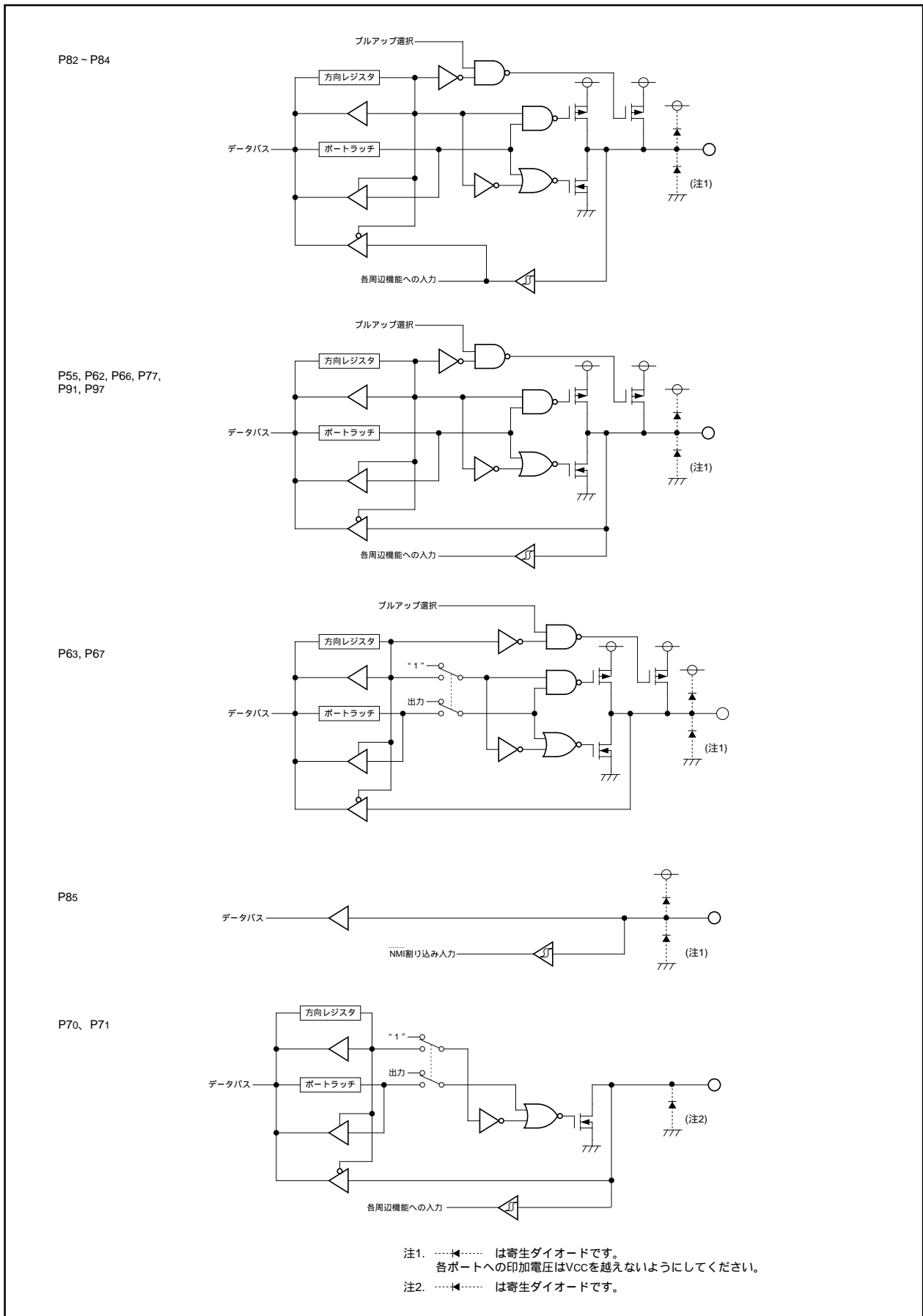


図1.21.2. プログラマブル入出力ポートの構成(2)

ポート

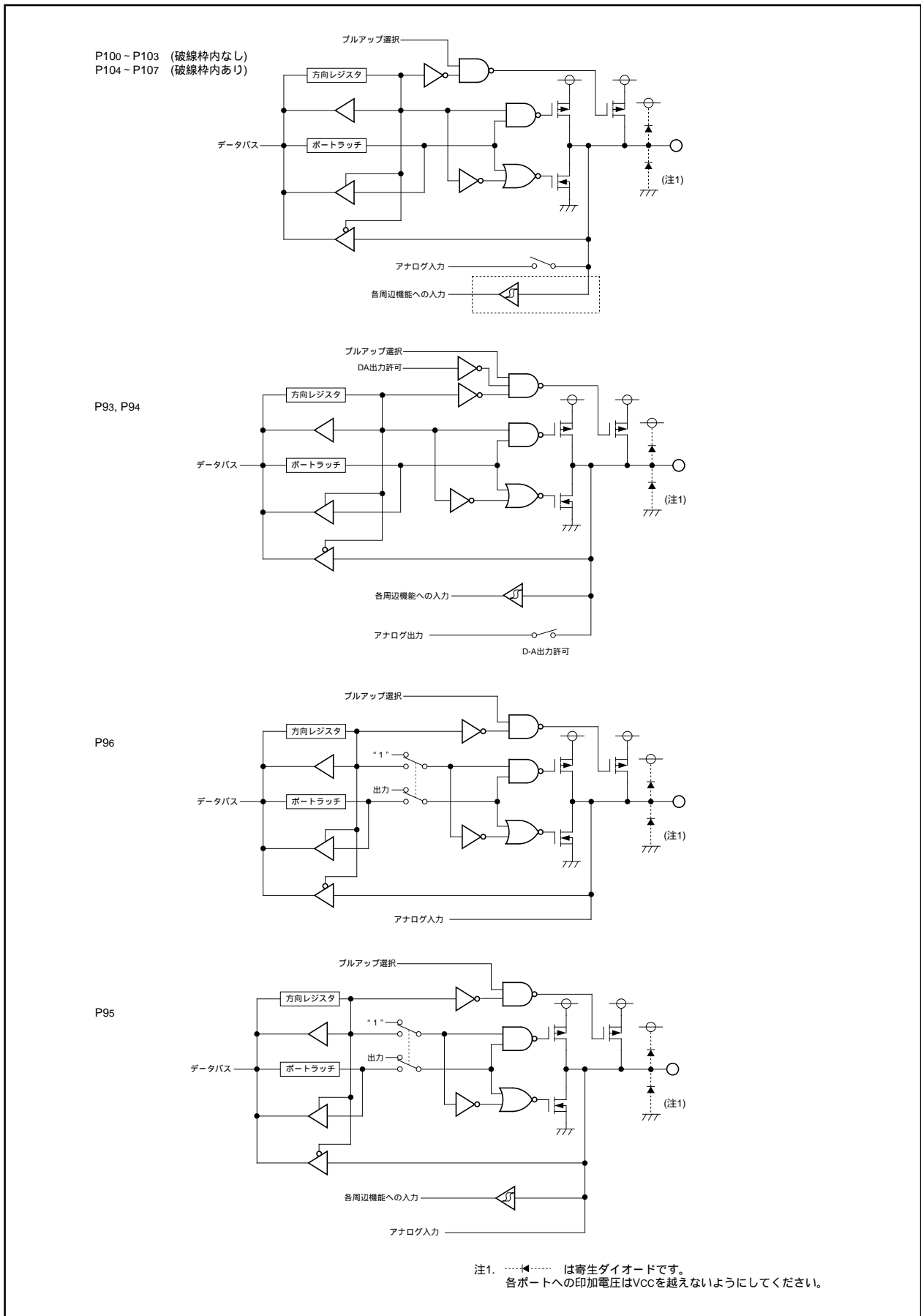


図1.21.3. プログラマブル入出力ポートの構成(3)

ポート

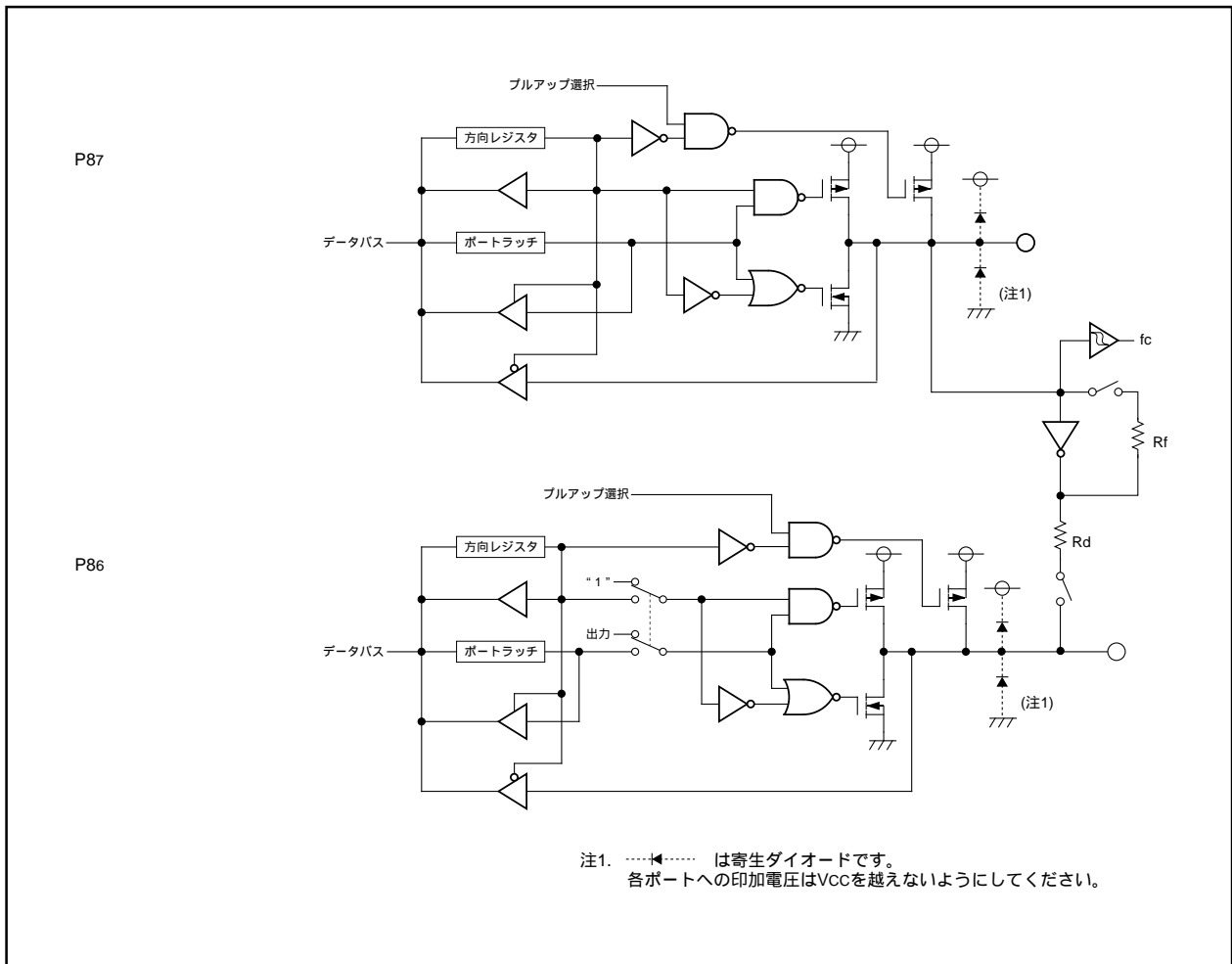


図1.21.4. プログラマブル入出力ポートの構成(4)

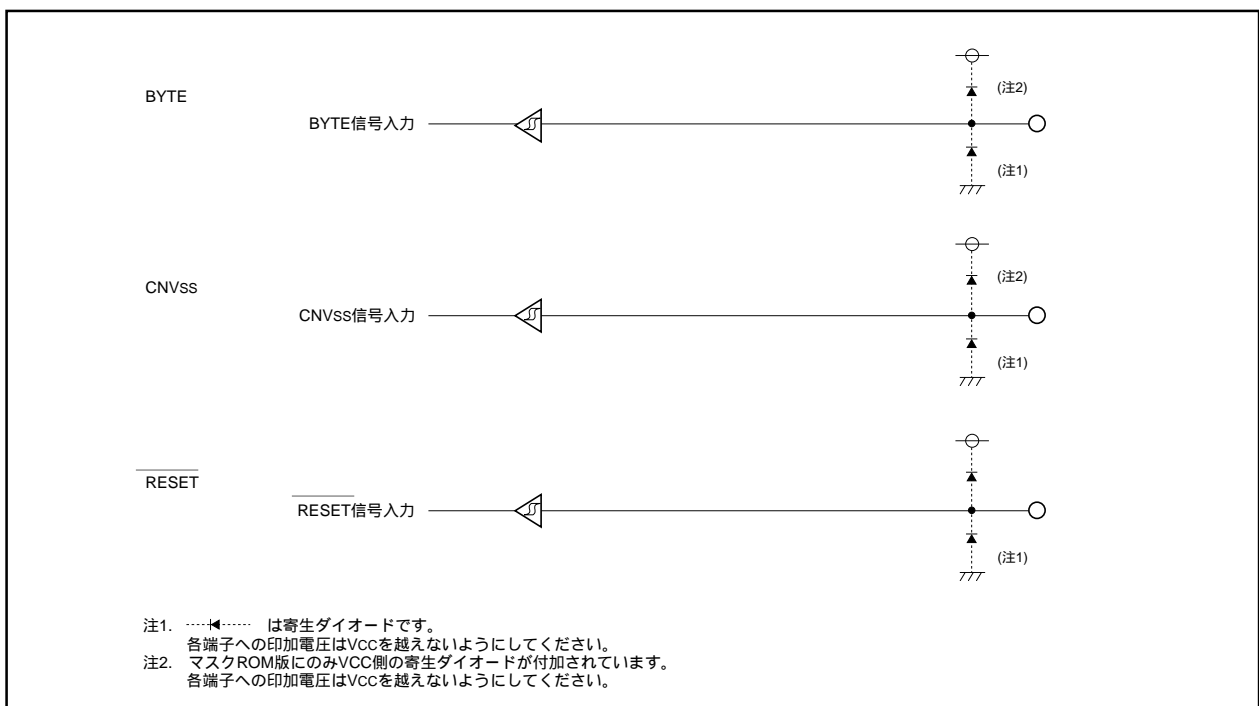


図1.21.5. 端子の構成

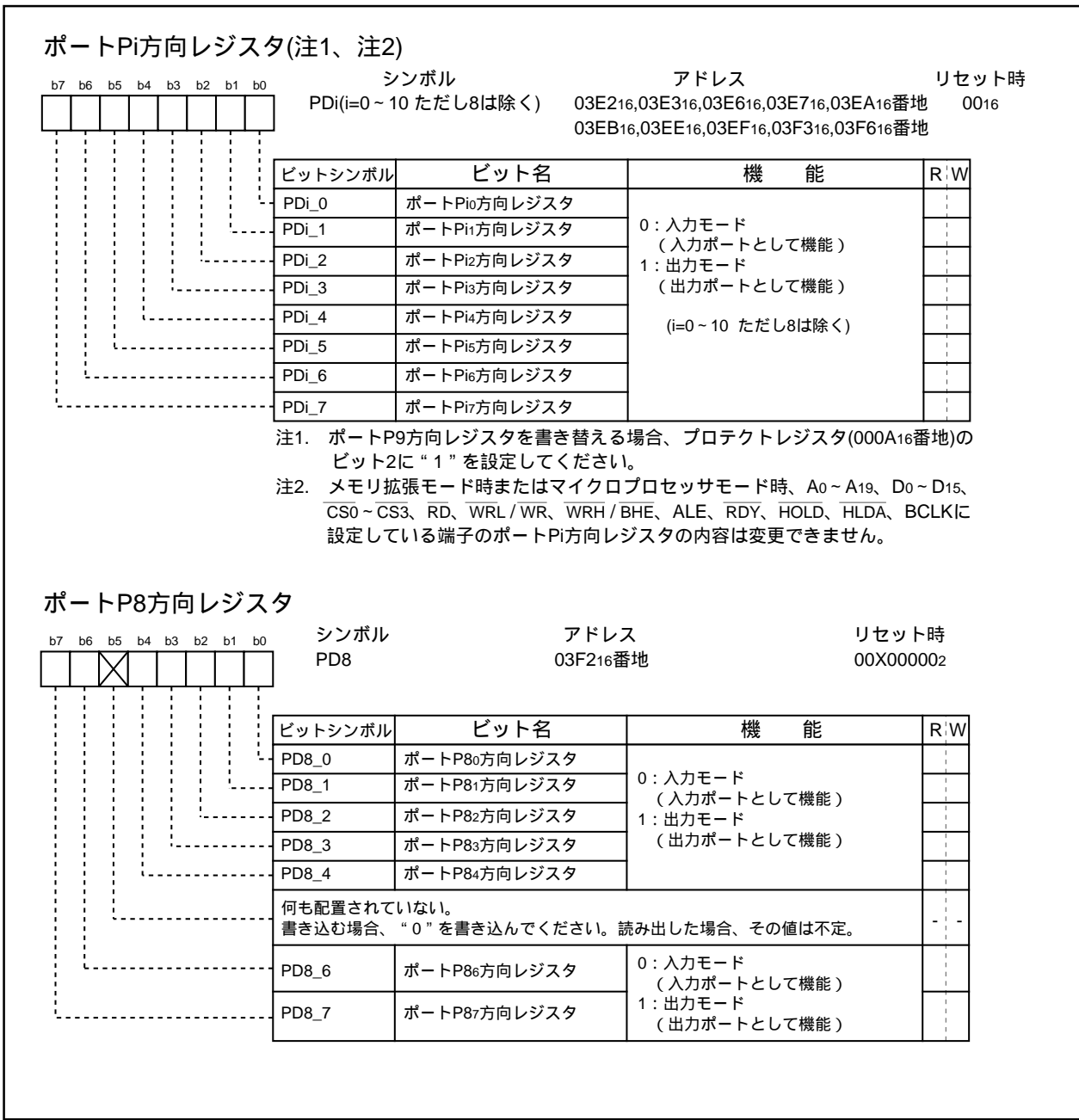


図1.21.6. 方向レジスタの構成

ポート

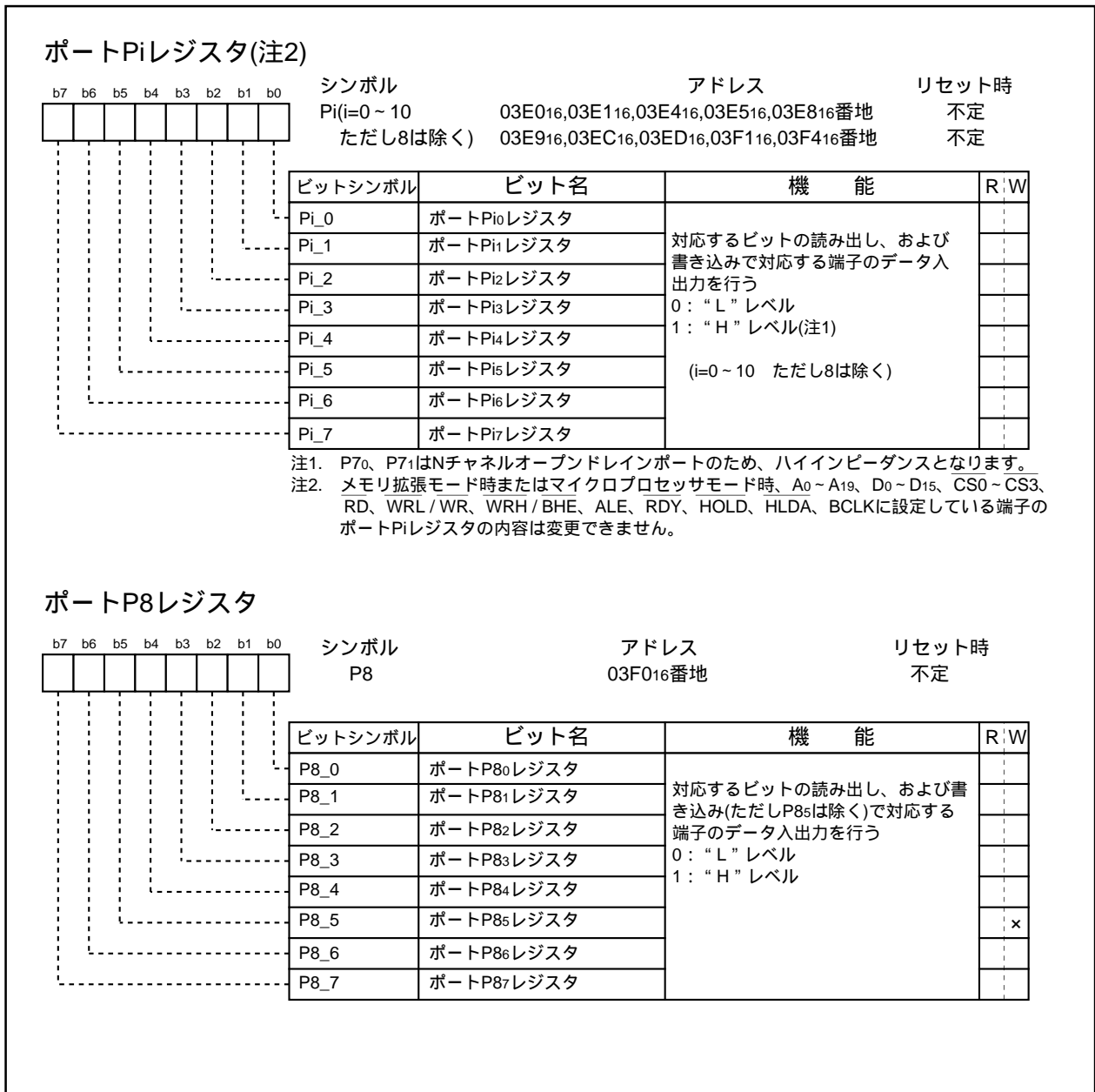
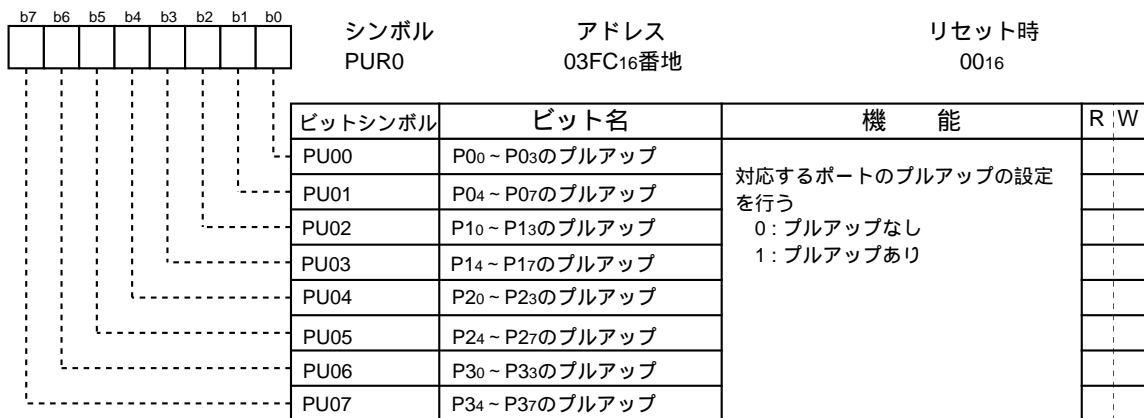


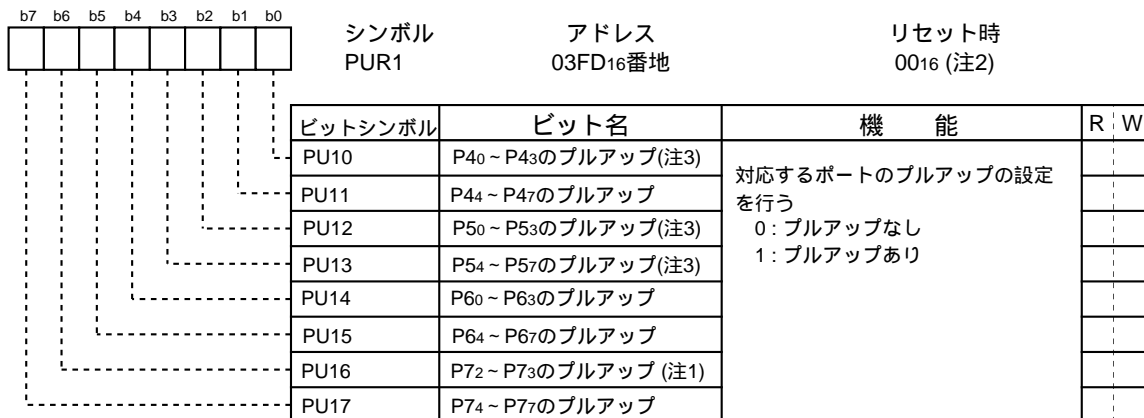
図1.21.7. ポートレジスタの構成

プルアップ制御レジスタ0(注1)



注1. メモリ拡張モード時またはマイクロプロセッサモード時、このレジスタの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ1



注1. P70、P71はNチャネルオープンドレインポートのため、プルアップはありません。
 注2. CNVss端子にVccレベルを印加しているときは、リセット時0216になります(PU11が“1”になります)。
 注3. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ2

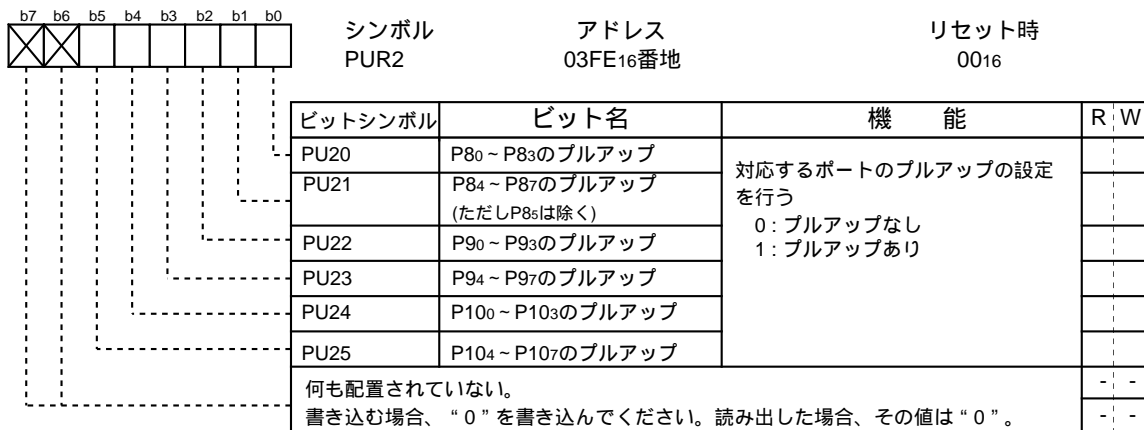


図1.21.8. プルアップ制御レジスタの構成

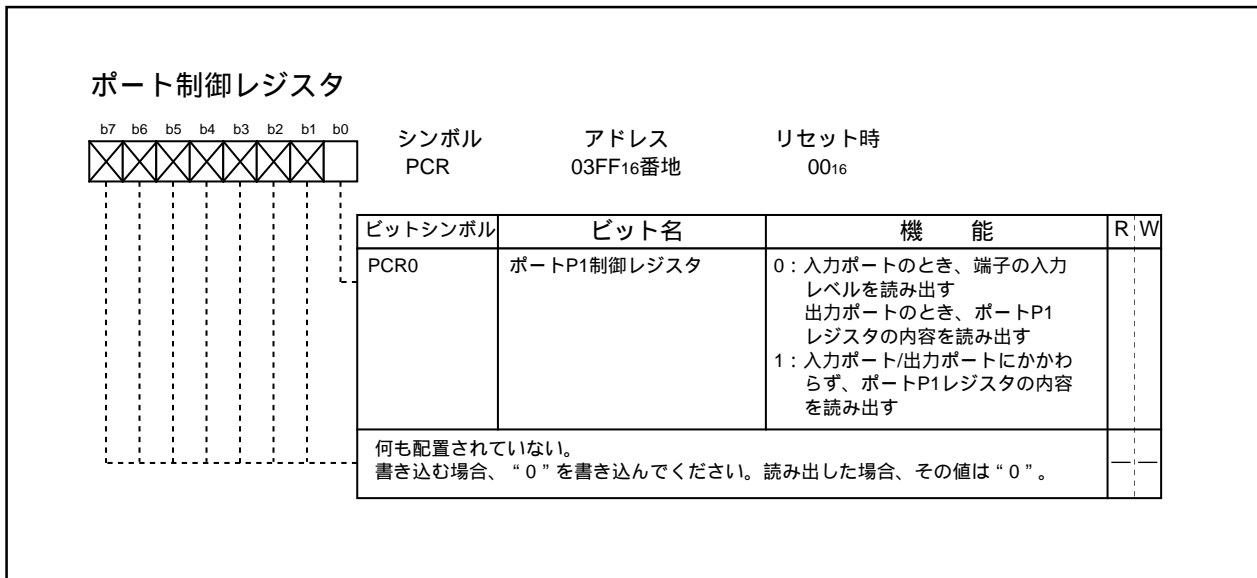


図1.21.9. ポート制御レジスタの構成

ポート

表1.21.1. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

表1.21.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/CS1～P47/CS3	ポートを入力モードに設定し、CS1～CS3出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
BHE, ALE, HLDA, XOUT(注1), BCLK(注2)	開放
HOLD, RDY, NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

注2. BCLK出力禁止ビット(0004₁₆番地のビット7)に“1”を設定した場合、抵抗を介してVccに接続(プルアップ)してください。

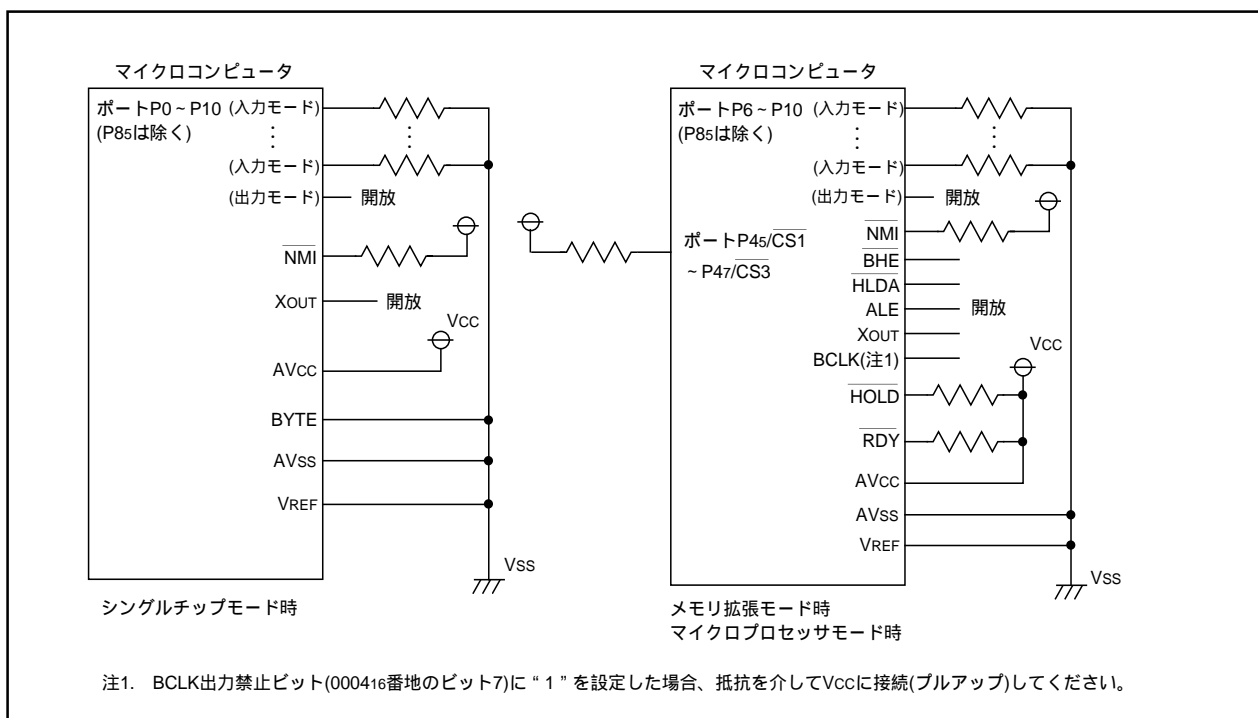


図1.21.10. 未使用端子の処理例

電気的特性

電気的特性

表1.26.1. 絶対最大定格

記号	項目	条件	定格値	単位
V _{cc}	電源電圧	V _{cc} =AV _{cc}	-0.3 ~ 4.2	V
AV _{cc}	アナログ電源電圧	V _{cc} =AV _{cc}	-0.3 ~ 4.2	V
V _i	入力電圧	RESET, CNV _{ss} , BYTE, P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , VREF, XIN	-0.3 ~ V _{cc} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 4.2	V
V _o	出力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , XOUT	-0.3 ~ V _{cc} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 4.2	V
P _d	消費電力	T _{opr} =25	300	mW
T _{opr}	動作周囲温度		-20 ~ 85 / -40 ~ 85 (注1)	
T _{stg}	保存温度		-65 ~ 150	

注1. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電気的特性

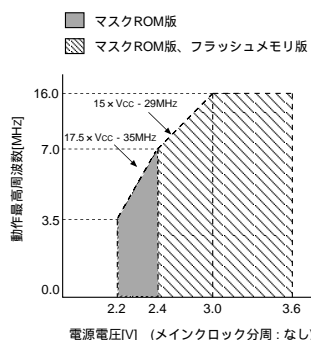
表1.26.2. 推奨動作条件

(指定のない場合は、Vcc=2.4V(マスクROM版は2.2V) ~ 3.6V, Topr=-20 ~ 85 / - 40 ~ 85 (注3))

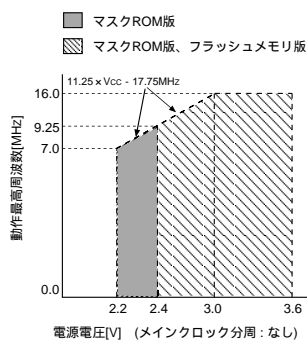
記号	項目	規格値			単位		
		最小	標準	最大			
Vcc	電源電圧	2.4(注4)	3.3	3.6	V		
AVcc	アナログ電源電圧		Vcc		V		
Vss	電源電圧		0		V		
AVss	アナログ電源電圧		0		V		
VIH	"H"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X IN, RESET, CNVss, BYTE P70, P71 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)		0.8Vcc	Vcc	V		
			0.8Vcc	4.2	V		
			0.8Vcc	Vcc	V		
			0.5Vcc	Vcc	V		
VIL	"L"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X IN, RESET, CNVss, BYTE P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)		0	0.2Vcc	V		
			0	0.2Vcc	V		
			0	0.16Vcc	V		
IOH (peak)	"H"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 10.0	mA		
IOH (avg)	"H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 5.0	mA		
IOL (peak)	"L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			10.0	mA		
IOL (avg)	"L"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			5.0	mA		
f(XIN)	メインクロック入力 発振周波数(注5、注6)	ウエイト なし	マスクROM版	Vcc=3.0V ~ 3.6V	0	16	MHz
			フラッシュメモリ版	Vcc=2.4V ~ 3.0V	0	$15 \times \frac{Vcc}{29}$	MHz
			マスクROM版	Vcc=2.2V ~ 2.4V	0	$17.5 \times \frac{Vcc}{35}$	MHz
		ウエイト あり	マスクROM版	Vcc=3.0V ~ 3.6V	0	16	MHz
			フラッシュメモリ版	Vcc=2.4V ~ 3.0V	0	$11.25 \times \frac{Vcc}{17.75}$	MHz
			マスクROM版	Vcc=2.2V ~ 2.4V	0	$11.25 \times \frac{Vcc}{17.75}$	MHz
f(XCIN)	サブクロック発振周波数			32.768	50	kHz	

- 注1. 平均出力電流は100msの期間内での平均値です。
- 注2. ポートP0,P1,P2,P86 ~ P87,P9,P10のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10のIOH(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84のIOH(peak)の合計は80mA以下にしてください。
- 注3. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。
- 注4. マスクROM版は、2.2Vが電源電圧の最小値となります。
- 注5. メインクロック入力周波数と電源電圧の関係を以下に示します。

メインクロック入力発振周波数(ウエイトなし)



メインクロック入力発振周波数(ウエイトあり)



フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性

フラッシュ書き込み/消去電圧	フラッシュ読み出し動作電圧
Vcc=3.0V ~ 3.6V	Vcc=2.4V ~ 3.6V

- 注6. ウエイトなしの場合、フラッシュメモリの書き込み/消去は、Vcc=3.0V ~ 3.6V、f(BCLK) 6.25MHzで実行してください。ウエイトありの場合、フラッシュメモリの書き込み/消去は、Vcc=3.0V ~ 3.6V、f(BCLK) 10.0MHzで実行してください。

電気的特性

表1.26.3. 電気的特性

(指定のない場合は、VCC=3.0 ~ 3.6V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注1), f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	IOH=-1mA, VCC=3.3V	2.8			V	
VOH	"H"出力電圧 XOUT	HIGHPOWER	2.8			V	
		LOWPOWER	2.8				
VOH	"H"出力電圧 XCOUT	HIGHPOWER		2.8		V	
		LOWPOWER		1.6			
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	IOL=1mA, VCC=3.3V			0.5	V	
VOL	"L"出力電圧 XOUT	HIGHPOWER			0.5	V	
		LOWPOWER			0.5		
VOL	"L"出力電圧 XCOUT	HIGHPOWER		0		V	
		LOWPOWER		0			
VT+-VT-	ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, NMI ADTRG, CTS0 ~ CTS2, SCL, SDA CLK0 ~ CLK4, TA2OUT ~ TA4OUT KI0 ~ KI3, RxD0 ~ RxD2, SIn3, SIn4	VCC=3.3V	0.2		0.8	V	
VT+-VT-	ヒステリシス RESET	VCC=3.3V	0.2		1.8	V	
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	VI=3V, VCC=3.3V			4.0	μA	
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	VI=0V, VCC=3.3V			-4.0	μA	
RPULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	VI=0V, VCC=3.3V	20.0	100.0	500.0	k	
RiXIN	帰還抵抗 XIN			3.0		M	
RiXCIN	帰還抵抗 XCIN			10.0		M	
VRAM	RAM保持電圧	クロック停止時	2.0			V	
Icc	電源電流	シングルチップ モードで、出力 端子は開放、そ の他の端子は VSS	マスクROM版	f(XIN)=16MHz 方形波、分周なし	12.5	25.0	mA
		フラッシュメモリ版	f(XIN)=16MHz 方形波、分周なし	20.0	32.0		
		マスクROM版	f(XCIN)=32kHz、VCC=3.3V 方形波	40.0		μA	
		フラッシュメモリ版	f(XCIN)=32kHz、VCC=3.3V 方形波、RAM上(注3)	45		μA	
		フラッシュメモリ版	f(XCIN)=32kHz、VCC=3.3V 方形波、Flash上	225		μA	
		フラッシュメモリ版 プログラム	f(XIN)=16MHz、VCC=3.3V 2分周	19.0		mA	
		フラッシュメモリ版 イレーズ	f(XIN)=16MHz、VCC=3.3V 2分周	21.0		mA	
		マスクROM版	f(XCIN) = 32kHz、VCC=3.3V ウエイト時 発振能力 High(注2)	5.8		μA	
		マスクROM版	f(XCIN) = 32kHz、VCC=3.3V ウエイト時 発振能力 Low(注2)	2.7		μA	
		フラッシュメモリ版	f(XCIN) = 32kHz、VCC=3.3V ウエイト時 発振能力 High(注2)	7.0		μA	
フラッシュメモリ版	f(XCIN) = 32kHz、VCC=3.3V ウエイト時 発振能力 Low(注2)	3.0		μA			
フラッシュメモリ版 マスクROM版	クロック停止時、VCC=3.3V Topr=25	0.1	2.0	μA			
マスクROM版	クロック停止時、VCC=3.3V Topr=85	0.4	100				

注1. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 低消費電力モードを実現するためのフローチャート(図1.29.2B)を参照ください。

電氣的特性

表1.26.4. A-D変換特性

(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=2.4V \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $Topr = -20 \sim 85 / -40 \sim 85$ (注4), $f(XIN)=16MHz$)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能	$V_{REF}=V_{CC}$			10	Bits		
-	絶対精度	サンプル&ホールド機能なし	$V_{REF}=V_{CC}=3.3V$		± 2	± 5	LSB	
		サンプル&ホールド機能あり(10bit)	$V_{REF}=V_{CC}=3.3V$	$AN_0 \sim AN_7$ 入力		± 2	± 5	LSB
				$ANEX_0, ANEX_1$ 入力、 $AN_{00} \sim AN_{07}$ 入力			± 7	LSB
	サンプル&ホールド機能あり(8bit)	$V_{REF}=V_{CC}=3.3V$			± 2	LSB		
R_{LADDER}	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k		
t_{CONV}	変換時間(10bit)		3.3			μs		
t_{CONV}	変換時間(8bit)		2.8			μs		
t_{SAMP}	サンプリング時間		0.3			μs		
V_{REF}	基準電圧		2.4		V_{CC}	V		
V_{IA}	アナログ入力電圧		0		V_{REF}	V		

注1. $f(XIN)$ は表1.26.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。ただし、 $f(XIN)$ が10MHzを超える場合は f_{AD} を分周し、AD動作クロック周波数(f_{AD})が10MHz以下になるようにしてください。また、 V_{CC} が3.0V未満の場合も f_{AD} を分周し、AD動作クロック周波数(f_{AD})が $f_{AD}/2$ 以下になるようにしてください。注2. サンプル&ホールド機能なしのときは、注1の制限に加えAD動作クロック f_{AD} の周波数は250kHz以上にしてください。サンプル&ホールド機能ありのときは、注1の制限に加えAD動作クロック f_{AD} の周波数は1MHz以上にしてください。注3. AV_{CC} 端子は V_{CC} 端子に接続し同一電位を与えてください。注4. $-40 \sim 85$ 品をご使用になる場合は、そのむねをご指定ください。

表1.26.5. D-A変換特性

(指定のない場合は、 $V_{CC}=V_{REF}=2.4V \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $Topr = -20 \sim 85 / -40 \sim 85$ (注2), $f(XIN)=16MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度、 $V_{REF}=V_{CC}=3.3V$				1.0	%
t_{su}	設定時間				3	μs
R_o	出力抵抗		4	15	25	k
I_{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“0016”の場合です。

A-D変換器のラダー抵抗分は除きます。

また、A-D制御レジスタで V_{ref} 未接続とした場合でも、 I_{VREF} は流れます。注2. $-40 \sim 85$ 品をご使用になる場合は、そのむねご指定ください。表1.26.6. フラッシュメモリの電氣的特性(指定のない場合は、 $V_{CC}=3.0 \sim 3.6V$, $Topr=0 \sim 60$)

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		15	150	μs
4Kブロックイレーズ時間		0.3	8	s
64Kブロックイレーズ時間		0.5	8	s
イレーズ全アンロックブロック時間		$0.5 \times n$	$8 \times n$	s
ロックビットプログラム時間		0.02	0.4	ms

注1. nはイレーズするブロック数です。

表1.26.7. フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 ($Topr=0 \sim 60$)

フラッシュ書き込み/消去電圧	フラッシュ読み出し動作電圧
$V_{CC}=3.0V \sim 3.6V$	$V_{CC}=2.4V \sim 3.6V$

電気的特性

タイミング必要条件 (指定のない場合は、Vcc=3.3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 ())
 . - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.26.8. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	62.5		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	25		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表1.26.9. メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	50		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	50		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	100		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

電気的特性

タイミング必要条件 (指定のない場合は、 $V_{CC}=3.3V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85 / -40 \sim 85$ ())

. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.26.10. タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	100		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	40		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	40		ns

表1.26.11. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	400		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	200		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	200		ns

表1.26.12. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIn入力サイクル時間	200		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	100		ns

表1.26.13. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIn入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	100		ns

表1.26.14. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOuT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOuT入力 "H" パルス幅	1000		ns
$t_w(UPL)$	TAiOuT入力 "L" パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOuT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOuT入力ホールド時間	400		ns

電氣的特性

タイミング必要条件 (指定のない場合は、 $V_{CC}=3.3V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85 / -40 \sim 85$ ())

. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.26.15. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表1.26.16. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表1.26.17. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表1.26.18. A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	\overline{ADTRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	\overline{ADTRG} 入力 "L" パルス幅	125		ns

表1.26.19. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力 "L" パルス幅	150		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		100	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.26.20. 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力 "H" パルス幅	250		ns
$t_{w(INL)}$	\overline{INTi} 入力 "L" パルス幅	250		ns

電氣的特性

スイッチング特性(指定のない場合は、Vcc=3.3V, Vss=0V, Topr= -20 ~ 85 / -40 ~ 85 (注3), CM15= "1")

表1.26.21. メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.26.1		50	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			50	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			40	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			40	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			40	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 50 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。

注3. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

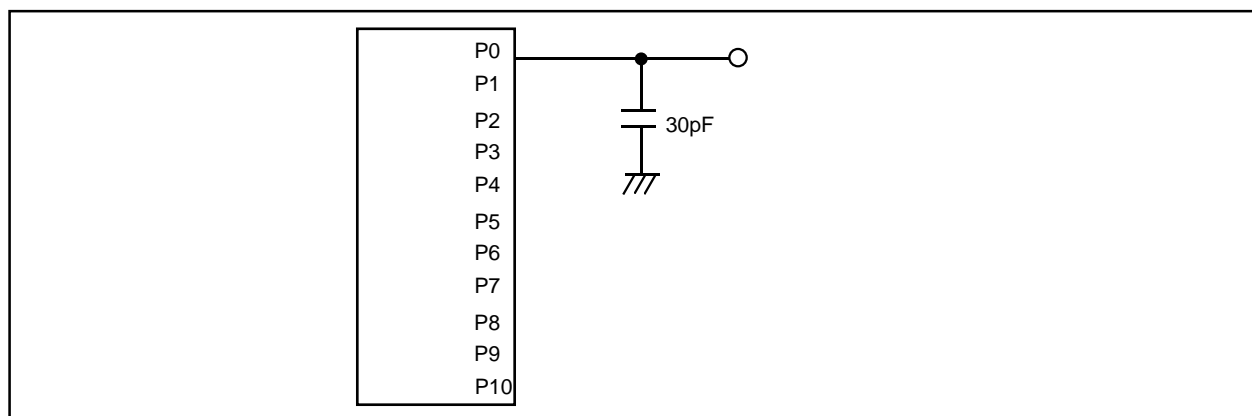
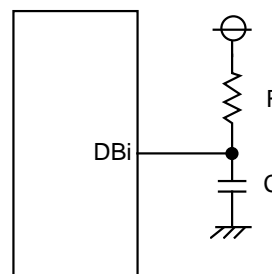


図1.26.1. ポートP0～P10の測定回路

電气的特性

スイッチング特性(指定のない場合は、Vcc=3.3V, Vss=0V, Topr= -20 ~ 85 / -40 ~ 85 (注3), CM15= "1")

表1.26.22. メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.26.1		50	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			50	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			40	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			40	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			40	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 50 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

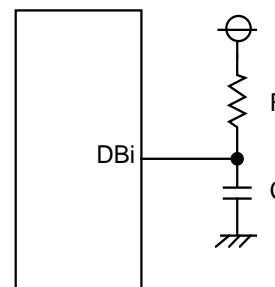
例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、

出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。

注3. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。



電気的特性

スイッチング特性(指定のない場合は、Vcc=3.3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= " 1 ")

表1.26.23. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		50	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			50	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			40	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			40	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			40	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		30		ns
td(AD-RD)	アドレス後RD信号出力遅延時間		0		ns
td(AD-WR)	アドレス後WR信号出力遅延時間		0		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} + 0 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} + 0 \quad [ns]$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} + 0 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} + 0 \quad [ns]$$

$$td(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 50 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} + 0 \quad [ns]$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 40 \quad [ns]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

タイミング

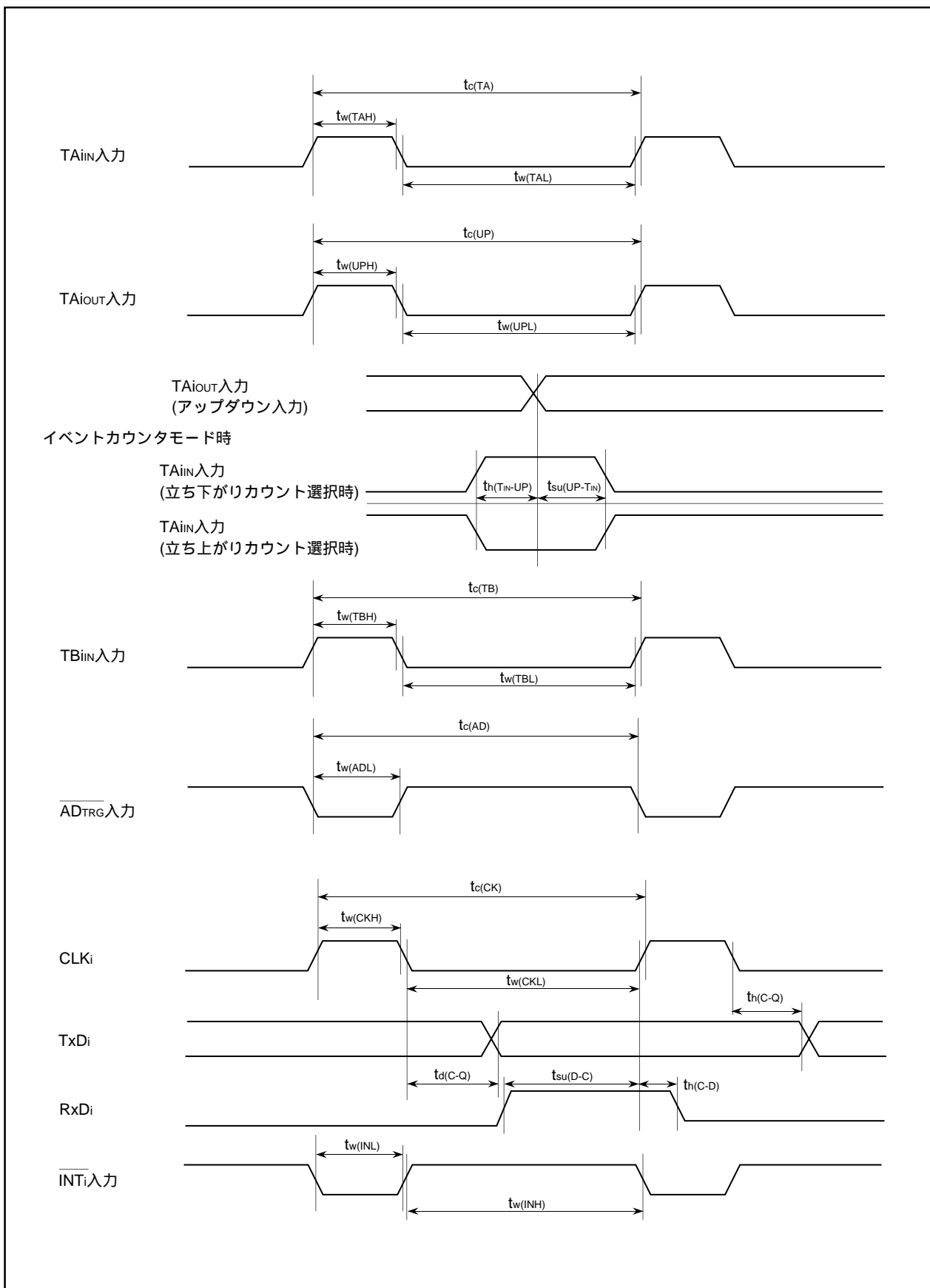
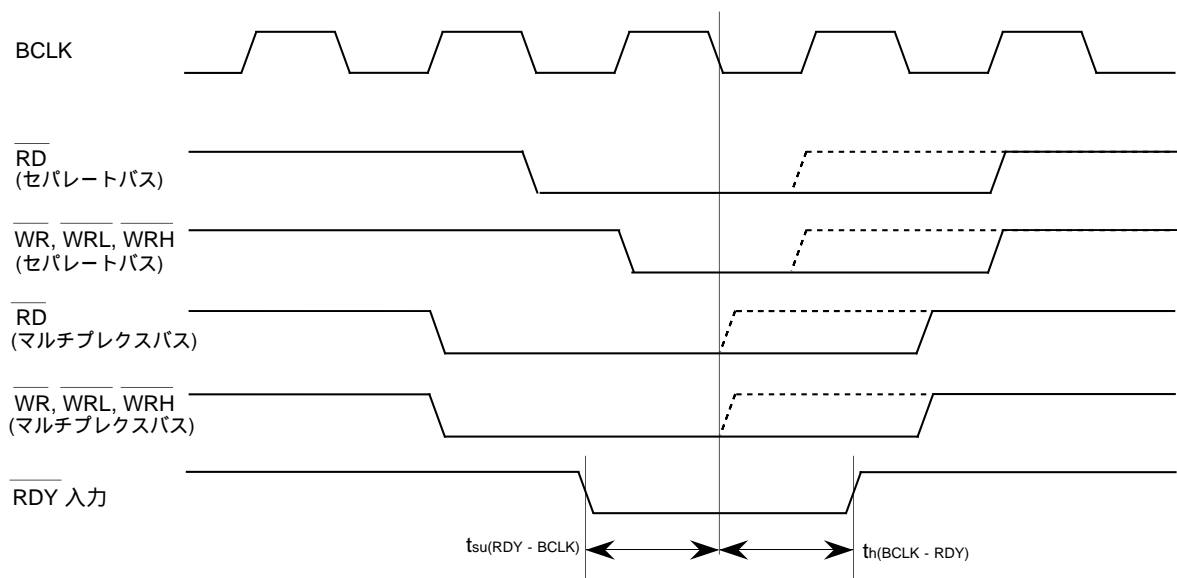


図1.26.2. タイミング図(1)

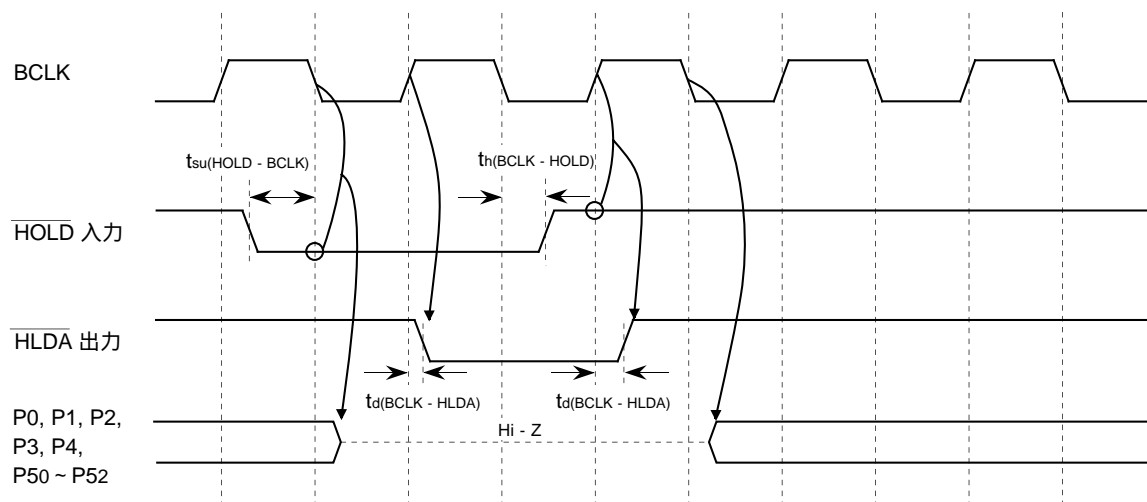
タイミング

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀~P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件

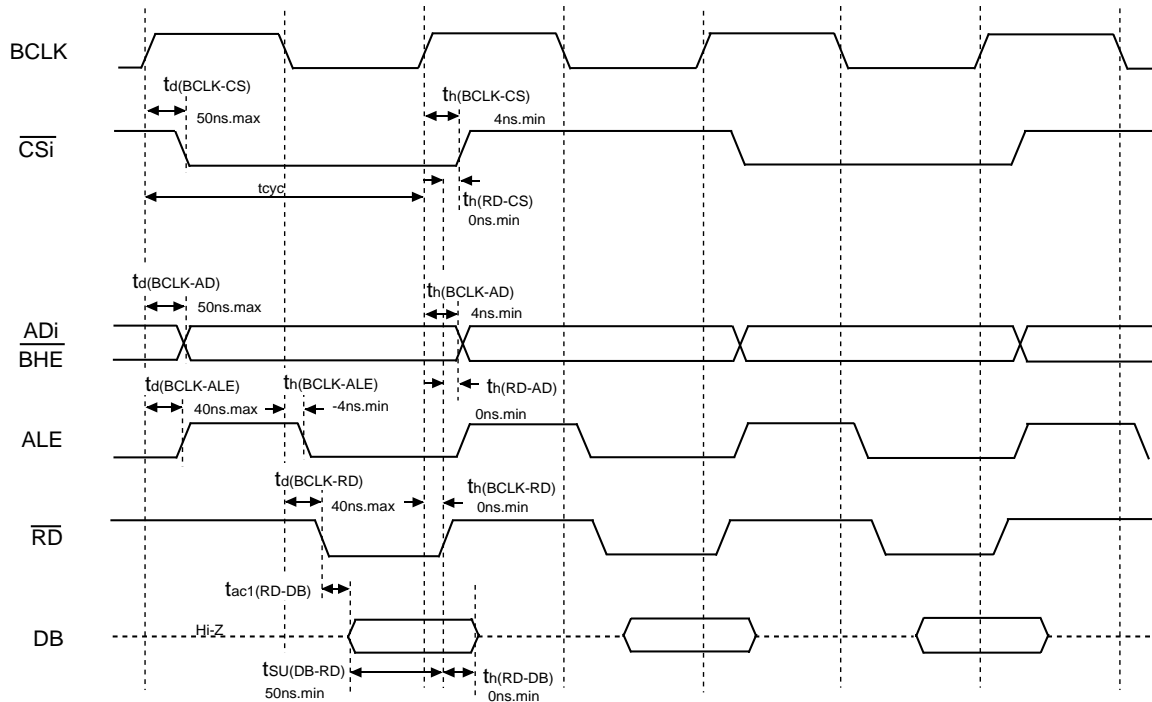
- $V_{CC}=3.3V$
- 入力タイミング電圧: $V_{IL}=0.66V, V_{IH}=2.64V$
- 出力タイミング電圧: $V_{OL}=1.65V, V_{OH}=1.65V$

図1.26.3. タイミング図(2)

タイミング

メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

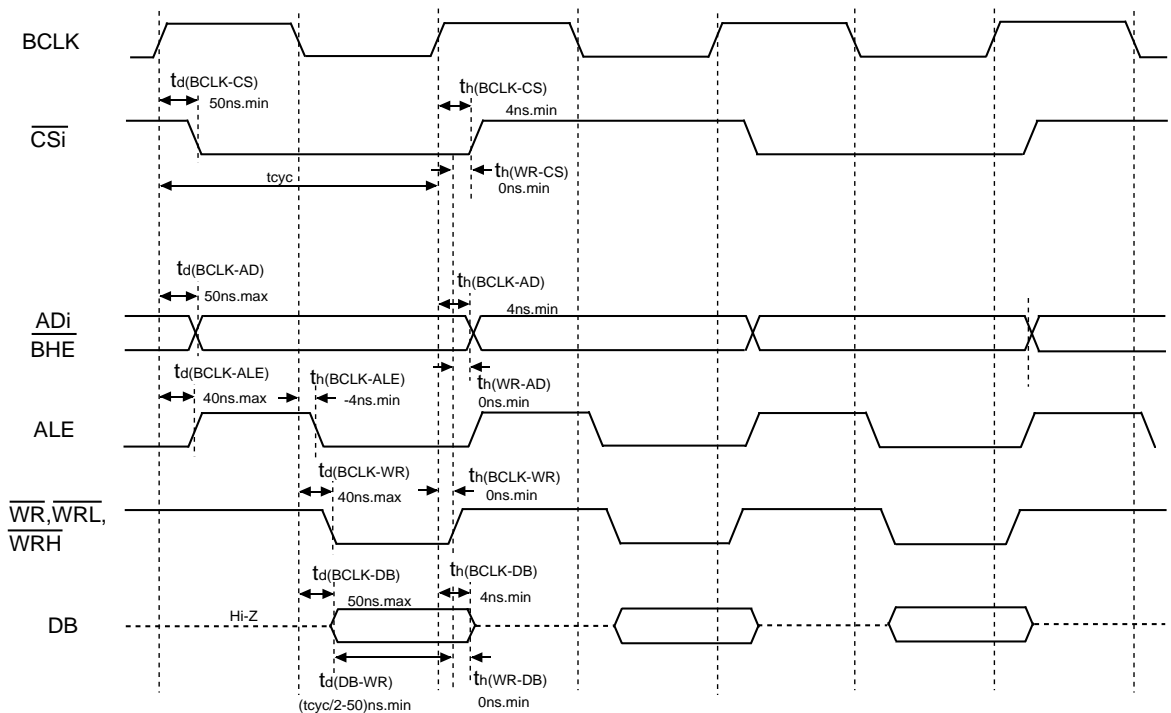
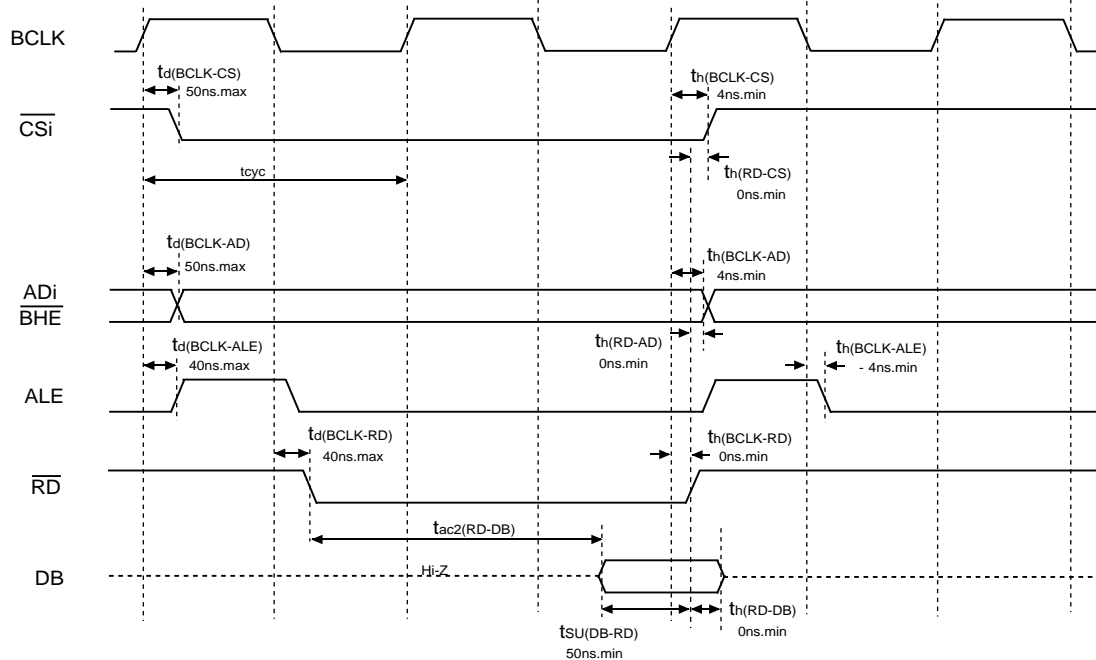


図1.26.4. タイミング図(3)

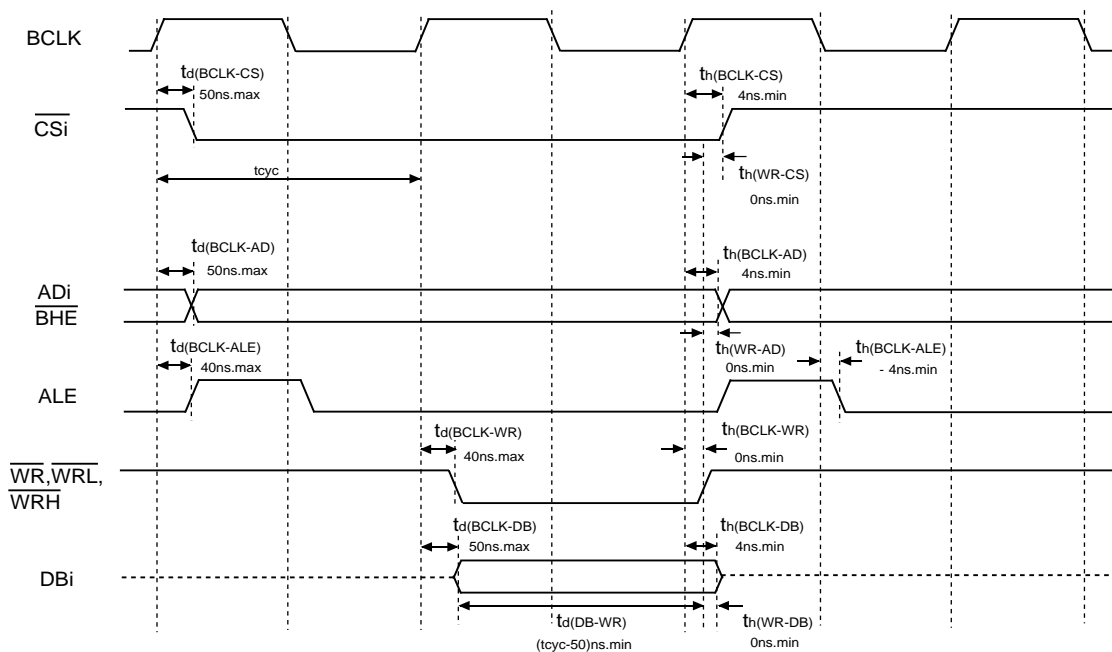
タイミング

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出しタイミング



書き込みタイミング



測定条件

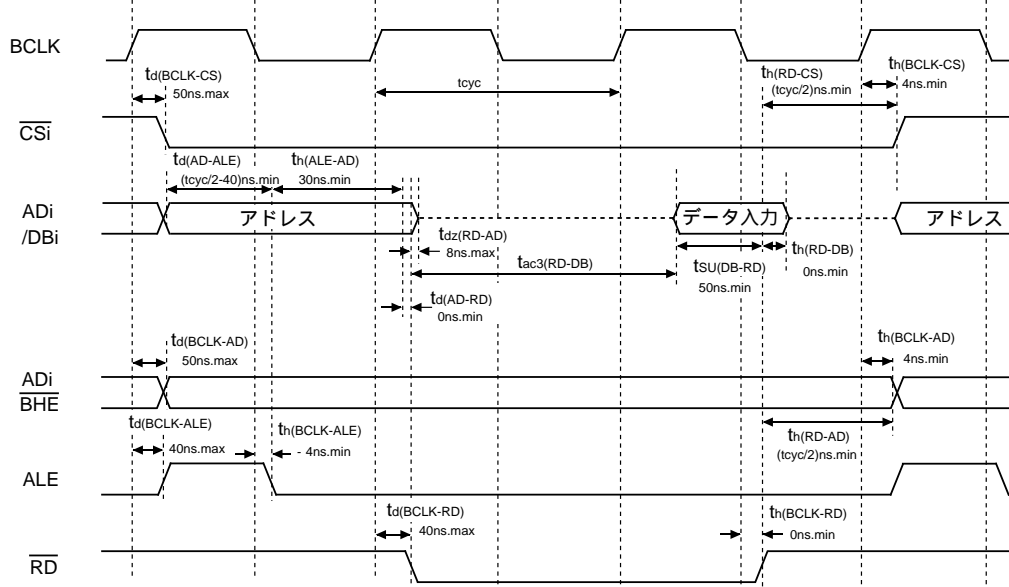
- ・ $V_{CC}=3.3V$
- ・ 入力タイミング電圧: $V_{IL}=0.52V, V_{IH}=1.65V$
- ・ 出力タイミング電圧: $V_{OL}=1.65V, V_{OH}=1.65V$

図1.26.5. タイミング図(4)

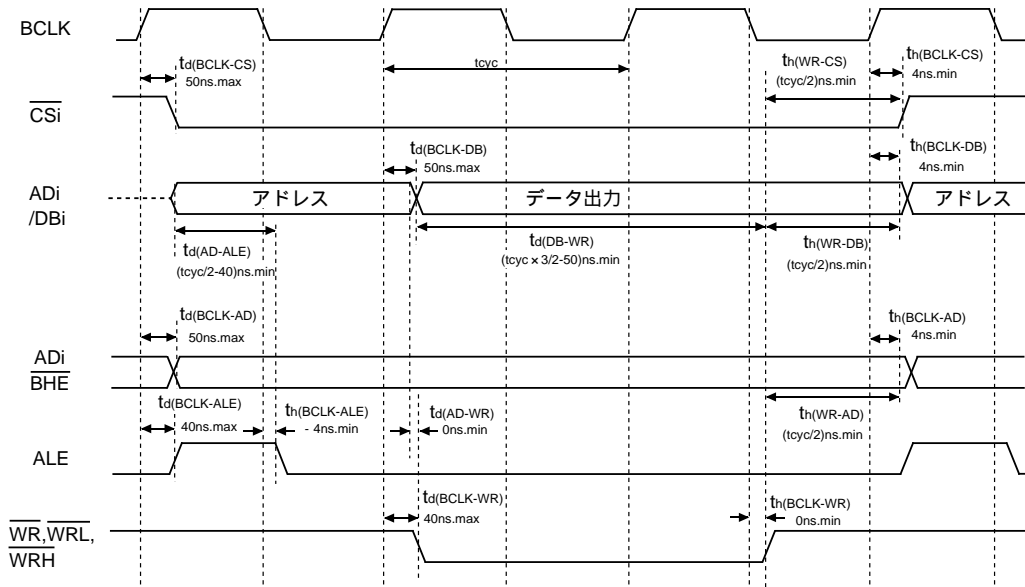
タイミング

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出しタイミング



書き込みタイミング



測定条件
 ・ Vcc=3.3V
 ・ 入力タイミング電圧 : V_{IL}=0.52V, V_{IH}=1.65V
 ・ 出力タイミング電圧 : V_{OL}=1.65V, V_{OH}=1.65V

図1.26.6. タイミング図(5)

概要(フラッシュメモリ版)

性能概要(フラッシュメモリ版)

表1.28.1にM16C/62N(フラッシュメモリ版)の性能概要を示します。

表1.28.1. M16C/62N(フラッシュメモリ版)の性能概要

項目	性能	
フラッシュメモリの動作モード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)	
消去ブロック分割	ユーザROM領域	図1.28.1を参照してください。
	ブートROM領域	1分割(4Kバイト) (注1)
プログラム方式	ワード単位/バイト単位(注2)	
イレーズ方式	一括消去/ブロック消去	
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御	
プロテクト方式	ロックビットによるブロック単位のプロテクト	
コマンド数	8コマンド	
プログラム/イレーズ回数	100回	
データ保持	10年間	
ROMコードプロテクト	パラレル入出力モード/標準シリアル入出力モード対応	

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

注2. パラレル入出力モードのみバイト単位のプログラムが可能です。

概要(フラッシュメモリ版)

フラッシュメモリ

M16C/62N(フラッシュメモリ版)は、単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.28.1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効/無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

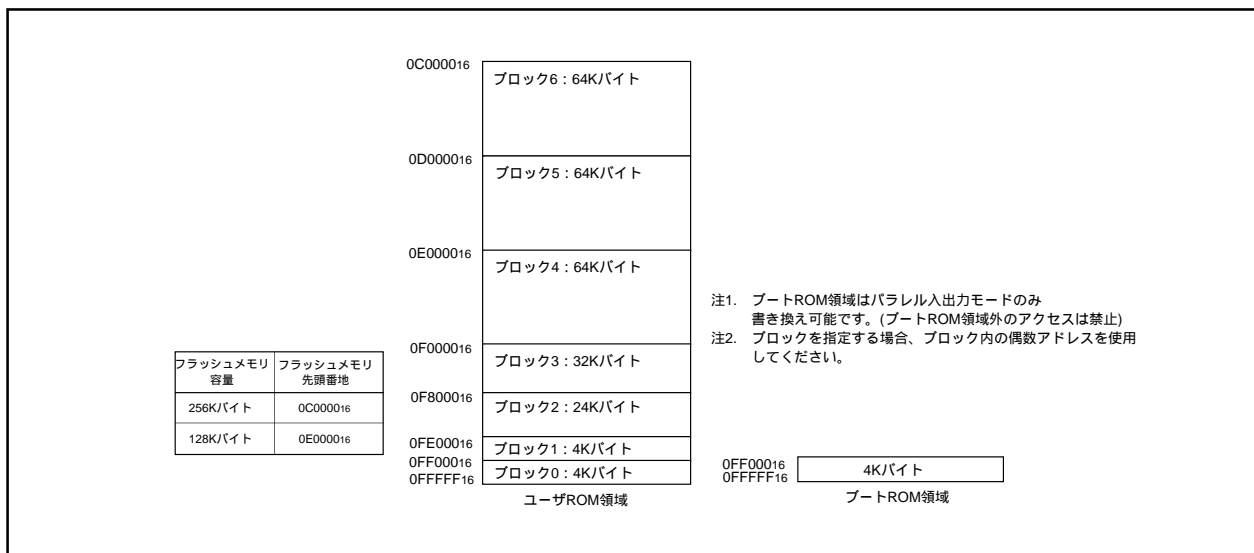


図1.28.1. 内蔵フラッシュメモリのブロック図

CPU書き換えモード(フラッシュメモリ版)

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図1.28.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに對して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図1.28.1に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます(ブートモードでユーザROM領域の書き換えを行う場合は、フラッシュメモリ制御レジスタ0のビット5を“1”にする必要があります。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください)。

ブロックアドレス

ブロックアドレスとは、各ブロックの偶数アドレスです。このアドレスは、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(03B7₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA₀は“0”)へライト、リードしてください。書き込むデータは偶数アドレスから16ビット単位でライトしてください。奇数番地から16ビット単位のライトおよび8ビット単位のライトはしないでください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。ステータスレジスタの読み出し時もユーザROM領域内の偶数アドレスに設定してください。

図1.29.1にフラッシュ識別レジスタおよびフラッシュメモリ制御レジスタ0を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/ $\overline{\text{BY}}$ ステータスフラグです。プログラム、イレーズ、ロックビットプログラム動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”に設定するためには、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、RY/ $\overline{\text{BY}}$ ステータスフラグが“1”になってから“0”を書き込む必要があります。また、このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、CPU書き換えモード選択ビットが“1”の状態、 “0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ0を特別に設定する必要はありません。

図1.29.2Bに低消費電力モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスする領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください。

フラッシュメモリ制御レジスタ0のビット6は、自動プログラム動作の動作状況を示す読み出し専用のプログラムステータスフラグです。プログラムエラーが発生すると“1”、それ以外の場合は“0”となります。

フラッシュメモリ制御レジスタ0のビット7は、イレース動作の動作状況を示す読み出し専用のイレースステータスフラグです。イレースエラーが発生すると“1”、それ以外の場合は“0”となります。

図1.29.2にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

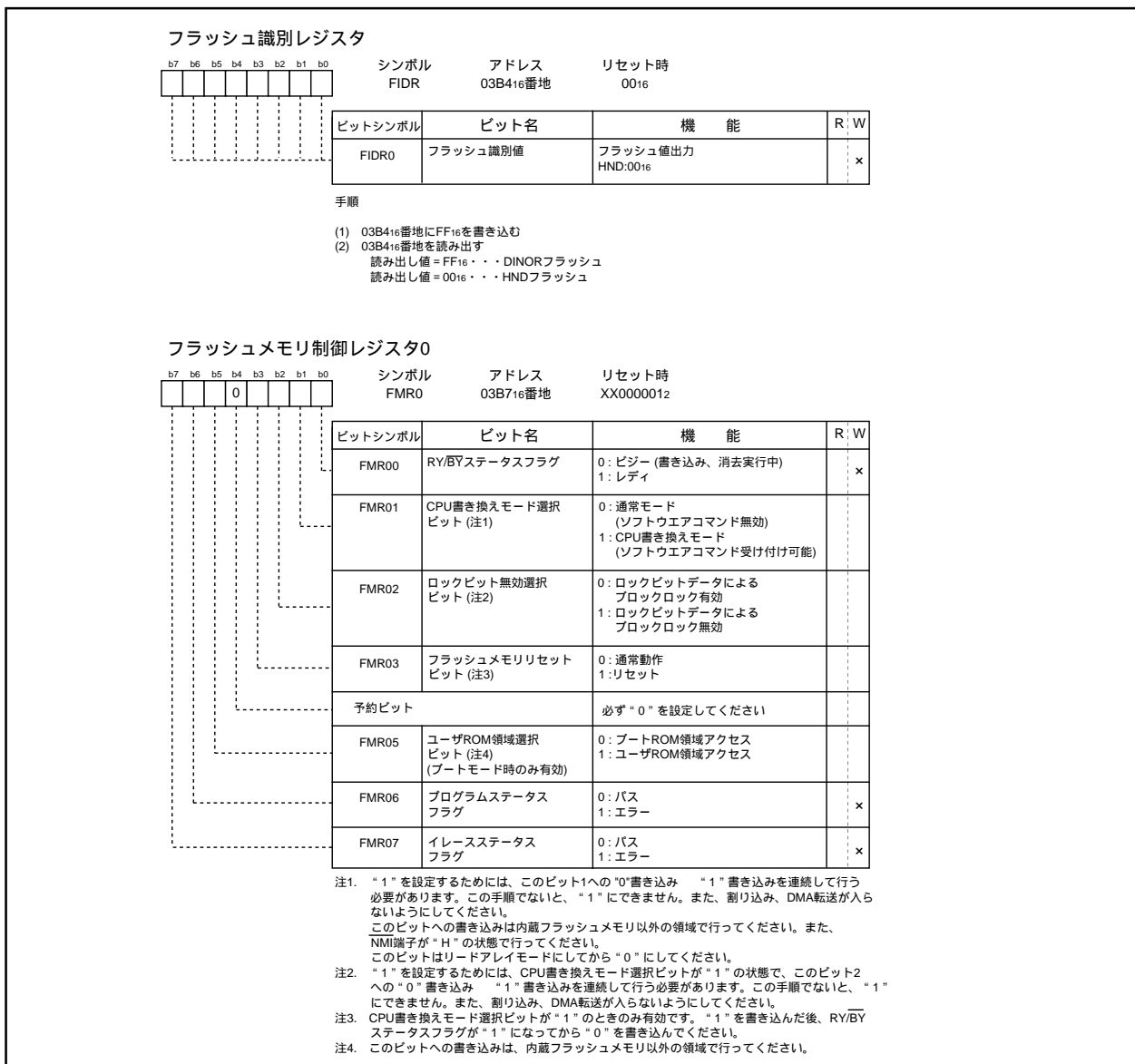


図1.29.1. フラッシュメモリ制御レジスタ0

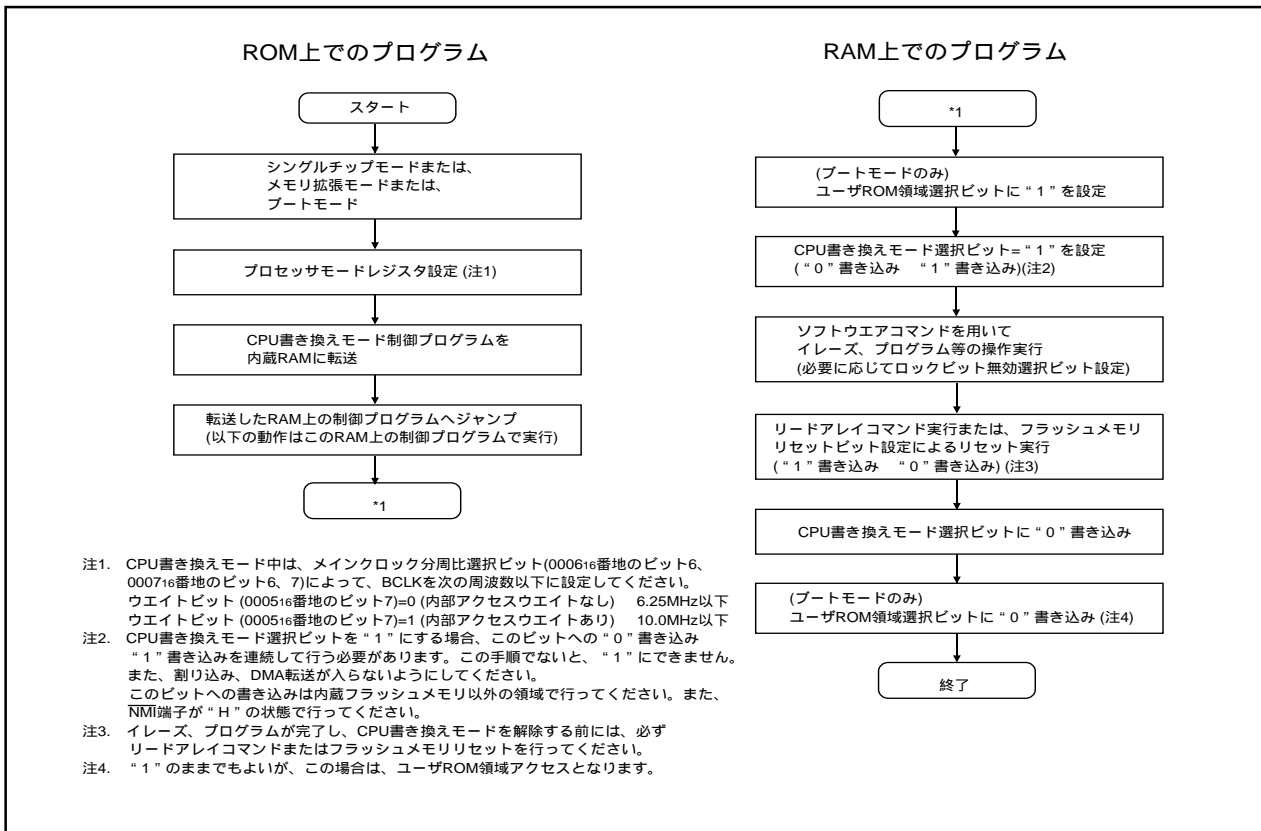


図1.29.2. CPU書き換えモードの設定/解除フローチャート

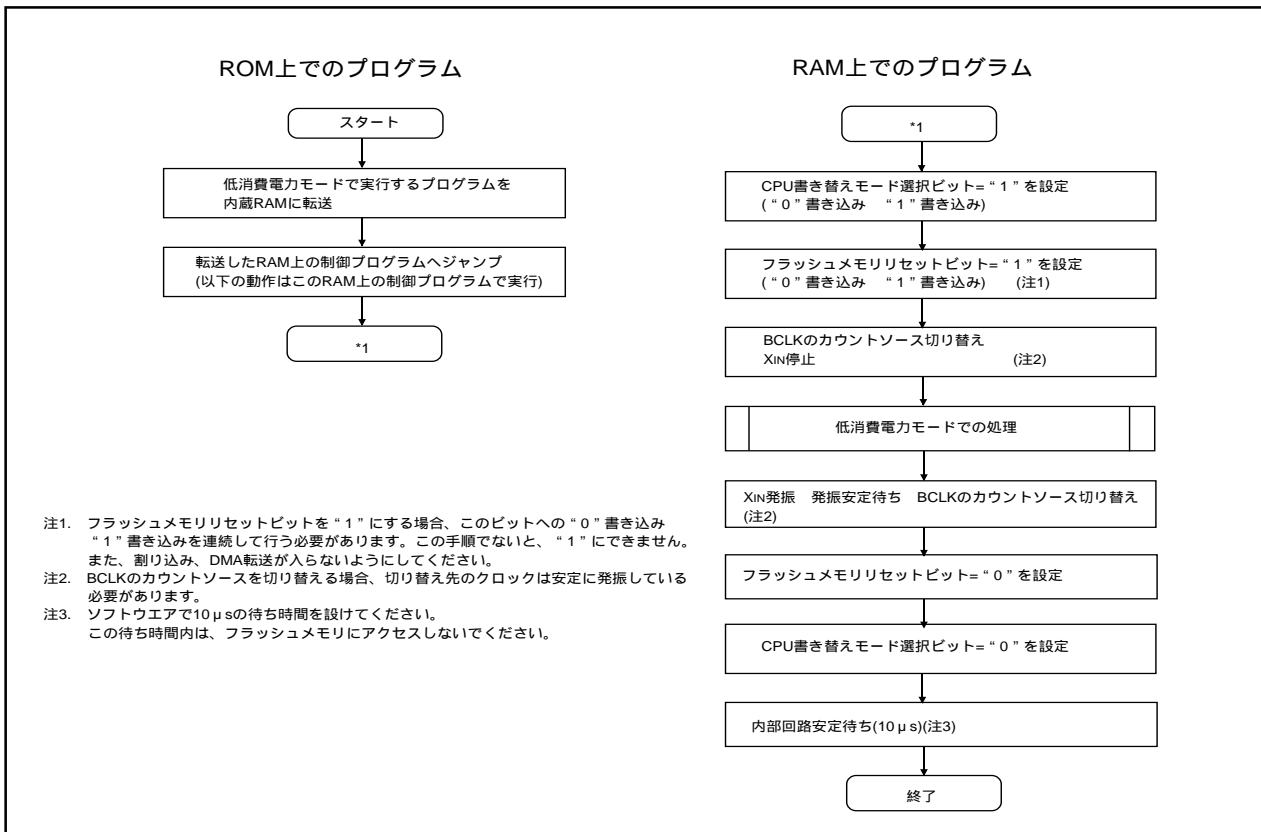


図1.29.2B. 低消費電力モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)によって、BCLKを次の周波数以下に設定してください。

ウェイトビット(0005₁₆番地のビット7) = 0(内部アクセスウェイト無し) 6.25MHz以下

ウェイトビット(0005₁₆番地のビット7) = 1(内部アクセスウェイト有り) 10.0MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。NMI割り込み、監視タイマ割り込みは、各割り込み発生時に強制的にフラッシュメモリ制御レジスタ0、フラッシュ識別レジスタが初期化され、通常モードに戻るので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。NMI割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。

(4)アクセス禁止

CPU書き換えモード選択ビット、ユーザROM領域選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。

(5)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビットを“1”に設定する場合は、“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。CPU書き換えモード選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。

(6)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があります。したがって、このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(7)ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

(8)内部予約領域拡張ビット(0005₁₆番地のビット3)

RAM15Kバイト超えまたはフラッシュメモリ192Kバイト超えの製品は、内部予約領域拡張ビット(0005₁₆番地のビット3)を“1”にした後、CPU書き換えモードにしてください。CPU書き換えモード選択ビット(03B7₁₆番地のビット1)を“1”にしても自動的に内部予約領域拡張ビット(0005₁₆番地のビット3)は“1”になりません。

ソフトウェアコマンド

表1.29.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表1.29.1. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	ライト	X	FF ₁₆			
リードステータスレジスタ	ライト	X	70 ₁₆	リード	X	SRD (注2)
クリアステータスレジスタ	ライト	X	50 ₁₆			
プログラム (注3)	ライト	WA	40 ₁₆	ライト	WA (注3)	WD (注3)
ブロックイレーズ	ライト	X	20 ₁₆	ライト	BA (注4)	D0 ₁₆
イレーズ全アンロックブロック	ライト	X	A7 ₁₆	ライト	X	D0 ₁₆
ロックビットプログラム	ライト	BA	77 ₁₆	ライト	BA	D0 ₁₆
リードロックビットステータス	ライト	X	71 ₁₆	リード	BA	D6 (注5)

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD=ステータスレジスタデータ。アドレスはユーザROM領域内の偶数アドレスにしてください。

注3. WA=ライトアドレス(偶数アドレス), WD=ライトデータ(16ビットデータ)

注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)

注5. D6はブロックロックステータスに対応します。D6="1": 非ブロックロック、D6="0": ブロックロック

注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

ただし、プログラムコマンドの直後にリードアレイコマンドを使用する場合は、以下の手順でデータを読み出してください。

- (1) あらかじめ、任意の連続する4つのアドレスにFF₁₆、FF₁₆、FF₁₆、FF₁₆を設定する
- (2) リードアレイモードで、(1)の先頭アドレスを指定する
- (3) 読み出した値とFFFF₁₆が一致するまで(2)を繰り返す
- (4) 先頭アドレス+2を指定する
- (5) 読み出した値とFFFF₁₆が一致するまで(4)を繰り返す
- (6) 任意のアドレスを指定する

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます(ユーザROM領域内の偶数アドレスにしてください)。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するプログラムアドレスと同一にしてください。

プログラム終了はステータスレジスタのリードまたはRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラムの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンド(FF₁₆)をライトするまで継続されます。

RY/BYステータスフラグはステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

プログラムコマンドの直後に使用するコマンドは、第1バスサイクルで指定するアドレス値を、プログラムコマンドの第2バスサイクルで指定するプログラムアドレスと同一にしてください。

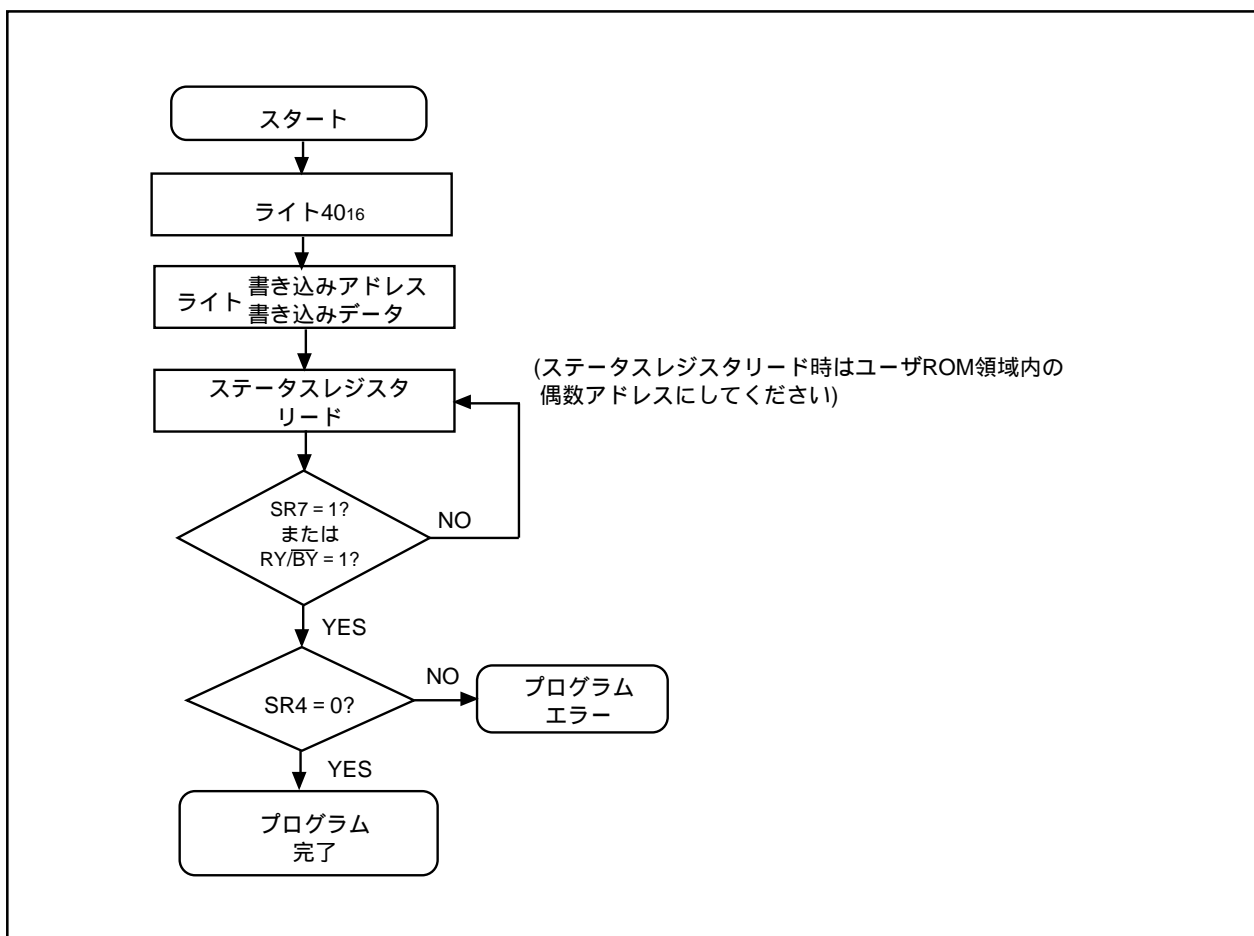


図1.29.3. プログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)またはリードロックビットステータスコマンド(71₁₆)をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.29.4にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

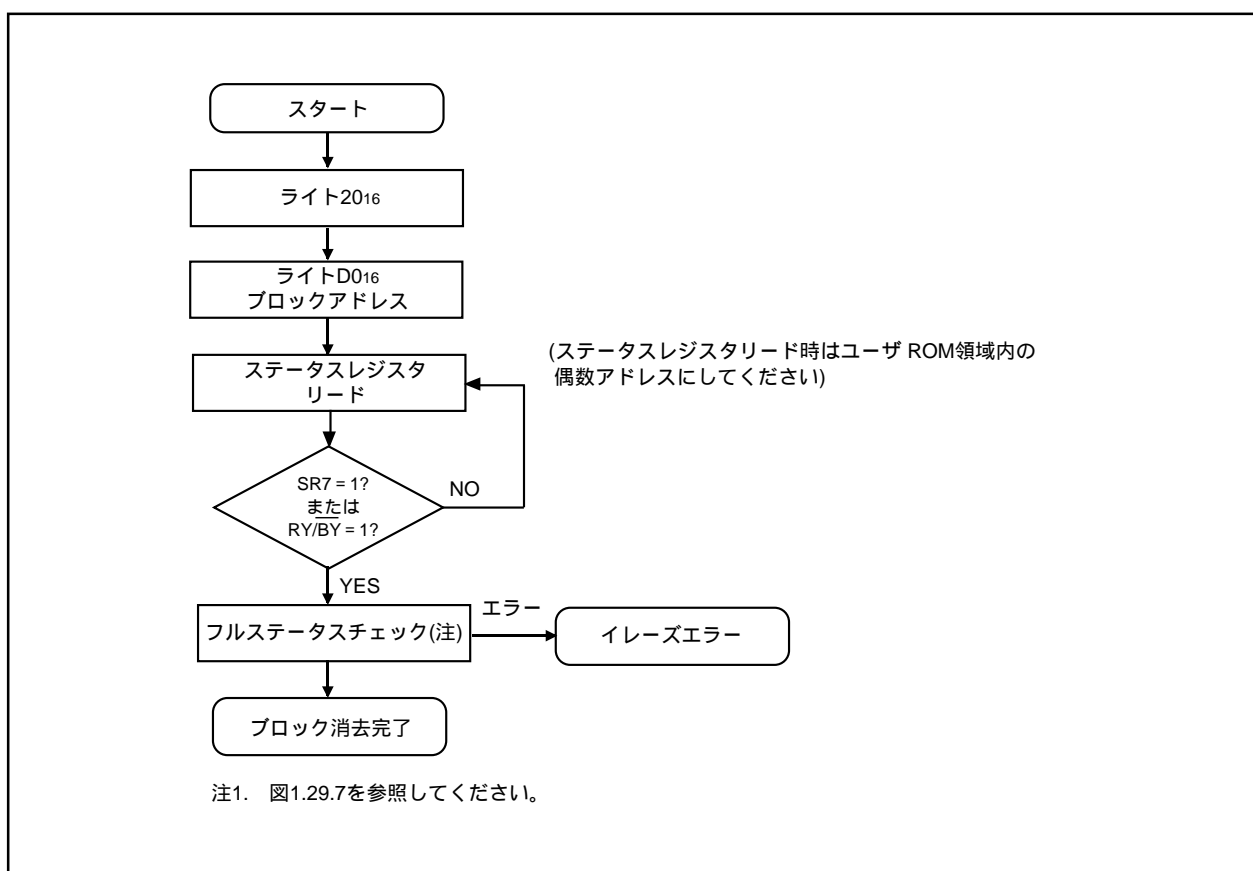


図1.29.4. ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A716/D016)

第1バスサイクルでコマンドコード“ A716 ”、続く第2バスサイクルで確認コマンドコード“ D016 ”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“ 1 ”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“ 0 ”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“ 1 ”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(7716/D016)

第1バスサイクルでコマンドコード“ 7716 ”、続く第2バスサイクルで確認コマンド“ D016 ”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックアドレスと同一にしてください。

図1.29.5にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

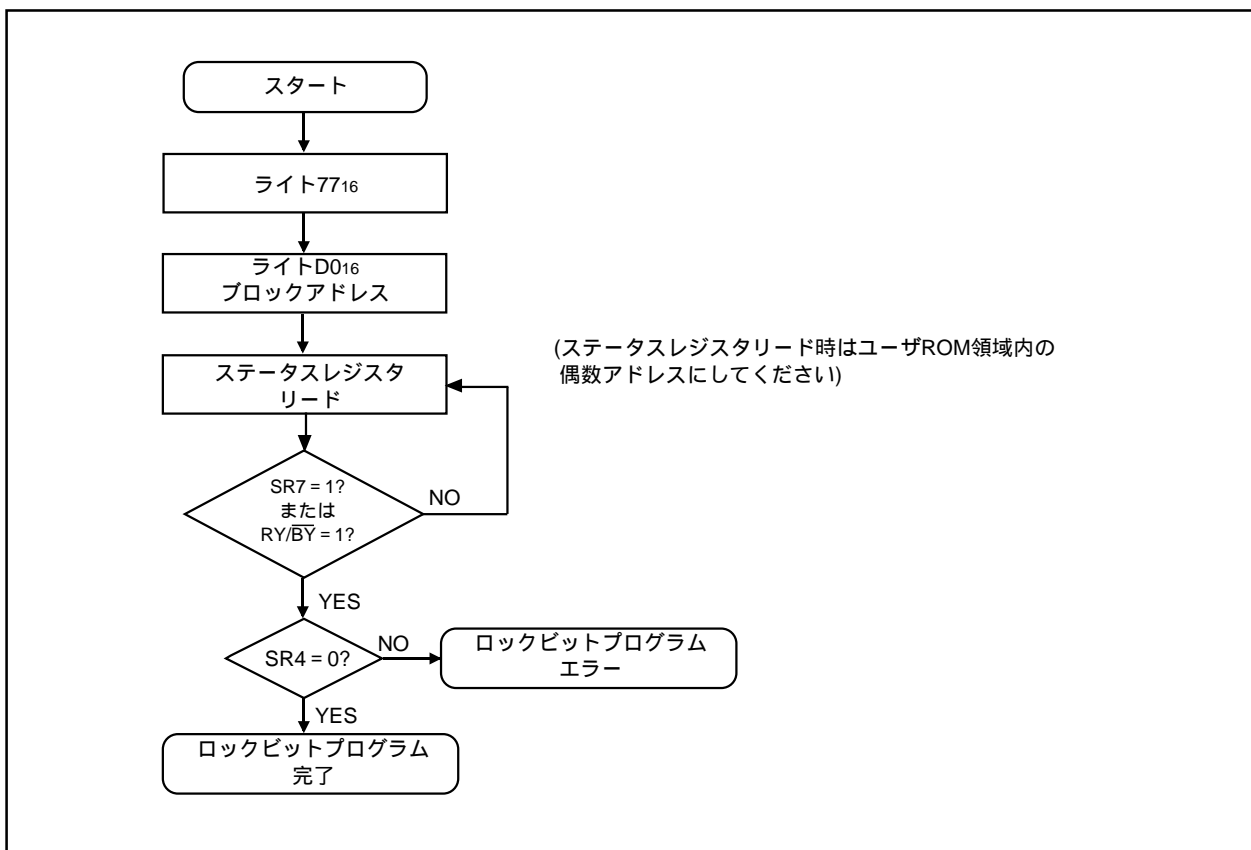


図1.29.5. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(7116)

第1バスサイクルでコマンドコード“7116”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックビットの状態がデータバス(D6)へ読み出されます。

図1.29.6にリードロックビットプログラムのフローチャート例を示します。

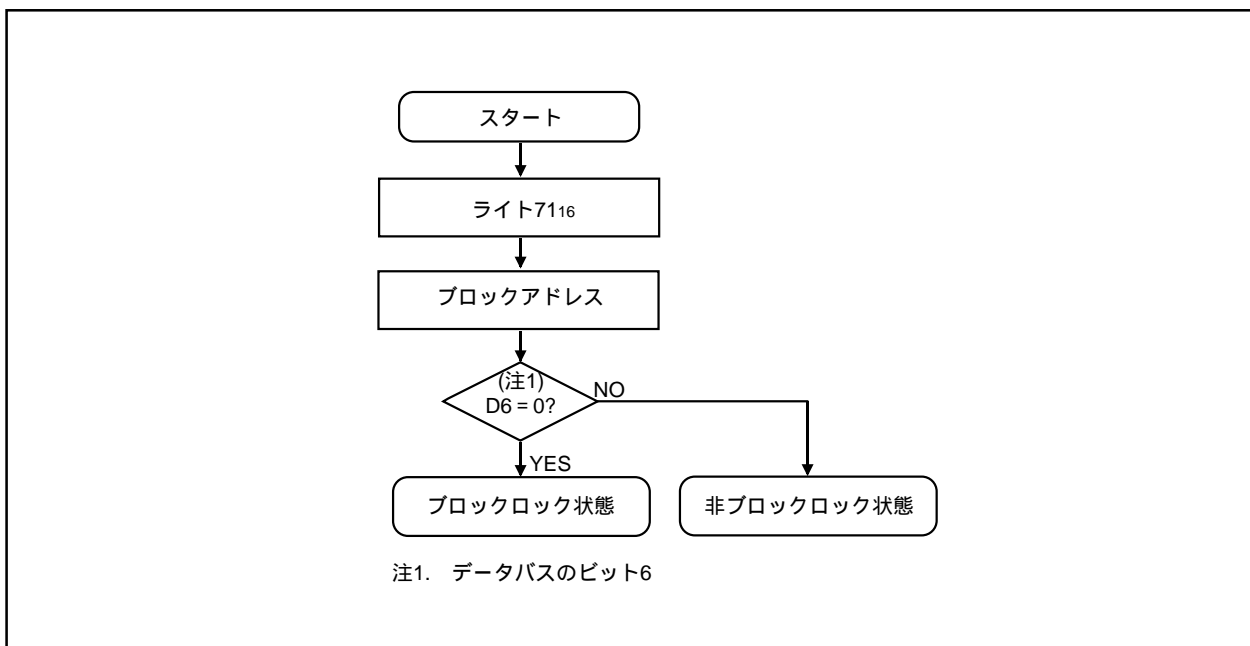


図1.29.6. リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.28.1に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

- (1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。
- (2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意の偶数アドレスを読み出したとき
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF₁₆)入力までの期間、ユーザROM領域内の任意の偶数アドレスを読み出したとき

ステータスレジスタを表1.29.2に示します。

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50₁₆)をライトしたとき
リセット解除後、ステータスレジスタは、“80₁₆”になります。
各ビットの意味を以下に示します。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を示すもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド以外のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

- (1) 規定コマンドが正しく入力されなかった場合。
- (2) ロックビットプログラム(77₁₆/D0₁₆)、ブロックイレーズ(20₁₆/D0₁₆)、イレーズ全アンロックブロック(A7₁₆/D0₁₆)の第2バスサイクルのデータにD0₁₆またはFF₁₆以外のデータを入力した場合。ただし、FF₁₆を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

表1.29.2. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンスステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図1.29.7にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

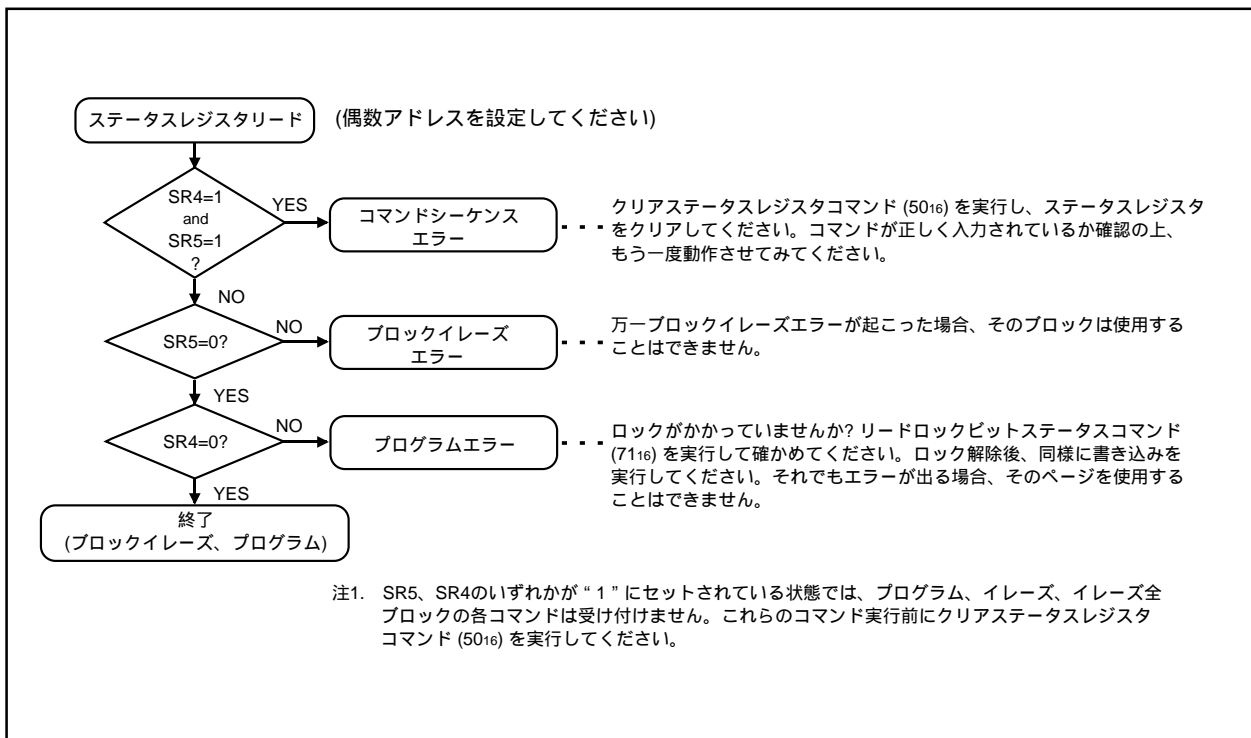


図1.29.7. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFF₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFF₁₆番地)の構成を図1.30.1に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

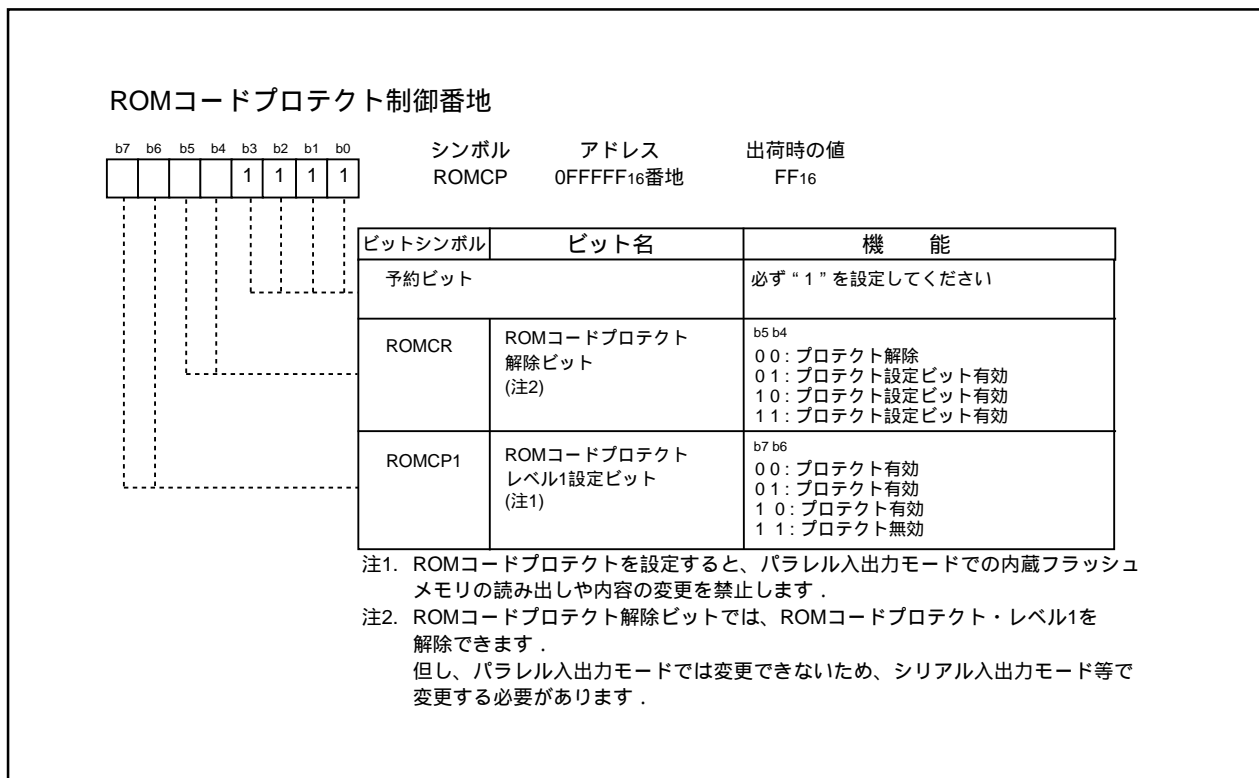


図1.30.1. ROMコードプロテクト制御番地の構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

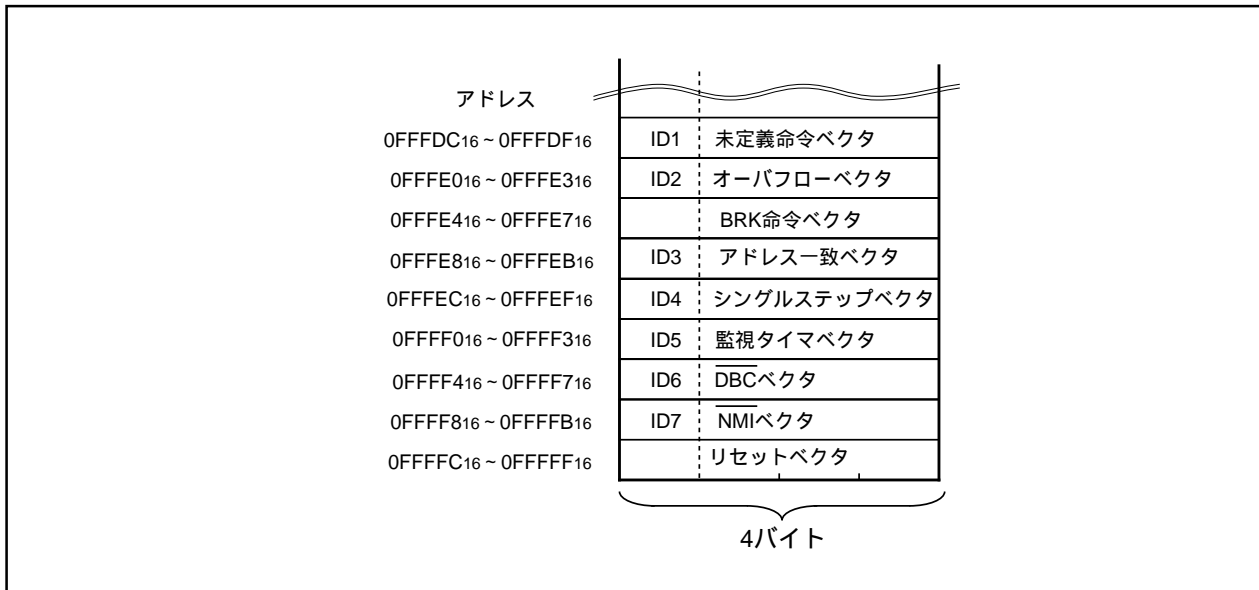


図1.30.2. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M16C/62N(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.28.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図1.28.1に示します。

ブートROM領域は、4Kバイトで、パラレル入出力モードでは、0FF000₁₆~0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

付録 標準シリアル入出力モード(フラッシュメモリ版)

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VssまたはVccに接続してください。
AVcc、AVss	アナログ電源入力		AVssはVssに、AVccはVccに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P51 ~ P54,P56,P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P50	CE入力	入力	"H"を入力してください。
P55	EPM入力	入力	"L"を入力してください。
P60 ~ P63	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P64	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: "L"を入力してください。
P66	RXD入力	入力	シリアルデータの入力端子です。
P67	TXD出力	出力	シリアルデータの出力端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P80 ~ P84,P86,P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

付録 標準シリアル入出力モード(フラッシュメモリ版)

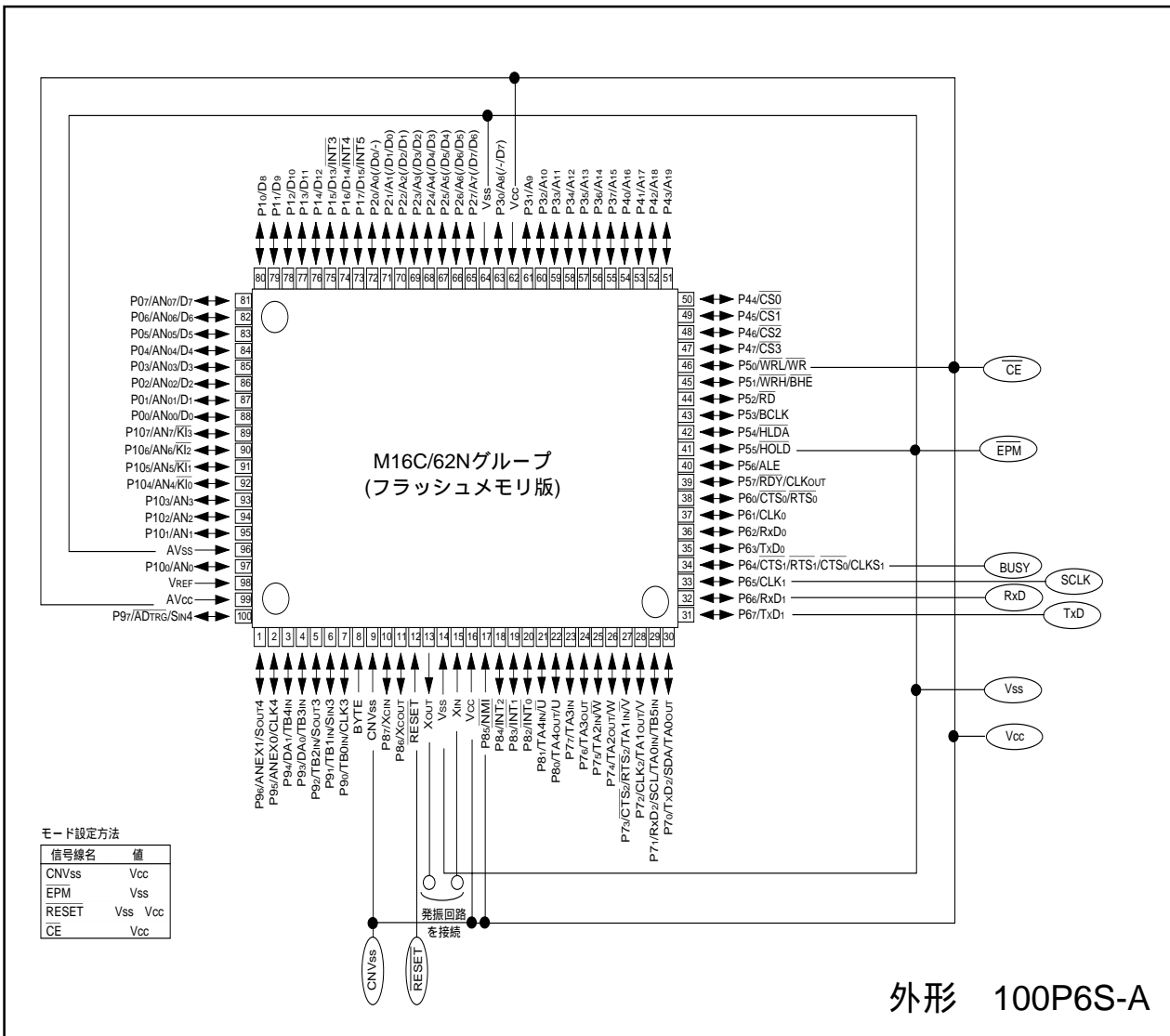


図1.32.1. シリアル入出力モード時の端子結線図(1)

付録 標準シリアル入出力モード(フラッシュメモリ版)

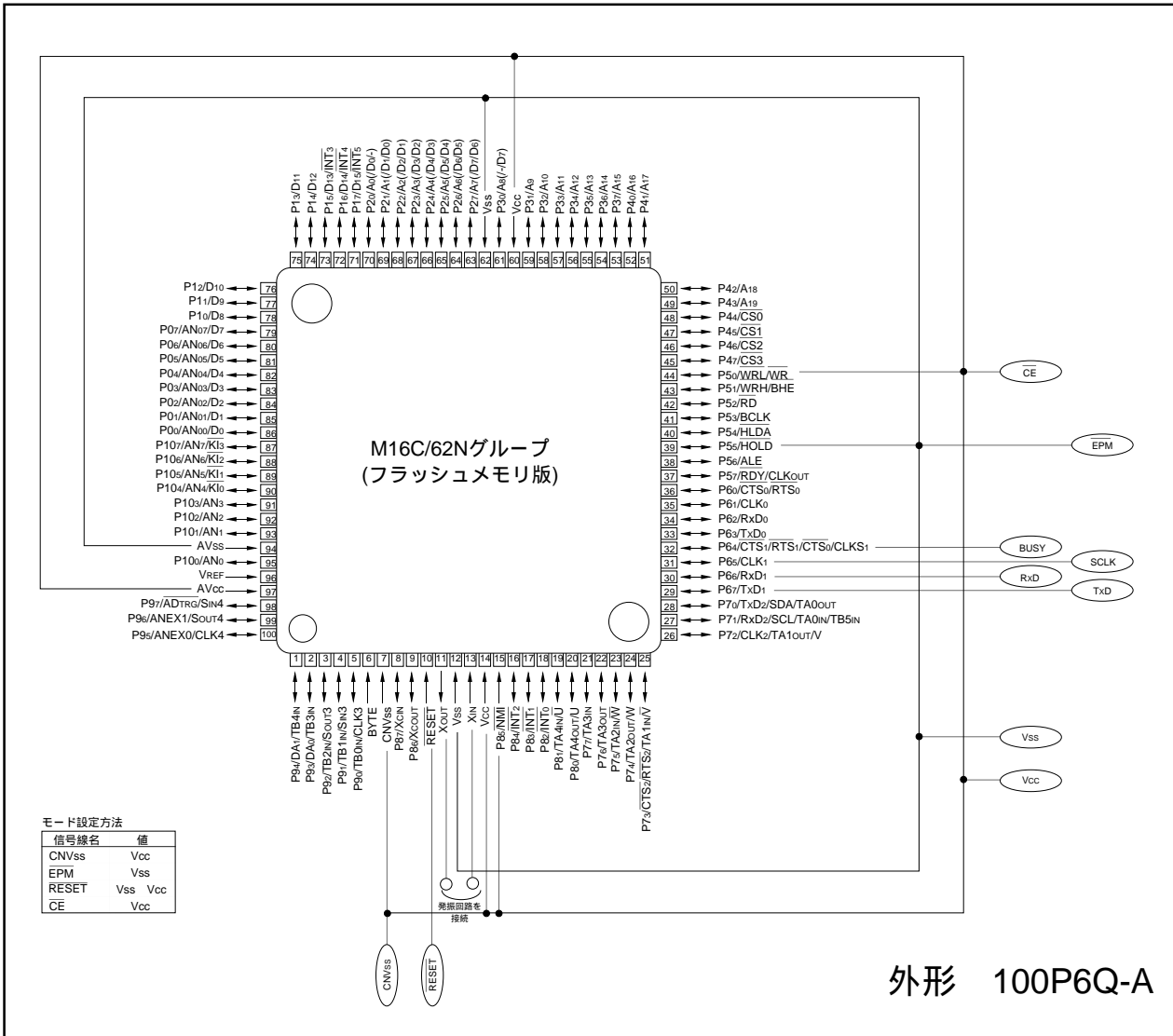


図1.32.1. シリアル入出力モード時の端子結線図(2)

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形のモード1
- ・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(C \bar{E})端子を“H”、P55(E $\bar{P}M$)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.32.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK1端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK1端子を“H”にしてリセットを解除します。UART1の端子CLK1、RxD1、TxD1、RTS1(BUSY)の4本を使用します。CLK1端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TxD1端子はCMOS出力です。RTS1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK1端子を“L”にしてリセットを解除します。UART1の端子RxD1、TxD1の2本を使用します。

標準シリアル入出力モードでは、図1.32.18に示すユーザROM領域のみ書き換え可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライター)から送られてくるコマンドを受け付けません。

標準シリアル入出力モード1(クロック同期形)機能概要

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がり同期して、RxD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がり同期して、TxD1端子から外部に出力します。

TxD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表1.32.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します

表1.32.1. ソフトウェアコマンド一覧表(標準シリアル入出力モード1)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全ブロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードブロックテストステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ブロックテストデータ 出力				受付不可
8	ブロックテストプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ブロックテスト有効	7A ₁₆							受付不可
10	ブロックテスト無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
12	データカウント機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
13	ページ番号情報出力機能	FB ₁₆	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	~9バイト目 ページ番号データ出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタ1データ。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

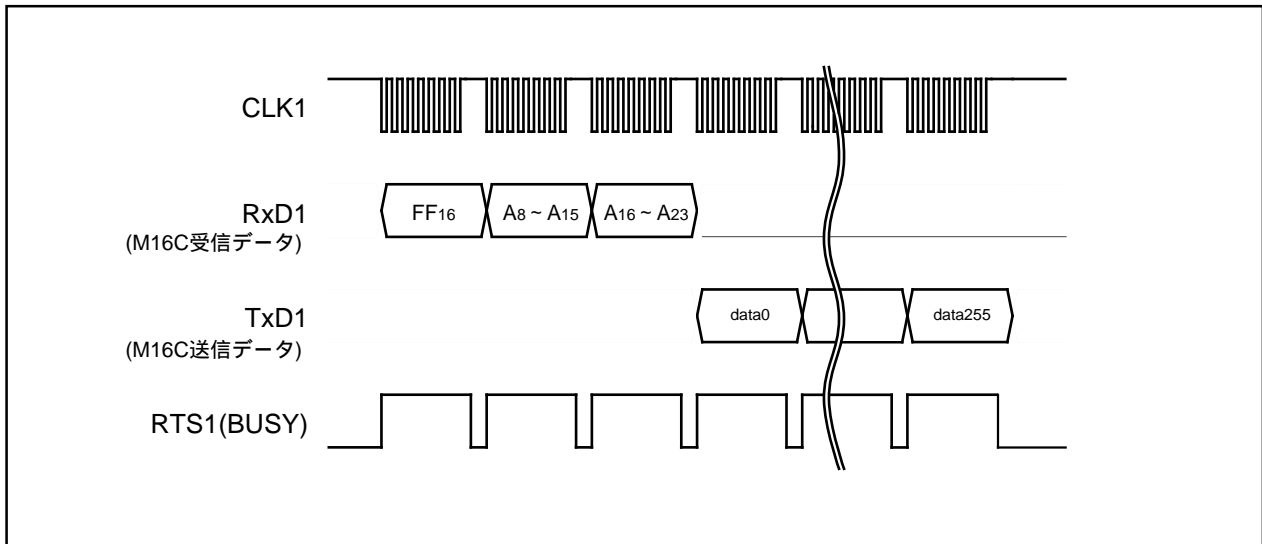


図1.32.2. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

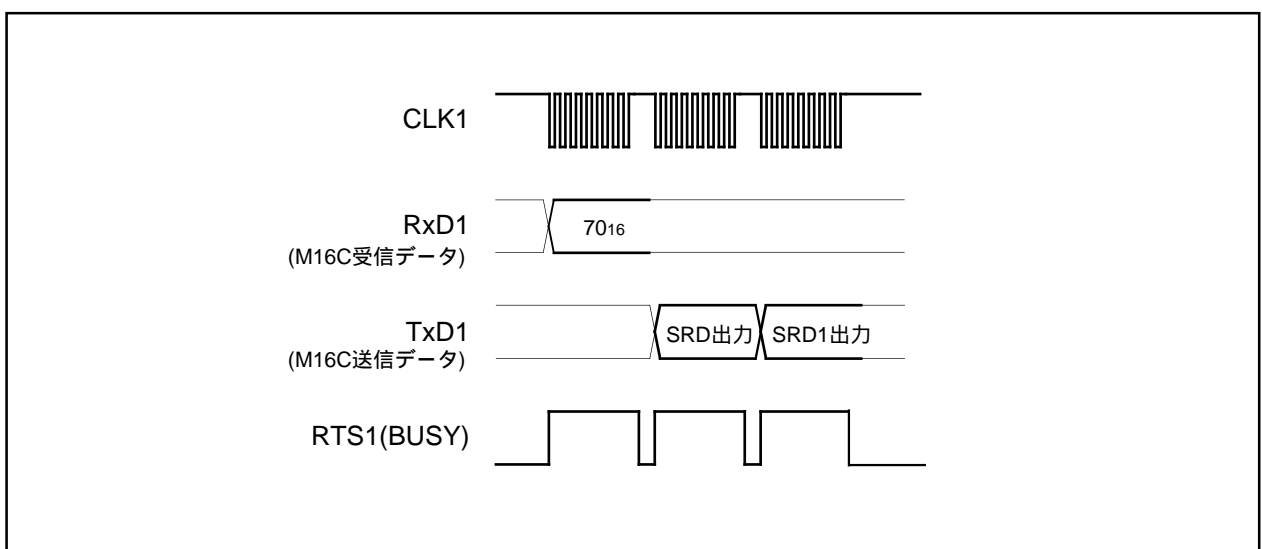


図1.32.3. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS₁(BUSY)信号は“H”から“L”に変化します。

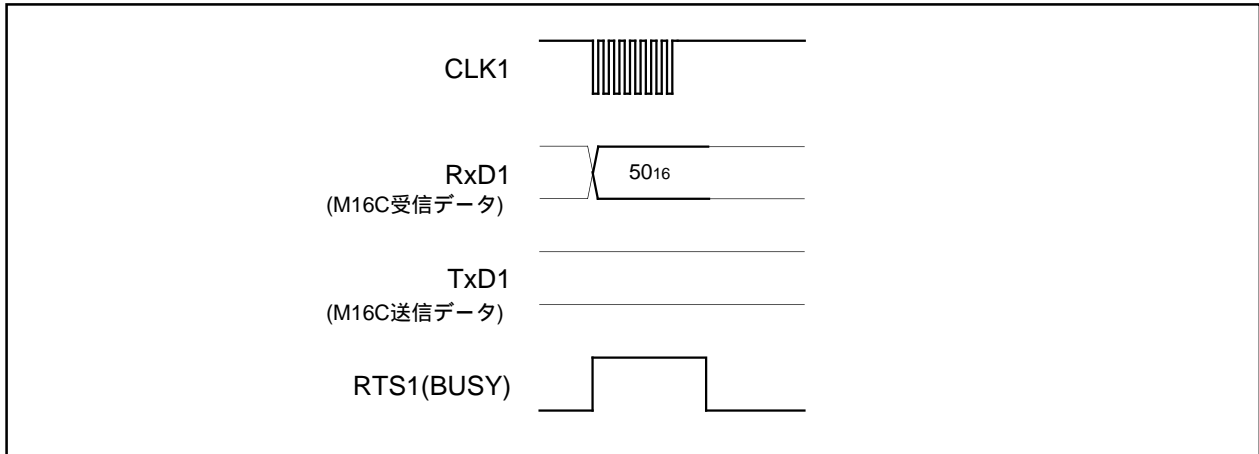


図1.32.4. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降、ライトデータ(D₀~D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS₁(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

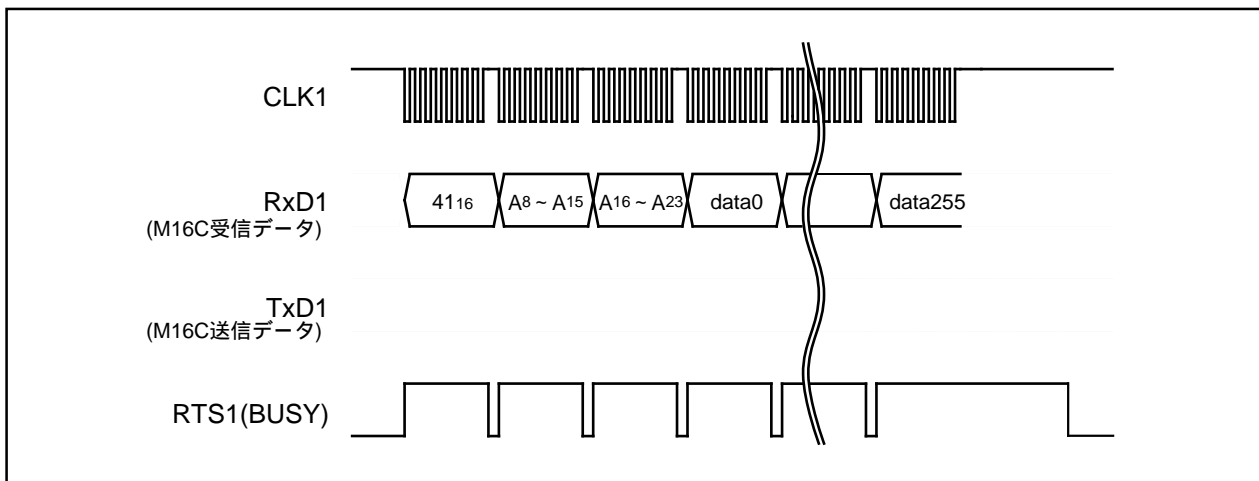


図1.32.5. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₁(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

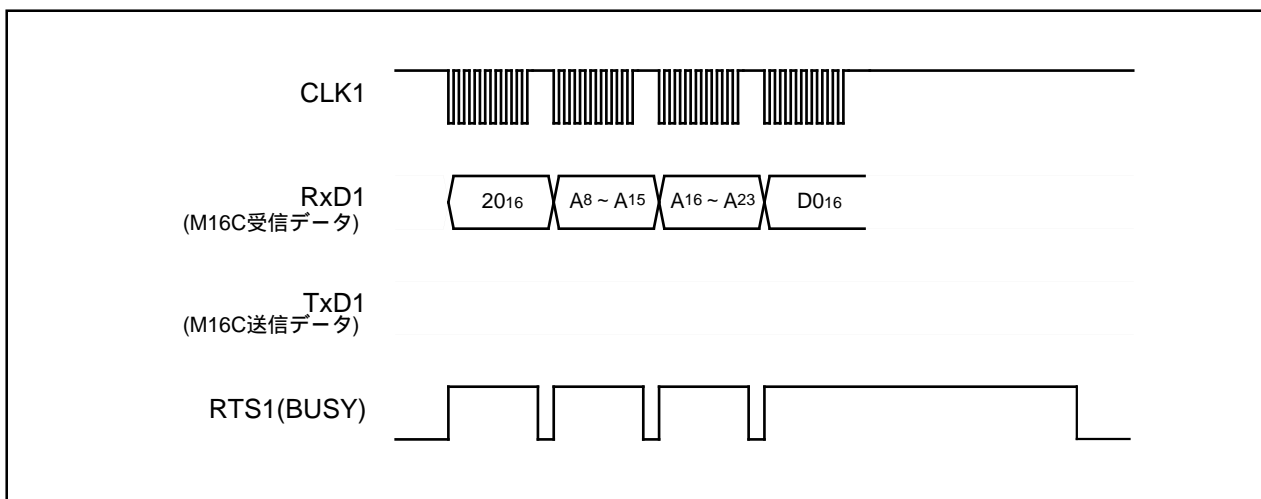


図1.32.6. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS₁(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

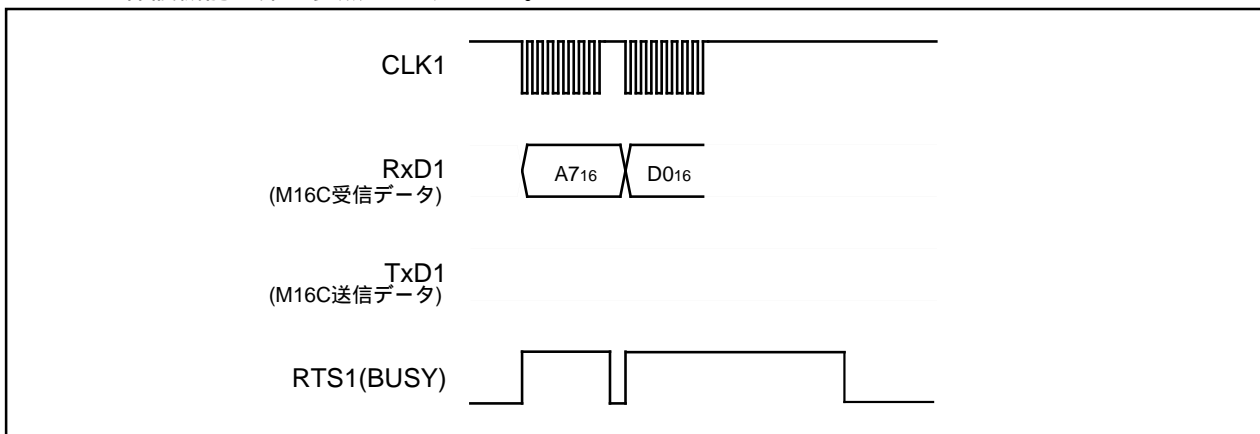


図1.32.7. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A₈ ~ A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS₁(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

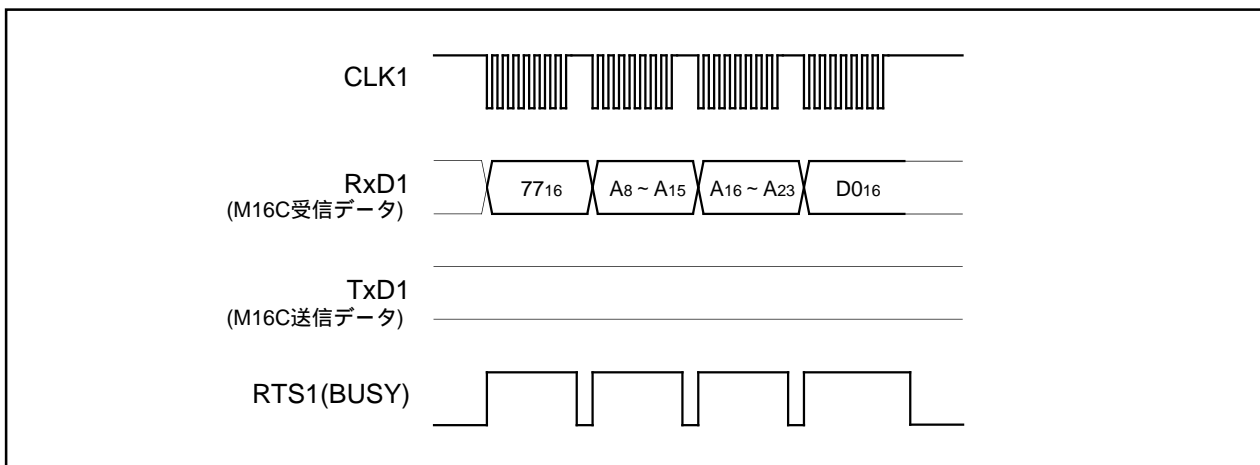


図1.32.8. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈~A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

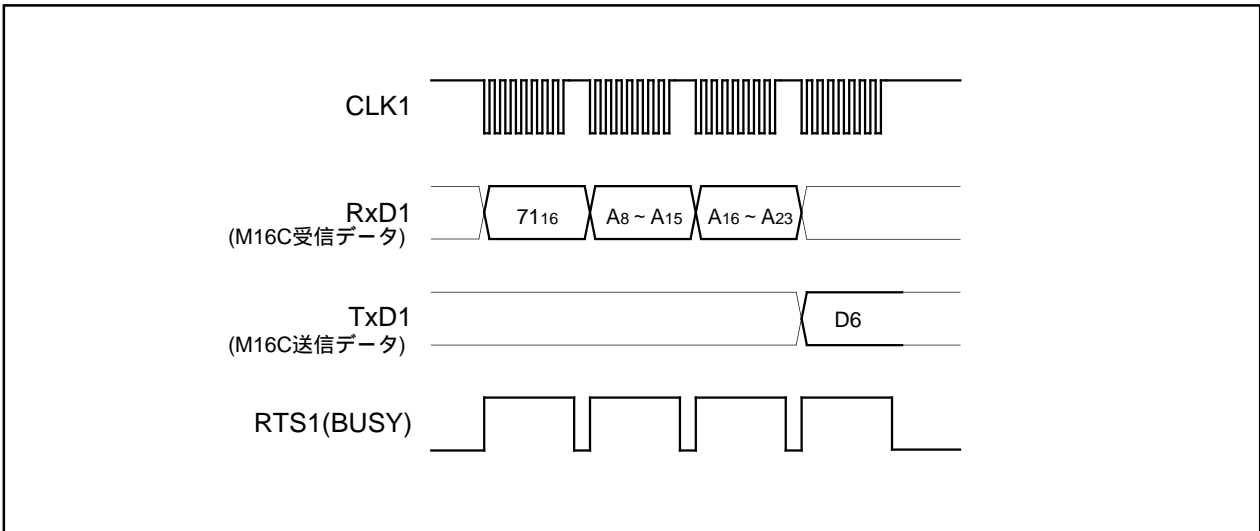


図1.32.9. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

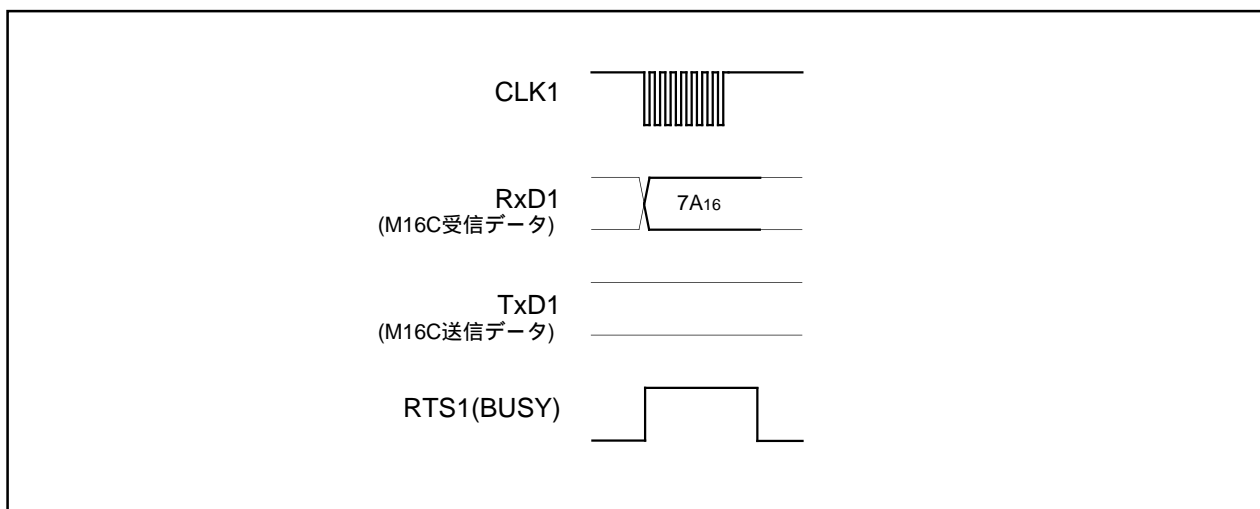


図1.32.10. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

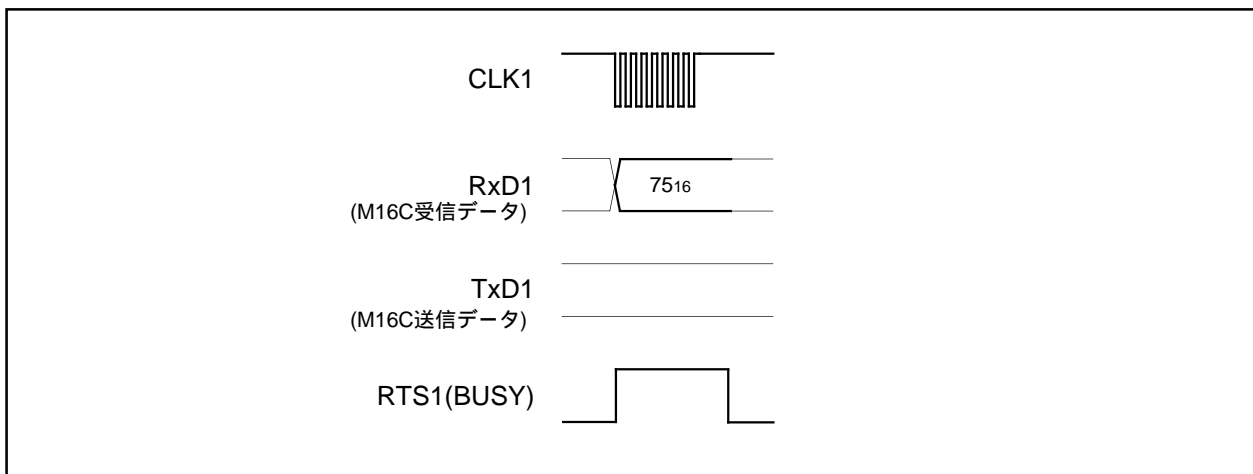


図1.32.11. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

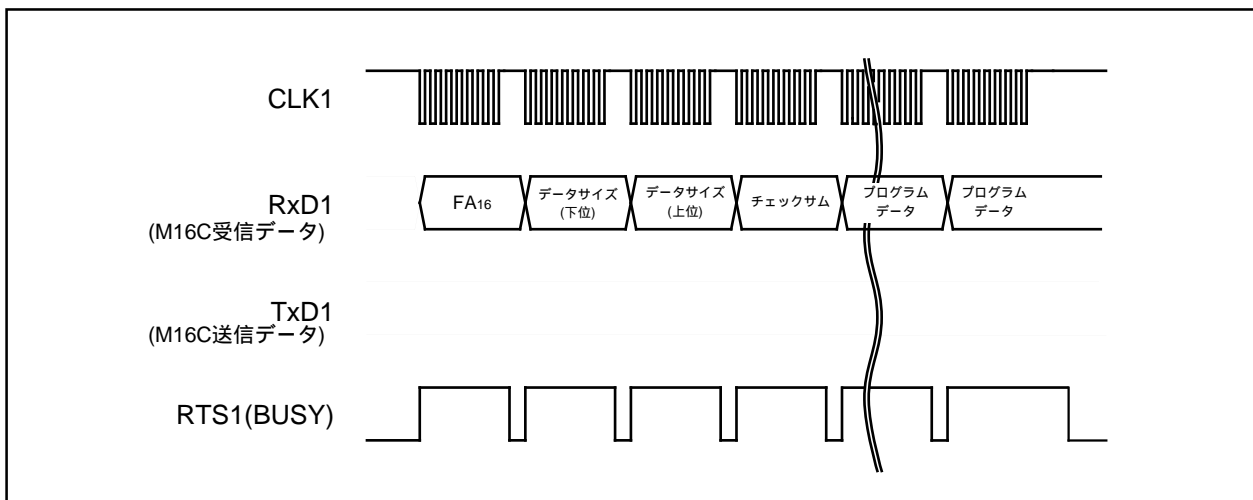


図1.32.12. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

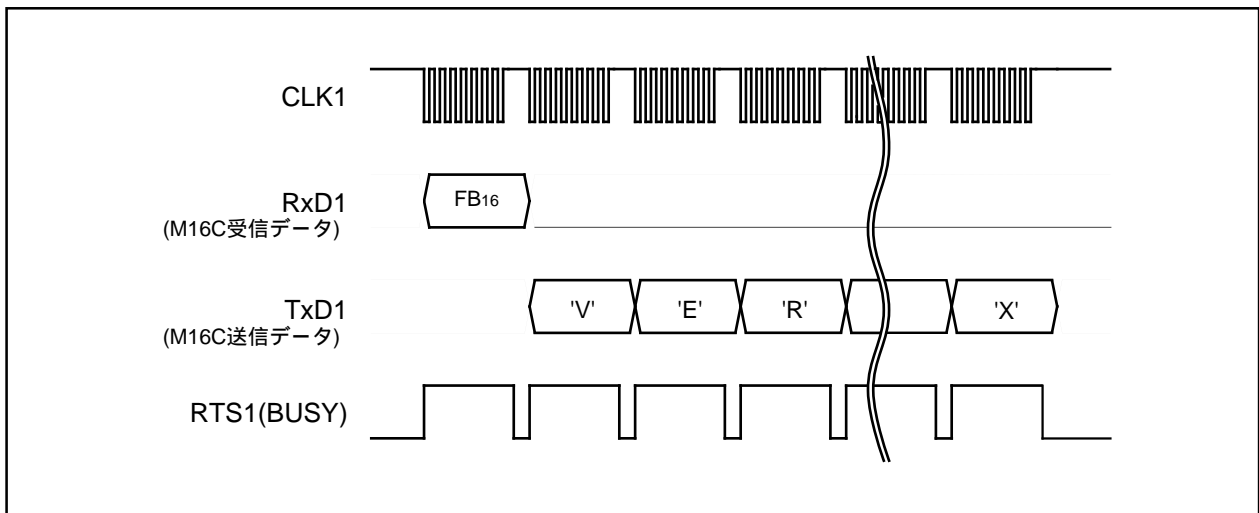


図1.32.13. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

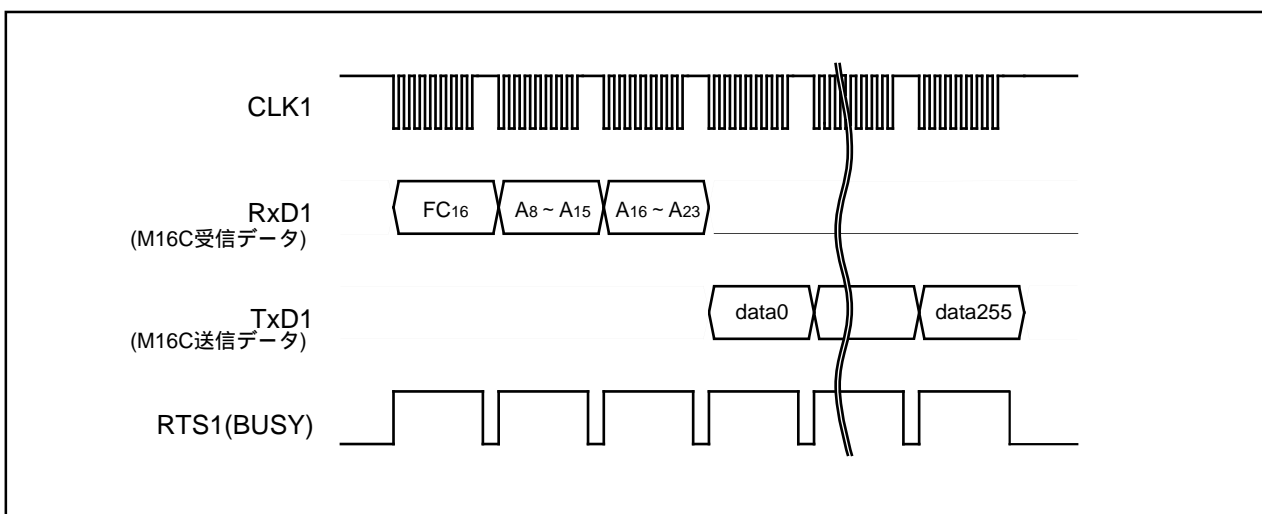


図1.32.14. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀～A₇、A₈～A₁₅、A₁₆～A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

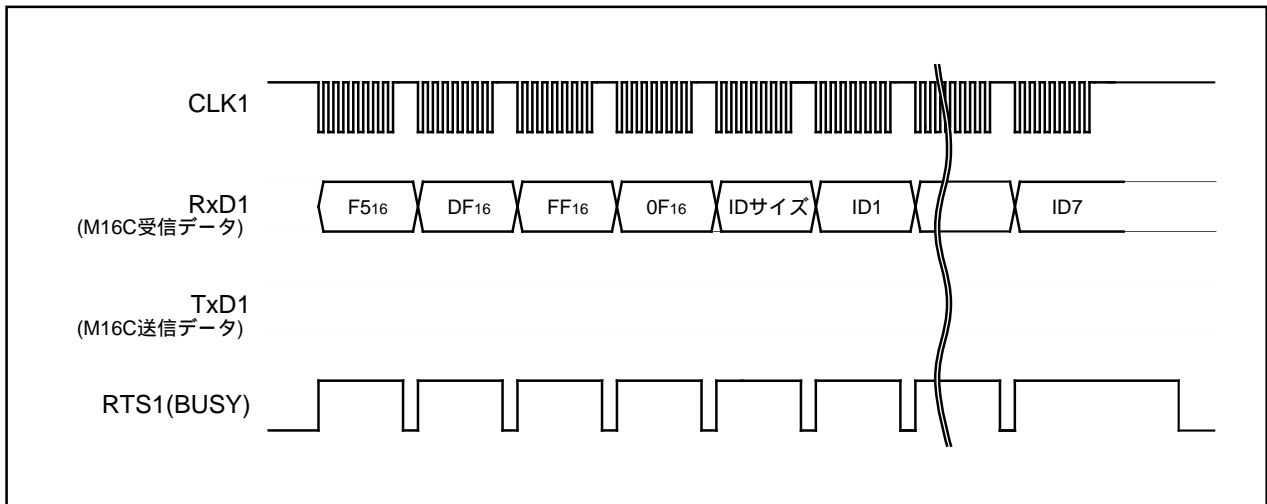


図1.32.15. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がblankでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE0₁₆、0FFFE3₁₆、0FFFE6₁₆、0FFFE9₁₆、0FFFF0₁₆、0FFFF3₁₆、0FFFF6₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

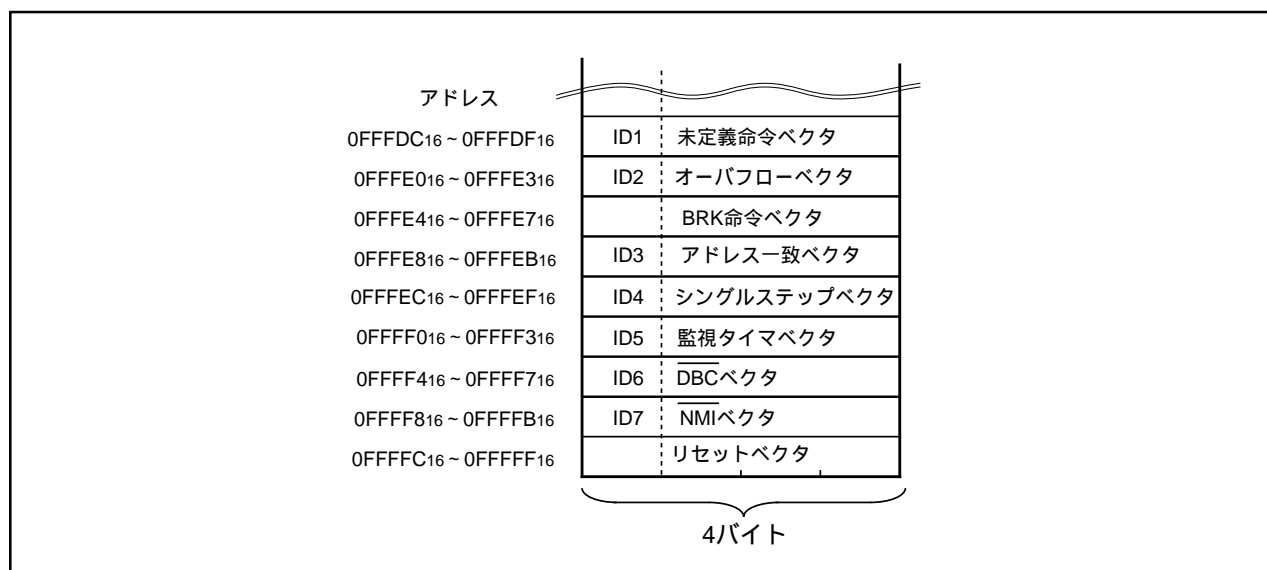


図1.32.16. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

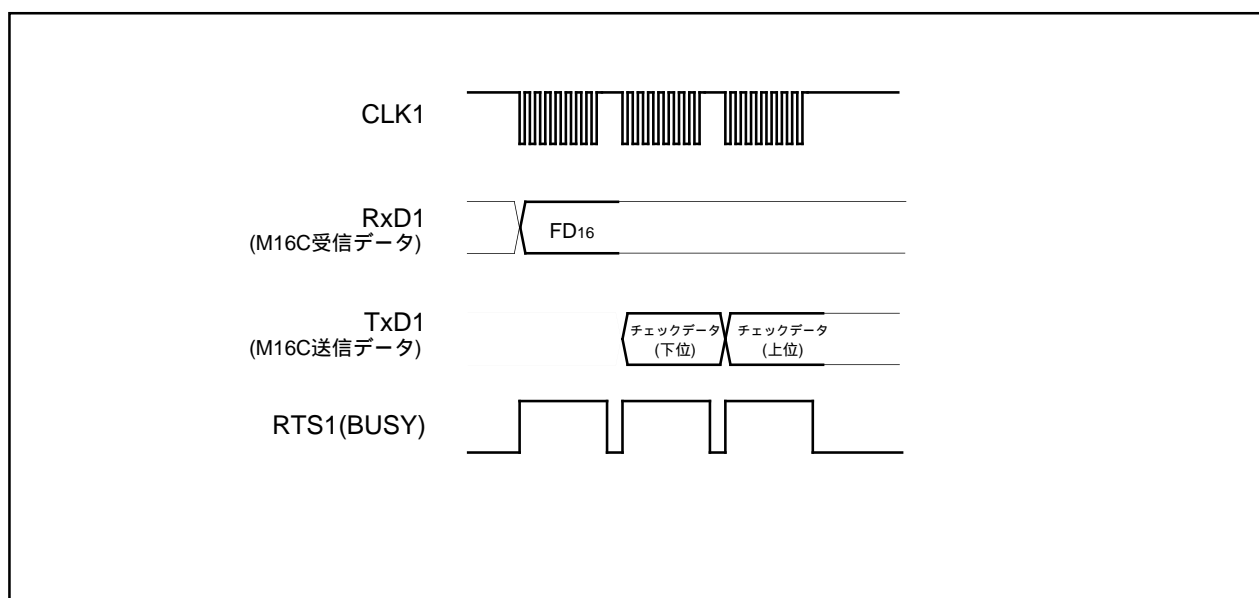


図1.32.17. リードチェックデータコマンド時のタイミング

データ保護機能(ブロックロック)

図1.32.18 に示す各々のブロックは、消去 / 書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とロックビット無効コマンド / ロックビット有効コマンドの実行状況で決まります。

- (1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック / 非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去 / 書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去 / 書き込みが可能です。
- (2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去 / 書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

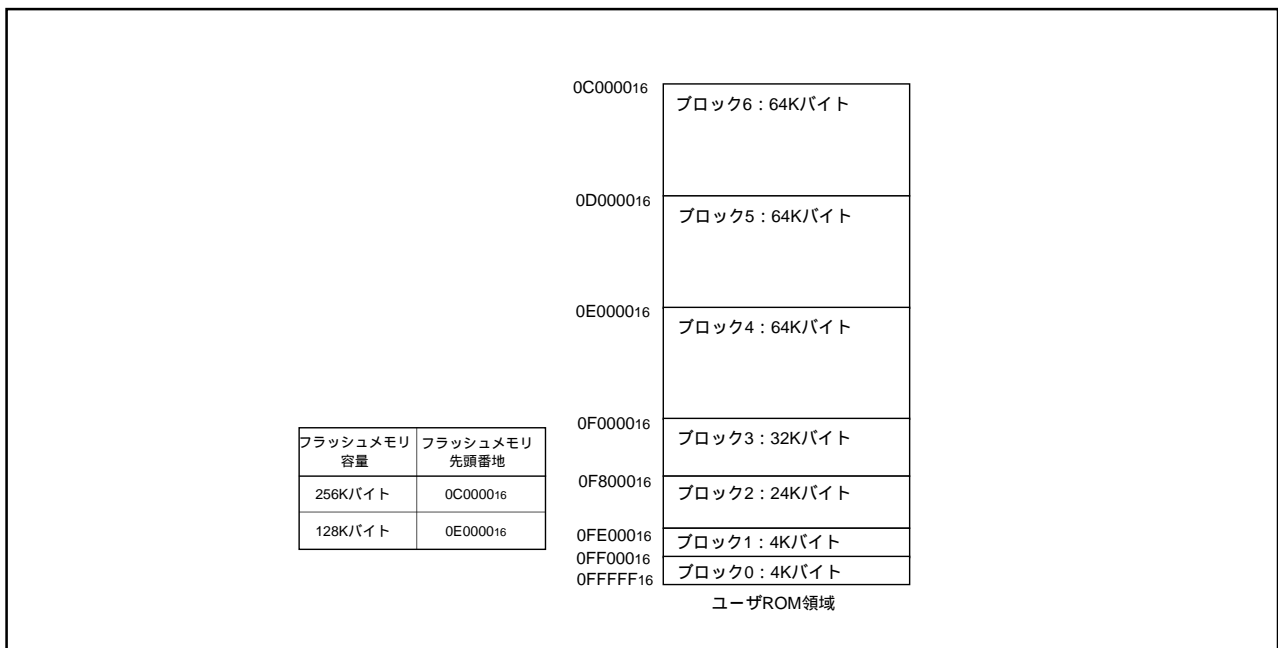


図1.32.18. ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.32.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表1.32.2. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は"1" (レディ)にセットされます。プログラムやイレーズの動作中は"0" (ビジー)にセットされますが、これらの動作終了とともに"1"にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると"1"にセットされます。イレーズステータスは、クリアされると"0"になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると"1"にセットされます。プログラムステータスは、クリアされると"0"になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.32.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表1.32.3. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	フラッシュ識別値	HND	DINOR
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

フラッシュ識別値(SR14)

フラッシュメモリの種類がHNDかDINORかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.32.19にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

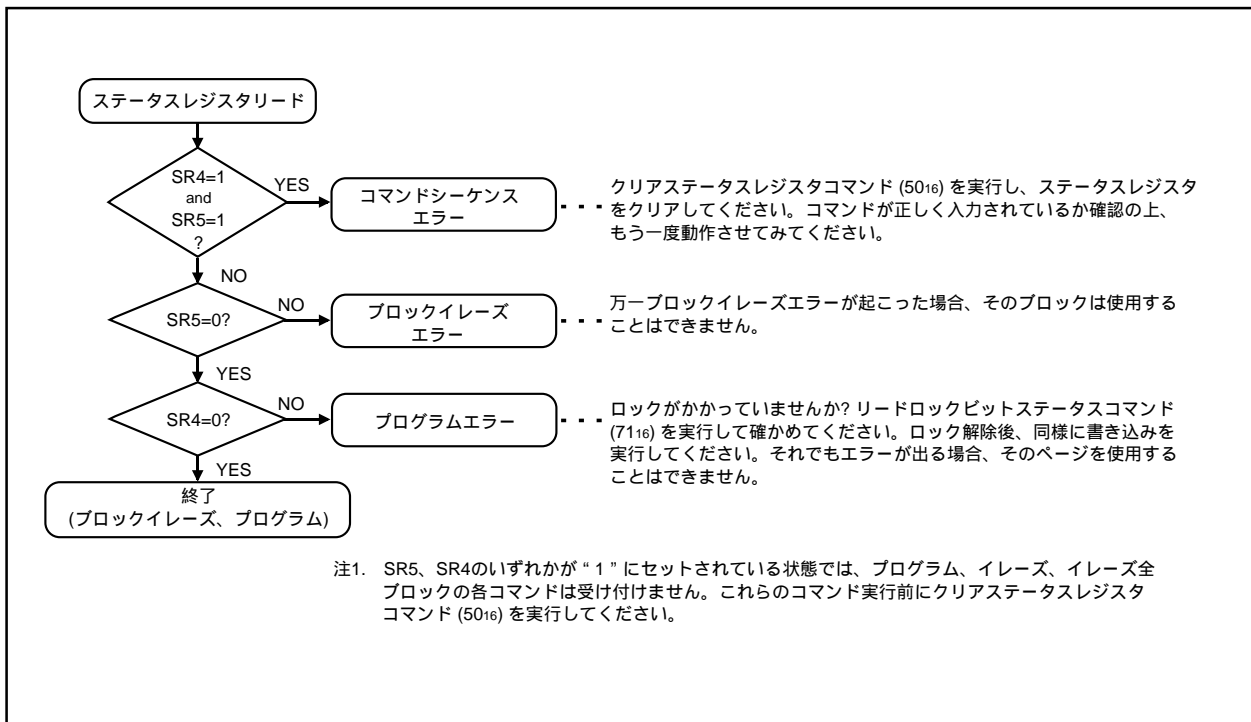


図1.32.19. フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライター)によって制御するピン等が異なりますので、詳細は外部装置(ライター)のマニュアルを参考にしてください。

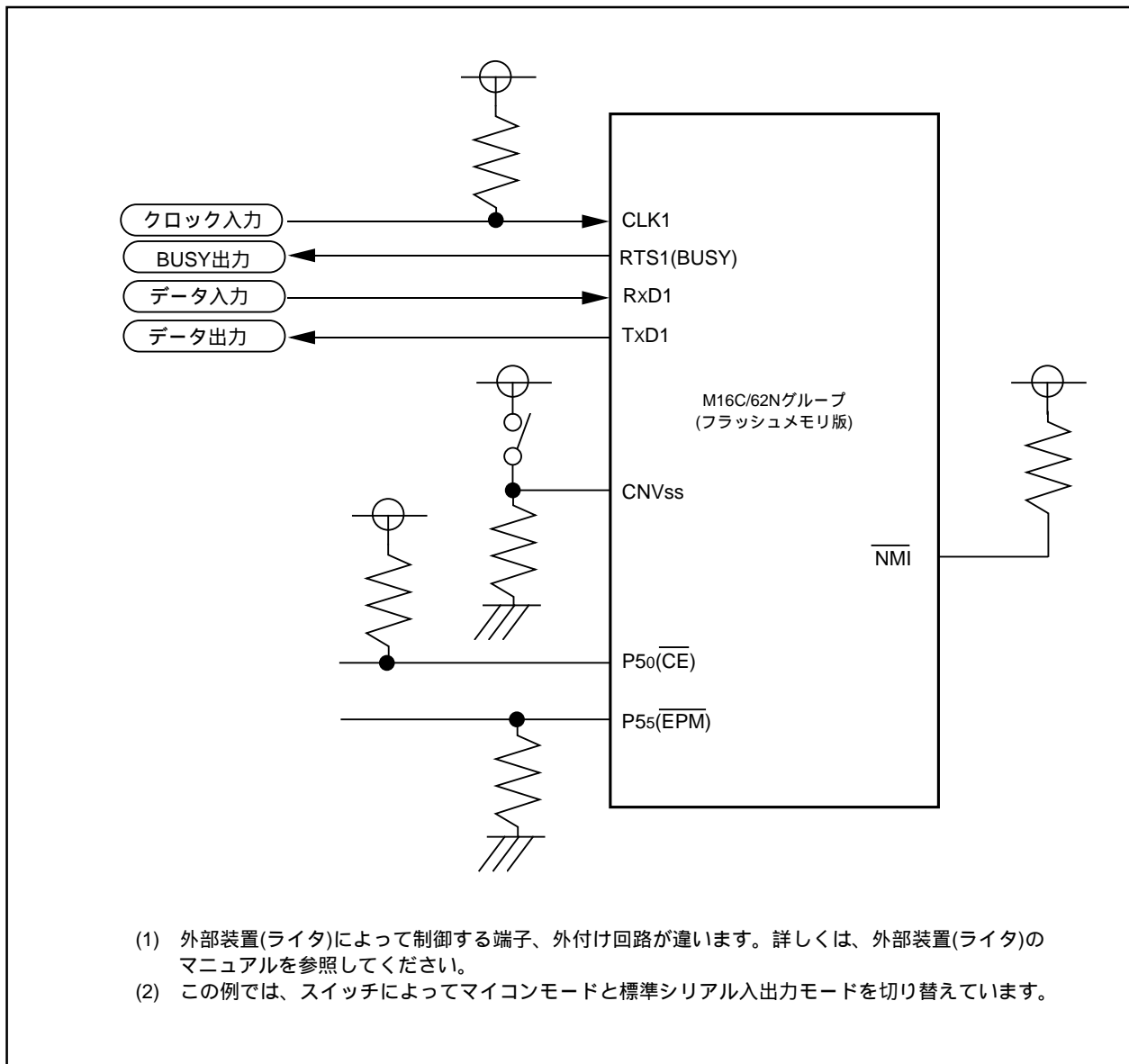


図1.32.20. 標準シリアル入出力モード1時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.32.21)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウェアコマンドを実行することで、9600bps、19200bps、38400bps、57600bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、充分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウェアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウェアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.32.21)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

- (1) 外部装置から“B016”を転送します。このとき、メインクロックの入力発振周波数が10MHz/16MHzの場合、フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力します。10MHz/16MHz以外の場合、何も出力しません。
- (2) 外部装置から“0016”を16回転送します。(フラッシュメモリ内蔵マイコンは“0016”が正しく受信できるように転送速度レジスタを設定します。)
- (3) フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力し、初期通信を終了します(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1. 外部装置に“B016”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

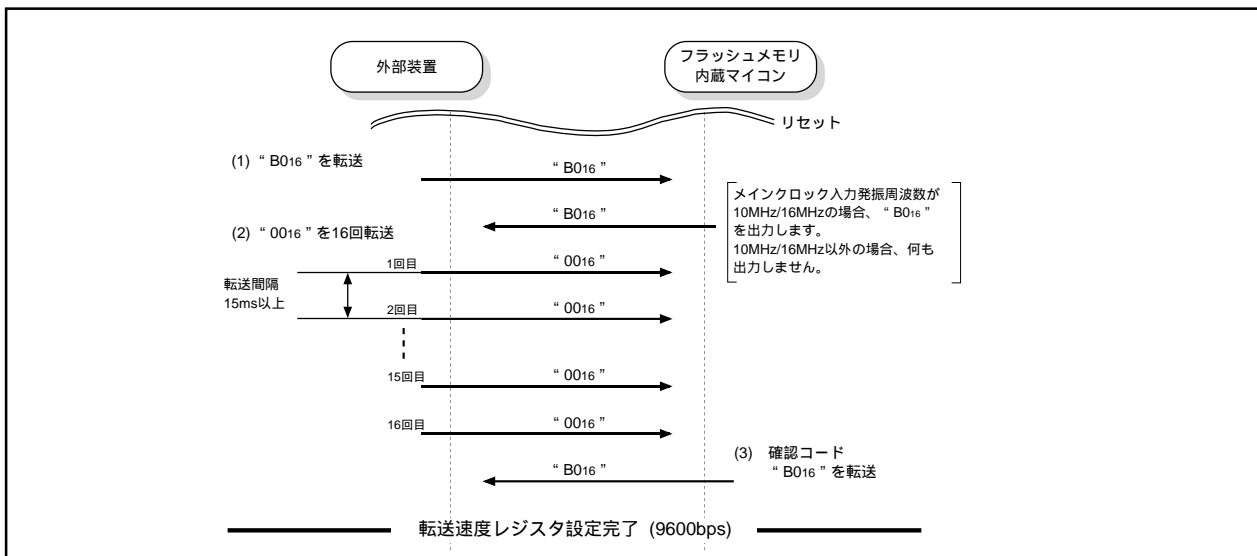


図1.32.21. 外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“0016”データを16回受信することで、動作周波数(2MHz~16MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.32.4に主な周波数と実現できるボーレートの一覧を示します。

表1.32.4 動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps
16MHz				
12MHz				×
11MHz				×
10MHz			×	
8MHz			×	
7.3728MHz				
6MHz				×
5MHz			×	×
4.5MHz			×	
4.194304MHz				×
4MHz			×	×
3.58MHz				
3MHz				×
2MHz		×	×	×

: 通信可能

× : 通信不可

ソフトウェアコマンド

表1.32.5にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウェアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600の4コマンドを追加しています。

以下に各ソフトウェアコマンドの内容を説明します

表1.32.5. ソフトウェアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1A [*] 16ビット の転送	2A [*] 16ビット	3A [*] 16ビット	4A [*] 16ビット	5A [*] 16ビット	6A [*] 16ビット	~	ID照合未
1	パージリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259A [*] 16ビット データ出力	受付不可
2	パージプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259A [*] 16ビット データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックビットデータ 出力				受付不可
8	ロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ロックビット有効	7A ₁₆							受付不可
10	ロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	~必要回数		受付不可
13	パージ状態情報出力機能	FB ₁₆	パージ状態データ 出力	パージ状態データ 出力	パージ状態データ 出力	パージ状態データ 出力	パージ状態データ 出力	~9A [*] 16ビット パージ状態データ出力	受付可
14	ポートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259A [*] 16ビット データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可
16	ボーレート9600	B0 ₁₆	B0 ₁₆						受付可
17	ボーレート19200	B1 ₁₆	B1 ₁₆						受付可
18	ボーレート38400	B2 ₁₆	B2 ₁₆						受付可
19	ボーレート57600	B3 ₁₆	B3 ₁₆						受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタ1データ。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

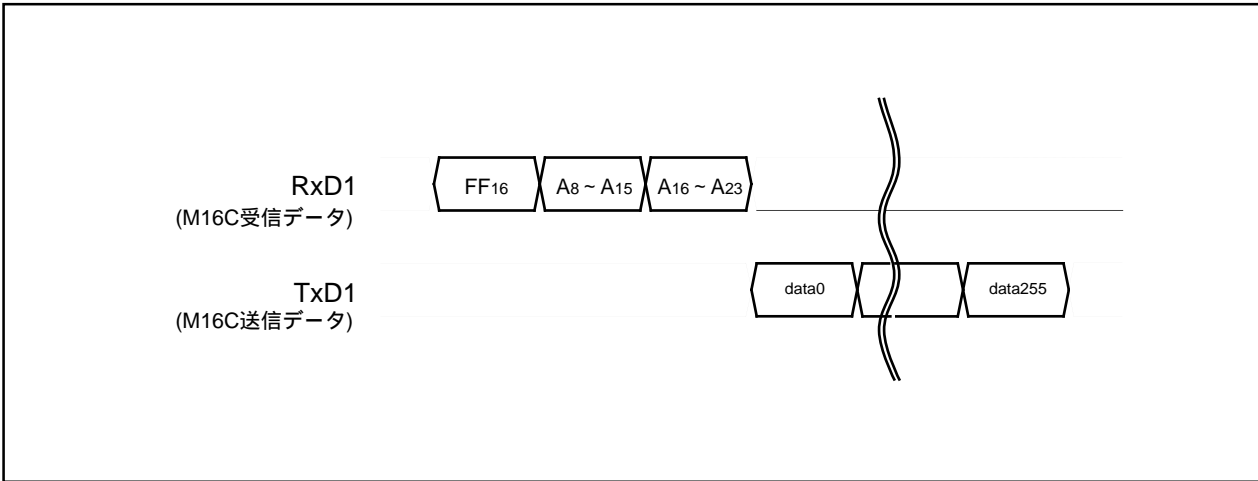


図1.32.22. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

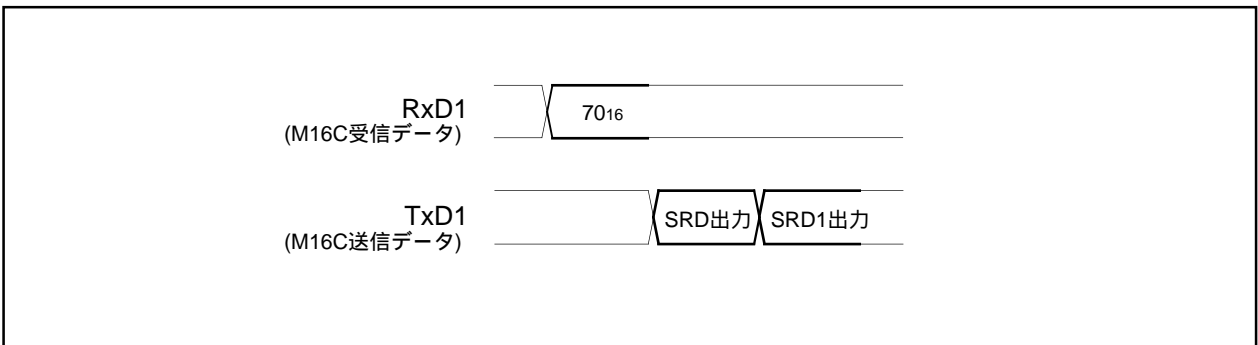


図1.32.23. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。

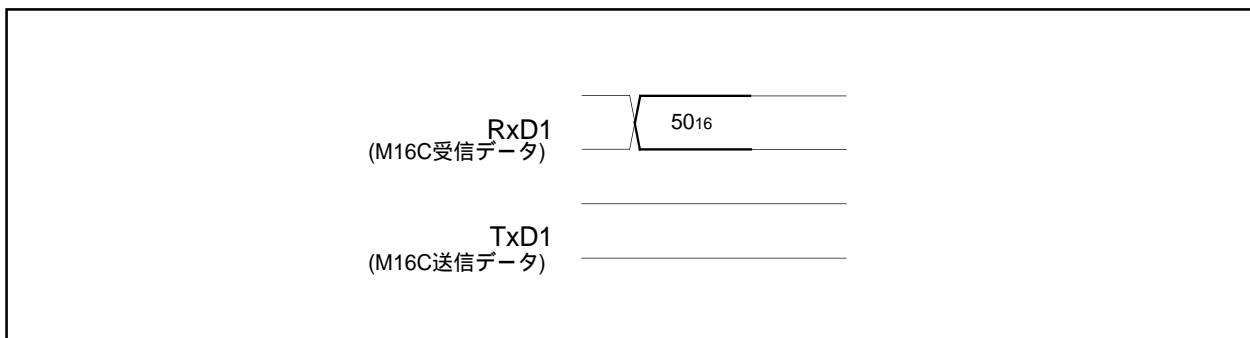


図1.32.24. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0～D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

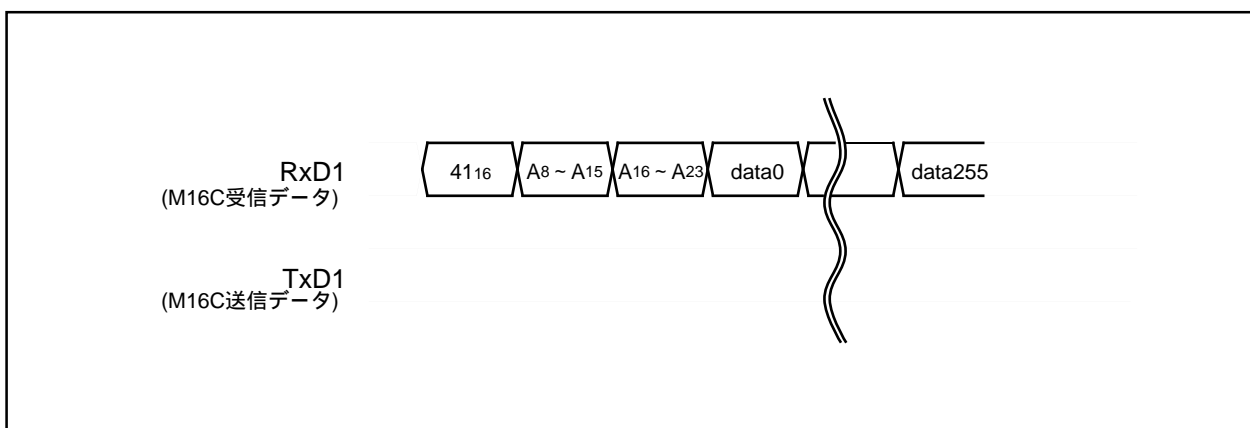


図1.32.25. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

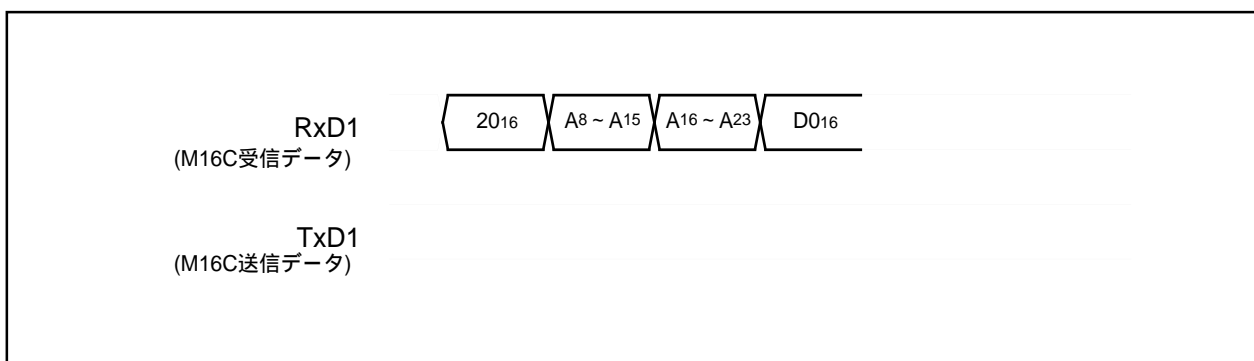


図1.32.26. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A716 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D016 ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

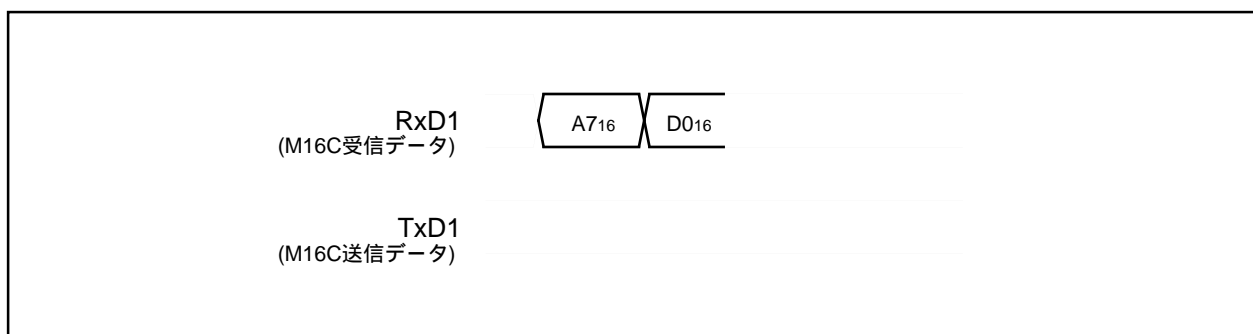


図1.32.27. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 7716 ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D016 ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

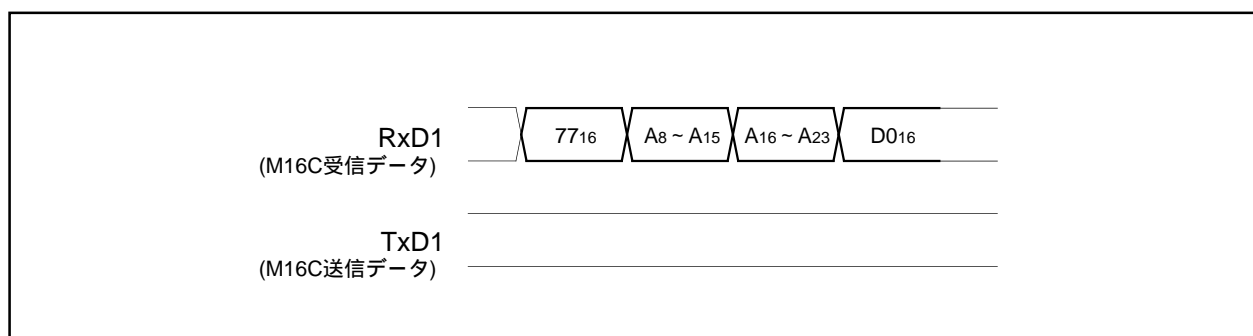


図1.32.28. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

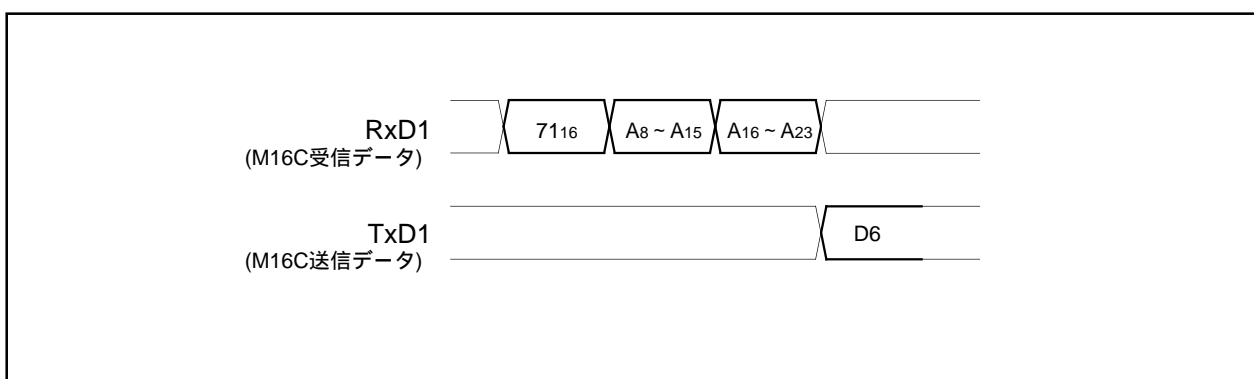


図1.32.29. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

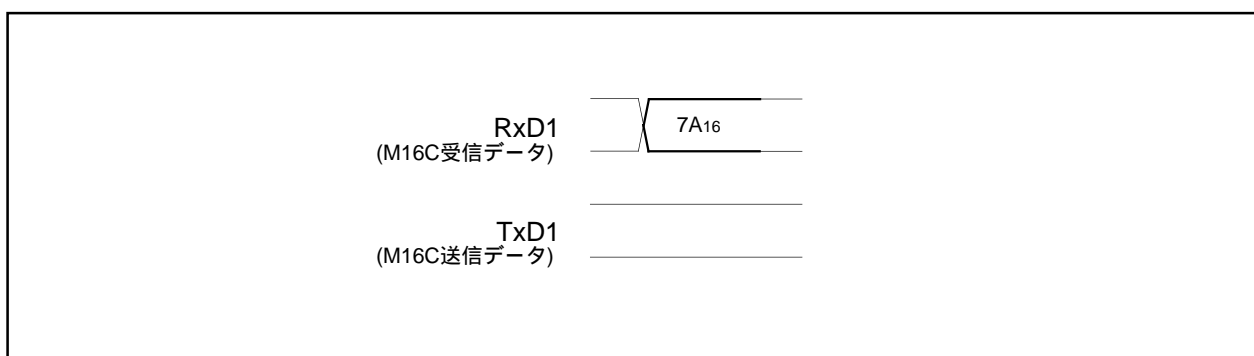


図1.32.30. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

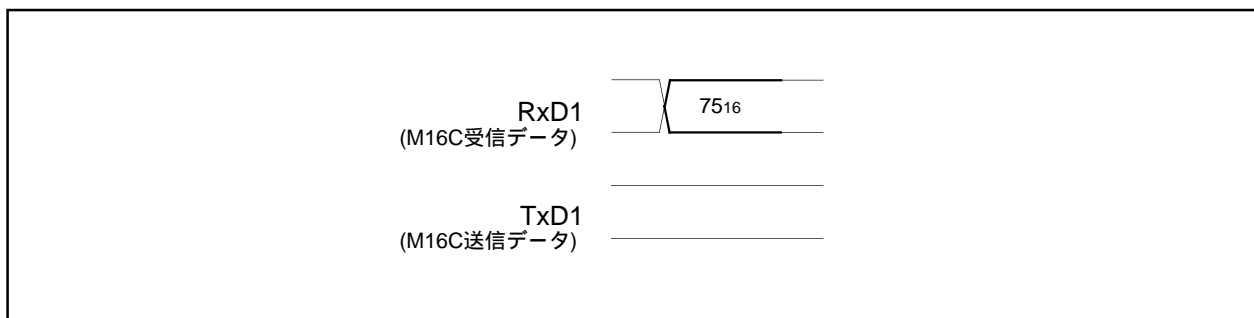


図1.32.31. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

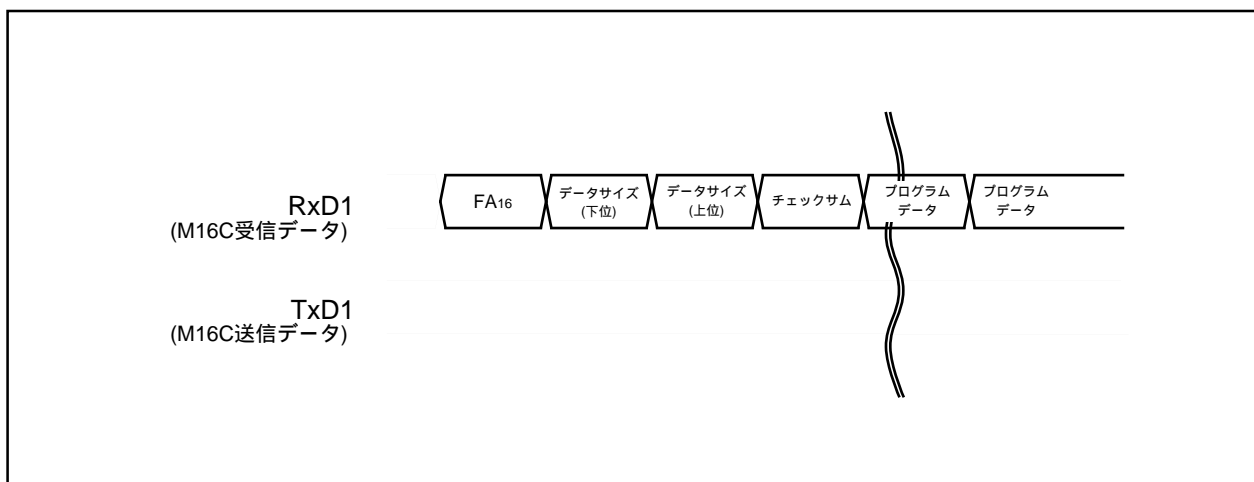


図1.32.32. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

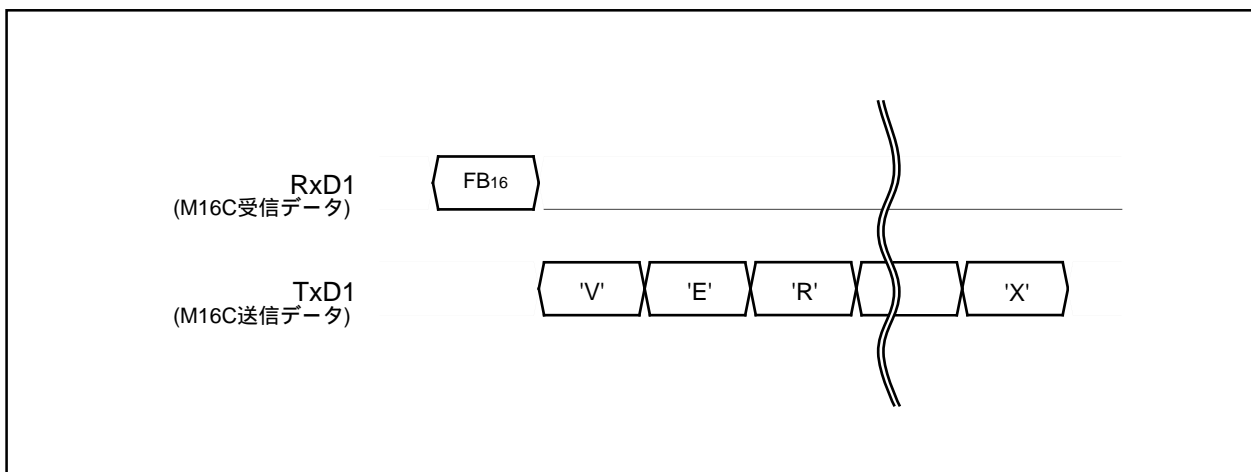


図1.32.33. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、アドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

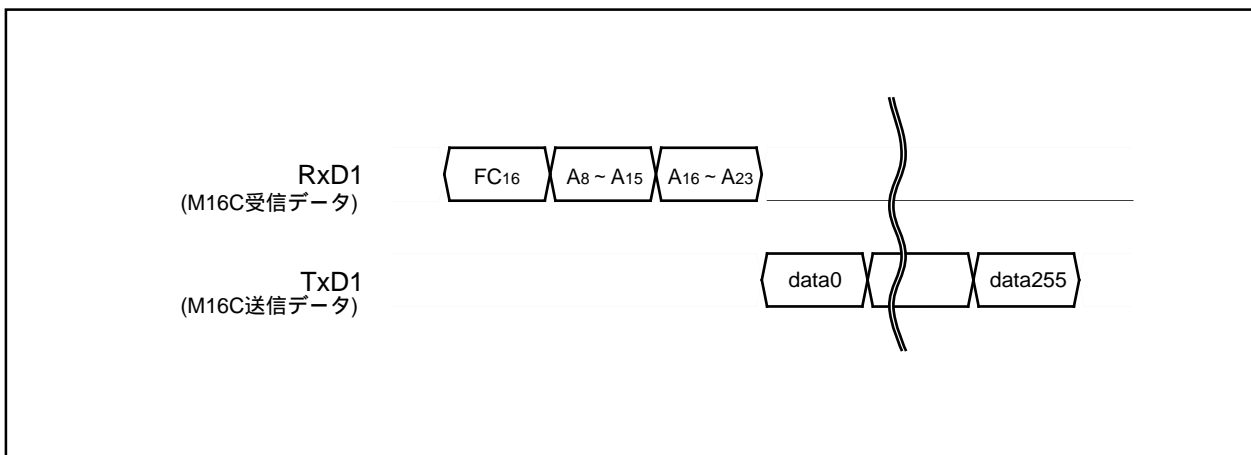


図1.32.34. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀~A₇、A₈~A₁₅、A₁₆~A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

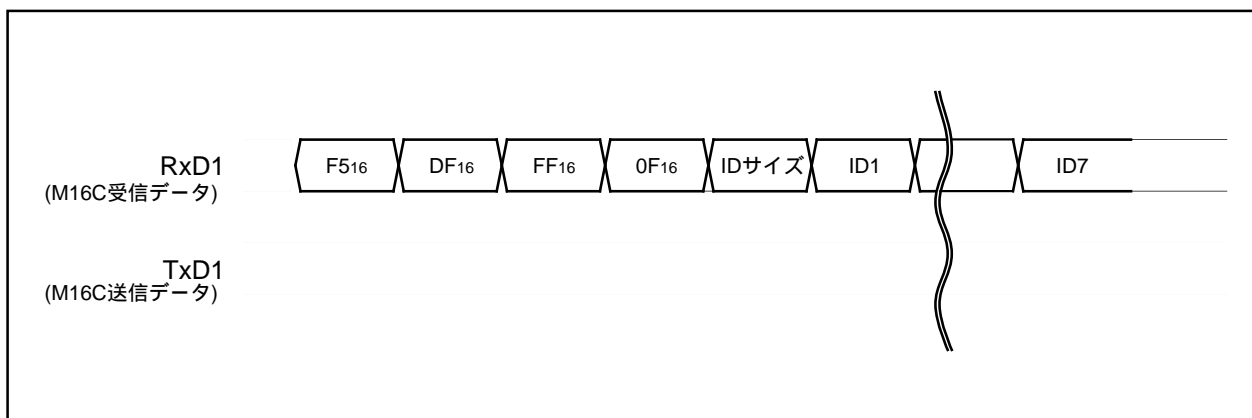


図1.32.35. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がblankでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE0₁₆、0FFFE3₁₆、0FFFE7₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

アドレス	ID	機能
0FFFDC ₁₆ ~ 0FFFD ₁₆	ID1	未定義命令ベクタ
0FFFE0 ₁₆ ~ 0FFFE3 ₁₆	ID2	オーバフローベクタ
0FFFE4 ₁₆ ~ 0FFFE7 ₁₆		BRK命令ベクタ
0FFFE8 ₁₆ ~ 0FFFEB ₁₆	ID3	アドレス一致ベクタ
0FFFE ₁₆ ~ 0FFFEF ₁₆	ID4	シングルステップベクタ
0FFFF0 ₁₆ ~ 0FFFF3 ₁₆	ID5	監視タイマベクタ
0FFFF4 ₁₆ ~ 0FFFF7 ₁₆	ID6	DBCベクタ
0FFFF8 ₁₆ ~ 0FFFFB ₁₆	ID7	NMIベクタ
0FFFFC ₁₆ ~ 0FFFFF ₁₆		リセットベクタ

4バイト

図1.32.36. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

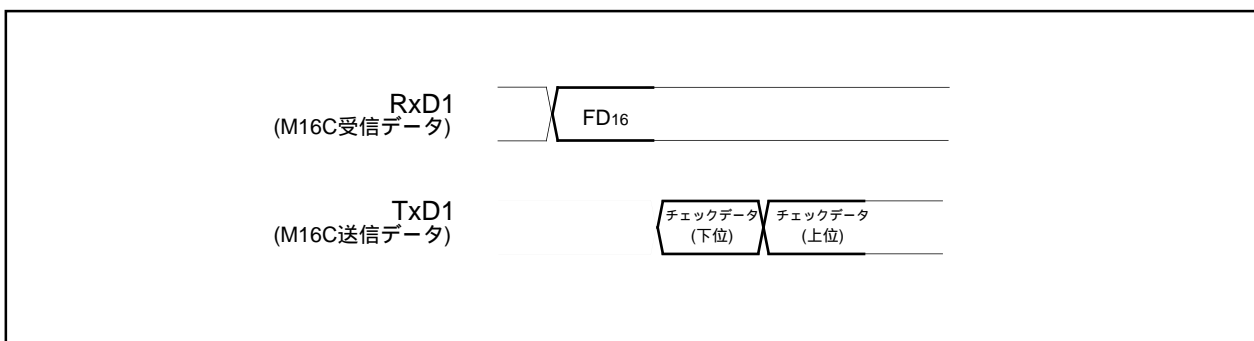


図1.32.37. リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B016 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B016 ”を出力した後、転送速度9600bpsに変更します。

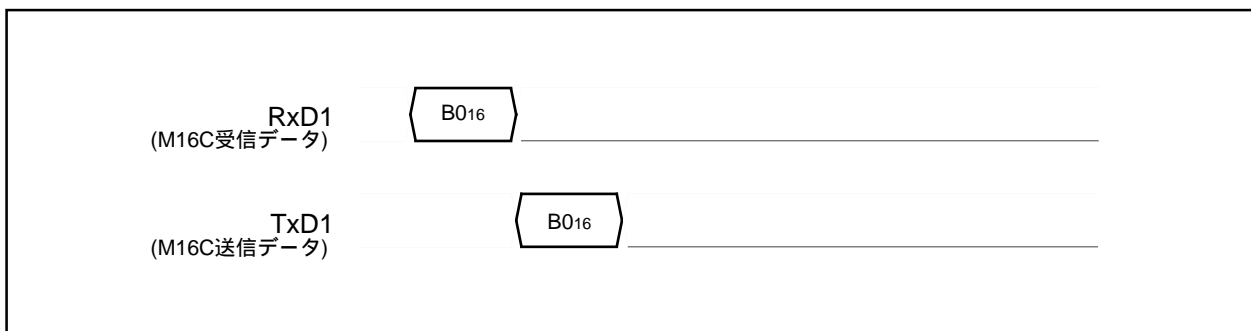


図1.32.38. ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B116 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B116 ”を出力した後、転送速度19200bpsに変更します。



図1.32.39. ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B216 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B216 ”を出力した後、転送速度38400bpsに変更します。

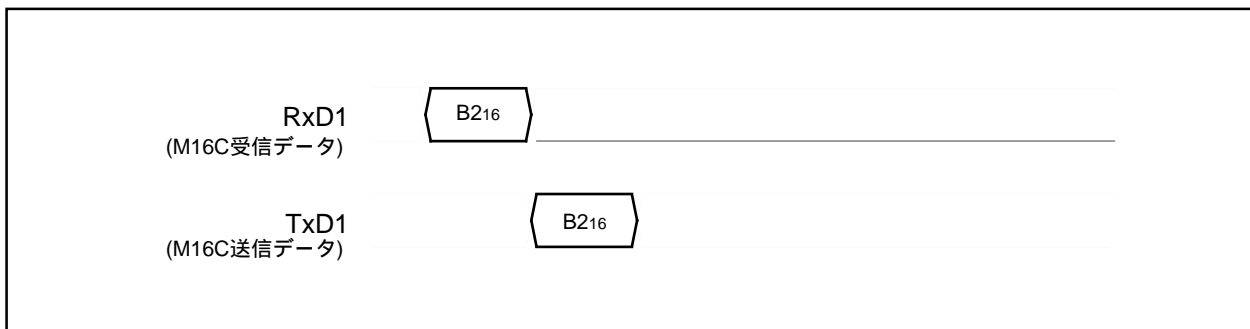


図1.32.40. ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B316 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B316 ”を出力した後、転送速度57600bpsに変更します。

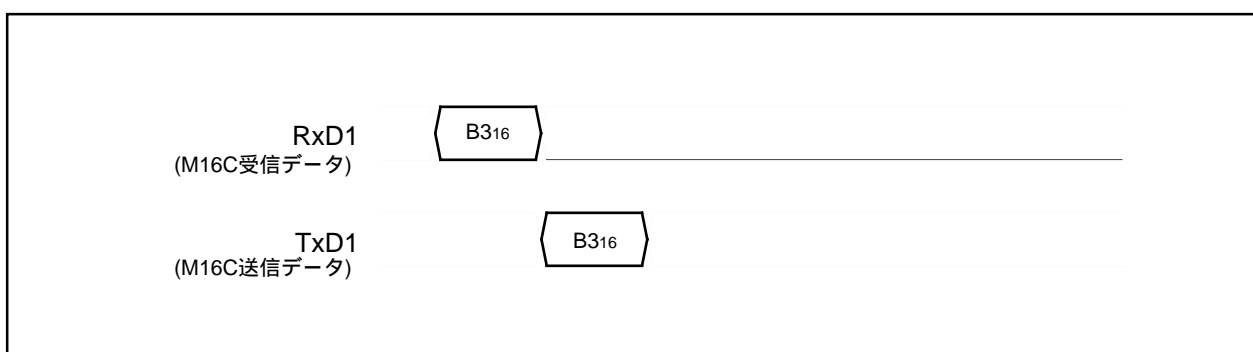


図1.32.41. ボーレート57600のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

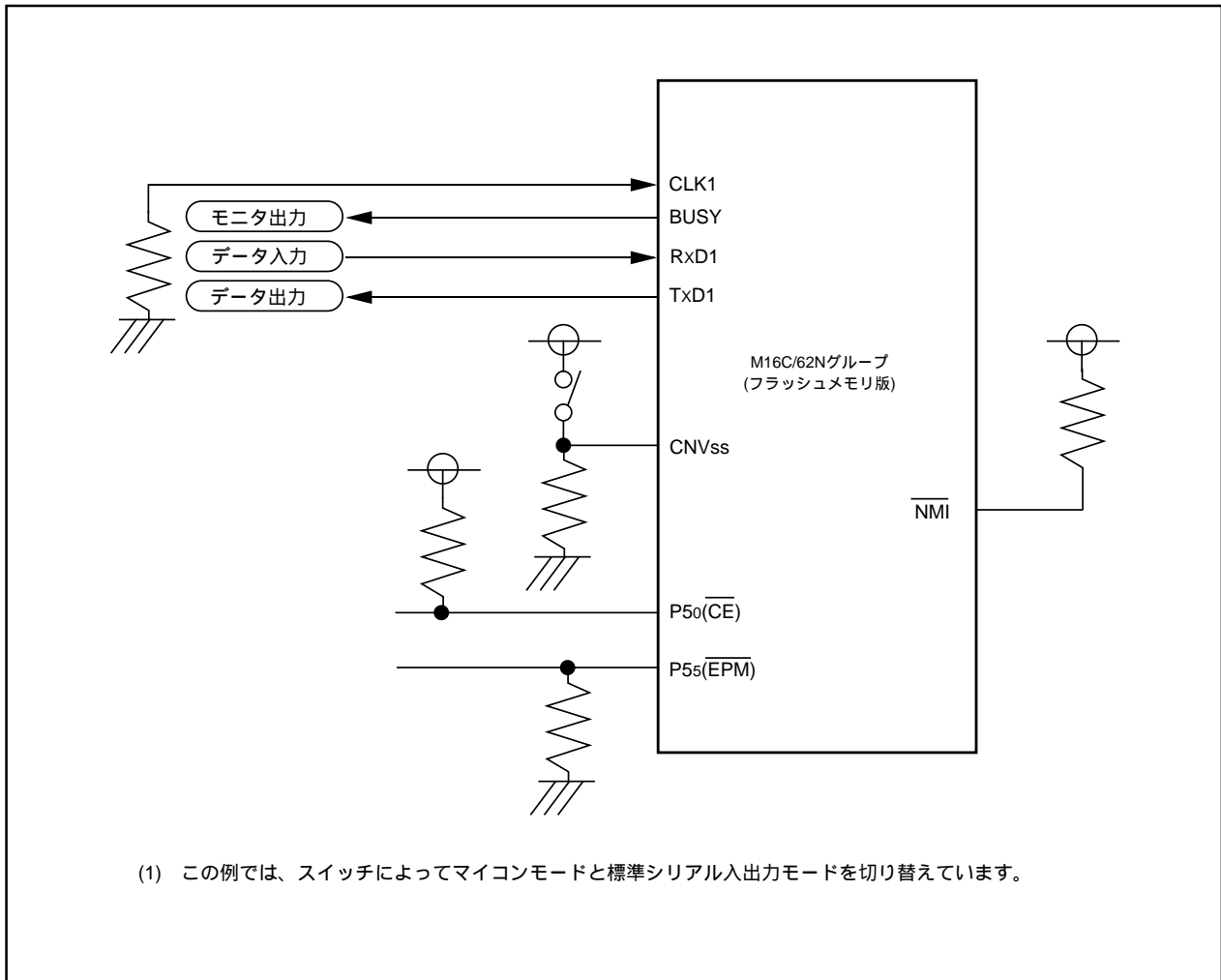


図1.32.42. 標準シリアル入出力モード2時の応用回路例

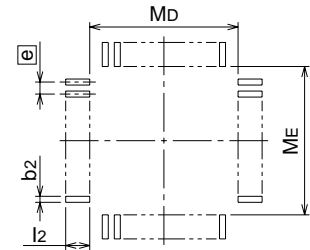
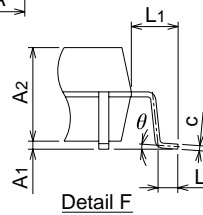
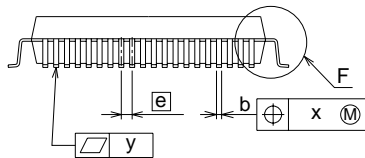
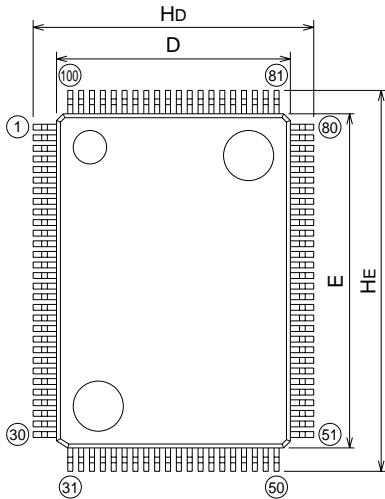
パッケージ外形図

パッケージ外形図

100P6S-A (MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



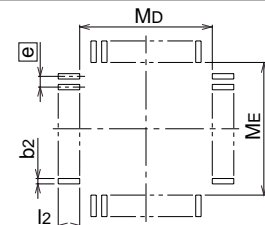
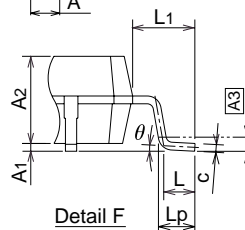
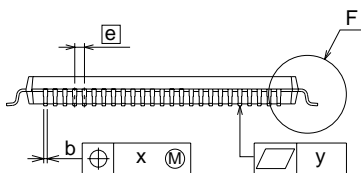
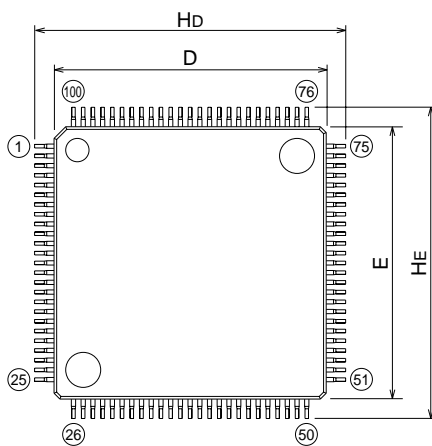
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
θ	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
Md	-	14.6	-
ME	-	20.6	-

100P6Q-A (MMP)

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
Md	-	14.4	-
ME	-	14.4	-

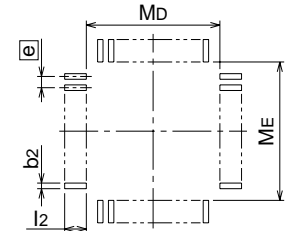
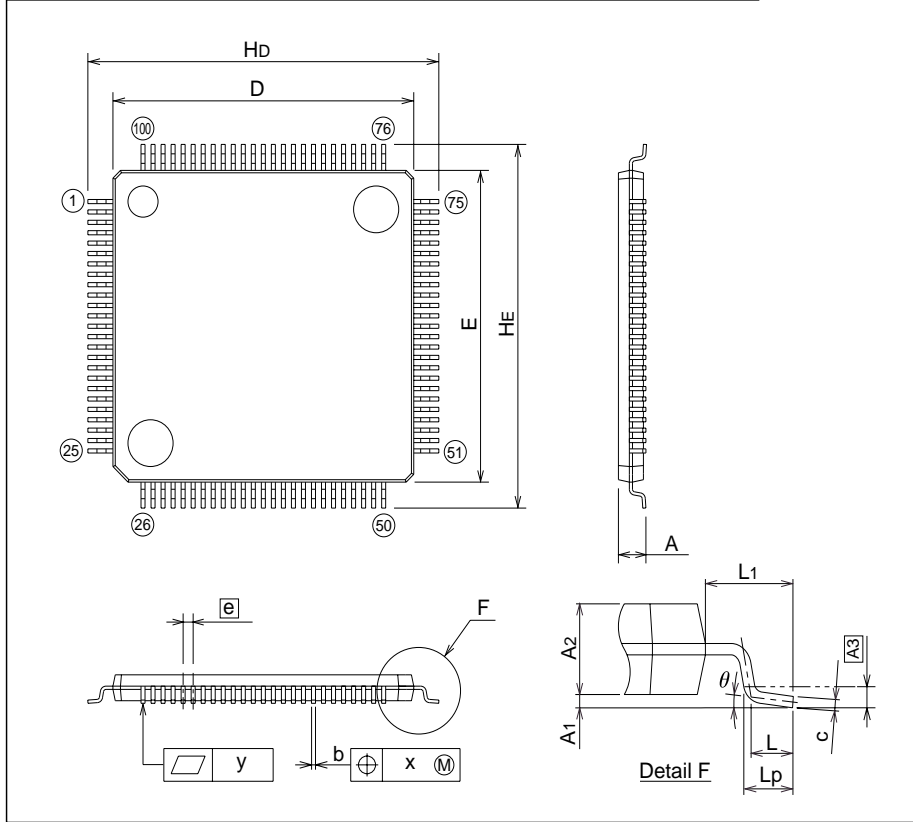
パッケージ外形図

100PFB-A

(MMP)

Plastic 100pin 12X12mm body TQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
TQFP100-P-1212-0.40	-	0.37	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.2
A1	0.05	0.1	0.15
A2	-	1.0	-
b	0.13	0.18	0.23
c	0.105	0.125	0.175
D	11.9	12.0	12.1
E	11.9	12.0	12.1
e	-	0.4	-
Hd	13.8	14.0	14.2
HE	13.8	14.0	14.2
L	0.4	0.5	0.6
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.07
y	-	-	0.08
theta	0°	-	10°
b2	-	0.225	-
l2	1.0	-	-
Md	-	12.4	-
ME	-	12.4	-

M16C/62NとM16C/62Mとの相違点

M16C/62NとM16C/62Mとの相異点(注1)

項目	M16C/62N	M16C/62M
最短命令実行時間	62.5ns (f(XIN)=16MHz、VCC=3.0V ~ 3.6V) 142.9ns (f(XIN)=7MHz、VCC=2.4V ~ 3.6V、 ウエイトなし)	100ns (f(XIN)=10MHz、VCC=2.7V ~ 3.6V) 142.9ns (f(XIN)=7MHz、VCC=2.2V ~ 3.6V、 ウエイトあり)
電源電圧	3.0V ~ 3.6V (f(XIN)=16MHz、ウエイトなし) 2.4V ~ 3.0V (f(XIN)=7MHz、ウエイトなし) 2.2V ~ 3.0V (f(XIN)=7MHz、1ウエイト ：マスクROM版)	2.7V ~ 3.6V (f(XIN)=10MHz、ウエイトなし) 2.4V ~ 2.7V (f(XIN)=7MHz、ウエイトなし) 2.2V ~ 2.4V (f(XIN)=7MHz、1ウエイト)
低消費電力	34.0mW (VCC=3V、f(XIN)=10MHz、 ウエイトなし) 66.0mW (VCC=3.3V、f(XIN)=16MHz、 ウエイトなし)	28.5mW (VCC=3V、f(XIN)=10MHz時、 ウエイトなし)
メモリ空間	メモリ空間拡張あり (4Mバイト)	1Mバイト固定
クロック発生回路	メインクロック停止時のメイン クロック分周比：8分周	メインクロック停止時のメイン クロック分周比：変化しない
監視タイマ	監視タイマ割り込み、または リセットを選択可能	監視タイマ割り込み
シリアルI/O (IICバスモード)	SDAのDelayはデジタル遅延のみ	SDAのDelayとしてアナログ遅延または デジタル遅延選択可能
A-D変換器	10ビット×8チャンネル (最大18チャンネルまで拡張可)	10ビット×8チャンネル (最大10チャンネルまで拡張可)

注1. 詳細および電気的特性については、データシートを参照してください。

M16C/62NとM16C/62Mとの相異点(SFR)

番地	レジスタ名	M16C/62N	M16C/62M
000516	プロセッサモードレジスタ1(PM1)	b5,b4 メモリ空間拡張ビット b2 監視タイマ機能選択 ビット	b5,b4 予約ビット b2 何も配置されて いない
000B16	データバンクレジスタ(DBR)	あり	予約レジスタ
037716	UART2特殊モードレジスタ (U2SMR)	b7 SDAデジタル遅延選択 ビット (リセット時“1”)	b7 SDAデジタル遅延選択 ビット (リセット時“0”)
03D416	A-D制御レジスタ2(ADCON2)	b2-b1 A-D入力グループ選択 ビット b0 A-D変換方式選択 ビット	b2-b1 予約ビット b0 予約ビット
03B416	フラッシュ識別レジスタ(FIDR)	あり	予約レジスタ
03B616	フラッシュメモリ制御レジスタ1 (FMR1)	予約レジスタ	あり
03B716	フラッシュメモリ制御レジスタ0 (FMR0)	b7 イレースステータス フラグ b6 プログラムステータス フラグ	b7 何も配置されていない b6 何も配置されていない

改訂履歴

M16C/62N グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.1	02/08/27	1、5 2 6 7 14 47 66 205 244	DMAC のトリガ 24-->25 100PFB-A を追加 図 1.1.4、表 1.1.2 を一部追加 図 1.1.5 一部追加 図 1.5.1 を一部変更 図 1.11.5 一部追加 (3)NMI 割り込みの 5 項目を変更 図 1.30.1 を一部変更 100PFB-A パッケージ寸法図 追加

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒 100-0004

安全設計に関するお願い	・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。
本資料ご利用に際しての留意事項	<ul style="list-style-type: none">・ 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (http://www.semicon.melco.co.jp/) などを通じて公開される情報に常にご注意ください。・ 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。・ 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。・ 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。・ 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。・ 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。