

μ PD70F4017, 70F4018

R01DS0108JJ0002

— V850E2/SK4-H —

Rev.0.02

ルネサスマイクロコンピュータ

2012.01.31

μPD70F4017, 70F4018 は、リアルタイム制御向け 32 ビット・シングルチップ・マイクロコントローラ「V850 マイコン」の一製品です。32 ビット CPU, ROM, RAM, 割り込みコントローラ, シリアル・インタフェース, タイマ/カウンタ, 様々なバス・ネットワーク (CAN, MOST<sup>®</sup> (MediaLB<sup>®</sup>), イーサネット) などを 1 チップに集積しています。

詳しい機能説明などは下記ユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E2/Sx4-H ハードウェア編 : R01UH0107J

V850E2M アーキテクチャ編 : R01US0001J

## 用 途

○カー・オーディオをはじめとするカー・マルチメディア機器

## 目 次

<b>1. 概要</b>	16
<b>1.1 端子名称について</b>	16
1.1.1 兼用機能端子	16
1.1.2 電源端子	16
<b>1.2 端子グループ</b>	17
<b>1.3 通常測定条件</b>	17
1.3.1 AC 特性の測定条件	17
<b>2. 絶対最大定格</b>	18
<b>2.1 電源電圧</b>	18
<b>2.2 ポート電圧</b>	19
<b>2.3 ポート電流</b>	19
2.3.1 温度特性	20
<b>3. 電源スペック</b>	21
<b>3.1 電源接続の要件</b>	21
3.1.1 グランド端子の定義	21
3.1.2 電源端子の定義	21
<b>3.2 電源供給領域の定義</b>	21
<b>3.3 電源電圧</b>	21
3.3.1 AWO 電源内蔵レギュレータ特性	22
3.3.2 Iso0/Iso1 電源制御特性	23
3.3.3 電圧の傾き	24
3.3.4 パワーオン・クリア回路 (POC) 特性	25
<b>3.4 電源電圧の電源立ち上げ/電源立ち下げ順序 (使用条件)</b>	26
3.4.1 条件 1	26
3.4.2 条件 2	27
3.4.3 条件 3	28
3.4.4 条件 4	29
3.4.5 条件 5	30
3.4.6 条件 6	31
<b>4. クロック発生回路</b>	32
<b>4.1 CPU クロック周波数</b>	32
<b>4.2 周辺クロック周波数</b>	32
<b>4.3 発振回路特性</b>	32
4.3.1 メイン発振回路 (MainOsc) 特性	32
4.3.2 サブ発振回路 (SubOsc) 特性	34
4.3.3 内蔵発振器特性	34
<b>4.4 PLL 特性</b>	34
<b>5. 入出力スペック</b>	35
<b>5.1 ポート特性</b>	35
5.1.1 PgE0	35
5.1.2 PgE1	36
5.1.3 PgB0	37
5.1.4 PgA0	38

5.2	入出力容量	38
6.	電源電流スペック	39
6.1	1.2 V 電源電流スペック (A) グレード品	39
6.2	3.3 V 電源電流スペック (A) グレード品	41
6.3	1.2 V 電源電流スペック (A9) グレード品	43
6.4	3.3 V 電源電流スペック (A9) グレード品	45
7.	入出力 VDD の AC タイミング制限事項	47
8.	周辺機能スペック	48
8.1	リセット・タイミング	48
8.2	NMI タイミング	48
8.3	外部割り込みタイミング	48
8.4	FLMD0 タイミング	49
8.5	キー・リターン・タイミング	49
8.6	タイマ・タイミング	50
8.7	MEMC クロック・タイミング	52
8.8	マルチプレクス・バス・モード時の SRAM バス・タイミング	53
8.8.1	MEMC0CLK 非同期タイミング (リード/ライト・サイクル)	53
8.8.2	MEMC0CLK 同期タイミング (リード/ライト・サイクル)	54
8.9	セパレート・バス・モード時の SRAM バス・タイミング	59
8.9.1	MEMC0CLK 非同期タイミング (リード/ライト・サイクル)	59
8.9.2	MEMC0CLK 同期タイミング (リード/ライト・サイクル)	60
8.10	MEMC ホールド・タイミング (非同期/同期タイミング)	63
8.11	SDRAM バス・タイミング	64
8.12	CSI タイミング	67
8.12.1	CSIG タイミング (マスタ・モード)	67
8.12.2	CSIG タイミング (スレーブ・モード)	69
8.12.3	CSIH タイミング (マスタ・モード)	72
8.12.4	CSIH タイミング (スレーブ・モード)	78
8.13	UARTE タイミング	82
8.14	CAN (FCN) タイミング	82
8.15	IEBus (IEBB) タイミング	82
8.16	I <sup>2</sup> C タイミング	83
8.17	IISA タイミング	85
8.17.1	IISA オーディオ・クロック・タイミング	85
8.17.2	IISA マスタ・モード・タイミング	86
8.17.3	IISA スレーブ・モード・タイミング	87
8.18	PCM タイミング	88
8.18.1	PCM マスタ・モード・タイミング	88
8.18.2	PCM スレーブ・モード・タイミング	89
8.19	MediaLB タイミング	90
8.20	イーサネット・タイミング	92
8.20.1	MII インタフェース	92
8.21	RAM 保持フラグ特性	95
8.22	LVI 回路特性	96
8.23	A/D コンバータ特性	97
8.23.1	10 ビット分解能 A/D : ADCA0Im	97
8.23.2	アナログ入力部の等価回路 (参考値)	98

8.23.3	A/D トリガタイミング	98
<b>9.</b>	<b>フラッシュ・メモリ・プログラミング特性</b>	<b>99</b>
9.1	基本特性	99
9.2	シリアル書き込みオペレーション特性	99
<b>10.</b>	<b>外形図</b>	<b>100</b>

仕様概要

(1/3)

愛称		SK4-H-1.5M	SK4-H-2M	
品名		μ PD70F4017	μ PD70F4018	
内蔵メモリ	命令フラッシュ	1.5 MB	2 MB	
	データ・フラッシュ	32 KB		
	CPU RAM	128 KB	192 KB	
	HBUS-RAM	32 KB		
	バックアップ RAM	32 KB		
外部メモリ・インタフェース (MEMC)		SDRAM インタフェース マルチプレクス/セパレート SRAM インタフェース (8/16/32 ビット)		
CPU	CPU システム		V850E2M	
	FPU		あり	
	CPU 周波数		160 MHz (MAX.)	
	システム保護機能 (SPF)	MPU	あり	
		SRP	あり	
		TSU	あり	
PPU		あり		
命令キャッシュ		8 KB/ 2 ウエイ・アソシエイティブ (4 KB/ ウエイ)		
DMA		16 チャンネル		
動作クロック	メイン・クロック発振回路 (MainOsc)	4 MHz ~ 20 MHz		
	低速内蔵発振回路 (LS IntOsc)	240 kHz (TYP.)		
	高速内蔵発振回路 (HS IntOsc)	8 MHz (TYP.)		
	サブクロック発振回路 (SubOsc)	32768 Hz (TYP.)		
	PLL0 (SSCG0)	160 MHz (MAX.)		
	PLL1	120 MHz (MAX.)		
	PLL2 (SSCG2)	120 MHz (MAX.)		
I/O ポート		127		
A/D コンバータ A (ADCA)		16 チャンネル, 10 ビット		

愛称		SK4-H-1.5M	SK4-H-2M
品名		μ PD70F4017	μ PD70F4018
タイマ	タイマ・アレイ・ユニット A (TAUA), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット B (TAUB), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット	1 ユニット × 4 チャンネル	
	リアルタイム・クロック (RTCA) キャリブレーション	1 ユニット	
	ウインドウ・ウォッチドッグ・タイマ (WDTA)	2 チャンネル	
	OS タイマ (OSTM)	1 チャンネル	
	エンコーダ・タイマ (ENCA)	2 チャンネル	
シリアル・インタフェース	CAN (FCN)	2 チャンネル (64 メッセージ・バッファ)	
	LIN マスタ・コントローラ付き (LMA) UART (URTE)	5 チャンネル	
	CSI (CSIG)	2 チャンネル	
	FIFO 付き CSI (CSIH)	3 チャンネル	
	I <sup>2</sup> C (IICB)	4 チャンネル	
	I <sup>2</sup> S (IISA)	6 チャンネル	
	PCM インタフェース (PCM)	2 チャンネル	
	メディア・ローカル・バス (MLB)	1 チャンネル	
	IEBus コントローラ (IEBB)	1 チャンネル	
その他のインタフェース	イーサネット・コントローラ (ETHA)	1 ユニット (MII インタフェースをサポート)	
割り込み	マスカブル	外部	16
		内部	208
	ノンマスカブル (NMI)	外部	1
		内部	2 (WDTA)
その他の機能	パワーオン・クリア (POC)	M1 品: あり M2 品: なし	
	クロック・モニタ (CLMA)	3 チャンネル (メイン・クロック, 高速内蔵発振回路, PLL0 監視可能)	
	データ CRC (DCRA)	1 チャンネル	
	キー割り込み (KR)	8 チャンネル	
	オンチップ・デバッグ (OCD)	あり	
電源監視	低電圧検出回路 (LVI)	あり	
	DEEPSTOP モードの表示出力 (WAKE)	あり	

愛称		SK4-H-1.5M	SK4-H-2M
品名		μ PD70F4017	μ PD70F4018
電源	内部供給	1.2 V <sup>a</sup>	
	I/O 供給	3.3 V <sup>a</sup>	
動作温度		(A) グレード品 : -40° C ~ +85° C (A9) グレード品 : -40° C ~ +105° C	
パッケージ		176 ピン QFP	

a) 詳細については、3. 電源スペックを参照してください。

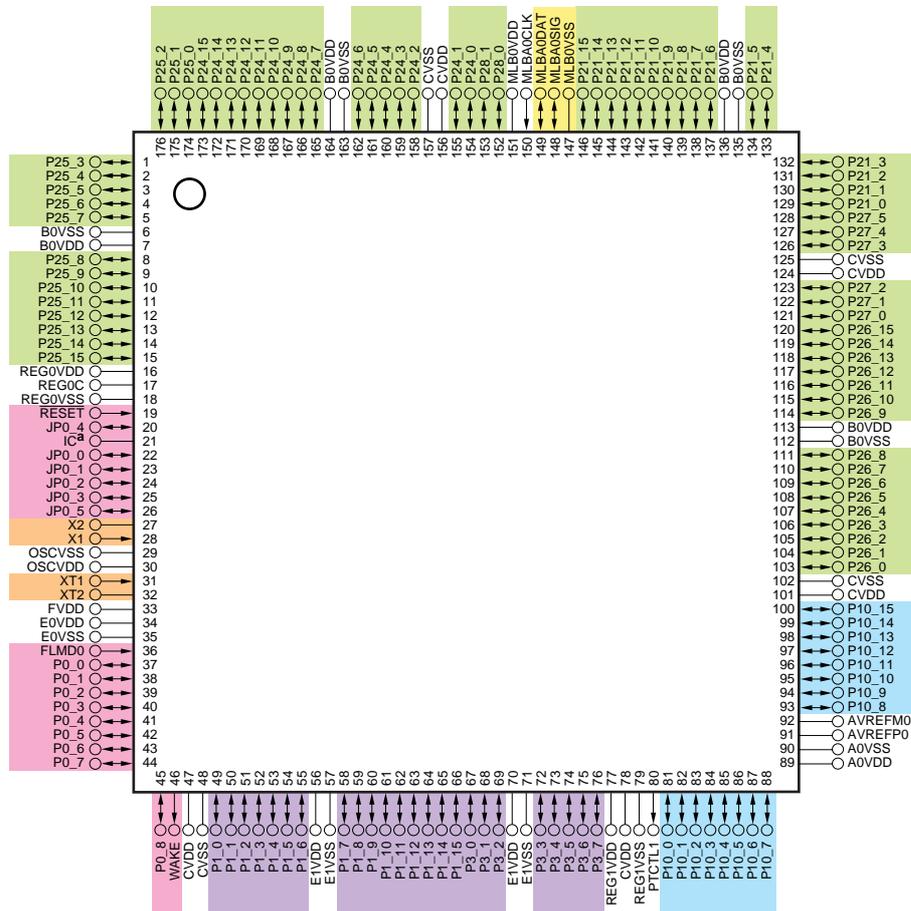
オーダ名称

オーダ名称	パッケージ	内蔵コード・フラッシュ	品質水準	備考
μ PD70F4017M1GMA-GAR-G	176 ピン・プラスチック LQFP (ファインピッチ) (24×24)	1.5 M バイト	(A)	POC 機能あり
μ PD70F4017M1GMA9-GAR-G			(A9)	
μ PD70F4017M2GMA-GAR-G			(A)	POC 機能なし
μ PD70F4017M2GMA9-GAR-G			(A9)	
μ PD70F4018M1GMA-GAR-G		2 M バイト	(A)	POC 機能あり
μ PD70F4018M1GMA9-GAR-G			(A9)	
μ PD70F4018M2GMA-GAR-G			(A)	POC 機能なし
μ PD70F4018M2GMA9-GAR-G			(A9)	

## 端子接続図 (Top View)

- 176ピン・プラスチック LQFP (ファインピッチ) (24×24)

### (1) 端子接続図



a) IC端子には、ロウ・レベルを入力してください。

備考 電源供給元の電源端子は、次のようになります。

- : E0VDD (JP0 / P0グループ, Always-Onエリアの電力ドメイン)
- : OSCVDD (X1/X2/XT1/XT2, Always-Onエリアの電力ドメイン)
- : E1VDD (P1/P3グループ, Isolatedエリア0の電力ドメイン)
- : A0VDD (P10グループ, Isolatedエリア0の電力ドメイン)
- : B0VDD (P21/P24-P28グループ, Isolated エリア1の電力ドメイン)
- : MLB0VDD (Isolated エリア1の電力ドメイン)

(2) ピン配置

(1/5)

ピン番号	名 称
1	P25_3/MEMC0AD3/TAUA0I3/TAUA0O3/IISA0SDI/IISA0SDO/CSIH0RYI/CSIH0RYO
2	P25_4/MEMC0AD4/TAUA0I4/TAUA0O4/IISA1SDO/CSIH0SC
3	P25_5/MEMC0AD5/TAUA0I5/TAUA0O5/IISA1SCK
4	P25_6/MEMC0AD6/TAUA0I6/TAUA0O6/IISA1WS
5	P25_7/MEMC0AD7/TAUA0I7/TAUA0O7/IISA1SDI/IISA1SDO
6	B0VSS
7	B0VDD
8	P25_8/MEMC0AD8/TAUA0I8/TAUA0O8/IISA2SDO/CSIH1SSI
9	P25_9/MEMC0AD9/TAUA0I9/TAUA0O9/IISA2SCK/CSIH1SI
10	P25_10/MEMC0AD10/TAUA0I10/TAUA0O10/IISA2WS/CSIH1SO
11	P25_11/MEMC0AD11/TAUA0I11/TAUA0O11/IISA2SDI/IISA2SDO/CSIH1RYI/CSIH1RYO
12	P25_12/MEMC0AD12/TAUA0I12/TAUA0O12/IISA3SDO/CSIH1SC
13	P25_13/MEMC0AD13/TAUA0I13/TAUA0O13/IISA3SCK
14	P25_14/MEMC0AD14/TAUA0I14/TAUA0O14/IISA3WS
15	P25_15/MEMC0AD15/TAUA0I15/TAUA0O15/IISA3SDI/IISA3SDO
16	REG0VDD
17	REG0C
18	REG0VSS
19	RESET
20	JP0_4/DCUTRST
21	IC
22	JP0_0/INTP0/TAUJ0I0/TAUJ0O0/DCUTDI
23	JP0_1/INTP1/TAUJ0I1/TAUJ0O1/DCUTDO
24	JP0_2/INTP2/TAUJ0I2/TAUJ0O2/DCUTCK
25	JP0_3/INTP3/TAUJ0I3/TAUJ0O3/DCUTMS
26	JP0_5/NMI/RTCA0OUT/DCURDY
27	X2
28	X1
29	OSCVSS
30	OSCVDD
31	XT1
32	XT2
33	FVDD
34	E0VDD
35	E0VSS
36	FLMD0
37	P0_0/TAUJ0I0/TAUJ0O0/INTP4/CSIG0SSI/IICB0SDA/RESETOUT
38	P0_1/TAUJ0I1/TAUJ0O1/INTP5/CSIG0SO/IICB0SCL/FLMD1

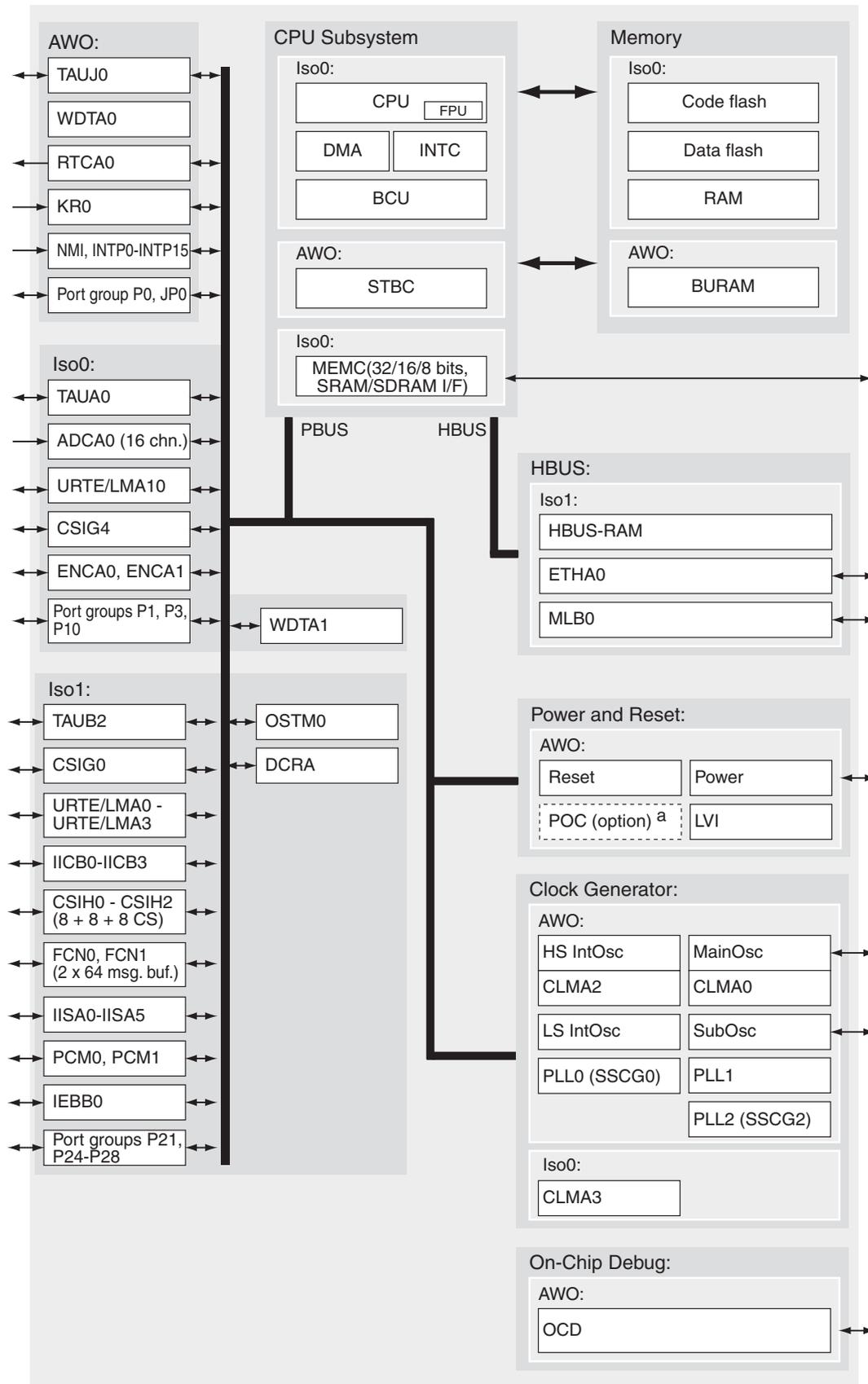
ピン番号	名 称
39	P0_2/TAUJ0I2/TAUJ0O2/INTP6/CSIG0SI/IICB1SDA
40	P0_3/TAUJ0I3/TAUJ0O3/INTP7/CSIG0SC/IICB1SCL
41	P0_4/IEBB0RX/FCN0TX/INTP8/CSIH1SI/URTE0TX/IICB2SDA
42	P0_5/FCN0RX/IEBB0TX/INTP9/URTE0RX/CSIH1SO/IICB2SCL
43	P0_6/FCN1TX/INTP10/CSIH1RYI/CSIH1RYO/CSIH1SSI/URTE10TX
44	P0_7/FCN1RX/INTP11/CSIH1SC/URTE10RX
45	P0_8
46	WAKE
47	CVDD
48	CVSS
49	P1_0/TAUA0I0/TAUA0O0/IISAACK/URTE1RX/ETH0RXER/CSIH0CSS0
50	P1_1/TAUA0I1/TAUA0O1/IISA0SCK/CSIG4SSI/URTE1TX/ETH0RXD0/CSIH0CSS1
51	P1_2/TAUA0I2/TAUA0O2/IISA0WS/CSIG4SO/ETH0RXD1/CSIH0CSS2
52	P1_3/TAUA0I3/TAUA0O3/IISA0SDI/IISA0SDO/CSIG4SI/ETH0RXD2/CSIH0CSS3
53	P1_4/TAUA0I4/TAUA0O4/INTP12/IISA1SDO/CSIG4SC/ETH0RXD3/CSIH0CSS4
54	P1_5/TAUA0I5/TAUA0O5/IISA1SCK/ENCA0AIN/ETH0TXD0/CSIH0SSI
55	P1_6/TAUA0I6/TAUA0O6/IISA1WS/ENCA0BIN/ETH0TXD1/CSIH0SI
56	E1VDD
57	E1VSS
58	P1_7/TAUA0I7/TAUA0O7/IISA1SDI/IISA1SDO/ENCA0ZIN/ETH0TXD2/CSIH0SO
59	P1_8/TAUA0I8/TAUA0O8/INTP13/IISA2SDO/ENCA0TIN0/ETH0TXD3/CSIH0RYI/CSIH0RYO
60	P1_9/TAUA0I9/TAUA0O9/IISA2SCK/ENCA0TIN1/ETH0TXEN/CSIH0SC
61	P1_10/TAUA0I10/TAUA0O10/IISA2WS/ENCA1AIN/CSIH0CSS5/URTE2RX/ETH0MDC
62	P1_11/TAUA0I11/TAUA0O11/IISA2SDI/IISA2SDO/ENCA1BIN/CSIH0CSS6/ETH0CRSDV/URTE2TX
63	P1_12/TAUA0I12/TAUA0O12/INTP14/IISA3SDO/ENCA1ZIN/CSIH0CSS7/ETH0MDI/ETH0MDO
64	P1_13/TAUA0I13/TAUA0O13/PCM0CLK/ENCA1TIN0/IICB1SCL
65	P1_14/TAUA0I14/TAUA0O14/PCM0SEN/ENCA1TIN1/URTE3TX/IICB3SDA
66	P1_15/TAUA0I15/TAUA0O15/PCM0SI/PCM0SO/URTE3RX/IICB3SCL
67	P3_0/TAUB2I1/TAUB2O1/PCM1CLK/KR0I0/CSIH1CSS0/IICB0SDA
68	P3_1/TAUB2I2/TAUB2O2/PCM1SEN/KR0I1/CSIH1CSS1/IICB0SCL
69	P3_2/TAUB2I3/TAUB2O3/PCM1SI/PCM1SO/KR0I2/CSIH1CSS2/IICB1SDA
70	E1VDD
71	E1VSS
72	P3_3/TAUB2I5/TAUB2O5/IISAACK/KR0I3/CSIH1CSS3/ETH0REFCLK/ETH0TXER
73	P3_4/TAUB2I6/TAUB2O6/INTP15/IISA3SDO/KR0I4/CSIH1CSS4/ETH0COL
74	P3_5/TAUB2I7/TAUB2O7/IISA3SCK/KR0I5/CSIH1CSS5/ETH0TXCLK
75	P3_6/TAUB2I9/TAUB2O9/IISA3WS/KR0I6/CSIH1CSS6/ETH0RXDV
76	P3_7/TAUB2I10/TAUB2O10/IISA3SDI/IISA3SDO/KR0I7/CSIH1CSS7/ETH0RXCLK
77	REG1VDD

ピン番号	名 称
78	CVDD
79	REG1VSS
80	PTCTL1
81	P10_0/ADCA010
82	P10_1/ADCA011
83	P10_2/ADCA012
84	P10_3/ADCA013
85	P10_4/ADCA014
86	P10_5/ADCA015
87	P10_6/ADCA016
88	P10_7/ADCA017
89	A0VDD
90	A0VSS
91	AVREFP0
92	AVREFM0
93	P10_8/ADCA018
94	P10_9/ADCA0TRG0/ADCA019
95	P10_10/ADCA0TRG1/ADCA0110
96	P10_11/ADCA0TRG2/ADCA0111
97	P10_12/ADCA0112
98	P10_13/ADCA0113
99	P10_14/ADCA0114
100	P10_15/ADCA0115
101	CVDD
102	CVSS
103	P26_0/KR010/MEMC0A0/TAUB210/TAUB2O0/IISA4SDO/CSIH2SSI
104	P26_1/KR011/MEMC0A1/TAUB211/TAUB2O1/IISA4SCK/CSIH2SI
105	P26_2/KR012/MEMC0A2/TAUB212/TAUB2O2/IISA4WS/CSIH2SO
106	P26_3/KR013/MEMC0A3/TAUB213/TAUB2O3/IISA4SDI/IISA4SDO/CSIH2RYI/CSIH2RYO
107	P26_4/KR014/MEMC0A4/TAUB214/TAUB2O4/IISA5SDO/CSIH2SC
108	P26_5/KR015/MEMC0A5/TAUB215/TAUB2O5/IISA5SCK/CSIH2CSS0
109	P26_6/KR016/MEMC0A6/TAUB216/TAUB2O6/IISA5WS/CSIH2CSS1
110	P26_7/KR017/MEMC0A7/TAUB217/TAUB2O7/IISA5SDI/IISA5SDO/CSIH2CSS2
111	P26_8/INTP8/MEMC0A8/TAUB218/TAUB2O8/IISA3SCK/CSIH2CSS3
112	B0VSS
113	B0VDD
114	P26_9/INTP9/MEMC0A9/TAUB219/TAUB2O9/IISA3WS/CSIH2CSS4
115	P26_10/INTP10/MEMC0A10/TAUB2110/TAUB2O10/IISA2SCK/CSIH2CSS5
116	P26_11/INTP11/MEMC0A11/TAUB2111/TAUB2O11/IISA2WS/CSIH2CSS6

ピン番号	名 称
117	P26_12/INTP12/MEMC0A12/TAUB2112/TAUB2012/IISA0SCK/CSIH2CSS7
118	P26_13/INTP13/MEMC0A13/TAUB2113/TAUB2013/IISA0WS
119	P26_14/INTP14/MEMC0A14/TAUB2114/TAUB2014/IISA5SDI/IISA5SDO
120	P26_15/INTP15/MEMC0A15/TAUB2115/TAUB2015/IISA4SDI/IISA4SDO
121	P27_0/INTP0/MEMC0A16/IISA3SDI/IISA3SDO/CSIH1CSS0
122	P27_1/INTP1/MEMC0A17/IISA2SDI/IISA2SDO/CSIH1CSS1
123	P27_2/INTP2/MEMC0A18/IISA1SDI/IISA1SDO/CSIH1CSS2
124	CVDD
125	CVSS
126	P27_3/INTP3/MEMC0A19/IISA0SDI/IISA0SDO/CSIH1CSS3
127	P27_4/INTP4/MEMC0A20/IISA0SCK/URTE10TX
128	P27_5/INTP5/MEMC0A21/IISA0WS/URTE10RX
129	P21_0/MEMC0BEN3/MEMC0DQM3/ETH0COL
130	P21_1/MEMC0BEN2/MEMC0DQM2/ETH0CRSDV
131	P21_2/MEMC0BEN1/MEMC0DQM1
132	P21_3/MEMC0BEN0/MEMC0DQM0
133	P21_4/MEMC0WR/IEBB0RX/URTE2TX/CSIG0SSI/MEMC0WE/IICB0SDA
134	P21_5/MEMC0RD/URTE2RX/IEBB0TX/CSIG0SO/IICB0SCL
135	B0VSS
136	B0VDD
137	P21_6/MEMC0CLK/URTE1TX/CSIG0SI/IICB1SDA
138	P21_7/MEMC0WAIT/URTE1RX/CSIG0SC/IICB1SCL
139	P21_8/MEMC0SDRAS/IICB3SDA
140	P21_9/MEMC0CS2/MEMC0SDCAS/IICB3SCL
141	P21_10/MEMC0CS3/FCN1RX
142	P21_11/MEMC0CS4/FCN1TX
143	P21_12/MEMC0CS7/CSIG4SSI
144	P21_13/MEMC0HLDRQ/MEMC0DSTB/FCN0RX/MEMC0CKE/CSIG4SO/IICB2SDA
145	P21_14/MEMC0HLDAK/URTE0RX/FCN0TX/CSIG4SI/IICB2SCL
146	P21_15/MEMC0ASTB/URTE0TX/CSIG4SC
147	MLB0VSS
148	MLBA0SIG
149	MLBA0DAT
150	MLBA0CLK
151	MLB0VDD
152	P28_0/INTP6/MEMC0A22/MEMC0A24/IISA1SCK
153	P28_1/INTP7/MEMC0A23/MEMC0A25/IISA1WS
154	P24_0/MEMC0AD16/INTP0/CSIH0CSS0/ENCA0AIN/ETH0RXER
155	P24_1/MEMC0AD17/INTP1/CSIH0CSS1/ENCA0BIN/ETH0RXD0

ピン番号	名 称
156	CVDD
157	CVSS
158	P24_2/MEMC0AD18/INTP2/CSIH0CSS2/ENCA0ZIN/ETH0RXD1
159	P24_3/MEMC0AD19/INTP3/CSIH0CSS3/ENCA0TIN0/ETH0RXD2
160	P24_4/MEMC0AD20/INTP4/CSIH0CSS4/ENCA0TIN1/ETH0RXD3
161	P24_5/MEMC0AD21/INTP5/CSIH0CSS5/ETH0TXD0
162	P24_6/MEMC0AD22/INTP6/CSIH0CSS6/ETH0TXD1
163	B0VSS
164	B0VDD
165	P24_7/MEMC0AD23/INTP7/CSIH0CSS7/ETH0TXD2
166	P24_8/MEMC0AD24/INTP8/CSIH1CSS0/ENCA1AIN/ETH0TXD3
167	P24_9/MEMC0AD25/INTP9/CSIH1CSS1/ENCA1BIN/ETH0TXEN
168	P24_10/MEMC0AD26/INTP10/CSIH1CSS2/ENCA1ZIN/ETH0MDC
169	P24_11/MEMC0AD27/INTP11/CSIH1CSS3/ENCA1TIN0/ETH0REFCLK/ETH0TXER
170	P24_12/MEMC0D28/INTP12/CSIH1CSS4/ENCA1TIN1/ETH0MDI/ETH0MDO
171	P24_13/MEMC0D29/INTP13/CSIH1CSS5/ETH0TXCLK
172	P24_14/MEMC0D30/INTP14/CSIH1CSS6/ETH0RXDV
173	P24_15/MEMC0D31/INTP15/CSIH1CSS7/ETH0RXCLK
174	P25_0/MEMC0AD0/TAUA0I0/TAUA0O0/IISAACK/IISA0SDO/CSIH0SSI
175	P25_1/MEMC0AD1/TAUA0I1/TAUA0O1/IISA0SCK/CSIH0SI
176	P25_2/MEMC0AD2/TAUA0I2/TAUA0O2/IISA0WS/CSIH0SO

## 内部ブロック図



<sup>a)</sup> M1品はPOC機能あり。M2品はPOC機能なし。

## 1. 概要

### 1.1 端子名称について

#### 1.1.1 兼用機能端子

周辺機能	マクロ名に続く数字	機能名	末尾の数字
マクロ名の略称	同一周辺モジュールの連番 <sup>a)</sup>	周辺マクロ端子の機能名	同一端子名の連番 <sup>a)</sup>

a) 1つしかない場合は省略

- TAUA0I0, TAUA1I5
- URTE0TX, URTE0RX, URTE1TX, URTE1RX
- CSH0SO, CSH0SI, CSH0SC, CSIH0SSI, CSH0RYI, CSH0CSS0, CSH1SO, CSH1SI, CSH1SC, CSH1SSI, CSH1RYI, CSH1CSS0

#### 1.1.2 電源端子

機能	端子名に続く数字	電源の種類
略称	各機能の連番 <sup>a)</sup>	VDD または VSS

a) 1つしかない場合は省略

- CVDD, E0VDD, REG0VSS

略 称	機 能
C	内部用電源
REG	内部レギュレータ用電源
OSC	発振回路用電源
F	フラッシュ・モジュール用電源
E	ポート用電源
B	ポート用電源
A	アナログ・モジュール用電源 (A/D コンバータなど)
MLB	MediaLB 用電源

## 1.2 端子グループ

略号	ポート・グループの電源	関連ポート／関連端子
PgE0	E0VDD, E0VSS	関連ポート：JP0, P0 関連端子：RESET, FLMD0, WAKE
PgE1	E1VDD, E1VSS	関連ポート：P1, P3
PgB0	B0VDD, B0VSS	関連ポート：P21, P24 to P28
PgMLB	MLB0VDD, MLB0VSS	関連端子：MLBA0SIG, MLBA0DAT, MLBA0CLK
PgOSC	OSCVDD, OSCVSS	関連端子：X1, X2, XT1, XT2
PgA0	A0VDD, A0VSS	関連ポート：P10

## 1.3 通常測定条件

### 1.3.1 AC特性の測定条件

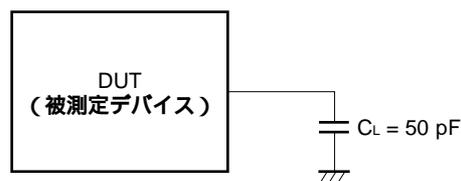
#### (1) ACテスト入力測定点



#### (2) ACテスト出力測定点



#### (3) 負荷条件



**注意** 回路構成により負荷容量が 50 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷容量を 50 pF 以下にしてください。

## 2. 絶対最大定格

- 注意**
1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
  2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
  3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

### 2.1 電源電圧

表 2-1 VDD

項目	略号	条件	定格	単位
システム用電源電圧	CVDD		- 0.5 ~ + 1.6	V
	FVDD		- 0.5 ~ + 4.6	V
	OSCVDD		- 0.5 ~ + 4.6	V
	REG0VDD		- 0.5 ~ + 4.6	V
	REG1VDD		- 0.5 ~ + 4.6	V
ポート用電源電圧	E0VDD		- 0.5 ~ + 4.6	V
	E1VDD		- 0.5 ~ + 4.6	V
	B0VDD		- 0.5 ~ + 4.6	V
MediaLB 用電源電圧	MLB0VDD		- 0.5 ~ + 4.6	V
A/D コンバータ用電源電圧	A0VDD		- 0.5 ~ + 4.6	V
	AVREFP0	AVREFP0 ≤ + 4.6 V	- 0.3 ~ A0VDD + 0.3	V

表 2-2 VSS

項目	略号	条件	定格	単位
システム用電源電圧	CVSS		- 0.5 ~ + 0.5	V
	OSCVSS		- 0.5 ~ + 0.5	V
	REG0VSS		- 0.5 ~ + 0.5	V
	REG1VSS		- 0.5 ~ + 0.5	V
ポート用電源電圧	E0VSS		- 0.5 ~ + 0.5	V
	E1VSS		- 0.5 ~ + 0.5	V
	B0VSS		- 0.5 ~ + 0.5	V
MediaLB 用電源電圧	MLB0VSS		- 0.5 ~ + 0.5	V
A/D コンバータ用電源電圧	A0VSS		- 0.5 ~ + 0.5	V
	AVREFM0		- 0.3 ~ A0VSS + 0.3	V

## 2.2 ポート電圧

表 2-3 ポート入力電圧

項目	端子グループ	略号	条件	定格	単位
入力電圧 <sup>a)</sup>	PgE0	Vi	$E0VDD \leq 3.6\text{ V}$	$-0.5 \sim E0VDD + 0.5$	V
	PgE1		$E1VDD \leq 3.6\text{ V}$	$-0.5 \sim E1VDD + 0.5$	V
	PgB0		$B0VDD \leq 3.6\text{ V}$	$-0.5 \sim B0VDD + 0.5$	V
	PgMLB		$MLB0VDD \leq 3.6\text{ V}$	$-0.5 \sim MLB0VDD + 0.5$	V
	PgOSC		$OSCVDD \leq 3.6\text{ V}$	$-0.5 \sim OSCVDD + 0.5$	V
	PgA0		$A0VDD \leq 3.6\text{ V}$	$-0.3 \sim A0VDD + 0.3$	V

a) 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 2.3 ポート電流

表 2-4 ハイ・レベル・ポート出力電流

項目	端子グループ	略号	条件	定格 (MAX.)	単位
ハイ・レベル 出力電流	PgE0	IoH	1 端子	- 10	mA
			全端子合計	- 150	mA
	PgE1		1 端子	- 10	mA
			全端子合計	- 120	mA
	PgB0		1 端子	- 10	mA
			全端子合計	- 180	mA
	PgMLB		1 端子	- 10	mA
			全端子合計	- 30	mA
	PgA0		1 端子	- 10	mA
			全端子合計	- 25	mA

表 2-5 ロウ・レベル・ポート出力電流

項目	端子グループ	略号	条件	定格 (MAX.)	単位
ロウ・レベル 出力電流	PgE0	IoL	1 端子	10	mA
			全端子合計	150	mA
	PgE1		1 端子	10	mA
			全端子合計	120	mA
	PgB0		1 端子	10	mA
			全端子合計	180	mA
	PgMLB		1 端子	10	mA
			全端子合計	30	mA
	PgA0		1 端子	10	mA
			全端子合計	25	mA

### 2.3.1 温度特性

表 2-6 温度特性

項目	略号	条件	定格	単位
保存温度	T <sub>stg</sub>		- 65 ~ + 150	°C
動作周囲温度	T <sub>A</sub>	(A) グレード品	- 40 ~ + 85	°C
		(A9) グレード品	- 40 ~ + 105	°C

### 3. 電源スペック

#### 3.1 電源接続の要件

##### 3.1.1 グランド端子の定義

このデータ・シートでは、グランド端子を次のように定義します。

VSS = OSCVSS = REGnVSS = EnVSS = B0VSS = MLB0VSS = A0VSS = AVREFM0 = CVSS = FVSS = 0 V

詳細な端子名は次のようになります。

- REGnVSS : REG0VSS, REG1VSS
- EnVSS : E0VSS, E1VSS

##### 3.1.2 電源端子の定義

このデータ・シートでは、電源端子を次のように定義します。

- EnVDD, B0VDD, FVDD, REGnVDD, OSCVDD, CVDD, A0VDD, AVREFP0, MLB0VDD

詳細な端子名は次のようになります。

- EnVDD : E0VDD, E1VDD
- REGnVDD : REG0VDD, REG1VDD

#### 3.2 電源供給領域の定義

V850E2/SK4-Hは、次に示す電源供給領域で構成されています。

- AWO (Always-Onエリア)
- Iso0 (Isolatedエリア0)
- Iso1 (Isolatedエリア1)

#### 3.3 電源電圧

表 3-1 電源電圧 (動作条件)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	CVDD		1.1		1.3	V
	FVDD	b	a		3.6	V
	OSCVDD	b	a		3.6	V
	REG0VDD	b	a		3.6	V
	REG1VDD	b	a		3.6	V
ポート用電源電圧	E0VDD	b	a		3.6	V
	E1VDD	b	a		3.6	V
	B0VDD	b	a		3.6	V
MediaLB 用電源電圧	MLB0VDD		3.135	3.3	3.6	V
A/D コンバータ用電源電圧	A0VDD	10 ビット分解能	3		3.6	V
	AVREFP0	$AVREFP0 - AVREFM0 > A0VDD/2$			A0VDD	V

- a) M1 品 : V<sub>POC</sub>  
M2 品 : 2.7 V  
V<sub>POC</sub> : POC 検出電圧  
V<sub>POC</sub> の詳細については、3.3.4 パワーオン・クリア回路 (POC) 特性を参照してください。
- b) FVDD=OSCVDD=REG0VDD=REG1VDD=E0VDD=E1VDD=B0VDD

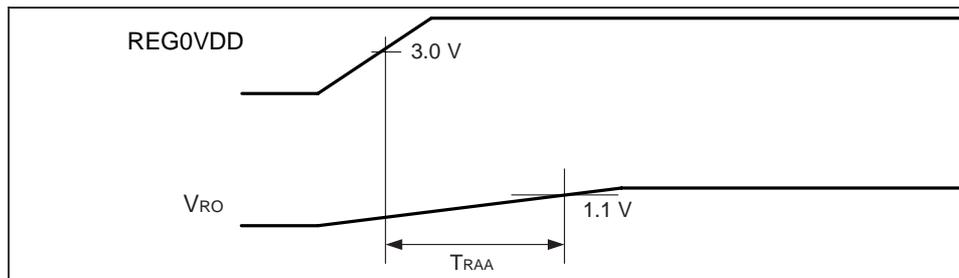
### 3.3.1 AWO 電源内蔵レギュレータ特性

表 3-2 AWO 電源内蔵レギュレータ特性

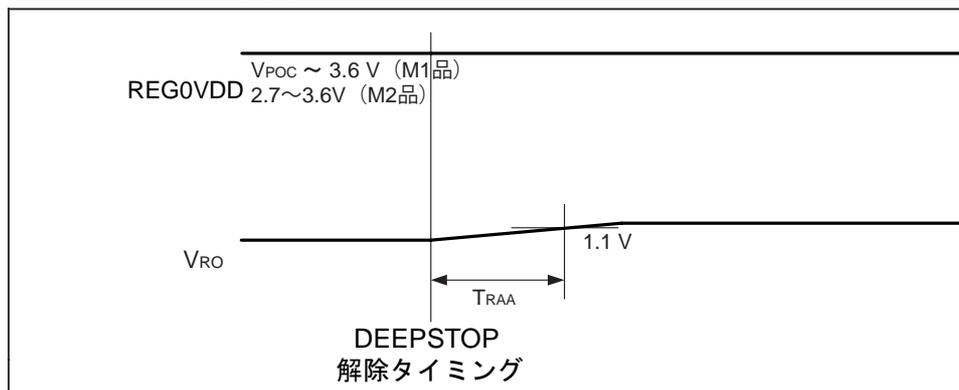
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VDD		a		3.6	V
出力電圧	VRO		1.1	1.2	1.3	V
REG0C 端子の キャパシタンス	REG0C		3.29	4.7	6.11	μF
出力電圧安定時間	T <sub>RAA</sub>	REG0VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

- a) M1 品 : V<sub>POC</sub>  
M2 品 : 2.7 V  
V<sub>POC</sub> : POC 検出電圧  
V<sub>POC</sub> の詳細については、3.3.4 パワーオン・クリア回路 (POC) 特性を参照してください。

#### 電源立ち上げ中



#### DEEPSTOPモード解除後



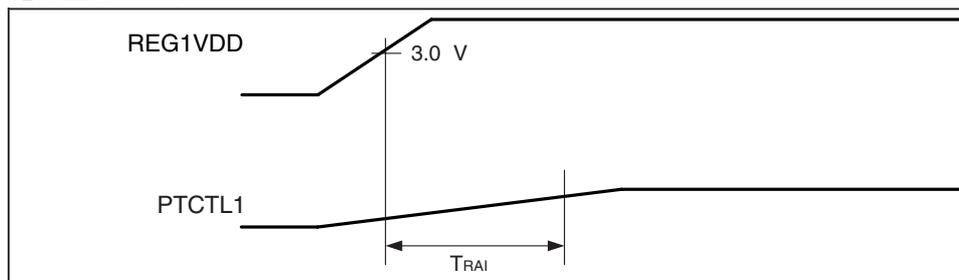
### 3.3.2 Iso0/Iso1 電源制御特性

**注意** PTCTL1 信号での外部パワートランジスタ制御は、M2 品（POC 機能なし）のみサポートします。

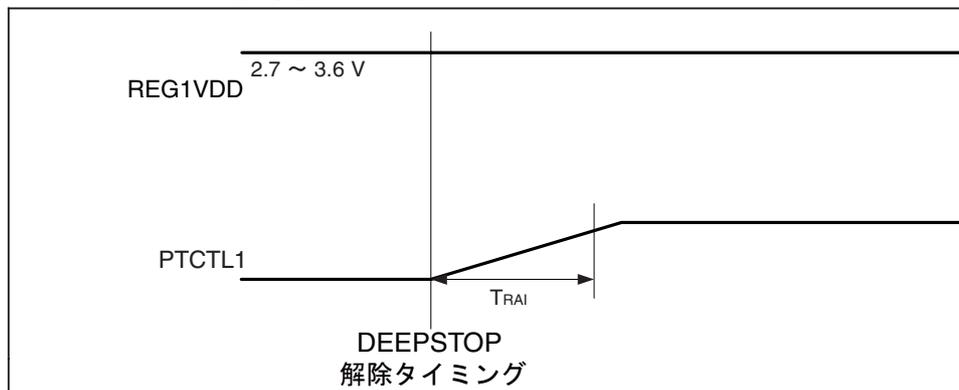
表 3-3 Iso0/Iso1 電源制御特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REG1VDD		2.7		3.6	V
CVDD 端子のキャパシタンス	CVDD		3.29	4.7	6.11	μF
PTCTL1 安定時間	T <sub>RAI</sub>	REG1VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

電源立ち上げ中



DEEPSTOPモード解除後

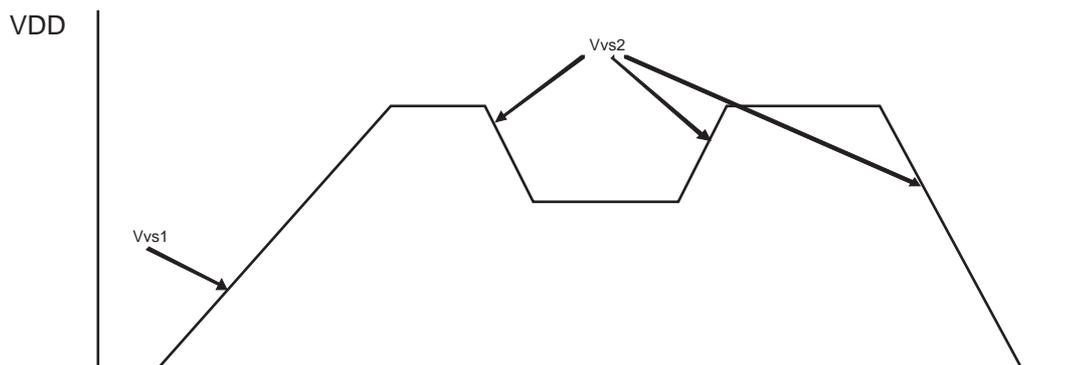


### 3.3.3 電圧の傾き

表 3-4 電圧の傾き

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧の傾き 1	V <sub>vs1</sub>	0V ~ 3.6V	0.18		1800.0	V/ms
電圧の傾き 2	V <sub>vs2</sub> <sup>a)</sup>		0.0018		10.0	V/ms

a) 100μF 以上の外部容量を 3.3V 電源に接続してください。



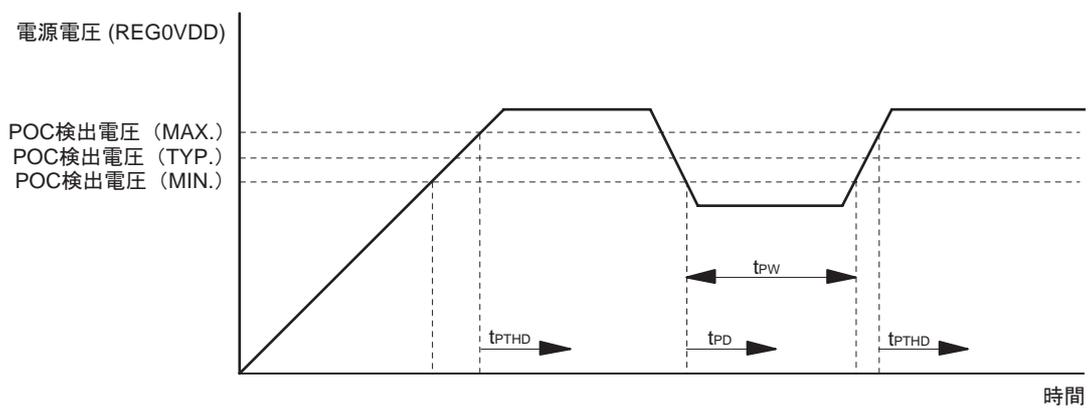
### 3.3.4 パワーオン・クリア回路 (POC) 特性

**注意** M1 品にはパワーオン・クリア回路 (POC) があります。  
M2 品にはパワーオン・クリア回路 (POC) がありません。

表 3-5 パワーオン・クリア回路 (POC) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC 検出電圧	$V_{POC}$		2.8	2.9	3.0	V
応答時間 1 <sup>a</sup>	$t_{PTH}$				2	ms
応答時間 2 <sup>b</sup>	$t_{PD}$				2	ms
REG0VDD 最小幅	$t_{PW}$		0.2			ms

- a) POC 検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。  
b) POC 検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。



### 3.4 電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件）

#### 3.4.1 条件1

WAKE, PTCTL1端子未使用  
通常動作モード

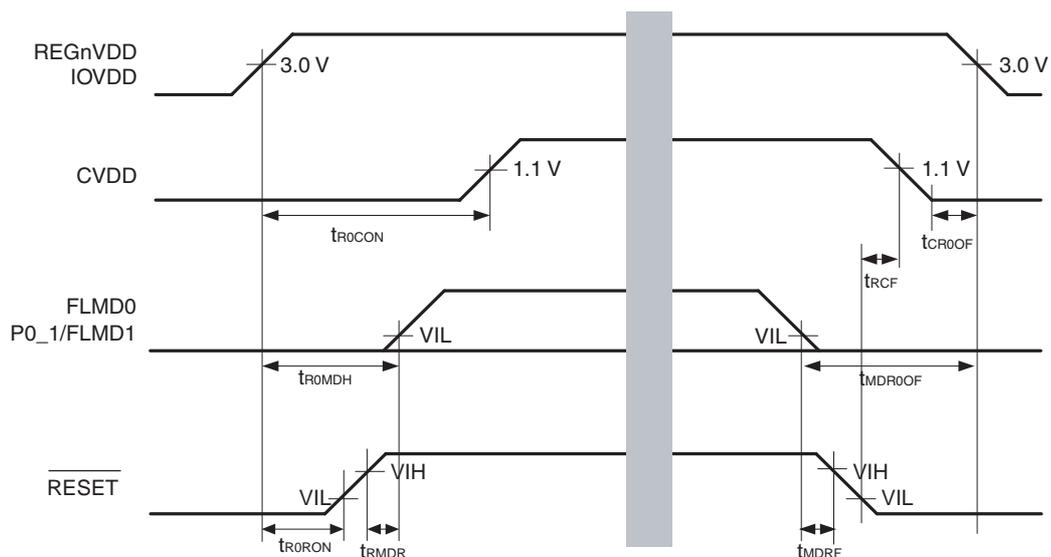
表 3-6 条件1

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → CVDD ↑	t <sub>ROCON</sub>		1		10	ms
REGnVDD, IOVDD ↑ → FLMD0, FLMD1 (≦ VIL) ホールド時間	t <sub>ROMDH</sub>		3			ms
REGnVDD, IOVDD ↑ → RESET ↑	t <sub>RORON</sub> <sup>b</sup>		2			ms
RESET ↑ → FLMD0, FLMD1 ↑	t <sub>MDR</sub> <sup>b</sup>		1			ms
FLMD0, FLMD1 (≦ VIL) ↓ → REG0VDD, IOVDD ↓	t <sub>MDR0OF</sub>		1			ms
CVDD (0 V) ↓ → REG0VDD, IOVDD ↓	t <sub>CR0OF</sub>		0			ms
RESET ↓ → CVDD ↓	t <sub>RCF</sub> <sup>b</sup>		0			ms
FLMD0, FLMD1 ↓ → RESET ↓	t <sub>MDRF</sub> <sup>b</sup>		1			ms

a) IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

b) M2 品の特性値です。

備考 n=0, 1



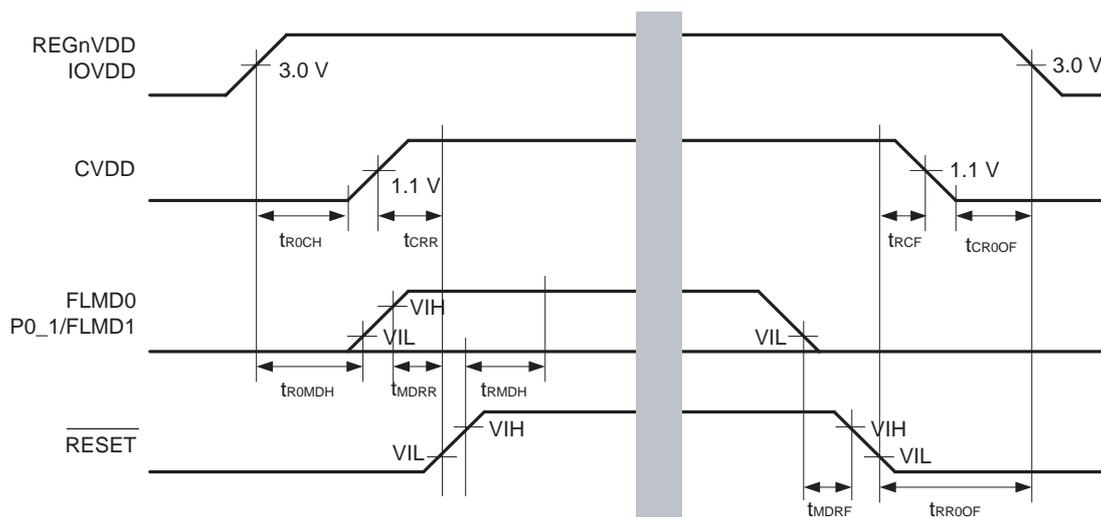
### 3.4.2 条件 2

WAKE, PTCTL1端子未使用  
シリアル・プログラミング・モード

表 3-7 条件 2

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → CVDD (0V) ホールド時間	t <sub>ROCH</sub>		1			ms
REGnVDD, IOVDD ↑ → FLMD0, FLMD1 (≦ VIL) ホールド時間	t <sub>ROMDH</sub>		1			ms
CVDD ↑ → RESET ↑	t <sub>CRR</sub>		0			ms
FLMD0, FLMD1 (VIH or VIL) ↓ → RESET ↑	t <sub>MRR</sub>		1			ms
RESET ↑ → FLMD0, FLMD1 (VIH or VIL) ホー ルド時間	t <sub>RMDH</sub>		1			ms
FLMD0, FLMD1 (≦ VIL) ↓ → RESET ↓	t <sub>MRF</sub>		0			ms
RESET ↓ → CVDD ↓	t <sub>RCF</sub>		0			ms
RESET ↓ → REGnVDD, IOVDD ↓	t <sub>RR0OF</sub>		0			ms
CVDD (0V) ↓ → REGnVDD, IOVDD ↓	t <sub>CR0OF</sub>		0			ms

備考 n=0, 1



例 IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

### 3.4.3 条件 3

WAKE 端子使用  
通常動作モード

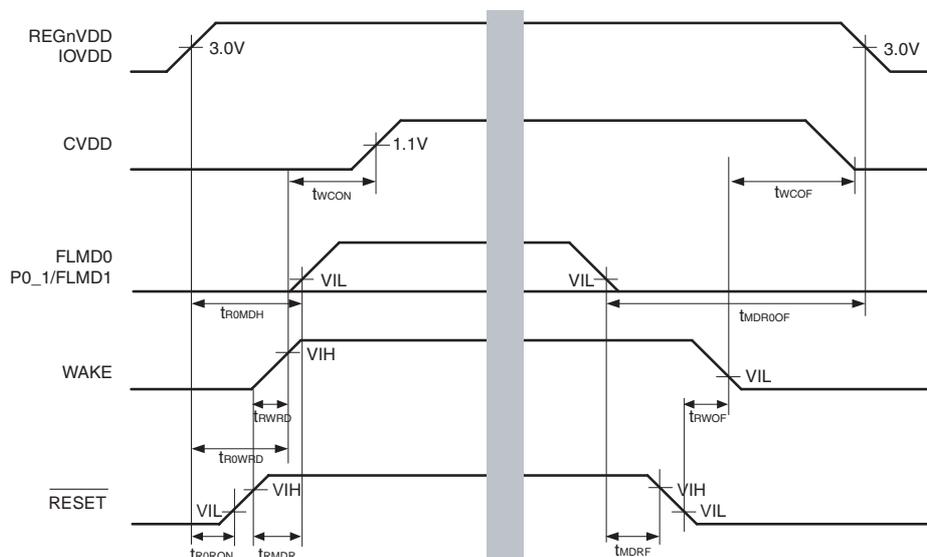
表 3-8 条件 3

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → WAKE ↑ 出力遅延時間	t <sub>ROWRD</sub>				2	ms
WAKE ↑ → CVDD ↑	t <sub>WCON</sub>		0		8	ms
REGnVDD, IOVDD ↑ → FLMD0, FLMD1 (≤ VIL) ホールド時間	t <sub>ROMDH</sub>		3			ms
REGnVDD, IOVDD ↑ → RESET ↑	t <sub>R0RON</sub> <sup>b</sup>		2			ms
RESET ↑ → FLMD0, FLMD1 ↑	t <sub>RMDR</sub> <sup>b</sup>		1			ms
RESET ↑ → WAKE ↑ 出力遅延時間	t <sub>RWRD</sub> <sup>b</sup>				1	μs
FLMD0, FLMD1 (≤ VIL) ↓ → REG0VDD, IOVDD ↓	t <sub>MDR0OF</sub>		1			ms
WAKE ↓ → CVDD (0V)	t <sub>WCOF</sub>		0			ms
FLMD0, FLMD1 ↓ → RESET ↓	t <sub>MDRF</sub> <sup>b</sup>		1			ms
RESET ↓ → WAKE ↓ 出力遅延時間	t <sub>RWOF</sub> <sup>b</sup>				1	μs

a) IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

b) M2 品の特性値です。

備考 n=0, 1



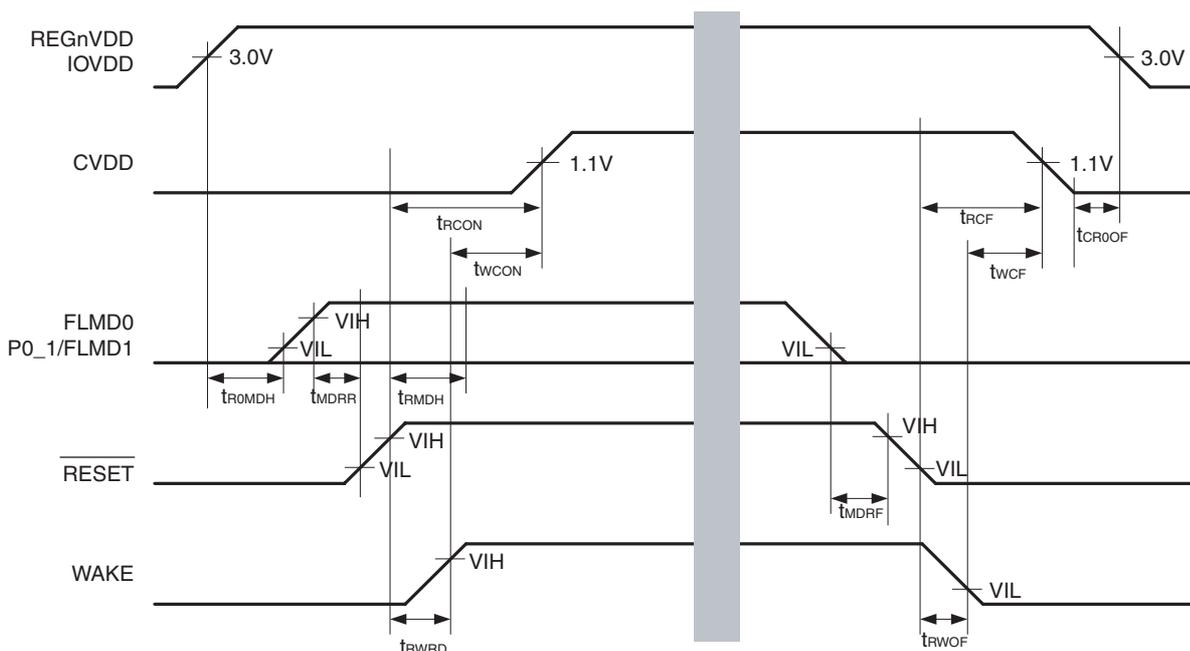
### 3.4.4 条件 4

WAKE 端子使用  
シリアル・プログラミング・モード

表 3-9 条件 4

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → FLMD0, FLMD1 (≤ VIL) ホールド時間	t <sub>ROMDH</sub>		1			ms
FLMD0, FLMD1 (VIH or VIL) ↑ → RESET ↑	t <sub>MRR</sub>		1			ms
RESET ↑ → CVDD ↑	t <sub>RCN</sub>		0		10	ms
RESET ↑ → WAKE ↑ 出力遅延時間	t <sub>RWD</sub>				1	μs
WAKE ↑ → CVDD ↑	t <sub>WCN</sub>		0			ms
RESET ↑ → FLMD0, FLMD1 (VIH or VIL) ホールド時間	t <sub>RMDH</sub>		1			ms
FLMD0, FLMD1 (≤ VIL) ↓ → RESET ↓	t <sub>MRF</sub>		0			ms
RESET ↓ → CVDD ↓	t <sub>RCF</sub>		0		10	ms
RESET ↓ → WAKE ↓ 出力遅延時間	t <sub>RWF</sub>				1	μs
WAKE ↓ → CVDD ↓	t <sub>WCF</sub>		0			ms
CVDD (0V) → REG0VDD, IOVDD ↓	t <sub>CR0F</sub>		0			ms

備考 n=0, 1



例 IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

### 3.4.5 条件 5

PTCTL1端子使用  
通常動作モード

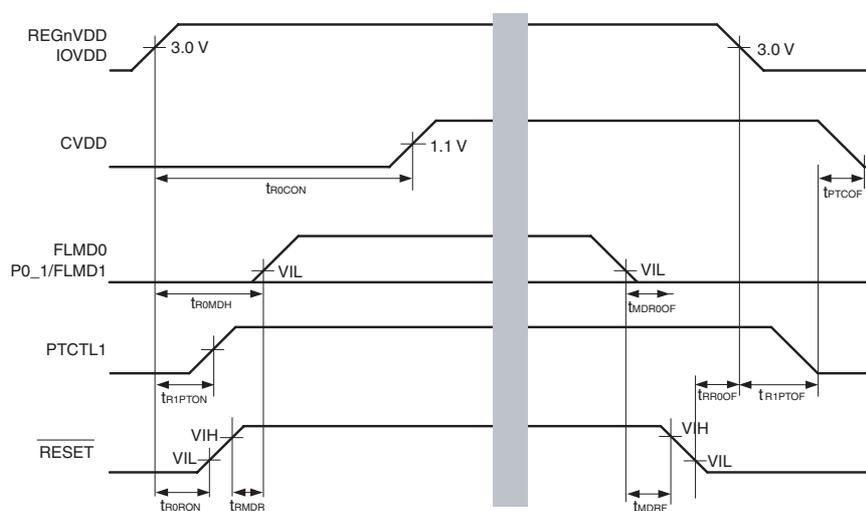
表 3-10 条件 5

項目	略号	条件	MIN.	TYP.	MAX.	単位
REG1VDD IOVDD ↑ → PTCTL1 ↑ セットアップ時間	tr1PTON				1	ms
REGnVDD, IOVDD ↑ → CVDD ↑ by PTCTL1 ↑	tr0CON		1		10	ms
REGnVDD, IOVDD ↑ → FLMD0, FLMD1 (≦ VIL) ホールド時間	tr0MDH		3			ms
REGnVDD, IOVDD ↑ → RESET ↑	tr0RON <sup>b</sup>		2			ms
RESET ↑ → FLMD0, FLMD1 ↑	trMDR <sup>b</sup>		1			ms
FLMD0, FLMD1 (≦ VIL) ↓ → REG0VDD, IOVDD ↓	tMDROOF		1			ms
REG1VDD, IOVDD ↓ → PTCTL1 ↓	tr1PTOF <sup>b</sup>				1	ms
PTCTL1 ↓ → CVDD ↓	tPTCOF <sup>b</sup>		0			ms
FLMD0, FLMD1 ↓ → RESET ↓	tMDRF <sup>b</sup>		1			ms
RESET ↓ → REG0VDD, IOVDD ↓	trR0OF <sup>b</sup>		0			ms

a) IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

b) M2 品の特性値です。

備考 n=0, 1



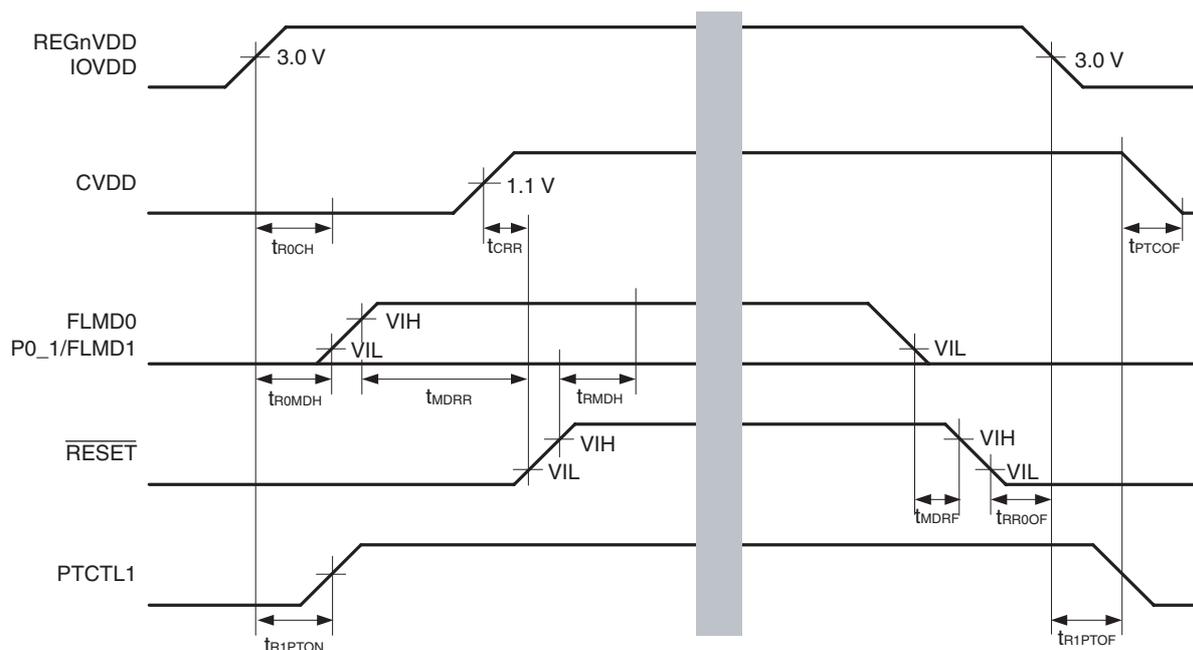
### 3.4.6 条件6

PTCTL1端子使用  
シリアル・プログラミング・モード

表 3-11 条件6

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → CVDD (0 V) ホールド時間	t <sub>ROCH</sub>				1	ms
REG1VDD ↑ → PTCTL1 ↑ セットアップ時間	t <sub>r1PTON</sub>				1	ms
CVDD ↑ → RESET ↑	t <sub>CRR</sub>		0			ms
REG0VDD, IOVDD ↑ → FLMD0, FLMD1 (≦ VIL) ホールド時間	t <sub>ROMDH</sub>		1			ms
FLMD0, FLMD1 (VIH or VIL) ↑ → RESET ↑	t <sub>MRR</sub>		1			ms
RESET ↑ → FLMD0, FLMD1 (VIH or VIL) ホールド時間	t <sub>RMDH</sub>		1			ms
FLMD0, FLMD1 (≦ VIL) ↓ → RESET ↓	t <sub>MDF</sub>		0			ms
RESET ↓ → REG0VDD, IOVDD ↓	t <sub>RR0OF</sub>		0			ms
REG1VDD ↓ → PTCTL1 ↓	t <sub>r1PTOF</sub>				1	ms
PTCTL1 ↓ → CVDD ↓	t <sub>PTCOF</sub>		0			ms

備考 n=0, 1



例 IOVDD : A0VDD, B0VDD, E0VDD, E1VDD, FVDD, OSCVDD, MLB0VDD

## 4. クロック発生回路

### 4.1 CPUクロック周波数

表 4-1 CPU クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f <sub>CPU</sub>	PLL0.PC1, PC0 = 00 (固定周波数)			160 <sup>a</sup>	MHz
		PLL0.PC1, PC0 = 10 (ダウン・スプレッド変調)			160 <sup>a</sup>	MHz
		PLL0.PC1, PC0 = 11 (センター・スプレッド変調)			144 <sup>a</sup>	MHz

- a) CPU クロックに SSCG を使用した場合、最大周波数は、PLL<sub>n</sub> レジスタ (n = 0-2) で設定した変調モードに依存します。最大周波数は、ダウン・スプレッド変調に設定した場合は 160 MHz、センター・スプレッド変調に設定した場合は 144 MHz となります。

### 4.2 周辺クロック周波数

表 4-2 周辺クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
周辺クロック周波数	f <sub>PERI</sub>				80 <sup>a</sup>	MHz

- a) 周辺クロック周波数の MAX. 値は 80MHz です。ただし、MLB/ システムクロックまたは IISABRG クロックとして PLL クロックを使う場合は、PLL1/PLL2 は 120MHz、PLL0 は 160MHz が MAX. 値となります。

### 4.3 発振回路特性

#### 4.3.1 メイン発振回路 (MainOsc) 特性

表 4-3 メイン発振回路 (MainOsc) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン発振回路 (MainOsc) クロック周波数	f <sub>MOSC</sub>	セラミック発振子または水晶振動子	4		20	MHz
MainOsc 安定時間	f <sub>MSTB</sub>			a		μs

- a) この値は、MOSCST レジスタ設定値に依存します。

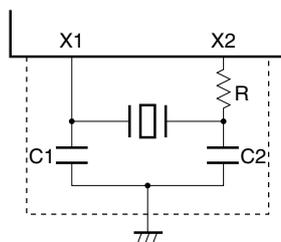


図 4-1 推奨メイン発振回路 (MainOsc)

- 注意**
1. 外部クロック入力は禁止です。
  2. プリント基板上にレイアウトする際には、図中の破線の部分を次のように配線してください。
    - 配線は極力短くする。
    - 他の信号線と交差させない。
    - 変化する大電流が流れる信号線に接近させない。
    - 発振回路のコンデンサの接地点は、常に REG0VSS および OSCVSS と同電位になるようにする。
    - 大電流が流れるグランド・パターンに接地しない。
    - 発振回路から信号を取り出さない。
  3. C1, C2, R の値は、ご使用のセラミック発振子または水晶振動子 によるため、発振子／振動子メーカーとご相談の上、決定してください。
-

### 4.3.2 サブ発振回路 (SubOsc) 特性

表 4-4 サブ発振回路 (SubOsc) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
サブ発振回路 (SubOsc) クロック周波数	f <sub>SOSC</sub>	水晶振動子		32.768		kHz
SubOsc 安定時間	f <sub>SSTB</sub>			a		s

a) この値は、SOSCST レジスタ設定値に依存します。

### 4.3.3 内蔵発振器特性

表 4-5 内蔵発振器特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振回路 (低速 IntOsc) クロック周波数	f <sub>RL</sub>	- DEEPSTOP モード以外 - DEEPSTOP モードかつ PSCn.PSCnREGSTP ビット = 0 のとき (n = 0, 1)	220.8	240	259.2	kHz
	f <sub>RLLP</sub>	- DEEPSTOP モードかつ PSCn.PSCnREGSTP ビット = 1 のとき (n = 0, 1)	216	240	264	kHz
高速内蔵発振回路 (高速 IntOsc) クロック周波数	f <sub>RH</sub>	- DEEPSTOP モード以外 - DEEPSTOP モードかつ PSCn.PSCnREGSTP ビット = 0 のとき (n = 0, 1)	7.2	8	8.8	MHz
	f <sub>RHLP</sub>	- DEEPSTOP モードかつ PSCn.PSCnREGSTP ビット = 1 のとき (n = 0, 1)	6.64	8	8.8	MHz
高速内蔵発振回路 (高速 IntOsc) 安定時間	t <sub>RHSTB</sub>				19	μs

## 4.4 PLL 特性

表 4-6 PLL 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f <sub>Xn</sub>		4		20	MHz
PLL0 用出力周波数	f <sub>XX0</sub>	PLL モード	25		160	MHz
		SSCG モード, センター・スプレッド変調	22.40		144	MHz
		SSCG モード, ダウン・スプレッド変調	22.40		160	MHz
PLL1 用出力周波数	f <sub>XX1</sub>	PLL モード	25		120	MHz
PLL2 用出力周波数	f <sub>XX2</sub>	PLL モード	25		120	MHz
		SSCG モード, センター・スプレッド変調	22.40		120	MHz
		SSCG モード, ダウン・スプレッド変調	22.40		120	MHz
ロック時間	t <sub>LCKPn</sub>	PLL モード			650	μs
	t <sub>LCKSn</sub>	SSCG モード			1300	μs

備考 n = 0-2

## 5. 入出力スペック

### 5.1 ポート特性

#### 5.1.1 PgE0

表 5-1 PgE0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS	0.7 E0VDD		E0VDD + 0.3	V
		シュミット1 (SHMT1)	0.7 E0VDD		E0VDD + 0.3	V
		シュミット2 (SHMT2)	0.8 E0VDD		E0VDD + 0.3	V
		シュミット4 (SHMT4)	0.84 E0VDD		E0VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CMOS	- 0.5		0.3 E0VDD	V
		シュミット1 (SHMT1)	- 0.5		0.3 E0VDD	V
		シュミット2 (SHMT2)	- 0.5		0.2 E0VDD	V
		シュミット4 (SHMT4)	- 0.5		0.4 E0VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 5 mA <sup>a</sup>	E0VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	E0VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 5 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V <sub>H</sub>	シュミット1 (SHMT1)	0.3			V
		シュミット2 (SHMT2)	0.3			V
		シュミット4 (SHMT4)	0.1			V
プルアップ抵抗	R <sub>U</sub>		20	40	100	kΩ
プルダウン抵抗	R <sub>D</sub>		20	40	100	kΩ
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = E0VDD			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = E0VDD			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.5	μA
立ち上がり時間 (出力)	t <sub>KRP</sub>	低速モード			15	ns
		高速モード			8	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>	低速モード			15	ns
		高速モード			8	ns

a) PgE0の合計電流値として、I<sub>OH</sub>は-5 mA、I<sub>OL</sub>は5 mAを越えないでください。

### 5.1.2 PgE1

表 5-2 PgE1

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E1VDD		E1VDD + 0.3	V
		シュミット 4 (SHMT4)	0.84 E1VDD		E1VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CMOS	- 0.5		0.3 E1VDD	V
		シュミット 1 (SHMT1)	- 0.5		0.3 E1VDD	V
		シュミット 2 (SHMT2)	- 0.5		0.2 E1VDD	V
		シュミット 4 (SHMT4)	- 0.5		0.4 E1VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 5 mA <sup>a</sup>	E1VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	E1VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 5 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V <sub>H</sub>	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R <sub>U</sub>		20	40	100	kΩ
プルダウン抵抗	R <sub>D</sub>		20	40	100	kΩ
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = E1VDD			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = E1VDD			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.5	μA
立ち上がり時間 (出力)	t <sub>KRP</sub>	低速モード			15	ns
		高速モード			8	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>	低速モード			15	ns
		高速モード			8	ns

a) PgE1 の合計電流値として、I<sub>OH</sub> は - 15 mA、I<sub>OL</sub> は 15 mA を越えないでください。

### 5.1.3 PgB0

表 5-3 PgB0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 B0VDD		B0VDD + 0.3	V
		シュミット 4 (SHMT4)	0.84 B0VDD		B0VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CMOS	- 0.5		0.3 B0VDD	V
		シュミット 1 (SHMT1)	- 0.5		0.3 B0VDD	V
		シュミット 2 (SHMT2)	- 0.5		0.2 B0VDD	V
		シュミット 4 (SHMT4)	- 0.5		0.4 B0VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 5 mA <sup>a</sup>	B0VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	B0VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 5 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V <sub>H</sub>	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R <sub>U</sub>		20	40	100	kΩ
プルダウン抵抗	R <sub>D</sub>		20	40	100	kΩ
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = B0VDD			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = B0VDD			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.5	μA
立ち上がり時間 (出力)	t <sub>KRP</sub>	低速モード			8	ns
		高速モード (C <sub>L</sub> = 30 pF)			5	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>	低速モード			8	ns
		高速モード (C <sub>L</sub> = 30 pF)			5	ns

- a) PgB0 の合計電流値として、I<sub>OH</sub> は - 35 mA、I<sub>OL</sub> は 35 mA を越えないでください。  
PgB0 で出力バッファのポート・ドライブ強度を高速モード (ハイ・ドライブ強度) に設定した場合、使用可能な PgB0 は 8 本です (外部メモリ・インタフェースとして使用するとき以外)。また、PgB0 で出力バッファのポート・ドライブ強度を低速モード (ロウ・ドライブ強度) に設定した場合、使用可能な PgB0 は 5 本です。

### 5.1.4 PgA0

表 5-4 PgA0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS	0.7 A0VDD		A0VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CMOS	- 0.5		0.3 A0VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 1 mA <sup>a</sup>	A0VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	A0VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 1 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = A0VDD			0.2	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.2	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = A0VDD			0.2	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.2	μA
立ち上がり時間 (出力)	t <sub>KRP</sub>				15	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>				15	ns

a) PgA0 の合計電流値として、I<sub>OH</sub> は - 20 mA、I<sub>OL</sub> は 20 mA を越えないでください。

### 5.2 入出力容量

表 5-5 入出力容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>I</sub>	f <sub>X</sub> = 1 MHz			10	pF
入出力容量	C <sub>IO</sub>	被測定ピン以外は 0 V			10	pF
出力容量	C <sub>O</sub>				10	pF

## 6. 電源電流スペック

### 6.1 1.2 V電源電流スペック (A)グレード品

表 6-1 CVDD (Iso0 and Iso1) の消費電流

項目	電源			条件		周辺機能	クロック・ソース				規格値			単位
	AWO	Iso0	Iso1	PLL	CPU 周波数		低速 IntOsc	高速 IntOsc	Main OSC	Sub OSC	MIN.	TYP.	MAX.	
RUN モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	210	308	mA
	ON	ON	ON	OFF	8	動作	ON	ON	ON	ON	-	17	105	mA
	ON	ON	STP	ON	160	動作	ON	ON	ON	ON	-	160	294	mA
	ON	ON	STP	OFF	8	動作	ON	ON	ON	ON	-	13	99	mA
	ON	ON	OFF	ON	160	動作	ON	ON	ON	ON	-	135	188	mA
ON	ON	OFF	OFF	8	動作	動作	ON	ON	ON	ON	-	11	69	mA
フラッシュ書き込みモード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	210	308	mA
STOP モード	ON	ON	ON	OFF	-	停止	ON	OFF	OFF	OFF	-	1.4	60	mA
	ON	ON	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	1.2	44	mA
DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	0.01	0.4	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	0.01	0.4	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	0.01	0.4	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	0.01	0.4	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	0.01	0.4	mA
25 °C MAX. の DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	-	0.04	mA

- 備考
- ON : 電源供給許可状態  
STP : 電源供給許可状態。ただし、クロック停止。  
OFF : 電源供給停止状態
  - SSCG の場合、動作周波数 = 160 MHz は平均周波数です。
  - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
  - RUN モード時の電流には、セルフ・プログラミング時および EEPROM<sup>®</sup> エミュレーション実行時の電流を含みます。
  - 動作周波数が 8 MHz の場合、Ethernet と MediaLB の電流は含みません。
  - TYP. 値は参考値です。  
TYP. 値の条件を次に示します。  
•T<sub>A</sub> = 25 °C  
•REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = A0VDD = AVREFP0 = 3.3 V  
•CVDD = 1.2 V  
•MLB0VDD = 3.3 V  
•REGnVSS = OSCVSS = EnVSS = B0VSS = CVSS = MLB0VSS = A0VSS = AVREFM0 = 0V

7. 25 °C MAX. の DEEPSTOP モードの MAX. 値は参考値です。  
25 °C MAX. の DEEPSTOP モードの MAX. 値の条件を次に示します。
- $T_A = 25\text{ °C}$
  - $\text{REGnVDD} = \text{FVDD} = \text{OSCVDD} = \text{EnVDD} = \text{B0VDD} = \text{A0VDD} = \text{AVREFP0} = 3.6\text{ V}$
  - $\text{CVDD} = 1.3\text{ V}$
  - $\text{MLB0VDD} = 3.6\text{ V}$
  - $\text{REGnVSS} = \text{OSCVSS} = \text{EnVSS} = \text{B0VSS} = \text{CVSS} = \text{MLB0VSS} = \text{A0VSS} = \text{AVREFM0} = 0\text{ V}$

6.2 3.3 V電源電流スペック (A)グレード品

表 6-2 OSCVDD, REGnVDD, FVDD の消費電流

項目	電源			条件		周辺機能	クロック・ソース				規格値			単位
	AWO	Iso0	Iso1	PLL	CPU周波数		低速IntOsc	高速IntOsc	Main OSC	Sub OSC	MIN.	TYP.	MAX.	
RUN モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	29	34	mA
	ON	ON	ON	OFF	8	動作	ON	ON	ON	ON	-	13	19	mA
	ON	ON	STP	ON	160	動作	ON	ON	ON	ON	-	29	34	mA
	ON	ON	STP	OFF	8	動作	ON	ON	ON	ON	-	13	19	mA
	ON	ON	OFF	ON	160	動作	ON	ON	ON	ON	-	29	34	mA
	ON	ON	OFF	OFF	8	動作	ON	ON	ON	ON	-	13	19	mA
フラッシュ書き込みモード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	84	104	mA
STOP モード	ON	ON	ON	OFF	-	停止	ON	OFF	OFF	OFF	-	2.4	7	mA
	ON	ON	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	2.3	5	mA
DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	0.1	3.0	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	0.6	3.7	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	1.5	4.8	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	1.0	4.3	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	0.1	3.1	mA
25 °C MAX. の DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	-	0.52	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	-	1.07	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	-	1.41	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	-	1.38	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	-	0.7	mA

注意 上記値は、B0VDD, EnVDD, MLB0VDD, A0VDD の消費電流は含みません。

- 備考
- ON : 電源供給許可状態  
STP : 電源供給許可状態。ただし、クロック停止。  
OFF : 電源供給停止状態
  - SSCG の場合、動作周波数 = 160 MHz は平均周波数です。
  - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
  - RUN モード時の電流には、セルフ・プログラミング時および EEPROM エミュレーション実行時の電流を含みます。
  - 動作周波数が 8 MHz の場合、Ethernet と MediaLB の電流は含みません。
  - TYP. 値は参考値です。  
TYP. 値の条件を次に示します。  
• $T_A = 25\text{ }^\circ\text{C}$   
•REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = A0VDD = AVREFP0 = 3.3 V  
•CVDD = 1.2 V  
•MLB0VDD = 3.3 V  
•REGnVSS = OSCVSS = EnVSS = B0VSS = CVSS = MLB0VSS = A0VSS = AVREFM0 = 0V

7. 25 °C MAX. の DEEPSTOP モードの MAX. 値は参考値です。  
25 °C MAX. の DEEPSTOP モードの MAX. 値の条件を次に示します。
  - $T_A = 25\text{ °C}$
  - $\text{REGnVDD} = \text{FVDD} = \text{OSCVDD} = \text{EnVDD} = \text{B0VDD} = \text{A0VDD} = \text{AVREFP0} = 3.6\text{ V}$
  - $\text{CVDD} = 1.3\text{ V}$
  - $\text{MLB0VDD} = 3.6\text{ V}$
  - $\text{REGnVSS} = \text{OSCVSS} = \text{EnVSS} = \text{B0VSS} = \text{CVSS} = \text{MLB0VSS} = \text{A0VSS} = \text{AVREFM0} = 0\text{ V}$

### 6.3 1.2 V電源電流スペック (A9)グレード品

表 6-3 CVDD (Iso0 and Iso1) の消費電流

項目	電源			条件		周辺機能	クロック・ソース				規格値			単位
	AWO	Iso0	Iso1	PLL	CPU 周波数		低速 IntOsc	高速 IntOsc	Main OSC	Sub OSC	MIN.	TYP.	MAX.	
RUN モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	210	348	mA
	ON	ON	ON	OFF	8	動作	ON	ON	ON	ON	-	17	147	mA
	ON	ON	STP	ON	160	動作	ON	ON	ON	ON	-	160	333	mA
	ON	ON	STP	OFF	8	動作	ON	ON	ON	ON	-	13	137	mA
	ON	ON	OFF	ON	160	動作	ON	ON	ON	ON	-	135	244	mA
	ON	ON	OFF	OFF	8	動作	ON	ON	ON	ON	-	11	87	mA
フラッシュ書き込みモード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	210	348	mA
STOP モード	ON	ON	ON	OFF	-	停止	ON	OFF	OFF	OFF	-	1.4	94	mA
	ON	ON	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	1.2	66	mA
DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	0.01	0.68	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	0.01	0.68	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	0.01	0.68	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	0.01	0.68	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	0.01	0.68	mA
25 °C MAX. の DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	-	0.04	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	-	0.04	mA

- 備考
- ON : 電源供給許可状態  
STP : 電源供給許可状態。ただし、クロック停止。  
OFF : 電源供給停止状態
  - SSCG の場合、動作周波数 = 160 MHz は平均周波数です。
  - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
  - RUN モード時の電流には、セルフ・プログラミング時および EEPROM<sup>®</sup> エミュレーション実行時の電流を含みます。
  - 動作周波数が 8 MHz の場合、Ethernet と MediaLB の電流は含みません。
  - TYP. 値は参考値です。  
TYP. 値の条件を次に示します。  
•T<sub>A</sub> = 25 °C  
•REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = A0VDD = AVREFP0 = 3.3 V  
•CVDD = 1.2 V  
•MLB0VDD = 3.3 V  
•REGnVSS = OSCVSS = EnVSS = B0VSS = CVSS = MLB0VSS = A0VSS = AVREFM0 = 0V
  - 25 °C MAX. の DEEPSTOP モードの MAX. 値は参考値です。  
25 °C MAX. の DEEPSTOP モードの MAX. 値の条件を次に示します。  
•T<sub>A</sub> = 25 °C  
•REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = A0VDD = AVREFP0 = 3.6 V

- CVDD = 1.3 V
- MLB0VDD = 3.6 V
- REGnVSS = OSCVSS = EnVSS = B0VSS = CVSS = MLB0VSS = A0VSS =  
AVREFM0 = 0V

6.4 3.3 V電源電流スペック (A9)グレード品

表 6-4 OSCVDD, REGnVDD, FVDD の消費電流

項目	電源			条件		周辺機能	クロック・ソース				規格値			単位
	AWO	Iso0	Iso1	PLL	CPU周波数		低速IntOsc	高速IntOsc	Main OSC	Sub OSC	MIN.	TYP.	MAX.	
RUN モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	29	37	mA
	ON	ON	ON	OFF	8	動作	ON	ON	ON	ON	-	13	26	mA
	ON	ON	STP	ON	160	動作	ON	ON	ON	ON	-	29	37	mA
	ON	ON	STP	OFF	8	動作	ON	ON	ON	ON	-	13	26	mA
	ON	ON	OFF	ON	160	動作	ON	ON	ON	ON	-	29	37	mA
	ON	ON	OFF	OFF	8	動作	ON	ON	ON	ON	-	13	26	mA
フラッシュ書き込みモード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON	-	84	107	mA
STOP モード	ON	ON	ON	OFF	-	停止	ON	OFF	OFF	OFF	-	2.4	11	mA
	ON	ON	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	2.3	8	mA
DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	0.1	4.74	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	0.6	5.50	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	1.5	7.11	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	1.0	6.90	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	0.1	4.84	mA
25 °C MAX. の DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF	-	-	0.52	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF	-	-	1.07	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	ON	ON	-	-	1.41	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	ON	OFF	-	-	1.38	mA
	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	ON	-	-	0.7	mA

注意 上記値は、B0VDD, EnVDD, MLB0VDD, A0VDD の消費電流は含みません。

- 備考
- ON : 電源供給許可状態  
STP : 電源供給許可状態。ただし、クロック停止。  
OFF : 電源供給停止状態
  - SSCG の場合、動作周波数 = 160 MHz は平均周波数です。
  - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
  - RUN モード時の電流には、セルフ・プログラミング時および EEPROM エミュレーション実行時の電流を含みます。
  - 動作周波数が 8 MHz の場合、Ethernet と MediaLB の電流は含みません。
  - TYP. 値は参考値です。  
TYP. 値の条件を次に示します。  
•T<sub>A</sub> = 25 °C  
•REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = A0VDD = AVREFP0 = 3.3 V  
•CVDD = 1.2 V  
•MLB0VDD = 3.3 V  
•REGnVSS = OSCVSS = EnVSS = B0VSS = CVSS = MLB0VSS = A0VSS = AVREFM0 = 0V

7. 25 °C MAX. の DEEPSTOP モードの MAX. 値は参考値です。  
25 °C MAX. の DEEPSTOP モードの MAX. 値の条件を次に示します。
  - $T_A = 25\text{ °C}$
  - $\text{REGnVDD} = \text{FVDD} = \text{OSCVDD} = \text{EnVDD} = \text{B0VDD} = \text{A0VDD} = \text{AVREFP0} = 3.6\text{ V}$
  - $\text{CVDD} = 1.3\text{ V}$
  - $\text{MLB0VDD} = 3.6\text{ V}$
  - $\text{REGnVSS} = \text{OSCVSS} = \text{EnVSS} = \text{B0VSS} = \text{CVSS} = \text{MLB0VSS} = \text{A0VSS} = \text{AVREFM0} = 0\text{ V}$

## 7. 入出力VDDのACタイミング制限事項

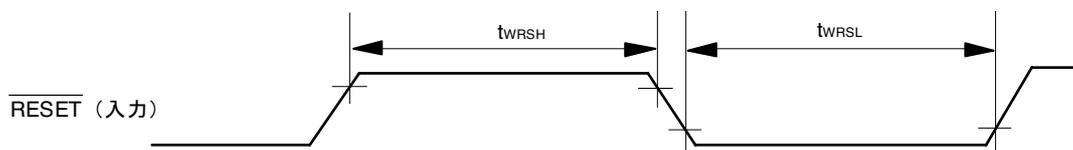
V850E2/SK4-Hは、MIN.2.7 Vで動作しますが、ACタイミングを満足する入出力VDDの仕様（EnVDD, B0VDD）は、MIN. 3.0 Vに制限されています。

## 8. 周辺機能スペック

### 8.1 リセット・タイミング

表 8-1 リセット・タイミング

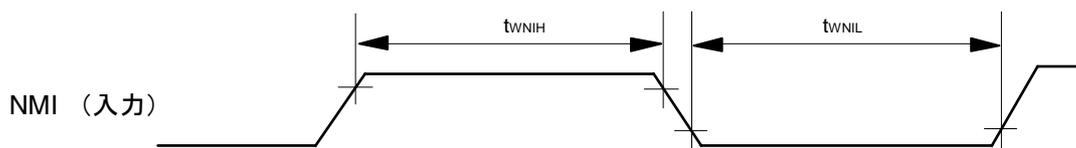
項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET 入力ハイ・レベル幅	t <sub>WRSH</sub>	スタンバイ時を除く	450			ns
		スタンバイ時	1			ms
RESET 入力ロウ・レベル幅	t <sub>WRSL</sub>	電源オン, スタンバイ時を除く	450			ns
		スタンバイ時	1			ms



### 8.2 NMI タイミング

表 8-2 NMI タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ・レベル幅	t <sub>WNIH</sub>		300			ns
NMI 入力ロウ・レベル幅	t <sub>WNIL</sub>		300			ns

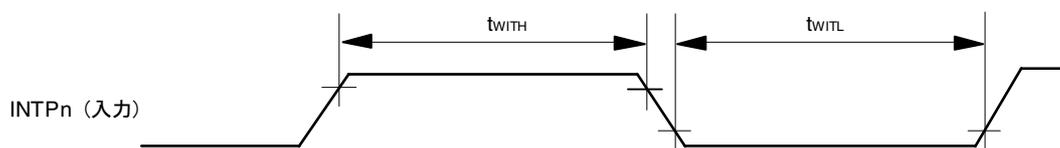


### 8.3 外部割り込みタイミング

表 8-3 外部割り込みタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
INTP <sub>n</sub> 入力ハイ・レベル幅	t <sub>WITH</sub>		300			ns
INTP <sub>n</sub> 入力ロウ・レベル幅	t <sub>WITL</sub>		300			ns

備考 n = 0-15



## 8.4 FLMD0 タイミング

表 8-4 FLMD0 タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 入力ハイ・レベル幅	t <sub>WMDH</sub>		300			ns
FLMD0 入力ロウ・レベル幅	t <sub>WMDL</sub>		300			ns

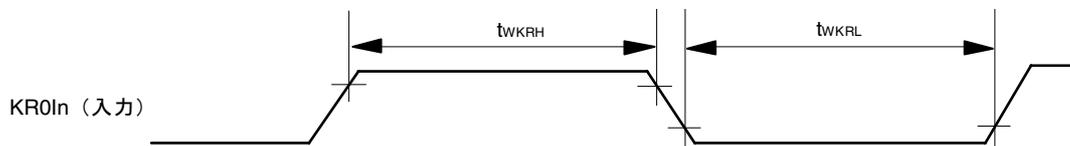


## 8.5 キー・リターン・タイミング

表 8-5 キー・リターン・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ハイ・レベル幅	t <sub>WKRH</sub>		300			ns
KR0In 入力ロウ・レベル幅	t <sub>WKRL</sub>		300			ns

備考 n = 0-7

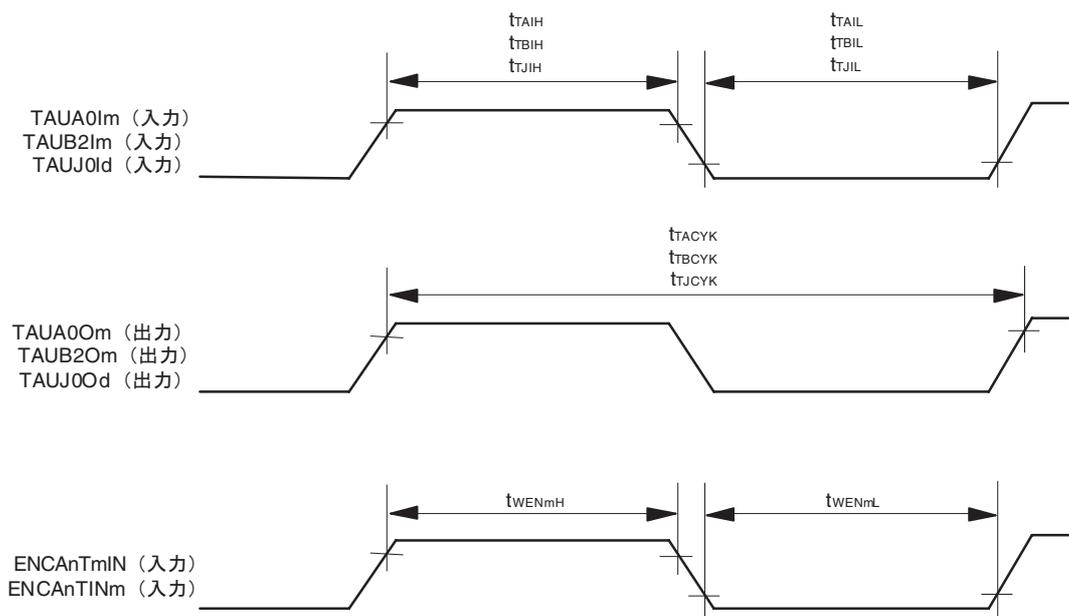


## 8.6 タイマ・タイミング

表 8-6 タイマ・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUA0I 入力ハイ・レベル幅	tTAIH	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns
TAUA0I 入力ロウ・レベル幅	tTAIL	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns
TAUB2I 入力ハイ・レベル幅	tTBH	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns
TAUB2I 入力ロウ・レベル幅	tTBIL	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns
TAUJ0Id 入力ハイ・レベル幅	tTJIH		300			ns
TAUJ0Id 入力ロウ・レベル幅	tTJIL		300			ns
TAUA0O 出力周期	tTACYK				20	MHz
TAUB2O 出力周期	tTBCYK				20	MHz
TAUJ0O 出力周期	tTJCYK				20	MHz
ENCAnTmIN ハイ・レベル幅	tWENmH	n = 0, 1, m = A, B, Z デジタルノイズフィルタ使用時	a			ns
		n = 0, 1, m = A, B, Z デジタルノイズフィルタバイパス時	b			ns
ENCAnTmIN ロウ・レベル幅	tWENmL	n = 0, 1, m = A, B, Z デジタルノイズフィルタ使用時	a			ns
		n = 0, 1, m = A, B, Z デジタルノイズフィルタバイパス時	b			ns
ENCAnTINm ハイ・レベル幅	tWENmH	n = 0, 1, m = 0, 1 デジタルノイズフィルタ使用時	a			ns
		n = 0, 1, m = 0, 1 デジタルノイズフィルタバイパス時	b			ns
ENCAnTINm ロウ・レベル幅	tWENmL	n = 0, 1, m = 0, 1 デジタルノイズフィルタ使用時	a			ns
		n = 0, 1, m = 0, 1 デジタルノイズフィルタバイパス時	b			ns

- a)  $2T_{SMP} + 20$ ,  $3T_{SMP} + 20$ ,  $4T_{SMP} + 20$ ,  $5T_{SMP} + 20$  のいずれかの値。  
 $T_{SMP}$  : ノイズ除去サンプリング・クロック周期。  
 ノイズフィルタの出力パルス幅は A/D コンバータで使用するクロック (PCLK1) よりも長くなるように設定してください。
- b)  $PCLK1 + 20$ 。



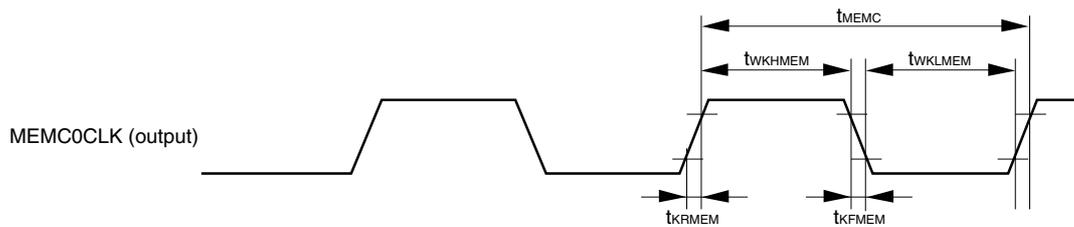
## 8.7 MEMCクロック・タイミング

**注意** SRAM インタフェース, SDRAM インタフェースを使用する場合, PDSCx レジスタの該当ビットは, セット (1) (ハイ・ドライブ強度) してください。

表 8-7 MEMC クロック・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
MEMC0CLK 出力周期	$t_{MEMC}$		25			ns
MEMC0CLK ハイ・レベル幅	$t_{WKHM}$		$t_{MEMC}/2 - 10$			ns
MEMC0CLK ロウ・レベル幅	$t_{WKL}$		$t_{MEMC}/2 - 10$			ns
MEMC0CLK 立ち上がり時間	$t_{KR}$				8	ns
MEMC0CLK 立ち下がり時間	$t_{KF}$				8	ns

**備考** 1. 上記スペックは, SSCG による変調を含みません。  
2.  $C_L=30pF$



## 8.8 マルチプレクス・バス・モード時のSRAMバス・タイミング

**注意** SRAM インタフェースを使用する場合、PDSCx レジスタの該当ビットは、セット (1) (ハイ・ドライブ強度) してください。

### 8.8.1 MEMC0CLK 非同期タイミング (リード/ライト・サイクル)

表 8-8 MEMC0CLK 非同期タイミング (リード/ライト・サイクル)

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作周期	T		25			ns
アドレス・セットアップ時間 (対 MEMC0ASTB ↓)	tsAST	<1>	(1 + ASW) T - 15			ns
アドレス・ホールド時間 (対 MEMC0ASTB ↓)	thSTA	<2>	(1 + AHW) T - 15			ns
MEMC0RD ↓→アドレス・フ ロート遅延時間	tFRDA	<3>			6	ns
アドレス・ホールド時間 (対 MEMC0RD ↑)	thRDA	<4>	0			ns
MEMC0RD ↓→データ入力遅 延時間	tDRDID	<5>	6		(1 + w) T - 35	ns
データ入力ホールド時間 (対 MEMC0RD ↑)	thRDID	<6>	0			ns
MEMC0ASTB ↓→ MEMC0RD ↓遅延時間	tdSTRD	<7>	(1 + AHW) T - 15			ns
MEMC0ASTB ↓→ MEMC0WR ↓遅延時間	tdSTWR	<8>	(1 + AHW) T - 15			ns
MEMC0RD, MEMC0WR ロウ・レベル幅	tWRDST	<9>	(1 + w) T - 10			ns
MEMC0WR ↓→データ出力遅 延時間	tdWRD	<10>			10	ns
アドレス・ホールド時間 (対 MEMC0WR ↑)	thWRA	<11>	T - 15			ns
データ出力セットアップ時間 (対 MEMC0WR ↑)	tsODWR	<12>	(1 + w) T - 15			ns
データ出力ホールド時間 (MEMC0WR ↑)	thWROD	<13>	T - 15			ns
MEMC0WAIT セットアップ時 間 (対 MEMC0ASTB ↓)	tsSTWT1	<14>			(1 + AHW) T - (2HEAPCLK + 35)	ns
	tsSTWT2	<15>	w ≥ 1		(1 + w + AHW) T - (2HEAPCLK + 35)	ns
MEMC0WAIT ホールド時間 (対 MEMC0ASTB ↓)	thSTWT1	<16>	w ≥ 1	(w + AHW) T - 20		ns
	thSTWT2	<17>	w ≥ 1	(1 + w + AHW) T - 20		ns
MEMC0ASTB ハイ・レベル幅	twASTH	<27>	T - 15			ns

- 備考
1. バス動作周期 (T) が 41 ns より短い場合,  $t_{DRDID}$  のスペックは, 少なくとも 1 データ・ウエイト ( $w = 1$ ) が必要です。
  2.  $C_L = 30\text{pF}$
  3. ASW : アドレス・セットアップ・ウエイト・クロック数
  4. AHW : アドレス・ホールド・ウエイト・クロック数
  5. w : データ・ウエイト・クロック数
  6. HEAPCLK : CPU クロック周波数

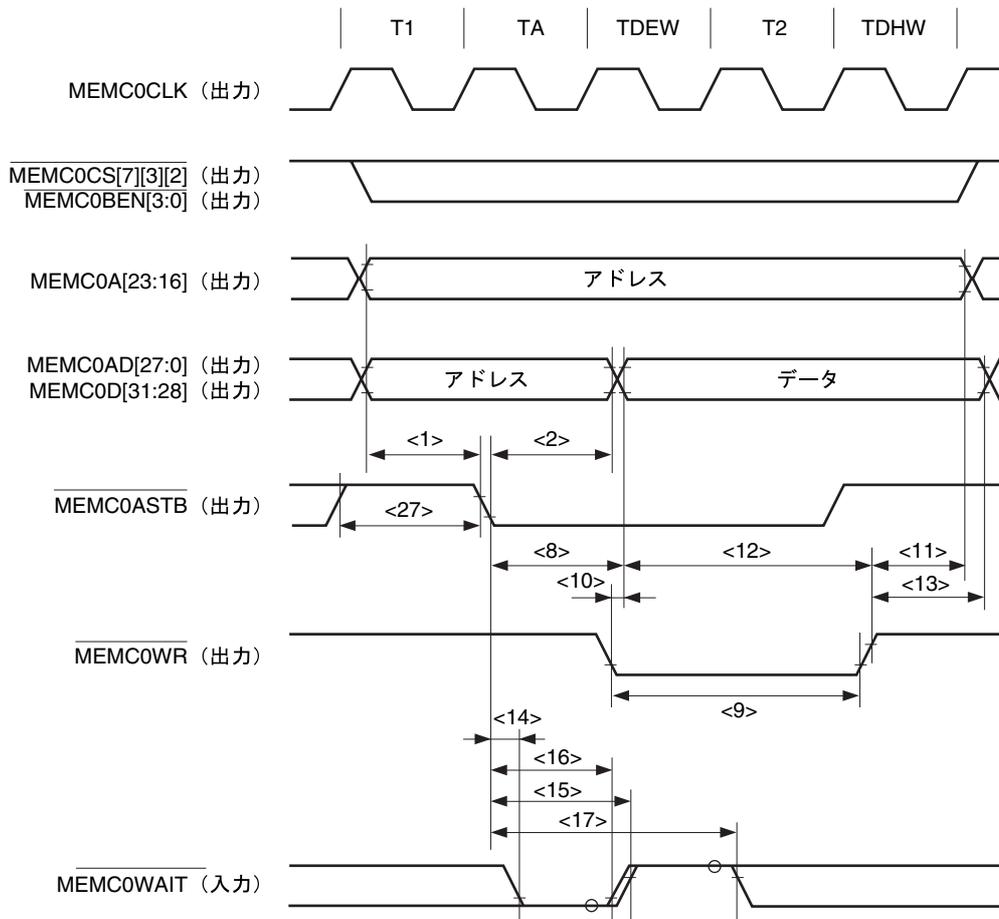
### 8.8.2 MEMC0CLK同期タイミング (リード/ライト・サイクル)

表 8-9 MEMC0CLK 同期タイミング (リード/ライト・サイクル)

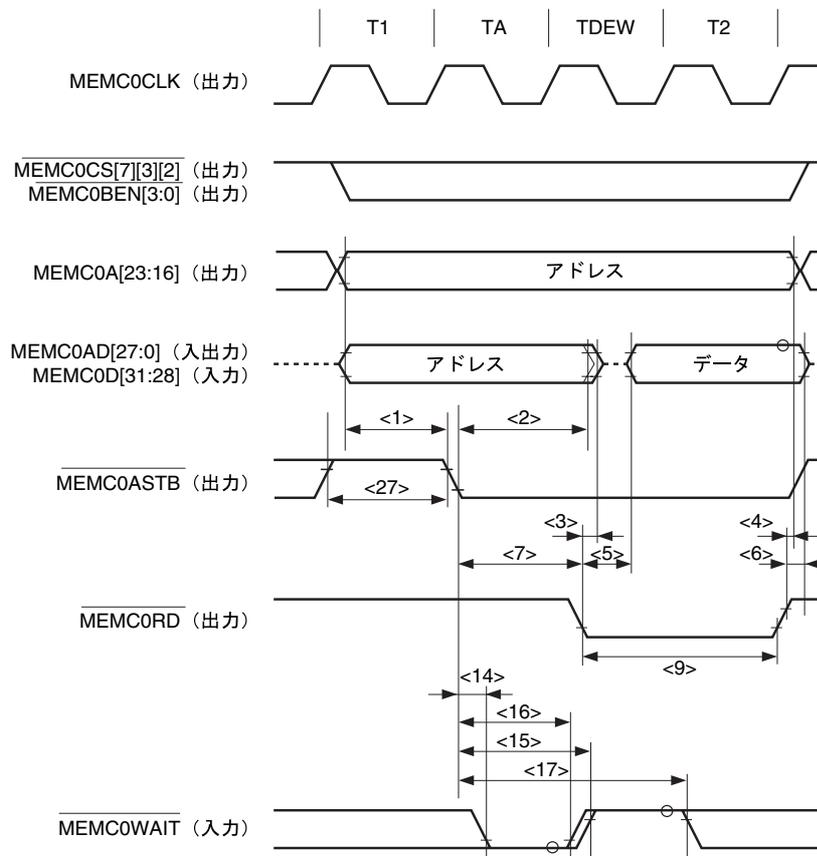
項目	略号		条件	MIN.	TYP.	MAX.	単位
バス動作周期	T			25			ns
MEMC0CLK ↑ → アドレス遅延時間	$t_{DKA}$	<18>		0		12	ns
MEMC0CLK ↑ → アドレス・フロート遅延時間	$t_{FKA}$	<19>		0		12	ns
MEMC0CLK ↑ → MEMC0ASTB ↓ 遅延時間	$t_{DKST}$	<20>		0		11	ns
MEMC0CLK ↑ → MEMC0RD, MEMC0WR ↓ 遅延時間	$t_{DKRDWR}$	<21>		- 2.5		10	ns
データ入力セットアップ時間 (対 MEMC0CLK ↑)	$t_{SIDK}$	<22>		15			ns
データ入力ホールド時間 (対 MEMC0CLK ↑)	$t_{HKID}$	<23>		2.5			ns
MEMC0CLK ↑ → データ出力遅延時間	$t_{DKOD}$	<24>				11	ns
MEMC0WAIT セットアップ時間 (対 MEMC0CLK ↑)	$t_{SWTK}$	<25>		15 + HEAPCLK			ns
MEMC0WAIT ホールド時間 (対 MEMC0CLK ↑)	$t_{HKWT}$	<26>		0			ns

- 備考
1.  $C_L = 30\text{ pF}$
  2. HEAPCLK : CPU クロック周波数

- ライト・サイクル（非同期タイミング，1データ・ウエイト）：マルチプレクス・バス・モード時

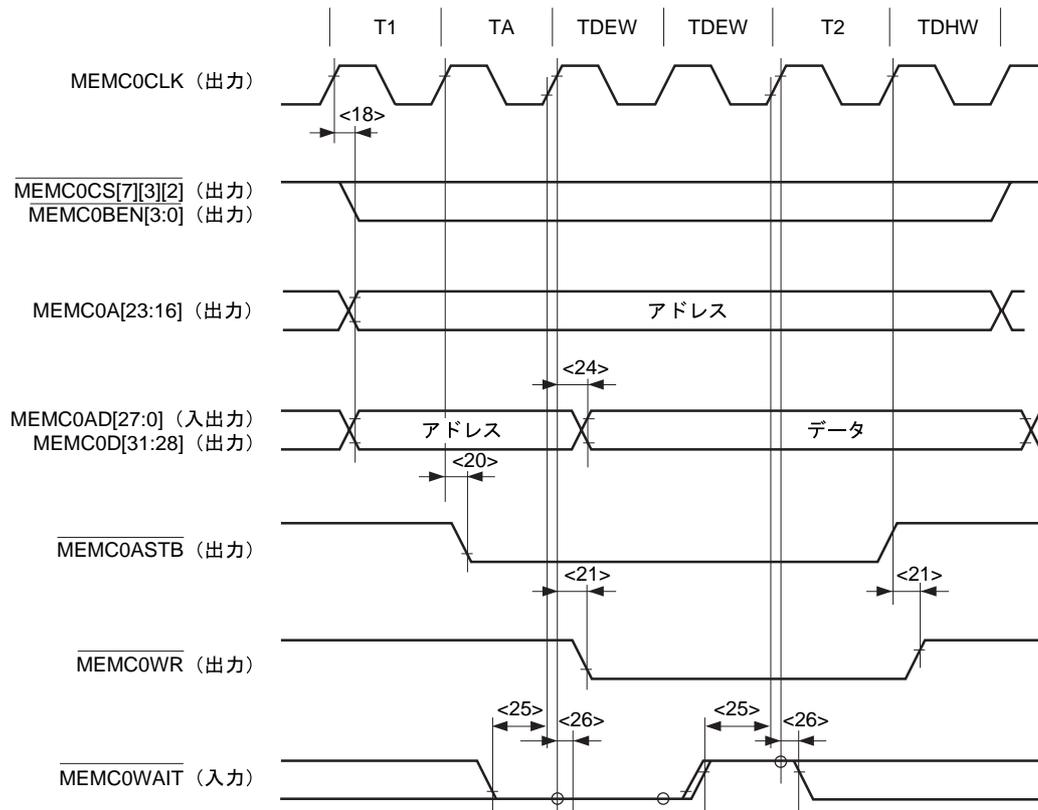


- リード・サイクル（非同期タイミング, 1データ・ウエイト）: マルチプレクス・バス・モード時

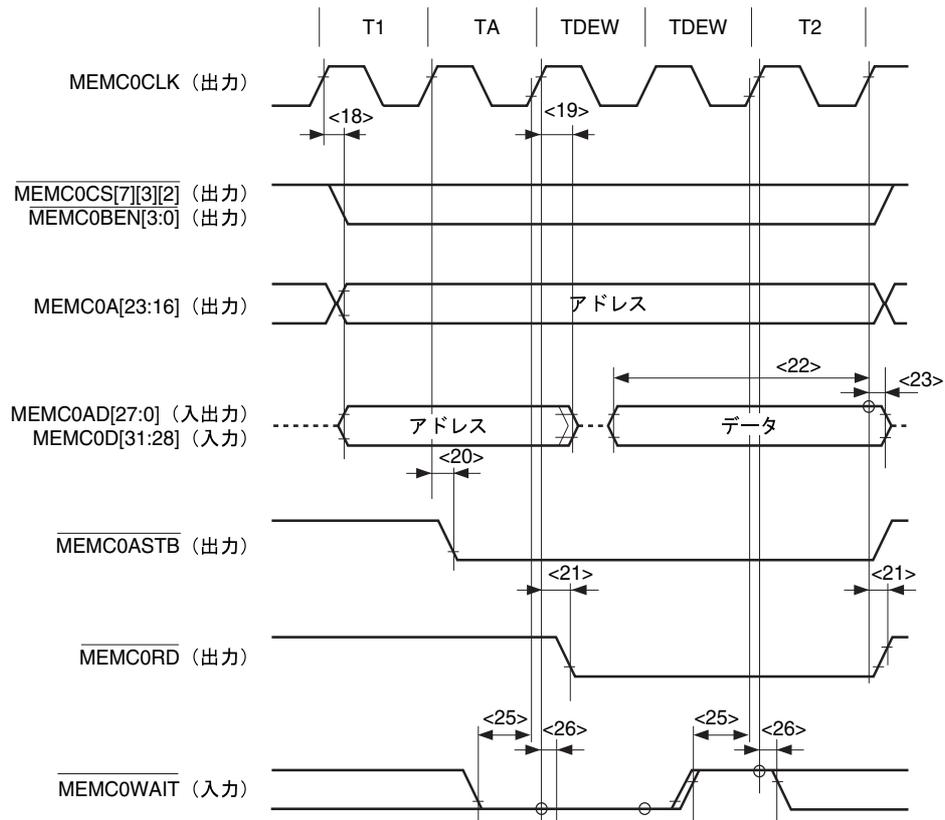


備考 破線はハイ・インピーダンスを示します。

・ ライト・サイクル（同期タイミグ、1データ・ウエイト）：マルチプレクス・バス・モード時



・ リード・サイクル（同期タイミング, 1 データ・ウェイト）: マルチプレクス・バス・モード時



備考 破線はハイ・インピーダンスを示します。

## 8.9 セパレート・バス・モード時のSRAMバス・タイミング

**注意** SRAM インタフェースを使用する場合、PDSCx レジスタの該当ビットは、セット (1) (ハイ・ドライブ強度) してください。

### 8.9.1 MEMC0CLK 非同期タイミング (リード/ライト・サイクル)

表 8-10 MEMC0CLK 非同期タイミング (リード/ライト・サイクル)

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作周期	T		25			ns
アドレス・ホールド時間 (対 MEMC0RD ↑)	tHRDA	<4>	0			ns
MEMC0RD ↓ → データ入力遅延 時間	tDRDID	<5>	6		$(1 + w) T - 35$	ns
データ入力ホールド時間 (MEMC0RD ↑)	tHRDID	<6>	0			ns
MEMC0RD, MEMC0WR ロウ・ レベル幅	tWRDST	<9>	$(1 + w) T - 10$			ns
アドレス・セットアップ時間 (対 MEMC0WR, MEMC0RD ↓)	tSAWR	<10>	$T - 15$			ns
アドレス・ホールド時間 (対 MEMC0WR ↑)	tHWRA	<11>	$(1 + w) T - 15$			ns
データ出力セットアップ時間 (対 MEMC0WR ↑)	tSODWR	<12>	$(2 + w) T - 15$			ns
データ出力ホールド時間 (対 MEMC0WR ↑)	tHWROD	<13>	$(1 + w) T - 15$			ns
MEMC0WAIT セットアップ時間 (対アドレス)	tSSTWT2	<15>	$w \geq 1$		$(1 + w) T - (2HEAPCLK + 35)$	ns
MEMC0WAIT ホールド時間 (対アドレス)	tHSTWT2	<17>	$w \geq 1$		$(1 + w) T - 20$	ns

- 備考**
1.  $C_L = 30 \text{ pF}$
  2.  $w$  : データ・ウエイト・クロック数
  3. HEAPCLK : CPU クロック周波数

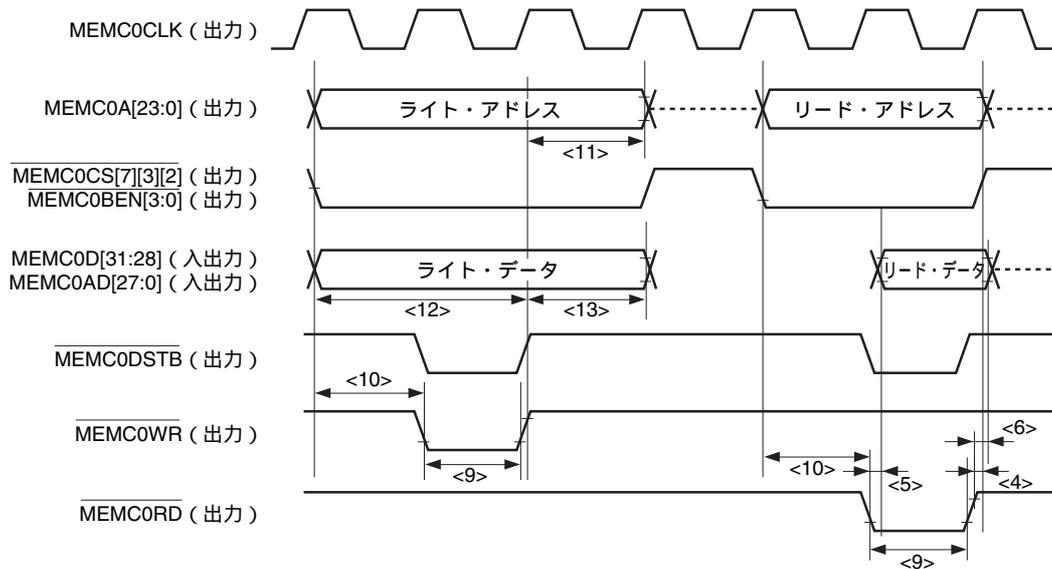
### 8.9.2 MEMC0CLK同期タイミング（リード/ライト・サイクル）

表 8-11 MEMC0CLK 同期タイミング（リード/ライト・サイクル）

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作周期	T		2.5			ns
MEMC0CLK ↑ → アドレス, MEMC0CS[7][3][2], MEMC0BEN[3:0] 遅延時間	tDKA	<1> <2>	0		12	ns
MEMC0CLK ↑ → データ（ラ イト）遅延時間	tDKOD	<3>	0		12	ns
MEMC0CLK ↑ → MEMC0DSTB ↓ 遅延時間	tDKDSL	<4>	- 2.5		10	ns
MEMC0CLK ↑ → MEMC0WR ↓ 遅延時間	tDKWRL	<5>	- 2.5		10	ns
MEMC0CLK ↑ → MEMC0DSTB ↑ 遅延時間	tDKDSH	<6>	- 2.5		10	ns
MEMC0CLK ↑ → MEMC0WR ↑ 遅延時間	tDKWRH	<7>	- 2.5		10	ns
アドレス・ホールド時間（対 MEMC0CLK ↑）	tHKA	<8>	0			ns
データ・ホールド時間（対 MEMC0CLK ↑（ライト））	tHKOD	<9>	0			ns
MEMC0CLK ↑ → MEMC0RD ↑ 遅延時間	tDKRDL	<10>	- 2.5		10	ns
データ入力セットアップ時間 （対 MEMC0CLK ↑）	tSIDK	<11>	15			ns
データ・ホールド時間（対 MEMC0CLK ↑（リード））	tHKID	<12>	2.5			ns
MEMC0CLK ↑ → MEMC0RD ↑ 遅延時間	tDKRDH	<13>	- 2.5		10	ns
MEMC0WR セットアップ時間 （対 MEMC0CLK ↑）	tSWTK	<14>	15 + HEAPCLK			ns
MEMC0WR ホールド時間（対 MEMC0CLK ↑）	tHKWT	<15>	0			ns

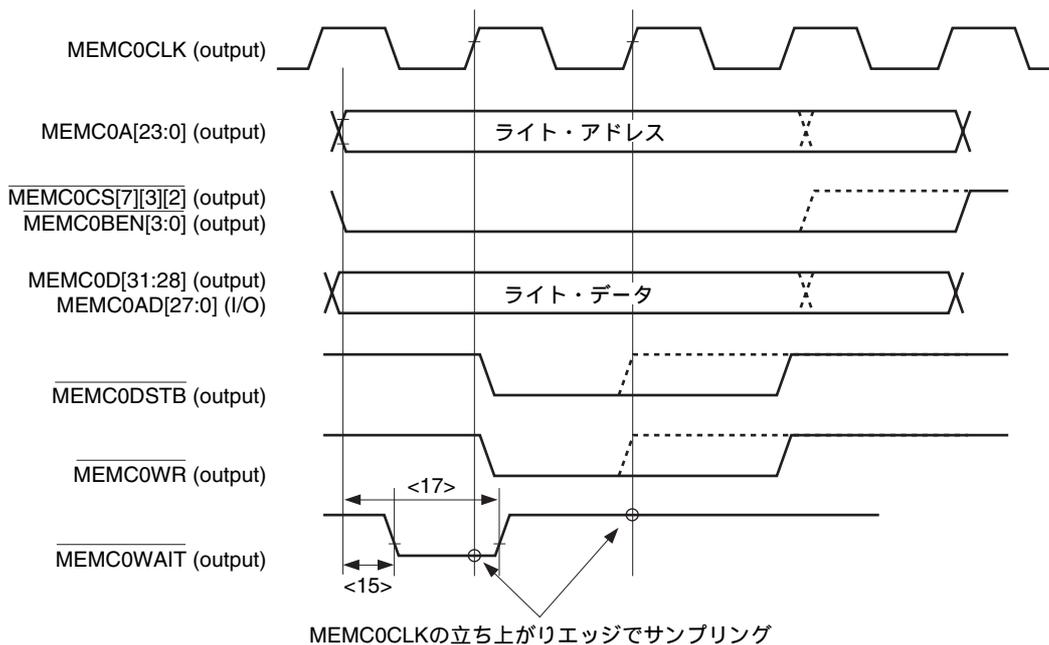
- 備考 1. CL = 30 pF  
2. HEAPCLK : CPU クロック周波数

- ライト・サイクル→リード・サイクル（非同期タイミング、ウエイトなし）  
：セパレート・バス・モード時



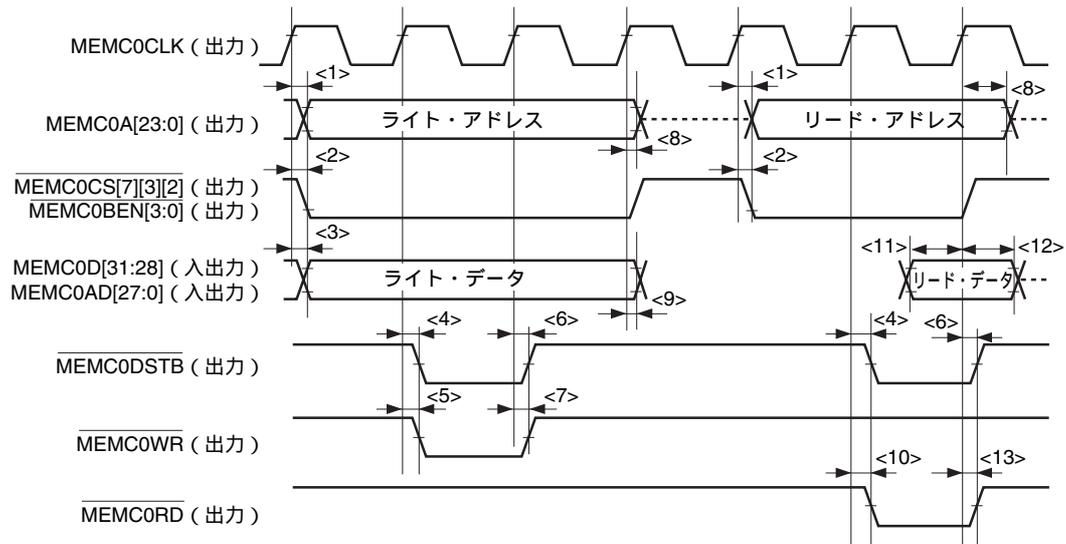
備考 破線はハイ・インピーダンスを示します。

- ライト・サイクル（非同期タイミング、ウエイト挿入）：セパレート・バス・モード時



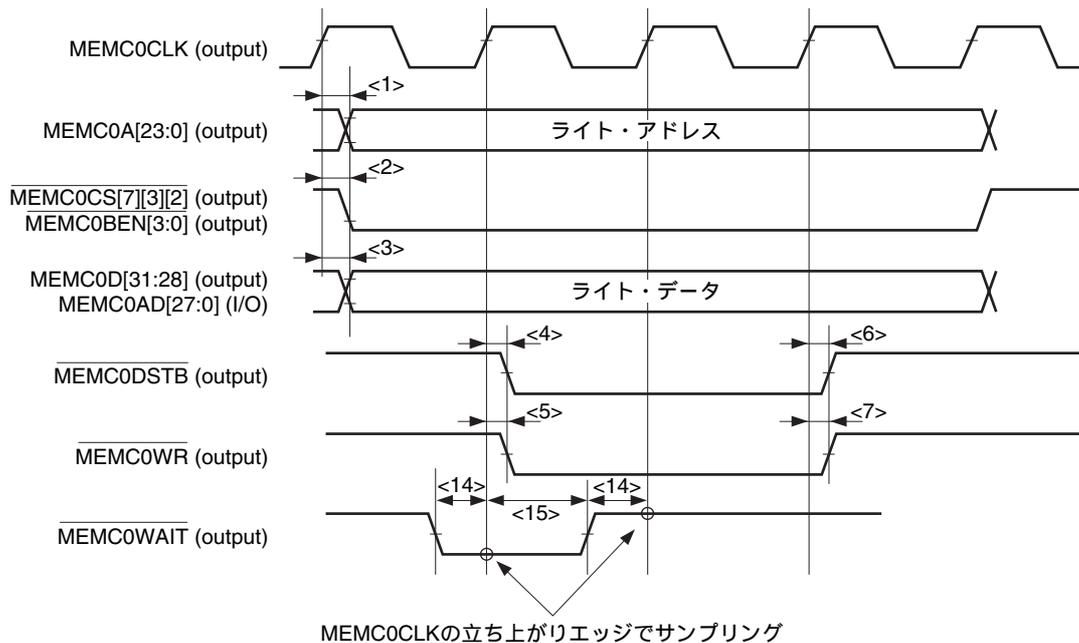
備考 破線はハイ・インピーダンスを示します。

・ ライト・サイクル→リード・サイクル（同期タイミグ、ウエイトなし）：セパレート・バス・モード時



備考 破線はハイ・インピーダンスを示します。

・ ライト・サイクル（同期タイミグ、ウエイト挿入）：セパレート・バス・モード時



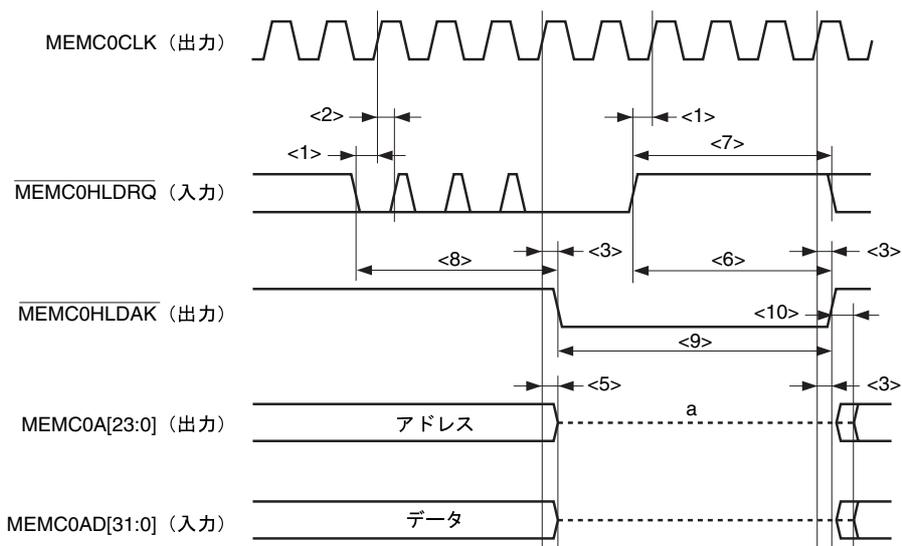
### 8.10 MEMCホールド・タイミング（非同期／同期タイミング）

**注意** SRAM インタフェース, SDRAM インタフェースを使用する場合, PDSCx レジスタの該当ビットは, セット (1) (ハイ・ドライブ強度) してください。

表 8-12 MEMC ホールド・タイミング（非同期／同期タイミング）

項目	略号	条件	MIN.	TYP.	MAX.	単位
MEMC0HLDRQ セットアップ時間 (対 MEMC0CLK ↑)	t <sub>SHRK</sub>	<1>	15 + HEAPCLK			ns
MEMC0HLDRQ ホールド時間 (対 MEMC0CLK ↑)	t <sub>HKHR</sub>	<2>	0			ns
MEMC0CLK ↑ → MEMC0HLDAK ↓ 遅延時間	t <sub>DKHA</sub>	<3>			12	ns
MEMC0CLK ↑ → MEMC0HLDAK クリア ↓ 遅延時間	t <sub>DKHAC</sub>	<4>			12	ns
MEMC0CLK ↑ → アドレス・ フロート遅延時間	t <sub>DKCF</sub>	<5>			12	ns
MEMC0HLDRQ ↑ → MEMC0HLDAK ↑ 遅延時間	t <sub>DHQHA2</sub>	<6>	2T + HEAPCLK			ns
MEMC0HLDRQ ハイ・レベル幅	t <sub>WHQH</sub>	<7>	T - 15			ns
MEMC0HLDRQ ↓ → MEMC0HLDAK ↓ 遅延時間	t <sub>DHQHA1</sub>	<8>	2T + HEAPCLK			ns
MEMC0HLDAK ロウ・レベル幅	t <sub>WHAL</sub>	<9>	T - 15			ns
MEMC0HLDAK ↑ → アドレス・ フロート遅延時間	t <sub>DHAC</sub>	<10>	0			ns

備考 HEAPCLK : CPU クロック周波数



a) バス・ホールド中, MEMC0A[23:0] でハイ・インピーダンスにするためには, 該当のポートを IP コントロールありにするために, PIPC26.PIPC26[15:0] ビット, PIPC27.PIPC27[5:0] ビット, PIPC28.PIPC28[1:0] ビットをセット (1) してください。

備考 破線はハイ・インピーダンスを示します。

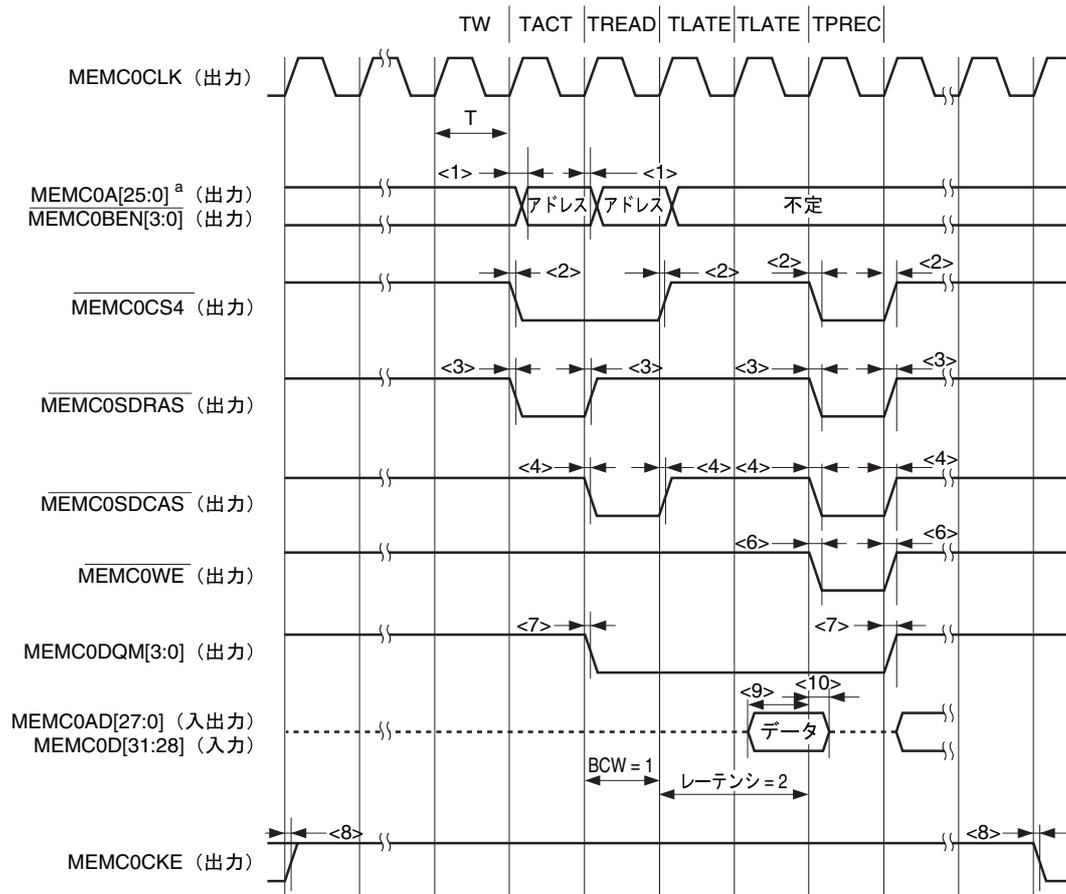
## 8.11 SDRAMバス・タイミング

**注意** SDRAM インタフェースを使用する場合、PDSCx レジスタの該当ビットは、セット (1) (ハイ・ドライブ強度) してください。

表 8-13 SDRAM バス・タイミング (リード/ライト・サイクル)

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス・サイクル・タイム (MEMC0CLK 期間)	T		25			ns
MEMC0CLK ↑→アドレス遅延時間	tAD	<1>	1.5		18	ns
MEMC0CLK ↑→MEMC0CS4 遅延時間	tCSD	<2>	1.5		18	ns
MEMC0CLK ↑→ MEMC0SDRAS ↑遅延時間	tRASD	<3>	1.5		18	ns
MEMC0CLK ↑→ MEMC0SDCAS 遅延時間	tCASD	<4>	1.5		18	ns
MEMC0CLK ↑→ライト・ データ遅延時間	tWDD	<5>	1.5		18	ns
MEMC0CLK ↑→MEMC0WE 遅延時間	tWE	<6>	1.5		18	ns
MEMC0CLK ↑→ MEMC0DQM[3:0] 遅延時間	tDQMD	<7>	1.5		18	ns
MEMC0CLK ↑→クロック・ イネーブル遅延時間	tCKE	<8>	1.5		18	ns
リード・データ・セットアッ プ時間 (対 MEMC0CLK ↑)	tRDS	<9>	12			ns
リード・データ・ホールド時 間 (対 MEMC0CLK ↑)	tRDH	<10>	1.5			ns

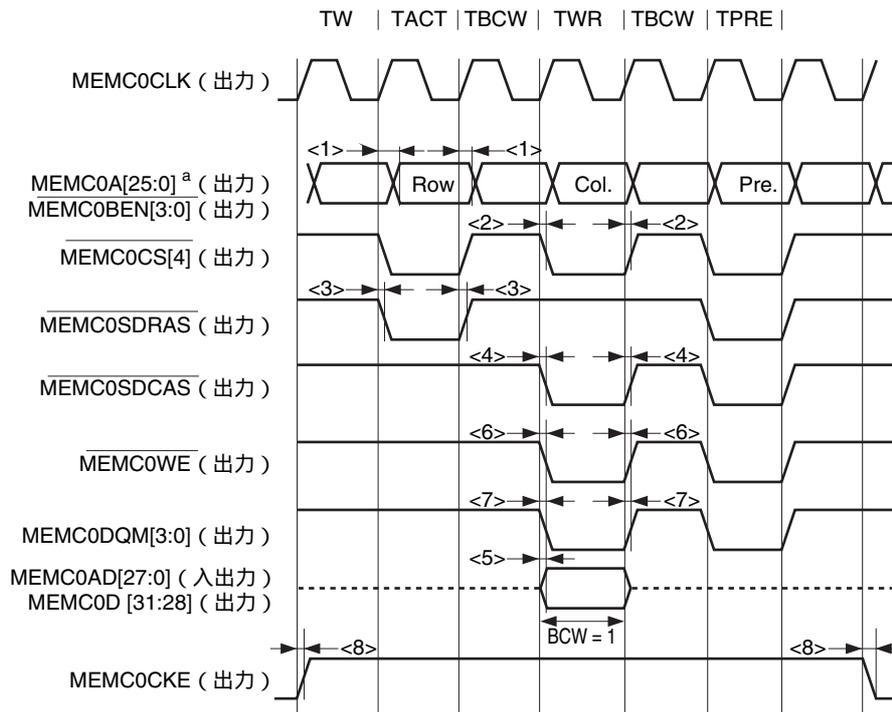
・ リード・サイクル



a) A25 と A23, A24 と A22 は、同時に使用できません。

備考 破線はハイ・インピーダンスを示します。

・ ライト・サイクル



<sup>a)</sup> A25 と A23, A24 と A22 は同時に使用できません。

備考 1. 破線はハイ・インピーダンスを示します。

2. Row : ロウ・アドレス
- Col. : カラム・アドレス
- Pre. : プリチャージ・コマンド

## 8.12 CSI タイミング

### 8.12.1 CSIG タイミング (マスタ・モード)

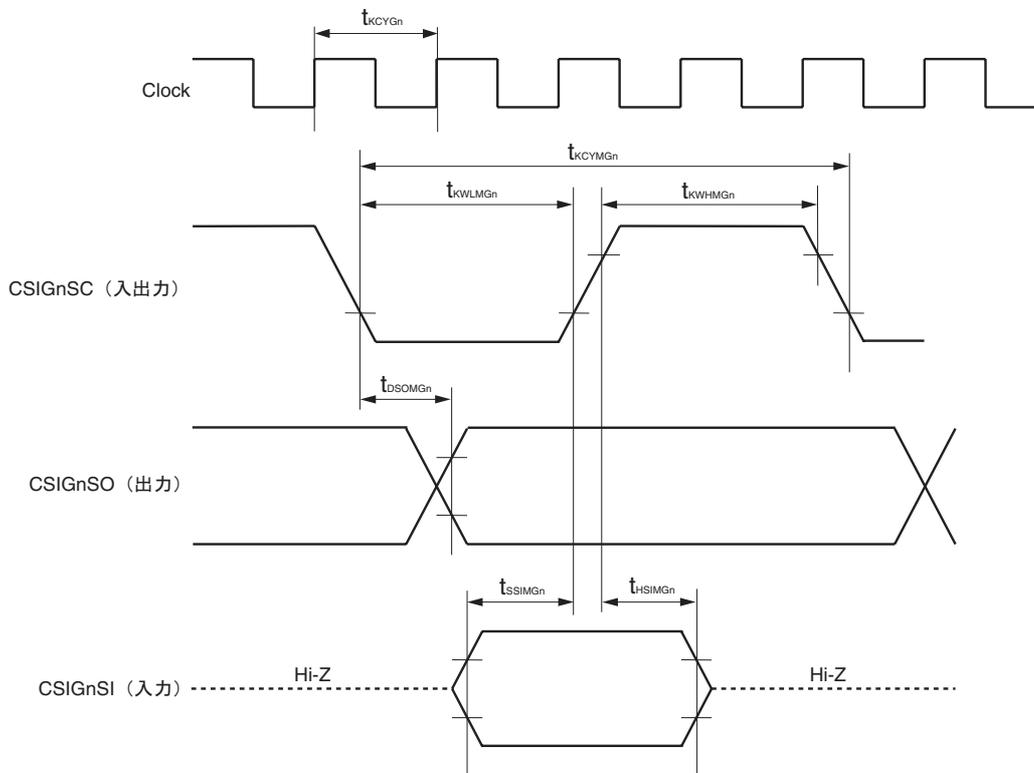
表 8-14 CSIG タイミング (マスタ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t <sub>KCYGn</sub>		12.5			ns
CSIGnSC サイクル・タイム	t <sub>KCYMGn</sub>		100			ns
CSIGnSC ハイ・レベル幅	t <sub>KWHMGn</sub>		0.5t <sub>KCYMGn</sub> - 10			ns
CSIGnSC ロウ・レベル幅	t <sub>KWLMGn</sub>		0.5t <sub>KCYMGn</sub> - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t <sub>SSIMGn</sub>		30			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t <sub>HSIMGn</sub>		0			ns
CSIGnSC → CSIGnSO 出力 遅延時間	t <sub>DSOMGn</sub>				7	ns

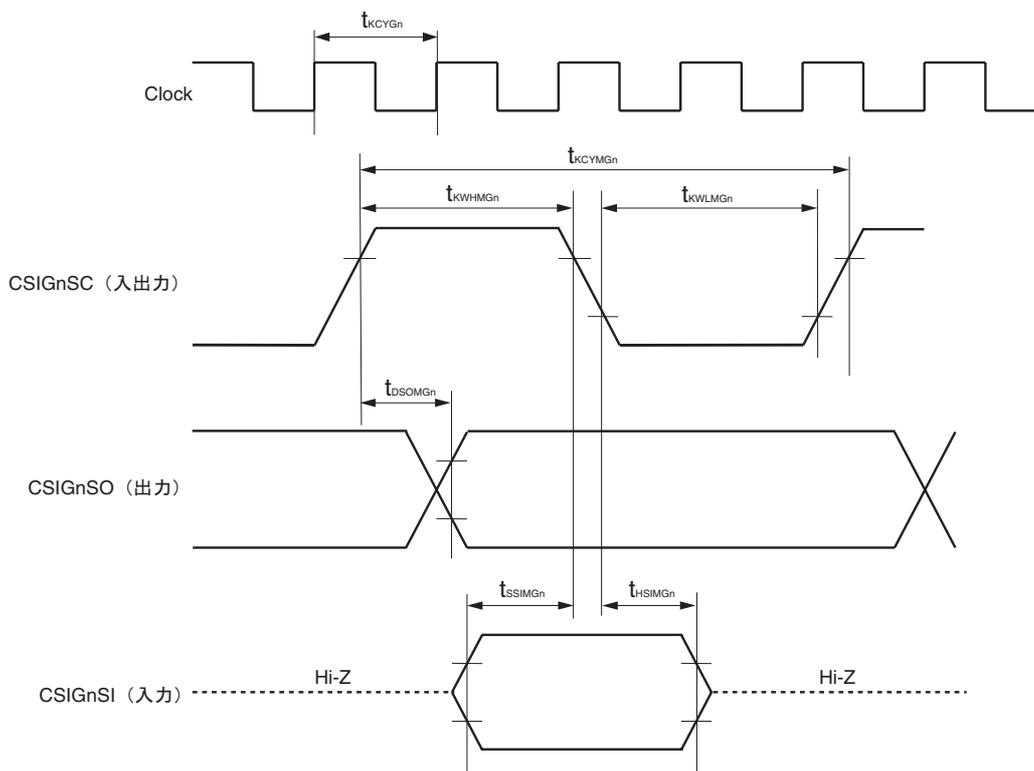
備考 n = 0, 4

(1) CSIGN<sub>n</sub>SC, CSIGN<sub>n</sub>SO, CSIGN<sub>n</sub>SI 端子 (マスタ・モード)

- CSIGN<sub>n</sub>CTL1.CSIGN<sub>n</sub>CKR, CSIGN<sub>n</sub>CFG0.CSIGN<sub>n</sub>DAP ビット = 00 または 11 の場合



- CSIGN<sub>n</sub>CTL1.CSIGN<sub>n</sub>CKR, CSIGN<sub>n</sub>CFG0.CSIGN<sub>n</sub>DAP ビット = 01 または 10 の場合



## 8.12.2 CSIG タイミング (スレーブ・モード)

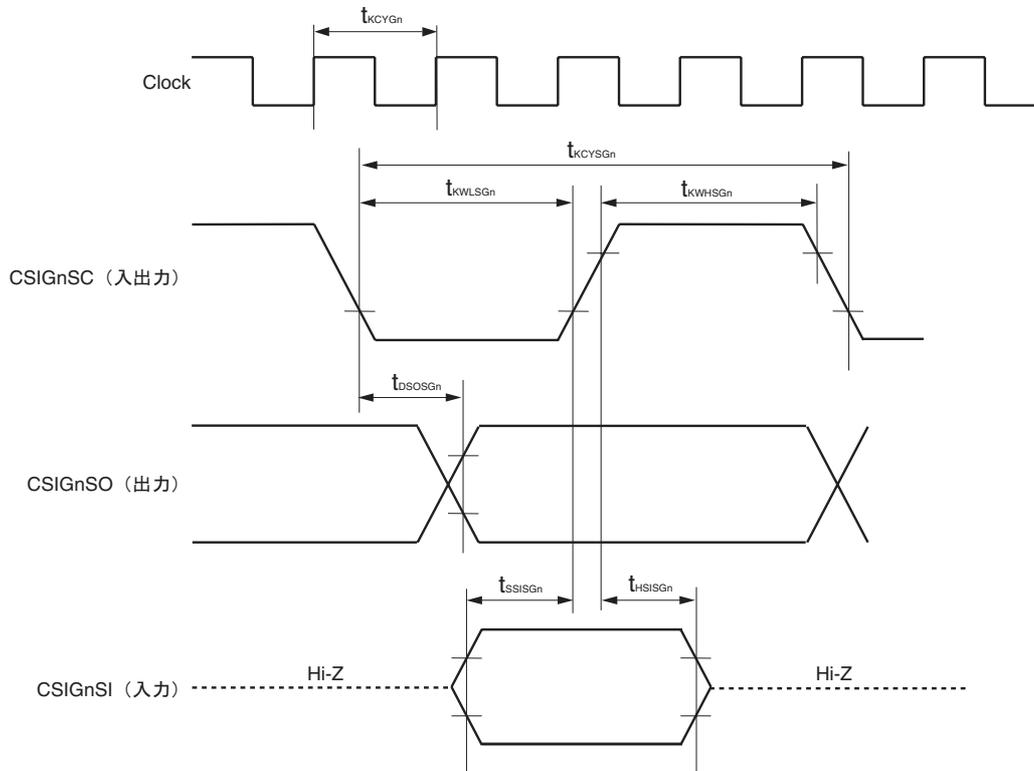
表 8-15 CSIG タイミング (スレーブ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t <sub>KCYGn</sub>		12.5			ns
CSIGnSC サイクル・タイム	t <sub>KCYSGn</sub>		125			ns
CSIGnSC ハイ・レベル幅	t <sub>KWHSGn</sub>		0.5t <sub>KCYSGn</sub> - 10			ns
CSIGnSC ロウ・レベル幅	t <sub>KWLSGn</sub>		0.5t <sub>KCYSGn</sub> - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t <sub>SSISGn</sub>		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t <sub>HSISGn</sub>		t <sub>KCYGn</sub> + 5.0			ns
CSIGnSC → CSIGnSO 出力 遅延時間	t <sub>DSOSGn</sub>				30	ns
CSIGnSSI セットアップ時間 (対 CSIGnSC)	t <sub>SSISGn</sub>		0.5t <sub>KCYSGn</sub> - 5.0			ns
CSIGnSSI ホールド時間 (対 CSIGnSC)	t <sub>HSSISGn</sub>		t <sub>KCYSGn</sub> + 5.0			ns

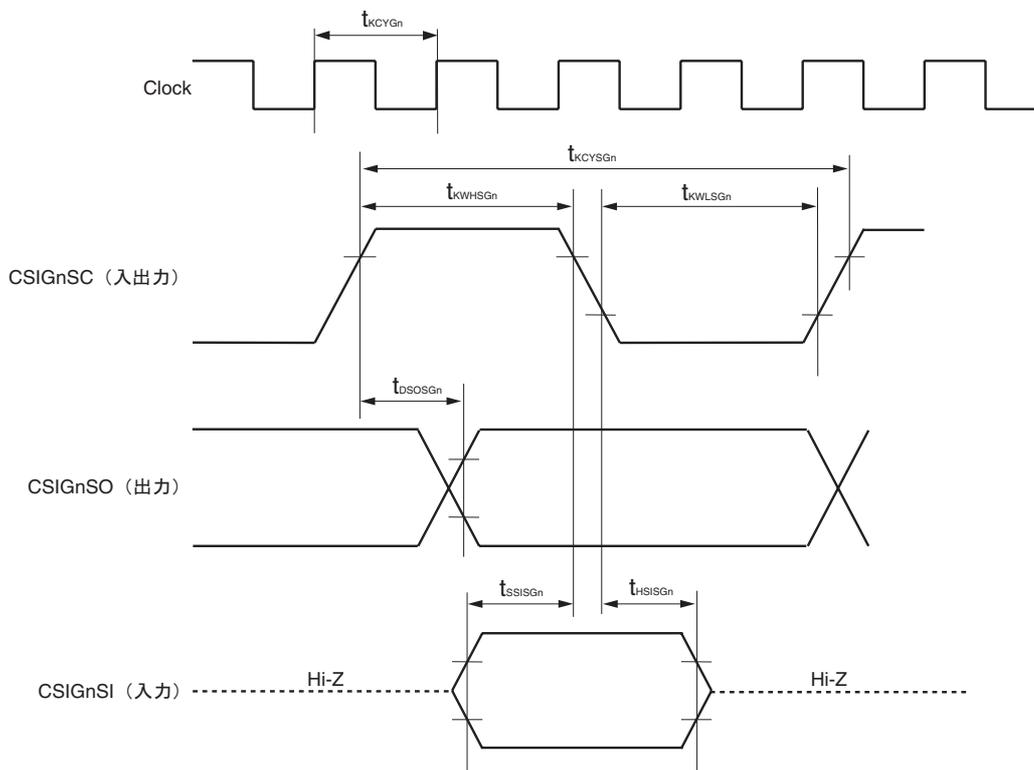
備考 n = 0, 4

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnCKR, CSIGnCFG0.CSIGnDAP ビット = 00 または 11 の場合

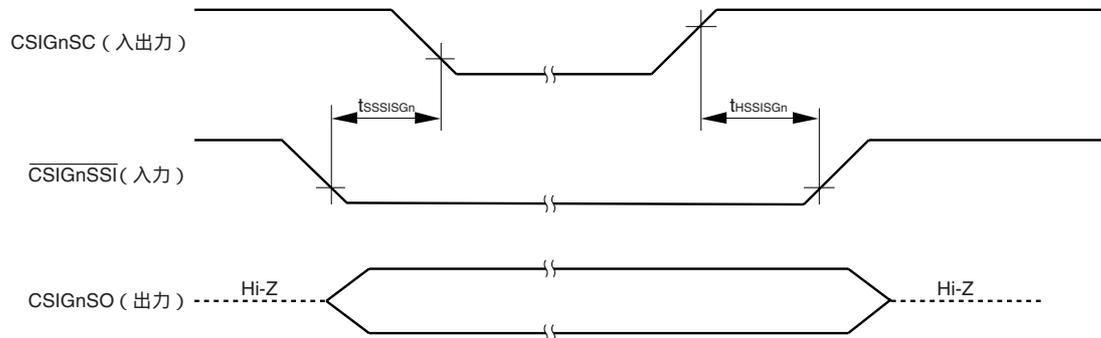


- CSIGnCTL1.CSIGnCKR, CSIGnCFG0.CSIGnDAP ビット = 01 または 10 の場合

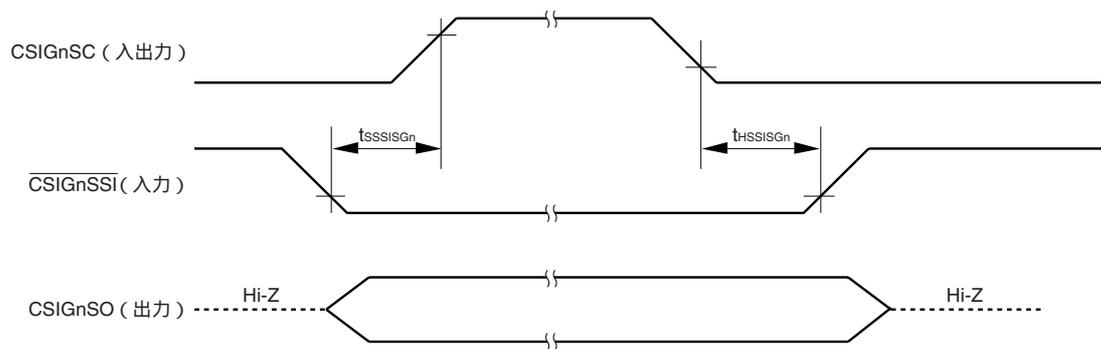


## (2) CSIGNSSI 端子 (スレーブ・モード)

- CSIGNCTL1.CSIGNSSE ビット = 1,  
CSIGNCTL1.CSIGNCKR, CSIGNCFG0.CSIGNDAP ビット = 00 または 11 の場合



- CSIGNCTL1.CSIGNSSE ビット = 1,  
CSIGNCTL1.CSIGNCKR, CSIGNCFG0.CSIGNDAP ビット = 01 または 10 の場合



### 8.12.3 CSIH タイミング (マスタ・モード)

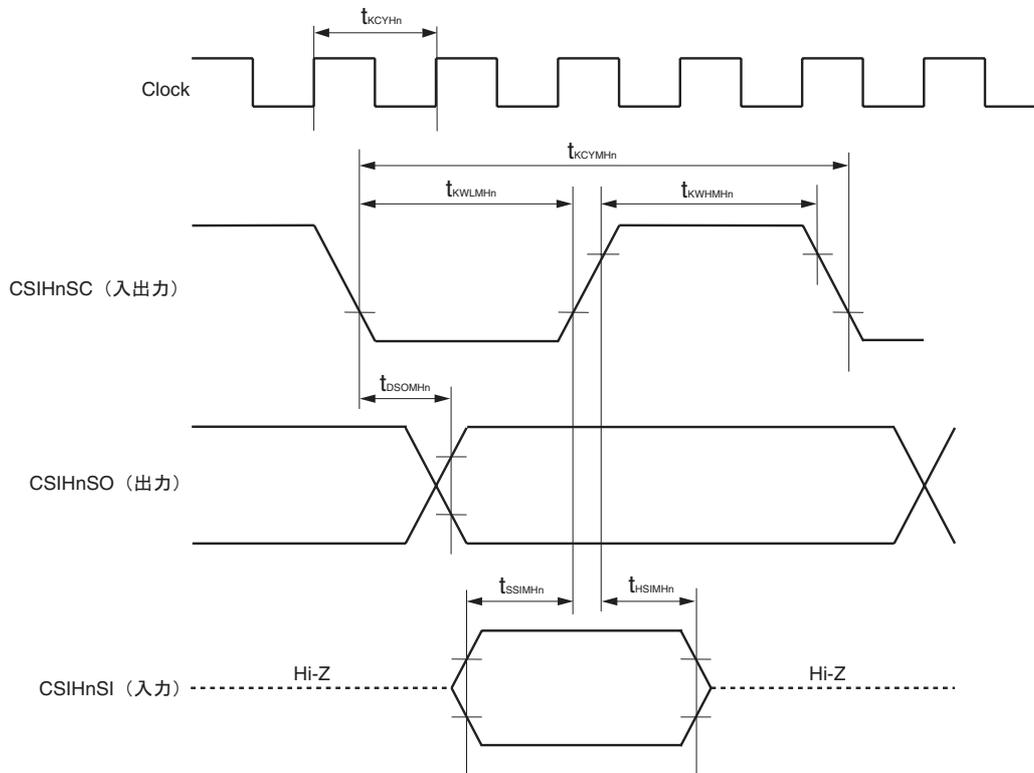
表 8-16 CSIH タイミング (マスタ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・サイクル・タイム	t <sub>KCYHn</sub>		12.5			ns
CSIHnSC サイクル・タイム	t <sub>KCYMHn</sub>		100			ns
CSIHnSC ハイ・レベル幅	t <sub>KWHMHn</sub>		0.5t <sub>KCYMHn</sub> - 10			ns
CSIHnSC ロウ・レベル幅	t <sub>KWLMHn</sub>		0.5t <sub>KCYMHn</sub> - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t <sub>SSIMHn</sub>		30			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t <sub>HSIMHn</sub>		0			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t <sub>DSOMHn</sub>				7	ns
CSIHnRYI セットアップ時間 (対 CSIHnSC)	t <sub>SRYIHn</sub>	CSIHnCTL1.CSIHnSIT ビット = 0 または 1 CSIHnCTL1.CSIHnHSE ビット = 1	2t <sub>KCYHn</sub> + 25			ns
CSIHnRYI ハイ・レベル幅	t <sub>WRYIHn</sub>	CSIHnCTL1.CSIHnHSE ビット = 1	t <sub>KCYHn</sub> + 5.0			ns
CSIHnCSS0-CSIHnCSS7 インアクティブ幅	t <sub>WSCSBHn</sub>		CSSETUP t <sub>KCYMHn</sub> - 5.0			ns
CSIHnCSS0-CSIHnCSS7 セットアップ時間 (対 CSIHnSC)	t <sub>SSCSBHn0</sub>	CSIHnCFGx.CSIHnDAP ビット = 0	CSSETUP t <sub>KCYMHn</sub> - 5.0			ns
	t <sub>SSCSBHn1</sub>	CSIHnCFGx.CSIHnDAP ビット = 1	(CSSETUP + 0.5) t <sub>KCYMHn</sub> - 5.0			ns
CSIHnCSS0-CSIHnCSS7 ホールド時間 (対 CSIHnSC)	t <sub>HSCSBHn0</sub>	CSIHnCTL1.CSIHnSIT ビット = 0	CSHOLD t <sub>KCYMHn</sub> - 5.0			ns
	t <sub>HSCSBHn1</sub>	CSIHnCTL1.CSIHnSIT ビット = 1	(CSHOLD + 0.5) t <sub>KCYMHn</sub> - 5.0			ns

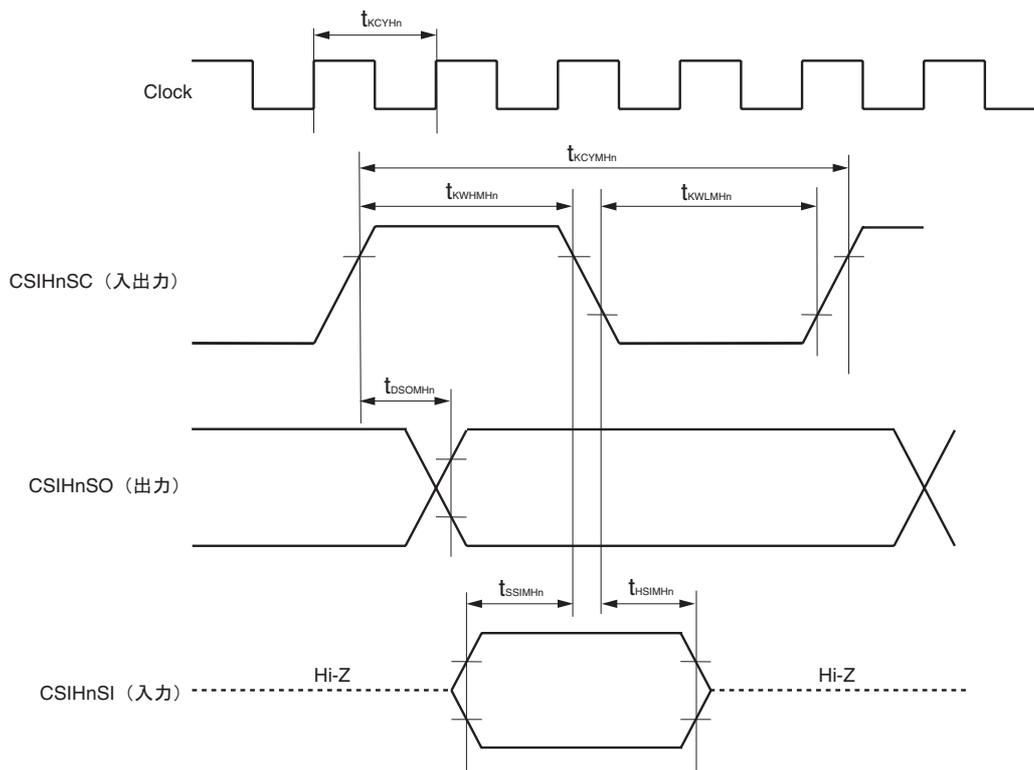
- 備考
1. n = 0-2  
x = 0-7
  2. CSSETUP : CSIHnCFGx.CSIHnSP3-CSIHnSP0 ビット設定値
  3. CSHOLD : CSIHnCFGx.CSIHnHD3-CSIHnHDn0 ビット設定値

(1) CSIHnSC, CSIHnSO, CSIHnSI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 または 11 の場合

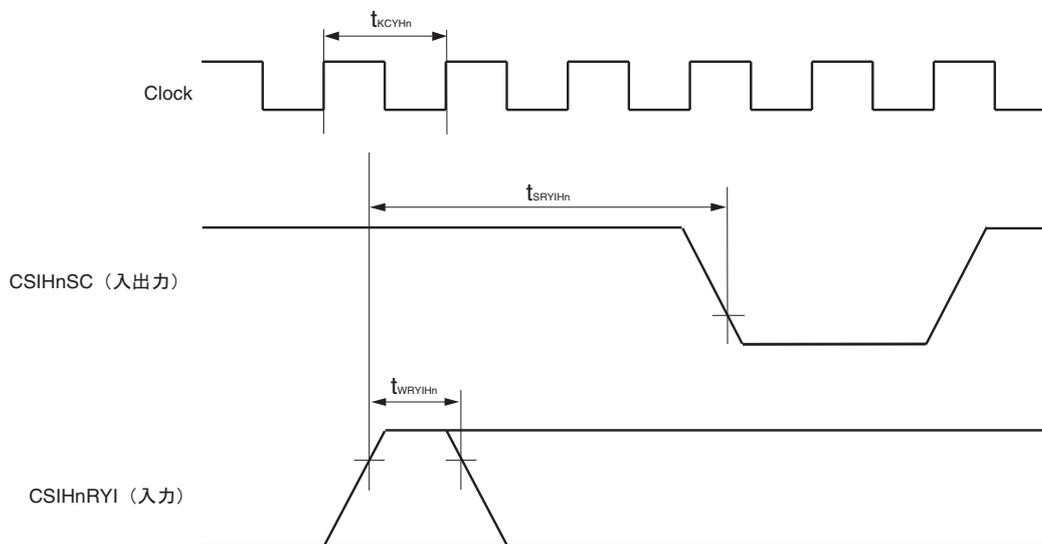


- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 01 または 10 の場合

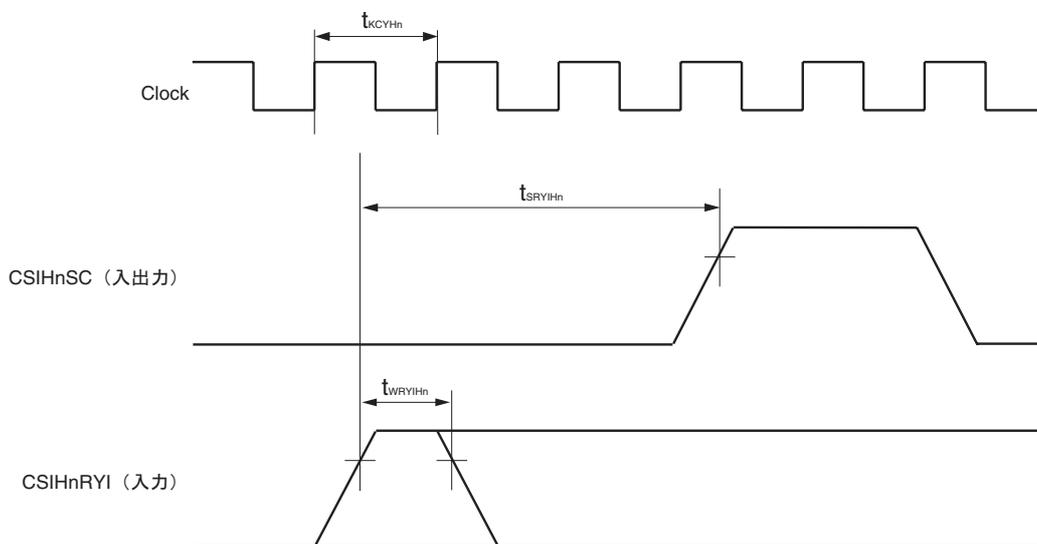


## (2) CSIHnRYI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCTL1.CSIHnHSE ビット = 1 の場合

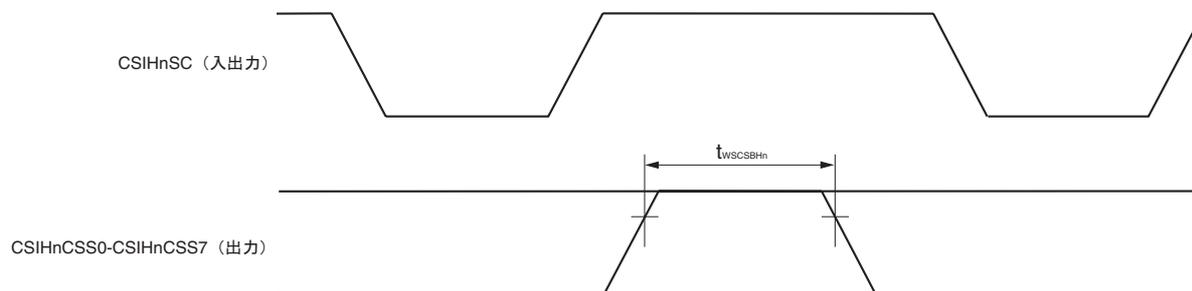


- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCTL1.CSIHnHSE ビット = 1 の場合



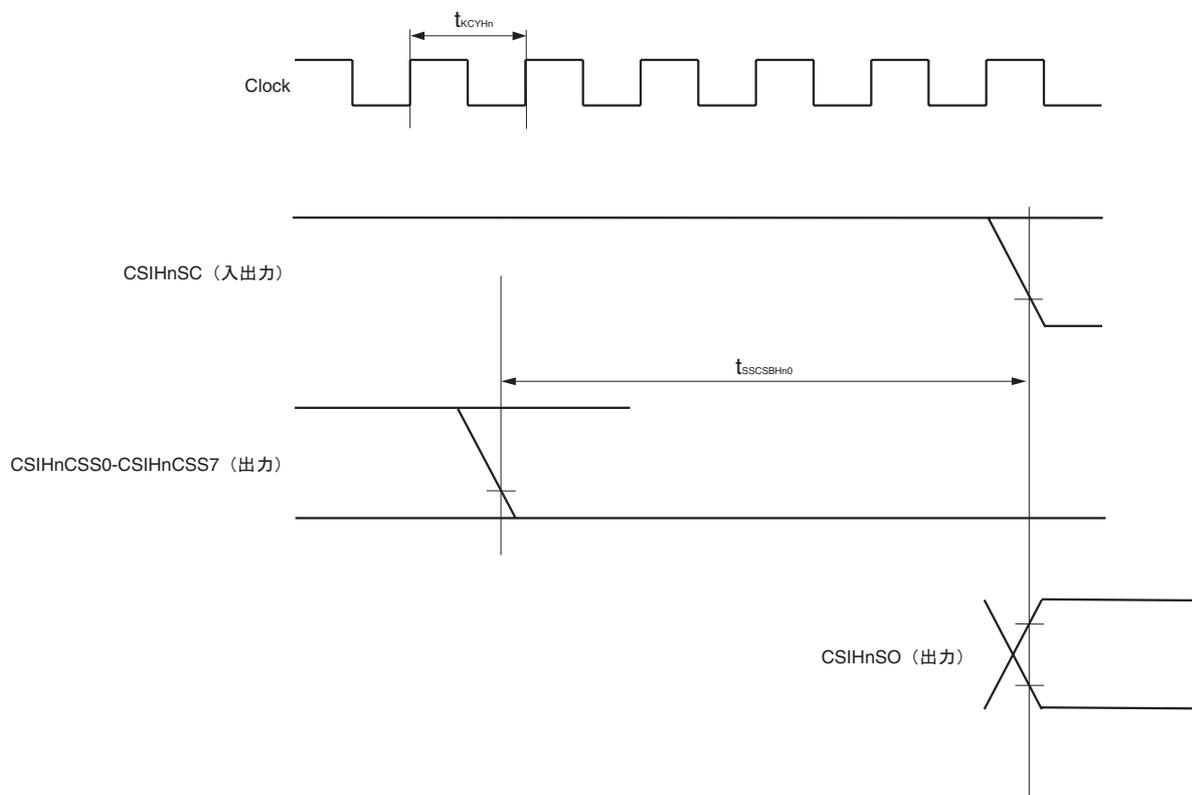
(3) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : インアクティブ幅

- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 の場合

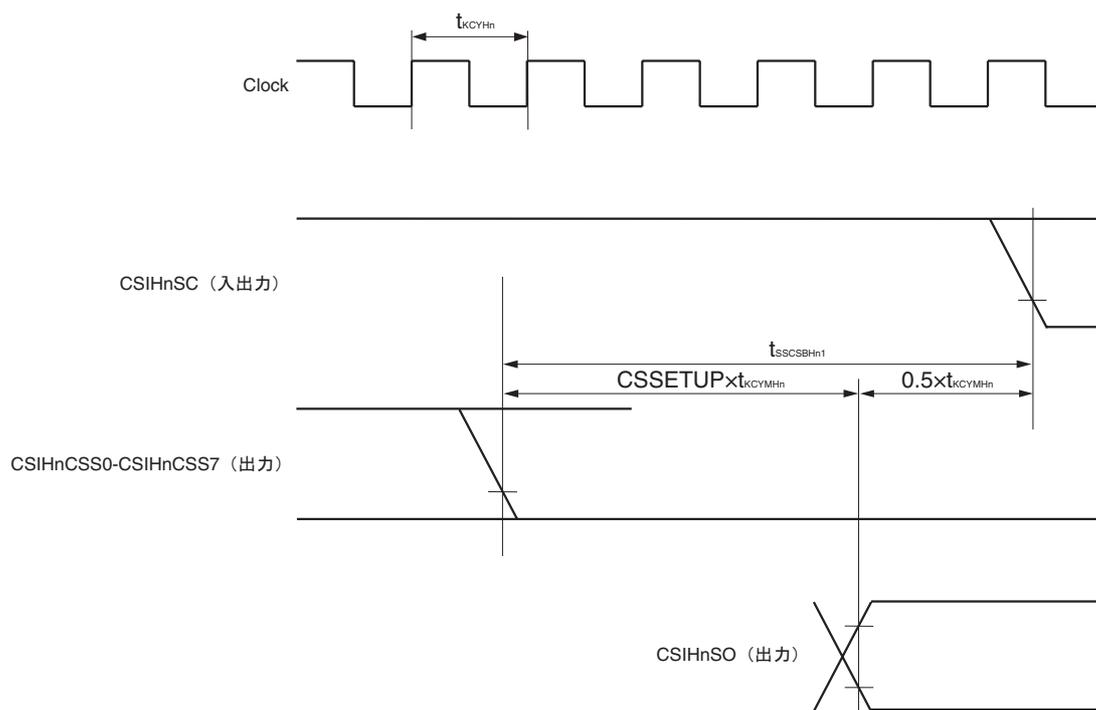


(4) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : セットアップ時間

- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 の場合

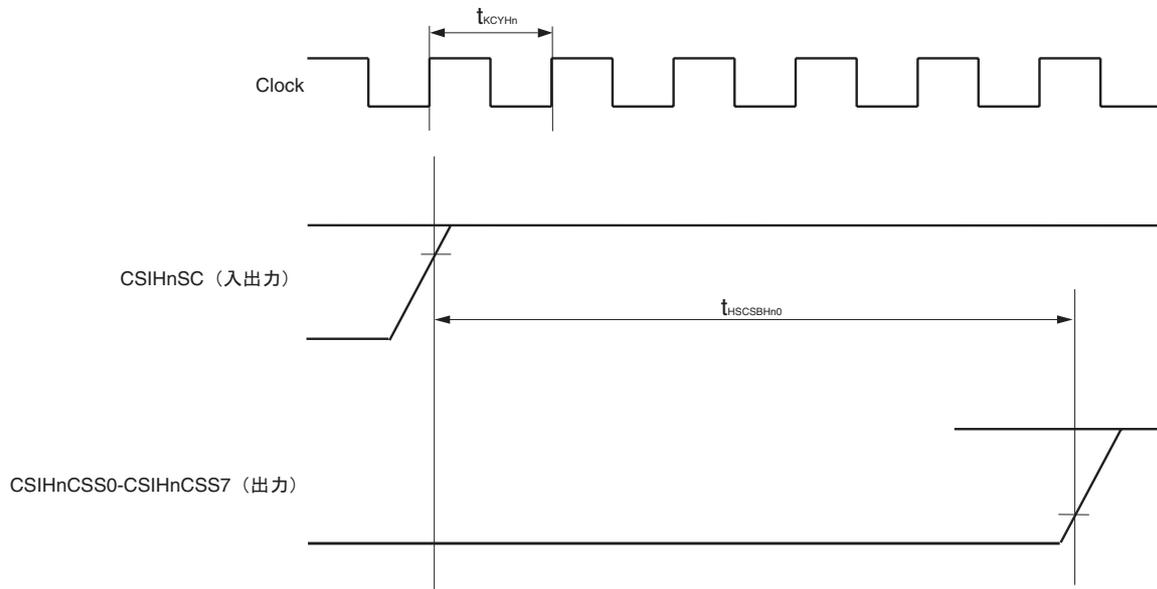


- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 01 の場合

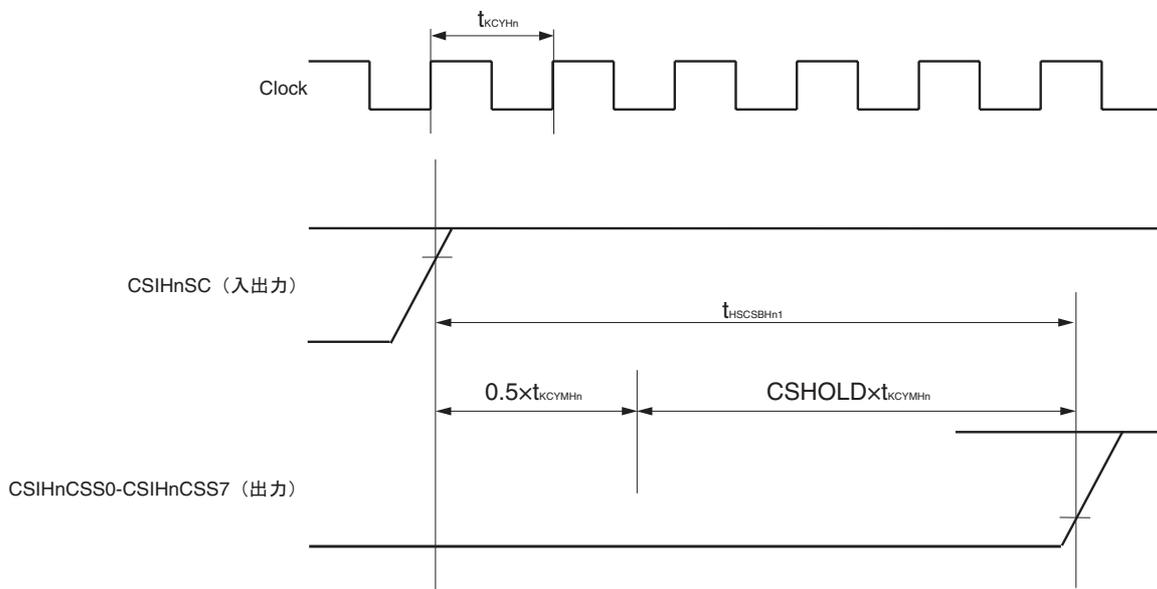


(5) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : ホールド時間

- CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 の場合



- CSIHnCTL1.CSIHnSIT ビット = 1, CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 の場合



### 8.12.4 CSIH タイミング (スレーブ・モード)

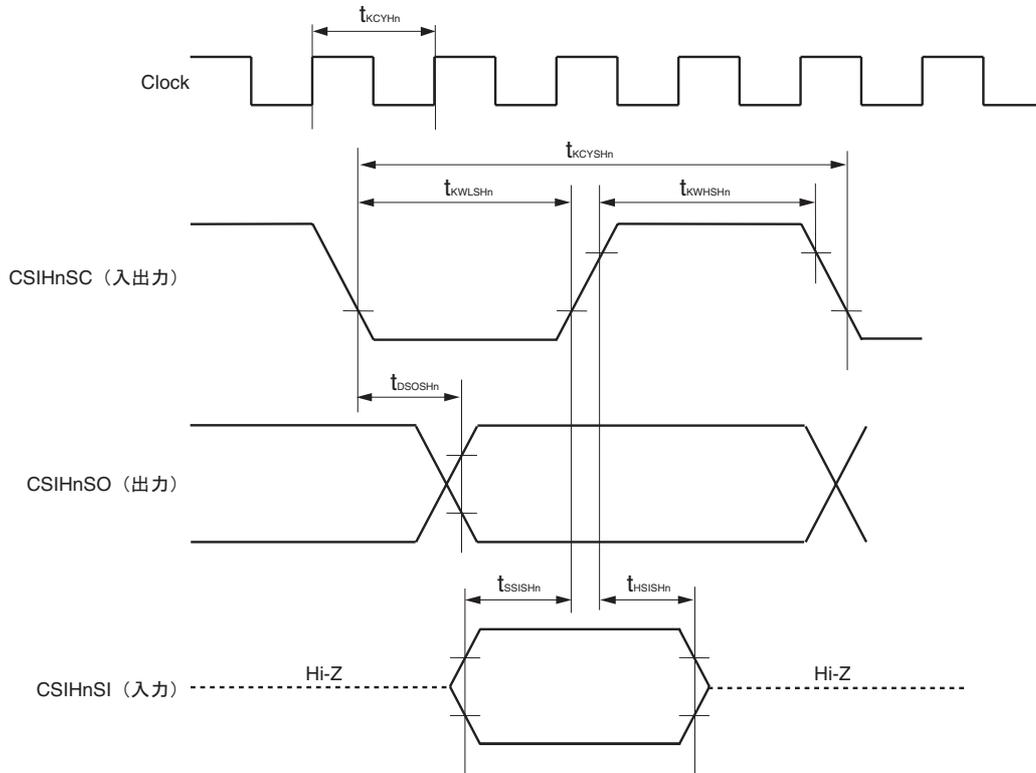
表 8-17 CSIH タイミング (スレーブ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・サイクル・タイム	t <sub>KCYHn</sub>		12.5			ns
CSIHnSC サイクル・タイム	t <sub>KCYSHn</sub>		125			ns
CSIHnSC ハイ・レベル幅	t <sub>KWHSn</sub>		0.5t <sub>KCYSHn</sub> - 10			ns
CSIHnSC ロウ・レベル幅	t <sub>KWLSn</sub>		0.5t <sub>KCYSHn</sub> - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t <sub>SSISHn</sub>		20			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t <sub>HSISHn</sub>		t <sub>KCYHn</sub> + 5.0			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t <sub>DSOSHn</sub>				30	ns
CSIHnRYO 出力遅延時間	t <sub>SRYOsn</sub>				30	ns
CSIHnSSI セットアップ時間 (対 CSIHnSC)	t <sub>SSSISHn</sub>		0.5t <sub>KCYSHn</sub> - 5.0			ns
CSIHnSSI ホールド時間 (対 CSIHnSC)	t <sub>HSSISHn</sub>		t <sub>KCYSHn</sub> + 5.0			ns

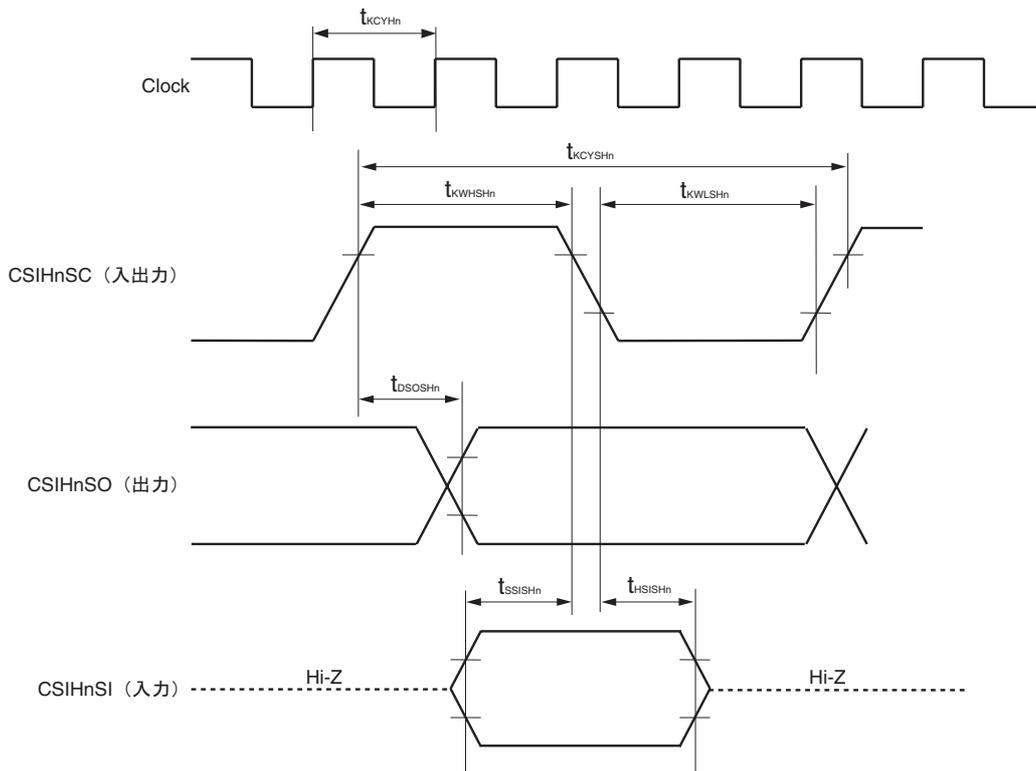
備考 n = 0-2

(1) CSIHnSC, CSIHnSO, CSIHnSI 端子 (スレーブ・モード)

- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 または 11 の場合

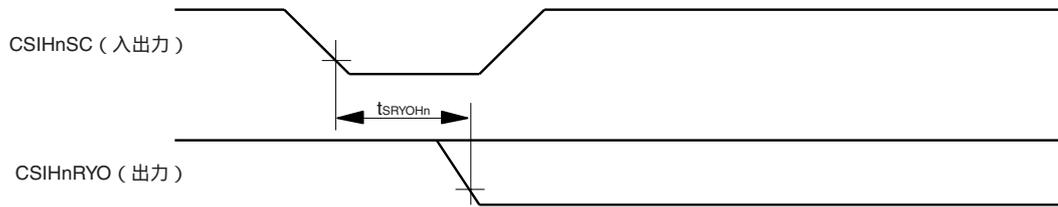


- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 01 または 10 の場合

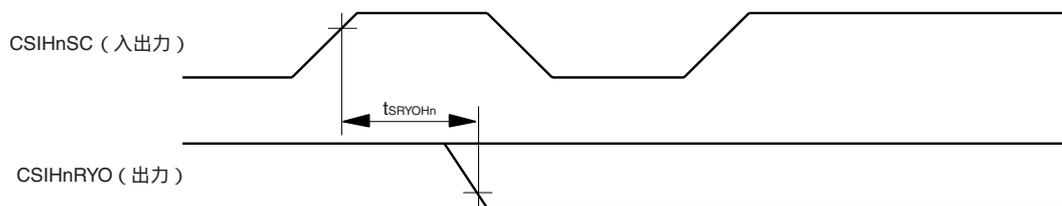


## (2) CSIHnRYO 端子 (スレーブ・モード)

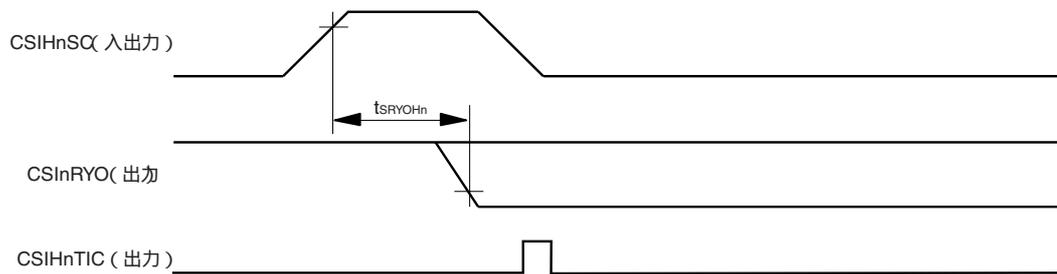
- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 00 の場合



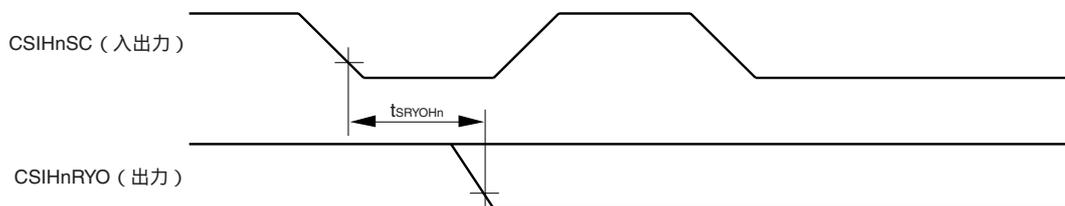
- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 01 の場合



- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 10 の場合

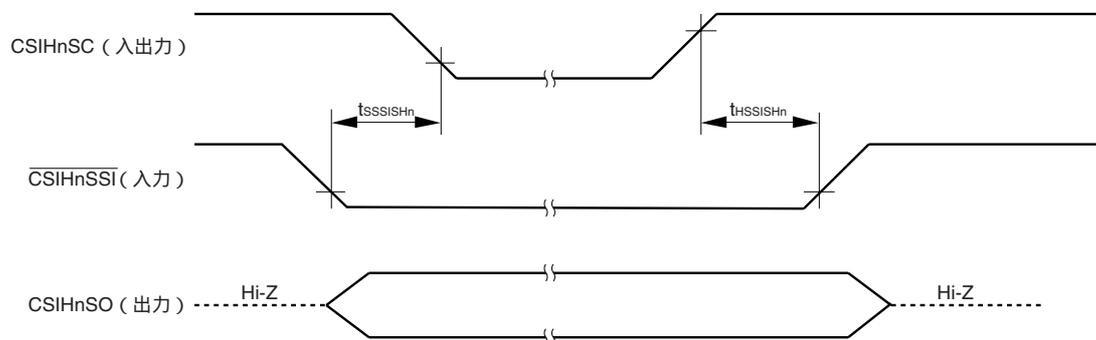


- CSIHnCFGx.CSIHnCKPx, CSIHnDAPx ビット = 11 の場合

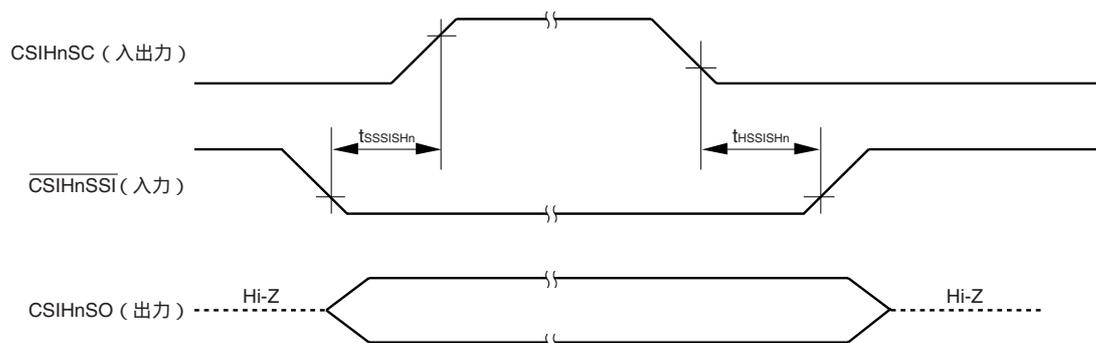


### (3) $\overline{\text{CSIHnSSI}}$ 端子 (スレーブ・モード)

- $\text{CSIHnCTL1.CSIHnSSE}$  ビット = 1,  
 $\text{CSIHnCFGx.CSIHnCKPx}$ ,  $\text{CSIHnDAPx}$  ビット = 00 または 11 の場合



- $\text{CSIHnCTL1.CSIHnSSE}$  ビット = 1,  
 $\text{CSIHnCFGx.CSIHnCKPx}$ ,  $\text{CSIHnDAPx}$  ビット = 01 または 10 の場合



### 8.13 UARTE タイミング

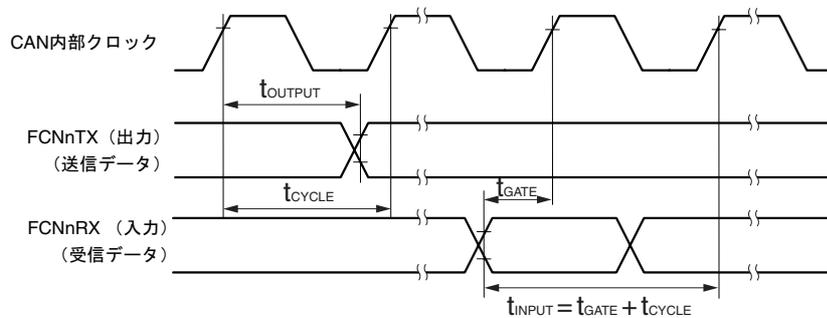
表 8-18 UARTE タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1.5	Mbps

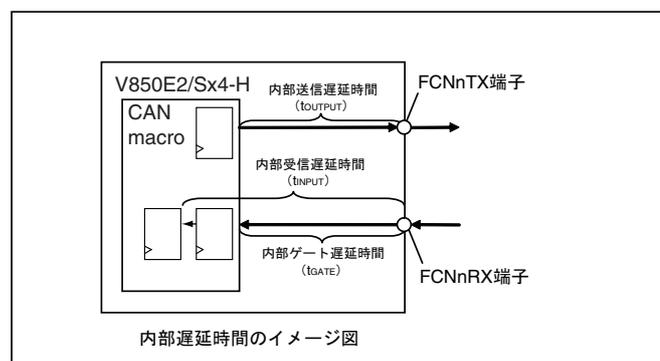
### 8.14 CAN (FCN) タイミング

表 8-19 CAN (FCN) タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t <sub>INTDEL</sub>				37.5	ns
CAN ノード遅延時間	t <sub>NODE</sub>	t <sub>CYCLE</sub> = 62.5 ns			100	ns



CAN ノード遅延時間 (t<sub>NODE</sub>) = 内部送信遅延時間 (t<sub>OUTPUT</sub>) + 内部受信遅延時間 (t<sub>INPUT</sub>)  
 内部遅延時間 (t<sub>INTDEL</sub>) = 内部ゲート遅延時間 (t<sub>GATE</sub>) + 内部送信遅延時間 (t<sub>OUTPUT</sub>)



備考 n = 0, 1

### 8.15 IEBus (IEBB) タイミング

表 8-20 IEBus (IEBB) タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		通信モード 1			18	kbps
		通信モード 2			27	kbps
IEBus システム・クロック			8.0		60	MHz

## 8.16 I<sup>2</sup>C タイミング

表 8-21 標準モード

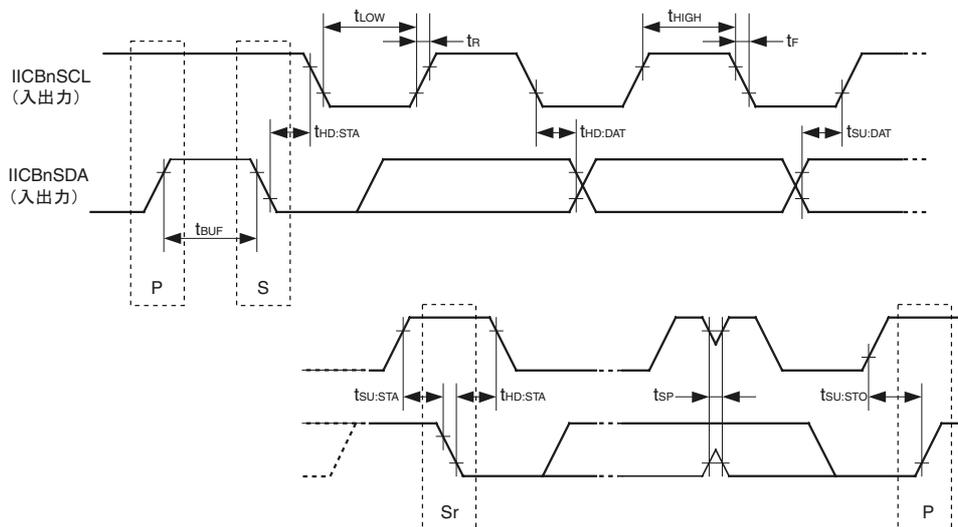
項目	略号	条件	MIN.	TYP.	MAX.	単位
IICBnSCL クロック周波数	fCLK		0		100	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		4.7			μs
スタート/リスタート保持時間 <sup>a)</sup>	tHD:STA		4			μs
IICBnSCL クロックのロウ・レベル保持時間	tLOW		4.7			μs
IICBnSCL クロックのハイ・レベル保持時間	tHIGH		4			μs
スタート/リスタート・コンディションのセットアップ時間	tsu:STA		4.7			μs
データ保持時間	tHD:DAT	CBUS 互換マスタの場合	5			μs
		I <sup>2</sup> C モードの場合	0			μs
データ設定時間	tsu:DAT		250			ns
IICBnSDA および IICBnSCL 信号の立ち上がり時間	tr				1000	ns
IICBnSDA および IICBnSCL 信号の立ち下がり時間	tf				300	ns
ストップ・コンディションの設定時間	tsu:STO		4			μs
入力フィルタによって抑制されるスパイクのパルス幅	tSP					ns
各バス・ラインの容量性負荷	Cb				400	pF

<sup>a)</sup> スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

表 8-22 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
IICBnSCL クロック周波数	fCLK		0		400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		1.3			μs
スタート/リスタート保持時間 <sup>a)</sup>	tHD:STA		0.6			μs
IICBnSCL クロックのロウ・レベル保持時間	tLOW		1.3			μs
IICBnSCL クロックのハイ・レベル保持時間	tHIGH		0.6			μs
スタート/リスタート・コンディションのセットアップ時間	tsu:STA		0.6			μs
データ保持時間	tHD:DAT	CBUS 互換マスタの場合				μs
		I <sup>2</sup> C モードの場合	0		0.9	μs
データ設定時間	tsu:DAT		100			ns
IICBnSDA および IICBnSCL 信号の立ち上がり時間	tr				300	ns
IICBnSDA および IICBnSCL 信号の立ち下がり時間	tf				300	ns
ストップ・コンディションの設定時間	tsu:STO		0.6			μs
入力フィルタによって抑制されるスパイクのパルス幅	tSP		0		50	ns
各バス・ラインの容量性負荷	Cb				400	pF

a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。



- 備考
1. P: ストップ・コンディション
  2. S: スタート・コンディション
  3. Sr: リスタート・コンディション
  4. n = 0-3

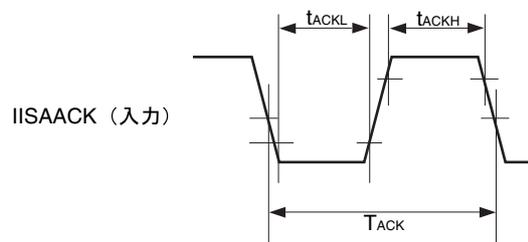
## 8.17 IISA タイミング

### 8.17.1 IISA オーディオ・クロック・タイミング

表 8-23 IISA オーディオ・クロック・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力サンプル・レート (IISAnWS = サンプリング周波数)	$f_s$		2		50	kHz
IISAACK クロック周期 (オーディオ・クロック)	$T_{ACK}$		46			ns
IISAACK クロック・ロウ・レベル幅	$t_{ACKL}$		20			ns
IISAACK クロック・ハイ・レベル幅	$t_{ACKH}$		20			ns

備考 n = 0-5

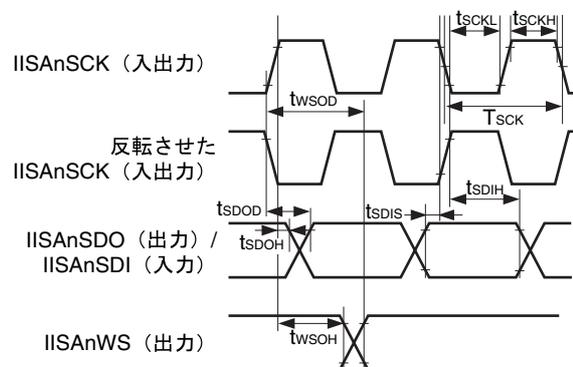


### 8.17.2 IISA マスタ・モード・タイミング

表 8-24 IISA マスタ・モード・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
IISAnWS (出力) 遅延サイクル			45		55	%
IISAnSCK エッジ→ IISAnWS 出力遅延時間	twsOD				25	ns
IISAnSCK エッジ→ IISAnWS 出力ホールド時間	twsOH		0			ns
IISAnSCK クロック周期 (シリアル・クロック)	T <sub>SCK</sub>		140			ns
IISAnSCK クロック・ロウ・レベル幅	t <sub>SCKL</sub>		65			ns
IISAnSCK クロック・ハイ・レベル幅	t <sub>SCKH</sub>		65			ns
IISAnSCK エッジ→ IISAnSDO 出力遅延時間	t <sub>SDOD</sub>				10	ns
IISAnSCK → IISAnSDO 出力ホールド時間	t <sub>SDOH</sub>		0			ns
IISAnSDI エッジ→ IISAnSCK ↓セットアップ時間	t <sub>SDIS</sub>		45			ns
IISAnSD エッジ→ IISAnSCK ↓ホールド時間	t <sub>SDIH</sub>		0			ns

備考 n = 0-5





## 8.18 PCMタイミング

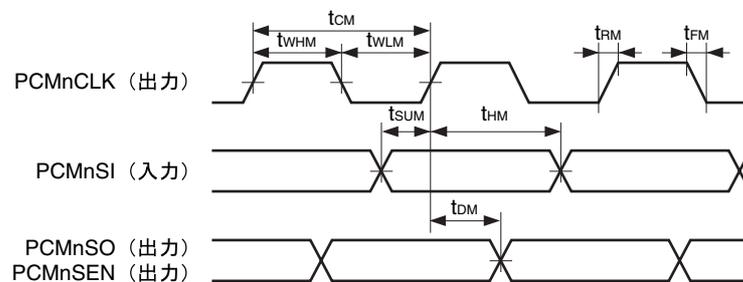
**注意** PCM インタフェースの TDM モードを使用する場合、PDSCx レジスタの該当ビットは、セット (1) (ハイ・ドライブ強度) してください。

### 8.18.1 PCM マスタ・モード・タイミング

表 8-26 PCM マスタ・モード・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
PCMnCLK サイクル・タイム	t <sub>CM</sub>		81			ns
PCMnCLK ハイ・レベル幅	t <sub>WHM</sub>		20			ns
PCMnCLK ロウ・レベル幅	t <sub>WLM</sub>		20			ns
PCMnCLK 立ち上がり時間	t <sub>RM</sub>				10	ns
PCMnCLK 立ち下がり時間	t <sub>FM</sub>				10	ns
PCMnSI セットアップ時間	t <sub>SUM</sub>	PCMnCLK ↑	25			ns
PCMnSI ホールド時間	t <sub>HM</sub>	PCMnCLK ↑	0			ns
PCMnSEN, PCMnSO 出力遅延時間	t <sub>DM</sub>	PCMnCLK ↑			20	ns

- 備考**
- n = 0, 1
  - C<sub>L</sub> = 30 pF

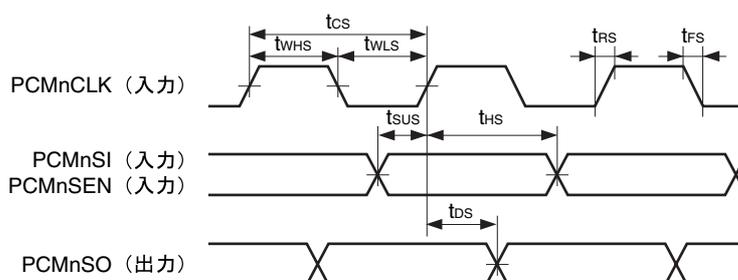


### 8.18.2 PCMスレーブ・モード・タイミング

表 8-27 PCMスレーブ・モード・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
PCMnCLK サイクル・タイム	tcs		81			ns
PCMnCLK ハイ・レベル幅	twHS		15			ns
PCMnCLK ロウ・レベル幅	twLS		15			ns
PCMnCLK 立ち上がり時間	trS				10	ns
PCMnCLK 立ち下がり時間	tfS				10	ns
PCMnSI, PCMnSEN セットアップ時間	tsUS	PCMnCLK ↑	10			ns
PCMnSI, PCMnSEN ホールド時間	tHS	PCMnCLK ↑	10			ns
PCMnSO 出力遅延時間	tdS	PCMnCLK ↑			25	ns

- 備考 1. n = 0, 1  
2. CL = 30 pF



## 8.19 MediaLB タイミング

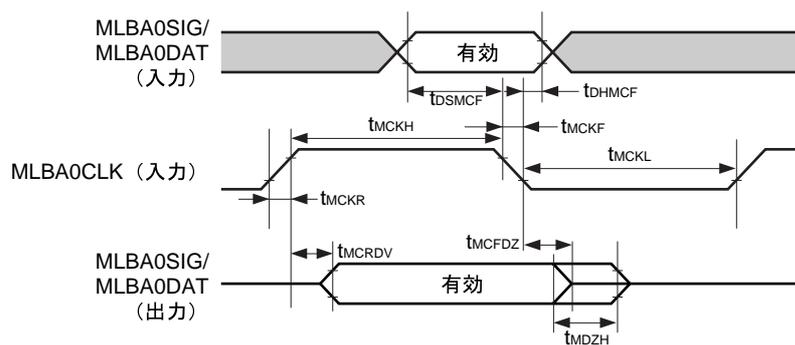
表 8-28 MediaLB タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大入力電圧					3.6	V
ロウ・レベル入カスレッシュホールド	V <sub>IL</sub>				0.7	V
ハイ・レベル入カスレッシュホールド	V <sub>IH</sub>		1.8			V
ロウ・レベル出カスレッシュホールド	V <sub>OL</sub>	I <sub>OL</sub> = 6 mA			0.4	V
ハイ・レベル出カスレッシュホールド	V <sub>OH</sub>	I <sub>OL</sub> = -6 mA	2			V
MLBA0CLK 動作周波数 <sup>a</sup>	f <sub>MCK</sub>	256×Fs (44.0 kHz 時)	11.264			MHz
		1024×Fs (50.0 kHz 時)			51.200	MHz
MLBA0CLK 立ち上がり時間	t <sub>MCKR</sub>				1	ns
MLBA0CLK 立ち下がり時間	t <sub>MCKF</sub>				1	ns
入力リーク電流	I <sub>L</sub>				±1	μA
MLBA0CLK ロウ・レベル期間	t <sub>MCKL</sub>		6.1			ns
MLBA0CLK ハイ・レベル期間	t <sub>MCKH</sub>		9.3			ns
MLBA0CLK パルス幅変動 <sup>b</sup>	t <sub>MPWV</sub>				0.7	ns pp
MLBA0SIG, MLBA0DAT 入力有効時間 (対 MLBA0CLK ↓)	t <sub>DSMCF</sub>		1.2			ns
MLBA0SIG, MLBA0DAT 入力ホールド 時間 (対 MLBA0CLK (ロウ・レベル 側))	t <sub>DHMC</sub>		0			ns
MLBA0SIG, MLBA0DAT 出力ハイ・ インピーダンス (対 MLBA0CLK (ロウ・レベル側))	t <sub>MCFDZ</sub>	(A) グレード品	0		6.5	ns
		(A9) グレード品	0		6.6	ns
MLBA0SIG, MLBA0DAT 出力有効時間 (対 MLBA0CLK (ハイ・レベル側))	t <sub>MCRDV</sub>	(A) グレード品			7.5	ns
		(A9) グレード品			7.6	ns
バス・ホールド時間	t <sub>MDZH</sub>		2			ns

- a) MOST コントローラは、MediaLB を低消費電力にするために MLBA0CLK を切断できます。  
b) パルス幅変動は、MLBA0CLK の 1 つのエッジのトリガから、もう 1 つのスプレッドまでを 1.25 V にて測定して、ピーク間振幅 (ns pp) としています。

**注意** ハイ・インピーダンス・バスの最終段で、その期間中はロジック・ステートを維持するように基板設計しなければいけません。そのため、カップリング容量は、必ず適合する容量のうち最小にしてください。

**備考** MLB0VDD = 3.3V ± 5% (MIN. 3.135 V)  
CL = MAX. 20 pF



## 8.20 イーサネット・タイミング

**注意** イーサネット・コントローラを使用する場合、PDSCx レジスタの該当ビットは、セット (1) (ハイ・ドライブ強度) してください。

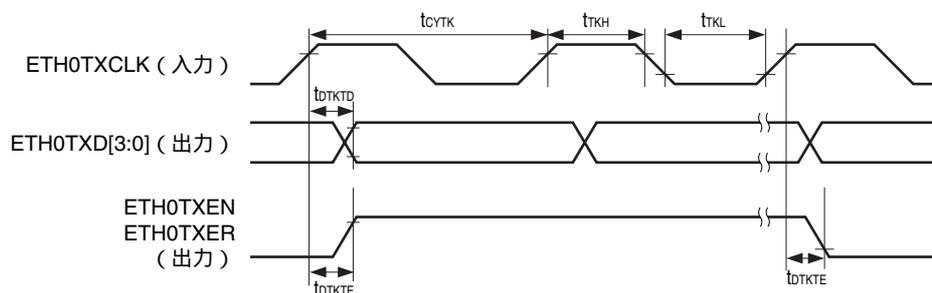
### 8.20.1 MII インタフェース

#### (1) 送信インタフェース

表 8-29 送信インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH0TXD[3:0] 遅延時間 (対 ETH0TXCLK ↑)	tDTKTD		0		25	ns
ETH0TXEN, ETH0TXER 遅延時間 (対 ETH0TXCLK ↑)	tDTKTE		0		25	ns
ETH0TXCLK クロック周期	tCYTK		40			ns
ETH0TXCLK ハイ・レベル幅	tTKH		0.4 tCYTK		0.6 tCYTK	ns
ETH0TXCLK ロウ・レベル幅	tTKL		0.4 tCYTK		0.6 tCYTK	ns

備考  $C_L = 30 \text{ pF}$

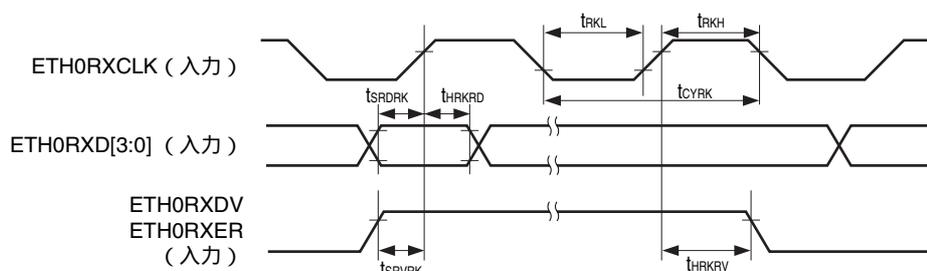


(2) 受信インターフェース

表 8-30 受信インターフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH0RXD[3:0] ホールド時間 (対 ETH0RXCLK ↑)	t <sub>HRKRD</sub>		5			ns
ETH0RXD[3:0] セットアップ時間 (対 ETH0RXCLK ↑)	t <sub>SRDRK</sub>		5			ns
ETH0RXER, ETH0RXDV ホールド時間 (対 ETH0RXCLK ↑)	t <sub>HRKRV</sub>		5			ns
ETH0RXER, ETH0RXDV セットアップ時間 (対 ETH0RXCLK ↑)	t <sub>SRVRK</sub>		5			ns
ETH0RXCLK クロック周期	t <sub>CYRK</sub>		40			ns
ETH0RXCLK ハイ・レベル幅	t <sub>RKH</sub>		0.4 t <sub>CYRK</sub>		0.6 t <sub>CYRK</sub>	ns
ETH0RXCLK ロウ・レベル幅	t <sub>RKL</sub>		0.4 t <sub>CYRK</sub>		0.6 t <sub>CYRK</sub>	ns

備考 C<sub>L</sub> = 30 pF

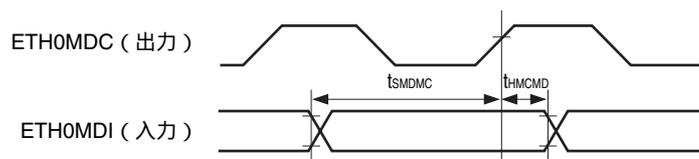
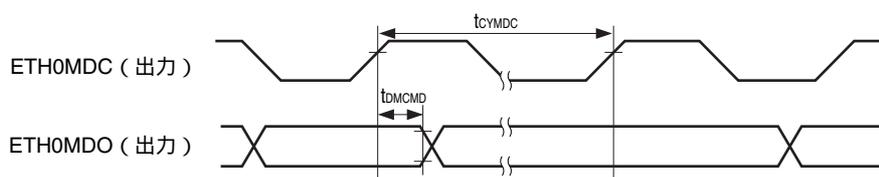


(3) マネジメント・インタフェース

表 8-31 マネジメント・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH0MDC クロック周期	$t_{CYMDC}$		400			ns
ETH0MDO 遅延時間 (対 ETH0MDC ↑)	$t_{DMCMD}$		0		300	ns
ETH0MDI セットアップ時間 (対 ETH0MDC ↑)	$t_{SMDMC}$		50			ns
ETH0MDI ホールド時間 (対 ETH0MDC ↑)	$t_{HMCMD}$		50			ns

備考  $C_L = 30 \text{ pF}$

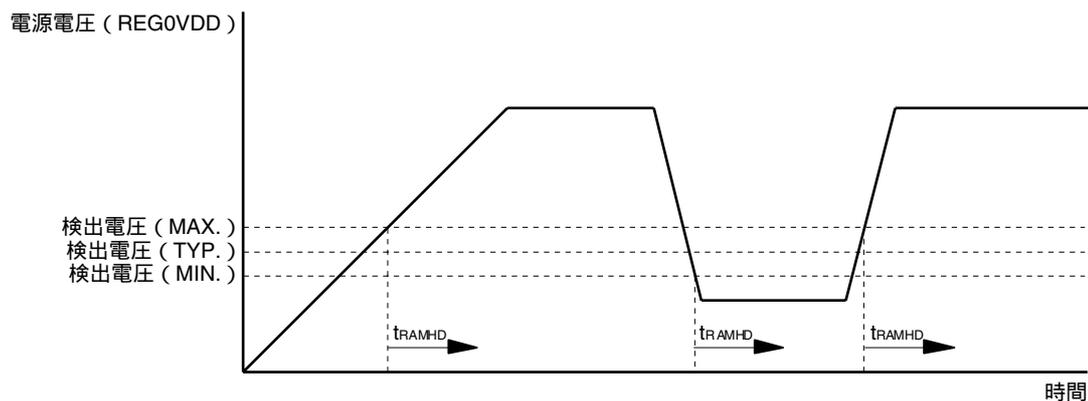


## 8.21 RAM保持フラグ特性

表 8-32 RAM 保持フラグ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>RAMHF</sub>		1.8	1.9	2.0	V
応答時間 <sup>a)</sup>	t <sub>RAMHD</sub>				2	ms

a) 検出電圧を検出してから VLVF.VLVF ビットをセット (1) するまでの時間です。



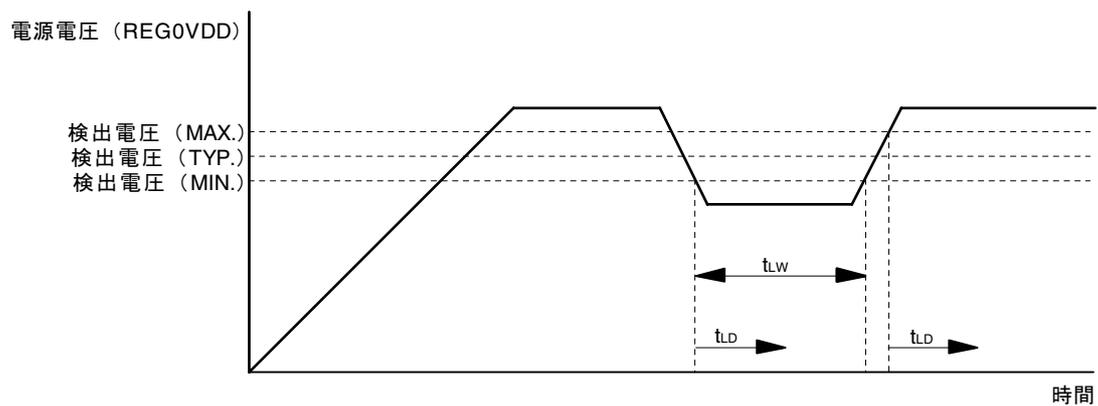
## 8.22 LVI 回路特性

**注意** M1 品には LVI 回路がありません。  
M2 品には LVI 回路があります。

表 8-33 LVI 回路特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>LVI1</sub>		3.0	3.1	3.2	V
	V <sub>LVI2</sub>		2.8	2.9	3.0	V
応答時間 <sup>a)</sup>	t <sub>LD</sub>				2.0	ms
REG0VDD 最小幅	t <sub>LW</sub>		0.2			ms

<sup>a)</sup> LVI 検出電圧を検出してから割り込み要求信号 (INTLVI) または内部リセット信号 (LVIRE) を発生するまでの時間です。



## 8.23 A/Dコンバータ特性

### 8.23.1 10ビット分解能 A/D : ADCA0Im

表 8-34 10ビット分解能 A/D : ADCA0Im

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0		10	10	10	bit
変換時間	TCON0		1.5		10	μs
総合誤差 <sup>a</sup>	TOE0				±2.0	LSB
非直線性誤差 <sup>a</sup>	ILE0				±1.5	LSB
微分非直線性誤差 <sup>a</sup>	DLE0				±1.0	LSB
ゼロスケール誤差 <sup>a</sup>	ZSE0				±1.5	LSB
フルスケール誤差 <sup>a</sup>	FSE0				±1.5	LSB
アナログ入力電圧	VAIN0		AVREFM0		AVREFP0	V
パワーダウン復帰時間 <sup>b</sup>					1	μs
A0VDD 電流	AIDD0	ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能使用時)		2.0	3.0	mA
		ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能未使用時)		2.8	4.0	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		2.8	4.0	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		3.6	5.0	mA
自己診断機能使用時変換結果	TESH0	A0VDD を変換, <sup>c</sup>	1003		1023	LSB
	TESHL03	2/3 A0VDD を変換, <sup>c</sup>	673	683	693	LSB
	TESHL02	1/2 A0VDD を変換, <sup>c</sup>	504	512	520	LSB
	TESHL01	1/3 A0VDD を変換, <sup>c</sup>	331	341	351	LSB
	TESL0	A0VSS を変換, <sup>c</sup>	0		20	LSB

a) 量子化誤差 (±0.5LSB) は含みません。

b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 および STOP モード時のことです。

c) A0VDD = AVREFP0, A0VSS = AVREFM0, I<sub>OH</sub>/I<sub>OL</sub> = 0 μA

備考 m = 0-15

### 8.23.2 アナログ入力部の等価回路 (参考値)

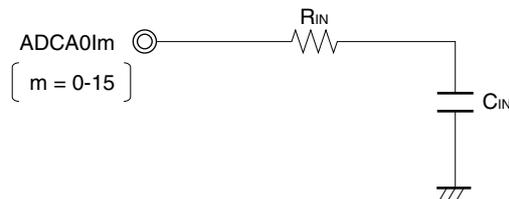


表 8-35 等価回路 (参考値)

端子	条件	R <sub>IN</sub> (kΩ)	C <sub>IN</sub> (pF)
ADCA0I0-ADCA0I15	ADCA0CTL1.ADCA0BPC ビット = 0	1.2	11.9
	ADCA0CTL1.ADCA0BPC ビット = 1	1.1	7.1

備考 上記値は MAX. 値 (参考値) です。

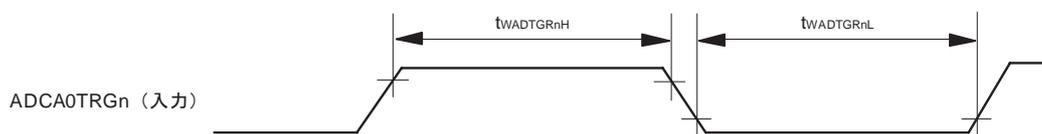
### 8.23.3 A/Dトリガタイミング

表 8-36 A/D トリガタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCA0TRGn 入力ハイ・レベル幅	t <sub>WADTGRnH</sub>	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns
ADCA0TRGn 入力ロウ・レベル幅	t <sub>WADTGRnL</sub>	デジタルノイズフィルタ使用時	a			ns
		デジタルノイズフィルタバイパス時	b			ns

- a) 2T<sub>SMP</sub>+20, 3T<sub>SMP</sub>+20, 4T<sub>SMP</sub>+20, 5T<sub>SMP</sub>+20 のいずれかの値。  
T<sub>SMP</sub>: ノイズ除去サンプリング・クロック周期。  
ノイズフィルタの出力パルス幅は A/D コンバータで使用するクロック (PCLK1) よりも長くなるように設定してください。
- b) PCLK1 + 20。

備考 n = 0-2



## 9. フラッシュ・メモリ・プログラミング特性

### 9.1 基本特性

表 9-1 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	t <sub>CPU</sub>				160 <sup>a</sup>	MHz
電源電圧	VDD		<sup>b</sup>		3.6	V
書き換え回数	C <sub>WRT</sub>	コード・フラッシュ (データ保存 20 年)			100	回
	D <sub>WRT1</sub>	データ・フラッシュ (データ保存 20 年)			1000	回
	D <sub>WRT2</sub>	データ・フラッシュ (データ保存 15 年)			5000	回
	D <sub>WRT3</sub>	データ・フラッシュ (データ保存 5 年)			15000	回
プログラミング温度	t <sub>PRG</sub>	(A) グレード品	- 40		85	°C
		(A9) グレード品	- 40		105	°C

a) CPU クロックに SSCG を使用した場合、最大周波数は、PLL<sub>Cn</sub> レジスタ (n = 0-2) で設定した変調モードに依存します。最大周波数は、ダウン・スプレッド変調に設定した場合は 160 MHz となります。

b) M1 品 : V<sub>POC</sub>

M2 品 : 2.7 V

V<sub>POC</sub> : POC 検出電圧

V<sub>POC</sub> の詳細については、3.3.4 パワーオン・クリア回路 (POC) 特性を参照してください。

**注意** 出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は 1 回となります。

例 (P : 書き込み, E : 消去)

出荷品 → P → E → P → E → P : 書き換え回数 3 回

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

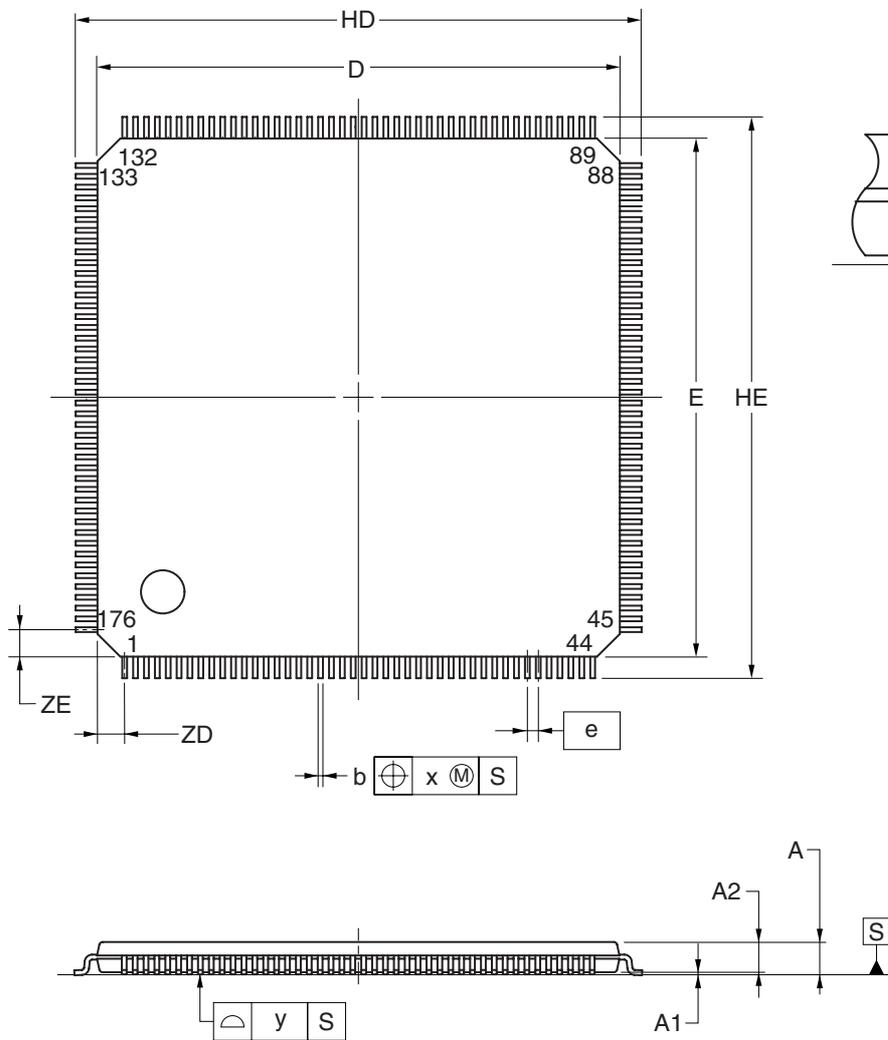
### 9.2 シリアル書き込みオペレーション特性

表 9-2 シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 設定時間	t <sub>DR</sub>		1			ms
RESET 解除時間	t <sub>PR</sub>		2			ms
FLMD0 ロウ・レベル幅/ ハイ・レベル幅	t <sub>PW</sub>		10		100	μs
FLMD0 立ち上がり時間	t <sub>r</sub>				20	ns
FLMD0 立ち下がり時間	t <sub>f</sub>				20	ns
消去時間		4 K バイト単位			54	ms
プログラミング時間		128 ビット単位			50	μs

## 10. 外形図

### 176-PIN PLASTIC LQFP (FINE PITCH) (24x24)



detail of lead end

(UNIT:mm)

ITEM	DIMENSIONS
D	24.00±0.20
E	24.00±0.20
HD	26.00±0.20
HE	26.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 <sup>+0.07</sup> <sub>-0.03</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

P176GM-50-GAR-1

改訂記録	μ PD70F4017, 70F4018 データシート
------	-----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2011.07.15	—	初版発行
0.02	2012.01.31	全体	WAKEPWR を WAKE に変更
		8	オーダ名称 : (A9) グレード品を追加
		9	端子接続図 : FVDD0 を FVDD に訂正
		18	表 2-2 VSS : FVSS を削除
		19	表 2-3 ポート入力電圧 : PgA0 の条件を追加
		19	表 2-4 ハイ・レベル・ポート出力電流 : PgE0, PgE1, PgB0 の全端子合計の規格値 MAX. を変更
		19	表 2-5 ロー・レベル・ポート出力電流 : PgE0, PgE1, PgB0 の全端子合計の規格値 MAX. を変更
		20	表 2-6 温度特性 : (A9) グレード品を追加
		21	表 3-1 電源電圧 (動作条件) : FVDD, OSCVDD, REG0VDD, REG1VDD, E0VDD, E1VDD, B0VDD, MLB0VDD, AVREFP0 の規格値を変更, FVDD, OSCVDD, REG0VDD, REG1VDD, E0VDD, E1VDD, B0VDD の条件を追加
		22	3.3.1 AWO 電源内蔵レギュレータ特性 : REG0VDD の規格値を変更
		23	3.3.2 Iso0/Iso1 電源制御特性 : 注意を追加, REG1VDD の規格値を変更
		24	3.3.3 電圧の傾き : 説明を追加
		25	3.3.4 パワーオン・クリア回路 (POC) 特性 : 電圧の傾きの説明を削除
		26	3.4.1 条件 1 : tr0RON, trMDR, trCF, trDRF を追加, tr0MDH, trMDR0OF の規格値 MIN. を変更, タイミング図を変更
		27	3.4.2 条件 2 : タイミング図を変更
		28	3.4.3 条件 3 : tr0RON, trMDR, trWRD, trDRF, trWOF を追加, tr0MDH, trMDR0OF, trWCOF の規格値を変更, タイミング図を変更
		29	3.4.4 条件 4 : タイミング図を変更
		30	3.4.5 条件 5 : tr0RON, trMDR, trDRF, trR0OF を追加, tr0CON, tr0MDH, trMDR0OF, trPTCOF の規格値を変更, タイミング図を変更
		31	3.4.6 条件 6 : trPTCOF の規格値 MAX. を変更, タイミング図を変更
		32	表 4-2 周辺クロック周波数 : 規格値 MAX. の注記を変更
		35	表 5-1 PgE0 : VIH と VIL の条件を変更, VOH と VOL の注記を変更, tKRP と tKFP の注記を削除
		36	表 5-2 PgE1 : VIH と VIL の条件を変更, VOH と VOL の注記を変更, tKRP と tKFP の注記を削除
		37	表 5-3 PgB0 : VIH と VIL の条件を変更, VOH と VOL の注記を変更, tKRP と tKFP の規格値 MAX. と注記を変更
		38	表 5-5 入出力容量 : 規格値 MAX. を変更
		39 ~ 46	6. 電源電流スベック : (A9) グレード品の仕様を追加, 記載内容全体を変更
		47	7. 入出力 VDD の AC タイミング制限事項 : 説明を変更
		48	表 8-1 リセット・タイミング : 条件と規格値を変更
		50	8.6 タイマ・タイミング : 説明全体を変更
		52	表 8-7 MEMC クロック・タイミング : tKRMEM と tKFMEM の規格値 MAX. を変更
		53 ~ 58	8.8 マルチプレクス・バス・モード時の SRAM バス・タイミング : twASTH の仕様と MEMC0A[23:16] (出力) のタイミングを追加
		54	表 8-9 MEMC0CLK 同期タイミング (リード/ライト・サイクル) : tSWTK と tHKWT の規格値を変更, 備考を追加
		59	表 8-10 MEMC0CLK 非同期タイミング (リード/ライト・サイクル) : tSAWR, tHWRA, tSODWR, tHWROD の規格値を変更
		60	表 8-11 MEMC0CLK 同期タイミング (リード/ライト・サイクル) : tSWTK と tHKWT の規格値を変更, 備考を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.02	2012.01.31	63	表 8-12 MEMC ホールド・タイミング（非同期 / 同期タイミング）： $t_{DKHAC}$ を追加， $t_{SHRK}$ ， $t_{HKHR}$ ， $t_{DHQHA2}$ ， $t_{DHQHA1}$ の規格値を変更，備考を追加
		64	表 8-13 SDRAM バス・タイミング（リード / ライト・サイクル）： $t_{DSDOD}$ を削除
		72	表 8-16 CSIH タイミング（マスタ・モード）： $t_{WRYIHn}$ の規格値 MIN. を変更
		84	表 8-22 高速モード： $t_r$ と $t_f$ の立ち上がり / 立ち下がり時間の規格値 MIN. を削除
		90	8.19 MediaLB タイミング： $f_{MCK}$ ， $t_{MCKL}$ ， $t_{MCKH}$ の条件と規格値を変更， $t_{MCFDZ}$ と $t_{MCRDV}$ に (A9) グレード品の仕様を追加， $t_{MCKC}$ を削除
		96	8.22 LVI 回路特性：注意を追加
		97	表 8-34 10 ビット分解能 A/D: $ADCA0Im$ ： $AI_{DD0PD}$ と $AIREF0$ を削除， $AIDD0$ の規格値 MAX. を変更
		98	8.23.3 A/D トリガタイミング：説明全体を変更
		99	表 9-1 基本特性：電源電圧の規格値 MIN. を変更，(A9) グレード品の仕様を追加
		99	表 9-2 シリアル書き込みオペレーション特性： $FLMD0$ カウント開始時間を削除

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。  
MOST およびMediaLB は、Standard Microsystems Corporationの登録商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

## CMOS デバイスの一般的注意事項

- (1) 入力端子の印加波形  
入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理  
CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策  
MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態  
電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序  
内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源 OFF 時における入力信号  
当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>