

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 7534グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0105-0300

Rev.3.00

2006.10.23

### 概要

7534グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

USB、8ビットタイマ、A/Dコンバータを内蔵しており、パソコン周辺入力機器に最適です。

### 特長

基本機械語命令 .....	69
命令実行時間 .....	0.34 μs
.....(最短命令、発振周波数6MHz時)	
メモリ容量	
ROM .....	8 ~ 16Kバイト
RAM .....	256 ~ 384バイト
プログラマブル入出力ポート .....	28本(36ピン版)
.....	24本(32ピン版)
.....	33本(42ピン版)
割り込み .....	14要因、8ベクタ
タイマ .....	8ビット×3

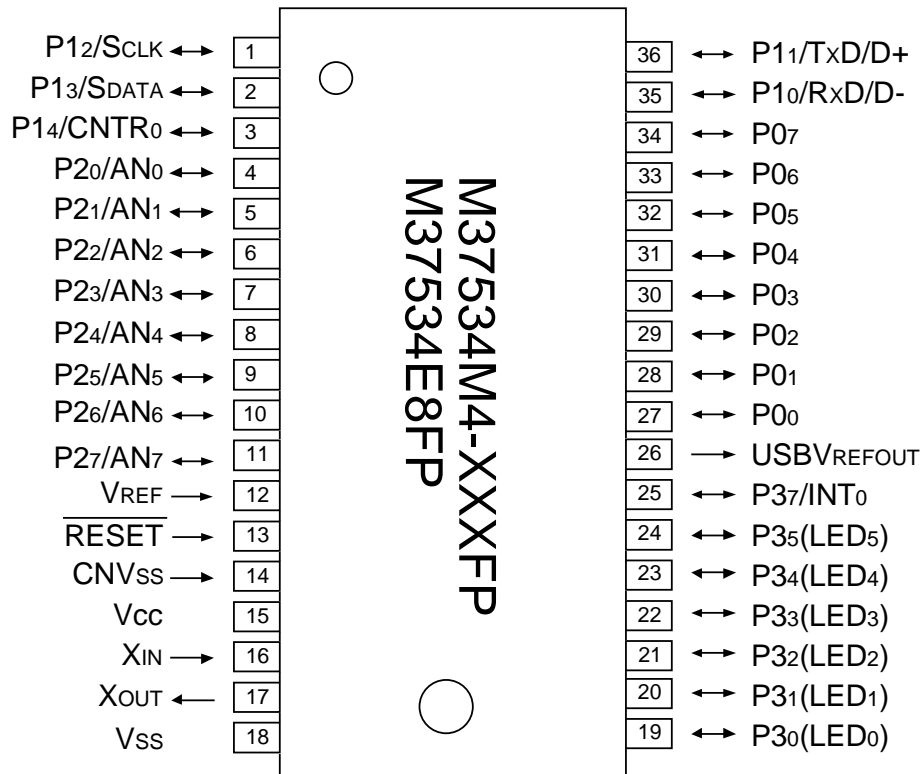
### シリアルインタフェース

シリアルI/O1 .....	USBではLow Speed専用 (Low-Speed USB2.0仕様準拠) (USB/UART)
シリアルI/O2 .....	8ビット×1(クロック同期形)
A/Dコンバータ .....	10ビット分解能×8チャンネル
クロック発生回路 .....	内蔵 (セラミック共振子又は水晶発振子外付け)
ウォッチドッグタイマ .....	16ビット×1
電源電圧	
XIN発振周波数(セラミック発振).....	6MHz時4.1 ~ 5.5V (USB動作時4.4V ~ 5.25V)
消費電力 .....	30mW(標準)
動作周囲温度 .....	- 20 ~ 85 (USB 動作時0 ~ 70 )
USB3.3Vレギュレータ+Low-Speed USB2.0仕様対応トランシーバ内蔵	

### 応用

パソコン周辺入力機器

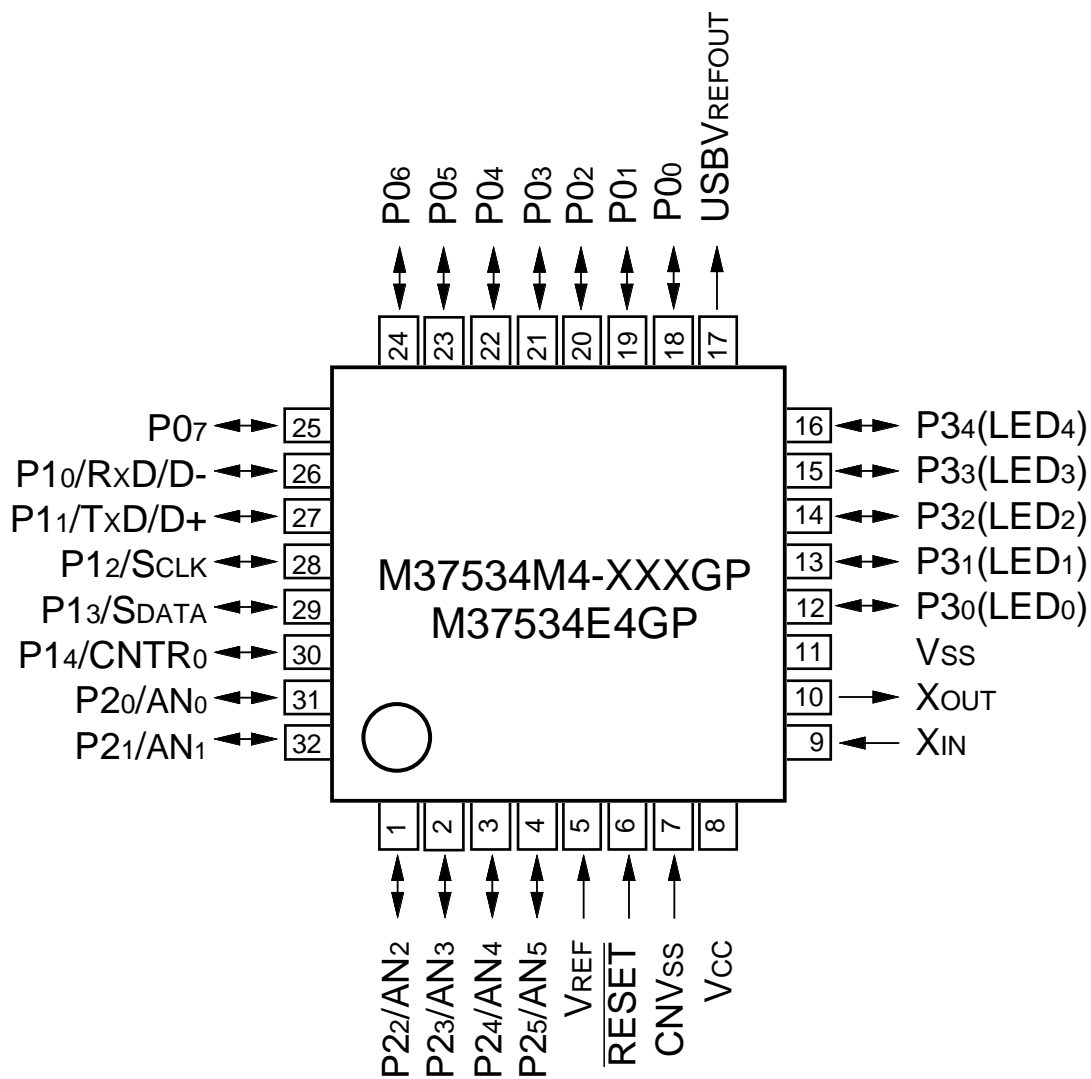
ピン接続図(上面図)



外形 PRSP0036GA-A (36P2R-A)

図1 . M37534M4-XXXXFP、M37534E8FPのピン接続図

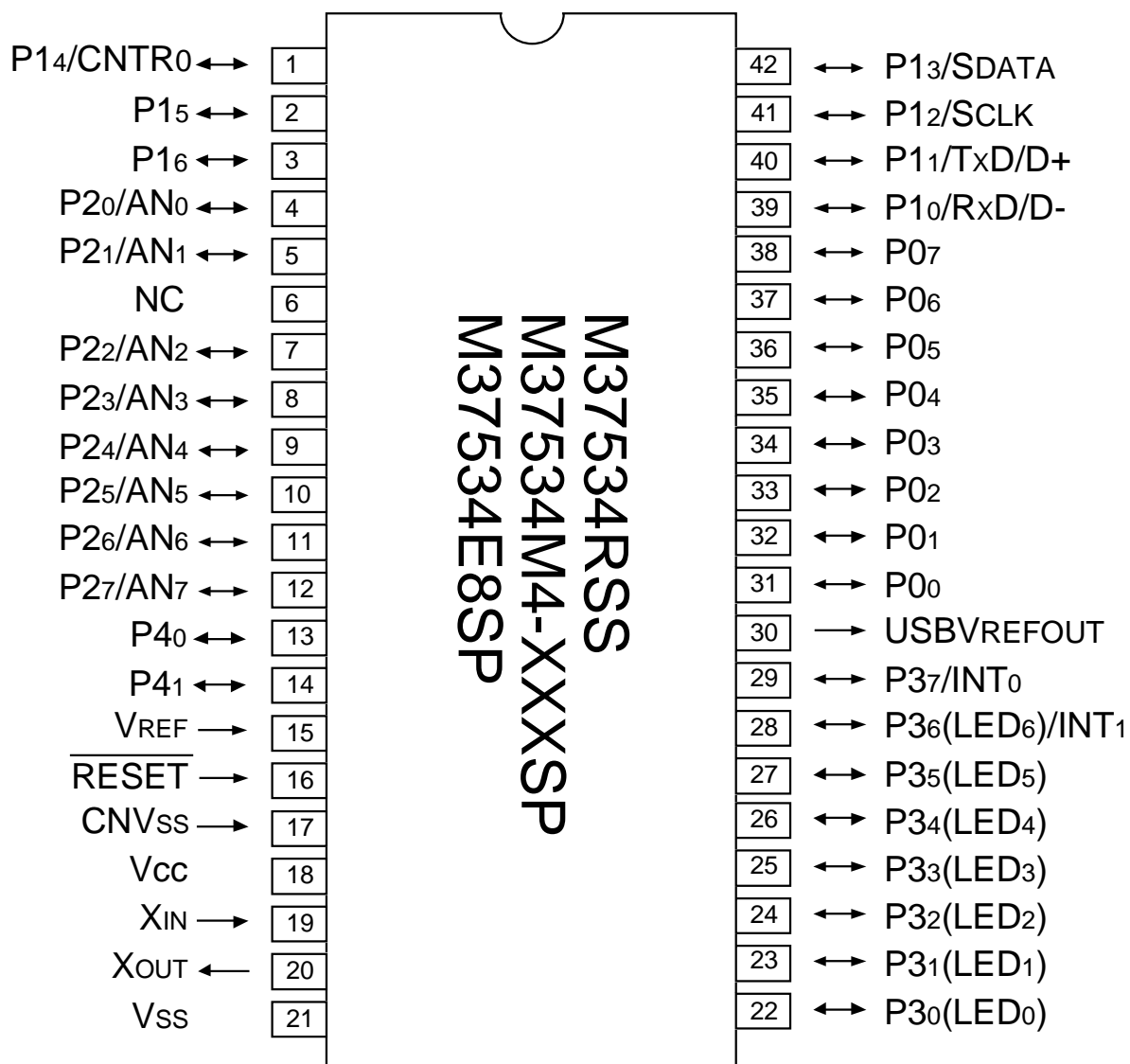
ピン接続図 (上面図)



外形 PLQP0032GB-A (32P6U-A)

図 2 . M37534M4-XXXGP、M37534E4GPのピン接続図

ピン接続図 (上面図)



外形 42S1M, PRDP0042BA-A (42P4B)

図 3 . M37534RSS、M37534M4-XXXSP、M37534E8SPのピン接続図

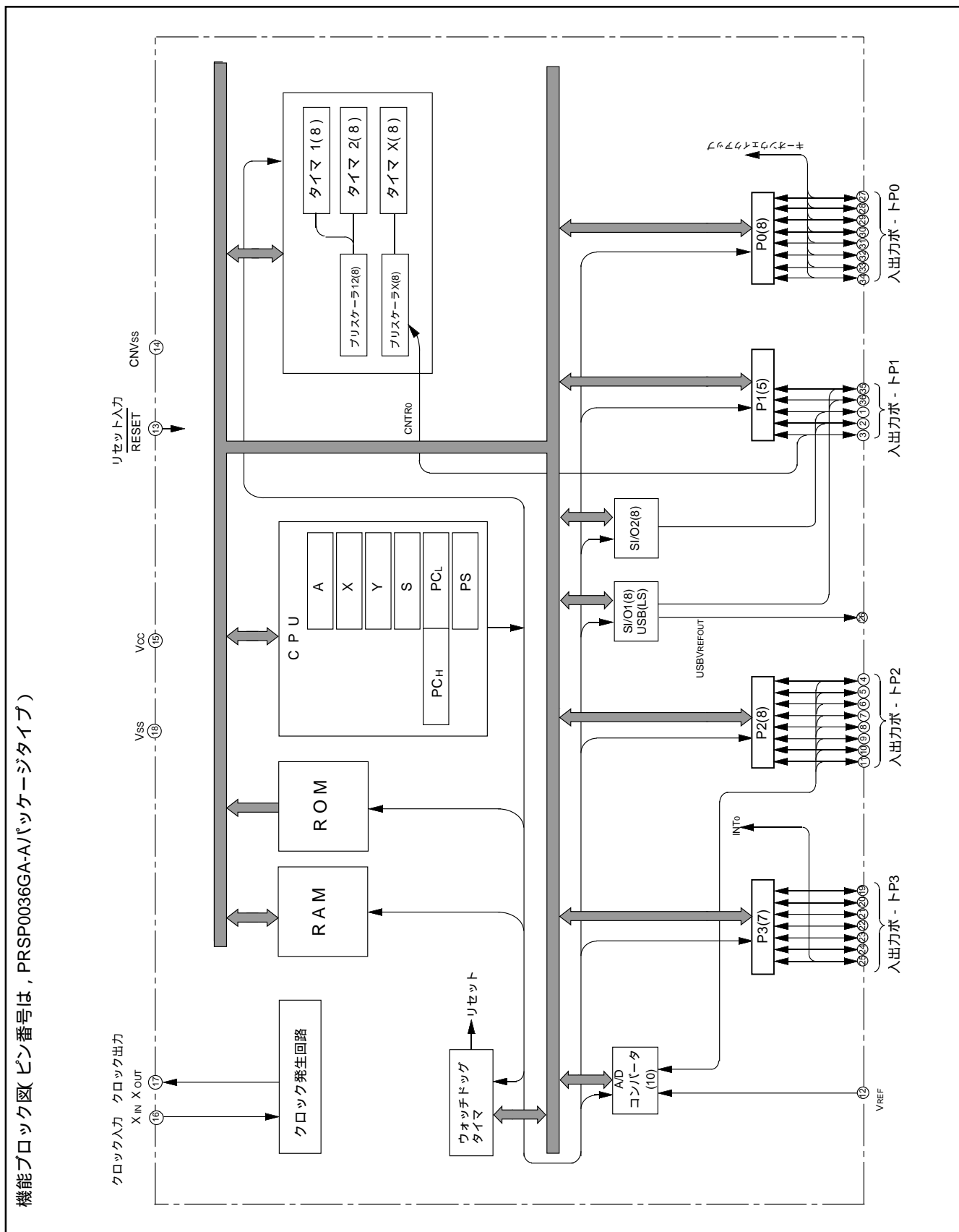


図 4 . 機能ブロック図 (PRSP0036GA-Aパッケージタイプ)

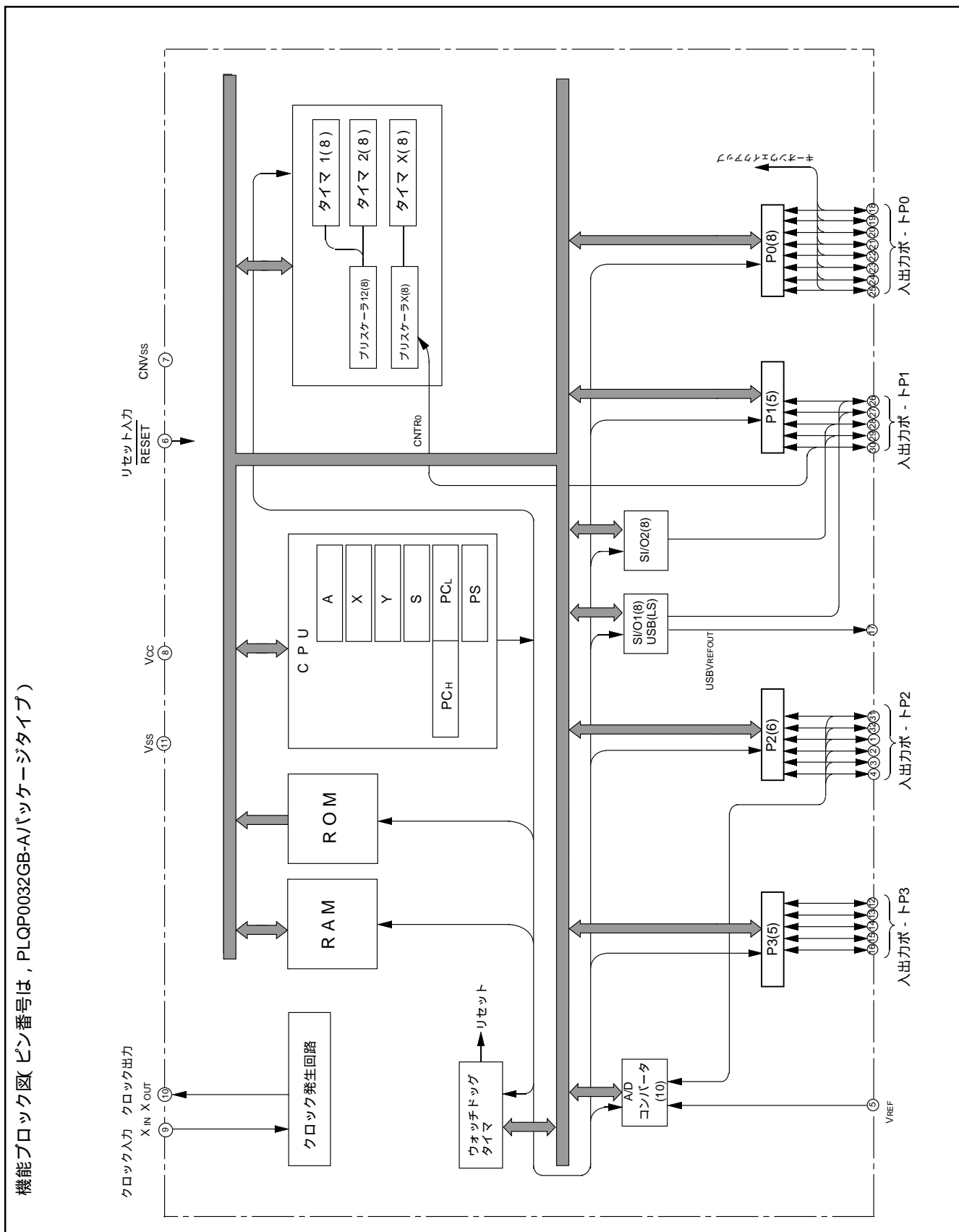


図5 . 機能ブロック図 (PLQP0032GB-Aパッケージタイプ)

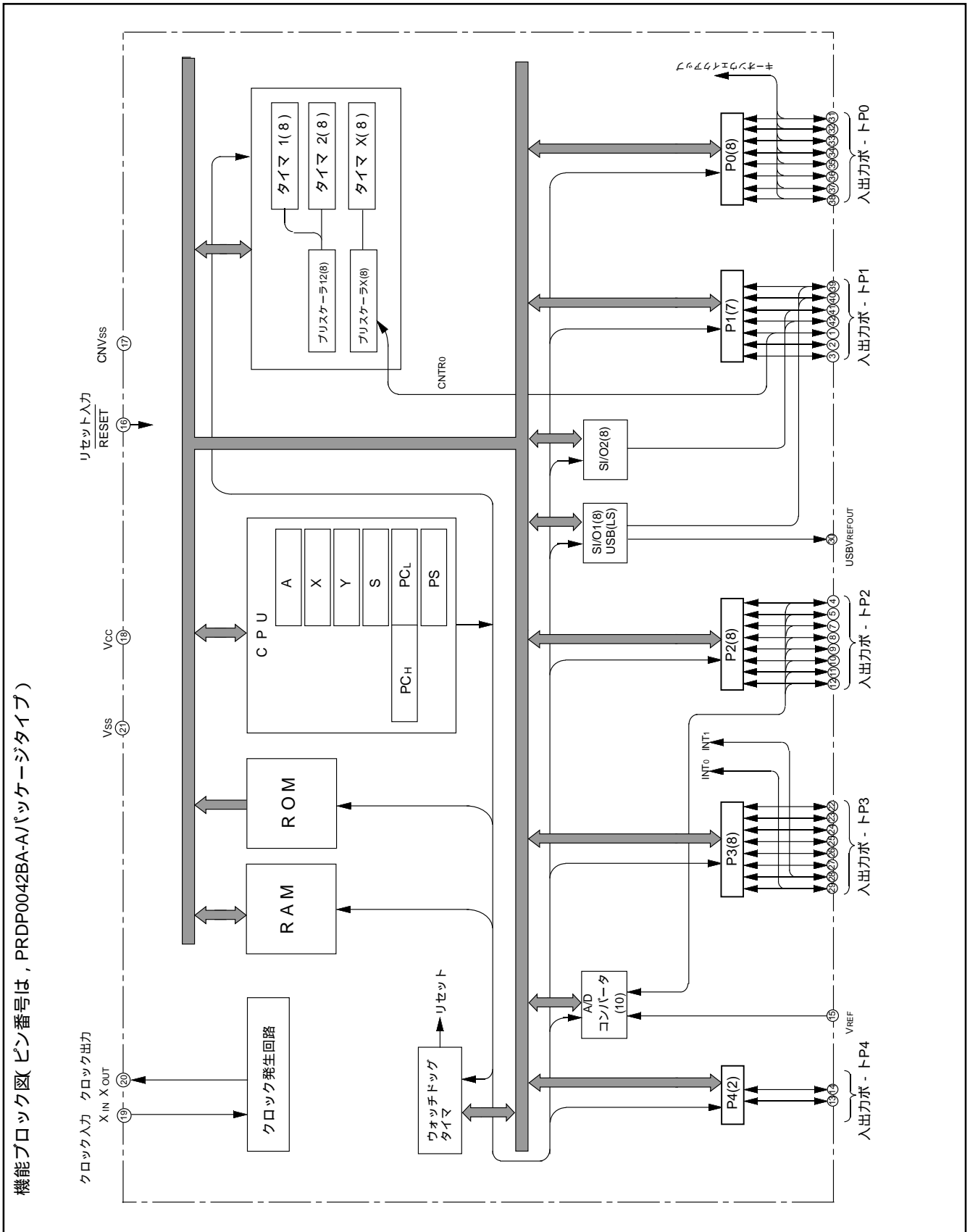


図 6 . 機能ブロック図 (PRDP0042BA-Aパッケージタイプ)



## 端子の機能説明

表 1 . 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
VCC, VSS	電源入力	VCCに4.1 ~ 5.5V( USB動作時は4.4 ~ 5.25V ), VSSに0Vを印加します。	
VREF	基準電圧入力	A/D変換器の基準電圧入力端子です。	
USBVREFOUT	USB基準電圧出力	D-ラインを1.5 k $\Omega$ の外付け抵抗でプルアップするための出力端子です。	
CNVSS	CNVSS	チップの動作モードを制御する端子で常にVSSに接続します。	
RESET	リセット入力	アクティブ・レベルのリセット入力端子です。	
XIN	クロック入力	内部クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。	
XOUT	クロック出力	外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
P00 ~ P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ) 割り込み入力 端子
P10/RxD/D- P11/TxD/D+	入出力ポートP1	7ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、出力形式はCMOS3ステートです。P10,P12,P13はCMOS/TTLレベル切り替えが可能です。USB機能使用時は、P10,P11の入力レベルはUSB入力レベル、出力はUSB出力レベルとなります。	シリアルI/O1機能端子
P12/SCLK P13/SDATA			シリアルI/O2機能端子
P14/CNTR0			タイマXの機能端子
P15,P16			
P20/AN0 ~ P27/AN7	入出力ポートP2	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/D変換器の入力端子
P30 ~ P35	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。(P36,P37については、CMOS/TTLレベルの切替えが可能です。)出力形式は、CMOS3ステートで、このうちP30 ~ P36の7ビットはLED駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	割り込み入力端子
P36/INT1 P37/INT0			
P40,P41	入出力ポートP4	2ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。	

## グループ展開

7534グループは、次のようなROM及びRAM展開を行っています。

## メモリの種類

マスクROM版、ワンタイムPROM版、エミュレータ専用MCUのサポート

## パッケージ

PRSP0036GA-A ..... 0.8mmピッチプラスチックモールドSOP  
 PLQP0032GB-A ... 0.8mmピッチプラスチックモールドLQFP  
 PRDP0042BA-A ..... 42ピンプラスチックモールドSDIP  
 42S1M ..... 42ピンシュリンクセラミックPIGGY BACK

## メモリ容量

ROM/PROM容量 ..... 8K ~ 16Kバイト

RAM容量 ..... 256 ~ 384バイト

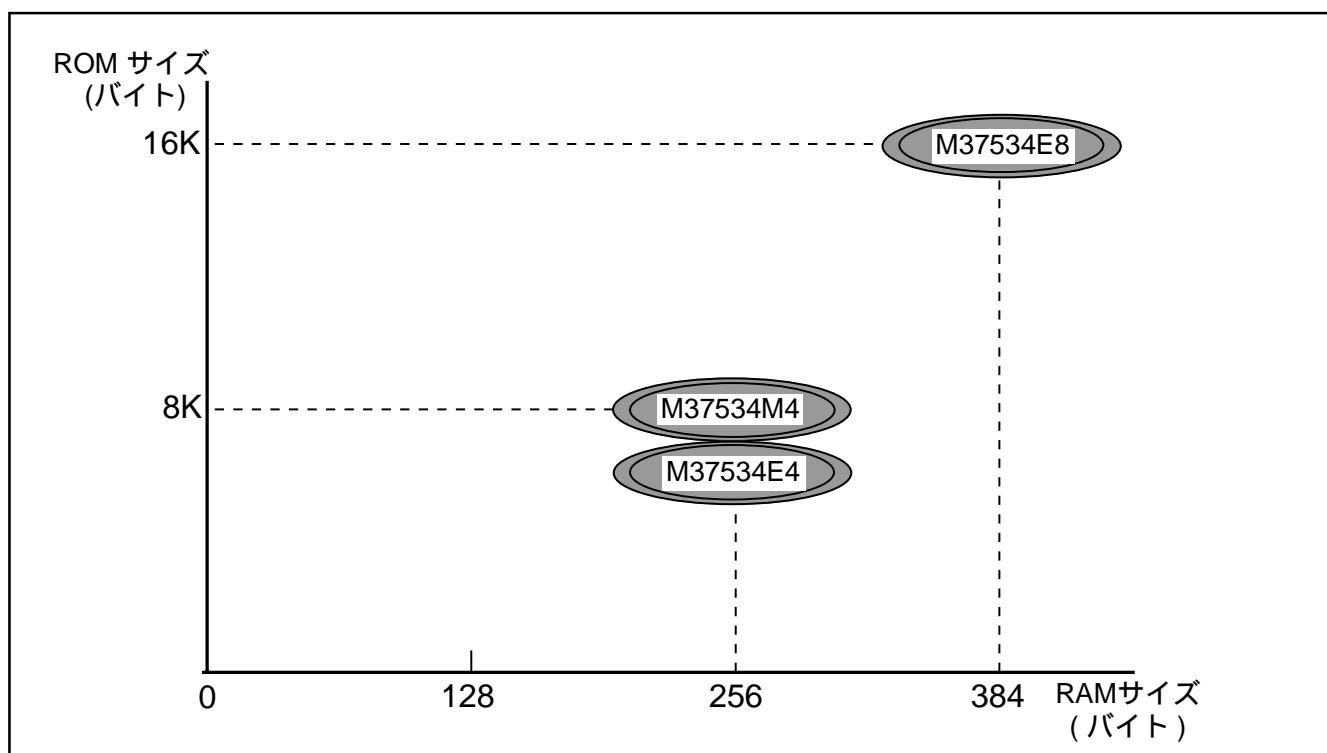


図7．ROM及びRAM展開

サポート製品を下記に示します。

表2．サポート製品一覧

製品型名	(P)ROM容量(バイト) ( )内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37534M4-XXXFP	8192( 8062 )	256	PRSP0036GA-A	マスクROM版
M37534M4-XXXGP	8192( 8062 )	256	PLQP0032GB-A	マスクROM版
M37534M4-XXXSP	8192( 8062 )	256	PRDP0042BA-A	マスクROM版
M37534E4GP	8192( 8062 )	256	PLQP0032GB-A	ワンタイムPROM版( ブランク品 )
M37534E8FP	16384( 16254 )	384	PRSP0036GA-A	ワンタイムPROM版( ブランク品 )
M37534E8SP	16384( 16254 )	384	PRDP0042BA-A	ワンタイムPROM版( ブランク品 )
M37534RSS	—————	384	42S1M	エミュレータ専用MCU

## 機能ブロック動作説明

## 中央演算処理装置( CPU )

7534グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

- 1 . FST、SLW命令はありません。
- 2 . MUL、DIV命令はありません。
- 3 . WIT命令が使用可能です。
- 4 . STP命令が使用可能です。

中央演算装置(CPU)には6個のレジスタがあります。図8にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00<sub>16</sub>”となり、“1”の場合“01<sub>16</sub>”となります。

スタックへの退避及び復帰動作を図9に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

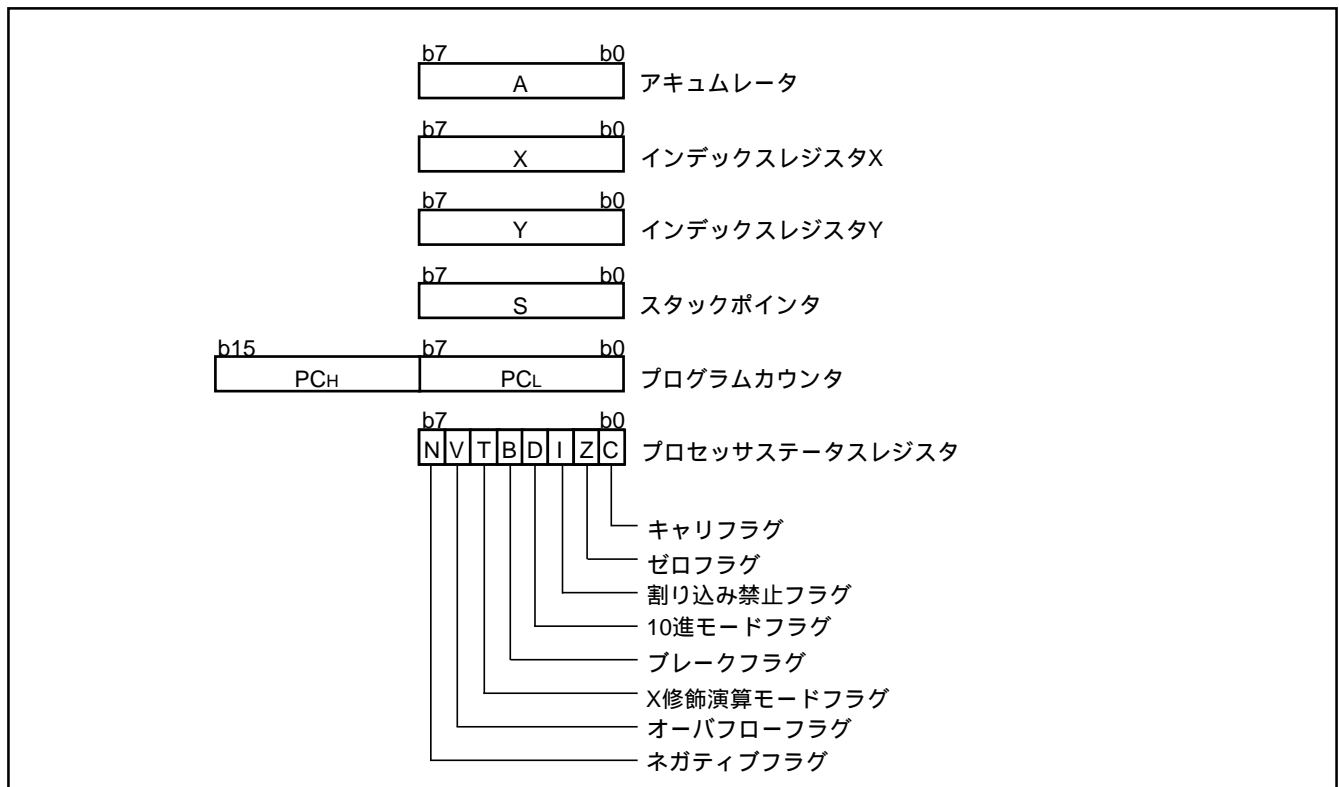


図8 . 740ファミリ CPUの構成

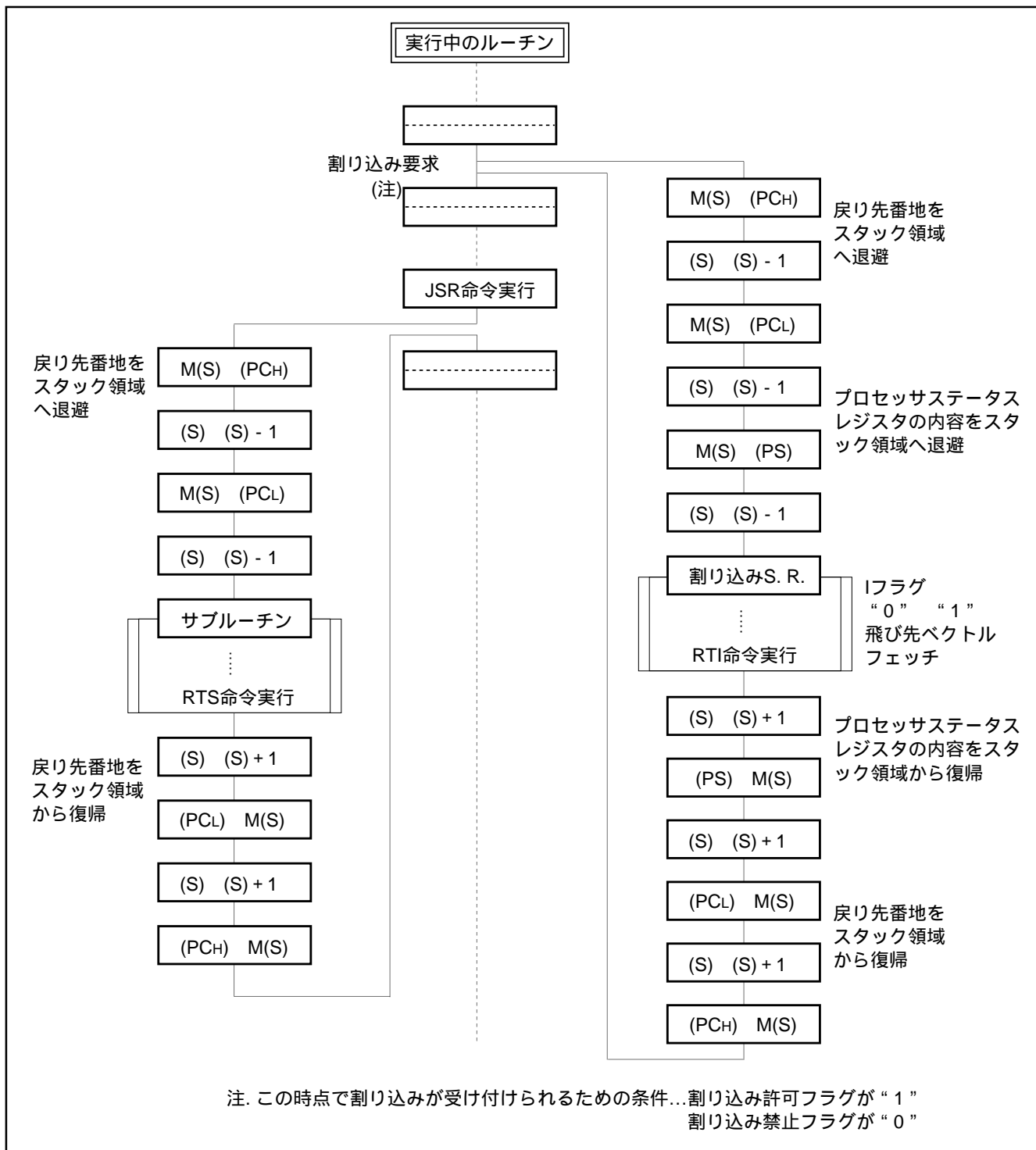


図9 . スタックへの退避及び復帰動作

表3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

リセット後、割り込み禁止フラグは“1”にセットされますが、その他のフラグは不定です。X修飾演算モードフラグ(T)及び10進演算フラグ(D)は、直接演算に影響を及ぼしますので、必ず初期設定を行ってください。

## ・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化します。

## ・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

## ・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

割り込み発生時、発生した割り込みの処理が終了するまで他の割り込みの発生を禁止するために、このフラグは自動的に“1”にセットされます。

## ・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## ・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

## ・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ、メモリとI/O、I/OとI/O間の直接演算及び直接データ転送ができます。この場合、メモリ1とメモリ2の演算結果はメモリ1に格納されます。メモリ1のアドレスはインデックスレジスタによって指定され、メモリ2のアドレスは通常のアドレッシングモードによって指定されます。

## ・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## ・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

## 【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

## CPUモードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ(CPUM)の切り替えを以下の手順で行ってください。

## スタックページに関する注意事項

スタックページビットにより1ページをスタックとして使用される場合は、RAM容量に応じてスタックとして使用できる領域が異なります。特に、マスクROM版とワンタイムPROM版、エミュレータ専用MCUとでRAM容量が異なることにご注意ください。

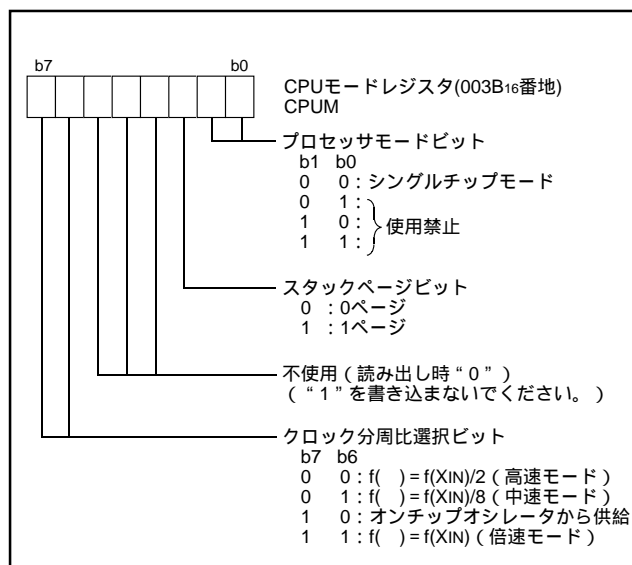


図10 . CPUモードレジスタの構成

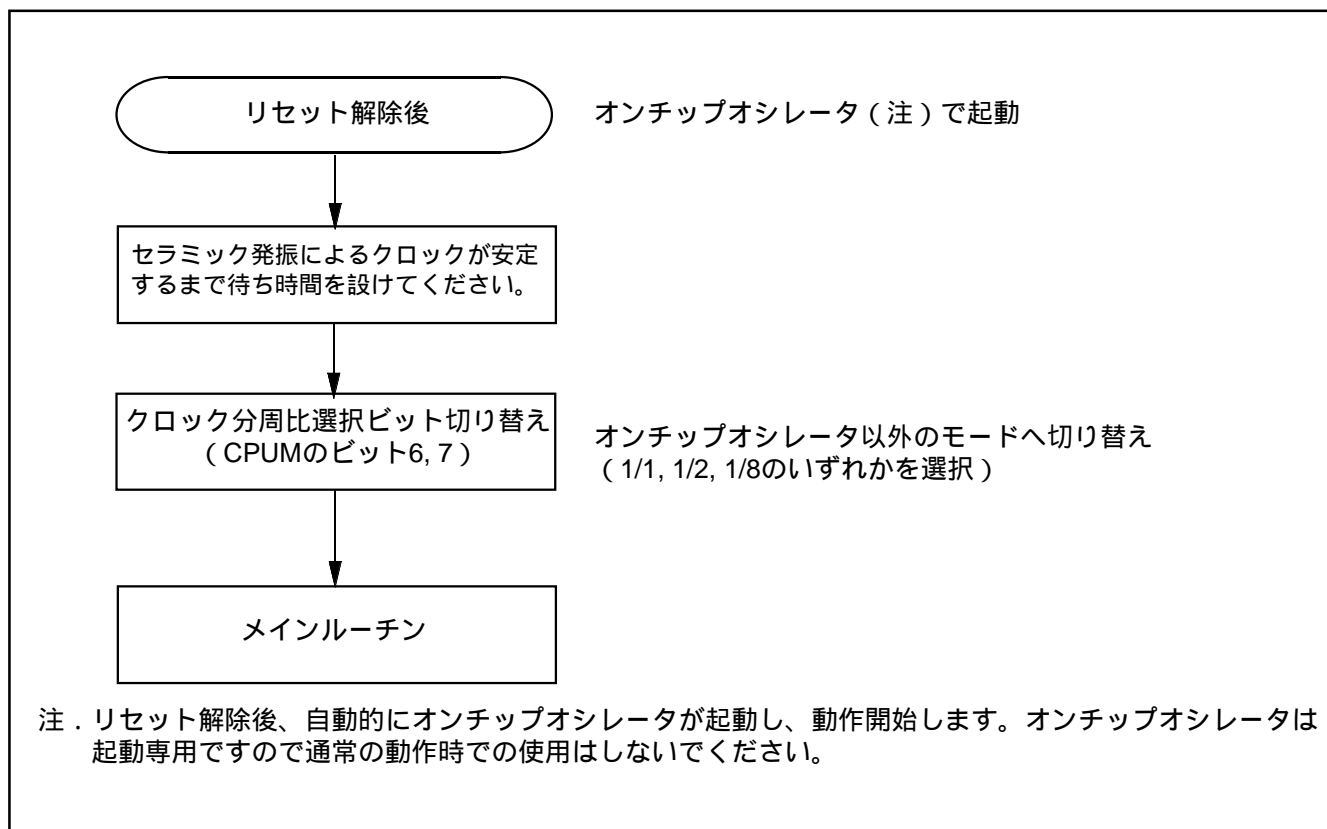


図11 . CPUモードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

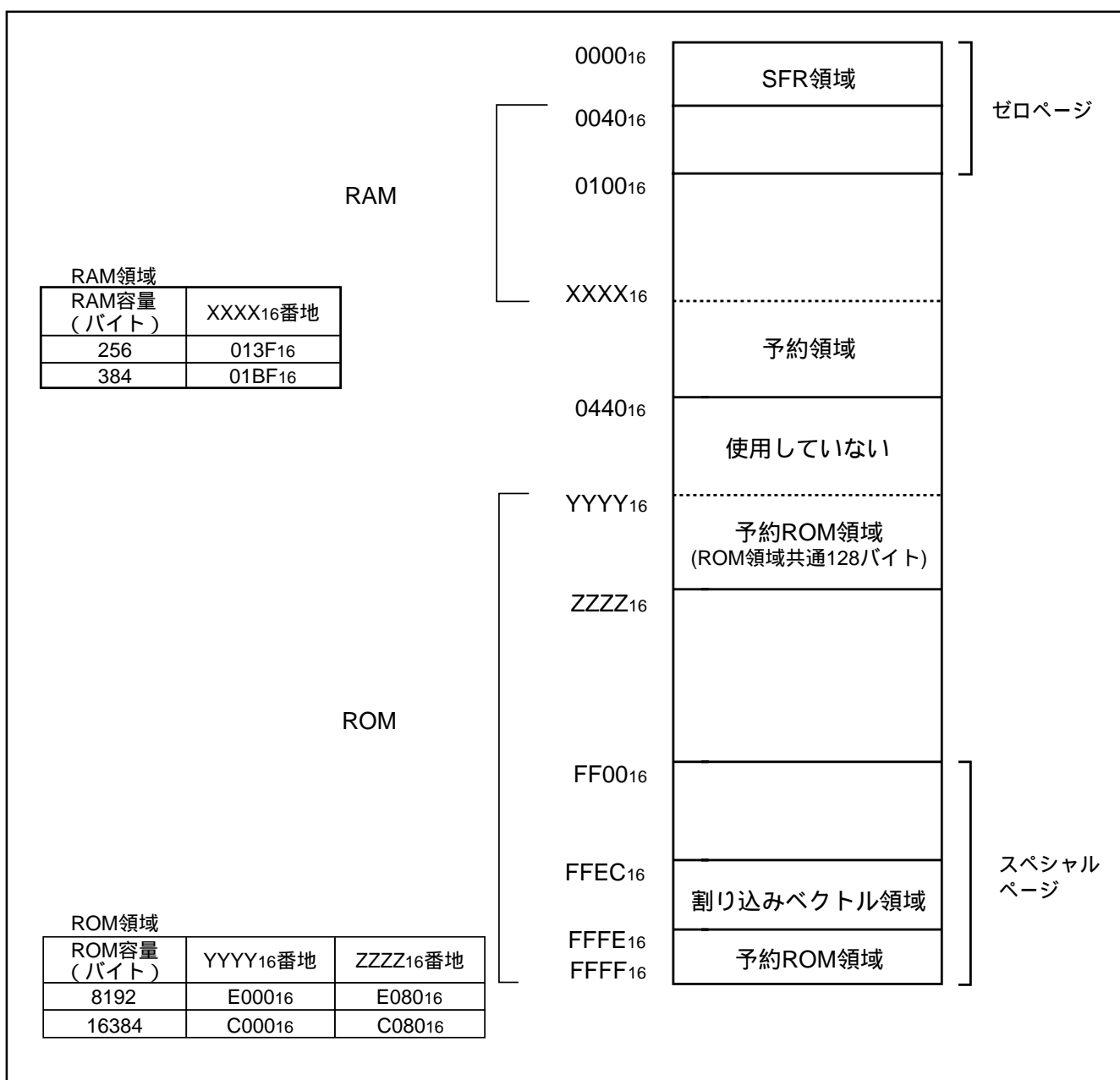


図12. メモリ配置図

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	USB割り込み制御レジスタ(USBICON)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)	0021 <sub>16</sub>	USB送信データバイト数設定レジスタ0 (EP0BYTE)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	USB送信データバイト数設定レジスタ1 (EP1BYTE)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	USBPID制御レジスタ0(EP0PID)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	USBPID制御レジスタ1(EP1PID)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)	0025 <sub>16</sub>	USBアドレスレジスタ(USBA)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	USBシーケンスビット初期化レジスタ(INISQ1)
0007 <sub>16</sub>	ポートP3方向レジスタ(P3D)	0027 <sub>16</sub>	USB制御レジスタ(USBCON)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	プリスケアラ12(PRE12)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	タイマ1(T1)
000A <sub>16</sub>		002A <sub>16</sub>	タイマ2(T2)
000B <sub>16</sub>		002B <sub>16</sub>	タイマXモードレジスタ(TM)
000C <sub>16</sub>		002C <sub>16</sub>	プリスケアラX(PREX)
000D <sub>16</sub>		002D <sub>16</sub>	タイマX(TX)
000E <sub>16</sub>		002E <sub>16</sub>	タイマカウントソース設定レジスタ(TCSS)
000F <sub>16</sub>		002F <sub>16</sub>	
0010 <sub>16</sub>		0030 <sub>16</sub>	シリアルI/O2制御レジスタ(SIO2CON)
0011 <sub>16</sub>		0031 <sub>16</sub>	シリアルI/O2レジスタ(SIO2)
0012 <sub>16</sub>		0032 <sub>16</sub>	
0013 <sub>16</sub>		0033 <sub>16</sub>	
0014 <sub>16</sub>		0034 <sub>16</sub>	A/D制御レジスタ(ADCON)
0015 <sub>16</sub>		0035 <sub>16</sub>	A/D変換下位レジスタ(ADL)
0016 <sub>16</sub>	プルアップ制御レジスタ(PULL)	0036 <sub>16</sub>	A/D変換上位レジスタ(ADH)
0017 <sub>16</sub>	ポートP1P3制御レジスタ(P1P3C)	0037 <sub>16</sub>	
0018 <sub>16</sub>	送信/受信バッファレジスタ(TB/RB)	0038 <sub>16</sub>	MISRG
0019 <sub>16</sub>	USBステータス(USBSTS)/UARTステータスレジスタ(UARTSTS)	0039 <sub>16</sub>	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A <sub>16</sub>	シリアルI/O1制御レジスタ(SIO1CON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART制御レジスタ(UARTCON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ポーレートジェネレータ(BRG)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>	USBデータトグル同期確認レジスタ(TRSYNC)	003D <sub>16</sub>	
001E <sub>16</sub>	USB割り込み要因判別レジスタ1(USBIR1)	003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>	USB割り込み要因判別レジスタ2(USBIR2)	003F <sub>16</sub>	

図13 . SFR (スペシャルファンクションレジスタ)メモリマップ



## 入出力ポート

## 【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

## 【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

## 【ポートP1P3制御】P1P3C

ポートP10、P12、P13、P36、P37は、ポートP1P3制御レジスタ(0017番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

なお、36ピン版では、ポートP3方向レジスタ及びポートP3レジスタの各ビット6は、必ず“1”にセットしてください。32ピン版では、同レジスタの各ビット5、6、7は、必ず“1”にセットしてください。

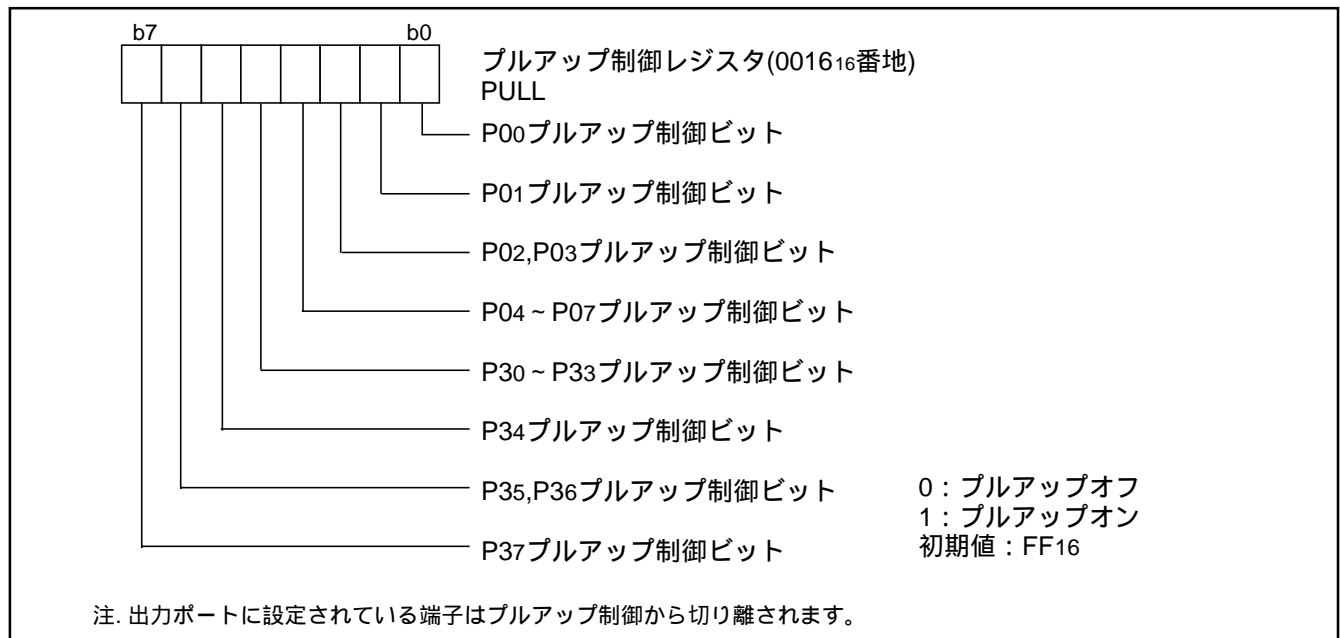


図14 . プルアップ制御レジスタの構成

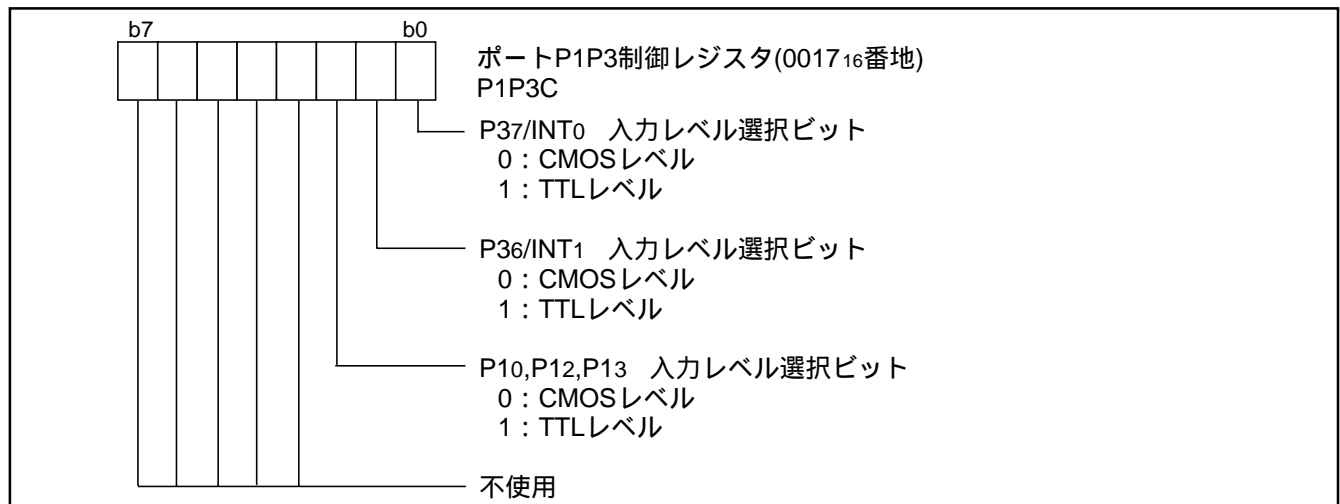


図15 . ポートP1P3制御レジスタの構成

表5 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番	
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力割り込み	プルアップ制御レジスタ	(1)	
P10/RxD/D- P11/TxD/D+	ポートP1		CMOS入力レベル CMOS3ステート出力 (注)	USB機能選択時、USB 入出力レベル	シリアルI/O1機能入 出力	シリアルI/O1制御レジスタ	(2) (3)
P12/SCLK P13/SDATA				シリアルI/O2機能入 出力	シリアルI/O2制御レジスタ	(4) (5)	
P14/CNTR0				タイマX機能入出力	タイマXモードレジスタ	(6)	
P15,P16						(10)	
P20/AN0 ~ P27/AN7				ポートP2	A/D変換入力	A/D制御レジスタ	(7)
P30 ~ P35	ポートP3					(8)	
P36/INT1 P37/INT0				外部割り込み入力	割り込みエッジ選択レジスタ	(9)	
P40,P41	ポートP4						(10)

注. P10,P12,P13,P36,P37はCMOS/TTL入力レベル

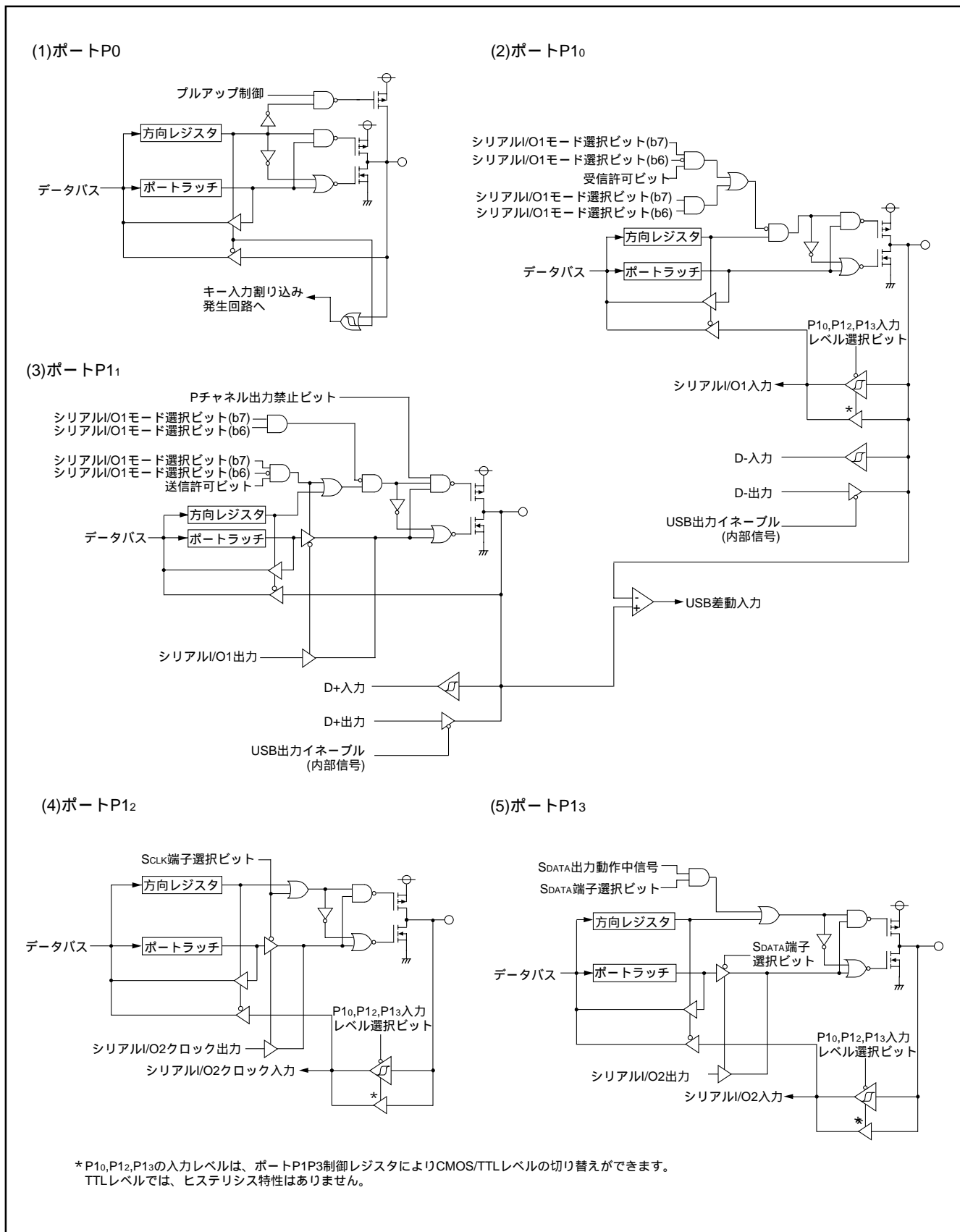


図16 . ポートのブロック図(1)

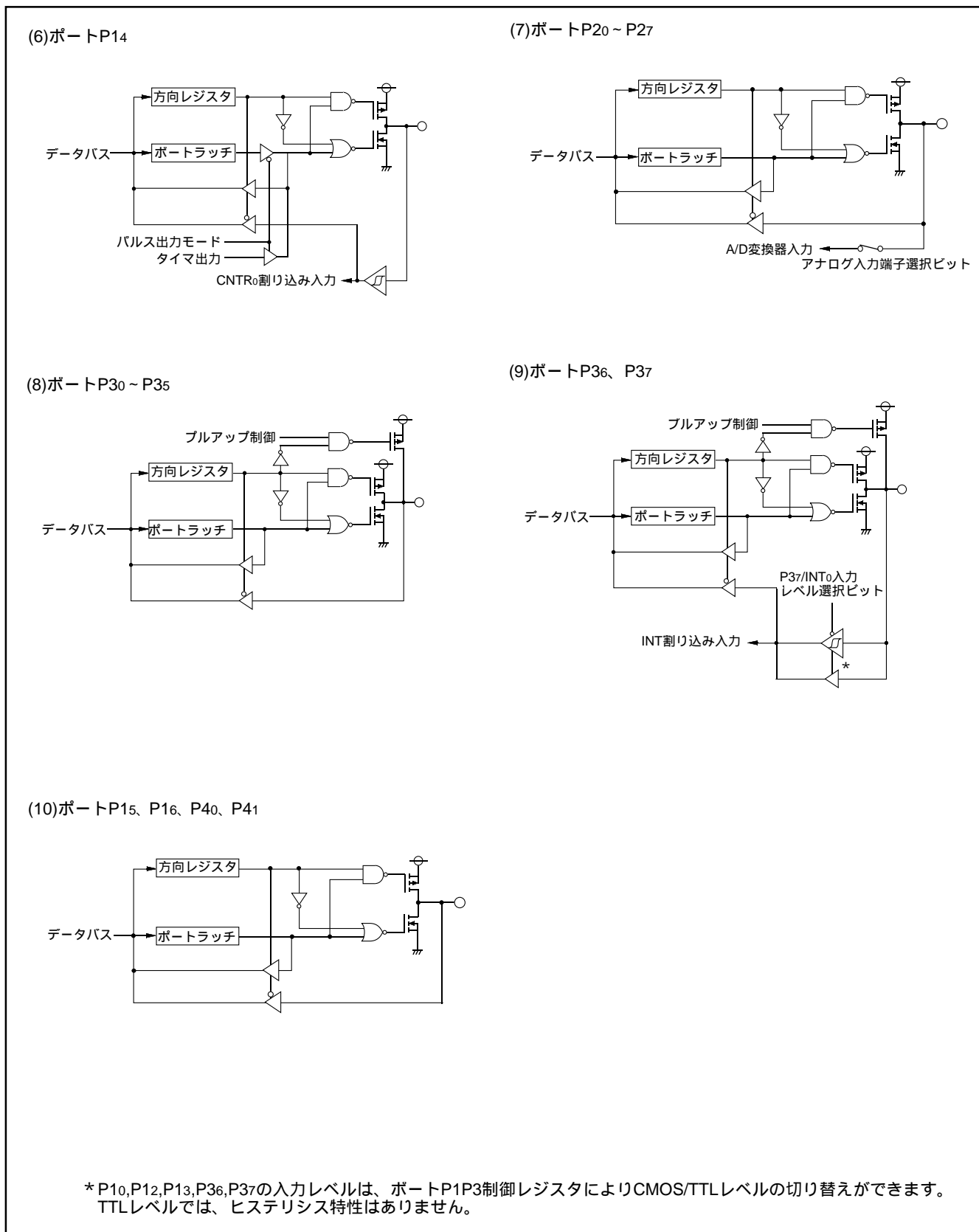


図17 . ポートのブロック図(2)

## 割り込み

割り込みはベクトル割り込みで、外部4要因、内部9要因、ソフトウェア1要因の14要因から発生することが可能です。

## 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

なお、割り込みエッジ選択レジスタのビット7によりCNTR0とA/D変換割り込み要因を切り替え、ビット6によりタイマ2とシリアルI/O2割り込み要因を切り替え、ビット5によりタイマXとキーオンウェイクアップ割り込み要因を切り替え、ビット4によりシリアルI/O送信とINT1割り込み要因をそれぞれ切り替えて使用できます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

## 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

## 注意事項

外部割り込み(INT0、INT1、CNTR0)のアクティブエッジを設定する際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタ(CNTR0の場合はタイマXモードレジスタ)を設定した後割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

表6．割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
UART受信	2	FFFB16	FFFA16	UARTデータ受信完了時	UARTモード時有効
USB INTトークン				INTトークン検出時	USBモード時有効
UART送信	3	FFF916	FFF816	UART送信シフト完了時又は送信バッファ空き時	UARTモード時有効
USB SETUP/OUTトークン				SETUP/OUTトークン検出時又は	USBモード時有効
リセット/サスペンド/レジューム				リセット/サスペンド/レジューム検出時	
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT0				INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマX	5	FFF516	FFF416	タイマXアンダフロー時	外部割り込み(立ち下がり有効)
キーオンウェイクアップ				ポートP(X入力時)の入力論理レベルの論理積の立ち下がり時	
タイマ1	6	FFF316	FFF216	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	7	FFF116	FFF016	タイマ2アンダフロー時	
シリアルI/O2割り込み				送信又は受信シフト終了時	
CNTR0	8	FFEF16	FFEE16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
A/D変換				A/D変換終了時	
BRK命令	9	FFED16	FFEC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1．ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

- 2．リセットは最上位の優先順位を持つ割り込みとして処理されます。

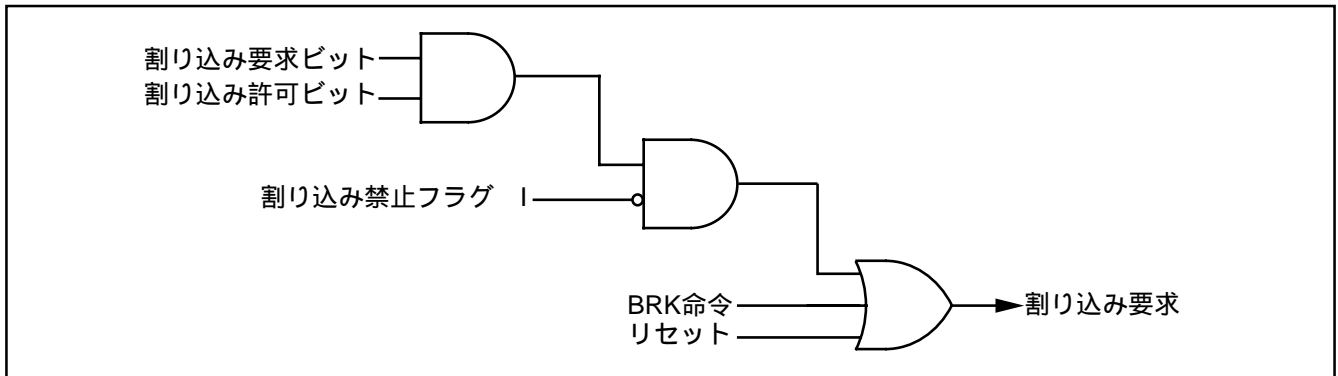


図18. 割り込み制御図

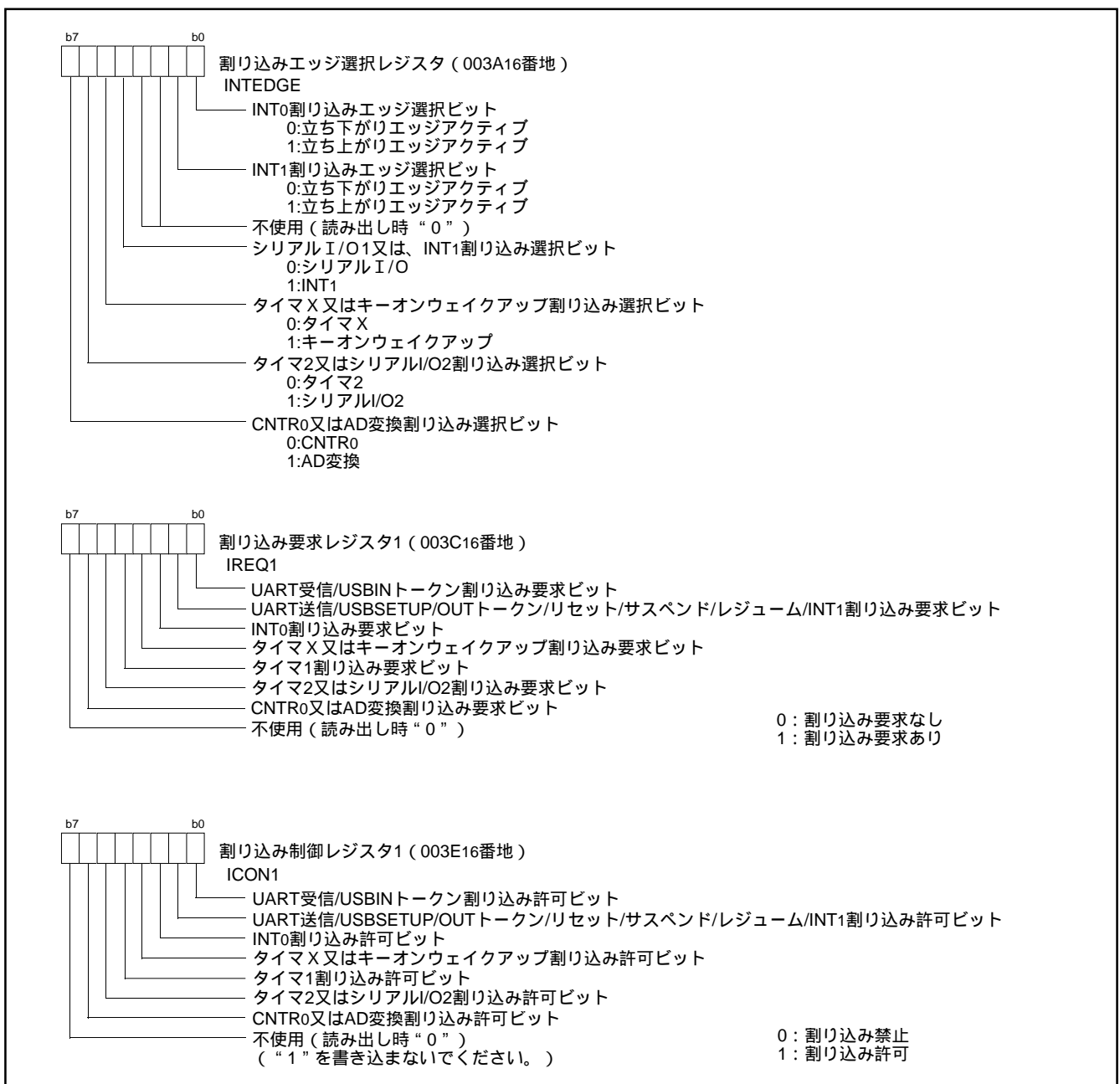


図19. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要

求が発生します。図はキー入力割り込みを用いた一例で、ポートP00~P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

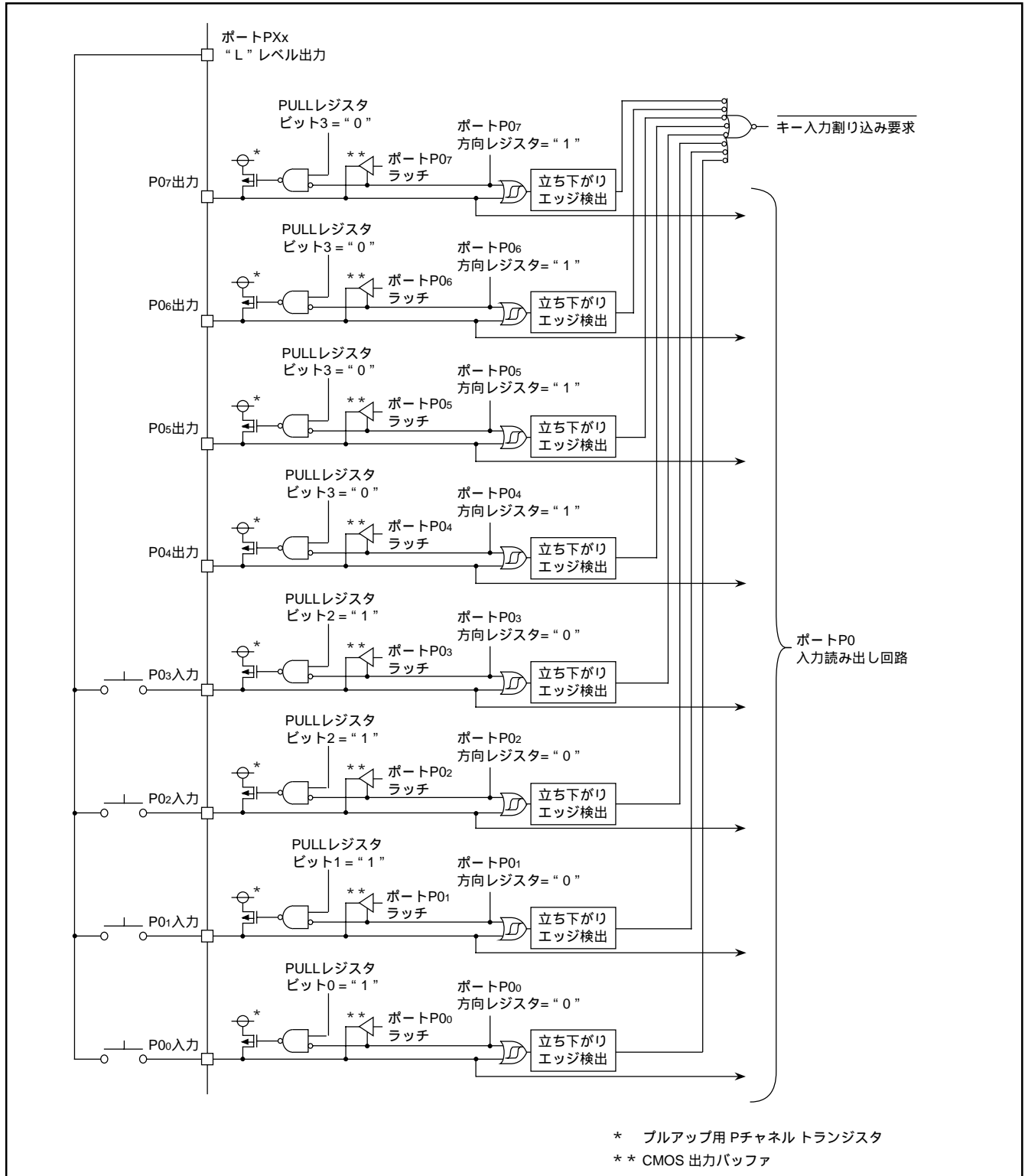


図20 . キー入力割り込み使用時の結線例とポートP0のブロック図

## タイマ

タイマはタイマX、タイマ1及びタイマ2の3本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が $0$ になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが $1$ にセットされます。

### タイマ1, タイマ2

プリスケアラ12は、常に発振周波数を16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

### タイマX

タイマXはタイマXモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

#### (1) タイマモード

タイマXカウントソース選択ビットにより選ばれた信号をカウントします。

#### (2) パルス出力モード

タイマXカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が $0$ になるたびに極性の反転する出力をCNTR<sub>0</sub>端子より出力します。CNTR<sub>0</sub>極性切り替えビットが $0$ のときは、CNTR<sub>0</sub>端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP14の方向レジスタを出力モードに設定してください。

#### (3) イベントカウンタモード

CNTR<sub>0</sub>端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR<sub>0</sub>極性切り替えビットが $0$ のときは、CNTR<sub>0</sub>端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

#### (4) パルス幅測定モード

CNTR<sub>0</sub>極性切り替えビットが $0$ のときは、CNTR<sub>0</sub>端子が“H”の期間、タイマXカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマXカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがオーバフローするたびに割り込み要求ビットをセットします。

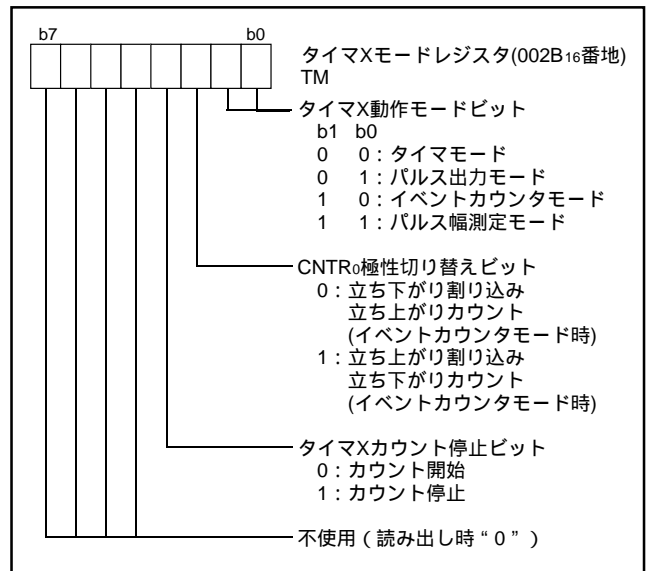


図21. タイマXモードレジスタの構成

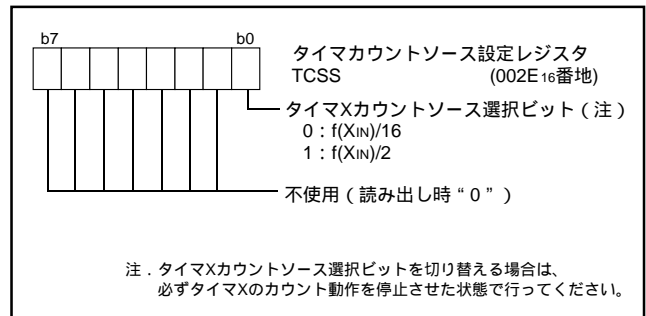


図22. タイマカウントソース設定レジスタの構成



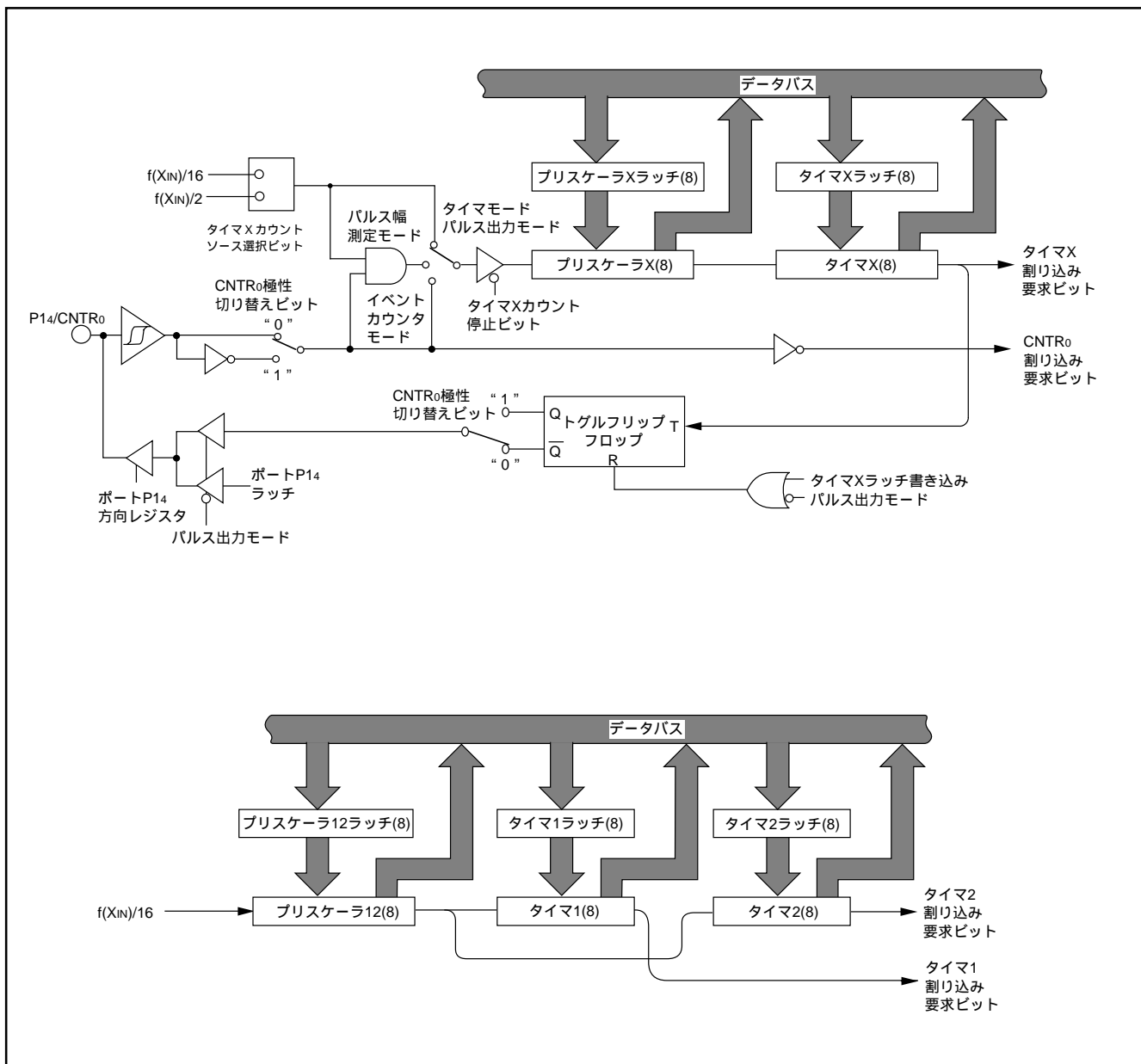


図23 . タイマX , タイマ1及びタイマ2のブロック図

シリアルインタフェース

シリアルI/O1

(1)非同期形シリアルI/O(UART)モード

シリアルI/O1は、非同期形(UART)として動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、

受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

また、連続送信有効ビット(SIO1CONのb2)を'1'にすることによって同一データを連続して送信し続けることができます。これにより簡易PWMとして使用することが可能です。

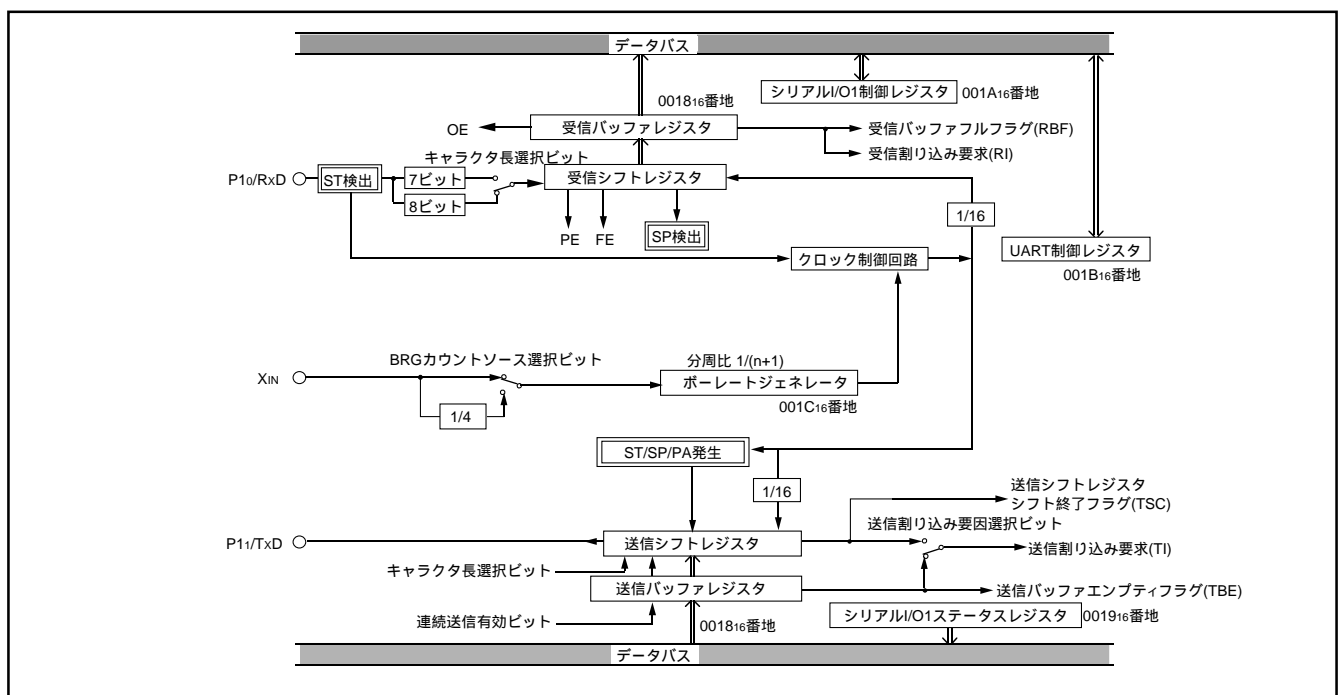


図24. UART形シリアルI/O1ブロック図

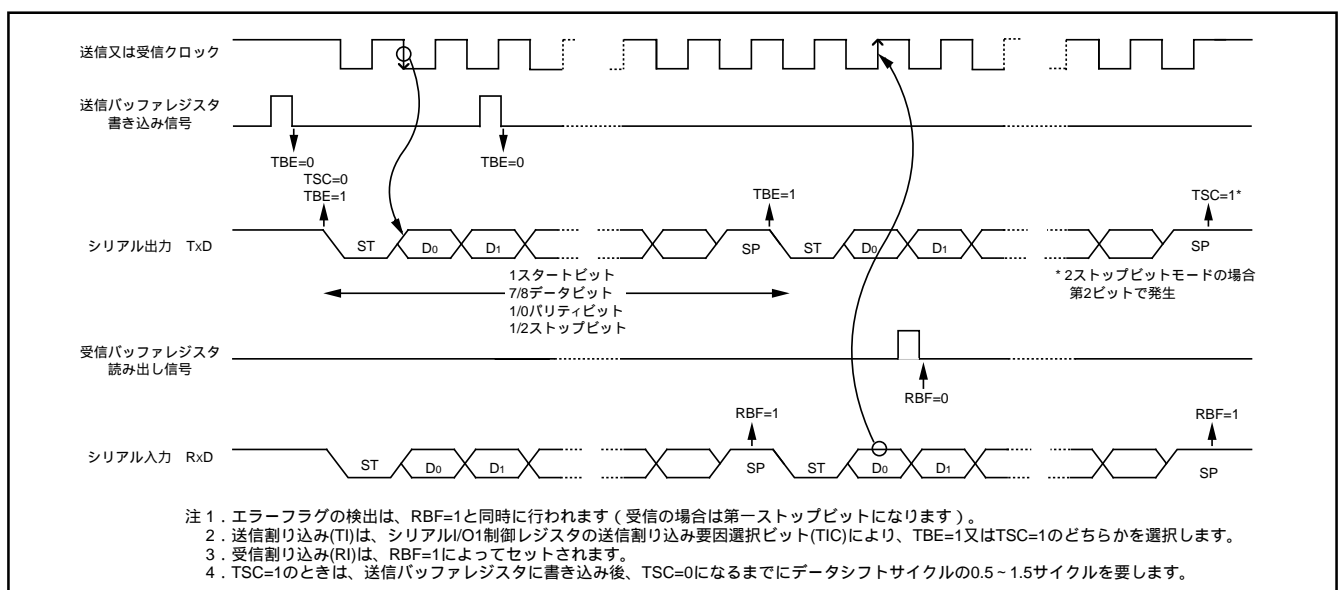


図25. UART形シリアルI/O1動作図

### 【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

### 【UART制御レジスタ】UARTCON

UART選択時に有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TxD端子の入出力形式などを設定します。

### 【UARTステータスレジスタ】UARTSTS

このレジスタはUART選択時にUARTステータスレジスタ(UARTSTS)として機能し、UARTの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。UARTステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1モード選択ビット(MOD1, MOD0)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタはリセット時“8116”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2は“1”になります。

### 【送信/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

### 【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

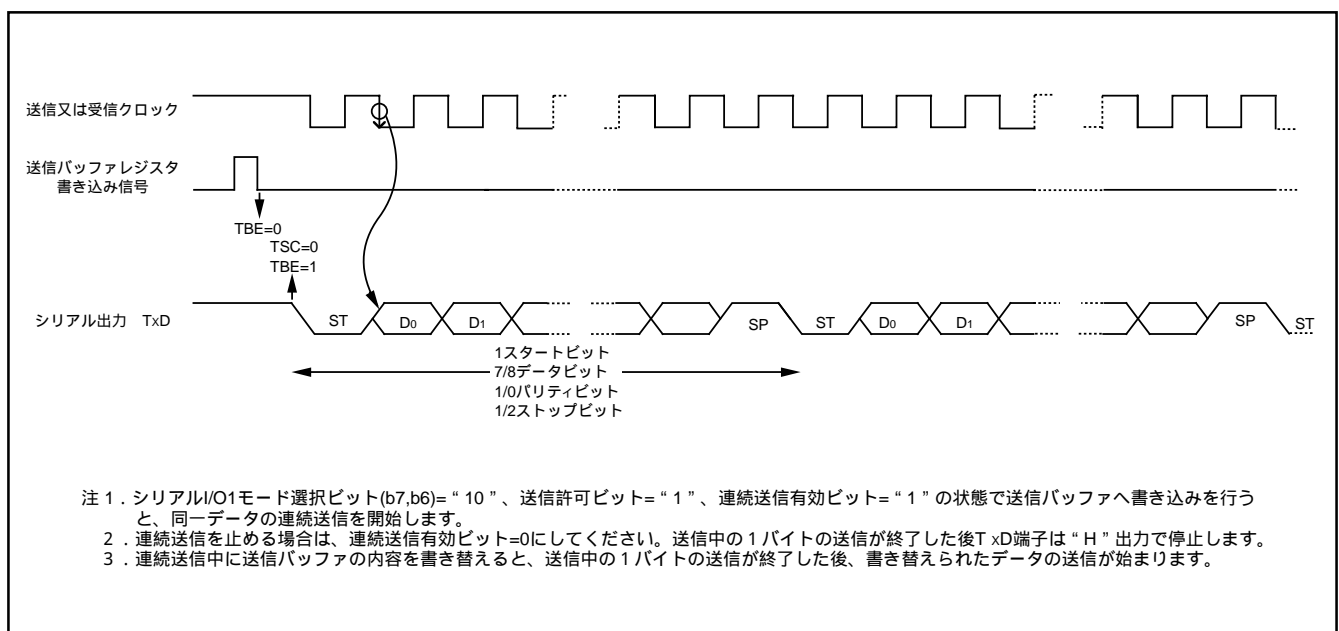


図26. UART形シリアルI/O1連続送信動作図

(2)ユニバーサルシリアルバス(USB)モード

シリアルI/O1制御レジスタ(001A16番地)のビット7とビット6を“11”にセットすることにより、USBモードが選択されます。Low-Speed USB2.0仕様に準拠したFunction機能を持っています。このモードにおいて、シリアルI/O1の割り込み要因は、USBイン及びアウトトークン受信、セットアップトークン受信、USBリセット、サスペンド、レジュームの6要因で

す。更に、UARTステータス/USBステータスレジスタはUSBステータスレジスタ(USBSTS)として機能します。また、USB基準電圧出力であるUSBVREFOUT端子を備えており、D-ラインを1.5k の外付け抵抗により、プルアップすることが可能です。

USBモードブロック図及びUSBトランシーバブロック図を図27、28に示します。

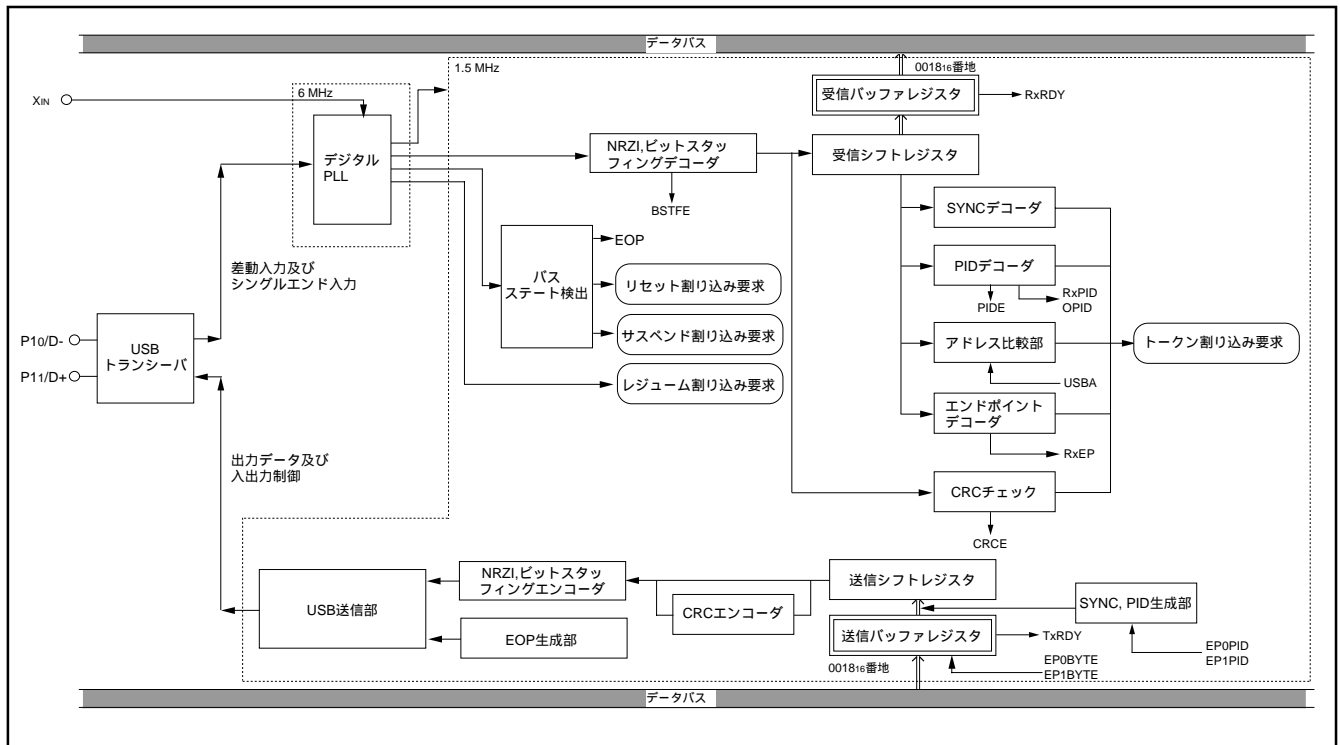


図27 . USBモードブロック図

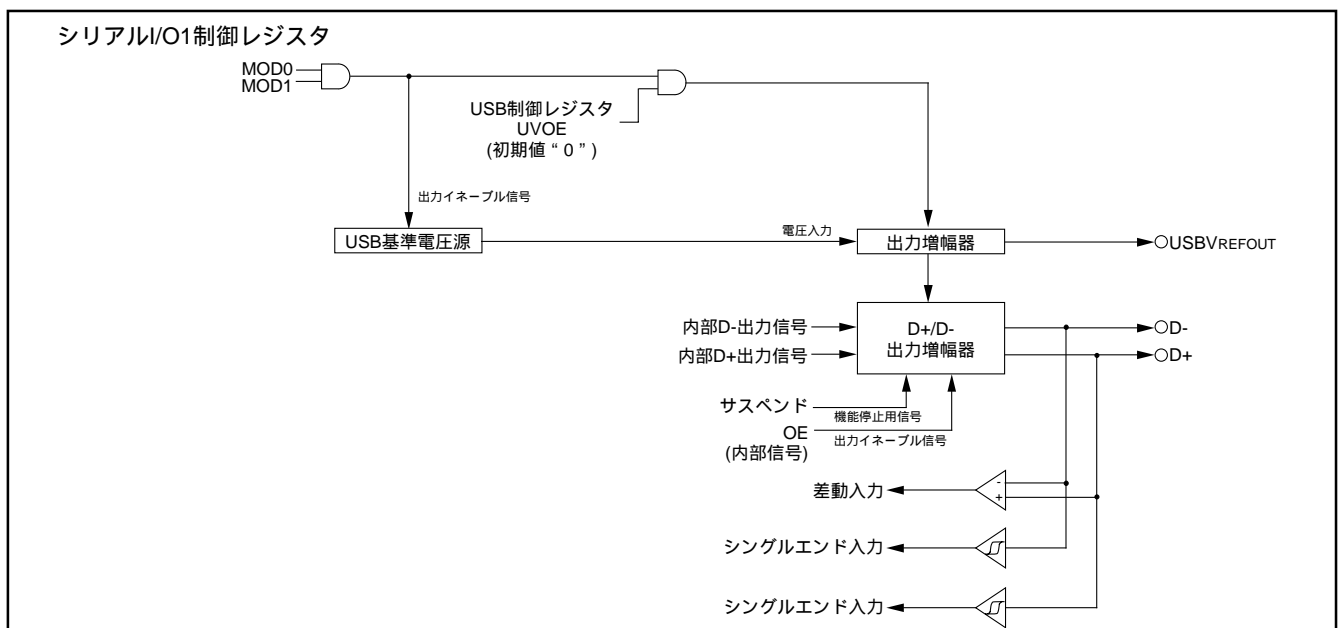


図28 . USBトランシーバブロック図

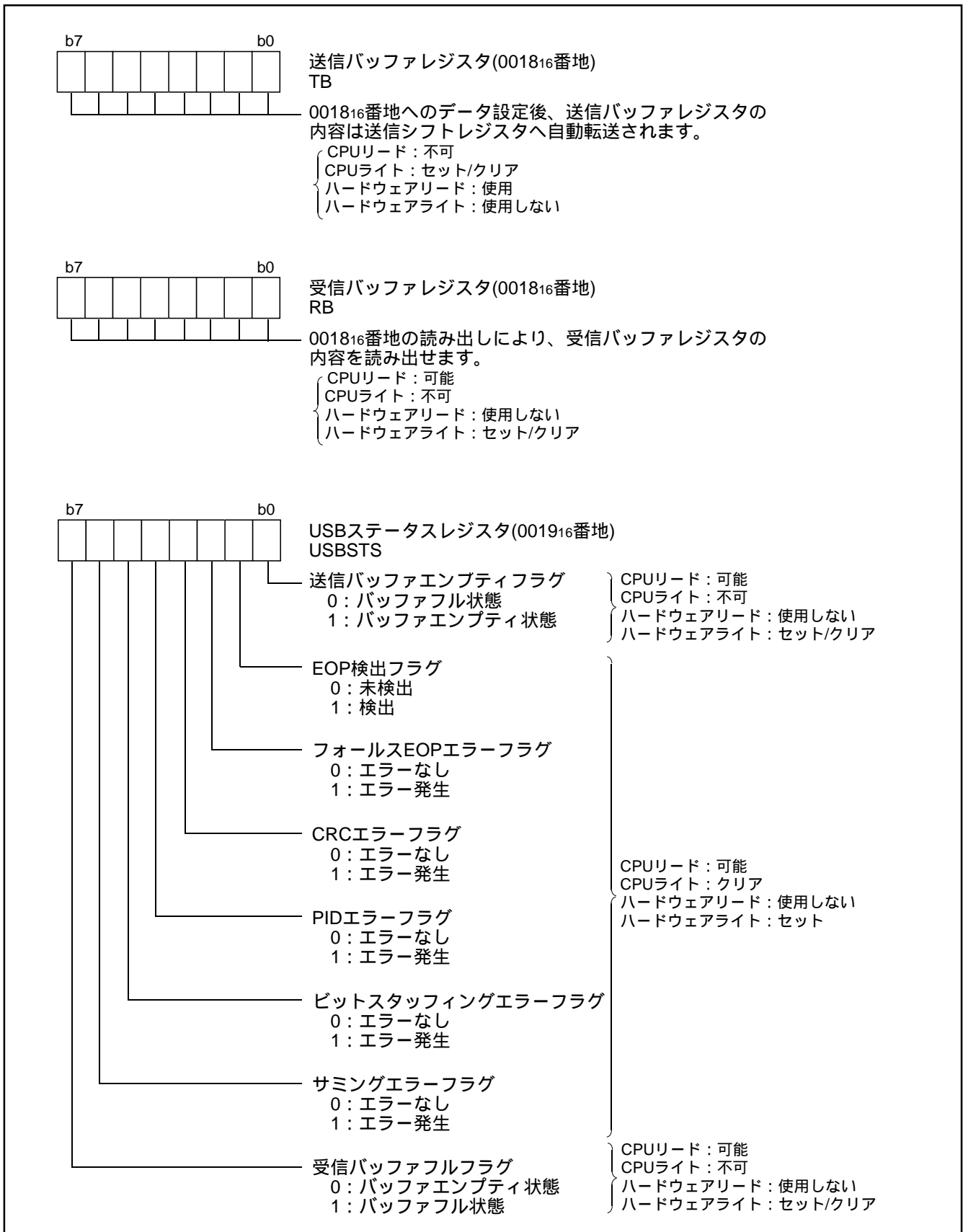


図29 . シリアル/O1関係レジスタの構成(1)

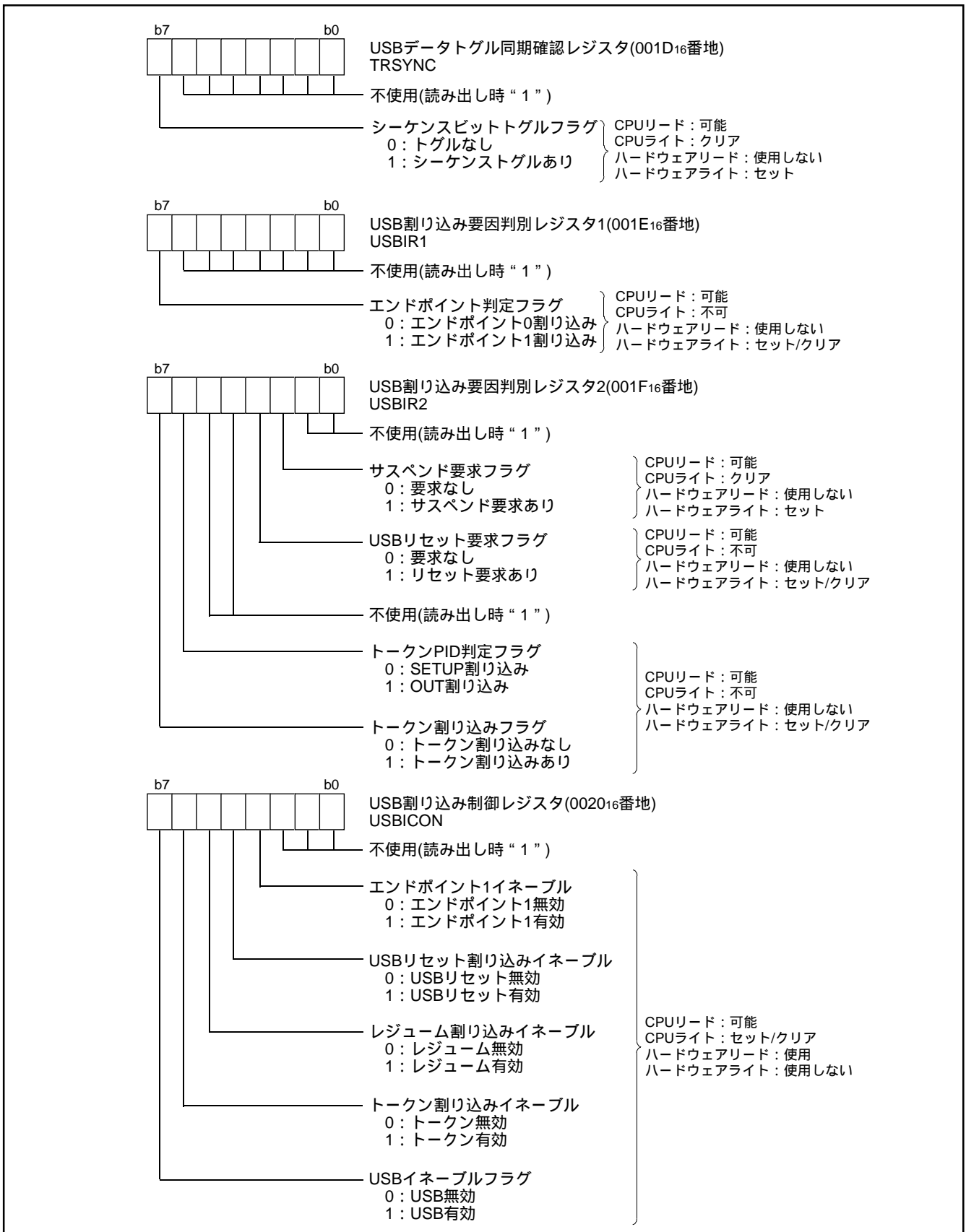


図30 . シリアルI/O関係レジスタの構成(2)

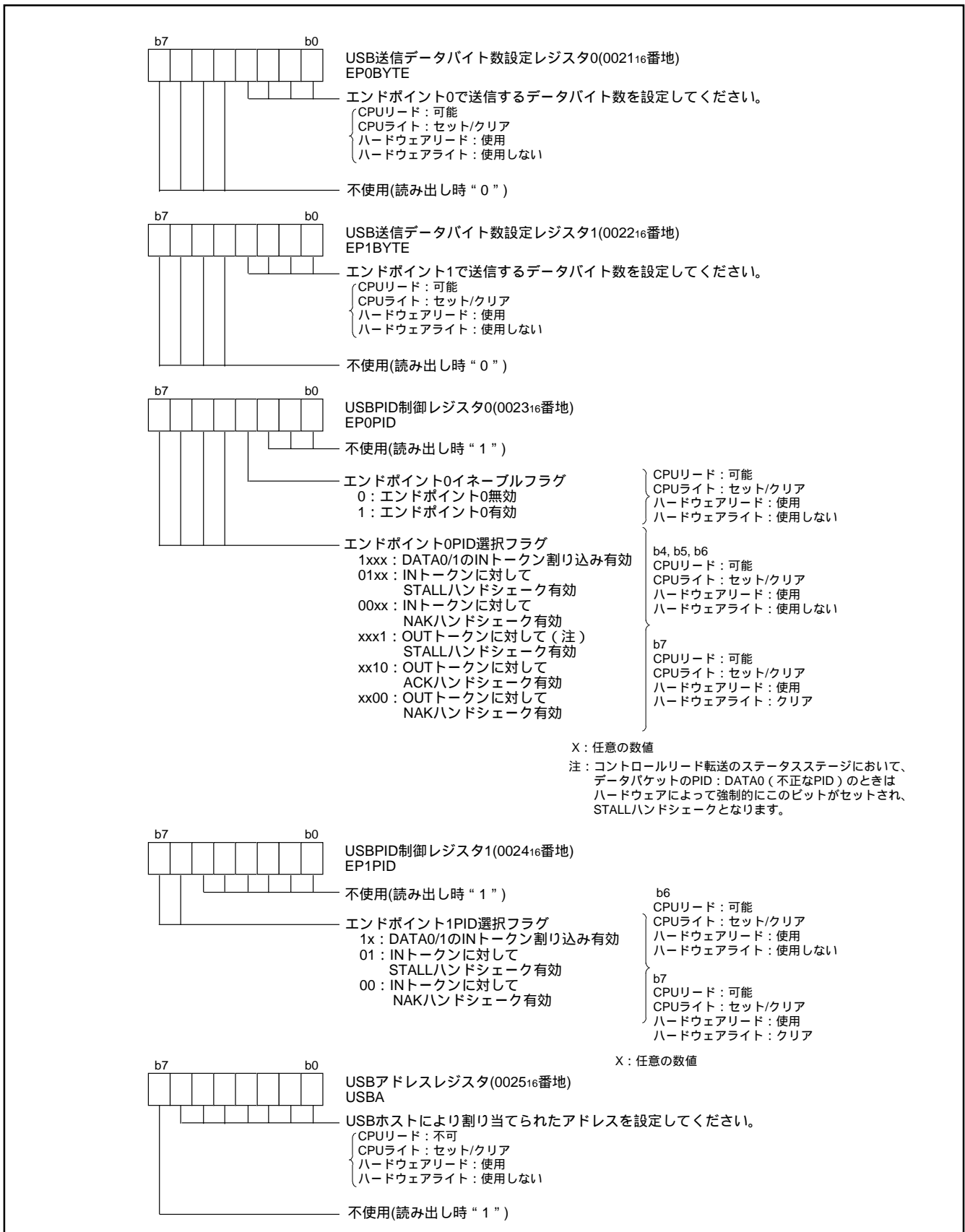


図31 . シリアル/O1関係レジスタの構成(3)

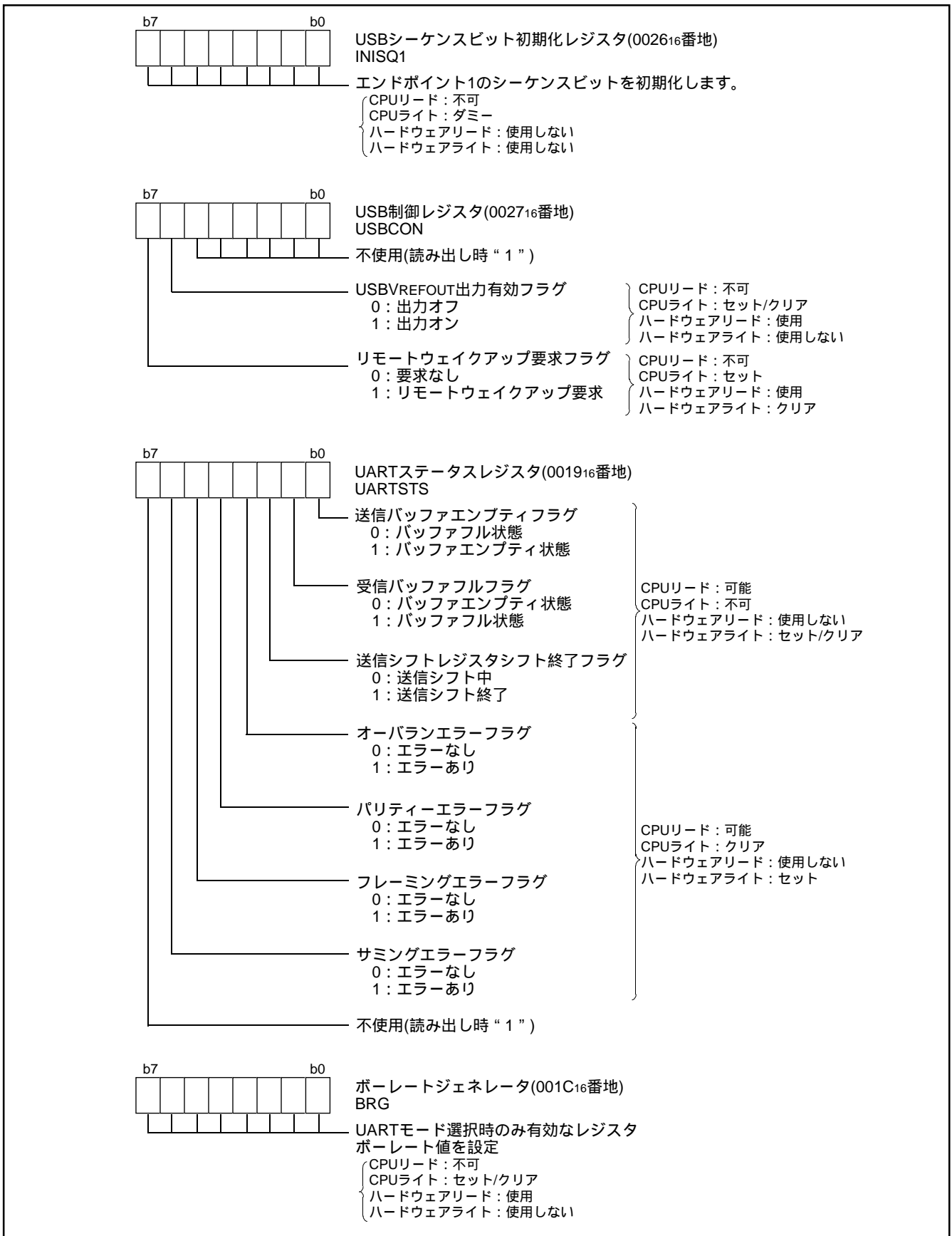


図32. シリアルI/O関係レジスタの構成(4)



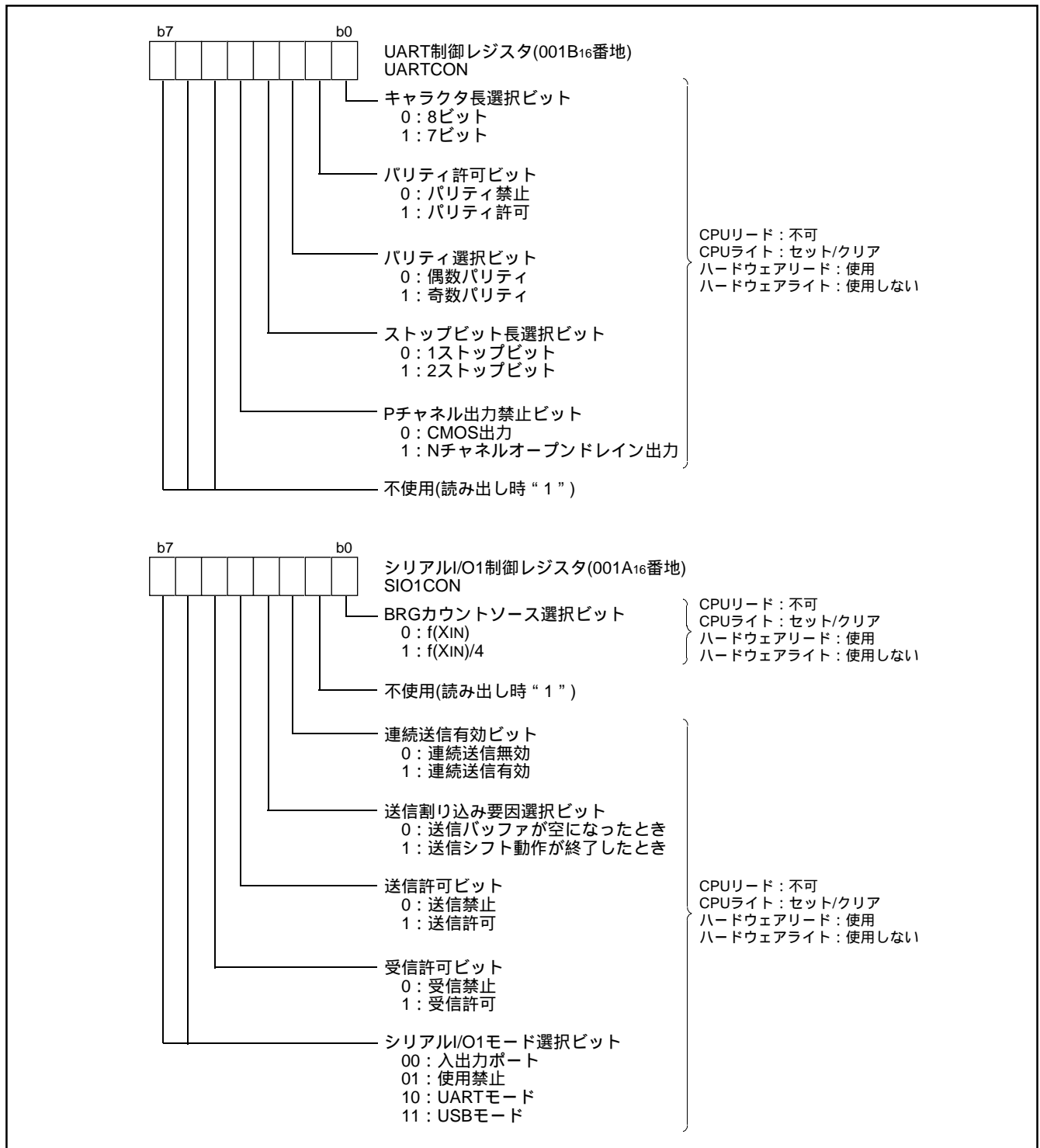


図33 . シリアル/O1関係レジスタの構成(5)

## USBモード使用時の注意事項

- SE0(Single Ended 0)信号(受信時)の取り扱い

7534グループでは、表7に示すように、SE0信号の幅によってUSBリセット又はEOP(End of Packet)を区別できます。

また、デバイスの置かれている状態によっては、異なる応答をする必要があります。

なお、下記表中の略称については次の通りです。

- TKNE: トークン割り込みイネーブル(2016番地のビット6)
- RSME: レジューム割り込みイネーブル(2016番地のビット5)
- RSTE: USBリセット割り込みイネーブル(2016番地のビット4)
- Spec: Low-Speed USB2.0仕様で要求されるデバイスの反応
- SIE: 7534グループのハードウェアの動作
- F/W: プログラム上での処理方法
- FEOPE: フォールスEOPエラーフラグ(1916番地のビット2)
- RxPID: トークン割り込みフラグ(1F16番地のビット7)

表7 . SE0の幅及びデバイスの状態に依存した処理方法の関係

SE0の幅		デバイスの状態				
		アイドル状態 TKNE = X RSME = 0 RSTE = 1	トークンフェーズの最後 TKNE = 1 RSME = 0 RSTE = 1	データ又はハンドシェイク フェーズの最後 TKNE = 0 RSME = 0 RSTE = 0又は1	サスペンド状態 TKNE = 0 RSME = 1 RSTE = 0	
0 μs.	Spec	無視	無視	無視	Spec	リセット又は レジューム
0.5 μs.	SIE	サスペンドタイマカウント 動作継続	EOPとして検出しない。 (この後、EOPを検出しな かった場合、SIEはタイムア ウトし、アイドル状態に戻 る。FEOPEフラグが立つ。)	EOPとして検出しない。 (この後、EOPを検出しな かった場合、SIEはタイムア ウトし、アイドル状態に戻 る。FEOPEフラグが立つ。)		
	F/W	何もしない	何もしない	次のEOPフラグが立つまで 待機		
0.5 μs. 2.5 μs.	Spec	キープアライブ	EOP	EOP	SIE	リセット割り込み 要求
	SIE	サスペンドタイマカウント 値初期化	トークン割り込み要求	EOPフラグをセット		
F/W	何もしない	トークン割り込み処理実行	EOPフラグのセットを確認 し、次の処理へ			
2.5 μs. 2.67 μs.	Spec	キープアライブ又はリセット	EOP又はリセット	EOP又はリセット	F/W	リセット割り込み 処理 レジューム割り込 み処理
	SIE	キープアライブかつリセッ ト割り込みであると判断す る場合がある	EOPかつリセット割り込みで あると判断する場合がある	EOPかつリセット割り込みで あると判断する場合がある		
F/W	割り込み要求がない場合は、 そのままキープアライブ 割り込み要求ありの場合 は、リセット処理	RxPID = 1 > トークン割 り込み処理 RxPID = 0 > リセット割 り込み処理	割り込み要求がない場合 は、そのまま処理を継続 割り込み要求ありの場合 は、リセット処理			
2.67 μs.	Spec	リセット	リセット	リセット		
	SIE	リセット割り込み要求	リセット割り込み要求	リセット割り込み要求		
	F/W	リセット処理	リセット処理	リセット処理		

- USBPID制御レジスタ(002316番地)の機能について

このレジスタのbit4(OUTトークンに対するSTALLハンドシェイク制御)は、以下の特殊な条件では、SIEによって強制的にセットされます。

セット条件: コントロールリード転送のステータスステージにおいて、データパケットのPID = DATA(不正なPID)のとき

- 受信時SYNCフィールドについて

通常SYNCフィールドは、8ビットの"KJKJKJKK"で構成されますが、7534グループのSIEでは、最後の6ビットが"KJKJKK"と一致すれば、SYNCと見なすようにしています。

## シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

## 【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

- ・受信する為に、ビット3に“0”を設定してください。
- ・受信時、シフト終了後にシリアルI/O2レジスタへダミーデータを書き込むことによってビットをクリアします。
- ・ビット7はシフト動作の終了よりシフトクロック半サイクル分早くセットされます。したがって、このビットを使用してシフト終了を確認する場合、このビットが“1”に設定されたことを確認後、クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

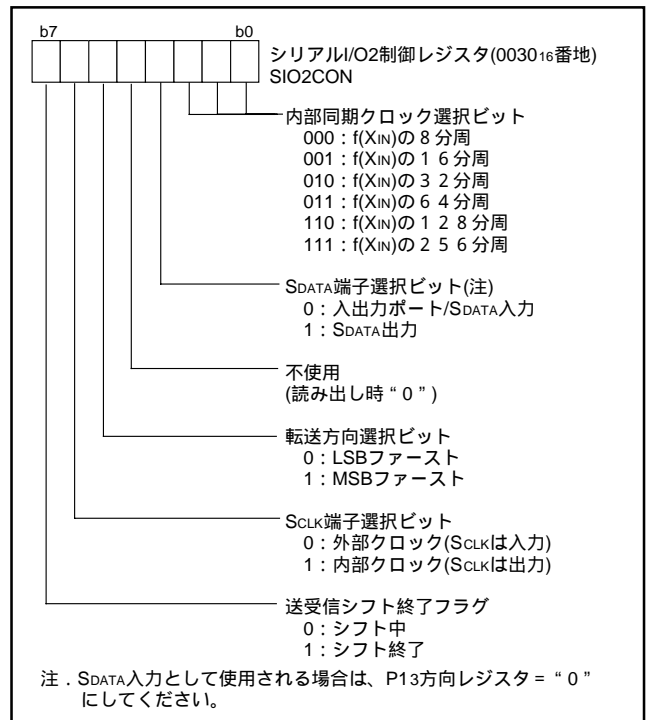


図34. シリアルI/O2制御レジスタの構成

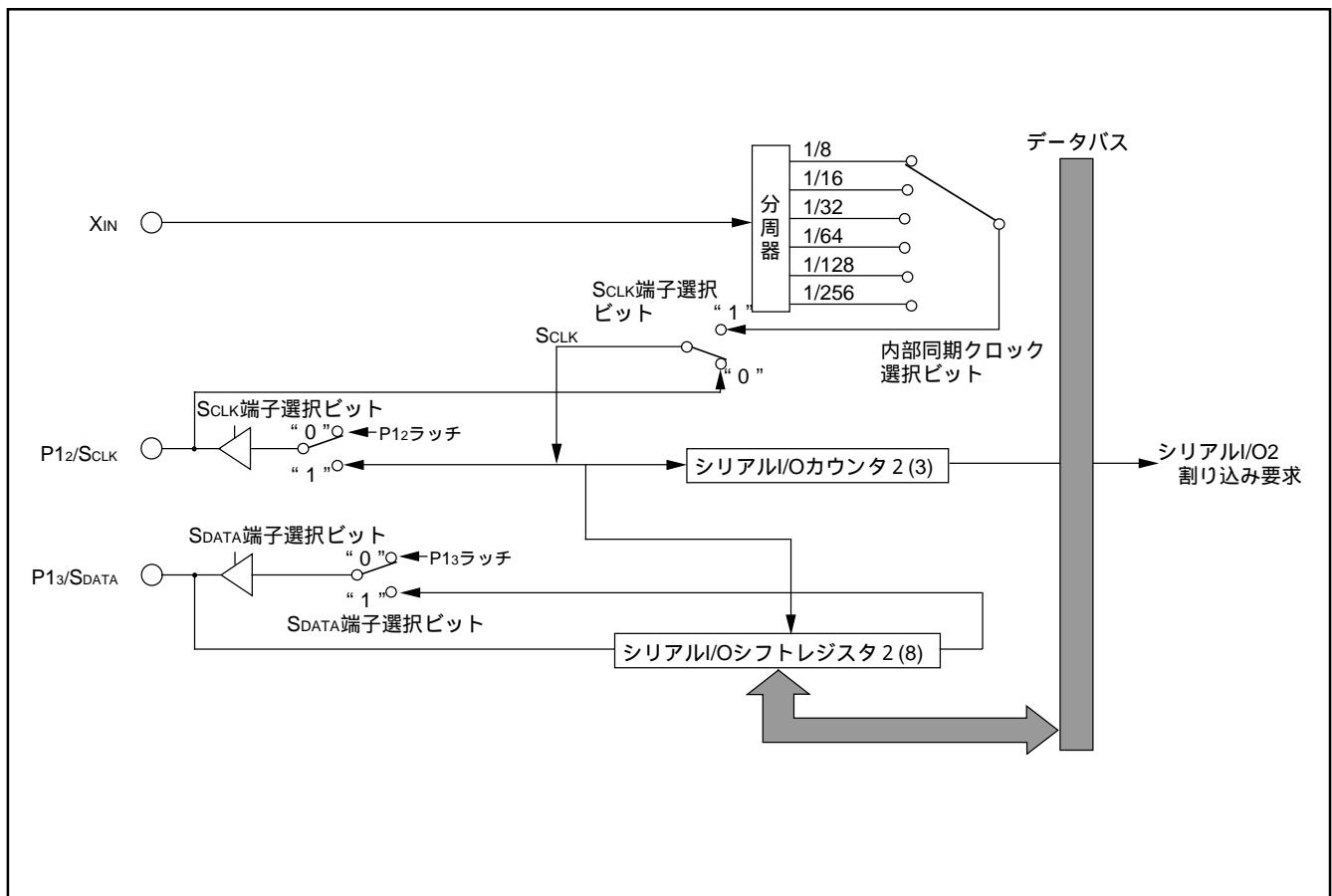


図35. シリアルI/O2ブロック図

## シリアルI/O2の動作

シリアルI/O2レジスタ(003116)に書き込みを行うとシリアルI/O2カウンタが7にセットされます。

書き込み後、転送クロックがHからLに変化すると、SDATA端子からデータが出力されます。また、転送クロックがLからHに変化するとSDATA端子からデータが取り込まれると同時にシリアルI/O2レジスタの内容が1ビットシフトされます。

転送クロック源に内部クロックを選択している場合、転送クロックを8回カウントすると次のような動作が行われます。

- ・シリアルI/Oカウンタは0にクリア。
- ・転送クロックはHで停止。
- ・割り込み要求ビットがセット。
- ・シフト終了フラグがセット。

また、データ転送終了後SDATA端子がハイインピーダンス状態になります(図36参照)。

転送クロック源に外部クロックを選択している場合、転送クロックを8回カウントすると割り込み要求ビットはセットされますが、転送クロックは停止しませんので、外部でクロックを制御してください。また、データ転送完了後はSDATA端子はハイインピーダンス状態になりませんので注意が必要です。

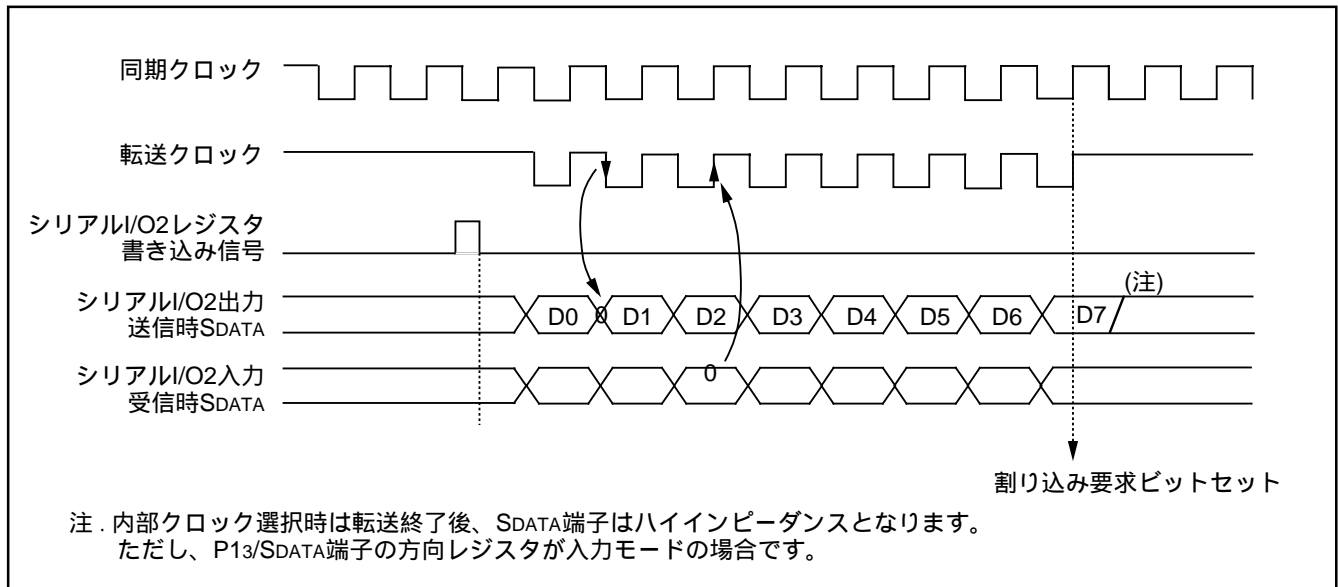


図36. シリアルI/O2タイミング(LSBファーストの場合)

## A/Dコンバータ

## 【A/D変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。  
A/D変換中はこのレジスタを読み出さないでください。

## 【A/D制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

## 【比較電圧発生器】

VSSとVREFの間の電圧を抵抗ラダーによって1024分割し分圧出力します。A/D変換中以外は、VREF端子とVSS端子から切り離されるため、抵抗ラダーに電流は流れません。

## 【チャンネルセレクト】

ポートP27/AN7～P20/AN0より1本を選択し、コンパレータに入力します。

## 【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は(XIN)を500kHz以上にしてください。

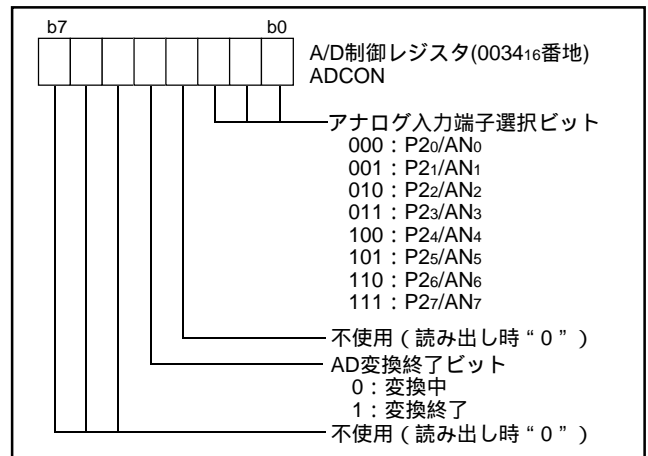


図37. A/D制御レジスタの構成

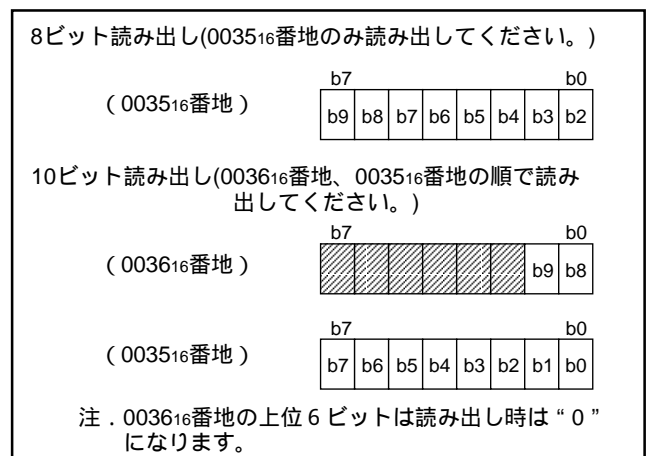


図38. A/D変換レジスタの構成

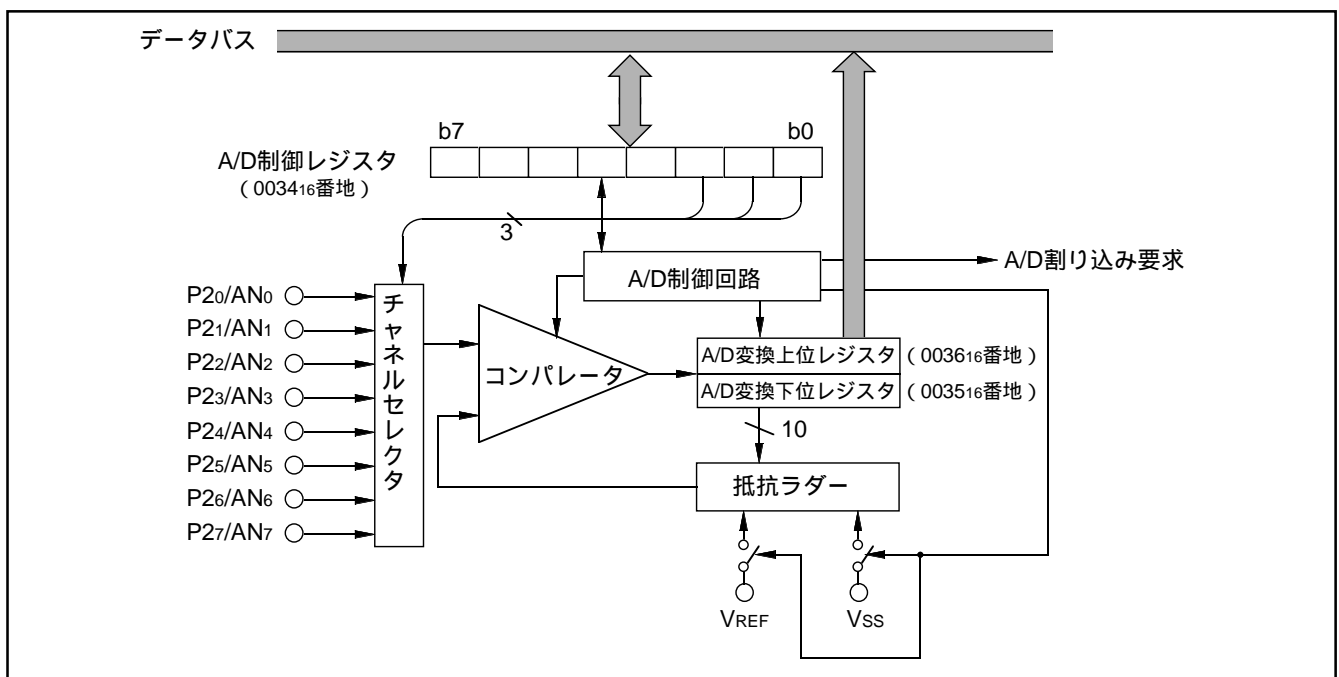


図39. A/D変換器ブロック図

## ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

### ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

### (1) ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)への書き込みによりウォッチドッグタイマHは“FF<sub>16</sub>”に、ウォッチドッグタイマLは“FF<sub>16</sub>”に設定されます。

### (2) ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(X_{IN})=6\text{MHz}$ 時174.763msになります。

このビットが“1”の場合、カウントソースは $f(X_{IN})$ の16分周信号となります。この場合の検出時間は $f(X_{IN})=6\text{MHz}$ 時683 $\mu\text{s}$ になります。

このビットはリセット後“0”になります。

### (3) STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き替えることはできなくなります。

このビットはリセット後“0”になります。

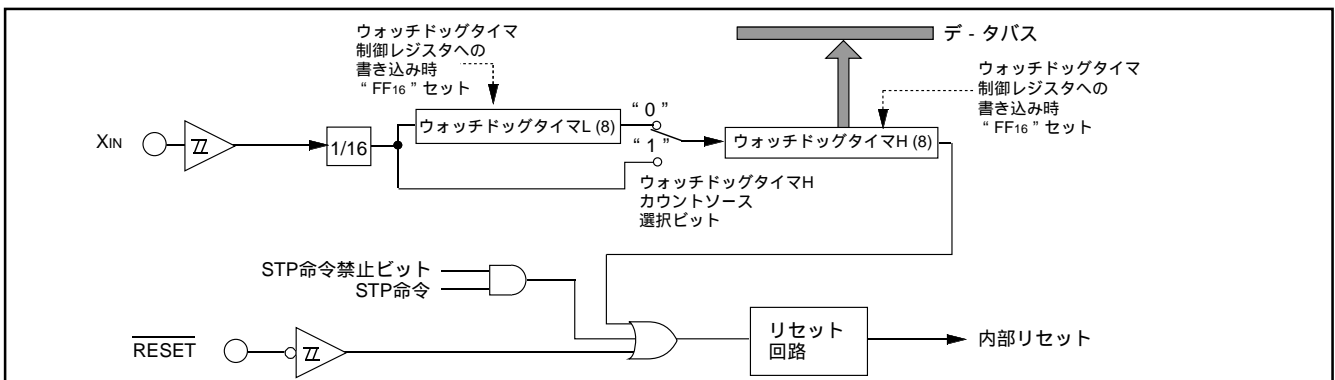


図40. ウォッチドッグタイマのブロック図

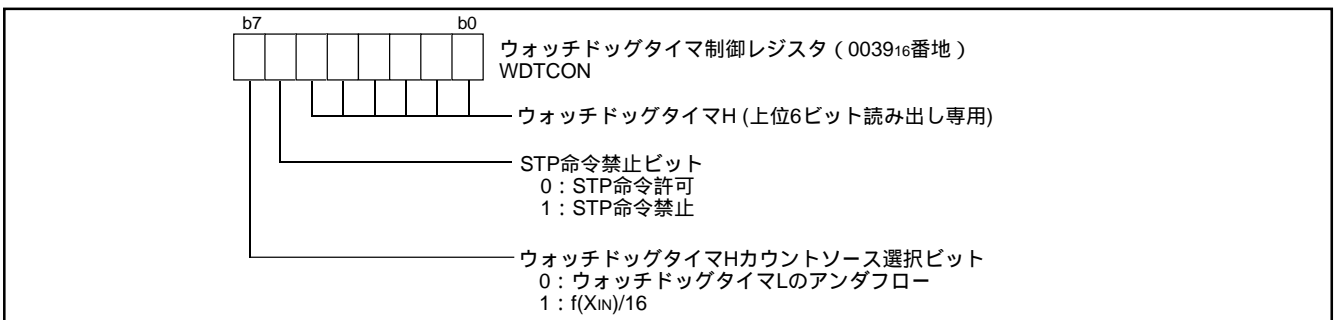


図41. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が4.1~5.5Vにあり、XINが安定発振しているとき、RESET端子を15μs以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が4.1Vを通過する時点で0.82V以下になるようにしてください。

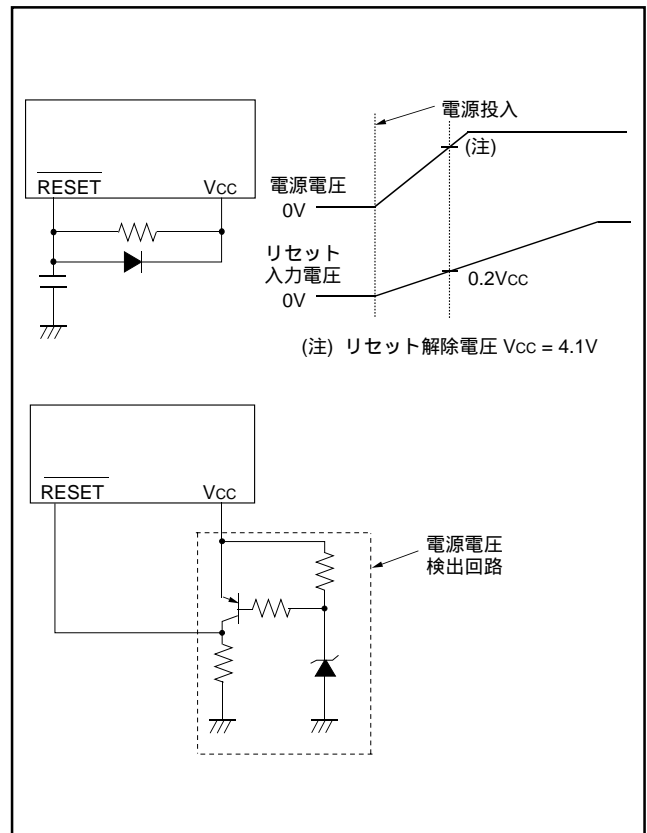


図42 . リセット回路例

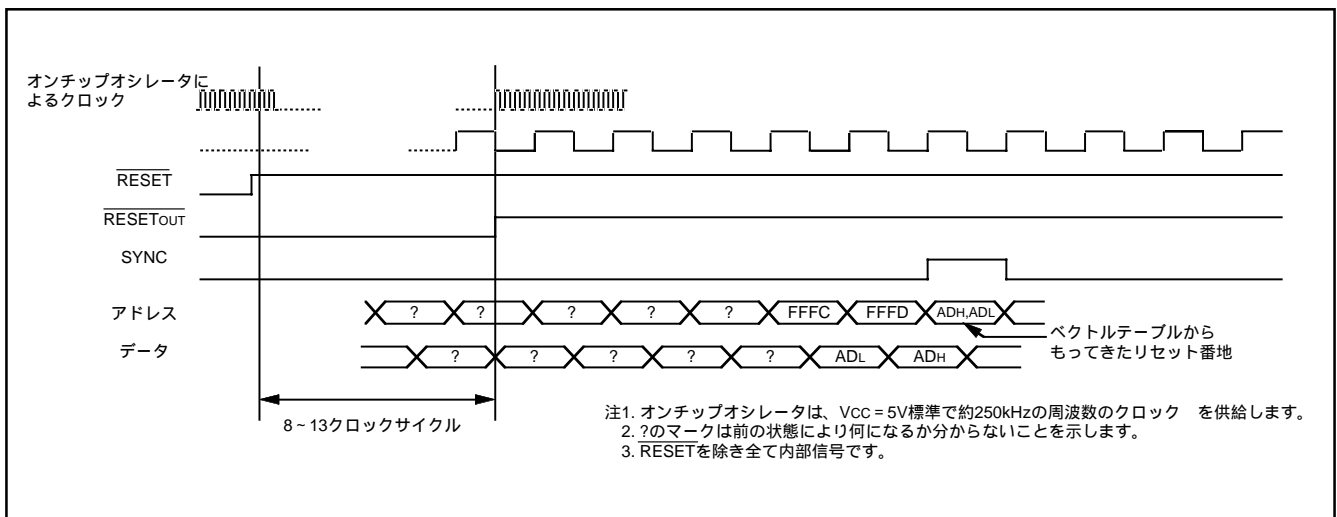


図43 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	000116	0016
(2) ポートP1方向レジスタ	000316	x 0 0 0 0 0 0 0
(3) ポートP2方向レジスタ	000516	0016
(4) ポートP3方向レジスタ	000716	0016
(5) ポートP4方向レジスタ	000916	x x x x x x 0 0
(6) プルアップ制御レジスタ	001616	FF16
(7) USB/UARTステータスレジスタ	001916	1 0 0 0 0 0 0 1
(8) シリアルI/O1制御レジスタ	001A16	0216
(9) UART制御レジスタ	001B16	1 1 1 0 0 0 0 0
(10) USBデータトグル同期確認レジスタ	001D16	0 1 1 1 1 1 1 1
(11) USB割り込み要因判別レジスタ1	001E16	0 1 1 1 1 1 1 1
(12) USB割り込み要因判別レジスタ2	001F16	0 1 1 1 0 0 1 1
(13) USB割り込み制御レジスタ	002016	0 0 0 0 0 1 1 1
(14) USB送信データバイト数設定レジスタ0	002116	0016
(15) USB送信データバイト数設定レジスタ1	002216	0016
(16) USBPID制御レジスタ0	002316	0 0 0 0 0 1 1 1
(17) USBPID制御レジスタ1	002416	0 0 1 1 1 1 1 1
(18) USBアドレスレジスタ	002516	1 0 0 0 0 0 0 0
(19) USBシーケンスビット初期化レジスタ	002616	1 1 1 1 1 1 1 1
(20) USB制御レジスタ	002716	0 0 1 1 1 1 1 1
(21) プリスケアラ12	002816	FF16
(22) タイマ1	002916	0116
(23) タイマ2	002A16	0016
(24) タイマXモードレジスタ	002B16	0016
(25) プリスケアラX	002C16	FF16
(26) タイマX	002D16	FF16
(27) タイマカウントソース設定レジスタ	002E16	0016
(28) シリアルI/O2制御レジスタ	003016	0016
(29) A/D制御レジスタ	003416	1016
(30) MISRG	003816	0016
(31) ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1
(32) 割り込みエッジ選択レジスタ	003A16	0016
(33) CPUモードレジスタ	003B16	1 0 0 0 0 0 0 0
(34) 割り込み要求レジスタ1	003C16	0016
(35) 割り込み制御レジスタ1	003E16	0016
(36) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(37) プログラムカウンタ	(PCH)	FFFD16番地の内容
	(PCL)	FFFC16番地の内容

注． x は不定です。

図44．リセット時の内部状態



### クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

### 発振制御

#### (1)ストップモード

STP命令を実行すると内部クロックが $\text{H}$ の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが $0$ のとき、タイマ1には $01_{16}$ 、プリスケアラ12には $FF_{16}$ が設定されます。一方、STP命令解除後発振安定時間設定ビットが $1$ のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで $\text{H}$ のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に $\text{L}$ レベルを印加してください。

#### (2)ウェイトモード

WIT命令を実行すると、内部クロックが $\text{H}$ の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを $1$ にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを $0$ にしてください。

### 注意事項

STP命令解除後発振安定時間設定ビットを $1$ で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

### クロックモード

リセット解除後は、オンチップオシレータにより動作を始めます。解除後、CPUモードレジスタのビット7とビット6を設定し、1/1、1/2、1/8のいずれかの分周モードを選択してください。

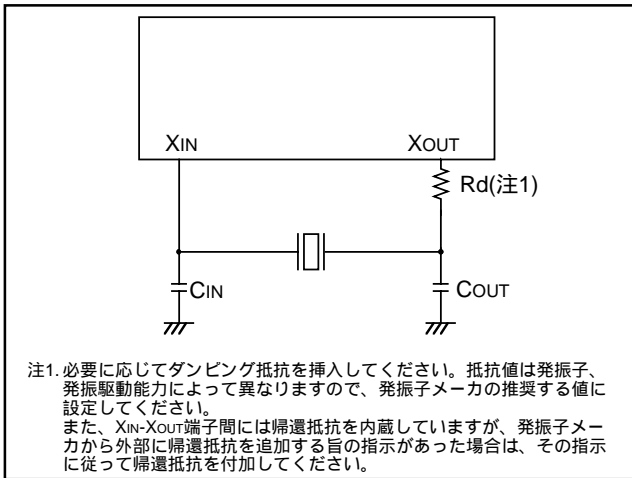


図45．セラミック共振子外付け回路

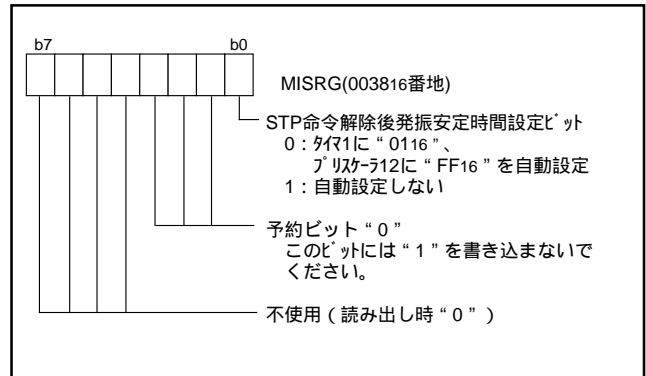


図47．MISRの構成

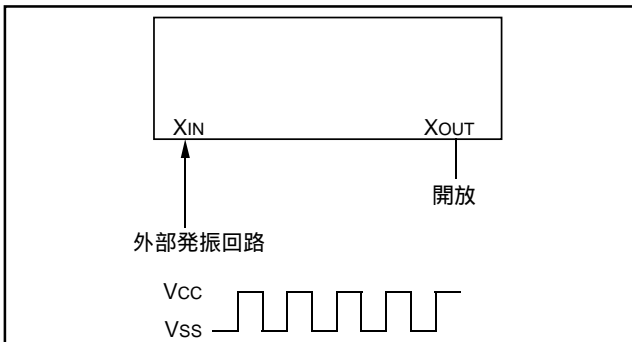


図46．外部クロック入力回路

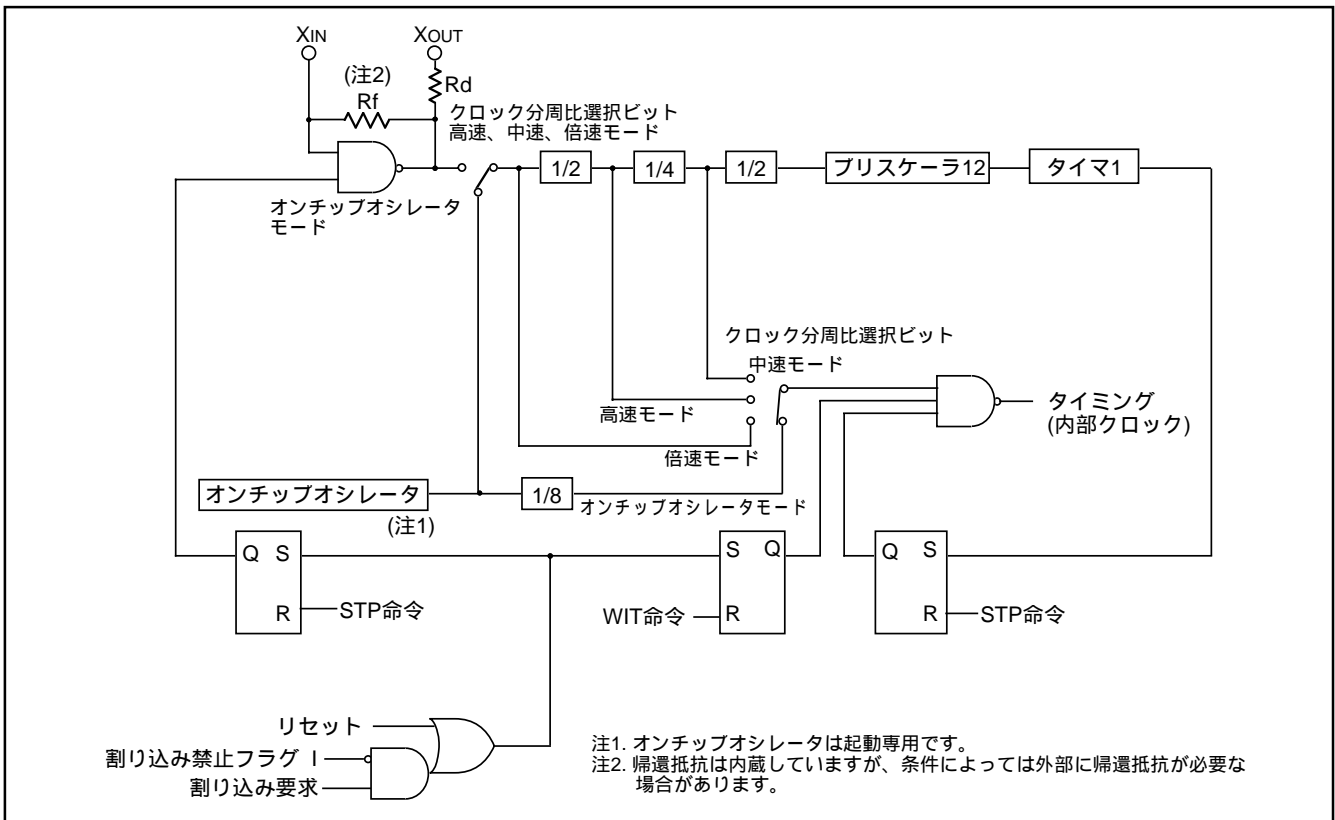


図48．システムクロック発生回路ブロック図(セラミック発振時)

## プログラミング上の注意事項

### プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

### 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

### 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを"1"に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

### タイマに関するもの

- ・タイマラッチに値 $n$ (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマXのカウントソースを切り替える場合は、必ずタイマXのカウントを停止させた状態で行ってください。

### ポートに関するもの

- ・ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。
- ・36ピン版では、ポートP3方向レジスタ及びポートP3レジスタのビット6には必ず"1"を書き込んでください。
- ・32ピン版では、ポートP3方向レジスタ及びポートP3レジスタのビット5、6、7には必ず"1"を書き込んでください。

### A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は $f(XIN)$ を500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

### ウォッチドッグタイマに関するもの

ウォッチドッグタイマのアンダフローのタイミングにより、内部リセットが正常に動作しない場合があります。

ウォッチドッグタイマをご使用される場合には、中速モード以外をご使用ください。

高速モード、低速モード、倍速モードでの動作は問題ありません。

### 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時 $XIN$ と同一、高速モード時は $XIN$ 周期の2倍、中速モード時は $XIN$ 周期の8倍です。

### スタックページに関するもの

スタックページビットにより1ページをスタックとして使用される場合は、RAM容量に応じてスタックとして使用できる領域が異なります。特に、マスクROM版とワンタイムPROM版、エミュレータ専用MCUとでRAM容量が異なることにご注意ください。

## 使用上の注意事項

### 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは1.0 $\mu$ Fの電解系又はセラミック系コンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

### USBVREFOUT端子の取扱いに関する注意事項

ノイズ等外部からの影響によってUSBVREFOUT出力が不安定になることを防止するため、USBVREFOUT端子とGND端子(Vss端子)との間にバイパスコンデンサを付加してください。バイパスコンデンサは、0.22 $\mu$ Fの電解又はセラミックコンデンサを推奨します。

### USB通信に関する注意事項

- ・通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。
- ・P10, P12, P13ポート入力レベルをTTLレベル(001716番地のビット2「P10, P12, P13入力レベル選択ビット」を「1」にセット)にし、かつUSB機能をご使用になる組み合わせのときに、USBサスペンド時の消費電流Iccが規格300 $\mu$ Aを超える場合があります。

#### 【回避策】

以下のソフトウェアによる対策のいずれかにより回避することが可能です。

- (1) P10, P12, P13入力レベルをCMOSレベルとしてご使用いただく。
- (2) 図49のフローのとおり、サスペンド処理時マイコン停止の前に、P10, P12, P13ポート入力レベルをCMOSレベルに一旦変更し、RESUMEまたは外部割り込みによるリモートウェイクアップの復帰処理後にP10, P12, P13ポート入力レベルをTTLレベルに戻す。

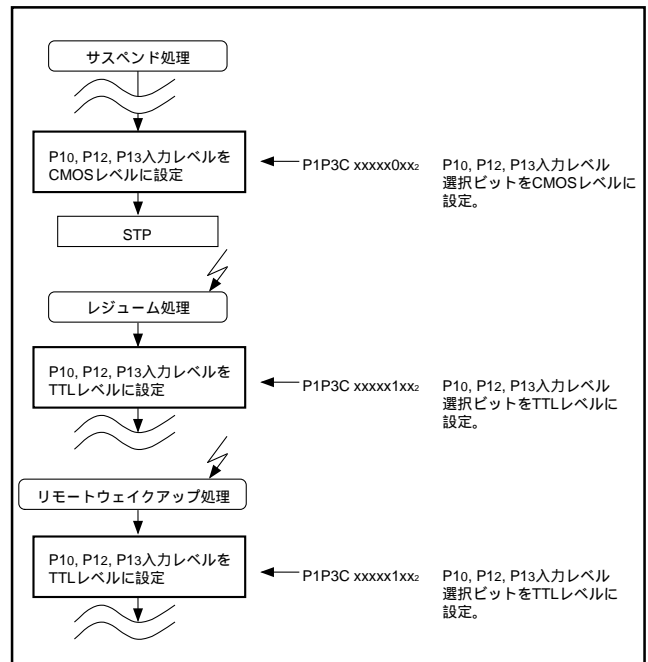


図49 . 回避策(2)のフローチャート

### ワンタイムPROM版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k $\Omega$ の抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

### ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンとの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

### 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

## A/Dコンバータに関する注意事項

A/Dコンバータを安定にご使用いただくための補足情報に次があります。

- (1) USB HOST側からバスパワー<sup>(\*)</sup>を得るシステムで、USB通信中にA/D変換の精度が安定しない場合があります。そこで、より安定したA/D変換精度を得るためのポイントとして、Vref Vss端子間に図50のように部品を取り付けることで、より安定した精度が期待できます。

(\*) : USBケーブル経由でPCからの電源を使用する方法

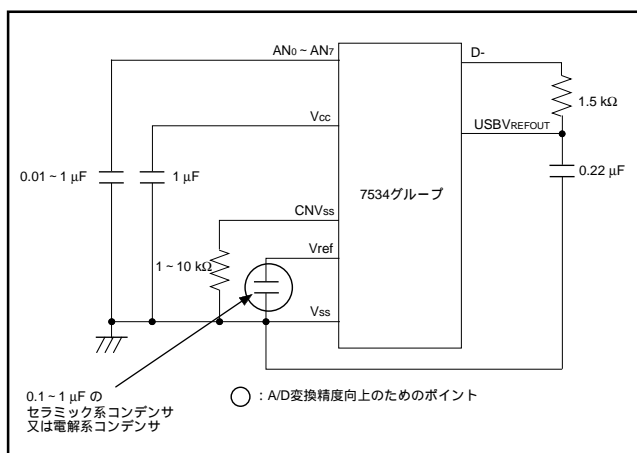


図50 . A/D変換精度向上のためのポイント

- (2) ファームウェア上で以下の2点を実施することで、さらに精度向上が期待できます。

USB通信とA/D変換のタイミングが重ならないように設定する。

複数回変換を行い、平均化処理を行う。

## マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書
  - ・マーク指定書
  - ・ROMのデータ
- ..... EPROM 3セットまたはフロッピーディスク

\*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com>)「ROM発注」を参照してください。

## ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表8 . 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
PLQP0032GB-A	PCA7435GPG03
PRSP0036GA-A	PCA7435FP, PCA7435FPG02
PRDP0042BA-A	PCA7435SP, PCA7435SPG02

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図51に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

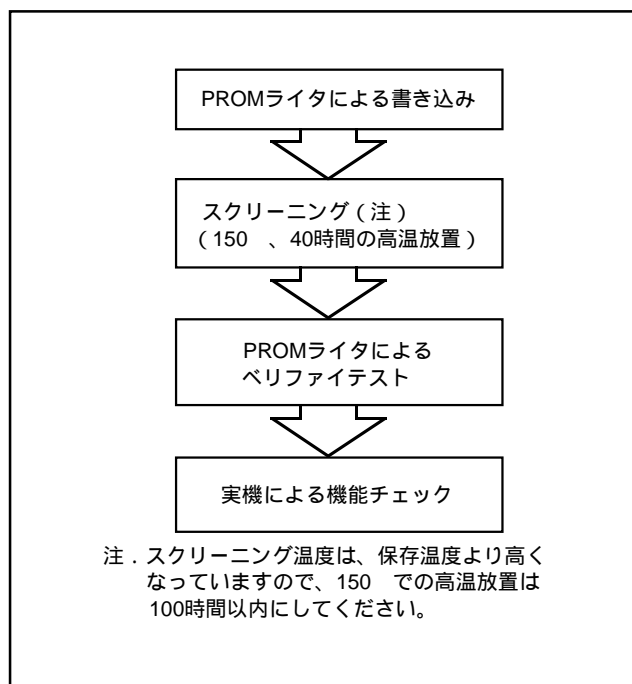


図51 . ワンタイムPROM版書き込みとテスト

## 7534グループのUSB機能改善ポイントの詳細

表9 . 7534グループのUSB機能改善ポイントの詳細

番号	項目	7532/7536グループ	7534グループ
1	コントロール転送時の応答	複数のデバイスに対して並列にコントロール転送を処理するホストに未対応	並列のコントロール転送に対しても接続可能
2	D+/D-トランシーバ回路	負荷条件 $CL=150 \sim 350pF$ の限定条件でのみ対応	Low-Speed USB2.0仕様の負荷条件に対応 $CL=200 \sim 450pF$ でTrise, Tfall: 75ns ~ 300ns, Tr/Tf: 80% ~ 125%, Cross over Voltage: 1.3 ~ 2.0V
3	サスペンド時の電源電流低減	従来の規格は、USBVREFOUTの出力電流を含まずに、最大300 $\mu A$	3.3Vレギュレータ電流とD+/D-入力回路の低消費化により、USBVREFOUT出力電流を含んで、300 $\mu A$
4	ステータスステージでのSTALL	ステータスステージで無効なはずのOUT (DATA0)に対して一旦ACKを返してしまう	ステータスステージでOUT (DATA0)を受信するとハードウェアで自動的にSTALL発行
5	SYNCフィールドデコード6ビット化	8ビットフルコード(8016)が揃う場合のみSYNCを検出	先頭の2ビットが異常な信号であっても残りの6ビットのみでSYNCを検出

## 32ピン版, 36ピン版, 42ピン版の相違点

7534グループでは、3つのパッケージタイプがあり、I/Oポート数が異なります。I/Oポート以外に機能を持っているポートが削減されている場合、その機能についても併せて削減されていますので注意してください。

表10にI/Oポートにおける相違点を示します。

表10 . 32ピン版, 36ピン版, 42ピン版の相違点(I/Oポート)

I/Oポート	42ピンSDIP	36ピンSSOP	32ピンLQFP
ポートP1	P10 ~ P16の7ビット構成	P10 ~ P14の5ビット構成	P10 ~ P14の5ビット構成
ポートP2	P20 ~ P27の8ビット構成 (A/D変換器8チャンネル)	P20 ~ P27の8ビット構成 (A/D変換器8チャンネル)	P20 ~ P25の6ビット構成 (A/D変換器6チャンネル)
ポートP3	P30 ~ P37の8ビット構成 (INT0、INT1の使用可能)	P30 ~ P35、P37の7ビット構成 (INT0のみ使用可能)	P30 ~ P34の5ビット構成 (INT機能なし)
ポートP4	P40、P41の2ビット構成	ポートなし	ポートなし

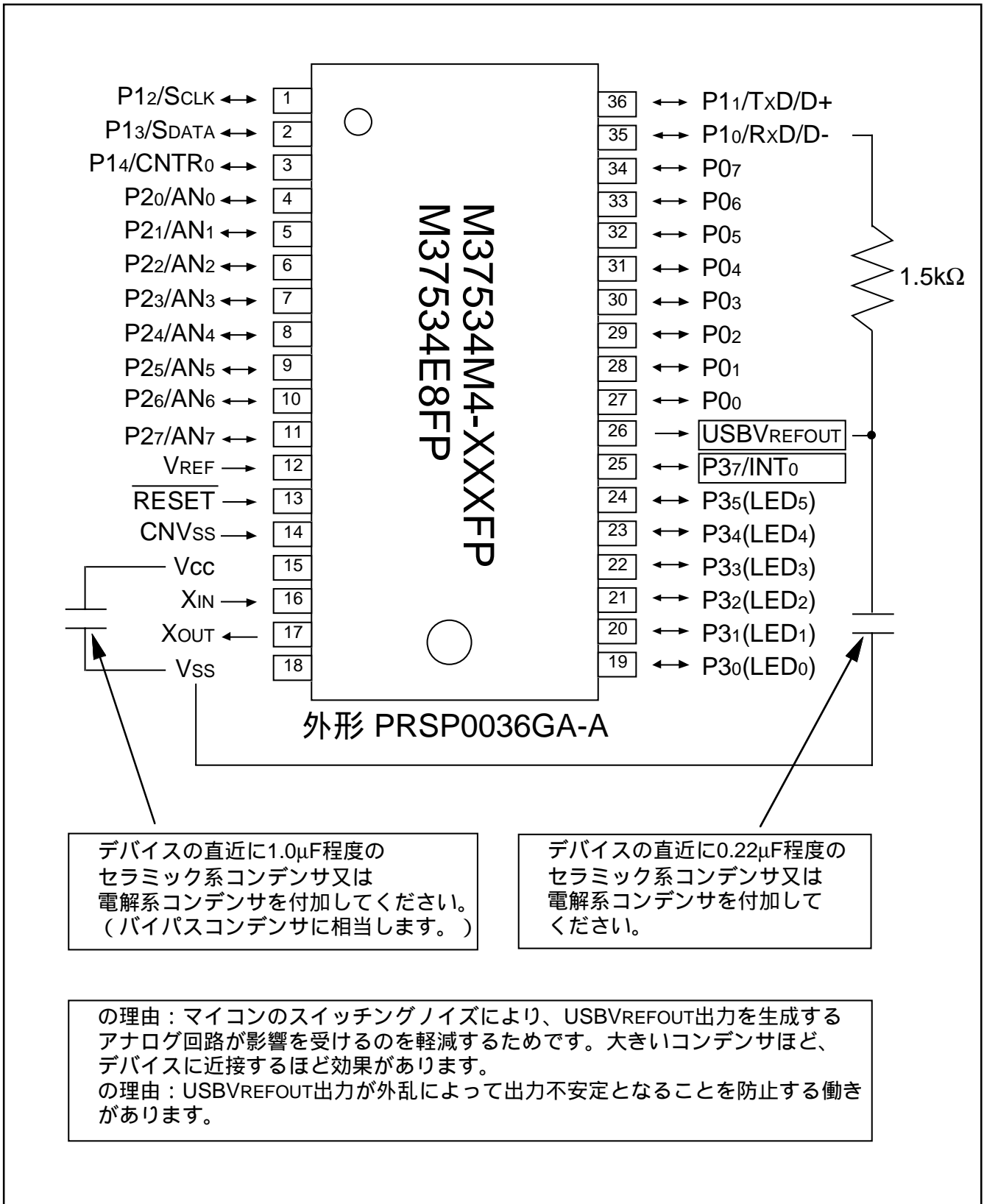
また、I/Oポートにおける相違に伴い、各SFRの使用方法及び機能定義にも相違点がありますので、注意してください。

表11にSFRにおける相違点を示します。

表11 . 32ピン版, 36ピン版, 42ピン版の相違点(SFR)

レジスタ名 (アドレス)	42ピンSDIP	36ピンSSOP	32ピンLQFP
ポートP1/方向 (0216/0316番地)	ビット7使用不可	ビット5～7使用不可	ビット5～7使用不可
ポートP2/方向 (0416/0516番地)	全ビット使用可能	全ビット使用可能	ビット6、7使用不可
ポートP3/方向 (0616/0716番地)	全ビット使用可能	ビット6使用不可	ビット5～7使用不可
ポートP4/方向 (0816/0916番地)	ビット2～7使用不可	全ビット使用不可	全ビット使用不可
プルアップ制御 (1616番地)	ビット6定義 “ P35、P36プルアップ制御 ” ビット7定義 “ P37プルアップ制御 ”	ビット6定義 “ P35プルアップ制御 ” ビット7定義 “ P37プルアップ制御 ”	ビット6、7使用不可
ポートP1P3制御 (1716番地)	ビット0定義 “ P37/INT0入力レベル選択 ” ビット1定義 “ P36/INT1入力レベル選択 ”	ビット0定義 “ P37/INT0入力レベル選択 ” ビット1使用不可	ビット0、1使用不可
A/D制御 (3416番地)	ビット0～2定義 “ 000～111で入力端子選択 ”	ビット0～2定義 “ 000～111で入力端子選択 ”	ビット0～2定義 “ 000～101で入力端子選択 ”
割り込みエッジ 選択 (3A16番地)	ビット0定義 “ INT0割り込みエッジ選択 ” ビット1定義 “ INT1割り込みエッジ選択 ” ビット4定義 “ シリアルI/O1、INT1割り込み選択 ”	ビット0定義 “ INT0割り込みエッジ選択 ” ビット1、4使用不可	ビット0、1、4使用不可
割り込み要求 (3C16番地)	ビット1定義 “ UART送信、USB(IN除)、INT1 ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2使用不可
割り込み制御 (3E16番地)	ビット1定義 “ UART送信、USB(IN除)、INT1 ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2使用不可

USB機能を安定にご使用いただくための補足情報



デバイスの直近に1.0 $\mu$ F程度のセラミック系コンデンサ又は電解系コンデンサを付加してください。(バイパスコンデンサに相当します。)

デバイスの直近に0.22 $\mu$ F程度のセラミック系コンデンサ又は電解系コンデンサを付加してください。

の理由：マイコンのスイッチングノイズにより、USBVREFOUT出力を生成するアナログ回路が影響を受けるのを軽減するためです。大きいコンデンサほど、デバイスに近接するほど効果があります。  
 の理由：USBVREFOUT出力が外乱によって出力不安定となることを防止する働きがあります。

図52 . M37534M4-XXXXFP、M37534E8FP VCC、USBVREFOUT端子の取扱い



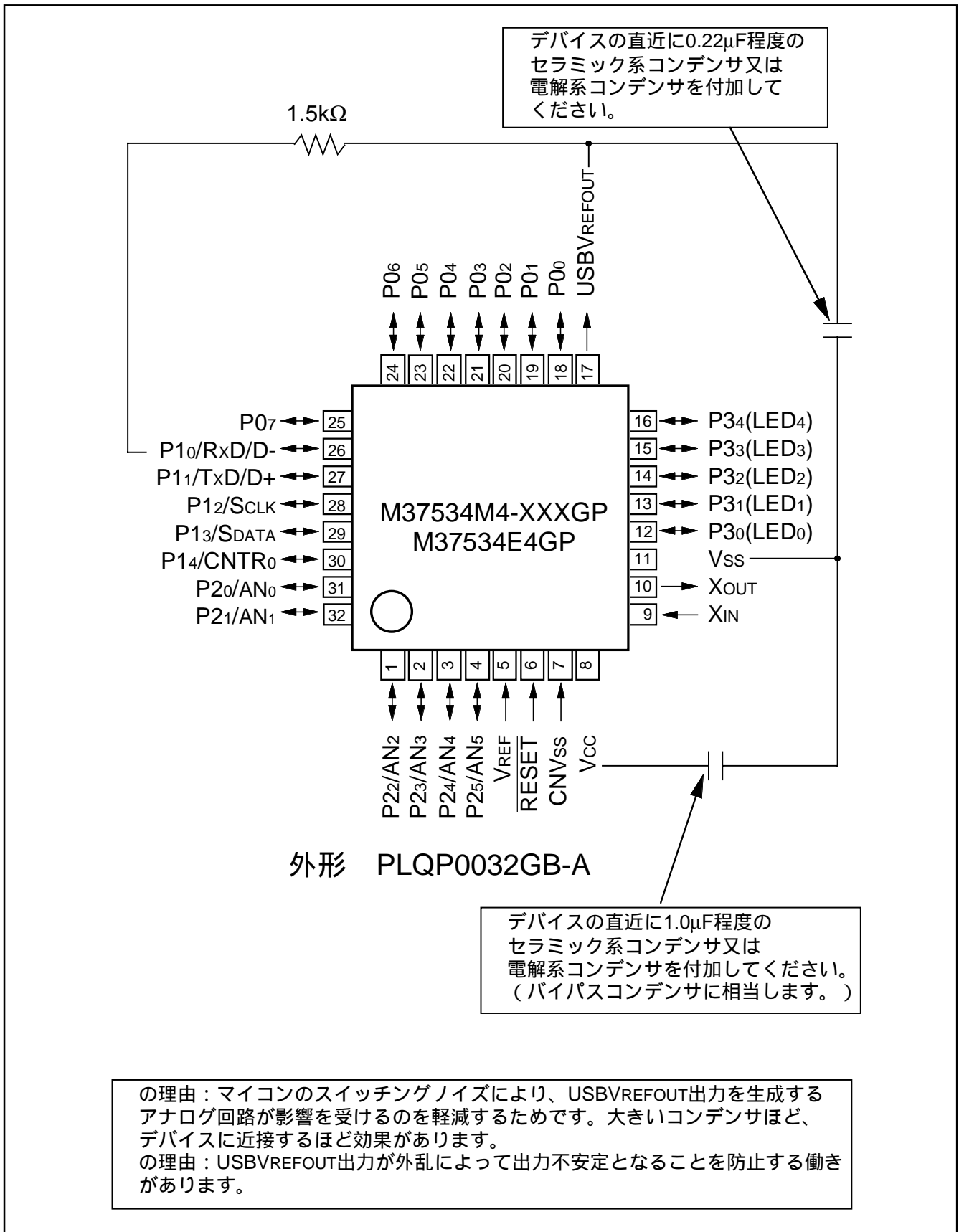


図53 . M37534M4-XXXGP、M37534E4GP VCC、USBVREFOUT端子の取扱い

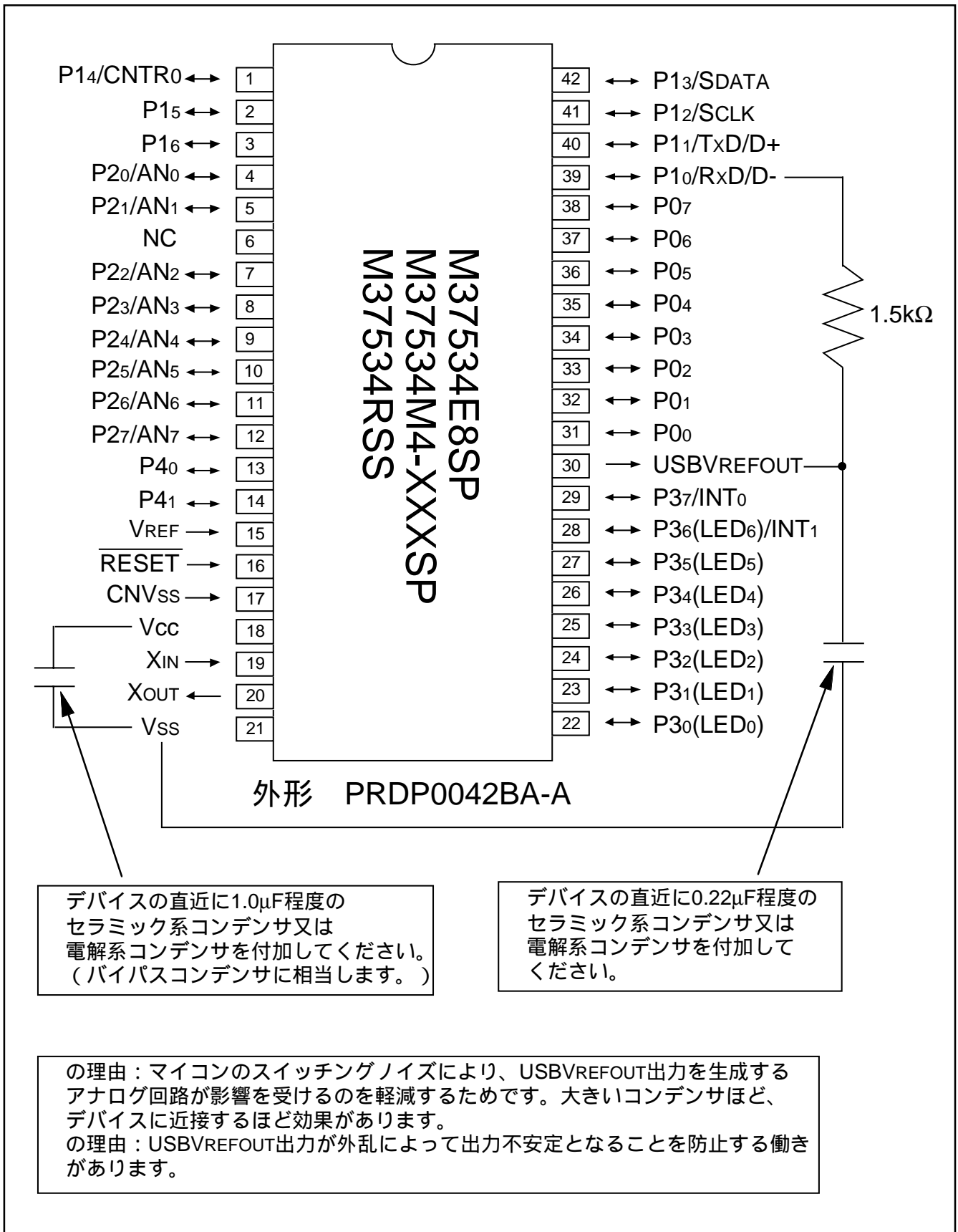


図54 . M37534E8SP、M37534M4-XXXSP、M37534RSS Vcc、USBVREFOUT端子の取扱い

## 電気的特性

## 絶対最大定格

表12．絶対最大定格

記号	項 目	条 件	定 格 値	単 位
V <sub>CC</sub>	電源電圧		- 0.3 ~ 7.0	V
V <sub>I</sub>	入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, VREF, P40, P41	V <sub>SS</sub> 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 RESET, XIN		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 CNVs(注1)		- 0.3 ~ 13	V
V <sub>O</sub>	出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, XOUT, USBVREFOUT, P40, P41		- 0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力(注2)		T <sub>a</sub> = 25	100(注3)
T <sub>opr</sub>	動作周囲温度		- 20 ~ 85	
T <sub>stg</sub>	保存温度		- 40 ~ 125	

注1．ワンタイムPROM版のみの定格です。マスクROM版では、V<sub>SS</sub>に接続してください。

2．この定格値はパッケージに依存します。

3．42ピン版の消費電力値です。36ピン版は300mW、32ピン版は200mWです。

## 推奨動作条件

表13. 推奨動作条件(1)(指定のない場合, Vcc = 4.1 ~ 5.5V, Ta = -20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧	6MHz動作時			V
VSS	電源電圧	4.1	5.0	5.5	V
VREF	アナログ基準電圧	0		Vcc	V
VIH	"H"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	0.8Vcc		Vcc	V
VIH	"H"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37	2.0		Vcc	V
VIH	"H"入力電圧 RESET, XIN	0.8Vcc		Vcc	V
VIH	"H"入力電圧 D+, D-	2.0		3.6	V
VIL	"L"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	0		0.3Vcc	V
VIL	"L"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37	0		0.8	V
VIL	"L"入力電圧 RESET, CNVss	0		0.2Vcc	V
VIL	"L"入力電圧 D+, D-	0		0.8	V
VIL	"L"入力電圧 XIN	0		0.16Vcc	V
IOH(peak)	"H"出力総尖頭電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 80	mA
IOL(peak)	"L"出力総尖頭電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			80	mA
IOL(peak)	"L"出力総尖頭電流(注1) P30 ~ P36			60	mA
IOH(avg)	"H"出力総平均電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 40	mA
IOL(avg)	"L"出力総平均電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			40	mA
IOL(avg)	"L"出力総平均電流(注1) P30 ~ P36			30	mA
IOH(peak)	"H"出力尖頭電流(注2) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 10	mA
IOL(peak)	"L"出力尖頭電流(注2) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			10	mA
IOL(peak)	"L"出力尖頭電流(注2) P30 ~ P36			30	mA
IOH(avg)	"H"出力平均電流(注3) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 5	mA
IOL(avg)	"L"出力平均電流(注3) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			5	mA
IOL(avg)	"L"出力平均電流(注3) P30 ~ P36			15	mA
f(XIN)	発振周波数(注4) セラミック発振又は外部クロック入力時 (Vcc=4.1 ~ 5.5V)倍速モード			6	MHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 平均出力電流IOL(avg), IOH(avg)は100msの期間での平均値です。

4. 発振周波数はデューティ50%の場合です。

## 電気的特性

表14．電気的特性 ( 1 ) ( 指定のない場合は、VCC = 4.1 ~ 5.5V, VSS = 0V, Ta = - 20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37(注1) P40, P41	IOH = - 5mA VCC = 4.1 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 4.1 ~ 5.5V	VCC - 1.0			V
VOH	“H”出力電圧 D+, D-	VCC = 4.4 ~ 5.25V D+,D-共に、15 k ±5% 抵抗を介してプルダウン D-については、 USBVREFOUTにより、1.5 k ±5%抵抗を介してプ ルアップ(Ta=0 ~ 70 )	2.8		3.6	V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41	IOI = 5mA VCC = 4.1 ~ 5.5V			1.5	V
		IOI = 1.5mA VCC = 4.1 ~ 5.5V			0.3	V
VOL	“L”出力電圧 D+, D-	VCC = 4.4 ~ 5.25V D+,D-共に、15 k ±5% 抵抗を介してプルダウン D-については、 USBVREFOUTにより、1.5 k ±5%抵抗を介してプ ルアップ(Ta=0 ~ 70 )			0.3	V
VOL	“L”出力電圧 P30 ~ P36	IOI = 15mA VCC = 4.1 ~ 5.5V			2.0	V
		IOI = 1.5mA VCC = 4.1 ~ 5.5V			0.3	V
VT+ - VT-	ヒステリシス D+, D-			0.15		V
VT+ - VT-	ヒステリシス CNTR0, INT0, INT1(注2) P00 ~ P07(注3)			0.4		V
VT+ - VT-	ヒステリシス RxD, SCLK, SDATA(注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	Vi = VCC (端子はフローティングブ ルアップトランジスタは 切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	Vi = VSS (端子はフローティングブ ルアップトランジスタは 切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

注1．P11に関しては、UART制御レジスタのPチャンネル出力禁止ビット(001B16番地のビット4)が0の場合です。

2．RxD, SCLK, SDATA, INT0, INT1については、ポートP1P3制御レジスタのビット0, 1, 2が0 (CMOSレベル)の時のみヒステリシスを持ちます。

3．キーオンウェイクアップ動作時のみです。

表15．電氣的特性( 2 ) ( 指定のない場合は,  $V_{CC} = 4.1 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流	f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		6	10	mA	
		f(XIN) = 6MHz, WIT命令実行時 出力トランジスタは遮断状態		1.6	3.2	mA	
		A/D変換器動作時の増量 f(XIN) = 6MHz, V <sub>CC</sub> = 5V		0.8		mA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態	T <sub>a</sub> = 25		0.1	1.0	μA
			T <sub>a</sub> = 85			10	μA
V <sub>CC</sub> = 4.4 ~ 5.25V 発振停止でUSBモード時 USB(サスペンド時) (プルアップ抵抗出力分含む) (図3.1.1)	T <sub>a</sub> = 0 ~ 70			300	μA		

## A/Dコンバータ特性

表16．A/Dコンバータ特性( 指定のない場合は,  $V_{CC} = 4.1 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
———	分解能				10	bits
———	直線性誤差	T <sub>a</sub> = 25, V <sub>CC</sub> = 4.1 ~ 5.5V			±3	LSB
———	微分非直線性誤差	T <sub>a</sub> = 25, V <sub>CC</sub> = 4.1 ~ 5.5V			±0.9	LSB
VOT	ゼロトランジション 電圧	V <sub>CC</sub> = V <sub>REF</sub> = 5.12V	0	5	20	mV
VFST	フルスケールトランジ ション電圧	V <sub>CC</sub> = V <sub>REF</sub> = 5.12V	5105	5115	5125	mV
tCONV	変換時間				122	t <sub>C</sub> (XIN)
RLADDER	ラダー抵抗			55		k
I <sub>VREF</sub>	基準電源入力電流	V <sub>REF</sub> = 5.0V	50	150	200	μA
		V <sub>REF</sub> = 3.0V	30	70	120	
I <sub>I(AD)</sub>	A/Dポート入力電流				5.0	μA

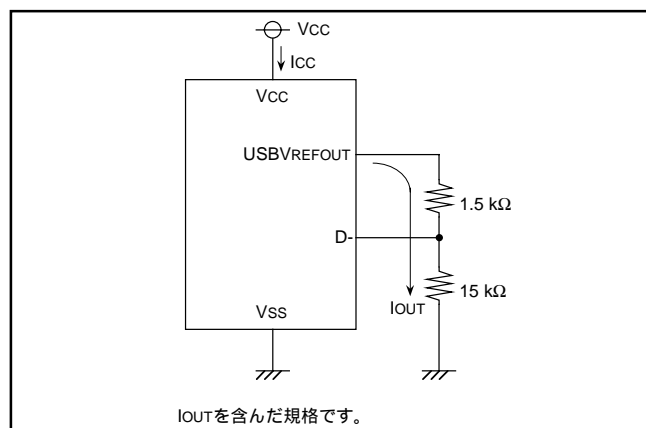


図55．発振停止でUSBモード時の電源電流測定回路図

## タイミング必要条件

表17. タイミング必要条件(指定のない場合は,  $V_{CC} = 4.1 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 L ンパルス幅	15			$\mu s$
tc(XIN)	外部クロック入力サイクル時間	166			ns
tWH(XIN)	外部クロック入力 H ンパルス幅	70			ns
tWL(XIN)	外部クロック入力 L ンパルス幅	70			ns
tc(CNTR)	CNTR <sub>0</sub> 入力サイクル時間	200			ns
tWH(CNTR)	CNTR <sub>0</sub> , INT <sub>0</sub> , INT <sub>1</sub> 入力 H ンパルス幅	80			ns
tWL(CNTR)	CNTR <sub>0</sub> , INT <sub>0</sub> , INT <sub>1</sub> 入力 L ンパルス幅	80			ns
tc(SCLK)	シリアル/O <sub>2</sub> クロック入力サイクル時間	1000			ns
tWH(SCLK)	シリアル/O <sub>2</sub> クロック入力 H ンパルス幅	400			ns
tWL(SCLK)	シリアル/O <sub>2</sub> クロック入力 L ンパルス幅	400			ns
tsu(SDATA-SCLK)	シリアル/O <sub>2</sub> 入力セットアップ時間	200			ns
th(SCLK-SDATA)	シリアル/O <sub>2</sub> 入力ホールド時間	200			ns

## スイッチング特性

表18. スwitching特性(指定のない場合は,  $V_{CC} = 4.1 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK)	シリアル/O <sub>2</sub> クロック出力 H ンパルス幅	tc(SCLK)/2 - 30			ns
tWL(SCLK)	シリアル/O <sub>2</sub> クロック出力 L ンパルス幅	tc(SCLK)/2 - 30			ns
td(SCLK-SDATA)	シリアル/O <sub>2</sub> 出力遅延時間			140	ns
tv(SCLK-SDATA)	シリアル/O <sub>2</sub> 出力有効時間	0			ns
tr(SCLK)	シリアル/O <sub>2</sub> クロック出力立ち上がり時間			30	ns
tf(SCLK)	シリアル/O <sub>2</sub> クロック出力立ち下がり時間			30	ns
tr(CMOS)	CMOS出力立ち上がり時間(注)		10	30	ns
tf(CMOS)	CMOS出力立ち下がり時間(注)		10	30	ns
tr(D+), tr(D-)	USB出力立ち上がり時間 CL = 200 ~ 450pF, $T_a = 0 \sim 70$ , $V_{CC} = 4.4 \sim 5.25V$	75	150	300	ns
tf(D+), tf(D-)	USB出力立ち下がり時間 CL = 200 ~ 450pF, $T_a = 0 \sim 70$ , $V_{CC} = 4.4 \sim 5.25V$	75	150	300	ns

注. XOUT端子を除きます。

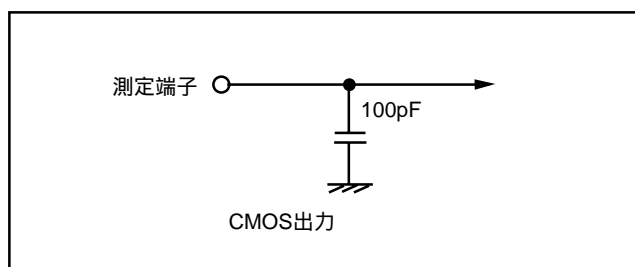


図56. スwitching特性測定回路図

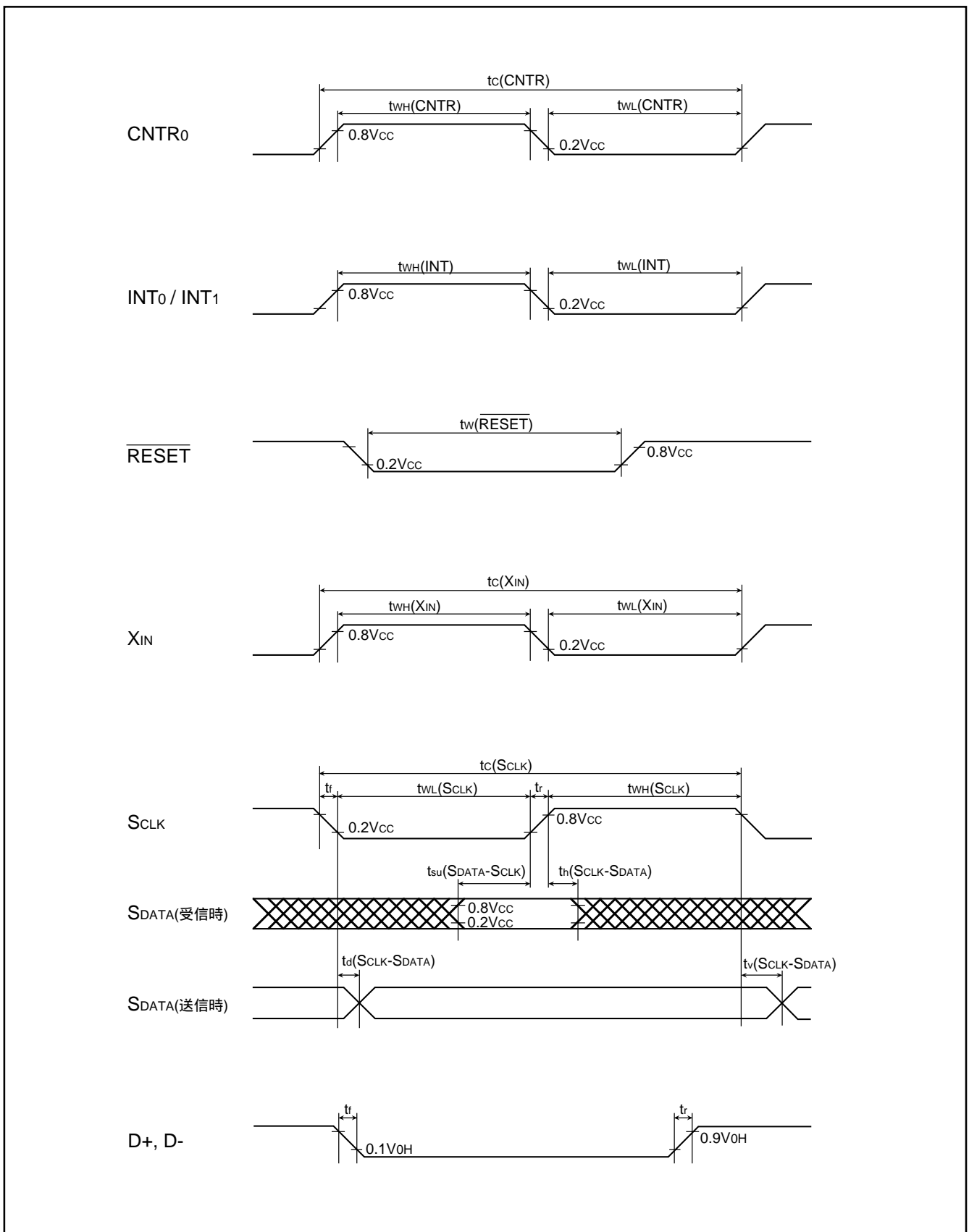


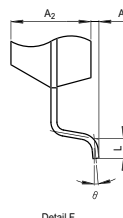
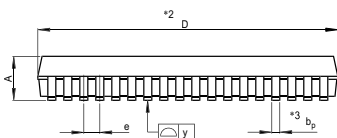
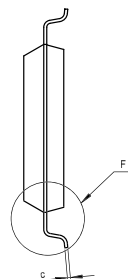
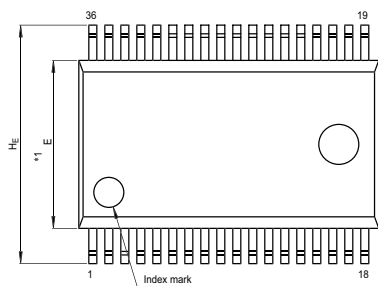
図57 . タイミング図



外形寸法図

**PRSP0036GA-A**

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SSOP36-8.4x15-0.80	PRSP0036GA-A	36P2R-A	0.5g

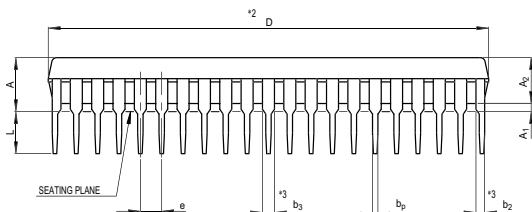
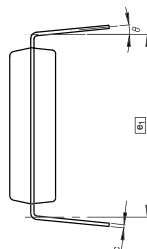
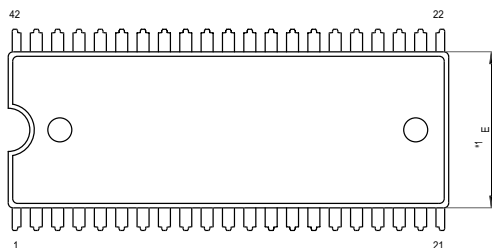


NOTE)  
 1. DIMENSIONS "\*1" AND "\*2"  
 DO NOT INCLUDE MOLD FLASH.  
 2. DIMENSION "\*3" DOES NOT  
 INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	14.8	15.0	15.2
E	8.2	8.4	8.6
A <sub>2</sub>	—	2.0	—
A	—	—	2.4
A <sub>1</sub>	0.05	—	—
b <sub>p</sub>	0.35	0.4	0.5
c	0.13	0.15	0.2
θ	0°	—	10°
HE	11.63	11.93	12.23
e	0.65	0.8	0.95
y	—	—	0.15
L	0.3	0.5	0.7

**PRDP0042BA-A**

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SDIP42-13x36.72-1.78	PRDP0042BA-A	42P4B	4.1g

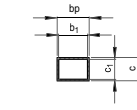
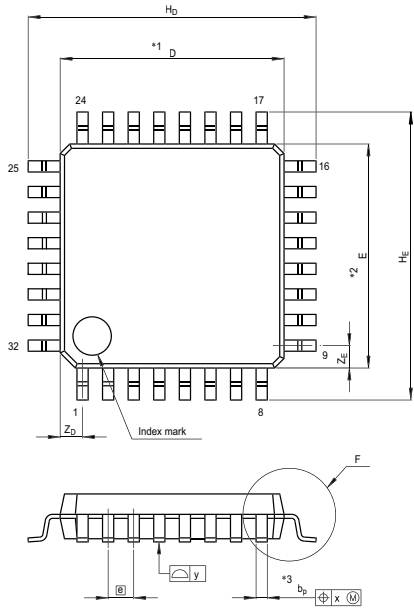


NOTE)  
 1. DIMENSIONS "\*1" AND "\*2"  
 DO NOT INCLUDE MOLD FLASH.  
 2. DIMENSION "\*3" DOES NOT  
 INCLUDE TRIM OFFSET.

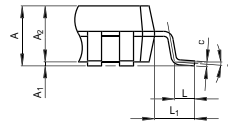
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
⌀1	14.94	15.24	15.54
D	36.5	36.7	36.9
E	12.85	13.0	13.15
A	—	—	5.5
A <sub>1</sub>	0.51	—	—
A <sub>2</sub>	—	3.8	—
b <sub>p</sub>	0.35	0.45	0.55
b <sub>2</sub>	0.63	0.73	1.03
b <sub>3</sub>	0.9	1.0	1.3
c	0.22	0.27	0.34
θ	0°	—	15°
e	1.528	1.778	2.028
L	3.0	—	—

### PLQP0032GB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g



Terminal cross section



Detail F

NOTE)  
 1. DIMENSIONS \*1\* AND \*2\* DO NOT INCLUDE MOLD FLASH.  
 2. DIMENSION \*3\* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	8.8	9.0	9.2
H <sub>E</sub>	8.8	9.0	9.2
A	—	—	1.7
A <sub>1</sub>	0	0.1	0.2
b <sub>p</sub>	0.32	0.37	0.42
b <sub>1</sub>	—	0.35	—
c	0.09	0.145	0.20
c <sub>1</sub>	—	0.125	—
β	0°	—	8°
⌀	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z <sub>D</sub>	—	0.7	—
Z <sub>E</sub>	—	0.7	—
L	0.3	0.5	0.7
L <sub>1</sub>	—	1.0	—

## 改訂記録

## 7534 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2000.01.13	-	初版発行
1.10	2000.06.16	2 5 8 34 45 49 50 51 52	パッケージ形名改訂 32P6B-A 32P6U-A パッケージ形名改訂 32P6B-A 32P6U-A パッケージ形名改訂 32P6B-A 32P6U-A リセット回路 本文 改訂 2 $\mu$ s 15 $\mu$ s 表 12. tw(RESET) リセット入力 "L" パルス幅 値改訂 図 51 説明文改訂 図 52 説明文及びパッケージ形名改訂 32P6B-A 32P6U-A 図 53 説明文改訂 パッケージ寸法図改訂 32P6B-A 32P6U-A
1.20	2000.11.24	2 8 26 32 42 43 44 47 49	図 2 形名「M37534E4GP」追加 図 7 「M37534E4」, 「開発中」追加、表 2 「M37534E4GP」追加 割り込み要因に「セットアップトークン受信」を追加。5 要因 6 要因 表 7 $\mu$ sec $\mu$ s 電源端子の取扱いに関する注意事項 (旧) バイパスコンデンサは 0.1 $\mu$ F のセラミックコンデンサを推奨いたします。 (新) バイパスコンデンサは 1.0 $\mu$ F の電解系又はセラミックコンデンサを推奨いたします。 USBVREFOUT 端子の取扱いに関する注意事項 0.1 $\mu$ F 0.22 $\mu$ F 表 8 32P6U-A パッケージ及び書き込みアダプタ名追加 表 9 7532 グループ 7532/7536 グループ 図 51 形名「M37534E4GP」追加 表 12 注 3 「42 ピン版の消費電力値です。」追加
1.30	2001.9.15	全ページ 7 8 12 18 41 43	図 2 形名「M37534E4GP」追加 「開発中 本製品は開発製品ですので後日規格等を変更する場合があります。」削除 表 1 Vcc, Vss の端子機能の説明 追記 図 7 「開発中」削除 スタックページに関する注意事項 追記 図 17 ポート P36, P37 の図 改訂 スタックページに関する注意事項 追記 マスク化発注時の提出資料 ROM のデータ 「EPROM 3 セットまたはフロッピーディスク」 表 8 書き込みアダプタ形名 改訂
2.00	2004.6.21	全ページ 42	用語統一 (統一用語: オンチップオシレータ、A/D コンバータ) 「電源電圧に関する注意事項」、「ワンタイム PROM 版 / マスク ROM 版に関する注意事項」を追記

## 改訂記録

## 7534 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.6.21	43 56	「マスク化発注時の提出資料」 7 から 9 行目 追記 32P6U-A 外形寸法図 改訂
3.00	2006.10.23	全ページ  39 40 41 42 43 55	型名 36P2R-A PRSP0036GA-A、32P6U-A PLQP0032GB-A、 42P4B PRDP0042BA-A に変更 「USB Spec.Rev.1.1」「Low-Speed USB2.0仕様」に変更 クロック発生回路「XIN - XOUT 端子間には帰還抵抗が内蔵されて、、、省略 することができます。」 「XIN - XOUT 端子間には帰還抵抗を内蔵して、、、 なることがあります。）」 図 45 図変更、注意追記 ウォッチドッグタイマに関するものを追記 使用上の注意事項 USB 通信に関する注意事項を追記 A/Dコンバータに関する注意事項を追記 外形寸法図 改訂

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 生命維持装置。
  - 人体に埋め込み使用するもの。
  - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)