

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD78F9221FH, 78F9222FH

8ビット・シングルチップ・マイクロコンピュータ

μ PD78F9221FH, 78F9222FHは、78K/0Sシリーズ中の78K0S/KA1+の製品です。

μ PD78F9221FH, 78F9222FHは、セルフ・プログラミング可能な単一電源フラッシュ・メモリとユーザ・アプリケーションに応じた周辺ハードウェア機能を備えています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

78K0S/KA1+ ユーザズ・マニュアル : U16898J

78K/0Sシリーズ ユーザズ・マニュアル 命令編 : U11047J

特 徴

78K/0S CPUコア, 8ビットCISCアーキテクチャ

ROM, RAM内蔵

項 目 品 名	プログラム・メモリ (フラッシュ・メモリ)	データ・メモリ (内部高速RAM)
μ PD78F9221FH	2 Kバイト	128バイト
μ PD78F9222FH	4 Kバイト	256バイト

最小命令実行時間

高速 (0.2μs) ~ 低速 (3.2μs) に最小命令実行時間
を変更可能 (CPUクロック10 MHz動作時)

システム・クロック (発振周波数)

高速内蔵発振 (8 MHz (TYP.))

水晶 / セラミック発振 (1 ~ 10 MHz)

WDT用クロック (発振周波数)

低速内蔵発振 (240 kHz (TYP.))

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI)
回路内蔵

割り込み

外部: 4要因 内部: 9要因

I/Oポート: 17本

• CMOS入出力: 15

• CMOS入力: 1

• CMOS出力: 1

A/Dコンバータ内蔵

10ビット: 4 ch (2.7 ~ 5.5 V)

タイマ / カウンタ

16ビット・タイマ: 1 ch

8ビット・タイマ: 2 ch

ウォッチドッグ・タイマ: 1 ch

電源電圧: 2.0 ~ 5.5 V

パッケージ: 20ピンWLCSP (2.03x2.55x厚さ0.4 mm,
0.5 mmピッチ)

応用分野

家電製品, 玩具, 携帯機器

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。
また本資料で扱う製品の製品化を中止することがあります。

オーダ情報

オーダ名称	パッケージ
μ PD78F9221FH-2B1-A	20ピンWLCSP(2.03x2.55x厚さ0.4 mm, 0.5 mmピッチ)
μ PD78F9222FH-2B1-A	"

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

機能概要

項目		μ PD78F9221FH	μ PD78F9222FH
内部メモリ	フラッシュ・メモリ	2 Kバイト	4 Kバイト
	高速RAM	128バイト	256バイト
メモリ空間		64 Kバイト	
X1入力クロック (発振周波数)		水晶 / セラミック / 外部クロック入力 : 10 MHz (V _{DD} = 2.0 ~ 5.5 V)	
内蔵発振 クロック	高速 (発振周波数)	内蔵発振 : 8 MHz (TYP.)	
	低速 (TMH1, WDT用)	内蔵発振 : 240 kHz (TYP.)	
汎用レジスタ		8ビット × 8レジスタ	
命令実行時間		0.2 μs / 0.4 μs / 0.8 μs / 1.6 μs / 3.2 μs (X1入力クロック : f _x = 10 MHz動作時)	
I/Oポート		合計 : 17本 CMOS入出力 : 15本 CMOS入力 : 1本 CMOS出力 : 1本	
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ / イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ (タイマH1) : 1チャンネル ・ 8ビット・タイマ (タイマ80) : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
	タイマ出力	2本 (PWM : 1本)	
A/Dコンバータ		10ビット分解能 × 4チャンネル	
シリアル・インタフェース		LIN-bus対応UARTモード : 1チャンネル	
ベクタ割り 込み要因	外部	4	
	内部	9	
リセット		<ul style="list-style-type: none"> ・ RESET 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット 	
電源電圧		V _{DD} = 2.0 ~ 5.5 V ^注	
動作周囲温度		- 40 ~ + 85	
パッケージ		20ピンWLCSP	

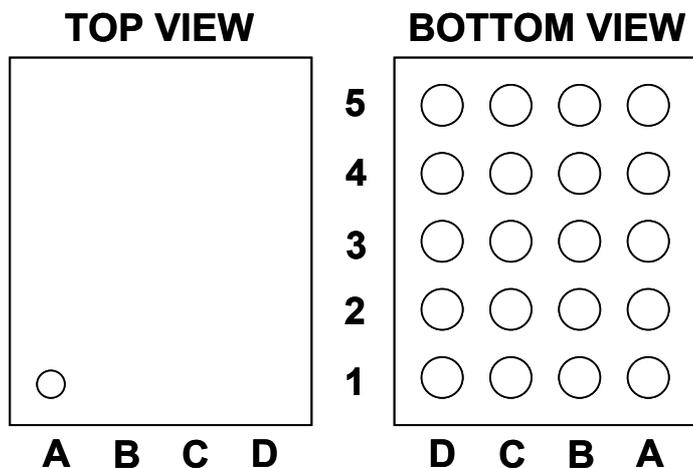
注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

目 次

1. 端子接続図 (Top View) ...	5
2. ブロック図 ...	6
3. 端子機能一覧 ...	7
3.1 ポート端子 ...	7
3.2 ポート以外の端子 ...	8
3.3 端子の入出力回路タイプと未使用端子の処理 ...	9
4. メモリ空間 ...	11
4.1 メモリ・マップ ...	11
4.2 メモリ構成 ...	13
5. オプション・バイト ...	14
5.1 オプション・バイトの機能 ...	14
5.2 オプション・バイトのフォーマット ...	15
5.3 $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用した場合の注意事項 ...	16
6. 各タイマのソース・クロック ...	17
7. 電気的特性 (ターゲット) ...	19
8. 外形図 (暫定) ...	31
付録A. 関連資料 ...	32

1. 端子接続図 (Top View)

・ 20ピンWLCSP (2.03x2.55x厚さ0.4 mm, 0.5 mmピッチ)

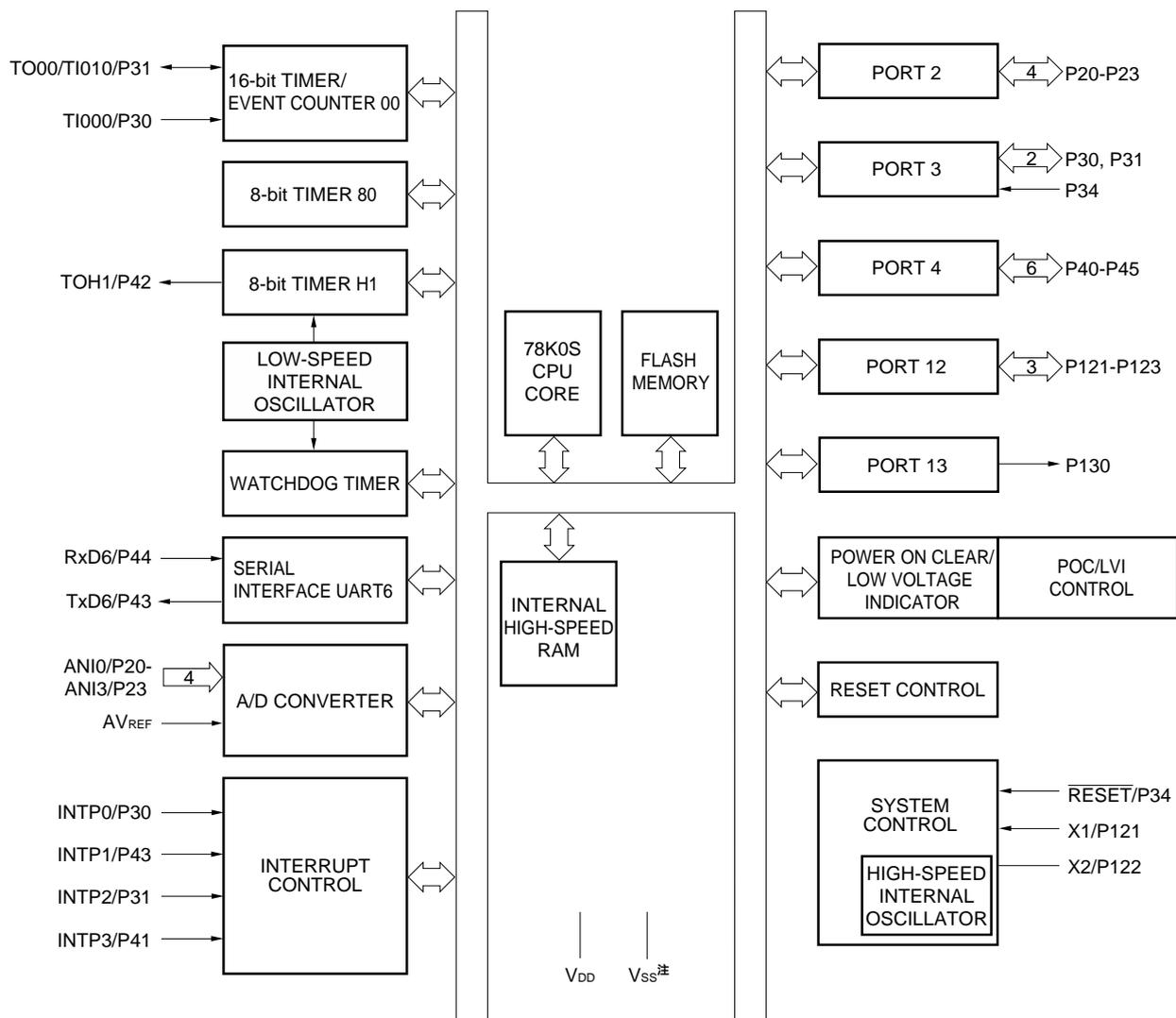


端子番号	端子名	端子番号	端子名
A1	V _{SS} ^注	C3	P130
B1	P121/X1	D3	P23/ANI3
C1	V _{DD}	A4	P30/TI000/INTP0
D1	AV _{REF}	B4	P31/TI010/TO00/INTP2
A2	P122/X2	C4	P40
B2	P123	D4	P45
C2	P22/ANI2	A5	P41/INTP3
D2	P21/ANI1	B5	P44/RxD6
A3	RESET/P34	C5	P43/TxD6/INTP1
B3	P20/ANI0	D5	P42/TOH1

- | | | | |
|-------------------|----------------------------|------------------------------|---------------------------------------|
| ANI0-ANI3 | : Analog Input | RESET | : Reset |
| AV _{REF} | : Analog Reference Voltage | RxD6 | : Receive Data |
| INTP0-INTP3 | : External Interrupt Input | TI000, TI010 | : Timer Input |
| P20-P23 | : Port 2 | TO00, TOH1 | : Timer Output |
| P30, P31, P34 | : Port 3 | TxD6 | : Transmit Data |
| P40-P45 | : Port 4 | V _{DD} | : Power Supply |
| P121-P123 | : Port 12 | V _{SS} ^注 | : Ground |
| P130 | : Port 13 | X1, X2 | : Crystal Oscillator (X1 Input clock) |

注 V_{SS}はA/Dコンバータのグランド電位と兼用しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

2. ブロック図



注 V_{SS}はA/Dコンバータのグランド電位と兼用しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

3. 端子機能一覧

3.1 ポート端子

端子名称	入出力	機 能		リセット時	兼用端子
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	ANI0-ANI3
P30	入出力	ポート3。	1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI000/INTP0
P31					TI010/TO00/ INTP2
P34 ^注	入力		入力専用。	入力	$\overline{\text{RESET}}$ ^注
P40	入出力	ポート4。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	-
P41					INTP3
P42					TOH1
P43					TxD6/INTP1
P44					RxD6
P45					-
P121 ^注	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P123のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	X1 ^注
P122 ^注					X2 ^注
P123					-
P130	出力	ポート13。 1ビット出力専用ポート。		出力	-

注 端子機能の設定方法については、5. オプション・バイトを参照してください。

注意 P121/X1, P122/X2は、リセット中プルダウンされています。

3.2 ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力。	入力	P30/TI000
INTP1				P43/TxD6
INTP2				P31/TI010/TO00
INTP3				P41
RxD6	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P44
TxD6	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P43/INTP1
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力。	入力	P30/INTP0
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力。		P31/TO00/INTP2
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力。	入力	P31/TI010/INTP2
TOH1	出力	8ビット・タイマH1出力。	入力	P42
ANI0-ANI3	入力	A/Dコンバータのアナログ入力。	入力	P20-P23
AV _{REF}	-	A/Dコンバータの基準電圧。	-	-
$\overline{\text{RESET}}$ ^注	入力	システム・リセット入力。	-	P34 ^注
X1 ^注	入力	システム・クロック発振用，水晶/セラミック発振子接続。 外部クロック入力。	-	P121 ^注
X2 ^注	-	システム・クロック発振用，水晶/セラミック発振子接続。	-	P122 ^注
V _{DD}	-	正電源。	-	-
V _{SS}	-	グランド電位。	-	-

注 端子機能の設定方法については，5. オプション・バイトを参照してください。

注意 P121/X1, P122/X2は，リセット中ブルダウンされています。

3.3 端子の入出力回路タイプと未使用端子の処理

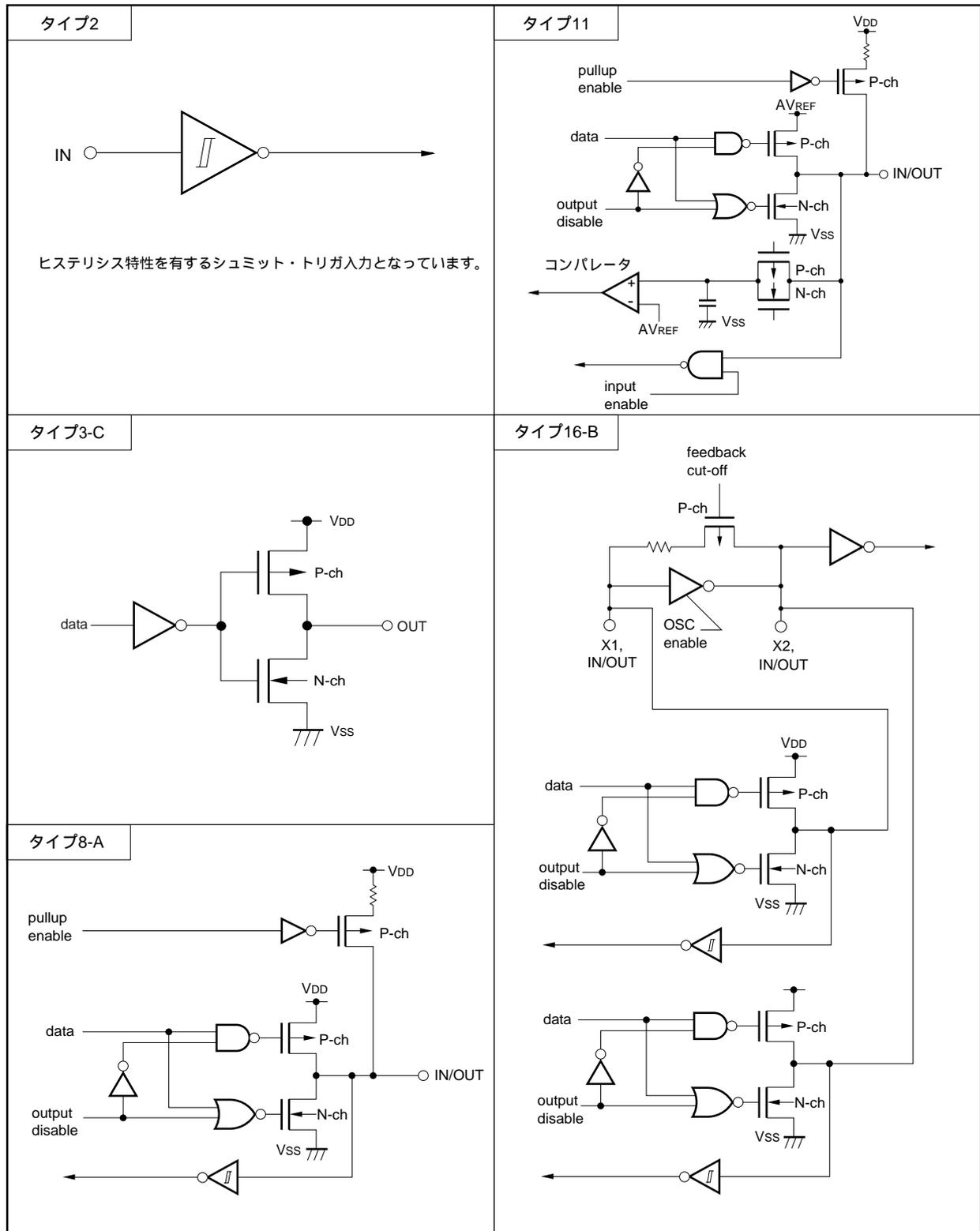
各端子の入出力回路タイプと未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P20/ANI0-P23/ANI3	11	入出力	入力時：個別に抵抗を介して、 AV_{REF} または V_{SS} に接続してください。 出力時：オープンにしてください。
P30/TI000/INTP0			入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P31/TI010/TO00/INTP2			出力時：オープンにしてください。
P34/ \overline{RESET}	2	入力	抵抗を介して、 V_{DD} に接続してください。
P40	8-A	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P41/INTP3			
P42/TOH1			
P43/TxD6/INTP1			
P44/RxD6			
P45			
P121/X1			16-B
P122/X2	出力時：オープンにしてください。		
P123	8-A		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P130	3-C	出力	オープンにしてください。
AV_{REF}	-	入力	V_{DD} に直接接続してください。

図3 - 1 端子の入出力回路一覧



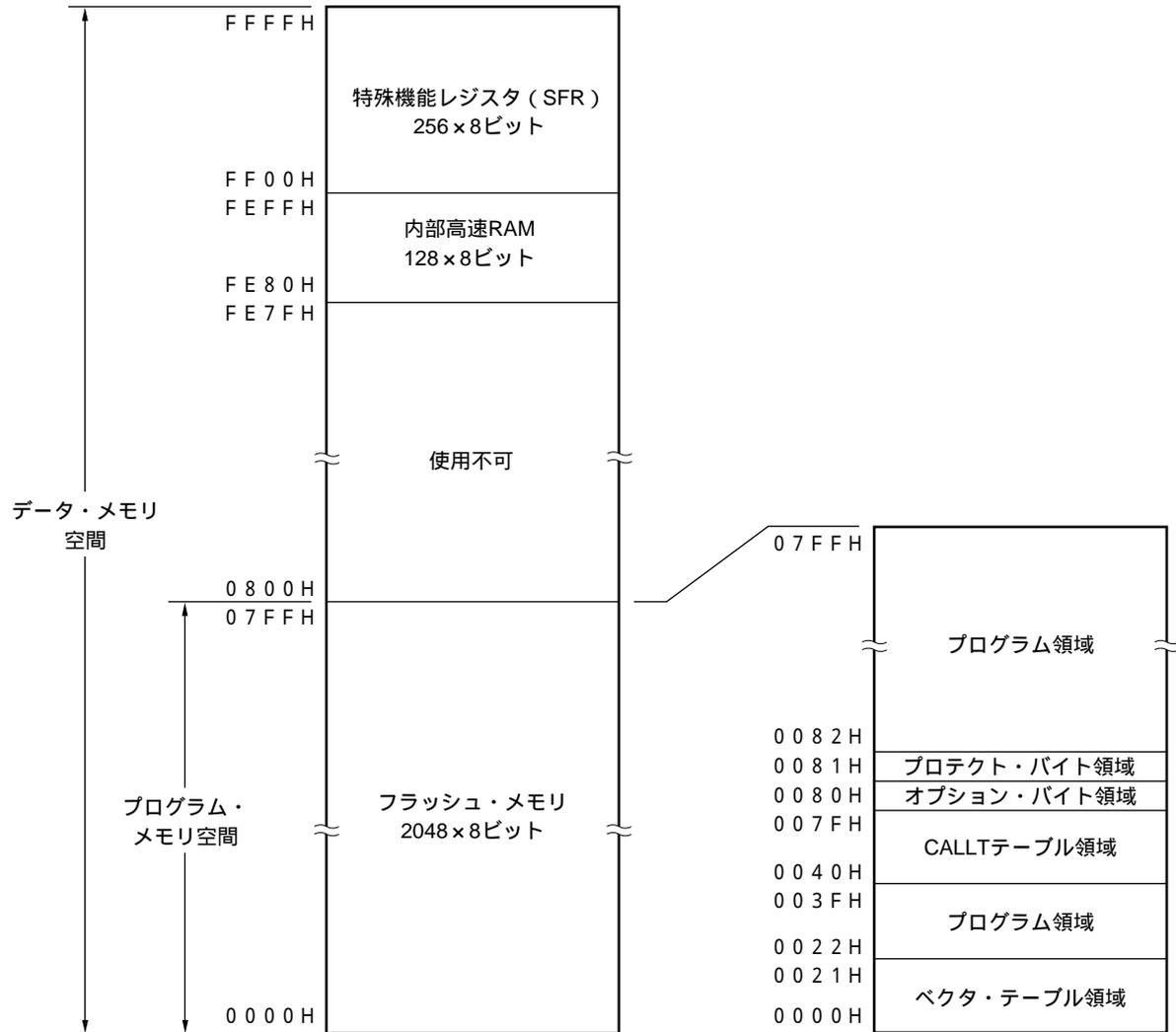
4. メモリ空間

4.1 メモリ・マップ

μ PD78F9221FH, 78F9222FHは、それぞれ64 Kバイトのメモリ空間をアクセスできます。

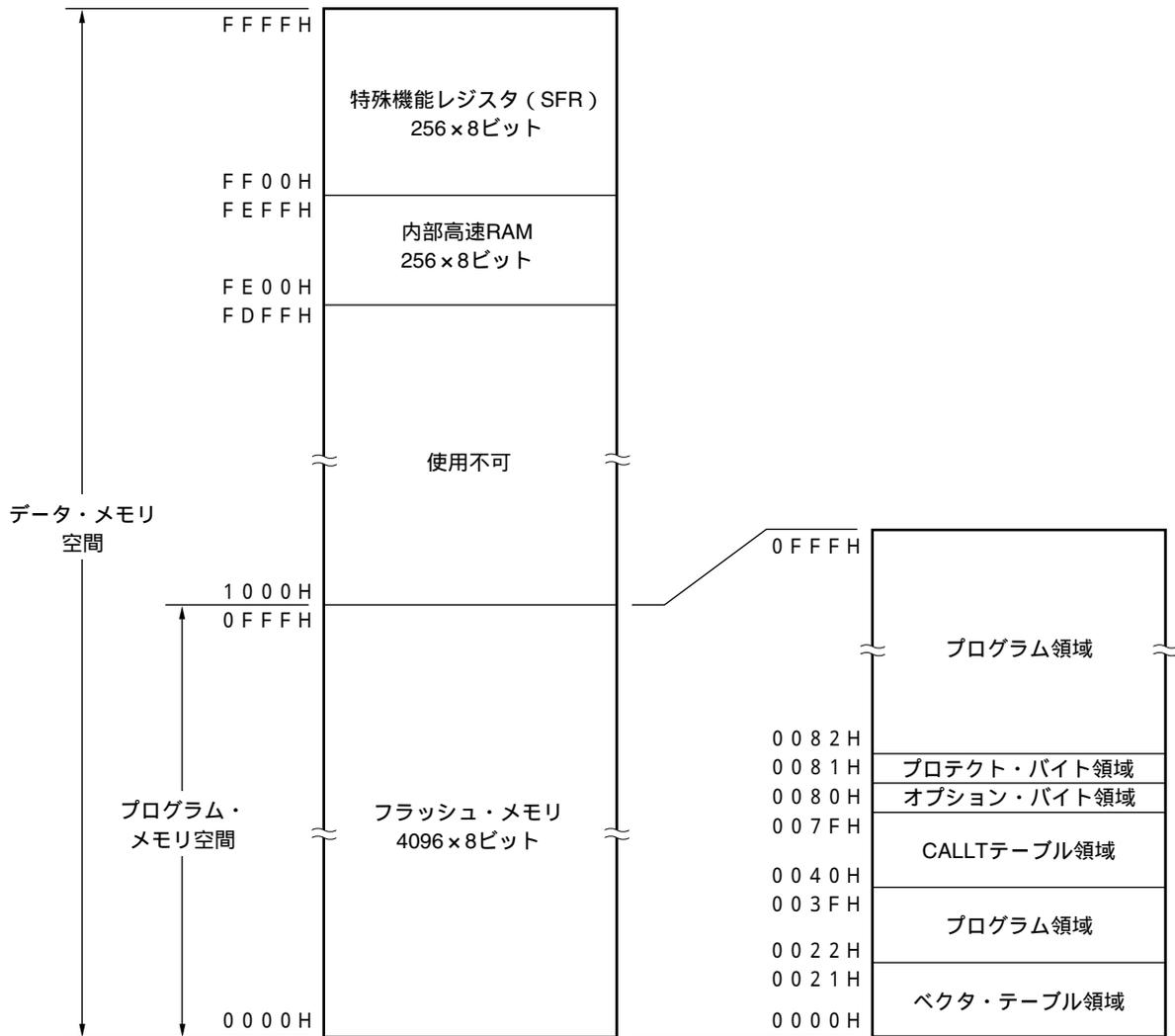
図4 - 1, 図4 - 2にメモリ・マップを示します。

図4 - 1 メモリ・マップ (μ PD78F9221FH)



備考 オプション・バイト, プロテクト・バイトは、それぞれ1バイトのみです

図4-2 メモリ・マップ (μ PD78F9222FH)

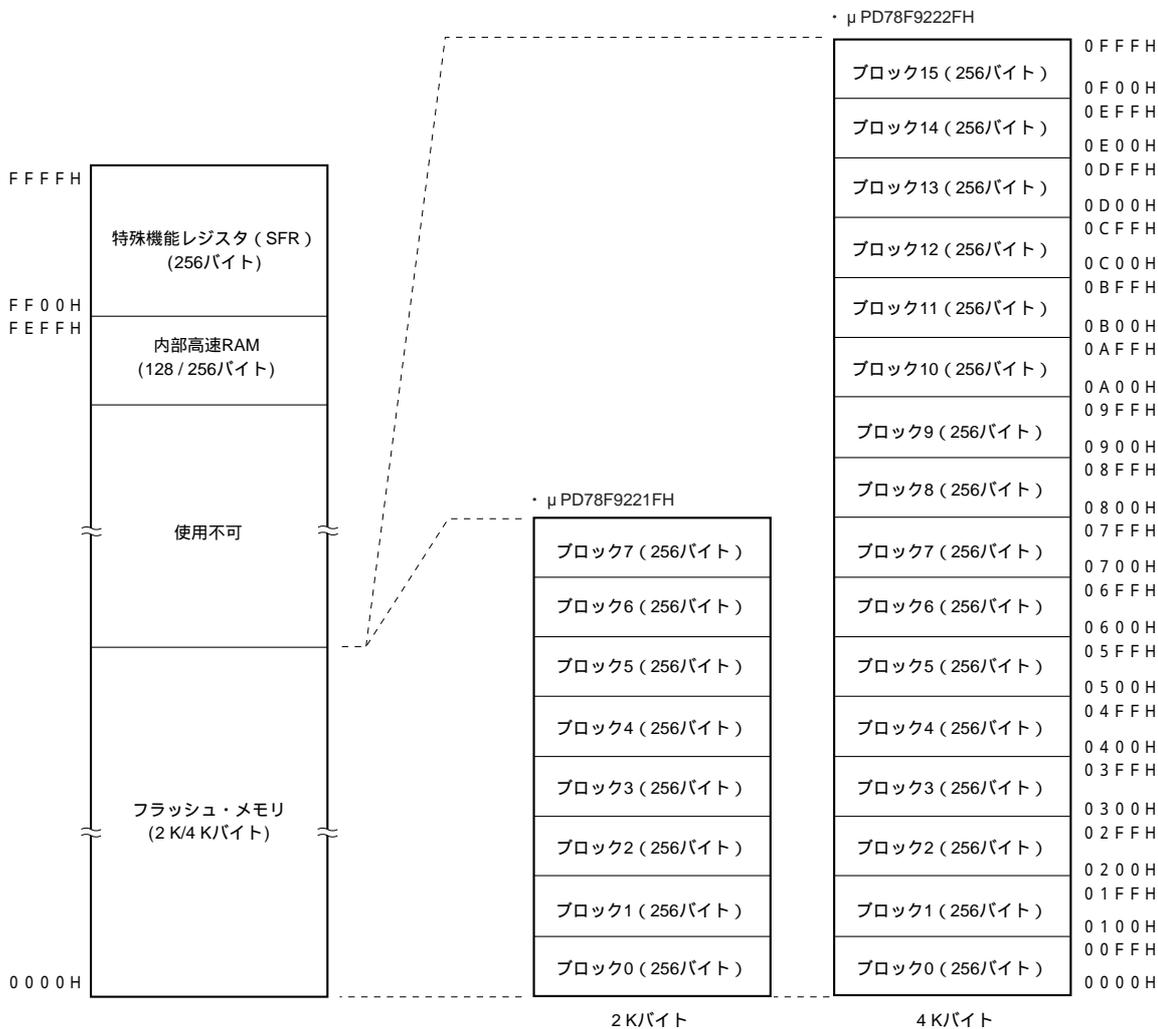


備考 オプション・バイト, プロテクト・バイトは, それぞれ1バイトのみです

4.2 メモリ構成

2 K/4 Kバイトの内蔵フラッシュ・メモリの領域は8/16個のブロックに分割されており，専用フラッシュ・ライターにより，各ブロック単位にて消去可能となっています。

図4 - 3 フラッシュ・メモリ・マッピング



5. オプション・バイト

5.1 オプション・バイトの機能

μ PD78F9221FH, 78F9222FHのフラッシュ・メモリの0080Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

(1) システム・クロック・ソースの選択

- ・高速内蔵発振クロック
- ・水晶/セラミック発振クロック
- ・外部クロック入力

(2) 低速内蔵発振器の発振

- ・停止不可
- ・ソフトウェアにより停止可能

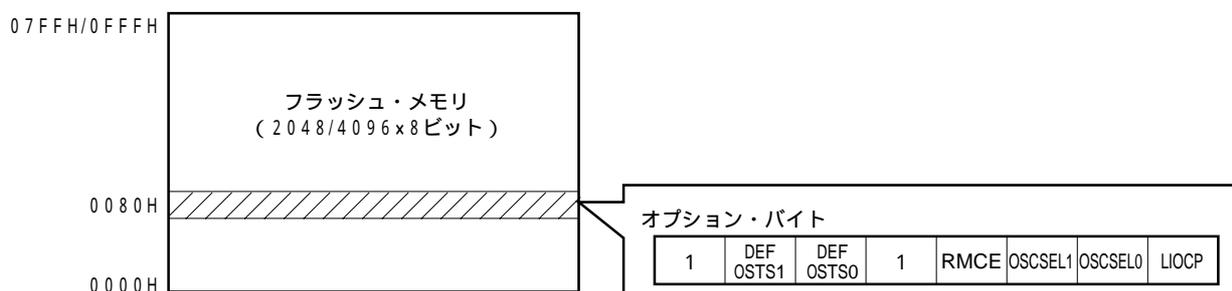
(3) $\overline{\text{RESET}}$ 端子の制御

- ・ $\overline{\text{RESET}}$ 端子として使用
- ・ $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用 (5.3 $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用した場合の注意事項参照)

(4) 電源投入時, またはリセット解除後の発振安定時間の設定

- ・ $2^{10}/f_x$
- ・ $2^{12}/f_x$
- ・ $2^{15}/f_x$
- ・ $2^{17}/f_x$

図5 - 1 オプション・バイトの位置



5.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図5-2 オプション・バイトのフォーマット (1/2)

アドレス : 0080H

7	6	5	4	3	2	1	0
1	DEFOSTS1	DEFOSTS0	1	RMCE	OSCSEL1	OSCSEL0	LIOP

DEFOSTS1	DEFOSTS0	電源投入時, またはリセット解除後の発振安定時間
0	0	$2^{10}/f_x$ (102.4 μ s)
0	1	$2^{12}/f_x$ (409.6 μ s)
1	0	$2^{15}/f_x$ (3.27 ms)
1	1	$2^{17}/f_x$ (13.1 ms)

注意 このオプションの設定は, システム・クロック・ソースに水晶/セラミック発振クロックを選択した場合のみ有効です。システム・クロック・ソースに高速内蔵発振クロック, 外部クロック入力を選択した場合, ウェイト時間はありません。

RMCE	$\overline{\text{RESET}}$ 端子の制御
1	$\overline{\text{RESET}}$ 端子として使用
0	$\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用

注意 オプション・バイトは, リセット解除後に参照するため, 参照するまでに $\overline{\text{RESET}}$ 端子へロウ・レベルを入力するとリセット状態が解除されません。
また, RMCEに0を設定する場合, プルアップ抵抗を接続してください。

OSCSEL1	OSCSEL0	システム・クロック・ソースの選択
0	0	水晶/セラミック発振クロック
0	1	外部クロック入力
1	x	高速内蔵発振クロック

注意 X1, X2端子は, P121, P122端子と兼用していますので, 選択したシステム・クロック・ソースによって, X1, X2端子の利用条件が変わります。

(1) 水晶/セラミック発振クロック選択時

X1, X2端子をクロック入力端子として使用するため, 入出力ポートとして使用できません。

(2) 外部クロック入力選択時

X1端子は外部クロック入力端子として使用するため, P121を入出力ポートとして使用できません。

(3) 高速内蔵発振クロック選択時

P121, P122を入出力ポートとして使用可能です。

備考 x : don't care

図5 - 2 オプション・バイトのフォーマット (2/2)

LIOCP	低速内蔵発振器の発振
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)
0	ソフトウェアにより停止可能 (LSRSTOPビットに1を書き込むことにより停止)

注意1. 「停止不可」を選択した場合、ウォッチドッグ・タイマ (WDT) へのカウント・クロックは低速内蔵発振クロック固定になります。

2. 「ソフトウェアより停止可能」を選択した場合、低速内蔵発振モード・レジスタ (LSRCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時は、WDTへのカウント・クロック供給が停止されます。同様に、WDTへのカウント・クロックに低速内蔵発振クロック以外を選択している場合も、クロック供給が停止されます。

低速内蔵発振器動作中 (LSRSTOP = 0) は、STOPモード時でも8ビット・タイマH1にクロックを供給できます。

備考1. () 内は $f_x = 10 \text{ MHz}$ 動作時

2. 発振子の発振安定時間は、ご使用される発振子の特性を確認してください。
3. オプション・バイト設定のソフトウェア記述例を次に示します。

```
OPB CSEG AT 0080H
DB 10010001B      ; オプション・バイト設定
                  ; 低速内蔵発振クロック発振停止不可
                  ; システム・クロックは水晶 / セラミック発振
                  ; RESET端子を入力専用ポート (P34) として使用
                  ; 発振安定時間最小 ( $2^{10}/f_x$ )
```

4. オプション・バイトの参照するタイミングについては、78K0S/KA1+ ユーザーズ・マニュアル (U16898J) のリセット機能の章を参照してください。

5.3 RESET端子を入力専用ポート (P34) として使用した場合の注意事項

オプション・バイト機能で「RESET端子を入力専用ポート (P34) として使用」と設定した書き込み済みデバイスに対して、再度、専用フラッシュ・メモリ・プログラマを使用し、オンボード・プログラミングにて消去/書き込みを行う場合、下記の点に注意してください。

ターゲット・システムに電源供給する前に、専用フラッシュ・メモリ・プログラマを接続し、専用フラッシュ・メモリ・プログラマの電源をONにしてください。事前にターゲット・システムに電源供給を行った場合、フラッシュ・メモリ・プログラミング・モードに切り替えできなくなります。

6. 各タイマのソース・クロック

(1) 16ビット・タイマ・カウンタ00 (TM00) で選択できるカウント・クロック

f_{XP} (10 MHz)

$f_{XP}/2^2$ (2.5 MHz)

$f_{XP}/2^8$ (39.06 kHz)

TI000端子の有効エッジ^注

注 外部クロックは内部クロック (f_{XP}) の2周期分より長いパルスが必要とします。

備考1. f_{XP} : 周辺ハードウェアへのクロックの発振周波数

2. () 内は, $f_{XP} = 10$ MHz動作時

(2) 8ビット・タイマ80 (TM80) で選択できるカウント・クロック

8ビット・タイマ80のカウント・クロックの選択		
	$f_{XP} = 8.0$ MHz動作時	$f_{XP} = 10.0$ MHz動作時
$f_{XP}/2^6$	125 kHz	156.3 kHz
$f_{XP}/2^8$	31.25 kHz	39.06 kHz
$f_{XP}/2^{10}$	7.81 kHz	9.77 kHz
$f_{XP}/2^{16}$	0.12 kHz	0.15 kHz

備考 f_{XP} : 周辺ハードウェアへのクロックの発振周波数

(3) 8ビット・タイマH1 (TMH1) で選択できるカウント・クロック

f_{XP} (10 MHz)

$f_{XP}/2^2$ (2.5 MHz)

$f_{XP}/2^4$ (625 kHz)

$f_{XP}/2^6$ (156.25 kHz)

$f_{XP}/2^{12}$ (2.44 kHz)

$f_{RL}/2^7$ (1.88 kHz (TYP.))

備考1. f_{XP} : 周辺ハードウェアへのクロックの発振周波数

2. f_{RL} : 低速内蔵発振クロック発振周波数

3. () 内は, $f_{XP} = 10$ MHz動作時, $f_{RL} = 240$ kHz (TYP.)動作時

(4) ウォッチドッグ・タイマで設定できるオーバフロー時間

設定できるオーバフロー時間	
低速内蔵発振クロック動作時	システム・クロック動作時
$2^{11} / f_{RL}$ (4.27 ms)	$2^{13} / f_x$ (819.2 μs)
$2^{12} / f_{RL}$ (8.53 ms)	$2^{14} / f_x$ (1.64 ms)
$2^{13} / f_{RL}$ (17.07 ms)	$2^{15} / f_x$ (3.28 ms)
$2^{14} / f_{RL}$ (34.13 ms)	$2^{16} / f_x$ (6.55 ms)
$2^{15} / f_{RL}$ (68.27 ms)	$2^{17} / f_x$ (13.11 ms)
$2^{16} / f_{RL}$ (136.53 ms)	$2^{18} / f_x$ (26.21 ms)
$2^{17} / f_{RL}$ (273.07 ms)	$2^{19} / f_x$ (52.43 ms)
$2^{18} / f_{RL}$ (546.13 ms)	$2^{20} / f_x$ (104.86 ms)

備考1 . f_{RL} : 低速内蔵発振クロック発振周波数

2 . f_x : システム・クロック発振周波数

3 . () 内は $f_{RL} = 480 \text{ kHz (MAX.)}$, $f_x = 10 \text{ MHz}$ 動作時

7. 電気的特性 (ターゲット)

注意 この特性はあくまでもターゲット (目標値) であり, デバイス評価後に変更の可能性があります。また動作電圧範囲も変更する可能性があります。

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{SS}		- 0.3 ~ + 0.3	V
	AV _{REF}		- 0.3 ~ V _{DD} + 0.3 ^注	V
入力電圧	V _{I1}	P30, P31, P34, P40-P45, P121-P123	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{I2}	P20-P23	- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}		- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10.0	mA
		P20-P23以外の端子合計	- 44.0	mA
		P20-P23の端子合計	- 44.0	mA
ロウ・レベル出力電流	I _{OL}	1端子	20.0	mA
		端子合計	44.0	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時		
保存温度	T _{stg}	フラッシュ・メモリ・ブランク状態	- 65 ~ + 150	
		フラッシュ・メモリ・プログラミング済み	- 40 ~ + 125	

注 6.5 V以下であること

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V 注1 , VSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注2		1		10.0	MHz
水晶振動子		発振周波数 (fx) 注2		1		10.0	MHz
外部 クロック		X1入力周波数 (fx) 注2	2.7 V VDD 5.5 V	1		10.0	MHz
			2.0 V VDD < 2.7 V	1		5.0	
		X1入力ハイ、ロウ・レベル幅 (txH, txL)	2.7 V VDD 5.5 V	0.045		0.5	μs
			2.0 V VDD < 2.7 V	0.09		0.5	

注1. パワーオン・クリア (POC) 回路の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

高速内蔵発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.0 \sim 5.5 V^{\text{注1}}$, $V_{SS} = 0 V$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位	
高速内蔵発振器	発振周波数 ($f_x = 8$ MHz ^{注2}) 偏差	2.7 V $V_{DD} < 5.5 V$	$T_A = -10 \sim +80$			± 3	%
			$T_A = -40 \sim +85$			± 5	%
	発振周波数 (f_x) ^{注2}	2.0 V $V_{DD} < 2.7 V$	5.5				MHz

注1. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が $2.1 V \pm 0.1 V$ のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.0 \sim 5.5 V^{\text{注}}$, $V_{SS} = 0 V$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 (f_{RL})		120	240	480	kHz

注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が $2.1 V \pm 0.1 V$ のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V^注 , VSS = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ハイ・レベル出力電流	I _{OH1}	P20-P23以外の端子	1端子	2.0 V V _{DD} 5.5 V			- 5	mA	
			合計	4.0 V V _{DD} 5.5 V			- 25	mA	
				2.0 V V _{DD} < 4.0 V				- 15	mA
	I _{OH2}	P20-P23	1端子	2.0 V AV _{REF} 5.5 V				- 5	mA
			合計	2.0 V AV _{REF} 5.5 V				- 15	mA
ロウ・レベル出力電流	I _{OL}	1端子		2.0 V V _{DD} 5.5 V			10	mA	
		全端子合計		4.0 V V _{DD} 5.5 V			30	mA	
				2.0 V V _{DD} < 4.0 V				15	mA
ハイ・レベル入力電圧	V _{IH1}	P30, P31, P34, P40-P45, P123		0.8 V _{DD}		V _{DD}	V		
	V _{IH2}	P20-P23		0.7 AV _{REF}		AV _{REF}	V		
	V _{IH3}	P121, P122		0.8 V _{DD}		V _{DD}	V		
ロウ・レベル入力電圧	V _{IL1}	P30, P31, P34, P40-P45, P123		0		0.2 V _{DD}	V		
	V _{IL2}	P20-P23		0		0.3 AV _{REF}	V		
	V _{IL3}	P121, P122		0		0.2 V _{DD}	V		
ハイ・レベル出力電圧	V _{OH1}	P20-P23以外の端子合計		4.0 V V _{DD} 5.5 V	V _{DD} - 1.0		V		
		I _{OH1} = - 15 mA		I _{OH1} = - 5 mA					
		I _{OH1} = - 100 μA		2.0 V V _{DD} < 4.0 V	V _{DD} - 0.5		V		
	V _{OH2}	P20-P23の端子合計		4.0 V AV _{REF} 5.5 V	AV _{REF}		V		
		I _{OH2} = - 10 mA		I _{OH2} = - 5 mA	- 1.0				
		2.0 V AV _{REF} < 4.0 V		AV _{REF}		V			
		I _{OH2} = - 100 μA		- 0.5.					
ロウ・レベル出力電圧	V _{OL}	出力端子合計		4.0 V V _{DD} 5.5 V		1.3	V		
		I _{OL} = 30 mA		I _{OL} = 10 mA					
		2.0 V V _{DD} < 4.0 V				0.4	V		
		I _{OL} = 400 μA							
ハイ・レベル入力リーク電流	I _{LIH}	V _I = V _{DD}	X1以外の端子			1	μA		
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V	X1以外の端子			- 1	μA		
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}	X2以外の端子			1	μA		
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V	X2以外の端子			- 1	μA		
プルアップ抵抗値	R _{PU}	V _I = 0 V		10	30	100	k		
プルダウン抵抗値	R _{PD}	P121, P122, リセット状態		10	30	100	k		

注 パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85, VDD = 2.0 ~ 5.5 V^{注1}, VSS = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注2}	IDD1 ^{注3}	水晶 / セラミック 発振 , 外部クロック	fx = 10 MHz	A/Dコンバータ停止時		6.1	12.2	mA
			VDD = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		7.6	15.2	
		入力発振 動作モード ^{注6}	fx = 6 MHz	A/Dコンバータ停止時		5.5	11.0	mA
			VDD = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}			14.0	
		fx = 5 MHz	A/Dコンバータ停止時		3.0	6.0	mA	
			VDD = 3.0 V ± 10 % ^{注5}	A/Dコンバータ動作時 ^{注8}		4.5		9.0
	IDD2	水晶 / セラミック 発振 , 外部クロック	fx = 10 MHz	周辺機能停止時		1.7	3.8	mA
			VDD = 5.0 V ± 10 % ^{注4}	周辺機能動作時			6.7	
		入力発振 HALTモード ^{注6}	fx = 6 MHz	周辺機能停止時		1.3	3.0	mA
			VDD = 5.0 V ± 10 % ^{注4}	周辺機能動作時			6.0	
		fx = 5 MHz	周辺機能停止時		0.48	1	mA	
			VDD = 3.0 V ± 10 % ^{注5}	周辺機能動作時				2.1
	IDD3 ^{注3}	高速内蔵発振器 動作モード ^{注7}	fx = 8 MHz	A/Dコンバータ停止時		5.0	10.0	mA
			VDD = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		6.5	13.0	
IDD4	高速内蔵発振器 HALTモード ^{注7}	fx = 8 MHz	周辺機能停止時		1.4	3.2	mA	
		VDD = 5.0 V ± 10 % ^{注4}	周辺機能動作時			5.9		
IDD5	STOPモード	VDD = 5.0 V ± 10 %	低速内蔵発振器停止時		3.5	20.0	μA	
			低速内蔵発振器動作時		17.5	32.0		
		VDD = 3.0 V ± 10 %	低速内蔵発振器停止時		3.5	15.5	μA	
			低速内蔵発振器動作時		11.0	26.0		

注1. パワーオン・クリア (POC) 回路特性の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため, 2.2 ~ 5.5 Vの電圧範囲で使用してください。

- 内部電源 (VDD) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。
- 周辺動作電流を含みます。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 02Hに設定したとき。
- オプション・バイトでシステム・クロック・ソースを水晶 / セラミック発振クロック, 外部クロック入力に選択したとき。
- オプション・バイトでシステム・クロック・ソースを高速内蔵発振クロックに選択したとき。
- AVREF端子に流れる電流を含みます。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 2.0 \sim 5.5 V^{注1}$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	T _{CY}	水晶 / セラミック発振クロック, 外部クロック入力	4.0 V $V_{DD} < 5.5 V$	0.2		16	μs
			3.0 V $V_{DD} < 4.0 V$	0.33		16	μs
			2.7 V $V_{DD} < 3.0 V$	0.4		16	μs
			2.0 V $V_{DD} < 2.7 V$	1		16	μs
	高速内蔵発振クロック	4.0 V $V_{DD} < 5.5 V$	0.23		4.22	μs	
		2.7 V $V_{DD} < 4.0 V$	0.47		4.22	μs	
2.0 V $V_{DD} < 2.7 V$		0.95		4.22	μs		
TI000入力 ハイ / ロウ・レベル幅	t _{TIH} ,	4.0 V $V_{DD} < 5.5 V$	2/f _{sam} +			μs	
	t _{TIL}		0.1 ^{注2}				
割り込み入力 ハイ / ロウ・レベル幅	t _{INTH} ,	2.0 V $V_{DD} < 4.0 V$	2/f _{sam} +			μs	
	t _{INTL}		0.2 ^{注2}				
RESET 入力 ロウ・レベル幅	t _{RSL}		2			μs	

注1. パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が $2.1 V \pm 0.1 V$ のため、 $2.2 \sim 5.5 V$ の電圧範囲で使用してください。

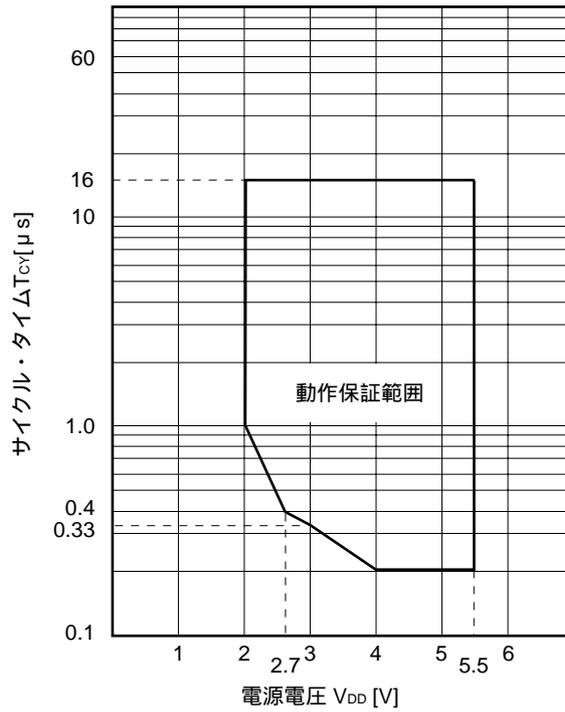
2. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、 $f_{sam} = f_{XP}$, $f_{XP}/4$, $f_{XP}/256$ の選択が可能です。ただし、カウント・クロックとして TI000 端子の有効エッジを指定した場合は、 $f_{sam} = f_{XP}$ となります。

CPUクロック, 周辺クロック周波数

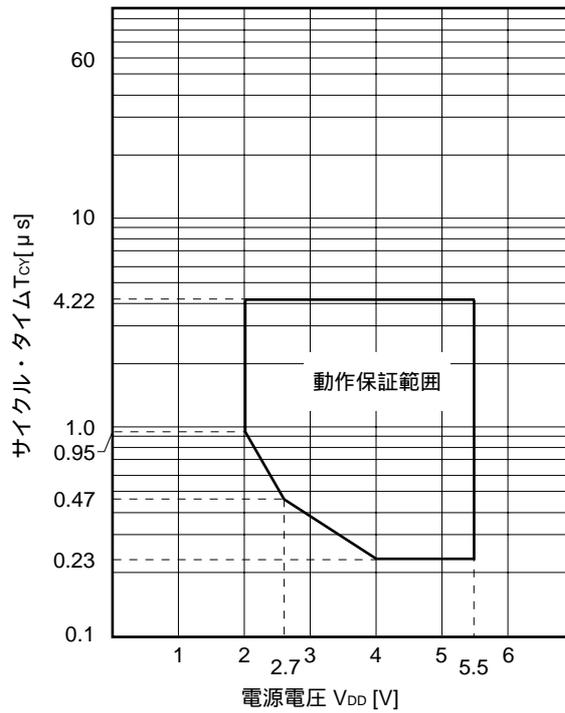
項目	条件	CPUクロック (f _{CPU})	周辺クロック (f _{XP})
セラミック発振子, 水晶振動子, 外部クロック	4.0 V $V_{DD} < 5.5 V$	125 kHz f _{CPU} 10 MHz	125 kHz f _{XP} 10 MHz
	3.0 V $V_{DD} < 4.0 V$	125 kHz f _{CPU} 6 MHz	
	2.7 V $V_{DD} < 3.0 V$	125 kHz f _{CPU} 5 MHz	
	2.0 V $V_{DD} < 2.7 V^{注}$	125 kHz f _{CPU} 2 MHz	125 kHz f _{XP} 5 MHz
高速内蔵発振器	4.0 V $V_{DD} < 5.5 V$	500 kHz (TYP.) f _{CPU} 8 MHz (TYP.)	500 kHz (TYP.) f _{XP} 8 MHz (TYP.)
	2.7 V $V_{DD} < 4.0 V$	500 kHz (TYP.) f _{CPU} 4 MHz (TYP.)	
	2.0 V $V_{DD} < 2.7 V^{注}$	500 kHz (TYP.) f _{CPU} 2 MHz (TYP.)	500 kHz (TYP.) f _{XP} 4 MHz (TYP.)

注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が $2.1 V \pm 0.1 V$ のため、 $2.2 \sim 5.5 V$ の電圧範囲で使用してください。

T_{CY} vs V_{DD} (水晶/セラミック発振クロック, 外部クロック入力)



T_{CY} vs V_{DD} (高速内蔵発振クロック)



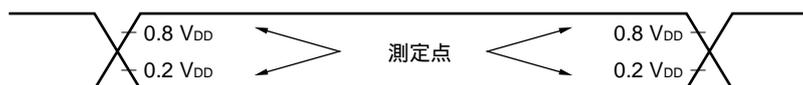
(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V^注, VSS = 0 V)

UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

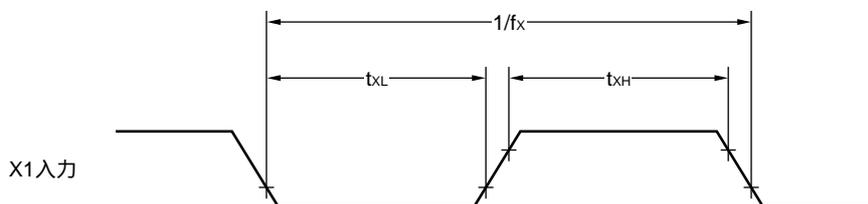
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

注 パワーオン・クリア (POC) 回路特性の検出電圧 (VPOC) が 2.1 V ± 0.1 V のため, 2.2 ~ 5.5 V の電圧範囲で使用してください。

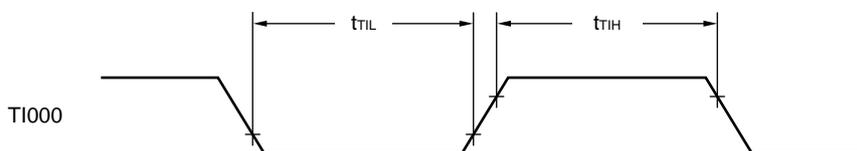
AC タイミング測定点 (X1 入力を除く)



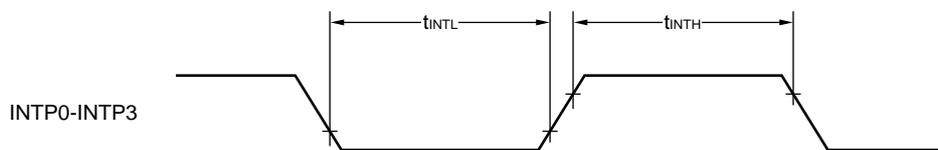
クロック・タイミング



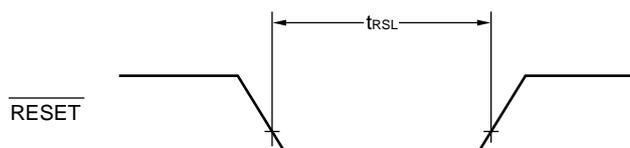
TI000 タイミング



割り込み入力タイミング



RESET 入力タイミング



A/Dコンバータ特性 (TA = -40 ~ +85 , 2.7 V AVREF VDD 5.5 V , VSS = 0 V^{注1})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注2,3}	AINL	4.0 V AVREF 4.5 V		± 0.2	± 0.4	%FSR
		2.7 V AVREF < 4.0 V		± 0.3	± 0.6	%FSR
変換時間	tCONV	4.5 V AVREF 5.5 V	3.0		100	μs
		4.0 V AVREF < 4.5 V	4.8		100	μs
		2.85 V AVREF < 4.0 V	6.0		100	μs
		2.7 V AVREF < 2.85 V	14.0		100	μs
ゼロスケール誤差 ^{注2,3}	Ezs	4.0 V AVREF 5.5 V			± 0.4	%FSR
		2.7 V AVREF < 4.0 V			± 0.6	%FSR
フルスケール誤差 ^{注2,3}	Efs	4.0 V AVREF 5.5 V			± 0.4	%FSR
		2.7 V AVREF < 4.0 V			± 0.6	%FSR
積分直線性誤差 ^{注2}	ILE	4.0 V AVREF 5.5 V			± 2.5	LSB
		2.7 V AVREF < 4.0 V			± 4.5	LSB
微分直線性誤差 ^{注2}	DLE	4.0 V AVREF 5.5 V			± 1.5	LSB
		2.7 V AVREF < 4.0 V			± 2.0	LSB
アナログ入力電圧	VAIN		VSS ^{注1}		AVREF	V

注1. Vssは、A/Dコンバータのグランド電位と兼用しています。Vssを必ず安定しているGND (= 0 V) に接続してください。

2. 量子化誤差 (± 1/2LSB) を含みません。
3. フルスケール値に対する比率 (%FSR) で表します。

注意 アナログ入力端子を兼用の入出力ポートとして使用した場合、またはA/D変換中にポートを変化させると精度が悪化します。

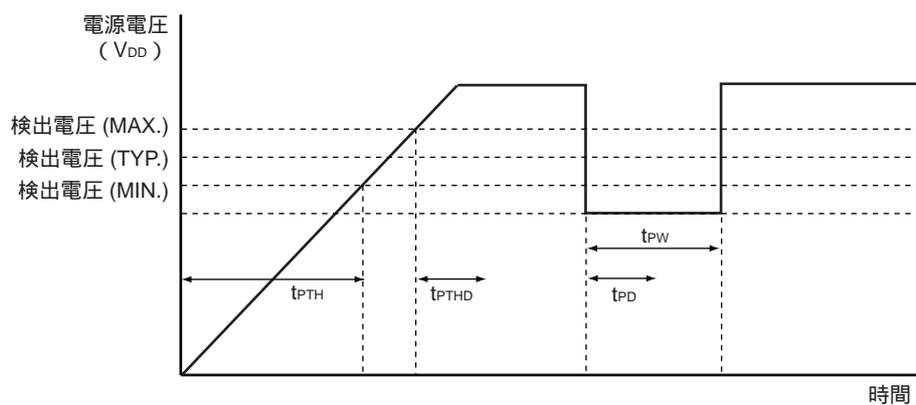
POC回路特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}		2.0	2.1	2.2	V
電源立ち上げ時間	t _{PTH}	V _{DD} : 0V 2.1V	1.5			μs
応答遅延時間 ^{注1}	t _{PTH_D}	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答遅延時間 ^{注2}	t _{PD}	電源降下時			1.0	ms
最小パルス幅	t _{PW}		0.2			ms

注1. 検出電圧を検出してから、内部リセットを解除するまでの時間です。

2. 検出電圧を検出してから、内部リセット信号を発生するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LV10}		4.1	4.3	4.5	V
	V _{LV11}		3.9	4.1	4.3	V
	V _{LV12}		3.7	3.9	4.1	V
	V _{LV13}		3.5	3.7	3.9	V
	V _{LV14}		3.3	3.5	3.7	V
	V _{LV15}		3.15	3.3	3.45	V
	V _{LV16}		2.95	3.1	3.25	V
	V _{LV17}		2.7	2.85	3.0	V
	V _{LV18}		2.5	2.6	2.7	V
	V _{LV19}		2.25	2.35	2.45	V
応答時間 ^{注1}	t _{LD}			0.2	2.0	ms
最小パルス幅	t _{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t _{LWAIT}			0.1	0.2	ms

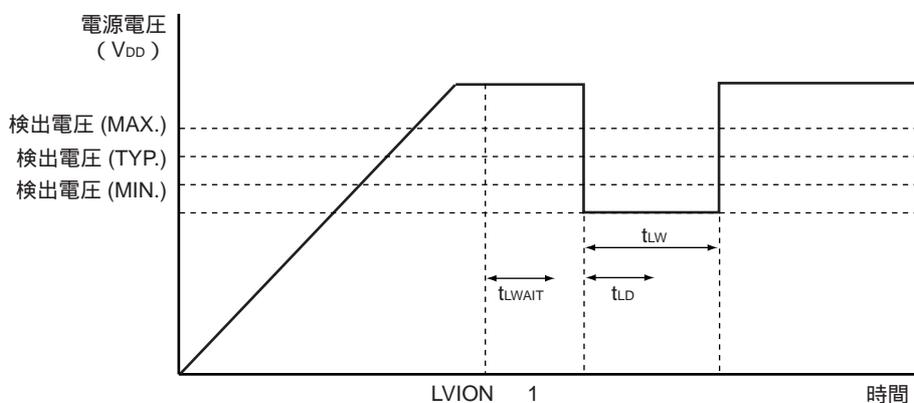
注1. 検出電圧を検出してから割り込みまたは内部リセット信号を発生するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. V_{LV10} > V_{LV11} > V_{LV12} > V_{LV13} > V_{LV14} > V_{LV15} > V_{LV16} > V_{LV17} > V_{LV18} > V_{LV19}

2. V_{POC} < V_{LVm} (m=0-9)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
リリース信号セット時間	t _{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性 (TA = -40 ~ +85 , 2.7 V VDD 5.5 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	IDD	VDD = 5.5 V			7.0	mA
消去回数 ^{注1} (1ブロック当たり)	NERASE	TA = -40 ~ +85	1000			回
チップ消去時間	TCERASE	TA = -10 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.8	s
			3.5 V VDD < 4.5 V		1.0	s
			2.7 V VDD < 3.5 V		1.2	s
		TA = -10 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		4.8	s
			3.5 V VDD < 4.5 V		5.2	s
			2.7 V VDD < 3.5 V		6.1	s
		TA = -40 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		1.6	s
			3.5 V VDD < 4.5 V		1.8	s
			2.7 V VDD < 3.5 V		2.0	s
		TA = -40 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		9.1	s
			3.5 V VDD < 4.5 V		10.1	s
			2.7 V VDD < 3.5 V		12.3	s
ブロック消去時間	TBERASE	TA = -10 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.4	s
			3.5 V VDD < 4.5 V		0.5	s
			2.7 V VDD < 3.5 V		0.6	s
		TA = -10 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		2.6	s
			3.5 V VDD < 4.5 V		2.8	s
			2.7 V VDD < 3.5 V		3.3	s
		TA = -40 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.9	s
			3.5 V VDD < 4.5 V		1.0	s
			2.7 V VDD < 3.5 V		1.1	s
		TA = -40 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		4.9	s
			3.5 V VDD < 4.5 V		5.4	s
			2.7 V VDD < 3.5 V		6.6	s
バイト書き込み時間	TWRITE	TA = -40 ~ +85 , NERASE 1000			150	μs
内部ベリファイ	TVERIFY	1ブロック当たり			6.8	ms
		1バイト当たり			27	μs
ブランク・チェック	TBLKCHK	1ブロック当たり			480	μs
保持年数		TA = 85 ^{注2} , NERASE 1000	10			年

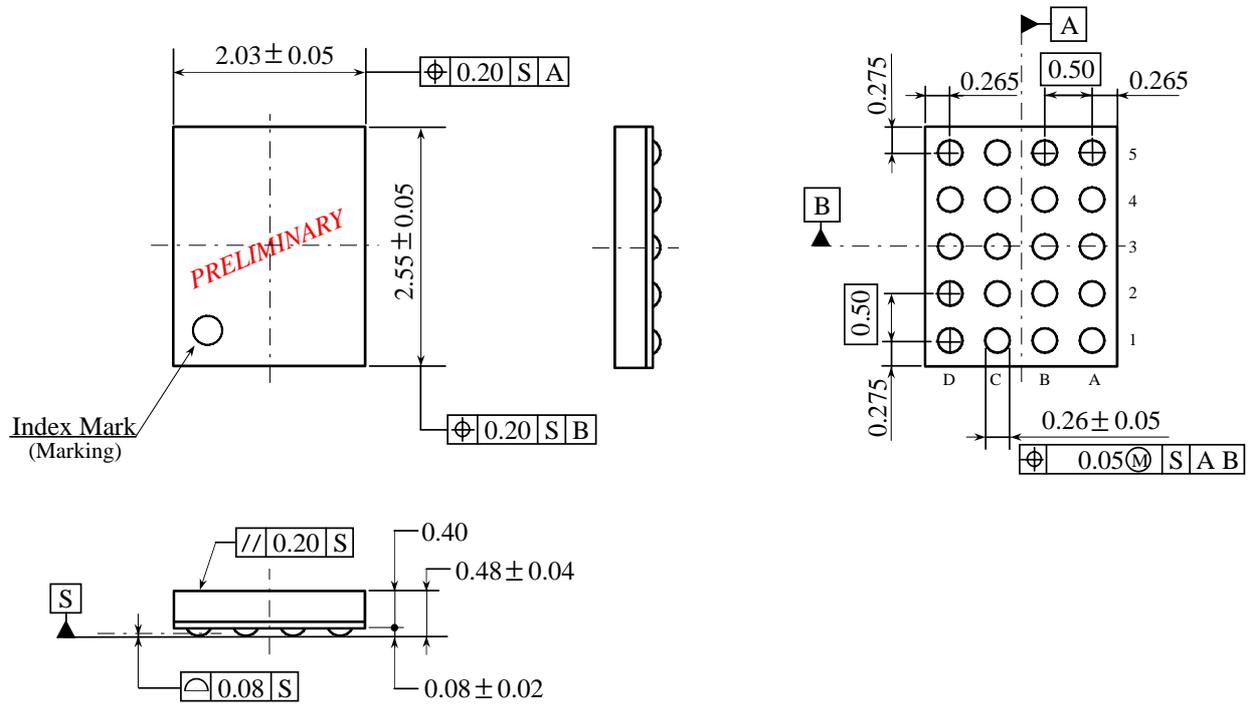
注1. 消去回数 (NERASE) により、消去時間が変わります。チップ消去時間、ブロック消去時間の項目を参照してください。

2. 動作時、非動作時の平均温度が85 の場合。

備考 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

8. 外形図 (暫定)

20-pin Wafer Level CSP (0.5 mm pitch)



付録A . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD78F9221FH, 78F9222FH ペーパー・マシン	このマニュアル	U18497E
78K0S/KA1+ ユーザーズ・マニュアル	U16898J	U16898E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名		資料番号	
		和文	英文
RA78K0S アセンブラ・パッケージ	操作編	U16656J	U16656E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U14872J	U14872E
ID78K0S-NS Ver.2.52 統合ディバग्ガ	操作編	U16584J	U16584E
ID78K0S-QB Ver.2.81 統合ディバग्ガ	操作編	U17287J	U17287E
PM plus Ver.5.20		U16934J	U16934E
Applilet EZ Intelligent Flash		U17211J	-

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
QB-78K0SKX1MINI インサーキット・エミュレータ	U17272J	U17272E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E
PG-FPL2 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U17307J	U17307E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意： 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

— お問い合わせ先 —

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
