

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



2M ビット CMOS シンクロナス高速 SRAM
64K ワード×32 ビット
パイプライン・オペレーション

μ PD432232L は、バースト・リード/ライトが可能な、高性能 2 次キャッシュ・メモリ用の 2M ビット CMOS シンクロナス SRAM ファミリです。本製品はマイクロプロセッサの代表的な 2 種類のバースト・モードに対応しています。レジスタを内蔵しており、すべてのレジスタは、クロック信号の立ち上がりエッジでシンクロナス動作を行います。

ZZ ピンをロウ・レベルにすると通常動作、ハイ・レベルにすると、パワーダウン（スリープ）状態になります。パワーダウン状態では、そのときの内部状態が保持されます。ZZ ピンをふたたびロウ・レベルにすると、SRAM は通常動作に戻ります。

パッケージは、100 ピン・プラスチック LQFP を用意しております。

特 徴

- ・電源電圧
 - Chip : 3.3 V 電源電圧
 - I/O : 3.3 V / 2.5 V 電源電圧
- ・シンクロナス・オペレーション
- ・セルフタイム・ライト・コントロール
- ・バースト・リード/ライト可能
- ・パイプライン・オペレーション（入出力レジスタ内蔵）
- ★ ・Deselected 状態になったそのサイクル内で、データ出力は Hi-Z になります。
- ・3.3 V / 2.5 V LVTTTL コンパチブル
- ・高速クロック・アクセス時間：5 ns（100 MHz）、7 ns（83 MHz）、8 ns（66 MHz）
- ・非同期アウトプット・イネーブル入力：/G
- ・インタリーブ・バースト/リニア・バースト選択可能：MODE
- ・スリープ・モードをサポート（ZZ = Open or Low：通常動作時）
- ・バイト・ライト・イネーブル：/BW1 - /BW4, /BWE
- ・グローバル・ライト・イネーブル：/GW
- ・キャッシュ・サイズ拡張用 3 チップ・イネーブル：/CE, CE2, /CE2
- ・3 ステート出力

オーダ情報

オーダ名称	アクセス時間	クロック周波数	パッケージ
μ PD432232LGF-A5	5 ns	100 MHz	100 ピン・プラスチック LQFP (14 x 20)
μ PD432232LGF-A7	7 ns	83 MHz	100 ピン・プラスチック LQFP (14 x 20)
μ PD432232LGF-A8	8 ns	66 MHz	100 ピン・プラスチック LQFP (14 x 20)

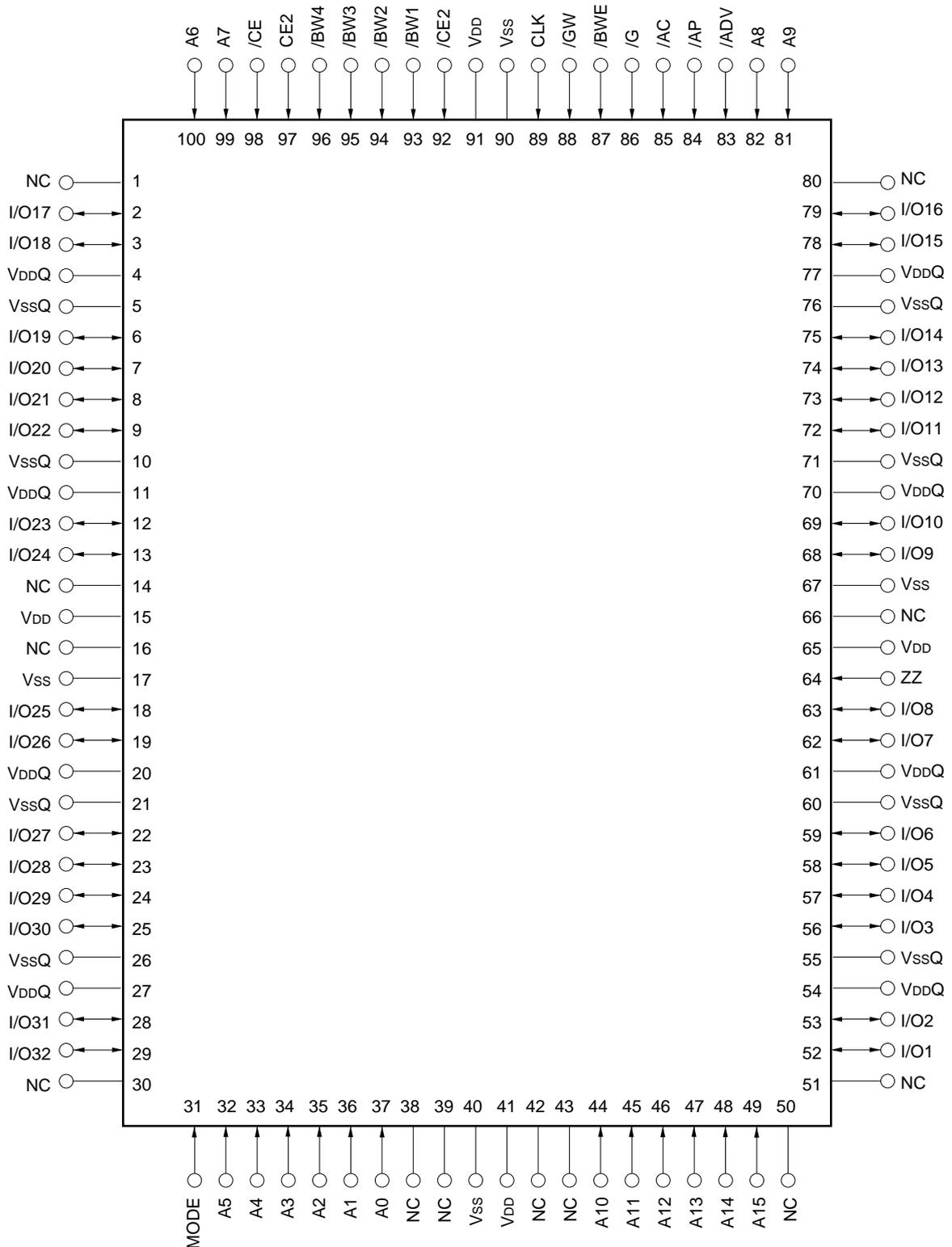
本資料の内容は、予告なく変更することがありますので、最新のものとご確認の上ご使用ください。

★ 端子接続図 (Marking Side)

/xxx はアクティブ・ロウを示します。

100ピン・プラスチック LQFP (14 x 20)

[μPD432232LGF]

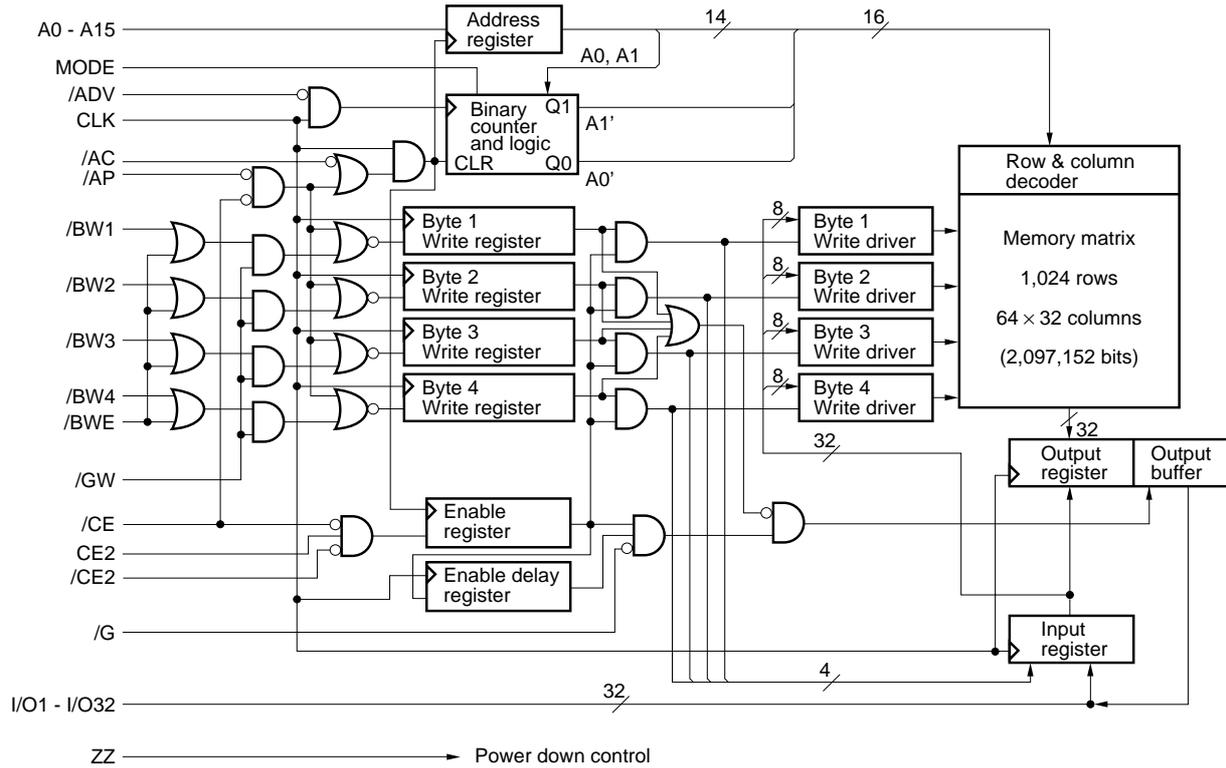


備考 1ピン・マークに関しては外形図を参照してください。

端子名称

Symbol	Pin No.	Description
A0 - A15	37, 36, 35, 34, 33, 32, 100, 99, 82, 81, 44, 45, 46, 47, 48,49	Synchronous Address Input
I/O1 - I/O32	52, 53, 56, 57, 58, 59, 62, 63, 68, 69, 72, 73, 74, 75, 78, 79, 2, 3, 6, 7, 8, 9, 12, 13, 18, 19, 22, 23, 24, 25, 28, 29	Synchronous Data In, Synchronous/Asynchronous Data Out
/ADV	83	Synchronous Burst Address Advance Input
/AP	84	Synchronous Address Status Processor Input
/AC	85	Synchronous Address Status Controller Input
/CE, CE2, /CE2	98, 97, 92	Synchronous Chip Enable Input
/BW1 - /BW4, /BWE	93, 94, 95, 96, 87	Synchronous Byte Write Enable Input
/GW	88	Synchronous Global Write Input
/G	86	Asynchronous Output Enable Input
CLK	89	Clock Input
★ MODE	31	Asynchronous Burst Sequence Select Input Do not change state during normal operation
ZZ	64	Asynchronous Power Down State Input
V _{DD}	15, 41, 65, 91	Power Supply
V _{SS}	17, 40, 67, 90	Ground
V _{DDQ}	4, 11, 20, 27, 54, 61, 70, 77	Output Buffer Power Supply
V _{SSQ}	5, 10, 21, 26, 55, 60, 71, 76	Output Buffer Ground
NC	1, 14, 16, 30, 38, 39, 42, 43, 50, 51, 66, 80	No Connection

ブロック図



バースト・シーケンス表

インタリーブ・バースト・シーケンス (MODE = Open or V_{DD})

External Address	A15 - A2, A1, A0
1st Burst Address	A15 - A2, A1, /A0
2nd Burst Address	A15 - A2, /A1, A0
3rd Burst Address	A15 - A2, /A1, /A0

リニア・バースト・シーケンス (MODE = V_{SS})

External Address	A15 - A2, 0, 0	A15 - A2, 0, 1	A15 - A2, 1, 0	A15 - A2, 1, 1
1st Burst Address	A15 - A2, 0, 1	A15 - A2, 1, 0	A15 - A2, 1, 1	A15 - A2, 0, 0
2nd Burst Address	A15 - A2, 1, 0	A15 - A2, 1, 1	A15 - A2, 0, 0	A15 - A2, 0, 1
3rd Burst Address	A15 - A2, 1, 1	A15 - A2, 0, 0	A15 - A2, 0, 1	A15 - A2, 1, 0

非同期真理値表

Operation	/G	I/O
Read Cycle	L	Dout
Read Cycle	H	Hi-Z
Write Cycle	×	Hi-Z, Din
Deselected	×	Hi-Z

備考 × : Don't care

同期真理値表

Operation	/CE	CE2	/CE2	/AP	/AC	/ADV	/WRITE	CLK	Address
Deselected ^注	H	×	×	×	L	×	×	L → H	N/A
Deselected ^注	L	L	×	L	×	×	×	L → H	N/A
Deselected ^注	L	×	H	L	×	×	×	L → H	N/A
Deselected ^注	L	L	×	H	L	×	×	L → H	N/A
Deselected ^注	L	×	H	H	L	×	×	L → H	N/A
Read Cycle / Begin Burst	L	H	L	L	×	×	×	L → H	External
Read Cycle / Begin Burst	L	H	L	H	L	×	H	L → H	External
Read Cycle / Continue Burst	×	×	×	H	H	L	H	L → H	Next
Read Cycle / Continue Burst	H	×	×	×	H	L	H	L → H	Next
Read Cycle / Suspend Burst	×	×	×	H	H	H	H	L → H	Current
Read Cycle / Suspend Burst	H	×	×	×	H	H	H	L → H	Current
Write Cycle / Begin Burst	L	H	L	H	L	×	L	L → H	External
Write Cycle / Continue Burst	×	×	×	H	H	L	L	L → H	Next
Write Cycle / Continue Burst	H	×	×	×	H	L	L	L → H	Next
Write Cycle / Suspend Burst	×	×	×	H	H	H	L	L → H	Current
Write Cycle / Suspend Burst	H	×	×	×	H	H	L	L → H	Current

注 Deselected 状態は、新たに Begin Burst に入るまで続きます。

備考 1. × : Don't care

2. /WRITE = L は、/BW1 - /BW4 のいずれかと /BWE がロウ・レベル、あるいは /GW がロウ・レベルであることを示します。

/WRITE = H は、以下の 2 つの状態を示します。

(1) /BWE, /GW : ハイ・レベル

(2) /BW1 - /BW4, /GW : ハイ・レベル, /BWE : ロウ・レベル

パーシャル真理値表

Operation	/GW	/BWE	/BW1	/BW2	/BW3	/BW4
Read Cycle	H	H	×	×	×	×
Read Cycle	H	L	H	H	H	H
Write Cycle / Byte 1 Only	H	L	L	H	H	H
Write Cycle / All Bytes	H	L	L	L	L	L
Write Cycle / All Bytes	L	×	×	×	×	×

備考 ×: Don't care

バス・スルー真理値表

Previous Cycle				Present Cycle						Next Cycle
Operation	Add	/WRITE	I/O	Operation	Add	/CEs	/WRITE	/G	I/O	Operation
Write Cycle	Ak	L	Dn (Ak)	Read Cycle (Begin Burst)	Am	L	H	L	Q1 (Ak)	Read Q1 (Am)
				Deselected	-	H	×	×	Hi-Z	No Carry Over from Previous Cycle

備考 1. ×: Don't care

2. /WRITE = L は、/BW1 - /BW4 のいずれかと/BWE がロウ・レベル、あるいは/GW がロウ・レベルであることを示します。

/WE = H は、以下の2つの状態を示します。

(1) /BWE, /GW : ハイ・レベル

(2) /BW1 - /BW4, /GW : ハイ・レベル, /BWE : ロウ・レベル

/CEs = L は、/CE, /CE2 がロウ・レベル, CE2 がハイ・レベルであることを示します。

/CEs = H は、/CE, /CE2 がハイ・レベル, CE2 がロウ・レベルであることを示します。

ZZ (スリープ) 真理値表

ZZ	Chip Status
≤ 0.2 V	Active
Open	Active
≥ V _{DD} - 0.2 V	Sleep

電気的特性

絶対最大定格

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
Supply voltage	V _{DD}		-0.5		+4.6	V	
Output supply voltage	V _{DDQ}		-0.5		V _{DD}	V	
Input voltage	V _{IN}		-0.5		V _{DD} +0.5	V	1, 2
Input/Output voltage	V _{I/O}		-0.5		V _{DDQ} +0.5	V	1, 2
Operating ambient temperature	T _A		0		70	°C	
Storage temperature	T _{stg}		-55		+125	°C	

注 1. -2.0 V (MIN.) (パルス幅 : 2 ns)

2. V_{DDQ} + 2.3 V (MAX.) (パルス幅 : 2 ns)

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件 (T_A = 0 to 70 °C)

2.5 V LVTTTL

項目	略号	条件	MIN.	TYP.	MAX.	単位
Supply voltage	V _{DD}		3.1	3.3	3.6	V
Output supply voltage	V _{DDQ}		2.375	2.5	2.9	V
High level input voltage	V _{IH}		1.7		V _{DDQ} +0.3	V
Low level input voltage	V _{IL}		-0.5 [#]		+0.7	V

注 -0.8 V (MIN.) (パルス幅 : 2 ns)

3.3 V LVTTTL

項目	略号	条件	MIN.	TYP.	MAX.	単位
Supply voltage	V _{DD}		3.1	3.3	3.6	V
Output supply voltage	V _{DDQ}		3.1	3.3	3.6	V
High level input voltage	V _{IH}		2.0		V _{DDQ} +0.3	V
Low level input voltage	V _{IL}		-0.5 [#]		+0.8	V

注 -0.8 V (MIN.) (パルス幅 : 2 ns)

入出力容量 (T_A = 25 °C, f = 1 MHz)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Input capacitance	C _{IN}	V _{IN} = 0 V			4	pF
Input/Output capacitance	C _{I/O}	V _{I/O} = 0 V			7	pF
Clock input capacitance	C _{clk}	V _{clk} = 0 V			4	pF

備考 これらのパラメータは全数測定されたものではなく、サンプル値です。

DC 特性 ($T_A = 0$ to $70\text{ }^\circ\text{C}$, $V_{DD} = 3.1\text{ V}$ to 3.6 V)

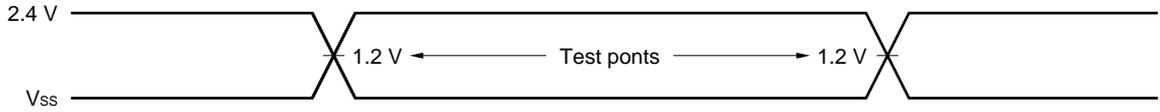
項目	略号	条件	MIN.	TYP.	MAX.	単位	注
Input leakage current	I _{LI}	V _{IN} (except ZZ, MODE) = 0 V to V _{DD}	-2		+2	μA	
		ZZ, MODE = 0 V or V _{DD}	-5		+5		
I/O leakage current	I _{LO}	V _{I/O} = 0 V to V _{DDQ} , Outputs are disabled.	-2		+2	μA	
Operating supply current	I _{DD}	Device selected, Cycle = MAX. V _{IN} ≤ V _{IL} or V _{IN} ≥ V _{IH} , I _{I/O} = 0 mA			180	mA	
	I _{DD1}	Suspend cycle, Cycle = MAX. /AC, /AP, /ADV, /GW, /BWEs ≥ V _{IH} V _{IN} ≤ V _{IL} or V _{IN} ≥ V _{IH} , I _{I/O} = 0 mA			60		
Standby supply current	I _{SB}	Device deselected, Cycle = 0 MHz V _{IN} ≤ V _{IL} or V _{IN} ≥ V _{IH} , All inputs are static.			20	mA	
	I _{SB1}	Device deselected, Cycle = 0 MHz V _{IN} ≤ 0.2 V or V _{IN} ≥ V _{DD} - 0.2 V, V _{I/O} ≤ 0.2 V, All inputs are static.		0.2	2.0		
	I _{SB2}	Device deselected, Cycle = MAX V _{IN} ≤ V _{IL} or V _{IN} ≥ V _{IH}			60		
Power down supply current	I _{SBZZ}	ZZ ≥ V _{DD} - 0.2 V, V _{I/O} ≤ V _{DDQ} + 0.2 V		0.2	2.0	mA	
2.5 V LVTTTL interface							
High level output voltage	V _{OH}	I _{OH} = -2.0 mA	2.1			V	
Low level output voltage	V _{OL}	I _{OH} = +2.0 mA			0.3	V	
3.3 V LVTTTL interface							
High level output voltage	V _{OH}	I _{OH} = -4.0 mA	2.4			V	
Low level output voltage	V _{OL}	I _{OH} = +8.0 mA			0.4	V	

AC 特性 ($T_A = 0$ to 70°C , $V_{DD} = 3.1$ V to 3.6 V)

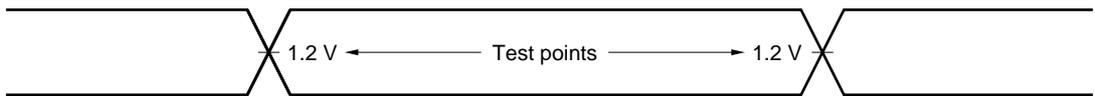
AC 特性試験条件

2.5 V LVTTTL

入力波形 (立ち上がり / 立ち下がり時間 ≤ 2.4 ns)

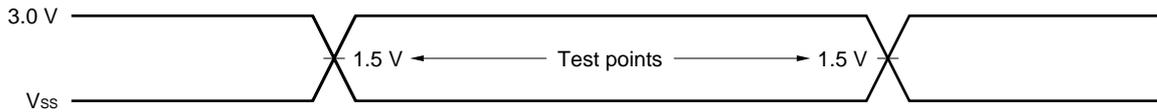


出力測定点

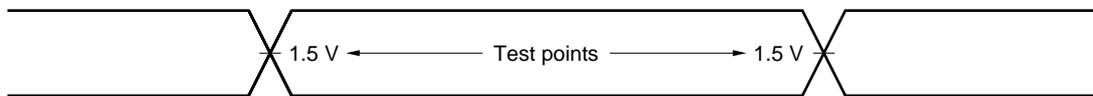


3.3 V LVTTTL

入力波形 (立ち上がり / 立ち下がり時間 ≤ 3.0 ns)



出力測定点

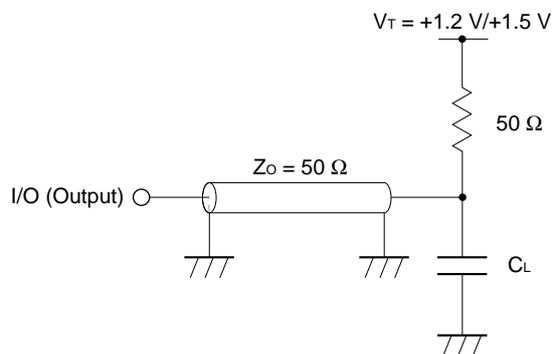


出力負荷

C_L : 30 pF

5 pF (TKHQX1, TKHQX2, TGLQX, TGHQZ, TKHQZ)

図 1



備考 C_L は測定器のプロープと治具の容量 , 浮遊容量を含みます。

リード・サイクル, ライト・サイクル (2.5 V LVTTL)

項目	略号		-A5 (100 MHz)		-A7 (83 MHz)		-A8 (66 MHz)		単位	注
	Standard	Alias	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
Cycle time	TKHKH	TCYC	10	-	12	-	15	-	ns	
Clock access time	TKHQV	TCD	-	5	-	7	-	8	ns	
Output enable access time	TGLQV	TOE	-	4.5	-	5	-	5	ns	
Clock high to output active	TKHQX1	TDC1	2	-	2	-	2	-	ns	
Clock high to output change	TKHQX2	TDC2	2.5	-	3	-	3	-	ns	
Output enable to output active	TGLQX	TOLZ	2	-	2	-	2	-	ns	
Output disable to output high-Z	TGHQZ	TOHZ	2	5	2	5	2	5	ns	
Clock high to output high-Z	TKHQZ	TCZ	2	5	2	5	2	5	ns	
Clock high pulse width	TKHKL	TCH	4	-	4.5	-	5	-	ns	
Clock low pulse width	TKLKH	TCL	4	-	4.5	-	5	-	ns	
Setup times	Address	TAVKH	TAS	2.5	-	2.5	-	2.5	-	ns
	Address status	TADSVKH	TSS							
	Data in	TDVKH	TDS	2.2						
	Write enable	TWVKH	TWS	2.5						
	Address advance	TADVVKH	-							
	Chip enable	TEVKH	-							
Hold times	Address	TKHAX	TAH	0.5	-	0.5	-	0.5	-	ns
	Address status	TKHADSX	TSH							
	Data in	TKHDX	TDH							
	Write enable	TKHWX	TWH							
	Address advance	TKHADVX	-							
	Chip enable	TKHEX	-							
Power down entry setup	TZZES	TZZES	8	-	8	-	8	-	ns	1
Power down entry hold	TZZEH	TZZEH	0	-	0	-	0	-	ns	1
Power down recovery setup	TZZRS	TZZRS	8	-	8	-	8	-	ns	1
Power down recovery hold	TZZRH	TZZRH	0	-	0	-	0	-	ns	1

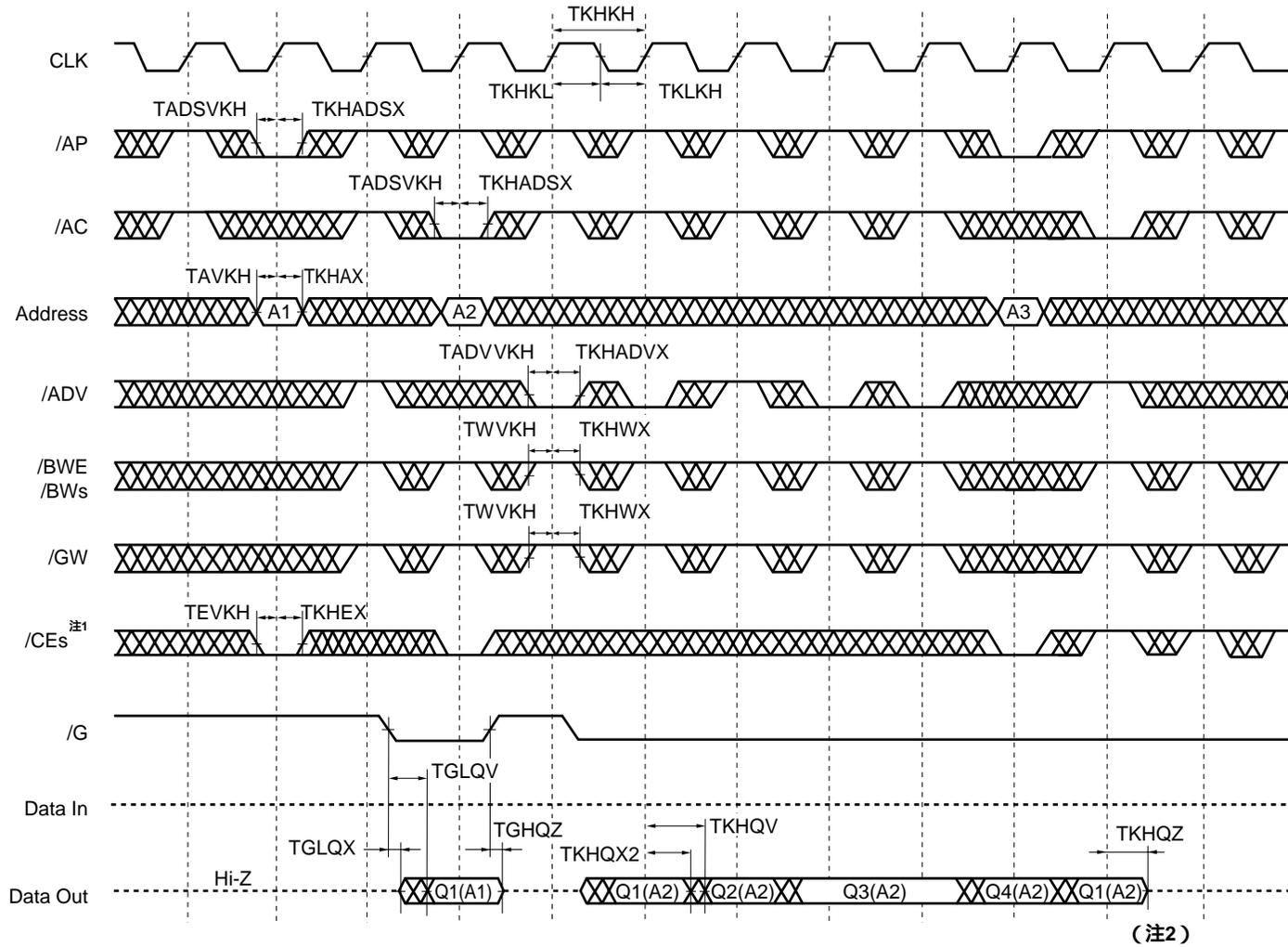
注 1. ZZ 信号は非同期で入れてもかまいませんが、セットアップ時間とホールド時間を守ってください。

リード・サイクル, ライト・サイクル (3.3 V LVTTL)

項 目	略 号		-A5 (100 MHz)		-A7 (83 MHz)		-A8 (66 MHz)		単位	注
	Standard	Alias	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
Cycle time	TKHKH	TCYC	10	-	12	-	15	-	ns	
Clock access time	TKHQV	TCD	-	5	-	7	-	8	ns	
Output enable access time	TGLQV	TOE	-	4.5	-	5	-	5	ns	
Clock high to output active	TKHQX1	TDC1	2	-	2	-	2	-	ns	
Clock high to output change	TKHQX2	TDC2	2.5	-	3	-	3	-	ns	
Output enable to output active	TGLQX	TOLZ	2	-	2	-	2	-	ns	
Output disable to output high-Z	TGHQZ	TOHZ	2	5	2	5	2	5	ns	
Clock high to output high-Z	TKHQZ	TCZ	2	5	2	5	2	5	ns	
Clock high pulse width	TKHKL	TCH	4	-	4.5	-	5	-	ns	
Clock low pulse width	TKLKH	TCL	4	-	4.5	-	5	-	ns	
Setup times	Address	TAVKH	TAS	2.5	-	2.5	-	2.5	-	ns
	Address status	TADSVKH	TSS							
	Data in	TDVKH	TDS	2.2						
	Write enable	TWVKH	TWS	2.5						
	Address advance	TADVVKH	-							
	Chip enable	TEVKH	-							
Hold times	Address	TKHAX	TAH	0.5	-	0.5	-	0.5	-	ns
	Address status	TKHADSX	TSH							
	Data in	TKHDX	TDH							
	Write enable	TKHWX	TWH							
	Address advance	TKHADVX	-							
	Chip enable	TKHEX	-							
Power down entry setup	TZZES	TZZES	8	-	8	-	8	-	ns	1
Power down entry hold	TZZEH	TZZEH	0	-	0	-	0	-	ns	1
Power down recovery setup	TZZRS	TZZRS	8	-	8	-	8	-	ns	1
Power down recovery hold	TZZRH	TZZRH	0	-	0	-	0	-	ns	1

注 1. ZZ 信号は非同期で入れてもかまいませんが、セットアップ時間とホールド時間を守ってください。

★ リード・サイクル



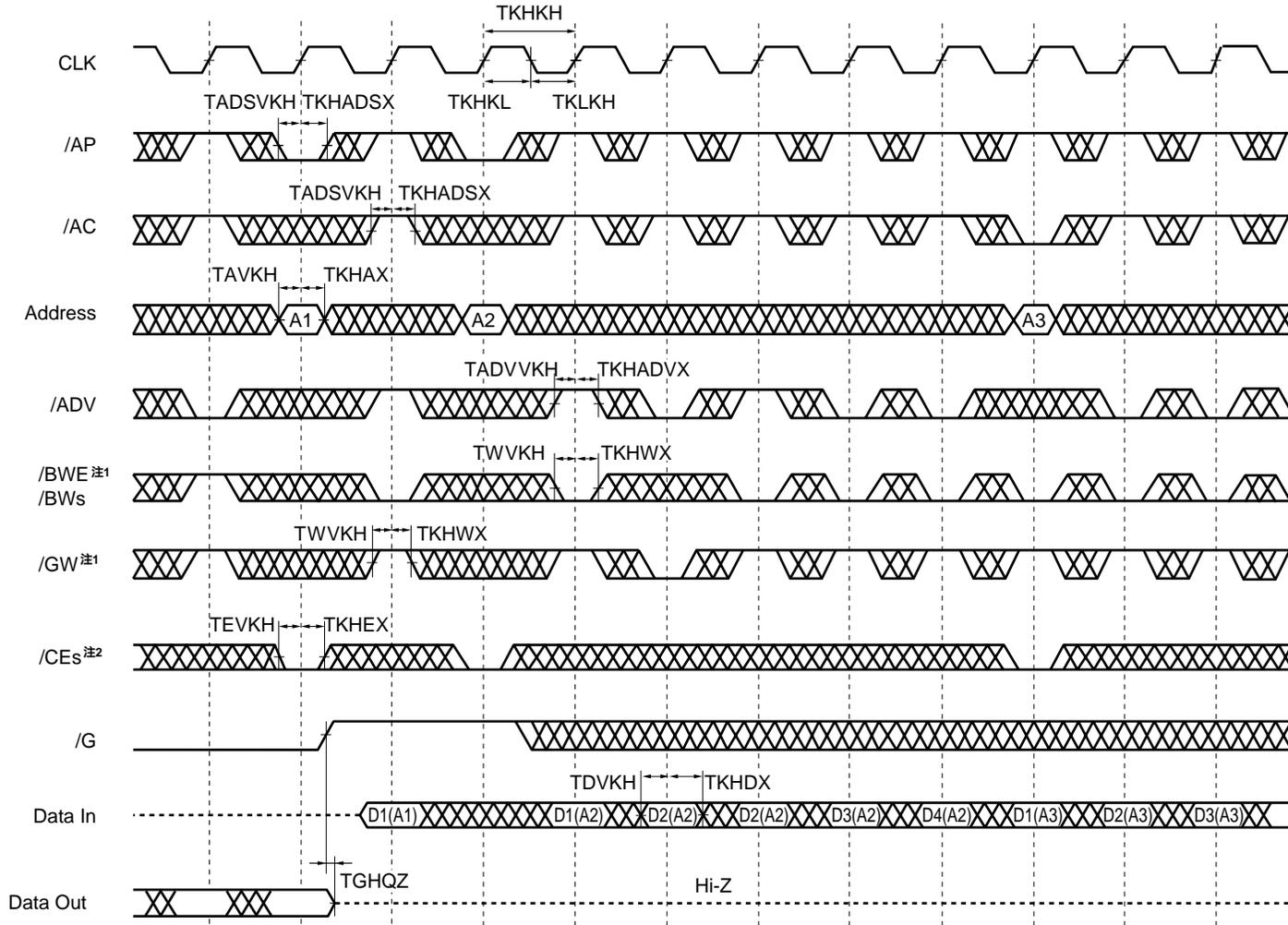
注1. /CEsは、/CE, CE2, /CE2のことを表します。/CEsがロウ・レベルのとき、/CE, /CE2はロウ・レベル、CE2はハイ・レベルです。

/CEsがハイ・レベルのとき、/CE, /CE2はハイ・レベル、CE2はロウ・レベルです。

2. Deselect後、データ出力はそのサイクル内でHi-Zになります。

備考 /Qn(A2)は、アドレスA2からの出力です。Q1 - Q4は、バースト・シーケンスによる出力です。

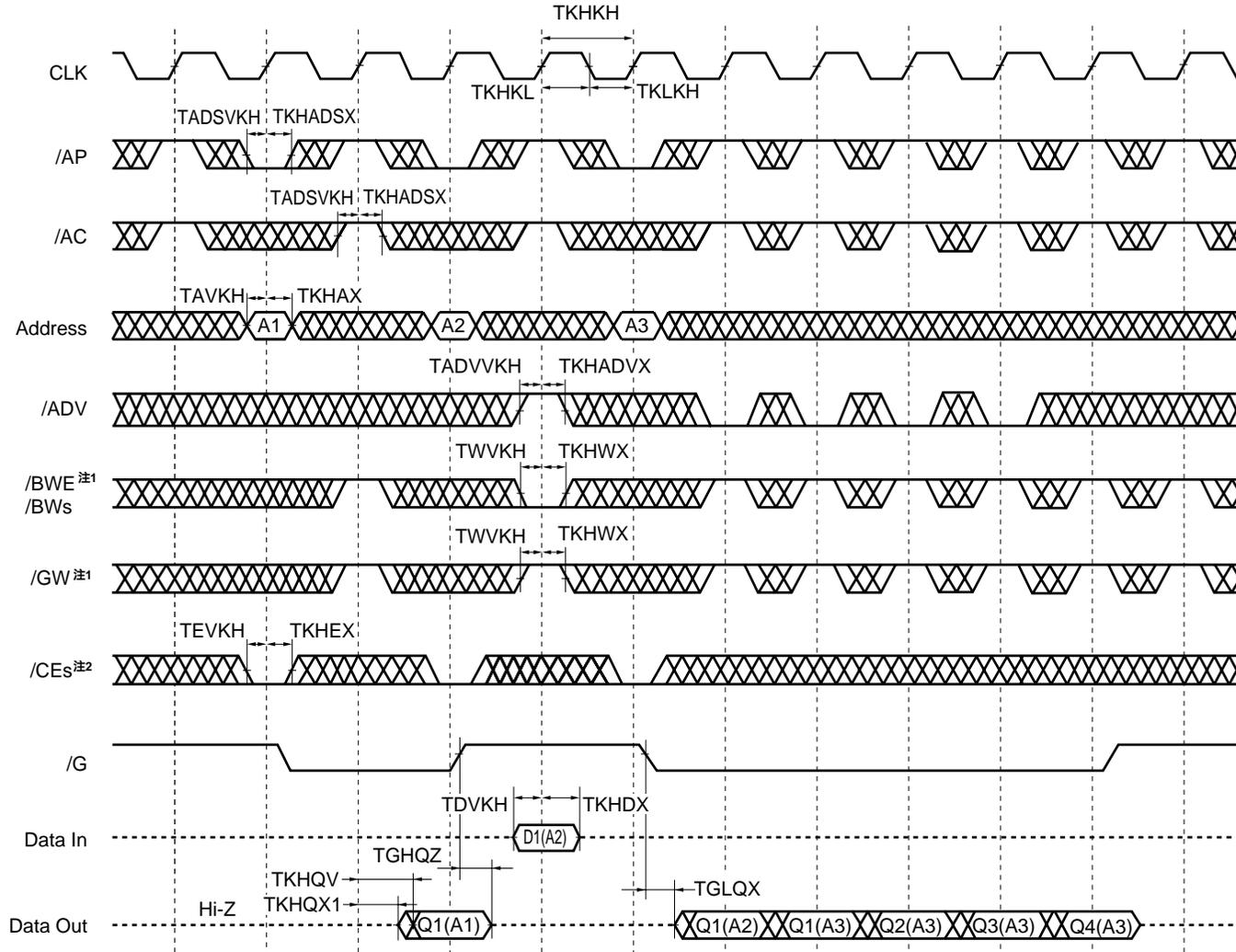
ライト・サイクル



- 注1. 全バイトのライトは/GWをロウ・レベルにするか、あるいは/GWをハイ・レベル、/BWE、/BW1 - /BW4をロウ・レベルにすることにより行われます。
2. /CEsは、/CE、CE2、/CE2のことを表します。/CEsがロウ・レベルのとき、/CE、/CE2はロウ・レベル、CE2はハイ・レベルです。/CEsがハイ・レベルのとき、/CE、/CE2はハイ・レベル、CE2はロウ・レベルです。

保守/廃止

リード/ライト・サイクル

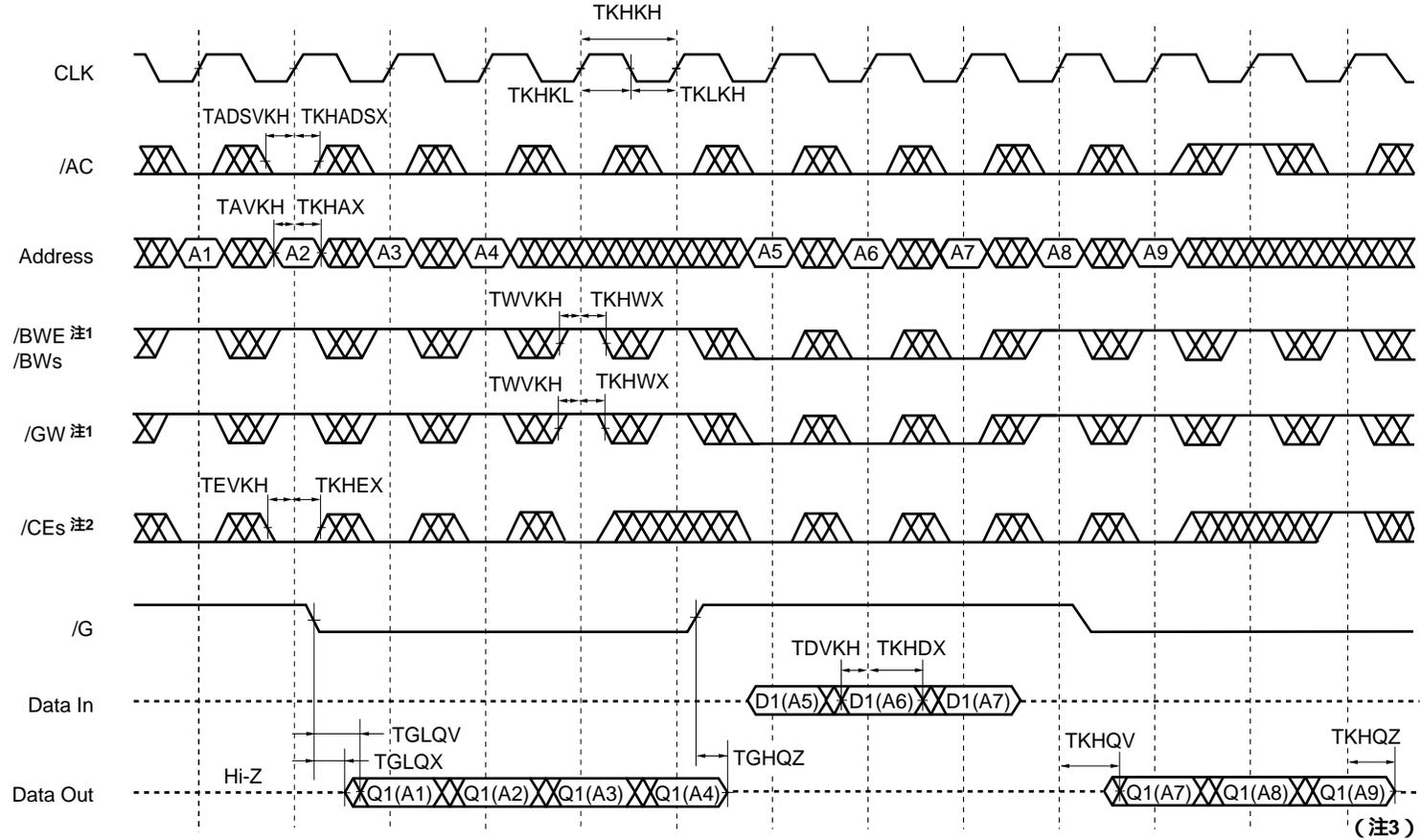


注1. 全バイトのライトは/GWをロウ・レベルにするか、あるいは/GWをハイ・レベル、/BWE、/BW1 - /BW4をロウ・レベルにすることにより行われます。

2. /CEsは、/CE、CE2、/CE2のことを表します。/CEsがロウ・レベルのとき、/CE、/CE2はロウ・レベル、CE2はハイ・レベルです。/CEsがハイ・レベルのとき、/CE、/CE2はハイ・レベル、CE2はロウ・レベルです。

保守/廃止

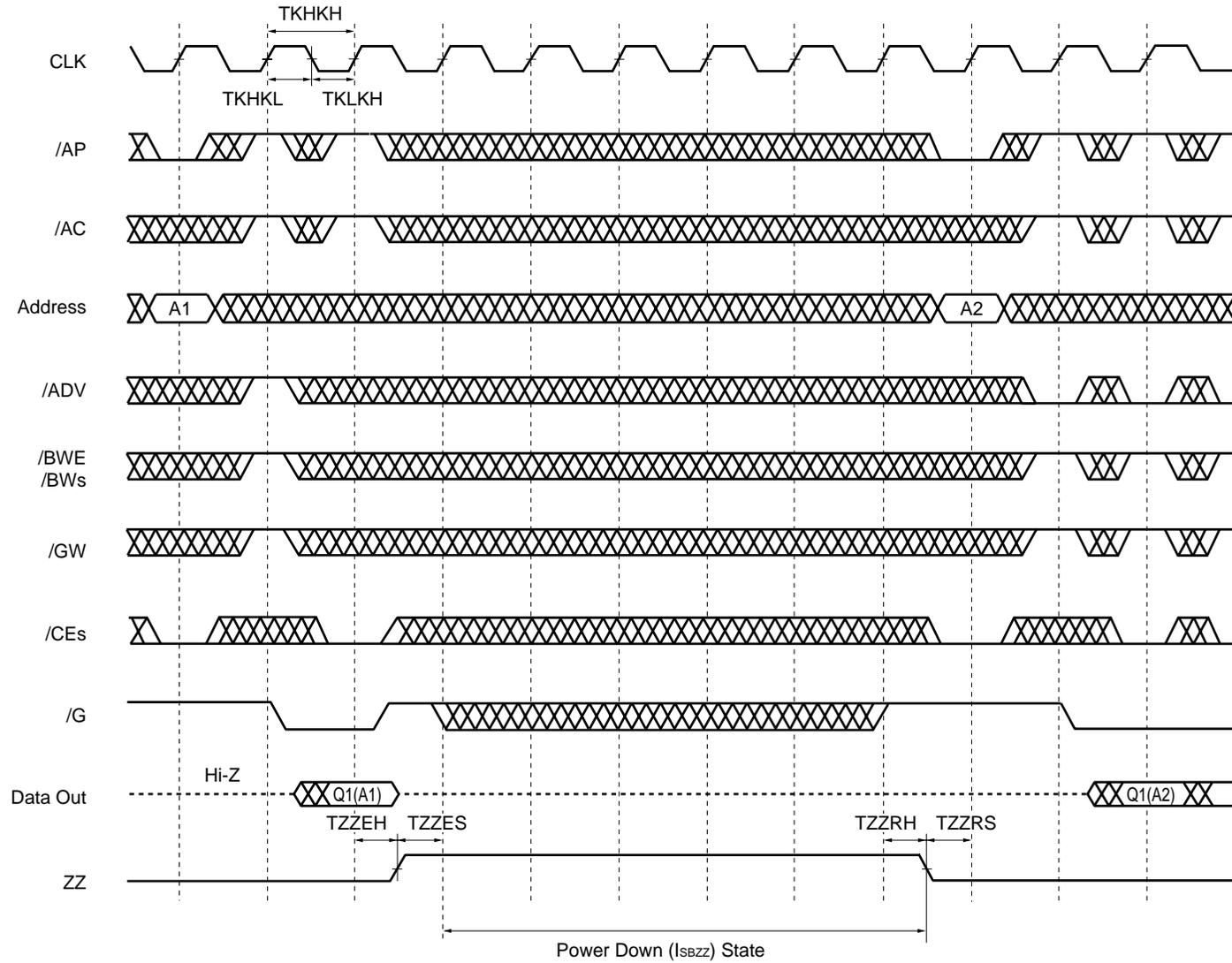
★ シングル・リード/ライト・サイクル



- 注1. 全バイトのライトは/GWをロウ・レベルにするか、あるいは/GWをハイ・レベル、/BWE、/BW1 - /BW4をロウ・レベルにすることにより行われます。
2. /CEsは、/CE、CE2、/CE2のことを表します。/CEsがロウ・レベルのとき、/CE、/CE2はロウ・レベル、CE2はハイ・レベルです。/CEsがハイ・レベルのとき、/CE、/CE2はハイ・レベル、CE2はロウ・レベルです。
3. Deselect後、データ出力はそのサイクル内でHi-Zになります。

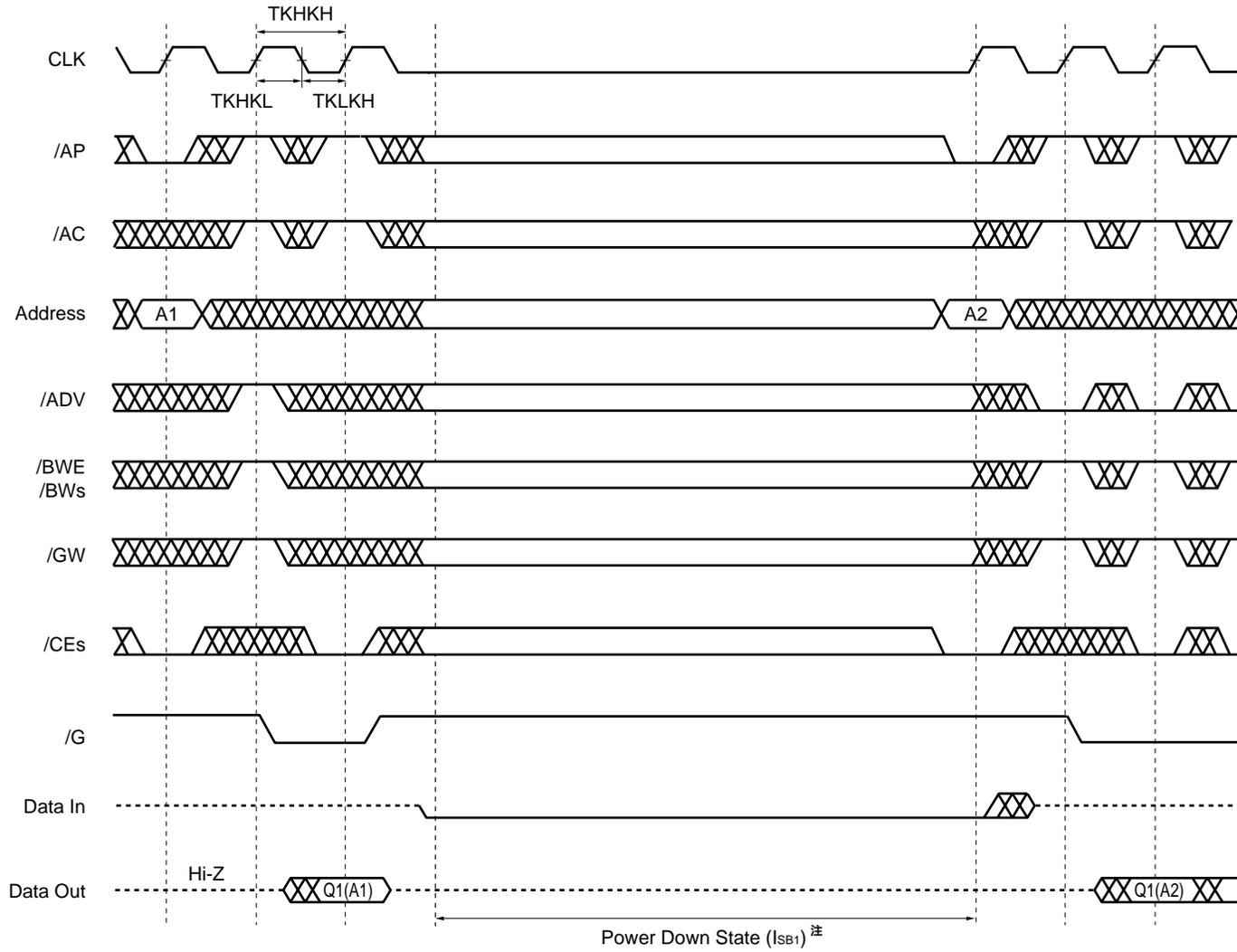
備考 /APはハイ・レベル、/ADVIはDon't careです。

パワーダウン (ZZ) ・サイクル



保守/廃止

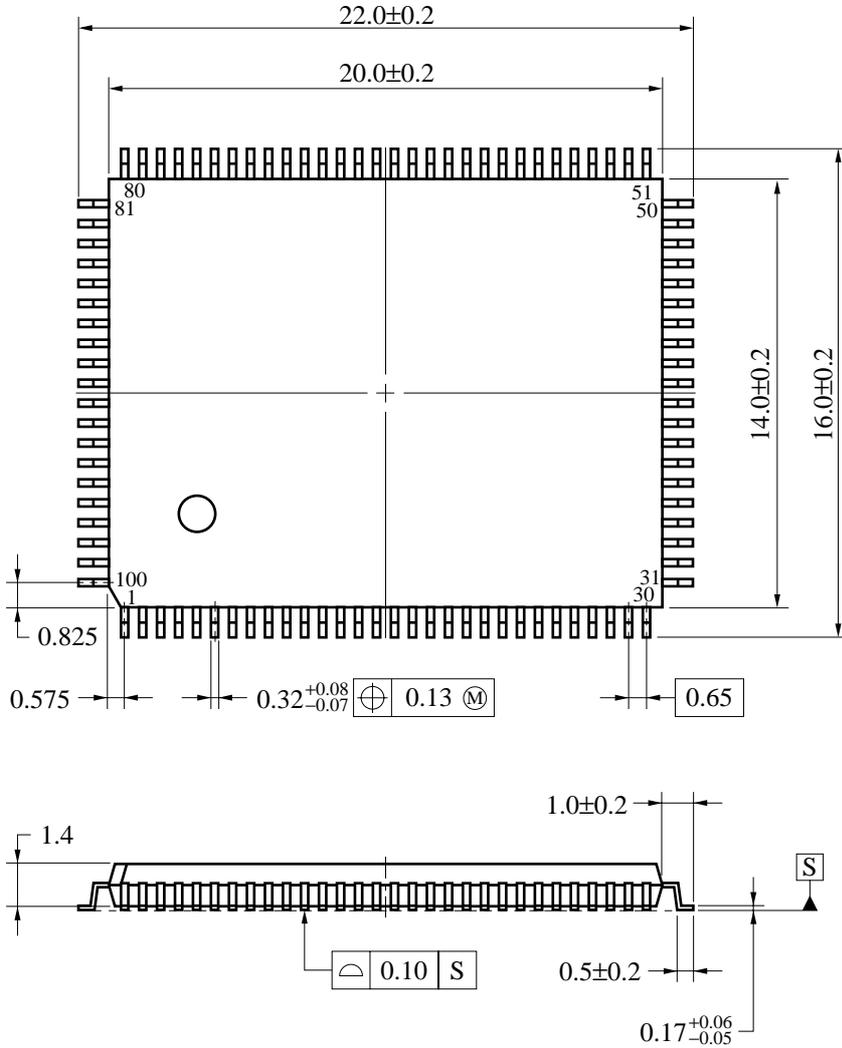
ストップ・クロック・サイクル



注 $V_{IN} \leq 0.2 V$ or $V_{IN} \geq V_{DD} - 0.2 V$, $V_{IO} \leq 0.2 V$

★ 外形図

100ピン・プラスチック LQFP (14x20) 外形図 (単位 : mm)



S100GF-65-8ET-1

半田付け推奨条件

μ PD432232L の半田付け実装は、当社販売員にお問い合わせください。

表面実装タイプ

μ PD432232LGF : 100 ピン・プラスチック LQFP (14 x 20)

(× 毛)

(× 毛)

(× 毛)

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）
（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899
FAX : 044-548-7900
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111
半導体第二販売事業部				
半導体第三販売事業部				
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170 (052)222-2190
中部支社 半導体第二販売部				
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06)6945-3178 (06)6945-3200 (06)6945-3208
関西支社 半導体第二販売部				
関西支社 半導体第三販売部				
北海道支社 札幌	(011)231-0163	甲府支店 甲府	(055)224-4141	京都支社 京都 (075)344-7824
東北支社 仙台	(022)267-8740	長野支店 松本	(0263)35-1662	神戸支社 神戸 (078)333-3854
岩手支店 盛岡	(019)651-4344	静岡支店 静岡	(054)254-4794	中国支社 広島 (082)242-5504
郡山支店 郡山	(024)923-5511	立川支店 立川	(042)526-5981,6167	鳥取支店 鳥取 (0857)27-5311
長岡支店 長岡	(0258)36-2155	埼玉支店 大宮	(048)649-1415	岡山支店 岡山 (086)225-4455
水戸支店 水戸	(029)226-1717	千葉支店 千葉	(043)238-8116	四国支社 松山 (089)945-4149
群馬支店 高崎	(027)326-1255	神奈川支店 横浜	(045)682-4524	九州支社 福岡 (092)261-2806
太田支店 太田	(0276)46-4011	三重支店 津	(059)225-7341	
宇都宮支店 宇都宮	(028)621-2281	北陸支店 金沢	(076)232-7303	