

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

概要

M37270MF-XXXSPは、シリコンゲートCMOSプロセスを採用したシングルチップマイクロコンピュータで64ピンシュリンクプラスチックモールドDIPに収められています。このシングルチップマイクロコンピュータは、ROM, RAM, I/Oを同一メモリ空間とするシンプルな命令体系を持った専用マイクロコンピュータです。

OSD機能、データスライサなどを備えていますので、クローズドキャプションデコーダ内蔵TVの選局システムに最適です。M37270EF-XXXSP, M37270EFSPは電気的書き込み可能なPROMを内蔵していること以外はM37270MF-XXXSPと同等の機能を有しています。

特長

- 基本機械語命令 71
- メモリ容量
 - ROM 60Kバイト
 - RAM 1024バイト
 - OSD用ROM 14464バイト
 - OSD用RAM 1920バイト
- 命令実行時間(最短命令、8 MHz時) 0.5 μ s(最小)
- 単一電源 5V \pm 10%
- サブルーチンネスティング 最大128レベル
- 割り込み 18要因 16ベクタ
- 8ビットタイマ 6本
- プログラマブル入出力
 - (ポートP0, P1, P2, P30, P31) 26本
 - 入力ポート(ポートP40~P46, P63, P64) 9本
 - 出力ポート(ポートP32, P47, P5, P60~P62, P65~P67) 16本
 - 12V耐圧ポート 11本
 - LED駆動ポート 2本
 - シリアルI/O 8ビット \times 1本
 - マルチマスタI²C-BUSインタフェース 1本(2系統)
 - A-D変換器(分解能8ビット) 4チャンネル
 - PWM出力回路 8ビット \times 8本
 - 割り込み間隔判定回路 1
- 消費電力
 - 高速モード時 165mW
(電源電圧5.5V、発振周波数8MHz、CRT表示、データスライサON時)
 - 低速モード時 0.33mW
(電源電圧5.5V、発振周波数32kHz時)
- データスライサ

● OSD機能

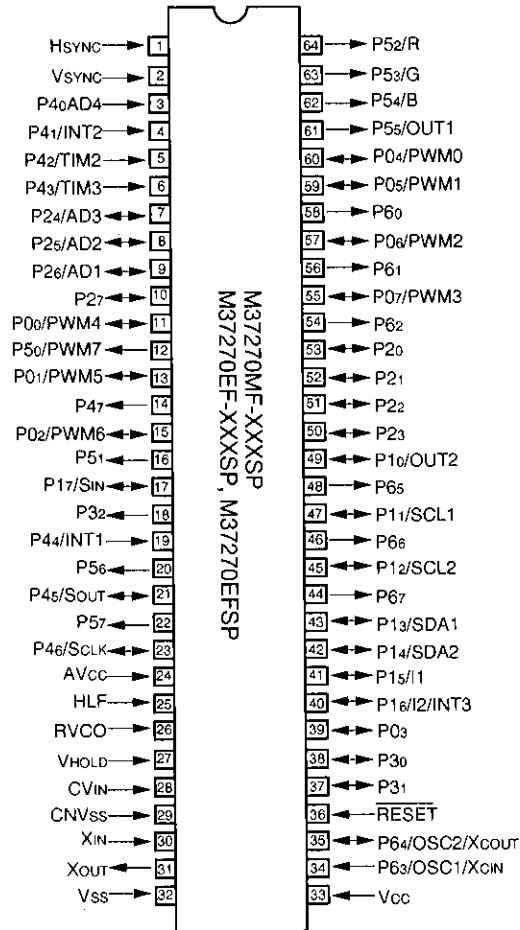
- 表示文字数 40文字 \times 16行
- 文字種類 320種類
(EXOSDモード時は32種類のエクストラフォントとの組み合わせ可能)
- 文字構成 CCモード: 16 \times 26ドット
OSDモード: 16 \times 20ドット
EXOSDモード: 16 \times 26ドット
- 文字サイズ CCモード: 2種類
OSDモード: 14種類
EXOSDモード: 6種類
- 文字単位の色指定可能(最大7種類)
 - キャラクタフォント着色、文字背景着色
- 画面単位の色指定可能(最大7種類)
 - エクストラフォント着色、ラスタ着色、フチドリ着色
- 文字色種類 CCモード: 7種類(R, G, B)
OSDモード: 15種類(R, G, B, II)
EXOSDモード: 7種類(R, G, B, II, I2)
- 2系統のブランキング出力(OUT1, OUT2)
- 表示位置指定可能 水平 256段階
垂直 1024段階
- アトリビュート CCDモード: スムーズイタリック、アンダーライン、フラッシュ
OSDモード: フチドリ
EXOSDモード:
フチドリ、
エクストラフォント(32種類)
- オートソリッドスペース機能
- ウインドウ機能
- デュアルレイヤOSD機能

応用

クローズドキャプションデコーダ内蔵TV

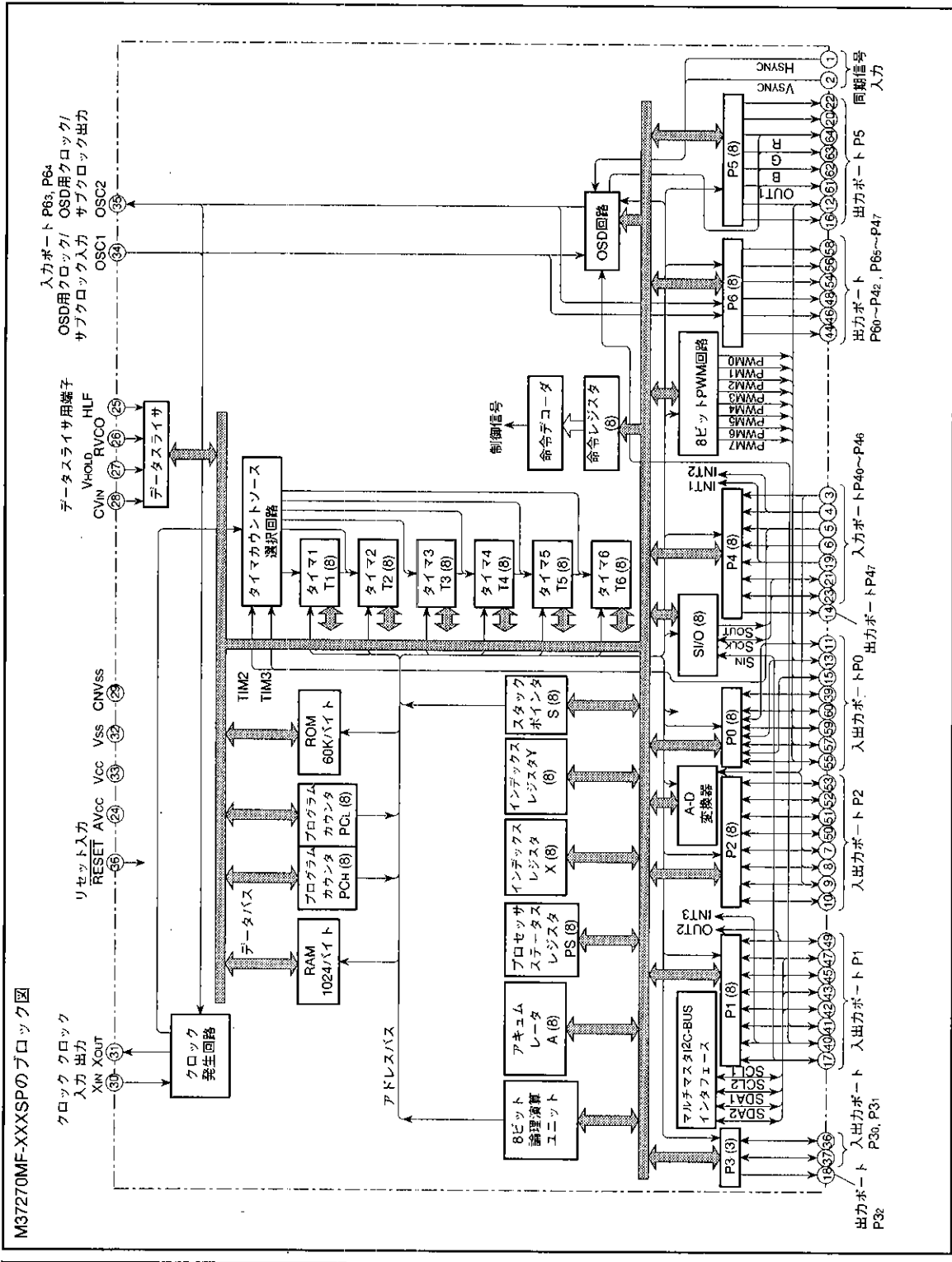
三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

ピン接続図 (上面図)



外形 64P4B

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER



三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

M37270MF-XXXSPの性能概要

項 目		性 能	
基本命令数		71	
命令実行時間		0.5 μ s (最短命令, 発振周波数 8 MHz時)	
クロック周波数		8 MHz (最大)	
メモリ容量	ROM	60Kバイト	
	RAM	1024バイト	
	OSD ROM	14464バイト	
	OSD RAM	1920バイト	
入出力ポート	P00~P02, P04~P07	入出力	7ビット×1 (Nチャンネルオープンドレイン出力形式, PWM出力と兼用)
	P03	入出力	1ビット×1 (CMOS入出力形式)
	P10, P15~P17	入出力	4ビット×1 (CMOS入出力形式, OSD出力, INT入力, シリアル入出力と兼用)
	P11~P14	入出力	4ビット×1 (Nチャンネルオープンドレイン出力形式, マルチマスタI ² C-BUSインタフェースと兼用)
	P2	入出力	8ビット×1 (CMOS入出力形式, A-D入力と兼用)
	P30, P31	入出力	2ビット×1 (CMOS入出力形式)
	P32	出力	1ビット×1 (Nチャンネルオープンドレイン出力形式)
	P40~P44	入力	5ビット×1 (A-D入力, INT入力, 外部クロック入力と兼用)
	P45, P46	入力	2ビット×1 (シリアルI/O使用時はNチャンネルオープンドレイン出力形式, シリアル入出力と兼用)
	P47	出力	1ビット×1 (Nチャンネルオープンドレイン出力形式)
	P50, P51, P56, P57	出力	4ビット×1 (Nチャンネルオープンドレイン出力形式, PWM出力と兼用)
	P52~P55	出力	4ビット×1 (CMOS出力形式, OSD出力と兼用)
	P60~P62, P65~P67	出力	6ビット×1 (Nチャンネルオープンドレイン出力形式)
	P63	入力	1ビット×1 (サブクロック入力, OSD用クロック入力と兼用)
P64	入力	1ビット×1 (LC発振時はCMOS出力形式, サブクロック出力, OSD用クロック出力と兼用)	
シリアルI/O		8ビット×1本	
マルチマスタI ² C-BUSインタフェース		1本	
A-D変換器		4チャンネル (分解能8ビット)	
PWM出力回路		8ビット×8本	
タイマ		8ビット×6本	
サブルーチンネスタング		最大128レベル	
割り込み間隔判定回路		1	
割り込み		外部割り込み×3, 内部タイマ割り込み×6, シリアルI/O割り込み×1, OSD割り込み×1, マルチマスタI ² C-BUSインタフェース割り込み×1, データスライサ割り込み×1, f(XIN)/4096割り込み×1, VSYNC割り込み×1, A-D変換割り込み×1, BRK命令割り込み×1	
クロック発生回路		2回路内蔵 (セラミック共振子, 又は水晶共振子外付け)	
データスライサ		内蔵	

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

M37270MF-XXXSPの性能概要 (つづき)

OSD機能	表示文字数		40文字×16行	
	文字構成		CCモード：16×26ドット (文字部分は16×20ドット) OSDモード：16×20ドット EXOSDモード：16×26ドット	
	文字種類		320種類 (EXOSDモード時、32種類のエクストラフォントとの組み合わせ可能)	
	文字サイズ		CCモード：2種類 OSDモード：14種類 EXOSDモード：6種類	
	着色種類		CCモード：7種類 (R, G, B) OSDモード：15種類 (R, G, B, H) EXOSDモード：7種類 (R, G, B, H, I2)	
	表示位置 (水平、垂直方向)		256段階 (垂直方向1024段階)	
電源電圧			5V±10%	
消費電力	高速モード時	OSD ON	データスライサON	165mW標準 (発振周波数f _{CPU} =8MHz, f _{OSD} =13MHz)
		OSD OFF	データスライサOFF	82.5mW標準 (発振周波数f _{CPU} =8MHz)
	低速モード時	OSD OFF	データスライサOFF	0.33mW標準 (発振周波数f _{CLK} =32kHz, f(XIN)=停止)
		ストップモード時		0.055mW最大
動作周囲温度			-10~70°C	
素子構造			CMOSシリコンゲート	
パッケージ			64ピンシュリンクプラスチックモールドDIP	

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

端子の機能説明

端子名	名称	入出力	機能
Vcc, AVcc, Vss	電源入力		Vcc, AVccに5V±10%(標準)、Vssに0Vを印加します。
CNVss	CNVss		Vssに接続してください。
RESET	リセット入力	入 力	リセット入力端子で、2μs以上“L”にするとリセット状態になります。
XIN	クロック入力	入 力	メインクロック発生回路の入出力端子です。クロック発生回路を内蔵しており発振周波数の設定はセラミック共振子又は水晶共振子をXINとXOUTの間に接続して行います。外部クロック入力を利用する場合はクロック発振源をXIN端子に接続し、XOUT端子を開放してください。
XOUT	クロック出力	出 力	
P00/PWM4~ P02/PWM6, P03, P04/PWM0~ P07/PWM3	入出力ポートP0	入出力	ポートP0は8ビットの入出力ポートです。入出力方向レジスタを持っており、各ビットごとに入力端子にするか出力端子にするかをプログラムできます。リセット時には入力モードになります。出力形式は、ポートP03がCMOS出力、ポートP00~P02及びP04~P07がNチャンネルオープンドレイン出力です。ポートP0の詳細な機能については表外の注を参照してください。
	PWM出力	出 力	P00~P02, P04~P07端子は、それぞれPWM出力端子PWM4~PWM6, PWM0~PWM3と共用です。出力形式はNチャンネルオープンドレイン出力です。
P10/OUT2, P11/SCL1, P12/SCL2, P13/SDA1, P14/SDA2, P15/I1, P16/I2/INT3, P17/SIN	入出力ポートP1	入出力	ポートP1は8ビットの入出力ポートでポートP0とほぼ同等の機能を有しています。出力形式はポートP10, P15~P17がCMOS出力、ポートP11~P14がNチャンネルオープンドレイン出力です。
	OSD出力	出 力	P10, P15, P16端子は、それぞれOSD出力端子OUT2, I1, I2と共用です。出力形式はCMOS出力です。
	マルチマスタ ² C-BUSインタフェース	入出力	P11~P14端子は、マルチマスタ ² C-BUSインタフェース使用時、それぞれSCL1, SCL2, SDA1, SDA2と共用です。出力形式はNチャンネルオープンドレイン出力です。
	シリアルI/Oデータ入力	入 力	P17端子は、シリアルI/Oデータ入力端子SINと共用です。
P20~P23, P24/AD3~ P26/AD1, P27	入出力ポートP2	入出力	ポートP2は8ビットの入出力ポートでポートP0とほぼ同等の機能を有しています。出力形式はCMOS出力です。
	アナログ入力	入 力	P24~P26端子は、それぞれアナログ入力端子AD3~AD1と共用です。
P30, P31	入出力ポートP3	入出力	ポートP30, P31は2ビットの入出力ポートです。ポートP0とほぼ同等の機能を有しています。出力形式はCMOS出力です。
P32	出力ポートP3	出 力	ポートP32は1ビットの出力ポートです。出力形式はNチャンネルオープンドレイン出力です。
P40/AD4, P41/INT2, P42/TIM2, P43/TIM3, P44/INT1, P45/SOUT, P46/SCLK,	入力ポートP4	入 力	ポートP40~P46は7ビットの入力ポートです。
	アナログ入力	入 力	P40端子は、アナログ入力端子AD4と共用です。
	外部割り込み入力	入 力	P41, P44端子は、それぞれ外部割り込み入力端子INT2, INT1と共用です。
	外部クロック入力	入 力	P42, P43端子は、それぞれ外部クロック入力端子TIM2, TIM3と共用です。
	シリアルI/Oデータ出力	出 力	P45端子は、シリアルI/Oデータ出力端子SOUTと共用です。出力形式はNチャンネルオープンドレイン出力です。
	シリアルI/O同期クロック入出力	入出力	P46端子は、シリアルI/O同期クロック入出力端子SCLKと共用です。出力形式はNチャンネルオープンドレイン出力です。
P47	出力ポートP4	出 力	ポートP47は1ビットの出力ポートです。出力形式はNチャンネルオープンドレイン出力です。

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

端子の機能説明 (つづき)

P50/PWM7, P51, P52/R, P53/G, P54/B, P55/OUT1, P56, P57	出力ポートP5	出力	ポートP50~P57は、8ビットの出力ポートです。出力形式はポートP50、P51、P56、P57がNチャンネルオープンドレイン出力、ポートP52~P55がCMOS出力です。
	PWM出力	出力	P50端子は、PWM出力端子PWM7と共用です。
	OSD出力	出力	P52~P55はそれぞれOSD出力端子R、G、B、OUT1と共用です。出力形式はCMOS出力です。
P60~P62, P65~P67	出力ポートP6	出力	ポートP60~P62、P65~P67は、6ビットの出力ポートです。出力形式はNチャンネルオープンドレイン出力です。
P63/OSC1/ XCIN, P64/OSC2/ XCOUT	入力ポートP6	入力	ポートP63、P64は、2ビットの入力ポートです。
	OSD用クロック入力	入力	P63端子は、OSD用のクロック入力端子OSC1と共用です。
	OSD用クロック出力	出力	P64端子は、OSD用のクロック出力端子OSC2と共用です。出力形式はCMOS出力です。
	サブクロック出力	出力	P64端子は、サブクロック出力端子XCOUTと共用です。出力形式はCMOS出力です。
CVIN	データスライサ 入出力	入力	コンデンサを介してコンポジットビデオ信号を入力してください。
		入力	VHOLDとVssの間にコンデンサを接続してください。
			RVCOとVssとの間に抵抗を接続してください。
HLF			HLFとVssの間にコンデンサと抵抗からなるフィルタを接続してください。
HSYNC	水平同期信号	入力	OSD用の水平同期信号入力端子です。
VSYNC	垂直同期信号	入力	OSD用の垂直同期信号入力端子です。

注. 図3のメモリマップに示すようにポートP0はゼロページの00C016番地のメモリとして扱われます。ポートP0はポートP0方向レジスタ(ゼロページの00C016番地)を持っており、入力として使用するか、出力として使用するか、ビット単位にプログラムできます。方向レジスタが“1”にプログラムされている端子は出力端子となります。“0”の場合は入力端子となります。出力端子としてプログラムされている端子に書き込んだデータはポートのラッチに書き込まれ、それがそのまま出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、出力端子の内容が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって発光ダイオードなどを直接駆動したため、出力“L”電圧が上がっていても以前に出力した値を正しく読むことができます。入力端子としてプログラムされている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートのラッチに書き込まれるだけで端子はフローティングのままです。

機能ブロック動作説明

中央演算処理装置 (CPU)

M37270MF-XXXSPは、740ファミリ共通のCPUを持っています。

各命令の動作については740ファミリアドレスシングモード及び機械語命令一覧表、又はMELPS 740 PROGRAMMING MANUALを参照ください。

品種に依存する命令については以下のとおりです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

CPUモードレジスタ

CPUモードレジスタには、スタックページの選択ビットやチップの内部システムクロックの選択ビットなどが割り当てられています。

このレジスタは00FB16番地に配置されています。

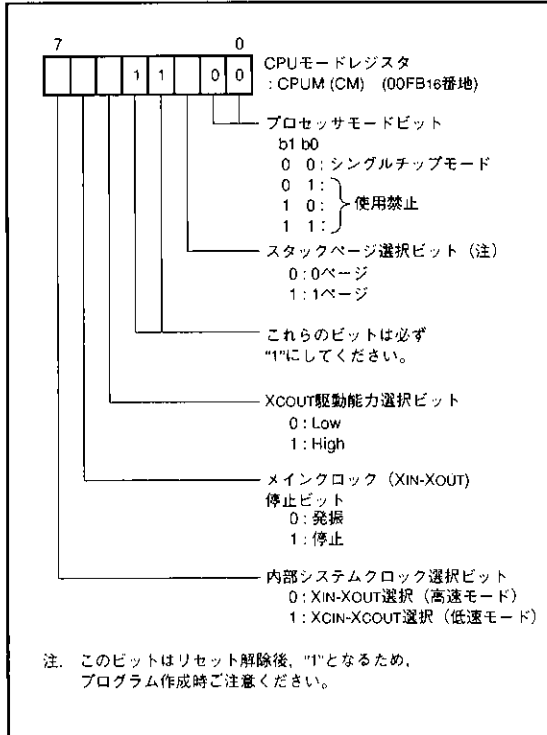


図1. CPUモードレジスタのビット構成

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

メモリ

● SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

● RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

● ROM

ユーザプログラムや割り込みベクトルなどを格納します。

● OSD用RAM

CRTに表示する文字コード、文字色などを指定します。

● OSD用ROM

CRTに表示する文字データを格納します。

● 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

● ゼロページ

ゼロページアドレッシングモードを使用することにより2語でアクセスできる領域です。

● スペシャルページ

スペシャルページアドレッシングモードを使用することにより2語でアクセスできる領域です。

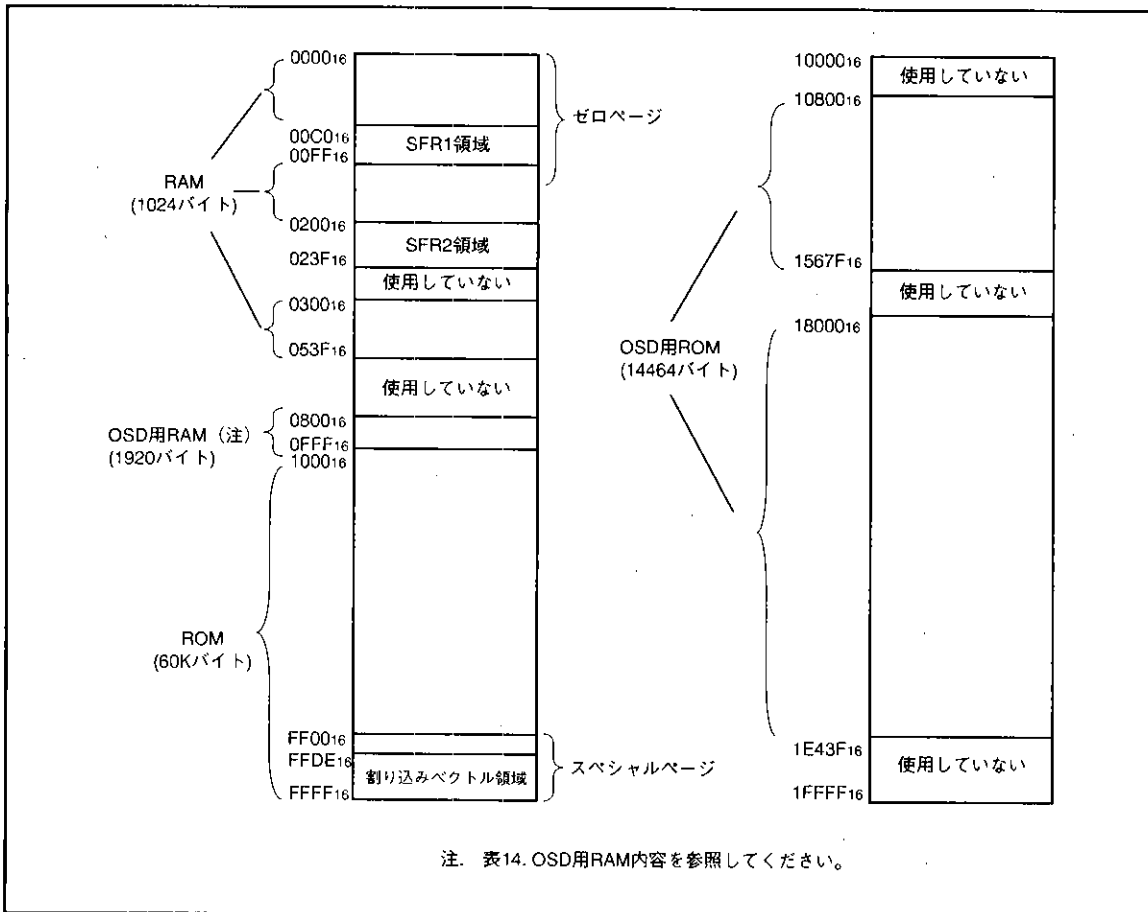


図2. メモリ配置図

00C0 ¹⁶	ポートP0	00E0 ¹⁶	キャプション位置レジスタ
00C1 ¹⁶	ポートP0方向レジスタ	00E1 ¹⁶	スタートビット位置レジスタ
00C2 ¹⁶	ポートP1	00E2 ¹⁶	ウインドウレジスタ
00C3 ¹⁶	ポートP1方向レジスタ	00E3 ¹⁶	シンクスライスレジスタ
00C4 ¹⁶	ポートP2	00E4 ¹⁶	キャプションデータレジスタ1
00C5 ¹⁶	ポートP2方向レジスタ	00E5 ¹⁶	キャプションデータレジスタ2
00C6 ¹⁶	ポートP3	00E6 ¹⁶	クロックランインレジスタ1
00C7 ¹⁶	ポートP3方向レジスタ	00E7 ¹⁶	クロックランインレジスタ2
00C8 ¹⁶	ポートP4	00E8 ¹⁶	クロックランイン検出レジスタ1
00C9 ¹⁶	ポートP4方向レジスタ	00E9 ¹⁶	クロックランイン検出レジスタ2
00CA ¹⁶	ポートP5	00EA ¹⁶	データスライサ制御レジスタ1
00CB ¹⁶	OSDポートコントロールレジスタ	00EB ¹⁶	データスライサ制御レジスタ2
00CC ¹⁶	ポートP6	00EC ¹⁶	キャプションデータレジスタ3
00CD ¹⁶		00ED ¹⁶	キャプションデータレジスタ4
00CE ¹⁶	OSDコントロールレジスタ	00EE ¹⁶	A-Dレジスタ
00CF ¹⁶	水平位置レジスタ	00EF ¹⁶	A-D制御レジスタ
00D0 ¹⁶	ブロックコントロールレジスタ1	00F0 ¹⁶	タイマ1
00D1 ¹⁶	ブロックコントロールレジスタ2	00F1 ¹⁶	タイマ2
00D2 ¹⁶	ブロックコントロールレジスタ3	00F2 ¹⁶	タイマ3
00D3 ¹⁶	ブロックコントロールレジスタ4	00F3 ¹⁶	タイマ4
00D4 ¹⁶	ブロックコントロールレジスタ5	00F4 ¹⁶	タイマモードレジスタ1
00D5 ¹⁶	ブロックコントロールレジスタ6	00F5 ¹⁶	タイマモードレジスタ2
00D6 ¹⁶	ブロックコントロールレジスタ7	00F6 ¹⁶	I ² Cデータシフトレジスタ
00D7 ¹⁶	ブロックコントロールレジスタ8	00F7 ¹⁶	I ² Cアドレスレジスタ
00D8 ¹⁶	ブロックコントロールレジスタ9	00F8 ¹⁶	I ² Cステータスレジスタ
00D9 ¹⁶	ブロックコントロールレジスタ10	00F9 ¹⁶	I ² Cコントロールレジスタ
00DA ¹⁶	ブロックコントロールレジスタ11	00FA ¹⁶	I ² Cクロックコントロールレジスタ
00DB ¹⁶	ブロックコントロールレジスタ12	00FB ¹⁶	CPUモードレジスタ
00DC ¹⁶	ブロックコントロールレジスタ13	00FC ¹⁶	割り込み要求レジスタ1
00DD ¹⁶	ブロックコントロールレジスタ14	00FD ¹⁶	割り込み要求レジスタ2
00DE ¹⁶	ブロックコントロールレジスタ15	00FE ¹⁶	割り込み制御レジスタ1
00DF ¹⁶	ブロックコントロールレジスタ16	00FF ¹⁶	割り込み制御レジスタ2

図3. SFR (スペシャルファンクションレジスタ) 1メモリマップ

0200 ₁₆	PWM0レジスタ	0220 ₁₆	垂直位置レジスタ11
0201 ₁₆	PWM1レジスタ	0221 ₁₆	垂直位置レジスタ12
0202 ₁₆	PWM2レジスタ	0222 ₁₆	垂直位置レジスタ13
0203 ₁₆	PWM3レジスタ	0223 ₁₆	垂直位置レジスタ14
0204 ₁₆	PWM4レジスタ	0224 ₁₆	垂直位置レジスタ15
0205 ₁₆	PWM5レジスタ	0225 ₁₆	垂直位置レジスタ16
0206 ₁₆	PWM6レジスタ	0226 ₁₆	垂直位置レジスタ17
0207 ₁₆	PWM7レジスタ	0227 ₁₆	垂直位置レジスタ18
0208 ₁₆	クロックランイン検出レジスタ3	0228 ₁₆	垂直位置レジスタ19
0209 ₁₆	クロックランインレジスタ3	0229 ₁₆	垂直位置レジスタ110
020A ₁₆	PWMモードレジスタ1	022A ₁₆	垂直位置レジスタ111
020B ₁₆	PWMモードレジスタ2	022B ₁₆	垂直位置レジスタ112
020C ₁₆	タイマ5	022C ₁₆	垂直位置レジスタ113
020D ₁₆	タイマ6	022D ₁₆	垂直位置レジスタ114
020E ₁₆		022E ₁₆	垂直位置レジスタ115
020F ₁₆	同期信号カウンタ	022F ₁₆	垂直位置レジスタ116
0210 ₁₆	データスライサ制御レジスタ3	0230 ₁₆	垂直位置レジスタ21
0211 ₁₆	割り込み間隔判定レジスタ	0231 ₁₆	垂直位置レジスタ22
0212 ₁₆	割り込み間隔判定制御レジスタ	0232 ₁₆	垂直位置レジスタ23
0213 ₁₆	シリアル/Oモードレジスタ	0233 ₁₆	垂直位置レジスタ24
0214 ₁₆	シリアル/Oレジスタ	0234 ₁₆	垂直位置レジスタ25
0215 ₁₆		0235 ₁₆	垂直位置レジスタ26
0216 ₁₆	クロックソースコントロールレジスタ	0236 ₁₆	垂直位置レジスタ27
0217 ₁₆	入出力極性コントロールレジスタ	0237 ₁₆	垂直位置レジスタ28
0218 ₁₆	ラスタカラーレジスタ	0238 ₁₆	垂直位置レジスタ29
0219 ₁₆	エクストラフォントカラーレジスタ	0239 ₁₆	垂直位置レジスタ210
021A ₁₆		023A ₁₆	垂直位置レジスタ211
021B ₁₆	フチドリカラーレジスタ	023B ₁₆	垂直位置レジスタ212
021C ₁₆	ウインドウHレジスタ1	023C ₁₆	垂直位置レジスタ213
021D ₁₆	ウインドウLレジスタ1	023D ₁₆	垂直位置レジスタ214
021E ₁₆	ウインドウHレジスタ2	023E ₁₆	垂直位置レジスタ215
021F ₁₆	ウインドウLレジスタ2	023F ₁₆	垂直位置レジスタ216

図4. SFR (スペシャルファンクションレジスタ) 2メモリマップ

割り込み

割り込みはベクトル割り込みで、外部4要因、内部12要因、ソフトウェア要因、及びリセットの18の要因から発生することが可能です。表1にベクトルテーブルと優先順位を示します。リセットは割り込みと同じような動作をしますので、この表中に入れておきます。

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的にスタックへ待避されます。
2. 割り込み禁止フラグIが"1"に、割り込み要求ビットが"0"になります。
3. ベクトル番地に格納されている飛び先番地がプログラムカウンタに入ります

リセットは何ものによっても禁止されることはありません。これら以外の割り込みは割り込み禁止フラグIが"1"のとき、受け付けられません。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っています。割り込み要求ビットは割り込み要求レジスタ1、2、割り込み許可ビットは割り込み制御レジスタ1、2の各ビットに割り当てられています。割り込み関係レジスタのビット構成を図5に示します。

リセットとBRK命令割り込みを除いた割り込みは、割り込み許可ビットが"1"、割り込み要求ビットが"1"、かつ割り込み禁止フラグIが"0"のとき、受け付けられます。

表1. 割り込みベクトル番地と優先順位

優先順位	割り込み要因	ベクトル番地	
		上位	下位
1	リセット	FFFF16	FFFE16
2	OSD割り込み	FFFD16	FFFC16
3	INT1割り込み	FFFB16	FFFA16
4	データスライサ割り込み	FFF916	FFF816
5	シリアルI/O割り込み	FFF716	FFF616
6	タイマ4割り込み	FFF516	FFF416
7	f(XIN)/4096割り込み	FFF316	FFF216
8	VSYNC割り込み	FFF116	FFF016
9	タイマ3割り込み	FFEF16	FFEE16
10	タイマ2割り込み	FFED16	FFEC16
11	タイマ1割り込み	FFEB16	FFEA16
12	A-D変換・INT3割り込み	FFE916	FFE816
13	INT2割り込み	FFE716	FFE616
14	マルチマスタI ² C-BUS インタフェース割り込み	FFE516	FFE416
15	タイマ5・6割り込み	FFE316	FFE216
16	BRK命令割り込み	FFDF16	FFDE16

割り込み要求ビットはプログラムで"0"にできますが、"1"にはできません。割り込み許可ビットはプログラムで"0"又は"1"にできます。

リセットは、割り込み優先順位中、最優先のノンマスクابل割り込みとして処理されます。図6に割り込み制御図を示します。

割り込み要因

1) VSYNC, OSD割り込み

VSYNC割り込みは、垂直同期信号に同期した割り込み要求です。

OSD割り込みは、CRTへの文字ブロック表示終了後に発生する割り込みです。

2) INT1, INT2, INT3割り込み

外部割り込み入力で、各端子のレベルが"L"から"H"、又は"H"から"L"に変化するのを検出して割り込み要求が発生します。入力極性は、割り込み間隔判定制御レジスタ(021216番地)のビット3、ビット4、ビット6によって選択されます。これらのビットが"0"の場合"L"から"H"の変化、"1"の場合"H"から"L"の変化が検出されます。ただし、リセット時はすべて"0"になります。

3) タイマ1, 2, 3, 4割り込み

タイマ1, 2, 3, 4のオーバーフローにより割り込みが発生します。

4) シリアルI/O割り込み

クロック同期形シリアルI/Oからの割り込み要求です。

5) f(XIN)/4096割り込み

f(XIN)の4096分周で割り込みが発生します。ただし、PWMモードレジスタ1のビット0を"0"に設定してください。

6) データスライサ割り込み

データスライサの終了時に割り込みが発生します。

7) マルチマスタI²C-BUSインタフェース割り込み

マルチマスタI²C-BUSインタフェースに関する割り込み要求です。

8) A-D変換割り込み

A-D変換終了時に割り込みが発生します。A-D変換割り込みとINT3割り込みはベクトルを共用していますので、割り込み要因は割り込み間隔判定制御レジスタ(021216番地)のビット7で選択します。

9) タイマ5・6割り込み

タイマ5, 6のオーバーフローにより割り込みが発生します。
 優先順位は同じで、ソフトウェアによって切り替えます。

10) BRK命令割り込み

優先順位が最下位のソフトウェア割り込みで、対応した
 割り込み許可ビットを持たず、割り込み禁止フラグIの影響
 を受けません(ノンマスクابل)。

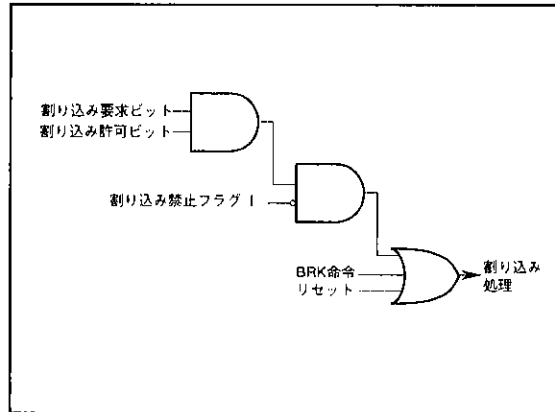


図6. 割り込み制御図

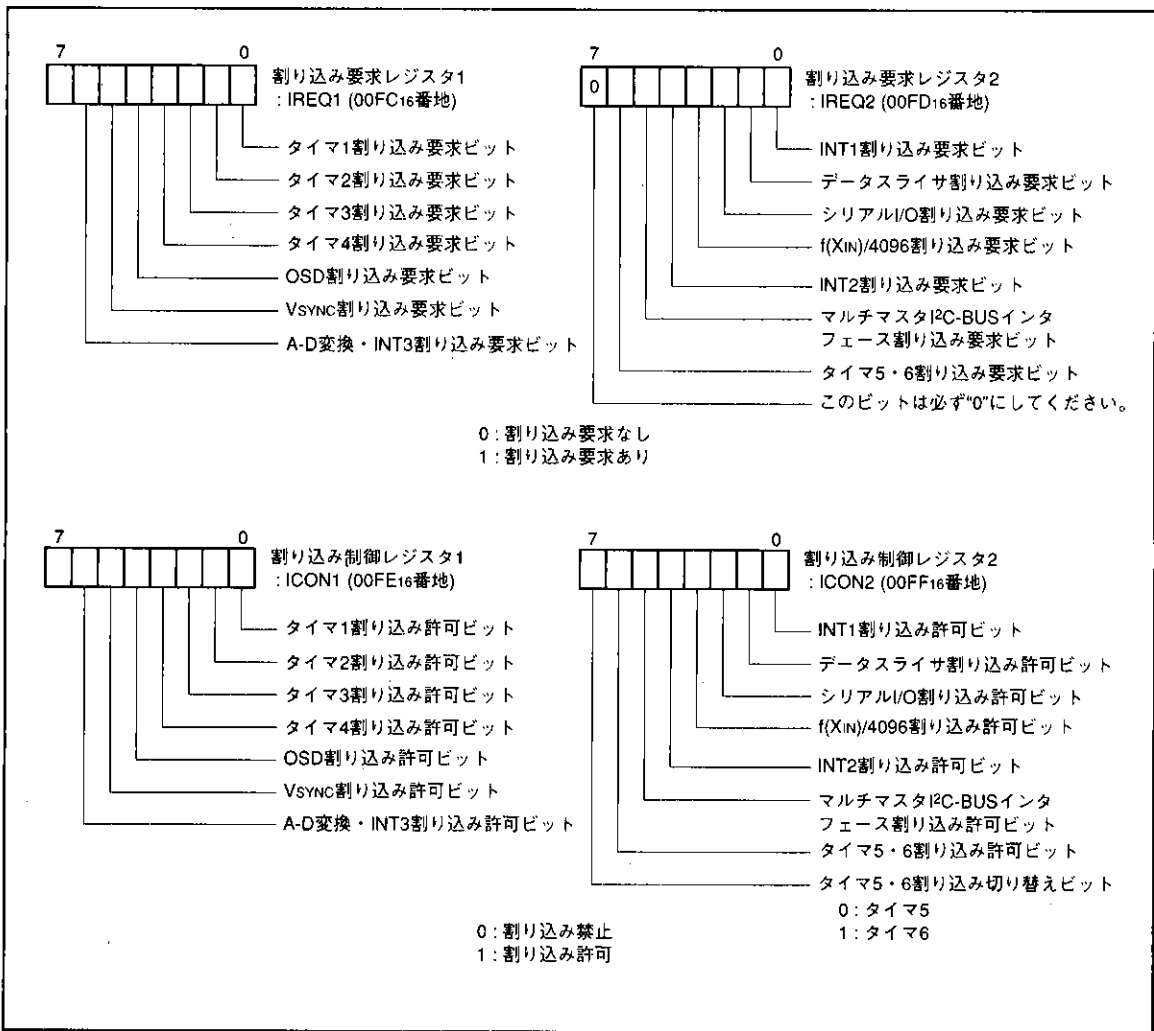


図5. 割り込み関係レジスタのビット構成

タイマ

タイマは、タイマ1、タイマ2、タイマ3、タイマ4、タイマ5、タイマ6の6本あります。いずれもタイマラッチ付き8ビットタイマです。図8にタイマのブロック図を示します。

タイマ1～6は、すべてダウンカウント動作で分周比は $1/(n+1)$ です。これらのタイマは、タイマラッチ(00F016～00F316: タイマ1～タイマ4、020C16, 020D16: タイマ5、タイマ6)に値を書き込むことで同時にタイマにも値が設定されます。

タイマへの設定直後からカウントソースの入力によって $nn16-1$, $nn16-2$, ..., 0116 , 0016 とダウンカウントし、タイマの値が 0016 となった次のカウントソース入力でオーバーフローが起こり割り込み要求が発生します。

以下にそれぞれのタイマについて説明します。

(1) タイマ1

タイマ1のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- $f(XIN)/4096$ 又は $f(XCIN)/4096$
- P42/TIM2端子からの外部クロック

タイマモードレジスタ1(00F416番地)のビット5及びビット0の2ビットを用いていずれか一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ1オーバーフローによりタイマ1割り込み要求が発生します。

(2) タイマ2

タイマ2のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- タイマ1のオーバーフロー信号
- P42/TIM2端子からの外部クロック

タイマモードレジスタ1(00F416番地)のビット4、ビット1の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ1のオーバーフロー信号とすることで、タイマ1を8ビットプリスケラとして用いることができます。

タイマ2オーバーフローによりタイマ2割り込み要求が発生します。

(3) タイマ3

タイマ3のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- $f(XCIN)$
- P43/TIM3端子からの外部クロック

タイマモードレジスタ2(00F516番地)のビット0、00C716番地のビット6の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ3オーバーフローによりタイマ3割り込み要求が発生します。

(4) タイマ4

タイマ4のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- $f(XIN)/2$ 又は $f(XCIN)/2$
- $f(XCIN)$
- タイマ3のオーバーフロー信号

タイマモードレジスタ2(00F516番地)のビット4、及びビット1の2ビットを用いてこの4種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ3のオーバーフロー信号とすることで、タイマ3を8ビットのプリスケラとして用いることができます。

タイマ4オーバーフローによりタイマ4割り込み要求が発生します。

(5) タイマ5

タイマ5のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- タイマ2のオーバーフロー信号
- タイマ4のオーバーフロー信号

タイマモードレジスタ1(00F416番地)のビット6、タイマモードレジスタ2(00F516番地)のビット7の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ5オーバーフローによりタイマ5割り込み要求が発生します。

(6) タイマ6

タイマ6のカウンタソースは次のいずれかを選択できます。

- $f(XIN)/16$ 又は $f(XCIN)/16$
- タイマ5のオーバーフロー信号

タイマモードレジスタ1(00F4₁₆番地)のビット7を用いてこの2種類から一つを選択します。また、 $f(XIN)$ 、 $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウンタソースをタイマ5のオーバーフロー信号とすることでタイマ5を8ビットのプリスケアラとして用いることができます。

タイマ6オーバーフローによりタイマ6割り込み要求が発生します。

リセット時、タイマ3、タイマ4はハードウェア的に接続され、タイマ3に"FF₁₆"、タイマ4に"07₁₆"がセットされます。そして、タイマ3のカウンタソースとして $f(XIN)^*/16$ が選択されます。この状態でのタイマ4オーバーフローによって内部リセットが解除され、同時に内部クロックが供給されます。

STP命令実行時、タイマ3、タイマ4はハードウェア的に接続され、タイマ3に"FF₁₆"、タイマ4に"07₁₆"がセットされますが、タイマ3のカウンタソースとして $f(XIN)^*/16$ は選択されません。したがって、STP命令を実行する前に、ソフトウェアによってタイマモードレジスタ2(00F5₁₆番地)のビット0及び00C7₁₆番地のビット6を"0"にしてください(タイマ3のカウンタソースとして $f(XIN)^*/16$ を選択する)。この状態でのタイマ4オーバーフローによってSTP状態が解除され、同時に内部クロックが供給されます。

以上の処理により、安定したクロックのもとでプログラムが開始されます。

* : CPUモードレジスタのビット7(CM7)が"1"の場合は、 $f(XIN)$ が $f(XCIN)$ となります。

タイマに関連するレジスタのビット構成を図7に示します。

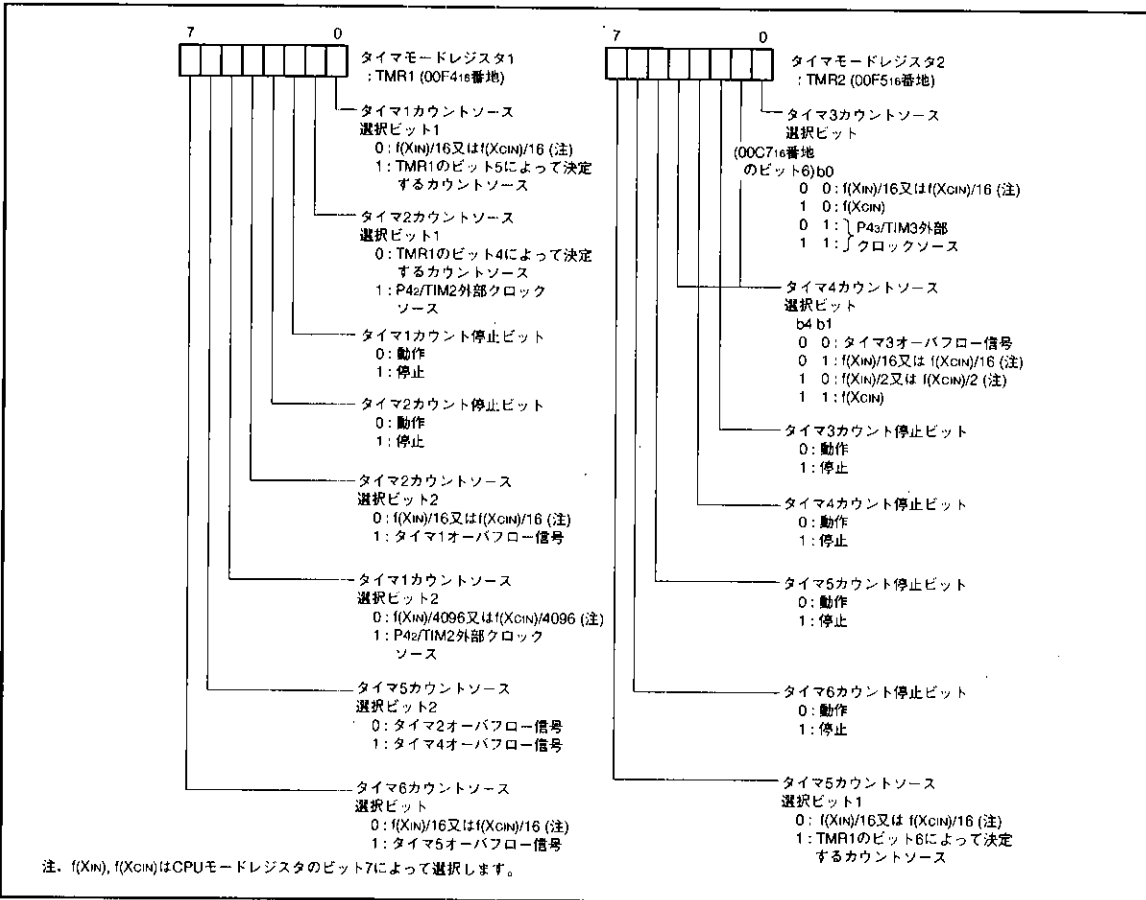


図7. タイマ関係レジスタのビット構成

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

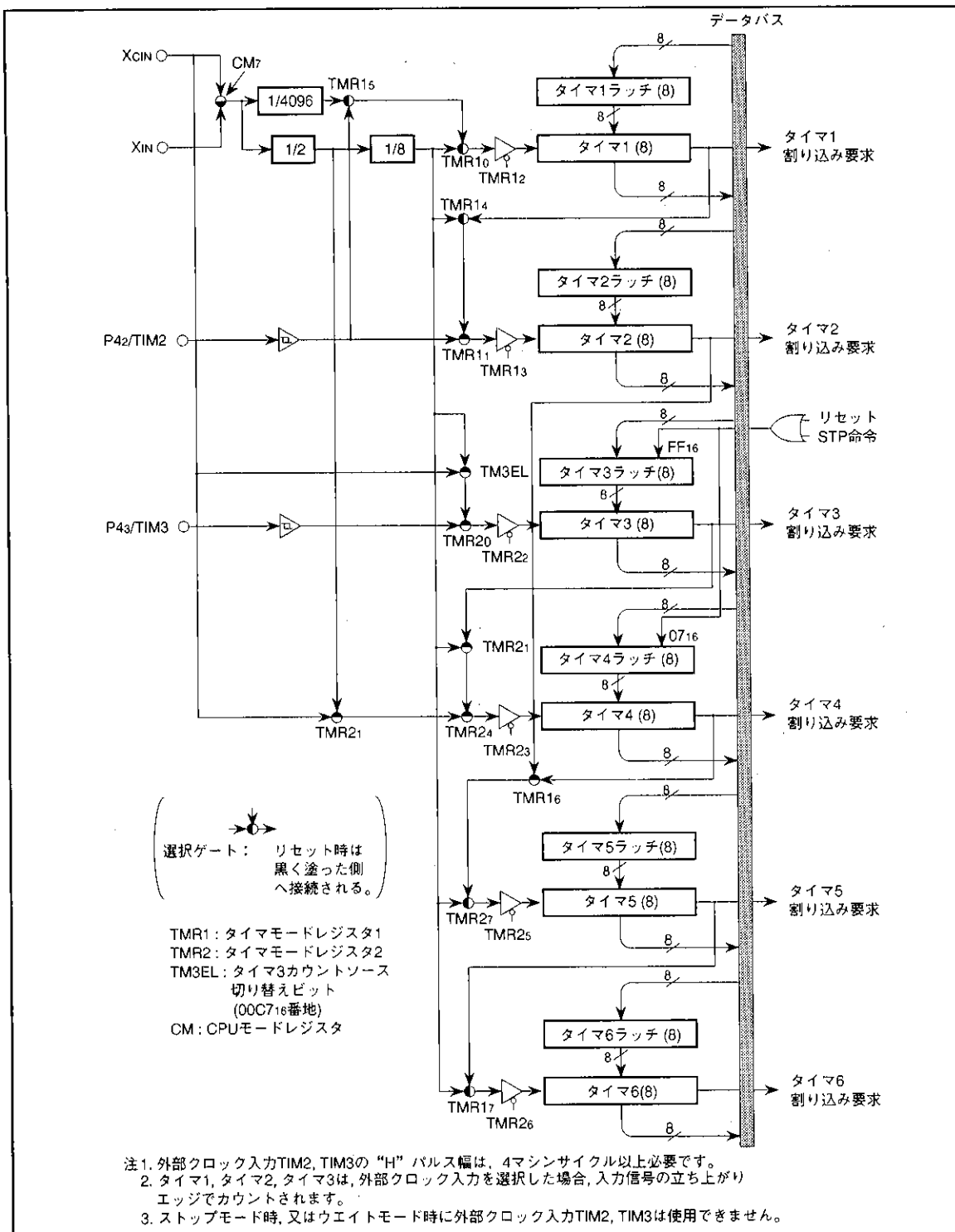


図8. タイマブロック図

シリアルI/O

M37270MF-XXXSPは、クロック同期形で8ビットデータを直列に受信、又は送信できるシリアルI/Oを1本内蔵しています。

図9にシリアルI/Oのブロック図を示します。同期クロック入出力端子(SCLK)、データ出力端子(SOUT)はポートP4と、データ入力端子(SIN)はポートP1とそれぞれ共用しています。

シリアルI/Oモードレジスタ(021316番地)のビット2で同期クロックを内部から供給するか、外部(P46/SCLK端子)から供給するかを選択します。内部クロックの場合ビット1とビット0でf(XIN)の8分周、16分周、32分周、64分周のいずれかを選択します。シリアルI/O用端子として使用する場合、ポートP4方向レジスタ(00C916番地)のSOUT, SCLK

端子に対応するビット、及びポートP1方向レジスタ(00C316番地)のSIN端子に対応するビットを入力側("0")に設定してください。

次にシリアルI/Oの動作について説明します。クロック源として内部クロックを選択するか、外部クロックを選択するかで動作が異なります。まず、内部クロックを選択した場合について説明します。

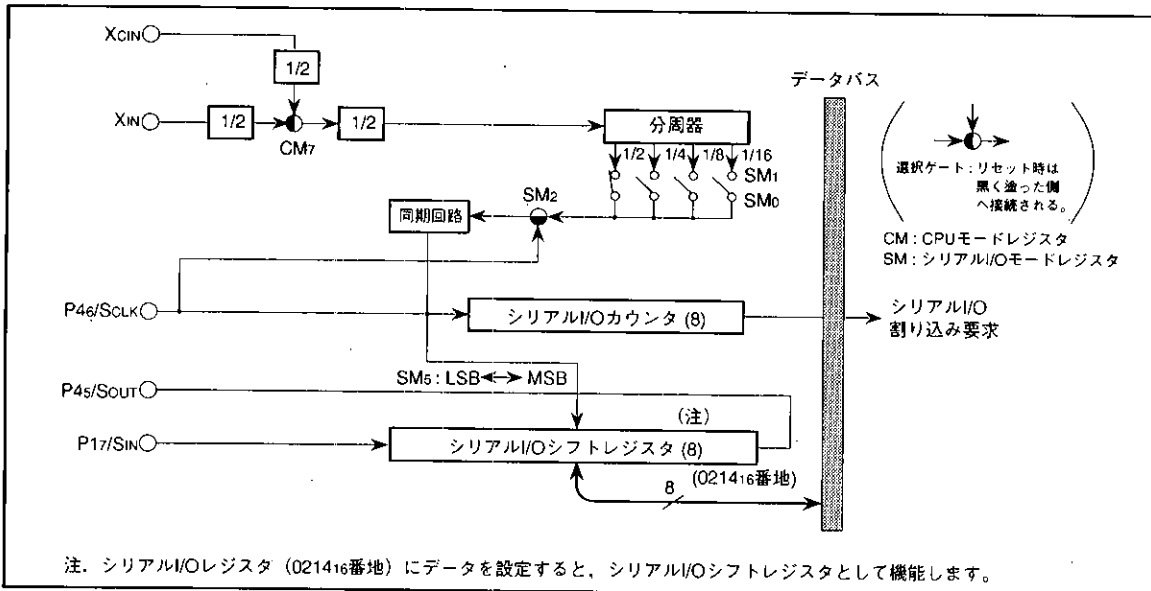


図9. シリアルI/Oのブロック図

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

シリアルI/Oレジスタ(021416番地)への書き込みサイクル中に、シリアルI/Oカウンタが“7”にセットされ、シリアルI/Oレジスタの転送クロックは強制的に“H”になります。書き込みサイクル終了後転送クロックの立ち下りのたびに、Sout端子からデータが出力されます。転送を最下位ビットから行うか、最上位ビットから行うかは、シリアルI/Oモードレジスタのビット5で選択します。また、受信時にはSIN端子から転送クロックの立ち上がりのたびにデータが取り込まれると同時に、シリアルI/Oレジスタの内容が1ビットずつシフトされます。

転送クロックを8回カウントするとシリアルI/Oカウンタは“0”となり、転送クロックは“H”の状態では停止し、割り込み要求ビットが“1”になります。

クロック源として外部クロックを選択した場合は転送クロックを8回カウントすると割り込み要求ビットは“1”になりますが、転送動作は禁止されませんので外部でクロックを制御してください。外部クロックはデューティサイクル50%で500kHz以下のクロックを使用してください。

図10にタイミングを示します。転送に外部クロックを用いる場合は、シリアルI/Oカウンタの初期化を行う際に外部クロックが“H”になっている必要があります。内部クロックと外部クロックを切り替えて使用する場合、転送を行っていないときに切り替えてください。また切り替えた後に必ずシリアルI/Oカウンタの初期化を行ってください。

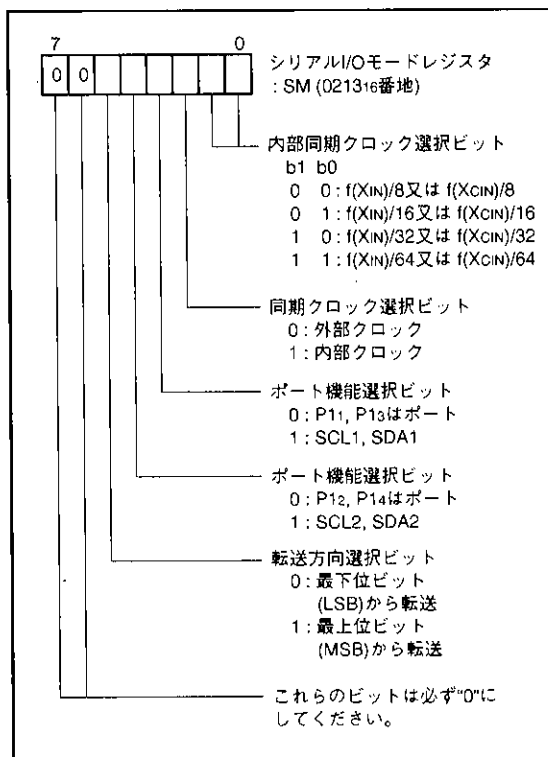


図11. シリアルI/Oモードレジスタのビット構成

注1. ビット処理命令(SEB命令, CLB命令)などによるシリアルI/Oレジスタへの書き込みによっても、シリアルI/Oカウンタがセットされるため、プログラム作成上注意が必要です。

注2. 同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、シリアルI/Oレジスタへ送信データを書き込んでください。

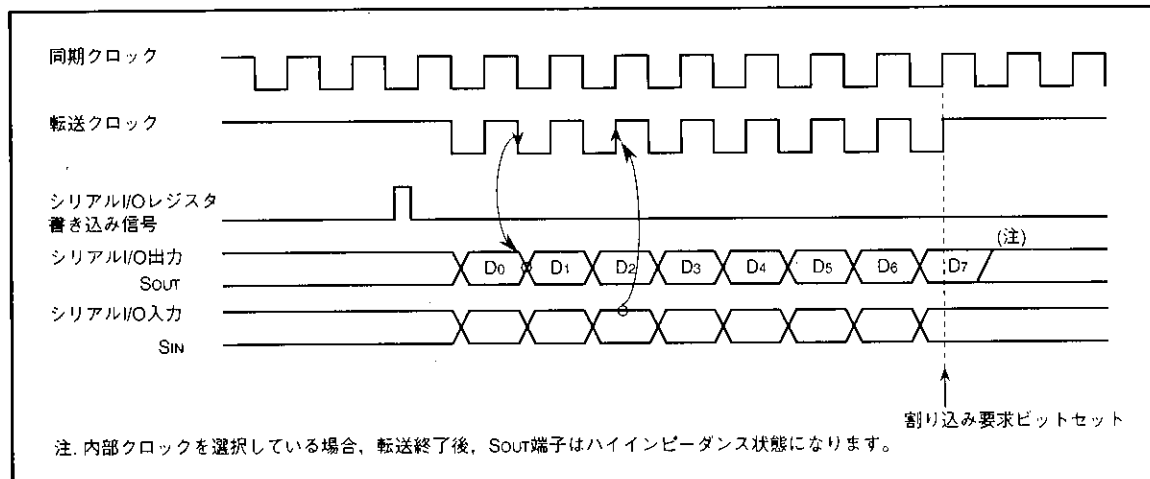


図10. シリアルI/Oタイミング

PWM出力回路

M37270MF-XXXSPは、8ビットPWMを8本(PWM0~PWM7)備えています。PWM0~PWM7は同じ回路構成で、8ビットの分解能を持ち、最小分解ビット幅4 μ s、繰り返し周期1024 μ sです。

図12にPWMのブロック図を示します。PWMのタイミング発生回路はf(XIN)を2分周した信号を基本として、PWM0~PWM7の各制御信号を供給します。

(1) データの設定

PWM0~PWM7を出力する場合には、出力データ8ビットをPWMiレジスタ(iは0~7, 0200₁₆~0207₁₆番地)に設定します。

(2) レジスタからPWM回路への転送

8ビットPWMレジスタから8ビットPWM回路へのデータ転送は、レジスタへのデータ書き込みが行われた時点で実行されます。

8ビットPWM出力端子から出力される信号は、このレジスタの内容に対応したものです。

(3) 8ビットPWMの動作

次に動作について説明します。

まず、PWMモードレジスタ1(020A₁₆番地)のビット0を“0”にクリアし(リセット時は“0”)、PWMカウントソースを供給します。

PWM0~PWM3はポートP04~P07と、PWM4~PWM6はP00~P02と、PWM7はP50と出力端子が共用です。ポートP0方向レジスタの対応ビットを“1”にし、出力モードにします。PWMモードレジスタ1(020A₁₆番地)のビット3で出力極性を選択します。そして、PWMモードレジスタ2のビット7~ビット0を“1”にし、ポートをPWM出力にします。

上記のレジスタを設定することによってPWM出力端子からPWM出力が行われます。

図13に8ビットPWMのタイミング図を示します。2⁸=256区間を1周期Tとします。回路内部では1周期の間に、各ビットの重みを表すビット0からビット7までの8種類のパルスが出力されます(図13(a)参照)。8ビットPWMは8ビットPWMレジスタのビット0~ビット7のパルスの和を取った波形を出力します。図13(b)にいくつかの例を示します。図のようにPWMレジスタの内容を変えることにより、“H”の区間が0/256~255/256までの256通りの出力を選ぶことができます(全区間“H”出力はできません)。

(4) リセット後の出力

リセット時には、ポートP00~P02, P04~P07の出力は、ハイインピーダンス状態、P50は“L”出力状態ですが、PWMレジスタ及びPWM回路の内容は不定です。リセット解除後、PWMレジスタを設定するまで、PWM出力の内容は不定ですので注意が必要です。

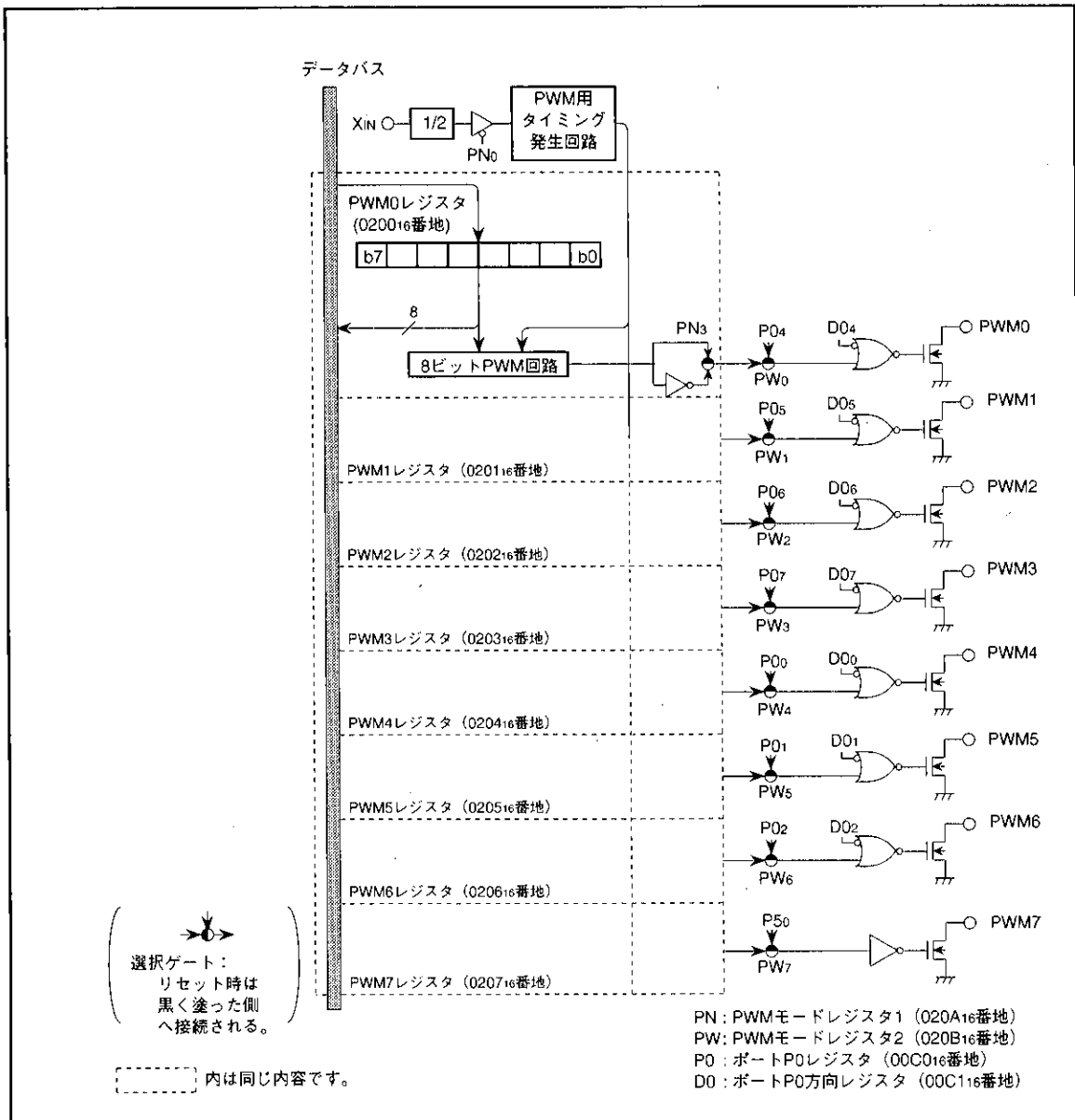


図12. PWM回路ブロック図

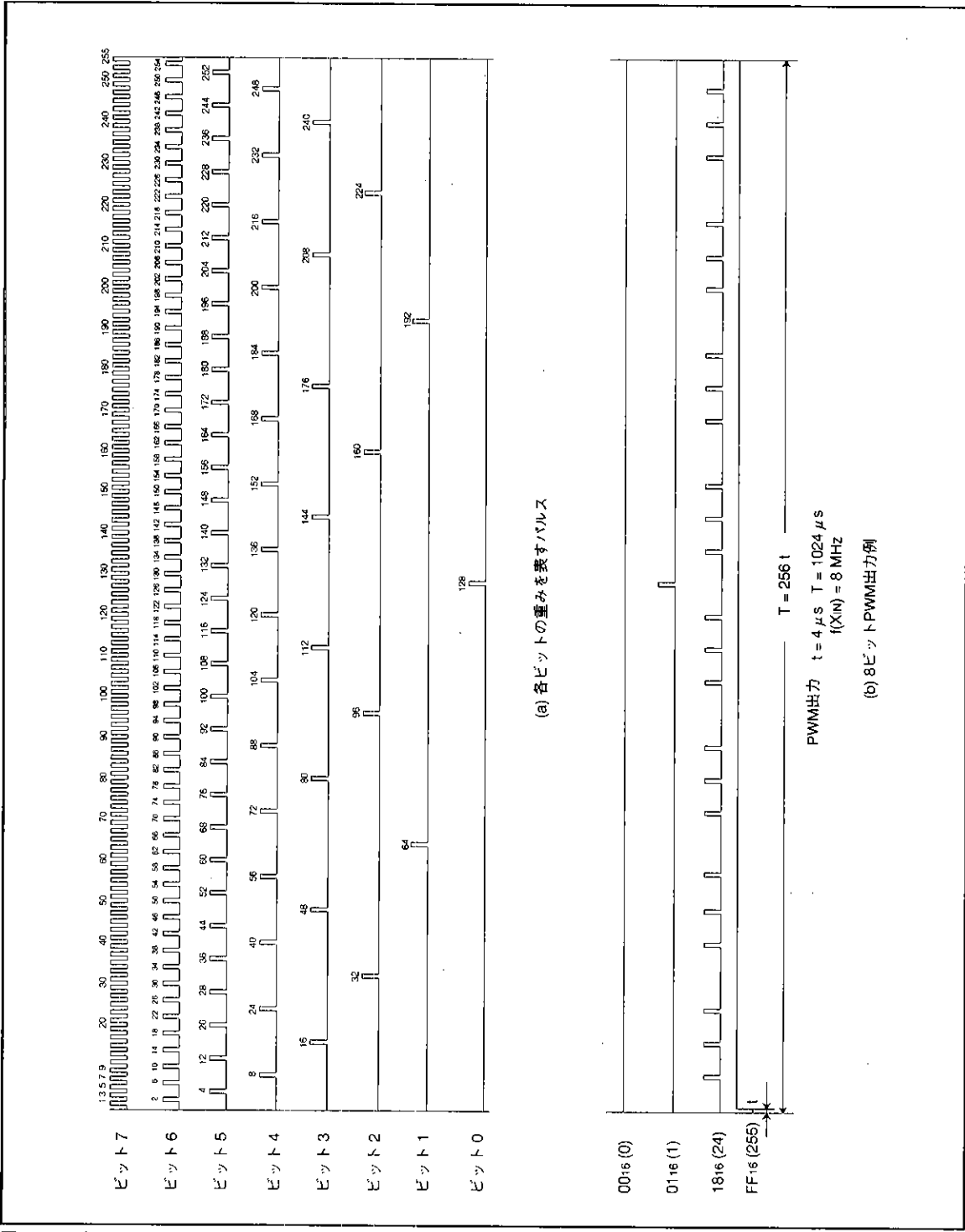


図13. 8ビットPWMタイミング図

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

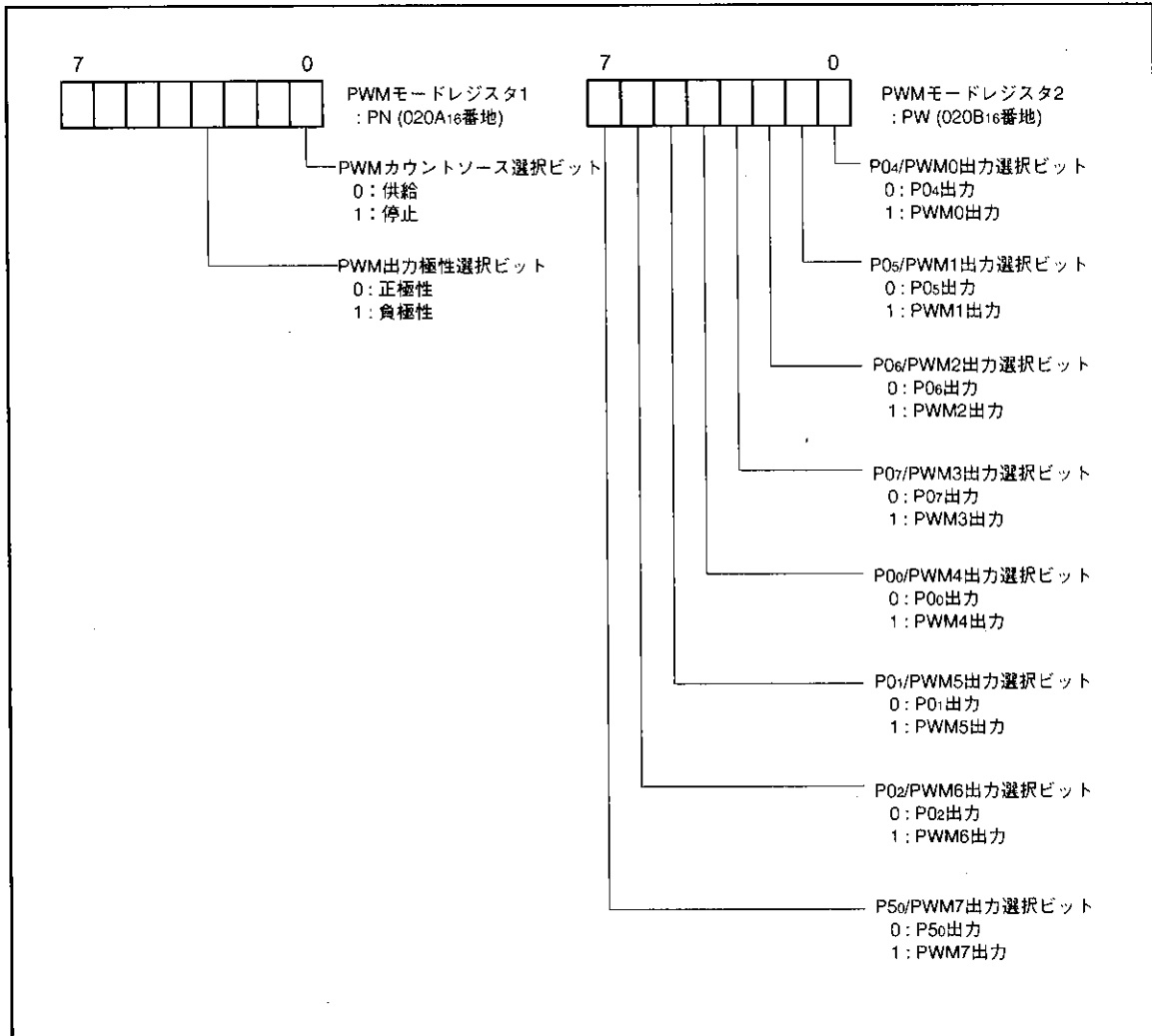


図14. PWM関係レジスタのビット構成

A-D変換器

(1)A-D変換レジスタ(AD)

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中はこのレジスタを読み出さないでください。

(2)A-D制御レジスタ(ADCON)

A-D変換の制御を行うためのレジスタです。ビット1, ビット0はアナログ入力端子の選択ビットです。アナログ入力端子として使用しない場合は、通常の入出力端子として使用できます。ビット3はA-D変換終了ビットで、このビットに"0"を書き込むことによって、A-D変換が開始されます。A-D変換中は"0"、A-D変換の終了と同時に"1"になります。

ビット4は抵抗ラダーとVccとの接続を制御します。A-D変換を使用しない場合は、このビットを"0"にして抵抗ラダーと内部Vcc電源を切り離すことができます。これによって電源電圧を抑えることができます。

(3)比較電圧発生回路(抵抗ラダー)

VssとVcc間の電圧を256分割し、分圧を比較電圧Vrefとしてコンパレータに出力します。

(4)チャンネルセレクタ

A-D制御レジスタのビット1とビット0によって選択されたアナログ入力端子を、コンパレータに接続します。

(5)コンパレータ及び制御回路

アナログ入力電圧と比較電圧との比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D変換割り込み要求ビットを"1"にします。

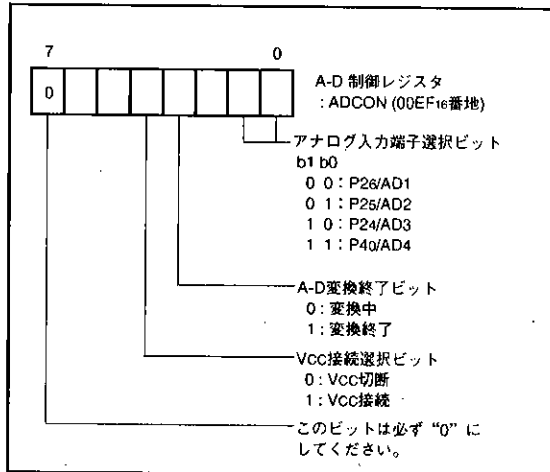


図15. A-D制御レジスタのビット構成

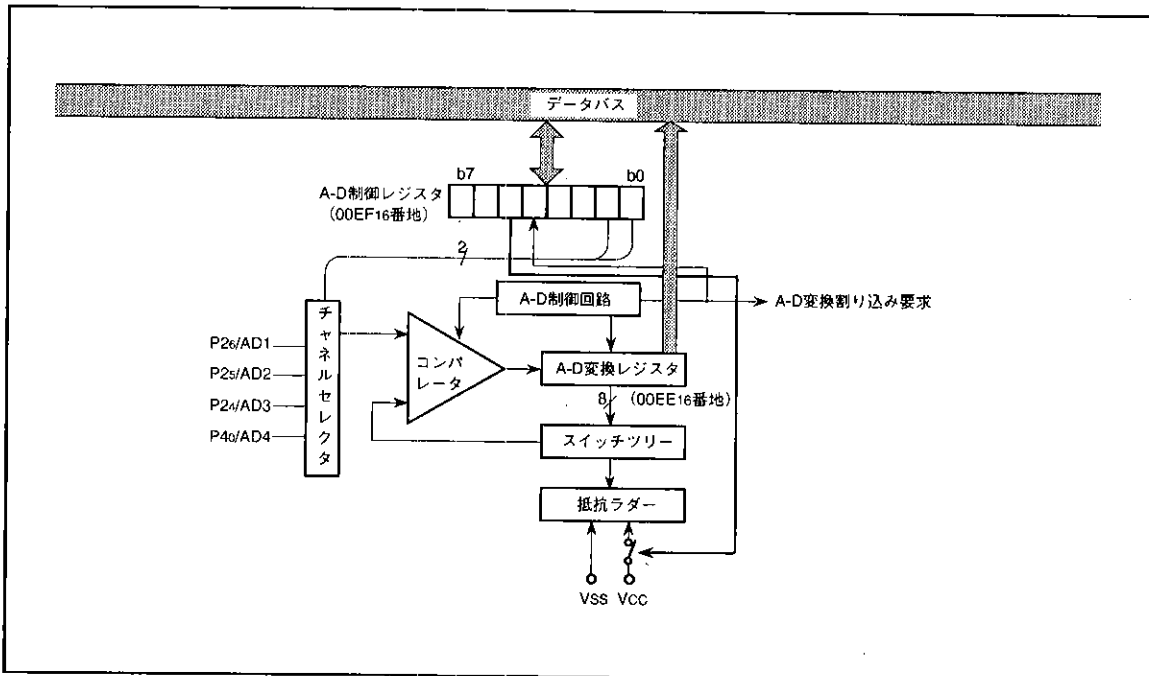


図16. A-D変換器ブロック図

(6)A-D変換方法

- ①A-D変換終了時に割り込み要求を発生させるために、割り込み間隔判定制御レジスタ(021216番地)のビット7を“1”にしてください。
- ②割り込み要求レジスタ1のA-D変換・INT3割り込み要求ビットを“0”にします(A-D変換を開始しても、A-D変換・INT3割り込み要求ビットは自動的に“0”にはなりません)。
- ③A-D変換割り込みを使用する場合は、A-D変換・INT3割り込み許可ビットを“1”にし、A-D変換割り込みを許可状態にします。また割り込み禁止フラグを“0”にします。
- ④A-D制御レジスタのVcc接続選択ビットを“1”にして、Vccと抵抗ラダーを接続します。
- ⑤A-D制御レジスタのアナログ入力端子選択ビットによって、アナログ入力端子を選択します。
- ⑥A-D制御レジスタのA-D変換終了ビットを“0”にします。この書き込み動作によって、A-D変換が開始されます。なお、A-D変換中はA-D変換レジスタの内容を読み出さないでください。
- ⑦A-D変換終了ビットの状態(“1”)、A-D変換・INT3割り込み要求ビットの状態(“1”)、又はA-D変換割り込みによって変換の終了を確認します。
- ⑧A-D変換レジスタを読み出すことによって、変換結果が得られます。

注: Vccと抵抗ラダーを切り離す場合は、⑦と⑧の間にVcc接続選択ビットを“0”にしてください。

(7)内部動作

A-D変換が開始すると以下の動作が自動的に行われます。

- ①A-D変換レジスタが“0016”になります。
- ②A-D変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
- ③比較結果によって、A-D変換レジスタの最上位ビットは以下のように確定されます。
 Vref < VINの場合：“1”を保持する
 Vref > VINの場合：“0”になる

以上の動作を8回繰り返すことによって、アナログ値をデジタル値に変換します。A-D変換は、開始後50マシンスイクル(f(XIN)=8MHz時、12.5μs)で終了し、変換結果がA-D変換レジスタに格納されます。

A-D変換終了と同時にA-D変換割り込み要求が発生し、A-D変換・INT3割り込み要求ビットが“1”になります。同時にA-D変換終了ビットが“1”になります。

表2. VrefとVREFの関係式

A-D変換レジスタの内容n (10進表記)	Vref (V)
0	0
1~255	$\frac{VREF}{256} \times (n-0.5)$

注: VREF: 内部Vcc電源の電圧値

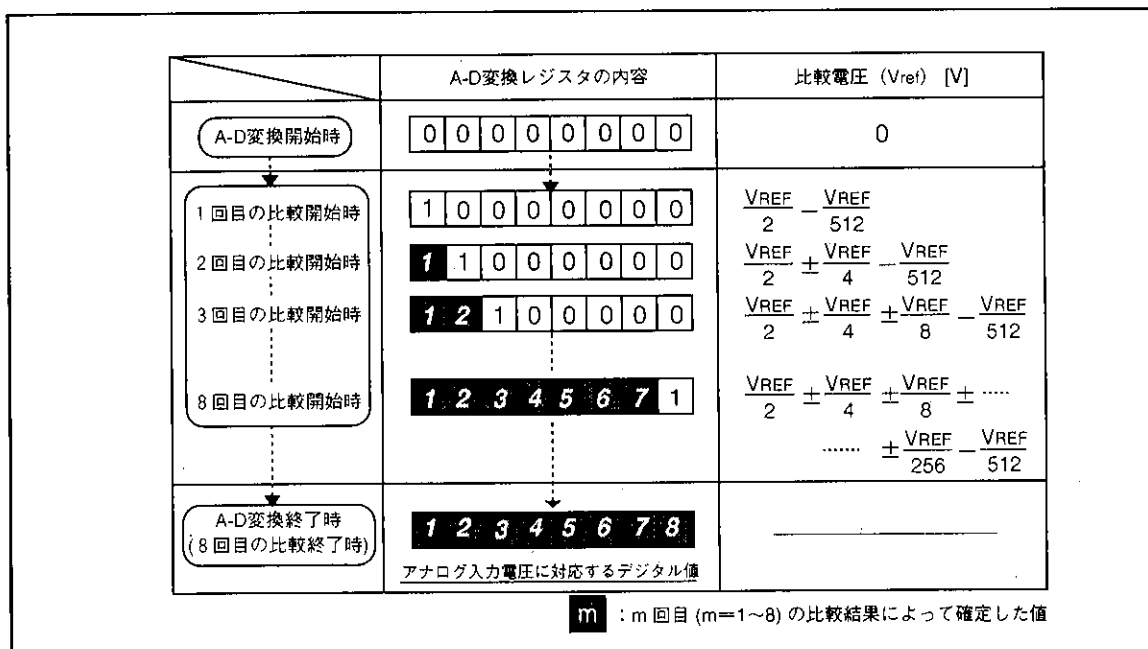


図17. A-D変換中のA-D変換レジスタと比較電圧の変化

(B)A-D変換精度の定義

A-D変換精度の定義について説明します(図18参照)。

①相対精度

・ゼロトランジション誤差(V_{0T})

A-D変換出力データが“0”から“1”に変化する時の入力電圧と、0～V_{REF}間の理想的A-D変換特性との偏差

$$V_{0T} = \frac{(V_0 - 1/2 \times V_{REF}/256)}{1LSB} \quad [LSB]$$

・フルスケールトランジション誤差(V_{FST})

A-D変換出力データが“255”から“254”に変化する時の入力電圧と、0～V_{REF}間の理想的A-D変換特性との偏差

$$V_{FST} = \frac{(V_{REF} - 3/2 \times V_{REF}/256) - V_{254}}{1LSB} \quad [LSB]$$

・非直線性誤差

実際のA-D変換特性と、V₀～V₂₅₄間の理想的A-D変換特性との偏差

$$\text{非直線性誤差} = \frac{V_n - (1LSB \times n + V_0)}{1LSB} \quad [LSB]$$

・微分非直線性誤差

出力データを“1”変化させるのに必要な入力電圧と、V₀～V₂₅₄間の理想的A-D変換特性との偏差

$$\text{微分非直線性誤差} = \frac{(V_{n+1} - V_n) - 1LSB}{1LSB} \quad [LSB]$$

②絶対精度

・絶対精度誤差

実際のA-D変換特性と、0～V_{REF}間の理想的A-D変換特性との偏差

$$\text{絶対精度誤差} = \frac{V_n - 1LSBA \times (n + 1/2)}{1LSBA} \quad [LSB]$$

注: V_n出力データが“n”から“n+1”(n; 0～254)に変化する時のアナログ入力電圧は以下ようになります(図18参照)。

$$\text{相対精度における} 1LSB = \frac{V_{254} - V_0}{254} \quad [V]$$

$$\text{絶対精度における} 1LSBA = \frac{V_{REF}}{256} \quad [V]$$

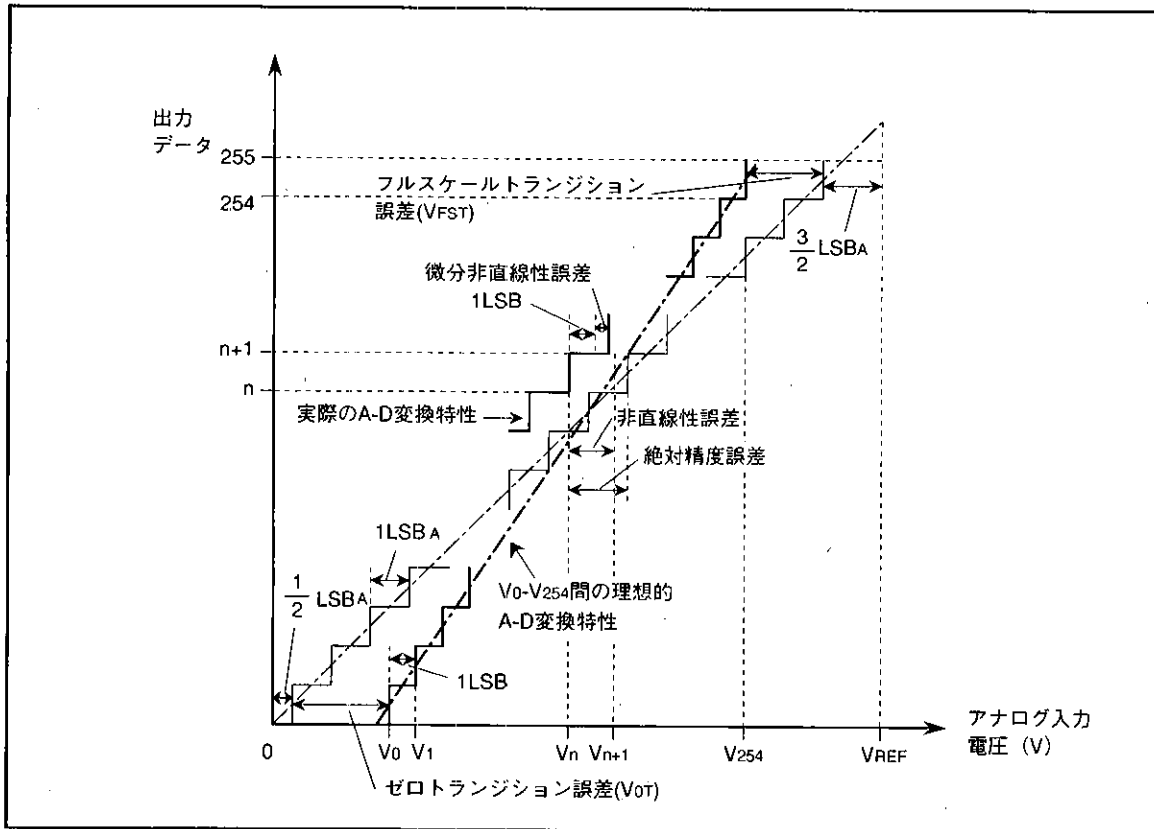


図18. A-D変換精度の定義

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

データスライサ

M37270MF-XXXSPは、クロズドキャプションデコーダ(以下CCDと称す)に対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重叠されたキャプションデータを取り出すことができます。CVIN端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ1(00EA16番地)のビット0を"0"に設定することによって、データスライサ回路を遮断することができます。また、データスライサ制御レジスタ2(00EB16番地)のビット0を"0"に設定することによってタイミング信号発生回路を切断することができます。これらの設定によって、電源電流を抑えることができます。

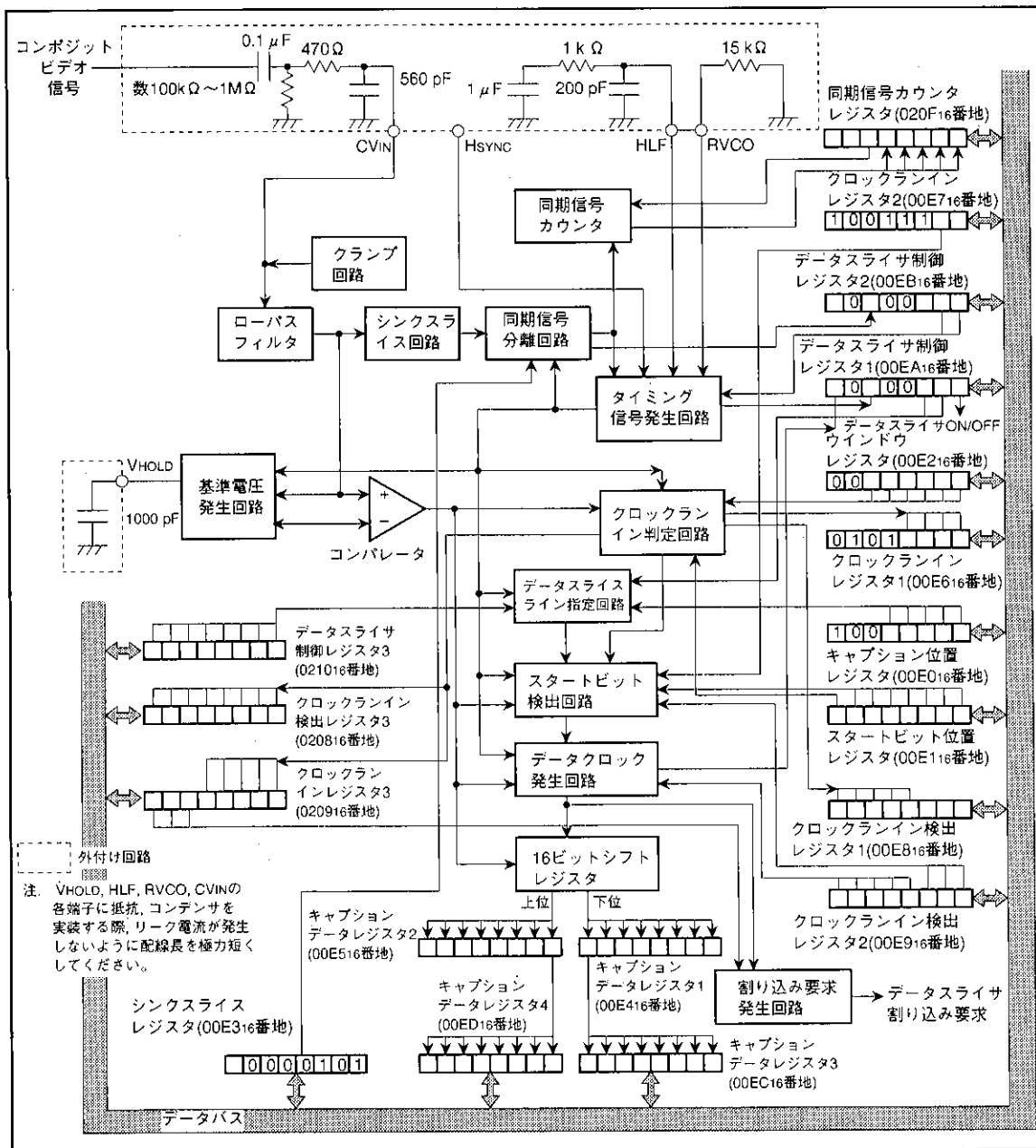


図19. データスライサブロック図

図19にデータスライサ制御レジスタのビット構成を示します。

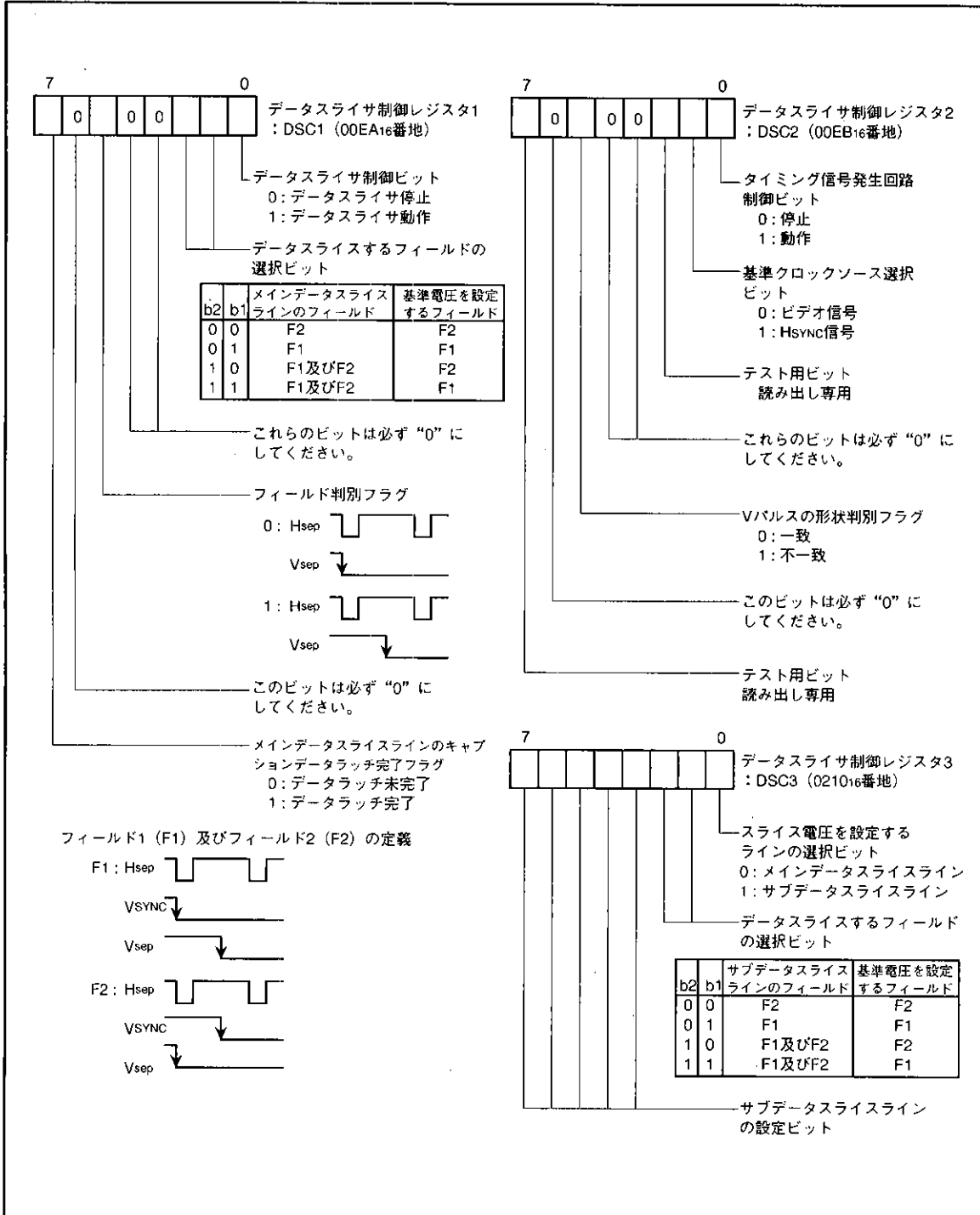


図20. データスライサ制御レジスタのビット構成

(1) クランプ回路・ローパスフィルタ

CVIN端子から入力されたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力されるCVIN端子は、外部でのコンデンサ(0.1 μ F)結合が必要です。またCVIN端子は、数100k Ω ～1M Ω 程度の抵抗でプルダウンしてください。さらにCVIN端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します(図19参照)。

(2) シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。図21にシンクスライスレジスタのビット構成を示します。

(3) 同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

① 水平同期信号(Hsep)

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号Hsepを発生します。

② 垂直同期信号(Vsep)

Vsep信号の発生方法は、シンクスライスレジスタ(00E316番地)のビット7を用いて、次の2種類から選択することができます。

- ・方法1 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の立ち上がりに同期してVsep信号を発生します。
- ・方法2 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の“L”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりに同期してVsep信号を発生します(図22参照)。

発生タイミングを図22に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データスライサ制御レジスタ2のビット5を読み出すことによって、コンポジットシンク信号のVパルス部分の形状が判別できます。図23のようにA, Bのレベルが一致していれば“0”、不一致であれば“1”になります。

RVCO端子及びHLF端子は、図19に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

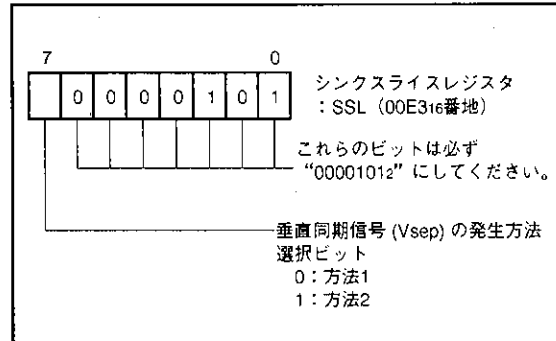


図21. シンクスライスレジスタのビット構成

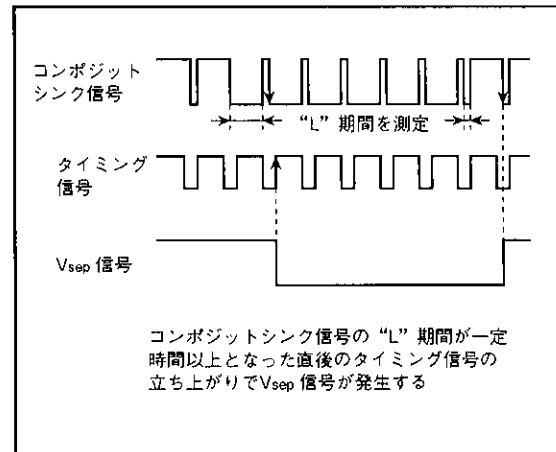


図22. Vsep発生タイミング (方法2)

注. データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。この期間、各種タイミング信号、Hsep信号、Vsep信号は不定となりますので、プログラム作成の際は、安定時間を考慮してください。

(4) タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ2 (00EB:6番地)のビット0を"1"に設定することによって動作します。

基準クロックはデータスライサの他にOSD機能の表示用クロックとしても使用できます。また、コンポジットシンク信号のかわりにHsync信号をカウントソースとすることもできます。ただし、Hsync信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ2 (00EB:6番地)のビット1で選択できます。

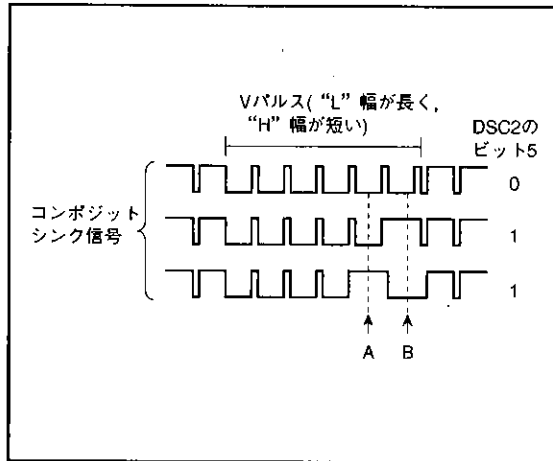


図23. Vパルス形状の判別

(5) データスライスライン指定回路

① データスライスラインの指定

1フィールド中の任意の2本のHsepをデータスライスするために、データスライスライン(Hsep)を指定する回路を2回路備えています。以下の2つのデータスライスラインが指定できます。

<メインデータスライスライン>

キャプションデータ位置レジスタ(00E016番地)で指定されるライン

<サブデータスライスライン>

データスライサ制御レジスタ3(00EB16番地)で指定されるライン

Vsepの立ち下がりりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット4~ビット0(サブデータスライスラインの場合、データスライサ制御レジスタ3のビット7~ビット3)の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには"0016"~"1F16"の値が設定できます。ビット7~ビット5はテスト用ビットです。"1002"を設定してください。図24に垂直帰線期間中の信号を示します。キャプション位置レジスタのビット構成を

図25に示します。

② データスライスを行うフィールドの指定

メインデータスライスラインの場合は、データスライスを行うフィールドをデータスライサ制御レジスタ1(00EA16番地)のビット2、ビット1によって選択します。また、サブデータスライスラインの場合は、データスライス制御レジスタ3のビット2、ビット1によって選択します。データスライサ制御レジスタ1のビット2を"1"に設定すると、ビット1の選択にかかわらず、両フィールドをデータスライスすることができます(図20参照)。

③ スライス電圧を設定するラインの指定

どのラインのクロックラインに対して、その振幅電圧を積分し、スライス用の基準電圧(スライス電圧)を発生するかを表3に示します。

④ フィールドの判別

データスライサ制御レジスタ1のビット5によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりりのタイミングで変化します。

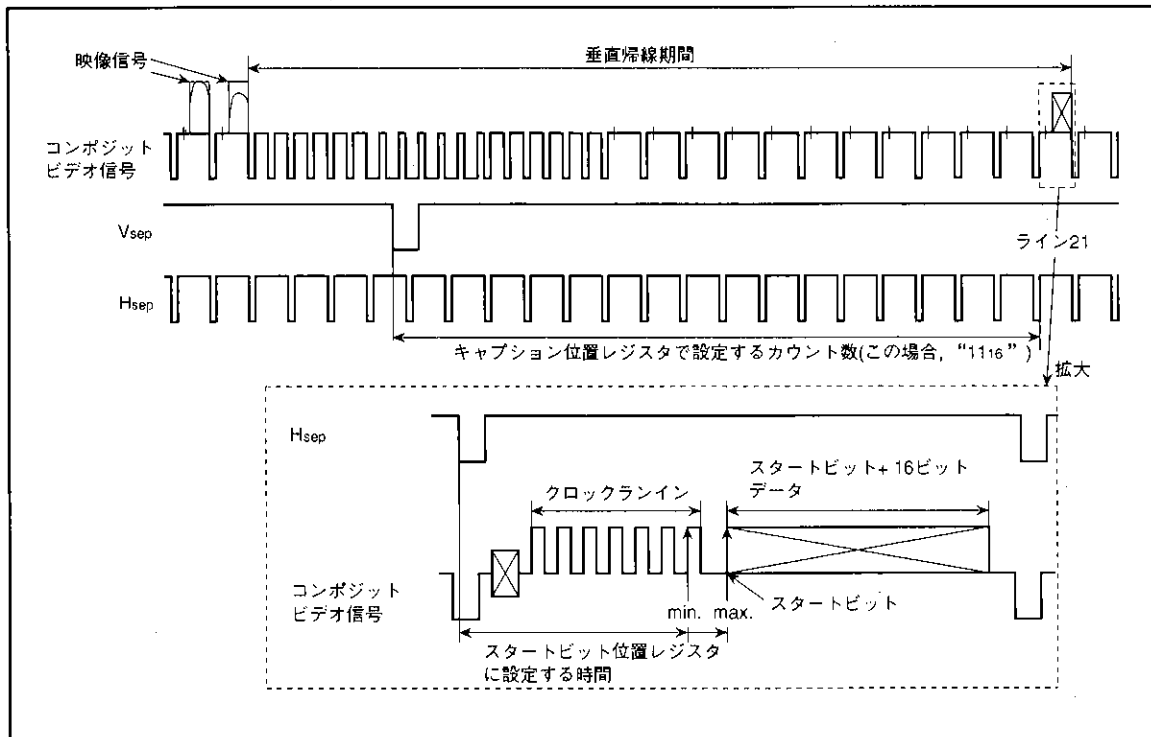


図24. 垂直帰線期間中の信号

表3. 基準電圧を設定するフィールドの指定

DSC3のビット0	フィールド	ライン
0	DSC1のビット1で指定されるフィールド 0: F2 1: F1	CPのビット4～ビット0で指定されるライン (メインデータスライスライン)
1	DSC3のビット1で指定されるフィールド 0: F2 1: F1	DSC3のビット7～ビット3で指定されるライン (サブデータスライスライン)

注: DSC1: データスライサ制御レジスタ
 DSC3: データスライサ制御レジスタ3
 CP: キャプション位置レジスタ

(6) 基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータに入力されます。

① 基準電圧発生回路

データスライスライン指定回路で指定されたラインにおけるクロックラインの振幅を用いて基準電圧(スライス電圧)を発生します。VHOLD端子とVss間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

② コンパレータ

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧(基準電圧)を比較し、コンポジットビデオ信号をデジタル値に変換します。

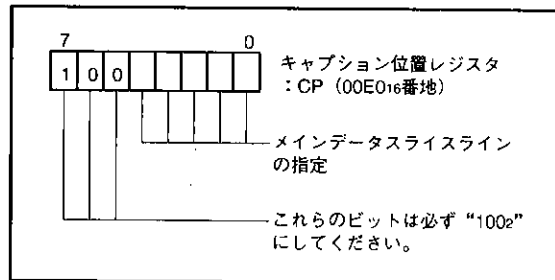


図25. キャプション位置レジスタのビット構成

(7) スタートビット検出回路

データスライスライン指定回路で決定したラインにおけるスタートビットを検出します。スタートビットの検出は、クロックラインレジスタ2(00E716番地)のビット1を用いて、次の2種類から選択することができます。

① スタートビット位置レジスタ(00E116番地)の設定値に応じた時間が経過した後、コンポジットビデオ信号の最初の立ち上がりをスタートビットとして検出します。

時間はスタートビット位置レジスタ(00E116番地)のビット6～ビット0に設定します(図26参照)。以下の条件に適用した値を設定してください。

スタートビット位置レジスタのビット構成を図26に示します。

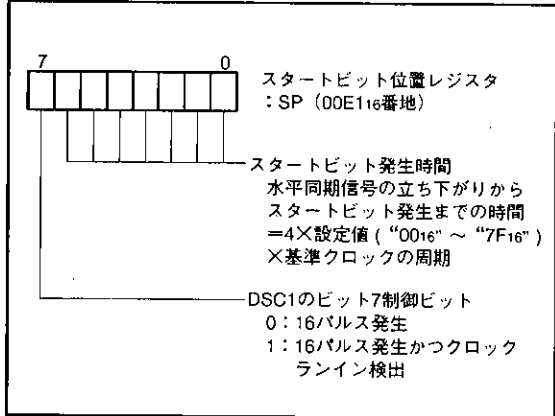


図26. スタートビット位置レジスタのビット構成

$$\left[\begin{array}{l} \text{水平同期信号の立ち下がりから} \\ \text{クロックラインの最後の立ち} \\ \text{上がりまでの時間} \end{array} \right] < \left[\begin{array}{l} 4 \times \text{スタートビット位置レジスタ} \\ \text{の設定値} \times \text{基準クロックの} \\ \text{周期} \end{array} \right] < \left[\begin{array}{l} \text{水平同期信号の立ち下がりから} \\ \text{スタートビット発生までの時間} \end{array} \right]$$

②クロックライン検出レジスタ2 (00E916番地)のビット2～ビット0で設定したクロックラインパルスの立ち下がりを検出した後、コンパレータ出力をサンプリングすることによって、スタートビットを検出します。サンプリングのためのサンプリングクロックは、タイミング信号発生回路によって生成される基準クロックを13分周したものです。

クロックライン検出レジスタ2のビット構成を図28に示します。

クロックライン検出レジスタ2のビット2～ビット0、及びクロックラインレジスタ2のビット1の内容は、水平同期信号の立ち下がり書き込まれます。そのため、設定のための命令を実行しても、水平同期信号が立ち下がるまではレジスタの内容は書き替えられません。

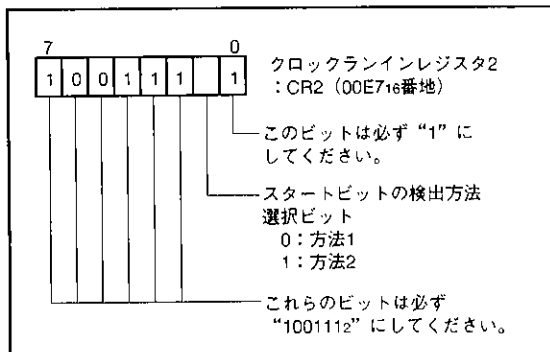


図27. クロックラインレジスタ2のビット構成

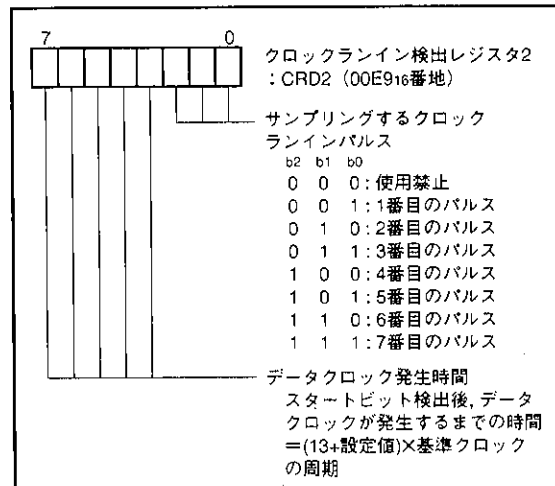


図28. クロックライン検出レジスタ2のビット構成

(8) クロックライン判定回路

コンポジットビデオ信号中のクロックライン部分にウインドウを設定し、そのウインドウ中でパルス数をカウントすることによってクロックラインであることを判定します。水平同期信号の立ち下がりからウインドウの開始(クロックライン開始)までの時間をウインドウレジスタ(00E216番地: 図29参照)のビット5～ビット0で設定します。ウインドウの終了はスタートビット位置レジスタの設定内容に従います(図26参照)。

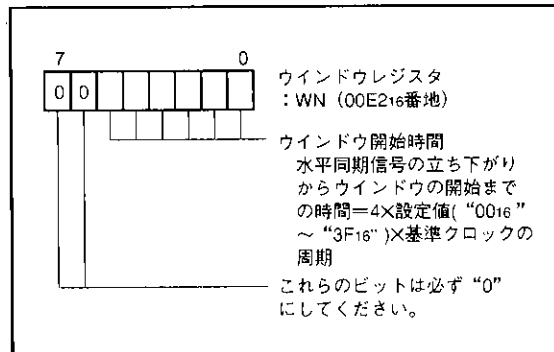


図29. ウインドウレジスタのビット構成

メインデータスライスの場合、ウインドウ中のパルスのカウント値はクロックラインレジスタ1(00E6₁₆番地：図30参照)に格納されます。またサブデータスライスの場合、クロックラインレジスタ3(0209₁₆番地：図31参照)に格納されます。これらのカウント値が4~6の場合、クロックラインであると判定されますので、クロックラインの最初のパルス以降でウインドウが開始するように設定してください(図32参照)。

ウインドウレジスタに設定する内容は水平同期信号の立ち下がり書き込まれます。そのため、設定のための命令を実行しても、水平同期信号が立ち下がるまではレジスタ内容は書き替えられません。

基準クロックはクロックライン検出レジスタ2(00E9₁₆番地)のビット2~ビット0で設定したクロックパルスの立ち下がりから次の立ち下がりまでの期間、カウントされます。メインデータスライスの場合、基準クロックのカウント値はクロックライン検出レジスタ1(00E8₁₆番地)のビット7~ビット3に格納されます("1F₁₆"以上の場合は"1F₁₆"が保持されます)。サブデータスライスの場合、クロックライン検出レジスタ3(0208₁₆番地)のビット7~ビット3に格納されます。これらのビットはデータスライサ割り込み〔(11)割り込み要求発生回路〕の発生後に読み出してください。

クロックライン検出レジスタ1,3のビット構成を図33に示します。

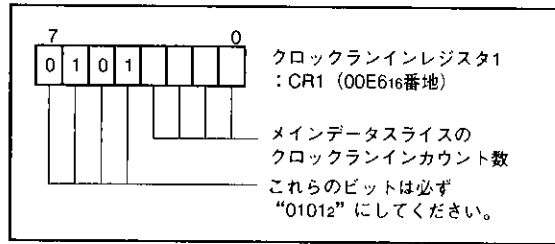


図30. クロックラインレジスタ1のビット構成

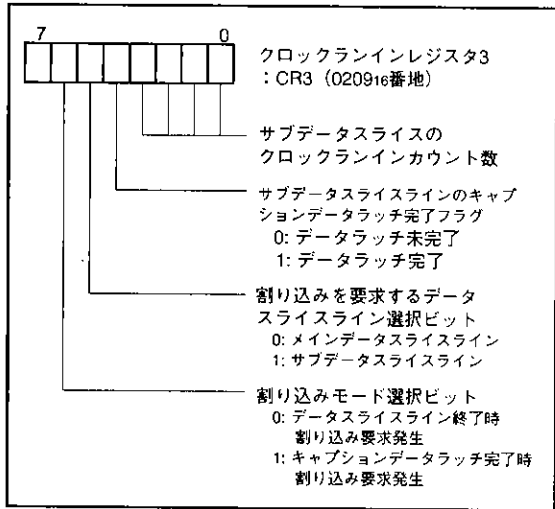


図31. クロックラインレジスタ3のビット構成

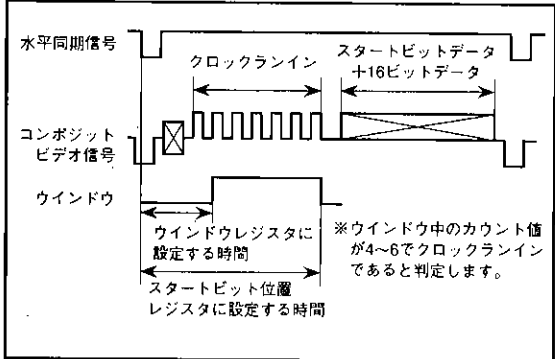


図32. ウインドウの設定

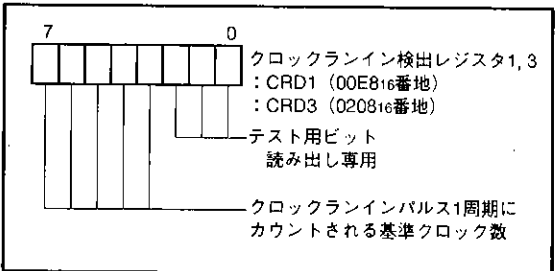


図33. クロックライン検出レジスタ1,3のビット構成

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

(9) データクロック発生回路

データクロック発生回路は、スタートビット検出回路で検出されたスタートビットに位相が同期したデータクロックを発生します。

スタートビット検出後、データクロックが発生するまでの時間はクロックランイン検出レジスタ 2 (00E9₁₆番地) のビット 7～ビット 3 に設定します。設定する時間は以下の式で与えられます。

$$\text{時間} = (13 + \text{設定値}) \times \text{基準クロックの周期}$$

データクロックは16パルス発生します。正確に16パルス発生した場合、データスライサ制御レジスタのビット 7 が“1”になります(図20参照)。スタートビットの検出方法として方法 1 を選択している場合、スタートビット位置レジスタのビット 7 を“1”にすることによって、このビットはクロックランインの判定結果との論理積(AND)の値となります。スタートビットの検出方法として方法 2 を選択している場合、スタートビット位置レジスタのビット 7 に関係なくデータクロックが16パルス発生した場合に、このビットは“1”になります。また、このビットの内容は垂直同期信号(Vsep)の立ち下がりで“0”にリセットされます。

表4. キャプションデータラッチ完了フラグの設定条件

SPのビット7	DSC1のビット7が“1”になる条件	DSC3のビット4が“1”になる条件
0	メインデータスライラインでデータクロックが16パルス発生完了	サブデータスライラインでデータクロックが16パルス発生完了
1	メインデータスライラインでデータクロックが16パルス発生完了 AND クロックランインパルスを4～6回検出	サブデータスライラインでデータクロックが16パルス発生完了 AND クロックランインパルスを4～6回検出

(10) 16ビットシフトレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期した16ビットシフトレジスタに格納されます。メインデータスライラインの場合、格納されたキャプションデータの上位8ビットは、キャプションデータレジスタ2(00E5₁₆番地)、下位8ビットはキャプションデータレジスタ1(00E4₁₆番地)を読み出すことによってデータ内容を得ることができます。またサブデータスライラインの場合、キャプションデータの上位8ビットは、キャプションデータレジスタ4(00ED₁₆番地)、下位8ビットはキャプションデータレジスタ3(00EC₁₆番地)を読み出すことによってデータ内容を得ることができます。またVsepの立ち下がりで“0”にリセットされます。キャプションデータレジスタ1, 2はデータスライサ割り込み(「(11)割り込み要求発生回路」)発生後に読み出してください。

(11) 割り込み要求発生回路

割り込み要求発生要因は、クロックランインレジスタ3(0209₁₆番地)のビット5、ビット6と、クロックランインレジスタ2(00E7₁₆番地)のビット1の組み合わせによって選択できます(表6参照)。キャプションデータレジスタ1～4の内容、及びクロックランイン検出レジスタ1, 3のビット7～ビット3の内容は、データスライサ割り込み要求発生後に読み出してください。

表5. 割り込み要求発生要因

CR3		CR2	割り込み要求発生要因		
b5	b6	b1	スライライン	要因	
0	0	0	メインデータスライライン	データスライラインの終了時	
		1		データクロックが16パルス発生完了 AND クロックランインパルスを4～6回検出	
	1	データクロックが16パルス発生完了			
1	0	0		サブデータスライライン	データスライラインの終了時
		1			データクロックが16パルス発生完了 AND クロックランインパルスを4～6回検出
	1	データクロックが16パルス発生完了			

(12) 同期信号カウンタ

同期信号カウンタは、データスライサ回路で映像信号から取り出されたコンポジットシンク信号、又はHSYNC端子から入力されたHSYNCをカウントソースとしてカウントします。

$f(X_{IN})/2^{13}$ で生成される一定時間(T時間)のカウント値が、5ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウント値が“1F16”を越えた場合は、“1F16”がラッチに格納されます。

ラッチの値は、同期信号カウンタレジスタ(00EA16番地)を読み出すことによって得ることができます。カウントソースは、同期信号カウンタレジスタのビット5によって選択します。

同期信号カウンタは、PWMモードレジスタ1(02EA16番地)のビット0を“0”に設定した状態で使用してください。

図34に同期信号カウンタレジスタのビット構成を、図35に同期信号カウンタのブロック図を示します。

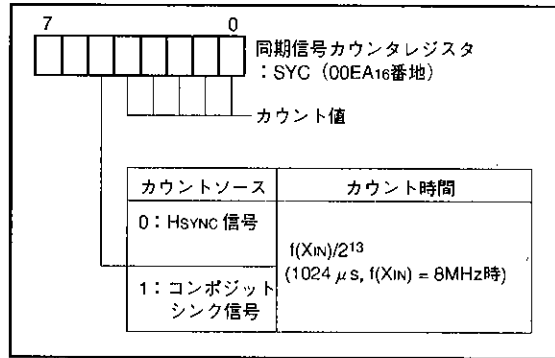


図34. 同期信号カウンタレジスタ

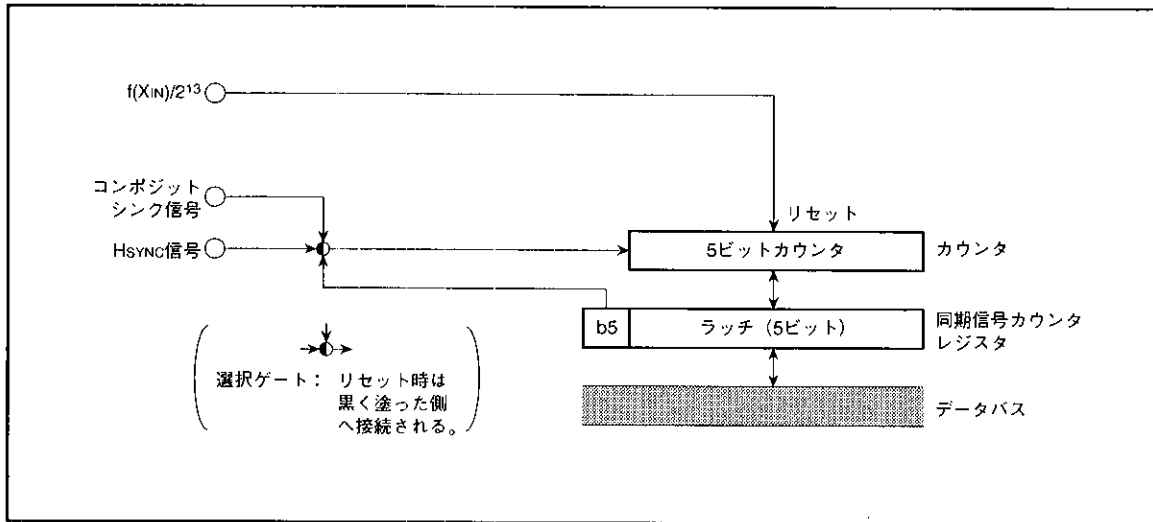


図35. 同期信号カウンタのブロック図

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロナイズ機能を有しており、マルチマスタのシリアル通信に対応できます。

図36にマルチマスタI²C-BUSインタフェースのブロック図、表6にマルチマスタI²C-BUSインタフェース機能を示します。このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタとその他の制御回路により構成されています。

表6. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz~400kHz, ($\phi = 4 \text{ MHz}$)

ϕ : システムクロック = $f(\text{XIN})/2$

注. I²C-BUSインタフェースとポート(SCL1, SCL2, SDA1, SDA2)の接続を制御する機能 (I²Cコントロールレジスタ [00F916番地]のビット6, ビット7)の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

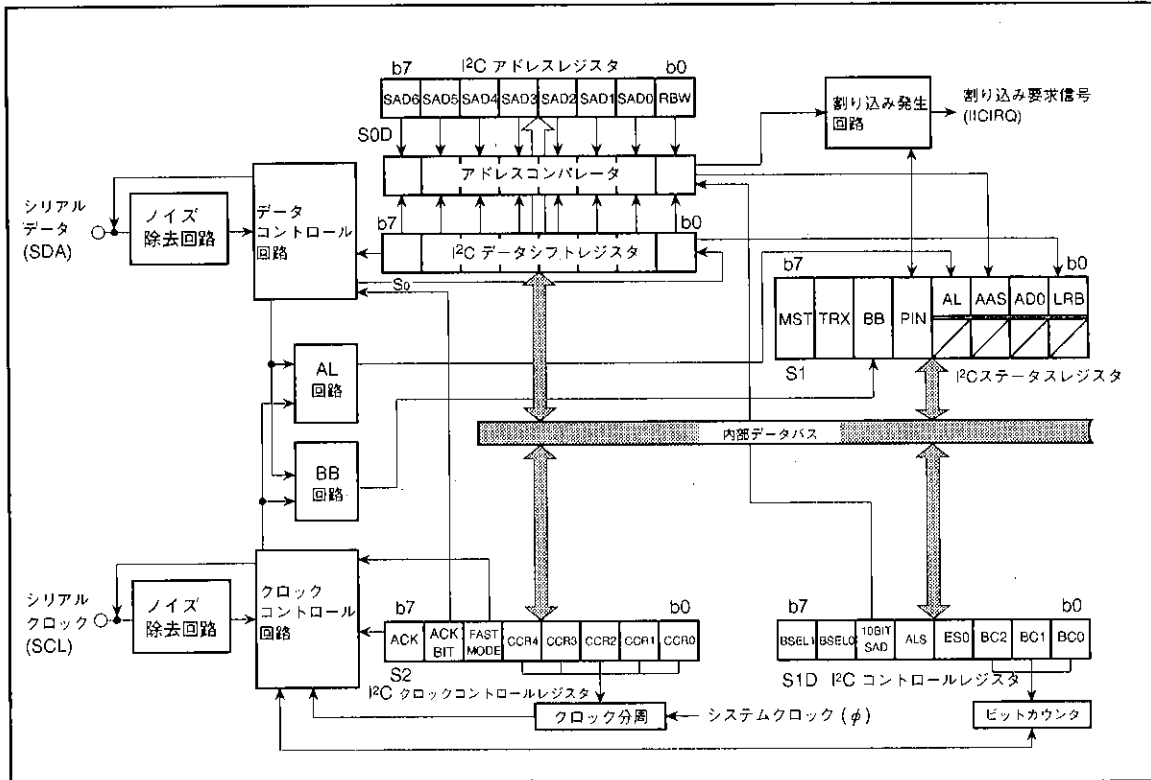


図36. マルチマスタI²C-BUSインタフェースのブロック図

(1) I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:00F6₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してこのレジスタのビット0からデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(00F9₁₆番地)のES0ビットが“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(00F8₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

注. MSTビットを“0”(スレープモード)にしてからI²Cデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保してください。

(2) I²Cアドレスレジスタ

I²Cアドレスレジスタ(00F7₁₆番地)は7ビットのスレープアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレープアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

■ビット0：リード/ライトビット(RBW)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6~SAD0+RBW)が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

■ビット1～ビット7：スレープアドレス(SAD0～SAD6)

スレープアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

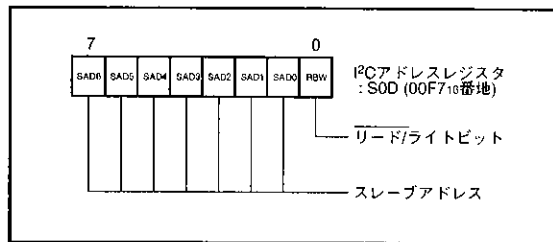


図37. I²Cアドレスレジスタのビット構成

(3) I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(00FA₁₆番地)はアックの制御、SCLモード、SCLの間波数を設定するレジスタです。

■ビット0～ビット4：SCL周波数制御ビット(CCR0～CCR4)
 SCL周波数を制御するビットです。表7を参照してください。

■ビット5：SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

■ビット6：アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態、アドレスデータを受信するとき、スレープアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。スレープアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

*アッククロック：確認応答用のクロック

■ビット7：アッククロックビット(ACK)

データ転送の確認応答であるアックリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

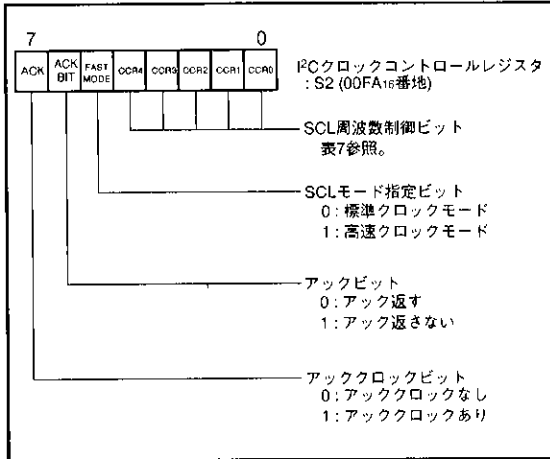


図38. I²Cクロックコントロールレジスタのビット構成

表7. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4~CCR0の設定値					SCL周波数 (f = 4 MHz時, 単位: kHz)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	設定禁止	333
0	0	1	0	0	設定禁止	250
0	0	1	0	1	100	400(注)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値	1000/CCR値
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注. 高速クロックモード400kHz時のデューティは40%です。それ以外では50%です。

(4) I²Cコントロールレジスタ

I²Cコントロールレジスタ(00F9₁₆番地)はデータ通信フォーマットの制御を行うレジスタです。

■ビット0~ビット2: ビットカウンタ(BC0~BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“0002”になり、アドレスデータは必ず8ビットで送受信されます。

■ビット3: I²Cインタフェース使用許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0=“0”のとき、次のように処理されます。

- I²Cステータスレジスタ(00F8₁₆番地)のPIN=“1”, BB=“0”, AL=“0”に設定される。
- I²Cデータシフトレジスタ(00F6₁₆番地)への書き込みは禁止される。

■ビット4: データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「(5) I²Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

■ビット5: アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(00F7₁₆番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

■ビット6、ビット7: I²C-BUSインタフェースとポートの接続制御ビット(BSEL0, BSEL1)

マルチマスタI²C-BUSインタフェースのSCL, SDAとポートの接続を制御するビットです(図39参照)。

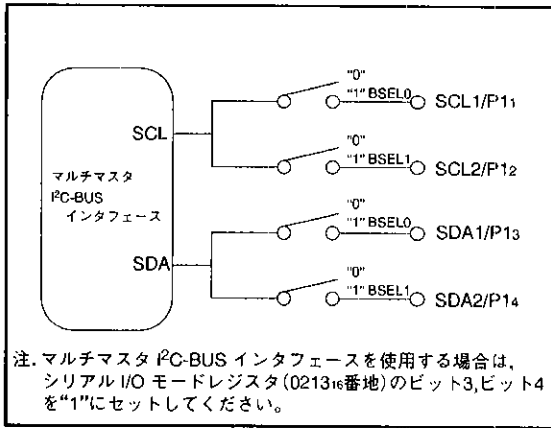


図39. BSEL0, BSEL1による接続ポート制御

(5) I²Cステータスレジスタ

I²Cステータスレジスタ (00F8₁₆番地) は I²C-BUS インタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し書き込み可能です。

■ビット0：最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ (00F6₁₆番地) に書き込み命令を実行すると“1”から“0”になります。

■ビット1：ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディション、スタートコンディションの検出により“0”になります。

*ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“001₆”を送信すること。

■ビット2：スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

①スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。

- スタートコンディション発生直後のアドレスデータが I²C アドレスレジスタ (00F7₁₆番地) に格納されている上位7ビットのスレーブアドレスと一致した場合
- ジェネラルコールを受信した場合

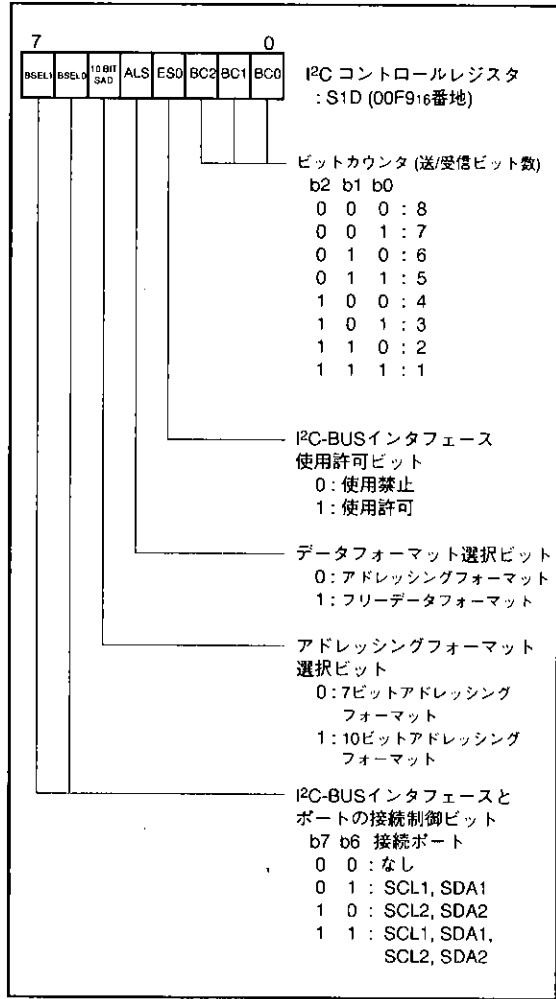


図40. I²Cコントロールレジスタのビット構成

②スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- アドレスデータと I²C アドレスレジスタ (スレーブアドレス、及び RBW ビットで構成される8ビット) とを比較し、第一バイト目が一致した場合

③このビットは I²C データシフトレジスタ (00F6₁₆番地) に書き込み命令を行うことにより“1”から“0”になります。

■ビット3：アービトレーションロスト*検出フラグ (AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時に TRX ビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MST ビット

が“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

★アービトレーションロスト：マスタとしての通信が不許可となった状態。

■ビット4：I²C-BUSインタフェース割り込み要求ビット (PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のときはSCLは“0”に保たれクロックの発生は禁止されます。図42に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“1”になります。

●I²Cデータシフトレジスタ(00F616番地)への書き込み命令の実行

●ES0ビットが“0”のとき

●リセット時

PINビットが“0”になる条件を以下に示します。

●1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

●1バイトのデータ受信完了直後

●スレーブ受信の際、ALS=0で、スレーブアドレス又はジェネラルコールアドレス受信完了直後

●スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

■ビット5：バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能(注)によって禁止されます。

このフラグはマスタ送信時のみ、ソフトウェアによる書き込みが可能です。マスタ送信以外のモードでは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I²Cコントロールレジスタ(00F916番地)のES0ビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

■ビット6：通信モード指定ビット(転送方向指定ビット：TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²Cコントロールレジスタ(00F916番地)のALSビットが“0”でスレーブの場合、マスタから送信されたアドレスデータの最下位ビット(R/Wビット)が“1”のときはTRXビットは“1”(送信)になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”(受信)になります。

以下のいずれかの条件でTRXビットが“0”になります。

●アービトレーションロストを検出した場合

●ストップコンディションを検出した場合

●スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合

●MST=“0”で、スタートコンディションを検出した場合

●MST=“0”で、アックが返ってこなかったことを検出した場合

●リセット時

■ビット7：通信モード指定ビット(マスタ/スレーブ指定ビット：MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

●アービトレーションロストを検出した場合、1バイトデータ送信終了直後

●ストップコンディションを検出した場合

●スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合

●リセット時

注、スタートコンディション重複防止機能は、以下の条件が成立している場合に、スタートコンディションの発生、ビットカウンタのリセット、及びSCLの出力を禁止する機能です。

・別のマスタデバイスによるスタートコンディションが成立

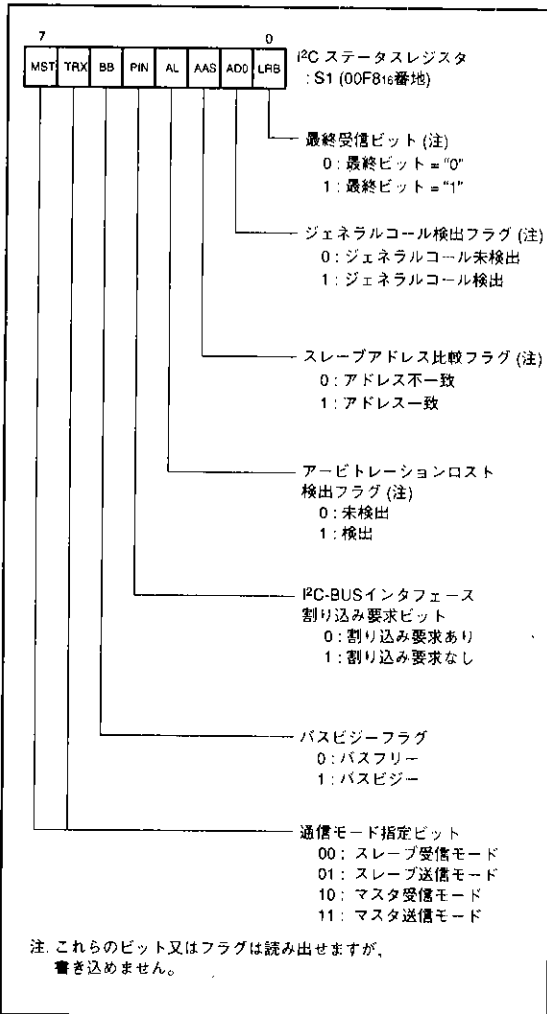


図41. I²C ステータスレジスタのビット構成

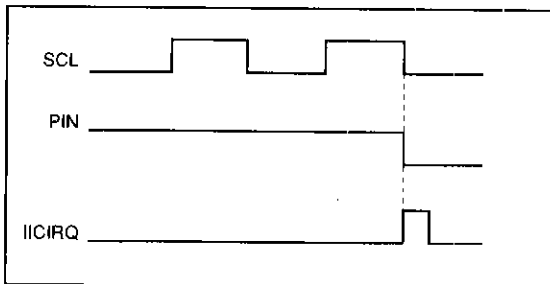


図42. 割り込み要求信号の発生タイミング

(6) スタートコンディション発生方法

I²Cコントロールレジスタ(00F916番地)のES0ビットが"1"の状態、I²Cステータスレジスタ(00F816番地)に書き込み命令を行いMST, TRX, BBビットを"1"にするとスタートコンディションが発生します。その後、ビットカウンタが"0002"になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図43のスタートコンディション発生タイミング図と表8のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

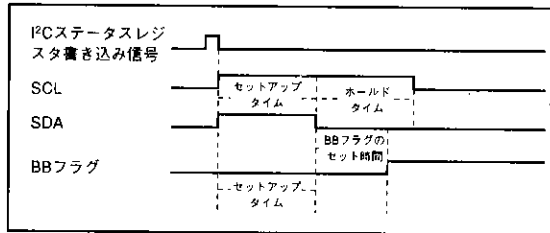


図43. スタートコンディション発生タイミング図

(7) ストップコンディションの発生方法

I²Cコントロールレジスタ(00F916番地)のES0ビットが"1"の状態、I²Cステータスレジスタ(00F816番地)へ書き込み命令を行いMST=1, TRX=1, BB=0にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図44のストップコンディション発生タイミング図と表8のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

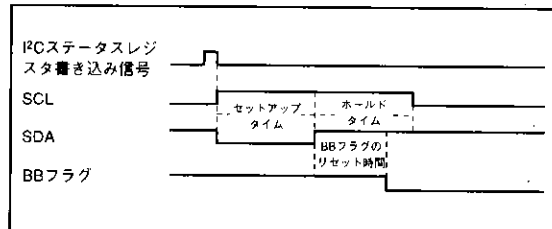


図44. ストップコンディション発生タイミング図

表8. スタートコンディション、ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
ホールド時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
BBフラグセット/リセット時間	3.0 μ s (12サイクル)	1.5 μ s (6サイクル)

注. ϕ = 4 MHz時の絶対時間, ()内は ϕ のサイクル数

(8) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図45と表9に示します。表9の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQが発生します。

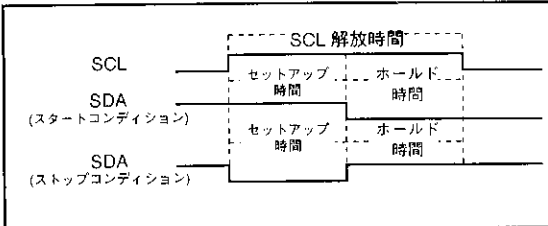


図45. スタートコンディション、ストップコンディション検出のタイミング図

表9. スタートコンディション、ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μ s(26サイクル)<SCL解放時間	1.0 μ s(4サイクル)<SCL解放時間
3.25 μ s(13サイクル)<セットアップ時間	0.5 μ s(2サイクル)<セットアップ時間
3.25 μ s(13サイクル)<ホールド時間	0.5 μ s(2サイクル)<ホールド時間

注. ϕ = 4 MHz時の絶対時間、()内は ϕ のサイクル数

(9) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

① 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(00F9₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(00F7₁₆番地)に格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(00F7₁₆番地)のRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図46の(1)、(2)を参照してください。

② 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(00F9₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(00F7₁₆番地)に格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²Cアドレスレジスタ(00F7₁₆番地)のRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されません。10ビットアドレッシングモード時には、アドレスデータ

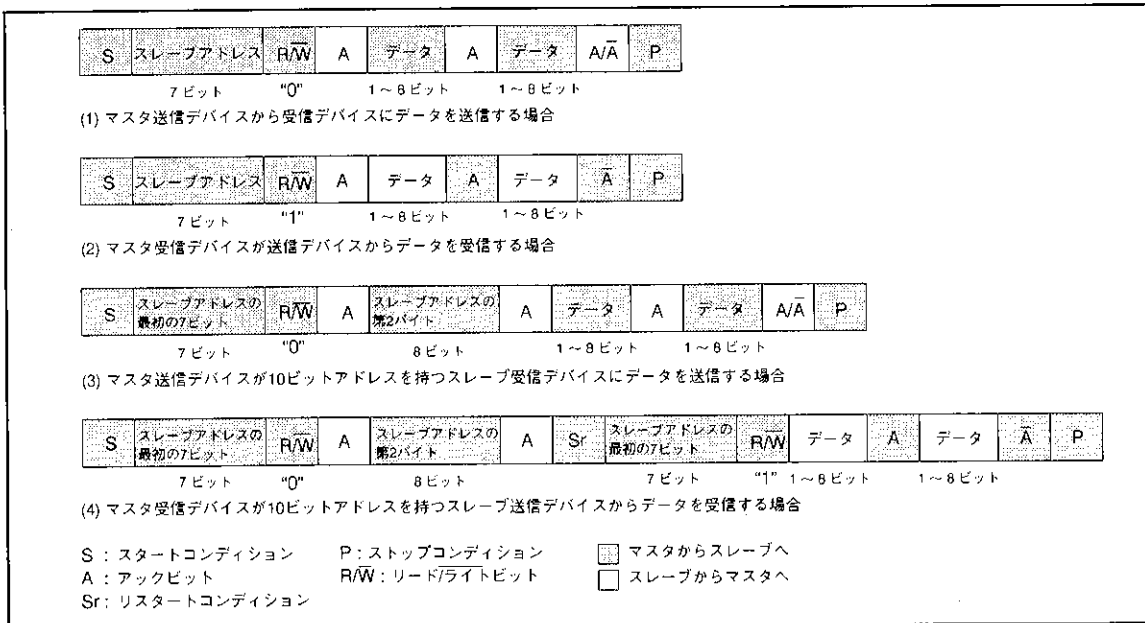


図46. アドレスデータ通信フォーマット

の最終ビットであるR/Wビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(00F816番地)のAASビットが"1"にセットされます。2バイト目のアドレスデータは、I²Cデータシフトレジスタ(00F616番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。

2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(00F716番地)のRBWビットをソフトウェアで"1"にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Cアドレスレジスタ(00F716番地)の値を一致させることができます。10ビットアドレスリングフォーマット時のデータ伝送フォーマットは図46の(3)、(4)を参照してください。

(10) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- ①I²Cアドレスレジスタ(00F716番地)の上位7ビットにスレーブアドレス、RBWビットに"0"を設定します。
- ②I²Cクロックコントロールレジスタ(00FA16番地)に"8516"を設定することによって、アックを返すモード、SCL=100kHzにします。
- ③I²Cステータスレジスタ(00F816番地)に"1016"を設定し、SCLを"H"レベルに保持します。
- ④I²Cコントロールレジスタ(00F916番地)に"4816"を設定することによって、通信許可状態にします。
- ⑤I²Cデータシフトレジスタ(00F616番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは"0"にします。
- ⑥I²Cステータスレジスタ(00F816番地)に"F016"を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- ⑦I²Cデータシフトレジスタ(00F616番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- ⑧複数バイトの制御データを送信する場合、⑦を繰り返します。
- ⑨I²Cステータスレジスタ(00F816番地)に"D016"を設定します。この後、アックが返らなかった場合又は送信が終了すると、ストップコンディションが発生します。

(11) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレスリングフォーマットの場合のスレーブ受信例を以下に示します。

- ①I²Cアドレスレジスタ(00F716番地)の上位7ビットにスレーブアドレス、RBWビットに"0"を設定します。
- ②I²Cクロックコントロールレジスタ(00FA16番地)に"2516"を設定することによって、アックなしモード、SCL=400kHzにします。
- ③I²Cステータスレジスタ(00F816番地)に"1016"を設定しSCLを"H"レベルに保持します。
- ④I²Cコントロールレジスタ(00F916番地)に"4816"を設定することによって、通信許可状態にします。
- ⑤スタートコンディションを受信すると、アドレス比較されます。
- ⑥送信されたアドレスがすべて"0"の場合(ジェネラルコール)
I²Cステータスレジスタ(00F816番地)のAD0="1"に設定され、割り込み要求信号が発生します。
•送信されたアドレスが、①で設定したアドレスと一致した場合
I²Cステータスレジスタ(00F816番地)のAAS="1"に設定され、割り込み要求信号が発生します。
•上記以外の場合
I²Cステータスレジスタ(00F816番地)のAD0="0"、AAS="0"に設定され、割り込み要求信号は発生しません。
- ⑦I²Cデータシフトレジスタ(00F616番地)にデータデータを設定します。
- ⑧複数バイトの制御データを受信する場合、⑦を繰り返します。
- ⑨ストップコンディションを検出すると通信が終了します。

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

OSD機能

OSD機能の概要を表10に示します。

M37270MF-XXXSPは40文字×16行のOSD制御回路を内蔵しています。OSDはOSDコントロールレジスタによって制御されます。3つの表示モードを備えており、ブロック単位に選択できます。表示モードはブロックコントロールレジスタ*i*(*i*=1~6)によって選択されます。各表示モードの特長を以下に示します。

表10. 各表示モードの特長

項 目	表示モード		
	CCモード (クローズドキャプションモード)	OSDモード (オンスクリーンディスプレイモード)	EXOSDモード (エクストラオンスクリーンディスプレイモード)
表示文字数	40文字×16行	40文字×16行	40文字×16行
文字構成	16×26ドット (文字部分は20×16ドット)	16×20ドット	16×26ドット
文字種類	320種類 (EXOSDモード時は32種類のエクストラフォントと組み合わせ可能)		
文字サイズ	2種類	14種類	6種類
プリ分周比	1倍, 2倍	1倍, 2倍, 3倍	1倍, 2倍, 3倍
ドットサイズ	1Tc×1/2H	1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H, 1Tc×1H
アトリビュート	スムーズイタリック、アンダーライン、フラッシュ (点滅)	フチドリ	フチドリ、エクストラフォント (32種類)
キャラクタフォント着色	1画面7種類, 最大7種類 (文字単位)	1画面7種類, 最大15種類 (文字単位)	1画面7種類, 最大7種類 (文字単位)
ラスタ着色	可能 (画面単位, 1画面7種類, 最大7種類)	可能 (画面単位, 1画面7種類, 最大7種類)	可能 (画面単位, 1画面7種類, 最大7種類)
文字背景着色	可能 (文字単位, 1画面7種類, 最大7種類)	可能 (文字単位, 1画面7種類, 最大7種類)	可能 (文字単位, 1画面7種類, 最大7種類)
フチドリ着色	———	可能 (画面単位, 1画面7種類, 最大7種類)	可能 (画面単位, 1画面7種類, 最大7種類)
エクストラフォント着色	———	———	可能 (画面単位, 1画面7種類, 最大7種類)
OSD出力	R, G, B, OUT1, OUT2	R, G, B, I1, OUT1, OUT2	R, G, B, I1, I2, OUT1, OUT2
機能	オートソリッドスペース機能 ウインドウ機能 デュアルレイヤOSD機能 (レイヤ1)	デュアルレイヤOSD機能 (レイヤ2)	———
拡張表示 (多行表示)	可能	可能	可能

注. 文字サイズはドットサイズとプリ分周比によって指定します。(3)ドットサイズを参照してください。

OSD制御回路には拡張表示モードがあり、1行表示するごとに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、16行以上の多行表示を行うことができます。

図47にOSD用文字構成を、図48にOSD制御回路のブロック図を示します。また、図49にOSDコントロールレジスタのビット構成を、図50にブロックコントロールレジスタのビット構成を示します。

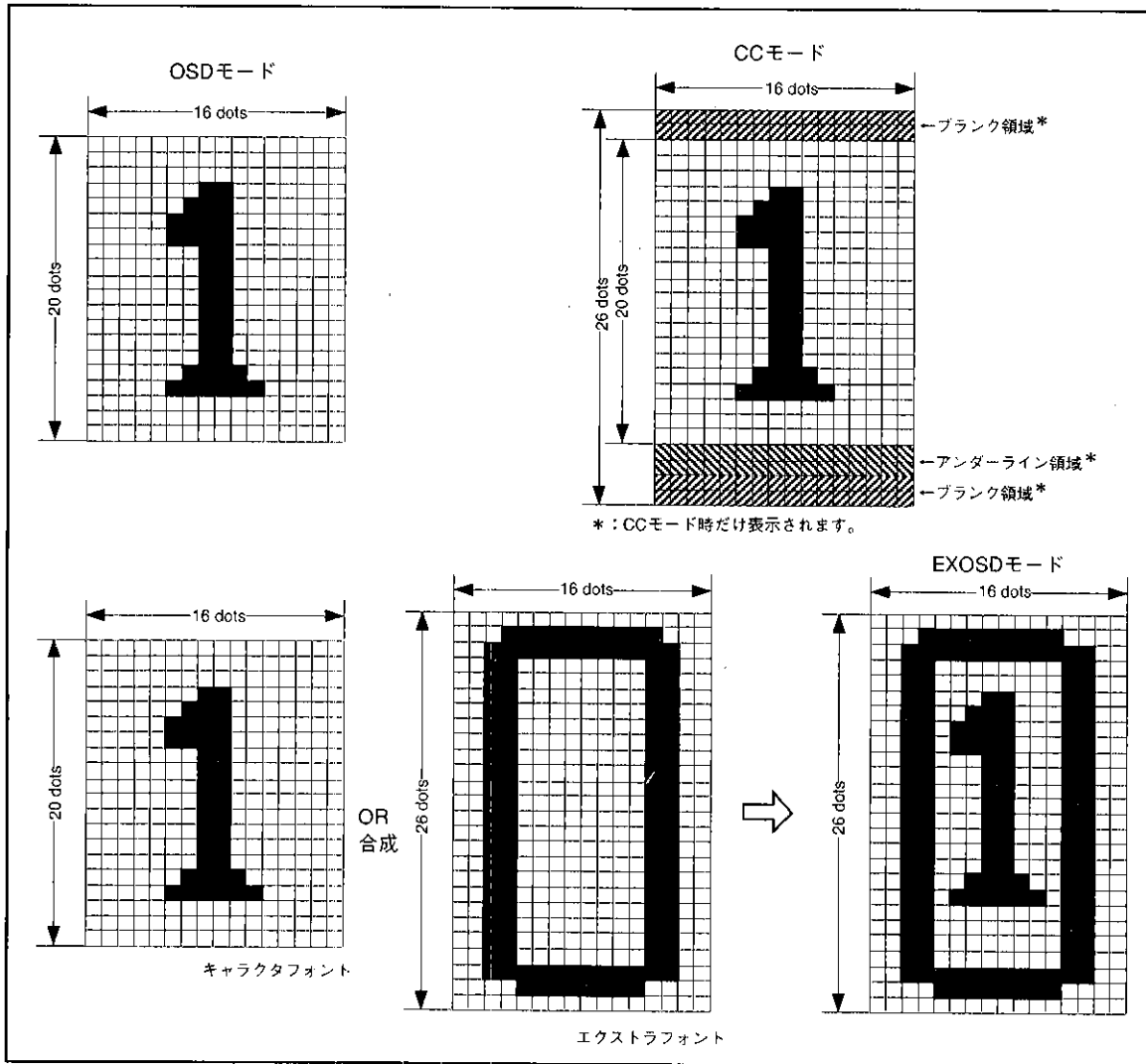


図47. OSD用文字構成

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

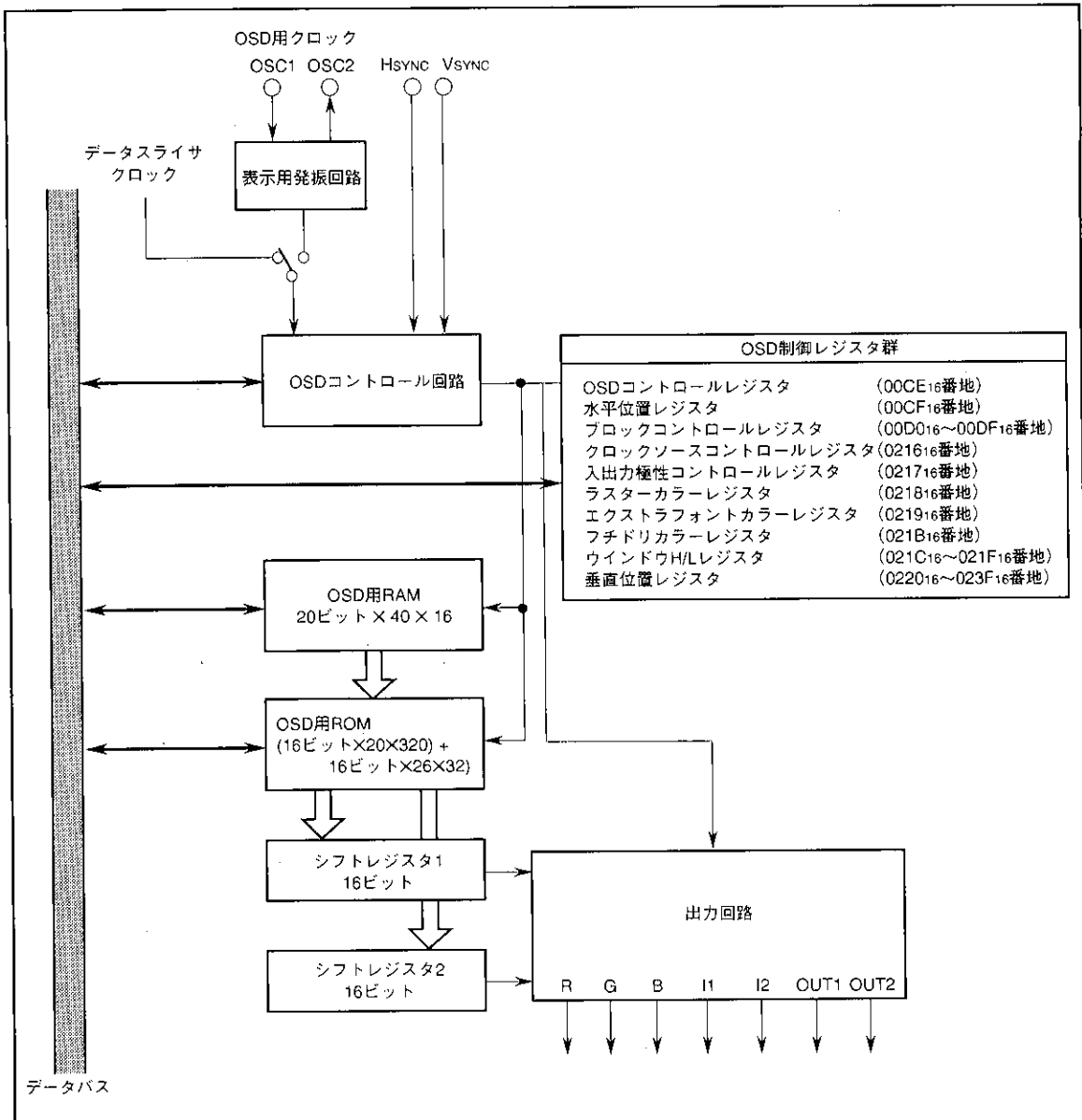


図4B. OSD制御回路ブロック図

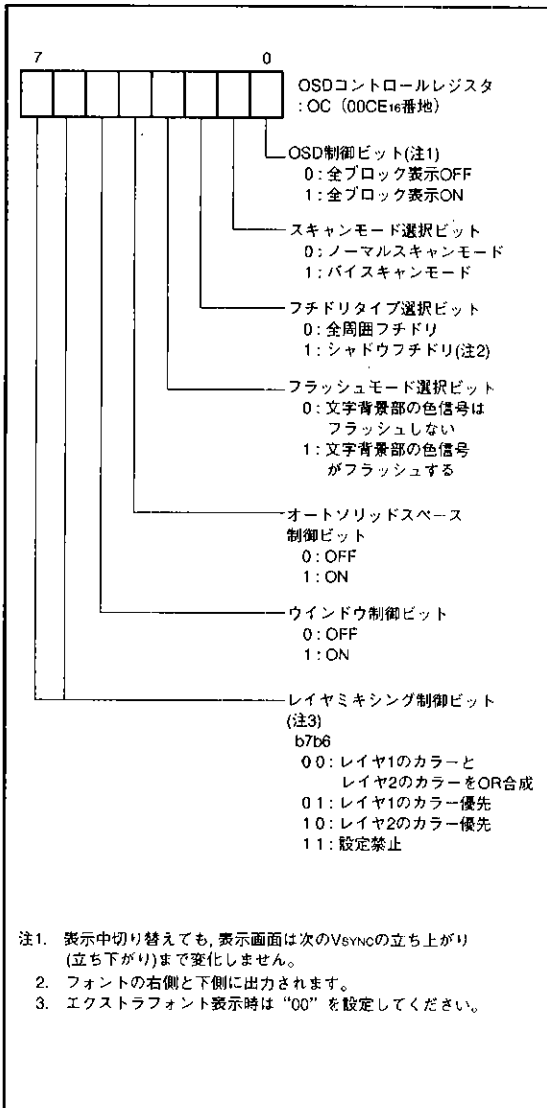


図49. OSDコントロールレジスタのビット構成

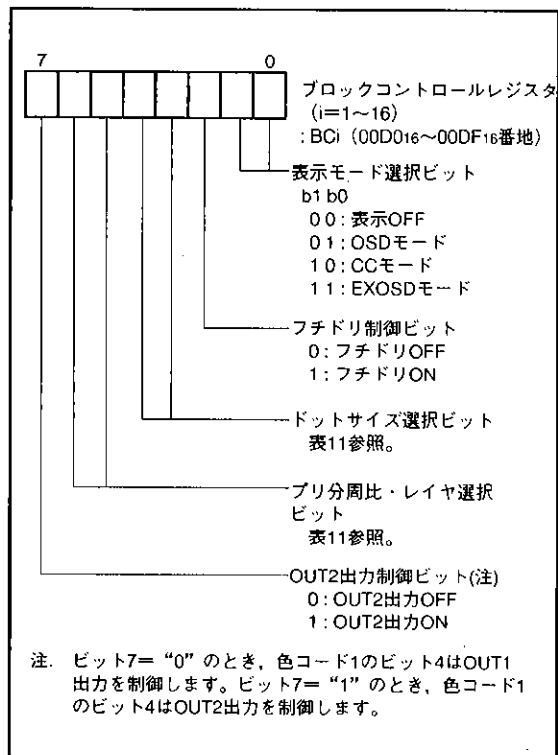


図50. ブロックコントロールレジスタのビット構成

表11. ブロックコントロールレジスタの設定値

b6	b5	b4	b3	CS6	プリ分周比	ドットサイズ	表示レイヤ
0	0	0	0	×	1倍	1TcX1/2H	レイヤ1
		0	1			1TcX1H	
		1	0			2TcX2H	
		1	1			3TcX3H	
0	1	0	0	×	2倍	1TcX1/2H	レイヤ1
		0	1			1TcX1H	
		1	0			2TcX2H	
		1	1			3TcX3H	
1	0	0	0	×	3倍	1TcX1/2H	レイヤ1
		0	1			1TcX1H	
		1	0			2TcX2H	
		1	1			3TcX3H	
1	1	×	0	0	1倍	1TcX1/2H	レイヤ2
		×	1			1TcX1H	
		0	0			1TcX1/2H	
		0	1			1TcX1H	
1	1	0	0	1	2倍	1TcX1/2H	レイヤ2
		0	1			1TcX1H	
		1	0			1.5TcX1/2H	
		1	1			1.5TcX1H	

注1. CS6: クロックコントロールレジスタ (0216₁₆番地)のビット6
 2. Tc: プリ分周したOSD用クロック周期
 3. H: HSYNC

(1)デュアルレイヤOSD

TVを操作するためのOSDとクローズドキャプション表示を2重に重ねて表示できるように、レイヤ1とレイヤ2の2層の表示面を備えています。

各ブロックをどちらのレイヤに表示するかは、ブロック単位にブロックコントロールレジスタのビット6及びビット5で選択します(図50参照)。両ビットが“1”のときのみ、そのブロックはレイヤ2に表示されます。それ以外の場合は、レイヤ1に表示されます。

レイヤ1のブロックとレイヤ2のブロックが重なった場合、OSDコントロールレジスタのビット7及びビット6で指定されるレイヤミキシング(図49参照)によって、画面が合成されます(図52参照)。

注. デュアルレイヤOSDを行う場合、表12の制限事項に注意してください。

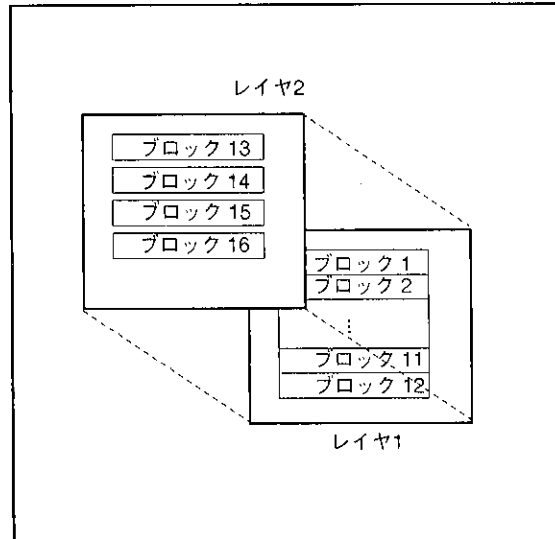


図51. デュアルレイヤOSDのイメージ

表12. デュアルレイヤOSDの制限事項

項目	ブロック	レイヤ1のブロック		レイヤ2のブロック	
		レイヤ1のブロック	レイヤ2のブロック	レイヤ1のブロック	レイヤ2のブロック
表示モード		CCモード		OSDモード	
OSD用クロックソース		データスライサクロック又はOSC1		レイヤ1と同一	
プリ分周比		1倍又は2倍(全ブロック共通)		レイヤ1と同一(注)	
ドットサイズ		1TcX1/2H		プリ分周比1倍	プリ分周比2倍
				1TcX1/2H	1TcX1/2H, 1.5TcX1/2H
				1TcX1H	1TcX1H, 1.5TcX1H
水平表示開始位置		任意		レイヤ1と同一位置	

注. レイヤ2のプリ分周比は、クロックコントロールレジスタのビット6で、レイヤ1と同一比を選択してください。

レイヤ1に“HELLO”、レイヤ2に“CH5”を表示した例

レイヤ1とレイヤ2のカラーをOR合成
ビット7=“0”, ビット6=“0”

レイヤ1のカラー優先
ビット7=“0”, ビット6=“1”

レイヤ2のカラー優先
ビット7=“1”, ビット6=“0”

図52. デュアルレイヤOSD表示例

(2) 表示位置

文字の表示位置はブロックという単位で指定します。ブロックはブロック1~ブロック16まで16あり、1つのブロックには最大40文字まで表示できます(後述「(6)表示用メモリ」を参照してください)。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向は全ブロック共通で4Tosc(Tosc: OSD発振周期)単位で256段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに1TH(TH: 水平同期信号周期)単位で1024段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

① 同レイヤ内で表示位置が他のブロックと重なった場合(図53の(b))、ブロック番号(1~16)の若い(小さい)方が前面に表示されます。

② 同レイヤ内で1つのブロック表示中に、他のブロックの表示開始位置がきた場合(図53の(c))は、垂直表示開始位置の設定値が大きい方が表示されます。ただし、ドットサイズが2Tc×2Hと3Tc×3Hのブロックは他のブロックの表示期間中*に表示させないでください。

* OSDモードブロックの場合:

垂直表示開始位置から垂直20ドット

* CCD・EXOSDモードブロックの場合:

垂直表示開始位置から垂直26ドット

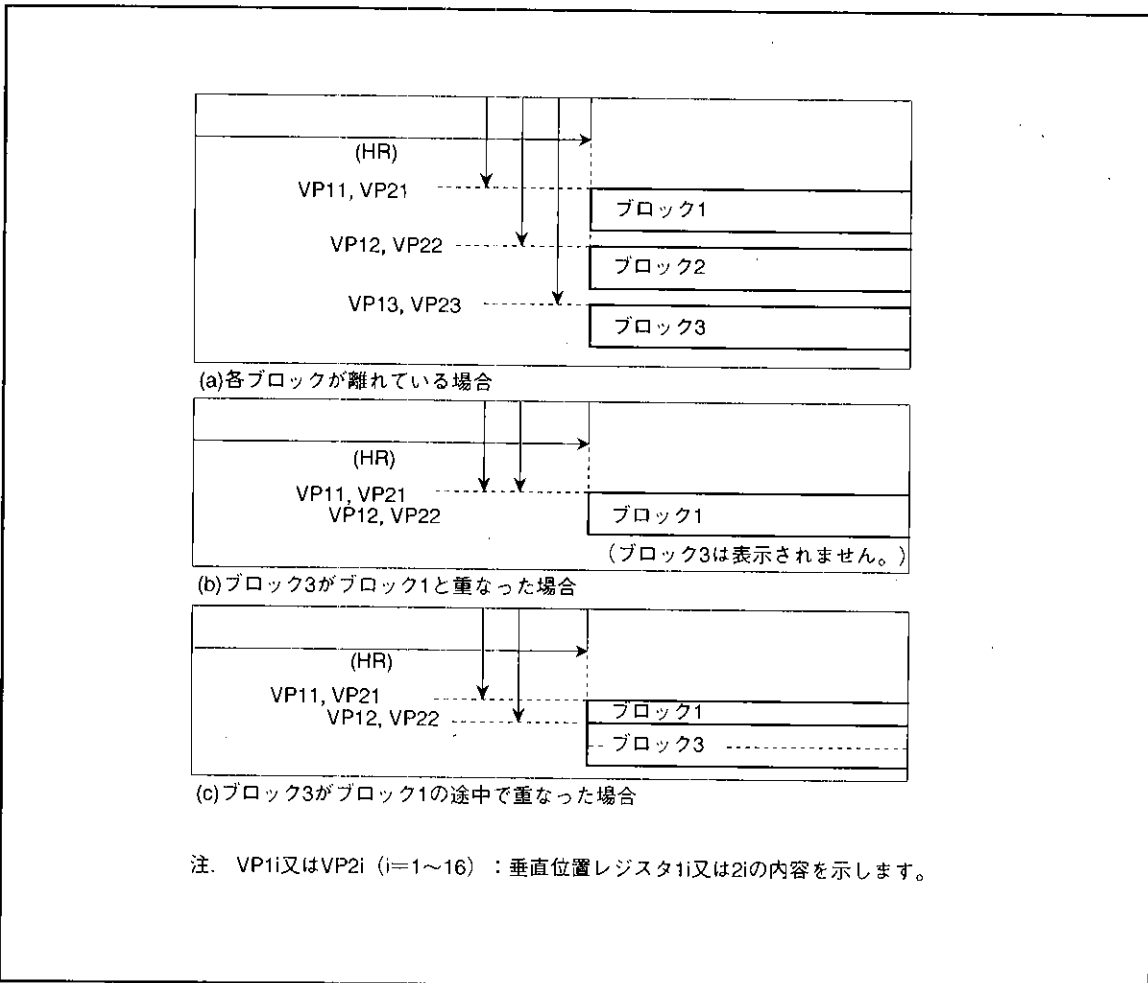


図53. 表示位置

垂直方向の表示位置は水平同期信号(Hsync)をカウントすることによって確定されます。この際、Vsync信号の立ち上がり(立ち下がり)エッジの約1マシンサイクル後からHsync信号の立ち上がり(立ち下がり)エッジのカウントを開始します。そのため、ジッタ対策として、Vsync信号の立ち上がり(立ち下がり)エッジからHsync信号の立ち上がり(立ち下がり)エッジまでの間隔は充分(2マシンサイクル以上)とるようにしてください。Hsync信号及びVsync信号の極性は、入出力極性コントロールレジスタ(021716番地)によって正極性、負極性のいずれかを選択できます。詳細は「(15)OSD出力端子制御」を参照してください。

注. 入出力極性コントロールレジスタ(021716番地)のビット0、ビット1が“1”(負極性)の場合、垂直位置はマイコン内部のVsync制御信号の立ち上がり後に、Hsyncの立ち下がりエッジをカウントすることで決まります。(図54参照)。

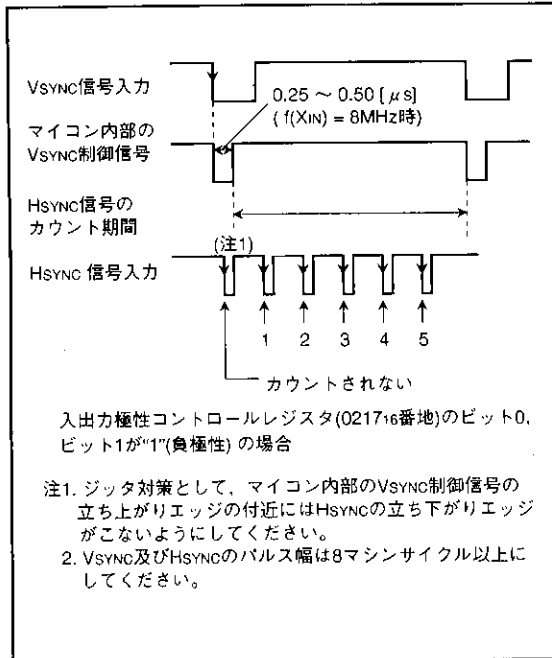


図54. 表示位置補足説明

垂直位置はブロックごとに垂直位置レジスタ i ($i=1\sim 16$) (022016~022F16番地)に“0016”~“FF16”の値、垂直位置レジスタ $2i$ ($i=1\sim 16$) (023016~023F16番地)に“0016”~“FF16”の値を設定することにより、1024段階(1段階あたり1TH (TH: 水平同期信号周期))の設定ができます。図55に垂直位置レジスタのビット構成を示します。

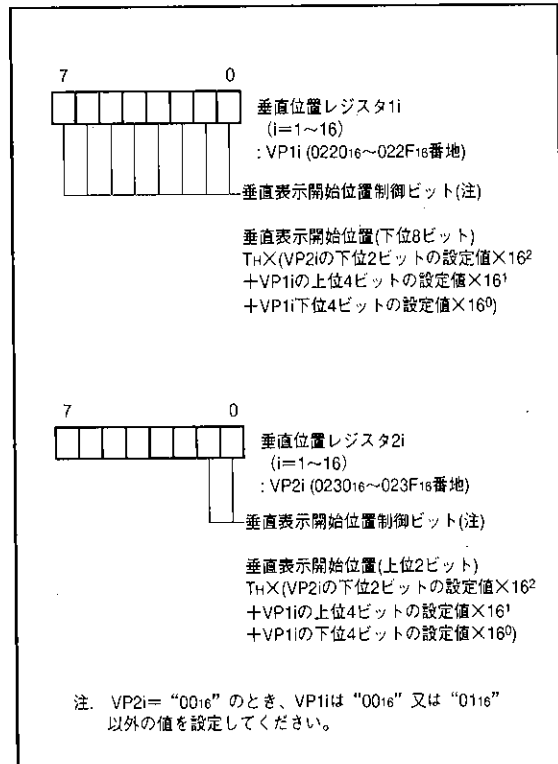


図55. 垂直位置レジスタのビット構成

水平位置は全ブロック共通で、水平位置レジスタ(00CF16番地)のビット0~ビット7に“0016”~“FF16”の値を設定することにより、256段階(1段階あたりTosc (Tosc: 表示用発振周期))の設定ができます。図56に水平位置レジスタのビット構成を示します。

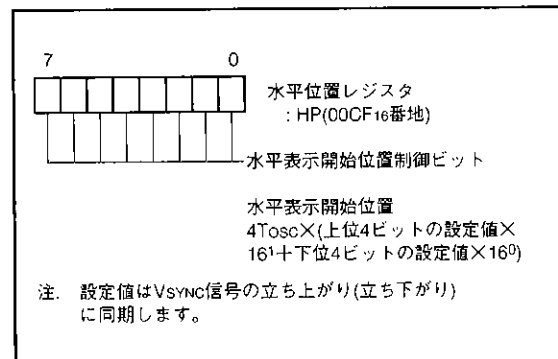


図56. 水平位置レジスタのビット構成

注1. 水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、 $1Tc$ (Tc : プリ分周したOSD用クロック周期)の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。

2. 水平表示開始位置は各ブロックで選択したOSD用クロックソースの周期を基準に決定しますので、OSD用クロックソース周期の異なるブロックの水平表示開始位置は一致しません。

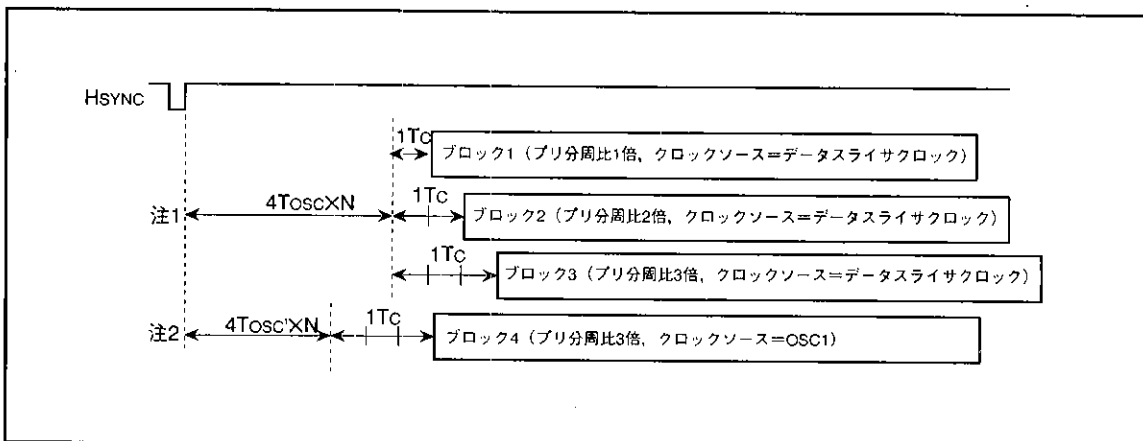


図57. 水平表示開始位置の注意点

(3) ドットサイズ

表示するドットの大きさはブロック単位に選択できます。垂直方向のドットサイズは、HSYNCを垂直ドットサイズコントロール回路で分周することによって決定されます。水平方向のドットサイズは、OSD用クロックソース(データスライサクロック、OSC1)をプリ分周回路で分周したクロックを水平ドットサイズコントロール回路で分周することによって決定されます。プリ分周回路で分周されたクロックの周期を $1Tc$ と定義します。

レイヤ1のドットサイズは、ブロックコントロールレジスタのビット6~ビット3によって指定します。

レイヤ2のドットサイズは、ブロックコントロールレジスタ

のビット4, ビット3, 及びクロックソースコントロールレジスタのビット6によって指定します。ブロックコントロールレジスタのビット構成図は図50、クロックソースコントロールレジスタのビット構成図は図59を参照してください。

図58にドットサイズ制御回路のブロック図を示します。

- 注1. CCモード時、プリ分周比=3倍は使用できません。
- 2. レイヤ2のOSDモードブロックのプリ分周比は、レイヤ1のCCモードブロックのプリ分周比と同一になるように、クロックソースコントロールレジスタのビット6を設定してください。
- 3. バイスキャンモード時、垂直方向のドットサイズはノーマルスキャンモード時の2倍となります。スキャンモードについては、後述(13)スキャンモードを参照してください。

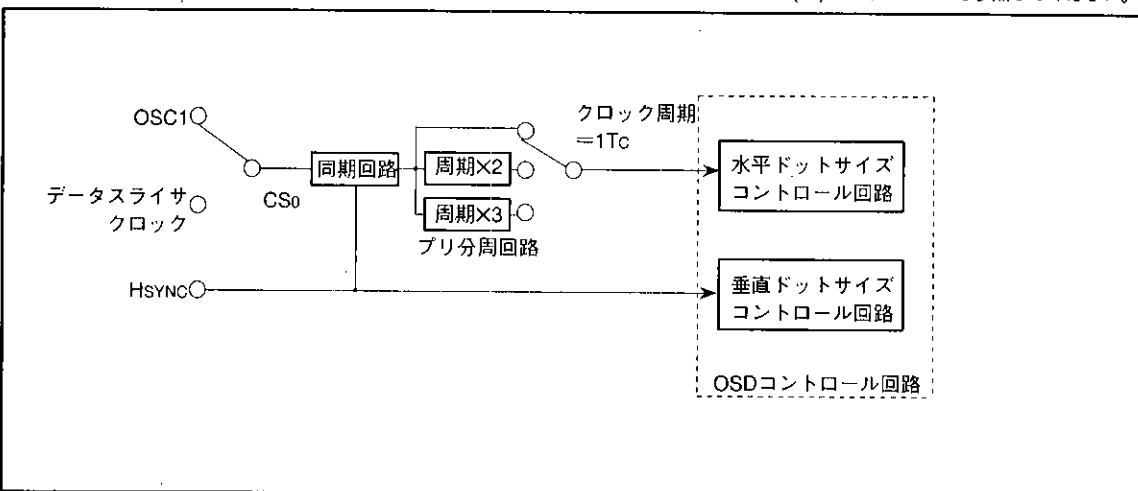


図58. ドットサイズ制御回路のブロック図

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

(4) OSD用クロック

OSDに使用するクロックは、以下の3種類の中から選択することができます。

- ・ データスライサから出力されるデータスライサクロック (約26MHz)
- ・ OSC1, OSC2端子から供給されるLCからのクロック
- ・ OSC1, OSC2端子から供給されるセラミック共振子、又は水晶共振子からのクロック

OSD用クロックは、ポートP3方向レジスタのビット7、クロックソースコントロールレジスタ(021616番地)のビット5、ビット4によって、各モードごとに選択することができます。ドットサイズとOSD用クロックを組合せることで多様な文字サイズが可能になります。OSC1、OSC2端子をOSD用クロック入出力端子として使用しない場合、サブクロックの入出力端子又はポートP6として使用できます。

表13. P63/OSC1/XCIN, P64/OSC2/XCOUTの設定

レジスタ	機能	OSD用クロック			サブクロック		入カポート
		入出力端子			入出力端子		
ポートP3方向レジスタのb7		0			0		1
クロックソースコントロールレジスタ	b5	0	1	1	0		0
	b4	1	0	1	0		1

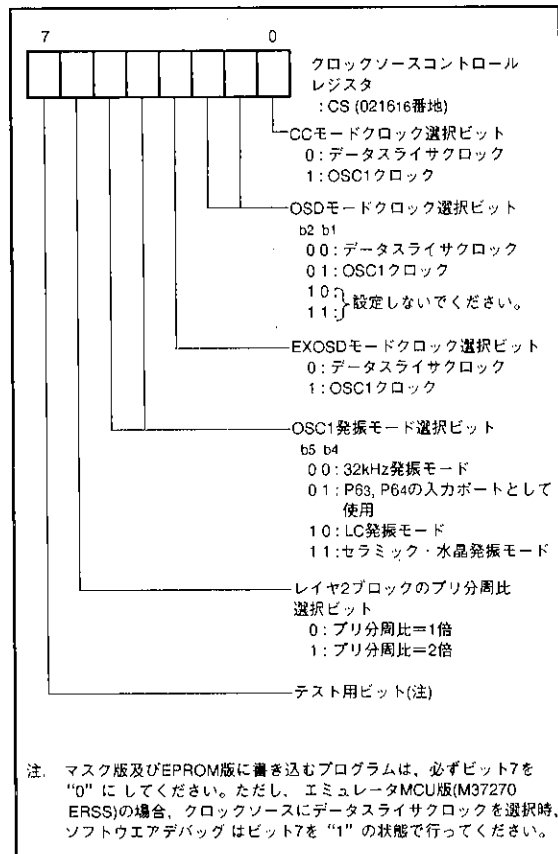


図59. クロックコントロールレジスタのビット構成

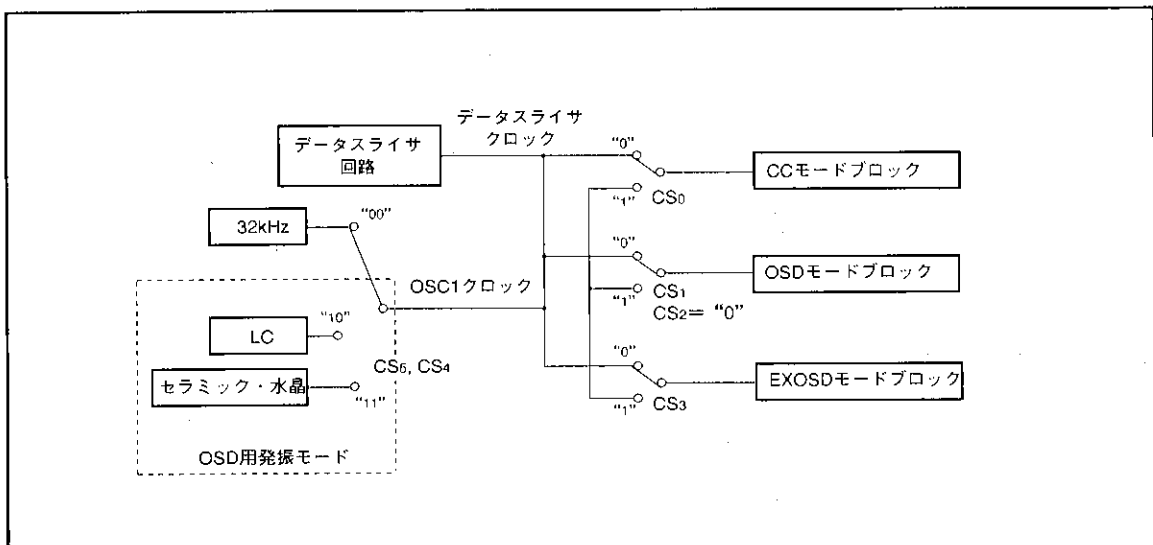


図60. OSD用クロックの選択回路のブロック図

(5) フィールド判別表示

垂直ドットサイズ=1/2Hのブロックの表示は、インターレース方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1(図62参照)を交互に表示します。

以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち下がりエッジからマイコン内部のVSYNC制御信号(図54を参照)の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のVSYNC制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ(入出力極性コントロールレジスタ; 021716番地のビット7)で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます(図62参照)。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

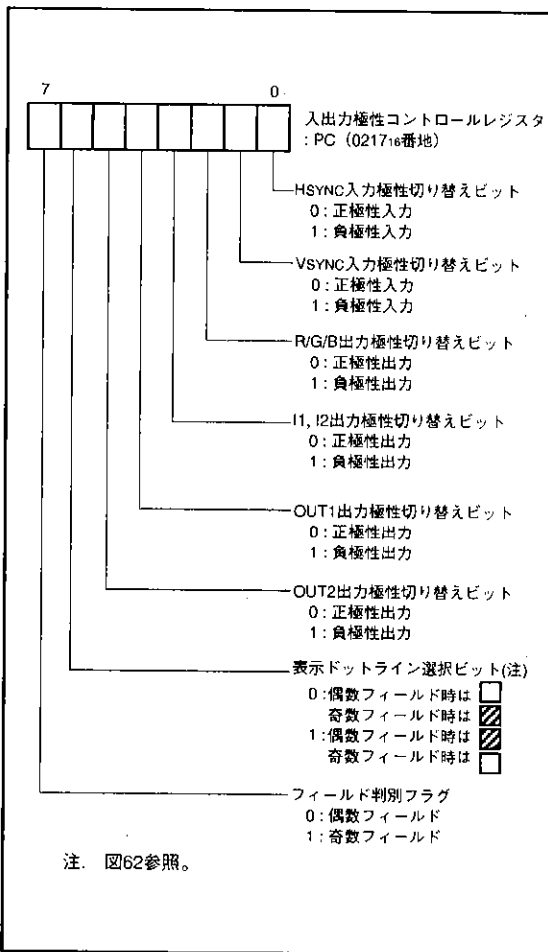
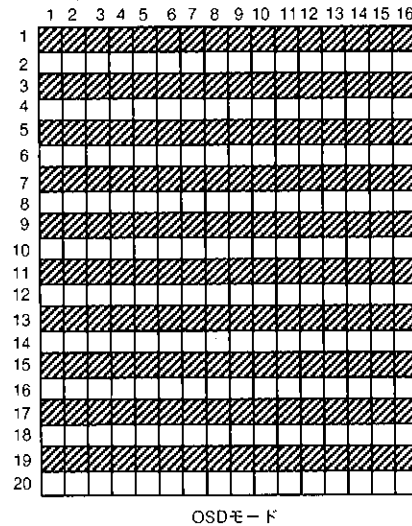
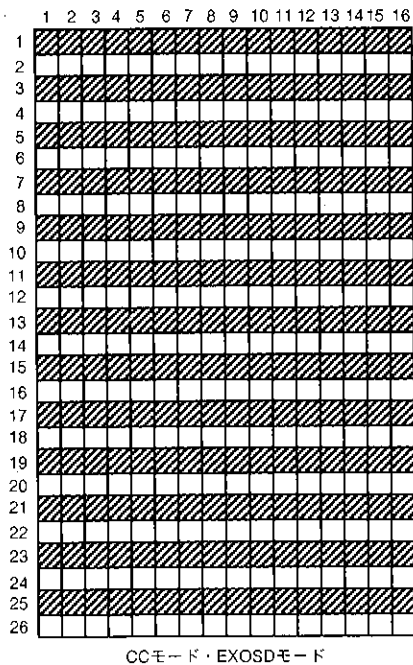


図61. 入出力極性コントロールレジスタのビット構成

Hsync信号、Vsync信号共に負極性入力の場合

Hsync		フィールド	フィールド判別フラグ (注)	表示ドットライン 選択ビット	表示ドット ライン
Vsyncとマイコン内部のVsync制御信号		奇数			
上: Vsync信号		偶数	0 (T2 > T1)	0	ドットライン1 <input type="checkbox"/>
下: マイコン内部のVsync制御信号		偶数		1	ドットライン0 <input checked="" type="checkbox"/>
		奇数	1 (T3 < T2)	0	ドットライン0 <input checked="" type="checkbox"/>
		奇数		1	ドットライン1 <input type="checkbox"/>

フィールド判別フラグを使用する場合、PWMモードレジスタ1 (Q20A16番地) のビット0は必ず“0”にしてください。



例. 表示ドットライン選択ビット=“0”の場合、偶数フィールド時□のフォント、奇数フィールド時▣のフォントを表示します。また、入出力極性コントロールレジスタのビット7には、フィールド判別フラグとして、奇数フィールド時“1”が、偶数フィールド時“0”が読み出されます。

文字ROMフォント構成図

注. フィールド判別フラグはマイコン内部のVsync制御信号(負極性入力)の立ち上がりのタイミングで変化します。

図62. フィールド判別フラグと表示フォントの関係

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

(6) OSD用メモリ

OSD用メモリは、文字のドットデータを格納(マスク化)しておくOSD用ROM(10800₁₆~1567F₁₆, 18000₁₆~1E43F₁₆番地)と、表示する文字及び色を指定するOSD用RAM(0800₁₆~0FFF₁₆番地)の2種類があります。以下、別々に説明します。

①OSD用ROM(10800₁₆~1567F₁₆, 18000₁₆~1E43F₁₆番地)

OSD用ROMにはOSD用文字のドットパターンデータを格納します。実際に格納されたキャラクタコード又はエクストラコードを表示する場合は、その文字固有のコード

(OSD用ROMのアドレスを基に決められたコード)をOSD用RAMに書き込んで指定します。

キャラクタフォントのOSD用ROMの容量は12800バイトで、1文字のデータに40バイトの容量を必要としますので、320種類の文字が格納できます。エクストラフォントのOSD用ROMの容量は1664バイトで、1文字のデータに52バイトの容量を必要としますので、32種類の文字が格納できます。

キャラクタフォント及びエクストラフォントのデータは、図63に示すように指定されます。

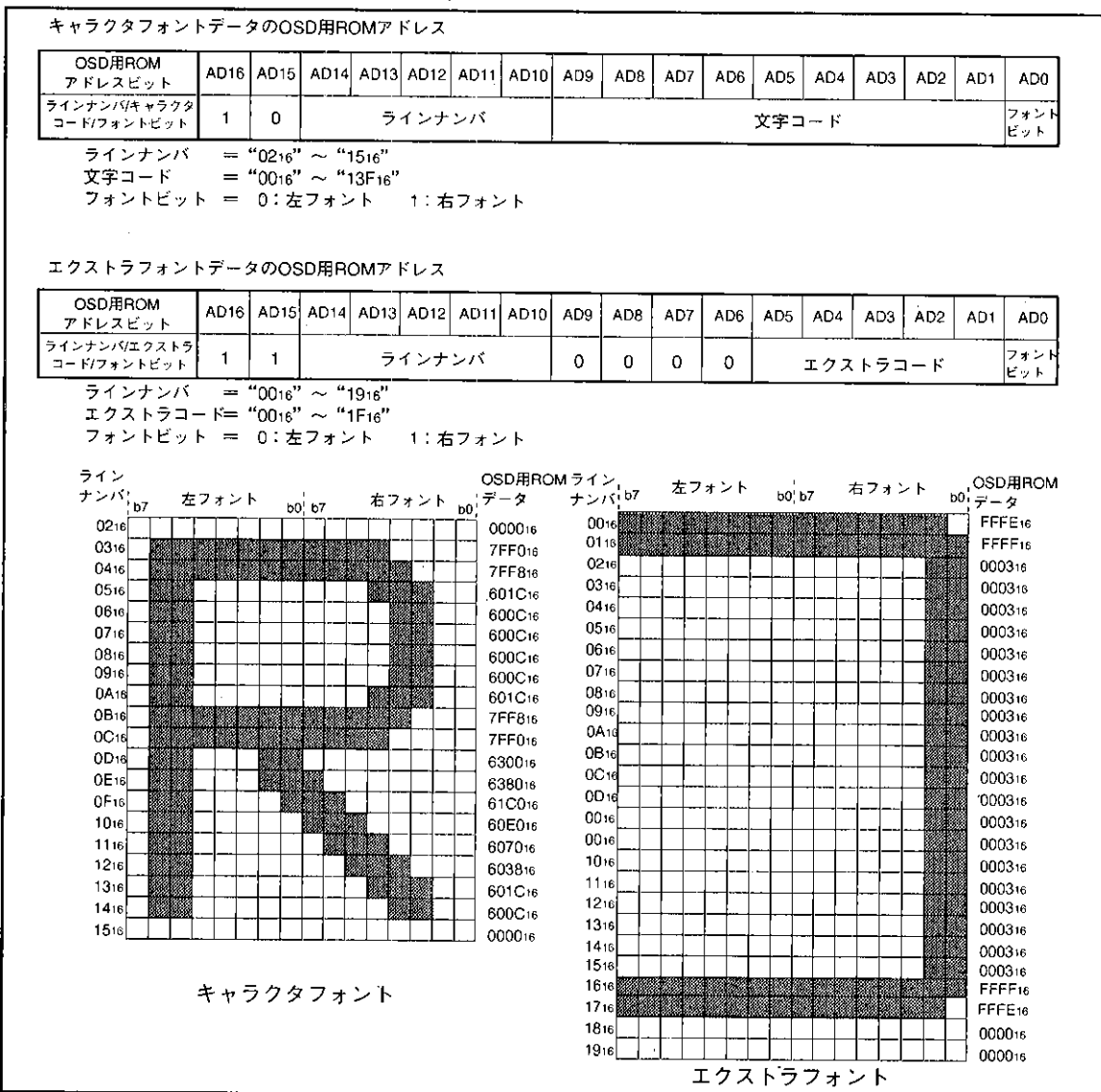


図63. OSD用文字の格納形態

②OSD用RAM(0800₁₆~0FFF₁₆番地)

OSD用RAMは、0800₁₆~0FFF₁₆番地に割り当てられており、ブロックごとに文字コード指定部、色コード1指定部、色コード2指定部に分かれています。その内容を表14に示します。

たとえば、ブロック1の第一文字目(左端)に文字を表示する場合、0800₁₆番地に文字コードを、0840₁₆番地に表示する色コード1を、0828₁₆番地に表示する色コード2を書き込みます。

OSD用RAMのビット構成を図65に示します。

注 レイヤ2のOSDモードブロックのうち、ドットサイズが1.5Tc×1/2H又は1.5Tc×1Hのブロックは、通常のブロック(ドットサイズが1Tc×1/2H又は1Tc×1Hのブロック、又はレイヤ1のブロック)に対して、3n(n=1~13)番目の文字が抜けた状態になります。したがって、1ブロックの最大文字数は26文字となります。3n番目の文字に対するRAMデータは表示に影響を与えませんので、任意のデータを格納してください(図64参照)。

表14. OSD用RAM内容

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック1	1文字目	0800 ₁₆	0840 ₁₆	0828 ₁₆
	2文字目	0801 ₁₆	0841 ₁₆	0829 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0817 ₁₆	0857 ₁₆	083F ₁₆
	25文字目	0818 ₁₆	0858 ₁₆	0868 ₁₆
	⋮	⋮	⋮	⋮
ブロック2	39文字目	0826 ₁₆	0866 ₁₆	0876 ₁₆
	40文字目	0827 ₁₆	0867 ₁₆	0877 ₁₆
	1文字目	0880 ₁₆	08C0 ₁₆	08A8 ₁₆
	2文字目	0881 ₁₆	08C1 ₁₆	08A9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0897 ₁₆	08D7 ₁₆	08BF ₁₆
ブロック3	25文字目	0E98 ₁₆	08D8 ₁₆	08E8 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	08A6 ₁₆	08E6 ₁₆	08F6 ₁₆
	40文字目	08A7 ₁₆	08E7 ₁₆	08F7 ₁₆
	1文字目	0900 ₁₆	0940 ₁₆	0928 ₁₆
	2文字目	0901 ₁₆	0941 ₁₆	0929 ₁₆
ブロック4	⋮	⋮	⋮	⋮
	24文字目	0917 ₁₆	0957 ₁₆	093F ₁₆
	25文字目	0918 ₁₆	0958 ₁₆	0968 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0926 ₁₆	0966 ₁₆	0976 ₁₆
	40文字目	0927 ₁₆	0967 ₁₆	0977 ₁₆
ブロック5	1文字目	0980 ₁₆	09C0 ₁₆	09A8 ₁₆
	2文字目	0981 ₁₆	09C1 ₁₆	09A9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0997 ₁₆	09D7 ₁₆	09BF ₁₆
	25文字目	0998 ₁₆	08D8 ₁₆	09E8 ₁₆
	⋮	⋮	⋮	⋮
ブロック5	39文字目	09A6 ₁₆	09E6 ₁₆	09F6 ₁₆
	40文字目	09A7 ₁₆	09E7 ₁₆	09F7 ₁₆
	1文字目	0A00 ₁₆	0A40 ₁₆	0A28 ₁₆
	2文字目	0A01 ₁₆	0A41 ₁₆	0A29 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0A17 ₁₆	0A57 ₁₆	0A3F ₁₆
ブロック5	25文字目	0A18 ₁₆	0A58 ₁₆	0A68 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0A26 ₁₆	0A66 ₁₆	0A76 ₁₆
	40文字目	0A27 ₁₆	0A67 ₁₆	0A77 ₁₆

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

表14. OSD用RAM内容 (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック6	1文字目	0A80 ₁₆	0AC0 ₁₆	0AA8 ₁₆
	2文字目	0A81 ₁₆	0AC1 ₁₆	0AA9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0A97 ₁₆	0AD7 ₁₆	0ABF ₁₆
	25文字目	0A98 ₁₆	0AD8 ₁₆	0AE8 ₁₆
	⋮	⋮	⋮	⋮
ブロック7	39文字目	0AA6 ₁₆	0AE6 ₁₆	0AF6 ₁₆
	40文字目	0AA7 ₁₆	0AE7 ₁₆	0AF7 ₁₆
	1文字目	0B00 ₁₆	0B40 ₁₆	0B28 ₁₆
	2文字目	0B01 ₁₆	0B41 ₁₆	0B29 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0B17 ₁₆	0B57 ₁₆	0B3F ₁₆
ブロック8	25文字目	0B18 ₁₆	0B58 ₁₆	0B68 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0B26 ₁₆	0B66 ₁₆	0B76 ₁₆
	40文字目	0B27 ₁₆	0B67 ₁₆	0B77 ₁₆
	1文字目	0B80 ₁₆	0BC0 ₁₆	0BA8 ₁₆
	2文字目	0B81 ₁₆	0BC1 ₁₆	0BA9 ₁₆
ブロック9	⋮	⋮	⋮	⋮
	24文字目	0B97 ₁₆	0BD7 ₁₆	0BBF ₁₆
	25文字目	0B98 ₁₆	0BD8 ₁₆	0BE8 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0BA6 ₁₆	0BE6 ₁₆	0BF6 ₁₆
	40文字目	0BA7 ₁₆	0BE7 ₁₆	0BF7 ₁₆
ブロック10	1文字目	0C00 ₁₆	0C40 ₁₆	0C28 ₁₆
	2文字目	0C01 ₁₆	0C41 ₁₆	0C29 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0C17 ₁₆	0C57 ₁₆	0C3F ₁₆
	25文字目	0C18 ₁₆	0C58 ₁₆	0C68 ₁₆
	⋮	⋮	⋮	⋮
ブロック11	39文字目	0C26 ₁₆	0C66 ₁₆	0C76 ₁₆
	40文字目	0C27 ₁₆	0C67 ₁₆	0C77 ₁₆
	1文字目	0C80 ₁₆	0CC0 ₁₆	0CA8 ₁₆
	2文字目	0C81 ₁₆	0CC1 ₁₆	0CA9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0C97 ₁₆	0CD7 ₁₆	0CBF ₁₆
ブロック11	25文字目	0C98 ₁₆	0CD8 ₁₆	0CE8 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0CA6 ₁₆	0CE6 ₁₆	0CF6 ₁₆
	40文字目	0CA7 ₁₆	0CE7 ₁₆	0CF7 ₁₆
	1文字目	0D00 ₁₆	0D40 ₁₆	0D28 ₁₆
	2文字目	0D01 ₁₆	0D41 ₁₆	0D29 ₁₆
ブロック11	⋮	⋮	⋮	⋮
	24文字目	0D17 ₁₆	0D57 ₁₆	0D3F ₁₆
	25文字目	0D18 ₁₆	0D58 ₁₆	0D68 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D26 ₁₆	0D66 ₁₆	0D76 ₁₆
	40文字目	0D27 ₁₆	0D67 ₁₆	0D77 ₁₆

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

表14. OSD用RAM内容 (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック12	1文字目	0D80 ₁₆	0DC0 ₁₆	0DA8 ₁₆
	2文字目	0D81 ₁₆	0DC1 ₁₆	0DA9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0D97 ₁₆	0DD7 ₁₆	0DBF ₁₆
	25文字目	0D98 ₁₆	0DD8 ₁₆	0DE8 ₁₆
	⋮	⋮	⋮	⋮
ブロック13	39文字目	0DA6 ₁₆	0DE6 ₁₆	0DF6 ₁₆
	40文字目	0DA7 ₁₆	0DE7 ₁₆	0DF7 ₁₆
	1文字目	0E00 ₁₆	0E40 ₁₆	0E28 ₁₆
	2文字目	0E01 ₁₆	0E41 ₁₆	0E29 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0E17 ₁₆	0E57 ₁₆	0E3F ₁₆
ブロック14	25文字目	0E18 ₁₆	0E58 ₁₆	0E68 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0E26 ₁₆	0E66 ₁₆	0E76 ₁₆
	40文字目	0E27 ₁₆	0E67 ₁₆	0E77 ₁₆
	1文字目	0E80 ₁₆	0EC0 ₁₆	0EA8 ₁₆
	2文字目	0E81 ₁₆	0EC1 ₁₆	0EA9 ₁₆
ブロック15	⋮	⋮	⋮	⋮
	24文字目	0E98 ₁₆	0ED7 ₁₆	0EBF ₁₆
	25文字目	0E99 ₁₆	0ED8 ₁₆	0EE8 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0EA6 ₁₆	0EE6 ₁₆	0EF6 ₁₆
	40文字目	0EA7 ₁₆	0EE7 ₁₆	0EF7 ₁₆
ブロック16	1文字目	0F00 ₁₆	0F40 ₁₆	0F28 ₁₆
	2文字目	0F01 ₁₆	0F41 ₁₆	0F29 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0F17 ₁₆	0F57 ₁₆	0F3F ₁₆
	25文字目	0F18 ₁₆	0F58 ₁₆	0F68 ₁₆
	⋮	⋮	⋮	⋮
ブロック16	39文字目	0F26 ₁₆	0F66 ₁₆	0F76 ₁₆
	40文字目	0F27 ₁₆	0F67 ₁₆	0F77 ₁₆
	1文字目	0F80 ₁₆	0FC0 ₁₆	0FA8 ₁₆
	2文字目	0F81 ₁₆	0FC1 ₁₆	0FA9 ₁₆
	⋮	⋮	⋮	⋮
	24文字目	0F97 ₁₆	0FD7 ₁₆	0FBF ₁₆
ブロック16	25文字目	0F98 ₁₆	0FD8 ₁₆	0FE8 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0FA6 ₁₆	0FE6 ₁₆	0FF6 ₁₆
	40文字目	0FA7 ₁₆	0FE7 ₁₆	0FF7 ₁₆

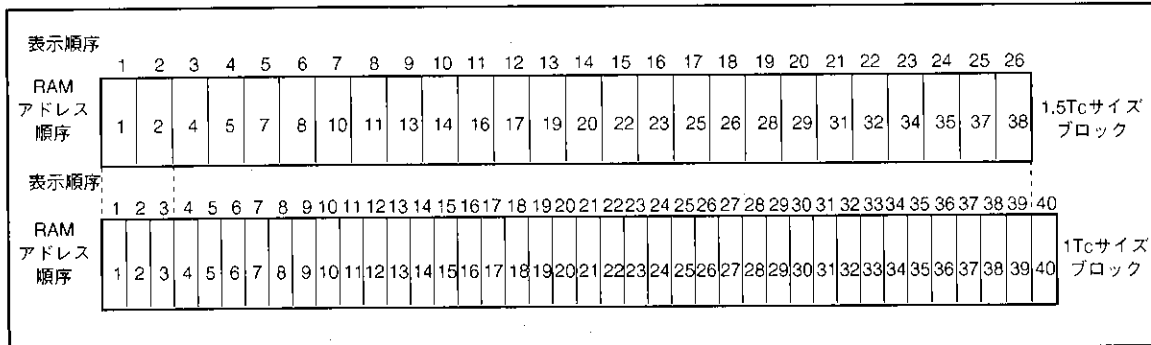


図64. 3n番目の文字のRAMデータ

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
and ON-SCREEN DISPLAY CONTROLLER

注. OSD用RAMの表15のアドレスには読み出し又は書き込みを行わないでください。

表15. アクセス禁止アドレス一覧表

0878 ₁₆	0879 ₁₆	087A ₁₆
08F8 ₁₆	08F9 ₁₆	08FA ₁₆
0978 ₁₆	0979 ₁₆	097A ₁₆
09F8 ₁₆	09F9 ₁₆	09FA ₁₆
0A78 ₁₆	0A79 ₁₆	0A7A ₁₆
0AF8 ₁₆	0AF9 ₁₆	0AFA ₁₆
0B78 ₁₆	0B79 ₁₆	0B7A ₁₆
0BF8 ₁₆	0BF9 ₁₆	0BFA ₁₆
0C78 ₁₆	0C79 ₁₆	0C7A ₁₆
0CF8 ₁₆	0CF9 ₁₆	0CFA ₁₆
0D78 ₁₆	0D79 ₁₆	0D7A ₁₆
0DF8 ₁₆	0DF9 ₁₆	0DFA ₁₆
0E78 ₁₆	0E79 ₁₆	0E7A ₁₆
0EF8 ₁₆	0EF9 ₁₆	0EFA ₁₆
0F78 ₁₆	0F79 ₁₆	0F7A ₁₆
0FF8 ₁₆	0FF9 ₁₆	0FFA ₁₆

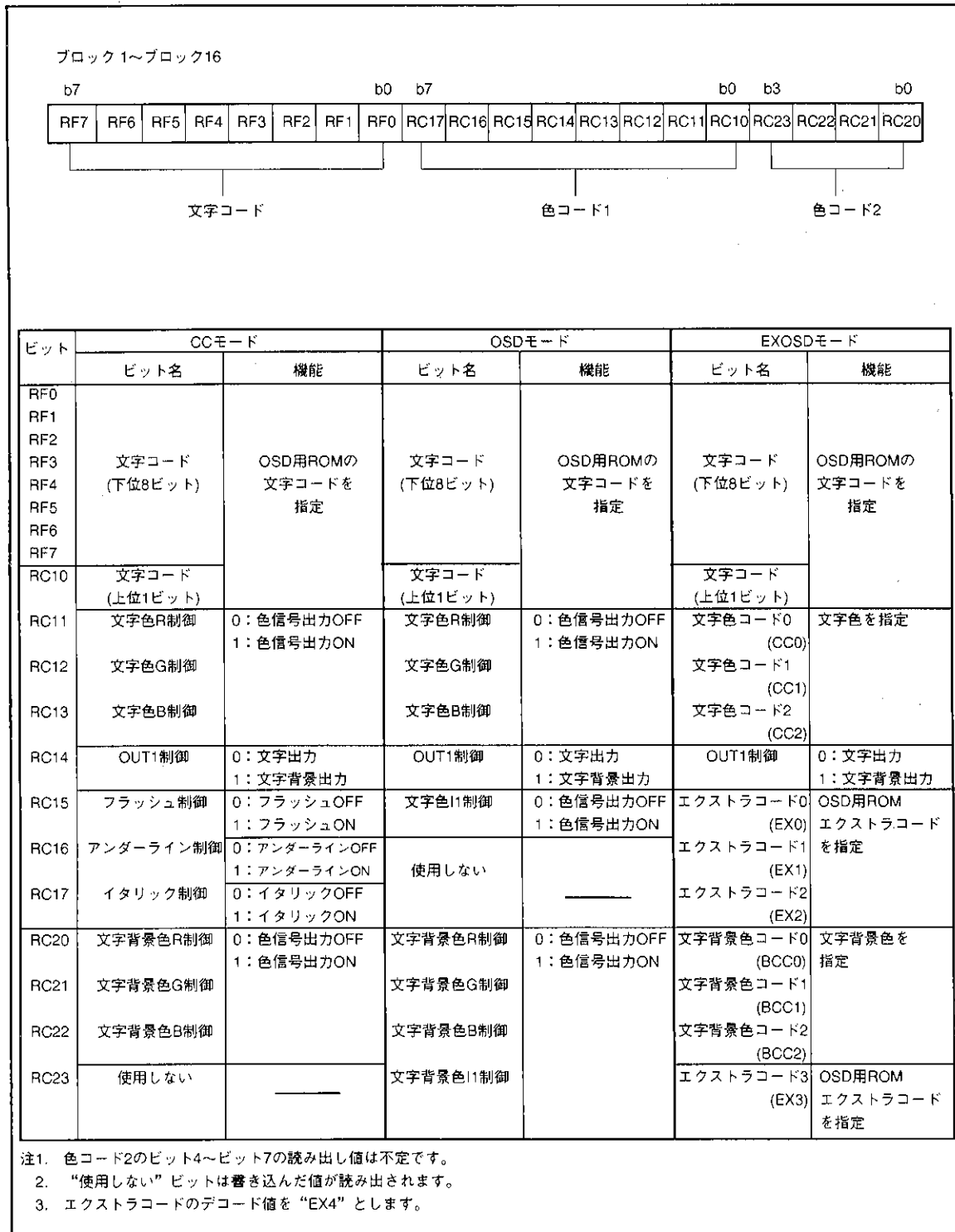


図65. OSD用RAMのビット構成

(7) 文字色

表示色は、色コード1によって文字単位に表示できます。各モード別に文字色の種類、指定方法が異なります。

CCモード 7種類

色コード1のビット1(R)、ビット2(G)、ビット3(B)によって指定

OSDモード 15種類

色コード1のビット1(R)、ビット2(G)、ビット3(B)、ビット5(I1)によって指定

EXOSDモード 7種類

色コード1のビット1(CC0)、ビット2(CC1)、ビット3(CC2)によって指定

表16にEXOSDモード時の色コード1と色信号出力の対応を示します。

表16. EXOSDモード時の色コード1と色信号出力の対応表

色コード1			色信号出力				
ビット3 CC2	ビット2 CC1	ビット1 CC0	R	G	B	I1	I2
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	0
0	1	1	1	1	0	1	0
1	0	0	1	1	0	0	1
1	0	1	1	1	1	1	0
1	1	0	0	1	1	0	0
1	1	1	1	1	1	0	0

(8) 文字背景色

文字表示領域に文字背景色を着色することができます。文字背景色は、文字単位に色コード2によって指定できます。各モード別に文字背景色の種類、指定方法が異なります。

CCモード 7種類

色コード2のビット0(R)、ビット1(G)、ビット2(B)によって指定

OSDモード 15種類

色コード2のビット0(R)、ビット1(G)、ビット2(B)、ビット3(I1)によって指定

EXOSDモード 7種類

色コード2のビット0(BCC0)、ビット1(BCC1)、ビット2(BCC2)によって指定

表17にEXOSDモード時の色コード2と色信号出力の対応を示します。

表17. EXOSDモード時の色コード2と色信号出力の対応表

色コード2			色信号出力				
ビット2 BCC2	ビット1 BCC1	ビット0 BCC0	R	G	B	I1	I2
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	0
0	1	1	1	1	0	1	0
1	0	0	1	1	0	0	1
1	0	1	1	1	1	1	0
1	1	0	0	1	1	0	0
1	1	1	1	1	1	0	0

注. 文字背景色は文字表示領域からキャラクタフォント、フチドリ、エクストラフォント部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。

(9)OUT1, OUT2信号

OUT1, OUT2信号は映像信号の輝度を制御するために使用します。OUT1, OUT2信号の出力波形は、色コード1のビット4(図65参照)、ブロックコントロールレジスタのビット2及び

ビット7(図50参照)によって制御します。図66にOUT1, OUT2制御の設定値とその出力波形を示します。

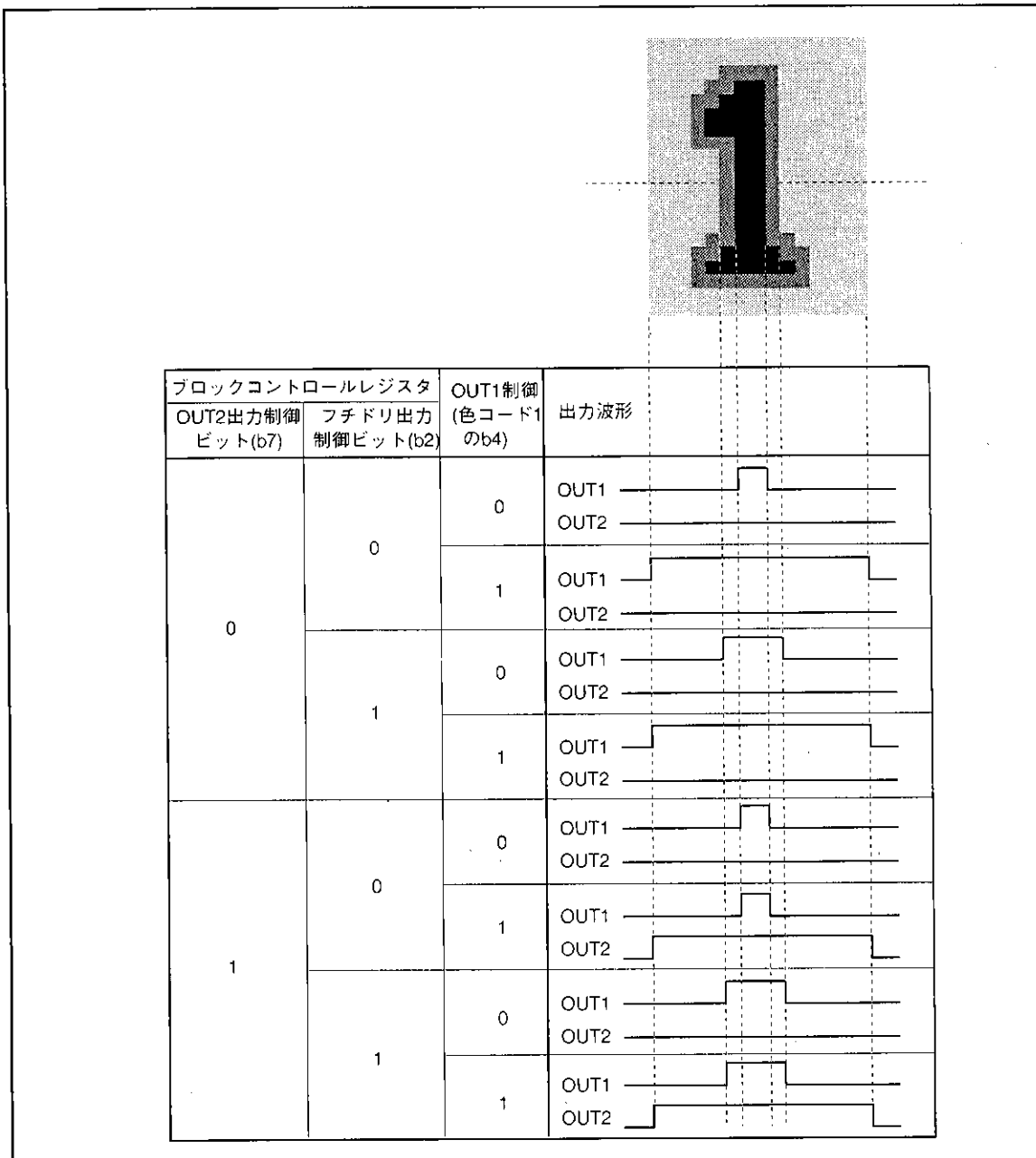


図66. OUT1, OUT2制御の設定値とその出力波形

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
and ON-SCREEN DISPLAY CONTROLLER

(10)アトリビュート

キャラクタフォントに対してアトリビュート(フラッシュ、アンダーライン、イタリック)を制御することができます。アトリビュートは、文字単位に色コード1, 2(図65参照)によって指定できます。各モード別に制御できるアトリビュートが異なります。

CCモード..... フラッシュ、アンダーライン、イタリック

OSDモード..... フチドリ(周囲・シャドウ選択可)

EXOSDモード.... フチドリ(周囲・シャドウ選択可)

エクストラフォント(32種類)

①アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び24ドット目に出力されます。アンダーラインは色コード1のビット6で制御します。なお、アンダーラインはキャラクタフォントと同色です。

②フラッシュ(点滅)

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーライン部、文字背景部をフラッシュさせます。キャラクタフォント部、アンダーライン部の色信号(R, G, B, OUT1)は色コード1のビット5で制御します。キャラクタフォント部の色信号はすべてフラッシュしますが、文字背景部の色信号はOSDコントロールレジスタ(図49参照)のビット3で制御します。また、フラッシュの周期はVSYNCのカウントを基準とします。

・VSYNC周期×48≒768ms(フラッシュON時)

・VSYNC周期×16≒256ms(フラッシュOFF時)

③イタリック

イタリック体はCCモード時にだけ、OSD用ROMに格納されたフォントを右上に傾斜させることにより作成します。イタリックは色コード1のビット7で制御します。

図67に16×26ドットを使用し、“R”を表示した場合の、イタリック体及びアンダーライン表示の表示例を示します。

- 注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
- プリ分周比が1倍のブロックは1ドット×5段階の傾斜をもつイタリック体となります(図68の(c)参照)。プリ分周比が2倍のブロックは1/2ドット×10段階の傾斜をもつイタリック体となります(図68の(d)参照)。
 - 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません(図69参照)。
 - イタリック体の文字に隣接する文字(片側又は両側)は、その文字がイタリックを指定していない場合でもイタリック体になります(図69参照)。
 - プリ分周比が1倍のブロックをイタリック表示する場合、OSDクロック周波数は11~14MHzにしてください。

④エクストラフォント

OSD用ROMに16×26ドットで構成される32種類のエクストラフォントが登録されています。そのうち16種類は、文字単位にキャラクタフォントとOR合成して表示できます(図47参照)。他の16種類はエクストラフォントのみ表示します(図47参照)。エクストラフォントはEXOSDモード時にだけ、色コード1のビット7~ビット5、色コード2のビット3、及び文字コードのデコード値(EX4)で制御します。EX4は文字コード=“0016”~“13F16”の場合“0”，文字コード=“14016”の場合“1”となります。文字コード=“14016”のキャラクタフォントは存在しないため、ブランクが表示されます。

エクストラフォントの色は、エクストラカラーレジスタで画面単位に指定できます。キャラクタフォントとエクストラフォントが重なった部分は、両フォントの表示色がOR合成されます。

注. エクストラフォントを使用する場合は、OSDコントロールレジスタのビット7及びビット6を“0”にしてください(図49参照)。

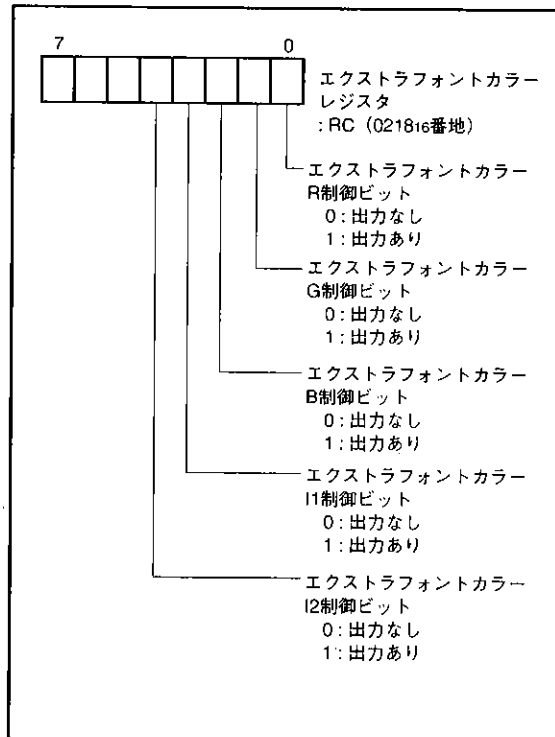


図67. エクストラフォントカラーレジスタのビット構成

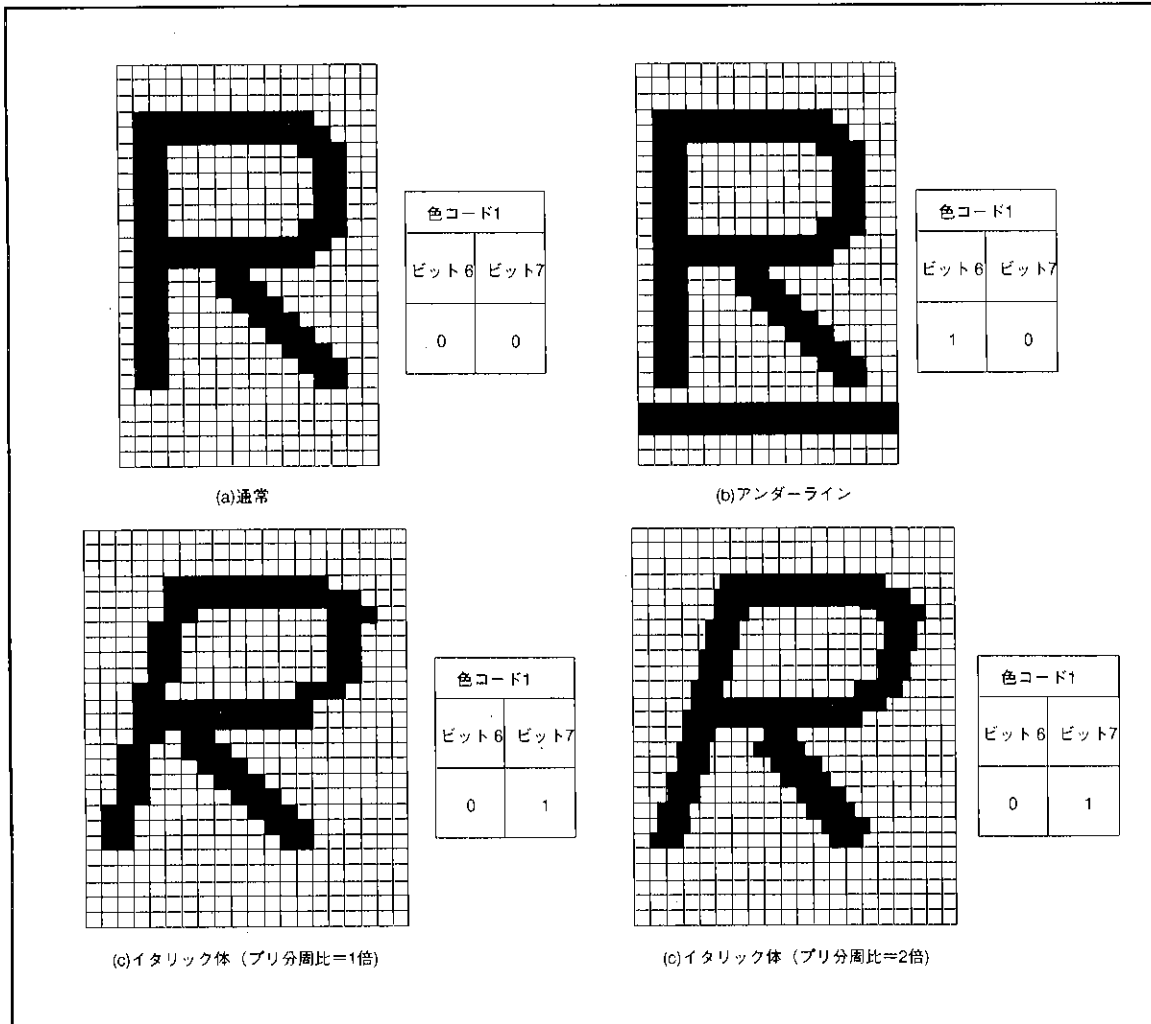


図68. アトリビュート表示例 (CCモード時)

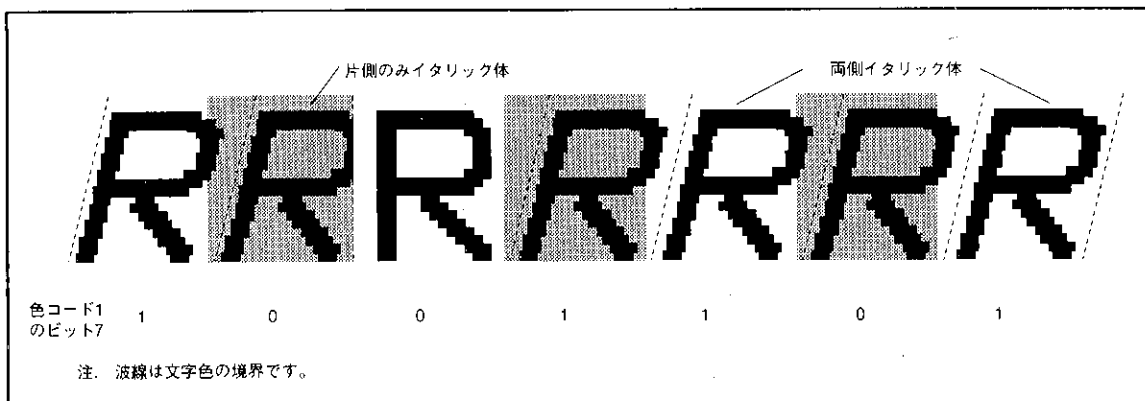


図69. イタリック表示例

⑤フチドリ

フチドリはOSDモード及びEXOSDモード時に出力されます。OSDコントロールレジスタのビット2(図49参照)によって、キャラクタフォントの周囲(周囲フチドリ)、又はキャラクタフォントの右側と下側(シャドウフチドリ)のいずれかを選択できます(図70参照)。フチドリのON/OFFは、ブロックコントロールレジスタのビット2(図50参照)でブロック単位に制御できます。

フチドリの出力はOUT1信号で行われます。また、フチドリの色はフチドリカラーレジスタで画面単位に指定できます。

フチドリの水平サイズ(x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅(OSDクロックをプリ分周

した周期幅)です。垂直サイズ(y)は、画面のスクアンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

- 注1. エクストラフォントはフチドリ表示されません。
- 2. フチドリドットの表示域は図72に示す網掛けの範囲です。EXOSDモードの場合、キャラクタフォント表示域の上下はフチドリ表示されません。
- 3. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます(図73のA参照)。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます(図73のB参照)。
- 4. 40文字目(ブロックの右端文字)の文字表示領域では、右端ドットの右側にはフチドリ表示されません。

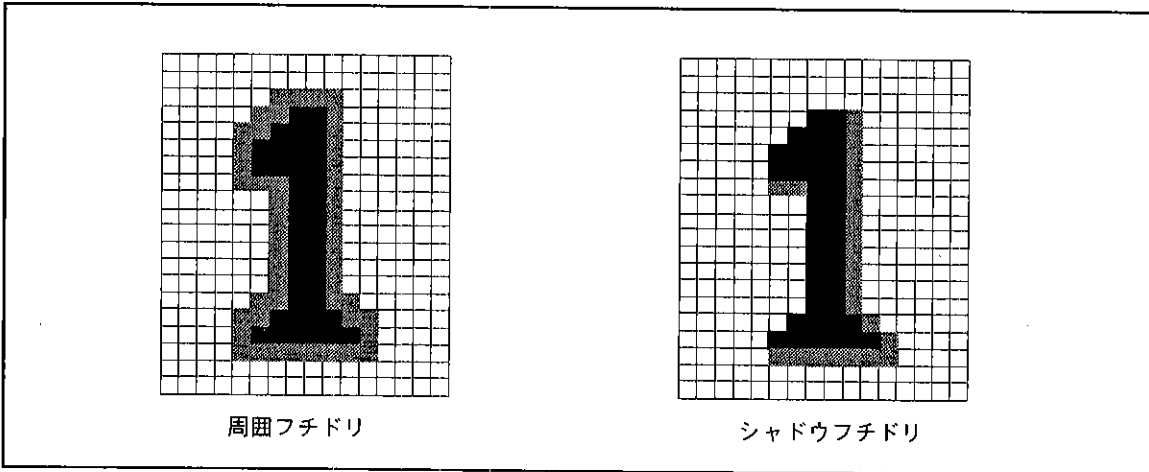


図70. フチドリ表示例

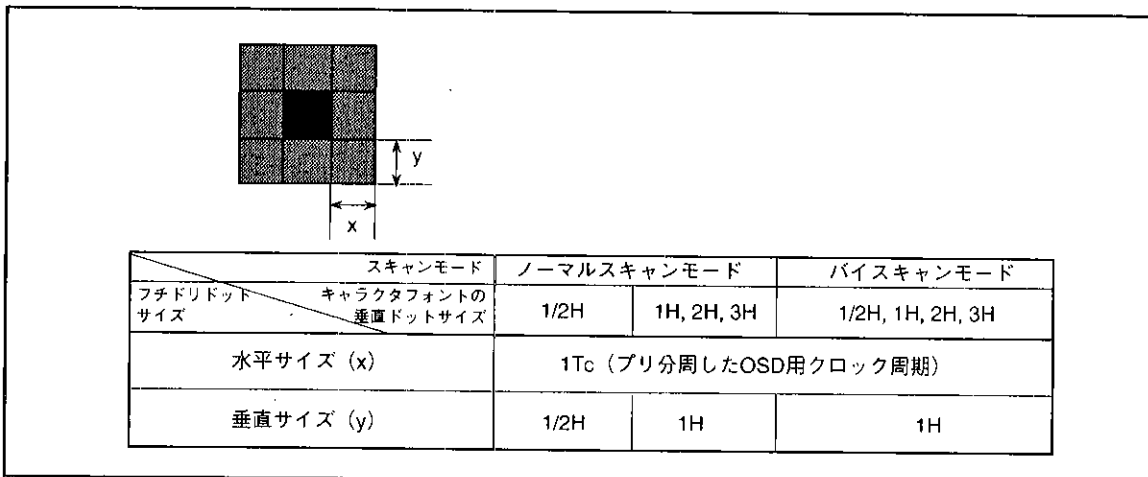


図71. フチドリの水平サイズ及び垂直サイズ

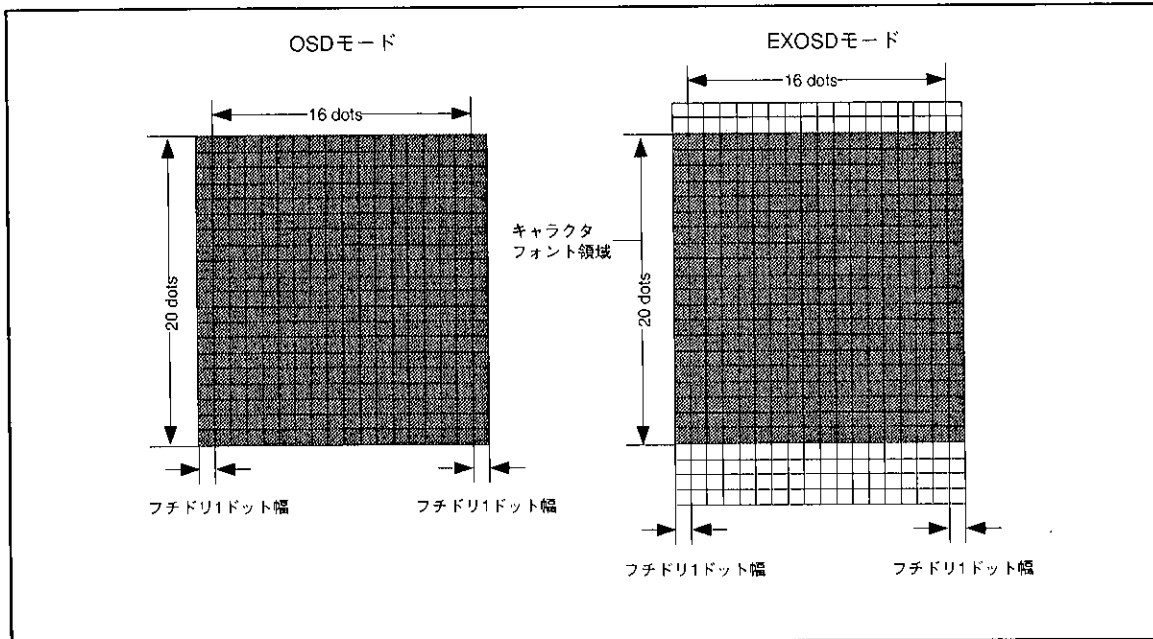


図72. フチドリの領域

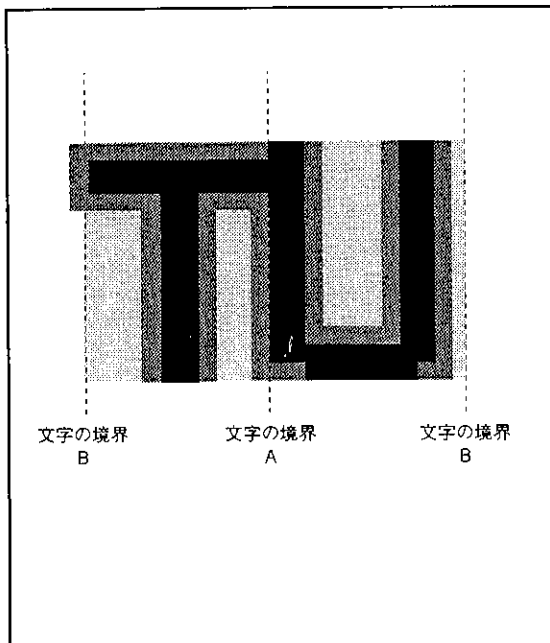


図73. フチドリの優先順位

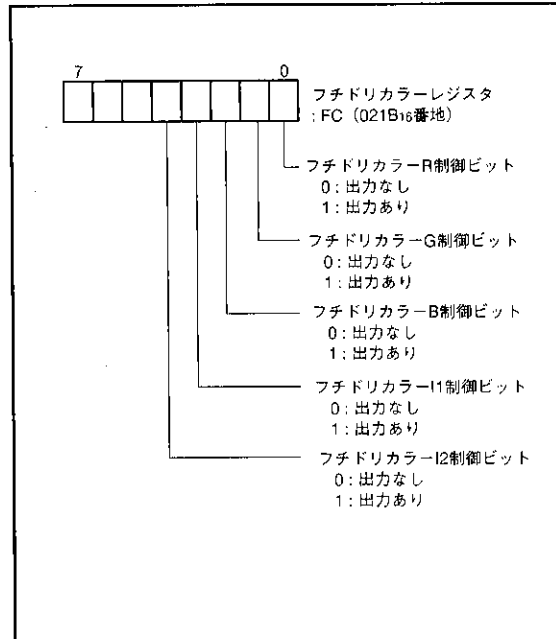


図74. フチドリカラーレジスタのビット構成

(11) 多行表示

M37270MF-XXXSPは通常、16のブロックを別々の垂直位置に表示することによって16行の表示を行うことができます。更に、OSD割り込みを用いることにより、16行以上の表示を行うことができます。

OSD割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置(垂直位置レジスタにより指定)きた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。ただし、ラスターカラーレジスタ(図81参照)の設定によってOSD割り込み要求が発生するモードが異なります。

・ラスターカラーレジスタのビット7が“0”のとき

OSDモードとEXOSDモードのブロック表示終了時に割り込み要求が発生

・ラスターカラーレジスタのビット7が“1”のとき

CCモードのブロック表示終了時に割り込み要求が発生

- 注1. ブロック表示終了時に発生する“OSD割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタ(00D0:16~00DF:16番地)の表示制御ビットの設定によってブロックの表示がオフ(非表示)状態であれば、“OSD割り込み要求”は発生しません(図75のA参照)。
2. 1つのブロック表示中に途中の他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します(図75のB参照)。
3. ウィンドウを設定した画面で、ウィンドウ外にあるCCモードブロック(表示OFF)が表示終了した時点でも“OSD割り込み要求”は発生します(図75のC参照)。

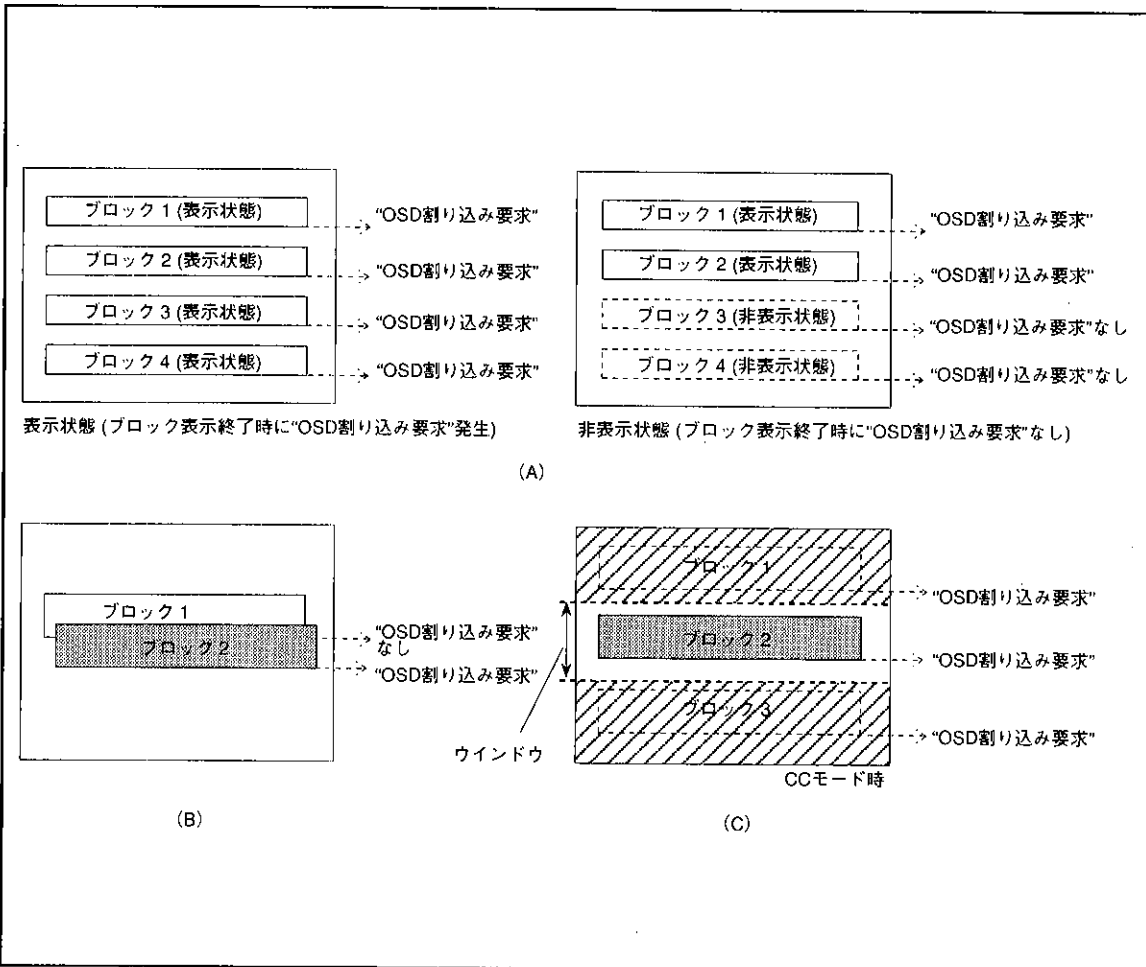


図75. OSD割り込み発生時の注意点

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

(12) オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース (OUT1)又はOUT2ブランク出力)を、ハードウェアで自動的に発生させる機能です。

文字コードが"00916"以外の文字、及びその左右の文字領域に出力されます。この機能はOSDコントロールレジスタのビット4(図49参照)でON/OFFします。

- 注1. 各ブロックの1文字目の左側、40文字目の右側にはブランク出力はできません。
 2. この機能を使用する時は、40文字目を"00916"に設定してください。

表18. オートソリッドスペース機能の設定

OSDコントロールレジスタのビット4 ブロックコントロールレジスタのビット7 色コード1のビット4	0				1			
	0		1		0		1	
OUT1出力信号	キャラクタ フロント部	文字表示 領域	キャラクタ フロント部		ソリッド スペース		キャラクタ フロント部	
OUT2出力信号	OFF		OFF	文字表示 領域	OFF		ソリッド スペース	

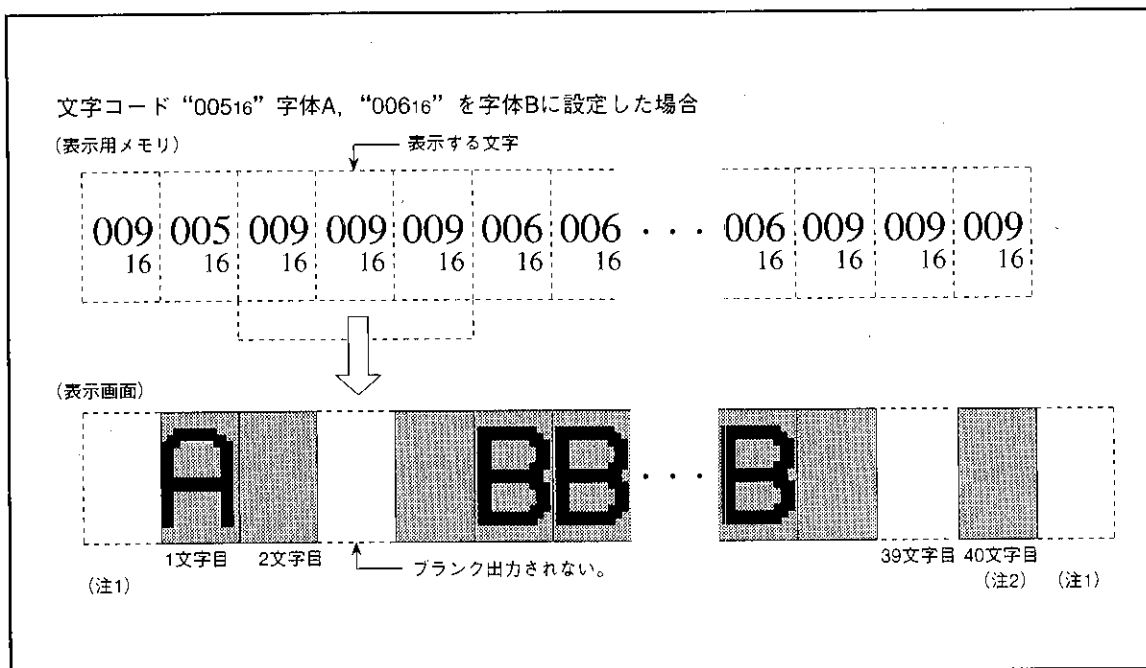


図76. オートソリッドスペース画面表示例

(13) スキャンモード

通常の2倍の周波数のHsyncに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置、垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタのビット1で選択します(図49参照)。

表19. スキャンモードの設定

項目	スキャンモード	ノーマルスキャン	バイスキャン
OSDコントロールレジスタのビット1		0	1
垂直表示開始位置		垂直位置レジスタの値×1H	垂直位置レジスタの値×2H
垂直ドットサイズ		1Tc×1/2H	1Tc×1H
		1Tc×1H	1Tc×2H
		2Tc×2H	2Tc×4H
		3Tc×3H	3Tc×6H

(14) ウィンドウ機能

画面内で表示する範囲の上限と下限を設定する機能です。ウィンドウ機能はCCモードでのみ有効です。ウィンドウの上限はウィンドウHレジスタ1, 2, 下限はウィンドウLレジスタ1, 2によって指定します。また、ウィンドウ機能のON/OFFはOSDコントロールレジスタのビット5によって制御します(図49参照)。

図78にウィンドウHレジスタのビット構成を、図79にウィンドウLレジスタのビット構成を示します。

- 注1. ウィンドウHレジスタ2="0016"のとき、ウィンドウHレジスタ1は"0016"又は"0116"以外の値を設定してください。
2. レジスタ値は(WH1+WH2) < (WL1+WL2)となるように設定してください。

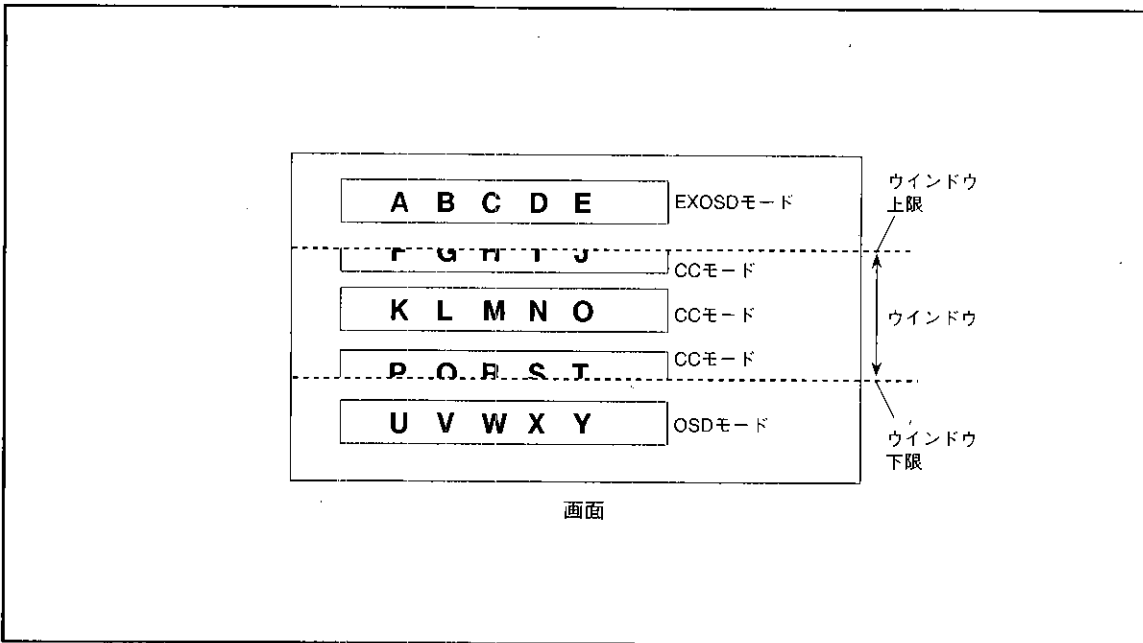


図77. ウィンドウ機能例

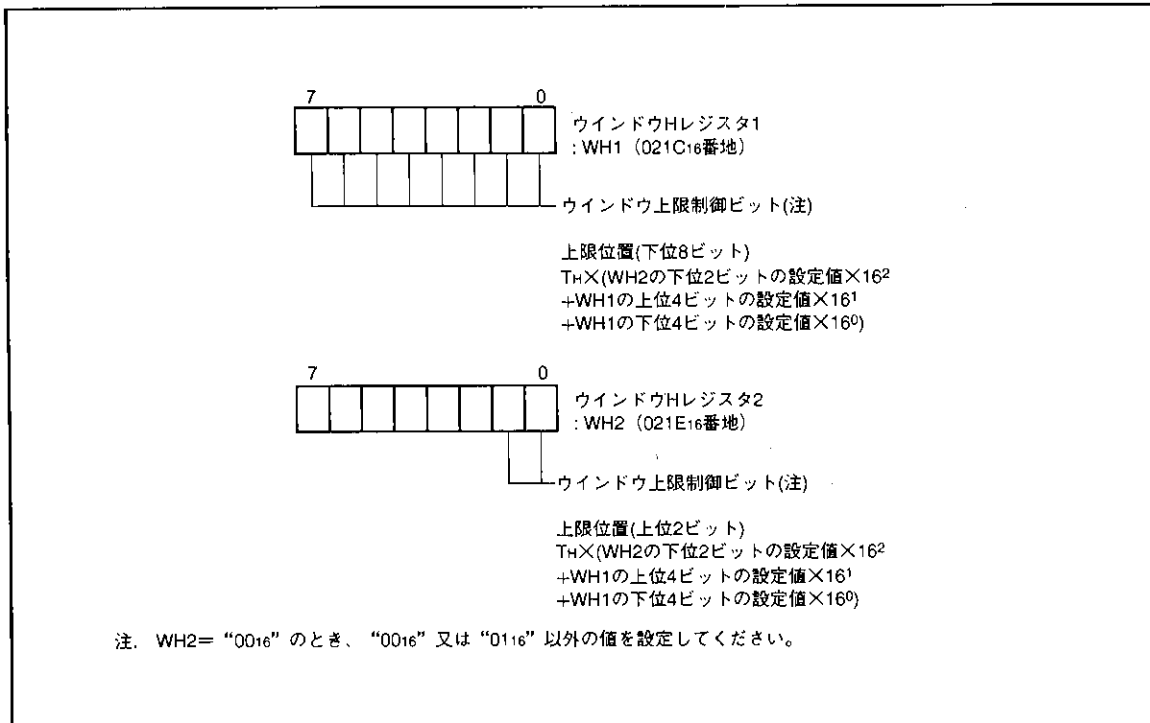


図78. ウィンドウHレジスタのビット構成

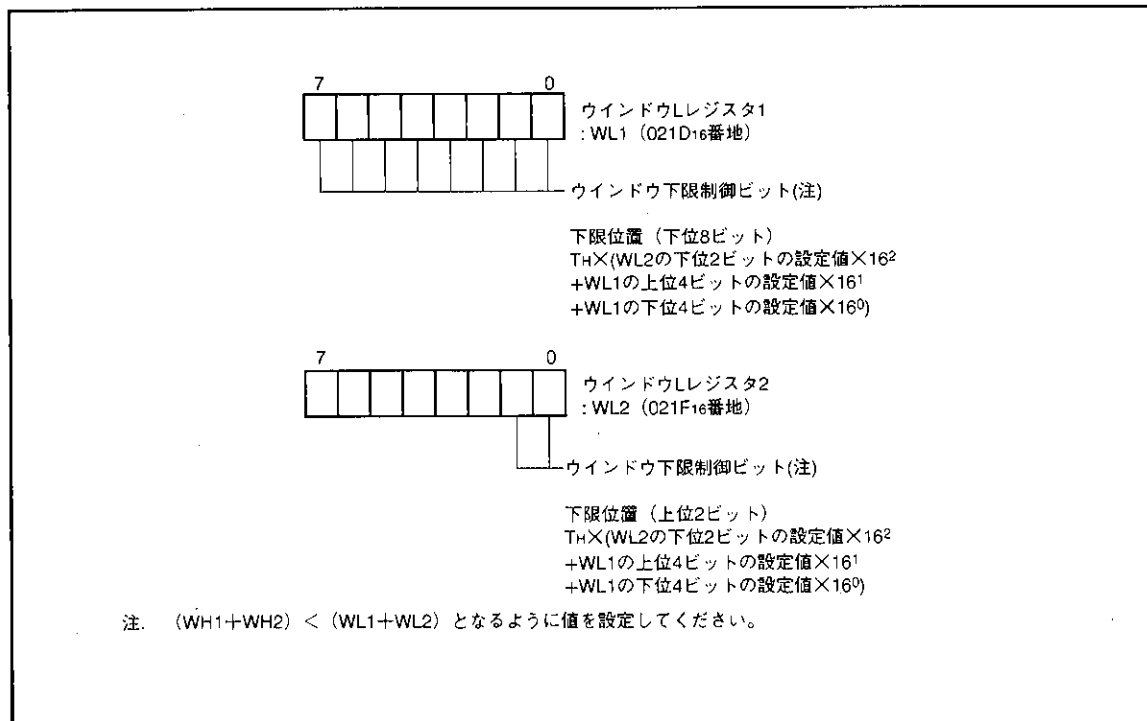


図79. ウィンドウLレジスタのビット構成

(15) OSD出力端子制御

OSD出力端子R, G, B, OUT1は、それぞれポートP52, P53, P54, P55と共用です。OSDポートコントロールレジスタ(00CB16番地)の対応するビットを“0”にするとOSD出力端子、“1”にするとポートP5として汎用出力端子となります。OUT2, I1, I2は、それぞれポートP10, P15, P16と共用です。ポートP1方向レジスタ(00C316番地)の対応するビットを“1”(出力モード)にしてください。その後、OSDポートコントロールレジスタでOSD出力機能とポート機能を切り替えてください。対応するビットを“1”にするとOSD出力端子、“0”にするとポートP1として汎用出力端子となります。

HSYNC, VSYNCの入力極性、R, G, B, I1, I2, OUT1, OUT2の出力極性は入出力極性コントロールレジスタ(021716番地)によって指定できます。“0”にすると正極性、“1”にすると負極性となります(図61参照)。

図80にOSDポートコントロールレジスタのビット構成を示します。

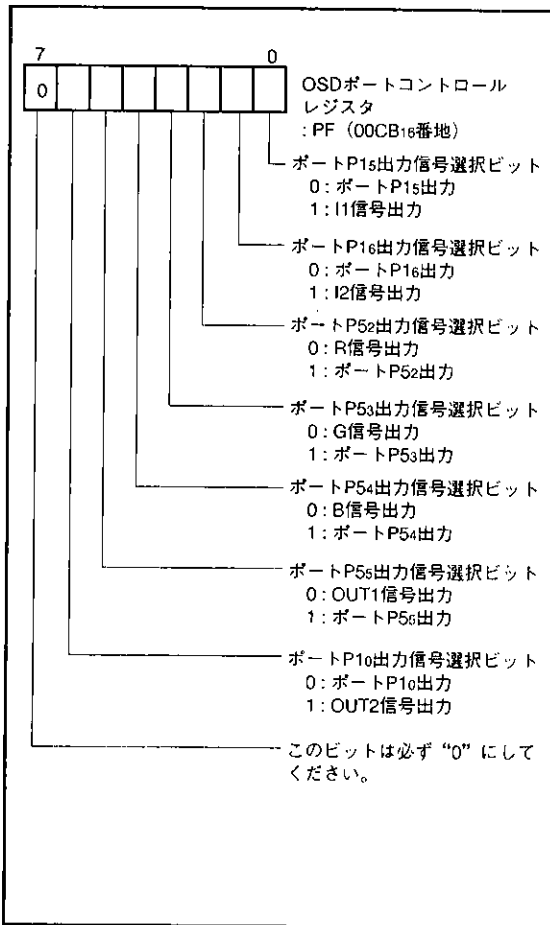


図80. OSDポートコントロールレジスタのビット構成

(16) ラスター着色機能

ラスターカラーレジスタのビット6～ビット0を設定することによって、一画面全体(ラスター)に着色を行うことができます。R, G, B, I1, I2, OUT1, OUT2端子それぞれをラスター信号出力に切り替えることが可能で、7色のラスター着色を得ることができます。

OUT1端子をラスター着色出力とした場合、1水平走査期間中常にラスター着色信号が出力されます。バックのTV画像を消去する場合はこの設定が必要です。

R, G, B, I1, I2端子をラスター着色出力とした場合、1水平走査期間中、ラスター色とは別の色の文字出力(図82では文字"1")を除く部分に、ラスター着色信号が出力されます。したがって文字色とラスター色が混合することはありません。

図81にラスターカラーレジスタのビット構成を、図82にラスター着色例を示します。

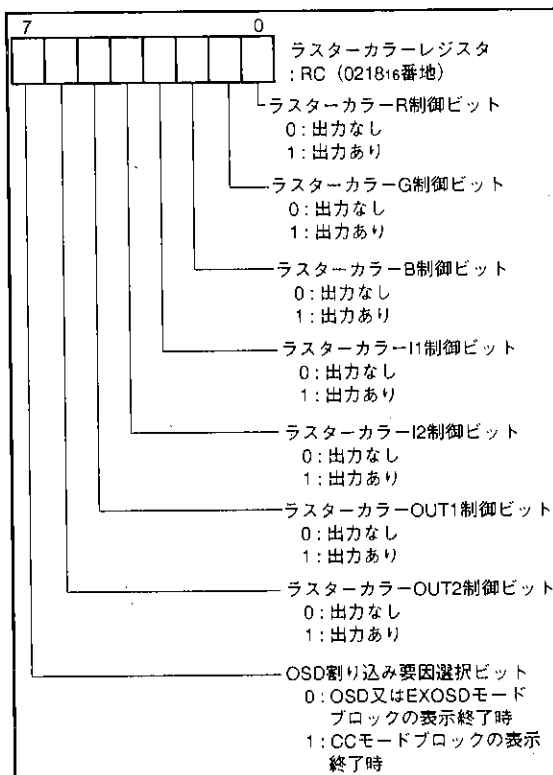


図81. ラスターカラーレジスタのビット構成

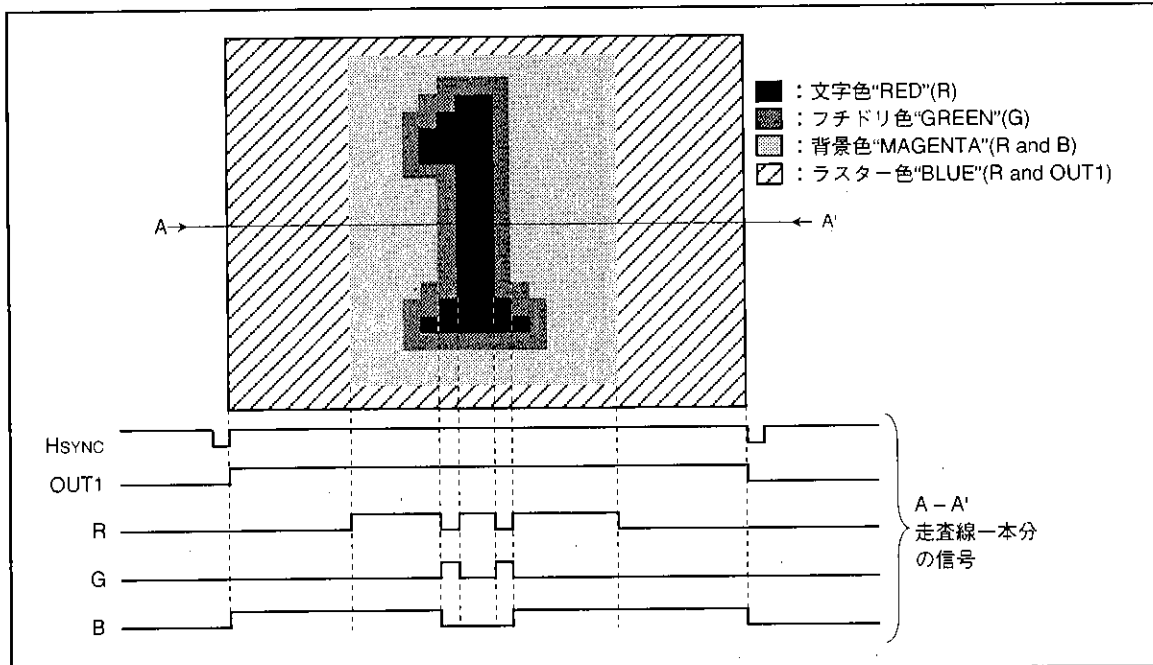


図82. ラスター着色例

割り込み間隔判定回路

M37270MF-XXXSPは、割り込み間隔判定回路を内蔵しています。割り込み間隔判定回路は図83に示すように8ビットバイナリアップカウンタを持っています。このカウンタによって、INT1又はINT2端子の入力信号パルスの入力間隔又はパルス幅(図85参照)を計測します。

以下にその動作を説明します。

- ① 割り込み間隔判定制御レジスタ(0212₁₆番地)のビット5によって判定モードを選択します。このビットを“0”にすると割り込み間隔判定モード、“1”にするとパルス幅判定モードが選択されます。
- ② 割り込み間隔判定制御レジスタのビット2によって、INT1入力判定かINT2入力判定かを選択します。このビットを“0”にするとINT1入力を、“1”にするとINT2入力を選択します。
- ③ INT1入力判定の場合、割り込み間隔判定制御レジスタのビット3、INT2入力判定の場合はビット4によって極性を選択します。“0”にすると正極性間隔、“1”にすると負極性間隔を判定します。
- ④ 割り込み間隔判定制御レジスタのビット1によって基準クロックを選択します。“0”にすると32 μ sを、“1”にすると16 μ sが選択されます(いずれも発振周波数8MHz時)。
- ⑤ INT1端子(又はINT2端子)に、設定した極性の入力パルス(立ち上がり又は立ち下がり)が起こったと同時に、8ビットバイナリアップカウンタは選択された基準クロック(32 μ s又は16 μ s)によってカウントアップを開始します。
- ⑥ 次のパルス入力と同時に、8ビットバイナリアップカウンタの値を割り込み間隔判定レジスタ(0211₁₆番地)にロードし、直後にカウンタをリセット“00₁₆”します。リセットしたあとも基準クロックを入力し続け、“00₁₆”から再びカウントアップします。
- ⑦ 8ビットバイナリアップカウンタはカウント値が“FE₁₆”になるとカウントアップを停止し、次の基準クロック入力と同時に“FF₁₆”を割り込み間隔判定レジスタに設定します。基準クロックはPWMモードレジスタ1のビット0を“0”にすることによって発生します。

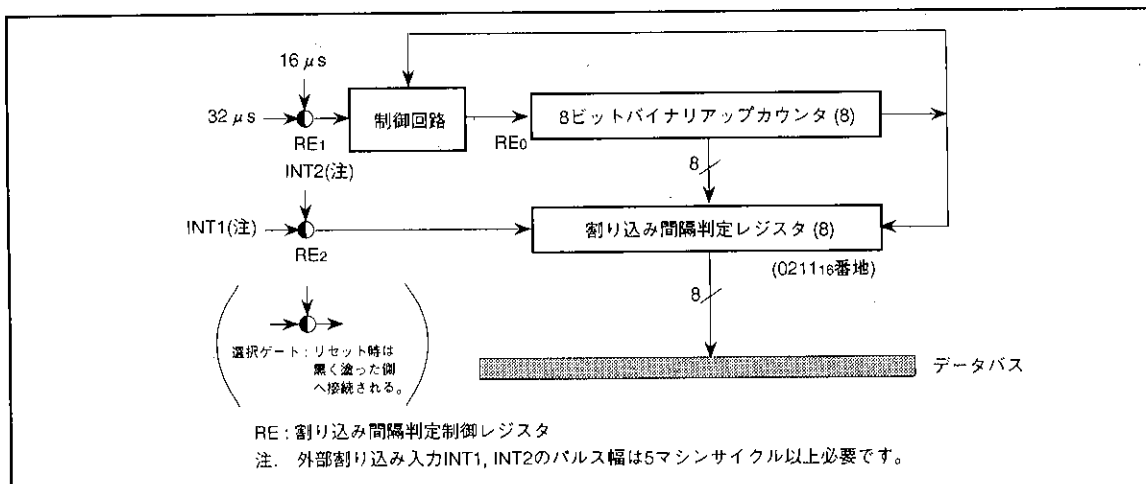


図83. 割り込み間隔判定回路ブロック図

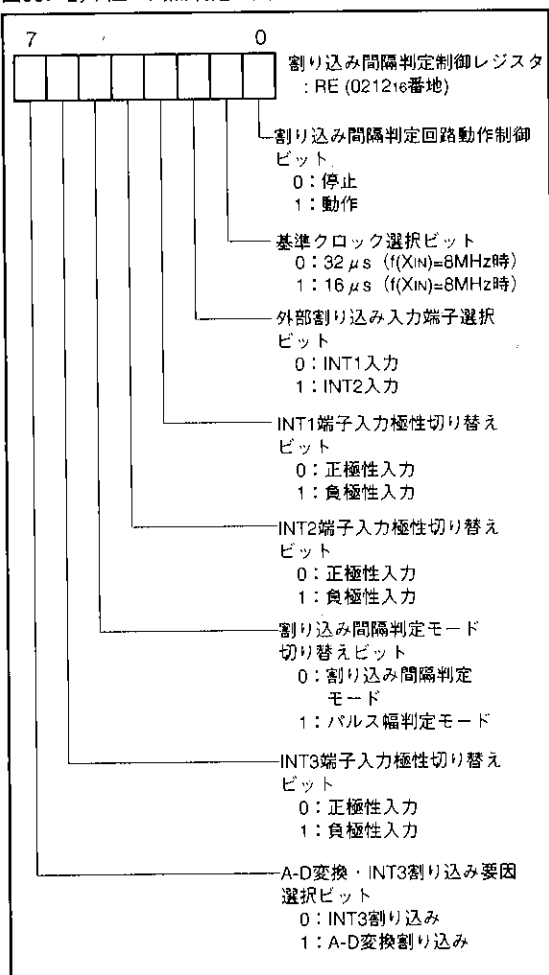


図84. 割り込み間隔判定制御レジスタのビット構成

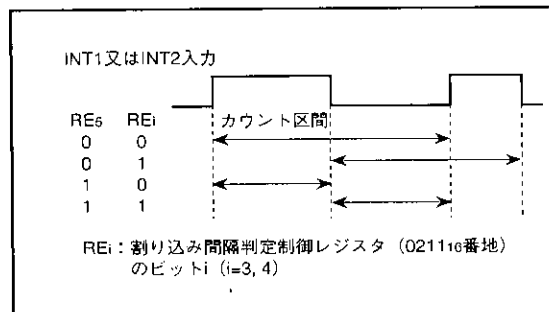


図85. 割り込み間隔判定制御レジスタの設定値と計測区間

リセット回路

M37270MF-XXXSPは、電源電圧が5V±10%にあり、水晶発振子又はセラミック共振子などが安定発振しているときRESET端子を2μs以上“L”レベルに保った後、“H”レベルに戻すと図87に示すシーケンスに従って、リセット解除され、FFFF16番地の内容を上位アドレス、FFFE16番地の内容を下位アドレスとする番地からプログラムスタートします。リセット動作によりマイクロコンピュータの内部の状態は図88のようになります。

リセット回路の一例を図86に示します。

リセット入力電圧は電源電圧が4.5Vを通過する時点で0.9V以下になるようにしてください。

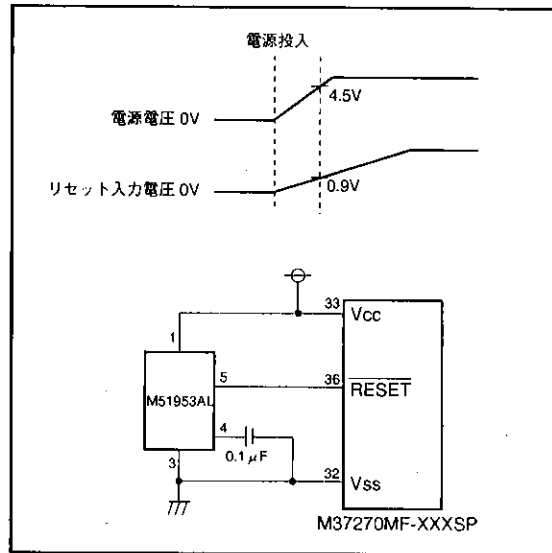


図86. リセット回路例

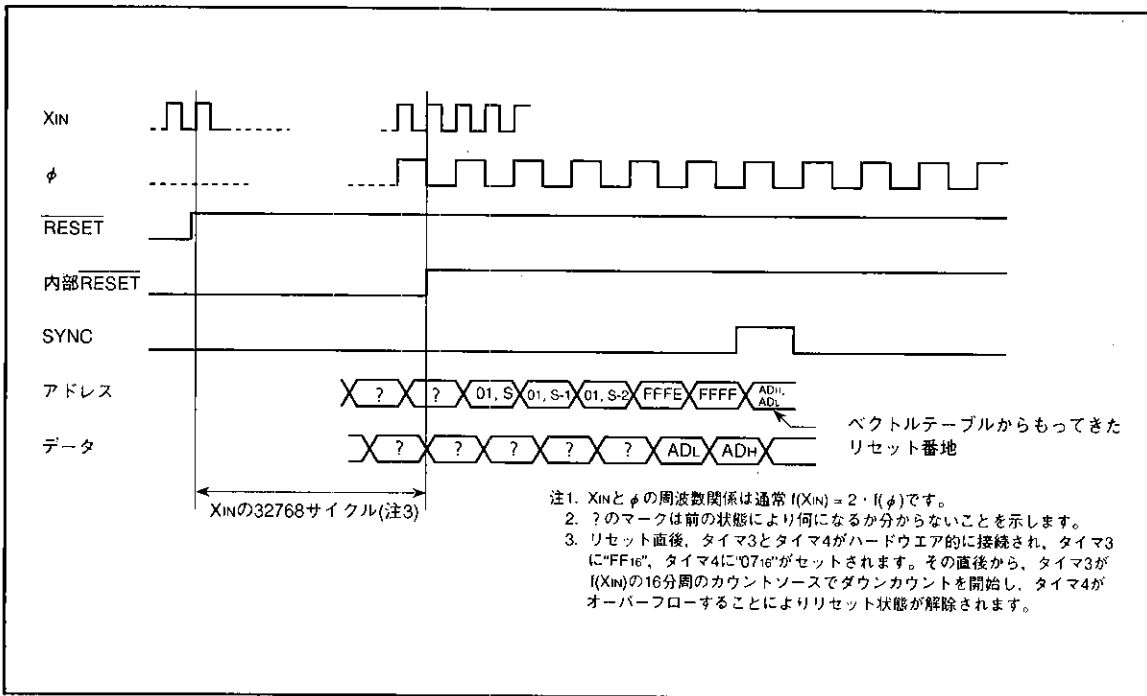


図87. リセット時のタイミング図

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

	番 地	レジスタの内容		番 地	レジスタの内容
ポートP0方向レジスタ	(00C1 ₁₆ 番地)	00 ₁₆	PCアドレスレジスタ	(00F7 ₁₆ 番地)	00 ₁₆
ポートP1方向レジスタ	(00C3 ₁₆ 番地)	00 ₁₆	PCステータスレジスタ	(00F8 ₁₆ 番地)	0 0 0 1 0 0 0 *
ポートP2方向レジスタ	(00C5 ₁₆ 番地)	00 ₁₆	PCコントロールレジスタ	(00F9 ₁₆ 番地)	00 ₁₆
ポートP3方向レジスタ	(00C7 ₁₆ 番地)	0 0 <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 0	PCクロックコントロールレジスタ	(00FA ₁₆ 番地)	00 ₁₆
ポートP4方向レジスタ	(00C9 ₁₆ 番地)	<input checked="" type="checkbox"/> 0 0 <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0	CPUモードレジスタ	(00FB ₁₆ 番地)	0 0 1 1 1 1 0 0
OSDポートコントロールレジスタ	(00CB ₁₆ 番地)	00 ₁₆	割り込み要求レジスタ1	(00FC ₁₆ 番地)	<input checked="" type="checkbox"/> 0 0 0 0 0 0 0 0
OSDコントロールレジスタ	(00CE ₁₆ 番地)	00 ₁₆	割り込み要求レジスタ2	(00FD ₁₆ 番地)	00 ₁₆
水平位置レジスタ	(00CF ₁₆ 番地)	00 ₁₆	割り込み制御レジスタ1	(00FE ₁₆ 番地)	<input checked="" type="checkbox"/> 0 0 0 0 0 0 0 0
キャプション位置レジスタ	(00E0 ₁₆ 番地)	00 ₁₆	割り込み制御レジスタ2	(00FF ₁₆ 番地)	00 ₁₆
スタートビット位置レジスタ	(00E1 ₁₆ 番地)	00 ₁₆	クロックランイン検出レジスタ3	(0208 ₁₆ 番地)	<input checked="" type="checkbox"/> 0 0 0 0 0 0 0 0
ウインドウレジスタ	(00E2 ₁₆ 番地)	00 ₁₆	PWMモードレジスタ1	(020A ₁₆ 番地)	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0
シンクスライズレジスタ	(00E3 ₁₆ 番地)	00 ₁₆	PWMモードレジスタ2	(020B ₁₆ 番地)	00 ₁₆
キャプションデータレジスタ1	(00E4 ₁₆ 番地)	00 ₁₆	タイマ5	(020C ₁₆ 番地)	07 ₁₆
キャプションデータレジスタ2	(00E5 ₁₆ 番地)	00 ₁₆	タイマ6	(020D ₁₆ 番地)	FF ₁₆
クロックランインレジスタ1	(00E6 ₁₆ 番地)	00 ₁₆	同期信号カウンタ	(020F ₁₆ 番地)	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 0 0 0 0 0 0 0
クロックランインレジスタ2	(00E7 ₁₆ 番地)	00 ₁₆	データスライサ制御レジスタ3	(0210 ₁₆ 番地)	00 ₁₆
クロックランイン検出レジスタ1	(00E8 ₁₆ 番地)	00 ₁₆	割り込み間隔判定制御レジスタ	(0212 ₁₆ 番地)	00 ₁₆
クロックランイン検出レジスタ2	(00E9 ₁₆ 番地)	0 0 0 0 0 1 0 0 1	シリアルI/Oモードレジスタ	(0213 ₁₆ 番地)	00 ₁₆
データスライサ制御レジスタ1	(00EA ₁₆ 番地)	00 ₁₆	クロックソースコントロールレジスタ	(0216 ₁₆ 番地)	00 ₁₆
データスライサ制御レジスタ2	(00EB ₁₆ 番地)	* 0 * 0 0 * 0 0	入出力権性コントロールレジスタ	(0217 ₁₆ 番地)	* 0 0 0 0 0 0 0 0
キャプションデータレジスタ3	(00EC ₁₆ 番地)	00 ₁₆	ラスタカラーレジスタ	(0218 ₁₆ 番地)	00 ₁₆
キャプションデータレジスタ4	(00ED ₁₆ 番地)	00 ₁₆	エクストラフロントカラーレジスタ	(0219 ₁₆ 番地)	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 0 0 0 0 0
A-D制御レジスタ	(00EF ₁₆ 番地)	0 <input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 1 <input checked="" type="checkbox"/> 0 0	フチドリカラーレジスタ	(021B ₁₆ 番地)	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/> 0 0 0 0 0 0
タイマ1	(00F0 ₁₆ 番地)	FF ₁₆	プロセッサステータスレジスタ	(PS)	* * * * * 1 * *
タイマ2	(00F1 ₁₆ 番地)	07 ₁₆	プログラムカウンタ	(PCH)	FFFF ₁₆ 番地の内容
タイマ3	(00F2 ₁₆ 番地)	FF ₁₆		(PCL)	FFFE ₁₆ 番地の内容
タイマ4	(00F3 ₁₆ 番地)	07 ₁₆			
タイマモードレジスタ1	(00F4 ₁₆ 番地)	00 ₁₆			
タイマモードレジスタ2	(00F5 ₁₆ 番地)	00 ₁₆			

注. 上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、リセット解除後に初期値を設定してください。

* : 不定です。

: 不使用ビットです。

図88. リセット時のマイクロコンピュータの内部状態

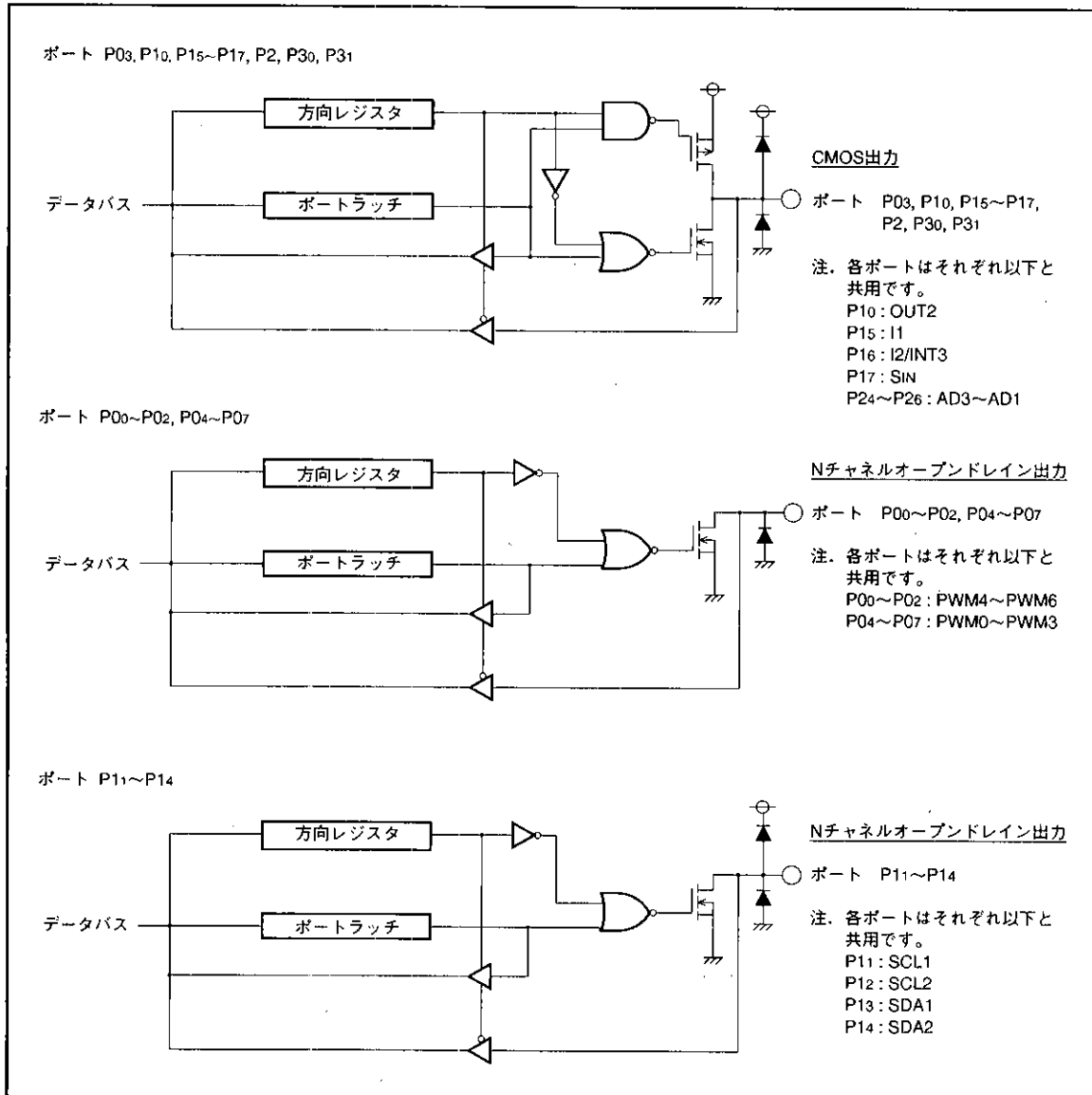


図89. 入出力端子のブロック図 (1)

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

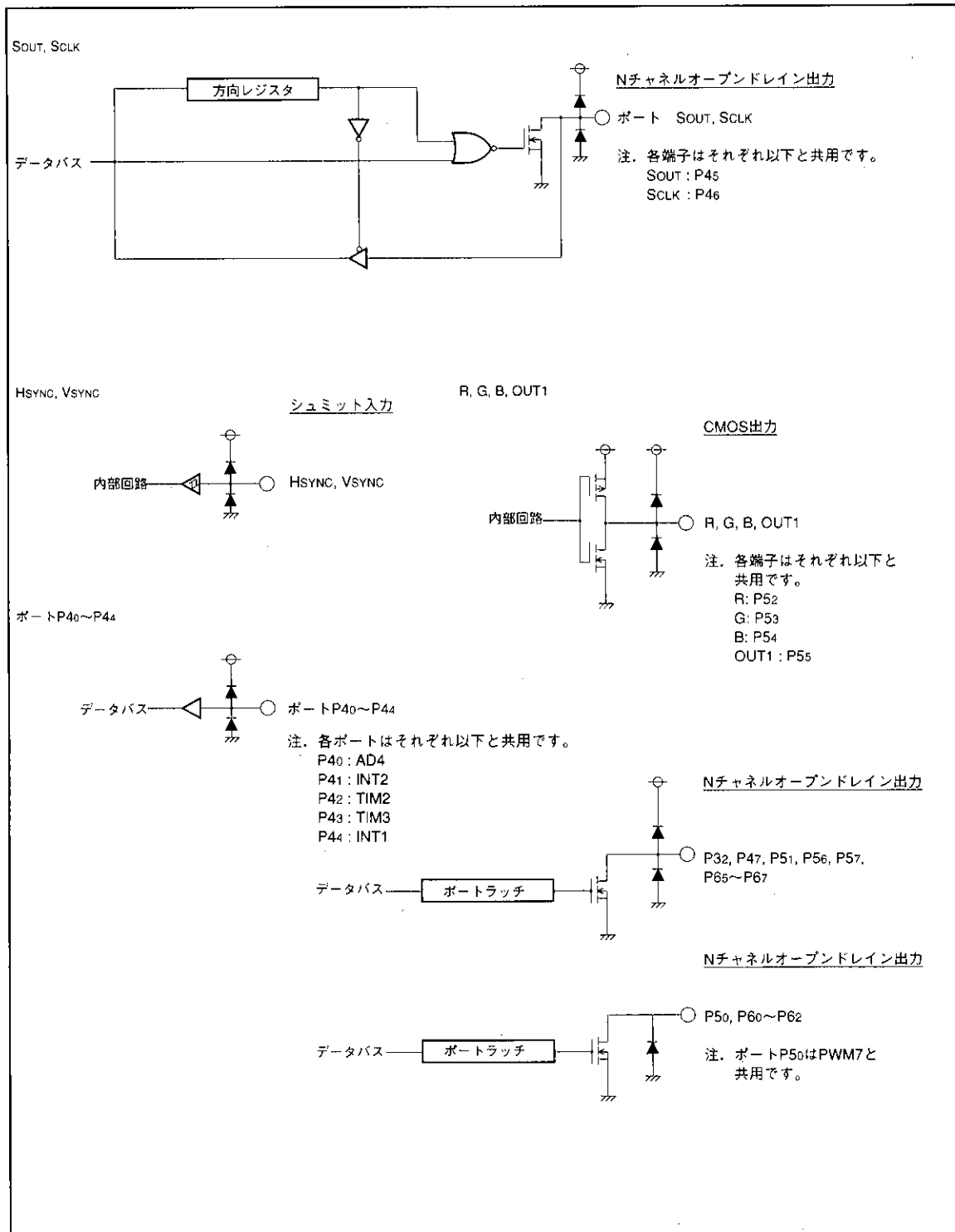


図90. 入出力端子のブロック図 (2)

クロック発生回路

M37270MF-XXXSPは、メインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの内部発振回路を内蔵しています。XIN-XOUT又はXCIN-XCOUTの間に共振子を接続することにより、発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗を付けてください。XCIN-XCOUTをサブクロックとして使用する場合は、クロックソースコントロールレジスタのビット5とビット4を“0”にしてください。外部からクロック信号を供給する場合は、XIN(XCIN)端子に入力し、XOUT(XCOUT)端子は開放します。XCINクロックを使用しない場合、XCIN端子はVSSに接続し、XCOUT端子は開放してください。

リセット解除後XIN端子に加わった周波数を2分周したものが内部クロックφになります。電源投入直後はXINクロック、XCINクロックともに発振を開始します。内部クロックφを低速モードにする場合、CPUモードレジスタのビット7を“1”にしてください。

発振制御

(1)ストップモード

STP命令を実行すると、内部クロックφが“H”の状態では発振が停止します。このとき、タイマ3とタイマ4がハードウェア的に接続されて、タイマ3には“FF₁₆”、タイマ4には“07₁₆”がセットされます。タイマ3のカウントソースには、 $f(XIN)/16$ 又は $f(XCIN)/16$ を選択してください(STP命令実行前に、ソフトウェアによってタイマモードレジスタ2のビット0及び00C7₁₆番地のビット6を“0”にしてください)。なおタイマ3割り込み許可ビット及びタイマ4割り込み許可ビットは禁止状態(“0”)になっている必要がありますので、あらかじめSTP命令実行前にプログラムしておいてください。発振は、リセット又は外部割り込みが受け付けられると再開しますが、タイマ4がオーバーフローしてはじめて、CPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

(2)ウェイトモード

WIT命令を実行すると、内部クロックφが“H”の状態では発振器は停止しませんが、リセット又は割り込みを受け付けると停止を解除します(注)。発振は停止していませんので直ちに命令を実行できます。

注。ただし、ウェイトモードでは以下の割り込みは無効です。

- (1) VSYNC割り込み
- (2) OSD割り込み

- (3) P42/TIM2端子入力をカウントソースとするタイマ1、タイマ2割り込み
- (4) P43/TIM3端子入力をカウントソースとするタイマ3割り込み
- (5) データスライサ割り込み
- (6) マルチマスタI²C-BUSインタフェース割り込み
- (7) $f(XIN)/4096$ 割り込み
- (8) $f(XIN)/2$ 又は $f(XCIN)/2$ をカウントソースとするすべてのタイマ割り込み
- (9) $f(XIN)/4096$ 又は $f(XCIN)/4096$ をカウントソースとするすべてのタイマ割り込み
- (10) A-D変換割り込み

(3)低速モード

内部クロックをサブクロック(XCIN)より生成している場合にはCPUモードレジスタのビット6(CM6)を“1”にセットするメインクロックXINのみ停止させて低消費電力が実現できます。この場合、メインクロックXIN発振再開時CPUモードレジスタのビット6(CM6)を“0”にクリアした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

さらにCPUモードレジスタのビット5(CM5)を“0”にクリアすると、XCIN-XCOUT間の駆動能力を弱めて60μA ($f(XCIN) = 32kHz$)の低消費電力モードが実現できます。リセット時はこのビットは“1”にセットされ、発振開始しやすい強い駆動能力の側に設定されます。STP命令実行時には、実行の前にこのビットをソフトウェアで“1”にしてください。

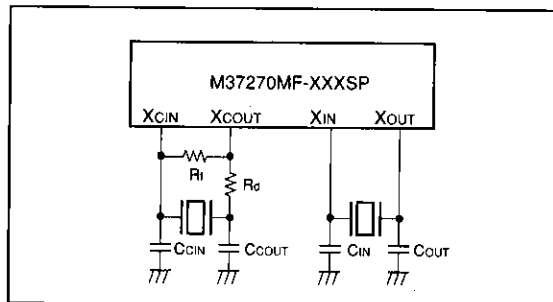


図91. セラミック共振子外付け回路例

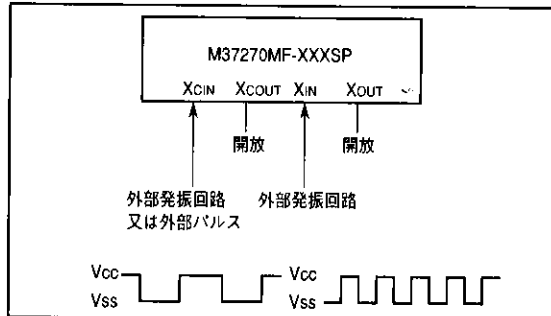


図92. 外部クロック入力回路例

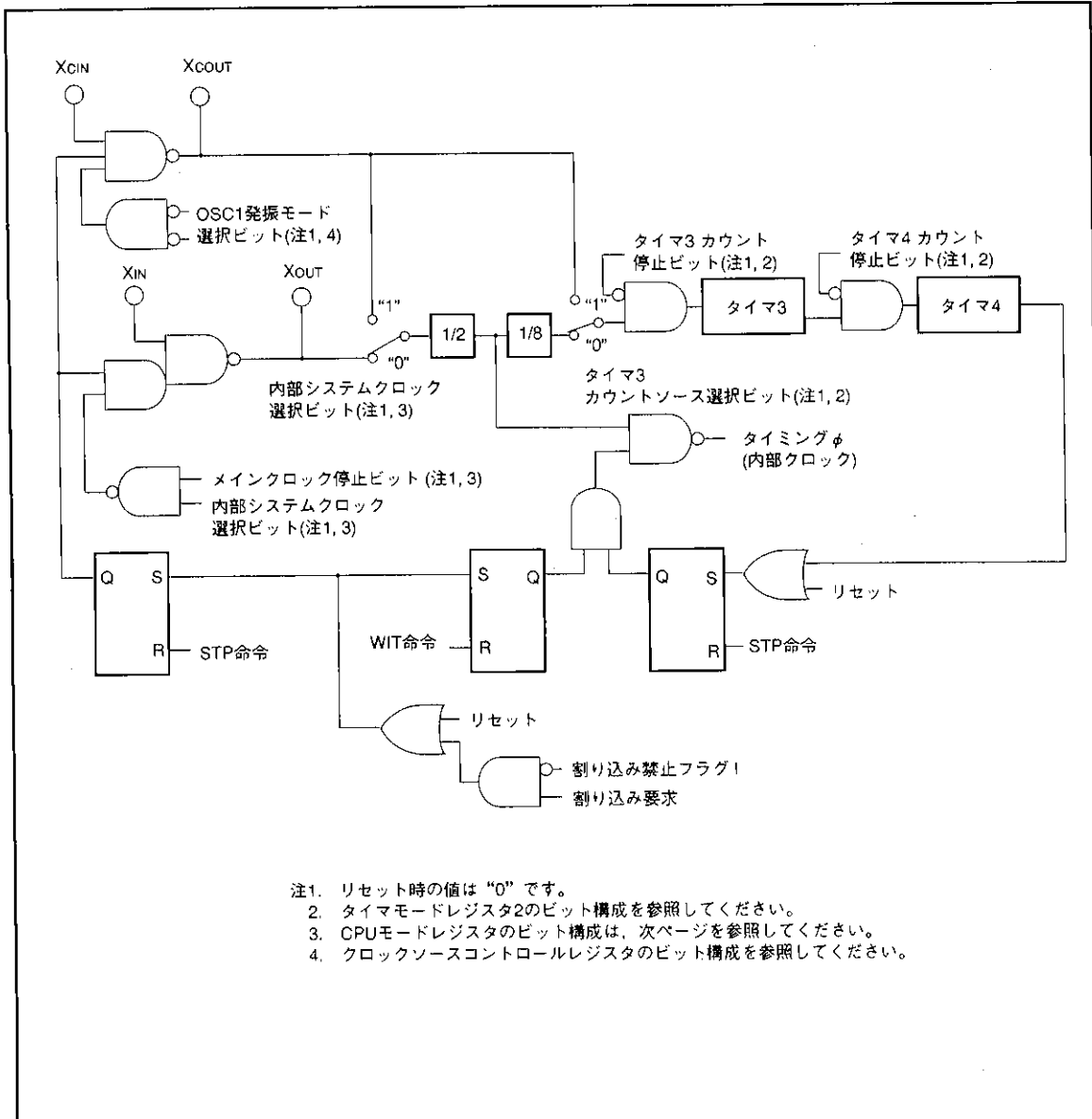


図93. クロック発生回路ブロック図

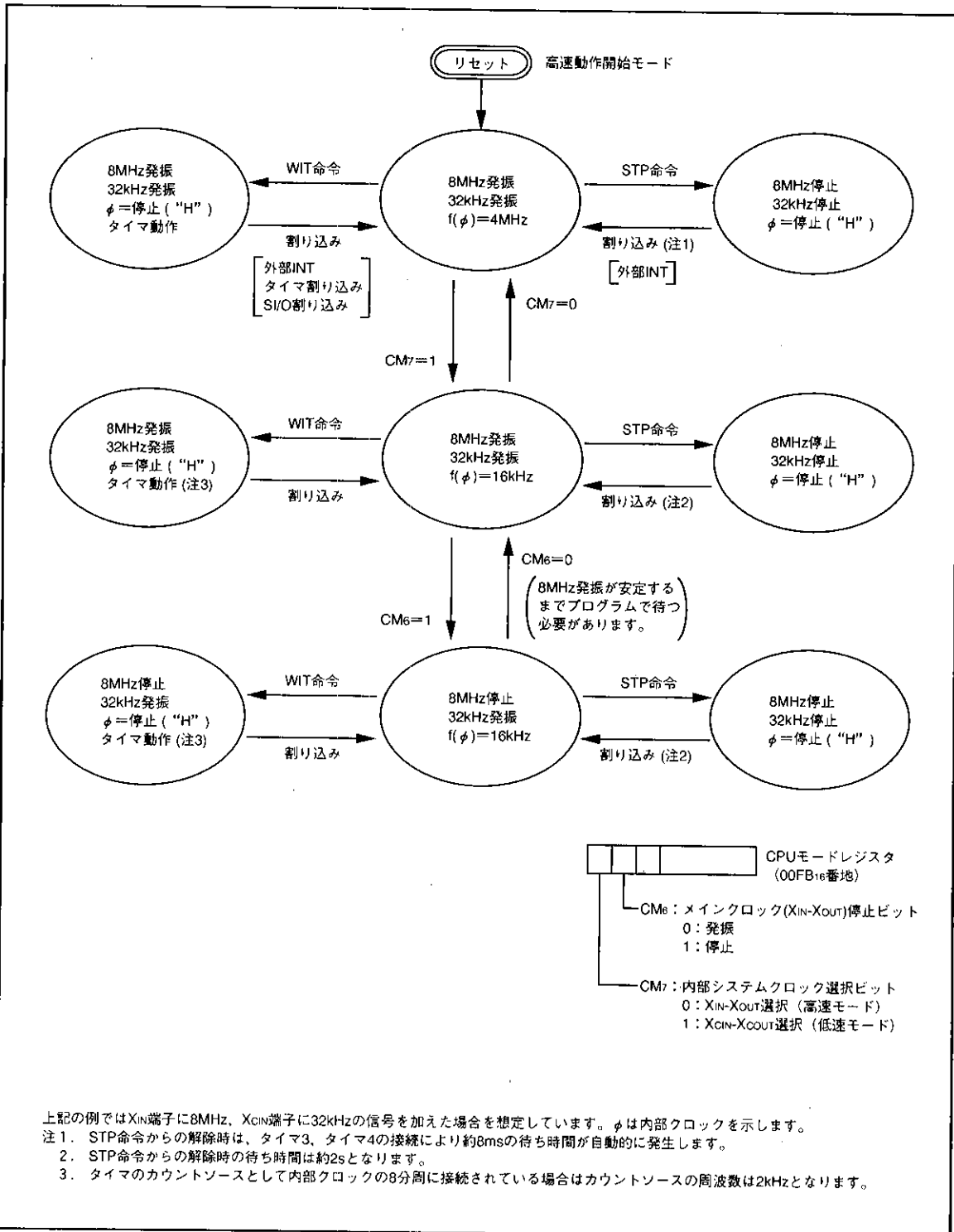


図94. システムクロック遷移状態図

OSD用発振回路

OSD用発振回路はクロック発振回路を内蔵しているため、OSC1とOSC2端子間にLC、セラミック共振子、又は水晶共振子を接続するだけでOSD用クロックを得ることができます。サブクロックにするか、OSD用発振回路にするかの選択は、クロックソースコントロールレジスタ(0216番地)のビット5及びビット4で設定してください。

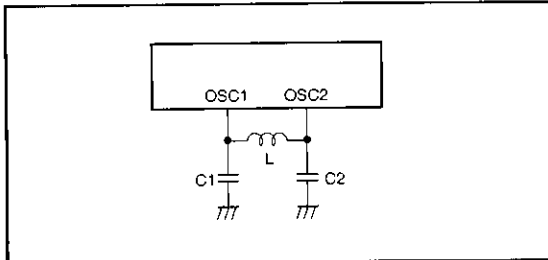


図95. OSD用発振回路例

オートクリア回路

RESET端子に下記の回路を付加することにより、電源投入時にオートクリア機能が働きます。

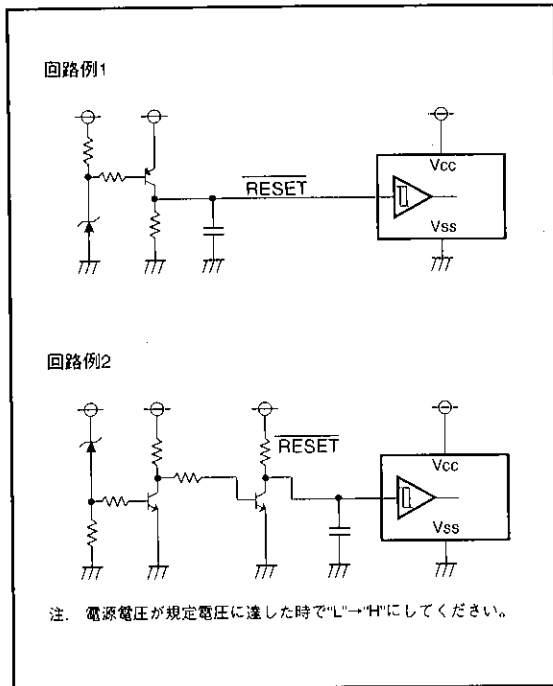


図96. オートクリア回路例

アドレッシングモード

17種のアドレッシングモードを持っており、メモリアクセスが強化されています。詳細説明は、MELPS 740 PROGRAMMING MANUALを参照してください。

機械語命令一覧表

機械語命令は、71命令あります。詳細説明は、MELPS740 PROGRAMMING MANUALを参照してください。

使用上の注意事項

- (1) タイマの分周比は $1/(n+1)$ です。
- (2) 割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、一命令以上後に行ってください。
- (3) 10進演算を行う場合は10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- (4) PLP命令を実行するときは、その直後に必ずNOP命令を入れてください。
- (5) ノイズ及びラッチアップ耐量を向上させるために、Vcc端子とVss端子間、AVcc端子とVss端子間、及びVcc端子とCNVss端子間にバイパスコンデンサ($\approx 0.1 \mu\text{F}$)を最短距離で、かつ比較的太い配線を使って接続してください。

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ EPROM 3セット

なお、御提出頂くROMデータは32ピンDIPの27C101の3セットにてお願いいたします。

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- (1) ROM書き込み確認書
- (2) マーク指定書(客先ロゴ入り特殊マークのみ)
- (3) ROMのデータ EPROM 3セット

PROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。

形名	書き込みアダプタ形名
M37270EFSP	PCA7401

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図97に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

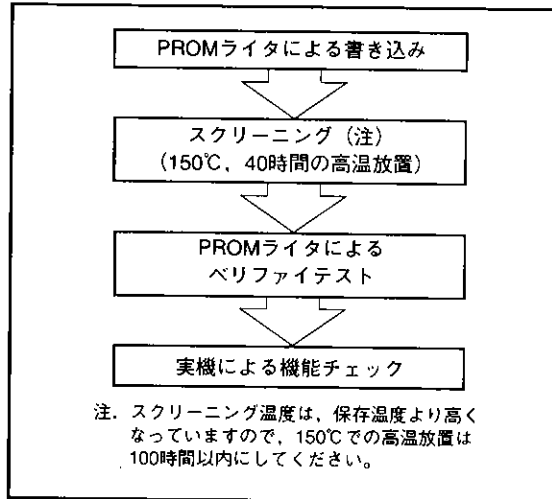


図97. ワンタイムPROM版書き込みとテスト

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

絶対最大定格

記号	項目	条件	定格値	単位
V _{CC} , AV _{CC}	電源電圧 V _{CC} , AV _{CC}		-0.3~6	V
V _I	入力電圧 CNV _{SS}	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態。	-0.3~6	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P40~P46, P64, OSC1, XIN, HSYNC, VSYNC, RESET, CVIN		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P03, P10~P17, P20~P27, P30, P31, P32, P47, P51, P56, P57, P60~P62, P65~P67, R, G, B, OUT1, SOUT, SCLK, XOUT, OSC2		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P00~P02, P04~P07, P50, P60~P62		-0.3~13	V
I _{OH}	回路電流 R, G, B, OUT1, OUT2, P03, P15~P17, P20~P27, P30, P31		0~1 (注1)	mA
I _{OL1}	回路電流 R, G, B, OUT1, OUT2, P03, P15~P17, P20~P27, P56, P57, P66, P67, SOUT, SCLK		0~2 (注2)	mA
I _{OL2}	回路電流 P11~P14		0~6 (注2)	mA
I _{OL3}	回路電流 P00~P02, P04~P07, P32, P47, P50, P51, P60~P62		0~1 (注2)	mA
I _{OL4}	回路電流 P30, P31		0~10 (注3)	mA
P _d	消費電力	T _a =25°C	550	mW
T _{opr}	動作周囲温度		-10~70	°C
T _{stg}	保存温度		-40~125	°C

推奨動作条件 (指定のない場合は、T_a = -10~70°C, V_{CC} = 5V±10%)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC} , AV _{CC}	電源電圧(注4) CPU, OSD, データスライサ動作中	4.5	5.0	5.5	V
V _{CC} , AV _{CC}	RAM保持電圧 (クロック停止時)	2.0		5.5	V
V _{SS}	電源電圧	0	0	0	V
V _{IH1}	"H"入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P40~P46, P64, HSYNC, VSYNC, RESET, XIN, OSC1	0.8V _{CC}		V _{CC}	V
V _{IH2}	"H"入力電圧 SCL1, SCL2, SDA1, SDA2 (I ² C-BUS使用時)	0.7V _{CC}		V _{CC}	V
V _{IL1}	"L"入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P40~P46, P63, P64	0		0.4V _{CC}	V
V _{IL2}	"L"入力電圧 SCL1, SCL2, SDA1, SDA2 (I ² C-BUS使用時)	0		0.3V _{CC}	V
V _{IL3}	"L"入力電圧 (注6) P41~P44, P46, P17, HSYNC, VSYNC, RESET, XIN, OSC1	0		0.2V _{CC}	V
I _{OH}	"H"出力平均電流 (注1) R, G, B, OUT1, OUT2, P03, P15~P17, P20~P27, P30, P31			1	mA
I _{OL1}	"L"出力平均電流 (注2) R, G, B, OUT1, OUT2, P03, P15~P17, P20~P27, P47, P51, P56, P57, P65~P67, SOUT, SCLK			2	mA
I _{OL2}	"L"出力平均電流 (注2) P11~P14			6	mA
I _{OL3}	"L"出力平均電流 (注2) P00~P02, P04~P07, P50, P60~P62			1	mA
I _{OL4}	"L"出力平均電流 (注3) P30, P31			10	mA
f _{CPU}	発振周波数 (CPU動作) (注5) XIN	7.9	8.0	8.1	MHz
f _{CLK}	発振周波数 (サブクロック動作) XCIN	29	32	35	kHz
f _{OSD}	発振周波数 (OSD用) OSC1				MHz
f _{hs1}	入力周波数 TIM2, TIM3, INT1, INT2, INT3			100	kHz
f _{hs2}	入力周波数 SCLK			1	MHz
f _{hs3}	入力周波数 SCL1, SCL2			400	kHz
f _{hs4}	入力周波数 ビデオ信号の水平同期信号	15.262	15.734	16.206	kHz
V _I	入力振幅 ビデオ信号CVIN	1.5	2.0	2.5	V

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

電気的特性 (指定のない場合は、VCC=5V±10%、VSS=0V、f(XIN)=8MHz、Ta=-10~70°C)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
ICC	電源電流	システム動作時	VCC=5.5V, f(XIN)=8MHz	CRT OFF データスライフ OFF		15	30	mA
				CRT ON データスライフ ON		30	45	
		ウェイト時	VCC=5.5V, f(XIN)=0, f(XCIN)=32kHz, CRT OFF, データスライフ OFF, 低消費電力モード (CM5="0", CM6="1")		60	200	μA	
				VCC=5.5V, f(XIN)=8MHz		2	4	mA
ストップ時	VCC=5.5V, f(XIN)=0, f(XCIN)=0		1	10	μA			
VOH	"H"出力電圧	R, G, B, OUT1, OUT2, P03, P15~P17, P20~P27, P30, P31	VCC=4.5V IOH=-0.5mA		2.4			V
VOL	"L"出力電圧	R, G, B, OUT1, OUT2, SOUT, SCLK, P00~P07, P15~P17, P20~P27, P50, P32, P47, P56, P57, P60~ P62, P66~P67	VCC=4.5V IOL=0.5mA			0.4		V
	"L"出力電圧	P30, P31	VCC=4.5V IOL=10.0mA			3.0		
	"L"出力電圧	P11~P14	VCC=4.5V	IOL=3mA			0.4	
				IOL=6mA			0.6	
VT+ - VT-	ヒステリシス	RESET	VCC=5.0V			0.5	0.7	V
	ヒステリシス (注6)	HSYNC, VSYNC, P41~P44, P46, P11~P14, P17	VCC=5.0V			0.5	1.3	
IIZH	"H"入力リーク電流	RESET, P03, P10~P17, P20~P27, P30, P31, P40~P46, P63, P64, HSYNC, VSYNC	VCC=5.5V Vi=5.5V			5		μA
IIZL	"L"入力リーク電流	RESET, P00~P07, P10~P17, P20~P27, P30, P31, P40~P46, P63, P64, HSYNC, VSYNC	VCC=5.5V Vi=0V			5		μA
IIZH	"H"入力リーク電流	P00~P02, P04~P07, P50, P60~P62	VCC=5.5V Vi=12V			10		μA
Rbs	I ² C-BUS・バススイッチ接続抵抗 (SCL1-SCL2間, SDA1-SDA2間)		VCC=4.5V				130	Ω

- 注1. ICから流出する電流の総和が20mAを超えないこと。
 2. ICへ流入する電流(IOL1+IOL2+IOL3)の総和が20mAを超えないこと。
 3. ICへ流入するポートP30, P31の平均電流の総和が10mAを超えないこと。
 4. 電源端子VCC-VSS間、AVCC-VSS間には、電源ノイズ除去のため容量0.1μF以上のコンデンサを外付けして使用してください。また、VCC-CNvss間にも容量0.1μF以上のコンデンサを外付けして使用してください。
 5. CPU発振回路には水晶発振子、又はセラミック共振子を使用してください。データスライフ使用時は8MHzを使用してください。
 6. P16, P41~P44は割り込み入力又はタイマ入力ポートとして使用する場合、P17, P46はシリアルI/Oとして使用する場合、P11~P14はマルチマスタI²C-BUSインタフェース専用端子として使用する場合にヒステリシスを持ちます。

三菱マイクロコンピュータ
M37270MF-XXXSP
M37270EF-XXXSP, M37270EFSP
 SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
 and ON-SCREEN DISPLAY CONTROLLER

A-D変換特性 (指定のない場合は, $V_{CC}=5V \pm 10\%$, $V_{SS}=0V$, $f(XIN)=8MHz$, $T_a=-10 \sim 70^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	bits
-	非直線性誤差				± 2	LSB
-	微分非直線性誤差				± 0.9	LSB
VOT	ゼロトランジション誤差	$V_{CC}=5.12V$ $I_{OL}(SUM)=0mA$			2	LSB
VFST	フルスケールトランジション誤差	$V_{CC}=5.12V$			4	LSB
TCONV	変換時間		12.25		12.5	μs
VREF	基準電圧				V_{CC}	V
RLADDER	ラダー抵抗			25		k Ω
VIA	アナログ入力電圧		0		V_{REF}	V

マルチマスタ²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD:STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの"L"状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	$20+0.1C_b$	300	ns
tHD:DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの"H"状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	$20+0.1C_b$	300	ns
tSU:DAT	データのセットアップ時間	250		100		ns
tSU:STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU:STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

注. $C_b=1$ つのバスラインキャパシタの合計

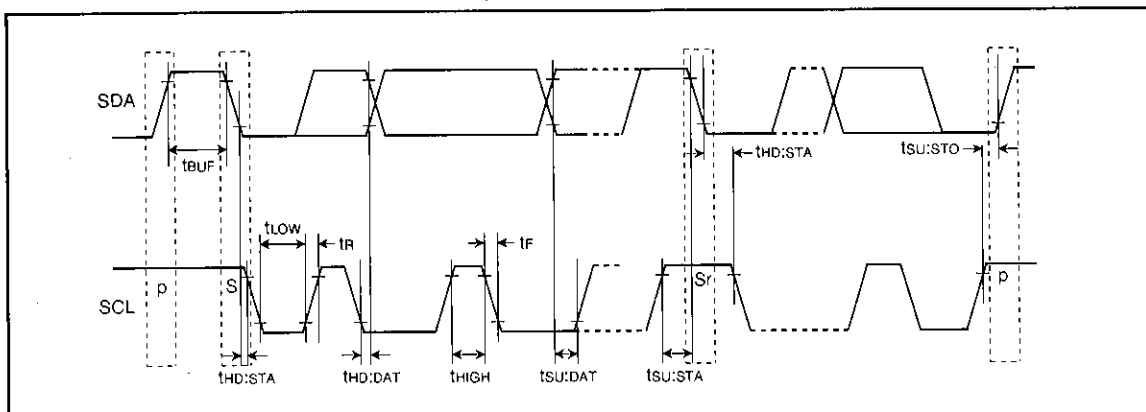


図98. マルチマスタ²C-BUSのタイミング定義図

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表その他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表その他全ての情報は本資料発行時点のものであり、三菱電機は特性改良などにより予告なしに変更することがあります。従って、三菱半導体製品のご購入に当たりましては事前に三菱電機または特約店へ最新の情報をご確認ください。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に記載の製品のうち、外国為替及び外国貿易管理法に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。