

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

# 三菱マイクロコンピュータ 4570グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

## 概要

4570グループはCMOSプロセスを用いて開発された三菱オリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、搬送波出力回路、8ビットタイマ(リロードレジスタ付き)1本、10ビットタイマ(リロードレジスタ付き)1本、8ビットタイマ(リロードレジスタ2本付き)1本を内蔵しています。

4570グループには、内蔵するメモリの容量が異なる複数の品種があります。また、ワンタイムPROM版もサポートしています。

詳細については下記の表を参照してください。

## 特長

### 最短命令実行時間

システムクロック=f(XIN)選択時 ..... 1.5  $\mu$ s  
(f(XIN)=2.0MHz, VDD=4.5 ~ 5.5V)  
システムクロック=f(XIN)/4選択時 ..... 2.86  $\mu$ s  
(f(XIN)=4.2MHz, VDD=2.0 ~ 5.5V)

### 電源電圧

..... 2.5 ~ 5.5V(ワンタイムPROM版)  
..... 2.0 ~ 5.5V(マスクROM版)

### システムクロック切換機能

..... f(XIN)の4分周、分周なし

## タイマ

タイマ1 ..... 10ビット  
(リロードレジスタ付き、搬送波出力自動制御機能)  
タイマ2 ..... 8ビット  
(リロードレジスタ付き)  
タイマ3 ..... 8ビット  
(リロードレジスタ2本付き、搬送波発生機能)  
割り込み機能 ..... 4要因  
パワーオンリセット回路  
ウオッチドッグタイマ ..... 16ビット  
キーオンウエイクアップ機能 ..... (ポートP0,P1,04)  
プルアップトランジスタ内蔵  
(ポートP0,P1,P4、ポートP4はON/OFF制御可能)  
電圧低下検出回路  
クロック発生回路(セラミック共振)

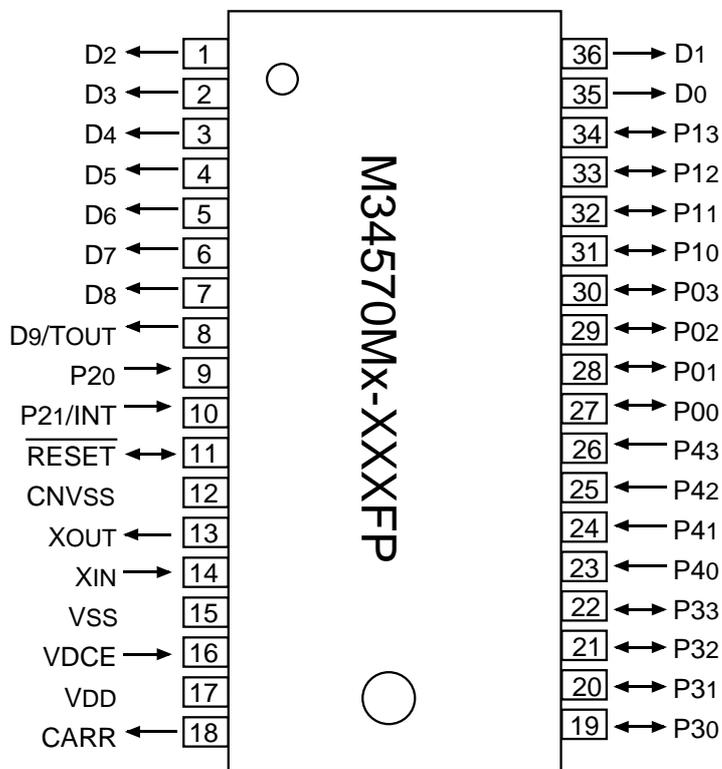
## 応用

リモートコントロール送信機

形名	ROM(PROM)容量 ( $\times 10$ ビット)	RAM容量 ( $\times 4$ ビット)	パッケージ	ROM種類
M34570M4-XXXFP	4096語	128語	36P2R-A	マスクROM
M34570M8-XXXFP	8192語	128語	36P2R-A	マスクROM
M34570MD-XXXFP	16384語	128語	36P2R-A	マスクROM
M34570E8FP	8192語	128語	36P2R-A	ワンタイムPROM
M34570EDFP *	16384語	128語	36P2R-A	ワンタイムPROM

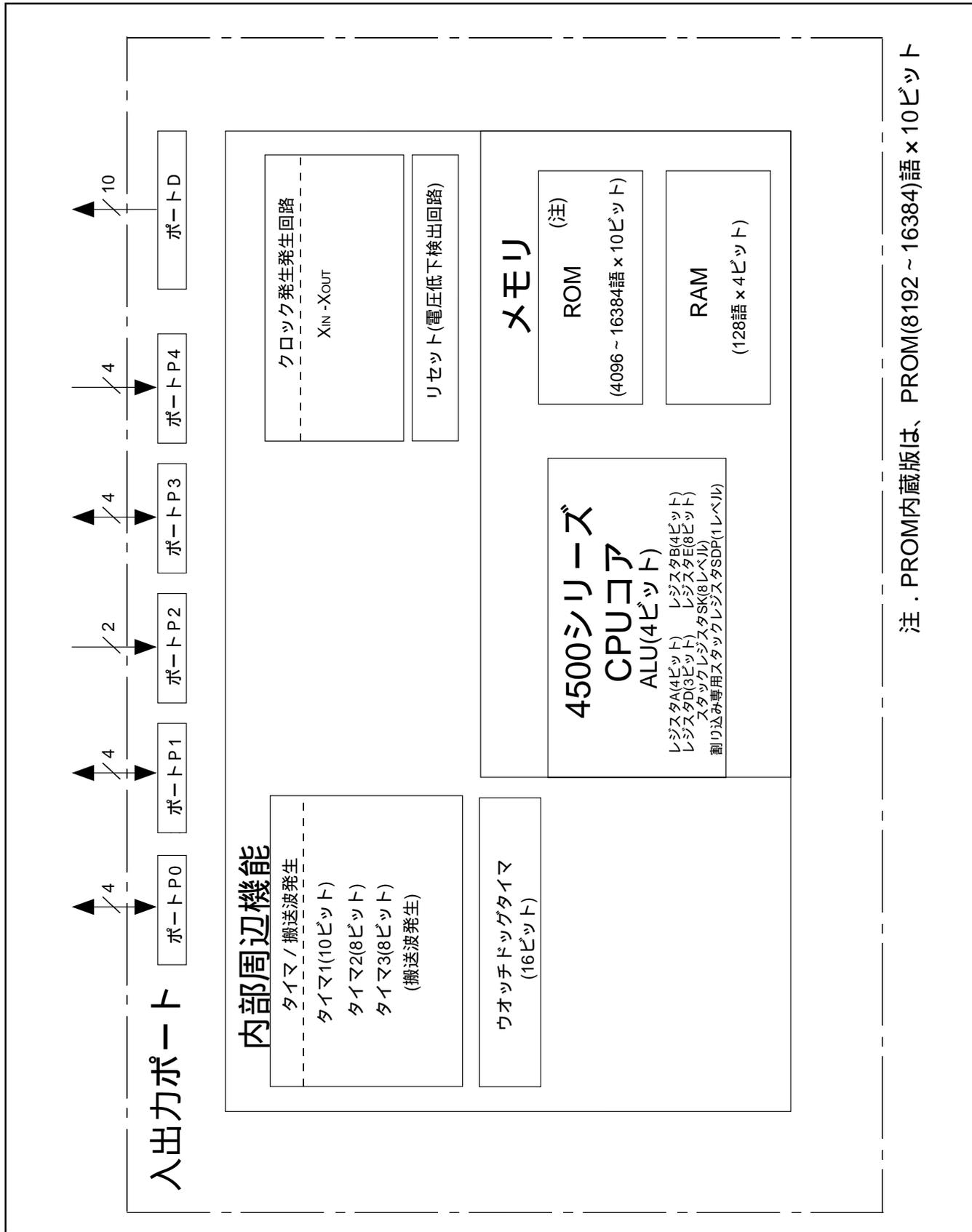
\*:開発中(1999年1月現在)

ピン接続図(上面図)



外形36P2R-A

M34570Mx-XXXXFP ピン接続図



機能ブロック図

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

### 性能概要

項 目		性 能	
基本命令数		99	
最短命令実行時間		1.5 $\mu$ s ( $f(XIN)=2.0MHz$ :システムクロック= $f(XIN)$ : $VDD=5.0V$ ) 2.86 $\mu$ s ( $f(XIN)=4.2MHz$ :システムクロック= $f(XIN)/4$ : $VDD=5.0V$ )	
メモリ容量	ROM	M34570M4	4096語 × 10ビット
		M34570M8	8192語 × 10ビット
		M34570MD	16384語 × 10ビット
		M34570E8	8192語 × 10ビット
		M34570ED	16384語 × 10ビット
	RAM	128語 × 4ビット	
入出力ポート	D0 ~ D9	出力	1ビット × 10 ポートD9はTOUT出力端子と兼用
	P00 ~ P03	入出力	4ビット × 1 キーオンウエイクアップ、プルアップ機能付き
	P10 ~ P13	入出力	4ビット × 1 キーオンウエイクアップ、プルアップ機能付き
	P20, P21	入力	2ビット × 1 ポートP21はINT入力端子と兼用
	P30 ~ P33	入出力	4ビット × 1
	P40 ~ P43	入力	4ビット × 1 キーオンウエイクアップ、プルアップ機能付き (共にソフトウェア切り替え可能)
	CARR	出力	1ビット × 1 (CMOS出力)
	TOUT	出力	1ビット × 1、ポートD9と兼用
	INT	入力	1ビット × 1、ポートP21と兼用 キーオンウエイクアップ機能付き
タイマ	タイマ1		10ビットタイマ、リロードレジスタ付き 搬送波出力自動制御機能
	タイマ2		8ビットタイマ、リロードレジスタ付き
	タイマ3		8ビットタイマ、リロードレジスタ × 2付き 搬送波発生機能
割り込み	要因		4要因 (外部 × 1、タイマ × 3)
	ネスティング		1レベル
サブルーチンネスティング			8レベル (ただし、割り込み使用時又は、TABPp命令実行時は7レベル)
素子構造			CMOSシリコンゲート
パッケージ			36ピンプラスチックモールドSSOP
動作周囲温度			-20 ~ 70
電源電圧			マスクROM版2.0 ~ 5.5V ワンタイムPROM版2.5 ~ 5.5V
消費電流 (標準値)	動作時		1.3mA ( $f(XIN)=4.2MHz$ :システムクロック= $f(XIN)/4$ 選択時: $VDD=5.0V$ )
			0.5mA ( $f(XIN)=1.0MHz$ :システムクロック= $f(XIN)$ 選択時: $VDD=3.0V$ )
	RAMバックアップ時		0.1 $\mu$ A (常温, $VDD=5V$ 時の標準値)

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

### 端子の機能説明

端子名	名称	入力 出力	機能
VDD	電源	—	正電源供給端子です。
VSS	接地	—	GND端子です。
RESET	リセット入力	入出力	リセットパルスの入出力端子です。プルアップトランジスタとコンデンサを内蔵しています。 ウオッチドッグタイマによるリセット発生時及び低電圧検出時に“L”レベルが出力されます。 出力形式はNチャンネルオープンドレインです。
XIN	クロック入力	入力	クロック発生回路の入出力端子です。
XOUT	クロック出力	出力	XIN端子とXOUT端子の間にセラミック共振子を接続して使用します。 XIN端子とXOUT端子の間には、帰還抵抗を内蔵しています。
D0 ~ D9	出力ポートD	出力	各端子ごとに1ビットの出力機能をもっています。 ポートD9はTOUT出力端子と兼用です。 出力形式はNチャンネルオープンドレインです。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能をもっています。 出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャンネルオープンドレインです。キーオンウエイクアップ機能及びプルアップ機能を内蔵しています。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能をもっています。 出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャンネルオープンドレインです。キーオンウエイクアップ機能及びプルアップ機能を内蔵しています。
P20, P21	入力ポートP2	入力	ポートとして2ビットの入力機能をもっています。 ポートP21は、INT入力端子と兼用です。
P30 ~ P33	入出力ポートP3	入出力	ポートとして4ビットの入出力機能をもっています。 出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャンネルオープンドレインです。
P40 ~ P43	入力ポートP4	入力	ポートとして4ビットの入力機能をもっています。ソフトウェアで切り替え可能です。 共にキーオンウエイクアップ機能及びプルアップ機能を内蔵しています。
CARR	搬送波出力	出力	リモコン送信用搬送波出力端子です。 出力形式は、CMOSです。
INT	割り込み入力	入力	外部からの割り込みを受け付ける機能と、キーオンウエイクアップ機能をもっています。 ポートP21と兼用です。
TOUT	タイマ出力	出力	タイマ2のアンダフロー信号を2分周した信号を出力します。 ポートD9と兼用です。
VDCE	電圧低下 検出回路 イネーブル	入力	電圧低下検出回路の動作・停止を制御します。 “H”レベルを入力すると動作状態、“L”レベルを入力すると停止状態になります。
CNVSS	CNVSS	-	VSS端子に接続し、必ず“L”(0V)を印加してください。

### マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション
D9	TOUT	TOUT	D9
P21	INT	INT	P21

- 注1．上記以外の端子は単一機能です。  
 2．ポートD9は出力ポート、ポートP21は入力ポートです。

### クロック及びサイクルの定義

#### システムクロック

4570グループを制御する基本クロックです。  
 システムクロックはクロック制御レジスタMRのビット3の設定により、表UA-1のように選択できます。

表 UA-1．システムクロックの選択

MR3	システムクロック
0	f(XIN)
1	f(XIN)/4

注．リセット解除直後はf(XIN)/4が選択されます。

### インストラクションクロック

CPUを制御する基本クロックです。

インストラクションクロックはシステムクロックを3分周した信号で、1周期で1マシンサイクルの期間を生成します。

### マシンサイクル

命令の実行に要する基準周期です。

### ポート機能一覧

ポート名	端子名	入力/出力	出力形式	制御単位	制御命令	制御レジスタ	特記事項
ポートD	D0～D8 D9/TOUT	出力 (10本)	Nチャンネル オープン ドレイン	1ビット	SD RD CLD	W22	W22は、D9/TOUTを切り替え
ポートP0	P00～P03	入出力 (4本)	Nチャンネル オープン ドレイン	4ビット	0P0A IAP0		ブルアップ機能及び キーオンウエイクアップ機能付き
ポートP1	P10～P13	入出力 (4本)	Nチャンネル オープン ドレイン	4ビット	0P1A IAP1		ブルアップ機能及び キーオンウエイクアップ機能付き
ポートP2	P20	入力 (2本)		2ビット	IAP2 SNZ10 (注)		キーオンウエイクアップ機能付き
	P21/INT						
ポートP3	P30～P33	入出力 (4本)	Nチャンネル オープン ドレイン	4ビット	0P3A IAP3		
ポートP4	P40～P43	入力 (4本)		4ビット	IAP4	PU0 K0	ブルアップ機能及び キーオンウエイクアップ機能付き (共にソフトウェアで切り替え可能)

注．SNZ10命令によりP21/INT端子レベルを認識できます。

使用しない端子の処理

端子名	処理方法
D0 ~ D8, D9/TOUT	Vss端子に接続 又は出力ラッチを“0”に設定し開放
P00 ~ P03 P10 ~ P13	出力ラッチを“1”に設定し開放
P30 ~ P33	Vss端子に接続 又は出力ラッチを“0”に設定し開放
CARR	開放
P20, P21/INT	Vss端子に接続 (注1)
P40 ~ P43	Vss端子に接続 (注2) 又は開放 (注3)

注1. P21/INT端子をVss端子に接続する場合は、ソフトウェアで復帰レベルを“H”レベルに設定してください(割り込み制御レジスタ I12=“1”).

復帰レベルを“L”レベルに設定してP21/INT端子をVss端子に接続すると、RAMバックアップ状態に入った直後に復帰します。

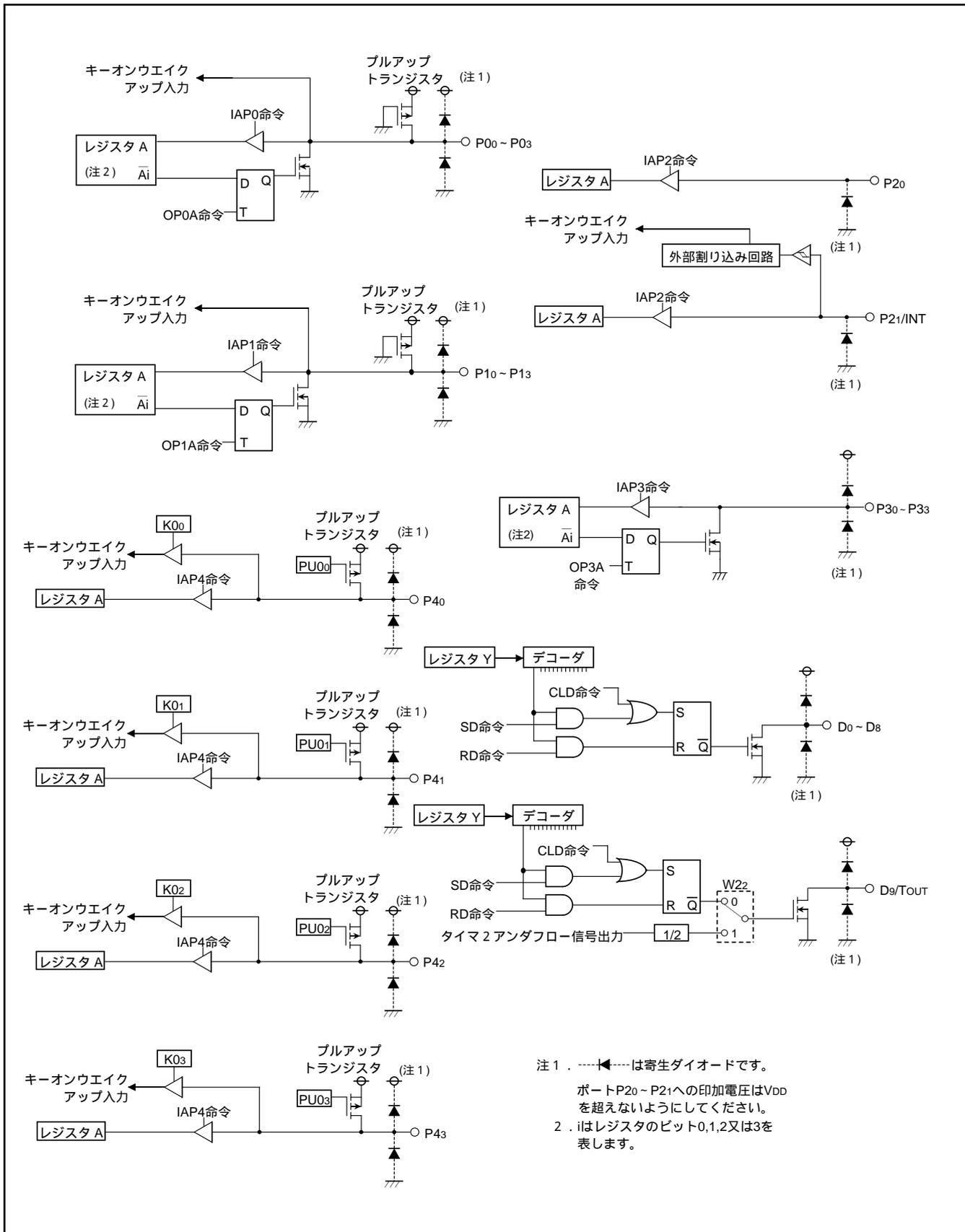
2. ポートP40 ~ P43をVss端子に接続する場合はソフトウェアでプルアップトランジスタをOFFし(プルアップ制御レジスタ PU0i=“0”), かつキーオンウエイクアップ機能を無効にしてください(キーオンウエイクアップ制御レジスタ KOi=“0”). キーオンウエイクアップ機能を無効にせず、Vss端子に接続すると、RAMバックアップ状態からの復帰ができません。また、ポートP40 ~ P43を開放する場合はソフトウェアでプルアップトランジスタをON(レジスタ PU0i=“1”)にしてください。(i=0,1,2,3) キーオンウエイクアップ機能及びプルアップ機能は1ポート単位で選択できます。
3. ポートP40 ~ P43を開放する場合はソフトウェアでプルアップトランジスタをON(プルアップ制御レジスタ PU0i=“1”)にしてください。(i=0,1,2,3)

(出力ラッチを“0”又は“1”に設定し、端子を開放する場合の注意事項)

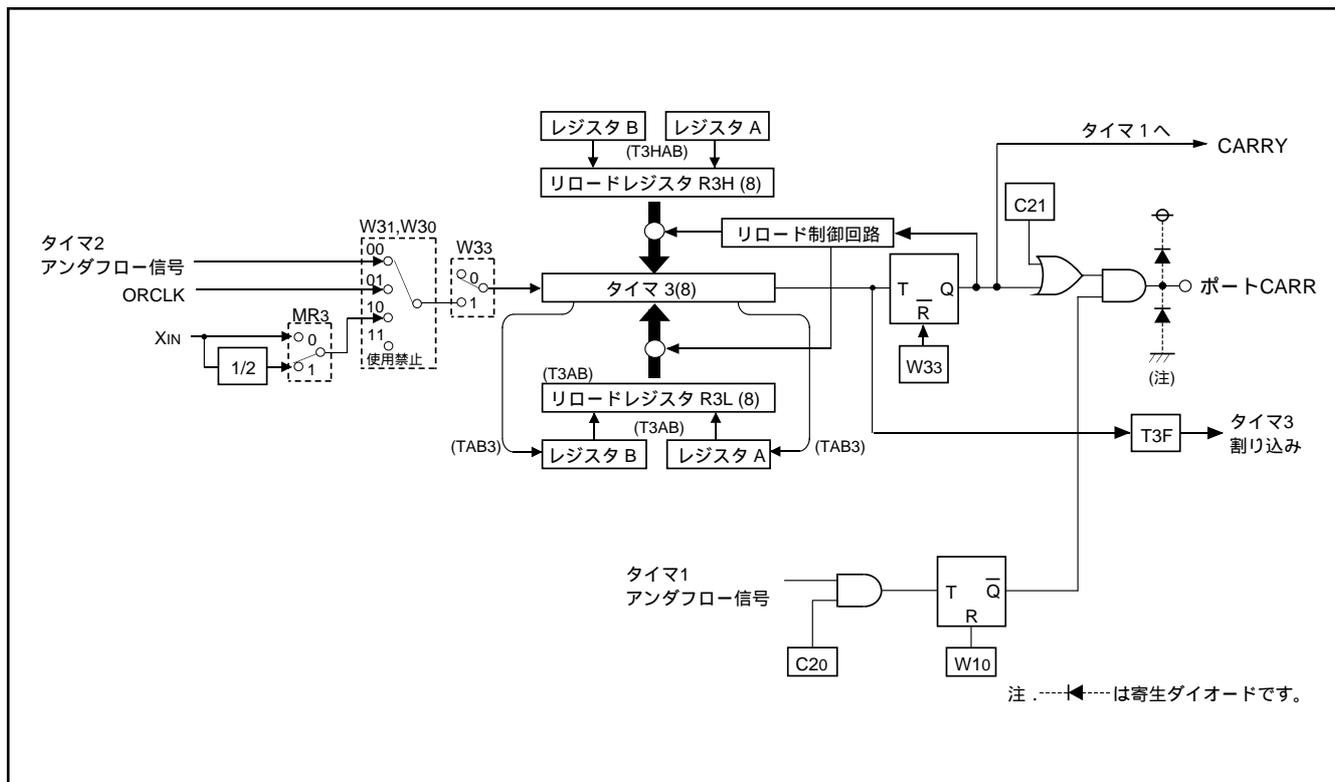
- ・リセットからソフトウェアによりポートの出力ラッチを“0”に設定するまでの間は、ポートはハイインピーダンス状態になっています。そのため端子の電圧レベルは不定となり、電源電流が増加する場合があります。
- ・ノイズやノイズによって引き起こされる暴走などによって出力ラッチの値が変化する場合があります。ソフトウェアの信頼性を高めるため、出力ラッチを定期的に設定されることをおすすめします。

(Vss端子に接続する場合の注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。



図UA-1. ポートブロック図(1)



図UA-2. ポートブロック図(2)

機能ブロック動作説明

CPU

(1) 4ビット論理演算ユニット (ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

(2) レジスタA及びキャリーフラグ (CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると「1」にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で「1」にセットされ、RC命令で「0」にクリアされます。

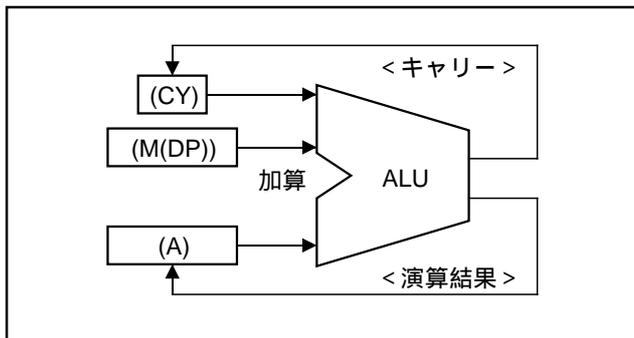
(3) レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

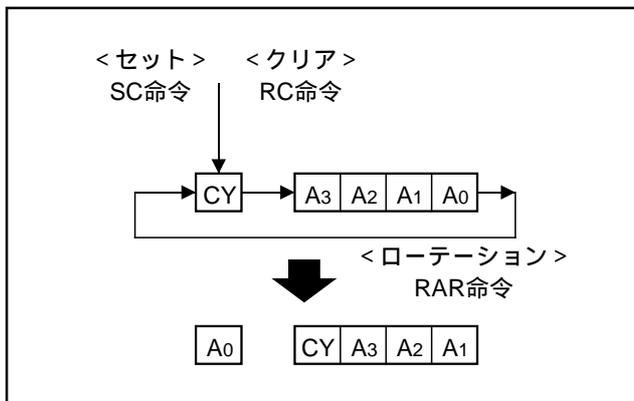
レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

(4) レジスタD

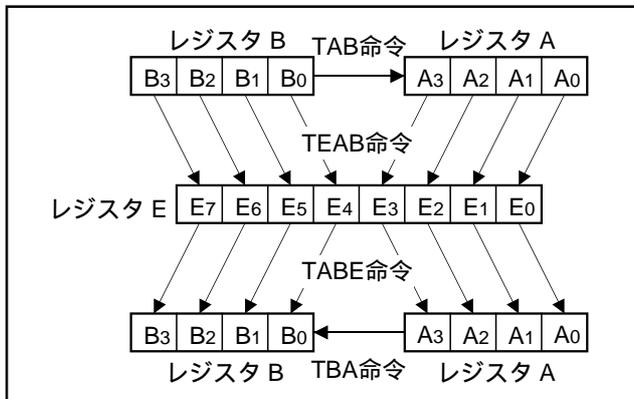
レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します(図BA-4)。



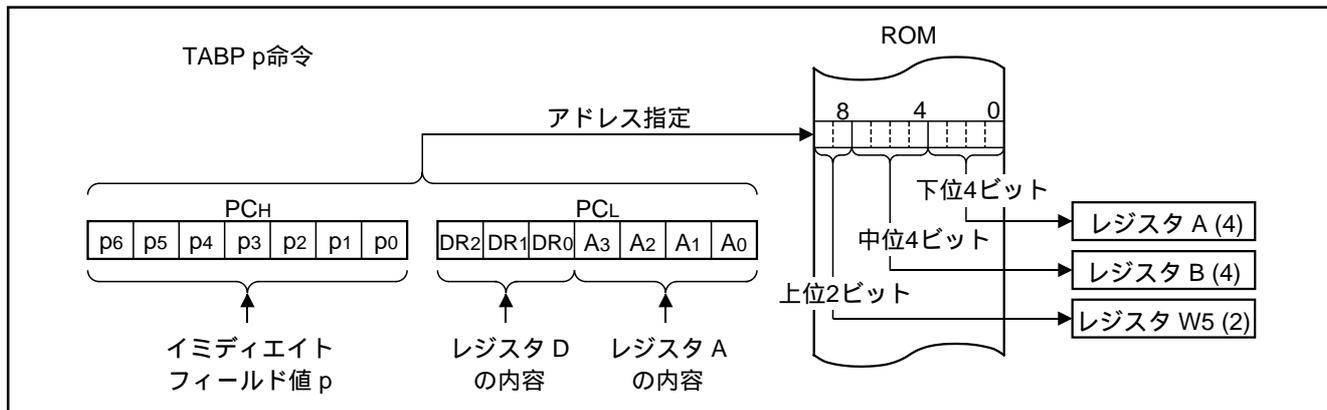
図BA-1 . AMC命令実行例



図BA-2 . RAR命令実行例



図BA-3 . レジスタA, BとレジスタE



図BA-4 . TABP p命令実行例

### (5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

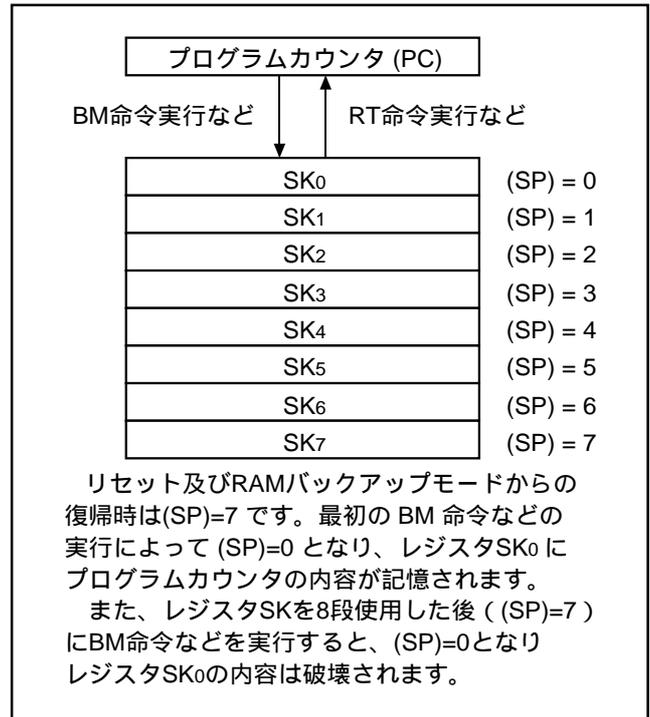
### (6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリーフラグ(CY)、スキップフラグ、レジスタA,Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

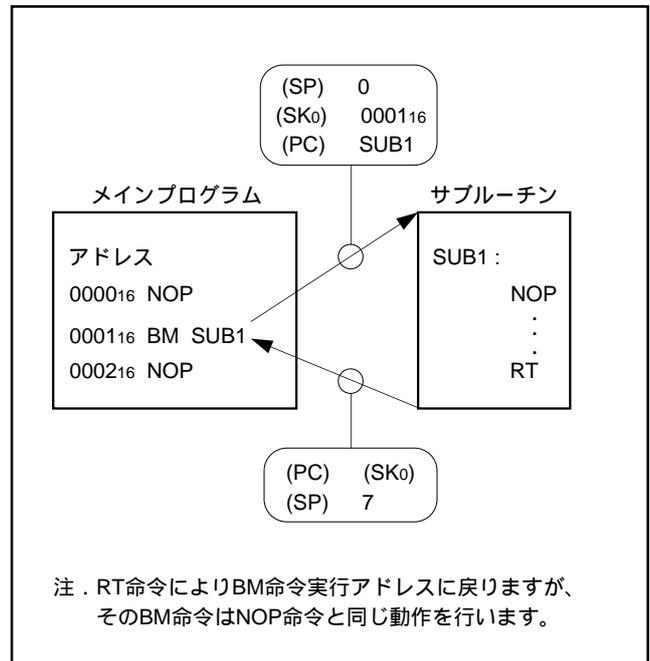
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

### (7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5. スタックレジスタSKの構成



図BA-6. サブルーチン呼び出し時の動作例



### プログラムメモリ(ROM)

プログラムメモリは、1語が10ビットで構成されており、128語(0~127番地)ごとにページという単位で分けられています。

1ページ(0080<sub>16</sub>~00FF<sub>16</sub>)の先頭には割り込み番地が割り付けられています(図BC-2)。

割り込みが発生すると各割り込みに対応した番地(割り込み番地)がプログラムカウンタ(PC)に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

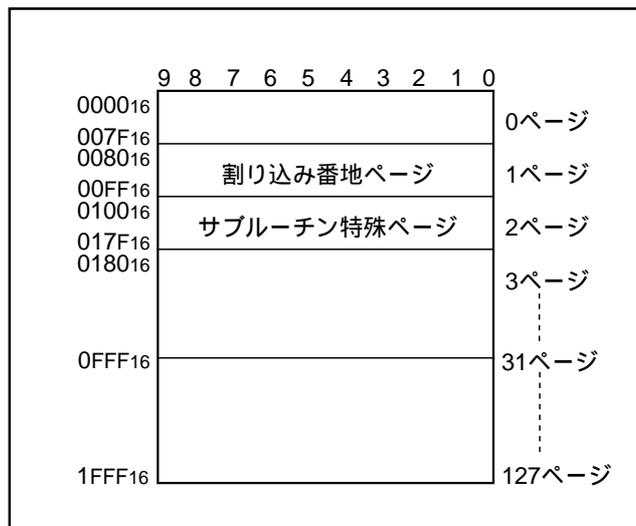
2ページ(0100<sub>16</sub>~017F<sub>16</sub>)はサブルーチン呼び出しのための特殊なページです(図BC-1)。このページに書き込まれたサブルーチンは、一語命令(BM命令)で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン(ビット9~0)をTABP p命令によりデータ領域として使用できます。

表BC-1 . ROM容量とページ数

形名	ROM容量 (×10ビット)	ページ数
M34570M4	4096語	32(0~31)
M34570M8	8192語	64(0~63)
M34570E8	8192語	64(0~63)
M34570MD	16384語	128(0~127)
M34570ED	16384語	128(0~127)

注 . SBK命令実行後のTABP命令で64~127ページのデータ参照が可能になります。RBK命令実行後のTABP命令で0~63ページのデータ参照が可能になります。



図BC-1 . M34570MxのROMマップ



図BC-2 . 割り込み番地ページ(0080<sub>16</sub>~00FF<sub>16</sub>)の構成



### 割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス(割り込み番地)に分岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

割り込み許可フラグが許可状態( INTE = " 1 ")

割り込み可能ビットが可能状態( " 1 ")

割り込み起動条件が成立( 要求フラグ = " 1 ")

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

#### (1) 割り込み許可フラグ( INTE )

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは" 1 "にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは" 0 "にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に" 0 "にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

#### (2) 割り込み可能ビット( V10 ~ V13, V20 ~ V23 )

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

#### (3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは" 1 "にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが" 0 "にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1. 割り込み要因, 割り込み番地, 及び優先順位

優先順位	割り込み要因		割り込み番地
	割り込み名	起動条件	
1	外部0 割り込み	INT端子の レベル変化	1ページ 0番地
2	タイマ1 割り込み	タイマ1の アンドフロー	1ページ 4番地
3	タイマ2 割り込み	タイマ2の アンドフロー	1ページ 6番地
4	タイマ3 割り込み	タイマ3の アンドフロー	1ページ 8番地

表DD-2. 割り込み要求フラグ, スキップ命令, 及び割り込み可能ビット

割り込み要因	要求フラグ	スキップ命令	可能ビット
外部0割り込み	EXF0	SNZ0	V10
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
タイマ3割り込み	T3F	SNZT3	V20

表DD-3. 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可能	無効
0	禁止	有効

### (4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

割り込み許可フラグ(INTE)

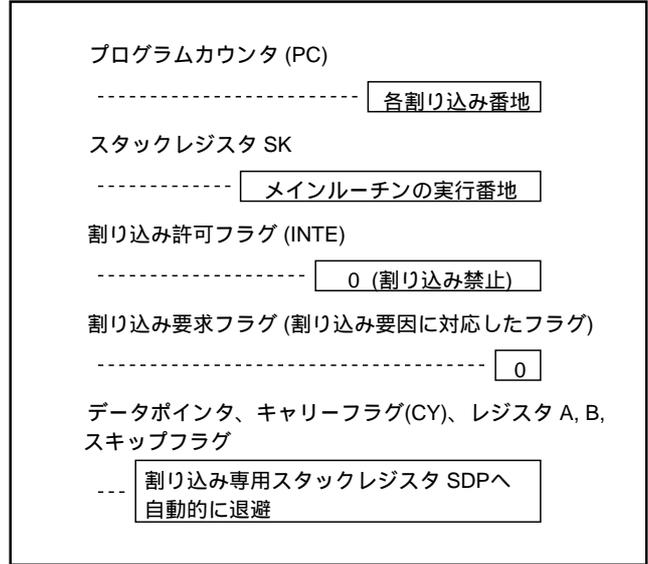
フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

割り込み要求フラグ

割り込み要因に対応する要求フラグだけが、“0”にクリアされます。

データポインタ、キャリーフラグ(CY)、レジスタA,B、スキップフラグ、レジスタA,B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPIに退避されます。

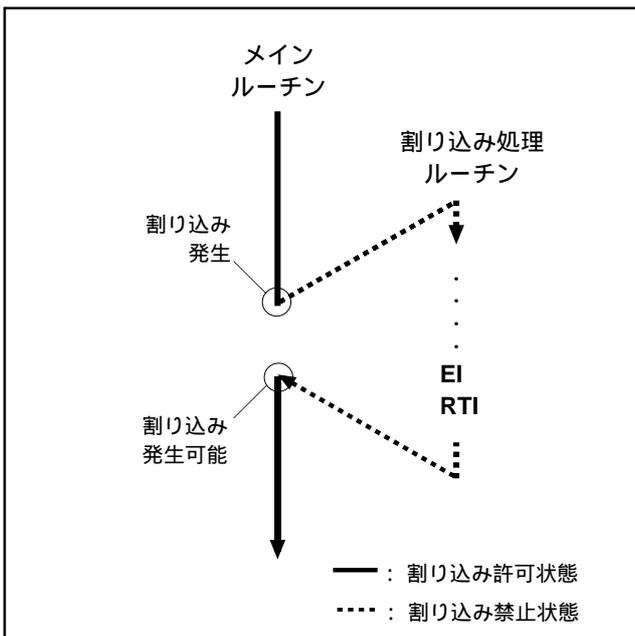


図DD-2 . 割り込み発生時の内部状態

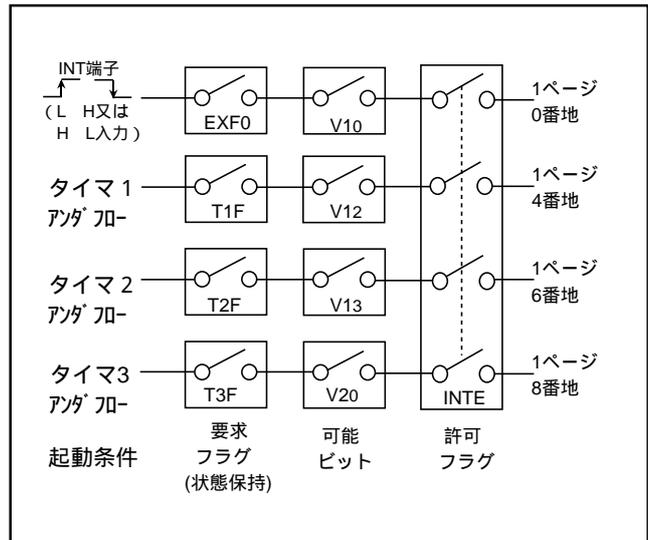
### (5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1 . 割り込み処理プログラム例



図DD-3 . 割り込み系統図

(6) 割り込み制御レジスタ

割り込み制御レジスタV1

レジスタV1には、外部0、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

割り込み制御レジスタV2

レジスタV2には、タイマ3割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表DD-4 . 割り込み制御レジスタ

割り込み制御レジスタV1		リセット時：0000 <sub>2</sub>	RAMバックアップ時：0000 <sub>2</sub>	R / W
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2命令有効)	
		1	発生可能 (SNZT2命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1命令有効)	
		1	発生可能 (SNZT1命令無効)	
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0命令有効)	
		1	発生可能 (SNZ0命令無効)	

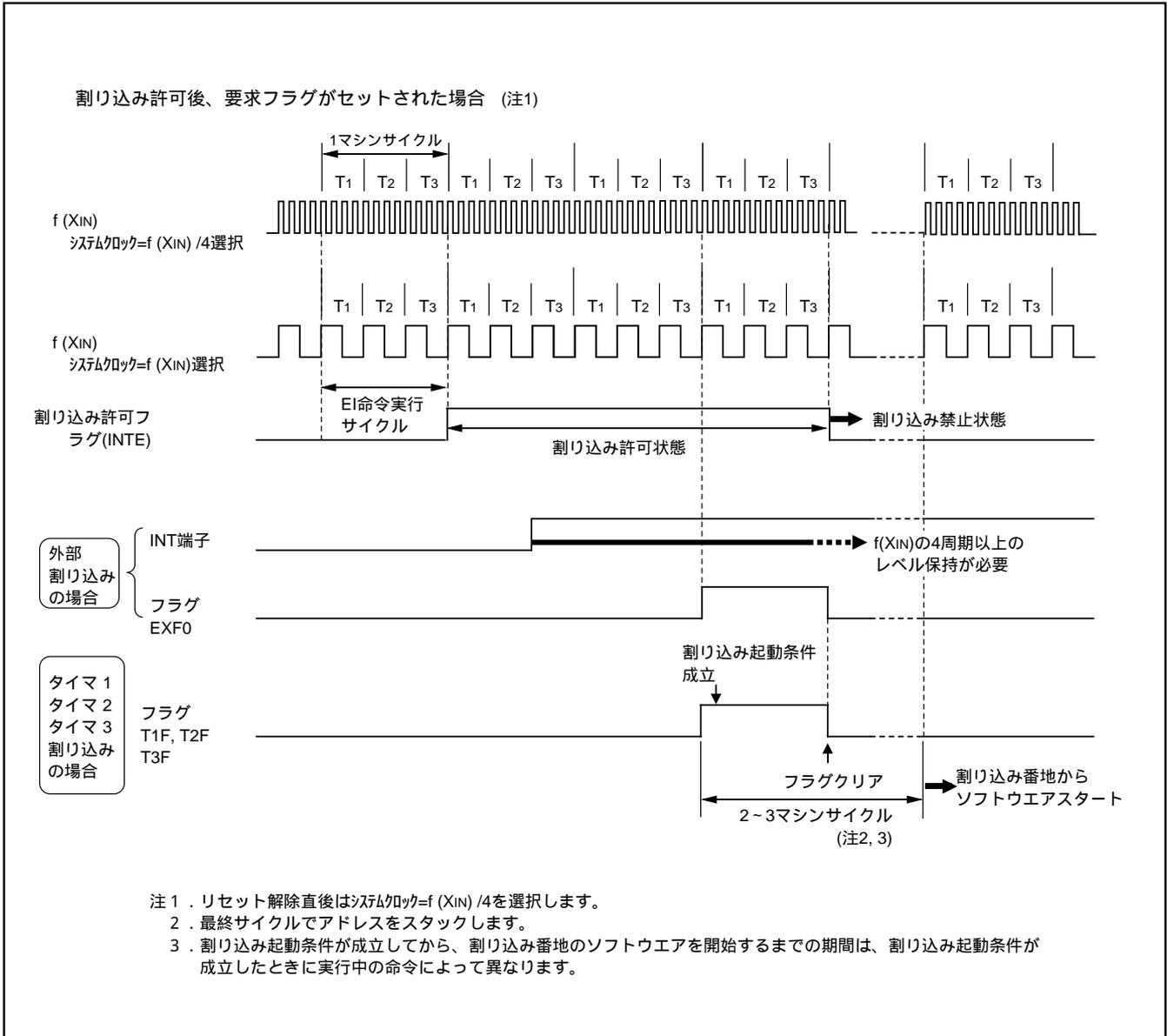
割り込み制御レジスタV2		リセット時：0000 <sub>2</sub>	RAMバックアップ時：0000 <sub>2</sub>	R / W
V23	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
V22	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
V21	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3命令有効)	
		1	発生可能 (SNZT3命令無効)	

注：“R”は読み出し可，“W”は書き込み可を表します。

(7) 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット(V10~V13, V20~V23)、割り込み要求フラグ(EXF0, T1F, T2F, T3F)が“1”になったときに起動します。割り込み発生タイミングは、上記3条件のすべてが成立したサイクルを起点として2~3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです(図DD-4. 参照)。



図DD-4. 割り込みシーケンス

外部割り込み

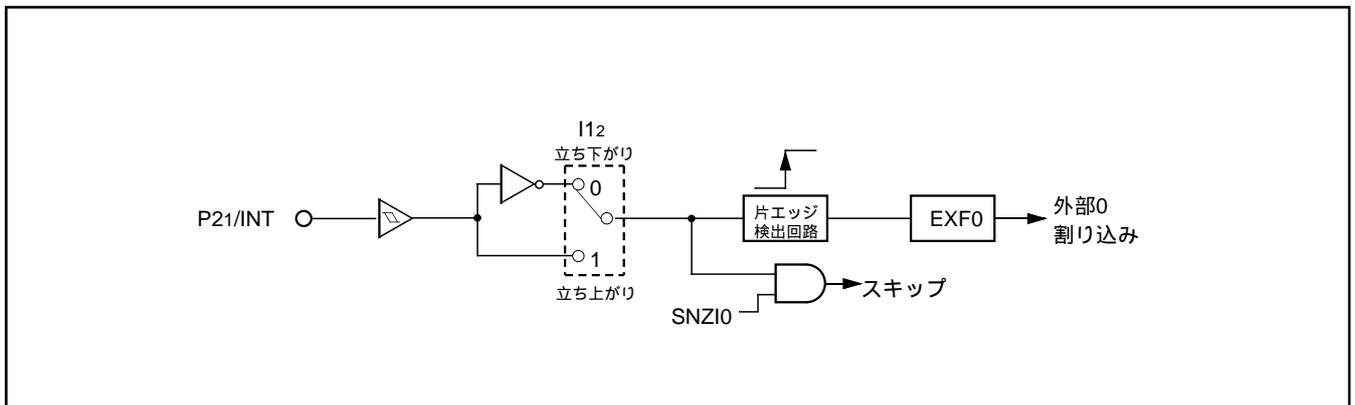
外部割り込みは、割り込み入力端子に有効波形(外部0割り込み起動条件となる波形)が入力されると割り込み要求を発生します(エッジ検出)。

4570グループは、外部割り込み機能(外部0)をもっています。

外部0割り込みは割り込み制御レジスタI1で制御できます。

表DD-5. 割り込み起動条件

割り込み名	入力端子	有効波形	有効波形 選択ビット(I12)
外部0割り込み	P21/INT	・ 立ち下がり波形(“H” “L”) ・ 立ち上がり波形(“L” “H”)	0 1



図DD-5. 外部割り込み回路の構成

### (1) 外部0割り込み要求フラグ( EXF0 )

フラグEXF0はP21/INT端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります( 図DD-4参照 )。

フラグEXF0の状態は、スキップ命令の実行( SNZ0命令 )により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

P21/INT端子は、入力ポートP21としての機能と外部割り込み入力端子INTとしての機能を選択する必要がありません。ただし、入力ポートP21として使用している場合でも、有効波形( 外部0割り込みの起動条件となる有効波形 )が入力されると、フラグEXF0は“1”にセットされます。

#### 外部0割り込み起動条件

外部0割り込みの起動条件は、P21/INT端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形の2種から選択できます。以下に外部0割り込みの使用法の一例を示します。

割り込み制御レジスタI1のビット2で有効波形を選択  
SNZ0命令を使用して、フラグEXF0を“0”にクリア

SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部0割り込み可能ビット( V10 )及び割り込み許可フラグ( INTE )を共に“1”に設定

以上の操作により外部0割り込み発生許可状態になります。この状態でP21/INT端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

### (2) 外部割り込み制御レジスタ

#### 割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形とRAMバックアップからの復帰レベル( ウェイクアップ信号の有効レベル )P21/INT端子の機能を制御します。

このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表DD-6 . 外部割り込み制御レジスタ

割り込み制御レジスタI1		リセット時：0000 <sub>2</sub>	RAMバックアップ時：状態保持	R / W
I13	使用しません	0	このビットに機能はありませんがR / Wは可能です	
		1		
I12	INT端子 割り込み有効 波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形(SNZIO命令はINT端子の“L”レベル認識) / “L”レベル	
		1	立ち上がり波形(SNZIO命令はINT端子の“H”レベル認識) / “H”レベル	
I11	使用しません	0	このビットに機能はありませんがR / Wは可能です	
		1		
I10	使用しません	0	このビットに機能はありませんがR / Wは可能です	
		1		

注1.“R”は読み出し可，“W”は書き込み可を表します。

2. P21/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。レジスタI1のビット2に値を設定した後は、一命令以上においてSNZ0を実行し、フラグEXF0を“0”にクリアしてください。

タイマ

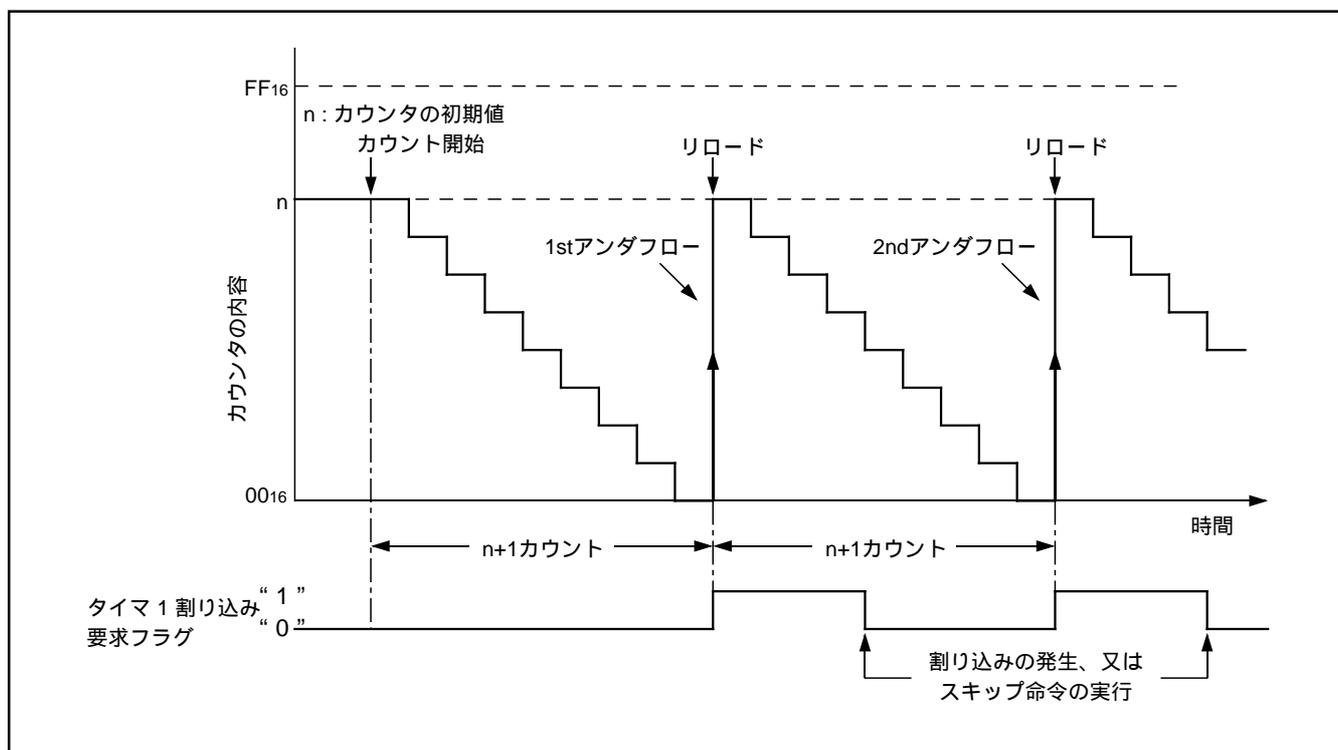
4570グループが内蔵するタイマには、以下の種類があります。

プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 $n$ からダウンカウントを開始し、アンダフローする( $n+1$ カウントする)と割り込み要求フラグを“1”にセットし、また新たにリロードレジスタからデータがリロードされカウントを続行します(オートリロード機能)。

固定分周タイマ

固定分周タイマは、分周比( $n$ )が固定されているタイマで、カウントパルスを $n$ 回カウントするごとに割り込み要求フラグを“1”にセットします。



図FB-1. オートリロード機能

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

4570グループのタイマは以下の回路で構成されています。

プリスケアラ：分周器

タイマ1：10ビットプログラマブルタイマ

（割り込み機能、搬送波出力自動制御機能付き）

タイマ2：8ビットプログラマブルタイマ

（割り込み機能付き）

タイマ3：8ビットプログラマブルタイマ

（割り込み機能、搬送波発生機能付き）

16ビットタイマ

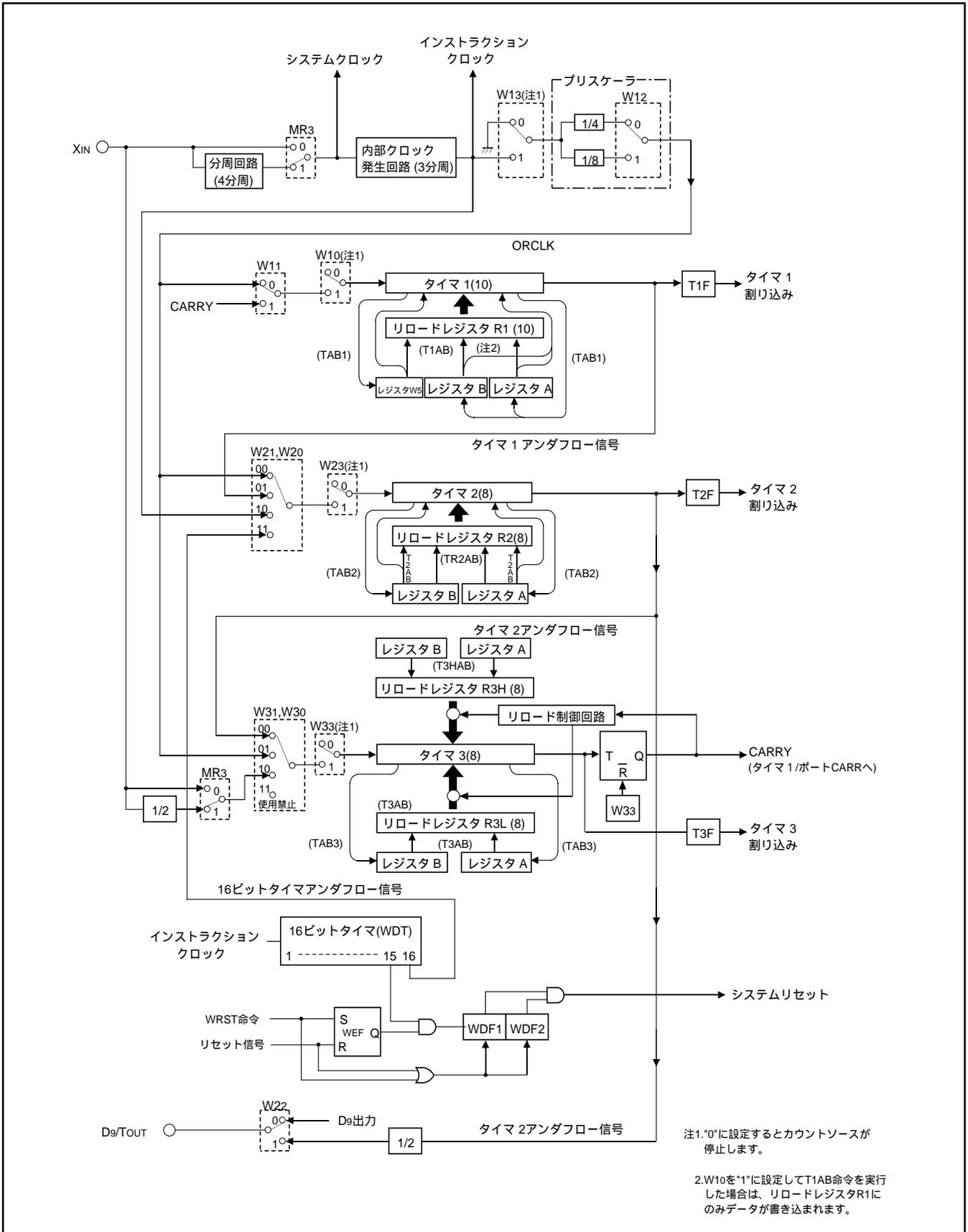
プリスケアラ、タイマ1、タイマ2、タイマ3は、タイマ制御レジスタW1,W2,W3で制御できます。

16ビットタイマは、制御レジスタをもたないフリーランカウンタです。

以下、各機能について説明します。

表FB-1．タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御
プリスケアラ	分周器	・インストラクションクロック	4,8	・タイマ1,2,3カウントソース	W1
タイマ1	10ビットプログラマブル バイナリダウンカウンタ	・プリスケアラ出力(ORCLK) ・搬送波発生回路出力(CARRY)	1～1024	・タイマ1割り込み ・搬送波出力自動制御 ・タイマ2カウントソース	W1 (W5)
タイマ2	8ビットプログラマブル バイナリダウンカウンタ	・プリスケアラ出力(ORCLK) ・タイマ1アンダフロー ・インストラクションクロック ・16ビットタイマアンダフロー	1～256	・タイマ2割り込み ・タイマ3カウントソース ・Tout出力	W2
タイマ3	8ビットプログラマブル バイナリダウンカウンタ	・プリスケアラ出力(ORCLK) ・タイマ2アンダフロー ・f(XIN)もしくはf(XIN)/2	1～256	・タイマ3割り込み ・タイマ1カウントソース ・搬送波	W3
16ビットタイマ	16ビット固定分周	・インストラクションクロック	65536	・ウオッチドッグタイマ (15ビット目出力を2回カウント) ・タイマ2カウントソース (16ビットタイマアンダフロー)	



図FB-2. タイマの構成

表FB-2. タイマ関連のレジスタ

タイマ制御レジスタW1		リセット時：0000 <sub>2</sub>		RAMバックアップ時：0000 <sub>2</sub>	R/W
W13	プリスケアラ 制御ビット	0	停止(プリスケアラ初期状態)		
		1	動作		
W12	プリスケアラ 分周比選択ビット	0	インストラクションクロックを4分周		
		1	インストラクションクロックを8分周		
W11	タイマ1 カウントソース選択ビット	0	プリスケアラ出力(ORCLK)		
		1	搬送波出力(CARRY)		
W10	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		

タイマ制御レジスタW2		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
W23	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W22	ポートD <sub>9</sub> /TOUT端子 機能選択ビット	0	ポートD <sub>9</sub>		
		1	TOUT端子		
W21	タイマ2 カウントソース選択ビット	W2 <sub>1</sub> W2 <sub>0</sub>	カウントソース		
		00	プリスケアラ出力(ORCLK)		
W20	タイマ2 カウントソース選択ビット	01	タイマ1アンダフロー信号		
		10	インストラクションクロック		
		11	16ビットタイマアンダフロー信号		

タイマ制御レジスタW3		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
W33	タイマ3制御ビット	0	停止(状態保持)		
		1	動作		
W32	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W31	タイマ3 カウントソース選択ビット	W3 <sub>1</sub> W3 <sub>0</sub>	カウントソース		
		00	タイマ2アンダフロー信号		
W30	タイマ3 カウントソース選択ビット	01	プリスケアラ出力(ORCLK)		
		10	f(XIN)またはf(XIN)の2分周		
		11	使用禁止		

タイマカウント値格納レジスタW5		リセット時：00 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
2ビットのレジスタです。TABPp命令によりpページのレジスタDとレジスタAで指定された(D <sub>2</sub> D <sub>1</sub> D <sub>0</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub> )番地のROMパターン10ビットのうち、上位2ビット(ビット9,8)が格納されます。また、TW5A, TAW5命令によりレジスタAの下位2ビットとデータ転送ができます。T1AB, TAB1命令によりタイマ1の上位2ビットへのデータ書き込み, 読み出しができます。					

注.“ R ”は読み出し可, “ W ”は書き込み可を表します。

### (1) タイマ関連の制御レジスタ

#### タイマ制御レジスタ W1

レジスタW1は、タイマ1のカウントソース及びカウント動作、プリスケアラの分周比及びカウント動作を制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

#### タイマ制御レジスタ W2

レジスタW2は、タイマ2のカウントソース、カウント動作及びD<sub>9</sub>/TOUT端子の機能を制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

#### タイマ制御レジスタ W3

レジスタW3は、タイマ3のカウントソース及びカウント動作を制御します。このレジスタの内容は、TW3A命令でレジスタAを介して設定してください。また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

#### タイマカウント値格納レジスタ W5

レジスタW5は、TABPp命令によりpページのレジスタDとレジスタAで指定された番地のROMパターン10ビットのうち、上位2ビット(ビット9,8)を格納します。

また、TW5A、TAW5命令によりレジスタAの下位2ビットとデータ転送ができます。

T1AB、TAB1命令によりタイマ1の上位2ビットとのデータ転送ができます。

### (2) 注意事項

タイマを使用する際は、以下の点に注意してください。

#### プリスケアラに関する注意

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後分周比を切り替えてください。

#### カウントソースに関する注意

タイマ1,2,3のカウントソースを切り替える場合は、必ず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

#### カウント値の読み出しに関する注意

タイマ1,2,3からデータを読み出す場合は、まず各タイマの動作を停止させた後、データ読み出し命令(TAB1、TAB2、TAB3)を実行してください。

#### タイマ1リロードレジスタR1への書き込みに関する注意

タイマ1動作中にタイマ1リロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。

タイマ3リロードレジスタR3Hへの書き込みに関する注意

タイマ3動作中にタイマ3リロードレジスタR3Hにデータを書き込む場合は、必ずタイマ3アンダフローと重ならないタイミングでデータを書き込んでください。

### (3) プリスケアラ

プリスケアラは分周比が選択できる分周器です。プリスケアラのカウントソースはインストラクションクロックです。

プリスケアラの分周比はタイマ制御レジスタW1のビット2で、動作の開始、停止はビット3で制御してください。レジスタW1のビット3を“0”に設定するとプリスケアラは初期化され、出力信号(ORCLK)は停止します。

### (4) タイマ1(割り込み機能付き)

タイマ1は10ビットのバイナリダウンカウンタで、タイマ1リロードレジスタR1をもっています。

タイマ1にはレジスタA,B,W5を介して10ビットのデータを設定できます。データを設定する場合は、レジスタAにビット0~3、レジスタBにビット4~7、レジスタW5にビット8,9を設定してください。また、レジスタA,B,W5には、TABPp命令により、ROMパターン(ビット0~9)を設定できます。タイマ1にはT1AB命令でデータを設定してください。タイマ1停止時はT1AB命令実行により、タイマ1とリロードレジスタR1に10ビットのデータを同時に設定できます。タイマ1動作時には、T1AB命令で、リロードレジスタR1だけにデータが設定されます。

動作時にリロードレジスタR1に次のカウントデータを設定する場合は、必ずタイマ1がアンダフローする前にデータを設定してください。

タイマ1にデータを設定した後、レジスタW1のビット1でカウントソースを選択し、レジスタW1のビット0を“1”に設定すると、タイマ1はカウント動作を開始します。

カウント開始後、タイマ1はアンダフローする(タイマ1の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ1割り込み要求フラグ(T1F)を“1”にセットし、新たにリロードレジスタR1からデータをリロードしカウントを続行します(オートリロード機能)。

リロードレジスタR1の設定値をnとすると、タイマ1はカウントソースの信号をn+1分周します(n=0~1023)。

タイマ1からはレジスタA,B,W5にデータを読み出すことができます。データを読み出す場合は、カウントを停止させた後、TAB1命令を実行してください。

### (5) タイマ2 割り込み機能付き

タイマ2は8ビットのバイナリダウンカウンタで、タイマ2リロードレジスタR2をもっています。タイマ2とリロードレジスタR2には、TAB2命令で同時にデータを設定できます。また、TR2AB命令でリロードレジスタR2だけにデータを設定できます。

タイマ2にデータを設定した後、レジスタW2のビット0,1でカウントソースを選択し、レジスタW2のビット3を“1”に設定すると、タイマ2はカウント動作を開始します。

カウント開始後、タイマ2はアンダフローする(タイマ2の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ2割り込み要求フラグ(T2F)を“1”にセットし、また新たにリロードレジスタR2からデータがリロードされカウントを続行します(オートリロード機能)。

リロードレジスタR2の設定値をnとすると、タイマはカウントソースの信号をn+1分周します(n=0~255)。

タイマ2からはTAB2命令で、レジスタA,Bからデータを読み出すことができます。

データ読み出す場合は、カウントを停止させた後、TAB2命令を実行してください。

### (6) タイマ3

タイマ3は8ビットのバイナリダウンカウンタで、タイマ3リロードレジスタR3H,R3Lをもっています。

タイマ3とリロードレジスタR3Lには、T3AB命令で同時にデータを設定できます。

リロードレジスタR3HにはT3HAB命令でデータを設定してください。

タイマ3にデータを設定した後、レジスタW3のビット1,0でカウントソースを選択し、ビット3を“1”にするとタイマ3はカウントを開始します。

レジスタW3のビット1を“1”、ビット0を“0”に設定した場合、カウントソースとしてf(XIN)あるいはf(XIN)/2が選択されます。システムクロックとしてf(XIN)を選択している(クロック制御レジスタMRのビット3が“0”)場合はf(XIN)が選択されます。システムクロックとしてf(XIN)/4を選択している(クロック制御レジスタMRのビット3が“1”)場合はf(XIN)/2が選択されます。

カウント開始後、タイマ3はアンダフローする(タイマ3の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ3割り込み要求フラグ(T3F)をセットし、新たにリロードレジスタR3Hからデータがリロードしてカウントを続行します(オートリロード機能)。オートリロード後、カウントを続行して再びアンダフローすると、タイマ3割り込み要求フラグ(T3F)を“1”にセットし、新たにリロードレジスタR3Lからデータをリロードしてカウントを続行します。タイマ3は、アンダフローするごとにリロードレジスタR3H,R3L

から交互にデータをリロードします。タイマ3動作中にT3AB命令を実行すると、タイマ3とリロードレジスタR3Lには新たにデータが設定され、次のマシンサイクルから再びカウントを開始します。次にアンダフローすると、前回のアンダフロー時のオートリロードがリロードレジスタR3H,R3Lのどちらからであったかに関わらず、R3Hからデータをリロードし、カウントを続行します。

タイマ3からはレジスタA,Bを介してデータを読み出すことができます。データを読み出す場合は、カウントを停止させた後、TAB3命令を実行してください。タイマ3は搬送波発生回路として使用できます。

### (7) タイマ出力端子(D9/TOUT)

タイマ出力端子(D9/TOUT)はタイマ2アンダフロー信号の出力機能をもちます。

D9/TOUT端子の機能選択はレジスタW2のビット2で制御できます。

### (8) タイマ割り込み要求フラグ(T1F,T2F,T3F)

フラグT1F,T2F,T3Fは各タイマのアンダフロー時に“1”にセットされます。フラグT1F,T2F,T3Fの状態は、スキップ命令の実行(SNZT1,SNZT2,SNZT3命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは割り込み制御レジスタV1,V2で選択してください。フラグT1F,T2F,T3Fは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

### ウォッチドッグタイマ

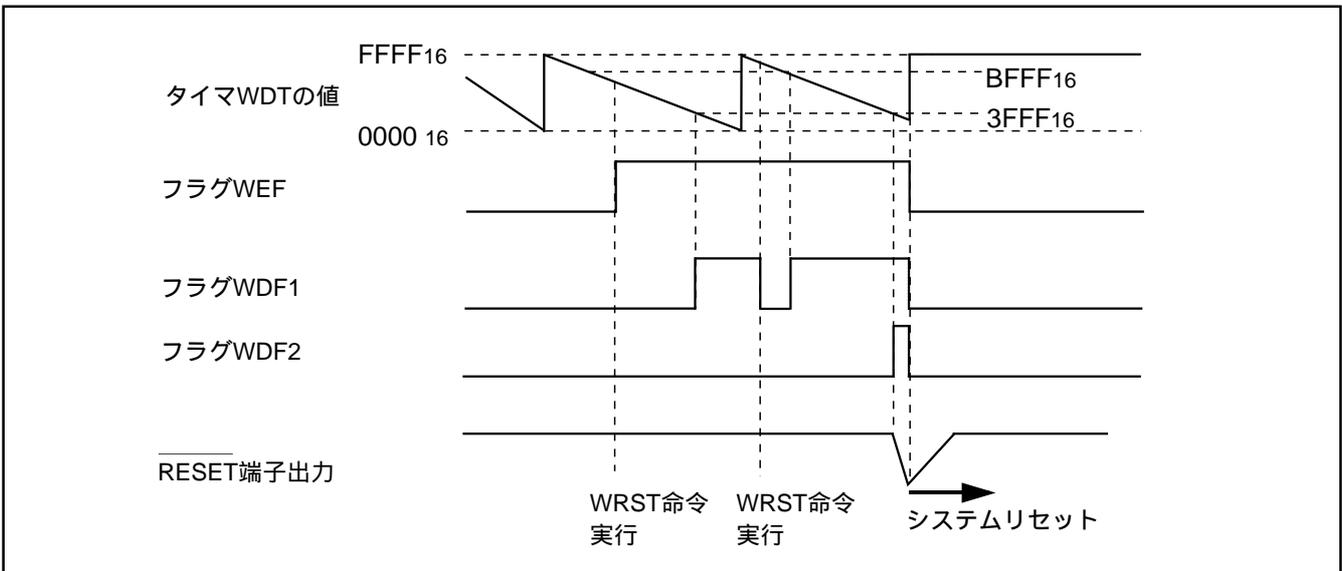
ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは16ビットタイマ(WDT)、ウォッチドッグタイマイネーブルフラグ(WEF)及びウォッチドッグタイマフラグ(WDF1,WDF2)により構成されています。

タイマWDTは、リセット解除直後からインストラクションクロックをカウントソースとしてダウンカウントを開始し、カウント値が0000<sub>16</sub>になるとアンダフロー信号を発生します。このアンダフロー信号は、タイマ2のカウントソースとして使用できます。

リセット解除後WRST命令を実行すると、フラグWEFが“1”にセットされます。この状態でウォッチドッグタイマが動作を開始します。

タイマWDTのカウント値がBFFF<sub>16</sub>又は3FFF<sub>16</sub>となったとき、まず、フラグWDF1が“1”にセットされます。その後、タイマWDTが32767カウントする間にWRST命令が実行されなければ、フラグWDF2に“1”がセットされ、RESET端子から“L”レベルを出力し、マイクロコンピュータをリセット状態にします。ウォッチドッグタイマを使用する場合のソフトウェアでは、マイクロコンピュータの正常動作を保持するため、32766マシンサイクル以下の周期でWRST命令を実行するように処理してください。

なお、フラグWEFは誤動作時にウォッチドッグタイマが停止することのないように、WRST命令を実行した後は任意に初期化できないようになっています。また、WRST命令を一度も実行しなければ、ウォッチドッグタイマは動作を開始しません。



図FB-4. ウォッチドッグタイマの機能

RAMバックアップモード時は、フラグWEF,WDF1,WDF2及びタイマWDTの値は初期化されます。ただし、RAMバックアップモードへ移行すると同時にフラグWDF2が“1”になると、マイクロコンピュータがリセット状態になることがあります。ウォッチドッグタイマとRAMバックアップモードを使用する場合は、RAMバックアップモードに入る直前にWRST命令を実行し、フラグWDF1を初期化してください(図FB-5.参照)。



図FB-5. ウォッチドッグタイマ使用時におけるRAMバックアップモードへの移行プログラム例

### 搬送波発生回路

4570グループは各種リモコン搬送波用の伝達波形を発生する搬送波発生回路を内蔵しています。

搬送波発生回路は、タイマ3がアンダフローするごとに反転する信号(CARRY)をポートCARRから出力します。

搬送波発生回路を使用する場合、タイマ3のカウンタソースには $f(X_{IN})$ または $f(X_{IN})/2$ を選択してください( $W31=1$ ;  $W30=0$ )。クロック制御レジスタMRのビット3が0の場合(システムクロック= $f(X_{IN})$ )は $f(X_{IN})$ が、レジスタMRのビット3が1の場合(システムクロック= $f(X_{IN})/4$ )は $f(X_{IN})/2$ がタイマ3のカウンタソースとして選択されます。

搬送波出力の“L”区間に対応するカウント値をタイマ3リロードレジスタR3Lに、“H”区間に対応するカウント値をタイマ3リロードレジスタR3Hに設定してください。また、搬送波出力制御レジスタ(C2)の設定によりポートCARRの搬送波出力をタイマ1を用いて自動制御することができます。タイマ3を停止すると、ポートCARRの出力レベルは初期化(“L”レベル)されます。

表GD-1. 搬送波出力制御レジスタ

搬送波出力制御レジスタ		リセット時: 002	RAMバックアップ時: 002	W
C21	ポートCARR出力制御ビット	0	ポートCARR“L”レベル出力	
		1	ポートCARR“H”レベル出力	
C20	搬送波出力自動制御ビット	0	タイマ1による自動出力制御無効	
		1	タイマ1による自動出力制御有効	

注: “W”は書き込み可を表します。

### (1)搬送波出力制御レジスタ(C2)

レジスタC2のビット0を“1”にすると、ポートCARRの搬送波出力の出力許可期間及び出力禁止期間をタイマ1で自動制御できます。このレジスタの内容は、TC2A命令でレジスタAを介して設定してください。

出力許可 / 禁止期間の設定例を以下に示します。

搬送波出力自動制御機能を有効( $C20=1$ )にする  
 タイマ3及びタイマ3リロードレジスタR3Lにカウント値(搬送波出力の“L”期間)を設定  
 タイマ3リロードレジスタR3Hにカウント値(搬送波の“H”期間)を設定  
 タイマ1にカウント値(ポートCARRの搬送波出力許可期間)を設定  
 タイマ1のカウンタソースに搬送波( $W11=1$ )を選択  
 タイマ1動作開始( $W10=1$ )  
 タイマ3動作開始( $W33=1$ )  
 タイマ1がアンダフローする前にタイマ1のリロードレジスタに次のカウント値(ポートCARRの搬送波出力禁止期間)を設定

タイマ3が動作を開始すると、ポートCARRより搬送波が出力されます。

1回目のタイマ1アンダフローによりポートCARRの搬送波出力は禁止されるとともに、タイマ1リロードレジスタからタイマ1へ次のカウント値がロードされます。

2回目のタイマ1アンダフローが発生するまでの期間、搬送波の出力は禁止されます。また、2回目のタイマ1アンダフローが発生する前に、タイマ1リロードレジスタに3回目のカウント値を設定することによって、次の搬送波出力許可期間を設定できます。

搬送波出力の自動制御中に搬送波出力自動制御機能を無効( $C20=0$ )にすると、ポートCARRの出力はタイマ1のアンダフローに関係なく自動制御を無効にしたときの状態を保持します。この状態はタイマ1の停止( $W10=0$ )により解除できます。

搬送波出力自動制御機能を無効( $C20=0$ )にした後に、再び自動制御機能を有効( $C20=1$ )にすると、次のタイマ1アンダフローから再び搬送波出力の自動制御を開始します。

また、レジスタC2のビット1を使用する場合はタイマ3を停止し、タイマ1による自動制御機能を無効にしてください。

(2)搬送波出力自動制御機能使用時の注意

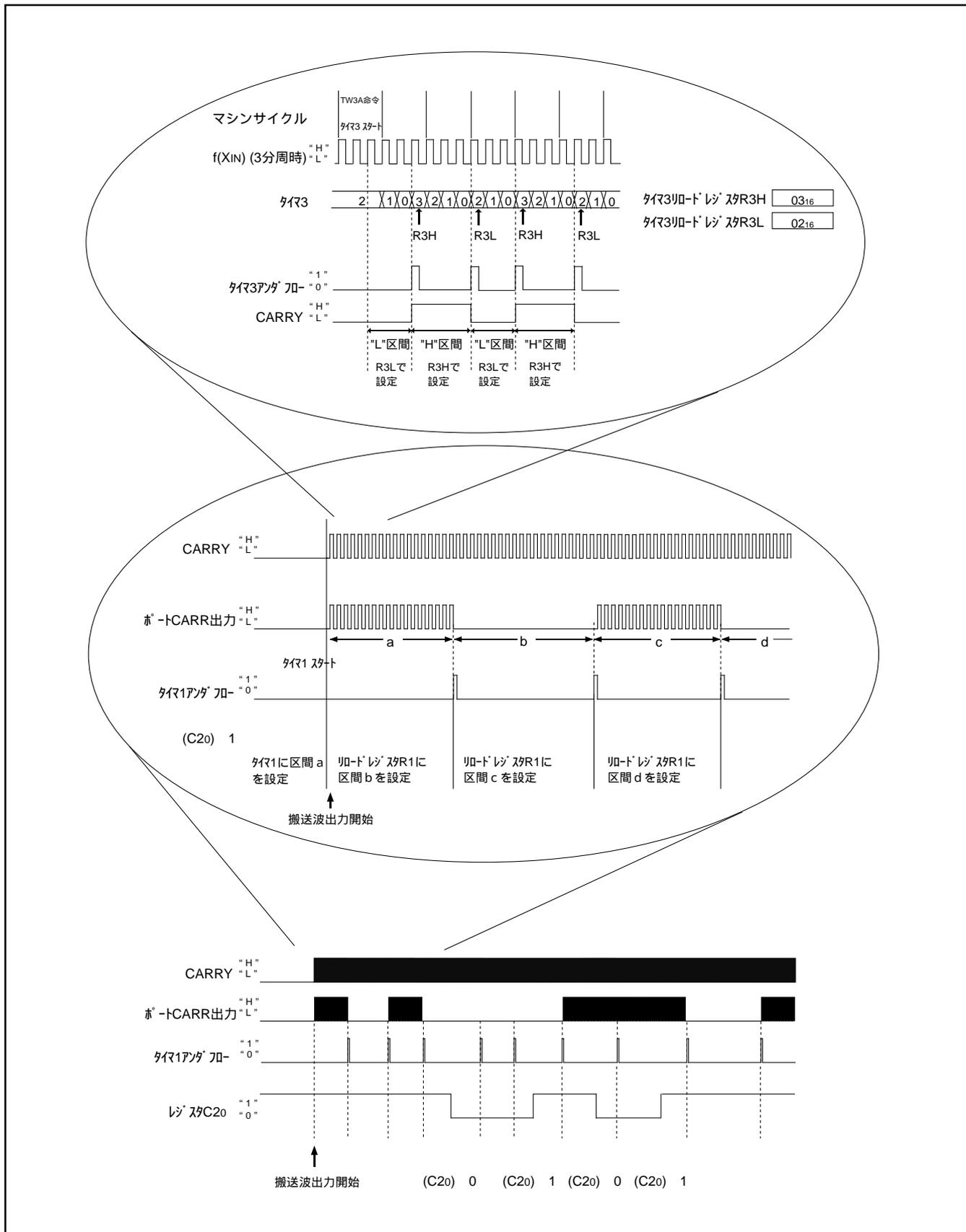
タイマ1及びレジスタC2を設定した後にタイマ3の動作を開始してください。(W33=“1”)

搬送波出力自動制御動作を停止する場合は、搬送波出力禁止期間中にタイマ3を停止(W33=“0”)させた後にタイマ1を停止(W10=“0”)させてください。

搬送波出力自動制御中に、搬送波出力自動制御機能を無効(C20=“0”)にすると、ポートCARRの出力はタイマ1のアンダフローに関係なく自動制御機能を無効にした時の状態を保持します。その後再び搬送波出力自動制御ビットを有効(C20=“1”)にすると、次のタイマ1アンダフローより再びタイマ1による自動制御が有効になります。ただし、タイマ1アンダフロー中に搬送波出力自動制御ビットを変更すると誤動作する場合があります。

搬送波出力自動制御機能を選択した場合は、タイマ1のカウントソースに必ず搬送波(CARRY)を使用してください。ORCLKは搬送波と非同期のため、ORCLKを使用するとポートCARR出力に数nsの短いパルスが発生する場合があります。

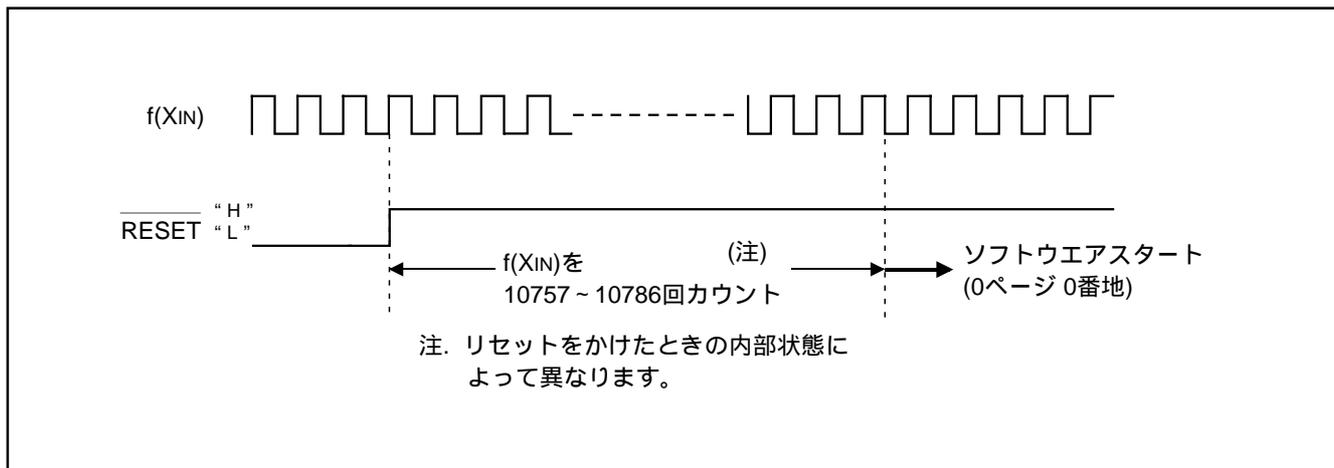
搬送波出力自動制御機能を選択した場合、タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1のカウント値が“0”にならないタイミングでT1AB命令を実行してください。



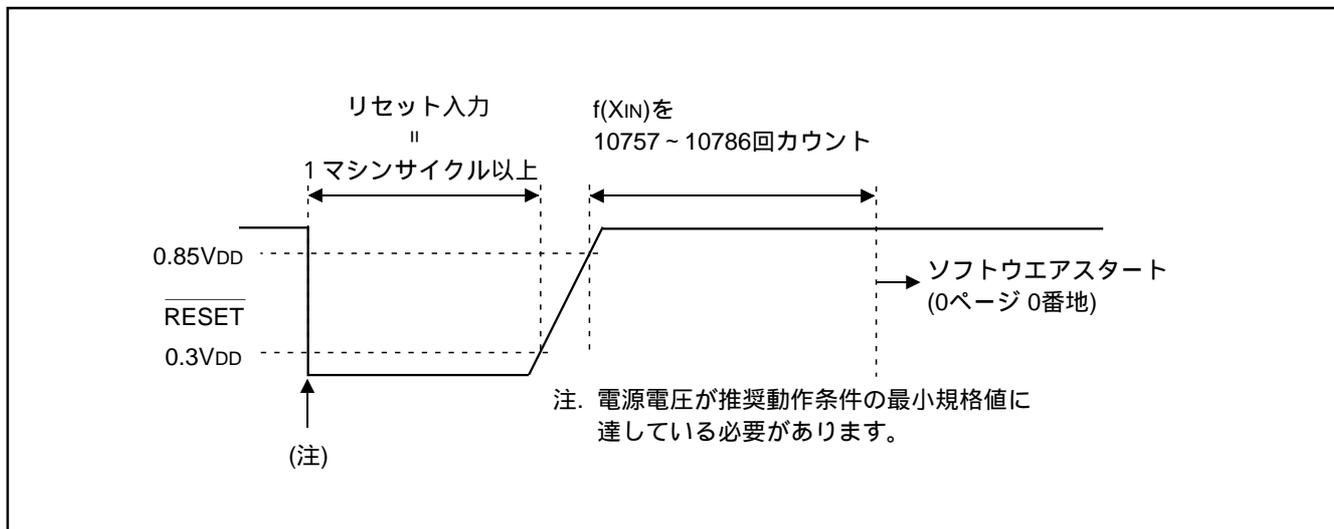
図GD-1. タイマ1による搬送波出力制御

リセット機能

電源電圧が推奨動作条件の最小規格値以上で、 $\overline{\text{RESET}}$ 端子に1マシンサイクル以上“L”レベルを印加すると、マイクロコンピュータがいかなる状態であってもシステムリセットが実行されます。その後、 $\overline{\text{RESET}}$ 端子に“H”レベルを印加すると、0ページの0番地からソフトウェアが開始されます。



図VB-1. リセット解除のタイミング



図VB-2. RESET端子の入力波形とリセット動作

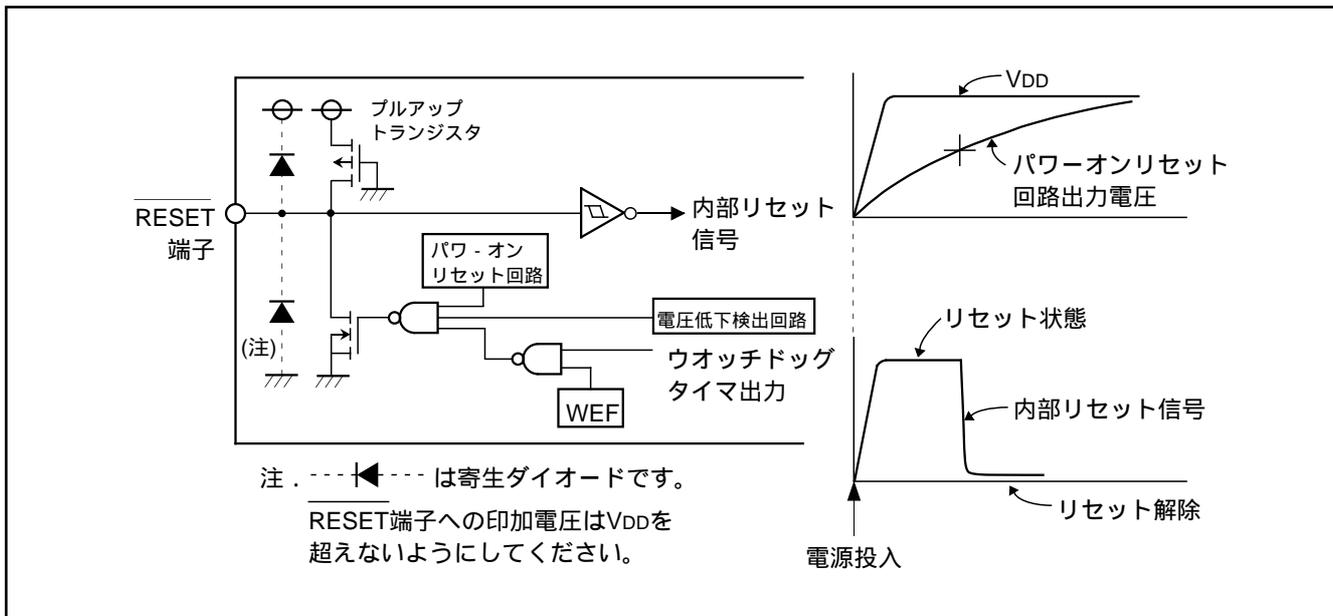
### (1) パワーオンリセット

内蔵のパワーオンリセット回路により、電源投入時に自動リセット(パワーオンリセット)をかけることができます。

内蔵のパワーオンリセット回路使用時には、電源電圧が最小動作保証電圧に立ち上がるまでの時間を100  $\mu$ s以下に設定

してください。

立ち上がり時間が100  $\mu$ sを超える場合には、RESET端子とVss間にコンデンサを最小距離で接続し、最小動作保証電圧になるまでRESET端子に“L”レベルが入力されるようにしてください。



図VB-3 . パワーオンリセット回路例

### (2) リセット時の内部状態

以下にリセット時の内部状態、及びポートの状態を示します(リセット解除直後も同状態です)。

図VB-4以外のタイマ、レジスタ、フラグ、RAMなどの内容は不定になるため、初期設定が必要です。

表VB-1 . リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0 ~ D8, D9/TOUT	D0 ~ D8, D9	ハイインピーダンス状態 (注1)
P00 ~ P03	P00 ~ P03	“H (VDD)レベル (注1)
P10 ~ P13	P10 ~ P13	
P20, P21/INT	P20, P21	ハイインピーダンス状態
P30 ~ P33	P30 ~ P33	ハイインピーダンス状態 (注1)
P40 ~ P43	P40 ~ P43	ハイインピーダンス状態 (注2)
CARR	CARR	“L (Vss)レベル

注1 . 出力ラッチは“1”にセットされます。  
2 . プルアップトランジスタは、OFFします。

- プログラムカウンタ (PC) ..... 

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

  
0ページの0番地が設定されます。
- 割り込み許可フラグ (INTE) ..... 

0
---

 (割り込み禁止)
- パワーダウンフラグ (P) ..... 

0
---
- 外部0割り込み要求フラグ (EXF0) ..... 

0
---
- 割り込み制御レジスタ V1 ..... 

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ V2 ..... 

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ I1 ..... 

0	0	0	0
---	---	---	---
- タイマ 1 割り込み要求フラグ (T1F) ..... 

0
---
- タイマ 2 割り込み要求フラグ (T2F) ..... 

0
---
- タイマ 3 割り込み要求フラグ (T3F) ..... 

0
---
- ウォッチドッグタイマフラグ (WDF1,WDF2) ..... 

0
---
- ウォッチドッグタイマイネーブルフラグ (WEF) ..... 

0
---
- タイマ制御レジスタ W1 ..... 

0	0	0	0
---	---	---	---

 (プリスケアラ、タイマ 1停止)
- タイマ制御レジスタ W2 ..... 

0	0	0	0
---	---	---	---

 (タイマ 2停止)
- タイマ制御レジスタ W3 ..... 

0	0	0	0
---	---	---	---

 (タイマ 3停止)
- タイマカウント値格納レジスタ W5 ..... 

0	0
---	---
- クロック制御レジスタ MR ..... 

1	0	0	0
---	---	---	---
- 8ビット汎用レジスタ SI ..... 

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---
- 搬送波出力制御レジスタ C2 ..... 

0	0
---	---
- キーオンウエイクアップ制御レジスタ K0 ..... 

0	0	0	0
---	---	---	---
- プルアップ制御レジスタ PU0 ..... 

0	0	0	0
---	---	---	---
- キャリーフラグ (CY) ..... 

0
---
- レジスタ A ..... 

0	0	0	0
---	---	---	---
- レジスタ B ..... 

0	0	0	0
---	---	---	---
- レジスタ D ..... 

X	X	X
---	---	---
- レジスタ E ..... 

X	X	X	X	X	X	X	X
---	---	---	---	---	---	---	---
- レジスタ X ..... 

0	0	0	0
---	---	---	---
- レジスタ Y ..... 

0	0	0	0
---	---	---	---
- レジスタ Z ..... 

X	X
---	---
- スタックポインタ (SP) ..... 

1	1	1
---	---	---

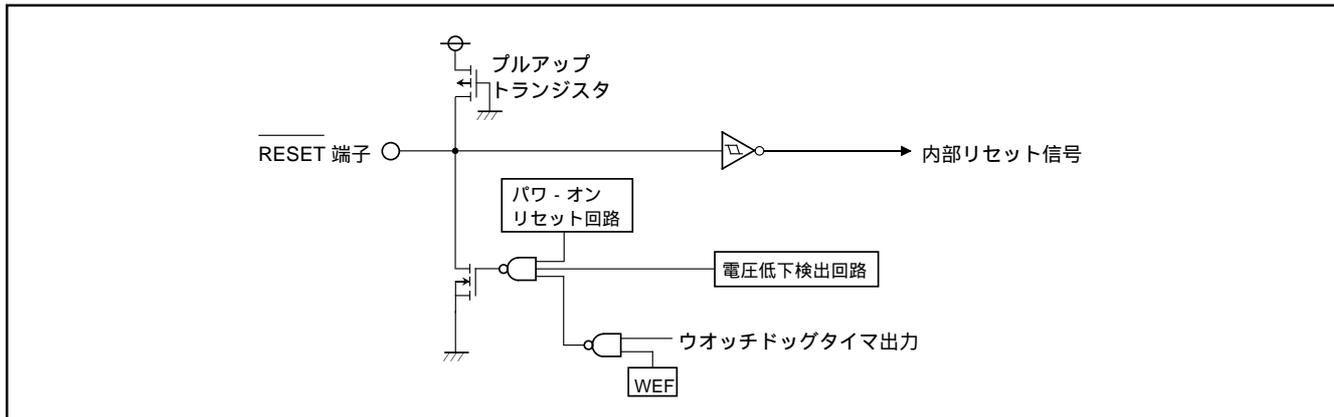
“ X ” は不定を表します。

図VB-4 . リセット時の内部状態

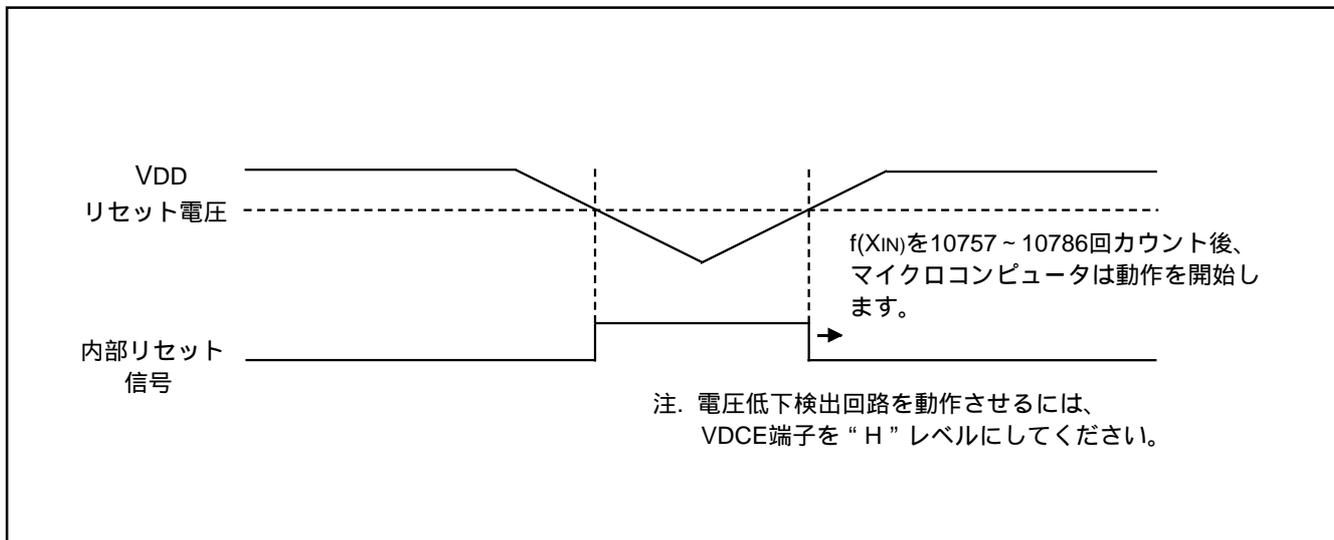
電圧低下検出回路

4570グループには、電源電圧の低下を検出し電源電圧がある一定値以下になると、マイクロコンピュータにシステムリセットをかける電圧低下検出回路が内蔵されています。

電圧低下検出回路は、RAMバックアップ時は動作しません。



図VC-1．電圧低下検出リセット回路



図VC-2．電圧低下検出回路動作波形

### RAMバックアップモード

4570グループはRAMバックアップモードをもち、EPOF命令とPOF命令を連続して実行することにより、RAMバックアップ状態になります。

POF命令実行直前にEPOF命令が実行されない場合、POF命令はNOP命令となります。

RAMバックアップ時には、RAM、リセット回路の機能、及び状態は保持したまま発振を停止するので、RAMのデータを失うことなく消費電流を低減できます。

表WD-1にRAMバックアップ時の内部状態、図WD-1に状態遷移図を示します。

#### (1) コールドスタートとウォームスタートの識別

ウォームスタート(RAMバックアップモードからの復帰)とコールドスタート(通常のリセット状態からの復帰)とのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

#### (2) ウォームスタート条件

EPOF命令とPOF命令を連続して実行し、RAMバックアップモードとなった後、外部ウエイクアップ信号が入力されると、CPUは0ページの0番地からソフトウェアの実行を開始します。このときフラグPIは「1」です。

#### (3) コールドスタート条件

RESET端子にリセットパルスを入力

ウォッチドッグタイマによるリセットが発生

電圧低下検出回路が電圧低下を検出

のいずれかの条件が成立した場合、CPUは0ページ0番地からソフトウェアの実行を開始します。このときフラグPIは「0」です。

表WD-1 . RAMバックアップ時に保持される機能と状態

機 能	RAM バックアップ
プログラムカウンタ(PC)、レジスタA,B キャリーフラグ(CY)、スタックポインタ(注2)	×
RAMの内容	
ポートのレベル	
クロック制御レジスタ MR	
タイマ制御レジスタ W1	×
タイマ制御レジスタ W2,W3	
タイマカウンタ値格納レジスタ W5	
割り込み制御レジスタ V1,V2	×
割り込み制御レジスタ I1	
搬送波出力制御レジスタ C2	×
8ビット汎用レジスタ SI	
タイマ1機能	×
タイマ2機能	(注3)
タイマ3機能	(注3)
ブルアップ制御レジスタ PU0	
キーオンウエイクアップ制御レジスタ K0	
外部0割り込み要求フラグ(EXF0)	×
タイマ1割り込み要求フラグ(T1F)	×
タイマ2割り込み要求フラグ(T2F)	(注3)
タイマ3割り込み要求フラグ(T3F)	(注3)
ウォッチドッグタイマフラグ1(WDF1)	×(注4)
ウォッチドッグタイマフラグ2(WDF2)	×(注4)
ウォッチドッグタイマイネーブルフラグ(WEF)	×(注4)
16ビットタイマ(WDT)	×(注4)
割り込み許可フラグ(INTE)	×

注1 . 表中、「×」は保持可能「×」は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。

2 . スタックポインタは、スタックレジスタの位置を示すものでRAMバックアップ時には「1112」に初期化されます。

3 . タイマの状態は不定です。

4 . WRST命令でウォッチドッグタイマ値を初期化した後に、POF命令を実行してください。

### (4) 復帰信号

RAMバックアップモードからの復帰は、発振が停止しているため外部ウエイクアップ信号で行います。表WD-2に復帰要因と復帰条件を示します。

### (5) ポートP4制御レジスタ

キーオンウエイクアップ制御レジスタ K0

レジスタK0は、ポートP4のキーオンウエイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

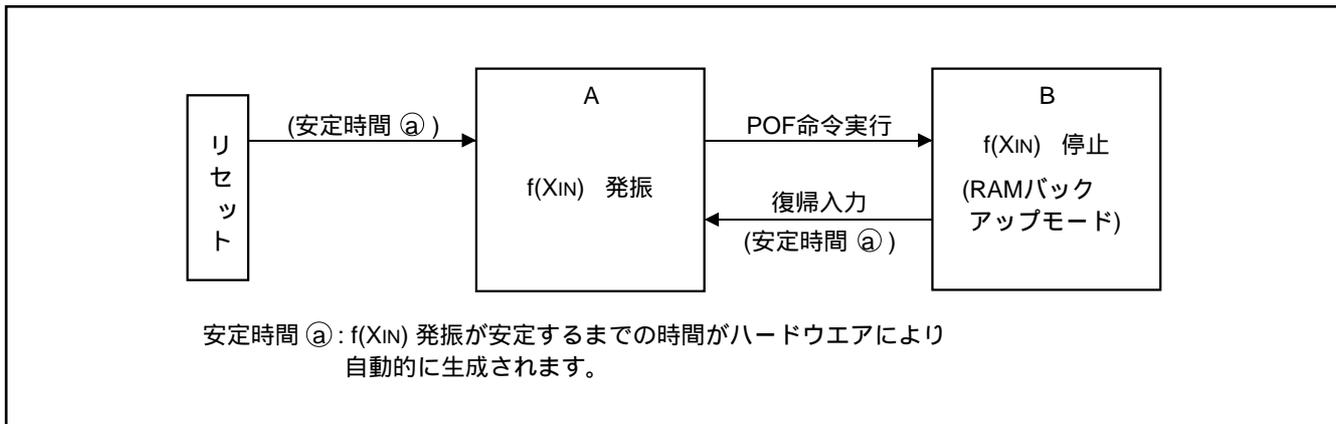
プルアップ制御レジスタPU0

レジスタPU0は、ポートP4のプルアップトランジスタのON/OFFを制御します。レジスタPU0の内容は、TPU0 A命令でレジスタAを介して設定してください。

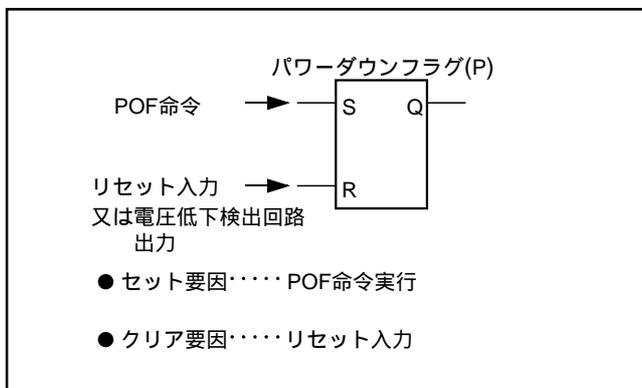
また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

表WD-2 . 復帰要因と復帰条件

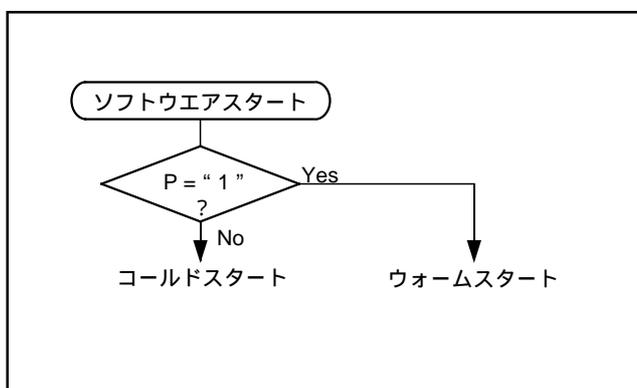
復帰要因		復帰条件	備考
外部ウエイクアップ信号	ポート P0,P1,P4	外部からの立ち下がりエッジ(“H” “L”)入力により復帰します。	立ち下がりエッジを検出する回路はポートP0,P1,P4共通です。 ポートP0,P1は常にキーオンウエイクアップ機能が有効になっています。ポートP4はレジスタK0でキーオンウエイクアップ機能の有効/無効が制御できます。RAMバックアップモードへ遷移する前に、キーオンウエイクアップ機能を使用するポートをすべて“H”レベルにしてください。
	P21/INT 端子	外部からの“H”レベルあるいは“L”レベル入力により復帰します。このとき外部0割り込み要求フラグEXF0はセットされません。	RAMバックアップモード状態に遷移する前に、外部の状態によって、割り込み制御レジスタI1のビット2で、復帰レベル(“L”レベル又は“H”レベル)を選択してください。



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)の  
セット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

表WD-3. キーオンウエイクアップ制御レジスタ、ブルアップ制御レジスタ

キーオンウエイクアップ制御レジスタK0		リセット時: 00002	RAMバックアップ時: 状態保持	R / W
K03	ポートP43 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし	
		1	キーオンウエイクアップあり	
K02	ポートP42 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし	
		1	キーオンウエイクアップあり	
K01	ポートP41 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし	
		1	キーオンウエイクアップあり	
K00	ポートP40 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし	
		1	キーオンウエイクアップあり	

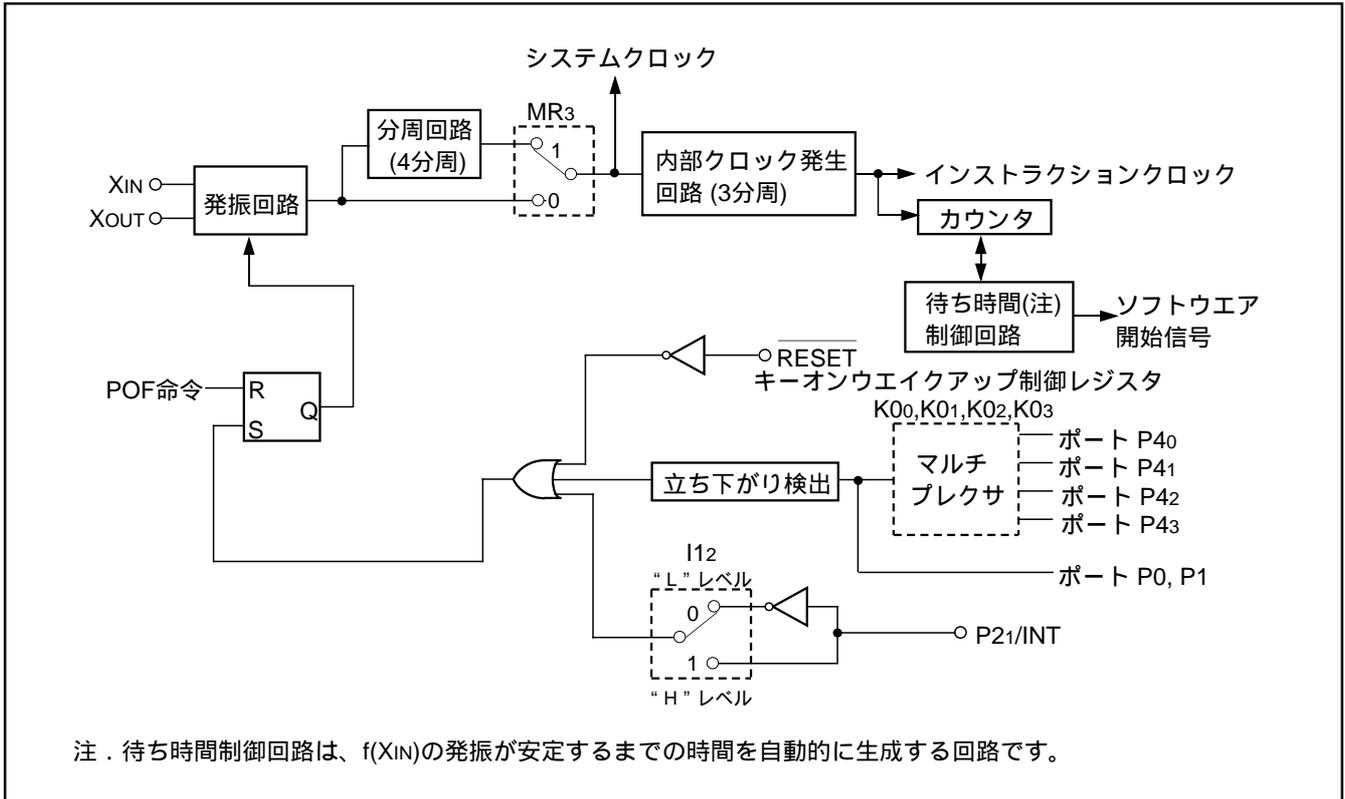
ブルアップ制御レジスタPU0		リセット時: 00002	RAMバックアップ時: 状態保持	R / W
PU03	ポートP43 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU02	ポートP42 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU01	ポートP41 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU00	ポートP40 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

注.“R”は読み出し可, “W”は書き込み可を表します。

### クロック制御

クロック制御回路は以下の回路で構成されています。

- クロック発生回路
- クロック発振を停止する制御回路
- システムクロック選択回路
- インストラクションクロック発生回路
- RAMバックアップモードから復帰するための制御回路



図WA-1. クロック制御回路の構成

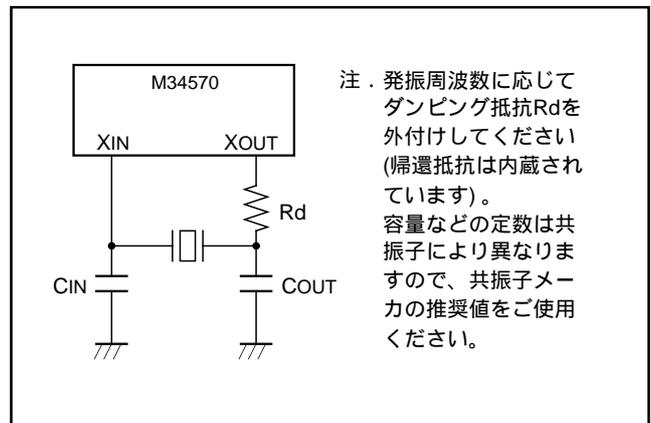
4570グループは、セラミック共振子を外付けすることによりクロック信号( $f(XIN)$ )が得られます。

この外部回路は、XIN端子及びXOUT端子と最短距離で接続してください。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。

### マスク化発注時に提示いただく資料

マスク化発注時には、次の資料をご提示ください。

- (1) M34570M4-XXXXFPマスク化確認書、又は  
M34570M8-XXXXFPマスク化確認書、又は  
M34570MD-XXXXFPマスク化確認書 ..... 1部
- (2) マスクROMに書き込むデータ  
..... EPROM(同一のデータを3セット)、又は  
フロッピーディスク
- (3) マーク指定書 ..... 1部



図WA-2. クロック共振子外付け回路

### 使用上の注意(まとめ)

#### (1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてVDD端子とVSS端子間にコンデンサ(≈0.1μF)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNVSS端子とVPP端子が兼用になっています。CNVSS/VPP端子は、5k程度の抵抗(極力CNVSS/VPP端子の近くに配置)を介してVSS端子に接続してください。

#### (2)プリスケアラ

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後、分周比を切り替えてください。

#### (3)タイマカウントソース

タイマ1,2,3のカウントソースを切り替える場合は、必ず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

#### (4)タイマカウント値の読み出し

タイマ1,2,3からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1,TAB2,TAB3)を実行してください。

#### (5)リロードレジスタR1への書き込み

タイマ1動作中にタイマ1リロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。

#### (6)リロードレジスタR3Hへの書き込み

タイマ3動作中にタイマ3リロードレジスタR3Hにデータを書き込む場合は、必ずタイマ3アンダフローと重ならないタイミングでデータを書き込んでください。

#### (7)タイマ3動作開始

タイマ1及びレジスタC2を設定した後にタイマ3の動作を開始してください。(W33=“1”)

#### (8)搬送波出力自動制御動作の停止

搬送波出力自動制御動作を停止する場合は、搬送波出力禁止期間中にタイマ3を停止(W33=“0”)させた後にタイマ1を停止(W10=“0”)させてください。

#### (9)搬送波出力制御レジスタC2の設定

搬送波出力自動制御中に、搬送波出力自動制御機能を無効(C20=“0”)にすると、ポートCARRの出力はタイマ1のアンダフローに関係なく自動制御機能を無効にした時の状態を保持します。その後再び搬送波出力自動制御ビットを有効(C20=“1”)にすると、次のタイマ1アンダフローより再びタイマ1による自動制御が有効になります。ただし、タイマ1アンダフロー中に搬送波出力自動制御ビットを変更すると誤動作する場合があります。

#### (10)タイマ1カウントソース

搬送波出力自動制御機能を選択した場合は、タイマ1のカウントソースに必ず搬送波(CARRY)を使用してください。ORCLKは搬送波と非同期のため、ORCLKを使用するとポートCARR出力に数nsの短いパルスが発生する場合があります。

#### (11)搬送波出力自動制御機能動作時のリロードレジスタR1への書き込み

搬送波出力自動制御機能を選択した場合、タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1のカウント値が“0”にならないタイミングでT1AB命令を実行してください。

#### (12)ワンタイムPROM版

ワンタイムPROM版の動作電源電圧は2.5~5.5Vです。

#### (13)POF命令

EPOF命令実行直後にPOF命令を実行すると、RAMバックアップ状態になります。POF命令単独では、RAMバックアップ状態になりませんので注意してください。

EPOF命令を実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

⋮		
LA	4	; (XXX02)
TV1A		; SNZ0命令有効 ..... ①
LA	4	
TI1A		; 割り込み有効波形変更
NOP		..... ②
SNZ0		; SNZ0命令実行
NOP		
⋮		

X: このビットはINT端子の設定には関係しません。

図XB-1 . 外部0割り込みプログラム例

(14) P21/INT端子

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP21/INT端子の割り込み有効波形を変更する場合は次の点に注意してください。

割り込み制御レジスタV1のビット0を“0”に設定(図XB-1)した後、レジスタI1のビット2によってP21/INT端子の割り込み有効波形を変更してください。

レジスタI1のビット2を“0”に設定した後、一命令以上において(図XB-1)SNZ0命令を実行し、外部0割り込み要求フラグ(EXF0)を“0”にクリアしてください。

P21/INT端子の入力状態によっては、割り込み有効波形を変更した際にフラグEXF0が“1”にセットされることがあります。

(15) マルチファンクション

TOUT,INT端子を使用している場合でもポートD9の出力機能,P21の入力機能は有効ですので注意してください。

(16) プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

# 三菱マイクロコンピュータ 4570グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

## 記号

次ページ以降に示す命令機能対応表及び機械語命令一覧表では、以下の記号を用いています。

記号	内容	記号	内容
A	レジスタA(4ビット)	T1	タイマ1
B	レジスタB(4ビット)	T2	タイマ2
DR	レジスタD(3ビット)	T3	タイマ3
E	レジスタE(8ビット)	T1F	タイマ1割り込み要求フラグ
C2	搬送波出力制御レジスタC2(2ビット)	T2F	タイマ2割り込み要求フラグ
SI	8ビット汎用レジスタSI(8ビット)	T3F	タイマ3割り込み要求フラグ
V1	割り込み制御レジスタV1(4ビット)	WDF1	ウォッチドッグタイマフラグ1
V2	割り込み制御レジスタV2(4ビット)	WDF2	ウォッチドッグタイマフラグ2
I1	割り込み制御レジスタI1(4ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
W1	タイマ制御レジスタW1(4ビット)	INTE	割り込み許可フラグ
W2	タイマ制御レジスタW2(4ビット)	EXF0	外部0割り込み要求フラグ
W3	タイマ制御レジスタW3(4ビット)	P	パワーダウンフラグ
W5	タイマカウンタ値格納レジスタW5(2ビット)	D	ポートD(10ビット)
K0	キーオンウェイクアップ制御レジスタK0(4ビット)	P0	ポートP0(4ビット)
PU0	プルアップ制御レジスタPU0(4ビット)	P1	ポートP1(4ビット)
MR	クロック制御レジスタMR(4ビット)	P2	ポートP2(2ビット)
X	レジスタX(4ビット)	P3	ポートP3(4ビット)
Y	レジスタY(4ビット)	P4	ポートP4(4ビット)
Z	レジスタZ(2ビット)		
DP	データポインタ(10ビット) (レジスタX,Y,Zで構成)	x	16進変数
PC	プログラムカウンタ(14ビット)	y	16進変数
PCH	プログラムカウンタの上位7ビット	z	16進変数
PCL	プログラムカウンタの下位7ビット	p	16進変数
SK	スタックレジスタ(14ビット×8)	n	即値を表す16進数
SP	スタックポインタ(3ビット)	i	即値を表す16進数
CY	キャリーフラグ	j	即値を表す16進数
R1	タイマ1リロードレジスタ	A3 A2 A1 A0	16進変数Aの2進表記(他も同様)
R2	タイマ2リロードレジスタ		
R3H	タイマ3リロードレジスタ	( )	データの移動する方向
R3L	タイマ3リロードレジスタ	-	否定、命令実行後もフラグは不変
		M(DP)	データポインタで指定されたRAMの番地
		a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
		p,a	p5 p4 p3 p2 p1 p0 ページ内のa6 a5 a4 a3 a2 a1 a0 番地を示すラベル
		C	16進数 C + 16進数 x (他も同様)
		+	
		X	
		?	?の前に示された状態の判定 レジスタやメモリ間でのデータ交換

注. 4570グループのスキップの方法はスキップが生じた場合、次の命令を無効にするのみで、プログラムカウンタの内容+2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。  
ただし、TABP p,RT,RTS命令がスキップされた場合、サイクル数は'1'となります。

命令機能対応表

分類	命令記号	機能	分類	命令記号	機能	分類	命令記号	機能		
レジスタ間転送命令	TAB	(A) (B)	演算命令	LA n	(A) n n = 0 ~ 15	サブルーチン呼び出し命令	BM a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a6 ~ a0		
	TBA	(B) (A)		TABP p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0)		BML p, a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a6 ~ a0		
	TAY	(A) (Y)		AM	(A) (A) + (M(DP))		BMLA p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0)		
	TYA	(Y) (A)		AMC	(A) (A) + (M(DP)) + (CY) (CY) キャリー		リターン命令	RTI	(PC) (SK(SP)) (SP) (SP) - 1	
	TEAB	(E7 ~ E4) (B) (E3 ~ E0) (A)		A n	(A) (A) + n n = 0 ~ 15			RT	(PC) (SK(SP)) (SP) (SP) - 1	
	TABE	(B) (E7 ~ E4) (A) (E3 ~ E0)		AND	(A) (A)AND(M(DP))			RTS	(PC) (SK(SP)) (SP) (SP) - 1	
	TDA	(DR2 ~ DR0) (A2 ~ A0)		OR	(A) (A)OR(M(DP))			割り込み制御命令	DI	(INTE) 0
	TAD	(A2 ~ A0) (DR2 ~ DR0) (A3) 0		SC	(CY) 1				EI	(INTE) 1
	TAZ	(A1, A0) (Z1, Z0) (A3, A2) 0		RC	(CY) 0				SNZ0	(EXF0) = 1 ? 次の命令をスキップ後 (EXF0) 0
	TAX	(A) (X)		SZC	(CY) = 0 ?				SNZI0	I12 = 1 : (INT) = " H " I12 = 0 : (INT) = " L "
TASP	(A2 ~ A0) (SP2 ~ SP0) (A3) 0	CMA	(A) (A)	TAV1	(A) (V1)					
RAMアドレス命令	LXY x, y	(X) x, x = 0 ~ 15 (Y) y, y = 0 ~ 15	RAR	CY A3A2A1A0	TV1A	(V1) (A)				
	LZ z	(Z) z, z = 0 ~ 3	ビット操作命令	SB j	(Mj(DP)) 1 j = 0 ~ 3	TAV2			(A) (V2)	
	INY	(Y) (Y) + 1		RB j	(Mj(DP)) 0 j = 0 ~ 3	TV2A	(V2) (A)			
	DEY	(Y) (Y) - 1		SZB j	(Mj(DP)) = 0 ? j = 0 ~ 3	TAI1	(A) (I1)			
RAM・レジスタ間転送命令	TAM j	(A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15		比較命令	SEAM	(A) = (M(DP)) ?	T11A		(I1) (A)	
	XAM j	(A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15	SEA n		(A) = n ? n = 0 ~ 15					
	XAMD j	(A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) - 1	ブランチ命令		B a	(PCL) a6 ~ a0				
	XAMI j	(A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) + 1			BL p, a	(PCH) p (PCL) a6 ~ a0				
TMA j	(M(DP)) (A) (X) (X)EXOR(j) j = 0 ~ 15	BLA p		(PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0)						

命令機能対応表(続き)

分類	命令記号	機能	分類	命令記号	機能	分類	命令記号	機能	
タイマ操作命令	TAW1	(A) (W1)	タイマ操作命令	SNZT2	(T2F) = 1 ? 次の命令をスキップ後 (T2F) 0	その他	NOP	(PC) (PC) + 1	
	TW1A	(W1) (A)		SNZT3	(T3F) = 1 ? 次の命令をスキップ後 (T3F) 0		POF	RAMバックアップ	
	TAW2	(A) (W2)			IAP0		(A) (P0)	EPOF	POF 命令有効
	TW2A	(W2) (A)	OP0A				(P0) (A)	SNZP	(P) = 1 ?
	TAW3	(A) (W3)		IAP1			(A) (P1)	WRST	(WDF1) 0 (WEF) 1
	TW3A	(W3) (A)			OP1A		(P1) (A)	TAMR	(A) (MR3 ~ MR0)
	TAW5	(A) (0,0,W51,W50)	IAP2				(A1,A0) (P21,P20) (A3,A2) 0	TMRA	(MR3 ~ MR0) (A)
	TW5A	(W51,W50) (A1,A0)		IAP3			(A) (P3)	TABSI	(B) (SI7 ~ SI4) (A) (SI3 ~ SI0)
	TAB1	(W5) (T19,T18) (B) (T17 ~ T14) (A) (T13 ~ T10)			OP3A		(P3) (A)	TSIAB	(SI7 ~ SI4) (B) (SI3 ~ SI0) (A)
	T1AB	タイマ1停止時(W10=0) (R19,R18) (W5) (T19,T18) (W5) (R17 ~ R14) (B) (T17 ~ T14) (B) (R13 ~ R10) (A) (T13 ~ T10) (A)	IAP4				(A) (P4)	SBK	TABPp実行時 P6 1
	TAB2	(B) (T27 ~ T24) (A) (T23 ~ T20)		CLD			(D) 1	RBK	TABPp実行時 P6 0
					RD		(D(Y)) 0 (Y) =0 ~ 9		
			SD				(D(Y)) 1 (Y) =0 ~ 9		
	T2AB	(R27 ~ R24) (B) (T27 ~ T24) (B) (R23 ~ R20) (A) (T23 ~ T20) (A)		TK0A			(K0) (A)	TAK0	(A) (K0)
	TR2AB	(R27 ~ R24) (B) (R23 ~ R20) (A)			TPU0A		(PU0) (A)		TAPU0
			TAB3				(B) (T37 ~ T34) (A) (T33 ~ T30)		
	T3AB	(R3L7 ~ R3L4) (B) (T37 ~ T34) (B) (R3L3 ~ R3L0) (A) (T33 ~ T30) (A)	キャリア出力命令	T3HAB			(R3H7 ~ R3H4) (B) (R3H3 ~ R3H0) (A)		
	SNZT1	(T1F) = 1 ? 次の命令をスキップ後 (T1F) 0							

命令コード対応表

D3~D0	16進表記	D9~D4																010000	011000
		000000	000001	000010	000011	000100	000101	000110	000111	001000	001001	001010	001011	001100	001101	001110	001111	010011	011111
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10~17	18~1F
0000	0	NOP	BLA	SZB 0	BMLA	RBK	TASP	A 0	LA 0	TABP 0*	TABP 16*	TABP 32**	TABP 48**	BML	BML	BL	BL	BM	B
0001	1		CLD	SZB 1		SBK	TAD	A 1	LA 1	TABP 1*	TABP 17*	TABP 33**	TABP 49**	BML	BML	BL	BL	BM	B
0010	2	POF		SZB 2			TAX	A 2	LA 2	TABP 2*	TABP 18*	TABP 34**	TABP 50**	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3			TAZ	A 3	LA 3	TABP 3*	TABP 19*	TABP 35**	TABP 51**	BML	BML	BL	BL	BM	B
0100	4	DI	RD			RT	TAV1	A 4	LA 4	TABP 4*	TABP 20*	TABP 36**	TABP 52**	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn		RTS	TAV2	A 5	LA 5	TABP 5*	TABP 21*	TABP 37**	TABP 53**	BML	BML	BL	BL	BM	B
0110	6	RC		SEAM		RTI		A 6	LA 6	TABP 6*	TABP 22*	TABP 38**	TABP 54**	BML	BML	BL	BL	BM	B
0111	7	SC	DEY					A 7	LA 7	TABP 7*	TABP 23*	TABP 39**	TABP 55**	BML	BML	BL	BL	BM	B
1000	8		AND		SNZ0	LZ 0		A 8	LA 8	TABP 8*	TABP 24*	TABP 40**	TABP 56**	BML	BML	BL	BL	BM	B
1001	9		OR	TDA		LZ 1		A 9	LA 9	TABP 9*	TABP 25*	TABP 41**	TABP 57**	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZ10	LZ 2		A 10	LA 10	TABP 10*	TABP 26*	TABP 42**	TABP 58**	BML	BML	BL	BL	BM	B
1011	B	AMC				LZ 3	EPOF	A 11	LA 11	TABP 11*	TABP 27*	TABP 43**	TABP 59**	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA			RB 0	SB 0	A 12	LA 12	TABP 12*	TABP 28*	TABP 44**	TABP 60**	BML	BML	BL	BL	BM	B
1101	D		RAR			RB 1	SB 1	A 13	LA 13	TABP 13*	TABP 29*	TABP 45**	TABP 61**	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB		TV2A	RB 2	SB 2	A 14	LA 14	TABP 14*	TABP 30*	TABP 46**	TABP 62**	BML	BML	BL	BL	BM	B
1111	F		TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15*	TABP 31*	TABP 47**	TABP 63**	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注. “-”で示しているコードは使用しないでください。 \*\*は、M34570M4では使用することができません。  
 SBK, RBK命令は、M34570M4/M8/E8では使用することができません。  
 M34570MD/EDのTABP命令(\*, \*\*)は、SBK, RBK命令で参照するページを切り換えることができます。  
 SBK命令の実行後、TABP命令で参照できるページは64~127になります。(例: TABP 0 TABP 64)  
 RBK命令の実行後、TABP命令で参照できるページは0~63になります。  
 SBK命令を実行しなければ、TABP命令で参照できるページは常に0~63になります。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

D3 ~ D0	16進表記	D9 ~ D4	100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	110000 111111
		20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30 ~ 3F	
0000	0		TW3A	OP0A	T1AB			IAP0	TAB1	SNZT1		WRST	TMA0	TAM0	XAM0	XAMI0	XAMD0	LXY	
0001	1			OP1A	T2AB			IAP1	TAB2	SNZT2			TMA1	TAM1	XAM1	XAMI1	XAMD1	LXY	
0010	2		TW5A		T3AB		TAMR	IAP2	TAB3	SNZT3			TMA2	TAM2	XAM2	XAMI2	XAMD2	LXY	
0011	3			OP3A			TAI1	IAP3					TMA3	TAM3	XAM3	XAMI3	XAMD3	LXY	
0100	4							IAP4					TMA4	TAM4	XAM4	XAMI4	XAMD4	LXY	
0101	5												TMA5	TAM5	XAM5	XAMI5	XAMD5	LXY	
0110	6		TMRA				TAK0						TMA6	TAM6	XAM6	XAMI6	XAMD6	LXY	
0111	7		TI1A				TAPU0						TMA7	TAM7	XAM7	XAMI7	XAMD7	LXY	
1000	8				TSIAB				TABSI				TMA8	TAM8	XAM8	XAMI8	XAMD8	LXY	
1001	9											TC2A	TMA9	TAM9	XAM9	XAMI9	XAMD9	LXY	
1010	A				TR2AB								TMA10	TAM10	XAM10	XAMI10	XAMD10	LXY	
1011	B		TK0A			TAW1							TMA11	TAM11	XAM11	XAMI11	XAMD11	LXY	
1100	C					TAW2							TMA12	TAM12	XAM12	XAMI12	XAMD12	LXY	
1101	D			TPU0A	T3HAB	TAW3							TMA13	TAM13	XAM13	XAMI13	XAMD13	LXY	
1110	E	TW1A											TMA14	TAM14	XAM14	XAMI14	XAMD14	LXY	
1111	F	TW2A				TAW5							TMA15	TAM15	XAM15	XAMI15	XAMD15	LXY	

上表は機械語コードと機械語命令の対応表です。D3 ~ D0は機械語コードの下位4ビットを示し、D9 ~ D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1目目のコードを上表に、2語命令の第2目目のコードを下表に示します。

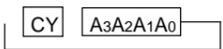
注．“－”で示しているコードは使用しないでください。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

機械語命令一覧表

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7~E4) (B) (E3~E0) (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) (E7~E4) (A) (E3~E0)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2~DR0) (A2~A0)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2~A0) (DR2~DR0) (A3) 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) (Z1, Z0) (A3, A2) 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) (X)
TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2~A0) (SP2~SP0) (A3) 0	
RAMアドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) x, x = 0~15 (Y) y, y = 0~15
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) z, z = 0~3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) (Y) - 1
RAMレジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) (M(DP)) (X) (X)EXOR(j) j = 0~15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) (M(DP)) (X) (X)EXOR(j) j = 0~15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) (M(DP)) (X) (X)EXOR(j) j = 0~15 (Y) (Y) - 1

スキップ条件	フラグCY	詳細説明
-	-	レジスタBの内容を、レジスタAに転送します。
-	-	レジスタAの内容を、レジスタBに転送します。
-	-	レジスタYの内容を、レジスタAに転送します。
-	-	レジスタAの内容を、レジスタYに転送します。
-	-	レジスタA及びレジスタBの内容を、レジスタEに転送します。
-	-	レジスタEの内容を、レジスタA及びレジスタBに転送します。
-	-	レジスタAの内容を、レジスタDに転送します。
-	-	レジスタDの内容を、レジスタAに転送します。
-	-	レジスタZの内容を、レジスタAに転送します。
-	-	レジスタXの内容を、レジスタAに転送します。
-	-	スタックポインタ(SP)の内容を、レジスタAに転送します。
連続記述	-	イミディエイトフィールドの値xをレジスタXへロードし、イミディエイトフィールドの値yをレジスタYへロードします。複数のLXY命令を連続して記述し、実行する場合は、最初に記述したLXY命令を除くLXY命令はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を + 1します。その結果、レジスタYの内容が "0" であれば、次の命令をスキップします。
(Y) = 15	-	レジスタYの内容を - 1します。その結果、レジスタYの内容が "15" であれば、次の命令をスキップします。
-	-	M(DP)の内容をレジスタAに転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。また、レジスタYの内容を - 1し、その結果が "15" のとき、次の命令をスキップします。

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
RAMレジスタ間転送命令	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) (A) (X) (X)EXOR(j) j = 0 ~ 15
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) n n = 0 ~ 15
	TABP p	0	0	1	0	p5	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0) (W5) (ROM(PC)) <sub>9,8</sub> (B) (ROM(PC)) <sub>7-4</sub> (A) (ROM(PC)) <sub>3-0</sub> (PC) (SK(SP)) (SP) (SP) - 1 (注)
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) (A)+(M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) (A) + (M(DP)) + (CY) (CY) キャリー
	An	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) (A) + n n = 0 ~ 15
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) (A)AND(M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) (A)OR(M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) 1
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) 0
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0 ?
	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) $\overline{(A)}$
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	

注. pはM34570E8,M34570M8の場合、0 ~ 63  
M34570M4の場合、0 ~ 31  
M34570ED,M34570MDの場合、0 ~ 127、p6はSBK,RBK命令で指定します。

スキップ条件	フラグCY	詳細説明
(Y) = 0	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を+1し、その結果が0のとき、次の命令をスキップします。
-	-	レジスタAの内容をM(DP)へ転送した後、レジスタXとイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。
連続記述	-	イミディエイトフィールドの値nをレジスタAにロードします。 複数のLA命令を連続して記述し、実行する場合は、最初に記述したLA命令を除くLA命令はスキップされます。
-	-	pページのレジスタDとレジスタAで指定された(DR2 DR1 DR0 A3 A2 A1 A0)番地のROMパターンのうち、ビット9 ~ 8をレジスタW5に、ビット7 ~ 4をレジスタBに、ビット3 ~ 0をレジスタAへ転送します。この命令を実行するときは、スタックを1段使用します。 SBK命令実行後は64 ~ 127ページ、RBK命令実行後は0 ~ 63ページを指定します。 リセット解除、RAMバックアップからの復帰後は0 ~ 63ページを指定します。
-	-	レジスタAにM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリーフラグCYの内容は変化しません。
-	0/1	レジスタAにM(DP)の内容とキャリーフラグ(CY)の内容を加えます。その結果はレジスタAとキャリーフラグCYに格納されます。
オーバーフロー = 0	-	レジスタAにイミディエイトフィールドの値nを加えます。キャリーフラグCYの内容は変化しません。 演算の結果、オーバーフローしなければ次の命令をスキップします。
-	-	レジスタAとM(DP)の内容の論理積をとり、結果をレジスタAに格納します。
-	-	レジスタAとM(DP)の内容の論理和をとり、結果をレジスタAに格納します。
-	1	フラグCYをセット(1)します。
-	0	フラグCYをクリア(0)します。
(CY) = 0	-	フラグCYの内容が0のとき、次の命令をスキップします。
-	-	レジスタAの内容の1の補数をレジスタAに格納します。
-	0/1	フラグCYを含め、レジスタAを右へ1ビットローテーションします。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D <sub>9</sub>	D <sub>8</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>					
ビット操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) 1 j = 0 ~ 3	
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) 0 j = 0 ~ 3	
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP)) = 0? j = 0 ~ 3	
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP)) ?	
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n ? n = 0 ~ 15	
		0	0	0	1	1	1	n	n	n	n	0 7 n				
ブランチ命令	B a	0	1	1	a <sub>6</sub>	a <sub>5</sub>	a <sub>4</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	1 8 a +a	1	1	(PCL) a <sub>6</sub> ~ a <sub>0</sub>	
	BL p,a	0	0	1	1	1	p <sub>4</sub>	p <sub>3</sub>	p <sub>2</sub>	p <sub>1</sub>	p <sub>0</sub>	0 E p +p	2	2	(PCH) p (PCL) a <sub>6</sub> ~ a <sub>0</sub> (注)	
		1	p <sub>6</sub>	p <sub>5</sub>	a <sub>6</sub>	a <sub>5</sub>	a <sub>4</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	2 p a +p +a				
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PCH) p (PCL) (DR <sub>2</sub> ~ DR <sub>0</sub> , A <sub>3</sub> ~ A <sub>0</sub> ) (注)	
		1	p <sub>6</sub>	p <sub>5</sub>	p <sub>4</sub>	0	0	p <sub>3</sub>	p <sub>2</sub>	p <sub>1</sub>	p <sub>0</sub>	2 p p +p				
サブルーチン呼び出し命令	BM a	0	1	0	a <sub>6</sub>	a <sub>5</sub>	a <sub>4</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	1 a a	1	1	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a <sub>6</sub> ~ a <sub>0</sub>	
	BML p, a	0	0	1	1	0	p <sub>4</sub>	p <sub>3</sub>	p <sub>2</sub>	p <sub>1</sub>	p <sub>0</sub>	0 C p +p	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a <sub>6</sub> ~ a <sub>0</sub> (注)	
		1	p <sub>6</sub>	p <sub>5</sub>	a <sub>6</sub>	a <sub>5</sub>	a <sub>4</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	2 p a +p +a				
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR <sub>2</sub> ~ DR <sub>0</sub> , A <sub>3</sub> ~ A <sub>0</sub> ) (注)	
		1	p <sub>6</sub>	p <sub>5</sub>	p <sub>4</sub>	0	0	p <sub>3</sub>	p <sub>2</sub>	p <sub>1</sub>	p <sub>0</sub>	2 p p +p				

注. pはM34570E8,M34570M8の場合、0 ~ 63  
M34570M4の場合、0 ~ 31  
M34570ED,M34570MDの場合、0 ~ 127、p<sub>6</sub>はSBK,RBK命令で指定します。

スキップ条件	フラグCY	詳細説明
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をセット(1)します。
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をクリア(0)します。
(Mj(DP)) = 0 j = 0 ~ 3	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が"0"のとき、次の命令をスキップします。
(A) = (M(DP))	-	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。
(A) = n	-	レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。
-	-	ページ内ブランチ:同一ページのa番地にブランチします。
-	-	ページ外ブランチ:pページのa番地にブランチします。
-	-	ページ外ブランチ:pページのレジスタD,レジスタAで示された番地 (DR <sub>2</sub> DR <sub>1</sub> DR <sub>0</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub> )番地へブランチします。
-	-	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチンを呼び出します。
-	-	サブルーチン呼び出し:pページのa番地のサブルーチンを呼び出します。
-	-	サブルーチン呼び出し:pページのレジスタD,レジスタAで指定された(DR <sub>2</sub> DR <sub>1</sub> DR <sub>0</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub> )番地のサブルーチンを呼び出します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) (SK(SP)) (SP) (SP) - 1	
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) (SK(SP)) (SP) (SP) - 1	
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) (SK(SP)) (SP) (SP) - 1	
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) 0	
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) 1	
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	(EXF0) = 1 ? 次の命令をスキップ後 (EXF0) 0	
	SNZI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 1 : (INT) = " H " ?  I12 = 0 : (INT) = " L " ?	
	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) (V1)	
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) (A)	
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) (V2)	
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) (A)	
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) (I1)	
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) (A)	

スキップ条件	フラグCY	詳細説明
-	-	割り込み処理ルーチンからメインルーチンに戻ります。 データポインタ(X,Y,Z)、キャリーフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。
-	-	サブルーチンから、そのサブルーチンを呼んだルーチンに戻ります。
無条件スキップ	-	サブルーチンから、そのサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。
-	-	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
-	-	フラグINTEをセット(1)し、割り込み発生可能状態にします。
(EXF0) = 1	-	外部割り込み要求フラグ(EXF0)が* 1 のとき、次の命令をスキップします。 スキップ後、フラグEXF0をクリアします。
(INT) = " H " I12 = 1	-	割り込み制御レジスタI1のビット2(I12)が* 1 のとき、INT端子のレベルが* H ならば次の命令をスキップします。
(INT) = " L " I12 = 0	-	レジスタI1のビット2(I12)が* 0 のとき、INT端子のレベルが* L ならば次の命令をスキップします。
-	-	割り込み制御レジスタV1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタV1へ転送します。
-	-	割り込み制御レジスタV2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタV2へ転送します。
-	-	割り込み制御レジスタI1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタI1へ転送します。

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
タイマ操作命令	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) (A)
	TAW3	1	0	0	1	0	0	1	1	0	1	2 4 D	1	1	(A) (W3)
	TW3A	1	0	0	0	0	1	0	0	0	0	2 1 0	1	1	(W3) (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2 4 F	1	1	(A) (0,0,W51,W50)
	TW5A	1	0	0	0	0	1	0	0	1	0	2 1 2	1	1	(W51,W50) (A1,A0)
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(W5) (T19,T18) (B) (T17~T14) (A) (T13~T10)
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	タイマ1停止時(W10=0) (R19,R18) (W5) (T19,T18) (W5) (R17~R14) (B) (T17~T14) (B) (R13~R10) (A) (T13~T10) (A) タイマ1動作時(W10=1) (R19,R18) (W5) (R17~R14) (B) (R13~R10) (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B) (T27~T24) (A) (T23~T20)
	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(R27~R24) (B) (T27~T24) (B) (R23~R20) (A) (T23~T20) (A)
TR2AB	1	0	0	0	1	1	1	0	1	0	2 3 A	1	1	(R27~R24) (B) (R23~R20) (A)	
TAB3	1	0	0	1	1	1	0	0	1	0	2 7 2	1	1	(B) (T37~T34) (A) (T33~T30)	

スキップ条件	FLAG CY	詳細説明
-	-	タイマ制御レジスタW1の内容を、レジスタAに転送します。
-	-	レジスタAの内容を、レジスタW1に転送します。
-	-	タイマ制御レジスタW2の内容を、レジスタAに転送します。
-	-	レジスタAの内容を、レジスタW2に転送します。
-	-	タイマ制御レジスタW3の内容を、レジスタAに転送します。
-	-	レジスタAの内容を、レジスタW3に転送します。
-	-	タイマ制御レジスタW5の内容を、レジスタAの下位2ビットに転送し、レジスタAの上位2ビットを0にします。
-	-	レジスタAの内容を、レジスタW5に転送します。
-	-	タイマ1上位2ビットの内容をレジスタW5に、下位8ビットをレジスタA及びレジスタBに転送します。
-	-	停止時(W10=0)には、レジスタW5の内容をタイマ1及びタイマ1のリロードレジスタ上位2ビットに、レジスタA及びBの内容を下位8ビットに転送します。 動作時(W10=1)には、レジスタW5の内容をタイマ1のリロードレジスタ上位2ビットに、レジスタA及びBの内容を下位8ビットに転送します。
-	-	タイマ2の内容を、レジスタA及びレジスタBに転送します。
-	-	レジスタA及びレジスタBの内容を、タイマ2とタイマ2のリロードレジスタに転送します。
-	-	レジスタA及びレジスタBの内容を、タイマ2のリロードレジスタに転送します。
-	-	タイマ3の内容を、レジスタA及びレジスタBに転送します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
タイマ操作命令	T3AB	1	0	0	0	1	1	0	0	1	0	2 3 2	1	1	(R3L7 ~ R3L4) (B) (T37 ~ T34) (B) (R3L3 ~ R3L0) (A) (T33 ~ T30) (A)	
	T3HAB	1	0	0	0	1	1	1	1	0	1	2 3 D	1	1	(R3H7 ~ R3H4) (B) (R3H3 ~ R3H0) (A)	
	SNZT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	(T1F)=1 ? 次の命令をスキップ後 (T1F) 0	
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	(T2F)=1 ? 次の命令をスキップ後 (T2F) 0	
	SNZT3	1	0	1	0	0	0	0	0	1	0	2 8 2	1	1	(T3F)=1 ? 次の命令をスキップ後 (T3F) 0	
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) (P0)	
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) (A)	
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) (P1)	
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) (A)	
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A1,A0) (P21,P20) (A3,A2) 0	
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A) (P3)	
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P3) (A)	
	IAP4	1	0	0	1	1	0	0	1	0	0	2 6 4	1	1	(A) (P4)	
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) 1	
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) 0, (Y) = 0~9	
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) 1, (Y) = 0~9	
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) (A)	
	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) (K0)	
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) (A)	
TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) (PU0)		

スキップ条件	フラグCY	詳細説明
-	-	レジスタA及びレジスタBの内容を、タイマ3とタイマ3のリロードレジスタR3Lに転送します。
-	-	レジスタA及びレジスタBの内容を、タイマ3のリロードレジスタR3Hに転送します。
(T1F)=1	-	タイマ1割り込み要求フラグ(T1F)が '1' のとき、次の命令をスキップします。スキップ後、フラグT1Fをクリアします。
(T2F)=1	-	タイマ2割り込み要求フラグ(T2F)が '1' のとき、次の命令をスキップします。スキップ後、フラグT2Fをクリアします。
(T3F)=1	-	タイマ3割り込み要求フラグ(T3F)が '1' のとき、次の命令をスキップします。スキップ後、フラグT3Fをクリアします。
-	-	ポートP0の入力を、レジスタAに転送します。
-	-	レジスタAの内容を、ポートP0に出力します。
-	-	ポートP1の入力を、レジスタAに転送します。
-	-	レジスタAの内容を、ポートP1に出力します。
-	-	ポートP2の入力を、レジスタAに転送します。
-	-	ポートP3の入力を、レジスタAに転送します。
-	-	レジスタAの内容をポートP3に出力します。
-	-	ポートP4の入力を、レジスタAに転送します。
-	-	ポートDをセット(1)します。
-	-	ポートDのレジスタYで指定されたポートをクリア(0)します。
-	-	ポートDのレジスタYで指定されたポートをセット(1)します。
-	-	レジスタAの内容をキーオンウエイクアップ制御レジスタK0へ転送します。
-	-	レジスタK0の内容をレジスタAへ転送します。
-	-	レジスタAの内容をプルアップ制御レジスタPU0へ転送します。
-	-	レジスタPU0の内容をレジスタAへ転送します。

分類	命令記号	命令コード											16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
出力命令 キャリア	TC2A	1	0	1	0	1	0	1	0	0	0	1	2 A 9	1	1	(C21,C20) (A1,A0)
その他	NOP	0	0	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) (PC)+1
	POF	0	0	0	0	0	0	0	0	1	0	0	0 0 2	1	1	RAMバックアップ
	EPOF	0	0	0	1	0	1	1	0	1	1	0	0 5 B	1	1	POF命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0	0 0 3	1	1	(P)=1?
	WRST	1	0	1	0	1	0	0	0	0	0	0	2 A 0	1	1	(WDF1) 0 (WEF) 1
	TABSI	1	0	0	1	1	1	1	0	0	0	0	2 7 8	1	1	(B) (SI7~SI4) (A) (SI3~SI0)
	TSIAB	1	0	0	0	1	1	1	0	0	0	0	2 3 8	1	1	(SI7~SI4) (B) (SI3~SI0) (A)
	TAMR	1	0	0	1	0	1	0	0	1	0	0	2 5 2	1	1	(A) (MR3~MR0)
	TMRA	1	0	0	0	0	1	0	1	1	0	0	2 1 6	1	1	(MR3~MR0) (A)
SBK	0	0	0	1	0	0	0	0	0	0	1	0 4 1	1	1	TABPp実行時 P6 1	
RBK	0	0	0	1	0	0	0	0	0	0	0	0 4 0	1	1	TABPp実行時 P6 0	

スキップ条件	フラグCY	詳細説明
-	-	レジスタAの内容を、搬送波出力制御レジスタC2に転送します。
-	-	ノーオペレーション
-	-	EPOF命令実行直後にPOF命令を実行すると、システムがRAMバックアップ状態になります。
-	-	EPOF命令を実行すると、直後のPOF命令が有効になります。
(P)=1	-	パワーダウンフラグ(P)が 1 のとき、次の命令をスキップします。スキップ後もフラグPは変化しません。
-	-	ウォッチドッグタイマを動作させ、ウォッチドッグタイマフラグ(WDF1)を初期化します。
-	-	8ビット汎用レジスタSIの内容をレジスタA及びレジスタBへ転送します。
-	-	レジスタA及びレジスタBの内容をレジスタSIへ転送します。
-	-	クロック制御レジスタMRの内容をレジスタAに転送します。
-	-	レジスタAの内容をクロック制御レジスタMRに転送します。
-	-	TABPp命令実行時に参照するデータ領域を64~127ページに設定します。この設定は、TAPBp命令に対してのみ有効です。
-	-	TABPp命令実行時に参照するデータ領域を0~63ページに設定します。この設定は、TAPBp命令に対してのみ有効です。SBK命令を実行しなければTABPp命令実行時のP6は 0 です。

制御レジスタ一覧

割り込み制御レジスタV1		リセット時：00002	RAMバックアップ時：00002	R/W
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2命令有効)	
		1	発生可能 (SNZT2命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1命令有効)	
		1	発生可能 (SNZT1命令無効)	
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0命令有効)	
		1	発生可能 (SNZ0命令無効)	

割り込み制御レジスタV2		リセット時：00002	RAMバックアップ時：00002	R/W
V23	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V22	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V21	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3命令有効)	
		1	発生可能 (SNZT3命令無効)	

タイマ制御レジスタW1		リセット時：00002	RAMバックアップ時：00002	R/W
W13	プリスケアラ 制御ビット	0	停止(プリスケアラ初期状態)	
		1	動作	
W12	プリスケアラ 分周比選択ビット	0	インストラクションクロックを4分周	
		1	インストラクションクロックを8分周	
W11	タイマ1 カウントソース選択ビット	0	プリスケアラ出力(ORCLK)	
		1	搬送波出力(CARRY)	
W10	タイマ1制御ビット	0	停止(状態保持)	
		1	動作	

タイマ制御レジスタW2		リセット時：00002	RAMバックアップ時：状態保持	R/W
W23	タイマ2 制御ビット	0	停止(状態保持)	
		1	動作	
W22	ポートD9/TOUT端子 機能選択ビット	0	ポートD9	
		1	TOUT端子	
W21	タイマ2 カウントソース選択ビット	W21 W20	カウントソース	
		0 0	プリスケアラ出力(ORCLK)	
W20	タイマ2 カウントソース選択ビット	0 1	タイマ1アンダフロー信号	
		1 0	インストラクションクロック	
		1 1	16ビットタイマアンダフロー信号	

注：“R”は読み出し可、“W”は書き込み可を表します。

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

タイマ制御レジスタW3		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
W33	タイマ3制御ビット	0	停止(状態保持)		
		1	動作		
W32	使用しません	0	このビットに機能はありませんがR/Wは可能です。		
		1			
W31	タイマ3 カウントソース選択ビット	W31 W30		カウントソース	
		0 0		タイマ2アンダフロー信号	
		0 1		プリスケアラ出力(ORCLK)	
W30		1 0		f(XIN)またはf(XIN)の2分周	
		1 1		使用禁止	

割り込み制御レジスタI1		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
I13	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
I12	INT端子 割り込み有効 波形/復帰レベル選択ビット (注2)	0	立ち下がり波形 SNZIO命令はINT端子の“L”レベル認識)/“L”レベル		
		1	立ち上がり波形 SNZIO命令はINT端子の“H”レベル認識)/“H”レベル		
I11	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
I10	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			

キーオンウエイクアップ制御レジスタK0		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R/W
K03	ポートP43 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし		
		1	キーオンウエイクアップあり		
K02	ポートP42 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし		
		1	キーオンウエイクアップあり		
K01	ポートP41 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし		
		1	キーオンウエイクアップあり		
K00	ポートP40 キーオンウエイクアップ制御ビット	0	キーオンウエイクアップなし		
		1	キーオンウエイクアップあり		

注1.“R”は読み出し可,“W”は書き込み可を表します。

2. レジスタI1のビット2に値を設定した後は、1命令以上においてSNZ0命令を実行し、外部0割り込み要求フラグ(EXF0)を“0”にクリアしてください。INT端子の入力状態によっては、割り込み有効波形を変更した後にフラグEXF0が“1”にセットされることがあります。

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

プルアップ制御レジスタPU0		リセット時：0000 <sub>2</sub>		RAMバックアップ時：状態保持	R / W
PU0 <sub>3</sub>	ポートP4 <sub>3</sub> プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU0 <sub>2</sub>	ポートP4 <sub>2</sub> プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU0 <sub>1</sub>	ポートP4 <sub>1</sub> プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU0 <sub>0</sub>	ポートP4 <sub>0</sub> プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

クロック制御レジスタMR		リセット時：1000 <sub>2</sub>		RAMバックアップ時：状態保持	R / W
MR <sub>3</sub>	システムクロック選択ビット	0	f(XIN)		
		1	f(XIN)/4		
MR <sub>2</sub>	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
MR <sub>1</sub>	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
MR <sub>0</sub>	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			

搬送波出力制御レジスタC2		リセット時：00 <sub>2</sub>		RAMバックアップ時：00 <sub>2</sub>	W
C2 <sub>1</sub>	ポートCARR出力制御ビット	0	ポートCARR <sup>L</sup> レベル出力		
		1	ポートCARR <sup>H</sup> レベル出力		
C2 <sub>0</sub>	搬送波出力自動制御ビット	0	タイマ1による自動出力制御無効		
		1	タイマ1による自動出力制御有効		

### 汎用レジスタ

8ビット汎用レジスタSI		リセット時：00 <sub>16</sub>		RAMバックアップ時：状態保持	R / W
8ビットの汎用レジスタです。 TSIAB, TABSI命令によりレジスタA, Bとの間で8ビットのデータ転送ができます。					

### タイマカウント値格納レジスタ

タイマカウント値格納レジスタW5		リセット時：00 <sub>2</sub>		RAMバックアップ時：状態保持	R / W
2ビットのレジスタです。TABPp命令によりpページのレジスタDとレジスタAで指定された(D <sub>2</sub> D <sub>1</sub> D <sub>0</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub> )番地のROMパターン10ビットのうち、上位2ビット(ビット9, 8)が格納されます。また、TW5A, TAW5命令によりレジスタAの下位2ビットとデータ転送ができます。T1AB, TAB1命令によりタイマ1の上位2ビットへのデータ書き込み、読み出しができます。					

注：“R”は読み出し可，“W”は書き込み可を表します。

# 三菱マイクロコンピュータ 4570グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

絶対最大定格

記号	項目	条件	定格値	単位
VDD	電源電圧		- 0.3 ~ 7	V
VI	入力電圧 P0, P1, P2, P3, P4, $\overline{\text{RESET}}$ , XIN, VDCE		- 0.3 ~ VDD + 0.3	V
VO	出力電圧 P0, P1, P3, D	出力トランジスタ遮断状態	- 0.3 ~ VDD + 0.3	V
VO	出力電圧 CARR, XOUT		- 0.3 ~ VDD + 0.3	V
Pd	消費電力		300	mW
Topr	動作周囲温度		- 20 ~ 70	
Tstg	保存温度		- 40 ~ 125	

推奨動作条件1( マスクROM版：指定のない場合は、Ta = - 20 ~ 70 , VDD = 2.0 ~ 5.5V )  
( ワンタイムPROM版：指定のない場合は、Ta = - 20 ~ 70 , VDD = 2.5 ~ 5.5V )

記号	項目	条件	規格値			単位	
			最小	標準	最大		
VDD	電源電圧	マスクROM版 システムクロック =f(XIN)/4	f(XIN) 4.2MHz セラミック共振子	2.0		5.5	V
		マスクROM版 システムクロック =f(XIN)	f(XIN) 2.0MHz セラミック共振子	4.5		5.5	
			f(XIN) 1.0MHz セラミック共振子	2.0		5.5	
		ワンタイムPROM版 システムクロック =f(XIN)/4	f(XIN) 4.2MHz セラミック共振子	2.5		5.5	
		ワンタイムPROM版 システムクロック =f(XIN)	f(XIN) 2.0MHz セラミック共振子	4.5		5.5	
			f(XIN) 1.0MHz セラミック共振子	2.5		5.5	
VRAM	RAM保持電圧	マスクROM版	RAMバックアップ時	1.8		5.5	V
		ワンタイムPROM版		2.0		5.5	
VSS	電源電圧			0			V
f(XIN)	発振周波数	マスクROM版 システムクロック =f(XIN)/4	VDD=2.0 ~ 5.5V			4.2	MHz
		マスクROM版 システムクロック =f(XIN)	VDD=4.5 ~ 5.5V			2.0	
			VDD=2.0 ~ 5.5V			1.0	
		ワンタイムPROM版 システムクロック =f(XIN)/4	VDD=2.5 ~ 5.5V			4.2	
		ワンタイムPROM版 システムクロック =f(XIN)	VDD=4.5 ~ 5.5V			2.0	
			VDD=2.5 ~ 5.5V			1.0	

# 三菱マイクロコンピュータ 4570グループ

## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

推奨動作条件② マスクROM版：指定のない場合は、 $T_a = -20 \sim 70$  ,  $V_{DD} = 2.0 \sim 5.5V$  )  
(ワンタイムPROM版：指定のない場合は、 $T_a = -20 \sim 70$  ,  $V_{DD} = 2.5 \sim 5.5V$  )

記号	項目	条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	“H”入力電圧 P0,P1,P2,P3,P4,VDCE		0.8V <sub>DD</sub>		V <sub>DD</sub>	V
V <sub>IH</sub>	“H”入力電圧 X <sub>IN</sub>		0.7V <sub>DD</sub>		V <sub>DD</sub>	V
V <sub>IH</sub>	“H”入力電圧 $\overline{\text{RESET}}$		0.85V <sub>DD</sub>		V <sub>DD</sub>	V
V <sub>IH</sub>	“H”入力電圧 INT		0.8V <sub>DD</sub>		V <sub>DD</sub>	V
V <sub>IL</sub>	“L”入力電圧 P0,P1,P2,P3,P4,VDCE		0		0.3V <sub>DD</sub>	V
V <sub>IL</sub>	“L”入力電圧 X <sub>IN</sub>		0		0.3V <sub>DD</sub>	V
V <sub>IL</sub>	“L”入力電圧 $\overline{\text{RESET}}$		0		0.3V <sub>DD</sub>	V
V <sub>IL</sub>	“L”入力電圧 INT		0		0.2V <sub>DD</sub>	V
I <sub>OL</sub> (peak)	“L”レベル尖頭出力電流 P0,P1,D0 ~ D9,CARR	V <sub>DD</sub> =5.0V			10	mA
		V <sub>DD</sub> =3.0V			4	
I <sub>OL</sub> (peak)	“L”レベル尖頭出力電流 P3	V <sub>DD</sub> =5.0V			30	mA
		V <sub>DD</sub> =3.0V			24	
I <sub>OL</sub> (avg)	“L”レベル平均出力電流 (注) P0,P1,D0 ~ D9,CARR	V <sub>DD</sub> =5.0V			5	mA
		V <sub>DD</sub> =3.0V			2	
I <sub>OL</sub> (avg)	“L”レベル平均出力電流 P3 (注)	V <sub>DD</sub> =5.0V			15	mA
		V <sub>DD</sub> =3.0V			12	
I <sub>OH</sub> (peak)	“H”レベル尖頭出力電流 CARR	V <sub>DD</sub> =5.0V			-30	mA
		V <sub>DD</sub> =3.0V			-15	
I <sub>OH</sub> (avg)	“H”レベル平均出力電流 CARR (注)	V <sub>DD</sub> =5.0V			-15	mA
		V <sub>DD</sub> =3.0V			-7	
I <sub>OL</sub>	“L”レベル総電流 P0,P1,P3				30	mA
I <sub>OL</sub>	“L”レベル総電流 D				20	
TPON	パワーオンリセット回路 有効電源立ち上がり時間	マスクROM版 V <sub>DD</sub> =0 ~ 2.0V			100	μs
		ワンタイムPROM版 V <sub>DD</sub> =0 ~ 2.5V				

注：平均出力電流規格は、100mSの期間の平均電流値です。

# 三菱マイクロコンピュータ 4570グループ

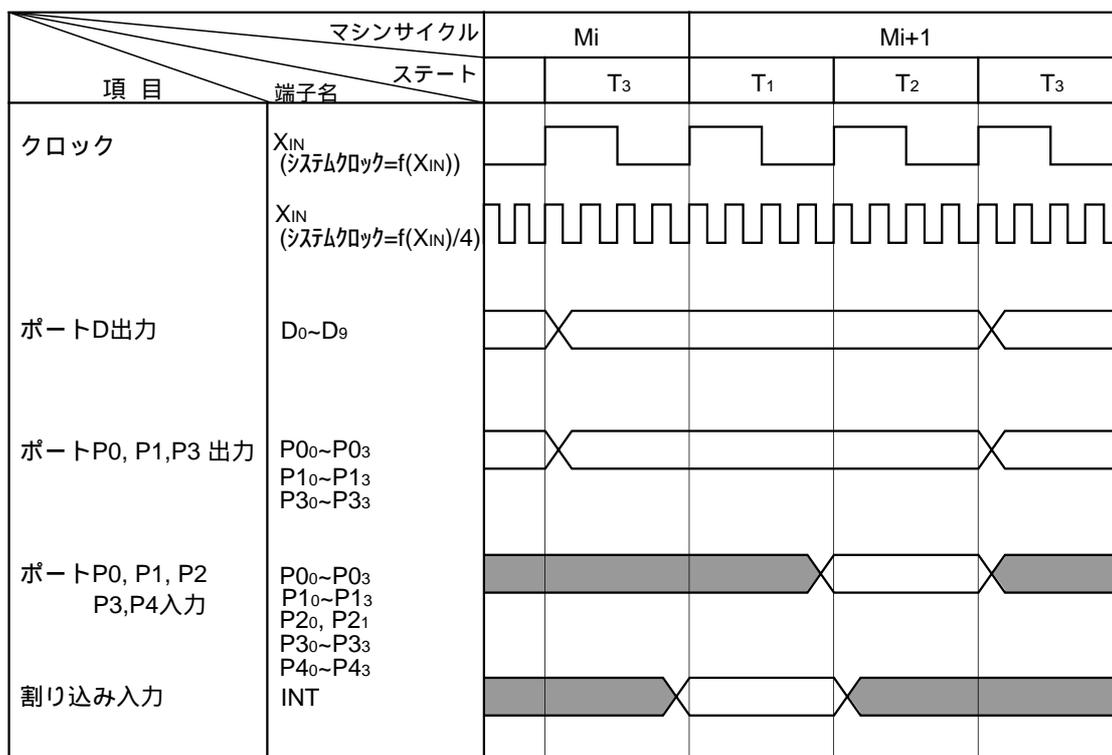
## SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

電気的特性 ( マスクROM版: 指定のない場合は、 $T_a = -20 \sim 70$  ,  $V_{DD} = 2.0 \sim 5.5V$  )  
 ( ワンタイムPROM版: 指定のない場合は、 $T_a = -20 \sim 70$  ,  $V_{DD} = 2.5 \sim 5.5V$  )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOL	“L”出力電圧 P0,P1 D0~D9,CARR,RESET	IOL=5mA VDD=5.0V			0.9	V	
		IOL=2mA VDD=3.0V			0.9		
VOL	“L”出力電圧 P3	IOL=15mA VDD=5.0V			1.5	V	
		IOL=12mA VDD=3.0V			1.5		
VOH	“H”出力電圧 CARR	IOL=15mA VDD=5.0V	2.4			V	
		IOL=7mA VDD=3.0V	1.0				
IiH	“H”入力電流 P0,P1,P2,P3,P4 RESET,VDCE	VI=VDD (注)			1	$\mu A$	
IiL	“L”入力電流 P2,P3,P4 RESET,VDCE	VI=0V (注)	-1			$\mu A$	
Ioz	オフ時出力電流 D0~D9	VO=VDD			1	$\mu A$	
IDD	電源電流	CPU動作時	VDD=5.0V f(XIN)=4.2MHz システムクロック=f(XIN)/4		1.3	2.6	mA
			VDD=5.0V システムクロック=f(XIN)	f(XIN)=2MHz	1.9	3.8	
				f(XIN)=1MHz	1.3	2.6	
			VDD=3.0V f(XIN)=4.2MHz システムクロック=f(XIN)/4		0.6	1.2	
		VDD=3.0V システムクロック=f(XIN)	f(XIN)=1MHz	0.5	1.0		
			f(XIN)=500kHz	0.4	0.8		
RAMバックアップ時	f(XIN)=停止 標準値はTa=25 時		0.1	10	$\mu A$		
RPH	ブルアップ 抵抗	P0,P1,P4	VDD=5.0V VI=0V	20	50	125	k
			VDD=3.0V VI=0V	40	100	250	
		RESET	VDD=5.0V VI=0V	12	30	70	
			VDD=3.0V VI=0V	25	60	130	
VT+ - VT-	ヒステリシス INT	VDD=5.0V		0.5		V	
		VDD=3.0V		0.4			
	ヒステリシス RESET	VDD=5.0V		1.5			
		VDD=3.0V		0.6			

注. ポートP4はソフトウェアでブルアップトランジスタをOFFした場合です。

基本タイミング図



### PROM内蔵版

マスクROM版に対して、PROMを内蔵しているマイクロコンピュータをPROM内蔵版といいます。またワンタイムPROMタイプのマイクロコンピュータ(ワンタイムPROM版)は、内蔵PROMへの書き込みが可能です。

PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのPROMモードをもっています。

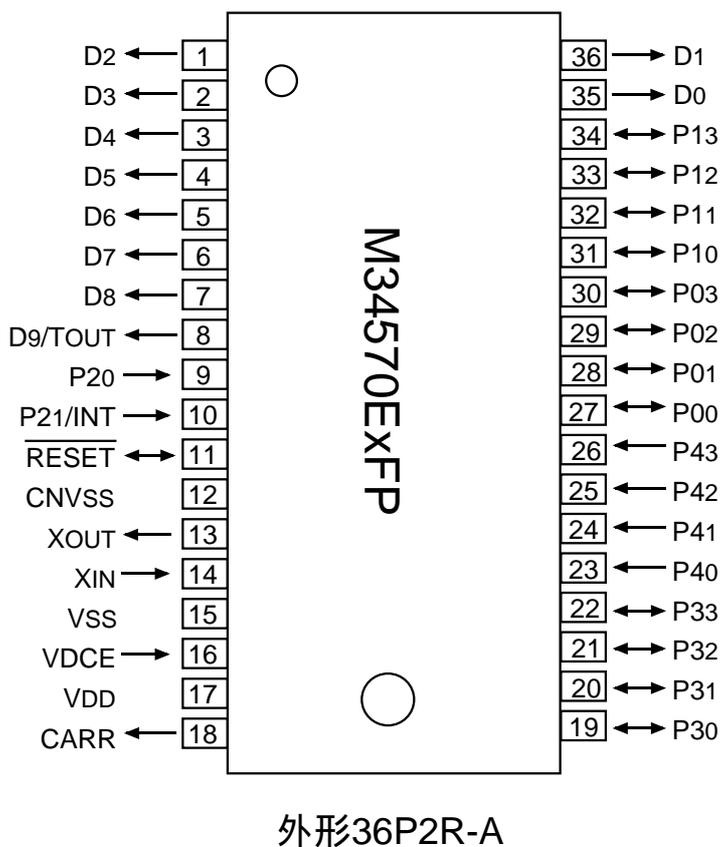
PROM内蔵版の形名一覧を表XA-1に、ピン接続図を図XA-1に示します。

なお、ワンタイムPROM版は、マスクROM版とピンコンパチブルです。

表XA-1 . PROM内蔵版の形名一覧

形名	PROM容量 (×10ビット)	RAM容量 (×4ビット)	パッケージ	備考
M34570E8FP	8192語	128語	36P2R-A	ワンタイムPROM版
M34570EDFP	16384語	128語	36P2R-A	

ピン接続図(上面図)



図XA-1 . PROM内蔵版ピン配置図

### (1) PROMモード

PROM内蔵版は、通常の動作モード以外にPROMモードを持ちます。PROMモードは、内蔵PROMへの書き込み時及び内蔵PROMからの読み出し時に使用するモードです。

PROMモードでは、専用の書き込みアダプタと汎用のPROMライタを併用することにより、M5M27C256Kと同じ動作で内蔵PROMの書き込み、読み出しが行えます。表XA-2に専用書き込みアダプタを示します。なお、適応するPROMライタについては、巻末掲載のお問い合わせ先までご連絡ください。

#### 内蔵PROMの書き込み、読み出し

書き込み電圧は12.5Vです。PROM内蔵版の内蔵PROMには、図XA-2に示す形式でプログラムを書き込んでください。

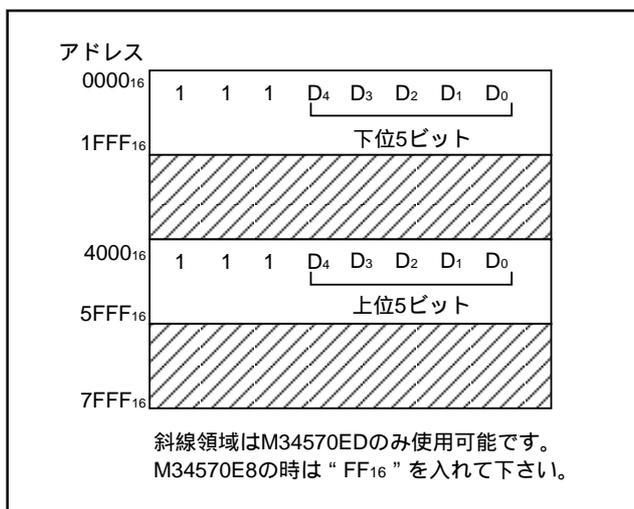
### (2) 取り扱い上の注意

書き込みに際しては高い電圧を使用しますので、過電圧がかからないように注意してください。特に電源の投入時はご注意ください。

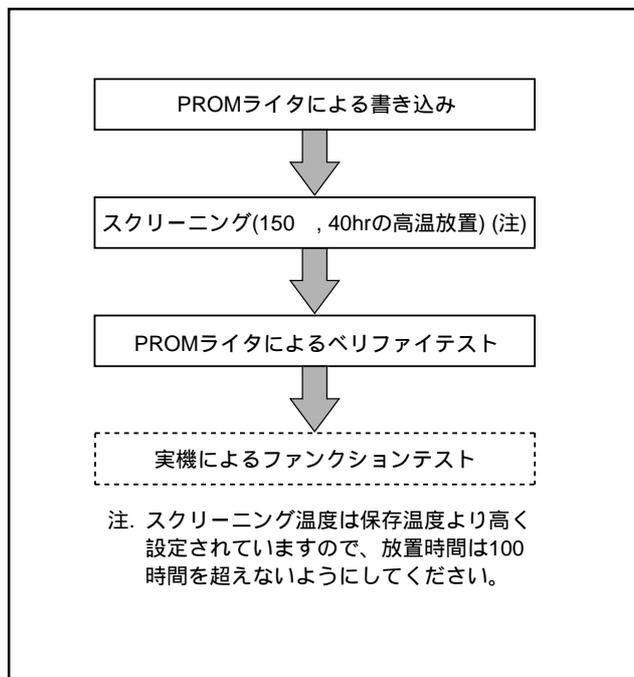
ワнтаイムPROM版は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図XA-3に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

表XA-2. 書き込みアダプタ

マイクロコンピュータ形名	書き込みアダプタ形名
M34570E8FP, M34570EDFP	PCA7425



図XA-2. PROMメモリマップ



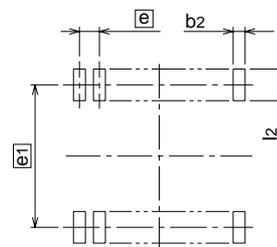
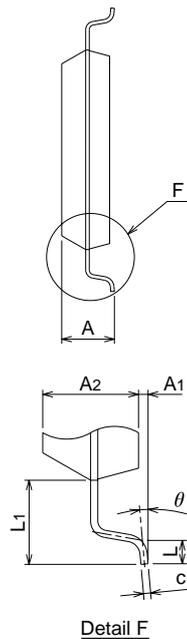
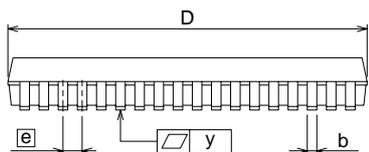
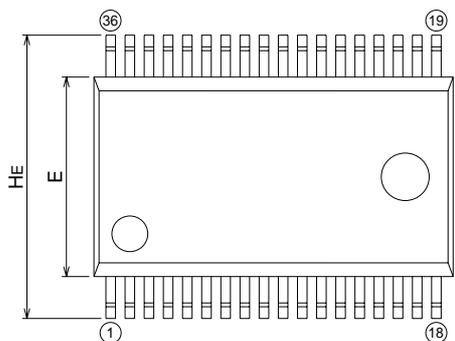
図XA-3. ワнтаイムPROM版の書き込み及びテスト

パッケージ外形寸法図

36P2R-A

Plastic 36pin 450mil SSOP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SSOP36-P-450-0.80	-	0.53	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	2.4
A1	0.05	-	-
A2	-	2.0	-
b	0.35	0.4	0.5
c	0.13	0.15	0.2
D	14.8	15.0	15.2
E	8.2	8.4	8.6
e	-	0.8	-
HE	11.63	11.93	12.23
L	0.3	0.5	0.7
L1	-	1.765	-
y	-	-	0.15
$\theta$	0°	-	10°
b2	-	0.5	-
e1	-	11.43	-
l2	1.27	-	-

GZZ-SH51-46A<7YA0>

マスクROM番号	
----------	--

三菱シングルチップ4ビットマイクロコンピュータ  
M34570M4-XXXXFP  
マスク化確認書

受付欄	年	月	日
	課長印	担当者印	

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

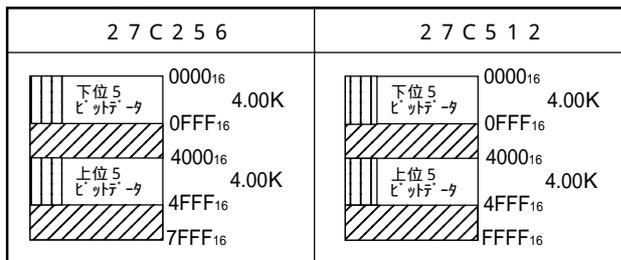
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード     (16進表示)

EPROMの種類



斜線領域は“FF<sub>16</sub>”を入れてください。

下位および上位5ビットデータ  の領域には“111<sub>2</sub>”を入れてください。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル (HEX.ファイルから生成) を処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード       (16進表示)

マスクファイル名       .MSK(英数字8桁)

GZZ-SH51-46A<7YA0>

マスクROM番号	
----------	--

三菱シングルチップ4ビットマイクロコンピュータ  
M34570M4-XXXXFP  
マスク化確認書

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M34570M4-XXXXFPの場合は36P2R-Aのマーク指定書をご提出ください。

3. 特記事項

GZZ-SH51-47A<7YA0>

**三菱シングルチップ4ビットマイクロコンピュータ  
M34570M8-XXXFP  
マスク化確認書**

マスクROM番号	
----------	--

受 付 欄		年	月	日
	課長印	担当者印		

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿 TEL ( )	発行 印	責任者印	担当者印
	発行日	年 月 日			

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

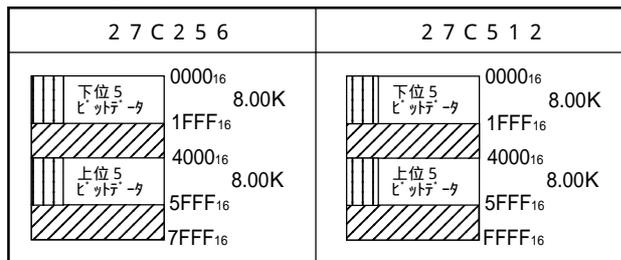
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード  (16進表示)

EPROMの種類



斜線領域は“FF<sub>16</sub>”を入れてください。

下位および上位5ビットデータ  の領域には“111<sub>2</sub>”を入れてください。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイル (HEX.ファイルから生成) を処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード  (16進表示)

マスクファイル名  .MSK(英数字8桁)

GZZ-SH51-47A<7YA0>

マスクROM番号	
----------	--

三菱シングルチップ4ビットマイクロコンピュータ  
M34570M8-XXXXFP  
マスク化確認書

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M34570M8-XXXXFPの場合は36P2R-Aのマーク指定書をご提出ください。

3. 特記事項

GZZ-SH53-07A<85A0>

マスクROM番号	
----------	--

三菱シングルチップ4ビットマイクロコンピュータ  
M34570MD-XXXXP  
マスク化確認書

受 付 欄	年	月	日
	課長印	担当者印	

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

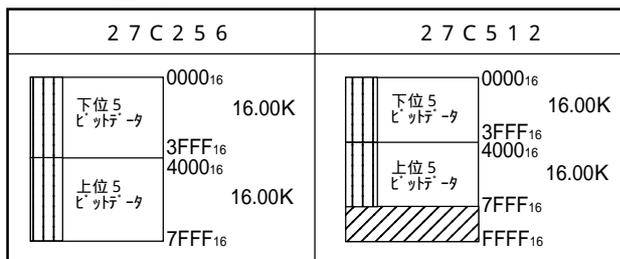
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード     (16進表示)

EPROMの種類



斜線領域は“FF<sub>16</sub>”を入れてください。

下位および上位5ビットデータ  の領域には“1112”を入れてください。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル (HEX.ファイルから生成) を処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード       (16進表示)

マスクファイル名       .MSK(英数字8桁)

GZZ-SH53-07A<85A0>

マスクROM番号	
----------	--

三菱シングルチップ4ビットマイクロコンピュータ  
M34570MD-XXXXFP  
マスク化確認書

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M34570MD-XXXXFPの場合は36P2R-Aのマーク指定書をご提出ください。

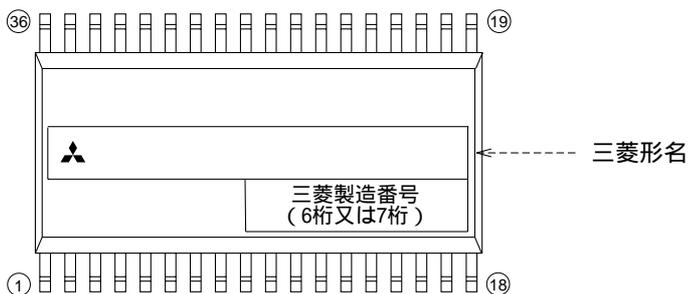
3. 特記事項

## 36P2R-A (36ピンシュリンク SOP) マーク指定書

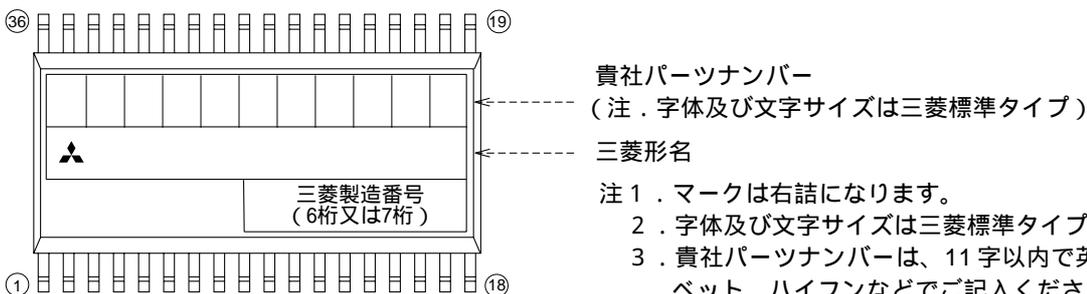
三菱 IC 形名

下記マーキングタイプ (A, B, C) のいずれかをご選択の上、マーキングスペースに三菱形名及び貴社ご必要マークをご記入ください。

### A. 三菱標準マーク



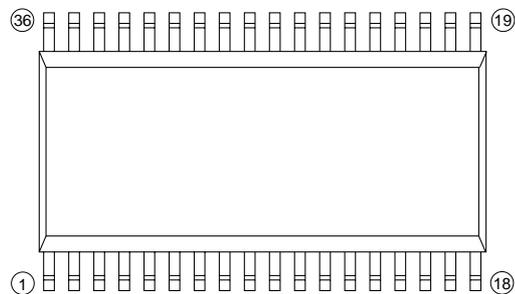
### B. 貴社パーツナンバー + 三菱形名



- 注 1. マークは右詰になります。  
 2. 字体及び文字サイズは三菱標準タイプになります。  
 3. 貴社パーツナンバーは、11 字以内で英数字、大文字アルファベット、ハイフンなどをご記入ください。  
 4. 三菱スリーダイヤマーク 不要の場合は、右欄にチェックをお願いします。

不要

### C. 特殊マーク



- 注 1. 貴社でご希望のマーク配列を左図にご記入ください。これを元に当社において技術的に可能な配列を検討致します。  
 なお、製品分類の為三菱製造番号(6桁又は7桁)とマスクROM番号(3桁)は常にマークさせていただきますのでご了承ください。  
 2. 特殊字体(貴社商標など)をご希望の場合は下欄にチェックをお願いします。  
 また、新規特殊字体の場合は、コピーなどではない鮮明なロゴ図面原紙のご提出をお願いします。

特殊字体希望

MEMO

株式会社ルネサステクノロジー 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	<p>・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。</p>
本資料ご利用に際しての留意事項	<p>・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。</p> <p>・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。</p> <p>・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は特性改良などにより予告なしに変更することがあります。従って、三菱半導体製品のご購入に当たりますは事前に三菱電機または特約店へ最新の情報をご確認ください。</p> <p>・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いかねます。</p> <p>・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。</p> <p>・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。</p> <p>・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。</p>

## 改訂履歴

## 4570 グループ データシート

Rev. No.	改訂内容	Rev. date
1.0	<p>PDF ファイル初版発行 (97年3月発行の三菱半導体データブック 4ビットシングルチップマイクロコンピュータ編 [HD-166A]掲載分の改訂版)</p> <p>主な変更点を下記に示します。</p> <p>形名追加</p> <ul style="list-style-type: none"><li>・ROM 展開品 (容量 16K × 10 ビット) M34570MD-XXXFP, M34570EDFP の 2 品種追加。</li></ul> <p>上記 2 品種追加による、命令の追加・機能増強</p> <ul style="list-style-type: none"><li>・SBK、RBK 命令の追加とそれに伴う TABP p 命令の機能増強 (TABP p 命令 : SBK 命令実行後は 64 ~ 127 ページを、RBK 命令実行後は 0 ~ 63 ページを指定。リセット解除後、および RAM バックアップからの復帰後は、0 ~ 63 ページを指定。)</li><li>・BL、BML、BLA、BMLA 命令コードを 0 ~ 127 ページ対応に変更。(ページ指定が p6 まで可能。)</li></ul>	990310