

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4518グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

RJJ03B0008-0301

Rev.3.01

2005.06.15

概 要

4518グループはCMOSプロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、シリアルインタフェース、8ビットタイマ(リロードレジスタ付き)4本、割り込み機能、10ビットA/Dコンバータ、発振回路切り替え機能を内蔵しています。

4518グループは、内蔵するメモリの種類、容量の異なる複数の品種があります。

詳細については下記の表を参照してください。

特 長

- 最短命令実行時間 0.5 μ s
(発振周波数6MHz、XINスルーモード時)
- 電源電圧
マスクROM版 1.8 ~ 5.5V
ワンタイムPROM版 2.5 ~ 5.5V
(動作源クロック、動作モード及び発振周波数により異なります)
- タイマ
タイマ1 8ビット(リロードレジスタ付き)
タイマ2 8ビット(リロードレジスタ付き)
タイマ3 8ビット(リロードレジスタ付き)
タイマ4 8ビット(リロードレジスタ2本付き)

- 割り込み機能 8要因
- キーオンウェイクアップ機能 10端子
- シリアルインタフェース 8ビット×1
- A/Dコンバータ 10ビット逐次比較方式、4ch
- 電圧低下検出回路
リセット発生 標準3.5V(Ta=25 時)
リセット解除 標準3.7V(Ta=25 時)
- ウォッチドッグタイマ
- クロック発生回路
(セラミック共振/RC発振/水晶発振/オンチップオシレータ)
- LED直接駆動可能(ポートD)

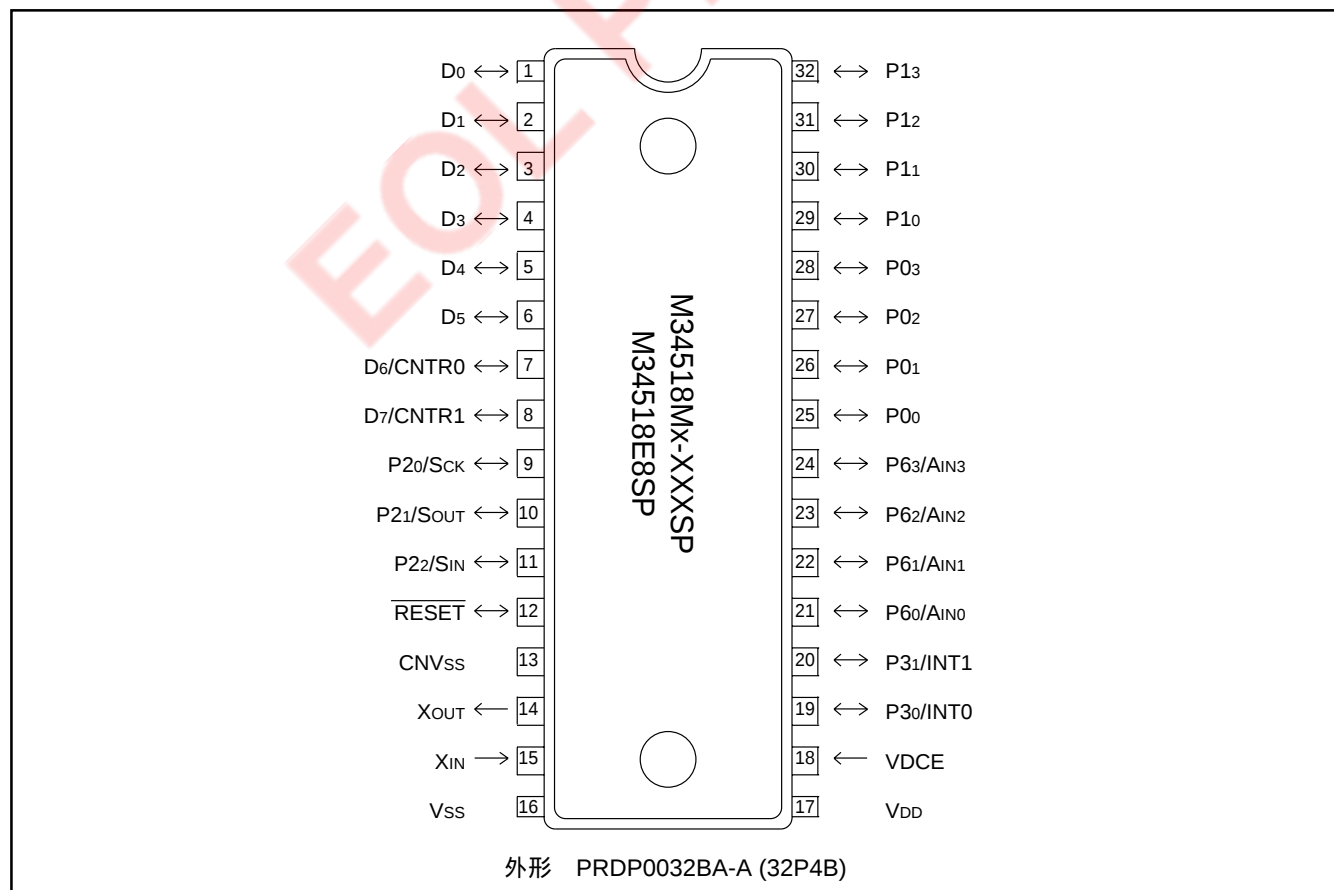
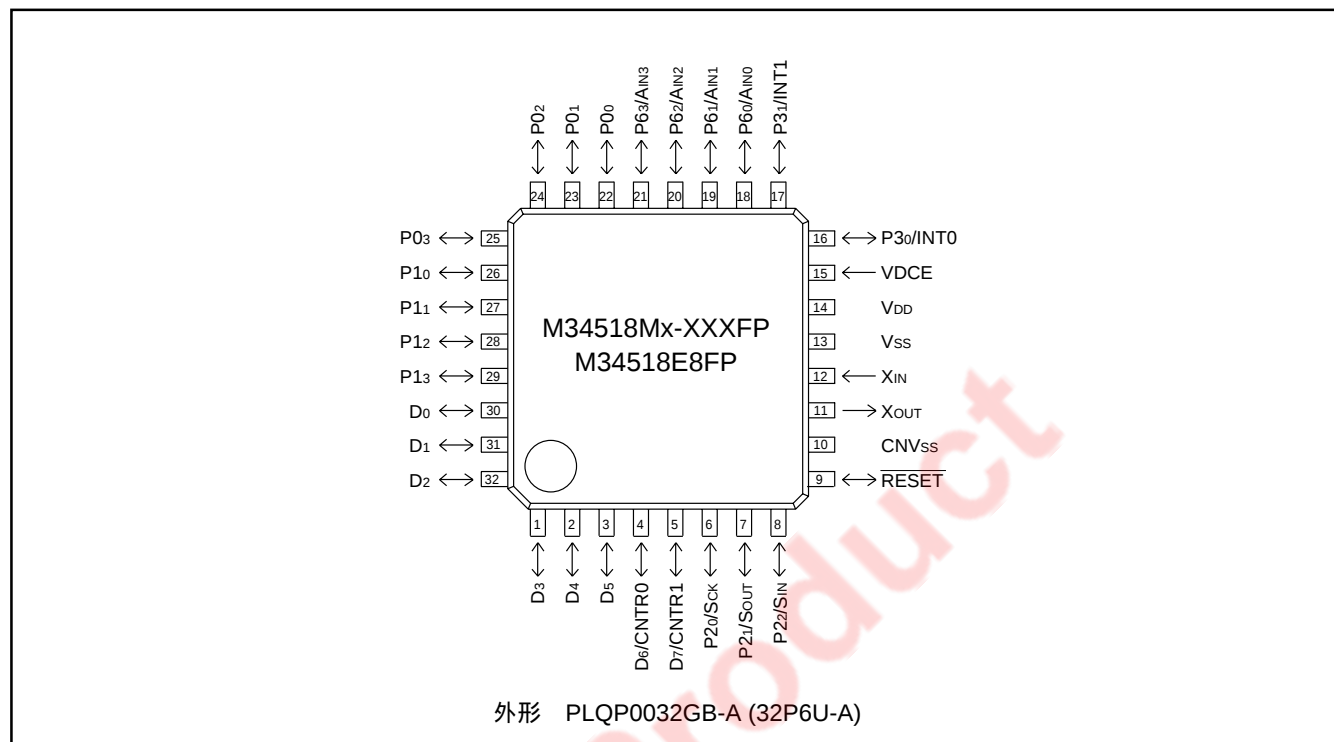
応 用

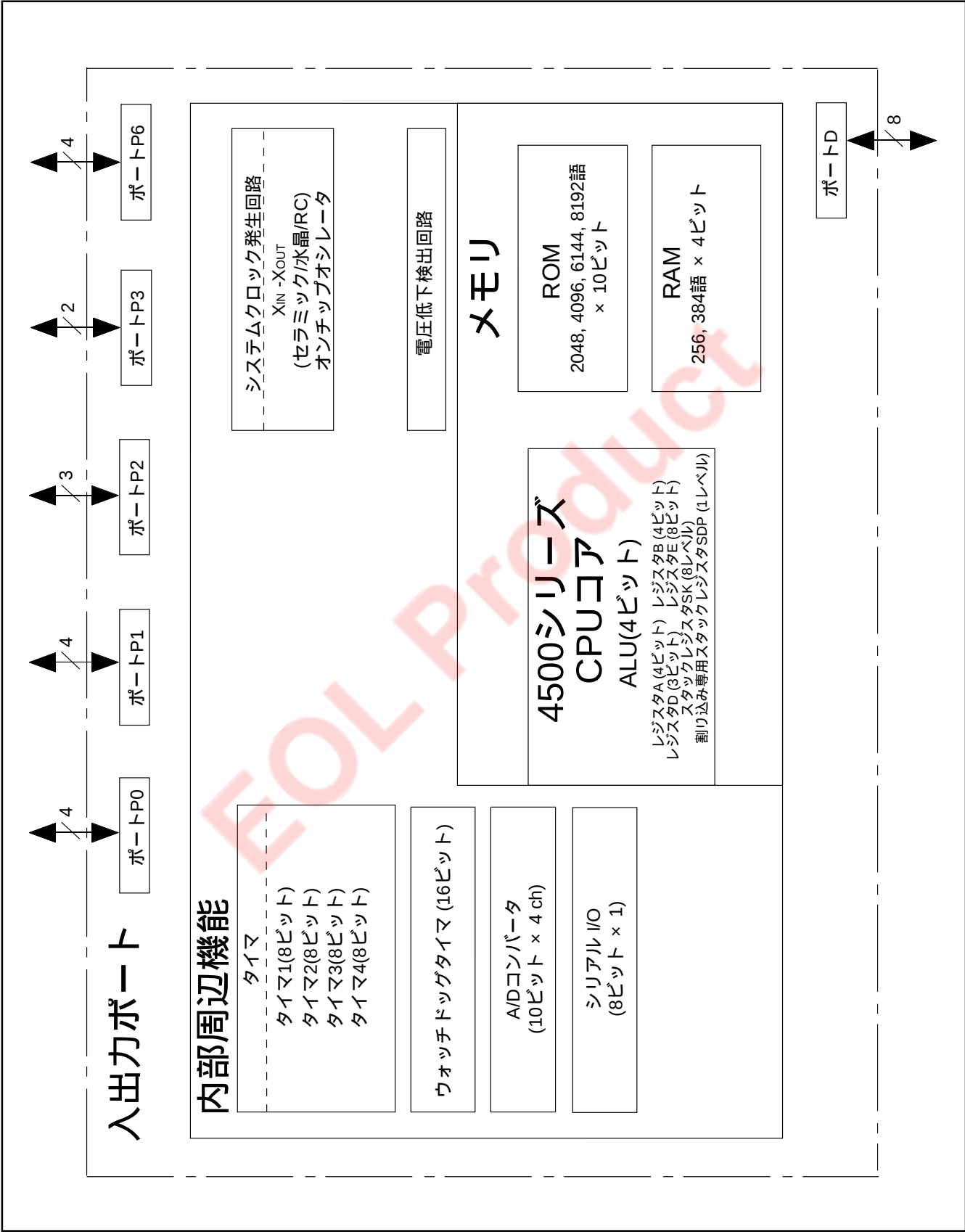
家電、民生機器、OA機器など

型 名	ROM(PROM)容量 (×10ビット)	RAM容量 (×4ビット)	パッケージ	ROM種類
M34518M2-XXXFP	2048語	256語	PLQP0032GB-A	マスクROM
M34518M2-XXXSP	2048語	256語	PRDP0032BA-A	マスクROM
M34518M4-XXXFP	4096語	256語	PLQP0032GB-A	マスクROM
M34518M4-XXXSP	4096語	256語	PRDP0032BA-A	マスクROM
M34518M6-XXXFP	6144語	384語	PLQP0032GB-A	マスクROM
M34518M8-XXXFP	8192語	384語	PLQP0032GB-A	マスクROM
M34518E8FP (注)	8192語	384語	PLQP0032GB-A	ワンタイムPROM
M34518E8SP (注)	8192語	384語	PRDP0032BA-A	ワンタイムPROM

注：ブランク出荷品

4518グループピン接続図(上面図)





機能ブロック図

性能概要

項 目			性 能
基本命令数			148
最短命令実行時間			0.5 μ s (発振周波数6MHz:スルーモード時)
メモリ容量	ROM	M34518M2	2048語 × 10ビット
		M34518M4	4096語 × 10ビット
		M34518M6	6144語 × 10ビット
		M34518M8/E8	8192語 × 10ビット
	RAM	M34518M2/M4	256語 × 4ビット
		M34518M6/M8/E8	384語 × 4ビット
入出力ポート	D0 ~ D7	入出力 (入力はスキップ判別)	1ビット × 8 出力形式がソフトウェア切り替え可能 ポートD6、D7 はそれぞれCNTR0、CNTR1端子と兼用
	P00 ~ P03	入出力	4ビット × 1 プルアップ機能、キーオンウェイクアップ機能、出力形式がソフトウェア切り替え可能
	P10 ~ P13	入出力	4ビット × 1 プルアップ機能、キーオンウェイクアップ機能、出力形式がソフトウェア切り替え可能
	P20 ~ P22	入出力	3ビット × 1 ポートP20 ~ P22 はそれぞれSCK、SOUT、SIN端子と兼用
	P30、P31	入出力	2ビット × 1 ポートP30、P31 はそれぞれ INT0、INT1端子と兼用
	P60 ~ P63	入出力	4ビット × 1 ポートP60 ~ P63 はそれぞれ AIN0 ~ AIN3端子と兼用
タイマ	タイマ1	8ビットタイマ/イベントカウンタ、リロードレジスタ付き、周期/パルス幅計測機能付き	
	タイマ2	8ビットタイマ、リロードレジスタ付き	
	タイマ3	8ビットタイマ/イベントカウンタ、リロードレジスタ付き	
	タイマ4	8ビットタイマ、リロードレジスタ2本付き、PWM出力機能付き	
A/Dコンバータ			10ビット × 4ch、8ビットコンパレータ機能付き
シリアルI/O			8ビット × 1
割り込み	要因	8要因(外部 × 2、タイマ × 4、A/D、シリアルI/O)	
	ネスティング	1レベル	
サブルーチンネスティング			8レベル
素子構造			CMOSシリコンゲート
パッケージ			32ピンプラスチックモールドLQFP(PLQP0032GB-A)SDIP(PRDP0032BA-A)
動作周囲温度			- 20 ~ 85
電源電圧	マスクROM版	1.8 ~ 5.5V(動作源クロック、動作モードおよび発振周波数により異なります)	
	ワンタイムPROM版	2.5 ~ 5.5V(動作源クロック、動作モードおよび発振周波数により異なります)	
消費電流	CPU動作時	2.8mA(Ta = 25 , VDD = 5V、f(XIN)=6MHz、f(STCK)=f(XIN)、オンチップオシレータ停止)	
		70 μ A(Ta = 25 , VDD = 5V、f(XIN)=32kHz、f(STCK)=f(XIN)、オンチップオシレータ停止)	
		150 μ A(Ta = 25 , VDD = 5V、オンチップオシレータ使用、f(STCK)=f(RING)、f(XIN)停止)	
	RAMバックアップ時	0.1 μ A(Ta = 25 , VDD = 5V、出力トランジスタ遮断状態)	

端子の機能説明

端 子 名	名 称	入力 出力	機 能
VDD	電源	-	正電源電圧供給端子です。
VSS	接地	-	GND端子です。
CNVSS	CNVSS	-	この端子はVSSに接続し、必ず ⁴ L (0V)を印加してください。
VDCE	電圧低下検出回路 イネーブル	入力	電圧低下検出回路の動作・停止を制御します。“H”レベルを入力すると動作状態、“L”レベルを入力すると停止状態になります。
XIN	メインクロック 入力	入力	メインクロック発生回路の入力 / 出力端子です。セラミック共振を使用する場合は、XIN端子とXOUT端子の間にセラミック共振子を、水晶発振を使用する場合は32kHzの水晶発振子を接続して使用します。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。RC発振を使用する場合はXIN端子に抵抗・コンデンサを接続し、XOUT端子を開放にして使用します。
XOUT	メインクロック 出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。SRST命令実行、内蔵パワーオンリセット回路、ウォッチドッグタイマ、又は電圧低下検出回路によるリセット発生時に“L”レベルが出力されます。出力形式はNチャネルオープンドレインです。
D0 ~ D7	入出力ポートD (入力はスキップ 判別)	入出力	各端子ごとに1ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ポートD6、D7は、それぞれCNTR0、CNTR1端子と兼用です。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。
P20 ~ P22	入出力ポートP2	入出力	ポートとして3ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートP20 ~ P22は、それぞれSCK、SOUT、SIN端子と兼用です。
P30、P31	入出力ポートP3	入出力	ポートとして2ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートP30、P31は、それぞれINT0、INT1端子と兼用です。
P60 ~ P63	入出力ポートP6	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートP60 ~ P63は、それぞれAIN0 ~ AIN3端子と兼用です。
CNTR0、CNTR1	タイマ入出力	入出力	CNTR0端子はタイマ1のイベントカウント用クロックの入力機能とタイマ1あるいはタイマ2のアンダフローの2分周信号の出力機能を持っています。CNTR1端子はタイマ3のイベントカウント用クロックの入力機能とタイマ4で生成されるPWM信号の出力機能を持っています。CNTR0、CNTR1端子は、それぞれポートD6、D7と兼用です。
INT0、INT1	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能を持っています。INT0、INT1端子は、それぞれポートP30、P31と兼用です。
AIN0 ~ AIN3	アナログ入力	入力	A/D変換器のアナログ入力端子です。AIN0 ~ AIN3端子は、それぞれポートP60 ~ P63と兼用です。
SCK	シリアルI/O クロック入出力	入出力	シリアルI/Oのデータ転送同期クロック入出力端子です。SCK端子は、ポートP20と兼用です。
SOUT	シリアルI/O データ出力	出力	シリアルI/Oのデータ出力端子です。SOUT端子は、ポートP21と兼用です。
SIN	シリアルI/O データ入力	入力	シリアルI/Oのデータ入力端子です。SIN端子は、ポートP22と兼用です。

マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
D6	CNTR0	CNTR0	D6	P60	AIN0	AIN0	P60
D7	CNTR1	CNTR1	D7	P61	AIN1	AIN1	P61
P20	SCK	SCK	P20	P62	AIN2	AIN2	P62
P21	SOUT	SOUT	P21	P63	AIN3	AIN3	P63
P22	SIN	SIN	P22				
P30	INT0	INT0	P30				
P31	INT1	INT1	P31				

注1 上記以外の端子は単一機能です。

- 2 .INT0 ,INT1端子を使用している場合でも、ポートP30 ,P31の入出力機能は有効です。
- 3 .SIN ,SOUT ,SCK端子を使用している場合でも、ポートP20 ~ P22の入力機能は有効です。
- 4 .CNTR0端子の入力機能を使用している場合でも、ポートD6の入出力機能は有効です。
- 5 .CNTR0端子の出力機能を使用している場合でも、ポートD6の入力機能は有効です。
- 6 .CNTR1端子の入力機能を使用している場合でも、ポートD7の入出力機能は有効です。
- 7 .CNTR1端子の出力機能を使用している場合でも、ポートD7の入力機能は有効です。

ポート機能一覧

ポート名	ポート名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特 記 事 項
ポートD	D0 ~ D5 , D6/CNTR0 , D7/CNTR1	入出力 (8本)	Nチャネル オープンドレイン / CMOS	1ビット	SD ,RD SZD CLD	FR1 ,FR2 W6 W4	出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP0	P00 ~ P03	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP0A IAP0	FR0 PU0 K0, K1	ブルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP1	P10 ~ P13	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP1A IAP1	FR0 PU1 K0	ブルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP2	P20/SCK ,P21/SOUT P22/SIN	入出力 (3本)	Nチャネル オープンドレイン	3ビット	OP2A IAP2	J1	
ポートP3	P30/INT0 ,P31/INT1	入出力 (2本)	Nチャネル オープンドレイン	2ビット	OP3A IAP3	I1 ,J2 K2	
ポートP6	P60/AIN0 ~ P63/AIN3	入出力 (4本)	Nチャネル オープンドレイン	4ビット	OP6A IAP6	Q2 Q1	

クロック及びサイクルの定義

●動作源クロック

本製品の動作の源となるクロックです。本製品では以下のクロックが使用できます。

- ・外付けセラミック共振によるクロック($f(X_{IN})$)
- ・外付けRC発振によるクロック($f(X_{IN})$)
- ・外部入力によるクロック($f(X_{IN})$)
- ・内部発振器(オンチップオシレータ)によるクロック($f(RING)$)
- ・外付け水晶発振によるクロック($f(X_{IN})$)

●システムクロック(STCK)

本製品を制御する基本クロックです。

システムクロック(STCK)はクロック制御レジスタMRの設定により、表UA-1のように選択できます。

表 UA-1 . システムクロックの選択

クロック制御レジスタMR				システムクロック	動作モード名
MR3	MR2	MR1	MR0		
0	0	0	0	$f(STCK) = f(X_{IN})$	X_{IN} スルーモード
		x	1	$f(STCK) = f(RING)$	RINGスルーモード
0	1	0	0	$f(STCK) = f(X_{IN})/2$	X_{IN} 2分周モード
		x	1	$f(STCK) = f(RING)/2$	RING2分周モード
1	0	0	0	$f(STCK) = f(X_{IN})/4$	X_{IN} 4分周モード
		x	1	$f(STCK) = f(RING)/4$	RING4分周モード
1	1	0	0	$f(STCK) = f(X_{IN})/8$	X_{IN} 8分周モード
		x	1	$f(STCK) = f(RING)/8$	RING 8分周モード

注 . リセット解除後は $f(RING)/8$ が選択されます。

システムクロックにオンチップオシレータクロックを選択する場合、オンチップオシレータを動作状態にしてください。

●マシンサイクル

命令の実行に要する基準周期です。

●インストラクションクロック(INSTCK)

CPUを制御する基準クロックです。

インストラクションクロック(INSTCK)は、システムクロック(STCK)を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

使用しない端子の処理

端 子 名	処 理 方 法	使 用 条 件
XIN	開放	内部発振器選択 (注1)
XOUT	開放	内部発振器選択 (注1) RC発振選択 (注2) メインクロックに外部クロック入力使用 (注3)
D0 ~ D5	開放	
	Vssに接続	出力形式にNチャネルオープンドレイン選択 (注4)
D6/CNTR0	開放	タイマ1カウントソースにCNTR0入力非選択
	Vssに接続	出力形式にNチャネルオープンドレイン選択 (注4)
D7/CNTR1	開放	タイマ3カウントソースにCNTR1入力非選択
	Vssに接続	出力形式にNチャネルオープンドレイン選択 (注4)
P00 ~ P03	開放	キーオンウェイクアップ機能非選択 (注6)
	Vssに接続	出力形式にNチャネルオープンドレイン選択 (注5) ブルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注6)
P10 ~ P13	開放	キーオンウェイクアップ機能非選択 (注7)
	Vssに接続	出力形式にNチャネルオープンドレイン選択 (注5) ブルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注7)
P20/Sck	開放	Sck端子非選択
	Vssに接続	
P21/Sout	開放	
	Vssに接続	
P22/Sin	開放	Sin端子非選択
	Vssに接続	
P30/INT0	開放	出力ラッチに“0”を設定
	Vssに接続	
P31/INT1	開放	出力ラッチに“0”を設定
	Vssに接続	
P60/Ain0 ~ P63/Ain3	開放	
	Vssに接続	

注1. リセット直後は、システムクロックに内部発振器(オンチップオシレータ)が選択されています。(RG0=0, MR0=1)

2. CRCK命令を実行すると、RC発振回路が使用可能になります。CRCK命令実行のみでは、発振開始時、システムクロックへの切り替えは行われませんので注意してください。

発振を開始させるには、メインクロックf(XIN)発振可能(MR1=0)とする必要があります。(必要に応じて、発振安定待ち時間をプログラムで生成してください。)

また、システムクロックにメインクロック(f(XIN))を選択する場合は、メインクロック(f(XIN))発振可能(MR1=0)とした後でメインクロック(f(XIN))選択(MR0=0)としてください。メインクロック発振と同時にシステムクロックへの切り替えはできませんので、注意してください。

3. メインクロック(f(XIN))に外部クロック入力を使用する場合は、プログラムの始めにCMCK命令を実行してセラミック発振回路を有効にし、メインクロック(f(XIN))発振可能(MR1=0)としてください。セラミック発振回路が有効となり、メインクロック(f(XIN))発振可能(MR1=0)となるまでの間、XIN端子は“H”固定です。外部クロック使用時は電流制限のため、XIN端子には直列に1kΩ以上の抵抗を挿入してください。

4. ポートD0 ~ D5の出力形式選択と、ポートP00 ~ P03, P10 ~ P13のブルアップ機能選択は、1ポート単位での制御です。各ポートに対応したレジスタのビットを設定してください。

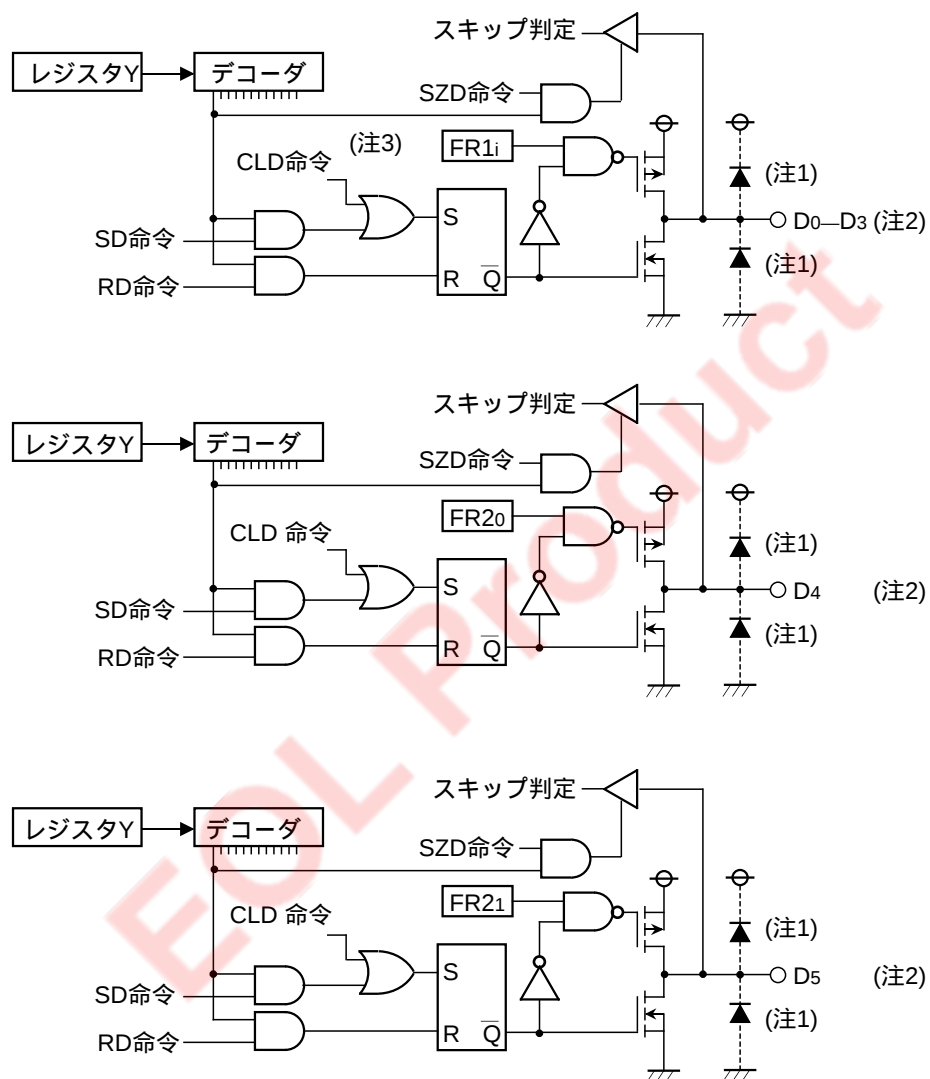
5. ポートP00 ~ P03, P10 ~ P13の出力形式選択は2ポート単位の制御です。2ポートのうち片方を使用しない場合は、開放にしてください。

6. キーオンウェイクアップ機能は2ビット単位の選択です。キーオンウェイクアップ機能を1ビットのみを使用する場合は、未使用の1ビットは、キーオンウェイクアップ制御レジスタK1の値を考慮して、“H”入力(ブルアップトランジスタをONにし、開放)にするか、“L”入力(Vssに接続するか、出力ラッチを“0”に設定して開放)にするなどの処理を行ってください。

7. キーオンウェイクアップ機能は2ビット単位の選択です。キーオンウェイクアップ機能を1ビットのみを使用する場合は、未使用の1ビットは、ブルアップトランジスタをONにし、開放にしてください。

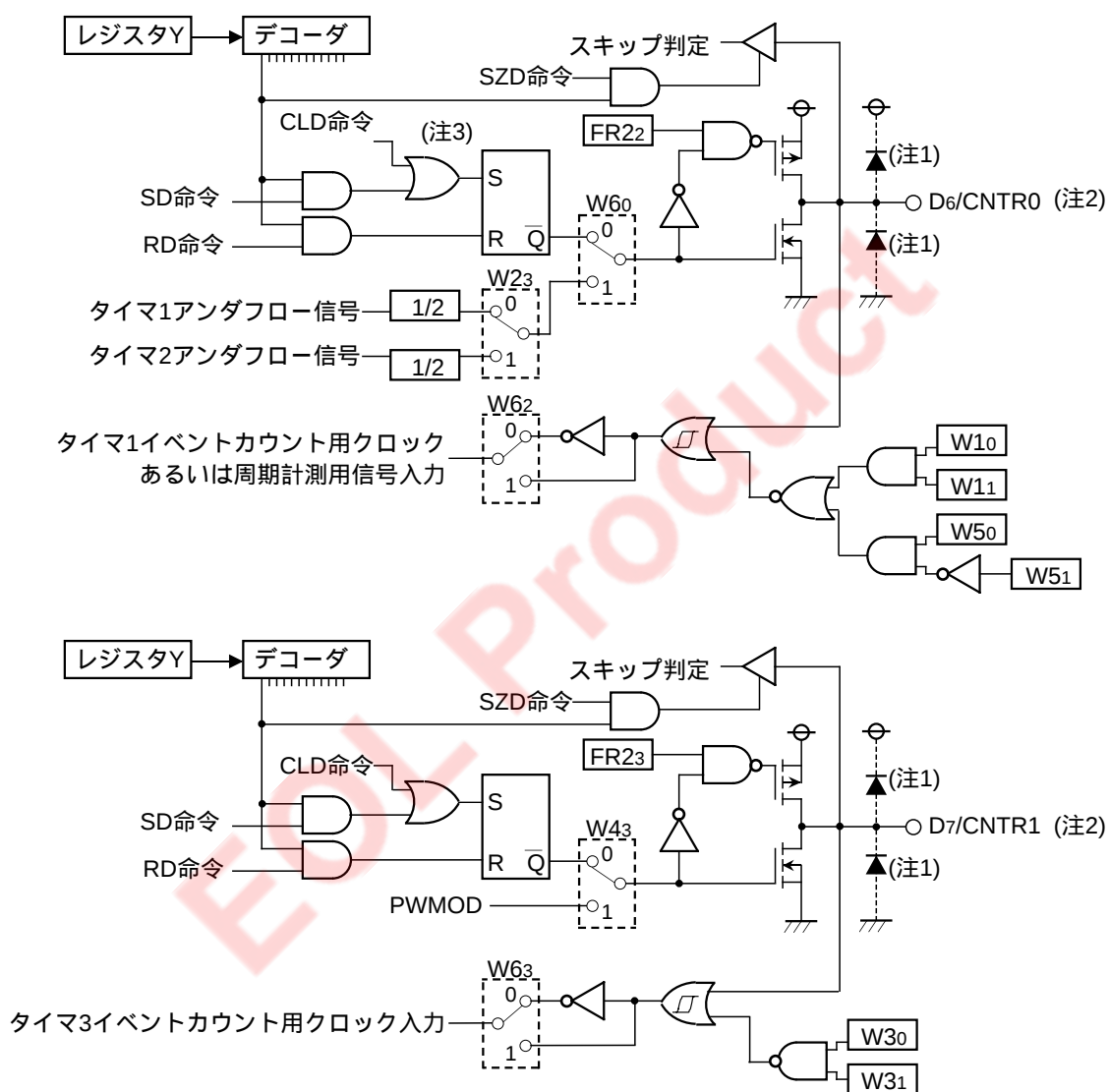
(VDD端子及びVss端子に接続する場合の注意事項)

・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。



- 注1: ----◀---- は寄生ダイオードです。電流は流せません。
 2: 印加電圧は、 V_{DD} 以下としてください。
 3: iはレジスタのビット0～3を示します。

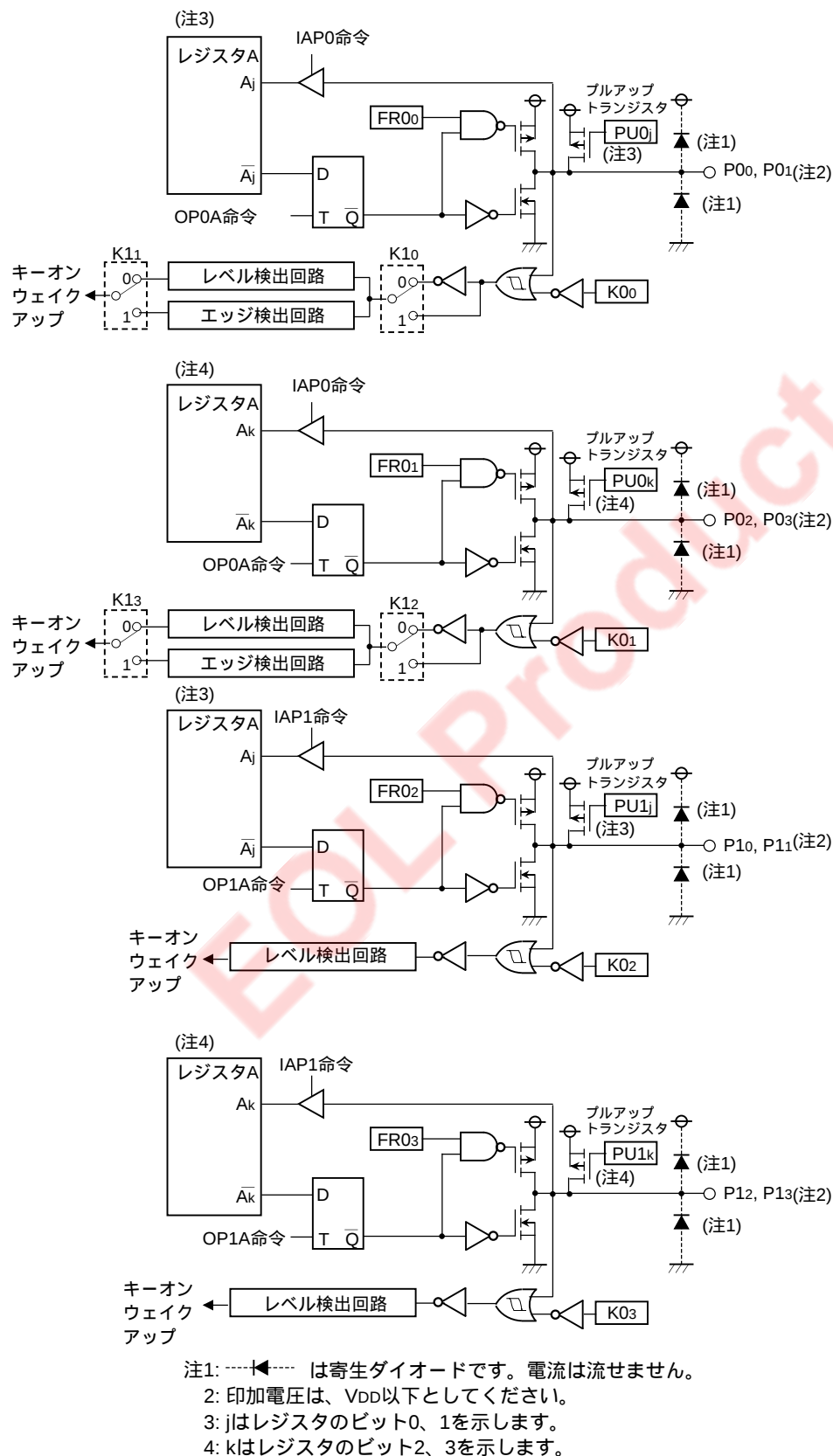
ポートブロック図(1)



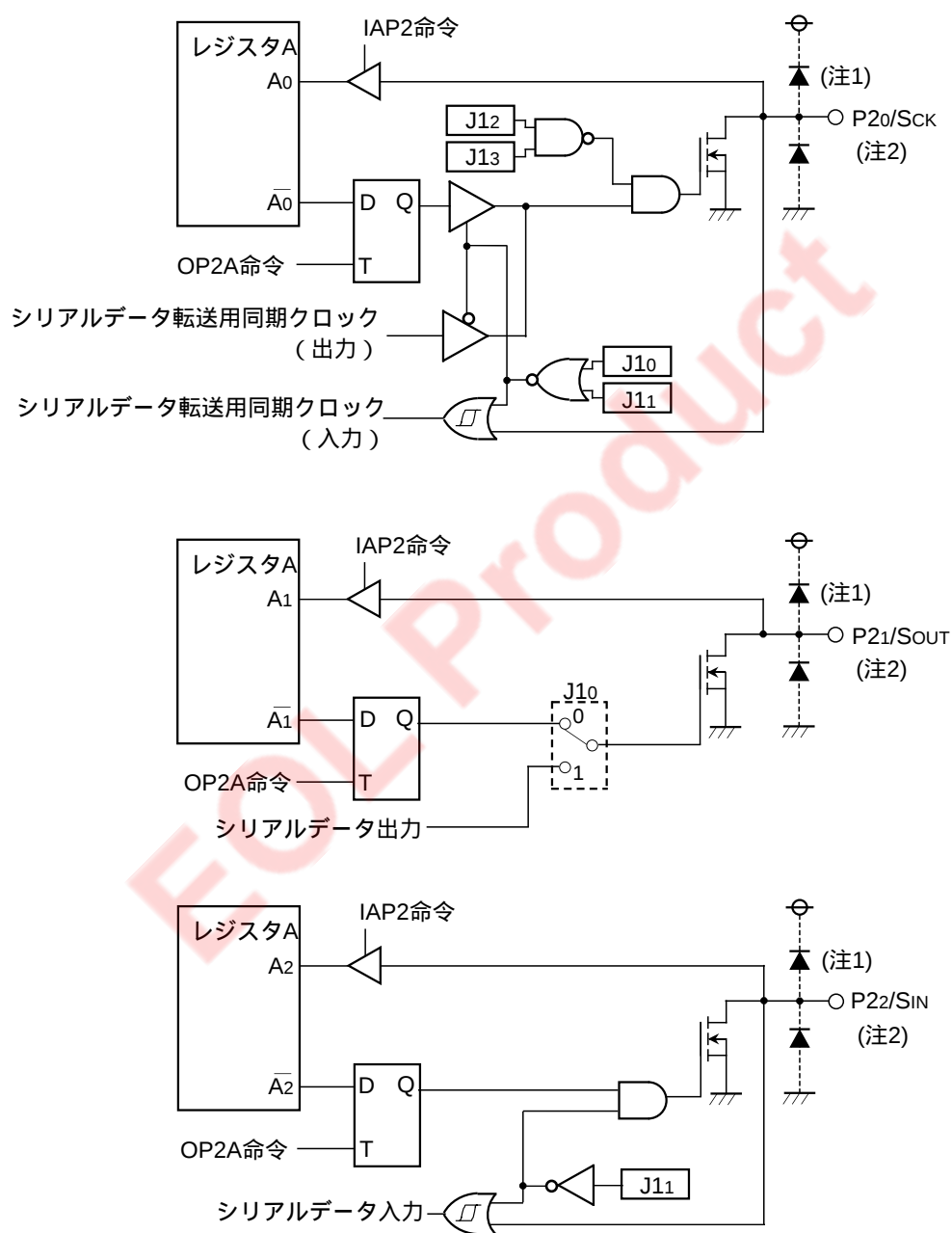
注1: ----◀---- は寄生ダイオードです。電流は流せません。

2: 印加電圧は、 V_{DD} 以下としてください。

ポートブロック図(2)

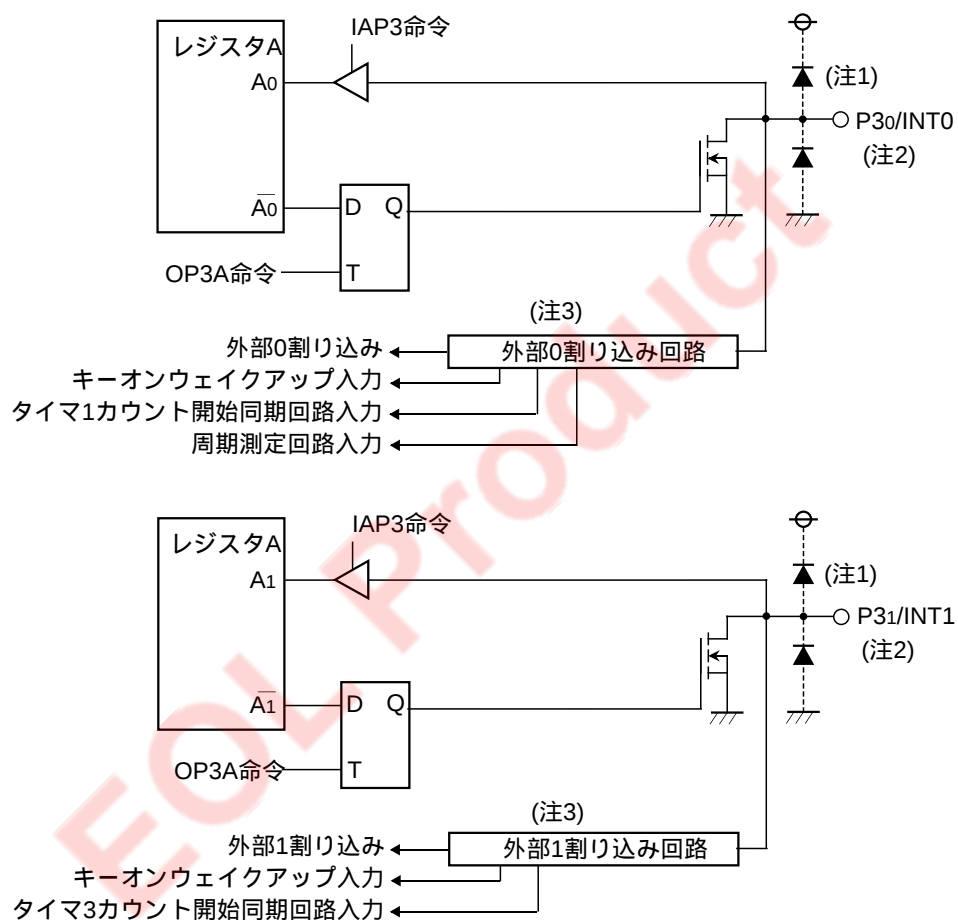


ポートブロック図(3)



注1: ----<---- は寄生ダイオードです。電流は流せません。
 2: 印加電圧は、V_{DD}以下としてください。

ポートブロック図(4)

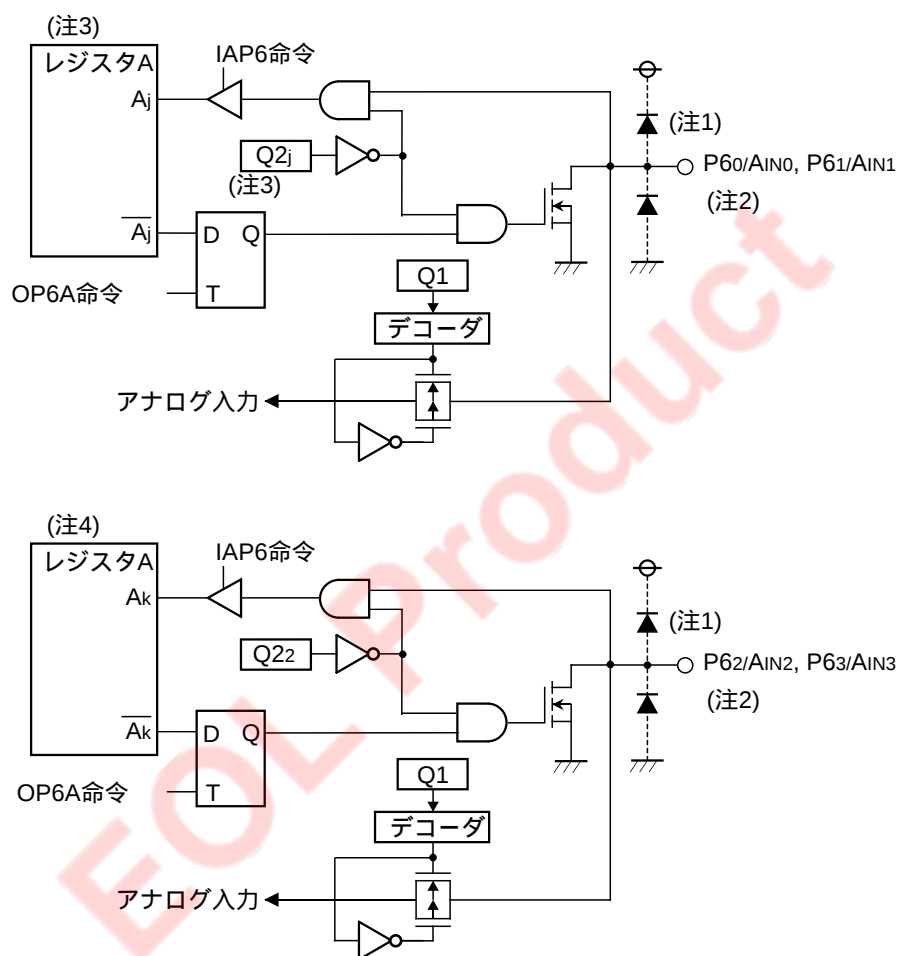


注1: ----◀---- は寄生ダイオードです。電流は流せません。

2: 印加電圧は、 V_{DD} 以下としてください。

3: 詳細は、外部割り込み回路を参照してください。

ポートブロック図(5)



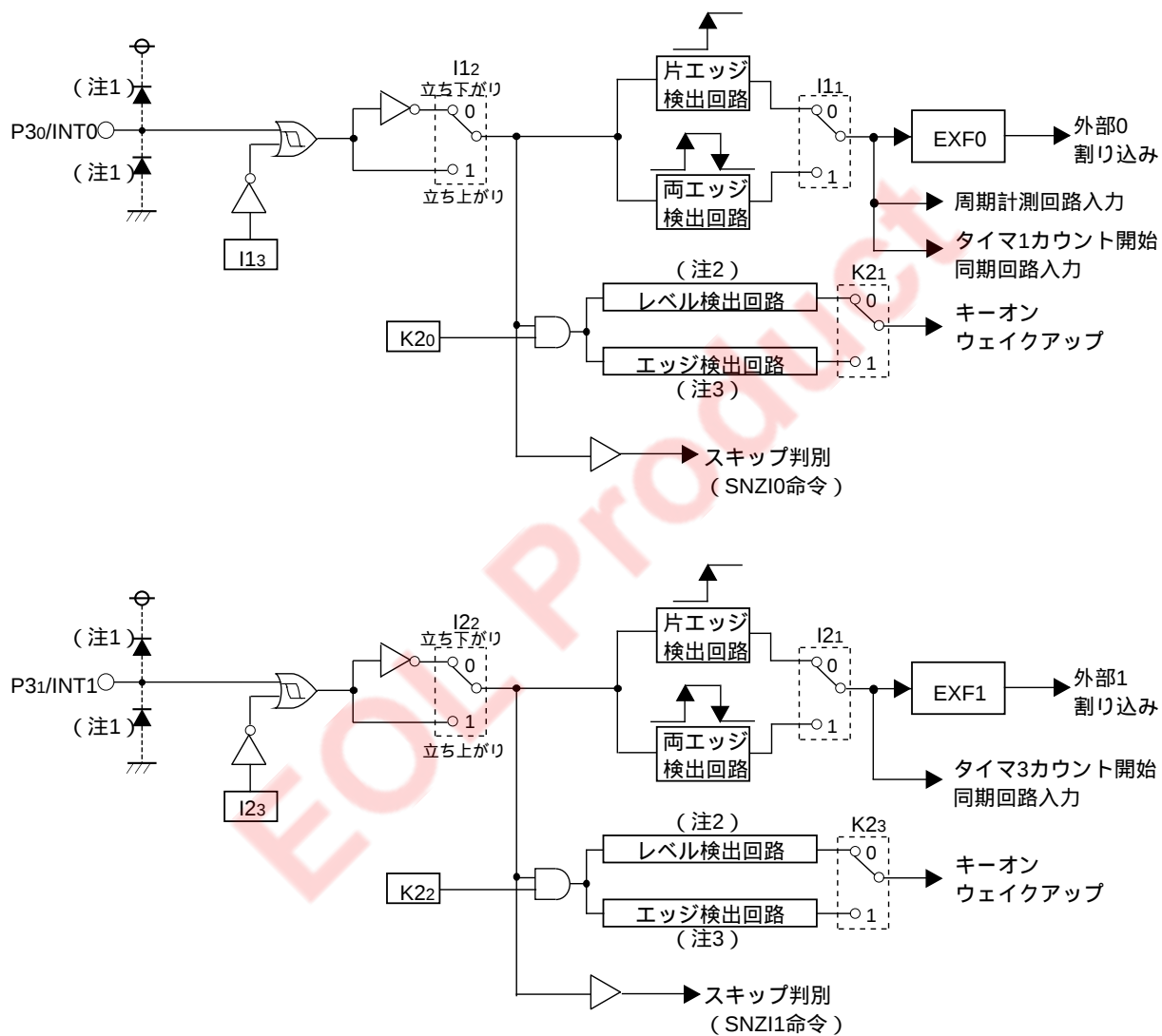
注1: ----- は寄生ダイオードです。電流は流せません。

2: 印加電圧は、 V_{DD} 以下としてください。

3: jはレジスタのビット0、1を示します。

4: kはレジスタのビット2、3を示します。

ポートブロック図(6)



- 注1. -----は寄生ダイオードであり電流は流せません。
2. $I_{x2}=0$ のときは“L”レベルを、 $I_{x2}=1$ のときは“H”レベルを検出します。(x=1,2)
3. $I_{x2}=0$ のときは立ち下がりエッジを、 $I_{x2}=1$ のときは立ち上がりエッジを検出します。(x=1,2)

ポートブロック図(7)

機能ブロック動作説明

CPU

(1) 4ビット論理演算ユニット (ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

(2) レジスタA及びキャリフラグ (CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると“1”にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で“1”にセットされ、RC命令で“0”にクリアされます。

(3) レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

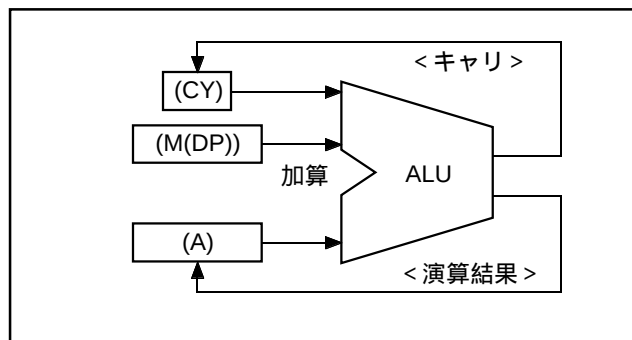
レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

レジスタEはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

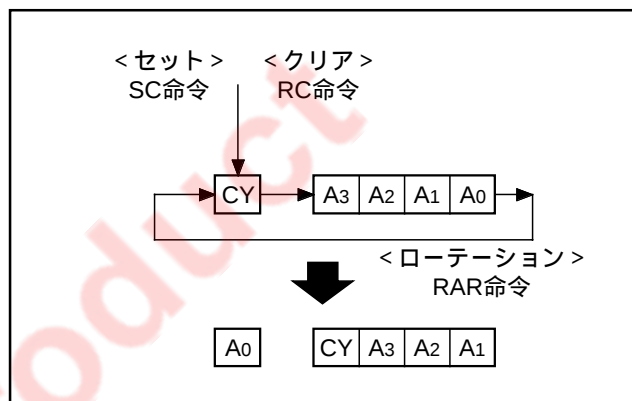
(4) レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します。またTABP p命令実行時は、レジスタDの下位2ビットにROM内参照データ上位2ビットが格納され、レジスタDの上位1ビットは“0”となります。(図BA-4)

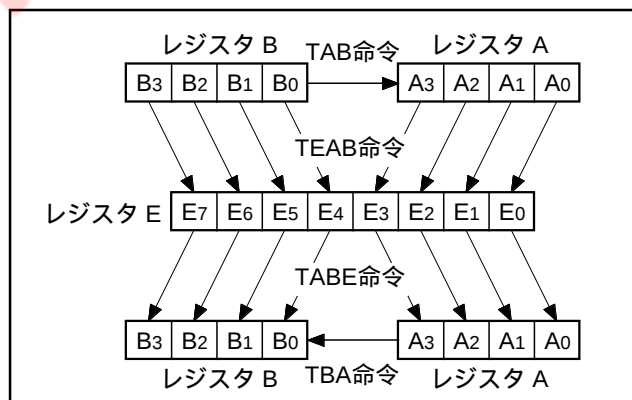
レジスタDはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。



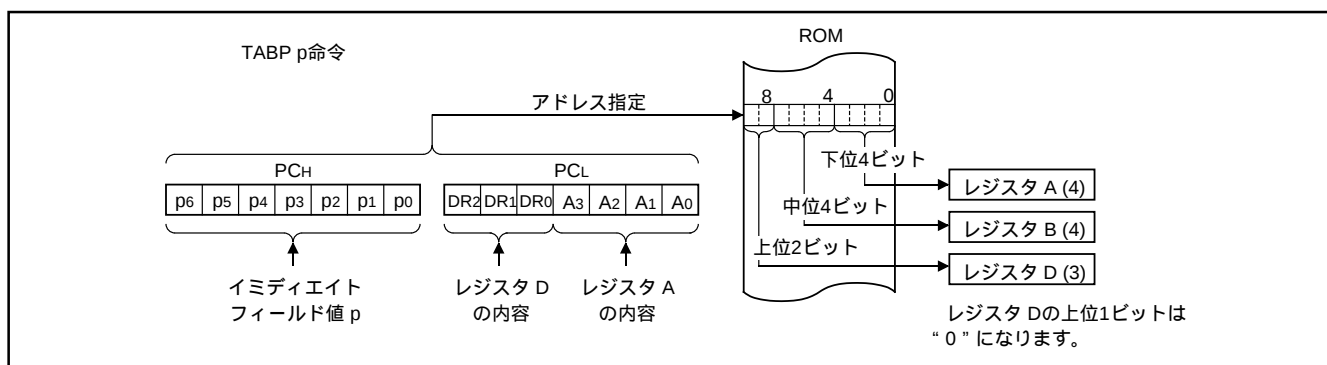
図BA-1. AMC命令実行例



図BA-2. RAR命令実行例



図BA-3. レジスタA、BとレジスタE



図BA-4. TABP p命令実行例

(5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

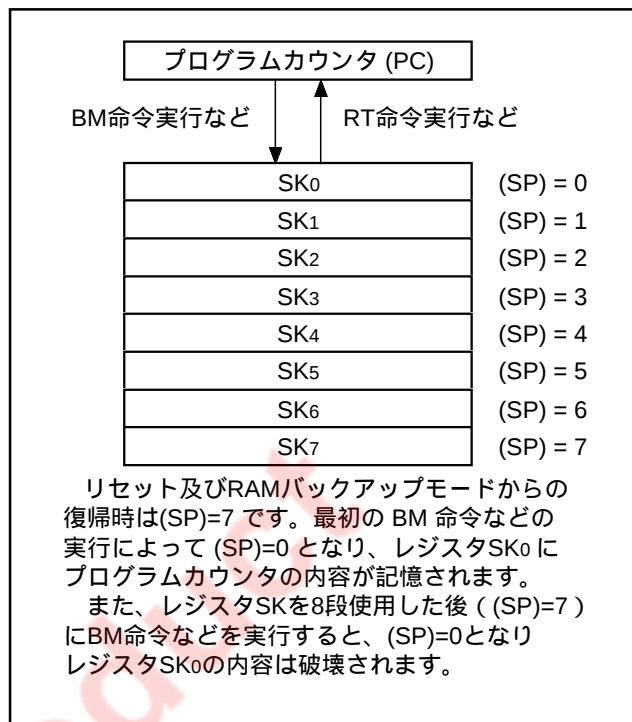
(6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

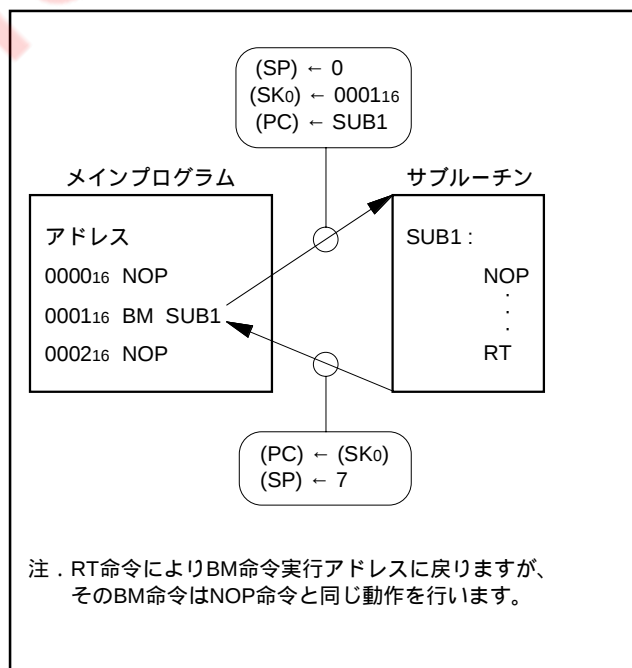
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

(7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5．スタックレジスタSKの構成



図BA-6．サブルーチン呼び出し時の動作例

(8) プログラムカウンタ(PC)

プログラムカウンタはROMアドレス(ページ及び番地)を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令(TABP p)実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH(最上位ビット～ビット7)とページ内の番地を指定するPCL(ビット6～ビット0)に分かれており、各ページの最終番地(127番地)までくると次のページの0番地を指定します(図BA-7)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(9) データポインタ(DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています(図BA-8)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

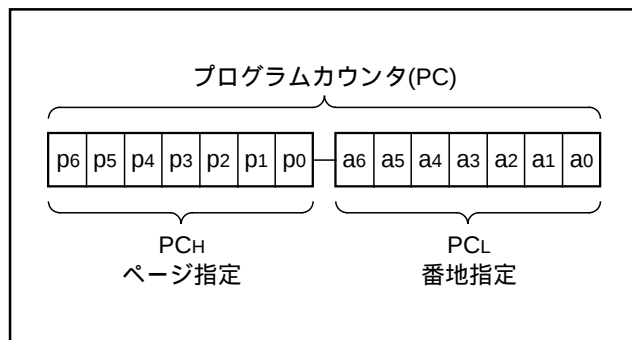
なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット(ピン位置)を設定し、SD、RD、SZD命令を実行してください。

図BA-9にSD命令実行例を示します。

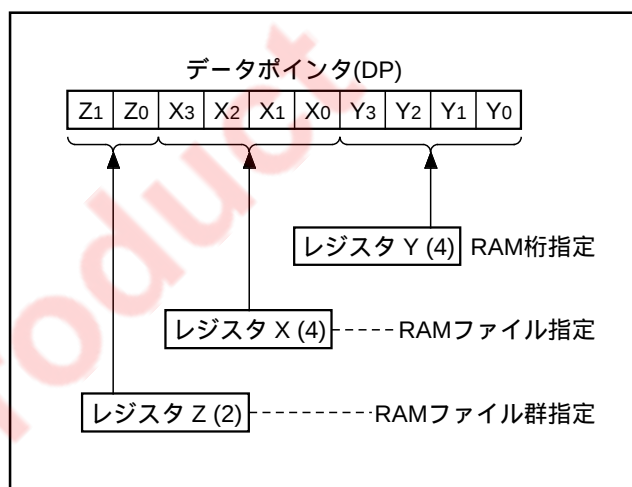
■ 注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

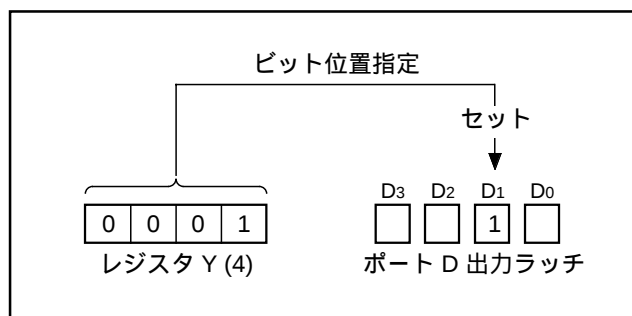
また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタへの再設定を行ってください。



図BA-7. プログラムカウンタ(PC)の構成



図BA-8. データポインタ(DP)の構成



図BA-9. SD命令実行例

プログラムメモリ(ROM)

プログラムメモリは、1語が10ビットで構成されており、128語(0～127番地)ごとにページという単位で分けられています。

1ページ(0080₁₆～00FF₁₆)の先頭には割り込み番地が割り付けられています(図BC-2)。

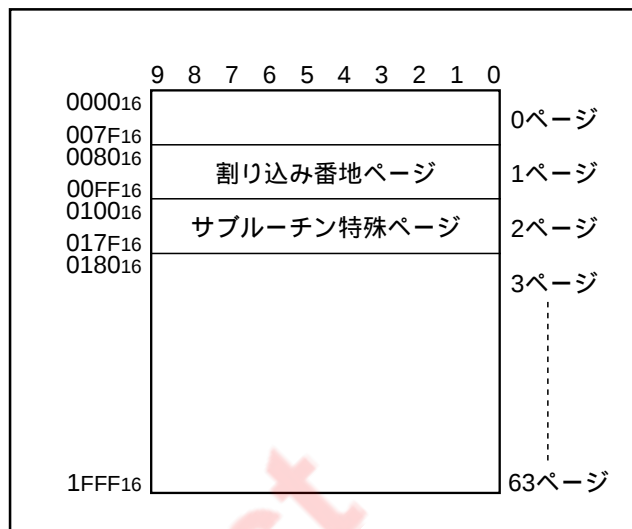
割り込みが発生すると各割り込みに対応した番地(割り込み番地)がプログラムカウンタ(PC)に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2ページ(0100₁₆～017F₁₆)はサブルーチン呼び出しのための特殊なページです(図BC-1)。このページに書き込まれたサブルーチンは、一語命令(BM命令)で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン(ビット7～0)をTABP p命令によりデータ領域として使用できます。

表BC-1 . ROM容量とページ数

型 名	ROM (PROM)容量 (×10ビット)	ページ数
M34518M2	2048語	16(0～15)
M34518M4	4096語	32(0～31)
M34518M6	6144語	48(0～47)
M34518M8/E8	8192語	64(0～63)



図BC-1 . M34518E8のROMマップ



図BC-2 . 割り込み番地ページ (0080₁₆～00FF₁₆)の構成

データメモリ(RAM)

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行するときには、必ずデータポインタに値を設定してください(RAMバックアップからの復帰後も必ず設定してください)。

表BD-1にRAM容量、図BD-1にRAMマップを示します。

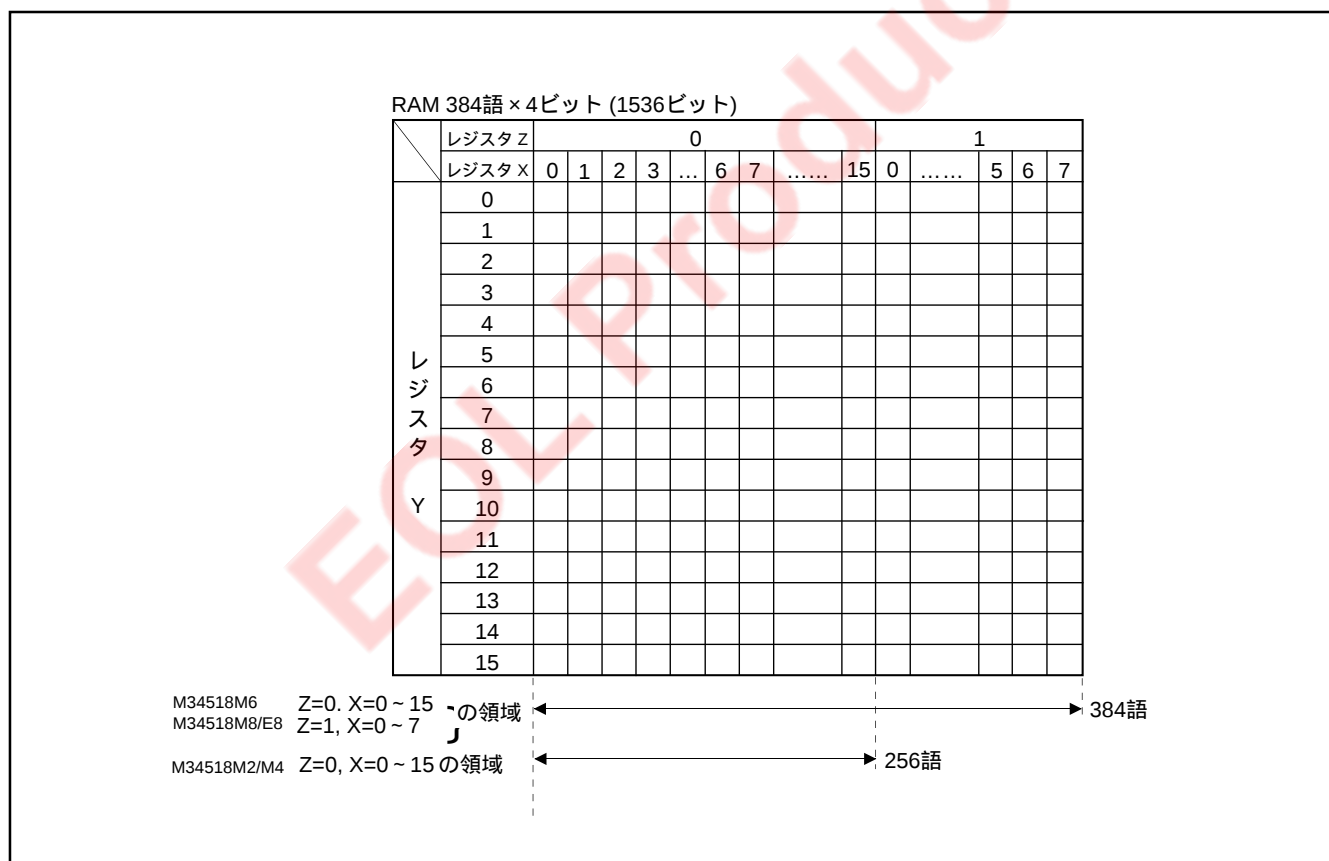
■注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。

表BD-1 . RAM容量

型 名	RAM容量
M34518M2/M4	256語×4ビット(1024ビット)
M34518M6/M8/E8	384語×4ビット(1536ビット)



図BD-1 . RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス（割り込み番地）に分岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

- 割り込み許可フラグが許可状態（INTE = “1”）
- 割り込み可能ビットが可能状態（“1”）
- 割り込み起動条件が成立（要求フラグ = “1”）

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

(1) 割り込み許可フラグ（INTE）

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“1”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“0”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

(2) 割り込み可能ビット（V10～V13, V20～V23）

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

(3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“1”にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“0”にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1. 割り込み要因、割り込み番地、及び優先順位

優先 順位	割り込み要因		割り込み 番地
	割り込み名	起動条件	
1	外部0割り込み	INT0端子の レベル変化	1ページ 0番地
2	外部1割り込み	INT1端子の レベル変化	1ページ 2番地
3	タイマ1割り込み	タイマ1の アンドフロー	1ページ 4番地
4	タイマ2割り込み	タイマ2の アンドフロー	1ページ 6番地
5	タイマ3割り込み	タイマ3の アンドフロー	1ページ 8番地
6	タイマ4割り込み	タイマ4の アンドフロー	1ページ A番地
7	A/D割り込み	A/D変換終了	1ページ C番地
8	シリアルI/O 割り込み	シリアルI/O 送受信終了	1ページ E番地

表DD-2. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み 要求フラグ	スキップ命令	割り込み 可能ビット
外部0割り込み	EXF0	SNZ0	V10
外部1割り込み	EXF1	SNZ1	V11
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
タイマ3割り込み	T3F	SNZT3	V20
タイマ4割り込み	T4F	SNZT4	V21
A/D割り込み	ADF	SNZAD	V22
シリアルI/O割り込み	SIOF	SNZSI	V23

表DD-3. 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可 能	無 効
0	禁 止	有 効

(4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

- プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

- 割り込み許可フラグ(INTE)

フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

- 割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます。

- データポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

- プログラムカウンタ(PC)

----- 各割り込み番地

- スタックレジスタ SK

----- メインルーチンの実行番地

- 割り込み許可フラグ(INTE)

----- 0 (割り込み禁止)

- 割り込み要求フラグ(割り込み要因に対応したフラグ)

----- 0

- データポインタ、キャリフラグ(CY)、レジスタ A、B、スキップフラグ

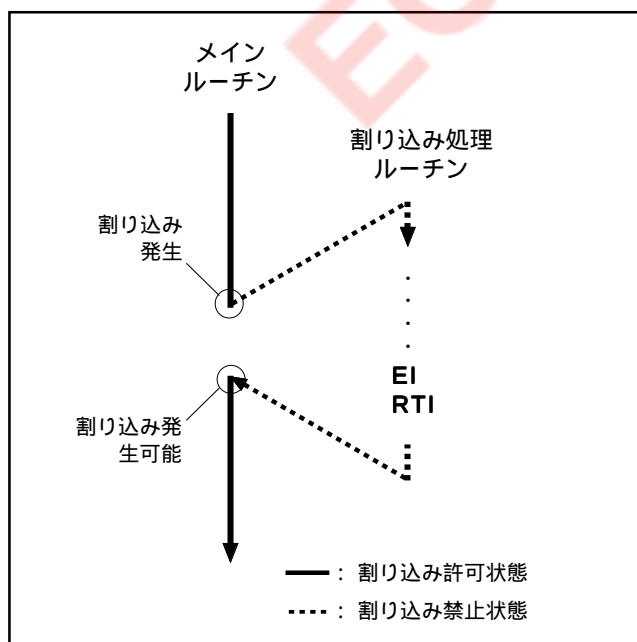
--- 割り込み専用スタックレジスタ SDPへ自動的に退避

図DD-2. 割り込み発生時の内部状態

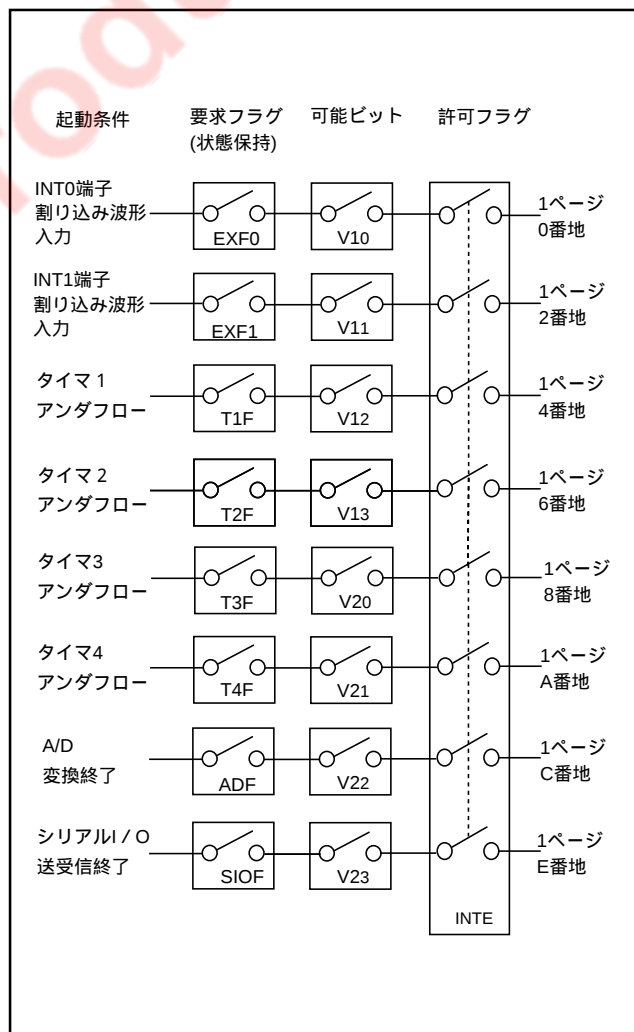
(5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1. 割り込み処理プログラム例



図DD-3. 割り込み系統図

(6) 割り込み制御レジスタ

● 割り込み制御レジスタV1

レジスタV1には、外部0、外部1、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

● 割り込み制御レジスタV2

レジスタV2には、タイマ3、タイマ4、A/D、シリアルI/O割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表DD-4. 割り込み制御レジスタ

割り込み制御レジスタ V1		リセット時 : 0000 ₂		RAM バックアップ時 : 0000 ₂	R / W TAV1 / TV1A
V13	タイマ 2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)		
		1	発生可能 (SNZT2 命令無効)		
V12	タイマ 1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)		
		1	発生可能 (SNZT1 命令無効)		
V11	外部 1 割り込み可能ビット	0	発生禁止 (SNZ1 命令有効)		
		1	発生可能 (SNZ1 命令無効)		
V10	外部 0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)		
		1	発生可能 (SNZ0 命令無効)		

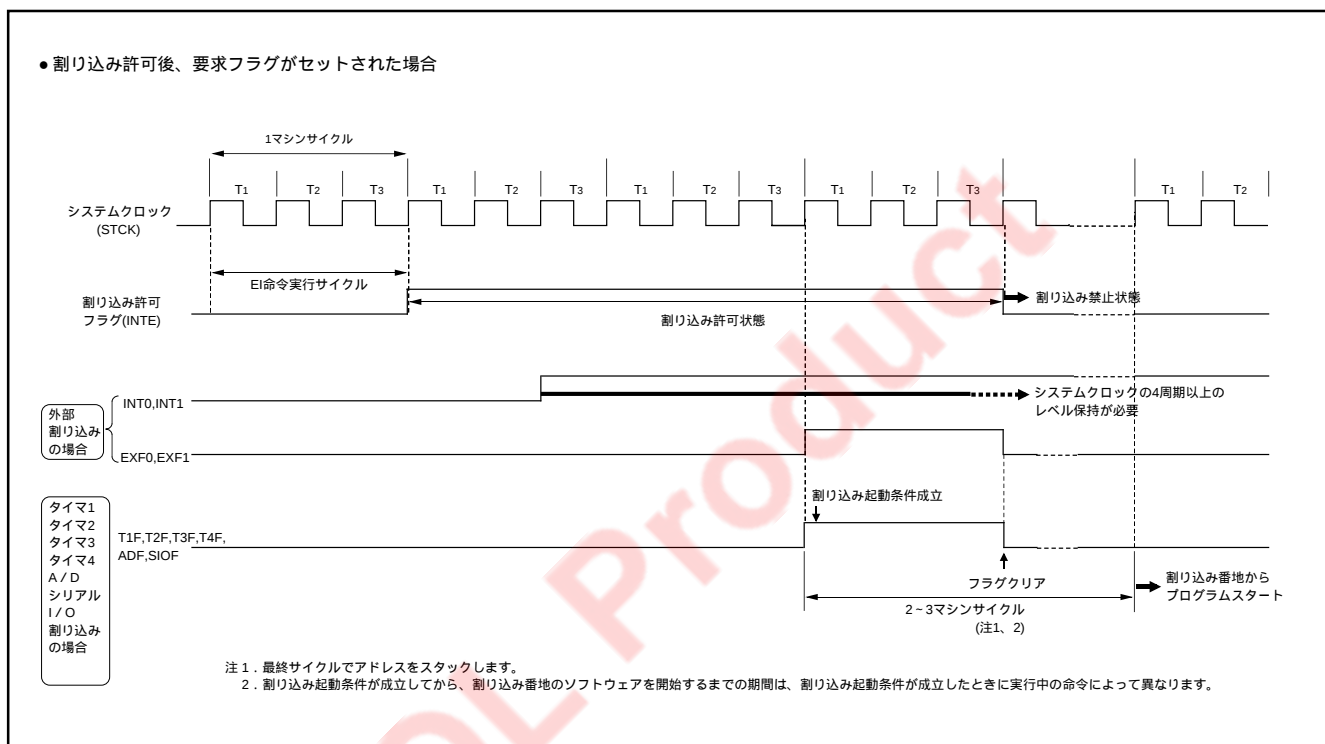
割り込み制御レジスタ V2		リセット時 : 0000 ₂		RAM バックアップ時 : 0000 ₂	R / W TAV2 / TV2A
V23	シリアル I / O 割り込み可能ビット	0	発生禁止 (SNZSI 命令有効)		
		1	発生可能 (SNZSI 命令無効)		
V22	A/D 割り込み可能ビット	0	発生禁止 (SNZAD 命令有効)		
		1	発生可能 (SNZAD 命令無効)		
V21	タイマ 4 割り込み可能ビット	0	発生禁止 (SNZT4 命令有効)		
		1	発生可能 (SNZT4 命令無効)		
V20	タイマ 3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)		
		1	発生可能 (SNZT3 命令無効)		

注 : “R” は読み出し可、“W” は書き込み可を表します。

(7) 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット(V10～V13,V20～V23) 各割り込み要求フラグが 1 になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したサイクルを起点として2～3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです(図DD-4. 参照)。



図DD-4. 割り込みシーケンス

外部割り込み

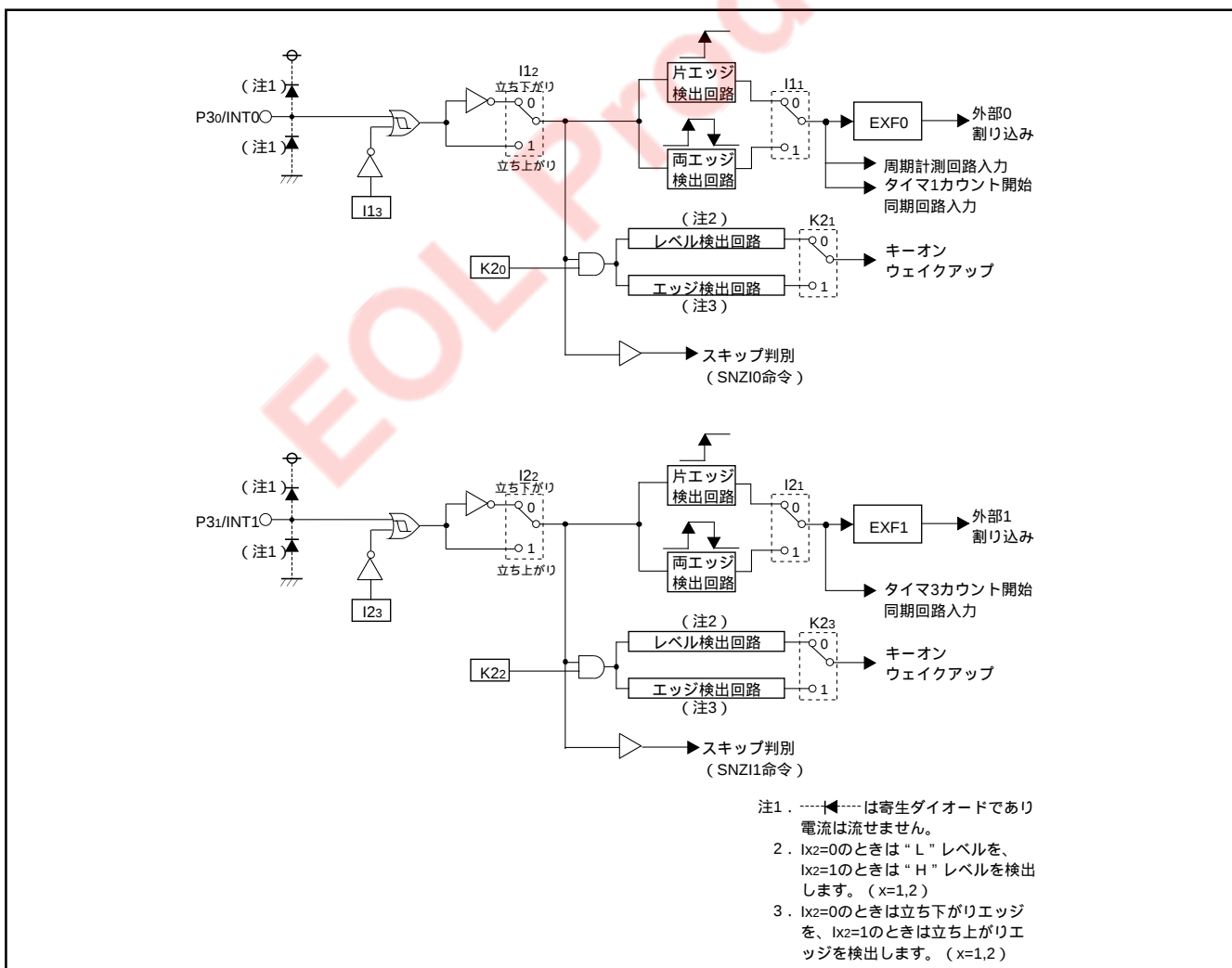
外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求を発生します(エッジ検出)。

本製品は、2本の外部割り込み機能(外部0,外部1)をもっています。

これらの割り込みは割り込み制御レジスタ1,2で制御できます。

表DD-5. 割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	P30/INT0	P30/INT0端子に次の波形が入力されたとき ・ 立ち下がり波形“ H ”→“ L ”) ・ 立ち上がり波形“ L ”→“ H ”) ・ 立ち下がり及び立ち上がりの両波形	I11 I12
外部1割り込み	P31/INT1	P31/INT1端子に次の波形が入力されたとき ・ 立ち下がり波形“ H ”→“ L ”) ・ 立ち上がり波形“ L ”→“ H ”) ・ 立ち下がり及び立ち上がりの両波形	I21 I22



図DD-5. 外部割り込み回路の構成

(1) 外部0割り込み要求フラグ(EXF0)

フラグEXF0はP30/INT0端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF0の状態は、スキップ命令の実行(SNZ0命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

● 外部0割り込み起動条件

外部0割り込みの起動条件は、P30/INT0端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部0割り込みの使用方法の一例を示します。

割り込み制御レジスタI1のビット3を“1”にセットしINT0端子入力可能状態設定

割り込み制御レジスタI1のビット1,2で有効波形を選択
SNZ0命令を使用して、フラグEXF0を“0”にクリア
SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部0割り込み可能ビット(V10)及び割り込み許可フラグ(INTE)を共に“1”に設定

以上の操作により外部0割り込み発生許可状態になります。この状態でP30/INT0端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

(2) 外部1割り込み要求フラグ(EXF1)

フラグEXF1はP31/INT1端子に有効波形が入力されたとき“1”にセットされます。

外部1割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF1の状態は、スキップ命令の実行(SNZ1命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF1は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

● 外部1割り込み起動条件

外部1割り込みの起動条件は、P31/INT1端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部1割り込みの使用方法の一例を示します。

割り込み制御レジスタI2のビット3を“1”にセットし、INT1端子入力可能状態に設定

割り込み制御レジスタI2のビット1,2で有効波形を選択
SNZ1命令を使用して、フラグEXF1を“0”にクリア
SNZ1命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部1割り込み可能ビット(V11)及び割り込み許可フラグ(INTE)を共に“1”に設定

以上の操作により外部1割り込み発生許可状態になります。この状態でP31/INT1端子に有効波形を入力すると、フラグEXF1は“1”にセットされ、外部1割り込みが発生します。

(3) 外部割り込み制御レジスタ

● 割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形を制御します。
このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

● 割り込み制御レジスタI2

レジスタI2は、外部1割り込みの有効波形を制御します。
このレジスタの内容は、TI2A命令でレジスタAを介して設定してください。また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表DD-6 . 外部割り込み制御レジスタ

割り込み制御レジスタ I1		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAI1 / TI1A
I13	INT0 端子 入力制御ビット（注2）	0	INT0 端子入力禁止		
		1	INT0 端子入力可能		
I12	INT0 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZI0 命令は “L” レベル認識）		
		1	立ち上がり波形 / “H” レベル（SNZI0 命令は “H” レベル認識）		
I11	INT0 端子 エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT0 端子 タイマ1 カウント開始同期回路選択ビット	0	タイマ1 カウント開始同期回路非選択		
		1	タイマ1 カウント開始同期回路選択		

割り込み制御レジスタ I2		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAI2 / TI2A
I23	INT1 端子 入力制御ビット（注2）	0	INT1 端子入力禁止		
		1	INT1 端子入力可能		
I22	INT1 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZI1 命令は “L” レベル認識）		
		1	立ち上がり波形 / “H” レベル（SNZI1 命令は “H” レベル認識）		
I21	INT1 端子 エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I20	INT1 端子 タイマ3 カウント開始同期回路選択ビット	0	タイマ3 カウント開始同期回路非選択		
		1	タイマ3 カウント開始同期回路選択		

注1.“R” は読み出し可、“W” は書き込み可を表します。

2. これらのビット（I12,I13,I22,I23）の内容を変更した際に、外部割り込み要求フラグ（EXF0,EXF1）がセットされる場合があります。

(4) 注意事項

レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、P30/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-6)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上において(図DD-6)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

```

:
LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI1A ; INT0端子入力制御変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③
:

```

× : このビットはINT0端子の入力制御には関係しません。

図DD-6 . 外部0割り込みプログラム例1

レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を"0"にクリアし、INT0端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- INT0端子入力を禁止する場合(レジスタI13="0")は、RAMバックアップモードに移行する前にキーオンウェイクアップを無効(レジスタK20="0")としてください(図DD-7)。

```

:
LA 0 ; (x x x 02)
TK2A ; INT0キーオンウェイクアップ無効.....
DI
EPOF
POF ; RAMバックアップ
:

```

× : このビットは本例では関係しません。

図DD-7 . 外部0割り込みプログラム例2

レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP30/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、P30/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-8)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上において(図DD-8)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

```

:
LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI1A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③
:

```

× : このビットはINT0端子の割り込み有効波形の設定には関係しません。

図DD-8 . 外部0割り込みプログラム例3

レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

- レジスタI2のビット3の内容を変更する場合、P3I/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-9)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上において(図DD-9)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-9)。

⋮	
LA 4	; (××0×2)
TV1A	; SNZ1命令有効・・・①
LA 8	; (1×××2)
TI2A	; INT1端子入力制御変更
NOP	;②
SNZ1	; SNZ1命令実行 (フラグEXF1クリア)
NOP	;③
⋮	

×：このビットはINT1端子の入力制御には関係しません。

図DD-9．外部1割り込みプログラム例1

レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を"0"にクリアし、INT1端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- INT1端子入力を禁止する場合(レジスタI23="0")は、RAMバックアップモードに移行する前にキーオンウェイクアップを無効(レジスタK22="0")としてください(図DD-10)。

⋮	
LA 0	; (×0××2)
TK2A	; INT1キーオンウェイクアップ無効.....
DI	
EPOF	
POF	; RAMバックアップ
⋮	

×：このビットは本例では関係しません。

図DD-10．外部1割り込みプログラム例2

レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によってP3I/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI2のビット2の内容を変更する場合、P3I/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-11)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上において(図DD-11)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-11)。

⋮	
LA 4	; (××0×2)
TV1A	; SNZ1命令有効・・・①
LA 12	; (×1××2)
TI2A	; 割り込み有効波形変更
NOP	;②
SNZ1	; SNZ1命令実行 (フラグEXF1クリア)
NOP	;③
⋮	

×：このビットはINT1端子の割り込み有効波形の設定には関係しません。

図DD-11．外部1割り込みプログラム例3

タイマ

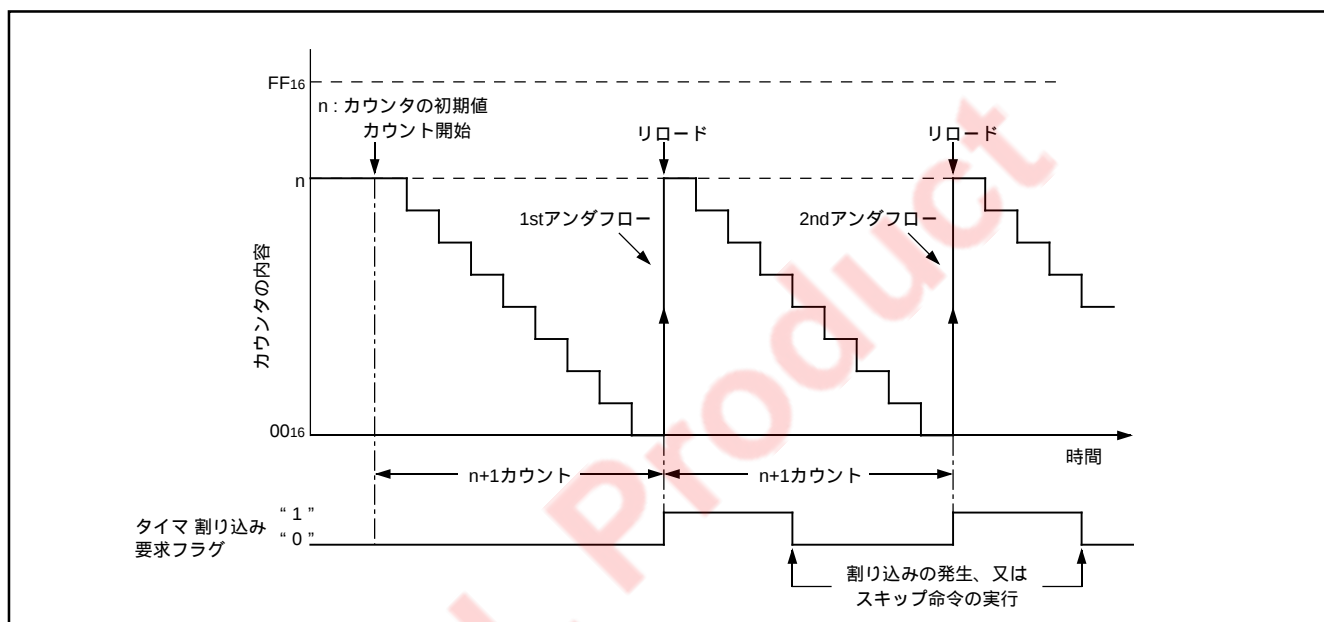
本製品が内蔵するタイマには、以下の種類があります。

● プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 n からダウンカウントを開始し、アンダフローする($n+1$ カウントする)と、また新たにリロードレジスタからデータがリロードされカウントを続行します(オートリロード)機能。

● 固定分周タイマ

固定分周タイマは、分周比(n)が固定されているタイマでカウントパルスを n 回カウントするごとに割り込み要求フラグを“1”にセットします。



図FB-1. オートリロード機能

本製品のタイマは以下の回路で構成されています。

- プリスケアラ：8ビットプログラマブルタイマ
- タイマ1：8ビットプログラマブルタイマ
- タイマ2：8ビットプログラマブルタイマ
- タイマ3：8ビットプログラマブルタイマ
- タイマ4：8ビットプログラマブルタイマ
- ウォッチドッグタイマ：16ビット固定分周タイマ
(タイマ1、2、3、4は割り込み機能付き)

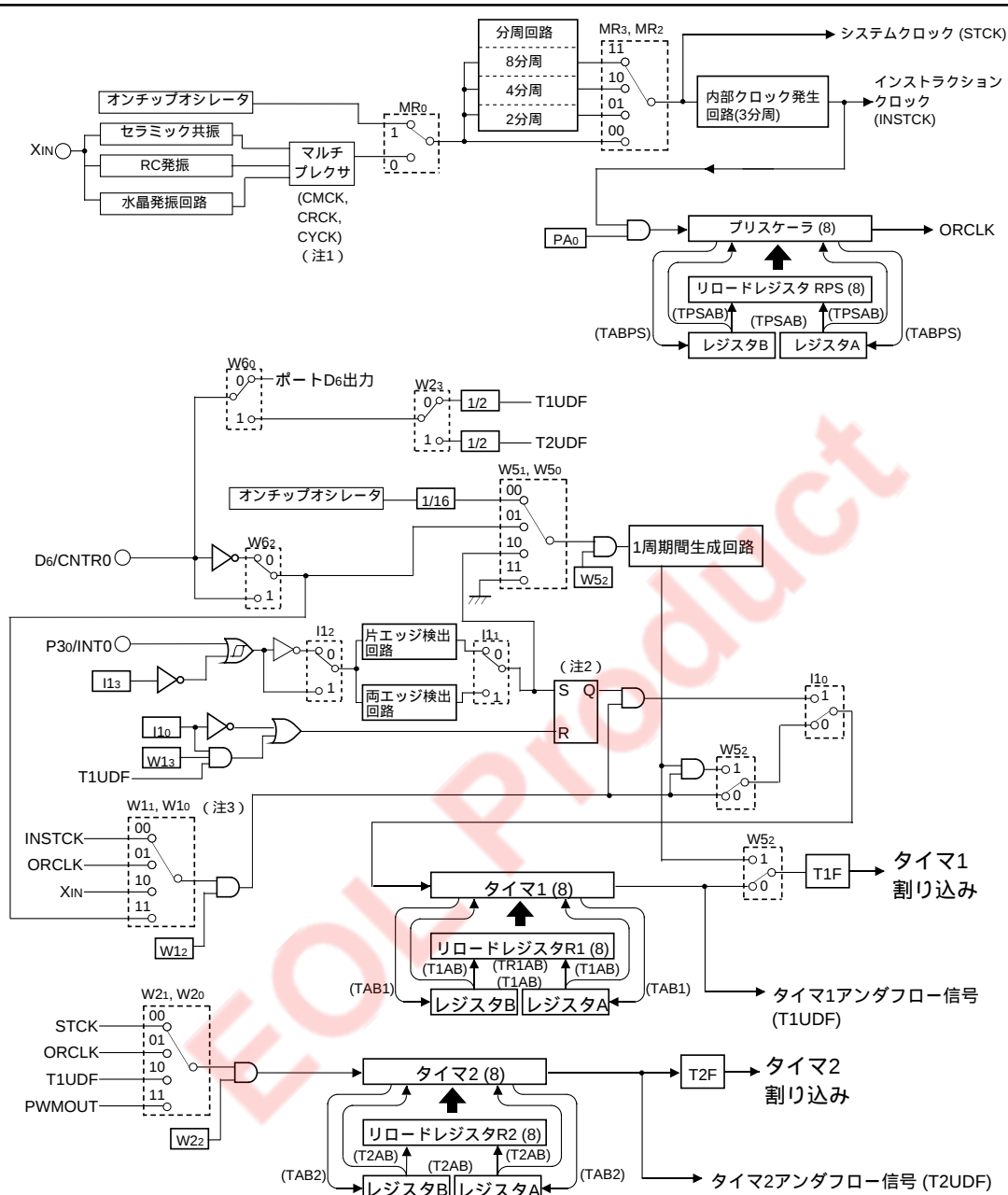
プリスケアラ、タイマ1、2、3、4は、タイマ制御レジスタPA、W1～W6で制御できます。

ウォッチドッグタイマは、制御レジスタをもたないフリーカウンタです。

以下、各機能について説明します。

表FB-1. タイマの機能一覧

回路名	構 成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケアラ	8ビットプログラマブル バイナリダウンカウンタ	・ インストラクションクロック (INSTCK)	1 ~ 256	・ タイマ1,2,3,4カウントソース	PA
タイマ1	8ビットプログラマブル バイナリダウンカウンタ (INT0入力連動機能付き) (周期/パルス幅計測機能 付き)	・ インストラクションクロック (INSTCK) ・ プリスケアラ出力(ORCLK) ・ XIN入力 ・ CNTR0入力	1 ~ 256	・ タイマ2カウントソース ・ CNTR0出力 ・ タイマ1割り込み	W1 W2 W5
タイマ2	8ビットプログラマブル バイナリダウンカウンタ	・ システムクロック(STCK) ・ プリスケアラ出力(ORCLK) ・ タイマ1アンドフロー (T1UDF) ・ PWM出力(PWMOUT)	1 ~ 256	・ タイマ3カウントソース ・ CNTR0出力 ・ タイマ2割り込み	W2
タイマ3	8ビットプログラマブル バイナリダウンカウンタ (INT1入力連動機能付き)	・ PWM出力(PWMOUT) ・ プリスケアラ出力(ORCLK) ・ タイマ2アンドフロー(T2UDF) ・ CNTR1入力	1 ~ 256	・ CNTR1出力制御 ・ タイマ3割り込み	W3
タイマ4	8ビットプログラマブル バイナリダウンカウンタ (PWM出力機能付き)	・ XIN入力 ・ プリスケアラ出力(ORCLK)	1 ~ 256	・ タイマ2,3カウントソース ・ CNTR1出力 ・ タイマ4割り込み	W4
ウォッチドッグ タイマ	16ビット固定分周	・ インストラクションクロック (INSTCK)	65534	・ システムリセット(2回カウント) ・ WDFフラグ判定	



TR1AB命令：TR1AB命令は、レジスタA、レジスタBの内容を
リロードレジスタR1にのみ転送する命令です。
PWMOUT：PWM 出力信号(タイマ4 出力部より)

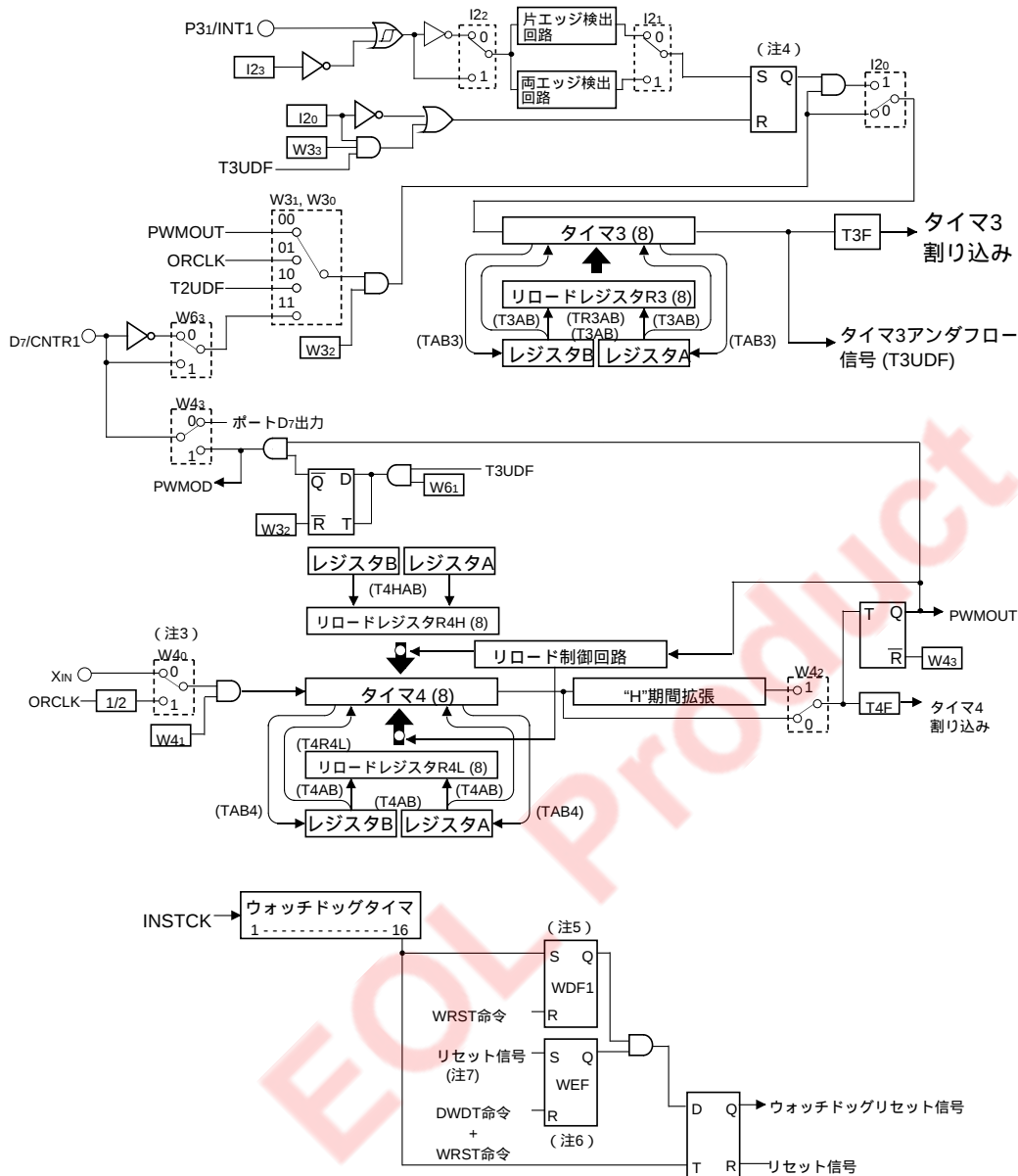
PWMOUT : PWM 出力信号(タイマ4 出力部より)

↑ この記号は、タイマがアンダフローすると、リロードレジスタから自動的にデータが設定されるオートリロード機能を示します。

注1：CMCK命令が実行された場合はセラミック共振、
CRCK命令が実行された場合はRC発振、
CYCK命令が実行された場合は水晶発振が選択さ

2: タイマ1カウント開始同期回路は、レジスタ1のビット2 (I12)、ビット1 (I11) で選択されたP30/INT0端子の有効エッジによりセットされます。

3: レジスタMRのビット1 (MR1) をセット (1) し、f(XIN)発振停止としている状態では、カウントソースにXINを使用できません。



TR3AB命令：TR3AB命令は、レジスタA、レジスタBの内容を
リロードレジスタR3にのみ転送する命令です。

T4R4L命令：T4R4L命令は、リロードレジスタR4Lの内容を
タイマ4に転送する命令です。

INSTCK：インストラクションクロック（システムクロックの3分周）

ORCLK：プリスケアラ出力（インストラクションクロックの1～256分周）

この記号は、タイマがアンダフローすると、
リロードレジスタから自動的にデータが設定
されるオートリロード機能を示します。

注3：レジスタMRのビット1（MR1）をセット（1）し、f(XIN)発振停止としている状態
では、カウントソースにXINを使用できません。

4：タイマ3カウント開始同期回路は、レジスタI2のビット2（I22）、ビット1（I21）で
選択されたP31/INT1端子の有効エッジによりセットされます。

5：フラグWDF1=“1”のときにWRST命令を実行すると、フラグWDF1をクリア（0）し、
次の命令をスキップします。

フラグWDF1=“0”のときにWRST命令を実行しても、スキップは発生しません。

6：DWD命令とWRST命令を連続で実行すると、フラグWEFがクリア（0）され、
ウォッチドッグリセットは発生しません。

7：フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

図FB-3. タイマの構成 (2)

表FB-2. タイマ制御レジスタ

タイマ制御レジスタ PA		リセット時 : 02		RAM バックアップ時 : 02	W TPAA
PA0	プリスケアラ制御ビット	0	停止 (状態保持)		
		1	動作		

タイマ制御レジスタ W1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAW1 / TW1A
W13	タイマ 1 カウント自動停止回路選択ビット （注 2）	0	タイマ 1 カウント自動停止回路非選択		
		1	タイマ 1 カウント自動停止回路選択		
W12	タイマ 1 制御ビット	0	停止（状態保持）		
		1	動作		
W11	タイマ 1 カウントソース選択ビット	W11 W10	カウントソース		
		0 0	インストラクションクロック（INSTCK）		
0 1		プリスケアラ出力（ORCLK）			
W10		1 0	XiN 入力		
		1 1	CNTRO 入力		

タイマ制御レジスタ W2		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAW2 / TW2A
W23	CNTR0 端子出力信号選択ビット	0	タイマ 1 アンダフロー信号の 2 分周出力		
		1	タイマ 2 アンダフロー信号の 2 分周出力		
W22	タイマ 2 制御ビット	0	停止（状態保持）		
		1	動作		
W21	タイマ 2 カウントソース選択ビット	W21 W20		カウントソース	
		0 0		システムクロック（STCK）	
0 1		プリスケアラ出力（ORCLK）			
W20		1 0		タイマ 1 アンダフロー信号（T1UDF）	
		1 1		PWM 信号（PWMOUT）	

タイマ制御レジスタ W3		リセット時：00002		RAMバックアップ時：状態保持	R / W TAW3 / TW3A
W33	タイマ3 カウント自動停止回路選択ビット（注3）	0	タイマ3 カウント自動停止回路非選択		
		1	タイマ3 カウント自動停止回路選択		
W32	タイマ3 制御ビット	0	停止（状態保持）		
		1	動作		
W31	タイマ3 カウントソース選択ビット	W31 W30		カウントソース	
		0 0		PWM 信号（PWMOUT）	
0 1		プリスケアラ出力（ORCLK）			
1 0		タイマ2 アンダフロー信号（T2UDF）			
1 1		CNTR1 入力			
W30					

注 1. “R” は読み出し可、“W” は書き込み可を表します。

2. この機能はタイマ 1 カウント開始同期回路選択時 (I10 = “1”) にのみ有効です。

3. この機能はタイマ 3 カウント開始同期回路選択時 (I20 = “1”) にのみ有効です。

タイマ制御レジスタ W4		リセット時：0000 ₂		RAM バックアップ時：0000 ₂	R / W TAW4 / TW4A
W43	D7/CNTR1 端子機能選択ビット	0	D7 入出力 / CNTR1 入力		
		1	CNTR1 入出力 / D7 入力		
W42	PWM 信号 “ H ” 期間拡張機能制御ビット	0	PWM 信号 “ H ” 期間拡張機能無効		
		1	PWM 信号 “ H ” 期間拡張機能有効		
W41	タイマ 4 制御ビット	0	停止（状態保持）		
		1	動作		
W40	タイマ 4 カウントソース選択ビット	0	XIN 入力		
		1	プリスケアラ出力（ORCLK）の 2 分周信号		

タイマ制御レジスタ W5		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAW5 / TW5A
W53	使用しません	0	このビットに機能はありませんが R / W は可能です		
		1			
W52	周期計測回路制御ビット	0	停止		
		1	動作		
W51	周期計測対象信号選択ビット	W51 W50		カウントソース	
		0 0		オンチップオシレータ (f(RING)/16)	
0 1		CNTR0 端子入力			
W50		1 0		INT0 端子入力	
		1 1		使用禁止	

タイマ制御レジスタ W6		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAW6 / TW6A
W63	CNTR1 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		
W62	CNTR0 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		
W61	CNTR1 端子出力自動制御回路選択ビット	0	CNTR1 端子出力自動制御回路非選択		
		1	CNTR1 端子出力自動制御回路選択		
W60	D6 / CNTR0 端子機能選択ビット	0	D6 入出力 / CNTR0 入力		
		1	CNTR0 入出力 / D6 入力		

注 1.“ R ” は読み出し可、“ W ” は書き込み可を表します。

(1) タイマ関連の制御レジスタ

● タイマ制御レジスタPA

レジスタPAは、プリスケアラのカウンタ動作を制御します。このレジスタの内容は、TPAA命令でレジスタAを介して設定してください。

● タイマ制御レジスタW1

レジスタW1は、タイマ1のカウンタ自動停止回路の選択、カウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

● タイマ制御レジスタW2

レジスタW2は、CNTR0出力の選択、タイマ2のカウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

● タイマ制御レジスタW3

レジスタW3は、タイマ3のカウンタ自動停止回路の選択、カウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW3A命令でレジスタAを介して設定してください。また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

● タイマ制御レジスタW4

レジスタW4は、D7/CNTR1端子の機能、PWM出力の「H」期間拡張、タイマ4のカウンタ動作及びカウンタソースを制御します。このレジスタの内容はTW4A命令でレジスタAを介して設定してください。また、TAW4命令でレジスタW4の内容をレジスタAに転送できます。

● タイマ制御レジスタW5

レジスタW5は、周期計測回路及び周期計測対象信号を制御します。このレジスタの内容はTW5A命令でレジスタAを介して設定してください。また、TAW5命令でレジスタW5の内容をレジスタAに転送できます。

● タイマ制御レジスタW6

レジスタW6は、CNTR0端子、CNTR1端子のカウンタエッジ、CNTR1出力自動制御回路の選択及びD6/CNTR0端子の機能を制御します。このレジスタの内容はTW6A命令でレジスタAを介して設定してください。また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

(2) プリスケアラ

プリスケアラは8ビットのバイナリカウンタで、プリスケアラリロードレジスタRPSをもっています。プリスケアラとリロードレジスタRPSには、TPSAB命令で同時にデータを設定できます。プリスケアラからはTABPS命令でデータを読み出すことができます。

プリスケアラデータの設定または読み出しを行う場合はカウンタを停止させた後TPSAB命令またはTABPS命令を実行してください。

プリスケアラにデータを設定した後、レジスタPAのビット0を「1」にセットするとプリスケアラはカウンタ動作を開始します。

リロードレジスタRPSの設定値をnとするとプリスケアラはカウンタソースの信号をn+1分周します(n=0~255)。プリスケアラのカウンタソースはインストラクションクロック(INSTCK)です。

カウンタ開始後、プリスケアラはアンダフローする(プリスケアラの内容が「0」になった後、次のカウンタパルスが入力される)と、新たにリロードレジスタRPSからデータをリロードしてカウンタを続行します(オートリロード機能)。プリスケアラの出力信号(ORCLK)はタイマ1、2、3、4のカウンタソースに使用できます。

(3) タイマ1(割り込み機能付き)

タイマ1は8ビットのバイナリカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。リロードレジスタR1にはTR1AB命令でデータを設定することができます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウンタを停止させた後T1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1のデータを変更する場合は、アンダフローと重ならないタイミングでTR1AB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0,1でカウンタソースを設定し、レジスタW1のビット2を“1”にセットすると、タイマ1はカウンタ動作を開始します。

リロードレジスタR1の設定値をnとすると、タイマ1はカウンタソースの信号をn+1分周します(n=0 ~ 255)。

カウンタ開始後、タイマ1はアンダフローする(タイマ1の内容が“0”になった後、次のカウンタパルスが入力される) と、タイマ1割り込み要求フラグ(T1F)を“1”にセットし、新たにリロードレジスタR1からデータをリロードしてカウンタを続行します(オートリロード機能)。

割り込み制御レジスタI1のビット0を“1”にセットすると、INT0端子の入力をタイマ1カウンタ動作の開始トリガに使用できます。また、この時レジスタW1のビット3を“1”にセットすると、タイマ1アンダフローによる自動停止が行えません。

レジスタW2のビット3を“0”にクリアし、レジスタW6のビット0を“1”にセットすると、タイマ1アンダフローの2分周信号をCNTR0端子から出力できます。

レジスタW5のビット2を“1”にセットすると、周期計測回路が動作し、周期計測対象信号の1周期をタイマ1でカウントできます。この場合、タイマ1割り込み要求フラグ(T1F)は、タイマ1アンダフローによってはセットされず、周期計測の完了を知らせるフラグとなります。

(4) タイマ2(割り込み機能付き)

タイマ2は8ビットのバイナリカウンタで、タイマ2リロードレジスタR2をもっています。タイマ2とリロードレジスタR2には、T2AB命令で同時にデータを設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウンタを停止させた後T2AB命令またはTAB2命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0,1でカウンタソースを設定し、レジスタW2のビット2を“1”にセットするとタイマ2はカウンタ動作を開始します。

リロードレジスタR2の設定値をnとすると、タイマ2はカウンタソースの信号をn+1分周します(n=0 ~ 255)。

カウンタ開始後、タイマ2はアンダフローする(タイマ2の内容が“0”になった後、次にカウンタパルスが入力される) と、タイマ2割り込み要求フラグ(T2F)を“1”にセットし新たにリロードレジスタR2からデータをリロードしてカウンタを続行します(オートリロード機能)。

レジスタW2のビット3を“1”にセットし、レジスタW6のビット0を“1”にセットすると、タイマ2アンダフローの2分周信号をCNTR0端子から出力できます。

(5) タイマ3(割り込み機能付き)

タイマ3は8ビットのバイナリカウンタで、タイマ3リロードレジスタR3をもっています。タイマ3とリロードレジスタR3には、T3AB命令で同時にデータを設定できます。リロードレジスタR3にはTR3AB命令でデータを設定することができます。タイマ3からはTAB3命令でデータを読み出すことができます。

タイマ3データの設定または読み出しを行う場合は、カウンタを停止させた後T3AB命令またはTAB3命令を実行してください。

タイマ3動作中にリロードレジスタR3のデータを変更する場合は、アングフローと重ならないタイミングでTR3AB命令を実行してください。

タイマ3にデータを設定した後、レジスタW3のビット0, 1でカウントソースを設定し、レジスタW3のビット2を"1"にセットすると、タイマ3はカウント動作を開始します。

リロードレジスタR3の設定値をnとすると、タイマ3はカウントソースの信号をn+1分周します(n=0 ~ 255)。

カウント開始後、タイマ3はアングフローする(タイマ3の内容が"0"になった後、次のカウントパルスが入力される)と、タイマ3割り込み要求フラグ(T3F)を"1"にセットし、新たにリロードレジスタR3からデータをリロードしてカウントを続行します(オートリロード機能)。

割り込み制御レジスタI2のビット0を"1"にセットすると、INT1端子の入力をタイマ3カウント動作の開始トリガに使用できます。また、この時のレジスタW3のビット3を"1"にセットすると、タイマ3アングフローによる自動停止が行えます。

(6) タイマ4(割り込み機能付き)

タイマ4は8ビットのバイナリカウンタで、2つのタイマ4リロードレジスタR4L, R4Hをもっています。タイマ4とリロードレジスタR4Lには、T4AB命令で同時にデータを設定できます。リロードレジスタR4HにはT4HAB命令でデータを設定することができます。T4AB命令で設定したリロードレジスタR4Lの内容は、T4R4L命令でタイマ4に再設定できます。タイマ4からはTAB4命令でデータを読み出すことができます。

タイマ4データの設定または読み出しを行う場合は、カウンタを停止させた後T4AB命令またはTAB4命令を実行してください。

タイマ4動作中にリロードレジスタR4Hにデータを設定する場合は、アングフローと重ならないタイミングでT4HAB命令を実行してください。

タイマ4にデータを設定した後、レジスタW4のビット0でカウントソースを設定し、レジスタW4のビット1を"1"にセットすると、タイマ4はカウント動作を開始します。

リロードレジスタR4Lの設定値をnとすると、タイマ4はカウントソースの信号をn+1分周します(n=0 ~ 255)。

カウント開始後、タイマ4はアングフローする(タイマ4の内容が"0"になった後、次のカウントパルスが入力される)と、タイマ4割り込み要求フラグ(T4F)を"1"にセットし、新たにリロードレジスタR4Lからデータをリロードしてカウントを続行します(オートリロード機能)。

タイマ制御レジスタW4のビット3を"1"にセットすると、タイマ4で生成したPWM信号をCNTR1端子から出力することができます。タイマ制御レジスタW6のビット1を"1"にセットすると、タイマ3と組み合わせてCNTR1端子へのPWM出力制御を行うことができます。

(7) 周期計測機能(タイマ1 , 周期計測回路)

タイマ1は、オンチップオシレータの16分周信号、D6/CNTR0端子入力、P30/INT0端子入力の1周期の期間(P30/INT0端子入力の場合は1周期または“H”または“L”パルス幅)に同期してタイマカウント動作を行う、周期計測回路を持っています。

周期計測回路は、レジスタW5のビット0, 1で周期計測の対象信号を設定して、レジスタW5のビット2を“1”にセットすると動作を開始します。続いて、タイマ1のカウントソースにXIN入力を設定し、レジスタW1のビット2を“1”にセットすると、タイマ1の動作が可能になります。タイマ1は、周期計測対象信号の立ち下がりエッジに同期して動作を開始し、次の立ち下がりエッジに同期してカウント動作を停止します。(1周期間生成回路)

周期計測対象信号として、D6/CNTR0端子入力を選択する場合、レジスタW6のビット2を“1”にすると、周期計測同期エッジを立ち上がりエッジに変更できます。

周期計測対象信号としてP30/INT0端子入力を選択する場合、レジスタI1のビット2を“1”にすると、周期計測同期エッジを立ち上がりエッジに変更できます。

計測動作が完了後、タイマ1割り込み要求フラグ(T1F)が“1”にセットされます。周期計測回路を動作させる場合、タイマ1割り込み要求フラグ(T1F)はタイマ1アンダフロー信号によってはセットされず、周期計測の完了を知らせるフラグとなります。

なお、タイマ1アンダフロー信号をタイマ2カウントソースとして使用できます。

周期計測動作が一度完了すると、次に周期計測有効エッジが入力されてもタイマ1は停止状態で、計測データは保持されます。

周期計測回路を再度使用する場合は、レジスタW5のビット2を“0”にして周期計測回路を一度停止させ、再度レジスタW5のビット2を“1”にして周期計測回路を動作状態にしてください。

周期計測回路を使用する場合、レジスタI1のビット0を“0”にクリアし、タイマ1カウント開始同期回路を非選択にしてください。

周期計測回路の動作が開始直後に、タイマの動作を開始してください。

周期計測回路の動作を開始してからタイマの動作を開始するまでの間に計測対象エッジが入力されると、タイマの動作が有効となるまでカウント動作しないので、カウントデータには注意してください。

タイマからデータを読み出す場合は、まずタイマを停止後にレジスタW5のビット2を“0”にして周期計測回路を停止し、データ読み出し命令を実行してください。レジスタW5

のビット2を“0”にして周期計測回路を停止する場合、タイマ1の状態によっては、タイマ1割り込み要求フラグ(T1F)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット2を“0”にクリア(図FB-4)後、レジスタW5のビット2を“0”にして周期計測回路を停止してください。更に一命令以上おいて(図FB-4

SNZT1命令を実行し、フラグT1Fをクリアしてください。またSNZT1命令によるスキップが発生する場合を考慮し、SNZT1命令の後にNOP命令を挿入してください(図FB-4)

```

:
:
:
LA 0      ;(×0××2)
TV1A      ;SNZT1命令有効...
LA 0      ;(×0××2)
TW5A      ;周期計測回路停止
NOP        ; ...
SNZT1      ;SNZT1命令実行
              (フラグT1Fクリア)
NOP        ; ...
:
:
:      × : このビットは本例では関係しません。

```

図FB-4. 周期計測回路停止時のプログラム例

周期計測回路を使用する場合、タイマ1のカウントソースは、計測対象信号より十分高速な周波数を選択してください。

周期計測対象信号がD6/CNTR0端子入力の場合、タイマ1カウントソースにD6/CNTR0端子入力を選択しないでください。

(周期計測回路使用時は、タイマ1カウントソースとしてXIN入力を使用することを推奨します。)

(8) パルス幅計測機能(タイマ1、周期計測回路)

レジスタW5のビット0を“0”、ビット1を“1”(周期計測回路の計測対象 : P30/INT0端子入力)にして、レジスタI1のビット1を“1”(INT0端子エッジ検出回路 : 両エッジ検出)にすることにより、周期計測回路はP30/INT0端子入力の“H”パルス幅(立ち上がりから立ち下がりまで) または“L”パルス幅(立ち下がりから立ち上がりまで)を計測できます(パルス幅計測機能)。

“H”パルス幅、“L”パルス幅のどちらを計測するかは、周期計測回路、及びタイマ動作の開始時点のP30/INT0端子入力レベルによって決まります。周期計測回路及びタイマ動作の開始時、P30/INT0端子の入力レベルが“H”の場合は“L”パルス幅(立ち下がりから立ち上がりまで)、“L”の場合は“H”パルス幅(立ち上がりから立ち下がりまで)を計測します。

計測対象にP30/INT0端子の入力を選択する場合、レジスタI1のビット3を“1”にセットし、INT0端子の入力を可能にしてください。

(9) カウント開始同期回路(タイマ1, タイマ3)

タイマ1, 3はそれぞれINT0, INT1端子の入力に同期してタイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0に“1”を設定すると機能が選択されてINT0端子の入力による制御が可能になります。

タイマ3のカウント開始同期回路は、レジスタI2のビット0に“1”を設定すると機能が選択されてINT1端子の入力による制御が可能になります。

タイマ1, 3それぞれのカウント開始同期回路を使用している場合、INT0, INT1端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT0, INT1端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1, I2それぞれのビット0に“0”を設定するか、リセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合は、タイマ1, 3がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

(10) カウント自動停止回路(タイマ1, タイマ3)

タイマ1, 3はカウント開始同期回路を使用しているときに、それぞれタイマ1,3アンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW1のビット3を“1”にセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

タイマ3のカウント自動停止回路は、レジスタW3のビット3を“1”にセットすると有効になり、タイマ3がアンダフローするとカウント開始同期回路をクリアし、タイマ3へのカウントソース入力が停止します。この機能は、タイマ3カウント開始同期回路を選択している場合のみ有効です。

(11) タイマ入出力端子(D6/CNTR0, D7/CNTR1)

CNTR0端子は、タイマ1のカウントソース入力機能と、タイマ1及びタイマ2のアンダフロー2分周信号の出力機能をもちます。

CNTR1端子は、タイマ3のカウントソース入力機能と、タイマ4で生成されるPWM信号出力機能をもちます。

レジスタW6のビット0でD6/CNTR0端子機能選択を、レジスタW4のビット3でD7/CNTR1端子機能選択を制御できます。

タイマ1のカウントソースとしてCNTR0入力を選択した場合、タイマ1はCNTR0入力の立ち上がり、あるいは立ち下がり波形をカウントします。カウントエッジの選択はレジスタW6のビット2で行います。

タイマ3のカウントソースとしてCNTR1入力を選択した場合、タイマ3はCNTR1入力の立ち上がりあるいは立ち下がり波形をカウントします。カウントエッジの選択はレジスタW6のビット3で行います。

(12) PWM出力機能(D7/CNTR1, タイマ3, タイマ4)

レジスタW4のビット3を“1”にセットすると、タイマ4はアンダフローするごとにリロードレジスタR4L, R4Hから交互にデータをリロードし、リロードレジスタR4Lに設定した期間“L”、リロードレジスタR4Hに設定した期間“H”のPWM信号(PWMOUT)を生成してCNTR1端子出力します。

この時レジスタW4のビット2を“1”にセットすると、タイマ4のカウントは、リロードレジスタR4Hに設定した期間(PWM信号“H”期間)がカウントソースの半周期分拡張されます。この場合、リロードレジスタR4Hの設定値をnとすると、タイマ4はカウントソースの信号を $n+1.5$ 分周します($n=1 \sim 255$)。この機能を使用する場合は、リロードレジスタR4Hに“1”以上の値を設定してください。

レジスタW6のビット1を“1”にセットすると、タイマ3のアンダフローごとに、CNTR1端子へのPWM信号出力の有効/無効が交互に繰り返されます。ただし、タイマ3を停止(レジスタW3のビット2を“0”にクリア)するとこの機能は解除されます。

PWM信号が“H”の期間にレジスタW4のビット1を“0”にクリアした場合でも、タイマ4は次にアンダフローするまでは停止しません。

PWM出力機能使用時にタイマ4を停止させる場合は、アンダフローと重ならないタイミングでレジスタW4のビット1を“0”にクリアしてください。

(13) タイマ割り込み要求フラグ(T1F, T2F, T3F, T4F)

タイマ割り込み要求フラグは各タイマのアンダフロー時に“1”にセットされます。これらフラグの状態は、スキップ命令(SNZT1, SNZT2, SNZT3, SNZT4命令)の実行により確認できます。

割り込みとスキップ命令のどちらを使用するかは、レジスタV1, V2で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

なお、周期計測回路を動作させる場合、タイマ1割り込み要求フラグ(T1F)は、タイマ1アンダフロー信号によってはセットされず、周期計測の完了を知らせるフラグとなります。

(14) 注意事項

タイマを使用する際は以下の点に注意してください。

● ブリスケラに関する注意

ブリスケラからデータを読み出す場合は、まずブリスケラのカウンタを停止させた後、データ読み出し命令(TABPS)を実行してください。

ブリスケラにデータを書き込む場合は、まずブリスケラのカウンタを停止させた後、データ書き込み命令(TPSAB)を実行してください。

● カウントソースに関する注意

タイマ1, 2, 3, 4のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

● カウント値の読み出しに関する注意

タイマ1, 2, 3, 4からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1, TAB2, TAB3, TAB4)を実行してください。

● タイマへのデータ書き込みに関する注意

タイマ1, 2, 3, 4にデータ書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB, T2AB, T3AB, T4AB)を実行してください。

● リロードレジスタR1, R3, R4Hへの書き込みに関する注意

タイマ1, 3, 4動作中にタイマリロードレジスタR1, R3, R4Hにデータを書き込む場合は、必ずタイマ1, 3, 4アンダフローと重ならないタイミングでデータを書き込んでください。

● タイマ4に関する注意

PWM出力機能使用時にタイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。

PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR4Hに“1”以上の値を設定してください。

● 周期計測回路に関する注意

周期計測回路を使用する場合、レジスタI1のビット0を“0”にクリアし、タイマ1カウンタ開始同期回路を非選択にしてください。

周期計測回路の動作が開始直後に、タイマの動作を開始してください。

周期計測回路の動作を開始してからタイマの動作を開始するまでの間に計測対象エッジが入力されると、タイマの動作が有効となるまでカウンタ動作しないので、カウンタデータには注意してください。

タイマからデータを読み出す場合は、まずタイマを停止後にレジスタW5のビット2を“0”にして周期計測回路を停止し、データ読み出し命令を実行してください。レジスタW5のビット2を“0”にして周期計測回路を停止する場合、タイマ1の状態によっては、タイマ1割り込み要求フラグ(T1F)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット2を“0”にクリア(図FB-4)後、レジスタW5のビット2を“0”にして周期計測回路を停止してください。更に一命令以上おいて(図FB-4)SNZT1命令を実行し、フラグT1Fをクリアしてください。またSNZT1命令によるスキップが発生する場合を考慮し、SNZT1命令の後にNOP命令を挿入してください(図FB-4)。

```

:
:
:
LA 0      ;(x0x x2)
TV1A      ;SNZT1命令有効...
LA 0      ;(x0x x2)
TW5A      ;周期計測回路停止
NOP        ; ...
SNZT1      ;SNZT1命令実行
              (フラグT1Fクリア)
NOP        ; ...
:
:
:      × : このビットは本例では関係しません。

```

図FB-4.周期計測回路停止時のプログラム例

周期計測回路動作中、タイマ1割り込み要求フラグ(T1F)はタイマ1アンダフロー信号によってはセットされず、周期計測の完了を知らせるフラグとなります。

周期計測回路を使用する場合、タイマ1のカウントソースは、計測対象信号より十分高速な周波数を選択してください。

周期計測対象信号がD6/CNTR0端子入力の場合、タイマ1カウントソースにD6/CNTR0端子入力を選択しないでください。

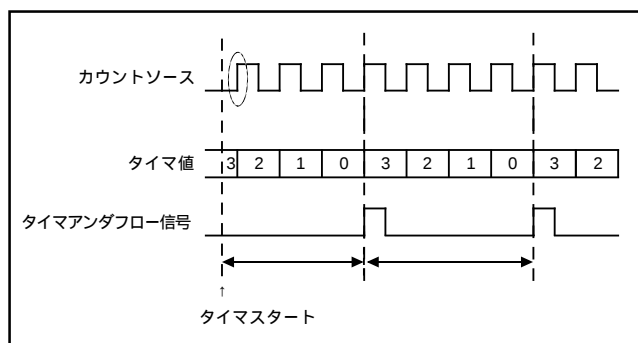
(周期計測回路使用時は、タイマ1カウントソースとしてXIN入力を使用することを推奨します。)

計測対象にP30/INT0端子の入力を選択する場合、レジスタI1のビット3を“1”にセットし、INT0端子の入力を可能にしてください。

- プリスケアラ、タイマ1、タイマ2、タイマ3のカウント開始タイミングと動作開始時のカウント時間について

プリスケアラ、タイマ1、タイマ2、タイマ3は動作開始()後、カウントソースの最初の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウントソースの1周期分)なります。

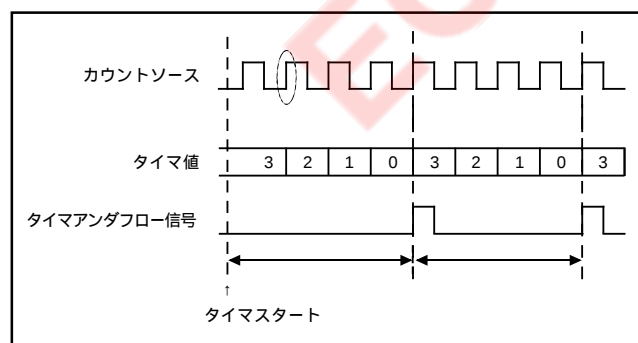


図FB-5 . タイマカウント開始タイミングと動作開始時のカウント時間
(プリスケアラ、タイマ1、タイマ2、タイマ3)

- タイマ4のカウント開始タイミングと動作開始時のカウント時間について

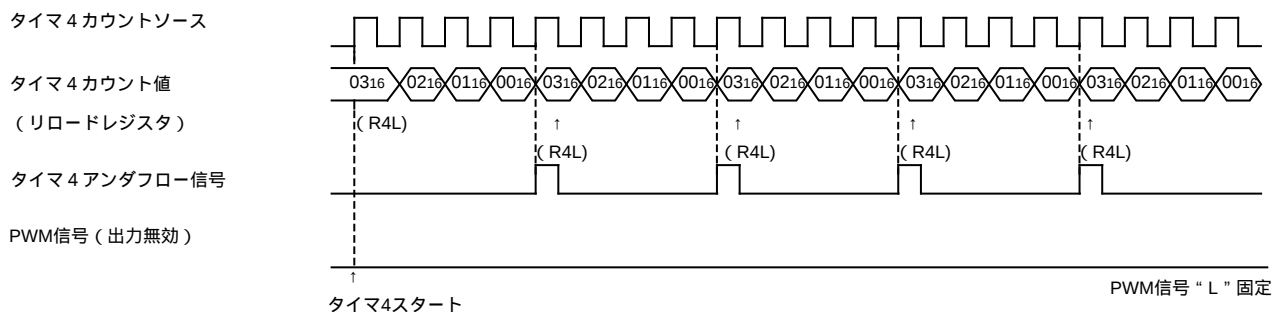
タイマ4は動作開始()後、最初のカウントソース立ち下がり後の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()と異なります。

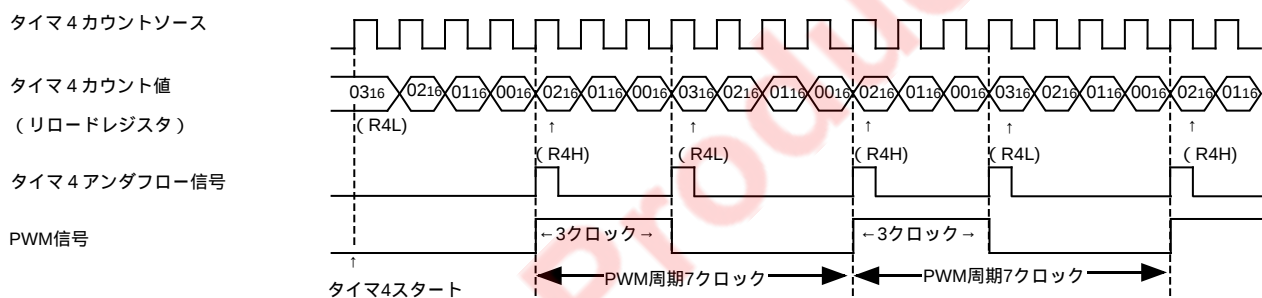


図FB-6 . タイマカウント開始タイミングと動作開始時のカウント時間
(タイマ4)

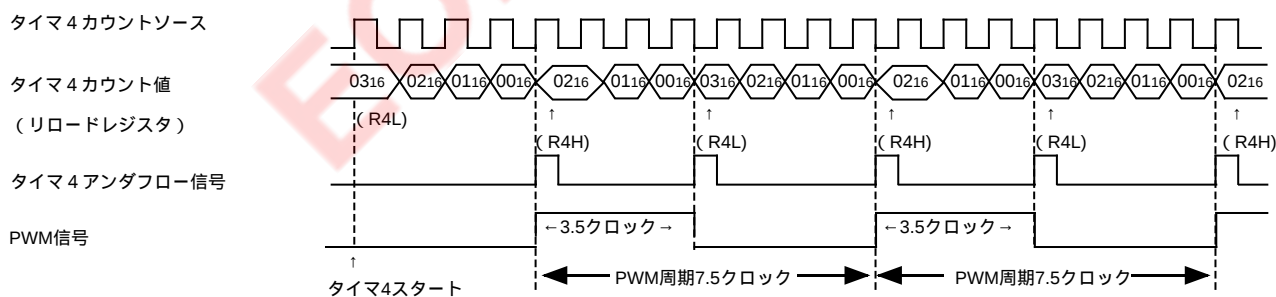
●CNTR1出力無効選択 (W43 = "0") 時



●CNTR1出力有効 (W43 = "1") 時、PWM信号 "H" 期間拡張機能無効 (W42 = "0") 時



●CNTR1出力有効 (W43 = "1") 時、PWM信号 "H" 期間拡張機能有効 (W42 = "1") 時 (注)

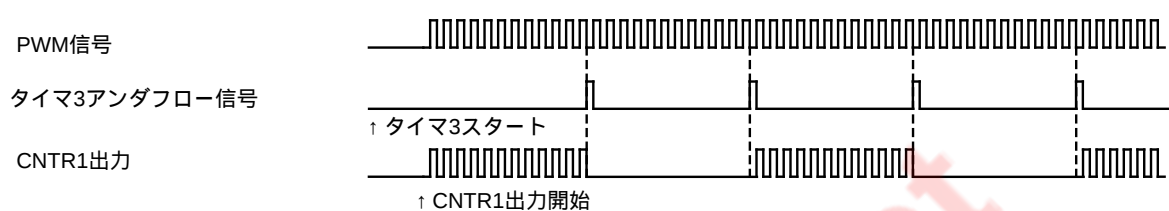


注.PWM信号 "H" 期間拡張機能有効時には、リロードレジスタR4Hに "0116" 以上の値を設定してください。

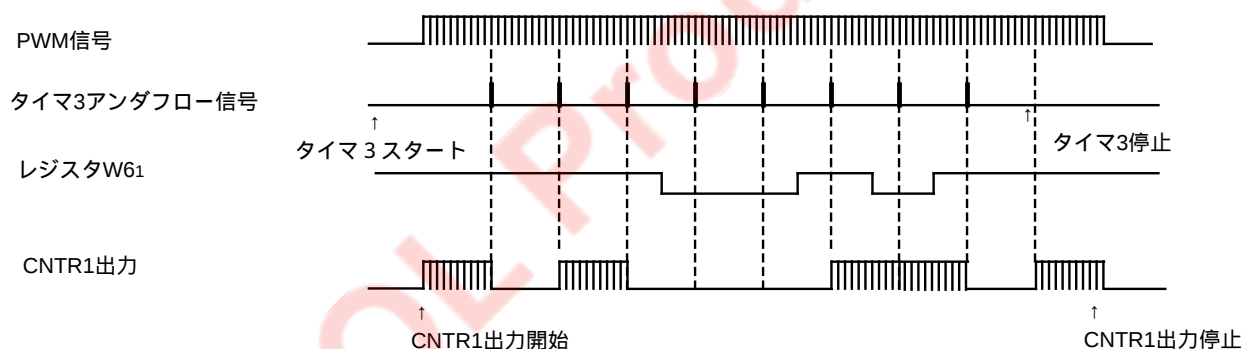
図FB-7.タイマ4の動作(リロードレジスタR4Lに"0316"、リロードレジスタR4Hに"0216"を設定した場合)

タイマ3によるCNTR1出力自動制御回路選択

- CNTR1出力有効 (W43 = “1”)、CNTR1出力自動制御回路選択 (W61 = “1”) 時



- CNTR1出力自動制御機能

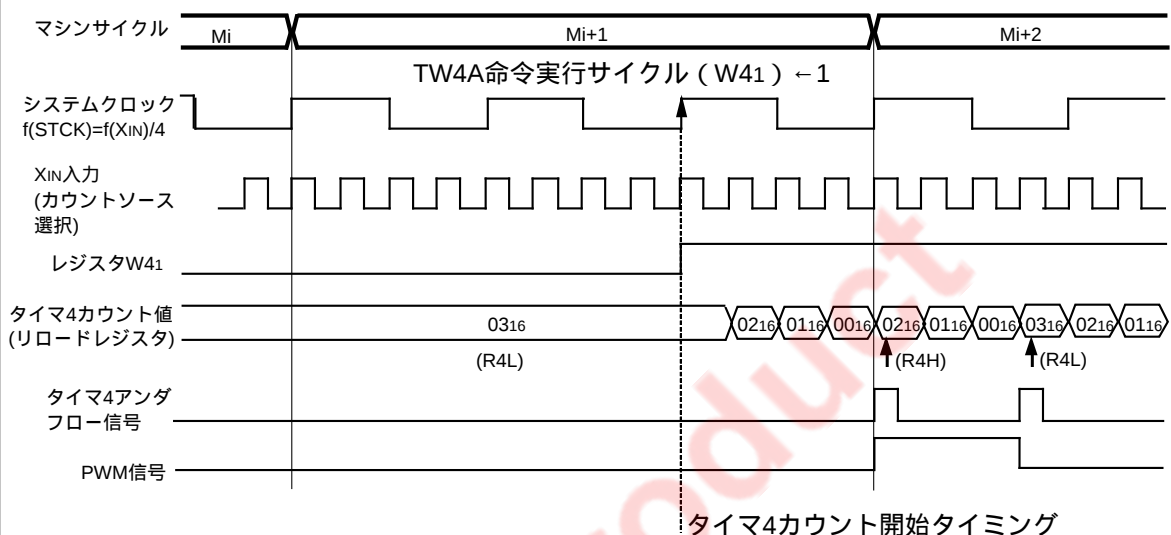


CNTR1出力無効時にCNTR1出力自動制御機能を無効にすると、CNTR1出力無効状態を保持します。
 CNTR1出力有効時にCNTR1出力自動制御機能を無効にすると、CNTR1出力有効状態を保持します。
 タイマ3を停止すると、CNTR1出力自動制御機能は無効になります。

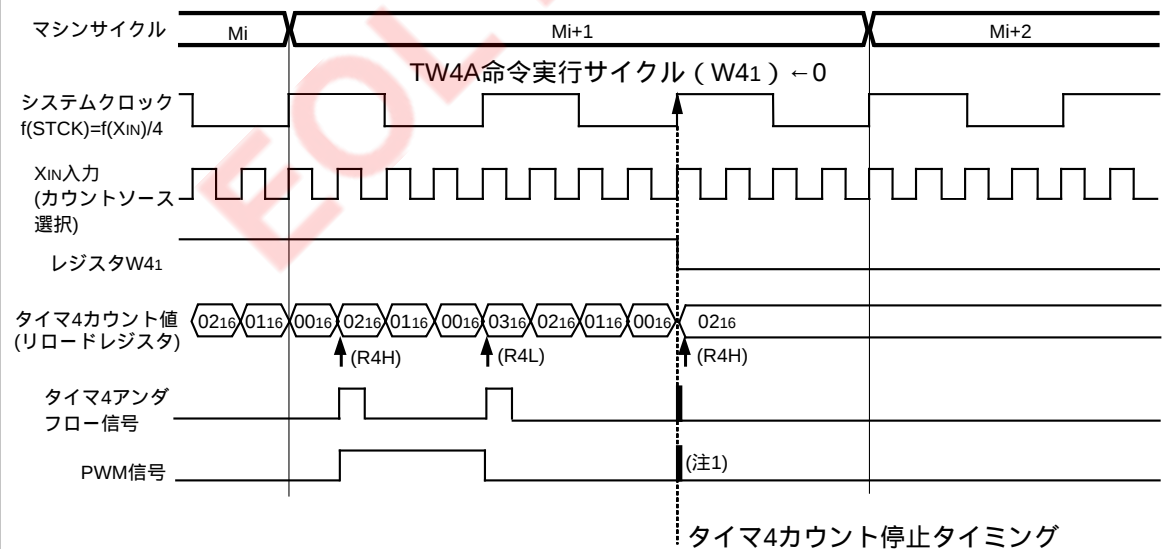
図FB-8. タイマ3によるCNTR1出力自動制御機能

- CNTR1出力“H”期間の波形拡張機能無効($W42 = 0$)、CNTR1出力有効($W43 = 1$)、カウントソースXIN入力選択($W40 = 0$)、リロードレジスタR4Lに“0316”、リロードレジスタR4Hに“0216”を設定した場合

タイマ4カウント開始タイミング



タイマ4カウント停止タイミング



- 注1. CNTR1出力有効時($W43 = 1$)にタイマ4を停止する場合には、タイマ4カウント停止タイミングとタイマ4アンダフロー信号が重ならないタイミングで停止させてください。タイミングが重なると、CNTR1出力波形にハザードが発生する場合があります。
2. CNTR1出力有効時、PWM信号の“H”期間中にタイマ4を停止した場合には、リロードレジスタR4Hで設定した“H”期間を出力した後で停止します。

図FB-9.タイマ4カウント開始 / 停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1,WDF2)により構成されています。

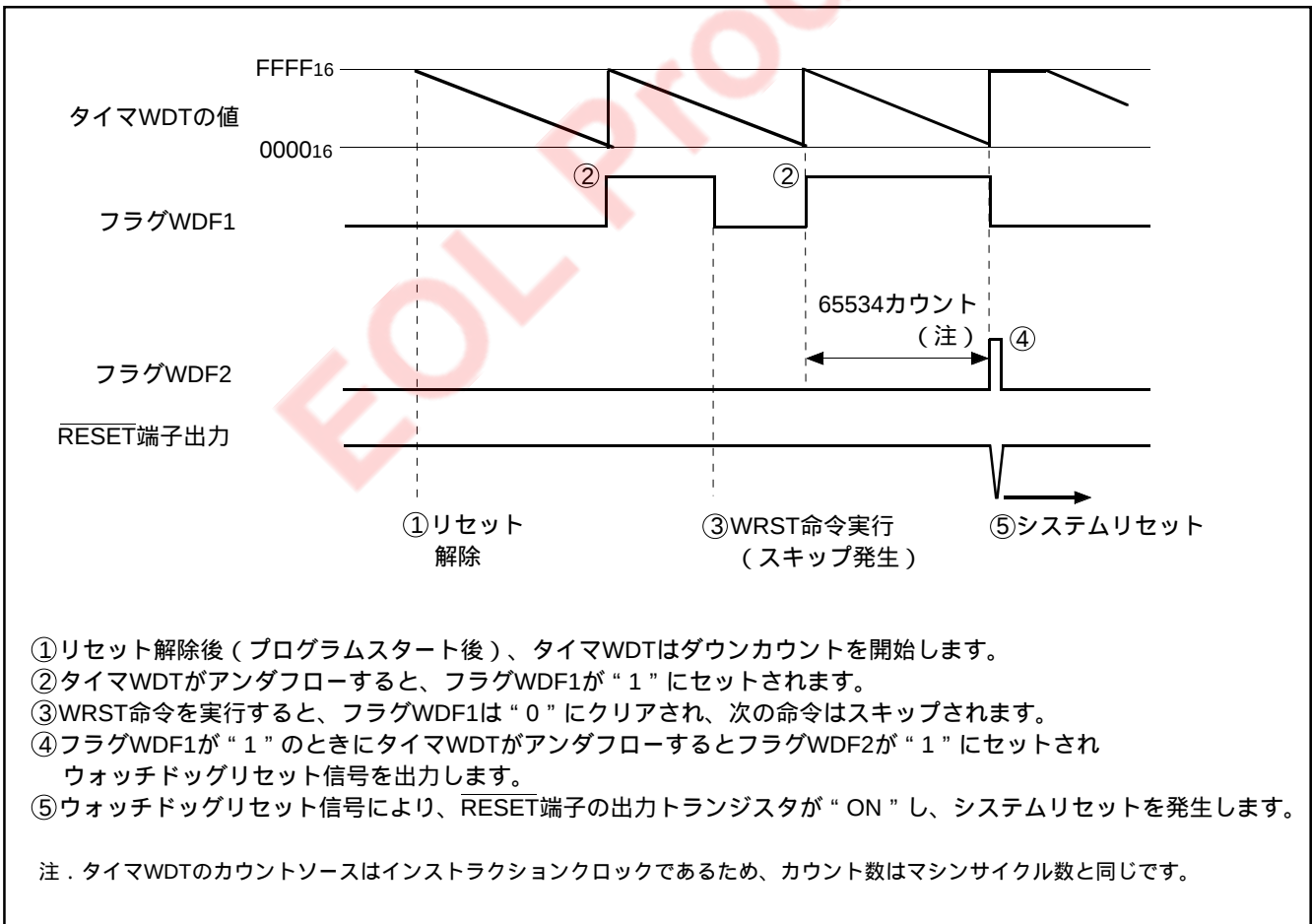
タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力される)と、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットしRESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを、使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後フラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWD命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

WRST命令にはスキップ機能があり、フラグWDF1が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。



図FB-10．ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合はWRST命令によりフラグWDF1を65534マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合はDWD命令とWRST命令を連続して実行してください(図FB-9参照)。DWD命令のみではウォッチドッグタイマ機能は停止しません。

RAMバックアップ時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドッグタイマ機能とRAMバックアップ機能を併用する場合は、RAMバックアップ状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください(図FB-10参照)。

RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度にDWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

```

:
:
WRST    ; フラグWDF1クリア
:
:
DI
DWD     ; ウォッチドッグタイマ機能禁止許可
WRST    ; フラグWEF、WDF1クリア
:
:

```

図FB-11. ウォッチドッグタイマ使用時、停止の時のプログラム例

```

:
:
:
WRST    ; フラグWDF1クリア
NOP
DI      ; 割り込み禁止
EPOF    ; POF命令許可
POF
↓
発振停止

```

図FB-12. ウォッチドッグタイマ使用時におけるモードへの移行プログラム例

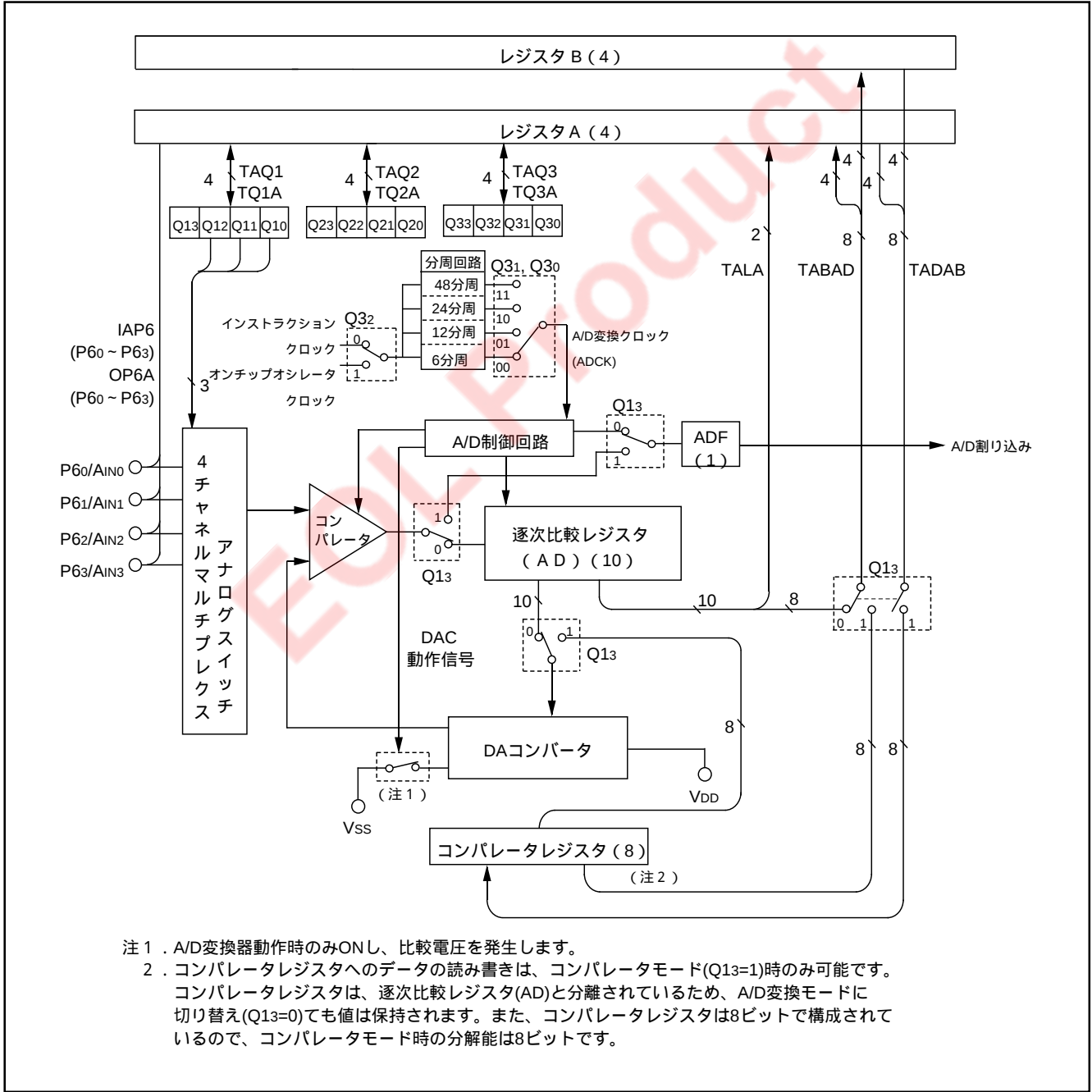
A/Dコンバータ(コンパレータ)

本製品は、10ビット逐次比較方式によるA/D変換器を内蔵しています。このA/D変換器の特性を表JA-1に示します。

また、このA/D変換器は、アナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較する8ビットのコンパレータとしても使用することができます。

表JA-1. A/D変換器の特性

項目	特性
変換形式	逐次比較方式
分解能	10ビット
相対精度	直線性誤差 : $\pm 2\text{LSB}$ (2.7V V_{DD} 5.5V) 微分非直線性誤差 : $\pm 0.9\text{LSB}$ (2.2V V_{DD} 5.5V)
変換速度	31 μs ($f(\text{XIN})=6\text{MHz}$ 、 $\text{STCK}=f(\text{XIN})$ XINスルーモード) $\text{ADCK}=\text{INSTCK}/6$)
アナログ入力端子	4本



図JA-1. A/D変換器の構成

表JA-2. A/D制御レジスタ

A/D 制御レジスタ Q1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D 動作モード選択ビット	0	A/D 変換モード		
		1	コンパレータモード		
Q12	アナログ入力端子選択ビット	Q12 Q11 Q10		アナログ入力端子	
		0 0 0		AIN0	
		0 0 1		AIN1	
Q11		0 1 0		AIN2	
		0 1 1		AIN3	
		1 0 0		使用禁止	
Q10		1 0 1		使用禁止	
		1 1 0		使用禁止	
		1 1 1		使用禁止	

A/D 制御レジスタ Q2		リセット時：00002		RAM バックアップ時：状態保持	R / W TAQ2 / TQ2A
Q23	使用しません	0	このビットに機能はありませんが R / W は可能です。		
		1			
Q22	P62 / AIN2、P63 / AIN3 端子機能選択ビット	0	P62、P63		
		1	AIN2、AIN3		
Q21	P61 / AIN1 端子機能選択ビット	0	P61		
		1	AIN1		
Q20	P60 / AIN0 端子機能選択ビット	0	P60		
		1	AIN0		

A/D 制御レジスタ Q3		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAQ3 / TQ3A
Q33	使用しません	0	このビットに機能はありませんが R / W は可能です。		
		1			
Q32	A/D 変換器動作クロック選択ビット	0	インストラクションクロック（INSTCK）		
		1	オンチップオシレータ（f(RING)）		
Q31	A/D 変換器動作クロック分周比選択ビット	Q31 Q30		分周比	
		0 0		6 分周	
		0 1		12 分周	
Q30		1 0		24 分周	
		1 1		48 分周	

注．“ R ”は読み出し可、“ W ”は書き込み可を表します。

(1) A/D変換器関連の制御レジスタ

● A/D制御レジスタQ1

レジスタQ1は、A/D動作モードの選択及びアナログ入力端子の選択を制御します。このレジスタの内容は、TQ1A命令でレジスタAを介して設定してください。また、TAQ1命令でレジスタQ1の内容をレジスタAに転送できます。

● A/D制御レジスタQ2

レジスタQ2は、P60 / AIN0 ~ P63 / AIN3端子の機能選択を制御します。このレジスタの内容は、TQ2A命令でレジスタAを介して設定してください。また、TAQ2命令でレジスタQ2の内容をレジスタAに転送できます。

● A/D制御レジスタQ3

レジスタQ3は、A/D変換器動作クロック、A/D変換器動作クロックの分周比を制御します。このレジスタの内容は、TQ3A命令でレジスタAを介して設定してください。また、TAQ3命令でレジスタQ3の内容をレジスタAに転送できます。

(2) A/D変換モード時の動作

このA/D変換器はレジスタQ1のビット3に“0”を設定することにより、A/D変換モードに設定されます。

(3) 逐次比較レジスタAD

レジスタADには、アナログ入力端子のA/D変換結果である10ビットのデジタルデータが格納されます。レジスタADの内容はTABAD命令により、上位8ビットがレジスタBとレジスタAに、下位2ビットはTALA命令によりレジスタAの上位2ビットに格納されます。ただしA/D変換中は、これらの命令を実行しないでください。

レジスタADの内容をnとしたとき、基準電圧V_{DD} から内蔵DAコンバータが発生する比較電圧V_{ref}の論理値を次式で求めることができます。

$$V_{\text{ref}} = \frac{V_{\text{DD}}}{1024} \times n$$

n: レジスタADの値(n=0 ~ 1023)

(4) A/D変換終了フラグ(ADF)

フラグADFはA/D変換が終了したとき“1”にセットされます。フラグADFの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令実行により次の命令をスキップしたときのいずれかで“0”にクリアされます。

(5) A/D変換開始命令(ADST命令)

ADST命令を実行するとA/D変換を開始します。変換結果は自動的にレジスタADに格納されます。

(6) A/D変換動作説明

A/D変換は、A/D変換開始命令(ADST命令)によって開始されます。A/D変換時の内部動作を以下に示します。

A/D変換が開始されると、まず逐次比較レジスタADが“000₁₆”にクリアされます。

次に、レジスタADの最上位ビットに“1”がセットされ、比較電圧V_{ref}とアナログ入力電圧V_{IN}との比較が行われます。

比較結果がV_{ref} < V_{IN}ならば、レジスタADの最上位ビットの値“1”をそのまま保持します。V_{ref} > V_{IN}ならば“0”にクリアします。

本製品は、以上の動作をレジスタADの最下位ビットまで行うことで、アナログ値をデジタル値に変換します。A/D変換は、開始後2マシンサイクル+A/D変換クロック(ADCK) 10クロック(f(X_{IN})=6MHz、X_{IN}スルーモード、f(ADCK)=f(INSTCK)/6時、31μs)で終了し、変換結果がレジスタADに格納されます。A/D変換終了と同時にA/D割り込み起動条件が成立し、A/D割り込み要求フラグ(ADF)が“1”にセットされます(図JA-2.参照)。

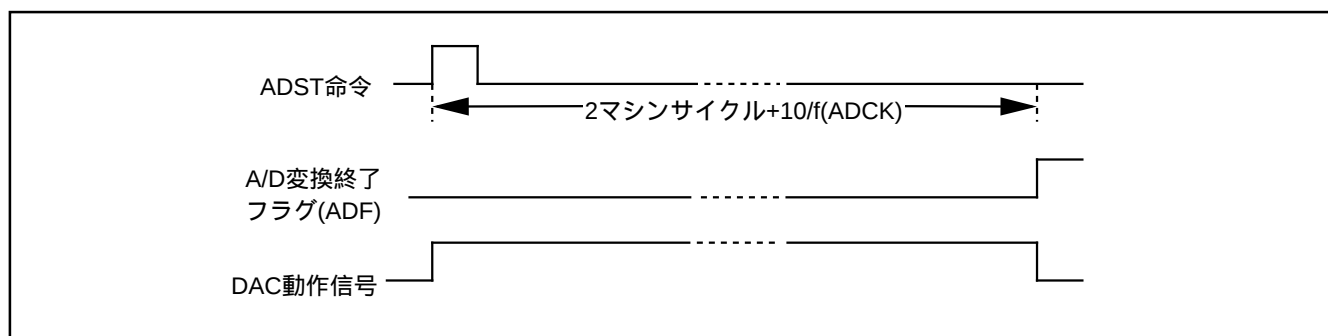
表JA-3. A/D変換中の逐次比較レジスタ(AD)の変化

	レジスタADの変化	比較電圧(Vref)値							
1回目 比較	<table><tr><td>1</td><td>0</td><td>0</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	1	0	0	-----	0	0	0	$\frac{V_{DD}}{2}$
1	0	0	-----	0	0	0			
2回目 比較	<table><tr><td>*1</td><td>1</td><td>0</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	*1	1	0	-----	0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4}$
*1	1	0	-----	0	0	0			
3回目 比較	<table><tr><td>*1</td><td>*2</td><td>1</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	*1	*2	1	-----	0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4} \pm \frac{V_{DD}}{8}$
*1	*2	1	-----	0	0	0			
10回目 の比較 終了後	A/D変換結果 <table><tr><td>*1</td><td>*2</td><td>*3</td><td>-----</td><td>*8</td><td>*9</td><td>*A</td></tr></table>	*1	*2	*3	-----	*8	*9	*A	$\frac{V_{DD}}{2} \pm \text{-----} \pm \frac{V_{DD}}{1024}$
*1	*2	*3	-----	*8	*9	*A			

*1 : 1回目の比較結果 *2 : 2回目の比較結果
 *3 : 3回目の比較結果 *8 : 8回目の比較結果
 *9 : 9回目の比較結果 *A : 10回目の比較結果

(7) A/D変換タイミングチャート

A/D変換タイミングチャートを図JA-2に示します。



図JA-2. A/D変換タイミングチャート

(8) A/D変換の使用方法

P60 / AIN0端子からのアナログ入力信号をA/D変換し、変換データの上位4ビットをRAMのM(Z,X,Y)=(0,0,0)番地、中位4ビットをM(Z,X,Y)=(0,0,1)番地、下位2ビットをM(Z,X,Y)=(0,0,2)番地、にそれぞれ格納する方法を例にA/D変換器の使用方を説明します。この例ではA/D割り込みは使用していません。また、A/D変換器動作クロックとして、インストラクションクロックの6分周を選択します。

A/D制御レジスタQ2のビット0でAIN0端子機能を選択した後、A/D制御レジスタQ1でAIN0端子を選択及びA/D変換モードに選択します。また、A/D制御レジスタQ3でインストラクションクロックの6分周を選択します(図JA-3参照)。

ADST命令を実行しA/D変換を開始します。

SNZAD命令でA/D変換終了フラグ(ADF)の状態を調べることにより、A/D変換の終了を認識します。

変換データの下位2ビットをレジスタAの上位2ビットに転送します(TALA命令)。

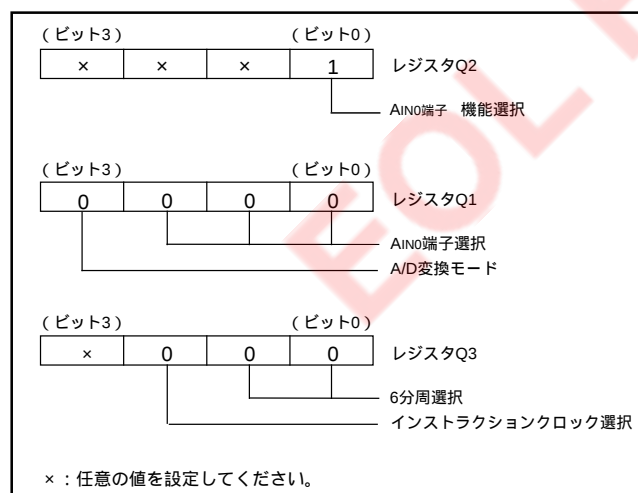
レジスタAの内容をM(Z,X,Y)=(0,0,2)に転送します。

変換データの上位8ビットをレジスタA、Bに転送します

(TABAD命令)。

レジスタAの内容をM(Z,X,Y)=(0,0,1)に転送します。

レジスタBの内容をレジスタAに転送した後、M(Z,X,Y)=(0,0,0)に格納します。



図JA-3. レジスタ設定例

(9) コンパレータモード時の動作

このA/D変換器はA/D制御レジスタQ1のビット3に“1”を設定することにより、コンパレータモードに設定されます。

以下に、コンパレータモード時の動作について説明します。

(10) コンパレータレジスタ

コンパレータモード時、内蔵DAコンパレータには、比較電圧を設定するレジスタとしてコンパレータレジスタが接続されます。このコンパレータレジスタは8ビットで構成されており、TADAB命令によりコンパレータレジスタの上位4ビットにレジスタBの値が、下位4ビットにはレジスタAの値が格納されます。

A/D変換モードからコンパレータモードに動作モードを変更した場合、A/D変換結果(逐次比較レジスタAD)は不定になります。

一方、コンパレータレジスタは、レジスタADと分離されているため、コンパレータモードからA/D変換モードに動作モードを変更しても値は保持されます。またコンパレータレジスタの読み書きは、コンパレータモード時に限られます。

コンパレータレジスタの内容をnとしたとき、内蔵DAコンパレータが発生する比較電圧Vrefの論理値は次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n : レジスタADの値(n:0 ~ 255)

(11) 比較結果格納フラグ(ADF)

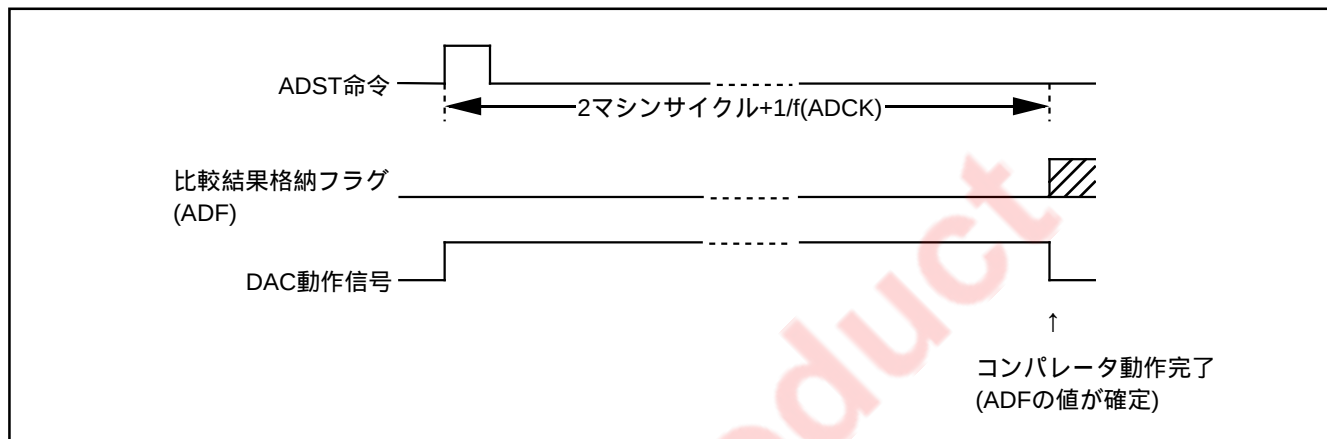
コンパレータモード時、A/D変換終了フラグ(ADF)は、アナログ入力電圧と比較電圧の比較結果を格納するフラグとなります。アナログ入力電圧が比較電圧よりも低い場合に、フラグADFは“1”にセットされます。このフラグの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらかを使用するかは割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(12)コンパレータ動作開始命令(ADST命令)

コンパレータモード時、ADST命令を実行するとコンパレータ動作を開始します。

コンパレータ動作は、動作開始後、2マシンサイクル+A/D変換クロック(ADCK) 1クロック($f(XIN)=6\text{MHz}$ 、 XIN スルーモード、 $f(ADCK)=f(INSTCK)/6$ 時、 $4\mu\text{s}$)で終了し、アナログ入力電圧が比較電圧よりも低い場合に、フラグADFが'1'にセットされます。



図JC-1. コンパレータ動作タイミングチャート

(13)注意事項

●TALA命令に関する注意

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを'0'にします。

●A/D変換器の動作モードに関する注意

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が'0'になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

(14) A/D変換精度の定義

A/D変換精度の定義について説明します(図JA-4参照)。

- 相対精度

ゼロトランジション電圧(V_{0T})

実際のA/D変換出力データが 0 から 1 に変化するときの
アナログ入力電圧

フルスケールトランジション電圧(V_{FST})

実際のA/D変換出力データが 1023 から 1022 に変化する
ときのアナログ入力電圧

直線性誤差

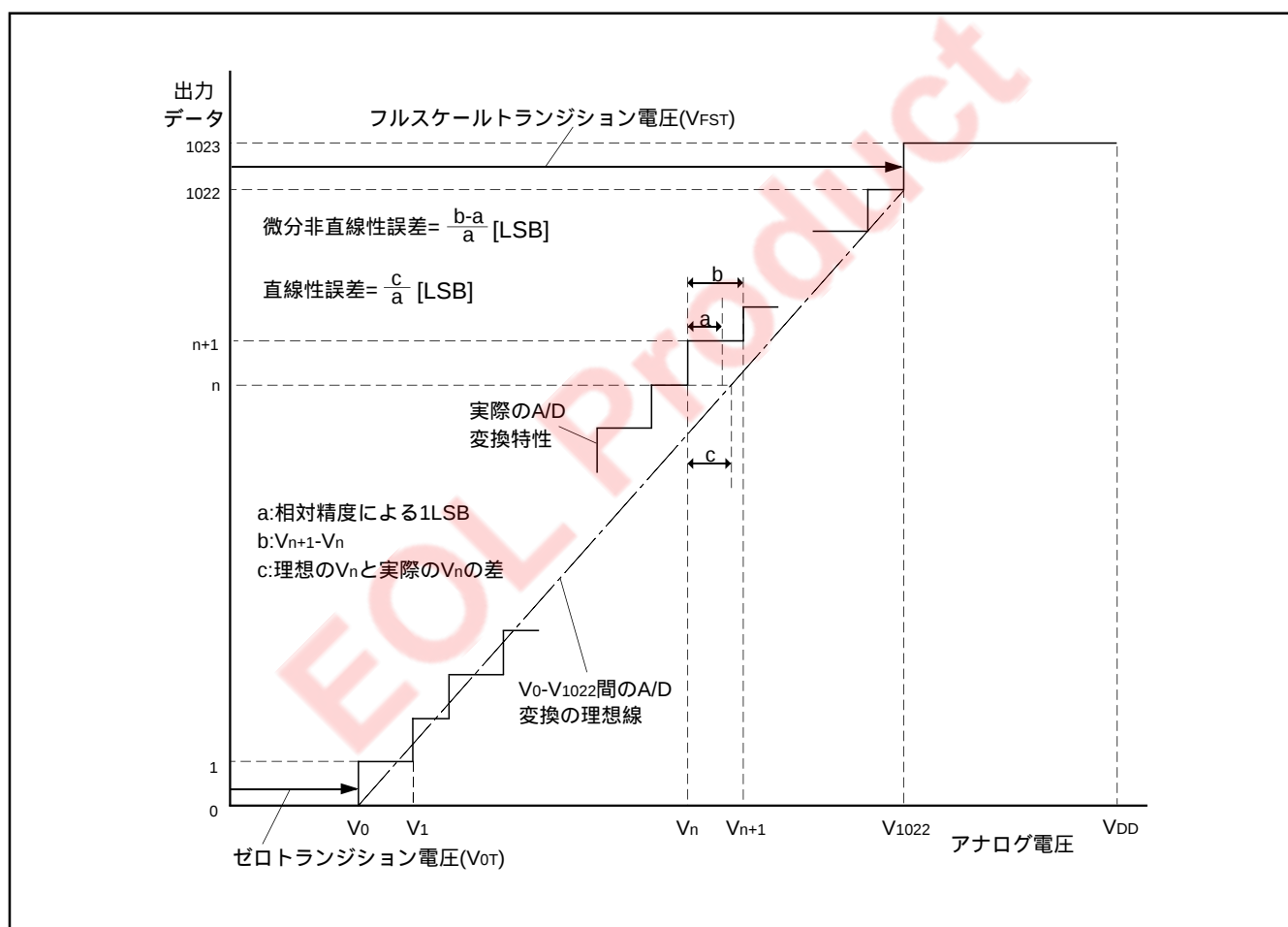
V_{0T} と V_{FST} を結ぶ直線と、 V_{0T} から V_{FST} 間の任意の変換値との偏差

微分非直線性誤差

V_{0T} と V_{FST} 間の任意の変換値を1LSB変化させるために必要な入力電位差と、相対精度における1LSBとの偏差

- 絶対精度

$0 \sim V_{DD}$ 間の理想特性と、実際のA/D変換特性との偏差



図JA-4. A/D変換精度の定義

V_n : 出力データが n から $n+1$ に変化する時のアナログ入力電圧
($n=0 \sim 1022$)

- 相対精度における1LSB $\rightarrow \frac{V_{FST} - V_{0T}}{1022}$ (V)
- 絶対精度における1LSB $\rightarrow \frac{V_{DD}}{1024}$ (V)

シリアルインタフェース

本製品はクロック同期形で8ビットデータを直列に送信及び受信できるシリアルI/Oを内蔵しています。

- シリアルI/Oは、
- シリアルI/OレジスタSI
 - シリアルI/O制御レジスタJ1
 - シリアルI/O送受信終了フラグSIOF
 - シリアルI/Oカウンタ

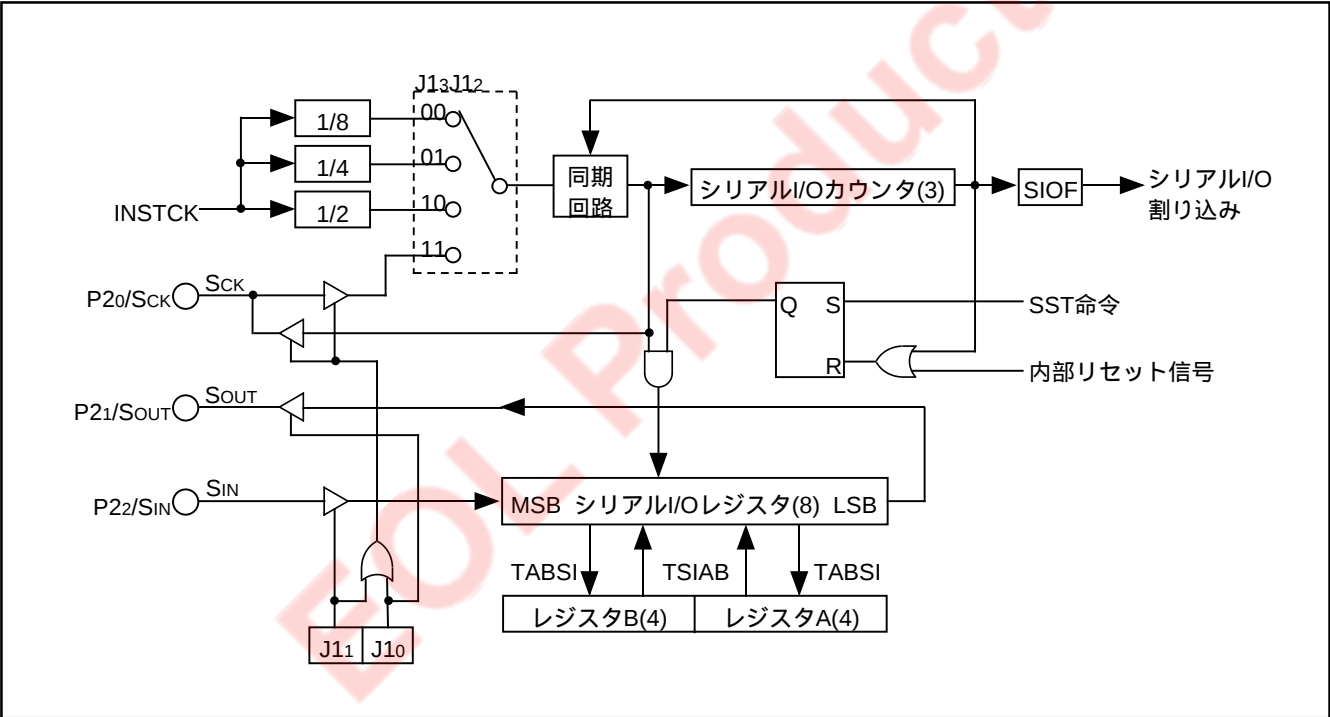
で構成されています。内部CPUとはレジスタA、レジスタBを介してデータの転送を行い、外部とはシリアルI/O入出力端子を介してデータの転送を行います。

シリアルI/O入出力の端子機能はレジスタJ1で設定できます。

表GA-1 . シリアルI/O入出力端子

端子名	シリアルI/O 選択時の端子機能
P20/Sck	クロック入出力端子(Sck)
P21/Sout	シリアルデータ出力端子(Sout)
P22/Sin	シリアルデータ入力端子(Sin)

注 . Sck , Sout , Sin端子機能を使用している場合でも、P20 , P21 , P22端子の入力機能は有効です。

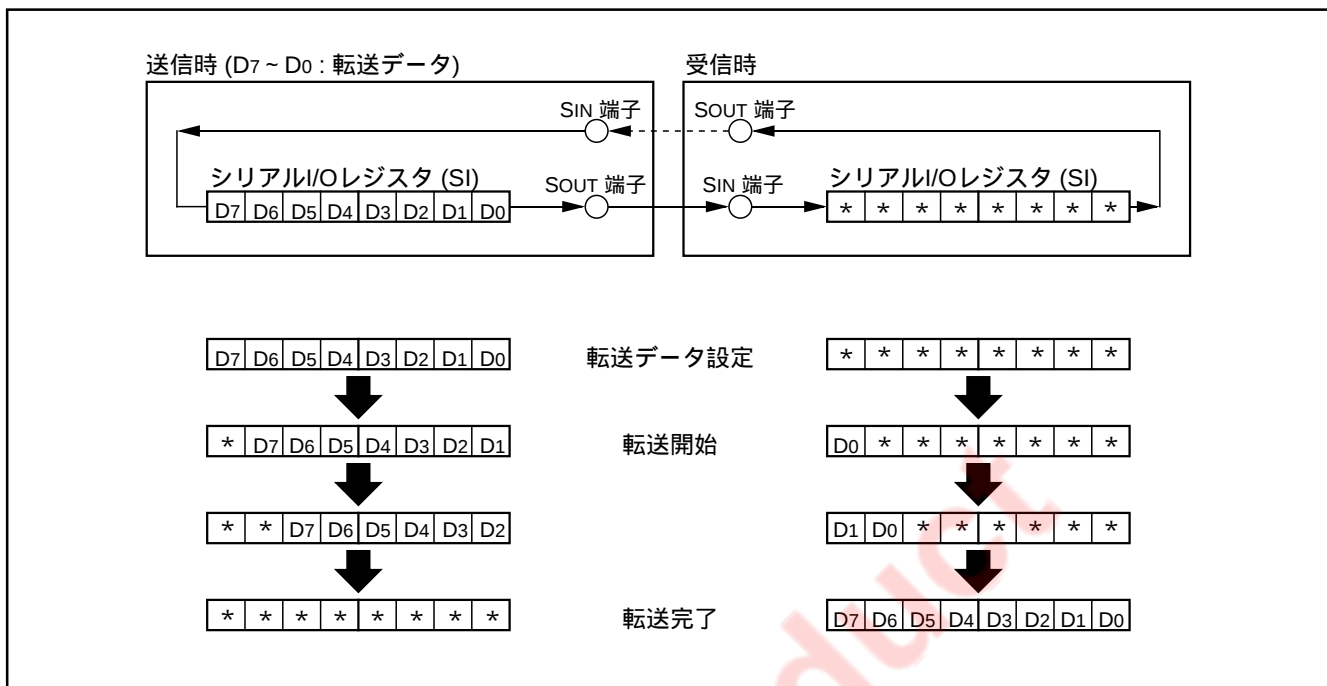


図GA-1 . シリアルI/Oの構成

表GA-2 . シリアルI/O制御レジスタ

シリアルI / O制御レジスタ J1		リセット時 : 0000 ₂	RAMバックアップ時 : 状態保持	R / W TAJ1 / TJ1A
J13 J12	シリアルI / O 同期クロック選択ビット	J13 J12	同期クロック	
		0 0	インストラクションクロック (INSTCK) の8分周信号	
		0 1	インストラクションクロック (INSTCK) の4分周信号	
		1 0	インストラクションクロック (INSTCK) の2分周信号	
		1 1	外部クロック (Sck 入力)	
J11 J10	シリアルI / O ポート機能選択ビット	J11 J10	ポート機能	
		0 0	P20, P21, P22 選択 / Sck, Sout, Sin 非選択	
		0 1	Sck, Sout, P22 選択 / P20, P21, Sin 非選択	
		1 0	Sck, P21, Sin 選択 / P20, Sout, P22 非選択	
		1 1	Sck, Sout, Sin 選択 / P20, P21, P22 非選択	

注 . “ R ”は読み出し可, “ W ”は書き込み可を表します。



図GA-2. 送受信時のシリアルI/Oレジスタの状態

(1) シリアルI/OレジスタSI

レジスタSIは、8ビットのデータ転送用直並列変換レジスタです。

TSIAB命令でレジスタA、レジスタBを介してデータを設定できます。なお、レジスタAの内容は、レジスタSIの下位4ビットに、レジスタBの内容はレジスタSIの上位4ビットに転送されます。送信時はレジスタSIの最下位ビット(ビット0)からLSBファーストで1ビットずつデータを送り出し、受信時にはレジスタSIの最上位ビット(ビット7)からLSBファーストで1ビットずつデータを受け取ります。シリアルI/Oを使用せず、レジスタSIをワークレジスタとして使用する場合は、Sck端子を選択しないようにしてください。

(2) シリアルI/O送受信終了フラグ(SIOF)

フラグSIOFは、シリアルデータ送信又は受信が終了すると“1”にセットされます。フラグSIOFの状態は、スキップ命令の実行(SNZSI命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは割り込み制御レジスタV2で選択してください。

フラグSIOFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(3) シリアルI/Oスタート命令(SST命令)

SST命令を実行すると、フラグSIOFを“0”にクリアした後、シリアルI/O送受信が開始されます。

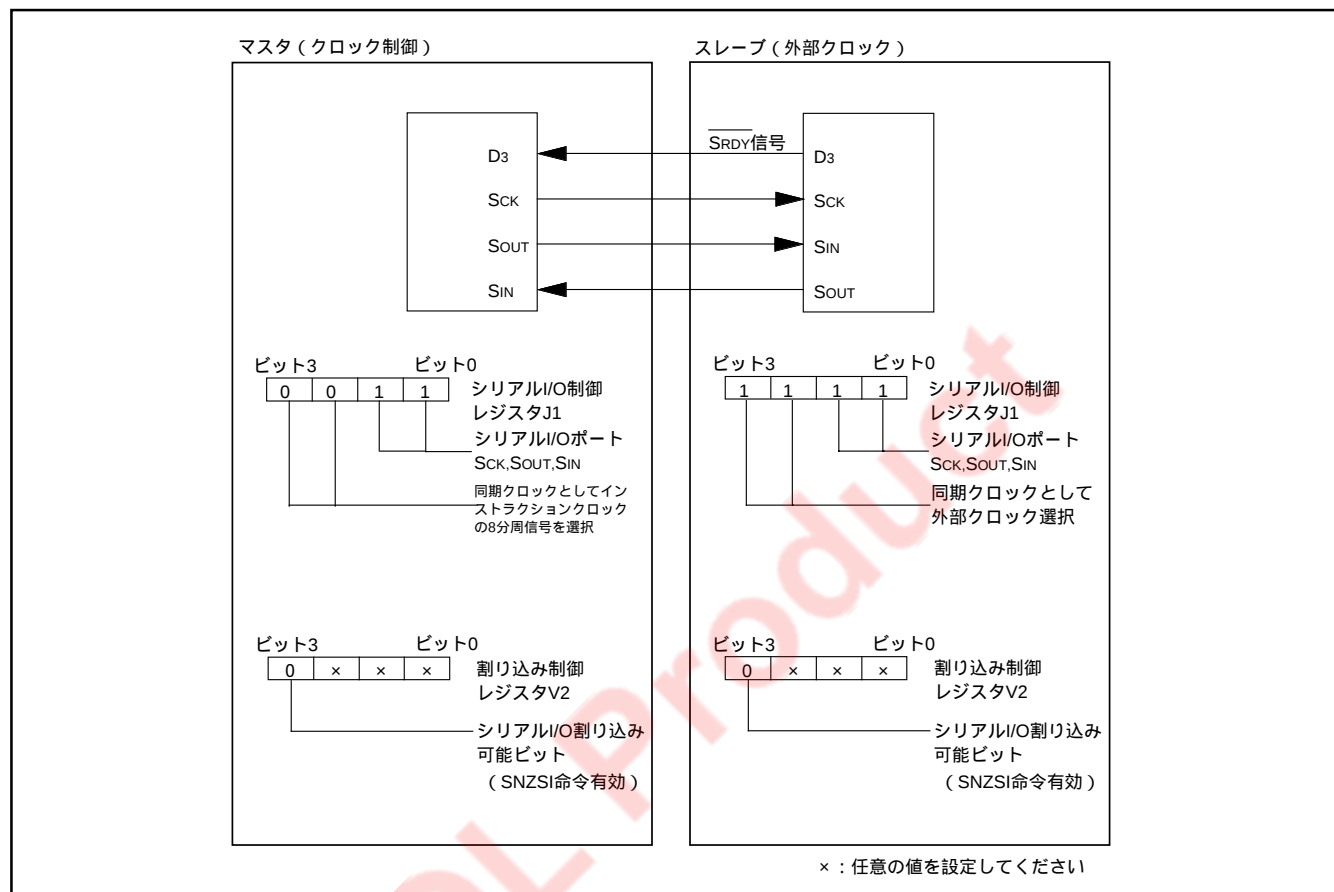
(4) シリアルI/O制御レジスタJ1

レジスタJ1は同期クロック、P20/Sck端子、P21/SOUT端子、P22/SIN端子の機能を制御します。このレジスタの内容は、TJ1A命令でレジスタAを介して設定してください。またTAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

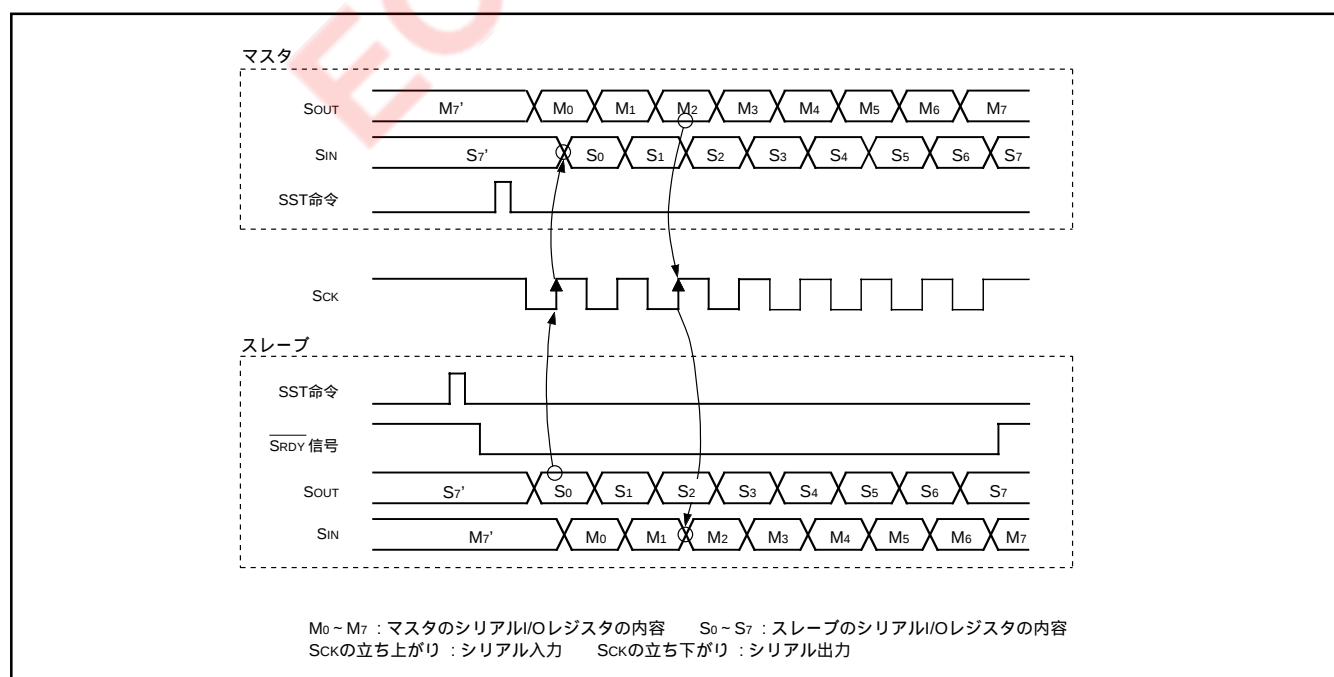
(5) シリアルI/Oの使用方法

図GA-3の接続例でのデータ転送タイミング、データ転送処理シーケンスを示します。

この例ではシリアルI/O割り込みは使用していません。また、実配線では各端子間の配線は、抵抗を介してプルアップしてください。



図GA-3. シリアルI/Oの接続例



図GA-4. シリアルI/O転送のタイミング

表GA-3. マスタからスレーブへのデータ転送の処理シーケンス

マスタ(送信時)	スレーブ(受信時)
【初期設定】 ・図GA-3に示すようにシリアルI/O制御レジスタJ1及び割り込み制御レジスタV2を設定 ----- TJ1A,TV2A命令 ----- ・受信可能信号(SRDY)を受けるポートを入力に設定 (この例では、ポートD3を使用します。) ----- SD命令	【初期設定】 ・図GA-3に示すようにシリアルI/O制御レジスタJ1及び割り込み制御レジスタV2を設定 ----- TJ1A,TV2A命令 ----- ・受信可能信号(SRDY)を出力するポートを設定し、“H”(受信不可)を出力 (この例では、ポートD3を使用します。) ----- SD命令
*【送信可能状態】 ・シリアルI/OレジスタSIに送信データを格納 ----- TSIAB命令 -----	*【受信可能状態】 ・シリアルI/O送受信終了フラグ(SIOF)を“0”にクリア ----- SST命令 ----- ・ポートD3から“L”(受信可能)を出力 ----- RD命令
【送信】 ・ポートD3が“L”になったことを確認 ----- SZD命令 ----- ・シリアル転送を開始 ----- SST命令 ----- ・送信終了を確認 ----- SNZSI命令 ----- ・ウェイト(連続転送時のタイミング) -----	【受信】 ----- ----- ----- ----- ・受信終了を確認 ----- SNZSI命令 ----- ・ポートD3から“H”を出力 ----- SD命令
	【データ処理】

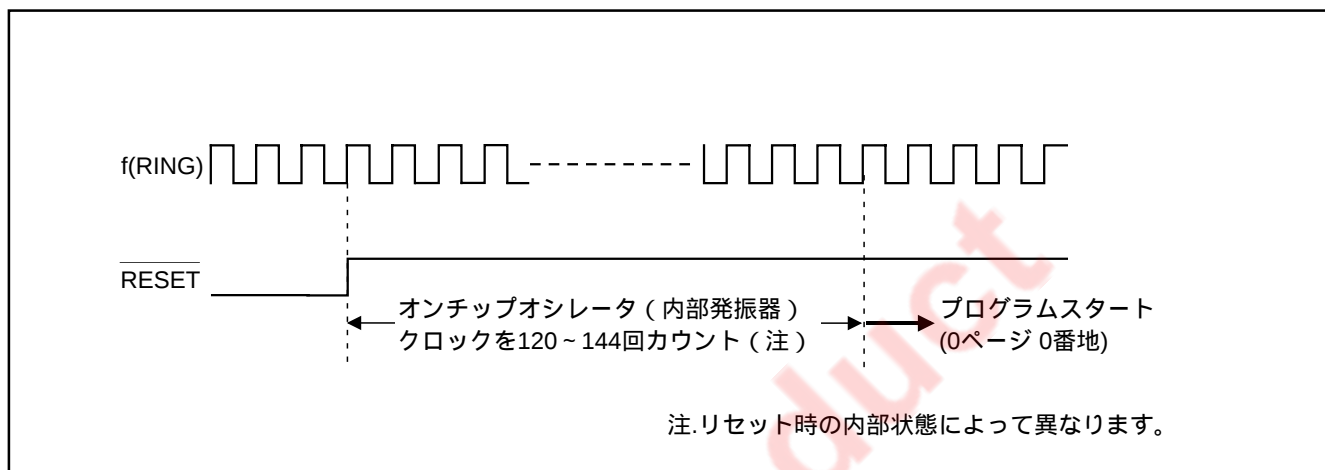
以上の処理で1バイトのデータがシリアル転送されます。
 以後は、*以降の処理を繰り返すことにより、多数のデータを連続転送することができます。

同期クロックとして外部クロックを選択した場合、外部からクロックが入力される限りシリアル転送は実行されますので、外部でクロックを制御してください(内部クロック使用時のように転送終了時クロックは停止しません)。

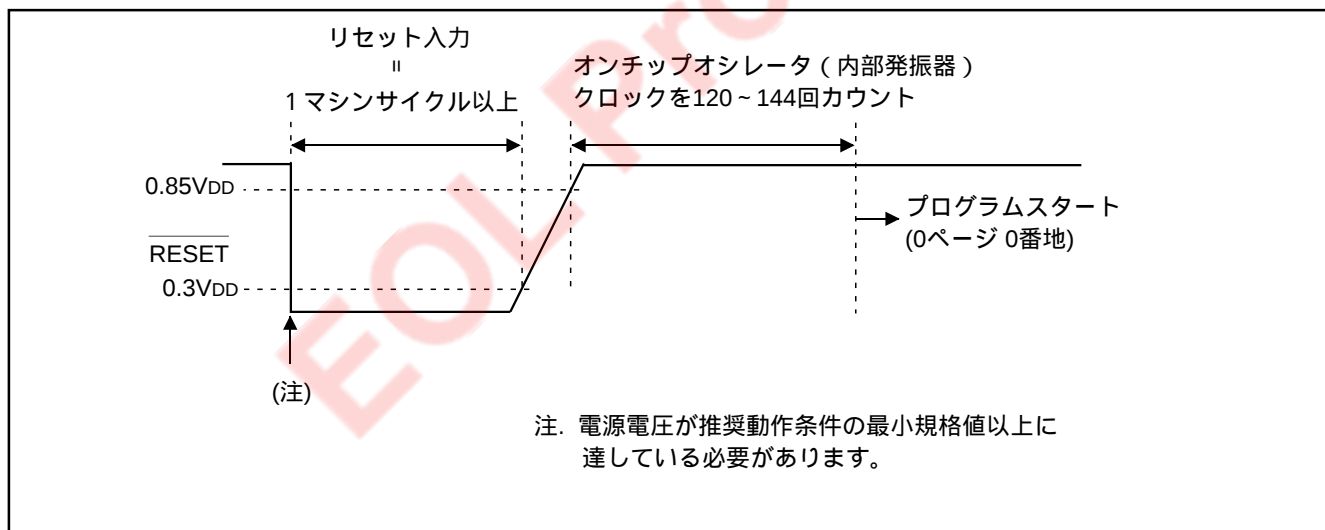
ただし、シリアルI/O送受信終了フラグ(SIOF)はSST命令実行後、クロックを8回カウントしたとき“1”にセットされます。なお、外部クロックの初期レベルは必ず“H”にしてください。

リセット機能

電源電圧が推奨動作条件の最小規格値以上で、 $\overline{\text{RESET}}$ 端子に1マシンサイクル以上「L」レベルを印加すると、マイクロコンピュータがいかなる状態であってもシステムリセットが実行されます。その後、 $\overline{\text{RESET}}$ 端子に「H」レベルを印加すると、0ページの0番地からソフトウェアが開始されます。



図VB-1. リセット解除のタイミング



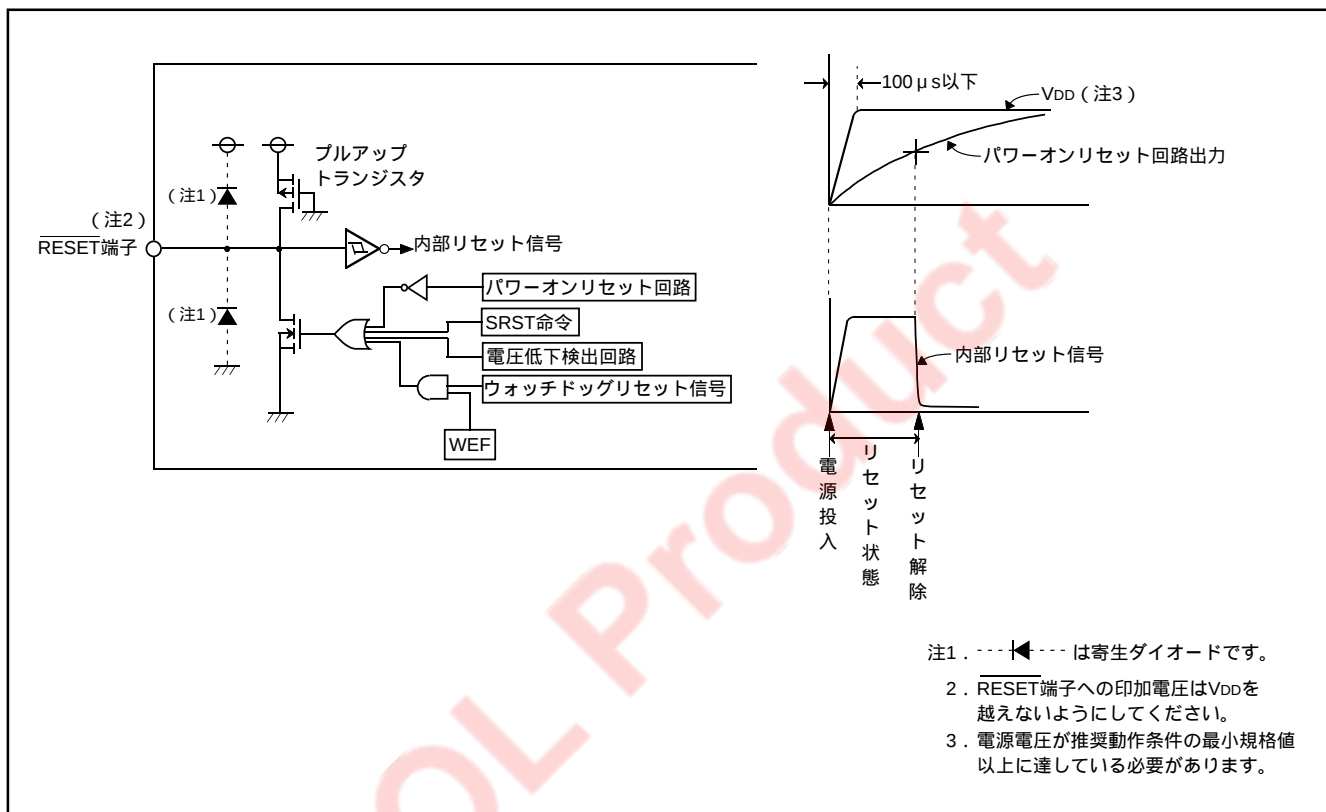
図VB-2. RESET端子の入力波形とリセット動作

(1) パワーオンリセット

本製品は電源投入時に自動リセット(パワーオンリセット)をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。

立ち上がり時間が100 μ sを越える場合には、 $\overline{\text{RESET}}$ 端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまで $\overline{\text{RESET}}$ 端子に“L”レベルが入力されるようにしてください。



図VB-3. RESET端子周辺の構成とパワーオンリセット動作

表VB-1. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0 ~ D5	D0 ~ D5	ハイインピーダンス状態 (注1、注2)
D6/CNTR0	D6	ハイインピーダンス状態 (注1、注2)
D7/CNTR1	D7	ハイインピーダンス状態 (注1、注2)
P00 ~ P03	P00 ~ P03	ハイインピーダンス状態 (注1、注2、注3)
P10 ~ P13	P10 ~ P13	ハイインピーダンス状態 (注1、注2、注3)
P20/SCK、P21/SOUT、P22/SIN	P20 ~ P22	ハイインピーダンス状態 (注1)
P30/INT0、P31/INT1	P30、P31	ハイインピーダンス状態 (注1)
P60/AIN0 ~ P63/AIN3	P60 ~ P63	ハイインピーダンス状態 (注1)

注1. 出力ラッチは“1”にセットされます。

2. 出力形式は、Nチャネルオープンドレインになります。

3. プルアップトランジスタは、OFFします。

- プログラムカウンタ (PC)

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

0ページの0番地がセットされます。
- 割り込み許可フラグ (INTE)

0

 (割り込み禁止)
- パワーダウンフラグ (P)

0

- 外部0割り込み要求フラグ (EXF0)

0

- 外部1割り込み要求フラグ (EXF1)

0

- 割り込み制御レジスタ V1

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ V2

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ I1

0	0	0	0
---	---	---	---
- 割り込み制御レジスタ I2

0	0	0	0
---	---	---	---
- タイマ 1 割り込み要求フラグ (T1F)

0

- タイマ 2 割り込み要求フラグ (T2F)

0

- タイマ 3 割り込み要求フラグ (T3F)

0

- タイマ 4 割り込み要求フラグ (T4F)

0

- ウォッチドッグタイマフラグ (WDF1,WDF2).....

0

- ウォッチドッグタイマイネーブルフラグ (WEF).....

1

- タイマ制御レジスタ PA

0

 (プリスケアラ停止)
- タイマ制御レジスタ W1

0	0	0	0
---	---	---	---

 (タイマ 1停止)
- タイマ制御レジスタ W2

0	0	0	0
---	---	---	---

 (タイマ 2停止)
- タイマ制御レジスタ W3

0	0	0	0
---	---	---	---

 (タイマ 3停止)
- タイマ制御レジスタ W4

0	0	0	0
---	---	---	---

 (タイマ 4停止)
- タイマ制御レジスタ W5

0	0	0	0
---	---	---	---

 (周期計測回路停止)
- タイマ制御レジスタ W6

0	0	0	0
---	---	---	---
- クロック制御レジスタ MR

1	1	1	1
---	---	---	---
- クロック制御レジスタ RG

0

 (オンチップオシレータ動作)
- シリアルI/O送受信終了フラグ (SIOF)

0

- シリアルI/Oモードレジスタ J1

0	0	0	0
---	---	---	---

 (外部クロック選択、
シリアルI/Oポート非選択)
- シリアルI/Oレジスタ SI ...

X	X	X	X	X	X	X	X	X
---	---	---	---	---	---	---	---	---

“ X ” は不定を表します。

図VB-4.リセット時の内部状態(1)

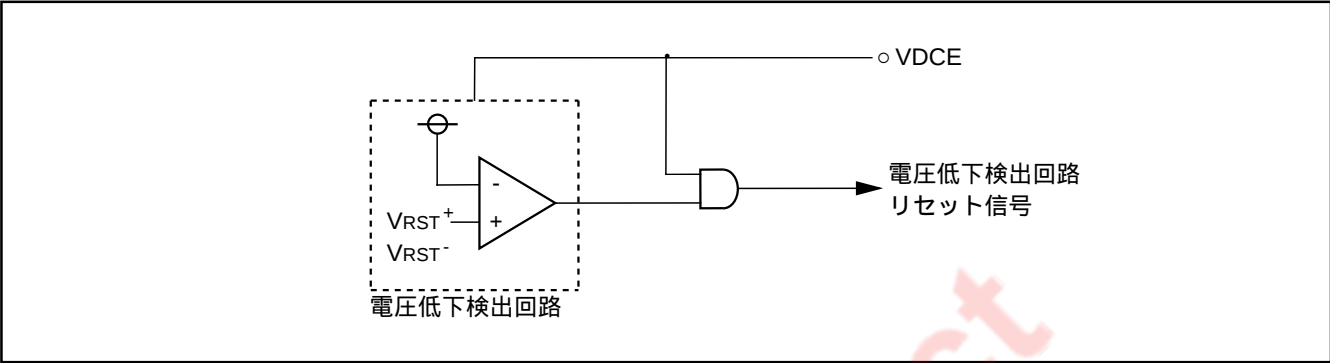
● A/D変換終了フラグ (ADF)	0
● A/D制御レジスタ Q1	0 0 0 0
● A/D制御レジスタ Q2	0 0 0 0
● A/D制御レジスタ Q3	0 0 0 0
● 逐次比較レジスタ AD	X X X X X X X X X X
● コンパレータレジスタ	X X X X X X X X X
● キーオンウェイクアップ制御レジスタ K0 ...	0 0 0 0
● キーオンウェイクアップ制御レジスタ K1 ...	0 0 0 0
● キーオンウェイクアップ制御レジスタ K2 ...	0 0 0 0
● プルアップ制御レジスタ PU0	0 0 0 0
● プルアップ制御レジスタ PU1	0 0 0 0
● ポート出力形式制御レジスタFR0.....	0 0 0 0
● ポート出力形式制御レジスタFR1.....	0 0 0 0
● ポート出力形式制御レジスタFR2.....	0 0 0 0
● キャリフラグ (CY).....	0
● レジスタ A	0 0 0 0
● レジスタ B	0 0 0 0
● レジスタ D	X X X
● レジスタ E	X X X X X X X X X
● レジスタ X	0 0 0 0
● レジスタ Y	0 0 0 0
● レジスタ Z	X X
● スタックポインタ (SP).....	1 1 1
● 動作源クロック.....	オンチップオシレータ (動作状態)
● セラミック発振回路.....	停止状態
● RC発振回路.....	停止状態
● 水晶発振回路.....	停止状態

“ X ” は不定を表します。

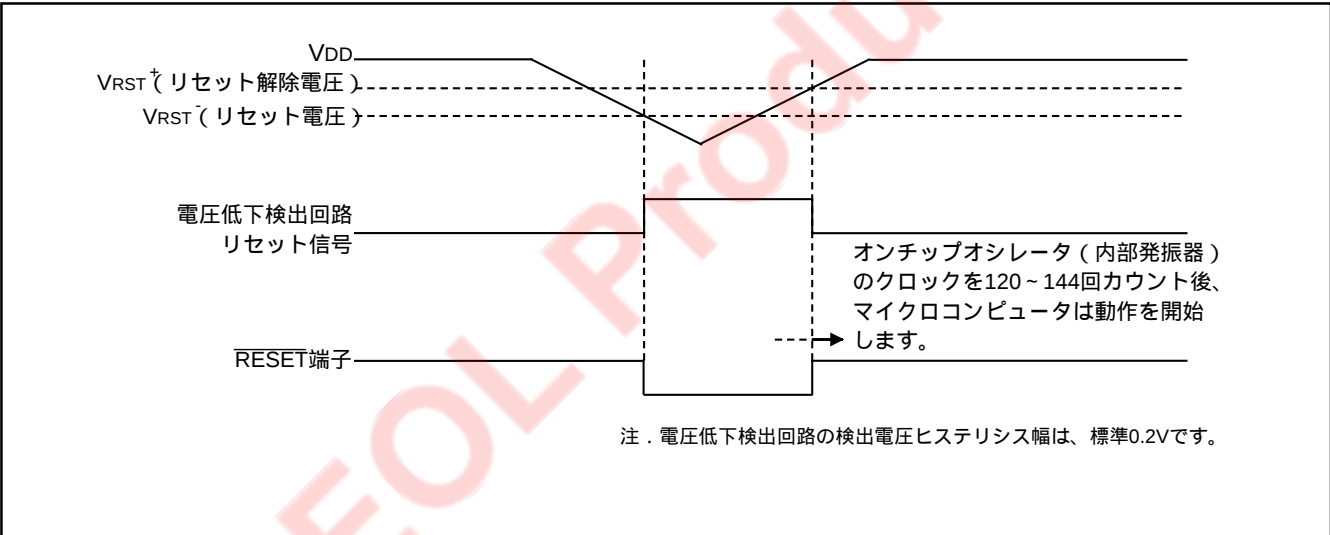
図VB-5 . リセット時の内部状態(2)

電圧低下検出回路

本製品には、電源電圧の低下を検出し電源電圧がある一定値以下になると、マイクロコンピュータにシステムリセットをかける電圧低下検出回路が内蔵されています。



図VC-1．電圧低下検出回路



図VC-2．電圧低下検出回路動作波形

表VC-1．電圧低下検出回路動作状態

VDCE端子	CPU動作時	RAMバックアップ時
“ L ”	×	×
“ H ”	○	○

注 . “ ○ ”は有効状態、“ × ”は無効状態を表します。

RAMバックアップモード

本製品は、RAMバックアップモードをもち、EPOF命令とPOF命令を連続して実行することにより、RAMバックアップ状態になります。

POF命令実行直前にEPOF命令が実行されない場合、POF命令はNOP命令となります。

RAMバックアップ時には、RAM、リセット回路の機能、及び状態は保持したまま発振を停止するので、RAMのデータが失われることなく消費電流を低減できます。

表WD-1にRAMバックアップ時の内部状態、図WD-1に状態遷移図を示します。

(1) コールドスタートとウォームスタートの識別

ウォームスタート(RAMバックアップ状態からの復帰)とコールドスタート(通常のリセット状態からの復帰)とのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

(2) ウォームスタート条件

EPOF命令とPOF命令を連続して実行し、RAMバックアップ状態となった後、外部ウェイクアップ信号が入力されると、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は「1」です。

(3) コールドスタート条件

- RESET端子にリセットパルスを入力
- ウォッチドッグタイマによるリセットが発生
- 電圧低下検出回路が電圧低下を検出
- SRST命令実行

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は「0」です。

表WD-1. RAM バックアップ時に保持される機能と状態

機 能	RAM/バックアップ
プログラムカウンタ(PC) スタックポインタ(SP) (注2) キャリフラグ(CY) レジスタ A, B	×
RAMの内容	○
割り込み制御レジスタ V1, V2	×
割り込み制御レジスタ I1 ~ I2	○
発振回路の選択	○
クロック制御レジスタ MR	×
タイマ1~4機能	(注3)
ウォッチドッグタイマ機能	×(注4)
タイマ制御レジスタ PA, W4	×
タイマ制御レジスタ W1 ~ W3, W5, W6	○
シリアルI/O機能	×
シリアルI/O制御レジスタ J1	○
A/D機能	×
A/D制御レジスタ Q1 ~ Q3	○
電圧低下検出回路	○(注5)
ポートのレベル	○
キーオンウェイクアップ制御レジスタ K0 ~ K2	○
ブルアップ制御レジスタ PU0, PU1	○
ポート出力形式制御レジスタ FR0 ~ FR2	○
外部割り込み要求フラグ EXF0, EXF1	×
タイマ割り込み要求フラグ T1F ~ T4F	(注3)
A/D変換終了フラグ ADF	×
シリアルI/O送受信終了フラグ SIOF	×
割り込み許可フラグ INTE	×
ウォッチドッグタイマフラグ WDF1, WDF2	×(注4)
ウォッチドッグタイマイネーブルフラグ WEF	×(注4)

注1. 表中、「○」は保持可能、「×」は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。

2. スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には「7」に初期化されます。

3. タイマの状態は不定になります。

4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、RAMバックアップ状態にしてください。

5. 電圧低下検出回路は、VDCE端子でのみ、有効/無効が制御されます。

(4) 復帰信号

RAMバックアップモードからの復帰は、発振が停止しているため外部ウェイクアップ信号で行います。表WD-2に復帰要因ごとに復帰条件を示します。

(5) キーオンウェイクアップ関連レジスタ

●キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0、P1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP0の復帰条件、有効波形/レベル選択を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K2

レジスタK2は、INT0、INT1端子のキーオンウェイクアップ機能、復帰条件選択を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

●外部割り込み制御レジスタ I1

レジスタI1は、外部0割り込みの有効波形、INT0端子の入力制御、復帰入力レベルを制御します。

このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

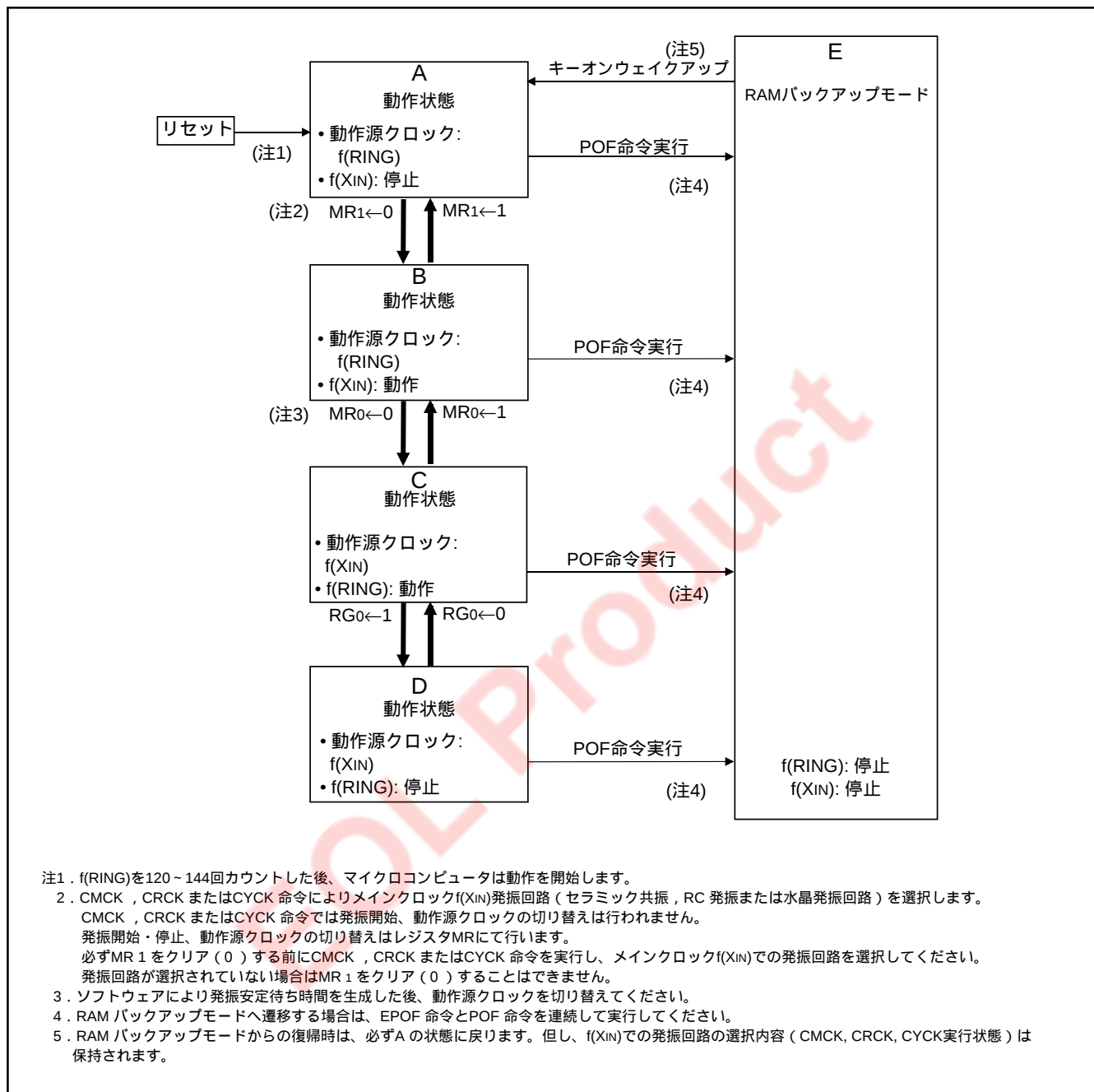
●外部割り込み制御レジスタ I2

レジスタI2は、外部1割り込みの有効波形、INT1端子の入力制御、復帰入力レベルを制御します。

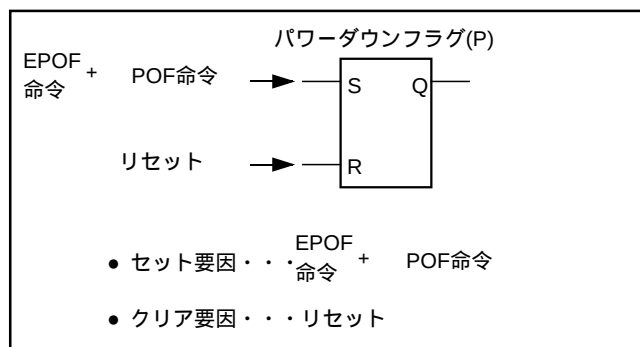
このレジスタの内容は、TI2A命令でレジスタAを介して設定してください。また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表WD-2：復帰要因と復帰条件

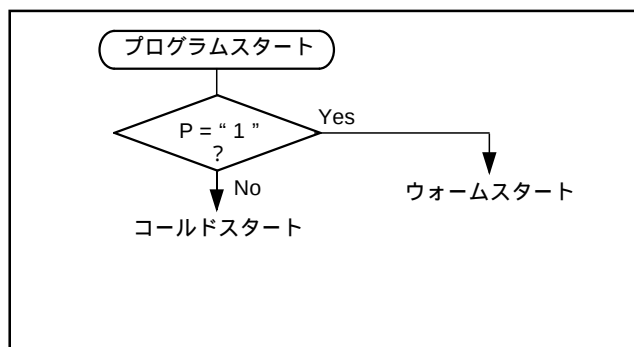
復帰要因		復帰条件	備 考
外部ウェイクアップ信号	ポートP00～P03	外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L”→“H”)あるいは立ち下がりエッジ(“H”→“L”)により復帰します。	キーオンウェイクアップ機能は2ポート単位で選択できます。RAMバックアップ状態に遷移する前に、外部の状態に応じてキーオンウェイクアップ制御レジスタK1で復帰レベル(“H”レベル又は“L”レベル)および復帰条件(レベル復帰又はエッジ復帰)を選択してください。
	ポートP10～P13	外部からの“L”レベル入力により復帰します。	キーオンウェイクアップ機能は2ポート単位で選択できます。RAMバックアップ状態に遷移する前に、キーオンウェイクアップを使用するポートを“H”レベルにしてください。
INT0端子 INT1端子		外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L”→“H”)あるいは立ち下がりエッジ(“H”→“L”)により復帰します。復帰入力時は、割り込み要求フラグ(EXF0、EXF1)はセットされません。	RAMバックアップ状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1、I2で復帰レベル(“H”レベル又は“L”レベル)を、キーオンウェイクアップ制御レジスタK2で復帰条件(レベル復帰又はエッジ復帰)を選択してください。



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

表WD-3 . キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ

キーオンウェイクアップ制御レジスタ K0		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK0 / TK0A
K03	ポート P12、P13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポート P10、P11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポート P02、P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポート P00、P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタ K1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK1 / TK1A
K13	ポート P02、P03 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K12	ポート P02、P03 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ” レベル		
		1	立ち上がり波形 / “ H ” レベル		
K11	ポート P00、P01 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K10	ポート P00、P01 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ” レベル		
		1	立ち上がり波形 / “ H ” レベル		

キーオンウェイクアップ制御レジスタ K2		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK2 / TK2A
K23	INT1 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K22	INT1 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	INT0 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K20	INT0 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“ R ” は読み出し可、“ W ” は書き込み可を表します。

ブルアップ制御レジスタ PU0		リセット時：0000 ₂	RAMバックアップ時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU02	ポート P02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU01	ポート P01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU00	ポート P00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタ PU1		リセット時：0000 ₂	RAMバックアップ時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU12	ポート P12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU11	ポート P11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU10	ポート P10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット（I12,I13,I22,I23）の内容を変更した際に、外部割り込み要求フラグ（EXF0,EXF1）がセットされる場合があります。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

- オンチップオシレータ(内部発振器)
- セラミック発振回路
- RC発振回路
- 水晶発振回路
- マルチプレクサ(クロック選択回路)
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図WA-1にクロック制御回路の構成を示します。

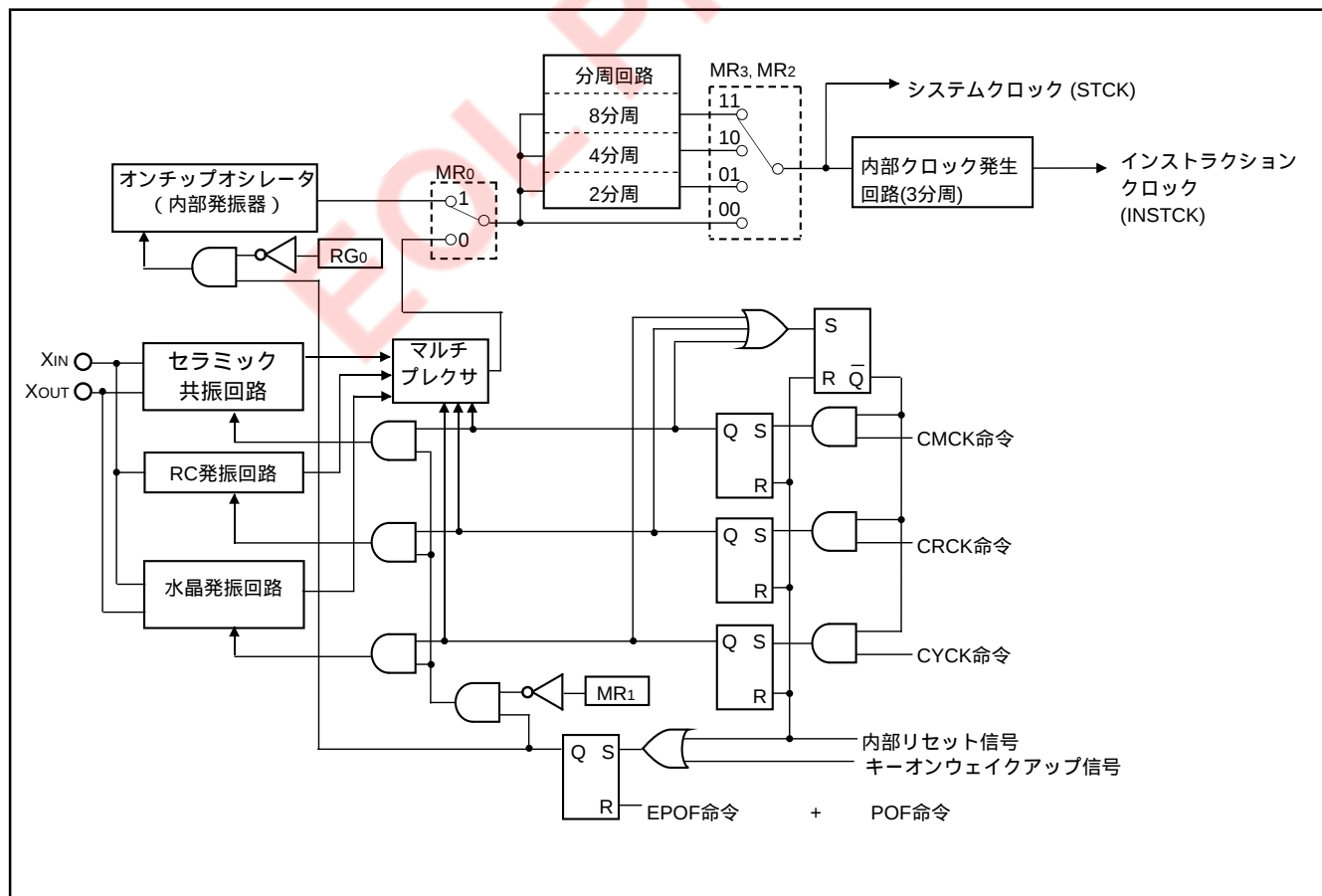
本製品はリセット解除後、内部発振器であるオンチップオシレータクロック($f(RING)$)で動作します。

メインクロック($f(XIN)$)には、セラミック共振子、RC発振あるいは水晶共振子が使用でき、このいずれを使用するかはそれぞれに対応する選択命令(CMCK, CRCK, CYCK命令)により行います。

これらの選択命令(CMCK, CRCK, CYCK命令)は、単にメインクロック($f(XIN)$)に使用する発振回路を選択するのみで、発振開始、システムクロックへの切り替えは行われません。メインクロック($f(XIN)$)の発振開始・停止の制御はレジスタMRのビット1で、システムクロックの選択($f(XIN)$ または $f(RING)$)はレジスタMRのビット0で行います。なお、オンチップオシレータの発振開始・停止の制御はレジスタRGで行います。

CMCK, CRCK, およびCYCK命令による発振回路の選択は一度だけ可能です。CMCK, CRCK, およびCYCK命令のうち、先に実行された命令に対応する発振回路が有効になります。CMCK, CRCK, あるいはCYCK命令は、必ずプログラムの初期設定ルーチンで実行してください。(0ページ0番地で実行することを推奨します)。CMCK, CRCK, あるいはCYCK命令が一度も実行されない場合は、メインクロック($f(XIN)$)を使用できず、オンチップオシレータでのみ動作可能です。

本製品は、動作していないクロック源($f(RING)$ または $f(XIN)$)にシステムクロックを切り替えることはできません。また、システムクロックとして選択しているクロック源($f(RING)$ または $f(XIN)$)を停止させることはできません。



図WA-1. クロック制御回路の構成

(1) メインクロック発生回路($f(X_{IN})$)

本製品のメインクロック($f(X_{IN})$)には、セラミック共振、RC共振または水晶共振が使用できます。

リセット解除後、本製品は内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

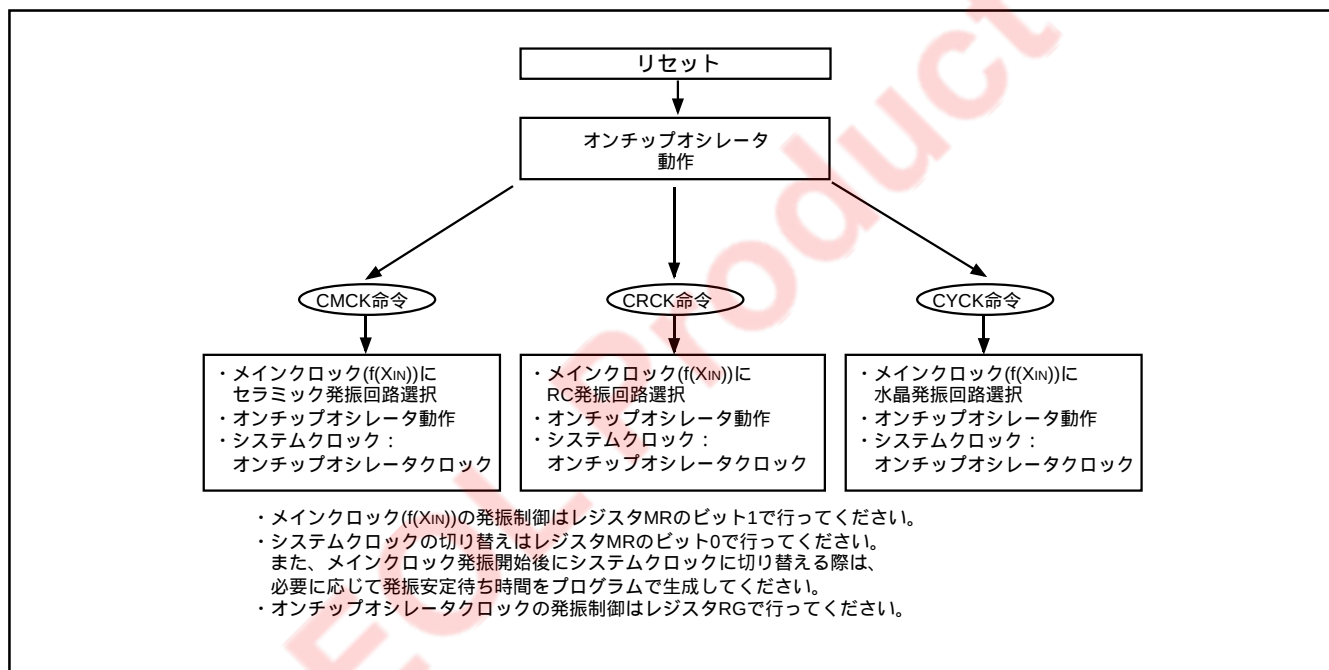
プログラムで、

- セラミック共振を使用する場合.....CMCK命令
- RC共振を使用する場合.....CRCK命令
- 水晶共振を使用する場合.....CYCK命令

を実行することで、それぞれの命令に対応した発振回路が有効になります。

これらの命令は、それぞれ対応する発振回路を選択するのみです。メインクロック $f(X_{IN})$ 発振可能・停止、システムクロック選択の制御はレジスタMRで行います。CMCK命令、CRCK命令およびCYCK命令による発振回路選択は一度だけ有効です。CMCK命令、CRCK命令およびCYCK命令のうち、先に実行された命令に対応する発振回路が有効になります。

CMCK命令、CRCK命令あるいはCYCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。また、CMCK命令、CRCK命令あるいはCYCK命令がプログラムで一度も実行されない場合は、本製品はオンチップオシレータでのみ動作可能です。



図WA-2. セラミック共振 / RC共振 / 水晶共振への切り替え

(2) オンチップオシレータ動作

メインクロック($f(XIN)$)にセラミック共振、RC発振あるいは水晶発振を使用せずオンチップオシレータのみで動作させる場合は、 XIN 端子および $XOUT$ 端子は開放としてください(図WA-3)。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(3) セラミック共振子を使用する場合

メインクロック($f(XIN)$)にセラミック共振子を使用する場合は、 XIN 端子と $XOUT$ 端子にセラミック共振子および外部回路を最短距離で接続し、プログラムではCMCK命令を実行してください。 XIN 端子と $XOUT$ 端子の間には帰還抵抗が内蔵されています(図WA-4)。

(4) RC発振を使用する場合

メインクロック($f(XIN)$)にRC発振を使用する場合は、 XIN 端子に抵抗 R 、コンデンサ C の外付け回路を最短距離で接続し、 $XOUT$ 端子は開放とし、プログラムではCRCK命令を実行してください(図WA-5)。

なお、RC発振用の抵抗 R およびコンデンサ C の定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

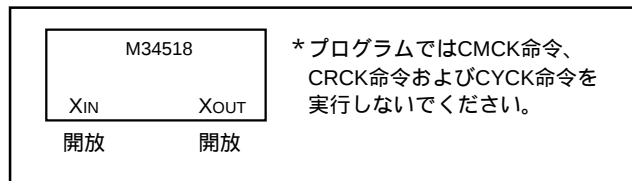
(5) 水晶発振を使用する場合

メインクロック($f(XIN)$)に水晶発振を使用する場合は、 XIN 端子と $XOUT$ 端子に水晶共振子および外部回路を最短距離で接続し、プログラムではCYCK命令を実行してください。 XIN 端子と $XOUT$ 端子の間には帰還抵抗が内蔵されています(図WA-6)。

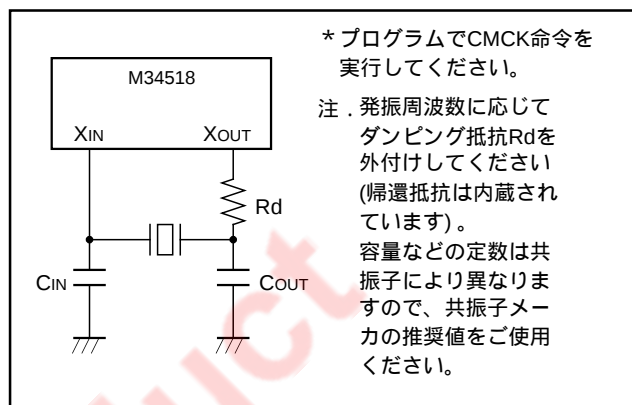
(6) 外部クロックを使用する場合

メインクロック($f(XIN)$)に外部クロック信号を使用する場合は、 XIN 端子にクロック発生源を接続し、 $XOUT$ 端子は開放としてください。プログラムではCMCK命令実行後、メインクロック($f(XIN)$)発振可能($MR1=0$)としてください。

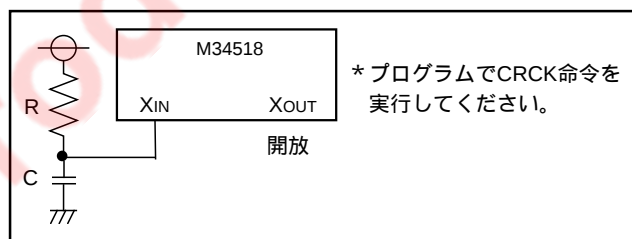
本製品はRAMバックアップ時およびメインクロック($f(XIN)$)発振停止($MR1=1$)時、内部ロジックのフローティングによる貫通電流防止のため、 XIN 端子を“H”固定としています。本製品のリセット時から、CMCK命令を実行してメインクロック($f(XIN)$)発振可能($MR1=0$)とするまでの間も XIN 端子は“H”固定となっておりますので、外部クロック使用時は、信号の競合による電流制限のため、 XIN 端子に直列に $1k\Omega$ 以上の制限抵抗を接続してください。



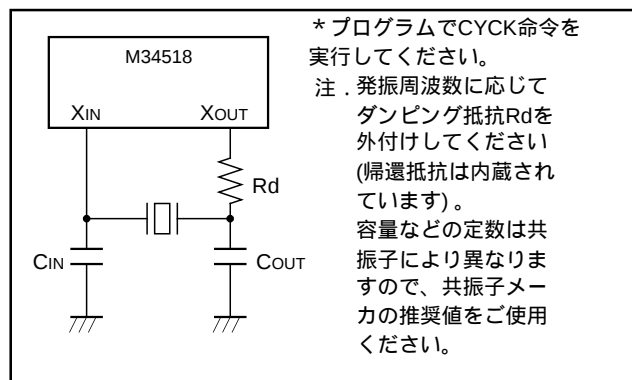
図WA-3. オンチップオシレータ動作時の XIN 、 $XOUT$ 端子の処理



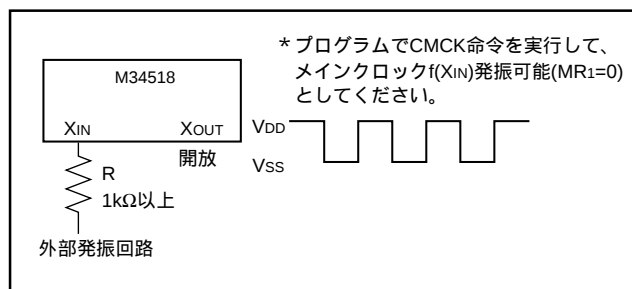
図WA-4. セラミック共振子外付け回路



図WA-5. RC発振外付け回路



図WA-6. 水晶発振子外付け回路



図WA-7. 外部クロック入力回路

(7) クロック制御レジスタMR

レジスタMRはシステムクロックを制御します。このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。

また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

(8) クロック制御レジスタRG

レジスタRGはオンチップオシレータの動作・停止を制御します。このレジスタの内容は、TRGA命令でレジスタAを介して設定してください。

表WA-1 . クロック制御レジスタ

クロック制御レジスタ MR		リセット時：11112		RAM バックアップ時：11112	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード		
MR2		0 0	スルーモード（分周なし）		
		0 1	2分周モード		
		1 0	4分周モード		
		1 1	8分周モード		
MR1	メインクロック(f(XIN))ビット	0	メインクロック（f(XIN)）発振可能		
		1	メインクロック（f(XIN)）発振停止		
MR0	システムクロック選択ビット	0	メインクロック（f(XIN)）選択		
		1	オンチップオシレータ（f(RING)）選択		

クロック制御レジスタ RG		リセット時 : 02		RAM バックアップ時 : 02	W TRGA
RG0	オンチップオシレータ (f(RING)) 制御ビット	0	オンチップオシレータ (f(RING)) 発振可能		
		1	オンチップオシレータ (f(RING)) 発振停止		

注 : “ R ”は読み出し可、“ W ”は書き込み可を表します。

マスク化発注時に提示いただく資料

マスク化発注時には、次の資料をご提示ください。

- (1) マスク化確認書 1部
- (2) マスク化するデータ EPROMもしくは
フロッピーディスク
(EPROMの場合は、同一データのEPROMを3組準備してください。)
- (3) マーク指定書 1部

* マスク化確認書及びマーク指定書につきましては、

ルネサステクノロジホームページ

ROM発注(<http://www.renesas.com/jp/rom>)

を参照してください。

使用上の注意(まとめ)

(1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてV_{DD}端子とV_{SS}端子間にコンデンサ(≈0.1μF)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNV_{SS}端子とV_{PP}端子が兼用になっています。5kΩ程度の抵抗を極力CNV_{SS}/V_{PP}端子の近くに配置してV_{SS}端子に接続してください。

(2)レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット) ・レジスタE(8ビット)
- ・レジスタD(3ビット)

(3)レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット) ・レジスタD(3ビット)
- ・レジスタX(4ビット) ・レジスタE(8ビット)
- ・レジスタY(4ビット)

(4)スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

(5)マルチファンクション

- INT0, INT1端子を使用している場合でも、ポートP30, P31の入出力は機能しますので注意してください。
- SIN, SOUT, SCK端子を使用している場合でも、ポートP20, P21, P22の入力は機能しますので注意してください。
- CNTR0端子の入力機能を使用している場合でも、ポートD6の入出力は機能しますので注意してください。
- CNTR0端子の出力機能を使用している場合でも、ポートD6の入力は機能しますので注意してください。
- CNTR1端子の入力機能を使用している場合でも、ポートD7の入出力は機能しますので注意してください。
- CNTR1端子の出力機能を使用している場合でも、ポートD7の入力は機能しますので注意してください。

(6)プリスケアラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウントを停止させた後、データ読み出し命令(TABPS)命令を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウントを停止させた後、データ書き込み命令(TPSAB)命令を実行してください。

(7)タイマカウントソース

タイマ1, 2, 3, 4のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(8)タイマカウント値の読み出し

タイマ1, 2, 3, 4からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1, TAB2, TAB3, TAB4)を実行してください。

(9)タイマへのデータ書き込み

タイマ1, 2, 3, 4にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB, T2AB, T3AB, T4AB)を実行してください。

(10)リロードレジスタR1, R3, R4Hへの書き込み

タイマ1, 3, 4動作中にリロードレジスタR1, R3, R4Hにデータを書き込む場合は、必ずタイマ1, 3, 4アンダフローと重ならないタイミングでデータを書き込んでください。

(11)タイマ4

PWM出力機能使用時にタイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。

PWM信号のH期間拡張機能有効を選択している場合は、リロードレジスタR4Hに"1"以上の値を設定してください。

(12)ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWD命令とWRST命令を連続して実行し、フラグWEFを"0"にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップ状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップ状態から復帰する度に、DWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。
- ウォッチドッグタイマ機能とRAMバックアップ機能を併用する場合は、RAMバックアップ状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください。

(13) 周期計測回路

周期計測回路を使用する場合、レジスタ11のビット0を'0'にクリアし、タイマ1カウント開始同期回路を非選択にしてください。

周期計測回路の動作が開始直後に、タイマの動作を開始してください。

周期計測回路の動作を開始してからタイマの動作を開始するまでの間に計測対象エッジが入力されると、タイマの動作が有効となるまでカウント動作しないので、カウントデータには注意してください。

タイマからデータを読み出す場合は、まずタイマを停止後にレジスタW5のビット2を'0'にして周期計測回路を停止し、データ読み出し命令を実行してください。レジスタW5のビット2を'0'にして周期計測回路を停止する場合、タイマ1の状態によっては、タイマ1割り込み要求フラグ(T1F)が'1'にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット2を'0'にクリア(図FB-4)後、レジスタW5のビット2を'0'にして周期計測回路を停止してください。更に一命令以上において(図FB-4)SNZT1命令を実行し、フラグT1Fをクリアしてください。またSNZT1命令によるスキップが発生する場合を考慮し、SNZT1命令の後にNOP命令を挿入してください(図FB-4)。

周期計測回路動作中、タイマ1割り込み要求フラグ(T1F)はタイマ1アンダフロー信号によってはセットされず、周期計測の完了を知らせるフラグとなります。

周期計測回路を使用する場合、タイマ1のカウントソースは、計測対象信号より十分高速な周波数を選択してください。

周期計測対象信号がD6/CNTR0端子入力の場合、タイマ1カウントソースにD6/CNTR0端子入力を選択しないでください。

(周期計測回路使用時は、タイマ1カウントソースとしてXIN入力を使用することを推奨します。)

計測対象にP30/INT0端子の入力を選択する場合、レジスタ11のビット3を'1'にセットし、INT0端子の入力を可能にしてください。

```

:
LA 0      ;(x0x x2)
TV1A     ;SNZT1命令有効...
LA 0      ;(x0x x2)
TW5A     ;周期計測回路停止
NOP      ; ...
SNZT1    ;SNZT1命令実行
          (フラグT1Fクリア)
NOP      ; ...
:
:      x: このビットは本例では関係しません。

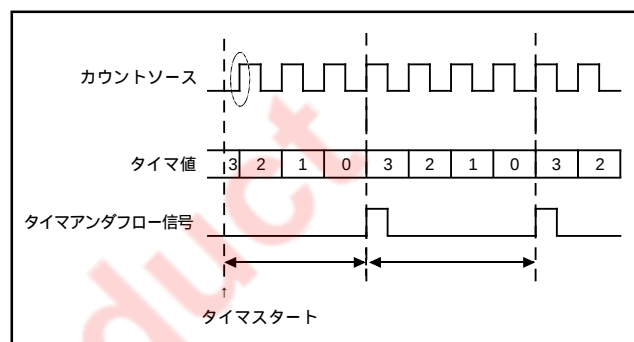
```

図FB-4. 周期計測回路停止時のプログラム例

(14) プリスケアラ、タイマ1、タイマ2、タイマ3のカウント

開始タイミングと動作開始時のカウント時間について
プリスケアラ、タイマ1、タイマ2、タイマ3は動作開始()後、カウントソースの最初の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウントソースの1周期分)なります。

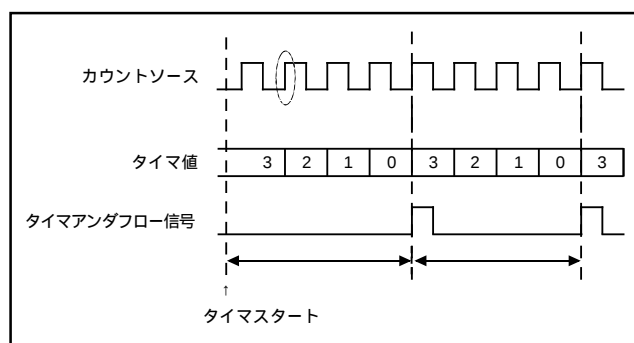


図FB-5. タイマカウント開始タイミングと動作開始時のカウント時間 (プリスケアラ、タイマ1、タイマ2、タイマ3)

(15) タイマ4のカウント開始タイミングと動作開始時のカウント時間について

タイマ4は動作開始()後、最初のカウントソース立ち下がり後の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()と異なります。



図FB-6. タイマカウント開始タイミングと動作開始時のカウント時間 (タイマ4)

(16) P30 / INT0端子

レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、P30/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が^{*}1にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-6)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上おいて(図DD-6)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・①
LA 8	; (1×××2)
TI1A	; INT0端子入力制御変更
NOP	;②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	;③
⋮	

×：このビットはINT0端子の入力制御には関係しません。

図DD-6．外部0割り込みプログラム例1

レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT0端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- INT0端子入力を禁止する場合(レジスタI13≠“0”)は、RAMバックアップモードに移行する前にキーオンウェイクアップを無効(レジスタK20≠“0”)としてください(図DD-7)。

⋮	
LA 0	; (×××02)
TK2A	; INT0キーオンウェイクアップ無効.....
DI	
EPOF	
POF	; RAMバックアップ
⋮	

×：このビットは本例では関係しません。

図DD-7．外部0割り込みプログラム例2

レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP30/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、P30/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が^{*}1にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-8)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上おいて(図DD-8)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・①
LA 12	(×1××2)
TI1A	; 割り込み有効波形変更
NOP	;②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	;③
⋮	

×：このビットはINT0端子の割り込み有効波形の設定には関係しません。

図DD-8．外部0割り込みプログラム例3

(17) P31 / INT1端子

レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

- レジスタI2のビット3の内容を変更する場合、P31/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-9)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上おいて(図DD-9)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-9)。

```

:
LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI2A ; INT1端子入力制御変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③
:

```

× : このビットはINT1端子の入力制御には関係しません。

図DD-9 . 外部1割り込みプログラム例1

レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を"0"にクリアし、INT1端子入力禁止の状態RAMバックアップを使用する際は、次の点に注意してください。

- INT1端子入力を禁止する場合(レジスタI23="0")は、RAMバックアップモードに移行する前にキーオンウェイクアップを無効(レジスタK22="0")としてください(図DD-10)。

```

:
LA 0 ; (x 0 x x 2)
TK2A ; INT1キーオンウェイクアップ無効.....
DI
EPOF
POF ; RAMバックアップ
:

```

× : このビットは本例では関係しません。

図DD-10 . 外部1割り込みプログラム例2

レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によってP31/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI2のビット2の内容を変更する場合、P31/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-11)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上おいて(図DD-11)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-11)。

```

:
LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI2A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③
:

```

× : このビットはINT1端子の割り込み有効波形の設定には関係しません。

図DD-11 . 外部1割り込みプログラム例3

(18) A/Dコンバータ1

- TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。
- A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。
- コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が“0”になっている必要があります。
- コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

```

      ⋮
LA  8    ; (0×××2)
TV2A    ; SNZAD命令有効・・・ ①
LA  0    ; (0×××2)
TQ1A     ; A/D変換器の動作モードを
          ; コンパレータモードから
          ; A/D変換モードに変更

SNZAD
NOP
      ⋮
      × : このビットはA/D変換器の動作
          ; モード変更には関係しません。

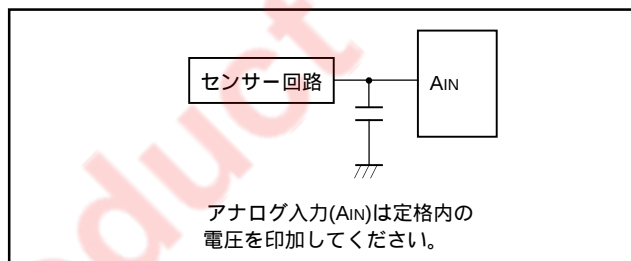
```

図XB-4 . A/D変換器の動作モードプログラム例

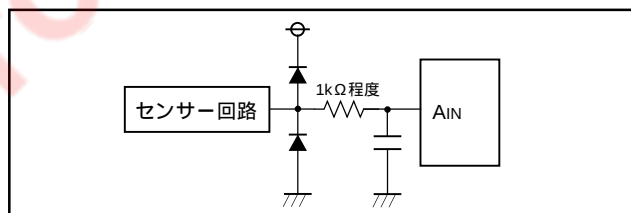
(19) A/Dコンバータ2

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、信号源インピーダンスの高い回路を用いて、アナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に、 $0.01 \sim 1 \mu\text{F}$ のコンデンサを付加してください(図XB-5を参照)。

また、やむをえずアナログ入力に定格以上の電圧がかかる場合は、図XB-6に示すように定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。



図XB-5 . アナログ入力外付け回路例1



図XB-6 . アナログ入力外付け回路例2

(20) POF命令

EPOF命令実行直後にPOF命令を実行するとRAMバックアップ状態になります。

POF命令単独では、RAMバックアップ状態にならないので注意してください。

また、EPOF命令とPOF命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

(21) プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(22) パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。立ち上がり時間が100 μ sを越える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

(23) クロック制御

メインクロック($f(XIN)$)を選択する命令(CMCK, CRCK命令, CYCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令、CRCK命令あるいはCYCK命令による発振回路選択は一度だけ可能です。CMCK命令、CRCK命令およびCYCK命令のうち、先に実行された命令に対応する発振回路が有効になります。

CMCK, CRCK, CYCK命令は、単にメインクロック($f(XIN)$)に使用する発振回路を選択するのみで、発振開始、システムクロックへの切り替えは行われません。

CMCK, CRCK, あるいはCYCK命令が一度も実行されない場合は、メインクロック($f(XIN)$)を使用できず、オンチップオシレータでのみ動作可能です。

動作していないクロック源($f(RING)$ または $f(XIN)$)にシステムクロックを切り替えることはできません。また、システムクロックとして選択しているクロック源($f(RING)$ または $f(XIN)$)を停止させることはできません。

(24) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

クロック切り替えの際の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(25) 外部クロック

メインクロック($f(XIN)$)に外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放としてください。プログラムではCMCK命令実行後、メインクロック($f(XIN)$)発振可能(MR1=0)としてください。

本製品はRAMバックアップ時およびメインクロック($f(XIN)$)発振停止(MR1=1)時、内部ロジックのフローティングによる貫通電流防止のため、XIN端子を“H”固定としています。本製品のリセット時から、CMCK命令を実行してメインクロック($f(XIN)$)発振可能(MR1=0)とするまでの間もXIN端子は“H”固定となっておりますので、外部クロック使用時は、信号の競合による電流制限のため、XIN端子に直列に1k Ω 以上の制限抵抗を接続してください。

(26) マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

(27) 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

制御レジスタ一覧

割り込み制御レジスタ V1		リセット時：0000 ₂	RAM バックアップ時：0000 ₂	R / W TAV1 / TV1A
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	外部1 割り込み可能ビット	0	発生禁止 (SNZ1 命令有効)	
		1	発生可能 (SNZ1 命令無効)	
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効)	

割り込み制御レジスタ V2		リセット時：0000 ₂	RAM バックアップ時：0000 ₂	R / W TAV2 / TV2A
V23	シリアル I / O 割り込み可能ビット	0	発生禁止 (SNZSI 命令有効)	
		1	発生可能 (SNZSI 命令無効)	
V22	A/D 割り込み可能ビット	0	発生禁止 (SNZAD 命令有効)	
		1	発生可能 (SNZAD 命令無効)	
V21	タイマ4 割り込み可能ビット	0	発生禁止 (SNZT4 命令有効)	
		1	発生可能 (SNZT4 命令無効)	
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

割り込み制御レジスタ I1		リセット時：0000 ₂	RAM バックアップ時：状態保持	R / W TAI1 / TI1A
I13	INT0 端子 入力制御ビット (注2)	0	INT0 端子入力禁止	
		1	INT0 端子入力可能	
I12	INT0 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZI0 命令は “L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZI0 命令は “H” レベル認識)	
I11	INT0 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT0 端子 タイマ1 カウント開始同期回路選択ビット	0	タイマ1 カウント開始同期回路非選択	
		1	タイマ1 カウント開始同期回路選択	

割り込み制御レジスタ I2		リセット時：0000 ₂	RAM バックアップ時：状態保持	R / W TAI2 / TI2A
I23	INT1 端子 入力制御ビット (注2)	0	INT1 端子入力禁止	
		1	INT1 端子入力可能	
I22	INT1 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZI1 命令は “L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZI1 命令は “H” レベル認識)	
I21	INT1 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1 端子 タイマ3 カウント開始同期回路選択ビット	0	タイマ3 カウント開始同期回路非選択	
		1	タイマ3 カウント開始同期回路選択	

注1. “R” は読み出し可、“W” は書き込み可を表します。

2. これらのビット (I12,I13,I22,I23) の内容を変更した際に、外部割り込み要求フラグ (EXF0,EXF1) が “1” にセットされる場合があります。

クロック制御レジスタ MR		リセット時 : 11112		RAM バックアップ時 : 11112	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード		
		0 0	スルーモード (分周なし)		
		0 1	2 分周モード		
MR2		1 0	4 分周モード		
		1 1	8 分周モード		
MR1	メインクロック (f(XIN)) 制御ビット	0	メインクロック (f(XIN)) 発振可能		
		1	メインクロック (f(XIN)) 発振停止		
MR0	システムクロック選択ビット	0	メインクロック (f(XIN)) 選択		
		1	オンチップオシレータ (f(RING)) 選択		

クロック制御レジスタ RG		リセット時 : 02		RAM バックアップ時 : 02	W TRGA
RG0	オンチップオシレータ (f(RING)) 制御ビット	0	オンチップオシレータ (f(RING)) 発振可能		
		1	オンチップオシレータ (f(RING)) 発振停止		

タイマ制御レジスタ PA		リセット時 : 02		RAM バックアップ時 : 02	W TPAA
PA0	プリスケアラ制御ビット	0	停止 (状態保持)		
		1	動作		

タイマ制御レジスタ W1		リセット時 : 00002		RAM バックアップ時 : 状態保持	R / W TAW1 / TW1A
W13	タイマ 1 カウント自動停止回路選択ビット (注 2)	0	タイマ 1 カウント自動停止回路非選択		
		1	タイマ 1 カウント自動停止回路選択		
W12	タイマ 1 制御ビット	0	停止 (状態保持)		
		1	動作		
W11	タイマ 1 カウントソース選択ビット	W11 W10	カウントソース		
		0 0	インストラクションクロック (INSTCK)		
		0 1	プリスケアラ出力 (ORCLK)		
W10		1 0	XIN 入力		
		1 1	CNTR0 入力		

タイマ制御レジスタ W2		リセット時 : 00002		RAM バックアップ時 : 状態保持	R / W TAW2 / TW2A
W23	CNTR0 端子出力信号選択ビット	0	タイマ 1 アンダフロー信号の 2 分周出力		
		1	タイマ 2 アンダフロー信号の 2 分周出力		
W22	タイマ 2 制御ビット	0	停止 (状態保持)		
		1	動作		
W21	タイマ 2 カウントソース選択ビット	W21 W20	カウントソース		
		0 0	システムクロック (STCK)		
		0 1	プリスケアラ出力 (ORCLK)		
W20		1 0	タイマ 1 アンダフロー信号 (T1UDF)		
		1 1	PWM 信号 (PWMOUT)		

注 1. “R” は読み出し可、“W” は書き込み可を表します。

2. この機能はタイマ 1 カウント開始同期回路選択 (I10=1) 時のみ有効です。

タイマ制御レジスタ W3		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAW3 / TW3A
W33	タイマ 3 カウント自動停止回路選択ビット （注 2）	0	タイマ 3 カウント自動停止回路非選択		
		1	タイマ 3 カウント自動停止回路選択		
W32	タイマ 3 制御ビット	0	停止（状態保持）		
		1	動作		
W31	タイマ 3 カウントソース選択ビット	W31 W30	カウントソース		
		0 0	PWM 信号（PWMOUT）		
0 1		プリスケアラ出力（ORCLK）			
W30		1 0	タイマ 2 アンダフロー信号（T2UDF）		
	1 1	CNTR1 入力			

タイマ制御レジスタ W4		リセット時：00002		RAM バックアップ時：00002	R / W TAW4 / TW4A
W43	D7/CNTR1 端子機能選択ビット	0	D7 入出力 / CNTR1 入力		
		1	CNTR1 入出力 / D7 入力		
W42	PWM 信号 “H” 期間拡張機能制御ビット	0	PWM 信号 “H” 期間拡張機能無効		
		1	PWM 信号 “H” 期間拡張機能有効		
W41	タイマ 4 制御ビット	0	停止（状態保持）		
		1	動作		
W40	タイマ 4 カウントソース選択ビット	0	XIN 入力		
		1	プリスケアラ出力（ORCLK）の 2 分周信号		

タイマ制御レジスタ W5		リセット時：0000 ₂		RAM バックアップ時：状態保持	R / W TAW5 / TW5A
W53	使用しません	0	このビットに機能はありませんが R / W は可能です		
		1			
W52	周期計測回路制御ビット	0	停止		
		1	動作		
W51	周期計測対象信号選択ビット	W51 W50		カウントソース	
		0 0		オンチップオシレータ（f(RING)/16）	
0 1		CNTR0 端子入力			
W50		1 0		INT0 端子入力	
	1 1		使用禁止		

タイマ制御レジスタ W6		リセット時：00002		RAM バックアップ時：状態保持	R / W TAW6 / TW6A
W63	CNTR1 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		
W62	CNTR0 端子入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		
W61	CNTR1 端子出力自動制御回路選択ビット	0	CNTR1 端子出力自動制御回路非選択		
		1	CNTR1 端子出力自動制御回路選択		
W60	D6 / CNTR0 端子機能選択ビット	0	D6 入出力 / CNTR0 入力		
		1	CNTR0 入出力 / D6 入力		

注 1. “R” は読み出し可、“W” は書き込み可を表します。

2. この機能はタイマ 3 カウント開始同期回路選択時（I20 = “1”）にのみ有効です。

シリアル I / O 制御レジスタ J1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAJ1 / TJ1A
J13	シリアル I / O 同期クロック選択ビット	J13 J12	同期クロック		
		0 0	インストラクションクロック (INSTCK) の 8 分周信号		
		0 1	インストラクションクロック (INSTCK) の 4 分周信号		
J12		1 0	インストラクションクロック (INSTCK) の 2 分周信号		
		1 1	外部クロック (SCK 入力)		
J11	シリアル I / O ポート機能選択ビット	J11 J10	ポート機能		
		0 0	P20, P21, P22 選択 / SCK, SOUT, SIN 非選択		
		0 1	SCK, SOUT, P22 選択 / P20, P21, SIN 非選択		
J10		1 0	SCK, P21, SIN 選択 / P20, SOUT, P22 非選択		
		1 1	SCK, SOUT, SIN 選択 / P20, P21, P22 非選択		

A/D 制御レジスタ Q1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D 動作モード選択ビット	0	A/D 変換モード		
		1	コンパレータモード		
Q12	アナログ入力端子選択ビット	Q12 Q11 Q10	アナログ入力端子		
		0 0 0	AIN0		
		0 0 1	AIN1		
		0 1 0	AIN2		
Q11		0 1 1	AIN3		
		1 0 0	使用禁止		
		1 0 1	使用禁止		
Q10		1 1 0	使用禁止		
		1 1 1	使用禁止		

A/D 制御レジスタ Q2		リセット時：00002		RAM バックアップ時：状態保持	R / W TAQ2 / TQ2A
Q23	使用しません	0	このビットに機能はありませんが R / W は可能です。		
		1			
Q22	P62 / AIN2、P63 / AIN3 端子機能選択ビット	0	P62、P63		
		1	AIN2、AIN3		
Q21	P61 / AIN1 端子機能選択ビット	0	P61		
		1	AIN1		
Q20	P60 / AIN0 端子機能選択ビット	0	P60		
		1	AIN0		

A/D 制御レジスタ Q3		リセット時：00002		RAM バックアップ時：状態保持	R / W TAQ3 / TQ3A
Q33	使用しません	0	このビットに機能はありませんが R / W は可能です。		
		1			
Q32	A/D 変換器動作クロック選択ビット	0	インストラクションクロック (INSTCK)		
		1	オンチップオシレータ (f(RING))		
Q31	A/D 変換器動作クロック分周比選択ビット	Q31 Q30	分周比		
		0 0	6 分周		
		0 1	12 分周		
Q30		1 0	24 分周		
		1 1	48 分周		

注：“R”は読み出し可、“W”は書き込み可を表します。

キーオンウェイクアップ制御レジスタ K0		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK0 / TK0A
K03	ポート P12、P13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポート P10、P11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポート P02、P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポート P00、P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタ K1		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK1 / TK1A
K13	ポート P02、P03 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K12	ポート P02、P03 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ” レベル		
		1	立ち上がり波形 / “ H ” レベル		
K11	ポート P00、P01 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K10	ポート P00、P01 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ” レベル		
		1	立ち上がり波形 / “ H ” レベル		

キーオンウェイクアップ制御レジスタ K2		リセット時：00002		RAM バックアップ時：状態保持	R / W TAK2 / TK2A
K23	INT1 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K22	INT1 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	INT0 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K20	INT0 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“ R ” は読み出し可、“ W ” は書き込み可を表します。

プルアップ制御レジスタ PU0		リセット時：0000 ₂	RAMバックアップ時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU02	ポート P02 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU01	ポート P01 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU00	ポート P00 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	

プルアップ制御レジスタ PU1		リセット時：0000 ₂	RAMバックアップ時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU12	ポート P12 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU11	ポート P11 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU10	ポート P10 プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	

注：“ R ” は読み出し可、“ W ” は書き込み可を表します。

ポート出力形式制御レジスタ FR0		リセット時：0000 ₂		RAM バックアップ時：状態保持	W TFR0A
FR03	ポート P1 ₂ , P1 ₃ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR02	ポート P1 ₀ , P1 ₁ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR01	ポート P0 ₂ , P0 ₃ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR00	ポート P0 ₀ , P0 ₁ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		

ポート出力形式制御レジスタ FR1		リセット時：0000 ₂		RAM バックアップ時：状態保持	W TFR1A
FR13	ポート D ₃ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR12	ポート D ₂ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR11	ポート D ₁ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR10	ポート D ₀ 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		

ポート出力形式制御レジスタ FR2		リセット時：0000 ₂		RAM バックアップ時：状態保持	W TFR2A
FR23	D ₇ / CNTR1 端子 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR22	D ₆ / CNTR0 端子 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR21	D ₅ 端子 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		
FR20	D ₄ 端子 出力形式選択ビット	0	N チャネルオープンドレイン出力		
		1	CMOS 出力		

注：“R”は読み出し可、“W”は書き込み可を表します。

命令

4518グループは148種の命令を持っています。

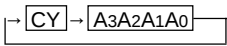
命令記号一覧表、命令機能別索引、アルファベット順 機械語命令一覧、機能分類別 機械語命令一覧及び命令コード対応表について説明します。

命令記号一覧表

記 号	内 容	記 号	内 容
A	レジスタ A(4ビット)	PS	プリスケアラ
B	レジスタ B(4ビット)	T1	タイマ1
DR	レジスタ DR(3ビット)	T2	タイマ2
E	レジスタ E(8ビット)	T3	タイマ3
V1	割り込み制御レジスタ V1(4ビット)	T4	タイマ4
V2	割り込み制御レジスタ V2(4ビット)	T1F	タイマ1割り込み要求フラグ
I1	割り込み制御レジスタ I1(4ビット)	T2F	タイマ2割り込み要求フラグ
I2	割り込み制御レジスタ I2(4ビット)	T3F	タイマ3割り込み要求フラグ
MR	クロック制御レジスタ MR(4ビット)	T4F	タイマ4割り込み要求フラグ
RG	クロック制御レジスタ RG(1ビット)	WDF1	ウォッチドッグタイマフラグ
PA	タイマ制御レジスタ PA(1ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
W1	タイマ制御レジスタ W1(4ビット)	INTE	割り込み許可フラグ
W2	タイマ制御レジスタ W2(4ビット)	EXF0	外部0割り込み要求フラグ
W3	タイマ制御レジスタ W3(4ビット)	EXF1	外部1割り込み要求フラグ
W4	タイマ制御レジスタ W4(4ビット)	P	パワーダウンフラグ
W5	タイマ制御レジスタ W5(4ビット)	ADF	A/D変換終了フラグ
W6	タイマ制御レジスタ W6(4ビット)	SIOF	シリアルI/O送受信終了フラグ
J1	シリアルI/O制御レジスタ J1(4ビット)		
Q1	A/D制御レジスタ Q1(4ビット)	D	ポート D(8ビット)
Q2	A/D制御レジスタ Q2(4ビット)	P0	ポート P0(4ビット)
Q3	A/D制御レジスタ Q3(4ビット)	P1	ポート P1(4ビット)
PU0	ブルアップ制御レジスタ PU0(4ビット)	P2	ポート P2(3ビット)
PU1	ブルアップ制御レジスタ PU1(4ビット)	P3	ポート P3(2ビット)
FR0	ポート出力形式制御レジスタ FR0(4ビット)	P6	ポート P6(4ビット)
FR1	ポート出力形式制御レジスタ FR1(4ビット)		
FR2	ポート出力形式制御レジスタ FR2(4ビット)	x	16進変数
K0	キーオンウェイクアップ制御レジスタ K0(4ビット)	y	16進変数
K1	キーオンウェイクアップ制御レジスタ K1(4ビット)	z	16進変数
K2	キーオンウェイクアップ制御レジスタ K2(4ビット)	p	16進変数
X	レジスタ X(4ビット)	n	16進定数
Y	レジスタ Y(4ビット)	i	16進定数
Z	レジスタ Z(2ビット)	j	16進定数
DP	データポインタ(10ビット) (レジスタX,Y,Zで構成)	A3 A2 A1 A0	16進変数 A の2進表記(他も同様)
PC	プログラムカウンタ(14ビット)	←	データの移動する方向
PCH	プログラムカウンタの上位7ビット	()	レジスタ、メモリなどの内容
PCL	プログラムカウンタの下位7ビット	-	否定、命令実行後もフラグは不変
SK	スタックレジスタ(14ビット×8)	M(DP)	データポインタで指定されたRAMの番地
SP	スタックポインタ(3ビット)	a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
CY	キャリフラグ	p a	p6 p5 p4 p3 p2 p1 p0 ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
RPS	プリスケアラリロードレジスタ(8ビット)		
R1	タイマ1リロードレジスタ(8ビット)	C + x	16進数 C + 16進数 x
R2	タイマ2リロードレジスタ(8ビット)		
R3	タイマ3リロードレジスタ(8ビット)	?	?の前に示された状態の判定
R4L	タイマ4リロードレジスタ(8ビット)	←→	レジスタやメモリ間でのデータ交換
R4H	タイマ4リロードレジスタ(8ビット)		
RPS	リロードレジスタRPS(8ビット)		

注 . 命令実行によりスキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容 + 2を実行するわけではありません。
したがって、スキップが生じなくてもサイクル数は変化しません。
ただし、TABP p ,RT ,RTS命令がスキップされた場合、サイクル数は"1"となります。

命令機能別索引

分類	命令記号	機能	分類	命令記号	機能
レジスタ間転送命令	TAB	$(A) \leftarrow (B)$	演算命令	LA n	$(A) \leftarrow n, n=0 \sim 15$
	TBA	$(B) \leftarrow (A)$		TABP p	$(SP) \leftarrow (SP) + 1$ $(SK(SP)) \leftarrow (PC)$ $(PCH) \leftarrow p$ $(PCL) \leftarrow (DR2 \sim DR0, A3 \sim A0)$ $(DR2) \leftarrow 0$ $(DR1, DR0) \leftarrow (ROM(PC))_{9,8}$ $(B) \leftarrow (ROM(PC))_{7 \sim 4}$ $(A) \leftarrow (ROM(PC))_{3 \sim 0}$ $(PC) \leftarrow (SK(SP))$ $(SP) \leftarrow (SP) - 1$
	TAY	$(A) \leftarrow (Y)$		AM	$(A) \leftarrow (A) + (M(DP))$
	TYA	$(Y) \leftarrow (A)$		AMC	$(A) \leftarrow (A) + (M(DP)) + (CY)$ $(CY) \leftarrow \text{Carry}$
	TEAB	$(E7 \sim E4) \leftarrow (B)$ $(E3 \sim E0) \leftarrow (A)$		A n	$(A) \leftarrow (A) + n, n=0 \sim 15$
	TABE	$(B) \leftarrow (E7 \sim E4)$ $(A) \leftarrow (E3 \sim E0)$		AND	$(A) \leftarrow (A) \text{ AND } (M(DP))$
	TDA	$(DR2 \sim DR0) \leftarrow (A2 \sim A0)$		OR	$(A) \leftarrow (A) \text{ OR } (M(DP))$
	TAD	$(A2 \sim A0) \leftarrow (DR2 \sim DR0)$ $(A3) \leftarrow 0$		SC	$(CY) \leftarrow 1$
	TAZ	$(A1, A0) \leftarrow (Z1, Z0)$ $(A3, A2) \leftarrow 0$		RC	$(CY) \leftarrow 0$
	TAX	$(A) \leftarrow (X)$		SZC	$(CY) = 0?$
RAMアドレス命令	TASP	$(A2 \sim A0) \leftarrow (SP2 \sim SP0)$ $(A3) \leftarrow 0$	ビット操作命令	CMA	$(A) \leftarrow \overline{(A)}$
	LXY x y	$(X) \leftarrow x, x=0 \sim 15$ $(Y) \leftarrow y, y=0 \sim 15$		RAR	
	LZ z	$(Z) \leftarrow z, z=0 \sim 3$		SEAM	$(A) = (M(DP))?$
	INY	$(Y) \leftarrow (Y) + 1$		SEA n	$(A) = n?, n=0 \sim 15$
RAM・レジスタ間転送命令	DEY	$(Y) \leftarrow (Y) - 1$	ビット操作命令	SB j	$(Mj(DP)) \leftarrow 1, j=0 \sim 3$
	TAM j	$(A) \leftarrow (M(DP))$ $(X) \leftarrow (X) \text{ EXOR } (j), j=0 \sim 15$		RB j	$(Mj(DP)) \leftarrow 0, j=0 \sim 3$
	XAM j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{ EXOR } (j), j=0 \sim 15$		SZB j	$(Mj(DP)) = 0?, j=0 \sim 3$
	XAMD j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{ EXOR } (j), j=0 \sim 15$ $(Y) \leftarrow (Y) - 1$	比較命令		
	XAMI j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{ EXOR } (j), j=0 \sim 15$ $(Y) \leftarrow (Y) + 1$	ブランチ命令	B a	$(PCL) \leftarrow a6 \sim a0$
	TMA j	$(M(DP)) \leftarrow (A)$ $(X) \leftarrow (X) \text{ EXOR } (j), j=0 \sim 15$		BL p a	$(PCH) \leftarrow p$ $(PCL) \leftarrow a6 \sim a0$
				BLA p	$(PCH) \leftarrow p$ $(PCL) \leftarrow (DR2 \sim DR0, A3 \sim A0)$

注 . M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
サブ ルー チ ン 呼 び 出 し 命 令	BM a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a6 ~ a0	タイ マ 操 作 命 令	TPAA	(PA0) ← (A0)
	BML p a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a6 ~ a0		TAW1	(A) ← (W1)
	BLMA p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0, A3 ~ A0)		TW1A	(W1) ← (A)
リ タ ー ン 命 令	RTI	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW2	(A) ← (W2)
	RT	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TW2A	(W2) ← (A)
	RTS	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW3	(A) ← (W3)
割 り 込 み 制 御 命 令	DI	(INTE) ← 0		TW3A	(W3) ← (A)
	EI	(INTE) ← 1		TAW4	(A) ← (W4)
	SNZ0	V10 = 0: (EXF0) = 1 ? スキップ後 (EXF0) ← 0 V10 = 1: NOP		TW4A	(W4) ← (A)
	SNZ1	V11 = 0: (EXF1) = 1 ? スキップ後 (EXF1) ← 0 V11 = 1: NOP		TAW5	(A) ← (W5)
	SNZI0	I12 = 1: (INT0) = "H" ? I12 = 0: (INT0) = "L" ?		TW5A	(W5) ← (A)
	SNZI1	I22 = 1: (INT1) = "H" ? I22 = 0: (INT1) = "L" ?		TAW6	(A) ← (W6)
	TAV1	(A) ← (V1)		TW6A	(W6) ← (A)
	TV1A	(V1) ← (A)		TABPS	(B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)
	TAV2	(A) ← (V2)		TPSAB	(RPS7 ~ RPS4) ← (B) (TPS7 ~ TPS4) ← (B) (RPS3 ~ RPS0) ← (A) (TPS3 ~ TPS0) ← (A)
	TV2A	(V2) ← (A)		TAB1	(B) ← (T17 ~ T14) (A) ← (T13 ~ T10)
	TAI1	(A) ← (I1)		T1AB	(R17 ~ R14) ← (B) (T17 ~ T14) ← (B) (R13 ~ R10) ← (A) (T13 ~ T10) ← (A)
	TI1A	(I1) ← (A)		TAB2	(B) ← (T27 ~ T24) (A) ← (T23 ~ T20)
	TAI2	(A) ← (I2)		T2AB	(R27 ~ R24) ← (B) (T27 ~ T24) ← (B) (R23 ~ R20) ← (A) (T23 ~ T20) ← (A)
	TI2A	(I2) ← (A)		TAB3	(B) ← (T37 ~ T34) (A) ← (T33 ~ T30)
				T3AB	(R37 ~ R34) ← (B) (T37 ~ T34) ← (B) (R33 ~ R30) ← (A) (T33 ~ T30) ← (A)

注 . M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
タイマ操作命令	TAB4	(B) ← (T47 ~ T44) (A) ← (T43 ~ T40)	入出力命令	CLD	(D) ← 1
	T4AB	(R4L7 ~ R4L4) ← (B) (T47 ~ T44) ← (B) (R4L3 ~ R4L0) ← (A) (T43 ~ T40) ← (A)		RD	(D(Y)) ← 0 (Y) = 0 ~ 7
	T4HAB	(R4H7 ~ R4H4) ← (B) (R4H3 ~ R4H0) ← (A)		SD	(D(Y)) ← 1 (Y) = 0 ~ 7
	TR1AB	(R17 ~ R14) ← (B) (R13 ~ R10) ← (A)		SZD	(D(Y)) = 0 ? (Y) = 0 ~ 7
	TR3AB	(R37 ~ R34) ← (B) (R33 ~ R30) ← (A)		TAPU0	(A) ← (PU0)
	T4R4L	(T47 ~ T40) ← (R4L7 ~ R4L0)		TPU0A	(PU0) ← (A)
	SNZT1	V12 = 0: (T1F) = 1 ? スキップ後 (T1F) ← 0 V12 = 1: NOP		TAPU1	(A) ← (PU1)
	SNZT2	V13 = 0: (T2F) = 1 ? スキップ後 (T2F) ← 0 V13 = 1: NOP		TPU1A	(PU1) ← (A)
	SNZT3	V20 = 0: (T3F) = 1 ? スキップ後 (T3F) ← 0 V20 = 1: NOP		TAK0	(A) ← (K0)
	SNZT4	V21 = 0: (T4F) = 1 ? スキップ後 (T4F) ← 0 V21 = 1: NOP		TK0A	(K0) ← (A)
入出力命令	IAP0	(A) ← (P0)		TAK1	(A) ← (K1)
	OP0A	(P0) ← (A)		TK1A	(K1) ← (A)
	IAP1	(A) ← (P1)		TAK2	(A) ← (K2)
	OP1A	(P1) ← (A)		TK2A	(K2) ← (A)
	IAP2	(A2 ~ A0) ← (P22 ~ P20) (A3) ← 0		TFR0A	(FR0) ← (A)
	OP2A	(P22 ~ P20) ← (A2 ~ A0)		TFR1A	(FR1) ← (A)
	IAP3	(A) ← (P3)		TFR2A	(FR2) ← (A)
	OP3A	(P3) ← (A)	クロック制御命令	CMCK	セラミック共振回路選択
	IAP6	(A) ← (P6)		CRCK	RC発振回路選択
	OP6A	(P6) ← (A)		CYCK	水晶発振回路選択
				TRGA	(RG0) ← (A0)
				TAMR	(A) ← (MR)
				TMRA	(MR) ← (A)

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
シリアルI/O命令	TABSI	(B) ← (SI7 ~ SI4) (A) ← (SI3 ~ SI0)	その他	NOP	(PC) ← (PC) + 1
	TSIAB	(SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)		POF	RAMバックアップモードへ遷移
	SST	(SIOF) ← 0 シリアルI/Oスタート		EPOF	POF命令有効
	SNZSI	V23 = 0: (SIOF) = 1 ? スキップ後 (SIOF) ← 0 V23 = 1: NOP		SNZP	(P) = 1 ?
	TAJ1	(A) ← (J1)		WRST	(WDF1) = 1 ? スキップ後 (WDF1) ← 0
	TJ1A	(J1) ← (A)		DWDT	ウォッチドッグタイマ 機能停止許可
A/D変換命令	TABAD	A/D変換モード時; (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) コンパレータモード時; (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)		SRST	システムリセット発生
	TALA	(A3, A2) ← (AD1, AD0) (A1, A0) ← 0			
	TADAB	(AD7 ~ AD4) ← (B) (AD3 ~ AD0) ← (A)			
	ADST	(ADF) ← 0 A/D変換スタート			
	SNZAD	V21 = 0: (ADF) = 1 ? スキップ後 (ADF) ← 0 V21 = 1: NOP			
	TAQ1	(A) ← (Q1)			
	TQ1A	(Q1) ← (A)			
	TAQ2	(A) ← (Q2)			
	TQ2A	(Q2) ← (A)			
	TAQ3	(A) ← (Q3)			
	TQ3A	(Q3) ← (A)			

[アルファベット順]機械語命令一覧

An (Add n and accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 0 n n n n	n	1	1	—	オーバーフロー = 0
機能 : (A) ← (A) + n n = 0 ~ 15		分類 : 演算命令 詳細説明 : レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

ADST (A/D conversion SStart)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 1 1	1	1	1	—	-
機能 : (ADF) ← Q、 Q13 = 0 : A/D変換開始 Q13 = 1 : コンパレータ動作開始		分類 : A/D変換命令 詳細説明 : A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が 0 のとき)はA/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が 1 のとき)はコンパレータ動作を開始します。			

AM (Add accumulator and Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 0	0	1	1	—	-
機能 : (A) ← (A) + (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 1	1	1	1	0/1	-
機能 : (A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ		分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

AND (logical AND between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 0 0	0 0 1 8	1	1	—	-
機能 : (A) ← (A) AND (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。			

B a (Branch to address a)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 1 1 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀	1 8 a	1	1	—	-
機能 : (PCL) ← a ₆ ~ a ₀		分類 : ブランチ命令 詳細説明 : ページ内ブランチ : 同一ページのa番地へブランチします。 留意点 : ブランチ先はこの命令の存在するページ内で指定してください。			

BL p,a (Branch Long to address a in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 1 1 p ₄ p ₃ p ₂ p ₁ p ₀	0 E _{+p} p	2	2	—	-
1 0 p ₅ a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀	2 p _{+a} a	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのa番地へブランチします。 留意点 : M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。			
機能 : (PCH) ← p (PCL) ← a ₆ ~ a ₀					

BLA p (Branch Long to address (D)+(A) in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 0 0	0 1 0	2	2	-	-
1 0 p ₅ p ₄ 0 0 p ₃ p ₂ p ₁ p ₀	2 p p	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。 留意点 : M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。			
機能 : (PCH) ← p (PCL) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)					

BM a (Branch and Mark to address a in page 2)

機械語: D ₉ 0 1 0 a₆ a₅ a₄ a₃ a₂ a₁ a₀ 2 1 a a 16 D₀	<table><tr><th>語数</th><th>サイクル数</th><th>フラグ C Y</th><th>スキップ条件</th></tr><tr><td>1</td><td>1</td><td>—</td><td>-</td></tr></table>	語数	サイクル数	フラグ C Y	スキップ条件	1	1	—	-
	語数	サイクル数	フラグ C Y	スキップ条件					
1	1	—	-						
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a ₆ ~ a ₀	分類: サブルーチン呼び出し命令 詳細説明: 2ページのサブルーチン呼び出し: 2ページのa番地のサブルーチンを読み出します。 留意点: 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスタリングは最大8レベルですので、スタックオーバーにならないよう注意してください。								

BML p,a (Branch and Mark Long to address a in page p)

機械語 : D9 <table><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>p4</td><td>p3</td><td>p2</td><td>p1</td><td>p0</td></tr></table> 2 <table><tr><td>0</td><td>c</td><td>p</td></tr><tr><td></td><td>+</td><td></td></tr></table> 16 <table><tr><td>1</td><td>0</td><td>p5</td><td>a6</td><td>a5</td><td>a4</td><td>a3</td><td>a2</td><td>a1</td><td>a0</td></tr></table> 2 <table><tr><td>2</td><td>p</td><td>a</td></tr><tr><td></td><td>+</td><td></td></tr></table> 16	0	0	1	1	0	p4	p3	p2	p1	p0	0	c	p		+		1	0	p5	a6	a5	a4	a3	a2	a1	a0	2	p	a		+		<table><tr><th>語数</th><th>サイクル数</th><th>フラグ C Y</th><th>スキップ条件</th></tr><tr><td>2</td><td>2</td><td>-</td><td>-</td></tr></table> 分類：サブルーチン呼び出し命令 詳細説明：サブルーチン呼び出し：pページのa番地のサブルーチンを呼び出します。 留意点：M34518M2の場合 p=0~15、M34518M4の場合 p=0~31、M34518M6の場合 p=0~47、M34518M8/E8の場合 p=0~63です。サブルーチンネスタングは最大8レベルですので、スタックオーバーにならないよう注意してください。	語数	サイクル数	フラグ C Y	スキップ条件	2	2	-	-
0	0	1	1	0	p4	p3	p2	p1	p0																																
0	c	p																																							
	+																																								
1	0	p5	a6	a5	a4	a3	a2	a1	a0																																
2	p	a																																							
	+																																								
語数	サイクル数	フラグ C Y	スキップ条件																																						
2	2	-	-																																						
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a6 ~ a0																																									

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語 : D9		D0		語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 0 0 0 0 2 0 3 0 16				2	2	-	-
1 0 p₅ p₄ 0 0 p₃ p₂ p₁ p₀ 2 2 p p 16							

機能 : (SP) ← (SP) + 1
 (SK(SP)) ← (PC)
 (PCH) ← p
 (PCL) ← (DR2 ~ DR0, A3 ~ A0)

分類 : サブルーチン呼び出し命令

詳細説明 : サブルーチン呼び出し : pページのレジスタDとレジスタAの内容で指定された(DR2DR1DR0A3A2A1A0)₂番地のサブルーチン呼び出します。

留意点 : M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。サブルーチンネスタングは最大8レベルですので、スタックオーバにならないよう注意してください。

CLD (CLear port D)

機械語：D ₉ 0 0 0 0 0 1 0 0 0 1 2 0 1 1 16	語数				サイクル数				フラグ C Y				スキップ条件			
	1				1				-				-			
機能：(D) ← 1	分類：入出力命令															
	詳細説明：ポートDをすべてセット(1)します。															

CMA (CoMplement of Accumulator)

機械語 : D ₉ 0 0 0 0 0 1 1 1 0 0 ₂ D ₀ 0 1 C ₁₆	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : (A) ← (A̅)	分類 : 演算命令			
	詳細説明 : レジスタAの内容の1の補数をレジスタAに格納します。			

CMCK (Clock select : ceraMic oscillation Clock)

機械語 : D ₉ 1 0 1 0 0 1 1 0 1 0 ₂ D ₀ 2 9 A ₁₆	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : セラミック発振回路選択	分類 : クロック制御命令			
	詳細説明 : メインクロックf(XIN)にセラミック共振回路を選択します。			

CRCK (Clock select : Rc oscillation Clock)

機械語 : D ₉ 1 0 1 0 0 1 1 0 1 1 ₂ D ₀ 2 9 B ₁₆	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : RC発振回路選択	分類 : クロック制御命令			
	詳細説明 : メインクロックf(XIN)にRC発振回路を選択します。			

CYCK (Clock select : crYstal oscillation Clock)

機械語 : D ₉ 1 0 1 0 0 1 1 1 0 1 ₂ D ₀ 2 9 D ₁₆	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : 水晶発振回路選択	分類 : クロック制御命令			
	詳細説明 : メインクロックf(XIN)に水晶発振回路を選択します。			

DEY (DEcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 1 1	2 0 1 7	1	1	-	(Y) = 15
機能 : (Y) ← (Y) - 1		分類 : RAMアドレス命令 詳細説明 : レジスタYの内容を - 1します。その結果、レジスタYの内容が “ 15 ”であれば、次の命令をスキップします。“ 15 ”以外ならば、そ のまま次の命令を実行します。			

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 0 0	2 0 0 4	1	1	-	-
機能 : (INTE) ← 0		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状 態にします。 留意点 : DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後 に行われます。			

DWDT (Disable WatchDog Timer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 0 0	2 2 9 C	1	1	-	-
機能 : ウォッチドッグタイマ機能停止許可		分類 : その他 詳細説明 : DWDT命令を実行すると、直後のWRST命令によりウォッチ ドッグタイマ機能を停止することができます。			

EI (Enable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 0 1	2 0 0 5	1	1	-	-
機能 : (INTE) ← 1		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状 態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル 後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉ 0 0 0 1 0 1 1 0 1 1 D ₀ 2 0 5 B ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : POF命令有効	分類 : その他			
	詳細説明 : EPOF命令を実行すると、直後のPOF命令が有効になります。			

IAP0 (Input Accumulator from port P0)

機械語 : D ₉ 1 0 0 1 1 0 0 0 0 0 D ₀ 2 2 6 0 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (P0)	分類 : 入出力命令			
	詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

IAP1 (Input Accumulator from port P1)

機械語 : D ₉ 1 0 0 1 1 0 0 0 0 1 D ₀ 2 2 6 1 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (P1)	分類 : 入出力命令			
	詳細説明 : ポートP1の入力を、レジスタAへ転送します。			

IAP2 (Input Accumulator from port P2)

機械語 : D ₉ 1 0 0 1 1 0 0 0 1 0 D ₀ 2 2 6 2 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A ₂ ~ A ₀) ← (P ₂₂ ~ P ₂₀) (A ₃) ← 0	分類 : 入出力命令			
	詳細説明 : ポートP2の入力を、レジスタAへ転送します。			

IAP3 (Input Accumulator from port P3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 1 1	2 6 3	1	1	-	-
機能 : (A) ← (P3)		分類 : 入出力命令 詳細説明 : ポートP3の入力を、レジスタAへ転送します。 レジスタAの上位2ビット (A ₃ 、A ₂) の内容は不定になります。			

IAP6 (Input Accumulator from port P6)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 1 1 0	2 6 6	1	1	-	-
機能 : (A) ← (P6)		分類 : 入出力命令 詳細説明 : ポートP6の入力を、レジスタAへ転送します。			

INY (INcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 1 1	0 1 3	1	1	-	(Y) = 0
機能 : (Y) ← (Y) + 1		分類 : RAMアドレス命令 詳細説明 : レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。			

LA n (Load n in Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 1 n n n n	0 7 n	1	1	-	連続記述
機能 : (A) ← n n = 0 ~ 15		分類 : 演算命令 詳細説明 : イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

LXY x,y (Load register X and Y with x and y)

機械語 : D ₉ 1 1 x₃ x₂ x₁ x₀ y₃ y₂ y₁ y₀ 2 3 x y 16	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	連続記述
機能 : (X) ← x x = 0 ~ 15 (Y) ← y y = 0 ~ 15	分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

LZ z (Load register Z with z)

機械語 : D ₉ 0 0 0 1 0 0 1 0 z₁ z₀ 2 0 4 ⁸_{+z} 16	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : (Z) ← z z = 0 ~ 3	分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No Operation)

機械語 : D ₉ 0 0 0 0 0 0 0 0 0 0 2 0 0 0 16	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : (PC) ← (PC) + 1	分類 : その他 詳細説明 : ノーオペレーション : プログラムカウンタの値を+1します。他は変化しません。			

OP0A (Output port P0 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 0 0 0 0 2 2 2 0 16	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
機能 : (P0) ← (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP0へ出力します。			

OP1A (Output port P1 from Accumulator)

機械語 : D ₉ D₀	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
1 0 0 0 1 0 0 0 0 1 2 2 2 1 16				
機能 : (P1) ← (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP1へ出力します。			

OP2A (Output port P2 from Accumulator)

機械語 : D ₉ D₀	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
1 0 0 0 1 0 0 0 1 0 2 2 2 2 16				
機能 : (P2) ← (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP2へ出力します。			

OP3A (Output port P3 from Accumulator)

機械語 : D ₉ D₀	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
1 0 0 0 1 0 0 0 1 1 2 2 2 3 16				
機能 : (P3) ← (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP3へ出力します。			

OP6A (Output port P6 from Accumulator)

機械語 : D ₉ D₀	語数	サイクル数	フラグC Y	スキップ条件
	1	1	-	-
1 0 0 0 1 0 0 1 1 0 2 2 2 6 16				
機能 : (P6) ← (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP6へ出力します。			

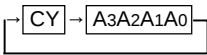
OR (logical OR between accumulator and memory)

機械語 : D ₉ 0 0 0 0 0 1 1 0 0 1 ₂ D ₀ 0 1 9 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (A) OR (M(DP))	分類 : 演算命令			
	詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

POF (Power OFF)

機械語 : D ₉ 0 0 0 0 0 0 0 0 1 0 ₂ D ₀ 0 0 2 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : RAMバックアップモードへ遷移	分類 : その他			
	詳細説明 : EPOF命令実行直後にPOF命令を実行すると、本製品はRAMバックアップモードになります。 留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価となります。			

RAR (Rotate Accumulator Right)

機械語 : D ₉ 0 0 0 0 0 1 1 1 0 1 ₂ D ₀ 0 1 D ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	0/1	-
機能 : 	分類 : 演算命令			
	詳細説明 : キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。			

RB j (Reset Bit)

機械語 : D ₉ 0 0 0 1 0 0 1 1 j j ₂ D ₀ 0 4 C+j ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (M(DP)) ← 0 j = 0 ~ 3	分類 : ビット操作命令			
	詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。			

RC (Reset Carry flag)

機械語 : D ₉ 0 0 0 0 0 0 0 1 1 0 ₂ D ₀ 0 0 6 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	0	-
機能 : (CY) ← 0	分類 : 演算命令			
	詳細説明 : キャリフラグ(CY)をクリア(0)します。			

RD (Reset port D specified by register Y)

機械語 : D ₉ 0 0 0 0 0 1 0 1 0 0 ₂ D ₀ 0 1 4 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (D(Y)) ← 0 (Y) = 0 ~ 7	分類 : 入出力命令			
	詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。			

RT (ReTurn from subroutine)

機械語 : D ₉ 0 0 0 1 0 0 0 1 0 0 ₂ D ₀ 0 4 4 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	2	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1	分類 : リターン命令			
	詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。			

RTI (ReTurn from Interrupt)

機械語 : D ₉ 0 0 0 1 0 0 0 1 1 0 ₂ D ₀ 0 4 6 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1	分類 : リターン命令			
	詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。			

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 0 1	0 4 5	1	2	-	無条件スキップ
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 1 1 j j	0 5 C _{+j}	1	1	-	-
機能 : (Mj(DP)) ← 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 1 1	0 0 7	1	1	1	-
機能 : (CY) ← 1		分類 : 演算命令 詳細説明 : キャリフラグ(CY)をセット(1)します。			

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	-	-
機能 : (D(Y)) ← 1 (Y) = 0 ~ 7		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 0 1 ₂ 0 2 5 ₁₆	2	2	-	(A) = n
0 0 0 1 1 1 n n n n ₂ 0 7 n ₁₆	分類 : 比較命令			
機能 : (A) = n ? n = 0 ~ 15	詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 1 0 ₂ 0 2 6 ₁₆	1	1	-	(A) = (M(DP))
機能 : (A) = (M(DP)) ?	分類 : 比較命令			
	詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 0 0 ₂ 0 3 8 ₁₆	1	1	-	V10 = 0 : (EXF0) = 1
機能 : V10 = 0 : (EXF0) = 1 ? スキップ後、(EXF0) ← 0 V10 = 1 : SNZ0 = NOP	分類 : 割り込み制御命令			
	詳細説明 : 割り込み制御レジスタV1のビット0(V10)の内容が* 0 "のときは、外部0割り込み要求フラグ(EXF0)が* 1 "であれば、次の命令をスキップし、その後フラグEXF0をクリア(0)します。" 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V10)の内容が* 1 "のときは、この命令はNOP命令と等価となります。			

SNZ1 (Skip if Non Zero condition of external interrupt 1 request flag)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 0 1 ₂ 0 3 9 ₁₆	1	1	-	V11 = 0 : (EXF1) = 1
機能 : V11 = 0 : (EXF1) = 1 ? スキップ後、(EXF1) ← 0 V11 = 1 : SNZ1 = NOP	分類 : 割り込み制御命令			
	詳細説明 : 割り込み制御レジスタV1のビット1(V11)の内容が* 0 "のときは、外部1割り込み要求フラグ(EXF1)が* 1 "であれば、次の命令をスキップし、その後フラグEXF1をクリア(0)します。" 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット1(V11)の内容が* 1 "のときは、この命令はNOP命令と等価となります。			

SNZAD (Skip if Non Zero condition of A/D conversion completion flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 1 0 0 0 0 1 1 1	2 8 7	1	1	-	V2 ₂ = 0 : (ADF) = 1
機能 : V2 ₂ = 0 : (ADF) = 1 ? スキップ後、(ADF) ← 0 V2 ₂ = 1 : SNZAD = NOP		分類 : A/D変換命令 詳細説明 : 割り込み制御レジスタV2のビット2(V2 ₂)の内容が [※] 0 "0"のときは、A/D変換終了フラグ(ADF)が [※] 1 "1"であれば、次の命令をスキップし、その後フラグADFをクリア(0)します。"0"ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V2 ₂)の内容が [※] 1 "1"のときは、この命令はNOP命令と等価となります。			

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 1 1 1 0 1 0	2 0 3 A	1	1	-	I1 ₂ = 1 : (INT0) = "H" I1 ₂ = 0 : (INT0) = "L"
機能 : I1 ₂ = 1 : (INT0) = "H" ? I1 ₂ = 0 : (INT0) = "L" ?		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1のビット2(I1 ₂)の内容が [※] 1 "1"のときは、INT0端子のレベルが [※] H "H"であれば次の命令をスキップします。 "L"ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I1 ₂)の内容が [※] 0 "0"のときは、INT0端子のレベルが [※] L "L"であれば次の命令をスキップします。 "H"ならば、そのまま次の命令を実行します。			

SNZI1 (Skip if Non Zero condition of external Interrupt 1 input pin)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 1 1 1 0 1 1	2 0 3 B	1	1	-	I2 ₂ = 1 : (INT1) = "H" I2 ₂ = 0 : (INT1) = "L"
機能 : I2 ₂ = 1 : (INT1) = "H" ? I2 ₂ = 0 : (INT1) = "L" ?		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI2のビット2(I2 ₂)の内容が [※] 1 "1"のときは、INT1端子のレベルが [※] H "H"であれば次の命令をスキップします。 "L"ならば、そのまま次の命令を実行します。 割り込み制御レジスタI2のビット2(I2 ₂)の内容が [※] 0 "0"のときは、INT1端子のレベルが [※] L "L"であれば次の命令をスキップします。 "H"ならば、そのまま次の命令を実行します。			

SNZP (Skip if Non Zero condition of Power down flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
0 0 0 0 0 0 0 0 1 1	2 0 0 3	1	1	-	(P) = 1
機能 : (P) = 1 ?		分類 : その他 詳細説明 : パワーダウンフラグ(P)の内容が [※] 1 "1"であれば、次の命令をスキップします。"0"ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。			

SNZSI (Skip if Non Zero condition of Serial I/O interrupt request flag)

機械語 : D ₉	語数	サイクル数	フラグ C Y	スキップ条件
D₀ 1 0 1 0 0 0 1 0 0 0 2 2 8 8 16	1	1	-	V23 = 0 : (SIOF) = 1
機能 : V23 = 0 : (SIOF) = 1 ? スキップ後、(SIOF) ← 0 V23 = 1 : SNZSI = NOP	分類 : シリアルI/O命令 詳細説明 : 割り込み制御レジスタV2のビット3(V23)の内容が* 0 'のときは、シリアルI/O割り込み要求フラグ(SIOF)が* 1 'であれば、次の命令をスキップし、その後フラグSIOFをクリア(0)します。“ 0 ”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3(V23)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語 : D ₉	語数	サイクル数	フラグ C Y	スキップ条件
D₀ 1 0 1 0 0 0 0 0 0 0 2 2 8 0 16	1	1	-	V12 = 0 : (T1F) = 1
機能 : V12 = 0 : (T1F) = 1 ? スキップ後、(T1F) ← 0 V12 = 1 : SNZT1 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット2(V12)の内容が* 0 'のときは、タイマ1割り込み要求フラグ(T1F)が* 1 'であれば、次の命令をスキップし、その後フラグT1Fをクリア(0)します。“ 0 ”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V12)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語 : D ₉	語数	サイクル数	フラグ C Y	スキップ条件
D₀ 1 0 1 0 0 0 0 0 0 1 2 2 8 1 16	1	1	-	V13 = 0 : (T2F) = 1
機能 : V13 = 0 : (T2F) = 1 ? スキップ後、(T2F) ← 0 V13 = 1 : SNZT2 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット3(V13)の内容が* 0 'のときは、タイマ2割り込み要求フラグ(T2F)が* 1 'であれば、次の命令をスキップし、その後フラグT2Fをクリア(0)します。“ 0 ”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V13)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZT3 (Skip if Non Zero condition of Timer 3 interrupt request flag)

機械語 : D ₉	語数	サイクル数	フラグ C Y	スキップ条件
D₀ 1 0 1 0 0 0 0 0 1 0 2 2 8 2 16	1	1	-	V20 = 0 : (T3F) = 1
機能 : V20 = 0 : (T3F) = 1 ? スキップ後、(T3F) ← 0 V20 = 1 : SNZT3 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット0(V20)の内容が* 0 'のときは、タイマ3割り込み要求フラグ(T3F)が* 1 'であれば、次の命令をスキップし、その後フラグT3Fをクリア(0)します。“ 0 ”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0(V20)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZT4 (Skip if Non Zero condition of Timer 4 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 0 1 1	2 8 3	1	1	-	V21 = 0 : (T4F) = 1
機能 : V21 = 0 : (T4F) = 1 ? スキップ後、(T4F) ← 0 V21 = 1 : SNZT4 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット1(V21)の内容が* 0 *のときは、タイマ4割り込み要求フラグ(T4F)が* 1 *であれば、次の命令をスキップし、その後フラグT4Fをクリア(0)します。“ 0 ”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット1(V21)の内容が* 1 *のときは、この命令はNOP命令と等価となります。			

SRST (System ReSeT)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 0 1	0 0 1	1	1	-	-
機能 : システムリセット発生		分類 : その他 詳細説明 : システムリセットが発生します。			

SST (Serial i/o transmission/reception SStart)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 1 0	2 9 E	1	1	-	-
機能 : (SIOF) ← 0 シリアルI/O送受信開始		分類 : シリアルI/O命令 詳細説明 : シリアルI/O送受信終了フラグ(SIOF)をクリア(0)し、シリアルI/O送受信動作を開始します。			

SZB j (Skip if Zero, Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 0 j j	0 2 j	1	1	-	(Mj(DP)) = 0 j = 0 ~ 3
機能 : (Mj(DP)) = 0 ? j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が* 0 *であれば、次の命令をスキップします。“ 1 ”ならば、そのまま次の命令を実行します。			

SZC (Skip if Zero, Carry flag)

機械語 : D ₉ <table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> ₂ D ₀ <table><tr><td>0</td><td>2</td><td>F</td></tr></table> ₁₆	0	0	0	0	1	0	1	1	1	1	0	2	F	語数	サイクル数	フラグ C Y	スキップ条件
	0	0	0	0	1	0	1	1	1	1							
0	2	F															
1	1	-	(CY) = 0														

機能 : (CY) = 0 ?	分類 : 演算命令
	詳細説明 : キャリフラグ(CY)の内容が* 0 'のとき、次の命令をスキップします。“ 1 ”ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。

SZD (Skip if Zero, port D specified by register Y)

機械語 : D ₉ 0 0 0 0 1 0 0 1 0 0 2 0 2 4 16 0 0 0 0 1 0 1 0 1 1 2 0 2 B 16	語数	サイクル数	フラグ C Y	スキップ条件
	2	2	-	(D(Y)) = 0 (Y) = 0 ~ 7
機能 : (D(Y)) = 0 ? (Y) = 0 ~ 7	分類 : 入出力命令			
	詳細説明 : ポートDのレジスタYの内容で指定されたポートの内容が* 0 "であれば、次の命令をスキップします。" 1 "ならば、そのまま次の命令を実行します。			

T1AB (Transfer data to timer 1 and register R1 from Accumulator and register B)

機械語 : D ₉ <table border="1"><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1"><tr><td>2</td><td>3</td><td>0</td></tr></table> 216	1	0	0	0	1	1	0	0	0	0	2	3	0	語数				サイクル数		フラグ C Y		スキップ条件	
	1	0	0	0	1	1	0	0	0	0													
2	3	0																					
	1		1		-		-																
機能 : (T17 ~ T14) ← (B) (R17 ~ R14) ← (B) (T13 ~ T10) ← (A) (R13 ~ R10) ← (A)	分類 : タイマ操作命令																						
	詳細説明 : レジスタBの内容をタイマ1とリロードレジスタR1の上位4ビットへ、レジスタAの内容をタイマ1とリロードレジスタR1の下位4ビットへ転送します。																						

T2AB (Transfer data to timer 2 and register R2 from Accumulator and register B)

機械語 : D ₉ <table><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr></table> ₂ D ₀ <table><tr><td>2</td><td>3</td><td>1</td></tr></table> ₁₆	1	0	0	0	1	1	0	0	0	1	2	3	1	語数	サイクル数	フラグ C Y	スキップ条件
	1	0	0	0	1	1	0	0	0	1							
2	3	1															
1	1	-	-														

機能 : (T ₂₇ ~ T ₂₄) ← (B) (R ₂₇ ~ R ₂₄) ← (B) (T ₂₃ ~ T ₂₀) ← (A) (R ₂₃ ~ R ₂₀) ← (A)	分類 : タイマ操作命令
	詳細説明 : レジスタBの内容をタイマ2とリロードレジスタR2の上位4ビットへ、レジスタAの内容をタイマ2とリロードレジスタR2の下位4ビットへ転送します。

T3AB (Transfer data to timer 3 and register R3 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 0 0 1 0	2 3 2	1	1	-	-
機能 : (T3 ₇ ~ T3 ₄) ← (B) (R3 ₇ ~ R3 ₄) ← (B) (T3 ₃ ~ T3 ₀) ← (A) (R3 ₃ ~ R3 ₀) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ3とリロードレジスタR3の上位4ビットへ、レジスタAの内容をタイマ3とリロードレジスタR3の下位4ビットへ転送します。			

T4AB (Transfer data to timer 4 and register R4L from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 0 0 1 1	2 3 3	1	1	-	-
機能 : (T4 ₇ ~ T4 ₄) ← (B) (R4L ₇ ~ R4L ₄) ← (B) (T4 ₃ ~ T4 ₀) ← (A) (R4L ₃ ~ R4L ₀) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ4とリロードレジスタR4Lの上位4ビットへ、レジスタAの内容をタイマ4とリロードレジスタR4Lの下位4ビットへ転送します。			

T4HAB (Transfer data to register R4H from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 0 1 1 1	2 3 7	1	1	-	-
機能 : (R4H ₇ ~ R4H ₄) ← (B) (R4H ₃ ~ R4H ₀) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ4のリロードレジスタR4Hの上位4ビットへ、レジスタAの内容をタイマ4のリロードレジスタR4Hの下位4ビットへ転送します。			

T4R4L (Transfer data to timer 4 from register R4L)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 0 1 1 1	2 9 7	1	1	-	-
機能 : (T4 ₇ ~ T4 ₄) ← (R4L ₇ ~ R4L ₄) (T4 ₃ ~ T4 ₀) ← (R4L ₃ ~ R4L ₀)		分類 : タイマ操作命令 詳細説明 : リロードレジスタR4Lの内容を、タイマ4へ転送します。			

TAB (Transfer data to Accumulator from register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 1 0	0 1 E	1	1	-	-
機能 : (A) ← (B)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタBの内容を、レジスタAへ転送します。			

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 0	2 7 0	1	1	-	-
機能 : (B) ← (T17 ~ T14) (A) ← (T13 ~ T10)		分類 : タイマ操作命令			
		詳細説明 : タイマ1の上位4ビット(T17 ~ T14)の内容をレジスタBへ、タイマ1の下位4ビット(T13 ~ T10)の内容をレジスタAへ転送します。			

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 1	2 7 1	1	1	-	-
機能 : (B) ← (T27 ~ T24) (A) ← (T23 ~ T20)		分類 : タイマ操作命令			
		詳細説明 : タイマ2の上位4ビット(T27 ~ T24)の内容をレジスタBへ、タイマ2の下位4ビット(T23 ~ T20)の内容をレジスタAへ転送します。			

TAB3 (Transfer data to Accumulator and register B from timer 3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 1 0	2 7 2	1	1	-	-
機能 : (B) ← (T37 ~ T34) (A) ← (T33 ~ T30)		分類 : タイマ操作命令			
		詳細説明 : タイマ3の上位4ビット(T37 ~ T34)の内容をレジスタBへ、タイマ3の下位4ビット(T33 ~ T30)の内容をレジスタAへ転送します。			

TAB4 (Transfer data to Accumulator and register B from timer 4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 1 1	2 2 7 3	1	1	-	-
機能 : (B) ← (T47 ~ T44) (A) ← (T43 ~ T40)		分類 : タイマ操作命令 詳細説明 : タイマ4の上位4ビット(T47 ~ T44)の内容をレジスタBへ、タイマ4の下位4ビット(T43 ~ T40)の内容をレジスタAへ転送します。			

TABAD (Transfer data to Accumulator and register B from register AD)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 1 0 0 1	2 2 7 9	1	1	-	-
機能 : A/D変換モード時(Q13 = 0) : (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) コンパレータモード時(Q13 = 1) : (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)		分類 : A/D変換命令 詳細説明 : A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が“0”のときは、レジスタADの上位4ビット(AD9 ~ AD6)をレジスタBへ、レジスタADの中位4ビット(AD5 ~ AD2)をレジスタAへ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のときは、レジスタADの中位4ビット(AD7 ~ AD4)をレジスタBへ、レジスタADの下位4ビット(AD3 ~ AD0)をレジスタAへ転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 1 0	2 0 2 A	1	1	-	-
機能 : (B) ← (E7 ~ E4) (A) ← (E3 ~ E0)		分類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E7 ~ E4)をレジスタBへ、レジスタEの下位4ビット(E3 ~ E0)をレジスタAへ転送します。			

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 0 p ₅ p ₄ p ₃ p ₂ p ₁ p ₀	2 0 ⁸ _{+p} p	1	3	-	-
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0, A3 ~ A0) (DR2) ← 0 (DR1, DR0) ← (ROM(PC)) _{9,8} (B) ← (ROM(PC)) _{7~4} (A) ← (ROM(PC)) _{3~0} (SK(SP)) ← (PC) (SP) ← (SP) - 1		分類 : 演算命令 詳細説明 : p ページのレジスタDとレジスタAの内容で指定された(DR2DR1DR0A3A2A1A0) ₂ 番地のROMパターンのうち、ビット9、8をレジスタDへ、ビット7~4をレジスタBへ、ビット3~0をレジスタAへ転送します。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。 留意点 : M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。TABP p命令実行時、スタックレジスタ(SK)を1段使用しますので、スタックオーバーにならないよう注意してください。			

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 1 0 1	2 7 5	1	1	-	-
機能 : (B) ← (TPS ₇ ~ TPS ₄) (A) ← (TPS ₃ ~ TPS ₀)		分類 : タイマ操作命令 詳細説明 : プリスケーラの上位4ビット(TPS ₇ ~ TPS ₄)の内容をレジスタBへ、プリスケーラの下位4ビット(TPS ₃ ~ TPS ₀)の内容をレジスタAへ転送します。			

TABSI (Transfer data to Accumulator and register B from register SI)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 1 0 0 0	2 7 8	1	1	-	-
機能 : (B) ← (SI ₇ ~ SI ₄) (A) ← (SI ₃ ~ SI ₀)		分類 : シリアルI/O命令 詳細説明 : レジスタSIの上位4ビット(SI ₇ ~ SI ₄)の内容をレジスタBへ、レジスタSIの下位4ビット(SI ₃ ~ SI ₀)の内容をレジスタAへ転送します。			

TAD (Transfer data to Accumulator from register D)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 1	2 0 5 1	1	1	-	-
機能 : (A ₂ ~ A ₀) ← (DR ₂ ~ DR ₀) (A ₃) ← 0		分類 : レジスタ間転送命令 詳細説明 : レジスタDの内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点 : TAD命令実行時、レジスタAの最上位ビット(A ₃)には“0”が格納されます。			

TADAB (Transfer data to register AD from Accumulator from register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 0 1	2 2 3 9	1	1	-	-
機能 : (AD ₇ ~ AD ₄) ← (B) (AD ₃ ~ AD ₀) ← (A)		分類 : A/D変換命令 詳細説明 : コンパレータモード時(A/D制御レジスタQ1のビット3(Q1 ₃)の内容が“1”のとき)に、レジスタBの内容をコンパレータレジスタの上位4ビット(AD ₇ ~ AD ₄)へ、レジスタAの内容をコンパレータレジスタの下位4ビット(AD ₃ ~ AD ₀)へ転送します。 A/D変換モード時(A/D制御レジスタQ1のビット3(Q1 ₃)の内容が“0”のとき)は、この命令はNOP命令と等価となります。			

TAI1 (Transfer data to Accumulator from register I1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 1	2 5 3	1	1	-	-
機能 : (A) ← (I1)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタI1の内容を、レジスタAへ転送します。			

TAI2 (Transfer data to Accumulator from register I2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 0 0	2 5 4	1	1	-	-
機能 : (A) ← (I2)		分類 : 割り込み命令			
		詳細説明 : 割り込み制御レジスタI2の内容を、レジスタAへ転送します。			

TAJ1 (Transfer data to Accumulator from register J1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 0 1 0	2 4 2	1	1	-	-
機能 : (A) ← (J1)		分類 : シリアルI/O命令			
		詳細説明 : シリアルI/O制御レジスタJ1の内容を、レジスタAへ転送します。			

TAK0 (Transfer data to Accumulator from register K0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 0	2 5 6	1	1	-	-
機能 : (A) ← (K0)		分類 : 入出力命令			
		詳細説明 : キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。			

TAK1 (Transfer data to Accumulator from register K1)

機械語 : D ₉ 1 0 0 1 0 1 1 0 0 1 ₂ 2 5 9 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (K1)	分類 : 入出力命令			
	詳細説明 : キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。			

TAK2 (Transfer data to Accumulator from register K2)

機械語 : D ₉ 1 0 0 1 0 1 1 0 1 0 ₂ 2 5 A ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (K2)	分類 : 入出力命令			
	詳細説明 : キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。			

TALA (Transfer data to Accumulator from register LA)

機械語 : D ₉ 1 0 0 1 0 0 1 0 0 1 ₂ 2 4 9 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A ₃ , A ₂) ← (AD ₁ , AD ₀) (A ₁ , A ₀) ← 0	分類 : A/D変換命令			
	詳細説明 : レジスタADの下位2ビット(AD ₁ , AD ₀)の内容を、レジスタAの上位2ビット(A ₃ , A ₂)へ転送します。			
	留意点 : TALA命令実行後、レジスタAの下位2ビット(A ₁ , A ₀)には'0'が格納されます。			

TAM j (Transfer data to Accumulator from Memory)

機械語 : D ₉ 1 0 1 1 0 0 j j j j ₂ 2 C j ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15	分類 : RAM・レジスタ間転送命令			
	詳細説明 : M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TAMR (Transfer data to Accumulator from register MR)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 0	2 5 2	1	1	-	-
機能 : (A) ← (MR)		分類 : クロック制御命令 詳細説明 : クロック制御レジスタMRの内容を、レジスタAへ転送します。			

TAPU0 (Transfer data to Accumulator from register PU0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 1	2 5 7	1	1	-	-
機能 : (A) ← (PU0)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAPU1 (Transfer data to Accumulator from register PU1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 1 1 0	2 5 E	1	1	-	-
機能 : (A) ← (PU1)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAQ1 (Transfer data to Accumulator from register Q1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 1 0 0	2 4 4	1	1	-	-
機能 : (A) ← (Q1)		分類 : A/D変換命令 詳細説明 : A/D制御レジスタQ1の内容を、レジスタAへ転送します。			

TAQ2 (Transfer data to Accumulator from register Q2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 1 0 1	2 4 5	1	1	-	-
機能 : (A) ← (Q2)		分類 : A/D変換命令 詳細説明 : A/D制御レジスタQ2の内容を、レジスタAへ転送します。			

TAQ3 (Transfer data to Accumulator from register Q3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 1 1 0	2 4 6	1	1	-	-
機能 : (A) ← (Q3)		分類 : A/D変換命令 詳細説明 : A/D制御レジスタQ3の内容を、レジスタAへ転送します。			

TASP (Transfer data to Accumulator from Stack Pointer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 0	0 5 0	1	1	-	-
機能 : (A ₂ ~ A ₀) ← (SP ₂ ~ SP ₀) (A ₃) ← 0		分類 : レジスタ間転送命令 詳細説明 : スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点 : TASP命令実行後、レジスタAの最上位ビット(A ₃)には 0 が格納されます。			

TAV1 (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 0	0 5 4	1	1	-	-
機能 : (A) ← (V1)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1の内容を、レジスタAへ転送します。			

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 1	0 5 5	1	1	-	-
機能 : (A) ← (V2)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタV2の内容を、レジスタAへ転送します。			

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 1	2 4 B	1	1	-	-
機能 : (A) ← (W1)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW1の内容を、レジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 0	2 4 C	1	1	-	-
機能 : (A) ← (W2)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW2の内容を、レジスタAへ転送します。			

TAW3 (Transfer data to Accumulator from register W3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 1	2 4 D	1	1	-	-
機能 : (A) ← (W3)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW3の内容を、レジスタAへ転送します。			

TAW4 (Transfer data to Accumulator from register W4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 1 0	2 2 4 E	1	1	-	-
機能 : (A) ← (W4)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW4の内容を、レジスタAへ転送します。			

TAW5 (Transfer data to Accumulator from register W5)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 1 1	2 2 4 F	1	1	-	-
機能 : (A) ← (W5)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW5の内容を、レジスタAへ転送します。			

TAW6 (Transfer data to Accumulator from register W6)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 0 0	2 2 5 0	1	1	-	-
機能 : (A) ← (W6)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW6の内容を、レジスタAへ転送します。			

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 0	2 0 5 2	1	1	-	-
機能 : (A) ← (X)		分類 : レジスタ間転送命令 詳細説明 : レジスタXの内容を、レジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉ 0 0 0 0 0 1 1 1 1 1 1 D ₀ 2 0 1 F 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (Y)	分類 : レジスタ間転送命令			
	詳細説明 : レジスタYの内容を、レジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語 : D ₉ 0 0 0 1 0 1 0 0 1 1 1 D ₀ 2 0 5 3 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A ₁ , A ₀) ← (Z ₁ , Z ₀) (A ₃ , A ₂) ← 0	分類 : レジスタ間転送命令			
	詳細説明 : レジスタZの内容を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。 留意点 : TAZ命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には '0' が格納されます。			

TBA (Transfer data to register B from Accumulator)

機械語 : D ₉ 0 0 0 0 0 0 1 1 1 0 D ₀ 2 0 0 E 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (B) ← (A)	分類 : レジスタ間転送命令			
	詳細説明 : レジスタAの内容を、レジスタBへ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語 : D ₉ 0 0 0 0 1 0 1 0 0 1 D ₀ 2 0 2 9 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (DR ₂ ~ DR ₀) ← (A ₂ ~ A ₀)	分類 : レジスタ間転送命令			
	詳細説明 : レジスタAの下位3ビット(A ₂ ~ A ₀)の内容を、レジスタDへ転送します。			

TEAB (Transfer data to register E from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 1 0	2 0 1 A	1	1	-	-
機能 : (E ₇ ~ E ₄) ← (B) (E ₃ ~ E ₀) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~ E ₄)へ、レジスタAの内容をレジスタEの下位4ビット(E ₃ ~ E ₀)へ転送します。			

TFR0A (Transfer data to register FR0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 0	2 2 2 8	1	1	-	-
機能 : (FR0) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。			

TFR1A (Transfer data to register FR1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 1	2 2 2 9	1	1	-	-
機能 : (FR1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。			

TFR2A (Transfer data to register FR2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 0	2 2 2 A	1	1	-	-
機能 : (FR2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。			

T11A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 1	2 1 7	1	1	-	-
機能 : (I1) ← (A)		分類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を、割り込み制御レジスタI1へ転送します。			

T12A (Transfer data to register I2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 0 0 0	2 1 8	1	1	-	-
機能 : (I2) ← (A)		分類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を、割り込み制御レジスタI2へ転送します。			

TJ1A (Transfer data to register J1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 0 1 0	2 0 2	1	1	-	-
機能 : (J1) ← (A)		分類 : シリアルI/O命令			
		詳細説明 : レジスタAの内容を、シリアルI/O制御レジスタJ1へ転送します。			

TK0A (Transfer data to register K0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 0 1 1	2 1 B	1	1	-	-
機能 : (K0) ← (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 0 1 0 1 0 0	2 1 4	1	1	-	-
機能 : (K1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。			

TK2A (Transfer data to register K2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 0 1 0 1 0 1	2 1 5	1	1	-	-
機能 : (K2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 1 0 1 1 j j j j	2 B j	1	1	-	-
機能 : (M(DP)) ← (A) (X) ← (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件
1 0 0 0 0 1 0 1 1 0	2 1 6	1	1	-	-
機能 : (MR) ← (A)		分類 : クロック制御命令 詳細説明 : レジスタAの内容を、クロック制御レジスタMRへ転送します。			

TPAA (Transfer data to register PA from Accumulator)

機械語 : D ₉ D₀ 1 0 1 0 1 0 1 0 1 0 2 2 A A 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-

機能 : (PA0) ← (A0)

分類 : タイマ操作命令
 詳細説明 : レジスタAの最下位ビット(A0)内容を、タイマ制御レジスタPAへ転送します。

TPSAB (Transfer data to Pre-Scaler from Accumulator and register B)

機械語 : D ₉ D₀ 1 0 0 0 1 1 0 1 0 1 2 2 3 5 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-

機能 : (RPS7 ~ RPS4) ← (B)
 (TPS7 ~ TPS4) ← (B)
 (RPS3 ~ RPS0) ← (A)
 (TPS3 ~ TPS0) ← (A)

分類 : タイマ操作命令
 詳細説明 : レジスタBの内容をプリスケラとリロードレジスタRPSの上位4ビットへ、レジスタAの内容をプリスケラとリロードレジスタRPSの下位4ビットへ転送します。

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉ D₀ 1 0 0 0 1 0 1 1 0 1 2 2 2 D 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-

機能 : (PU0) ← (A)

分類 : 入出力命令
 詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉ D₀ 1 0 0 0 1 0 1 1 1 0 2 2 2 E 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-

機能 : (PU1) ← (A)

分類 : 入出力命令
 詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。

TQ1A (Transfer data to register Q1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 1 0 0	2 0 4	1	1	-	-
機能 : (Q1) ← (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ1へ転送します。			

TQ2A (Transfer data to register Q2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 1 0 1	2 0 5	1	1	-	-
機能 : (Q2) ← (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ2へ転送します。			

TQ3A (Transfer data to register Q3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 1 1 0	2 0 6	1	1	-	-
機能 : (Q3) ← (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ3へ転送します。			

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 1 1 1	2 3 F	1	1	-	-
機能 : (R17 ~ R14) ← (B) (R13 ~ R10) ← (A)		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をリロードレジスタR1の上位4ビット(R17 ~ R14)へ、レジスタAの内容をリロードレジスタR1の下位4ビット(R13 ~ R10)へ転送します。			

TR3AB (Transfer data to register R3 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 1 1	2 3 B	1	1	-	-
機能 : (R37 ~ R34) ← (B) (R33 ~ R30) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をリロードレジスタR3の上位4ビット(R37 ~ R34)へ、レジスタAの内容をリロードレジスタR3の下位4ビット(R33 ~ R30)へ転送します。			

TRGA (Transfer data to register RG from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 0 0 1	2 0 9	1	1	-	-
機能 : (RG0) ← (A0)		分類 : クロック制御命令 詳細説明 : レジスタAの内容を、クロック制御レジスタRGへ転送します。			

TSIAB (Transfer data to register SI from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 0 0	2 3 8	1	1	-	-
機能 : (SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をレジスタSIの上位4ビット(SI7 ~ SI4)へ、レジスタAの内容をレジスタSIの下位4ビット(SI3 ~ SI0)へ転送します。			

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 1	2 0 3 F	1	1	-	-
機能 : (V1) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV1へ転送します。			

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 0	0 3 E	1	1	-	-
機能 : (V2) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV2へ転送します。			

TW1A (Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 0	2 0 E	1	1	-	-
機能 : (W1) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW1へ転送します。			

TW2A (Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 1	2 0 F	1	1	-	-
機能 : (W2) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW2へ転送します。			

TW3A (Transfer data to register W3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 0 0	2 1 0	1	1	-	-
機能 : (W3) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW3へ転送します。			

TW4A (Transfer data to register W4 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 0 1	2 1 1	1	1	-	-
機能 : (W4) ← (A)		分類 : タイマ制御命令			
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW4へ転送します。			

TW5A (Transfer data to register W5 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 1 0	2 1 2	1	1	-	-
機能 : (W5) ← (A)		分類 : タイマ操作命令			
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW5へ転送します。			

TW6A (Transfer data to register W6 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 1 1	2 1 3	1	1	-	-
機能 : (W6) ← (A)		分類 : タイマ制御命令			
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW6へ転送します。			

TYA (Transfer data to register Y from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 0 0	0 0 C	1	1	-	-
機能 : (Y) ← (A)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタAの内容を、レジスタYへ転送します。			

WRST(Watchdog timer ReSeT)

機械語 : D ₉ 1 0 1 0 1 0 0 0 0 0 2 D₀ 2 A 0 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	(WDF1) = 1
機能 : (WDF1) = 1 ? スキップ後、(WDF1) ← 0	分類 : その他 詳細説明 : ウォッチドッグタイマフラグ(WDF1)が“1”であれば、次の命令をスキップし、その後フラグWDF1をクリア(0)します。“0”ならば、そのまま次の命令を実行します。 また、DWD命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。			

XAM j (eXchange Accumulator and Memory data)

機械語 : D ₉ 1 0 1 1 0 1 j j j j 2 D₀ 2 D j 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語 : D ₉ 1 0 1 1 1 1 j j j j 2 D₀ 2 F j 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	(Y) = 15
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) - 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を-1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。			

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

機械語 : D ₉ 1 0 1 1 1 0 j j j j 2 D₀ 2 E j 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	(Y) = 0
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) + 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を+1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。			

[機能分類別]機械語命令一覧表

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) ← (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) ← (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) ← (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) ← (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7 ~ E4) ← (B) (E3 ~ E0) ← (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) ← (E7 ~ E4) (A) ← (E3 ~ E0)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2 ~ DR0) ← (A2 ~ A0)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2 ~ A0) ← (DR2 ~ DR0) (A3) ← 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) ← (Z1, Z0) (A3, A2) ← 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) ← (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2 ~ A0) ← (SP2 ~ SP0) (A3) ← 0
RAMアドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) ← x, x = 0 ~ 15 (Y) ← y, y = 0 ~ 15
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) ← z, z = 0 ~ 3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) ← (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) ← (Y) - 1
RAM・レジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) ← (M(DP)) (X) ← (X) EXOR (j) j = 0 ~ 15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) ←→ (M(DP)) (X) ← (X) EXOR (j) j = 0 ~ 15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) ←→ (M(DP)) (X) ← (X) EXOR (j) j = 0 ~ 15 (Y) ← (Y) - 1
	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) ←→ (M(DP)) (X) ← (X) EXOR (j) j = 0 ~ 15 (Y) ← (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) ← (A) (X) ← (X) EXOR (j) j = 0 ~ 15

スキップ条件	フラグ CY	詳細説明
-	-	レジスタBの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタBへ転送します。
-	-	レジスタYの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタYへ転送します。
-	-	レジスタA及びレジスタBの内容を、レジスタEへ転送します。
-	-	レジスタEの内容を、レジスタA及びレジスタBへ転送します。
-	-	レジスタAの内容を、レジスタDへ転送します。
-	-	レジスタDの内容を、レジスタAへ転送します。
-	-	レジスタZの内容を、レジスタAへ転送します。
-	-	レジスタXの内容を、レジスタAへ転送します。
-	-	スタックポインタ(S P)の内容を、レジスタAへ転送します。
連続記述	-	イミディエイトフィールドの値xをレジスタXへロードし、イミディエイトフィールドの値yをレジスタYへロードします。 LXY命令を連続記述し、連続実行の場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を + 1 します。その結果、レジスタYの内容が* 0 "であれば、次の命令をスキップします。
(Y) = 15	-	レジスタYの内容を - 1 します。その結果、レジスタYの内容が* 15 "であれば、次の命令をスキップします。
-	-	M(DP)の内容をレジスタAに転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1 し、その結果が* 15 "のとき、次の命令をスキップします。
(Y) = 0	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1 し、その結果が* 0 "のとき、次の命令をスキップします。
-	-	レジスタAの内容をM(DP)に転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) ← n n=0~15
	TABP p	0	0	1	0	p5	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0 A3 ~ A0) (DR2) ← 0 (DR1, DR0) ← (ROM(PC))9, 8 (B) ← (ROM(PC))7~4 (A) ← (ROM(PC))3~0 (SK(SP)) ← (PC) (SP) ← (SP) - 1
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) ← (A) + (M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ
	A n	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) ← (A) + n n=0~15
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) ← (A) AND (M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) ← (A) OR (M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) ← 1
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) ← 0
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0?
	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) ← $\overline{A}$
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	$\boxed{CY} \rightarrow \boxed{A3A2A1A0}$
ビット操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) ← 1 j=0~3
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) ← 0 j=0~3
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP)) = 0? j=0~3
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP))?
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n? n=0~15
		0	0	0	1	1	1	n	n	n	n	0 7 n			

注 M34518M2の場合 p=0~15、M34518M4の場合 p=0~31、M34518M6の場合 p=0~47、M34518M8/E8の場合 p=0~63です。

スキップ条件	フ ラ グ CY	詳細説明
連続記述	-	イミディエイトフィールドの値nをレジスタAへロードします。 LA命令を連続記述し、連続実行の場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。
-	-	pページのレジスタDとレジスタAで指定された(DR2 DR1 DR0 A3 A2 A1 A0)2番地のROMパターンのうち、ビット9, 8をレジスタDに、ビット7~4をレジスタBに、ビット3~0をレジスタAへ転送します。 この命令を実行するときは、スタックを1段使用します。
-	-	レジスタAにM(DP)の内容を加え、結果をレジスタAに格納します。キャリフラグCYの内容は変化しません。
-	0/1	レジスタAにM(DP)の内容とキャリフラグCYの内容を加え、結果をレジスタAとキャリフラグCYに格納します。
オーバーフロー=0	-	レジスタAにイミディエイトフィールドの値nを加えます。キャリフラグCYの内容は変化しません。 演算の結果、オーバーフローしなければ次の命令をスキップします。
-	-	レジスタAとM(DP)の内容の論理積をとり、結果をレジスタAに格納します。
-	-	レジスタAとM(DP)の内容の論理和をとり、結果をレジスタAに格納します。
-	1	キャリフラグCYをセット(1)します。
-	0	キャリフラグCYをクリア(0)します。
(CY)=0	-	キャリフラグCYの内容が0のとき、次の命令をスキップします。
-	-	レジスタAの内容の1の歩数をレジスタAに格納します。
-	0/1	キャリフラグを含め、レジスタAを右へ1ビットローテーションします。
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をセット(1)します。
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をクリア(0)します。
(Mj(DP))=0 ただし、j=0~3	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が0のとき、次の命令をスキップします。
(A) = (M(DP))	-	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。
(A) = n	-	レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
ブランチ命令	B a	0	1	1	a6	a5	a4	a3	a2	a1	a0	1 8 a +a	1	1	(PCL) ← a6 ~ a0
	BL p a	0	0	1	1	1	p4	p3	p2	p1	p0	0 E p +p	2	2	(PCH) ← p (PCL) ← a6 ~ a0
		1	0	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PCH) ← p (PCL) ← (DR2 ~ DR0 A3 ~ A0)
		1	0	p5	p4	0	0	p3	p2	p1	p0	2 p p			
サブルーチン呼び出し命令	BM a	0	1	0	a6	a5	a4	a3	a2	a1	a0	1 a a	1	1	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a6 ~ a0
	BML p a	0	0	1	1	0	p4	p3	p2	p1	p0	0 C p +p	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a6 ~ a0
		1	0	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0 A3 ~ A0)
		1	0	p5	p4	0	0	p3	p2	p1	p0	2 p p			
リターン操作命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) ← 0
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) ← 1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10=0:(EXF0)=1? スキップ後 (EXF0) ← 0 V10=1:NOP
	SNZ1	0	0	0	0	1	1	1	0	0	1	0 3 9	1	1	V11=0:(EXF1)=1? スキップ後 (EXF1) ← 0 V11=1:NOP

注 M34518M2の場合 p = 0 ~ 15、M34518M4の場合 p = 0 ~ 31、M34518M6の場合 p = 0 ~ 47、M34518M8/E8の場合 p = 0 ~ 63です。

スキップ条件	フラグ CY	詳細説明
-	-	ページ内ブランチ:同一ページのa番地へブランチします。
-	-	ページ外ブランチ:pページのa番地へブランチします。
-	-	ページ外ブランチ:pページのレジスタD ,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地へブランチします。
-	-	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し:pページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し:pページのレジスタD ,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地のサブルーチンを読み出します。
-	-	割り込み処理ルーチンからメインルーチンに戻ります。 データポインタ(X,Y,Z)、キャリフラグ、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。
-	-	サブルーチンから、このサブルーチンを読み出したルーチンに戻ります。
無条件スキップ	-	サブルーチンから、このサブルーチンを読み出したルーチンに戻り、次の命令を無条件にスキップします。
-	-	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
-	-	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
V10 = 0:(EXF0) = 1	-	割り込み制御レジスタV1のビット0(V10)の内容が 0 "で、外部0割り込み要求フラグEXF0が 1 "のとき、次の命令をスキップします。スキップ後、外部0割り込み要求フラグEXF0をクリア(0)します。
V11 = 0:(EXF1) = 1	-	割り込み制御レジスタV1のビット1(V11)の内容が 0 "で、外部1割り込み要求フラグEXF1が 1 "のとき、次の命令をスキップします。スキップ後、外部1割り込み要求フラグEXF1をクリア(0)します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
割り込み制御命令	SZNI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 1:(INT0) = " H ? I12 = 0:(INT0) = " L ?
	SNZI1	0	0	0	0	1	1	1	0	1	1	0 3 B	1	1	I22 = 1:(INT1) = " H ? I22 = 0:(INT1) = " L ?
	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) ← (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) ← (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) ← (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) ← (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) ← (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) ← (A)
	TAI2	1	0	0	1	0	1	0	1	0	0	2 5 4	1	1	(A) ← (I2)
	TI2A	1	0	0	0	0	1	1	0	0	0	2 1 8	1	1	(I2) ← (A)
タイム操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2 A A	1	1	(PA0) ← (A0)
	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) ← (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) ← (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) ← (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) ← (A)
	TAW3	1	0	0	1	0	0	1	1	0	1	2 4 D	1	1	(A) ← (W3)
	TW3A	1	0	0	0	0	1	0	0	0	0	2 1 0	1	1	(W3) ← (A)
	TAW4	1	0	0	1	0	0	1	1	1	0	2 4 E	1	1	(A) ← (W4)
	TW4A	1	0	0	0	0	1	0	0	0	1	2 1 1	1	1	(W4) ← (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2 4 F	1	1	(A) ← (W5)
	TW5A	1	0	0	0	0	1	0	0	1	0	2 1 2	1	1	(W5) ← (A)
	TAW6	1	0	0	1	0	1	0	0	0	0	2 5 0	1	1	(A) ← (W6)
	TW6A	1	0	0	0	0	1	0	0	1	1	2 1 3	1	1	(W6) ← (A)

スキップ条件	フ ラ グ CY	詳細説明
I12 = 1: (INT0) = " H "	-	割り込み制御レジスタI1のビット2(I12)の内容が ^a 1 "で、INT0端子のレベルが ^a H "のとき、次の命令をスキップします。
I12 = 0: (INT0) = " L "	-	割り込み制御レジスタI1のビット2(I12)の内容が ^a 0 "で、INT0端子のレベルが ^a L "のとき、次の命令をスキップします。
I22 = 1: (INT1) = " H "	-	割り込み制御レジスタI2のビット2(I22)の内容が ^a 1 "で、INT1端子のレベルが ^a H "のとき、次の命令をスキップします。
I22 = 0: (INT1) = " L "	-	割り込み制御レジスタI2のビット2(I22)の内容が ^a 1 "で、INT1端子のレベルが ^a L "のとき、次の命令をスキップします。
-	-	割り込み制御レジスタV1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタV1へ転送します。
-	-	割り込み制御レジスタV2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタV2へ転送します。
-	-	割り込み制御レジスタI1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタI1へ転送します。
-	-	割り込み制御レジスタI2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタI2へ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタPAへ転送します。
-	-	タイマ制御レジスタW1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW1へ転送します。
-	-	タイマ制御レジスタW2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW2へ転送します。
-	-	タイマ制御レジスタW3の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW3へ転送します。
-	-	タイマ制御レジスタW4の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW4へ転送します。
-	-	タイマ制御レジスタW5の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW5へ転送します。
-	-	タイマ制御レジスタW6の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW6へ転送します。

分類	命令記号	命令コード											16進表記	語 数	サイ クル 数	機能	
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0						
タイム 操作命令	TABPS	1	0	0	1	1	1	0	1	0	1	2	7	5	1	1	(B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)
	TPSAB	1	0	0	0	1	1	0	1	0	1	2	3	5	1	1	(RPS7 ~ RPS4) ← (B) (TPS7 ~ TPS4) ← (B) (RPS3 ~ RPS0) ← (A) (TPS3 ~ TPS0) ← (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2	7	0	1	1	(B) ← (T17 ~ T14) (A) ← (T13 ~ T10)
	T1AB	1	0	0	0	1	1	0	0	0	0	2	3	0	1	1	(R17 ~ R14) ← (B) (T17 ~ T14) ← (B) (R13 ~ R10) ← (A) (T13 ~ T10) ← (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2	7	1	1	1	(B) ← (T27 ~ T24) (A) ← (T23 ~ T20)
	T2AB	1	0	0	0	1	1	0	0	0	1	2	3	1	1	1	(R27 ~ R24) ← (B) (T27 ~ T24) ← (B) (R23 ~ R20) ← (A) (T23 ~ T20) ← (A)
	TAB3	1	0	0	1	1	1	0	0	1	0	2	7	2	1	1	(B) ← (T37 ~ T34) (A) ← (T33 ~ T30)
	T3AB	1	0	0	0	1	1	0	0	1	0	2	3	2	1	1	(R37 ~ R34) ← (B) (T37 ~ T34) ← (B) (R33 ~ R30) ← (A) (T33 ~ T30) ← (A)
	TAB4	1	0	0	1	1	1	0	0	1	1	2	7	3	1	1	(B) ← (T47 ~ T44) (A) ← (T43 ~ T40)
	T4AB	1	0	0	0	1	1	0	0	1	1	2	3	3	1	1	(R4L7 ~ R4L4) ← (B) (T47 ~ T44) ← (B) (R4L3 ~ R4L0) ← (A) (T43 ~ T40) ← (A)
	T4HAB	1	0	0	0	1	1	0	1	1	1	2	3	7	1	1	(R4H7 ~ R4H4) ← (B) (R4H3 ~ R4H0) ← (A)
	TR1AB	1	0	0	0	1	1	1	1	1	1	2	3	F	1	1	(R17 ~ R14) ← (B) (R13 ~ R10) ← (A)
	TR3AB	1	0	0	0	1	1	1	0	1	1	2	3	B	1	1	(R37 ~ R34) ← (B) (R33 ~ R30) ← (A)
	T4R4L	1	0	1	0	0	1	0	1	1	1	2	9	7	1	1	(T47 ~ T40) ← (R4L7 ~ R4L0)

スキップ条件	フ ラ グ CY	詳細説明
-	-	プリスケアラの上位4ビットの内容を、レジスタBへ転送し、 プリスケアラの下位4ビットの内容を、レジスタAへ転送します。 レジスタBの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの上位4ビットへ転送し、 レジスタAの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの下位4ビットへ転送します。 タイマ1の上位4ビットの内容を、レジスタBへ転送し、 タイマ1の下位4ビットの内容を、レジスタAへ転送します。 レジスタBの内容を、タイマ1及びタイマ1のリロードレジスタR1の上位4ビットへ転送し、 レジスタAの内容を、タイマ1及びタイマ1のリロードレジスタR1の下位4ビットへ転送します。 タイマ2の上位4ビットの内容を、レジスタBへ転送し、 タイマ2の下位4ビットの内容を、レジスタAへ転送します。 レジスタBの内容を、タイマ2及びタイマ2のリロードレジスタR2の上位4ビットへ転送し、 レジスタAの内容を、タイマ2及びタイマ2のリロードレジスタR2の下位4ビットへ転送します。 タイマ3の上位4ビットの内容を、レジスタBへ転送し、 タイマ3の下位4ビットの内容を、レジスタAへ転送します。 レジスタBの内容を、タイマ3及びタイマ3のリロードレジスタR3の上位4ビットへ転送し、 レジスタAの内容を、タイマ3及びタイマ3のリロードレジスタR3の下位4ビットへ転送します。 タイマ4の上位4ビットの内容を、レジスタBへ転送し、 タイマ4の下位4ビットの内容を、レジスタAへ転送します。 レジスタBの内容を、タイマ4及びタイマ4のリロードレジスタR4Lの上位4ビットへ転送し、 レジスタAの内容を、タイマ4及びタイマ4のリロードレジスタR4Lの下位4ビットへ転送します。 レジスタBの内容を、タイマ4のリロードレジスタR4Hの上位4ビットへ転送し、 レジスタAの内容を、タイマ4のリロードレジスタR4Hの下位4ビットへ転送します。 レジスタBの内容を、タイマ1のリロードレジスタR1の上位4ビットへ転送し、 レジスタAの内容を、タイマ1のリロードレジスタR1の下位4ビットへ転送します。 レジスタBの内容を、タイマ3のリロードレジスタR3の上位4ビットへ転送し、 レジスタAの内容を、タイマ3のリロードレジスタR3の下位4ビットへ転送します。 タイマ4のリロードレジスタR4Lの内容を、タイマ4へ転送します。

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
タイム操作命令	SZNT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V12=0:(T1F)=1? スキップ後 (T1F) ← 0 V12=1:NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V13=0:(T2F)=1? スキップ後 (T2F) ← 0 V13=1:NOP
	SNZT3	1	0	1	0	0	0	0	0	1	0	2 8 2	1	1	V20=0:(T3F)=1? スキップ後 (T3F) ← 0 V20=1:NOP
	SNZT4	1	0	1	0	0	0	0	0	1	1	2 8 3	1	1	V21=0:(T4F)=1? スキップ後 (T4F) ← 0 V21=1:NOP
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) ← (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) ← (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) ← (P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) ← (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A2 ~ A0) ← (P22 ~ P20) (A3) ← 0
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P22 ~ P20) ← (A2 ~ A0)
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A) ← (P3)
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P31, P30) ← (A1, A0)
	IAP6	1	0	0	1	1	0	0	1	1	0	2 6 6	1	1	(A) ← (P6)
	OP6A	1	0	0	0	1	0	0	1	1	0	2 2 6	1	1	(P6) ← (A)
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) ← 1
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) ← 0, (Y)=0~7
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) ← 1, (Y)=0~7
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y))=0? (Y)=0~7
		0	0	0	0	1	0	1	0	1	1	0 2 B			
	TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) ← (PU0)
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) ← (A)
	TAPU1	1	0	0	1	0	1	1	1	1	0	2 5 E	1	1	(A) ← (PU1)
	TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) ← (A)

スキップ条件	フ ラ グ CY	詳細説明
V12 = 0: (T1F) = 1	-	割り込み制御レジスタV1のビット2(V12)の内容が ^a 0 で、タイマ1割り込み要求フラグT1Fが ^a 1 のとき、次の命令をスキップします。スキップ後、タイマ1割り込み要求フラグT1Fをクリア(0)します。
V13 = 0: (T2F) = 1	-	割り込み制御レジスタV1のビット3(V13)の内容が ^a 0 で、タイマ2割り込み要求フラグT2Fが ^a 1 のとき、次の命令をスキップします。スキップ後、タイマ2割り込み要求フラグT2Fをクリア(0)します。
V20 = 0: (T3F) = 1	-	割り込み制御レジスタV2のビット0(V20)の内容が ^a 0 で、タイマ3割り込み要求フラグT3Fが ^a 1 のとき、次の命令をスキップします。スキップ後、タイマ3割り込み要求フラグT3Fをクリア(0)します。
V21 = 0: (T4F) = 1	-	割り込み制御レジスタV2のビット1(V21)の内容が ^a 0 で、タイマ4割り込み要求フラグT4Fが ^a 1 のとき、次の命令をスキップします。スキップ後、タイマ4割り込み要求フラグT4Fをクリア(0)します。
- - - - - - - - - - - - - - - (D(Y)) = 0 ただし、(Y) = 0 ~ 7 - - - -	- - - - - - - - - - - - - - - - - - -	ポートP0の入力を、レジスタAへ転送します。 レジスタAの内容を、ポートP0へ出力します。 ポートP1の入力を、レジスタAへ転送します。 レジスタAの内容を、ポートP1へ出力します。 ポートP2の入力を、レジスタAへ転送します。 レジスタAの内容を、ポートP2へ出力します。 ポートP3の入力を、レジスタAへ転送します。レジスタAの上位2ビット(A3, A2)の内容は不定になります。 レジスタAの内容を、ポートP3へ出力します。 ポートP6の入力を、レジスタAへ転送します。 レジスタAの内容を、ポートP6へ出力します。 ポートDをすべてセット(1)します。 ポートDのレジスタYの内容で指定されたポートをクリア(0)します。 ポートDのレジスタYの内容で指定されたポートをセット(1)します。 ポートDのレジスタYの内容で指定されたポートの内容が^a 0 のとき、次の命令をスキップします。 ブルアップ制御レジスタPU0の内容を、レジスタAへ転送します。 レジスタAの内容を、ブルアップ制御レジスタPU0へ転送します。 ブルアップ制御レジスタPU1の内容を、レジスタAへ転送します。 レジスタAの内容を、ブルアップ制御レジスタPU1へ転送します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) ← (K0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) ← (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) ← (K1)
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) ← (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) ← (K2)
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) ← (A)
	TFR0A	1	0	0	0	1	0	1	0	0	0	2 2 8	1	1	(FR0) ← (A)
	TFR1A	1	0	0	0	1	0	1	0	0	1	2 2 9	1	1	(FR1) ← (A)
	TFR2A	1	0	0	0	1	0	1	0	1	0	2 2 A	1	1	(FR2) ← (A)
シリアルI/O命令	TABSI	1	0	0	1	1	1	1	0	0	0	2 7 8	1	1	(B) ← (SI7 ~ SI4) (A) ← (SI3 ~ SI0)
	TSIAB	1	0	0	0	1	1	1	0	0	0	2 3 8	1	1	(SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)
	SST	1	0	1	0	0	1	1	1	1	0	2 9 E	1	1	(SIOF) ← 0 シリアルI/Oスタート
	SNZSI	1	0	1	0	0	0	1	0	0	0	2 8 8	1	1	V23 = 0: (SIOF) = 1? スキップ後 (SIOF) ← 0 V23 = 1: NOP
	TAJ1	1	0	0	1	0	0	0	0	1	0	2 4 2	1	1	(A) ← (J1)
	TJ1A	1	0	0	0	0	0	0	0	1	0	2 0 2	1	1	(J1) ← (A)
クロック制御命令	CMCK	1	0	1	0	0	1	1	0	1	0	2 9 A	1	1	セラミック共振回路選択
	CRCK	1	0	1	0	0	1	1	0	1	1	2 9 B	1	1	RC発振回路選択
	CYCK	1	0	1	0	0	1	1	1	0	1	2 9 D	1	1	水晶発振回路選択
	TRGA	1	0	0	0	0	0	1	0	0	1	2 0 9	1	1	(RG0) ← (A0)
	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) ← (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) ← (A)

スキップ条件	フ ラ グ C Y	詳細説明
-	-	キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。
-	-	キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。
-	-	キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。
-	-	レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。
-	-	レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。
-	-	レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。
-	-	レジスタSIの上位4ビットの内容を、レジスタBへ転送し、 レジスタSIの下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、レジスタSIの上位4ビットへ転送し、 レジスタAの内容を、レジスタSIの下位4ビットへ転送します。
V23 = 0: (SIOF) = 1	-	シリアルI/O送受信終了フラグSIOFをクリア(0)し、シリアルI/O送受信をスタートします。
-	-	割り込み制御レジスタV2のビット3(V23)の内容が* 0 "で、シリアルI/O送受信終了フラグSIOFが* 1 "のとき、次の命令をスキップします。スキップ後、シリアルI/O送受信終了フラグSIOFをクリア(0)します。
-	-	シリアルI/O制御レジスタJ1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、シリアルI/O制御レジスタJ1へ転送します。
-	-	メインクロックf(XIN)にセラミック共振回路を選択します。
-	-	メインクロックf(XIN)にRC発振回路を選択します。
-	-	メインクロックf(XIN)に水晶発振回路を選択します。
-	-	レジスタAの内容を、クロック制御レジスタRGへ転送します。
-	-	クロック制御レジスタMRの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、クロック制御レジスタMRへ転送します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
A/D変換命令	TABAD	1	0	0	1	1	1	1	0	0	1	2 7 9	1	1	Q13 = 0: (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) Q13 = 1: (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)
	TALA	1	0	0	1	0	0	1	0	0	1	2 4 9	1	1	(A3 A2) ← (AD1 AD0) (A1 A0) ← 0
	TADAB	1	0	0	0	1	1	1	0	0	1	2 3 9	1	1	(AD7 ~ AD4) ← (B) (AD3 ~ AD0) ← (A)
	ADST	1	0	1	0	0	1	1	1	1	1	2 9 F	1	1	(ADF) ← 0 A/D変換スタート
	SNZAD	1	0	1	0	0	0	0	1	1	1	2 8 7	1	1	V22 = 0: (ADF) = 1? スキップ後 (ADF) ← 0 V22 = 1: NOP
	TAQ1	1	0	0	1	0	0	0	1	0	0	2 4 4	1	1	(A) ← (Q1)
	TQ1A	1	0	0	0	0	0	0	1	0	0	2 0 4	1	1	(Q1) ← (A)
	TAQ2	1	0	0	1	0	0	0	1	0	1	2 4 5	1	1	(A) ← (Q2)
	TQ2A	1	0	0	0	0	0	0	1	0	1	2 0 5	1	1	(Q2) ← (A)
	TAQ3	1	0	0	1	0	0	0	1	1	0	2 4 6	1	1	(A) ← (Q3)
	TQ3A	1	0	0	0	0	0	0	1	1	0	2 0 6	1	1	(Q3) ← (A)
その他	NOP	0	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) ← (PC) + 1
	POF	0	0	0	0	0	0	0	0	1	0	0 0 2	1	1	RAMバックアップモードへ遷移
	EPOF	0	0	0	1	0	1	1	0	1	1	0 5 B	1	1	POF命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0 0 3	1	1	(P) = 1?
	WRST	1	0	1	0	1	0	0	0	0	0	2 A 0	1	1	(WDF1) = 1? スキップ後 (WDF1) ← 0
	DWDT	1	0	1	0	0	1	1	1	0	0	2 9 C	1	1	ウォッチドッグタイマ機能停止許可
	SRST	0	0	0	0	0	0	0	0	0	1	0 0 1	1	1	システムリセット発生

スキップ条件	フ ラ グ CY	詳細説明
-	-	A/D変換モード(Q13 = 0)時は、レジスタADの上位4ビット(AD9 ~ AD6)の内容を、レジスタBへ転送し、レジスタADの中位4ビット(AD5 ~ AD2)の内容を、レジスタAへ転送します。 コンパレータモード(Q13 = 1)時は、レジスタADの中位4ビット(AD7 ~ AD4)の内容を、レジスタBへ転送し、レジスタADの下位4ビット(AD3 ~ AD0)の内容を、レジスタAへ転送します。
-	-	レジスタADの下位2ビット(AD1 ~ AD0)の内容を、レジスタAの上位2ビット(A3 ~ A2)へ転送します。
-	-	コンパレータモード(Q13 = 1)時に、レジスタBの内容を、レジスタADの上位4ビット(AD7 ~ AD4)へ転送し、レジスタAの内容を、レジスタADの下位4ビット(AD3 ~ AD0)へ転送します。
V22 = 0: (ADF) = 1	-	A/D変換終了フラグADFをクリア(0)し、A/D変換モード(Q13 = 0)時はA/D変換、 コンパレータモード(Q13 = 1)時はコンパレータ動作をスタートします。
-	-	割り込み制御レジスタV2のビット2(V22)の内容が [※] 0 のとき、A/D変換終了フラグADFが [※] 1 のとき、次の命令をスキップします。スキップ後、A/D変換終了フラグADFをクリア(0)します。
-	-	A/D制御レジスタQ1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ1へ転送します。
-	-	A/D制御レジスタQ2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ3へ転送します。
-	-	A/D制御レジスタQ2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ3へ転送します。
-	-	ノーオペレーション: プログラムカウンタの値が+1される以外は変化しません。
-	-	EPOF命令との連続実行により、RAMバックアップモードになります。
-	-	POF命令が有効になります。
(P) = 1	-	パワーダウンフラグPが [※] 1 のとき、次の命令をスキップします。 スキップ後もパワーダウンフラグPの内容は変化しません。
(WDF1) = 1	-	ウォッチドッグタイマフラグWDF1が [※] 1 のとき、次の命令をスキップします。 スキップ後、ウォッチドッグタイマフラグWDF1をクリア(0)します。 また、DWDTC命令との連続実行により、ウォッチドッグタイマ機能を停止します。
-	-	WRST命令によるウォッチドッグタイマ機能停止が有効になります。
-	-	システムリセットが発生します。

命令コード対応表

D3~D0	16進表記	D9~D4																010000	011000
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10~17	18~1F
0000	0	NOP	BLA	SZB 0	BMLA	-	TASP	A 0	LA 0	TABP 0	TABP 16***	TABP 32**	TABP 48*	BML***	BML	BL***	BL	BM	B
0001	1	SRST	CLD	SZB 1	-	-	TAD	A 1	LA 1	TABP 1	TABP 17***	TABP 33**	TABP 49*	BML***	BML	BL***	BL	BM	B
0010	2	POF	-	SZB 2	-	-	TAX	A 2	LA 2	TABP 2	TABP 18***	TABP 34**	TABP 50*	BML***	BML	BL***	BL	BM	B
0011	3	SNZP	INY	SZB 3	-	-	TAZ	A 3	LA 3	TABP 3	TABP 19***	TABP 35**	TABP 51*	BML***	BML	BL***	BL	BM	B
0100	4	DI	RD	SZD	-	RT	TAV1	A 4	LA 4	TABP 4	TABP 20***	TABP 36**	TABP 52*	BML***	BML	BL***	BL	BM	B
0101	5	EI	SD	SEAn	-	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21***	TABP 37**	TABP 53*	BML***	BML	BL***	BL	BM	B
0110	6	RC	-	SEAM	-	RTI	-	A 6	LA 6	TABP 6	TABP 22***	TABP 38**	TABP 54*	BML***	BML	BL***	BL	BM	B
0111	7	SC	DEY	-	-	-	-	A 7	LA 7	TABP 7	TABP 23***	TABP 39**	TABP 55*	BML***	BML	BL***	BL	BM	B
1000	8	-	AND	-	SNZ0	LZ 0	-	A 8	LA 8	TABP 8	TABP 24***	TABP 40**	TABP 56*	BML***	BML	BL***	BL	BM	B
1001	9	-	OR	TDA	SNZ1	LZ 1	-	A 9	LA 9	TABP 9	TABP 25***	TABP 41**	TABP 57*	BML***	BML	BL***	BL	BM	B
1010	A	AM	TEAB	TABE	SNZI0	LZ 2	-	A 10	LA 10	TABP 10	TABP 26***	TABP 42**	TABP 58*	BML***	BML	BL***	BL	BM	B
1011	B	AMC	-	-	SNZI1	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27***	TABP 43**	TABP 59*	BML***	BML	BL***	BL	BM	B
1100	C	TYA	CMA	-	-	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28***	TABP 44**	TABP 60*	BML***	BML	BL***	BL	BM	B
1101	D	-	RAR	-	-	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29***	TABP 45**	TABP 61*	BML***	BML	BL***	BL	BM	B
1110	E	TBA	TAB	-	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30***	TABP 46**	TABP 62*	BML***	BML	BL***	BL	BM	B
1111	F	-	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31***	TABP 47**	TABP 63*	BML***	BML	BL***	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

- ・ M34518M2では、*、**、***は使用できません。
- ・ M34518M4では、*、**は使用できません。
- ・ M34518M6では、*は使用できません。

命令コード対応表

D3 ~ D0	D9 ~ D4 16進 表記	D9 ~ D4																110000 111111
		100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	30 ~ 3F
0000	0	-	TW3A	OP0A	T1AB	-	TAW6	IAP0	TAB1	SNZT1	-	WRST	TMA 0	TAM 0	XAM 0	XAMI 0	XAMD 0	LXY
0001	1	-	TW4A	OP1A	T2AB	-	-	IAP1	TAB2	SNZT2	-	-	TMA 1	TAM 1	XAM 1	XAMI 1	XAMD 1	LXY
0010	2	TJ1A	TW5A	OP2A	T3AB	TAJ1	TAMR	IAP2	TAB3	SNZT3	-	-	TMA 2	TAM 2	XAM 2	XAMI 2	XAMD 2	LXY
0011	3	-	TW6A	OP3A	T4AB	-	TAI1	IAP3	TAB4	SNZT4	-	-	TMA 3	TAM 3	XAM 3	XAMI 3	XAMD 3	LXY
0100	4	TQ1A	TK1A	-	-	TAQ1	TAI2	-	-	-	-	-	TMA 4	TAM 4	XAM 4	XAMI 4	XAMD 4	LXY
0101	5	TQ2A	TK2A	-	TPSAB	TAQ2	-	-	TABPS	-	-	-	TMA 5	TAM 5	XAM 5	XAMI 5	XAMD 5	LXY
0110	6	TQ3A	TMRA	OP6A	-	TAQ3	TAK0	IAP6	-	-	-	-	TMA 6	TAM 6	XAM 6	XAMI 6	XAMD 6	LXY
0111	7	-	TI1A	-	T4HAB	-	TAPU0	-	-	SNZADT4R4L	-	-	TMA 7	TAM 7	XAM 7	XAMI 7	XAMD 7	LXY
1000	8	-	TI2A	TFR0A	TSIAB	-	-	-	TABSI	SNZSI	-	-	TMA 8	TAM 8	XAM 8	XAMI 8	XAMD 8	LXY
1001	9	TRGA	-	TFR1A	TADAB	TALA	TAK1	-	TABAD	-	-	-	TMA 9	TAM 9	XAM 9	XAMI 9	XAMD 9	LXY
1010	A	-	-	TFR2A	-	-	TAK2	-	-	-	CMCK	TPAA	TMA 10	TAM 10	XAM 10	XAMI 10	XAMD 10	LXY
1011	B	-	TK0A	-	TR3AB	TAW1	-	-	-	-	CRCK	-	TMA 11	TAM 11	XAM 11	XAMI 11	XAMD 11	LXY
1100	C	-	-	-	-	TAW2	-	-	-	-	DWDT	-	TMA 12	TAM 12	XAM 12	XAMI 12	XAMD 12	LXY
1101	D	-	-	TPU0A	-	TAW3	-	-	-	-	CYCK	-	TMA 13	TAM 13	XAM 13	XAMI 13	XAMD 13	LXY
1110	E	TW1A	-	TPU1A	-	TAW4	TAPU1	-	-	-	SST	-	TMA 14	TAM 14	XAM 14	XAMI 14	XAMD 14	LXY
1111	F	TW2A	-	-	TR1AB	TAW5	-	-	-	-	ADST	-	TMA 15	TAM 15	XAM 15	XAMI 15	XAMD 15	LXY

上表は機械語コードと機械語命令の対応表です。D3 ~ D0は機械語コードの下位4ビットを示し、D9 ~ D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

第2語	
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

電気的特性

絶対最大定格

記 号	項 目	条 件		定 格 値	単位
VDD	電源電圧			- 0.3 ~ 6.5	V
VI	入力電圧 P0, P1, P2, P3, P6, D0 ~ D7 RESET, XIN, VDCE			- 0.3 ~ VDD + 0.3	V
VI	入力電圧 SCK, SIN, CNTR0, CNTR1, INT0, INT1			- 0.3 ~ VDD + 0.3	V
VI	入力電圧 AIN0 ~ AIN3			- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 P0, P1, P2, P3, P6, D0 ~ D7 RESET	出力トランジスタ遮断状態		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 SCK, SOUT, CNTR0, CNTR1	出力トランジスタ遮断状態		- 0.3 ~ VDD + 0.3	V
Vo	出力電圧 XOUT			- 0.3 ~ VDD + 0.3	V
Pd	消費電力	Ta = 25	PLQP0032GB-A	300	mW
			PRDP0032BA-A	1100	mW
Topr	動作周囲温度			- 20 ~ 85	
Tstg	保存温度			- 40 ~ 125	

推奨動作条件1(マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)
(ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記 号	項 目	条 件		規 格 値			単位
				最 小	標 準	最 大	
VDD	電源電圧 (セラミック共振/ オンチップオシレータ使用時)	マスクROM版	f(STCK) 6MHz	4.0		5.5	V
			f(STCK) 4.4MHz	2.7		5.5	
			f(STCK) 2.2MHz	2.0		5.5	
			f(STCK) 1.1MHz	1.8		5.5	
		ワンタイムPROM版	f(STCK) 6MHz	4.0		5.5	
			f(STCK) 4.4MHz	2.7		5.5	
			f(STCK) 2.2MHz	2.5		5.5	
VDD	電源電圧 (RC発振使用時)	f(STCK) 4.4MHz		2.7		5.5	V
VDD	電源電圧(水晶発振使用時)	f(XIN) 50kHz	マスクROM版	2.0		5.5	V
			ワンタイムPROM版	2.5		5.5	
VRAM	RAM保持電圧	RAMバックアップモード時	マスクROM版	1.6			V
			ワンタイムPROM版	2.0			
VSS	電源電圧				0		V
VIH	“ H ”入力電圧	P0 , P1 , P2 , P3 , P6 , D0 ~ D7 , VDCE , XIN		0.8VDD		VDD	V
VIH	“ H ”入力電圧	RESET		0.85VDD		VDD	V
VIH	“ H ”入力電圧	SCK , SIN , CNTR0 , CNTR1 , INT0 , INT1		0.85VDD		VDD	V
VIL	“ L ”入力電圧	P0 , P1 , P2 , P3 , P6 , D0 ~ D7 , VDCE , XIN		0		0.2VDD	V
VIL	“ L ”入力電圧	RESET		0		0.3VDD	V
VIL	“ L ”入力電圧	SCK , SIN , CNTR0 , CNTR1 , INT0 , INT1		0		0.15VDD	V
IOH(peak)	“ H ”レベル尖頭出力電流	P0 , P1 , D0 ~ D7 CNTR0 , CNTR1	VDD = 5V			- 20	mA
			VDD = 3V			- 10	
IOH(avg)	“ H ”レベル平均出力電流 (注)	P0 , P1 , D0 ~ D7 CNTR0 , CNTR1	VDD = 5V			- 10	mA
			VDD = 3V			- 5	
IOL(peak)	“ L ”レベル尖頭出力電流	P0 , P1 , P2 , P6 SCK , SOUT	VDD = 5V			24	mA
			VDD = 3V			12	
IOL(peak)	“ L ”レベル尖頭出力電流	P3 , RESET	VDD = 5V			10	mA
			VDD = 3V			4	
IOL(peak)	“ L ”レベル尖頭出力電流	D0 ~ D5	VDD = 5V			24	mA
			VDD = 3V			12	
IOL(peak)	“ L ”レベル尖頭出力電流	D6 , D7 CNTR0 , CNTR1	VDD = 5V			40	mA
			VDD = 3V			30	
IOL(avg)	“ L ”レベル平均出力電流 (注)	P0 , P1 , P2 , P6 SCK , SOUT	VDD = 5V			12	mA
			VDD = 3V			6	
IOL(avg)	“ L ”レベル平均出力電流 (注)	P3 , RESET	VDD = 5V			5	mA
			VDD = 3V			2	
IOL(avg)	“ L ”レベル平均出力電流 (注)	D0 ~ D5	VDD = 5V			15	mA
			VDD = 3V			7	
IOL(avg)	“ L ”レベル平均出力電流 (注)	D6 , D7 CNTR0 , CNTR1	VDD = 5V			30	mA
			VDD = 3V			15	
Σ IOH(avg)	“ H ”レベル総電流	D0 ~ D7 , CNTR0 , CNTR1				- 60	mA
		P0 , P1				- 60	
Σ IOL(avg)	“ L ”レベル総電流	P2 , D0 ~ D7 , RESET , CNTR0 , CNTR1				80	mA
		P0 , P1 , P3 , P6				80	

注：平均出力電流は、100msの期間の平均値です。

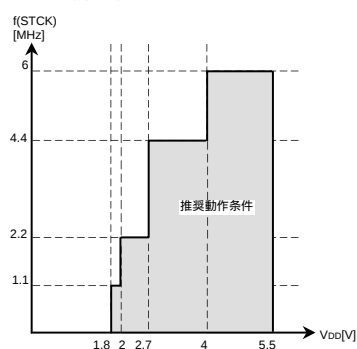
推奨動作条件 Δ マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)
 (ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記 号	項 目	条 件			規 格 値			単位
					最 小	標 準	最 大	
f(XIN)	発振周波数 (セラミック共振使用時)	マスク ROM版	スルーモード	VDD = 4.0 ~ 5.5V		6.0	MHz	
				VDD = 2.7 ~ 5.5V		4.4		
				VDD = 2.0 ~ 5.5V		2.2		
				VDD = 1.8 ~ 5.5V		1.1		
			2分周モード	VDD = 2.7 ~ 5.5V		6.0		
				VDD = 2.0 ~ 5.5V		4.4		
				VDD = 1.8 ~ 5.5V		2.2		
				4.8分周モード	VDD = 2.0 ~ 5.5V			6.0
		VDD = 1.8 ~ 5.5V			4.4			
		ワнтаイム PROM版	スルーモード	VDD = 4.0 ~ 5.5V		6.0		
				VDD = 2.7 ~ 5.5V		4.4		
				VDD = 2.5 ~ 5.5V		2.2		
			2分周モード	VDD = 2.7 ~ 5.5V		6.0		
				VDD = 2.5 ~ 5.5V		4.4		
			4.8分周モード	VDD = 2.5 ~ 5.5V		6.0		
f(XIN)	発振周波数 (RC発振使用時) (注)	VDD = 2.7 ~ 5.5V				4.4	MHz	
f(XIN)	発振周波数 (セラミック共振回路選択 , 外部クロック使用時)	マスク ROM版	スルーモード	VDD = 4.0 ~ 5.5V		4.8	MHz	
				VDD = 2.7 ~ 5.5V		3.2		
				VDD = 2.0 ~ 5.5V		1.6		
				VDD = 1.8 ~ 5.5V		0.8		
			2分周モード	VDD = 2.7 ~ 5.5V		4.8		
				VDD = 2.0 ~ 5.5V		3.2		
				VDD = 1.8 ~ 5.5V		1.6		
				4.8分周モード	VDD = 2.0 ~ 5.5V			4.8
		VDD = 1.8 ~ 5.5V			3.2			
		ワнтаイム PROM版	スルーモード	VDD = 4.0 ~ 5.5V		4.8		
				VDD = 2.7 ~ 5.5V		3.2		
				VDD = 2.5 ~ 5.5V		1.6		
			2分周モード	VDD = 2.7 ~ 5.5V		4.8		
				VDD = 2.5 ~ 5.5V		3.2		
			4.8分周モード	VDD = 2.5 ~ 5.5V		4.8		

注：RC発振使用時の発振周波数は、外付けの抵抗・コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

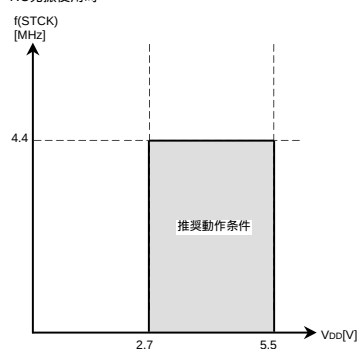
<システムクロック(STCK) 動作条件マップ>

セラミック共振使用時

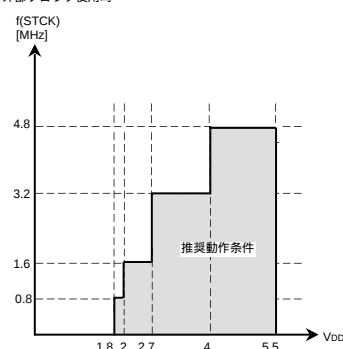


()はワンタイムPROM版

RC発振使用時



外部クロック使用時



推奨動作条件3(マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)
 (ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記 号	項 目	条 件		規 格 値			単位
				最 小	標 準	最 大	
f(XIN)	発振周波数 (水晶発振使用時)	マスクROM版	$V_{DD}=2.0 \sim 5.5V$			50	kHz
		ワンタイムPROM版	$V_{DD}=2.5 \sim 5.5V$			50	kHz
f(CNTR)	タイマ外部入力周波数	CNTR0 , CNTR1				f(STCK)/6	Hz
tw(CNTR)	タイマ外部入力周期 (“ H ” 及び “ L ” パルス幅)	CNTR0 , CNTR1		3/f(STCK)			s
f(SCK)	シリアルI/O外部入力周波数	SCK				f(STCK)/6	Hz
tw(SCK)	シリアルI/O外部入力周期 (“ H ” 及び “ L ” パルス幅)	SCK		3/f(STCK)			s
TPON	パワーオンリセット回路 有効電源立ち上がり時間	マスクROM版	$V_{DD}=0 \rightarrow 1.8V$			100	μs
		ワンタイムPROM版	$V_{DD}=0 \rightarrow 2.5V$			100	

電気的特性①(マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)
(ワントタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記 号	項 目	測 定 条 件		規 格 値			単位
				最 小	標 準	最 大	
VOH	“ H ”出力電圧 P0 ,P1 ,D0 ~ D7 CNTR0 ,CNTR1	VDD = 5V	IOH = - 10mA	3			V
			IOH = - 3mA	4.1			
		VDD = 3V	IOH = - 5mA	2.1			
			IOH = - 1mA	2.4			
VOL	“ L ”出力電圧 P0 ,P1 ,P2 ,P6 Sck ,SOUT	VDD = 5V	IOL = 12mA			2	V
			IOL = 4mA			0.9	
		VDD = 3V	IOL = 6mA			0.9	
			IOL = 2mA			0.6	
VOL	“ L ”出力電圧 P3 ,RESET	VDD = 5V	IOL = 5mA			2	V
			IOL = 1mA			0.9	
		VDD = 3V	IOL = 2mA			0.9	
VOL	“ L ”出力電圧 D0 ~ D5	VDD = 5V	IOL = 15mA			2	V
			IOL = 5mA			0.9	
		VDD = 3V	IOL = 9mA			1.4	
			IOL = 3mA			0.9	
VOL	“ L ”出力電圧 D6 ,D7 , CNTR0 ,CNTR1	VDD = 5V	IOL = 30mA			2	V
			IOL = 10mA			0.9	
		VDD = 3V	IOL = 15mA			2	
			IOL = 5mA			0.9	
IiH	“ H ”入力電流 P0 ,P1 ,P2 ,P3 ,P6 D0 ~ D7 ,VDCE ,RESET Sck ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	Vi = VDD ポートP6選択				2	μA
IiL	“ L ”入力電流 P0 ,P1 ,P2 ,P3 ,P6 D0 ~ D7 ,VDCE Sck ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	Vi = 0V P0 ,P1プルアップ非選択 ポートP6選択				- 2	μA
RPU	プルアップ抵抗 P0 ,P1 ,RESET	Vi = 0V	VDD = 5V	30	60	125	kΩ
			VDD = 3V	50	120	250	
VT+ - VT-	ヒステリシス Sck ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	VDD = 5V			0.2		V
		VDD = 3V			0.2		
VT+ - VT-	ヒステリシス RESET	VDD = 5V			1		V
		VDD = 3V			0.4		
f(RING)	オンチップオシレータクロック周波数	VDD = 5V		200	500	700	kHz
		VDD = 3V		100	250	400	
		マスクROM版	VDD = 1.8V	30	120	200	
Δf(XIN)	周波数誤差 (RC発振使用時、外付けR ,Cの誤差は含まず)	VDD = 5V ± 10% ,Ta = 25 中心				± 17	%
		VDD = 3V ± 10% ,Ta = 25 中心				± 17	

注：RC発振使用時は、外付けのコンデンサ(C)に33pFを使用してください。

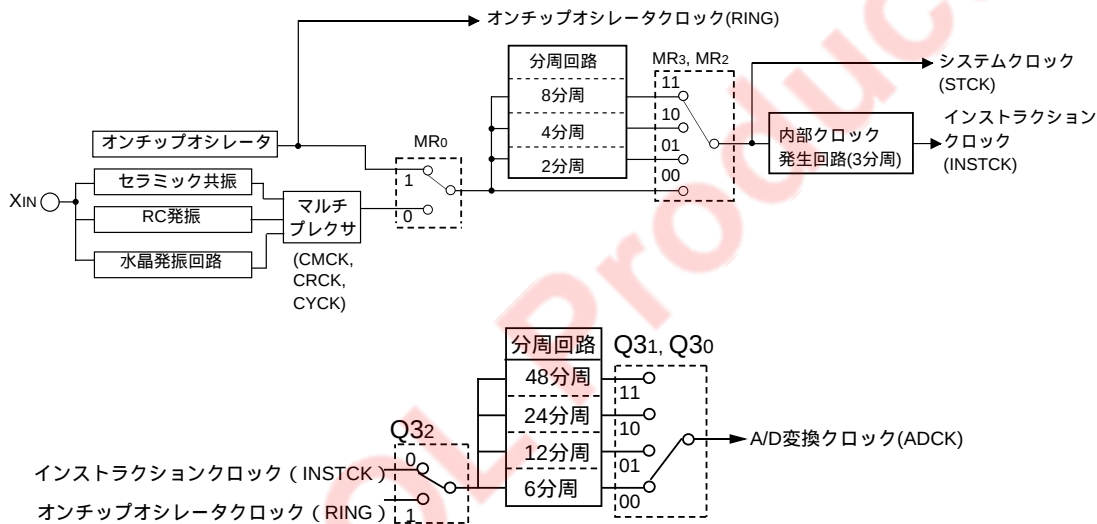
電気的特性 α マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$
 (ワンタイムPROM版: 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記 号	項 目		測 定 条 件		規 格 値			単位
					最 小	標 準	最 大	
IDD	電源電流	CPU動作時 (セラミック共振使用時、 オンチップオシレータ停止)	VDD = 5V f(XIN) = 6MHz	f(STCK) = f(XIN)/8		1.4	2.8	mA
				f(STCK) = f(XIN)/4		1.6	3.2	
				f(STCK) = f(XIN)/2		2.0	4.0	
				f(STCK) = f(XIN)		2.8	5.6	
			VDD = 5V f(XIN) = 4MHz	f(STCK) = f(XIN)/8		1.1	2.2	mA
				f(STCK) = f(XIN)/4		1.2	2.4	
				f(STCK) = f(XIN)/2		1.5	3.0	
				f(STCK) = f(XIN)		2.0	4.0	
			VDD = 3V f(XIN) = 4MHz	f(STCK) = f(XIN)/8		0.4	0.8	mA
				f(STCK) = f(XIN)/4		0.5	1.0	
				f(STCK) = f(XIN)/2		0.6	1.2	
				f(STCK) = f(XIN)		0.8	1.6	
		CPU動作時 (水晶共振使用時、 オンチップオシレータ停止)	VDD = 5V f(XIN) = 32kHz	f(STCK) = f(XIN)/8		55	110	μ A
				f(STCK) = f(XIN)/4		60	120	
				f(STCK) = f(XIN)/2		65	130	
				f(STCK) = f(XIN)		70	140	
			VDD = 3V f(XIN) = 32kHz	f(STCK) = f(XIN)/8		12	24	μ A
				f(STCK) = f(XIN)/4		13	26	
				f(STCK) = f(XIN)/2		14	28	
				f(STCK) = f(XIN)		15	30	
		CPU動作時 (オンチップオシレータ使用、 f(XIN停止)停止)	VDD = 5V	f(STCK) = f(RING)/8		50	100	μ A
				f(STCK) = f(RING)/4		70	140	
				f(STCK) = f(RING)/2		100	200	
				f(STCK) = f(RING)		150	300	
	VDD = 3V		f(STCK) = f(RING)/8		10	20	μ A	
			f(STCK) = f(RING)/4		15	30		
			f(STCK) = f(RING)/2		20	40		
			f(STCK) = f(RING)		35	70		
	RAMバックアップモード時 (POF命令実行時)	Ta = 25			0.1	3	μ A	
		VDD = 5V				10		
		VDD = 3V				6		

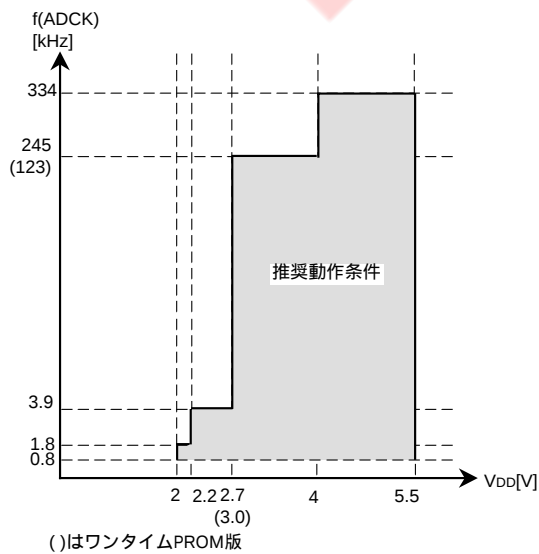
A/Dコンバータ推奨動作条件（コンパレータモードを含む。指定のない場合は、Ta = - 20 ~ 85 ）

記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
VDD	電源電圧	マスクROM版	2.0		5.5	V
		ワンタイムPROM版	3.0		5.5	
VIA	アナログ入力電圧		0		VDD	V
f(ADCK)	A/D変換クロック周波数(注)	マスクROM版	VDD = 4.0 ~ 5.5V	0.8	334	kHz
			VDD = 2.7 ~ 5.5V	0.8	245	
			VDD = 2.2 ~ 5.5V	0.8	3.9	
			VDD = 2.0 ~ 5.5V	0.8	1.8	
		ワンタイムPROM版	VDD = 4.0 ~ 5.5V	0.8	334	
			VDD = 3.0 ~ 5.5V	0.8	123	

注．A/D変換クロック(ADCK)の定義



<A/D変換クロック(ADCK) 動作条件マップ>



A/Dコンバータ特性 (指定のない場合は、Ta = -20 ~ 85)

記 号	項 目	条 件		規 格 値			単位
				最 小	標 準	最 大	
-	分解能					10	bits
-	直線性誤差	2.7V(3.0) VDD 5.5V ()内はワнтаイムPROM版				± 2	LSB
		マスクROM版	2.2V VDD < 2.7V			± 4	LSB
-	微分非直線性誤差	2.2(3.0)V VDD 5.5V ()内はワнтаイムPROM版				± 0.9	LSB
V0T	ゼロトランジション電圧	マスクROM版	VDD = 5.12V	0	10	20	mV
			VDD = 3.072V	0	7.5	15	
			VDD = 2.56V	0	7.5	15	
		ワнтаイムPROM版	VDD = 5.12V	0	15	30	
			VDD = 3.072V	3	13	23	
VFST	フルスケールトランジション電圧	マスクROM版	VDD = 5.12V	5105	5115	5125	mV
			VDD = 3.072V	3064.5	3072	3079.5	
			VDD = 2.56V	2552.5	2560	2567.5	
		ワнтаイムPROM版	VDD = 5.12V	5100	5115	5130	
			VDD = 3.072V	3065	3075	3085	
-	絶対精度(量子化誤差は除く)	マスクROM版	2.0V VDD < 2.2V			± 8	LSB
IADD	A/D動作電流 (注1)	VDD = 5V			150	450	μA
		VDD = 3V			75	225	
TCONV	A/D変換時間	f(XIN) = 6MHz STCK = f(XIN)(XINスルーモード) ADCK = INSTCK/6				31	μs
-	コンパレータ分解能					8	bits
-	コンパレータ誤差 (注2)	マスクROM版	VDD = 5.12V			± 20	mV
			VDD = 3.072V			± 15	
			VDD = 2.56V			± 15	
		ワнтаイムPROM版	VDD = 5.12V			± 30	
			VDD = 3.072V			± 23	
-	コンパレータ比較時間	f(XIN) = 6MHz STCK = f(XIN)(XINスルーモード) ADCK = INSTCK/6				4	μs

注1. A/D変換器使用時は、I_{DD}(電源電流)にI_{ADD}が加算されます。2. コンパレータモード時の理論値に対する誤差で、コンパレータレジスタの内容をnとした時、内蔵DAコンバータが発生する比較電圧V_{ref}の理論値は次式で求めることができます。— 比較電圧V_{ref}の理論値 —

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n: レジスタADの値(n=0 ~ 255)

電圧低下検出回路特性（指定のない場合は、 $T_a = -20 \sim 85$ ）

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VRST-	検出電圧(リセット発生) (注1)	Ta=25	3.3	3.5	3.7	V
		マスクROM版	2.7		4.2	
		ワンタイムPROM版	2.6		4.2	
VRST+	検出電圧(リセット解除) (注2)	Ta=25	3.5	3.7	3.9	V
		マスクROM版	2.9		4.4	
		ワンタイムPROM版	2.8		4.4	
VRST+ - VRST-	検出電圧ヒステリシス			0.2		V
IRST	動作電流 (注3)	VDD = 5V		50	100	μA
		VDD = 3V		30	60	
TRST	判定時間	VDD $\rightarrow$ (VRST- - 0.1V) (注4)		0.2	1.2	ms

注1．検出電圧(VRST-)は、電源電圧(VDD)を動作範囲から降下したとき、リセットが発生する電圧です。

2．検出電圧(VRST+)は、電源電圧(VDD)をリセット発生範囲から上昇したとき、リセットが解除する電圧です。

3．電圧低下検出回路使用(VDCE端子“H”)時は、IDD(電源電流)にIRSTが加算されます。

4．判定時間(TRST)は、電源電圧(VDD)を高い側から[VRST- - 0.1V]に降下したときにリセットが発生するまでの時間です。

基本タイミング図

項 目		マシンサイクル	Mi		Mi+1	
端子(信号)名						
システムクロック	STCK					
ポートD出力	D0 ~ D7					
ポートD入力	D0 ~ D7					
ポートP0, P1, P2, P3, P6出力	P00 ~ P03 P10 ~ P13 P20 ~ P22 P30、P31 P60 ~ P63					
ポートP0, P1, P2, P3, P6入力	P00 ~ P03 P10 ~ P13 P20 ~ P22 P30、P31 P60 ~ P63					
割り込み入力	INT0, INT1					

PROM内蔵版

マスクROM版に対して、PROMを内蔵しているマイクロコンピュータをPROM内蔵版といいます。またワンタイムPROMタイプのマイクロコンピュータ(ワンタイムPROM版)は、内蔵PROMへの書き込みが可能です。

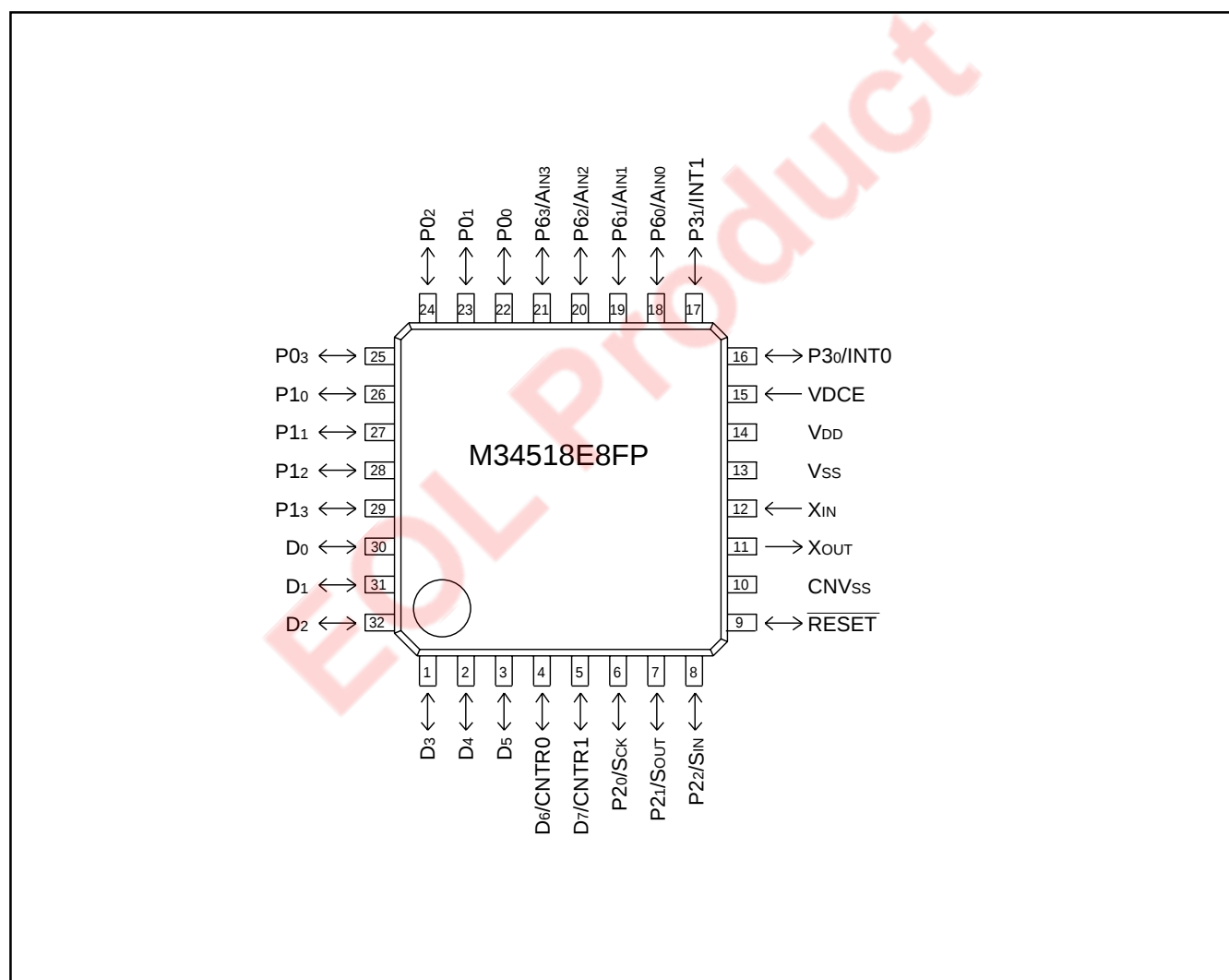
PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのPROMモードをもっています。

PROM内蔵版の型名一覧を表XA-1に、ピン接続図を図XA-1に示します。

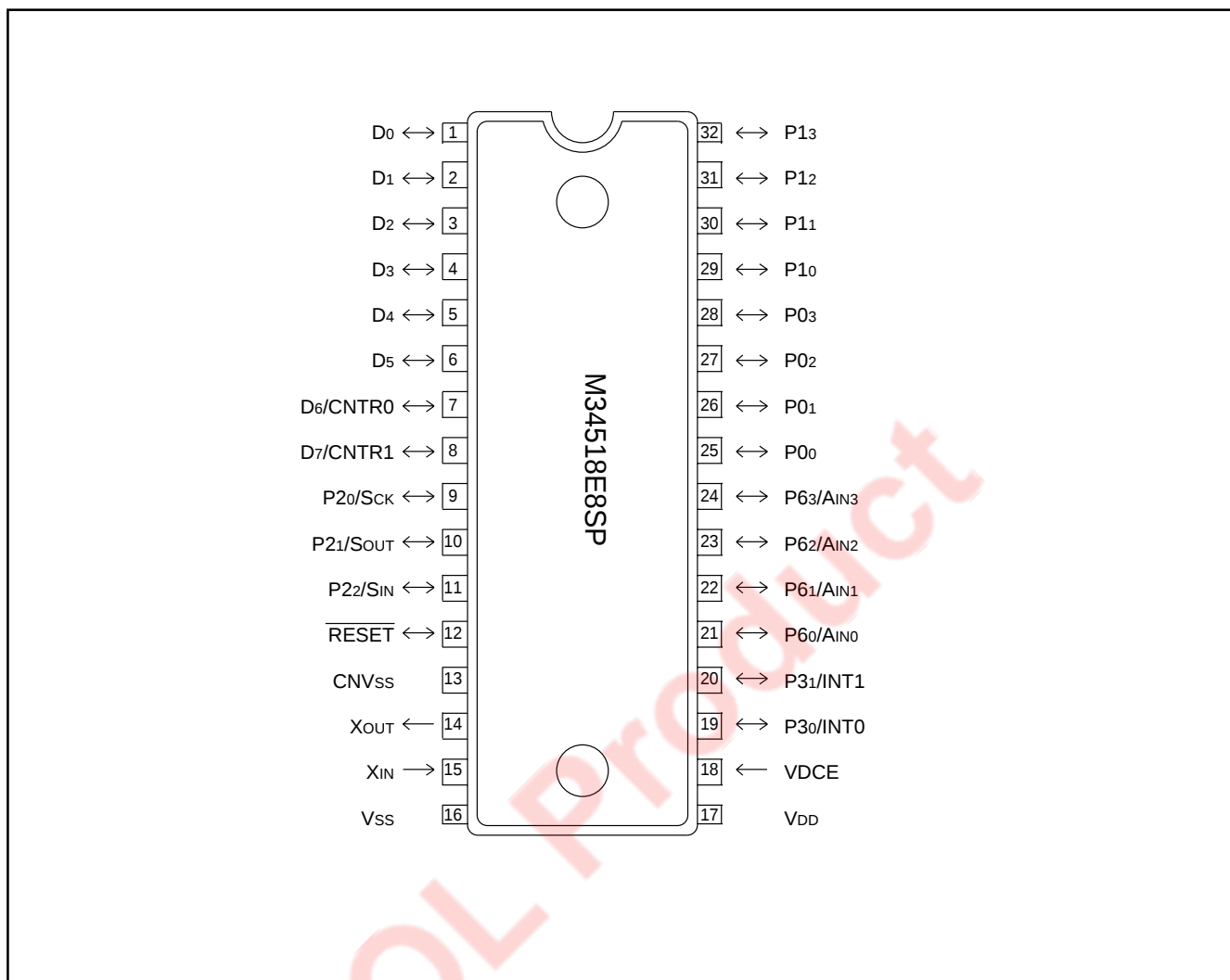
なお、ワンタイムPROM版は、マスクROM版とピンコンパチブルです。

表XA-1 . PROM内蔵版の型名一覧

型 名	PROM容量(×10ビット)	RAM容量(×4ビット)	パッケージ	備 考
M34518E8FP	8192語	384語	PLQP0032GB-A	ワンタイムPROM版 [ブランク出荷品]
M34518E8SP	8192語	384語	PRDP0032BA-A	ワンタイムPROM版 [ブランク出荷品]



図XA-1 . 4518グループPROM内蔵版のピン接続図



図XA-2 . 4518グループPROM内蔵版のピン接続図

(1) PROMモード

PROM内蔵版は、通常の動作モード以外にPROMモードをもちます。PROMモードは、内蔵PROMへの書き込み時及び内蔵PROMからの読み出し時に使用するモードです。

PROMモードでは、専用の書き込みアダプタと汎用のPROMライタを併用することにより、M5M27C256Kと同じ動作で内蔵PROMの書き込み、読み出しが行えます。表XA-2に専用書き込みアダプター一覧を示します。なお、適応するPROMライタについては、巻末掲載のお問い合わせ先までご連絡ください。

- 内蔵PROMの書き込み、読み出し

書き込み電圧は12.5Vです。PROM内蔵版の内蔵PROMには、図XA-2に示す形式でプログラムを書き込んでください。

(2) 取り扱い上の注意

書き込みに際しては高い電圧を使用しますので、過電圧がかからないように注意してください。特に電源の投入時はご注意ください。

ワンタイムPROM版のブランク出荷品は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図XA-3に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

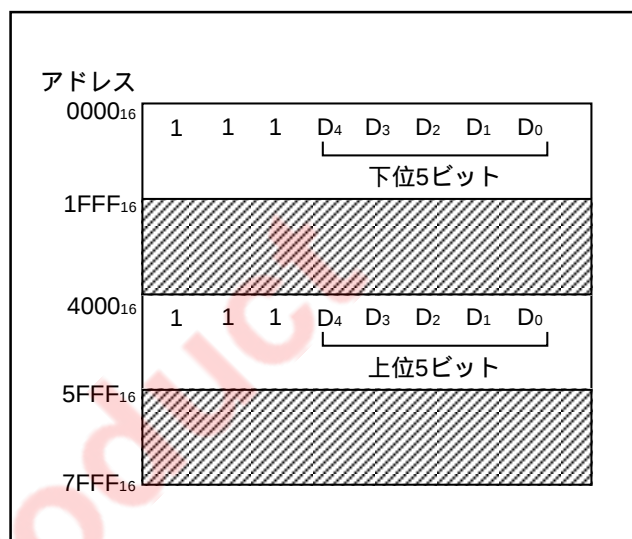
(3) マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

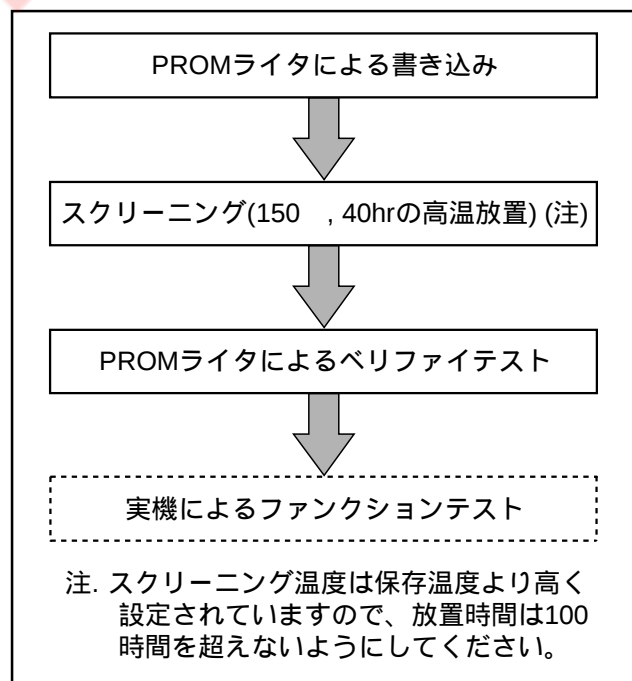
注：ブランク出荷品：工場出荷時にPROMの内容が書き込まれていないもの

表XA-2．書き込みアダプター一覧

マイクロコンピュータ型名	書き込みアダプタ型名
M34518E8FP	PCA7442FP
M34518E8SP	PCA7442SP

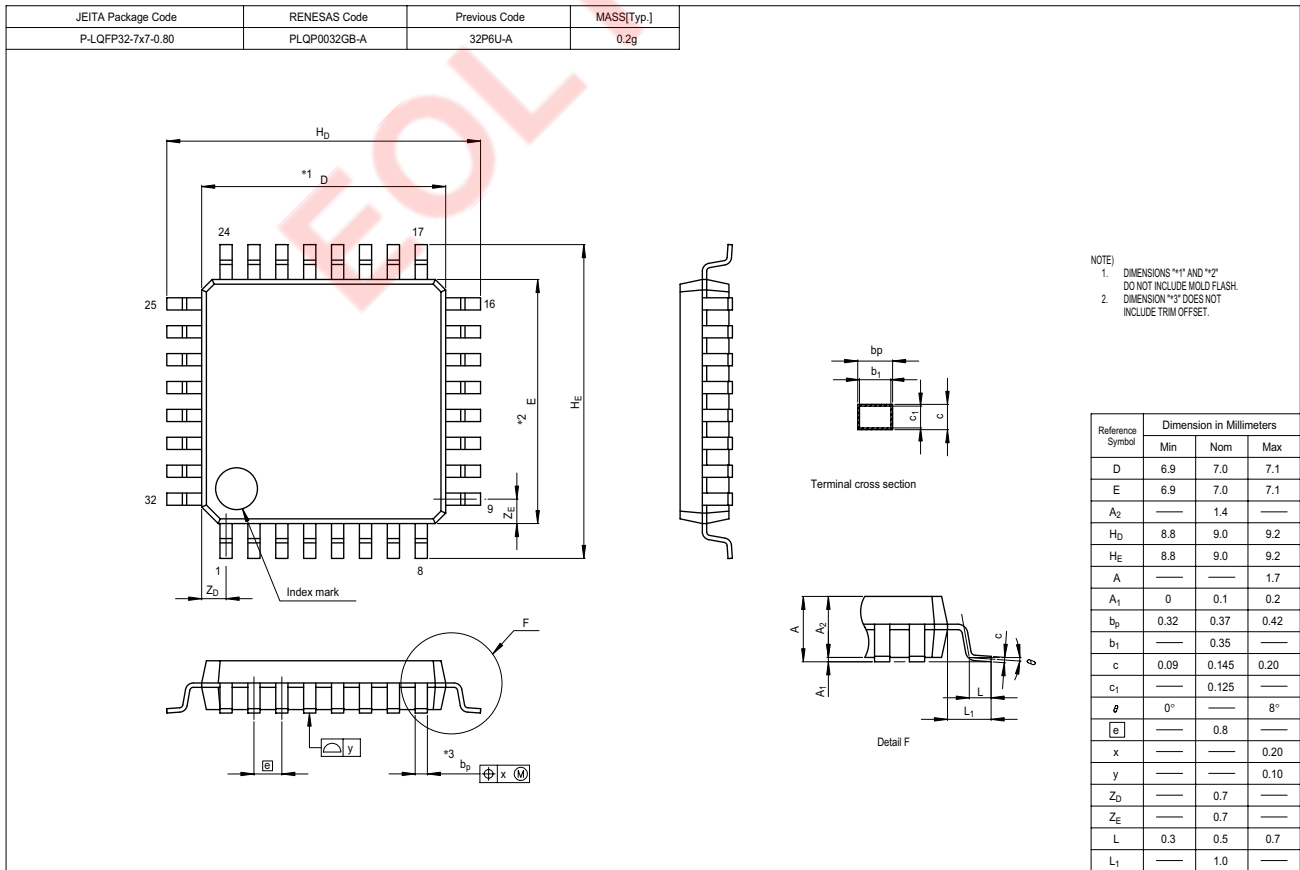
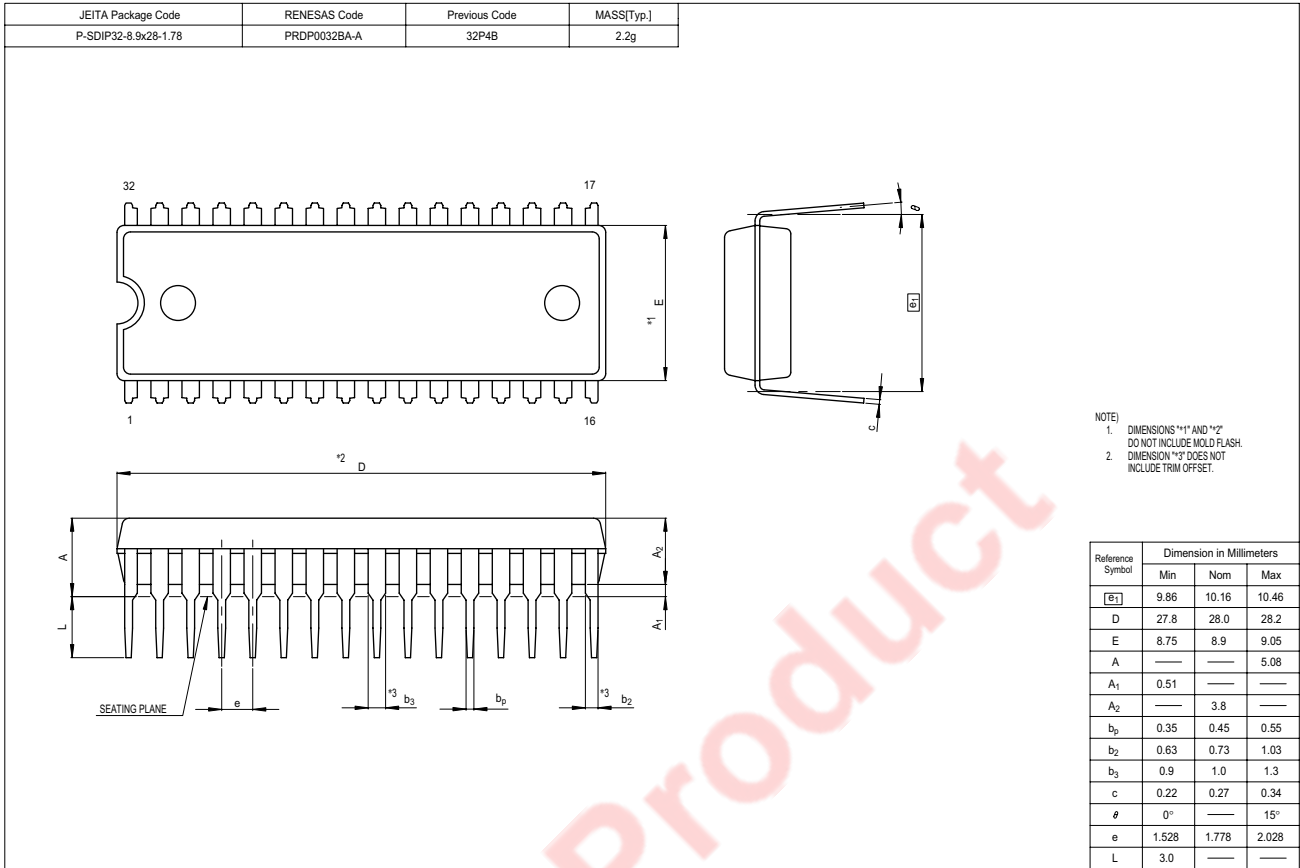


図XA-2．PROMメモリマップ



図XA-3．ブランク出荷品の書き込み及びテスト

パッケージ外形寸法図



改訂履歴	4518 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	02/11/28	-	初版発行
2.00	03/04/15	145 147 150 151 152	下記特性値がマスク ROM 版とワンタイム PROM 版で異なります。 推奨動作条件 1 : VDD 電源電圧 (水晶発振使用時) , V _{RAM} RAM 保持電圧 推奨動作条件 3 : f(XIN) 発振周波数 A/D 変換器動作条件 : VDD 電源電圧 f(ADCK) A/D 変換クロック周波数 < A/D 変換クロック (ADCK) 動作条件マップ > A/D 変換器特性 : 直線性誤差、微分非直線性誤差、 ゼロトランジション電圧、フルスケールトランジション電圧、コンパレータ誤差 電圧低下検出回路 : 検出電圧 (リセット発生) 検出電圧 (リセット解除)
3.00	2004.07.15	全ページ 4 5 8 15 25 28 29 33 40 41 45 46 57 59 72 73 74 76 77 86 130 155	用語統一 (統一用語 : オンチップオシレータ、A/D コンバータ) 性能概要 消費電流 CPU 動作時 : “ Ta=25 ” を追記 端子の機能説明 RESET 説明追記 使用しない端子の処理 P2 : 端子名改訂 ポートブロック図(7) 周期計測回路入力 追記 図 DD-5. 周期計測回路入力 追記 図 DD-8. 説明追記 図 DD-11. 説明追記 図 FB-3 : 注意事項 追記 (12)PWM 出力機能(D7/CNTR1、タイマ3、タイマ4) 説明追記 ●タイマ4に関する注意 説明追記 説明 一部改訂 図 FB-9 : 「DI」命令 追記 表 GA-3. TSIAB 命令の表記位置を変更 図 VB-3. SRST 命令を追記 表 VB-1. P2 : ポート名 改訂 (5)マルチファンクション 2 行目 P31 の出力は → P31 の入出力は (11)タイマ4 説明追記 図 DD-8. 説明追記 図 DD-11. 説明追記 電源電圧に関する注意事項 追記 制御レジスタ一覧 I13、I12、I23、I22 (注 2)を追記 命令機能別索引 割り込み制御命令 SNZ0、SNZ1 説明追記 [機能分類]機械語命令一覧表 ビット操作命令 → リターン命令 図 XA-2. 改訂
3.01	05/06/15	全ページ 1 2	開発中表記を削除 パッケージ型名を変更 ピン接続図 パッケージ型名を変更

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京		社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	部	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	島	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	取	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
	州	支			

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com