

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3850グループ(A仕様QzROM版)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0130-0213

Rev.2.13

2009.04.17

### 概要

3850グループ(A仕様QzROM版)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

### 特長

基本機械語命令 .....	71
命令実行時間 .....	0.32 $\mu$ s
(最小命令、発振周波数12.5MHz時)	
メモリ容量 ROM .....	16Kバイト
RAM .....	512バイト
プログラマブル入出力ポート .....	34本
ソフトウェアブルアップ抵抗 .....	内蔵
割り込み .....	15要因、14ベクタ
タイマ .....	8ビット×4
シリアルインタフェース	
シリアルI/O1 .....	8ビット×1
(UARTまたはクロック同期形)	
シリアルI/O2 .....	8ビット×1
(クロック同期形)	
PWM .....	8ビット×1
A/Dコンバータ .....	10ビット分解能×9チャンネル

### クロック発生回路

2回路内蔵

(セラミック共振子または水晶発振子外付け)

ウォッチドッグタイマ..... 16ビット×1

### 電源電圧

#### [高速モード時]

f(XIN) 12.5MHz .....	4.0 ~ 5.5V
f(XIN) 6.0MHz .....	2.7 ~ 5.5V
f(XIN) 4.2MHz .....	2.2 ~ 5.5V
f(XIN) 2.1MHz .....	2.0 ~ 5.5V

#### [中速モード時]

f(XIN) 12.5MHz .....	2.7 ~ 5.5V
f(XIN) 8.4MHz .....	2.2 ~ 5.5V
f(XIN) 4.2MHz .....	1.8 ~ 5.5V

#### [低速モード時]

f(XCIN) 50kHz .....	1.8 ~ 5.5V
---------------------	------------

### 消費電力

高速モード時 .....

30mW(標準)

(発振周波数12.5MHz時、電源電圧5V)

低速モード時 .....

45  $\mu$ W(標準)

(発振周波数32kHz時、電源電圧3V)

動作周囲温度..... - 20 ~ 85

### 応用

家電、民生機器など

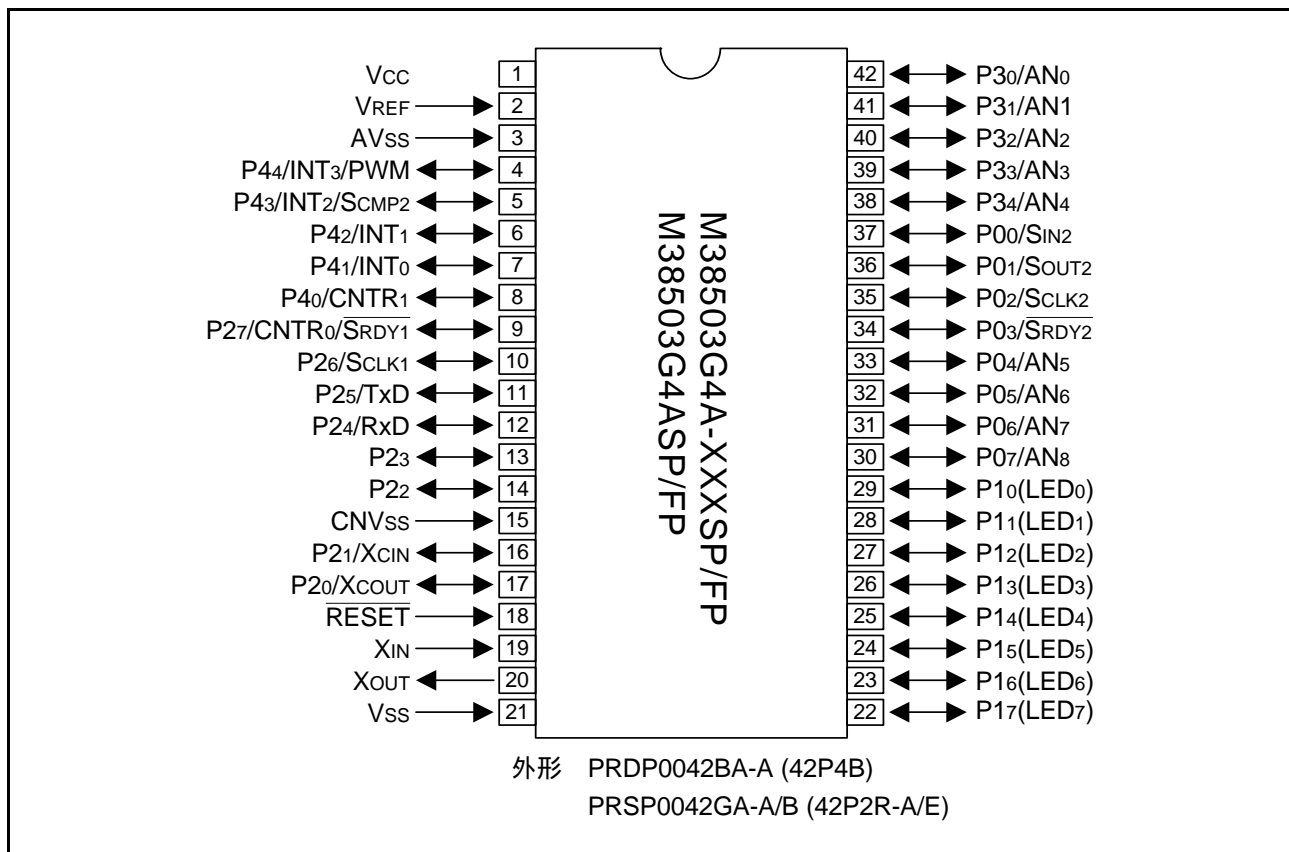
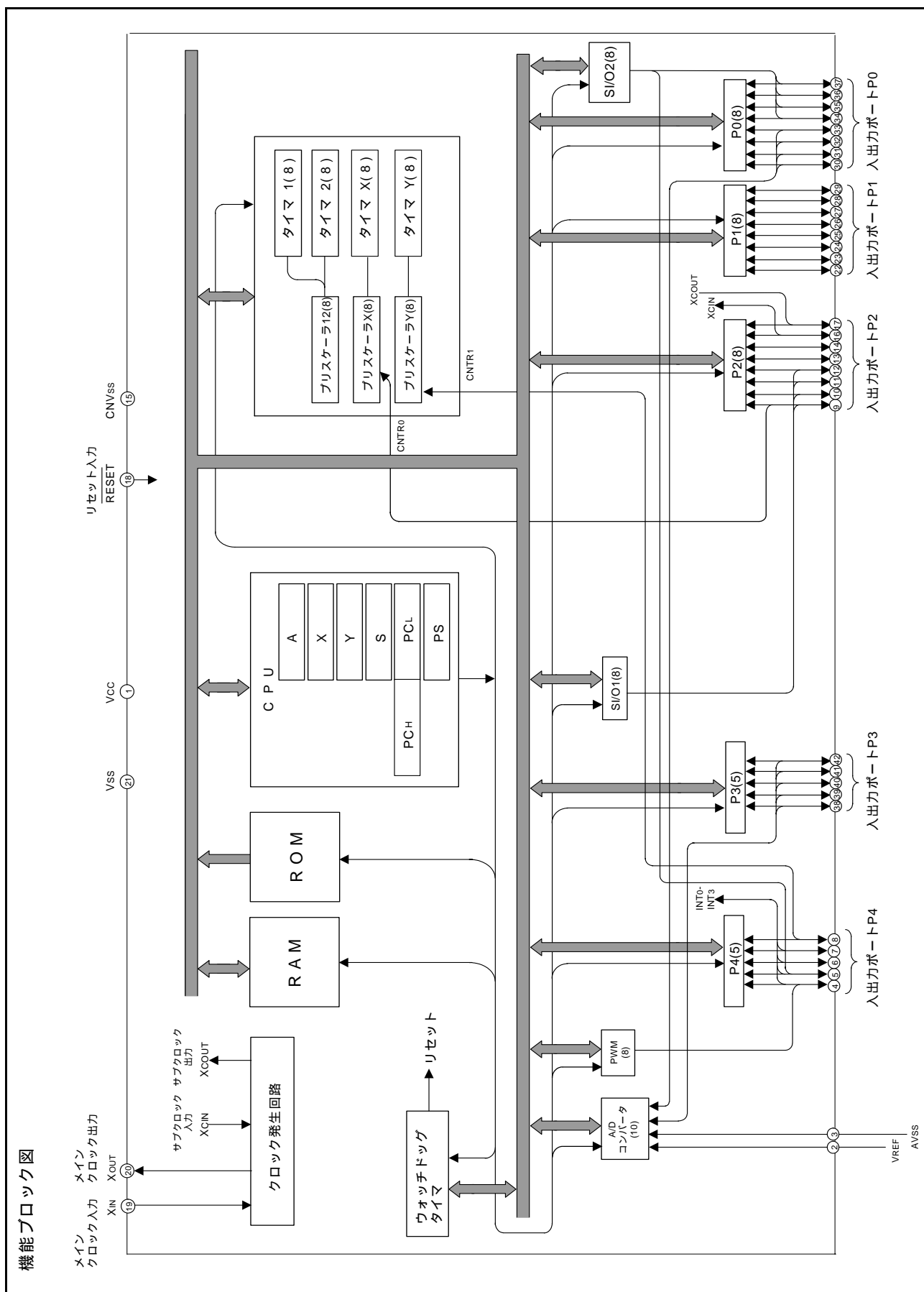


図1. ピン接続図



機能ブロック図

図2. 機能ブロック図

## 端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに1.8~5.5V, Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子でかつ、QzROM書き込み用電源V <sub>PP</sub> と兼用端子です。通常はVssに接続します。	
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
AVss	アナログ電源入力	A/Dコンバータのアナログ電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ“L”のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。バイト単位でプルアップ制御が可能です。P10~P17の8ビットは、LED駆動出力用の大電流出力が可能です。	シリアルI/O2機能端子
P04/AN5 ~ P07/AN8			A/Dコンバータ入力端子
P10 ~ P17	入出力ポートP1		
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP20, P21, P24 ~ P27がCMOS3ステートです。 P22, P23は、Nチャネルオープンドレインです。 P22, P23以外はバイト単位でプルアップ制御が可能です。	サブクロック発生入出力端子 (共振子を接続します。)
P22 P23			シリアルI/O1機能端子
P24/RxD P25/TxD			シリアルI/O1機能端子
P26/SCLK1			タイマX機能端子
P27/CNTR0/ SRDY1			
P30/AN0 ~ P34/AN4	入出力ポートP3	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	A/Dコンバータ入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 SCMP2出力端子
P44/INT3/PWM			割り込み入力端子 PWM出力端子

型名とメモリサイズ・パッケージ

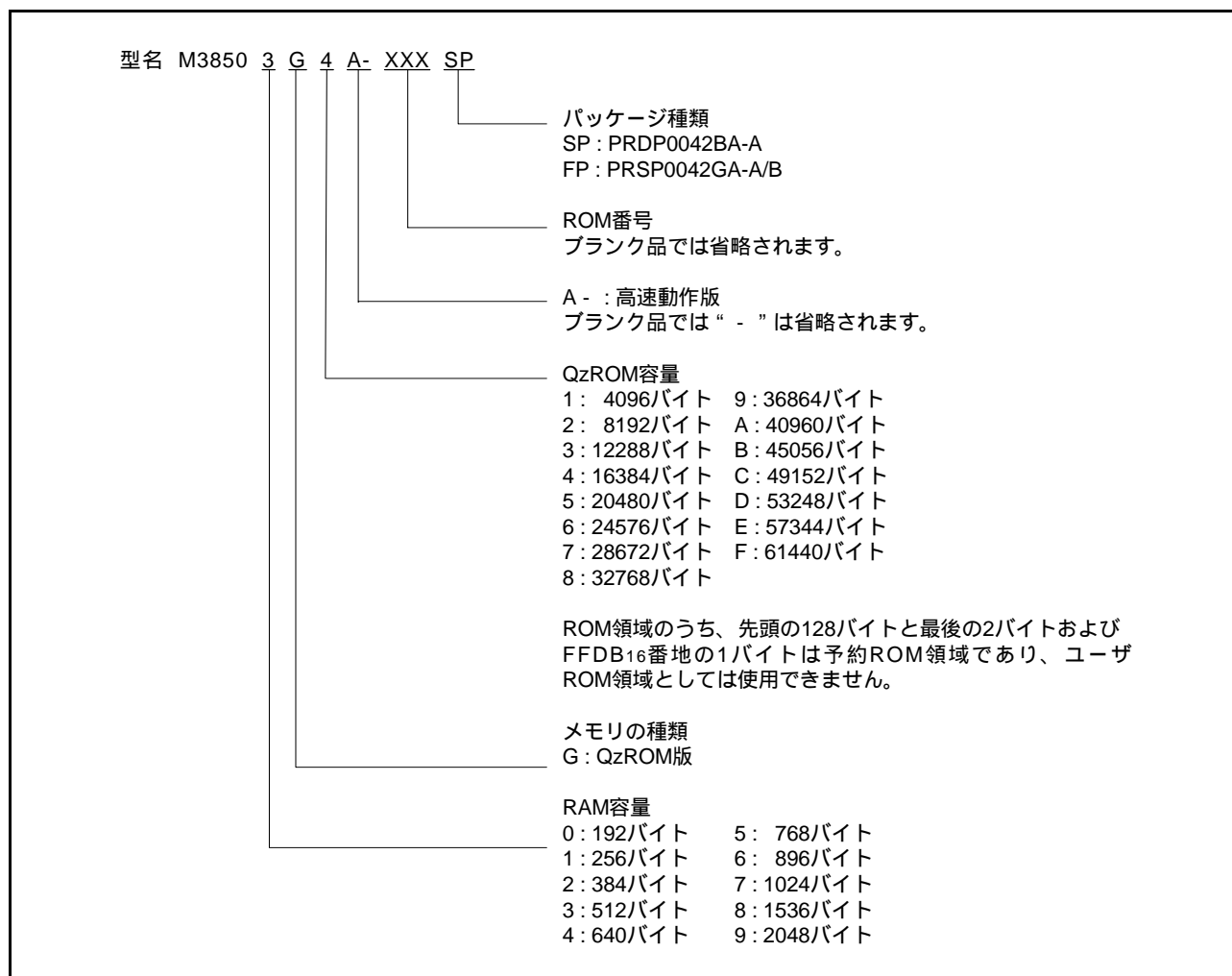


図3. 型名とメモリサイズ・パッケージ

**グループ展開**

3850グループ(A仕様QzROM版)は次のような展開をしています。

**メモリの種類**

QzROM版のサポート

**メモリ容量**

ROM容量 ..... 16Kバイト  
RAM容量 ..... 512バイト

**パッケージ**

PRDP0042BA-A .....  
42ピンシュリンクプラスチックモールドSDIP  
PRSP0042GA-A/B .....  
42ピンプラスチックモールドSSOP

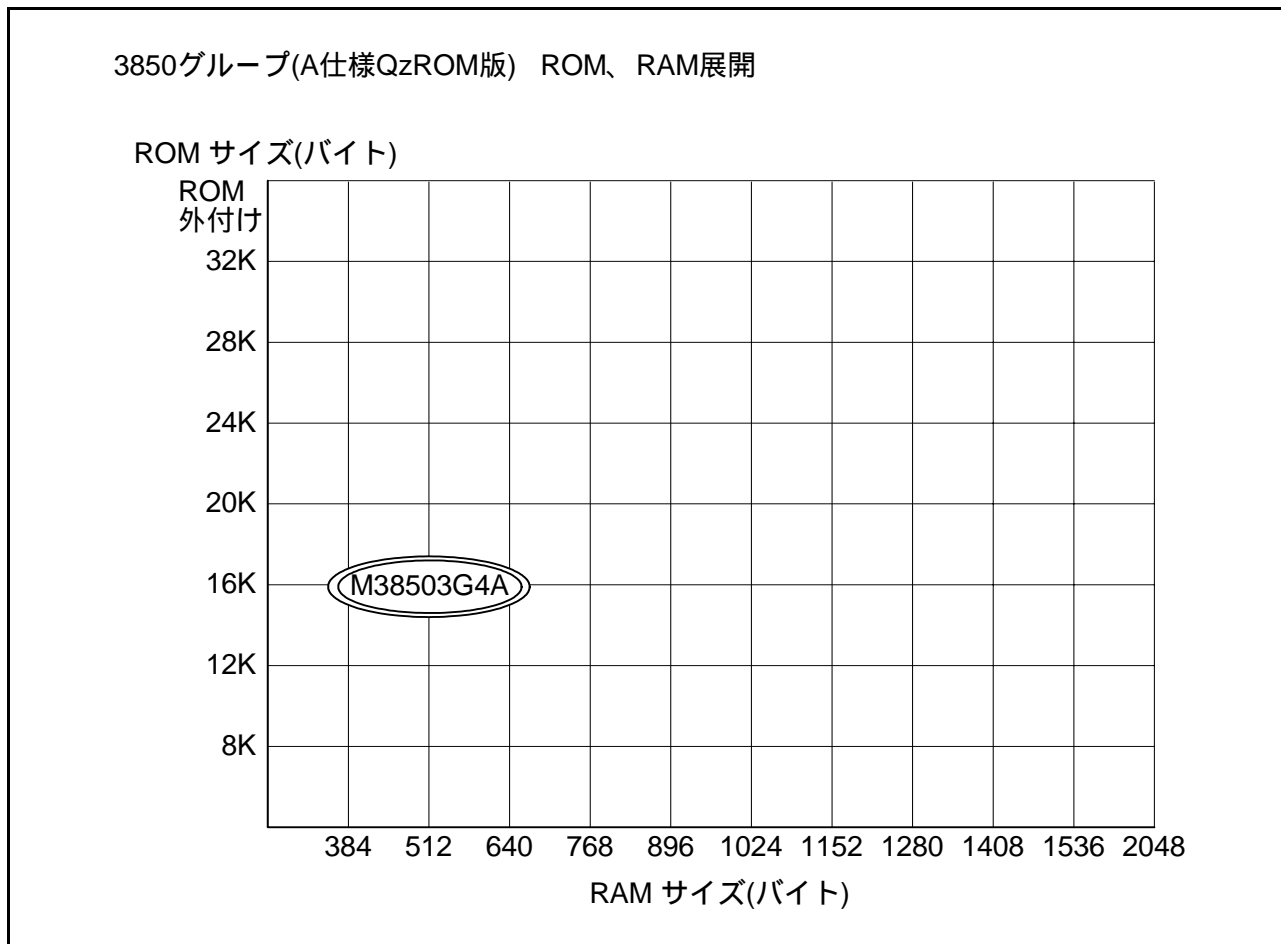


図4. ROMおよびRAM展開

表2. 3850グループ(A仕様QzROM版)サポート製品一覧

製品型名	ROM容量(バイト) ( )内はユーザROM容量	RAM容量(バイト)	パッケージ	備考
M38503G4A-XXXSP	16384	512	PRDP0042BA-A	QzROM版(書き込み出荷品)(注)
M38503G4A-XXXFP	(16253)		PRSP0042GA-A/B	
M38503G4ASP	16384	512	PRDP0042BA-A	QzROM版(ブランク品)(注)
M38503G4AFP	(16253)		PRSP0042GA-A/B	

注. ユーザROMを書き込んで出荷します。ブランク品はユーザROM領域がブランクです。

## グループ説明

3850グループ(A仕様)にはQzROM版以外に、マスクROM版、フラッシュメモリ版も量産中です。  
現在サポートを行っているマスクROM版、フラッシュメモリ版製品を下記に示します。

表3. 3850グループ(A仕様)マスクROM版、フラッシュメモリ版サポート製品一覧

製品型名	ROM容量(バイト) ( )内はユーザROM容量	RAM(バイト)	パッケージ	備考
M38503M2A-XXXSP	8192	512	PRDP0042BA-A	マスクROM版
M38503M2A-XXXFP	(8062)		PRSP0042GA-A/B	
M38503M4A-XXXSP	16384	512	PRDP0042BA-A	
M38503M4A-XXXFP	(16254)		PRSP0042GA-A/B	
M38504M6A-XXXSP	24576	640	PRDP0042BA-A	
M38504M6A-XXXFP	(24446)		PRSP0042GA-A/B	
M38507M8A-XXXSP	32768	1024	PRDP0042BA-A	
M38507M8A-XXXFP	(32635)		PRSP0042GA-A/B	
M38507F8ASP	32768	1024	PRDP0042BA-A	フラッシュメモリ版
M38507F8AFP			PRSP0042GA-A/B	

表4. 3850グループ(標準品)、3850グループ(H仕様)と3850グループ(A仕様)の相違点

	3850グループ(標準品) (注1)	3850グループ(H仕様) (注1)	3850グループ(A仕様)	
			マスクROM版 フラッシュメモリ版	QzROM版
シリアルインタフェース	1本 シリアルI/O (UART1またはクロック同期形)	2本 シリアルI/O1 (UART1またはクロック同期形) シリアルI/O2 (クロック同期形)	2本 シリアルI/O1 (UART1またはクロック同期形) シリアルI/O2 (クロック同期形)	
A/Dコンバータ	低速モード時使用不可能 アナログ入力: 5チャンネル	低速モード時使用可能 アナログ入力: 5チャンネル	低速モード時使用可能 アナログ入力: 9チャンネル	
LEDポート	5本: P13 ~ P17	8本: P10 ~ P17	8本: P10 ~ P17	
ソフトウェア プルアップ抵抗	なし	なし	内蔵 (ポートP0 ~ P4)	
絶対最大定格 (注2)	電源電圧	- 0.3 ~ 7.0V	- 0.3 ~ 6.5V	
	入力電圧 CNVss	- 0.3 ~ 13.0V	- 0.3 ~ Vcc + 0.3V	- 0.3 ~ Vcc + 0.3V    - 0.3 ~ 8.0V
最大動作周波数 (注2)	8.0MHz	8.0MHz	12.5MHz	
最低動作電源電圧 (注2)	2.7V	2.7V	2.7V	1.8V

注1. 3850グループ(標準品)および3850グループ(H仕様)は現在新規受注を行っておりません。3850グループ(A仕様)のみ発注可能です。

注2. 絶対最大定格、電気的特性、推奨動作条件の詳細はそれぞれのデータシートでご確認願います。

## 3850グループ(標準品)および3850グループ(A仕様)の相違点による注意点

- 3850グループ(A仕様)の絶対最大定格は、電源電圧Vcc = - 0.3 ~ 6.5V、CNVss入力電圧Vi = - 0.3 ~ Vcc + 0.3V(QzROMは8.0V)となっています。
- XIN-XOUT、XCIN-XCOUTの発振回路定数が異なる場合があります。

- 予約領域、予約ビットには、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- CPUモードレジスタのビット3は“1”に固定してください。
- 未使用端子の処理を確実に実施してください。



## 機能ブロック動作説明

## 中央演算処理装置 (CPU)

3850グループ(A仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモードおよび機械語命令一覧表または740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW 命令はありません。
2. MUL、DIV 命令が使用可能です。
3. WIT 命令が使用可能です。
4. STP 命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時または割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避および復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表5参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

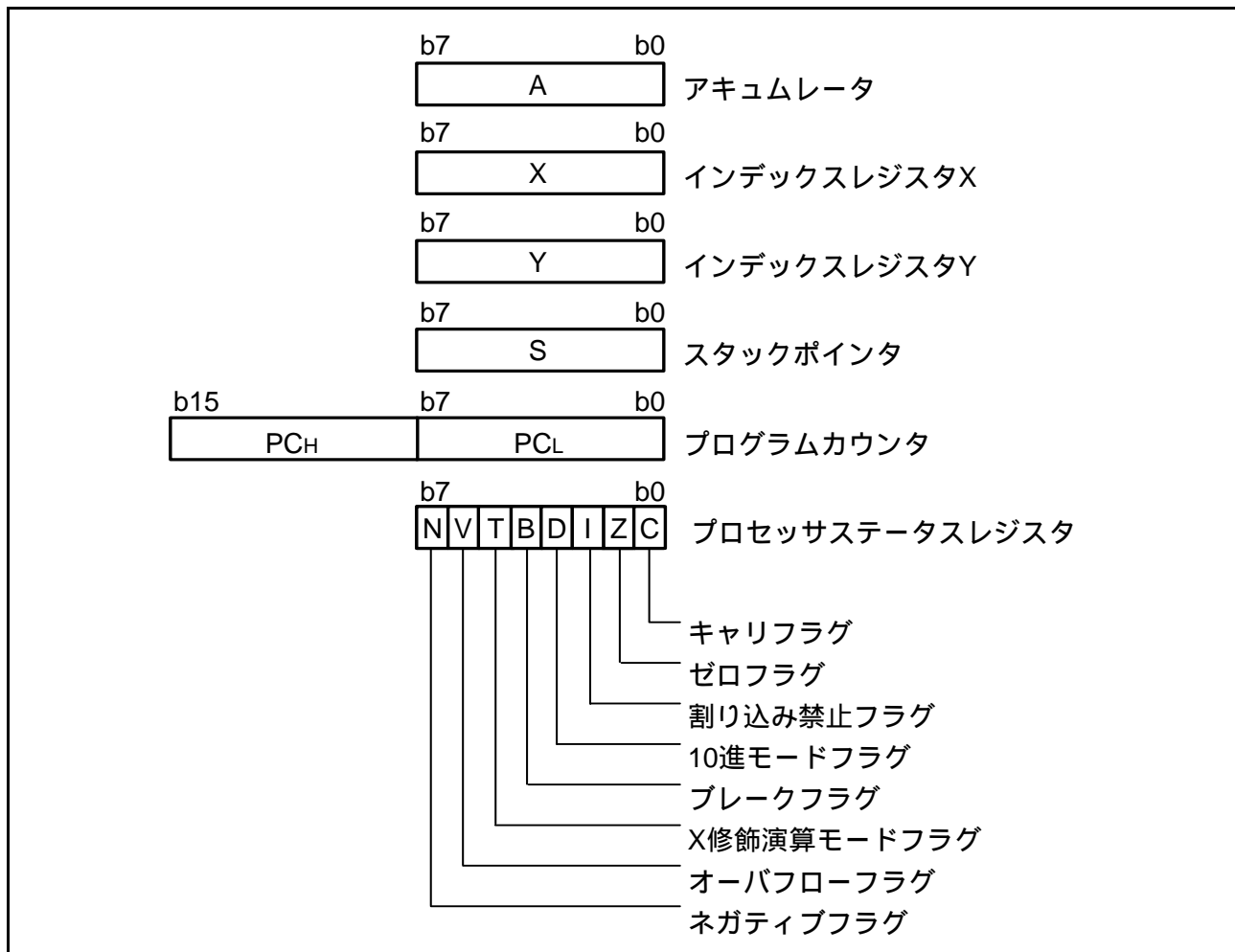


図5. 740ファミリCPUの構成

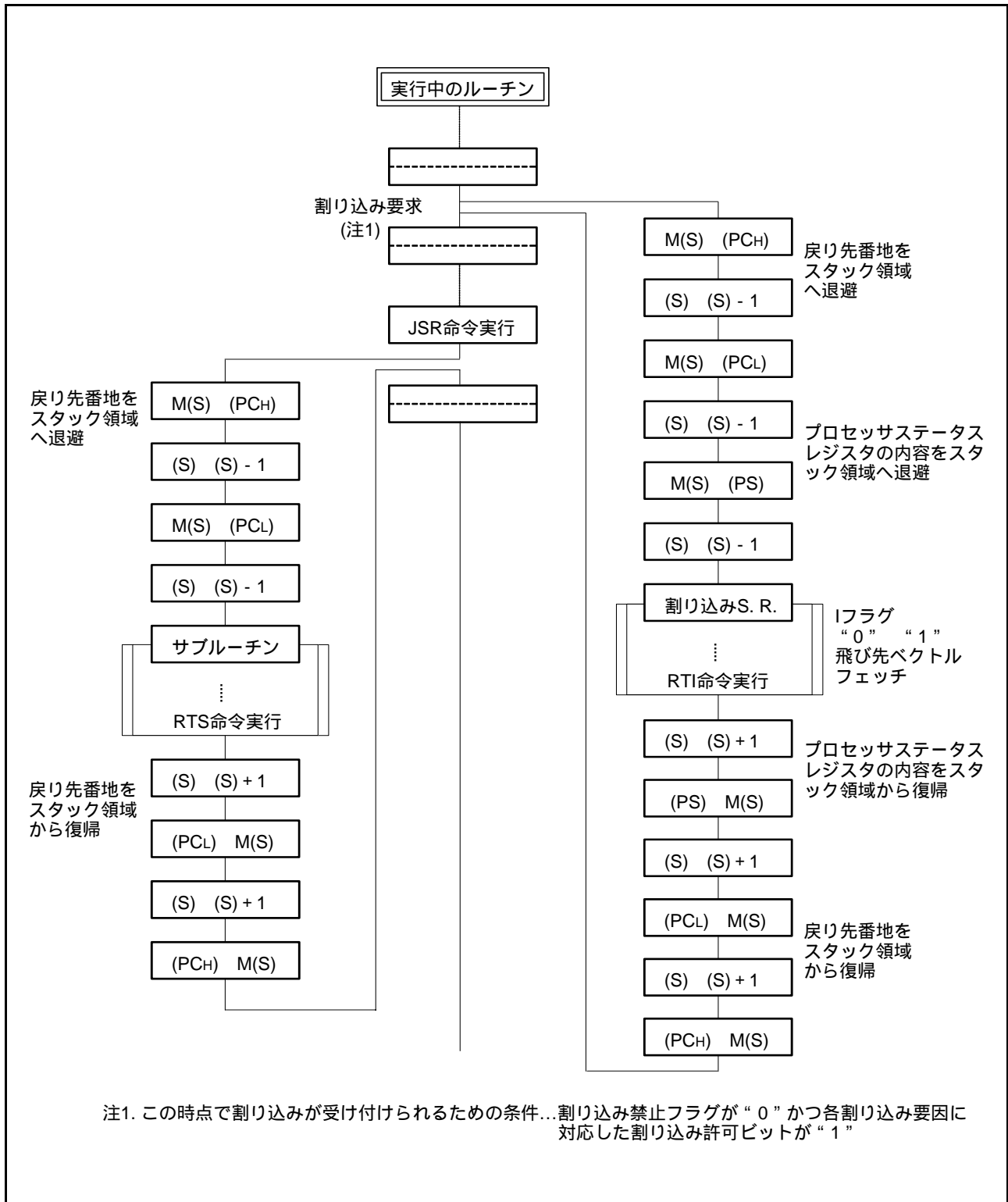


図6. スタックへの退避および復帰動作

表5. アキュムレータとプロセッサステータスレジスタの退避命令および復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

- ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリまたはボローを保持します。シフト命令またはローテート命令でも変化します。

- ビット1：ゼロフラグ(Z)

演算処理またはデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

- ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

- ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

- ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

- ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

- ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127または-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

- ビット7：ネガティブフラグ(N)

演算処理またはデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表6. プロセッサステータスレジスタの各フラグをセットまたはクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	-	SEI	SED	-	SET	-	-
クリアする命令	CLC	-	CLI	CLD	-	CLT	CLV	-

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B16番地に配置されています。

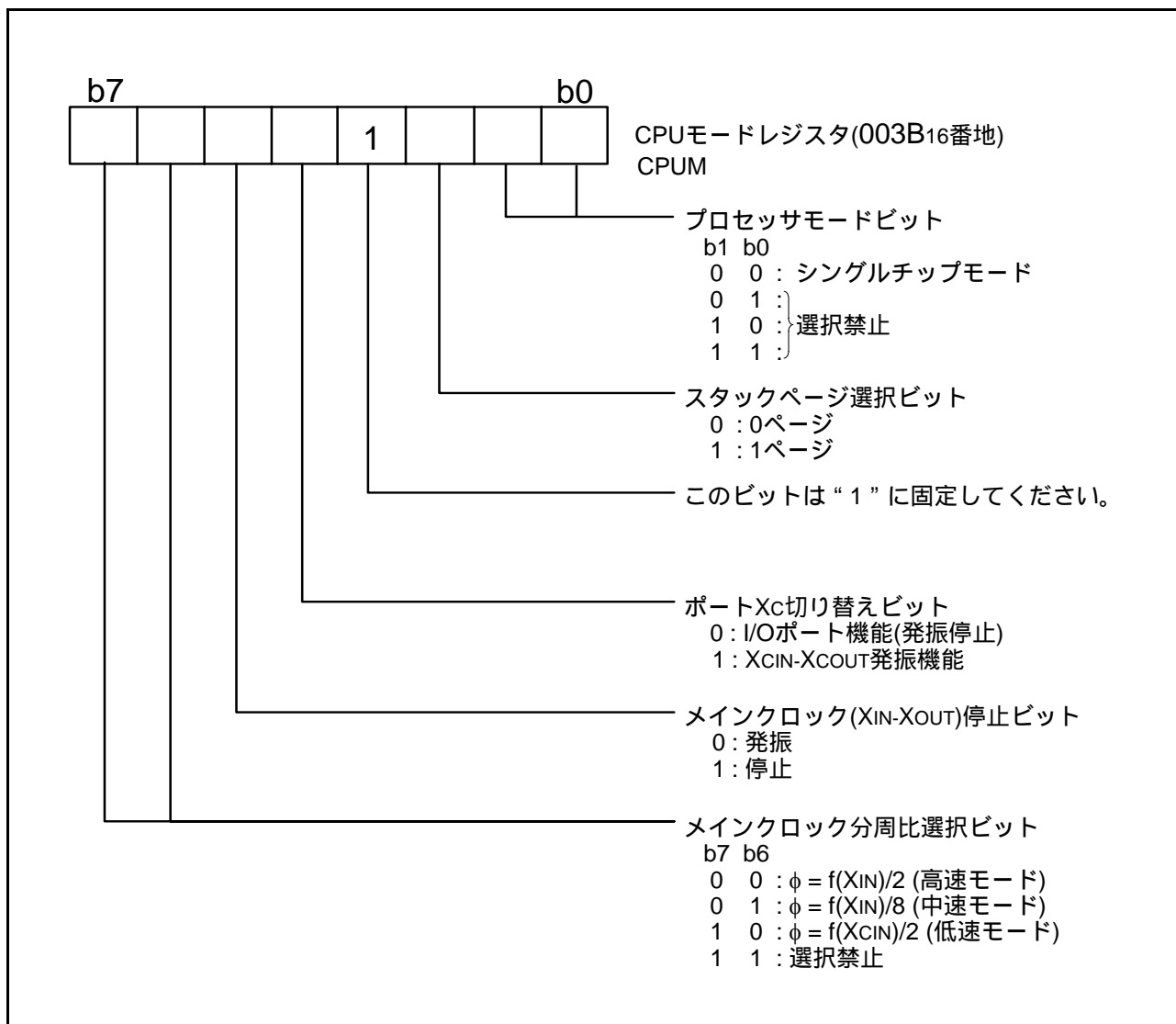


図7. CPUモードレジスタの構成

## メモリ

### SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

### RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

### ROM

先頭 128 バイトと最後の 2 バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

なお、QzROM 版では FFDB<sub>16</sub> 番地の 1 バイトも予約領域です。

### 割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

### ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

### スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

### ROMコードプロテクト番地(FFDB<sub>16</sub>番地)

QzROM 版の予約ROM領域である FFDB<sub>16</sub> 番地は、ROMコードプロテクト番地です。シリアルプログラマでのプロテクトビット書き込みを選択した場合、および弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“00<sub>16</sub>”が書き込まれます。ROMコードプロテクト番地に“00<sub>16</sub>”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出しおよび書き込みはできません。

QzROM ブランク品は、シリアルプログラマでのROM書き込みの際にプロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“00<sub>16</sub>”(プロテクト有り)または“FF<sub>16</sub>”(プロテクト無し)のいずれかが書き込まれます。

“00<sub>16</sub>”あるいは“FF<sub>16</sub>”のどちらを書き込むかは、発注の際にROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)として選択してください。

### 注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

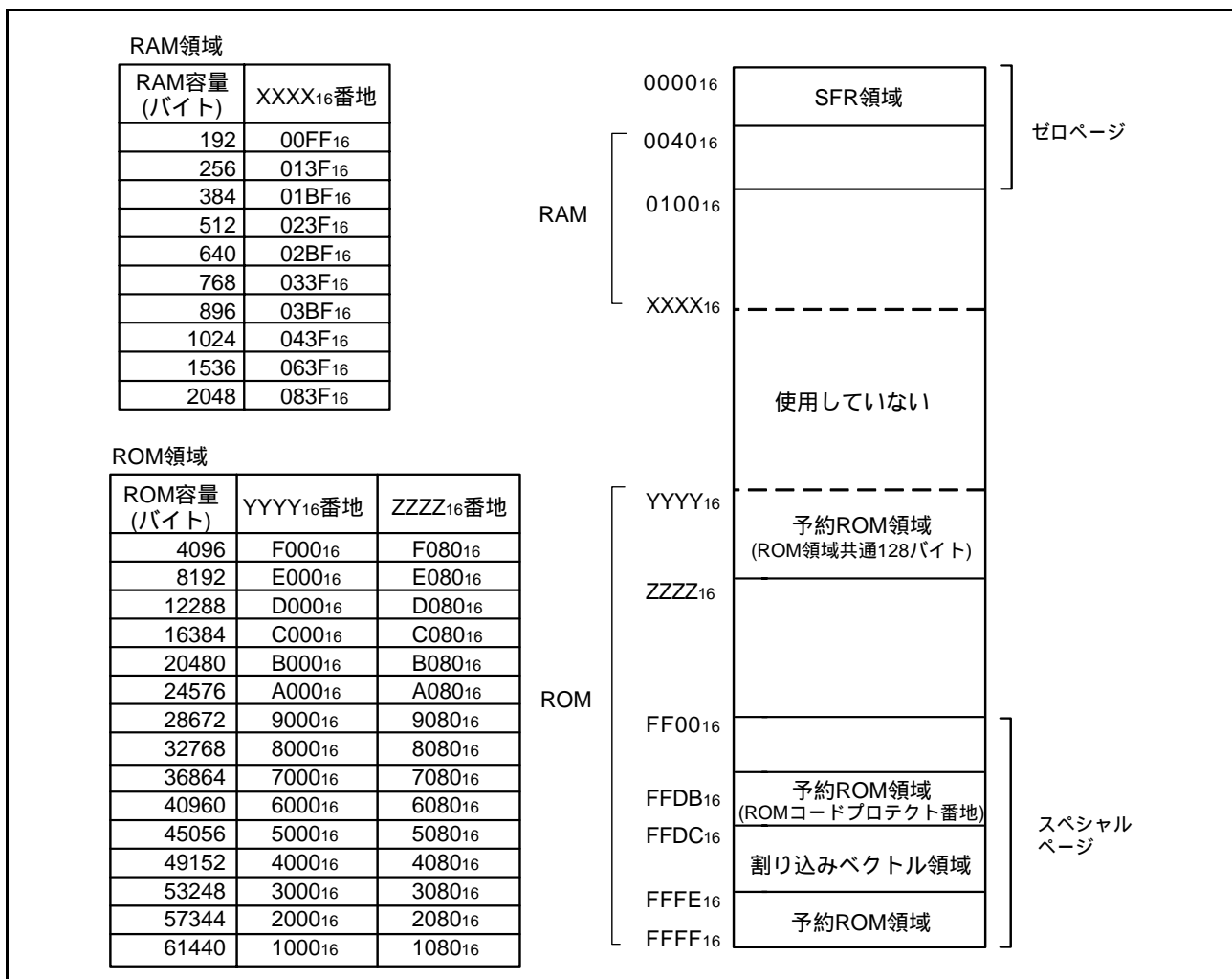


図8. メモリ配置図

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	プリスケアラ12 (PRE12)
0001 <sub>16</sub>	ポートP0方向レジスタ (P0D)	0021 <sub>16</sub>	タイマ1 (T1)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	タイマ2 (T2)
0003 <sub>16</sub>	ポートP1方向レジスタ (P1D)	0023 <sub>16</sub>	タイマXYモードレジスタ(TM)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	プリスケアラX (PREX)
0005 <sub>16</sub>	ポートP2方向レジスタ (P2D)	0025 <sub>16</sub>	タイマX (TX)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	プリスケアラY (PREY)
0007 <sub>16</sub>	ポートP3方向レジスタ (P3D)	0027 <sub>16</sub>	タイマY (TY)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	タイマカウントソース設定レジスタ(TCSS)
0009 <sub>16</sub>	ポートP4方向レジスタ (P4D)	0029 <sub>16</sub>	
000A <sub>16</sub>		002A <sub>16</sub>	
000B <sub>16</sub>		002B <sub>16</sub>	予約(注)
000C <sub>16</sub>		002C <sub>16</sub>	予約(注)
000D <sub>16</sub>		002D <sub>16</sub>	予約(注)
000E <sub>16</sub>		002E <sub>16</sub>	予約(注)
000F <sub>16</sub>		002F <sub>16</sub>	予約(注)
0010 <sub>16</sub>		0030 <sub>16</sub>	予約(注)
0011 <sub>16</sub>		0031 <sub>16</sub>	予約(注)
0012 <sub>16</sub>	ポートP0,P1,P2プルアップ制御レジスタ(PULL012)	0032 <sub>16</sub>	
0013 <sub>16</sub>	ポートP3プルアップ制御レジスタ(PULL3)	0033 <sub>16</sub>	
0014 <sub>16</sub>	ポートP4プルアップ制御レジスタ(PULL4)	0034 <sub>16</sub>	AD制御レジスタ(ADCON)
0015 <sub>16</sub>	シリアル/O2制御レジスタ1(SIO2CON1)	0035 <sub>16</sub>	AD変換下位レジスタ(ADL)
0016 <sub>16</sub>	シリアル/O2制御レジスタ2(SIO2CON2)	0036 <sub>16</sub>	AD変換上位レジスタ(ADH)
0017 <sub>16</sub>	シリアル/O2レジスタ(SIO2)	0037 <sub>16</sub>	AD入力選択レジスタ(ADSEL)
0018 <sub>16</sub>	送信/受信バッファレジスタ(TB/RB)	0038 <sub>16</sub>	MISRG
0019 <sub>16</sub>	シリアル/O1ステータスレジスタ(SIOSTS)	0039 <sub>16</sub>	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A <sub>16</sub>	シリアル/O1制御レジスタ(SIOCON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART制御レジスタ(UARTCON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ポーレートジェネレータ(BRG)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>	PWM制御レジスタ(PWMCON)	003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>	PWMプリスケアラ(PREPWM)	003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>	PWMレジスタ(PWM)	003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)
		00FE <sub>16</sub>	予約(注)

(注)予約領域のため、何もデータを書き込まないでください。

図9. SFR(スペシャルファンクションレジスタ)メモリマップ

## 入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場

合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0、P1、P2プルアップ制御レジスタ(0012<sub>16</sub>番地)、ポートP3プルアップ制御レジスタ(0013<sub>16</sub>番地)およびポートP4プルアップ制御レジスタ(0014<sub>16</sub>番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表7. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(1) (2) (3) (4)
P04/AN5 ~ P07/AN8				A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ	(13)
P10 ~ P17	ポートP1					(5)
P20/XCOUT P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(6) (7)
P22 P23		CMOS入力レベル Nチャネルオープンドレイン出力				(8)
P24/RxD P25/TxD P26/SCLK1	ポートP4 (注1)		CMOS入力レベル CMOS3ステート出力	シリアルI/O1機能入出力	シリアルI/O1制御レジスタ	(9) (10) (11)
P27/CNTR0/SRDY1				シリアルI/O1機能入出力 タイマX機能入出力	シリアルI/O1制御レジスタ タイマXYモードレジスタ	(12)
P30/AN0 ~ P34/AN4				ポートP3 (注1)	A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ
P40/CNTR1	ポートP4 (注1)			タイマY機能入出力	タイマXYモードレジスタ	(14)
P41/INT0 P42/INT1		外部割り込み入力	割り込みエッジ選択レジスタ	(15)		
P43/INT2/ScMP2		外部割り込み入力 ScMP2出力	割り込みエッジ選択レジスタ シリアルI/O2制御レジスタ	(16)		
P44/INT3/PWM		外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ PWM制御レジスタ	(17)		

注1. ポートP3およびP4のビット5～7を読み出した場合、その内容は不定となります。

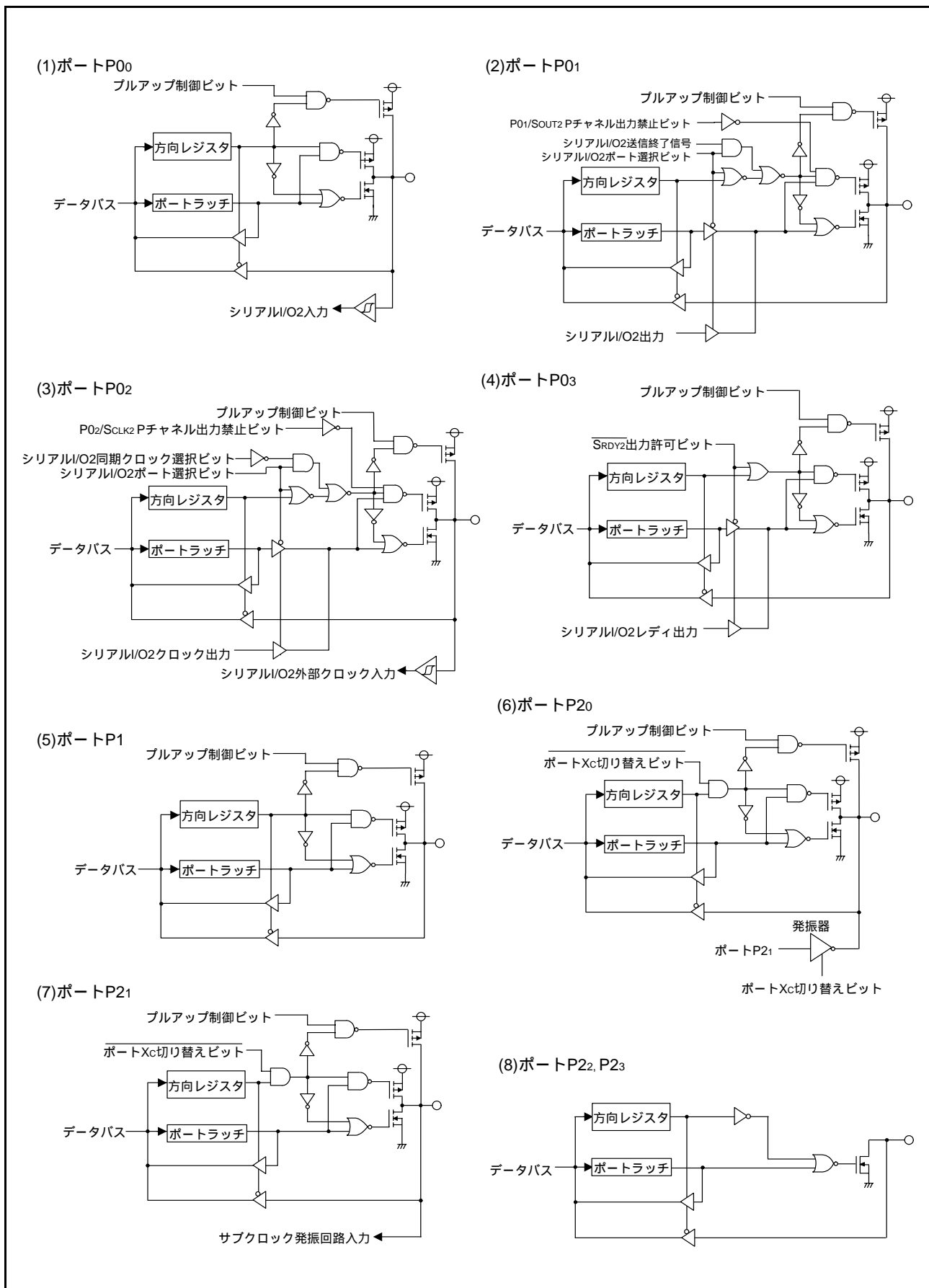


図10. ポートのブロック図(1)



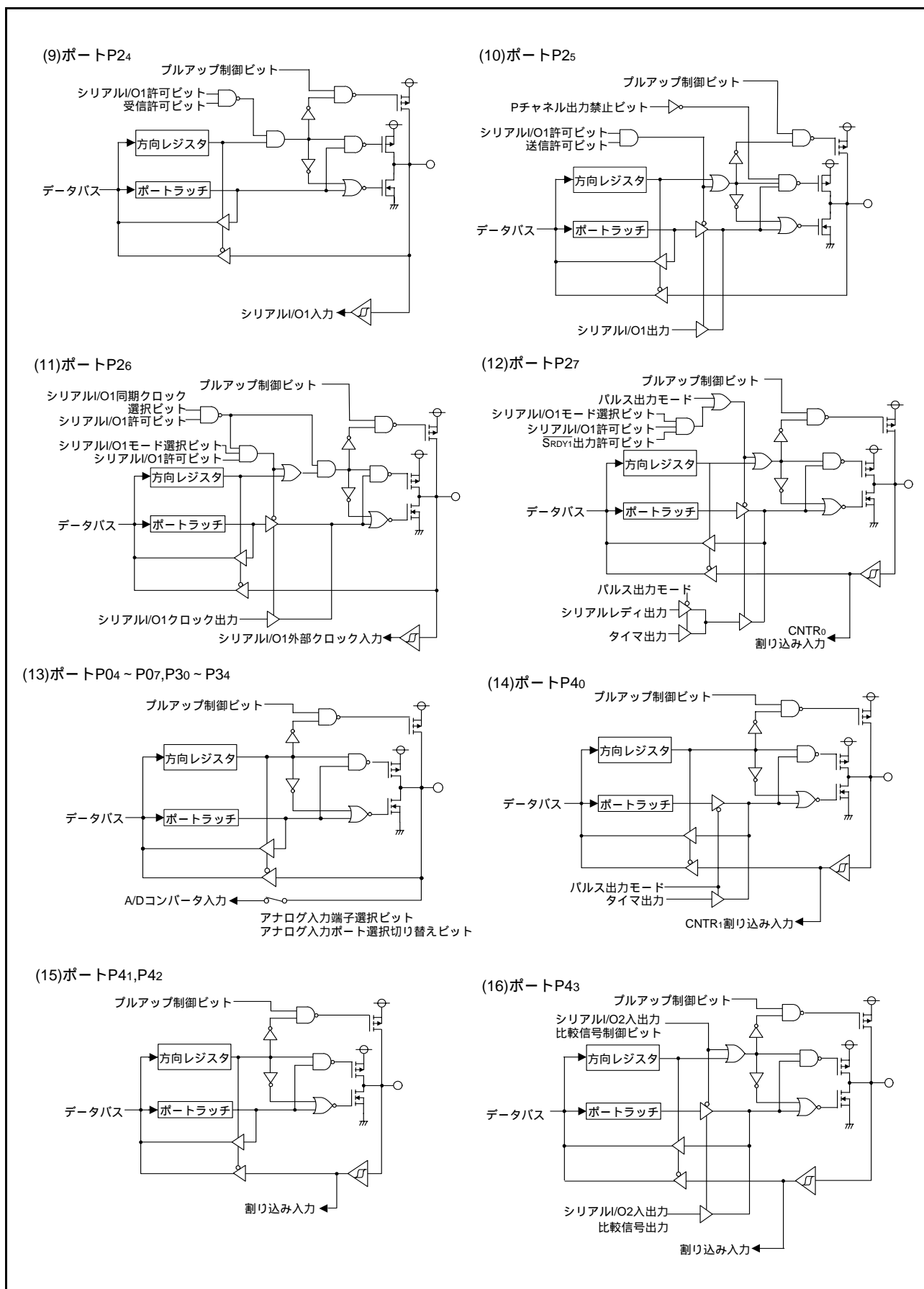


図11. ポートのブロック図(2)

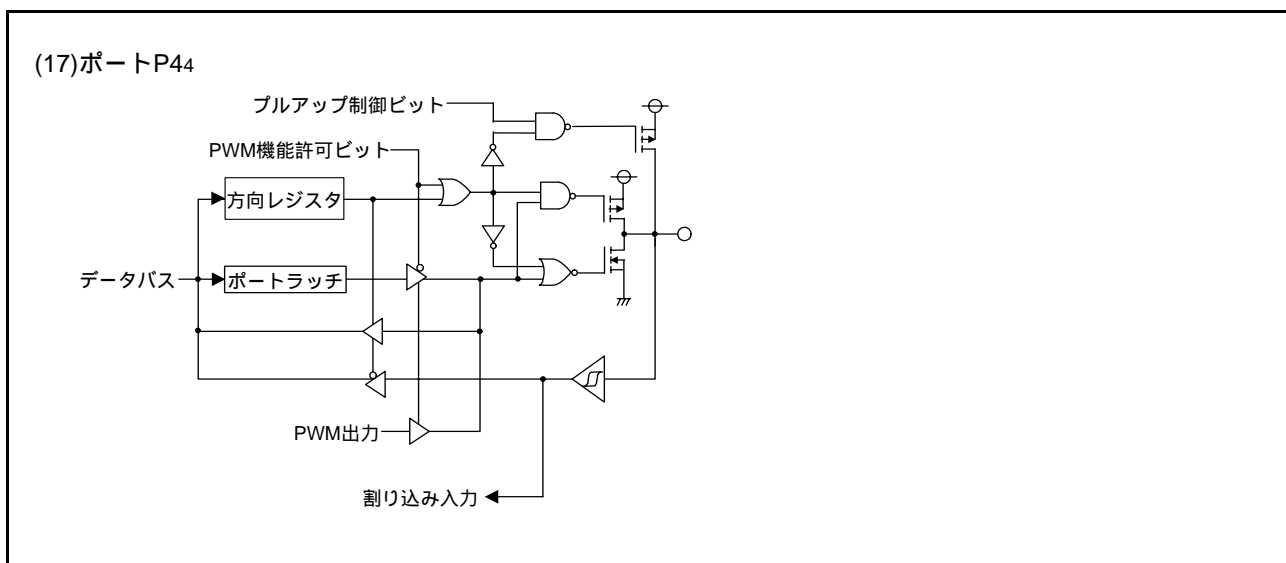


図12. ポートのブロック図(3)

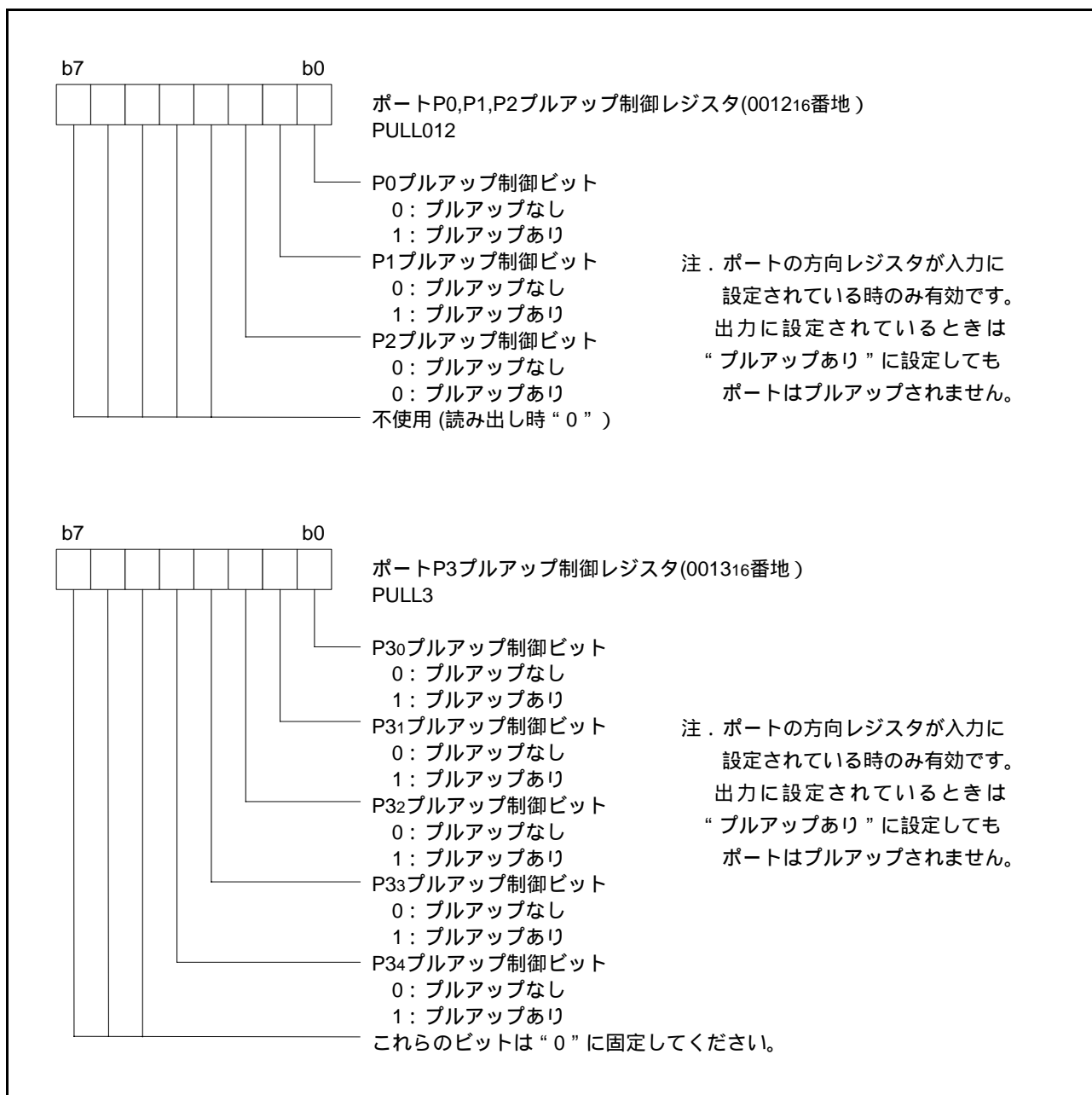


図13. ポートレジスタ構成図(1)

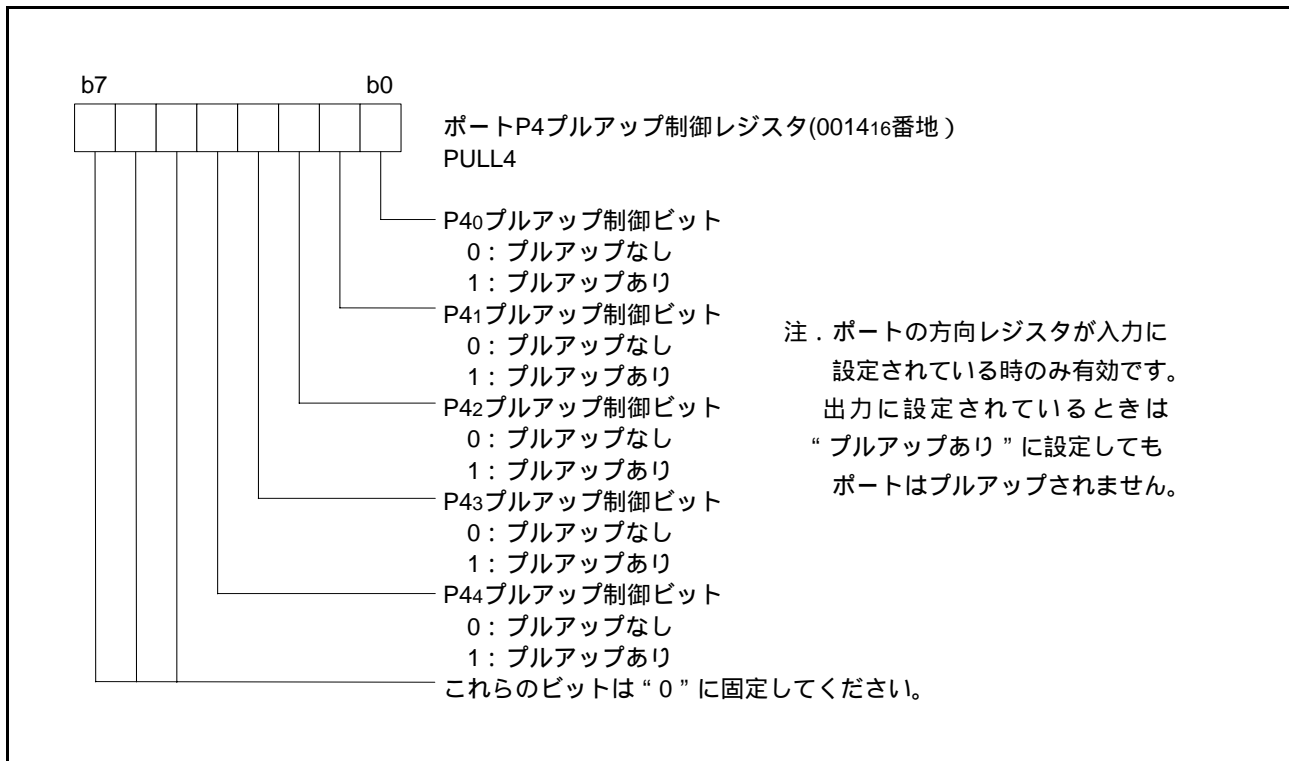


図14. ポートレジスタ構成図(2)

## 割り込み

割り込みはベクトル割り込みで、外部6要因、内部8要因、ソフトウェア1要因の15要因から発生することが可能です。

### • 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビットおよび割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	リセット時	ノンマスクابل
INT <sub>0</sub>	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>	INT <sub>0</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
予約	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>	予約	
INT <sub>1</sub>	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>	INT <sub>1</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>2</sub>	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>	INT <sub>2</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>3</sub> /シリアル/O2	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>	INT <sub>3</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時/シリアル/O2送受信完了時	外部割り込み (極性プログラマブル) シリアル/O2/INT <sub>3</sub> 割り込み要因ビットにより切り替え
予約	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>	予約	
タイマX	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>	タイマXアンダフロー時	
タイマY	9	FFED <sub>16</sub>	FFEC <sub>16</sub>	タイマYアンダフロー時	
タイマ1	10	FFEB <sub>16</sub>	FFEA <sub>16</sub>	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>	タイマ2アンダフロー時	
シリアル/O1受信	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>	シリアル/O1送信シフト終了時または送信バッファ空き時	シリアル/O1選択時のみ有効
CNTR <sub>0</sub>	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>	CNTR <sub>0</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR <sub>1</sub>	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>	CNTR <sub>1</sub> 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>	A/D変換終了時	
BRK命令	17	FFDD <sub>16</sub>	FFDC <sub>16</sub>	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

リセットとBRK命令割り込みを禁止するフラグまたはビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

### • 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

**注意事項**

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際  
対象レジスタ：割り込みエッジ選択レジスタ(003A16番地)  
                  タイマXYモードレジスタ(002316番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を設定する際  
対象レジスタ：割り込みエッジ選択レジスタ1(003A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- 該当する割り込み許可ビットを“0”(禁止)にする。
- 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- 該当する割り込み許可ビットを“1”(許可)にする。

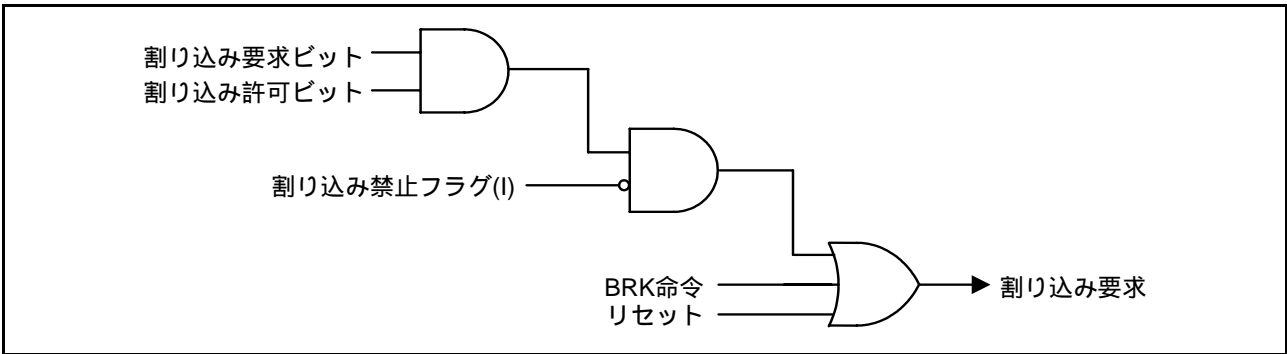


図15. 割り込み制御図

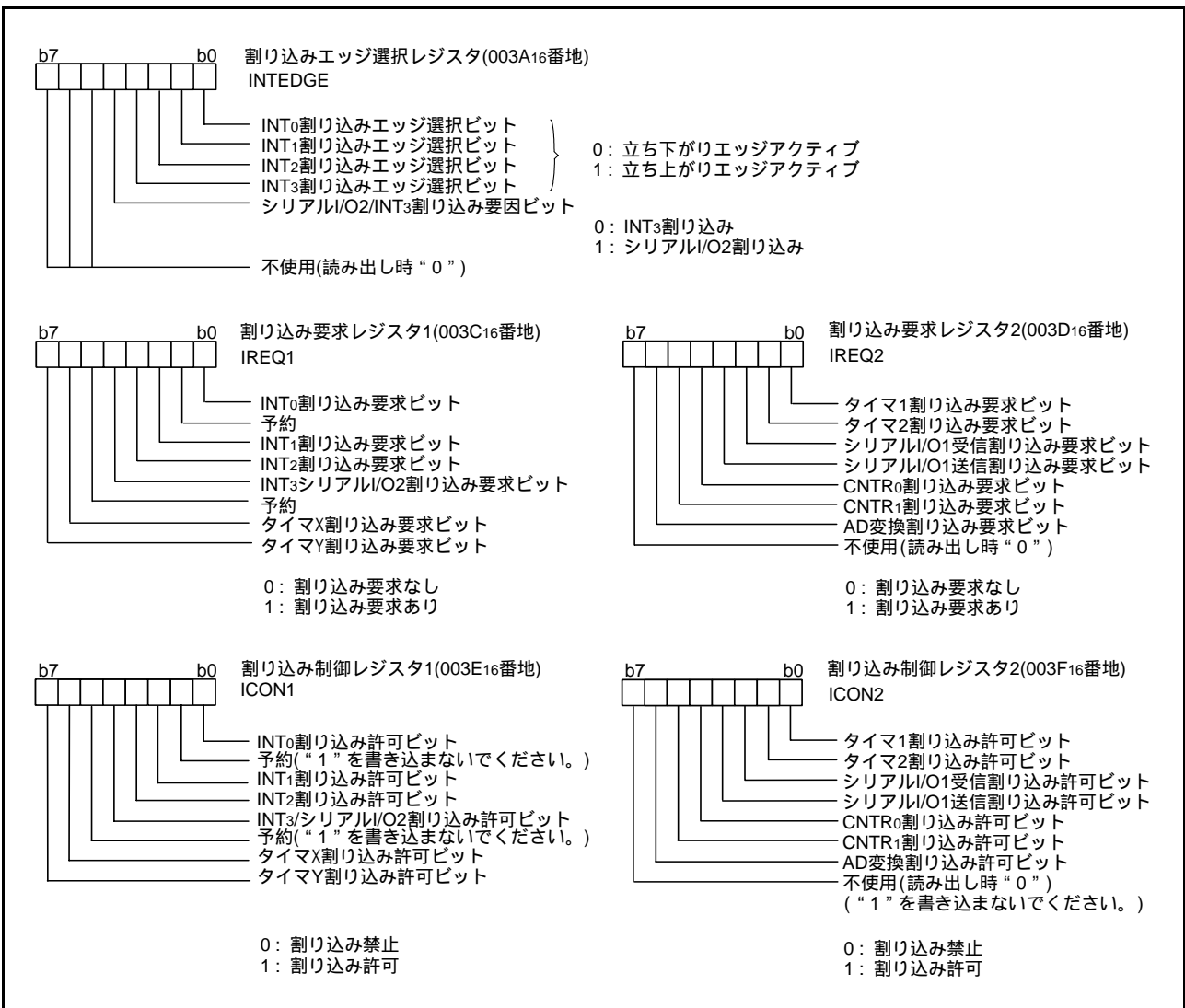


図16. 割り込み関係レジスタの構成

## タイマ

タイマはタイマX、タイマY、タイマ1およびタイマ2の4本あります。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容を  $n$  とすると  $1/(n+1)$  になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

### タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1およびタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

### タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

#### (1) タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

#### (2) パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR<sub>0</sub>/CNTR<sub>1</sub>端子より出力します。CNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットが“0”のときは、CNTR<sub>0</sub>/CNTR<sub>1</sub>端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

#### (3) イベントカウンタモード

CNTR<sub>0</sub>/CNTR<sub>1</sub>端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットが“0”のときは、CNTR<sub>0</sub>/CNTR<sub>1</sub>端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

#### (4) パルス幅測定モード

CNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットが“0”のときは、CNTR<sub>0</sub>/CNTR<sub>1</sub>端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

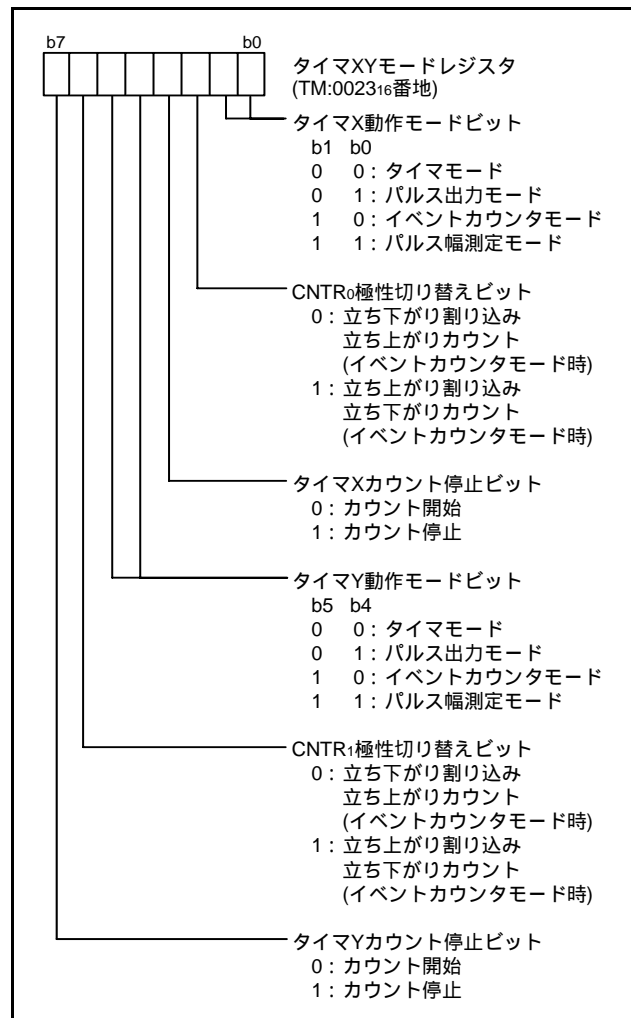


図17. タイマXYモードレジスタの構成

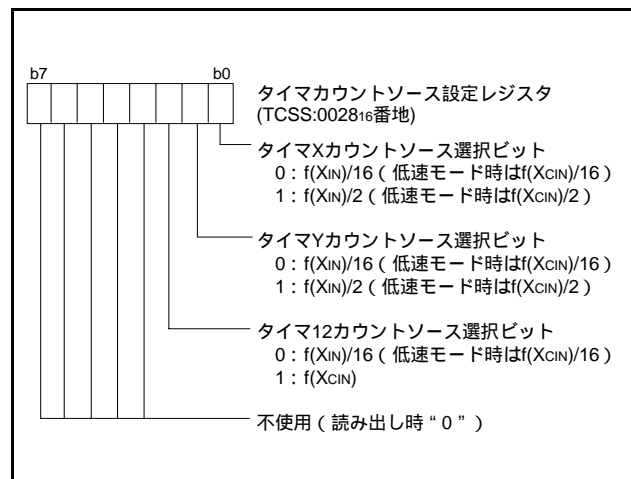


図18. タイマカウントソース設定レジスタ

#### 注意事項

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

タイマX/タイマYカウント停止ビットを“1”にする命令を実行中にタイマX/タイマYがアンダフローした場合、タイマX/タイマY割り込み要求ビットが“1”になります。このとき、タイマX/タイマYの割り込みが許可されていると、割り込みが受け付けられます。割り込みが受け付けられるタイミングは、タイマのアンダフローのタイミングにより、カウント停止ビットを“1”にする命令の後の場合と、その次の命令の後の場合があります。この割り込みが不要な場合は、割り込み許可ビットを“0”(禁止)にした後、カウント停止ビットを“1”にしてください。



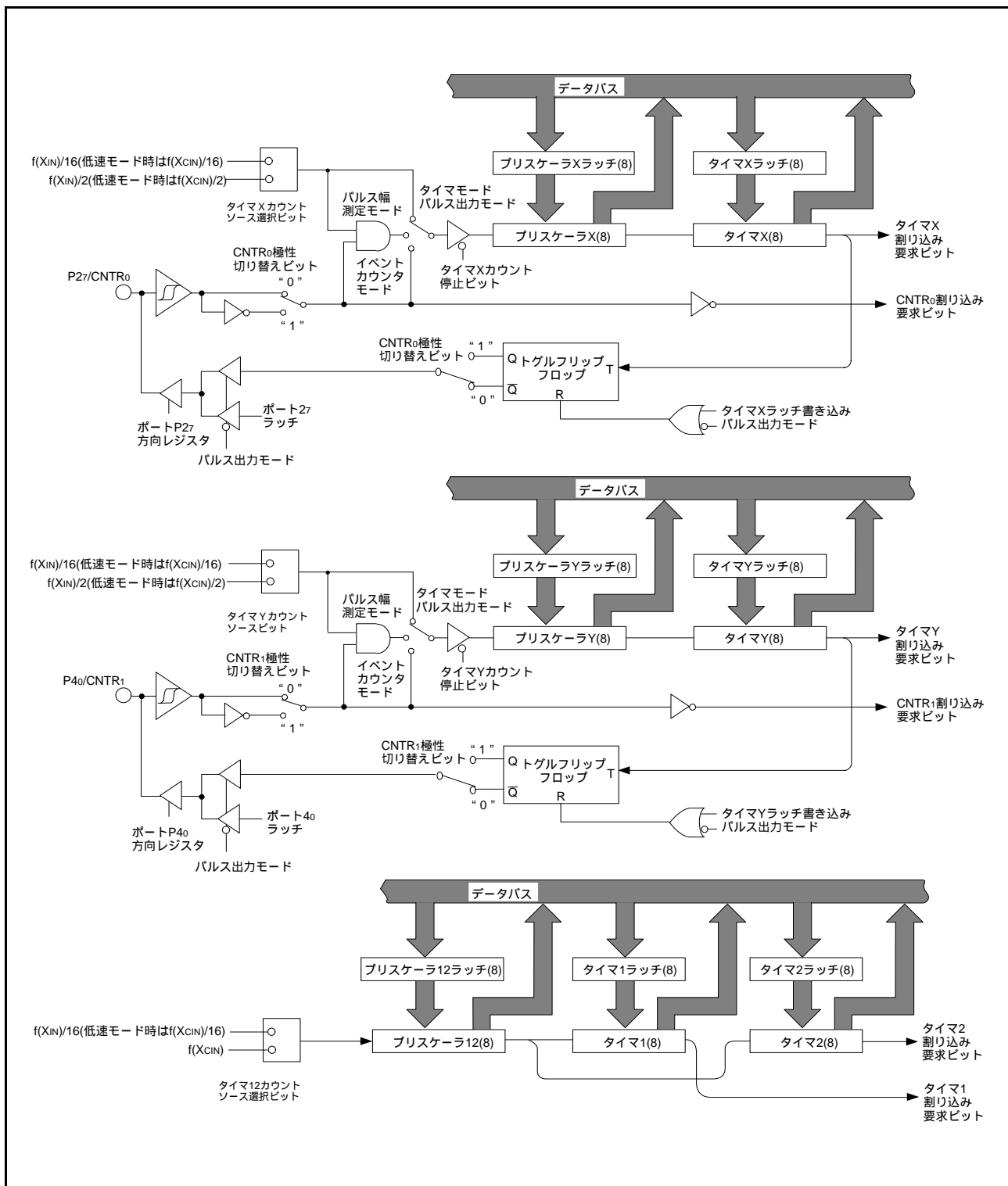


図19. タイマX, タイマY, タイマ1およびタイマ2のブロック図

## シリアルインタフェース

### シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

### (1) クロック同期シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期シリアルI/Oが選択されます。

クロック同期シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

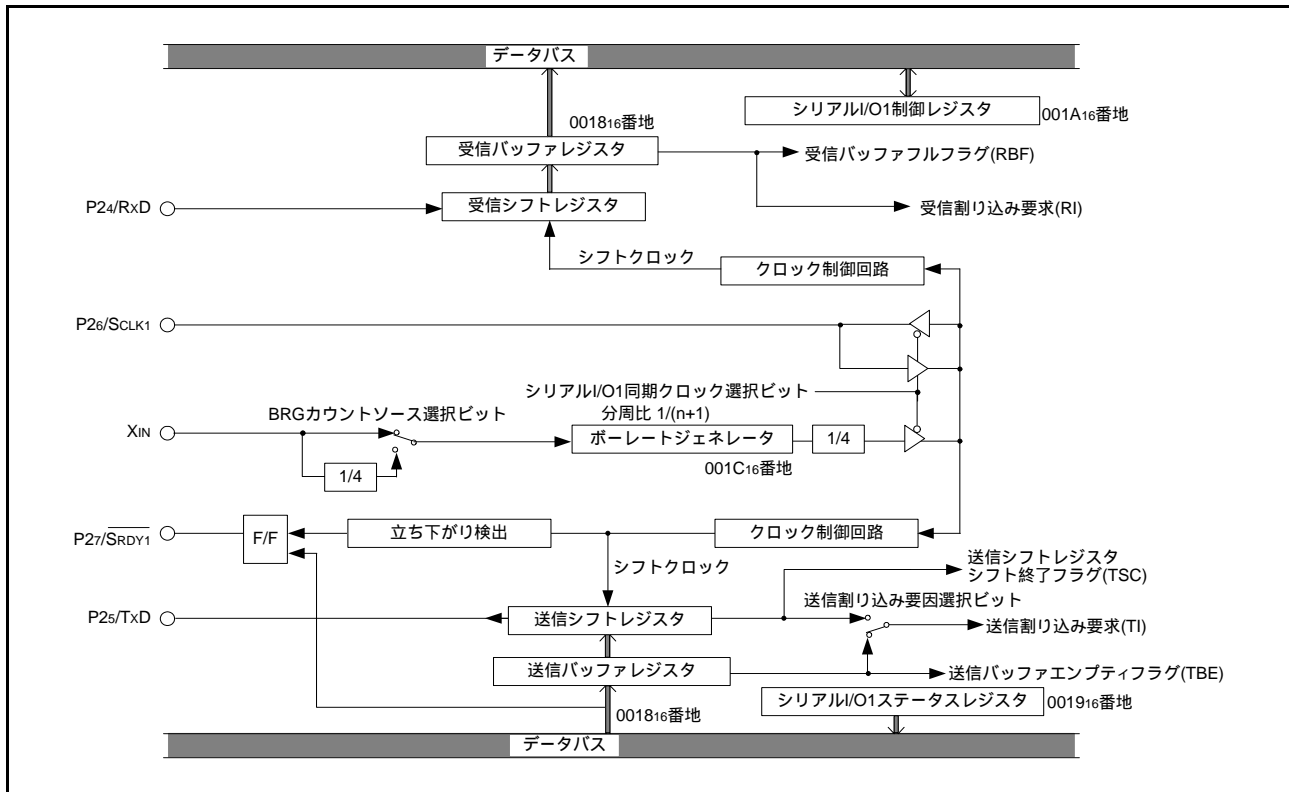


図20. クロック同期シリアルI/O1ブロック図

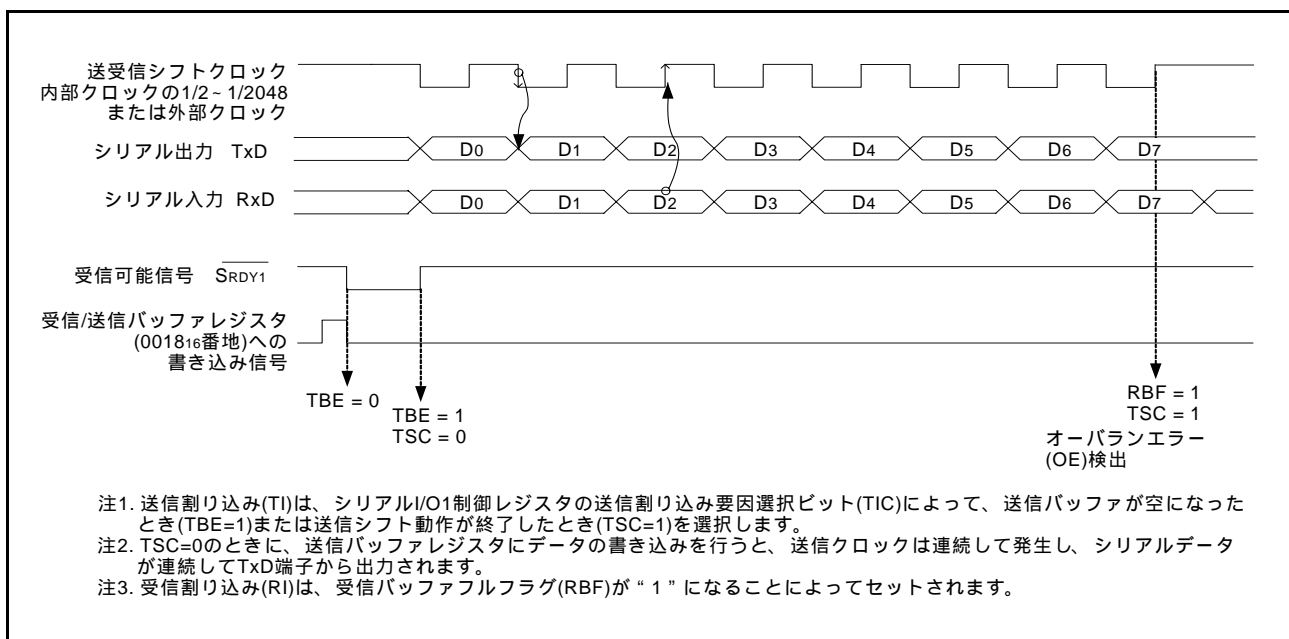


図21. クロック同期シリアルI/O1動作図

**(2) 非同期形シリアルI/O (UART) モード**

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを

持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

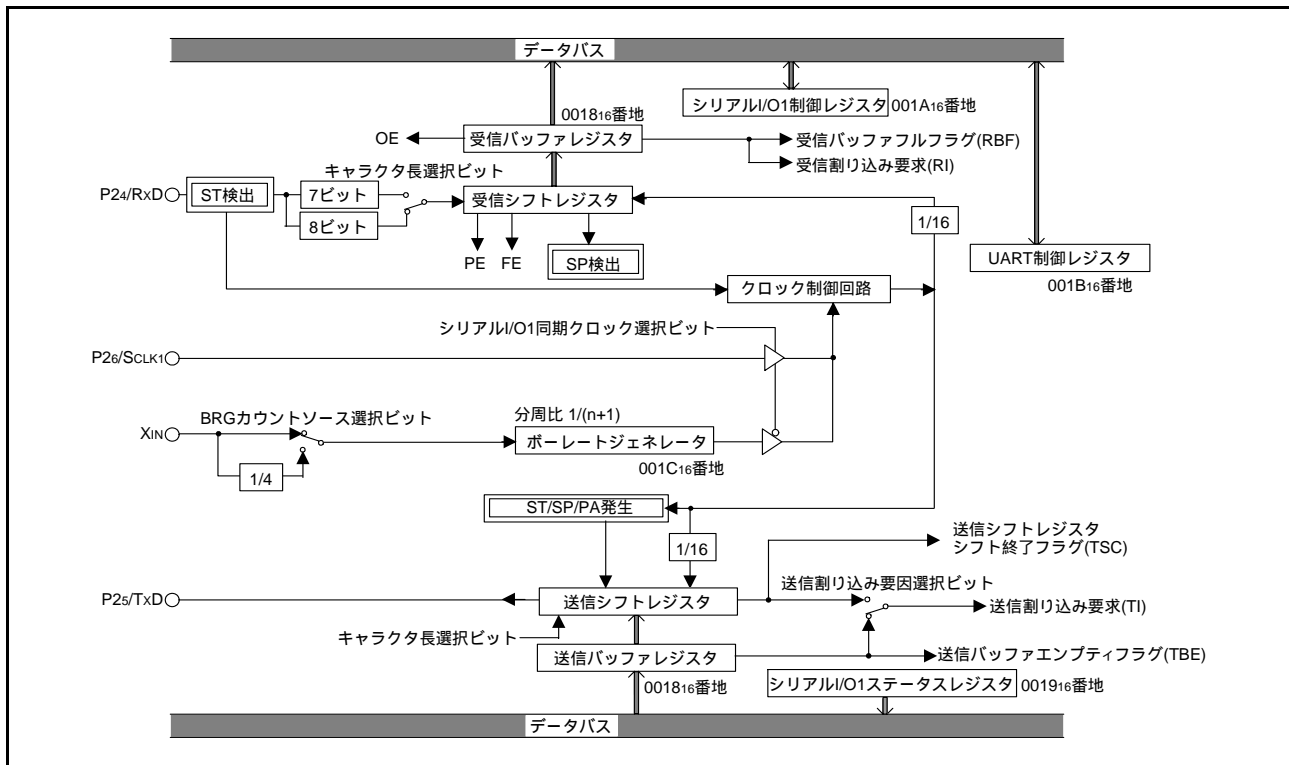


図22. UART形シリアルI/O1ブロック図

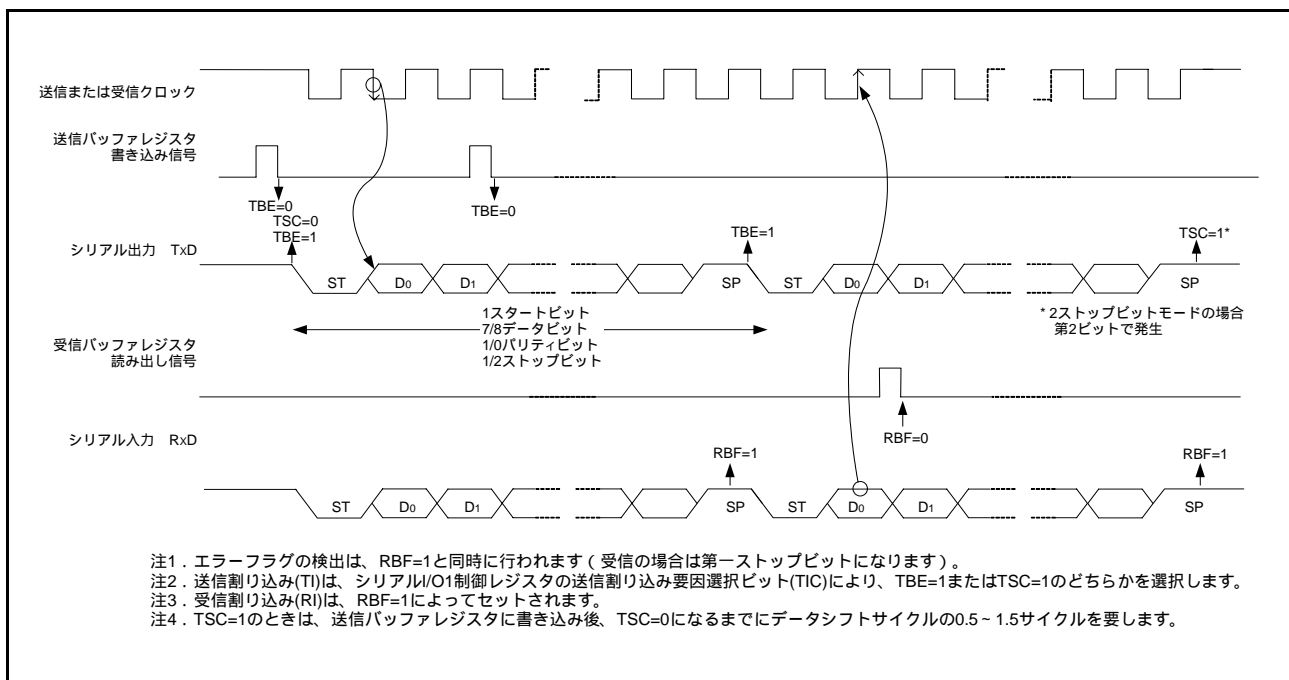


図23. UART形シリアルI/O1動作図

**【送信バッファレジスタ/受信バッファレジスタ】TB/RB**

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

**【シリアルI/O1ステータスレジスタ】SIOSTS**

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ (OE、PE、FE、SE) がクリアされます。また、シリアルI/O1許可ビット (b7) に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット (b4) を“1”にしたときビット2とビット0は“1”になります。

**【シリアルI/O1制御レジスタ】SIOCON**

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

**【UART制御レジスタ】UARTCON**

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P25/TxD端子の出力形式などを設定します。

**【ボーレートジェネレータ】BRG**

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

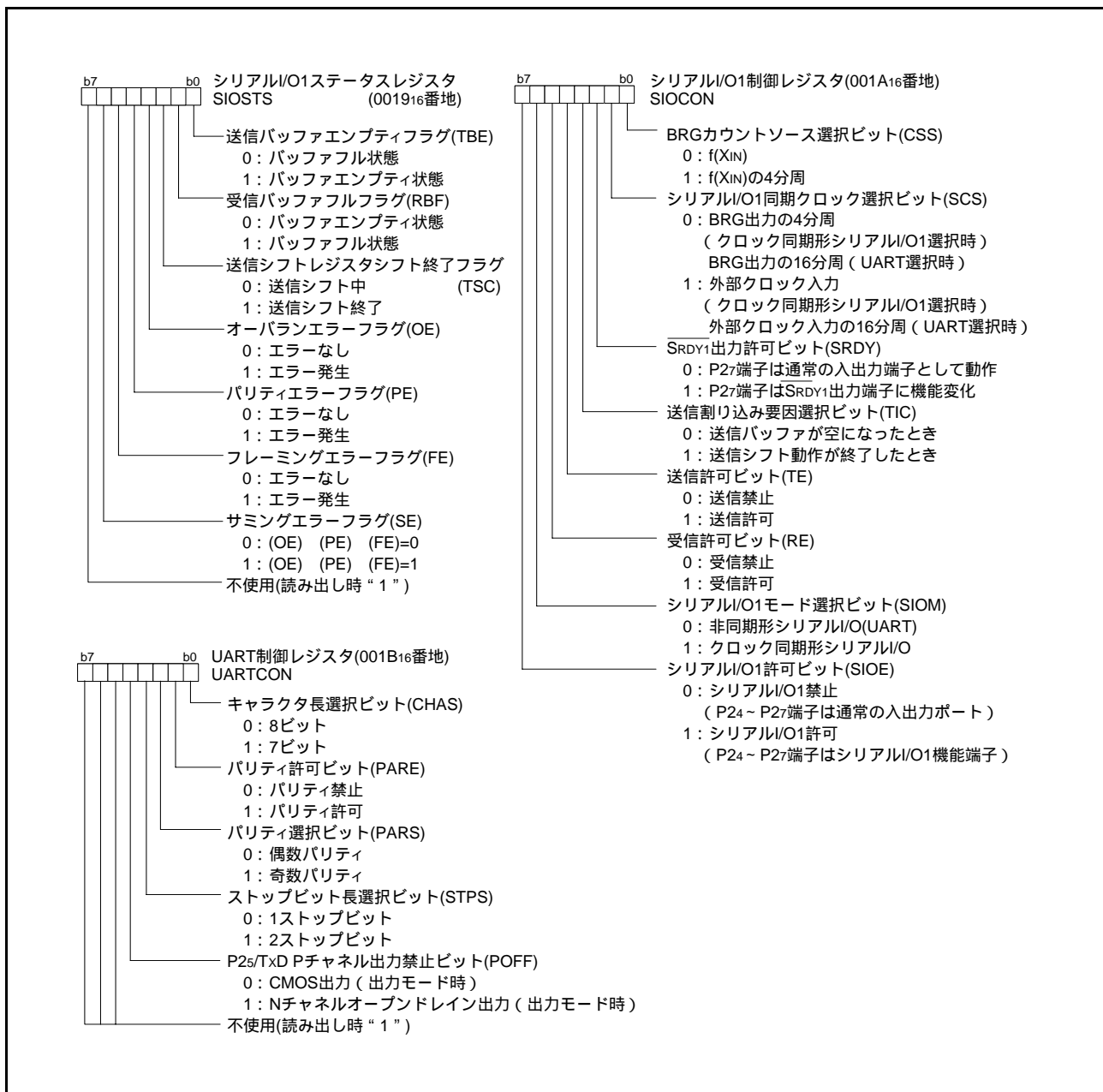


図24. シリアルI/O1関係レジスタの構成

**注意事項**

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1) シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- (2) 送信許可ビットを“1”にする。
- (3) 一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
- (4) シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

## シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロックまたは外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2、b1、b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(b7)により、CMOS出力またはNチャネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(001716番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態ではシリアルI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1~8ビット)を転送後割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、この時INT2割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A16番地)のビット2で選択してください。

### 【シリアルI/O2制御レジスタ1、2】SIO2CON1、SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

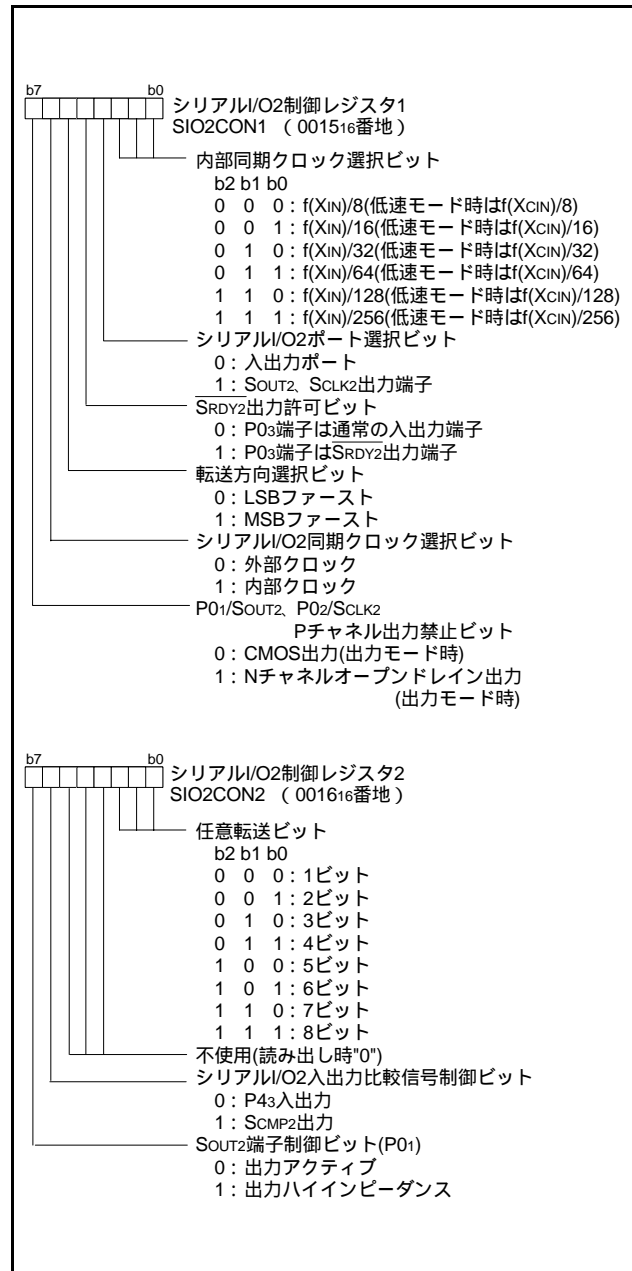


図25. シリアルI/O2制御レジスタ1、2の構成

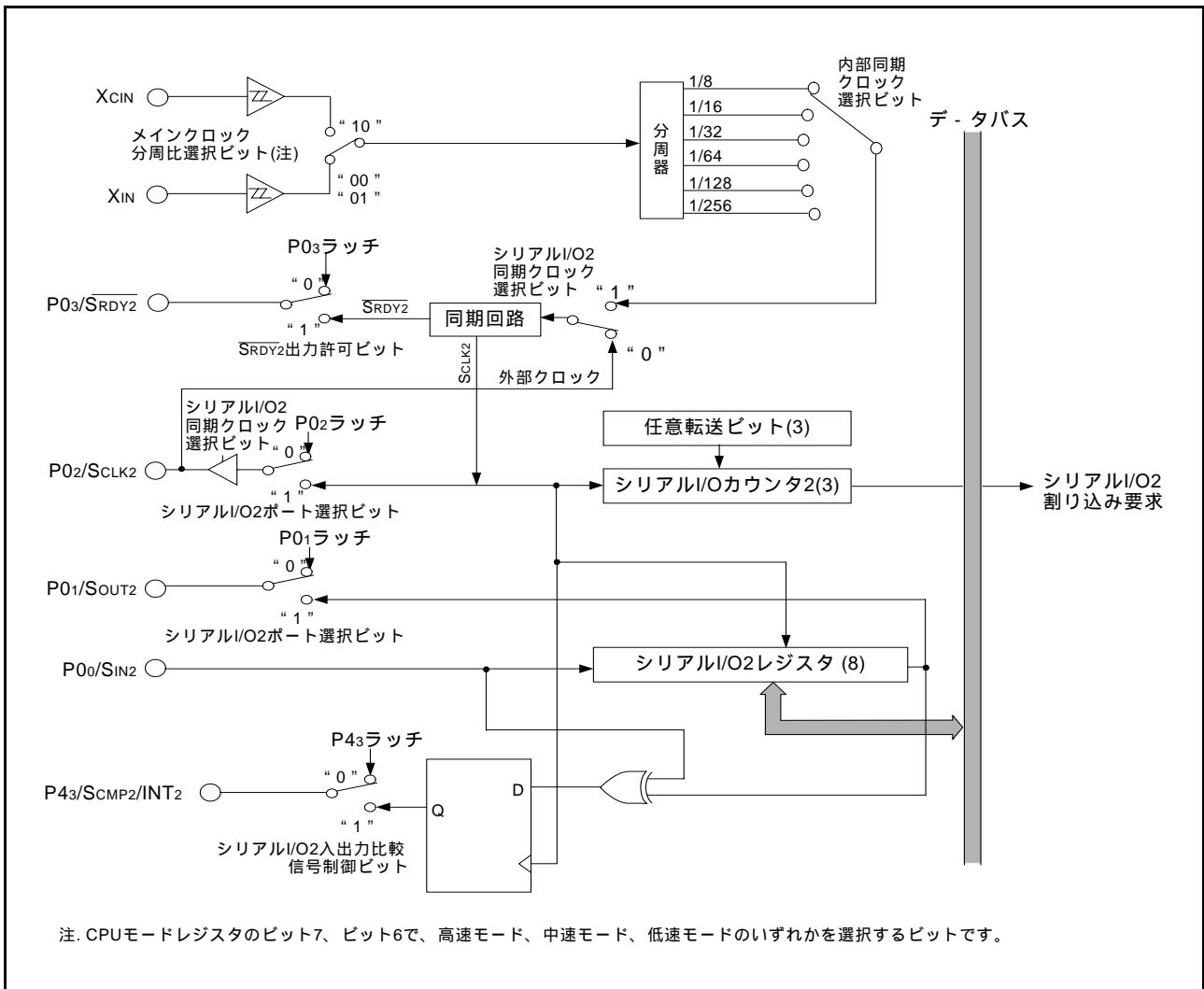


図26. シリアルI/O2ブロック図

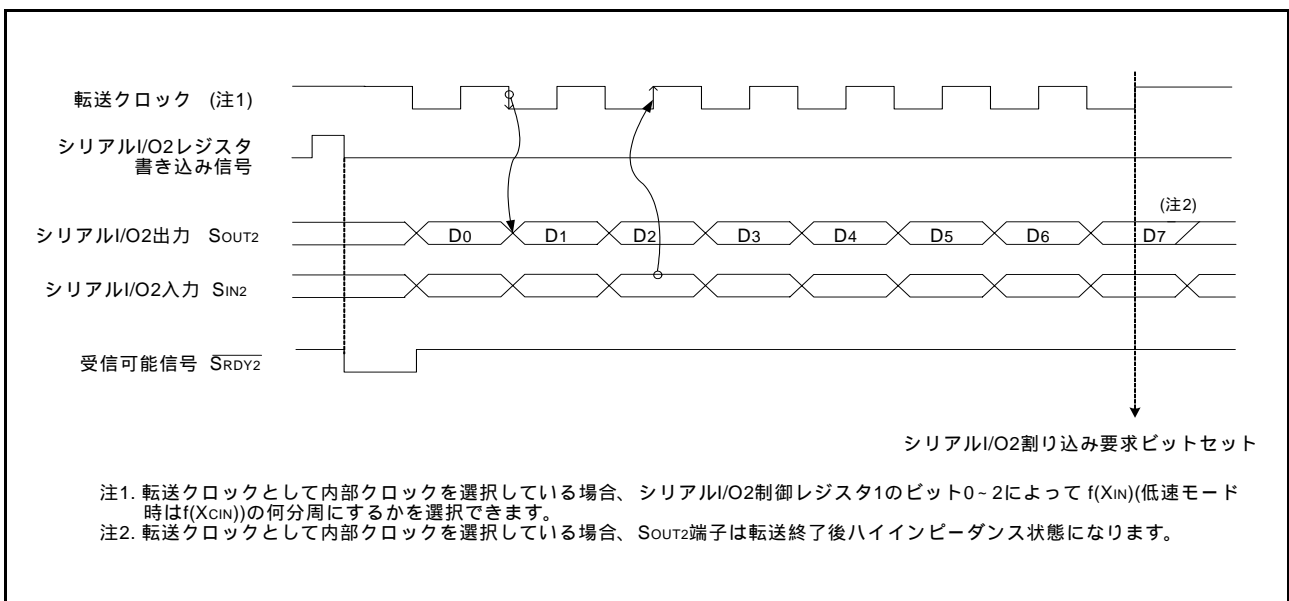


図27. シリアルI/O2タイミング図

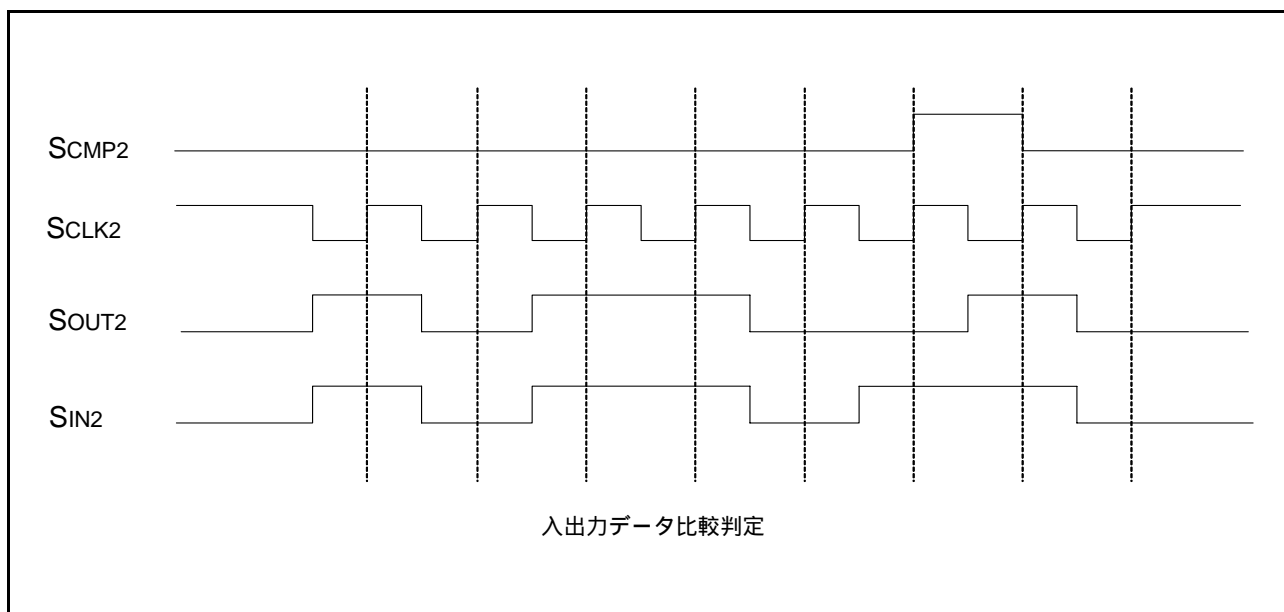


図28. SCMP2出力の動作



**PWM (PWM: Pulse Width Modulation)**

PWMは8ビット分解能を持ち、クロック入力X<sub>IN</sub>またはX<sub>IN</sub>を2分周した信号を基本としています。

• データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n + 1)}{f(X_{IN})} \\ &= (31.875) \times (n + 1) \mu\text{s} \end{aligned}$$

(f(X<sub>IN</sub>) = 8MHz、カウントソース選択ビット = “0”の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n + 1) \times m \mu\text{s} \end{aligned}$$

(f(X<sub>IN</sub>) = 8MHz、カウントソース選択ビット = “0”の場合)

• PWMの動作

PWM制御レジスタのビット0(PWM許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

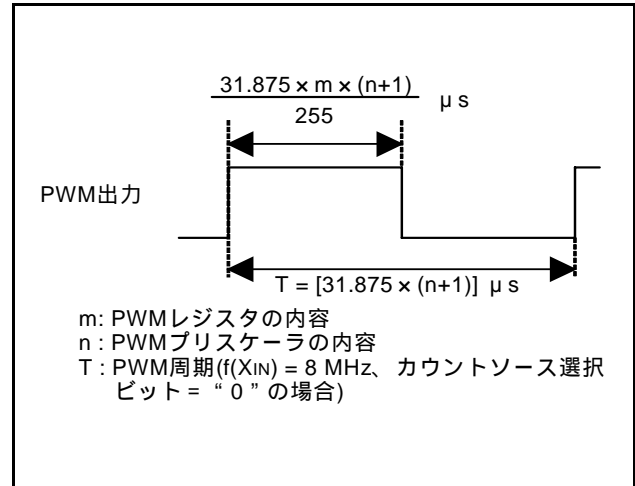


図29. PWM周期のタイミング図

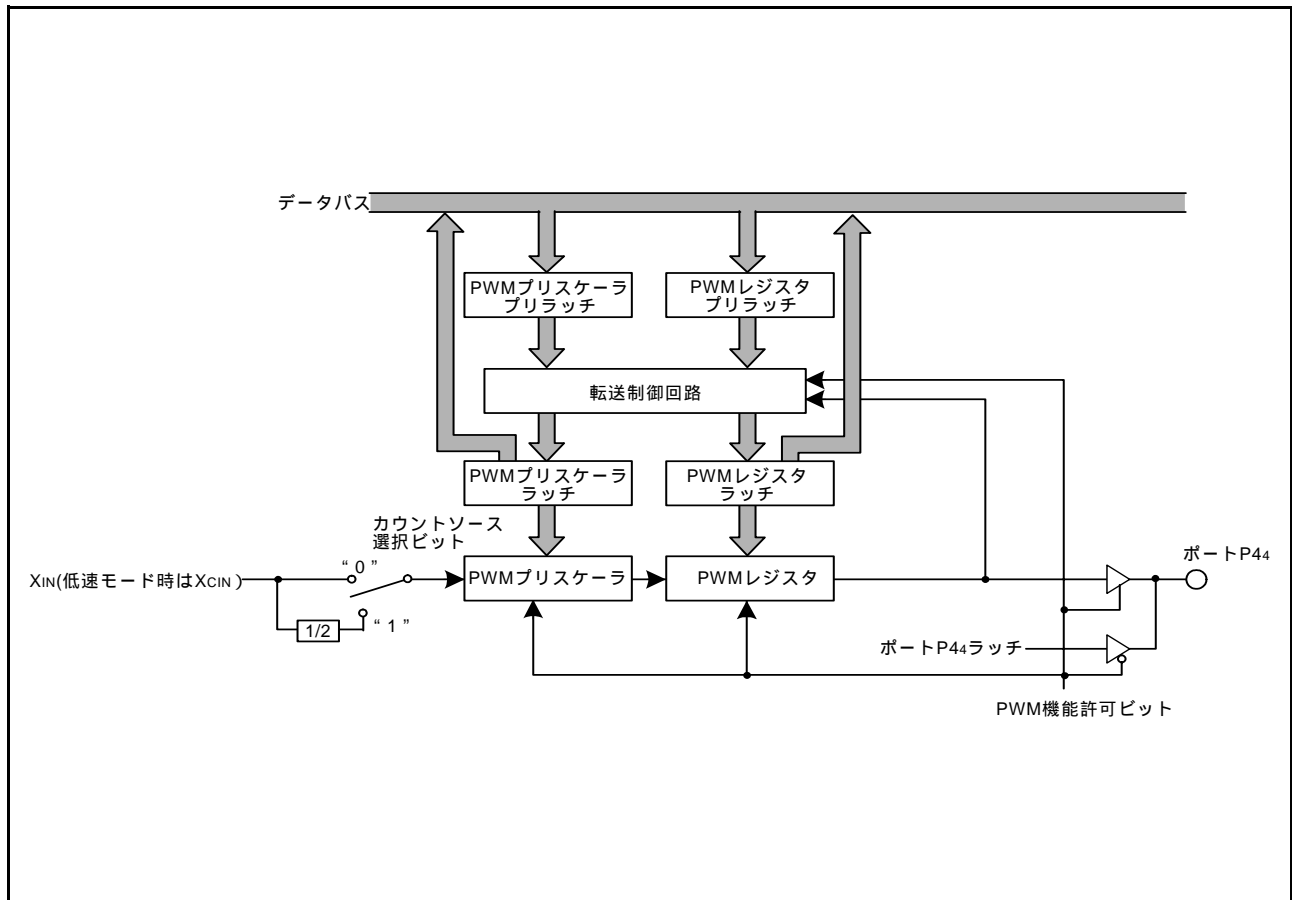


図30. PWMブロック図

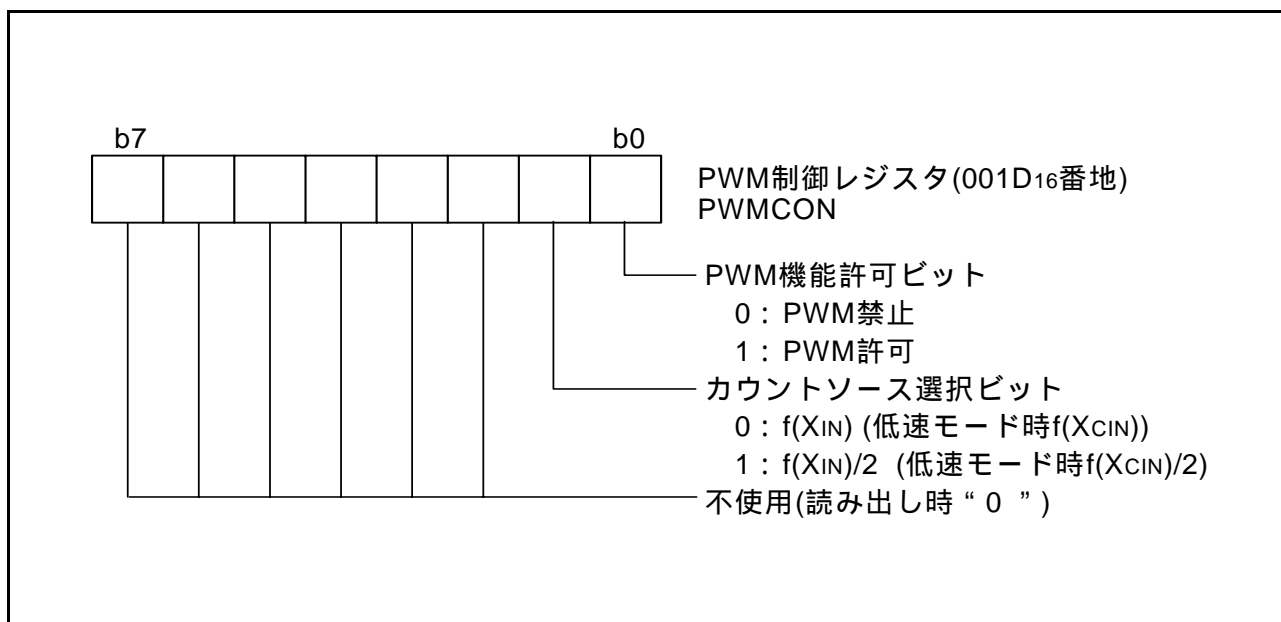


図31. PWM制御レジスタの構成

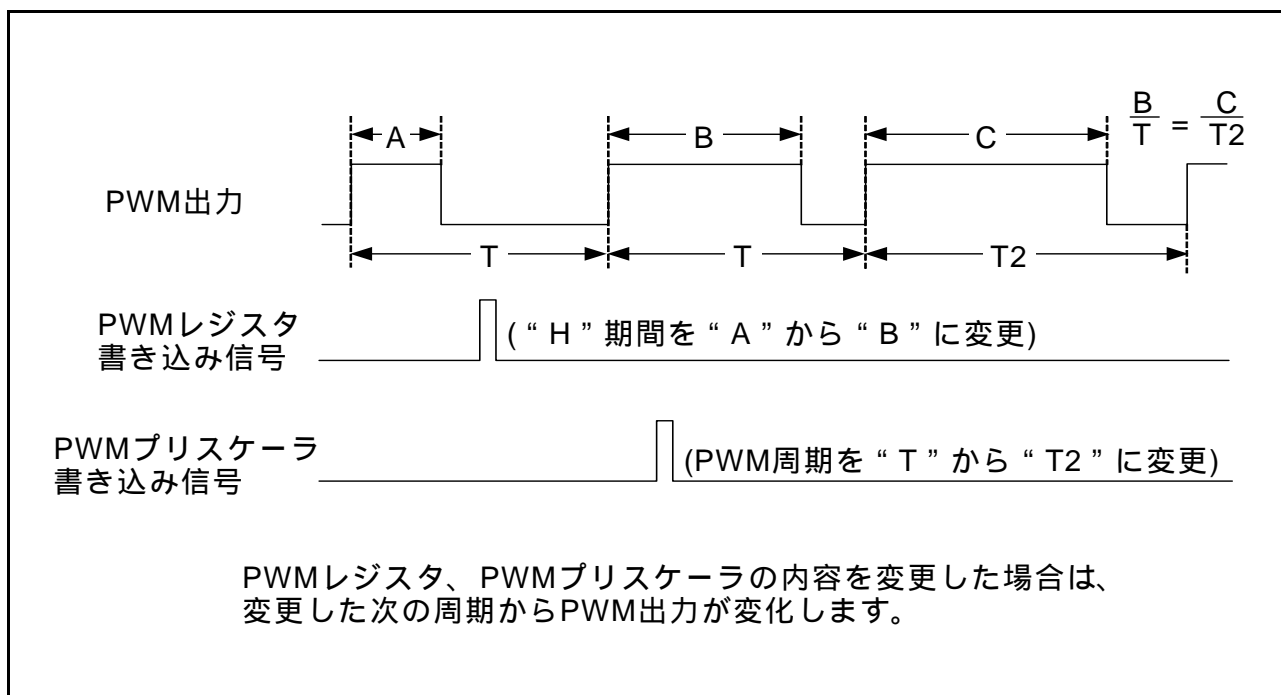


図32. PWMレジスタおよびPWMプリスケアラ変更時のPWM出力タイミング図

**注意事項**

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- カウントソース選択ビット=“0”, n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- カウントソース選択ビット=“1”, n=プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

**A/Dコンバータ(逐次比較型)**

**【AD変換レジスタ】ADL, ADH**

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中はこのレジスタを読み出さないでください。

**【AD制御レジスタ】ADCON**

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。これらのビットに値を設定することにより、AD入力選択レジスタ(003716番地)のビット0が“0”の場合、P30/AN0～P34/AN4が選択でき、AD入力選択レジスタ(003716番地)のビット0が“1”の場合は、P04/AN5～P07/AN8が選択できます。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

**【AD入力選択レジスタ】ADSEL**

AD入力選択レジスタにはA/Dコンバータへのアナログ入力ポートの選択切り替えビットがビット0に割り付けられています。

このアナログ入力ポート切り替えビットに“0”を設定した場合、AD制御レジスタ(003416番地)のアナログ入力端子選択ビット(b2,b1,b0)によって、P30/AN0～P34/AN4を選択することができます。

“1”を設定した場合、AD制御レジスタ(003416番地)のアナログ入力端子選択ビット(b2,b1,b0)によって、P04/AN5～P07/AN8を選択することができます。

**【比較電圧発生器】**

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

**【チャンネルセクタ】**

ポートP34/AN4～P30/AN0、P07/AN8～P04/AN5より1本を選択し、コンパレータに入力します。

**【コンパレータおよび制御回路】**

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビットおよびAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますのでf(XIN)およびf(XCIN)下限周波数の制限はありません。

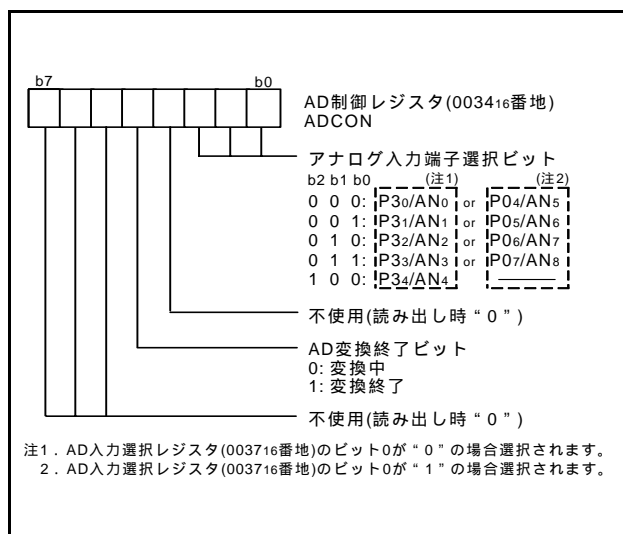


図33. AD制御レジスタの構成

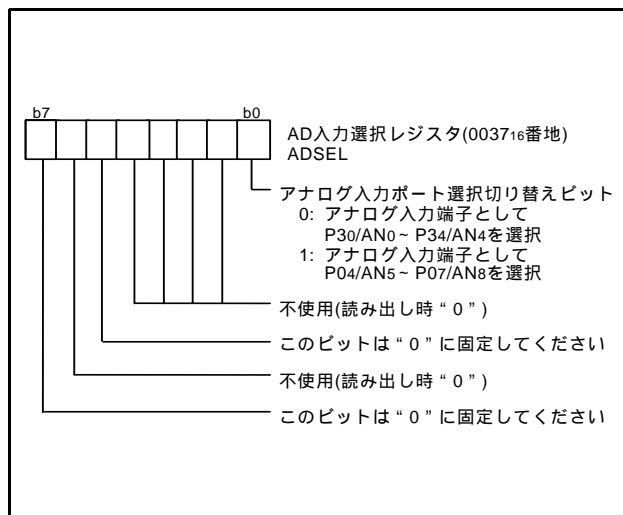


図34. AD入力選択レジスタの構成

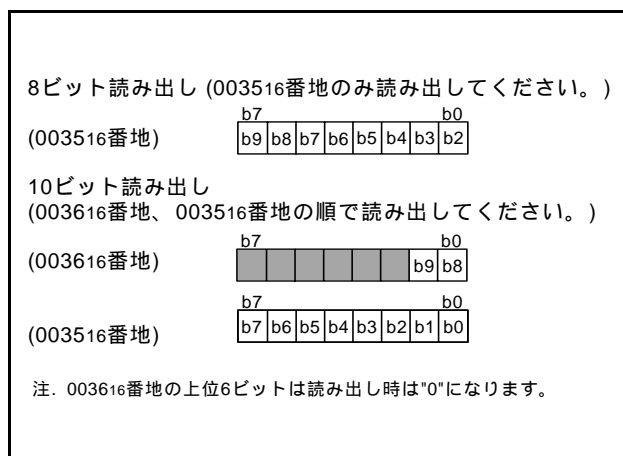


図35. AD変換レジスタの構成

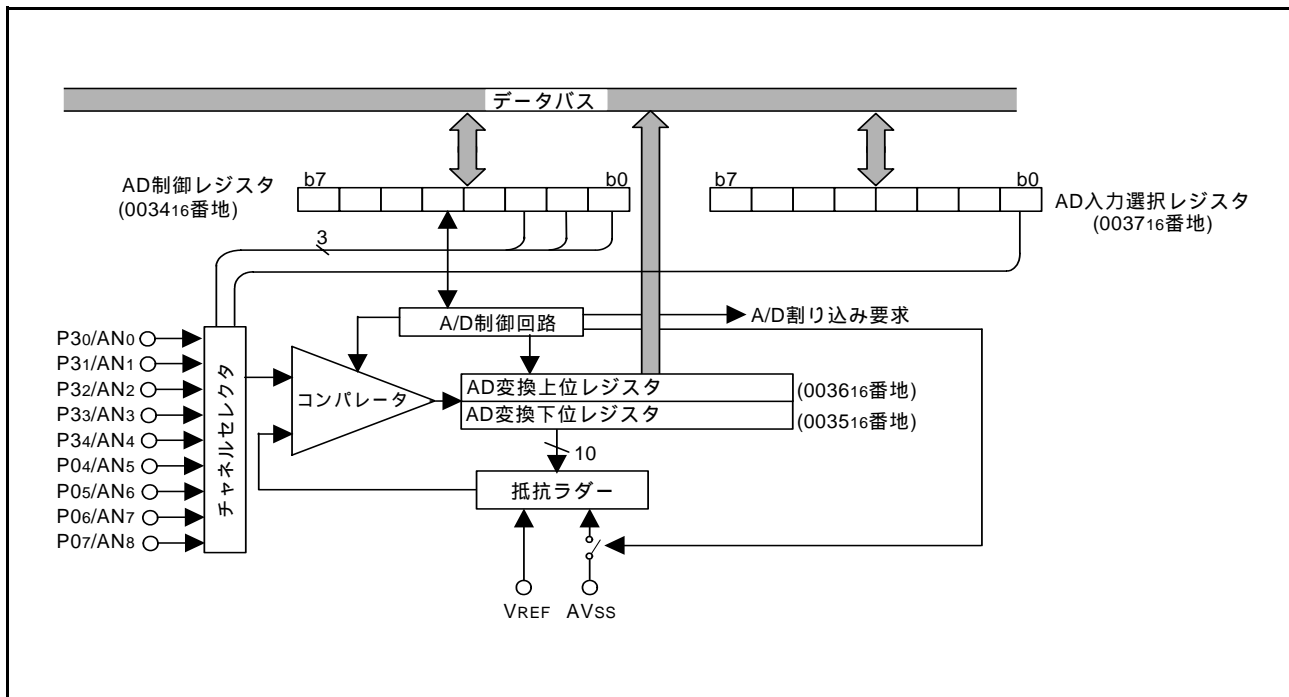


図36. A/Dコンバータのブロック図

### ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

#### (1) ウォッチドッグタイマの初期値

リセット時、またはウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)への書き込みによりウォッチドッグタイマHは“FF<sub>16</sub>”に、ウォッチドッグタイマLは“FF<sub>16</sub>”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0~5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

ビット6は、リセット解除後1度だけ書き込みが可能で、書き込み後は、ロックされるため書き換えはできません。

#### (2) ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(0039<sub>16</sub>番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みま

す。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

#### (3) ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。  
 $X_{CIN}=32.768\text{kHz}$  時32s,  $X_{IN}=12.5\text{MHz}$  時83.886ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。  
 $X_{CIN}=32.768\text{kHz}$  時125ms,  $X_{IN}=12.5\text{MHz}$  時327.68μs

注.1 ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

注.2 中速モードではウォッチドッグタイマを使用できません。(ウォッチドッグタイマのアンダフロータイミングにより、内部リセットが正常に動作しない場合があります。)

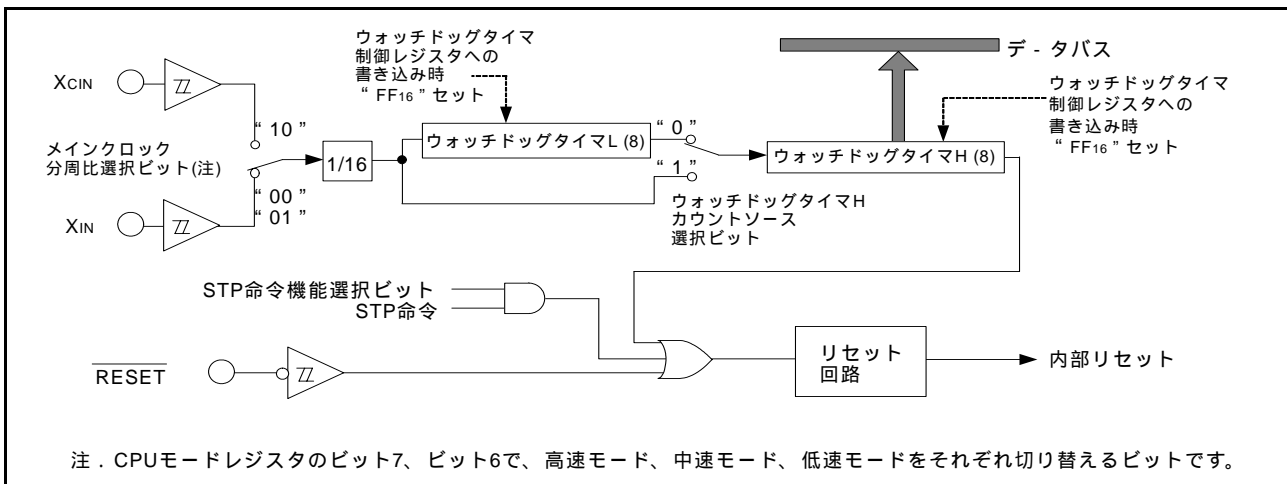


図37. ウォッチドッグタイマのブロック図

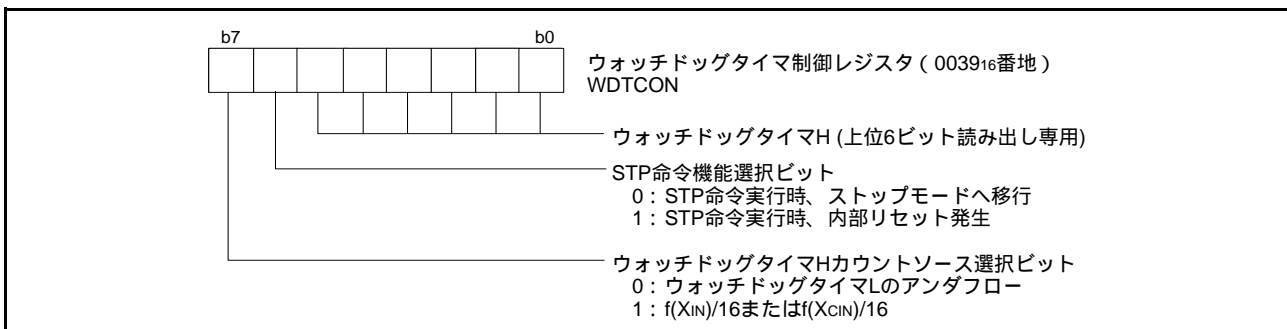


図38. ウォッチドッグタイマ制御レジスタの構成

### リセット回路

電源電圧が1.8 ~ 5.5Vにあり、 $X_{IN}$ が安定発振しているとき、RESET端子を $X_{IN}$ の20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が1.8Vを通過する時点で0.28V以下になるようにしてください。

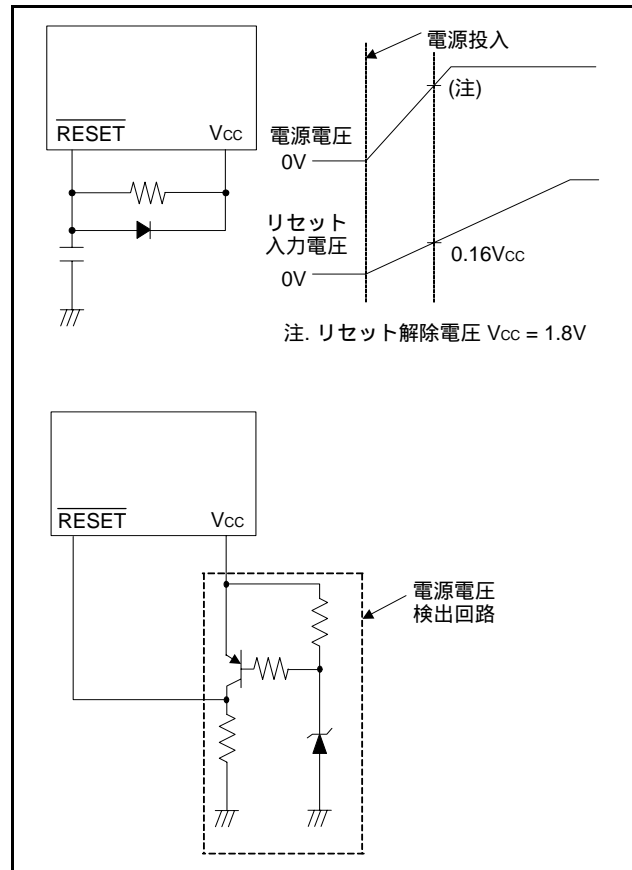


図39. リセット回路例

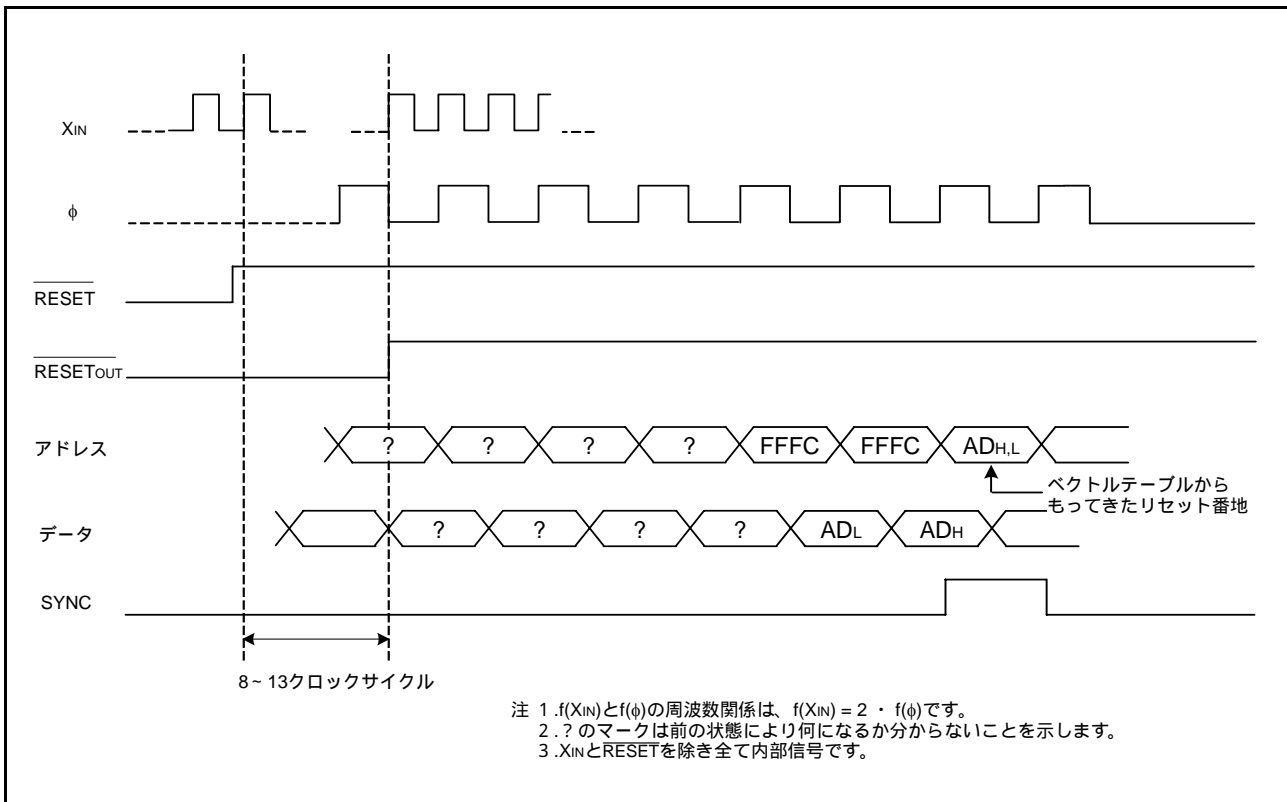


図40. リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 <sub>16</sub>	00 <sub>16</sub>	(34) AD制御レジスタ	0034 <sub>16</sub>	0 0 0 1 0 0 0 0
(2) ポートP0方向レジスタ	0001 <sub>16</sub>	00 <sub>16</sub>	(35) AD変換下位レジスタ	0035 <sub>16</sub>	X X X X X X X X
(3) ポートP1	0002 <sub>16</sub>	00 <sub>16</sub>	(36) AD変換上位レジスタ	0036 <sub>16</sub>	0 0 0 0 0 0 0 X
(4) ポートP1方向レジスタ	0003 <sub>16</sub>	00 <sub>16</sub>	(37) AD入力選択レジスタ	0037 <sub>16</sub>	00 <sub>16</sub>
(5) ポートP2	0004 <sub>16</sub>	00 <sub>16</sub>	(38) MISRG	0038 <sub>16</sub>	00 <sub>16</sub>
(6) ポートP2方向レジスタ	0005 <sub>16</sub>	00 <sub>16</sub>	(39) ウォッチドッグタイマ制御レジスタ	0039 <sub>16</sub>	0 0 1 1 1 1 1 1
(7) ポートP3	0006 <sub>16</sub>	00 <sub>16</sub>	(40) 割り込みエッジ選択レジスタ	003A <sub>16</sub>	00 <sub>16</sub>
(8) ポートP3方向レジスタ	0007 <sub>16</sub>	00 <sub>16</sub>	(41) CPUモードレジスタ	003B <sub>16</sub>	0 1 0 0 1 0 0 0
(9) ポートP4	0008 <sub>16</sub>	00 <sub>16</sub>	(42) 割り込み要求レジスタ1	003C <sub>16</sub>	00 <sub>16</sub>
(10) ポートP4方向レジスタ	0009 <sub>16</sub>	00 <sub>16</sub>	(43) 割り込み要求レジスタ2	003D <sub>16</sub>	00 <sub>16</sub>
(11) ポートP0,P1,P2プルアップ制御レジスタ	0012 <sub>16</sub>	00 <sub>16</sub>	(44) 割り込み制御レジスタ1	003E <sub>16</sub>	00 <sub>16</sub>
(12) ポートP3プルアップ制御レジスタ	0013 <sub>16</sub>	00 <sub>16</sub>	(45) 割り込み制御レジスタ2	003F <sub>16</sub>	00 <sub>16</sub>
(13) ポートP4プルアップ制御レジスタ	0014 <sub>16</sub>	00 <sub>16</sub>	(46) プロセッサステータスレジスタ	(PS)	X X X X X 1 X X
(14) シリアルI/O2制御レジスタ1	0015 <sub>16</sub>	00 <sub>16</sub>	(47) プログラムカウンタ	(PCh)	FFF <sub>16</sub> 番地の内容
(15) シリアルI/O2制御レジスタ2	0016 <sub>16</sub>	0 0 0 0 0 1 1 1		(PCL)	FFF <sub>16</sub> 番地の内容
(16) シリアルI/O2レジスタ	0017 <sub>16</sub>	X X X X X X X X			
(17) 送信/受信バッファレジスタ	0018 <sub>16</sub>	X X X X X X X X			
(18) シリアルI/O1ステータスレジスタ	0019 <sub>16</sub>	1 0 0 0 0 0 0 0			
(19) シリアルI/O1制御レジスタ	001A <sub>16</sub>	00 <sub>16</sub>			
(20) UART制御レジスタ	001B <sub>16</sub>	1 1 1 0 0 0 0 0			
(21) ボーレートジェネレータ	001C <sub>16</sub>	X X X X X X X X			
(22) PWM制御レジスタ	001D <sub>16</sub>	00 <sub>16</sub>			
(23) PWMプリスケアラ	001E <sub>16</sub>	X X X X X X X X			
(24) PWMレジスタ	001F <sub>16</sub>	X X X X X X X X			
(25) プリスケアラ12	0020 <sub>16</sub>	FF <sub>16</sub>			
(26) タイマ1	0021 <sub>16</sub>	01 <sub>16</sub>			
(27) タイマ2	0022 <sub>16</sub>	00 <sub>16</sub>			
(28) タイマXYモードレジスタ	0023 <sub>16</sub>	00 <sub>16</sub>			
(29) プリスケアラX	0024 <sub>16</sub>	FF <sub>16</sub>			
(30) タイマX	0025 <sub>16</sub>	FF <sub>16</sub>			
(31) プリスケアラY	0026 <sub>16</sub>	FF <sub>16</sub>			
(32) タイマY	0027 <sub>16</sub>	FF <sub>16</sub>			
(33) タイマカウントソース設定レジスタ	0028 <sub>16</sub>	00 <sub>16</sub>			

注. Xは不定です。  
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値を設定してください。

図41. リセット時の内部状態

## クロック発生回路

3850グループ(A仕様QzROM版)は2つの内部発振回路を内蔵しています。X<sub>IN</sub>とX<sub>OUT</sub>またはX<sub>CIN</sub>とX<sub>COU</sub>Tの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。X<sub>IN</sub> - X<sub>OUT</sub>端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。X<sub>CIN</sub> - X<sub>COU</sub>T間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はX<sub>IN</sub>側の発振回路のみが発振を開始し、X<sub>CIN</sub>、X<sub>COU</sub>T端子は入出力ポートとして機能します。

## 周波数制御

### (1) 中速モード

X<sub>IN</sub>端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

### (2) 高速モード

X<sub>IN</sub>端子に加わった周波数の2分周したものが内部クロックの周波数になります。

### (3) 低速モード

X<sub>CIN</sub>端子に加わった周波数の2分周したものが内部クロックになります。

### (4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックX<sub>IN</sub>を停止させて、低消費電力動作が実現できます。この場合、メインクロックX<sub>IN</sub>発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

X<sub>CIN</sub>-X<sub>COU</sub>T発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

## 注意事項

中速モードでは、ウォッチドッグタイマのアンダフローのタイミングにより、内部リセットが正常に動作しない場合があります。

ウォッチドッグタイマをご使用される場合には、中速モード以外をご使用ください。

## 発振制御

### (1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、X<sub>IN</sub>およびX<sub>CIN</sub>の発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0038<sub>16</sub>番地のビット0)が“0”のとき、タイマ1には“0116”、プリスケアラ12には“FF16”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に“L”レベルを印加してください。

### (2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1の入力には、STP命令実行時に設定されていたカウントソースが接続されカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

## 注意事項

- 中 / 高速モードと低速モード間の移行を行う場合はX<sub>IN</sub>側、X<sub>CIN</sub>側ともに発振が安定している必要があります。特に、X<sub>CIN</sub>側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(X_{IN}) > 3 \times f(X_{CIN})$ である必要があります。
- STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。



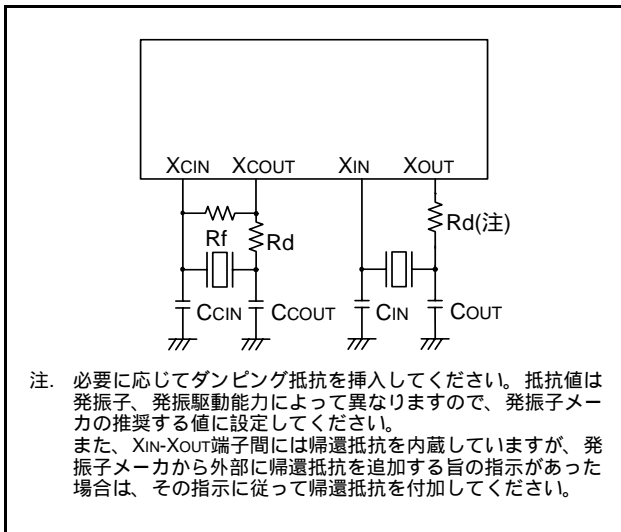


図42. セラミック共振子外付け回路

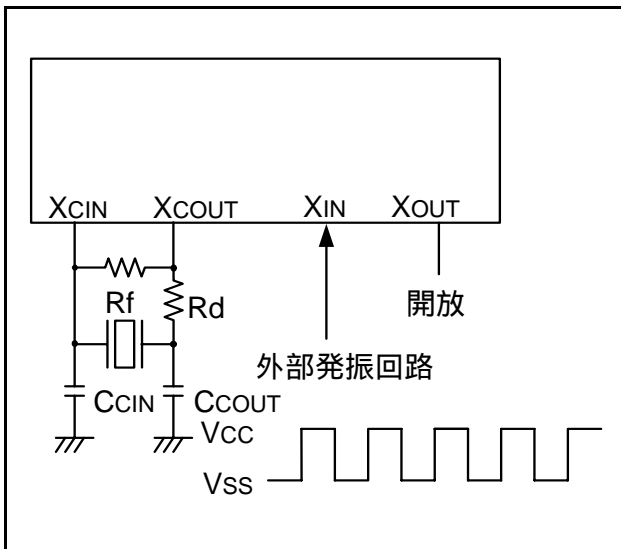


図43. 外部クロック入力回路

【MISRG】

MISRGは中速モード自動切り替えに関する各種制御を行うビットと、STP命令解除後の発振安定時間の設定を制御するビットで構成されています。

中速モード自動切り替え設定ビットが“1”で、低速モードで動作中に、中速モード自動切り替え開始ビットに“1”を書き込むことによって、自動的にXIN発振が開始し、中速モードに切り替わります。

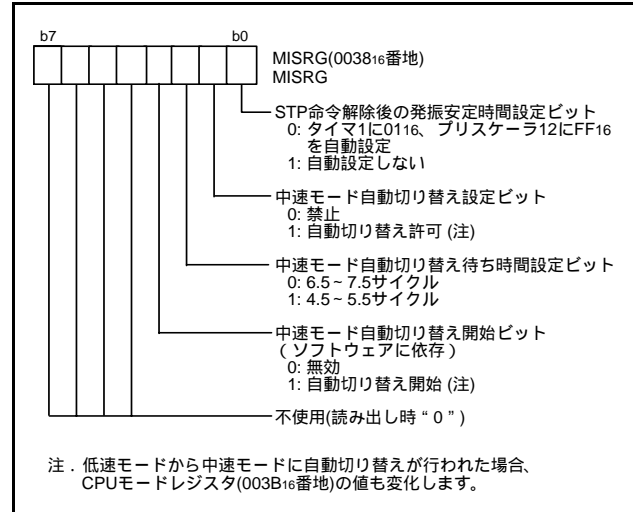
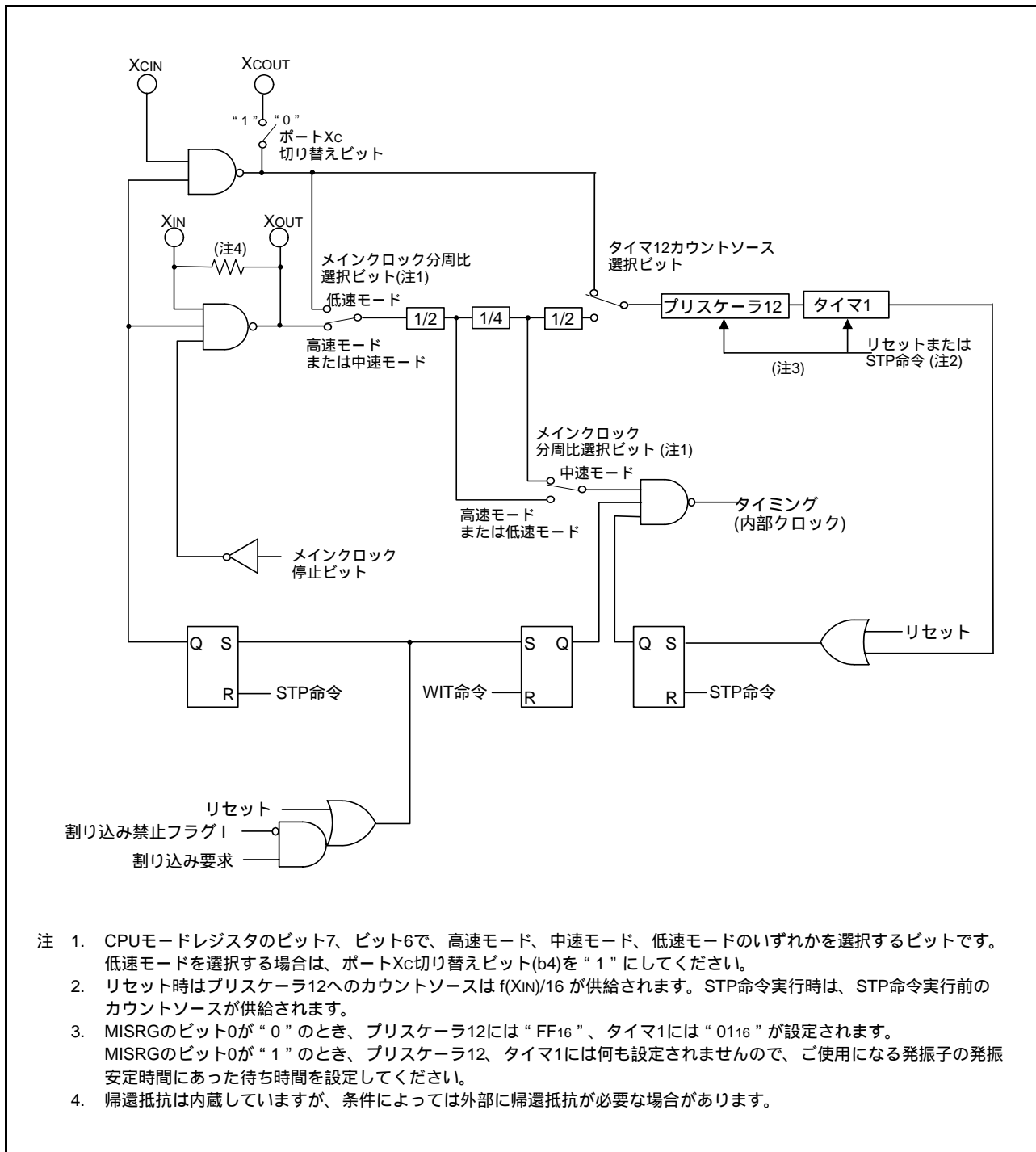


図44. MISRGの構成



- 注 1. CPUモードレジスタのビット7、ビット6で、高速モード、中速モード、低速モードのいずれかを選択するビットです。低速モードを選択する場合は、ポートXc切り替えビット(b4)を“1”にしてください。
- 注 2. リセット時はプリスケータ12へのカウンタソースは  $f(X_{IN})/16$  が供給されます。STP命令実行時は、STP命令実行前のカウンタソースが供給されます。
- 注 3. MISRGのビット0が“0”のとき、プリスケータ12には“FF<sub>16</sub>”、タイマ1には“01<sub>16</sub>”が設定されます。MISRGのビット0が“1”のとき、プリスケータ12、タイマ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。
- 注 4. 帰還抵抗は内蔵していますが、条件によっては外部に帰還抵抗が必要な場合があります。

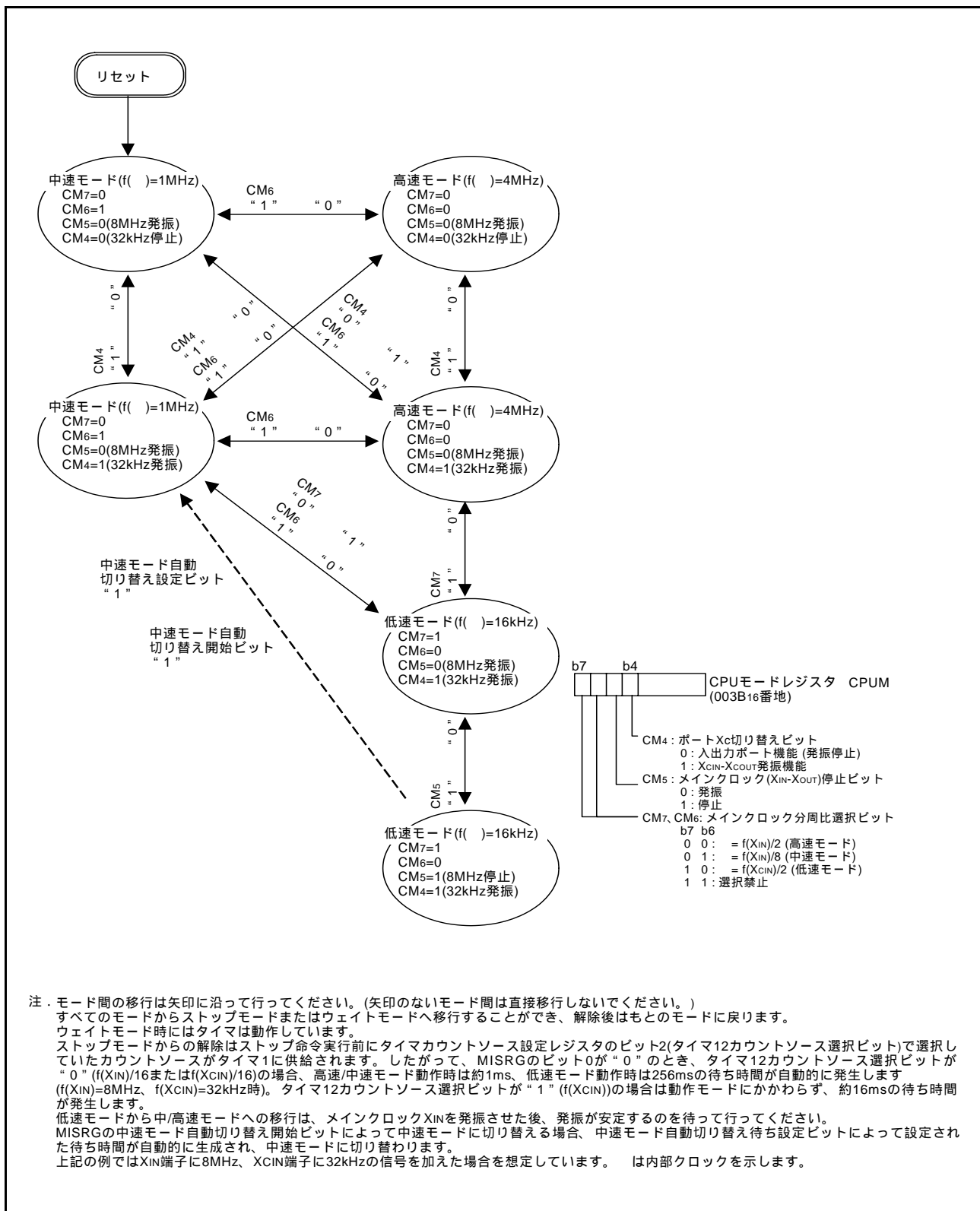


図46. システムクロックの状態遷移図

## 電気的特性

## 絶対最大規格

表9. 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧 P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P2 <sub>4</sub> ~ P2 <sub>7</sub> P3 <sub>0</sub> ~ P3 <sub>4</sub> , P4 <sub>0</sub> ~ P4 <sub>4</sub> , V <sub>REF</sub>		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 P2 <sub>2</sub> , P2 <sub>3</sub>		- 0.3 ~ 5.8	V
V <sub>I</sub>	入力電圧 $\overline{\text{RESET}}$ , X <sub>IN</sub>		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 CNV <sub>SS</sub>		- 0.3 ~ 8.0	V
V <sub>O</sub>	出力電圧 P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P2 <sub>4</sub> ~ P2 <sub>7</sub> P3 <sub>0</sub> ~ P3 <sub>4</sub> , P4 <sub>0</sub> ~ P4 <sub>4</sub> , X <sub>OUT</sub>		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧 P2 <sub>2</sub> , P2 <sub>3</sub>		- 0.3 ~ 5.8	V
P <sub>d</sub>	消費電力	T <sub>a</sub> = 25	1000(注)	mW
T <sub>opr</sub>	動作周囲温度	-	- 20 ~ 85	
T <sub>stg</sub>	保存温度	-	- 40 ~ 125	

注. PRSP0042GA-A/Bパッケージの場合は300mWです。

## 推奨動作条件

表10. 推奨動作条件(1) (指定がない場合はVcc=1.8 ~ 5.5V, Ta = - 20 ~ 85 )

記号	項目	条件	規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	発振開始時 (注2)	2.0	5.0	5.5	V	
		高速モード時 f(φ)=f(XIN)/2	f(XIN) 12.5MHz	4.0	5.0	5.5	V
			f(XIN) 6.0MHz	2.7	5.0	5.5	V
			f(XIN) 4.2MHz	2.2	5.0	5.5	V
			f(XIN) 2.1MHz	2.0	5.0	5.5	V
		中速モード時 f(φ)=f(XIN)/8	f(XIN) 12.5MHz	2.7	5.0	5.5	V
			f(XIN) 8.4MHz	2.2	5.0	5.5	V
f(XIN) 4.2MHz	1.8		5.0	5.5	V		
低速モード時 f(φ)=f(XCIN)/2	f(XCIN) 50kHz	1.8	5.0	5.5	V		
Vss	電源電圧		0		V		
VIH	“H” 入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	1.8 Vcc < 2.7V	0.85Vcc		Vcc	V	
		2.7 Vcc 5.5V	0.8Vcc		Vcc		
VIH	“H” 入力電圧 P22, P23	1.8 Vcc < 2.7V	0.85Vcc		5.8	V	
		2.7 Vcc 5.5V	0.8Vcc		5.8		
VIH	“H” 入力電圧 RESET, XIN	1.8 Vcc < 2.7V	0.85Vcc		Vcc	V	
		2.7 Vcc 5.5V	0.8Vcc		Vcc		
VIH	“H” 入力電圧 CNVss	1.8 Vcc < 2.7V	0.85Vcc		8.0	V	
		2.7 Vcc 5.5V	0.8Vcc		8.0		
VIL	“L” 入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	1.8 Vcc < 2.7V	0		0.16Vcc	V	
		2.7 Vcc 5.5V	0		0.2Vcc		
VIH	“H” 入力電圧 P22, P23	1.8 Vcc < 2.7V	0		0.16Vcc	V	
		2.7 Vcc 5.5V	0		0.2Vcc		
VIL	“L” 入力電圧 RESET	1.8 Vcc < 2.7V	0		0.16Vcc	V	
		2.7 Vcc 5.5V	0		0.2Vcc		
VIL	“L” 入力電圧 XIN	1.8 Vcc < 2.7V	0		0.16Vcc	V	
VIL	“L” 入力電圧 CNVss	1.8 Vcc < 2.7V	0		0.16Vcc	V	
		2.7 Vcc 5.5V	0		0.2Vcc		
f(XIN)	メインクロック入力発振周波数 (注3)	高速モード時 f(φ)=f(XIN)/2	4.0 Vcc 5.5V		12.5	MHz	
			2.7 Vcc 5.5V		6.0	MHz	
			2.2 Vcc 5.5V		4.2	MHz	
			2.0 Vcc 5.5V		2.1	MHz	
		中速モード時 f(φ)=f(XIN)/8	2.7 Vcc 5.5V		12.5	MHz	
			2.2 Vcc 5.5V		8.4	MHz	
			1.8 Vcc 5.5V		4.2	MHz	
f(XCIN)	サブクロック入力発振周波数 (注3),(注4)		32.768	50	kHz		

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので、注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合のサブクロック入力発振周波数は、必ず  $f(XCIN) < f(XIN)/3$  としてください。

表 11. 推奨動作条件 (2) (指定がない場合は  $V_{CC}=1.8 \sim 5.5V$ ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
I <sub>OH</sub> (peak)	“ H ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44			- 10	mA
I <sub>OL</sub> (peak)	“ L ” 出力尖頭電流 (注 1) P00 ~ P07, P20 ~ P27, P30 ~ P34, P40 ~ P44			10	mA
I <sub>OL</sub> (peak)	“ L ” 出力尖頭電流 (注 1) P10 ~ P17			20	mA
I <sub>OH</sub> (avg)	“ H ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44			- 5	mA
I <sub>OL</sub> (avg)	“ L ” 出力平均電流 (注 2) P00 ~ P07, P20 ~ P27, P30 ~ P34, P40 ~ P44			5	mA
I <sub>OL</sub> (avg)	“ L ” 出力平均電流 (注 2) P10 ~ P17			15	mA
I <sub>OH</sub> (peak)	“ H ” 出力総尖頭電流 (注 3) P00 ~ P07, P10 ~ P17, P30 ~ P34			- 80	mA
I <sub>OH</sub> (peak)	“ H ” 出力総尖頭電流 (注 3) P20, P21, P24 ~ P27, P40 ~ P44			- 80	mA
I <sub>OL</sub> (peak)	“ L ” 出力総尖頭電流 (注 3) P00 ~ P07, P30 ~ P34			80	mA
I <sub>OL</sub> (peak)	“ L ” 出力総尖頭電流 (注 3) P10 ~ P17			120	mA
I <sub>OL</sub> (peak)	“ L ” 出力総尖頭電流 (注 3) P20 ~ P27, P40 ~ P44			80	mA
I <sub>OH</sub> (avg)	“ H ” 出力総平均電流 (注 3) P00 ~ P07, P10 ~ P17, P30 ~ P34			- 40	mA
I <sub>OH</sub> (avg)	“ H ” 出力総平均電流 (注 3) P20, P21, P24 ~ P27, P40 ~ P44			- 40	mA
I <sub>OL</sub> (avg)	“ L ” 出力総平均電流 (注 3) P00 ~ P07, P30 ~ P34			40	mA
I <sub>OL</sub> (avg)	“ L ” 出力総平均電流 (注 3) P10 ~ P17			60	mA
I <sub>OL</sub> (avg)	“ L ” 出力総平均電流 (注 3) P20 ~ P27, P40 ~ P44			40	mA

注 1. 出力尖頭電流は1ポートごとに流れる電流のピーク値です。

注 2. 平均出力電流は100msの期間内での平均値です。

注 3. 出力総電流は該当するポートすべてに流れる電流の緩和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

## 電気的特性

表12. 電気的特性(1) (指定がない場合はVcc=1.8 ~ 5.5V, Vss=0V, Ta = - 20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 (注) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	IOH= - 10mA 4.0 Vcc 5.5V	Vcc - 2.0			V
		IOH= - 1.0mA 1.8 Vcc 5.5V	Vcc - 1.0			
VOL	“L”出力電圧 P00 ~ P07, P20 ~ P27, P30 ~ P34, P40 ~ P44	IOL=10mA 4.0 Vcc 5.5V			2.0	V
		IOL=1.0mA 1.8 Vcc 5.5V			1.0	
VOL	“L”出力電圧 P10 ~ P17	IOL=20mA 4.0 Vcc 5.5V			2.0	V
		IOL=10mA 2.7 Vcc 5.5V			1.0	
		IOL=1.6mA 1.8 Vcc 5.5V			1.0	
VT+ - VT -	ヒステリシス CNTR0, CNTR1, INT0 ~ INT3			0.4		V
VT+ - VT -	ヒステリシス RxD, SCLK1, SCLK2, SIN2			0.5		V
VT+ - VT -	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	Vi=Vcc (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			5.0	μA
IiH	“H”入力電流 RESET, CNVss	Vi=Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P34, P40 ~ P44	Vi=Vss (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVss	Vi=Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		- 4.0		μA
IiL	“L”入力電流 (プルアップ有効時) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	Vi=Vss Vcc=5.0V	- 25	- 60	- 120	μA
		Vi=Vss Vcc=3.0V	- 8	- 22	- 40	μA
V <sub>RAM</sub>	RAM保持電圧	クロック停止時	1.8			V

注. P25に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表 13. 電気的特性(2) (指定がない場合は  $V_{CC}=1.8 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	測定条件		規格値			単位	
				最小	標準	最大		
I <sub>CC</sub>	電源電流	高速モード時 (注)	f(X <sub>IN</sub> )=12.5MHz f(X <sub>CIN</sub> )=32.768kHz		6.0	13.0	mA	
			f(X <sub>IN</sub> )=8.0MHz f(X <sub>CIN</sub> )=32.768kHz		4.3	10.0	mA	
			f(X <sub>IN</sub> )=12.5MHz (WIT 命令実行時) f(X <sub>CIN</sub> )=32.768kHz		1.8	4.5	mA	
			f(X <sub>IN</sub> )=8.0MHz (WIT 命令実行時) f(X <sub>CIN</sub> )=32.768kHz		1.4	4.2	mA	
		中速モード時 (注)	f(X <sub>IN</sub> )=12.5MHz f(X <sub>CIN</sub> )=停止		2.8	7.0	mA	
			f(X <sub>IN</sub> )=8.0MHz f(X <sub>CIN</sub> )=停止		2.0	6.5	mA	
			f(X <sub>IN</sub> )=12.5MHz (WIT 命令実行時) f(X <sub>CIN</sub> )=停止		1.8	4.2	mA	
			f(X <sub>IN</sub> )=8.0MHz (WIT 命令実行時) f(X <sub>CIN</sub> )=停止		1.3	4.0	mA	
		低速モード時 (V <sub>CC</sub> =5.0V) (注)	f(X <sub>IN</sub> )=停止 f(X <sub>CIN</sub> )=32.768kHz		75	200	μA	
			f(X <sub>IN</sub> )=停止 f(X <sub>CIN</sub> )=32.768kHz (WIT 命令実行時)		65	100	μA	
		低速モード時 (V <sub>CC</sub> =3.0V) (注)	f(X <sub>IN</sub> )=停止 f(X <sub>CIN</sub> )=32.768kHz		15	55	μA	
			f(X <sub>IN</sub> )=停止 f(X <sub>CIN</sub> )=32.768kHz (WIT 命令実行時)		10	20	μA	
		A/D コンバータ動作時の増量				300		μA
		発振はすべて停止 (STP 命令実行時) (注)	T <sub>a</sub> = 25			0.1	1.0	μA
			T <sub>a</sub> = 85				10	μA

注. 出力トランジスタは遮断状態です。



## A/Dコンバータ推奨動作条件

表 14. A/Dコンバータ推奨動作条件(指定がない場合は $V_{CC}=2.2V \sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a = -20 \sim 85$ )

記号	項目	条件	規格値			単位	
			最小	標準	最大		
VCC	電源電圧 (A/Dコンバータ使用時)		2.2	5.0	5.5	V	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V	
AVSS	アナログ電源電圧			0		V	
VIA	アナログ入力電圧 AN0 ~ AN8		AVSS		VCC	V	
f(XIN)	メインクロック入力発振周波数 (A/Dコンバータ使用時)	高速モード f( )=f(XIN)/2	4.0 VCC 5.5V	0.5		12.5	MHz
			2.7 VCC 5.5V	0.5		6.0	MHz
			2.2 VCC 5.5V	0.5		4.2	MHz
		中速モード f( )=f(XIN)/8	2.7 VCC 5.5V	0.5		12.5	MHz
			2.2 VCC 5.5V	0.5		8.4	MHz

## A/Dコンバータ特性

表 15. A/Dコンバータ特性(指定がない場合は $V_{CC}=2.2V \sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a = -20 \sim 85$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	bit
-	絶対精度	2.2 VCC < 2.7V			± 5	LSB
		2.7 VCC 5.5V			± 4	LSB
tCONV	変換時間	高速モードおよび中速モード			61	2tc(XIN)
		低速モード		40		μs
RLADDER	ラダー抵抗			35		k
IVREF	基準電源入力電流	VREF=5.0V、VREF接続時	50	150	200	μA
		VREF=5.0V、VREF切断時			5.0	μA
Ii(AD)	A/Dポート入力電流			0.5	5.0	μA

## タイミング必要条件

表16. タイミング必要条件(1) (指定がない場合はVcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	80			ns
twh(XIN)	外部クロック入力“H”パルス幅	32			ns
twl(XIN)	外部クロック入力“L”パルス幅	32			ns
tc(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力サイクル時間	200			ns
twh(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力“H”パルス幅	80			ns
twl(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力“L”パルス幅	80			ns
twh(INT)	INT <sub>0</sub> ~ INT <sub>3</sub> 入力“H”パルス幅	80			ns
twl(INT)	INT <sub>0</sub> ~ INT <sub>3</sub> 入力“L”パルス幅	80			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2クロック入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアルI/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A<sub>16</sub>番地のビット6が“1”(クロック同期モード)の場合です。  
f(XIN)=8MHz、001A<sub>16</sub>番地のビット6が“0”(非同同期モード)の場合は、値は1/4になります。

表17. タイミング必要条件(2) (指定がない場合はVcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	166			ns
twh(XIN)	外部クロック入力“H”パルス幅	66			ns
twl(XIN)	外部クロック入力“L”パルス幅	66			ns
tc(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力サイクル時間	500			ns
twh(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力“H”パルス幅	230			ns
twl(CNTR)	CNTR <sub>0</sub> ,CNTR <sub>1</sub> 入力“L”パルス幅	230			ns
twh(INT)	INT <sub>0</sub> ~ INT <sub>3</sub> 入力“H”パルス幅	230			ns
twl(INT)	INT <sub>0</sub> ~ INT <sub>3</sub> 入力“L”パルス幅	230			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	2000			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	950			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	950			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアルI/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアルI/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A<sub>16</sub>番地のビット6が“1”(クロック同期モード)の場合です。  
f(XIN)=4MHz、001A<sub>16</sub>番地のビット6が“0”(非同同期モード)の場合は、値は1/4になります。

## スイッチング必要条件

表18. スwitchング特性(1) (指定がない場合はVcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>WH</sub> (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図47	tc(SCLK1)/2 - 30			ns
t <sub>WL</sub> (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 30			ns
t <sub>d</sub> (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)				140	ns
t <sub>v</sub> (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)		- 30			ns
t <sub>r</sub> (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				30	ns
t <sub>f</sub> (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				30	ns
t <sub>WH</sub> (SCLK2)	シリアルI/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 160			ns
t <sub>WL</sub> (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
t <sub>d</sub> (SCLK2-SOUT2)	シリアルI/O2出力遅延時間(注2)				200	ns
t <sub>v</sub> (SCLK2-SOUT2)	シリアルI/O2出力有効時間(注2)		0			ns
t <sub>r</sub> (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				30	ns
t <sub>r</sub> (CMOS)	CMOS出力立ち上がり時間(注3)			10	30	ns
t <sub>f</sub> (CMOS)	CMOS出力立ち下がり時間(注3)			10	30	ns

注1. UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。

注2. シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(0015<sub>16</sub>番地のビット7)が“0”の場合です。

注3. XOUT端子を除きます。

表19. スwitchング特性(2) (指定がない場合はVcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>WH</sub> (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図47	tc(SCLK1)/2 - 50			ns
t <sub>WL</sub> (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
t <sub>d</sub> (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)				350	ns
t <sub>v</sub> (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)		- 30			ns
t <sub>r</sub> (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				50	ns
t <sub>f</sub> (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				50	ns
t <sub>WH</sub> (SCLK2)	シリアルI/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
t <sub>WL</sub> (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
t <sub>d</sub> (SCLK2-SOUT2)	シリアルI/O2出力遅延時間(注2)				400	ns
t <sub>v</sub> (SCLK2-SOUT2)	シリアルI/O2出力有効時間(注2)		0			ns
t <sub>r</sub> (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				50	ns
t <sub>r</sub> (CMOS)	CMOS出力立ち上がり時間(注3)			20	50	ns
t <sub>f</sub> (CMOS)	CMOS出力立ち下がり時間(注3)			20	50	ns

注1. UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。

注2. シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(0015<sub>16</sub>番地のビット7)が“0”の場合です。

注3. XOUT端子を除きます。

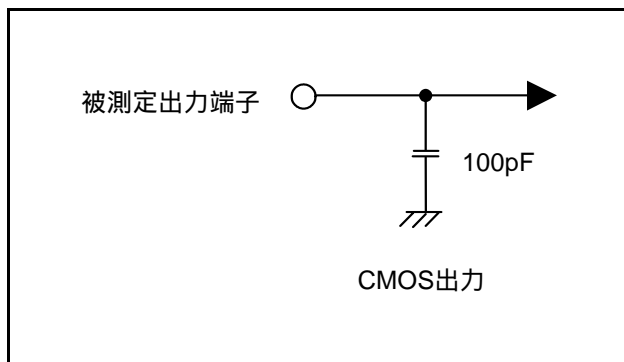


図47. 出力スイッチング特性測定回路図

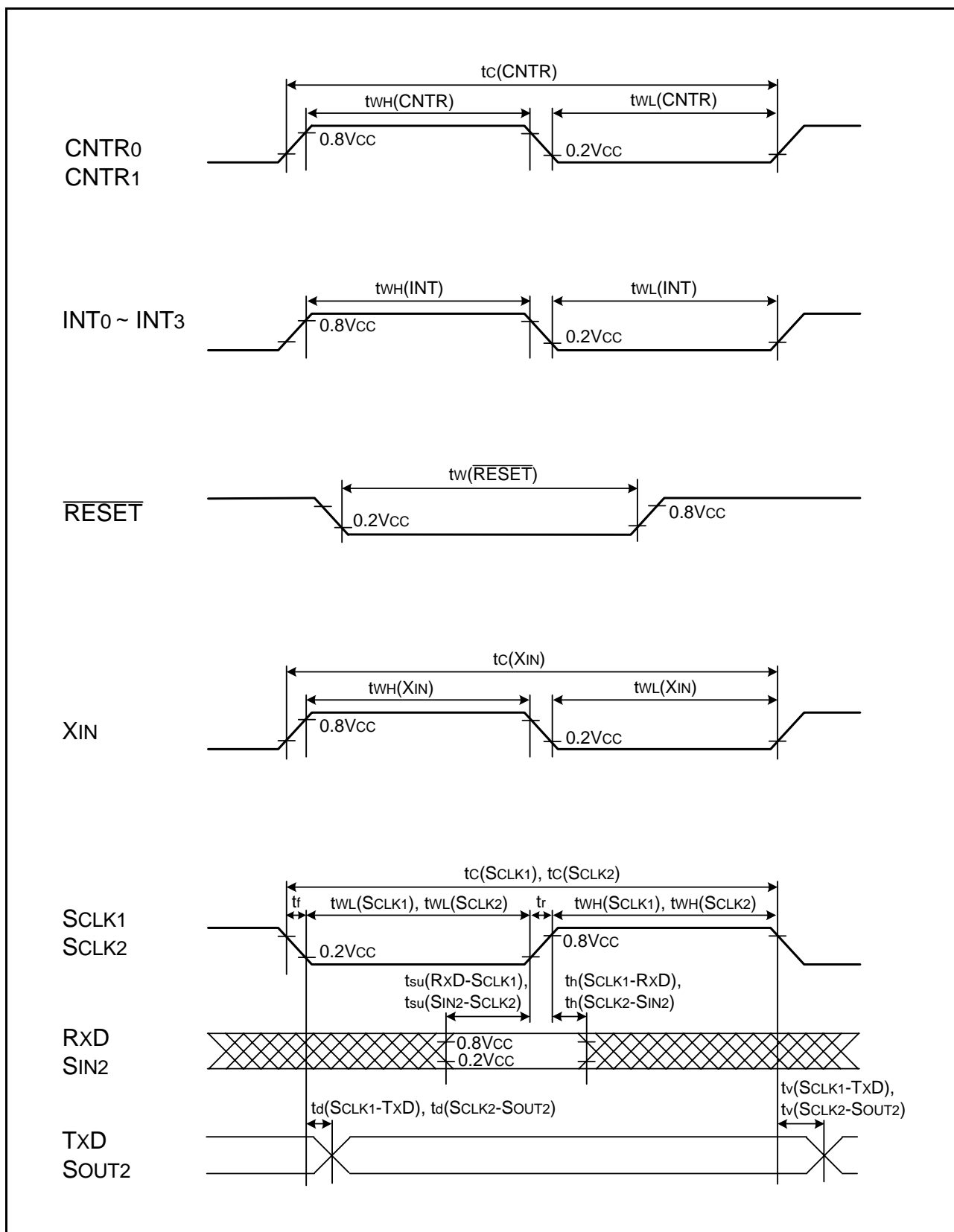
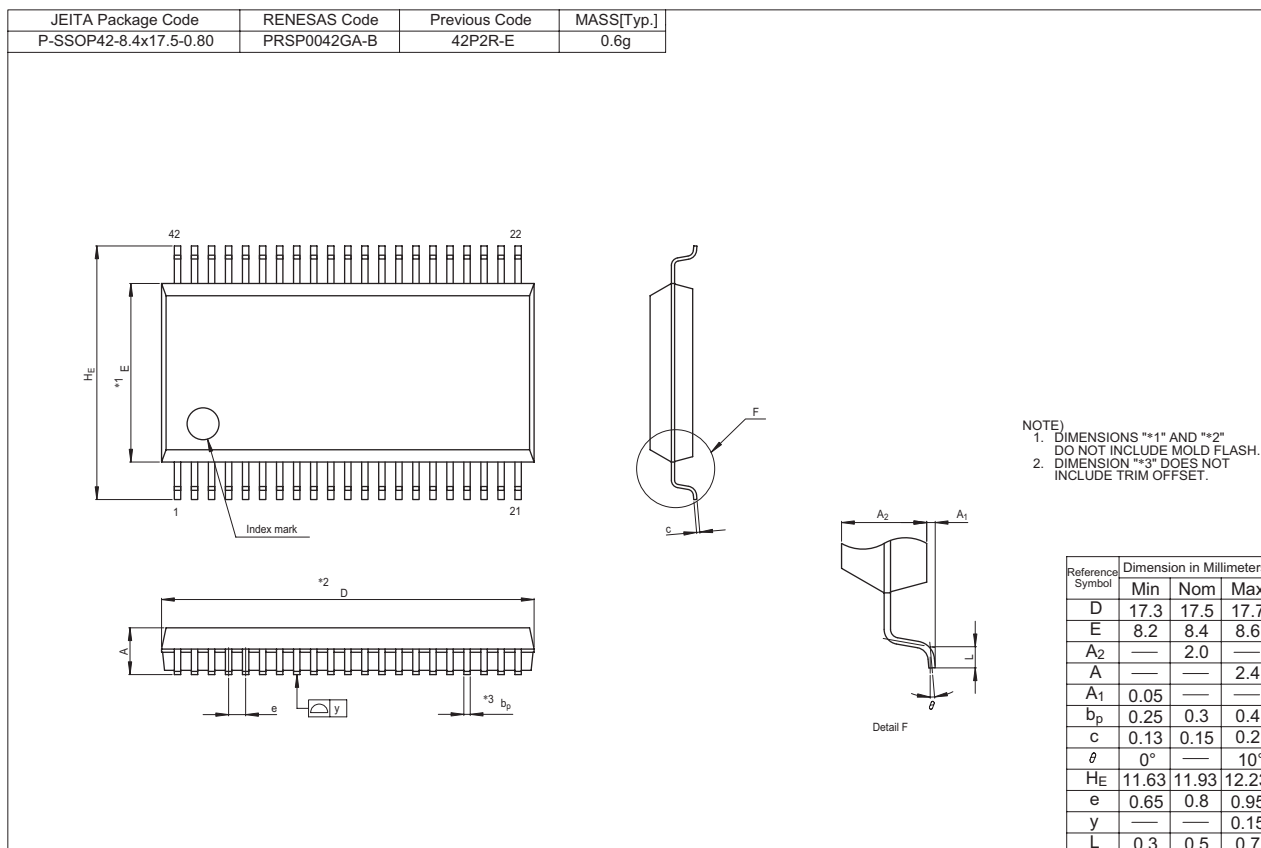
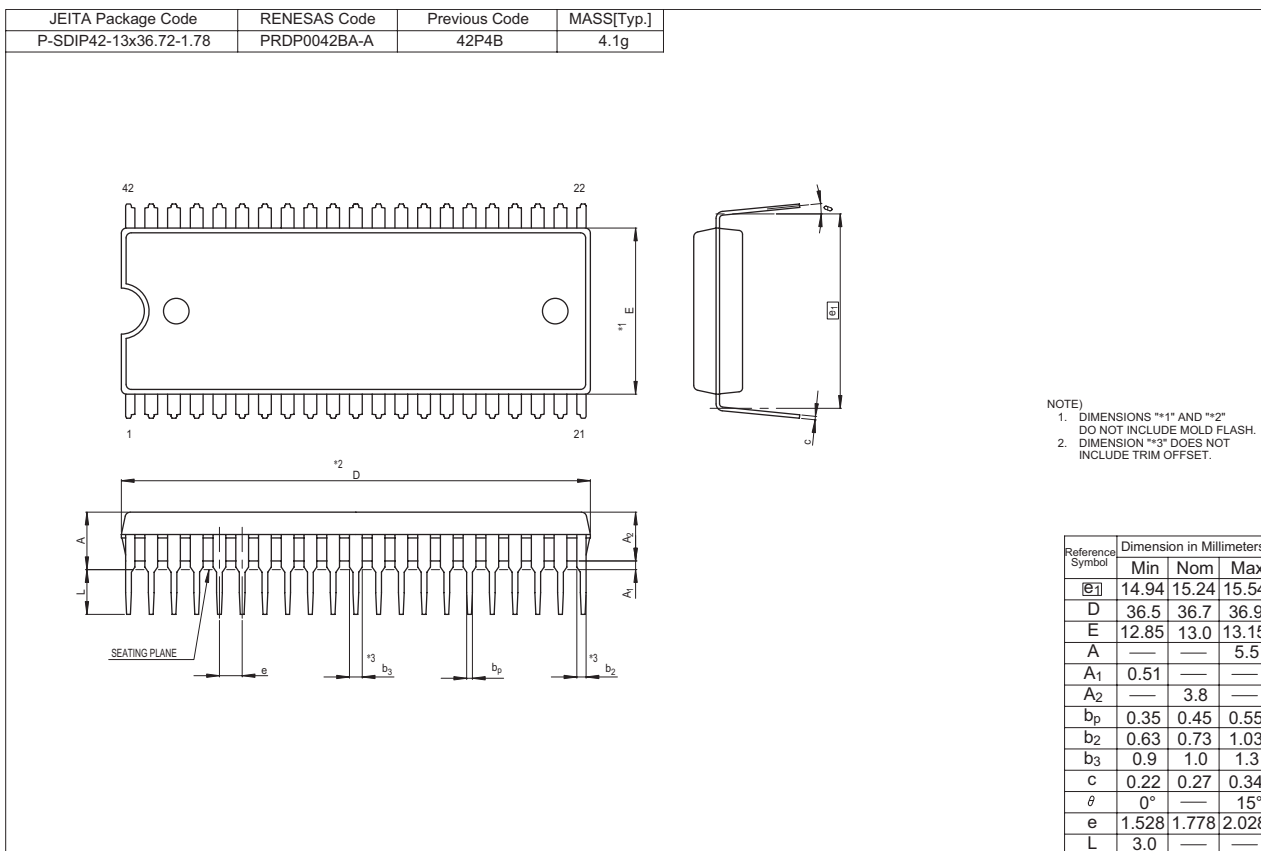


図48. タイミング図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



## 注意事項

### プログラム作成に関する注意事項

#### 1. プロセッサステータスレジスタ

##### (1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

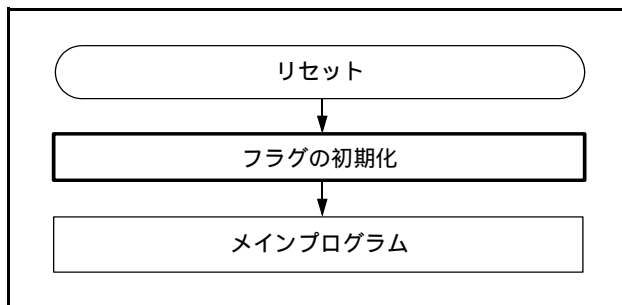


図49. プロセッサステータスレジスタのフラグの初期化

##### (2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

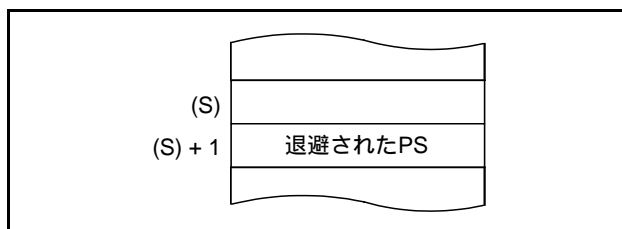


図50. PHP命令実行後のスタックメモリの内容

#### 2. BRK命令

##### (1) 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- 割り込み要求ビット、割り込み許可ビットが共に“1”
- Iフラグを“1”にして割り込みを禁止

#### 3. 10進演算

##### (1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令またはSBC命令を実行します。その場合、SEC命令、CLC命令、またはCLD命令は、ADC命令またはSBC命令より一命令後に行ってください。

##### (2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

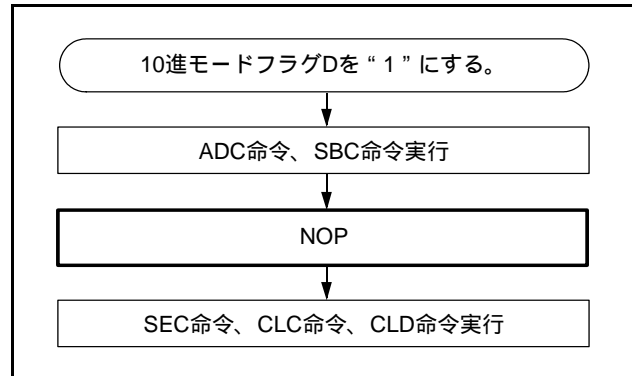


図51. 10進演算時の命令

#### 4. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

#### 5. 乗除算命令

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

#### 6. ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

#### 7. 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

#### 8. 予約領域、予約ビットに関するもの

SFR領域およびスペシャルページにある予約領域には、データは何も書き込まないでください。(リセット後の状態を変更しないでください)

#### 9. CPUモードレジスタに関するもの

CPUモードレジスタ(003B16番地)のビット3は必ず“1”に固定してください。

**周辺機能に関する注意事項****入出力ポートに関する注意事項****1. スタンバイ状態での使用**

スタンバイ状態<sup>\*1</sup>で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャネルオープンドレインの入出力ポートでは注意が必要です。また、Nチャネルオープンドレインの入出力ポートでは、出力に設定している場合でも、同様の注意が必要です。

この場合、抵抗を介してポートをプルアップ (Vccに接続) またはプルダウン (Vssに接続) してください。

抵抗値を決定する際は、以下の2点に留意してください。

- 外付け回路
- 通常動作時の出力レベルの変動

<理由>

方向レジスタで入力ポートに設定している場合はトランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。このとき、入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

また、Nチャネルオープンドレインの入出力ポートではポートラッチの内容が“1”の場合、方向レジスタで出力ポートに設定していても、入力ポートと同様の現象がおこります。

\*1 スタンバイ状態：STP命令実行によるストップモード  
WIT命令実行によるウェイトモード

**2. ビット処理命令による出力データの書き換え**

入出力ポートのポートラッチをビット処理命令<sup>\*2</sup>を用いて書き換える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出しおよび書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- 入力に設定されているビット：  
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- 出力に設定されているビット：  
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。  
ただし、以下の点に注意してください。
- 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化します。

\*2 ビット処理命令：SEB命令、CLB命令

**未使用端子の処理に関する注意事項****1. 未使用端子の適切な処理****(1) 入出力ポート**

入力モードに設定し、1~10k の抵抗を介してVccまたはVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”または“H”出力状態で開放してください。

- 出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

**(2) A/Dコンバータを使用しない場合のA/D変換用電源端子AVss**

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- AVss:Vssに接続

**2. 処理上の留意事項****(1) 入力ポートおよび入出力ポート**

入力モードで開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 上記適切な処理「1.(1)入出力ポート」に比べ、ノイズの影響を受け易くなります。

**(2) 入出力ポート**

入力モードに設定した場合、VccまたはVssに直結しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

**(3) 入出力ポート**

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、VccまたはVssに接続しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- 未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

## 割り込みに関する注意事項

### 1. 関連レジスタの設定変更

割り込みエッジ選択レジスタ (003A16番地) およびタイマXYモードレジスタ (002316番地) の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

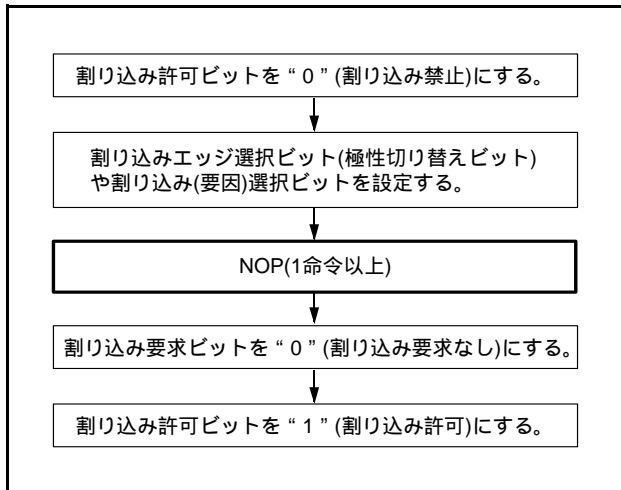


図52. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際  
対象レジスタ： 割り込みエッジ選択レジスタ (003A16番地)  
タイマXYモードレジスタ(002316番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ： 割り込みエッジ選択レジスタ (003A16番地)

### 2. 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令またはBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令またはBBS命令を実行する前に、1命令実行してください。

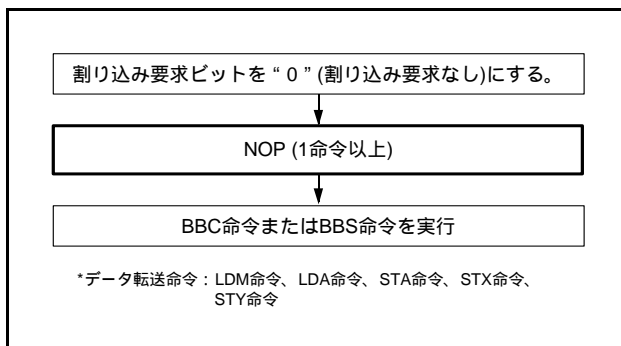


図53. 割り込み要求ビットの判定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令またはBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

### 3. 割り込み要求レジスタ1に関するもの

割り込み要求レジスタ1 (003C16番地) のビット1、5は必ず“0”に固定してください。

### タイマに関する注意事項

- タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケラおよびタイマに値を設定してください。

### シリアルインタフェースに関する注意事項

#### 1. クロック同期形の選択時 (シリアルI/O1)

##### (1) 送信動作の停止

シリアルI/O1許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

##### (2) 受信動作の停止

受信許可ビットを“0”(受信禁止)、またはシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

##### (3) 送受信動作の停止

送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また「1. (1)送信動作の停止」と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

##### (4) 受信側のSRDY1出力 (シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビットおよびSRDY1出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。



## 2. 非同期形の選択時(シリアルI/O1)

### (1) 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDYI各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

### (2) 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

### (3) 送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDYI各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

## 3. シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。

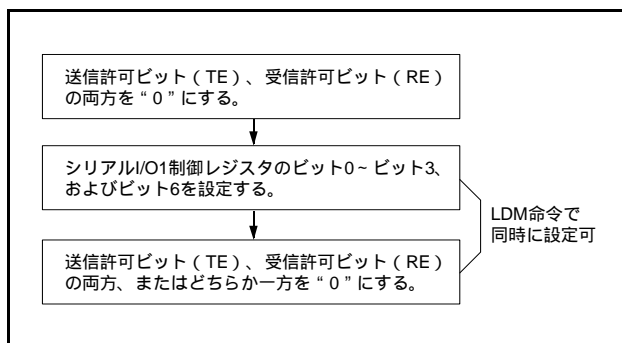


図54. シリアルI/O1制御レジスタの再設定手順

## 4. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## 5. 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信許可ビットを許可状態にしてください。

(1) CLB 命令により、割り込み許可ビットを“0”(禁止状態)にする。

(2) シリアルI/Oの送受信準備を行う。

(3) 一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

(4) 割り込み許可ビットを“1”(許可状態)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、および送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- 送信バッファエンプティフラグを“1”に設定
- 送信シフトレジスタシフト終了フラグを“1”に設定

## 6. 外部クロック選択時の送信制御(シリアルI/O1(クロック同期形モード))

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

## 7. 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/O2では、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

## PWMに関する注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベルの出力時間は次のとおりです。

- カウントソース選択ビット=“0”, n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- カウントソース選択ビット=“1”, n=プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

## A/Dコンバータに関する注意事項

### 1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、 $0.01\mu\text{F} \sim 1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

### 2. A/Dコンバータ用電源端子

A/D変換機能の使用または不使用にかかわらず、A/Dコンバータ用電源端子AVSSは以下のように処理してください。

- ・AVSS : VSSに接続

<理由>

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

### 3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・中速/高速モード時の $f(X_{IN})$ は500kHz以上にしてください。
- ・STP命令を実行しないでください。
- ・低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので、 $f(X_{IN})$ の下限周波数の制限はありません。

### 4. AD入力選択レジスタに関するもの

AD入力選択レジスタ(0037<sub>16</sub>番地)のビット5、7は必ず“0”に固定してください。

## ウォッチドッグタイマに関する注意事項

- ・ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
- ・ウォッチドッグタイマ制御レジスタのSTP命令機能選択ビットを“1”にすると、プログラムにより“0”に書き換えることはできません。
- ・中速モードではウォッチドッグタイマを使用できません。(ウォッチドッグタイマのアンダフロータイミングにより、内部リセットが正常に動作しない場合があります。)

## リセット端子に関する注意事項

### 1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVSS端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

## 2. 電源投入後のリセット解除

パワーオンリセット等、電源投入後リセットを解除する場合は、電源電圧が1.8V以上に達し、 $X_{IN}$ が安定発振している状態で $X_{IN}$ が20サイクル以上経過した後に解除してください。

<理由>

リセット解除には電源電圧が1.8~5.5Vにあり、 $X_{IN}$ が安定発振しているときに $X_{IN}$ の20サイクル以上の期間“L”レベルにする必要があります。

## ストップモードに関する注意事項

### 1. レジスタ設定

STP命令解除後の発振安定時間設定ビットを“0”で使用される場合は、ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

### 2. 復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時に $X_{IN}$ 入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

## ウェイトモードに関する注意事項

### 復帰後のクロック

WIT命令実行時に $X_{CIN}$ をシステムクロックとして設定し、 $X_{IN}$ の発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、 $X_{CIN}$ の発振が停止し、 $X_{IN}$ が発振を開始し、 $X_{IN}$ がシステムクロックになります。

上記において $X_{IN}$ の発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

## 発振の再開に関する注意事項

### 発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1およびプリスケアラ12には特定の値(タイマ1には01<sub>16</sub>、プリスケアラ12にはFF<sub>16</sub>)が発振安定待ちのため自動的にセットされます。一方、MISRG(0038<sub>16</sub>番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1およびプリスケアラ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1およびプリスケアラ12に設定してください。

<理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。

### 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、および電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

### 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

### フラッシュメモリ版/マスクROM版/QzROM版の相違に関する注意事項

フラッシュメモリ版、マスクROM版およびQzROM版では、ROMタイプの相違からそれぞれの製造プロセスが異なり、マスクパターンも異なります。またROMタイプが同一であっても、メモリ容量が違う場合も同様です。これらの相違により、電気的特性の範囲内で特性値、動作マージン、ノイズ耐量、ノイズ輻射量などの特性や、発振回路定数が異なる場合があります。応用製品開発の際は、それぞれの製品での十分なシステム評価試験を実施してください。特に、製品切り替え(例:マスクROM版からQzROM版への切り替え など)の場合には、切り替え製品による十分なシステム評価試験を、応用製品量産前段階に実施してください。

### ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

### QzROM版に関する注意事項

CNVss/Vpp端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。  
<理由>

CNVss/Vpp端子は内蔵QzROMの電源入力端子です。QzROMへのプログラム書き込み時に、書き込み電流が流れるようにVpp端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。Vpp端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

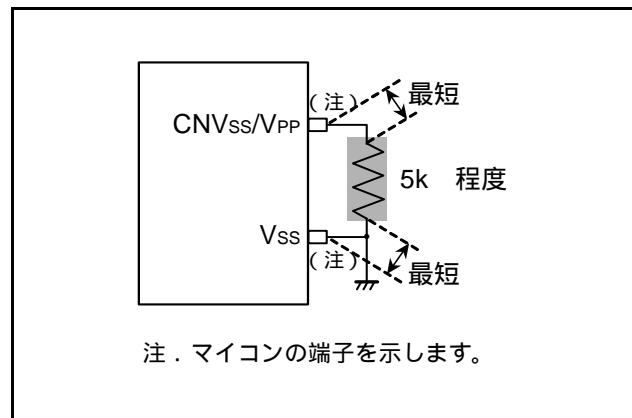


図55. CNVss/Vpp端子の配線

### QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

### QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書\*
- マーク指定書\*
- ROMのデータ      マスクファイル

\*QzROM書き込み確認書およびマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。

なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応していません。

改訂記録	3850 グループ (A 仕様 QzROM 版) データシート
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.12.03	-	初版発行 <ショートシート(REJ03B0128-0100Z;Rev.1.00)からの変更点>
		1	電源電圧の文書を変更
		1	消費電力値を変更
		1	応用の用途を一部変更
		5	表2でQzROM書き込み出荷品についての注記を追加
2.00	2005.09.06	-	ヘッタより「開発中」を削除
		1,4-6,54	42P4Bのパッケージ型名を変更
		3	表1.端子の機能説明 •CNVssに「かつ、QzROM書き込み用電源VPPと兼用端子です。」を追加
		4	•P3, P4の「8ビットの入出力ポート」「5ビットの入出力ポート」に変更 図3.型名とメモリサイズ・パッケージ ROM/フラッシュメモリ容量 QzROM容量に変更
		6	•グループ説明：説明文を一部変更 •表4 3850グループ(A仕様)QzROM版：入力電圧CNVss - 0.3~8.2V - 0.3~8.0Vに修正、最低動作電源電圧の(計画中)を削除
		11	•3850グループ(標準品)および3850グループ(A仕様)の相違による注意点 (1) ... CNVss入力電圧V1= - 0.3~Vcc+0.3Vと3850グループ(標準品)と比べ、 小さくなっています。(1) ... CNVss入力電圧V1=0.3~Vcc+0.3V(QzROM は8.0V)となっています。に変更
		12	•メモリに「ROMコードプロテクト番地(FFDB16番地)」を追加
		13	•図8.メモリ配置図 0FF016~0FFF16番地 SFR領域 予約ROM領域に変更、 FFDB16~FFDC16番地 予約ROM領域に(ROMコードプロテクト番地)追記
		16	図9.SFR 0FFE16番地 フラッシュメモリ制御レジスタ 予約(注)に変更
		35	表7.入出力ポートの機能一覧：「AD変換入力」「ADコンバータ入力」に変更 図12.ポートのブロック図(3)：ポートP44/PWM端子のPWM機能許可時の 読み出し経路をポートラッチの読み出しからPWM出力の読み出しへ修正
		38	•ウォッチドッグタイマ本文を変更
		42	•図38.ウォッチドッグタイマ制御レジスタの構成：STP命令禁止ビットを変更 発振制御(1)ストップモード文中に「(003816番地のビット0)」を追加
		43	「予約領域に関するもの」を「予約領域、予約ビットに関するもの」に変更
		44	•フラッシュメモリ版/QzROM版に関する注意事項より、フラッシュメモリ 版の記述を削除 •未使用端子の処理に関する注意事項、ブランク出荷品に関する注意事項、 QzROM書き込み発注時の注意事項、ROMコードプロテクトに関する注意事項、 QzROM書き込み発注時の提出資料、を追加
		44	表9.絶対最大定格 条件に「入力電圧測定時、」を追記

改訂記録	3850 グループ (A 仕様 QzROM 版) データシート
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.01	2005.10.13	5  11, 43	表2. M16C/30Pシリーズサポート製品一覧 注より「書き込み出荷品ではROMデータを読み出すことはできません。」を削除。 文中の「マスクオプション」を「ROMオプション」に変更。
2.10	2005.11.14	35  1,4-6,45 43  55 56-62	図37 ウォッチドッグタイマのブロック図 「STP命令禁止ビット」「STP命令機能選択ビット」に変更 42P2R-A/Eのパッケージ型名を変更 QzROM版に関する注意事項 「...また、1～5k程度の抵抗を...」 図 「...また、5k程度の抵抗を...」に変更 図47 CNVss/Vpp端子の配線 追加 外形寸法図を改訂 付録を追記
2.11	2008.04.11	43, 61	QzROM書き込み発注時の注意事項 改訂
2.12	2008.12.19	1,4-6,42 11 35  38  42-44 51 56	PRSP0042GA-B PRSP0042GA-A/B 図8 メモリ配置図 「注意書き」を削除 (1) ウォッチドッグタイマの初期値に追記 ウォッチドッグタイマ制御レジスタのビット7が "0"の場合 :XIN=16MHz時 65.536ms XIN=12.5MHz時 83.886ms "1"の場合 :XIN=16MHz時 256μs XIN=12.5MHz時 327.68μs (2) ウェイトモード内、「STP復帰時の待ち時間をカウントする際のソースクロックについて」の記述を修正 「注意事項」を削除 外形寸法図：注意書き追記 「STP命令禁止ビット」「STP命令機能選択ビット」に変更
2.13	2009.04.17	- 35 38 56	「MAEC TECHNICAL NEWS」 反映：M740-102-0211 注2 追記 周波数制御 注追記 ウォッチドッグタイマに関する注意事項 改訂

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがないう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
わ	支	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
茨	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
新	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
潟	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
松	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
本	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
部	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
中	支			
関	支			
西	支			
陸	支			
北	支			
広	支			
島	支			
州	支			

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)