

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3850グループ(A仕様) SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0097-0110
Rev.1.10
2005.11.14

概要

3850グループ(A仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.32 μ s
(最小命令、発振周波数12.5MHz時)	
メモリ容量 ROM	8K ~ 32Kバイト
RAM	512 ~ 1Kバイト
プログラマブル入出力ポート	34本
ソフトウェアプルアップ抵抗	内蔵
割り込み	15要因、14ベクタ
タイマ	8ビット×4
シリアルインタフェース	
シリアルI/O1	8ビット×1
(UART又はクロック同期形)	
シリアルI/O2	8ビット×1
(クロック同期形)	
PWM	8ビット×1

A/Dコンバータ	10ビット分解能×9チャンネル
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶発振子外付け)	
ウォッチドッグタイマ	16ビット×1
電源電圧	
高速モード時	4.0 ~ 5.5V
(発振周波数12.5MHz時)	
高速モード時	2.7 ~ 5.5V
(発振周波数6MHz時)	
中速モード時	2.7 ~ 5.5V
(発振周波数12.5MHz時、中速モード選択時)	
低速モード時	2.7 ~ 5.5V
(発振周波数32kHz時)	
消費電力	
高速モード時 M38507F8ASP/FP以外	32.5mW
M38507F8ASP/FP	37.5mW
(発振周波数12.5MHz時、電源電圧5V)	
低速モード時 M38507F8ASP/FP以外	60 μ W
M38507F8ASP/FP	450 μ W
(発振周波数32kHz時、電源電圧3V)	
動作周囲温度	- 20 ~ 85

応用

OA機器、FA機器、家電、民生機器など

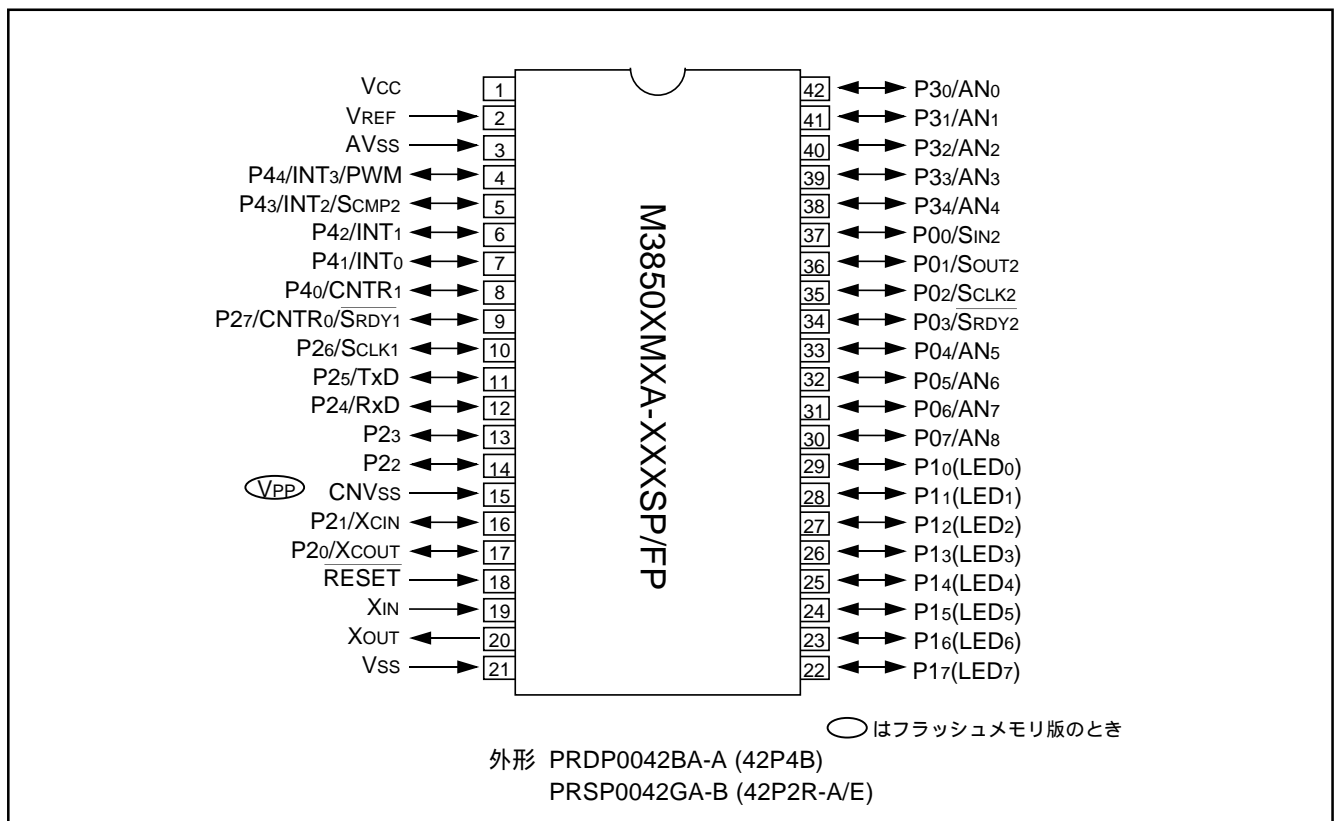


図1 . M3850XMXA-XXXSP/FPのピン接続図

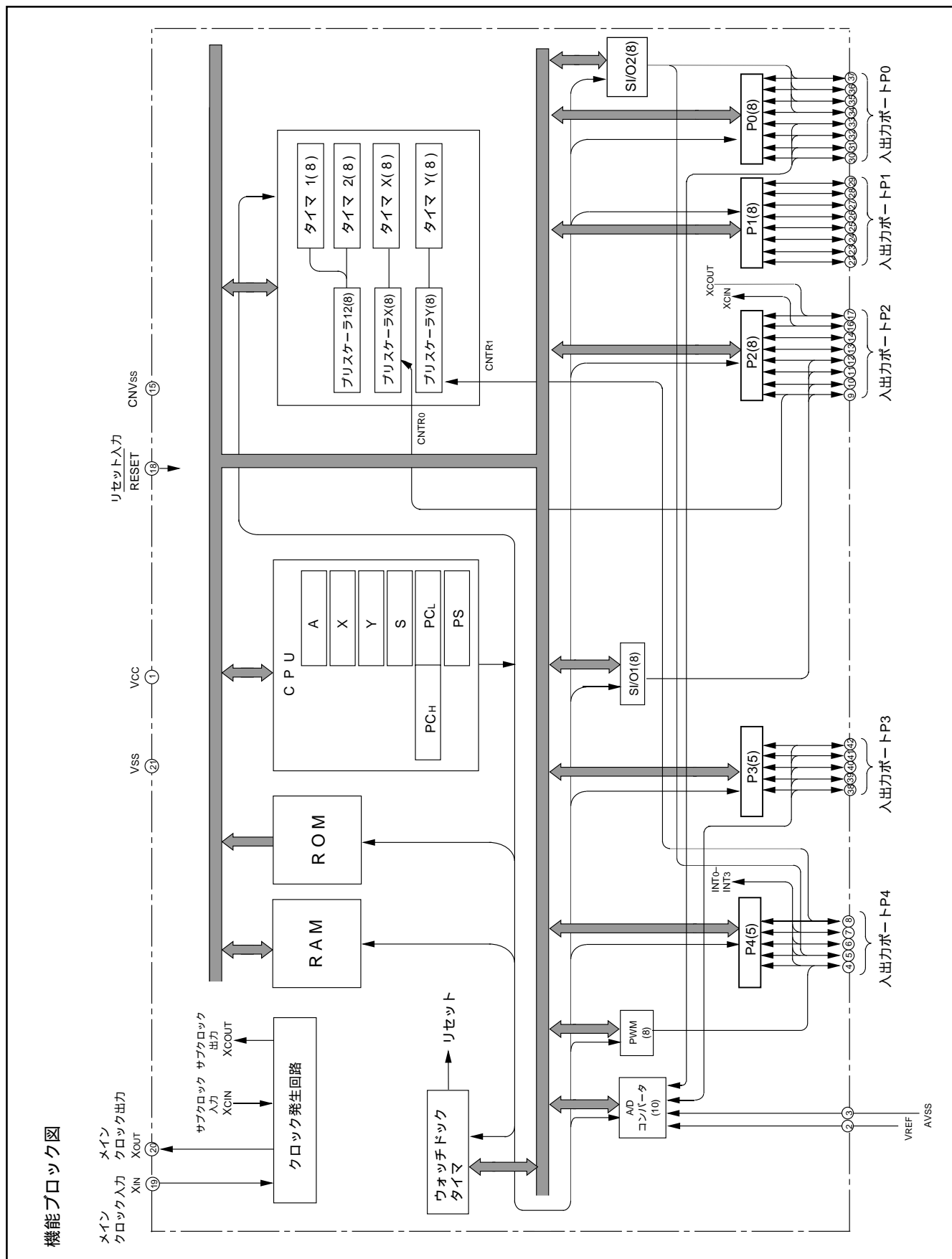


図2. 機能ブロック図

端子の機能説明

表1．端子の機能説明

端子名	名称	機能	ポート以外の機能
VCC,VSS	電源入力	VCCに2.7～5.5V, VSSに0Vを印加します。	
CNVSS	CNVSS	チップの動作モードを制御する端子で通常はVSSに接続します。	
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
AVSS	アナログ電源入力	A/Dコンバータのアナログ電源入力端子です。この端子はVSSに接続してください。	
RESET	リセット入力	アクティブレベルのリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。バイト単位でプルアップ制御が可能です。P10～P17の8ビットは、LED駆動出力用の大電流出力が可能です。	シリアル/O2機能端子
P04/AN5～ P07/AN8			A/Dコンバータ入力端子
P10～P17	入出力ポートP1		
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP20, P21, P24～P27がCMOS3ステートです。P22, P23はNチャネルオープンドレインです。P22, P23以外はバイト単位でプルアップ制御が可能です。	サブクロック発生入出力端子 (共振子を接続します。)
P22 P23			
P24/RxD P25/TxD			シリアル/O1機能端子
P26/SCLK1			
P27/CNTR0/ SRDY1			シリアル/O1機能端子 / タイマX機能端子
P30/AN0～ P34/AN4	入出力ポートP3	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	A/Dコンバータ入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子 PWM出力端子

型名とメモリサイズ・パッケージ

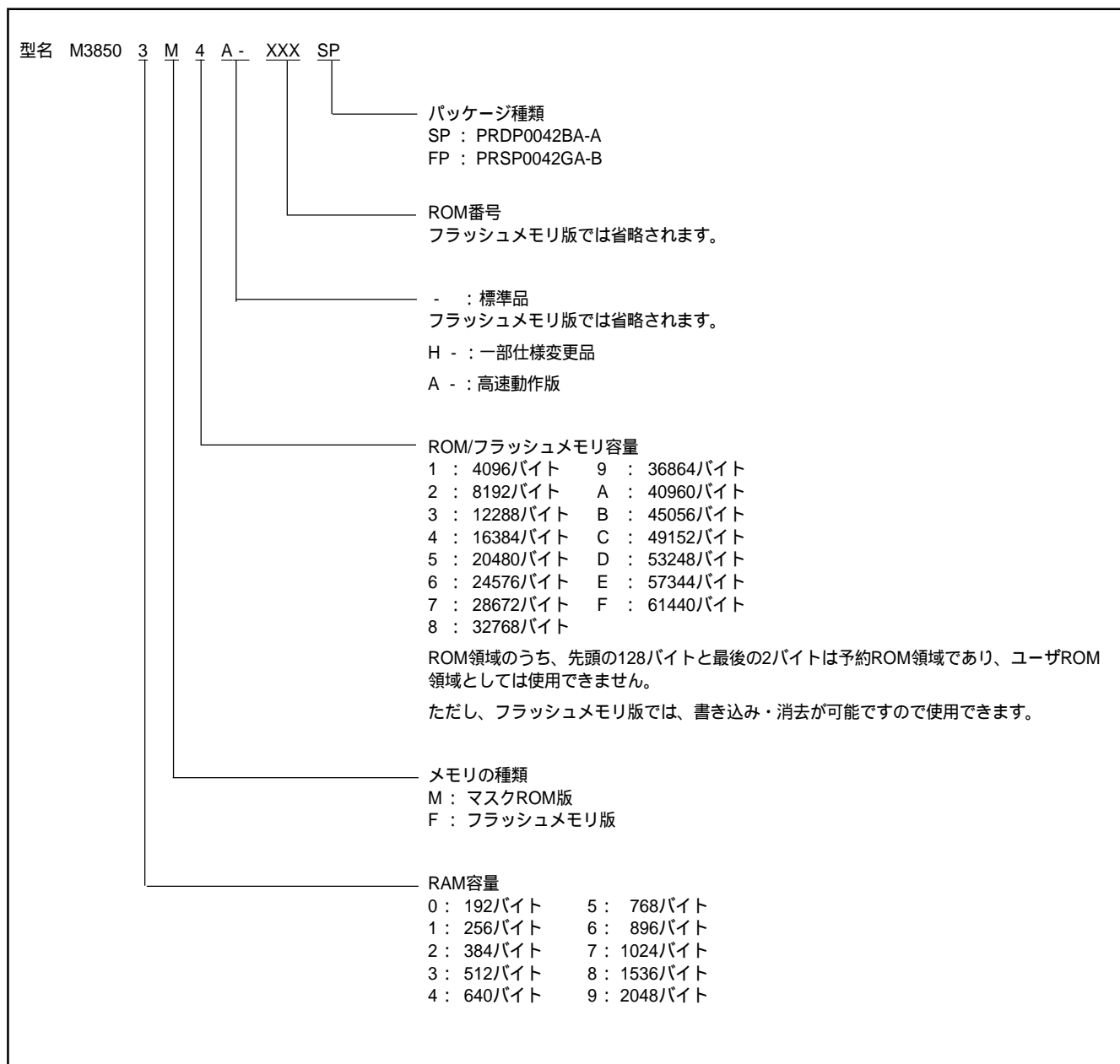


図3. 型名とメモリサイズ・パッケージ

グループ展開

3850グループ(A仕様)は次のような製品展開をしています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

メモリ容量

フラッシュメモリ容量 32Kバイト
 マスクROM容量 8K ~ 32Kバイト
 RAM容量 512 ~ 1Kバイト

パッケージ

PRDP0042BA-A ... 42ピンシュリンクプラスチックモールドDIP
 PRSP0042GA-B 42ピンプラスチックモールドSSOP

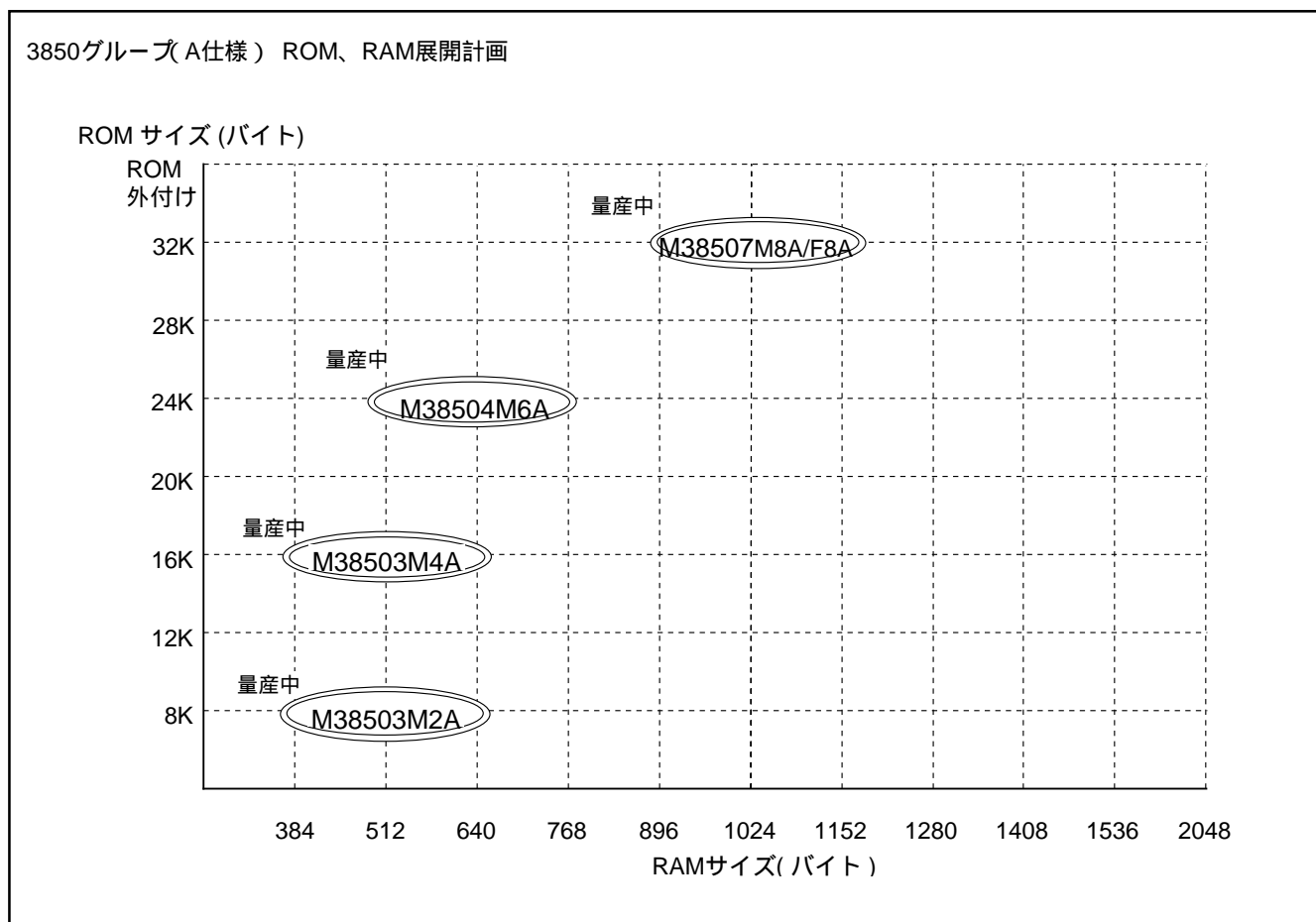


図4. ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表2. 3850グループ(A仕様)サポート製品一覧

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM(バイト)	パッケージ	備考
M38503M2A-XXXSP	8192	512	PRDP0042BA-A	マスクROM版
M38503M2A-XXXFP	(8062)		PRSP0042GA-B	マスクROM版
M38503M4A-XXXSP	16384	512	PRDP0042BA-A	マスクROM版
M38503M4A-XXXFP	(16254)		PRSP0042GA-B	マスクROM版
M38504M6A-XXXSP	24576	640	PRDP0042BA-A	マスクROM版
M38504M6A-XXXFP	(24446)		PRSP0042GA-B	マスクROM版
M38507F8ASP	32768	1024	PRDP0042BA-A	フラッシュメモリ版
M38507F8AFP			PRSP0042GA-B	
M38507M8A-XXXSP	32768	1024	PRDP0042BA-A	マスクROM版
M38507M8A-XXXFP	(32635)		PRSP0042GA-B	

表3. 3850グループ(標準品)、3850グループ(H仕様)と3850グループ(A仕様)の相違点

	3850グループ(標準品)	3850グループ(H仕様)	3850グループ(A仕様)
シリアルインタフェース	1本: シリアルI/O (UART又はクロック同期形)	2本: シリアルI/O1 (UART又はクロック同期形) シリアルI/O2 (クロック同期形)	2本: シリアルI/O1 (UART又はクロック同期形) シリアルI/O2 (クロック同期形)
A/Dコンバータ	低速モードで動作できない アナログチャンネル5本	低速モードで動作可能 アナログチャンネル5本	低速モードで動作可能 アナログチャンネル9本
大電流ポート	5本: P13~P17	8本: P10~P17	8本: P10~P17
ソフトウェア プルアップ抵抗	なし	なし	内蔵(ポートP0~P4)
最大動作周波数	8MHz	8MHz	12.5MHz

3850グループ(標準品)及び3850グループ(A仕様)の相違による注意点

- (1) 3850グループ(A仕様)の絶対最大定格は、電源電圧 $V_{CC} = -0.3 \sim 6.5V$ 、 CNV_{SS} 入力電圧 $V_{I} = -0.3 \sim V_{CC} + 0.3V$ と3850グループ(標準品)と比べ、小さくなっています。
- (2) X_{IN} - X_{OUT} 、 X_{CIN} - X_{COUT} の発振回路定数が異なる場合があります。
- (3) 予約領域、予約ビットには、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- (4) CPUモードレジスタのビット3は「1」に固定してください。
- (5) 未使用端子の処理を確実に実施してください。

機能ブロック動作説明

中央演算処理装置 (CPU)

3850グループ(A仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウントです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

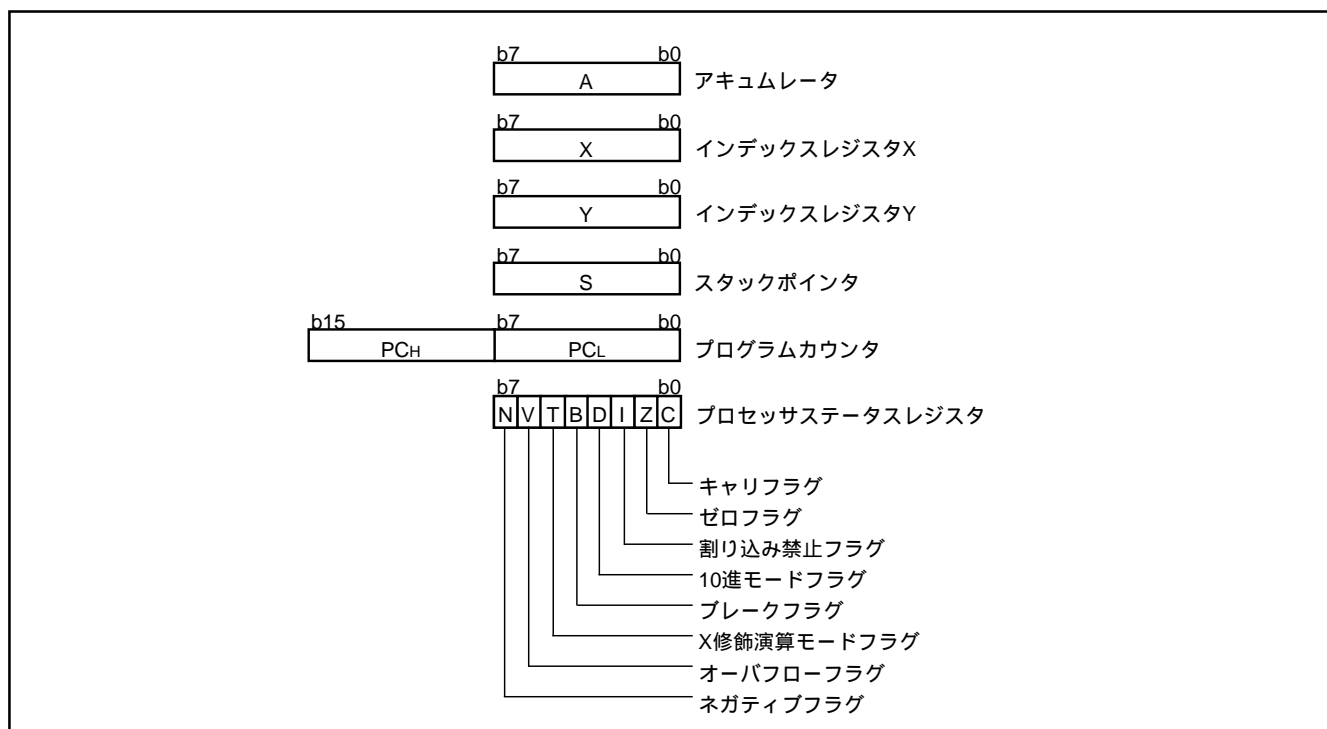


図5. 740ファミリ CPUの構成

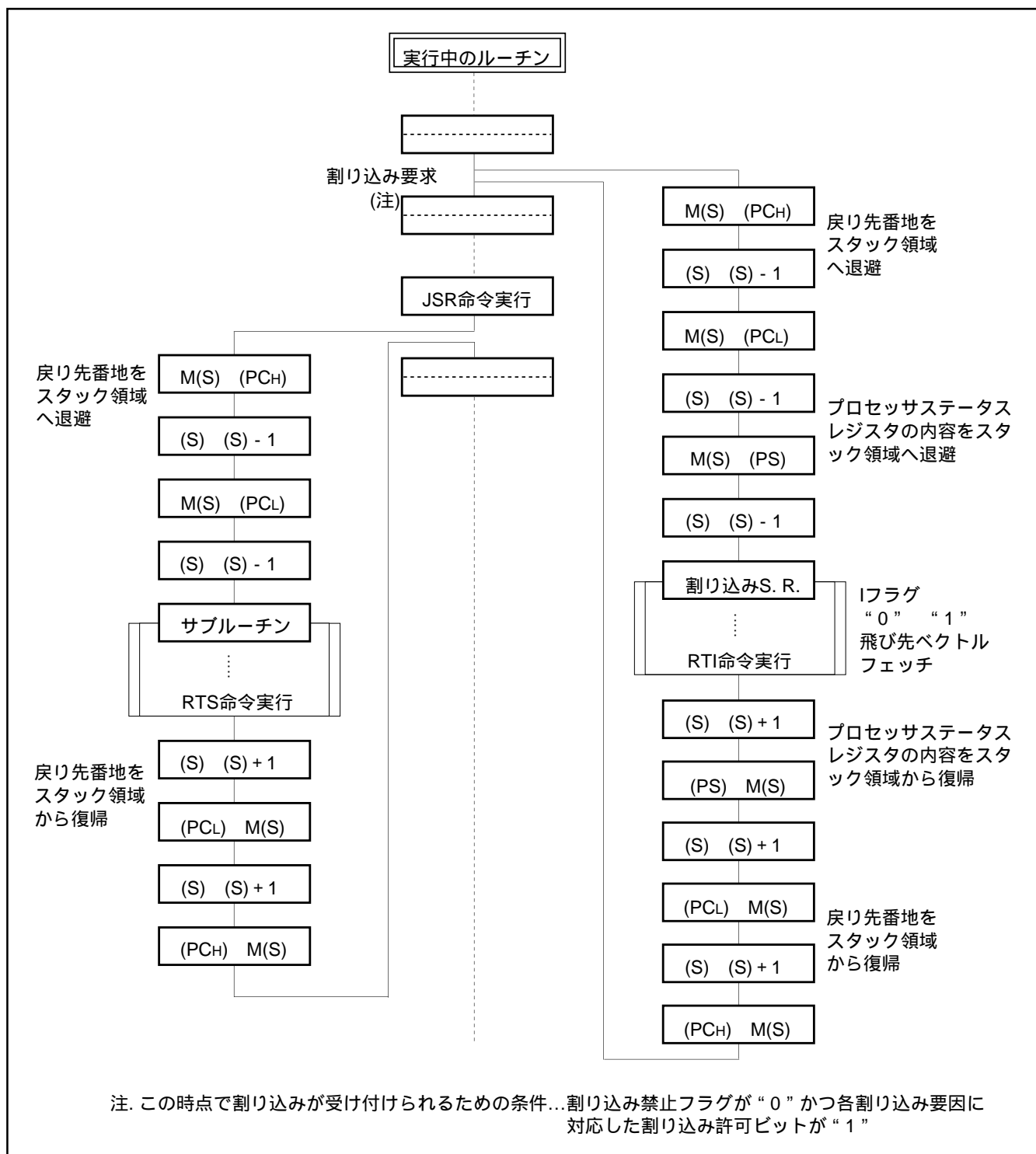


図6 . スタックへの退避及び復帰動作

表4 . アキュムレータとプロセスステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセスステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化しません。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使われます。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B₁₆番地に配置されています。

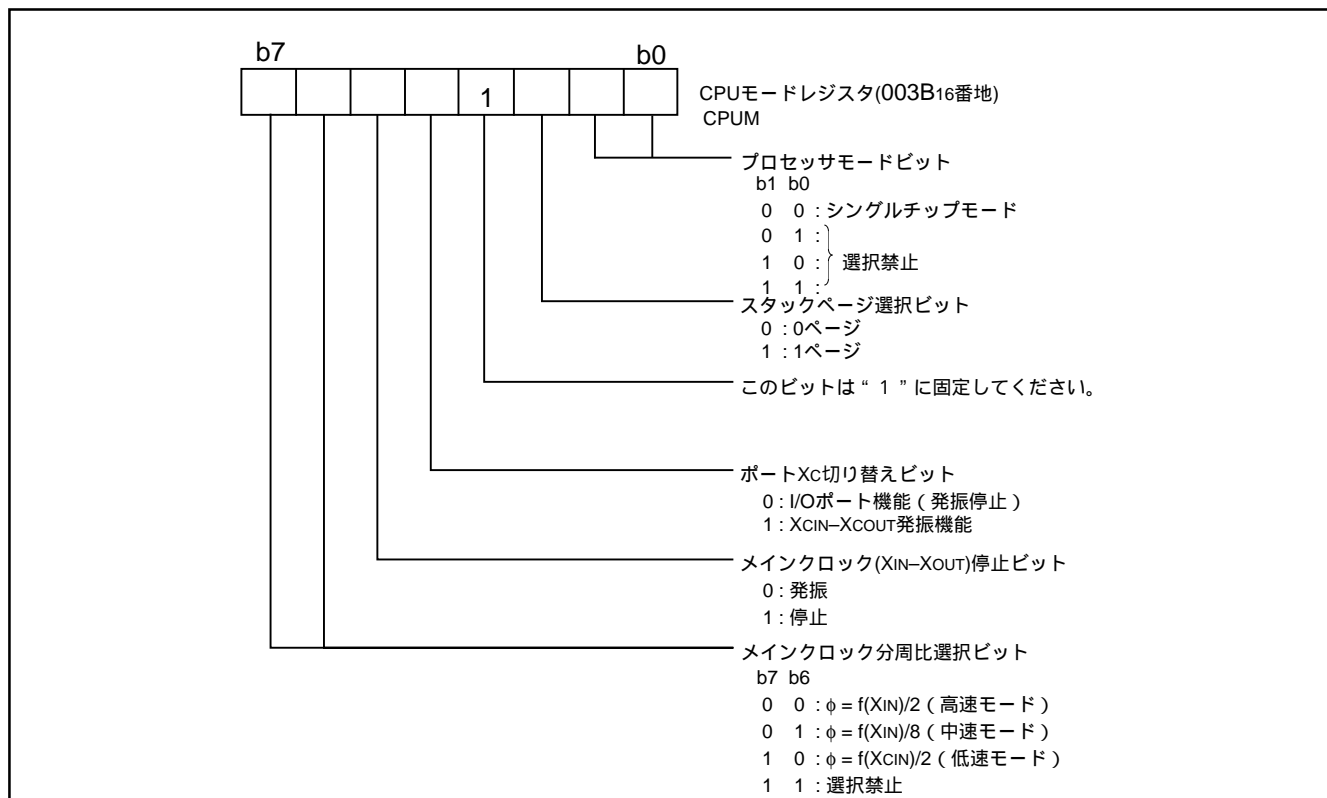


図7 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

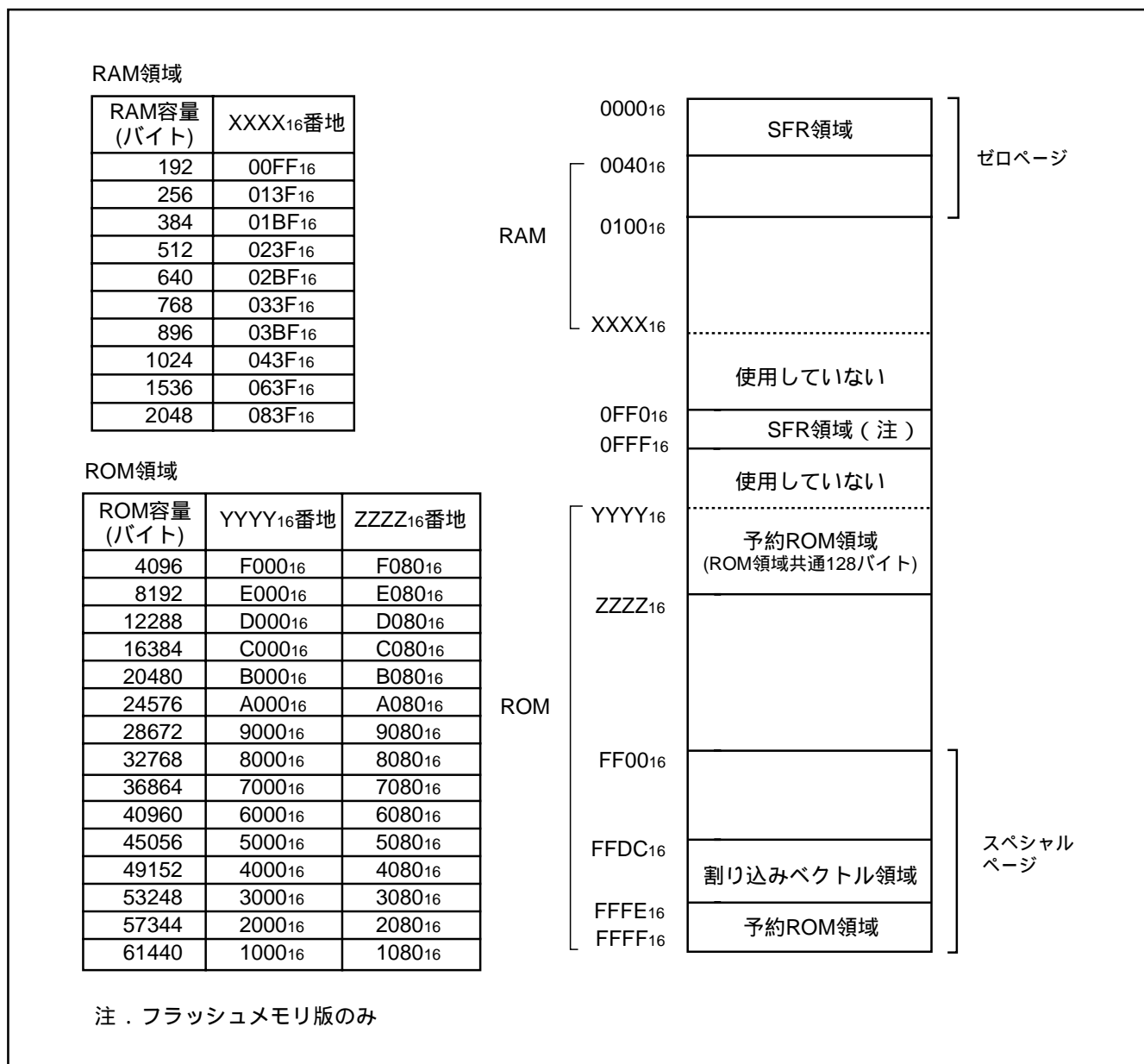


図8. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	予約 (注)
000C ₁₆		002C ₁₆	予約 (注)
000D ₁₆		002D ₁₆	予約 (注)
000E ₁₆		002E ₁₆	予約 (注)
000F ₁₆		002F ₁₆	予約 (注)
0010 ₁₆		0030 ₁₆	予約 (注)
0011 ₁₆		0031 ₁₆	予約 (注)
0012 ₁₆	ポートP0,P1,P2プルアップ制御レジスタ(PULL012)	0032 ₁₆	
0013 ₁₆	ポートP3プルアップ制御レジスタ(PULL3)	0033 ₁₆	
0014 ₁₆	ポートP4プルアップ制御レジスタ(PULL4)	0034 ₁₆	AD制御レジスタ(ADCON)
0015 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	AD変換下位レジスタ(ADL)
0016 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	AD変換上位レジスタ(ADH)
0017 ₁₆	シリアル/O2レジスタ(SIO2)	0037 ₁₆	AD入力選択レジスタ(ADSEL)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ボーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)
		0FFE ₁₆	フラッシュメモリ制御レジスタ(FMCR)

(注) 予約領域のため、何もデータを書き込まないでください。

図9 . SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0、P1、P2プルアップ制御レジスタ(0012₁₆番地)、ポートP3プルアップ制御レジスタ(0013₁₆番地)及びポートP4プルアップ制御レジスタ(0014₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表6. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力	シリアル/O2制御 レジスタ	(1) (2) (3) (4)
P04/AN5~ P07/AN8				A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ	(13)
P10~P17	ポートP1					(5)
P20/XCOOUT P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(6) (7)
P22 P23				CMOS入力レベル Nチャンネルオープンドレイン出力		(8)
P24/RxD P25/TxD P26/SCLK1	ポートP3 (注)		CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力	シリアル/O1制御 レジスタ	(9) (10) (11)
P27/CNTR0/ SRDY1				シリアル/O1機能入出力 タイマX機能入出力	シリアル/O1制御 レジスタ タイマXYモードレジ スタ	(12)
P30/AN0~ P34/AN4				A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ	(13)
P40/CNTR1	ポートP4 (注)			タイマY機能入出力	タイマXYモードレジ スタ	(14)
P41/INT0 P42/INT1				外部割り込み入力	割り込みエッジ選択 レジスタ	(15)
P43/INT2/ SCMP2				外部割り込み入力 SCMP2出力	割り込みエッジ選択 レジスタ シリアル/O2制御 レジスタ	(16)
P44/INT3/ PWM				外部割り込み入力 PWM出力	割り込みエッジ選択 レジスタ PWM制御レジスタ	(17)

注.ポートP3及びP4のビット5~7を読み出した場合、その内容は不定となります。

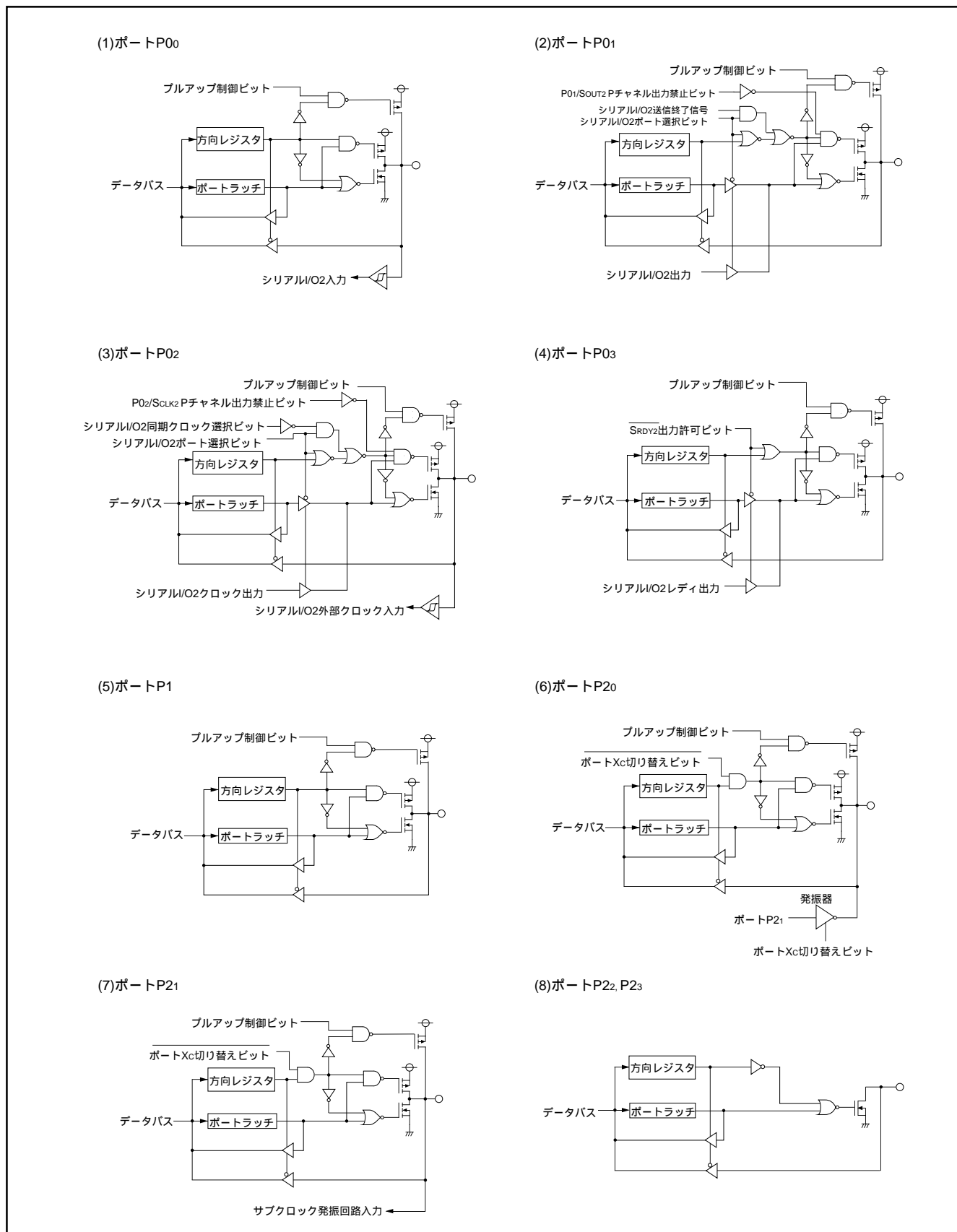


図10. ポートのブロック図(1)

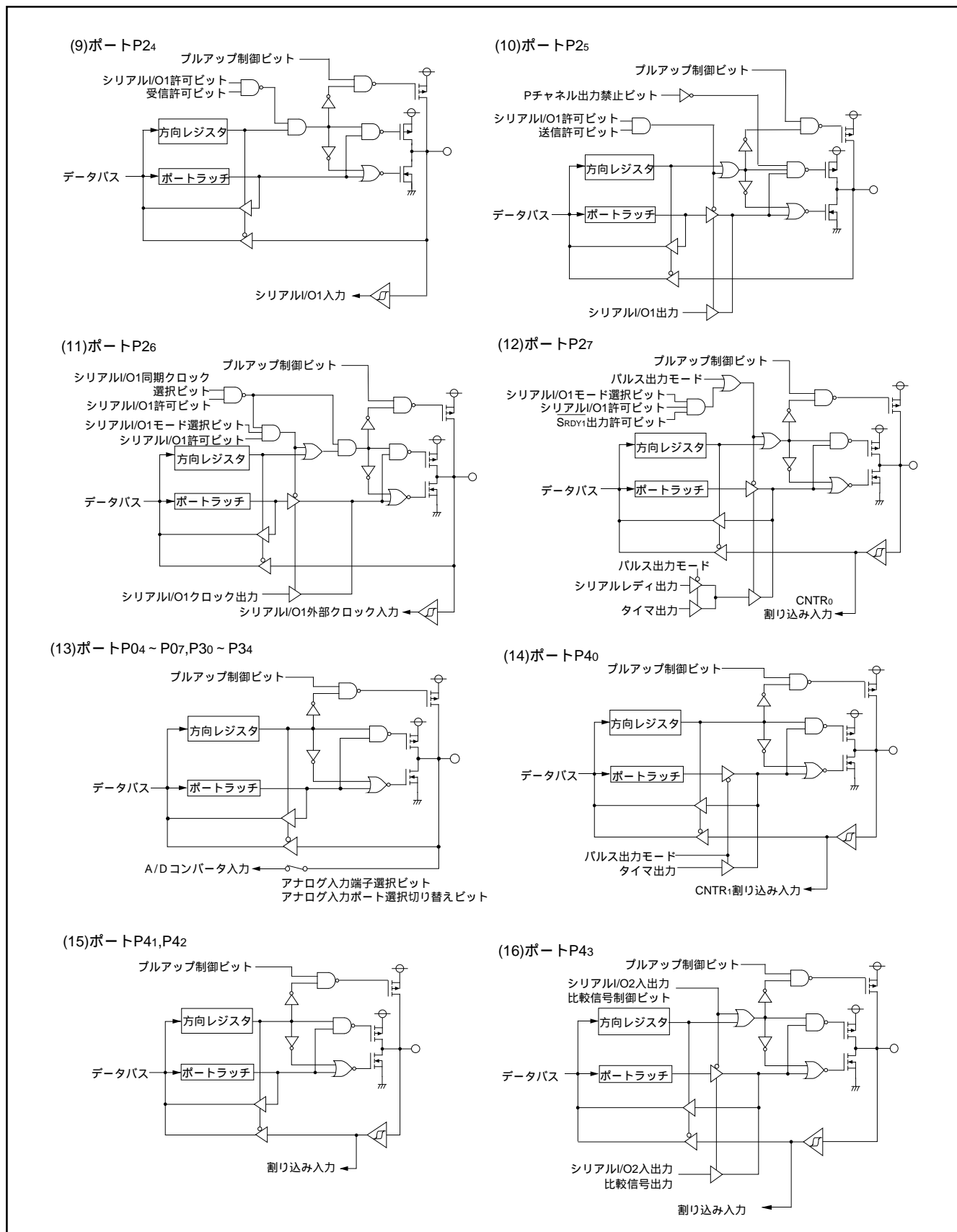


図11 . ポートのブロック図(2)

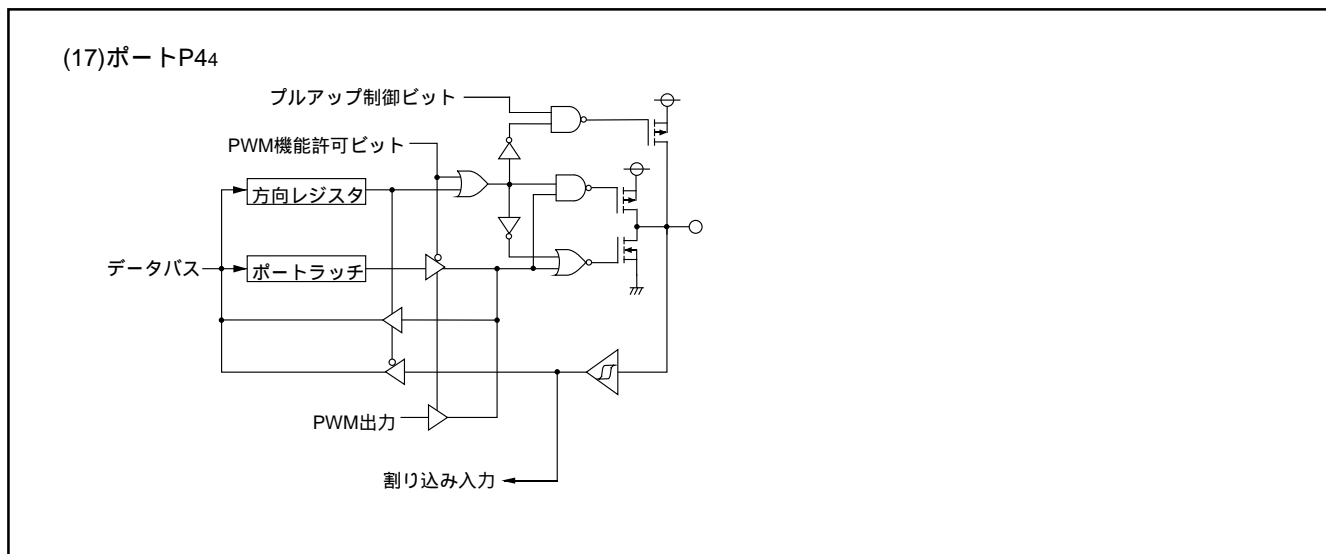


図12 . ポートのブロック図(3)

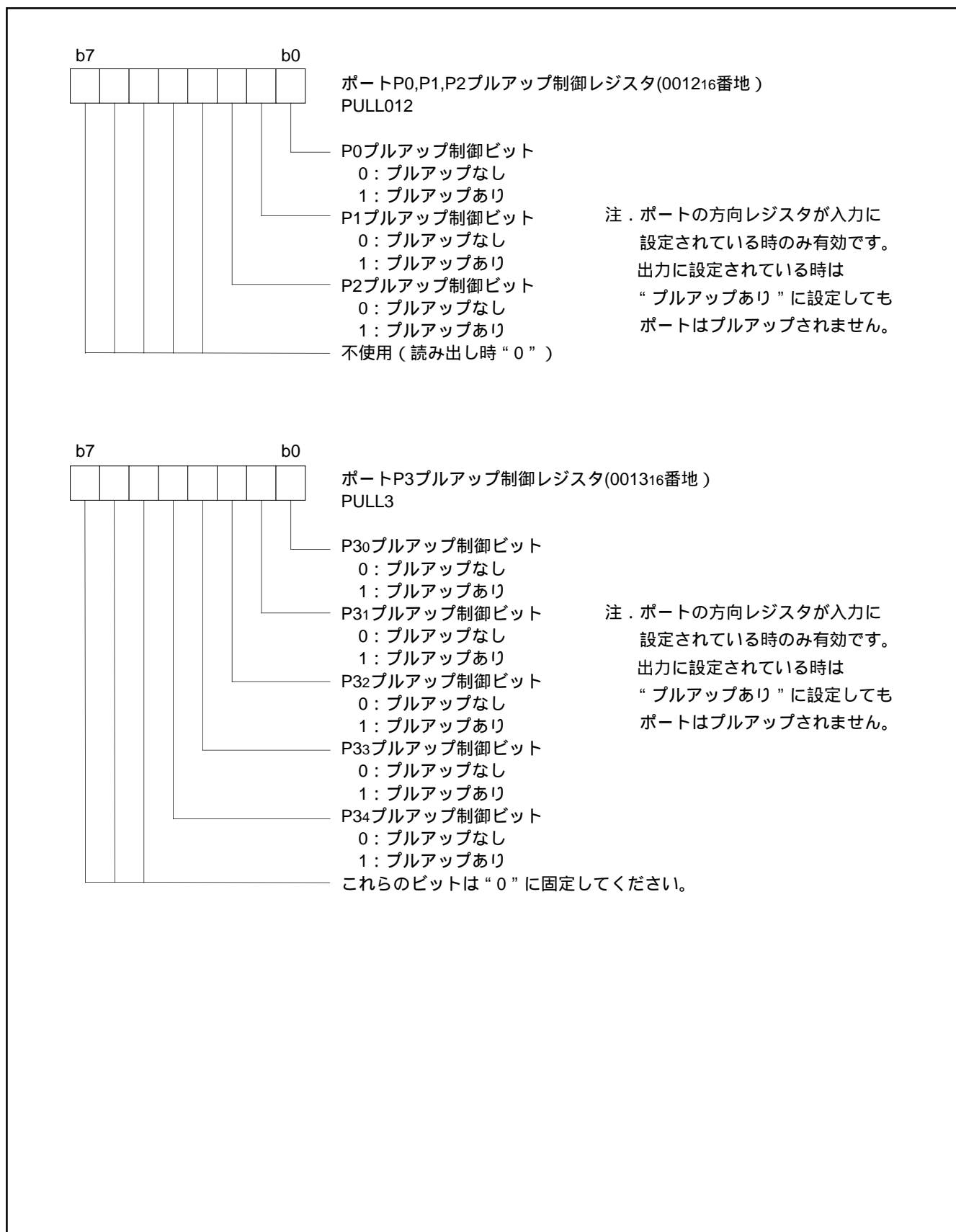


図13 . ポートレジスタ構成図(1)

割り込み

割り込みはベクトル割り込みで、外部6要因、内部8要因、ソフトウェア1要因の15要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

表7. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFF816	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
予約	3	FFF916	FFF816	予約	
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT3/シリアル/O2	6	FFF316	FFF216	INT3入力の立ち上がり又は立ち下がりエッジ検出時/シリアル/O2送受信完了時	外部割り込み(極性プログラマブル) シリアル/O2/INT3割り込み要因ビットにより切り替え
予約	7	FFF116	FFF016	予約	
タイマX	8	FFEF16	FFEE16	タイマXアンダフロー時	
タイマY	9	FFED16	FFEC16	タイマYアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	
シリアル/O1受信	12	FFE716	FFE616	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE516	FFE416	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
A/D変換	16	FFDF16	FFDE16	A/D変換終了時	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(003A16番地)
 タイマXYモードレジスタ(002316番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(003A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

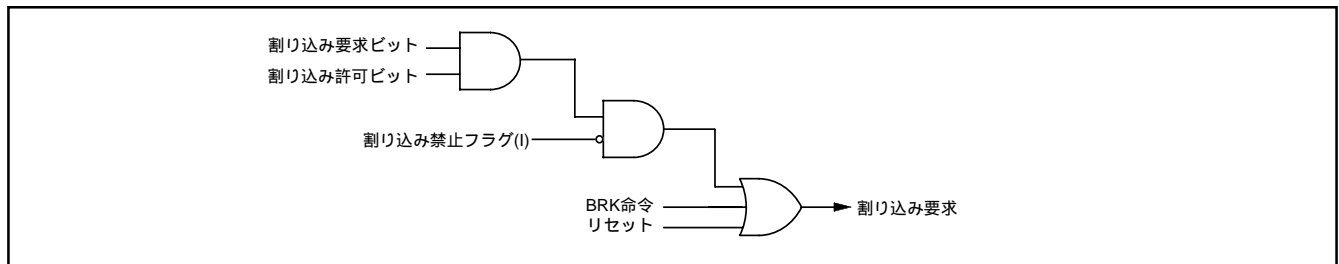


図15．割り込み制御図

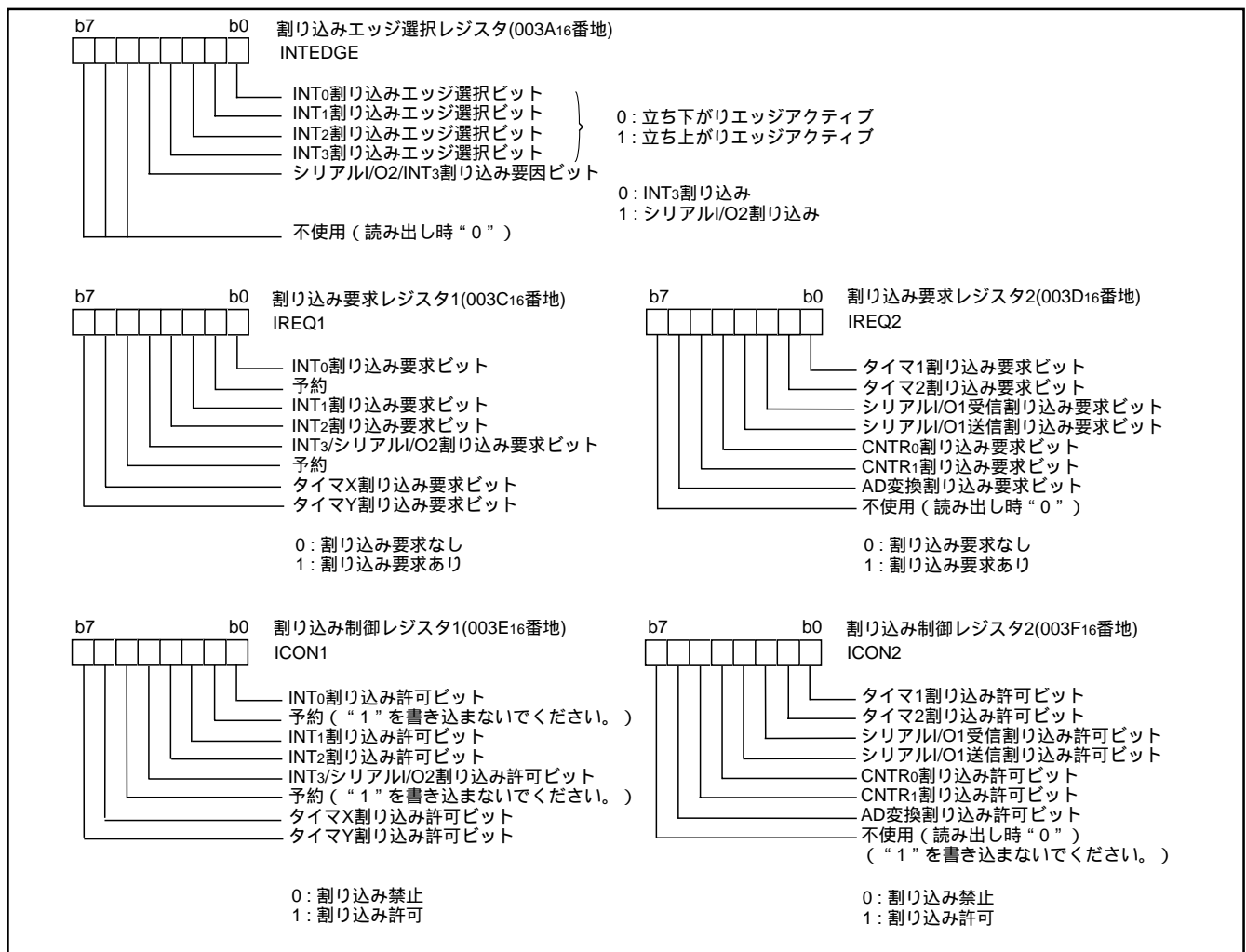


図16．割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

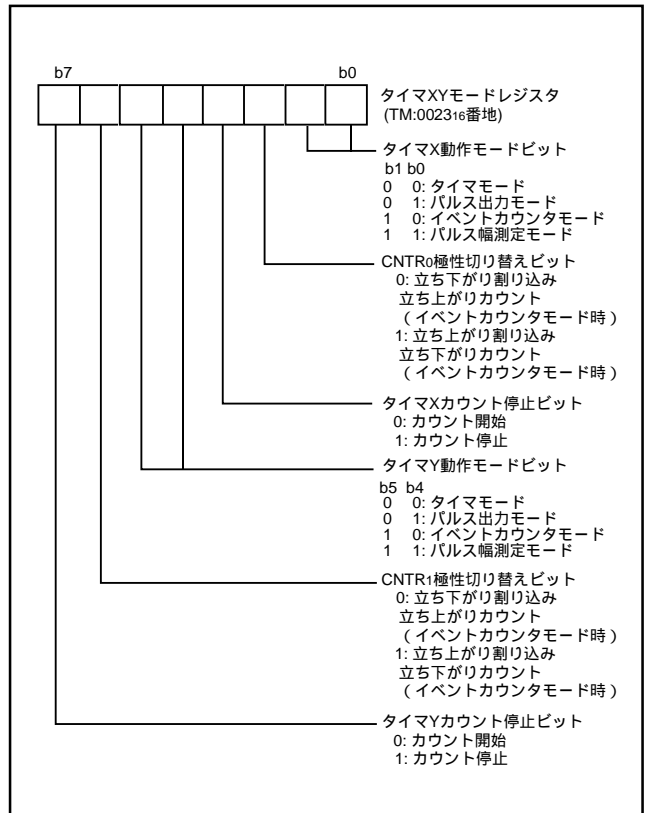


図17. タイマXYモードレジスタの構成

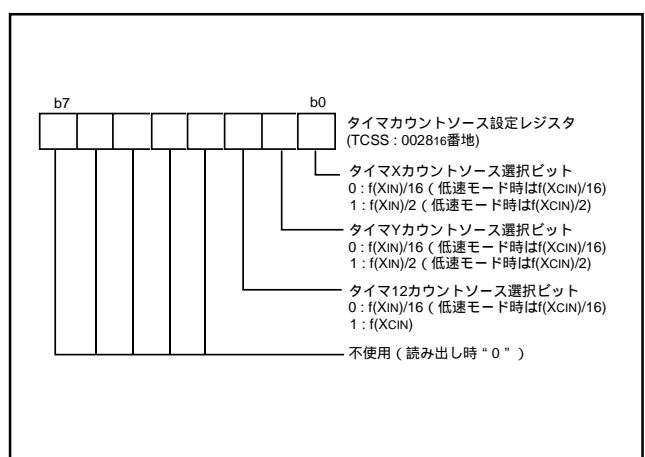


図18. タイマカウントソース設定レジスタ

■注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

タイマX/タイマYカウント停止ビットを‘1’にする命令を実行中にタイマX/タイマYがアンダフローした場合、タイマX/タイマY割り込み要求ビットが‘1’になります。このとき、タイマX/タイマYの割り込みが許可されていると、割り込みが受け付けられます。割り込みが受け付けられるタイミングは、タイマのアンダフローのタイミングにより、カウント停止ビットを‘1’にする命令の後の場合と、その次の命令の後の場合があります。この割り込みが不要な場合は、割り込み許可ビットを‘0’ (禁止)にした後、カウント停止ビットを‘1’にしてください。

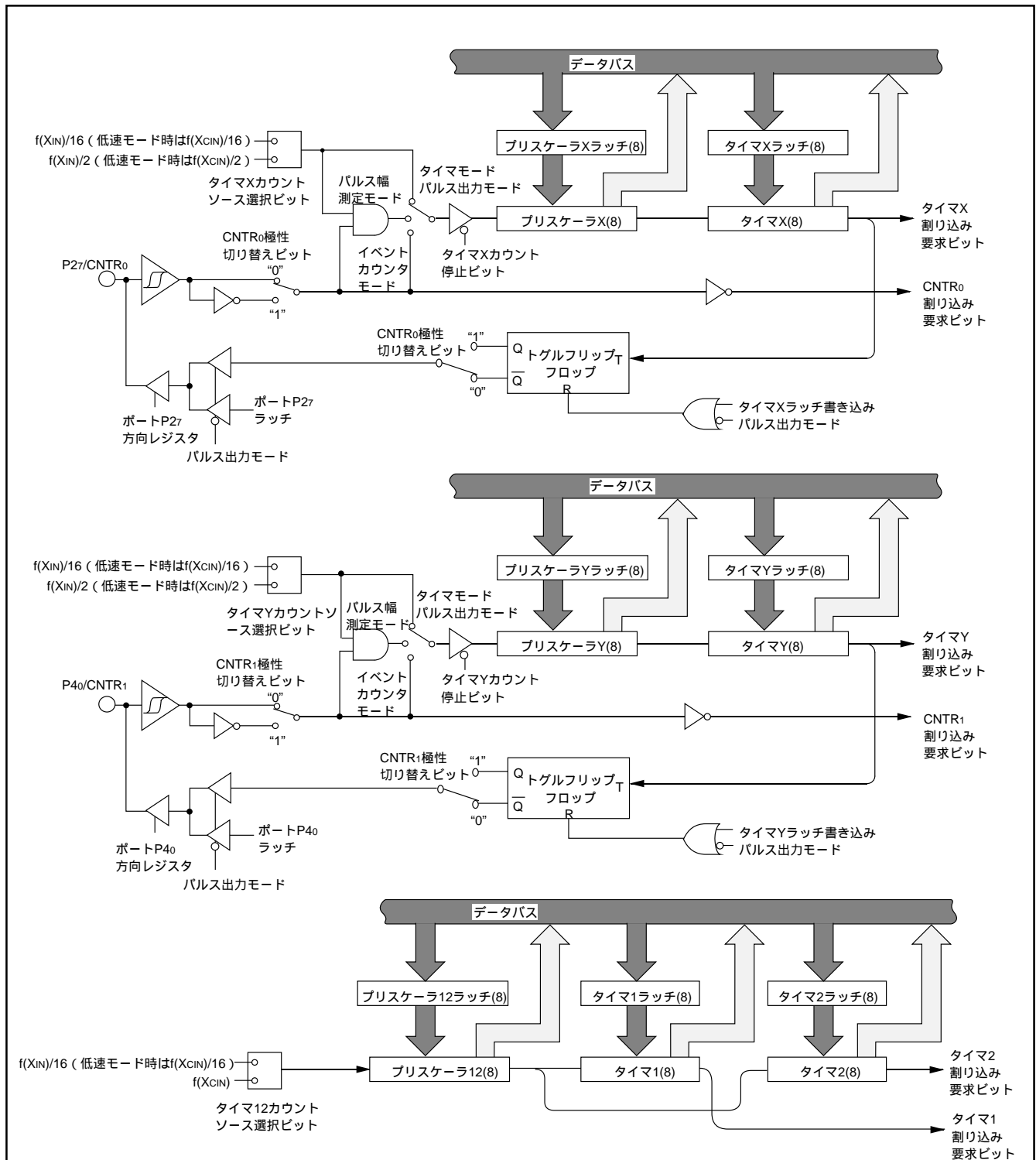


図19. タイマX, タイマY, タイマ1及びタイマ2のブロック図

シリアルインタフェース

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

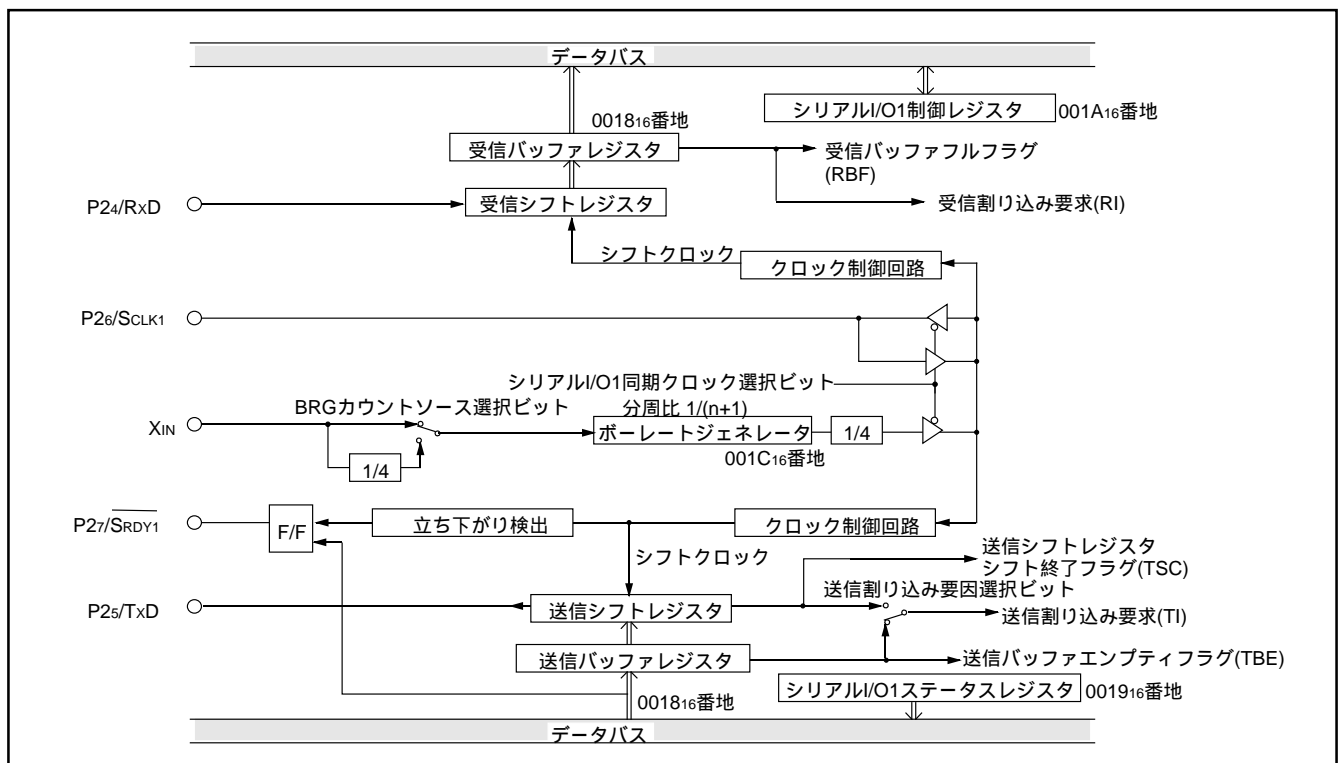


図20. クロック同期形シリアルI/O1ブロック図

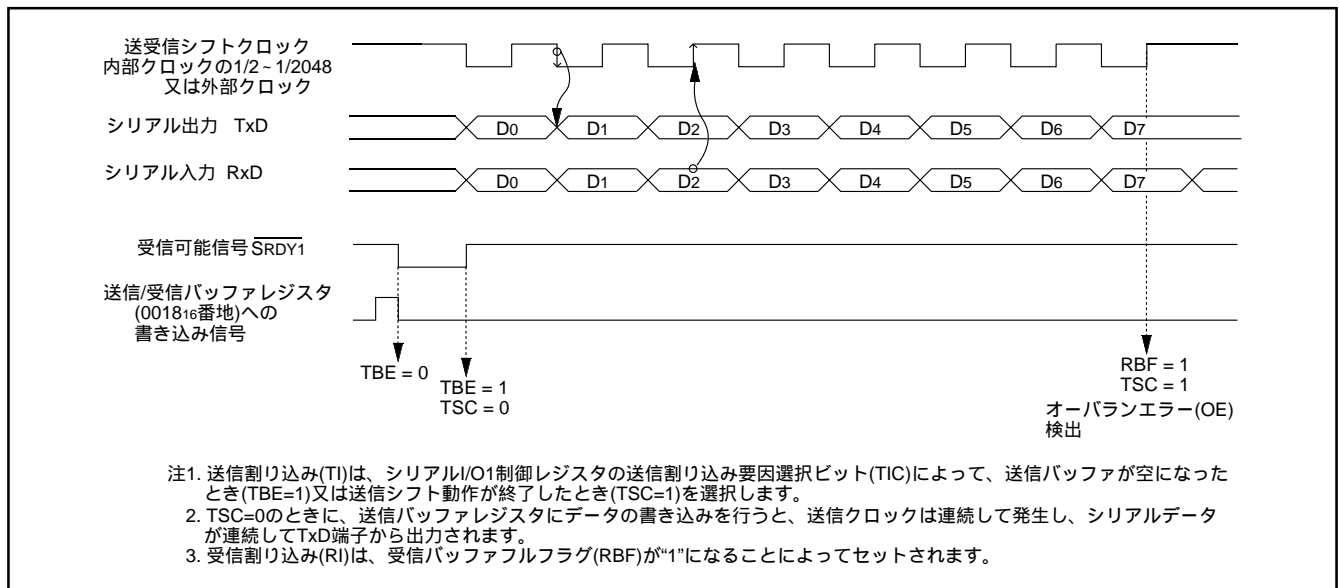


図21. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持って

います(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

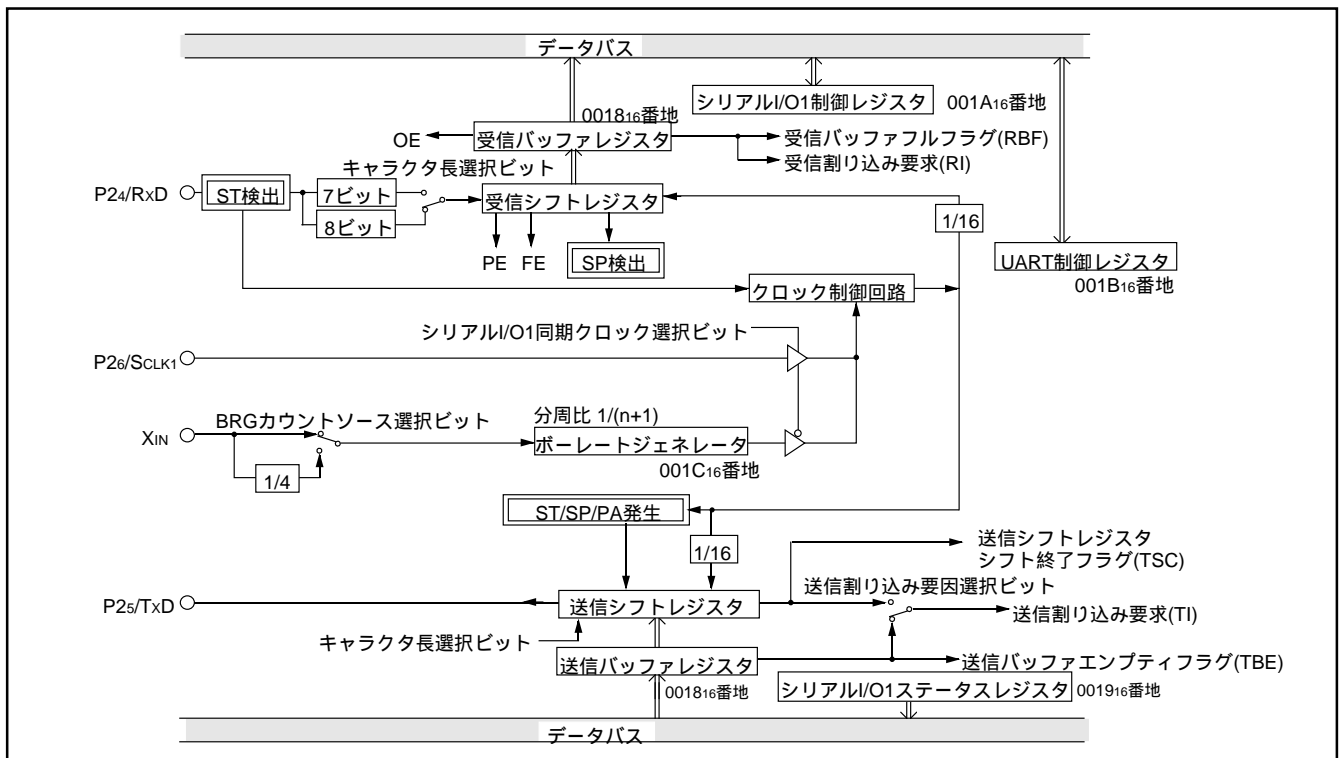


図22 . UART形シリアルI/O1ブロック図

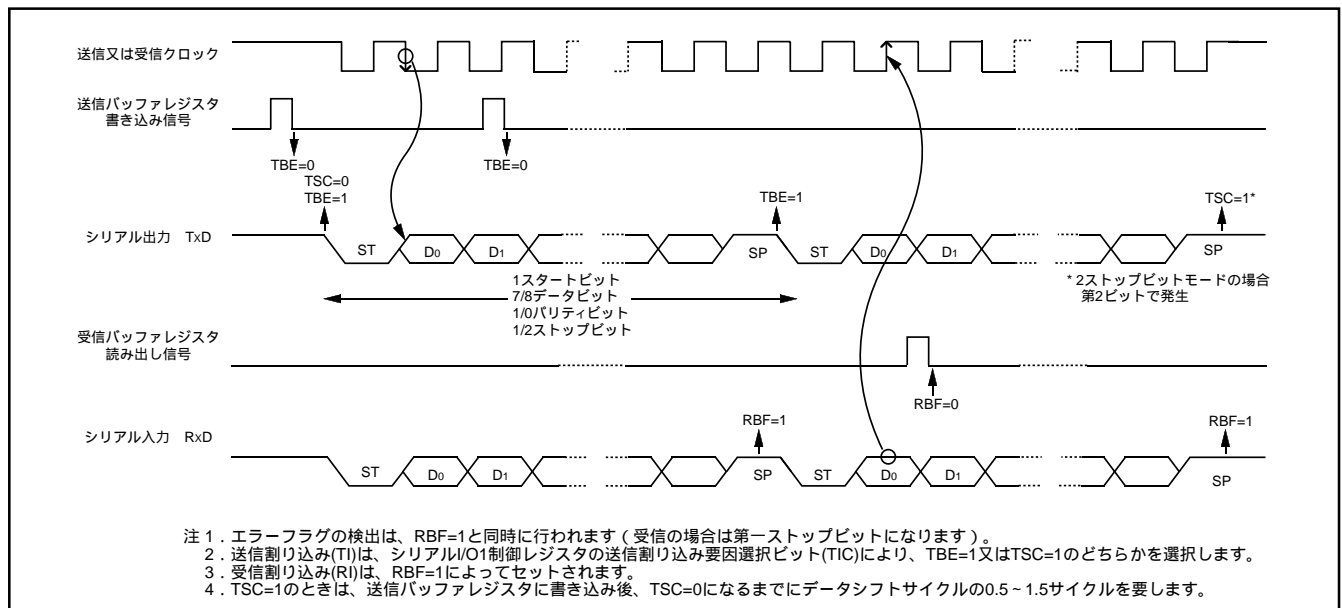


図23 . UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P25/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

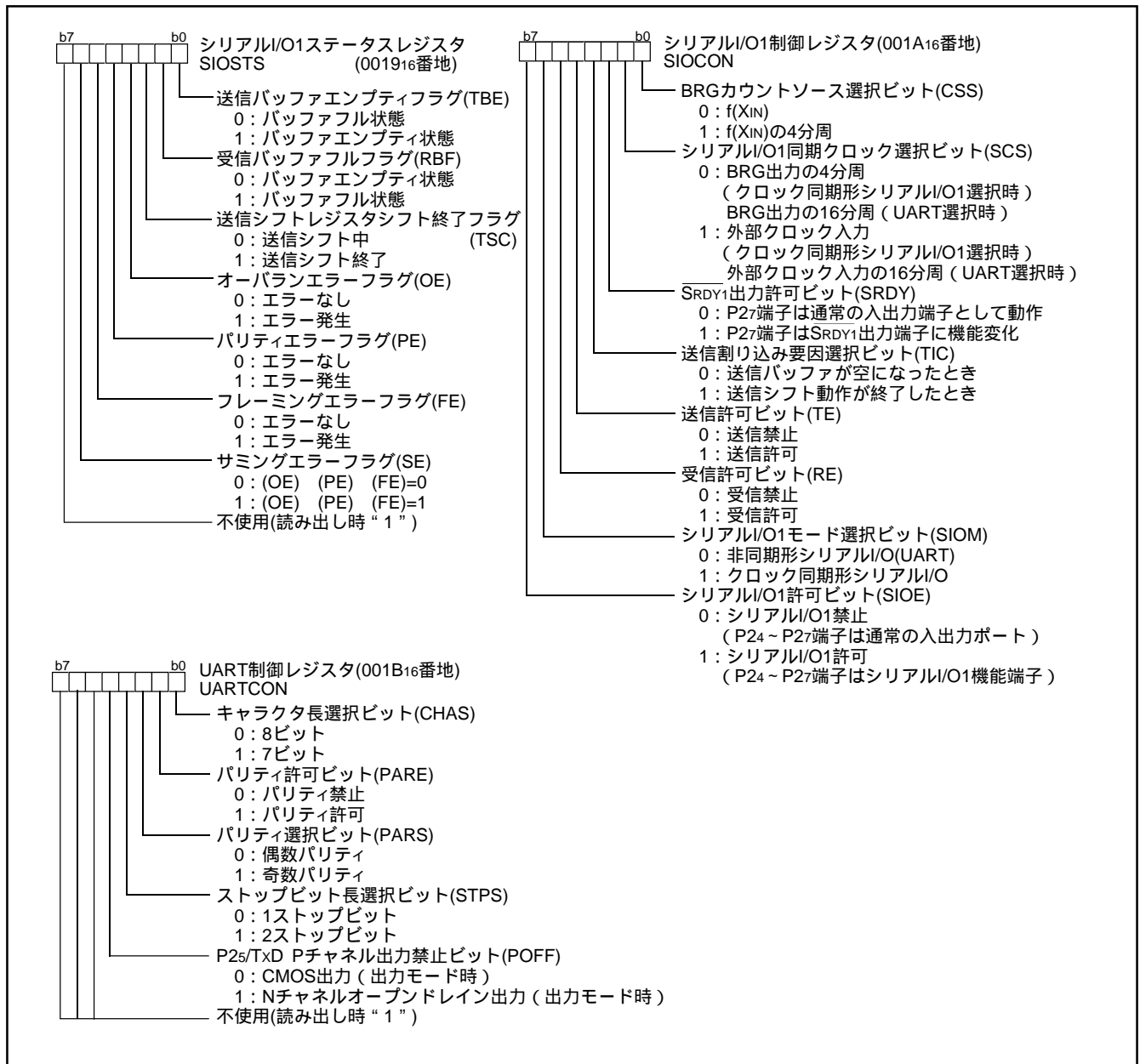


図24 . シリアルI/O1関係レジスタの構成

■注意事項

シリアルI/O1の送信許可ビットを"1"にしたとき、シリアルI/O1送信割り込み要求ビットが"1"になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1) シリアルI/O1送信割り込み許可ビットを"0"(禁止)にする。
- (2) 送信許可ビットを"1"にする。
- (3) 一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを"0"にする。
- (4) シリアルI/O1送信割り込み許可ビットを"1"(許可)にする。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロック又は外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT₂、SCLK₂については、シリアルI/O2制御レジスタ1のP0₁/SOUT₂、P0₂/SCLK₂、Pチャンネル出力禁止ビット(b7)により、CMOS出力又はNチャンネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT₂端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT₂端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT₂端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK₂が“H”の状態ですerialI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT₂端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1~8ビット)を転送後割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり同期して、送信端子SOUT₂と受信端子SIN₂の状態を比較し、SCMP₂信号を出力することができます。SOUT₂端子の出力レベルとSIN₂端子への入力レベルが同一であれば、SCMP₂端子から“L”、異なれば“H”を出力します。また、この時INT₂割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1, SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

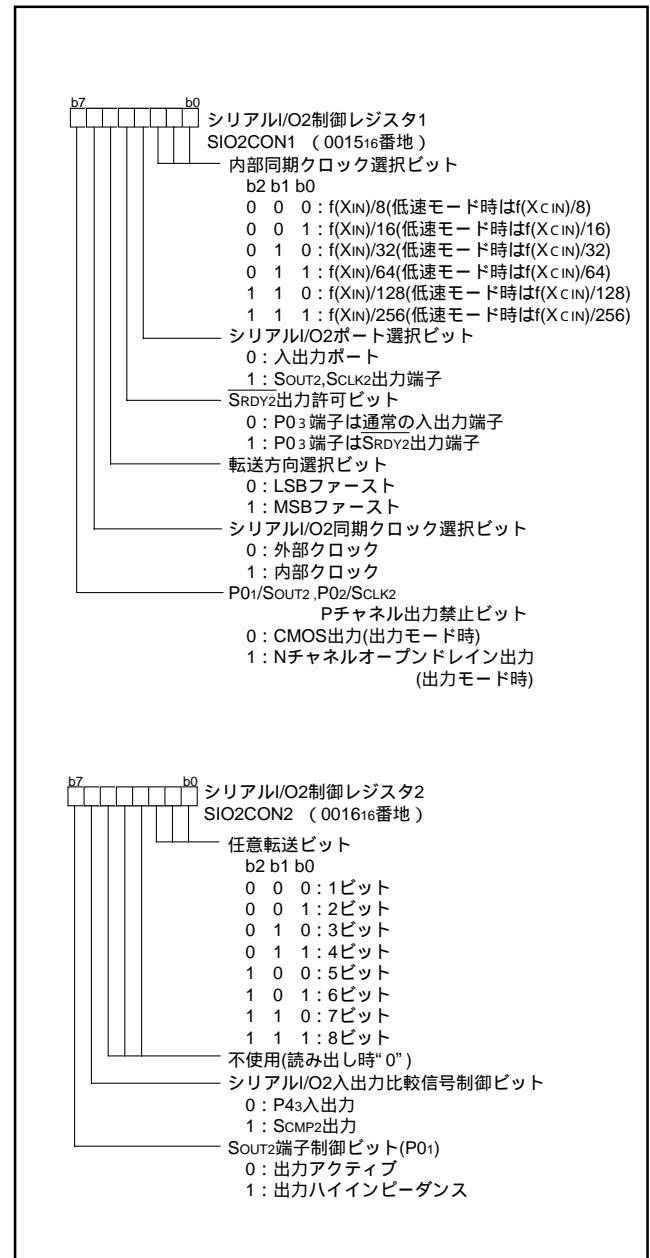


図25 . シリアルI/O2制御レジスタ1、2の構成

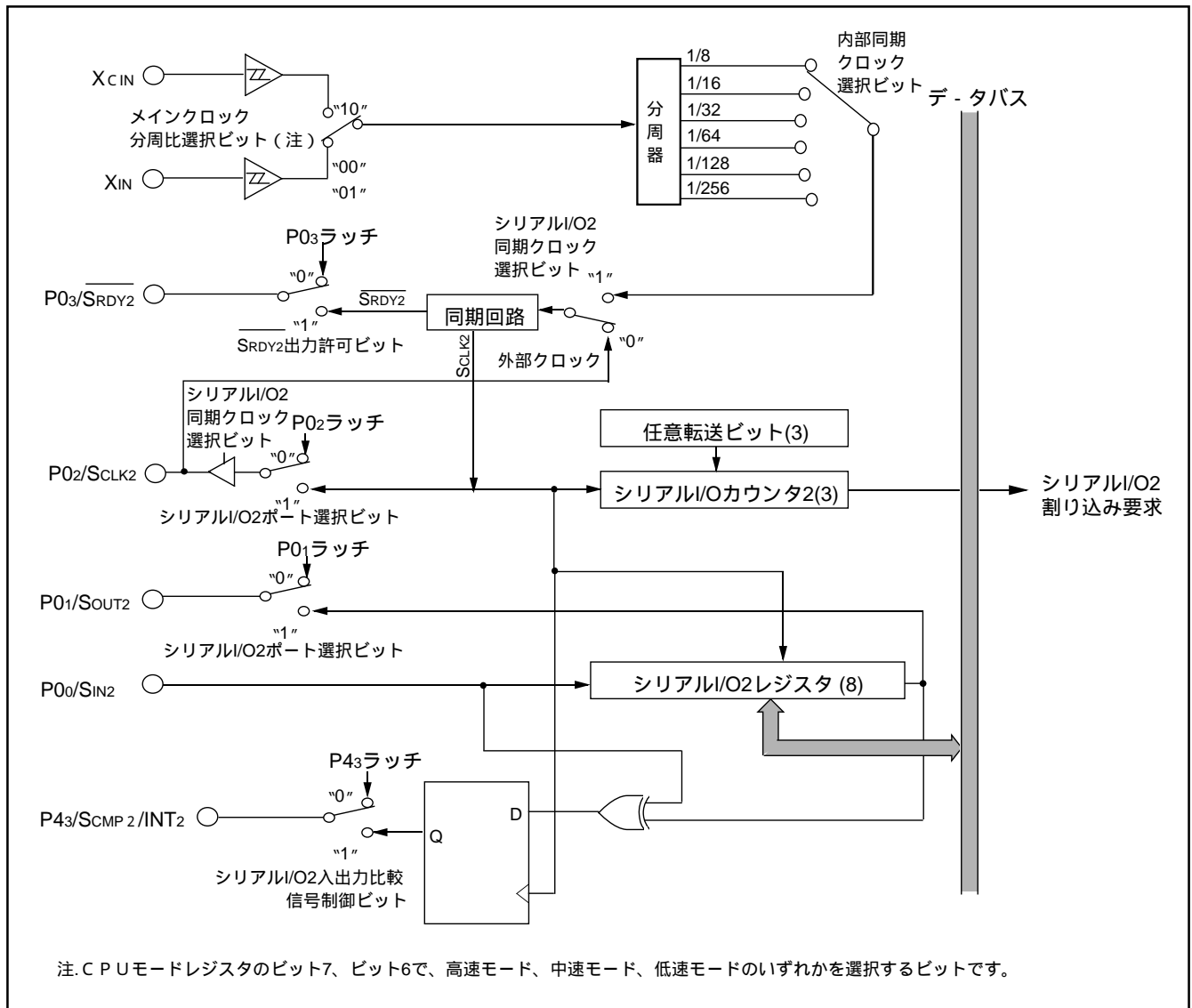


図26. シリアル/O2ブロック図

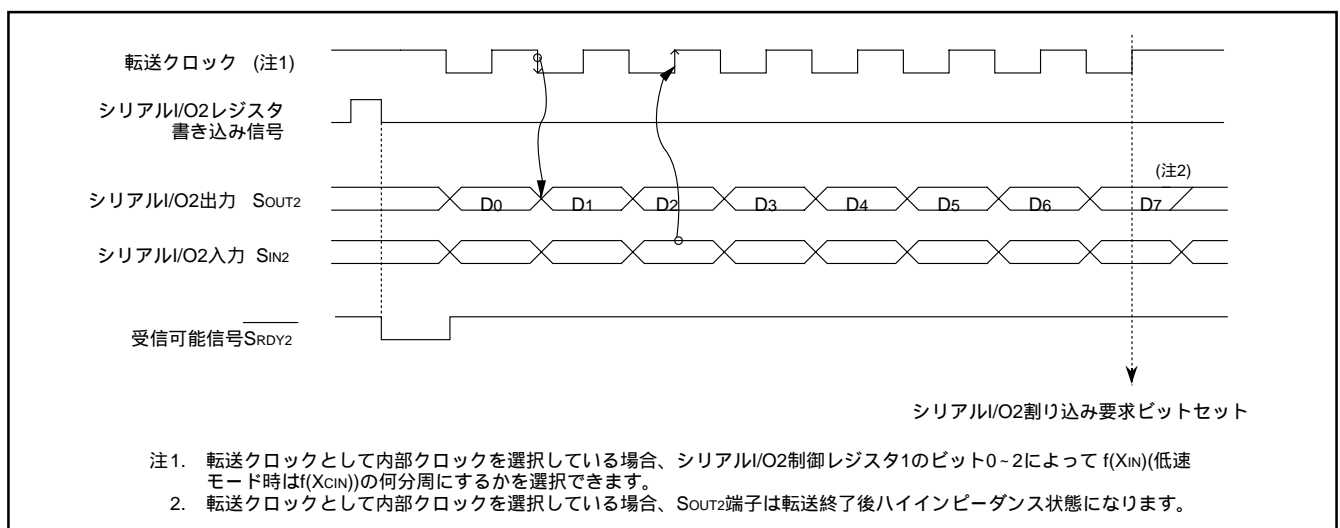


図27. シリアル/O2タイミング図

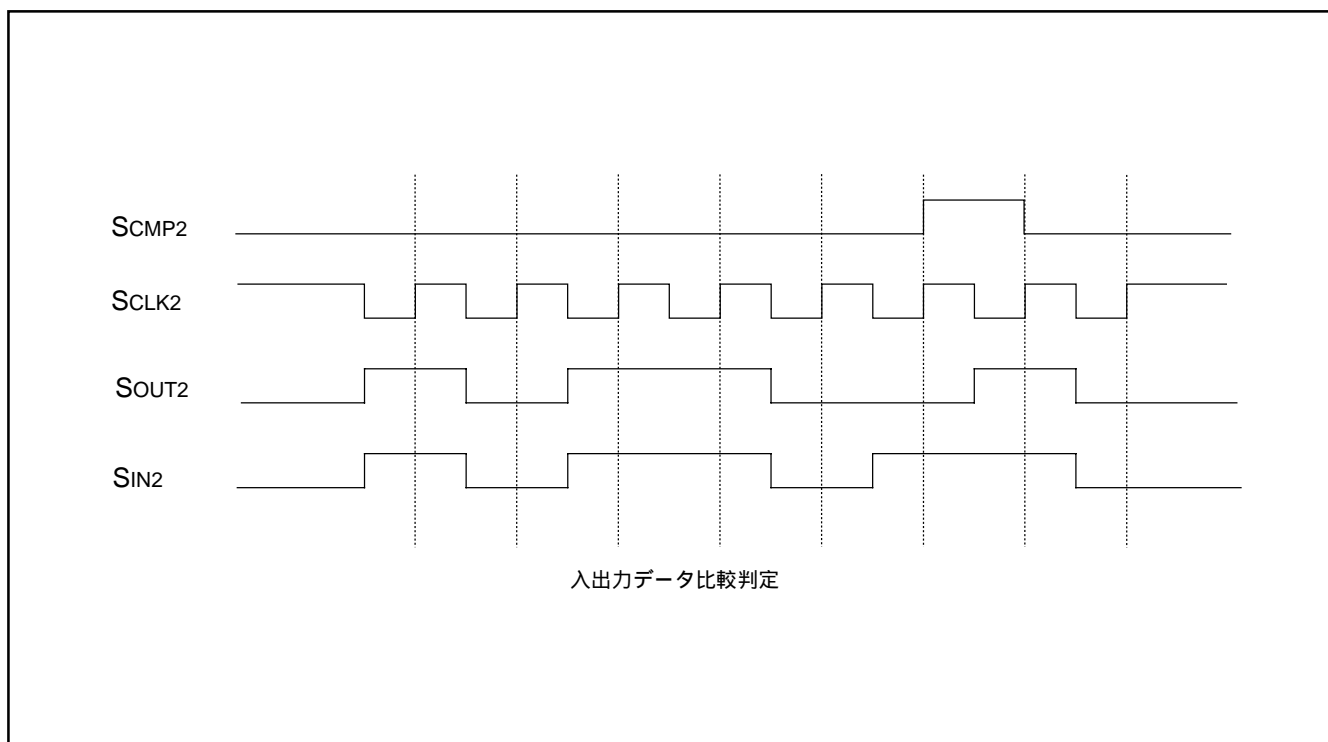


図28 . SCMP2出力の動作

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・ データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(XIN)} \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット = “0” の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット = “0” の場合)

・ PWMの動作

PWM制御レジスタのビットα (PWM許可ビット) を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

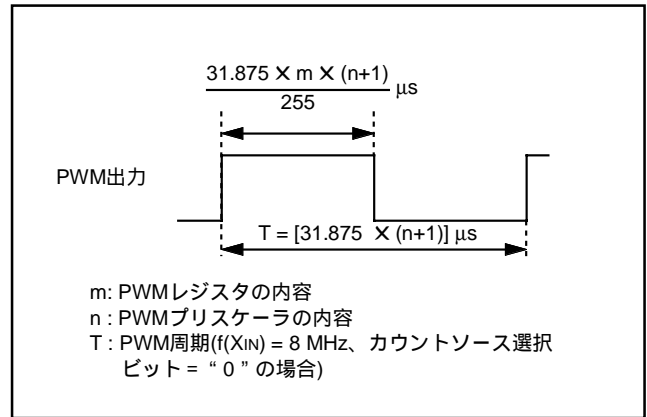


図29 . PWM周期のタイミング図

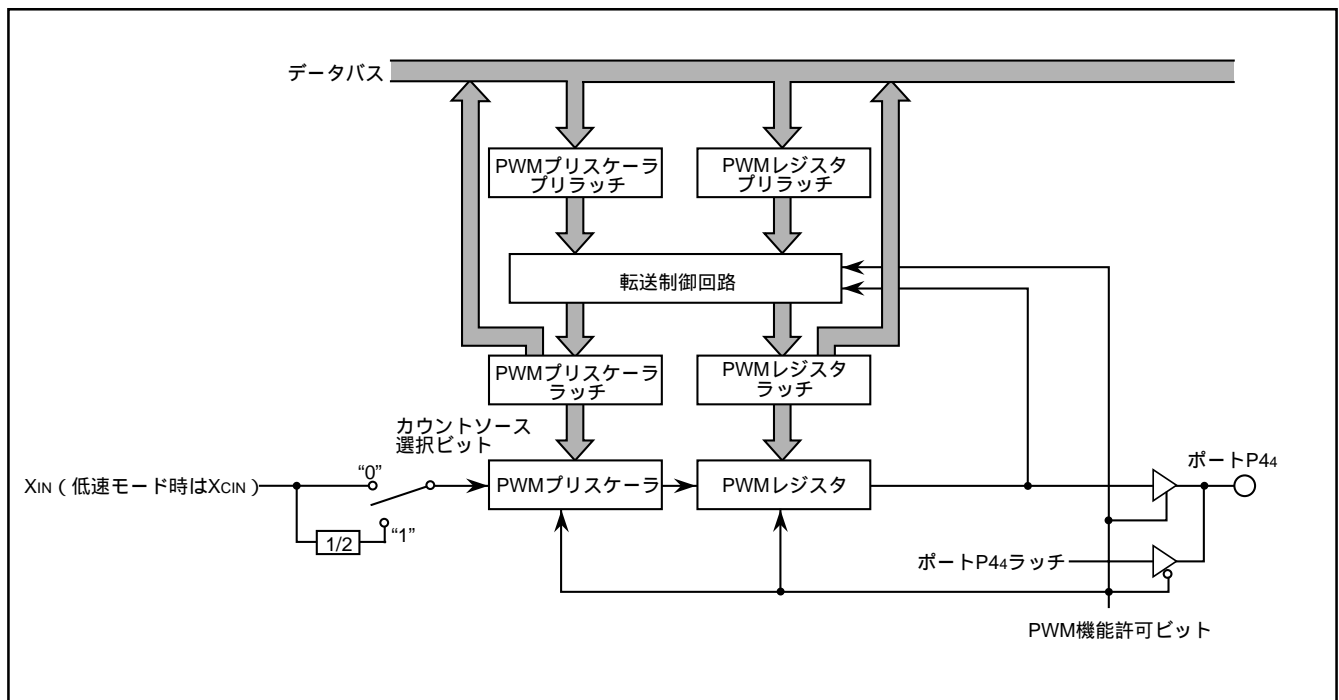


図30 . PWMブロック図

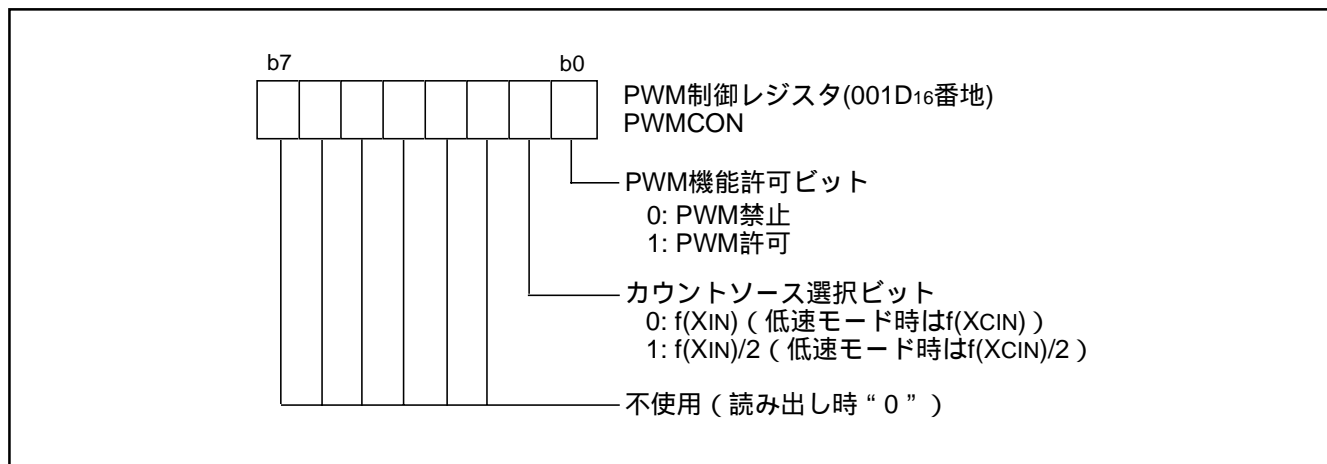


図31 . PWM制御レジスタの構成

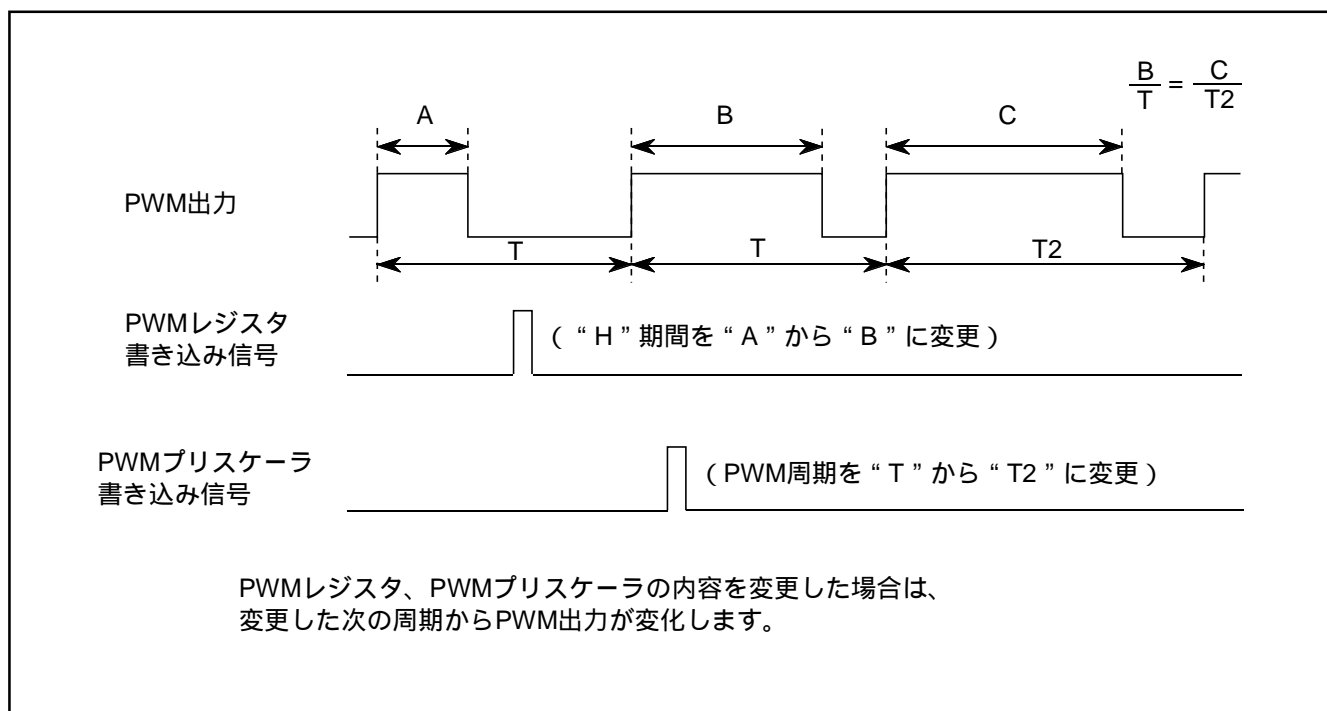


図32 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・カウンタソース選択ビット="0"、n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \text{ (秒)}$$

- ・カウンタソース選択ビット="1"、n = プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \text{ (秒)}$$

A/Dコンバータ

【AD変換レジスタ】ADL, ADH

A/D変換結果が格納される読み出し専用のレジスタです。
A/D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。これらのビットに値を設定することにより、AD入力選択レジスタ(0037₁₆番地)のビット0が“0”の場合、P30/AN0～P34/AN4が選択でき、AD入力選択レジスタ(0037₁₆番地)のビット0が“1”の場合は、P04/AN5～P07/AN8が選択できます。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【AD入力選択レジスタ】ADSEL

AD入力選択レジスタにはA/Dコンバータへのアナログ入力ポートの選択切り替えビットがビット0に割り付けられています。

このアナログ入力ポート切り替えビットに“0”を設定した場合、AD制御レジスタ(0034₁₆番地)のアナログ入力端子選択ビット(b2,b1,b0)によって、P30/AN0～P34/AN4を選択することができます。

“1”を設定した場合、AD制御レジスタ(0034₁₆番地)のアナログ入力端子選択ビット(b2,b1,b0)によって、P04/AN5～P07/AN8を選択することができます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセクタ】

ポートP34/AN4～P30/AN0、P07/AN8～P04/AN5より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので、f(XIN)及びf(XCIN)下限周波数の制限はありません。

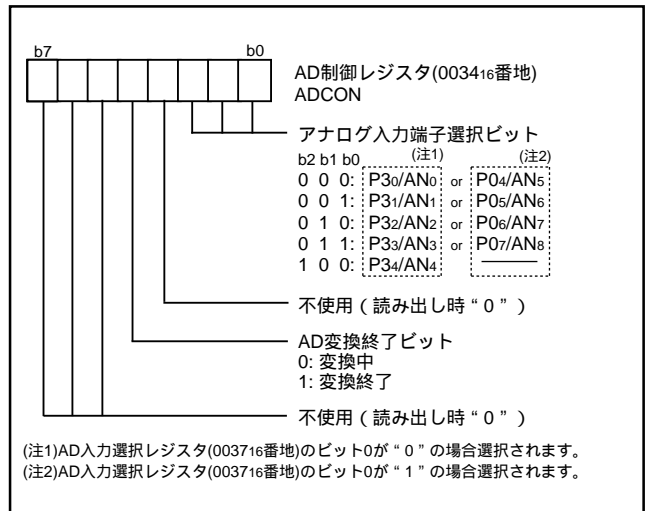


図33. AD制御レジスタの構成

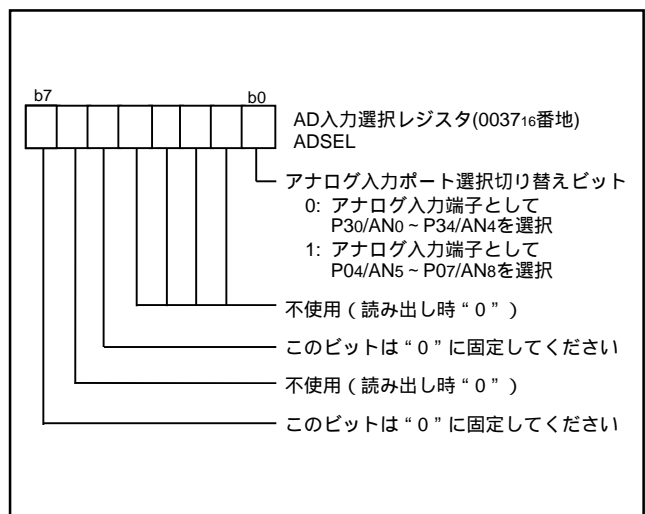


図34. AD入力選択レジスタの構成

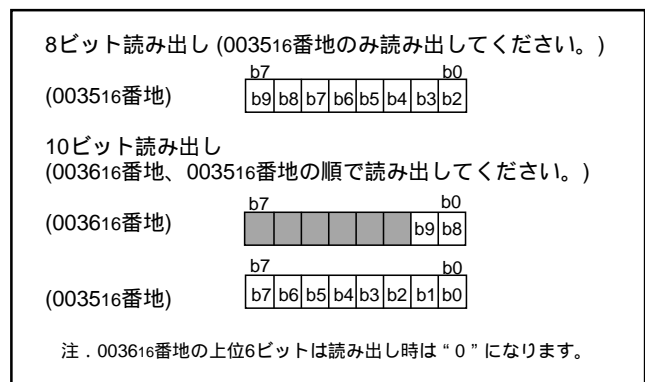


図35. AD変換レジスタの構成

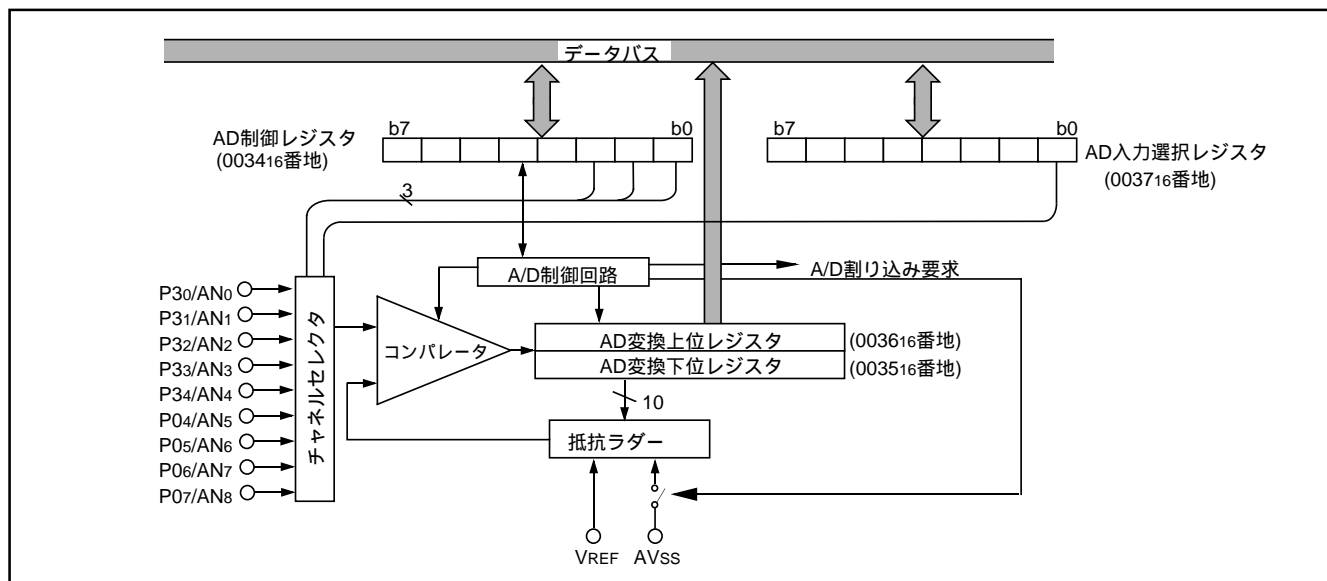


図36 . A/Dコンバータのブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

(1)ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

(2)ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッグタイマ制御レジ

スタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

(3)ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行するとストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。

X_{CIN}=32.768kHz 時 32s, X_{IN}=16MHz 時 65.536ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。

X_{CIN}=32.768kHz 時 125ms, X_{IN}=16MHz 時 256 μs

注・ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

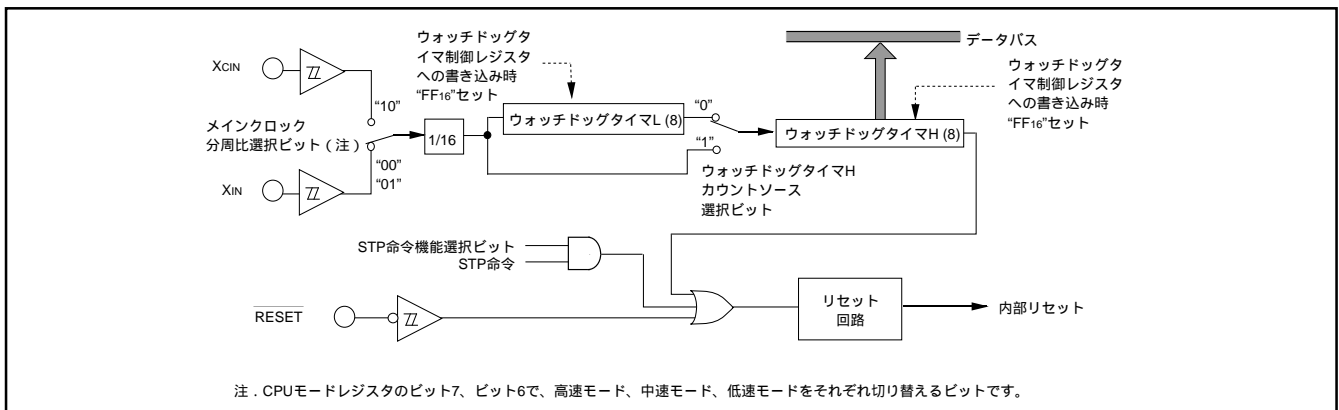


図37．ウォッチドッグタイマのブロック図

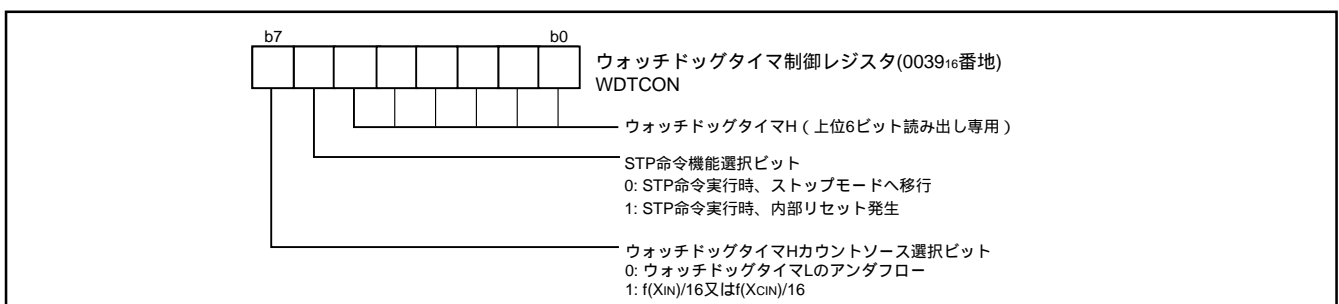


図38．ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXINの20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

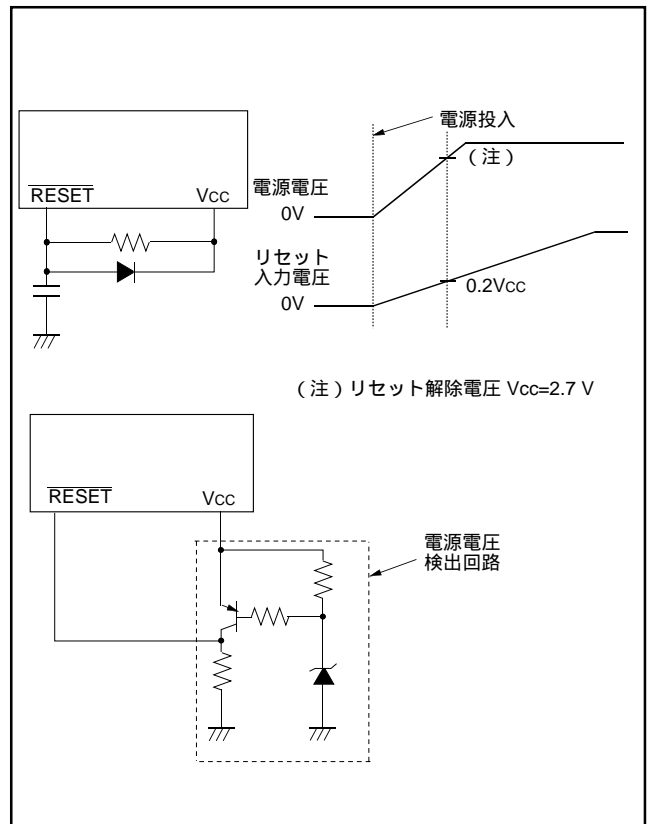


図39 . リセット回路例

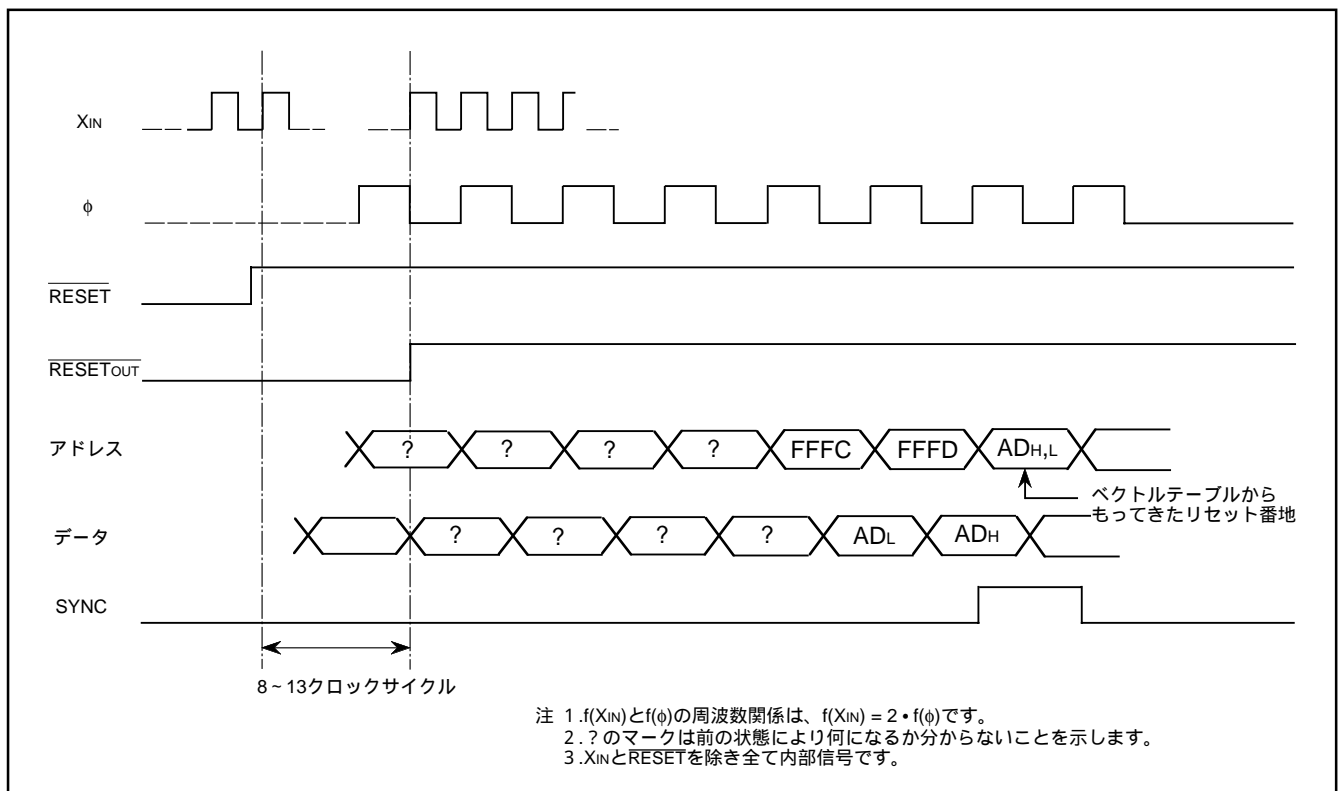


図40 . リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(34) AD制御レジスタ	0034 ₁₆	00010000
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(35) AD変換下位レジスタ	0035 ₁₆	XXXXXXXXXX
(3) ポートP1	0002 ₁₆	00 ₁₆	(36) AD変換上位レジスタ	0036 ₁₆	00000000XX
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(37) AD入力選択レジスタ	0037 ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(38) MISRG	0038 ₁₆	00 ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(39) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	00111111
(7) ポートP3	0006 ₁₆	00 ₁₆	(40) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(41) CPUモードレジスタ	003B ₁₆	01001000
(9) ポートP4	0008 ₁₆	00 ₁₆	(42) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(43) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(11) ポートP0,P1,P2ブルアップ制御レジスタ	0012 ₁₆	00 ₁₆	(44) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(12) ポートP3ブルアップ制御レジスタ	0013 ₁₆	00 ₁₆	(45) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(13) ポートP4ブルアップ制御レジスタ	0014 ₁₆	00 ₁₆	(46) プロセッサステータスレジスタ	(PS)	XXXXXXXX1XX
(14) シリアルI/O2制御レジスタ1	0015 ₁₆	00 ₁₆	(47) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(15) シリアルI/O2制御レジスタ2	0016 ₁₆	00000011		(PC _L)	FFFC ₁₆ 番地の内容
(16) シリアルI/O2レジスタ	0017 ₁₆	XXXXXXXXXX			
(17) 送信/受信バッファレジスタ	0018 ₁₆	XXXXXXXXXX			
(18) シリアルI/O1ステータスレジスタ	0019 ₁₆	10000000			
(19) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆			
(20) UART制御レジスタ	001B ₁₆	11100000			
(21) ボーレートジェネレータ	001C ₁₆	XXXXXXXXXX			
(22) PWM制御レジスタ	001D ₁₆	00 ₁₆			
(23) PWMプリスケラ	001E ₁₆	XXXXXXXXXX			
(24) PWMレジスタ	001F ₁₆	XXXXXXXXXX			
(25) プリスケラ12	0020 ₁₆	FF ₁₆			
(26) タイマ1	0021 ₁₆	01 ₁₆			
(27) タイマ2	0022 ₁₆	00 ₁₆			
(28) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆			
(29) プリスケラX	0024 ₁₆	FF ₁₆			
(30) タイマX	0025 ₁₆	FF ₁₆			
(31) プリスケラY	0026 ₁₆	FF ₁₆			
(32) タイマY	0027 ₁₆	FF ₁₆			
(33) タイマカウントソース設定レジスタ	0028 ₁₆	00 ₁₆			

注. ×は不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値を設定してください。

図41 . リセット時の内部状態

クロック発生回路

3850グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け共振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態で停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0038₁₆番地のビット0)が“0”のとき、タイマ1には“0₁₁₆”、プリスケアラ12には“FF₁₆”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

■注意事項

- ・中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。
- ・STP命令解除後の発振安定時間設定ビットを“1”で 사용되는場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

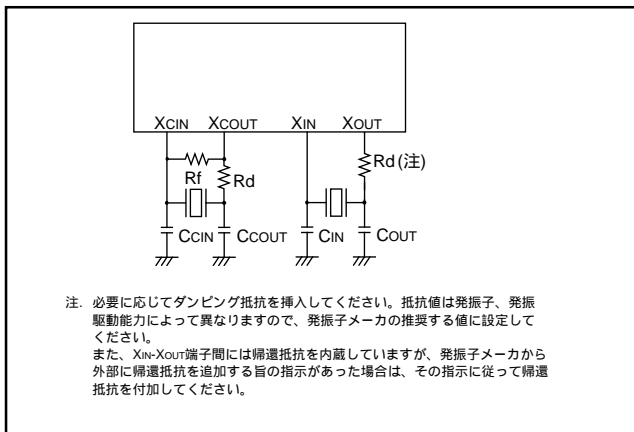


図42 . セラミック共振子外付け回路

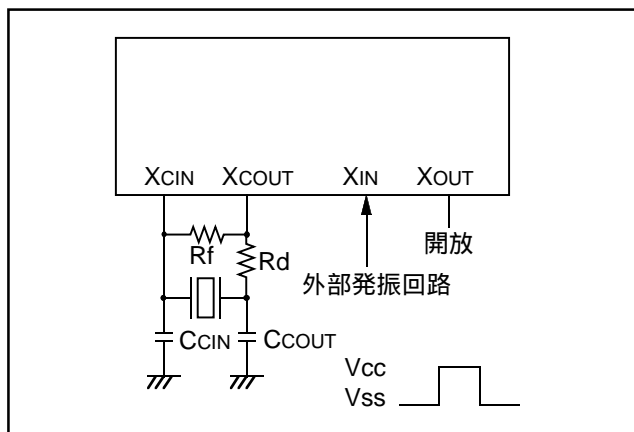


図43 . 外部クロック入力回路

【MISRG】MISRG

MISRGは中速モード自動切り替えに関する各種制御を行うビットと、STP命令解除後の発振安定時間の設定を制御するビットで構成されています。

中速モード自動切り替え設定ビットが“1”で、低速モードで動作中に、中速モード自動切り替え開始ビットに“1”を書き込むことによって、自動的にXIN発振が開始し、中速モードに切り替わります。

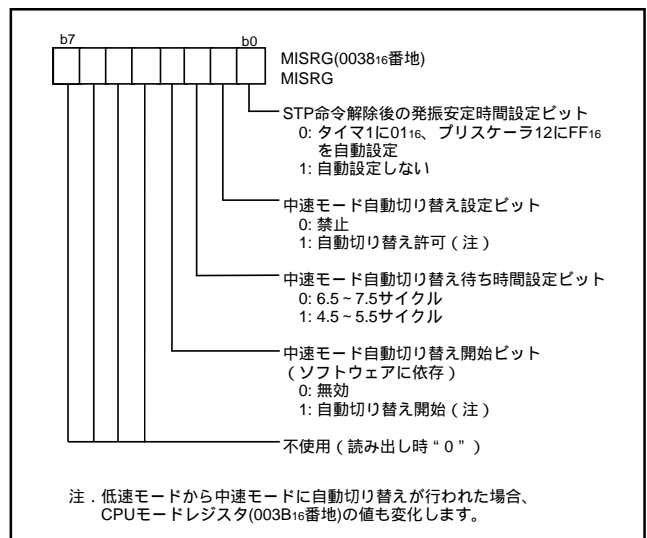


図44 . MISRGの構成

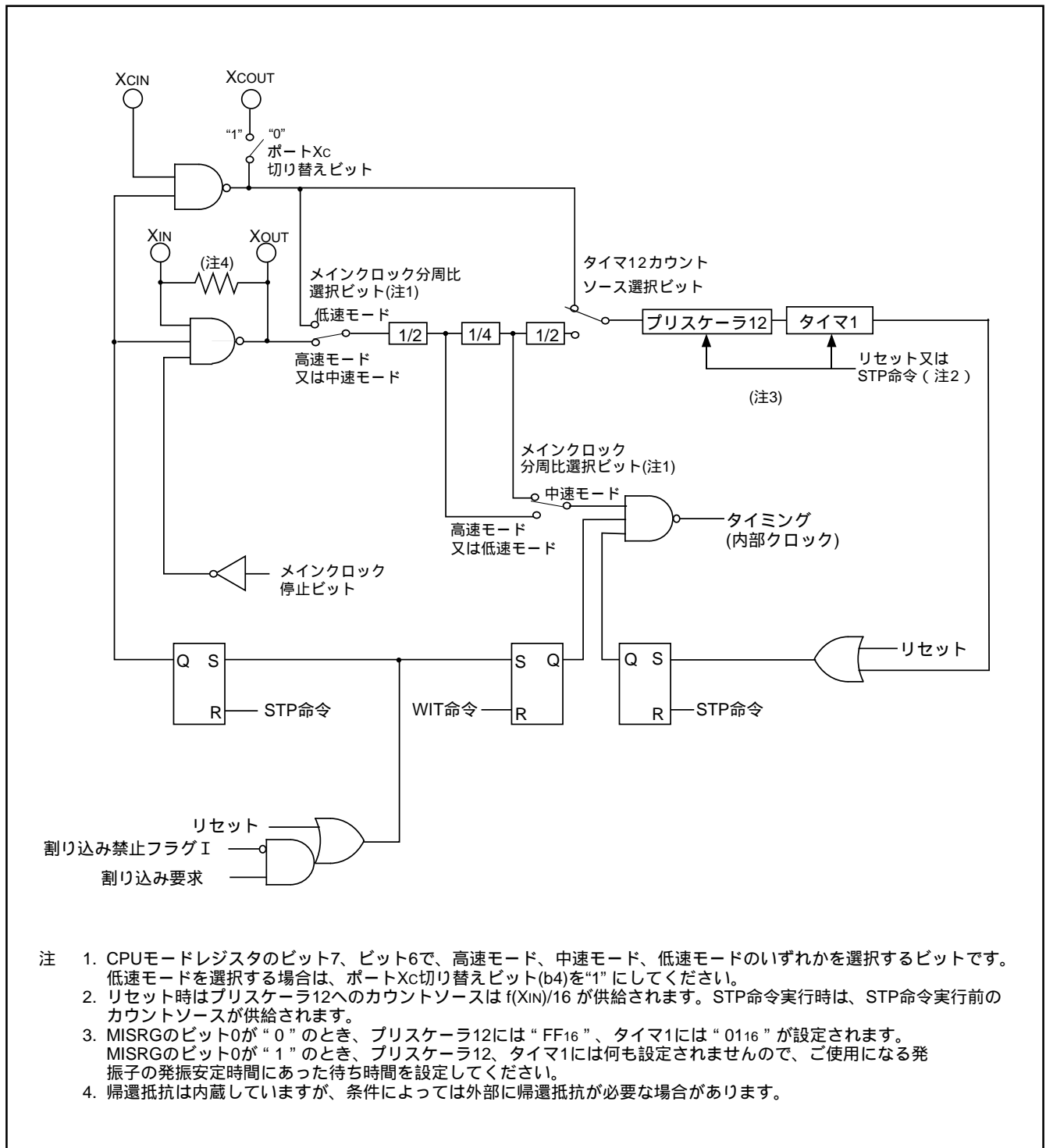


図45 . システムクロック発生回路ブロック図(シングルチップモード)

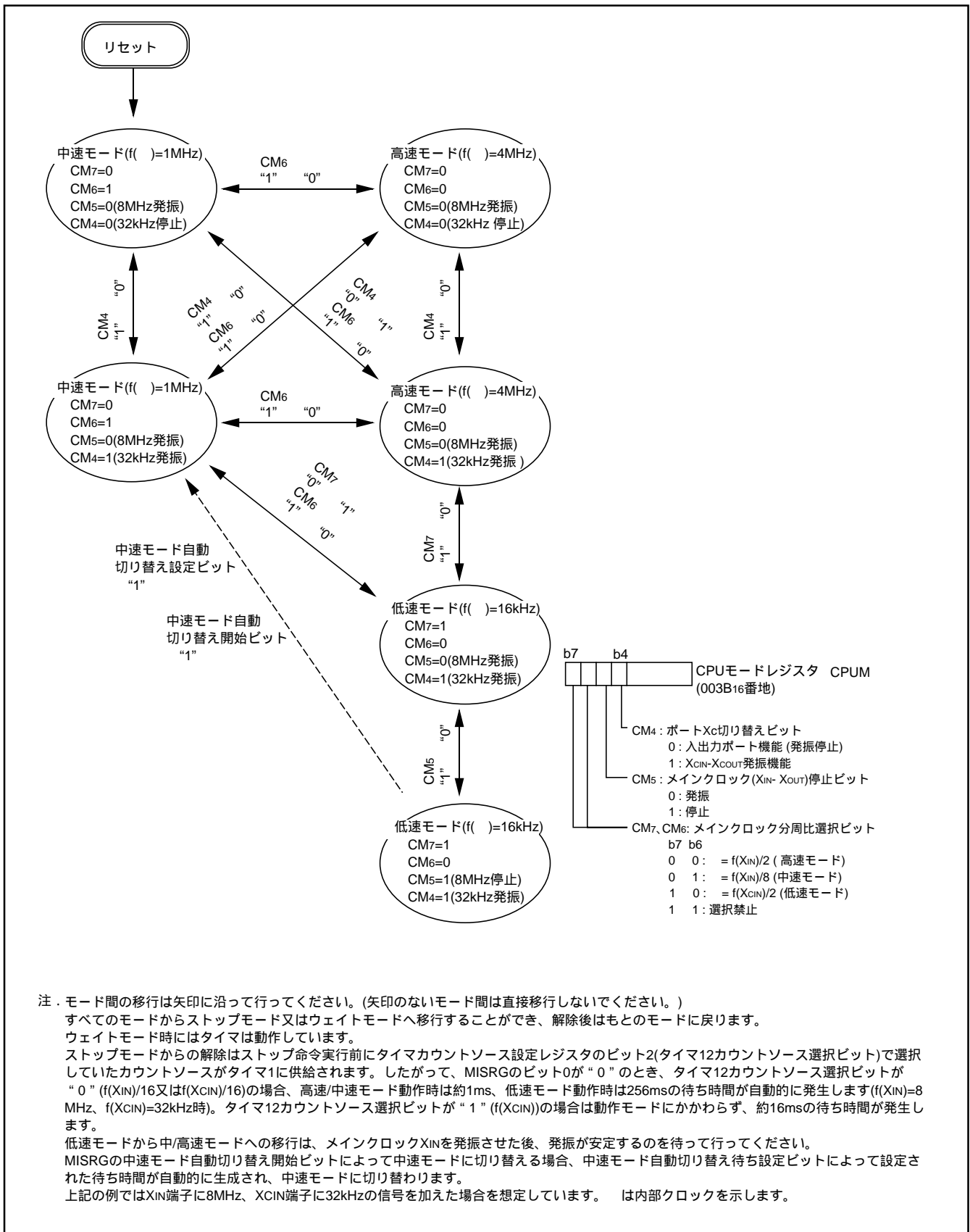


図46. システムクロックの状態遷移図

フラッシュメモリ版

M38507F8A(フラッシュメモリ版)は、通常の動作モード(マイコンモード)以外に、5V単一電源又は $V_{PP}=5V$, $V_{CC}=3.0V \sim 5.5V$ 時において2電源での書き換えが可能なNEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。

性能概要

表8にM38507F8A(フラッシュメモリ版)の性能概要を示します。

図47に示すようにM38507F8Aのフラッシュメモリは、ユーザROM領域とブートROM領域の2つのブロックに分かれています。

内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

表8. M38507F8A(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧		$V_{CC}=2.7 \sim 5.5V$ (注1) $V_{CC}=2.7 \sim 3.6V$ (注2)
プログラム/イレーズ電圧		4.5 ~ 5.5V
フラッシュメモリモード		3モード (パラレル入出力モード、標準シリアル入出力モード、CPU書き換えモード)
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト)(注3)
プログラム方式		バイト単位
イレーズ方式		一括消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応

注1. プログラム/イレーズ時の電源電圧は、 $V_{CC}=4.5 \sim 5.5V$ で書き込んでください。

注2. プログラム/イレーズ時の電源電圧は、 $V_{CC}=3.0 \sim 3.6V$ での書き込みも可能です。

注3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

(1) CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは図47に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、そのメモリ上で実行させる必要があります。

P41/INT0端子を“H”、CNVss端子を“H”としてリセットを解除した場合は、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆, FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができません。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。M38507F8Aの場合、1ブロックのみの構成となります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります)。

ブートROM領域は図47に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合は、通常のマインコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

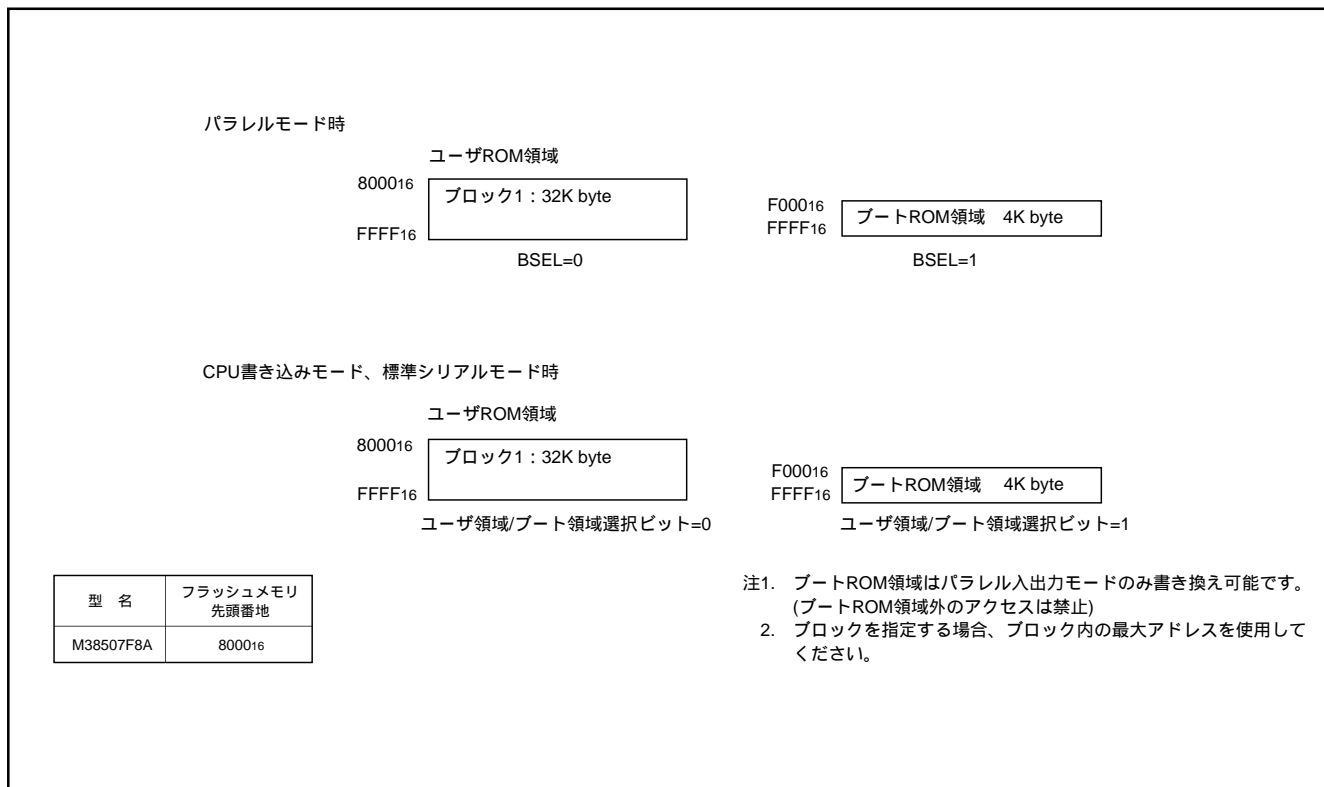


図47. 内蔵フラッシュメモリのブロック図

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行でき、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リードなどの操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要がありますので注意してください。

CPU書き換えモードには、CNVss端子に $5V \pm 0.5V$ を印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了などの状態はステータスレジスタを読み出すことでチェックできます。

図48にフラッシュメモリ制御レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズの動作中には“0”(ビジー)、これ以外ときには“1”(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビットに“1”を設定するためには、ビット1への“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグです。CPU書き換えモード時、このビットは“1”になりますので、このビットを読み出すことによりCPU書き換えモードに移行していることを確認できます。

ビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットが実行されます。リセットを解除するためには、次に“0”を書き込む必要があります。

ビット4はユーザROM領域/ブートROM領域選択ビットで、“1”を設定することでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビット4の操作は内蔵RAM上のプログラムで行ってください。

図49にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

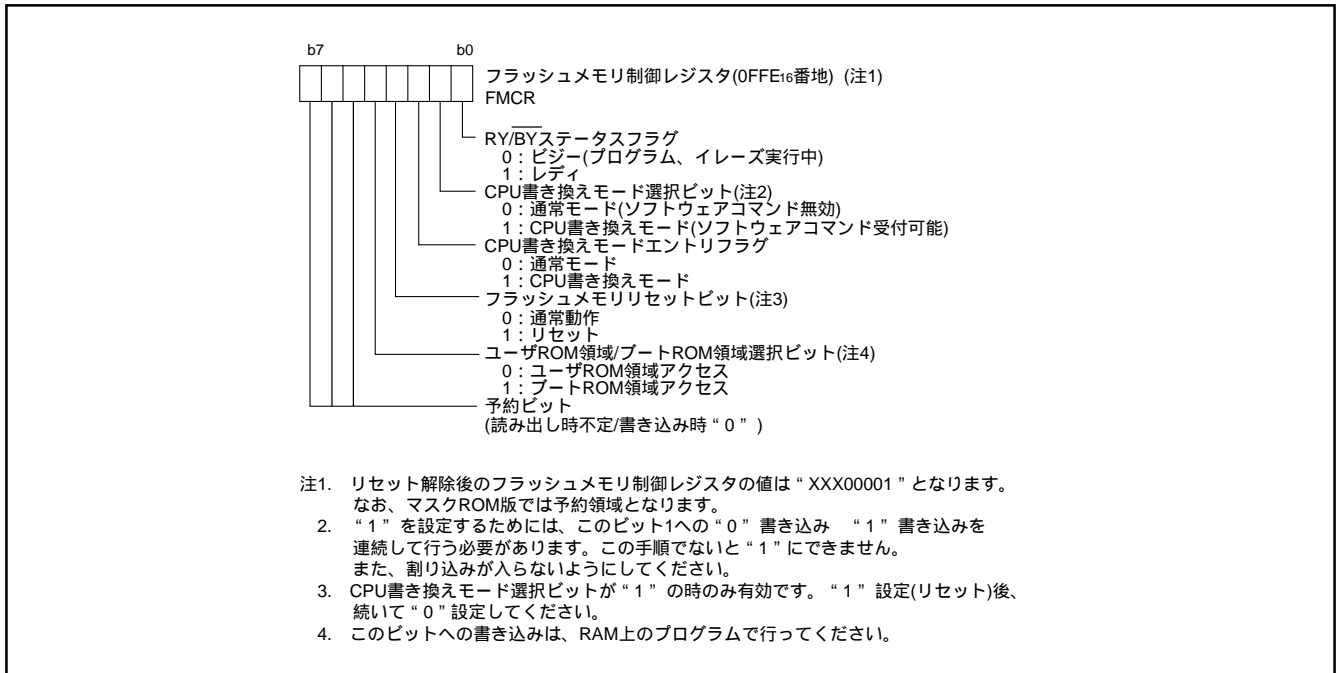


図48. フラッシュメモリ制御レジスタの構成

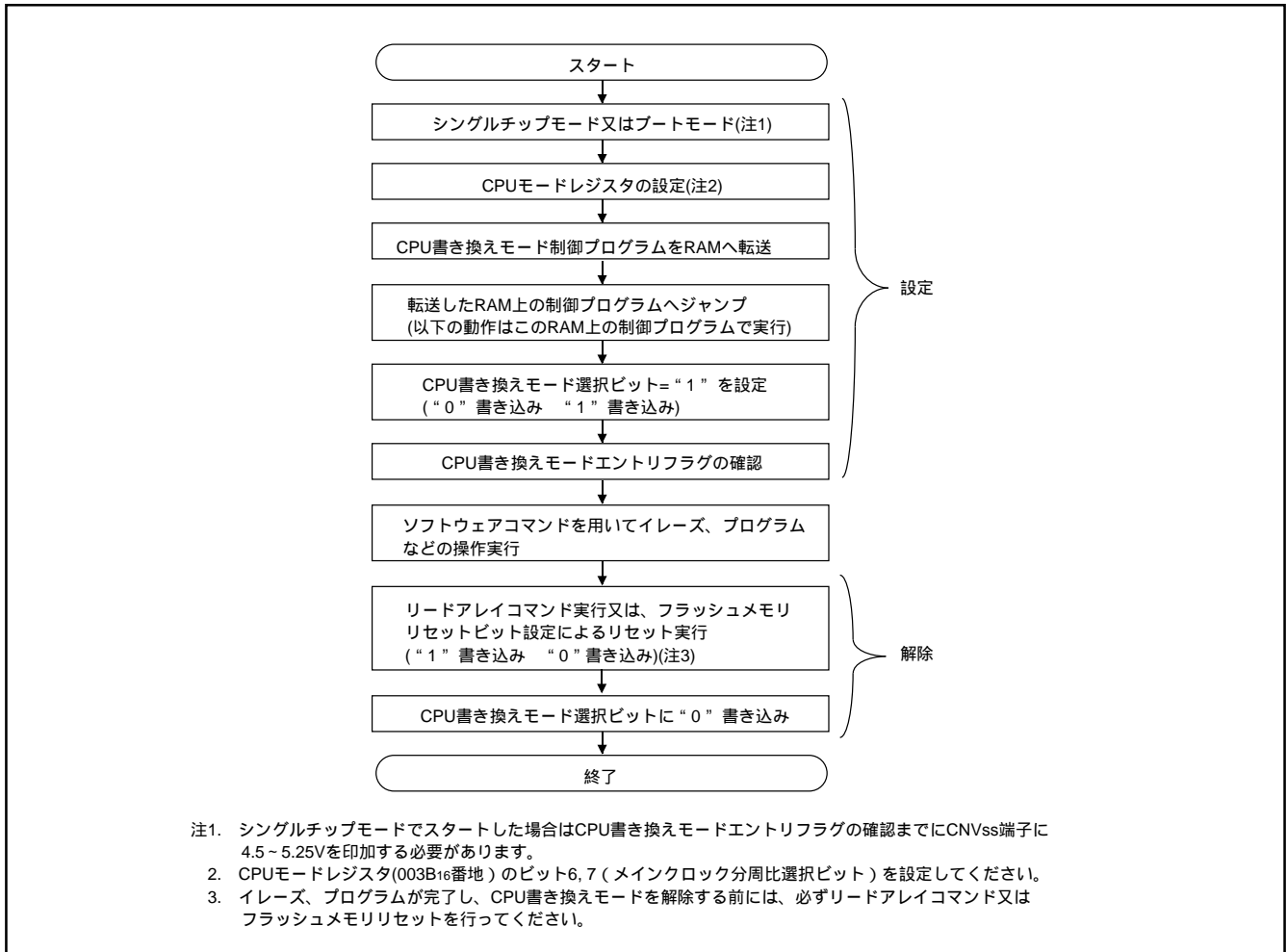


図49. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6, 7)によって、内部クロック を6.25MHz以下にしてください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNVss=" H "の場合、ブートモードで起動されるため、ブートROM領域のFFFC₁₆, FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド(CPU書き換えモード)

表9にソフトウェアコマンドの一覧表を示します。

フラッシュメモリ制御レジスタのCPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラムなどを指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトとするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0~D7)へ読み出されます。リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、リードステータスモードになります。第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタは次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR1, SR4, SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルで“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードになります。続いて第2バスサイクルで、プログラムするアドレスとデータをライトすると、プログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードにより確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスの内容がデータバス(D0~

D7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次のコマンドが書き込まれるまで保持されます。

フラッシュメモリ制御レジスタのRY/BYステータスフラグはプログラム期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

プログラム終了後、ステータスレジスタのビット4(SR4)を読み出すことによりプログラムの結果を知ることができます。

図50にプログラムコマンドフローチャート例を示します。

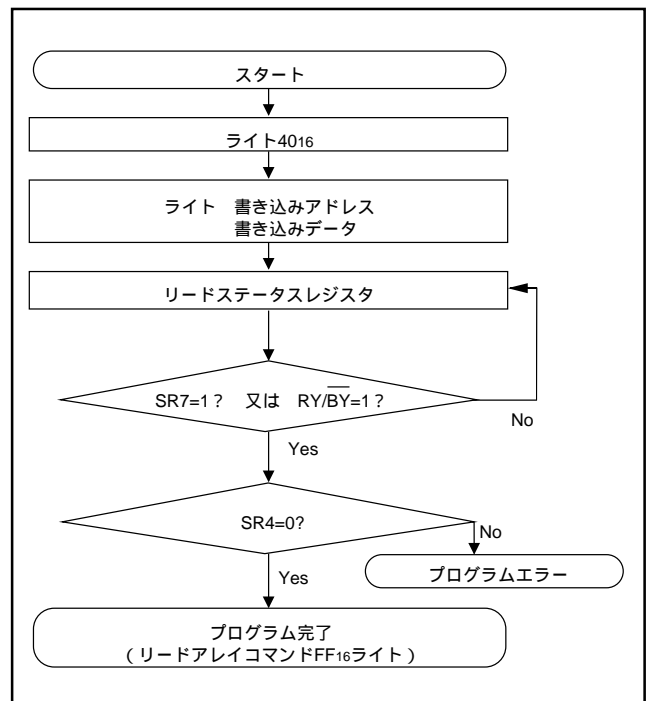


図50. プログラムコマンドフローチャート

表9. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D0~D7)	モード	アドレス	データ(D0~D7)
リードアレイ	1	ライト	x(注1)	FF16			
リードステータスレジスタ	2	ライト	x	7016	リード	x	SRD(注2)
クリアステータスレジスタ	1	ライト	x	5016			
プログラム	2	ライト	x	4016	ライト	WA(注3)	WD(注3)
イレーズ全ブロック	2	ライト	x	2016	ライト	x	2016
ブロックイレーズ	2	ライト	x	2016	ライト	BA(注4)	D016

注1. XはユーザROM領域の任意のアドレス

2. SRD=ステータスレジスタデータ

3. WA=ライトアドレス

WD=ライトデータ

4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

イレーズ全ブロックコマンド(2016/2016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ 2016 ”をライトするとイレーズ全ブロック動作(イレーズとイレーズベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは他のコマンドが書き込まれるまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7(SR7)と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”になります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズコマンド(2016/D016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ D016 ”とブロックアドレスをライトすると指定したブロックに対し、ブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”になり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは他のコマンドが書き込まれるまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”になります。

ブロックイレーズ終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

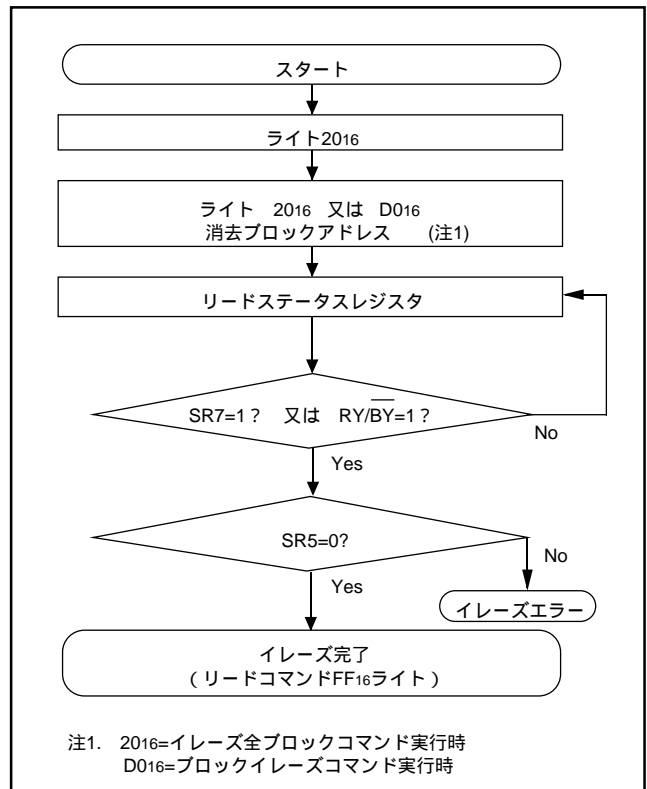


図51. イレーズコマンドフローチャート

ステータスレジスタ (SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき。
- (2) プログラム開始又はイレーズ開始から、リードアレイコマンド(FF₁₆)書き込みまでの期間に、ユーザROM領域の任意のアドレスを読み出したとき。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

リセット解除後、ステータスレジスタは“ 80₁₆ ”になります。

各ビットの意味を以下に示します。

シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“ 1 ”(レディ) にセットされています。

シーケンサステータスはフラッシュメモリの動作状況を示すものです。プログラムやイレーズ動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”(レディ) にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を示すもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を示すものです。プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

プログラムステータス、イレーズステータス(SR4,SR5)のいずれかが“ 1 ”のとき、リードアレイコマンド、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR4、SR5の両方が“ 1 ”にセットされます。

表10. ステータスレジスタ (SRD)の各ビットの定義

SRDの各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図52にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

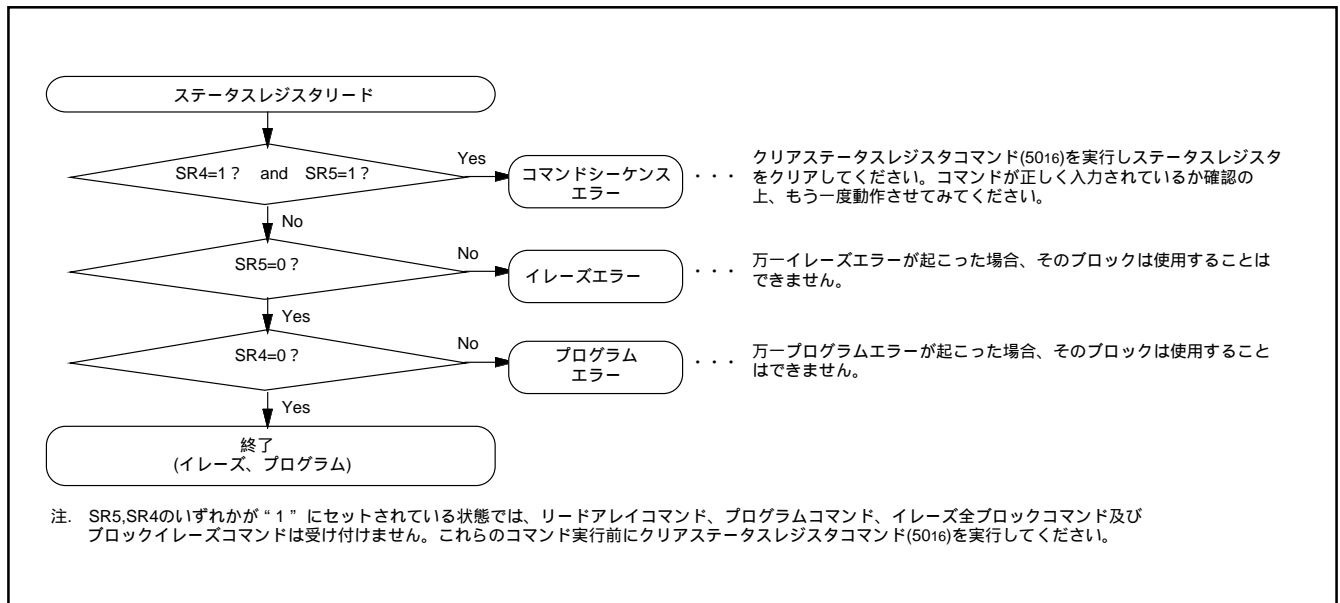


図52. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能(パラレル入出力モード使用時)

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御レジスタ(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御レジスタ(FFDB₁₆番地)の構成を図53に示します(この番地は、ユーザROM領域に存在します)。

2ビットで構成されるROMコードプロテクトビットのうちどちらか一方、又は両方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2があり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2を共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、標準シリアル入出力モード、又はCPU書き換えモードで書き換えてください。

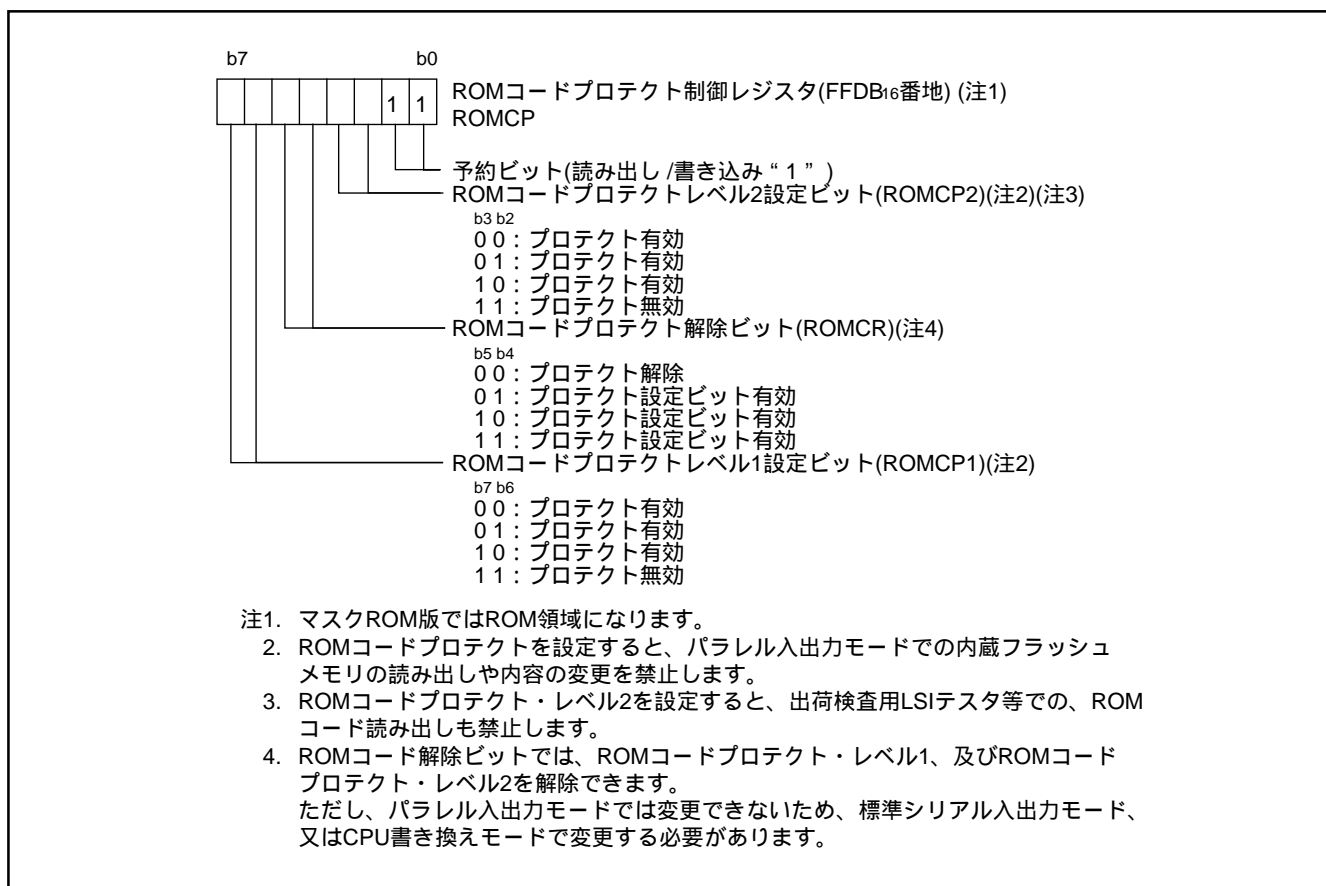


図53. ROMコードプロテクト制御レジスタの構成

IDコードチェック機能(標準シリアル入出力モード使用時)

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。IDコードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆ ~ FFDA₁₆番地です。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

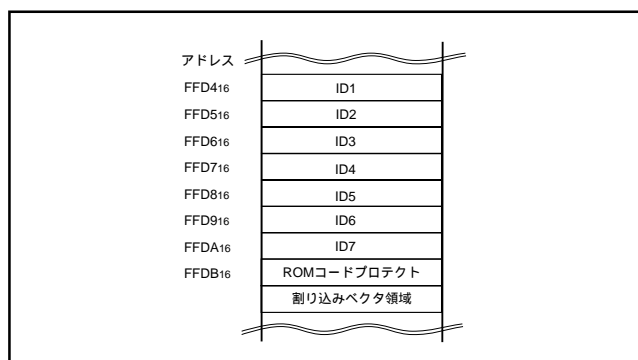


図54. IDコードの格納アドレス

(2) パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

3850グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)をご使用ください。使用方法の詳細は各ライタメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図47に示すユーザROM領域、及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図47に示します。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

(3) 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用の外部装置(シリアルライタ等)を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P26(SCLK1)端子とP41(INT0)端子を“H”、CNVSS端子を“H”(VCC=4.5~5.5V時はVCCに接続、VCC=2.7~4.5V時はVPP端子として外部からVPP=4.5~5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSSは“L”に設定してください。)

この制御プログラムは製品の出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図55に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/O1の端子SCLK1、RxD、TxD、 $\overline{\text{SRDY1}}$ (BUSY)の4本を使って行います。

SCLK1端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD端子はCMOS出力です。 $\overline{\text{SRDY1}}$ (BUSY)端子は、受信準備が完了すれば“L”になり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図47に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(シリアルライタ等)から送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(シリアルI/O1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK1端子に入力する転送クロック立ち上がり同期して、RxD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、TxD端子から外部に出力します。

TxD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 $\overline{\text{SRDY1}}$ (BUSY)端子が“H”になります。したがって、次の転送は、必ず $\overline{\text{SRDY1}}$ (BUSY)端子が“L”になった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表11．端子の機能説明(標準シリアル入出力モード)

端子名	名 称	入出力	機 能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vcc=4.5～5.5V時はVccに接続してください。Vcc=2.7～4.5V時はVPPに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	ADの基準電圧を入力してください。
P00～P07	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放してください。
P10～P17	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放してください。
P20～P23	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放してください。
P24	RxD入力	入力	シリアルデータの入力端子です。
P25	TxD出力	出力	シリアルデータの出力端子です。
P26	SCLK ₁ 入力	入力	シリアルクロックの入力端子です。
P27	BUSY出力	出力	BUSY信号の出力端子です。
P30～P34	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放してください。
P40, P42～P44	入力ポートP4	入力	“H”を入力、“L”を入力、又は開放してください。
P41	入力ポートP4	入力	RESET解除時のみ“H”を入力してください。

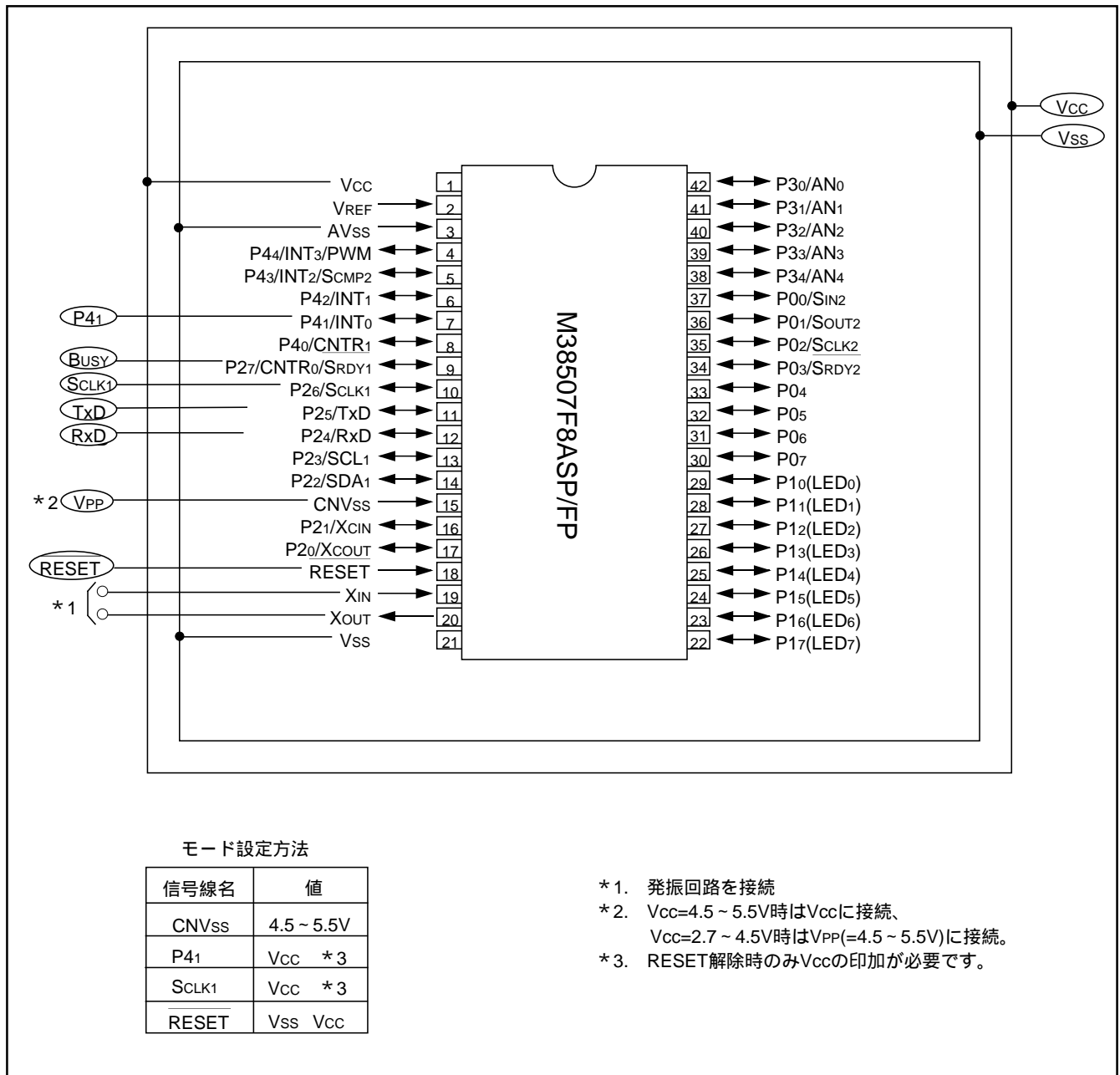


図55. 標準シリアル入出力モード時の端子結線図

ソフトウェアコマンド(標準シリアル入出力モード)

表12にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RXD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

表12.ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID未照合
1	ページリード	FF16	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	4116	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	イレーズ全ブロック	A716	D016						受付不可
4	リードステータスレジスタ	7016	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	5016							受付不可
6	IDチェック機能	F516	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
7	ダウンロード機能	FA16	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	~必要回数		受付不可
8	バージョン情報出力機能	FB16	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	~9バイト目 バージョン データ出力	受付可

- 注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送です。
それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。
- SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。
 - ブランク品に対しては全コマンドの受付可能です。
 - アドレス上位(A16~A23)は常に“0016”です。

以下に各ソフトウェアコマンドの内容を説明します。

・ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードアレイコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード* FF₁₆ を入力してください。
- (2) 2,3バイト目の転送でアドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃ (“ 00₁₆ ”)を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃で指定したページ(256バイト)のデータ(D₀ ~ D₇)を最小のアドレスから順番に出力します。

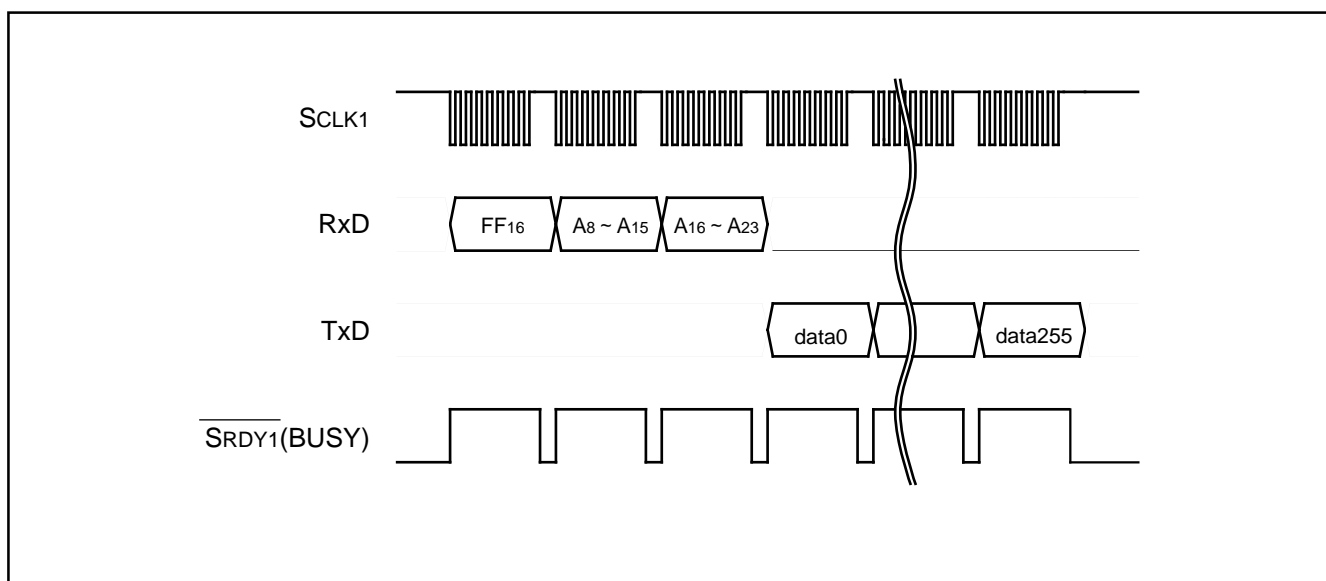


図56. ページリードコマンド時のタイミング

・リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード* 70₁₆ を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

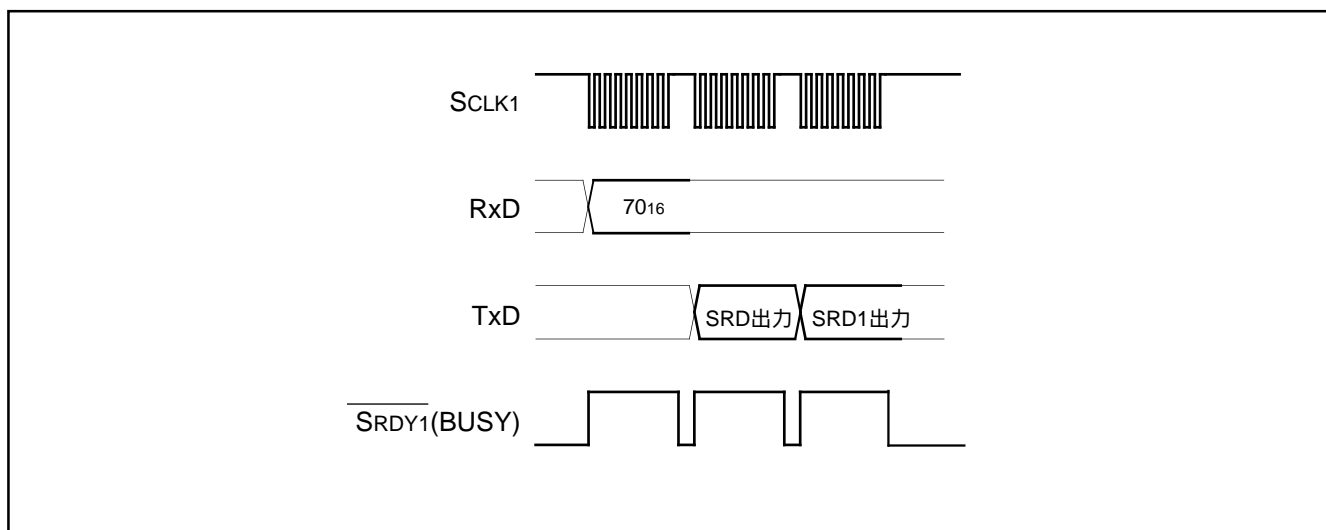


図57. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4, 5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50₁₆ ”を入力すると、上記のビットをクリア

します。クリアステータスレジスタが終了すると、 $\overline{\text{SRDY1}}$ (BUSY)信号は“ H ”から“ L ”に変化します。

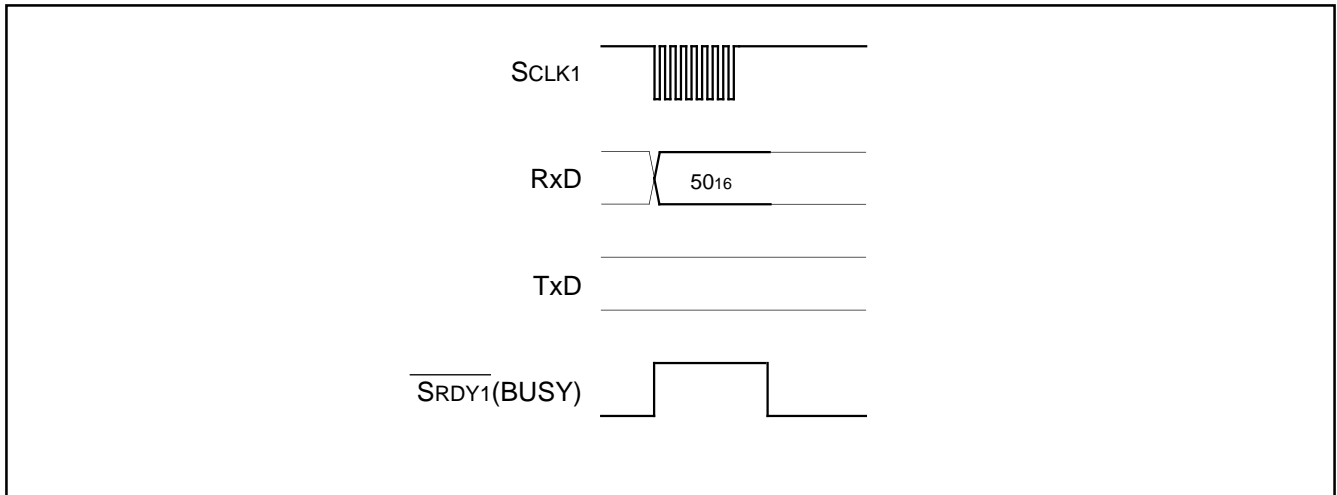


図58. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 41₁₆ ”を入力してください。
- (2) 2, 3バイト目の転送でアドレスA8 ~ A15、アドレスA16 ~ A23 (“ 00 ”)を入力してください。

- (3) 4バイト目以降、ライトデータ(D0 ~ D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。次の256バイトの受信準備が完了すれば $\overline{\text{SRDY1}}$ (BUSY)信号が“ H ”から“ L ”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

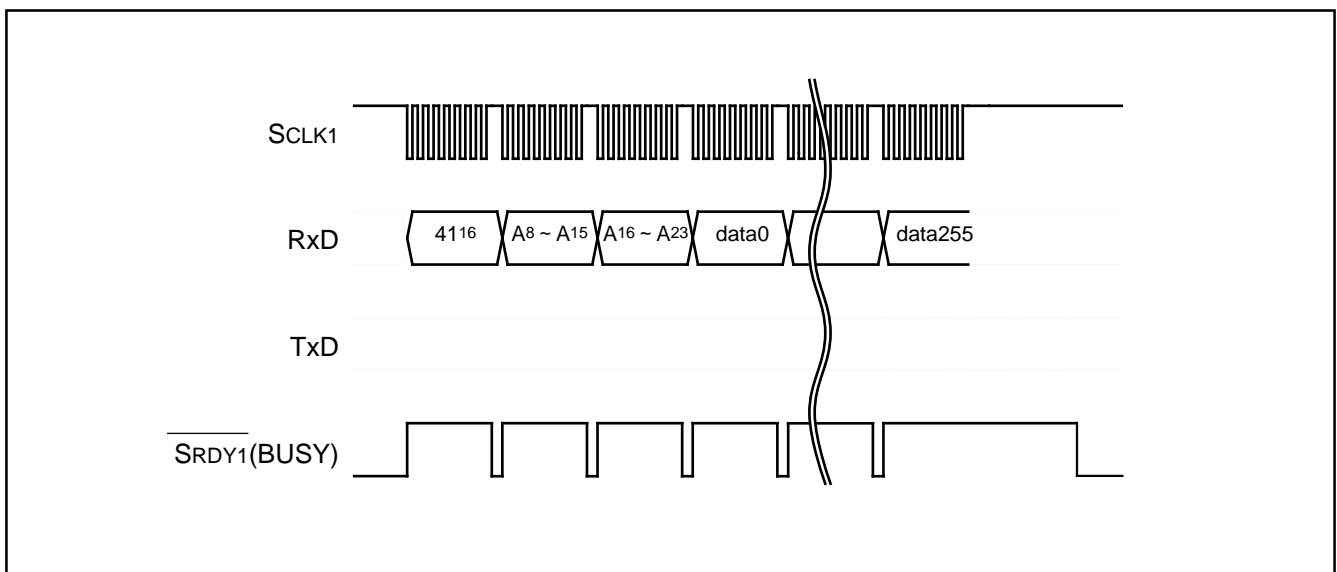


図59. ページプログラムコマンド時のタイミング

・イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード[※] A7₁₆ を入力してください。
- (2) 2バイト目の転送で確認コマンド[※] D0₁₆ を入力すると、全ブ

ロックに対し、連続的にブロックイレーズ動作を開始します。イレーズ全ブロックが終了すると $\overline{\text{SRDY1}}$ (BUSY)信号が[※] H から L に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

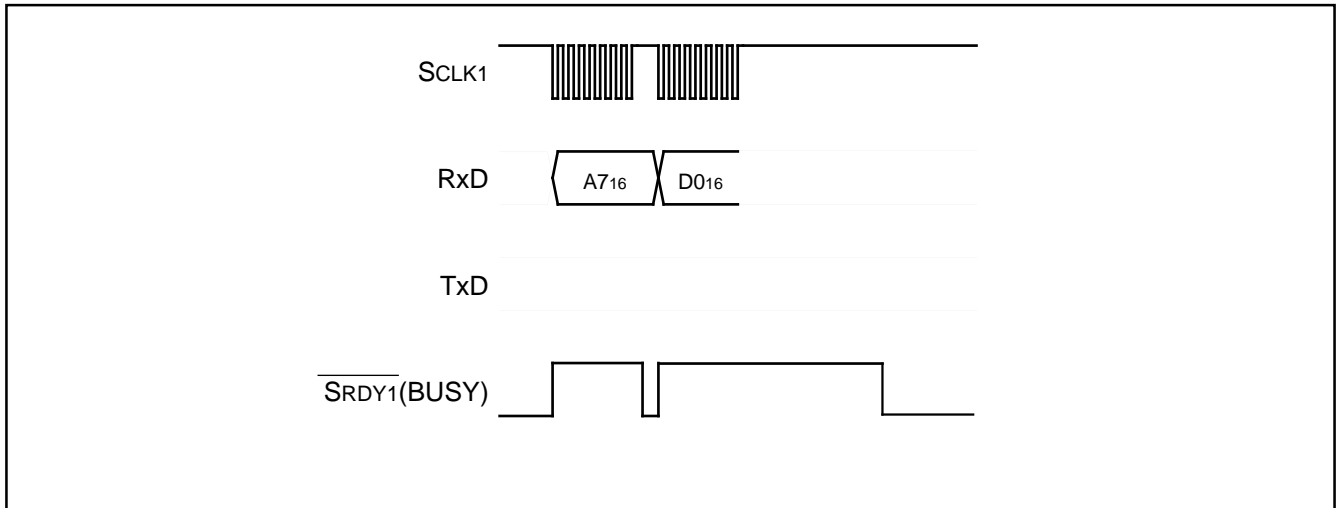


図60. イレーズ全ブロックコマンド時のタイミング

・ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード[※] FA₁₆ を入力してください。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを入力してください。

- (3) 4バイト目の転送でチェックサムを入力してください。チェックサムは、5バイト目以降に転送するデータをすべて加算したものです。

- (4) 5バイト目以降実行プログラムを入力してください。全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

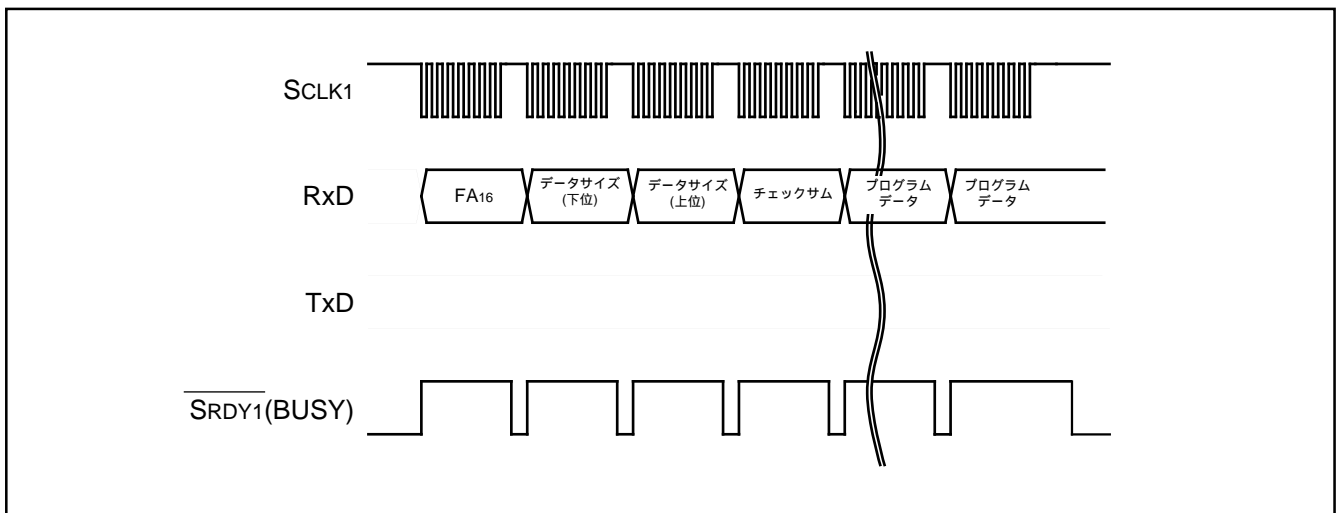


図61. ダウンロード機能のタイミング

・バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を入力してください。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

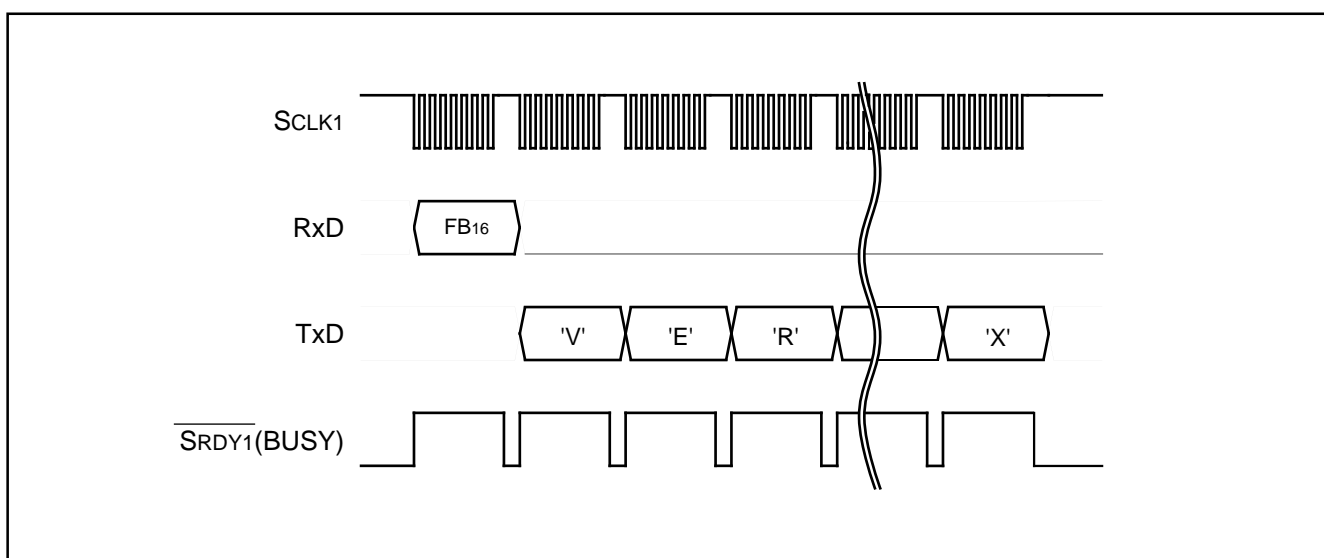


図62. バージョン情報出力機能のタイミング

・IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“ F5₁₆ ”を入力してください。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコー

ドの1バイト目のアドレスA₀ ~ A₇、A₈ ~ A₁₅、A₁₆ ~ A₂₃(“ 00₁₆ ”)を入力してください。

- (3) 5バイト目にIDコードのデータ数を入力してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から入力してください。

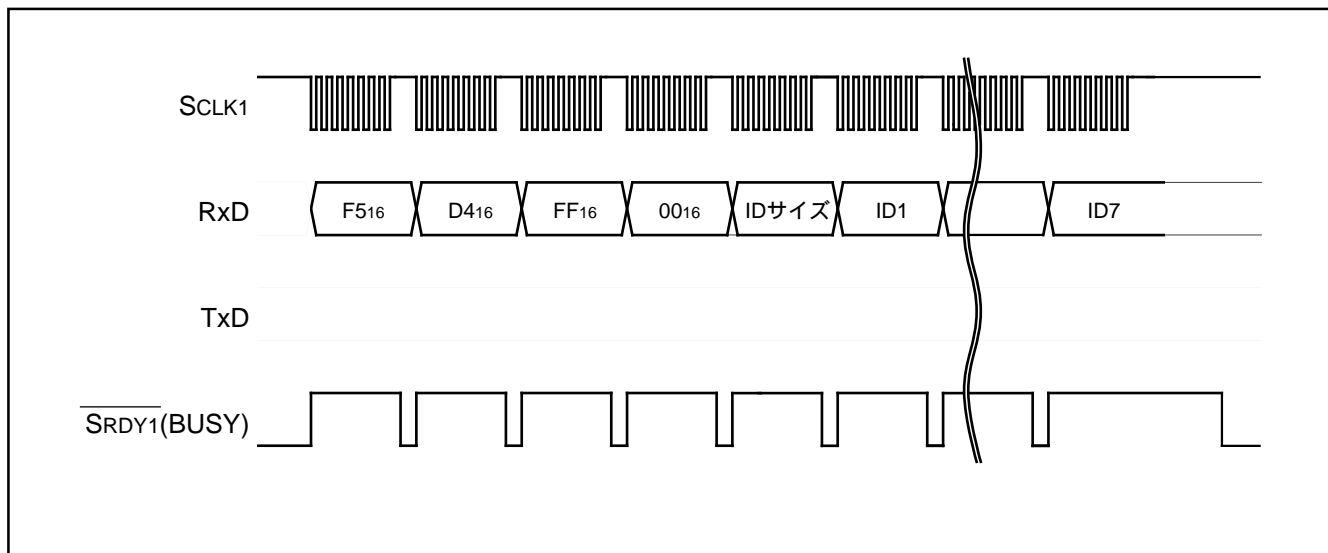


図63. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクではない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコード

は各8ビットのデータで、その領域はFFD₄₁₆ ~ FFDA₁₆番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

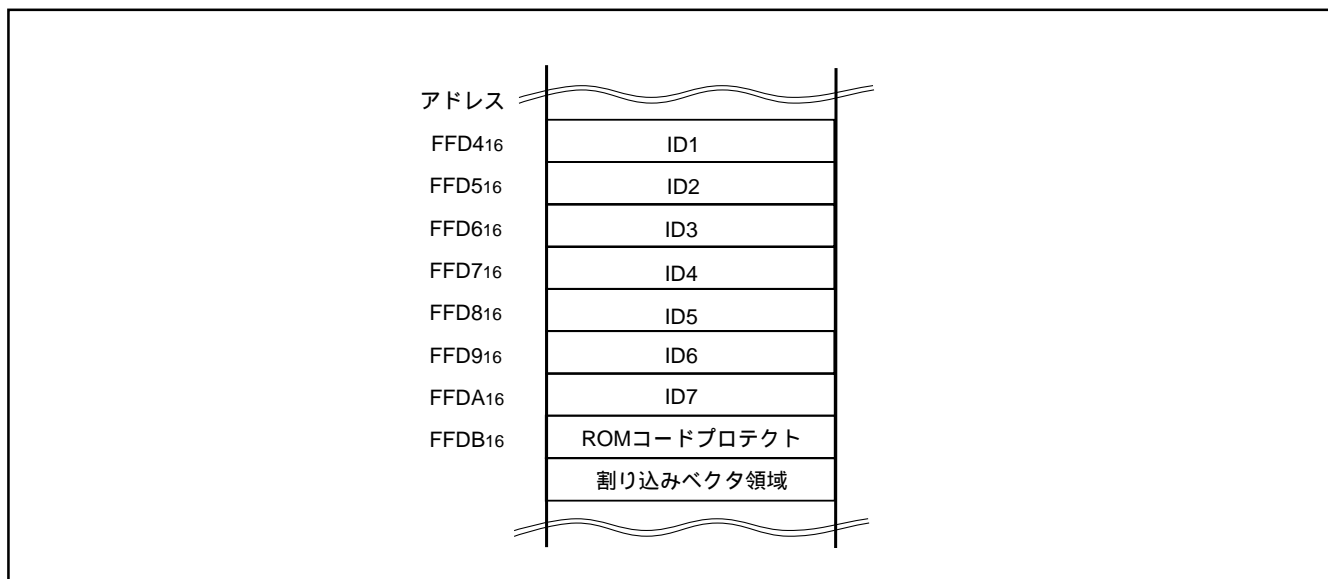


図64. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータス

レジスタコマンド(50₁₆)をライトしたときクリアされます。ステータスレジスタの各ビットの定義を表13に示します。リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表13.ステータスレジスタ(SRD)の各ビット定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

・シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

・イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。イレーズステータスはクリアされると“0”になります。

・プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。プログラムステータスはクリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときステータスレジスタ(SRD)に続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトした

ときクリアされます。

ステータスレジスタ1を表14に、各ビットの定義を以下に示します。

電源投入時'00₁₆'です。フラグの状態はリセットしても保持されます。

表14. ステータスレジスタ1(SRD1)の各ビット定義

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

・ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

・チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

・ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けられないコマンドがあります。

・データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが'1'になると、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図65にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

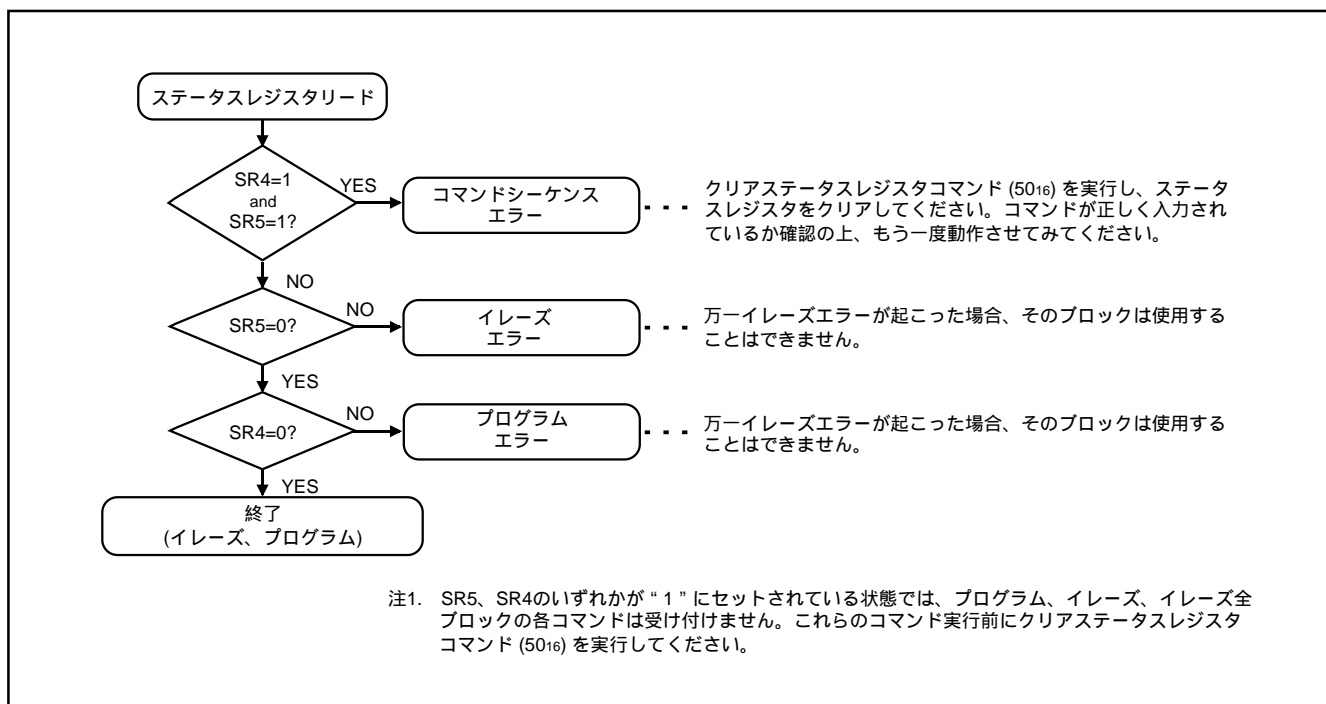


図65 . フルステータスチェックフローチャート及び各エラー発生時の対処方法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が違いますので、詳細はライターの取扱い説明書を参考にしてください。

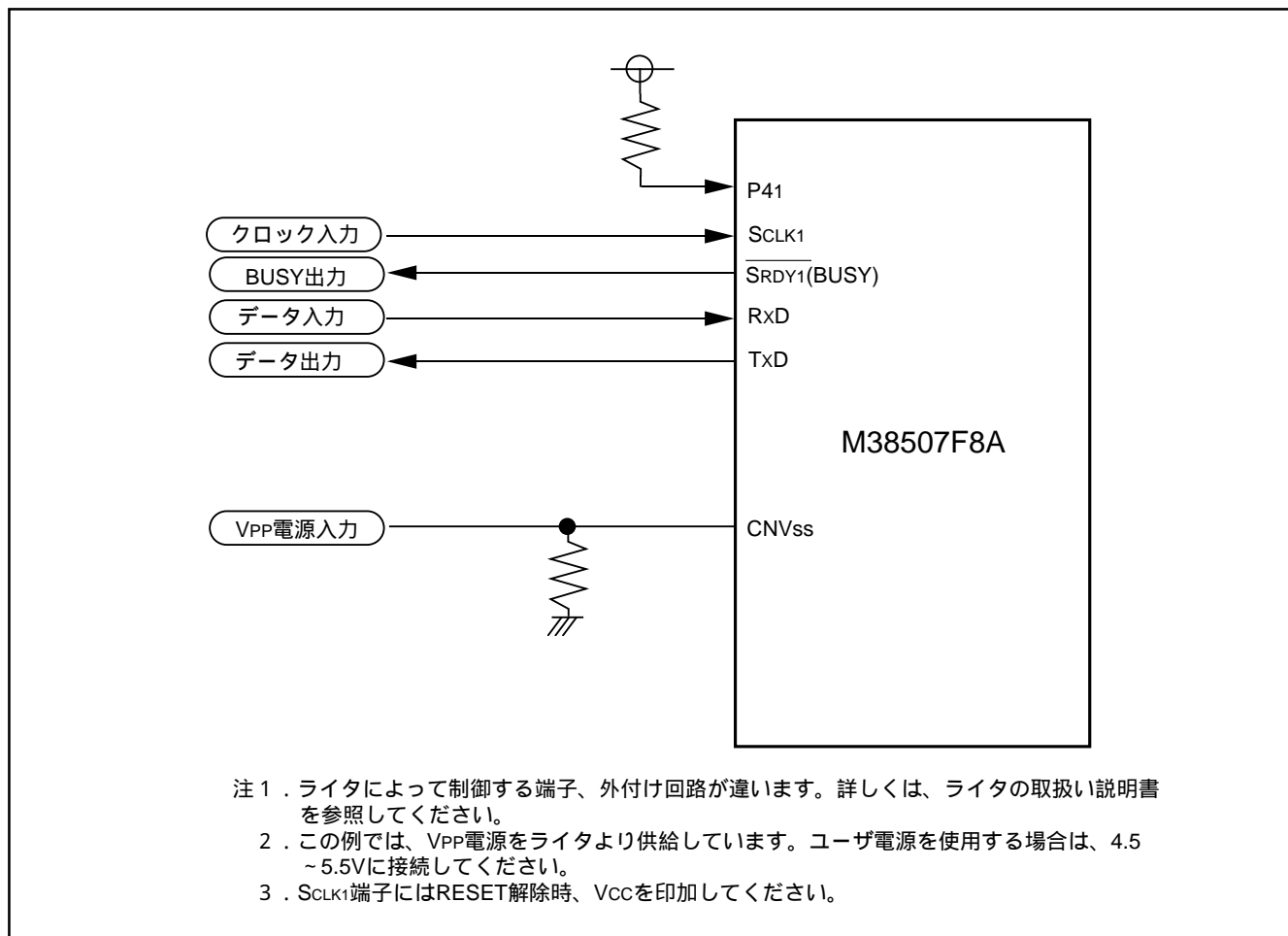


図66．標準シリアル入出力モード時の応用回路例

フラッシュメモリモード電気的特性

絶対最大規格

表15 絶対最大定格

記号	項目	条件	定格値	単位	
VCC	電源電圧	Vss端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V	
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, VREF		- 0.3 ~ VCC + 0.3	V	
Vi	入力電圧 P22, P23		- 0.3 ~ 5.8	V	
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V	
Vi	入力電圧 CNVss		- 0.3 ~ 6.5	V	
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, XOUT		- 0.3 ~ VCC + 0.3	V	
Vo	出力電圧 P22, P23		- 0.3 ~ 5.8	V	
Pd	消費電力		Ta = 25	1000(注)	mW
Topr	動作周囲温度			25 ± 5	
Tstg	保存温度			- 40 ~ 125	

注 . PRSP0042GA-Bパッケージの場合は、300mWです。

表16 . 直流電気的特性(指定のない場合は、Ta= 25 、Vcc=4.5 ~ 5.5V)

記号	項目	条件	規格値			単位
			最小	標準	最大	
IPP1	VPP電源電流(リード時)	VPP = VCC			100	μA
IPP2	VPP電源電流(プログラム時)	VPP = VCC			60	mA
IPP3	VPP電源電流(イレーズ時)	VPP = VCC			30	mA
VPP	VPP電源電圧		4.5		5.5	V
VCC	VCC電源電圧	VCC = 2.7 ~ 5.5Vで マイコンモードを 動作させるとき	4.5		5.5	V
		VCC = 2.7 ~ 3.6Vで マイコンモードを 動作させるとき	3.0		3.6	V

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが「1」であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを「1」に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルインタフェースに関するもの

シリアルI/O1(クロック同期形モード)において、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも「1」に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが「H」のときに、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、中速/高速モード時のA/D変換中は $f(\text{XIN})500\text{kHz}$ 以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

予約領域、予約ビットに関するもの

予約領域、予約ビットは、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)

CPUモードレジスタに関するもの

CPUモードレジスタのビット3は「1」に固定してください。

使用上の注意事項

3850グループ(標準品) 3850グループ(H仕様) 及び3850グループ(A仕様)の相違に関するもの

- (1) 3850グループ(A仕様)の絶対最大定格は、電源電圧 $V_{CC}=0.3 \sim 6.5V$ 、CNVss入力電圧 $V_{I-} = 0.3 \sim V_{CC}+0.3V$ と3850グループ(標準品)と比べ、小さくなっています。
- (2) XIN-XOUT、XCIN-XCOUTの発振回路定数が異なる場合があります。
- (3) 未使用端子の処理を確実に実施してください。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間、及び電源端子(V_{CC} 端子)とアナログ電源入力端子(AV_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01 \mu F \sim 0.1 \mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加くださるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

フラッシュメモリ版に関する注意事項

CNVss/Vpp端子は、マイコンのVss端子に供給しているGNDからできるだけ近いIGNDパターンに最短で接続してください。

また、 $1k \sim 5k$ 程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いIGNDパターンに最短で接続してください。

理由

CNVss/Vpp端子は内蔵フラッシュメモリの電源入力端子です。フラッシュメモリへのプログラム書き込み時に、書き込み電流が流れるようにVpp端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。Vpp端子からノイズが侵入すると、フラッシュメモリからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

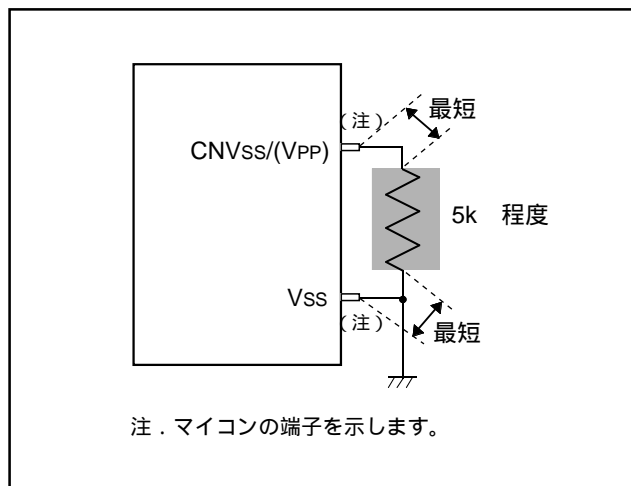


図67. CNVss/Vpp端子の配線

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書*1
- (2) マーク指定書*2
- (3) ROMのデータ フロッピーディスク 1枚

*マスク化確認書、マーク指定書につきましては、ルネサステクノロジホームページ ROM発注 (<http://japan.renesas.com/homepage.jsp>)を参照してください。

電気的特性

絶対最大定格

表17．絶対最大定格

記号	項 目	条 件	定 格 値	単 位
Vcc	電源電圧	Vss端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, VREF		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P22 ~ P23		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, XOUT		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P22, P23		- 0.3 ~ 5.8	V
Pd	消費電力		Ta = 25	1000 (注)
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注．PRSP0042GA-Bパッケージの場合は300mWです。

推奨動作条件

表18. 推奨動作条件(1) (指定のない場合はVcc=2.7~5.5V, Ta= -20~85)

記号	項目		規格値			単位
			最小	標準	最大	
Vcc	電源電圧	12.5MHz時(高速モード)	4.0	5.0	5.5	V
		12.5MHz時(中速モード)、6MHz時(高速モード)、32kHz時(低速モード)	2.7	5.0	5.5	V
Vss	電源電圧			0		V
VREF	A/Dコンバータ基準電圧		2.0		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN8		AVss		Vcc	V
VIH	“H”入力電圧 P00~P07, P10~P17, P20, P21, P24~P27, P30~P34, P40~P44		0.8Vcc		Vcc	V
VIH	“H”入力電圧 P22, P23		0.8Vcc		5.8	V
VIH	“H”入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P34, P40~P44		0		0.2Vcc	V
VIL	“L”入力電圧 RESET, CNVss		0		0.2Vcc	V
VIL	“L”入力電圧 XIN		0		0.16Vcc	V
IOH(peak)	“H”出力総尖頭電流 (注) P00~P07, P10~P17, P30~P34				-80	mA
IOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24~P27, P40~P44				-80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P00~P07, P30~P34				80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P10~P17				120	mA
IOL(peak)	“L”出力総尖頭電流 (注) P20~P27, P40~P44				80	mA
IOH(avg)	“H”出力総平均電流 (注) P00~P07, P10~P17, P30~P34				-40	mA
IOH(avg)	“H”出力総平均電流 (注) P20, P21, P24~P27, P40~P44				-40	mA
IOL(avg)	“L”出力総平均電流 (注) P00~P07, P30~P34				40	mA
IOL(avg)	“L”出力総平均電流 (注) P10~P17				60	mA
IOL(avg)	“L”出力総平均電流 (注) P20~P27, P40~P44				40	mA

注. 出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表19．推奨動作条件(2) (指定のない場合はVCC=2.7 ~ 5.5V, Ta= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44			- 10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P00 ~ P07, P20 ~ P27, P30 ~ P34, P40 ~ P44			10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P10 ~ P17			20	mA
IOH(avg)	“H”出力平均電流 (注2) P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44			- 5	mA
IOL(avg)	“L”出力平均電流 (注2) P00 ~ P07, P20 ~ P27, P30 ~ P34, P40 ~ P44			5	mA
IOL(avg)	“L”出力平均電流 (注2) P10 ~ P17			15	mA
f(XIN)	内部クロック発振周波数 (注3) (VCC=4.0 ~ 5.5V)			12.5	MHz
f(XIN)	内部クロック発振周波数 (注3) (VCC=2.7 ~ 4.0V)			5VCC - 7.5	MHz
f(XCIN)	サブクロック入力発振周波数 (注3), (注4)		32.768	50	kHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2．平均出力電流IOL(avg)，IOH(avg)は100msの期間での平均値です。

3．発振周波数はデューティ50%の場合です。

4．低速モードを使用する場合のサブクロック入力発振周波数は、必ずf(XCIN) < f(XIN)/3としてください。

電気的特性

表20．電気的特性(1) (指定のない場合はVCC=2.7 ~ 5.5V, VSS=0V, Ta= - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20, P21 P24 ~ P27, P30 ~ P34, P40 ~ P44 (注)	IOH= - 10mA VCC=4.0 ~ 5.5V	VCC - 2.0			V
		IOH= - 1.0mA VCC=2.7 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P20 ~ P27, P30 ~ P34 P40 ~ P44	IOL=10mA VCC=4.0 ~ 5.5V			2.0	V
		IOL=1.0mA VCC=2.7 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P10 ~ P17	IOL=20mA VCC=4.0 ~ 5.5V			2.0	V
		IOL=10mA VCC=2.7 ~ 5.5V			1.0	V

注．P25に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が0の場合です。

表21．電気的特性(2) (指定のない場合はVCC=2.7~5.5V, VSS=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{T+} - V _{T-}	ヒステリシス CNTR0, CNTR1, INT0~INT3			0.4		V
V _{T+} - V _{T-}	ヒステリシス RxD, SCLK1, SCLK2, SIN2			0.5		V
V _{T+} - V _{T-}	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00~P07, P10~P17, P20, P21, P24~P27, P30~P34, P40~P44	V _I =V _{CC} (端子はフローティング プルアップトランジスタ は切り離れた状態)			5.0	μA
I _{IH}	“H”入力電流 RESET, CNV _{SS}	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 X _{IN}	V _I =V _{CC}		4		μA
I _{IL}	“L”入力電流 P00~P07, P10~P17, P20~P27 P30~P34, P40~P44	V _I =V _{SS} (端子はフローティング プルアップトランジスタ は切り離れた状態)			-5.0	μA
I _{IL}	“L”入力電流 RESET, CNV _{SS}	V _I =V _{SS}			-5.0	μA
I _{IL}	“L”入力電流 X _{IN}	V _I =V _{SS}		-4		μA
I _{IL}	“L”入力電流(プルアップ有効時) P00~P07, P10~P17, P20, P21, P24~P27, P30~P34, P40~P44	V _I =V _{SS} V _{CC} =5.0V	-25	-65	-120	μA
		V _I =V _{SS} V _{CC} =3.0V	-8	-22	-40	μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		5.5	V

表22 . 電気的特性(3) (指定のない場合はV_{CC}=2.7 ~ 5.5V, V_{SS}=0V, T_a= - 20 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I _{CC}	電源電流	高速モード時 f(X _{IN})=12.5MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態	M38507F8AFP/SP以外		6.5	13.0	mA
			M38507F8AFP/SP		7.5	15.0	mA
		高速モード時 f(X _{IN})=8MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態	M38507F8AFP/SP以外		5.0	10.0	mA
			M38507F8AFP/SP		6.8	13.0	mA
		高速モード時 f(X _{IN})=12.5MHz (WIT命令実行時) f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			1.6	4.5	mA
					1.6	4.2	mA
		中速モード時 f(X _{IN})=12.5MHz f(X _{CIN})=停止 出力トランジスタは遮断状態	M38507F8AFP/SP以外		4.0	7.0	mA
			M38507F8AFP/SP		4.0	8.5	mA
		中速モード時 f(X _{IN})=8MHz f(X _{CIN})=停止 出力トランジスタは遮断状態	M38507F8AFP/SP以外		3.0	6.5	mA
			M38507F8AFP/SP		3.0	7.0	mA
		中速モード時 f(X _{IN})=12.5MHz (WIT命令実行時) f(X _{CIN})=停止 出力トランジスタは遮断状態			1.5	4.2	mA
					1.5	4.0	mA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態	M38507F8AFP/SP以外		60	200	μA
			M38507F8AFP/SP		250	500	μA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M38507F8AFP/SP以外		40	70	μA
			M38507F8AFP/SP		70	150	μA
		低速モード時(V _{CC} =3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態	M38507F8AFP/SP以外		20	55	μA
			M38507F8AFP/SP		150	300	μA
		低速モード時(V _{CC} =3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M38507F8AFP/SP以外		5	10	μA
			M38507F8AFP/SP		20	40	μA
A/Dコンバータ動作時の増量 f(X _{IN})=8MHz			800		μA		
発振はすべて停止(STP命令実行時) 出力トランジスタは遮断状態	T _a = 25		0.1	1.0	μA		
	T _a = 85			10	μA		

A/Dコンバータ特性

表23 . A/Dコンバータ特性(指定のない場合は, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=12.5MHz$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					10	bit
-	絶対精度(量子化誤差は除く)					± 4	LSB
tCONV	変換時間		高速モード及び中速モード			61	$2t_c(X_{IN})$
			低速モード			40	μs
RLADDER	ラダー抵抗					35	k
IVREF	基準電源入力電流	VREF接続時	VREF=5.0V	50	150	200	μA
		VREF切断時					
I(AD)	A/Dポート入力電流					0.5	μA
						5.0	

タイミング必要条件

表24. タイミング必要条件(1) (指定のない場合はVcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	80			ns
twh(XIN)	外部クロック入力“H”パルス幅	32			ns
twl(XIN)	外部クロック入力“L”パルス幅	32			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
twh(INT)	INT0~INT3入力“H”パルス幅	80			ns
twl(INT)	INT0~INT3入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
twh(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
twl(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A16番地のビット6が*1(クロック同期モード)の場合です。

f(XIN)=8MHz、001A16番地のビット6が*0(非同期モード)の場合は、値は1/4になります。

表25. タイミング必要条件(2) (指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	166			ns
twh(XIN)	外部クロック入力“H”パルス幅	66			ns
twl(XIN)	外部クロック入力“L”パルス幅	66			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
twh(INT)	INT0~INT3入力“H”パルス幅	230			ns
twl(INT)	INT0~INT3入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
twh(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
twl(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A16番地のビット6が*1(クロック同期モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が*0(非同期モード)の場合は、値は1/4になります。

スイッチング特性

表26．スイッチング特性(1)(指定のない場合は, Vcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図67	tc(SCLK1)/2 - 30			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 30			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				140	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間				30	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間				30	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 160			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				200	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			10	30	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			10	30	ns

注1．UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が* 0 の場合です。

2．シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(0015₁₆番地のビット7)が* 0 の場合です。

3．XOUT端子を除きます。

表27．スイッチング特性(2)(指定のない場合は, Vcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図67	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				400	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1．UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が* 0 の場合です。

2．シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(0015₁₆番地のビット7)が* 0 の場合です。

3．XOUT端子を除きます。

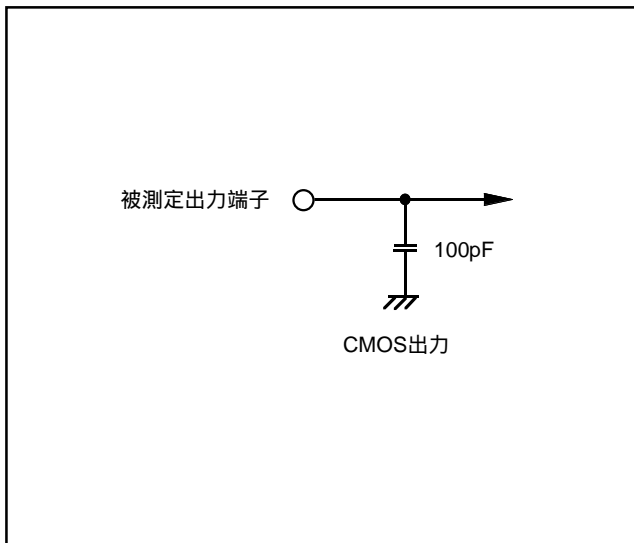


図68 . 出力スイッチング特性測定回路図

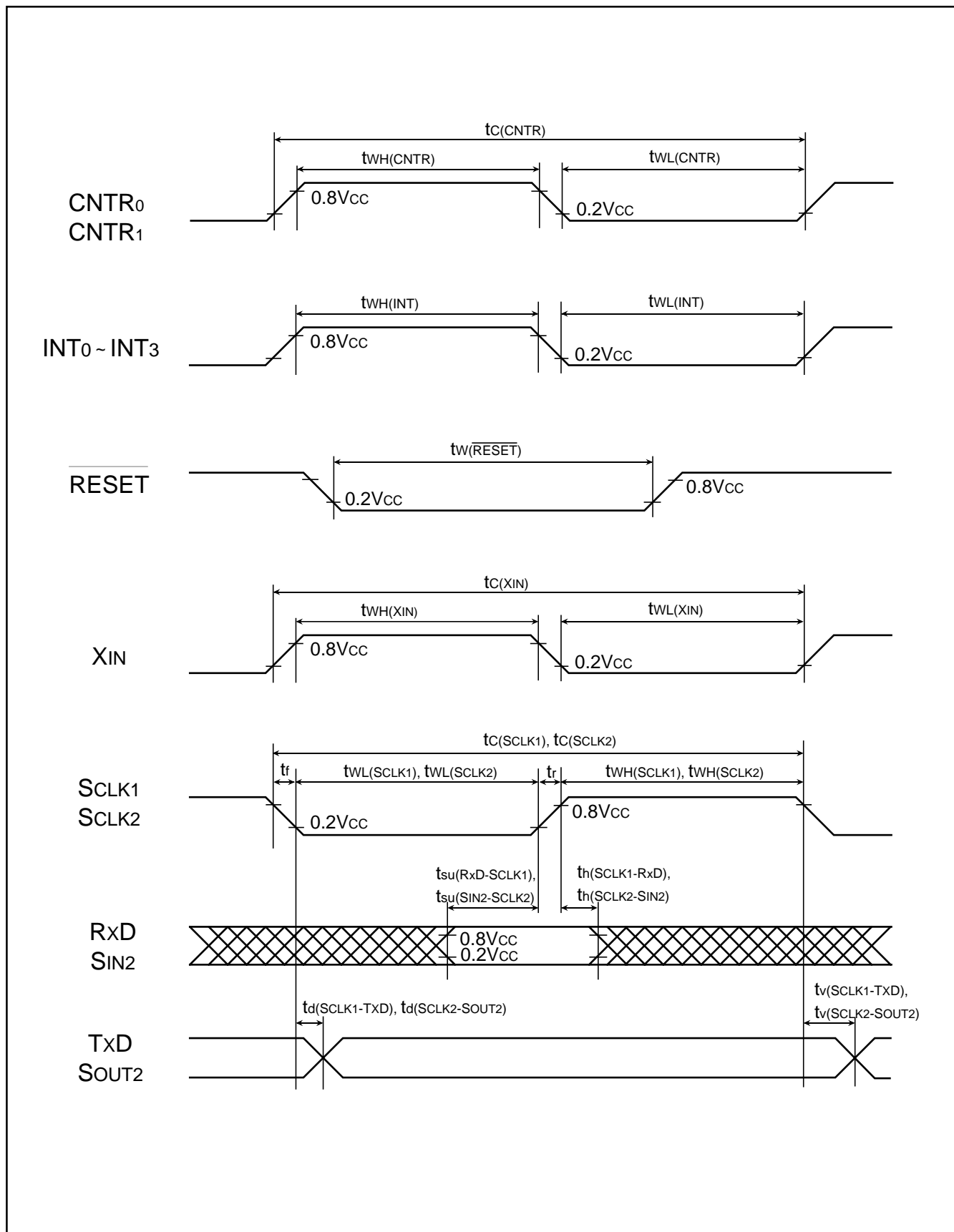
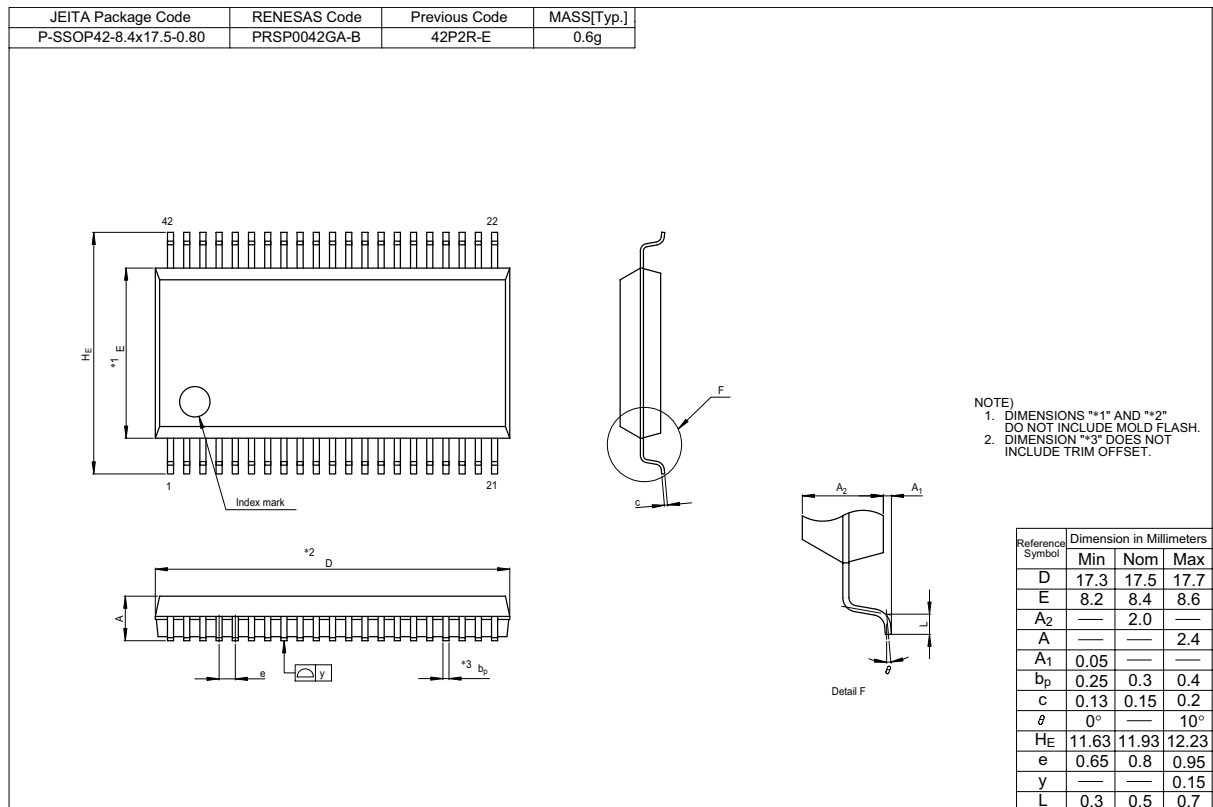
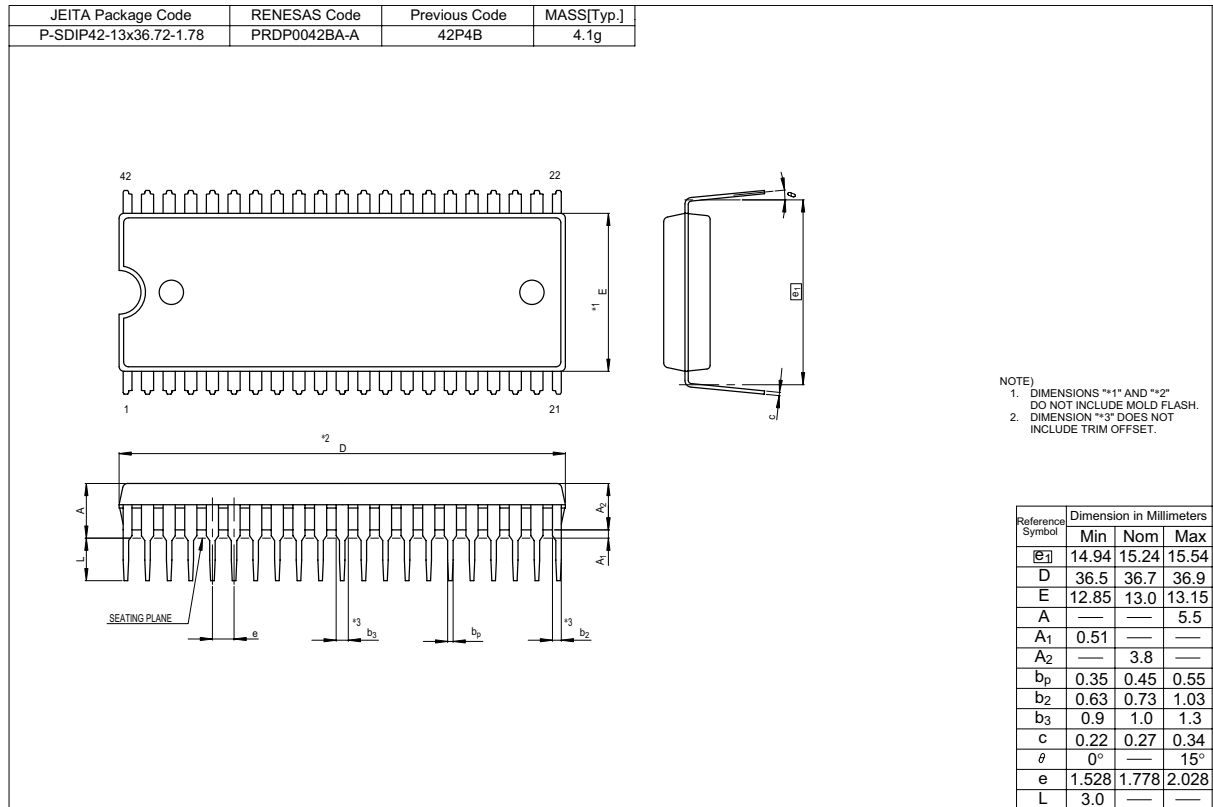


図69 . タイミング図

外形寸法図



付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが 1 であることを除いて、リセット直後は不定です。

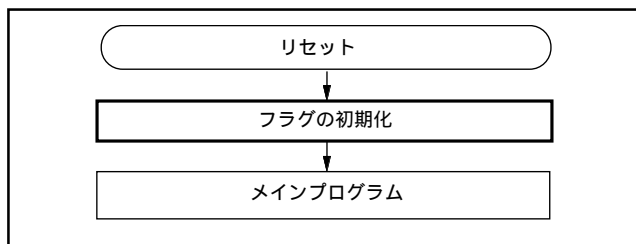


図1. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

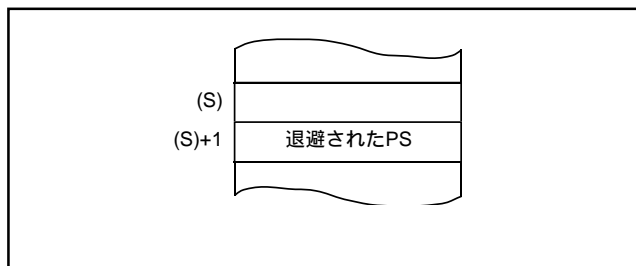


図2. PHP命令実行後のスタックメモリの内容

2. BRK命令

(1) 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に 1
- ・Iフラグを 1 にして割り込みを禁止

3. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを 1 にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると 1 にセット、桁借りが発生すると 0 にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

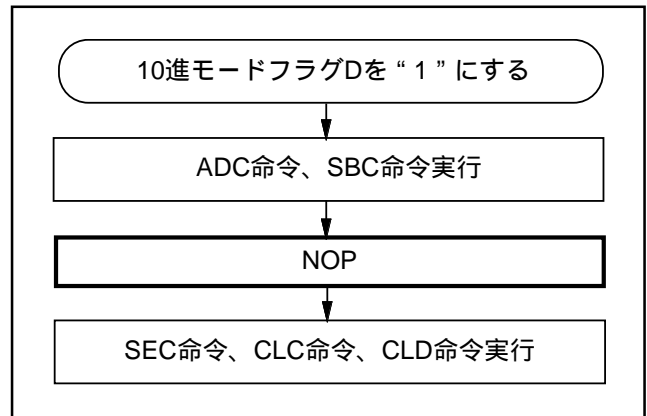


図3. 10進演算時の命令

4. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが FF_{16} となるアドレスをオペランドに指定しないでください。

5. 乗除算命令

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

6. ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが 1 の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

7. 命令の実行時間

命令の実行時間は740ファミリ ソフトウェアマニュアルを参照してください。記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. スタンバイ状態での使用

スタンバイ状態^{*1}で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。また、Nチャンネルオープンドレインの入出力ポートでは、出力に設定している場合でも、同様の注意が必要です。

この場合、抵抗を介してポートをプルアップ(V_{CC}に接続)又はプルダウン(V_{SS}に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・ 外付け回路
- ・ 通常動作時の出力レベルの変動

<理由>

方向レジスタで入力ポートに設定している場合はトランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。このとき、入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

また、Nチャンネルオープンドレインの入出力ポートではポートラッチの内容が「1」の場合、方向レジスタで出力ポートに設定していても、入力ポートと同様の現象がおこります。

^{*1}スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

2. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*}を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・ 出力に設定されているビット：

ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化します。

^{*}ビット処理命令：SEB命令、CLB命令

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

(1)入出力ポート

入力モードに設定し、1~10k Ω の抵抗を介してV_{CC}又はV_{SS}に接続してください。内蔵プルアップ抵抗が選択可能なポートでは内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、「L」又は「H」出力状態で開放してください。

- ・ 出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2)A/Dコンバータを使用しない場合のA/D変換用電源端子AV_{SS}

A/Dコンバータを使用しない場合、A/D変換用電源端子AV_{SS}は以下のように処理してください。

- ・ AV_{SS}：V_{SS}に接続

2. 処理上の留意事項

(1)入力ポート及び入出力ポート

入力モードで開放しないでください。

<理由>

- ・ 初段回路によっては電源電流が増加する場合があります。
- ・ 上記適切な処理「1. (1)入出力ポート」に比べ、ノイズの影響を受け易くなります。

(2)入出力ポート

入力モードに設定した場合、V_{CC}又はV_{SS}に直結しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

(3)入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、V_{CC}又はV_{SS}に接続しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・ 未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

割り込みに関する注意事項

1. 関連レジスタの設定変更

割り込みエッジ選択レジスタ(3A16番地)及びタイマXYモードレジスタ(2316番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

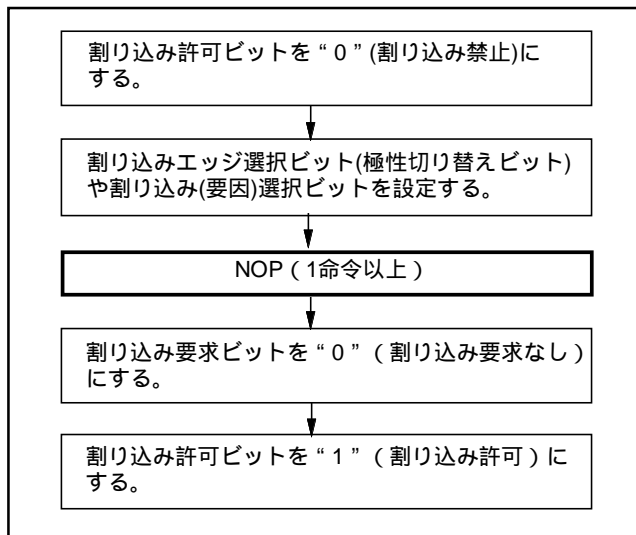


図4. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
タイマXYモードレジスタ(2316番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)

2. 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

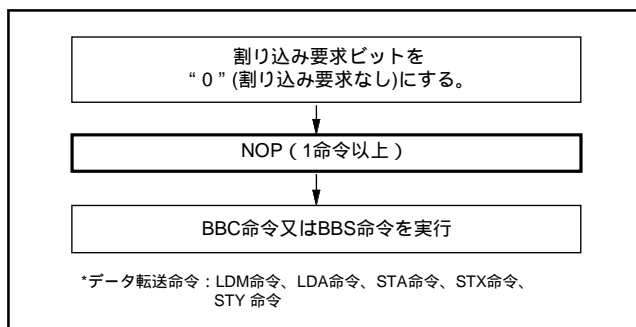


図5. 割り込み要求ビットの判定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

タイマに関する注意事項

- タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、1/(n+1)です。
- タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

シリアルインタフェースに関する注意事項

1. クロック同期形の選択時(シリアルI/O1)

(1)送信動作の停止

シリアルI/O1許可ビット及び送信許可ビットを“0”(シリアルI/O及び送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2)受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

(3)送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また「1. (1)送信動作の停止」と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(4)受信側のSRDY1出力(シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

2. 非同期形の選択時(シリアルI/O1)

(1)送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2)受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

(3)送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

3. シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

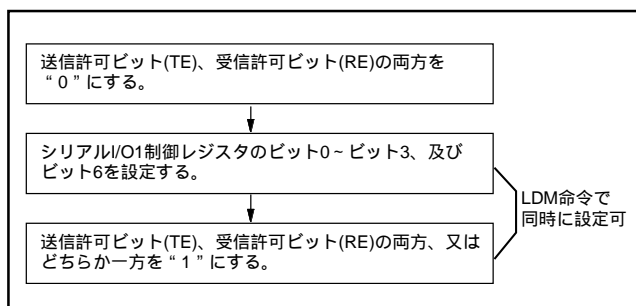


図 6. シリアルI/O1 制御レジスタの再設定手順

4. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

5. 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信許可ビットを許可状態にしてください。

(1)CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

(2)シリアルI/Oの送受信準備を行う。

(3)一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

(4)割り込み許可ビットを“1”(許可状態)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンブティフラグ、及び送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンブティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

6. 外部クロック選択時の送信制御(シリアルI/O1(クロック同期形モード))

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態です送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

7. 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/O2では、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

PWMに関する注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベルの出力時間は次のとおりです。

- ・カウントソース選択ビット=“0”, n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・カウントソース選択ビット=“1”, n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A/Dコンバータに関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\ \mu\text{F}$ ~ $1\ \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/Dコンバータ用電源端子

A/D変換機能の使用又は不使用にかかわらず、A/Dコンバータ用電源端子AVSSは以下のように処理してください。

- ・AVSS : VSSに接続

<理由>

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・中速/高速モード時の $f(X_{IN})$ は500kHz以上にしてください。
- ・STP命令を実行しないでください。
- ・低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので、 $f(X_{IN})$ の下限周波数の制限はありません。

ウォッチドッグタイマに関する注意事項

- ・ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
- ・ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えることはできません。

リセット端子に関する注意事項

1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVSS端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

2. 電源投入後のリセット解除

パワーオンリセット等、電源投入後リセットを解除する場合は、電源電圧が2.7V以上に達し、XINが安定発振している状態でXINが20サイクル以上経過した後に解除してください。

<理由>

リセット解除には電源電圧が2.7~5.5Vにあり、XINが安定発振しているときにXINの20サイクル以上の期間“L”レベルにする必要があります。

ストップモードに関する注意事項

・レジスタ設定

STP命令解除後の発振安定時間設定ビットを“0”で使用される場合は、ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

・復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

ウェイトモードに関する注意事項

・復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

フラッシュメモリ版のCPU書き換えモードに関する注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

1. 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロックが4.0MHz以下になるように設定してください。

2. 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

3. 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

4. ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

5. リセット

常に受け付けます。リセット解除時、CNVss = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

発振の再開に関する注意事項

発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1及びプリスケアラ12には特定の値(タイマ1には01₁₆、プリスケアラ12にはFF₁₆)が発振安定待ちのため自動的にセットされます。一方、MISR(0038₁₆番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1及びプリスケアラ12に残っている値が発振安定待ち時間用のカウンタ値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1及びプリスケアラ12に設定してください。

<理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

フラッシュメモリ版に関する注意事項

CNVss/Vpp端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、1k~5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

・理由

CNVss/Vpp端子は内蔵フラッシュメモリの電源入力端子です。

フラッシュメモリへのプログラム書き込み時に、書き込み電流が流れるようにVpp端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。Vpp端子からノイズが侵入すると、フラッシュメモリからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

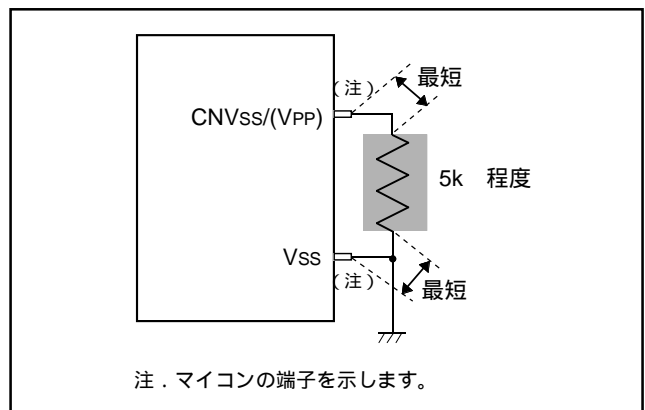


図7. CNVss/Vpp端子の配線

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF~0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

3850グループ(標準品)、3850グループ(H仕様)及び3850グループ(A仕様)の相違に関する注意事項

- 3850グループ(H仕様、A仕様)の絶対最大定格は、電源電圧Vcc=0.3~6.5V、CNVss入力電圧Vi=-0.3~Vcc+0.3Vと3850グループ(標準品)と比べ、小さくなっています。
- XIN-XOUT、XCIN-XCOUTの発振回路定数が異なる場合があります。
- 予約領域、予約ビットは、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- CPUモードレジスタのビット3は“1”に固定してください。
- 未使用端子の処理を確実に実施してください。

改訂履歴

3850 グループ(A仕様) データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	04/05/31		PDF ファイル初版発行
1.01	04/06/10	4 5 5 5 69 69 69 69 81	図3. 型名とメモリサイズ・パッケージを一部変更 メモリの種類の文章を一部削除 パッケージの文章を一部削除 図4. ROM 及びRAM 展開計画を一部変更 フラッシュメモリ版/マスクROM 版の相違点に関する注意事項の文章及び題を一部削除 フラッシュメモリ版に関する注意事項の題を一部変更 Rev.1.00 のROM 書き込み発注時の提出資料を削除 Rev.1.00 のROM 書き込み方法を削除 Rev/1.00 の42S1B-A の外形寸法図を削除
1.02	04/07/20	1	特長 メモリ容量 ROM、RAM を一部変更
1.03	05/09/07	1,4-6 3 5 16 35 38 39 40 67,70 68 69 71 72 73 80	ルネサス用語に変換 パッケージ型名「42P4B」を「PRDP0042BA-A」に変更 表1. 端子の機能説明 P3, P4 の「8ビットの入出力ポート」を「5ビットの入出力ポート」に変更 グループ展開:「... 次のような展開を計画しています。」 「... 次のような製品展開をしています。」 に変更 図12. ポートのブロック図(3) ポートP44/PWM 端子のPWM 機能許可時の読み出し経路をポートラッチの読み出しから PWM 出力の読み出しへ修正 「ウォッチドッグタイマ」の説明文を変更 図38. ウォッチドッグタイマ制御レジスタの構成: STP 命令禁止ビットを変更 ・クロック発生回路:「XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。」を「XIN - XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。」に変更 ・発振制御(1)ストップモード: 文中に「(003816番地のビット0)」を追加 図42. セラミック共振子外付け回路を変更 図45. システムクロック発生回路ブロック図: 注4を追加 表15, 表17 絶対最大定格: 条件に「入力電圧測定時、」を追加 「予約領域、予約ビットに関するもの」、「CPUモードレジスタに関するもの」を追加 ・「3850グループ(標準品)、... 及び3850グループ(A仕様)の相違に関するもの」より(3)、(4)を削除 ・「電源電圧に関する注意事項」を追加 ・「フラッシュメモリ版に関する注意事項」を変更 ・(http://www.renesas.com/jp/rom) (http://japan.renesas.com/homepage.jsp) に変更 表18. 推奨動作条件(1): P22, P23 の V _{IH} の最大値を 5.8V に修正 表19. 推奨動作条件(2): f(XCIN)を追加、それに伴い注4を追記 表21. 電気的特性(2): プルアップ有効時の I _{IL} から P22, P23 を削除 パッケージ型名変更に伴い42P4B の外形寸法図を変更
1.10	2005.11.14	1,4-6 35 67,70 69 80 81 ~ 86	パッケージ型名「42P2R-A/E」を「PRSP0042GA-B」に変更 図37. ウォッチドッグタイマのブロック図を修正 表15、表17 注記のパッケージ型名「42P2R-A/E」を「PRSP0042GA-B」に変更 図67. CNV _{SS} /V _{PP} 端子の配線を追記 パッケージ外形寸法図を改訂 付録を追加

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京		社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	部	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	島	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
鳥	取	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
九	州	支			

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com