

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

### 概要

3823グループは740ファミリコアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路、A/Dコンバータ、シリアルインタフェース、ウォッチドッグタイマ、ROM訂正機能などの付加機能を備えています。

内蔵するメモリの容量、パッケージの異なる複数の品種があります。詳細については型名とメモリサイズ・パッケージの項を参照してください。

### 特長

- 基本機械語命令 ..... 71
- 命令実行時間 ..... 0.4  $\mu$ s  
(最小命令、f(XIN) = 10MHz、高速モード時)
- メモリ容量 ROM ..... 16K ~ 60Kバイト  
RAM ..... 640 ~ 2560バイト
- ROM訂正機能 ..... 32バイト×2ブロック
- ウォッチドッグタイマ ..... 8ビット×1
- プログラマブル入出力ポート ..... 49本
- ソフトウェアブルアップ/ブルダウン抵抗 ..... ポートP40以外のP0 ~ P7
- 割り込み ..... 17要因、16ベクタ  
(キー入力割り込みを含む)
- キー入力割り込み ..... 8本
- タイマ ..... 8ビット×3、16ビット×2
- シリアルインタフェース ..... 8ビット×1  
(UART又はクロック同期形)

- A/Dコンバータ .... 10ビット×8チャンネル又は8ビット×8チャンネル
- LCD駆動制御回路     バイアス ..... 1/2、1/3バイアス  
時分割 ..... 2、3、4時分割  
コモン出力 ..... 4本  
セグメント出力 ..... 32本
- メインクロック発生回路 ..... 1回路内蔵  
(セラミック共振子又は水晶共振子外付け)
- サブクロック発生回路 ..... 1回路内蔵  
(水晶共振子外付け又はオンチップオシレータ)
- 電源電圧 2分周モード時(f(XIN) 10MHz) ..... 4.5 ~ 5.5V  
2分周モード時(f(XIN) 8MHz) ..... 4.0 ~ 5.5V  
4分周モード時(f(XIN) 10MHz) ..... 2.5 ~ 5.5V  
4分周モード時(f(XIN) 8MHz) ..... 2.0 ~ 5.5V  
4分周モード時(f(XIN) 5MHz) ..... 1.8 ~ 5.5V  
8分周モード時(f(XIN) 10MHz) ..... 2.5 ~ 5.5V  
8分周モード時(f(XIN) 8MHz) ..... 2.0 ~ 5.5V  
8分周モード時(f(XIN) 5MHz) ..... 1.8 ~ 5.5V  
低速モード時 ..... 1.8 ~ 5.5V
- 消費電力 2分周モード時 ..... 標準18mW  
(Vcc=5V、f(XIN) = 8MHz、Ta=25 )  
低速モード(XCIN使用)時 ..... 標準18  $\mu$ W  
(Vcc=2.5V、f(XIN) = 停止、f(XCIN) = 32kHz、Ta=25 )  
低速モード( オンチップオシレータ使用 )時 ... 標準35  $\mu$ W  
(Vcc=2.5V、f(XIN) = 停止、f(XCIN) = 停止、Ta=25 )
- 動作周囲温度 ..... - 20 ~ 85

### 応用

カメラ、ポータブル機器、家電、民生機器など

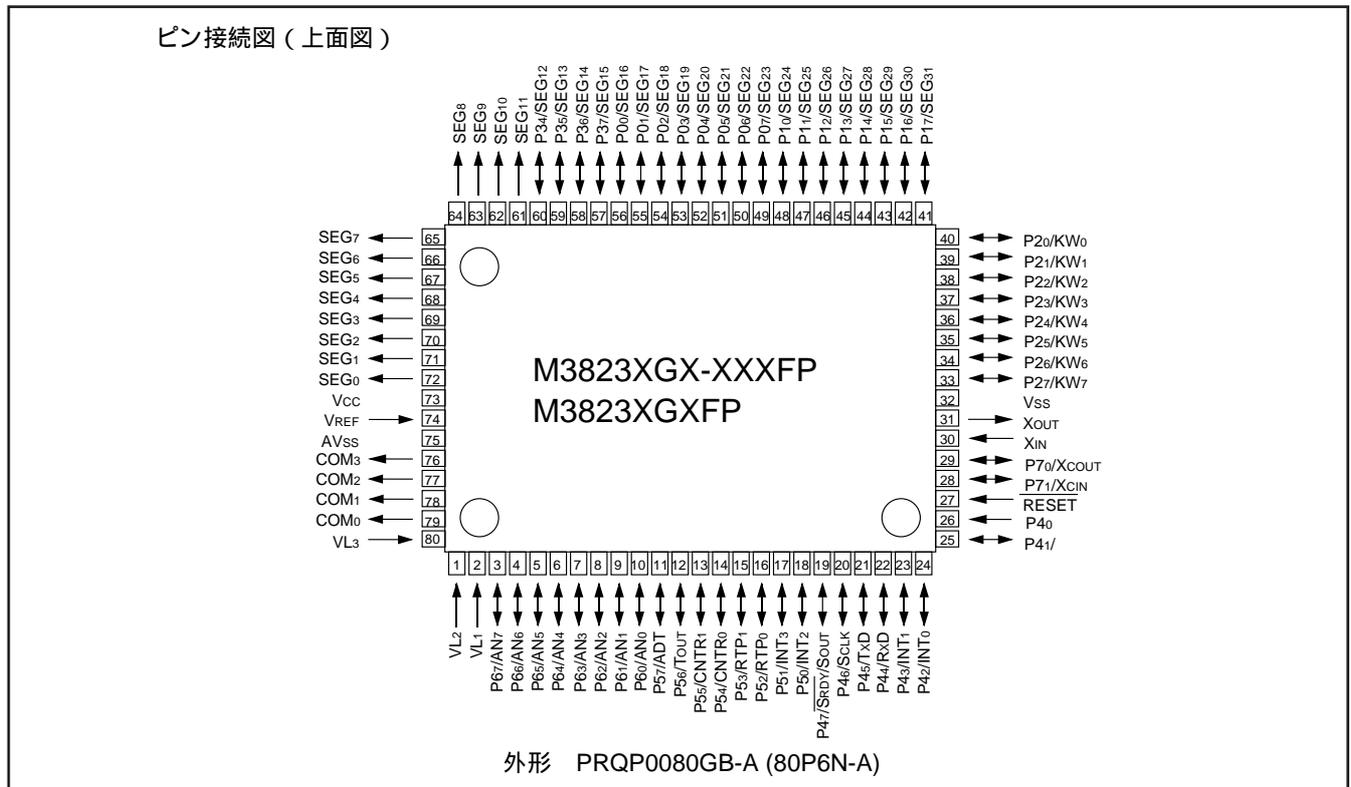


図1 . M3823XGX-XXXFPピン接続図

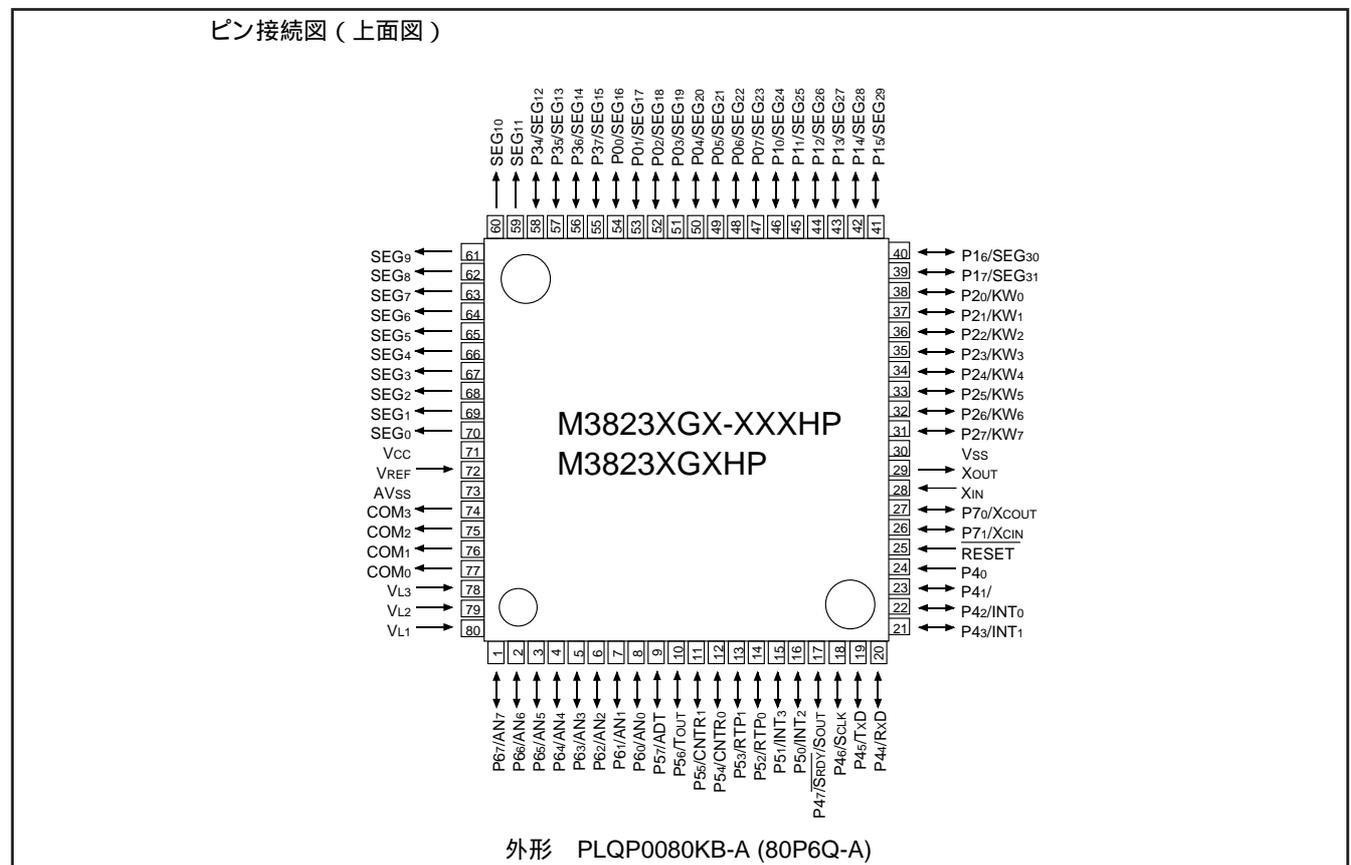


図2 . M3823XGX-XXXHPピン接続図

表1. 性能概要

項 目		性 能
基本命令数		71
命令実行時間		0.4 $\mu$ s(最小命令、f(XIN) = 10MHz、高速モード時)
発振周波数		10MHz(最大)
メモリ容量	ROM	16K ~ 60Kバイト
	RAM	640 ~ 2560バイト
入力ポート	P34 ~ P37 P40	4ビット×1、1ビット×1 (SEG共用4本)
入出力ポート	P0 ~ P2 P41 ~ P47 P5 P6 P70 P71	8ビット×5、7ビット×1、2ビット×1 (SEG共用16本)
割り込み		17要因、16ベクタ(キー入力割り込みを含む)
タイマ		8ビット×3、16ビット×2
シリアルインタフェース		8ビット×1(UART又はクロック同期形)
A/Dコンバータ		10ビット×8チャンネル又は8ビット×8チャンネル
ウォッチドッグタイマ		8ビット×1
ROM訂正機能		32バイト×2ブロック
LCD駆動制御回路	バイアス	1/2、1/3バイアス
	時分割	2、3、4時分割
	コモン出力	4本
	セグメント出力	32本
メインクロック発生回路		1回路内蔵(セラミック共振子又は水晶発振子外付け)
サブクロック発生回路		1回路内蔵(水晶発振子外付け又はオンチップオシレータ)
電源電圧	2分周モード時(f(XIN) 10MHz)	4.5 ~ 5.5V
	2分周モード時(f(XIN) 8MHz)	4.0 ~ 5.5V
	4分周モード時(f(XIN) 10MHz)	2.5 ~ 5.5V
	4分周モード時(f(XIN) 8MHz)	2.0 ~ 5.5V
	4分周モード時(f(XIN) 5MHz)	1.8 ~ 5.5V
	8分周モード時(f(XIN) 10MHz)	2.5 ~ 5.5V
	8分周モード時(f(XIN) 8MHz)	2.0 ~ 5.5V
	8分周モード時(f(XIN) 5MHz)	1.8 ~ 5.5V
	低速モード時	1.8 ~ 5.5V
消費電力	2分周モード時	標準18mW(Vcc=5V、f(XIN) = 8MHz、Ta=25 )
	低速モード(XCIN使用)時	標準18 $\mu$ W(Vcc=2.5V、f(XIN) = 停止、f(XCIN) = 32kHz、Ta=25 )
	低速モード(オンチップオシレータ使用)時	標準35 $\mu$ W(Vcc=2.5V、f(XIN) = 停止、f(XCIN) = 停止、Ta=25 )
入出力特性	入出力耐電圧	Vcc
	出力電流	10mA
動作周囲温度		- 20 ~ 85
素子構造		CMOSシリコンゲート
パッケージ		80ピンプラスチックモールドLQFP/QFP

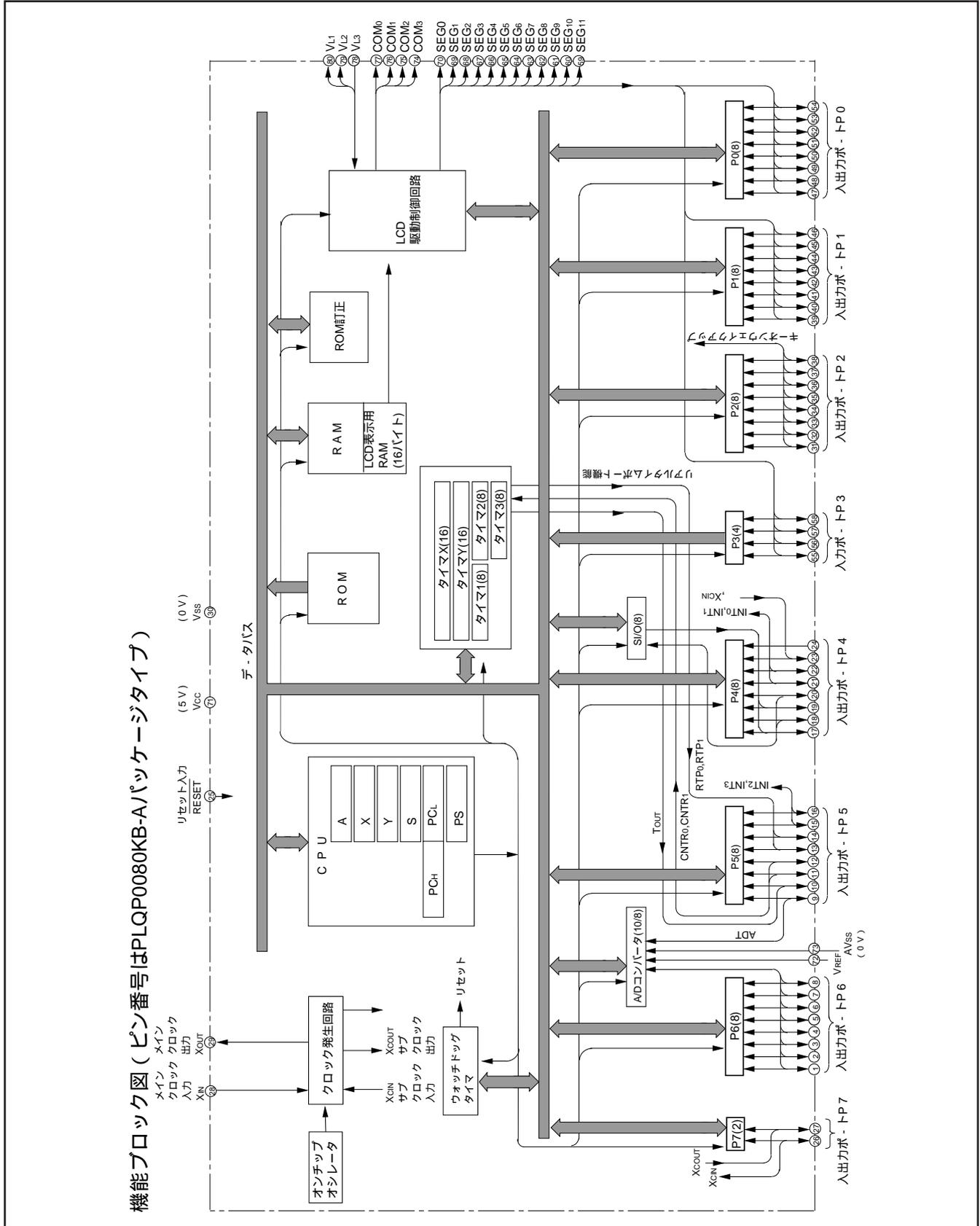


図3. 機能ブロック図

表2 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに電源電圧、Vssに0Vを印加します。(Vccについては推奨動作条件参照。)	
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
AVSS	アナログ電源入力	A/Dコンバータの電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
VL1 ~ VL3	LCD用電源入力	0 ~ VL1 ~ VL2 ~ VL3の電圧を印加します。LCDには、0 ~ VL3の電圧を印加します。	
COM0 ~ COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。	
SEG0 ~ SEG11	セグメント出力	LCDセグメント出力端子です。	
P00/SEG16 ~ P07/SEG23	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルダウン制御/ポート単位の入出力指定が可能です。	LCD用セグメント出力端子
P10/SEG24 ~ P17/SEG31	入出力ポートP1		
P20/KW0 ~ P27/KW7	入出力ポートP2		
P34/SEG12 ~ P37/SEG15	入力ポートP3	4ビットの入力ポートです。CMOS入力レベルです。プルダウン制御が可能です。	LCD用セグメント出力端子
P40	入力ポートP4	1ビットの入力ポートです。CMOS入力レベルです。	QzROMプログラマブル電源端子
P41/ P42/INT0, P43/INT1	入出力ポートP4	7ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	出力端子
P44/RxD, P45/TxD, P46/SCLK, P47/SRDY/SOUT			割り込み入力端子
			シリアルI/Oの機能端子
P50/INT2, P51/INT3	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	割り込み入力端子
P52/RTP0, P53/RTP1			リアルタイムポート機能端子
P54/CNTR0, P55/CNTR1			タイマX ,タイマY機能端子
P56/TOUT			タイマ2出力端子
P57/ADT			A/Dトリガ入力端子
P60/AN0 ~ P67/AN7	入出力ポートP6	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	A/Dコンバータの入力端子
P70/XCOUT , P71/XCIN	入出力ポートP7	2ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	サブクロック発生回路の入出力端子(発振子を接続します。外部で生成したクロックの直接入力はできません。)

## 型名とメモリサイズ・パッケージ

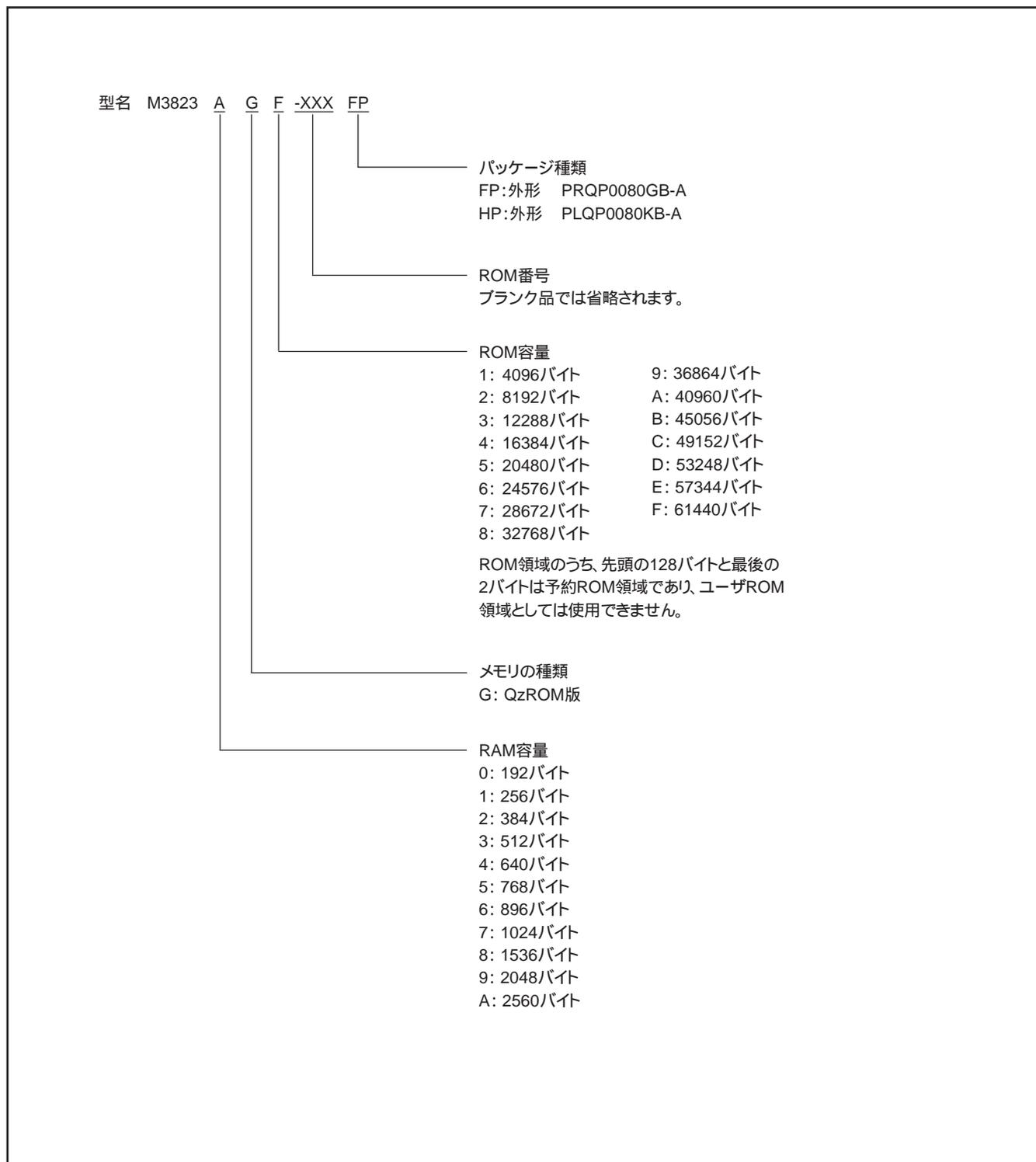


図4 . 型名とメモリサイズ・パッケージ

グループ展開

3823グループは次のような展開を計画しています。

メモリの種類

QzROM版のサポート

メモリ容量

ROM容量 ..... 16K ~ 60Kバイト

RAM容量 ..... 640 ~ 2560バイト

パッケージ

PRQP0080GB-A ..... 0.8mmピッチプラスチックモールドQFP

PLQP0080KB-A ..... 0.5mmピッチプラスチックモールドLQFP

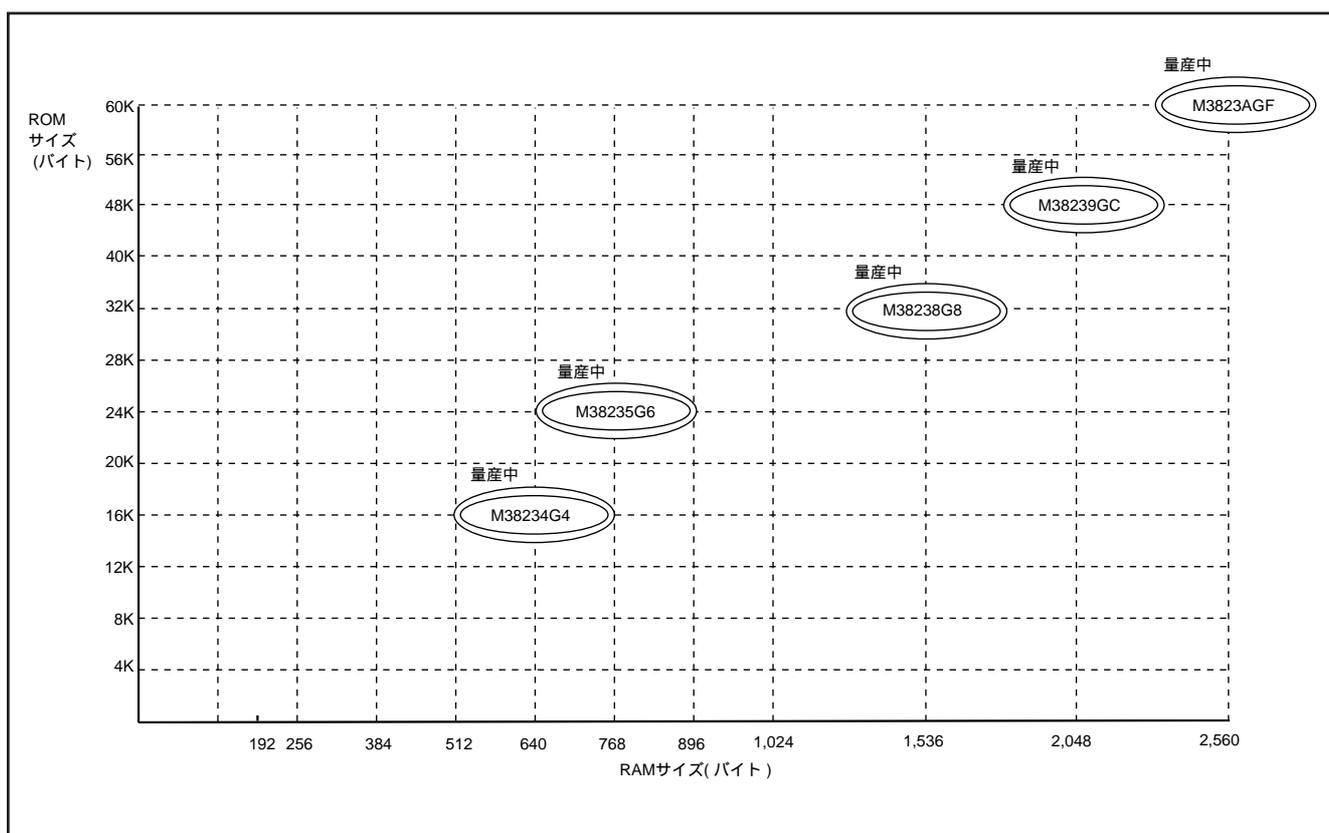


図5 3823グループROM、RAM展開計画

製品一覧を表3に示します。

表3 製品一覧

型名	ROM容量(バイト) ( )内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M3823AGF-XXXFP	61440 (61310)	2560 (注1)	PRQP0080GB-A	
M3823AGF-XXXHP			PLQP0080KB-A	
M3823AGFFP			PRQP0080GB-A	ブランク品
M3823AGFHP			PLQP0080KB-A	ブランク品
M38239GC-XXXFP	49152 (49022)	2048 (注2)	PRQP0080GB-A	
M38239GC-XXXHP			PLQP0080KB-A	
M38239GCFP			PRQP0080GB-A	ブランク品
M38239GCHP			PLQP0080KB-A	ブランク品
M38238G8-XXXFP	32768 (32638)	1536 (注2)	PRQP0080GB-A	
M38238G8-XXXHP			PLQP0080KB-A	
M38238G8FP			PRQP0080GB-A	ブランク品
M38238G8HP			PLQP0080KB-A	ブランク品
M38235G6-XXXFP	24576 (24446)	768 (注2)	PRQP0080GB-A	
M38235G6-XXXHP			PLQP0080KB-A	
M38235G6FP			PRQP0080GB-A	ブランク品
M38235G6HP			PLQP0080KB-A	ブランク品
M38234G4-XXXFP	16384 (16254)	640 (注2)	PRQP0080GB-A	
M38234G4-XXXHP			PLQP0080KB-A	
M38234G4FP			PRQP0080GB-A	ブランク品
M38234G4HP			PLQP0080KB-A	ブランク品

注1 RAM容量には、LCD表示用RAM、ROM訂正用RAMが含まれます。

注2 RAM容量には、LCD表示用RAMが含まれます。

## 機能ブロック動作説明

## 中央演算処理装置 (CPU)

3823グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00<sub>16</sub>”となり、“1”の場合は“01<sub>16</sub>”となります。

スタックへの退避及び復帰動作を図7に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

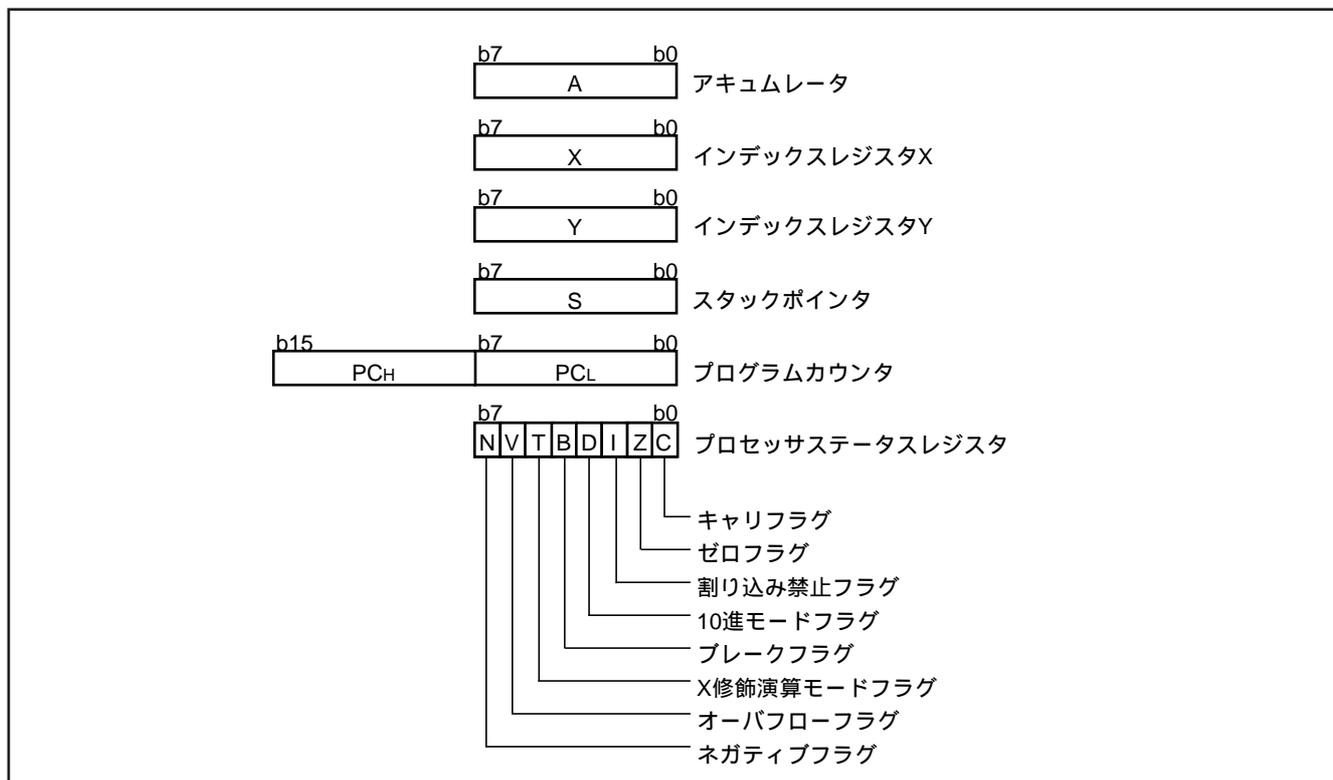


図6 .740ファミリ CPUの構成

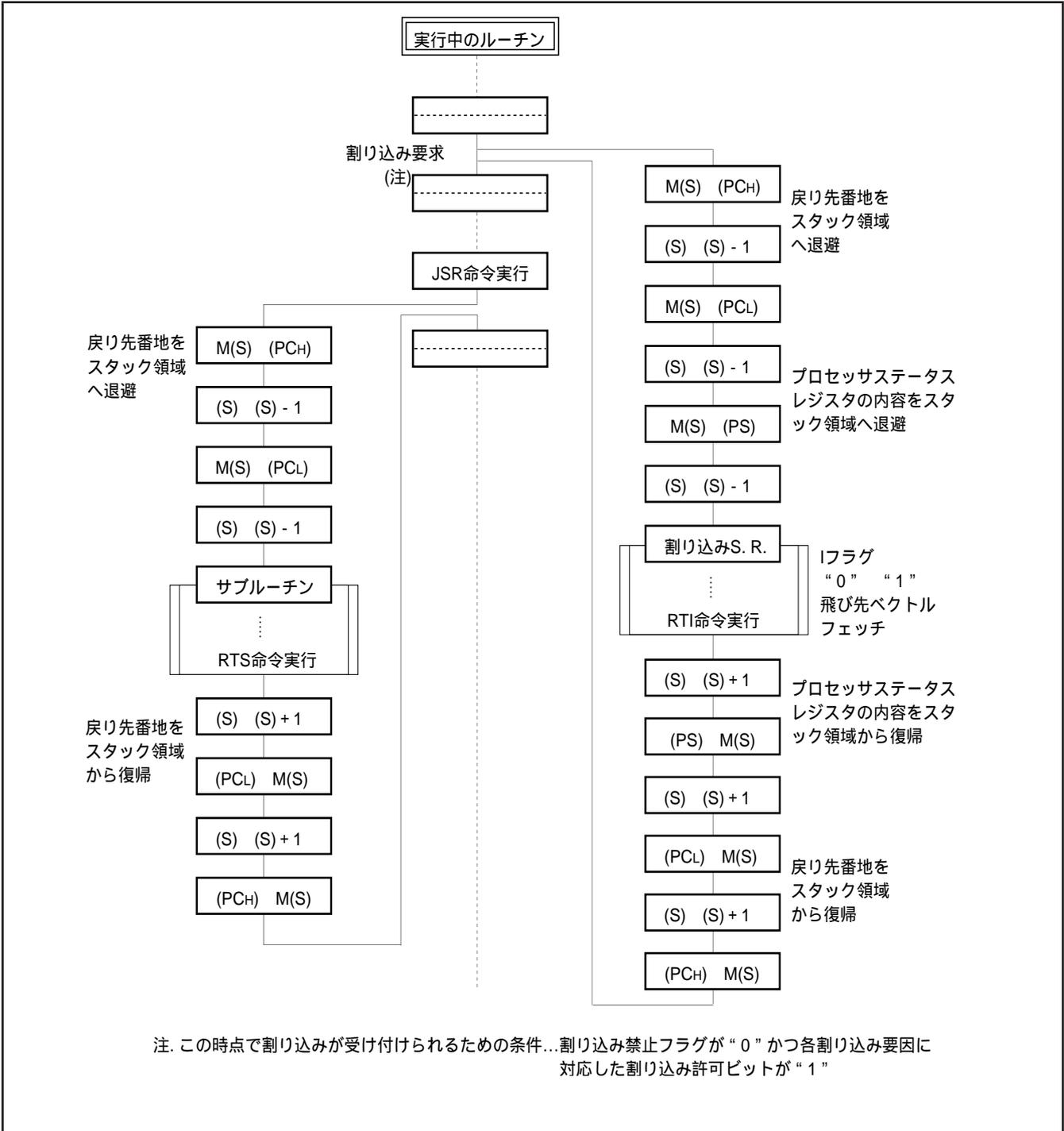


図7 スタックへの退避及び復帰動作

表4 .アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

## ・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化しません。

## ・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

## ・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

## ・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## ・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

## ・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

## ・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## ・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

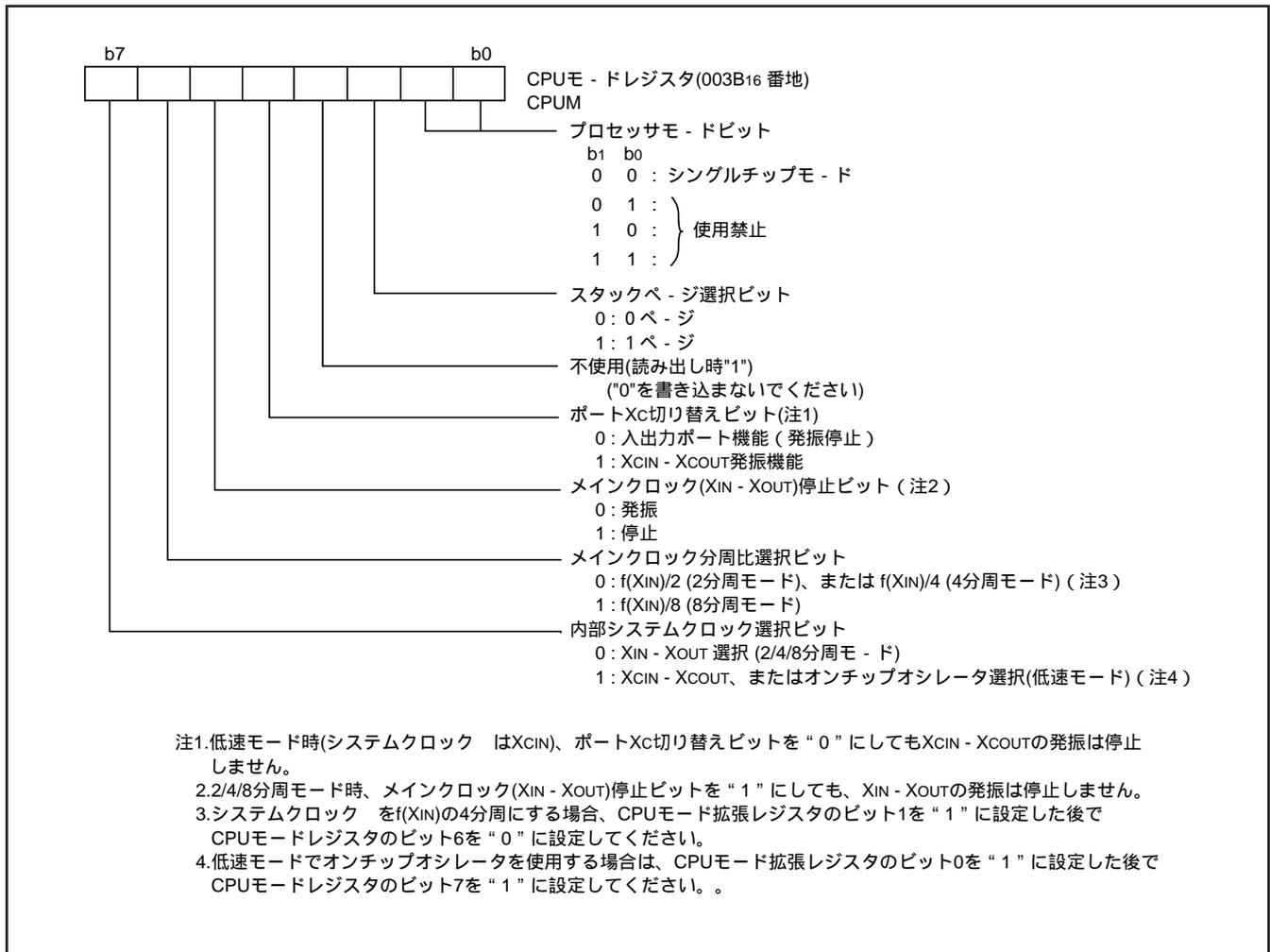


図8 . CPUモードレジスタの構成

【CPUモード拡張レジスタ】 EXPCM

CPUモード拡張レジスタを設定することにより、システムクロックにf(XIN)の4分周を、低速モード時のシステムクロックに内蔵オンチップオシレータを選択することができます。

システムクロックをf(XIN)の4分周にする場合、CPUモード拡張レジスタのビット1を"1"に設定した後でCPUモードレジスタのビット6を"0"に設定してください。

低速モードでオンチップオシレータを使用する場合は、CPUモード拡張レジスタのビット0を"1"に設定した後でCPUモードレジスタのビット7を"1"に設定してください。

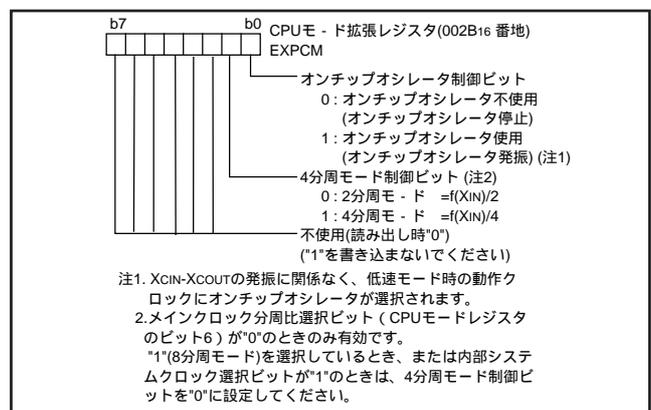


図9. CPUモード拡張レジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

ROMコードプロテクト番地

シリアルプログラマでのプロテクトビット書き込みを選択した場合、及び弊社書き込み出荷の際にプロテクト有りを選択した場合、ROMコードプロテクト番地( ユーザーROM領域外 )に“ 0016 ”が書き込まれます。ROMコードプロテクト番地に“ 0016 ”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出し及び書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“ 0016 (プロテクト有り) ”又は“ FF16 (プロテクト無し) ”のいずれかが書き込まれます。“ 0016 ”あるいは“ FF16 ”のどちらを書き込むかは、発注の際にROMオプション( マスク変換ユーティリティ内では“ マスクオプション ”表記 )として選択可能です。

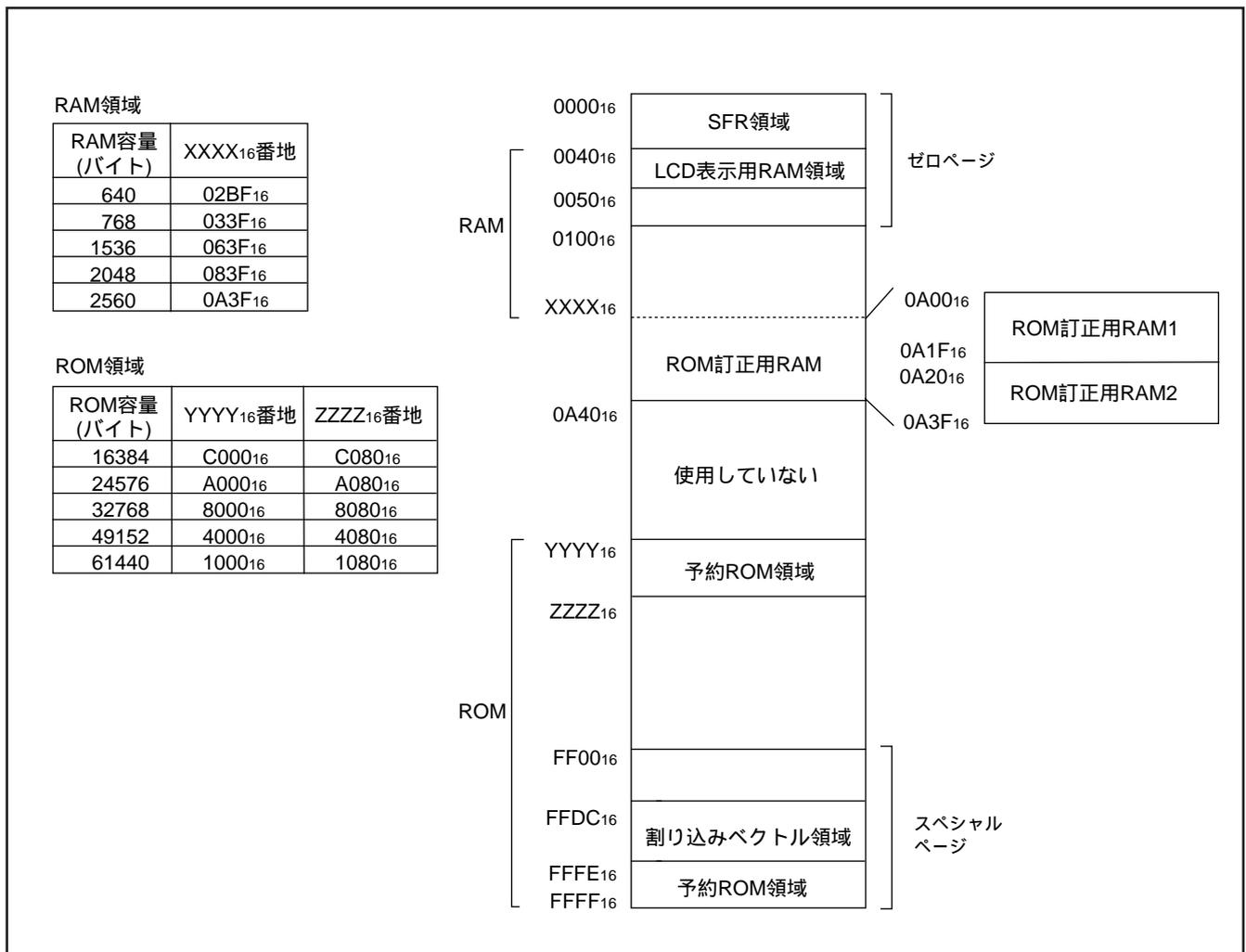


図10 . メモリ配置図

0000 <sub>16</sub>	ポートP0レジスタ(P0)	0020 <sub>16</sub>	タイマX下位レジスタ(TXL)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)	0021 <sub>16</sub>	タイマX上位レジスタ(TXH)
0002 <sub>16</sub>	ポートP1レジスタ(P1)	0022 <sub>16</sub>	タイマY下位レジスタ(TYL)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	タイマY上位レジスタ(TYH)
0004 <sub>16</sub>	ポートP2レジスタ(P2)	0024 <sub>16</sub>	タイマ1レジスタ(T1)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)	0025 <sub>16</sub>	タイマ2レジスタ(T2)
0006 <sub>16</sub>	ポートP3レジスタ(P3)	0026 <sub>16</sub>	タイマ3レジスタ(T3)
0007 <sub>16</sub>		0027 <sub>16</sub>	タイマXモードレジスタ(TXM)
0008 <sub>16</sub>	ポートP4レジスタ(P4)	0028 <sub>16</sub>	タイマYモードレジスタ(TYM)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	タイマ123モードレジスタ(T123M)
000A <sub>16</sub>	ポートP5レジスタ(P5)	002A <sub>16</sub>	出力制御レジスタ(CKOUT)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)	002B <sub>16</sub>	CPUモード拡張レジスタ(EXPCM)
000C <sub>16</sub>	ポートP6レジスタ(P6)	002C <sub>16</sub>	テンポラリデータレジスタ0(TD0)
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)	002D <sub>16</sub>	テンポラリデータレジスタ1(TD1)
000E <sub>16</sub>	ポートP7レジスタ(P7)	002E <sub>16</sub>	テンポラリデータレジスタ2(TD2)
000F <sub>16</sub>	ポートP7方向レジスタ(P7D)	002F <sub>16</sub>	RRFレジスタ(RRFR)
0010 <sub>16</sub>	ROM訂正アドレス1上位レジスタ(RCA1H)	0030 <sub>16</sub>	周辺機能拡張レジスタ(EXP)
0011 <sub>16</sub>	ROM訂正アドレス1下位レジスタ(RCA1L)	0031 <sub>16</sub>	
0012 <sub>16</sub>	ROM訂正アドレス2上位レジスタ(RCA2H)	0032 <sub>16</sub>	
0013 <sub>16</sub>	ROM訂正アドレス2下位レジスタ(RCA2L)	0033 <sub>16</sub>	
0014 <sub>16</sub>	ROM訂正許可レジスタ(RCR)	0034 <sub>16</sub>	AD制御レジスタ(ADCON)
0015 <sub>16</sub>		0035 <sub>16</sub>	AD変換上位レジスタ(ADH)
0016 <sub>16</sub>	PULLレジスタA(PULLA)	0036 <sub>16</sub>	AD変換下位レジスタ(ADL)
0017 <sub>16</sub>	PULLレジスタB(PULLB)	0037 <sub>16</sub>	ウォッチドッグタイマ制御レジスタ(WDT)
0018 <sub>16</sub>	送信/受信バッファレジスタ(TB/RB)	0038 <sub>16</sub>	セグメント出力許可レジスタ(SEG)
0019 <sub>16</sub>	シリアルI/Oステータスレジスタ(SIOSTS)	0039 <sub>16</sub>	LCDモードレジスタ(LM)
001A <sub>16</sub>	シリアルI/O制御レジスタ(SIOCON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART制御レジスタ(UARTCON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ポーレートジェネレータ(BRG)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>		003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>		003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>		003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)

注. SFRの空き領域のメモリアクセスは行わないでください。

図11 . SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

方向レジスタ (ポートP2、P4<sub>1</sub> ~ P4<sub>7</sub>、P5 ~ P7)

入出力ポートP2、P4<sub>1</sub> ~ P4<sub>7</sub>、P5 ~ P7は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用する、ビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

方向レジスタ (ポートP0、P1)

ポートP0、P1は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用する、ポート単位に設定することが可能です。方向レジスタのビット0を“1”にセットすると、その端子は出力ポートになります。“0”にクリアすると入力ポートになります。

ポートP0 ~ P1の方向レジスタのビット1 ~ ビット7は使用していません。

ポートP3、P40

入力専用ポートです。

プルアップ/プルダウン制御

P4<sub>0</sub>を除くポートはPULLレジスタA(0016<sub>16</sub>番地)及びPULLレジスタB(0017<sub>16</sub>番地)を設定することにより、プログラムでプルアップ/プルダウン(セグメント出力兼用端子はプルダウン、それ以外の端子はプルアップ)の制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離されプルアップ/プルダウンは行われません。

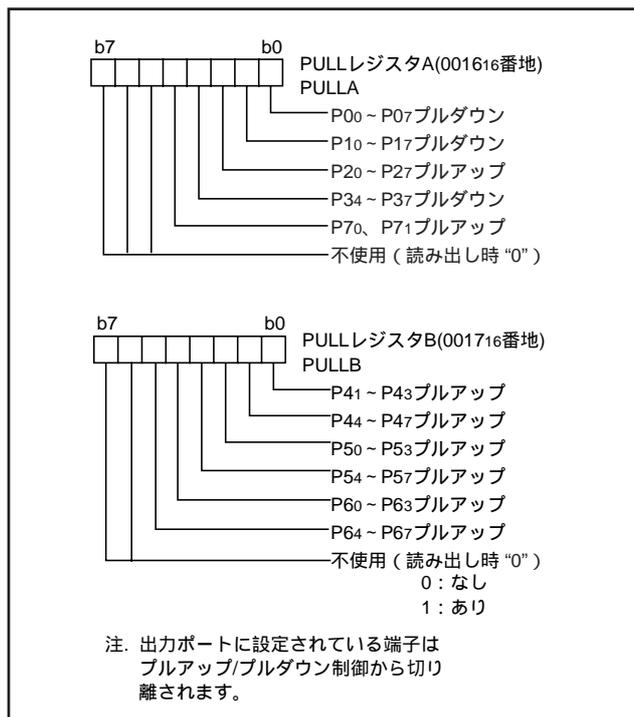


図12 . PULLレジスタA、PULLレジスタBの構成

表6 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SEG16 ~ P07/SEG23	ポートP0	入出力 ポート単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(1)
P10/SEG24 ~ P17/SEG31	ポートP1					
P20/KW0 ~ P27/KW7	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力(キーオンウェイク アップ)割り込み入力	PULLレジスタA 割り込み制御レジスタ2	(2)
P34/SEG12 ~ P37/SEG15	ポートP3	入力	CMOS入力レベル	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(3)

表7 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P40	ポートP4	入力	CMOS入力レベル	QzROMプログラマブル電源端子		(4)
P41/		入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	クロック出力 XCIN周波数信号出力	PULLレジスタB 出力制御レジスタ 周辺機能拡張レジスタ	(5)
P42/INT0, P43/INT1				外部割り込み入力	PULLレジスタB 割り込みエッジ選択 レジスタ	(2)
P44/RxD				シリアルI/O機能入出力	PULLレジスタB シリアルI/O制御レジスタ シリアルI/Oステータス レジスタ UART制御レジスタ 周辺機能拡張レジスタ	(6)
P45/TxD						(7)
P46/SCLK						(8)
P47/SRDY/SOUT						(9)
P50/INT2, P51/INT3				ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力
P52/RTP0, P53/RTP1	リアルタイムポート機能出力	PULLレジスタB タイマXモードレジスタ	(10)			
P54/CNTR0	タイマX機能入出力	PULLレジスタB タイマXモードレジスタ	(11)			
P55/CNTR1	タイマY機能入力	PULLレジスタB タイマYモードレジスタ	(12)			
P56/TOUT	タイマ2出力	PULLレジスタB タイマ123モード レジスタ	(13)			
P57/ADT	A/Dトリガ入力	PULLレジスタB AD制御レジスタ	(12)			
P60/AN0 ~ P67/AN7	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/D変換入力		(14)
P70/XCOUT P71/XCIN	ポートP7	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	サブクロック発生回路入出力	PULLレジスタA CPUモードレジスタ	(15) (16)
COM0 ~ COM3	コモン	出力	LCDコモン出力		LCDモードレジスタ	(17)
SEG0 ~ SEG11	セグメント	出力	LCDセグメント出力			(18)

注1. ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. 各端子の入力レベルが不安定な場合は入力段ゲートの貫通電源電流が流れ、特に低消費電流を期待する状態(STP, WIT命令実行中など)では、電源電流が増大することがあります。使用しない入力端子は、抵抗を介して' H 'または' L 'レベルに固定してください。

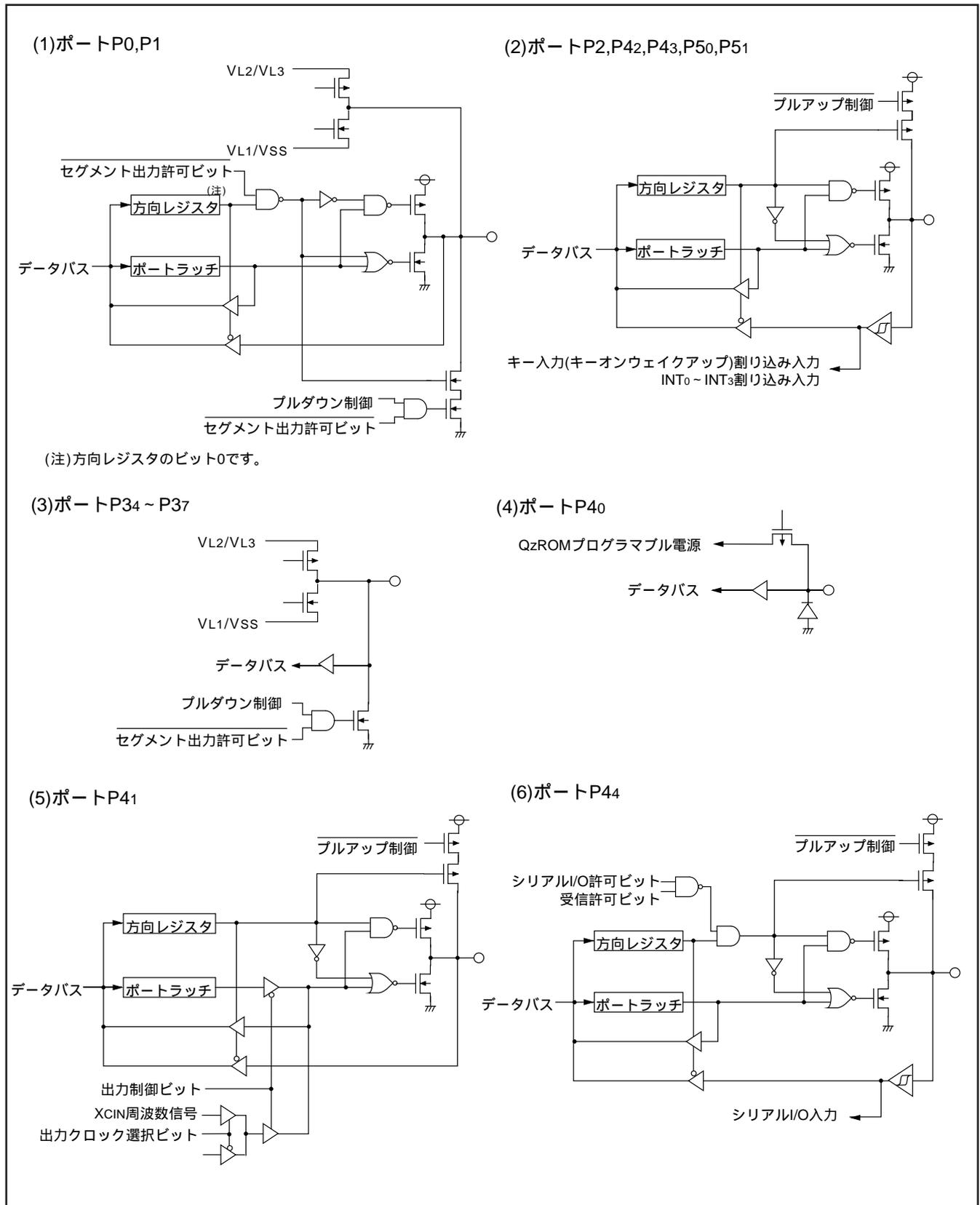


図13 . ポートのブロック図 (1)

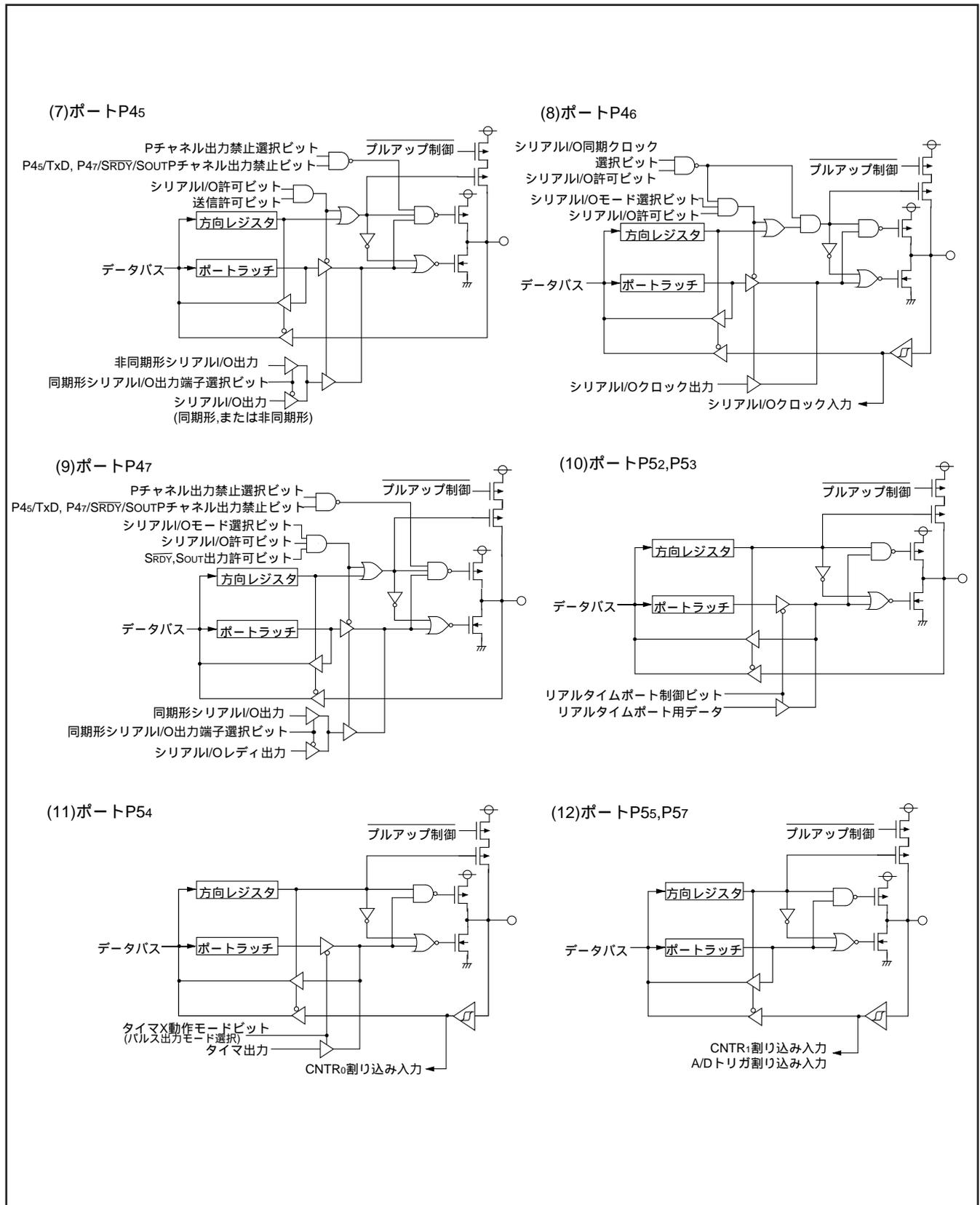


図14 . ポートのブロック図 (2)

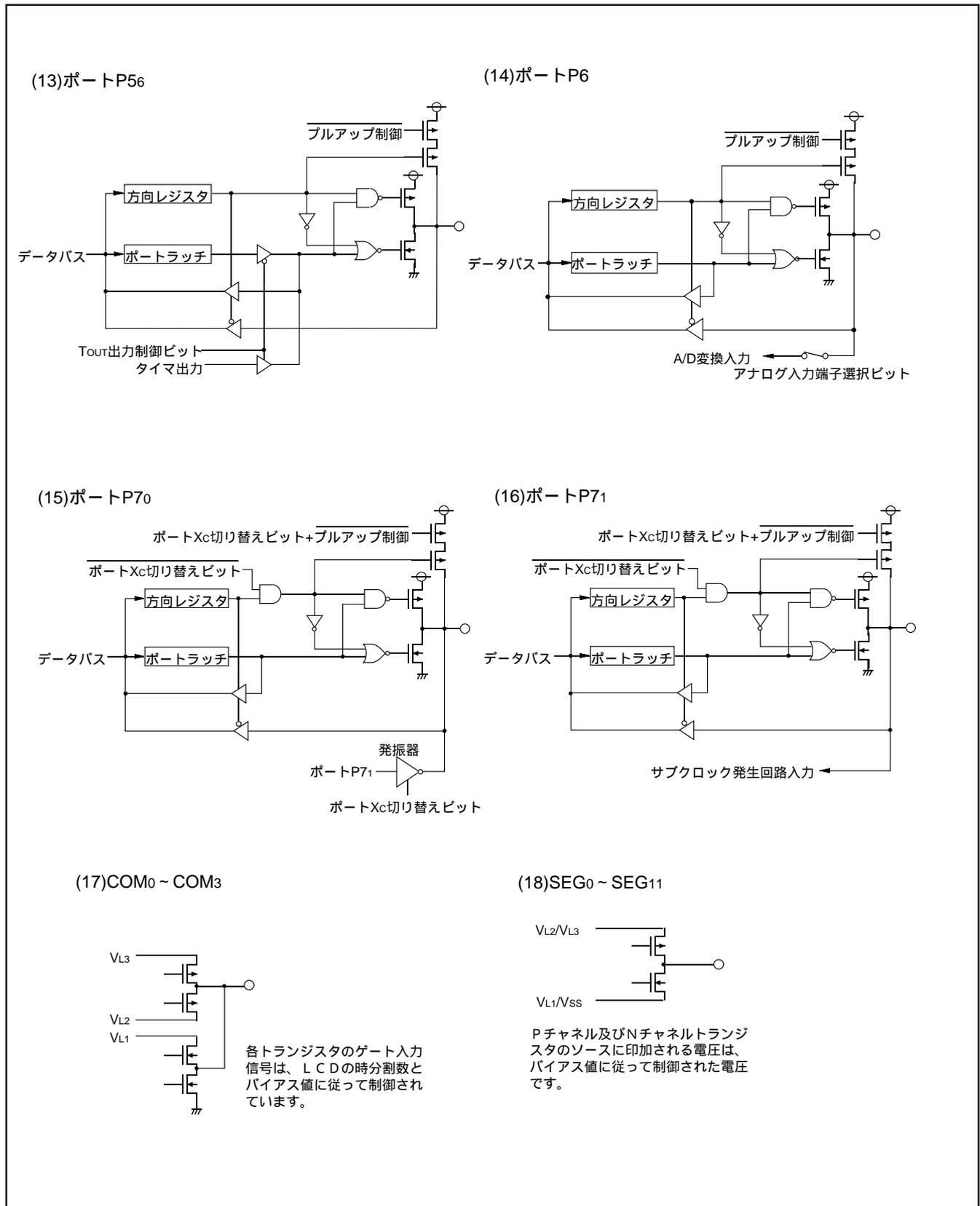


図15 . ポートのブロック図 (3)

未使用端子の処理方法

・一般的な端子の処理方法

入出力ポート: 入力ポート、又は出力ポートを選択し、それぞれの処理方法に従ってください。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)で、電源電流が増大することがありますので、プルアップ、又はプルダウンしてください(内蔵抵抗使用可)。P40(VPP)端子は、プルダウンしてください。入出力ポート、及び出力機能を持つ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(avg)}$ 又は $I_{OL(avg)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表8．使用しない端子の処理方法

端子名	処理方法1(推奨)	処理方法2	処理方法3
P00/SEG16 ~ P07/SEG23	入出力ポート	SEG出力を選択している場合は開放にしてください。	-
P10/SEG24 ~ P17/SEG31		KW機能選択時は入力ポートの処理を行ってください。	-
P20/KW0 ~ P27/KW7			-
P34/SEG12 ~ P37/SEG15	入力ポート	SEG出力を選択している場合は開放にしてください。	-
P40	入力ポート(プルダウ)	-	-
P41/	入出力ポート	出力を選択している場合は開放にしてください。	-
P42/INT0		INT0機能選択時は入力ポートの処理を行ってください。	-
P43/INT1		INT1機能選択時は入力ポートの処理を行ってください。	-
P44/RxD		RxD機能選択時は入力ポートの処理を行ってください。	-
P45/TxD		TxD機能選択時は出力ポートの処理を行ってください。	-
P46/SCLK		外部クロック入力を選択した場合は入力ポートの処理を行ってください。	内部クロック出力を選択した場合は出力ポートの処理を行ってください。
P47/SRDY/SOUT		SRDY機能選択時は出力ポートの処理を行ってください。	SOUT機能選択時は出力ポートの処理を行ってください。
P50/INT2		INT2機能選択時は入力ポートの処理を行ってください。	-
P51/INT3		INT3機能選択時は入力ポートの処理を行ってください。	-
P52/RTP0		RTP0機能選択時は出力ポートの処理を行ってください。	-
P53/RTP1		RTP1機能選択時は出力ポートの処理を行ってください。	-
P54/CNTR0		CNTR0入力機能選択時は入力ポートの処理を行ってください。	CNTR0出力機能選択時は出力ポートの処理を行ってください。
P55/CNTR1		CNTR1機能選択時は入力ポートの処理を行ってください。	-
P56/TOUT		TOUT機能選択時は出力ポートの処理を行ってください。	-
P57/ADT	ADT機能選択時は入力ポートの処理を行ってください。	-	
P60/AN0 ~ P67/AN7	-	AN機能選択時は開放可能です。(A/D変換結果は保証できません。)	-
P70/XCOUT P71/XCIN		XCIN-XCOUT発振機能をプログラムで選択しないでください。	-
VL3	Vss接続	-	-
VL2	Vss接続	-	-
VL1	Vss接続	-	-
COM0 ~ COM3	開放	-	-
SEG0 ~ SEG11	開放	-	-
AVSS	Vss接続	-	-
VREF	Vcc接続またはVss接続	-	-
XOUT	外部からクロック信号をXINに供給する場合は開放にしてください。	-	-

注．VL3、VL2、VL1は、LCDモードレジスタのbit3=0の場合です。

## 割り込み

3823グループの割り込みは、固定優先度方式のベクトル割り込みで、外部8要因、内部8要因、ソフトウェア1要因の17要因のうち16要因から割り込みを発生することが可能です。割り込み要因とベクトル番地(注1)の割り込みの優先順位を表9に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(1フラグ)によって割り込み要求の受付を制御できます。図16に割り込み制御図を示します。

次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- ・割り込み禁止フラグ..... “ 0 ”
- ・割り込み要求ビット..... “ 1 ”
- ・割り込み許可ビット..... “ 1 ”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表9 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O受信	4	FFF716	FFF616	シリアルI/Oデータ受信終了時	シリアルI/O選択時のみ有効
シリアルI/O送信	5	FFF516	FFF416	シリアルI/O送信シフト終了時又は送信バッファ空時	シリアルI/O選択時のみ有効
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
CNTR0	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマ1	12	FFE716	FFE616	タイマ1アンダフロー時	
INT2	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT3	14	FFE316	FFE216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キー入力(キーオンウェイクアップ)	15	FFE116	FFE016	ポートP2(入力時)入力レベルの論理積の立ち下がり時	外部割り込み(立ち下がり有効)
ADT	16	FFDF16	FFDE16	ADT入力の立ち下がり時	ADT割り込み選択時有効 外部割り込み(立ち下がり有効)
A/D変換				A/D変換終了時	A/D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

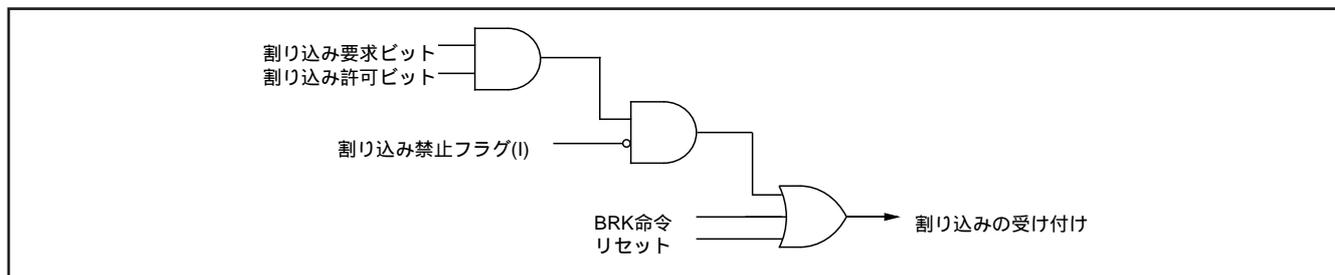


図16．割り込み制御図

#### 割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタを退避します。

その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

#### 割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

#### 割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

#### 割り込み要因選択

以下の割り込み要因は、AD制御レジスタの割り込み要因選択ビット(0034<sub>16</sub>番地のビット6)により、いずれかを選択することができます。

- ・ADTまたはA/D変換(表9参照)

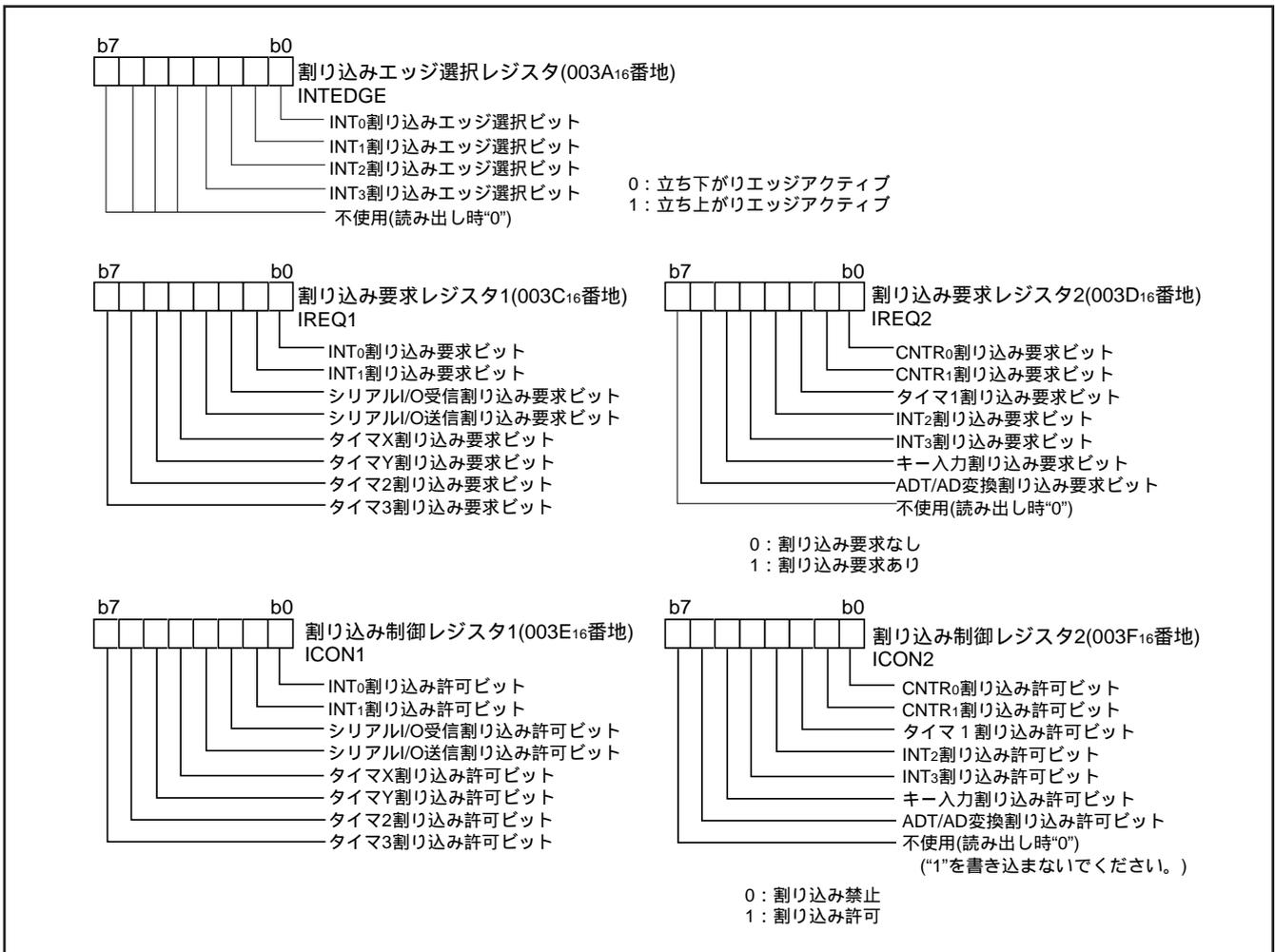


図17. 割り込み関係レジスタの構成

## 割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

## (i)割り込み要求の発生

各種の割り込み要因(外部割り込み信号入力、タイマのアンダフロー等)により割り込み要求が発生し、割り込み要求ビットが“1”になります。

## (ii)割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件(割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ)と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

## (iii)受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込み処理ルーチンを実行するまでの時間を図18、割り込みシーケンスを図19、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図20に示します。

## 割り込み処理実行

割り込み処理実行時、次の動作を自動的にを行います。

- (1) 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- (2) この時点のプログラムカウンタ及びプロセッサステータレジスタの内容を の順でスタック領域へ退避します。  
プログラムカウンタ上位(PCH)  
プログラムカウンタ下位(PCL)  
プロセッサステータレジスタ(PS)
- (3) 退避と同時に、対応する割り込みの飛び先番地(割り込みルーチンの先頭番地)を割り込みベクトルからプログラムカウンタへ転送します。
- (4) 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- (5) 割り込みルーチンを実行します。
- (6) RTI 命令を実行すると、スタック領域に退避していたレジスタの内容を の順に復帰し、割り込み処理前のルーチンを続けます。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定及び各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

## 注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際  
対象レジスタ: 割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)  
タイマXモードレジスタ(0027<sub>16</sub>番地)  
タイマYモードレジスタ(0028<sub>16</sub>番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

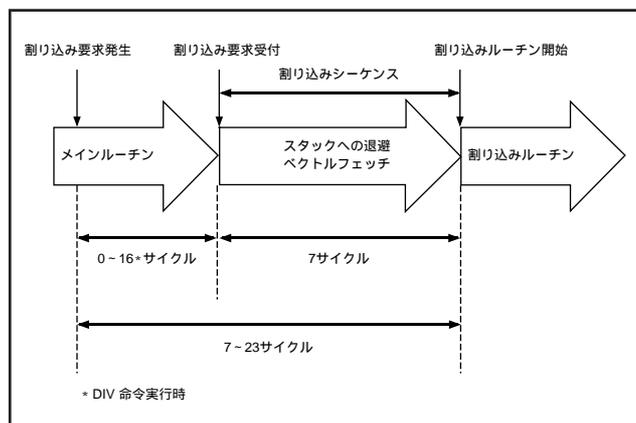


図18．割り込み処理ルーチンを実行するまでの時間

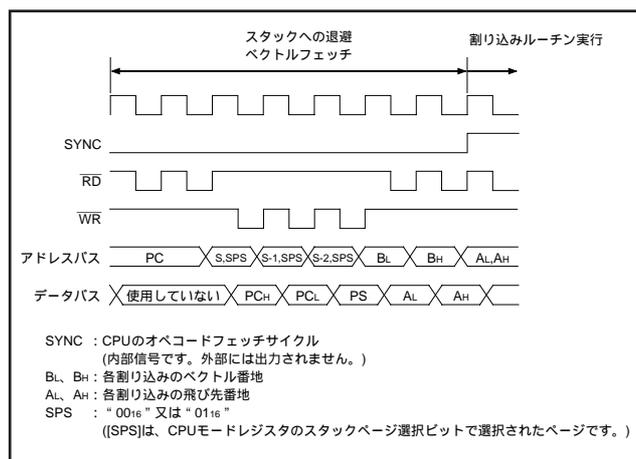


図19．割り込みシーケンス

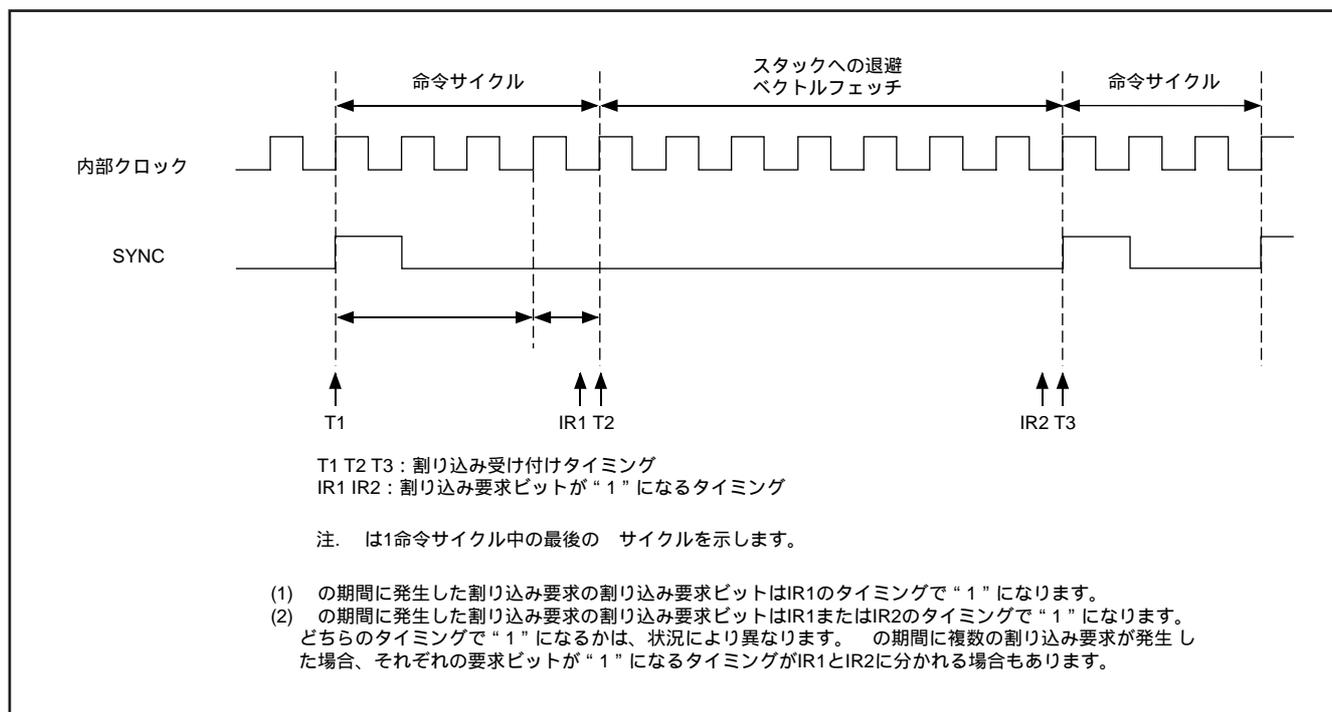


図20 . 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、ポートP2のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が「1」から「0」になると、キー入力割り込み要求が発生

生じます。図21はキー入力割り込みを用いた一例です。ポートP20～P23を入力とするアクティブ「L」のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

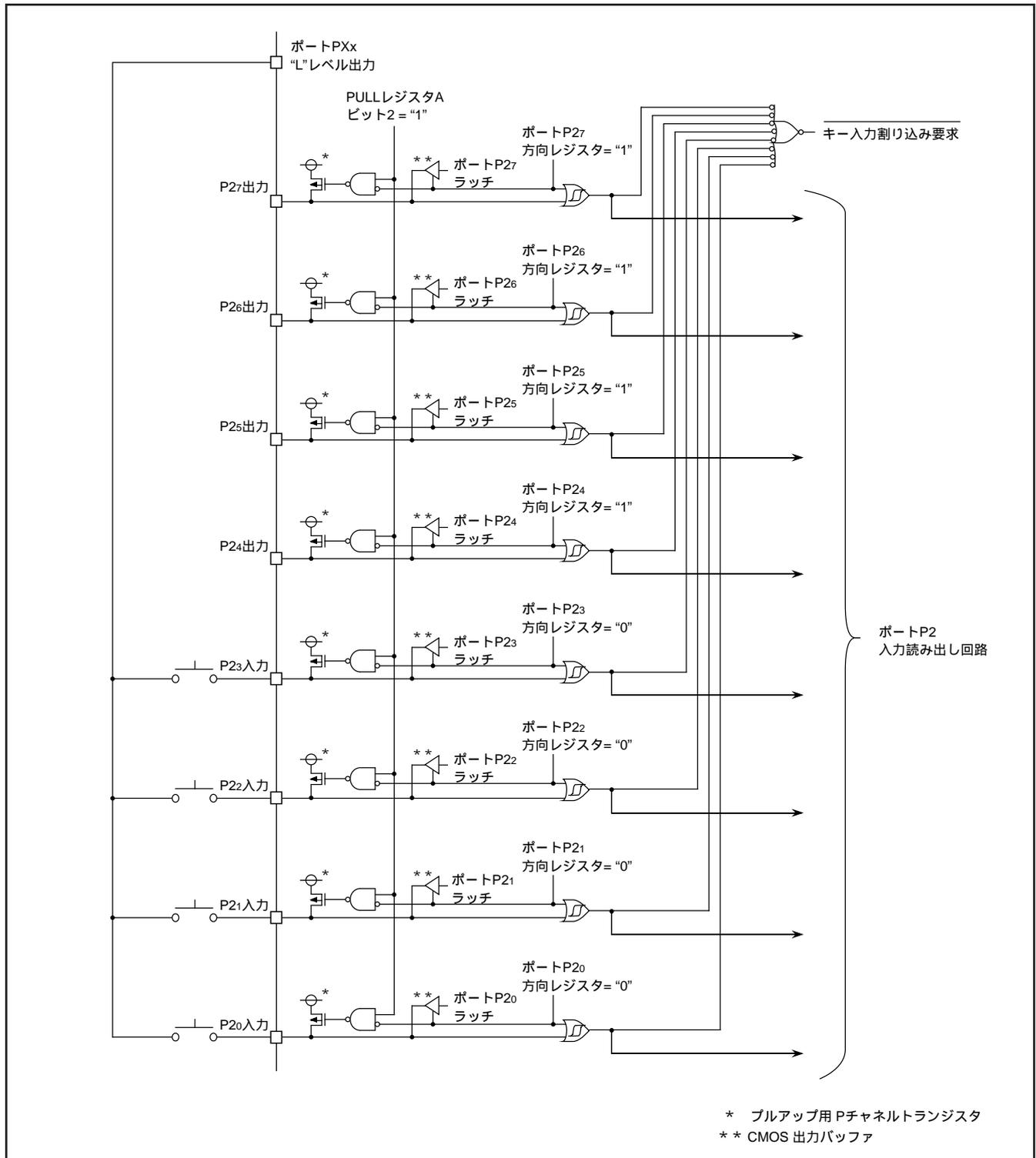


図21 . キー入力割り込み使用時の結線例とポートP2のブロック図

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が“0”になった次のカウントパルスでアンドフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンドフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

16ビットタイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。16ビットタイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、16ビットタイマは、書き込み操作中に読み出したリ、読み出し操作中に書き込みを行うと正常な動作を行いません。

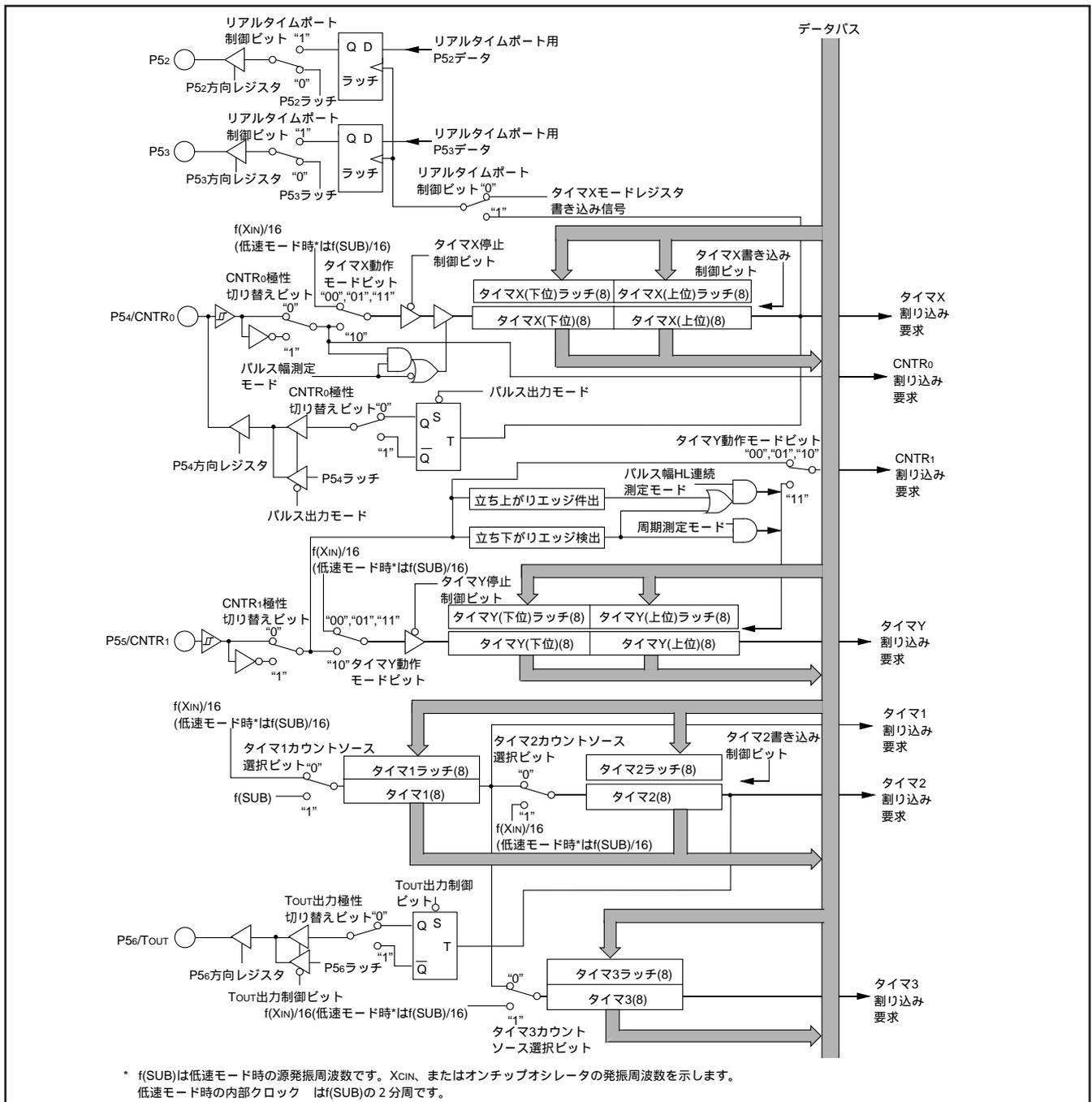


図22 . タイマのブロック図

タイマX

タイマXは16ビットタイマで、タイマXモードレジスタにより4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

(1) タイマモード

$f(XIN)/16$  (低速モード時は $f(SUB)/16$ )の周波数をカウントします。

$f(SUB)$ は低速モード時の源発振周波数です。XCIN、またはオンチップオシレータの発振周波数を示します。低速モード時の内部クロックは $f(SUB)$ の2分周です。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNTR0端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを出力に設定してください。

(3) イベントカウンタモード

CNTR0端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを入力に設定してください。

(4) パルス幅測定モード

カウントソースは $f(XIN)/16$  (低速モード時は  $f(SUB)/16$ )です。CNTR0極性切り替えビットが“0”の場合は、CNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

・タイマX書き込み制御

通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むと、タイマとタイマラッチに同時に値が設定されます。

タイマラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。

なお、タイマラッチのみ書き込む場合、タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチに同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに望ましくない値が設定されることがあります。

・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP52、P53から出力されます。(ただし、リアルタイムポート用データを設定した

後、リアルタイムポート制御ビットを“0”から“1”に変えたときには、タイマXの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマXのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

CNTR0割り込み極性切り替えについての注意

CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。

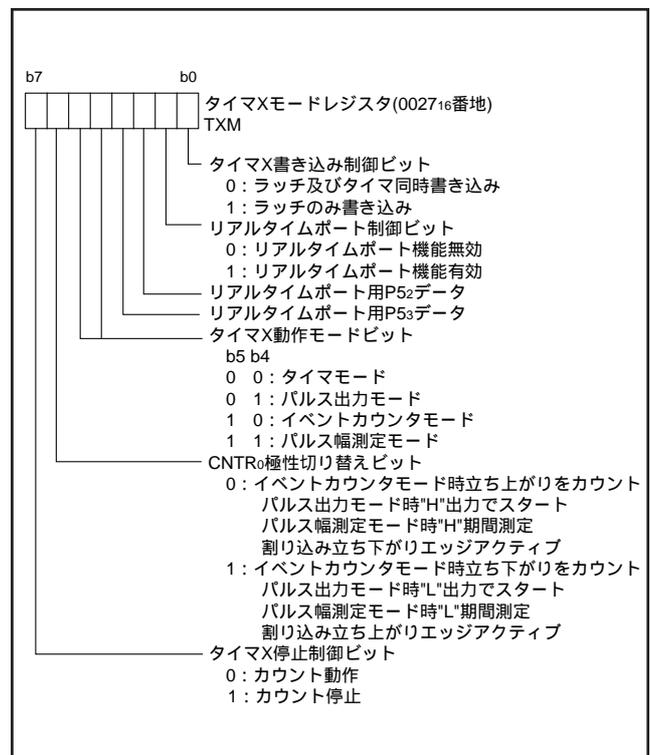


図23 . タイマXモードレジスタの構成

## タイマY

タイマYは16ビットタイマで、タイマYモードレジスタにより4つの動作モードを選択することができます。

### (1) タイマモード

$f(XIN)/16$  (低速モード時は $f(SUB)/16$ )の周波数をカウントします。

### (2) 周期測定モード

CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がりタイミングはCNTR<sub>1</sub>割り込みで知ることができます。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

### (3) イベントカウンタモード

CNTR<sub>1</sub>端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

### (4) パルス幅HL連続測定モード

CNTR<sub>1</sub>端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

#### CNTR<sub>1</sub>割り込み極性切り替えについての注意

CNTR<sub>1</sub>極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR<sub>1</sub>極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR<sub>1</sub>割り込み要求が生じます。

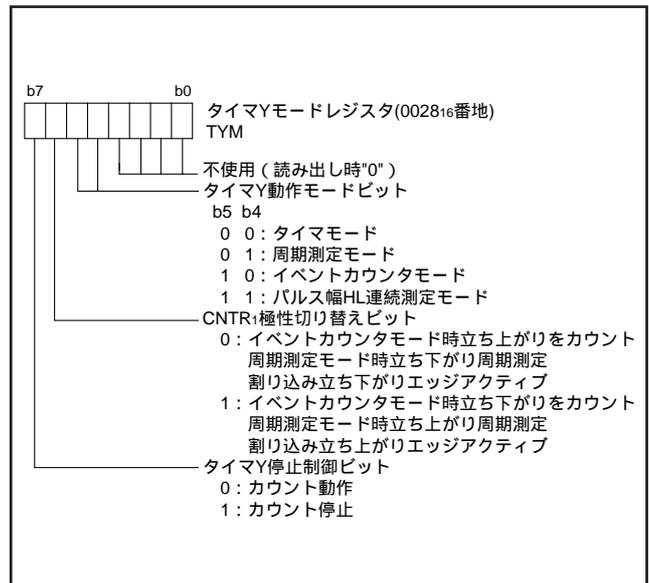


図24. タイマYモードレジスタの構成

### タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマで、タイマ123モードレジスタにより、カウントソースの選択などができます。

なお、カウントソースを切り替えるときにはタイマラッチの値は変化しませんが、タイマの値が不正になることがありますので再設定してください。

#### ・タイマ2書き込み制御

ラッチのみ書き込む場合、タイマのアドレスに値を書き込むとリロード用ラッチのみに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマのアドレスに値を書き込むとタイマとタイマラッチの両方に同時に値が設定されます。

#### ・タイマ2出力制御

タイマ $\chi$  (TOUT)出力許可にすると、タイマ2がアンダフローするたびに極性の反転する信号がTOUT端子から出力されます。この場合、TOUT端子と共用のポートを出力に設定してください。

#### タイマ1～タイマ3使用上の注意

タイマ1～タイマ3のカウントソースを切り替えるとき、カウント入りに細かいパルスが生じてタイマのカウント値が大きく変わることがあります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細かいパルスが生じて、タイマ2又はタイマ3のカウント値が大きく変わることがあります。

したがって、タイマ1～タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

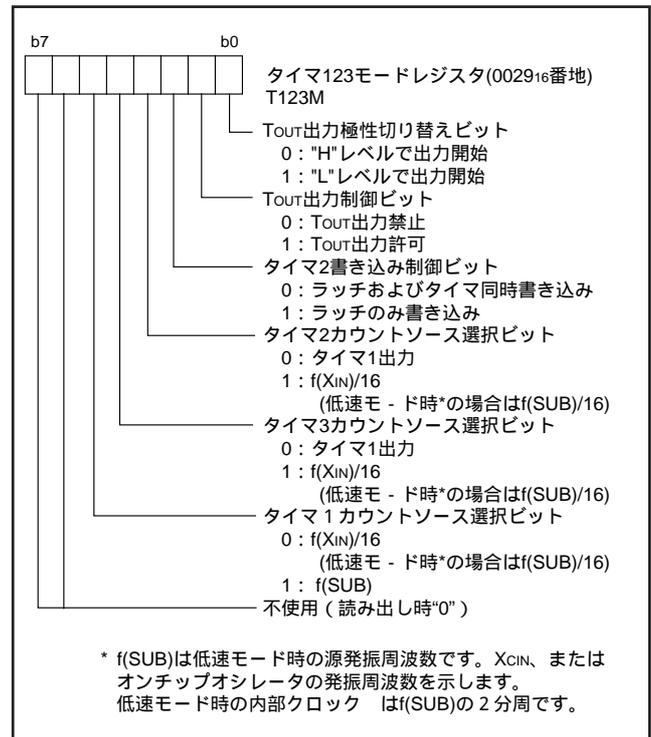


図25 . タイマ123モードレジスタの構成

シリアルインタフェース  
シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1)クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを“1”にすることで、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

周辺機能拡張レジスタのビット0を“1”にすることで転送方向をMSBファースト転送にすることができます。また周辺機能拡張レジスタのビット1を“1”にすると、同期シリアルI/O出力がP47/SRDY/SOUT端子に切り替ります。

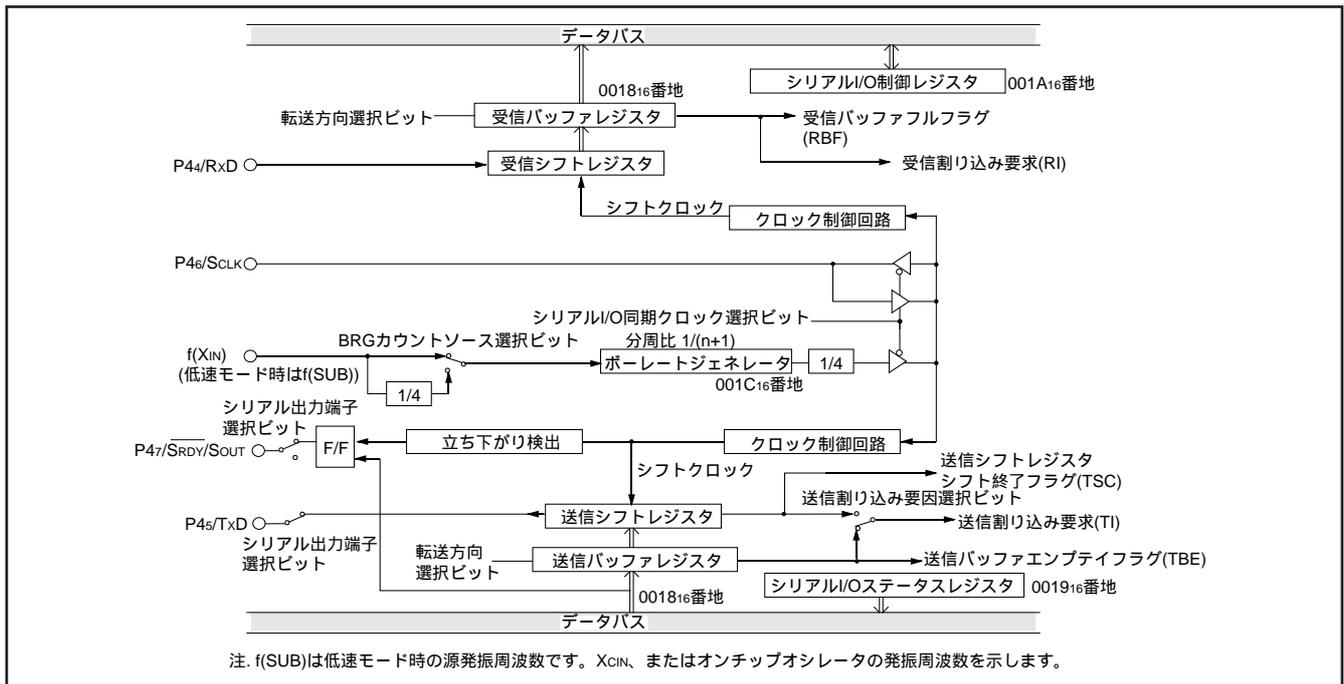


図26. クロック同期形シリアルI/Oのブロック図

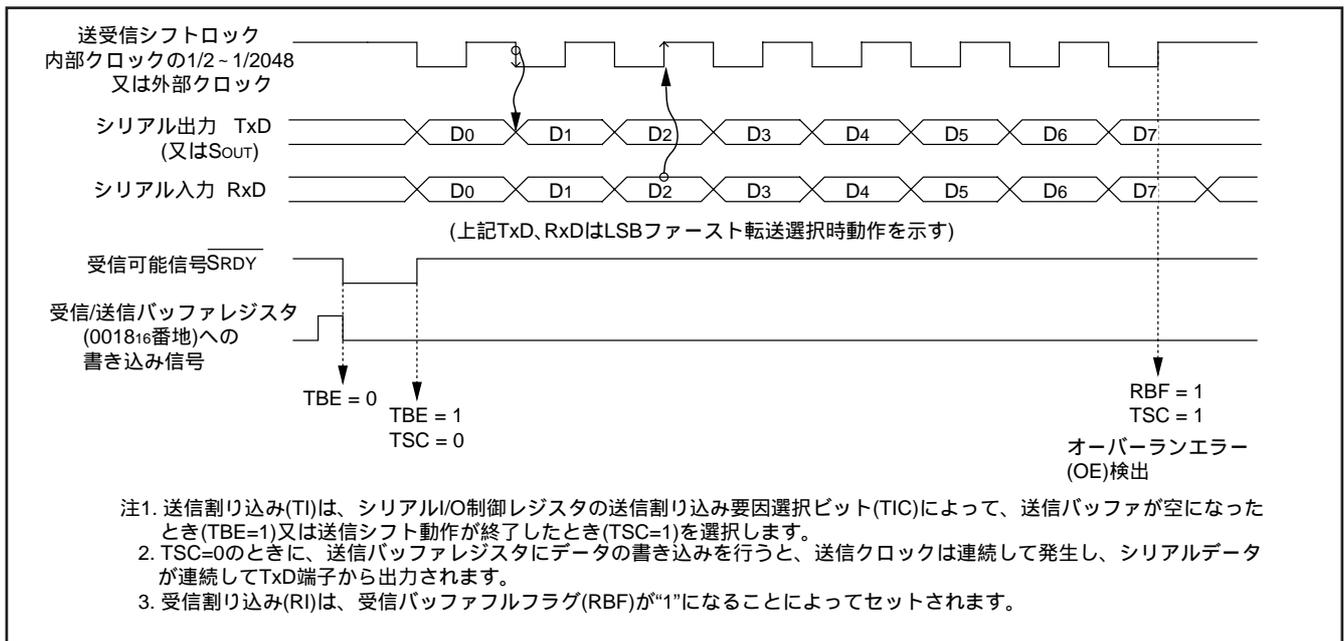


図27. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのモード選択ビットを0<sup>1</sup>にすることによってUARTが選択されます。

3823グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3823グループはシリアルデータの送信、受信を行う送信シフトレ

ジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

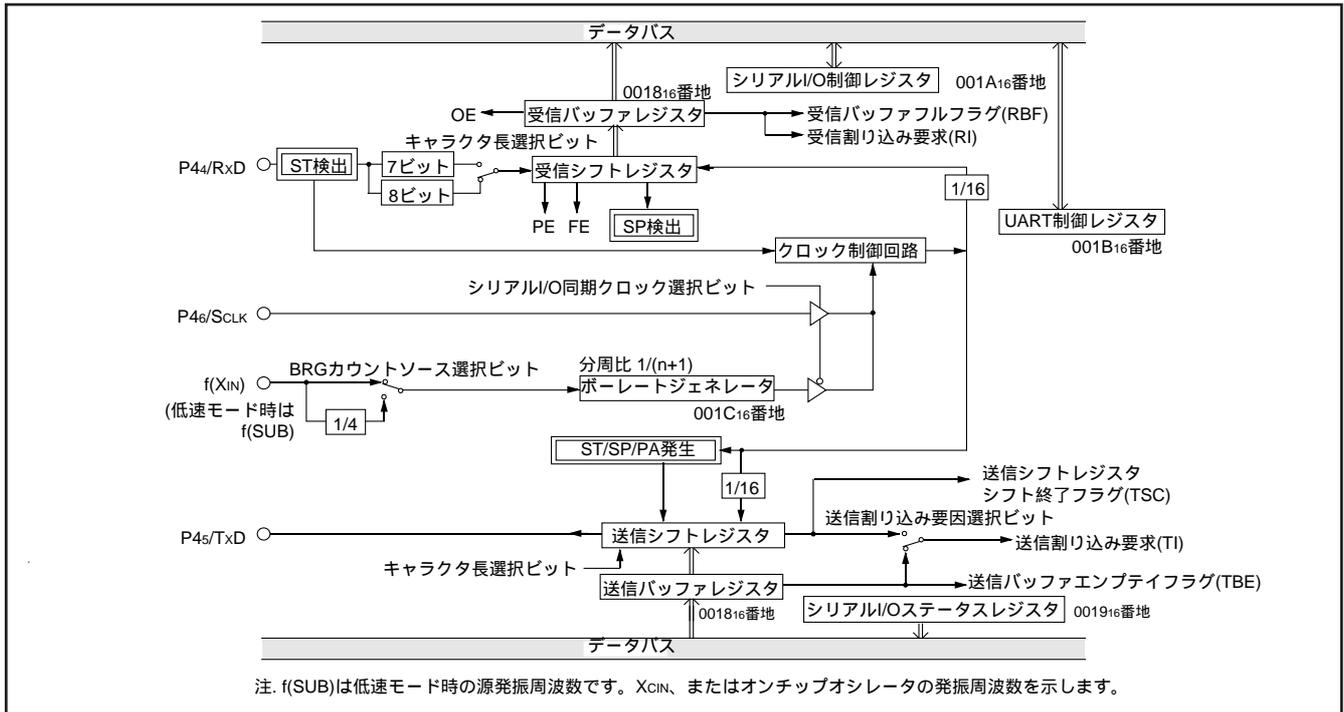


図28 . UART形シリアルI/Oのブロック図

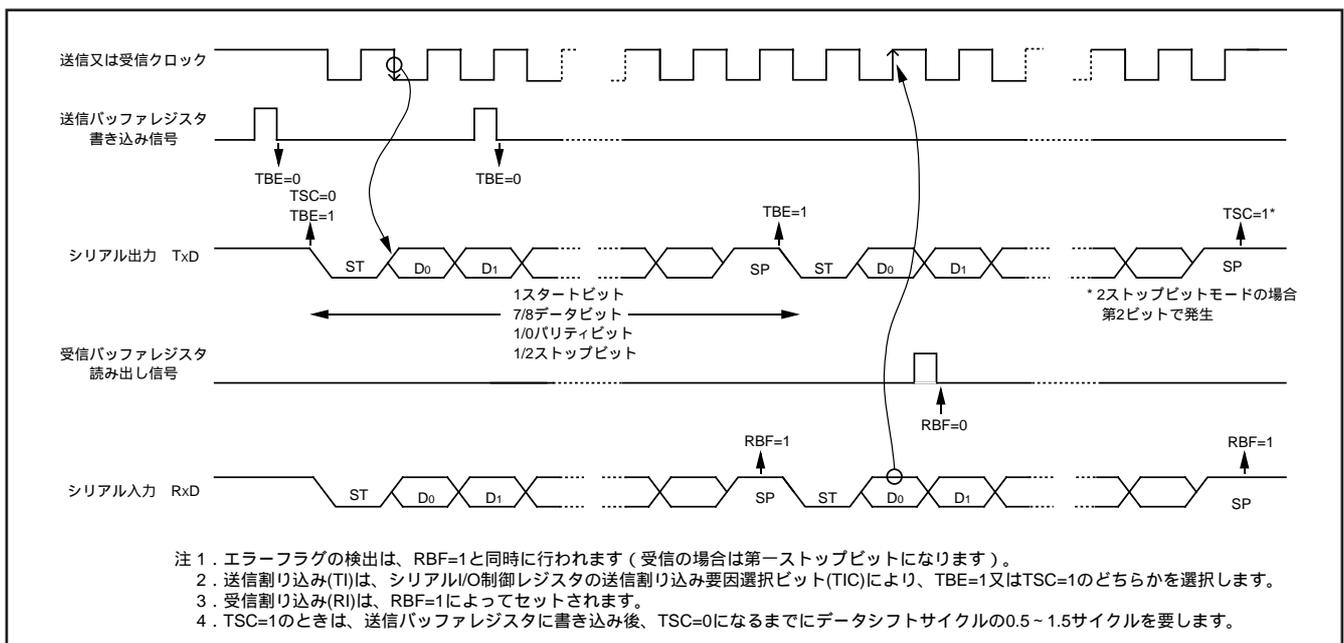


図29 . UART形シリアルI/O動作図

(3) 同期/非同期交互送信モード

周辺機能拡張レジスタの同期シリアルI/O出力端子選択ビットを'1'にし、シリアルI/O制御レジスタの送信許可ビットを'1'することによって、同期/非同期交互送信モードに選択されます。

同期シリアルI/O出力端子選択ビットを'1'にする場合は必ず、シリアルI/Oモード選択ビットが'0'の時に行ってください。

本モードでは連続して送信する事はできません。送信シフトレジスタが'1'である事を確認してからシリアルI/Oモード選択ビットを

変更した後に送信バッファレジスタへの書き込みを行なってください。クロック同期形シリアルI/O選択時の $\overline{\text{SRDY}}$ 出力機能は使用できません。また、転送クロックに内部クロックを使用する場合(シリアルI/O同期クロック選択ビットが'0')はP46端子を'H'出力にしてください。

その他動作については、クロック同期形シリアルI/Oモード、非同期形シリアルI/Oモード(UART)と同じです。

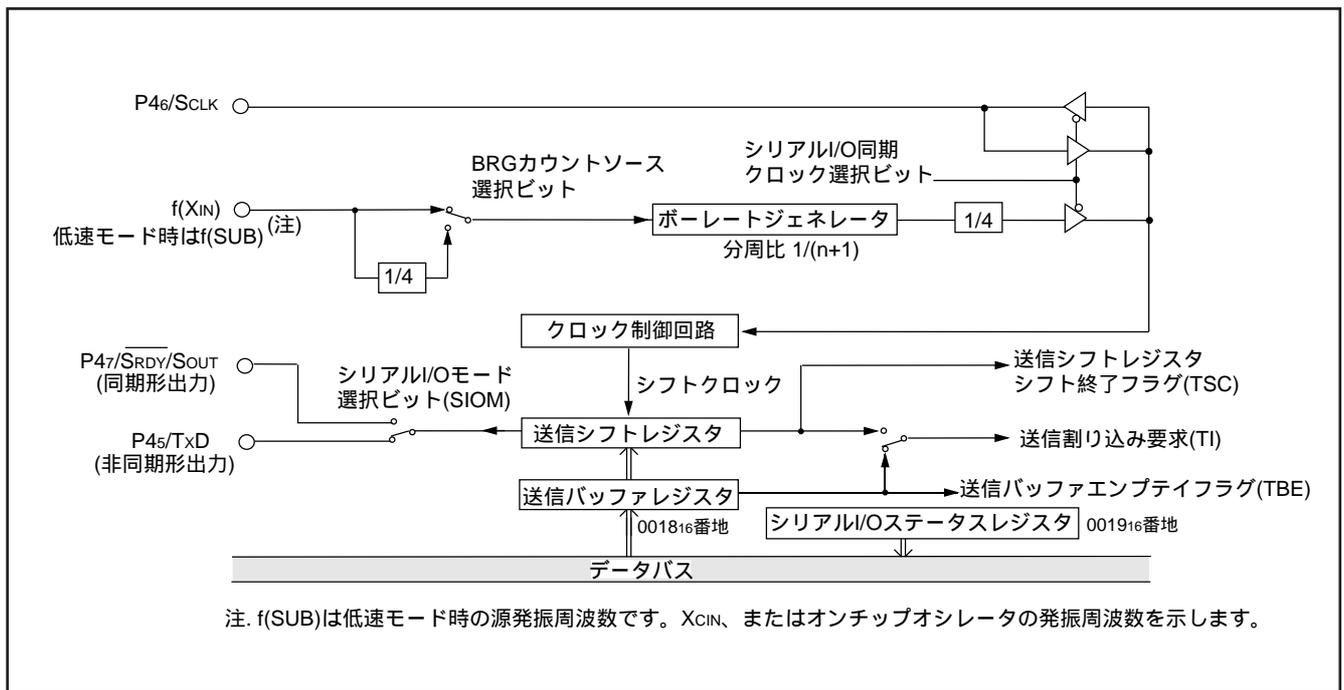


図30 . 同期/非同期交互送信のブロック図

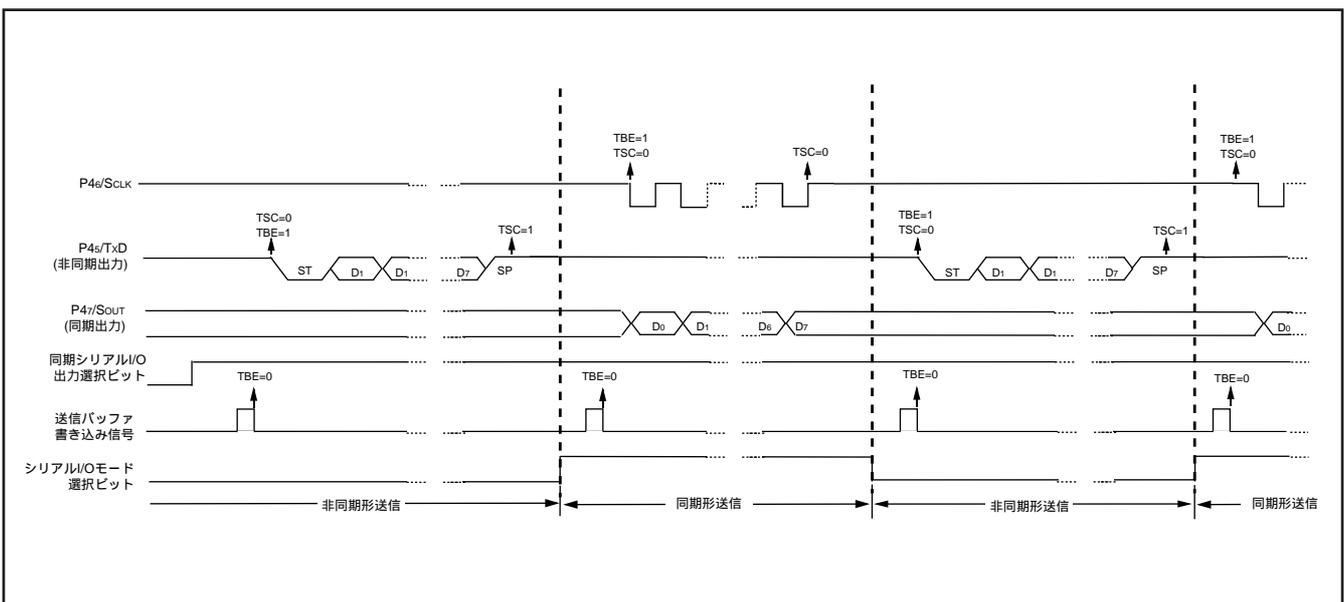


図31 . 同期/非同期交互送信動作図

**【送信バッファレジスタ/受信バッファレジスタ】 TB/RB**

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

**【シリアルI/Oステータスレジスタ】 SIOSTS**

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

**【シリアルI/O制御レジスタ】 SIOCON**

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

**【UART制御レジスタ】 UARTCON**

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

**【ボーレートジェネレータ】 BRG**

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

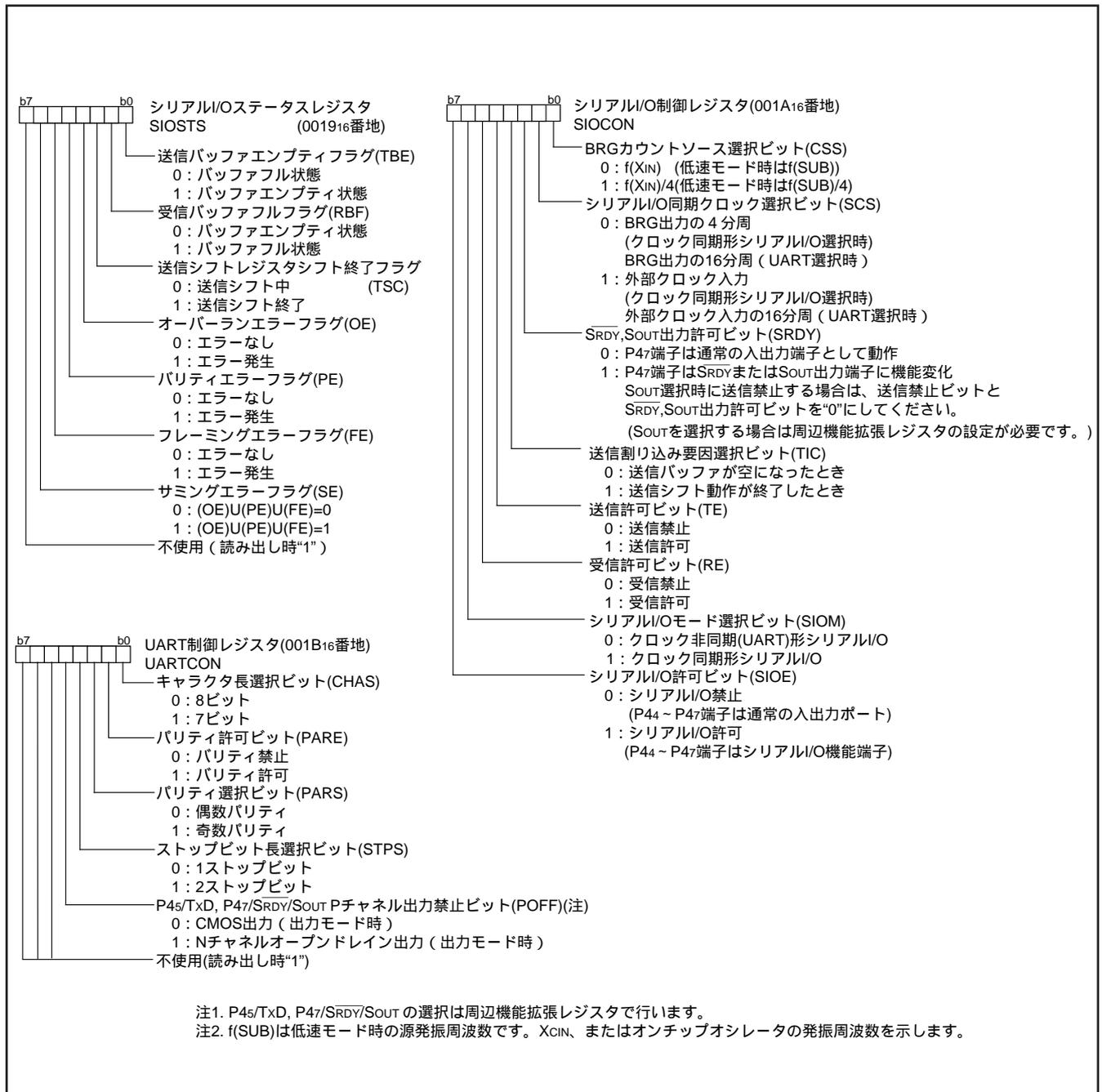


図32 . シリアルI/O関係レジスタの構成

### ■注意事項

シリアルI/Oの送信許可ビットを'1'にしたとき、シリアルI/O送信割り込み要求ビットが'1'になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1)シリアルI/O送信割り込み許可ビットを'0' (禁止)にする。
- (2)送信許可ビットを'1'にする。
- (3)一命令以上おいてから、シリアルI/O送信割り込み要求ビットを'0'にする。
- (4)シリアルI/O送信割り込み許可ビットを'1' (許可)にする。

A/Dコンバータ

【AD変換レジスタ】 ADH,ADL

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中に、このレジスタを読むと、前回の変換結果が読まれます。変換結果は上位8ビットがAD変換上位レジスタ(0035<sub>16</sub>番地)に、下位2ビットがAD変換下位レジスタ(0036<sub>16</sub>番地)のビット7及びビット6に格納されます。

AD変換下位レジスタのビット0は、変換モード選択ビットです。このビットを“0”にすると8ビットA/Dモード、“1”にすると10ビットA/Dモードになります。

【AD制御レジスタ】 ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書くと、A/D変換が開始されます。ビット4はVREF入力スイッチビットで、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御します。このビットを“1”にすると、常に抵抗ラダーはVREFに接続されます。“0”にすると、A/D変換中以外、抵抗ラダーはVREFから切り離されます。ビット5はAD外部トリガ有効ビットで、このビットを“1”にすると、ADT入力の立ち下がりでもA/D変換を開始します。A/D外部トリガを使用する場合は、P57/ADT端子を入力モード(ポートP5方向レジスタのビット7を“0”)にしてください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP60/AN0～P67/AN7のうち1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、中、高速モードでA/D変換を行う場合はf(XIN)を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モード(オンチップオシレータ選択時)では、内蔵のオンチップオシレータを用いてA/D変換を行いますので、f(XIN)に下限周波数の制限はありません。

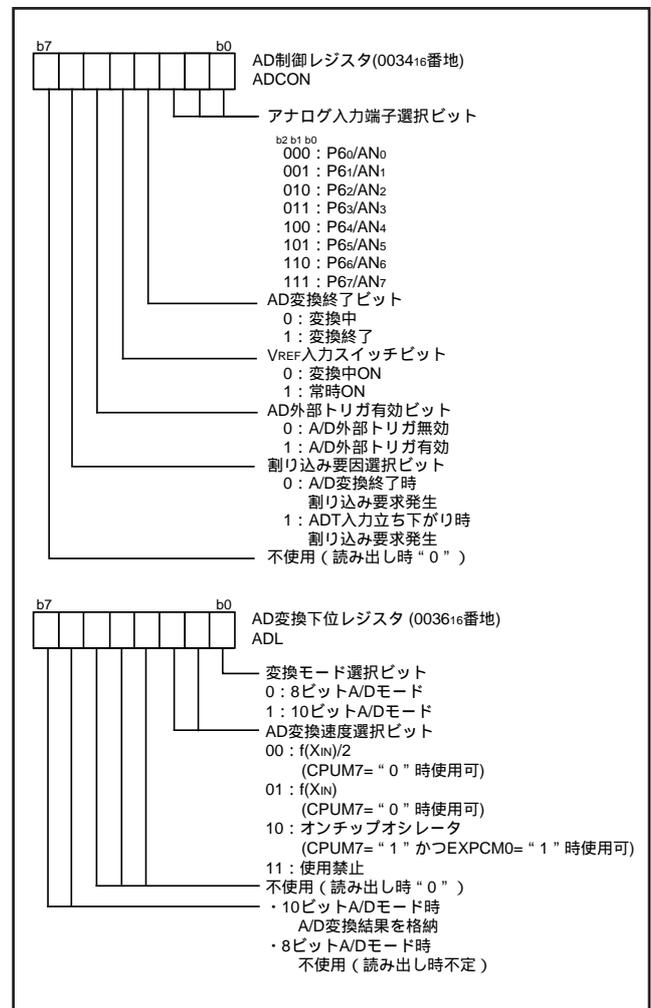
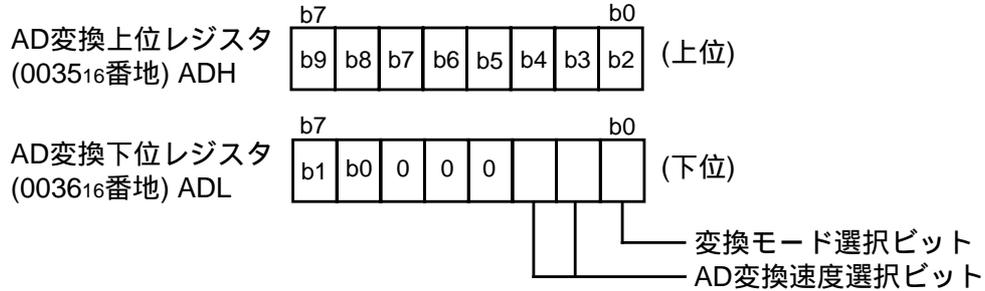


図33. A/D変換関係レジスタの構成

- ・ 10ビット読み出し(0035<sub>16</sub>番地、0036<sub>16</sub>番地の順で読み出してください。)



注 . 0036<sub>16</sub>番地の5、4、3ビットは読み出し時は“0”になります。

- ・ 8ビット読み出し(0035<sub>16</sub>番地のみ読み出してください。)

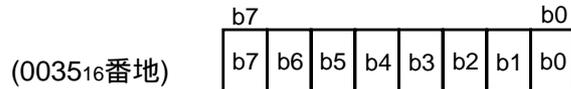


図34 . AD変換レジスタの読み出し

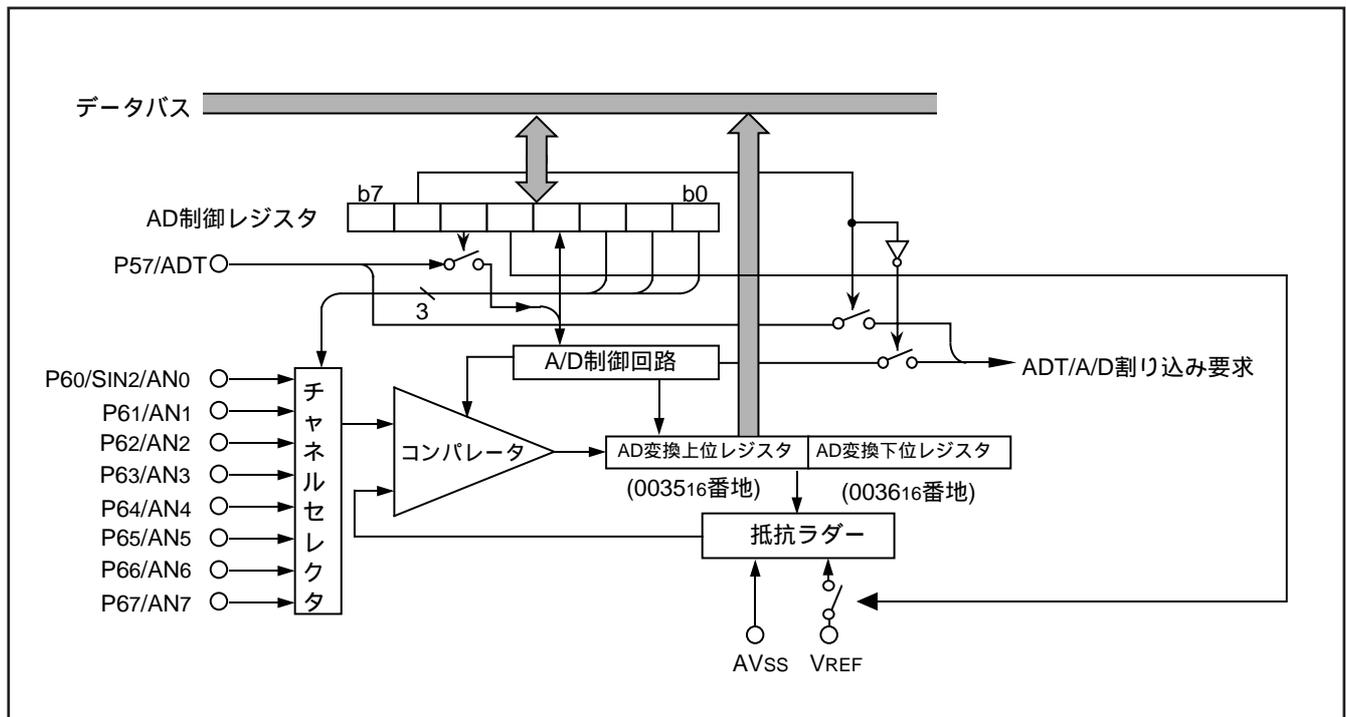


図35 . A/Dコンバータブロック図

## LCD駆動制御回路

3823グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力許可レジスタ
- ・LCDモードレジスタ
- ・セレクト
- ・タイミングコントローラ
- ・コマンドドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大32本、コモン出力は最大4本使用でき、最大128画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表10．各時分割時の最大表示素子数

時分割数	最大表示素子数
2	64ドット又は8セグメントLCD8桁
3	96ドット又は8セグメントLCD12桁
4	128ドット又は8セグメントLCD16桁

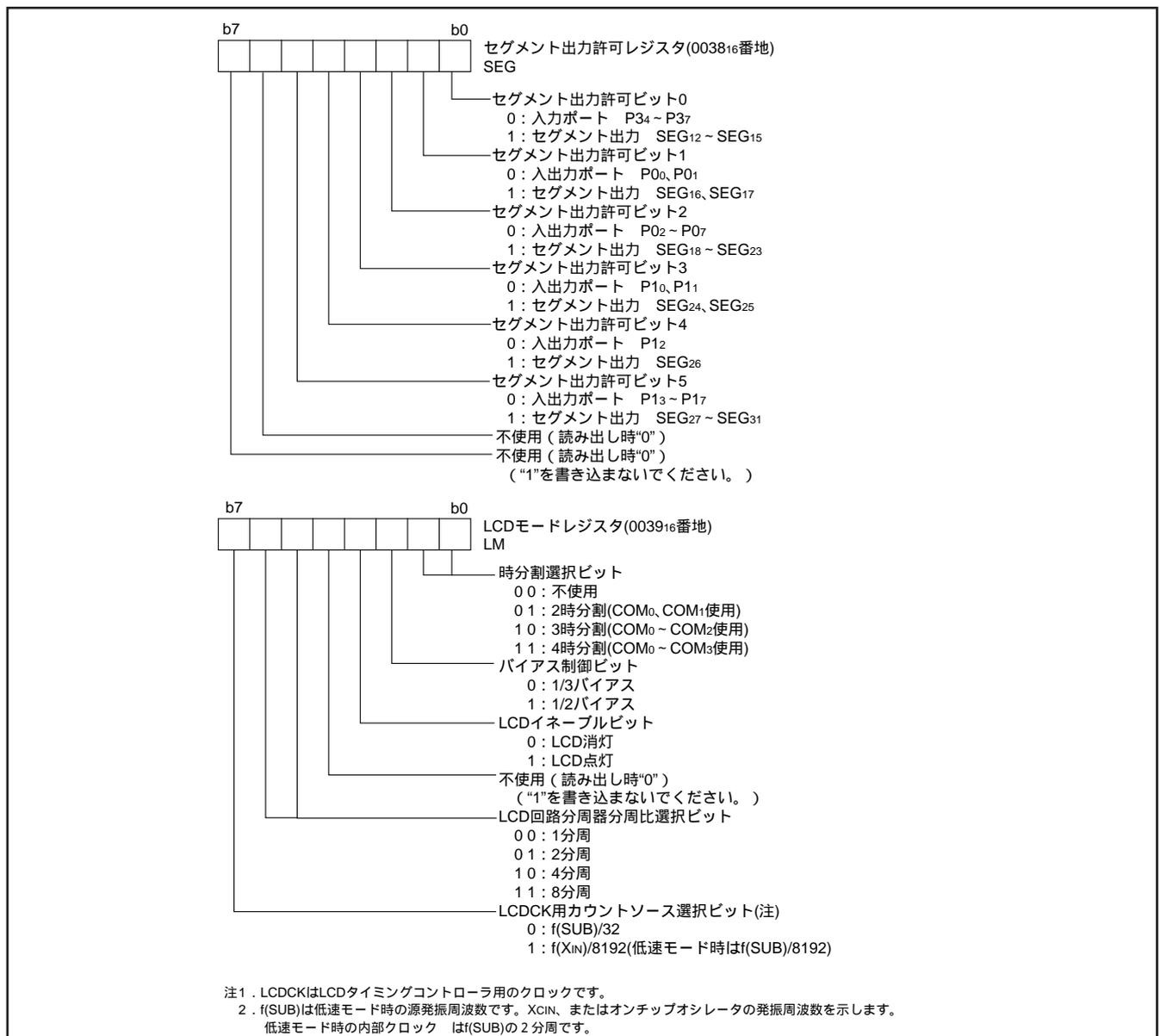


図36．LCD関係レジスタの構成

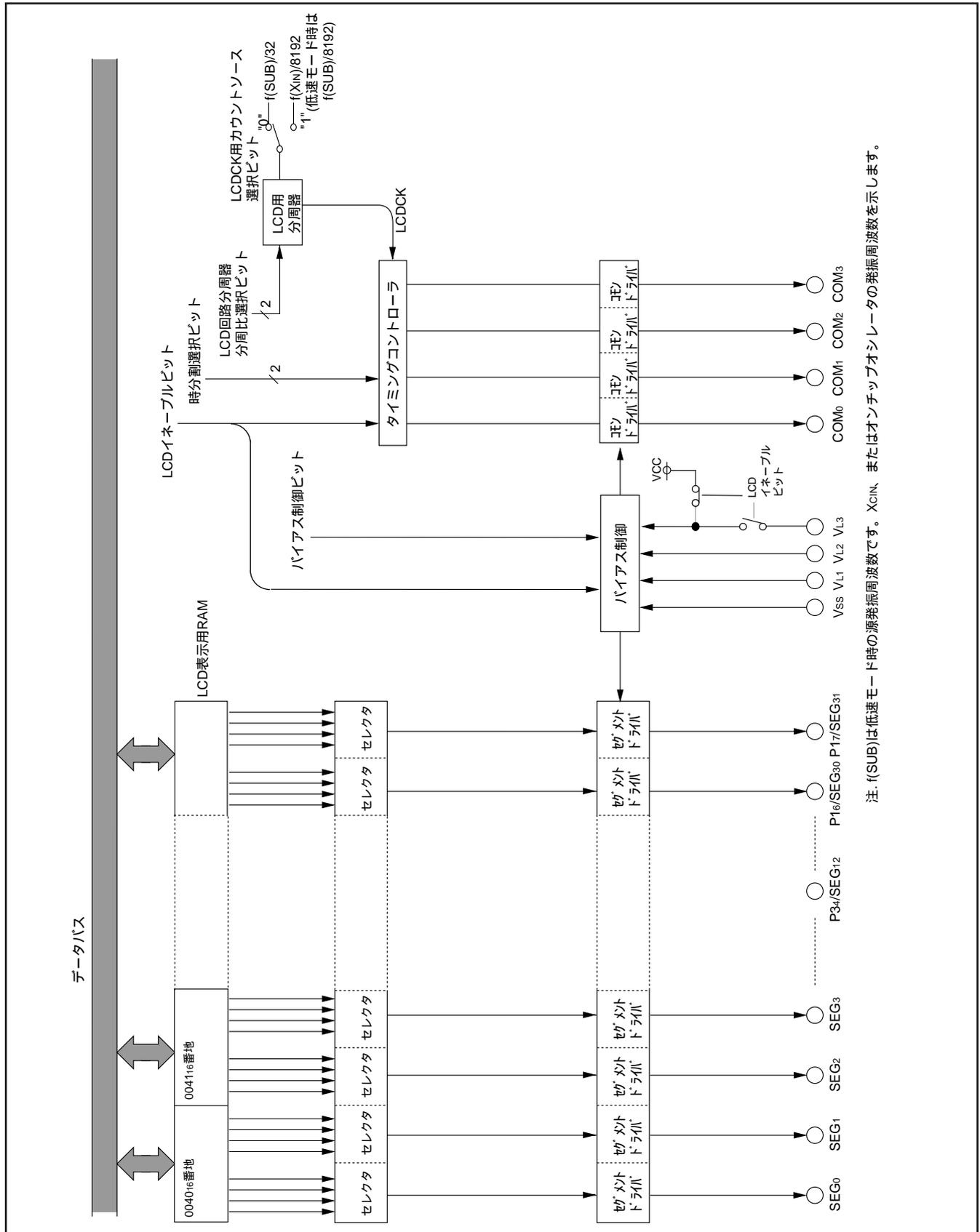


図37. LCDコントローラ/ドライバのブロック図

●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1~VL3)には、バイアス値に従って、電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

●コモン端子と時分割制御

コモン端子(COM1~COM3)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1)で選択してください。

表11. バイアス制御とVL1~VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注 VLCDはLCDパネルへの供給電圧の最大値

表12. 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM0, COM1 (注1)
3	1	0	COM0 - COM2 (注2)
4	1	1	COM0 - COM3

注1 .COM2, COM3は開放

2 .COM3は開放

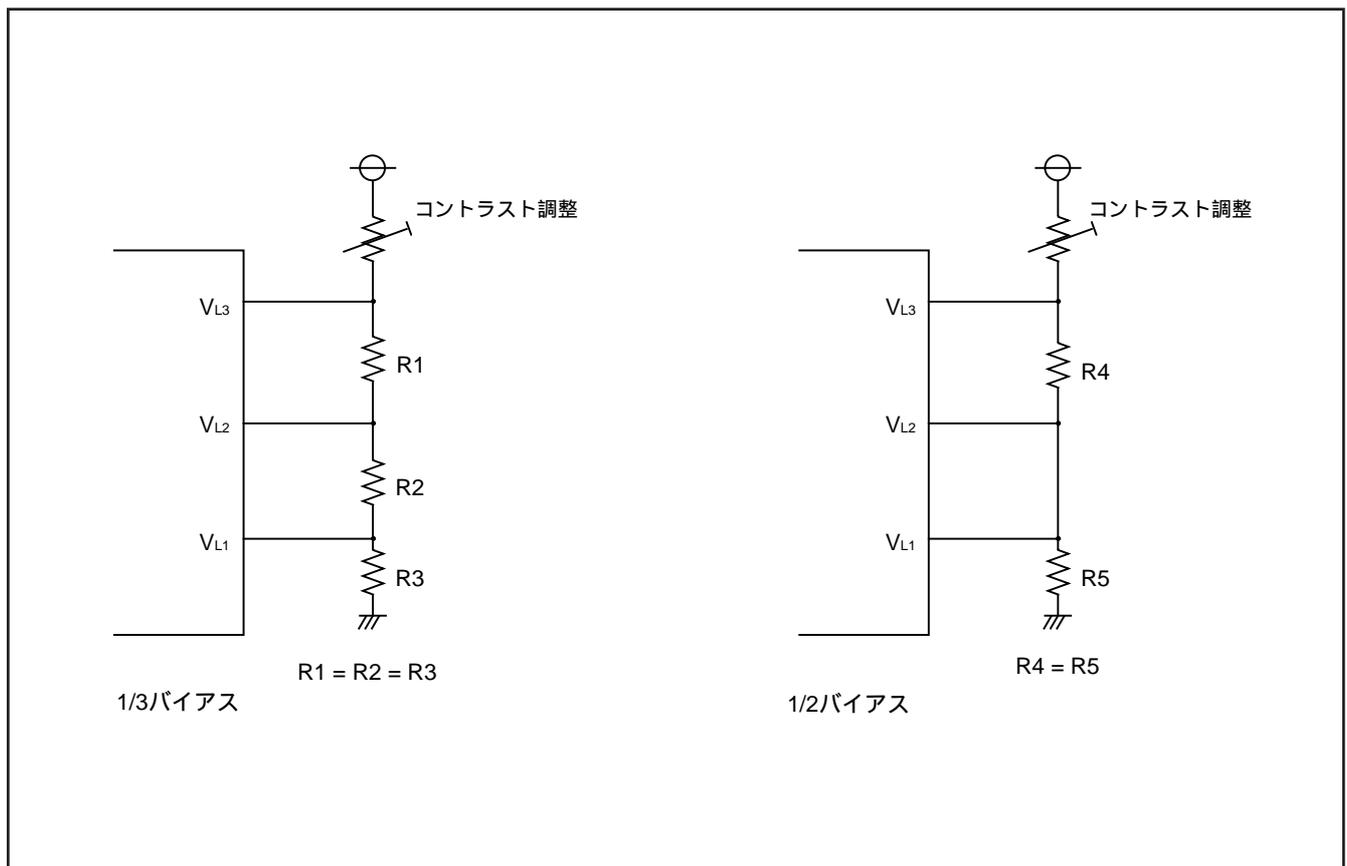


図38.各バイアス時の回路例

## ●LCD表示用RAM

0040<sub>16</sub>番地から004F<sub>16</sub>番地までの16バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

## ●LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

ビット アドレス	7	6	5	4	3	2	1	0
0040 <sub>16</sub>	SEG1				SEG0			
0041 <sub>16</sub>	SEG3				SEG2			
0042 <sub>16</sub>	SEG5				SEG4			
0043 <sub>16</sub>	SEG7				SEG6			
0044 <sub>16</sub>	SEG9				SEG8			
0045 <sub>16</sub>	SEG11				SEG10			
0046 <sub>16</sub>	SEG13				SEG12			
0047 <sub>16</sub>	SEG15				SEG14			
0048 <sub>16</sub>	SEG17				SEG16			
0049 <sub>16</sub>	SEG19				SEG18			
004A <sub>16</sub>	SEG21				SEG20			
004B <sub>16</sub>	SEG23				SEG22			
004C <sub>16</sub>	SEG25				SEG24			
004D <sub>16</sub>	SEG27				SEG26			
004E <sub>16</sub>	SEG29				SEG28			
004F <sub>16</sub>	SEG31				SEG30			
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図39 . LCD表示用RAMマップ

## ●STP命令実行について

STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ(39<sub>16</sub>番地)のビット3)が“0”になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビット(LCDモードレジスタ(39<sub>16</sub>番地)のビット3)を“1”に設定してください。

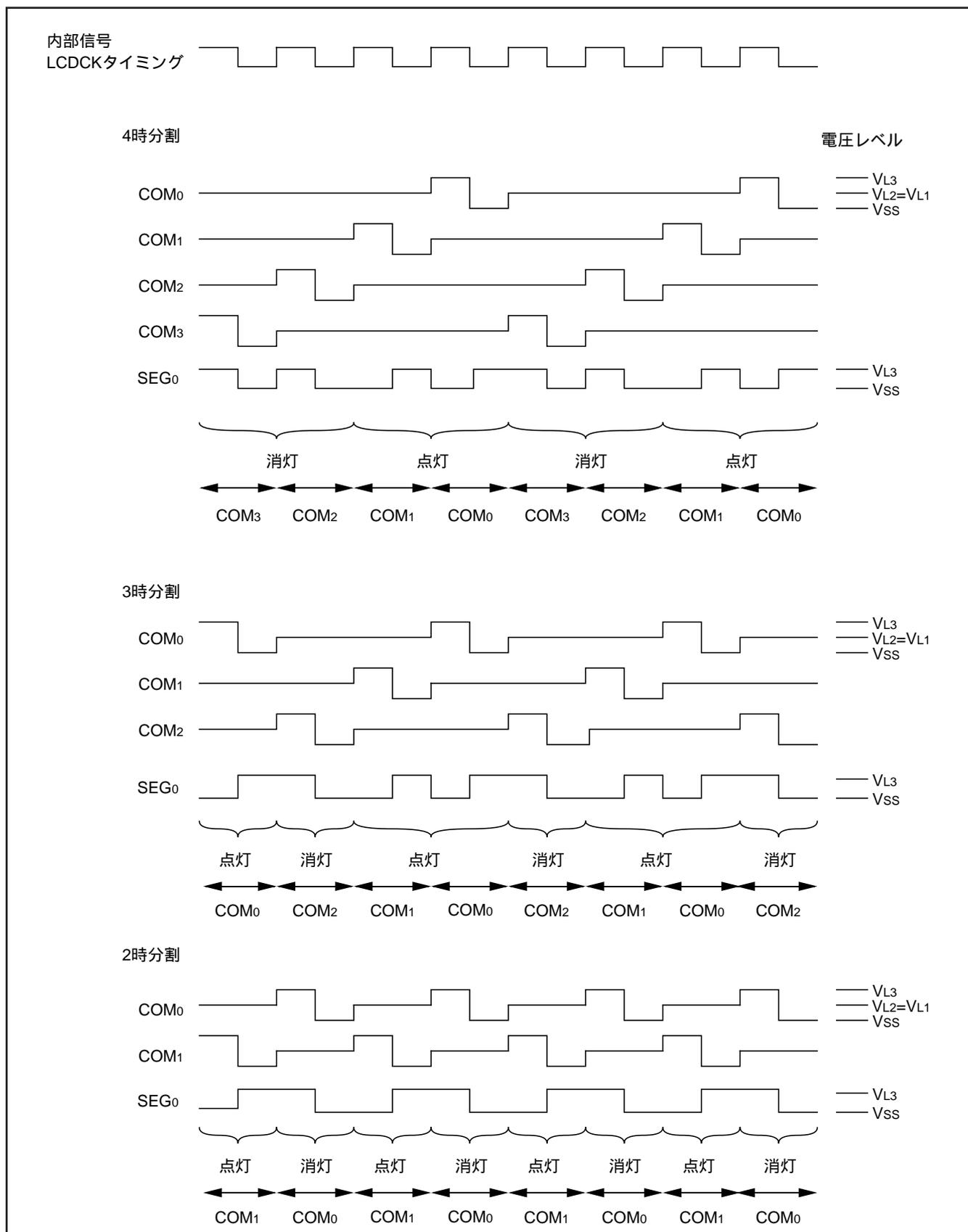


図40 . LCD駆動波形 (1/2バイアスの場合)

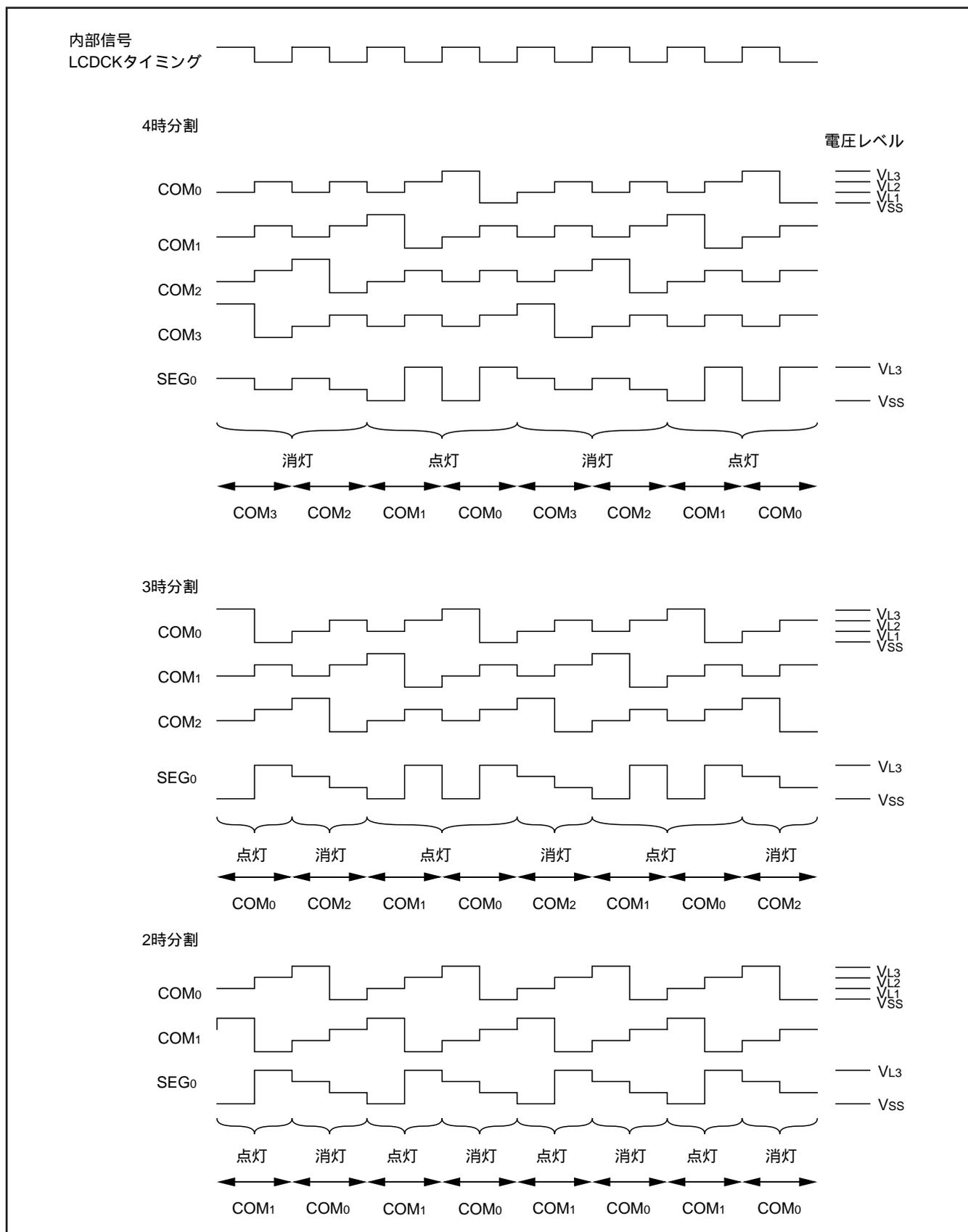


図41 . LCD駆動波形 (1/3バイアスの場合)

ROM訂正機能

ROM内のプログラムの一部を訂正することができます。  
訂正したい部分の先頭アドレス(先頭命令のオペコードのアドレス)をROM訂正アドレス上位レジスタ、下位レジスタに設定します。訂正プログラムをROM訂正用RAMに格納します。

プログラム実行時、プログラムカウンタの値がROM訂正アドレスレジスタに設定した値と一致すると、ROM訂正用RAMの先頭番地に分岐し、訂正プログラムを実行します。訂正プログラムからメインプログラムへの復帰には、JMP命令(3バイト命令)を使用してください。

訂正できる部分は2箇所までで、ROM訂正用RAMは2ブロックあります。

ブロック1:0A00<sub>16</sub>番地

ブロック2:0A20<sub>16</sub>番地

ROM訂正機能はROM訂正許可レジスタによって制御されます。

ROM訂正機能を使用しない場合、ROM訂正用RAMは、通常のRAMとして使用できます。通常のRAMとして使用する場合は、必ずROM訂正許可レジスタのビット1、0を“0”(使用禁止)にしてください。

- 注1. ROM訂正機能を使用する場合は必ず、ROM訂正アドレスレジスタを設定後にROM訂正許可レジスタを許可にしてください。
- ROM訂正アドレスレジスタにはROM領域以外のアドレスを設定しないでください。また、ROM訂正アドレス1レジスタ、ROM訂正アドレス2レジスタには、同一のアドレスを設定しないでください。
  - あらかじめ、外付けEPROM等からROM訂正用RAMに訂正プログラムを転送する処理をプログラムにしておく必要があります。

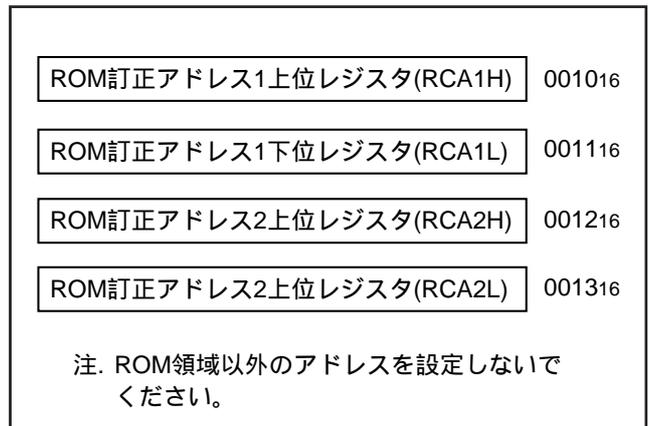


図42 . ROM訂正アドレスレジスタ

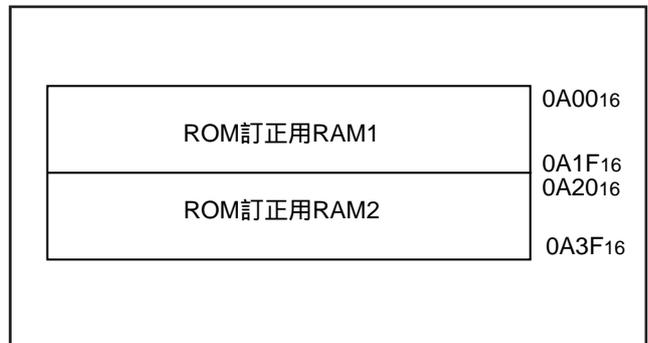


図43 . ROM訂正用RAM領域

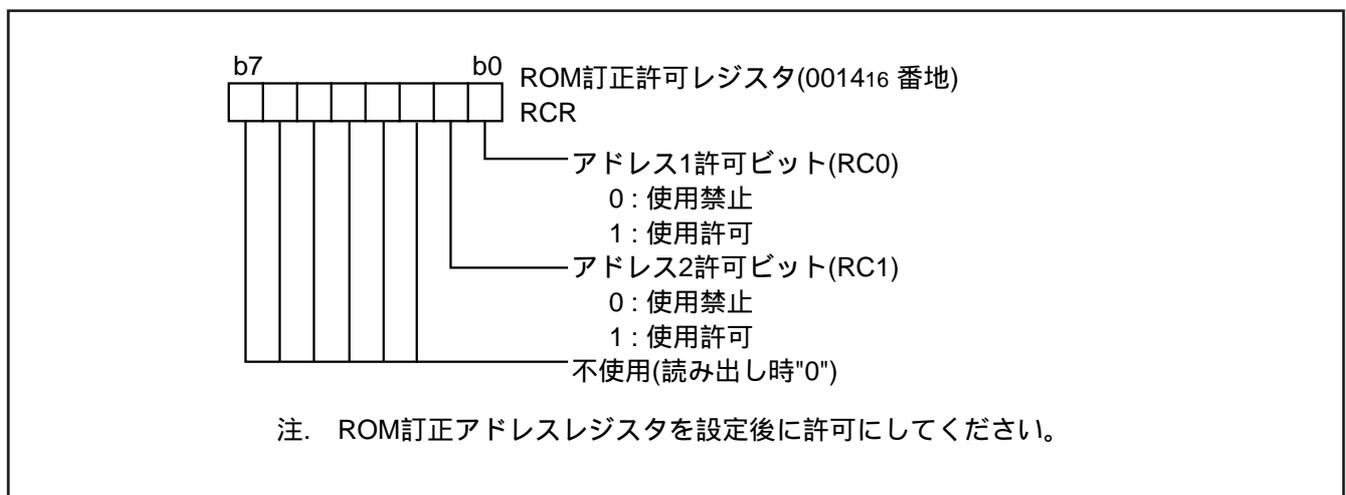


図44 . ROM訂正許可レジスタの構成

### クロック出力機能

出力制御レジスタの設定により、ポートP4から内部システムクロック またはXCIN周波数信号を出力することができます。

クロック出力時は、ポートP4方向レジスタのビット1を'1'に設定してください。

XCIN周波数信号を出力するときは、周辺機能拡張レジスタのビット4を'1'に設定してください。

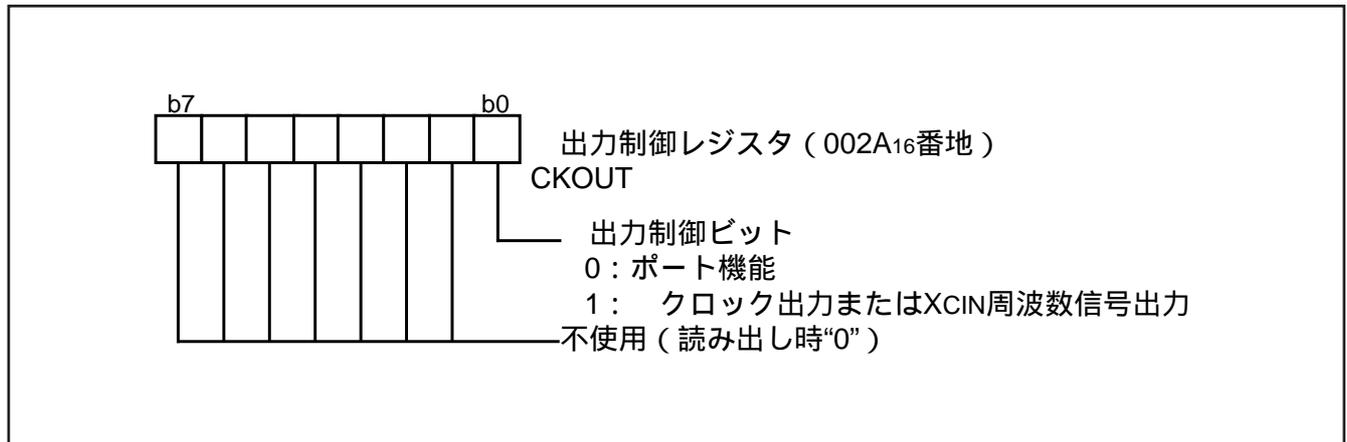


図45 . クロック出力制御レジスタの構成

### テンポラリデータレジスタ

002C<sub>16</sub> ~ 002E<sub>16</sub>までは制御機能を持たない18ビットのレジスタで、データの一時退避などに使用できます。このレジスタはリセット後に初期化されます。

### RRFレジスタ

002F<sub>16</sub>は制御機能を持たない18ビットのレジスタで、このレジスタに書き込んだ値は、上位4ビットと下位4ビットが入れ替わります。このレジスタはリセット後に初期化されます。

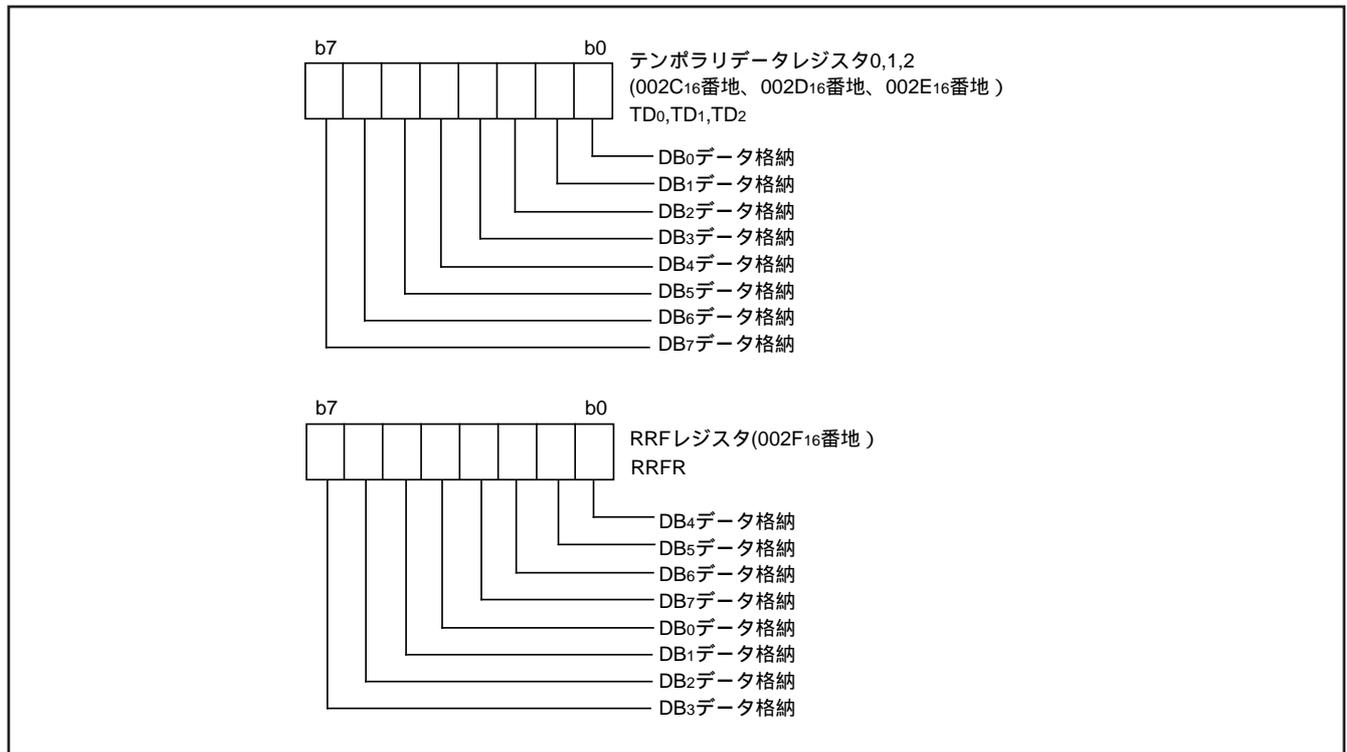


図46 . テンポラリレジスタ、RRFレジスタの構成

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのカウントで構成されます。

ウォッチドッグタイマの初期値

リセット時又はウォッチドッグタイマ制御レジスタへの書き込みにより、ウォッチドッグタイマは「FF16」にセットされます。書き込みのための命令はSTA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。書き込みデータはビット7とビット6以外は意味がなく、無関係に上記の値がセットされます。

ビット7、ビット6はリセット後、1度だけ書き込みが可能です。書き込み後は、ロックされるため、書き換えはできません。これらのビットはリセット後「0」になります。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタへの書き込みによりダウンカウントを開始します。ウォッチドッグタイマがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセットが解除され、リセットベクトル番地からプログラムを実行します。通常はウォッチドッグタイマがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制

御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウントとSTP命令機能選択ビット(ビット6)の値と、カウントソース選択ビット(ビット7)の値が読み込まれます。

ウォッチドッグタイマ制御レジスタのビット6

- このビットが「0」の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注1)
- なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが「1」の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦「1」に書き換えるとプログラムにより「0」に書き換えることはできなくなります。リセット後の値は「0」です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマレジスタがアンダフローするまでの時間を以下に示します。(ウォッチドッグタイマ制御レジスタのビット7が「0」の場合)

- 2/4/8分周モード時 (f(XIN)=8MHz) …32.768ms
- 低速モード時 (f(XCIN)=32kHz) …8.19s

注. ストップ解除の待ち時間(タイマ1及びタイマ2で設定した時間)及びウェイトモード時の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないように注意してください。

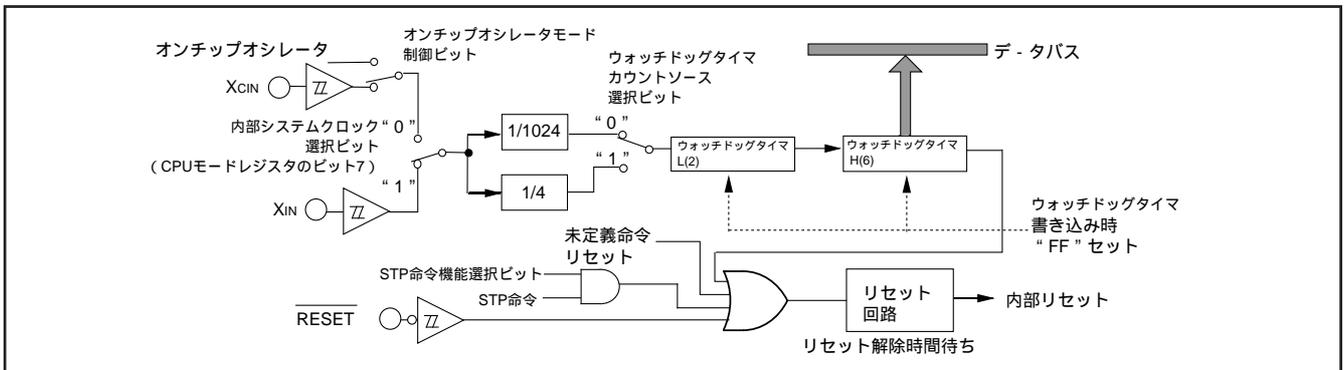


図47. 暴走検出機能ブロック図

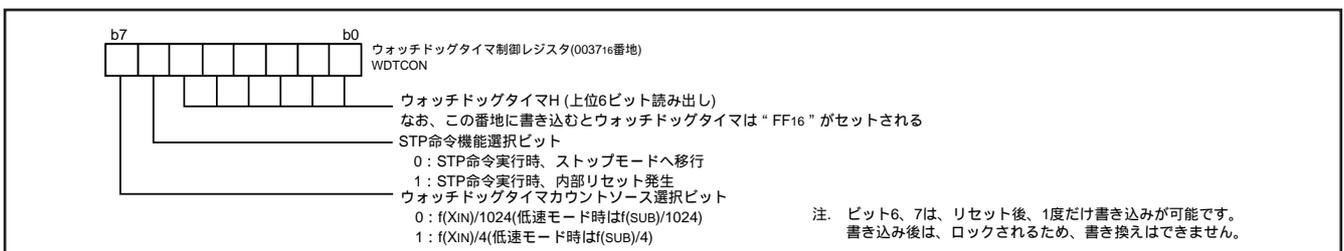


図48. ウォッチドッグタイマ制御レジスタの構成

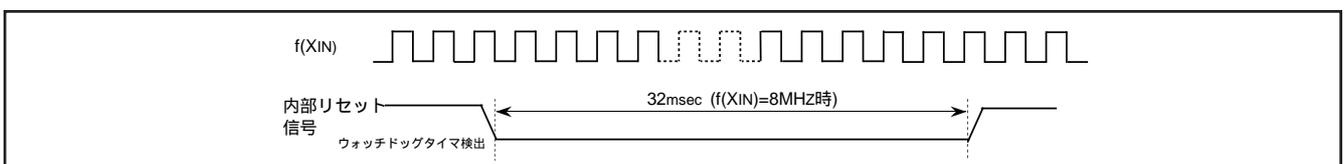


図49. リセット出力のタイミング図

### 周辺機能拡張レジスタ

周辺機能拡張レジスタのビット0を「1」にすることで、シリアルI/Oの転送方向を切り替えることができます。この機能は、シリアルI/O制御レジスタのビット6が「1」（クロック同期形シリアルI/O選択時）のみ有効です。

周辺機能拡張レジスタのビット1を「1」にすることで、P47をクロック同期形シリアルI/Oの出力端子に選択することができます。P47をSOUT端子に設定する場合、ポートP4方向レジスタのビット7を「1」に設定してください。この機能は、シリアルI/O制御レジスタのビット6が「1」（クロック同期形シリアルI/O選択時）のみ有効です。

周辺機能拡張レジスタのビット2とビット3でTXD、及びSOUTのPチャンネル出力を禁止することができます。Pチャンネル出力を禁止する端子を選択した後でUART制御レジスタのビット4を「1」にしてください。

周辺機能拡張レジスタのビット4を「1」にすることで、ポートP41からXCIN周波数信号を出力することができます。XCIN周波数信号を出力するには、出力制御レジスタのビット0とポートP4方向レジスタのビット1を「1」に設定してください。

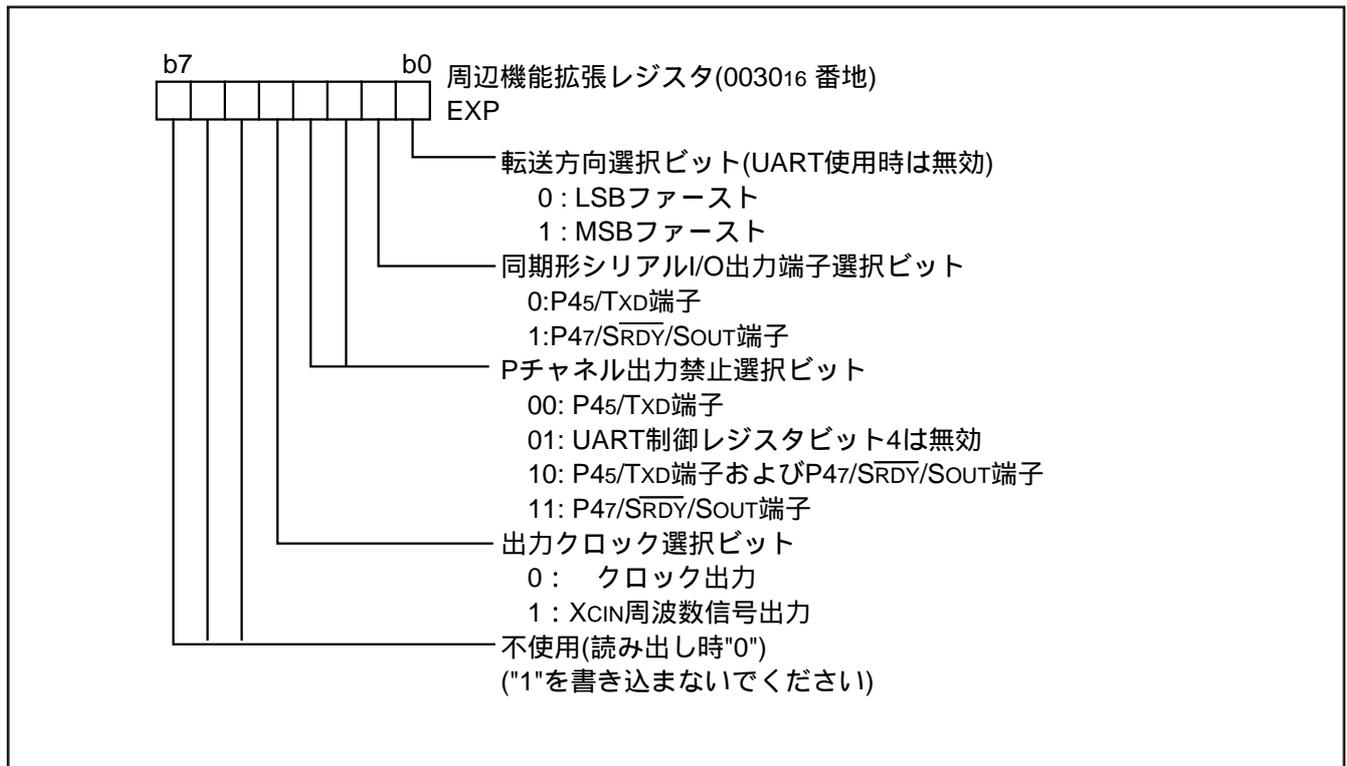


図50. 周辺機能拡張レジスタの構成

リセット回路

3823グループは、電源電圧が $V_{CC}(\text{min.}) \sim 5.5\text{V}$ の範囲にあり、水晶発振子などが安定発振しているとき、RESET端子を $2\mu\text{s}$ 以上Lレベルに保った後Hレベルに戻すとリセット解除され、FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を低位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\text{min.})$ を通過する時点で $V_{IL}$ 規格を満足するようにしてください。

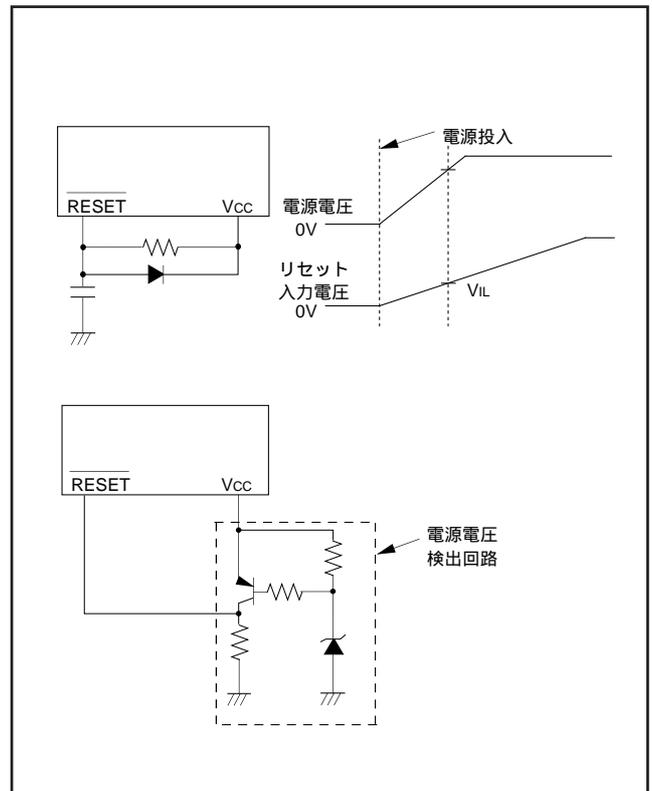


図51 . リセット回路例

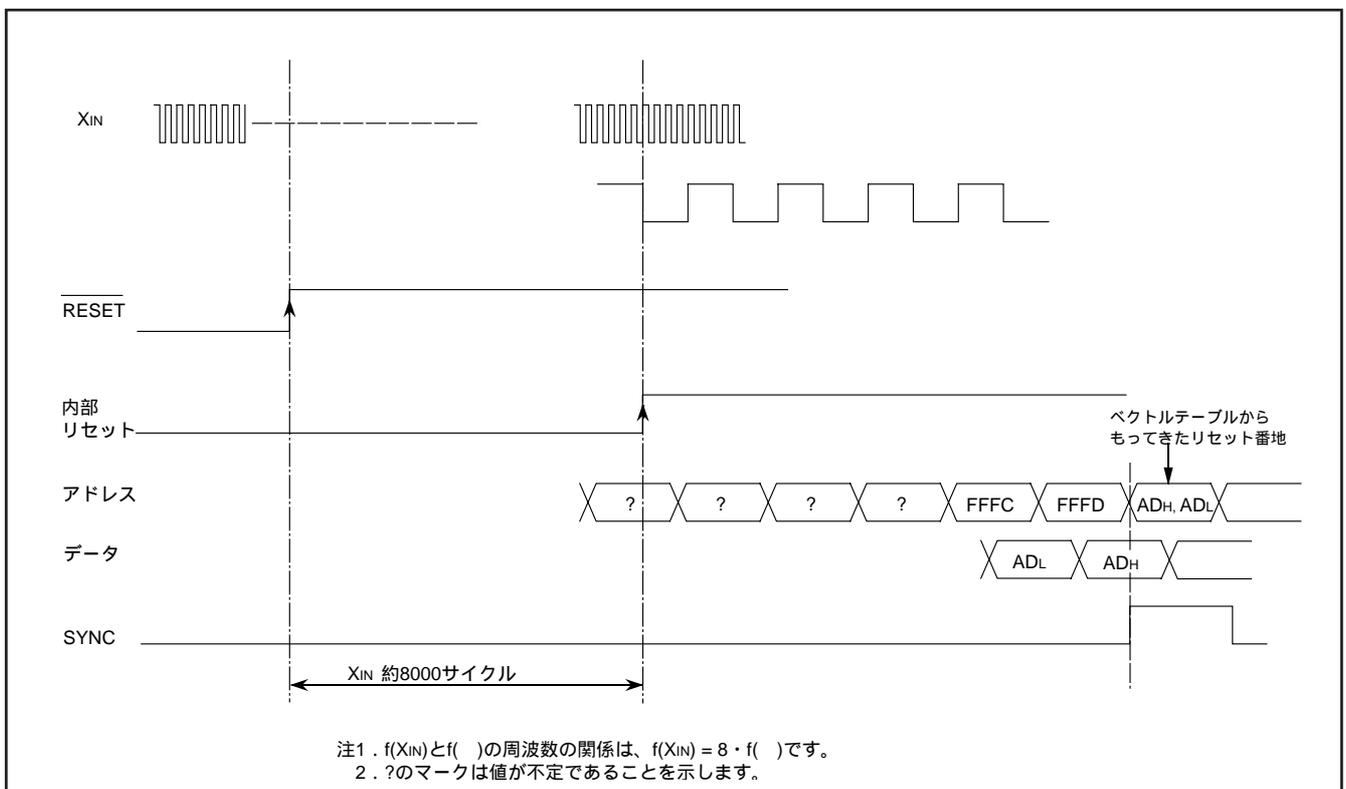


図52 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	0001 <sub>16</sub>	00 <sub>16</sub>
(2) ポートP1方向レジスタ	0003 <sub>16</sub>	00 <sub>16</sub>
(3) ポートP2方向レジスタ	0005 <sub>16</sub>	00 <sub>16</sub>
(4) ポートP4方向レジスタ	0009 <sub>16</sub>	00 <sub>16</sub>
(5) ポートP5方向レジスタ	000B <sub>16</sub>	00 <sub>16</sub>
(6) ポートP6方向レジスタ	000D <sub>16</sub>	00 <sub>16</sub>
(7) ポートP7方向レジスタ	000F <sub>16</sub>	00 <sub>16</sub>
(8) ROM訂正許可レジスタ(RCR)	0014 <sub>16</sub>	00 <sub>16</sub>
(9) PULLレジスタA	0016 <sub>16</sub>	0 0 0 0 0 1 0 1 1
(10) PULLレジスタB	0017 <sub>16</sub>	00 <sub>16</sub>
(11) シリアルI/Oステータスレジスタ	0019 <sub>16</sub>	1 0 0 0 0 0 0 0 0
(12) シリアルI/O制御レジスタ	001A <sub>16</sub>	00 <sub>16</sub>
(13) UART制御レジスタ	001B <sub>16</sub>	1 1 1 0 0 0 0 0 0
(14) タイマX上位レジスタ	0020 <sub>16</sub>	FF <sub>16</sub>
(15) タイマX下位レジスタ	0021 <sub>16</sub>	FF <sub>16</sub>
(16) タイマY上位レジスタ	0022 <sub>16</sub>	FF <sub>16</sub>
(17) タイマY下位レジスタ	0023 <sub>16</sub>	FF <sub>16</sub>
(18) タイマ1レジスタ	0024 <sub>16</sub>	FF <sub>16</sub>
(19) タイマ2レジスタ	0025 <sub>16</sub>	01 <sub>16</sub>
(20) タイマ3レジスタ	0026 <sub>16</sub>	FF <sub>16</sub>
(21) タイマXモードレジスタ	0027 <sub>16</sub>	00 <sub>16</sub>
(22) タイマYモードレジスタ	0028 <sub>16</sub>	00 <sub>16</sub>
(23) タイマ123モードレジスタ	0029 <sub>16</sub>	00 <sub>16</sub>
(24) 出力制御レジスタ	002A <sub>16</sub>	00 <sub>16</sub>
(25) CPUモード拡張レジスタ	002B <sub>16</sub>	00 <sub>16</sub>
(26) テンポラリデータレジスタ0	002C <sub>16</sub>	00 <sub>16</sub>
(27) テンポラリデータレジスタ1	002D <sub>16</sub>	00 <sub>16</sub>
(28) テンポラリデータレジスタ2	002E <sub>16</sub>	00 <sub>16</sub>
(29) RRFレジスタ	002F <sub>16</sub>	00 <sub>16</sub>
(30) 周辺機能拡張レジスタ	0030 <sub>16</sub>	00 <sub>16</sub>
(31) AD制御レジスタ	0034 <sub>16</sub>	0 0 0 0 0 1 0 0 0
(32) AD変換下位レジスタ	0036 <sub>16</sub>	x x 0 0 0 0 0 0 0
(33) ウォッチドッグタイマ制御レジスタ	0037 <sub>16</sub>	0 0 1 1 1 1 1 1 1
(34) セグメント出力許可レジスタ	0038 <sub>16</sub>	00 <sub>16</sub>
(35) LCDモードレジスタ	0039 <sub>16</sub>	00 <sub>16</sub>
(36) 割り込みエッジ選択レジスタ	003A <sub>16</sub>	00 <sub>16</sub>
(37) CPUモードレジスタ	003B <sub>16</sub>	0 1 0 0 0 1 0 0 0
(38) 割り込み要求レジスタ1	003C <sub>16</sub>	00 <sub>16</sub>
(39) 割り込み要求レジスタ2	003D <sub>16</sub>	00 <sub>16</sub>
(40) 割り込み制御レジスタ1	003E <sub>16</sub>	00 <sub>16</sub>
(41) 割り込み制御レジスタ2	003F <sub>16</sub>	00 <sub>16</sub>
(42) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(43) プログラムカウンタ	(PCH)	FFFD <sub>16</sub> 番地の内容
	(PCL)	FFFC <sub>16</sub> 番地の内容

注 . x: 不定です。  
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図53 . リセット時の内部状態

### クロック発生回路

3823グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの端子間に発振子を接続することにより発振回路を形成することができます。容量などの定数は、発振子により異なります。発振子メーカーの推奨値をご使用ください。

発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがあります。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていませんので、外部に帰還抵抗を付けてください。

外部からクロック信号を供給する場合はXIN端子に入力し、XOUT端子は開放にします。サブクロックXCIN-XCOUTの発振回路は外部で生成したクロックを直接入力できませんので、必ず外付け発振子による発振をさせてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

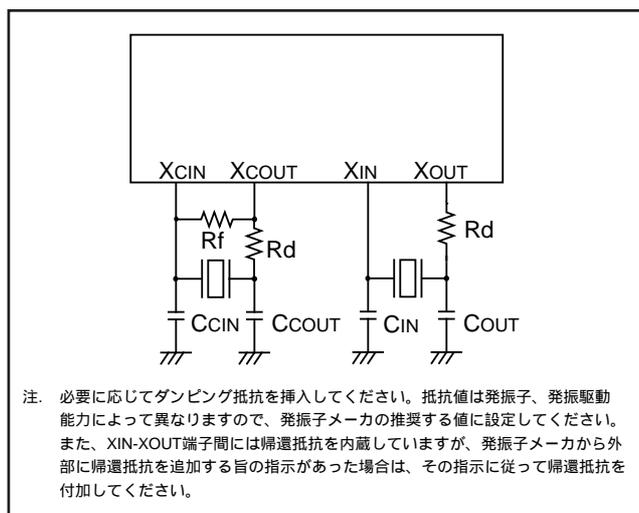


図54. 発振子外付け回路

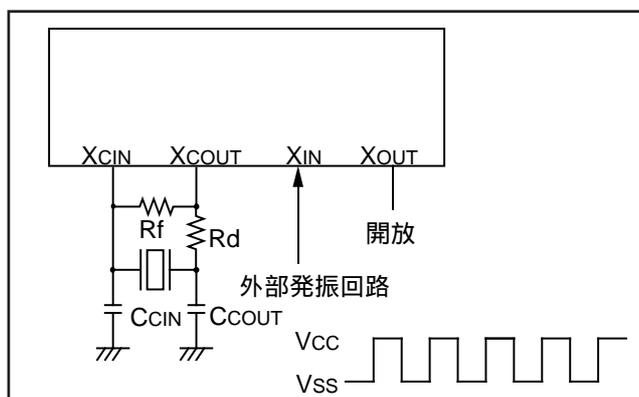


図55. 外部クロック入力回路

### ●周波数制御

#### (1)8分周モード

XIN端子に加わった周波数を8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

#### (2)4分周モード

XIN端子に加わった周波数を4分周したものが内部クロックとなります。

#### (3)2分周モード

XIN端子に加わった周波数を2分周したものが内部クロックとなります。

#### (4)低速モード

XCIN端子に加わった周波数または オンチップオシレータの発振周波数を2分周したものが内部クロック になります。

低速モード時には、CPUモードレジスタのメインクロック停止ビットを‘1’にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はメインクロック停止ビットを‘0’にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

低速モード時、システムクロック はオンチップオシレータとXCINを切り替えることができます。オンチップオシレータ制御ビット(CPUモード拡張レジスタのビット0)で設定してください。‘1’から‘0’にするときは、XCINの発振が安定した状態で行ってください。

注1. 2/4/8分周モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときは  $f(XIN) > 3 \cdot f(XCIN)$  である必要があります。

注2. 2/4/8分周モード時、メインクロック(XIN-XOUT)停止ビットを‘1’にしても、XIN-XOUTの発振は停止しません。

注3. 低速モード時、ポートXc切り替えビットを‘0’にしても、XCIN-XCOUTの発振は停止しません。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが「H」の状態では停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1にはFF16、タイマ2には0116がセットされ、タイマ1のカウントソースにはXIN又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて「0」にクリアされます。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態(「0」)に設定してください。

発振はリセット又は外部割り込み要求が受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、外付け発振子を使用した場合、発振の立ち上がりに時間を要するためです。

STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ(3916番地)のビット3)が「0」になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビット(LCDモードレジスタ(3916番地)のビット3)を「1」に設定してください。

(2) ウェイトモード

WIT命令を実行すると、システムクロックのみ「H」の状態では停止します。このときメインクロック、オンチップオシレータ及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後にシステムクロックの供給を開始するため、直ちに命令を実行することができます。

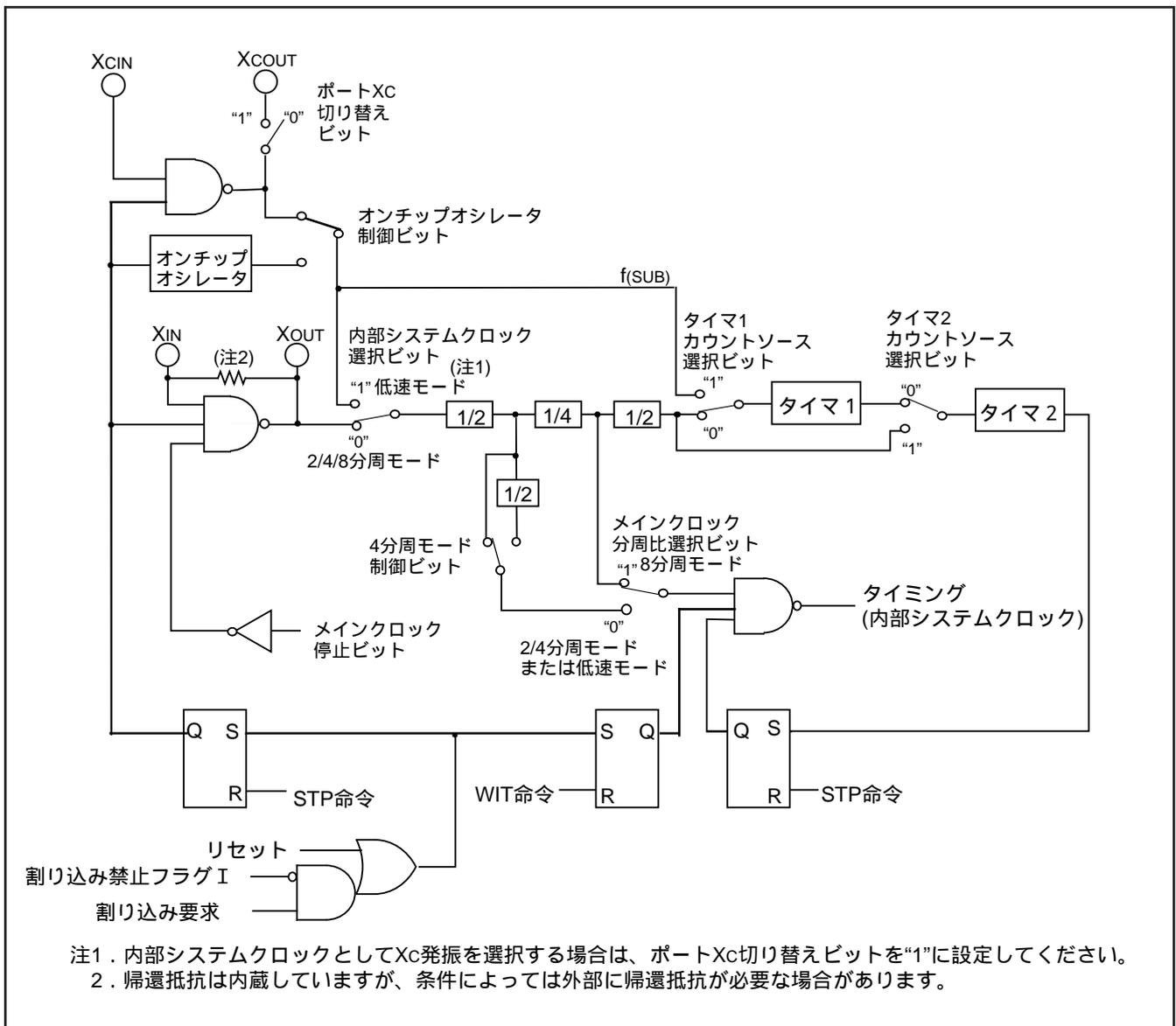


図56 . クロック発生回路のブロック図

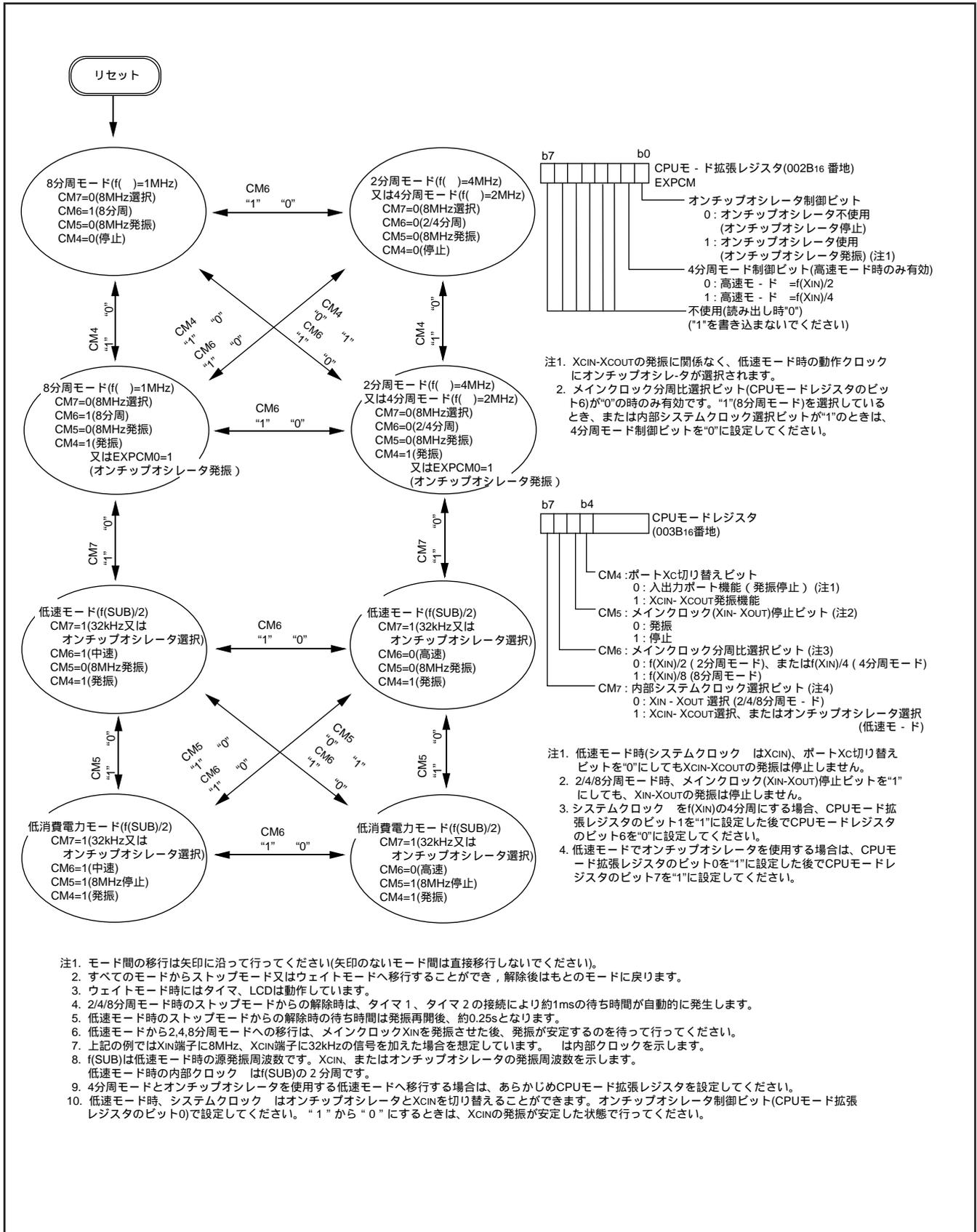


図57. システムクロックの状態遷移図

## QzROM書き込みモード

QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表13に端子の機能説明( QzROM書き込みモード )を、図58、図59に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例( 図60、図61 )を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザーズマニュアルを参照してください。

表13 . 端子の機能説明 ( QzROM書き込みモード )

端子名	名 称	入出力	機 能
Vcc、Vss	電源入力	入力	Vccに1.8～5.5V、Vssに0Vを印加してください。
RESET	リセット入力	入力	リセット入力端子です。XINの16サイクル以上Lレベルに保つとリセット状態になります。
XIN	クロック入力	入力	シングルチップモード時と同じ端子処理にしてください。
XOUT	クロック出力	出力	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
AVSS	アナログ電源入力	入力	Vssに接続してください。
P00～P07 P10～P17 P20～P27 P34～P37 P41～P44 P50～P57 P60～P67	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
P40	VPP入力	入力	QzROMの電源入力端子です。
P44	ESDA入出力	入出力	シリアルデータの入出力端子です。
P42	ESCLK入力	入力	シリアルクロックの入力端子です。
P43	ESPGMB入力	入力	リード/プログラムパルス信号の入力端子です。

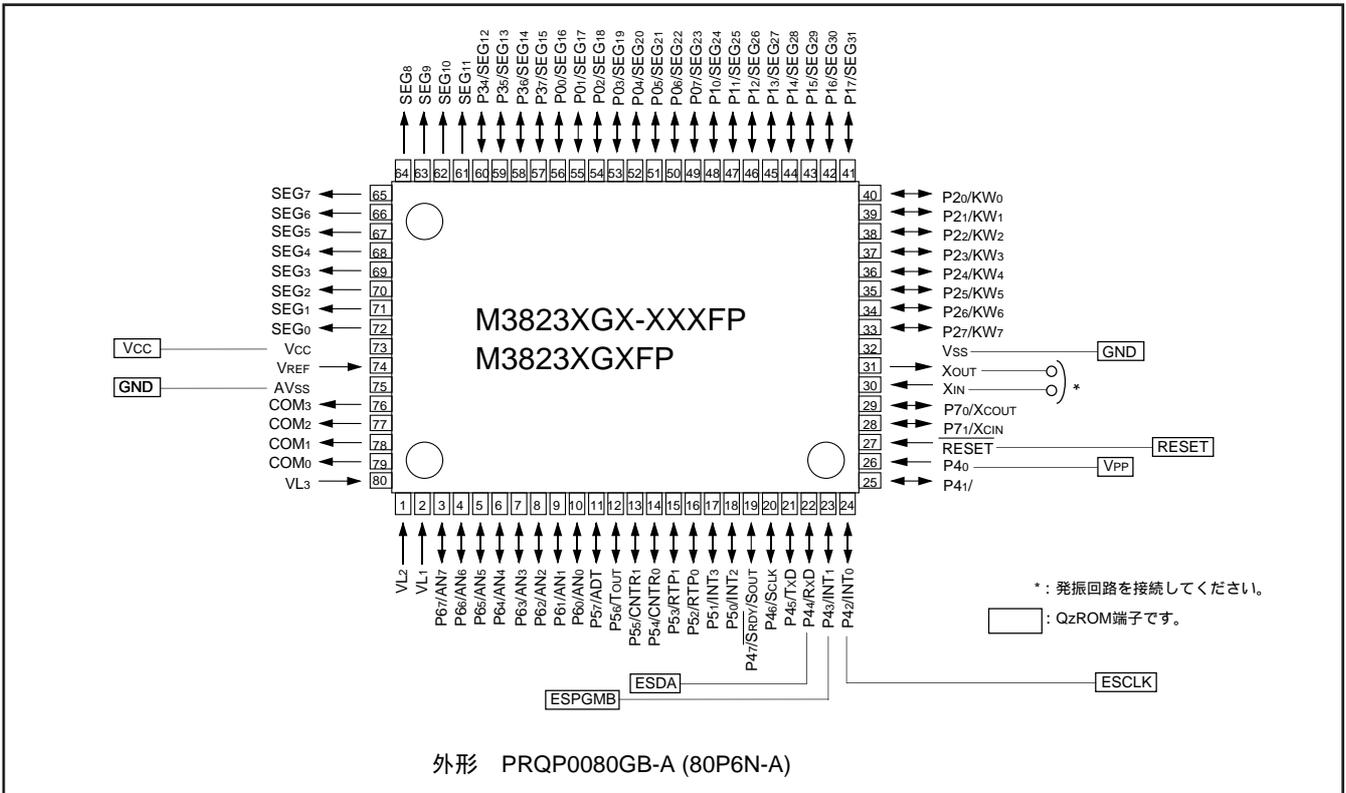


図58 . 端子結線図 (M3823XGX-XXXFP)

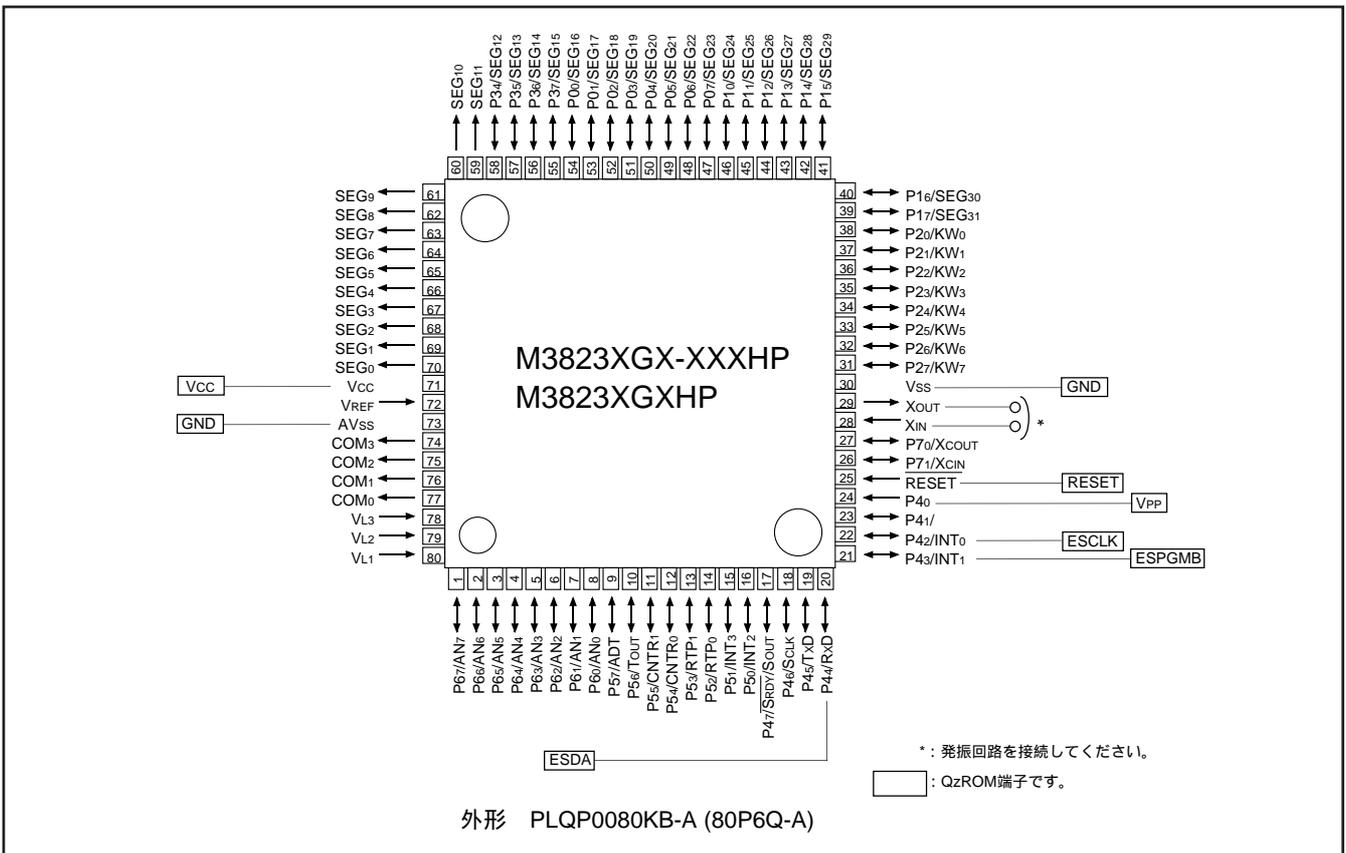


図59 . 端子結線図 (M3823XGX-XXXHP)

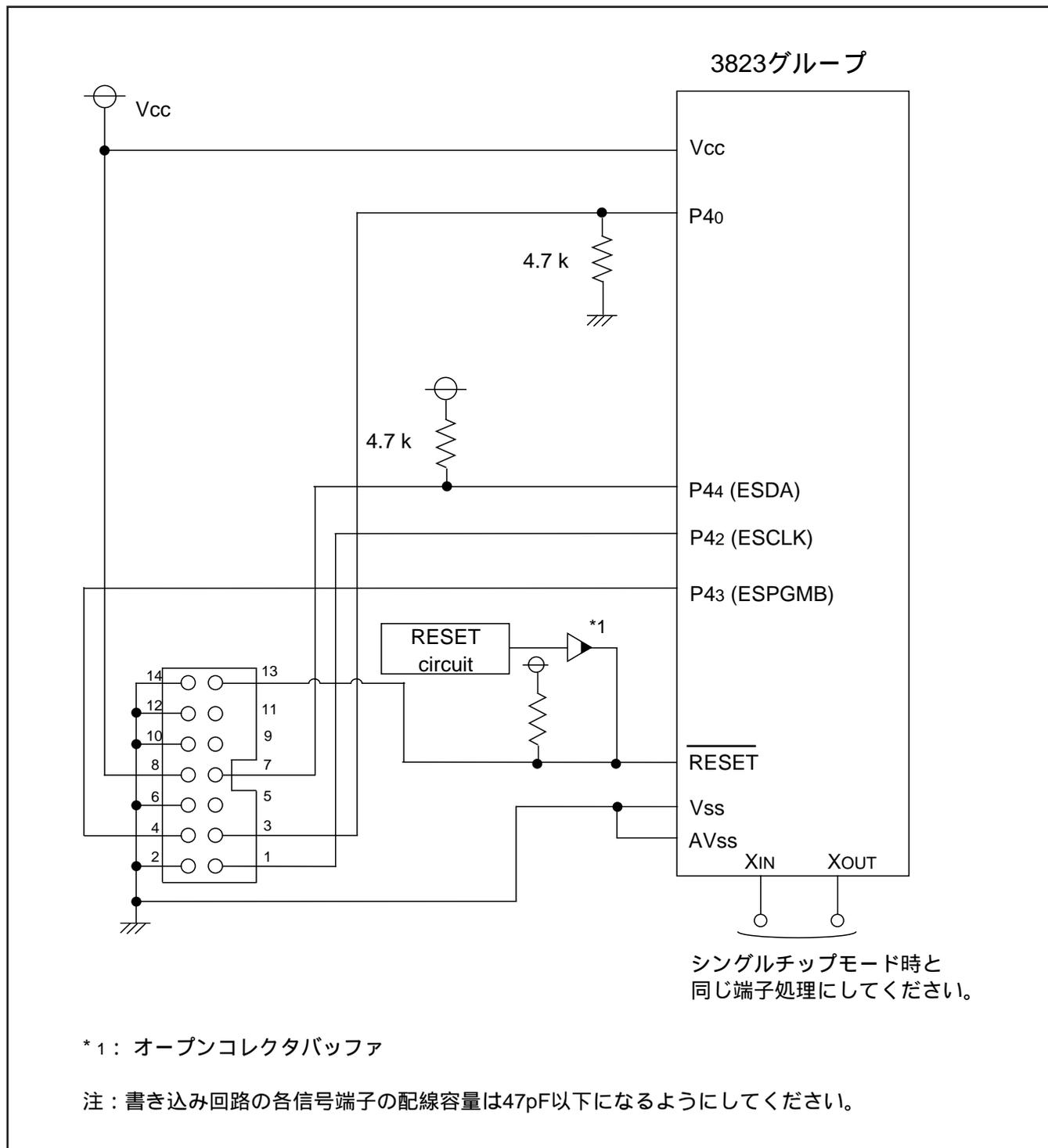


図60 . E8プログラマ使用時の基板上の端子処理例

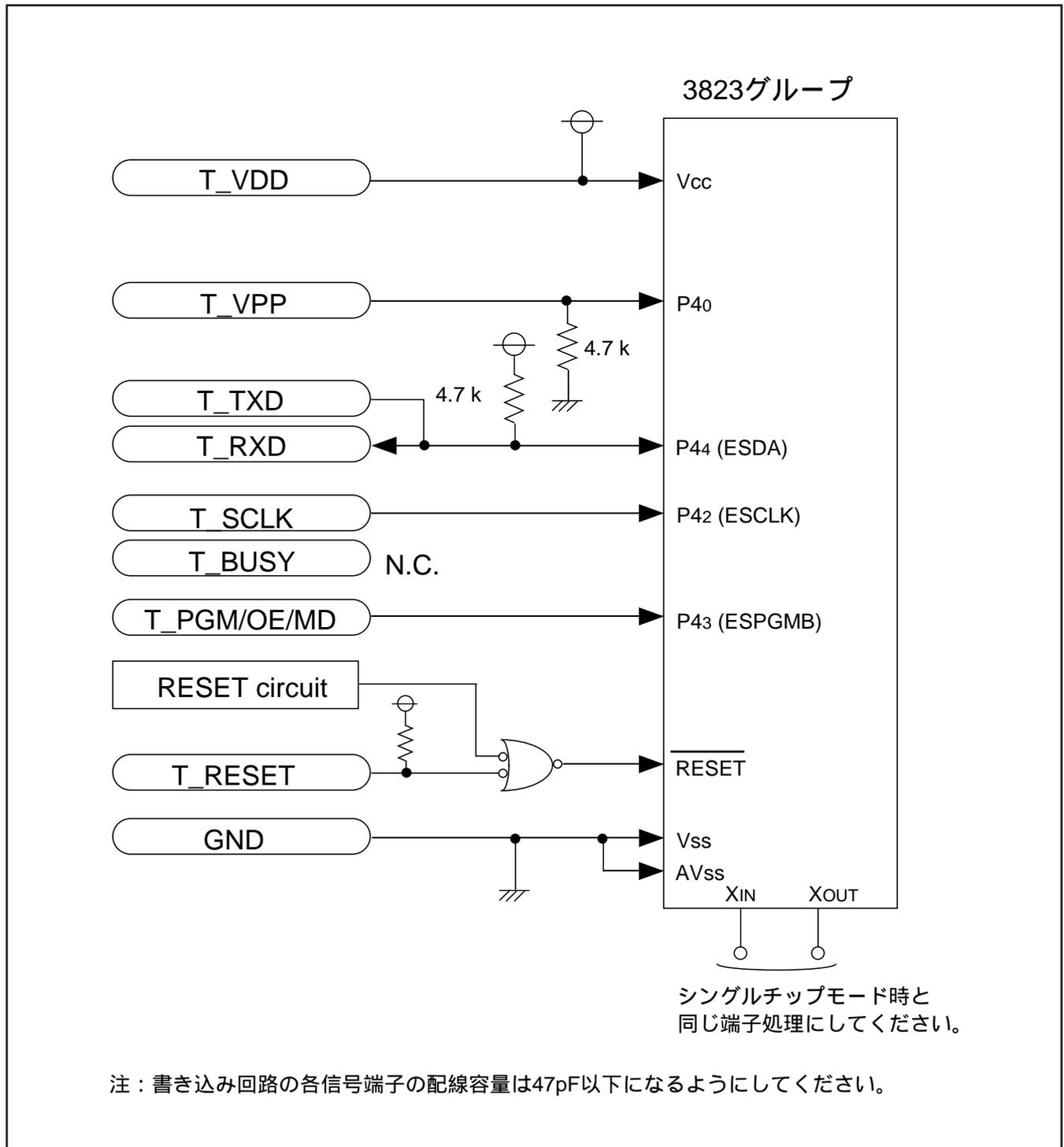


図61 . 彗星電子システム製プログラマ使用時の基板上的端子処理例

## プログラミング上の注意事項

### プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。プログラムの先頭で初期化してください。

### 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されます。変更後の内容に対して実行するためには、1命令以上後に行ってください。

### 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

### タイマに関するもの

タイマラッチに値 $n$ (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

### 乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

### ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設

定はLDM命令、STA命令などを使用してください。

### シリアルインタフェースに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

### A/D変換に関するもの

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、中、高速モードでA/D変換を行う場合は $f(\text{XIN})$ を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モード(オンチップオシレータ選択時)では、内蔵のオンチップオシレータを用いてA/D変換を行いますので、 $f(\text{XIN})$ に下限周波数の制限はありません。

### LCD駆動制御回路に関するもの

STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ(3916番地)のビット3)が“0”になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビット(LCDモードレジスタ(3916番地)のビット3)を“1”に設定してください。

### 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、内部クロックの周期をかけることによって得られます。内部クロックの周期は、通常XINの周期の2倍です。

## ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

## (1) 配線長の短縮

## リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

## 理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

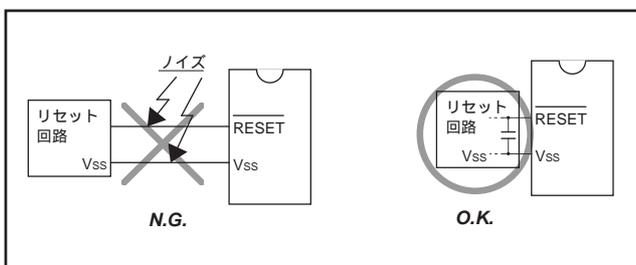


図62. リセット入力端子の配線

## クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

## 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

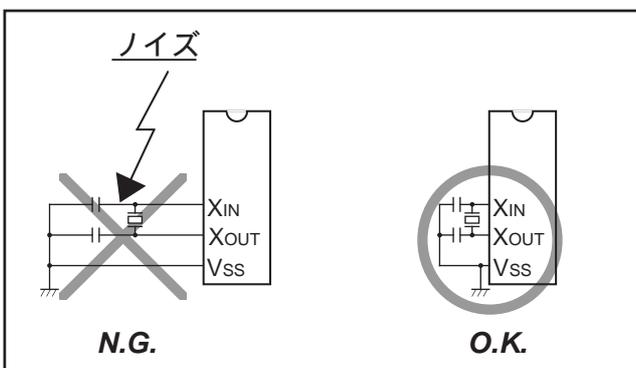


図63. クロック入出力端子の配線

## (2) Vss - Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss - Vccライン間に0.1  $\mu$ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

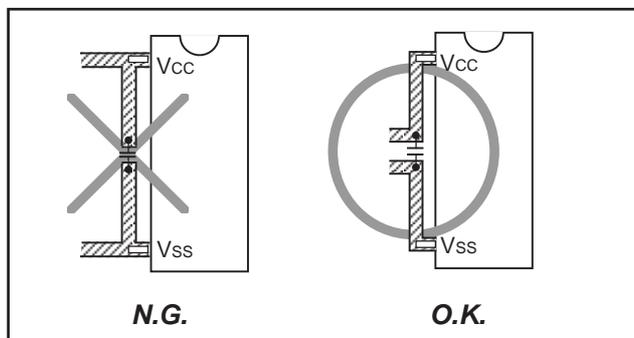


図64. VSS - VCCライン間のバイパスコンデンサ

## (3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

## 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

## 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

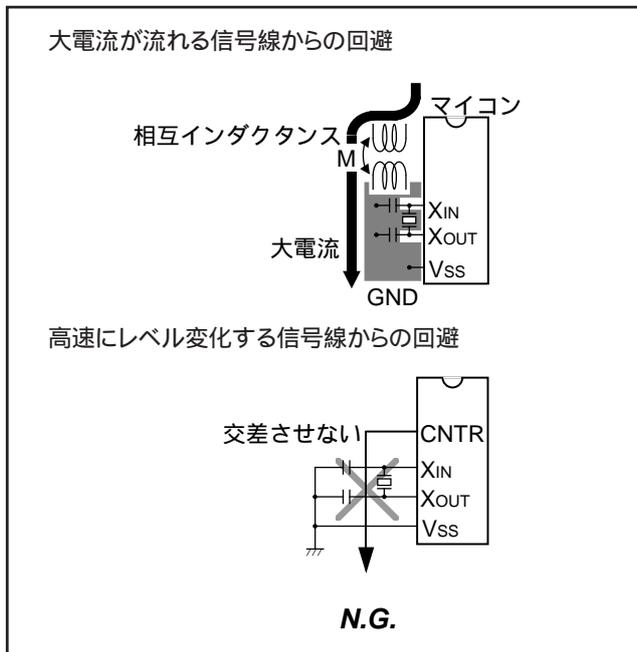


図65 . 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

(5) メモリ容量の違い

同一グループ内のメモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

(6) P40/(VPP)端子配線

P40/(VPP)端子を入力ポートとして使用する場合、P40/(VPP)端子のできるだけ近くに5k 程度の抵抗を直列に挿入してご使用ください。

P40/(VPP)端子が未使用の場合、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。また、5k 程度の抵抗を直列に挿入しGNDに接続する事でノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

理由

P40/(VPP)端子は内蔵QzROMの電源入力端子です。QzROMへプログラムを書き込む時に、書き込み電流が流れるようにP40/(VPP)端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。P40/(VPP)端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行なわれず、暴走の原因となります。

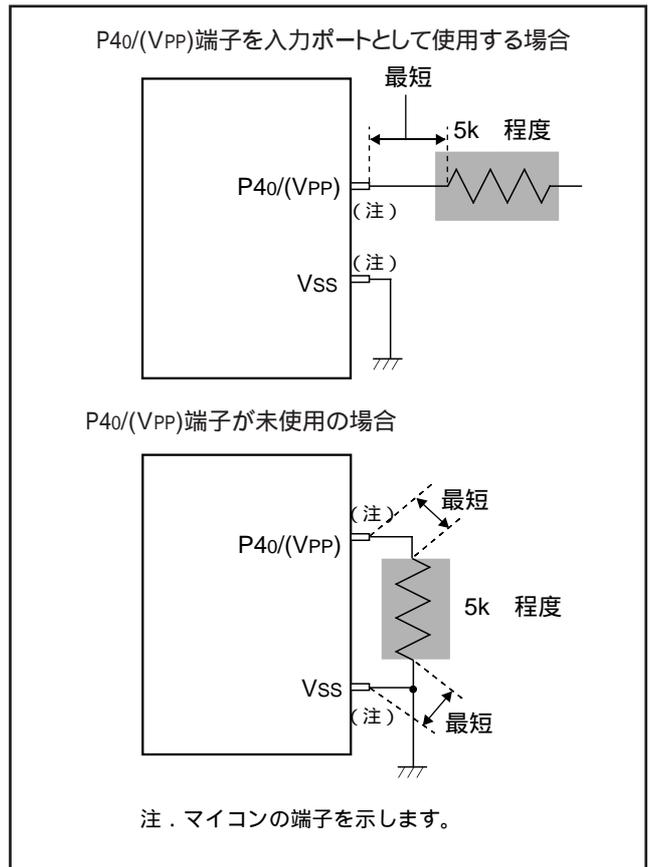


図66 . P40/(VPP)端子の配線

使用上の注意事項

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

LCD駆動電源に関する注意事項

LCD電源用分割抵抗値とLCDパネルの特性により、電源容量が不足することがあります。この場合、VL1～VL3端子に0.1～0.33μF程度のバイパスコンデンサを接続する方法があります。図67にLCD駆動電源の強化対策例を示します。

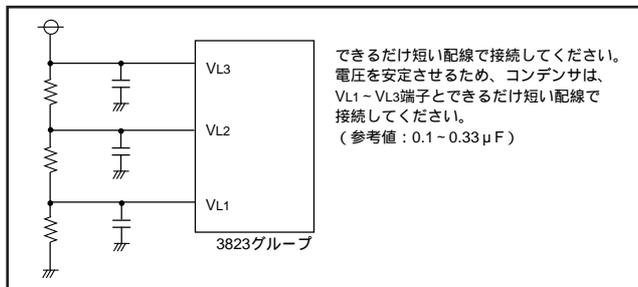


図67 . LCD駆動電源の強化対策例

ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザーROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

過電圧に関する注意事項

他の端子に、Vcc端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のP40端子(QzROMのVPP電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

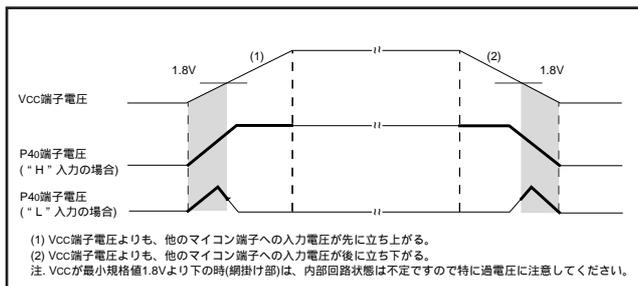


図68 . タイミング図(太線の区間が該当)

QzROMに関する注意事項

QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

また、マスクファイル変換ユーティリティ(MM)を実行してマスクファイルを作成する際は、必ずROMオプション(マスク変換ユーティリティ内では「マスクオプション」表記)データの設定を行ってください。

ROMコードプロテクトに関する注意事項

(QzROM書き込み出荷品)

QzROM書き込み出荷品のROMコードプロテクトは、発注時に提出して頂くマスクファイル作成時のROMオプションデータの値で決定します。

マスクファイル作成時のROMオプションデータは、プロテクト有りの場合は「0016」、プロテクト無しの場合は「FF16」を設定します。したがって、QzROM書き込み出荷品のROMコードプロテクト番地(ユーザーROM領域外)の内容は「0016」または「FF16」のいずれかになります。

なお、ROMオプションデータが設定されていない場合や「0016」、「FF16」以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。

QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- ・QzROM書き込み確認書\*
- ・マーク指定書\*
- ・ROMのデータ・・・マスクファイル

\*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com/>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

## 電気的特性

表14．絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71	Vss端子を基準にして測定する。入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 VL1		- 0.3 ~ VL2	V
Vi	入力電圧 VL2		VL1 - VL3	V
Vi	入力電圧 VL3		VL2 ~ 6.5	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17	出力ポート時	- 0.3 ~ Vcc + 0.3	V
		セグメント出力時	- 0.3 ~ VL3	V
Vo	出力電圧 P34 ~ P37	セグメント出力時	- 0.3 ~ VL3	V
Vo	出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 SEG0 ~ SEG11		- 0.3 ~ VL3	V
Vo	出力電圧 XOUT		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 150	

表15．推奨動作条件(1)

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85 )

記号	項目			規格値			単位
				最小	標準	最大	
Vcc	電源電圧(注1)	2分周モード時	f(XIN) = 10MHz	4.5	5.0	5.5	V
			f(XIN) = 8MHz	4.0	5.0	5.5	V
			f(XIN) = 5MHz	2.0	5.0	5.5	V
			f(XIN) = 2.5MHz	1.8	5.0	5.5	V
		4分周モード時	f(XIN) = 10MHz	2.5	5.0	5.5	V
			f(XIN) = 8MHz	2.0	5.0	5.5	V
			f(XIN) = 5MHz	1.8	5.0	5.5	V
		8分周モード時	f(XIN) = 10MHz	2.5	5.0	5.5	V
			f(XIN) = 8MHz	2.0	5.0	5.5	V
			f(XIN) = 5MHz	1.8	5.0	5.5	V
	低速モード時(OCO含む)		1.8	5.0	5.5	V	
Vss	電源電圧			0		V	
VL3	LCD電源電圧		2.5		5.5	V	
VREF	A/Dコンバータ基準電圧		1.8		Vcc	V	
AVss	アナログ電源電圧			0		V	
VIA	アナログ入力電圧 AN0 ~ AN7		AVss		VREF	V	

注.A/Dコンバータをご使用になる場合は、A/Dコンバータ特性を参照ください。

表16．推奨動作条件（2）

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = -20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
VIH	“H”入力電圧 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40, P41, P45, P47, P52, P53, P56, P60 ~ P67, P70, P71 (CM4=0)	0.7Vcc		Vcc	V
VIH	“H”入力電圧 P20 ~ P27, P42 ~ P44, P46, P50, P51, P54, P55, P57	0.8Vcc		Vcc	V
VIH	“H”入力電圧 $\overline{\text{RESET}}$	0.8Vcc		Vcc	V
VIH	“H”入力電圧 XIN	0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40, P41, P45, P47, P52, P53, P56, P60 ~ P67, P70, P71 (CM4=0)	0		0.3 Vcc	V
VIL	“L”入力電圧 P20 ~ P27, P42 ~ P44, P46, P50, P51, P54, P55, P57	0		0.2Vcc	V
VIL	“L”入力電圧 $\overline{\text{RESET}}$	0		0.2Vcc	V
VIL	“L”入力電圧 XIN	0		0.2Vcc	V

表17．推奨動作条件（3）

(指定のない場合は、 $V_{CC} = 1.8 \sim 5.5V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00～P07, P10～P17, P20～P27			- 40	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P41～P47, P50～P57, P60～P67, P70, P71			- 40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00～P07, P10～P17, P20～P27			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P41～P47, P50～P57, P60～P67, P70, P71			40	mA
IOH(avg)	“H”出力総平均電流 (注1) P00～P07, P10～P17, P20～P27			- 20	mA
IOH(avg)	“H”出力総平均電流 (注1) P41～P47, P50～P57, P60～P67, P70, P71			- 20	mA
IOL(avg)	“L”出力総平均電流 (注1) P00～P07, P10～P17, P20～P27			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P41～P47, P50～P57, P60～P67, P70, P71			20	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00～P07, P10～P17			- 2	mA
IOH(peak)	“H”出力尖頭電流 (注2) P20～P27, P41～P47, P50～P57, P60～P67, P70, P71			- 5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00～P07, P10～P17			5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P20～P27, P41～P47, P50～P57, P60～P67, P70, P71			10	mA
IOH(avg)	“H”出力平均電流 (注3) P00～P07, P10～P17			- 1.0	mA
IOH(avg)	“H”出力平均電流 (注3) P20～P27, P41～P47, P50～P57, P60～P67, P70, P71			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00～P07, P10～P17			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P20～P27, P41～P47, P50～P57, P60～P67, P70, P71			5.0	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表18．推奨動作条件（4）

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = -20 ~ 85 )

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.5V Vcc 5.5V)			5.0	MHz
		(4.0V Vcc 4.5V)			$2 \times V_{CC} - 4$	MHz
		(2.0V Vcc 4.0V)			$0.75 \times V_{CC} + 1$	MHz
		(Vcc 2.0V)			$6.25 \times V_{CC} - 10$	MHz
f(XIN)	メインクロック 入力発振周波数 (デューティ50%時) (注1)	2分周モード (4.5V Vcc 5.5V)			10.0	MHz
		2分周モード (4.0V Vcc 4.5V)			$4 \times V_{CC} - 8$	MHz
		2分周モード (2.0V Vcc 4.0V)			$1.5 \times V_{CC} + 2$	MHz
		2分周モード (1.8V Vcc 2.0V)			$12.5 \times V_{CC} - 20$	MHz
		4分周モード (2.5V Vcc 5.5V)			10.0	MHz
		4分周モード (2.0V Vcc 2.5V)			$4 \times V_{CC}$	MHz
		4分周モード (1.8V Vcc 2.0V)			$15 \times V_{CC} - 22$	MHz
		8分周モード (2.5V Vcc 5.5V)			10.0	MHz
		8分周モード (2.0V Vcc 2.5V)			$4 \times V_{CC}$	MHz
		8分周モード (1.8V Vcc 2.0V)			$15 \times V_{CC} - 22$	MHz
f(XCIN)	サブクロック入力発振周波数 (デューティ50%時) (注2)		32.768	80	kHz	

注1．A/Dコンバータをご使用になる場合は、A/Dコンバータ特性を参照ください。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

表19．電気的特性（1）

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Ta = -20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17	IOH = - 2.5mA	Vcc - 2.0			V
		IOH = - 0.6mA Vcc = 2.5V	Vcc - 1.0			V
VOH	“H”出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	IOH = - 5mA	Vcc - 2.0			V
		IOH = - 1.25mA	Vcc - 0.5			V
		IOH = - 1.25mA Vcc = 2.5V	Vcc - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17	IOL = 5mA			2.0	V
		IOL = 1.25mA			0.5	V
		IOL = 1.25mA Vcc = 2.5V			1.0	V
VOL	“L”出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	IOL = 10mA			2.0	V
		IOL = 2.5mA			0.5	V
		IOL = 2.5mA Vcc = 2.5V			1.0	V
VT+ - VT-	ヒステリシス INT0 ~ INT3, ADT, CNTR0, CNTR1, P20 ~ P27		0.5			V
VT+ - VT-	ヒステリシス SCLK, RxD		0.5			V
VT+ - VT-	ヒステリシス RESET	RESETは Vcc = 2.0V ~ 5.5V	0.5			V
IIH	“H”入力電流 P00 ~ P07, P10 ~ P17, P34 ~ P37	VI = Vcc プルダウンOFF			5.0	μA
		Vcc = 5V, VI = Vcc プルダウンON	30	70	140	μA
		Vcc = 3V, VI = Vcc プルダウンON	6.0	25	45	μA
IIH	“H”入力電流 P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	VI = Vcc			5.0	μA
IIH	“H”入力電流 RESET	VI = Vcc			5.0	μA
IIH	“H”入力電流 XIN	VI = Vcc	4.0			μA
IIL	“L”入力電流 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40	VI = Vss			- 5.0	μA
IIL	“L”入力電流 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71	VI = Vss プルアップOFF			- 5.0	μA
		Vcc = 5V, VI = Vss プルアップON	- 30	- 70	- 140	μA
		Vcc = 3V, VI = Vss プルアップON	- 6.0	- 25	- 45	μA
IIL	“L”入力電流 RESET	VI = Vss			- 5.0	μA
IIL	“L”入力電流 XIN	VI = Vss	- 4.0			μA
VRAM	RAM保持電圧	クロック停止時	1.8		5.5	V

注．CPUモードレジスタのポートXc切り替えビット(003B16番地のビット4)が“1”のとき、P70の駆動能力は上記と異なります。

表20．電氣的特性（2）

(指定のない場合は、Vcc=1.8～5.5V、Ta= - 20～85 )

記号	項目	測定条件			規格値			単位	
					最小	標準	最大		
Icc	電源電流	2分周モード	Vcc=5.0V	f(XIN)=10MHZ		4.3	8.6	mA	
				f(XIN)=8MHZ		3.7	7.4	mA	
				f(XIN)=4MHZ		2.5	5.0	mA	
			Vcc=2.5V	f(XIN)=4MHZ		0.8	1.6	mA	
				f(XIN)=2MHZ		0.4	0.8	mA	
		4分周モード	Vcc=5.0V	f(XIN)=10MHZ		2.9	5.8	mA	
				f(XIN)=8MHZ		2.5	5.0	mA	
				f(XIN)=4MHZ		1.7	3.4	mA	
				Vcc=2.5V	f(XIN)=10MHZ		1.0	2.0	mA
					f(XIN)=8MHZ		0.8	1.6	mA
					f(XIN)=4MHZ		0.5	1.0	mA
			8分周モード	Vcc=5.0V	f(XIN)=10MHZ		2.2	4.4	mA
					f(XIN)=8MHZ		1.9	3.8	mA
					f(XIN)=4MHZ		1.4	2.8	mA
				Vcc=2.5V	f(XIN)=10MHZ		1.0	2.0	mA
					f(XIN)=8MHZ		0.7	1.4	mA
					f(XIN)=4MHZ		0.6	1.2	mA
		2/4/8分周モード WIT命令実行時	Vcc=5.0V	f(XIN)=10MHZ		1.35	2.7	mA	
				f(XIN)=8MHZ		1.2	2.4	mA	
				f(XIN)=4MHZ		0.9	1.8	mA	
				f(XIN)=2MHZ		0.8	1.6	mA	
				Vcc=2.5V	f(XIN)=10MHZ		0.35	0.7	mA
					f(XIN)=8MHZ		0.3	0.6	mA
			f(XIN)=4MHZ			0.2	0.4	mA	
			低速モード (f(XIN)停止)	Vcc=5.0V	f(XCIN)=32kHz		13	26	μA
					オンチップオシレータ		80	240	μA
				Vcc=2.5V	f(XCIN)=32kHz		7	14	μA
					オンチップオシレータ		14	42	μA
		低速モード (f(XIN)停止) WIT命令実行時	Vcc=5.0V	f(XCIN)=32kHz		5.5	11	μA	
				オンチップオシレータ		20	60	μA	
			Vcc=2.5V	f(XCIN)=32kHz		3.5	7	μA	
				オンチップオシレータ		3.5	10	μA	
ADコンバータ動作時の電流 増加	Vcc=5V、全モード				500		μA		
	Vcc=2.5V、全モード				50		μA		
	発振はすべて停止 Ta = 25、出力トランジスタは遮断状態（STP命令 実行時）				0.1	1.0	μA		
	発振はすべて停止 Ta = 85、出力トランジスタは遮断状態（STP命令 実行時）					10	μA		
Roco	オンチップオシ レータ周波数	Vcc=2.5V、Ta=25				80		kHz	

表21 . A/Dコンバータ特性 (1) (8ビットA/D選択時)

(指定のない場合は、V<sub>CC</sub> = 1.8 ~ 5.5V、T<sub>a</sub> = -20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	BITS
ABS	絶対精度 (量子化誤差は除く)	ADL 2 = "0"、ADL1 = "0"、CPUM7 = "0" 2.2V V <sub>CC</sub> = V <sub>REF</sub> 5.5V f(X <sub>IN</sub> ) = 2 × V <sub>CC</sub> MHz 10MHz			±2	LSB
		ADL 2 = "0"、ADL1 = "0"、CPUM7 = "0" 2.0V V <sub>CC</sub> = V <sub>REF</sub> < 2.2V f(X <sub>IN</sub> ) = 4.4MHz			±3	LSB
		ADL 2 = "0"、ADL1 = "1"、CPUM7 = "0" V <sub>CC</sub> = V <sub>REF</sub> = 4.0 ~ 5.5V f(X <sub>IN</sub> ) = 2 × V <sub>CC</sub> MHz 10MHz			±3	LSB
		ADL 2 = "1"、ADL1 = "0"、CPUM7 = "1" かつEXPCM0 = "1" V <sub>CC</sub> = V <sub>REF</sub> = 1.8 ~ 2.2V			±4	LSB
t <sub>CONV</sub>	変換時間	f(X <sub>IN</sub> ) = 8MHz ( ADL 2 = "0"、ADL1 = "0"、CPUM7 = "0" )			TC(X <sub>IN</sub> ) × 100	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	V <sub>REF</sub> = 5V	50	150	200	μA
I <sub>A</sub>	アナログ入力電流				5.0	μA

表22 . A/Dコンバータ特性 (2) (10ビットA/D選択時)

(指定のない場合は、V<sub>CC</sub> = 1.8 ~ 5.5V、T<sub>a</sub> = -20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
ABS	絶対精度 (量子化誤差は除く)	ADL 2 = "0"、ADL1 = "0"、CPUM7 = "0" 2.2V V <sub>CC</sub> = V <sub>REF</sub> 5.5V f(X <sub>IN</sub> ) = 2 × V <sub>CC</sub> MHz 10MHz			±4	LSB
		ADL 2 = "0"、ADL1 = "1"、CPUM7 = "0" V <sub>CC</sub> = V <sub>REF</sub> = 4.0 ~ 5.5V f(X <sub>IN</sub> ) = 2 × V <sub>CC</sub> MHz 10MHz			±4	LSB
		ADL 2 = "1"、ADL1 = "0"、CPUM7 = "1" かつEXPCM0 = "1" V <sub>CC</sub> = V <sub>REF</sub> = 1.8 ~ 2.2V			±4	LSB
t <sub>CONV</sub>	変換時間	f(X <sub>IN</sub> ) = 8MHz ( ADL 2 = "0"、ADL1 = "0"、CPUM7 = "0" )			TC(X <sub>IN</sub> ) × 122	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	V <sub>REF</sub> = 5V	50	150	200	μA
I <sub>A</sub>	アナログ入力電流				5.0	μA

表23．タイミング必要条件（1）

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅		2		μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	4.0 Vcc < 4.5V	1000/(4 × Vcc - 8)		ns
		4.5 Vcc 5.5V	100		ns
twh(XIN)	メインクロック入力 “ H ” パルス幅	4.0 Vcc < 4.5	45		ns
		4.5 Vcc 5.5V	40		ns
twl(XIN)	メインクロック入力 “ L ” パルス幅	4.0 Vcc < 4.5	45		ns
		4.5 Vcc 5.5V	40		ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	4.0 Vcc < 4.5	1000/(2 × Vcc - 4)		ns
		4.5 Vcc 5.5V	200		ns
twh(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅	4.0 Vcc < 4.5	105		ns
		4.5 Vcc 5.5V	85		ns
twl(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅	4.0 Vcc < 4.5	105		ns
		4.5 Vcc 5.5V	85		ns
twh(INT)	INT0 ~ INT3入力 “ H ” パルス幅		80		ns
twl(INT)	INT0 ~ INT3入力 “ L ” パルス幅		80		ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)		800		ns
twh(SCLK)	シリアル/Oクロック入力 “ H ” パルス幅 (注)		370		ns
twl(SCLK)	シリアル/Oクロック入力 “ L ” パルス幅 (注)		370		ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間		220		ns
th(SCLK-RxD)	シリアル/O入力ホールド時間		100		ns

注．001A16番地のビット6が “ 1 ” (クロック同期形) の場合です。

001A16番地のビット6が “ 0 ” (クロック非同期形) の場合、規格値は1/4になります。

表24．タイミング必要条件（2）

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85 )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅		2		μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	2.0 Vcc 4.0V	125		ns
		Vcc < 2.0V	1000/(10 × Vcc - 12)		ns
twh(XIN)	メインクロック入力 “ H ” パルス幅	2.0 Vcc 4.0V	50		ns
		Vcc < 2.0V	70		ns
twl(XIN)	メインクロック入力 “ L ” パルス幅	2.0 Vcc 4.0V	50		ns
		Vcc < 2.0V	70		ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	2.0 Vcc 4.0V	1000/Vcc		ns
		Vcc < 2.0V	1000/(5 × Vcc - 8)		ns
twh(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅		tc(CNTR)/2 - 20		ns
twl(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅		tc(CNTR)/2 - 20		ns
twh(INT)	INT0 ~ INT3入力 “ H ” パルス幅		230		ns
twl(INT)	INT0 ~ INT3入力 “ L ” パルス幅		230		ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)		2000		ns
twh(SCLK)	シリアル/Oクロック入力 “ H ” パルス幅 (注)		950		ns
twl(SCLK)	シリアル/Oクロック入力 “ L ” パルス幅 (注)		950		ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間		400		ns
th(SCLK-RxD)	シリアル/O入力ホールド時間		200		ns

注．001A16番地のビット6が “ 1 ” (クロック同期形) の場合です。

001A16番地のビット6が “ 0 ” (クロック非同期形) の場合、規格値は1/4になります。

表25．スイッチング特性（1）

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
t <sub>WH</sub> (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
t <sub>WL</sub> (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
t <sub>d</sub> (SCLK-TxD)	シリアル/O出力遅延時間 (注)			140	ns
t <sub>v</sub> (SCLK-TxD)	シリアル/O出力有効時間 (注)	- 30			ns
t <sub>r</sub> (SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
t <sub>f</sub> (SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns

注．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。

表26．スイッチング特性（2）

(指定のない場合は、 $V_{CC} = 1.8 \sim 4.0V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
t <sub>WH</sub> (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 100			ns
t <sub>WL</sub> (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 100			ns
t <sub>d</sub> (SCLK-TxD)	シリアル/O出力遅延時間 (注)			350	ns
t <sub>v</sub> (SCLK-TxD)	シリアル/O出力有効時間 (注)	- 30			ns
t <sub>r</sub> (SCLK)	シリアル/Oクロック出力立ち上がり時間			100	ns
t <sub>f</sub> (SCLK)	シリアル/Oクロック出力立ち下がり時間			100	ns

注．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。

図69．出力スイッチング特性の測定回路図

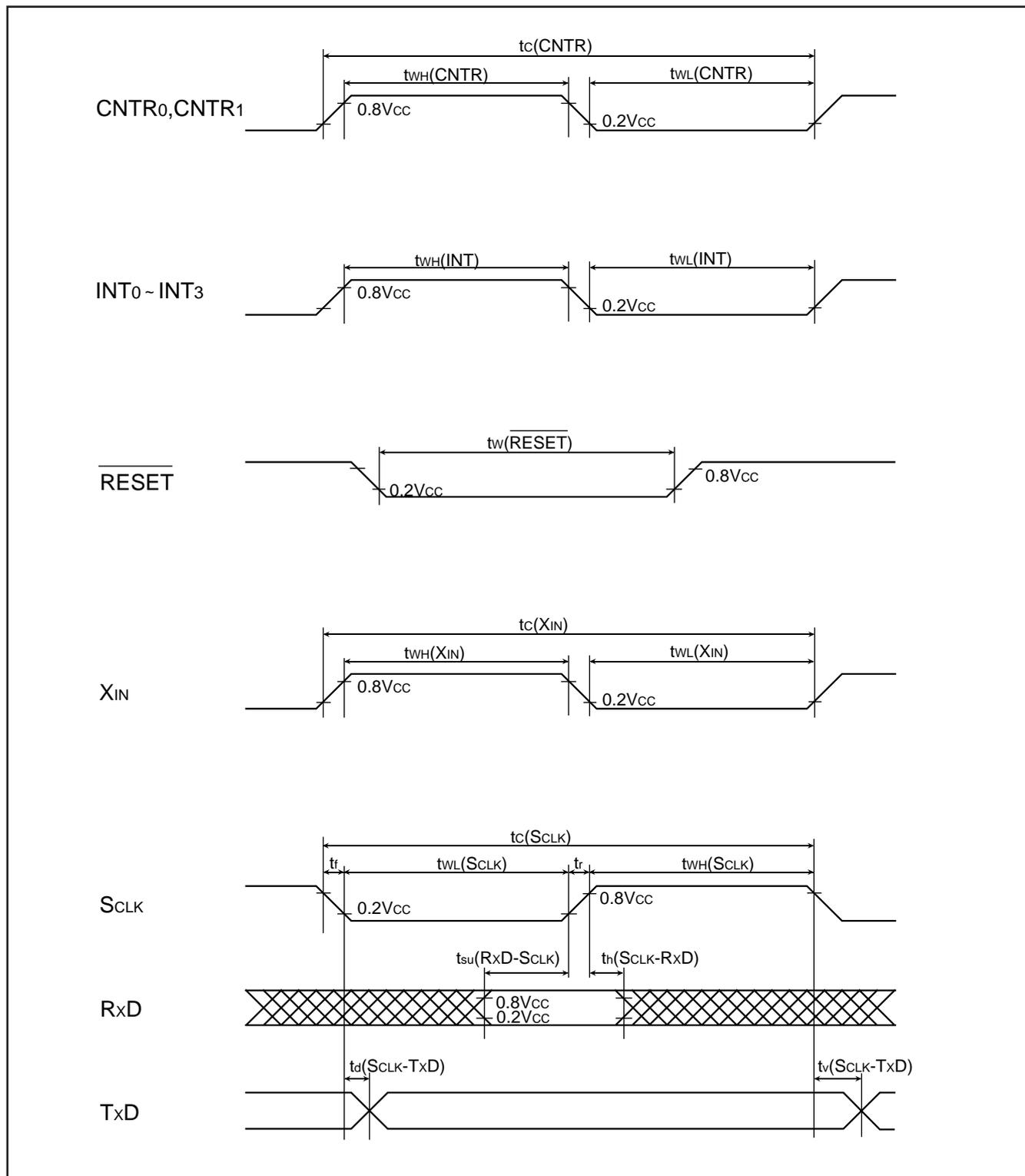
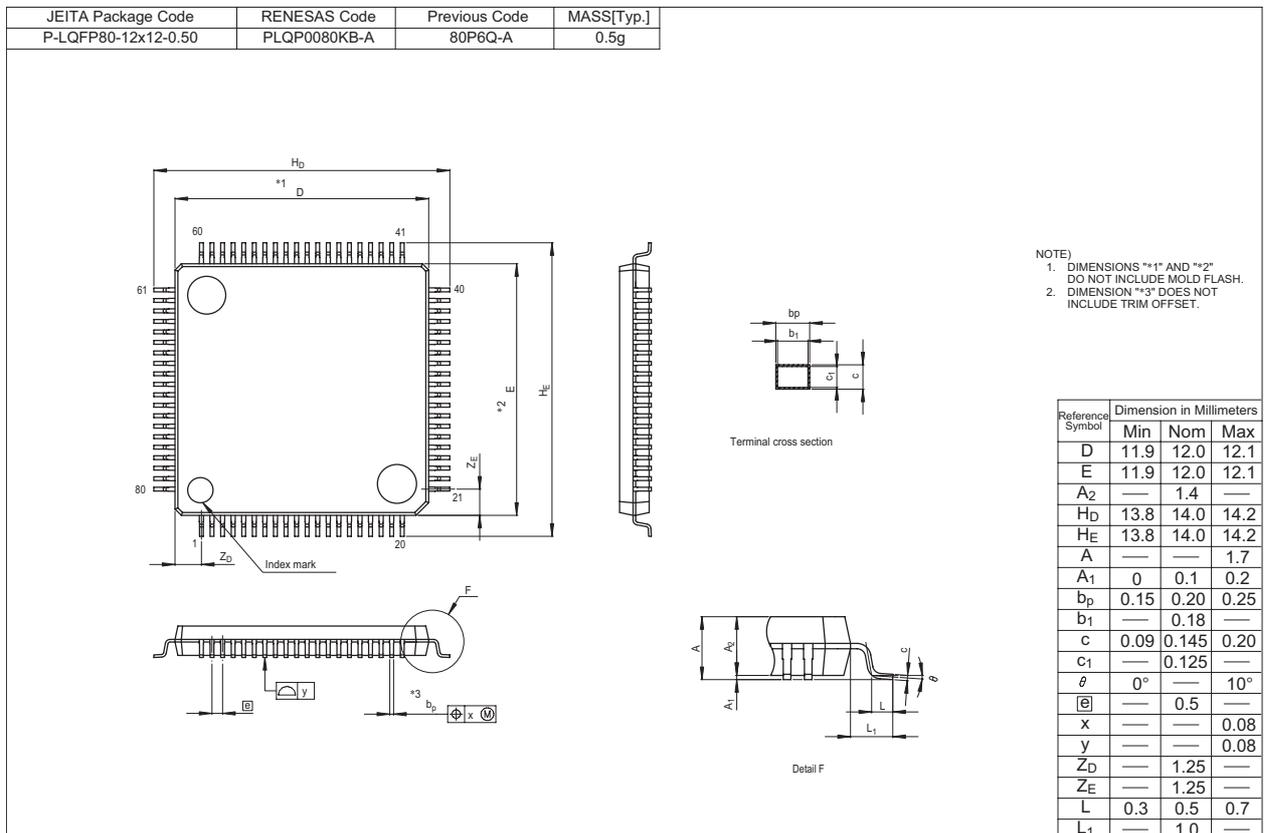
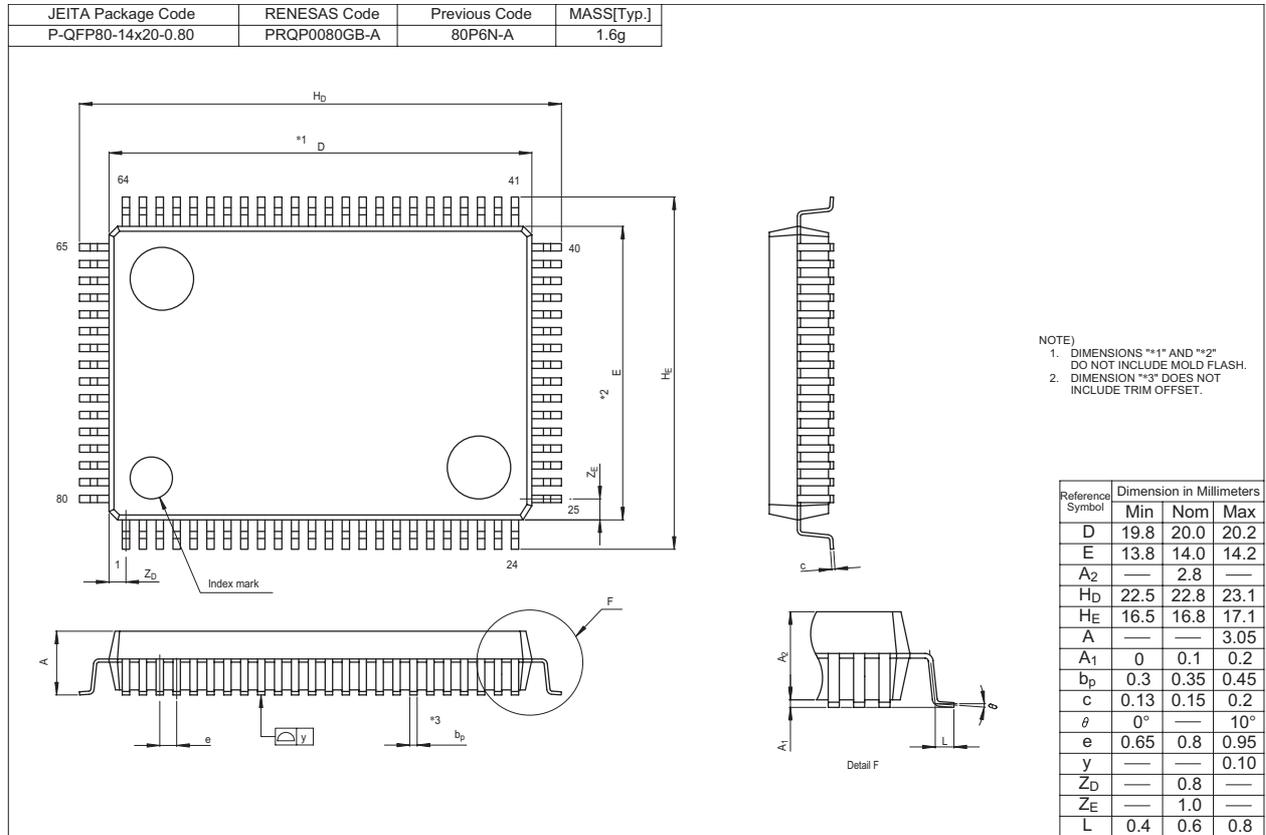


図70 . タイミング図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



## 改訂履歴

## 3823 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	05/05/13	-	初版発行
2.00	05/07/07	7 8 13 39 48 51 53 54 60	図 5 製品追加 表 3 製品追加 ROM コードプロテクト番地 追記 図 10 メモリ配置図変更 STP 命令実行について 変更 発振制御(1)ストップモード 変更 LCD 駆動制御回路に関するもの 変更 (6)P40/(V <sub>pp</sub> )端子配線 変更 図 59 変更 図 60 “(Aバージョン)” 削除 「QzROM に関する注意事項」 追加 Icc 測定条件(STP 命令実行時)、規格値追加
2.01	05/11/08	53 61 65	図 59 変更 表 20、21 ABS 測定条件 一部変更 CPUM7= “ 0 ” CPUM7= “ 1 ” 外形寸法図 改訂
2.02	07/06/18	- 2 5 7 8 14 16 21 22 ~ 26 40 45 47 50 51 52 53 54 ~ 57 58 61	「RENESAS TECHNICAL UPDATE」 反映： TN-740-A111A/J 図 1、図 2 : P40/(V <sub>PP</sub> ) P40 表 2 : P40/(V <sub>PP</sub> ) P40、P20/KW0 ~ P27/KW7 追記 図 5 M38234G4、M38235G6 : 開発中 量産中 注削除 表 3 : 開発中表示削除 図 11 : ウォッチドッグタイマレジスタ ウォッチドッグタイマ制御レジスタ、 注追記 表 7 : A/D 制御レジスタ AD 制御レジスタ 表 8 : P40/(V <sub>PP</sub> ) P40、AVSS 追記 割り込み : 説明変更、図 18 ~ 20 追記 図 37 端子名追記 ROM 訂正機能 : 説明追記、注 2 一部追記 ウォッチドッグタイマの初期値 : 説明追記 ウォッチドッグタイマの動作 : 一部削除 ウォッチドッグタイマ制御レジスタのビット 6 : 追記、ビット 7 : 変更 図 48 変更、注追記 図 53 : ポート P0 出力制御レジスタ(000016) ポート P0 方向レジスタ(000116) 周波数制御 : 一部追記 図 56 変更 図 57 変更 QzROM 書き込みモード追記 プロセッサステータスレジスタに関するもの : 追記 過電圧に関する注意事項 : 説明追記、図 68 追記

## 改訂履歴

## 3823 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.02	07/06/18	62	表 15 : VREF 規格値 最小 2.0 1.8
		66	表 19 : VRAM 追記
		67	表 20 : ICC 2分周モード 最大 01.6 1.6 Roco 測定条件 : Ta=25 追記
		72	注追記

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guarantees regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
  - (1) artificial life support devices or systems
  - (2) surgical implantations
  - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
  - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.



**RENESAS SALES OFFICES**

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

**Renesas Technology America, Inc.**  
450 Holger Way, San Jose, CA 95134-1368, U.S.A  
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

**Renesas Technology Europe Limited**  
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.  
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

**Renesas Technology (Shanghai) Co., Ltd.**  
Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120  
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

**Renesas Technology Hong Kong Ltd.**  
7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong  
Tel: <852> 2265-6688, Fax: <852> 2730-6071

**Renesas Technology Taiwan Co., Ltd.**  
10th Floor, No.99, Fushing North Road, Taipei, Taiwan  
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

**Renesas Technology Singapore Pte. Ltd.**  
1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632  
Tel: <65> 6213-0200, Fax: <65> 6278-8001

**Renesas Technology Korea Co., Ltd.**  
Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea  
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

**Renesas Technology Malaysia Sdn. Bhd**  
Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
Tel: <603> 7955-9390, Fax: <603> 7955-9510