

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3822グループ(Aバージョン) SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0077-0120Z  
Rev.1.20  
2003.12.24

### 概要

3822グループ(Aバージョン)は、740ファミリコアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路、A-D変換器、シリアルI/Oなどの付加機能を備えています。

内蔵するメモリの容量、パッケージの異なる複数の品種があります。詳細については型名とメモリサイズ・パッケージの項を参照してください。

### 特長

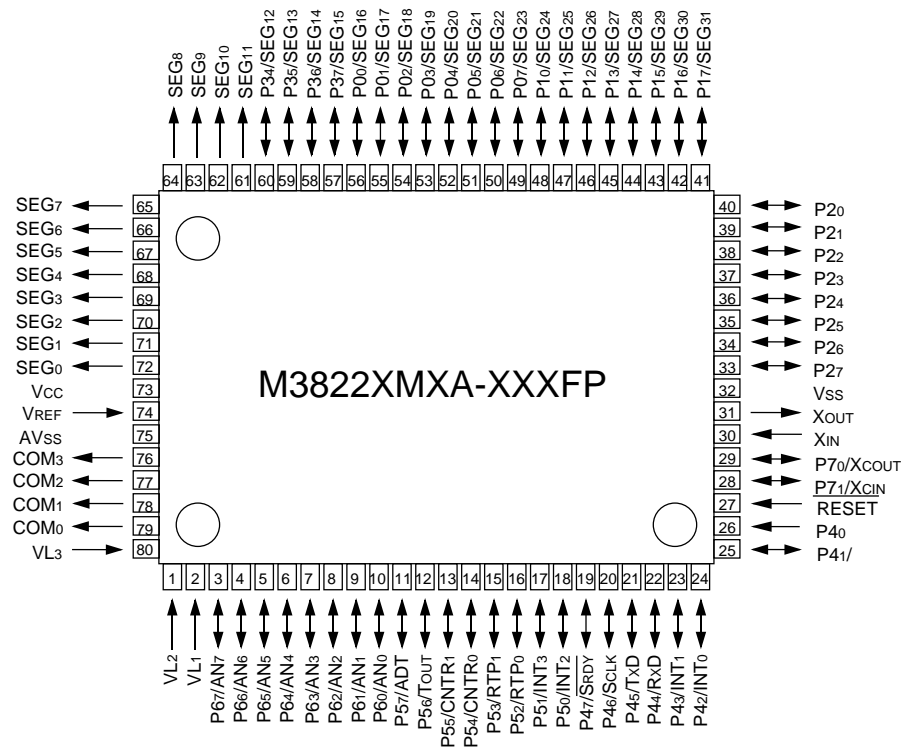
- 基本機械語命令 ..... 71
- 命令実行時間 ..... 0.4  $\mu$ s  
(最短命令、f(XIN) = 10MHz、高速モード時)
- メモリ容量 ROM ..... 16K ~ 48Kバイト  
RAM ..... 512 ~ 1024バイト
- プログラマブル入出力ポート ..... 49本
- ソフトウェアアップ/ダウン抵抗 ..... ホットP40以外のP0 ~ P7
- 割り込み ..... 17要因、16ベクタ  
(キー入力割り込みを含む)
- タイマ ..... 8ビット×3、16ビット×2
- シリアルI/O ..... 8ビット×1  
(UART又はクロック同期形)

- A-D変換器 ..... 8ビット×8チャンネル
- LCD駆動制御回路 バイアス ..... 1/2、1/3バイアス  
時分割 ..... 2、3、4時分割  
コモン出力 ..... 4本  
セグメント出力 ..... 32本
- クロック発生回路 ..... 2回路内蔵  
(セラミック共振子又は水晶発振子外付け)
- 電源電圧 高速モード時(f(XIN) 10MHz) ..... 4.5 ~ 5.5V  
高速モード時(f(XIN) 8MHz) ..... 4.0 ~ 5.5V  
中速モード時(f(XIN) 6MHz) ..... 1.8 ~ 5.5V  
低速モード時 ..... 1.8 ~ 5.5V
- 消費電力 高速モード時 ..... 標準15mW  
(Vcc=5V、f(XIN) = 8MHz、Ta=25 )  
低速モード時 ..... 標準24  $\mu$ W  
(Vcc=3V、f(XIN) = 停止、f(XCIN) = 32kHz、Ta=25 )
- 動作周囲温度 ..... -20 ~ 85

### 応用

カメラ、家電、民生機器など

ピン接続図(上面図)



外形 80P6N-A

図1. M3822XMXA-XXXFPピン接続図

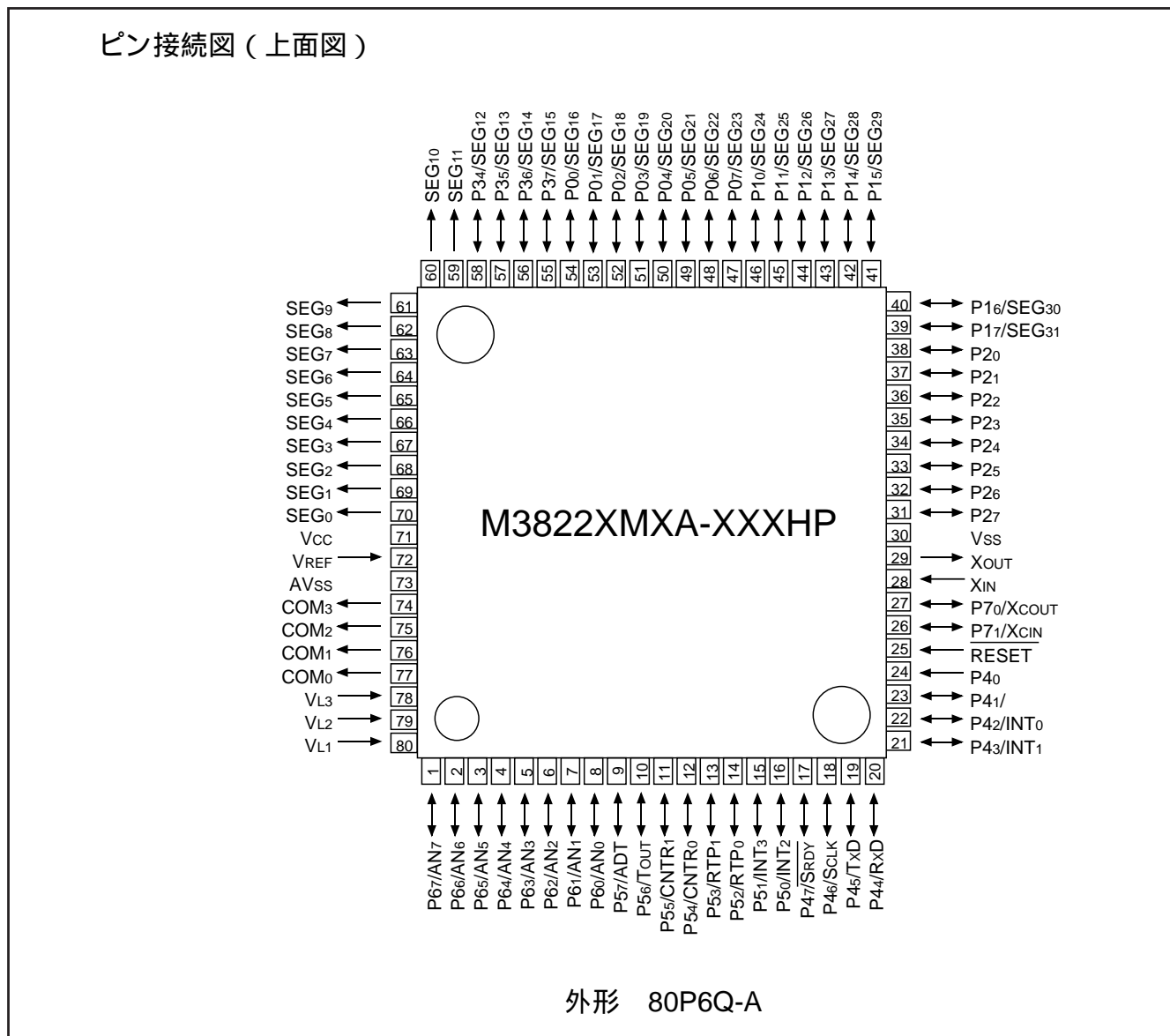


図2 . M3822XMXA-XXXHPピン接続図

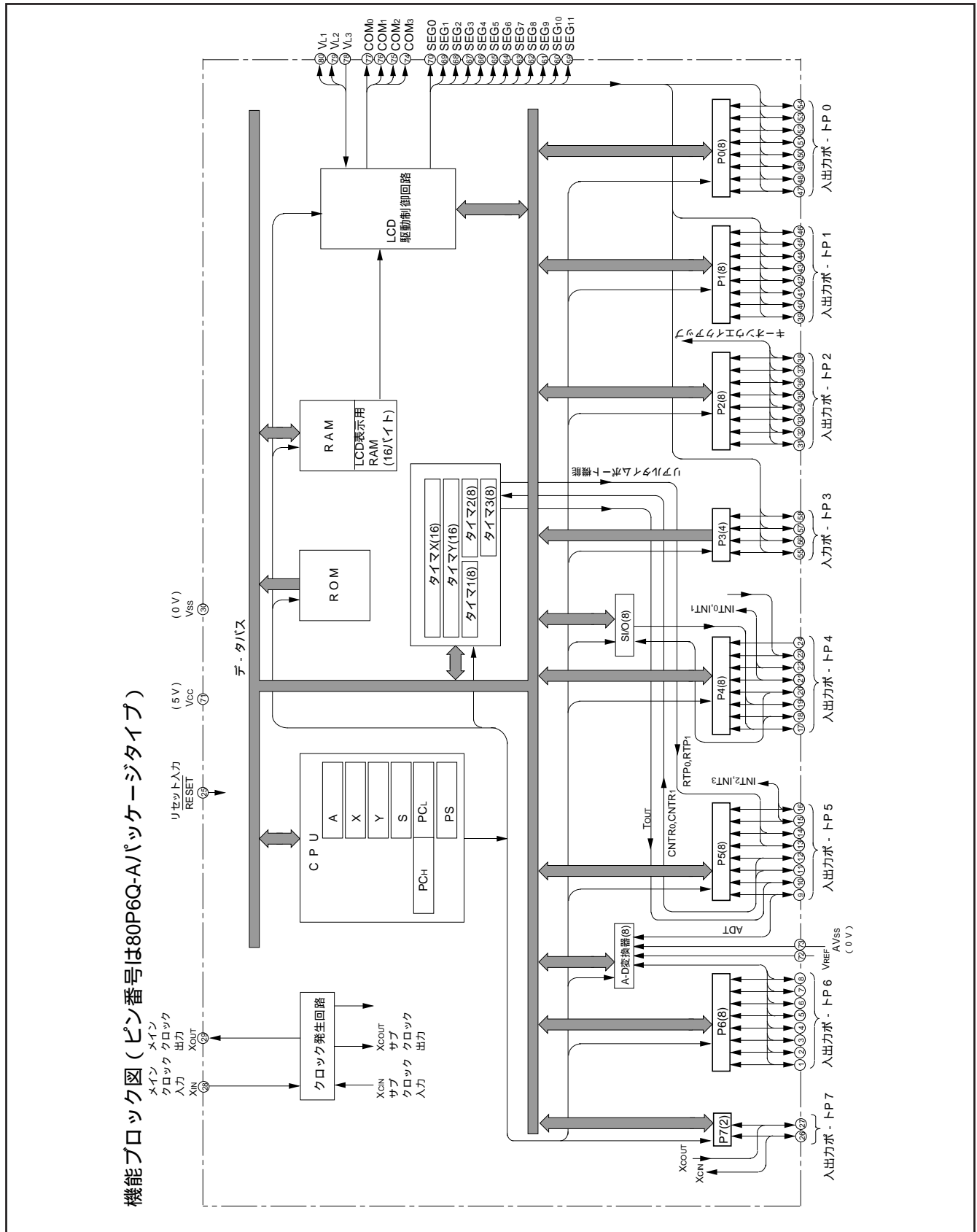


図3. 機能ブロック図

表1 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに電源電圧、Vssに0Vを印加します。(Vccについては推奨動作条件参照。)	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器の電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
VL1 ~ VL3	LCD用電源入力	0 VL1 VL2 VL3 Vccの電圧を印加します。LCDには、0 ~ VL3の電圧を印加します。	
COM0 ~ COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。	
SEG0 ~ SEG11	セグメント出力	LCDセグメント出力端子です。	
P00/SEG16 ~ P07/SEG23	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルダウン制御/ポート単位の入出力指定が可能です。	LCD用セグメント出力端子
P10/SEG24 ~ P17/SEG31	入出力ポートP1		
P20 ~ P27	入出力ポートP2	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	キー入力(キーオンウエイクアップ)割り込み入力端子
P34/SEG12 ~ P37/SEG15	入力ポートP3	4ビットの入力ポートです。CMOS入力レベルです。プルダウン制御が可能です。	LCD用セグメント出力端子
P40	入力ポートP4	1ビットの入力ポートです。CMOS入力レベルです。	
P41/ P42/INT0, P43/INT1 P44/RxD, P45/TxD, P46/SCLK, P47/SRDY	入出力ポートP4	7ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	出力端子
			割り込み入力端子
			シリアルI/Oの機能端子
P50/INT2, P51/INT3 P52/RTP0, P53/RTP1 P54/CNTR0, P55/CNTR1 P56/TOUT P57/ADT	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	割り込み入力端子
			リアルタイムポート機能端子
			タイマX、タイマY機能端子
			タイマ2出力端子
			A-Dトリガ入力端子
P60/AN0 ~ P67/AN7	入出力ポートP6	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	A-D変換器の入力端子
P70/XCOUT, P71/XCN	入出力ポートP7	2ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	サブクロック発生回路の入出力端子(発振子を接続します。外部で生成したクロックの直接入力はできません。)

型名とメモリサイズ・パッケージ

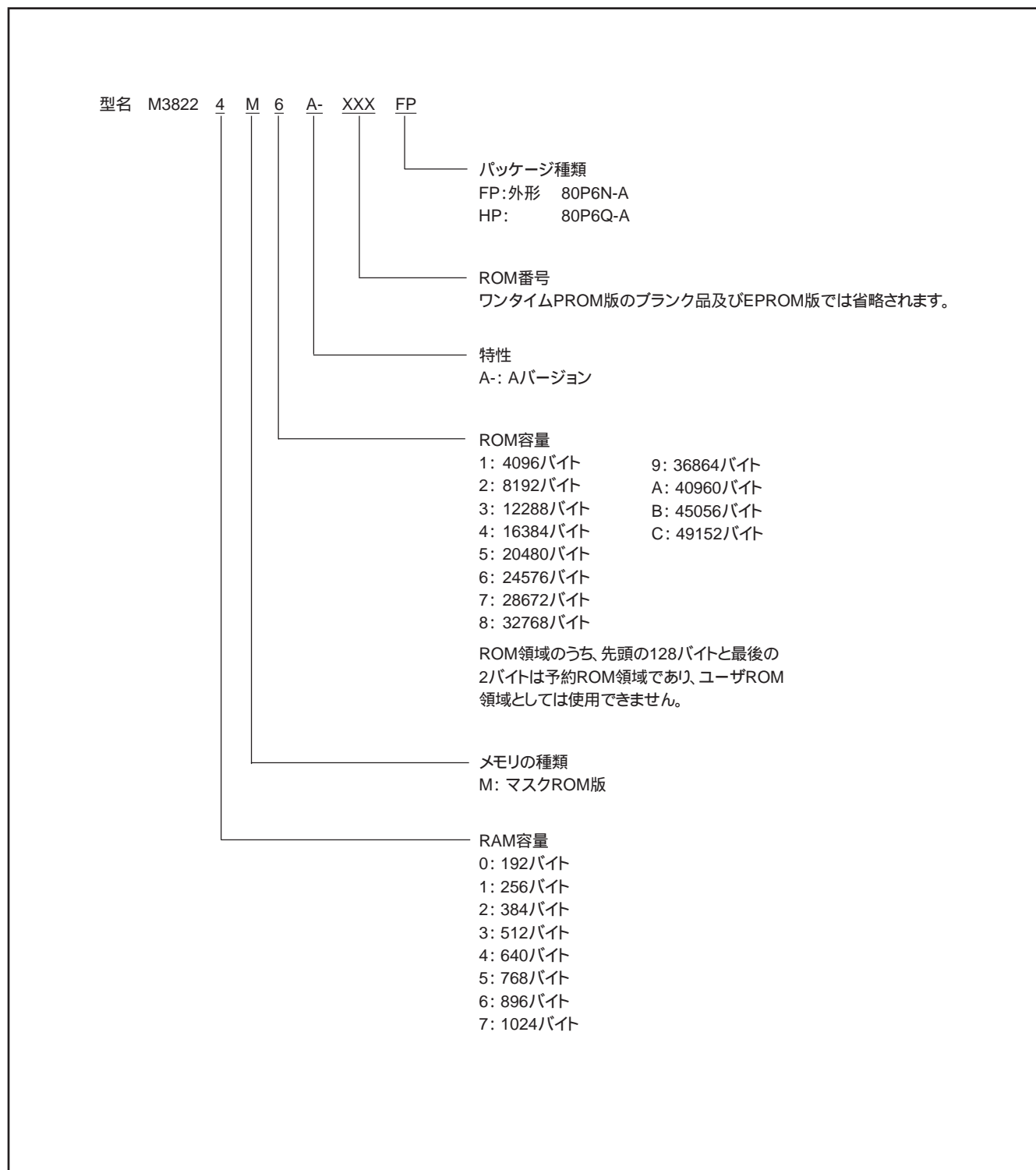


図4 . 型名とメモリサイズ・パッケージ

グループ展開(Aバージョン)

3822グループ(Aバージョン)は次のような展開を計画していません。

メモリの種類

マスクROM版のサポート

メモリ容量

ROM容量 ..... 16K ~ 48Kバイト

RAM容量 ..... 512 ~ 1024バイト

パッケージ

80P6N-A ..... 0.8mmピッチプラスチックモールドQFP

80P6Q-A ..... 0.5mmピッチプラスチックモールドQFP

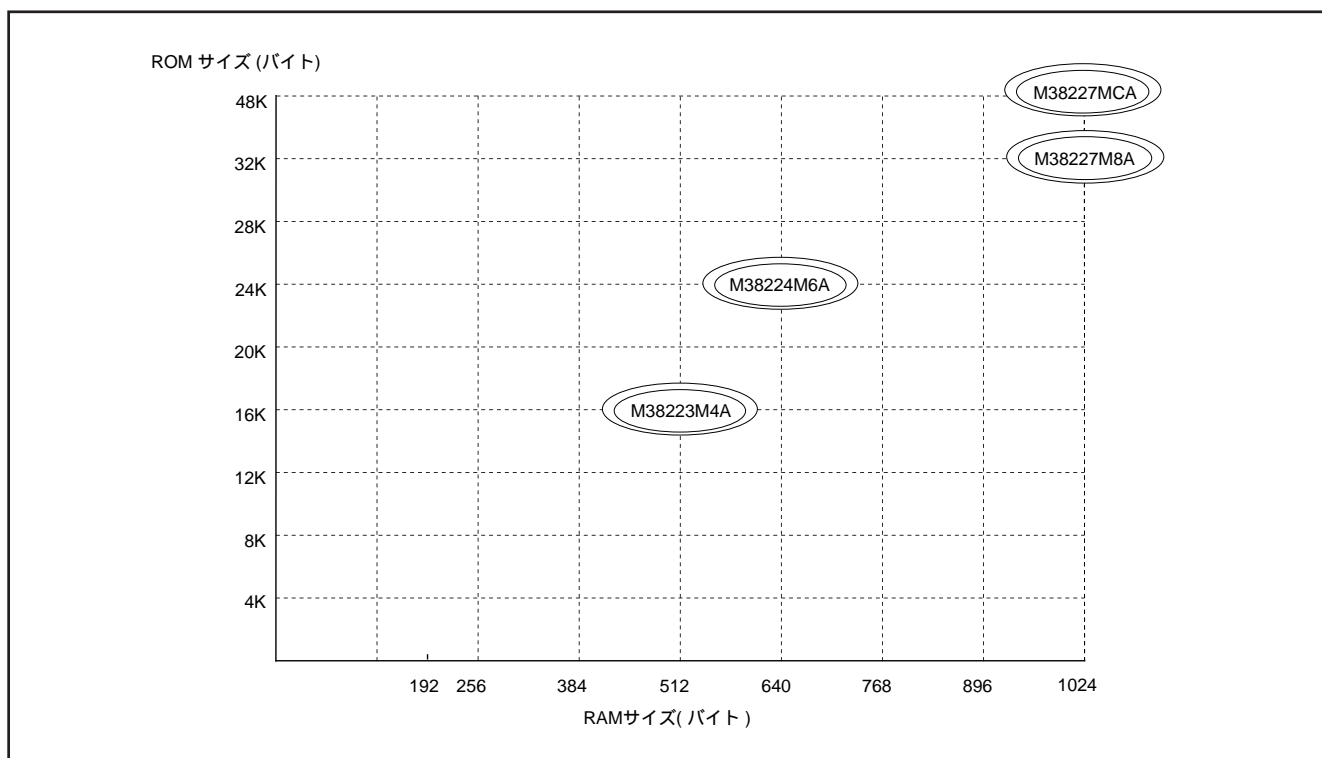


図5 3822グループ(Aバージョン)ROM、RAM展開計画

製品一覧を表2に示します。

表2 製品一覧

2002年8月現在

製品型名	ROM容量(バイト) ( )内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38223M4A-XXXFP	16384	512	80P6N-A	マスクROM版
M38223M4A-XXXHP	(16254)		80P6Q-A	マスクROM版
M38224M6A-XXXFP	24576	640	80P6N-A	マスクROM版
M38224M6A-XXXHP	(24446)		80P6Q-A	マスクROM版
M38227M8A-XXXFP	32768	1024	80P6N-A	マスクROM版
M38227M8A-XXXHP	(32638)		80P6Q-A	マスクROM版
M38227MCA-XXXFP	49152		80P6N-A	マスクROM版
M38227MCA-XXXHP	(49022)		80P6Q-A	マスクROM版



## 機能ブロック動作説明

## 中央演算処理装置 (CPU)

3822グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00<sub>16</sub>”となり、“1”の場合は“01<sub>16</sub>”となります。

スタックへの退避及び復帰動作を図7に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

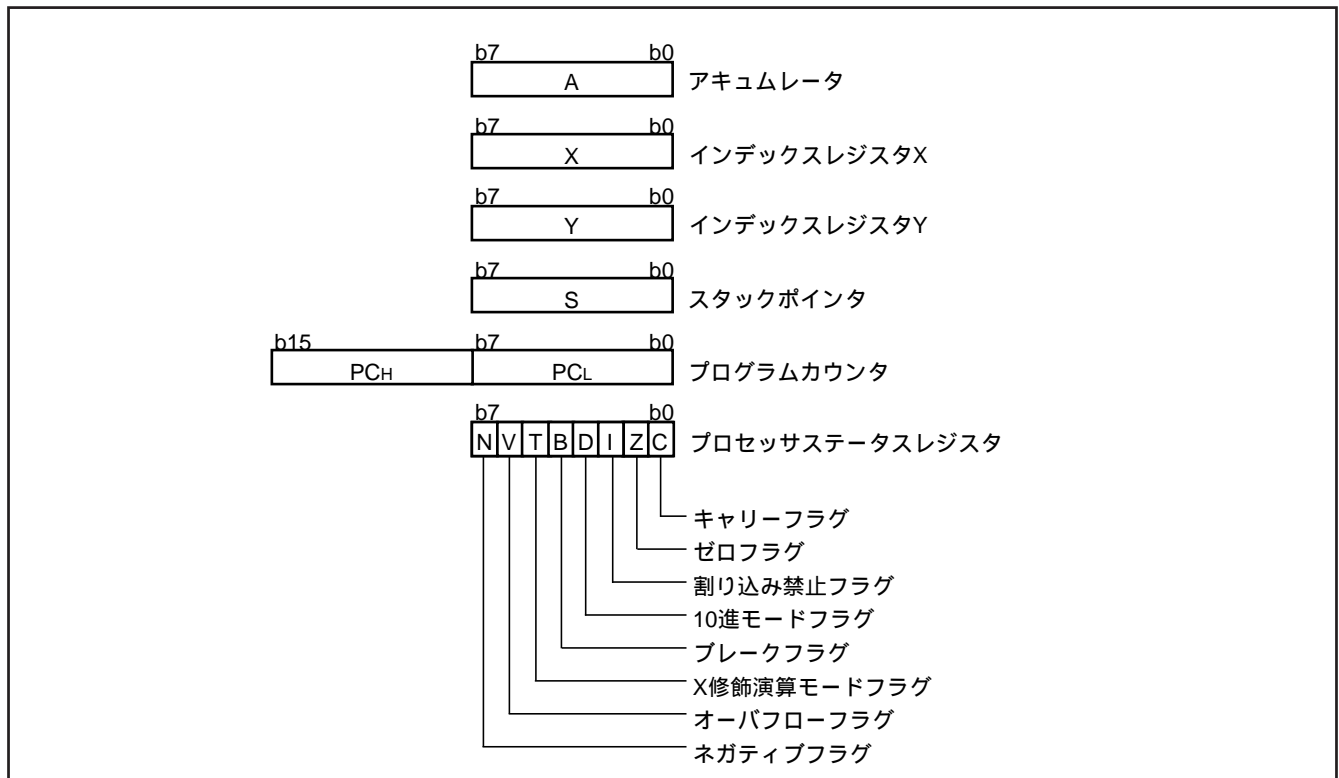


図6 .740ファミリ CPUの構成

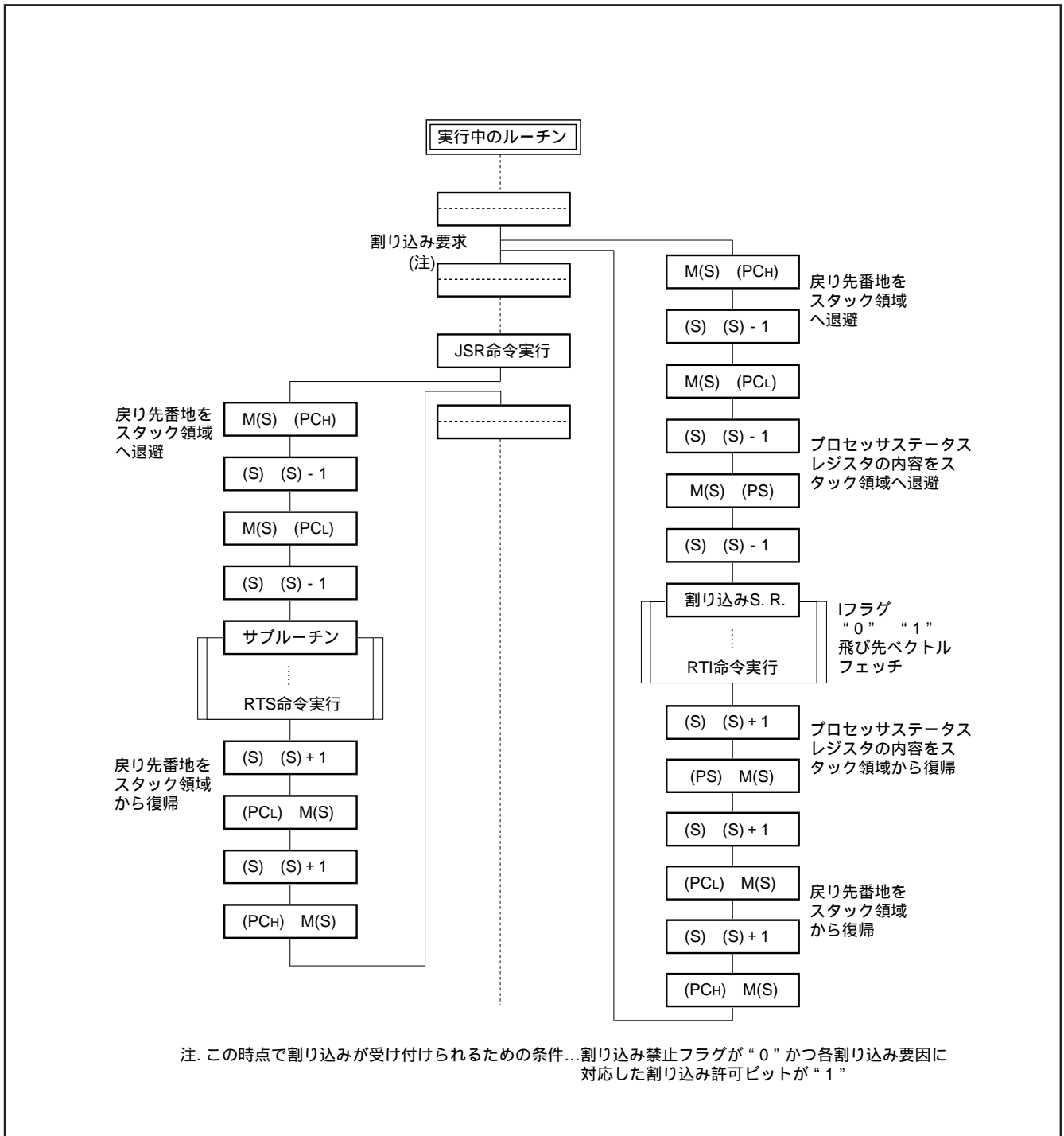


図7 スタックへの退避及び復帰動作

表3 .アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

## ・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

## ・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

## ・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

## ・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## ・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

## ・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

## ・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## ・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

## 【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

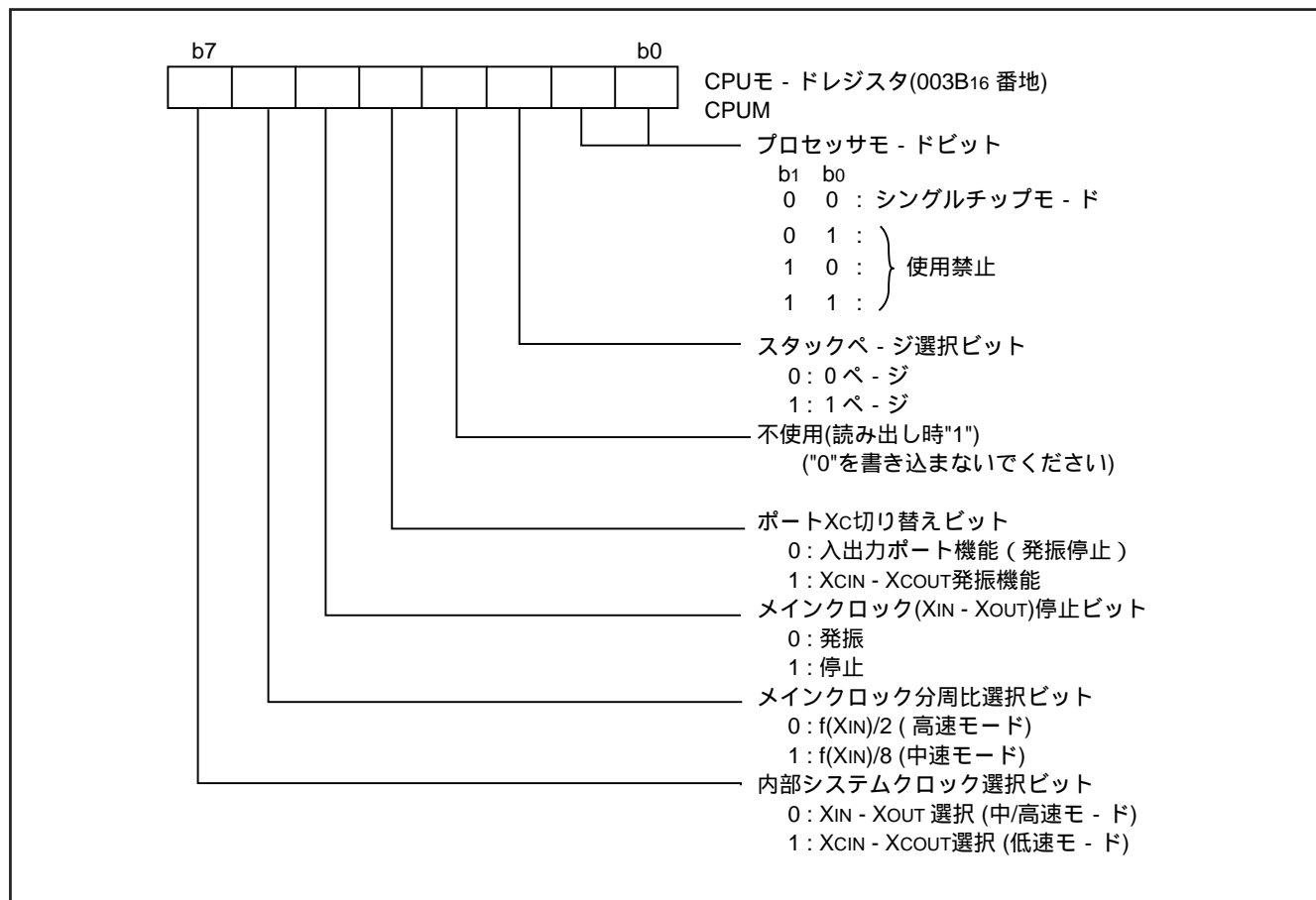


図8 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

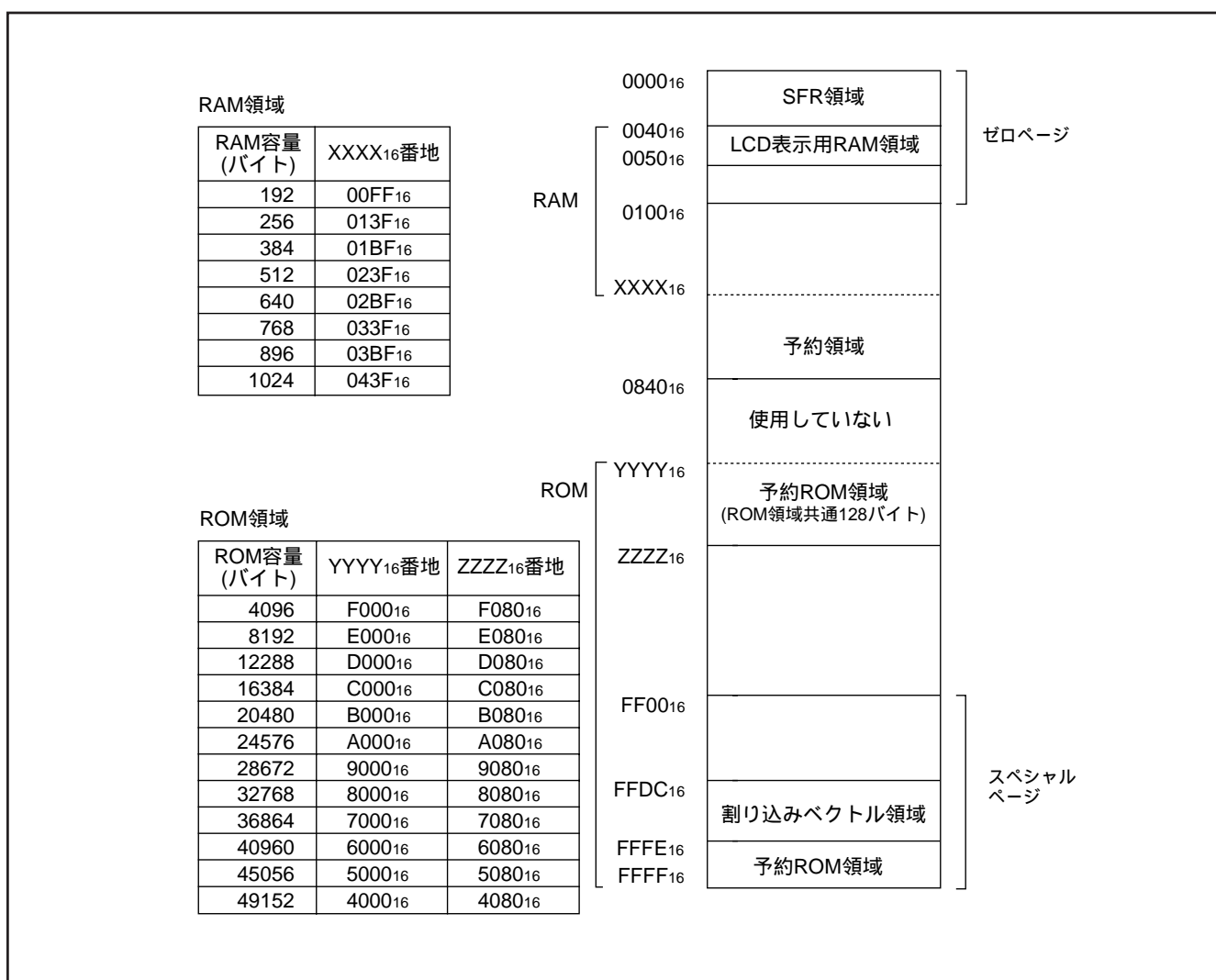


図9. メモリ配置図

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	タイマX(下位)(TXL)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)	0021 <sub>16</sub>	タイマX(上位)(TXH)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	タイマY(下位)(TYL)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	タイマY(上位)(TYH)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	タイマ1(T1)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)	0025 <sub>16</sub>	タイマ2(T2)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	タイマ3(T3)
0007 <sub>16</sub>		0027 <sub>16</sub>	タイマXモードレジスタ(TXM)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	タイマYモードレジスタ(TYM)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	タイマ123モ - ドレジスタ(T123M)
000A <sub>16</sub>	ポートP5(P5)	002A <sub>16</sub>	出力制御レジスタ(CKOUT)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)	002B <sub>16</sub>	
000C <sub>16</sub>	ポートP6(P6)	002C <sub>16</sub>	
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)	002D <sub>16</sub>	
000E <sub>16</sub>	ポートP7(P7)	002E <sub>16</sub>	
000F <sub>16</sub>	ポートP7方向レジスタ(P7D)	002F <sub>16</sub>	
0010 <sub>16</sub>		0030 <sub>16</sub>	
0011 <sub>16</sub>		0031 <sub>16</sub>	
0012 <sub>16</sub>		0032 <sub>16</sub>	
0013 <sub>16</sub>		0033 <sub>16</sub>	
0014 <sub>16</sub>		0034 <sub>16</sub>	A-D制御レジスタ(ADCON)
0015 <sub>16</sub>		0035 <sub>16</sub>	A-D変換レジスタ(AD)
0016 <sub>16</sub>	PULLレジスタA(PULLA)	0036 <sub>16</sub>	
0017 <sub>16</sub>	PULLレジスタB(PULLB)	0037 <sub>16</sub>	
0018 <sub>16</sub>	送信/受信バッファレジスタ(TB/RB)	0038 <sub>16</sub>	セグメント出力許可レジスタ(SEG)
0019 <sub>16</sub>	シリアルI/Oステータスレジスタ(SIOSTS)	0039 <sub>16</sub>	LCDモードレジスタ(LM)
001A <sub>16</sub>	シリアルI/O制御レジスタ(SIOCON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART制御レジスタ(UARTCON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ポーレートジェネレータ(BRG)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>		003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>		003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>		003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)

図10 . SFR (スペシャルファンクションレジスタ) メモリマップ

## 入出力ポート

方向レジスタ(ポートP2、P4<sub>1</sub>～P4<sub>7</sub>、P5～P7)

入出力ポートP2、P4<sub>1</sub>～P4<sub>7</sub>、P5～P7は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用する、ビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

## 方向レジスタ(ポートP0、P1)

ポートP0、P1は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用する、ポート単位に設定することが可能です。方向レジスタのビット0を“1”にセットすると、その端子は出力ポートになります。“0”にクリアすると入力ポートになります。

ポートP0～P1の方向レジスタのビット1～ビット7は使用していません。

ポートP3、P4<sub>0</sub>

入力専用ポートです。

## プルアップ/プルダウン制御

P4<sub>0</sub>を除くポートはPULLレジスタA(0016<sub>16</sub>番地)及びPULLレジスタB(0017<sub>16</sub>番地)を設定することにより、プログラムでプルアップ/プルダウン(セグメント出力兼用端子はプルダウン、それ以外の端子はプルアップ)の制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離されプルアップ/プルダウンは行われません。

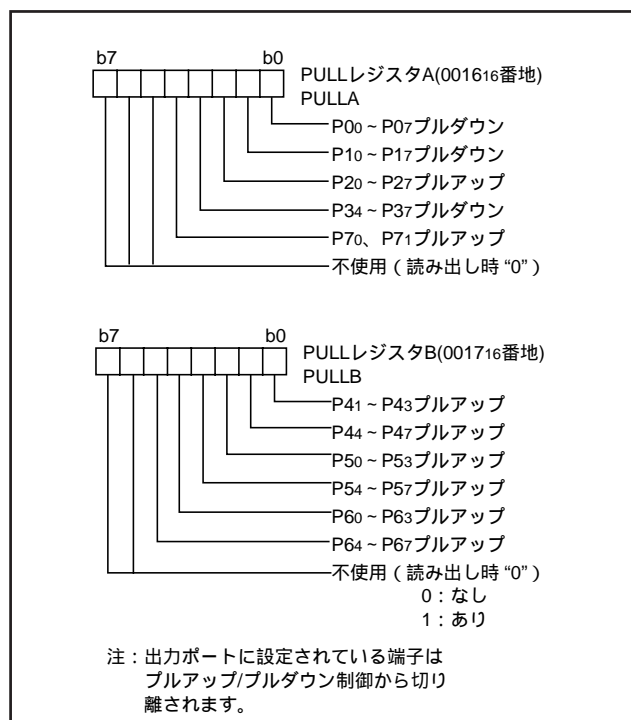


図11 . PULLレジスタA、PULLレジスタBの構成

表5 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SEG16 ～ P07/SEG23	ポートP0	入出力 ポート単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(1)
P10/SEG24 ～ P17/SEG31	ポートP1					
P20～P27	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力(キーオンウエイク アップ)割り込み入力	PULLレジスタA 割り込み制御レジスタ2	(2)
P34/SEG12 ～ P37/SEG15	ポートP3	入力	CMOS入力レベル	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(3)

表6 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P40	ポートP4	入力	CMOS入力レベル			(4)
P41/		入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	クロック出力	PULLレジスタB 出力制御レジスタ	(5)
P42/INT0, P43/INT1				外部割り込み入力	PULLレジスタB 割り込みエッジ選択 レジスタ	(2)
P44/RxD				シリアルI/O機能入出力	PULLレジスタB シリアルI/O制御レジスタ シリアルI/Oステータス レジスタ UART制御レジスタ	(6)
P45/TxD,						(7)
P46/SCLK,						(8)
P47/SRDY						(9)
P50/INT2, P51/INT3	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	外部割り込み入力	PULLレジスタB 割り込みエッジ選択 レジスタ	(2)
P52/RTP0, P53/RTP1				リアルタイムポート機能出力	PULLレジスタB タイマXモードレジスタ	(10)
P54/CNTR0				タイマX機能入出力	PULLレジスタB タイマXモードレジスタ	(11)
P55/CNTR1				タイマY機能入力	PULLレジスタB タイマYモードレジスタ	(12)
P56/TOU				タイマ2出力	PULLレジスタB タイマ123モード レジスタ	(13)
P57/ADT				A-Dトリガ 入力	PULLレジスタB A-D制御レジスタ	(12)
P60/AN0 ~ P67/AN7				ポートP6		入出力 ビット単位
P70/XCOU	ポートP7	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力		サブクロック発生回路入出力	
P71/XCIN				(16)		
COM0 ~ COM3	コモン	出力	LCDコモン出力		LCDモードレジスタ	(17)
SEG0 ~ SEG11	セグメント	出力	LCDセグメント出力			(18)

注1. ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. 各端子の入力レベルが不安定な場合は入力段ゲートの貫通電源電流が流れ、特に低消費電流を期待する状態(STP, WIT命令実行中など)では、電源電流が増大することがあります。使用しない入力端子は、抵抗を介して“H”または“L”レベルに固定してください。



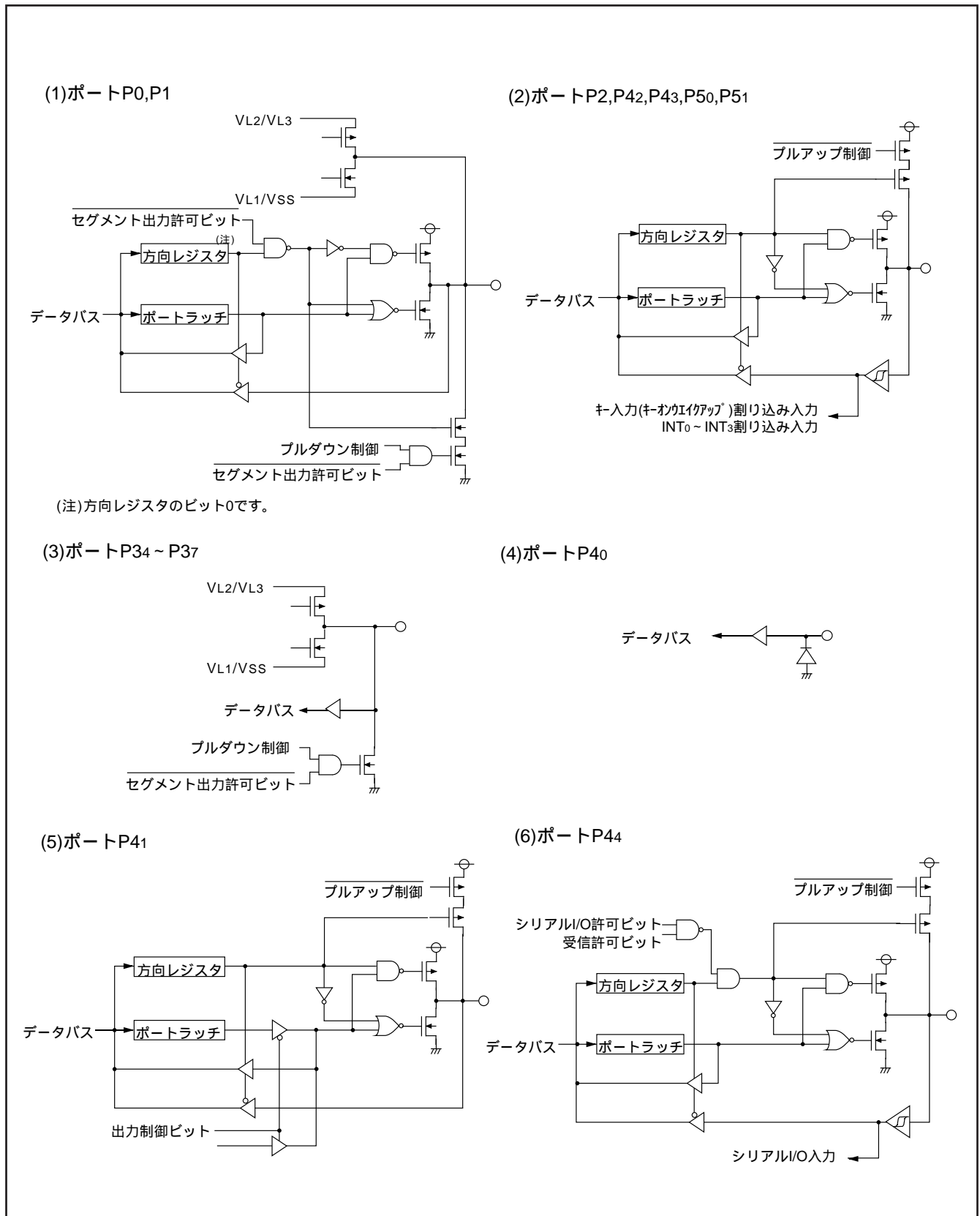


図12 . ポートのブロック図(1)

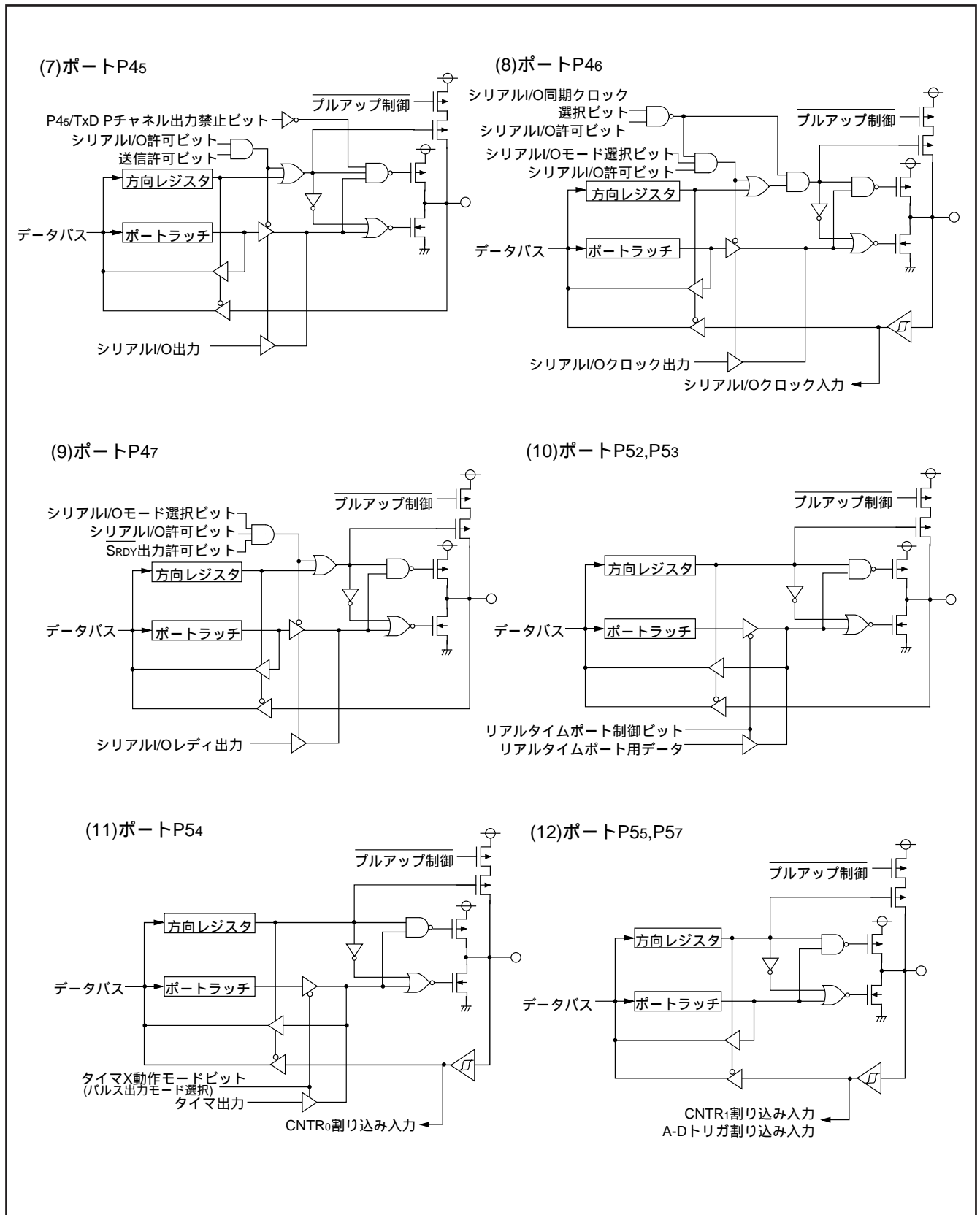


図13 . ポートのブロック図 (2)

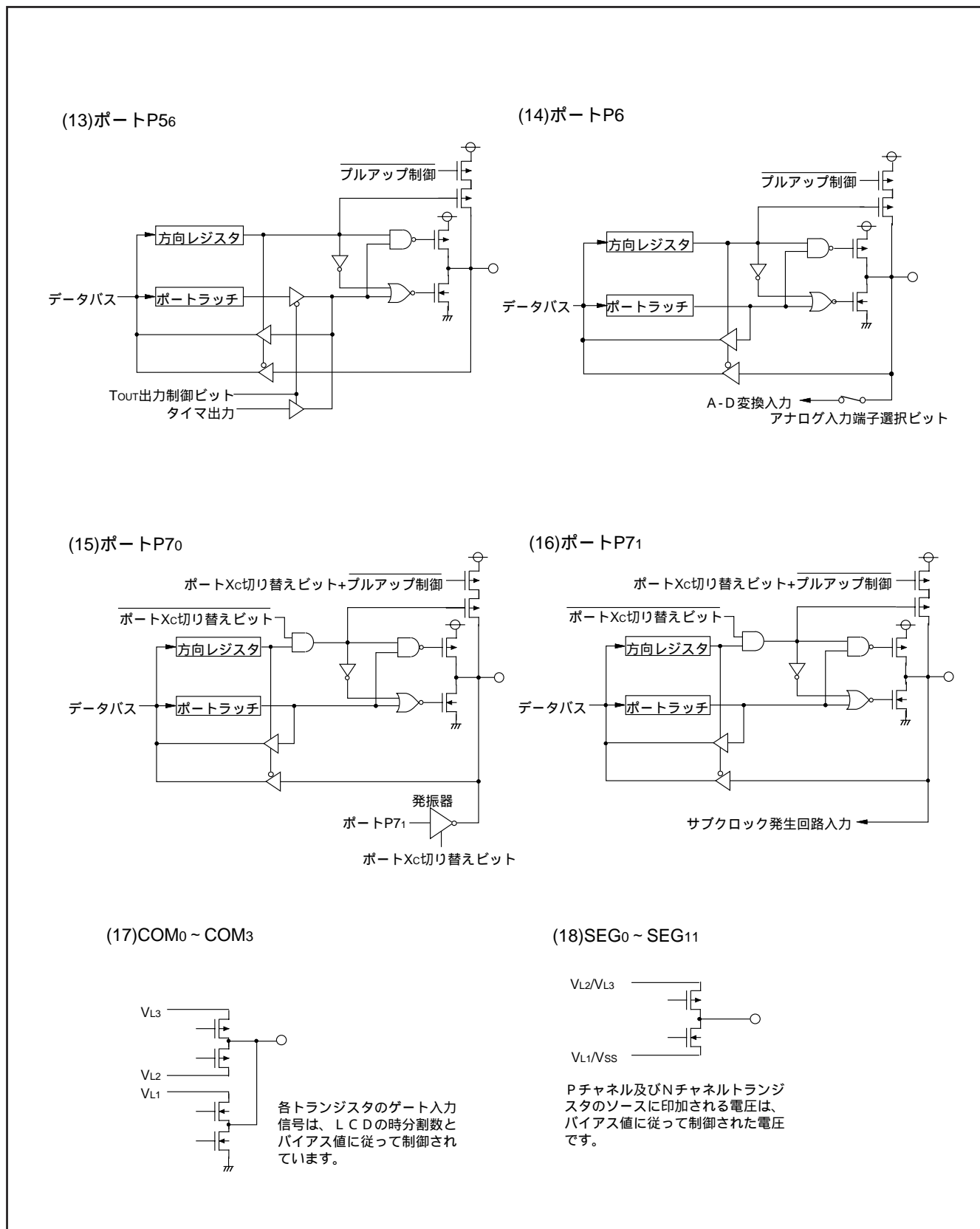


図14 . ポートのブロック図 (3)

## 割り込み

割り込みはベクトル割り込みで、外部8要因、内部8要因、ソフトウェア1要因の17要因から発生することが可能です。

## 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

## 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

表7 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O受信	4	FFF716	FFF616	シリアルI/Oデータ受信終了時	シリアルI/O選択時のみ有効
シリアルI/O送信	5	FFF516	FFF416	シリアルI/O送信シフト終了時又は送信バッファ空時	シリアルI/O選択時のみ有効
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
CNTR0	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマ1	12	FFE716	FFE616	タイマ1アンダフロー時	
INT2	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT3	14	FFE316	FFE216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
キー入力(キーオンウエイクアップ)	15	FFE116	FFE016	ポートP2(入力時)入力レベルの論理積の立ち下がり時	外部割り込み (立ち下がり有効)
ADT	16	FFDF16	FFDE16	ADT入力の立ち下がり時	ADT割り込み選択時有効 外部割り込み (立ち下がり有効)
A-D変換				A-D変換終了時	A-D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

注意事項

次の場合、割り込み要求ビットが「1」になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際  
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)  
                  タイマXモードレジスタ(2716番地)  
                  タイマYモードレジスタ(2816番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ: A-D制御レジスタ(3416番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ①該当する割り込み許可ビットを「0(禁止)」にする。
- ②割り込みエッジ選択ビットや割り込み要因ビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを「0」にする。
- ④該当する割り込み許可ビットを「1(許可)」にする。

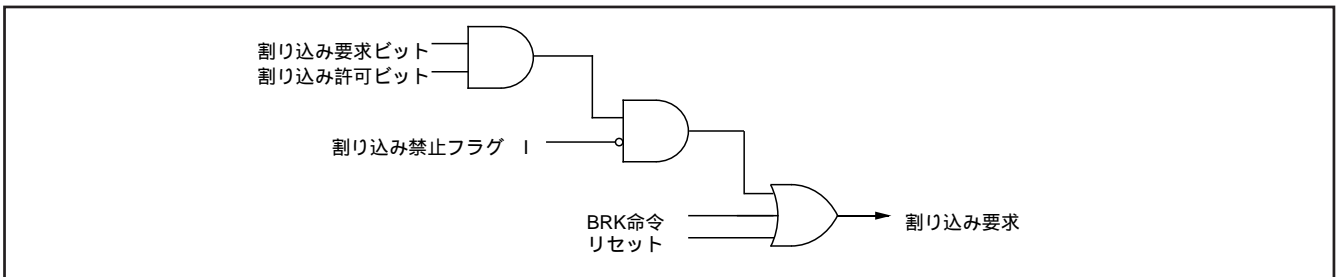


図15. 割り込み制御図

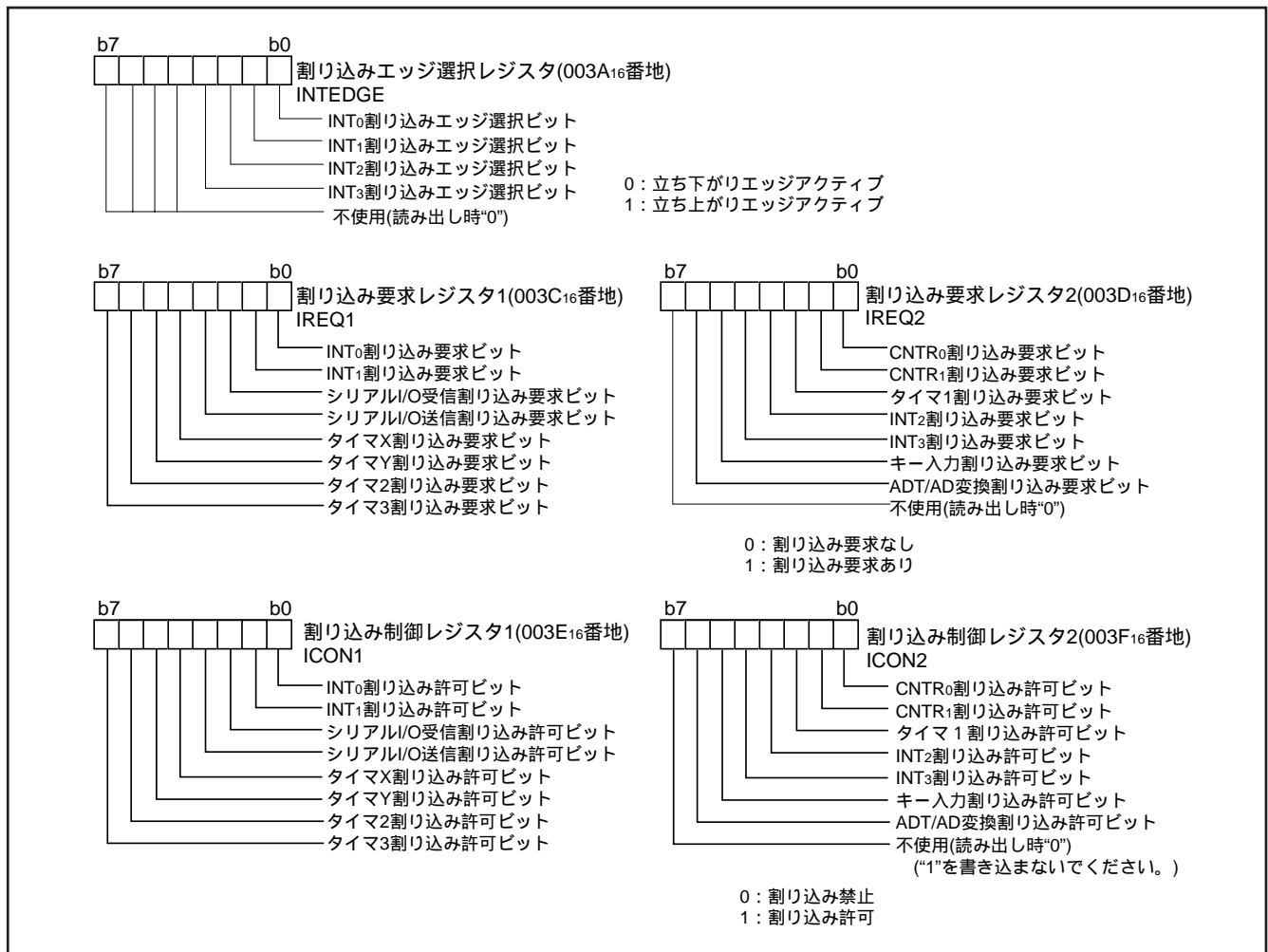


図16. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP2のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が「1」から「0」になると、キー入力割り込み要求が発生

生じます。図17はキー入力割り込みを用いた一例です。ポートP20～P23を入力とするアクティブ「L」のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

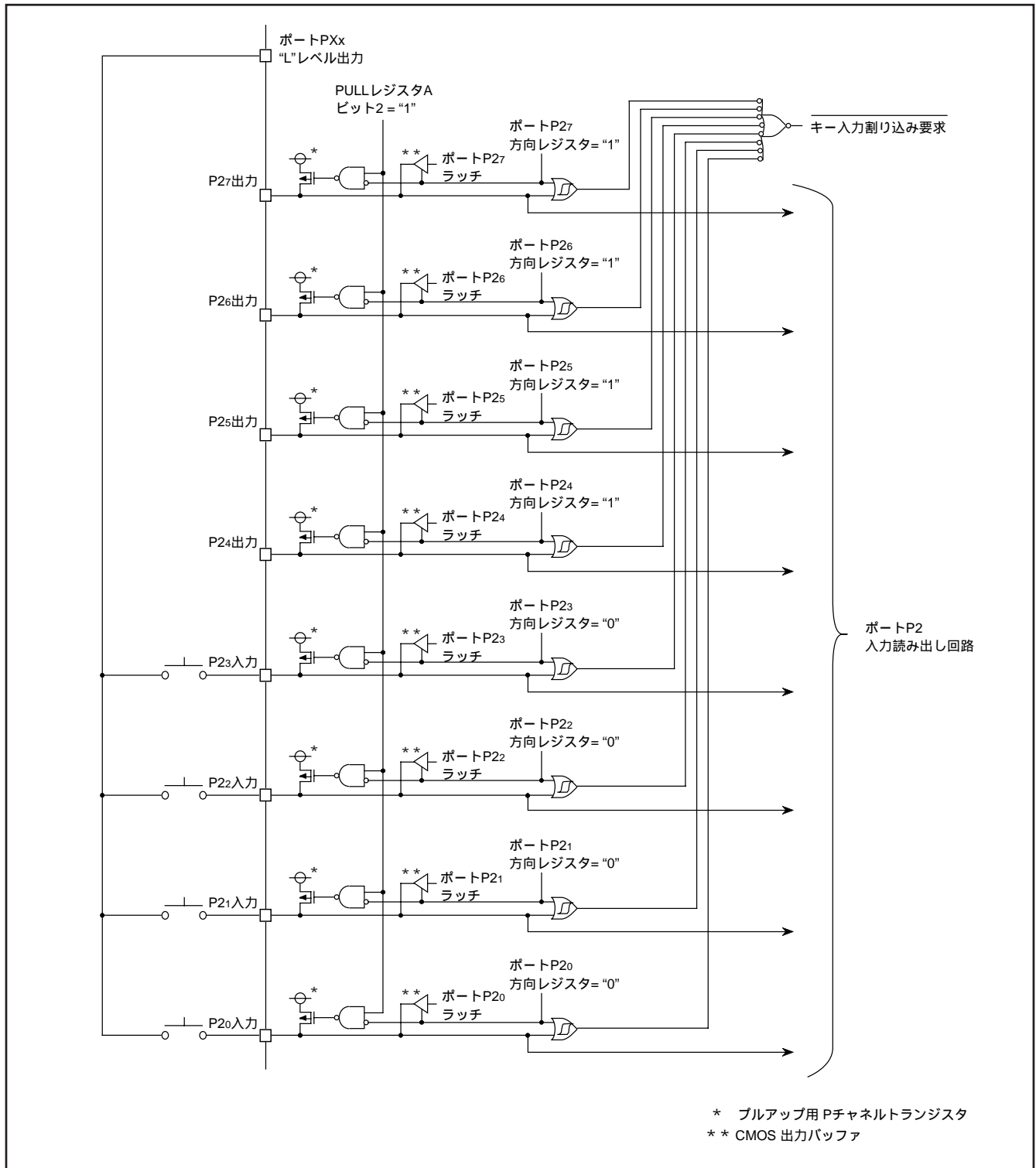


図17. キー入力割り込み使用時の結線例とポートP2のブロック図

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

16ビットタイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。16ビットタイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、16ビットタイマは、書き込み操作中に読み出したリ、読み出し操作中に書き込みを行うと正常な動作を行いません。

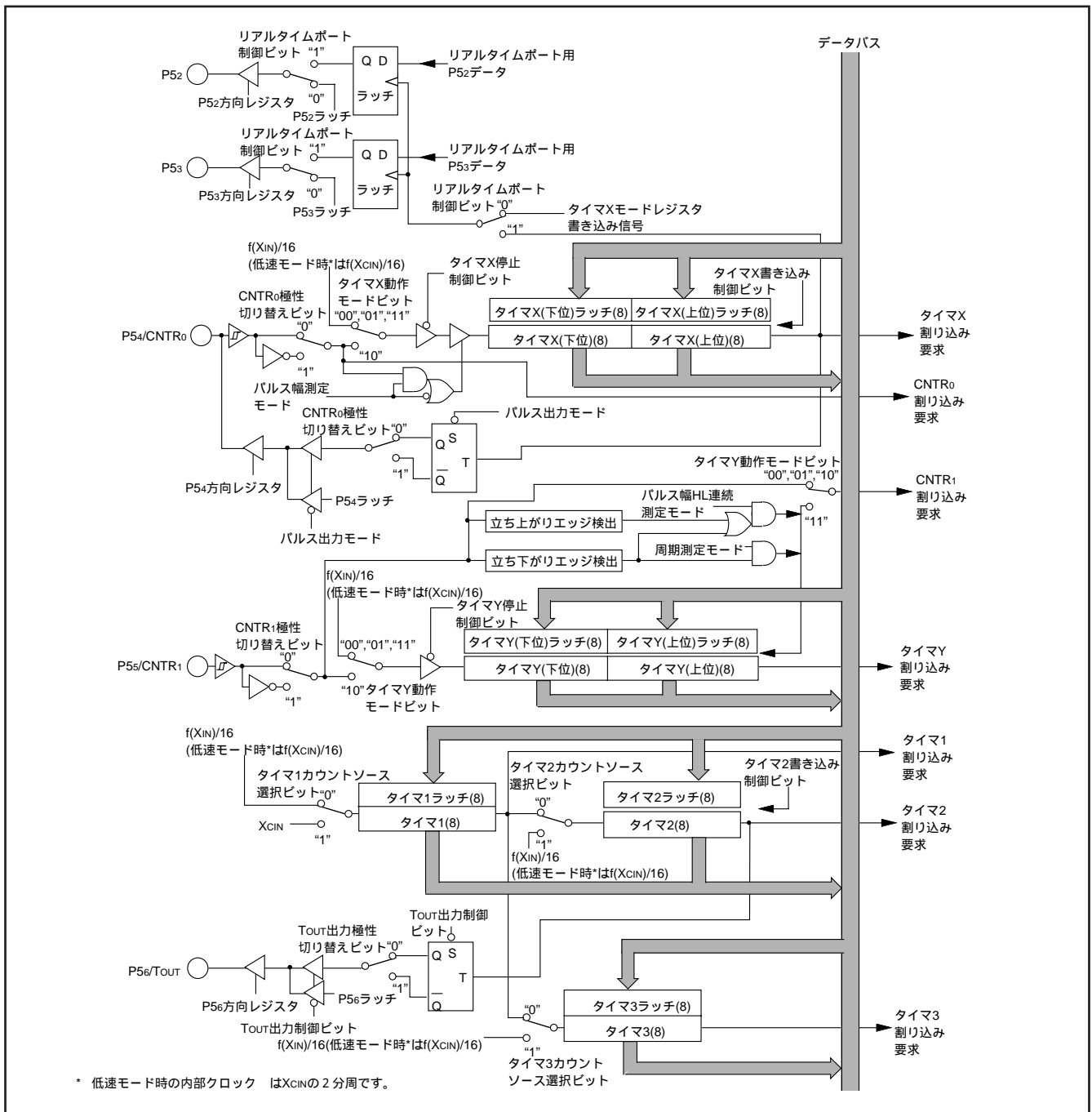


図18 . タイマのブロック図

## タイマX

タイマXは16ビットタイマで、タイマXモードレジスタにより4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

### (1) タイマモード

$f(XIN)/16$  (低速モード時は $f(XCIN)/16$ )の周波数をカウントします。

### (2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNTR0端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを出力に設定してください。

### (3) イベントカウンタモード

CNTR0端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを入力に設定してください。

### (4) パルス幅測定モード

カウントソースは $f(XIN)/16$  (低速モード時は $f(XCIN)/16$ )です。CNTR0極性切り替えビットが“0”の場合は、CNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

#### ・タイマX書き込み制御

通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むと、タイマとタイマラッチに同時に値が設定されます。

タイマラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。

なお、タイマラッチのみ書き込む場合、タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチに同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに望ましくない値が設定されることがあります。

#### ・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP52、P53から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“0”から“1”に変えたときには、タイマXの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更する

と、次のタイマXのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

#### CNTR0割り込み極性切り替えについての注意

CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。

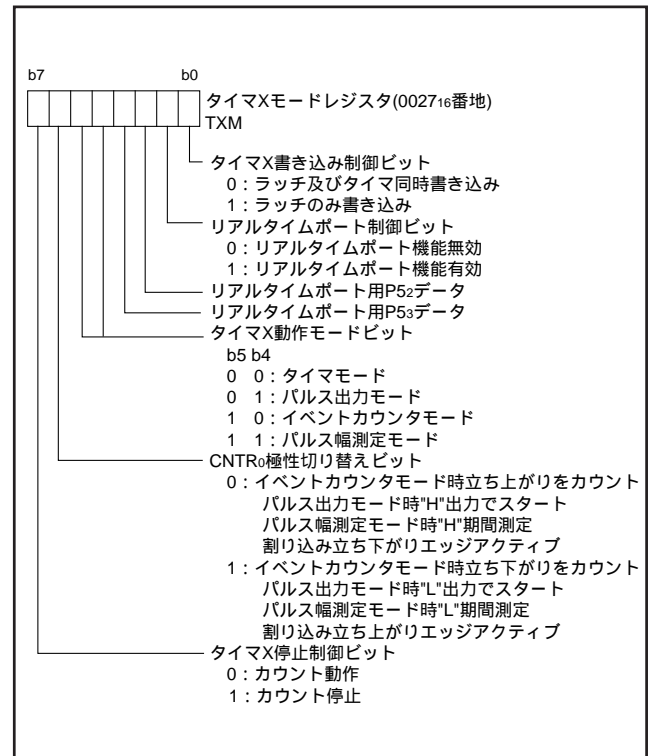


図19. タイマXモードレジスタの構成



## タイマY

タイマYは16ビットタイマで、タイマYモードレジスタにより4つの動作モードを選択することができます。

### (1) タイマモード

$f(XIN)/16$  (低速モード時は $f(XCIN)/16$ )の周波数をカウントします。

### (2) 周期測定モード

CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR<sub>1</sub>端子入力の立ち上がり/立ち下がりタイミングはCNTR<sub>1</sub>割り込みで知ることができます。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

### (3) イベントカウンタモード

CNTR<sub>1</sub>端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

### (4) パルス幅HL連続測定モード

CNTR<sub>1</sub>端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR<sub>1</sub>端子と共用のポートを入力に設定してください。

## CNTR<sub>1</sub>割り込み極性切り替えについての注意

CNTR<sub>1</sub>極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR<sub>1</sub>極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともCNTR<sub>1</sub>割り込み要求が生じます。

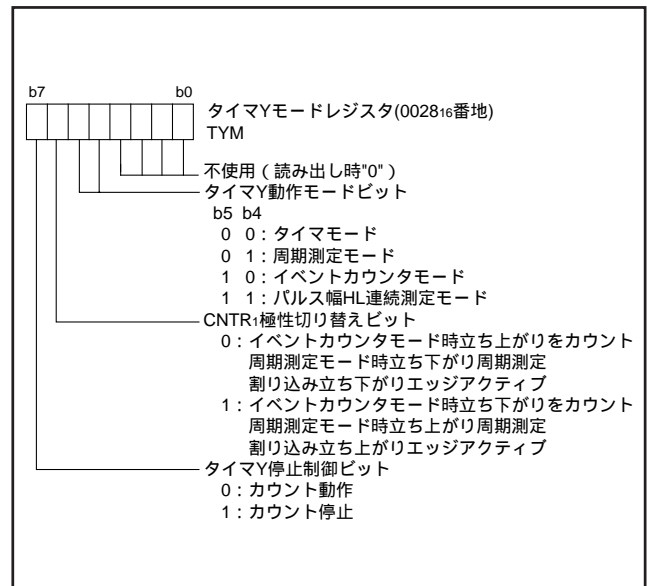


図20. タイマYモードレジスタの構成

### タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマで、タイマ123モードレジスタにより、カウントソースの選択などができます。

なお、カウントソースを切り替えるときにはタイマラッチの値は変化しませんが、タイマの値が不正になることがありますので再設定してください。

#### ・タイマ2書き込み制御

ラッチのみ書き込む場合、タイマのアドレスに値を書き込むとリロード用ラッチのみに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマのアドレスに値を書き込むとタイマとタイマラッチの両方に同時に値が設定されます。

#### ・タイマ2出力制御

タイマ $\chi$  (TOUT)出力許可にすると、タイマ2がアンダフローするたびに極性の反転する信号がTOUT端子から出力されます。この場合、TOUT端子と共用のポートを出力に設定してください。

#### タイマ1～タイマ3使用上の注意

タイマ1～タイマ3のカウントソースを切り替えるとき、カウント入りに細かいパルスが生じてタイマのカウント値が大きく変わることがあります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細かいパルスが生じて、タイマ2又はタイマ3のカウント値が大きく変わることがあります。

したがって、タイマ1～タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

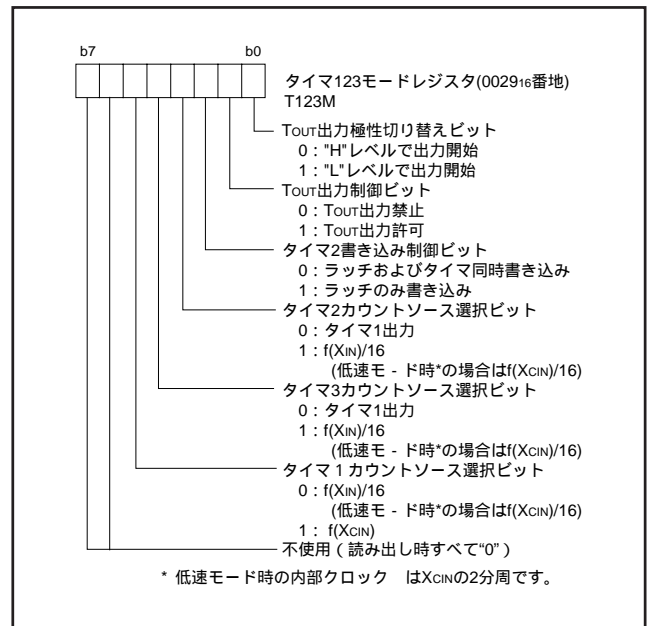


図21. タイマ123モードレジスタの構成

シリアルI/O

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを'1'にすることによって、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われません。

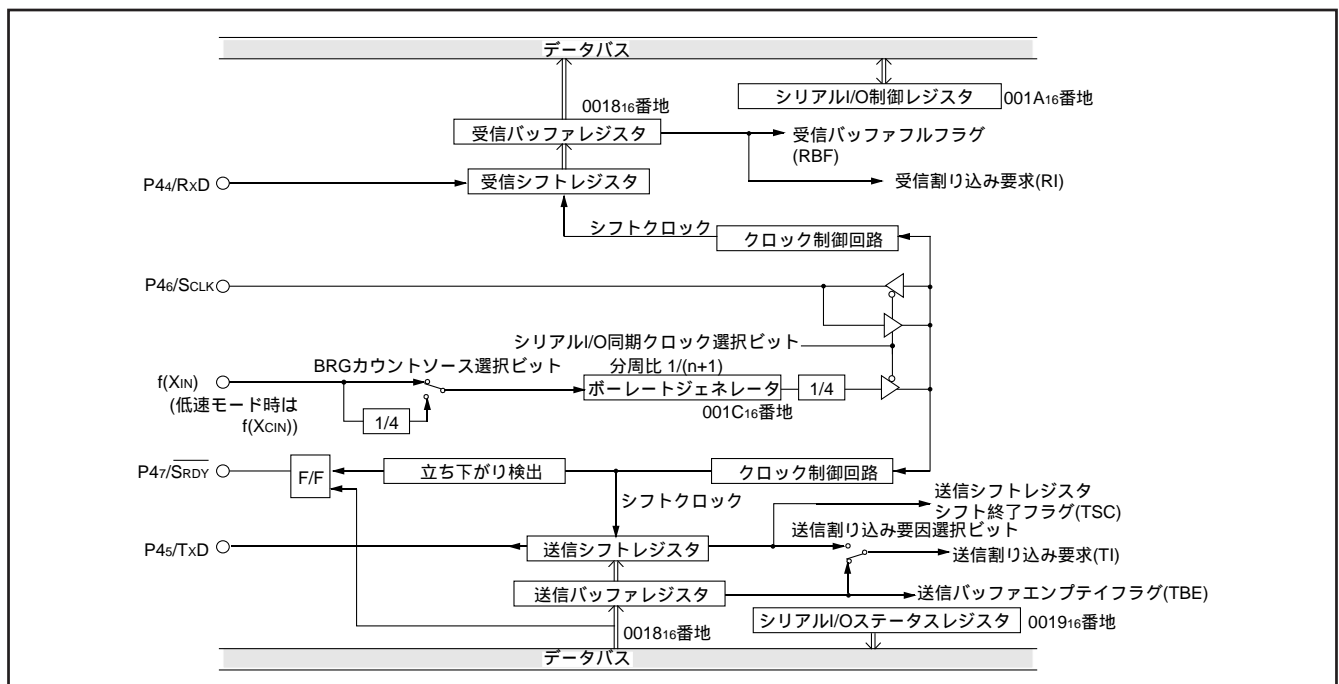


図22. クロック同期形シリアルI/Oのブロック図

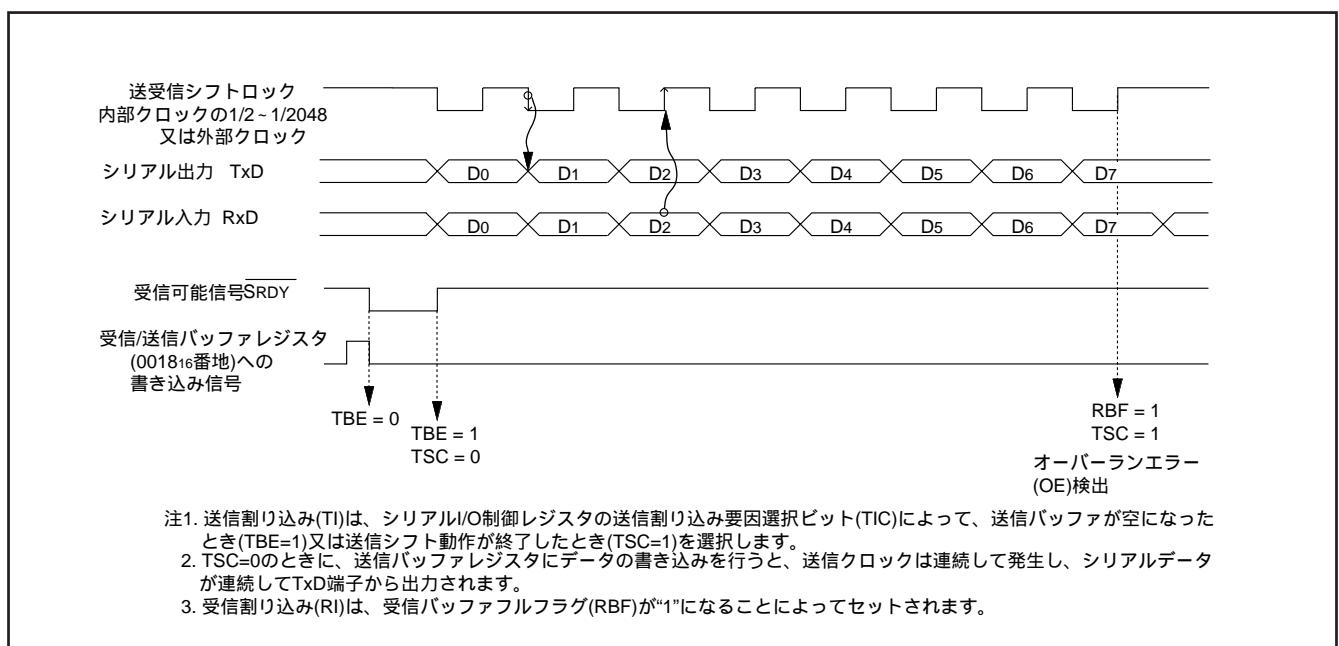


図23. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのモード選択ビットを0<sup>1</sup>にすることによってUARTが選択されます。

3822グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3822グループはシリアルデータの送信、受信を行う送信シフトレ

ジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

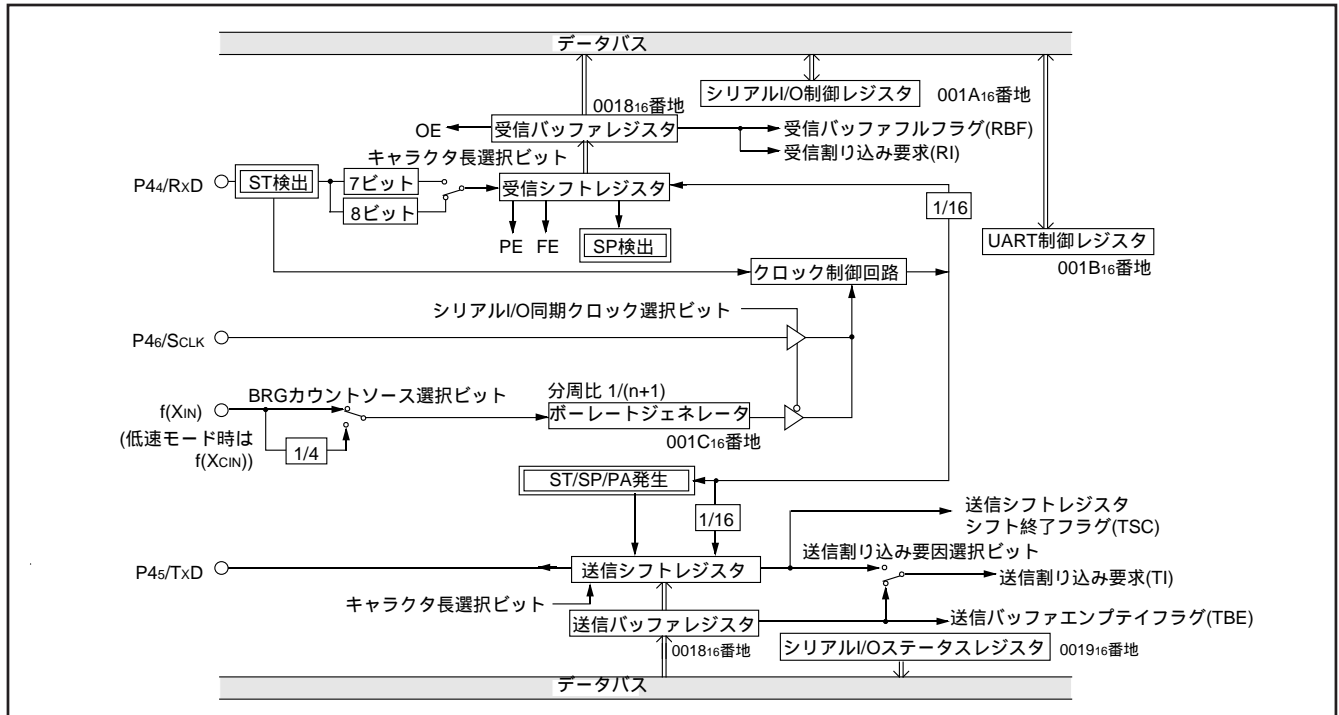
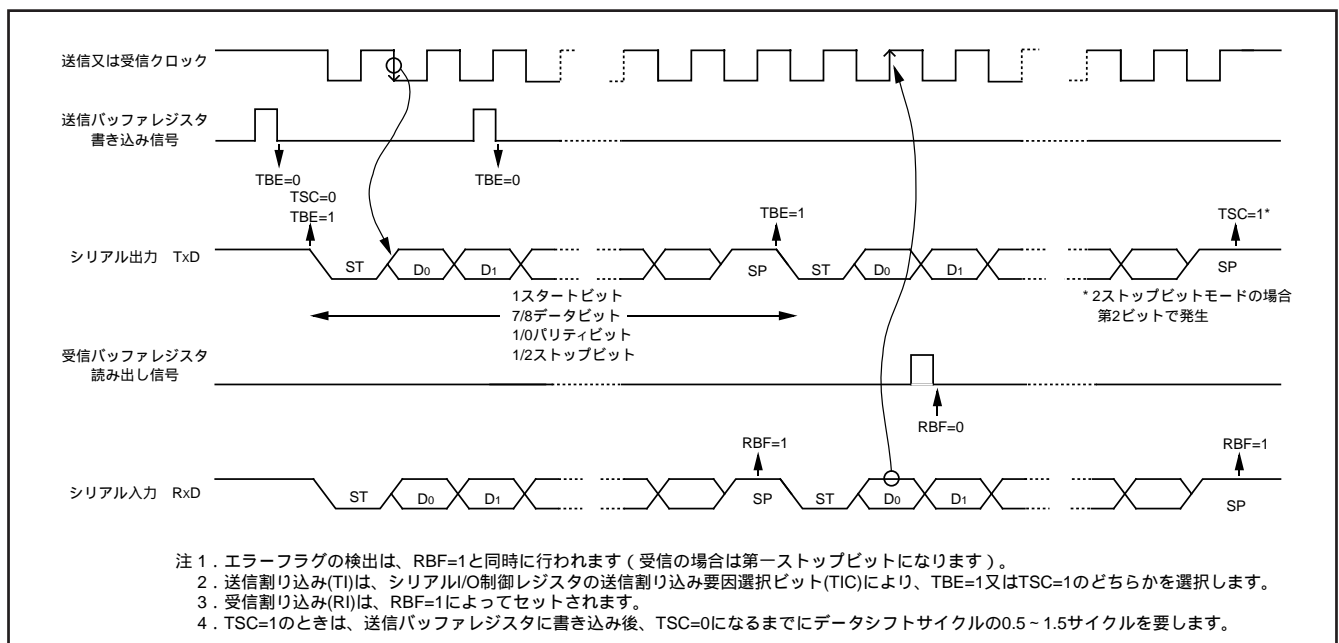


図24 . UART形シリアルI/Oのブロック図



注1. エラーフラグの検出は、RBF=1と同時にされます(受信の場合は第一ストップビットになります)。  
 2. 送信割り込み(TI)は、シリアルI/O制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。  
 3. 受信割り込み(RI)は、RBF=1によってセットされます。  
 4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図25 . UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】 SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】 SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UARTCON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】 BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。



図26 . シリアルI/O関係レジスタの構成

## ■注意事項

シリアルI/Oの送信許可ビットを'1'にしたとき、シリアルI/O送信割り込み要求ビットが'1'になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- ①シリアルI/O送信割り込み許可ビットを'0' (禁止)にする。
- ②送信許可ビットを'1'にする。
- ③一命令以上おいてから、シリアルI/O送信割り込み要求ビットを'0'にする。
- ④シリアルI/O送信割り込み許可ビットを'1' (許可)にする。

A-D変換器

【A-D変換レジスタ】 AD

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。ビット4は抵抗ラダーの貫通電流を遮断するトランジスタを制御します。ビット5はA-D外部トリガ有効ビットで、このビットを“1”に設定すると、ADT入力立ち下がりによってもA-D変換を開始します。A-D外部トリガを使用する場合は、ADT端子と共用のポートを入力に設定してください。

【比較電圧発生器】

AVSSとVREFの間の電圧を256分割し、分圧を出力します。

【チャンネルセクタ】

ポートP67/AN7～P60/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変

換終了ビット及びA-D割り込み要求ビットは“1”にセットされます。

コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を500kHz以上にしてください。また、内部クロックにはメインクロックXINを分周したクロックを使用してください。

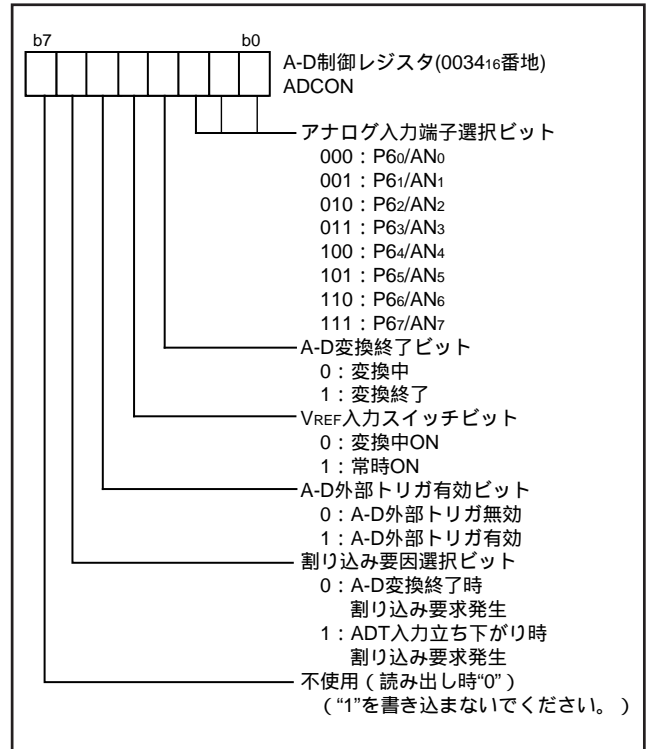


図27. A-D制御レジスタの構成

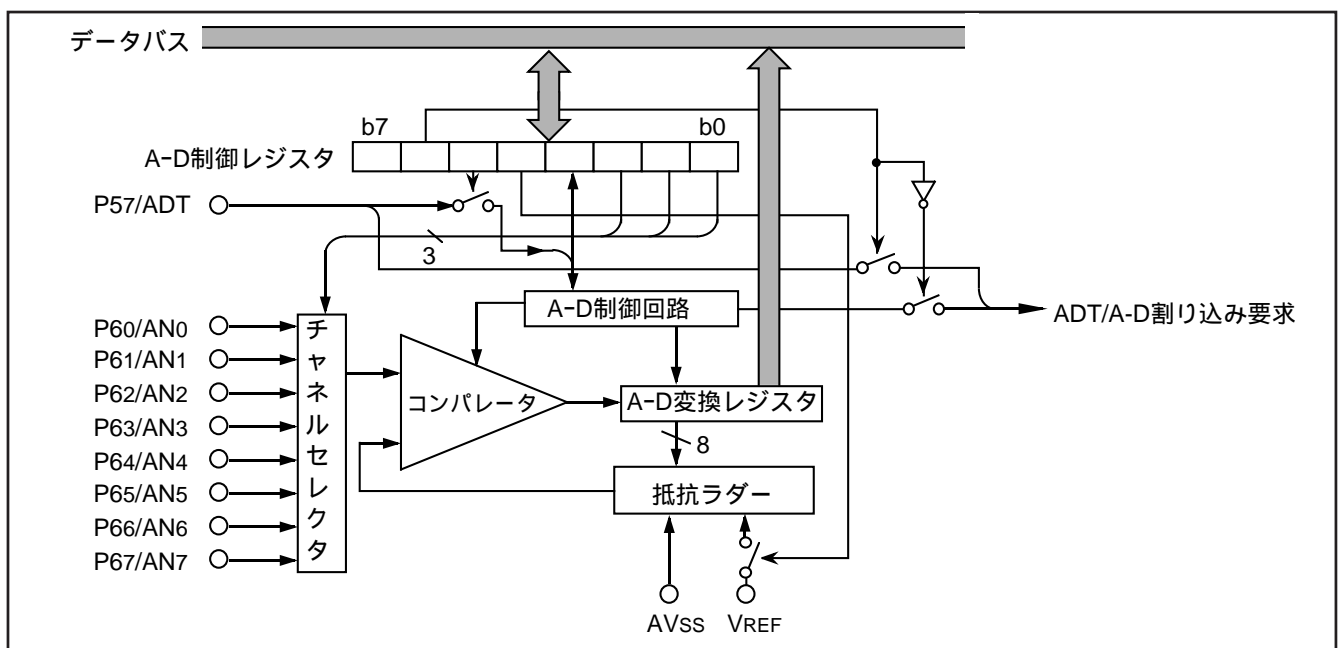


図28. A-D変換器のブロック図



LCD駆動制御回路

3822グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力許可レジスタ
- ・LCDモードレジスタ
- ・セレクタ
- ・タイミングコントローラ
- ・コモンドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大32本、コモン出力は最大4本使用でき、最大128画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表8. 各時分割時の最大表示素子数

時分割数	最大表示素子数
2	64ドット又は8セグメントLCD8桁
3	96ドット又は8セグメントLCD12桁
4	128ドット又は8セグメントLCD16桁

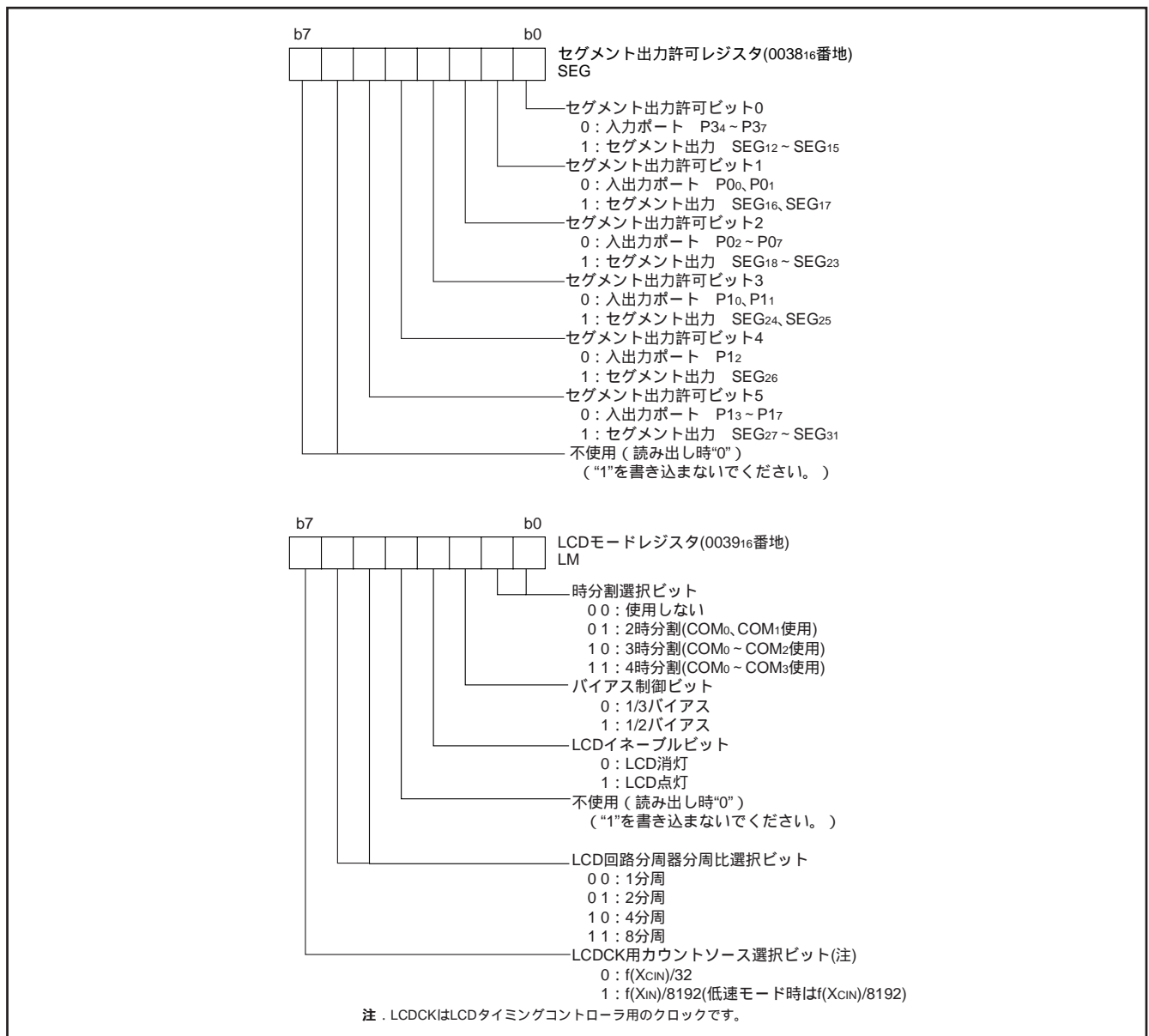


図29. LCD関係レジスタの構成





●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1~VL3)には、バイアス値に従って、電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

●コモン端子と時分割制御

コモン端子(COM1~COM3)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1)で選択してください。

表9 . バイアス制御とVL1~VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注 .VLCDはLCDパネルへの供給電圧の最大値

表10 . 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM0 , COM1 (注1)
3	1	0	COM0 - COM2 (注2)
4	1	1	COM0 - COM3

注1 .COM2, COM3は開放

2 .COM3は開放

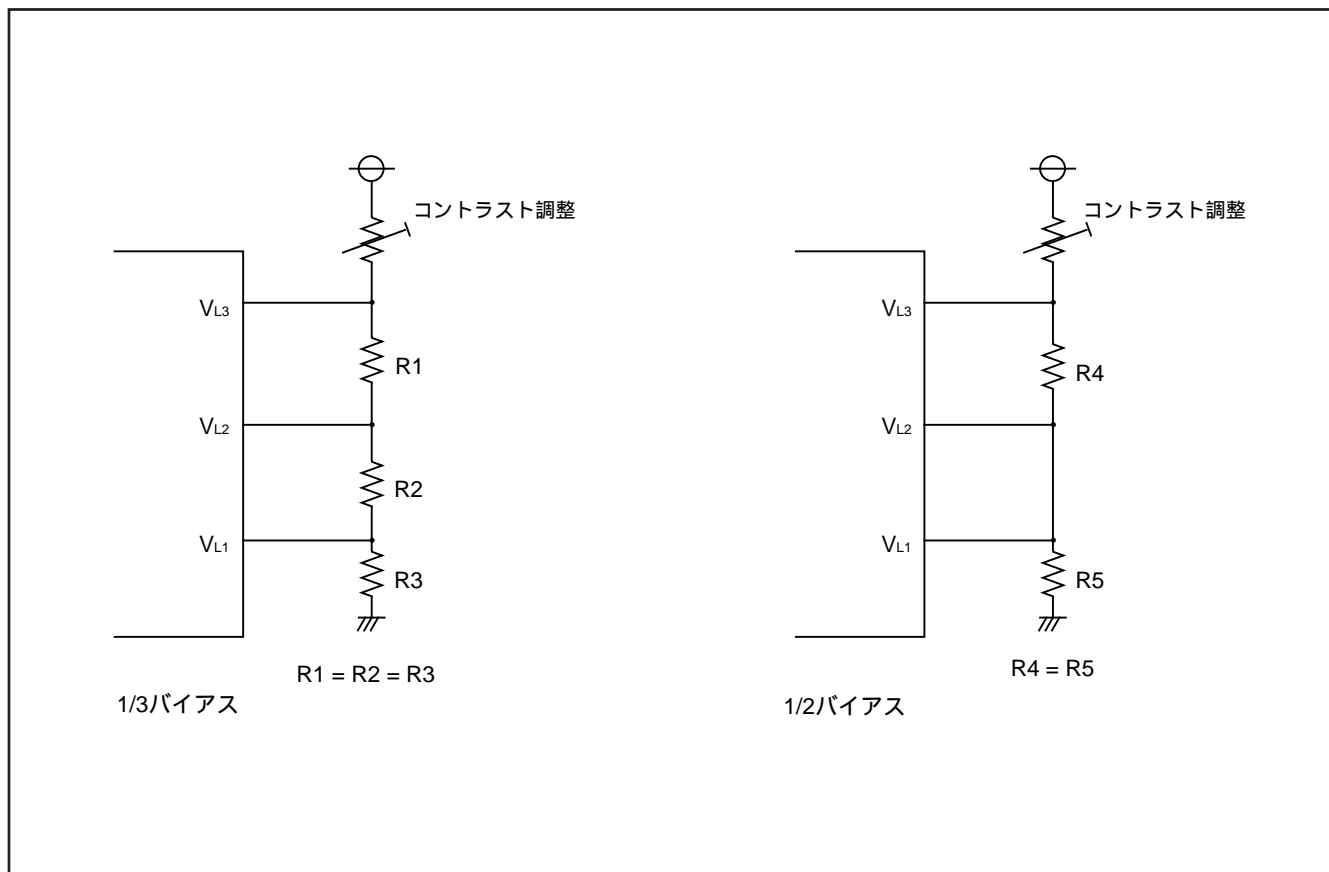


図31 . 各バイアス時の回路例

## ●LCD表示用RAM

0040<sub>16</sub>番地から004F<sub>16</sub>番地までの16バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

## ●LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

ビット アドレス	ビット							
	7	6	5	4	3	2	1	0
0040 <sub>16</sub>	SEG1				SEG0			
0041 <sub>16</sub>	SEG3				SEG2			
0042 <sub>16</sub>	SEG5				SEG4			
0043 <sub>16</sub>	SEG7				SEG6			
0044 <sub>16</sub>	SEG9				SEG8			
0045 <sub>16</sub>	SEG11				SEG10			
0046 <sub>16</sub>	SEG13				SEG12			
0047 <sub>16</sub>	SEG15				SEG14			
0048 <sub>16</sub>	SEG17				SEG16			
0049 <sub>16</sub>	SEG19				SEG18			
004A <sub>16</sub>	SEG21				SEG20			
004B <sub>16</sub>	SEG23				SEG22			
004C <sub>16</sub>	SEG25				SEG24			
004D <sub>16</sub>	SEG27				SEG26			
004E <sub>16</sub>	SEG29				SEG28			
004F <sub>16</sub>	SEG31				SEG30			
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図32 . LCD表示用RAMマップ

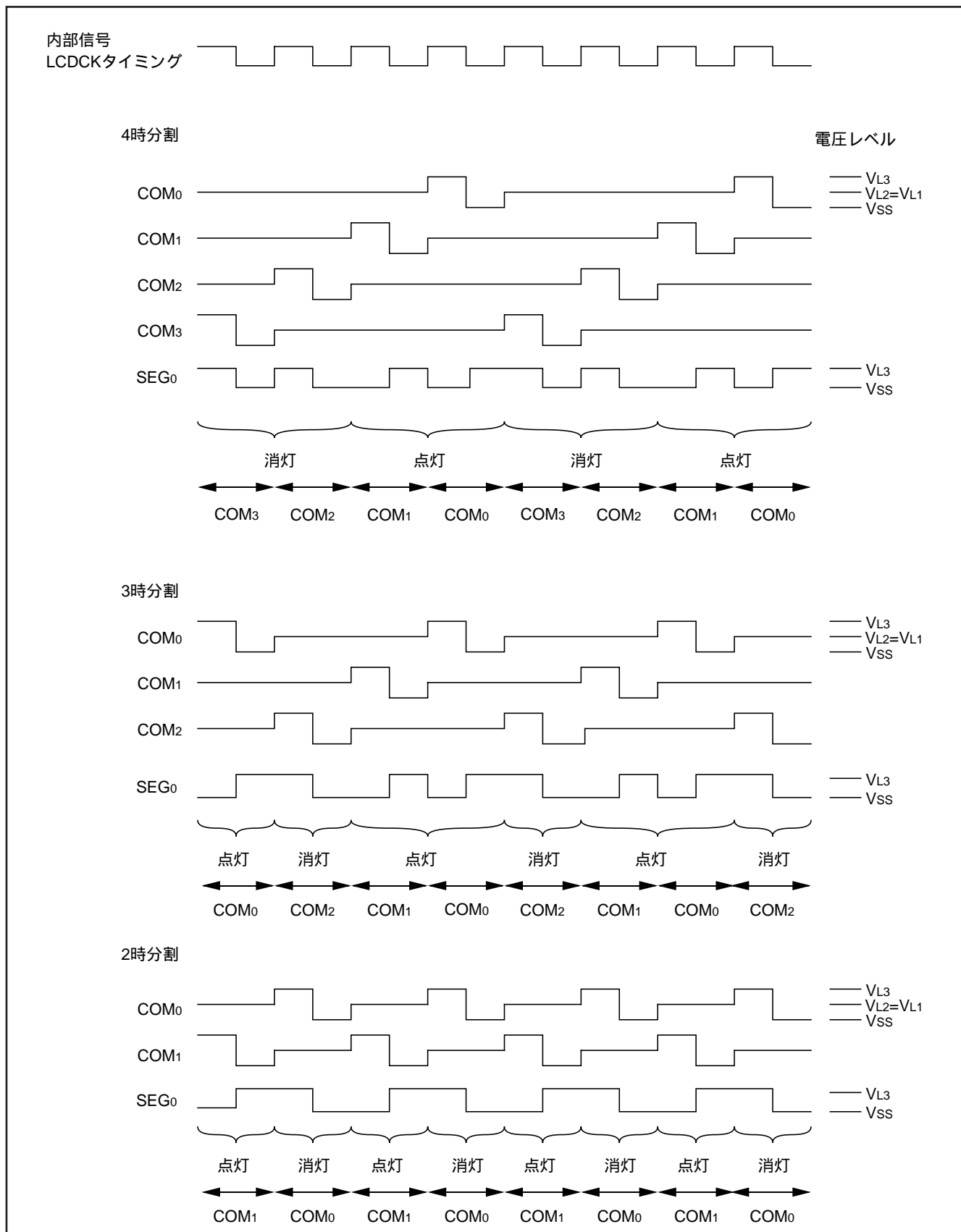


図33 . LCD駆動波形 (1/2バイアスの場合)

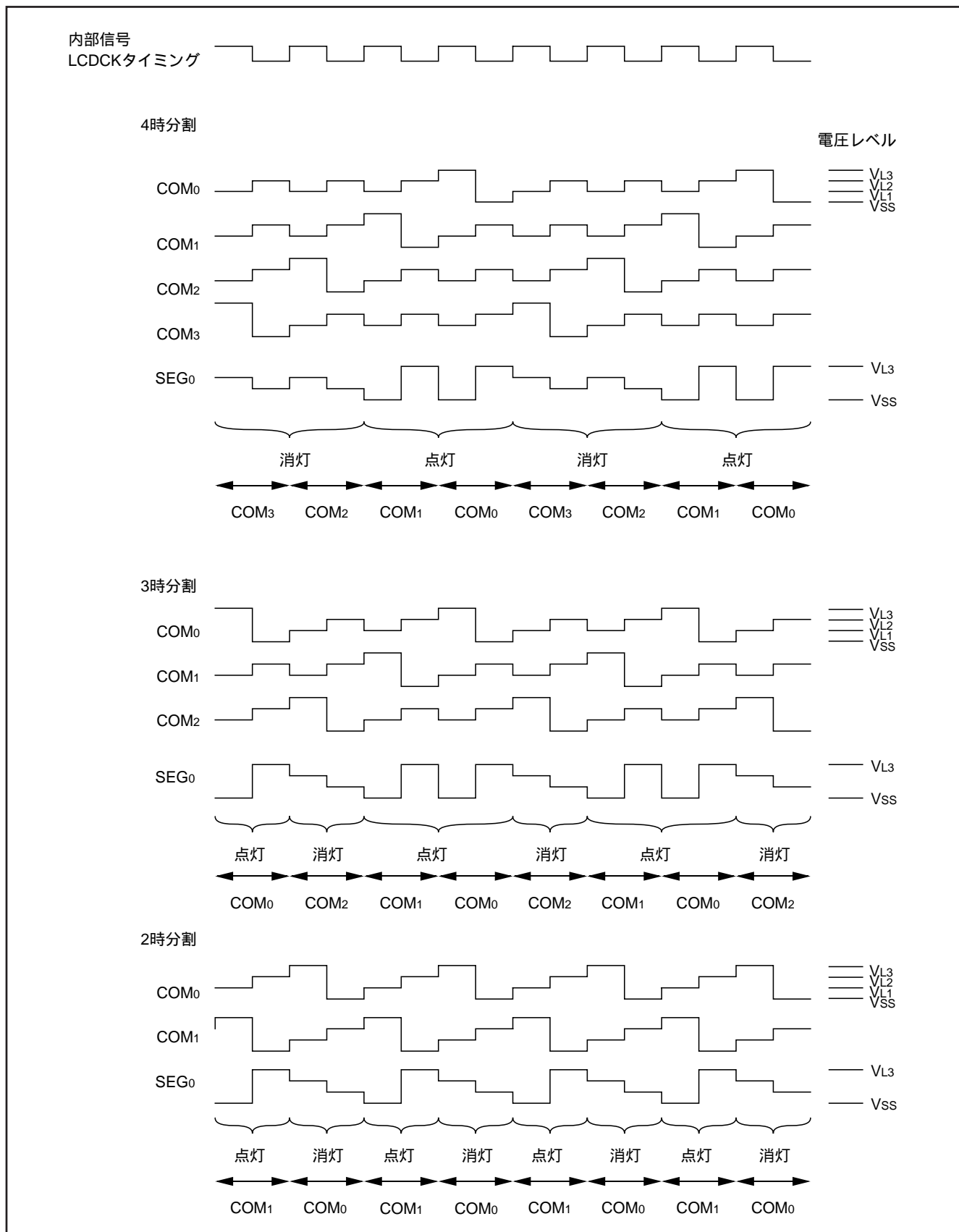


図34 . LCD駆動波形 (1/3バイアスの場合)

クロック出力機能

出力制御レジスタの設定により、ポートP4<sub>1</sub>から内部システムクロック を出力することができます。

クロック出力時は、ポートP4方向レジスタのビット1を‘1’に設定してください。

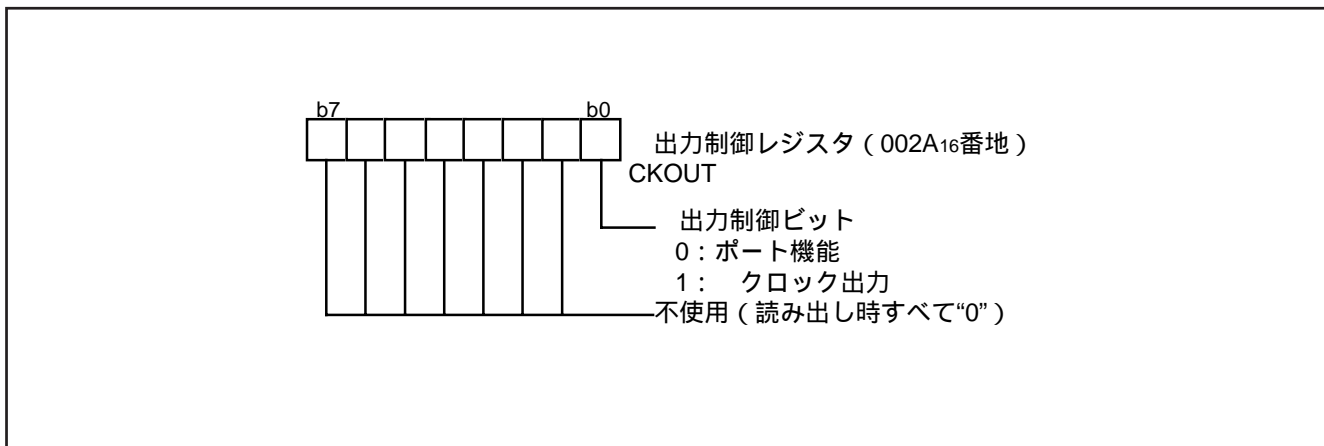


図35 . クロック出力制御レジスタの構成

リセット回路

3822グループは、電源電圧が $V_{CC}(\text{min.}) \sim 5.5\text{V}$ の範囲にあり、水晶発振子などが安定発振しているとき、RESET端子を $2\mu\text{s}$ 以上“L”レベルに保った後“H”レベルに戻すとリセット解除され、FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\text{min.})$ を通過する時点で $V_{IL}$ 規格を満足するようにしてください。

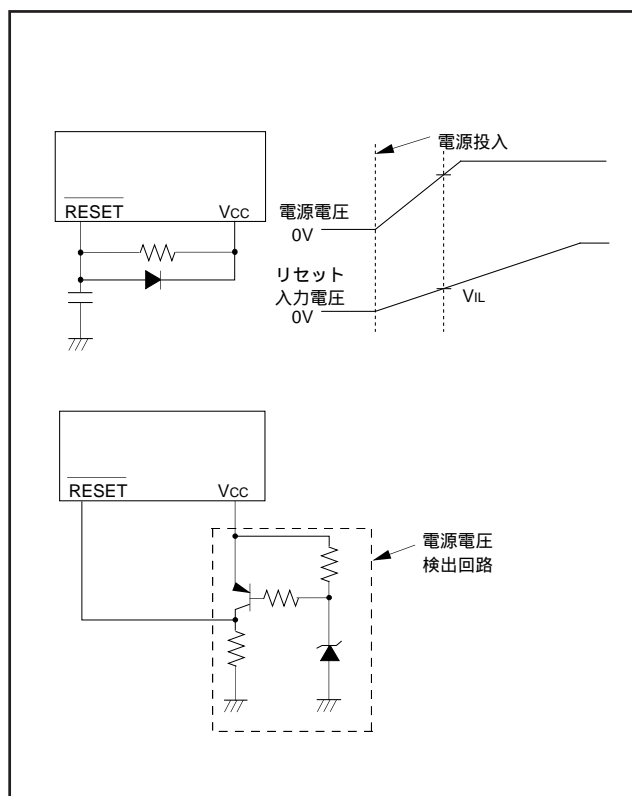


図36 . リセット回路例

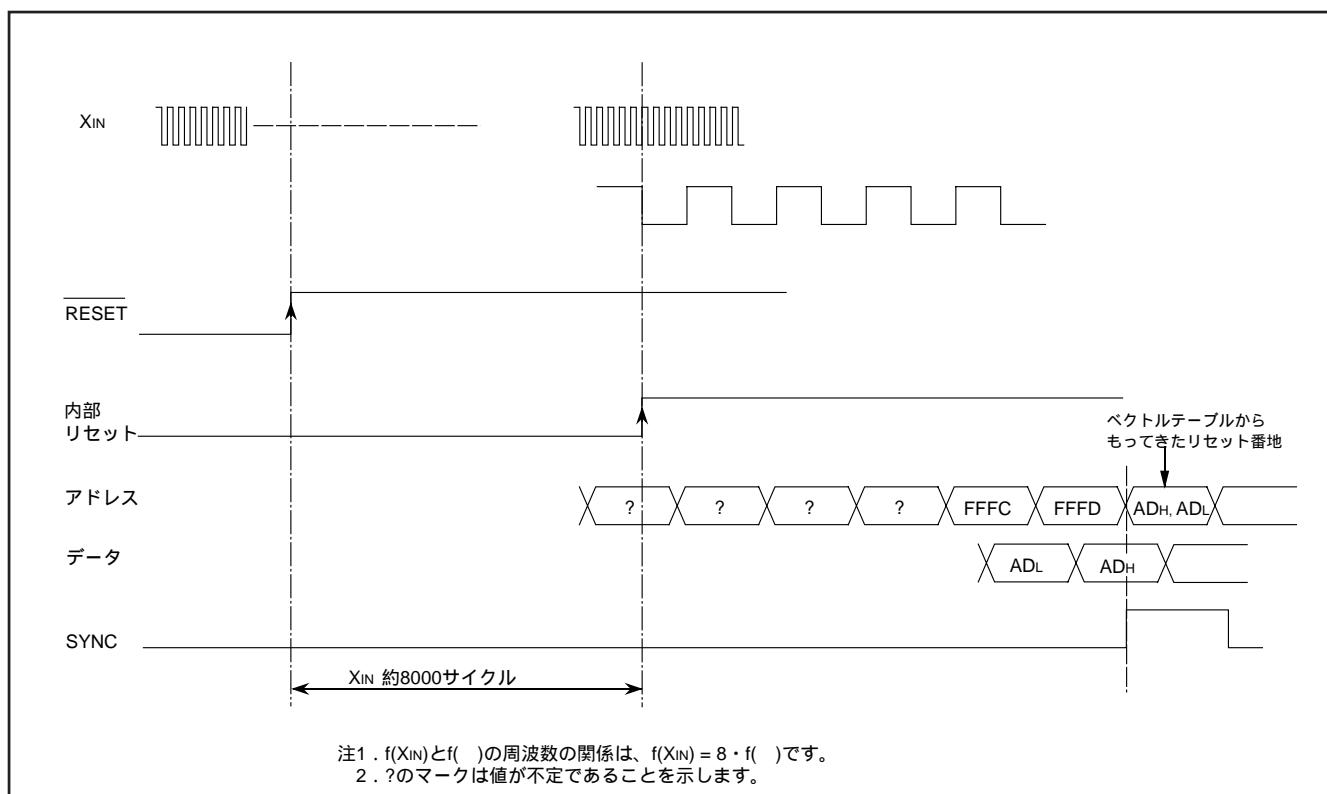


図37 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0出力制御レジスタ	0001 <sub>16</sub>	00 <sub>16</sub>
(2) ポートP1方向レジスタ	0003 <sub>16</sub>	00 <sub>16</sub>
(3) ポートP2方向レジスタ	0005 <sub>16</sub>	00 <sub>16</sub>
(4) ポートP4方向レジスタ	0009 <sub>16</sub>	00 <sub>16</sub>
(5) ポートP5方向レジスタ	000B <sub>16</sub>	00 <sub>16</sub>
(6) ポートP6方向レジスタ	000D <sub>16</sub>	00 <sub>16</sub>
(7) ポートP7方向レジスタ	000F <sub>16</sub>	00 <sub>16</sub>
(8) PULLレジスタA	0016 <sub>16</sub>	0   0   0   0   1   0   1   1
(9) PULLレジスタB	0017 <sub>16</sub>	00 <sub>16</sub>
(10) シリアルI/Oステータスレジスタ	0019 <sub>16</sub>	1   0   0   0   0   0   0   0
(11) シリアルI/O制御レジスタ	001A <sub>16</sub>	00 <sub>16</sub>
(12) UART制御レジスタ	001B <sub>16</sub>	1   1   1   0   0   0   0   0
(13) タイマX(下位)	0020 <sub>16</sub>	FF <sub>16</sub>
(14) タイマX(上位)	0021 <sub>16</sub>	FF <sub>16</sub>
(15) タイマY(下位)	0022 <sub>16</sub>	FF <sub>16</sub>
(16) タイマY(上位)	0023 <sub>16</sub>	FF <sub>16</sub>
(17) タイマ1	0024 <sub>16</sub>	FF <sub>16</sub>
(18) タイマ2	0025 <sub>16</sub>	01 <sub>16</sub>
(19) タイマ3	0026 <sub>16</sub>	FF <sub>16</sub>
(20) タイマXモードレジスタ	0027 <sub>16</sub>	00 <sub>16</sub>
(21) タイマYモードレジスタ	0028 <sub>16</sub>	00 <sub>16</sub>
(22) タイマ123モードレジスタ	0029 <sub>16</sub>	00 <sub>16</sub>
(23) 出力制御レジスタ	002A <sub>16</sub>	00 <sub>16</sub>
(24) A-D制御レジスタ	0034 <sub>16</sub>	0   0   0   0   1   0   0   0
(25) セグメント出力許可レジスタ	0038 <sub>16</sub>	00 <sub>16</sub>
(26) LCDモードレジスタ	0039 <sub>16</sub>	00 <sub>16</sub>
(27) 割り込みエッジ選択レジスタ	003A <sub>16</sub>	00 <sub>16</sub>
(28) CPUモードレジスタ	003B <sub>16</sub>	0   1   0   0   1   0   0   0
(29) 割り込み要求レジスタ1	003C <sub>16</sub>	00 <sub>16</sub>
(30) 割り込み要求レジスタ2	003D <sub>16</sub>	00 <sub>16</sub>
(31) 割り込み制御レジスタ1	003E <sub>16</sub>	00 <sub>16</sub>
(32) 割り込み制御レジスタ2	003F <sub>16</sub>	00 <sub>16</sub>
(33) プロセッサステータスレジスタ	(PS)	x   x   x   x   x   1   x   x
(34) プログラムカウンタ	(PCH)	FFFD <sub>16</sub> 番地の内容
	(PCL)	FFFC <sub>16</sub> 番地の内容

注 . x : 不定です。

上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図38 . リセット時の内部状態



### クロック発生回路

3822グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの端子間に発振子を接続することにより発振回路を形成することができます。容量などの定数は、発振子により異なりますので発振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗を内蔵していますので、外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので、外部に帰還抵抗を付けてください。

外部からクロック信号を供給する場合はXIN端子に入力し、XOUT端子は開放にします。サブクロックXCIN-XCOUTの発振回路は外部で生成したクロックを直接入力できませんので、必ず外付け発振子による発振をさせてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

### ●周波数制御

#### (1) 中速モード

XIN端子に加わった周波数を8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

#### (2) 高速モード

XIN端子に加わった周波数を2分周したものが内部クロックとなります。

#### (3) 低速モード

XCIN端子に加わった周波数を2分周したものが内部クロックになります。

低速モード時には、CPUモードレジスタのメインクロック停止ビットを「1」にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はメインクロック停止ビットを「0」にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注．中/高速モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときは  $f(XIN) > 3 \cdot f(XCIN)$  である必要があります。

### ●発振制御

#### (1) ストップモード

STP命令を実行すると内部クロックが「H」の状態に停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1にはFF16、タイマ2には0116がセットされ、タイマ1のカウントソースにはXIN又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて「0」にクリアされます。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態「0」に設定してくだ

さい。

発振はリセット又は外部割り込み要求が受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、外付け発振子を使用した場合、発振の立ち上がりに時間を要するためです。

#### (2) ウェイトモード

WIT命令を実行すると、内部クロックのみ「H」の状態に停止します。このときXIN及びXCINはWIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると、停止を解除します。発振器は停止していませんので、直ちに命令を実行できます。

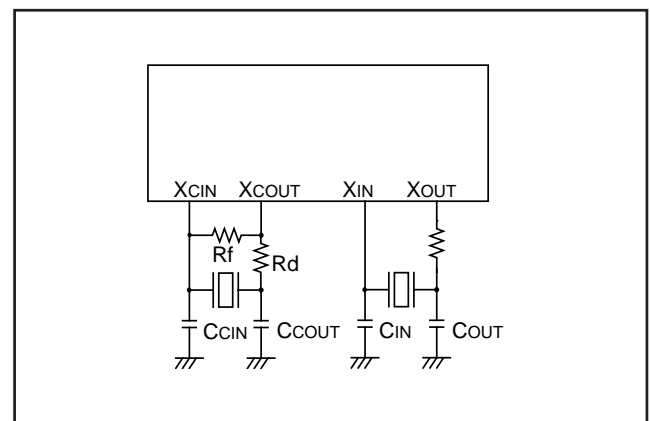


図39．セラミック共振子外付け回路例

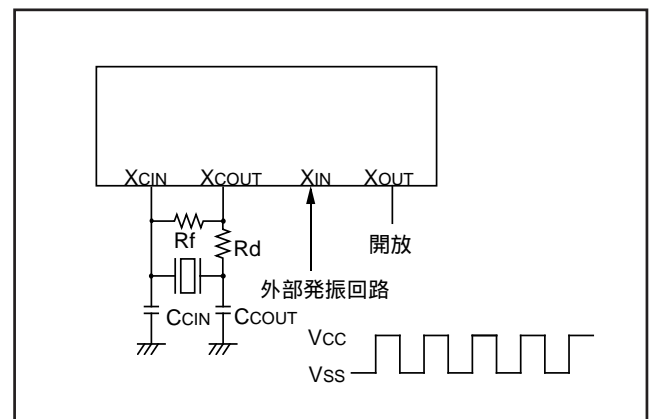


図40．外部クロック入力回路

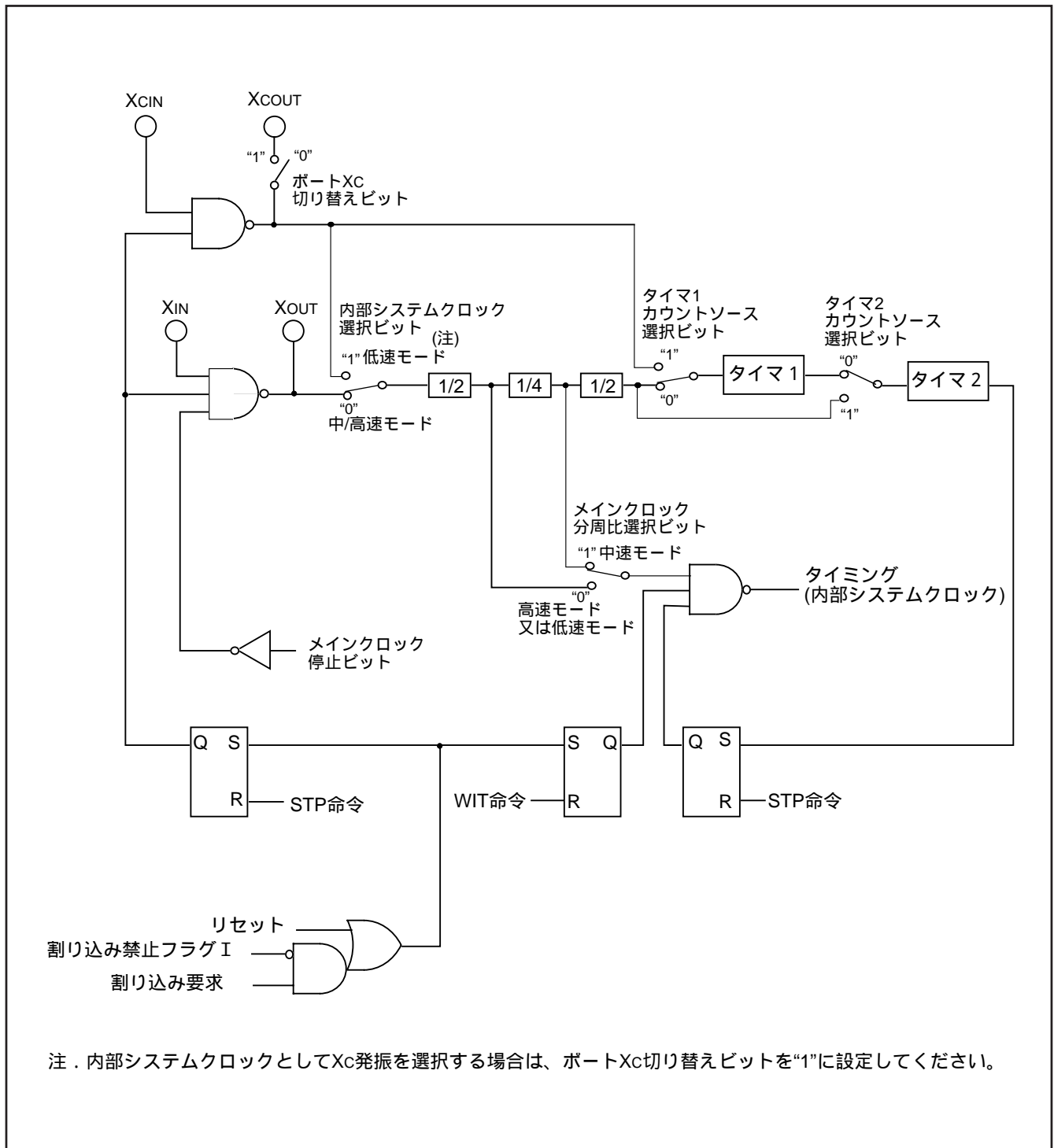


図41 . クロック発生回路のブロック図

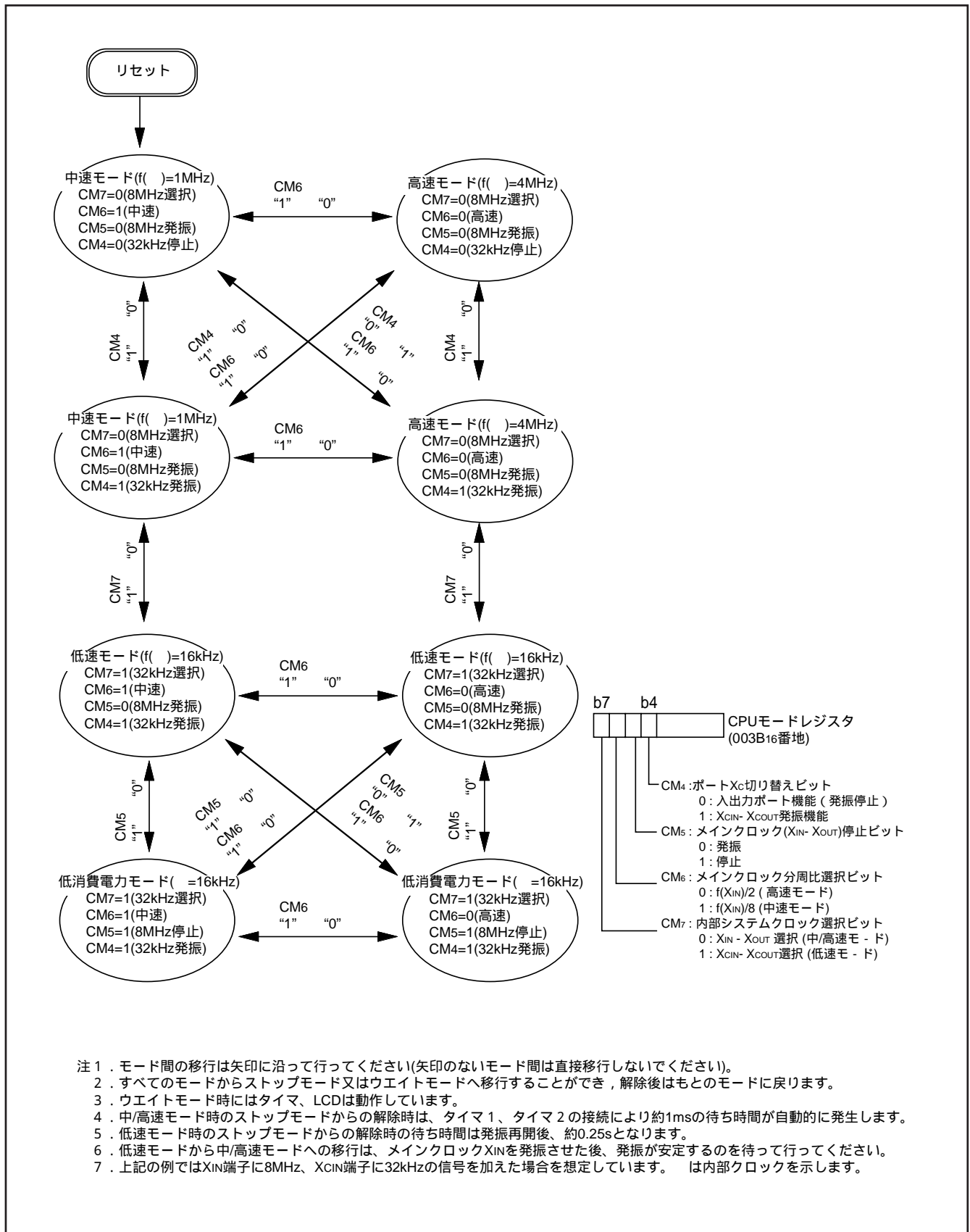


図42. システムクロックの状態遷移図

## プログラミング上の注意事項

### プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

### 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されません。変更後の内容に対して実行するためには、1命令以上後に行ってください。

### 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

### タイマに関するもの

タイマラッチに値 $n$ (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

### 乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

### ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

### シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

### A-D変換に関するもの

コンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(X_{IN})$ を500kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

### 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、内部クロックの周期をかけることによって得られます。内部クロックの周期は、通常 $X_{IN}$ の周期の2倍です。

## 使用上の注意事項

## ・ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

## (1) 配線長の短縮

## リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

## 理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

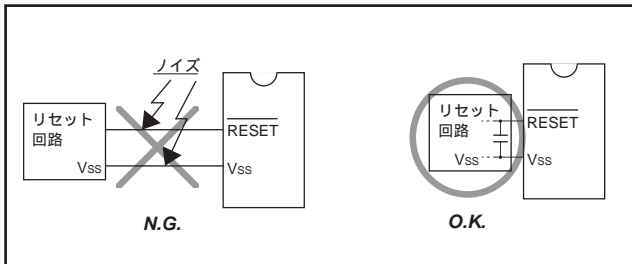


図43. リセット入力端子の配線

## クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

## 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

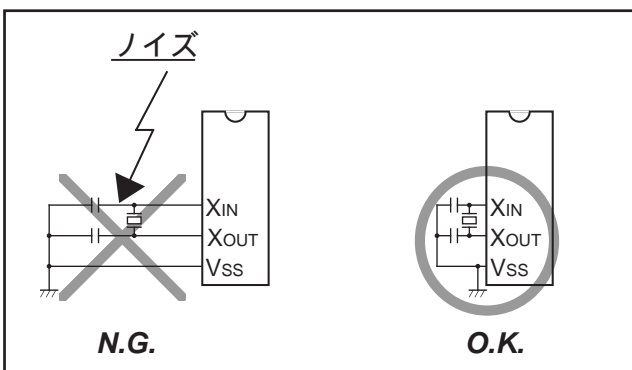


図44. クロック入出力端子の配線

## (2) Vss - Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss - Vccライン間に0.1 $\mu$ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

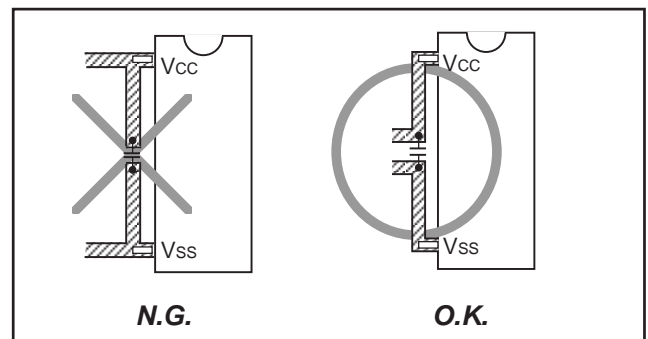


図45. VSS - VCCライン間のバイパスコンデンサ

## (3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

## 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

## 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

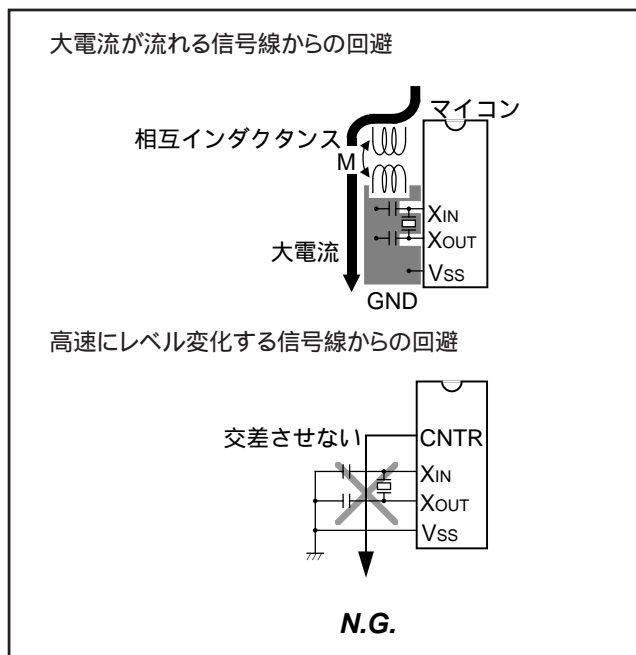


図46．大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

#### (4) アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A-D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA-D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

#### (5) メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A-D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

#### (6) ワンタイムPROM版のVPP端子配線

VPP端子のできるだけ近くに5kΩ程度の抵抗を直列に挿入し、VSS端子に接続してください。

注 5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

理由

ワンタイムPROM版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへのプログラムの書き込み時に、書き込み電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

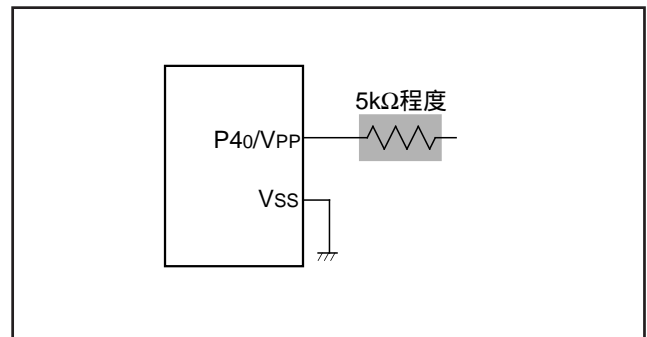


図47．ワンタイムPROM版のVPP端子の配線

ワンタイムPROM版 / マスクROM版の相違点に関する注意事項

ワンタイムPROM版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書\*
- (2) マーク指定書\*
- (3) ROMのデータ ..... EPROM 3セット  
又はフロッピーディスク 1枚

\*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com/jp/rom>)を参照してください。



表11．絶対最大定格 (Aバージョン)

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 VL1		- 0.3 ~ VL2	V
Vi	入力電圧 VL2		VL1 ~ VL3	V
Vi	入力電圧 VL3		VL2 ~ 6.5	V
Vi	入力電圧 $\overline{\text{RESET}}$ , XIN		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17		出力ポート時	- 0.3 ~ VCC + 0.3
		セグメント出力時	- 0.3 ~ VL3	V
Vo	出力電圧 P34 ~ P37	セグメント出力時	- 0.3 ~ VL3	V
Vo	出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 SEG0 ~ SEG11		- 0.3 ~ VL3	V
Vo	出力電圧 XOUT		- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 150	

表12．推奨動作条件 (Aバージョン)

(指定のない場合は、VCC = 1.8 ~ 5.5V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位		
		最小	標準	最大			
VCC	電源電圧 (注1)	高速モード時	f(XIN) = 10MHz	4.5	5.0	5.5	V
			f(XIN) = 8MHz	4.0	5.0	5.5	V
			f(XIN) = 6MHz	3.0	5.0	5.5	V
			f(XIN) = 4MHz	2.0	5.0	5.5	V
		中速モード時	f(XIN) = 10MHz	3.0	5.0	5.5	V
			f(XIN) = 8MHz	2.0	5.0	5.5	V
			f(XIN) = 6MHz	1.8	5.0	5.5	V
低速モード時		1.8	5.0	5.5	V		
	発振開始時 (注2)		0.15 × f + 1.3			V	
VSS	電源電圧		0			V	
VREF	A-D変換器基準電圧		2.0		VCC	V	
AVSS	アナログ電源電圧		0			V	
VIA	アナログ入力電圧 AN0 ~ AN7		AVSS		VCC	V	

注1. A-D変換器をご使用になる場合は、A-D変換器特性を参照ください。

2. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。

特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意して下さい。

f: 発振子の発振周波数(MHz)です。8 MHzのときは“8”を代入して下さい。



表13 . 推奨動作条件 (Aバージョン)

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>IH</sub>	“H”入力電圧 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40, P41, P45, P47, P52, P53, P56, P60 ~ P67, P70, P71 (CM4=0)	0.7V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 P20 ~ P27, P42 ~ P44, P46, P50, P51, P54, P55, P57	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 $\overline{\text{RESET}}$	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 X <sub>IN</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40, P41, P45, P47, P52, P53, P56, P60 ~ P67, P70, P71 (CM4=0)	0		0.3 V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 P20 ~ P27, P42 ~ P44, P46, P50, P51, P54, P55, P57	0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 $\overline{\text{RESET}}$	0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 X <sub>IN</sub>	0		0.2V <sub>CC</sub>	V

表14 . 推奨動作条件 (Aバージョン)

(指定のない場合は、V<sub>CC</sub> = 1.8 ~ 5.5V、T<sub>a</sub> = -20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 40	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			- 40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			40	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 20	mA
IOH(avg)	“H”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			- 20	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			20	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17			- 2	mA
IOH(peak)	“H”出力尖頭電流 (注2) P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			- 5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17			5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			10	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P17			- 1.0	mA
IOH(avg)	“H”出力平均電流 (注3) P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P17			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71			5.0	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

- 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
- 出力平均電流は、100msの期間内での平均値です。

表15．推奨動作条件 (Aバージョン)

(指定のない場合は、 $V_{CC} = 1.8 \sim 5.5V$ 、 $T_a = -20 \sim 85$  )

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.5V $V_{CC}$ 5.5V)			5.0	MHz
		(4.0V $V_{CC}$ 4.5V)			$2 \times V_{CC} - 4$	MHz
		(2.0V $V_{CC}$ 4.0V)			$V_{CC}$	MHz
		( $V_{CC}$ 2.0V)			$5 \times V_{CC} - 8$	MHz
f(XIN)	メインクロック 入力発振周波数 (デューティ50%時) (注1)	高速モード (4.5V $V_{CC}$ 5.5V)			10.0	MHz
		高速モード (4.0V $V_{CC}$ 4.5V)			$4 \times V_{CC} - 8$	MHz
		高速モード (2.0V $V_{CC}$ 4.0V)			$2 \times V_{CC}$	MHz
		中速モード(注3) (3.0V $V_{CC}$ 5.5V)			10.0	MHz
		中速モード(注3) (2.0V $V_{CC}$ 5.5V)			8.0	MHz
		中速モード(注3)			6.0	MHz
f(XCIN)	サブクロック入力発振周波数 (デューティ50%時) (注2)(注3)		32.768	50	kHz	

注1．A-D変換器をご使用になる場合は、A-D変換器特性を参照ください。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

3．発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意して下さい。

表16．電気的特性 (Aバージョン)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Ta = -20 ~ 85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17	IOH = - 2.5mA	Vcc - 2.0			V
		IOH = - 0.6mA Vcc = 2.5V	Vcc - 1.0			V
VOH	“H”出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	IOH = - 5mA	Vcc - 2.0			V
		IOH = - 1.25mA	Vcc - 0.5			V
		IOH = - 1.25mA Vcc = 2.5V	Vcc - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17	IOL = 5mA			2.0	V
		IOL = 1.25mA			0.5	V
		IOL = 1.25mA Vcc = 2.5V			1.0	V
VOL	“L”出力電圧 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	IOL = 10mA			2.0	V
		IOL = 2.5mA			0.5	V
		IOL = 2.5mA Vcc = 2.5V			1.0	V
VT+ - VT-	ヒステリシス INT0 ~ INT3, ADT, CNTR0, CNTR1, P20 ~ P27		0.5			V
VT+ - VT-	ヒステリシス SCLK, RxD		0.5			V
VT+ - VT-	ヒステリシス RESET	RESETは Vcc = 2.0V ~ 5.5V	0.5			V
IIH	“H”入力電流 P00 ~ P07, P10 ~ P17, P34 ~ P37	VI = Vcc ブルダウソフ			5.0	μA
		Vcc = 5V, VI = Vcc ブルダウソソ	30	70	140	μA
		Vcc = 3V, VI = Vcc ブルダウソソ	6.0	25	45	μA
IIH	“H”入力電流 P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71 (注)	VI = Vcc			5.0	μA
IIH	“H”入力電流 RESET	VI = Vcc			5.0	μA
IIH	“H”入力電流 XIN	VI = Vcc	4.0			μA
IIL	“L”入力電流 P00 ~ P07, P10 ~ P17, P34 ~ P37, P40	VI = Vss			- 5.0	μA
IIL	“L”入力電流 P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67, P70, P71	VI = Vss ブルアツフ			- 5.0	μA
		Vcc = 5V, VI = Vss ブルアツソ	- 30	- 70	- 140	μA
		Vcc = 3V, VI = Vss ブルアツソ	- 6.0	- 25	- 45	μA
IIL	“L”入力電流 RESET	VI = Vss			- 5.0	μA
IIL	“L”入力電流 XIN	VI = Vss	- 4.0			μA

注．CPUモードレジスタのポートXc切り替えビット(003B16番地のビット4)が\*1'のとき、P70の駆動能力は上記と異なります。

表17. 電気的特性 (Aバージョン)

(指定のない場合は、Vcc=1.8~5.5V、Ta= - 20~85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>RAM</sub>	RAM保持電圧	クロック停止時	1.8		5.5	V
I <sub>CC</sub>	電源電流	高速モード時、Vcc = 5V f(X <sub>IN</sub> ) = 10MHz f(X <sub>CIN</sub> ) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		5.0	10	mA
		高速モード時、Vcc = 5V f(X <sub>IN</sub> ) = 8MHz f(X <sub>CIN</sub> ) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		3.0	6.0	mA
		高速モード時、Vcc = 5V f(X <sub>IN</sub> ) = 8MHz(WIT命令実行時) f(X <sub>CIN</sub> ) = 32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態		0.8	1.6	mA
		低速モード時、Vcc = 5V、Ta = 55 f(X <sub>IN</sub> ) = 停止 f(X <sub>CIN</sub> ) = 32.768kHz 出力トランジスタは遮断状態		13	26	μA
		低速モード時、Vcc = 5V、Ta = 25 f(X <sub>IN</sub> ) = 停止 f(X <sub>CIN</sub> ) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		5.5	11	μA
		低速モード時、Vcc = 3V、Ta = 55 f(X <sub>IN</sub> ) = 停止 f(X <sub>CIN</sub> ) = 32.768kHz 出力トランジスタは遮断状態		8	16	μA
		低速モード時、Vcc = 3V、Ta = 25 f(X <sub>IN</sub> ) = 停止 f(X <sub>CIN</sub> ) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		4.0	8.0	μA
		発振はすべて停止 Ta = 25、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 Ta = 85、出力トランジスタは遮断状態 (STP命令実行時)			10	μA

表18．A-D変換器特性(Aバージョン)

(指定のない場合は、 $V_{CC} = 2.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、 $4MHz \leq f(XIN) \leq 10MHz$ 、中速/高速モード時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	BITS
-	絶対精度(量子化誤差は除く)	$V_{CC} = V_{REF} = 2.2 \sim 5.5V$ $f(XIN) = 2 \times V_{CC} MHz \sim 10MHz$			$\pm 2$	LSB
		$V_{CC} = V_{REF} < 2.2V$ $f(XIN) = 12 \times V_{CC} \sim 22MHz$			$\pm 3$	
tCONV	変換時間	$f(XIN) = 8MHz$			12.5(注)	$\mu s$
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	$V_{REF} = 5V$	50	150	200	$\mu A$
I <sub>IA</sub>	アナログ入力電流				5.0	$\mu A$

注．中速モード時、内部トリガを使用する場合は14  $\mu s$ になります。

表19. タイミング必要条件1 (Aバージョン)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = -20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	4.0 Vcc < 4.5V	1000/(4 × Vcc - 8)		ns
		4.5 Vcc 5.5V	100		ns
tWH(XIN)	メインクロック入力“H”パルス幅	4.0 Vcc < 4.5	45		ns
		4.5 Vcc 5.5V	40		ns
tWL(XIN)	メインクロック入力“L”パルス幅	4.0 Vcc < 4.5	45		ns
		4.5 Vcc 5.5V	40		ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	4.0 Vcc < 4.5	1000/(2 × Vcc - 4)		ns
		4.5 Vcc 5.5V	200		ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	4.0 Vcc < 4.5	105		ns
		4.5 Vcc 5.5V	85		ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	4.0 Vcc < 4.5	105		ns
		4.5 Vcc 5.5V	85		ns
tWH(INT)	INT0 ~ INT3入力“H”パルス幅	80			ns
tWL(INT)	INT0 ~ INT3入力“L”パルス幅	80			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/Oクロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/Oクロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O入力ホールド時間	100			ns

注. 001A16番地のビット6が“1” (クロック同期形) の場合です。

001A16番地のビット6が“0” (クロック非同期形) の場合、値は1/4になります。

表20. タイミング必要条件2 (Aバージョン)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = -20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	2.0 Vcc 4.0V	125		ns
		Vcc < 2.0V	1000/(10 × Vcc - 12)		ns
tWH(XIN)	メインクロック入力“H”パルス幅	2.0 Vcc 4.0V	50		ns
		Vcc < 2.0V	70		ns
tWL(XIN)	メインクロック入力“L”パルス幅	2.0 Vcc 4.0V	50		ns
		Vcc < 2.0V	70		ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	2.0 Vcc 4.0V	1000/Vcc		ns
		Vcc < 2.0V	1000/(5 × Vcc - 8)		ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	tc(CNTR)/2 - 20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	tc(CNTR)/2 - 20			ns
tWH(INT)	INT0 ~ INT3入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT3入力“L”パルス幅	230			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/Oクロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/Oクロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O入力ホールド時間	200			ns

注. 001A16番地のビット6が“1” (クロック同期形) の場合です。

001A16番地のビット6が“0” (クロック非同期形) の場合、値は1/4になります。

表21．スイッチング特性1 (Aバージョン)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
tWL (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
td (SCLK-TxD)	シリアル/O出力遅延時間 (注)			140	ns
tv (SCLK-TxD)	シリアル/O出力有効時間 (注)	- 30			ns
tr (SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
tf (SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns

注．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表22．スイッチング特性2 (Aバージョン)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 100			ns
tWL (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 100			ns
td (SCLK-TxD)	シリアル/O出力遅延時間 (注)			350	ns
tv (SCLK-TxD)	シリアル/O出力有効時間 (注)	- 30			ns
tr (SCLK)	シリアル/Oクロック出力立ち上がり時間			100	ns
tf (SCLK)	シリアル/Oクロック出力立ち下がり時間			100	ns

注．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

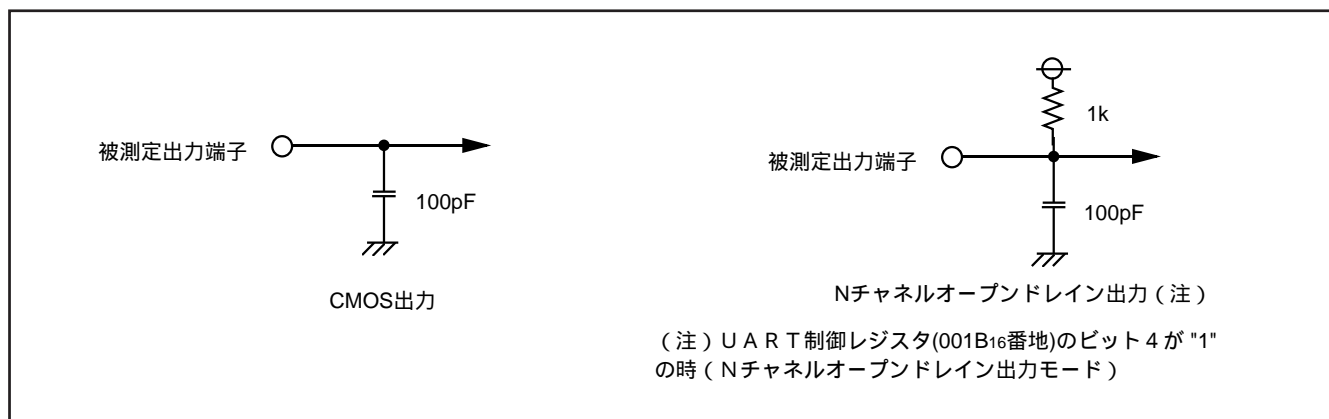


図48．出力スイッチング特性の測定回路図



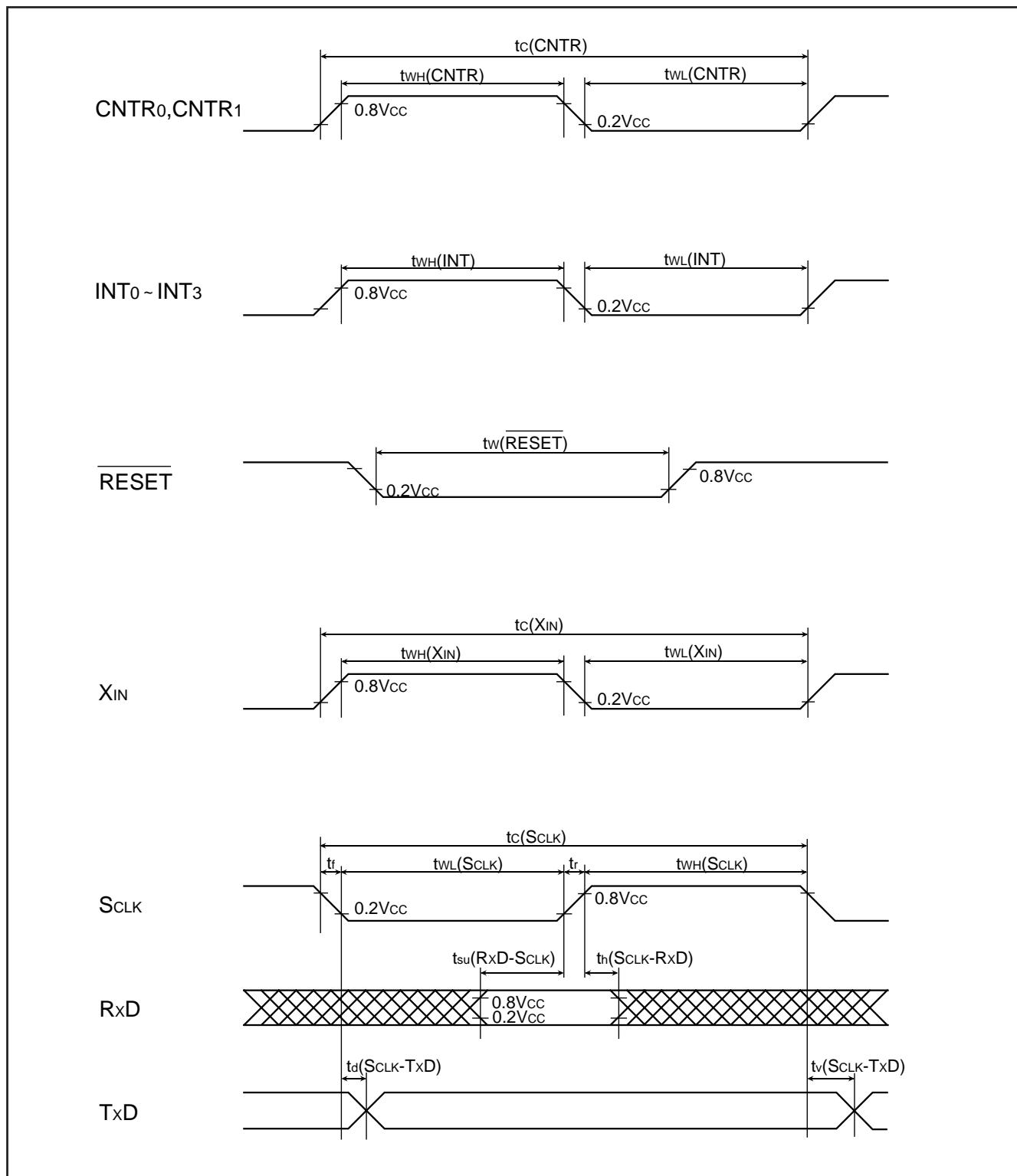


図49 . タイミング図

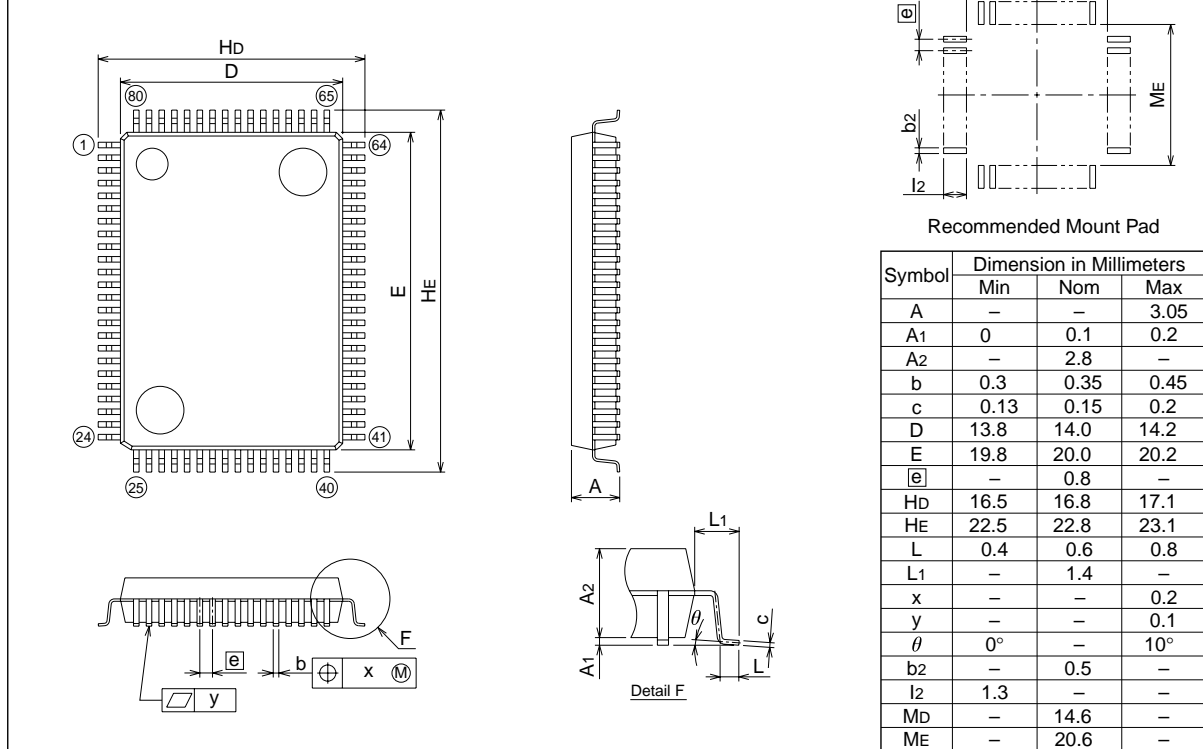
外形寸法図

**80P6N-A**

(MMP)

**Plastic 80pin 14X20mm body QFP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP80-P-1420-0.80	-	1.58	Alloy 42

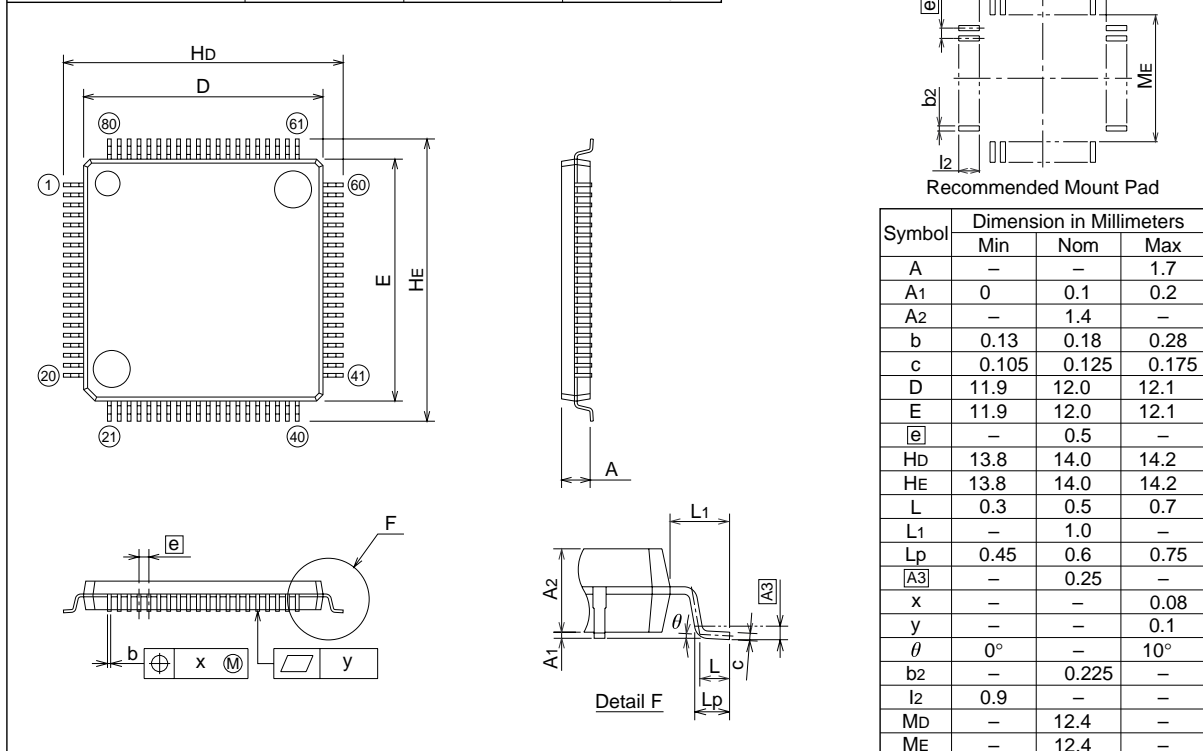


**80P6Q-A**

(MMP)

**Plastic 80pin 12X12mm body LQFP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP80-P-1212-0.5	-	0.47	Cu Alloy



## 改訂記録

## 3822 グループ (A バージョン) データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	2002.08.23		初版発行
1.1	2002.10.10	1 4 14 29 30 51 52 53	[ 特長 ] 電源電圧 : $f(XIN) = f(XIN)$ 表 1 P0、P1 の機能説明 : 8 ビットの出力ポート 8 ビットの入出力ポート 表 6 枠外の [ 注 ] を改訂 図 27 VREF 入力スイッチビットの説明 図 29 セグメント出力許可レジスタのビット 2 ~ 5 の説明 表 17 VRAM の規格値 ( 最小 ) 表 18 絶対精度の測定条件 : $V_{CC} = V_{REF} = 2.2V$ $V_{CC} = V_{REF} < 2.2V$ 表 19、表 20 項目追加
1.20	2003.12.24	6 39 45 46 52	図 5 「開発中」削除 図 39 XOUT 端子に抵抗追加、図題改訂 マスク化発注時の提出資料の URL 改訂 表 11 入力電圧 $V_{L3}$ 改訂 表 18 絶対精度の測定条件改訂

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	支	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	支	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 284-1748

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)