

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3804グループ(L仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0205-0100

Rev.1.00

2008.10.14

### 概要

3804グループ(L仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

A/Dコンバータ、D/Aコンバータを内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

### 特長

- 基本機械語命令 ..... 71
- 命令実行時間 ..... 0.24  $\mu$ s  
(最小命令、発振周波数16.8MHz時)
- メモリ容量 ROM(フラッシュメモリ) ..... 60Kバイト  
RAM ..... 2048バイト
- プログラマブル入出力ポート ..... 56本
- ソフトウェアプルアップ抵抗 ..... 内蔵
- 割り込み ..... 21要因、16ベクトル  
(外部8、内部12、ソフトウェア1要因)
- タイマ ..... 16ビット×1  
8ビット×4  
(8ビットプリスケアラ付き)
- シリアルインタフェース  
UARTまたはクロック同期形 ..... 8ビット×2  
クロック同期形 ..... 8ビット×1
- PWM ..... 8ビット×1  
(8ビットプリスケアラ付き)
- A/Dコンバータ ..... 10ビット分解能×16チャンネル  
(8ビット読み出し可能)
- D/Aコンバータ ..... 8ビット分解能×2チャンネル
- ウォッチドッグタイマ ..... 16ビット×1
- マルチマスタI<sup>2</sup>Cバスインタフェース ..... 1チャンネル
- LED直接駆動ポート ..... 8本
- クロック発生回路 ..... 2回路内蔵  
(セラミック共振子または水晶発振子外付け)
- 電源電圧  
[高速モード時]  
発振周波数 16.8MHz時 ..... 4.5~5.5V  
発振周波数 12.5MHz時 ..... 4.0~5.5V  
発振周波数 8.4MHz時 ..... 2.7~5.5V  
[中速モード時]  
発振周波数 16.8MHz時 ..... 4.5~5.5V  
発振周波数 12.5MHz時 ..... 2.7~5.5V  
[低速モード時]  
発振周波数 32kHz ..... 2.7~5.5V
- 消費電力  
高速モード時 ..... 27.5mW(標準)  
(発振周波数 16.8MHz、電源電圧 5V時)  
低速モード時 ..... 1200  $\mu$ W(標準)  
(発振周波数 32kHz、電源電圧 3V時)
- 動作周囲温度 ..... -20~85°C
- パッケージ  
SP ..... PRDP0064BA-A (64P4B) <64ピン750mil SDIP>  
HP ... PLQP0064KB-A (64P6Q-A) <64ピン10×10mm LQFP>  
KP ... PLQP0064GA-A (64P6U-A) <64ピン14×14mm LQFP>  
WG ..... PTLG0064JA-A (64F0G) <64ピン6×6mm FLGA>

### フラッシュメモリモード

- 電源電圧 ..... V<sub>CC</sub>=2.7~5.5V
- プログラム/イレーズ電圧 ..... V<sub>CC</sub>=2.7~5.5V
- プログラム ..... バイト単位
- イレーズ ..... ブロック消去
- プログラム/イレーズ制御方式  
ソフトウェアコマンドによるプログラム/イレーズ制御
- プログラムイレーズ回数 ..... 100回

### 応用

カメラ、ポータブル機器、家電、民生機器など

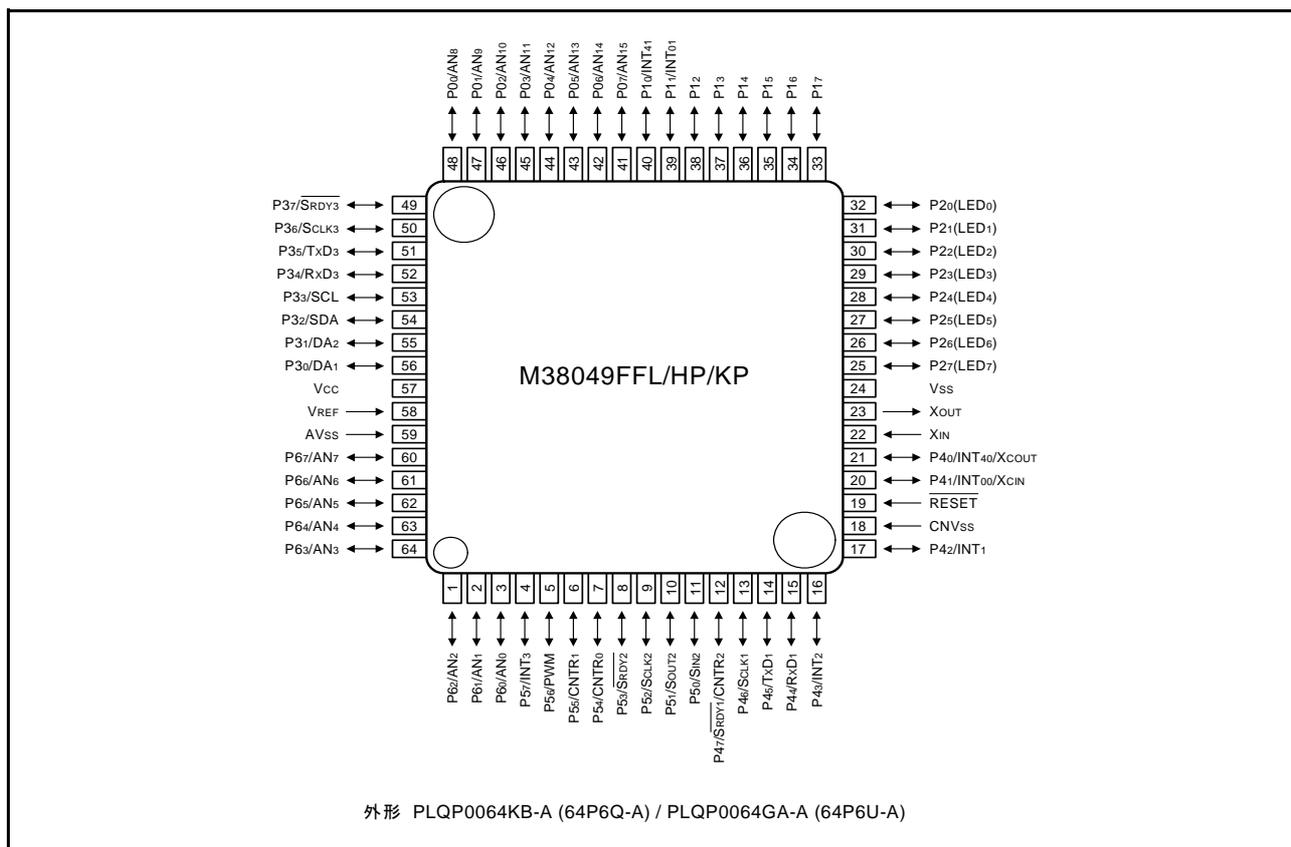


図1. ピン接続図(上面図) (PLQP0064KB-A (64P6Q-A) / PLQP0064GA-A (64P6U-A))

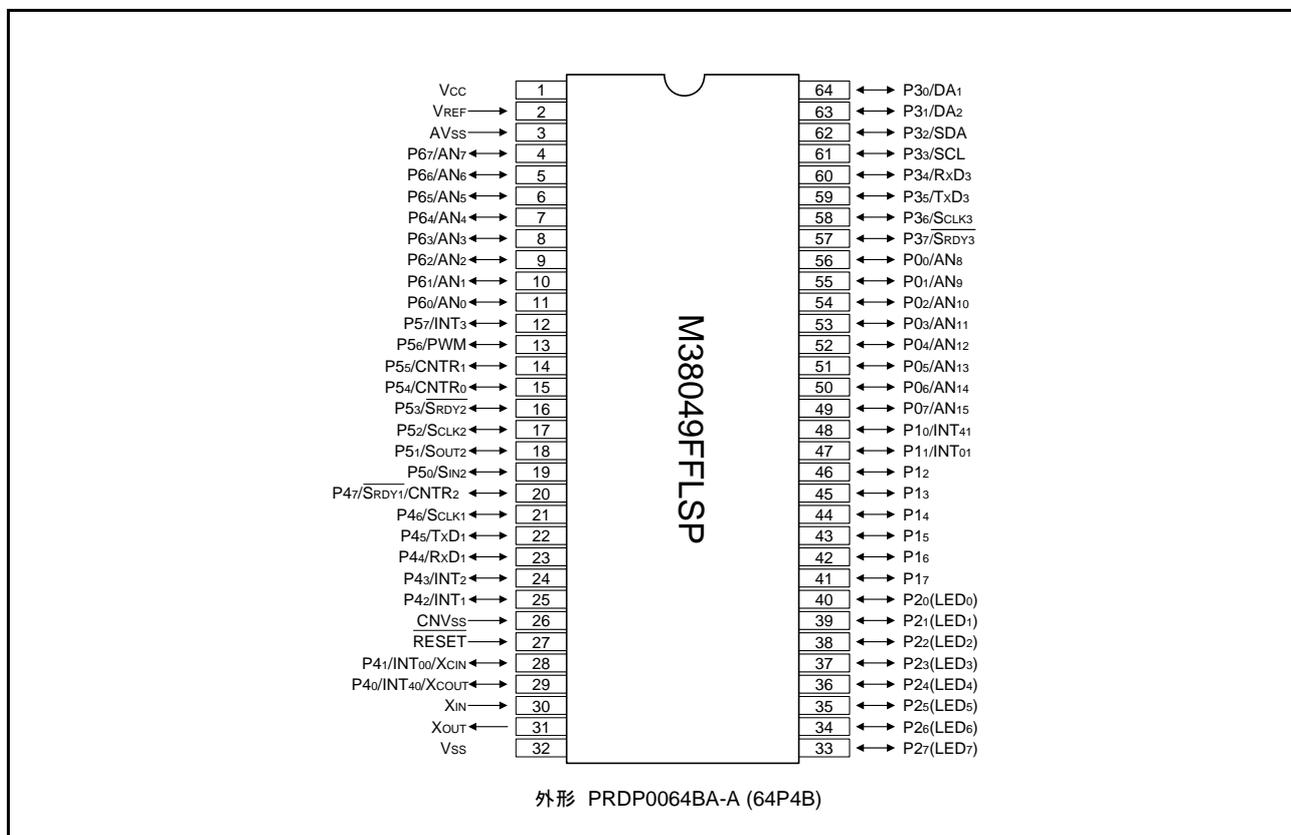


図2. ピン接続図(上面図) (PRDP0064BA-A (64P4B))

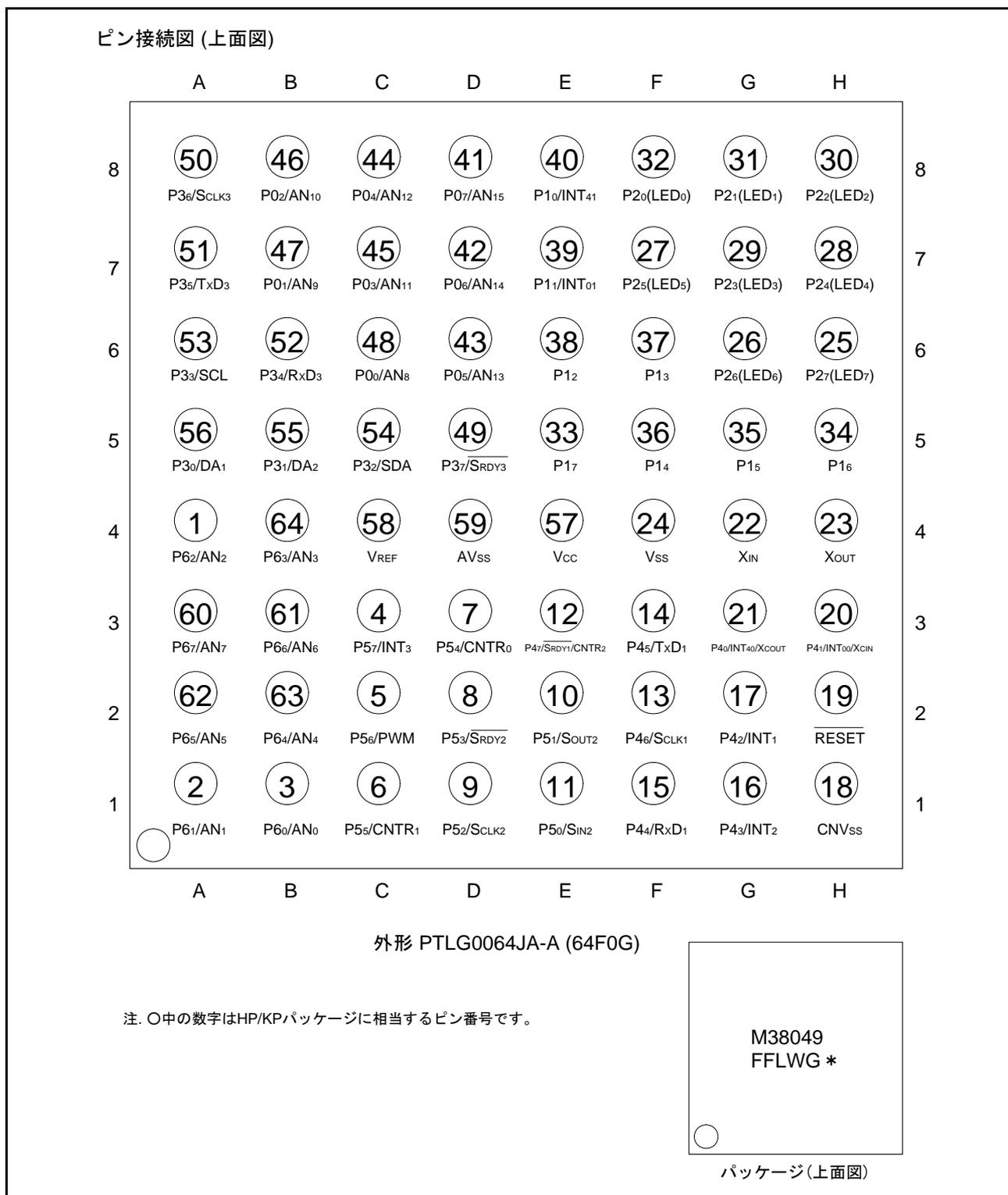


図3. ピン接続図(上面図) (PTLG0064JA-A (64F0G))

表1. 性能概要

項目		性能	
基本命令数		71	
最小命令実行時間		0.24 $\mu$ s (発振周波数16.8MHz時)	
発振周波		16.8MHz (最大)	
メモリ容量	ROM	60Kバイト	
	RAM	2048バイト	
入出力ポート	P0, P1, P2, P3, P4, P5, P6	56本	
ソフトウェアプルアップ抵抗		内蔵	
割り込み		21要因、16ベクトル(外部8、内部12、ソフトウェア1要因)	
タイマ		8ビット×4 (8ビットプリスケラ付) 16ビット×1	
シリアルインタフェース		8ビット×2 (UARTまたはクロック同期形) 8ビット×1 (クロック同期形)	
PWM		8ビット×1 (プリスケラ付)	
A/Dコンバータ		10ビット分解能×16チャンネル (8ビット読み出し可能)	
D/Aコンバータ		8ビット分解能×2チャンネル	
ウォッチドッグタイマ		16ビット×1チャンネル	
マルチマスタI <sup>2</sup> Cバスインタフェース		1チャンネル	
LED直接駆動ポート		8本 (平均電流15mA、尖頭電流30mA、総和電流90mA)	
クロック発生回路		2回路 (セラミック共振子または水晶発振子外付け)	
電源電圧	高速モード	16.8MHz時	4.5~5.5V
		12.5MHz時	4.0~5.5V
		8.4MHz時	2.7~5.5V
	中速モード	16.8MHz時	4.5~5.5V
		12.5MHz時	2.7~5.5V
	低速モード	32kHz時	2.7~5.5V
消費電力	高速モード	標準 27.5mW (V <sub>CC</sub> =5.0V, f(X <sub>IN</sub> )=16.8MHz, T <sub>a</sub> =25°C)	
	低速モード	標準 1200 $\mu$ W (V <sub>CC</sub> =3.0V, f(X <sub>IN</sub> )=停止, f(X <sub>CIN</sub> )=32kHz, T <sub>a</sub> =25°C)	
動作周囲温度		-20~85°C	
素子構造		CMOSシリコンゲート	
パッケージ		64ピンプラスチックモールドSDIP/LQFP/FLGA	

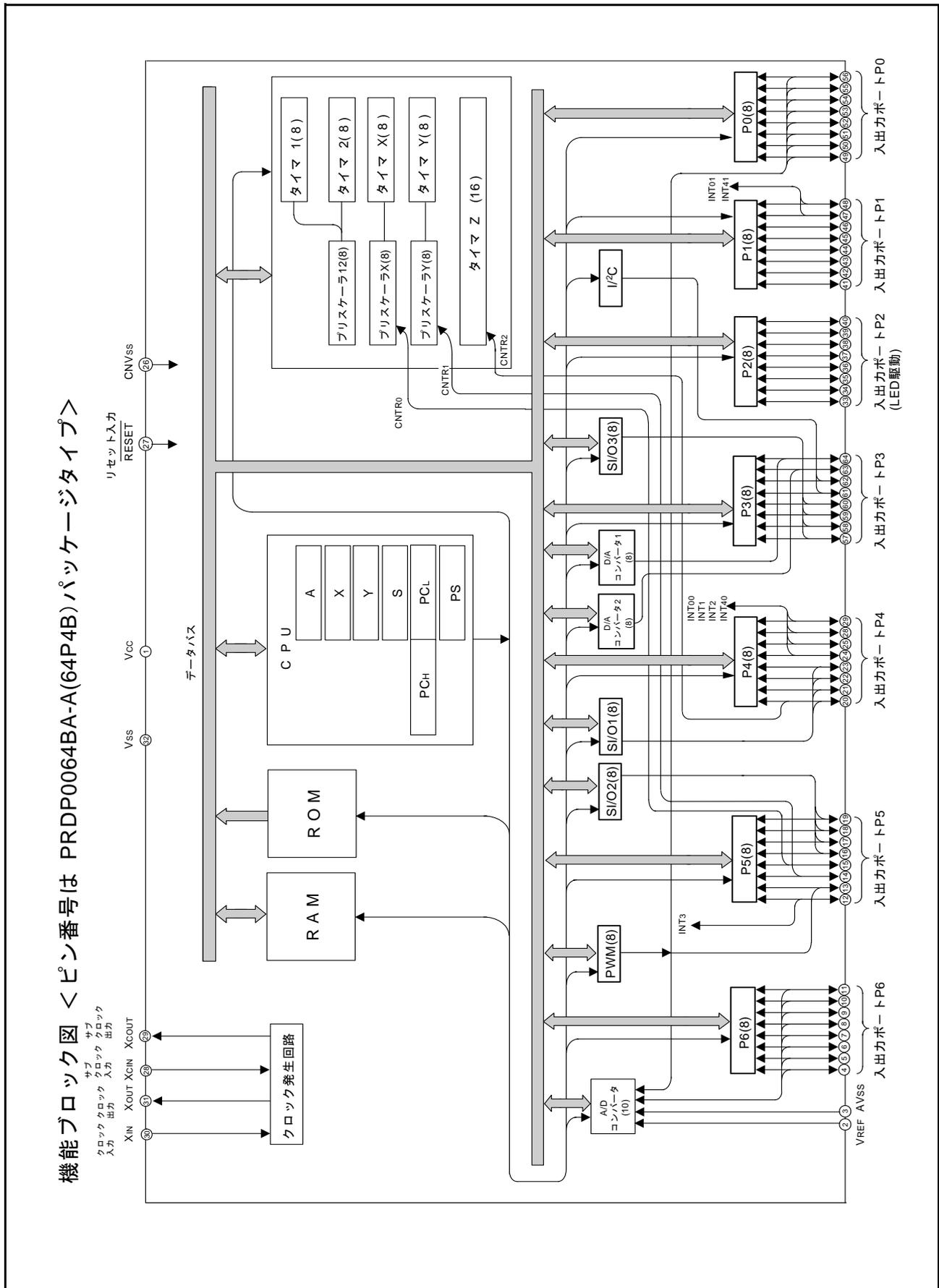


図4. 機能ブロック図

## 端子の機能説明

表2. 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
Vcc, Vss	電源入力	Vccに2.7~5.5V、Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。	
VREF	基準電圧入力	A/DコンバータおよびD/Aコンバータの基準電圧入力端子です。	
AVss	アナログ電源入力	A/DコンバータおよびD/Aコンバータのアナログ電源入力端子です。 この端子はVssに接続してください。	
RESET	リセット入力	アクティブ“L”のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。帰還抵抗内蔵です。	
XOUT	メインクロック出力		
P00/AN8~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。 CMOS入力レベルで、出力形式はCMOS3ステートです。 ビット単位でプルアップ制御が可能です。 P20~P27の8ビットは、LED駆動出力用の大電流出力が可能です。	A/Dコンバータ入力端子
P10/INT41 P11/INT01	入出力ポートP1		割り込み入力端子
P12~P17			
P20~P27	入出力ポートP2		
P30/DA1 P31/DA2	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。 入力レベルは、CMOS入力レベルです。 (P32, P33はI <sup>2</sup> Cバスインタフェース機能時CMOS/SMBUS入力レベル切り替えが可能です。) 出力形式はP30, P31, P34~P37がCMOS3ステートです。 P32, P33はNチャネルオープンドレインです。 P32, P33以外はビット単位でプルアップ制御が可能です。	D/Aコンバータ出力端子
P32/SDA P33/SCL			I <sup>2</sup> C-BUSインタフェース機能端子
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3			シリアルI/O3機能端子
P40/INT40/XCOUT P41/INT00/XCIN	入出力ポートP4	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。 CMOS入力レベルで、出力形式はCMOS3ステートです。 ビット単位でプルアップ制御が可能です。	割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。)
P42/INT1 P43/INT2			割り込み入力端子
P44/RxD1 P45/TxD1 P46/SCLK1			シリアルI/O1機能端子
P47/SRDY1/CNTR2			シリアルI/O1、タイマZ機能端子
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。 CMOS入力レベルで、出力形式はCMOS3ステートです。 ビット単位でプルアップ制御が可能です。	シリアルI/O2機能端子
P54/CNTR0			タイマX機能端子
P55/CNTR1			タイマY機能端子
P56/PWM			PWM出力端子
P57/INT3			割り込み入力端子
P60/AN0~ P67/AN7	入出力ポートP6		A/Dコンバータ入力端子

型名とメモリサイズ・パッケージ

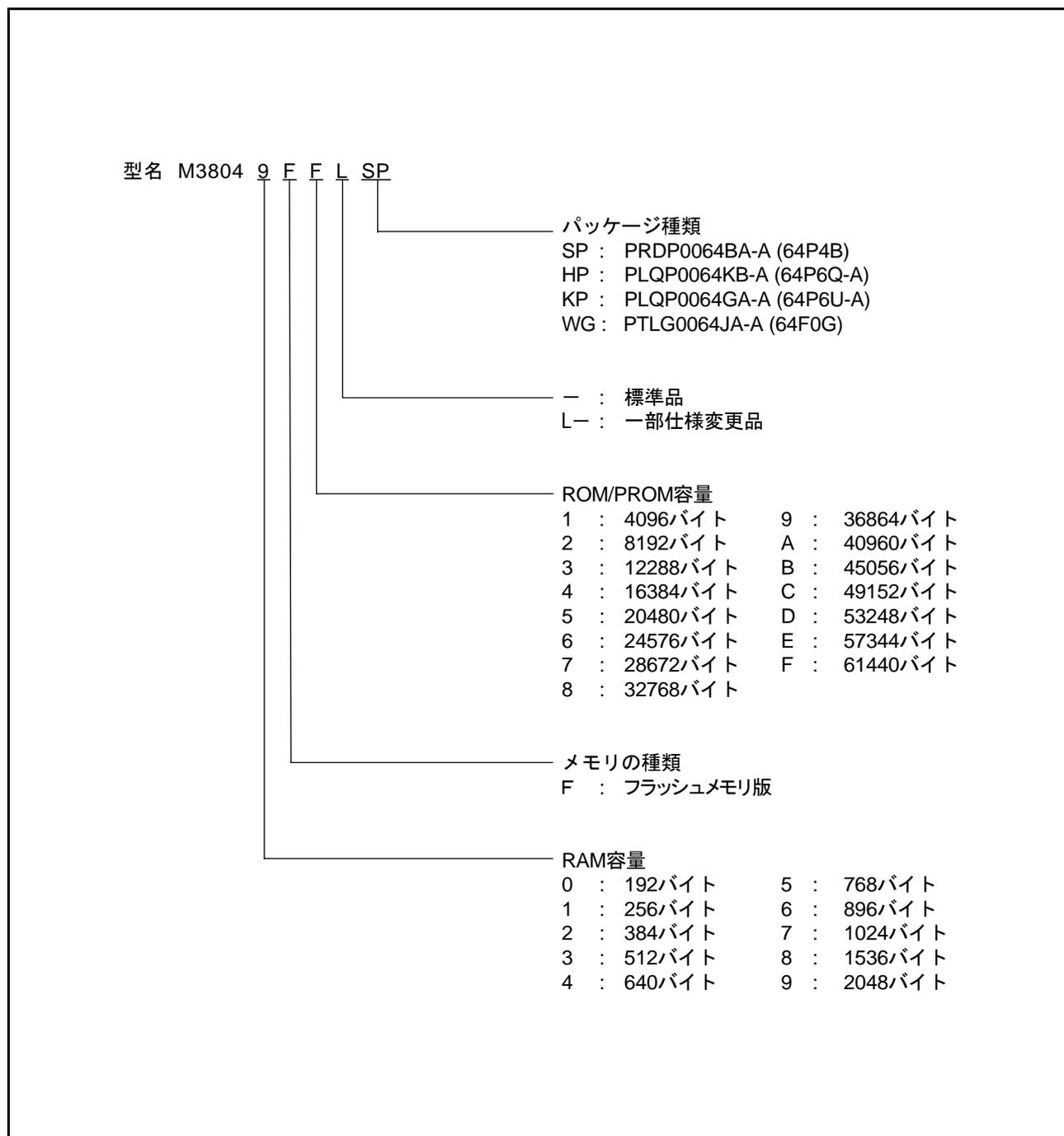


図5. 型名とメモリサイズ・パッケージ

**グループ展開**

3804グループ(L仕様)は次のような製品展開をしています。

**メモリ容量**

フラッシュメモリ容量 ..... 60Kバイト  
RAM容量 ..... 2048バイト

**パッケージ**

- PRDP0064BA-A (64P4B)  
シュリンクプラスチックモールドSDIP
- PLQP0064KB-A (64P6Q-A)  
0.5mmピッチプラスチックモールドLQFP
- PLQP0064GA-A (64P6U-A)  
0.8mmピッチプラスチックモールドLQFP
- PTLG0064JA-A (64F0G)  
0.65mmピッチプラスチックモールドFLGA

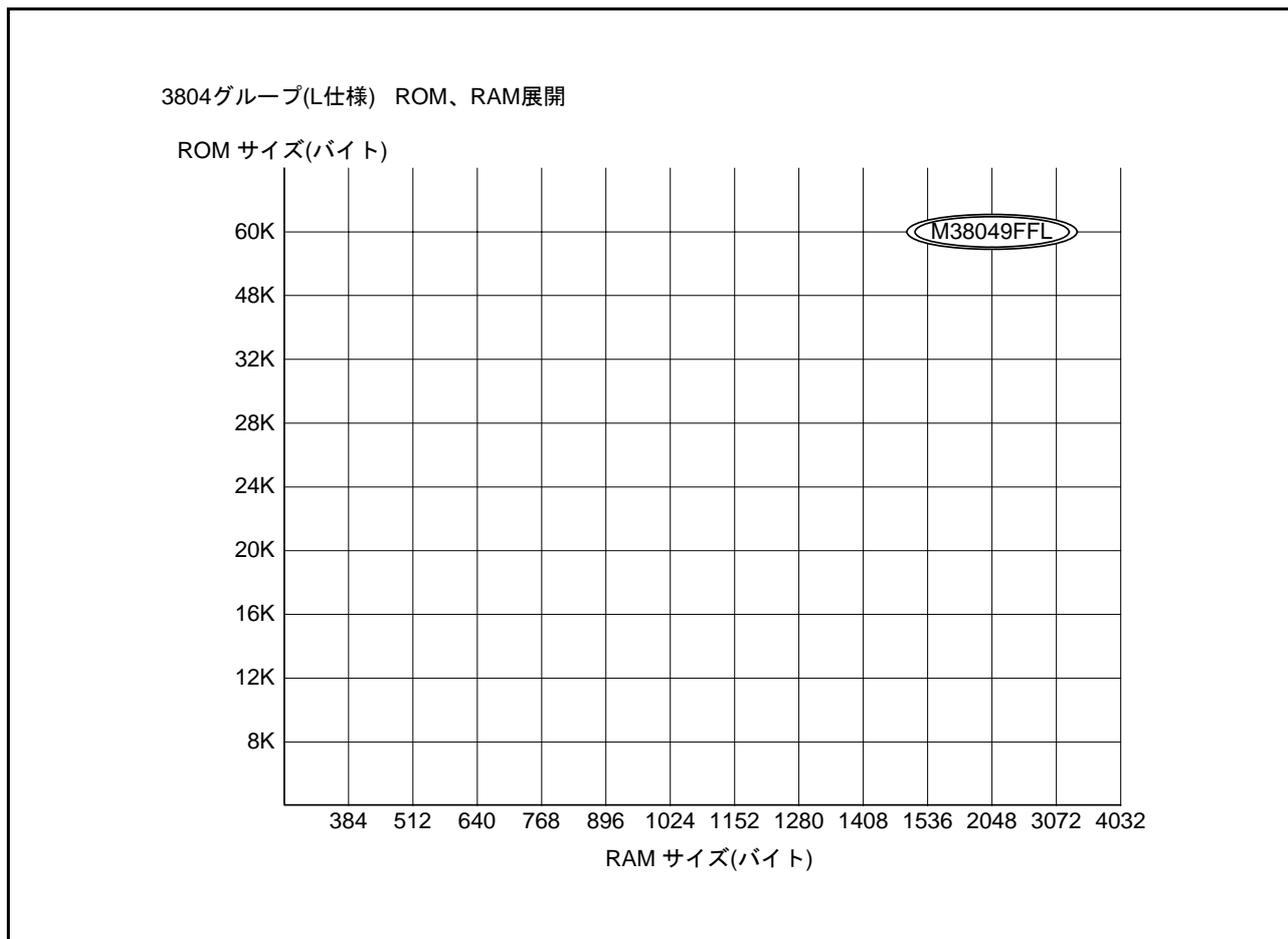


図6. ROMおよびRAM展開

製品一覧を下記に示します。

表3. 製品一覧

製品型名	ROM容量(バイト)	RAM容量(バイト)	パッケージ	備考
M38049FFLSP	57344+4096(注1)	2048	PRDP0064BA-A (64P4B)	Vcc=2.7~5.5V
M38049FFLHP			PLQP0064KB-A (64P6Q-A)	
M38049FFLKP			PLQP0064GA-A (64P6U-A)	
M38049FFLWG			PTLG0064JA-A (64F0G)	

注1. ROM容量には、IDコード領域が含まれます。

## 機能ブロック動作説明

## 中央演算処理装置 (CPU)

3804グループ(L仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図9にCPUモードレジスタの構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時または割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避および復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

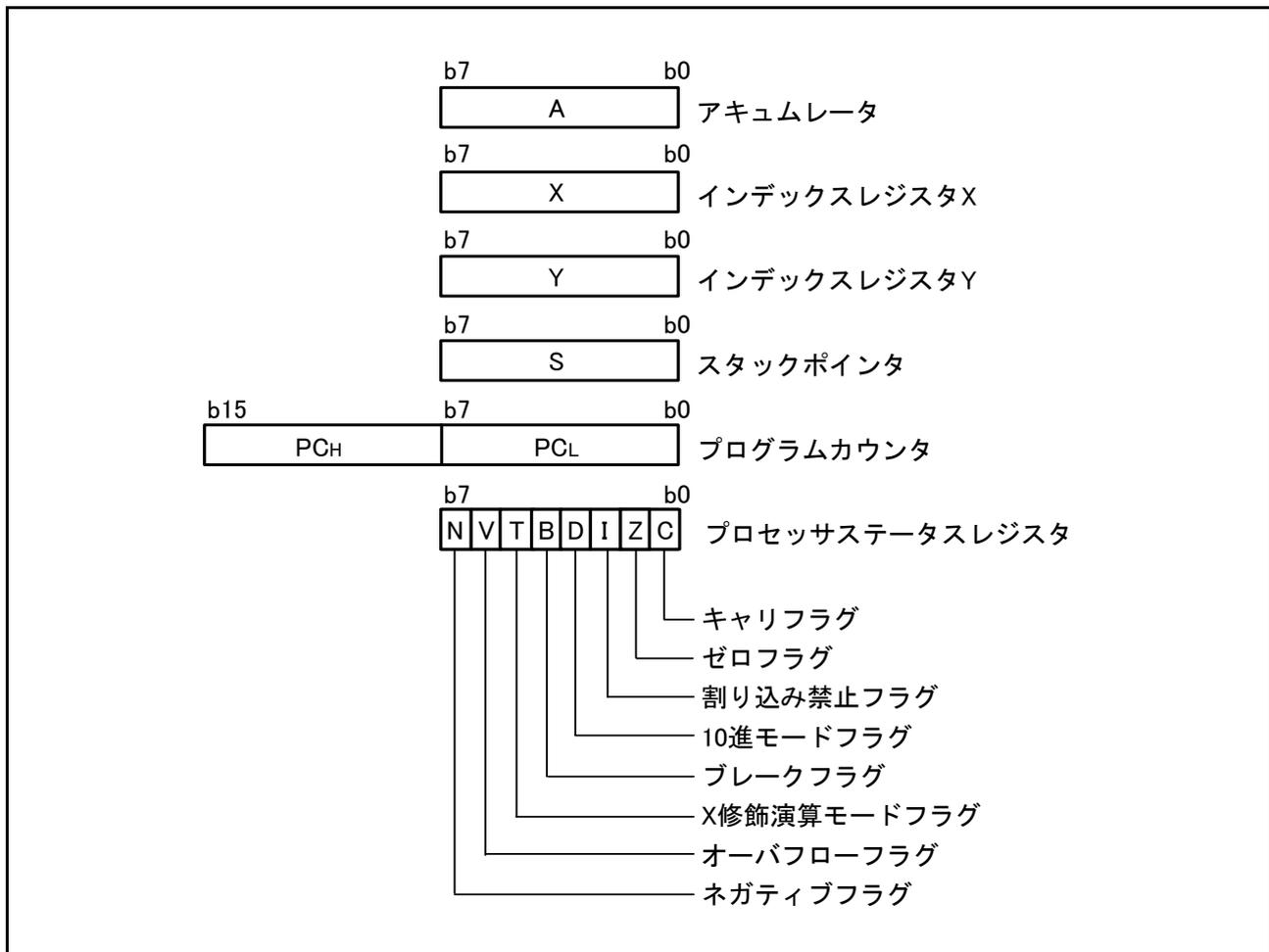


図7. 740ファミリCPUの構成

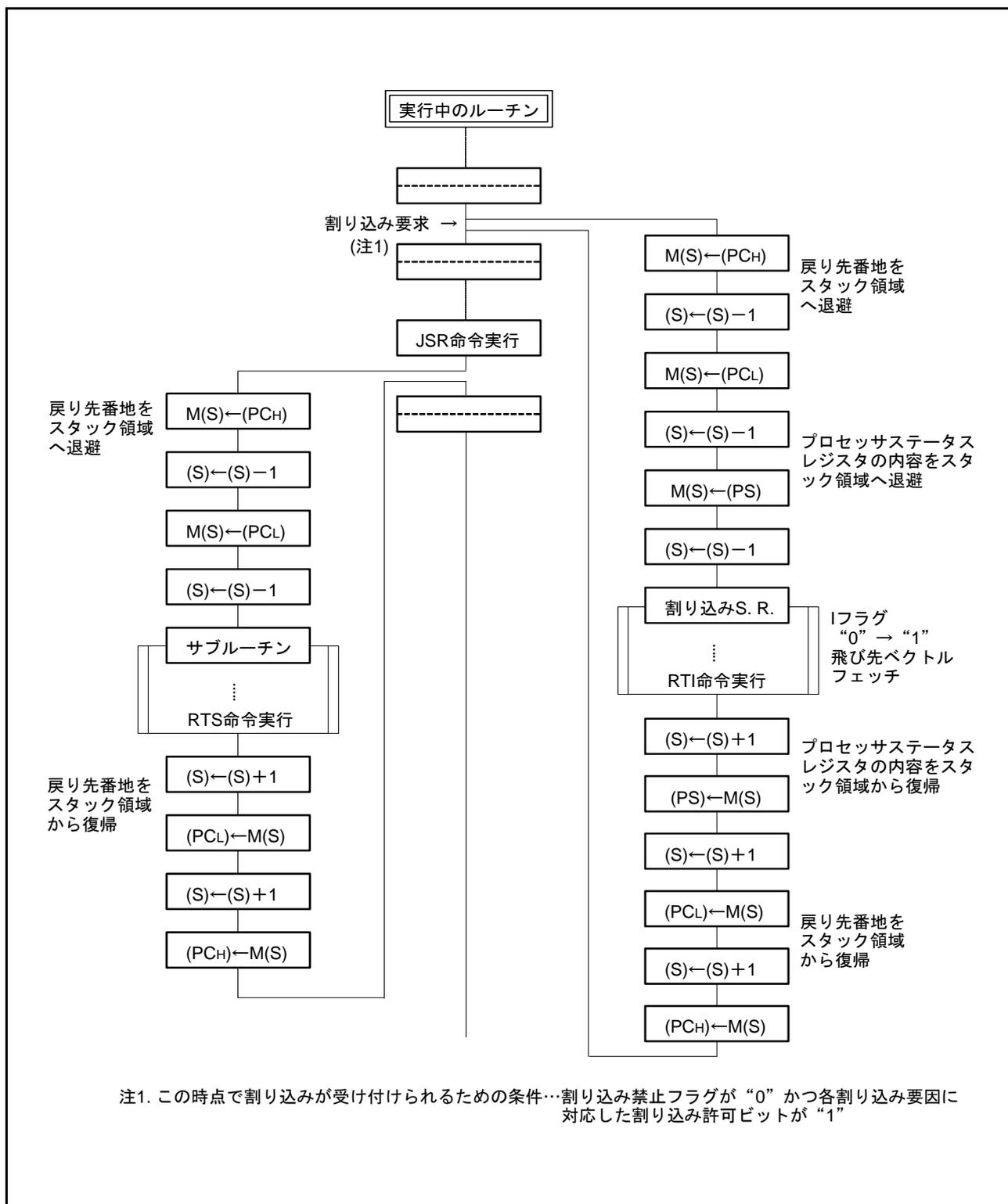


図8. スタックへの退避および復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令および復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

## • ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリまたはボローを保持します。シフト命令またはローテート命令でも変化します。

## • ビット1：ゼロフラグ(Z)

演算処理またはデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

## • ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

## • ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## • ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

## • ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

## • ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127または-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## • ビット7：ネガティブフラグ(N)

演算処理またはデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセットまたはクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	–	SEI	SED	–	SET	–	–
クリアする命令	CLC	–	CLI	CLD	–	CLT	CLV	–





メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

●ROM

プログラム/イレーズが可能です。

●割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

■注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

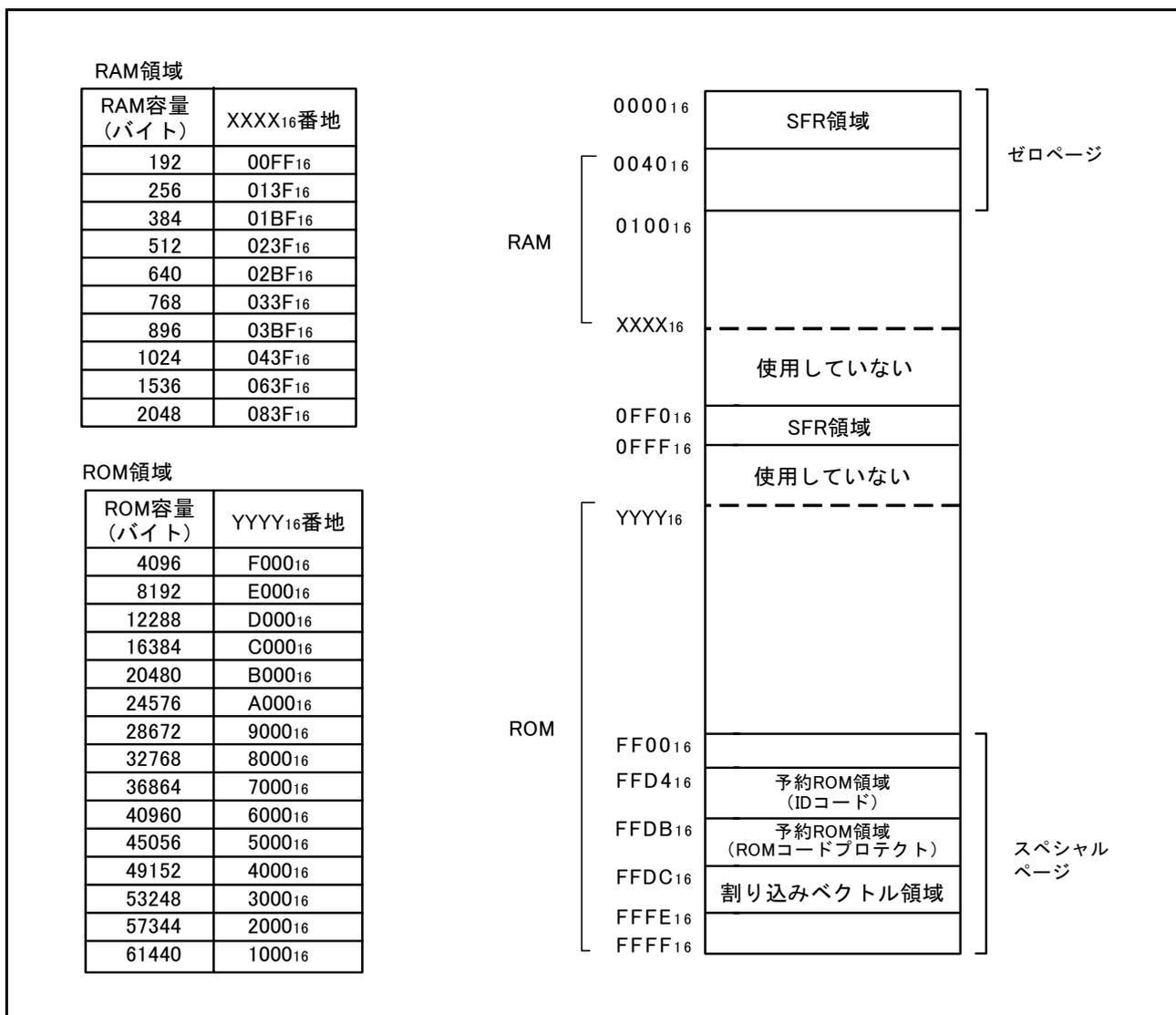


図 11. メモリ配置図

0000 <sub>16</sub>	ポートP0 (P0)	0020 <sub>16</sub>	プリスケアラ12 (PRE12)
0001 <sub>16</sub>	ポートP0方向レジスタ (P0D)	0021 <sub>16</sub>	タイマ1 (T1)
0002 <sub>16</sub>	ポートP1 (P1)	0022 <sub>16</sub>	タイマ2 (T2)
0003 <sub>16</sub>	ポートP1方向レジスタ (P1D)	0023 <sub>16</sub>	タイマXYモードレジスタ (TM)
0004 <sub>16</sub>	ポートP2 (P2)	0024 <sub>16</sub>	プリスケアラX (PREX)
0005 <sub>16</sub>	ポートP2方向レジスタ (P2D)	0025 <sub>16</sub>	タイマX (TX)
0006 <sub>16</sub>	ポートP3P (P3)	0026 <sub>16</sub>	プリスケアラY (PREY)
0007 <sub>16</sub>	ポートP3方向レジスタ (P3D)	0027 <sub>16</sub>	タイマY (TY)
0008 <sub>16</sub>	ポートP4 (P4)	0028 <sub>16</sub>	タイマZ下位 (TZL)
0009 <sub>16</sub>	ポートP4方向レジスタ (P4D)	0029 <sub>16</sub>	タイマZ上位 (TZH)
000A <sub>16</sub>	ポートP5 (P5)	002A <sub>16</sub>	タイマZモードレジスタ (TZM)
000B <sub>16</sub>	ポートP5方向レジスタ (P5D)	002B <sub>16</sub>	PWM制御レジスタ (PWMCON)
000C <sub>16</sub>	ポートP6 (P6)	002C <sub>16</sub>	PWMプリスケアラ (PREPWM)
000D <sub>16</sub>	ポートP6方向レジスタ (P6D)	002D <sub>16</sub>	PWMレジスタ (PWM)
000E <sub>16</sub>	タイマ12,Xカウントソース選択レジスタ (T12XCSS)	002E <sub>16</sub>	
000F <sub>16</sub>	タイマY,Zカウントソース選択レジスタ (TYZCSS)	002F <sub>16</sub>	ポーレートジェネレータ3 (BRG3)
0010 <sub>16</sub>	MISRG	0030 <sub>16</sub>	送信/受信バッファレジスタ3 (TB3/RB3)
0011 <sub>16</sub>	I <sup>2</sup> Cデータシフトレジスタ (S0)	0031 <sub>16</sub>	シリアル/O3ステータスレジスタ (SIO3STS)
0012 <sub>16</sub>	I <sup>2</sup> Cスペシャルモードステータスレジスタ (S3)	0032 <sub>16</sub>	シリアル/O3制御レジスタ (SIO3CON)
0013 <sub>16</sub>	I <sup>2</sup> Cステータスレジスタ (S1)	0033 <sub>16</sub>	UART3制御レジスタ (UART3CON)
0014 <sub>16</sub>	I <sup>2</sup> Cコントロールレジスタ (S1D)	0034 <sub>16</sub>	AD/DA制御レジスタ (ADCON)
0015 <sub>16</sub>	I <sup>2</sup> Cクロックコントロールレジスタ (S2)	0035 <sub>16</sub>	AD変換レジスタ1 (AD1)
0016 <sub>16</sub>	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタ (S2D)	0036 <sub>16</sub>	DA1変換レジスタ (DA1)
0017 <sub>16</sub>	I <sup>2</sup> Cスペシャルモード制御レジスタ (S3D)	0037 <sub>16</sub>	DA2変換レジスタ (DA2)
0018 <sub>16</sub>	送信/受信バッファレジスタ1 (TB1/RB1)	0038 <sub>16</sub>	AD変換レジスタ2 (AD2)
0019 <sub>16</sub>	シリアル/O1ステータスレジスタ (SIO1STS)	0039 <sub>16</sub>	割り込み要因選択レジスタ (INTSEL)
001A <sub>16</sub>	シリアル/O1制御レジスタ (SIO1CON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ (INTEDGE)
001B <sub>16</sub>	UART1制御レジスタ (UART1CON)	003B <sub>16</sub>	CPUモードレジスタ (CPUM)
001C <sub>16</sub>	ポーレートジェネレータ1 (BRG1)	003C <sub>16</sub>	割り込み要求レジスタ1 (IREQ1)
001D <sub>16</sub>	シリアル/O2制御レジスタ (SIO2CON)	003D <sub>16</sub>	割り込み要求レジスタ2 (IREQ2)
001E <sub>16</sub>	ウォッチドッグタイマ制御レジスタ (WDTCON)	003E <sub>16</sub>	割り込み制御レジスタ1 (ICON1)
001F <sub>16</sub>	シリアル/O2レジスタ (SIO2)	003F <sub>16</sub>	割り込み制御レジスタ2 (ICON2)
0FE0 <sub>16</sub>	フラッシュ制御レジスタ0 (FMCR0)	0FF0 <sub>16</sub>	ポートP0プルアップ制御レジスタ (PULL0)
0FE1 <sub>16</sub>	フラッシュ制御レジスタ1 (FMCR1)	0FF1 <sub>16</sub>	ポートP1プルアップ制御レジスタ (PULL1)
0FE2 <sub>16</sub>	フラッシュ制御レジスタ2 (FMCR2)	0FF2 <sub>16</sub>	ポートP2プルアップ制御レジスタ (PULL2)
0FE3 <sub>16</sub>	予約 (注)	0FF3 <sub>16</sub>	ポートP3プルアップ制御レジスタ (PULL3)
0FE4 <sub>16</sub>	予約 (注)	0FF4 <sub>16</sub>	ポートP4プルアップ制御レジスタ (PULL4)
0FE5 <sub>16</sub>	予約 (注)	0FF5 <sub>16</sub>	ポートP5プルアップ制御レジスタ (PULL5)
0FE6 <sub>16</sub>	予約 (注)	0FF6 <sub>16</sub>	ポートP6プルアップ制御レジスタ (PULL6)
0FE7 <sub>16</sub>	予約 (注)	0FF7 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ0 (S0D0)
0FE8 <sub>16</sub>	予約 (注)	0FF8 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ1 (S0D1)
0FE9 <sub>16</sub>	予約 (注)	0FF9 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ2 (S0D2)
0FEA <sub>16</sub>	予約 (注)		
0FEB <sub>16</sub>	予約 (注)		
0FEC <sub>16</sub>	予約 (注)		
0FED <sub>16</sub>	予約 (注)		
0FEE <sub>16</sub>	予約 (注)		
0FEF <sub>16</sub>	予約 (注)		

(注)予約領域のため、何もデータを書き込まないでください。

図12. SFR(スペシャルファンクションレジスタ)メモリマップ

## 入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングと

なり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0プルアップ制御レジスタ(OFF016番地)～ポートP6プルアップ制御レジスタ(OFF616番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表6. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番		
P00/AN8～ P07/AN15	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/Dコンバータ入力	AD/DA制御レジスタ	(1)		
P10/INT41 P11/INT01	ポートP1			外部割り込み入力	割り込みエッジ選択レジスタ	(2)		
P12～P17						(3)		
P20/LED0～ P27/LED7				ポートP2				
P30/DA1 P31/DA2	ポートP3				D/Aコンバータ出力	AD/DA制御レジスタ	(4)	
P32/SDA P33/SCL				CMOS入力レベル Nチャネルオープンドレイン出力 (I <sup>2</sup> C-BUSインタフェース 機能選択時 CMOS/SMBUS入力レベル)	I <sup>2</sup> C-BUSインタフェース 機能入出力	I <sup>2</sup> Cコントロールレジスタ	(5)	
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3	ポートP4				CMOS入力レベル CMOS3ステート出力	シリアルI/O3機能入出力	シリアルI/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCOUT P41/INT00/XCIN				外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ	(10) (11)		
P42/INT1 P43/INT2				外部割り込み入力	割り込みエッジ選択レジスタ	(2)		
P44/RxD1 P45/TxD1 P46/SCLK1				シリアルI/O1機能入出力	シリアルI/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)		
P47/SRDY1/CNTR2		シリアルI/O1機能入出力 タイマZ機能入出力	シリアルI/O1制御レジスタ タイマZモードレジスタ	(12)				
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2		ポートP5	シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(13) (14) (15) (16)			
P54/CNTR0 P55/CNTR1			タイマX、Y機能入出力	タイマXYモードレジスタ	(17)			
P56/PWM			PWM出力	PWM制御レジスタ	(18)			
P57/INT3			外部割り込み入力	割り込みエッジ選択レジスタ	(2)			
P60/AN0～ P67/AN7			ポートP6		A/Dコンバータ入力	AD/DA制御レジスタ	(1)	

- 注1. ダブルファンクションポートを機能入出力端子として使用方法については、関連する項を参照してください。  
 注2. STP命令の実行中は、各端子の入力レベルを0VまたはV<sub>CC</sub>にしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

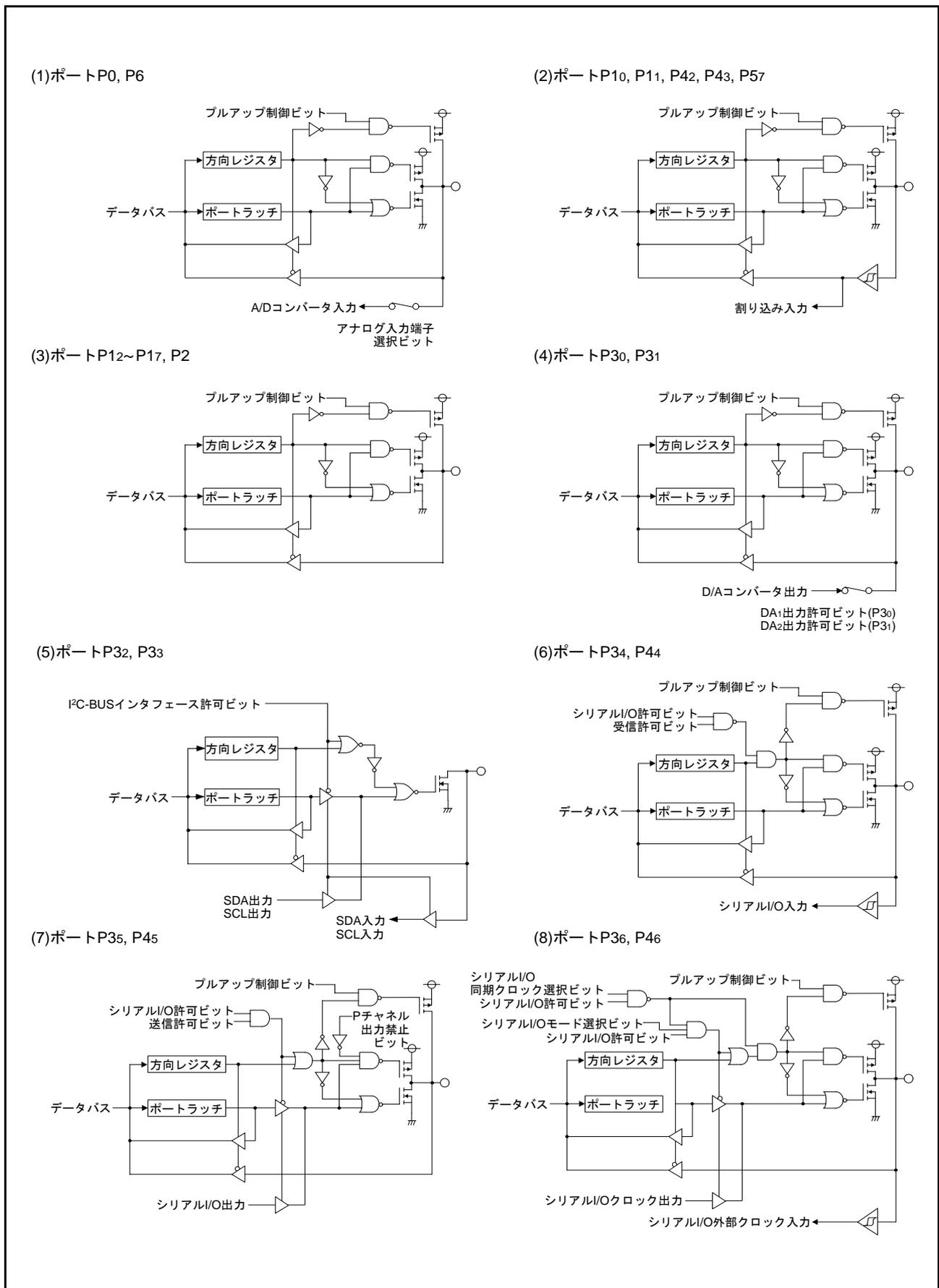


図13. ポートのブロック図(1)

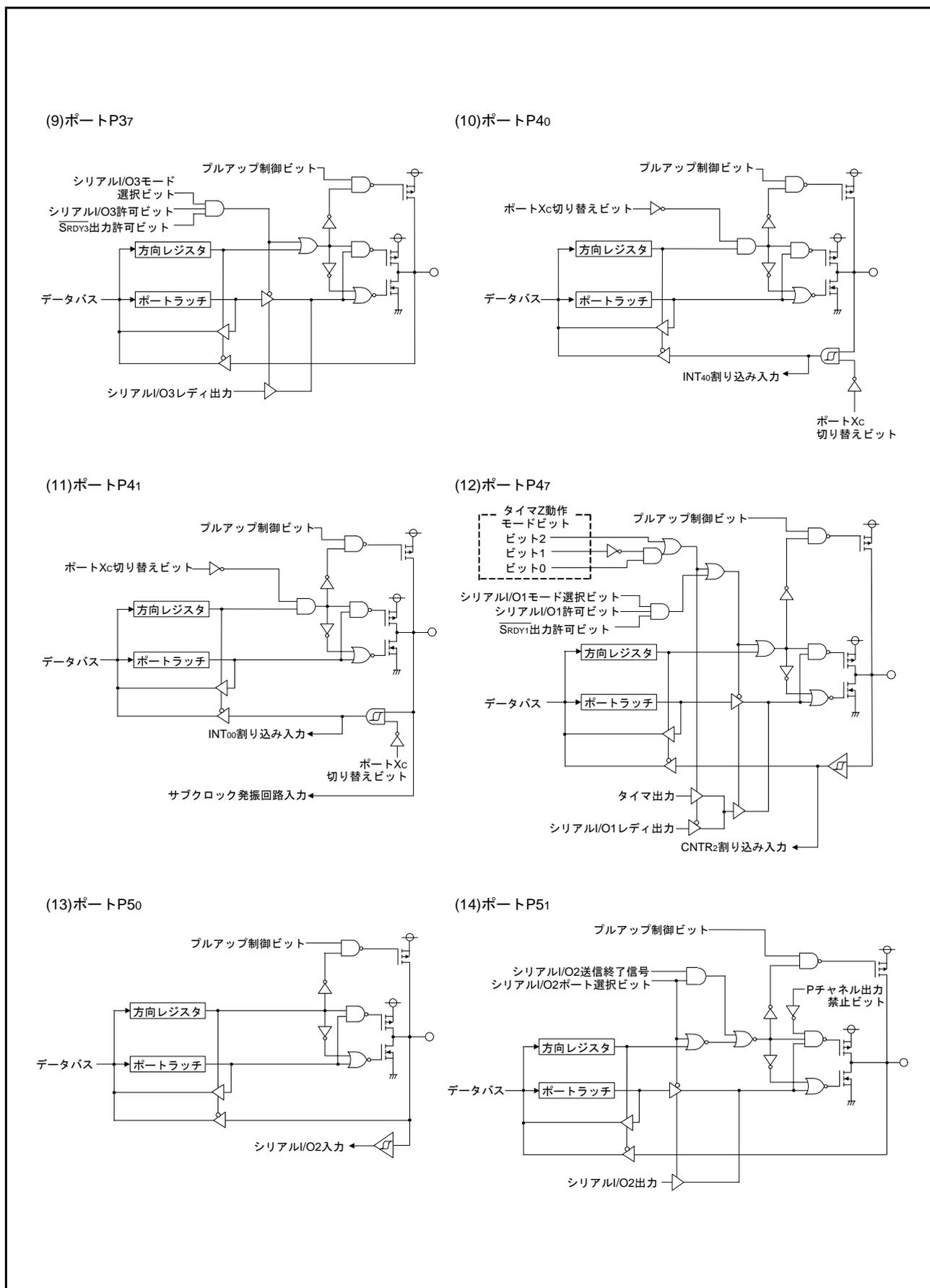


図14. ポートのブロック図(2)

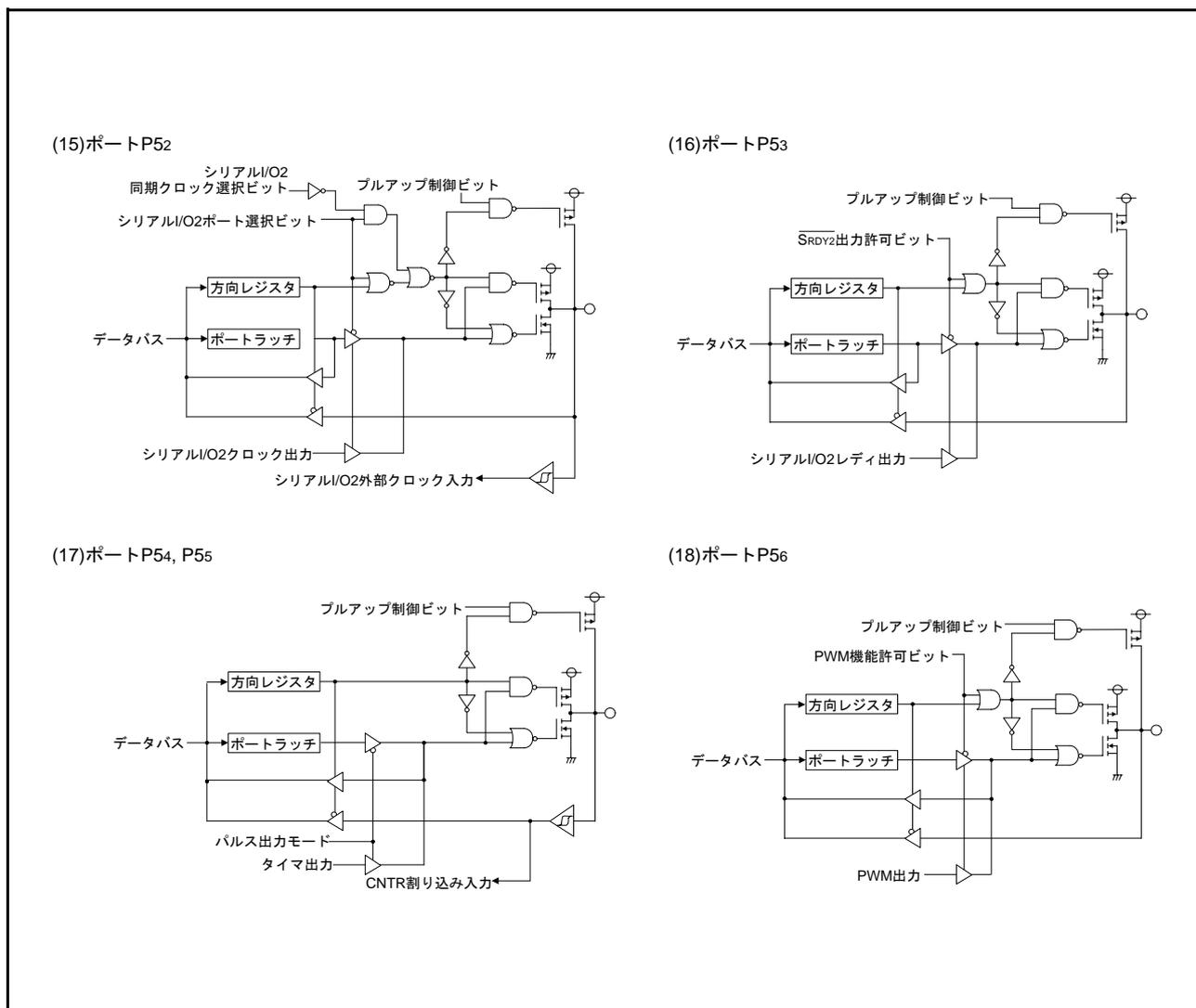


図15. ポートのブロック図(3)

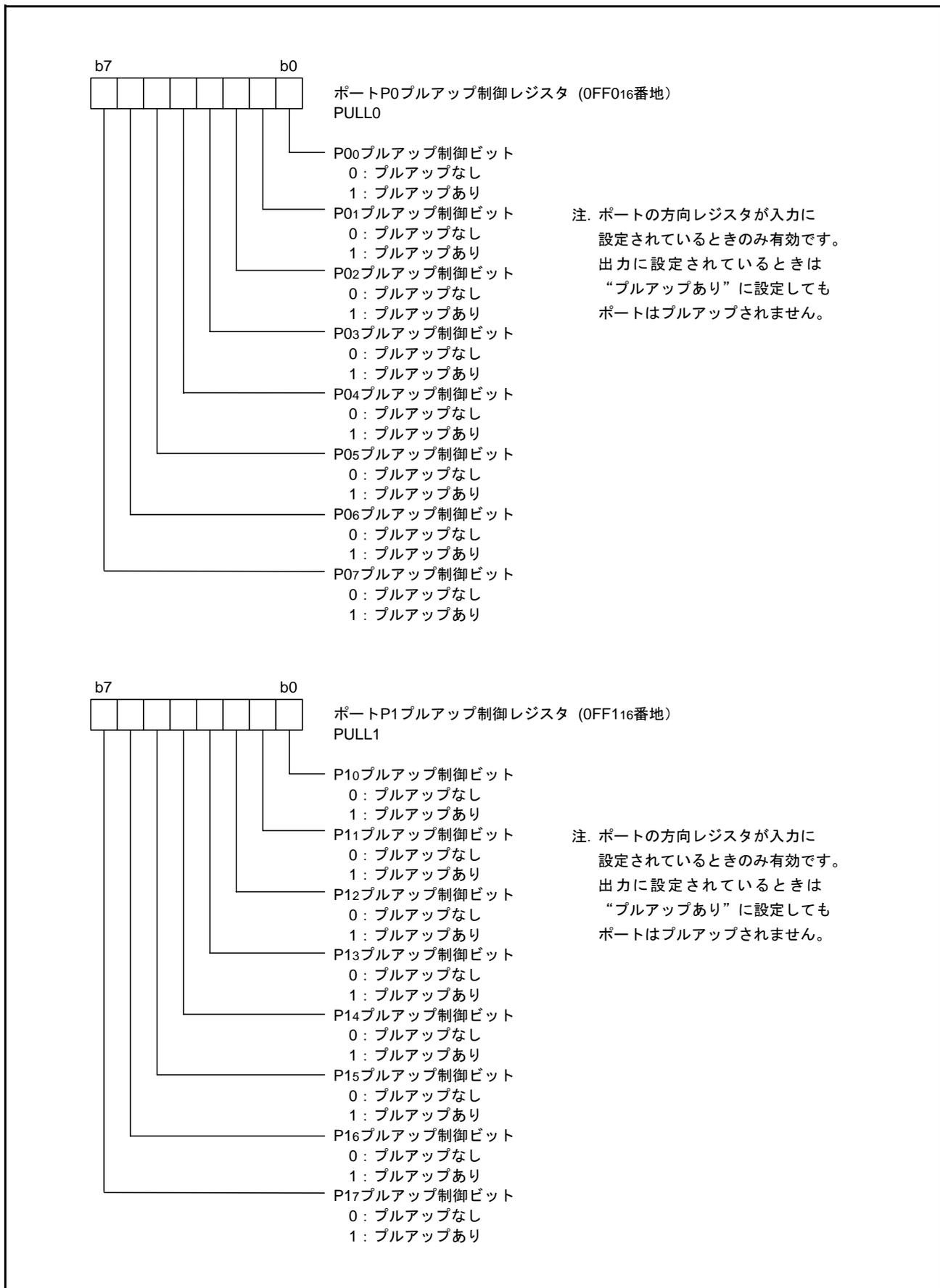


図16. ポートレジスタ構成図(1)

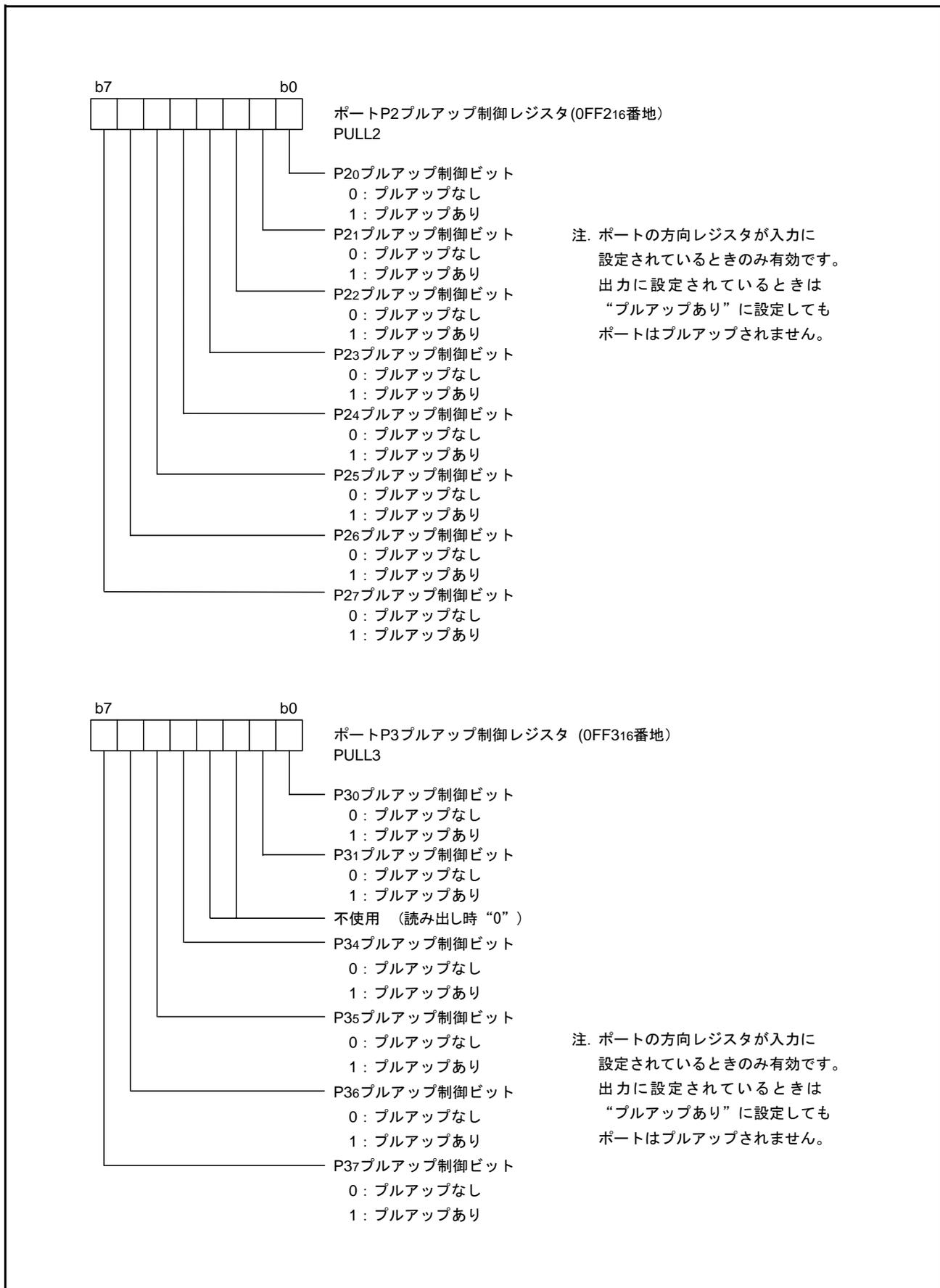


図17. ポートレジスタ構成図(2)

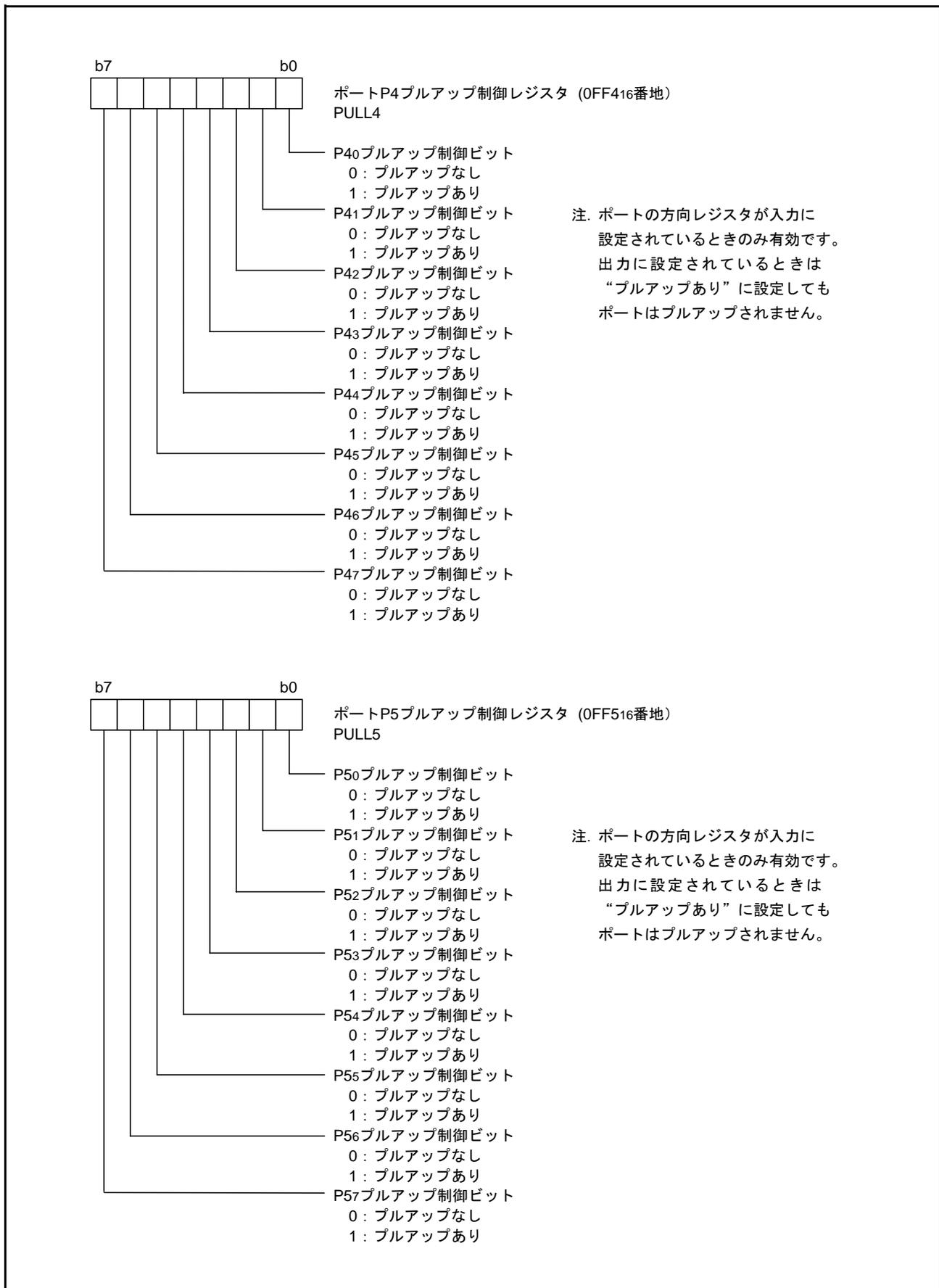


図18. ポートレジスタ構成図(3)



### ●未使用端子の処理方法

#### • 一般的な端子の処理方法

入出力ポート:入力ポート、または出力ポートを選択し、それぞれの処理方法に従ってください。また、誤動作等を考慮して、関連レジスタを周期的に上書きすることを推奨します。

出力ポート : 開放にしてください。

入出力ポート:入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)で、電源電流が増大することがありますので、プルアップ、またはプルダウンしてください(内蔵抵抗使用可)。入出力ポート、および出力機能を持つ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(ave)}$  または  $I_{OL(ave)}$  を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表7. 未使用端子の処理(シングルチップモード時)

端子/ポート名	処理方法
P0、P1、P2、P3、P4、P5、P6	・入力モードに設定し、端子ごとに1 k $\Omega$ ~ 10 k $\Omega$ の抵抗を介してVccまたはVssに接続 ・出力モードに設定し、“L” または “H” 出力状態で開放
VREF 端子	VccまたはVss (GND)に接続
AVss 端子	VccまたはVss (GND)に接続
XOUT 端子	開放(外部クロック使用時のみ)

## 割り込み

3804グループ(L仕様)の割り込みは、固定優先度方式のベクトル割り込みで、外部10要因、内部13要因、ソフトウェア1要因の24要因のうち16要因から割り込みを発生することが可能です。割り込み要因とベクトル番地(注1)、割り込みの優先順位を表8に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(Iフラグ)によって割り込み要求の受付を制御できます。図20に割り込み制御図を示します。

次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- 割り込み禁止フラグ ..... “0”
- 割り込み要求ビット ..... “1”
- 割り込み許可ビット ..... “1”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビットおよびフラグの使用により、優先処理をプログラムで行えます。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	リセット時	ノンマスカブル
INT <sub>0</sub>	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>	INT <sub>0</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT <sub>1</sub>	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>	INT <sub>1</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O1受信	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>	シリアルI/O1データ受信完了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>	シリアルI/O1送信シフト終了時または送信バッファ空き時	シリアルI/O1選択時のみ有効
SCL, SDA				SCLまたはSDA立ち上がりまたは立ち下リエッジ検出確認	
タイマX	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>	タイマXアンダフロー時	
タイマY	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>	タイマYアンダフロー時	
タイマ1	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED <sub>16</sub>	FFEC <sub>16</sub>	タイマ2アンダフロー時	
CNTR <sub>0</sub>	10	FFE8 <sub>16</sub>	FFEA <sub>16</sub>	CNTR <sub>0</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
SCL, SDA				SCLまたはSDA入力の立ち上がりまたは立ち下がリエッジ検出時	
CNTR <sub>1</sub>	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>	CNTR <sub>1</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O3受信				シリアルI/O3データ受信完了時	
シリアルI/O2	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>	シリアルI/O2データ送受信完了時	シリアルI/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT <sub>2</sub>	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>	INT <sub>2</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
I <sup>2</sup> C				データ送受信完了時	
INT <sub>3</sub>	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>	INT <sub>3</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>4</sub>				INT <sub>4</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	
CNTR <sub>2</sub>	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>	CNTR <sub>2</sub> 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換				A/D変換終了時	
シリアルI/O3送信	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>	シリアルI/O3送信シフト終了時または送信バッファ空き時	シリアルI/O3選択時のみ有効
BRK命令				BRK命令実行時	

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。  
 注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

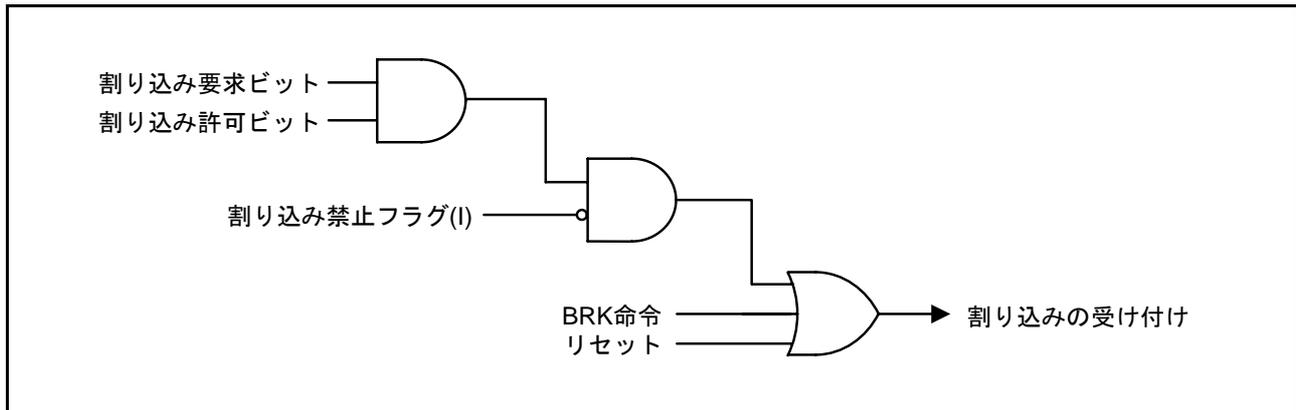


図20. 割り込み制御図

#### • 割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタを退避します。その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

#### • 割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

#### • 割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。割り込み許可ビットはプログラムで“0”、または“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

#### • 割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(003916番地)によりいずれかを選択することができます。

1. INT0あるいはタイマZ
2. シリアルI/O1送信あるいはSCL, SDA
3. CNTR0あるいはSCL, SDA
4. CNTR1あるいはシリアルI/O3受信
5. シリアルI/O2あるいはタイマZ
6. INT2あるいはI<sup>2</sup>C
7. INT4あるいはCNTR2
8. A/D変換あるいはシリアルI/O3送信

#### • 外部割り込み端子選択

外部割り込みINT0、INT4は、外部入力端子であるINT00、INT40あるいはINT01、INT41のいずれかを割り込みエッジ選択レジスタのINT0、INT4割り込み切り替えビット(003A16番地のビット6)により選択することができます。

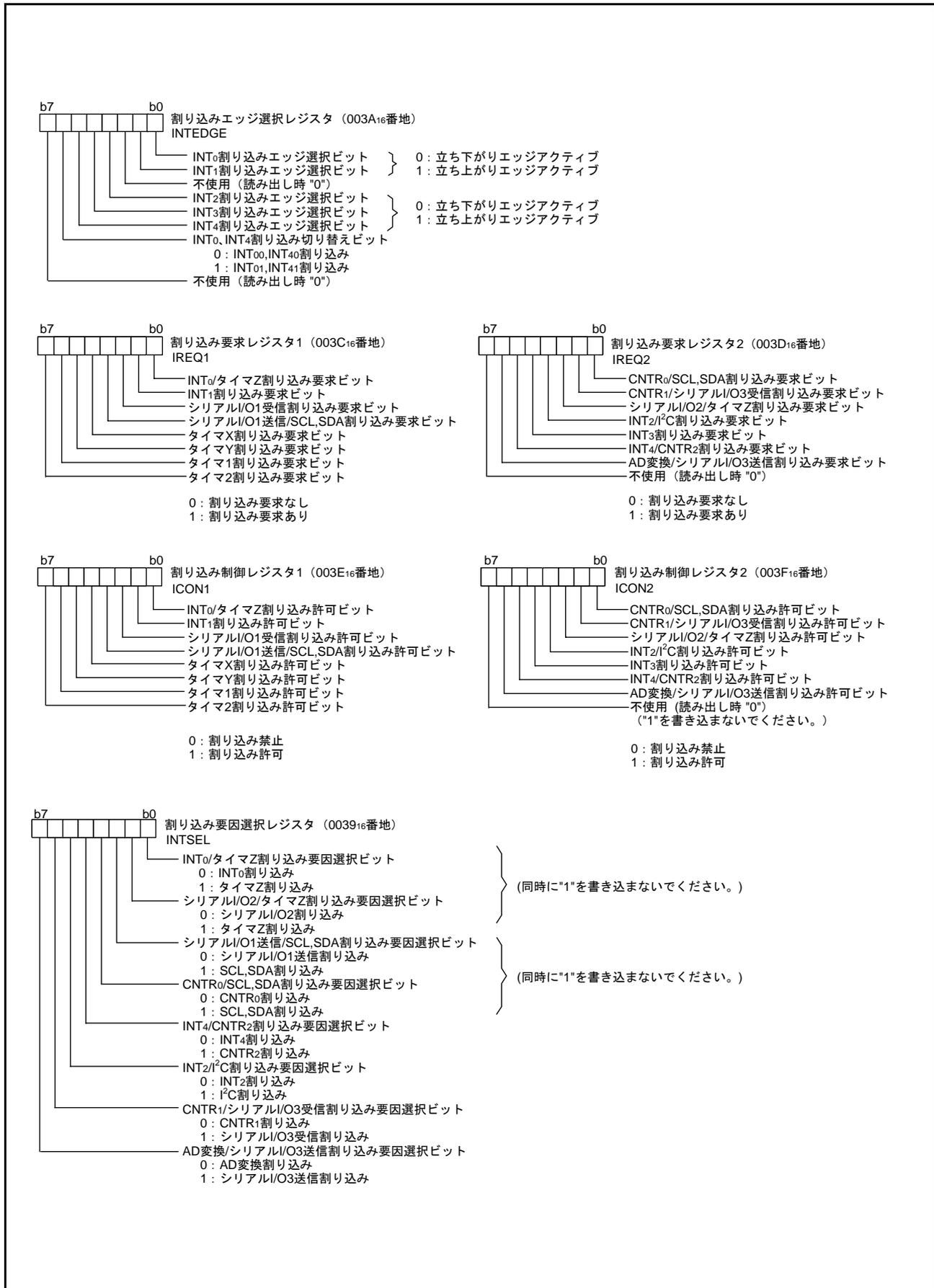


図 21. 割り込み関係レジスタの構成

### ● 割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

#### (i) 割り込み要求の発生

各種の割り込み要因（外部割り込み信号入力、タイマのアンダフロー等）により割り込み要求が発生し、割り込み要求ビットが“1”になります。

#### (ii) 割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件（割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ）と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

#### (iii) 受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込みルーチンを実行するまでの時間を図22、割り込みシーケンスを図23、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図24に示します。

### ● 割り込み処理実行

割り込み処理実行時、次の動作を自動的に行います。

- (1) 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- (2) この時点のプログラムカウンタおよびプロセッサステータスレジスタの内容を①→②→③の順でスタック領域へ退避します。
  - ①プログラムカウンタ上位(PCH)
  - ②プログラムカウンタ下位(PCL)
  - ③プロセッサステータスレジスタ(PS)
- (3) 退避と同時に、対応する割り込みの飛び先番地（割り込みルーチンの先頭番地）を割り込みベクトルからプログラムカウンタへ転送します。
- (4) 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- (5) 割り込みルーチンを実行します。
- (6) RTI命令を実行すると、スタック領域に退避していたレジスタの内容を③→②→①の順に復帰し、割り込み処理前のルーチンを継続します。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定および各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

### ■ 注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際  
対象レジスタ: 割り込みエッジ選択レジスタ (003A16番地)  
タイマXYモードレジスタ (002316番地)  
タイマZモードレジスタ (002A16番地)  
I<sup>2</sup>C スタート/ストップコンディション制御レジスタ (001616番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ: 割り込み要因選択レジスタ (003916番地)  
これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。  
(1) 該当する割り込み許可ビットを“0”（禁止）にする。  
(2) 割り込みエッジ選択ビット（極性切り替えビット）や割り込み要因ビットを設定する。  
(3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。  
(4) 該当する割り込み許可ビットを“1”（許可）にする。

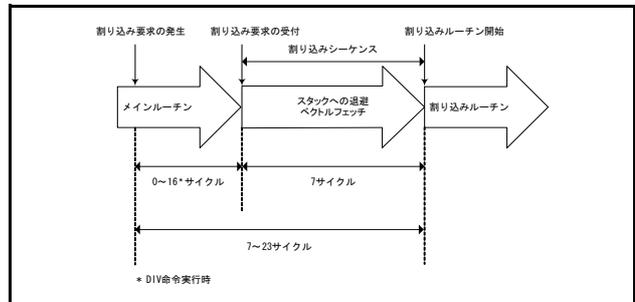


図22. 割り込みルーチンを実行するまでの時間

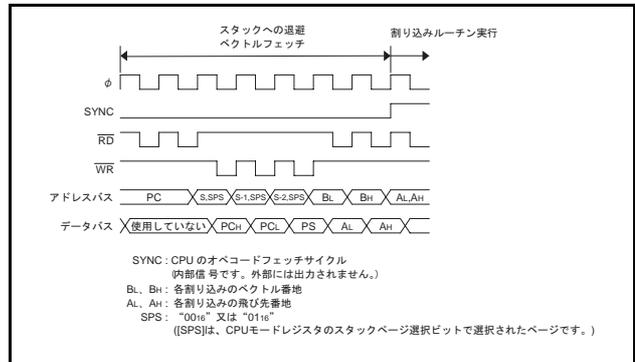


図23. 割り込みシーケンス

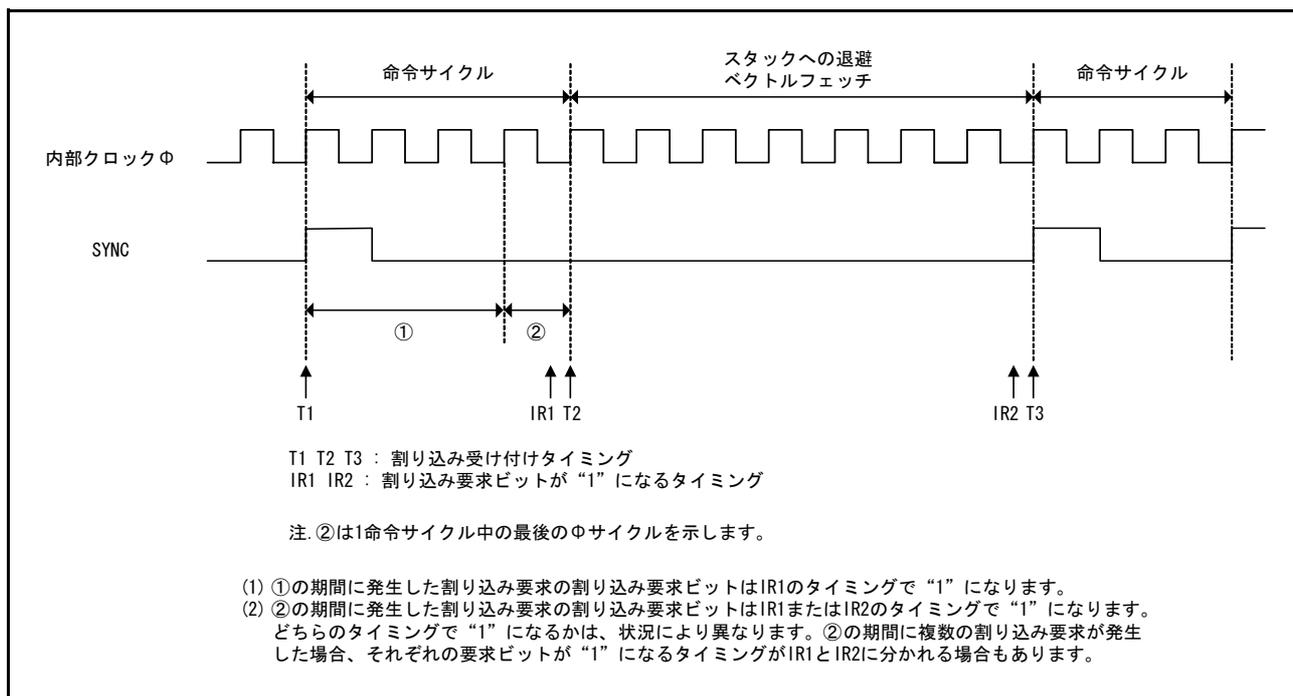


図24. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

## タイマ

### ●8ビットタイマ

タイマ1,タイマ2,タイマX,タイマYは8ビットのタイマで、タイマ1、タイマ2に共通で1本、タイマX、タイマYにそれぞれ1本ずつ8ビットプリスケアラを内蔵しています。それぞれのタイマ、プリスケアラにはタイマラッチ、プリスケアララッチを持っています。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが継続されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

#### • タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B16番地)のメインクロック分周比選択ビット(b7, b6)が“00”(高速モード)、“01”(中速モード)のときはXINとなり、“10”(低速モード)のときはXCINとなります。

#### • プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E16番地)で制御され、f(XIN)またはf(XCIN)のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024が選択できます。

#### • タイマ1、タイマ2

タイマ1およびタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

#### • プリスケアラX、プリスケアラY

プリスケアラX、プリスケアラYはタイマ用分周器の出力、またはf(XCIN)をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E16番地)、タイマY, Zカウントソース選択レジスタ(000F16番地)で制御され、f(XIN)またはf(XCIN)のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024、またはf(XCIN)が選択できます。

#### • タイマX、タイマY

タイマXYモードレジスタ(002316番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

### (1) タイマモード

#### <モードの選択>

タイマXYモードレジスタ(002316番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“00”に設定することによりこのモードが選択されます。

#### <動作説明>

タイマカウント動作はタイマXYモードレジスタ(002316番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に“0”を設定することにより開始します。タイマの内容が“00”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

### (2) パルス出力モード

#### <モードの選択>

タイマXYモードレジスタ(002316番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“01”に設定することによりこのモードが選択されます。

#### <動作説明>

タイマがアンダフローするたびに極性の反転するパルスはCNTR0/CNTR1端子から出力することを除けば、タイマモードと同じ動作をします。タイマカウント動作停止中/許可中にかかわらずCNTR0/CNTR1端子の出力はタイマへの書き込みによってCNTR0/CNTR1極性切り替えビットで設定されるレベルに初期化されます。タイマXYモードレジスタ(002316番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が“0”のときはCNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

CNTR0/CNTR1極性切り替えビットの値を書き換えると、CNTR0/CNTR1端子の出力レベルが反転します。

#### <注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。

### (3) イベントカウンタモード

#### <モードの選択>

タイマXYモードレジスタ(002316番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“10”に設定することによりこのモードが選択されます。

#### <動作説明>

CNTR0/CNTR1端子からの入力信号をカウントすることを除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(002316番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

#### <注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

#### (4) パルス幅測定モード

##### <モードの選択>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“11”に設定することによりこのモードが選択されます。

##### <動作説明>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のCNTR<sub>0</sub>極性切り替えビット(b2)、CNTR<sub>1</sub>極性切り替えビット(b6)が“1”の場合はCNTR<sub>0</sub>/CNTR<sub>1</sub>端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR<sub>0</sub>/CNTR<sub>1</sub>端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

##### <注意事項>

このモードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP54/P55を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。

また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

##### • カウントソース切り替え時の注意

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

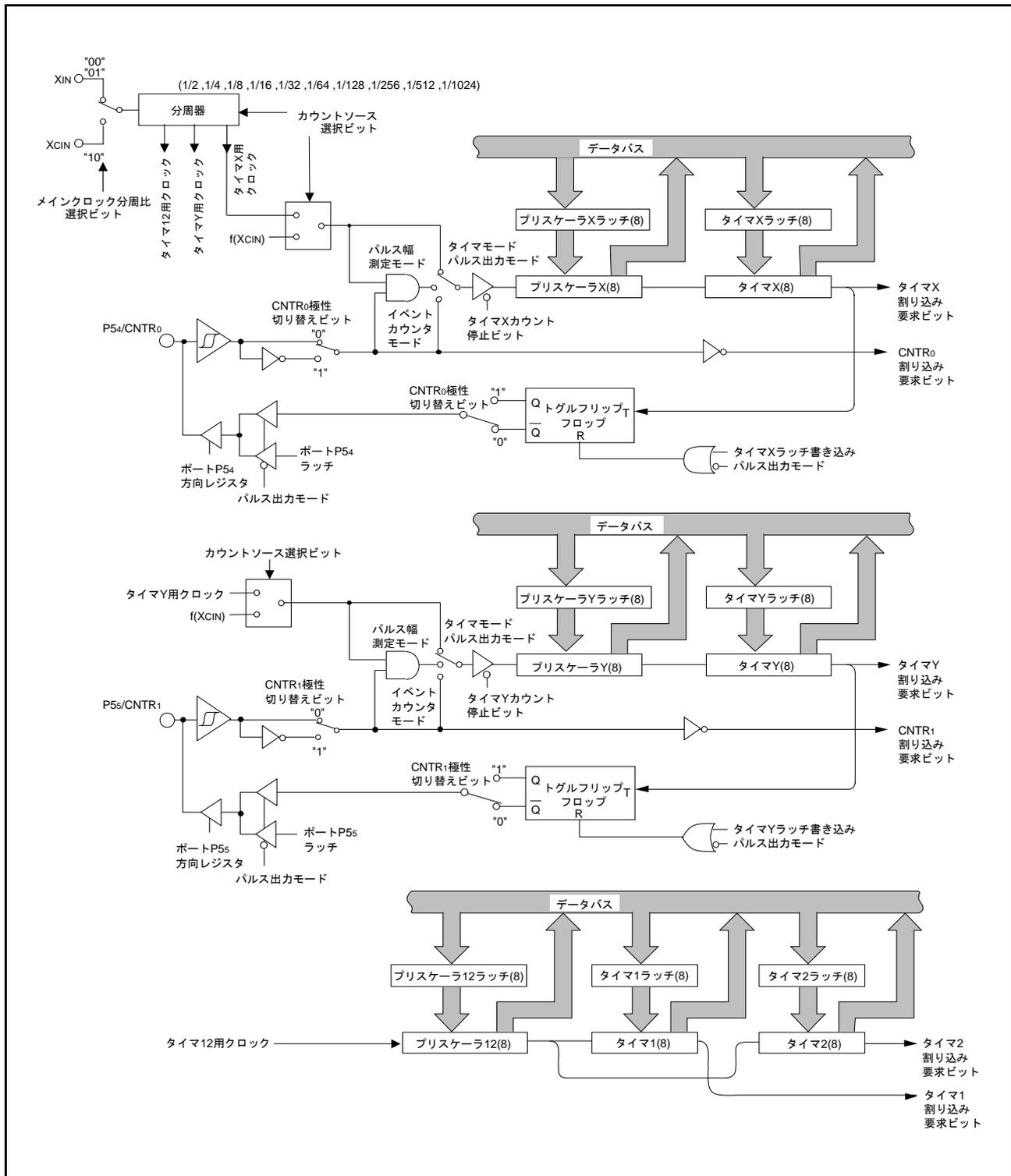


図25. タイマX, タイマY, タイマ1およびタイマ2のブロック図

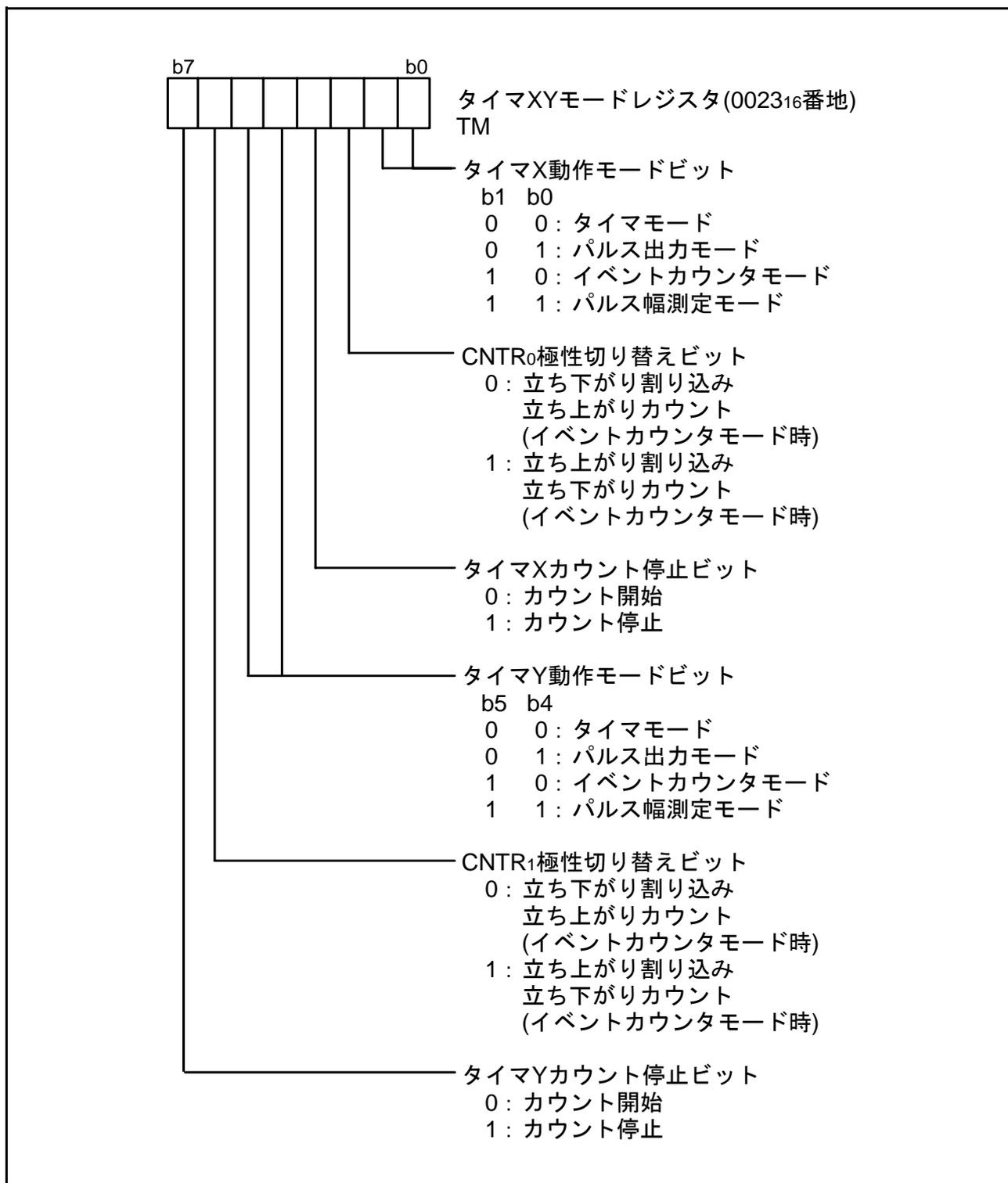


図26. タイマXYモードレジスタの構成

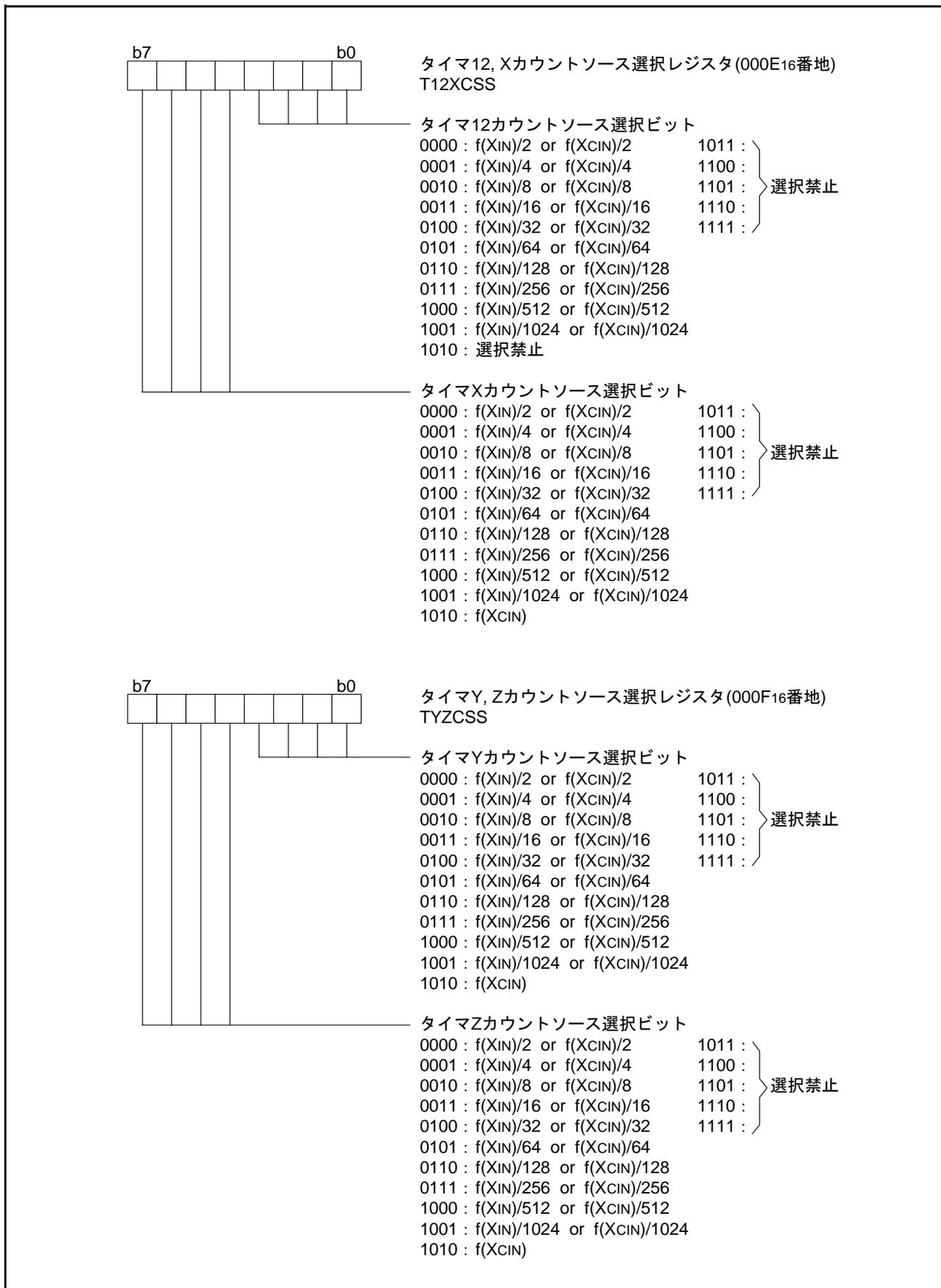


図27. タイマ12, X, Y, Zカウントソース選択レジスタの構成

## ●16ビットタイマ

タイマZは16ビットのタイマで、タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZに対応する割り込み要求ビットが“1”にセットされます。

タイマZを読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZの値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZへの書き込みを行わないでください。タイマZへ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZの読み出しを行わないでください。

タイマY,Zカウントソース選択レジスタ(000F16番地)のタイマZカウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZはタイマZモードレジスタにより7つの動作モードを選択することができます。

### (1) タイマモード

#### <モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

#### <カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

#### <割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C16番地)のINT0/タイマZ割り込み要求ビット(b0)が“1”になります。

#### <動作説明>

タイマ停止状態では、通常ラッチおよびタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZモードレジスタ(002A16番地)のタイマZカウント停止ビット(b6)に“0”を設定することにより開始します。タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

### (2) イベントカウンタモード

#### <モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を“1”に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

#### <割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

#### <動作説明>

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP47を入力に設定してください。

図30にタイマ・イベントカウンタモードのタイミング図を示します。

### (3) パルス出力モード

#### <モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“001”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

#### <カウントソース選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

#### <割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

#### <動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”のときはCNTR2端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

#### <注意事項>

このモードを選択すると、CNTR2端子と共用のポートP47は自動的にタイマパルス出力ポートに設定されます。

CNTR2端子の出力はタイマへの書き込み(ラッチおよびタイマ同時書き込み)によってCNTR2極性切り替えビットで設定されるレベルに初期化されます。

CNTR2極性切り替えビットの値を書き換えるとCNTR2端子の出力レベルが反転します。

図31にパルス出力モードのタイミング図を示します。

**(4) パルス周期測定モード****<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“010”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

**<カウントソースの選択>**

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

低速モード選択時のカウントソースは $f(XCIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

**<割り込み>**

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス周期測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

**<動作説明>**

CNTR2端子から入力されたパルスの周期を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち下がりから次の立ち下がりまでの期間中カウントします。“1”の場合はCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

**<注意事項>**

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図32にパルス周期測定モードのタイミング図を示します。

**(5) パルス幅測定モード****<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“011”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードになります。

**<カウントソースの選択>**

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

低速モード選択時のカウントソースは $f(XCIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

**<割り込み>**

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス幅測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

**<動作説明>**

CNTR2端子から入力されたパルス幅を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“1”の場合はCNTR2端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。

タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

**<注意事項>**

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。

よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図33にパルス幅測定モードのタイミング図を示します。

**(6) プログラマブル波形発生モード****<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“100”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

**<カウントソースの選択>**

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

低速モード選択時のカウントソースは $f(XCIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

**<割り込み>**

アンダフロー時の割り込みはタイマモードの説明と同様です。

**<動作説明>**

タイマがアンダフローするたびにタイマZモードレジスタ(002A16番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

**<注意事項>**

このモードを選択するとCNTR2端子と共用のポートP47は自動的にプログラマブル波形発生ポートに設定されます。

図34にプログラマブル波形発生モードのタイミング図を示します。

**(7) プログラマブルワンショット発生モード****<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“101”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

**<カウントソースの選択>**

高速、中速モード選択時のカウントソースは、 $f(XIN)$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(XCIN)$ です。

**<割り込み>**

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A16番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C16番地)のINT1割り込み要求ビット(b1)が“1”になります。

**<動作説明>**

“H”ワンショットパルスの場合：

タイマZモードレジスタのb5=“0”

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合：

タイマZモードレジスタのb5=“1”

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

**<注意事項>**

このモードではINT1端子と共用のポートP42を入力に設定してください。

CNTR2端子と共用のポートP47はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されません。

低速モード選択時このモードは使用できません。ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図35にプログラマブルワンショット発生モードのタイミング図を示します。

■全モードにおいての注意事項

• タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

• タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

• CNTR2、INT1割り込み極性切り替えについての注意

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

• カウントソース切り替え時の注意

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

• CNTR2端子を通常入出力ポートP47としてご使用される場合の注意

CNTR2端子と共用のポートP47を通常入出力ポートとしてご使用される場合は、タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2,b1,b0)を“000”に設定してください。

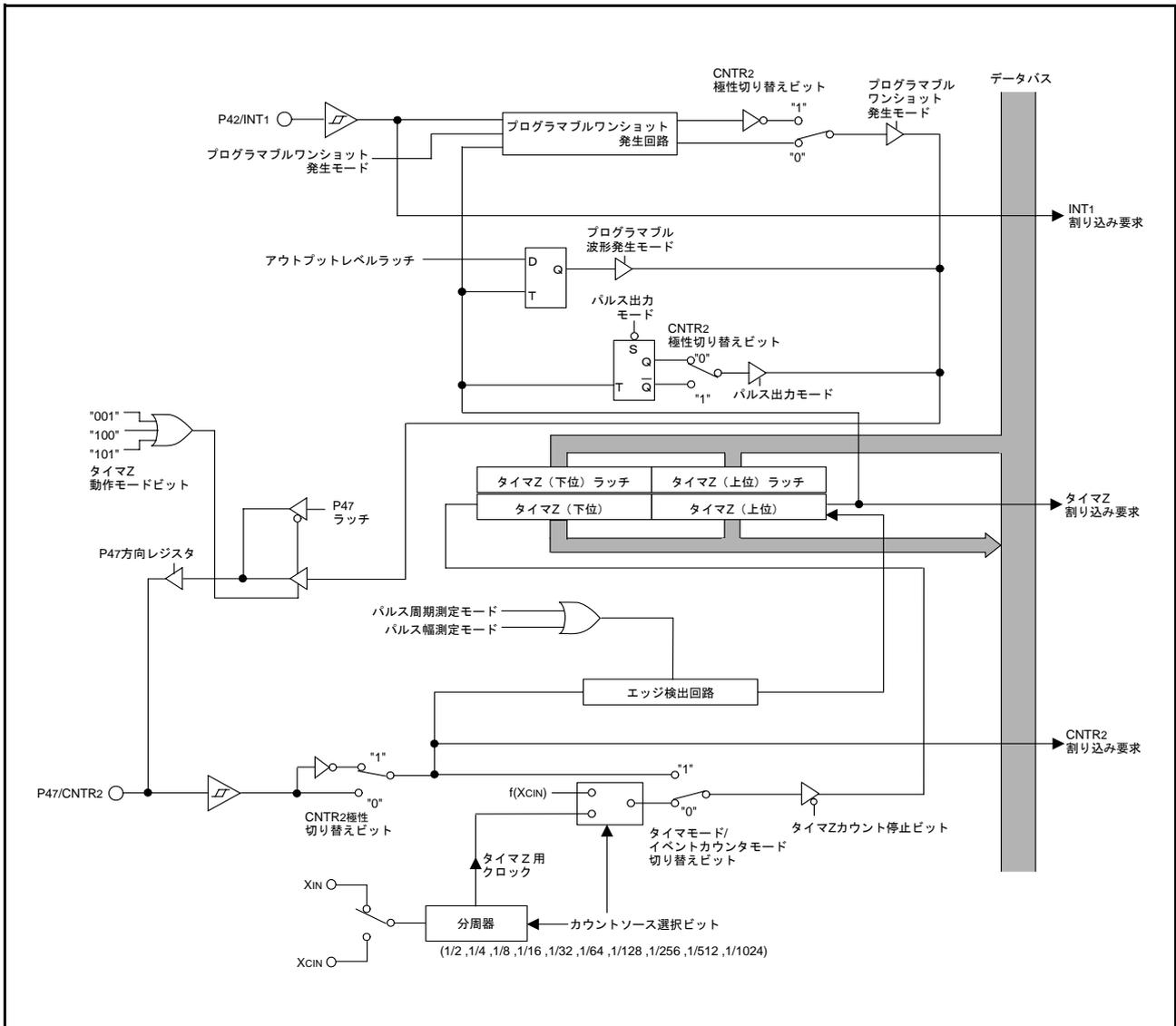


図28. タイマZのブロック図

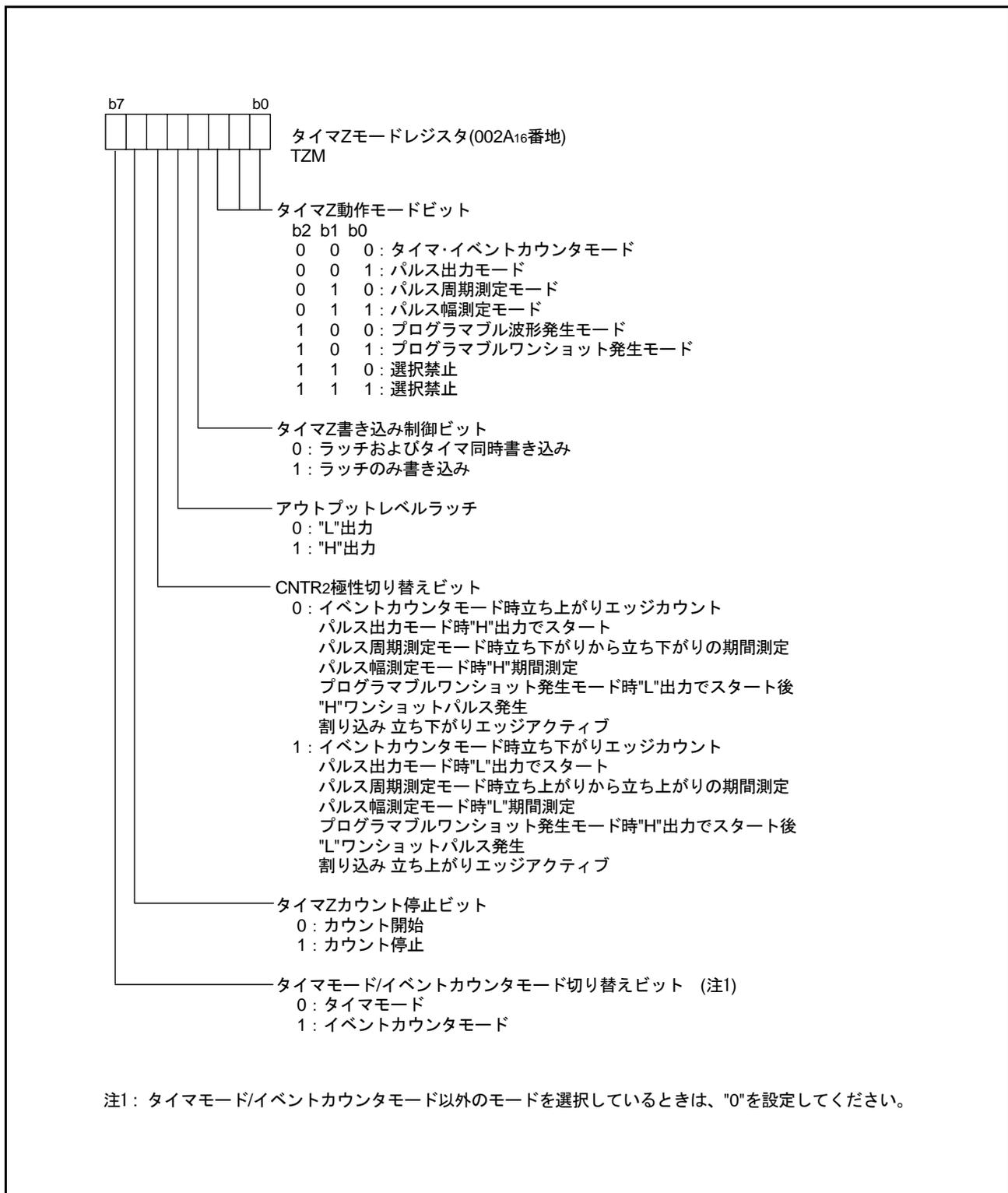


図29. タイマZモードレジスタの構成

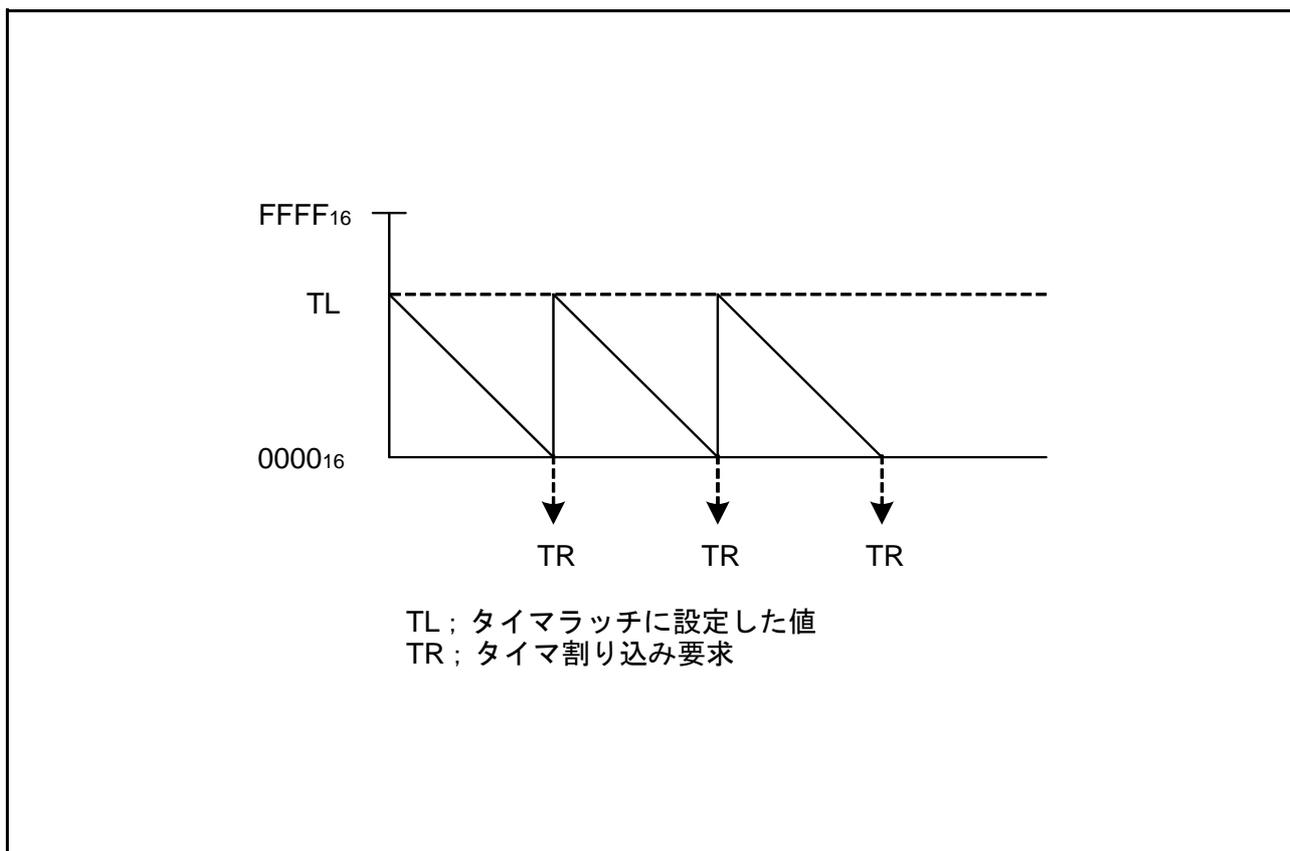


図30. タイマ・イベントカウンタモードのタイミング図

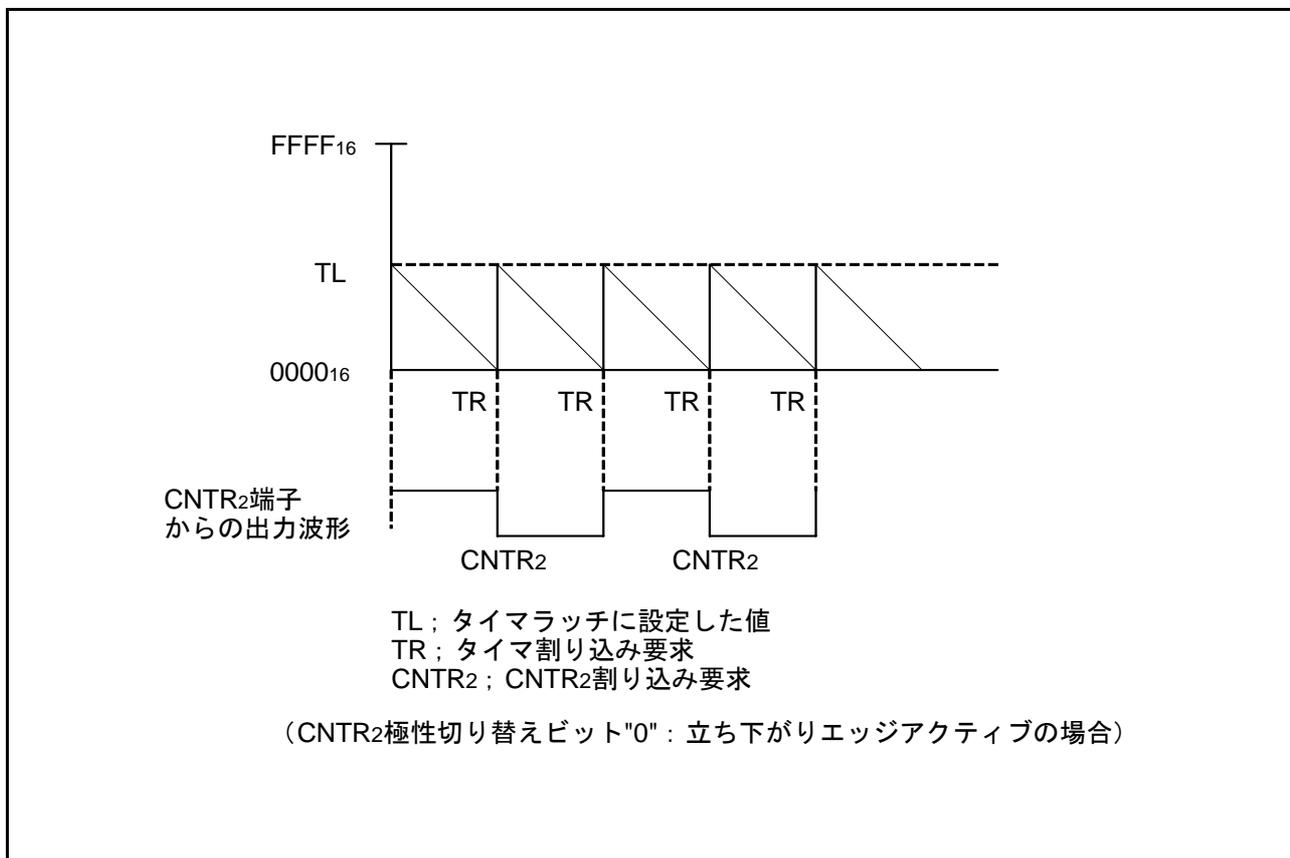


図31. パルス出力モードのタイミング図

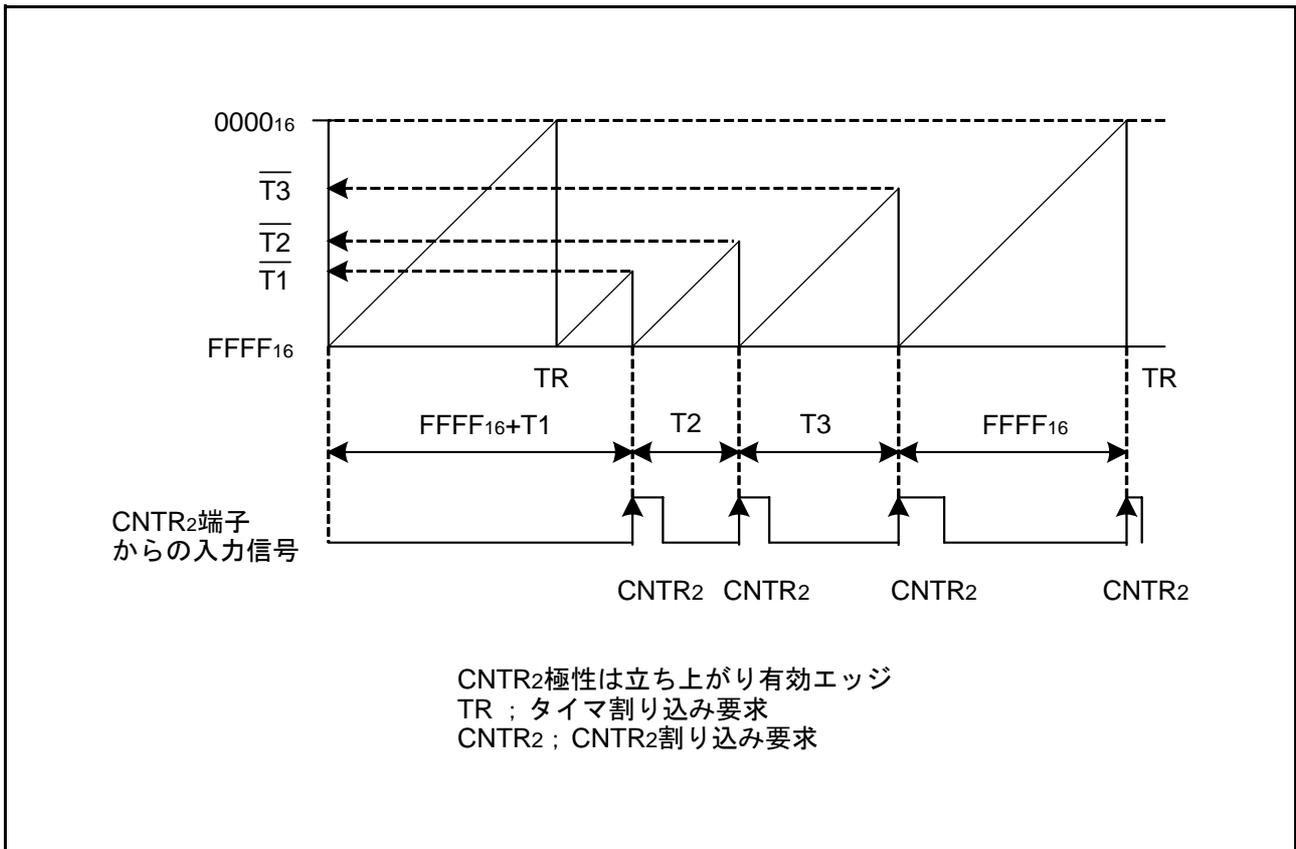


図32. パルス周期測定モードのタイミング図 (立ち上がり区間測定時)

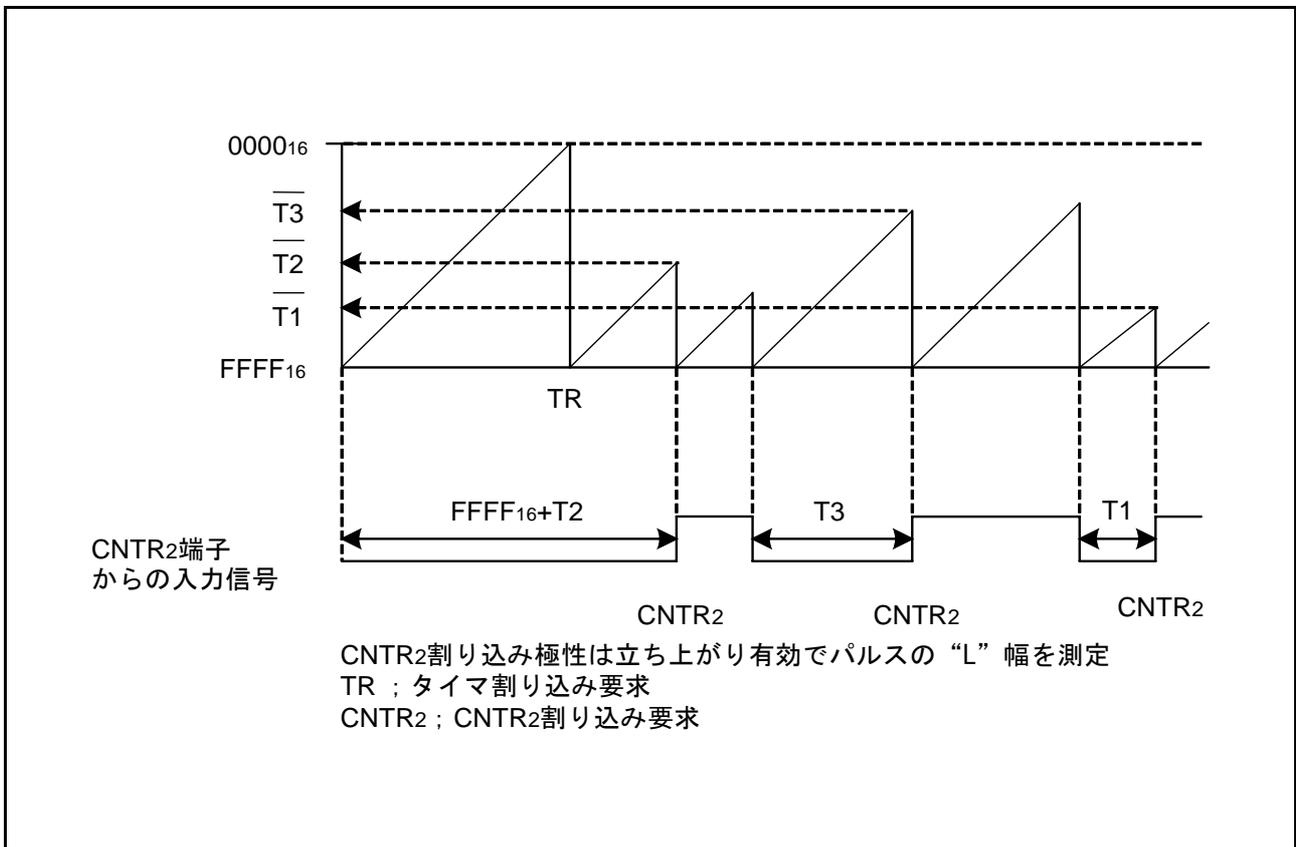


図33. パルス幅測定モードのタイミング図 (“L区間”測定時)

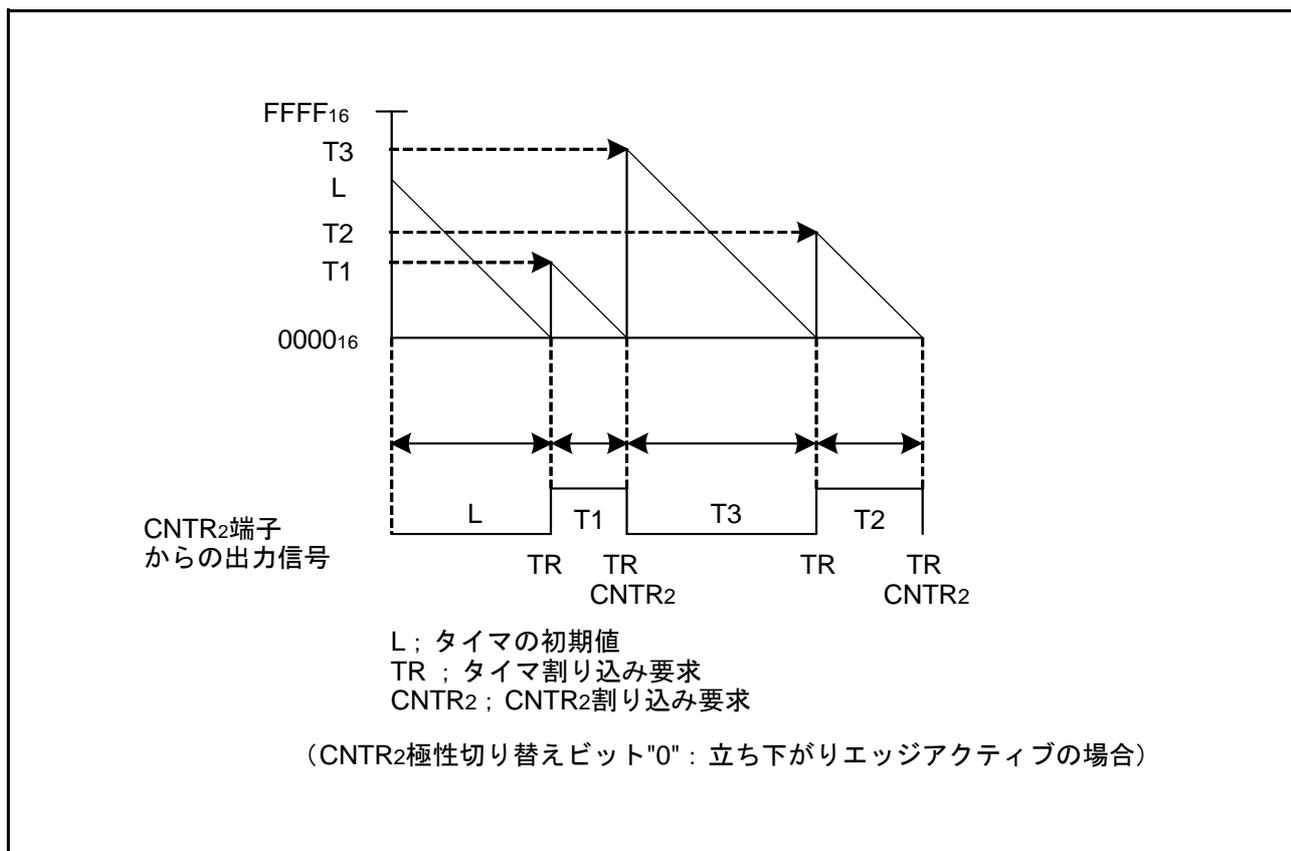


図34. プログラマブル波形発生モードのタイミング図

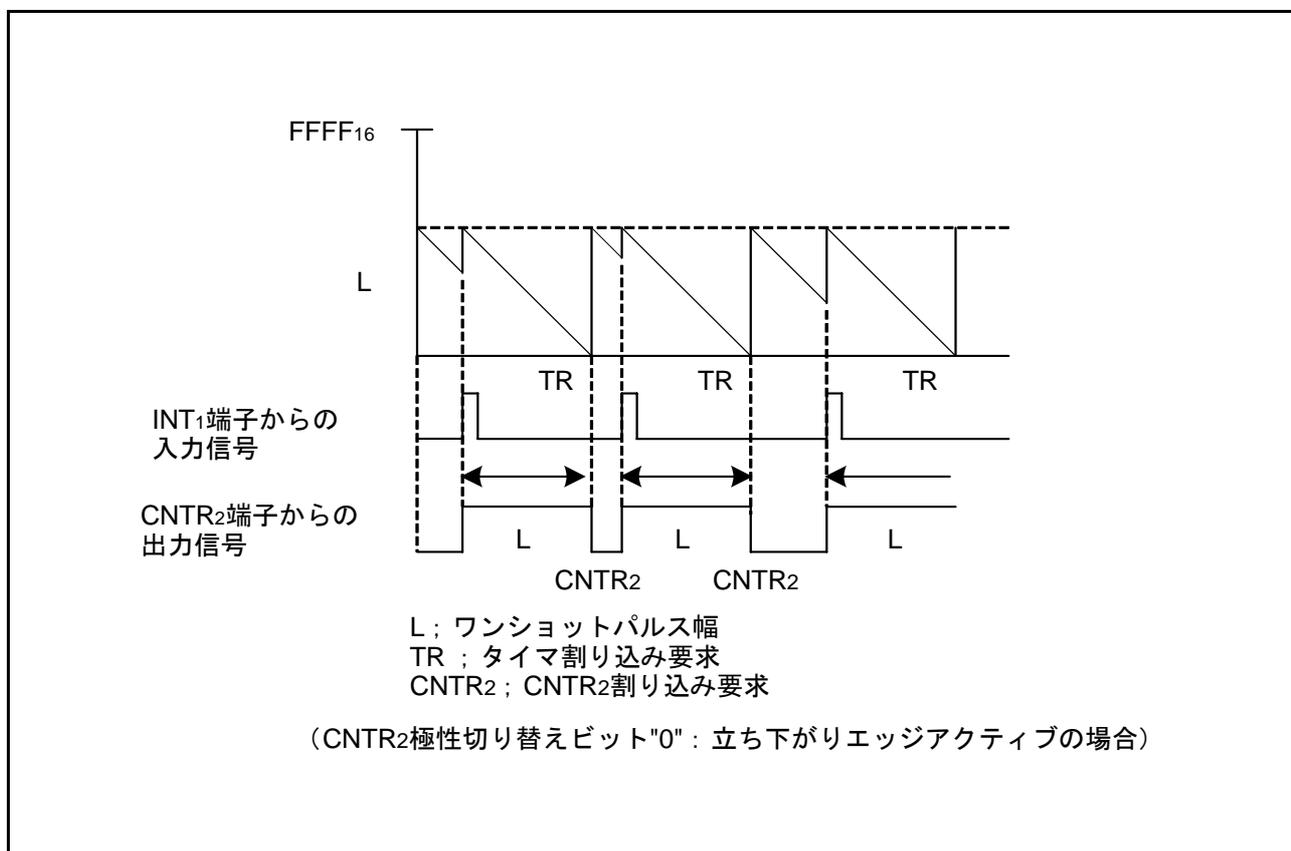


図35. プログラマブルワンショット発生モードのタイミング図 (“H” ワンショットパルス発生時)

シリアルインタフェース

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

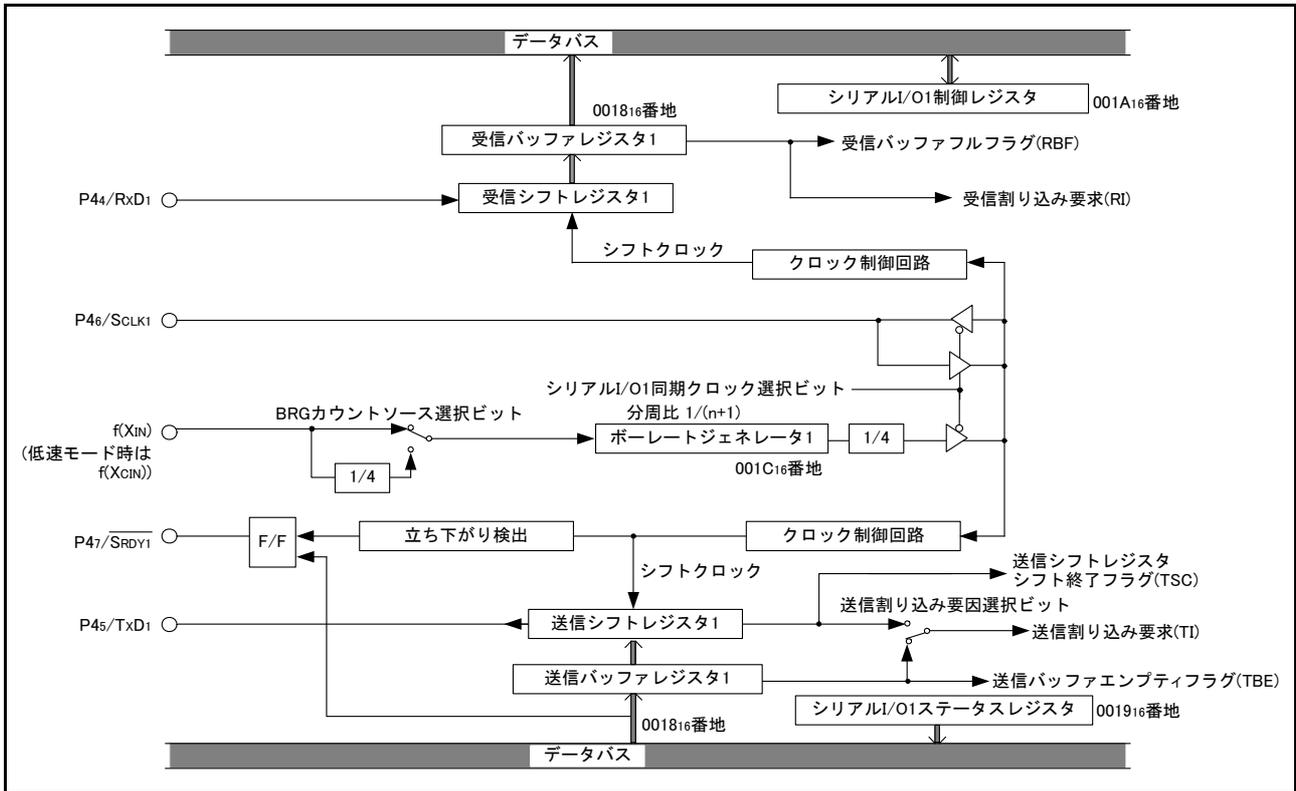


図36. クロック同期形シリアルI/O1ブロック図

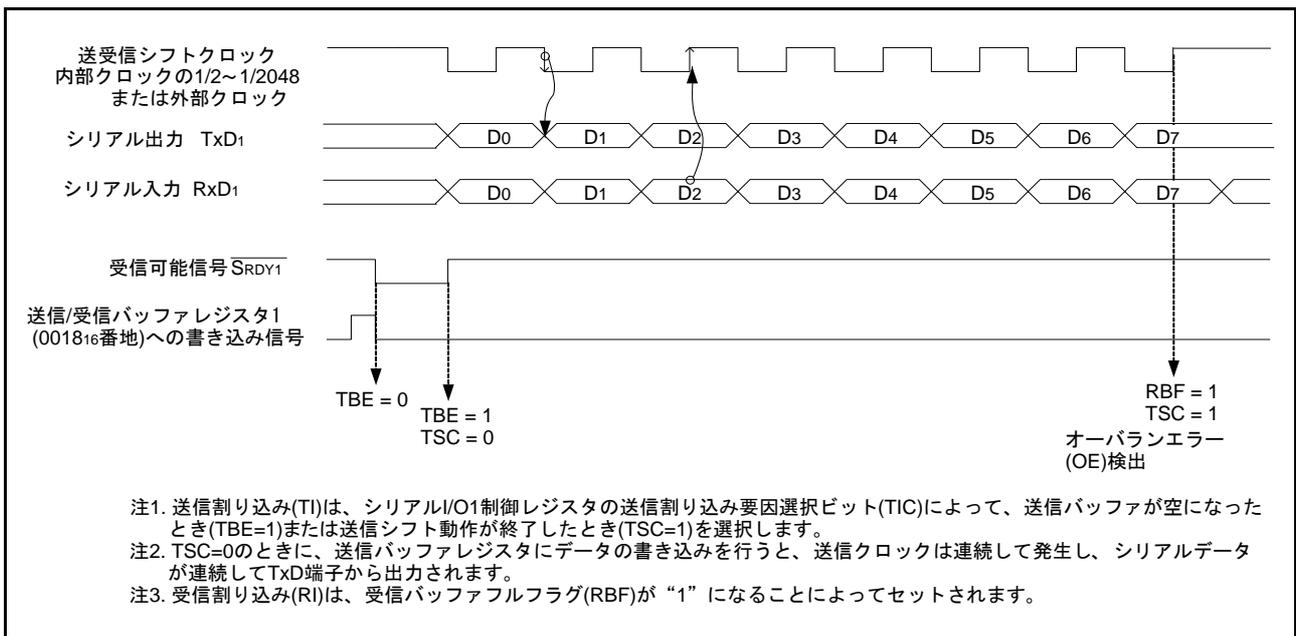


図37. クロック同期形シリアルI/O1動作図

**(2) 非同期形シリアルI/O (UART) モード**

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを

持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

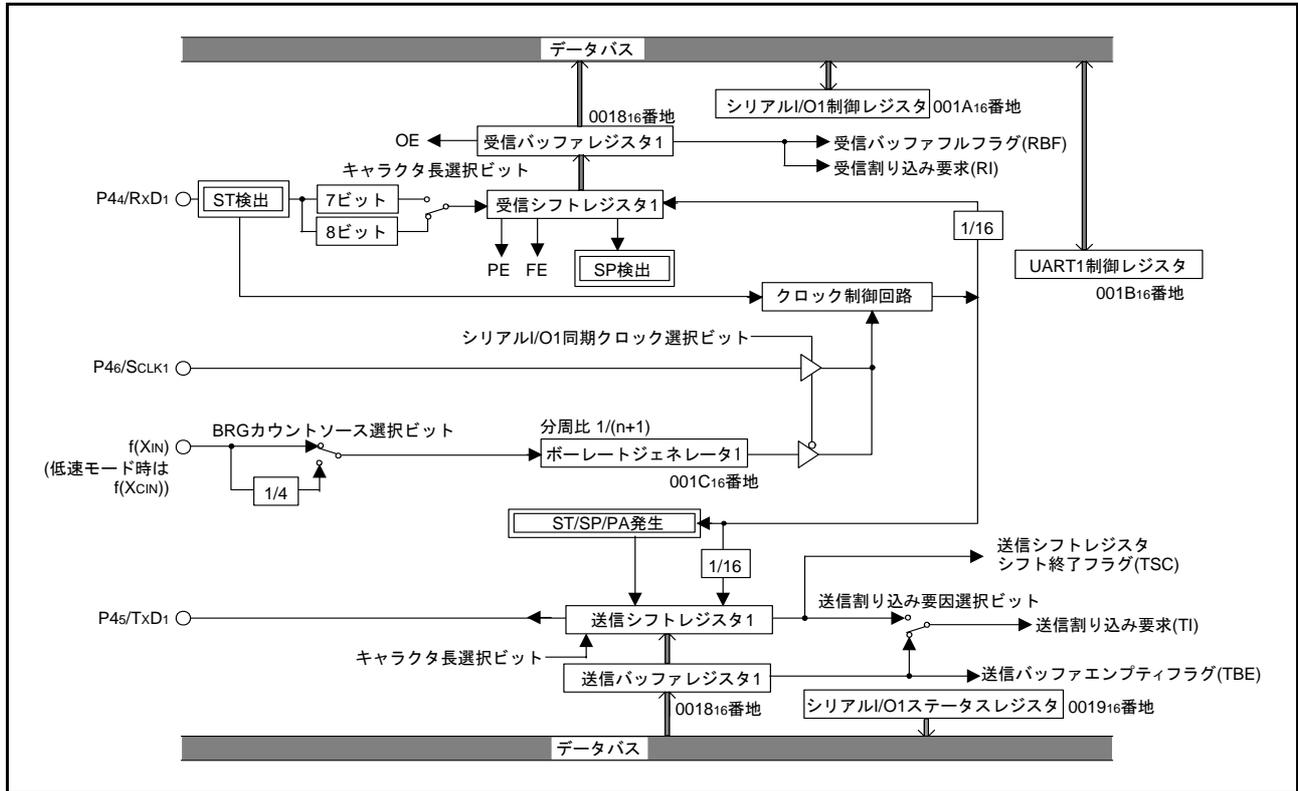


図38. UART形シリアルI/O1ブロック図

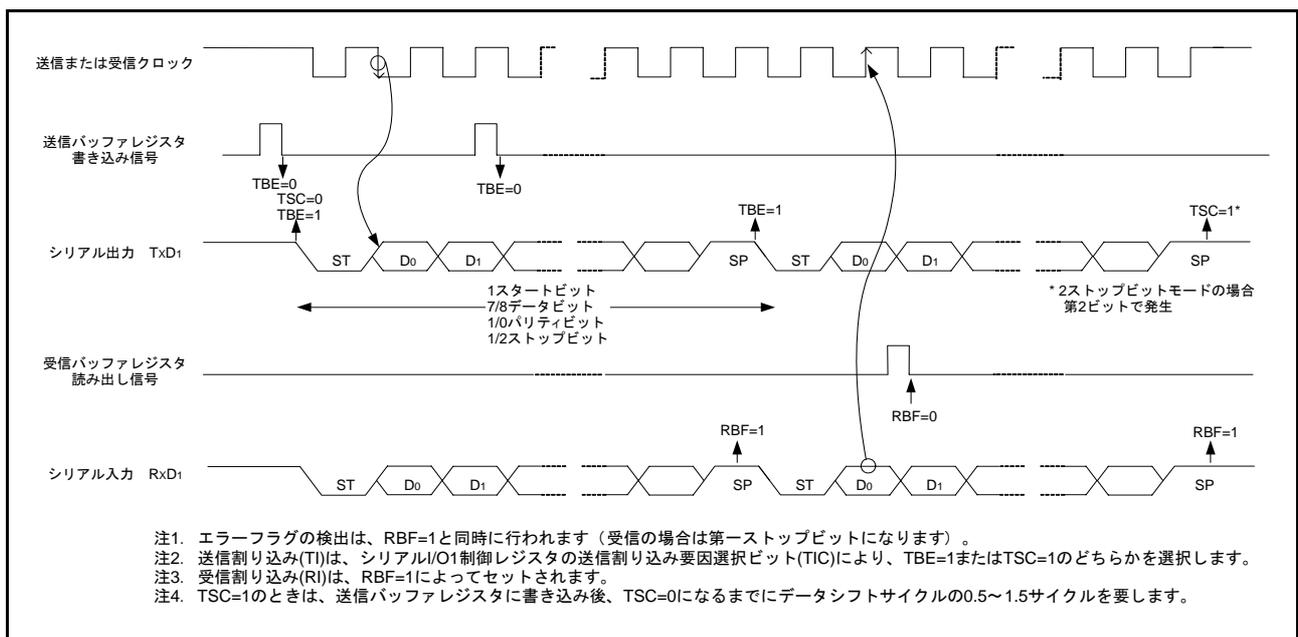


図39. UART形シリアルI/O1動作図

**【送信バッファレジスタ1/受信バッファレジスタ1】TB1/RB1**

送信バッファレジスタ1と受信バッファレジスタ1は同じアドレスに配置されており、送信バッファレジスタ1は書き込み専用、受信バッファレジスタ1は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ1に格納される受信データのMSBは“0”となります。

**【シリアルI/O1ステータスレジスタ】SIO1STS**

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1制御レジスタのシリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

**【シリアルI/O1制御レジスタ】SIO1CON**

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

**【UART1制御レジスタ】UART1CON**

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P4s/TxD1端子の出力形式などを設定します。

**【ボーレートジェネレータ1】BRG1**

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

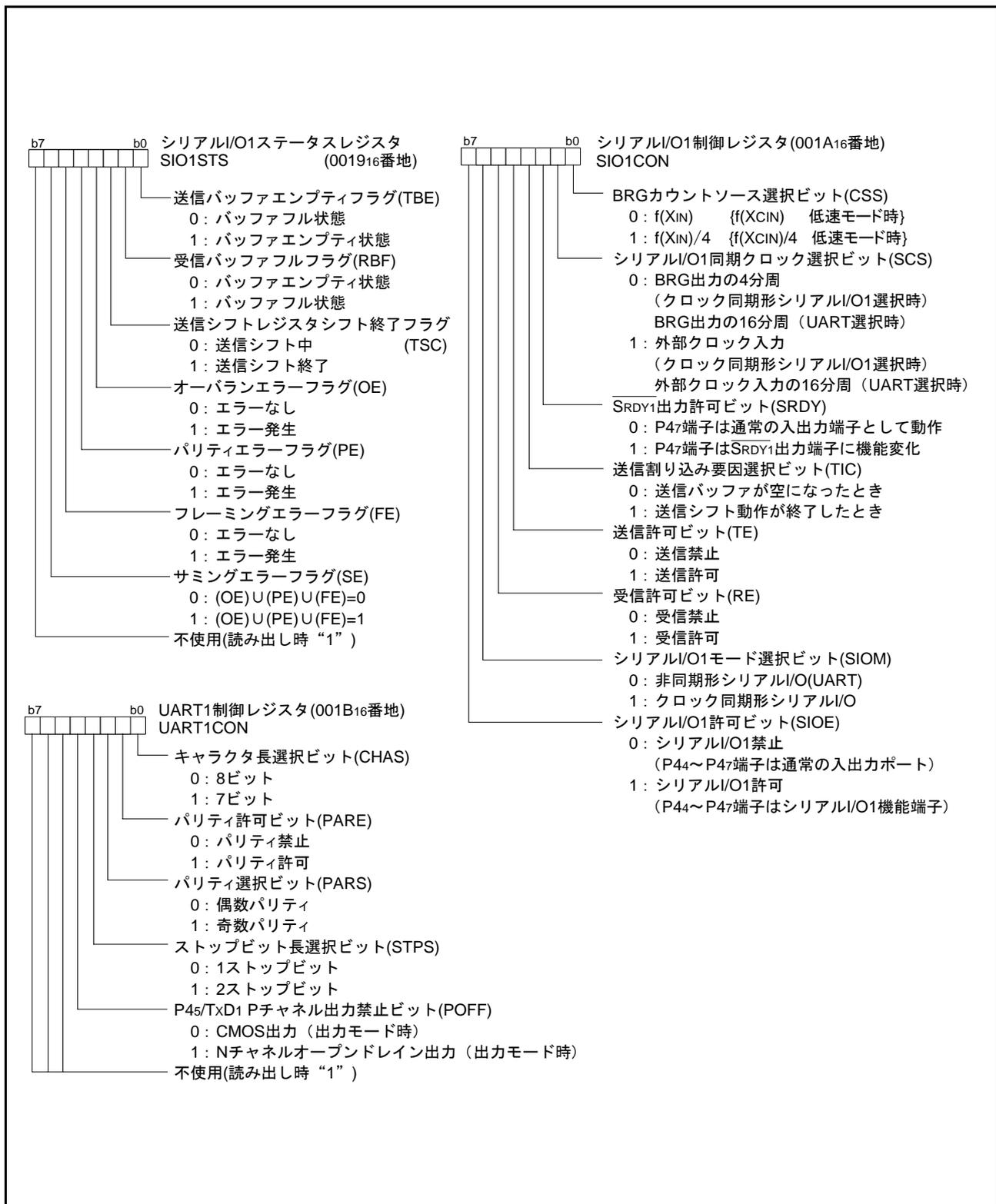


図40. シリアルI/O1関係レジスタの構成

## ■ シリアルI/O1の注意事項

### 1. 同期形の選択時

#### 1.1 送信動作の停止

##### • 注意事項

シリアルI/O1許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

##### • 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

#### 1.2 受信動作の停止

##### • 注意事項

受信許可ビットを“0”(受信禁止)またはシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

#### 1.3 送受信動作の停止

##### • 注意事項

送信許可ビットおよび受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

##### • 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止 >と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

### 2. 非同期形の選択時

#### 2.1 送信動作の停止

##### • 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

##### • 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

#### 2.2 受信動作の停止

##### • 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

#### 2.3 送受信動作の停止

##### • 注意事項 1 (送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

##### • 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

##### • 注意事項 2 (受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

### 3. 受信側の $\overline{\text{SRDY1}}$ 出力

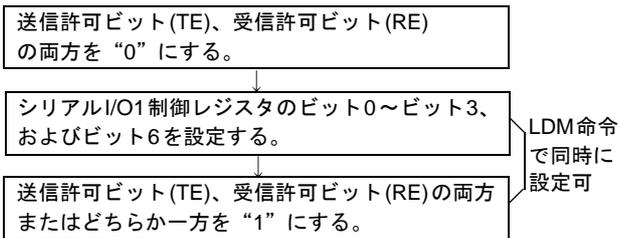
- 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”（送信許可）にしてください。

### 4. シリアルI/O1制御レジスタの再設定

- 注意事項

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。



### 5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

- 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

### 6. 外部クロック選択時の送信制御

- 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、 $\text{SCLK1}$ が“H”の状態では送信許可ビットを“1”にしてください。

また、送信バッファレジスタへの書き込みも、 $\text{SCLK1}$ が“H”の状態で行ってください。

### 7. 送信許可ビットセット時の送信割り込み要求

- 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ① シリアルI/O1送信割り込み許可ビットを“0”（禁止）にする。
- ② 送信許可ビットを“1”にする。
- ③ 一命令以上おいてからシリアルI/O1送信割り込み要求ビットを“0”にする。
- ④ シリアルI/O1送信割り込み許可ビットを“1”（許可）にする。

- 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタ(001F16番地)への書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは、8ビットでシリアルI/O2の各種制御を行う選択ビットで構成されています。

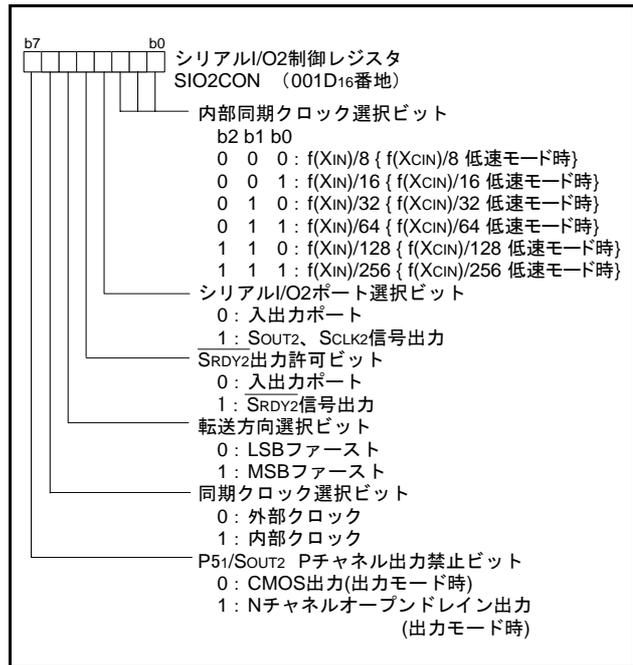


図41. シリアルI/O2制御レジスタの構成

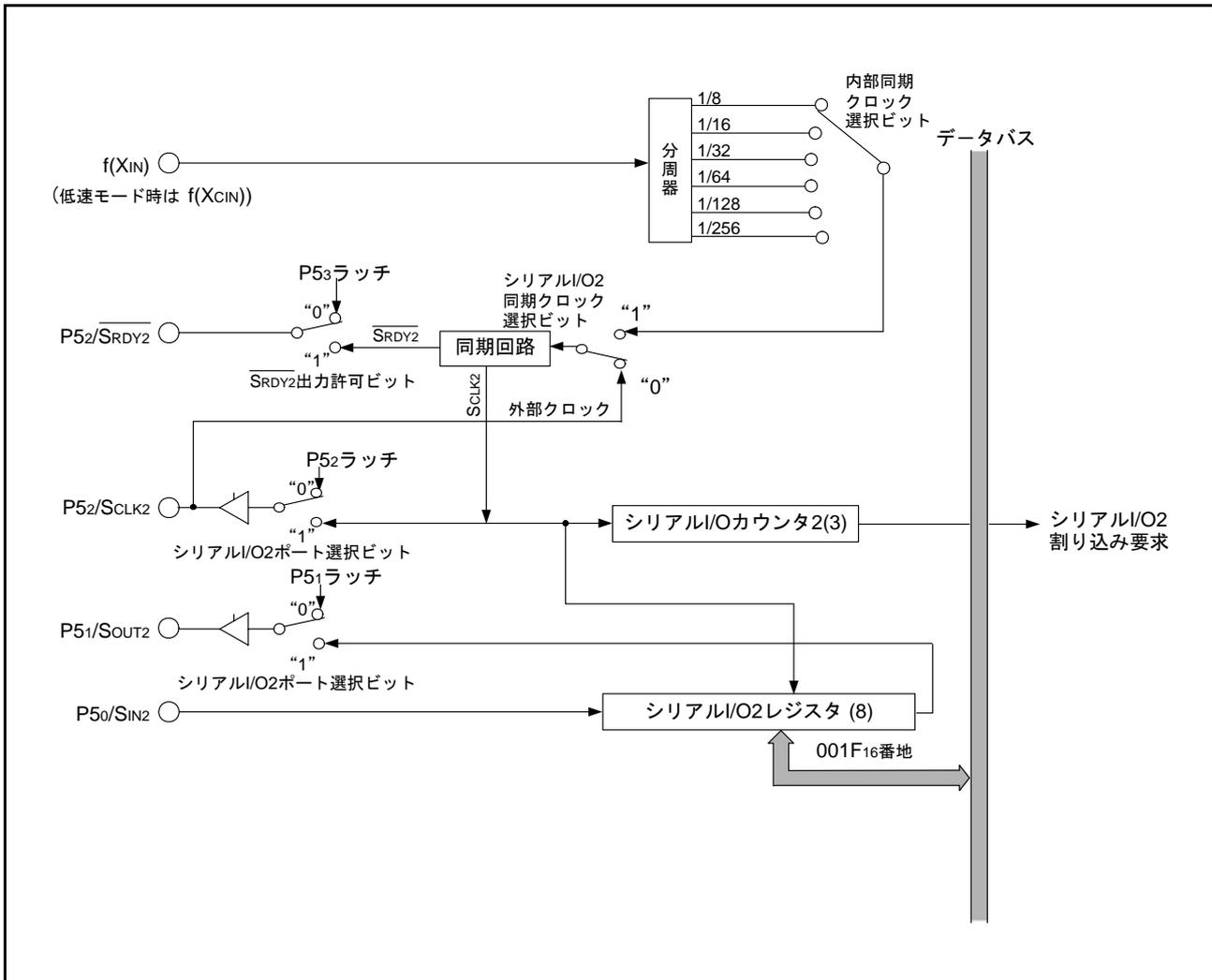


図42. シリアルI/O2ブロック図

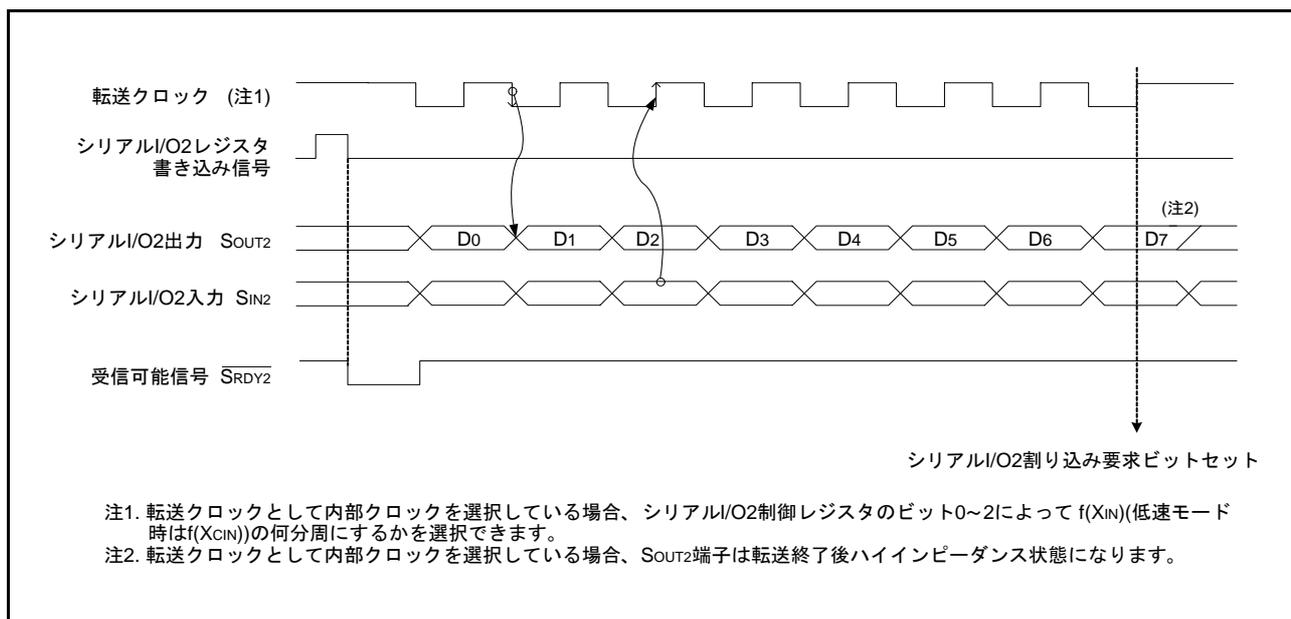


図43. シリアルI/O2タイミング図

●シリアルI/O3

シリアルI/O3はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O3動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O3制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

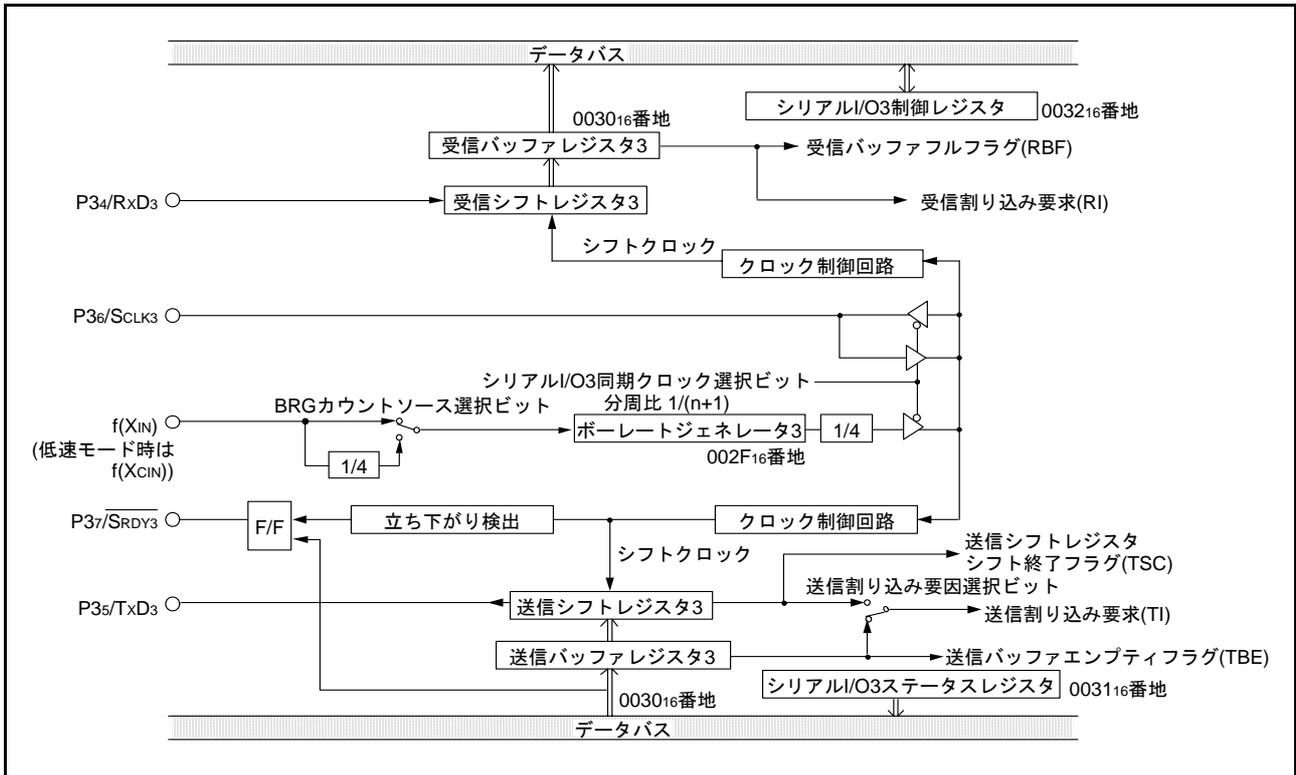


図44. クロック同期形シリアルI/O3ブロック図

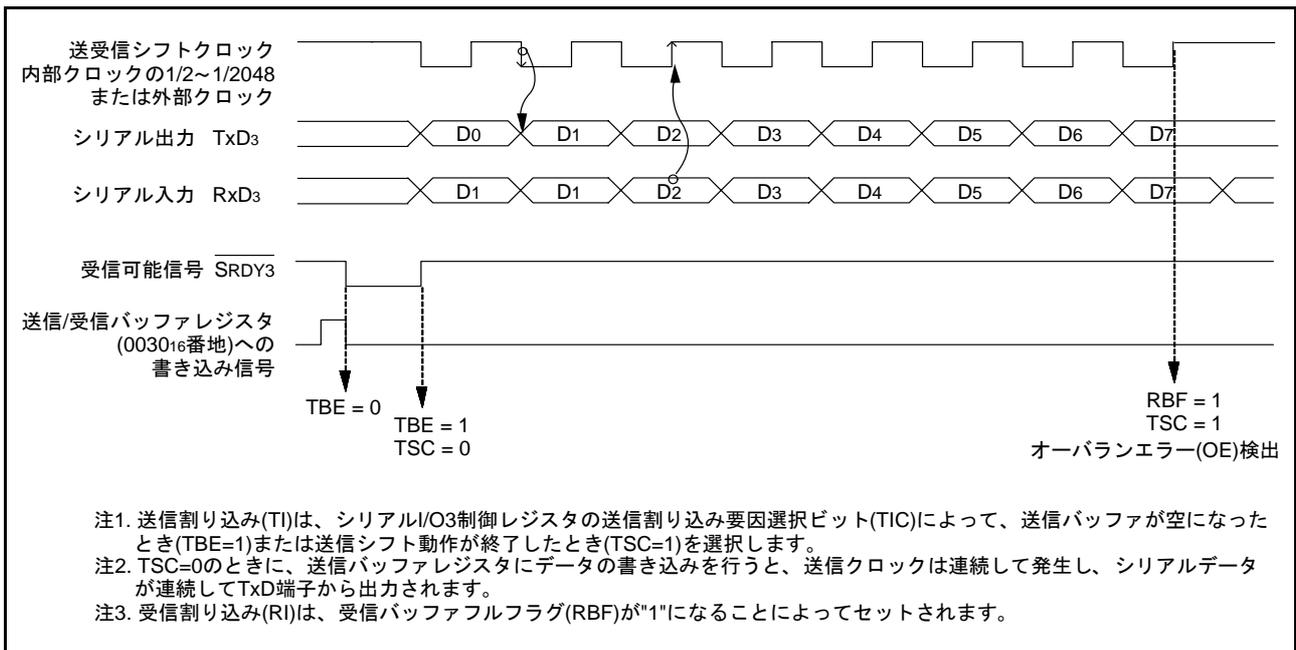


図45. クロック同期形シリアルI/O3動作図



送信バッファレジスタ3と受信バッファレジスタ3は同じアドレスに配置されており、送信バッファレジスタ3は書き込み専用、受信バッファレジスタ3は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ3に格納される受信データのMSBは“0”となります。

#### 【シリアルI/O3ステータスレジスタ】SIO3STS

シリアルI/O3の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O3ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O3制御レジスタのシリアルI/O3許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O3制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

#### 【シリアルI/O3制御レジスタ】SIO3CON

シリアルI/O3制御レジスタはシリアルI/O3の各種制御を行う8ビットの選択ビットで構成されています。

#### 【UART3制御レジスタ】UART3CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P35/TxD3端子の出力形式などを設定します。

#### 【ボーレートジェネレータ3】BRG3

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

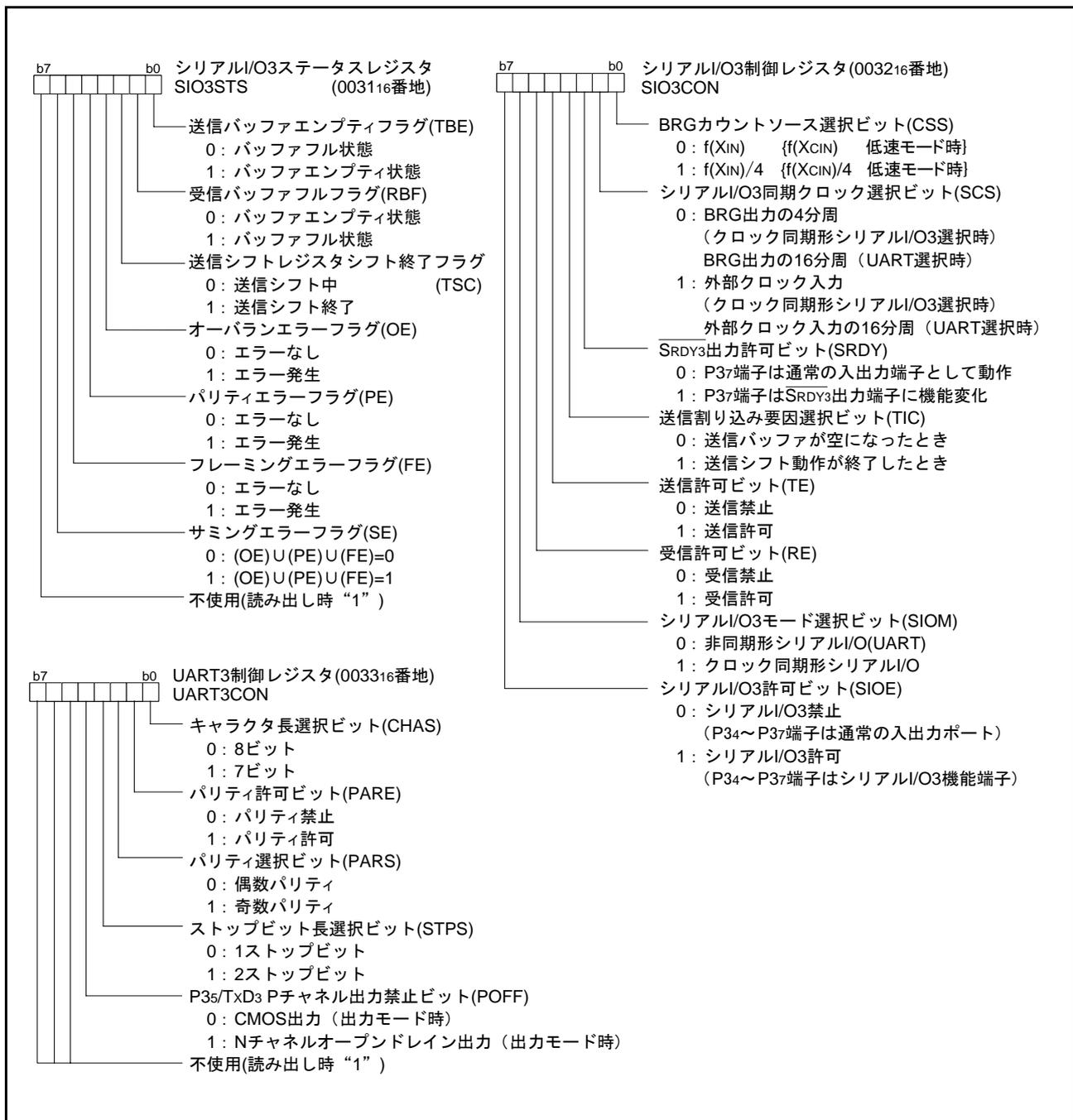


図48. シリアル/O3関係レジスタの構成

## ■ シリアルI/O3の注意事項

### 1. 同期形の選択時

#### 1.1 送信動作の停止

##### • 注意事項

シリアルI/O3許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

##### • 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

#### 1.2 受信動作の停止

##### • 注意事項

受信許可ビットを“0”(受信禁止)、またはシリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしてください。

#### 1.3 送受信動作の停止

##### • 注意事項

送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

##### • 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止 >と同様に、シリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

### 2. 非同期形の選択時

#### 2.1 送信動作の停止

##### • 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

##### • 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

#### 2.2 受信動作の停止

##### • 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

#### 2.3 送受信動作の停止

##### • 注意事項 1 (送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

##### • 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

##### • 注意事項 2 (受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

### 3. 受信側の $\overline{\text{SRDY3}}$ 出力

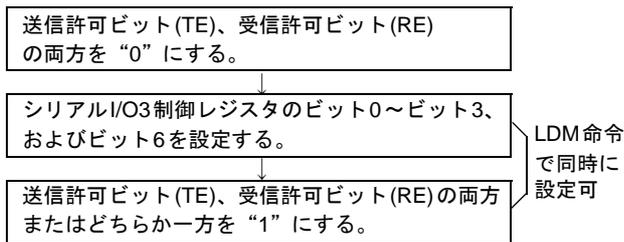
#### • 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY3}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY3}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

### 4. シリアルI/O3制御レジスタの再設定

#### • 注意事項

シリアルI/O3制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。



### 5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

#### • 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

### 6. 外部クロック選択時の送信制御

#### • 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK3が“H”の状態を送信許可ビットを“1”にしてください。

また、送信バッファレジスタへの書き込みも、SCLK3が“H”の状態で行ってください。

### 7. 送信許可ビットセット時の送信割り込み要求

#### • 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ① シリアルI/O3送信割り込み許可ビットを“0”(禁止)にする。
- ② 送信許可ビットを“1”にする。
- ③ 一命令以上おいてからシリアルI/O3送信割り込み要求ビットを“0”にする。
- ④ シリアルI/O3送信割り込み許可ビットを“1”(許可)にする。

#### • 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

### PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力X<sub>IN</sub>またはX<sub>IN</sub>を2分周した信号を基本としています。(低速モード時はX<sub>CIN</sub>またはX<sub>CIN</sub>/2)

#### • データの設定

PWMの出力端子はポートP56と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下ようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= (31.875) \times (n+1) \mu\text{s} \end{aligned}$$

(f(X<sub>IN</sub>)=8MHz、カウントソース選択ビット=“0”の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(f(X<sub>IN</sub>)=8MHz、カウントソース選択ビット=“0”の場合)

#### • PWMの動作

PWM制御レジスタのビット0 (PWM許可ビット) を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

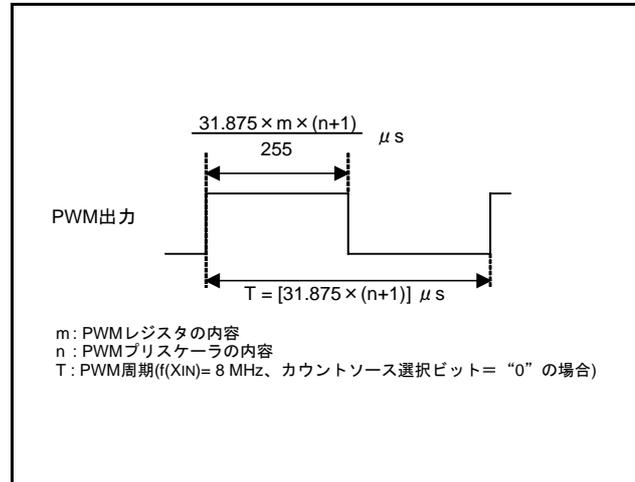


図49. PWM周期のタイミング図

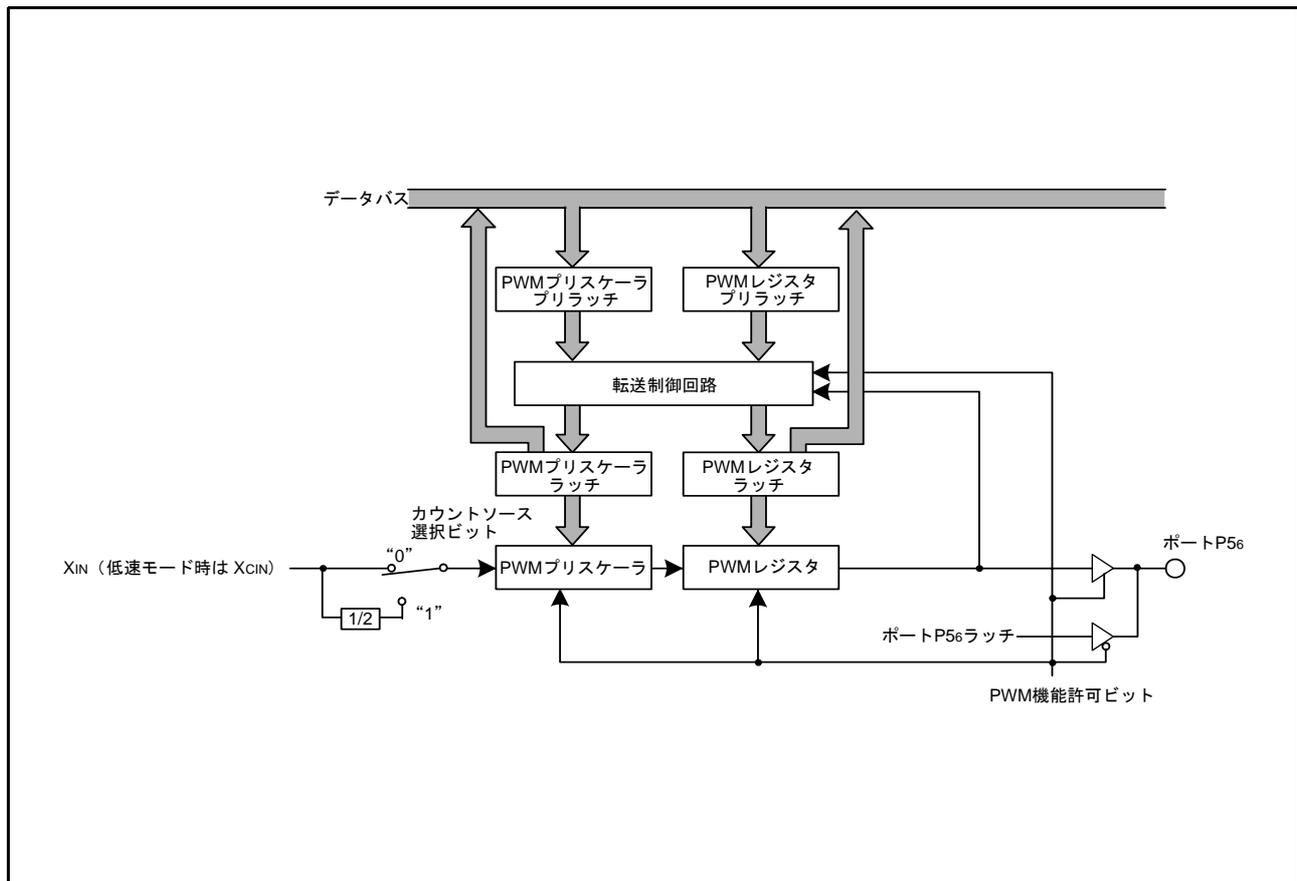


図50. PWMブロック図

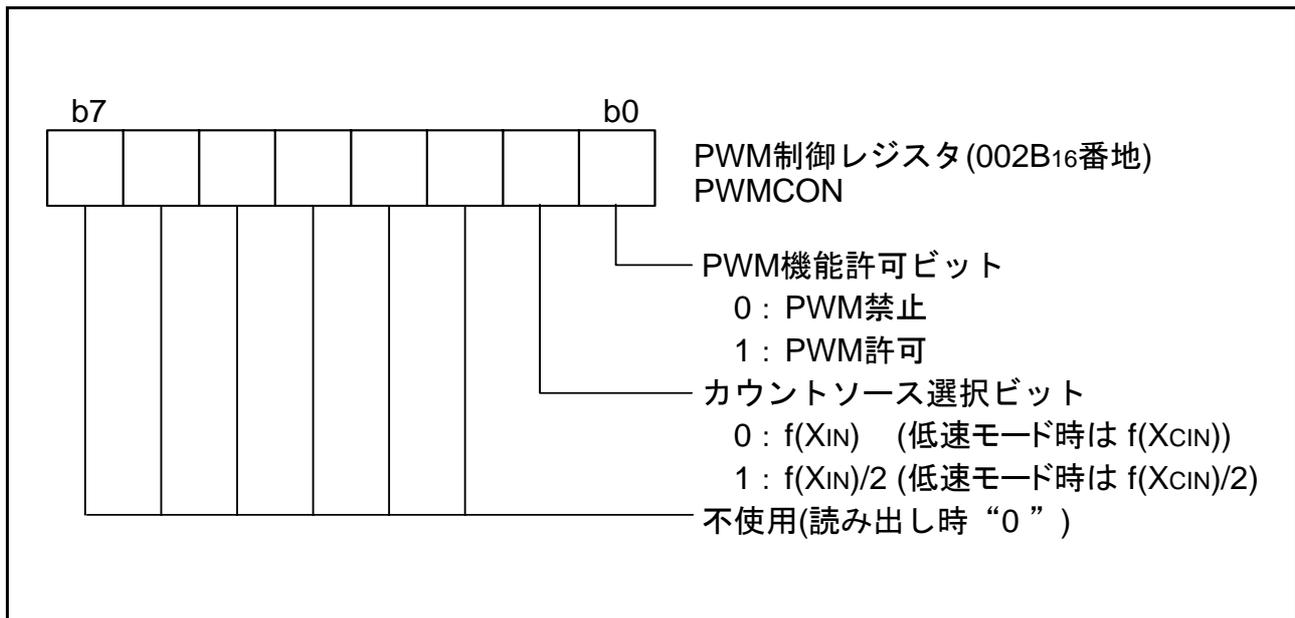


図51. PWM制御レジスタの構成

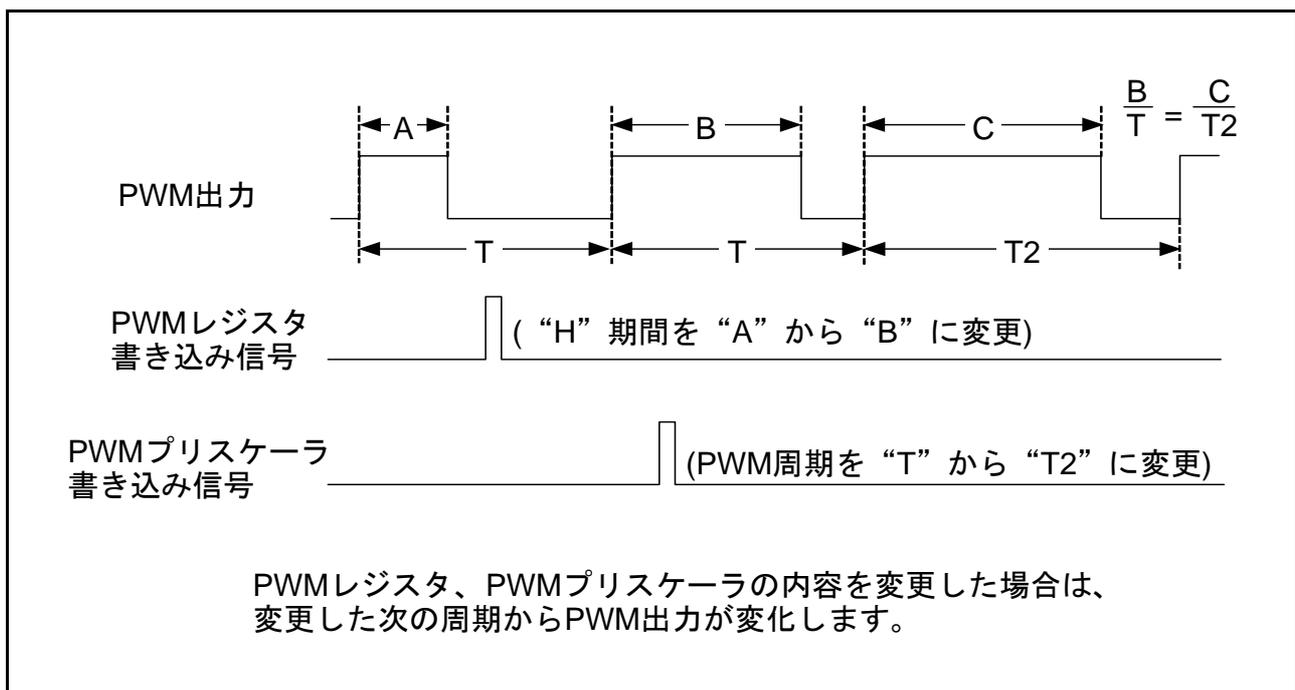


図52. PWMレジスタおよびPWMプリスケアラ変更時のPWM出カタイミング図

#### ■ 注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- カウンタソース選択ビット=“0”、n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- カウンタソース選択ビット=“1”、n=プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

**A/Dコンバータ (逐次比較型)****【AD変換レジスタ1, 2】 AD1, AD2**

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA/Dモード、“1”に設定すると8ビットA/Dモードとなります。

8ビットA/Dモードの変換結果はAD変換レジスタ1に格納されます。

10ビットA/Dモードは、図54のようにA/D変換終了後にAD変換レジスタ1, 2を読み出す順序を選ぶことで、変換結果を10ビットで読み出すだけでなく、上位8ビットだけ読み出しを行うことも可能です。

10ビットA/Dモードは、A/D変換開始後AD変換レジスタ1読み出しを行うとMSB寄りの8ビット読み出しになります。AD変換レジスタ2読み出し後、AD変換レジスタ1読み出しを行うとLSB寄りの8ビット読み出しになります。

**【AD/DA制御レジスタ】 ADCON**

A/Dコンバータの制御を行うためのレジスタです。ビット4、ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

**【比較電圧発生器】**

10ビットA/Dモードは、AVSSとVREFの間の電圧を1024分割し比較電圧を出力します。(8ビットA/Dモードでは256分割)

各モードでの比較電圧VrefはVREF電圧を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA/Dモード (10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA/Dモード (8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA/Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

**【チャネルセクタ】**

ポートP67/AN7～P60/AN0、P07/AN15～P00/AN8より1本を選択し、コンパレータに入力します。

**【コンパレータおよび制御回路】**

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1, 2に格納します。また、A/D変換終了時にAD変換終了ビットおよびAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

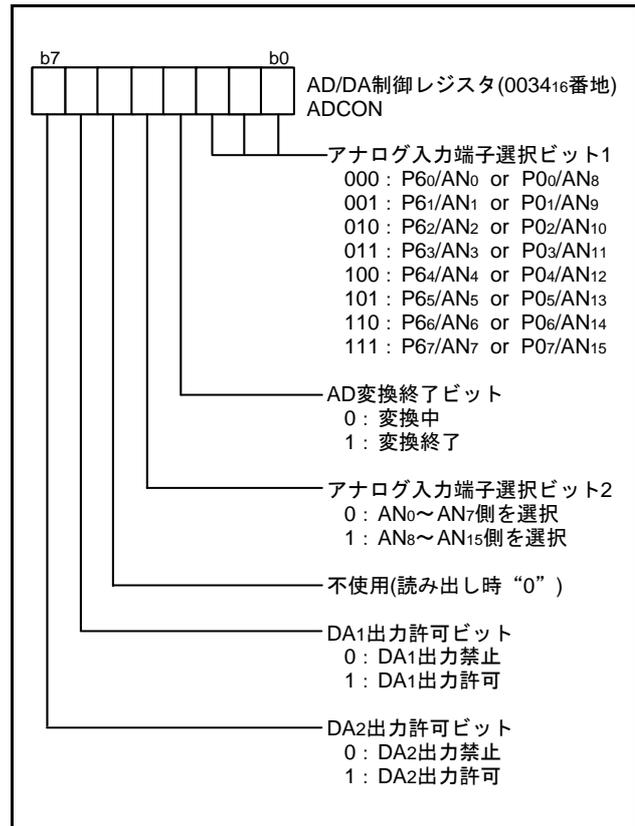


図53. AD/DA制御レジスタの構成

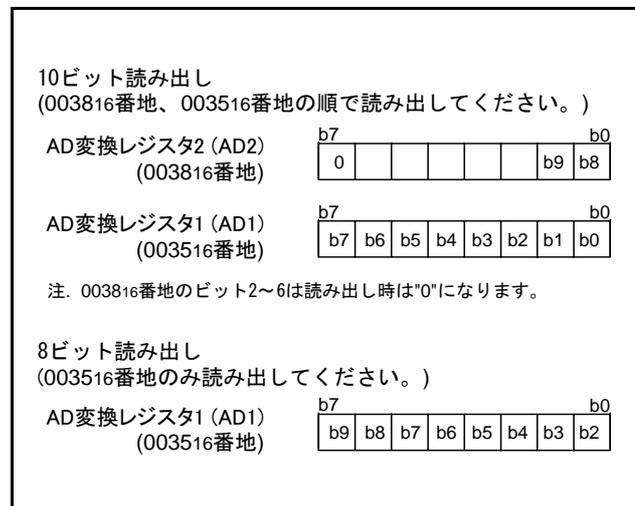


図54. 10ビットA/Dモードの読み出し構成

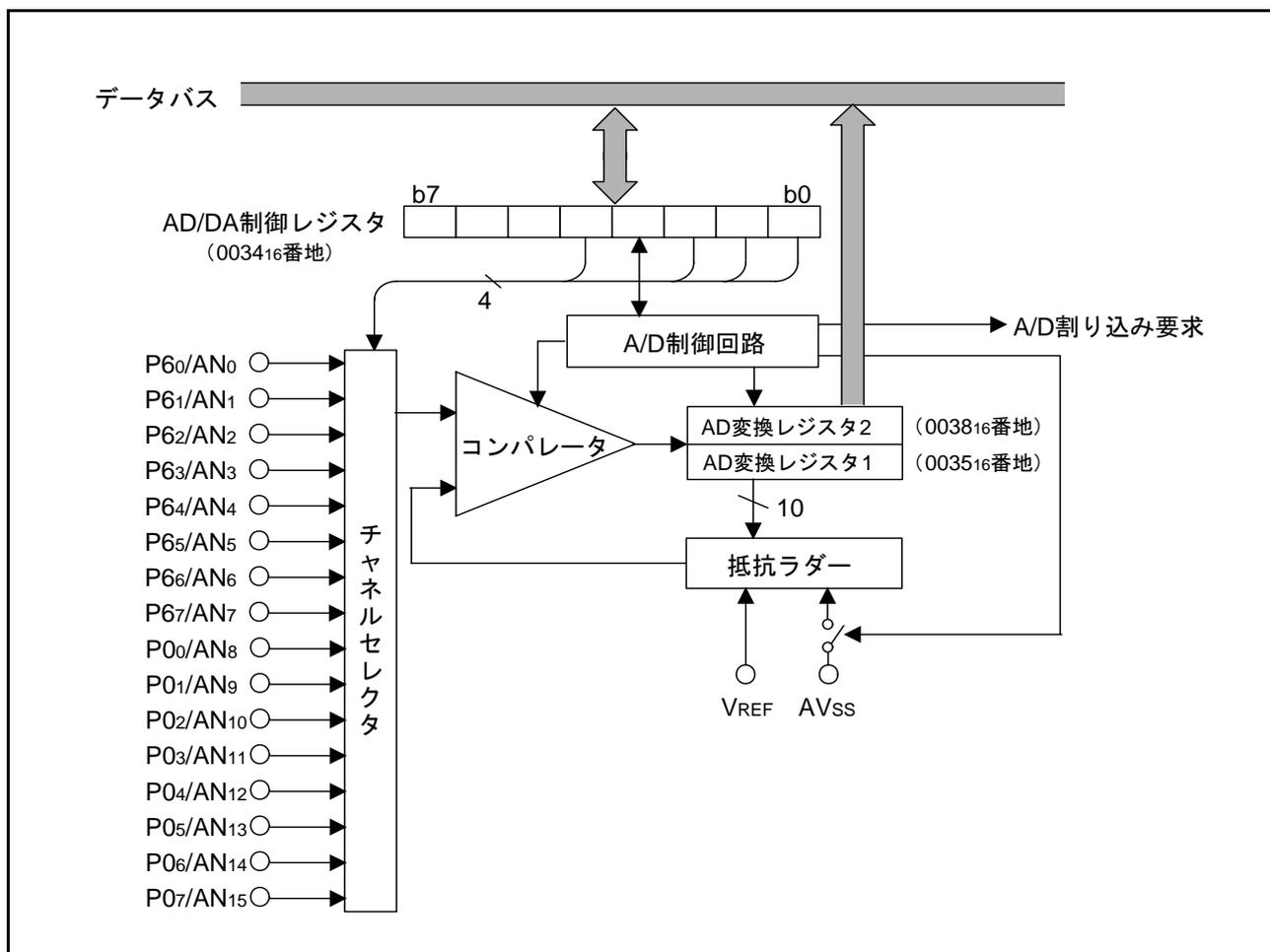


図55. A/Dコンバータのブロック図

### D/Aコンバータ

D/Aコンバータは分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D/A変換はそれぞれ対応するDA変換レジスタに値を設定することによって行われます。D/A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P30/DA1、P31/DA2の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはDA変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

\*VREFは基準電圧

DA変換レジスタはリセット時“0016”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、P30/DA1、P31/DA2端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

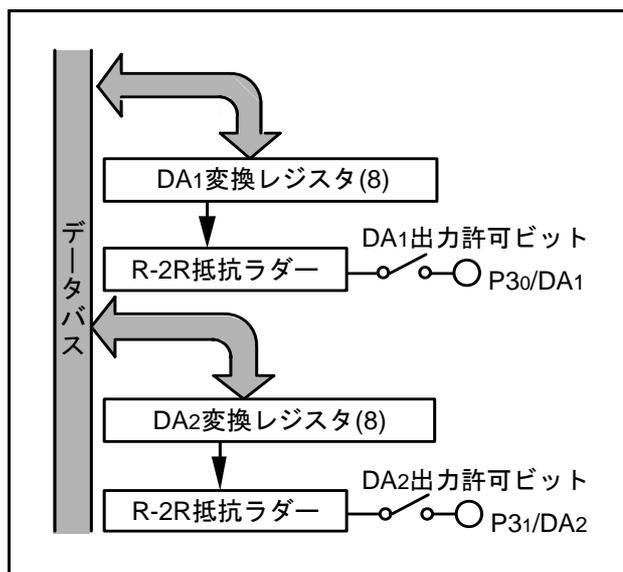


図56. D/Aコンバータブロック図

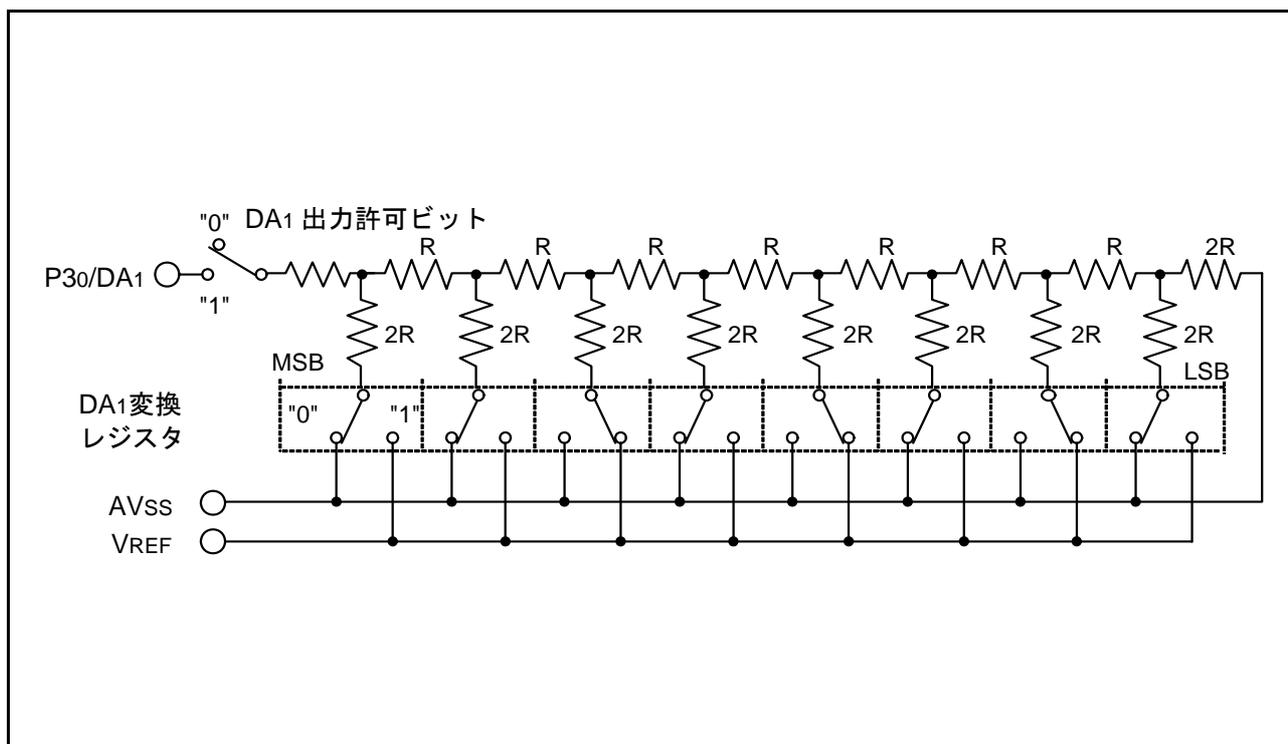


図57. D/Aコンバータ等価回路図(D/A1)

**ウォッチドッグタイマ**

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

**(1) ウォッチドッグタイマの初期値**

リセット時、またはウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”にセットされます。書き込みのための命令はSTA, LDM, CLB など書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

ビット6はリセット解除後、1度だけ書き込みが可能です。書き込み後は、ロックされるため、書き換えはできません。

**(2) ウォッチドッグタイマの動作**

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を持ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを

組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

**(3) ウォッチドッグタイマ制御レジスタのビット6**

- このビットが“0”の場合、STP 命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。  
 $X_{CIN}=32.768kHz$  時 32s,  $X_{IN}=16MHz$  時 65.536ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。  
 $X_{CIN}=32.768kHz$  時 125ms,  $X_{IN}=16MHz$  時 256  $\mu$  s

注. ストップモード時、ウォッチドッグタイマは動作しません、ストップ解除の待ち時間(タイマ1およびタイマ2で設定した時間)とウェイトモード時はウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないようにウォッチドッグ制御レジスタへ書き込みを行ってください。

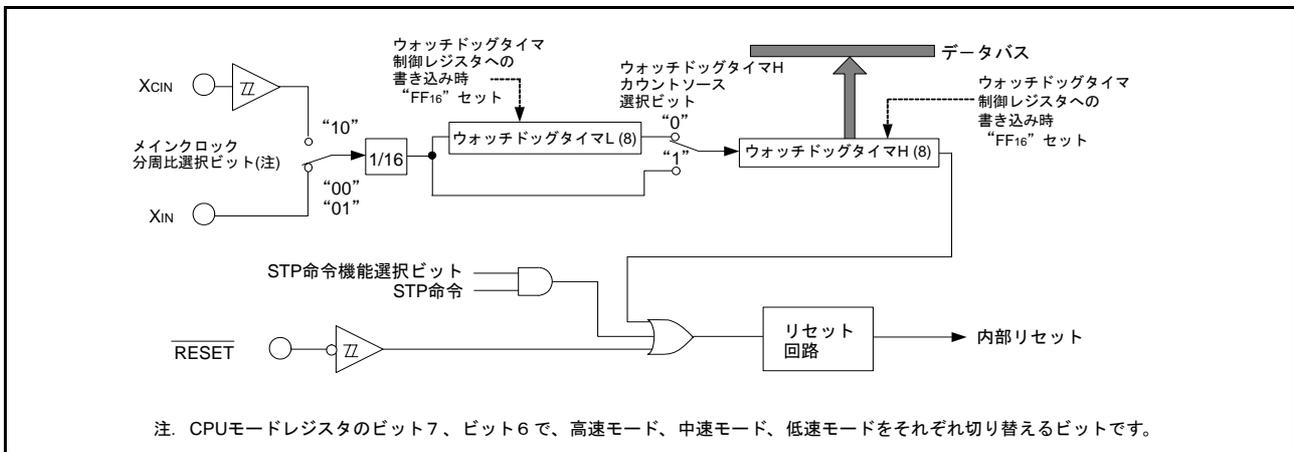


図58. ウォッチドッグタイマのブロック図

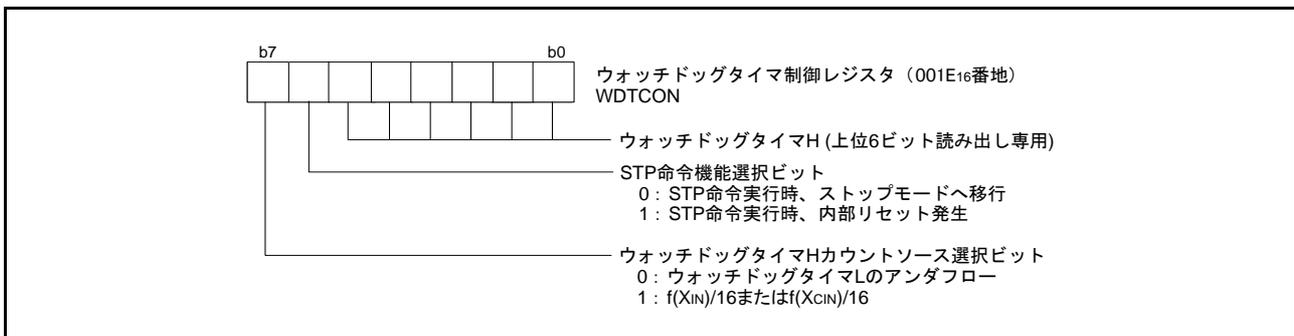


図59. ウォッチドッグタイマ制御レジスタの構成

マルチマスタI<sup>2</sup>C-BUSインタフェース

3804グループ(L仕様)はマルチマスタI<sup>2</sup>C-BUSインタフェースを持ちます。

マルチマスタI<sup>2</sup>C-BUSインタフェースは、フィリップス社I<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトラジョン・ロストの検出機能、シンクロナイズ機能を有しており、マルチマスタのシリアル通信に対応できます。

図60にマルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図、表9にマルチマスタI<sup>2</sup>C-BUSインタフェース機能を示します。

このマルチマスタI<sup>2</sup>C-BUSインタフェースは、I<sup>2</sup>Cスレーブアドレスレジスタ0~2、I<sup>2</sup>Cデータシフトレジスタ、I<sup>2</sup>Cクロックコントロールレジスタ、I<sup>2</sup>Cコントロールレジスタ、I<sup>2</sup>Cステータスレジスタ、I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ、I<sup>2</sup>Cスペシャルモード制御レジスタ、I<sup>2</sup>Cスペシャルモードステータスレジスタとその他の制御回路により構成されています。

マルチマスタI<sup>2</sup>C-BUSインタフェースを使用する場合は、内部クロックφを1MHz以上にしてください。

表9. マルチマスタI<sup>2</sup>C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I <sup>2</sup> C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I <sup>2</sup> C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz~400kHz, (φ = 4MHz時)

システムクロック φ = f(XIN)/2 (高速モード)  
φ = f(XIN)/8 (中速モード)

注1. I<sup>2</sup>C-BUSインタフェースとポート(SCL1、SCL2、SDA1、SDA2)の接続を制御する機能(I<sup>2</sup>Cコントロールレジスタ[002E16番地]のビット6)の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任を負いません。

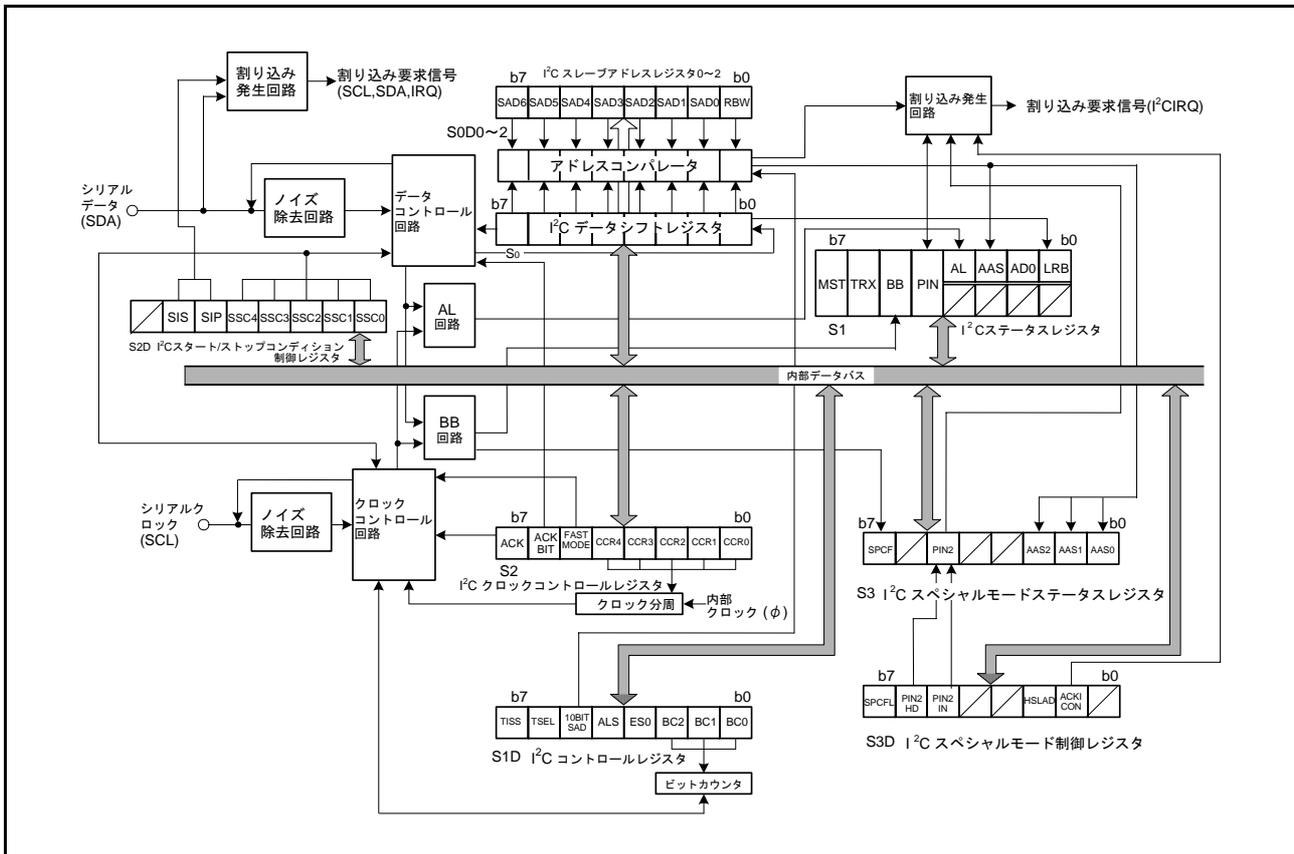


図60. マルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図

※: Purchase of Renesas Technology Corporation's I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

### ●I<sup>2</sup>Cデータシフトレジスタ

I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)は、受信データの格納、または送信データを書き込むための8ビットのシフトレジスタです。

送信データがこのレジスタに書き込むと、SCLKに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLKに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLKの立ち上がりから、このレジスタに入力されるまでは、最短で内部クロックφの2サイクルを要します。

I<sup>2</sup>Cデータシフトレジスタは、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のI<sup>2</sup>C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I<sup>2</sup>Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のMSTビットが“1”のとき、I<sup>2</sup>Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I<sup>2</sup>Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

### ●I<sup>2</sup>Cスレーブアドレスレジスタ0～2

I<sup>2</sup>Cスレーブアドレスレジスタ0～2(S0D0～2:0FF7<sub>16</sub>～0FF9<sub>16</sub>番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

#### (1) ビット0：リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0～2の内容(SAD6～SAD0 + RWB)が比較されるため、“0”を設定しておく必要があります。2バイトのアドレスデータとスレーブアドレスが一致した場合には、このビットをソフトウェアで“1”に設定することにより、リスタートコンディション検出後に受信する7ビットのスレーブアドレスおよびR/WのデータとI<sup>2</sup>Cスレーブアドレスレジスタの値を一致させることができます。

RWBビットはストップコンディションを検出すると、自動的に“0”になります。

#### (2) ビット1～ビット7：スレーブアドレス(SAD0～SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

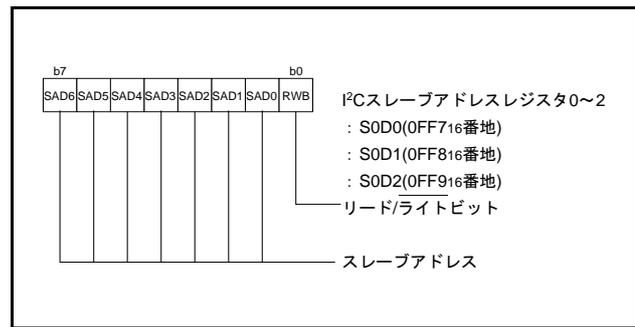


図61. I<sup>2</sup>Cスレーブアドレスレジスタ0～2の構成

● I<sup>2</sup>Cクロックコントロールレジスタ

I<sup>2</sup>Cクロックコントロールレジスタ(S2:001516番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1) ビット0～ビット4：SCL周波数制御ビット (CCR0～CCR4)

SCL周波数を制御するビットです。表10を参照してください。

(2) ビット5：SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI<sup>2</sup>Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

(3) ビット6：アックビット(ACK BIT)

アッククロック\*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。ただし、ACK BIT=“0”の状態ではアドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり、一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

\*アッククロック：確認応答用のクロック

(4) ビット7：アッククロックビット(ACK)

データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“0”の場合、アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを開放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I<sup>2</sup>Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。

表10. I<sup>2</sup>Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数(φ=4MHz時,単位:kHz)(注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	-(注2)	333
0	0	1	0	0	-(注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

- 注1. SCL出力のデューティは50%です。高速クロックモード CCR値=5のみ35～45%になります。(400kHz,φ=4MHz時) また、クロックの“H”の期間は標準クロックモードで+2～-4マシンサイクル、高速クロックモードで+2～-2マシンサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によるSCL同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。
- 注2. φ=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用してください。
- 注3. SCL周波数の計算式は次のとおりです。  
 φ/(8×CCR値)標準クロックモード  
 φ/(4×CCR値)高速クロックモード(CCR値≠5)  
 φ/(2×CCR値)高速クロックモード(CCR値=5)  
 CCR値=0～2はφの周波数にかかわらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定してください。

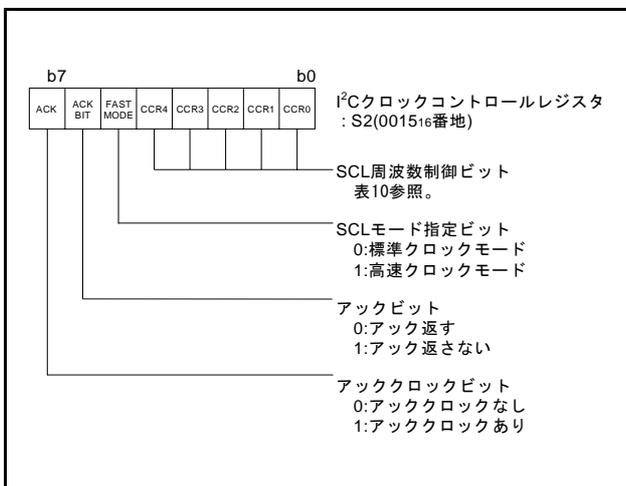


図62. I<sup>2</sup>Cクロックコントロールレジスタの構成

●I<sup>2</sup>Cコントロールレジスタ

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)はデータ通信フォーマットの制御を行うレジスタです。

(1) ビット0～ビット2：ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:0015<sub>16</sub>番地のビット7)による指定があればアックロックも合わせたビットカウント数の転送完了直後、I<sup>2</sup>C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

(2) ビット3：I<sup>2</sup>Cインタフェース許可ビット(ES0)

マルチマスタI<sup>2</sup>C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDAおよびSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0 = “0” のとき、次のように処理されます。

- ①I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のPIN= “1”、BB= “0”、AL= “0” 設定される。
- ②I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)への書き込みは禁止される。

(3) ビット4：データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、またはジェネラルコール(「I<sup>2</sup>Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4) ビット 5：アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cスレーブアドレスレジスタ0～2の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cスレーブアドレスレジスタ0～2の全ビットがアドレスデータと比較されます。

(5) ビット7：I<sup>2</sup>C-BUSインタフェース端子入力レベル選択ビット(TISS)

マルチマスタI<sup>2</sup>C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

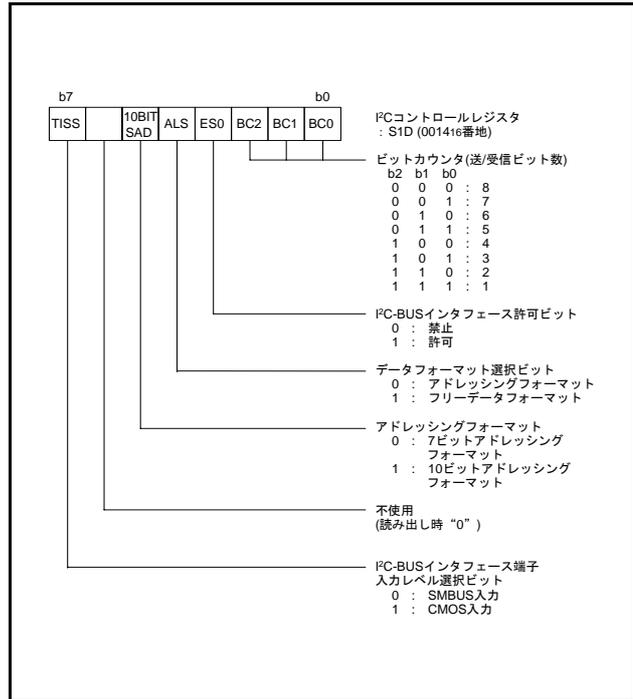


図63. I<sup>2</sup>Cコントロールレジスタのビット構成

## ●I<sup>2</sup>Cステータスレジスタ

I<sup>2</sup>Cステータスレジスタ(S1:001316番地)はI<sup>2</sup>C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“00002”を書き込みください。

### (1) ビット0：最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アックロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)に書き込み命令を実行すると“0”になります。

### (2) ビット1：ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール\*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

\*ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

### (3) ビット2：スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。

①スレーブ受信モード時、7ビットアドレッシングフォーマットで以下のいずれかの条件で、“1”になります。

- スタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cスレーブアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合。

- ジェネラルコールを受信した場合

②スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ(スレーブアドレス、およびRWBビットで構成される8ビット)とを比較し、1バイト目が一致した場合

③このビットはES0が“1”の場合のI<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)への書き込み、またはリセットにより“0”になります。

### (4) ビット3：アービトレーションロスト\*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

ALビットが“0”になる条件を以下に示します。

- I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)への書き込み命令の実行
- ES0ビットが“0”のとき
- リセット時

\*アービトレーションロスト：マスタとしての通信が不許可となった状態。

### (5) ビット4：SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。

PINビットは内部クロックの最終クロック(アックロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。

PINビットが“0”のとき、SCLは“0”に保たれクロックの発生は禁止されます。図65に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

- ES0ビットが“0”のとき

- リセット時

- ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

- 1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

- 1バイトのデータ受信完了直後

- スレーブ受信の際、ALS=0で、スレーブアドレス一致またはジェネラルコールアドレス受信完了直後

- スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

### (6) ビット5：バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D:001616番地)のスタート/ストップコンディション設定ビット(SSC4～SSC0)の条件に従います。また、I<sup>2</sup>Cコントロールレジスタ(S1D:001416番地)のES0ビット(ビット3)が“0”のとき、およびリセット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法およびストップコンディション発生方法をご参照ください。

### (7) ビット6:通信モード指定ビット (転送方向指定ビット: TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。  
ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ALS=“0”かつスレーブで、R/Wビット受信が“1”の場合  
以下の場合、ハードウェアにより“0”になります。
- アービトレーションロストを検出した場合
- ストップコンディションを検出した場合
- スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- MST=“0”で、スタートコンディションを検出した場合
- MST=“0”でアック応答が返ってこなかったことを検出した場合
- リセット時

### (8) ビット7:通信モード指定ビット (マスタ/スレーブ指定ビット: MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- アービトレーションロストを検出した場合、アービトレーションを失ったバイトの転送終了直後
  - ストップコンディションを検出した場合
  - スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
  - リセット時
- 注. スタートコンディション重複防止機能  
スタートコンディション発生の手順では、BB フラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレーブアドレスの受信完了までの期間有効となります。

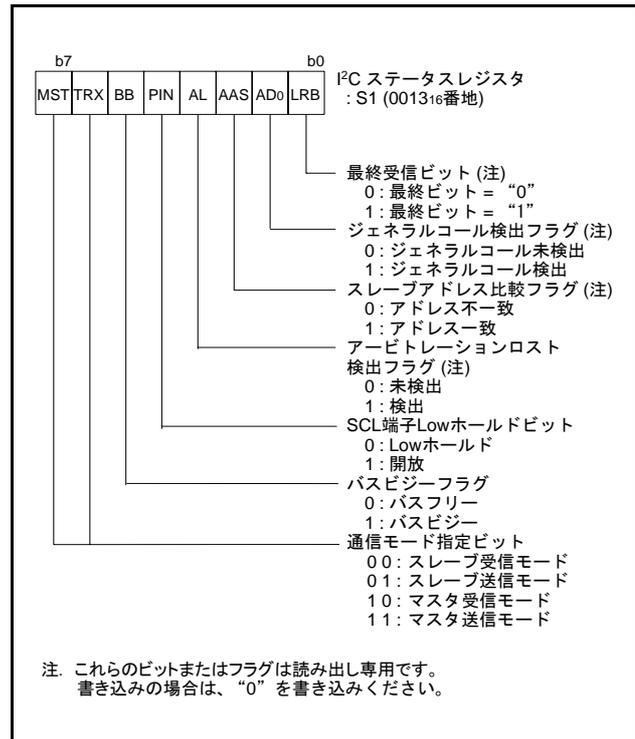


図64. I<sup>2</sup>Cステータスレジスタの構成

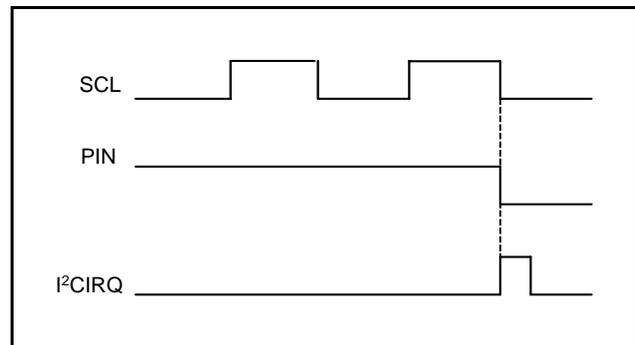


図65. 割り込み要求信号の発生タイミング

### ●スタートコンディション発生方法

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のES0ビットが“1”、BBフラグが“0”の状態ではI<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)にスレーブアドレスの書き込みの後、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のMST、TRX、BBビットに“1”書き込みを同時に行うとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図66のスタートコンディション発生タイミング図と表11のスタートコンディション発生タイミング表を参照してください。

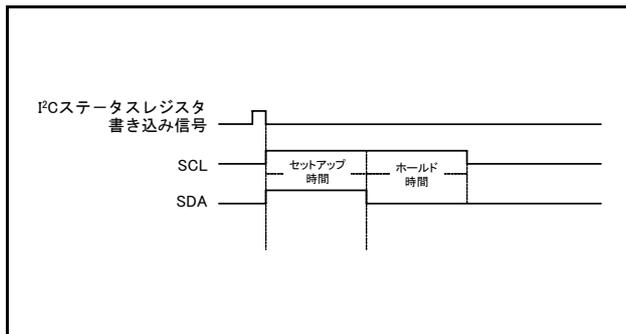


図66. スタートコンディション発生タイミング図

表11. スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0μs(20サイクル)	2.5μs(10サイクル)
ホールド時間	5.0μs(20サイクル)	2.5μs(10サイクル)

注1.  $\phi = 4\text{MHz}$ 時の絶対時間、()内は $\phi$ のサイクル数

### ●ストップコンディションの発生方法

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のES0ビットが“1”の状態ではI<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図67のストップコンディション発生タイミング図と表12のストップコンディション発生タイミング表を参照してください。

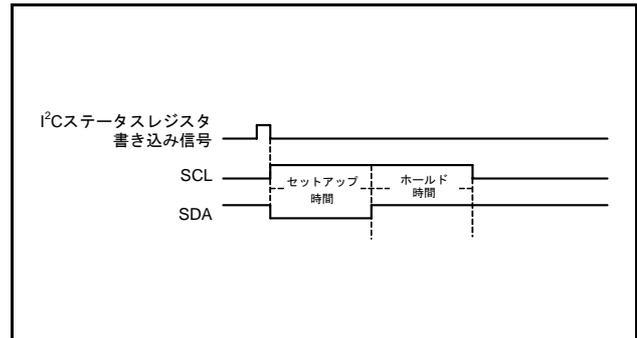


図67. ストップコンディション発生タイミング図

表12. ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0μs(20サイクル)	3.0μs(12サイクル)
ホールド時間	4.5μs(18サイクル)	2.5μs(10サイクル)

注1.  $\phi = 4\text{MHz}$ 時の絶対時間、()内は $\phi$ のサイクル数

### ●スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図68、図69と表13に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表13のSCL開放時間、セットアップ時間およびホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表13のBBフラグセット/リセット時間を参照してください。

注. スレープ (MST=0) 時にストップコンディションを検出すると、CPUに対して割り込み要求信号I<sup>2</sup>CIRQが発生します。

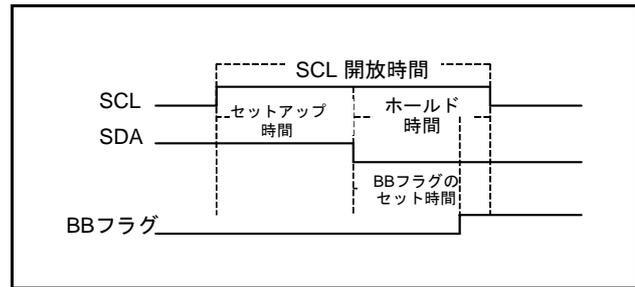


図68. スタートコンディション検出のタイミング図

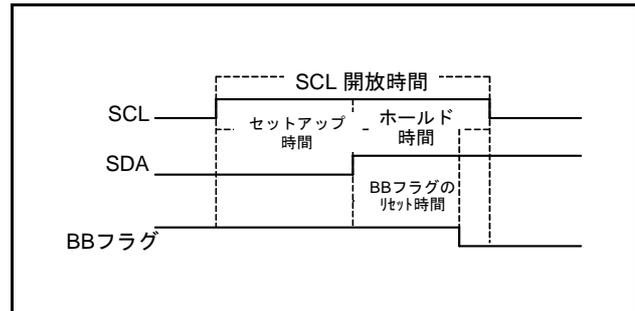


図69. ストップコンディション検出のタイミング図

表13. スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL 開放時間	SSC 値+1 サイクル (6.25 μs)	4 サイクル (1.0 μs)
セットアップ時間	$\frac{SSC \text{ 値} + 1}{2}$ サイクル < 4.0 μs (3.125 μs)	2 サイクル (0.5 μs)
ホールド時間	$\frac{SSC \text{ 値} + 1}{2}$ サイクル < 4.0 μs (3.125 μs)	2 サイクル (0.5 μs)
BBフラグセット/ リセット時間	$\frac{SSC \text{ 値} - 1}{2} + 2$ サイクル (3.375 μs)	3.5 サイクル (0.875 μs)

注1. 単位はシステムクロック φ のサイクル数

SSC 値はスタート/ストップコンディション設定ビット SSC4 ~ SSC0 を 10 進法表記した値です。SSC 値=0 および奇数となる設定は禁止です。

( ) 内は φ=4MHz 時、I<sup>2</sup>C スタート/ストップコンディション制御レジスタに “1816” を設定した場合の時間の一例です。

## ●I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D:0016<sub>16</sub>番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

### (1) ビット0～ビット4:スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数 $f(X_{IN})$ や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表13を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値および“00000<sub>2</sub>”は設定しないでください。

参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表14に示します。

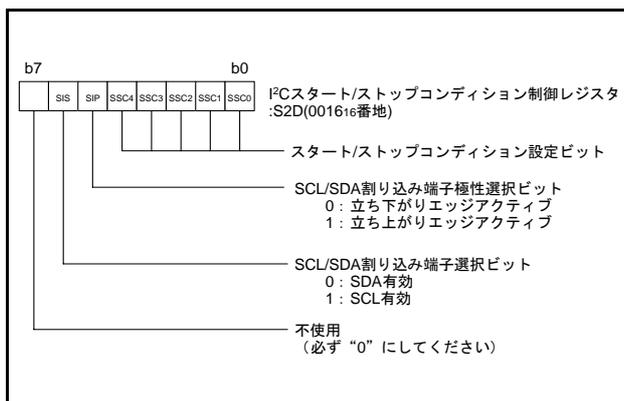


図70. I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成

表14. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発振周波数 $f(X_{IN})$ (MHz)	メイン クロック 分周比	内部 クロック $\phi$ (MHz)	スタート/ストップ コンディション 制御レジスタ	SCL開放時間 ( $\mu$ s)	セットアップ時間 ( $\mu$ s)	ホールド時間 ( $\mu$ s)
8	2	4	XXX11010	6.75 $\mu$ s (27サイクル)	3.5 $\mu$ s (14サイクル)	3.25 $\mu$ s (13サイクル)
			XXX11000	6.25 $\mu$ s (25サイクル)	3.25 $\mu$ s (13サイクル)	3.0 $\mu$ s (12サイクル)
8	8	1	XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)
4	2	2	XXX01100	6.5 $\mu$ s (13サイクル)	3.5 $\mu$ s (7サイクル)	3.0 $\mu$ s (6サイクル)
			XXX01010	5.5 $\mu$ s (11サイクル)	3.0 $\mu$ s (6サイクル)	2.5 $\mu$ s (5サイクル)
2	2	1	XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)

注1. スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値および“00000<sub>2</sub>”は設定しないでください。

### (2) ビット5:SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

### (3) ビット6 : SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注. SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

## ● I<sup>2</sup>Cスペシャルモードステータスレジスタ

I<sup>2</sup>Cスペシャルモードステータスレジスタ(S3:001216番地)はI<sup>2</sup>Cスペシャルモード制御レジスタ(001716番地)で設定された、I<sup>2</sup>Cの特殊モード時のI<sup>2</sup>Cの動作状態を示すフラグで構成されています。ストップコンディションフラグはあらゆる動作モードで有効です。

- (1) **ビット0：スレーブアドレス0比較フラグ(AAS0)**  
**ビット1：スレーブアドレス1比較フラグ(AAS1)**  
**ビット2：スレーブアドレス2比較フラグ(AAS2)**

アドレスデータの比較結果を示すフラグです。これらのフラグはスレーブアドレス制御ビット(MSLAD)が“1”のときのみ有効です。スレーブ受信モード時、7ビットアドレッシングフォーマットではスタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cアドレスレジスタ0,1,2(0FF716番地,0FF816番地,0FF916番地)に格納されている上位7ビットのスレーブアドレスと一致した場合、それぞれのI<sup>2</sup>Cスレーブアドレスレジスタ0～2に対応するスレーブアドレス*i*(*i*=0, 1, 2)比較フラグが“1”になります。また、スレーブモード時、10ビットアドレッシングフォーマットでは、アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0～2のスレーブアドレス、およびRWBビットで構成される8ビットとを比較し、1バイト目が一致した場合、それぞれのI<sup>2</sup>Cスレーブアドレスレジスタ0～2に対応するスレーブアドレス*i*(*i*=0, 1, 2)比較フラグが“1”になります。これらのフラグはリセット時、スレーブアドレス制御ビット(MSLAD)が“0”のとき、I<sup>2</sup>Cデータシフトレジスタ(001116番地)にデータを書き込んだとき“0”に初期化されます。

- (2) **ビット5：SCL端子Lowホールド2フラグ(PIN2)**

アック割り込み制御ビット(ACKICON)が“1”で、かつアッククロックビット(ACK)が“1”の場合、データのSCL最終クロックの立ち下がり(アッククロックの直前)に同期してこのビットが“0”になります。同時にSCL端子がLowホールドされ、I<sup>2</sup>C割り込みが発生します。このフラグはリセット時、アック割り込み制御ビット(ACKICON)が“0”のとき、およびSCL端子Lowホールド2フラグセットビット(PIN2IN)に“1”を書き込んだ場合“1”に初期化されます。

SCL端子は、SCL端子Lowホールドビット(PIN)またはSCL端子Lowホールド2フラグ(PIN2)のどちらかが“0”になるとLowホールドされます。また、SCL端子Lowホールドビット(PIN)とSCL端子Lowホールド2フラグ(PIN2)が共に“1”の場合にSCL端子のLowホールドが開放されます。

- (3) **ビット7：ストップコンディションフラグ(SPCF)**

ストップコンディションが発生した場合に“1”になります。このフラグはリセット時、I<sup>2</sup>C-BUSインタフェース使用許可ビット(ES0)が“0”のとき、およびストップコンディションフラグクリアビット(SPFCL)に“1”を書き込んだときに“0”に初期化されます。

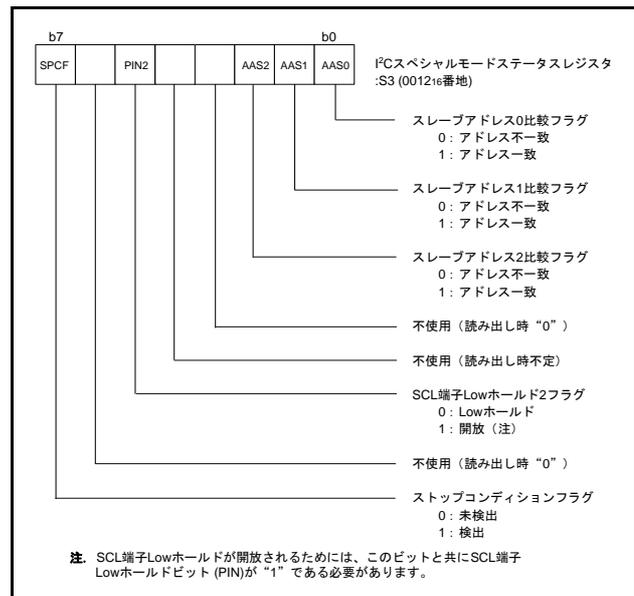


図71. I<sup>2</sup>Cスペシャルモードステータスレジスタの構成

## ●I<sup>2</sup>Cスペシャルモード制御レジスタ

I<sup>2</sup>Cスペシャルモード制御レジスタ(S3D:001716番地)は受信割り込み発生タイミング、スレーブアドレス比較を3バイトに拡張するといったI<sup>2</sup>C-BUSインタフェースの特殊な機能を制御するビットです。

### (1) ビット1: ACK割り込み制御ビット(ACKICON)

マスタ受信、スレーブ受信のデータ受信終了時に発生するI<sup>2</sup>C割り込みの発生するタイミングを制御するビットです。“0”の場合はSCLの最終クロック(アックロックを含む)の立ち下がりに同期してSCL端子Lowホールドされ、同時にI<sup>2</sup>C割り込みが発生します。このビットが“1”の場合、かつアックロックビット(ACK)が“1”の場合、データのSCL最終クロック(アックロックの直前)の立ち下がりに同期してSCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされ、同時にI<sup>2</sup>C割り込みが発生します。さらにLowホールド解除後、アックロックの立ち下がりに同期してSCL端子Lowホールドビット(PIN)が“0”になり、SCL端子がLowホールドされ、同時にI<sup>2</sup>C割り込みが再び発生します。このモードを使用することにより、データの内容を確認した後に、アックビットを変更することができます。

### (2) ビット2: スレーブアドレス制御ビット(MSLAD)

スレーブアドレスを制御するビットです。“0”の場合スレーブアドレスおよびリード/ライトビットはI<sup>2</sup>Cスレーブアドレスレジスタ0(0FF716番地)のみ有効です。“1”の場合、スレーブアドレスおよびリード/ライトビットはI<sup>2</sup>Cスレーブアドレスレジスタ0~2(0FF716番地、0FF816番地、0FF916番地)がすべて有効となります。この場合、アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0~2のうちのどれかが一致すると、スレーブアドレス比較フラグ(AAS)が“1”になるとともに、一致したI<sup>2</sup>Cスレーブアドレスレジスタ0~2に対応するスレーブアドレス*i*(*i*=0, 1, 2)比較フラグが“1”になります。

### (3) ビット5: SCL端子Lowホールド2フラグセットビット(PIN2IN)

このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“1”に初期化されます。“0”を書いた場合は何も発生しません。

### (4) ビット6: SCL端子Lowホールド設定ビット(PIN2HD)

SCL端子はSCL端子Lowホールドビット(PIN)が“0”になるとLowホールドされますが、SCL端子Lowホールドビット(PIN)はソフトウェアで“0”にすることができません。SCL端子Lowホールド設定ビット(PIN2HD)はソフトウェアによりSCL端子をLowホールドするためのビットです。このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされます。“0”を書いた場合は何も発生しません。

### (5) ビット7: ストップコンディションフラグクリアビット

このフラグに“1”を書き込むと、ストップコンディションフラグ(SPCF)が“0”に初期化されます。“0”を書いた場合は何も発生しません。

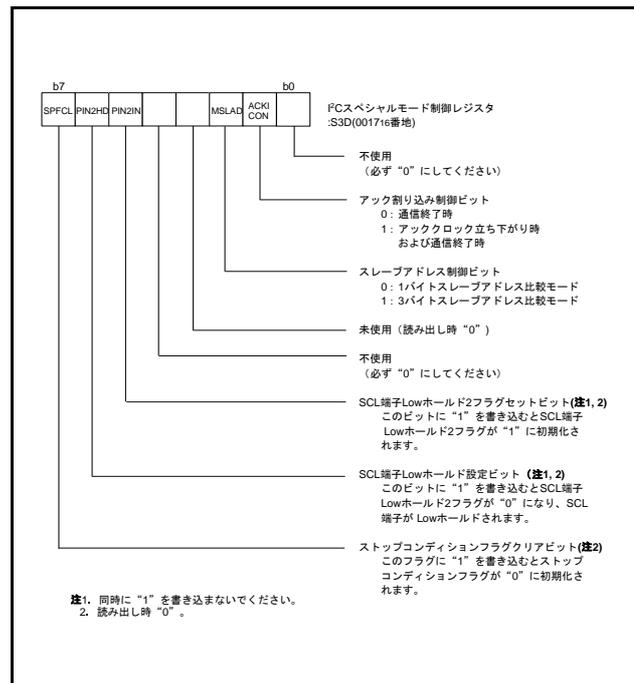


図72. I<sup>2</sup>Cスペシャルモード制御レジスタの構成

## ●アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

### (1) 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I<sup>2</sup>Cスレーブアドレスレジスタに格納された7ビットのスレーブアドレスを比較します。この比較時には、I<sup>2</sup>CスレーブアドレスレジスタのRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図73の(1)、(2)を参照してください。

### (2) 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)の10BITSADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I<sup>2</sup>Cスレーブアドレスレジスタに格納されたスレーブアドレス8

ビットがアドレス比較されます。この比較時には、I<sup>2</sup>CスレーブアドレスレジスタのRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAASビットが“1”にセットされます。2バイト目アドレスデータは、I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>CスレーブアドレスレジスタのRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレスおよびR/WのデータとI<sup>2</sup>Cスレーブアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図73の(3)、(4)を参照してください。

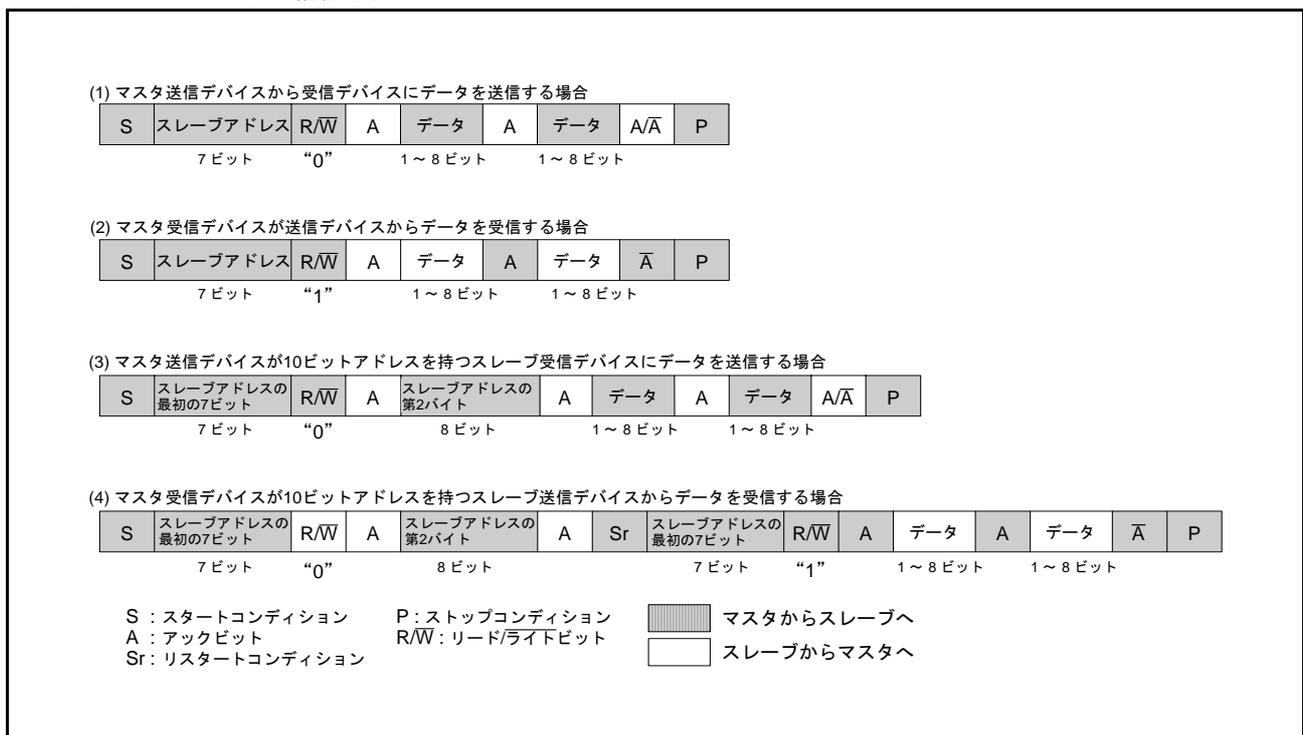


図73. アドレスデータ通信フォーマット

### ● マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I<sup>2</sup>C スレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)に“85<sub>16</sub>”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“00<sub>16</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のBBフラグによりバスフリー状態を確認します。
- (6) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“F0<sub>16</sub>”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“D0<sub>16</sub>”を設定することによって、ストップコンディションを発生させます。

### ● スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I<sup>2</sup>C スレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)に“25<sub>16</sub>”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“00<sub>16</sub>”を設定し送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) 送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
  - 送信されたアドレスが、(1)で設定したアドレスと一致した場合、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
  - 上記以外の場合、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

## ■マルチマスタI<sup>2</sup>C-BUSインタフェースの注意事項

### (1) リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI<sup>2</sup>C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- I<sup>2</sup>Cデータシフトレジスタ(S0: 0011<sub>16</sub>番地)  
転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- I<sup>2</sup>Cスレーブアドレスレジスタ0~2(S0D0~2: 0FF7<sub>16</sub>~0FF9<sub>16</sub>番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

- I<sup>2</sup>Cステータスレジスタ(S1: 0013<sub>16</sub>番地)  
すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- I<sup>2</sup>Cコントロールレジスタ(S1D: 0014<sub>16</sub>番地)  
スタートコンディション検出時およびバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。上記のタイミングでビットカウンタ(BC0~BC2)が、H/Wによって変化するためです。
- I<sup>2</sup>Cクロックコントロールレジスタ(S2: 0015<sub>16</sub>番地)  
リード・モディファイ・ライト命令は使用可能です。
- I<sup>2</sup>Cスタート / ストップコンディション制御レジスタ(S2D: 0016<sub>16</sub>番地)

リード・モディファイ・ライト命令は使用可能です。

### (2) マルチマスタで使用する場合のスタートコンディション発生手順について

1. 手順例(発生手順の必要条件は2.以降に記します。)

```

:
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
BBS 5,S1,BUSBUSY (BBフラグ確認および分岐処理)
BUSFREE:
STA S0 (スレーブアドレス値の書き込み)
LDM #$F0,S1 (スタートコンディション発生トリガ)
CLI (割り込みの許可)
:
BUSBUSY:
CLI (割り込みの許可)

```

2. BBフラグの確認および分岐処理はBBS5,S1, ~のブランチ・ビット・セット命令を必ず使用してください。
3. I<sup>2</sup>Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA\$12、STX\$12あるいはSTY\$12のゼロページアドレッシング命令を必ず使用してください。
4. 前記2.の分岐命令と3.のストア命令は手順例のとおり必ず連続して実行するようにしてください。
5. BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

### (3) リスタートコンディション発生手順について

1. 手順例(発生手順の必要条件は(2)以降に記します。)  
PINビットが“0”のとき、以下の手順を実行してください。

```

:
LDM #$00,S1 (スレーブ受信モードにする)
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
STA S0 (スレーブアドレス値の書き込み)
LDM #$F0,S1 (リスタートコンディション発生トリガ)
CLI (割り込みの許可)

```

2. PINビットが“0”の状態、スレーブ受信モードにしてください。  
PINビットには“1”を書き込まないでください。  
BBビットへの書き込みに“0”または“1”の指定はありません。  
TRXビットが“0”になり、SDA端子が開放されます。
3. スレーブアドレス値をI<sup>2</sup>Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。
4. スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

### (4) I<sup>2</sup>Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビットおよびTRXビットを“1”から“0”にする命令を実行しないでください。SCL端子が開放されて、約1マシサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”のときに、MSTビットおよびTRXビットを“1”から“0”にする命令を実行しても、同様の状態になることがあります。

### (5) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I<sup>2</sup>CデータシフトレジスタS0およびI<sup>2</sup>CステータスレジスタS1に書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

### リセット回路

電源電圧が2.7~5.5Vにあり、XINが安定発振しているとき、RESET端子をXIN 16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

下記の手順でRESET端子に入力してください。

●電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) XIN端子に16サイクル以上のクロックを入力する
- (3) RESET端子に“H”を入力する

●電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を2.7Vまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ
- (4) XIN端子に16サイクル以上のクロックを入力する
- (5) RESET端子に“H”を入力する

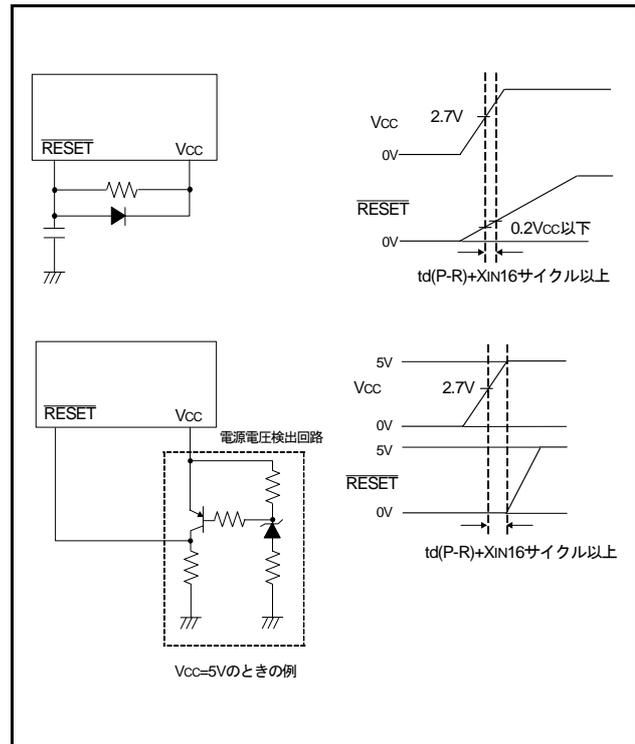
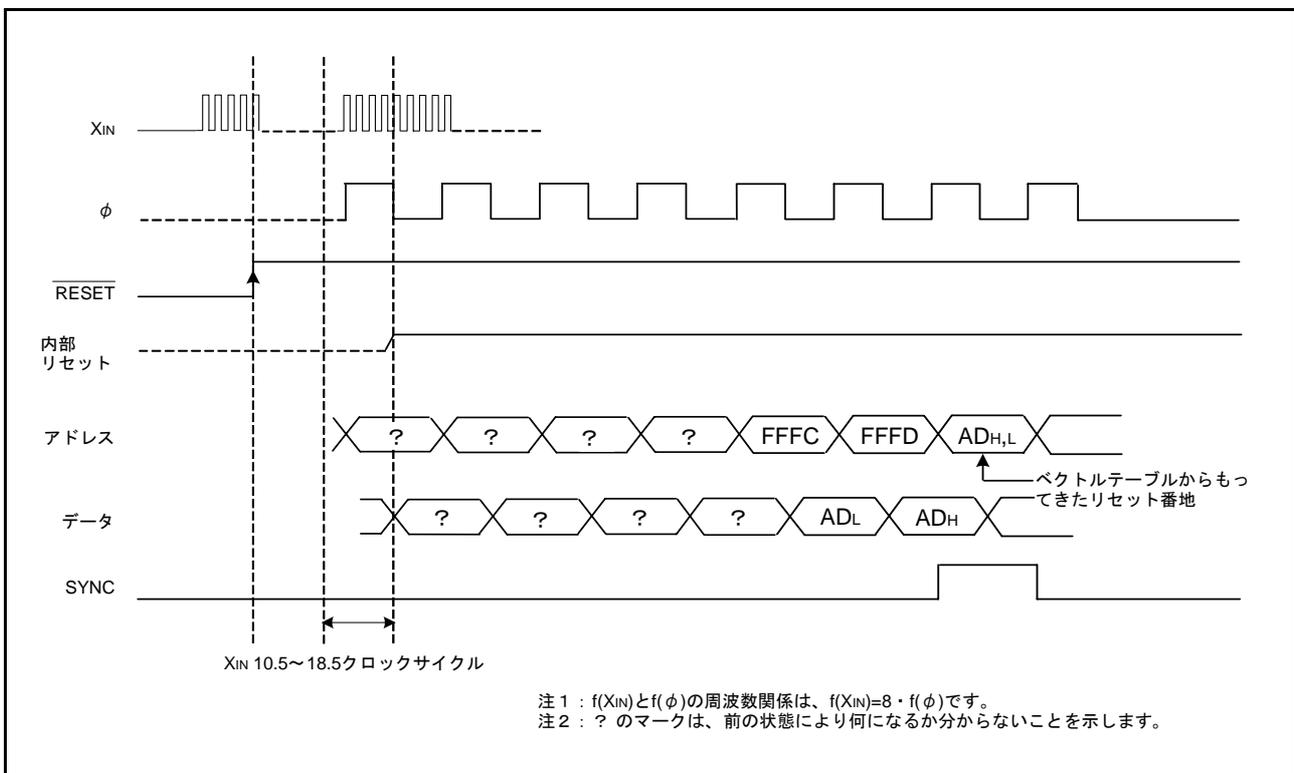


図74. リセット回路例



注1 :  $f(XIN)$ と $f(\phi)$ の周波数関係は、 $f(XIN)=8 \cdot f(\phi)$ です。  
 注2 : ?のマークは、前の状態により何になるか分からないことを示します。

図75. リセットシーケンス

番地	レジスタの内容	番地	レジスタの内容
(1) ポートP0	0000 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(39) ブリスケーラY	0026 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>
(2) ポートP0方向レジスタ	0001 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(40) タイマY	0027 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>
(3) ポートP1	0002 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(41) タイマZ下位	0028 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>
(4) ポートP1方向レジスタ	0003 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(42) タイマZ上位	0029 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>
(5) ポートP2	0004 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(43) タイマZモードレジスタ	002A <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(6) ポートP2方向レジスタ	0005 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(44) PWM制御レジスタ	002B <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(7) ポートP3	0006 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(45) PWMプリスケーラ	002C <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>
(8) ポートP3方向レジスタ	0007 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(46) PWMレジスタ	002D <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>
(9) ポートP4	0008 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(47) ポーレートジェネレータ3	002F <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>
(10) ポートP4方向レジスタ	0009 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(48) 送信/受信バッファレジスタ3	0030 <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>
(11) ポートP5	000A <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(49) シリアル/O3ステータスレジスタ	0031 <sub>16</sub> <input type="text" value="10000000"/>
(12) ポートP5方向レジスタ	000B <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(50) シリアル/O3制御レジスタ	0032 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(13) ポートP6	000C <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(51) UART3制御レジスタ	0033 <sub>16</sub> <input type="text" value="11100000"/>
(14) ポートP6方向レジスタ	000D <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(52) AD/DA制御レジスタ	0034 <sub>16</sub> <input type="text" value="00001000"/>
(15) タイマ12Xカウントソース選択レジスタ	000E <sub>16</sub> <input type="text" value="001100011"/>	(53) AD変換レジスタ1	0035 <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>
(16) タイマYZカウントソース選択レジスタ	000F <sub>16</sub> <input type="text" value="001100011"/>	(54) DA1変換レジスタ	0036 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(17) MISRG	0010 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(55) DA2変換レジスタ	0037 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(18) I <sup>2</sup> Cデータシフトレジスタ	0011 <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>	(56) AD変換レジスタ2	0038 <sub>16</sub> <input type="text" value="000000XX"/>
(19) I <sup>2</sup> Cスペシャルモードステータスレジスタ	0012 <sub>16</sub> <input type="text" value="00100000"/>	(57) 割り込み要因選択レジスタ	0039 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(20) I <sup>2</sup> Cステータスレジスタ	0013 <sub>16</sub> <input type="text" value="0001000X"/>	(58) 割り込みエッジ選択レジスタ	003A <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(21) I <sup>2</sup> Cコントロールレジスタ	0014 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(59) CPUモードレジスタ	003B <sub>16</sub> <input type="text" value="01001000"/>
(22) I <sup>2</sup> Cクロックコントロールレジスタ	0015 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(60) 割り込み要求レジスタ1	003C <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(23) I <sup>2</sup> Cスタート/ストップコンディション制御レジスタ	0016 <sub>16</sub> <input type="text" value="000110010"/>	(61) 割り込み要求レジスタ2	003D <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(24) I <sup>2</sup> Cスペシャルモード制御レジスタ	0017 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(62) 割り込み制御レジスタ1	003E <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(25) 送信/受信バッファレジスタ1	0018 <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>	(63) 割り込み制御レジスタ2	003F <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(26) シリアル/O1ステータスレジスタ	0019 <sub>16</sub> <input type="text" value="10000000"/>	(64) フラッシュメモリ制御レジスタ0	0FE0 <sub>16</sub> <input type="text" value="00000001"/>
(27) シリアル/O1制御レジスタ	001A <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(65) フラッシュメモリ制御レジスタ1	0FE1 <sub>16</sub> <input type="text" value="01000000"/>
(28) UART1制御レジスタ	001B <sub>16</sub> <input type="text" value="11100000"/>	(66) フラッシュメモリ制御レジスタ2	0FE2 <sub>16</sub> <input type="text" value="01000101"/>
(29) ポーレートジェネレータ1	001C <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>	(67) ポートP0ブルアップ制御レジスタ	0FF0 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(30) シリアル/O2制御レジスタ	001D <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(68) ポートP1ブルアップ制御レジスタ	0FF1 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(31) ウォッチドッグタイマ制御レジスタ	001E <sub>16</sub> <input type="text" value="00111111"/>	(69) ポートP2ブルアップ制御レジスタ	0FF2 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(32) シリアル/O2レジスタ	001F <sub>16</sub> <input type="text" value="XXXXXXXXXX"/>	(70) ポートP3ブルアップ制御レジスタ	0FF3 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(33) ブリスケーラ12	0020 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>	(71) ポートP4ブルアップ制御レジスタ	0FF4 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(34) タイマ1	0021 <sub>16</sub> <input type="text" value="01&lt;sub&gt;16&lt;/sub&gt;"/>	(72) ポートP5ブルアップ制御レジスタ	0FF5 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(35) タイマ2	0022 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>	(73) ポートP6ブルアップ制御レジスタ	0FF6 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(36) タイマXYモードレジスタ	0023 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>	(74) I <sup>2</sup> Cスレーブアドレスレジスタ0	0FF7 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(37) ブリスケーラX	0024 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>	(75) I <sup>2</sup> Cスレーブアドレスレジスタ1	0FF8 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
(38) タイマX	0025 <sub>16</sub> <input type="text" value="FF&lt;sub&gt;16&lt;/sub&gt;"/>	(76) I <sup>2</sup> Cスレーブアドレスレジスタ2	0FF9 <sub>16</sub> <input type="text" value="00&lt;sub&gt;16&lt;/sub&gt;"/>
		(77) プロセッサステータスレジスタ (PS)	<input type="text" value="XXXXXXXXXX"/>
		(78) プログラムカウンタ (PCn)	<input type="text" value="FFFD&lt;sub&gt;16&lt;/sub&gt;番地の内容"/>
		(PCL)	<input type="text" value="FFFC&lt;sub&gt;16&lt;/sub&gt;番地の内容"/>

注. × : 不定です。  
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図 76. リセット時の内部状態

## クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUTまたはXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

## ●周波数制御

### (1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックφとなります。リセット解除後はこのモードになります。

### (2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックφの周波数になります。

### (3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックφになります。

### (4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN-XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

## ●発振制御

### (1) ストップモード

STP命令を実行すると内部クロックφが“H”の状態では停止し、XINおよびXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0010<sub>16</sub>番地のビット0)が“0”のとき、タイマ1には“01<sub>16</sub>”、プリスケアラ12には“FF<sub>16</sub>”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあつた待ち時間を設定してください。

STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。

発振は外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に“L”レベルを印加してください。

フラッシュメモリL版では、STP命令実行時は消費電流低減のために、内部電源回路を低消費電力モードに切り替えています。STP命令からの復帰時には、内部電源回路を通常モードに切り替えますが、フラッシュメモリへの電源供給が開始されてフラッシュメモリが動作可能になるまでに一定の時間を要するので、フラッシュメモリL版ではタイマ1を使用したSTP命令解除後発振安定時間設定機能にて、100μs以上の待ち時間を設定してください。

### (2) ウェイトモード

WIT命令を実行すると、内部クロックφが“H”の状態では停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロックφの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1の入力には、STP命令実行時に設定されていたカウントソースが接続されカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

## ■注意事項

- 中 / 高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \times f(XCIN)$ である必要があります。
- 16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。
- STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

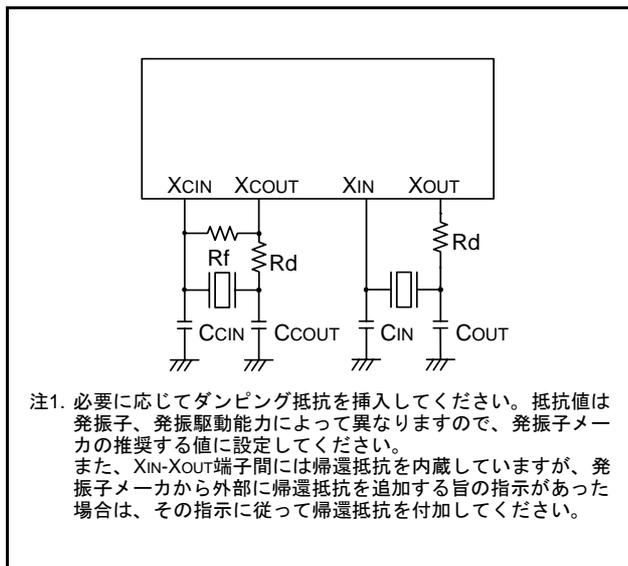


図77. セラミック共振子外付け回路

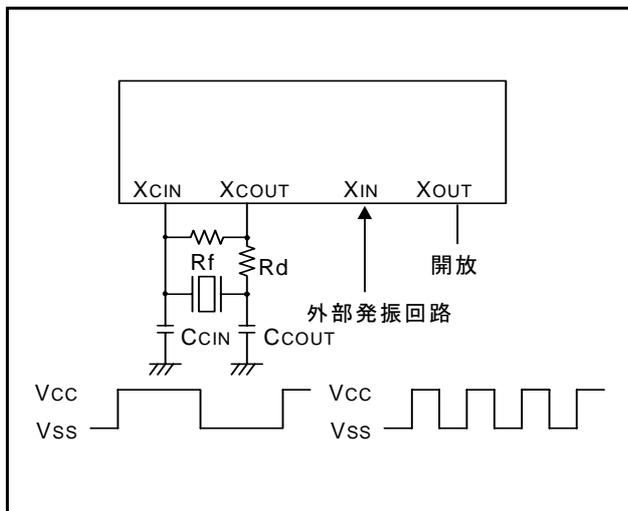


図78. 外部クロック入力回路

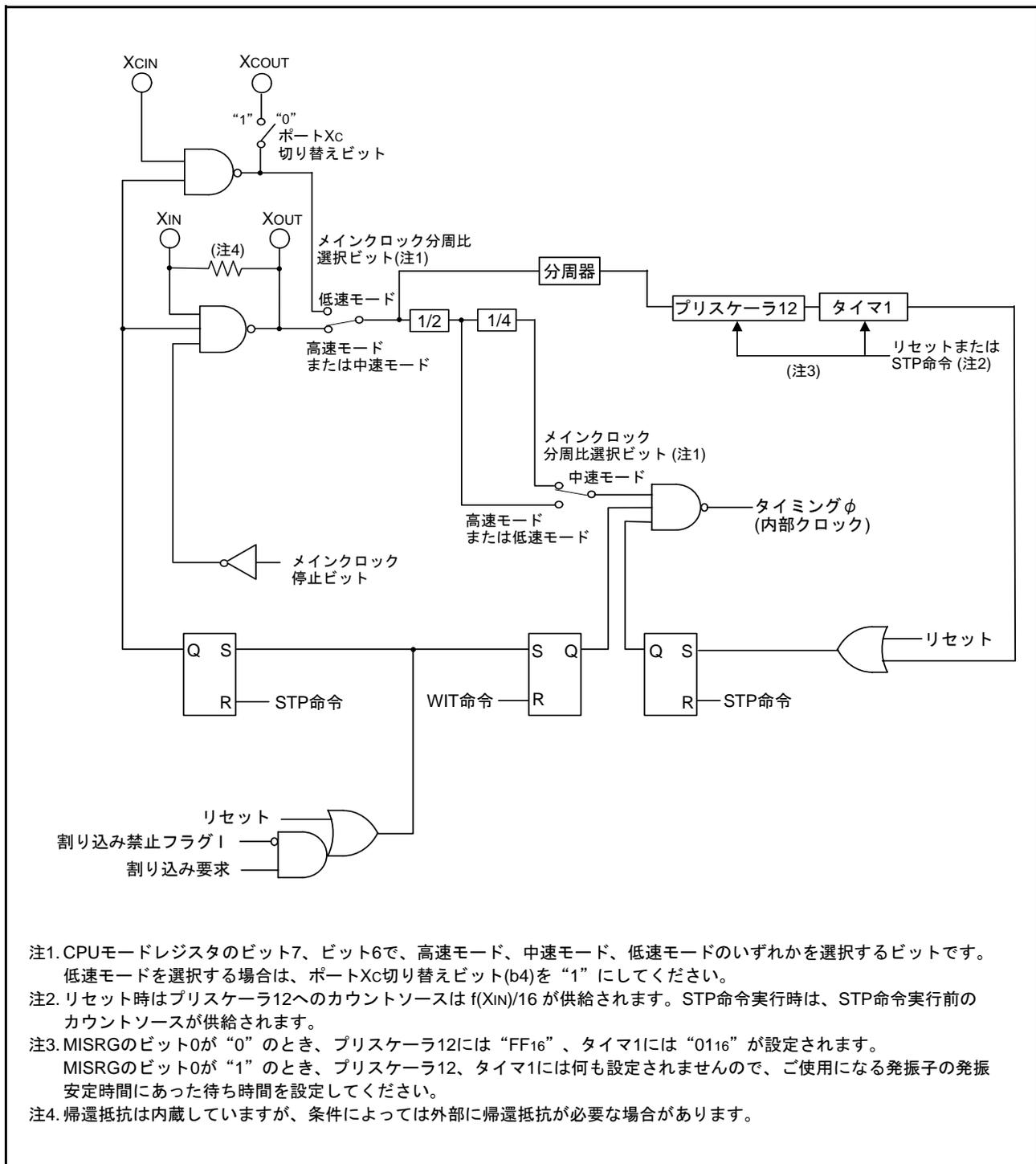


図79. システムクロック発生回路ブロック図 (シングルチップモード)

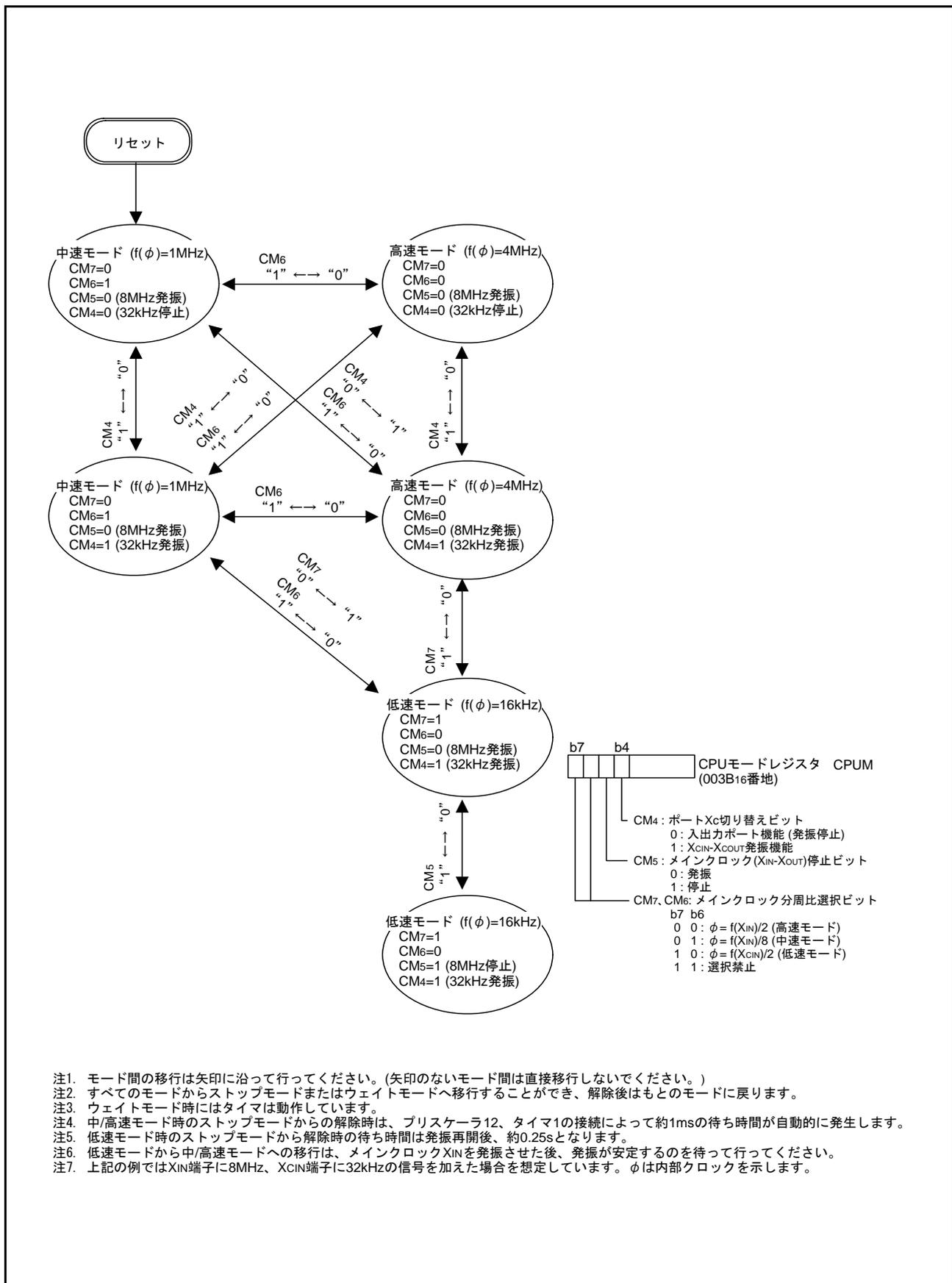


図80. システムクロックの状態遷移図

## フラッシュメモリモード

3804グループ(L仕様)フラッシュメモリ版は、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、および中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。プログラマについては、各メーカーにお問い合わせください。また、プログラマの操作方法については、プログラマのユーザーズマニュアルを参照してください。

図81に示すようにフラッシュメモリは、いくつかのブロックに分かれており、ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

## ●性能概要

表15に3804グループ(L仕様)の性能概要を示します。

表15. 3804グループ(L仕様)の性能概要

項目	性能	
電源電圧	Vcc=2.7V~5.5V	
プログラム/イレーズ電圧	Vcc=2.7V~5.5V	
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)	
消去ブロック分割	ユーザROM領域/データROM領域	図81を参照してください。
	ブートROM領域(注1)	分割なし(4Kバイト)
プログラム方式	バイト単位	
イレーズ方式	ブロック消去	
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御	
コマンド数	5コマンド	
プログラム/イレーズ回数	100(最大)	
ROMコードプロテクト	パラレル入出力モード/標準シリアル入出力モード対応	

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

表16. フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	バイトプログラム時間	Vcc=5.0V、Topr=25°C	—	60	400	μs	
—	ブロックイレーズ時間	Vcc=5.0V、Topr=25°C	(ブロック1)	—	0.5	9	s
			(ブロック2)	—	0.9	9	s
			(ブロック3)	—	1.3	9	s
			(ブロックA,B)	—	0.3	9	s

注1. 指定のない場合は、Vcc = AVcc = 2.7 V~5.5 V、Topr = 0°C~60°Cです。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを2048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最大”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

### ●ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図81に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P45/TxD1端子が“H”、CNVss端子が“H”の状態でのリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC<sub>16</sub>、FFFD<sub>16</sub>番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

### ●ブロックアドレス

ブロックアドレスとは、各ブロックの最大アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

### ●CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図81に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

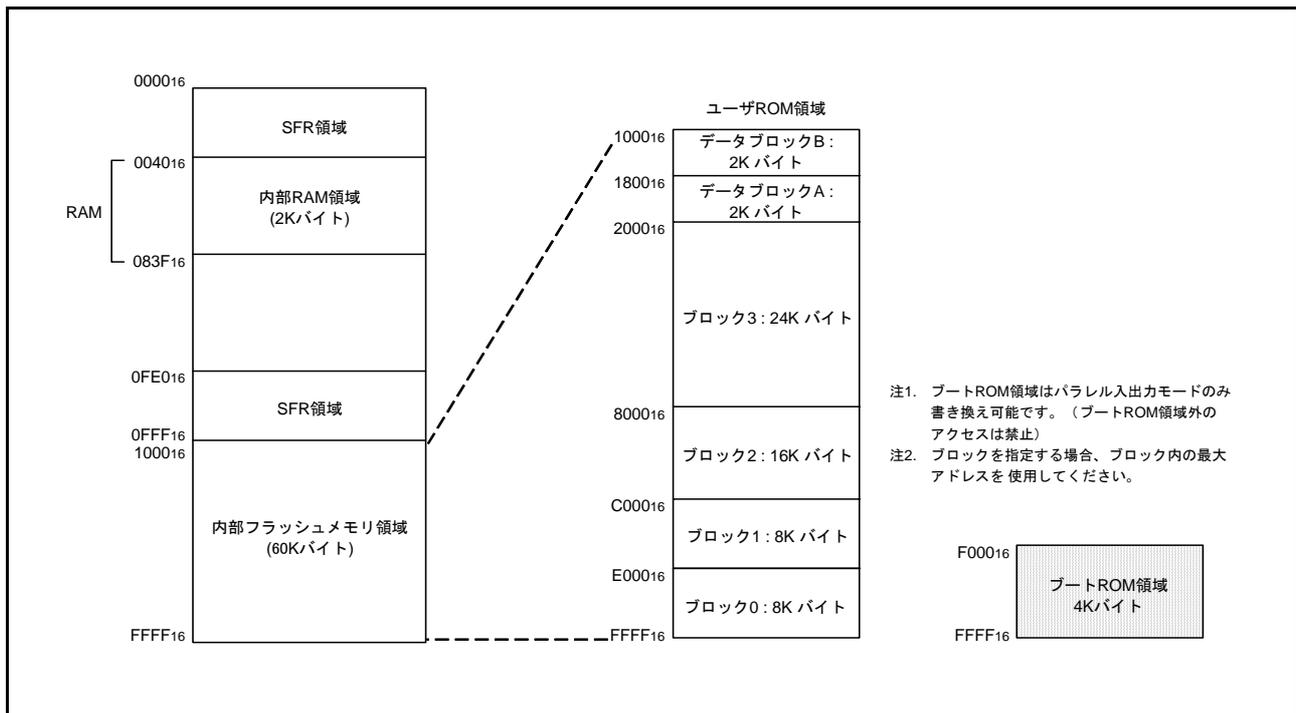


図81. 内蔵フラッシュメモリのブロック図

## ●機能概要

CPU書き換えモードは、シングルチップモード、およびブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE016番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図82にフラッシュメモリ制御レジスタ0を示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には“0”(ビジー)、これ以外の際には“1”(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2は8KBユーザブロックE/W許可ビットで、フラッシュメモリ制御レジスタ2(0FE216番地)のビット4(全ユーザブロックE/W許可ビット)との設定組み合わせによって、表17のようにCPU書き換えモード時にユーザブロックに対してE/Wが禁止されます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。フラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効なビットです。“1”をセットすることでユーザROM領域にアクセスすることが可能となり、CPU書き換えが行えます。このビットの操作はRAM上のプログラムで行う必要があります。

ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に“1”になります。プログラムエラーが発生した場合、そのブロックは使用できません。

ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に“1”になります。イレーズエラーが発生した場合、そのブロックは使用できません。

図83にフラッシュメモリ制御レジスタ1を示します。

ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。このビットに“1”を設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

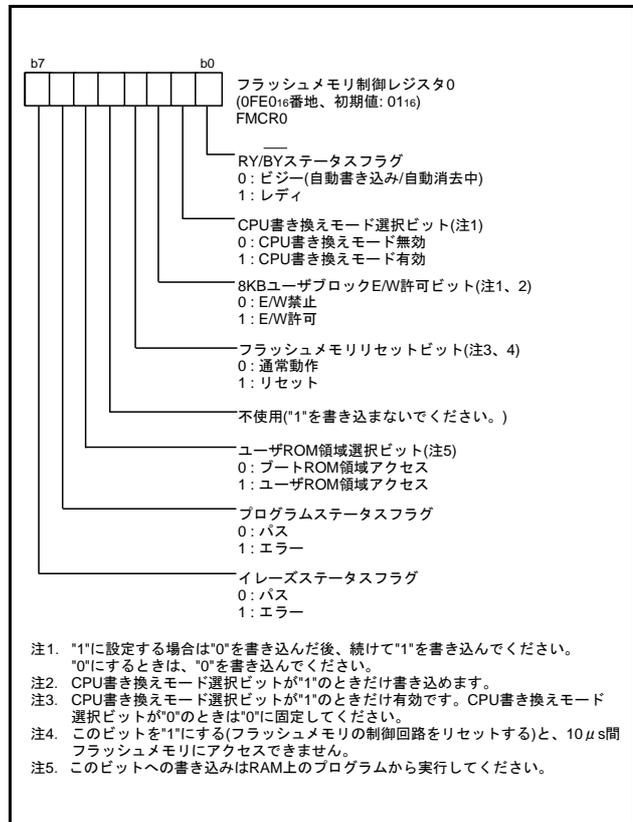


図82. フラッシュメモリ制御レジスタ0の構成

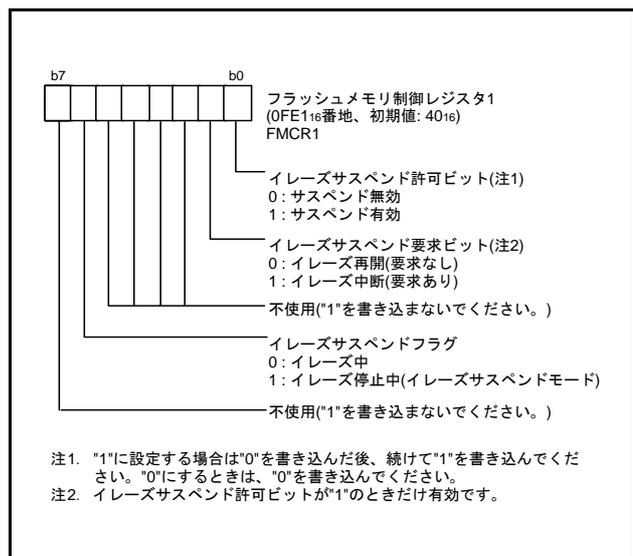


図83. フラッシュメモリ制御レジスタ1の構成

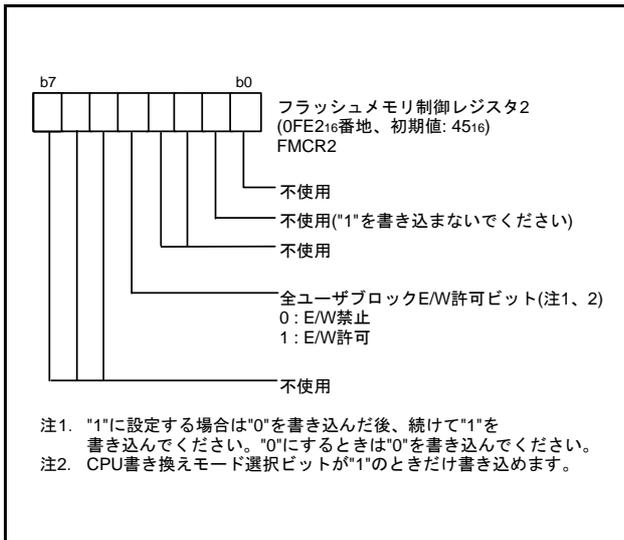


図84. フラッシュメモリ制御レジスタ2の構成

表17. E/W禁止機能の状態

全ユーザブロック E/W許可ビット	8KBユーザブロック E/W許可ビット	8KBX2ブロック C000 <sub>16</sub> ~FFFF <sub>16</sub>	16KB+24KBブロック 2000 <sub>16</sub> ~BFFF <sub>16</sub>	データブロック 1000 <sub>16</sub> ~1FFF <sub>16</sub>
0	0	E/W禁止	E/W禁止	E/W許可
0	1	E/W禁止	E/W禁止	E/W許可
1	0	E/W禁止	E/W許可	E/W許可
1	1	E/W許可	E/W許可	E/W許可

図85にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

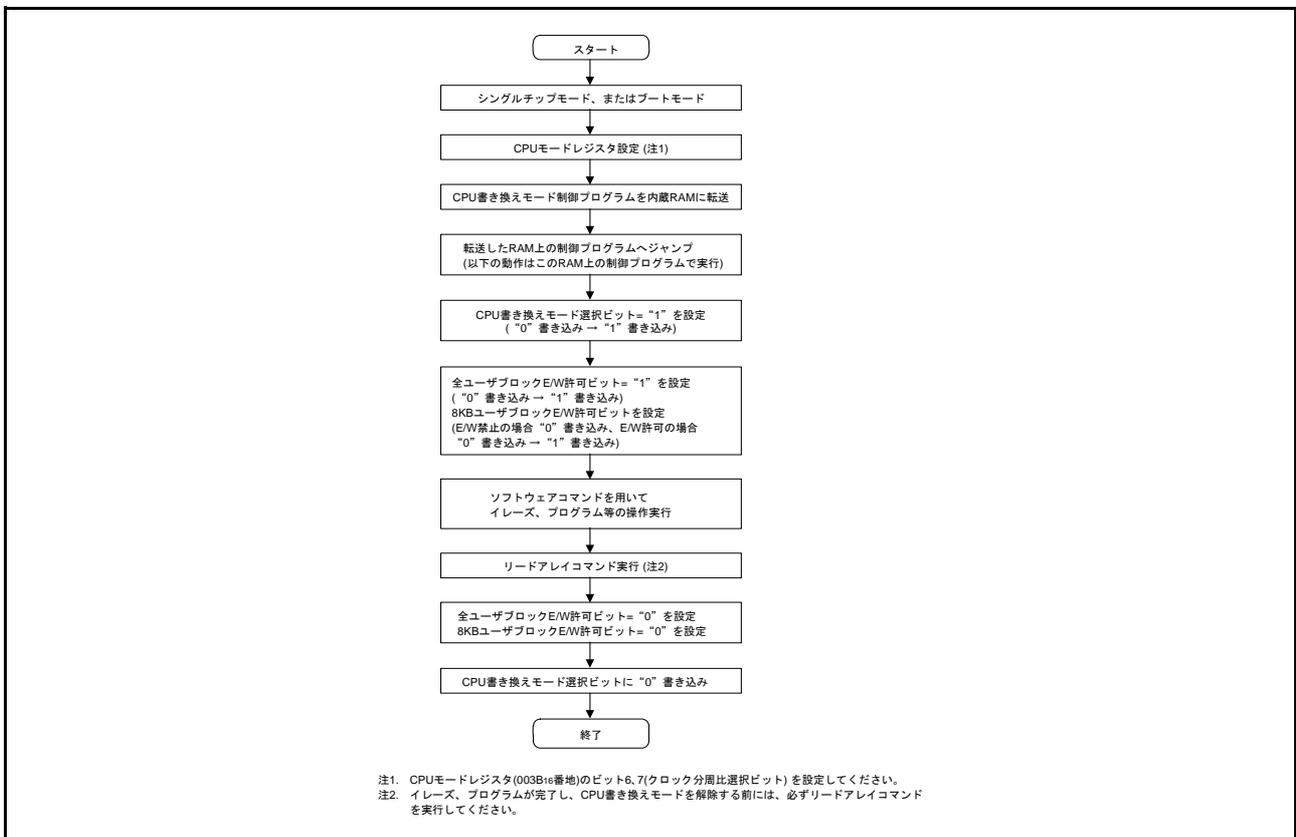


図85. CPU書き換えモードの設定/解除フローチャート

#### ■CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

##### (1) 動作速度

CPU書き換えモード中は、クロック分周比選択ビット(003B16番地のビット6,7)によって、システムクロック $\phi$ が4.0MHz以下になるように設定してください。

##### (2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

##### (3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

##### (4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

##### (5) リセット

常に受け付けます。リセット解除時、CNVss = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

### ●ソフトウェアコマンド

表18にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

#### ●リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0～D7)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

#### ●リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

#### ●クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

#### ●プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF16”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

表18. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)
リードアレイ	1	ライト	X(注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD(注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA(注2)	WD(注2)
ブロックイレーズ	2	ライト	X	2016	ライト	BA(注3)	D016

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス,WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

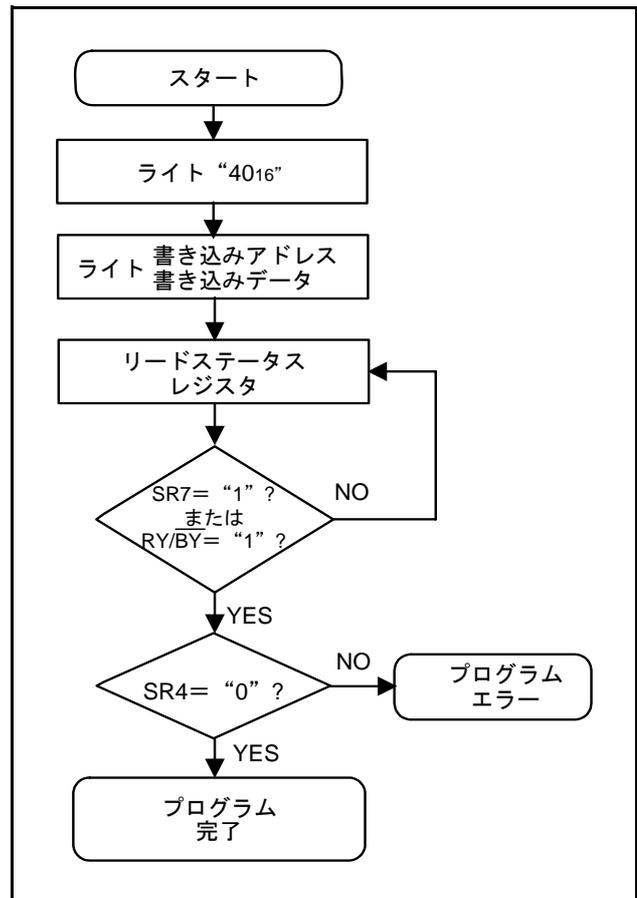


図86. プログラムフローチャート

• ブロックイレーズ(2016/D016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“D016”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズバリエーション)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

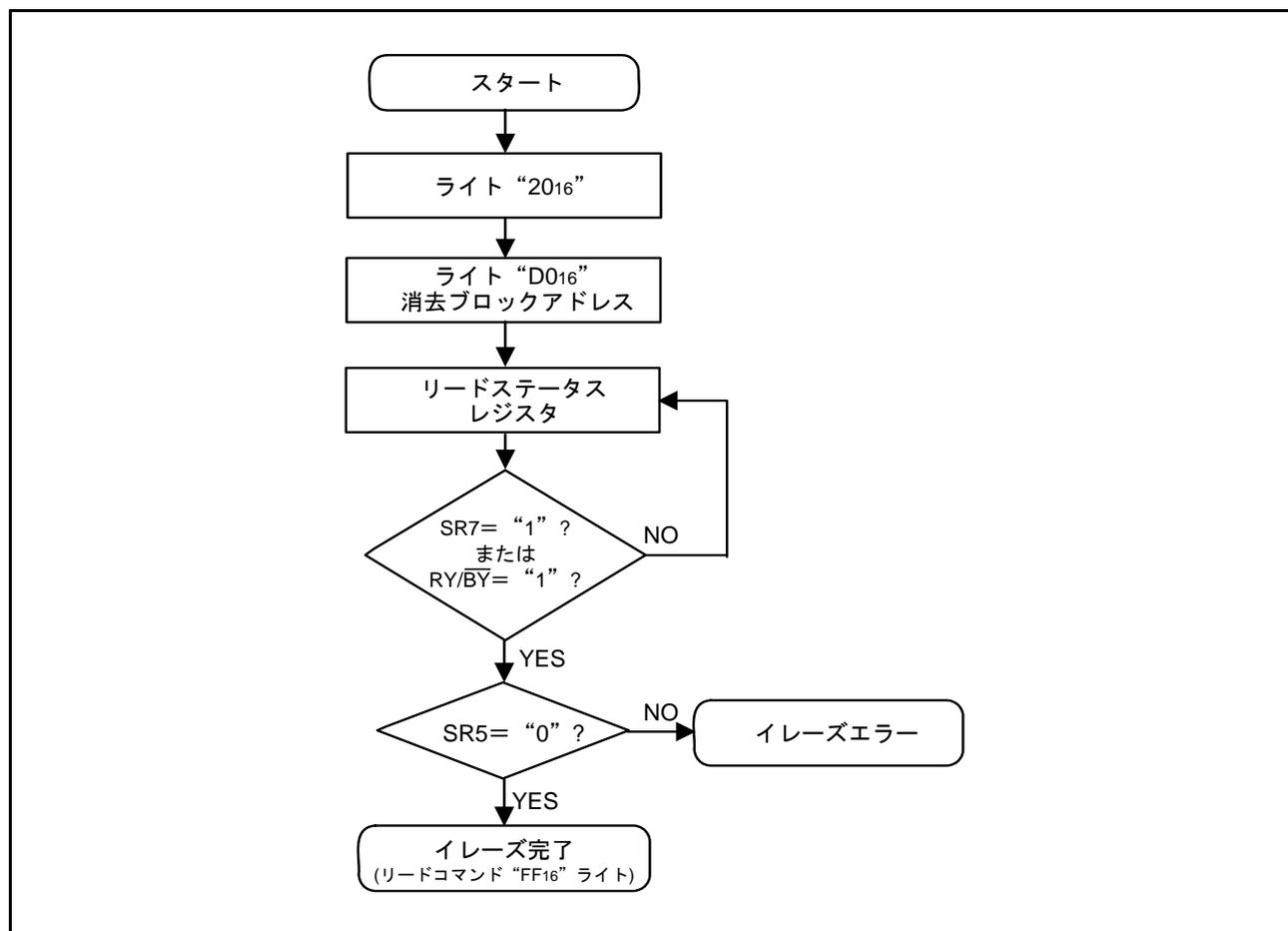


図87. イレーズフローチャート

### ●ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

(1) リードステータスレジスタコマンド (70<sub>16</sub>) をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき

(2) プログラム開始またはイレーズ開始から、リードアレイコマンド (FF<sub>16</sub>) 入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。クリアステータスレジスタコマンド (50<sub>16</sub>) をライトしたとき表 19 にステータスレジスタの各ビットの定義を示します。

リセット解除後、ステータスレジスタは、“80<sub>16</sub>” になります。

#### ●シーケンサステータス (SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は “1” (レディ) にセットされます。プログラムやイレーズの動作中は “0” (ビジー) にセットされますが、これらの動作終了とともに “1” にセットされます。

#### ●イレーズステータス (SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると “1” にセットされます。

イレーズステータスはクリアされると “0” になります。

#### ●プログラムステータス (SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると “1” にセットされます。

プログラムステータスはクリアされると “0” になります。

SR5、SR4のいずれかが “1” にセットされている状態では、リードアレイコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が “1” にセットされます。

表 19. ステータスレジスタの各ビットの定義

SRD の各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	—	—
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	—	—
SR2 (bit2)	リザーブ	—	—
SR1 (bit1)	リザーブ	—	—
SR0 (bit0)	リザーブ	—	—

### ●フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図88にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

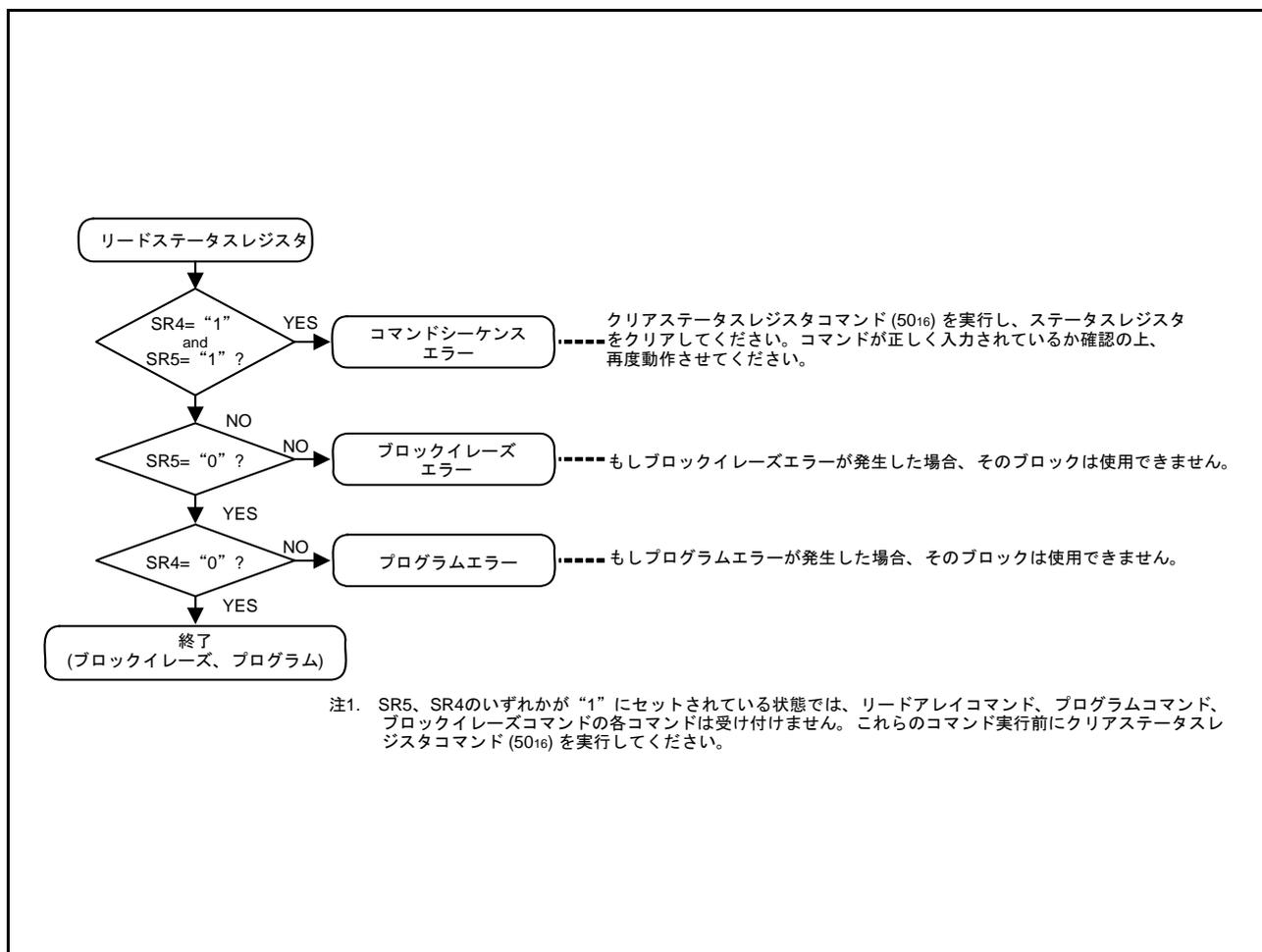


図88. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

### ●内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出しまたは書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードではIDコードチェック機能を内蔵しています。

#### ● ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB16番地)によって、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB16番地)の構成を図89に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出しまたは書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、標準シリアル入出力モードまたはCPUモードで書き換えてください。

書き換えの際にはROMコードプロテクト制御番地(FFDB16番地)を含むユーザROM領域(ブロック0)全体を書き換えてください。ROMコードプロテクト制御番地(FFDB16番地)だけの書き換えはできません。

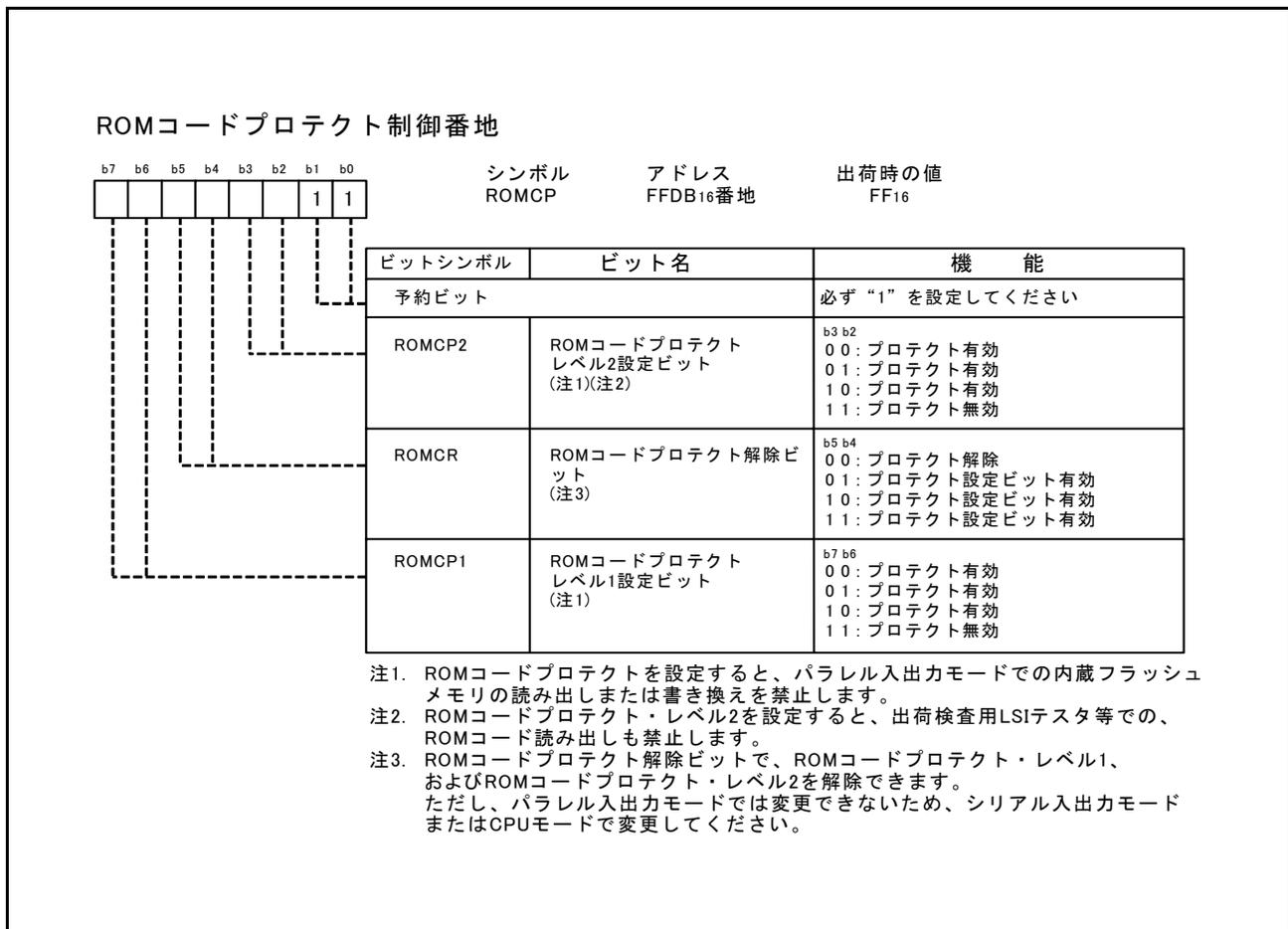


図89. ROMコードプロテクト制御番地の構成

- IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライターから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4<sub>16</sub>～FFDA<sub>16</sub>番地に割り付けられています。これらの番地にあらかじめIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

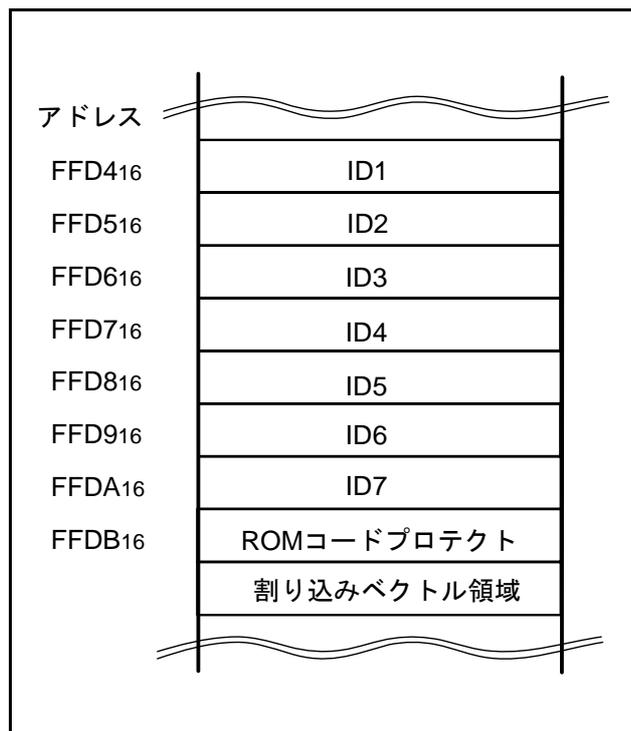


図90. IDコードの格納アドレス

● **パラレル入出力モード**

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

• **ユーザROM領域とブートROM領域**

パラレル入出力モードでは、図 81 に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000<sub>16</sub>～FFF<sub>16</sub>番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

**●標準シリアル入出力モード**

標準シリアル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライターを使用します。

標準シリアル入出力モードはパラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードはP45(BOOTENT)端子が“H”、CNVss端子が“H”の状態でのリセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード1とクロック非同期形シリアルの標準シリアル入出力モード2があります。表20、表21に標準シリアル入出力モード時の端子の機能説明を、図91～図96に標準シリアル入出力モード時の端子結線図を、図97、図98に標準シリアル入出力モード1と2の動作波形図を、図99、図100に標準シリアル入出力モード1使用時の基板上の端子処理例を示します。

標準シリアル入出力モードでは、図81に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するかを判定します。IDコードの内容が一致しなければライターから送られてくるコマンドを受け付けません。

表20. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V～5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00～P07, P10～P17 P20～P27, P30～P37 P40～P43, P50～P57 P60～P67	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P44	RxD入力	入力	シリアルデータの入力端子です。
P45	TxD出力	出力	シリアルデータの出力端子です。
P46	SCLK入力	入力	シリアルクロックの入力端子です。
P47	BUSY出力	出力	BUSY信号の出力端子です。

表21. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V～5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00～P07, P10～P17 P20～P27, P30～P37 P40～P43, P50～P57 P60～P67	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P44	RxD入力	入力	シリアルデータの入力端子です。
P45	TxD出力	出力	シリアルデータの出力端子です。
P46	SCLK入力	入力	“L”を入力してください。
P47	BUSY出力	出力	BUSY信号の出力端子です。

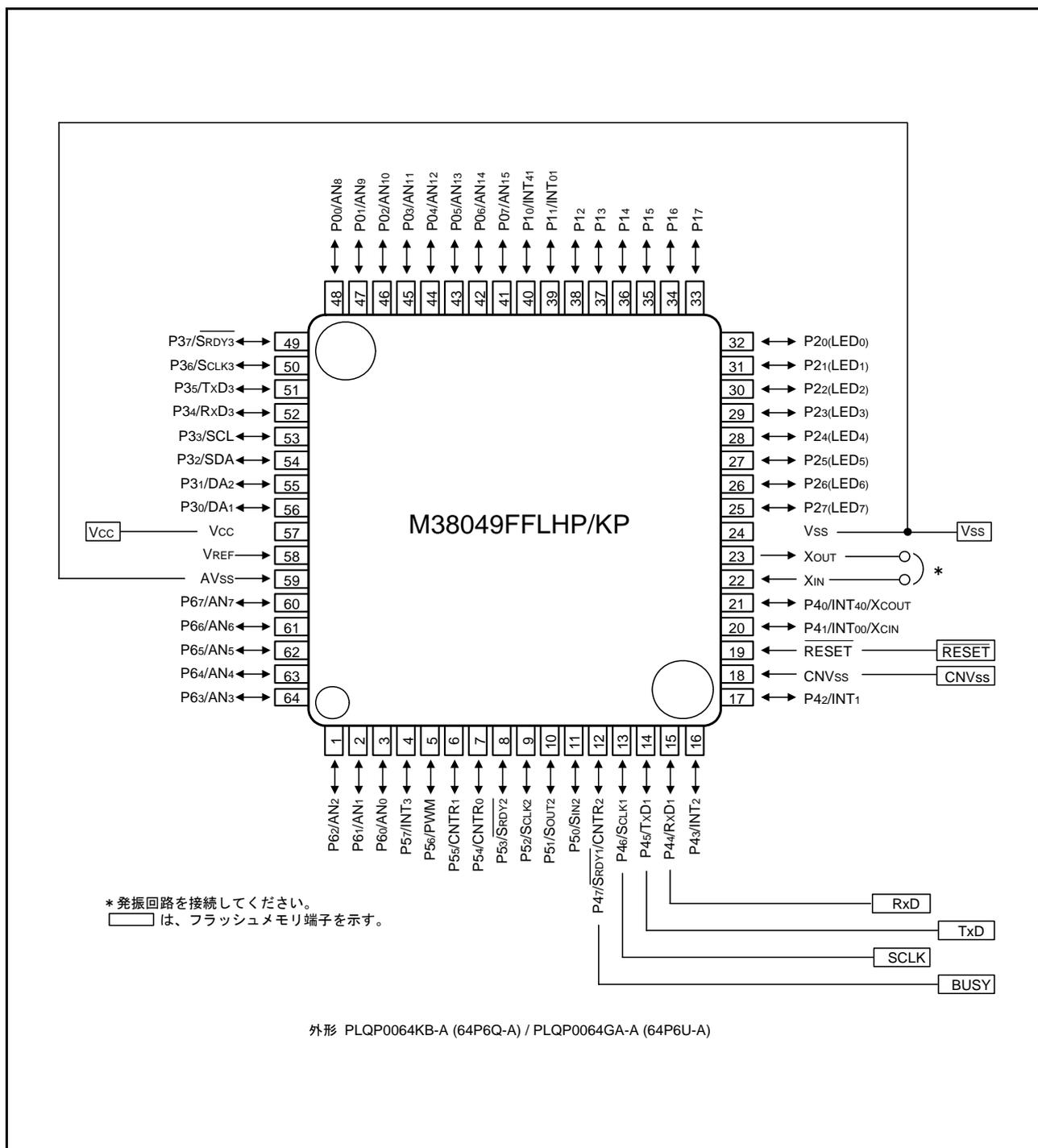


図91. 標準シリアル入出力モード1時の端子結線図 (M38049FFLHP/KP)

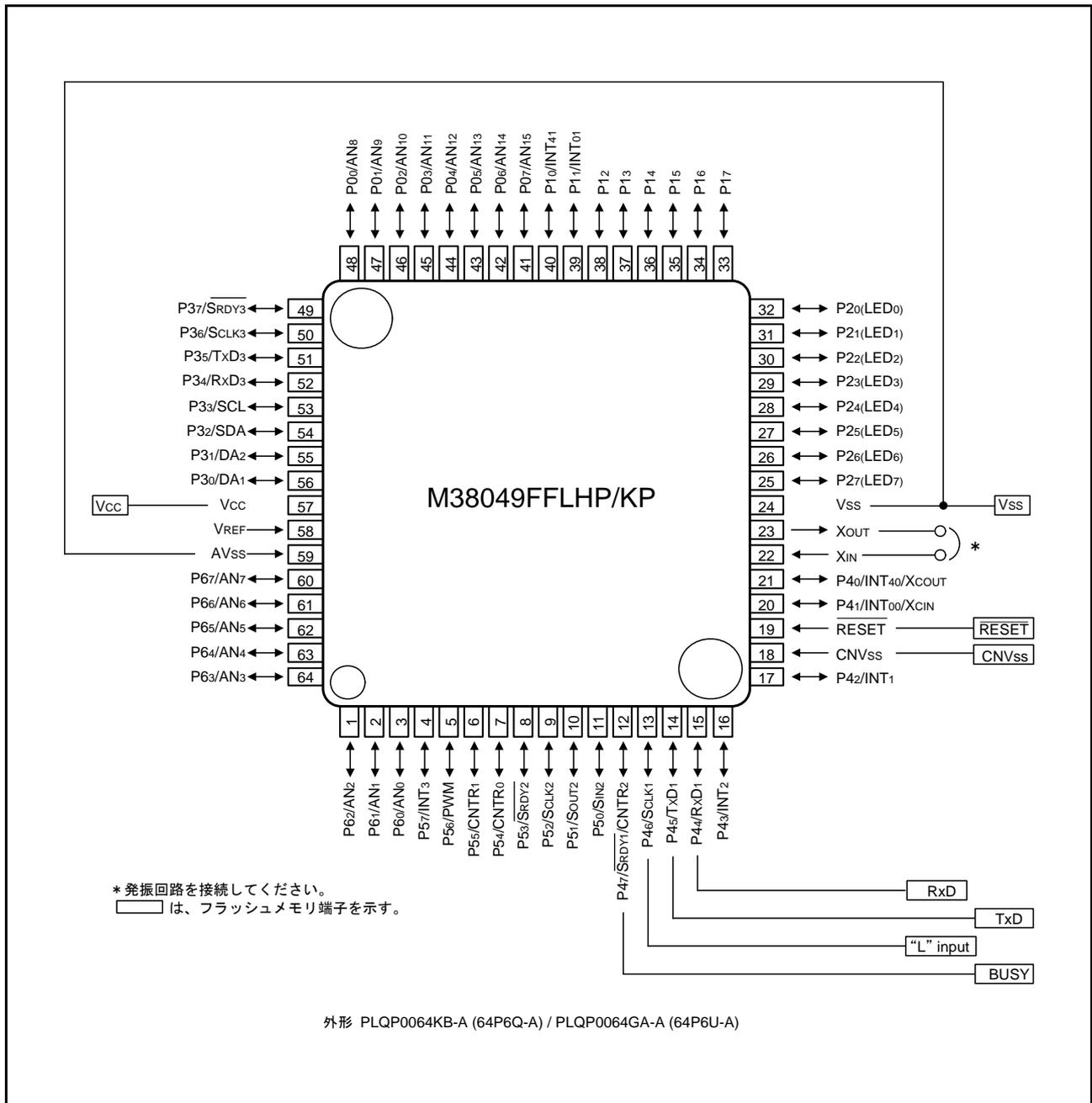


図92. 標準シリアル入出力モード2時の端子結線図 (M38049FFLHP/KP)

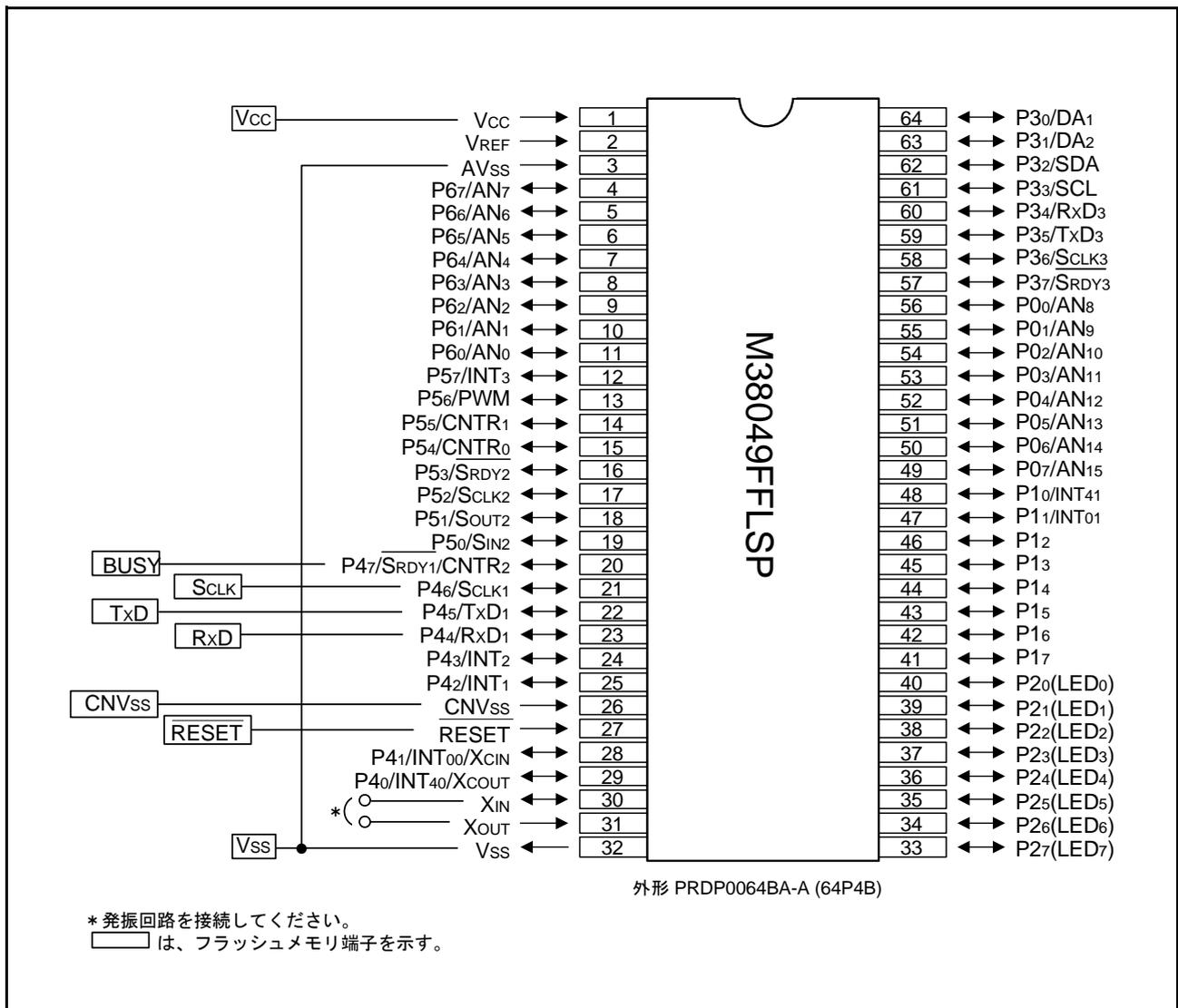


図93. 標準シリアル入出力モード1時の端子結線図 (M38049FFLSP)

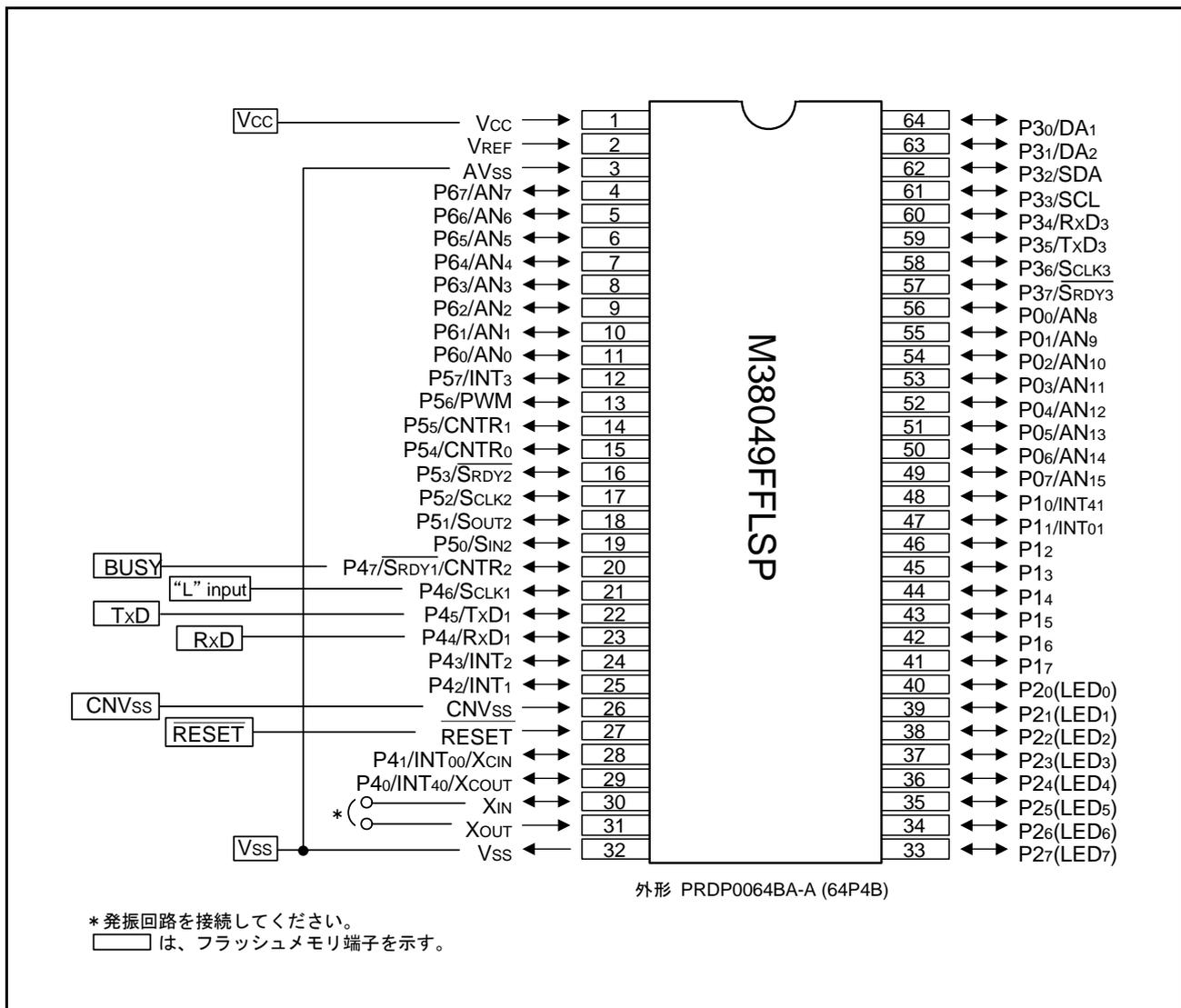


図94. 標準シリアル入出力モード2時の端子結線図 (M38049FFLSP)

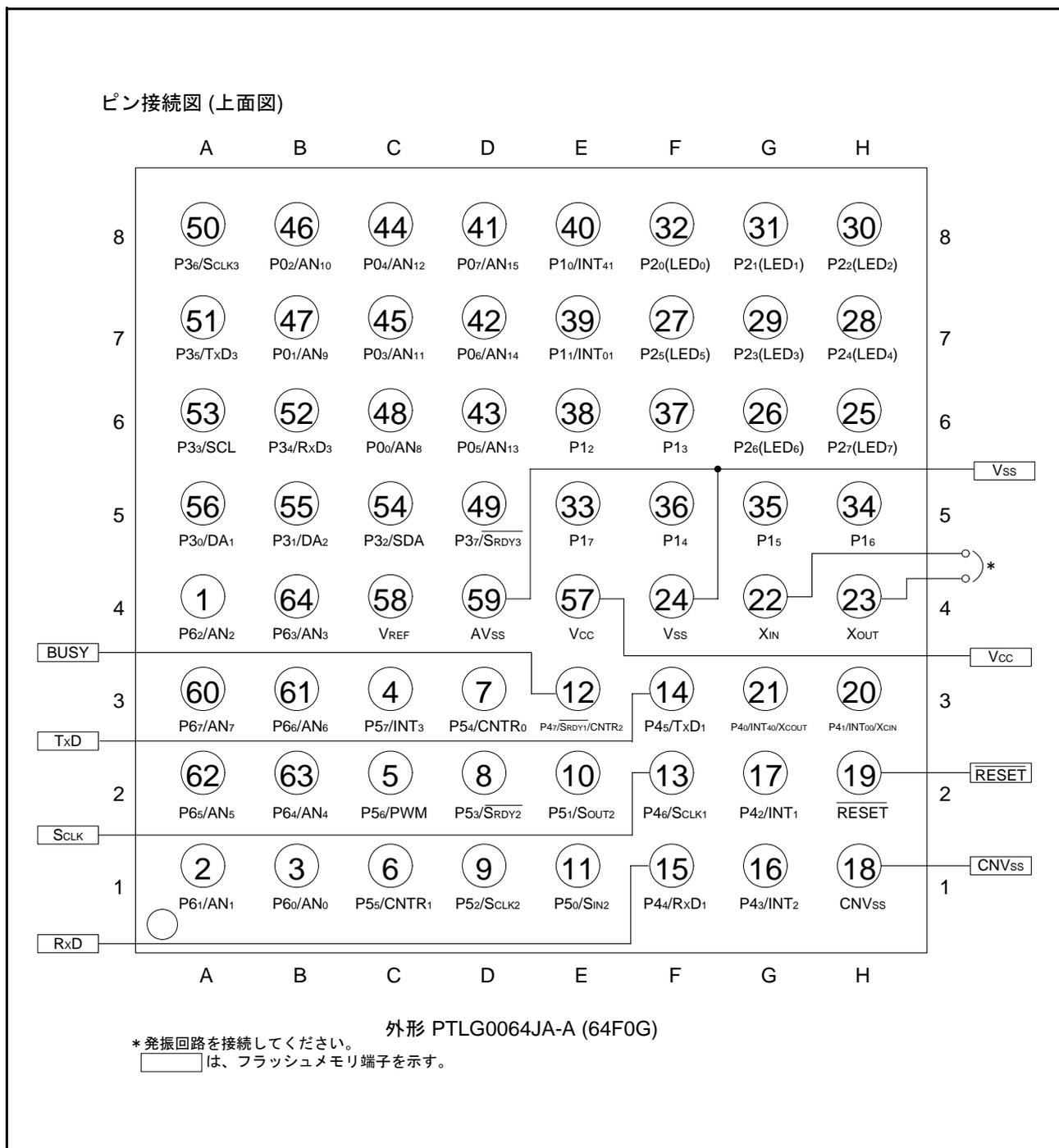


図95. 標準シリアル入出力モード1時の端子結線図 (M38049FFLWG)

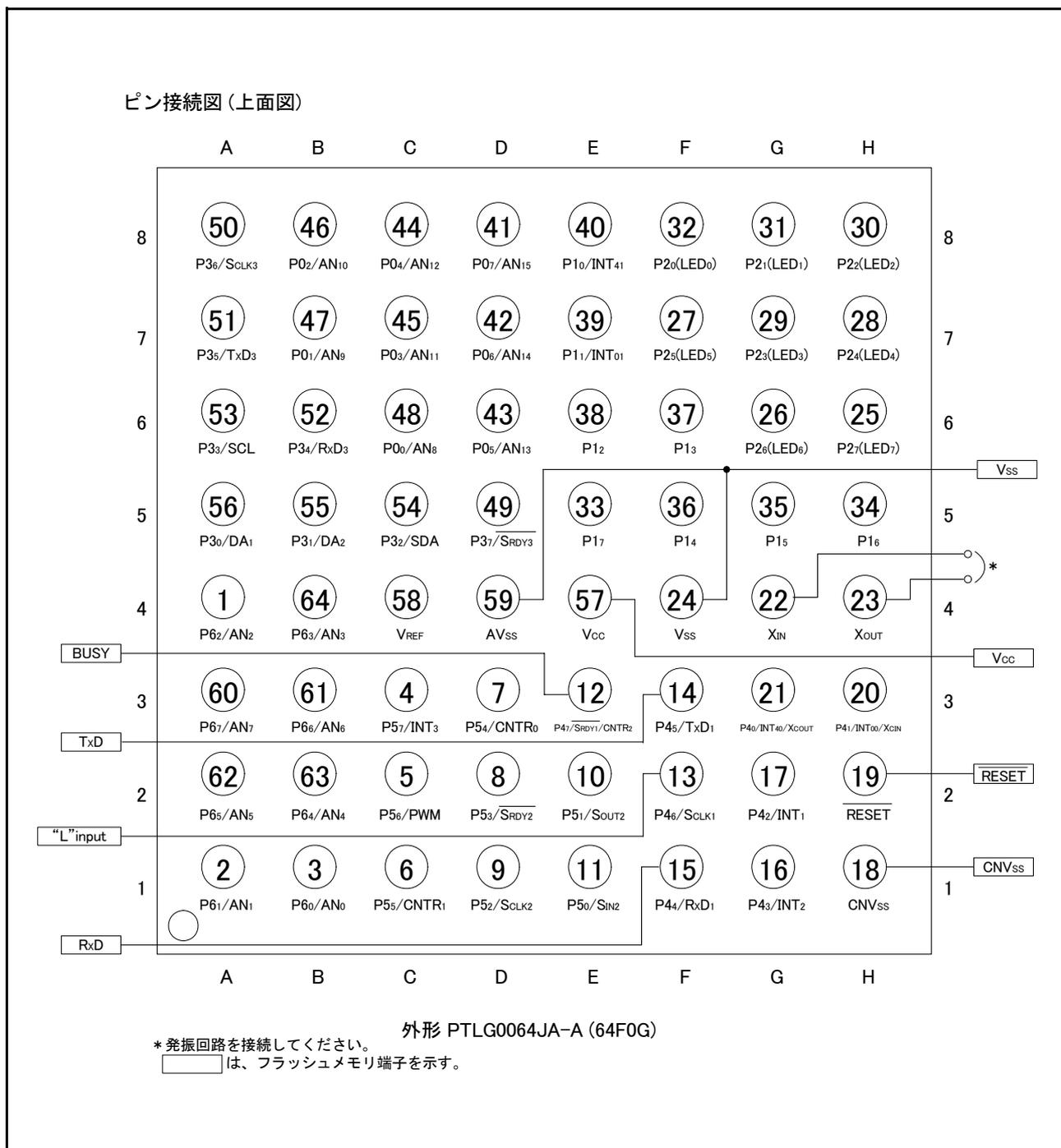


図96. 標準シリアル入出力モード2時の端子結線図 (M38049FFLWG)

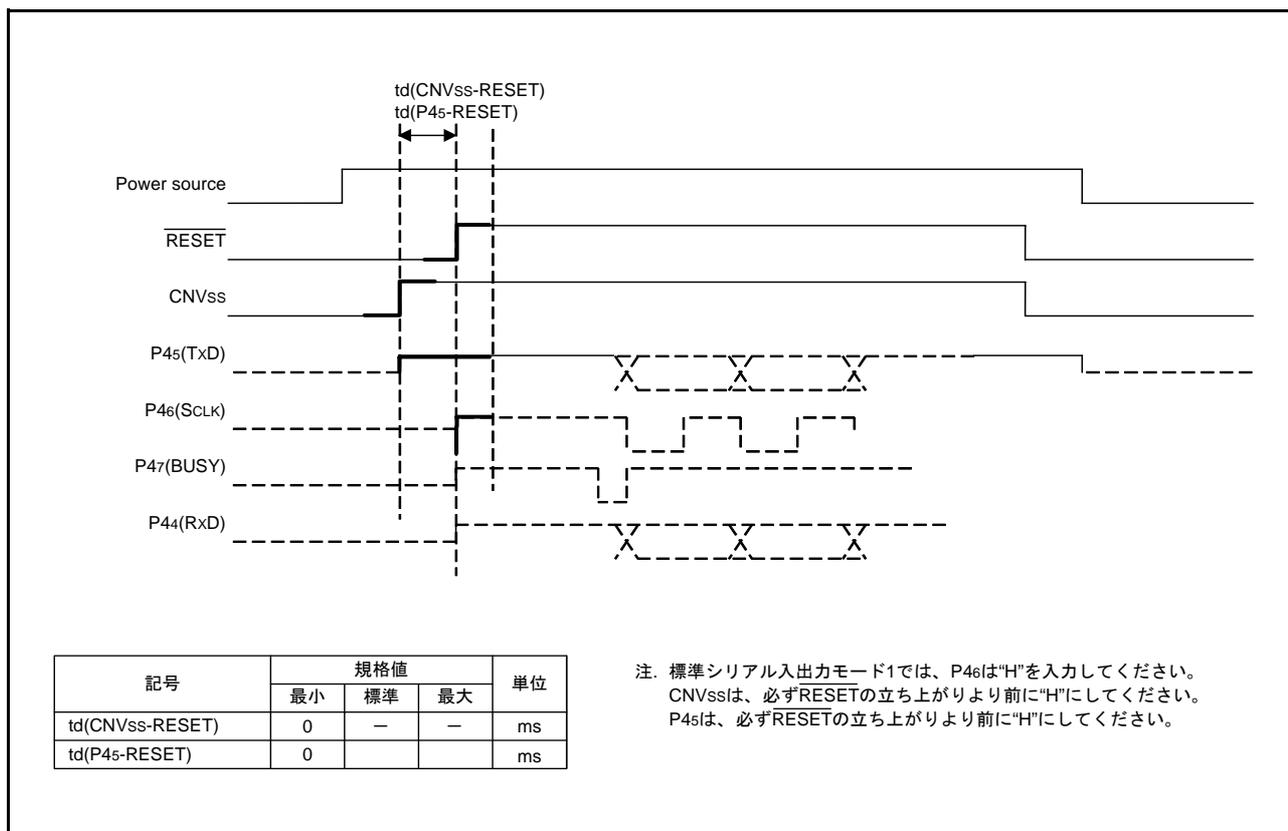


図97. 標準シリアル入出力モード1時の動作波形図

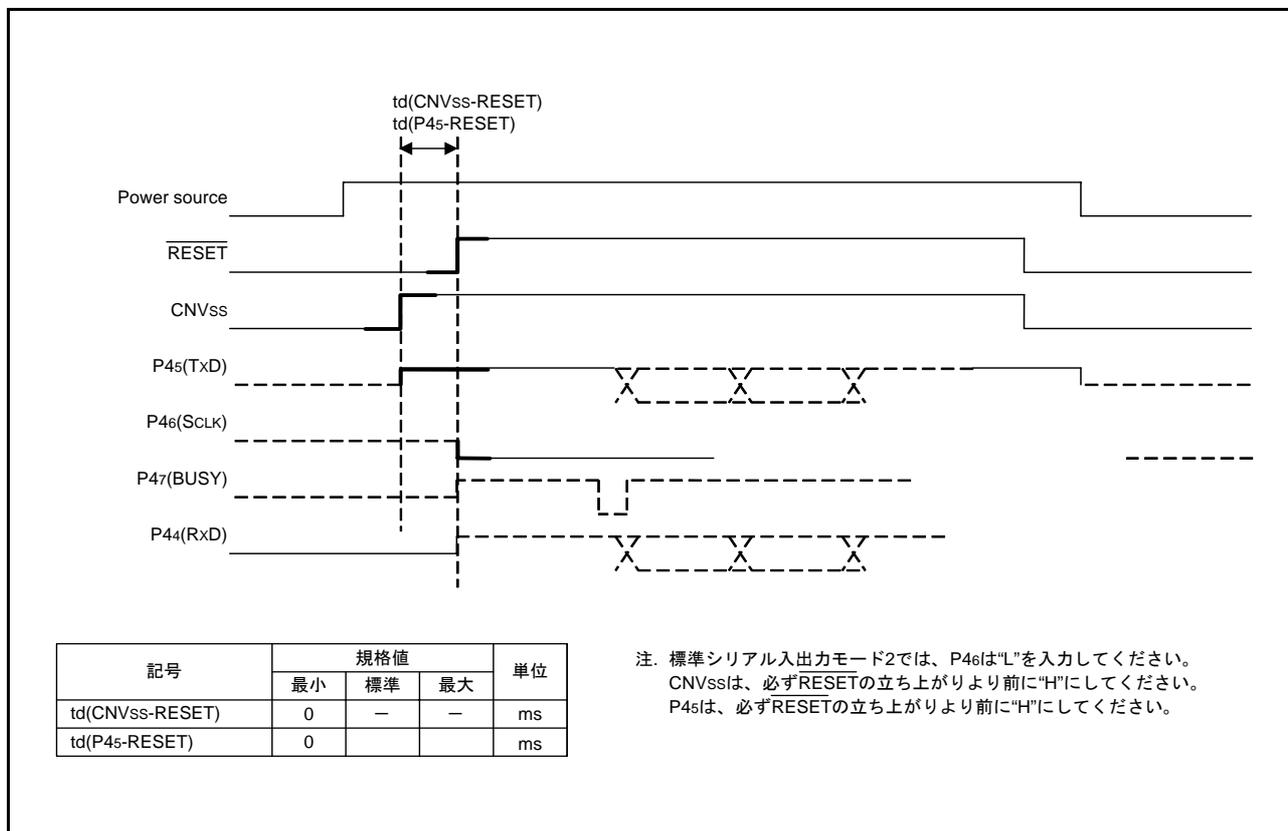


図98. 標準シリアル入出力モード2時の動作波形図

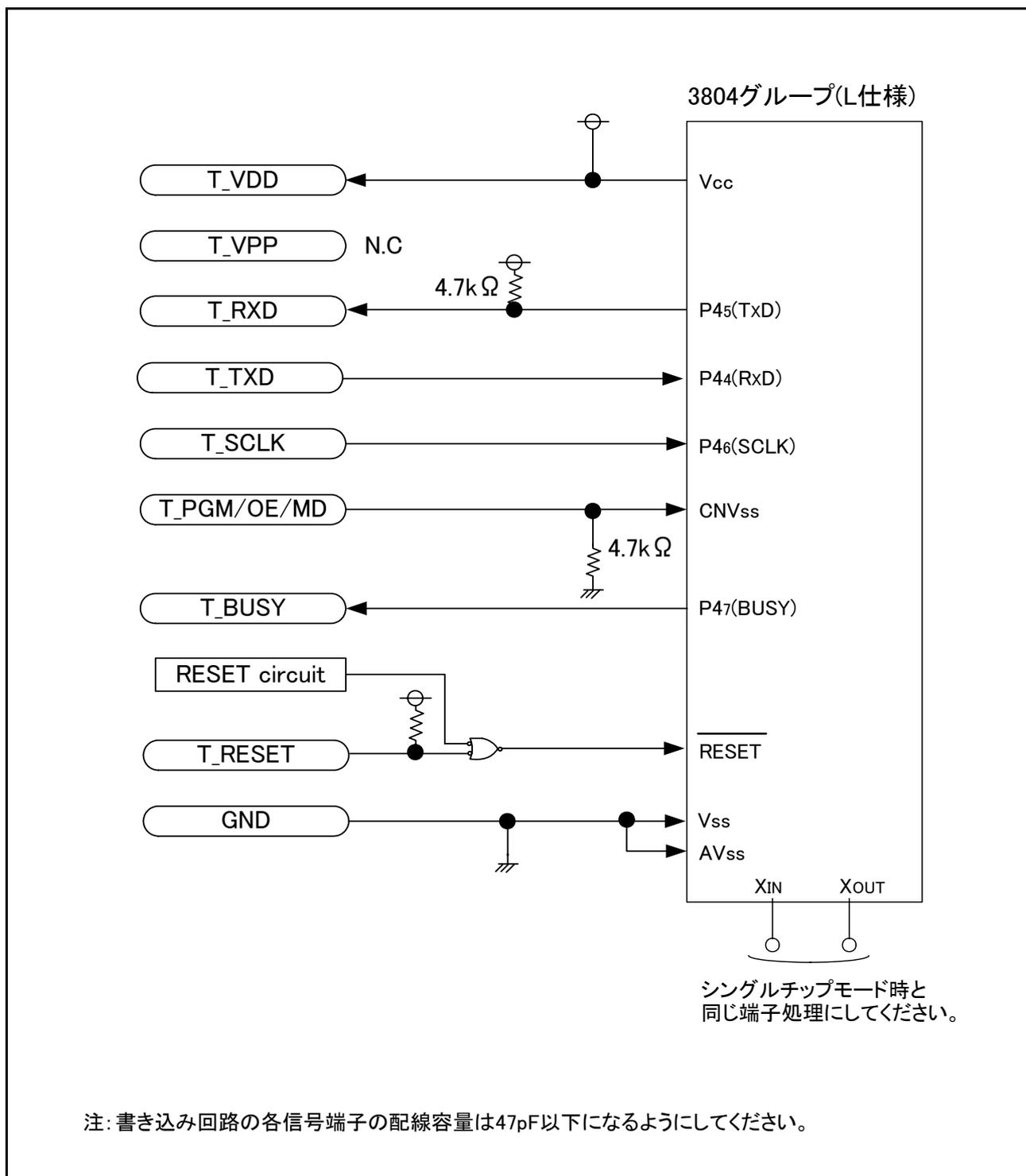


図99. 彗星電子システム製プログラマ(標準シリアル入出力モード1) 使用時の基板上の端子処理例

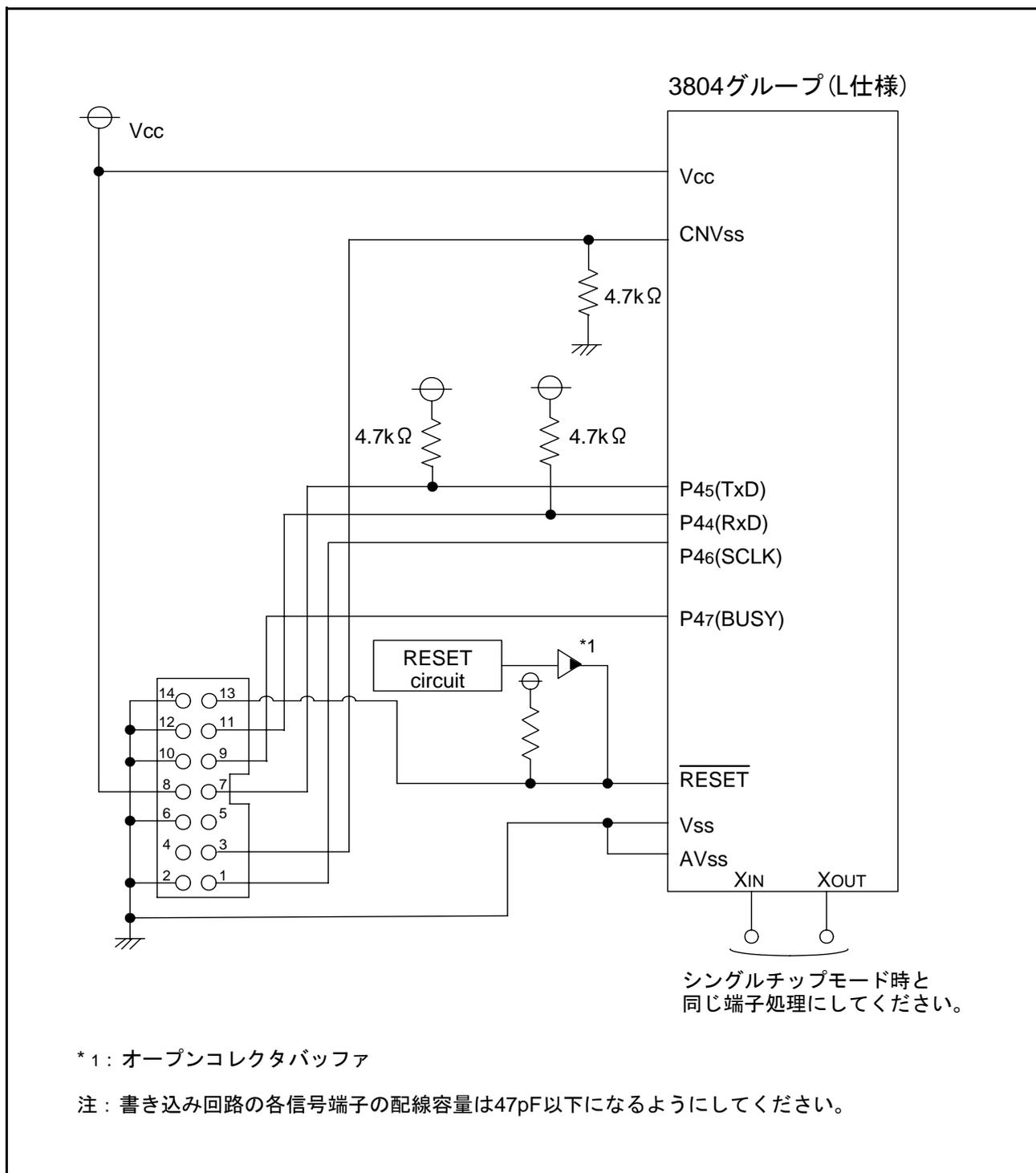


図100. E8プログラマ(標準シリアル入出力モード1)使用時の基板上の端子処理例

## 注意事項

### プログラム作成に関する注意事項

#### 1. プロセッサステータスレジスタ

##### (1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

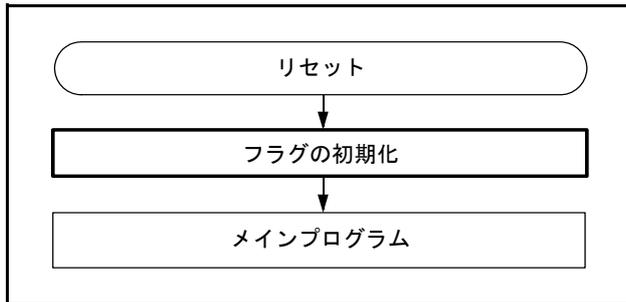


図101. プロセッサステータスレジスタのフラグの初期化

##### (2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

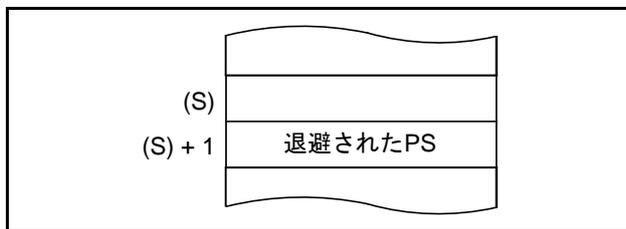


図102. PHP命令実行後のスタックメモリの内容

## 2. 10進演算

### (1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令またはSBC命令を実行します。その場合、SEC命令、CLC命令、またはCLD命令は、ADC命令またはSBC命令よりも一命令後に行ってください。

### (2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

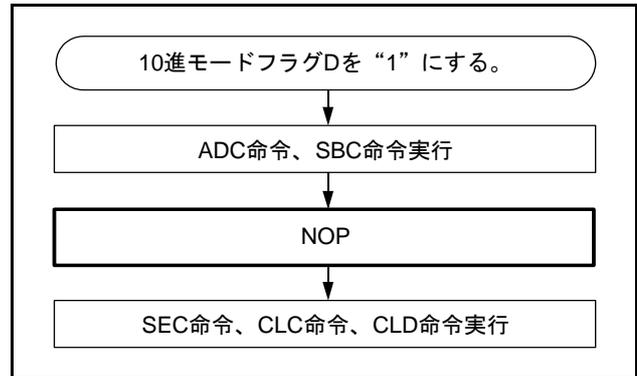


図103. 10進演算時の命令

## 3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

## 4. 乗除算命令

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

## 5. ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

## 6. 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロックφの周期をかけることによって得られます。内部クロックφの周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

## ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

### (1) 配線長の短縮

#### ①リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVSS端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

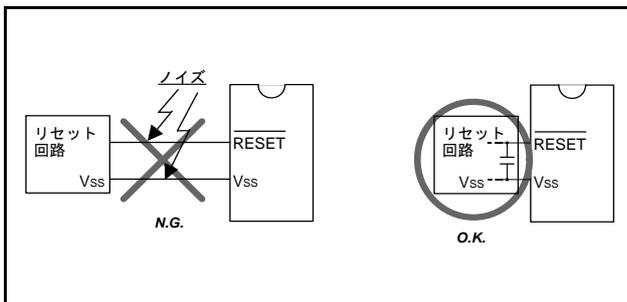


図104. リセット入力端子の配線

#### ②クロック入出力端子の配線

・クロック入出力端子に接続する配線は短くしてください。

・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。

・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

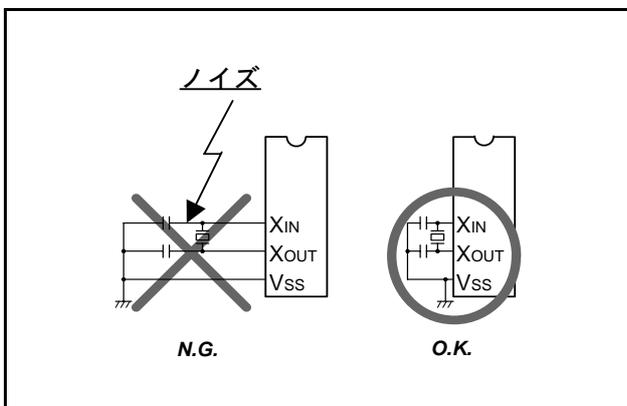


図105. クロック入出力端子の配線

### (2) Vss-Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss-Vccライン間に0.1μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子-バイパスコンデンサ間の配線長とVcc端子-バイパスコンデンサ間の配線長を等しくする
- ・Vss端子-バイパスコンデンサ間の配線長とVcc端子-バイパスコンデンサ間の配線長を最短とする
- ・VssラインおよびVccラインは他の信号線よりも幅の広い配線を使用する・電源配線は、バイパスコンデンサを経由してVss端子およびVcc端子へ接続する

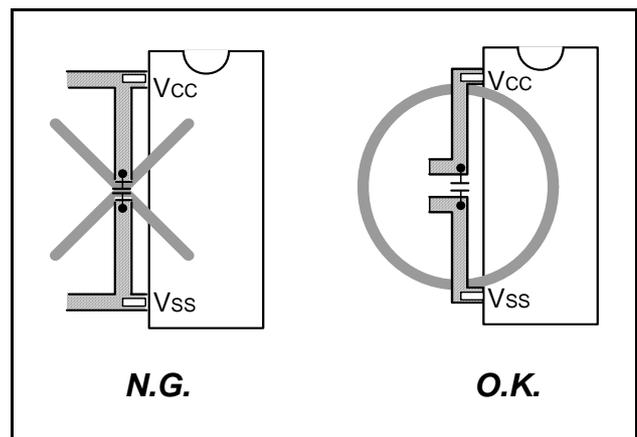


図106. Vss-Vccライン間のバイパスコンデンサ

### (3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

#### ①大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

## ②高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

<理由>

高速にレベル変化するCNTR端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

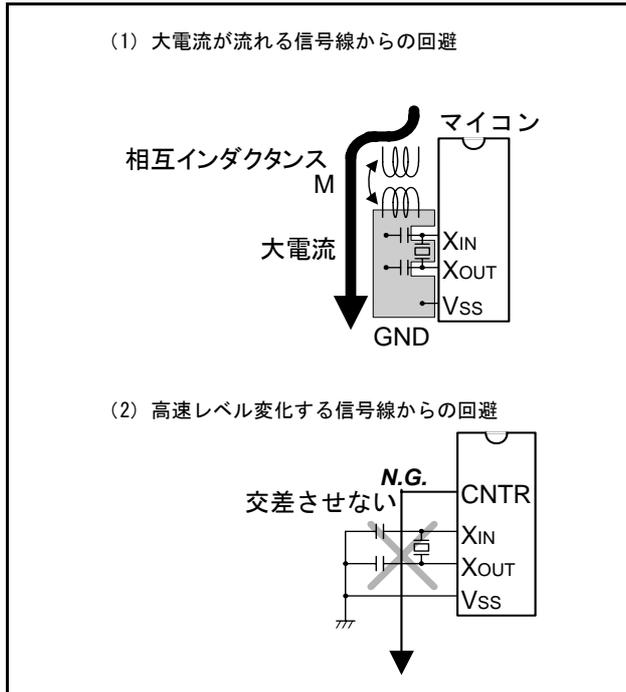


図107. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

## (4) アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

## (5) メモリ容量の違い

同一グループ内のメモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

## (6) CNVss端子の配線

CNVss端子はフラッシュメモリモードを決定する端子です。

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。(注) また、5kΩ程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

注. 注. ブートモード、標準シリアル入出力モードを使用する場合は、CNVss端子の入力レベル切り替えが必要になります。

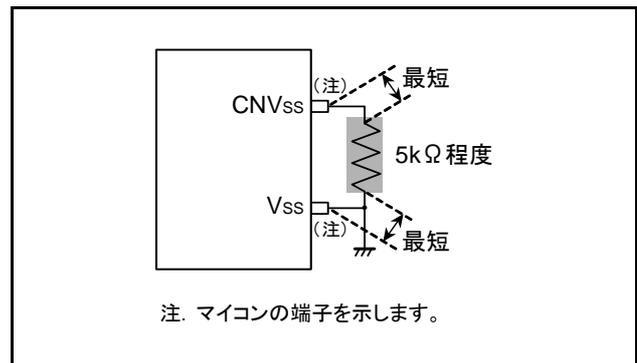


図108. CNVss端子の配線

**周辺機能に関する注意事項****入出力端子に関する注意事項****(1) スタンバイ状態での使用**

低消費電力を目的としてスタンバイ状態\*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ（Vccに接続）またはプルダウン（Vssに接続）してください。

抵抗値を決定する際は、以下の2点に留意してください。

- 外付け回路
  - 通常動作時の出力レベルの変動
- また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。
- 入力ポートに設定している場合：入力レベルを固定する。
  - 出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

\*1スタンバイ状態：STP命令実行によるストップモード  
WIT命令実行によるウェイトモード

**(2) ビット処理命令による出力データの書き換え**

入出力ポートのポートラッチをビット処理命令\*2を用いて書き換える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モードまたは出力モードを設定できます。ポートレジスタに読み出し、書き込みを行うと次のように動作します。

- 入力モードのポート  
読み出し：端子のレベルを読む。  
書き込み：ポートラッチへ書く。
- 出力モードのポート  
読み出し：ポートラッチを読む、または、周辺機能の出力を読む（ポートにより仕様が異なる）。  
書き込み：ポートラッチへ書く（ポートラッチの内容を端子から出力する）。

一方、ビット処理命令はリード・モディファイ・ライト命令\*2ですので、ポートレジスタにビット処理命令を実行した場合、命令で指定していないビットにも同時に読み出しおよび書き込みが行われます。

指定していないビットが入力モードの場合は、端子のレベルを読み、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違う場合は、ポートラッチの内容が変化します。

指定していないビットが出力モードの場合は、基本的にはポートラッチを読みますが、周辺機能の出力を読むポートもあり、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、周辺機能の出力が違う場合は、ポートラッチの内容が変化します。

\*1ビット処理命令：SEB命令、CLB命令

\*2リード・モディファイ・ライト命令：メモリをバイト単位で読み（リード）、加工して（モディファイ）、元のメモリにバイト単位で書く（ライト）命令

## 未使用端子の処理に関する注意事項

### 1. 未使用端子の適切な処理

#### (1) 出力専用ポート

開放してください。

#### (2) 入出力ポート

入力モードに設定し、1～10kΩの抵抗を介してVccまたはVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”または“H”出力状態で開放してください。

- 出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

#### (3) A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- AVss:Vssに接続

### 2. 処理上の留意事項

#### (1) 入出力ポート

入力モードで開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 上記適切な処理「1. (2) 入出力ポート」に比べ、ノイズの影響を受け易くなります。

#### (2) 入出力ポート

入力モードに設定した場合、VccまたはVssに直結しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

#### (3) 入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、VccまたはVssに接続しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- 未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

## 割り込みに関する注意事項

### 1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択および複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

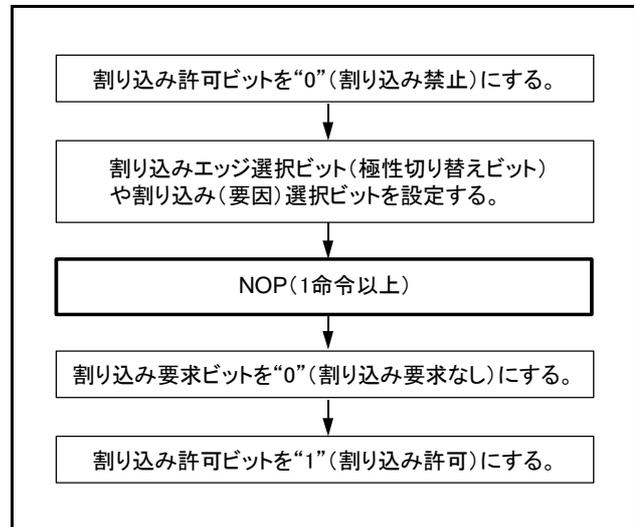


図109. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際  
対象レジスタ： 割り込みエッジ選択レジスタ (003A16番地)  
タイマXYモードレジスタ (002316番地)  
タイマZモードレジスタ (002A16番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ： 割り込み要因選択レジスタ (003916番地)

### 2. 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令またはBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令またはBBS命令を実行する前に、1命令実行してください。

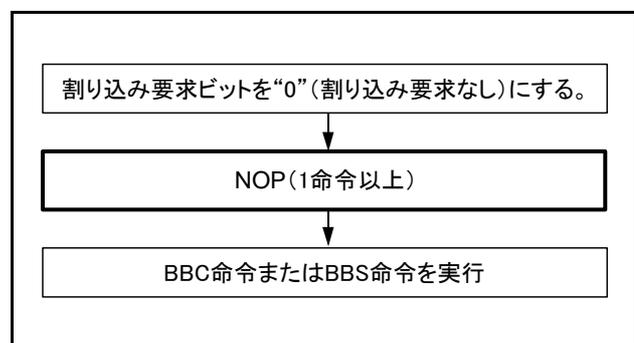


図110. 割り込み要求ビットの設定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令またはBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

## 8ビットタイマ (タイマ1、タイマ2、タイマX、タイマY) に関する注意事項

- タイマラッチに値  $n$  (“0” ~ “255”) を書き込んだ場合の分周比は、 $1/(n+1)$  です。
- タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。
- パルス出力モードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。
- イベントカウンタモードおよびパルス幅測定モードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

## 16ビットタイマ (タイマZ) に関する注意事項

### 1. パルス出力モード

- CNTR2端子と共用のポートP47を出力に設定してください。

### 2. パルス周期測定モード

- CNTR2端子と共用のポートP47を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中 (パルス周期未測定中) のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

### 3. パルス幅測定モード

- このモードではCNTR2端子と共用のポートP47を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中 (パルス周期未測定中) のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ、“FFFF16”に設定されます。よってパルス幅測定開始時のタイマの値は測定開始以前のタイマの値に依存します。

## 4. プログラマブル波形発生モード

- このモードではCNTR2端子と共用のポートP47を出力に設定してください。

## 5. プログラマブルワンショット発生モード

- このモードではCNTR2端子と共用のポートP47を出力に、INT1端子と共用のポートP42を入力に設定してください。
- 低速モード選択時、プログラマブルワンショット発生モードは使用できません。
- ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

## 6. 全モードにおいて

### • タイマZ書き込み制御

タイマZはタイマZモードレジスタ (002A16番地) のタイマZ書き込み制御ビット (b3) によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

### • タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

### • CNTR2、INT1割り込み極性切り替え

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

### • カウントソース切り替え

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

## シリアルインタフェースに関する注意事項

## 1. 同期形の選択時

## (1) 送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)の場合、シリアルI/Oi許可ビットおよび送信許可ビットを“0”(シリアルI/Oi禁止および送信禁止)にしてください。

<理由>

シリアルI/Oi許可ビットだけを“0”(シリアルI/Oi禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLKi、 $\overline{\text{SRDYi}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/Oi許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

## (2) 受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)の場合、受信許可ビットを“0”(受信禁止)、またはシリアルI/Oi許可ビットを“0”(シリアルI/Oi禁止)にしてください。

## (3) 送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また「(1)送信動作の停止」と同様に、シリアルI/Oi許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

## 2. 非同期形の選択時

## (1) 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることでは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

## (2) 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

## (3) 送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることでは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側の $\overline{\text{SRDYi}}$ (i=1,3)出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDYi}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDYi}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

## 4. シリアルI/Oi(i=1, 3)制御レジスタの再設定

シリアルI/Oi制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。

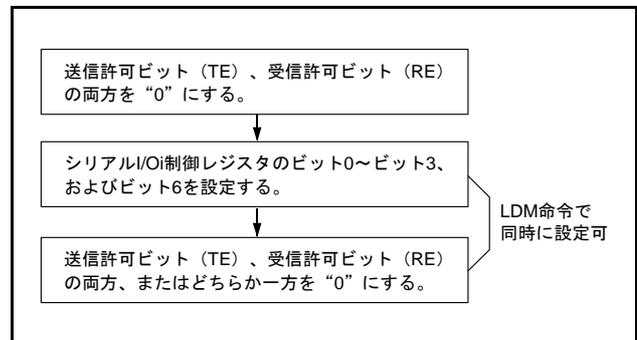


図 111. シリアルI/Oi(i=1, 3)制御レジスタの再設定手順

## 5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## 6. 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLKi(i=1, 3)が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKiが“H”の状態で行ってください。

## 7. 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

- (1) シリアル I/Oi 送信割り込み許可ビット (i=1, 3) を“0” (禁止) にする。
- (2) 送信許可ビットを“1”にする。
- (3) 一命令以上おいてからシリアル I/Oi 送信割り込み要求ビット (i=1, 3) を“0”にする。
- (4) シリアル I/Oi 送信割り込み許可ビット (i=1, 3) を“1” (許可) にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、および送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

## 8. ポーレートジェネレータ i(BRGi)(i=1, 3)への書き込み

UARTi(i=1, 3) ポーレートジェネレータ i(BRGi)(i=1, 3)への書き込みは、送受信停止中に行ってください。

## PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- カウントソース選択ビット=“0”, n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- カウントソース選択ビット=“1”, n=プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

## A/Dコンバータに関する注意事項

### 1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、0.01μF～1μFの外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

### 2. A/Dコンバータ用電源端子

A/D変換機能の使用または不使用にかかわらず、A/Dコンバータ用電源端子AVssはVssに接続してください。

<理由>

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

### 3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- f(XIN)は500kHz以上にしてください。
- STP命令を実行しないでください。

### 4. 10ビットA/Dモード時の8ビット読み出しと8ビットモードの差異

10ビットA/Dモード時の8ビット読み出しでは、A/D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA/Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一の変換特性となります。

## D/Aコンバータに関する注意事項

D/Aコンバータ使用時は以下の点に注意してください。

### 1. DAコンバータを使用する場合のVcc

DAコンバータの精度はVccが4.0V以下で異なります。DAコンバータを使用する場合はVccを4.0V以上にすることを推奨します。

### 2. DAコンバータを使用しない場合のDAi変換レジスタ

DAコンバータを使用しない場合、D/Ai変換レジスタ(i=1, 2)の設定値は、すべて“0016”にしてください。リセット後の初期値は“0016”です。

## ウォッチドッグタイマに関する注意事項

- ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。
- ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを一旦“1”にすると、プログラムにより“0”に書き換えることはできません。

## リセット端子に関する注意事項

### コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- コンデンサの配線長は最短にしてください。
- ユーザサイドで応用製品の動作確認を十分行ってください。

### <理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

## 低速モードに関する注意事項

### 1. サブクロックの使用

サブクロックを使用する場合、CPUモードレジスタのビット3を常に“1”に固定してください。またRd(図112参照)の抵抗値を調整することにより、発振の安定を図ってください。この抵抗値については発振子メーカーにお問い合わせください。

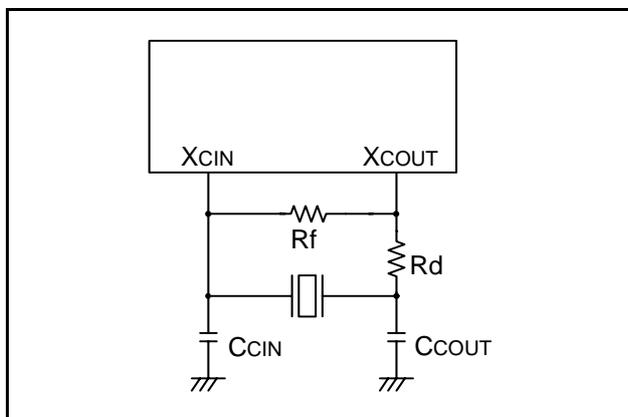


図112. 水晶発振外付け

### <理由>

CPUモードレジスタのビット3を“0”に設定すると、サブクロックの発振動作が停止することがあります。

## 2. 中/高速モードと低速モード間の移行

中/高速モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \times f(XCIN)$ である必要があります。

## 水晶発振子に関する注意事項

16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

## 発振の再開に関する注意事項

### 発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1およびプリスケアラ12には特定の値(タイマ1には0116、プリスケアラ12にはFF16)が発振安定待ちのため自動的にセットされます。一方、MISRG(001016番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1およびプリスケアラ12に残っている値が発振安定待ち時間用のカウント値になってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1およびプリスケアラ12に設定してください。

### <理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

## ストップモード使用上の注意事項

### • レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが“0”のとき)

### • 復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していませんので、注意してください。

## ウェイトモード使用上の注意事項

### 復帰後のクロック

WIT 命令実行時に XCIN をシステムクロックとして設定し、XIN の発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCIN の発振が停止し、XIN が発振を開始し、XIN がシステムクロックになります。

上記において XIN の発振が安定するまで、RESET 端子に“L” レベルを入力しておく必要があります。

## フラッシュメモリ版の CPU 書き換えモードに関する注意事項

### 1. 動作速度

CPU 書き換えモード中は、メインクロック分周比選択ビット(003B16番地のビット6,7)によって、システムクロック  $\phi$  が4.0MHz以下になるように設定してください。

### 2. 使用禁止命令

CPU 書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

### 3. 割り込み

CPU 書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

### 4. ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

### 5. リセット

常に受け付けます。リセット解除時、CNVss=H の場合、ブートモードで起動されるので、ブートROM 領域の FFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

## フラッシュメモリ版に関する注意事項

CNVss 端子はフラッシュメモリモードを決定する端子です。

CNVss 端子は、マイコンの Vss 端子に供給している GND からできるだけ近い GND パターンに最短で接続してください。(注) また、5 k $\Omega$  程度の抵抗を直列に挿入し GND に接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンの Vss 端子に供給している GND からできるだけ近い GND パターンに最短で接続してください。

注. 注. ブートモード、標準シリアル入出力モードを使用する場合は、CNVss 端子の入カレベル切り替えが必要になります。

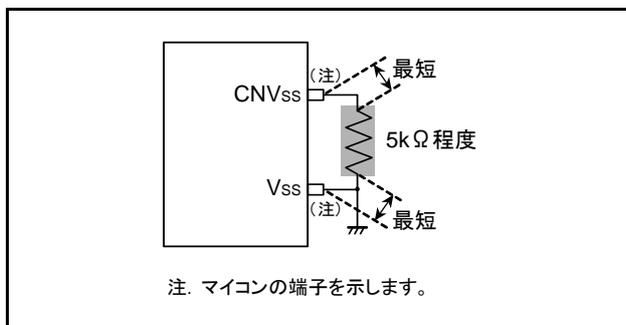


図 113. CNVss 端子の配線

## 電源端子の取り扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子 (Vcc 端子) と GND 端子 (Vss 端子) との間、および電源端子 (Vcc 端子) とアナログ電源入力端子 (AVss 端子) との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは 0.01  $\mu$ F ~ 0.1  $\mu$ F のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子と GND 端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

## 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

## 電気的特性

## 絶対最大規格

表 22. 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	-0.3~6.5	V
V <sub>I</sub>	入力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> , P3 <sub>1</sub> , P3 <sub>4</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , V <sub>REF</sub>		-0.3~V <sub>CC</sub> +0.3	V
V <sub>I</sub>	入力電圧 P3 <sub>2</sub> , P3 <sub>3</sub>		-0.3~5.8	V
V <sub>I</sub>	入力電圧 RESET, X <sub>IN</sub>		-0.3~V <sub>CC</sub> +0.3	V
V <sub>I</sub>	入力電圧 CNV <sub>SS</sub>		-0.3~V <sub>CC</sub> +0.3	V
V <sub>O</sub>	出力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> , P3 <sub>1</sub> , P3 <sub>4</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , X <sub>OUT</sub>		-0.3~V <sub>CC</sub> +0.3	V
V <sub>O</sub>	出力電圧 P3 <sub>2</sub> , P3 <sub>3</sub>		-0.3~5.8	V
P <sub>d</sub>	消費電力		T <sub>a</sub> = 25°C	1000 (注1)
T <sub>opr</sub>	動作周囲温度	—	-20~85	°C
T <sub>stg</sub>	保存温度	—	-65~125	°C

注1. SPパッケージ以外は300mWです。

表 23. 推奨動作条件(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20\sim 85^\circ C$ )

記号	項目	条件	規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	発振開始時 (注2)	2.7	5.0	5.5	V	
		高速モード時 $f(\phi)=f(XIN)/2$	$f(XIN) \leq 8.4MHz$	2.7	5.0	5.5	V
			$f(XIN) \leq 12.5MHz$	4.0	5.0	5.5	
			$f(XIN) \leq 16.8MHz$	4.5	5.0	5.5	
		中速モード時 $f(\phi)=f(XIN)/8$	$f(XIN) \leq 12.5MHz$	2.7	5.0	5.5	V
$f(XIN) \leq 16.8MHz$	4.5		5.0	5.5	V		
Vss	電源電圧		0		V		
Vih	“H” 入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67		0.8Vcc		Vcc	V	
Vih	“H” 入力電圧 P32, P33		0.8Vcc		5.5	V	
Vih	“H” 入力電圧 (I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL		0.7Vcc		5.5	V	
Vih	“H” 入力電圧 (SMBUS入力レベル選択時) SDA, SCL		1.4		5.5	V	
Vih	“H” 入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V	
Vih	“H” 入力電圧 XCIN		2		Vcc	V	
Vil	“L” 入力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67		0		0.2Vcc	V	
Vil	“L” 入力電圧 (I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL		0		0.3Vcc	V	
Vil	“L” 入力電圧 (SMBUS入力レベル選択時) SDA, SCL		0		0.6	V	
Vil	“L” 入力電圧 RESET, CNVss		0		0.2Vcc	V	
Vil	“L” 入力電圧 XIN				0.16Vcc	V	
Vil	“L” 入力電圧 XCIN				0.4	V	
f(XIN)	メインクロック入力発振周波数 (注3)	高速モード時 $f(\phi)=f(XIN)/2$	$2.7 \leq V_{CC} < 4.0V$		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	MHz	
			$4.0 \leq V_{CC} < 4.5V$		$\frac{(24 \times V_{CC} - 60) \times 1.05}{3}$		
			$4.5 \leq V_{CC} \leq 5.5V$		16.8		
		中速モード時 $f(\phi)=f(XIN)/8$	$2.7 \leq V_{CC} < 4.5V$		$\frac{(15 \times V_{CC} + 39) \times 1.1}{7}$	MHz	
			$4.5 \leq V_{CC} \leq 5.5V$		16.8		
f(XCIN)	サブクロック入力発振周波数 (注3),(注4)			32.768	50	kHz	

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合、サブクロック入力発振周波数は、必ず  $f(XCIN) < f(XIN)/3$  としてください。

表 24. 推奨動作条件(2) (指定のない場合は、VCC=2.7~5.5V, VSS=0V, Ta = -20~85°C)

記号	項目	規格値			単位
		最小	標準	最大	
$\Sigma$ IOH(peak)	“H” 出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			-80	mA
$\Sigma$ IOH(peak)	“H” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			-80	mA
$\Sigma$ IOL(peak)	“L” 出力総尖頭電流(注1) P00~P07, P10~P17, P30~P37			80	mA
$\Sigma$ IOL(peak)	“L” 出力総尖頭電流(注1) P20~P27			80	mA
$\Sigma$ IOL(peak)	“L” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			80	mA
$\Sigma$ IOH(avg)	“H” 出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			-40	mA
$\Sigma$ IOH(avg)	“H” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			-40	mA
$\Sigma$ IOL(avg)	“L” 出力総平均電流(注1) P00~P07, P10~P17, P30~P37			40	mA
$\Sigma$ IOL(avg)	“L” 出力総平均電流(注1) P20~P27			40	mA
$\Sigma$ IOL(avg)	“L” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			40	mA
IOH(peak)	“H” 出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			-10	mA
IOL(peak)	“L” 出力尖頭電流(注2) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			10	mA
IOL(peak)	“L” 出力尖頭電流(注2) P20~P27			20	mA
IOH(avg)	“H” 出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			-5	mA
IOL(avg)	“L” 出力平均電流(注3) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			5	mA
IOL(avg)	“L” 出力平均電流(注3) P20~P27			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 出力平均電流は、IOL(avg)、IOH(avg)100msの期間での平均値です。

## 電気的特性

表 25. 電気的特性(1) (指定のない場合は、Vcc=2.7~5.5V, Vss=0V, Ta = -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H” 出力電圧 (注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	IOH=-10mA VCC=4.0~5.5V	Vcc-2.0			V
		IOH=-1.0mA VCC=2.7~5.5V	Vcc-1.0			
VOL	“L” 出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	IOL=10mA VCC=4.0~5.5V			2.0	V
		IOL=1.6mA VCC=2.7~5.5V			1.0	
VOL	“L” 出力電圧 P20~P27	IOL=20mA VCC=4.0~5.5V			2.0	V
		IOL=1.6mA VCC=2.7~5.5V			0.4	
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0~INT4			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SIN2, SCLK2, RxD3, SCLK3			0.5		V
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$			0.5		V
IiH	“H” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=Vcc (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			5.0	$\mu\text{A}$
IiH	“H” 入力電流 $\overline{\text{RESET}}$ , CNVss	Vi=Vcc			5.0	$\mu\text{A}$
IiH	“H” 入力電流 XIN	Vi=Vcc		4.0		$\mu\text{A}$
IiL	“L” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=Vss (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			-5.0	$\mu\text{A}$
IiL	“L” 入力電流 $\overline{\text{RESET}}$ , CNVss	Vi=Vss			-5.0	$\mu\text{A}$
IiL	“L” 入力電流 XIN	Vi=Vss		-4.0		$\mu\text{A}$
IiL	“L” 入力電流 (プルアップ有効時) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	Vi=Vss VCC=5.0V	-80	-210	-420	$\mu\text{A}$
		Vi=Vss VCC=3.0V	-30	-70	-140	
VRAM	RAM保持電圧	クロック停止時	1.8		Vcc	V

注1. P35に関しては、UART3制御レジスタのP35/TxD3 Pチャンネル出力禁止ビット(003316番地のビット4)が“0”の場合です。  
P45に関しては、UART1制御レジスタのP45/TxD1 Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表 26. 電気的特性(2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $T_a = -20\sim 85^\circ C$ ,  $f(X_{CIN})=32.768kHz$ (中速モード時は停止),  
出力トランジスタは遮断状態, A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位			
					最小	標準	最大				
I <sub>CC</sub>	電源電流	高速モード時	V <sub>CC</sub> =5.0V	f(X <sub>CIN</sub> )=16.8MHz		5.5	8.3	mA			
				f(X <sub>CIN</sub> )=12.5MHz		4.5	6.8				
				f(X <sub>CIN</sub> )=8.4MHz		3.5	5.3				
				f(X <sub>CIN</sub> )=4.2MHz		2.2	3.3				
				f(X <sub>CIN</sub> )=16.8MHz (WIT命令実行時)		2.2	3.3				
			V <sub>CC</sub> =3.0V	f(X <sub>CIN</sub> )=8.4MHz		2.7	4.1	mA			
				f(X <sub>CIN</sub> )=4.2MHz		1.8	2.7				
				f(X <sub>CIN</sub> )=2.1MHz		1.1	1.7				
				中速モード時	V <sub>CC</sub> =5.0V	f(X <sub>CIN</sub> )=16.8MHz			3.0	4.5	mA
						f(X <sub>CIN</sub> )=12.5MHz			2.4	3.6	
		f(X <sub>CIN</sub> )=8.4MHz				2.0	3.0				
		f(X <sub>CIN</sub> )=16.8MHz (WIT命令実行時)				2.1	3.2				
		V <sub>CC</sub> =3.0V	f(X <sub>CIN</sub> )=12.5MHz			1.7	2.6	mA			
			f(X <sub>CIN</sub> )=8.4MHz		1.5	2.3					
			f(X <sub>CIN</sub> )=6.3MHz		1.3	2.0					
		低速モード時	V <sub>CC</sub> =5.0V	f(X <sub>CIN</sub> )=停止		410	630	μA			
				WIT命令実行時		4.5	6.8				
				V <sub>CC</sub> =3.0V	f(X <sub>CIN</sub> )=停止		400		600	μA	
			WIT命令実行時			3.7	5.6				
			STP命令実行時 (発振はすべて停止)		Ta = 25°C		0.55	3.0	μA		
Ta = 85°C				0.75							
A/Dコンバータ動作時の電流増量	f(X <sub>CIN</sub> )=16.8MHz, V <sub>CC</sub> =5.0V 中、高速モード時		1000		μA						

## A/Dコンバータ推奨動作条件

表27. A/Dコンバータ推奨動作条件

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VCC	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時(注1)	2.7	5.0	5.5	V
		10ビットA/Dモード時(注2)	2.7	5.0	5.5	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN <sub>0</sub> ~AN <sub>15</sub>		0		VCC	V
f(XIN)	メインクロック入力発振周波数 (A/Dコンバータ使用時)	$2.7 \leq V_{CC}=V_{REF} < 4.0V$	0.5		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	MHz
		$4.0 \leq V_{CC}=V_{REF} < 4.5V$	0.5		$\frac{(24.6 \times V_{CC} - 62.7) \times 1.05}{3}$	
		$4.5 \leq V_{CC}=V_{REF} \leq 5.5V$	0.5		16.8	

注1. 8ビットA/Dモード: 変換モード選択ビット(0038<sub>16</sub>番地のビット7)が“1”の場合注2. 10ビットA/Dモード: 変換モード選択ビット(0038<sub>16</sub>番地のビット7)が“0”の場合

## A/Dコンバータ特性

表28. A/Dコンバータ特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	8ビットA/Dモード時(注1)			8	bit	
		10ビットA/Dモード時(注2)			10		
—	絶対精度 (量子化誤差は除く)	8ビットA/Dモード時(注1)	$2.7 \leq V_{REF} \leq 5.5V$		$\pm 2$	LSB	
		10ビットA/Dモード時(注2)	$2.7 \leq V_{REF} \leq 5.5V$		$\pm 4$	LSB	
tCONV	変換時間	8ビットA/Dモード時(注1)			50	2tc(XIN)	
		10ビットA/Dモード時(注2)			61		
RLADDER	ラダー抵抗		12	35	100	k $\Omega$	
IVREF	基準電源 入力電流	A/D変換動作時	$V_{REF}=5.0V$	50	150	200	$\mu A$
		A/D変換停止時	$V_{REF}=5.0V$			5.0	
II(AD)	A/Dポート入力電流				5.0	$\mu A$	

注1. 8ビットA/Dモード: 変換モード選択ビット(0038<sub>16</sub>番地のビット7)が“1”の場合注2. 10ビットA/Dモード: 変換モード選択ビット(0038<sub>16</sub>番地のビット7)が“0”の場合

## D/Aコンバータ特性

表29. D/Aコンバータ特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $V_{REF}=2.7V\sim V_{CC}$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	規格値			単位
		最小	標準	最大	
—	分解能			8	bit
—	絶対精度	$4.0 \leq V_{REF} \leq 5.5V$		1.0	%
		$2.7 \leq V_{REF} < 4.0V$		2.5	
t <sub>su</sub>	設定時間			3	$\mu s$
RO	出力抵抗	2	3.5	5	k $\Omega$
IVREF	基準電源入力電流(注1)			3.2	mA

注1. D/Aコンバータ1本使用、他のDA変換レジスタの値は“00<sub>16</sub>”。

表30. 電源回路のタイミング特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $V_{REF}=2.7V\sim V_{CC}$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	$2.7 \leq V_{CC} < 5.5V$			2	ms

## タイミング必要条件

表31. タイミング必要条件(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅			td(P-R)ms+16	XINサイクル
tc(XIN)	メインロックXIN 入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$		59.5	ns
		$4.0 \leq V_{CC} < 4.5V$		$10000 / (86V_{CC} - 219)$	
		$2.7 \leq V_{CC} < 4.0V$		$26 \times 10^3 / (82V_{CC} - 3)$	
twh(XIN)	メインロックXIN 入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		25	ns
		$4.0 \leq V_{CC} < 4.5V$		$4000 / (86V_{CC} - 219)$	
		$2.7 \leq V_{CC} < 4.0V$		$10000 / (82V_{CC} - 3)$	
twl(XIN)	メインロックXIN 入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		25	ns
		$4.0 \leq V_{CC} < 4.5V$		$4000 / (86V_{CC} - 219)$	
		$2.7 \leq V_{CC} < 4.0V$		$10000 / (82V_{CC} - 3)$	
tc(XCIN)	サブロックXCIN入力サイクル時間			20	$\mu s$
twh(XCIN)	サブロックXCIN入力“H”パルス幅			5	$\mu s$
twl(XCIN)	サブロックXCIN入力“L”パルス幅			5	$\mu s$
tc(CNTR)	CNTR <sub>0</sub> ~ CNTR <sub>2</sub> 入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$		120	ns
		$4.0 \leq V_{CC} < 4.5V$		160	
		$2.7 \leq V_{CC} < 4.0V$		250	
twh(CNTR)	CNTR <sub>0</sub> ~ CNTR <sub>2</sub> “H”入力パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		48	ns
		$4.0 \leq V_{CC} < 4.5V$		64	
		$2.7 \leq V_{CC} < 4.0V$		115	
twl(CNTR)	CNTR <sub>0</sub> ~ CNTR <sub>2</sub> “L”入力パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		48	ns
		$4.0 \leq V_{CC} < 4.5V$		64	
		$2.7 \leq V_{CC} < 4.0V$		115	
twh(INT)	INT <sub>00</sub> , INT <sub>01</sub> , INT <sub>1</sub> , INT <sub>2</sub> , INT <sub>3</sub> , INT <sub>40</sub> , INT <sub>41</sub> 入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		48	ns
		$4.0 \leq V_{CC} < 4.5V$		64	
		$2.7 \leq V_{CC} < 4.0V$		115	
twl(INT)	INT <sub>00</sub> , INT <sub>01</sub> , INT <sub>1</sub> , INT <sub>2</sub> , INT <sub>3</sub> , INT <sub>40</sub> , INT <sub>41</sub> 入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$		48	ns
		$4.0 \leq V_{CC} < 4.5V$		64	
		$2.7 \leq V_{CC} < 4.0V$		115	

表 32. タイミング必要条件(2)  
(指定のない場合版は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85^{\circ}C$ )

記号	項目	規格値			単位
		最小	標準	最大	
tc(SCLK1) tc(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力サイクル時間 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	250		ns
		$4.0 \leq V_{CC} < 4.5V$	320		
		$2.7 \leq V_{CC} < 4.0V$	500		
tWH(SCLK1) tWH(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“H”パルス幅 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	120		ns
		$4.0 \leq V_{CC} < 4.5V$	150		
		$2.7 \leq V_{CC} < 4.0V$	240		
tWL(SCLK1) tWL(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“L”パルス幅 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	120		ns
		$4.0 \leq V_{CC} < 4.5V$	150		
		$2.7 \leq V_{CC} < 4.0V$	240		
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力セットアップ時間	$4.5 \leq V_{CC} \leq 5.5V$	70		ns
		$4.0 \leq V_{CC} < 4.5V$	90		
		$2.7 \leq V_{CC} < 4.0V$	100		
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3 クロック入力ホールド時間	$4.5 \leq V_{CC} \leq 5.5V$	32		ns
		$4.0 \leq V_{CC} < 4.5V$	40		
		$2.7 \leq V_{CC} < 4.0V$	50		
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$	500		ns
		$4.0 \leq V_{CC} < 4.5V$	650		
		$2.7 \leq V_{CC} < 4.0V$	1000		
tWH(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	200		ns
		$4.0 \leq V_{CC} < 4.5V$	260		
		$2.7 \leq V_{CC} < 4.0V$	400		
tWL(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	200		ns
		$4.0 \leq V_{CC} < 4.5V$	260		
		$2.7 \leq V_{CC} < 4.0V$	400		
tsu(SIN2-SCLK2)	シリアルI/O2 クロック入力セットアップ時間	$4.5 \leq V_{CC} \leq 5.5V$	100		ns
		$4.0 \leq V_{CC} < 4.5V$	130		
		$2.7 \leq V_{CC} < 4.0V$	200		
th(SCLK2-SIN2)	シリアルI/O2 クロック入力ホールド時間	$4.5 \leq V_{CC} \leq 5.5V$	100		ns
		$4.0 \leq V_{CC} < 4.5V$	130		
		$2.7 \leq V_{CC} < 4.0V$	150		

注1. 001A16番地のビット6, 003216番地のビット6が“1”(クロック同期式モード)の場合です。  
001A16番地のビット6, 003216番地のビット6が“0”(非同期式モード)の場合は、規格値は1/4になります。

## スイッチング特性

表33. スwitchング特性(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85^\circ C$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>WH</sub> (SCLK1) t <sub>WH</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“H”パルス幅	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V	図114	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
				tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
				tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
t <sub>WL</sub> (SCLK1) t <sub>WL</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“L”パルス幅	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
				tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
				tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
t <sub>d</sub> (SCLK1-TxD1) t <sub>d</sub> (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力遅延時間(注1)	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V			140	ns
					200	
					350	
t <sub>v</sub> (SCLK1-TxD1) t <sub>v</sub> (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力有効時間(注1)	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		-30		ns
				-30		
				-30		
t <sub>r</sub> (SCLK1) t <sub>r</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち上がり時間	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V			30	ns
					35	
					40	
t <sub>r</sub> (SCLK1) t <sub>r</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち下がり時間	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V			30	ns
					35	
					40	
t <sub>WH</sub> (SCLK2)	シリアルI/O2 クロック出力“H”パルス幅	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		tc(SCLK2)/2 - 160		ns
				tc(SCLK2)/2 - 200		
				tc(SCLK2)/2 - 240		
t <sub>WL</sub> (SCLK2)	シリアルI/O2 クロック出力“L”パルス幅	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		tc(SCLK2)/2 - 160		ns
				tc(SCLK2)/2 - 200		
				tc(SCLK2)/2 - 240		
t <sub>d</sub> (SCLK2-SOUT2)	シリアルI/O2出力遅延時間	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V			200	ns
					250	
					300	
t <sub>v</sub> (SCLK2-SOUT2)	シリアルI/O2出力有効時間	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		0		ns
				0		
				0		
t <sub>r</sub> (SCLK2)	シリアルI/O2 クロック出力立ち下がり時間	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V			30	ns
					35	
					40	
t <sub>r</sub> (CMOS)	CMOS出力立ち上がり時間 (注2)	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		10	30	ns
				12	35	
				15	40	
t <sub>r</sub> (CMOS)	CMOS出力立ち下がり時間 (注2)	4.5 ≤ V <sub>CC</sub> ≤ 5.5V 4.0 ≤ V <sub>CC</sub> < 4.5V 2.7 ≤ V <sub>CC</sub> < 4.0V		10	30	ns
				12	35	
				15	40	

注1. UART1制御レジスタのP4<sub>5</sub>/TxD<sub>1</sub>Pチャンネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。注2. UART3制御レジスタのP3<sub>5</sub>/TxD<sub>3</sub>P4チャンネル出力禁止ビット(0033<sub>16</sub>番地のビット4)が“0”の場合です。

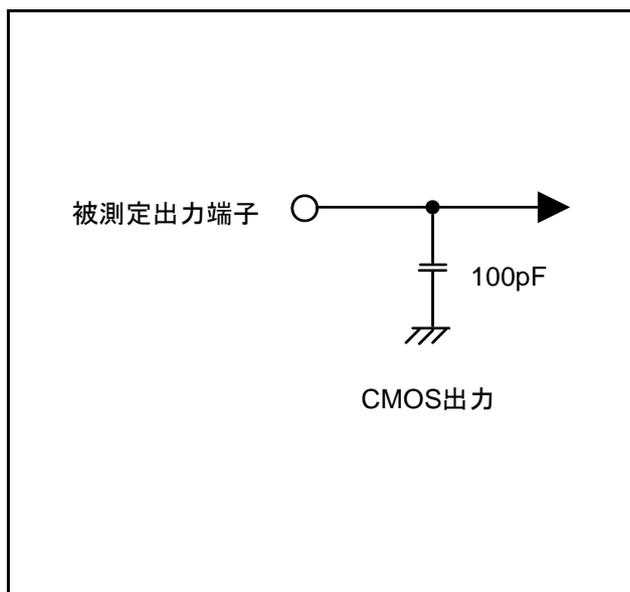


図 114. 出力スイッチング特性測定回路図(1)

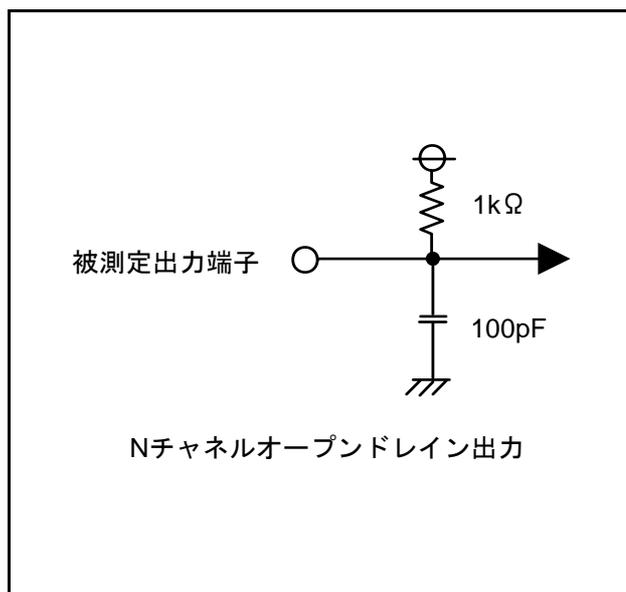


図 115. 出力スイッチング特性測定回路図(2)

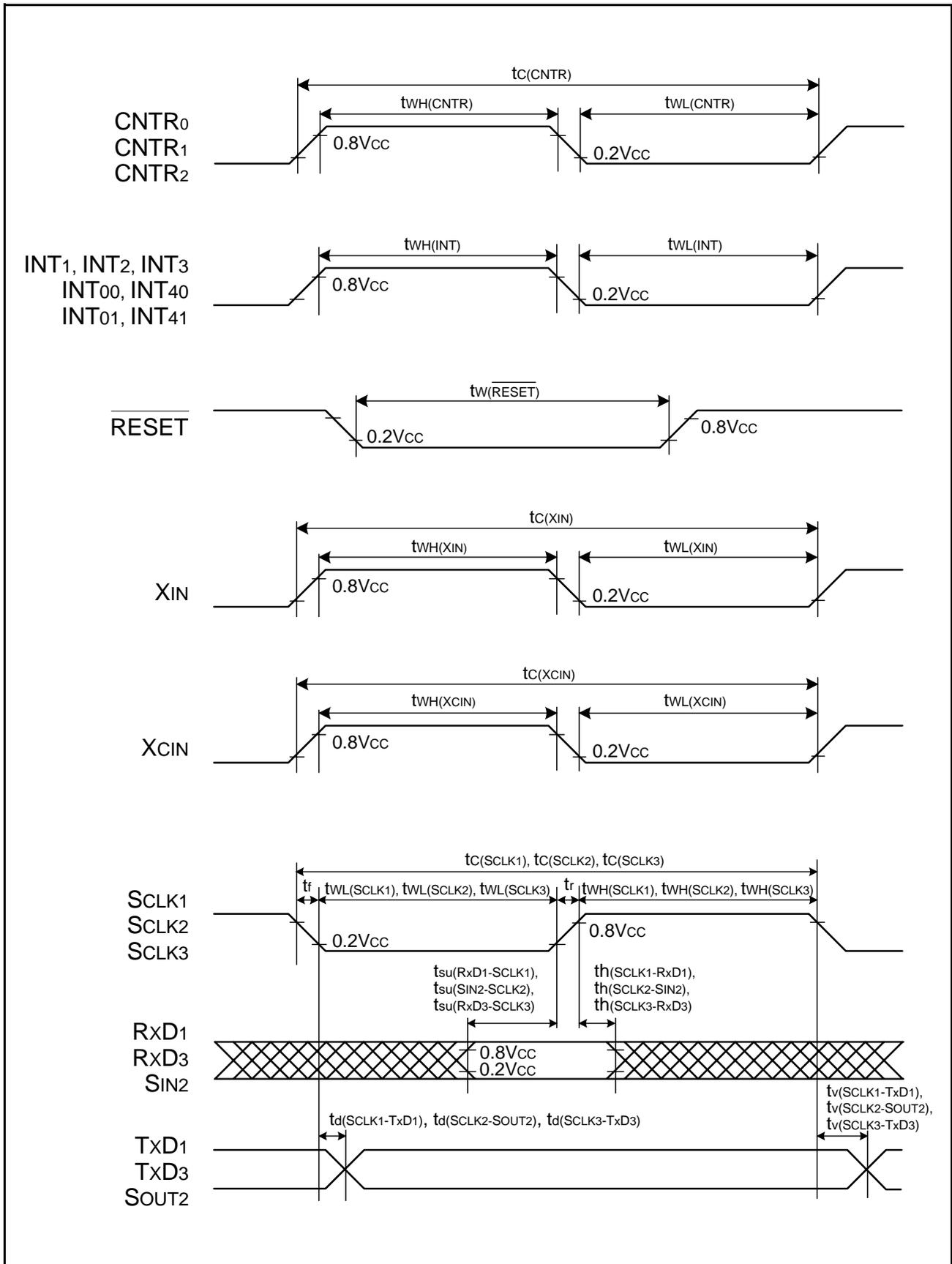


図 116. タイミング図 (シングルチップモード時)

表34. マルチマスタI<sup>2</sup>C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスマスタータイム	4.7		1.3		μs
tHD:STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL、SDA信号の立ち上がり時間		1000	20+0.1Cb(注1)	300	ns
tHD:DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL、SDA信号の立ち下がり時間		300	20+0.1Cb(注1)	300	ns
tSU:DAT	データのセットアップ時間	250		100		ns
tSU:STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU:STO	ストップコンディション時のセットアップ時間	4.0		0.6		μs

注1. Cb=1つのバスラインキャパシタの合計

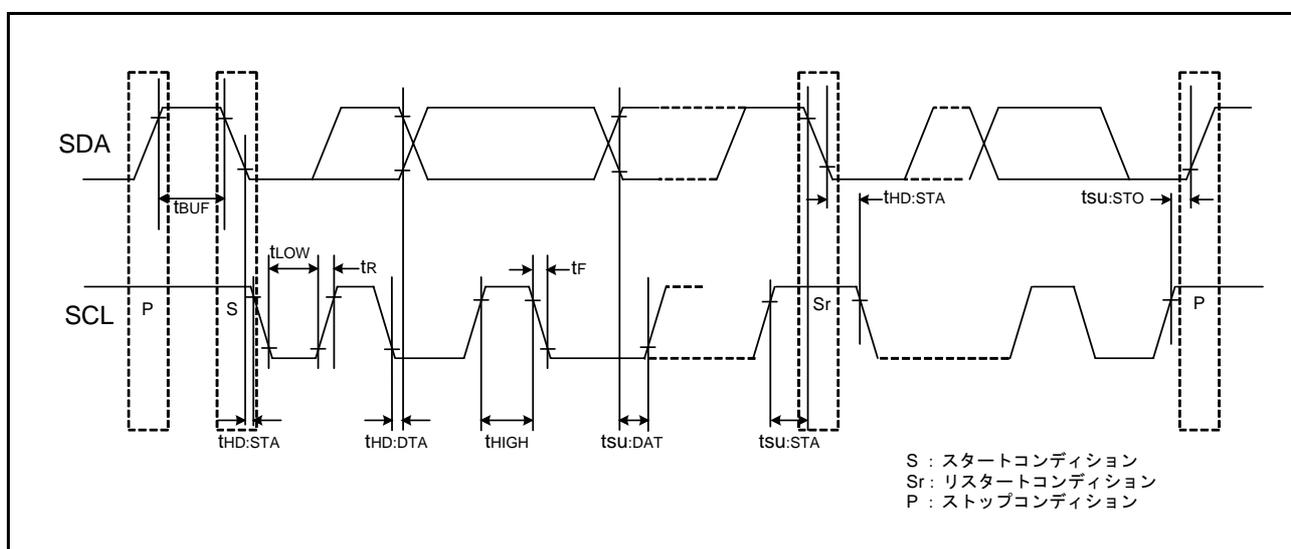
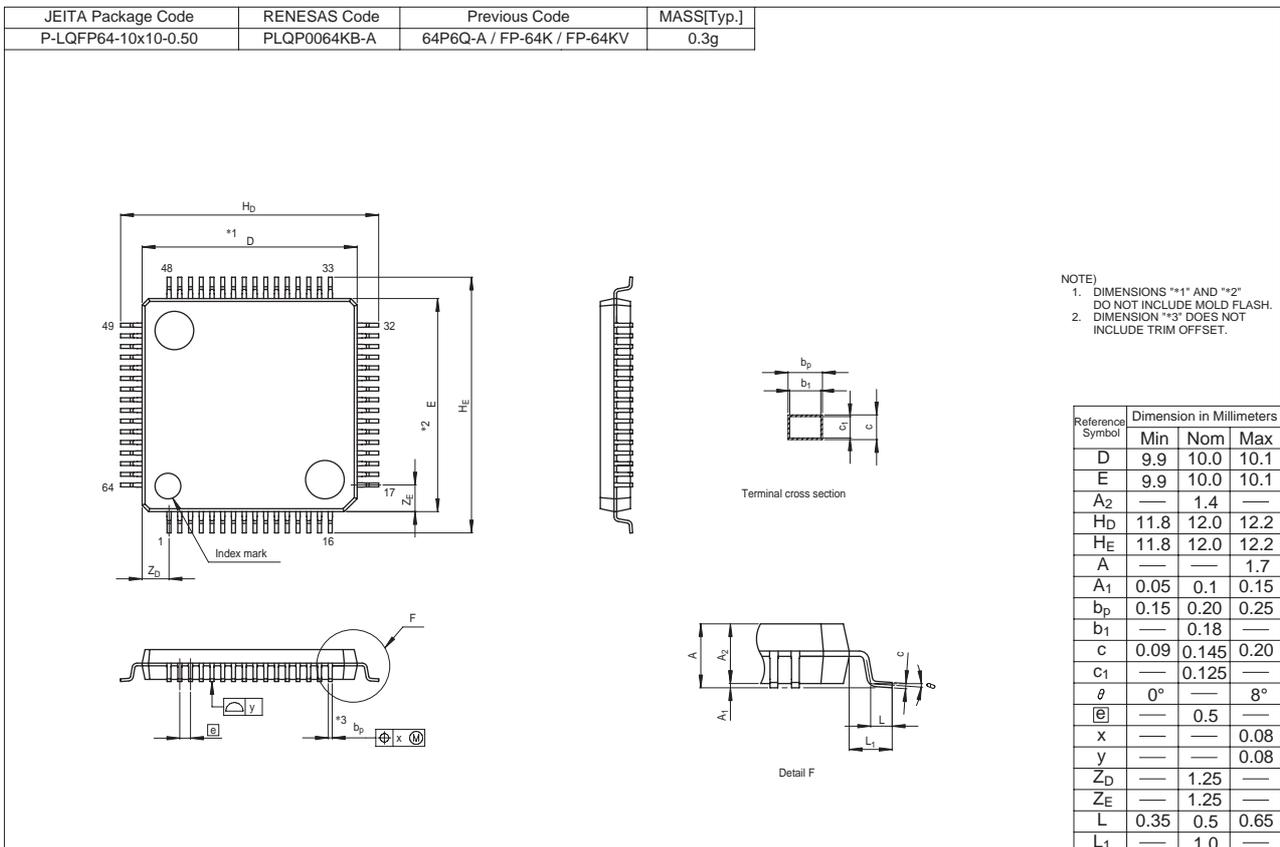
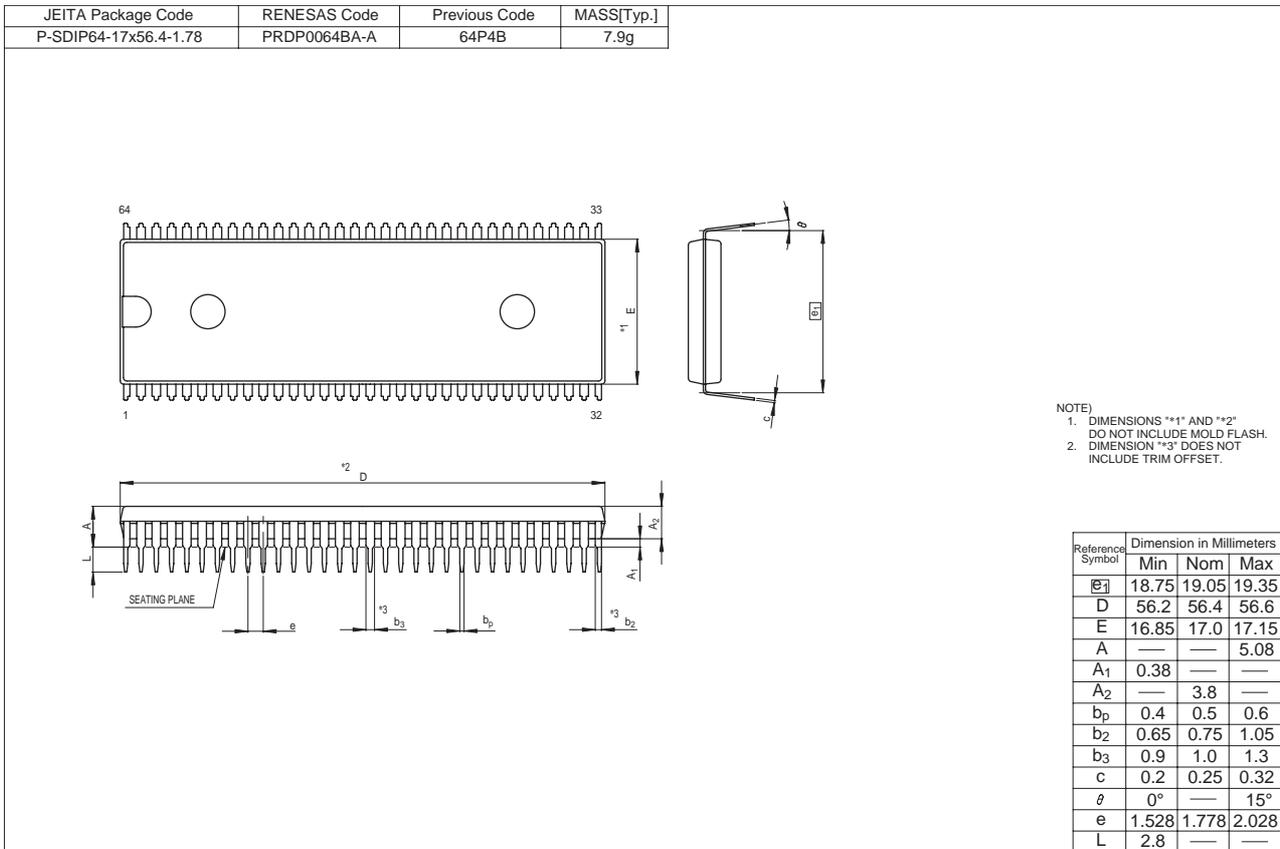


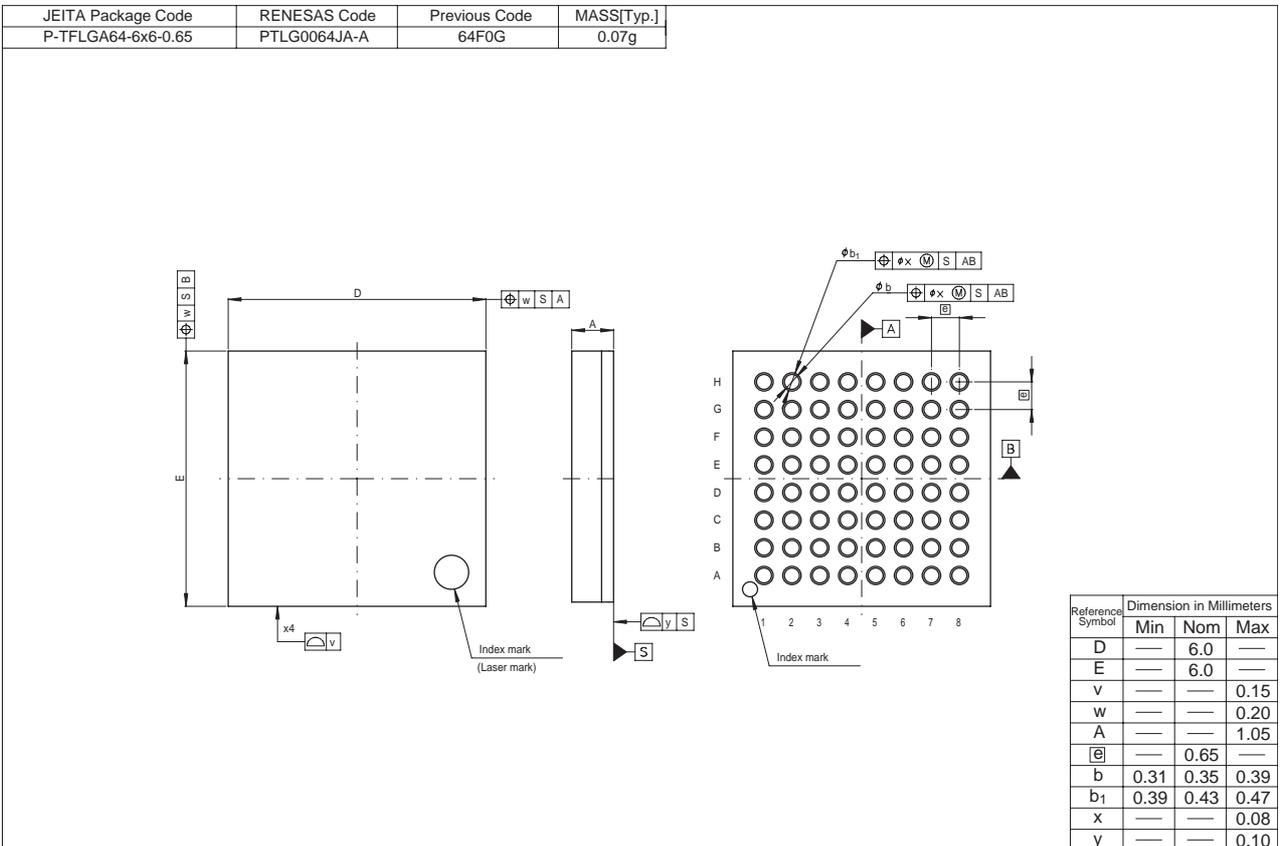
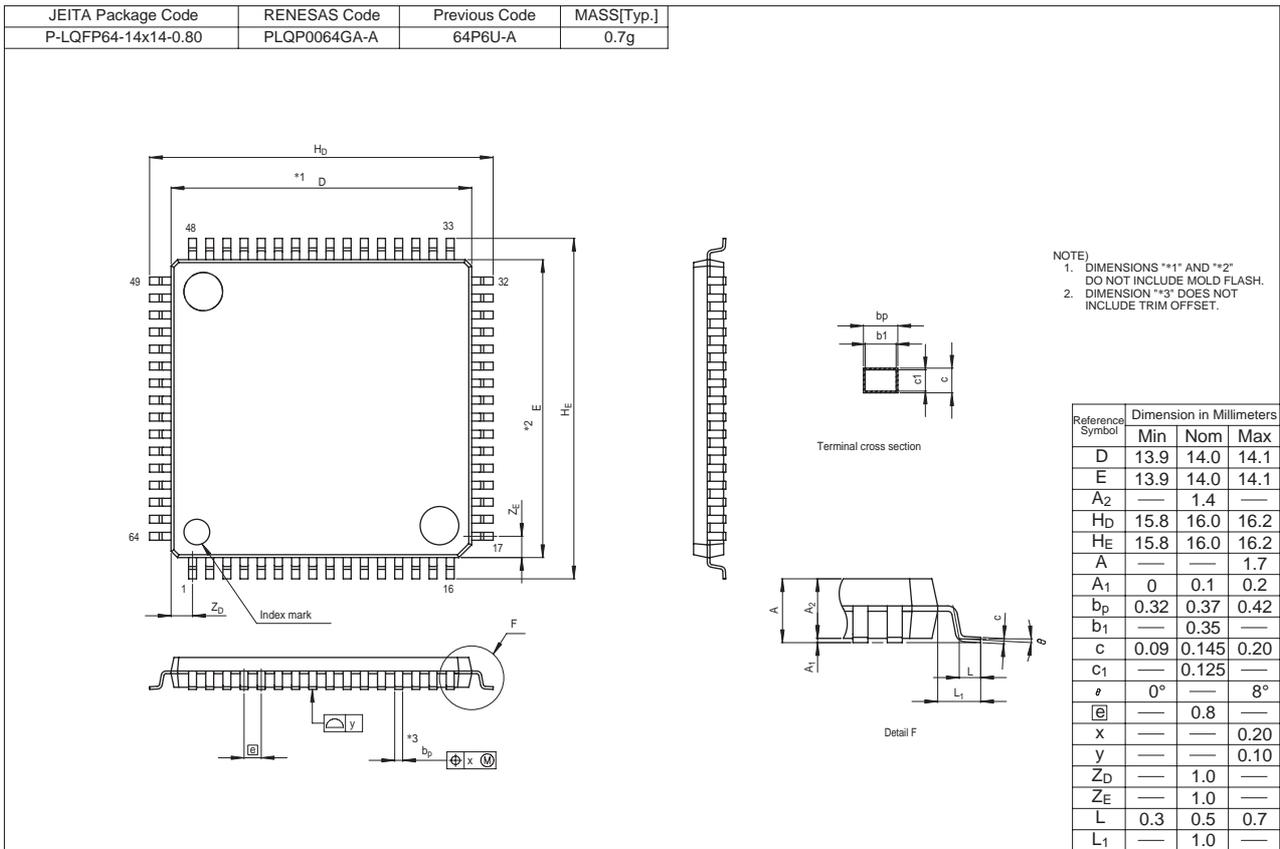
図117. マルチマスタI<sup>2</sup>C-BUSタイミング定義図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



# 3804 グループ (L仕様)



改訂記録	3804 グループ (L 仕様) データシート
------	-------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.10.14	－	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなまじく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)