

## V850E/MA3、RX651 グループ

### V850E/MA3 から RX651 グループへの移行ガイド

---

#### 要旨

本アプリケーションノートは、V850E/MA3 から RX651 グループへの置き換えを行う場合の注意点、並びに相違点などを説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、V850E/MA3 は  $\mu$ PD70F3134BY の仕様を代表として記載しています。その他の V850E/MA3 製品も、メモリ容量の違いはありますが、機能としては  $\mu$ PD70F3134BY と同等ですので本資料を活用いただけます。また、RX651 グループは R5F56519 の仕様を代表として記載しています。

なお、RX651 グループは、ドライバ/ミドルウェア(Firmware Integration Technology) およびドライバ生成ツール(スマート・コンフィグレータ内に同梱)に対応しているため、ソフトウェア開発の負担を軽減できます。

## 目次

1. 概要	4
1.1 ラインアップ	4
1.2 機能置き換え可否	4
2. 内蔵機能	6
2.1 CPU 機能	6
2.1.1 仕様比較	6
2.1.2 メモリ・マップ	6
2.2 ポート機能	8
2.2.1 仕様比較	8
2.2.2 注意事項	8
2.2.2.1 存在しないポート	8
2.2.2.2 オープンドレイン出力	8
2.3 バス制御機能（外部バス・インタフェース機能）	9
2.3.1 仕様比較	9
2.3.2 注意事項	11
2.3.2.1 ピン数による製品間の差異	11
2.3.2.2 エンディアンに関する注意事項	11
2.4 クロック・ジェネレータ	12
2.4.1 仕様比較	12
2.4.2 注意事項	12
2.4.2.1 クロック発生回路に関する注意事項	12
2.5 タイマ機能（TMP, TMQ）	13
2.5.1 搭載ユニット	13
2.5.2 仕様比較	13
2.6 16ビット・インターバル・タイマ D（TMD）	14
2.6.1 仕様比較	14
2.6.2 注意事項	14
2.6.2.1 タイマの初期化	14
2.7 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ（TMENC1）	15
2.7.1 仕様比較	15
2.7.2 注意事項	15
2.7.2.1 UDC モードと位相係数モードのカウンタ動作の違い	15
2.8 モータ制御機能	16
2.8.1 仕様比較	16
2.9 ウォッチドッグ・タイマ機能	17
2.9.1 搭載ユニット	17
2.9.2 仕様比較	17
2.9.3 注意事項	17
2.9.3.1 カウンタ動作について	17
2.10 A/D コンバータ	18
2.10.1 搭載ユニット	18
2.10.2 仕様比較	18
2.10.3 注意事項	19
2.10.3.1 A/D コンバータの動作状態	19

2.11 D/A コンバータ .....	20
2.11.1 仕様比較 .....	20
2.12 アシンクロナス・シリアル・インタフェース A (UARTA) .....	21
2.12.1 仕様比較 .....	21
2.12.2 注意事項 .....	21
2.12.2.1 0 パリティ .....	21
2.12.2.2 動作クロックの差異 .....	21
2.13 クロック同期式シリアル・インタフェース B (CSIB) .....	22
2.13.1 搭載ユニット .....	22
2.13.2 仕様比較 .....	22
2.13.3 注意事項 .....	23
2.13.3.1 動作クロックの差異 .....	23
2.14 I <sup>2</sup> C バス .....	24
2.14.1 搭載ユニット .....	24
2.14.2 仕様比較 .....	24
2.15 DMA 機能 (DMA コントローラ) .....	26
2.15.1 仕様比較 .....	26
2.16 割り込み/例外処理機能 .....	27
2.16.1 仕様比較 .....	27
2.16.2 注意事項 .....	27
2.16.2.1 ノンマスカブル割り込みのベクタ領域 .....	27
2.16.2.2 選択型割り込みとグループ割り込み .....	28
2.17 スタンバイ機能 .....	29
2.17.1 仕様比較 .....	29
3. サンプルコードの説明 .....	32
3.1 動作確認環境 .....	32
3.2 プロジェクト構成 .....	33
3.3 関数一覧 .....	33
3.4 関数仕様 .....	34
3.5 フローチャート .....	35
3.5.1 メイン処理 .....	35
3.5.2 外部入力割り込み処理 .....	35
3.5.3 ワンショットパルス出力機能の MTU0 割り込み処理 .....	35
4. プロジェクトをインポートする方法 .....	36
4.1 e <sup>2</sup> studio での手順 .....	36
4.2 CS+での手順 .....	37
5. 参考ドキュメント .....	38
改訂記録 .....	39

## 1. 概要

## 1.1 ラインアップ

V850E/MA3 と RX651 グループの製品ラインアップ(コードサイズおよびピン数) を示します。

表 1.1 グループのコードサイズおよびピン数一覧

V850E/MA3		RX651	
ROM/RAM	Pin 数	Code Flash/RAM	Pin 数
256K/8K(マスク ROM)	144,161pin	—	—
256K/16K(マスク ROM)	144,161pin	—	—
256K/32K(マスク ROM)	144,161pin	—	—
512K/16K(マスク ROM)	144,161pin	512K/256K	64,100,144,145pin
512K/32K(マスク ROM, フラッシュメモリ)	144,161pin		
—	—	768K/256K	64,100,144,145pin
—	—	1M/256K	64,100,144,145pin
—	—	1.5M/640K	64,100,144,145,176,177pin
—	—	2M/640K	64,100,144,145,176,177pin

## 1.2 機能置き換え可否

V850E/MA3( $\mu$ PD70F3134BY) の機能に対して RX651 グループ(R5F56519)での機能置き換え可否を表 1.2 に示します。

表 1.2 機能置き換え可否

V850E/MA3 の機能	RX651 による置き換え可否
ポート機能	可能
バス制御機能 (外部バス・インタフェース機能)	可能 ただし、端子によるバス・ホールド機能なし
クロック・ジェネレータ	可能
タイマ機能 (TMP, TMQ)	マルチファンクションタイマパルスユニット (MTU3a)にて実現可能 ただし、一部機能は CPU 割り込みを介在させる必要あり
16 ビット・インターバル・タイマ D (TMD)	コンペアマッチタイマ(CMT)にて実現可能
16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1)	マルチファンクションタイマパルスユニット (MTU3a)にて実現可能
モータ制御機能	マルチファンクションタイマパルスユニット (MTU3a)にて実現可能
ウォッチドッグ・タイマ機能	ウォッチドッグタイマ(WDTA)または独立ウォッチドッグタイマ(IWDTa)にて実現可能
A/D コンバータ	12 ビット A/D コンバータ(S12ADFa)にて実現可能
D/A コンバータ	12 ビット D/A コンバータ(R12DAa)にて実現可能
アシンクロナス・シリアル・インタフェース A (UARTA)	シリアルコミュニケーションインタフェース (SCIg,SCli,SCIh)にて実現可能

V850E/MA3 の機能	RX651 による置き換え可否
クロック同期式シリアル・インタフェース B (CSIB)	シリアルペリフェラルインタフェース(RSPIc)またはシリアルコミュニケーションインタフェース(SCIg, SCli, SCih)にて実現可能
I2C バス	シリアルコミュニケーションインタフェース(SCIg, SCli, SCih) または I <sup>2</sup> C バスインタフェース(RIICa)にて実現可能
DMA 機能 (DMA コントローラ)	DMA コントローラ(DMACAa)にて実現可能 ただし、シングルステップ転送モードなし
割り込み／例外処理機能	可能 ただし、外部割り込みや周辺モジュールに依存する仕様は除く
スタンバイ機能	可能

## 2. 内蔵機能

### 2.1 CPU 機能

#### 2.1.1 仕様比較

V850E/MA3 と RX651 グループの CPU 機能の仕様比較を表 2.1 に示します。

表 2.1 V850E/MA3 と RX651 グループの CPU 機能

項目	V850E/MA3	RX651
MAX 周波数	80MHz	120MHz

#### 2.1.2 メモリ・マップ

V850E/MA3 と RX651 グループのメモリ・マップを表 2.2 に示します。

表 2.2 V850E/MA3 と RX651 グループのメモリ・マップ

項目	V850E/MA3
メモリ・マップ	<p>The diagram illustrates the memory map for the V850E/MA3. It shows a vertical stack of memory regions with their respective address ranges and sizes:</p> <ul style="list-style-type: none"> <li><b>内蔵周辺I/O領域</b> (On-chip peripheral I/O area): Address range from xFFFFFFFH to xFFFF000H, size 4 K バイト.</li> <li><b>内蔵RAM領域</b> (On-chip RAM area): Address range from xFFFF000H to xFFF0000H, size 60 K バイト.</li> <li><b>アクセス不可</b> (Access prohibited area): Address range from xFFF0000H to x0100000H, size 256 M バイト.</li> <li><b>内蔵ROM領域</b> (On-chip ROM area): Address range from x0100000H to x0000000H, size 1 M バイト.</li> </ul> <p>注 PMCAL, PMCAH, PMCDL, PMCCS, PMCCT, PMCCM, PMCCDレジスタを兼用機能に設定することにより、外部メモリ領域として使用できます。</p>

項目	RX651																																																									
メモリ・マップ	シングルチップモード <sup>(注1)</sup>	内蔵ROM有効拡張モード	内蔵ROM無効拡張モード																																																							
	<p>注1. ブートモードは、シングルチップモードと同じアドレス空間となります。</p> <p>注2. 予約領域は、アクセスしないでください。</p> <p>注3. アクセスサイクルは、ROMWT[1:0]ビットが00bのとき1サイクル、01bのとき2サイクル、10bのとき3サイクル動作となります。</p> <p>注4. 内蔵ROM(コードフラッシュメモリ)は1つの領域として扱うリニアモードと、2つのバンク領域として扱うデュアルモードがあります。詳細は「59. フラッシュメモリ」の「59.2 メモリ構成」を参照してください。</p> <p>注5. 製品によりコードフラッシュメモリ/データフラッシュメモリ/RAM容量が異なります。</p>																																																									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">コードフラッシュメモリ</th> <th colspan="2">データフラッシュメモリ</th> <th colspan="2">RAM</th> </tr> <tr> <th rowspan="2">容量</th> <th colspan="2">アドレス</th> <th rowspan="2">容量</th> <th rowspan="2">アドレス</th> <th rowspan="2">容量</th> <th rowspan="2">アドレス</th> </tr> <tr> <th>リニアモード</th> <th>デュアルモード (BANKSEL.BANKSWP[2:0] = 111bの場合)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">2MB</td> <td rowspan="2">FFE0 0000h ~ FFFF FFFFh</td> <td>バンク1: FFE0 0000h ~ FFEF FFFFh</td> <td rowspan="2">32KB</td> <td rowspan="2">0010 0000h ~ 0010 7FFFh</td> <td rowspan="2">640KB</td> <td>0000 0000h ~ 0003 FFFFh</td> </tr> <tr> <td>バンク0: FFF0 0000h ~ FFFF FFFFh</td> <td>0080 0000h ~ 0085 FFFFh</td> </tr> <tr> <td rowspan="2">1.5MB</td> <td rowspan="2">FFE8 0000h ~ FFFF FFFFh</td> <td>バンク1: FFE4 0000h ~ FFEF FFFFh</td> <td rowspan="2">32KB</td> <td rowspan="2">0010 0000h ~ 0010 7FFFh</td> <td rowspan="2">640KB</td> <td>0000 0000h ~ 0003 FFFFh</td> </tr> <tr> <td>バンク0: FFF4 0000h ~ FFFF FFFFh</td> <td>0080 0000h ~ 0085 FFFFh</td> </tr> <tr> <td>1MB</td> <td>FFF0 0000h ~ FFFF FFFFh</td> <td>—</td> <td>—</td> <td>—</td> <td>256KB</td> <td>0000 0000h ~ 0003 FFFFh</td> </tr> <tr> <td>768KB</td> <td>FFF4 0000h ~ FFFF FFFFh</td> <td>—</td> <td>—</td> <td>—</td> <td>256KB</td> <td>0000 0000h ~ 0003 FFFFh</td> </tr> <tr> <td>512KB</td> <td>FFF8 0000h ~ FFFF FFFFh</td> <td>—</td> <td>—</td> <td>—</td> <td>256KB</td> <td>0000 0000h ~ 0003 FFFFh</td> </tr> </tbody> </table>		コードフラッシュメモリ		データフラッシュメモリ		RAM		容量	アドレス		容量	アドレス	容量	アドレス	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111bの場合)	2MB	FFE0 0000h ~ FFFF FFFFh	バンク1: FFE0 0000h ~ FFEF FFFFh	32KB	0010 0000h ~ 0010 7FFFh	640KB	0000 0000h ~ 0003 FFFFh	バンク0: FFF0 0000h ~ FFFF FFFFh	0080 0000h ~ 0085 FFFFh	1.5MB	FFE8 0000h ~ FFFF FFFFh	バンク1: FFE4 0000h ~ FFEF FFFFh	32KB	0010 0000h ~ 0010 7FFFh	640KB	0000 0000h ~ 0003 FFFFh	バンク0: FFF4 0000h ~ FFFF FFFFh	0080 0000h ~ 0085 FFFFh	1MB	FFF0 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh	768KB	FFF4 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh	512KB	FFF8 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh		
コードフラッシュメモリ		データフラッシュメモリ		RAM																																																						
容量	アドレス		容量	アドレス	容量	アドレス																																																				
	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111bの場合)																																																								
2MB	FFE0 0000h ~ FFFF FFFFh	バンク1: FFE0 0000h ~ FFEF FFFFh	32KB	0010 0000h ~ 0010 7FFFh	640KB	0000 0000h ~ 0003 FFFFh																																																				
		バンク0: FFF0 0000h ~ FFFF FFFFh				0080 0000h ~ 0085 FFFFh																																																				
1.5MB	FFE8 0000h ~ FFFF FFFFh	バンク1: FFE4 0000h ~ FFEF FFFFh	32KB	0010 0000h ~ 0010 7FFFh	640KB	0000 0000h ~ 0003 FFFFh																																																				
		バンク0: FFF4 0000h ~ FFFF FFFFh				0080 0000h ~ 0085 FFFFh																																																				
1MB	FFF0 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh																																																				
768KB	FFF4 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh																																																				
512KB	FFF8 0000h ~ FFFF FFFFh	—	—	—	256KB	0000 0000h ~ 0003 FFFFh																																																				

## 2.2 ポート機能

### 2.2.1 仕様比較

V850E/MA3 のポート機能に対応する RX651 グループの I/O ポートの仕様を表 2.3 に示します。

表 2.3 ポート機能の対応

項目	V850E/MA3	RX651
CMOS 出力	可能	可能

### 2.2.2 注意事項

#### 2.2.2.1 存在しないポート

RX651 グループでは製品のピン数の違いによって存在しないポートがあります。存在しないポートの方向制御は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「22.4 ポート方向レジスタ(PDR) の初期化」に従って設定する必要があります。

V850E/MA3 ではポート n モード・レジスタ(PMn)の設定に相当します。ポート n モード・レジスタ(PMn)の設定の詳細は V850E/MA3 ユーザーズマニュアル ハードウェア編「4 章 ポート機能」を参照してください。

#### 2.2.2.2 オープンドレイン出力

V850E/MA3 では SDA、SCL 端子として使用する場合、擬似オープンドレイン出力(P-ch 側が常にオフ)になります。

RX651 グループではすべての汎用ポートがオープンドレイン出力に対応しています。

## 2.3 バス制御機能（外部バス・インタフェース機能）

### 2.3.1 仕様比較

V850E/MA3 グループに搭載された外部バス・インタフェース機能に対応する RX651 グループの外部バスの仕様を表 2.4 に示します。また、外部バス・インタフェース機能の端子比較を表 2.5 に示します。

表 2.4 外部バス・インタフェース機能の対応

項目	V850E/MA3	RX651
	外部バス・インタフェース機能	外部バス
バスサイズ	8/16 ビット	<ul style="list-style-type: none"> <li>セパレートバス：8/16/32 ビット</li> <li>アドレス/データマルチプレクスバス：8/16 ビット</li> </ul>
バス空間	8 ブロック (ブロックサイズ：2~64MB)	8 つの CS 領域と SDRAM 領域に分割 (CS 領域：各 16MB、SDRAM 領域：128MB)
ウェイト機能	データ・ウェイト	サイクルウェイト、アサートウェイト、データ出カウェイト設定で実現可能 <sup>(注1)</sup>
	アドレス・セットアップ・ウェイト	CS アサートウェイト設定で可能
	アドレス・ホールド・ウェイト	アドレスサイクルウェイト設定で可能
	端子による外部ウェイト	WAIT#端子により可能
マルチプロセッサ構成におけるバスの調停	バス・ホールド機能によるバス調停	なし
バスモード	セパレート・バス・モード マルチプレクス・バス・モードから選択	セパレートバスインタフェース アドレス/データマルチプレクス I/O インタフェースを選択可能
バス・サイクル・タイプ制御機能	接続する外部デバイスを指定可能 <ul style="list-style-type: none"> <li>SRAM, 外部 ROM, 外部 I/O</li> <li>ページ ROM</li> <li>SDRAM</li> </ul>	<ul style="list-style-type: none"> <li>CS 領域：外部デバイスを接続可能 (ページアクセスも可能)</li> <li>SDRAM 領域：SDRAM を接続可能</li> </ul>
エンディアン制御機能	CS 空間ごとにビッグ・エンディアン形式/ リトル・エンディアン形式を選択	領域ごとにビッグエンディアン形式/ リトルエンディアン形式を選択可能

注1. リード時：ノーマルリードサイクルウェイト(CSRWAIT)と RD アサートウェイト(RDON)で同等設定可能。  
 ライト時：ノーマルライトサイクルウェイト(CSWWAIT)と WR アサートウェイト(WRON)、ライトデータ出カウェイト(WDON)で同等設定可能。

表 2.5 外部バス・インタフェース機能関連端子比較

V850E/MA3			RX651		
端子名	入出力	機能	端子名	入出力	機能
AD0-AD15	入出力	マルチプレクス時はアドレス/データ・バス、セパレート時はデータ・バス ・ 8bit データバス : AD0-AD7 有効(マルチプレクス時、AD8-AD15 はアドレス出力として有効) ・ 16bit データバス : AD0-AD15 有効	D0-D31	入出力	データバス(マルチプレクス時はアドレスとマルチプレクス) ・ 8bit データバス : D0-D7 有効(マルチプレクス時は A0/D0-A7/D7) ・ 16bit データバス : D0-D15 有効(マルチプレクス時は A0/D0-A15/D15) ・ 32bit データバス : D0-D31 有効(セパレートバス時のみ)
A0-A25	出力	アドレス・バス ・ マルチプレクス : A16-A25 有効 ・ セパレート : A0-A25 有効	A0-A23	出力	アドレス ・ マルチプレクス(8bit データバス) : A8-A23 有効 ・ マルチプレクス(16bit データバス) : A16-A23 有効 ・ セパレート : A0-A23 有効
$\overline{\text{CS0}}$ - $\overline{\text{CS7}}$	出力	チップ・セレクト	CS0#- CS7#	出力	CS 領域選択
			SDCS#	出力	SDRAM チップセレクト
$\overline{\text{IOWR}}$	出力	I/O ライト・ストロープ	—	—	—
$\overline{\text{IORD}}$	出力	I/O リード・ストロープ	—	—	—
$\overline{\text{LWR}}$	出力	ライトストロープ(D0-D7)	WR0#	出力	バイトストロープモード時のライトストロープ(D0-D7)
$\overline{\text{UWR}}$	出力	ライトストロープ(D8-D15)	WR1#	出力	バイトストロープモード時のライトストロープ(D8-D15)
LDQM	出力	SDRAM 用入出力マスク(D0-D7)	DQM0	出力	SDRAM 入出力データマスクイネーブル(D0-D7)
UDQM	出力	SDRAM 用入出力マスク(D8-D15)	DQM1	出力	SDRAM 入出力データマスクイネーブル(D8-D15)
$\overline{\text{LBE}}$	出力	バイト・イネーブル(D0-D7)	BC0#	出力	1 ライトストロープモード時のバイトストロープ(D0-D7)
$\overline{\text{UBE}}$	出力	バイト・イネーブル(D8-D15)	BC1#	出力	1 ライトストロープモード時のバイトストロープ(D8-D15)
$\overline{\text{RD}}$	出力	リード・ストロープ	RD#	出力	リードストロープ
$\overline{\text{WE}}$	出力	SDRAM 用ライト・イネーブル	WE#	出力	SDRAM ライトイネーブル
$\overline{\text{WR}}$	出力	ライト・ストロープ	WR#	出力	1 ライトストロープモード時のライト・ストロープ
ASTB	出力	アドレス・ストロープ	ALE	出力	アドレスラッチ
$\overline{\text{BCYST}}$	出力	バス・サイクル・スタート	—	—	—
$\overline{\text{WAIT}}$	入力	外部ウェイト要求	WAIT#	入力	ウェイト要求
$\overline{\text{HLDK}}$	出力	バス・ホールド・アクノリッジ	—	—	—
$\overline{\text{HLDRQ}}$	入力	バス・ホールド要求	—	—	—

V850E/MA3			RX651		
端子名	入出力	機能	端子名	入出力	機能
$\overline{\text{REFRQ}}$	出力	SDRAM 用リフレッシュ要求	—	—	—
BUSCLK	出力	バス・クロック	BCLK	出力	外部バスクロック
SDCKE	出力	SDRAM 用クロック・イネーブル	CKE	出力	SDRAM クロックイネーブル
SDCLK	出力	SDRAM 用クロック	SDCLK	出力	SDRAM クロック
$\overline{\text{SDCAS}}$	出力	SDRAM 用カラム・アドレス・ストロープ	CAS#	出力	SDRAM カラムアドレスストロープ
$\overline{\text{SDRAS}}$	出力	SDRAM 用ロウ・アドレス・ストロープ	RAS#	出力	SDRAM ロウアドレスストロープ

## 2.3.2 注意事項

### 2.3.2.1 ピン数による製品間の差異

RX651 グループでは 144 ピン未満のパッケージは SDRAM 領域をサポートしていません。また、64 ピンパッケージの製品は外部バス機能をサポートしていません。

### 2.3.2.2 エンディアンに関する注意事項

RX651 グループでは CPU と異なるエンディアンを設定した領域へ命令コードを配置できません。

## 2.4 クロック・ジェネレータ

### 2.4.1 仕様比較

V850E/MA3 に搭載されたクロック・ジェネレータに対応する RX651 グループのクロック発生回路の仕様を表 2.6 に示します。

表 2.6 クロック・ジェネレータの対応

項目	クロック・ジェネレータ	RX651
	V850E/MA3	クロック発生回路
CPU クロックソース	以下 2 種類から選択 ・発振クロック(PLL モード時： 4~8 MHz、 クロック・スルー・モード時： 5~25MHz) ・PLL クロック(1.25/2.5/5/10 通倍)	以下 5 種類から選択 ・メインクロック(発振周波数 8~24MHz) (発振子と外部クロックを選択可能) ・PLL クロック(10~30 通倍、1/2/3 分周) <sup>(注1)</sup> ・サブクロック(32.768kHz) ・HOCO(16/18/20MHz) ・LOCO(240kHz)
動作周波数	機能ごとに規定 ・CPU クロック $f_{CPU}$ : 80MHz(max) ・内部システムクロック $f_{CLK}$ : 80MHz(max) ・周辺クロック : 80MHz(max) ・ウォッチドッグ・タイマクロック $f_{xw}$ : 40MHz(max)	機能ごとに異なるクロックを生成 ・ICLK : 120MHz (max) ・PCLKA : 120MHz (max) ・PCLKB : 60MHz (max) ・PCLKC : 60MHz (max) ・PCLKD : 60MHz (max) ・FCLK : 4MHz~60MHz(フラッシュメモリ P/E 時) 60MHz (max)(データフラッシュメモリ読み出し時) ・BCLK : 120MHz (max) ・BCLK 端子出力 : 60MHz (max) ・UCLK : 48MHz (max) ・CACCLK : 各発振器のクロックと同じ ・CANMCLK : 24MHz (max) ・RTCSClk : 32.768kHz ・RTCMCLK : 8MHz~16MHz ・IWDTCk : 120kHz ・JTAGTCK : 10MHz (max)

注1. PLL クロックソースはメインクロックと HOCO から選択可能です。

### 2.4.2 注意事項

#### 2.4.2.1 クロック発生回路に関する注意事項

RX651 グループでは各モジュールに供給されるシステムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック(FCLK)、外部バスクロック(BCLK)、SDRAM クロック(SDCLK)の周波数関係に制限があります。詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「9.10.1 クロック発生回路に関する注意事項」を参照してください。

## 2.5 タイマ機能 (TMP, TMQ)

### 2.5.1 搭載ユニット

V850E/MA3 と RX651 グループに内蔵されたタイマ機能のユニット一覧を表 2.7 に示します。

表 2.7 V850E/MA3、RX651 グループのタイマ機能一覧

項目	V850E/MA3	RX651
多機能タイマ/ カウンタ 統合モジュール	<ul style="list-style-type: none"> <li>・ 16 ビット・タイマ/イベント・カウンタ P(TMP)</li> <li>・ 16 ビット・タイマ/イベント・カウンタ Q(TMQ)</li> </ul>	<ul style="list-style-type: none"> <li>・ マルチファンクションタイマパルスユニット 3 (MTU3a)</li> </ul>

### 2.5.2 仕様比較

V850E/MA3 に搭載されたタイマ機能(TMP, TMQ) に対応する RX651 グループのマルチファンクションタイマパルスユニット 3(MTU3a)の仕様を表 2.8 に示します。

表 2.8 タイマ機能の対応

項目	V850E/MA3	RX651
	TMP, TMQ	MTU3a
タイマカウンタ	4 本 (TMP0-2 : 各 1 本, TMQ0 : 1 本)	11 本 (MTU0-4,6-8 : 各 1 本, MTU5 : 3 本)
モード	インターバル・タイマ 任意周期での割り込み発生と方形波出力 カウンタ : 最大 4 チャンネル 波形出力 : 最大 10 本 (TMP0-2 : 各 2 本, TMQ0 : 4 本)	ノーマルモード(周期カウント動作)で可能 カウンタ : 最大 8 チャンネル(MTU0-4,6-8) 波形出力 : 最大 28 本(MTU0,3,4,6-8 : 各 4 本, MTU1,2 : 各 2 本)
	外部イベント・カウンタ 任意の外部イベント入力によるカウント動作 最大 4 チャンネル 入力端子(TMP0-2 : 入力各 1 本, TMQ0 : 入力 1 本)	外部クロック入力が可能な MTU0-4,6-8 の 最大 8 チャンネルで可能 外部クロック入力端子 : 最大 4 本(各チャンネルで内 1 本を選択可能)
	外部トリガ・パルス出力 外部トリガ入力によるカウント開始と PWM 波形 出力 最大 7 本出力可能(TMP0-2 : 入力/出力各 1 本, TMQ0 : 外部イベント入力 1 本、出力 4 本)	ハードで同等の機能はなし(注1) ただし、MTU0-4,6,7 の PWM モードと CPU 割り込み を使用して実現可能。 波形出力 : PWM モード 1,2 組み合わせで最大 16 本 の PWM 出力が可能
	ワンショット・パルス出力 外部トリガ入力によるカウント開始とワンショッ ト・パルス出力 最大 6 本出力(TMP0-2 : 入力/出力各 1 本, TMQ : 外部イベント入力 1 本、出力 4 本)	
	PWM 出力 最大 10 本出力(TMP0-2 : 各 2 本, TMQ0 : 4 本)	波形出力 : PWM モード 1,2 組み合わせで最大 16 本の PWM 出力が可能
	フリー・ランニング・タイマ 最大 4 チャンネル (TMP0-2, TMQ0)	ノーマルモード(フリーランニングカウント動作)で 可能 最大 9 チャンネル 11 個のカウントリソース (MTU0-4,6-8 : 各 1 本, MTU5 : 3 本)
	パルス幅測定 最大 4 本測定可能 (入力端子 : TMP0-2 : 各 1 本, TMQ0 : 1 本)	以下 2 つの方法が可能 ・ 各チャンネルのインプットキャプチャを使用 (MTU0-4,6-8 : 各 1 本, MTU5 : 3 本) ・ MTU5 のパルス幅測定機能を使用(最大 3 本の外部パ ルス入力幅測定が可能)

注1. RX651 グループとハードウェア互換のない、外部トリガモードとワンショットパルスモードは、ソフトウェアで同等の機能を再現したサンプルプログラムを用意しております。詳細は「3. サンプルプログラムの説明」を参照してください。

## 2.6 16 ビット・インターバル・タイマ D (TMD)

### 2.6.1 仕様比較

V850E/MA3 に搭載された 16 ビット・インターバル・タイマ D(TMD) に対応する RX651 グループのコンペアマッチタイマ(CMT) の仕様を表 2.9 に示します。

表 2.9 16 ビット・インターバル・タイマの対応

項目	V850E/MA3	RX651
	TMD	CMT
チャンネル数	4 チャンネル	4 チャンネル
カウンタビット長	16 ビット	16 ビット
選択可能な分周クロック	8 通り f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64, f <sub>xx</sub> /128, f <sub>xx</sub> /256, f <sub>xx</sub> /512 の中からチャンネルごとに選択可能	4 通り PCLK/8, PCLK/32, PCLK/128, PCLK/512 の中から チャンネルごとに選択可能

### 2.6.2 注意事項

#### 2.6.2.1 タイマの初期化

V850E/MA3 では TMD へのカウントクロック供給を停止すると TMD ユニットのレジスタはすべてのレジスタが非同期にリセットされます。RX651 グループでは、CMT がモジュールストップ状態に遷移してもレジスタは値を保持します。ただし、モジュールストップ状態ではレジスタ値のリードは出来ません。

## 2.7 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1)

## 2.7.1 仕様比較

V850E/MA3 に搭載された 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1) に対応する RX651 グループのマルチファンクションタイマパルスユニット 3(MTU3a) の仕様を表 2.10 に示します。

表 2.10 16 ビット・2 相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマの対応

項目	V850E/MA3	RX651
	TMENC1	MTU3a
タイマカウンタ	1 本(TMENC1)	11 本(MTU0-4,6-8 : 各 1 本, MTU5 : 3 本)
モード	汎用タイマ・モード インターバル動作 フリー・ランニング動作 キャプチャ機能 1 チャンネル(TMENC10) タイマ入力端子 : 2 本 タイマ出力端子 : 1 本	ノーマルモードの周期カウント動作、フリーランニング カウント動作で可能(ただし外部クリア要因なし) キャプチャ機能を同時に使用する場合、同期動作を使用 し、ノーマルモードとインプットキャプチャ機能を設定 したチャンネルを組み合わせることで可能 最大 8 チャンネル(MTU0-4,6-8) 入出力端子 : 最大 28 本(MTU0,3,4,6-8 : 各 4 本、 MTU1,2 : 各 2 本)
	UDC モード 2 相エンコーダ入力による アップ/ダウン・カウント動作 有効エッジ : 立ち上がり/立ち下がり/両エッジ	位相計数モードで UDC モードのモード 3 相当のカウン ト動作が可能 最大 2 チャンネル(MTU1,2) 有効エッジ : 立ち上がり/立ち下がり

## 2.7.2 注意事項

## 2.7.2.1 UDC モードと位相係数モードのカウント動作の違い

RX651 グループの位相係数モードには両エッジ検出機能が無いため、モード 4 相当の動作は出来ません。

位相係数モードではエッジ検出側の入力端子だけでなく、有効エッジを検出していない側の端子の入力レベルもカウント条件に含まれます。そのためモード 1 および、モード 2 相当の動作は出来ません。

位相係数モードのカウント動作の詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「24.3.6.1 16 ビット位相計数モード」を参照してください。

## 2.8 モータ制御機能

### 2.8.1 仕様比較

V850E/MA3 に搭載されたモータ制御機能に対応する RX651 グループのマルチファンクションタイマパルスユニット 3(MTU3a) の仕様を表 2.11 に示します。

表 2.11 モータ制御機能の対応

項目	V850E/MA3	RX651
	モータ制御機能	MTU3a
チャンネル数	6相 PWM 出力(正相 3本、逆相 3本) TMQ と TMQOP を組み合わせて使用 1チャンネル(TMQ0+TMQOP0)	相補 PWM モードにて可能 12相 PWM 出力(正相 6本、逆相 6本) 最大 2チャンネル(MTU3+4,MTU6+7) PWM 周期に同期したトグル出力が可能 (各チャンネル 1本)
デッド・タイム制御	デッドタイム制御 逆相波信号の生成	タイマデッドタイムデータレジスタにて可能
割り込み 間引き	割り込み間引き機能 山割り込みと谷割り込みを指定した間引きカウンタ数分マスク (最大 31 回マスク可能)	タイマ割り込み間引き設定レジスタにて可能 (最大 7 回マスク可能)
強制出力 停止機能	ハイインピーダンス出力制御 INTP000 端子の有効エッジ検出でハイインピーダンスに切り替え可能	ポートアウトプットイネーブル 3 <sup>(注1)</sup> との連携で ハイインピーダンスに切り替え可能
A/D 変換 トリガ	A/D 変換開始トリガ出力機能 以下の 4 つのトリガ・ソースから選択 ・ TMQ カウンタ・アンダフロー ・ TMQ 周期一致 ・ 同調動作 TMP のコンペアー一致(2本)	A/D 変換開始要求ディレイド機能にて任意の周期で A/D 変換開始要求を生成可能 タイマ A/D 変換開始要求周期設定レジスタ (2本)

注1. POE3a 機能の詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「25. ポートアウトプットイネーブル 3 (POE3a)」を参照してください。

## 2.9 ウォッチドッグ・タイマ機能

### 2.9.1 搭載ユニット

V850E/MA3 と RX651 グループに内蔵されたウォッチドッグ・タイマ機能のユニット一覧を表 2.12 に示します。

表 2.12 V850E/MA3、RX651 グループのウォッチドッグ・タイマ機能一覧

項目	V850E/MA3	RX651
ウォッチドッグ・タイマ機能	ウォッチドッグ・タイマ機能	<ul style="list-style-type: none"> <li>・ウォッチドッグタイマ(WDTA)</li> <li>・独立ウォッチドッグタイマ(IWDTa)</li> </ul>

### 2.9.2 仕様比較

V850E/MA3 に搭載されたウォッチドッグ・タイマ機能に対応する RX651 グループのウォッチドッグタイマ(WDTA)、および独立ウォッチドッグタイマ(IWDTa)の仕様を表 2.13 に示します。

表 2.13 ウォッチドッグ・タイマ機能の対応

項目	V850E/MA3	RX651	
	ウォッチドッグ・タイマ機能	WDTA	IWDTa
カウンタビット長	8 ビット	14 ビット	14 ビット
カウント クロックソース	発振クロック PLL クロック	周辺クロック (PCLKB)	IWDT 専用クロック (IWDTCLK) オンチップオシレータで生成
オーバフロー 時間選択	8 通り $2^{14}/f_{xx}$ , $2^{15}/f_{xx}$ , $2^{16}/f_{xx}$ , $2^{17}/f_{xx}$ , $2^{18}/f_{xx}$ , $2^{19}/f_{xx}$ , $2^{20}/f_{xx}$ , $2^{22}/f_{xx}$	15 通り タイムアウト期間 : 1024, 4096, 8192, 16384 サイクル クロック分周比 : 6 種類(4 分周, 64 分周, 128 分周, 512 分周, 2048 分周, 8192 分周)	12 通り タイムアウト期間 : 128, 512, 1024, 2048 サイクル クロック分周比 : 6 種類(分周なし, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周)
オーバフロー 発生時の動作	インターバル・タイマ・モード/ ウォッチドッグ・タイマ・ モード 1/ウォッチドッグ・ タイマ・モード 2 から選択	ノンマスカブル割り込み要求出力/ リセット出力を選択可能	ノンマスカブル割り込み要求出力/ リセット出力を選択可能
割り込み/ リセット 発生要因	オーバフロー	アンダフロー リフレッシュエラー (ウィンドウ機能)	アンダフロー リフレッシュエラー (ウィンドウ機能)

### 2.9.3 注意事項

#### 2.9.3.1 カウント動作について

V850E/MA3 のウォッチドッグ・タイマはアップカウントですが、RX651 グループのウォッチドッグタイマ(WDTA)および、独立ウォッチドッグタイマ(IWDTa)はダウンカウントになります。

## 2.10 A/D コンバータ

## 2.10.1 搭載ユニット

V850E/MA3 と RX651 グループに内蔵された A/D コンバータのユニット一覧を表 2.14 に示します。

表 2.14 V850E/MA3、RX651 の A/D コンバータ一覧

項目	V850E/MA3	RX651
A/D コンバータ	・ A/D コンバータ	・ 12 ビット A/D コンバータ(S12ADFa)

## 2.10.2 仕様比較

V850E/MA3 に搭載された A/D コンバータに対応する RX651 グループの 12 ビット A/D コンバータ (S12ADFa) の仕様を表 2.15 に示します。

表 2.15 A/D コンバータの対応

項目	V850E/MA3	RX651
	A/D コンバータ	S12ADFa
アナログ入力	8 チャンネル	2 ユニット 29 チャンネル ・ S12AD : 8 チャンネル ・ S12AD1 : 21 チャンネル
分解能	10 ビット	12 ビット
A/D 変換方式	逐次変換方式	逐次比較方式
A/D 変換動作モード	セレクト・モード(1 バッファ) 1 つのアナログ入力端子の電圧を 1 回 A/D 変換	シングルスキャンモードで可能
	セレクト・モード(4 バッファ) 1 つのアナログ入力端子の電圧を 4 回 A/D 変換	シングルスキャンモードでダブルトリガモードを選択することで任意に選択したチャンネルのアナログ入力を 2 回 A/D 変換可能
	スキャン・モード ANIO 端子から任意のアナログ入力端子 (ANIn : n=0-7) までを順に A/D 変換	シングルスキャンモードで任意に選択したチャンネルの A/D 変換が可能
A/D 変換トリガ・モード	ソフトウェア・トリガ・モード	ソフトウェアトリガ
	タイマ・トリガ・モード(3 本)	同期トリガ(タイマ機能など <sup>(注1)</sup> からのトリガ受け付け)で可能
	外部トリガ・モード(1 本)	非同期トリガ ・ S12AD : ADTRG0#端子 ・ S12AD1 : ADTRG1#端子
外部トリガの有効エッジ	・ 立ち下がりエッジ ・ 立ち上がりエッジ ・ 両エッジ	立ち下がりエッジのみ
変換時間(最速)	2.25 $\mu$ s	・ 12 ビット変換モード : 0.48 $\mu$ s ・ 10 ビット変換モード : 0.45 $\mu$ s ・ 8 ビット変換モード : 0.42 $\mu$ s
割り込み/	A/D 変換終了	・ スキャン終了 ・ デジタルコンペア機能の比較条件成立

注1. タイマ機能などとは具体的に以下のモジュールを指します。  
マルチファンクションタイマパルスユニット(MTU)  
8 ビットタイマ(TMR)  
16 ビットタイマパルスユニット(TPU)  
イベントリンクコントローラ(ELC)

### 2.10.3 注意事項

#### 2.10.3.1 A/D コンバータの動作状態

V850E/MA3 には A/D コンバータが変換動作中かを示すステータスフラグがあります。RX651 グループの 12 ビット A/D コンバータにはステータスフラグはありませんが、A/D コントロールレジスタの A/D 変換スタートビットで確認できます。

## 2.11 D/A コンバータ

## 2.11.1 仕様比較

V850E/MA3 に搭載された D/A コンバータに対応する RX651 グループの 12 ビット D/A コンバータ (R12DAa) との仕様比較を表 2.16 に示します。

表 2.16 D/A コンバータの対応

項目	V850E/MA3	RX651
	D/A コンバータ	R12DAa
アナログ出力	2 チャンネル	2 チャンネル
分解能	8 ビット	12 ビット
セトリング・タイム/ 変換時間	セトリング・タイム ・ 3 $\mu$ s	変換時間 ・ バッファなし出力 : 3 $\mu$ s ・ バッファ出力 : 4 $\mu$ s
アナログ出力電圧	$AV_{DD1} \times m / 256$ ( $m = 0-255$ ; DA0CSn レジスタに設定した値)	$AVCC1 \times m / 4096$ ( $m = 0-4096$ ; DADRn レジスタに設定した値)
動作モード	・ 通常モード (レジスタ書き換えによる D/A 変換)	・ 通常モード (レジスタ書き換えによる D/A 変換)
	・ リアルタイム出力モード (TMD の割り込み要求信号で D/A 変換)	・ タイマ割り込み、イベントリンク機能 <sup>(注1)</sup> を組み合わせることで可能

注1. イベントリンク機能の詳細は RX65N ループ、RX651 グループユーザーズマニュアル ハードウェア編「21. イベントリンクコントローラ(ELC)」を参照してください。

## 2.12 アシクロナス・シリアル・インタフェース A (UARTA)

## 2.12.1 仕様比較

V850E/MA3 に搭載されたアシクロナス・シリアル・インタフェース A(UARTA) に対応する RX651 グループのシリアルコミュニケーションインタフェース(SCIg, SCli, SClh) の調歩同期式モードの仕様を表 2.17 に示します。

表 2.17 アシクロナス・シリアル・インタフェースの対応

項目	V850E/MA3	RX651
	UARTA	SCIg, SCli, SClh の調歩同期式モード
チャンネル数	4 チャンネル	13 チャンネル
通信速度(MAX)	5Mbps(fxx=80MHz 時)	SClh(SCI10,SCI11) : 15Mbps(PCLKA=120MHz 時) SCIg,SCli(上記以外のチャンネル) : 7.5Mbps(PCLKB=60MHz 時)
全二重通信	可能	可能
キャラクタ長	7/8 ビットから選択	7/8/9 ビットから選択可能
送信ストップ・ビット	1/2 ビットから選択	1/2 ビットから選択可能
パリティ機能	奇数/偶数/0/なしから選択	奇数/偶数/なしから選択可能
データ転送	MSB/LSB ファーストから選択可能	MSB/LSB ファーストから選択可能
データ反転	送受信データの反転入出力が可能	送受信データの反転入出力が可能
クロックソース	内部/外部から選択 <sup>(注1)</sup>	内部/外部から選択可能 <sup>(注2)</sup>
ノイズ・フィルタ	ノイズ・フィルタ回路により除去	デジタルフィルタでノイズ除去可能 フィルタの有効/無効を設定可能
端子	シリアル・ボーン・レート・クロック入力 送信データの出力 受信データの入力	クロック入出力 送信データの出力 受信データの入力 送受信開始制御用入出力
受信エラー検出	パリティ・エラー フレーミング・エラー オーバラン・エラー	パリティエラー フレーミングエラー オーバランエラー
割り込み要因	受信エラー 受信終了 送信許可	受信エラー 受信データフル 送信データエンプティ 送信終了
DMA 起動要因	受信終了 送信許可	受信データフル 送信データエンプティ

注1. UARTA3 は外部クロック使用不可

注2. SCI5、SCI6、SCI12 は TMR からの転送レートクロック入力が可能

## 2.12.2 注意事項

## 2.12.2.1 0 パリティ

V850E/MA3 にはパリティの種類に 0 パリティという設定があります。RX651 グループには 0 パリティに相当する設定はありません。

## 2.12.2.2 動作クロックの差異

RX651 グループのシリアルコミュニケーションインタフェース(SCIg, SCli, SClh)では使用するチャンネルによって供給される動作クロックが異なります。詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「表 37.4 SCI チャンネル別機能一覧」を参照してください。

## 2.13 クロック同期式シリアル・インタフェース B (CSIB)

## 2.13.1 搭載ユニット

V850E/MA3 と RX651 グループに内蔵されたクロック同期式シリアル・インタフェースのユニット一覧を表 2.18 に示します。

表 2.18 V850E/MA3、RX651 グループのクロック同期式シリアル・インタフェース一覧

項目	V850E/MA3	RX651
クロック同期式シリアル・インタフェース	・クロック同期式シリアル・インタフェース B(CSIB)	・シリアルペリフェラルインタフェース(RSPIc) ・シリアルコミュニケーションインタフェース(SCIg, SCli, SCih) の簡易 SPI モード/クロック同期式モード

## 2.13.2 仕様比較

V850E/MA3 に搭載されたクロック同期式シリアル・インタフェース B(CSIB) に対応する RX651 グループのシリアルペリフェラルインタフェース(RSPIc)、およびシリアルコミュニケーションインタフェース(SCIg, SCli, SCih) のクロック同期式モードの仕様を表 2.19 に示します。

表 2.19 クロック同期式シリアル・インタフェースの対応

項目	V850E/MA3	RX651	
	CSIB	RSPIc	SCIg, SCli, SCih (簡易 SPI モード/ クロック同期式モード)
チャンネル数	3 チャンネル	3 チャンネル	13 チャンネル
通信クロック周波数 (MAX)	マスタ/スレーブ共通 : 10MHz	マスタ動作時 : 40MHz (PCLKA=80MHz 時) スレーブ動作時 : 30MHz (PCLKA=120MHz 時)	・簡易 SPI モード マスタ動作時 : 7.5MHz (PCLK=60MHz,120MHz 時) スレーブ動作時 SCli(SCI10,SCI11) : 20MHz (PCLK=120MHz 時) SCIg,SCih (上記以外のチャンネル) : 10MHz (PCLK=60MHz 時) ・クロック同期式モード マスタ動作時 : 7.5MHz スレーブ動作時 : 10MHz (PCLK=60MHz,120MHz 時)
動作モード	マスタモード/スレーブモード	マスタモード/スレーブモード	マスタモード/スレーブモード
シリアル・クロックとデータのフェーズ切り替えが可能	シリアル・クロックとデータのフェーズ切り替えが可能	RSPCK の位相、極性を変更可能	クロックの位相、極性を変更可能
データ長	8-16 ビットを選択	8-16,20,24,32 ビットから選択可能	8 ビット
データ転送	MSB/LSB 先頭を切り替え可能	MSB/LSB ファースト切り替え可能	MSB/LSB ファースト切り替え可能
転送モード	シングル転送モード(送信, 受信, 送受信モード)	シングル転送可能	シングル転送可能
	連続転送モード(送信, 受信, 送受信モード)	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能

項目	V850E/MA3	RX651	
	CSIB	RSPIc	SCIg, SCLi, SCIH (簡易 SPI モード/ クロック同期式モード)
端子	シリアル・データ出力 シリアル・データ入力 シリアル・クロック入出力	マスタ送出データ入出力 スレーブ送出データ入出力 クロック入出力 スレーブセレクト入出力 (SPI 動作のみ)	クロック入出力 送信データの出力 受信データの出力 送受信開始制御用入出力/ チップセレクト入力端子
割り込み要因	受信終了 送信許可 受信エラー	受信バッファフル 送信バッファエンプティ RSPI エラー RSPI アイドル	受信エラー 受信データフル 送信データエンプティ 送信終了
DMA 起動要因	受信終了 送信許可	受信バッファフル 送信バッファエンプティ	受信データフル 送信データエンプティ

### 2.13.3 注意事項

#### 2.13.3.1 動作クロックの差異

RX651 グループのシリアルコミュニケーションインタフェース(SCIg, SCLi, SCIH)では使用するチャンネルによって供給される動作クロックが異なります。詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「表 37.4 SCI チャンネル別機能一覧」を参照してください。

2.14 I<sup>2</sup>C バス

## 2.14.1 搭載ユニット

V850E/MA3 と RX651 グループに内蔵された I<sup>2</sup>C バス機能のユニット一覧を表 2.20 に示します。

表 2.20 V850E/MA3、RX651 グループの I<sup>2</sup>C バス機能一覧

項目	V850E/MA3	RX651
I <sup>2</sup> C 機能	I <sup>2</sup> C バス	<ul style="list-style-type: none"> <li>I<sup>2</sup>C バスインタフェース(RIICa)</li> <li>シリアルコミュニケーションインタフェース(SCIg, SCli, SCih) の簡易 I<sup>2</sup>C バス</li> </ul>

## 2.14.2 仕様比較

V850E/MA3 に搭載された I<sup>2</sup>C バスに対応する RX651 グループの I<sup>2</sup>C バスインタフェース(RIICa) 、およびシリアルコミュニケーションインタフェース(SCIg, SCli, SCih) の簡易 I<sup>2</sup>C バスの仕様を表 2.21 に示します。

表 2.21 I<sup>2</sup>C バスの対応

項目	V850E/MA3	RX651	
	I <sup>2</sup> C バス	RIICa	SCIg, SCli, SCih の簡易 I <sup>2</sup> C バス
チャンネル数	1 チャンネル	3 チャンネル	13 チャンネル
通信速度	標準モード：～100kbps 高速モード：～350kbps	スタンダードモード：～100kbps ファストモード：～400kps ファストモードプラス：～1Mbps	スタンダードモード：～100kbps ファストモード：～350kbps
通信フォーマット	I <sup>2</sup> C バス・フォーマット	<ul style="list-style-type: none"> <li>I<sup>2</sup>C バスフォーマット</li> <li>SMBus フォーマット</li> </ul>	I <sup>2</sup> C バスフォーマット
通信動作	<ul style="list-style-type: none"> <li>マスタ動作(マルチマスタ対応)</li> <li>スレーブ動作</li> </ul>	<ul style="list-style-type: none"> <li>マスタ動作(マルチマスタ対応)</li> <li>スレーブ動作</li> </ul>	マスタ(シングルマスタのみ)
デジタル・フィルタ	高速モード時のみ使用可能	フィルタの有効/無効を設定可能 ノイズ除去幅を調整可能	フィルタの有効/無効を設定可能 ノイズ除去幅を調整可能
消費電力低減	動作停止モード シリアル転送を行わないときに使用	モジュールストップ機能で実現可能 チャンネルごとに設定可能	モジュールストップ機能で実現可能 チャンネルごとに設定可能
割り込み	1 種類 <ul style="list-style-type: none"> <li>シリアル・クロックの 8 クロック目または 9 クロック目の立ち下がり</li> <li>ストップ・コンディション検出</li> </ul>	4 種類 <ul style="list-style-type: none"> <li>EI 割り込み <ul style="list-style-type: none"> <li>通信エラー/通信イベント発生</li> <li>アービトラクション検出</li> <li>NACK 検出</li> <li>タイムアウト検出</li> <li>スタートコンディション検出(リスタートコンディション含む)</li> <li>ストップコンディション検出</li> </ul> </li> <li>RXI 割り込み <ul style="list-style-type: none"> <li>受信データフル(スレーブアドレス一致時含む)</li> </ul> </li> <li>TXI 割り込み <ul style="list-style-type: none"> <li>送信データエンプティ(スレーブアドレス一致時含む)</li> </ul> </li> <li>TEI 割り込み <ul style="list-style-type: none"> <li>送信終了</li> </ul> </li> </ul>	3 種類 <ul style="list-style-type: none"> <li>RXI 割り込み <ul style="list-style-type: none"> <li>ACK 検出/受信</li> </ul> </li> <li>TXI 割り込み <ul style="list-style-type: none"> <li>NACK 検出/送信</li> </ul> </li> <li>STI 割り込み <ul style="list-style-type: none"> <li>開始条件、再開条件、停止条件生成終了</li> </ul> </li> </ul>

項目	V850E/MA3	RX651	
	I <sup>2</sup> C バス	R1ICa	SCIg, SCLi, SCLh の 簡易 I <sup>2</sup> C バス
DMA 起動要因	転送終了	<ul style="list-style-type: none"><li>・受信データフル</li><li>・送信データエンプティ</li></ul>	<ul style="list-style-type: none"><li>・受信割り込み</li><li>・送信割り込み</li></ul>

## 2.15 DMA 機能 (DMA コントローラ)

## 2.15.1 仕様比較

V850E/MA3 に搭載された DMA 機能(DMA コントローラ) に対応する RX651 グループの DMA コントローラ(DMACAa) の仕様を表 2.22 に示します。

表 2.22 DMA 機能の対応

項目	V850E/MA3	RX651
	DMA 機能	DMACAa
チャンネル数	4 チャンネル	8 チャンネル
転送モード	シングル転送モード 1 回の転送要求で 1 データの転送	ノーマル転送モードで実現可能
	シングルステップ転送モード 1 回の転送要求で 1 データ転送とバス解放を指定した転送回数まで継続	—
	ブロック転送モード 1 回の転送要求で 1 データ転送を指定した転送回数まで継続	ブロック転送モードで実現可能
転送単位	1 データ : 8/16 ビットから選択	1 データ : 8/16/32 ビットから選択可能 ブロックサイズ : 1~1024 データを設定可能
最大転送回数	65536 回	ノーマル転送モード : 65535 回 ブロック転送モード : 64K 回
転送要求	内蔵周辺 I/O からの割り込みによる要求 DMARQ0-3 端子入力による要求 ソフトウェア・トリガによる要求	周辺モジュールからの割り込み要求 外部割り込み入力端子へのトリガ入力 ソフトウェアトリガ
転送対象	メモリ↔I/O メモリ↔メモリ	予約領域を除く全領域が対象
アドレス カウント方式	インクリメント デクリメント 固定	インクリメント デクリメント 固定 オフセット加算 <sup>(注1)</sup>
割り込み	DMA 転送終了割り込み	転送終了割り込み 転送エスケープ終了割り込み

注1. オフセット加算設定は DMAC0 のみ設定可能です。

## 2.16 割り込み／例外処理機能

## 2.16.1 仕様比較

V850E/MA3 に搭載された割り込み／例外処理機能に対応する RX651 グループの割り込みコントローラ (ICUB)／例外処理の仕様を表 2.23 に示します。

表 2.23 割り込み／例外処理機能の対応

項目	V850E/MA3	RX651
	割り込み／例外処理機能	ICUB／例外処理
割り込み	ノンマスクابل割り込み：2 要因 ・ NMI 端子入力 ・ ウォッチドッグ・タイマのオーバフロー	ノンマスクابل割り込み：7 要因 ・ NMI 端子割り込み ・ 発振停止検出割り込み ・ WDT アンダフロー/リフレッシュエラー ・ IWDT アンダフロー/リフレッシュエラー ・ 電圧監視 1 割り込み ・ 電圧監視 2 割り込み ・ RAM エラー割り込み
	マスクابل割り込み ・ 外部：25 要因 ・ 内蔵周辺機能割り込み	割り込み ・ 外部端子割り込み：16 要因 ・ 周辺機能割り込み ・ ソフトウェア割り込み：2 要因
	8 レベルのプログラマブル優先順位制御	16 レベルに設定可能
	外部割り込み要求のノイズ除去 ・ アナログ・フィルタによるノイズ除去回路：NMI, INTp <sub>n</sub> (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137) - ノイズ除去時間未満(80ns)で変化する入力は除去	外部割り込み要求端子のノイズ除去 ・ デジタルフィルタ：NMI, IRQ0-15 デジタルフィルタ有効／無効選択可能 - 3 回連続でレベルが一致する入力のみ通過 - サンプリング周波数：PCLKB, PCLKB/8, PCLKB/32, PCLKB/64
	外部割り込み要求の有効エッジ指定：NMI, INTp <sub>n</sub> (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137) ・ 立ち上がりエッジ ・ 立ち下がりエッジ ・ 両エッジ	外部割り込み要求端子の割り込み検出を設定可能 ・ Low レベル(IRQ0-15) ・ 立ち下がりエッジ(NMI, IRQ0-15) ・ 立ち上がりエッジ(NMI, IRQ0-15) ・ 両エッジ(IRQ0-15)
例外	ソフトウェア例外 ・ 専用：32 要因	INT 命令、および BRK 命令による無条件トラップ ・ 無条件トラップ専用：16 要因
	例外トラップ：2 要因(不正命令コード例外、デバッグ・トラップ)	未定義命令例外、特権命令例外で実現可能

## 2.16.2 注意事項

## 2.16.2.1 ノンマスクابل割り込みのベクタ領域

RX651 グループではノンマスクابل割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「2.6 ベクタテーブル」を参照してください。

### 2.16.2.2 選択型割り込みとグループ割り込み

RX651 グループには選択型割り込みとグループ割り込みという機能があります。選択型割り込みは特定の割り込みベクタ番号に周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能な機能です。グループ割り込みは複数の割り込み要因をグループ化し、1 つの割り込み要因として扱う機能です。各割り込みの詳細は RX65N グループ、RX651 グループユーザーズマニュアルハードウェア編「表 15.1 割り込みコントローラの仕様項」を参照してください。

## 2.17 スタンバイ機能

## 2.17.1 仕様比較

V850E/MA3 に搭載されたスタンバイ機能に対応する RX651 グループの消費電力低減機能の仕様を表 2.24 に示します。

表 2.24 スタンバイ機能の対応

項目	V850E/MA3	RX651
	スタンバイ機能	消費電力低減機能
HALT モード	<p>CPU の動作クロックのみを停止させるモード</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・ノンマスクابل割り込み要求信号 (NMI 端子入力, オーバフローによるノンマスクابل割り込み要求信号発生)</li> <li>・マスクされていないマスクابل割り込み要求信号</li> <li>・リセット信号(RESET 端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号発生)</li> </ul>	<p>スリープモードで実現可能</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・ノンマスクابل割り込み</li> <li>・マスクされていないマスクابل割り込み</li> <li>・リセット(RES#端子リセット, パワーオンリセット, 電圧監視リセット, 独立ウォッチドッグタイマリセット)</li> </ul>
IDLE モード	<p>発振回路以外の内部回路の動作をすべて停止させるモード</p> <p>ただし、スレーブ・モード時の CSIB と外部クロック選択時の UARTA は動作可能</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・ノンマスクابل割り込み要求信号(NMI 端子入力)</li> <li>・マスクされていない外部割り込み要求信号(INTPn 端子入力)</li> <li>・IDLE モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時の CSIB 関連割り込み要求信号および外部クロック選択時の UARTA 関連割り込み要求信号)</li> <li>・リセット信号(RESET 端子入力)</li> </ul>	<p>スリープモードとモジュールストップ機能により実現可能</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・ノンマスクابل割り込み</li> <li>・マスクされていないマスクابل割り込み</li> <li>・リセット(RES#端子リセット, パワーオンリセット, 電圧監視リセット, 独立ウォッチドッグタイマリセット)</li> </ul>
ソフトウェア STOP モード	<p>内部回路の動作をすべて停止させるモード</p> <p>ただし、スレーブ・モード時の CSIB と外部クロック選択時の UARTA は動作可能</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・ノンマスクابل割り込み要求信号(NMI 端子入力)</li> <li>・マスクされていない外部割り込み要求信号(INTPn 端子入力)</li> <li>・ソフトウェア STOP モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時の CSIB 関連割り込み要求信号および外部クロック選択時の UARTA 関連割り込み要求信号)</li> <li>・リセット信号(RESET 端子入力)</li> </ul>	<p>ソフトウェアスタンバイモードで実現可能</p> <p>ただし、スレーブ・モード時の CSIB や外部クロック選択時の UARTA 相当の動作は不可</p> <p>&lt;解除要因&gt;</p> <ul style="list-style-type: none"> <li>・外部端子割り込み(NMI, IRQ0-15)</li> <li>・周辺機能割り込み(RTC アラーム, RTC 周期, IWDT, USB サスペンド/レジューム, 電圧監視 1, 電圧監視 2)</li> <li>・リセット(RES#端子リセット, パワーオンリセット, 電圧監視リセット, 独立ウォッチドッグタイマリセット)</li> </ul>

n = 000, 001, 004, 005, 010-013, 021,022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137

表 2.25 各モード遷移時の動作状態

機能	V850E/MA3			RX651			
	HALT モード	IDLE モード	ソフトウェア STOP モード	スリープ モード	全モジュール クロックストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード
クロック・ジェネレータ	○	○	×	-	-	-	-
メインクロック	-	-	-	○	○	○	○
PLL	○	○	×	○	○	×	×
サブクロック	-	-	-	○	○	○	○
高速オンチップオシレータ	-	-	-	○	○	×	×
低速オンチップオシレータ	-	-	-	○	○	×	×
IWDT 専用オンチップオシレータ	-	-	-	○(注1)	○(注1)	○(注1)	×
CPU	×	×	×	×	×	×	×
DMA	○	×	×	○(注2)	×	×	×
割り込みコントローラ	○	×	×	○	×	×	×
ウォッチドッグタイマ	○	×	×	○(注3)	○(注3)	○(注3)	×
その他周辺モジュール	注4	注4	注4	○	注4	注4	注4
ポート	保持	保持	保持	○	保持(注5)	保持(注5)	保持(注5注6)
RAM	保持	保持	保持	○	×	×	×

○：動作可能、×：動作停止、-：相当する機能なし

保持は内部レジスタ値保持、内部状態は動作中断を示します。

不定は内部レジスタ値不定、内部状態は電源オフを示します。

注1. 低消費電力モード遷移時に、IWDT カウント動作の動作/停止が選択できます。詳細は RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。

注2. スリープモード中は、システム制御関連のレジスタへの書き込みは禁止です。詳細は RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編「表 5.1 I/O レジスタアドレス一覧」を参照してください。

注3. WDTA は動作停止。

注4. 各モードによって動作可能な条件やモジュールが異なります。詳細は V850E/MA3 ユーザーズマニュアル ハードウェア編「21 章 スタンバイ機能」および、RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編「11. 消費電力低減機能」を参照してください。

- 注5. P53 を BCLK として使用している場合、BCLK 出力のまま動作を継続します。8 ビットタイマ、RTC を動作させている場合、関連する端子は動作を継続します。
- 注6. スタンバイコントロールレジスタの出力ポートイネーブルビットの設定によって、アドレスバス、バス制御信号の保持/ハイインピーダンスを選択することができます。
- 注7. ディープスタンバイコントロールレジスタのディープカットビットの設定によって、保持/不定を選択することができます。

### 3. サンプルコードの説明

本アプリケーションノートでは RX651 とハードウェア互換のない機能をソフトウェアで再現したサンプルプログラムを同梱しています。

サンプルプログラムはルネサスエレクトロニクスホームページから最新バージョンを入手してください。

#### 3.1 動作確認環境

表 3.1 に本サンプルプログラムの動作確認環境を示します。

表 3.1 動作確認環境

項目	内容
使用マイコン	R5F565NEDDFC
動作周波数	<ul style="list-style-type: none"> <li>•メインクロック: 24MHz</li> <li>•PLL: 240MHz (メインクロック 1 分周 10 通倍)</li> <li>•システムクロック (ICLK): 120MHz (PLL 2 分周)</li> <li>•周辺モジュールクロック A (PCLKA): 120MHz(PLL 2 分周)</li> <li>•周辺モジュールクロック B (PCLKB): 60MHz (PLL 4 分周)</li> <li>•周辺モジュールクロック C (PCLKC): 60MHz (PLL 4 分周)</li> <li>•周辺モジュールクロック D (PCLKD): 60MHz(PLL4 分周)</li> <li>•FlashIF クロック(FCLK): 60MHz(PLL 4 分周)</li> <li>•外部バスクロック(BCLK): 120MHz(PLL 2 分周)</li> </ul>
動作電圧	3.3V
統合開発環境	ルネサスエレクトロニクス製 e <sup>2</sup> studio Version 2021-10
コンパイラ	ルネサスエレクトロニクス製 C/C++ Compiler Package for RX Family V.3.03.00 統合開発環境のデフォルト設定を使用しています。
lodefine.h のバージョン	V2.30
エンディアン	リトルエンディアン
動作モード	シングルチップモード
プロセッサモード	スーパバイザモード
サンプルプログラムのバージョン	Version 1.00
使用ボード	Renesas Starter Kit+ for RX65N-2MB (製品型名 : RTK500565N2SxxxxxBE)

## 3.2 プロジェクト構成

本アプリケーションノートのサンプルプロジェクト一覧を表 3.2、コード生成機能によって生成されたソースコードに変更を加えているファイルを表 3.3 に示します。

表 3.2 プロジェクト一覧

機能	プロジェクト名	内容
外部トリガ PWM 出力機能	external_input_rx651	V850E/MA3 での外部トリガ入力によるカウント開始と PWM 出力を RX651 グループでの IRQ 外部入力割り込み <sup>(注1)</sup> とマルチファンクションタイマパルスユニットの PWM モード 1 で再現したプロジェクト
1 ショットパルス出力機能	one_shot_pulse_rx651	V850E/MA3 での外部トリガ入力によるカウント開始とワンショット・パルス出力を RX651 グループでの IRQ 外部入力割り込み <sup>(注1)</sup> とマルチファンクションタイマパルスユニットの PWM モード 1 で再現したプロジェクト

注1. RSK ボードの SW1(タクタイルスイッチ)と接続しています。

表 3.3 コード生成機能によって生成されたソースコードに変更を加えているファイル

プロジェクト	フォルダ	ファイル名	概要
external_input_rx651	Config_ICU	Config_ICU_user.c	ユーザ実装用の割り込み処理
one_shot_pulse_rx651	Config_ICU	Config_ICU_user.c	ユーザ実装用の割り込み処理
	Config_MTU	Config_MTU0_user.c	ユーザ実装用の割り込み処理

追加処理の詳細は「3.5 フローチャート」を参照してください。スマートコンフィグレータのコード生成機能によって生成されたソースコードをそのまま使用している部分は省略します。

## 3.3 関数一覧

表 3.4 にサンプルプログラムで使用する関数を示します。

表 3.4 サンプルプログラムで使用する関数

関数名	概要
main	メイン処理
r_Config_ICU_irq11_interrupt	外部割り込み処理
r_Config_MTU0_tgib0_interrupt	MTU0 のコンペアマッチ割り込み処理 (1 ショットパルス出力機能のサンプルのみ使用)

スマートコンフィグレータのコード生成機能によって生成されたソースコードをそのまま使用している部分は省略します。

### 3.4 関数仕様

サンプルプログラムの関数仕様を以下に示します。

---

main	
概要	メイン処理
ヘッダ	なし
宣言	void main (void)
説明	初期設定を行います。
引数	なし
リターン値	なし

---

r_Config_ICU_irq11_interrupt	
概要	IRQ11 割り込み処理
ヘッダ	Config_ICU.h
宣言	static void r_Config_ICU_irq11_interrupt (void)
説明	IRQ11 の割り込み処理を行います。 IRQ の割り込み処理では MTU0 のカウントを開始させます。
引数	なし
リターン値	なし
備考	本関数はスマートコンフィグレータのコード生成機能によって生成されます。

---

r_Config_MTU0_tgib0_interrupt	
概要	MTU0 コンペアマッチ B 割り込み処理
ヘッダ	Config_MTU0.h
宣言	static void r_Config_MTU0_tgib0_interrupt (void)
説明	MTU0 のコンペアマッチ割り込み処理を行います。 MTU0 のコンペアマッチ割り込み処理では MTU0 のカウントを停止させます。
引数	なし
リターン値	なし
備考	本関数はスマートコンフィグレータのコード生成機能によって生成されます。 one_shot_pulse_rx651 でのみ使用します。

---

### 3.5 フローチャート

本サンプルプログラムはコード生成機能を使用しています。本章ではハードウェア互換のない機能を再現するうえで e<sup>2</sup> studio から生成されるプログラムに変更を加えた関数のフローチャートを示します。その他各周辺機能などの詳細は、スマートコンフィグレータの設定画面や生成コードを参照してください。

#### 3.5.1 メイン処理

図 3.1 にメイン処理のフローチャートを示します。

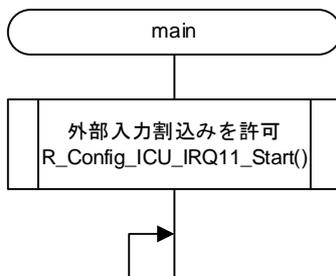


図 3.1 メイン処理

#### 3.5.2 外部入力割り込み処理

図 3.2 に外部割り込み処理のフローチャートを示します。

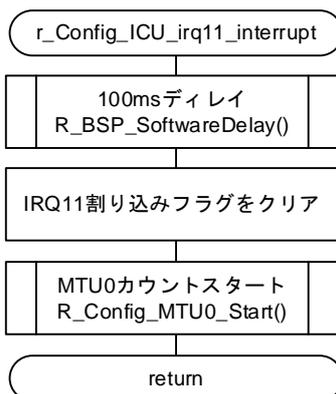


図 3.2 外部入力割り込み処理

100ms ディレイは SW1(タクタイルスイッチ)のチャタリング対策処理です。

#### 3.5.3 ワンショットパルス出力機能の MTU0 割り込み処理

図 3.3 にワンショットパルス出力機能で使用する MTU0 割り込み処理のフローチャートを示します。

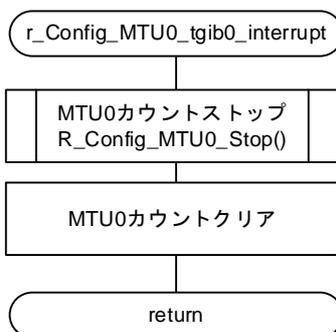


図 3.3 MTU0 割り込み処理

## 4. プロジェクトをインポートする方法

サンプルプログラムは e<sup>2</sup> studio のプロジェクト形式で提供しています。本章では、e<sup>2</sup> studio へプロジェクトをインポートする方法を示します。インポート完了後、ビルドおよびデバッグの設定を確認してください。

### 4.1 e<sup>2</sup> studio での手順

e<sup>2</sup> studio でご使用になる際は、下記の手順で e<sup>2</sup> studio にインポートしてください。

(使用する e<sup>2</sup> studio のバージョンによっては画面が異なる場合があります)

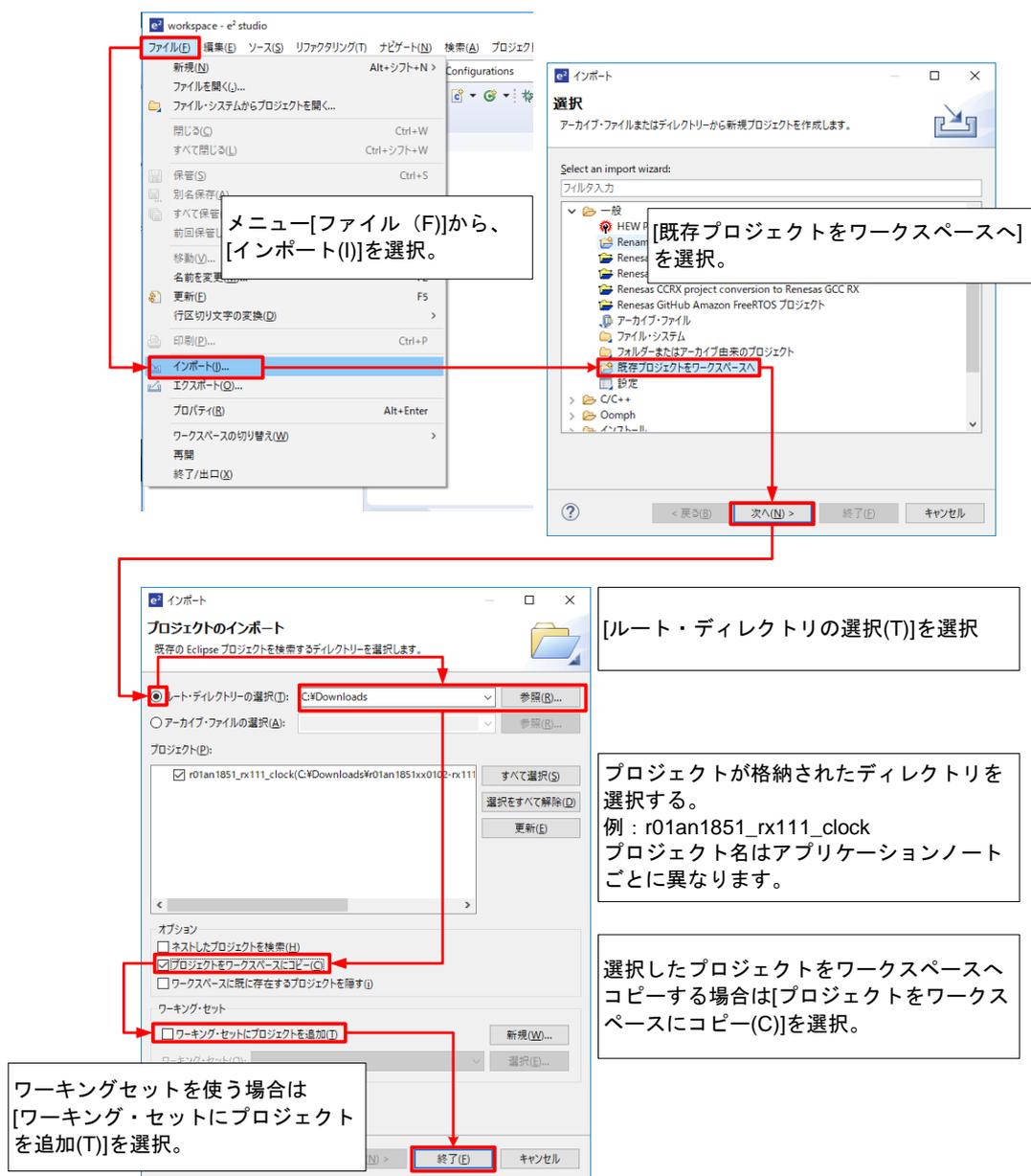


図 4.1 プロジェクトを e<sup>2</sup> studio にインポートする方法

注. e<sup>2</sup> studio で管理するプロジェクトのフォルダ名、およびそのフォルダに至るファイルパスには、空白文字の他、半角カナ文字、全角文字、半角記号(特に'\$','#','%') が混じらないようにしてください。

## 4.2 CS+での手順

CS+でご使用になる際は、下記の手順で CS+にインポートしてください。

(使用する CS+のバージョンによっては画面が異なる場合があります)

CS+を起動し、スタート画面から、  
[MCU Simulator Online/e<sup>2</sup> studio/CubeSuite/High-performance Embedded Workshop/PM+のプロジェクトを開く]を選択。

プロジェクトを開く

拡張子 [.rcpc] のファイルを選択して [開く] ボタンを押す。

プロジェクトを選択する。  
例：r01an1851\_rx111\_clock  
プロジェクト名はアプリケーションノートごとに異なります。

[MCU Simulator Online/e<sup>2</sup> studio用プロジェクト・ファイル (\*.rcpc)]を選択

プロジェクト変換設定

プロジェクトの種類：「空のアプリケーション(CC-RX)」を選択し、プロジェクト名と作成場所、バックアップするかどうかを指定してください。(注)

図 4.2 プロジェクトを CS+にインポートする方法

注. CS+で管理するプロジェクトのフォルダ名、およびそのフォルダに至るファイルパスには、空白文字の他、半角カナ文字、全角文字、半角記号(特に'\$','#','%') が混じらないようにしてください。

## 5. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編 (R01UH0590)

V850E/MA3 ユーザーズマニュアル ハードウェア編 (U16397JJ4V0UD)

(最新版をルネサス エレクトロニクスホームページから入手してください)

テクニカルアップデート/テクニカルニュース

(最新版をルネサス エレクトロニクスホームページから入手してください)

ユーザーズマニュアル：開発環境

RX ファミリー CC-RX コンパイラユーザーズマニュアル (R20UT3248)

(最新版をルネサス エレクトロニクスホームページから入手してください)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Dec.29.21	-	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。