

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## H8SX ファミリ

### パルスの High および Low 幅測定

---

#### 要旨

16 ビットタイマパルスユニット (TPU) を用いて、パルスの High および Low 周期を測定し、測定結果を RAM に格納します。

#### 動作確認デバイス

H8SX/1582F

#### 目次

1. 仕様 .....	2
2. 適用条件 .....	2
3. 使用機能説明 .....	3
4. 動作説明 .....	5
5. ソフトウェア説明 .....	6

### 1. 仕様

- パルス幅測定タイミングを図 1 に示します。
- パルス High 幅および Low 幅の時間を測定し、結果を RAM に格納します。
- $P\phi = 20\text{MHz}$  のとき、パルスの High 幅および Low 幅は、50ns から約 3.27ms まで 50ns 単位で測定可能です。

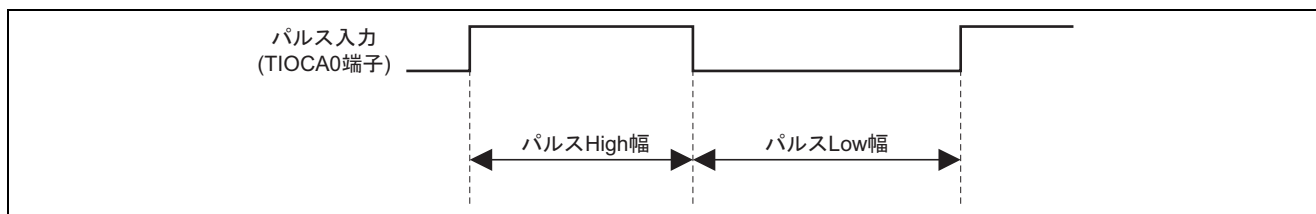


図 1 パルス幅測定タイミング

### 2. 適用条件

表 1 適用条件

項目	内容
動作周波数	入力クロック : 5MHz システムクロック ( $I\phi$ ) : 40MHz 周辺モジュールクロック ( $P\phi$ ) : 20MHz 外部バスクロック ( $B\phi$ ) : 20MHz
動作モード	モード 3 (MD1 = 1, MD0 = 1)
開発ツール	High-performance Embedded Workshop Ver 4.00.02
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver 6.01.00
コンパイルオプション	-cpu = h8sxa:24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 2 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
H'FF9000	B	RAM 領域

### 3. 使用機能説明

本タスク例では、16ビットタイマパルスユニット (TPU) を使用してパルスの High および Low 幅を測定します。TPU\_0 のブロック図を図 2 に示します。本タスクでは、以下の機能を使用します。

- パルスの立ち上がりおよび立ち下がりエッジを検出し、そのときのタイマ値を内部レジスタに設定する機能。(インプットキャプチャ)
- インプットキャプチャ発生時タイマカウンタをクリアする機能。
- パルスの立ち上がりおよび立ち下がりエッジ検出時、割り込み処理を起動する機能。

TPU の各レジスタの説明を次に示します。

- タイマスタートレジスタ (TSTR)  
TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行なってください。
- タイマコントロールレジスタ\_0 (TCR\_0)  
TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行なってください。
- タイマ I/O コントロールレジスタ H\_0 (TIORH\_0)  
TIOR は TGR を制御します。TPU には、チャンネル 0, 3 に各 2 本、チャンネル 1, 2, 4, 5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。  
TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0)  
各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。
- タイマカウンタ\_0 (TCNT\_0)  
TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
- タイマジェネラルレジスタ A\_0 (TGRA\_0)  
TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0, 3 に各 4 本、チャンネル 1, 2, 4, 5 に各 2 本、計 16 本のジェネラルレジスタがあります。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

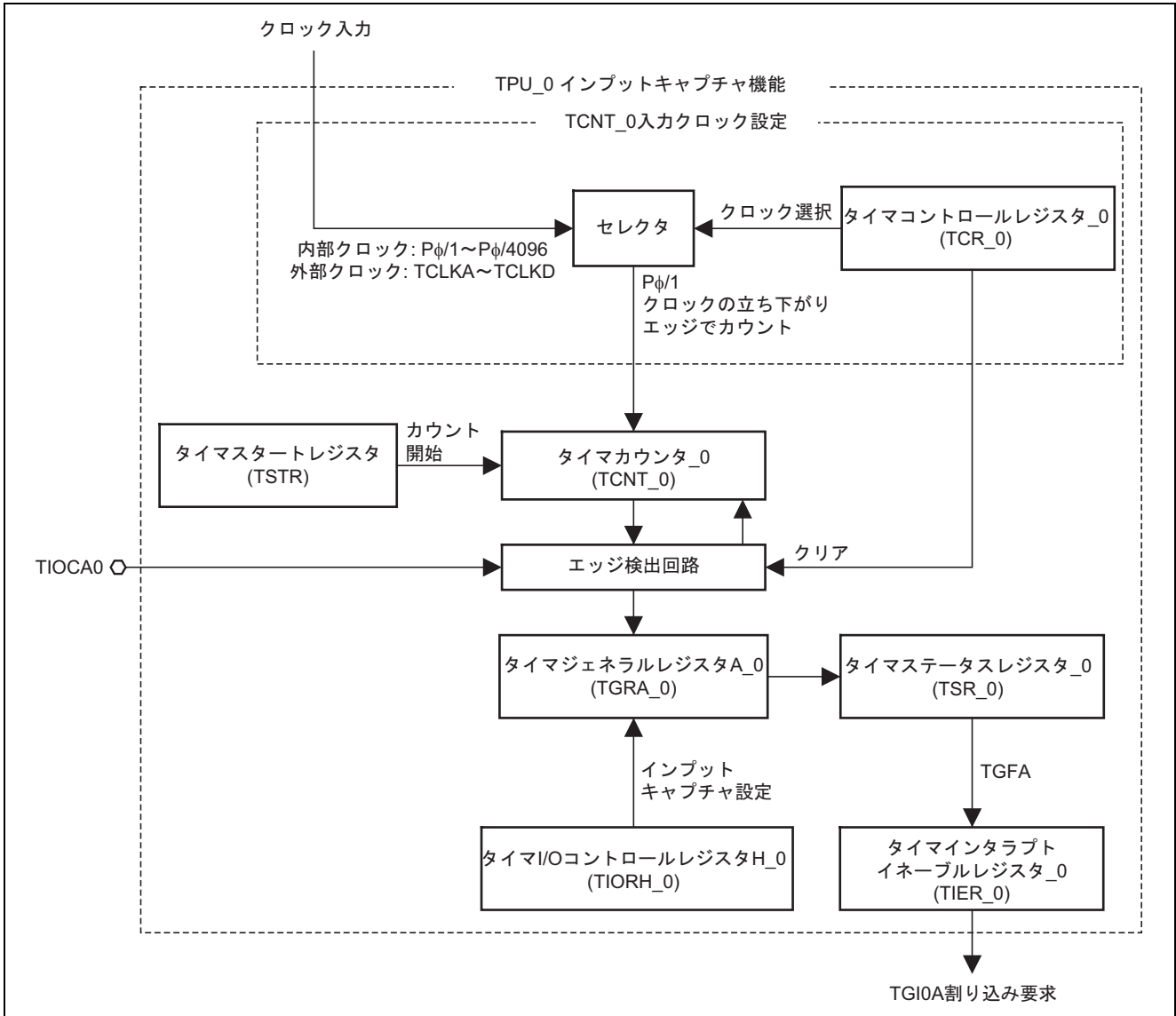


図 2 TPU チャンネル 0 (TPU\_0) のブロック図

### 4. 動作説明

パルスの High および Low 幅測定の動作説明を図 3 に示します。また図 3 の説明として、ハードウェアおよびソフトウェア処理の内容を表 3 に示します。

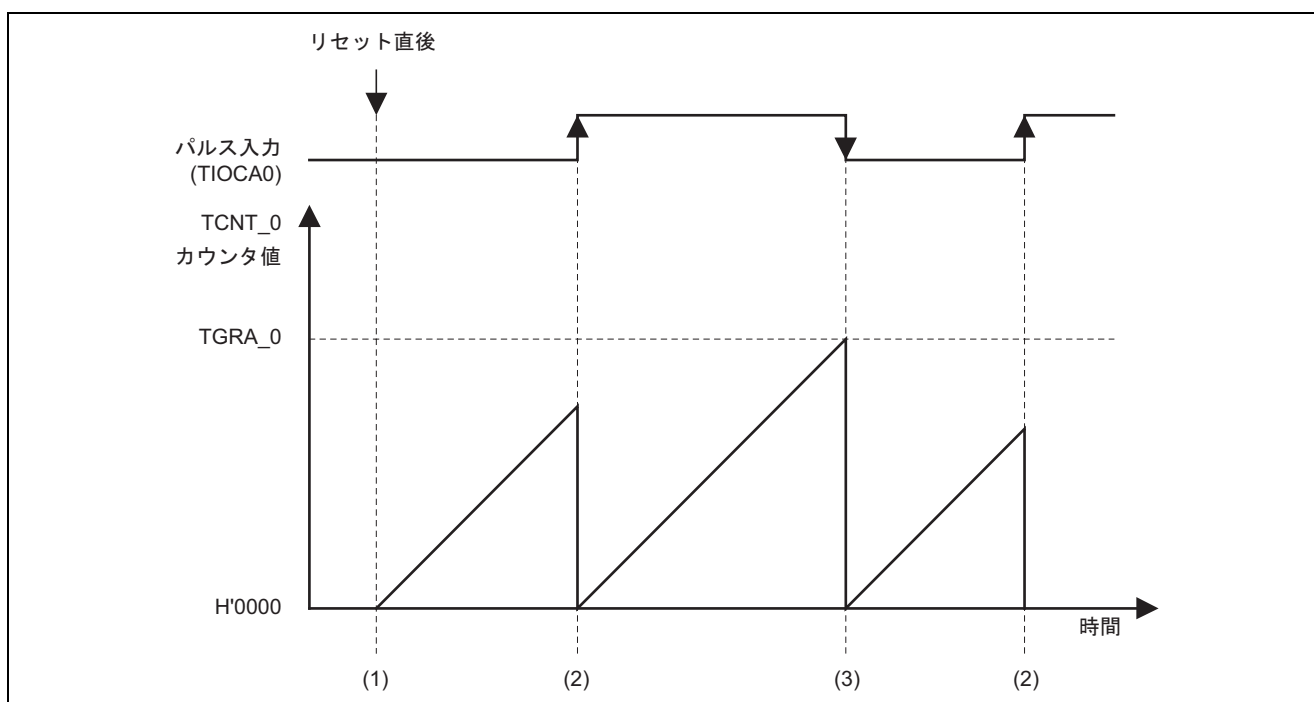


図 3 パルスの High および Low 幅測定動作説明

表 3 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	初期設定 (a) TCNT_0 のカウンタクロックを Pφ/1 の立ち下がりエッジに設定 (b) TGRA の入力キャプチャで TCNT_0 クリアに設定 (c) TIOCA0 端子の立ち上がりエッジで入力キャプチャを行なう (d) TGFA ビットによる TGIOA 割り込みを許可 (e) TPU_0 カウントスタート
(2)	(a) TGIOA 割り込み発生 (b) TCNT_0 の値を TGRA_0 へ転送	TGIOA 割り込み処理 (a) TGFA を 0 クリア (b) TGRA_0 の値を RAM (pwh_ldata) に格納 (c) 入力キャプチャ検出エッジを TIOCA0 端子の立ち下がりエッジに設定
(3)	(a) TGIOA 割り込み発生 (b) TCNT_0 の値を TGRA_0 へ転送	TGIOA 割り込み処理 (a) TGFA を 0 クリア (b) TGRA_0 の値を RAM (pwh_hdata) に格納 (c) 入力キャプチャ検出エッジを TIOCA0 端子の立ち上がりエッジに設定

## 5. ソフトウェア説明

### 5.1 関数一覧

表 4 関数説明

関数名	内容
main	メインルーチン インプットキャプチャによる TCNT_0 クリア, TGFA 割り込み許可を設定
tgi0a_int	TGI0A 割り込み処理 TGRA_0 の値からパルスの High 幅および Low 幅を測定し RAM に格納する

### 5.2 ベクタテーブル

表 5 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレス	割り込み先関数
リセット	0	H'000000	main
TPU_0 TGI0A	88	H'000160	tgi0a_int

### 5.3 使用 RAM

表 6 使用 RAM

型	変数名	内容	使用関数
unsigned char	pwh_hdata	パルスの High 幅に相当するタイマ値を格納する	tgi0a_int
unsigned char	pwh_ldata	パルスの Low 幅に相当するタイマ値を格納する	tgi0a_int

### 5.4 パルス幅算出式

パルス High, Low 幅算出式を以下に示します。

$$\text{パルスの High, Low 幅} = (\text{タイマ値} + 1) \times P\phi\text{周期}$$



## 5.5 関数説明

### 5.5.1 main 関数

(1) 機能概要

メインルーチン。インプットキャプチャによる TCNT\_0 クリア, TGI0A 割り込み許可を設定。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお, 設定値は本タスク例において使用している値であり, 初期値とは異なります。

• ポート 3 入力バッファコントロールレジスタ (P3ICR) アドレス: H'FFFB92

ビット	ビット名	設定値	R/W	機能
0	P30ICR	1	R/W	0: P30 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P30 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

• システムクロックコントロールレジスタ (SCKCR) アドレス: H'FFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I $\phi$ ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000: 入力クロック $\times 8$
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times 4$
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B $\phi$ ) セレクト 外部バスクロックの周波数を選択します。 001: 入力クロック $\times 4$
1	BCK1	0	R/W	
0	BCK0	1	R/W	

- MSTPCRA, MSTPCRB, MSTPCRC はモジュールストップモードの制御を行いません。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

- モジュールストップコントロールレジスタ A (MSTPCRA) アドレス：H'FFFD C8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可
13	MSTPA13	1	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データ転送コントローラ (DTC)
4	MSTPA4	1	R/W	A/D コンバータ (ユニット 1)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
1	MSTPA1	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 11~6)
0	MSTPA0	0	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

- モジュールストップコントロールレジスタ B (MSTPCRB) アドレス：H'FFFD CA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)

- モジュールストップコントロールレジスタ C (MSTPCRC) アドレス：H'FFFD CC

ビット	ビット名	設定値	R/W	機能
10	MSTPC10	1	R/W	シンクロナスシリアルコミュニケーションユニット 2 (SSU_2)
9	MSTPC9	1	R/W	シンクロナスシリアルコミュニケーションユニット 1 (SSU_1)
8	MSTPC8	1	R/W	シンクロナスシリアルコミュニケーションユニット 0 (SSU_0)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF9000~H'FFBFFF)
0	MSTPC0	0	R/W	MSTPC1 と MSTPC0 は常に同じ値となるようにライトしてください。

## • タイマスタートレジス (TSTR) アドレス : H'FFFFBC

ビット	ビット名	設定値	R/W	機能
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に, CST ビットに 0 をライトするとカウンタは停止しますが, TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行なうと, 設定した初期出力値に端子の出力レベルが更新されます。
2	CST2	0	R/W	
1	CST1	0	R/W	
0	CST0	1	R/W	0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作

## • タイマコントロールレジスタ\_0 (TCR\_0) アドレス : H'FFFFC0

ビット	ビット名	設定値	R/W	機能
7	CCLR2	0	R/W	カウンタクリア 2, 1, 0
6	CCLR1	0	R/W	TCNT_0 のカウンタクリア要因を選択します。
5	CCLR0	1	R/W	001 : TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
4	CKEG1	0	R/W	クロックエッジ 1, 0
3	CKEG0	0	R/W	入力クロックのエッジを選択します。 00 : 立ち下がリエッジでカウント
2	TPSC2	0	R/W	タイマプリスケラ 2, 1, 0
1	TPSC1	0	R/W	TCNT_0 のカウンタクロックを選択します。
0	TPSC0	0	R/W	000 : P <sub>0</sub> /1 でカウント

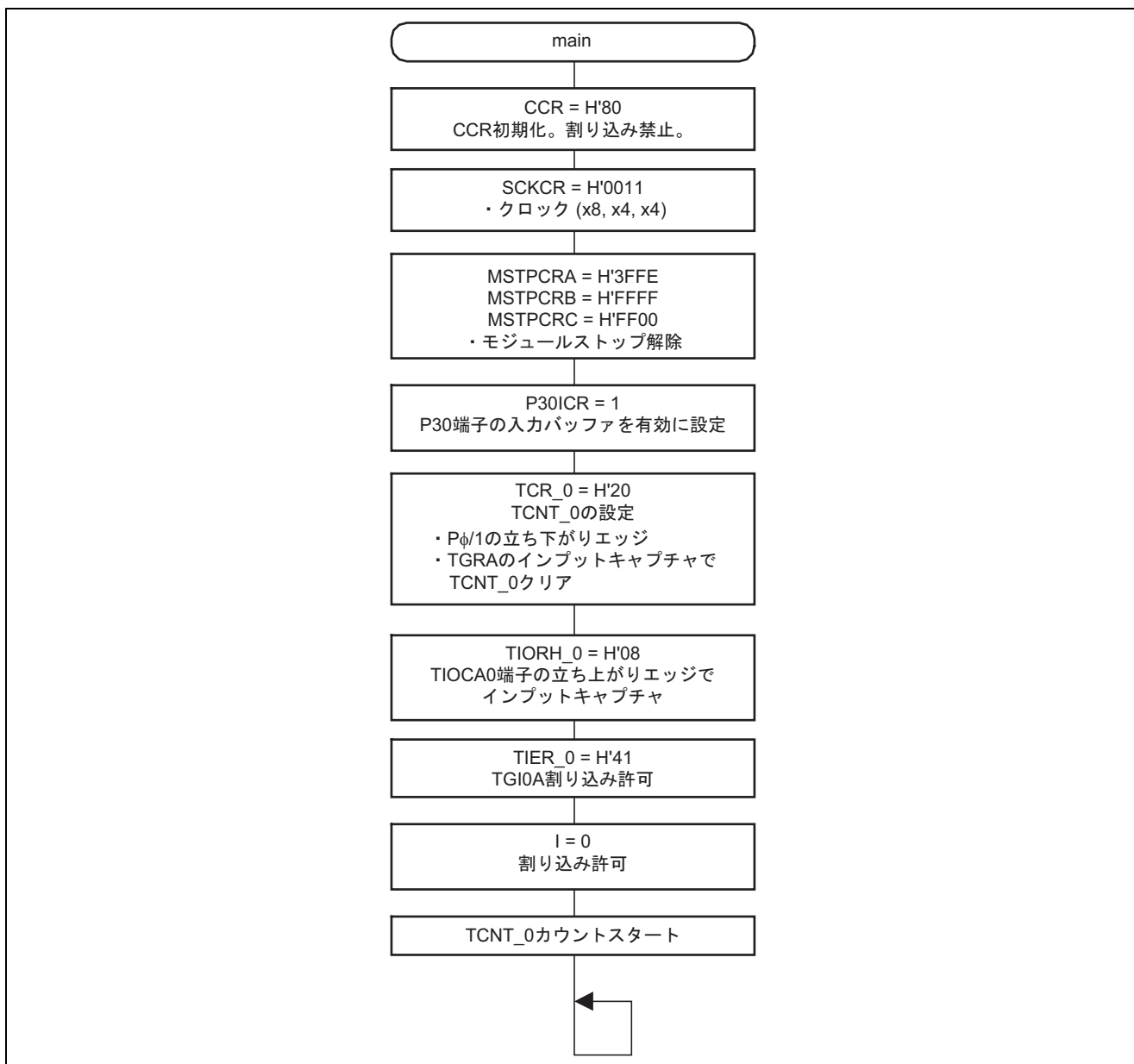
## • タイマ I/O コントロールレジスタ H\_0 (TIORH\_0) アドレス : H'FFFFC2

ビット	ビット名	設定値	R/W	機能
3	IOA3	1	R/W	I/O コントロール A3~A0
2	IOA2	0	R/W	TGRA_0 の機能を設定します。
1	IOA1	0	R/W	1000 : TGRA_0 はインプットキャプチャレジスタとして機能
0	IOA0	0	R/W	TIOCA0 端子の立ち上がりエッジでインプットキャプチャ

## • タイマインタラプトイネーブルレジスタ\_0 (TIER\_0) アドレス : H'FFFFC4

ビット	ビット名	設定値	R/W	機能
0	TGIEA	1	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき 割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

### (5) フローチャート



### 5.5.2 tgi0a\_int 関数

#### (1) 機能概要

TGI0A 割り込み処理。TGRA\_0 の値からパルスの High 幅および Low 幅を測定し RAM に格納する。

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### • タイマ I/O コントロールレジスタ H\_0 (TIORH\_0) アドレス：H'FFFFC2

ビット	ビット名	設定値	R/W	機能
3	IOA3	B'1001	R/W	I/O コントロール A3~A0 TGRA_0 の機能を設定します。 1000 : TGRA_0 はインพุットキャプチャレジスタとして機能 TIOCA0 端子の立ち上がりエッジでインพุットキャプチャ 1001 : TGRA_0 はインพุットキャプチャレジスタとして機能 TIOCA0 端子の立ち下がりエッジでインพุットキャプチャ
2	IOA2	または	R/W	
1	IOA1	B'1000	R/W	
0	IOA0		R/W	

#### • タイマステータスレジスタ\_0 (TSR\_0) アドレス：H'FFFFC5

ビット	ビット名	設定値	R/W	機能
0	TGFA	0	R/(W)*	インพุットキャプチャ/アウトプットコンペアフラグ A TGRA のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> <li>TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li> <li>TGRA がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき</li> <li>TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</li> </ul>

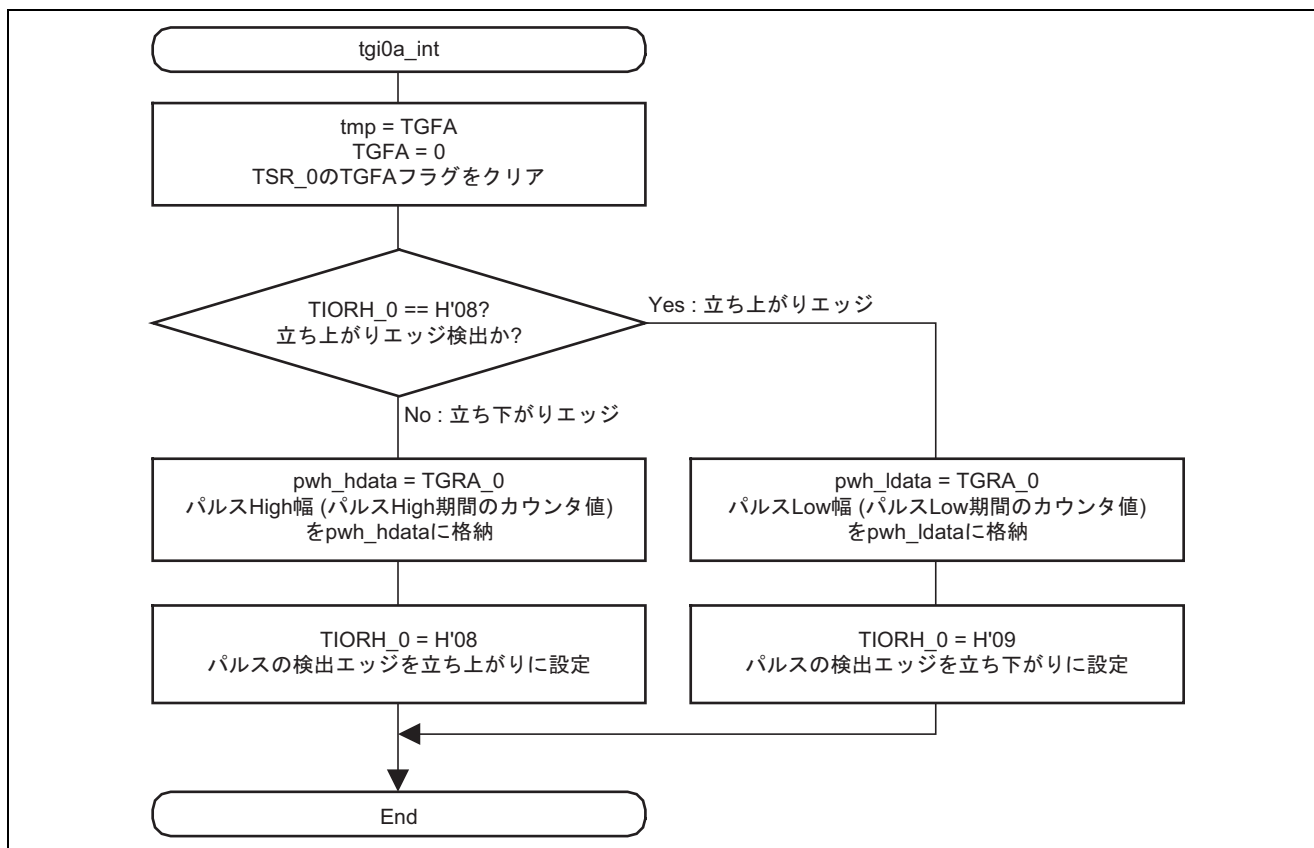
【注】 \* フラグをクリアするための 0 ライトのみ可能です。

#### • タイマジェネラルレジスタ A\_0 (TGRA\_0) アドレス：H'FFFFC8

機能 : インพุットキャプチャレジスタとして使用します。

設定値 : 不定

(5) フローチャート



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.03.10	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。