

---

# SH7262/SH7264 グループ

RJJ06B0999-0201

Rev.2.01

2011.03.31

## SDRAM インタフェース設定例

---

### 要旨

本アプリケーションノートは、SH7264 のバスステートコントローラの SDRAM インタフェース機能を用いた SDRAM との接続例について説明しています。

### 動作確認デバイス

SH7262/SH7264

以下、総称して「SH7264」として説明します。

### 目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考プログラムリスト.....	19
4. 参考ドキュメント.....	28

## 1. はじめに

### 1.1 仕様

- 16M バイト (8M ワード×16 ビット) の SDRAM を使用し、16 ビットデータバス幅で接続します。
- SH7264 のバスステートコントローラに SDRAM にアクセスするための初期設定を行った後、SDRAM インタフェース機能を使用して SDRAM の初期化を行います。

### 1.2 使用機能

- バスステートコントローラ (BSC)

### 1.3 適用条件

マイコン	SH7262/SH7264
動作周波数	内部クロック : 144 MHz バスクロック : 72 MHz 周辺クロック : 36 MHz
統合開発環境	ルネサスエレクトロニクス製 High-performance Embedded Workshop Ver.4.07.00
Cコンパイラ	ルネサスエレクトロニクス製SuperH RISC engineファミリ C/C++コンパイラパッケージ Ver.9.03 Release00
コンパイルオプション	High-performance Embedded Workshopでのデフォルト設定 (-cpu=sh2afpu -fpu=single -object="\$ (CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

### 1.4 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7262/SH7264 グループ 初期設定例

### 1.5 "L"アクティブ端子 (信号) の表記について

端子名 (信号名) 末尾の # は "L" アクティブ端子 (信号) であることを示します。

## 2. 応用例の説明

SH7264 のバスステートコントローラ (BSC) を使用して、外部に接続された SDRAM を制御するための初期設定を行います。

### 2.1 使用機能の動作概要

SH7264 の BSC は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

表 1 に BSC の特長を、表 2 に BSC の SDRAM インタフェースの特長を示します。

表1 BSC の特長

項目	内容
制御対象空間	CS0～CS6 の各空間をそれぞれ最大 64M バイトまでサポート
メモリ種類	空間ごとに、以下から選択可能 <ul style="list-style-type: none"> <li>● 通常空間インタフェース</li> <li>● バイト選択付き SRAM インタフェース</li> <li>● バースト ROM (クロック同期または非同期)</li> <li>● MPX-I/O</li> <li>● SDRAM</li> <li>● PCMCIA インタフェース</li> </ul>
データバス幅	CS0 空間のデータバス幅は 16 ビット、CS1～CS6 空間はそれぞれ 8 ビットまたは 16 ビットから選択可能
ウェイト制御	空間ごとに、ウェイトステートの挿入を制御可能
アイドル制御	連続するアクセスがリード・ライト (同一空間または別空間)、リード・リード (同一空間または別空間)、および先頭サイクルがライトの場合の 5 種類独立にアイドルサイクルを設定可能

表2 SDRAM インタフェースの特長

項目	仕様
制御対象空間	最大 2 つのエリアで SDRAM を設定可能 (CS2 空間、CS3 空間) 1 エリアのみ SDRAM を接続する場合は CS3 空間を使用
アドレス出力	ロウアドレス、カラムアドレスのマルチプレクス出力をサポート ロウアドレス : 11/12/13 ビット、カラムアドレス : 8/9/10 ビットに対応
バースト長	1 固定 SDRAM 接続データバス幅より大きなサイズのデータを連続アクセスする場合は、バースト長 1 のアクセスを必要回数連続実行
プリチャージ制御	オートプリチャージモード、バンクアクティブモード※をサポート
リフレッシュ制御	オートリフレッシュ、セルフリフレッシュをサポート
その他	低周波数モード、パワーダウンモードのサポート MRS コマンド、EMRS コマンド発行のサポート

【注】 ※バンクアクティブモードは CS3 空間でのみ使用できます。

図 1に BSC のブロック図を示します。

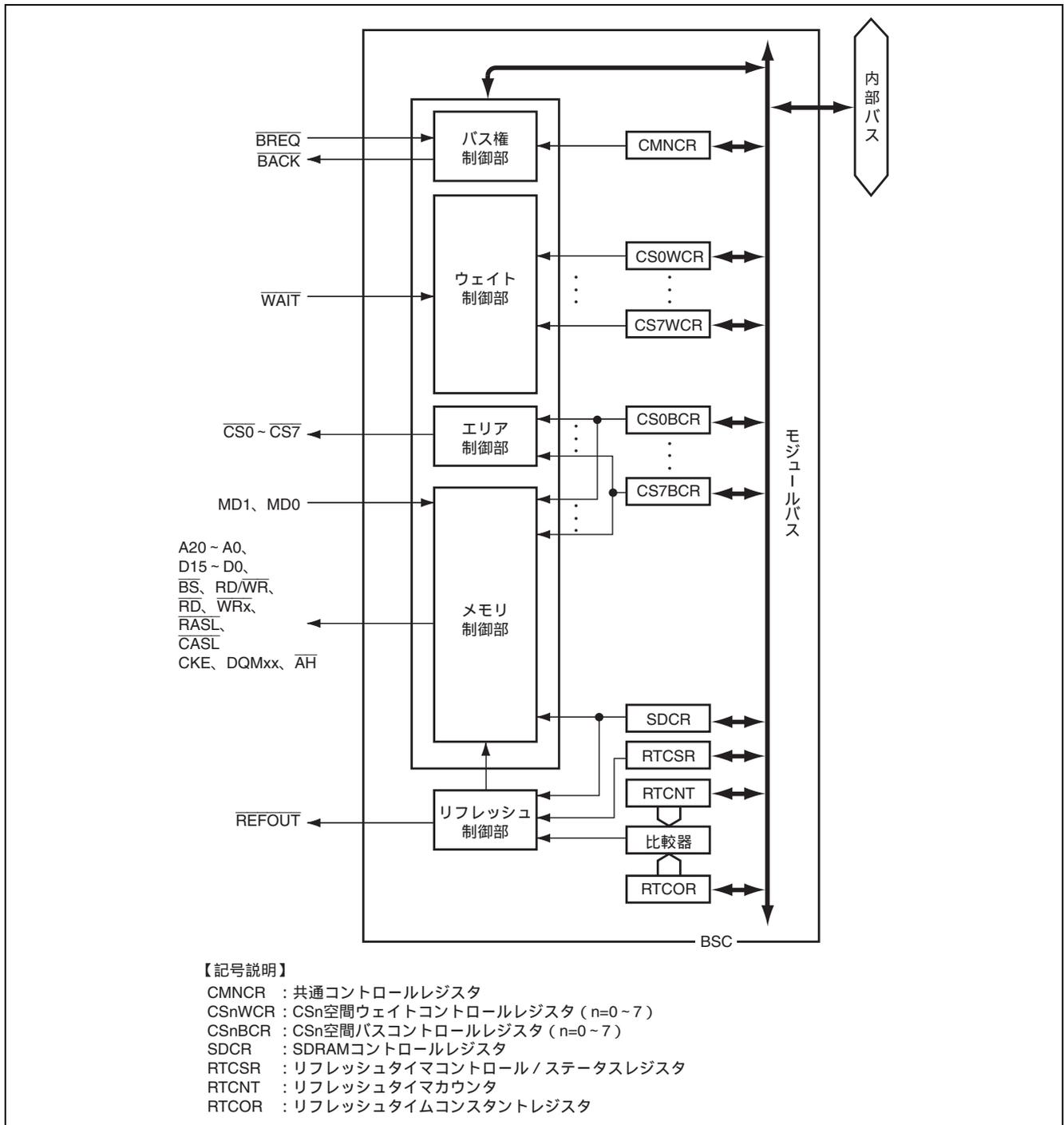


図1 BSC のブロック図

## 2.2 接続例

表 3 に本応用例で使用する SDRAM の仕様を示します。また図 2 に SDRAM 接続回路例を、図 3 に SDRAM 関連メモリマップを示します。

表 3 本応用例で使用する SDRAM の仕様

項目	仕様
型名	EDS1216AHTA-75E
容量、構成	128M ビット (2M ワード×16 ビット×4 バンク) × 1 個
データバス幅	16 ビット
アドレス構成	バンクアドレス : 2 ビット、ロウアドレス : 12 ビット、カラムアドレス : 9 ビット
リフレッシュ周期	4096 サイクル/64ms
CAS レイテンシ	2 または 3
動作電圧	3.3V±0.3V

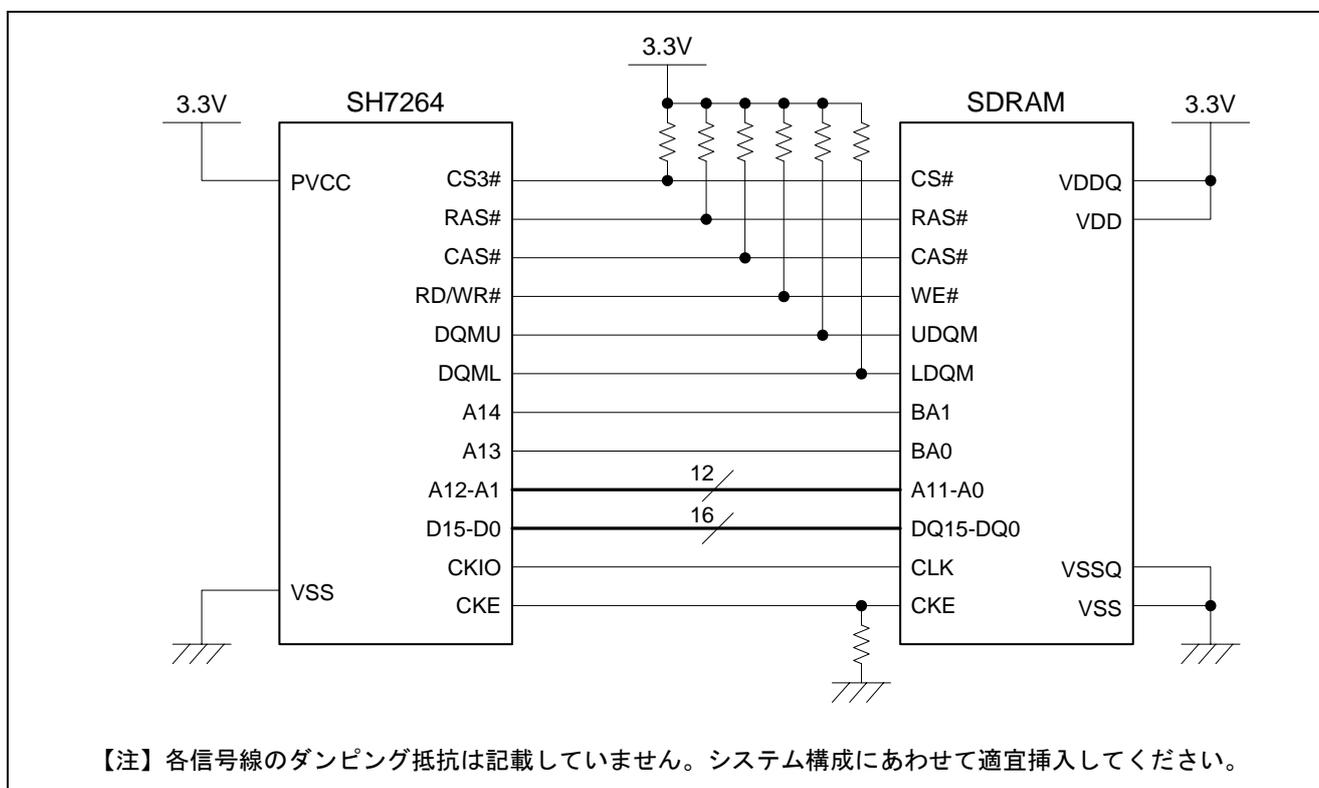


図2 SDRAM 接続回路例

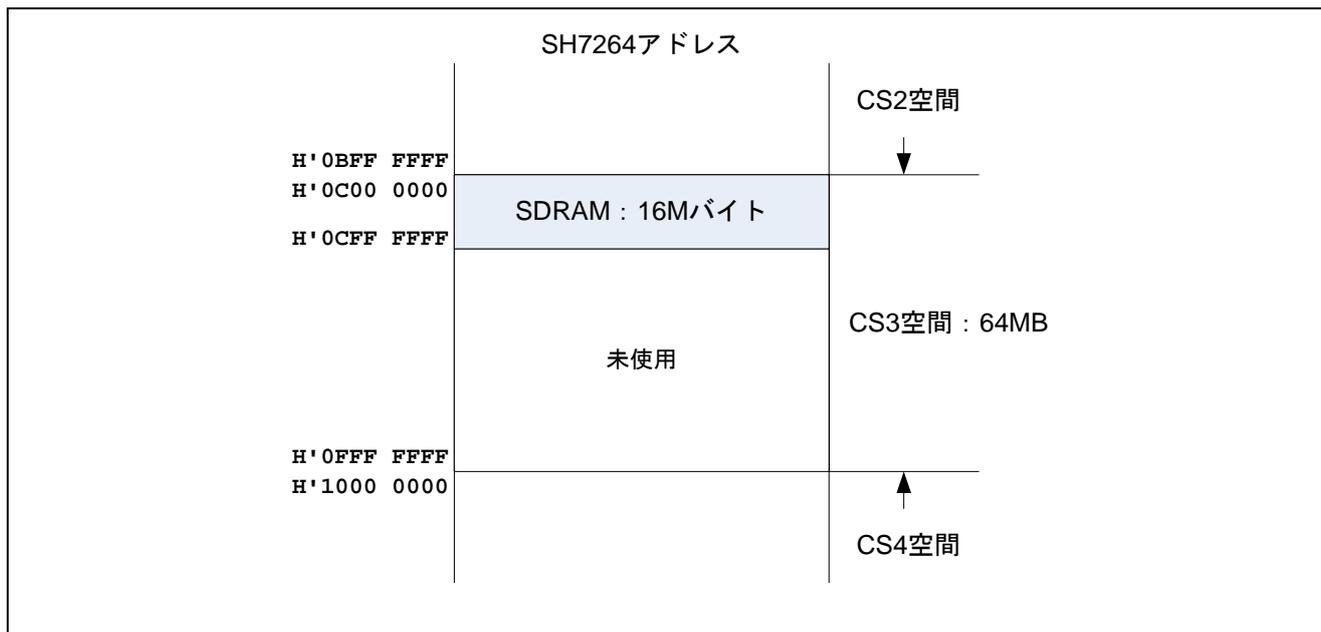


図3 SDRAM 関連メモリマップ

## 【補足】制御信号端子の外付け抵抗によるプルアップ/プルダウン処理について

CKE、CS3#、RAS#、CAS#、RD/WR#、DQMU、DQML の各制御端子は初期端子機能が汎用入出力ポートになっていますので、端子機能の切り替えが必要です。

SH7264 の汎用入出力ポートは初期状態では汎用入力ポートとなるため、状態が決まらず不定となります。そこで不定状態の回避とメモリ動作を安定させるために、上記制御信号については外付け抵抗によるプルアップ/プルダウン処理を推奨します。

なお、制御信号に対するプルアップ/プルダウン処理の選択については、一般的には動作をより安定させる状態を選択しますので、CS3#、RAS#、CAS#、RD/WR#、DQMU、DQML 端子については外付け抵抗でプルアップ処理を行い、「H」レベルにすることを推奨します。

CKE 端子については上記理由とは別に、マイコンからの信号が停止した後も SDRAM のデータを保護するためにセルフリフレッシュを継続する場合を想定して、外付け抵抗でプルダウン処理を行い、「L」レベルにしています。

SDRAM の端子処理方法はデバイス（SDRAM）によって異なりますので、使用する SDRAM のデータシートを確認してください。

## 2.3 使用機能の設定手順

図 4に CS3 空間に SDRAM を接続した場合の初期化手順例を示します。

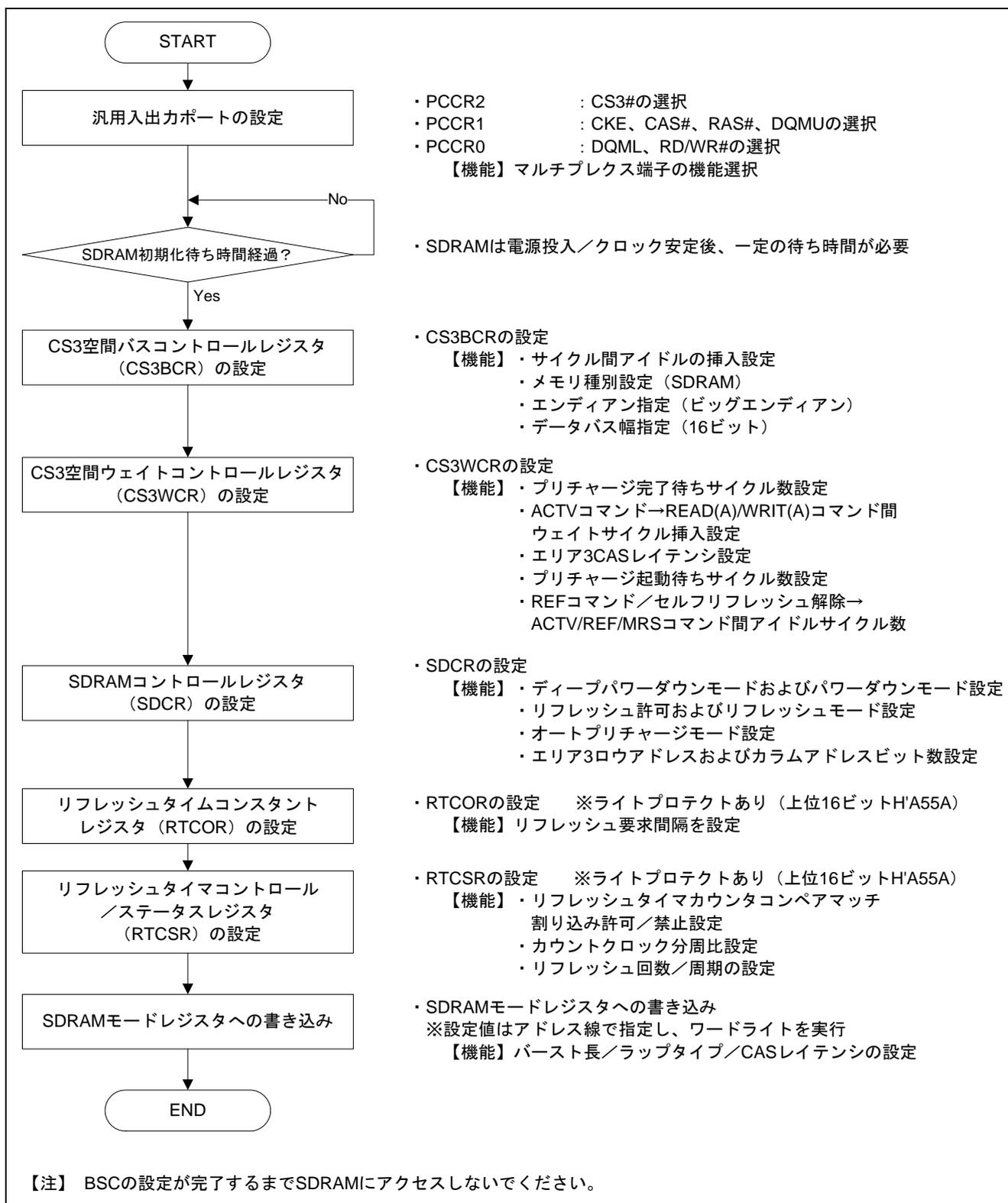


図4 BSC と汎用入出力ポートの設定手順例 (CS3 空間)

### 2.3.1 AC 特性切り替え手順例

SH7264 に SDRAM を接続する場合は、AC 特性切り替え機能を使用する必要があります。AC 特性切り替え機能を使用するためには、AC 特性切り替えレジスタ(ACSWR)および AC 特性切り替えキーレジスタ (ACKEYR)を設定してください。

図 5に AC 特性切り替え手順例を示します。本設定は、内蔵 RAM 上で実行する必要がありますので注意してください。

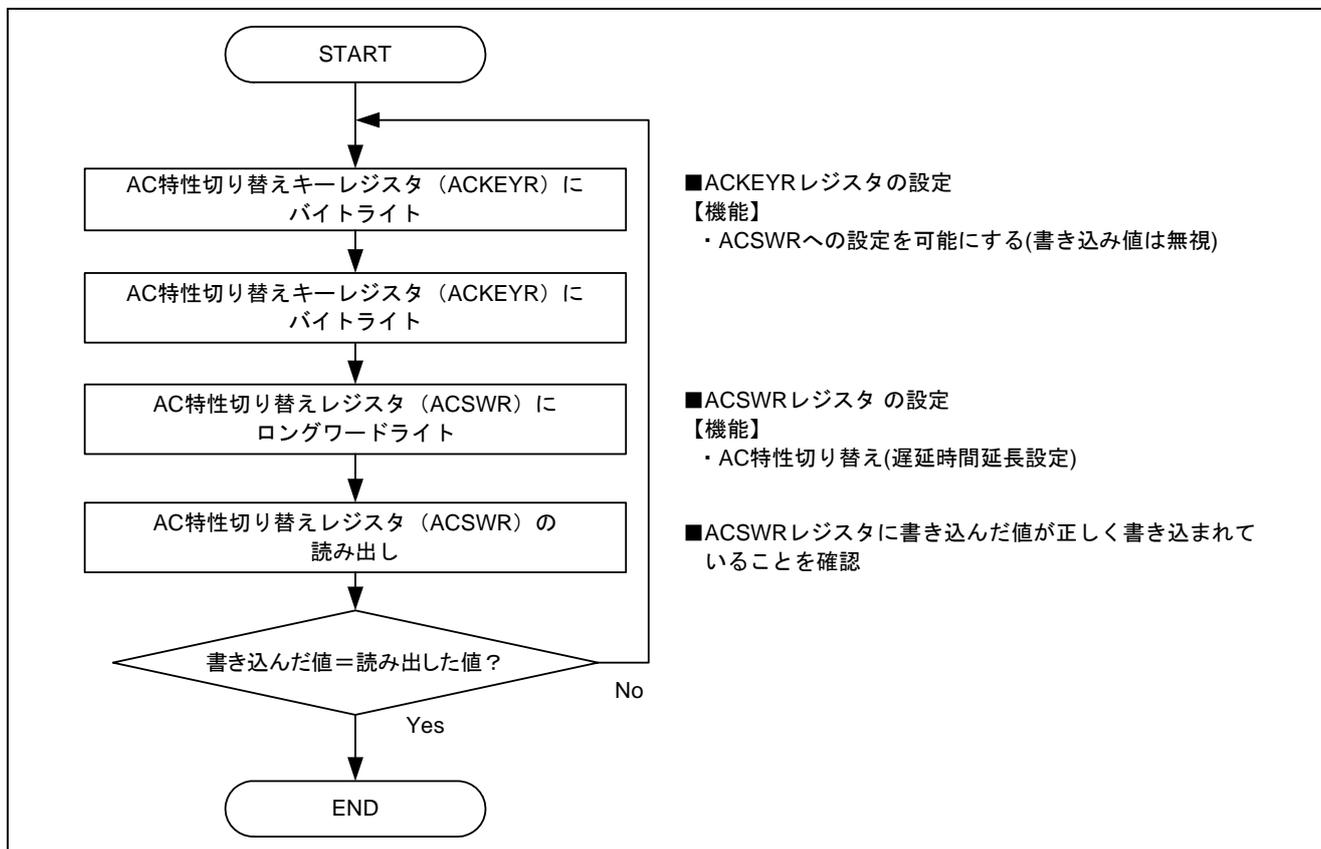


図5 AC 特性切り替え手順例

### 2.3.2 パワーオンシーケンス

SDRAM の初期化を行うためには、BSC のレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行ってください。

SDRAM は、パワーオン後一定のアイドル期間が必要です。本応用例では、 $200\mu\text{s}$  以上のアイドル期間をソフトウェアで設定しています。必要なアイドル期間は、SDRAM の仕様により異なりますので使用する SDRAM のマニュアルを参照してください。

SDRAM のモードレジスタへの書き込みは、CS3#、RAS#、CAS#および RD/WR#の組み合わせでモードレジスタセットコマンド (MRS) を発行し、その時のアドレスを SDRAM に対する入力データとして使用します。表 4に、CS3 空間における SDRAM モードレジスタライト時のアクセスアドレスを示します。

表4 SDRAM モードレジスタライト時のアクセスアドレス (CS3 空間)

データ バス幅	CAS レイテンシ	バーストリード/ シングルライト (バースト長 1)		バーストリード/ バーストライト (バースト長 1)	
		アクセスアドレス	外部アドレス端子	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 5440	H'0000 0440	H'FFFC 5040	H'0000 0040
	3	H'FFFC 5460	H'0000 0460	H'FFFC 5060	H'0000 0060

本応用例では、SDRAM のモードレジスタに対し下記の設定を行います。

- バースト長：バーストリード/バーストライト (バースト長 1)
- ラップタイプ：シーケンシャル
- CAS レイテンシ：2 サイクル

表 4のとおり、SDRAM のモードレジスタに対して上記の設定を行うためには、H'FFFC 5040 番地に対して任意のデータのワードライトを行います (このときのライトデータは無視されます)。このワードライト動作により、SDRAM に対し下記のコマンドが順次発行されます。

#### 1. 全バンクプリチャージコマンド (PALL) 発行

PALL と 1 回目の REF の間に CS3WCR レジスタの WTRP[1:0]ビットにより設定されたアイドルサイクル (Tp<sub>w</sub>) が挿入されます。

#### 2. オートリフレッシュコマンド (REF) を 8 回発行

REF コマンド発行後に CS3WCR レジスタの WTRC[1:0]ビットにより設定されたアイドルサイクル (Trc) が挿入されます。

#### 3. モードレジスタセットコマンド (MRS) 発行

## 2.4 バスステートコントローラ（BSC）、汎用入出力ポートの設定例

表 5に BSC の設定例を、また表 6に SDRAM 接続に係る汎用入出力ポートの設定例を示します。各レジスタの詳細については、SH7262 グループ、SH7264 グループ ハードウェアマニュアル「第 9 章 バスステートコントローラ」および「第 32 章 汎用入出力ポート」を参照してください。

表5 BSC の設定例

レジスタ名	アドレス	設定値	機能
CS3 空間バスコントロールレジスタ (CS3BCR)	H'FFFC0010	H'0000 4400	<ul style="list-style-type: none"> <li>IWW[2:0]="B'000" ライトーリード/ライトーライト間アイドル : 0</li> <li>IWRWD[2:0]、IWRWS[2:0]="B'000" リードーライト間アイドル : 0</li> <li>IWRRD[2:0]、IWRRS[2:0]="B'000" リードーリード間アイドル : 0</li> <li>TYPE[2:0]="B'100" : SDRAM</li> <li>ENDIAN="0" : ビッグエンディアン</li> <li>BSZ[1:0]= "B'10" : 16 ビットバス幅</li> </ul>
CS3 空間ウェイトコントロールレジスタ (CS3WCR)	H'FFFC0034	H'0000 288A	<ul style="list-style-type: none"> <li>WTRP[1:0]="B'01" プリチャージ完了待ちサイクル数 : 1 サイクル</li> <li>WTRCD[1:0]="B'10" ACTV コマンド→READ (A) /WRIT (A) コマンド間ウェイトサイクル数 : 2 サイクル</li> <li>A3CL[1:0]="B'01" エリア 3CAS レイテンシ : 2 サイクル</li> <li>TRWL[1:0]="B'01" プリチャージ起動待ちサイクル数 : 1 サイクル</li> <li>WTRC[1:0]="B'10" REF コマンド/セルフリフレッシュ解除→ACTV コマンドサイクル数 : 5 サイクル</li> </ul>
SDRAM コントロールレジスタ (SDCR)	H'FFFC004C	H'0000 0809	<ul style="list-style-type: none"> <li>RFSH="1" リフレッシュ制御 : リフレッシュする</li> <li>RMODE="0" リフレッシュ制御 : オートリフレッシュ</li> <li>BACTV="0" バンクアクティブモード : オートプリチャージモード</li> <li>A3ROW[1:0]="B'01" エリア 3 ロウアドレスビット数 : 12 ビット</li> <li>A3COL[1:0]="B'01" エリア 3 カラムアドレスビット数 : 9 ビット</li> </ul>
リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	H'FFFC0050	H'A55A 0010	<ul style="list-style-type: none"> <li>CMIE="0" コンペアマッチインタラプトイネーブル : CMF による割り込み要求を禁止</li> <li>CKS[2:0]="B'010" クロックセレクト : Bφ/16</li> <li>RRC[2:0]="B'000" リフレッシュ回数 : 1 回</li> </ul>
リフレッシュタイムコンスタントレジスタ (RTCOR)	H'FFFC0058	H'A55A 0046	1 サイクル : 222nsec(72MHz/16=4.5MHz) SDRAM のリフレッシュ要求間隔 : 15.625 μ sec/回 (64ms ごとの 4096 リフレッシュサイクル) 15.625 μ sec / 222nsec=70 サイクル (0x46)

表6 SDRAM 接続に関連する汎用入出力ポートの設定例

レジスタ名	アドレス	設定値	機能
ポート C コント ロールレジスタ 2 (PCCR2)	H'FFFE 384A	H'0001	<ul style="list-style-type: none"><li>● PC8MD[1:0]="B'01" : PC8 端子を CS3#機能に設定</li></ul>
ポート C コント ロールレジスタ 1 (PCCR1)	H'FFFE 384C	H'1111	<ul style="list-style-type: none"><li>● PC7MD[1:0]="B'01" : PC7 端子を CKE 機能に設定</li><li>● PC6MD[1:0]="B'01" : PC6 端子を CAS#機能に設定</li><li>● PC5MD[1:0]="B'01" : PC5 端子を RAS#機能に設定</li><li>● PC4MD="1" : PC4 端子を DQMU 機能に設定</li></ul>
ポート C コント ロールレジスタ 0 (PCCR0)	H'FFFE 384E	H'1111	<ul style="list-style-type: none"><li>● PC3MD="1" : PC3 端子を DQML 機能に設定</li><li>● PC2MD="1" : PC2 端子を RD/WR#機能に設定</li></ul>

## 2.5 SDRAM のタイミング設定参考例

SDRAM を接続する場合には、使用する SDRAM のアクセススピード (CAS レイテンシ) やその他 AC 特性に応じたウェイトサイクルと、SDRAM に必要なリフレッシュを設定する必要があります。ここではウェイトサイクル、リフレッシュサイクル設定の要点について参考例を示します。

なお、参考例の SH7264 の動作条件は、バスクロック 72MHz (tcyc = 13.9ns) です。またアクセスモードにはオートプリチャージモードを使用します。

SH7264 および SDRAM の AC 特性に関しては、各デバイスのデータシートを参照してください。SDRAM は CKIO の立ち上がりを起点として動作します。

### 2.5.1 アクセスウェイトサイクル

- (1) Tr サイクルと Tc サイクル間のウェイトサイクル (Trw) を、CS3WCR レジスタの WTRCD[1:0]ビットで設定します。
- (2) Tc サイクルと Td サイクル間のウェイトサイクル (Tcw) を、CS3WCR レジスタの A3CL[1:0]ビットで設定します。CAS レイテンシサイクル数-1 が Tcw サイクル数になります。
- (3) プリチャージが完了するまでのウェイトサイクル (Tap/Tpw) を、CS3WCR レジスタの WTRP[1:0]ビットで設定します。
- (4) オートプリチャージが起動されるまでのウェイトサイクル (Trwl) を、CS3WCR レジスタの TRWL[1:0]ビットで設定します。

本設定において、SH7264 と使用する SDRAM のバスタイミングを満たしていることを確認します。

なお、下記計算式に使用している Tr, Tcn(n=1~8), Tdn(n=1~8), Tde は tcyc とします。

- SDRAM の tRC (リードサイクル時)  

$$tRC(\min) \leq (tcyc \times Trw) + (Tc1) + (tcyc \times Tcw) + (Td1) + (Tde) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 6)$$

【注】 Tr = Tc = Tdn = Tde = tcyc

- SDRAM の tRC (ライトサイクル時)  

$$tRC(\min) \leq (tcyc \times Trw) + (Tc1) + (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 8)$$

- SDRAM の tRAS (行活性時間)  

$$tRAS(\min) \leq (tcyc \times Trw) + (Tc1) + (tcyc \times Tcw) \dots\dots\dots (図 6)$$

- SDRAM の tRCD (行から列への遅延時間)  

$$tRCD(\min) \leq (tcyc \times Trw) + (Tc1) \dots\dots\dots (図 6)$$

- SDRAM の tRP (行プリチャージ時間/リードサイクル時)  

$$tRP(\min) \leq (tcyc \times (Tcw - 1)) + (Td1) + (Tde) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 6)$$

- SDRAM の tRP (行プリチャージ時間/ライトサイクル時)  

$$tRP(\min) \leq (tcyc \times Tap) + (Tr) \dots\dots\dots (図 8)$$

- SDRAM の tDAL (データ入力後から Act への遅延時間)  

$$tDAL(\min) \leq (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 8)$$

- SDRAM の tRP (行プリチャージ時間/オートリフレッシュ時)  

$$tRP(\min) \leq (tcyc \times Tpw) + (Trr) \dots\dots\dots (図 10)$$

【注】 Tpw = Tap

## 2.5.2 リフレッシュサイクル

- (1) SDRAM に対してリフレッシュを実施する間隔時間 ( $t_{REF}$ ) を、RTCSR レジスタと RTCOR レジスタで設定します。
- (2) オートリフレッシュサイクルのウェイトサイクル ( $Trc$ ) を、CS3WCR レジスタの WTRC[1:0]ビットで設定します。
- 本設定において、SH7264 と使用する SDRAM のバスタイミングを満たしていることを確認します。

- SDRAM の  $t_{REF}$  (リフレッシュ間隔時間)

$$t_{REF(max)} \geq t_{cyc} \times CKS \times RTCOR \times Ref\_Cyc$$

【注】 上記式内の Ref\_Cyc はリフレッシュサイクル数で、本実施例では 4096、また  $t_{cyc} \times CKS$  はリフレッシュカウンタのクロック周期で、このリフレッシュカウンタクロック数に RTCOR レジスタ設定値を乗じた値が 1 回当たりのリフレッシュ間隔時間になります。

【参考】

$t_{cyc} = 13.9ns$ ,  $CKS = 16$ ,  $RTCOR = 70$ ,  $Ref\_Cyc = 4096$  とすると、

- リフレッシュカウンタのクロック周期 :  $t_{cyc} \times CKS = 222 (ns)$
- 1 回当たりのリフレッシュ間隔時間 :  $t_{cyc} \times CKS \times RTCOR = 15.54 (\mu s)$
- 4096 回のリフレッシュ間隔時間 :  $t_{cyc} \times CKS \times RTCOR \times Ref\_Cyc = 63.65 (ms)$

- SDRAM の  $t_{RC}$  (リフレッシュサイクル時)

$$t_{RC(min)} \leq (t_{cyc} \times Trc) + (Tr) \dots\dots\dots (図 9)$$

【注】  $Tr = t_{cyc}$

図 6に SDRAM シングルリードタイミング例、図 7に SDRAM バーストリードタイミング例、図 8に SDRAM シングルライトタイミング例、図 9に SDRAM バーストライトタイミング例、そして図 10に SDRAM オートリフレッシュタイミング例を示します。いずれも CS3WCR レジスタの各ビットを WTRP[1:0]=B'01 (Tap=1)、WTRCD[1:0]=B'02 (Trw=2)、A3CL[1:0]=B'01 (Tcw=1)、TRWL[1:0]=B'01 (Trwl=1)、WTRC[1:0]=B'02 (Trc=5) に設定した場合の例です。

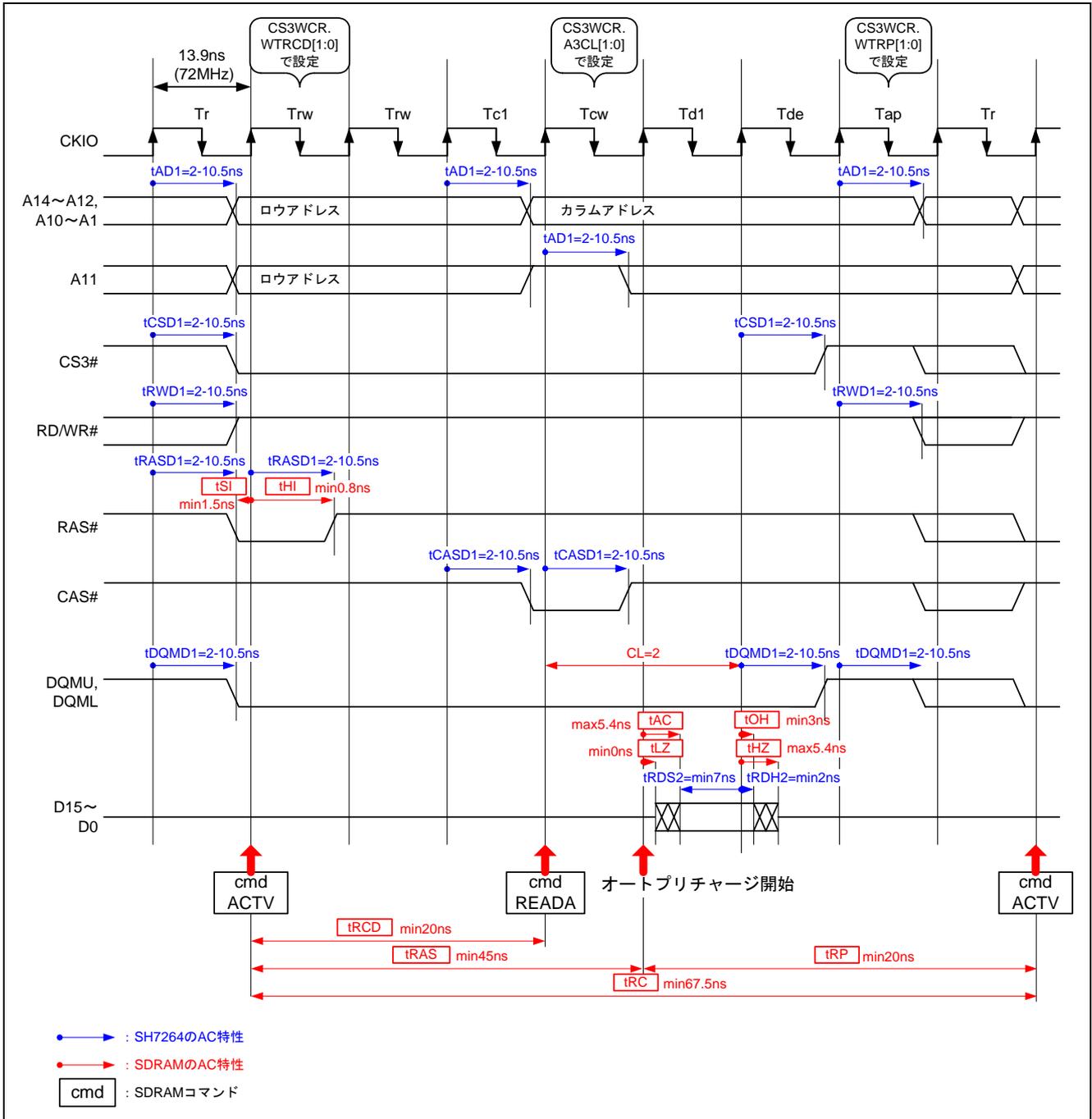


図6 SDRAM シングルリードタイミング例

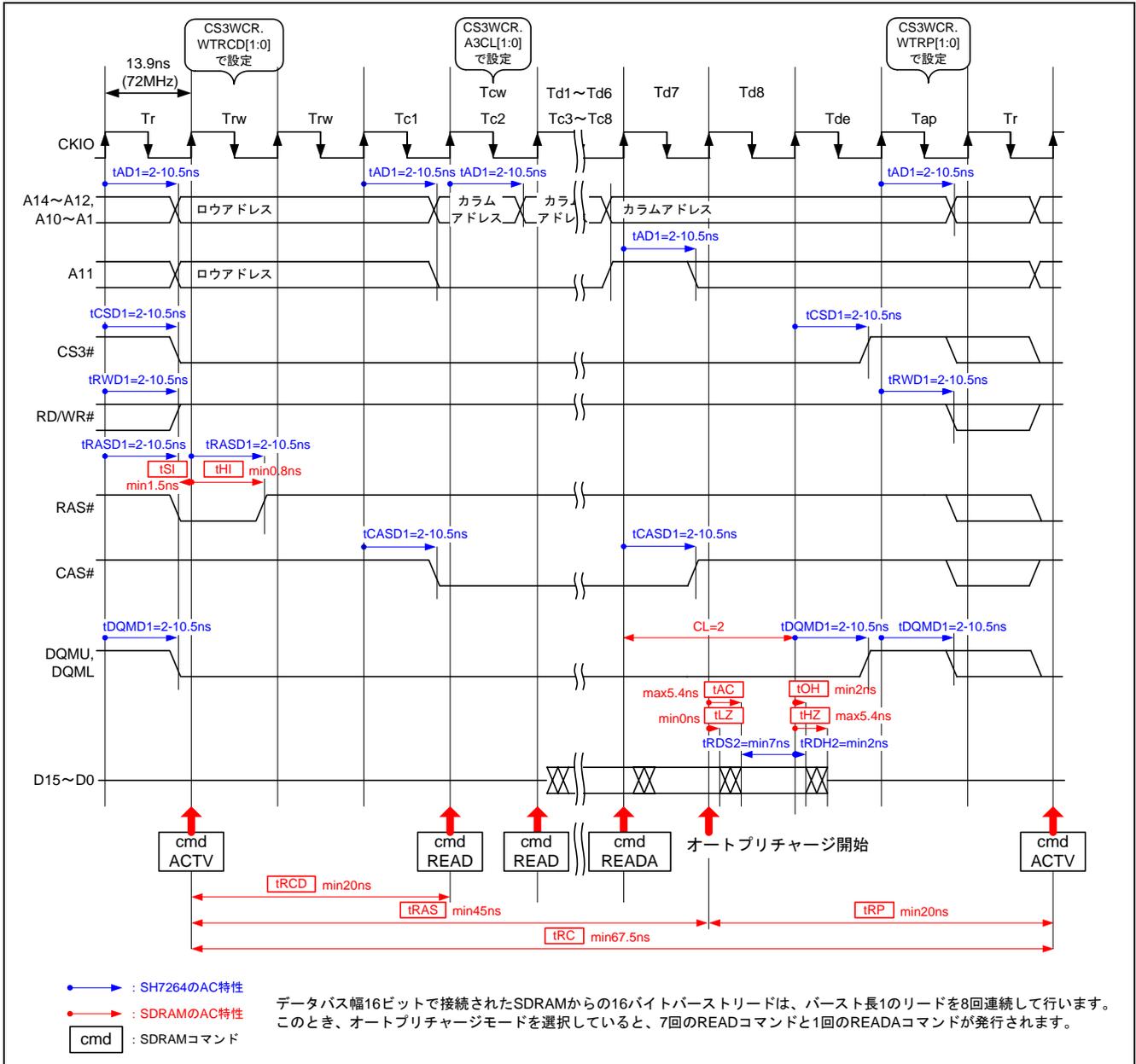


図7 SDRAM 16バイトバーストリードタイミング例

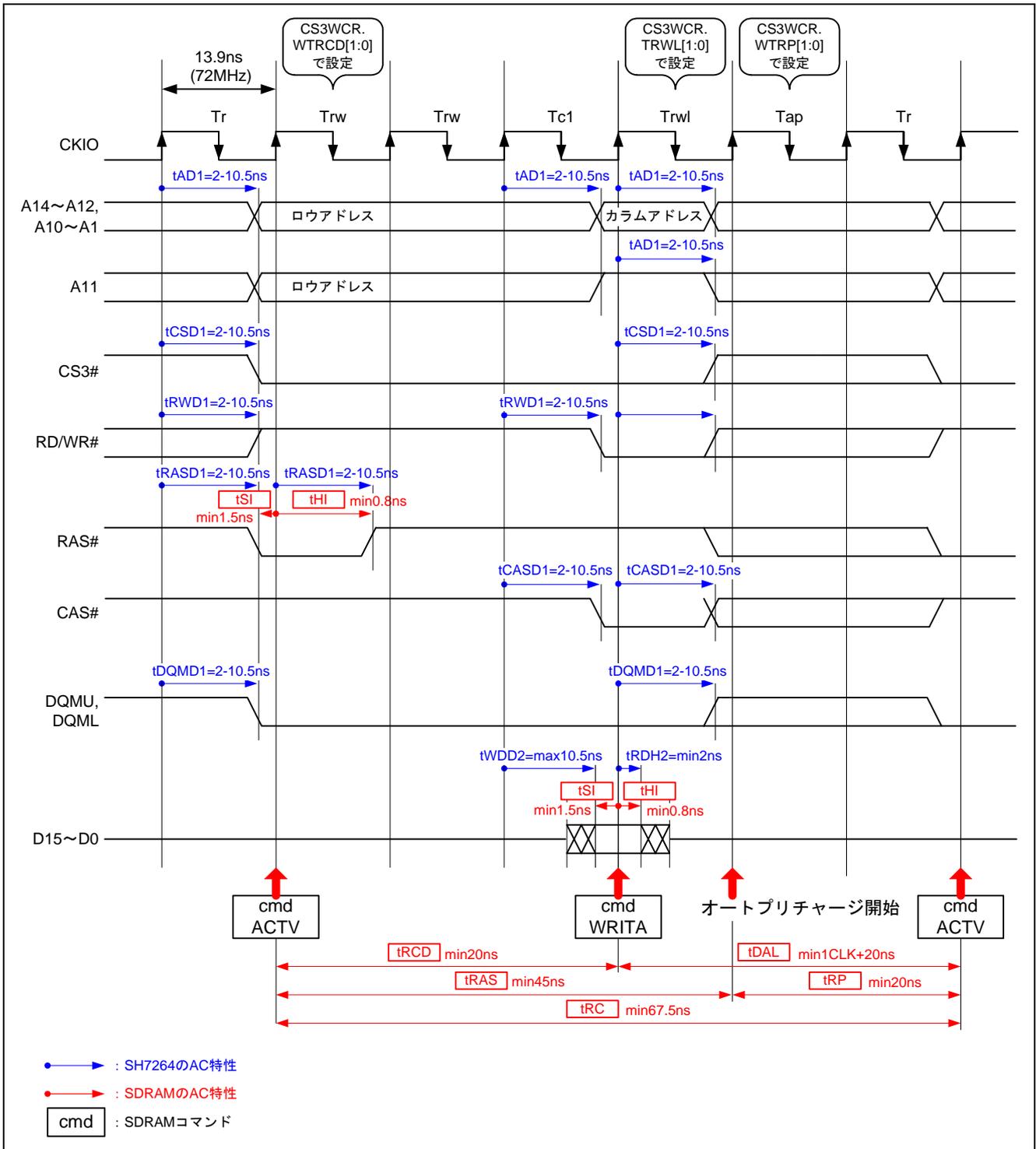


図8 SDRAM シングルライトタイミング例

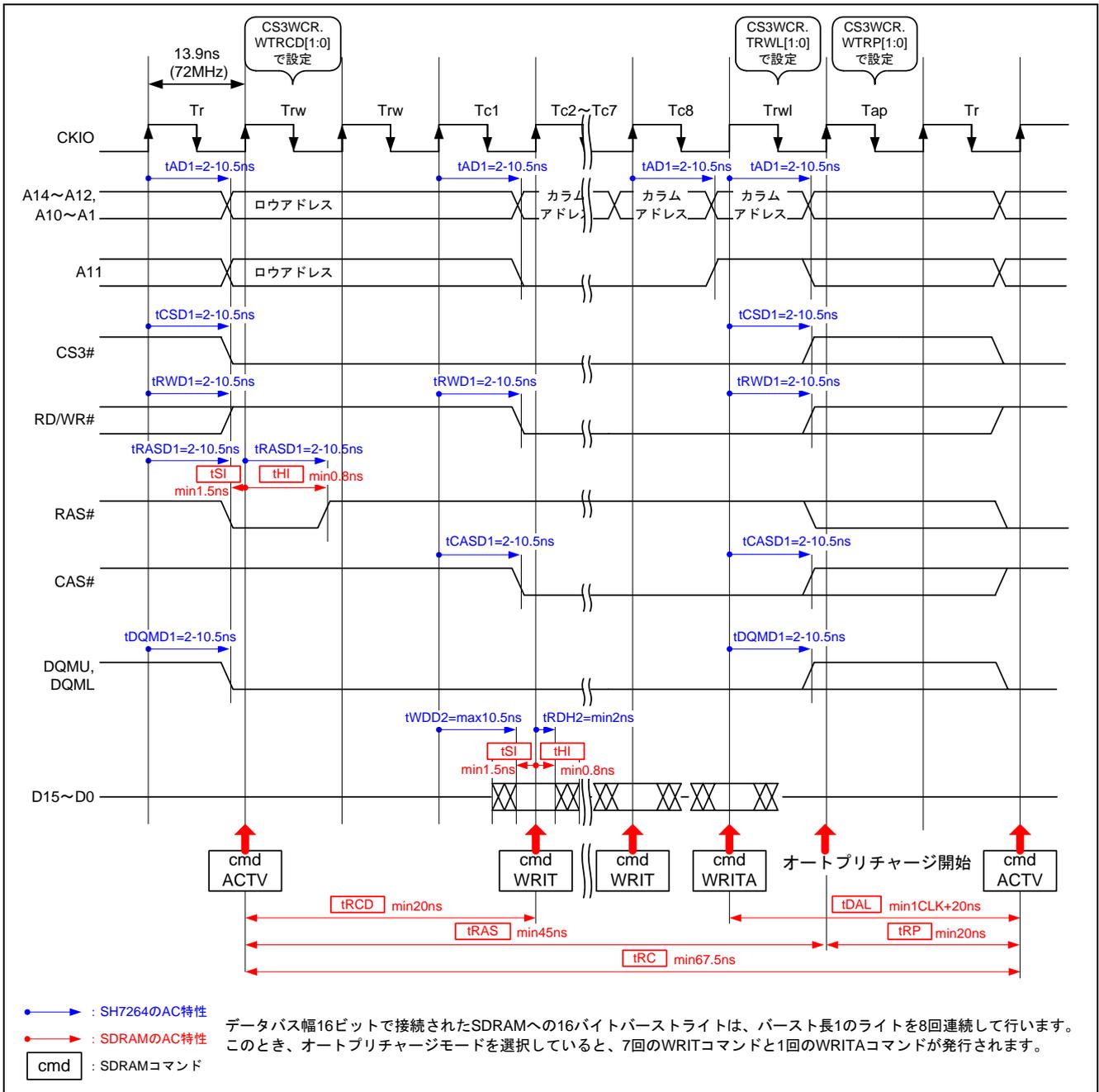


図9 SDRAM 16 バイトバーストライトタイミング例

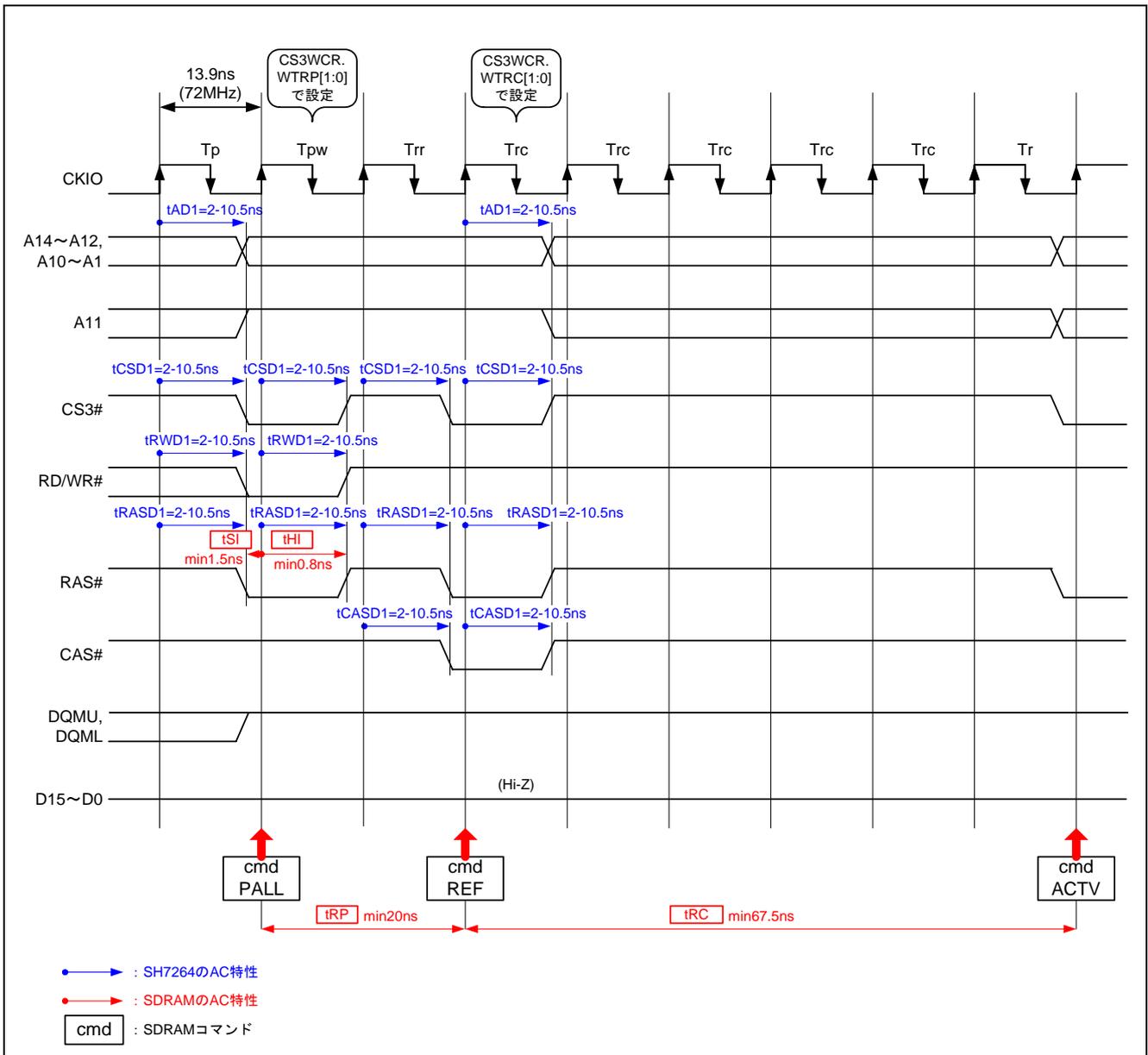


図10 SDRAM オートリフレッシュタイミング例

### 3. 参考プログラムリスト

#### 3.1 参考プログラムについての補足

SH7264 は、製品によって大容量内蔵 RAM の容量が 1MB または 640KB と異なるため、参考プログラムのセクション配置やレジスタの設定を一部変更する必要があります。そのため本アプリケーションノートでは 1MB 用と 640KB 用の 2 つのワークスペースを用意しています。

640KB 版はライトプロテクトを解除しなければ保持用内蔵 RAM へ書き込むことができないため、640KB 版のワークスペースは、システムコントロールレジスタ 5 (SYSCR5) にライトプロテクトの解除を設定しています。

使用する製品を確認した上で、対応するワークスペースを使用してください。

## 3.2 サンプルプログラムリスト "hwsetup.c" (1)

```
1  /*****
2  *   DISCLAIMER
3  *
4  *   This software is supplied by Renesas Electronics Corp. and is only
5  *   intended for use with Renesas products. No other uses are authorized.
6  *
7  *   This software is owned by Renesas Electronics Corp. and is protected under
8  *   all applicable laws, including copyright laws.
9  *
10 *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *   DISCLAIMED.
15 *
16 *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *   ELECTRONICS CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *   Renesas reserves the right, without notice, to make changes to this
23 *   software and to discontinue the availability of this software.
24 *   By using this software, you agree to the additional terms and
25 *   conditions found by accessing the following link:
26 *   http://www.renesas.com/disclaimer
27 *****/
28 * (C) 2009(2010) Renesas Electronics Corporation. All rights reserved.
29 *"FILE COMMENT"***** Technical reference data *****
30 *   System Name : SH7264 Sample Program
31 *   File Name   : hwsetup.c
32 *   Abstract    : Hardware initialization function
33 *   Version     : 1.02.00
34 *   Device      : SH7262/SH7264
35 *   Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *                : C/C++ compiler package for the SuperH RISC engine family
37 *                :                               (Ver.9.03 Release00).
38 *   OS          : None
39 *   H/W Platform: M3A-HS64G50(CPU board)
40 *   Description :
41 *****/
42 *   History     : Jan.13,2009 Ver.1.00.00
43 *                : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *                : Apr.07,2010 Ver.1.02.00 Changed the company name
45 *"FILE COMMENT END"*****/
46 #include "iodefine.h"
47
```

## 3.3 サンプルプログラムリスト "hwsetup.c" (2)

```
48  /* ==== Prototype declaration ==== */
49  void HardwareSetup(void);
50
51  /* ==== referenced external Prototype declaration ==== */
52  extern void io_set_cpg(void);
53  extern void io_init_bsc_cs0(void);
54  extern void io_init_sdram(void);
55  extern void io_init_cache(void);
56  static void init_puram_section(void);
57  void set_acswr(void);
58
59  #pragma section ResetPRG
60  /*"FUNC COMMENT"*****
61  * ID      :
62  * Outline   : Hardware initialization function
63  *-----
64  * Include   : iodef.h
65  *-----
66  * Declaration : void HardwareSetup(void);
67  *-----
68  * Description : The initial settings of CPG, PFC, and BSC (Flash memory
69  *               : access control and SDRAM initialization) are processed.
70  *-----
71  * Argument   : void
72  *-----
73  * Return Value : void
74  *-----
75  * Note       : None
76  *"FUNC COMMENT END"*****/
77  void HardwareSetup(void)
78  {
79  /*====CPG setting====*/
80  io_set_cpg();
81
82  /*====CS0 initialization====*/
83  io_init_bsc_cs0();
84
85  /*====SDRAM area initialization====*/
86  /* ---- Switches AC characteristics ---- */
87  init_puram_section();
88  set_acswr();
89
90  io_init_sdram();
91
92  /*====Cache setting====*/
93  io_init_cache();
94  }
95
```

## 3.4 サンプルプログラムリスト "hwsetup.c" (3)

```
96  /*"FUNC COMMENT"*****
97  * ID      :
98  * Outline : URAM section transfer from ROM to internal RAM
99  *-----
100 * Include  : iodef.h
101 *-----
102 * Declaration : static void init_puram_section(void);
103 *-----
104 * Description : Transfers the program in the URAM section from
105 *              : ROM to internal RAM.
106 *              : Transfer must be executed before setting the SDRAM.
107 *              : This function transfers the URAM section separately before
108 *              : initializing other sections.
109 *-----
110 * Argument  : void
111 *-----
112 * Return Value : void
113 *-----
114 * Note      : None
115 *"FUNC COMMENT END"*****/
116 static void init_puram_section(void)
117 {
118     unsigned long *src, *end, *dst;
119
120     src = (unsigned long *)__sectop("PURAM");
121     end = (unsigned long *)__secend("PURAM");
122     dst = (unsigned long *)__sectop("RPURAM");
123
124     while(src < end){
125         *dst++ = *src++;
126     }
127 }
128
```

## 3.5 サンプルプログラムリスト "hwsetup.c" (4)

```
129  #pragma section URAM
130  /*"FUNC COMMENT"*****
131  * ID      :
132  * Outline : AC characteristics switch function
133  *-----
134  * Include : iodef.h
135  *-----
136  * Declaration : void set_acswr(void);
137  *-----
138  * Description : Extends the AC characteristics delay time.
139  *-----
140  * Argument   : void
141  *-----
142  * Return Value : void
143  *-----
144  * Note       : None
145  *"FUNC COMMENT END"*****/
146  void set_acswr(void)
147  {
148      volatile unsigned long reg;
149
150      /* ==== Sequence to write to the ACSWR register ==== */
151      do{
152          BSC.ACKEYR = 0;
153          BSC.ACKEYR = 0;
154          BSC.ACSWR.LONG = 0x2; /* Extends the delay time */
155      }while(BSC.ACSWR.LONG != 0x2 ); /* Checks ACSWR register correctly written */
156
157  }
158
159  /* End of File */
160
```

## 3.6 サンプルプログラムリスト "bscsdram.c" (1)

```
1  /*****
2  *   DISCLAIMER
3  *
4  *   This software is supplied by Renesas Electronics Corp. and is only
5  *   intended for use with Renesas products. No other uses are authorized.
6  *
7  *   This software is owned by Renesas Electronics Corp. and is protected under
8  *   all applicable laws, including copyright laws.
9  *
10 *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *   DISCLAIMED.
15 *
16 *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *   ELECTRONICS CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *   Renesas reserves the right, without notice, to make changes to this
23 *   software and to discontinue the availability of this software.
24 *   By using this software, you agree to the additional terms and
25 *   conditions found by accessing the following link:
26 *   http://www.renesas.com/disclaimer
27 *****/
28 * (C) 2008(2010) Renesas Electronics Corporation. All rights reserved.
29 * "FILE COMMENT"***** Technical reference data *****
30 * System Name : SH7264 Sample Program
31 * File Name   : bscsdram.c
32 * Abstract    : SH7264 Initial Settings
33 * Version     : 1.02.00
34 * Device      : SH7262/SH7264
35 * Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *              : C/C++ compiler package for the SuperH RISC engine family
37 *              :                      (Ver.9.03 Release00).
38 * OS          : None
39 * H/W Platform: M3A-HS64G50(CPU board)
40 * Description :
41 *****/
42 * History     : Feb.02,2008 Ver.1.00.00
43 *              : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *              : Apr.07,2010 Ver.1.02.00 Changed the company name
45 * "FILE COMMENT END"*****/
46 #include "iodefine.h"
47
```

## 3.7 サンプルプログラムリスト "bscsdram.c" (2)

```

48  /* ==== Macro name definition ==== */
49  /* The address when writing in a SDRAM mode register */
50  #define SDRAM_MODE      (*(volatile unsigned short *) (0xfffc5040))
51
52  /* ==== Prototype Declaration ==== */
53  void io_init_sdram(void);
54
55  #pragma section ResetPRG
56  /*"FUNC COMMENT"*****
57  * ID      :
58  * Outline : SDRAM 16 bit bus width connection settings
59  *-----
60  * Include : iodef.h
61  *-----
62  * Declaration : void io_init_sdram(void);
63  *-----
64  * Description : A connection setup to SDRAM of CS3 space.
65  *              : The PFC setting is set by bit manipulation not to change the PFC
66  *              : set value which is set by other process.
67  *-----
68  * Argument  : void
69  *-----
70  * Return Value : void
71  *-----
72  * Note      : None
73  *"FUNC COMMENT END"*****/
74  void io_init_sdram(void)
75  {
76      volatile int j = 133;          /* 200usec wait count */
77
78      /* ==== PFC settings ==== */
79      PORT.PCCR2.BIT.PC8MD = 1u;     /* CS3#    */
80      PORT.PCCR1.BIT.PC7MD = 1u;     /* CKE     */
81      PORT.PCCR1.BIT.PC6MD = 1u;     /* CAS#    */
82      PORT.PCCR1.BIT.PC5MD = 1u;     /* RAS#    */
83      PORT.PCCR1.BIT.PC4MD = 1u;     /* DQMU#   */
84      PORT.PCCR0.BIT.PC3MD = 1u;     /* DQML#   */
85      PORT.PCCR0.BIT.PC2MD = 1u;     /* RD/WR#  */
86

```

## 3.8 サンプルプログラムリスト "bscsdram.c" (3)

```
87     /* ==== 200us interval elapsed ? ==== */
88     while(j-- > 0){
89         /* wait */
90     }
91
92     /* ==== CS3BCR settings ==== */
93     BSC.CS3BCR.LONG = 0x00004400ul;
94
95         /*
96         Idle Cycles between Write-read Cycles
97         and Write-write Cycles : 0 idle cycles
98         Memory type :SDRAM
99         Data Bus Size : 16-bit
100
101     */
102     /* ==== CS3WCR settings ==== */
103     BSC.CS3WCR.SDRAM.LONG = 0x0000288aul;
104
105         /*
106         Precharge completion wait cycles: 1 cycle
107         Wait cycles between ACTV command
108         and READ(A)/WRITE(A) command : 2 cycles
109         CAS latency for Area 3 : 2 cycles
110         Auto-precharge startup wait cycles : 1 cycle
111         Idle cycles from REF command/self-refresh
112         Release to ACTV/REF/MRS command
113         : 5 cycles
114
115     */
116     /* ==== SDCR settings ==== */
117     BSC.SDCR.LONG = 0x00000809ul;
118
119         /*
120         Refresh Control :Refresh
121         RMODE :Auto-refresh is performed
122         BACTV :Auto-precharge mode
123         Row address for Area 3 : 12-bit
124         Column Address for Area 3 : 9-bit
125
126     */
127     /* ==== RTCOR settings ==== */
128     BSC.RTCOR.LONG = 0xa55a0046ul; /*
129
130         15.625us/222ns
131         = 70(0x46)cycles per refresh
132
133     */
```

## 3.9 サンプルプログラムリスト "bscsdram.c" (4)

```
134     /* ==== RTCSR settings ==== */
135     BSC.RTCSR.LONG = 0xa55a0010ul;
136                                     /*
137                                     Initialization sequence start
138                                     Clock select B-phy/16
139                                     Refresh count :Once
140                                     */
141
142     /* ==== Written in SDRAM Mode Register ==== */
143     SDRAM_MODE = 0;                 /*
144                                     The writing data is arbitrary
145                                     SDRAM mode register setting CS3 space
146                                     Burst read (burst length 1)./Burst write
147                                     */
148 }
149
150 /* End of File */
151
```

#### 4. 参考ドキュメント

- ソフトウェアマニュアル  
SH-2A、SH2A-FPU ソフトウェアマニュアル Rev.3.00  
(最新版をルネサスエレクトロニクスのホームページから入手してください。)
- ハードウェアマニュアル  
SH7262 グループ、SH7264 グループ ハードウェアマニュアル Rev.2.00  
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

## ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.01.22	—	初版発行
2.00	2010.05.21	全頁	タイミング設定例を追加し全体の構成を変更
2.01	2011.03.31	5	表 3 ロウアドレスを 12 ビットに修正

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/inquiry>