

RX66T グループ

初期設定例

要旨

本アプリケーションノートでは、ヘッダファイルで選択する使用条件に応じて、RX66T グループのクロック設定やリセット後に動作している周辺機能の停止、存在しないポートの設定など、リセット後に必要な設定について説明します。

動作確認デバイス

・RX66T グループ 48、64、80、100、112、144 ピン版

ROM 容量 : 256KB～1MB

目次

1. 仕様	3
1.1 プロジェクト説明	3
1.2 リセット後に動作している周辺機能の停止	3
1.3 存在しないポートの設定	3
1.4 クロック設定	4
1.4.1 概要	4
1.4.2 サンプルコードで想定しているクロックの仕様	4
1.4.3 クロックの選択	5
1.5 電圧レベル設定レジスタ (VOLSR)に関する注意	6
1.5.1 VOLSR 設定時の注意事項	6
2. 動作確認条件	7
3. ソフトウェア説明	8
3.1 リセット後に動作している周辺機能の停止	8
3.2 存在しないポートの設定	8
3.2.1 処理概要	8
3.2.2 ピン数の設定方法	11
3.2.3 PGA 疑似差動入力あり／なし品の設定方法	11
3.2.4 USB あり／なし品の設定方法	11
3.3 クロックの設定	12
3.3.1 クロックの設定手順	12
3.4 セクション構成	13
3.5 ファイル構成	13
3.6 オプション設定メモリ	14
3.7 定数一覧	15
3.8 関数一覧	23
3.9 関数仕様	24
3.10 フローチャート	27
3.10.1 メイン処理	27
3.10.2 リセット後に動作している周辺機能の停止	28
3.10.3 存在しないポートの初期設定	29
3.10.4 クロック初期設定	30
3.10.5 メインクロックの発振設定	33
3.10.6 PLL クロックの発振設定	33
3.10.7 HOCO クロックの発振設定	34
3.10.8 ROM キャッシュの初期設定	35
4. プロジェクトをインポートする方法	36
4.1 e ² studio での手順	36
4.2 CS+での手順	37
5. サンプルコード	38
6. 参考ドキュメント	38

1. 仕様

リセット後に動作している周辺機能の停止、存在しないポートの設定、クロックの設定を行います。本アプリケーションノートでは、電源投入時（コールドスタート時）の処理を想定しています。

1.1 プロジェクト説明

本アプリケーションノートには「r01an4057_rx66t」が含まれています。

r01an4057_rx66t は、Renesas Starter Kit for RX66T 用のプロジェクトです。このプロジェクトは e² studio が自動生成したファイルを含んでいます。またこのプロジェクトの設定は RSK に実装されているデバイス（ROM 容量：512KB、端子：100 ピン、プログラマブルゲインアンプ（以下、PGA とよぶ）疑似差動入力あり、USB：なし）に合わせています。その他のデバイスの場合はプロジェクトの設定でデバイスを変更してご使用ください。

1.2 リセット後に動作している周辺機能の停止

電源投入後はモジュールストップ機能が解除されている周辺機能があります。これらのモジュールを停止する処理として

- DMAC、DTC、ECCRAM、RAM の機能を停止する処理

を用意しています。なおサンプルコードでは上記の処理は無効になっています。必要に応じて定数を書き換えて、処理を有効にしてください。

1.3 存在しないポートの設定

存在しないポートの方向制御ビットはユーザーズマニュアル ハードウェア編「20.4 ポート方向レジスタ（PDR）の初期化」に従って設定する必要があります。本アプリケーションノートのサンプルコードは端子数が 100 ピン、PGA 疑似差動入力あり、かつ USB なしの製品に合わせて初期値を設定しています。

お使いの製品に応じて定数を書き換えてください。

1.4 クロック設定

1.4.1 概要

クロックの設定は、下記の手順で行います。

- (1) メインクロック設定
- (2) HOCO クロック設定
- (3) PLL クロック設定
- (4) システムクロックの切り替え

本アプリケーションノートでは、`r_init_clock.h` で定義している定数を変更することで、各クロックの設定内容を切り替えます。

サンプルコードでは、システムクロックを PLL クロックとしています。必要に応じて定数を書き換えて、使用するクロックを選択してください。

1.4.2 サンプルコードで想定しているクロックの仕様

表 1.1 にサンプルコードで想定しているクロックの仕様を示します。

表 1.1 サンプルコードで想定しているクロックの仕様

クロック	発振周波数	発振安定時間	備考
メインクロック発振子	8MHz	4.2ms ^(注2)	水晶
PLL クロック	160MHz (メインクロック 1 分周 20 通倍)	- ^(注3)	-
HOCO クロック	20MHz ^(注1)	- ^(注3)	-

注 1. サンプルコードでは発振を停止させています。

注 2. 発振子の発振安定時間は実際のシステムにおける配線パターン、発振定数などの条件により異なります。発振安定時間は、お客様が実際に使用されるシステムの評価を発振子メーカーに依頼し、入手してください。

注 3. ユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

1.4.3 クロックの選択

サンプルコードでは、r_init_clock.h で定義している定数を変更することで、システムクロックのクロックソース、各クロックの発振／停止などを選択できます。

表 1.2 にクロックの選択例を示します。サンプルコードでは、No.1 を選択しています。

表 1.2 クロックの選択例

No.		1	2	3	4
システムクロック		PLL	PLL	HOCO	メインクロック
PLL クロック		発振	発振	停止	停止
メインクロック		発振	停止	停止	発振
HOCO クロック		停止	発振	発振	停止
メモリウェイトサイクル (注 1)		1 ウェイト	1 ウェイト	0 ウェイト	0 ウェイト
定 数 (注 2)	SEL_SYSCLK	CLK_PLL	CLK_PLL	CLK_HOCO	CLK_MAIN
	SEL_PLL	B_USE_PLL_MAIN	B_USE_PLL_HOCO	B_NOT_USE	B_NOT_USE
	SEL_MAIN	B_USE	B_NOT_USE	B_NOT_USE	B_USE
	SEL_HOCO	B_NOT_USE	B_USE	B_USE	B_NOT_USE
	REG_MEMWAIT	MEMWAIT_1WAIT	MEMWAIT_1WAIT	MEMWAIT_0WAIT	MEMWAIT_0WAIT

注1. ICLK が 120MHz より速い場合は、REG_MEMWAIT を MEMWAIT_1WAIT(1 ウェイト)に設定してください。

注2. 定数値は、表 3.10、表 3.11、表 3.12 サンプルコードで使用する定数（ユーザ変更可）(1/4)、表 3.13 サンプルコードで使用する定数（ユーザ変更不可）(4/4)を参照してください。

1.5 電圧レベル設定レジスタ (VOLSR)に関する注意

1.5.1 VOLSR 設定時の注意事項

RX66T では以下使用する条件と電圧に応じて、電圧レベル設定レジスタ (VOLSR) を適切な値に設定していただく必要があります。

- ・ USB を使用するかどうか
- ・ PGA 疑似差動入力を使用するかどうか、また使用時のアナログ電源電圧 (AVCC) の電圧レベル
- ・ RIIC を使用するかどうか、また使用時の電源電圧 (VCC) の電圧レベル

本初期設定例は、Renesas Starter Kit for RX66T を出荷時の設定で使用する場合の条件に合わせて電圧レベル設定レジスタ (VOLSR) を下記の初期値に設定しています。

表 1.3 電圧レベル設定レジスタ (VOLSR)の初期値

シンボル	ビット名	機能	初期値	初期値の理由
USBVON	USB電源制御ビット	0 : USB不使用(ディープソフトウェスタンバイモードを含む) 1 : USB 使用	0	Renesas Starter Kit for RX66Tに搭載されるRX66TがUSB非搭載品であるため
PGAVLS	PGA動作条件設定ビット	0 : AVCCの電圧が4.0V以上、かつPGAの疑似差動入力を有効にし、端子に負電圧を入力する 1 : AVCC の電圧が 4.0V 未満、または端子に負電圧を入力しない	1	Renesas Starter Kit for RX66Tの出荷時のアナログ電源電圧が3.3Vに設定されているため
RICVLS	RIIC動作電圧設定ビット	0 : VCC $\geq$ 4.5V 1 : VCC < 4.5V	1	Renesas Starter Kit for RX66Tの出荷時の電源電圧が3.3Vに設定されているため

ご使用条件に合わせて VOLSR レジスタを設定してください。誤った設定値による動作は保証されません。特に、PGA 動作条件設定ビット (PGAVLS) を"1"にして、アナログ電源電圧に 5V を入力した状態で PGA 疑似差動入力を使用した場合、デバイス破壊につながる可能性があります。

2. 動作確認条件

本アプリケーションノートのサンプルコード（表 1.2 の No.1~4）は、下記の条件で動作を確認しています。表 2.1 に r01an4057_rx66t の動作確認条件を示します。

表 2.1 r01an4057_rx66t の動作確認条件

項目		内容
使用マイコン		R5F566TEADFP (RX66T グループ)
動作周波数	システムクロックに PLL を選択し PLL の入力にメインクロックを使用した場合 (表 1.2 の No.1)	- メインクロック : 8MHz - PLL : 160MHz (メインクロック 1 分周 20 通倍) - システムクロック (ICLK) : 160 MHz (PLL 1 分周) - 周辺モジュールクロック A (PCLKA) : 80MHz (PLL 2 分周) - 周辺モジュールクロック B、D (PCLKB、PCLKD) : 40MHz (PLL 4 分周) - 周辺モジュールクロック C (PCLKC) : 160MHz (PLL 1 分周) - FlashIF クロック (FCLK) : 40MHz (PLL 4 分周) - 外部バスクロック (BCLK) : 40MHz (PLL 4 分周)
	システムクロックに PLL を選択し PLL の入力に HOCO を使用した場合 (表 1.2 の No.2)	- HOCO : 20MHz - PLL : 160MHz (HOCO 2 分周 16 通倍) - システムクロック (ICLK) : 160 MHz (PLL 1 分周) - 周辺モジュールクロック A (PCLKA) : 80MHz (PLL 2 分周) - 周辺モジュールクロック B、D (PCLKB、PCLKD) : 40MHz (PLL 4 分周) - 周辺モジュールクロック C (PCLKC) : 160MHz (PLL 1 分周) - FlashIF クロック (FCLK) : 40MHz (PLL 4 分周) - 外部バスクロック (BCLK) : 40MHz (PLL 4 分周)
	システムクロックに HOCO を選択した場合 (表 1.2 の No.3)	- HOCO : 20MHz - システムクロック (ICLK) : 20MHz (HOCO1 分周) - 周辺モジュールクロック A~D (PCLKA~D) : 20MHz (HOCO 1 分周) - FlashIF クロック (FCLK) : 20MHz (HOCO 1 分周) - 外部バスクロック (BCLK) : 20MHz (HOCO 1 分周)
	システムクロックにメインクロックを選択した場合 (表 1.2 の No.4)	- メインクロック : 8MHz - システムクロック (ICLK) : 8MHz (メインクロック 1 分周) - 周辺モジュールクロック A~D (PCLKA~D) : 8MHz (メインクロック 1 分周) - FlashIF クロック (FCLK) : 8MHz (メインクロック 1 分周) - 外部バスクロック (BCLK) : 8MHz (メインクロック 1 分周)
動作電圧		3.3V
統合開発環境		ルネサスエレクトロニクス製 e ² studio Version: 2022-01
C コンパイラ		ルネサスエレクトロニクス製 C/C++ Compiler Package for RX Family V3.04.00 コンパイルオプション統合開発環境のデフォルト設定を使用しています
iodefine.h のバージョン		V1.00
エンディアン		リトルエンディアン・ビッグエンディアン
動作モード		シングルチップモード
プロセッサモード		スーパバイザモード
サンプルコードのバージョン		Version 1.10
使用ボード		Renesas Starter Kit for RX66T (製品型名 : RTK50566T0SxxxxxBE)

3. ソフトウェア説明

リセット後に動作している周辺機能の停止、存在しないポートの設定を行ったのち、クロックの設定を行います。

3.1 リセット後に動作している周辺機能の停止

リセット後に動作している周辺機能の停止を行います。

表 3.1 にリセット後にモジュールストップ状態が解除されている周辺モジュール一覧を示します。

リセット解除後、モジュールストップ状態へ遷移する場合は、モジュールストップビットを“1”（モジュールストップ状態へ遷移）に設定してください。このモジュールストップを行うことで消費電力を低減できます。

サンプルコードでは定数「MSTP_STATE_対象モジュール名」の値を“0 (MODULE_STOP_DISABLE)”とし、対象モジュールはモジュールストップ状態に遷移していません。使用するシステムに応じてモジュールストップ状態へ遷移したい場合は、r_init_stop_module.h の定数の値を“1 (MODULE_STOP_ENABLE)”に設定してください。

表 3.1 リセット後にモジュールストップ状態が解除されている周辺モジュール一覧

周辺モジュール	モジュールストップ設定ビット	リセット後の値	このモジュールを使用しない場合の設定
DMAC/DTC	MSTPCRA.MSTPA28 ビット	0 (モジュールストップ状態の解除)	1 (モジュールストップ状態へ遷移)
ECCRAM	MSTPCRC.MSTPC6 ビット		
RAM	MSTPCRC.MSTPC0 ビット		

3.2 存在しないポートの設定

3.2.1 処理概要

存在しないポートの PDR レジスタの対応ビットを“0”（入力）または“1”（出力）に設定します。設定値はユーザーズマニュアル ハードウェア編「20.4 ポート方向レジスタ(PDR) の初期化」に則っています。本関数をコールした後に、存在しないポートを含む PDR レジスタへバイト単位で書き込む場合、存在しないポートの方向制御ビットはユーザーズマニュアル ハードウェア編「20.4 ポート方向レジスタ(PDR) の初期化」に則って設定してください。PODR レジスタへバイト単位で書き込む場合は、ポート出力データ格納ビットに“0”を設定してください。

表 3.2、表 3.3、表 3.4 に存在しないポート一覧 PGA 疑似差動入力あり品、表 3.5 に存在しないポート一覧 PGA 疑似差動入力なし品を示します。

表 3.2 存在しないポート一覧 PGA 疑似差動入力あり品(1)

ポートシンボル	144 ピン、USB あり	本数	112 ピン、USB なし	本数
PORT0	P02~P07	6	P02~P07	6
PORT1	-	-	-	-
PORT2	-	-	P25, P26	2
PORT3	-	-	P34, P35	2
PORT4	-	-	-	-
PORT5	P56, P57	2	P50, P51, P56, P57	4
PORT6	P66, P67	2	P66, P67	2
PORT7	P77	1	P77	1
PORT8	P83~P87	5	P83~P87	5
PORT9	P97	1	P97	1
PORTA	-	-	PA6, PA7	2
PORTB	-	-	-	-
PORTC	PC7	1	PC3~PC7	5
PORTD	-	-	-	-
PORTE	PE7	1	PE6, PE7	2
PORTF	PF4~PF7	4	PF0~PF7	8
PORTG	PG3~PG7	5	PG3~PG7	5
PORTH	-	-	PH1~PH3, PH5~PH7	6
PORTK	PK3~PK7	5	PK0~PK7	8

表 3.3 存在しないポート一覧 PGA 疑似差動入力あり品(2)

ポートシンボル	100 ピン、USB あり	本数	100 ピン、USB なし	本数
PORT0	P02~P07	6	P02~P07	6
PORT1	P12~P17	6	P12~P17	6
PORT2	P25, P26	2	P25, P26	2
PORT3	P34, P35	2	P34, P35	2
PORT4	-	-	-	-
PORT5	P50, P51, P56, P57	4	P50, P51, P56, P57	4
PORT6	P66, P67	2	P66, P67	2
PORT7	P77	1	P77	1
PORT8	P83~P87	5	P83~P87	5
PORT9	P97	1	P97	1
PORTA	PA6, PA7	2	PA6, PA7	2
PORTB	PB7	1	-	-
PORTC	PC0~PC7	8	PC0~PC7	8
PORTD	PD0, PD1	2	-	-
PORTE	PE6, PE7	2	PE6, PE7	2
PORTF	PF0~PF7	8	PF0~PF7	8
PORTG	PG0~PG7	8	PG0~PG7	8
PORTH	PH1~PH3, PH5~PH7	6	PH1~PH3, PH5~PH7	6
PORTK	PK0~PK7	8	PK0~PK7	8

表 3.4 存在しないポート一覧 PGA 疑似差動入力あり品(3)

ポートシンボル	80 ピン、USB なし	本数	64 ピン、USB なし	本数
PORT0	P02~P07	6	P02~P07	6
PORT1	P12~P17	6	P10, P12~P17	7
PORT2	P23~P26	4	P23~P27	5
PORT3	P32~P35	4	P30~P35	6
PORT4	-	-	P43, P47	2
PORT5	P50, P51, P56, P57	4	P50, P51, P55~P57	5
PORT6	P60, P61, P63, P66, P67	5	P60~P63, P66, P67	6
PORT7	P77	1	P77	1
PORT8	P80~P87	8	P80~P87	8
PORT9	P97	1	P97	1
PORTA	PA0~PA2, PA4, PA6, PA7	6	PA0~PA7	8
PORTB	PB7	1	PB7	1
PORTC	PC0~PC7	8	PC0~PC7	8
PORTD	PD0, PD1	2	PD0~PD2	3
PORTE	PE0, PE1, PE5~PE7	5	PE0, PE1, PE3~PE7	7
PORTF	PF0~PF7	8	PF0~PF7	8
PORTG	PG0~PG7	8	PG0~PG7	8
PORTH	PH1~PH3, PH5~PH7	6	PH1~PH3, PH5~PH7	6
PORTK	PK0~PK7	8	PK0~PK7	8

表 3.5 存在しないポート一覧 PGA 疑似差動入力なし品

ポートシンボル	100 ピン、USB なし	本数	48 ピン、USB なし	本数
PORT0	P02~P07	6	P01~P07	7
PORT1	P12~P17	6	P12~P17	6
PORT2	P25~P27	3	P20~P27	8
PORT3	P34, P35	2	P30~P35	6
PORT4	-	-	P45~P47	3
PORT5	P56, P57	2	P50~P57	8
PORT6	P66, P67	2	P60, P61, P63, P66, P67	5
PORT7	P77	1	P70, P77	2
PORT8	P83~P87	5	P80~P87	8
PORT9	P97	1	P90~P93, P95~P97	7
PORTA	PA6, PA7	2	PA0~PA2, PA4, PA6, PA7	6
PORTB	-	-	PB7	1
PORTC	PC0~PC7	8	PC0~PC7	8
PORTD	-	-	PD0~PD2, PD4, PD6	5
PORTE	PE6, PE7	2	PE0, PE1, PE3~PE7	7
PORTF	PF0~PF7	8	PF0~PF7	8
PORTG	PG0~PG7	8	PG0~PG7	8
PORTH	PH0~PH7	8	PH0~PH7	8
PORTK	PK0~PK7	8	PK0~PK7	8

3.2.2 ピン数の設定方法

サンプルコードでは、100 ピン版 (PIN_SIZE=100) に設定しています。また、サンプルコードが対応している他のピン数は、144、112、80、64、48 ピンです。100 ピン以外の製品を使用する場合は、r_init_port_initialize.h の PIN_SIZE を使用するデバイスのピン数に変更してください。

3.2.3 PGA 疑似差動入力あり／なし品の設定方法

サンプルコードでは、PGA 疑似差動入力あり品 (PGA_DEFAMP=WITH) に設定しています。PGA 疑似差動入力なし品を使用する場合は、r_init_port_initialize.h の PGA_DEFAMP の設定値を WITHOUT に変更してください。

3.2.4 USB あり／なし品の設定方法

サンプルコードでは、USB なし品 (USB_MODULE=WITHOUT) に設定しています。USB あり品を使用する場合は、r_init_port_initialize.h の USB_MODULE の設定値を WITH に変更してください。

3.3 クロックの設定

3.3.1 クロックの設定手順

表 3.6 にクロックの設定手順とそれぞれの処理内容、およびサンプルコードでのデフォルト設定を示します。サンプルコードのデフォルト設定では、メインクロック、PLL を動作させて、HOCO を停止させています。

表 3.6 クロックの設定手順

手順	処理	処理内容		サンプルコードの設定
1	メインクロック 設定 (注2)	使用しない	設定は不要です。	メインクロックを 使用する
		使用する	メインクロックのドライブ能力の設定、およびメインクロックの出力を内部クロックに供給するまでの待機時間を MOSCWTCR レジスタに設定してから、メインクロックを発振します。 その後、発振安定待機時間待ち (注1) を行います。	
2	HOCO クロック 設定 (注2)	使用しない	HOCO の電源を OFF にします。	HOCO クロックを 使用しない
		使用する	HOCO の周波数の設定をしてから、HOCO クロックを発振します。 その後、発振安定待機時間待ち (注1) を行います。	
3	PLL クロック 設定 (注2)	使用しない	設定は不要です。	PLL クロックを 使用する
		使用する	PLL 入力分周比および周波数通倍率の設定をしてから、PLL クロックを発振します。 その後、発振安定待機時間待ち (注1) を行います。	
4	クロック分周比 設定	クロック分周の変更を行います。		• ICLK : 1 分周 • PCLKA : 2 分周 • PCLKC : 1 分周 • PCLKB, PCLKD, BCLK, FCLK : 4 分周 • BCLK : 出力停止
5	システムクロック 切り替え	使用するシステムに応じて切り替えます。		PLL クロックに切り替え

注 1. 発振安定フラグレジスタ (OSCOVFSR) の該当ビットが“1”になっていることを確認しています。

注 2. 各クロックを使用する／使用しないの選択は、必要に応じて r_init_clock.h の定数を変更してください。

3.4 セクション構成

表 3.7 にサンプルコード(r01an4057_rx66t)で変更するセクション情報を示します。

セクションの追加/変更および削除方法は、最新の RX ファミリ CC-RX コンパイラ ユーザーズマニュアルを参照してください。

表 3.7 サンプルコード(r01an4057_rx66t)で変更するセクション情報

セクション名	変更	アドレス	内容
End_of_RAM (注 1)	追加	0000 FFFCh	内蔵 RAM の最終アドレス
End_of_ECCRAM	追加	00FF FFFCh	ECCRAM の最終アドレス

注 1. RAM 容量が 128K バイトの製品の場合はアドレスを 0001 FFFCh に変更してください。

3.5 ファイル構成

表 3.8 にサンプルコードで使用するファイルを示します。なお、統合開発環境で自動生成されるファイルは除きます。

表 3.8 サンプルコードで使用するファイル

ファイル名	概要	備考
main.c	メイン処理	
r_init_stop_module.c	リセット後に動作している周辺機能の停止	
r_init_stop_module.h	r_init_stop_module.c のヘッダファイル	
r_init_port_initialize.c	存在しないポートの初期設定	
r_init_port_initialize.h	r_init_port_initialize.c のヘッダファイル	
r_init_clock.c	クロック初期設定	
r_init_clock.h	r_init_clock.c のヘッダファイル	
r_init_rom_cache.c	ROM キャッシュ初期設定	
r_init_rom_cache.h	r_init_rom_cache.c のヘッダファイル	

3.6 オプション設定メモリ

表 3.9 にサンプルコードで使用するオプション設定メモリの状態を示します。必要に応じて、お客様のシステムに最適な値を設定してください。

表 3.9 サンプルコードで使用するオプション設定メモリ

シンボル	アドレス	設定値	内容
OFS0	0012 0068h~0012 006Bh	FFFF FFFFh	リセット後、IWDT は停止 リセット後、WDT は停止
OFS1	0012 006Ch~0012 006Fh	FFFF FFFFh	リセット後、電圧監視 0 リセット無効 リセット後、HOCO 発振が無効
MDE	0012 0064h~0012 0067h	FFFF FFFFh	リトルエンディアン

3.7 定数一覧

表 3.10 にサンプルコードで使用する定数（ユーザ変更可）(1/4)、表 3.11 にサンプルコードで使用する定数（ユーザ変更可）(2/4)、表 3.12 にサンプルコードで使用する定数（ユーザ変更可）(3/4)、表 3.13 にサンプルコードで使用する定数（ユーザ変更不可）(4/4)を示します。

表 3.14～表 3.21 にデバイスごとの定数を示します。

表 3.10 サンプルコードで使用する定数（ユーザ変更可）(1/4)

定数名	設定値	内容
SEL_MAIN (注 1)	B_USE	メインクロックの発振／停止選択 B_USE : 使用する（メインクロック発振） B_NOT_USE : 使用しない（メインクロック停止）
MAIN_CLOCK_Hz (注 1)	8000000L	メインクロックの発振子周波数（Hz）
REG_MOFCR (注 1)	30h	メインクロック発振器のドライブ能力の設定 （MOFCR レジスタの設定値）
REG_MOSCWTCR (注 1)	53h	メインクロックのウェイトコントロールレジスタの設定値
SEL_PLL (注 1)	B_USE_PLL_MAIN	PLL クロックの発振／停止選択 B_USE_PLL_MAIN : 使用する(メイン) B_USE_PLL_HOCO : 使用する(HOCO) B_NOT_USE : 使用しない（PLL クロック停止）
REG_PLLCR (注 1、注 2、注 3)	1F11h (PLL のクロック ソースが HOCO の 場合) 2700h (上記以外)	PLL の入力分周比、周波数通倍率の設定 (PLLCR レジスタの設定値) 1F11h : クロックソース HOCO、2 分周、16 通倍 2700h : クロックソースメインクロック、1 分周、20 通倍
REG_SCKCR (注 1、注 2、注 3)	2082 1202h (PLL 選択時) 0080 0000h (HOCO 選択時) 0080 0000h (上記 以外)	内部クロック分周比、BCLK 制御の設定（SCKCR レジスタの設定値）
REG_VOLSR (注 1、注 3)	C0h	USB 使用有無の設定、PGA 疑似差動入力の有無と電圧レベルの設定、RIIC 使用時のVCCの電圧レベルの設定 (VOLSR レジスタの設定値)
REG_MEMWAIT(注 1、注 4)	MEMWAIT_1WAIT	メモリウェイトサイクルの選択 MEMWAIT_0WAIT : 0 ウェイト MEMWAIT_1WAIT : 1ウェイト

注 1. 使用するシステムに応じて「r_init_clock.h」で設定値を変更してください。

注 2. 選択したシステムクロックのクロックソースにより、設定値が異なります。

注 3. このレジスタを変更する場合は、ユーザズマニュアル ハードウェア編に従って設定値を変更してください

注 4. ICLK が 120MHz より速い場合は、1 ウェイトに設定してください。

表 3.11 サンプルコードで使用する定数（ユーザ変更可）(2/4)

定数名	設定値	内容
SEL_HOCO (注 1)	B_NOT_USE	HOCO クロックの発振／停止選択 B_USE : 使用する (HOCO クロック発振) B_NOT_USE : 使用しない (HOCO クロック停止)
REG_HOCOCCR2 (注 1)	FREQ_20MHz	HOCO クロックの周波数の選択 FREQ_16MHz : 16MHz FREQ_18MHz : 18MHz FREQ_20MHz : 20MHz
SEL_SYSCLK (注 1)	CLK_PLL	システムクロックのクロックソース選択 CLK_PLL : PLL CLK_HOCO : HOCO CLK_MAIN : メインクロック

注 1. 使用するシステムに応じて「r_init_clock.h」で設定値を変更してください。

表 3.12 サンプルコードで使用する定数（ユーザ変更可）(3/4)

定数名	設定値	内容
MSTP_STATE_DMADCDC (注 1)	MODULE_STOP_DISABLE	DMAC、DTC のモジュールストップ状態選択 MODULE_STOP_DISABLE : 解除 MODULE_STOP_ENABLE : 遷移
MSTP_STATE_ECCRAM (注 1)	MODULE_STOP_DISABLE	ECCRAM のモジュールストップ状態選択 MODULE_STOP_DISABLE : 動作 MODULE_STOP_ENABLE : 停止
MSTP_STATE_RAM (注 1)	MODULE_STOP_DISABLE	RAM のモジュールストップ状態選択 MODULE_STOP_DISABLE : 動作 MODULE_STOP_ENABLE : 停止
PIN_SIZE (注 2)	100	使用する製品のピン数
PGA_DEFAMP (注 2)	WITH	PGA 疑似差動入力あり品または PGA 疑似差動入力なし品の選択 WITHOUT : PGA 疑似差動入力なし品 WITH : PGA 疑似差動入力あり品
USB_MODULE (注 2)	WITHOUT	USB あり品または USB なし品の選択 WITHOUT : USB なし品 WITH : USB あり品
SEL_ROM_CACHE(注 3)	CACHE_ENABLE	ROM キャッシュの動作許可/禁止 CACHE_ENABLE : 動作許可 CACHE_DISABLE : 動作禁止
SEL_NON_CACHEABLE_AREA0	NON_CACHEABLE_AREA_DISABLE	ノンキャッシュブル領域 0 が有効/無効の選択 NON_CACHEABLE_AREA_ENABLE : 有効 NON_CACHEABLE_AREA_DISABLE : 無効
SEL_NON_CACHEABLE_AREA1	NON_CACHEABLE_AREA_DISABLE	ノンキャッシュブル領域 1 が有効/無効の選択 NON_CACHEABLE_AREA_ENABLE : 有効 NON_CACHEABLE_AREA_DISABLE : 無効

注 1. 使用するシステムに応じて「r_init_stop_module.h」で設定値を変更してください。

注 2. 使用するデバイス（パッケージ）に応じて「r_init_port_initialize.h」で設定値を変更してください。

注 3. 使用するシステムに応じて「r_init_rom_cacheh」で設定値を変更してください。

表 3.13 サンプルコードで使用する定数（ユーザ変更不可）(4/4)

定数名	設定値	内容
B_NOT_USE	0	使用しない
B_USE	1	使用する
B_USE_PLL_MAIN	2	PLL クロックを使用する (クロックソース：メインクロック)
B_USE_PLL_HOCO	3	PLL クロックを使用する (クロックソース：HOCO)
FREQ_16MHz	00h	HOCO 周波数：16MHz
FREQ_18MHz	01h	HOCO 周波数：18MHz
FREQ_20MHz	02h	HOCO 周波数：20MHz
CLK_PLL	0400h	クロックソース：PLL
CLK_HOCO	0100h	クロックソース：HOCO
CLK_MAIN	0200h	クロックソース：メインクロック
MEMWAIT_0WAIT	0	メモリウェイトサイクル：0 ウェイト
MEMWAIT_1WAIT	1	メモリウェイトサイクル：1 ウェイト
REG_SCKCR2	0011h	USB クロック分周比 (USB を使用しない場合の設定値)
WITH	1	機能あり
WITHOUT	0	機能なし
MODULE_STOP_ENABLE	1	モジュールストップ状態へ遷移
MODULE_STOP_DISABLE	0	モジュールストップ状態の解除
CACHE_ENABLE	1	ROM キャッシュ動作許可
CACHE_DISABLE	0	ROM キャッシュ動作禁止
NON_CACHEABLE_AREA_DISABLE	0	ノンキャッシュابل領域無効
NON_CACHEABLE_AREA_ENABLE	1	ノンキャッシュابل領域有効

表 3.14 144 ピン版 PGA 疑似差動入力あり、かつ USB あり品

(PIN_SIZE=144、PGA_DEFAMP= WITH、USB_MODULE=WITH) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	00h	ポート P1 の方向レジスタ設定値
DEF_P2PDR	00h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	00h	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	00h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	00h	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	00h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	00h	ポート PA の方向レジスタ設定値
DEF_PBPDR	00h	ポート PB の方向レジスタ設定値
DEF_PCPDR	00h	ポート PC の方向レジスタ設定値
DEF_PDPDR	00h	ポート PD の方向レジスタ設定値
DEF_PEPDR	00h	ポート PE の方向レジスタ設定値
DEF_PFPDR	00h	ポート PF の方向レジスタ設定値
DEF_PGPDR	00h	ポート PG の方向レジスタ設定値
DEF_PHPDR	00h	ポート PH の方向レジスタ設定値
DEF_PKPDR	00h	ポート PK の方向レジスタ設定値

表 3.15 112 ピン版 PGA 疑似差動入力あり、かつ USB なし品

(PIN_SIZE=112、PGA_DEFAMP= WITH、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	00h	ポート P1 の方向レジスタ設定値
DEF_P2PDR	60h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	30h	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	03h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	00h	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	00h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	C0h	ポート PA の方向レジスタ設定値
DEF_PBPDR	00h	ポート PB の方向レジスタ設定値
DEF_PCPDR	78h	ポート PC の方向レジスタ設定値
DEF_PDPDR	00h	ポート PD の方向レジスタ設定値
DEF_PEPDR	40h	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	00h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.16 100 ピン版 PGA 疑似差動入力あり、かつ USB あり品

(PIN_SIZE=100、PGA_DEFAMP= WITH、USB_MODULE=WITH) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FCh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	60h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	30h	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	03h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	00h	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	00h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	C0h	ポート PA の方向レジスタ設定値
DEF_PBPDR	80h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	03h	ポート PD の方向レジスタ設定値
DEF_PEPDR	40h	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.17 100 ピン版 PGA 疑似差動入力あり、かつ USB なし品

(PIN_SIZE=100、PGA_DEFAMP= WITH、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FCh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	60h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	30h	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	03h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	00h	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	00h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	C0h	ポート PA の方向レジスタ設定値
DEF_PBPDR	00h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	00h	ポート PD の方向レジスタ設定値
DEF_PEPDR	40h	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.18 100 ピン版 PGA 疑似差動入力なし、かつ USB なし品

(PIN_SIZE=100、PGA_DEFAMP= WITHOUT、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FCh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	E0h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	30h	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	00h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	00h	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	00h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	C0h	ポート PA の方向レジスタ設定値
DEF_PBPDR	00h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	00h	ポート PD の方向レジスタ設定値
DEF_PEPDR	40h	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.19 80 ピン版 PGA 疑似差動入力あり、かつ USB なし品

(PIN_SIZE=80、PGA_DEFAMP= WITH、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FCh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	78h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	3Ch	ポート P3 の方向レジスタ設定値
DEF_P4PDR	00h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	03h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0Bh	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	07h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	D7h	ポート PA の方向レジスタ設定値
DEF_PBPDR	80h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	03h	ポート PD の方向レジスタ設定値
DEF_PEPDR	63h	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.20 64 ピン版 PGA 疑似差動入力あり品、かつ USB なし品

(PIN_SIZE=64、PGA_DEFAMP= WITH、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	00h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FDh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	F8h	ポート P2 の方向レジスタ設定値
DEF_P3PDR	3Fh	ポート P3 の方向レジスタ設定値
DEF_P4PDR	88h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	23h	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0Fh	ポート P6 の方向レジスタ設定値
DEF_P7PDR	00h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	07h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	00h	ポート P9 の方向レジスタ設定値
DEF_PAPDR	FFh	ポート PA の方向レジスタ設定値
DEF_PBPDR	80h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	07h	ポート PD の方向レジスタ設定値
DEF_PEPDR	7Bh	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

表 3.21 48 ピン版 PGA 疑似差動入力なし品、かつ USB なし品

(PIN_SIZE=48、PGA_DEFAMP= WITHOUT、USB_MODULE=WITHOUT) の場合での定数

定数名	設定値	内容
DEF_P0PDR	02h	ポート P0 の方向レジスタ設定値
DEF_P1PDR	FCCh	ポート P1 の方向レジスタ設定値
DEF_P2PDR	FFh	ポート P2 の方向レジスタ設定値
DEF_P3PDR	3Fh	ポート P3 の方向レジスタ設定値
DEF_P4PDR	80h	ポート P4 の方向レジスタ設定値
DEF_P5PDR	3Fh	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0Bh	ポート P6 の方向レジスタ設定値
DEF_P7PDR	01h	ポート P7 の方向レジスタ設定値
DEF_P8PDR	07h	ポート P8 の方向レジスタ設定値
DEF_P9PDR	6Fh	ポート P9 の方向レジスタ設定値
DEF_PAPDR	D7h	ポート PA の方向レジスタ設定値
DEF_PBPDR	80h	ポート PB の方向レジスタ設定値
DEF_PCPDR	7Fh	ポート PC の方向レジスタ設定値
DEF_PDPDR	57h	ポート PD の方向レジスタ設定値
DEF_PEPDR	7Bh	ポート PE の方向レジスタ設定値
DEF_PFPDR	0Fh	ポート PF の方向レジスタ設定値
DEF_PGPDR	07h	ポート PG の方向レジスタ設定値
DEF_PHPDR	EEh	ポート PH の方向レジスタ設定値
DEF_PKPDR	07h	ポート PK の方向レジスタ設定値

3.8 関数一覧

表 3.22 に関数を示します。

表 3.22 関数

関数名	概要
main	メイン処理
R_INIT_StopModule	リセット後に動作している周辺機能の停止
R_INIT_Port_Initialize	存在しないポートの初期設定
R_INIT_Clock	クロック初期設定
R_INIT_ROM_Cache	ROM キャッシュの初期設定
CGC_oscillation_main	メインクロックの発振設定
CGC_oscillation_PLL	PLL クロックの発振設定
CGC_oscillation_HOCO	HOCO クロックの発振設定

3.9 関数仕様

サンプルコードの関数仕様を示します。

main	
概 要	メイン処理
ヘッダ	なし
宣 言	void main(void)
説 明	リセット後に動作している周辺機能の停止設定関数、存在しないポートの初期設定関数、クロックの初期設定関数および ROM キャッシュの初期設定を呼び出します。
引 数	なし
リターン値	なし
R_INIT_StopModule	
概 要	リセット後に動作している周辺機能の停止
ヘッダ	r_init_stop_module.h
宣 言	void R_INIT_StopModule(void)
説 明	モジュールストップ状態へ遷移する設定を行います。
引 数	なし
リターン値	なし
備 考	サンプルコードでは、モジュールストップ状態への遷移は行っていません。
R_INIT_Port_Initialize	
概 要	存在しないポートの初期設定
ヘッダ	r_init_port_initialize.h
宣 言	void R_INIT_Port_Initialize (void)
説 明	存在しないポートの端子に対応するポート方向レジスタの初期設定を行います。
引 数	なし
リターン値	なし
備 考	サンプルコードでは、100 ピン PGA 疑似差動入力あり USB なし品版 (PIN_SIZE=100、PGA_DEFAMP=WITH、USB_MODULE=WITHOUT) に設定しています。 本関数をコールした後に、存在しないポートを含む PDR、PODR レジスタへバイト単位で書き込む場合、存在しないポートの方向制御ビットはユーザーズマニュアルハードウェア編「20.4 ポート方向レジスタ(PDR) の初期化」に従って設定してください。またそのポートが出力ポートの場合は出力データ格納ビットには“0”を設定してください。

R_INIT_Clock	
概 要	クロック初期設定
ヘッダ	r_init_clock.h
宣 言	void R_INIT_Clock(void)
説 明	クロックの初期設定、メモリウェイトサイクルの設定を行います。
引 数	なし
リターン値	なし
備 考	サンプルコードでは、システムクロックを PLL、メモリウェイトサイクルを 1 ウェイト選択しています。

CGC_oscillation_main	
概 要	メインクロックの発振設定
ヘッダ	r_init_clock.h
宣 言	void CGC_oscillation_main (void)
説 明	メインクロックのドライブ能力、および MOSCWTCR レジスタを設定してから、メインクロックを発振します。その後、メインクロックの発振安定待機時間待ちを行います。
引 数	なし
リターン値	なし

CGC_oscillation_PLL	
概 要	PLL クロックの発振設定
ヘッダ	r_init_clock.h
宣 言	void CGC_oscillation_PLL (void)
説 明	PLL 入力分周比および周波数逡倍率を設定してから、PLL クロックを発振します。その後、PLL の発振安定時間待ちを行います。
引 数	なし
リターン値	なし

CGC_oscillation_HOCO	
概 要	HOCO クロックの発振設定
ヘッダ	r_init_clock.h
宣 言	void CGC_oscillation_HOCO (void)
説 明	HOCO の周波数を設定してから、HOCO を発振します。その後、HOCO の発振安定待機時間待ちを行います。
引 数	なし
リターン値	なし

R_INIT_ROM_Cache

概 要	メインクロックの発振設定
ヘッダ	r_init_rom_cache.h
宣 言	void R_INIT_ROM_Cache (void)
説 明	ノンキャッシュ領域を設定した後に、ROM キャッシュの動作を許可します。
引 数	なし
リターン値	なし
備 考	サンプルコードでは、ROM キャッシュの動作許可のみ有効にしています。 この関数はシステムの起動後、ROM キャッシュ動作禁止の状態で呼び出されることを前提としています。ROM キャッシュ動作許可後にノンキャッシュ領域を設定するには ROM キャッシュ動作禁止にした後、この関数を呼び出してください。

3.10 フローチャート

3.10.1 メイン処理

図 3.1 にメイン処理のフローチャートを示します。

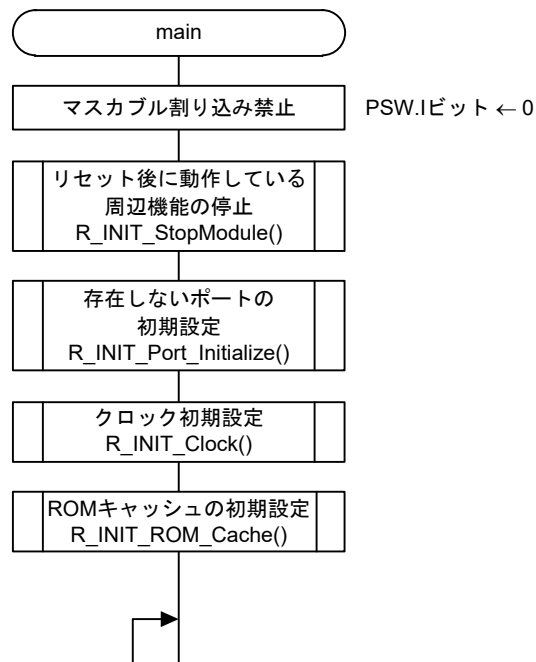
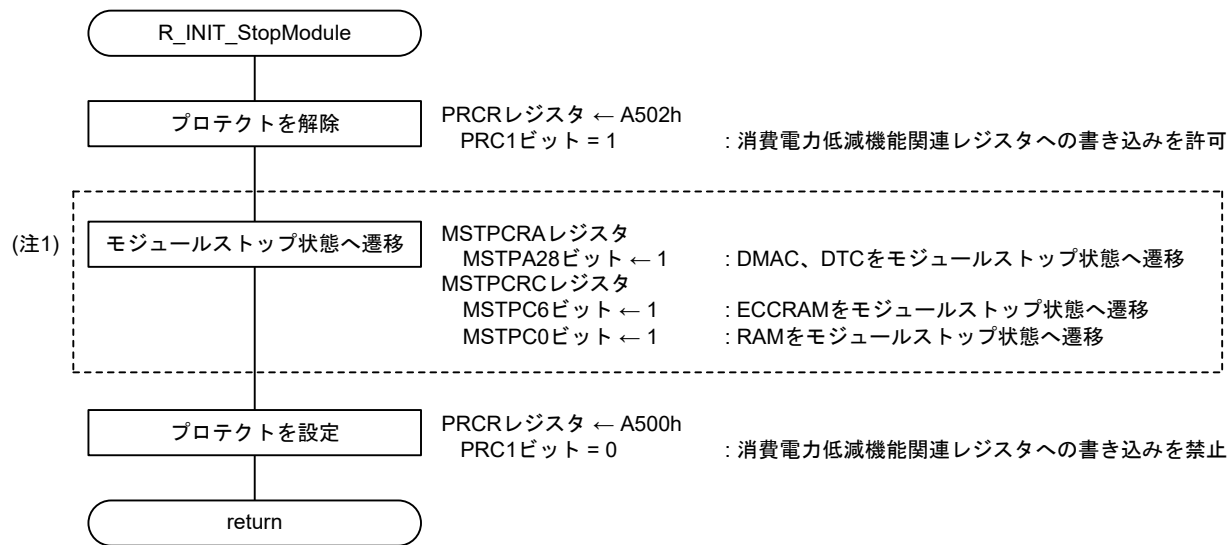


図 3.1 メイン処理

3.10.2 リセット後に動作している周辺機能の停止

図 3.2 にリセット後に動作している周辺機能の停止のフローチャートを示します。



注1. サンプルコードではモジュールストップ状態は解除になっています。モジュールストップ状態へ遷移する場合は、定数「#define MSTP_STATE_対象モジュール名」の値を1にしてください。

図 3.2 リセット後に動作している周辺機能の停止

3.10.3 存在しないポートの初期設定

図 3.3 に存在しないポートの初期設定のフローチャートを示します。

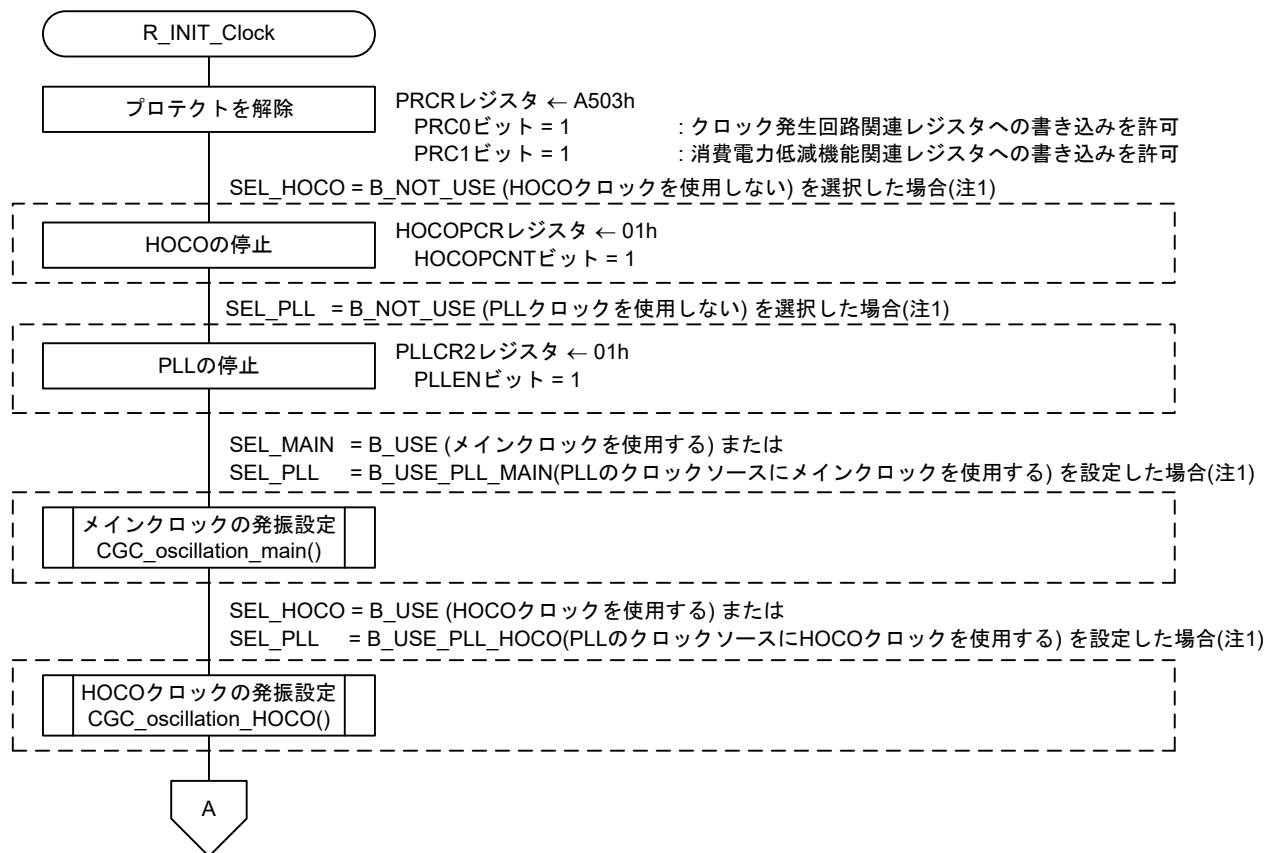


注1. すべての端子が存在しているレジスタに関しては、設定処理は実行しません (コンパイル時に省略します)。

図 3.3 存在しないポートの初期設定

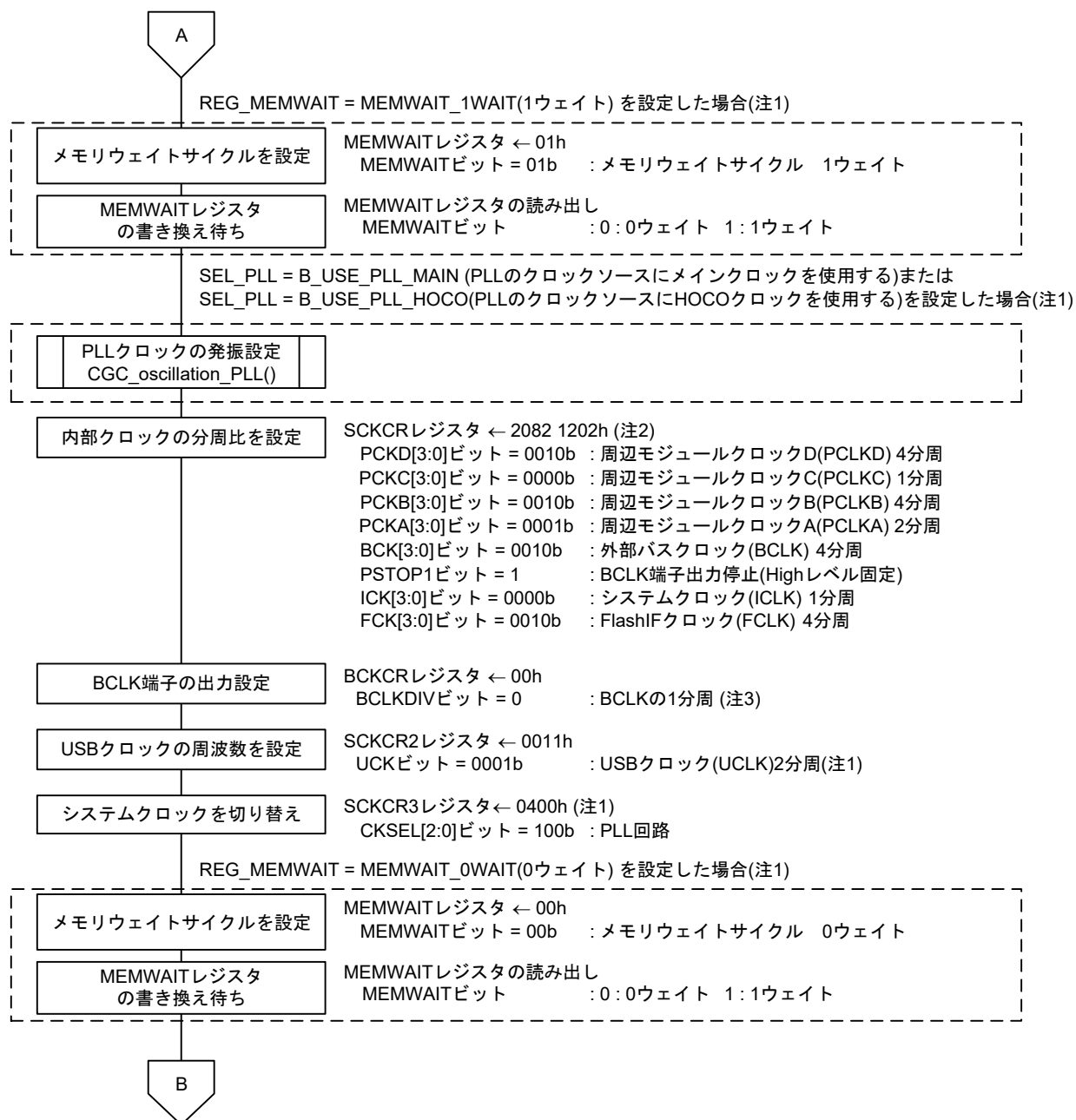
3.10.4 クロック初期設定

図 3.4 にクロック初期設定(1/3)、図 3.5 にクロック初期設定(2/3)、図 3.6 にクロック初期設定(3/3)のフローチャートを示します。



注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.4 クロック初期設定(1/3)

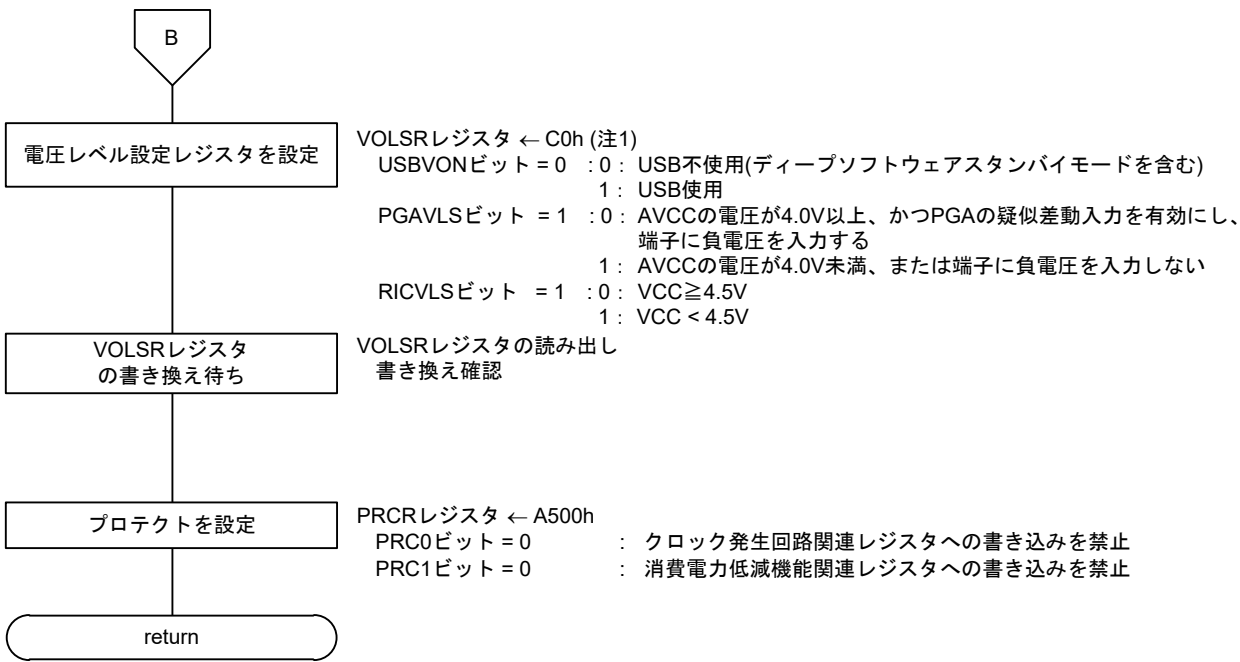


注1. 使用するシステムに応じて定数の設定を変更してください。

注2. 定数で選択したシステムクロックにより設定される値が異なります。

注3. バスクロックを40MHz以上に設定した場合はBCKCRレジスタのBCLKDIVビットの設定を"1"としてください。

図 3.5 クロック初期設定(2/3)

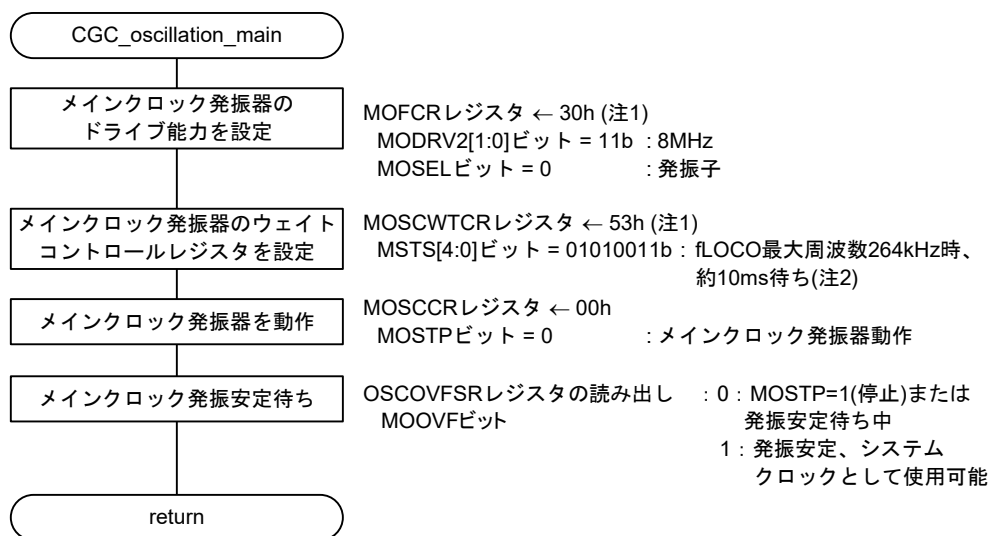


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.6 クロック初期設定(3/3)

3.10.5 メインクロックの発振設定

図 3.7 にメインクロックの発振設定のフローチャートを示します。



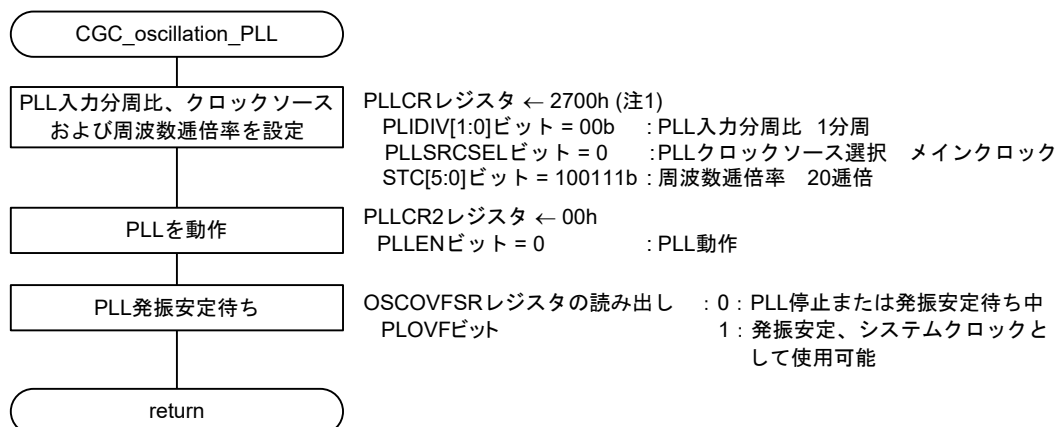
注1. 使用するシステムに応じて定数の設定を変更してください。

注2. 本アプリケーションノートでは該当レジスタの初期値を使用しています。

図 3.7 メインクロックの発振設定

3.10.6 PLL クロックの発振設定

図 3.8 に PLL クロックの発振設定のフローチャートを示します。

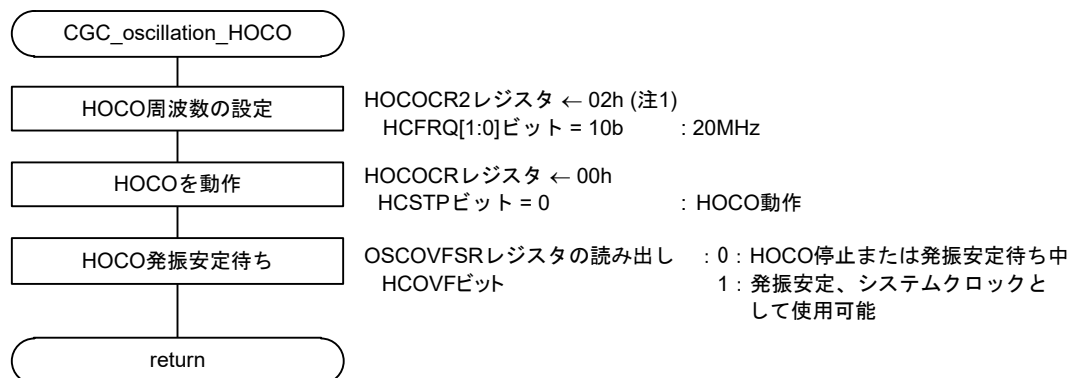


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.8 PLL クロックの発振設定

3.10.7 HOCO クロックの発振設定

図 3.9 に HOCO クロックの発振設定のフローチャートを示します。

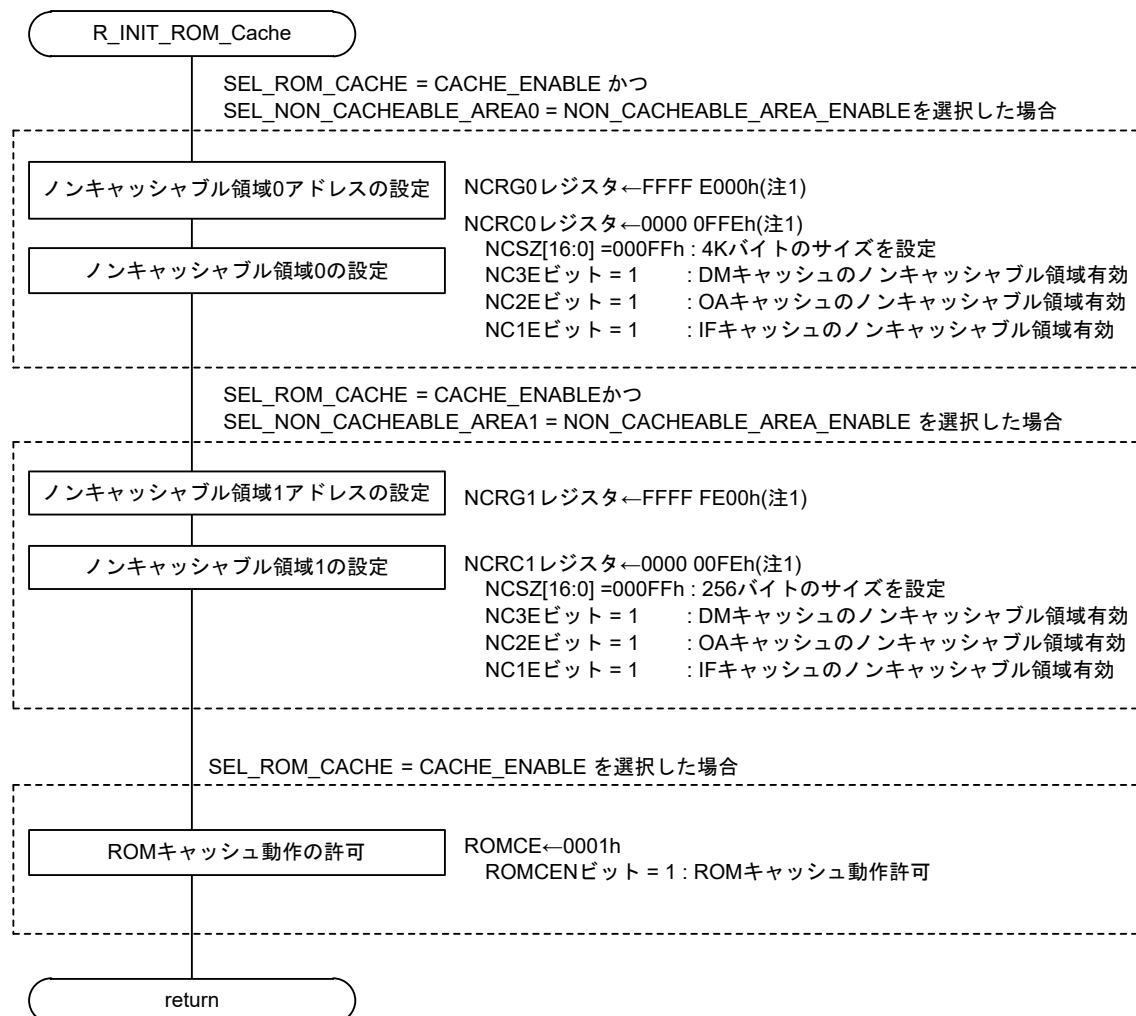


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.9 HOCO クロックの発振設定

3.10.8 ROM キャッシュの初期設定

図 3.10 に ROM キャッシュの初期設定のフローチャートを示します。



注1. 使用するシステムに応じてノンキャッシュャブル領域を設定してください。
 サンプルコードはシステムの起動後、ROMキャッシュ動作禁止の状態呼び出されることを前提としています。
 ROMキャッシュ動作許可後にノンキャッシュャブル領域を設定するにはROMキャッシュ動作禁止にした後、
 この関数を呼び出してください。

図 3.10 ROM キャッシュの初期設定

4. プロジェクトをインポートする方法

サンプルコードは e² studio のプロジェクト形式で提供しています。本章では、e² studio および CS+へプロジェクトをインポートする方法を示します。インポート完了後、ビルドおよびデバッグの設定を確認してください。

4.1 e² studio での手順

e² studio でご使用になる際は、下記の手順で e² studio にインポートしてください。

(使用する e² studio のバージョンによっては画面が異なる場合があります。)

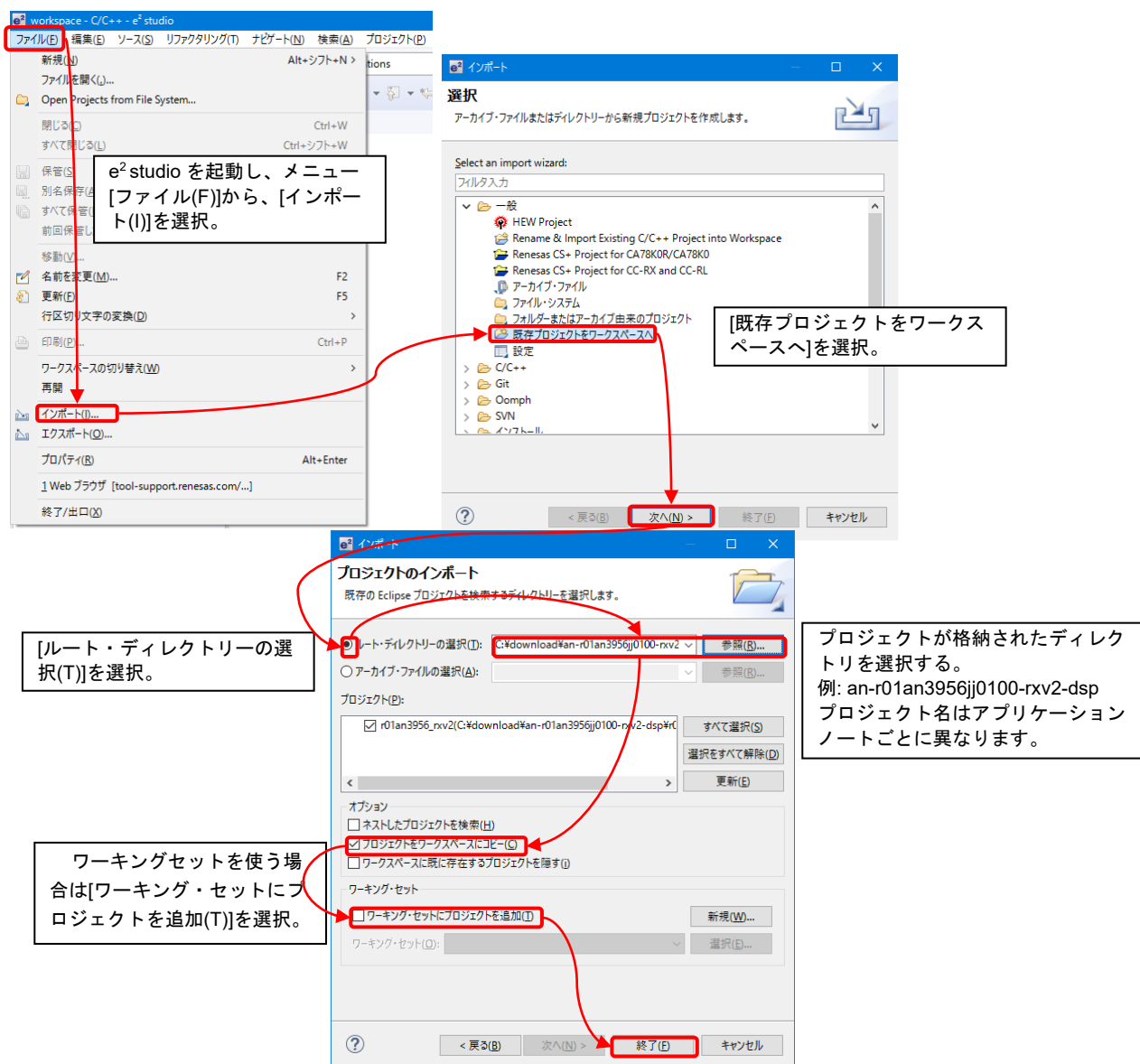


図 4.1 プロジェクトを e² studio にインポートする方法

4.2 CS+での手順

CS+でご使用になる際は、下記の手順でCS+にインポートしてください。

(使用するCS+のバージョンによっては画面が異なる場合があります。)

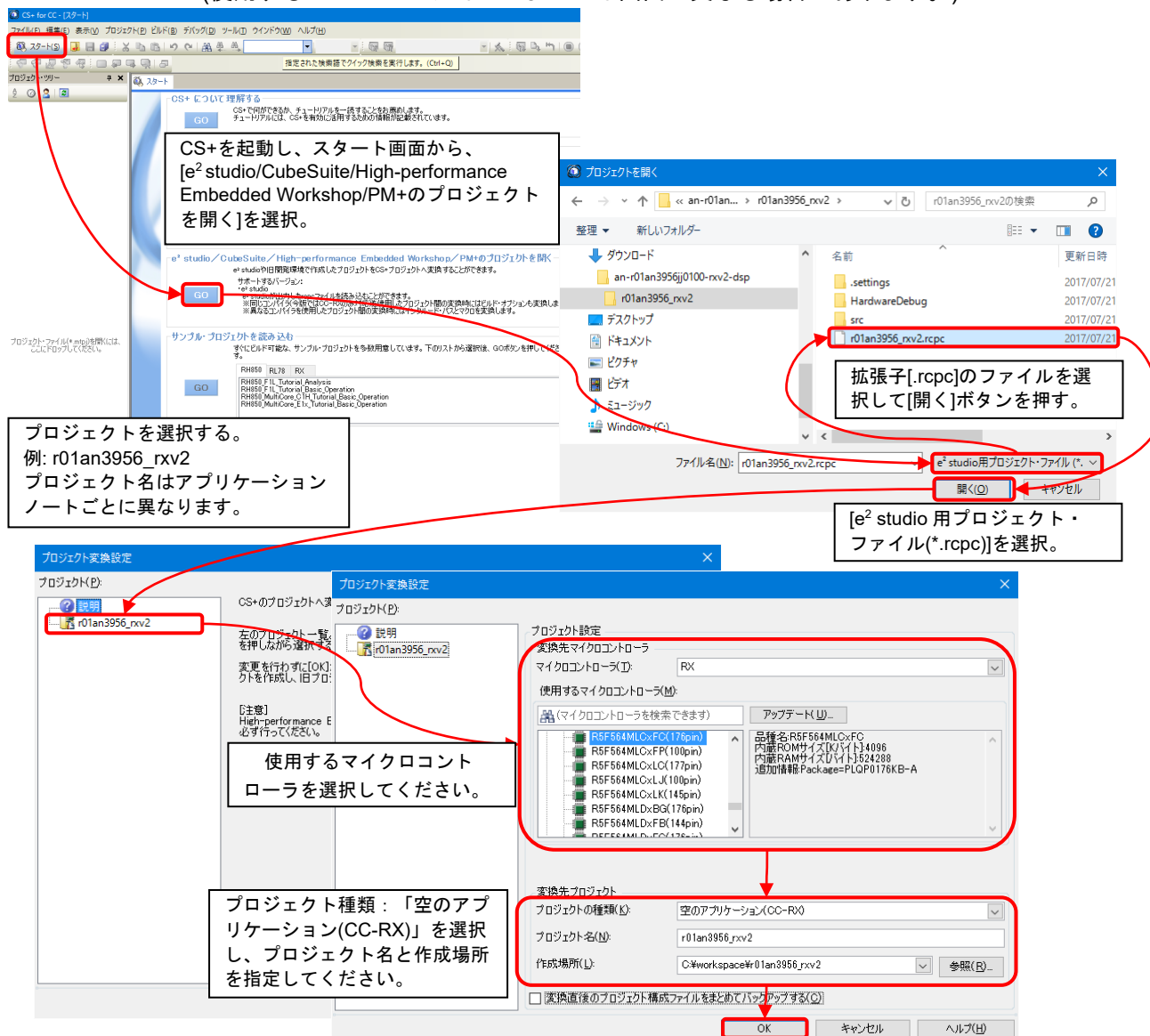


図 4.2 プロジェクトをCS+にインポートする方法

5. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

6. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RX66T グループユーザーズマニュアル ハードウェア編 (R01UH0749)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

RX ファミリ CC-RX コンパイラユーザーズマニュアル (R20UT3248)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Sep.28.18	—	初版発行
1.10	Feb.28.22	全体	RX66T グループ 48 ピンの製品対応を追加
		1	対象デバイスを追加
		7	表 2.1 と表 2.2 統合開発環境、C コンパイラ、サンプルコードのバージョン、使用ボードを変更
		10	表 3.5 存在しないポート一覧に 48 ピンを追加 3.2.2 ピン数の設定方法に 48 ピン対応を追加
		12	表 3.6 から「ハードウェアによる」の文言を削除
		22	表 3.15 48 ピン版 (PIN_SIZE=48) の場合での定数を追加
		25	CGC_oscillation_main、CGC_oscillation_PLL、CGC_oscillation_HOCO から「ハードウェアによる」の文言を削除

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。