

RX23T グループ、RX62T グループ

R01AN2823JJ0110

RX23T グループと RX62T グループの相違点

Rev.1.10

2016.01.14

要旨

本アプリケーションノートでは、RX23T グループ、RX62T グループにおける I/O レジスタの相違点を確認する際の参考資料です。

動作確認デバイス

- RX23T グループ 64 ピン版 ROM 容量: 64KB、128KB
- RX23T グループ 52 ピン版 ROM 容量: 64KB、128KB
- RX23T グループ 48 ピン版 ROM 容量: 64KB、128KB

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. RX23T グループと RX62T グループの搭載機能比較	2
2. 仕様の概要比較	3
2.1 動作モード	3
2.2 リセット	3
2.3 電圧検出回路	5
2.4 クロック発生回路	7
2.5 消費電力低減機能	9
2.6 割り込みコントローラ	12
2.7 バス	15
2.8 メモリプロテクションユニット	16
2.9 データトランスファコントローラ	17
2.10 I/O ポート	19
2.11 マルチファンクションタイマパルスユニット 3	20
2.12 ポートアウトプットイネーブル 3	24
2.13 独立ウォッチドッグタイマ	29
2.14 シリアルコミュニケーションインタフェース	32
2.15 I ² C バスインタフェース	35
2.16 シリアルペリフェラルインタフェース	37
2.17 12 ビット A/D コンバータ	40
2.18 RAM	47
2.19 フラッシュメモリ	48
3. 参考ドキュメント	53

1. RX23T グループと RX62T グループの搭載機能比較

RX62T グループと RX23T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「3.参考ドキュメント」を参照してください。

表 1.1にRX23T/RX62T 搭載機能比較を示します。

表1.1 RX23T/RX62T 搭載機能比較

機能名	RX62T	RX23T
動作モード	△	△
リセット	△	△
オプション設定メモリ	×	○
電圧検出回路 (LVD): RX62T、(LVDAb): RX23T	△	△
クロック発生回路	△	△
クロック周波数精度測定回路 (CAC)	×	○
消費電力低減機能	△	△
レジスタライトプロテクション機能	×	○
割り込みコントローラ (ICU): RX62T、(ICUb): RX23T	△	△
バス	△	△
メモリプロテクションユニット (MPU)	△	△
データトランスファコントローラ (DTC): RX62T、(DTCa): RX23T	△	△
I/O ポート	△	△
マルチファンクションピンコントローラ (MPC)	×	○
マルチファンクションタイマパルスユニット 3 (MTU3): RX62T、(MTU3c): RX23T	△	△
ポートアウトプットイネーブル 3 (POE3): RX62T、(POE3b): RX23T	△	△
8 ビットタイマ (TMR)	×	○
コンペアマッチタイマ (CMT)	○	○
ウォッチドッグタイマ (WDT)	○	×
独立ウォッチドッグタイマ (IWDT): RX62T、(IWDTa): RX23T	△	△
シリアルコミュニケーションインタフェース (SCIb): RX62T、(SCIg): RX23T	△	△
I²C バスインタフェース (RIIC): RX62T、(RIICa): RX23T	△	△
CAN モジュール (CAN)	○	×
シリアルペリフェラルインタフェース (RSPI): RX62T、(RSPI a): RX23T	△	△
LIN モジュール (LIN)	○	×
CRC 演算器 (CRC)	○	○
12 ビット A/D コンバータ (S12ADA): RX62T、(S12ADE): RX23T	△	△
10 ビット A/D コンバータ (ADA)	○	×
コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)	×	○
コンパレータ C (CMPC)	×	○
データ演算回路 (DOC)	×	○
RAM	△	△
フラッシュメモリ	△	△

○:機能搭載、×:機能未搭載、△:RX62T と RX23T 間に機能相違点あり

2. 仕様の概要比較

2.1 動作モード

表 2.1に動作モードのレジスタ比較を示します。

表2.1 動作モードのレジスタ比較

レジスタ	ビット	RX62T	RX23T
MDMONR	MD0	MD0 端子ステータスフラグ	—
	MD	—	MD 端子ステータスフラグ
	MD1	MD1 端子ステータスフラグ	—
	MDE	MDE 端子ステータスフラグ	—
MDSR	IROM	内蔵 ROM 起動ステータスフラグ	—
	BOTS	ブートモード起動フラグ	—
SYSCR0	ROME	内蔵 ROM 有効ビット	—
	KEY[7:0]	SYSCR0 キーコード	—

2.2 リセット

表 2.2にリセット仕様の概要比較を、表 2.3にリセットのレジスタ比較を示します。

表2.2 リセット仕様の概要比較

リセット名称	RX62T	RX23T
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇、VCC の下降（監視電圧：VPOR）	VCC の上昇（監視電圧：VPOR）
電圧監視リセット	VCC の下降（監視電圧：Vdet1、Vdet2）	VCC の下降（監視電圧：Vdet0、Vdet1、Vdet2）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除	—
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー	—
ソフトウェアリセット	—	レジスタ設定

表2.3 リセットのレジスタ比較

レジスタ	ビット	RX62T	RX23T
RSTSR0	PORF	—	パワーオンリセット検出フラグ
	LVD0RF	—	電圧監視 0 リセット検出フラグ
	LVD1RF	—	電圧監視 1 リセット検出フラグ
	LVD2RF	—	電圧監視 2 リセット検出フラグ
RSTSR1	CWSF	—	コールドスタート/ウォームスタート判別フラグ
RSTSR2	IWDTRF	—	独立ウォッチドッグタイマリセット検出フラグ
	SWRF	—	ソフトウェアリセット検出フラグ
SWRR	SWRR[15:0]	—	ソフトウェアリセットビット
RSTSR	PORF	パワーオンリセットフラグ	—
	LVD1F	LVD1 検知フラグ	—
	LVD2F	LVD2 検知フラグ	—
	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	—
RSTCSR	RSTE	リセット許可ビット	—
	WOVF	ウォッチドッグタイマオーバーフローフラグ	—
IWDTSR	CNTVAL[13:0]	ダウンカウンタビット	—
	UNDF	アンダフローフラグ	—

2.3 電圧検出回路

表 2.4 に電圧検出回路仕様の概要比較を、表 2.5 に電圧検出回路のレジスタ比較を示します。

表2.4 電圧検出回路仕様の概要比較

項目		RX62T (LVD)		RX23T (LVDAb)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet1 を通過した場合	下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	—	—	OFS1.VDSEL[1:0]ビットで 2 レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで 9 レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで 4 レベルから選択可能
	モニタフラグ	—	—	—	LVD1SR.LVD1 MON フラグ : Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2 MON フラグ : Vdet2 より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		—	—	Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み	—	電圧監視 1 割り込み	電圧監視 2 割り込み
		—	—	—	ノンマスクブル割り込み、または割り込みを選択可能	ノンマスクブル割り込み、または割り込みを選択可能
		—	—	—	Vdet1 > VCC, VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2 の両方、またはどちらかで割り込み要求

表2.5 電圧検出回路のレジスタ比較

レジスタ	ビット	RX62T (LVD)	RX23T (LVDAb)
RSTSR	PORF	パワーオンリセットフラグ	—
	LVD1F	LVD1 検知フラグ	—
	LVD2F	LVD2 検知フラグ	—
	DPSRSTF	ディープソフトウェア スタンバイリセットフラグ	—
LVDKEYR	KEY[7:0]	LVD1CR キーコード	—
LVDCR	LVD1RI	LVD1 リセット/割り込み選択 ビット	—
	LVD1E	LVD1 有効ビット	—
	LVD2RI	LVD2 リセット/割り込み選択 ビット	—
	LVD2E	LVD2 有効ビット	—
LVD1CR1	LVD1IDTSEL [1:0]	—	電圧監視 1 割り込み発生条件選択 ビット
	LVD1IRQSEL	—	電圧監視 1 割り込み種類選択 ビット
LVD1SR	LVD1DET	—	電圧監視 1 電圧変化検出フラグ
	LVD1MON	—	電圧監視 1 信号モニタフラグ
LVD2CR1	LVD2IDTSEL [1:0]	—	電圧監視 2 割り込み発生条件選択 ビット
	LVD2IRQSEL	—	電圧監視 2 割り込み種類選択 ビット
LVD2SR	LVD2DET	—	電圧監視 2 電圧変化検出フラグ
	LVD2MON	—	電圧監視 2 信号モニタフラグ
LVCMPCR	LVD1E	—	電圧検出 1 許可ビット
	LVD2E	—	電圧検出 2 許可ビット
LVDLVLR	LVD1LVL[3:0]	—	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧)
	LVD2LVL[3:0]	—	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧)
LVD1CR0	LVD1RIE	—	電圧監視 1 割り込み/リセット許可 ビット
	LVD1CMPE	—	電圧監視 1 回路比較結果出力許可 ビット
	LVD1RI	—	電圧監視 1 回路モード選択ビット
	LVD1RN	—	電圧監視 1 リセットネゲート選択 ビット
LVD2CR0	LVD2RIE	—	電圧監視 2 割り込み/リセット許可 ビット
	LVD2CMPE	—	電圧監視 2 回路比較結果出力許可 ビット
	LVD2RI	—	電圧監視 2 回路モード選択ビット
	LVD2RN	—	電圧監視 2 リセットネゲート選択 ビット

2.4 クロック発生回路

表 2.6にクロック発生回路仕様の概要比較を、表 2.7にクロック発生回路のレジスタ比較を示します。

表2.6 クロック発生回路仕様の概要比較

項目	RX62T	RX23T
用途	<ul style="list-style-type: none"> ● CPU、DTC、MTU3、GPT、ROM および RAM に供給されるシステムクロック (ICLK) の生成 ● 周辺モジュールに供給される周辺モジュールクロック (PCLK) の生成 ● IWDT に供給されるオンチップオシレータクロック (IWDTCCLK) の生成 	<ul style="list-style-type: none"> ● CPU、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 ● 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成 ● IWDT に供給される IWDT 専用クロック (IWDTCCLK) の生成 ● FlashIF に供給される FlashIF クロック (FCLK) の生成 ● CAC に供給される CAC クロック (CACCLK) の生成
動作周波数	<ul style="list-style-type: none"> ● ICLK: 8MHz~100MHz ● PCLK: 8MHz~50MHz ● IWDTCCLK: 125kHz 	<ul style="list-style-type: none"> ● ICLK: 40MHz (max) ● PCLKA: 40MHz (max) ● PCLKB: 40MHz (max) ● PCLKD: 40MHz (max) ● FCLK: 1MHz~32MHz (ROM) ● CACCLK: 各発振器のクロックと同じ ● IWDTCCLK: 15kHz
メインクロック発振器	<ul style="list-style-type: none"> ● 発振子周波数: 8MHz~12.5MHz ● 外部クロック入力周波数: 8MHz~12.5MHz ● 接続できる発振子または付加回路: セラミック共振子、水晶振動子 ● 接続端子: EXTAL、XTAL ● 発振停止検出機能: メインクロックの発振停止検出時、内部発振に切り替える機能、MTU3 および GPT 端子ハイインピーダンスにする機能 	<ul style="list-style-type: none"> ● 発振子周波数: 1MHz~20MHz ● 外部クロック入力周波数: 20MHz (max) ● 接続できる発振子または付加回路: セラミック共振子、水晶振動子 ● 接続端子: EXTAL、XTAL ● 発振停止検出機能: メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 ● ドライブ能力を切り替える機能
PLL	<ul style="list-style-type: none"> ● 入力クロックソース: メインクロック ● 入力周波数: 8MHz~12.5MHz ● 通倍比: 8 倍 ● 発振周波数: 64MHz~100MHz 	<ul style="list-style-type: none"> ● 入力クロックソース: メインクロック ● 入力分周比: 1、2、4 分周から選択可能 ● 入力周波数: 4MHz~12.5MHz ● 通倍比: 4~10 通倍 (0.5 刻み) から選択可能 ● 発振周波数: 24MHz~40MHz
高速オンチップオシレータ (HOCO)	—	発振周波数: 32MHz
低速オンチップオシレータ (LOCO)	—	発振周波数: 4MHz
IWDT 専用オンチップオシレータ	発振周波数: 125kHz	発振周波数: 15kHz

項目	RX62T	RX23T
発振停止検出時の内部発振回路	発振停止検出時内部発振周波数: 0.5MHz~7.0MHz	—

表2.7 クロック発生回路のレジスタ比較

レジスタ	ビット	RX62T	RX23T
SCKCR	PCK[3:0]	周辺モジュールクロック 選択ビット	—
	PCKA[3:0]	—	周辺モジュールクロック A (PCLKA) 選択ビット
	PCKB[3:0]	—	周辺モジュールクロック B (PCLKB) 選択ビット
	PCKD[3:0]	—	周辺モジュールクロック D (PCLKD) 選択ビット
	FCK[3:0]	—	FlashIF クロック (FCLK) 選択ビット
SCKCR3	CKSEL[2:0]	—	クロックソース選択ビット
PLLCR	PLIDIV[1:0]	—	PLL 入力分周比選択ビット
	STC[5:0]	—	周波数逡倍率設定ビット
PLLCR2	PLLEN	—	PLL 停止制御ビット
MOSCCR	MOSTP	—	メインクロック発振器停止ビット
LOCOCR	LCSTP	—	LOCO 停止ビット
ILOCOCR	ILCSTP	—	IWDT 専用オンチップオシレータ 停止ビット
HOCOCR	HCSTP	—	HOCO 停止ビット
HOCOWTCR	HSTS[2:0]	—	高速オンチップオシレータ発 振安定待ち時間設定ビット
OSCOVFSR	MOOVF	—	メインクロック発振安定フラグ
	PLOVF	—	PLL クロック発振安定フラグ
	HCOVF	—	HOCO クロック発振安定フラグ
OSTDCR	OSTDIE	—	発振停止検出割り込み許可ビット
	OSTDF	発振停止検出フラグ	—
	KEY[7:0]	OSTDCR キーコード	—
OSTDSR	OSTDF	—	発振停止検出フラグ
MOSCWTCR	MSTS[4:0]	—	メインクロック発振器ウェイト 時間設定ビット
MOFCR	MODRV21	—	メインクロック発振器ドライブ 能力切り替えビット
	MOSEL	—	メインクロック発振器切り替え ビット
MEMWAIT	MEMWAIT	—	メモリウェイトサイクル設定 ビット

2.5 消費電力低減機能

表 2.8に消費電力低減機能の概要比較を、表 2.9に消費電力低減機能のレジスタ比較を示します。

表2.8 消費電力低減機能の概要比較

項目	RX62T	RX23T
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、 高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> スリープモード 全モジュールクロックストップモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード 	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ディープスリープモード
動作電力低減機能	—	<ul style="list-style-type: none"> 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 動作電力制御状態: 2 種類 高速動作モード 低速動作モード

表2.9 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62T	RX23T
SBYCR	STS[4:0]	スタンバイタイマ選択ビット	—
MSTPCRA	MSTPA4	—	8 ビットタイマ 3、2 (ユニット 1) モジュールストップ設定ビット
	MSTPA5	—	8 ビットタイマ 1、0 (ユニット 0) モジュールストップ設定ビット
	MSTPA7	汎用 PWM タイマモジュールストップ設定ビット	—
	MSTPA16	12 ビット A/D コンバータ (ユニット 1) モジュールストップ設定ビット	—
	MSTPA17	12 ビット A/D コンバータ (ユニット 0) モジュールストップ設定ビット	12 ビット A/D コンバータモジュールストップ設定ビット
	MSTPA19	—	コンパレータ C 用リファレンス電圧生成専用 D/A コンバータモジュールストップ設定ビット
	MSTPA23	10 ビット A/D コンバータモジュールストップ設定ビット	—
	MSTPA24	12 ビット A/D コンバータ制御部モジュールストップ設定ビット	—
	ACSE	全モジュールクロックストップモード許可ビット	—
MSTPCRB	MSTPB0	CAN モジュールストップ設定ビット	—
	MSTPB6	—	DOC モジュールストップ設定ビット
	MSTPB7	LIN モジュールストップ設定ビット	—
	MSTPB10	—	コンパレータ C モジュールストップ設定ビット
	MSTPB17	シリアルペリフェラルインタフェースモジュールストップ設定ビット	シリアルペリフェラルインタフェース 0 モジュールストップ設定ビット
	MSTPB21	I ² C バスインタフェースモジュールストップ設定ビット	I ² C バスインタフェース 0 モジュールストップ設定ビット
	MSTPB26	—	シリアルコミュニケーションインタフェース 5 モジュールストップ設定ビット
	MSTPB29	シリアルコミュニケーションインタフェース 2 モジュールストップ設定ビット	—
	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定ビット	—

レジスタ	ビット	RX62T	RX23T
MSTPCRC	MSTPC19	—	クロック周波数精度測定回路 モジュールストップ設定ビット
	DSLPE	—	ディープスリープモード許可 ビット
DPSBYCR	IOKEEP	I/O ポート保持ビット	—
	DPSBY	ディープソフトウェア スタンバイビット	—
DPSWCR	WTSTS[5:0]	ディープソフトウェアスタンバイ ウェイト時間設定ビット	—
DPSIER	DIRQ0E	IRQ0 端子許可ビット	—
	DIRQ1E	IRQ1 端子許可ビット	—
	DLVDE	LVD ディープスタンバイ解除 信号許可ビット	—
	DNMIE	NMI 端子許可ビット	—
DPSIFR	DIRQ0F	IRQ0 ディープスタンバイ解除 フラグ	—
	DIRQ1F	IRQ1 ディープスタンバイ解除 フラグ	—
	DLVDF	LVD ディープスタンバイ解除 フラグ	—
	DNMIF	NMI ディープスタンバイ解除 フラグ	—
DPSIEGR	DIRQ0EG	IRQ0 エッジ選択ビット	—
	DIRQ1EG	IRQ1 エッジ選択ビット	—
	DNMIEG	NMI エッジ選択ビット	—
RSTSR	PORF	パワーオンリセットフラグ	—
	LVD1F	LVD1 検知フラグ	—
	LVD2F	LVD2 検知フラグ	—
	DPSRSTF	ディープソフトウェア スタンバイリセットフラグ	—
DPSBKRY		ディープスタンバイバックアップ レジスタ	—
OPCCR	OPCM[2:0]	—	動作電力制御モード選択ビット
	OPCMTSF	—	動作電力制御モード遷移状態 フラグ

2.6 割り込みコントローラ

表 2.10に割り込みコントローラ仕様の概要比較を、表 2.11に割り込みコントローラのレジスタ比較を示します。

表2.10 割り込みコントローラ仕様の概要比較

項目	RX62T (ICU)	RX23T (ICUb)	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：101 割り込み検出：エッジ検出／レベル検出 接続している周辺モジュールの要因ごとに検出方法が決められている	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：76 割り込み検出：エッジ検出／レベル検出 接続している周辺モジュールの要因ごとに検出方法が決められている
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7 端子からの割り込み 要因数：8 割り込み検出：Low／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能 	<ul style="list-style-type: none"> IRQ0～IRQ5 端子からの割り込み 要因数：6 割り込み検出：Low／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1 	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	割り込み優先レベル	レジスタで優先順位を設定	レジスタで優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化が可能。1 要因にのみ設定可能	CPU の割り込み処理を高速化が可能。1 要因にのみ設定可能
	DTC 制御	<ul style="list-style-type: none"> DTC 起動要因：87 (周辺機能割り込み 78 +外部端子割り込み 8 +ソフトウェア割り込み 1) 	<ul style="list-style-type: none"> DTC 起動要因：52 (周辺機能割り込み 45 +外部端子割り込み 6 +ソフトウェア割り込み 1)
ノンマスクابل割り込み	NMI 端子割り込み	<ul style="list-style-type: none"> NMI 端子からの割り込み 割り込み検出：立ち下がりエッジ / 立ち上がりエッジ 	<ul style="list-style-type: none"> NMI 端子からの割り込み 割り込み検出：立ち下がりエッジ / 立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み	発振停止検出時の割り込み
	IWDT アンダフロー / リフレッシュエラー	—	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	—	電圧検出回路 1 (LVD1) の電圧監視割り込み
	電圧監視 2 割り込み	—	電圧検出回路 2 (LVD2) の電圧監視割り込み
	電圧監視割り込み	電源電圧低下検出時の割り込み	—

項目	RX62T (ICU)	RX23T (ICUb)
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード: ノンマスクابل割り込み、全割り込み要因で復帰 全モジュールクロックストップモード: ノンマスクابل割り込み、IRQ0~IRQ7 割り込み、WDT 割り込みで復帰 ソフトウェアスタンバイモード: ノンマスクابل割り込み、IRQ0~IRQ7 割り込みで復帰 	<ul style="list-style-type: none"> スリープモード、ディープスリープモード: ノンマスクابل割り込み、全割り込み要因で復帰 ソフトウェアスタンバイモード: ノンマスクابل割り込み、IRQ0~IRQ5 割り込みで復帰

表2.11 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62T (ICU)	RX23T (ICUb)
IRQFLTE0	FLTEN0	—	IRQ0 デジタルフィルタ許可ビット
	FLTEN1	—	IRQ1 デジタルフィルタ許可ビット
	FLTEN2	—	IRQ2 デジタルフィルタ許可ビット
	FLTEN3	—	IRQ3 デジタルフィルタ許可ビット
	FLTEN4	—	IRQ4 デジタルフィルタ許可ビット
	FLTEN5	—	IRQ5 デジタルフィルタ許可ビット
IRQFLTC0	FCLKSEL0[1:0]	—	IRQ0 デジタルフィルタサンプリングクロック設定ビット
	FCLKSEL1[1:0]	—	IRQ1 デジタルフィルタサンプリングクロック設定ビット
	FCLKSEL2[1:0]	—	IRQ2 デジタルフィルタサンプリングクロック設定ビット
	FCLKSEL3[1:0]	—	IRQ3 デジタルフィルタサンプリングクロック設定ビット
	FCLKSEL4[1:0]	—	IRQ4 デジタルフィルタサンプリングクロック設定ビット
	FCLKSEL5[1:0]	—	IRQ5 デジタルフィルタサンプリングクロック設定ビット
NMISR	IWDTST	—	IWDT アンダフロー/リフレッシュエラーステータスフラグ
	LVDST	電圧監視割り込みステータスフラグ	—
	LVD1ST	—	電圧監視 1 割り込みステータスフラグ
	LVD2ST	—	電圧監視 2 割り込みステータスフラグ
NMIER	IWDTEN	—	IWDT アンダフロー/リフレッシュエラー許可ビット
	LVDEN	電圧監視割り込み許可ビット	-
	LVD1EN	—	電圧監視 1 割り込み許可ビット
	LVD2EN	—	電圧監視 2 割り込み許可ビット
NMICLR	IWDTCLR	—	IWDT クリアビット
	LVD1CLR	—	LVD1 クリアビット
	LVD2CLR	—	LVD2 クリアビット
NMIFLTE	NFLTEN	—	NMI デジタルフィルタ許可ビット
NMIFLTC	NFCLKSEL[1:0]	—	NMI デジタルフィルタサンプリングクロック設定ビット

2.7 バス

表 2.12 にバス仕様の概要比較を、表 2.13 にバスのレジスタ比較を示します。

表 2.12 バス仕様の概要比較

項目		RX62T	RX23T
CPU バス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	ROM を接続
内部メインバス	内部メインバス 1	<ul style="list-style-type: none"> • CPU を接続 • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • CPU を接続 • システムクロック (ICLK) に同期して動作
	内部メインバス 2	<ul style="list-style-type: none"> • DTC を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • DTC を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス 1	<ul style="list-style-type: none"> • 周辺機能 (バスエラー監視部、割り込み等) を接続 • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • 周辺機能 (DTC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス 2	<ul style="list-style-type: none"> • 周辺機能 (WDT、CMT、CRC、SCI 等) を接続 • 周辺モジュールクロック (PCLK) に同期して動作 	<ul style="list-style-type: none"> • 周辺機能 (内部周辺バス 1, 3, 4 以外の周辺機能) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス 3	—	<ul style="list-style-type: none"> • 周辺機能 (CMPC) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス 4	<ul style="list-style-type: none"> • 周辺機能 (MTU3、GPT) を接続 • システムクロック (ICLK) に同期して動作 	<ul style="list-style-type: none"> • 周辺機能 (MTU3) を接続 • 周辺モジュールクロック (PCLKA) に同期して動作
	内部周辺バス 6	<ul style="list-style-type: none"> • 内蔵 ROM (P/E) / データフラッシュを接続 • 周辺モジュールクロック (PCLK) に同期して動作 	<ul style="list-style-type: none"> • フラッシュ制御モジュールを接続 • FlashIF クロック (FCLK) に同期して動作

表2.13 バスのレジスタ比較

レジスタ	ビット	RX62T	RX23T
BEREN	TOEN	—	タイムアウト検出許可ビット
BERSR1	TO	—	タイムアウトビット
BUSPRI	BPRA[1:0]	—	メモリバス 1 (RAM) プライオリティ制御ビット
	BPRO[1:0]	—	メモリバス 2 (ROM) プライオリティ制御ビット
	BPIB[1:0]	—	内部周辺バス 1 プライオリティ制御ビット
	BPGB[1:0]	—	内部周辺バス 2, 3 プライオリティ制御ビット
	BPHB[1:0]	—	内部周辺バス 4 プライオリティ制御ビット
	BPFB[1:0]	—	内部周辺バス 6 プライオリティ制御ビット

2.8 メモリプロテクションユニット

表 2.14にメモリプロテクションユニットのレジスタ比較を示します。

表2.14 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット	RX62T	RX23T
MPESTS	IA	命令メモリプロテクションエラー発生ビット	—
	IMPER	—	命令メモリプロテクションエラー発生ビット
	DA	データメモリプロテクションエラー発生ビット	—
	DMPER	—	データメモリプロテクションエラー発生ビット

2.9 データトランスファコントローラ

表 2.15 にデータトランスファコントローラの概要比較を、表 2.16 にデータトランスファコントローラのレジスタ比較を示します。

表2.15 データトランスファコントローラの概要比較

項目	RX62T (DTC)	RX23T (DTCa)
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1 回の起動で 1 データ転送する リピート転送モード 1 回の起動で 1 データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大 256 データ設定可能 ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する ブロックサイズは、最大 255 データ設定可能 	<ul style="list-style-type: none"> ノーマル転送モード 1 回の起動で 1 データ転送する リピート転送モード 1 回の起動で 1 データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大 256 データ設定可能 ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する ブロックサイズは、最大 256 データ設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネル転送が可能 (ICU からの DTC 起動要求で転送) 1 つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能 	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICU からの DTC 起動要求で転送) 1 つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち予約領域以外の領域) フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) 	<ul style="list-style-type: none"> ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1 データ：1 バイト (8 ビット)、1 ワード (16 ビット)、1 ロングワード (32 ビット) ブロックサイズのデータ数：1~255 データ 	<ul style="list-style-type: none"> 1 データ：1 バイト (8 ビット)、1 ワード (16 ビット)、1 ロングワード (32 ビット) 1 ブロックサイズ：1~256 データ
CPU 割り込み要求	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求発生が可能 1 回のデータ転送終了後に CPU への割り込み要求発生が可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求発生が可能 	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能	転送情報のリードスキップを指定可能

項目	RX62T (DTC)	RX23T (DTCa)
ライトバックスキップ	転送元アドレス固定の場合または転送先アドレス固定の場合はライトバックスキップを実行	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表2.16 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX62T (DTC)	RX23T (DTCa)
DTCVBR	—	DTC ベクタベースアドレス (下位 12 ビット)	DTC ベクタベースアドレス (下位 10 ビット)
	—	DTC ベクタベースアドレス (上位 20 ビット)	DTC ベクタベースアドレス (下位 22 ビット)

2.10 I/O ポート

表 2.17にI/O ポートのレジスタ比較を示します。

表2.17 I/O ポートのレジスタ比較

レジスタ	ビット	RX62T	RX23T
PDR	B0- B7	—	Pm0- Pm7 方向制御ビット ※m = 0 ~ 4, 7, 9, A, B, D
PODR	B0- B7	—	Pm0- Pm7 出力データ格納ビット ※m = 0 ~ 4, 7, 9, A, B, D
PIDR	B0- B7	—	Pm0- Pm7 ビット ※m = 0 ~ 4, 7, 9, A, B, D, E
PMR	B0- B7	—	Pm0- Pm7 端子モード制御ビット ※m = 0 ~ 3, 7, 9, A, B, D, E
ODR0	B0、 B2、 B4、 B6	—	Pm0- Pm3 出力形態指定ビット ※m = 0, 1 ~ 3, 7, 9, A, B, D
ODR1	B0、 B2、 B4、 B6	—	Pm4- Pm7 出力形態指定ビット ※m = 2, 3, 7, 9, A, B, D
PCR	B0- B7	—	Pm0- Pm7 入力プルアップ抵抗制 御ビット ※m = 0 ~ 4, 7, 9, A, B, D
DSCR	B0- B7	—	Pm0- Pm7 駆動能力制御ビット ※m = 0 ~ 3, 7, 9, A, B, D
DDR	B0- B7	Pn0- Pn7 入力/出力指定ビット ※n = 1 ~ 3, 7, 9, A, B, D, E	—
DR	B0- B7	Pn0- Pn7 出力データ格納ビット ※n = 1 ~ 3, 7, 9, A, B, D, E	—
PORT	B0- B7	Pn0 ビット ※n = 1 ~ 4, 7, 9, A, B, D, E	—
ICR	B0- B7	Pn0 入力バッファ制御ビット ※n = 1 ~ 4, 7, 9, A, B, D	—
PFCMTU	MTUS0	MTU3 端子選択 0 ビット	—
	MTUS1	MTU3 端子選択 1 ビット	—
	TCLKS[1:0]	MTCLK 端子選択ビット	—
PFDGPT	GPTS	GPT 端子選択ビット	—
PFGSPI	RSPCKE	RSPCK 出力許可ビット	—
	MOSIE	MOSI 出力許可ビット	—
	MISOE	MISO 出力許可ビット	—
	SSL0E	SSL0 出力許可ビット	—
	SSL1E	SSL1 出力許可ビット	—
	SSL2E	SSL2 出力許可ビット	—
PFHSPI	RSPIS[1:0]	RSPI 端子選択ビット	—
PFJCAN	CANE	CAN 端子許可ビット	—
	CANS[1:0]	CAN 端子選択ビット	—
PFKLIN	LINE	LIN 端子許可ビット	—

レジスタ	ビット	RX62T	RX23T
PFMPOE	POE0E	POE0#入力許可ビット	—
	POE8E	POE8#入力許可ビット	—
	POE10E	POE10#入力許可ビット	—

2.11 マルチファンクションタイマパルスユニット 3

表 2.18にマルチファンクションタイマパルスユニットの概要比較を、表 2.19にマルチファンクションタイマパルスユニットのレジスタ比較を示します。

表2.18 マルチファンクションタイマパルスユニットの概要比較

項目	RX62T (MTU3)	RX23T (MTU3c)
パルス入出力	最大 24 本	最大 16 本
パルス入力	3 本	3 本
カウントクロック	チャンネルごとに 6~8 種類 (チャンネル 5 は 4 種類)	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU1、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
動作周波数	8~100MHz	~40MHz
設定可能動作	【MTU0~MTU4、MTU6、MTU7】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力 	【MTU0~MTU4】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力
	【MTU0、MTU3、MTU4、MTU6、MTU7】 <ul style="list-style-type: none"> バッファ動作を設定可能 	【MTU0、MTU3、MTU4】 <ul style="list-style-type: none"> バッファ動作を設定可能
	【MTU1、MTU2】 <ul style="list-style-type: none"> 個々に位相計数モードを設定可能 カスケード接続動作が可能 	【MTU1、MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作が可能
	【MTU3、MTU4、MTU6、MTU7】 <ul style="list-style-type: none"> MTU3/4、および MTU6/7 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD、MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能 	【MTU3、MTU4】 <ul style="list-style-type: none"> MTU3/4 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガの出力が可能 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能

項目	RX62T (MTU3)	RX23T (MTU3c)
設定可能動作	【MTU3、MTU4】 <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ（ブラシレス DC モータ）駆動モードが設定可能で、2 種類（チョッピング、レベル）の波形出力が選択可能 	【MTU3、MTU4】 <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ（ブラシレス DC モータ）駆動モードが設定可能で、2 種類（チョッピング、レベル）の波形出力が選択可能
	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能 	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山／谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能	相補 PWM モード時に、カウンタの山／谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	38 種類	28 種類
バッファ動作	レジスタデータの自動転送（バッファレジスタからタイマレジスタへの転送）	レジスタデータの自動転送（バッファレジスタからタイマレジスタへの転送）
トリガ生成	A/D コンバータの変換開始トリガを生成可能	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表2.19 マルチファンクションタイマパルスユニットのレジスタ比較

レジスタ	ビット	RX62T (MTU3)	RX23T (MTU3c)
TCR2	TPSC2[2:0]	—	タイマプリスケラ選択ビット
	PCB[1:0]	—	位相計数モード機能拡張制御ビット
TMDR2B	DRS	ダブルバッファ選択ビット	—
TMDR3	LWA	—	ロングワードアクセス制御ビット
	PHCKSEL	—	外部入力位相クロック選択ビット
TSR	TGFA	インプットキャプチャ/アウトプットコンペアフラグ A	—
	TGFB	インプットキャプチャ/アウトプットコンペアフラグ B	—
	TGFC	インプットキャプチャ/アウトプットコンペアフラグ C	—
	TGFD	インプットキャプチャ/アウトプットコンペアフラグ D	—
	TCFV	オーバフローフラグ	—
	TCFU	アンダフローフラグ	—
TSYCR	CE2B	クリア許可 2B ビット	—
	CE2A	クリア許可 2A ビット	—
	CE1B	クリア許可 1B ビット	—
	CE1A	クリア許可 1A ビット	—
	CE0D	クリア許可 0D ビット	—
	CE0C	クリア許可 0C ビット	—
	CE0B	クリア許可 0B ビット	—
	CE0A	クリア許可 0A ビット	—
TCNTLW	—	—	タイマロングワードカウンタ
TGRnLW (n=A、B)	—	—	タイマロングワードジェネラルレジスタ
TCSYSTR	SCH7	シンクロスタート 7 ビット	—
	SCH6	シンクロスタート 6 ビット	—
TRWERB	RWE	リードライト許可ビット	—
TOCR1B	OLSP	出力レベル選択 P ビット	—
	OLSN	出力レベル選択 N ビット	—
	TOCS	TOC 選択ビット	—
	TOCL	TOC レジスタ書き込み禁止ビット	—
	PSYE	PWM 同期出力許可ビット	—
TOCR2B	OLS1P	出力レベル選択 1P ビット	—
	OLS1N	出力レベル選択 1N ビット	—
	OLS2P	出力レベル選択 2P ビット	—
	OLS2N	出力レベル選択 2N ビット	—
	OLS3P	出力レベル選択 3P ビット	—
	OLS3N	出力レベル選択 3N ビット	—
	BF[1:0]	TOLBR バッファ転送タイミング選択ビット	—

レジスタ	ビット	RX62T (MTU3)	RX23T (MTU3c)
TOLBRB	OLS1P	出力レベル選択 1P ビット	—
	OLS1N	出力レベル選択 1N ビット	—
	OLS2P	出力レベル選択 2P ビット	—
	OLS2N	出力レベル選択 2N ビット	—
	OLS3P	出力レベル選択 3P ビット	—
	OLS3N	出力レベル選択 3N ビット	—
TCNTSB	—	タイマサブカウンタ	—
TCDRB	—	タイマ周期データレジスタ	—
TCBRB	—	タイマ周期バッファレジスタ	—
TDDRБ	—	タイマデッドタイムデータ レジスタ	—
TDERB	TDER	デッドタイムイネーブルビット	—
TBTERB	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	—
TWCRA	SCC	同期クリアコントロールビット	—
TWCRB	WRE	波形保持許可ビット	—
	SCC	同期クリアコントロールビット	—
	CCE	コンペアマッチクリア許可 ビット	—
NFCRn (n = 0~4, C)	NFAEN	—	ノイズフィルタ A 許可ビット
	NFBEN	—	ノイズフィルタ B 許可ビット
	NFCEN	—	ノイズフィルタ C 許可ビット
	NFDEN	—	ノイズフィルタ D 許可ビット
	NFCS[1:0]	—	ノイズフィルタクロック セレクトビット
NFCR5	NFUEN	—	ノイズフィルタ U 許可ビット
	NFVEN	—	ノイズフィルタ V 許可ビット
	NFWEN	—	ノイズフィルタ W 許可ビット
	NFCS[1:0]	—	ノイズフィルタクロック セレクトビット
TITMRB	TITM	割り込み間引き機能選択ビット	—
TITCR1B	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定 ビット	—
	T4VEN	T4VEN ビット	—
	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定 ビット	—
	T3AEN	T3AEN ビット	—
TITCNT1B	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	—
	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	—
TITCR2B	TRG4COR[2:0]	TRG4AN/TRG4BN 割り込み 間引き回数設定ビット	—
TITCNT2B	TRG4CNT[2:0]	TRG4AN/TRG4BN 割り込み カウンタビット	—
TADSTRGR0	TADSTRS0[4:0]	—	ADSM0 端子出力フレーム同期信 号生成用 A/D 変換開始要求選択 ビット

2.12 ポートアウトプットイネーブル 3

表 2.20にポートアウトプットイネーブル 3 の概要比較を、表 2.21にポートアウトプットイネーブル 3 のレジスタ比較を示します。

表2.20 ポートアウトプットイネーブル 3 の概要比較

項目	RX62T (POE3)	RX23T (POE3b)
ハイインピーダンス 対象端子	<ul style="list-style-type: none"> MTU の出力端子 MTU0 端子 (MTIOC0A-A、 MTIOC0A-B、MTIOC0B-A、 MTIOC0B-B、MTIOC0C、MTIOC0D) MTU3 端子 (MTIOC3B、MTIOC3D) MTU4 端子 (MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D) MTU6 端子 (MTIOC6B、MTIOC6D) MTU7 端子 (MTIOC7A、MTIOC7B、 MTIOC7C、MTIOC7D) GPT の出力端子 GPT0 端子 (GTIOC0A-A、 GTIOC0B-A、GTIOC0A-B、 GTIOC0B-B) GPT1 端子 (GTIOC1A-A、 GTIOC1B-A、GTIOC1A-B、 GTIOC1B-B) GPT2 端子 (GTIOC2A-A、 GTIOC2B-A、GTIOC2A-B、 GTIOC2B-B) GPT3 端子 (GTIOC3A、GTIOC3B) 	<ul style="list-style-type: none"> MTU の出力端子 MTU0 端子 (MTIOC0A、MTIOC0B、 MTIOC0C、MTIOC0D) MTU3 端子 (MTIOC3B、MTIOC3D) MTU4 端子 (MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D)
ハイインピーダンス 発生条件	<ul style="list-style-type: none"> 入力端子の変化 POE0#、POE4#、POE8#、POE10#、 POE11#端子が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル (アクティブレベル)が1サイクル以上 一致(短絡)したとき 1. MTIOC3B と MTIOC3D 2. MTIOC4A と MTIOC4C 3. MTIOC4B と MTIOC4D 4. MTIOC6B と MTIOC6D 5. MTIOC7A と MTIOC7C 6. MTIOC7B と MTIOC7D 7. GTIOC0A-A と GTIOC0B-A 8. GTIOC1A-A と GTIOC1B-A 9. GTIOC2A-A と GTIOC2B-A レジスタ設定をしたとき クロック発生回路の発振停止を検出したとき コンパレータ (S12ADA) のコンパレータ検出をしたとき 	<ul style="list-style-type: none"> 入力端子の変化 POE0#、POE8#、POE10#端子が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル (アクティブレベル)が1サイクル以上 一致(短絡)したとき 1. MTIOC3B と MTIOC3D 2. MTIOC4A と MTIOC4C 3. MTIOC4B と MTIOC4D レジスタ設定をしたとき クロック発生回路の発振停止を検出したとき コンパレータ (CMPC) のコンパレータ検出をしたとき

項目	RX62T (POE3)	RX23T (POE3b)
機能	<ul style="list-style-type: none"> ● POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回の Low レベルサンプリングの設定が可能です。 ● POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、または Low レベルサンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 ● クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 ● MTU 相補 PWM 出力端子または GPT 大電流出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 大電流出力端子をハイインピーダンス状態にできます。 ● 12 ビット A/D コンバータ (S12ADA) のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 ● POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 ● 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。 	<ul style="list-style-type: none"> ● POE0#、POE8#、POE10#の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回の Low サンプリングの設定が可能です。 ● POE0#、POE8#、POE10#端子の立ち下がりエッジ、または Low サンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 ● クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 ● MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンス状態にできます。 ● コンパレータ (CMPC) のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 ● POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 ● 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

表2.21 ポートアウトプットイネーブル 3 のレジスタ比較

レジスタ	ビット	RX62T (POE3)	RX23T (POE3b)
ICSR2	POE4M[1:0]	POE4 モード選択ビット	—
	PIE2	ポート割り込み許可 2 ビット	—
	POE4F	POE4 フラグ	—
OCSR2	OIE2	出力短絡割り込み許可 2 ビット	—
	OCE2	出力短絡ハイインピーダンス許可 2 ビット	—
	OSF2	出力短絡フラグ 2	—
ICSR5	POE11M[1:0]	POE11 モード選択ビット	—
	PIE5	ポート割り込み許可 5 ビット	—
	POE11E	POE11 ハイインピーダンス許可ビット	—
	POE11F	POE11 フラグ	—
ICSR6	OSTSTE	—	OSTST ハイインピーダンス許可ビット
	OSTSTF	—	OSTST ハイインピーダンスフラグ
ALR1	OLSG0A	MTIOC3B/GTIOC0A-A アクティブレベル設定ビット	MTIOC3B アクティブレベル設定ビット
	OLSG0B	MTIOC3D/GTIOC0B-A アクティブレベル設定ビット	MTIOC3D アクティブレベル設定ビット
	OLSG1A	MTIOC4A/GTIOC1A-A アクティブレベル設定ビット	MTIOC4A アクティブレベル設定ビット
	OLSG1B	MTIOC4C/GTIOC1B-A アクティブレベル設定ビット	MTIOC4C アクティブレベル設定ビット
	OLSG2A	MTIOC4B/GTIOC2A-A アクティブレベル設定ビット	MTIOC4B アクティブレベル設定ビット
	OLSG2B	MTIOC4D/GTIOC2B-A アクティブレベル設定ビット	MTIOC4D アクティブレベル設定ビット
SPOER	MTUCH67HIZ	MTU6、MTU7 出力ハイインピーダンス許可ビット	—
	GPT01HIZ	GPT0、GPT1 出力ハイインピーダンス許可ビット	—
	GPT23HIZ	GPT2、GPT3 出力ハイインピーダンス許可ビット	—
POECR1	MTU0AZE	MTU CH0A ハイインピーダンス許可ビット	MTIOC0A PB3 端子ハイインピーダンス許可ビット
	MTU0BZE	MTU CH0B ハイインピーダンス許可ビット	MTIOC0B PB2 端子ハイインピーダンス許可ビット
	MTU0CZE	MTU CH0C ハイインピーダンス許可ビット	MTIOC0C PB1 端子ハイインピーダンス許可ビット
	MTU0DZE	MTU CH0D ハイインピーダンス許可ビット	MTIOC0D PB0 端子ハイインピーダンス許可ビット
	MTU0A1ZE	—	MTIOC0A P31 端子ハイインピーダンス許可ビット
	MTU0B1ZE	—	MTIOC0B P30 端子ハイインピーダンス許可ビット
	MTU0B2ZE	—	MTIOC0B P93 端子ハイインピーダンス許可ビット

レジスタ	ビット	RX62T (POE3)	RX23T (POE3b)
POECR1	MTU0C1ZE	—	MTIOC0C P94 端子ハイインピーダンス許可ビット
POECR2	MTU7BDZE	MTU CH7BD ハイインピーダンス許可ビット	—
	MTU7ACZE	MTU CH7AC ハイインピーダンス許可ビット	—
	MTU6BDZE	MTU CH6BD ハイインピーダンス許可ビット	—
	MTU4BDZE	MTU CH4BD ハイインピーダンス許可ビット	MTIOC4B/4D ハイインピーダンス許可ビット
	MTU4ACZE	MTU CH4AC ハイインピーダンス許可ビット	MTIOC4A/4C ハイインピーダンス許可ビット
	MTU3BDZE	MTU CH3BD ハイインピーダンス許可ビット	MTIOC3B/3D ハイインピーダンス許可ビット
POECR3	GPT0ABZE	GPT CH0AB ハイインピーダンス許可ビット	—
	GPT1ABZE	GPT CH1AB ハイインピーダンス許可ビット	—
	GPT2ABZE	GPT CH2AB ハイインピーダンス許可ビット	—
	GPT3ABZE	GPT CH3AB ハイインピーダンス許可ビット	—
POECR4	CMADDMT34ZE	MTU CH34 ハイインピーダンス CFLAG 追加ビット	MTU3, MTU4 ハイインピーダンス CFLAG 追加ビット
	IC2ADDMT34ZE	MTU CH34 ハイインピーダンス POE4F 追加ビット	—
	IC3ADDMT34ZE	MTU CH34 ハイインピーダンス POE8F 追加ビット	MTU3, MTU4 ハイインピーダンス POE8F 追加ビット
	IC4ADDMT34ZE	MTU CH34 ハイインピーダンス POE10F 追加ビット	MTU3, MTU4 ハイインピーダンス POE10F 追加ビット
	IC5ADDMT34ZE	MTU CH34 ハイインピーダンス POE11F 追加ビット	—
	CMADDMT67ZE	MTU CH67 ハイインピーダンス CFLAG 追加ビット	—
	IC1ADDMT67ZE	MTU CH67 ハイインピーダンス POE0F 追加ビット	—
	IC3ADDMT67ZE	MTU CH67 ハイインピーダンス POE8F 追加ビット	—
	IC4ADDMT67ZE	MTU CH67 ハイインピーダンス POE10F 追加ビット	—
	IC5ADDMT67ZE	MTU CH67 ハイインピーダンス POE11F 追加ビット	—
POECR5	CMADDMT0ZE	MTU CH0 ハイインピーダンス CFLAG 追加ビット	MTU0 ハイインピーダンス CFLAG 追加ビット
	IC1ADDMT0ZE	MTU CH0 ハイインピーダンス POE0F 追加ビット	MTU0 ハイインピーダンス POE0F 追加ビット
	IC2ADDMT0ZE	MTU CH0 ハイインピーダンス POE4F 追加ビット	—

レジスタ	ビット	RX62T (POE3)	RX23T (POE3b)
POECR5	IC4ADDMT0ZE	MTU CH0 ハイインピーダンス POE10F 追加ビット	MTU0 ハイインピーダンス POE10F 追加ビット
	IC5ADDMT0ZE	MTU CH0 ハイインピーダンス POE11F 追加ビット	—
POECR6	CMADDGPT01ZE	GPT CH01 ハイインピーダンス CFLAG 追加ビット	—
	IC1ADDGPT01ZE	GPT CH01 ハイインピーダンス POE0F 追加ビット	—
	IC2ADDGPT01ZE	GPT CH01 ハイインピーダンス POE4F 追加ビット	—
	IC3ADDGPT01ZE	GPT CH01 ハイインピーダンス POE8F 追加ビット	—
	IC5ADDGPT01ZE	GPT CH01 ハイインピーダンス POE11F 追加ビット	—
	CMADDGPT23ZE	GPT CH23 ハイインピーダンス CFLAG 追加ビット	—
	IC1ADDGPT23ZE	GPT CH23 ハイインピーダンス POE0F 追加ビット	—
	IC2ADDGPT23ZE	GPT CH23 ハイインピーダンス POE4F 追加ビット	—
	IC3ADDGPT23ZE	GPT CH23 ハイインピーダンス POE8F 追加ビット	—
	IC4ADDGPT23ZE	GPT CH23 ハイインピーダンス POE10F 追加ビット	—
POECMPFR	C0FLAG	—	コンパレータチャンネル 0 検出 フラグ
	C1FLAG	—	コンパレータチャンネル 1 検出 フラグ
	C2FLAG	—	コンパレータチャンネル 2 検出 フラグ
	C3FLAG	—	コンパレータチャンネル 3 検出 フラグ
POECMPSEL	POEREQ0	—	コンパレータチャンネル 0POE 要求許可ビット
	POEREQ1	—	コンパレータチャンネル 1POE 要求許可ビット
	POEREQ2	—	コンパレータチャンネル 2POE 要求許可ビット
	POEREQ3	—	コンパレータチャンネル 3POE 要 求許可ビット

2.13 独立ウォッチドッグタイマ

表 2.22に独立ウォッチドッグタイマの概要比較を、表 2.23に独立ウォッチドッグタイマのレジスタ比較を示します。

表2.22 独立ウォッチドッグタイマの概要比較

項目	RX62T (IWDT)	RX23T (IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 (オートスタートモード) リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る。) アンダフロー発生時 	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能		ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき 	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスカブル割り込み要因		<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力

項目	RX62T (IWDT)	RX23T (IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0 (OFS0) 制 御)	—	<ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.IWDTCKSF[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタート モード (IWDT レジスタ制御)	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) 	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択 (IWDTCSTPR.SLCSTP ビット)

表2.23 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T (IWDTCR)	RX23T (IWDTCR)
IWDTCR	RPES[1:0]	—	ウィンドウ終了位置選択ビット
	RPSS[1:0]	—	ウィンドウ開始位置選択ビット
IWDTSR	REFEF	—	リフレッシュエラーフラグ
IWDTRCR	RSTIRQS	—	リセット割り込み要求選択ビット
IWDTCSTPR	SLCSTP	—	スリープモードカウント停止制御ビット
OFS0	IWDSTRT	—	IWDTCR スタートモード選択ビット
	IWDTTOPS[1:0]	—	IWDTCR タイムアウト期間選択ビット
	IWDTCCKS[3:0]	—	IWDTCR クロック分周比選択ビット
	IWDTRPES[1:0]	—	IWDTCR ウィンドウ終了位置選択ビット
	IWDTRPSS[1:0]	—	IWDTCR ウィンドウ開始位置選択ビット
	IWDTRSTIRQS	—	IWDTCR リセット割り込み要求選択ビット
	IWDTSLCSTP	—	IWDTCR スリープモードカウント停止制御ビット

2.14 シリアルコミュニケーションインタフェース

表 2.24にシリアルコミュニケーションインタフェースの概要比較を、表 2.25にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表2.24 シリアルコミュニケーションインタフェースの概要比較

項目		RX62T (SC1b)	RX23T (SC1g)
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能	ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		<ul style="list-style-type: none"> 送信部: ダブルバッファ構成による連続送信が可能 受信部: ダブルバッファ構成による連続受信が可能 	<ul style="list-style-type: none"> 送信部: ダブルバッファ構成による連続送信が可能 受信部: ダブルバッファ構成による連続受信が可能
入出力端子		<ul style="list-style-type: none"> SCI/SMCI の入出力端子 SCK0、RXD0、TXD0、SCK1、RXD1、TXD1、SCK2、RXD2、TXD2 	<ul style="list-style-type: none"> SCI の入出力端子 (調歩同期式/クロック同期式モード) SCK1、RXD1、TXD1、CTS1#/RTS1#、SCK5、RXD5、TXD5、CTS5#/RTS5# SCI の入出力端子 (簡易 I²C モード) SSCL1、SSDA1、SSCL5、SSDA5 SCI の入出力端子 (簡易 SPI モード) SCK1、SMISO1、SMOSI1、SS1#、SCK5、SMISO5、SMOSI5、SS5#
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー	送信終了、送信データエンプティ、受信データフル、受信エラー、 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	—	CTS#端子、RTS#端子を用いた送受信制御が可能
スタートビットの検出		Low レベル/立ち下がリエッジ検出を選択可能	Low または立ち下がリエッジ検出を選択可能

項目		RX62T (SCIb)	RX23T (SCIg)
調歩同期式モード	ブ레이크検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブ레이크を検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5)
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	—	CTS#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	—	I ² C バスフォーマット
	動作モード	—	マスタ (シングルマスタ動作のみ)
	転送速度	—	ファストモード対応
	ノイズ除去	—	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵ノイズ除去幅調整可能
簡易 SPI モード	データ長	—	8 ビット
	エラーの検出	—	オーバランエラー
	SS 入力端子機能	—	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	—	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション機能	—	内蔵ボーレートジェネレータの出力補正により誤差を低減可能	

表2.25 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX62T (SC1b)	RX23T (SC1g)
RDRH	—	—	レシーブデータレジスタ H
RDRL	—	—	レシーブデータレジスタ L
RDRHL	—	—	レシーブデータレジスタ HL
TDRH	—	—	トランスミットデータ レジスタ H
TDRL	—	—	トランスミットデータ レジスタ L
TDRHL	—	—	トランスミットデータ レジスタ HL
SSR	RDRF	受信データフルフラグ	—
	TDRE	送信データエンプティフラグ	—
SCMR	CHR1	—	キャラクタレングスビット 1
MDDR		—	モジュレーションデューティ レジスタ
SEMR	ACS0	—	調歩同期クロックソース セレクトビット
	BRME	—	ビットレートモジュレーション イネーブルビット
	BGDM	—	ボーレートジェネレータ倍速 モードセレクトビット
SNFR	NFCS[2:0]	—	ノイズフィルタクロック セレクトビット
SIMR1	IICM	—	簡易 I ² C モードセレクトビット
	IICDL[4:0]	—	SSDA 出力遅延セレクトビット
SIMR2	IICINTM	—	I ² C 割り込みモードセレクト ビット
	IICCS	—	クロック同期化ビット
	IICACT	—	ACK 送信データビット
SIMR3	IICSTAREQ	—	開始条件生成ビット
	IICRSTAREQ	—	再開条件生成ビット
	IICSTPREQ	—	停止条件生成ビット
	IICSTIF	—	開始/再開/停止条件生成完了 フラグ
	IICSDAS[1:0]	—	SSDA 出力セレクトビット
	IICSCLS[1:0]	—	SSCL 出力セレクトビット
SISR	IICACKR	—	ACK 受信データフラグ
SPMR	SSE	—	SSn#端子機能イネーブルビット
	CTSE	—	CTS イネーブルビット
	MSS	—	マスタスレーブセレクトビット
	MFF	—	モードフォルトフラグ
	CKPOL	—	クロック極性セレクトビット
	CKPH	—	クロック位相セレクトビット

2.15 I²C バスインタフェース

表 2.26にI²C バスインタフェースの概要比較を、表 2.27にI²C バスインタフェースのレジスタ比較を示します。

表2.26 I²C バスインタフェースの概要比較

項目	RX62T (RIIC)	RX23T (RIICa)
通信フォーマット	<ul style="list-style-type: none"> I²C バスフォーマット/SMBus フォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保 	<ul style="list-style-type: none"> I²C バスフォーマット/SMBus フォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (～400kbps)	ファストモード対応 (～400kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 セットまで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能 	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクリリッジ応答	<ul style="list-style-type: none"> 送信時、アクリリッジビットの自動ロード ノーアクリリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリリッジビットの自動送 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリリッジビット応答のソフトウェア制御が可能 	<ul style="list-style-type: none"> 送信時、アクリリッジビットの自動ロード ノーアクリリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリリッジビットの自動送 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト 	<ul style="list-style-type: none"> 受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA 出力遅延機能	アクリリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクリリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX62T (RIIC)	RX23T (RIICa)
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） ノーアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能 	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4 種類 <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK 検出 タイムアウト検出、 スタートコンディション検出（リスタートコンディション含む） ストップコンディション検出 受信データフル （スレーブアドレス一致時含む） 送信データエンプティ （スレーブアドレス一致時含む） 送信終了 	4 種類 <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK 検出 タイムアウト検出 スタートコンディション検出（リスタートコンディション含む） ストップコンディション検出 受信データフル （スレーブアドレス一致時含む） 送信データエンプティ （スレーブアドレス一致時含む） 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
RIIC の動作モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

表2.27 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX62T (RIIC)	RX23T (RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み許可ビット	—
TMOCNT		タイムアウト内部カウンタ	—

2.16 シリアルペリフェラルインタフェース

表 2.28 にシリアルペリフェラルインタフェースの概要比較を、表 2.29 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.28 シリアルペリフェラルインタフェースの概要比較

項目	RX62T (RSPI)	RX23T (RSPIa)
チャンネル数	1 チャンネル	1 チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作(4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能 	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) 	<ul style="list-style-type: none"> • MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、 Low 幅: PCLK の 4 サイクル 	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、 Low 幅: PCLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット 	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出 	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出

項目	RX62T (RSPI)	RX23T (RSPIa)
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 マルチマスタ設定時: SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 スレーブ設定時: SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK SSL 極性変更機能 	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 マルチマスタ設定時: SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 スレーブ設定時: SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1~8RSPCK 設定単位: 1RSPCK SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル) 	<ul style="list-style-type: none"> 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

項目	RX62T (RSPI)	RX23T (RSPIa)
その他の機能	<ul style="list-style-type: none"> RSPI 初期化機能 ループバックモード機能 	<ul style="list-style-type: none"> CMOS/オーブンドレイン出力切り替え機能 RSPI 初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表2.29 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62T (RSPI)	RX23T (RSPIa)
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット	—
SPCR2	SCKASE	—	RSPCK 自動停止機能許可ビット

2.17 12 ビット A/D コンバータ

表 2.30に12 ビット A/D コンバータの概要比較を、表 2.31に12 ビット A/D コンバータのレジスタ比較を示します。

表2.30 12 ビット A/D コンバータの概要比較

項目	RX62T (S12ADA)	RX23T (S12ADE)
ユニット数	2 ユニット	1 ユニット
入力チャンネル	8 チャンネル (4 チャンネル×2 ユニット)	10 チャンネル
拡張アナログ機能	—	内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	<ul style="list-style-type: none"> 1 チャンネル当たり 1.0 μs (A/D 変換クロック ADCLK = 50MHz、AVCC0 = 4.0~5.5V 時) 1 チャンネル当たり 2.0 μs (A/D 変換クロック ADCLK = 25MHz、AVCC0 = 3.0~3.6V 時) 	<ul style="list-style-type: none"> 1 チャンネル当たり 1.0 μs (A/D 変換クロック ADCLK = 40MHz 動作時)
A/D 変換クロック	PCLK より 1、2、4、8 分周に設定可能 (ADCSR.CKS[1:0])	<ul style="list-style-type: none"> ICLK より 1、2、4、8、16、32、64 分周に設定可能 (SCKCR.PCKD[3:0]) 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 PCLK:ADCLK 周波数比 = 1:1、1:2、2:1、4:1、8:1ADCLK の設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用 10 本 自己診断用 2 本 A/D 変換結果を 12 ビット A/D データレジスタに保持 A/D 変換結果の 12 ビット精度出力に対応 	<ul style="list-style-type: none"> アナログ入力用 10 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 内部基準電圧用 1 本 自己診断用 1 本 A/D 変換結果を 12 ビット A/D データレジスタに保持 A/D 変換結果の 12 ビット精度出力に対応 加算モード時は A/D 変換結果の加算値を変換精度ビット数 +2 ビット /4 ビットで A/D データレジスタに保持 ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持

項目	RX62T (S12ADA)	RX23T (S12ADE)
データレジスタ		<ul style="list-style-type: none"> ダブルトリガモード拡張動作（特定トリガ種別で有効） 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルモード： 1チャンネルのアナログ入力を1回のみ変換 1サイクルスキャンモード： 最大4チャンネルのアナログ入力を1回のみ変換 連続スキャンモード： 最大4チャンネルのアナログ入力を繰り返しA/D変換 2チャンネルスキャンモード： ユニット内チャンネルを2グループ化し、2システムの開始要因を設定可能 	<ul style="list-style-type: none"> シングルスキャンモード： 最大10チャンネルのアナログ入力を1回のみA/D変換内部基準電圧を1回のみA/D変換 連続スキャンモード： 最大10チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード： 任意に選択した最大10チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBは、各々の変換開始条件（同期トリガ）を選択することで異なるタイミングで変換開始可能 グループスキャンモード（グループA優先制御選択時） グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行（再スキャン）の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイマパルスユニット3（MTU3）、または汎用PWMタイマ（GPT）からのトリガ 非同期トリガ ADTRG0#端子によってS12AD0のA/D変換を、ADTRG1#端子によってS12AD1のA/D変換を開始することが可能 	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイマパルスユニット3（MTU3c）、8ビットタイマ（TMR）からのトリガ 非同期トリガ ADTRG0#端子によるA/D変換動作の開始が可能

項目	RX62T (S12ADA)	RX23T (S12ADE)
機能	<ul style="list-style-type: none"> • チャンネル専用サンプル&ホールド機能 (3ch) • 12 ビット A/D コンバータの自己診断機能 • プログラマブルゲインアンプによる入力信号増幅機能 (3 チャンネル/1 ユニット) • ウィンドウコンパレータ機能 (3 チャンネル/1 ユニット) 	<ul style="list-style-type: none"> • チャンネル専用サンプル&ホールド機能 (3ch) • サンプルングステート数可変機能 • 12 ビット A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) • ダブルトリガモード (A/D 変換データ 2 重化機能) • A/D データレジスタオートクリア機能
割り込み要因	<ul style="list-style-type: none"> • ユニットごとに A/D 変換終了で割り込み要求 (S12ADI) を発生 • S12ADI 割り込みでデータトランスファコントローラ (DTC) を起動可能 • コンパレータ検出で割り込み要求 (CMPI) を発生 (POE 要因としても使用可能) 	<ul style="list-style-type: none"> • ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 • ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 • グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI) を発生 • グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI) を発生 • S12ADI, GBADI 割り込みでデータトランスファコントローラ (DTC) を起動可能
消費電力低減機能	<ul style="list-style-type: none"> • モジュールストップ状態への設定が可能 	<ul style="list-style-type: none"> • モジュールストップ状態への設定が可能

表2.31 12ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX62T (S12ADA)	RX23T (S12ADE)
ADBLDR		—	A/D データ 2 重化レジスタ
ADBLDRA		—	A/D データ 2 重化レジスタ A
ADBLDRB		—	A/D データ 2 重化レジスタ B
ADOCDR		—	A/D 内部基準電圧データ レジスタ
ADCSR	CKS[1:0]	クロック選択ビット	—
	DBLANS[4:0]	—	ダブルトリガ対象チャンネル 選択ビット
	GBADIE	—	グループ B スキャン終了 割り込み許可ビット
	DBLE	—	ダブルトリガモード選択ビッ ト
ADANS	PG000EN	AN000 用プログラマブルゲイ ンアンプ許可ビット	—
	PG001EN	AN0001 用プログラマブルゲ インアンプ許可ビット	—
	PG002EN	AN002 用プログラマブルゲイ ンアンプ許可ビット	—
	PG000SEL	AN000 用プログラマブルゲイ ンアンプ選択ビット	—
	PG001SEL	AN001 用プログラマブルゲイ ンアンプ選択ビット	—
	PG002SEL	AN002 用プログラマブルゲイ ンアンプ選択ビット	—
	CH[1:0]	チャンネル設定ビット	—
ADANSA0	ANSA000	—	A/D 変換チャンネル選択ビット
	ANSA001	—	A/D 変換チャンネル選択ビット
	ANSA002	—	A/D 変換チャンネル選択ビット
	ANSA003	—	A/D 変換チャンネル選択ビット
	ANSA004	—	A/D 変換チャンネル選択ビット
	ANSA005	—	A/D 変換チャンネル選択ビット
	ANSA006	—	A/D 変換チャンネル選択ビット
	ANSA007	—	A/D 変換チャンネル選択ビット
ADANSA1	ANSA100	—	A/D 変換チャンネル選択ビット
	ANSA101	—	A/D 変換チャンネル選択ビット
ADANSB0	ANSB000	—	A/D 変換チャンネル選択ビット
	ANSB001	—	A/D 変換チャンネル選択ビット
	ANSB002	—	A/D 変換チャンネル選択ビット
	ANSB003	—	A/D 変換チャンネル選択ビット
	ANSB004	—	A/D 変換チャンネル選択ビット
	ANSB005	—	A/D 変換チャンネル選択ビット
	ANSB006	—	A/D 変換チャンネル選択ビット
	ANSB007	—	A/D 変換チャンネル選択ビット
ADANSB1	ANSB100	—	A/D 変換チャンネル選択ビット
	ANSB101	—	A/D 変換チャンネル選択ビット

レジスタ	ビット	RX62T (S12ADA)	RX23T (S12ADE)
ADADS0	ADS000	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS001	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS002	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS003	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS004	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS005	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS006	—	A/D 変換値加算/平均チャンネル選択ビット
ADADS1	ADS100	—	A/D 変換値加算/平均チャンネル選択ビット
	ADS101	—	A/D 変換値加算/平均チャンネル選択ビット
ADADC	ADC[2:0]	—	加算回数選択ビット
	AVEE	—	平均モードイネーブルビット
ADCER	SHBYP	チャンネル専用サンプル&ホールド回路選択ビット	—
	ADPRC[1:0]	A/D データレジスタビット 精度指定ビット	—
	ADIE2	2 チャンネルスキャン割り込み 選択ビット	—
	ADIEW	ダブルトリガ割り込み選択 ビット	—
ADSTRGR	ADSTRS0[4:0]	A/D 開始トリガグループ0 選択 ビット	—
	TRSB[5:0]	—	グループ B 専用 A/D 変換開始 トリガ選択ビット
	ADSTRS1[4:0]	A/D 開始トリガグループ1 選択 ビット	—
	TRSA[5:0]	—	A/D 変換開始トリガ選択ビッ ト
ADPG	PG000GAIN[3:0]	AN000 用プログラマブルゲイ ン アンプゲイン選択ビット	—
	PG001GAIN[3:0]	AN001 用プログラマブルゲイ ン アンプゲイン選択ビット	—
	PG002GAIN[3:0]	AN002 用プログラマブルゲイ ン アンプゲイン選択ビット	—

レジスタ	ビット	RX62T (S12ADA)	RX23T (S12ADE)
ADCMPMD0	CEN000[1:0]	AN000 用コンパレータ選択ビット	—
	CEN001[1:0]	AN001 用コンパレータ選択ビット	—
	CEN002[1:0]	AN002 用コンパレータ選択ビット	—
	CEN100[1:0]	AN100 用コンパレータ選択ビット	—
	CEN101[1:0]	AN101 用コンパレータ選択ビット	—
	CEN102[1:0]	AN102 用コンパレータ選択ビット	—
ADCMPMD1	REFL[2:0]	コンパレータ Low 側基準電圧用内部電圧選択ビット	—
	REFH[2:0]	コンパレータ High 側基準電圧用内部電圧選択ビット	—
	CSEL0	AN000～AN002 用コンパレータ入力選択ビット	—
	VSELH0	AN000～AN002 用コンパレータ High 側基準電圧選択ビット	—
	VSELL0	AN000～AN002 用コンパレータ Low 側基準電圧選択ビット	—
	CSEL1	AN100～AN102 用コンパレータ入力選択ビット	—
	VSELH1	AN100～AN102 用コンパレータ High 側基準電圧選択ビット	—
	VSELL1	AN100～AN102 用コンパレータ Low 側基準電圧選択ビット	—
ADCMPNR0	C000NR[3:0]	AN000 用コンパレータノイズキャンセルフィルタモード選択ビット	—
	C001NR[3:0]	AN001 用コンパレータノイズキャンセルフィルタモード選択ビット	—
	C002NR[3:0]	AN002 用コンパレータノイズキャンセルフィルタモード選択ビット	—
ADCMPNR1	C100NR[3:0]	AN100 用コンパレータノイズキャンセルフィルタモード選択ビット	—
	C101NR[3:0]	AN101 用コンパレータノイズキャンセルフィルタモード選択ビット	—
	C102NR[3:0]	AN102 用コンパレータノイズキャンセルフィルタモード選択ビット	—

レジスタ	ビット	RX62T (S12ADA)	RX23T (S12ADE)
ADCMPFR	C000FLAG	AN000 用コンパレータ検出フラグ	—
	C001FLAG	AN001 用コンパレータ検出フラグ	—
	C002FLAG	AN002 用コンパレータ検出フラグ	—
	C100FLAG	AN100 用コンパレータ検出フラグ	—
	C101FLAG	AN101 用コンパレータ検出フラグ	—
	C102FLAG	AN102 用コンパレータ検出フラグ	—
ADCMPSEL	SEL000	AN000 用コンパレータ検出選択ビット	—
	SEL001	AN001 用コンパレータ検出選択ビット	—
	SEL002	AN002 用コンパレータ検出選択ビット	—
	SEL100	AN100 用コンパレータ検出選択ビット	—
	SEL101	AN101 用コンパレータ検出選択ビット	—
	SEL102	AN102 用コンパレータ検出選択ビット	—
	IE	割り込み許可設定ビット	—
	POERQ	POE 要求設定ビット	—
ADEXICR	OCSAD	—	内部基準電圧 A/D 変換値加算/平均モード選択ビット
	OCSA	—	内部基準電圧 A/D 変換選択ビット
ADSHCR	SSTSH[7:0]	—	サンプリング時間サンプル&ホールド回路設定ビット
	SHANS[2:0]	—	チャンネル専用サンプル&ホールド回路バイパス選択ビット
ADDISCR	ADNDIS[4:0]	—	A/D 断線検出アシスト設定ビット
ADGSPCR	PGS	—	グループ A 優先制御設定ビット
	GBRSCN	—	グループ B 再起動設定ビット
	GBRP	—	グループ B 用シングルスキャン連続起動設定ビット
ADHVREFCNT	HVSEL	—	高電位側基準電圧選択ビット
	LVSEL	—	低電位側基準電圧選択ビット

2.18 RAM

表 2.32にRAM の概要比較を示します。

表2.32 RAM の概要比較

項目	RX62T	RX23T
RAM 容量	16K バイト/8K バイト	12K バイト
RAM アドレス	0000 0000h~0000 3FFFh(16K バイト) 0000 0000h~0000 1FFFh(8K バイト)	0000 0000h~0000 27FFh、 0000 4000h~0000 4A7Fh(12K バイト)
アクセス	<ul style="list-style-type: none">読み出し、書き込みともに 1 サイクルで動作内蔵 RAM 有効/無効選択可能	<ul style="list-style-type: none">読み出し、書き込みともに 1 サイクルで動作内蔵 RAM 有効/無効選択可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

2.19 フラッシュメモリ

表 2.33にフラッシュメモリ仕様の概要比較を、表 2.34にフラッシュメモリのレジスタ比較を示します。

表2.33 フラッシュメモリ仕様の概要比較

項目	RX62T		RX23T
	コードフラッシュメモリ	データフラッシュメモリ	
メモリ空間	ユーザ領域:256K バイト/128K バイト/64K バイト	データ領域:32K バイト/8K バイト	ユーザ領域:最大 128K バイト
リードサイクル	ICLK 1 サイクルの高速読み出しが可能	ワード、バイトアクセス時には PCLK 3 サイクルでの読み出し	ICLK \leq 32MHz 時 ROM のウェイトサイクルなし、ICLK $>$ 32MHz 時 ROM のウェイトサイクルあり
イレーズ後の値	32 ビットで FFFF FFFFh が読み出し可能	不定	FFh
割り込み	FCU コマンドの実行（プログラム、P/E サスペンド、ロックビットリード2、周辺クロック通知）の完了によりフラッシュレディ割り込み要求（FRDYI）が発生	FCU コマンドの実行（プログラム、P/E サスペンド、ブランクチェック、周辺クロック通知）の完了によりフラッシュレディ割り込み要求（FRDYI）が発生	ソフトウェアコマンド処理の完了、または強制停止処理の完了によりフラッシュレディ割り込み（FRDYI）が発生
書き込み/消去方式	<ul style="list-style-type: none"> ROM の書き換えを行う専用のシーケンサ（FCU）を内蔵 FCU にコマンドを発行することにより、ROM への書き込み/消去を実行可能 消去状態の ROM を読むと、32 ビットで FFFF FFFFh が読み出し可能 		<ul style="list-style-type: none"> ソフトウェアコマンド方式 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ エクストラ領域のプログラム用に以下のコマンドを実装
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能 データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能 		—
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROM への書き込み/消去動作を中断し、CPU は ROM 領域のプログラムを実行可能（サスペンド） 中断した後、ROM への書き込み/消去を再開可能（レジューム） 		—

項目	RX62T		RX23T
	コードフラッシュ メモリ	データフラッシュ メモリ	
書き込み/ 消去単位	<ul style="list-style-type: none"> ユーザ領域の書き込み単位：256 バイト ユーザ領域の消去単位：4K バイト（8 ブロック）、16K バイト（ROM 容量が 256K バイトの場合：14 ブロック、ROM 容量が 128K バイトの場合：6 ブロック、ROM 容量が 64K バイトの場合：2 ブロック） 	<ul style="list-style-type: none"> データ領域の書き込み単位：8 バイトまたは 128 バイト データ領域の消去単位：2K バイト（データフラッシュ容量が 32K バイトの場合：16 ブロック、データフラッシュ容量が 8K バイトの場合：4 ブロック） 	<ul style="list-style-type: none"> ユーザ領域の書き込み単位：8 バイト ユーザ領域の消去単位：2K バイト
オンボードプログラミング	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインターフェイス（SCI1）を使用 通信速度は自動調整 ユーザプログラム中の ROM/データフラッシュ書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなく ROM の書き換えが可能 		ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインターフェイス（SCI1）を使用 通信速度は自動調整 FINE を使用 ユーザプログラム中の ROM/データフラッシュ書き換えルーチンによる書き換え
オフボードプログラミング	PROM ライタを使用して、ユーザ領域の書き換えが可能	—	本 MCU に対応したフラッシュプログラムを使用して、ユーザ領域の書き換えが可能
ソフトウェア プロテクト 機能	FENTRYR.FENTRY0 ビット、FWEPROR.FLWE[1:0] ビット、ロックビットにより意図しない書き換えを防ぐことが可能	FENTRYR.FENTRYD ビット、FWEPROR.FLWE[1:0] ビット、DFLREk レジスタ、DFLWEk レジスタにより意図しない書き換えを防ぐことが可能（k = 0, 1）	FENTRYR.FENTRY0 ビットにより意図しない書き換えを防ぐことが可能
エラープロテクト機能	書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止		—
ID コードプロテクト	<ul style="list-style-type: none"> ホストからの読み出し/書き込み/消去を禁止するための機能 オンチップデバッグエミュレータ接続時、ID コードにより制御可能 	<ul style="list-style-type: none"> ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 オンチップデバッグエミュレータ接続時、ID コードにより制御可能 	
スタートアッププログラム保護機能	—	—	ブロック 0~7 の書き換えを安全に行うための機能

項目	RX62T		RX23T
	コードフラッシュ メモリ	データフラッシュ メモリ	
エリアプロテ クション	—	—	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能

表2.34 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62T	RX23T
FMODR	FRDMD	FCU リードモード選択ビット	—
FASTAT	DFLWPE	データフラッシュプログラム/ イレーズプロテクト違反ビット	—
	DFLRPE	データフラッシュリードプロテクト 違反ビット	—
	DFLAE	データフラッシュアクセス違反 ビット	—
	CMDLK	FCU コマンドロックビット	—
	ROMAE	ROM アクセス違反ビット	—
FAEINT	DFLWPEIE	データフラッシュプログラム/ イレーズプロテクト違反割り込み許可 ビット	—
	DFLRPEIE	データフラッシュリードプロテクト 違反割り込み許可ビット	—
	DFLAEIE	データフラッシュアクセス違反 割り込み許可ビット	—
	CMDLKIE	FCU コマンドロック割り込み許可 ビット	—
	ROMAEIE	ROM アクセス違反割り込み許可 ビット	—
FCURAME	FCRME	FCU RAM 許可ビット	—
	KEY[7:0]	キーコード	—
FSTATR0	PRGSPD	書き込みサスペンドステータス ビット	—
	ERERR	—	イレーズエラーフラグ
	ERSSPD	消去サスペンドステータスビット	—
	PRGERR	書き込みエラービット	プログラムエラーフラグ
	SUSRDY	サスペンドレディビット	—
	BCERR	—	ブランクチェックエラーフラグ
	ERSERR	消去エラービット	—
	EILGLERR	—	エクストラ領域イリーガルコマン ドエラーフラグ
FSTATR1	FRDY	フラッシュレディビット	—
	FLOCKST	ロックビットステータスビット	—
	FRDY	—	フラッシュレディフラグ
	FCUERR	FCU エラービット	—
FRDYIE	EXRDY	—	エクストラ領域レディフラグ
	FRDYIE	フラッシュレディ割り込み許可 ビット	—

レジスタ	ビット	RX62T	RX23T
FENTRYR	FENTRYD	データフラッシュ P/E モードエントリービット	—
FPROTR	FPROTCN	ロックビットプロテクトキャンセルビット	—
	FPKEY[7:0]	キーコード	—
FRESETR	FRKEY[7:0]	キーコード	—
FCMDR	PCMDR[7:0]	プレコマンド	—
	CMDR[7:0]	コマンド	—
FCPSR	ESUSPMD	消去サスペンドモードビット	—
FPESTAT	PEERRST[7:0]	P/E エラーステータスビット	—
PCKAR	PCKA[7:0]	周辺クロック通知ビット	—
FWEPOR	FLWE[1:0]	フラッシュ書き込み/消去ビット	—
DFLRE0	DBRE00	DB00 ブロック読み出し許可ビット	—
	DBRE01	DB01 ブロック読み出し許可ビット	—
	DBRE02	DB02 ブロック読み出し許可ビット	—
	DBRE03	DB03 ブロック読み出し許可ビット	—
	DBRE04	DB04 ブロック読み出し許可ビット	—
	DBRE05	DB05 ブロック読み出し許可ビット	—
	DBRE06	DB06 ブロック読み出し許可ビット	—
	DBRE07	DB07 ブロック読み出し許可ビット	—
	KEY[7:0]	キーコード	—
DFLRE1	DBRE08	DB08 ブロック読み出し許可ビット	—
	DBRE09	DB09 ブロック読み出し許可ビット	—
	DBRE10	DB10 ブロック読み出し許可ビット	—
	DBRE11	DB11 ブロック読み出し許可ビット	—
	DBRE12	DB12 ブロック読み出し許可ビット	—
	DBRE13	DB13 ブロック読み出し許可ビット	—
	DBRE14	DB14 ブロック読み出し許可ビット	—
	DBRE15	DB15 ブロック読み出し許可ビット	—
	KEY[7:0]	キーコード	—
DFLWE0	DBWE00	DB00 ブロック書き込み/消去許可ビット	—
	DBWE01	DB01 ブロック書き込み/消去許可ビット	—
	DBWE02	DB02 ブロック書き込み/消去許可ビット	—
	DBWE03	DB03 ブロック書き込み/消去許可ビット	—
	DBWE04	DB04 ブロック書き込み/消去許可ビット	—
	DBWE05	DB05 ブロック書き込み/消去許可ビット	—
	DBWE06	DB06 ブロック書き込み/消去許可ビット	—
	DBWE07	DB07 ブロック書き込み/消去許可ビット	—
	KEY[7:0]	キーコード	—

レジスタ	ビット	RX62T	RX23T
DFLWE1	DBWE08	DB08 ブロック書き込み/消去許可ビット	—
	DBWE09	DB09 ブロック書き込み/消去許可ビット	—
	DBWE10	DB10 ブロック書き込み/消去許可ビット	—
	DBWE11	DB11 ブロック書き込み/消去許可ビット	—
	DBWE12	DB12 ブロック書き込み/消去許可ビット	—
	DBWE13	DB13 ブロック書き込み/消去許可ビット	—
	DBWE14	DB14 ブロック書き込み/消去許可ビット	—
	DBWE15	DB15 ブロック書き込み/消去許可ビット	—
	KEY[7:0]	キーコード	—
DFLBCCNT	BCSIZE	ブランクチェックサイズ設定ビット	—
	BCADR[7:0]	ブランクチェックアドレス設定ビット	—
DFLBCSTAT	BCST	ブランクチェックステータスビット	—
FPR		—	プロテクト解除レジスタ
FPSR	PERR	—	プロテクトエラーフラグ
FPMCR	FMS0	—	フラッシュ動作モード選択ビット 0
	RPDIS	—	ROM P/E 禁止ビット
	FMS1	—	フラッシュ動作モード選択ビット 1
	LVPE	—	低電圧 P/E モード有効ビット
	FMS2	—	フラッシュ動作モード選択ビット 2
FISR	PCKA[4:0]	—	周辺クロック通知ビット
	SAS[1:0]	—	スタートアップ領域選択ビット
FASR	EXS	—	エクストラ領域選択ビット
FCR	CMD[3:0]	—	ソフトウェアコマンド設定ビット
	STOP	—	強制処理停止ビット
	OPST	—	処理開始ビット
FEXCR	CMD[2:0]	—	ソフトウェアコマンド設定ビット
	OPST	—	処理開始ビット
FSARH		—	フラッシュ処理開始アドレスレジスタ H
FSARL		—	フラッシュ処理開始アドレスレジスタ L
FEARH		—	フラッシュ処理終了アドレスレジスタ H
FEARL		—	フラッシュ処理終了アドレスレジスタ L
FWBn (n = 0 ~ 3)		—	フラッシュライトバッファ n レジスタ
FEAMH		—	フラッシュエラーアドレスモニタレジスタ H

レジスタ	ビット	RX62T	RX23T
FEAML		—	フラッシュエラーアドレスモニタレジスタ L
FSCMR	SASMF	—	スタートアップ領域設定モニタフラグ
FAWSMR		—	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ
FAWEMR		—	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ
UIDRn (n = 0 ~ 3)		—	ユニーク ID レジスタ

3. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62T グループ、RX62G グループ ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0034JJ0200)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX23T グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0520JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.05.28	—	初版発行
1.01	2015.08.04	4	2.2 リセット 表 2.2 リセット仕様の概要比較 パワーオンリセットの RX23T の説明を修正
		8	2.4 クロック発生回路 表 2.6 クロック発生発生回路の概要比較 PLL の RX62T の入力周波数の誤記を修正。逡倍比の説明を追加。
		11	2.5 消費電力低減機能 表 2.9 消費電力低減機能のレジスタ比較 レジスタ「RSTSR」のビットシンボルの誤記修正
		21	2.12 ポートアウトプットイネーブル 3 表 2.20 ポートアウトプットイネーブル 3 の概要比較 ハイインピーダンス対象端子の GPT0 端子の誤記修正
		26	2.13 独立ウォッチドッグタイマ 表 2.22 独立ウォッチドッグタイマの概要比較 RX62T にレジスタスタートモードの説明を追加
		29	2.14 シリアルコミュニケーションインタフェース 表 2.25 シリアルコミュニケーションインタフェースのレジスタ比較 レジスタ「TDRH」、「TDRL」、「TDRHL」のビット名称の誤記修正
		35	2.17 12 ビット A/D コンバータ 表 2.30 12 ビット A/D コンバータの概要比較 RX62T の動作モードの誤記修正
		41	2.19 フラッシュメモリ 表 2.33 フラッシュメモリ仕様の概要比較 RX62T の割り込みの内容を修正 RX62T と RX23T のオンボードプログラミングの内容を修正 エリアプロテクションの誤記修正
1.10	2016.01.14	7	2.4 クロック発生回路 表 2.6 クロック発生回路仕様の概要比較 高速オンチップオシレータ (HOCO) を追加
		8	2.4 クロック発生回路 表 2.7 クロック発生回路仕様のレジスタ比較 高速オンチップオシレータコントロールレジスタ (HOCO CR) 追加 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) 追加 発振安定フラグレジスタ (OSCOVFSR) HCOVF フラグ (HOCO クロック発振安定フラグ) 追加
		19	2.10 I/O ポート 表 2.17 I/O ポートのレジスタ比較 オープンドレイン制御レジスタ 1 (ODR1) にポート番号を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.01.14	20	2.11 マルチファンクションタイムパルスユニット 3 表 2.18 マルチファンクションタイムパルスユニットの概要比較 RX23T のカウンタクロックの内容を修正
		39	2.16 シリアルペリフェラルインタフェース 表 2.29 シリアルペリフェラルインタフェースのレジスタ比較 レジスタ「SPSR」を削除
		43, 44	2.17 12 ビット A/D コンバータ 表 2.31 12 ビット A/D コンバータのレジスタ比較 レジスタ「ADANSA0」のビットシンボルを変更 レジスタ「ADANSA1」のビットシンボルを変更 レジスタ「ADANSB0」のビットシンボルを変更 レジスタ「ADANSB1」のビットシンボルを変更 レジスタ「ADADS0」のビットシンボルを変更 レジスタ「ADADS1」のビットシンボルを変更
		47	2.18 RAM 表 2.32 RAM の概要比較 RX23T の RAM 容量の内容を変更 RX23T の RAM アドレスの内容を変更

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>