
RL78/G11

R01AN3477JJ0100

Rev. 1.00

2017.01.31

コンパレータ、外部割り込みによる PWM 強制出力停止 CC-RL

要旨

本アプリケーションノートでは、コンパレータ機能と外部割り込み要求を利用して、CPU を介さずにタイム KB0 の PWM 出力を強制出力停止させる実現方法を示します。

対象デバイス

RL78/G11

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1.	仕様	3
1.1	コンパレータ、外部割り込みによる PWM 強制出力停止	3
1.2	過電流／過電圧検出	4
1.2.1	過電流検出方法	4
1.2.2	過電圧検出方法	4
1.3	強制停止機能の解除条件	5
2.	動作確認条件	6
3.	関連アプリケーションノート	6
4.	ハードウェア説明	7
4.1	ハードウェア構成例	7
4.2	使用端子一覧	8
5.	ソフトウェア説明	9
5.1	動作概要	9
5.2	オプション・バイトの設定一覧	10
5.3	関数一覧	11
5.4	関数仕様	12
5.5	フローチャート	14
5.5.1	初期設定関数	14
5.5.2	システム関数	15
5.5.3	入出力ポートの設定	16
5.5.4	CPU クロックの設定	17
5.5.5	タイマ KB0 の設定	18
5.5.6	プログラマブル・ゲイン・アンプの設定	28
5.5.7	コンパレータの設定	31
5.5.8	タイマ・アレイ・ユニットの設定	36
5.5.9	割り込みの設定	43
5.5.10	メイン関数	45
5.5.11	メイン初期設定	46
5.5.12	コンパレータ動作開始処理関数	47
5.5.13	プログラマブル・ゲイン・アンプ動作開始処理関数	48
5.5.14	タイマ・アレイ・ユニット 0 動作開始処理関数	49
5.5.15	16 ビット・タイマ KB0 開始処理関数	50
5.5.16	外部割り込み動作開始処理関数	51
6.	サンプルコード	52
7.	参考ドキュメント	52

1. 仕様

1.1 コンパレータ、外部割り込みによる PWM 強制出力停止

過電流状態や過電圧状態を検出したときに、CPU を介さず、16 ビット・タイマ KB0 出力をロウ・レベル固定状態にします。

表 1.1 使用する周辺機能と用途

周辺機能	用途
16 ビット・タイマ KB0 (以下、タイマ KB0)	PWM 出力
外部割り込み INTP11	リスタート・トリガ
外部割り込み INTP10	PWM 出力の出力強制遮断トリガ
プログラマブル・ゲイン・アンプ (以下、PGA)	入力電位差を増幅
コンパレータ 0 (以下、CMP0)	出力遮断電圧比較
タイマ・アレイ・ユニット (以下、TAU) の TM00	メイン周期 (10ms) の生成

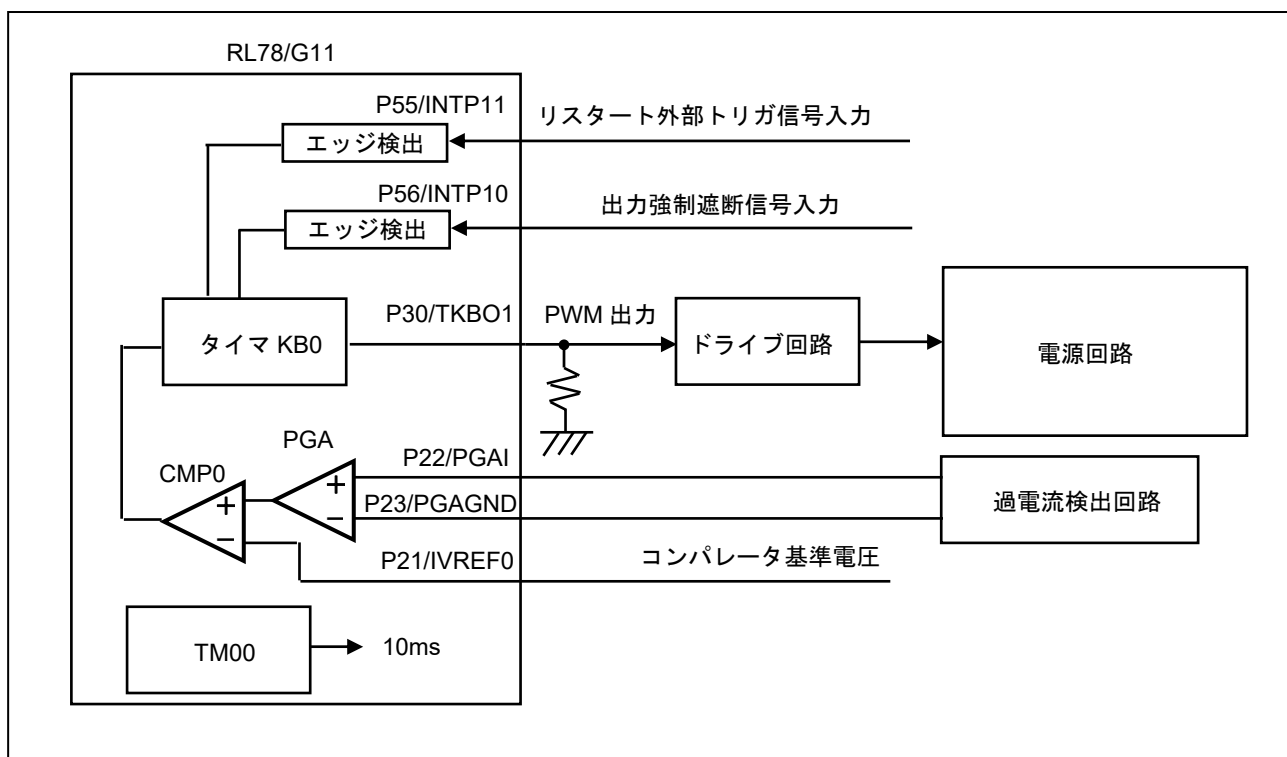


図 1.1 基本構成

1.2 過電流／過電圧検出

過電流検出回路（電流を電圧に変換する回路）の出力電圧を PGA で 8 倍に増幅します。増幅した電圧と CMP0 に入力されるコンパレータ基準電圧と比較することで過電流を検出します。

INTP10 に入力される強制出力遮断信号入力の立ち上がりエッジで過電流を検出します。

1.2.1 過電流検出方法

負荷のグランド側に電流測定用の抵抗を直列に挿入して抵抗の両端の電位差を測ることで、負荷に流れる電流を測定します。

挿入する抵抗については、可能な限り小さい抵抗値のものを選択して負荷への影響を抑える必要があります。ただし、小さな抵抗値の抵抗では得られる電位差が小さくなるため、このアプリケーションノートでは PGA で電位差を増幅します。

たとえば、出力電圧 12V、出力電流 350mA の電源において、出力電流が 500mA を超えたとき過電流状態であると仮定します。抵抗による負荷への影響を 1%未満に抑えるため、電流測定用の抵抗の抵抗値を 0.2Ω として出力電流 500mA を検出します。このとき、抵抗の両端の電位差が 0.1V を超えると、過電流状態であると判定します。

RL78/G11 に搭載された PGA 特性（概要）を以下に示します。

- ・入力オフセット電圧： $\pm 10\text{mA}$ (MAX)
- ・増幅率誤差： $\pm 1\%$ (4 倍、8 倍のとき)、 $\pm 1.5\%$ (16 倍のとき)、 $\pm 2\%$ (32 倍のとき)
- ・入力電圧範囲： $0\text{V} \sim 0.9 V_{\text{DD}}$ / 増幅率

入力オフセット電圧は入力電圧の誤差です。この誤差は PGA によって増幅されます。

たとえば、入力電圧 0.1V に対して入力オフセット電圧 $\pm 10\text{mV}$ を加算すると、入力電圧は $0.09\text{V} \sim 0.11\text{V}$ になります。なお、この入力電圧は、PGA の入力電圧範囲を満たしています。（本アプリケーションの一端では、電源電圧の下限値が 2.7V なので、 $0.9V_{\text{DD}} / \text{増幅率} = 0.9 \times \min.2.7 / 8 = 0.3\text{V}$ となります。）

PGA の増幅率は 8 倍なので、CMP0 の入力電圧は $0.72\text{V} \sim 0.88\text{V}$ となります。

CMP0 の IVREF0 端子に入力する電圧は 0.72V とします。なお、この入力電圧は IVREF0 の入力電圧範囲を満たしています。

上記の場合、PGA の入力オフセット電圧による影響は最大 $\pm 10\%$ 程度です。検出電流には最大 $\pm 10\%$ の誤差が発生します。この誤差がアプリケーションで問題となる場合は、入力オフセット電圧の影響を抑える補正を追加してください。

例えば、PGA に基準となる電圧を入力し、その PGA 出力 (PGAOUT) を RL78/G11 に搭載された A/D 変換器で測定します。その結果に応じて、入力オフセット電圧の影響を抑えるように、CMP0 の一端子に入力する電圧 (コンパレータ基準電圧) を調整してください。なお、RL78/G11 では、内蔵 D/A コンバータの出力をコンパレータ基準電圧とすることができます。

1.2.2 過電圧検出方法

本アプリケーションノートでは、INTP10 端子の入力信号で過電圧を検出します。INTP10 の立ち下がりエッジを検出すると、強制出力停止機能 2 で TKBO1 出力をロウ・レベルに固定します。

1.3 強制停止機能の解除条件

本アプリケーションノートでは、過電流検出に強制出力停止機能 1 を使用し、過電圧検出に強制出力停止機能 2 を使用しています。

過電流検出は、過電流検出回路で検出した電位差を PGA で 8 倍した電圧がコンパレータ基準電圧 (IVREF0 端子に入力する電圧) を超えると、強制出力停止機能 1 により 16 ビット・タイマ KB0 出力 (TKBO1) をロウ・レベル固定状態にします。その後、過電流検出回路で検出した電位差を PGA で 8 倍した電圧がコンパレータ基準電圧 (IVREF0 端子に入力する電圧) を下回っている期間中に強制出力停止機能解除トリガ (TKBPAHTT01) に “1” を書き込むと、次のカウンタの周期で強制出力停止機能 1 は解除されます。

INTP10 の立ち上がりエッジを検出すると、次のカウント周期から強制出力停止機能 2 は解除されます。

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G11 (R5F1056A)
動作周波数	<ul style="list-style-type: none"> ● 高速オンチップ・オシレータ (HOCO) クロック : 24MHz ● CPU/周辺ハードウェア・クロック : 24MHz
動作電圧	3.3V (2.7V~5.5V で動作可能) LVD 動作 (V _{LVD}) : リセット・モード 電圧. 2.75V
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ for CC V4.01.00
C コンパイラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.03.00
統合開発環境 (e ² studio)	ルネサス エレクトロニクス製 e ² studio V5.0.2.020
C コンパイラ (e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.03.00

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

4. ハードウェア説明

4.1 ハードウェア構成例

図 4.1 に本アプリケーションノートで使用するハードウェア構成例を示します。

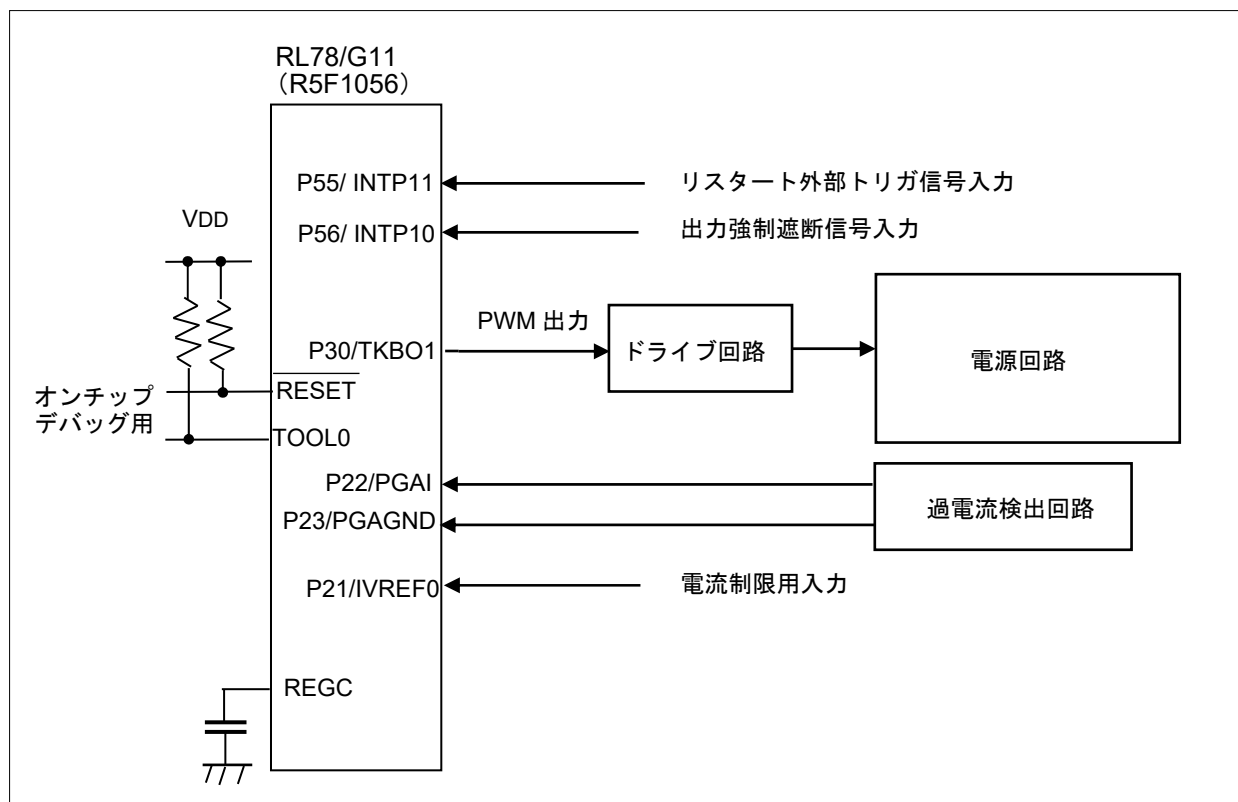


図 4.1 ハードウェア構成

注意 1 この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい）。

2 V_{DD} は LVD にて設定したリセット解除電圧 (V_{LVD}) 以上にしてください。

4.2 使用端子一覧

表 4.1 に使用端子と機能を示します。

表 4.1 使用端子と機能

端子名	入出力	内容
P30/ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/ (TxD0)/PCLBUZ0/TKBO1/SDAA0	出力	PWM 出力
P55/KR3/SI00/RxD0/SDAA00/TOOLRXD/TI02/ TO02/INTP11/(VCOUT0)/SDAA1	入力	この信号をトリガとして PWM 波形が再出力 されます。
P56/ANI22/KR2/SCK00/SCL00/SO11/INTP10/ (TO03)/(INTFO)/SCLA1	入力	出力強制遮断信号入力
P22/ANI2/PGAI/IVCMP0	入力	過電流検出 (+)
P23/ANI3/ANO1/PGAGND	入力	過電流検出 (-)
P21/ANI1/AVEWFM/IVREF0	入力	電流制限用入力

5. ソフトウェア説明

5.1 動作概要

本アプリケーションノートでは、PGA、CMP0、TAU、タイマ KB0、外部割り込みを使用した PWM 強制出力停止について説明します。

タイマ KB0 の出力は、TKB01 を使用して、100kHz の PWM を出力します。強制停止機能は強制出力停止機能 1、2 を使用します。

強制出力停止機能 1 は、CMP0 の立ち上がりでトリガし TKB01 から Hi-Z 出力にします、解除は、CMP0 が立ち下がり時に TKBPAHTT01 = 1 とすると、その次の周期から出力再開が可能になります。

強制出力停止機能 2 は INTP10 の立ち下がり検出でトリガし、TKB01 の出力をロウ・レベルに固定します、解除は INTP10 の入力立ち上がった次の周期で行います。

TAU を用いて機能拡張用に 10ms のインターバル・タイマを用意してあります。

<TAU の設定>

- チャンネル 0 をインターバル・タイマとして使用します。
- インターバル時間は 10ms に設定します。

<PGA の設定>

- PGA の GND を PGAGND に設定します。
- PGA の増幅率を 8 倍に設定します。

<CMP0 の設定>

- 基本モードに設定します。
- +端子入力信号を PGA 出力に、-端子入力信号を IVREF0 に設定します。
- エッジ設定を両エッジにします。

<タイマ KB0 の設定>

- 単体動作モードに設定します。
- 出力端子を TKBO1 にし、初期出力レベルをロウ・レベル、出力レベルをアクティブ・ハイに設定します。
- 外部割り込み信号 (INTP11) トリガでリスタートする様に設定します。
- PWM 出力の周期を 20 μ s、デューティ 50%に設定します。
- 強制出力停止機能 1 を Hi-Z 出力、強制出力停止機能 2 をロウ・レベル固定出力に設定します。
- 機能 1 のトリガをコ CMP0 出力に、機能 2 のトリガを INTP10 に設定します。
- 強制出力停止機能 1 の動作モードを、タイプ 4 に設定します。
- 強制出力停止機能 2 の動作モードをタイプ 2 に設定します。

5.2 オプション・バイトの設定一覧

表 5.1 にオプション・バイト設定を示します。

表 5.1 オプション・バイト設定

アドレス	設定値	内容
000C0H	11101111B	ウォッチドッグ・タイマ 動作停止 (リセット解除後、カウント停止)
000C1H	01111111B	LVD リセット・モード 2.75V (2.75V~2.81V)
000C2H	11100000B	HS モード、高速オンチップ・オシレータ : 24MHz
000C3H	10000100B	オンチップ・デバッグ許可

5.3 関数一覧

表 5.2 に関数を示します。

表 5.2 関数

関数名	概要
R_COMP0_Start	コンパレータ 0 の動作開始処理
R_PGA_Start	プログラマブル・ゲイン・アンプの動作開始処理
R_INTC10_Start	外部割り込みの動作開始処理
R_TMR_KB0_Start	16 ビット・タイマ KB0 の動作開始処理
R_TAU0_Channel0_Start	TAU0 チャンネル 0 の動作開始処理

5.4 関数仕様

サンプルコードの関数仕様を示します。

[関数名] R_COMP0_Start

概要	コンパレータ 0 の動作開始設定処理
ヘッダ	r_cg_comp.h、r_cg_userdefine.h
宣言	void R_COMP0_Start(void)
説明	コンパレータ 0 の動作を開始します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_PGA_Start

概要	プログラマブル・ゲイン・アンプ動作開始設定処理
ヘッダ	r_cg_pga.h、r_cg_userdefine.h
宣言	void R_PGA_Start(void)
説明	プログラマブル・ゲイン・アンプの動作を開始します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_INTC10_Start

概要	外部割り込みの動作開始設定処理
ヘッダ	r_cg_intp.h、r_cg_userdefine.h
宣言	void R_INTC01_Stop(void)
説明	外部割り込みの動作を開始します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TMR_KB0_Start

概要	16 ビット・タイマ KB の動作開始設定処理
ヘッダ	r_cg_tmkb.h、r_cg_userdefine.h
宣言	void R_TMR_KB0_Start (void)
説明	16 ビット・タイマ KB の動作を開始します。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TAU0_Channel0_Start

概要	TAU0 チャンネル0の動作開始設定処理
ヘッダ	r_cg_tau.h、 r_cg_userdefine.h
宣言	void R_TAU0_Channel1_Start (void)
説明	TAU0 チャンネル0の割り込みマスクを解除します。
引数	なし
リターン値	なし
備考	なし

5.5 フローチャート

図 5.1 に本アプリケーションノートの全体フローを示します。

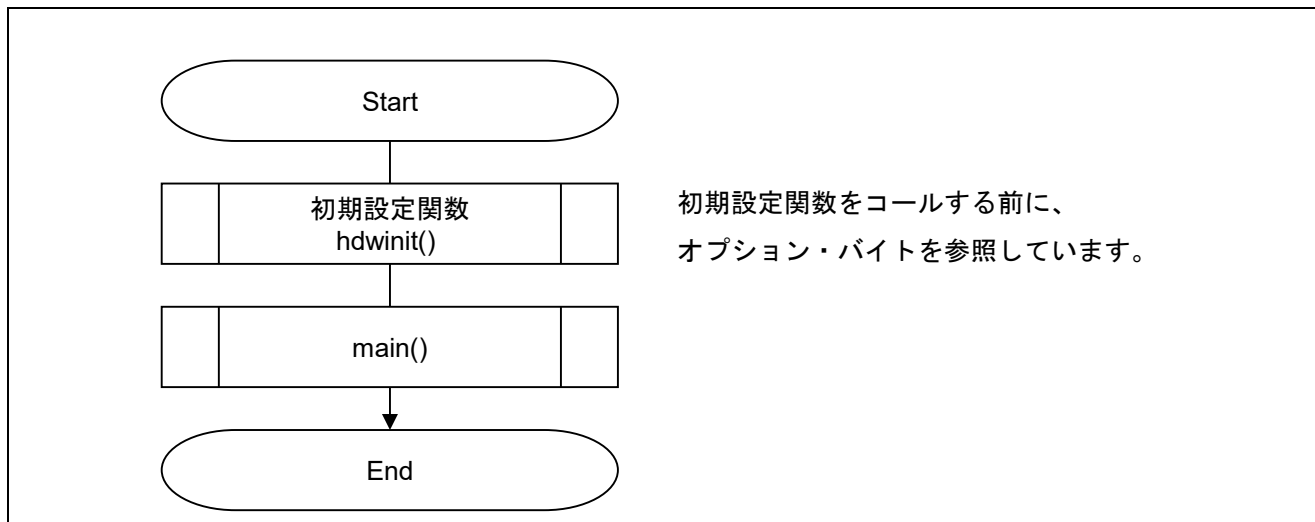


図 5.1 全体フロー

注 初期設定関数の前後でスタートアップ・ルーティンが実行されます。

5.5.1 初期設定関数

図 5.2 に初期設定関数のフローチャートを示します。

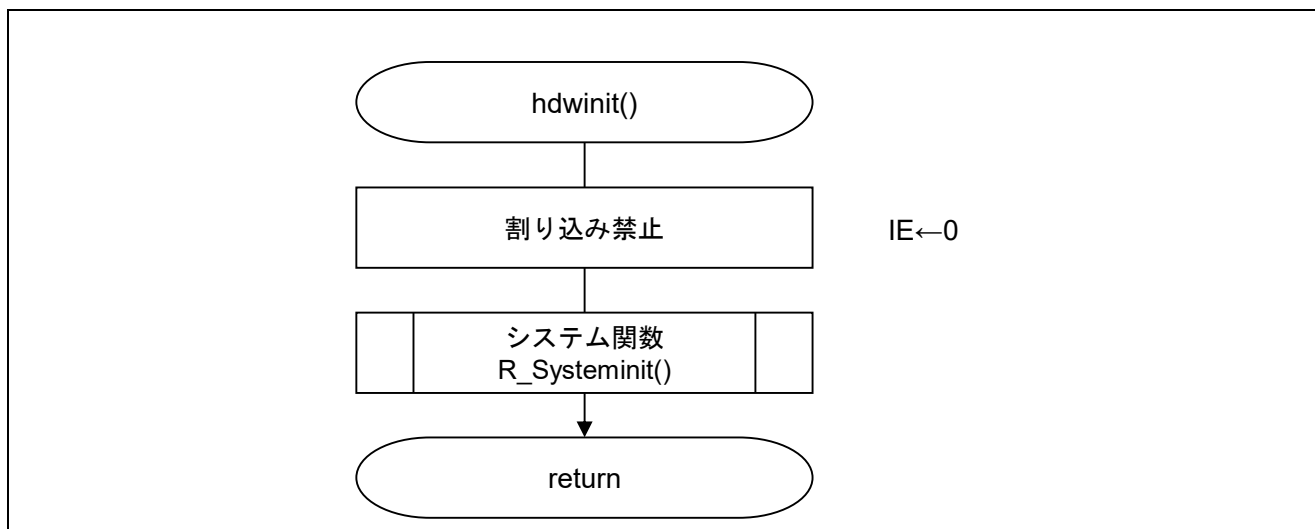


図 5.2 初期設定関数

5.5.2 システム関数

図 5.3 にシステム関数のフローチャートを示します。

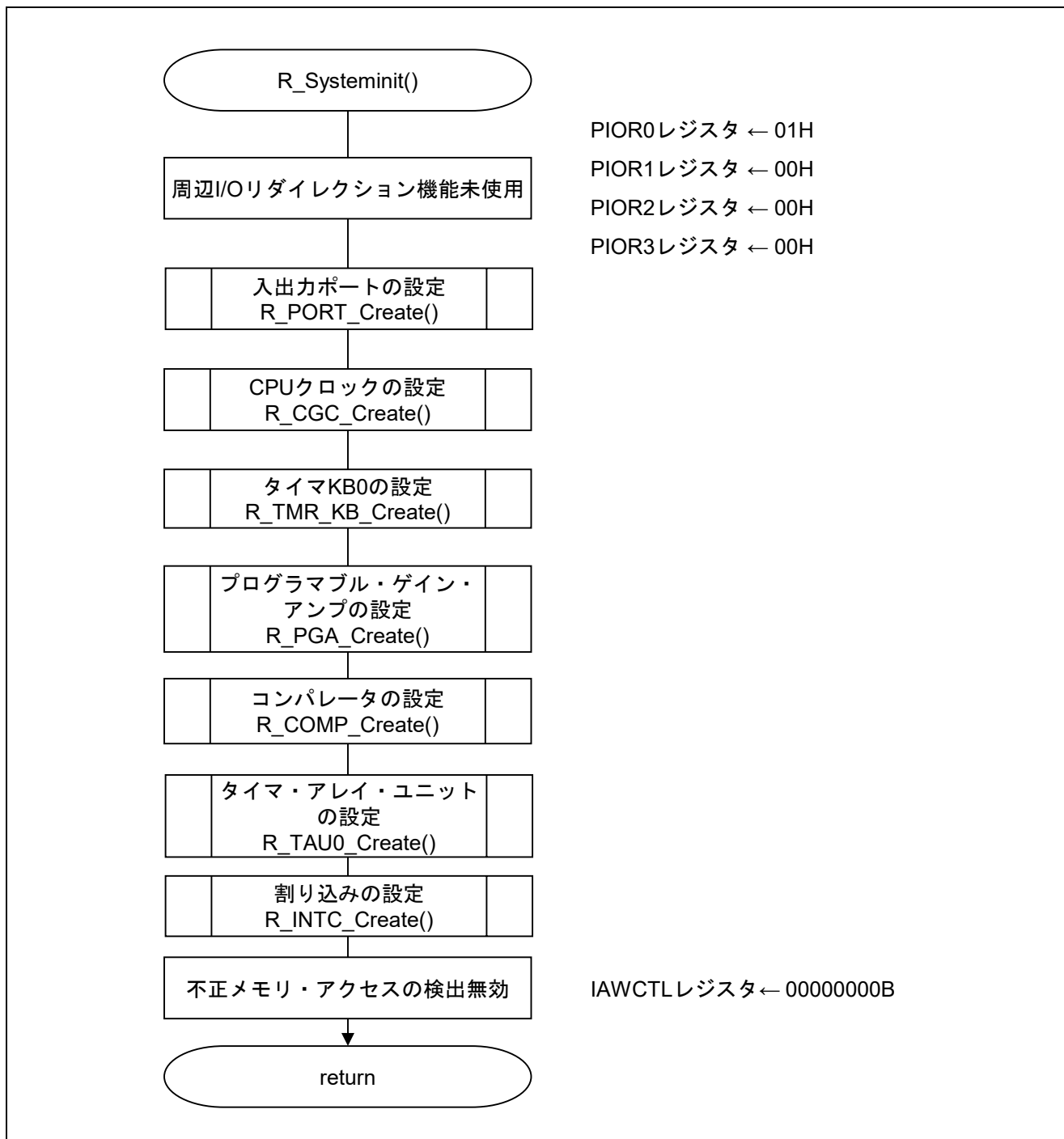


図 5.3 システム関数

5.5.3 入出力ポートの設定

図 5.4 に入出力ポートのフローチャートを示します。

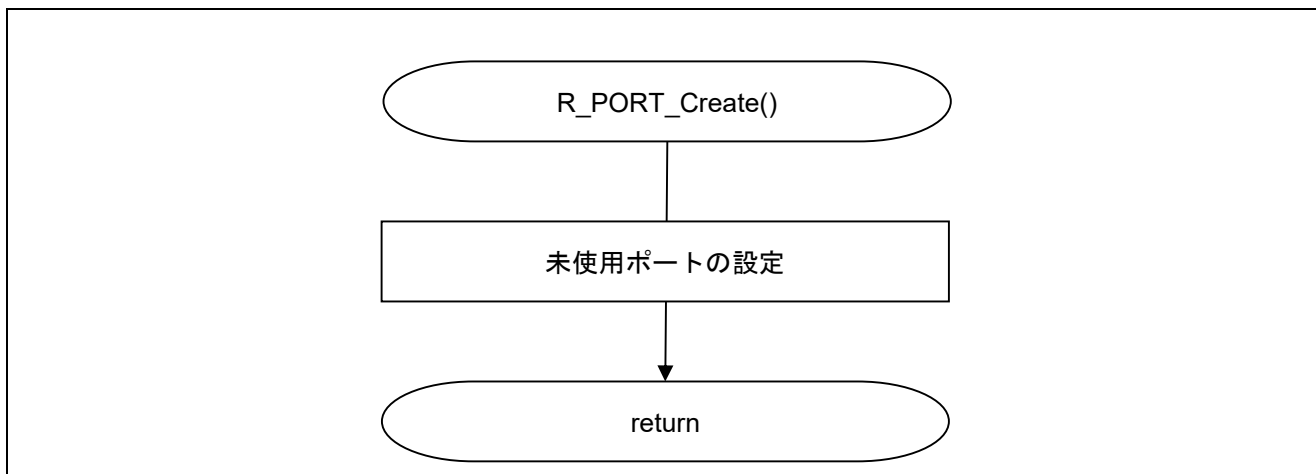


図 5.4 入出力ポートの設定

注 未使用ポートの設定については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照して下さい。

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい。

5.5.4 CPU クロックの設定

図 5.5 に CPU クロックの設定のフローチャートを示します。

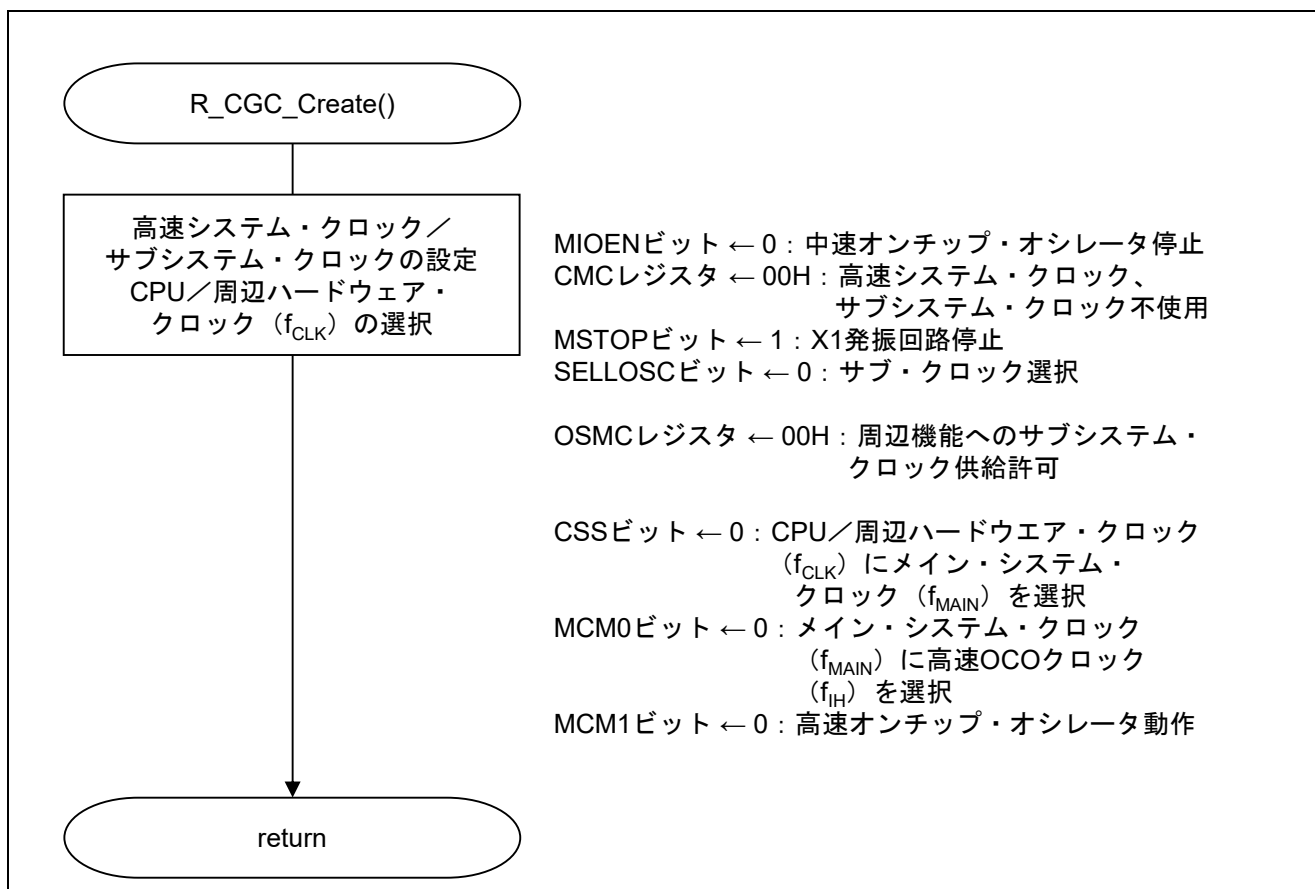


図 5.5 CPU クロックの設定

5.5.5 タイマ KB0 の設定

図 5.6 にタイマ KB0 の設定のフローチャートを示します。

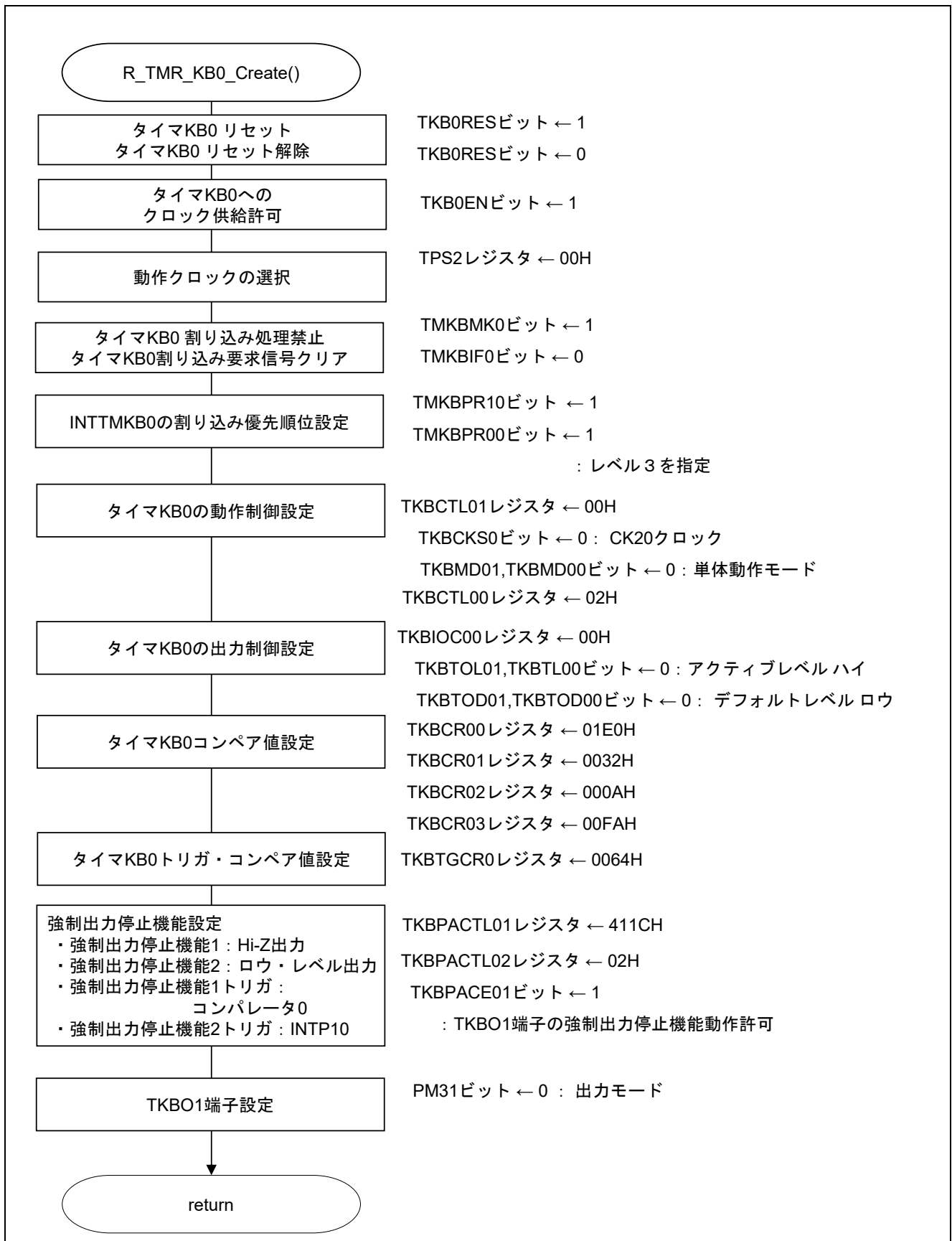


図 5.6 タイマ KB0 の設定

タイマ KB0 リセット制御

- ・周辺リセット制御・レジスタ 2 (PRR2)
タイマ KB0 のリセット制御を実施します
略号 : PRR2

	7	6	5	4	3	2	1	0
TMKARES	0	DOCRES	0	0	0	0	0	TKB0RES
x	0	x	0	0	0	0	0	1/0

ビット 0

TKB0RES	タイマ KB0 のリセット制御
0	タイマ KB0 のリセット解除
1	タイマ KB0 はリセット状態

タイマ KB0 へのクロック供給開始

- ・周辺イネーブル・レジスタ 2 (PER2)
タイマ KB0 へのクロック供給を開始します
略号 : PER2

	7	6	5	4	3	2	1	0
TMKAEN	0	DOCEN	0	0	0	0	0	TKB0EN
x	0	x	0	0	0	0	0	1

ビット 0

TKB0EN	タイマ KB0 の入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ KB0 動作クロックの設定

- ・タイマ・クロック選択レジスタ 2(TPS2)
タイマ KB0 動作クロックの選択

略号 : TPS2

7	6	5	4	3	2	1	0
0	TPS212	TPS211	TPS210	0	TPS202	TPS201	TPS200
0	0	0	0	0	0	0	0

ビット 2-0

TPS202	TPS201	TPS200	タイマ KB 動作クロック (CK20) の選択					
			f_{CLK}	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 5 \text{ MHz}$	$f_{CLK} = 10 \text{ MHz}$	$f_{CLK} = 20 \text{ MHz}$	$f_{CLK} = 24 \text{ MHz}$
0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	750 kHz
上記以外			設定禁止					

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ KBO 割り込みの設定

- ・割り込み要求フラグ・レジスタ(IF2L)
割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ(MK2L)
割り込み処理禁止

略号：IF2L

7	6	5	4	3	2	1	0
FLIF	IICAI1F1	TMKBIF0	ITIF01	ITIF00	DOCIF	CMPIF1	CMPIF0
x	x	0	x	x	x	x	x

ビット 5

TMKBIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号：MK2L

7	6	5	4	3	2	1	0
FLMK	IICAMK1	TMKBMK0	ITMK01	ITMK00	DOCMK	CMPMK1	CMPMK0
X	x	1	x	x	x	x	x

ビット 5

TMKBMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ KB 動作制御の設定

- ・ 16 ビット・タイマ KB 動作制御レジスタ 01(TKBCTL01)
- タイマ KB0 の動作制御
- タイマ KB0 のクロック選択
- タイマ KB0 の動作モードの選択

略号 : TKBCTL01

	7	6	5	4	3	2	1	0
TKBCE0	0	0	TKBCKS0	0	0	TKBMD01	TKBMD00	
	0	0	0	0	0	0	0	

ビット 7

TKBCE0	タイマ KB0 の動作制御
0	タイマ動作停止 (カウンタは FFFF)
1	タイマ動作許可

ビット 4

TKBCKS0	タイマ KB0 のクロック選択
0	TPS202-TPS200 ビットで選択した CK20 クロック
1	TPS212-TPS210 ビットで選択した CK21 クロック

ビット 1 - 0

TKBMD01	TKBMD00	タイマ KB0 の動作モードの選択
0	0	単体動作モード (マスタ使用)
1	1	インターリーブ PFC 出力モード
上記以外		設定禁止

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ KB0 出力制御の設定

- ・16ビット・タイマKB出力制御レジスタ00 (TKBIOC00)
- ・タイマ出力TKBO0のアクティブ・レベル設定
- ・タイマ出力TKBO2のデフォルト・レベル設定

略号 : TKBIOC00

7	6	5	4	3	2	1	0
0	0	0	0	TKBTOL01	TKBTOL00	TKBTOD01	TKBTOD00
0	0	0	0	0	0	0	0

ビット 3、2

TKBTOL0n	タイマ出力 TKBO _n のアクティブ・レベル設定 (n = 1,0)
0	ハイ・レベル
1	ロウ・レベル

ビット 1、0

TKBTOD0n	タイマ出力 TKBO _n のデフォルト・レベル設定 (n = 1,0)
0	ロウ・レベル
1	ハイ・レベル

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ KB0 強制出力停止機能制御の設定

- ・強制出力停止機能制御レジスタ00 (TKBPACTL01)
強制出力停止機能2の外部割り込みトリガ選択、コンパレータトリガ選択、動作モード選択
強制出力停止機能1のコンパレータトリガ選択、出力状態選択、解除条件選択
- ・強制出力停止機能制御レジスタ02 (TKBPACTL02)
トリガ信号の入力制御

略号 : TKBPACTL01

15	14	13	12	11	10	9	8
TKBPAFXS013	TKBPAFXS012	TKBPAFXS011	TKBPAFXS010	0	0	0	TKBPAFCM01
0	1	0	0	0	0	0	1

7	6	5	4	3	2	1	0
0	0	TKBPAHXS011	TKBPAHXS010	KBPAHCM011	KBPAHCM010	TKBPAMD 011	TKBPAMD 010
0	0	0	1	1	1	0	0

ビット15

TKBPAFXS013	強制出力停止機能2の外部割り込みトリガ選択
0	INTP11 をトリガとしない
1	INTP11 をトリガとする

ビット14

TKBPAFXS012	強制出力停止機能2の外部割り込みトリガ選択
0	INTP10 をトリガとしない
1	INTP10 をトリガとする

ビット13

TKBPAFXS011	強制出力停止機能2のコンパレータ・トリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする

ビット12

TKBPAFXS010	強制出力停止機能2のコンパレータ・トリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする

ビット8

TKBPAFCM01	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

略号 : TKBPACTL01

15	14	13	12	11	10	9	8
TKBPAFXS013	TKBPAFXS012	TKBPAFXS011	TKBPAFXS010	0	0	0	TKBPAFCM01
0	1	0	0	0	0	0	1

7	6	5	4	3	2	1	0
0	0	TKBPAHZS011	TKBPAHZS010	KBPAHCM011	KBPAHCM010	TKBPAMD 011	TKBPAMD 010
0	0	0	1	1	1	0	0

ビット 5

TKBPAHZS011	強制出力停止機能 1 のコンパレータトリガ選択
0	コンパレータ 1 をトリガとしない
1	コンパレータ 1 をトリガとする

ビット 4

TKBPAHZS010	強制出力停止機能 1 のコンパレータトリガ選択
0	コンパレータ 0 をトリガとしない
1	コンパレータ 0 をトリガとする

ビット 3、2

TKBPAHCM011	TKBPAHCM010	強制出力停止機能 1 の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT01) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注

注. 次のカウンタ同期を待たずにタイマKB を停止 (TKBCE0=0) した場合、次にタイマKB を動作 (TKBCE0 = 1) するまで強制出力停止機能を継続します。

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

略号 : TKBPACTL01

15	14	13	12	11	10	9	8
TKBPAFXS013	TKBPAFXS012	TKBPAFXS011	TKBPAFXS010	0	0	0	TKBPAFCM01
0	1	0	0	0	0	0	1

7	6	5	4	3	2	1	0
0	0	TKBPAHZS011	TKBPAHZS010	KBPAHCM011	KBPAHCM010	TKBPAMD 011	TKBPAMD 010
0	0	0	1	1	1	0	0

ビット 1、0

TKBPAMD011	TKBPAMD010	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能 1	強制出力停止機能 2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

略号 : TKBPACTL02

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TKBPAGE01	TTKBPAGE00
0	0	0	0	0	0	1	0

ビット 1, 0

TKBPAGE0n	TKBO0 の強制出力停止機能に使用するトリガ信号の入力制御
0	強制出力停止機能動作禁止
1	強制出力停止機能動作許可

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

5.5.6 プログラマブル・ゲイン・アンプの設定

図 5.7 にプログラマブル・ゲイン・アンプの設定のフローチャートを示します。

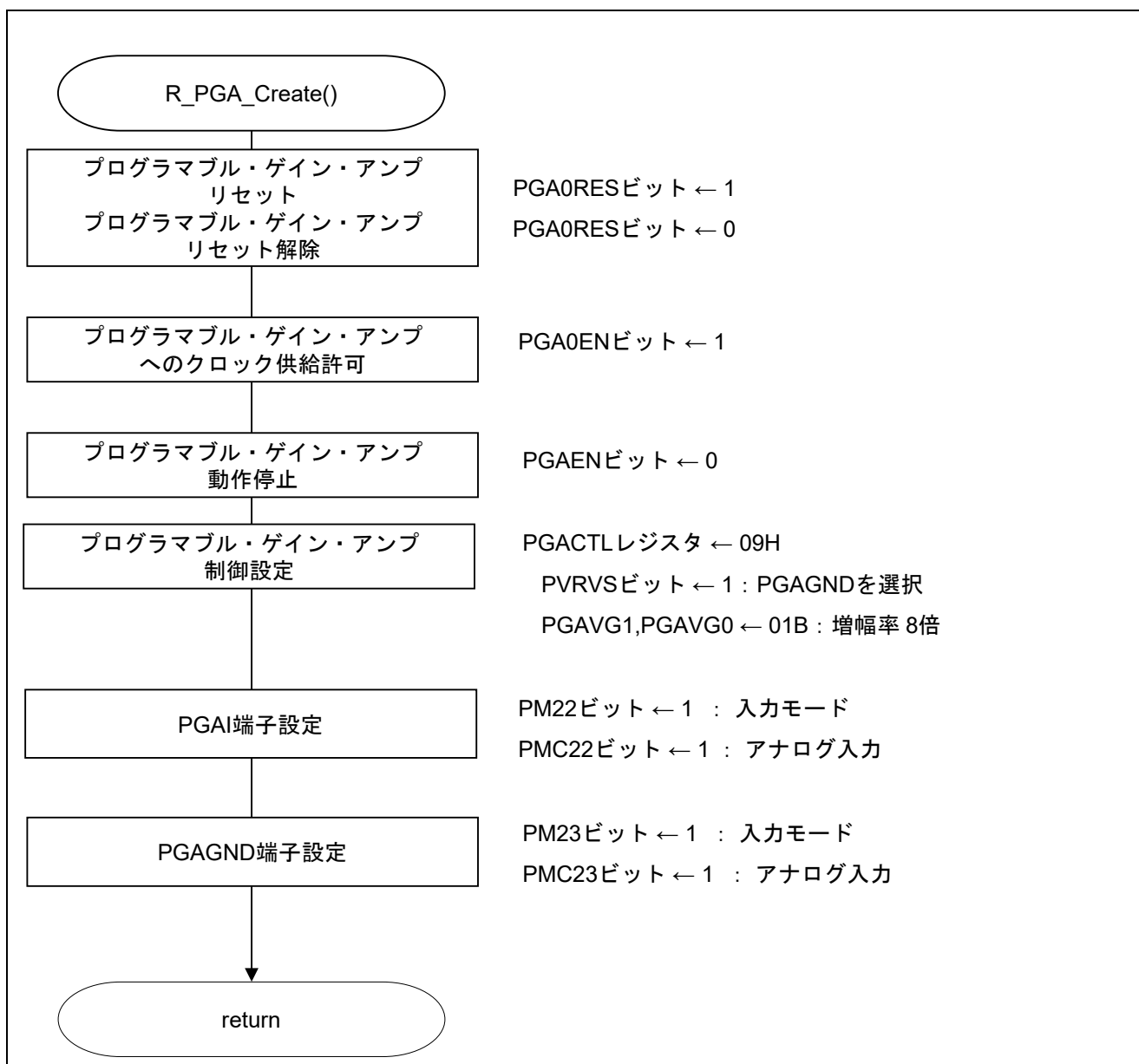


図 5.7 プログラマブル・ゲイン・アンプの設定

プログラマブル・ゲイン・アンプ リセット制御

- ・周辺リセット制御・レジスタ 1 (PRR1)

プログラマブル・ゲイン・アンプのリセット制御を実施します

略号 : PRR1

	7	6	5	4	3	2	1	0
DACRES	0		CMPRES	0	0	PGA0RES	0	0
	x	0	x	0	0	1/0	0	0

ビット 2

PGA0RES	PGA のリセット制御
0	PGA のリセット解除
1	PGA はリセット状態

プログラマブル・ゲイン・アンプへのクロック供給開

- ・周辺イネーブル・レジスタ 0 (PER1)

プログラマブル・ゲイン・アンプへのクロック供給を開始します

略号 : PER1

	7	6	5	4	3	2	1	0
FACEN	0		CMPEN	0	DTCEN	PGA0EN	0	0
	x	0	x	0	x	1	0	0

ビット 2

PGA0EN	プログラマブル・ゲイン・アンプの入カクロックの制御
0	<ul style="list-style-type: none"> ・プログラマブル・ゲイン・アンプで使用する SFR へのライト不可 ・プログラマブル・ゲイン・アンプは初期化されていません
1	<ul style="list-style-type: none"> ・プログラマブル・ゲイン・アンプで使用する SFR へのリード/ライト可

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

プログラマブル・ゲイン・アンプ 動作制御

- プログラマブル・ゲイン・アンプ制御レジスタ (PGACTL)
プログラマブル・ゲイン・アンプの動作許可/停止と増幅率を設定します

略号 : PGACTL

7	6	5	4	3	2	1	0
PGAEN	0	0	0	PVRVS	0	PGAVG1	PGAVG0
0	0	0	0	1	0	0	1

ビット 7

PGAEN	プログラマブル・ゲイン・アンプでの動作制御
0	プログラマブル・ゲイン・アンプ動作停止
1	プログラマブル・ゲイン・アンプ動作許可

ビット 3

PVRVS	プログラマブル・ゲイン・アンプのフィードバック抵抗の GND 選択
0	V _{SS} 選択
1	PGAGND 選択

ビット 1、0

PGAVG1	PGAVG0	プログラマブル・ゲイン・アンプの増幅率選択
0	0	4 倍
0	1	8 倍
1	0	16 倍
1	1	32 倍

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

5.5.7 コンパレータの設定

図 5.8 にコンパレータの設定のフローチャートを示します。

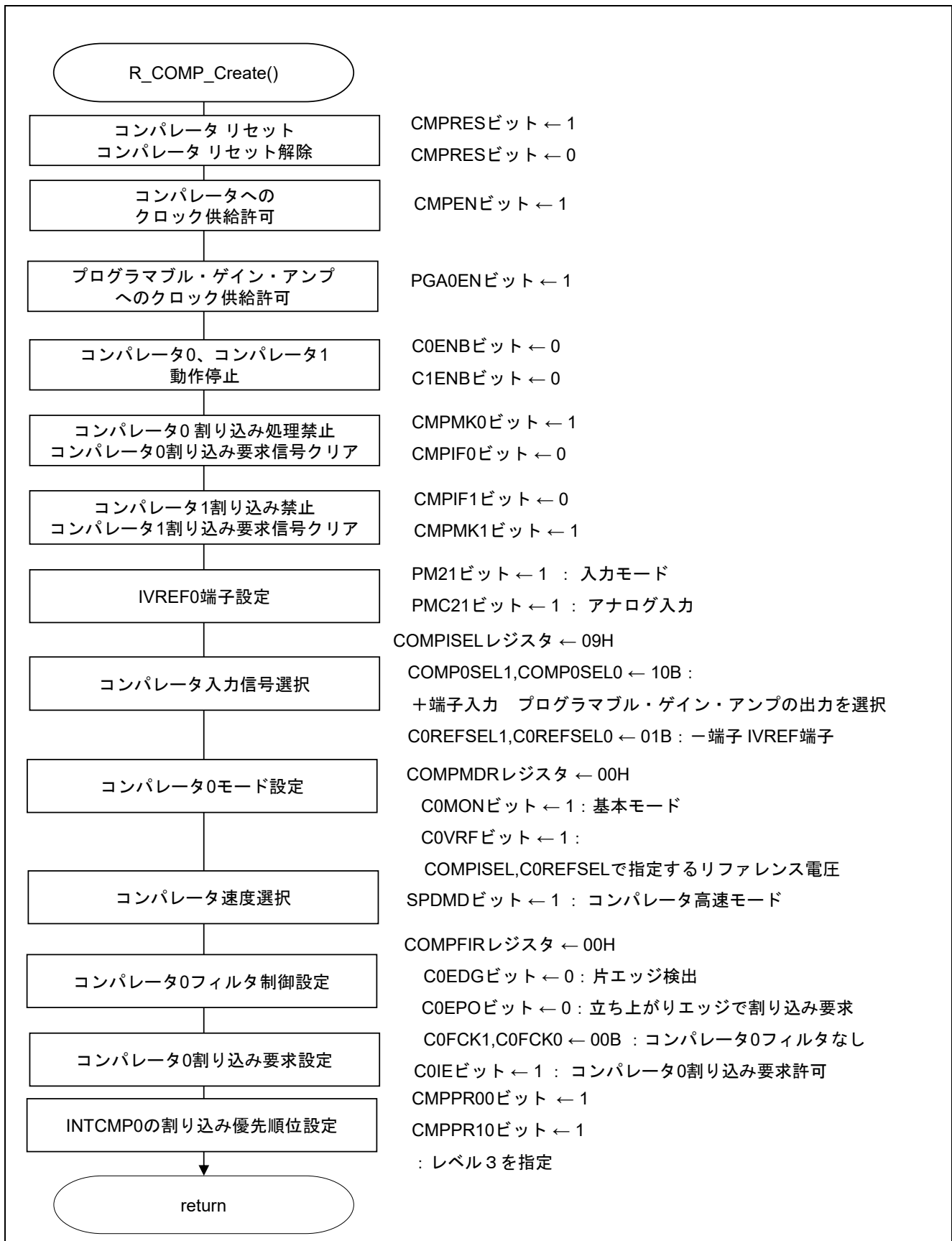


図 5.8 コンパレータの設定

コンパレータ リセット制御

- ・周辺リセット制御・レジスタ 1 (PRR1)
コンパレータのリセット制御を実施します
略号 : PRR1

	7	6	5	4	3	2	1	0
DACRES	0	CMPRES	0	0	0	PGA0RES	0	0
x	0	1/0	0	0	0	x	0	0

ビット 5

CMPRES	コンパレータのリセット制御
0	コンパレータのリセット解除
1	コンパレータはリセット状態

コンパレータへのクロック供給開始

- ・周辺イネーブル・レジスタ 1 (PER1)
コンパレータへのクロック供給を開始します
略号 : PER1

	7	6	5	4	3	2	1	0
DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0	0
x	0	1	0	x	x	0	0	0

ビット 5

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

コンパレータ 入力信号制御

- ・コンパレータ入力信号選択制御レジスタ (COMPISEL)
- コンパレータ 0 の + 端子と - 端子の入力信号を選択します
略号 : COMPISEL

7	6	5	4	3	2	1	0
0	0	0	0	COMP0SEL1	COMP9SEL0	C0REFSEL1	C0REFSEL0
0	0	0	0	1	0	0	1

ビット 3, 2

COMP0SEL1	COMP9SEL0	コンパレータ 0 の + 端子の入力信号選択
0	0	選択しない
0	1	IVCMP0 端子を選択
1	0	プログラマブル・ゲイン・アンプの出力を選択
1	1	設定禁止

ビット 1, 0

C0REFSEL1	C0REFSEL0	コンパレータ 0 の - 端子の入力信号選択
0	0	選択しない
0	1	IVREFP0 端子を選択
1	0	内蔵 D/A コンバータのチャンネル 0 の出力を選択
1	1	設定禁止

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

コンパレータ 0 のモード設定

- ・コンパレータモード設定レジスタ (COMPMDR)
コンパレータの動作許可/禁止を設定します
コンパレータのリファレンス電圧を選択します
コンパレータのモニタフラグを選択します

略号 : COMPMDR

7	6	5	4	3	2	1	0
C1MON	C1VRF	C1WDe	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
x	x	X	x	0	0	0	0

ビット 3

C0MON	コンパレータ 0 モニタフラグ
0	基本モード時 : IVCMP0 < コンパレータ 0 リファレンス電圧 ウィンドウモード時 : IVCMP0 < COMPISEL, C0REFSEL にて指定するリファレンス電圧、または、IVCMP0 > IVREF1
1	基本モード時 : IVCMP0 > コンパレータ 0 リファレンス電圧 ウィンドウモード時 : COMPISEL, C0REFSEL にて指定するリファレンス電圧 < IVCMP0 < IVREF1

ビット 2

C0VREF	コンパレータ 0 リファレンス電圧選択
0	コンパレータ 0 リファレンス電圧は COMPISEL, C0REFSEL にて指定するリファレンス電圧
1	コンパレータ 0 リファレンス電圧は BGRVREF

ビット 1

C0WDE	コンパレータ 0 ウィンドウモード選択
0	コンパレータ 0 基本モード
1	コンパレータ 0 ウィンドウモード

ビット 0

C0ENB	コンパレータ動作許可
0	コンパレータ 0 動作禁止
1	コンパレータ 0 動作許可

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

コンパレータ フィルタ制御

・コンパレータ フィルタ制御レジスタ (COMPFIR)

コンパレータ 0 のエッジ検出、エッジ極性、フィルタを選択します

略号 : COMPFIR

7	6	5	4	3	2	1	0
C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
0	0	0	0	0	0	0	0

ビット 3

C0EDG	コンパレータ 0 エッジ検出選択
0	コンパレータ 0 片エッジ検出での割り込み要求
1	コンパレータ 0 両エッジ検出での割り込み要求

ビット 2

C0EPO	コンパレータ 0 エッジ極性切り替え
0	コンパレータ 0 立ち上がりエッジで割り込み要求
1	コンパレータ 0 立ち上がりエッジで割り込み要求

ビット 1、0

C0FCK1	C0FCK0	コンパレータ 0 フィルタ選択
0	0	コンパレータ 0 フィルタなし
0	1	コンパレータ 0 フィルタあり、 f_{CLK} でサンプリング
1	0	コンパレータ 0 フィルタあり、 $f_{CLK}/8$ でサンプリング
1	1	コンパレータ 0 フィルタあり、 $f_{CLK}/32$ でサンプリング

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

5.5.8 タイマ・アレイ・ユニットの設定

図 5.9 にタイマ・アレイ・ユニットの設定のフローチャートを示します。

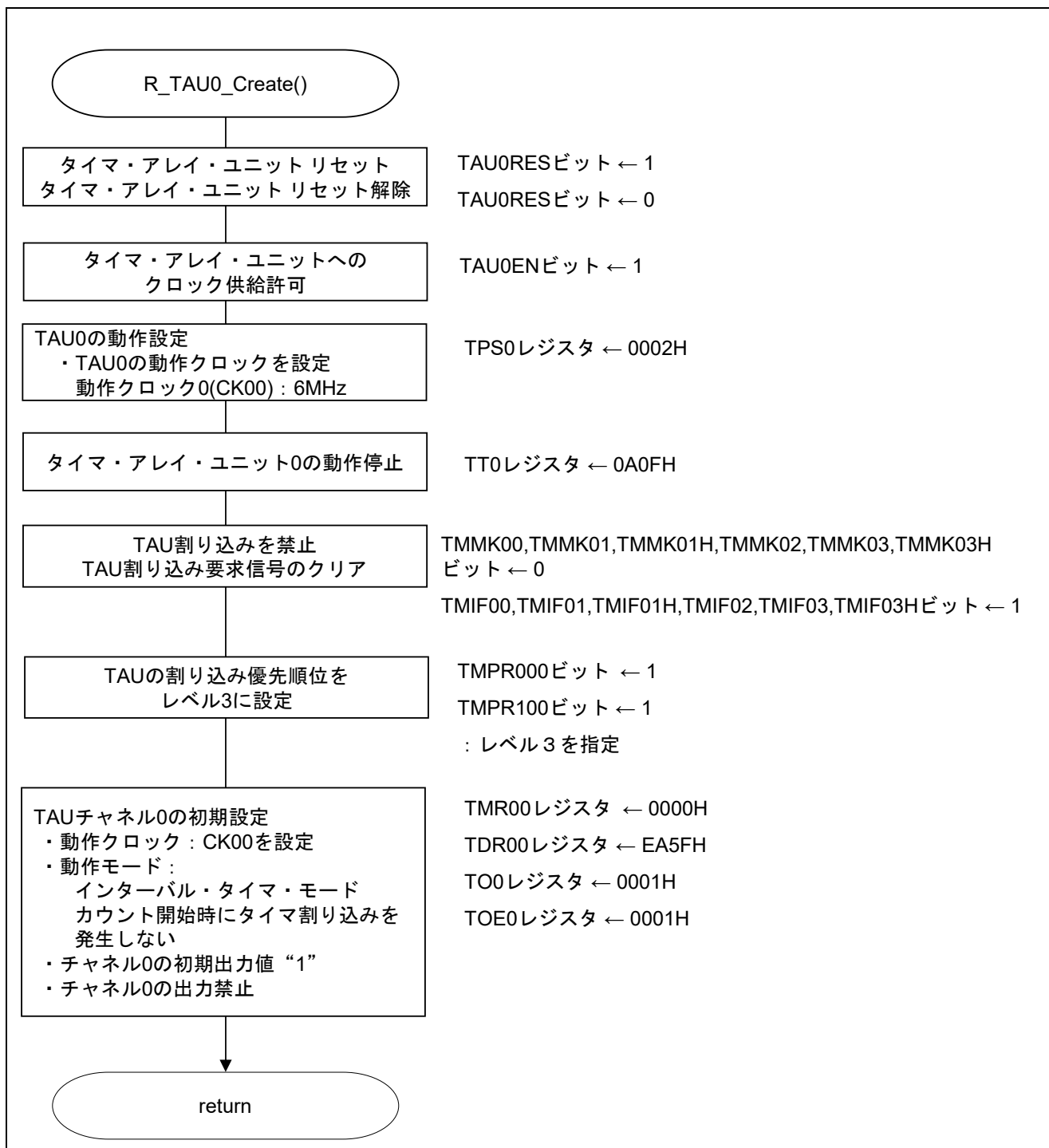


図 5.9 タイマ・アレイ・ユニットの設定

タイマ・アレイ・ユニット 0 リセット

- ・周辺リセット制御・レジスタ 0 (PRR0)
タイマ・アレイ・ユニット 0 のリセット制御を実施します
略号 : PRR0

7	6	5	4	3	2	1	0
0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES
0	x	x	x	0	x	0	1/0

ビット 0

TAU0RES	タイマ・アレイ・ユニット 0 のリセット制御
0	タイマ・アレイ・ユニット 0 のリセット解除
1	タイマ・アレイ・ユニット 0 はリセット状態

タイマ・アレイ・ユニット 0 へのクロック供給開始

- ・周辺イネーブル・レジスタ 0 (PER0)
タイマ・アレイ・ユニット 0 へのクロック供給を開始します
略号 : PER0

7	6	5	4	3	2	1	0
0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN
0	x	x	x	0	x	0	1

ビット 0

TAU0EN	タイマ・アレイ・ユニット 0 の入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

注意 レジスタ設定の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

タイマ・クロック周波数の設定

- ・タイマ・クロック選択レジスタ 0 (TPS0)
タイマ・アレイ・ユニット 0 の動作クロックを選択

略号 : TPS0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	PRSO 31	PRSO 30	0	0	PRSO 21	PRSO 20	PRSO 13	PRSO 12	PRSO 11	PRSO 10	PRSO 03	PRSO 02	PRSO 01	PRSO 00
0	0	x	x	0	0	x	x	x	x	x	x	0	0	1	0

ビット 3-0

PRS 003	PRS 002	PRS 001	PRS 000	動作クロック (CK00) の選択					
				f_{CLK}	$f_{CLK}=$ 2MHz	$f_{CLK}=$ 5MHz	$f_{CLK}=$ 10MHz	$f_{CLK}=$ 20MHz	$f_{CLK}=$ 24MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	313kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

チャンネル 0 の動作モードの設定

- ・タイマ・モード・レジスタ 00 (TMR00)
- 動作クロック (f_{MCK}) の選択
- カウント・クロックの選択
- ソフトウェア・トリガ・スタート
- 動作モード設定

略号 : TMR01

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS001	CKS000	0	CCS00	0	STS002	STS001	STS000	CIS001	CIS000	0	0	MD003	MD002	MD001	MD000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 15 - 14

CKS001	CKS000	チャンネル 0 の動作クロック (f_{MCK}) の選択
0	0	タイマ・クロック選択レジスタ 0 (TPS0) で設定した動作クロック CK00
0	1	タイマ・クロック選択レジスタ 0 (TPS0) で設定した動作クロック CK02
1	0	タイマ・クロック選択レジスタ 0 (TPS0) で設定した動作クロック CK01
1	1	タイマ・クロック選択レジスタ 0 (TPS0) で設定した動作クロック CK03

ビット 12

CCS00	チャンネル 0 のカウント・クロック (f_{CLK}) の選択
0	CKS000、CKS001 ビットで指定した動作クロック (f_{MCK})
1	TI00 端子からの入力信号の有効エッジ

ビット 11

SPLIT00	チャンネル 0 の 8 ビット・タイマ / 16 ビット・タイマ動作の選択
0	16 ビット・タイマとして動作 (単独チャンネル動作機能、または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8 ビット・タイマとして動作

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

略号 : TMR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	0	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット10-8

STS002	STS001	STS000	チャンネル0のスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TI00 端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	TI00 端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

ビット7-6

CIS001	CIS000	TI00 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がリエッジ、キャプチャ・トリガ：立ち上がリエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がリエッジ、キャプチャ・トリガ：立ち下がリエッジ

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

略号 : TMR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS 001	CKS 000	0	CCS 00	0	STS 002	STS 001	STS 000	CIS 001	CIS 000	0	0	MD 003	MD 002	MD 001	MD 000
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 3-0

MD 003	MD 002	MD 001	MD 000	チャンネル 0 の動作 モードの設定	対応する機能	TCR のカウント動作
0	0	0	1/0	インターバル・タイ マ・モード	インターバル・タイマ/方形波出力/ 分周器機能/PWM 出力 (マスタ)	ダウン・カウント
0	1	0	1/0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	0	イベント・カウン タ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	1/0	ワンカウント・モー ド	ディレイ・カウンタ/ワンショット・ パルス出力/PWM 出力 (スレーブ)	ダウン・カウント
1	1	0	0	キャプチャ&ワン カウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウント
上記以外				設定禁止		

MD000 ビットの動作は、各動作モードによって変わります (下表を参照)。

動作モード (MD003-MD001 で設定 (上表参照))	MD000	TCR のカウント動作
・インターバル・タイマ・モード (0、0、0) ・キャプチャ・モード (0、1、0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0、1、1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード (1、0、0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1、1、0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

インターバル・タイマの周期設定

- ・タイマ・データ・レジスタ 00 (TDR00)
インターバル・タイマのコンペア値を設定

略号 : TDR00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

タイマ割り込み (INTTM00) の発生 = (TDR00 の設定値+1) × カウント・クロック周期

タイマ出力設定

- ・タイマ出力のバッファ・レジスタ 0 (TO0)
各チャンネルのタイマ出力許可/禁止の値設定

略号 : TO0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット 1

TO01	チャンネル 1 のタイマ出力
0	タイマ出力値が"0"
1	タイマ出力値が"1"

タイマ出力許可設定

- ・タイマ出力許可レジスタ 0 (TOE0)
各チャンネルのタイマ出力許可/禁止の値設定

略号 : TOE0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	TOE02	TOE01	TOE00
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット 1

TOE01	チャンネル 0 のタイマ出力許可/禁止
0	タイマの出力を禁止 タイマ動作を TM01 ビットに反映せず、出力を固定します。 TO01 ビットへの書き込みが可能となり、TO01 ビットに設定したレベルが TO01 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TO01 ビットに反映し、出力波形を生成します。 TO01 ビットへの書き込みは無視されます。

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

5.5.9 割り込みの設定

図 5.10 に割り込みの初期設定のフローチャートを示します、

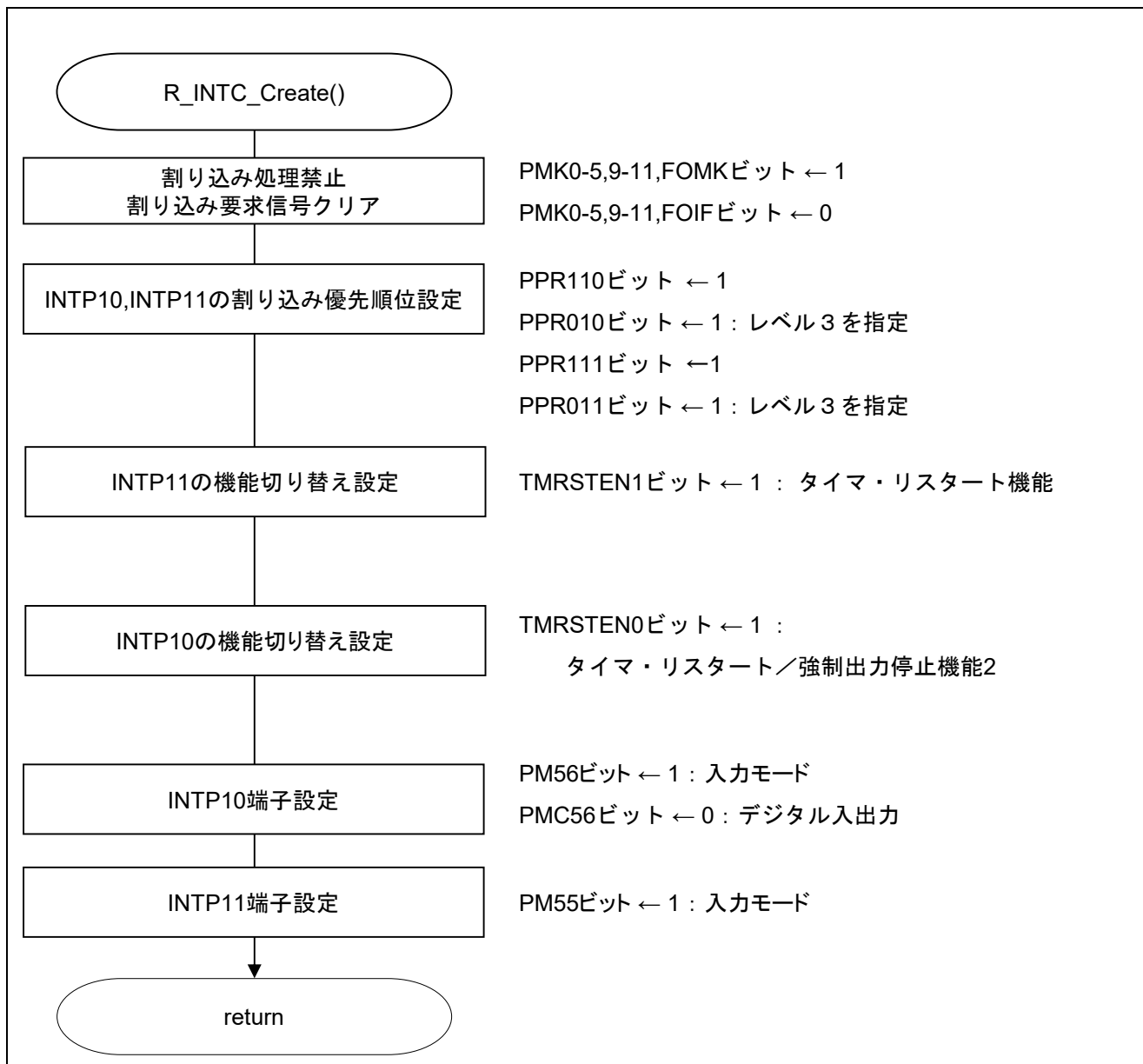


図 5.10 割り込みの設定

割り込み機能の切り替え設定

- ・周辺機能切り替えレジスタ 0 (PFSEL0)

周辺機能の入出力を設定します

略号 : PFSEL0

7	6	5	4	3	2	1	0
CTRGSEL1	CTRGSEL0	INTPINV1	INTPINV0	PNFEN1	PNFEN0	TMRSTEN1	TMRSTEN0
0	0	0	0	0	0	1	1

ビット 5、4

INTPINVn	INTP1n 信号の反転設定
0	INTP11 信号を反転しない
1	INTP11 信号を反転する

ビット 3、2

PNFENn	外部割り込み INTP1n のノイズ・フィルタ設定
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ビット 1

TMRSTEN1	外部割り込み INTP11 の切り替え
0	外部割り込み機能を選択 (STOP モード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート機能を選択 (STOP モード解除不可、タイマ・リスタート可)

ビット 0

TMRSTEN0	外部割り込み INTP10 の切り替え
0	外部割り込み機能を選択 (STOP モード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート/強制出力停止機能 2 を選択 (STOP モード解除不可、タイマ・リスタート可)

注意 レジスタ設定方法の詳細については、RL78/G11 ユーザーズマニュアル ハードウェア編を参照してください。

5.5.10 メイン関数

図 5.11 にメイン関数のフローチャートを示します。

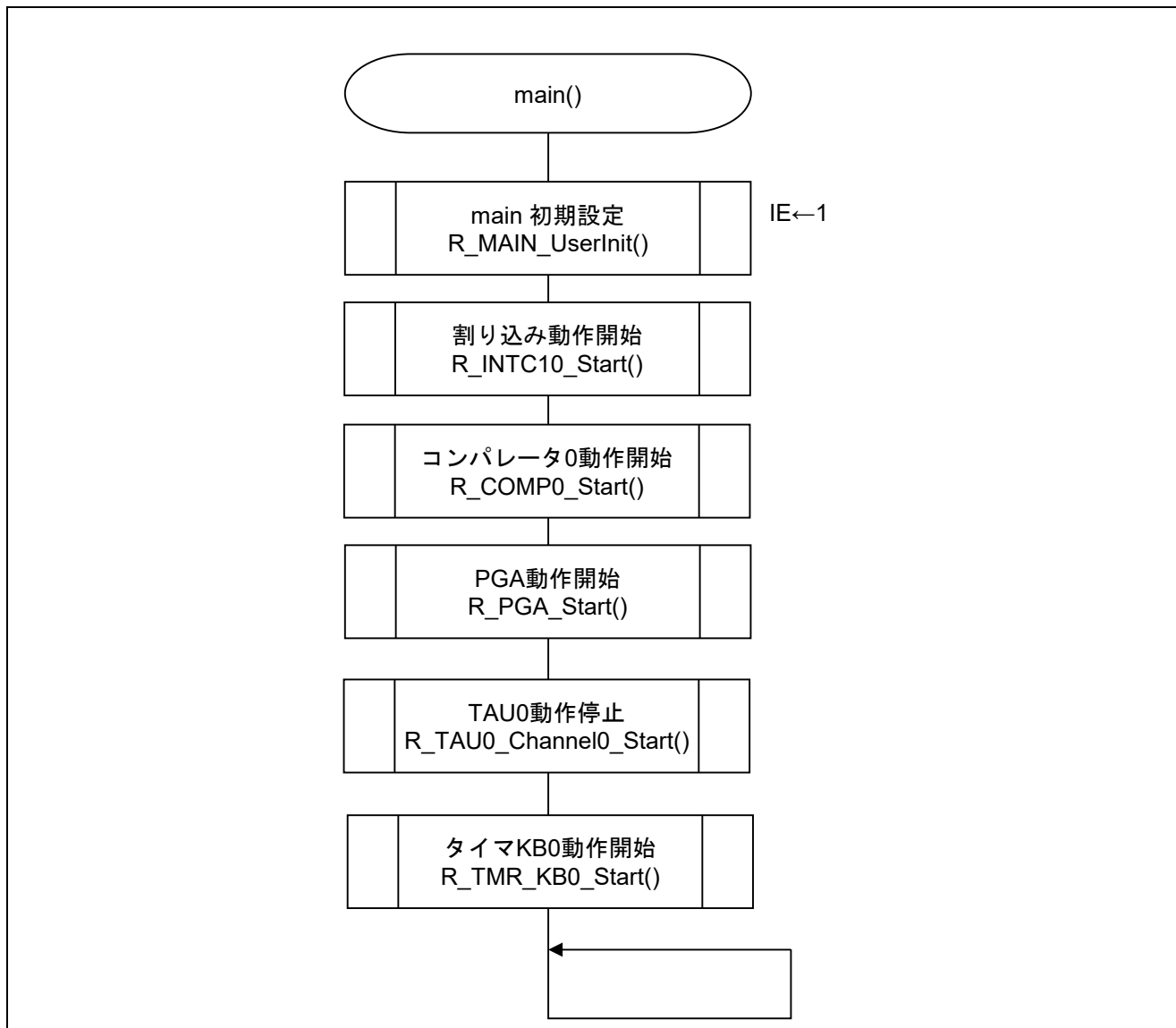


図 5.11 メイン関数

5.5.11 メイン初期設定

図 5.12 に メイン初期設定のフローチャートを示します。

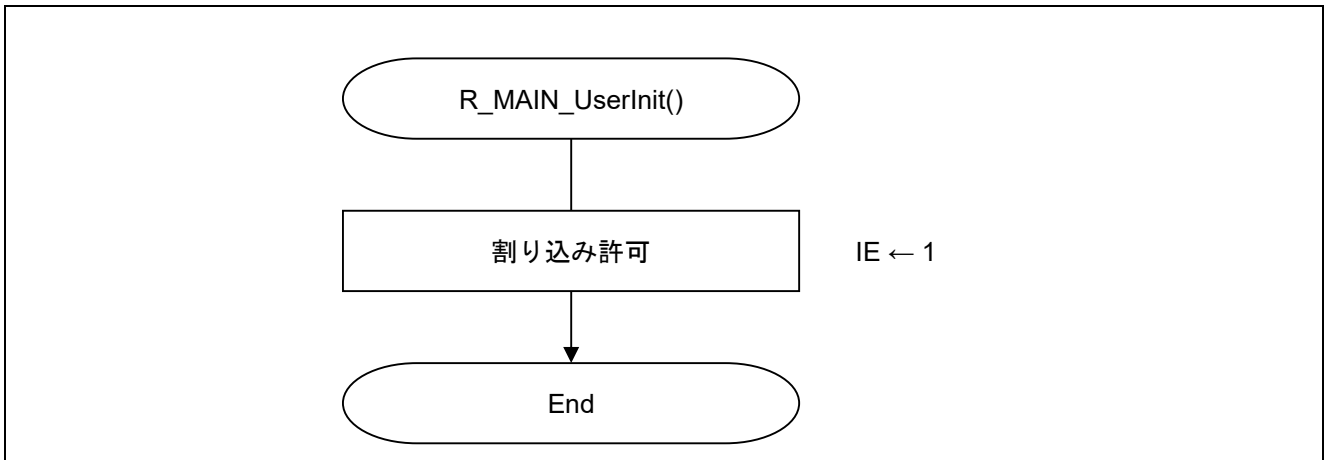


図 5.12 メイン初期設定

5.5.12 コンパレータ動作開始処理関数

図 5.13 に コンパレータ動作開始処理関数のフローチャートを示します。

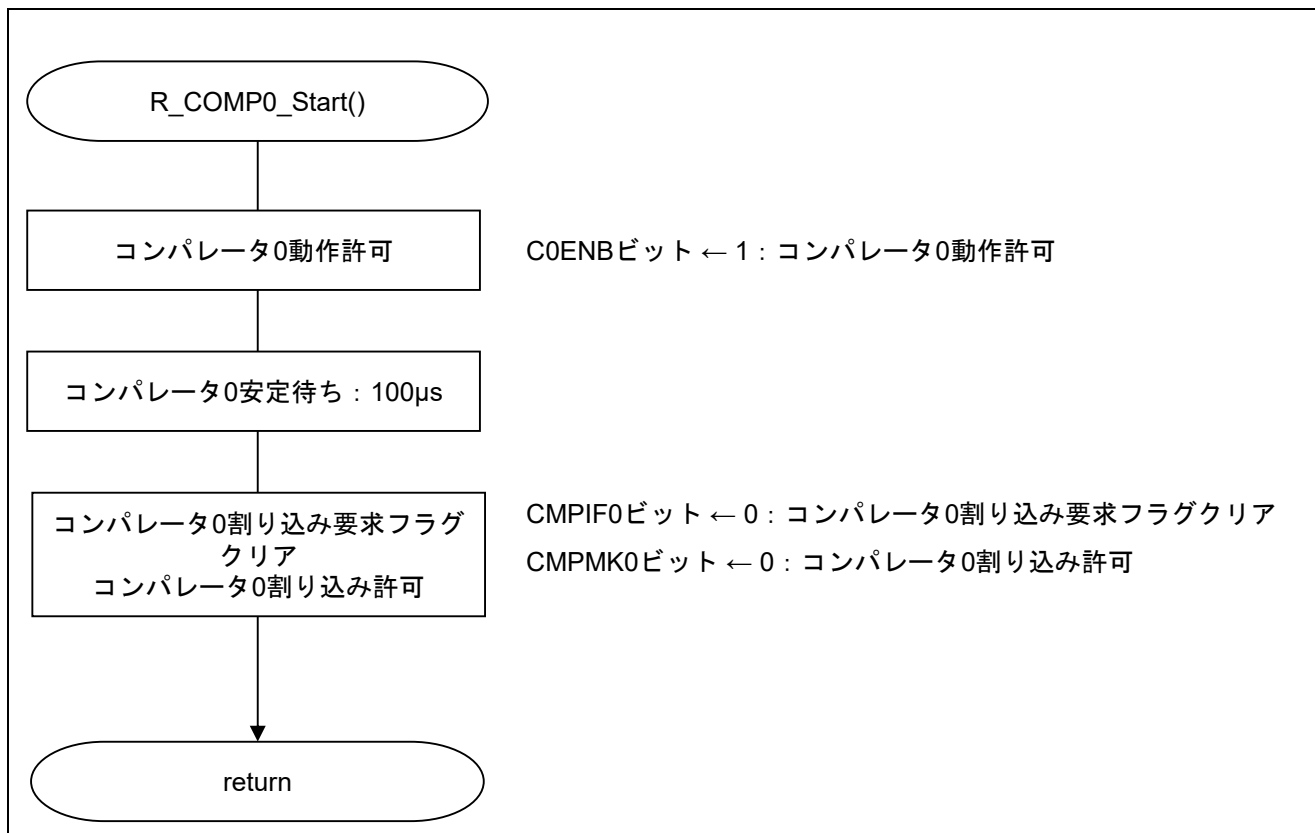


図 5.13 コンパレータ動作開始処理関数

5.5.13 プログラマブル・ゲイン・アンプ動作開始処理関数

図 5.14 に プログラマブル・ゲイン・アンプ動作開始処理関数のフローチャートを示します。

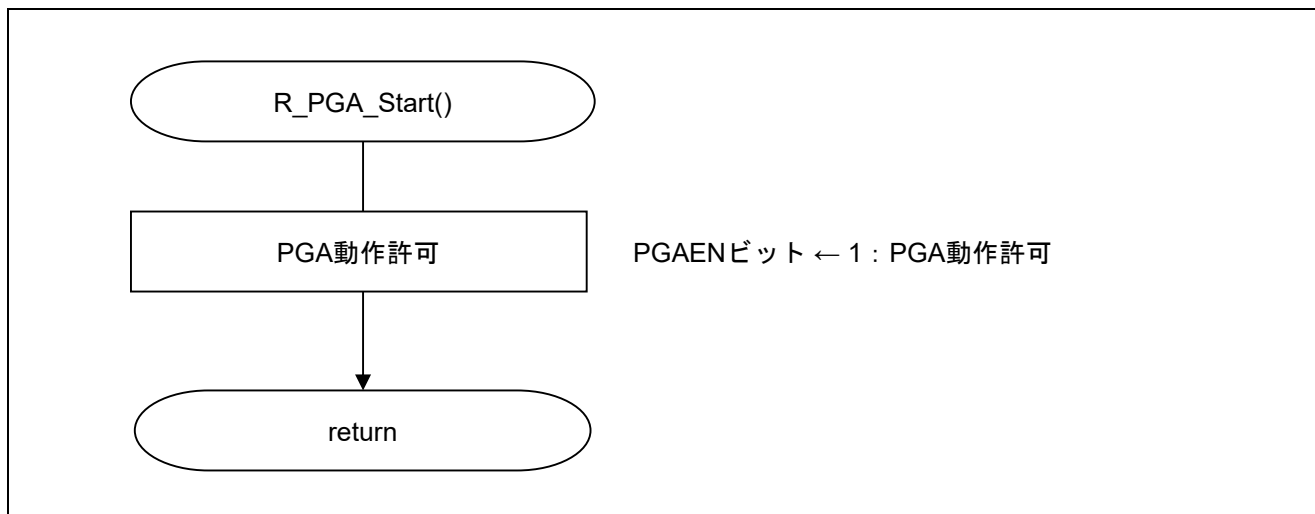


図 5.14 プログラマブル・ゲイン・アンプ動作開始処理関数

5.5.14 タイマ・アレイ・ユニット 0 動作開始処理関数

図 5.15 にタイマ・アレイ・ユニット 0 動作開始処理関数のフローチャートを示します。

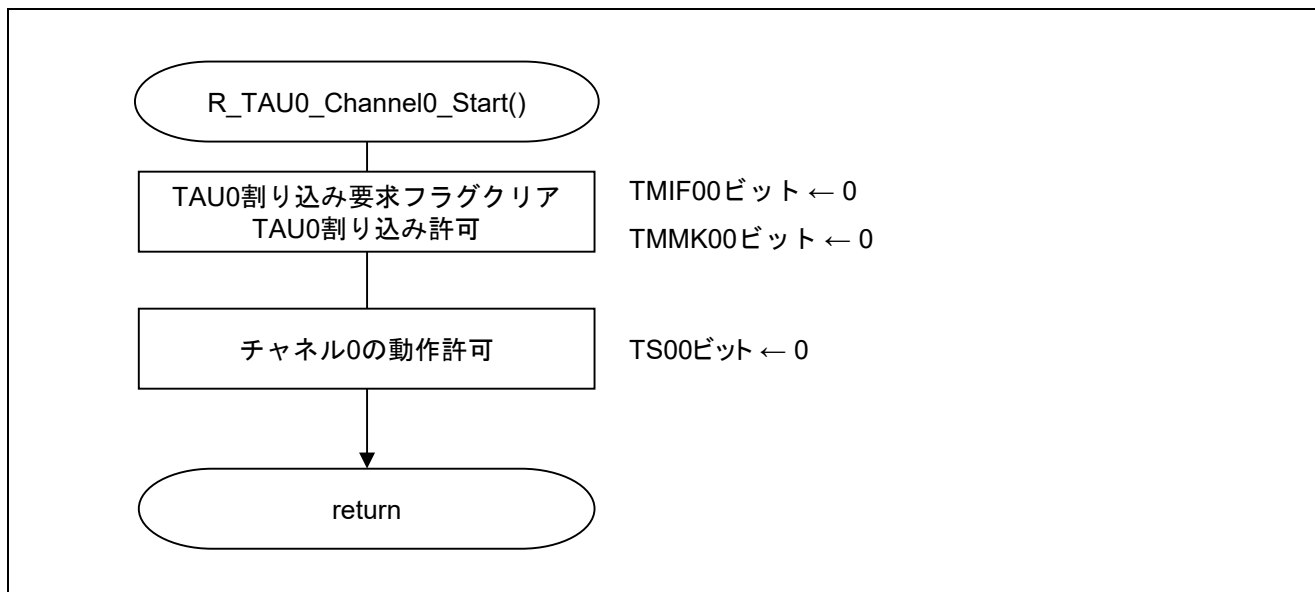


図 5.15 タイマ・アレイ・ユニット動作開始処理関数

5.5.15 16 ビット・タイマ KB0 開始処理関数

図 5.16 に 16 ビット・タイマ KB0 開始処理関数のフローチャートを示します。

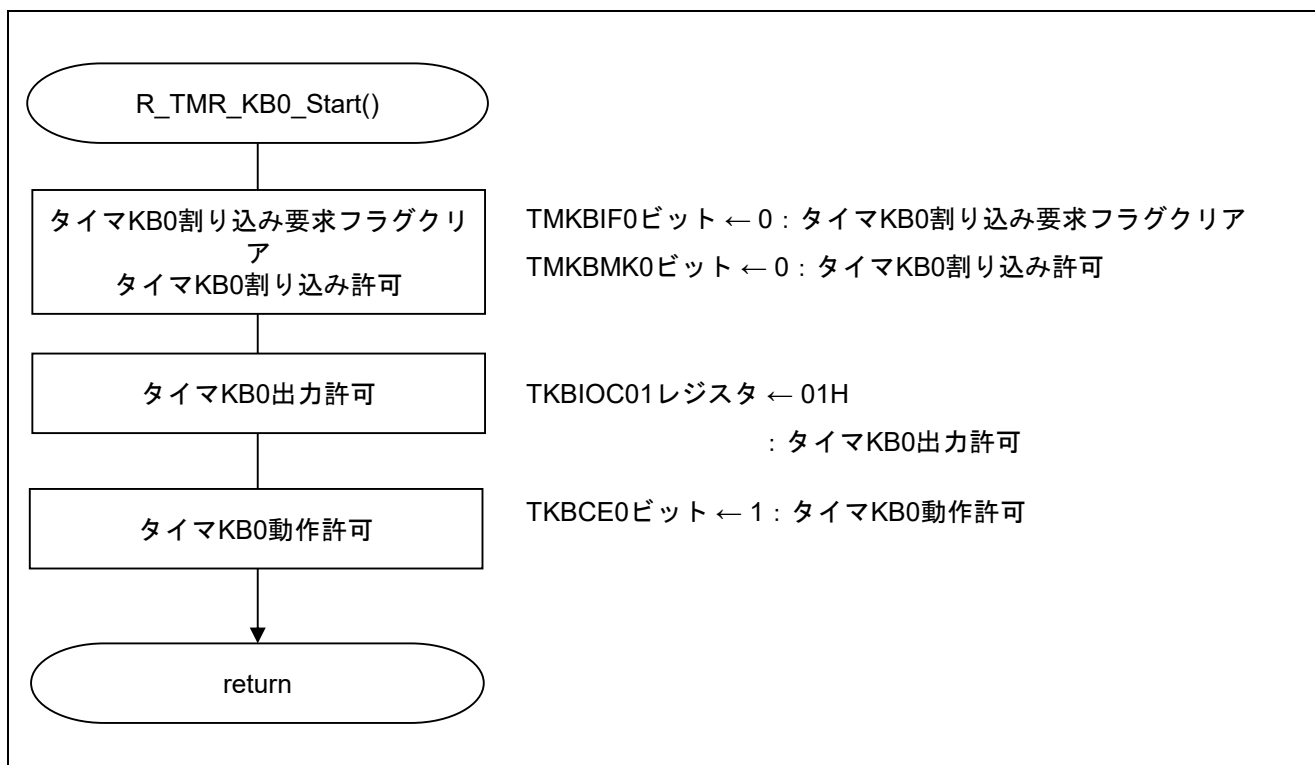


図 5.16 16 ビット・タイマ KB0 開始処理関数

5.5.16 外部割り込み動作開始処理関数

図 5.17 に外部割り込み動作開始処理関数のフローチャートを示します。

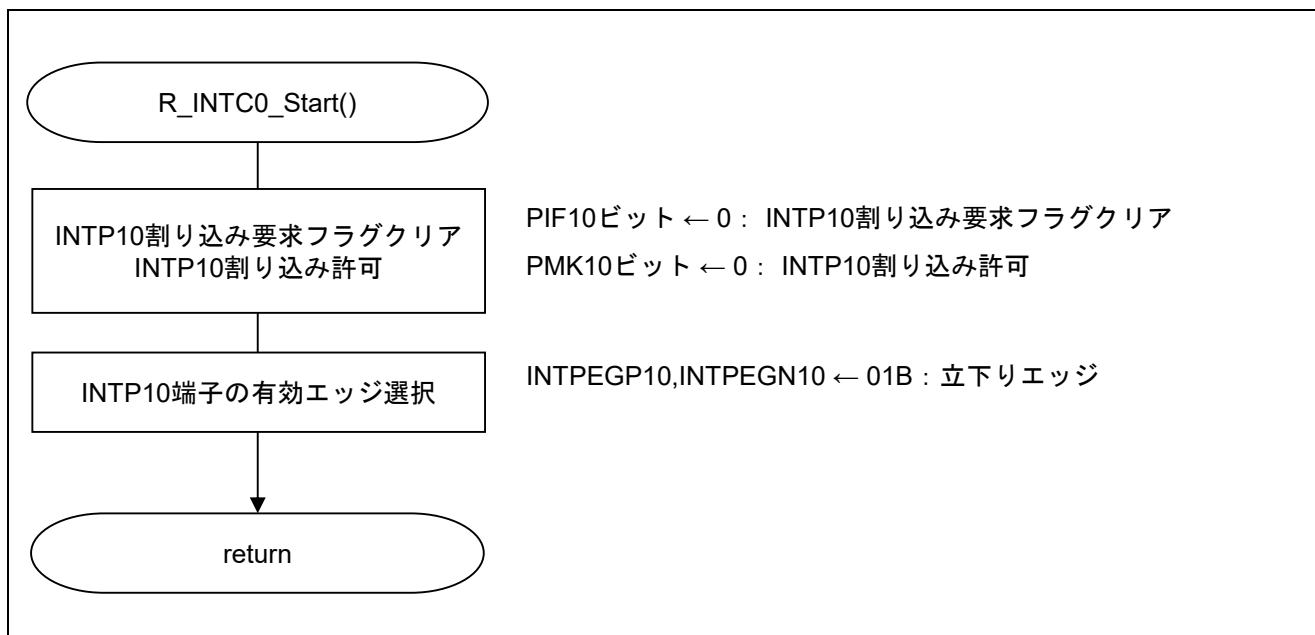


図 5.17 外部割り込み動作開始処理関数

6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

RL78/G11 ユーザーズマニュアル ハードウェア編 (R01UH0637J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

改訂記録	<p style="text-align: center;">RL78/G11 コンパレータ、外部割り込みによる PWM 強制出力停止 CC-RL</p>
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.01.31	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
- 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
- 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
- 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
- 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
- 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
- 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
- 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
- お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
- 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>