

R8C/27 グループ タイマRC (PWM2モード)

R01AN1273JJ0110
Rev.1.10
2012.06.01

1. 要約

この資料はR8C/27グループのタイマRC (PWM2モード) の設定方法例、及び応用例について説明しています。

2. はじめに

この資料で説明する応用例は次のマイコン、条件での利用に適用されます。

- マイコン : R8C/27グループ

R8C/27グループと同様のSFR (周辺機能レジスタ) を持つ他のR8C/Tinyシリーズでも本プログラムを使用することができます。ただし、一部の機能を機能追加等に変更している場合がありますのでマニュアルで確認してください。このアプリケーションノート使用に際しては十分な評価を行ってください。

発振安定待ちに関する注意事項

4.2.1章において、高速オンチップオシレータの発振を開始させた後、発振安定時間を待ってから、高速オンチップオシレータを選択してください。

3. 応用例の説明

3.1 タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

タイマRCの動作クロックは、f1またはfOCO40Mです。表 3.1にタイマRCの動作クロックを示します。

表 3.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2 ~ TCK0ビットが“000b” ~ “101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2 ~ TCK0ビットが“110b”)	fOCO40M

表 3.2にタイマRCの入出力端子を、図 3.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウエイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

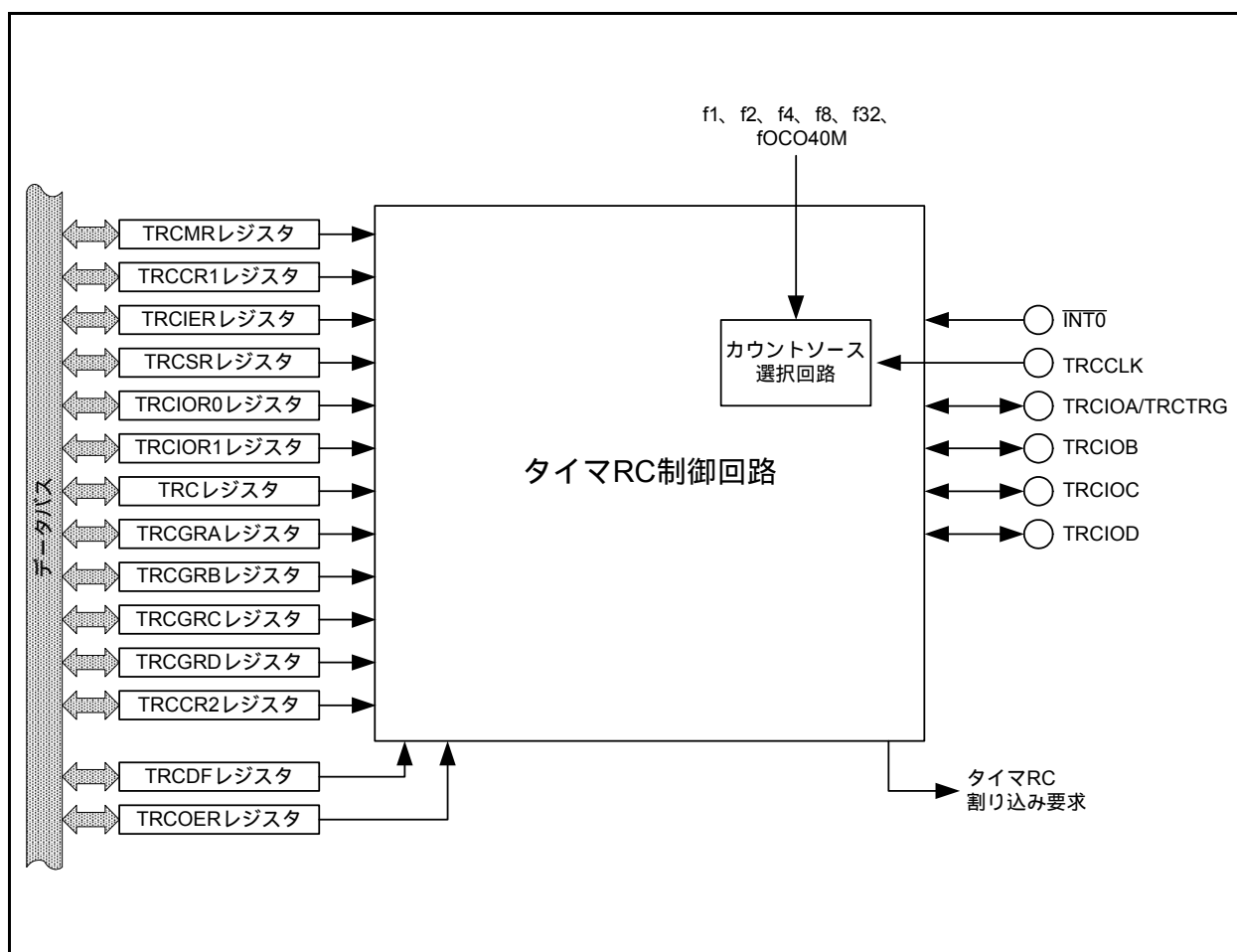


図 3.1 タイマRCのブロック図

表 3.2 タイマRCの入出力端子

端子名	入出力	機能
TRCIOA(P1_1) TRCIOB(P1_2) TRCIOC(P5_3またはP3_4)(注1) TRCIOD(P5_4またはP3_5)(注1)	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCLK(P3_3)	入力	外部クロック入力
TRCTR(P1_1)	入力	PWM2モードの外部トリガ入力

注1. TRCIOC、TRCIODは端子を選択できます。詳細は「R8C/27グループハードウェアマニュアル」のPINSR3レジスタのTRCIOSELビット、TRCIODSELビットを参照してください。

3.2 タイマRC関連レジスタ

表 3.3 にタイマRC関連レジスタ一覧を示します。図 3.2 ~ 図 3.11 にタイマRC関連レジスタを示します。

表 3.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先					
		タイマ		PWM	PWM2						
		インプット キャプチャ 機能	アウトプット コンペア機能								
0120h	TRCMR	有効	有効	有効	有効	タイマRCモードレジスタ 図 3.2 TRCMR レジスタ					
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 図 3.3 TRCCR1 レジスタ 図 3.16 PWM2モード時のTRCCR1レジスタ					
0122h	TRCIER	有効	有効	有効	有効	タイマRC割り込み許可レジスタ 図 3.4 TRCIER レジスタ					
0123h	TRCSR	有効	有効	有効	有効	タイマRCステータスレジスタ 図 3.5 TRCSR レジスタ					
0124h	TRCIOR0	有効	有効	-	-	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 図 3.11 TRCIOR0、TRCIOR1 レジスタ					
0125h	TRCIOR1										
0126h 0127h	TRC	有効	有効	有効	有効	タイマRCカウンタ 図 3.6 TRC レジスタ					
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	タイマRCジェネラルレジスタA、B、C、D 図 3.7 TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタ					
0130h	TRCCR2						-	-	-	有効	タイマRC制御レジスタ2 図 3.8 TRCCR2 レジスタ
0131h	TRCDF						有効	-	-	有効	タイマRCデジタルフィルタ機能選択レジスタ 図 3.9 TRCDF レジスタ
0132h	TRCOER						-	有効	有効	有効	タイマRCアウトプットマスタ許可レジスタ 図 3.10 TRCOER レジスタ

- : 無効

タイマRCモードレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRCMR	0120h番地	01001000b	
ビット シンボル	ビット名	機能	RW
PWMB	TRCIOB PWMモード選択ビット (注2)	0: タイマモード 1: PWMモード	RW
PWMC	TRCIOC PWMモード選択ビット (注2)	0: タイマモード 1: PWMモード	RW
PWMD	TRCIOD PWMモード選択ビット (注2)	0: タイマモード 1: PWMモード	RW
PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	RW
BFC	TRCGRCレジスタ機能選択ビット (注3)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	RW
BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	RW
- (b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	RW

注1. PWM2モード時の注意事項は「R8C/27グループハードウェアマニュアル」を参照してください。
 注2. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。
 注3. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

図 3.2 TRCMR レジスタ

タイマRC制御レジスタ1

シンボル		アドレス	リセット後の値	
TRCCR1		0121h番地	00h	
ビットシンボル	ビット名	機能	RW	
TOA	TRCIOA出力レベル選択ビット (注1)	動作モード(機能)によって機能が異なる (注2)	RW	
TOB	TRCIOB出力レベル選択ビット (注1)		RW	
TOC	TRCIOC出力レベル選択ビット (注1)		RW	
TOD	TRCIOD出力レベル選択ビット (注1)		RW	
TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32	RW	
TCK1		1 0 1 : TRCCLK入力の立ち上がりエッジ	RW	
TCK2		1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW	
CCLR	TRCカウンタクリア選択ビット (注2、3)	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア	RW	

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
 注2. タイマモードのインプットキャプチャ機能では、CCLR、TOA、TOB、TOC、TODビットは無効です。
 注3. タイマモードのインプットキャプチャ機能では、CCLRビットの内容に関係なくフリーランニング動作します。

図 3.3 TRCCR1レジスタ

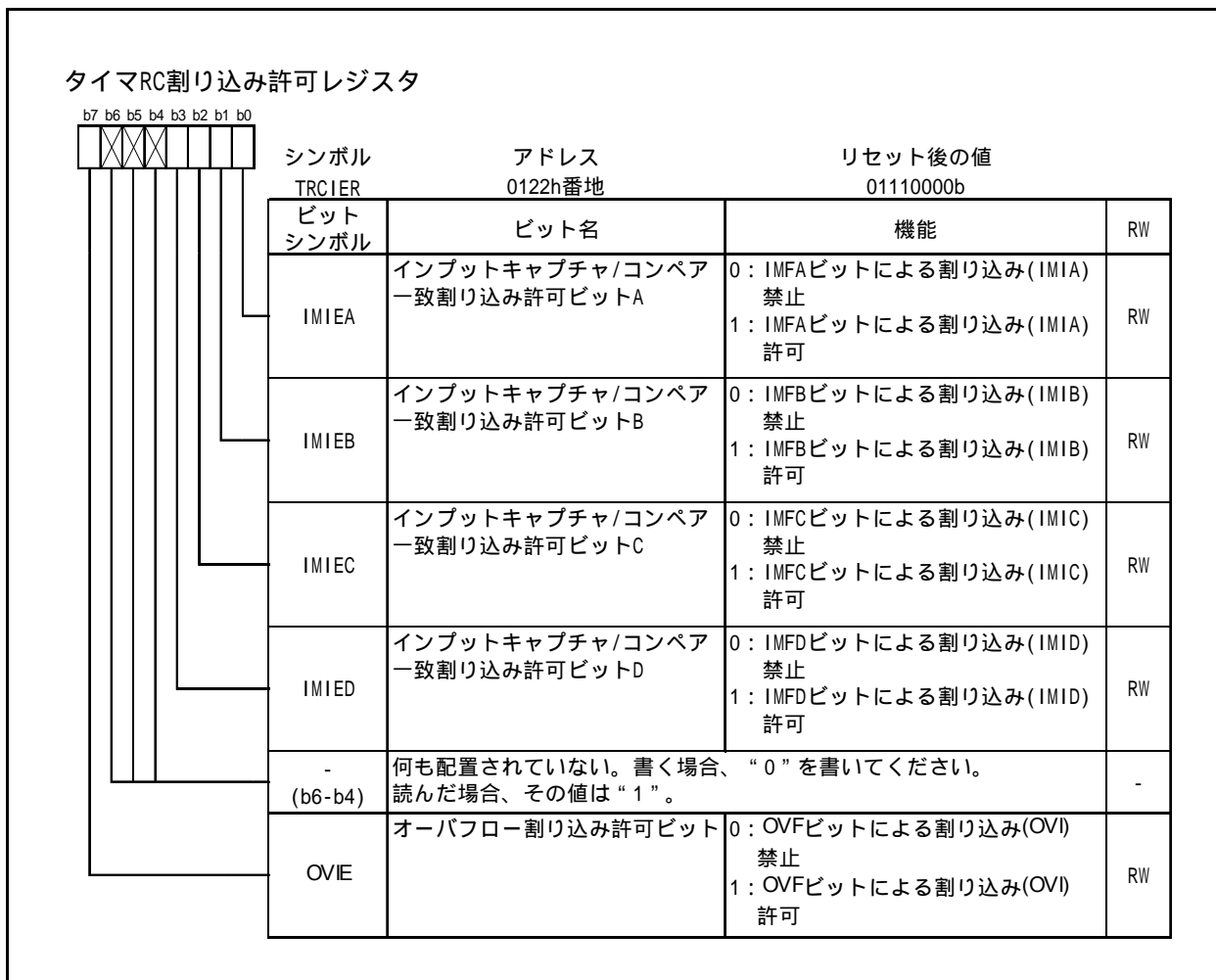


図 3.4 TRCIER レジスタ

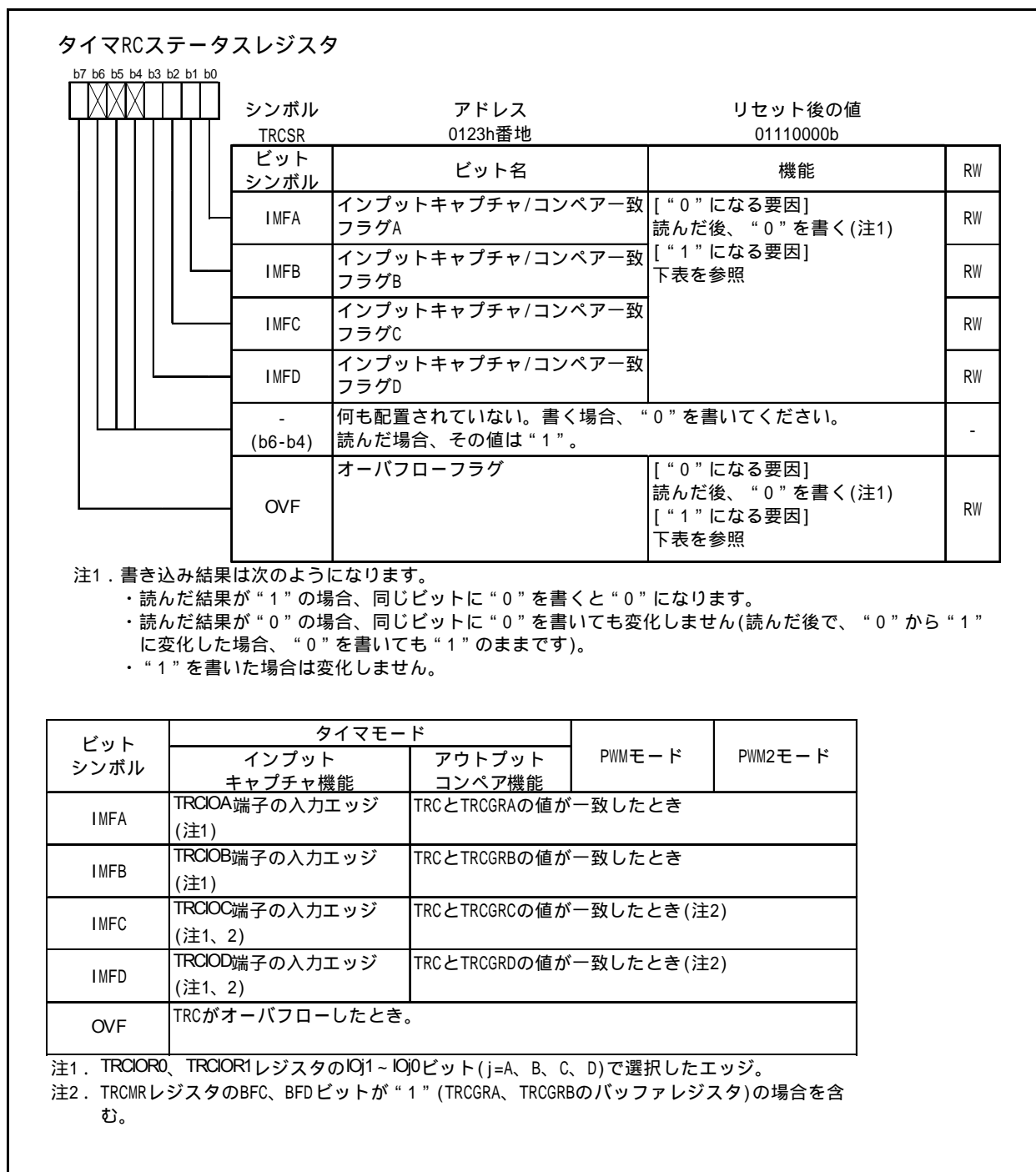


図 3.5 TRCSR レジスタ

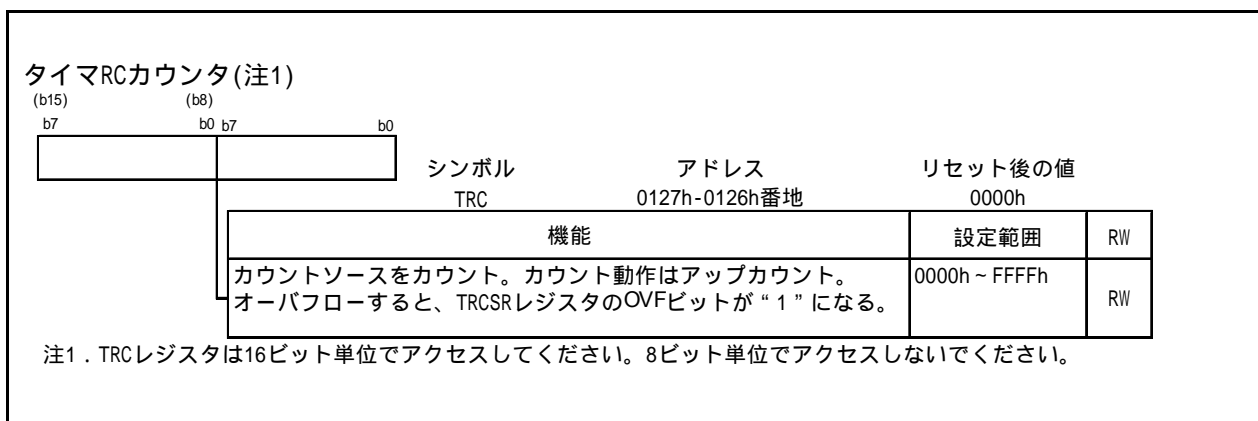


図 3.6 TRC レジスタ

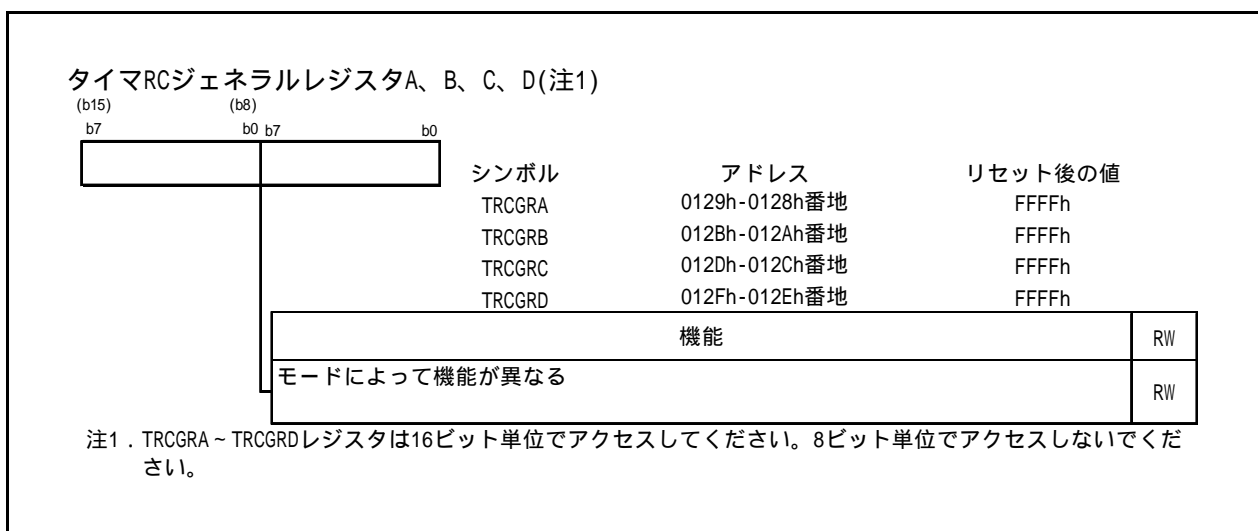


図 3.7 TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタ

タイマRC制御レジスタ2

シンボル	アドレス	リセット後の値	
TRCCR2	0130h番地	00011111b	
ビット シンボル	ビット名	機能	RW
- (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
CSEL	TRCカウント動作選択ビット (注1、2)	0: TRCGRAレジスタとのコンペア一致後 もカウント継続 1: TRCGRAレジスタとのコンペア一致で カウント停止	RW
TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0: TRCTRGからのトリガ入力を禁止 0 1: 立ち上がりエッジを選択 1 0: 立ち下がりエッジを選択 1 1: 立ち上がり/立ち下がり両エッジ を選択	RW
TCEG1			RW

注1. PWM2モード時の注意事項は「R8C/27グループハードウェアマニュアル」を参照してください。
 注2. タイマモード、PWMモードでは無効です(CSELビットの内容に関係なくカウントは継続します)。
 注3. タイマモード、PWMモードでは無効です。

図 3.8 TRCCR2レジスタ

タイマRCデジタルフィルタ機能選択レジスタ

シンボル	アドレス	リセット後の値	
TRCDF	0131h番地	00h	
ビット シンボル	ビット名	機能	RW
DFA	TRCIOA端子デジタルフィルタ 機能選択ビット(注1)	0: 機能なし 1: 機能あり	RW
DFB	TRCIOB端子デジタルフィルタ 機能選択ビット(注1)	0: 機能なし 1: 機能あり	RW
DFC	TRCIOC端子デジタルフィルタ 機能選択ビット(注1)	0: 機能なし 1: 機能あり	RW
DFD	TRCIOD端子デジタルフィルタ 機能選択ビット(注1)	0: 機能なし 1: 機能あり	RW
DFTRG	TRCTRG端子デジタルフィルタ 機能選択ビット(注2)	0: 機能なし 1: 機能あり	RW
- (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
DFCK0	デジタルフィルタ機能用クロック 選択ビット(注1、2)	b7 b6 0 0: f32 0 1: f8 1 0: f1 1 1: カウントソース(TRCCR1レジスタ のTCK2~TCK0ビットで選択した クロック)	RW
DFCK1			RW

注1. インพุットキャプチャ機能のとき有効です。
 注2. PWM2モードで、TRCCR2レジスタのTCEG1~TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力
許可)のとき有効です。

図 3.9 TRCDFレジスタ

タイマRCアウトプットマスタ許可レジスタ

ビット シンボル	ビット名	機能	RW
EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	RW
EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	RW
EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	RW
ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	RW
- (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	RW

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

図 3.10 TRCOER レジスタ

タイマRC I/O制御レジスタ0(注1)

ビット シンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	RW
IOA1			RW
IOA2	TRCGRAモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	RW
- (b3)	予約ビット	“1” にしてください	RW
IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	RW
IOB1			RW
IOB2	TRCGRBモード選択ビット(注3)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. タイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

注2. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注3. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

タイマRC I/O制御レジスタ1(注1)

ビット シンボル	ビット名	機能	RW
IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	RW
IOC1			RW
IOC2	TRCGRCモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	RW
IOD1			RW
IOD2	TRCGRDモード選択ビット(注3)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. タイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

注2. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注3. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図 3.11 TRCIOR0、TRCIOR1 レジスタ

3.3 複数モードに関わる共通事項

3.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 3.4にカウントソースの選択を、図 3.12にカウントソースのブロック図を示します。

表 3.4 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) PD3レジスタのPD3_3ビットが“0”(入力モード)

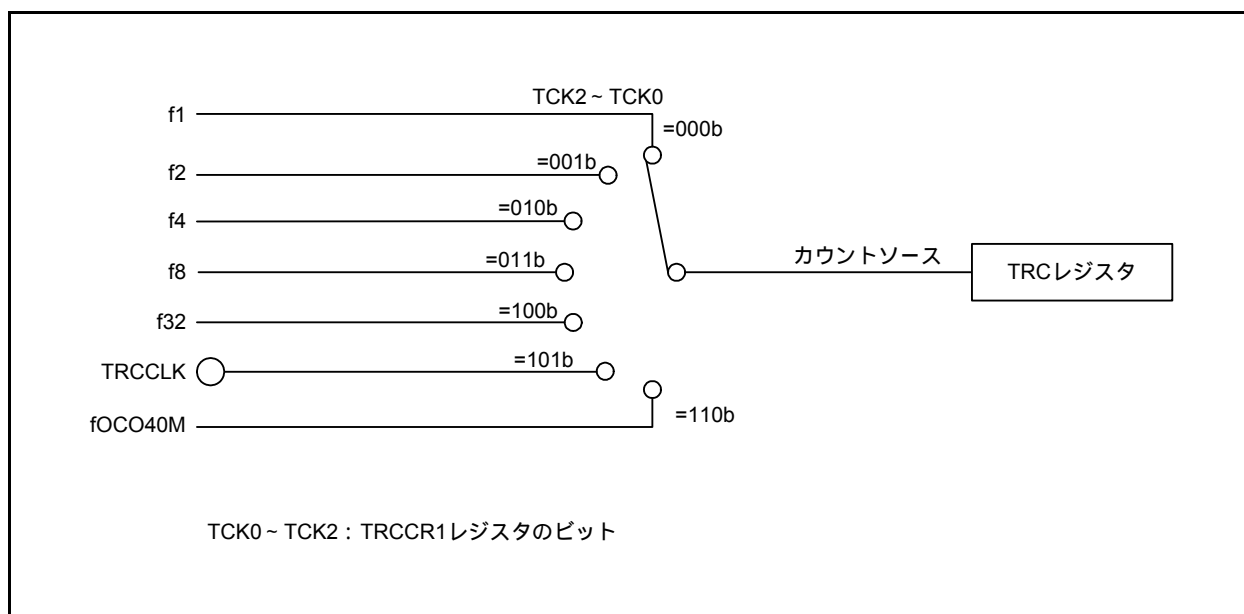


図 3.12 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表 3.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40Mを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)にしてください。

3.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表3.5に各モードのバッファ動作を示します。

表 3.5 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> • TRCレジスタとTRCGRAレジスタのコンペア一致 • TRCTRG端子トリガ入力 	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペア一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

3.3.3 デジタルフィルタ

TRCTRГ入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図 3.13 にデジタルフィルタのブロック図を示します。

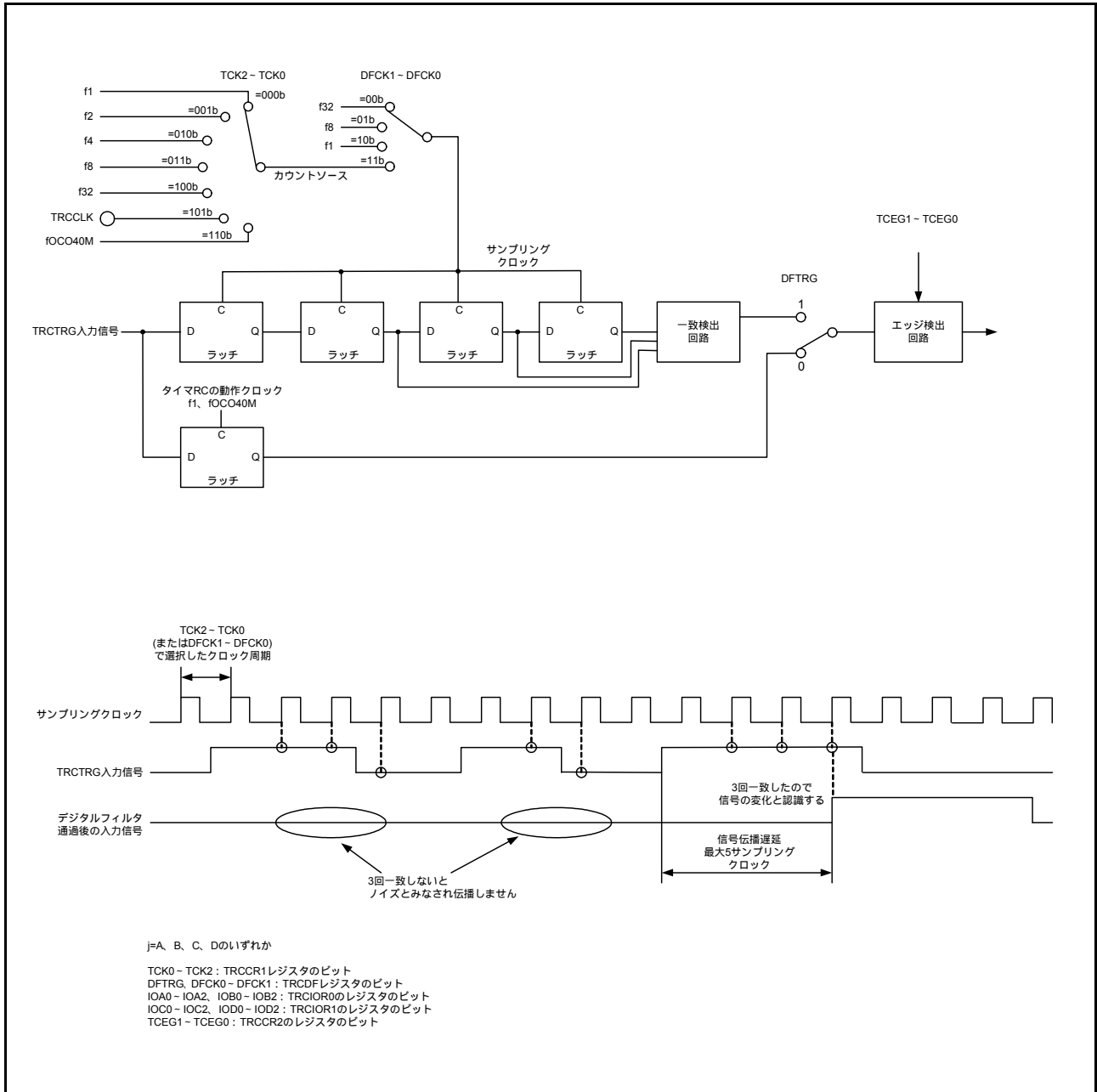


図 3.13 デジタルフィルタのブロック図

3.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力INT0有効)のとき、INT0端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表 3.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「R8C/27グループハードウェアマニュアル」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力INT0有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更にしたがって、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「R8C/27グループハードウェアマニュアル」参照)。割り込みの詳細は「R8C/27グループハードウェアマニュアル」を参照してください。

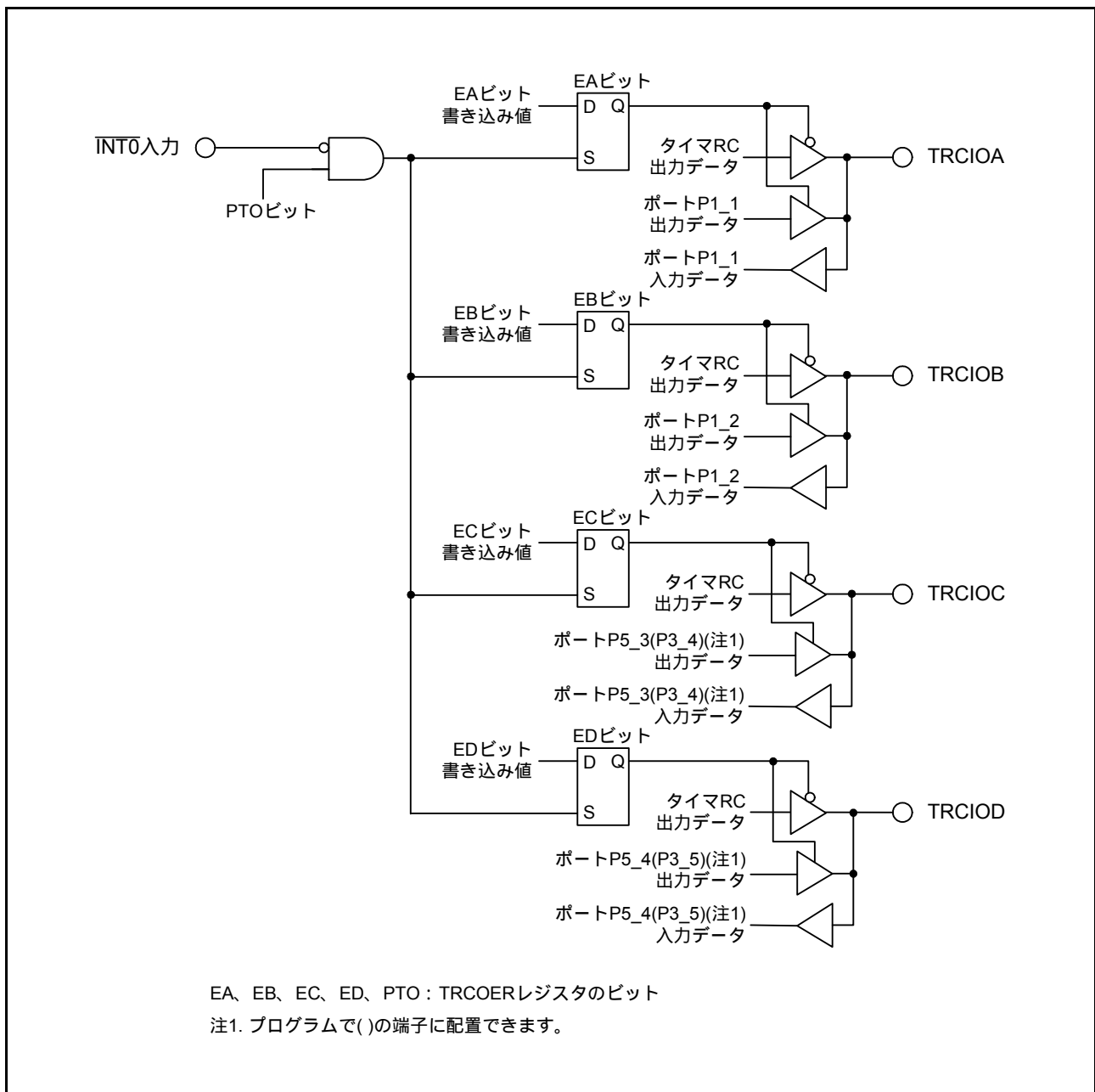


図 3.14 パルス出力強制遮断

3.4 PWM2モード

PWM 波形を 1 本出力します。トリガから任意のウエイト時間において、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウエイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせる使用しますので、他のモードと組み合わせる使用できません。

図 3.15 に PWM2モードのブロック図を、表 3.6 に PWM2モードの仕様を、図 3.16 に PWM2モード関連レジスタを、表 3.7 に PWM2モード時の TRCGRj レジスタの機能を、図 3.17 ~ 図 3.19 に PWM2モードの動作例を示します。

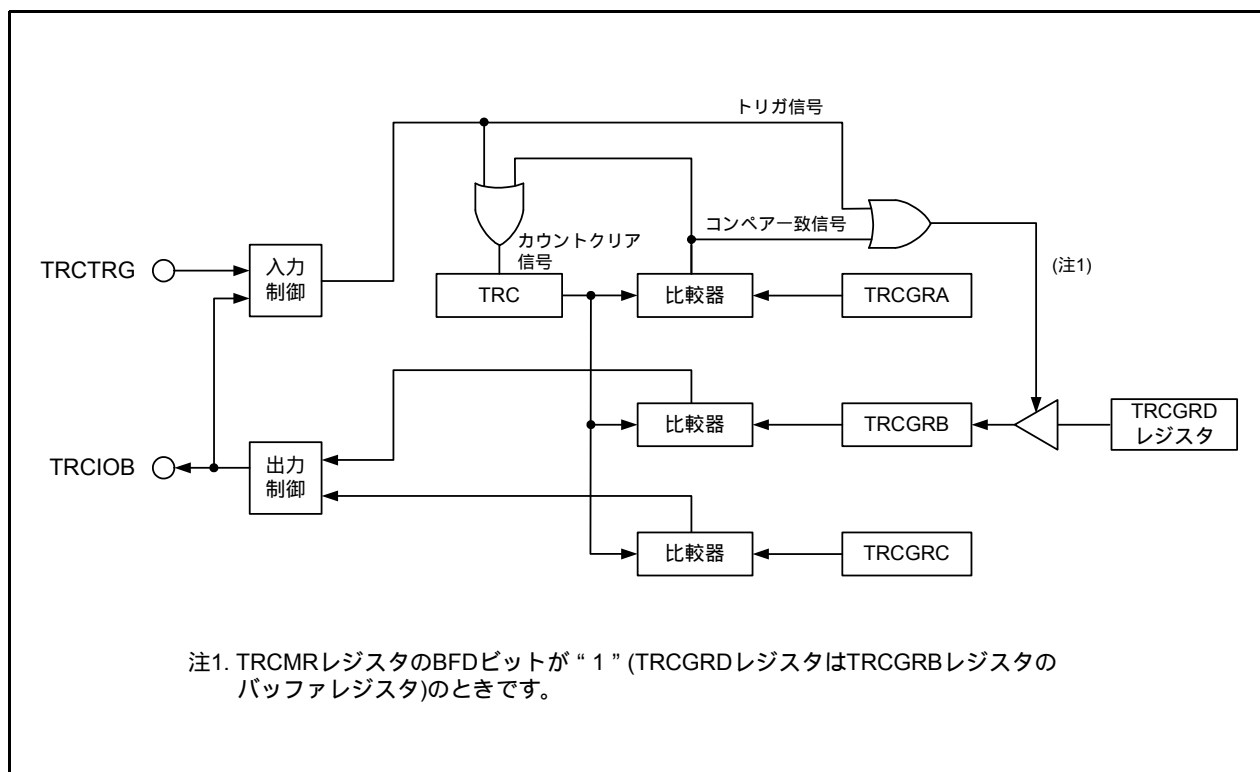


図 3.15 PWM2モードのブロック図

表 3.6 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: $1/fk \times (m+1)$ (TRCTRГ入力がない場合) アクティブレベル幅: $1/fk \times (n-p)$ カウント開始またはトリガからのウエイト時間: $1/fk \times (p+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRBレジスタ設定値 p: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)の場合 TRCMRレジスタのTSTARTビットが“1”(カウント開始)、かつ、TRCIOB出力が非アクティブレベルのとき、TRCTRГ端子にトリガ入力
カウント停止条件	<ul style="list-style-type: none"> TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み (TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	<ul style="list-style-type: none"> コンペア一致 (TRCレジスタとTRCGRjレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 バッファ動作 (「3.3.2 バッファ動作」参照) パルス出力強制遮断信号入力 (「3.3.4 パルス出力強制遮断」参照) デジタルフィルタ (「3.3.3 デジタルフィルタ」参照)

j = A、B、C、Dのいずれか

タイマRC制御レジスタ1

シンボル	アドレス	リセット後の値	
TRCCR1	0121h番地	00h	
ビットシンボル	ビット名	機能	RW
TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効です	RW
TOB	TRCIOB出力レベル選択ビット(注1)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペアー致で“H”出力 TRCGRBのコンペアー致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペアー致で“L”出力 TRCGRBのコンペアー致で“H”出力)	RW
TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効です	RW
TOD	TRCIOD出力レベル選択ビット(注1)		RW
TCK0	カウントソース選択ビット(注1)	b6 b5 b4	RW
TCK1		0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M	RW
TCK2		1 1 1: 設定しないでください	RW
CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペアー致でクリア	RW

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

図 3.16 PWM2モード時のTRCCR1レジスタ

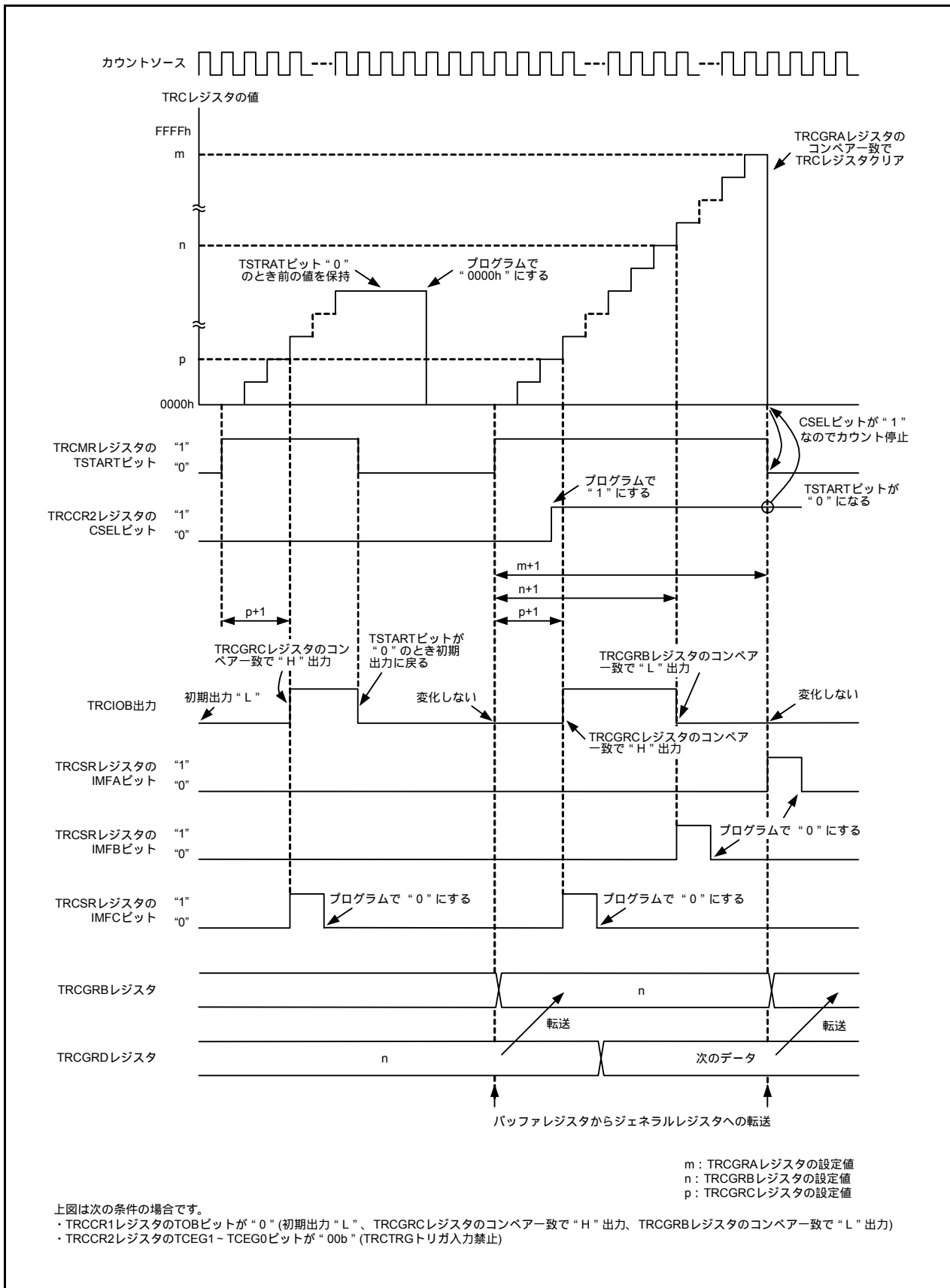
表 3.7 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウエイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	-
TRCGRD	BFD=1	バッファレジスタ。次のPWM出力の変化点を設定してください。(「3.3.2 バッファ動作」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。



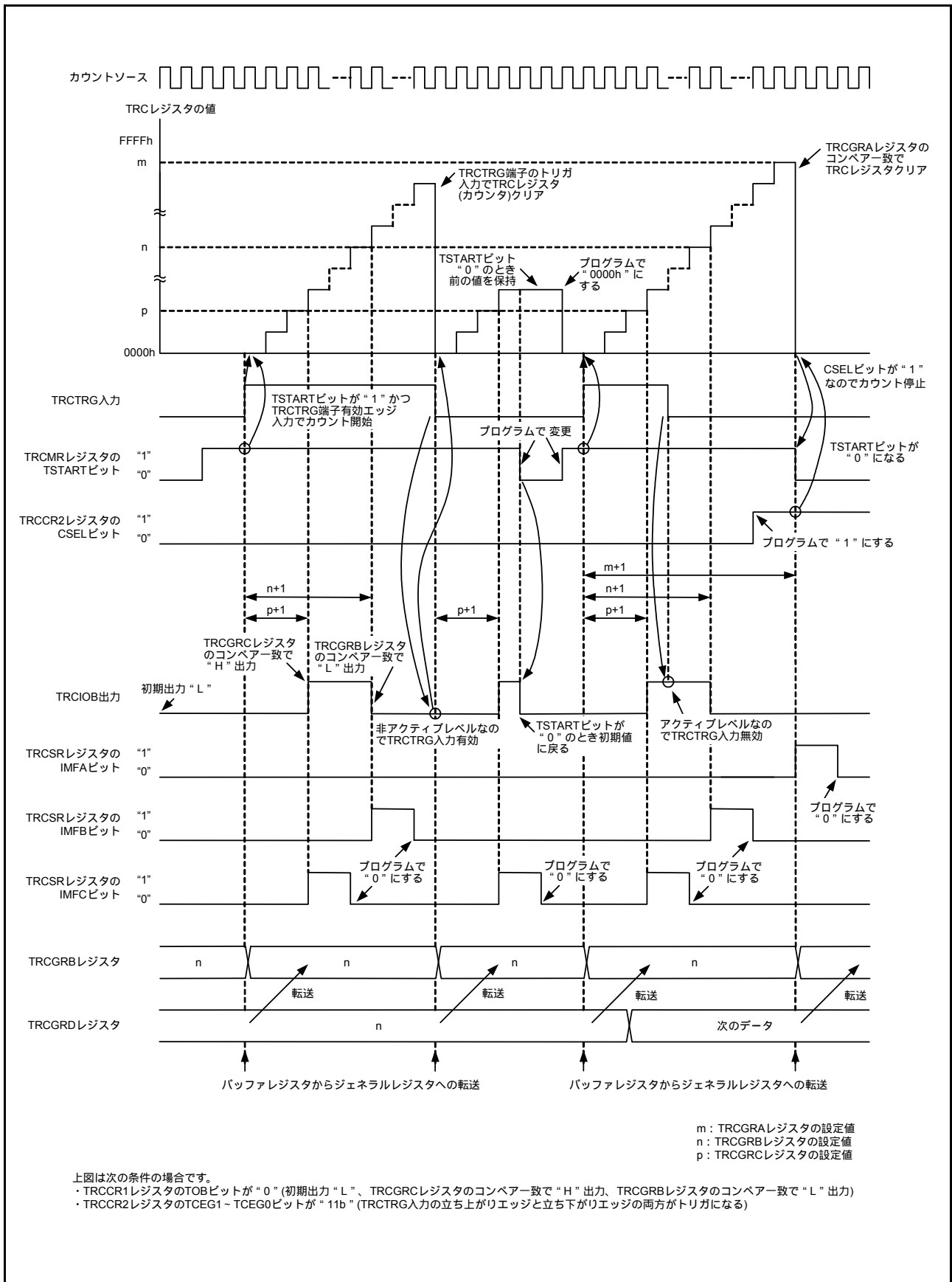


図 3.18 PWM2モードの動作例 (TRCTRGRトリガ入力許可の場合)

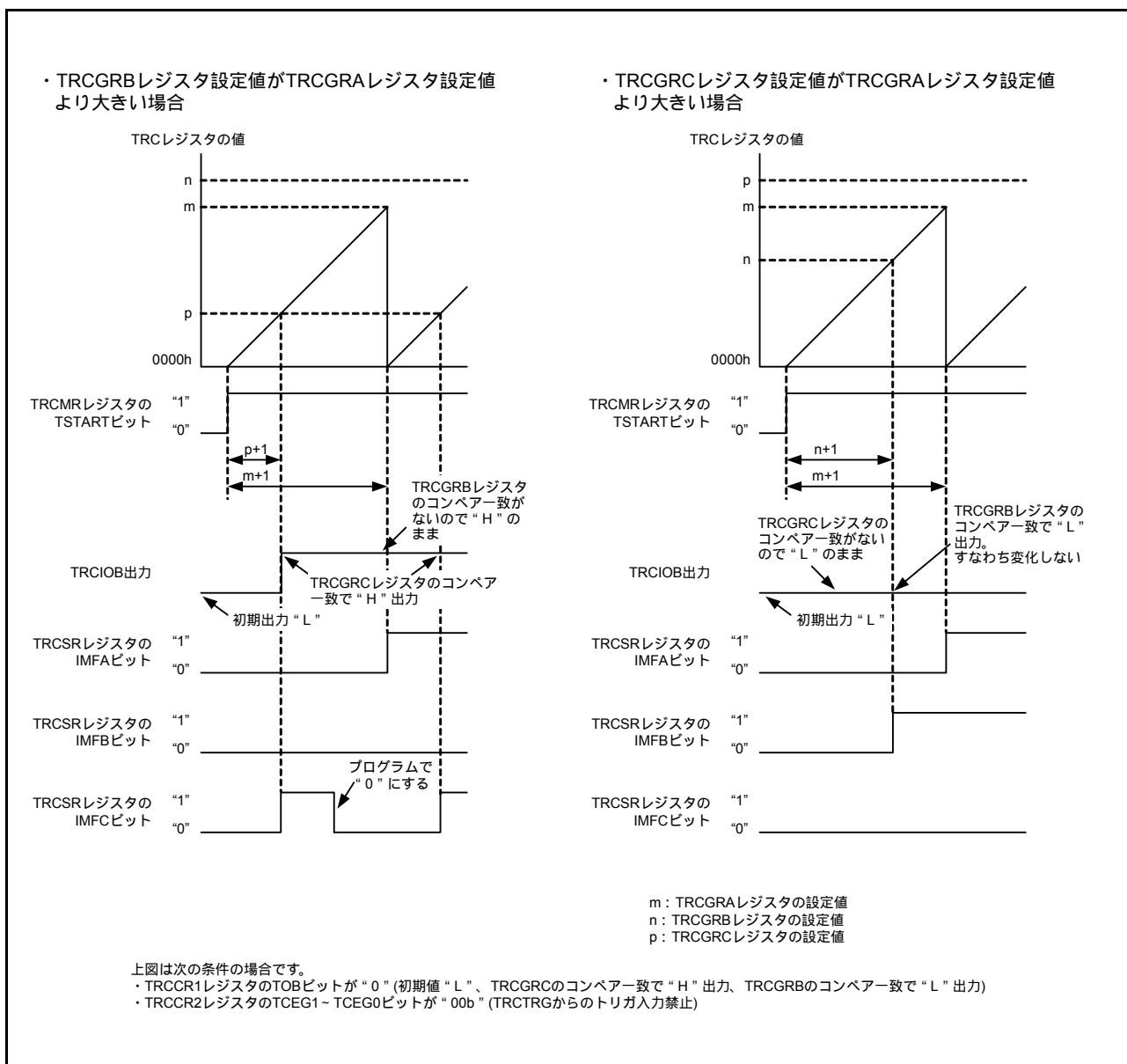


図 3.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

3.5 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表3.8にタイマRC割り込み関連レジスタを、図3.20にタイマRC割り込みのブロック図を示します。

表 3.8 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR0	TRCIER	TRCIC

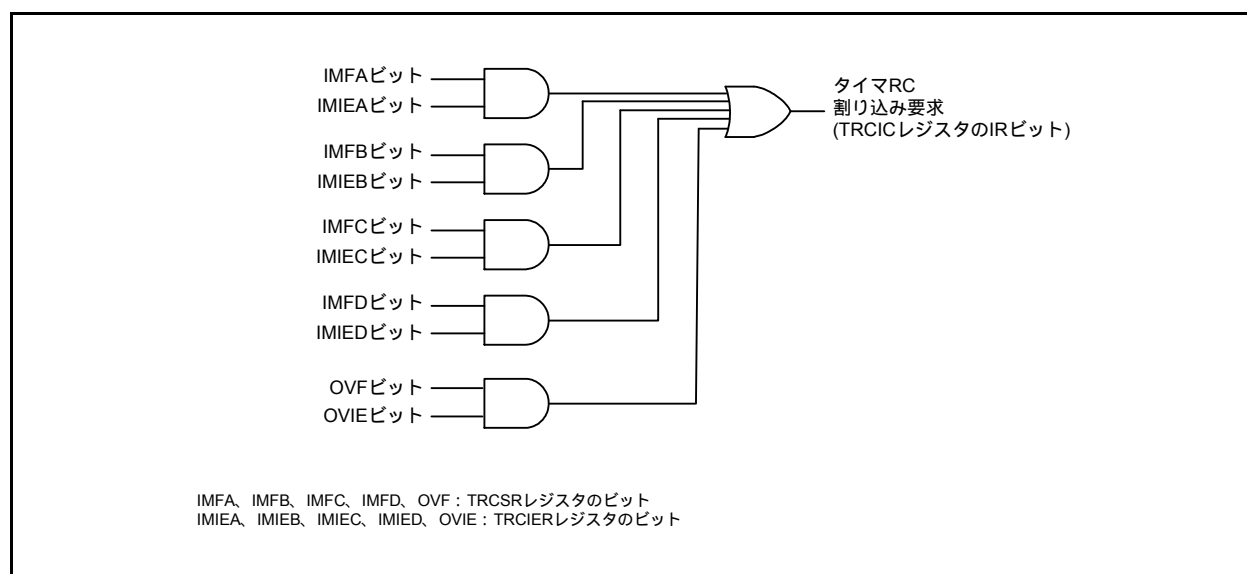


図 3.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「図3.5 TRCSRレジスタ」を参照してください。

TRCIERレジスタは「図3.4 TRCIERレジスタ」を参照してください。

TRCICレジスタおよび割り込みベクタは「R8C/27グループハードウェアマニュアル」を参照してください。

3.6 タイマRC使用上の注意事項

3.6.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。
プログラム例

MOV.W	#XXXXh, TRC	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.W	TRC,DATA	;	読み出し

3.6.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

MOV.B	#XXh, TRCSR	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.B	TRCSR,DATA	;	読み出し

3.6.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
 - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
 - (2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
変更手順
 - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
 - (2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
 - (3) f1の2サイクル以上待つ
 - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

3.6.4 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペアー致が発生するタイミングで、TRCMRレジスタに書かないでください。

4. プログラム概要

PWM周期(200 μ s)で同周期のPWM波形を1本出力します。
出力する信号は以下の通りです。

TRCIOB端子：アクティブレベル(“H”) $100\mu\text{s} = 40\text{MHz} \times (\text{TRCGRB} - \text{TRCGRC})$
 $= 25\text{ns} \times (6000 - 2000) = 25\text{ns} \times 4000$

PWM周期(200 μ s)はTRCGRAに設定します。
 $200\mu\text{s} = 40\text{MHz} \times (\text{TRCGRA} + 1) = 25\text{ns} \times 8000$

TRCGRCレジスタの設定(50 μ s)
 TRCGRBレジスタの設定(150 μ s)

なお本プログラムの設定条件は以下の通りです。

- ・高速オンチップオシレータ(fOCO40M)をカウントソースに使用しています。
- ・タイマRCカウンタ(TRC)はTRCGRAのコンペア一致でクリアされます。
- ・TRCIOB端子の出力レベルは“H”アクティブ、初期出力レベルは非アクティブレベル(“L”レベル)
- ・TRCとTRCGRCのコンペア一致でTRCIOB出力端子からアクティブレベル信号(“H”)を出力します。
- ・TRCとTRCGRBのコンペア一致でTRCIOB出力端子から非アクティブレベル信号(“L”)を出力します。
- ・TRCTRGトリガ入力には禁止しています。
- ・パルス出力強制遮断入力機能は使用していません。

図4.1に使用端子を示します。

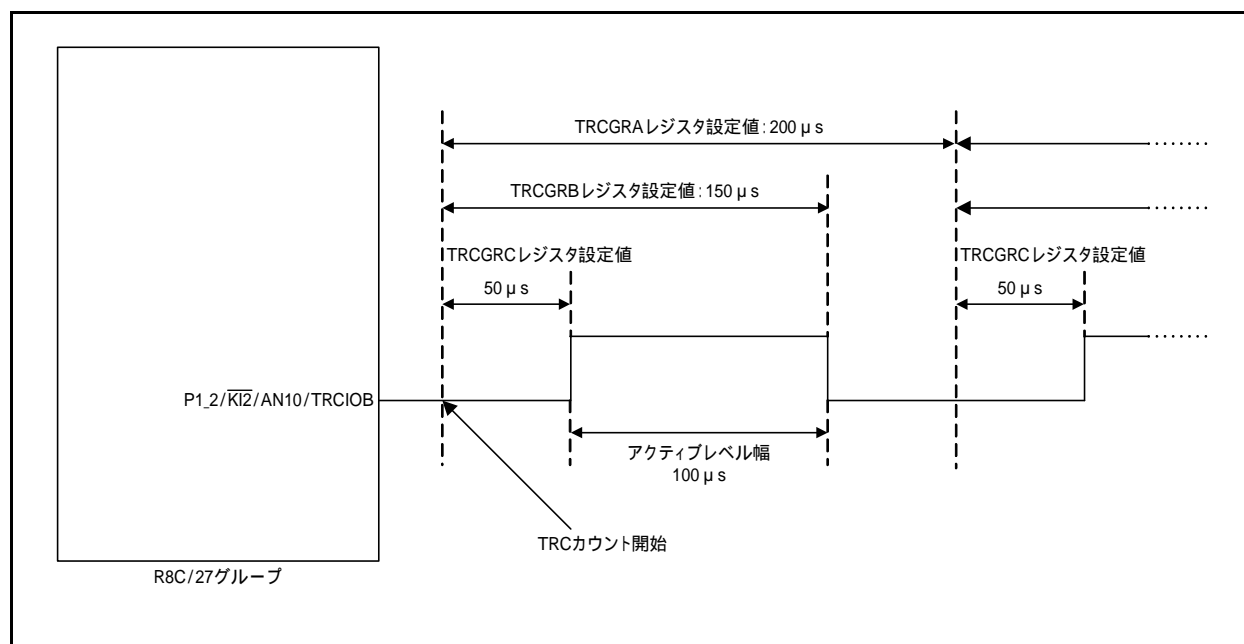


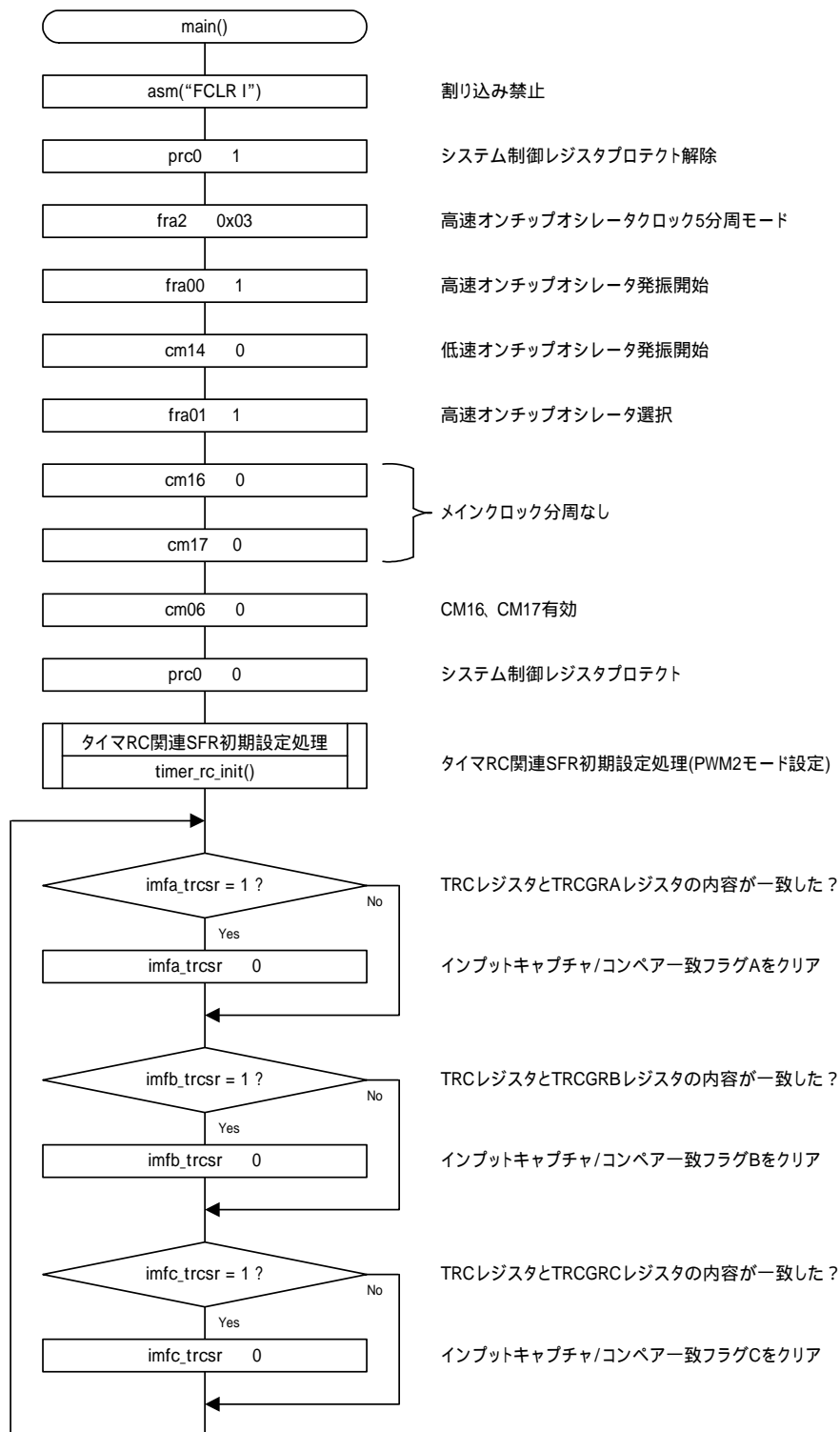
図 4.1 使用端子

4.1 関数表

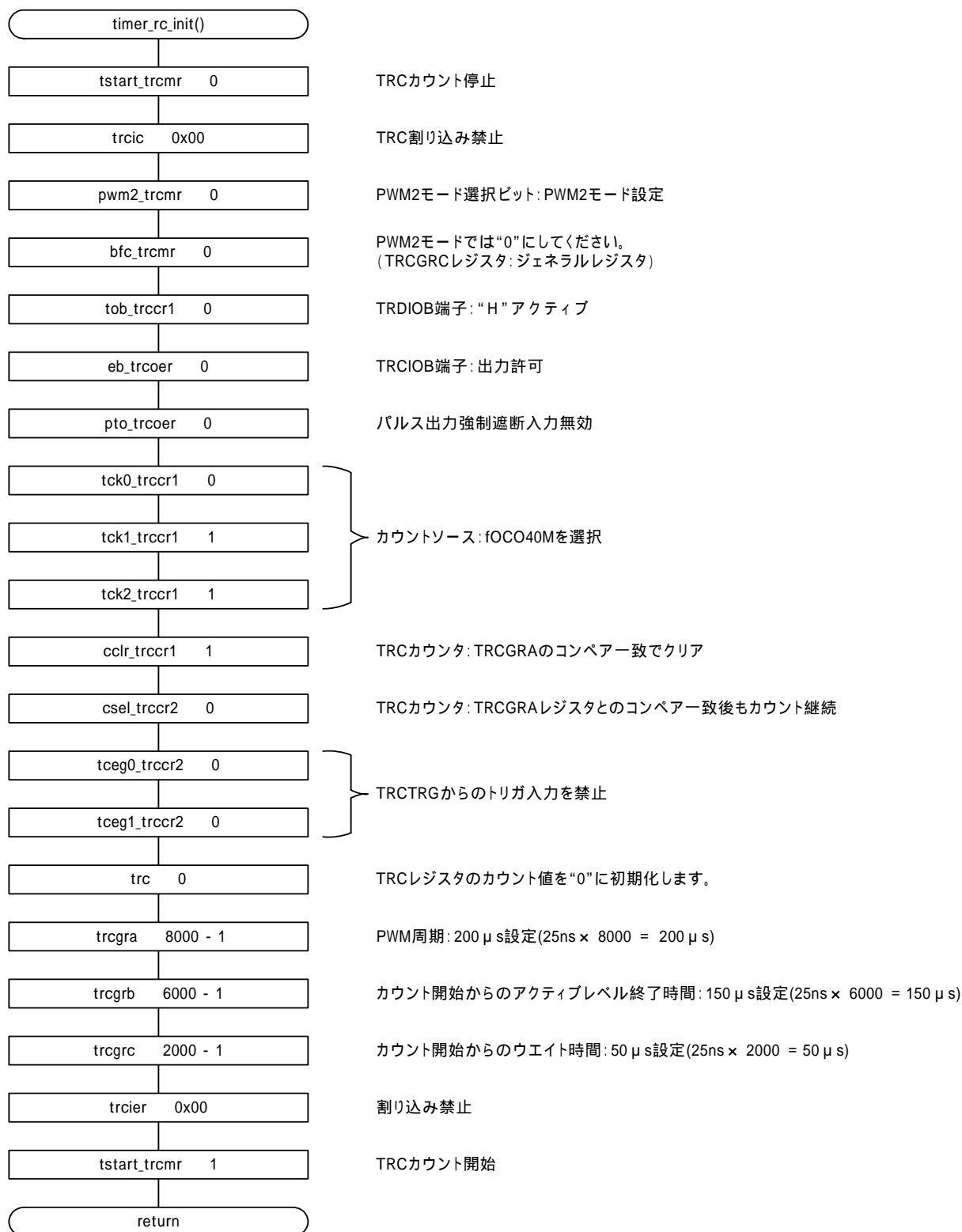
宣言	void timer_rc_init(void)		
概要	タイマRC関連SFR初期設定処理		
引数	引数名	意味	
	なし		
使用変数 (グローバル)	変数名	使用内容	
	なし		
戻り値	型	値	意味
	なし		
機能説明	タイマRC関連SFRレジスタの初期設定を行います。		

4.2 フローチャート

4.2.1 メイン関数



4.2.2 タイマRC関連SFR初期設定処理



5. 参考プログラム例

参考プログラムは、ルネサス エレクトロニクスホームページから入手してください。

6. 参考ドキュメント

ユーザズマニュアル：ハードウェア

R8C/27グループハードウェアマニュアル

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルニュース/テクニカルアップデート

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問合せ先

<http://japan.renesas.com/contact/>

改訂記録	R8C/27グループ タイマRC (PWM2モード)
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.08.01	-	初版発行
1.10	2012.06.01	1	発振安定待ちに関する注意事項を追加
		-	旧ドキュメント番号：RJJ05B0971

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>