

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H Tiny シリーズ

タイマ V、W による 24 ビットタイマ

要旨

タイマ V、W の機能を使用して 24 ビットタイマを実現します。

動作確認デバイス

H8/3664

目次

1. 仕様	2
2. 使用機能説明	2
3. 動作説明	5
4. ソフトウェア説明	6
5. フローチャート	9
6. プログラムリスト	10

1. 仕様

1. 本タスク例では、図 1.1 に示すようにパルス High 幅/ Low 幅がそれぞれ 1sec のパルスを出力します。
2. タイマ V のコンペアマッチ出力端子をタイマ W のクロック入力端子を接続し、タイマ W のクロックソースとして使用します。
3. タイマ V の 8 ビットカウンタとタイマ W の 16 ビットカウンタを接続することで 24 ビットタイマとして使用します。

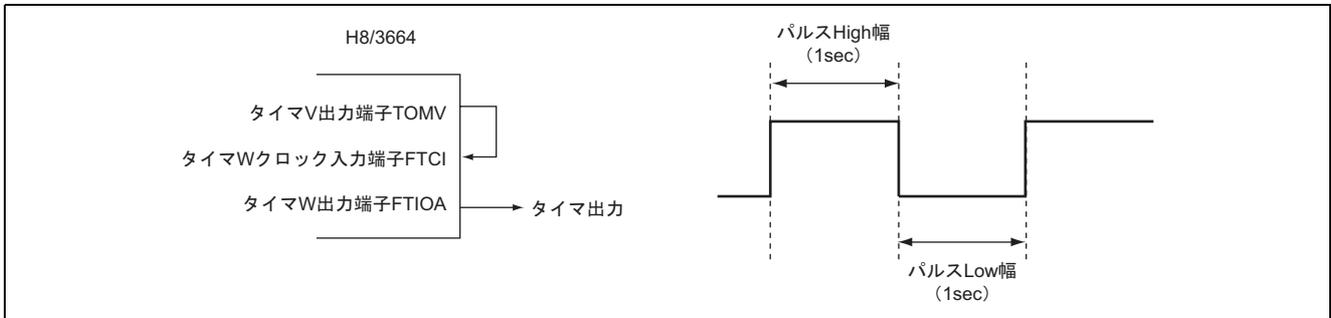


図 1.1 タイマ V、W による 24 ビットタイマ

2. 使用機能説明

1. 本タスク例では、8 ビットタイマであるタイマ V と 16 ビットタイマであるタイマ W を使用して 24 ビットタイマを作成します。図 2.1 に本応用例で使用するタイマ V とタイマ W のブロック図を示します。以下にブロック図について説明します。
 - タイマカウンタ V (TCNTV) は、8 ビットのアップカウンタで、入力するクロックは、システムクロックの 4 分周、8 分周、16 分周、32 分周、64 分周、128 分周、外部クロックの立ち上がり/立ち下がり/両エッジの計 9 種類から選択可能です。
 - タイマコントロールレジスタ V0 (TCRV0) は、8 ビットのリード/ライト可能なレジスタで TCNTV の入力クロックの選択、TCNTV のクリア条件指定、各割り込み要求の制御を行います。
 - タイマコントロール/ステータスレジスタ V は、8 ビットのリード/ライト可能なレジスタでコンペアマッチ A/B、タイマオーバフローの各ステータスフラグの表示およびコンペアマッチによる出力制御を行います。
 - タイマコントロールレジスタ V1 (TCRV1) は、8 ビットのリード/ライト可能なレジスタで、TRGV 端子のエッジセレクト、TRGV 入力イネーブル、TCNT の入力クロックの選択を行います。
 - TCORA は、8 ビットのリード/ライト可能なレジスタです。TCORA の値は常に比較され、一致すると TCSR の CMFA が 1 にセットされます。このとき TCRV0 の CMIEA が 1 なら CPU に対して割り込み要求を発生します。
 - タイマ V の TCORA をアウトプットコンペアレジスタとして使用します。
 - タイマ V のクロックソースは、 ϕ (=16MHz) を 128 分周した 128KHz (=8 μ s) を使用します。
 - タイマ V のコンペアマッチ発生時、タイマ V の出力端子 TMOV から High/Low のトグル出力を行います。
 - タイマ V のコンペアマッチ発生時、タイマ V のタイマカウンタ TCNTV の値はクリアされます。
 - タイマ V のタイマ出力端子である TMOV は、タイマ W のタイマクロック入力端子である FTCI と接続します。
 - タイマ W はタイマ V 出力端子から出力されるトグル出力をタイマクロックソースとして使用します。
 - タイマ W の GRA をアウトプットコンペアレジスタとして使用します。
 - タイマ W のタイマカウンタ TCNT は、タイマ入力端子 FTCI に入力された信号の立ち上がりエッジによりカウントアップします。
 - タイマ W の GRA に設定した値と TCNT が一致すると割り込み信号が発生し、許可していた割り込み許可信号により割り込みが発生します。
 - タイマカウンタ (TCNT) は、16 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、システムクロックの 2 分周、4 分周、8 分周および外部クロックの計 4 種類のクロックより選択可能です。
 - 本タスク例では、TCNT の入力クロックに外部クロックを選択しています。
 - タイマコントロールレジスタ W (TCRW) は、8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択を行いません。

- タイマステータスレジスタ W (TSRW) は、8 ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。
- タイマインタラプトイネーブルレジスタ W (TIERW) は、8 ビットのリード/ライト可能なレジスタで、各割り込み要求の許可/禁止を制御します。
- タイマモードレジスタ W (TMRW) は TCNT のカウンタスタート命令を行います。
- タイマ I/O コントロールレジスタ 0 (TIOR0) は、8 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタの設定およびアウトプットコンペア出力の設定を行います。
- ジェネラルレジスタ A (GRA) は、16 ビットのリード/ライト可能なレジスタで、GRA の内容 TCNT と常に比較されており、両者の値が一致すると、TSRW の IMFA が "1" にセットされます。
- (この時、TIERW の IMIEA が "1" ならば CPU に割り込みを要求しますが本タスク例では割り込みは使用していません。)

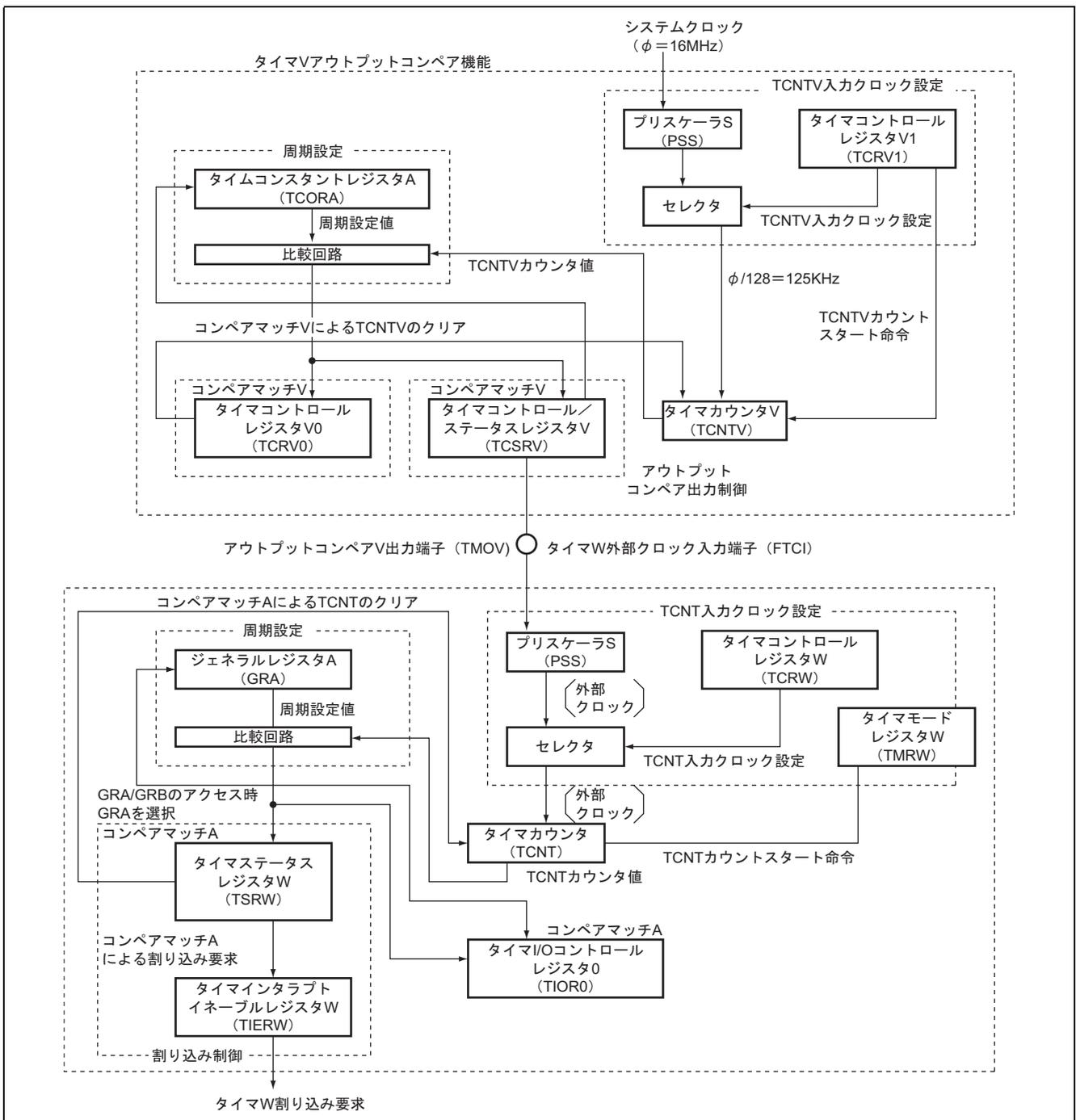


図 2.1 タイマ V、W アウトプットコンペア機能ブロック図

2. 表 2.1 に本タスク例の機能割り付けを示します。表 2.1 に示すように機能を割り付け、タイマ V、タイマ W を使用した 24 ビットタイマ機能を実現します。

表 2.1 機能割り付け

機能	機能割付け
TCRV0	コンペアマッチ A による割り込み要求信号の制御、コンペアマッチ A による TCNTV のクリアの許可を設定、TCNTV に入力するクロックとカウント条件を選択
TCRV	コンペアマッチ A による割り込み要求信号の制御
TCORA	24 ビットタイマカウンタの下位 8 ビット用レジスタ
TCNTV	システムクロックを 8 分周したクロックを入力とする 8 ビットのアップカウンタ 24 ビットタイマカウンタの下位 8 ビット
TCRV1	TCNTV に入力するクロックの選択、TCNTV カウントスタートの設定
TMRW	TCNT カウントスタート設定
TCRW	TCNT 入力クロック、カウンタクリア、タイマ出力レベルの設定
TIERW	コンペアマッチ A による割り込みの許可を設定
TSRW	コンペアマッチ A による割り込み要求信号の制御、コンペアマッチ A による TCNT のクリアの許可を設定
TIOR0	アウトプットコンペアレジスタの設定、アウトプットコンペア出力の設定
TCNT	外部入力の立ち上がりエッジをクロック入力とする 16 ビットのアップカウンタ 24 ビットタイマカウンタの上位 16 ビット
GRA	24 ビットタイマカウンタの上位 16 ビット用レジスタ

3. 動作説明

図 3.1 に動作説明を示します。図 3.1 に示すようなハードウェア処理、およびソフトウェア処理によりタイマ V の TCNTV がオーバーフローする回数をタイマ W の TCNT でカウントすることで 24 ビットタイマを実現します。

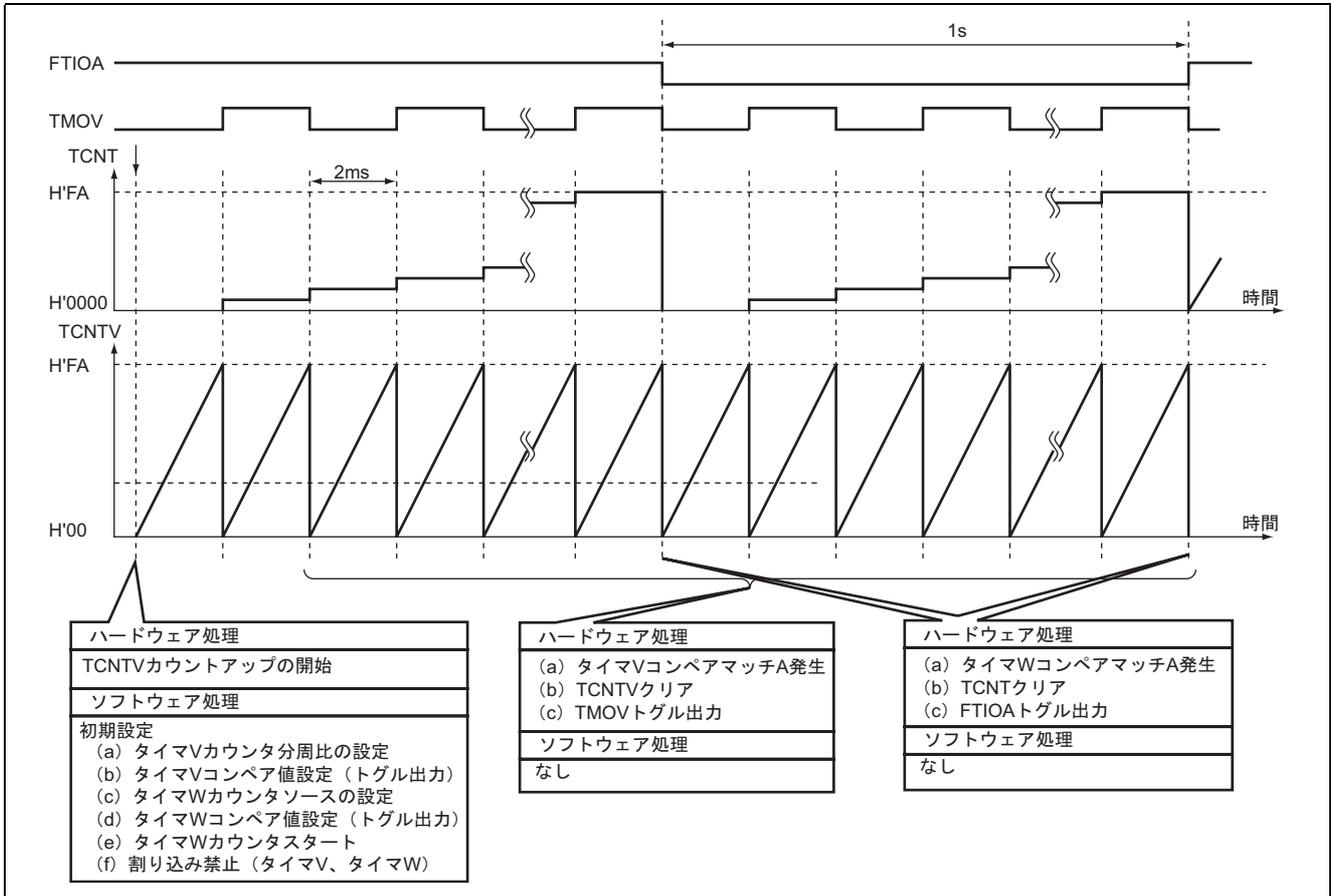


図 3.1 タイマ V、W による 24 ビットタイマ動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 4.1 に示します。

表 4.1 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	インターバルタイマの設定、8 ビットカウンタの設定、割り込みの許可を行う
タイマ割り込み	TWINT	割り込みフラグのクリア

4.2 引数の説明

本タスク例では、引数を使用しません

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- TCRV0 タイマコントロールレジスタ V0 アドレス : 0xFFA0

レジスタ名	機能	設定値	
TCRV0	CMIEA	コンペアマッチインタラプトイネーブル A : CMIEA="1"のとき TCSR V の CMFA による割り込みを許可	0
	CCLR1 CCLR0	カウンタクリア 1、0 : CCLR1="0"、CCLR0="1"のときコンペアマッチ A による TCNTV クリアを許可	CCLR1="0" CCLR0="1"
	CKS2 CKS1 CKS0	クロックセレクト 2~0 : CSK2="0"、CSK1="1"、CSK0="1"および TCRV1 の ICKS0="1"のとき 内部クロックの $\phi/128$ 立ち下がリエッジでカウント	CSK2="0" CSK1="1" CSK0="1"

- TCSR V タイマコントロールステータスレジスタ V アドレス : 0xFFA1

レジスタ名	機能	設定値	
TCSR V	OS1 OS0	アウトプットセレクト 1、0 : OS1="1"、OS0="1"のとき TCNTV と TCORA のコンペアマッチによる TOMV 端子の出力がトグル出力に設定	OS1="1" OS0="1"

- TOCRA タイムコンスタントレジスタ A アドレス : 0xFFA2

レジスタ名	機能	設定値	
TOCRA	OS1 OS0	タイムコンスタントレジスタ A : TOCRA の設定値と TCNTV のカウンタ値が一致すると、コンペアマッチ A が発生	H'FA

- TCNTV タイマカウンタ V アドレス : 0xFFA4

レジスタ名	機能	設定値	
TCNTV		: システムクロックの 128 分周のクロックを入力とする 8 ビットの アップカウンタ	H'00

- TCRV1 タイマコントロールレジスタ V1 アドレス : H'FFA5

レジスタ名	機能	設定値	
TCRV1	ICKS0	インターナルクロックセレクト : ICK0="1"および CSK2="0"、CSK1="1"、CSK0="1"のとき内部 クロックの $\phi/128$ 立ち下がリエッジでカウント	1

● TMRW タイマモードレジスタ W アドレス : 0xFF80

レジスタ名		機能	設定値
TMRW	CTS	タイマカウンタスタート : CTS="1"のとき TCNT がカウンタ開始を示す : CTS="0"のとき TCNT がカウンタ停止を示す	1

● TCRW タイマコントロールレジスタ W アドレス : 0xFF81

レジスタ名		機能	設定値
TCRW	CCLR	カウンタクリア : CCLR="1"のときコンペアマッチ A による TCNT クリアを許可	1
	CSK2 CSK1 CSK0	クロックセレクト 1、0 : CSK2="1"、CSK1="X"、CSK0="X"のとき TCNT の入力クロックを外部 クロック入力の立ち上がりエッジ入力に設定する	CSK2="1" CSK1="X" CSK0="X"
	TOB	タイマ出力レベルセット B : TOB="1"、のときコンペアマッチ B が発生するまで、FTIOB 端子に出力 するレベルを"High"レベルに設定 : TOB="0"、のときコンペアマッチ B が発生するまで、FTIOB 端子に出力 するレベルを"Low"レベルに設定	0
	TOA	タイマ出力レベルセット A : TOA="1"、のときコンペアマッチ A が発生するまで、FTIOA 端子に出力 するレベルを"High"レベルに設定 : TOA="0"、のときコンペアマッチ A が発生するまで、FTIOA 端子に出力 するレベルを"Low"レベルに設定	0

● TIERW タイマインタラプトイネーブルレジスタ W アドレス : 0xFF82

レジスタ名		機能	設定値
TIERW	IMIEB	アウトプットコンペア割り込み B イネーブル : IMIEB="0"のとき IMFB による割り込み許可	0
	IMIEA	アウトプットコンペア割り込み A イネーブル : IMIEA="1"のとき IMFA による割り込み許可	1

● TSRW タイマステータスレジスタ W アドレス : 0xFF83

レジスタ名		機能	設定値
TSRW	IMFB	アウトプットコンペアフラグ B : IMFB="0"のとき TCNT と GRB がコンペアマッチしていないことを示す : IMFB="1"のとき TCNT と GRB がコンペアマッチしたことを示す	0
	IMFA	アウトプットコンペアフラグ A : IMFA="0"のとき TCNT と GRA がコンペアマッチしていないことを示す : IMFA="1"のとき TCNT と GRA がコンペアマッチしたことを示す	0

● TIOR0 タイマ I/O コントロールレジスタ 0 アドレス : 0xFF84

レジスタ名		機能	設定値
TIOR0	IOA2	I/O コントロール A2~A0 : IOA2="0"、IOA1="1"、IOA0="0"のとき GRA のコンペアマッチで FTIOA 端子がトグル出力に設定	IOA2="0"
	IOA1		IOA1="1"
	IOA0		IOA0="0"

● TCNT タイマカウンタ アドレス : 0xFF86

レジスタ名	機能	設定値
TCNT	: TMOV 端子の出力をクロック入力とする 16 ビットのアップカウンタ	H'0000

- GRA ジェネラルレジスタ A アドレス : 0xFF88

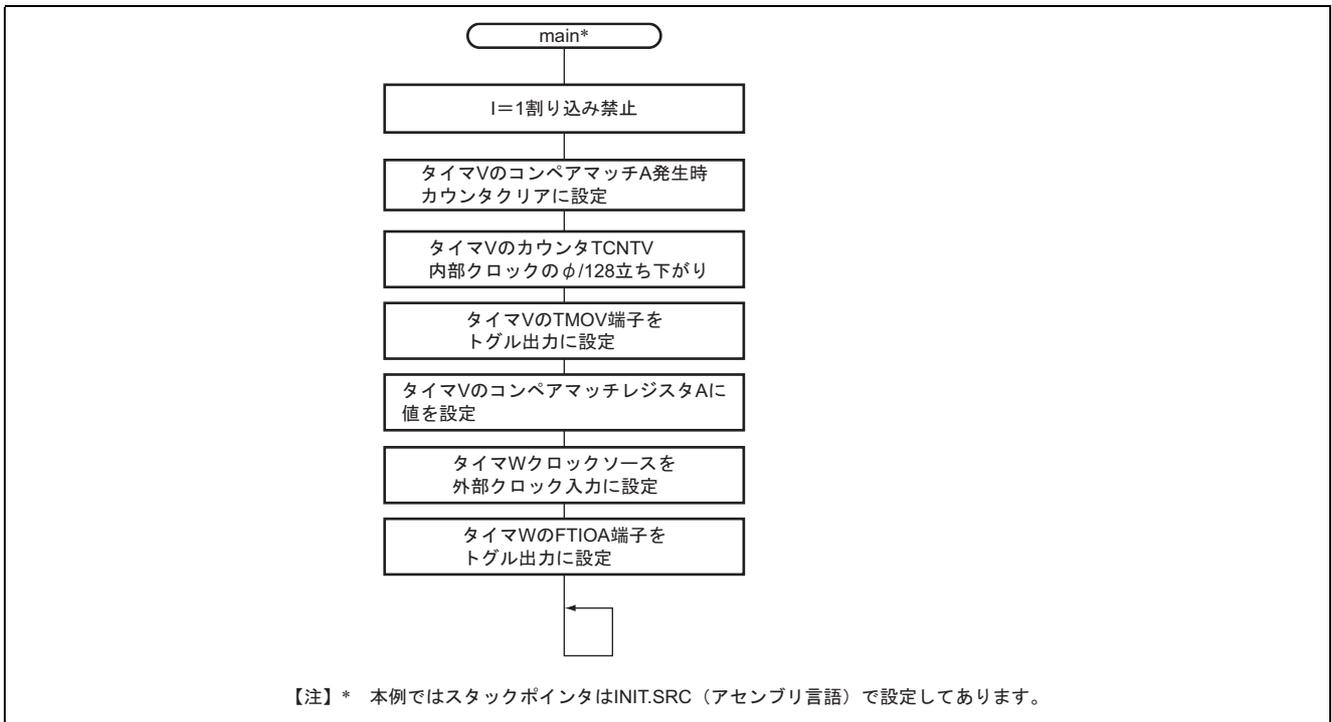
レジスタ名	機 能	設定値
GRA	: GRA の設定値と TCNT のカウンタ値が一致すると、コンペアマッチ A が発生	H'00FA

4.4 使用 RAM 説明

本タスク例では、RAM を使用しません。

5. フローチャート

メインルーチン



6. プログラムリスト

```

/*****
/*
/* H8/300H Tiny Series -H8/3664-
/* Application Note
/*
/* 24bit Timer using Timer W, Timer V
/*
/* Function
/* : Timer W, Timer V
/*
/* External Clock : 16MHz
/* Internal Clock : 16MHz
/* Sub Clock : 32.768kHz
/*
*****/

#include <C:Ych38YincludeYmachine.h>

/*****
/* Symbol Definition
*****/

struct BIT {
    unsigned char b7:1; /* bit7 */
    unsigned char b6:1; /* bit6 */
    unsigned char b5:1; /* bit5 */
    unsigned char b4:1; /* bit4 */
    unsigned char b3:1; /* bit3 */
    unsigned char b2:1; /* bit2 */
    unsigned char b1:1; /* bit1 */
    unsigned char b0:1; /* bit0 */
};

#define TMRW *(volatile unsigned char *)0xFF80 /* Timer Mode Register W */
#define TMRW_BIT (*(struct BIT *)0xFF80) /* Timer Mode Register W */
#define CTS TMRW_BIT.b /* Counter Start Bit */
#define TCRW *(volatile unsigned char *)0xFF81 /* Timer Control Register W */
#define TCRW_BIT (*(struct BIT *)0xFF81) /* Timer Control Register W */
#define WCCLR TCRW_BIT.b7 /* Counter Clear */
#define WCKS2 TCRW_BIT.b6 /* Clock Select 2 */
#define WCKS1 TCRW_BIT.b5 /* Clock Select 1 */
#define WCKS0 TCRW_BIT.b4 /* Clock Select 0 */
#define TIERW *(volatile unsigned char *)0xFF82 /* Timer Interrupt Enable Register */
#define TIERW_BIT (*(struct BIT *)0xFF82) /* Timer Interrupt Enable Register */
#define IMIEA TIERW_BIT.b0 /* Input Caputure/Output Compaire */
#define TSRW *(volatile unsigned char *)0xFF83 /* Timer Status Register W */
#define TSRW_BIT (*(struct BIT *)0xFF83) /* Timer Status Register W */
#define IMFA TSRW_BIT.b0 /* Input Caputure/Output Compaire Flag */
#define TIOR0 *(volatile unsigned char *)0xFF84 /* Timer Status Register W */
#define TIOR0_BIT (*(struct BIT *)0xFF84) /* Timer Status Register W */
#define IOA2 TIOR0_BIT.b2 /* I/O Control A2 */
#define IOA1 TIOR0_BIT.b1 /* I/O Control A1 */
#define IOA0 TIOR0_BIT.b0 /* I/O Control A0 */
#define TCNT *(volatile unsigned int *)0xFF86 /* Time Counter H & L */
#define GRA *(volatile unsigned int *)0xFF88 /* General Register A */

```

```

#define TCRV0      *(volatile unsigned char *)0xFFA0      /* Time Constant Register V0      */
#define TCRV0_BIT  (*(struct BIT *)0xFFA0)               /* Timer Control Register V0      */
#define CMIEB      TCRV0_BIT.b7                          /* Compare Match Interrupt Enable B */
#define CMIEA      TCRV0_BIT.b6                          /* Compare Match Interrupt Enable A */
#define VCCLR1     TCRV0_BIT.b4                          /* Counter Clear 1                */
#define VCCLR0     TCRV0_BIT.b3                          /* Counter Clear 0                */
#define VCKS2      TCRV0_BIT.b2                          /* Clock Select 2                  */
#define VCKS1      TCRV0_BIT.b1                          /* Clock Select 1                  */
#define VCKS0      TCRV0_BIT.b0                          /* Clock Select 0                  */
#define TCSR_V     *(volatile unsigned char *)0xFFA1      /* Timer Control/Status Register V */
#define TCSR_V_BIT (*(struct BIT *)0xFFA1)               /* Timer Control/Status Register V */
#define CMFB       TCSR_V_BIT.b7                          /* Compare Match Flag B            */
#define CMFA       TCSR_V_BIT.b6                          /* Compare Match Flag A            */
#define OS3        TCSR_V_BIT.b3                          /* Output Select 3                 */
#define OS2        TCSR_V_BIT.b2                          /* Output Select 2                 */
#define OS1        TCSR_V_BIT.b1                          /* Output Select 1                 */
#define OS0        TCSR_V_BIT.b0                          /* Output Select 0                 */
#define TCORA      *(volatile unsigned char *)0xFFA2      /* Time Constant Register A        */
#define TCORB      *(volatile unsigned char *)0xFFA3      /* Time Constant Register B        */
#define TCNTV      *(volatile unsigned char *)0xFFA4      /* Timer Counter V                 */
#define TCRV1_BIT  (*(struct BIT *)0xFFA5)               /* Timer Control Register V1       */
#define TVEG1      TCRV1_BIT.b4                          /* TRGV Input Edge Select 1        */
#define TVEG0      TCRV1_BIT.b3                          /* TRGV Input Edge Select 0        */
#define TRGE       TCRV1_BIT.b2                          /* TRGV Input Enable                */
#define ICKS0      TCRV1_BIT.b0                          /* Internal Clock Select 0          */

#pragma interrupt (TWINT)

/*****
/* 関数定義
*****/
extern void INIT( void ); /* SP Set
void main ( void );
void TWINT ( void );

/*****
/* Vector Address
*****/
#pragma section V1 /* VECTOR SECTOIN SET
void (*const VEC_TBL1[])(void) = { /* 0x00 - 0x0f
    INIT /* 00 Reset
};

#pragma section /* P

/*****
/* Main Program
*****/
void main ( void )
{
    _INITSCT();

    VCCLR0 = 1; /* Compare Match A Clear
    VCCLR1 = 0;
    VCKS0 = 1; /* Internal Clock /128 Falling Edge Count Up
    VCKS1 = 1;
    VCKS2 = 0;
    ICKS0 = 1;

```

```

OS0 = 1; /* Toggle Output Every Compare Match A */
OS1 = 1;

TCORA = 0xFA; /* Timer V Compare Register Set */

WCCLR = 1; /* Timer W Clock Source External Input */
WCKS2 = 1;
WCKS1 = 1;
WCKS0 = 1;
IOA0 = 1; /* Output Compare Match Output enable */
IOA1 = 1;
IOA2 = 0;

GRA = 0xFA;

CTS = 1; /* Timer W Start */

while(1){
    ;
}

```

リンクアドレス指定

セクション名	アドレス
CV1	0x0000
P	0x0100
B	0xFB80

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.09.24	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス 販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス 販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス 販売または特約店までご照会ください。