

RX65N グループ RX62N グループ

R01AN4840JJ0100

Rev.1.00

RX65N グループと RX62N グループの相違点

2017.07.01

要旨

本アプリケーションノートは、主に RX65N グループ、RX62N グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートで特に記載のない箇所については RX65N グループの 144/145 ピンパッケージと RX62N グループの 144/145 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順の仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

- RX65N グループ、RX62N グループ

目次

1. RX62N グループと RX65N グループの搭載機能比較	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード	7
2.3 リセット	8
2.4 電圧検出回路	9
2.5 クロック発生回路	11
2.6 消費電力低減機能	16
2.7 例外処理	22
2.8 割り込みコントローラ	23
2.9 バス	28
2.10 メモリプロテクションユニット	31
2.11 DMA コントローラ	32
2.12 EXDMA コントローラ	35
2.13 データトランスファコントローラ	39
2.14 I/O ポート	42
2.15 プログラマブルパルスジェネレータ	45
2.16 8 ビットタイマ	49
2.17 コンペアマッチタイマ	50
2.18 リアルタイムクロック	52
2.19 ウォッチドッグタイマ	56
2.20 独立ウォッチドッグタイマ	58
2.21 イーサネットコントローラ	60
2.22 イーサネットコントローラ用 DMA コントローラ	62
2.23 USB2.0 ファンクションモジュール	64
2.24 シリアルコミュニケーションインタフェース	73
2.25 I ² C バスインタフェース	82
2.26 CAN モジュール	85
2.27 シリアルペリフェラルインタフェース	88
2.28 CRC 演算器	91
2.29 バウンダリスキャン	93
2.30 12 ビット A/D コンバータ	94
2.31 D/A コンバータ	101
2.32 RAM	102
2.33 フラッシュメモリ(コードフラッシュ)	103
3. 端子機能の比較	107
3.1 144 ピンパッケージ	107
3.2 145 ピンパッケージ	115
3.3 100 ピンパッケージ	122
4. 移行の際の留意点	128
4.1 端子設計の留意点	128
4.1.1 動作モード	128
4.1.2 VCL 端子(外付け容量)	128
4.1.3 VBATT 端子	128
4.1.4 メインクロック発振器	128
4.1.5 外部クロック入力	128
4.1.6 サブクロック発振器	129
4.1.7 32 ビットバス空間の対応	129
4.1.8 アナログ電源端子	129
4.1.9 USB DP/DM のプルアップ抵抗/プルダウン抵抗内蔵	130
4.1.10 ブートモード (USB インタフェース)	130
4.1.11 未使用端子の処理	130

4.2 機能設定の留意点.....	131
4.2.1 パワーオンリセットと PLL 回路を併用する場合の注意事項	131
4.2.2 オプション設定メモリの予約領域および予約ビットにプログラムするデータ	131
4.2.3 サブクロック発振の制御について	131
4.2.4 スリープモード中の DMAC, DTC によるレジスタの書き換えについて	131
4.2.5 パッケージ毎のポート方向レジスタ (PDR) の設定値	131
4.2.6 RTC を使用しない場合の初期化手順	131
4.2.7 SCI トランスミットイネーブルビット (TE ビット) に関する注意事項.....	132
4.2.8 RSPI 通信の開始に関する注意事項	132
4.2.9 S12AD A/D 変換強制停止と開始時の動作タイミング	132
4.2.10 S12AD 12 ビット A/D コンバータを使用する場合の端子の設定	133
4.2.11 S12AD 外部バス使用時の注意事項.....	133
4.2.12 D/A 変換と A/D 変換の干渉対策有効時の注意事項.....	133
4.2.13 D/A イベントリンク動作における注意事項	133
4.2.14 出力バッファアンプ使用時の初期設定手順.....	133
4.2.15 RAM 自己診断時の補足事項	133
4.2.16 フラッシュメモリのアクセスウェイト数の設定	134
4.2.17 FCU RAM へのファームウェア転送	134
4.2.18 フラッシュメモリのコマンド使用方法	134
4.2.19 ID コードプロテクト機能の留意点	134
5. 参考ドキュメント.....	136

1. RX62N グループと RX65N グループの搭載機能比較

RX65N グループと RX62N グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX62N/RX65N 搭載機能比較を示します。

表 1.1 RX62N/RX65N 搭載機能比較

機能名	RX62N	RX65N
CPU		△
動作モード		△
リセット		△
オプション設定メモリ	×	○
電圧検出回路(LVD):RX62N、(LVDA):RX65N		△
クロック発生回路		△
クロック周波数制度測定回路(CAC)	×	○
消費電力低減機能		△
バッテリーバックアップ機能	×	○
レジスタライトプロテクション機能	×	○
例外処理		△
割り込みコントローラ(ICUa):RX62N、(ICUB):RX65N		△
バス		△
メモリプロテクションユニット(MPU)		△
DMA コントローラ(DMACA):RX62N、(DMACAa):RX65N		△
EXDMA コントローラ(EXDMAC):RX62N、(EXDMACa):RX65N		△
データトランスファコントローラ(DTCa):RX62N、(DTCb):RX65N		△
イベントリンクコントローラ(ELC)	×	○
IO ポート		△
マルチファンクションピンコントローラ(MPC)	×	○
マルチファンクションタイマパルスユニット 2(MTU2)	○	×
マルチファンクションタイマパルスユニット 3(MTU3a)	×	○
ポートアウトブットイネーブル 2(POE2)	○	×
ポートアウトブットイネーブル 3(POE3a)	×	○
16 ビットタイマパルスユニット(TPUa)	×	○
プログラマブルパルスジェネレータ(PPG)		△
8 ビットタイマ(TMR)		△
コンペアマッチタイマ(CMT)		△
コンペアマッチタイマ W(CMTW)	×	○
リアルタイムクロック(RTC):RX62N、(RTCd):RX65N		△
ウォッチドックタイマ(WDT):RX62N、(WDTA):RX65N		△
独立ウォッチドックタイマ(IWDT):RX62N、(IWDTa):RX65N		△
イーサネットコントローラ(ETHERC)		△
イーサネットコントローラ用 DMA コントローラ(EDMAC):RX62N、(EDMACa):RX65N		△
USB2.0FS ホスト ファンクションモジュール(USB):RX62N、(USBb):RX65N		△
シリアルコミュニケーションインターフェース(SCIa):RX62N、(SCIg,SCIh,SCIh):RX65N		△
I²C バスインターフェース(RIIC):RX62N、(RIICa):RX65N		△
CAN モジュール(CAN)		△
シリアルペリフェラルインターフェース(RSPI):RX62N、(RSPIc):RX65N		△

機能名	RX62N	RX65N
クワッドシリアルペリフェラルインターフェース(QSPI)	×	○
CRC 演算器(CRC):RX62N、(CRCA):RX65N		△
SD ホストインターフェース(SDHI)	×	○
SD スレーブインターフェース(SDSI)	×	○
マルチメディアカードインターフェース(MMCIF)	×	○
パラレルデータキャプチャユニット(PDC)	×	○
バウンダリスキャン		△
AESa	×	○
RNGa	×	○
12 ビット AD コンバータ(S12AD):RX62N、(S12ADFa):RX65N		△
10 ビット AD コンバータ(ADa)	○	×
D/A コンバータ:RX62N		△
12 ビット DA コンバータ(R12DA):RX65N		
温度センサ(TEMPS)	×	○
データ演算回路(DOC)	×	○
RAM		△
スタンバイ RAM	×	○
ROM(コードフラッシュメモリ) : RX62N		△
フラッシュメモリ : RX65N		
データフラッシュ (データ格納用フラッシュメモリ)	○	×

○:機能搭載、×:機能未搭載、△:RX62N と RX65N 間に機能相違点あり

2. 仕様の概要比較

2.1 CPU

表 2.1 に CPU 仕様の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU 仕様の概要比較

項目	RX62N	RX65N
中央演算処理装置	- 最大動作周波数：100MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット×16 本 - 制御レジスタ：32 ビット×9 本 - アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - 浮動小数点演算命令：8 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット×32 ビット→64 ビット - 除算器：32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット(MPU)	- 最大動作周波数：120MHz 32 ビット RX CPU(RXv2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット × 16 本 - 制御レジスタ：32 ビット × 10 本 - アキュムレータ：72 ビット×2 本 - 基本命令：75 種類 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット×32 ビット→64 ビット - 除算器：32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット(MPU)
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX62N	RX65N
EXTB	-	-	例外テーブルレジスタ
ACC		ACC：64 ビット（DSP、乗算、積和演算）	ACC0：72 ビット（DSP、乗算、積和演算） ACC1：72 ビット（DSP）

2.2 動作モード

表 2.3 に動作モード仕様の概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モード仕様の概要比較

項目	RX62N	RX65N
モード設定端子	MD1,MD0 MD1 MD0 0 1 ブートモード 1 0 USB ブートモード 1 1 シングルチップモード	MD,UB MD UB 0 0 ブートモード (SCI インタフェース) 0 1 ブートモード (USB インタフェース) 0->1 0 ブートモード (FINE インタフェース) 1 - シングルチップモード
モード設定端子による動作モード	シングルチップモード	シングルチップモード
	ブートモード (SCI インタフェース)	ブートモード (SCI インタフェース)
	ブートモード (USB インタフェース)	ブートモード (USB インタフェース)
	-	ブートモード (FINE インタフェース)
レジスタによる動作モード	シングルチップモード	シングルチップモード
	内蔵 ROM 無効拡張モード	内蔵 ROM 無効拡張モード
	内蔵 ROM 有効拡張モード	内蔵 ROM 有効拡張モード

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX62N	RX65N
MDMONR	MD0 MD	MD0 端子ステータスフラグ	MD 端子ステータスフラグ
	MD1	MD1 端子ステータスフラグ(b1)	-
	MDE	MDE 端子ステータスフラグ(b7)	-
MDSR	-	モードステータスレジスタ	-
SYSCR1	SBYRAME	-	スタンバイ RAM 有効ビット(b7)
		リセット後の初期値が異なります	

2.3 リセット

表 2.5 にリセットの名称と要因比較を、表 2.6 にリセットのレジスタ比較を示します。

表 2.5 リセットの名称と要因比較

項目	RX62N	RX65N
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇、 VCC の下降 （監視電圧：VPOR）	VCC の上昇（監視電圧：VPOR）
電圧監視リセット	- VCC の下降（監視電圧：Vdet1） VCC の下降（監視電圧：Vdet2）	VCC の下降（監視電圧：Vdet0） VCC の下降（監視電圧：Vdet1） VCC の下降（監視電圧：Vdet2）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー	独立ウォッチドッグタイマのアンダフロー またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー	ウォッチドッグタイマのアンダフロー またはリフレッシュエラー
ソフトウェアリセット	-	レジスタ設定

表 2.6 リセットのレジスタ比較

レジスタ	ビット	RX62N	RX65N
RSTSR* RSTSR0	LVD0RF	-	電圧監視 0 リセット検出フラグ(b1)
	LVD1F LVD1RF	LVD1 検知フラグ(b1)	電圧監視 1 リセット検出フラグ(b2)
	LVD2F LVD2RF	LVD2 検知フラグ(b2)	電圧監視 2 リセット検出フラグ(b3)
RSTSR1	-	-	リセットステータスレジスタ 1
RSTSR2	-	-	リセットステータスレジスタ 2
SWRR	-	-	ソフトウェアリセットレジスタ
RSTCSR*	-	リセットコントロール／ステータスレジスタ	-
IWDTSR*	REFEF	-	リフレッシュエラーフラグ(b15)

【注】 *. RX62N グループの RSTSR, RSTCSR, IWDTSR はそれぞれユーザーズマニュアル ハードウェア編「9. 消費電力低減機能」、「24. ウォッチドッグタイマ (WDT)」、「25. 独立ウォッチドッグタイマ (IWDWT)」章に記載されています。

2.4 電圧検出回路

表 2.7 に電圧検出回路仕様の概要比較を、表 2.8 に電圧検出回路のレジスタ比較を示します。

表 2.7 電圧検出回路仕様の概要比較

項目		RX62N(LVD)			RX65N(LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	-	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	-	Vdet1 以下	Vdet2 以下	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	-	固定	固定	OFFS1.VDSEL[1:0]ビットで 3 レベルから選択可能	LVDLVL.R.LVD1LVL[3:0]ビットで 3 レベルから選択可能	LVDLVL.R.LVD2LVL[3:0]ビットで 3 レベルから選択可能
	モニタフラグ	-	-	-	-	LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ
電圧検出時の処理	リセット	-	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		-	Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開	Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開	Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	-	電圧監視 1 割り込み	電圧監視 2 割り込み	-	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل割り込み	ノンマスクابل割り込み		ノンマスクابل割り込み、または割り込みを選択可能	ノンマスクابل割り込み、または割り込みを選択可能
デジタルフィルタ	有効/無効切り替え	デジタルフィルタの機能なし	デジタルフィルタの機能なし	デジタルフィルタの機能なし	デジタルフィルタの機能なし	あり	あり
	サンプリング時間	デジタルフィルタの機能なし	デジタルフィルタの機能なし	デジタルフィルタの機能なし	-	LOCO の n 分周 × 2 (n: 2, 4, 8, 16)	LOCO の n 分周 × 2 (n: 2, 4, 8, 16)
イベントリンク機能		-	-	-	-	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力

表 2.8 電圧検出回路のレジスタ比較

レジスタ	ビット	RX62N(LVD)	RX65N(LVDA)
RSTSR*	-	リセットステータスレジスタ	リセットステータスレジスタ 0
RSTSR0*	LVD0RF	-	電圧監視 0 リセット検出フラグ (b1)
	LVD1F LVD1RF	LVD1 検知フラグ(b1)	電圧監視 1 リセット検出フラグ (b2)
	LVD2F LVD2RF	LVD2 検知フラグ(b2)	電圧監視 2 リセット検出フラグ (b3)
LVDKEYR	-	低電圧検出コントロールレジスタ用 キーコードレジスタ	-
LVDCR	-	低電圧検出コントロールレジスタ	-
LVD1CR1	-	-	電圧監視 1 回路制御レジスタ 1
LVD1SR	-	-	電圧監視 1 回路ステータスレジスタ
LVD2CR1	-	-	電圧監視 2 回路制御レジスタ 1
LVD2SR	-	-	電圧監視 2 回路ステータスレジスタ
LVCMPCR	-	-	電圧監視回路制御レジスタ
LVDLVLR	-	-	電圧検出レベル選択レジスタ
LVD1CR0	-	-	電圧監視 1 回路制御レジスタ 0
LVD2CR0	-	-	電圧監視 2 回路制御レジスタ 0

【注】 *. RX62N グループの RSTSR は、ユーザーズマニュアル ハードウェア編「11. 消費電力低減機能」章に記載されています。

RX65N グループの RSTSR0 は、ユーザーズマニュアル ハードウェア編「6. リセット」章に記載されています。

2.5 クロック発生回路

表 2.9 にクロック発生回路仕様の概要比較を、表 2.10 にクロック発生回路のレジスタ比較を示します。

表 2.9 クロック発生回路仕様の概要比較

項目	RX62N	RX65N
用途	- CPU、DTC、DMACA、ETHERC、EDMAC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 - 周辺モジュールに供給される周辺モジュールクロック (PCLK) の生成 - 外部バスに供給される外部バスクロック (BCLK) の生成 - SDRAM に供給される SDRAM クロック (SDCLK) の生成 - USB に供給される USB 専用クロック (UCLK) の生成 - RTC に供給される RTC 専用クロック (SUBCLK) の生成 - IWDT に供給されるオンチップオシレータクロック (IWDTCLK) の生成	- CPU, DMAC, DTC, コードフラッシュメモリおよび RAM に供給されるシステムクロック(ICLK)の生成 - ETHERC, EDMAC, RSPI, SCII, MTU3, AES に供給される周辺モジュールクロック(PCLKA)の生成 - 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 - S12ADC に供給される周辺モジュール(アナログ変換用)クロック(PCLKC:ユニット 0, PCLKD:ユニット 1)の生成 - FlashIF に供給される FlashIF クロック(FCLK)の生成 - 外部バスに供給される外部バスクロック(BCLK)の生成 - SDRAM に供給される外部バスクロック(SDCLK)の生成 - USBb に供給される USB クロック(UCLK)の生成 - CAC に供給される CAC クロック(CACCLK)の生成 - CAN に供給される CAN クロック(CANMCLK)の生成 - RTC に供給される RTC サブクロック(RTCSCLK)の生成 - RTC に供給される RTC メインクロック(RTCMCLK)の生成 - IWDT に供給される IWDT 専用クロック(IWDTCLK)の生成 - JTAG に供給される JTAG クロック(JTAGTCK)の生成

項目	RX62N	RX65N
動作周波数	• ICLK : 8MHz~100MHz • PCLK : 8MHz~50MHz • BCLK : 8MHz~100MHz *1 • BCLK 端子出力 : 8MHz~50MHz *2 • SDCLK : 8MHz~50MHz • SDCLK 端子出力 : 8MHz~50MHz • UCLK : 48MHz (EXTAL=12MHz 時のみ) • SUBCLK : 32.768kHz • IWDTCCLK : 125kHz クロック周波数設定制限 : ICLK$\geq$PCLK、 ICLK$\geq$BCLK を維持	• ICLK:120MHz (max) • PCLKA:120MHz (max) • PCLKB:60MHz (max) • PCLKC:60MHz (max) • PCLKD:60MHz (max) • FCLK:4MHz~60MHz(コードフラッシュメモリ) • BCLK:120MHz (max) • BCLK 端子出力:60MHz (max) • SDCLK 端子出力:60MHz (max) • UCLK:48MHz (max) • CACCLK:各発振器のクロックと同じ • CANMCLK:24MHz (max) • RTCSCLK:32.768kHz • RTCMCLK:8MHz~16MHz • IWDTCCLK:120kHz • JTAGTCK:10MHz (max)
メインクロック発振器	• 発振子周波数:8MHz~14MHz • 外部クロック入力周波数:14MHz (max) • 接続できる発振子または付加回路:水晶振動子 • 接続端子:EXTAL, XTAL • 発振停止検出機能:メインクロックの発振停止検出時、LOCO に切り替える機能、MTU 端子をハイインピーダンスにする機能	• 発振子周波数:8MHz~24MHz • 外部クロック入力周波数:24MHz (max) • 接続できる発振子または付加回路:セラミック共振子、水晶振動子 • 接続端子:EXTAL, XTAL • 発振停止検出機能:メインクロックの発振停止検出時、LOCO に切り替える機能、MTU3 端子をハイインピーダンスにする機能
サブクロック発振器	• 発振子周波数:32.768kHz • 外部クロック入力 : 32.768kHz • 接続できる発振子、または付加回路:水晶振動子 • 接続端子:XCIN, XCOUT	• 発振子周波数:32.768kHz • 接続できる発振子または付加回路:水晶振動子 • 接続端子:XCIN, XCOUT
PLL 周波数シンセサイザ	• 入力クロックソース:メインクロック、内部発振回路 • 入力周波数:4MHz~14MHz • 通倍比:8 通倍	• 入力クロックソース:メインクロック、HOCO • 入力分周比:1, 2, 3 分周から選択可能 • 入力周波数:8MHz~24MHz • 通倍比:10~30 通倍から選択可能 • PLL 周波数シンセサイザ出力クロック周波数:120MHz~240MHz
高速オンチップオシレータ (HOCO)	-	• 発振周波数:16MHz, 18MHz, 20MHz から選択可能 • HOCO 電源制御

項目	RX62N	RX65N
低速オンチップオシレータ (LOCO)	-	発振周波数:240kHz
IWDT 専用オンチップオシレータ	発振周波数:125kHz	発振周波数:120kHz
JTAG 用外部クロック入力 (TCK)	-	入力クロック周波数:10MHz (max)
BCLK 端子の出力制御機能	- BCLK クロック出力または High 出力の選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能	- BCLK クロック出力または High 出力の選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
SDCLK 端子の出力制御機能	SDCLK クロック出力または High 出力の選択が可能	SDCLK クロック出力または High 出力の選択が可能
イベントリンク機能(出力)	-	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	-	低速オンチップオシレータへのクロックソース切り替え

【注】 *1. 100 ピン LQFP 版では、BCLK : 8~50MHz

*2. 100 ピン LQFP 版では、BCLK 端子出力 : 8~25MHz

表 2.10 クロック発生回路のレジスタ比較

レジスタ	ビット	RX62N	RX65N
SCKCR	PCKD[3:0]	-	周辺モジュールクロック D(PCLKD) 選択ビット(注 1) (b3-b0)
	PCKC[3:0]	-	周辺モジュールクロック C(PCLKC) 選択ビット(b7-b4)
	PCK[3:0] PCKB[3:0]	周辺モジュールクロック 選択ビット b11 b8 0 0 0 0 : ×8 0 0 0 1 : ×4 0 0 1 0 : ×2 0 0 1 1 : ×1 上記以外は設定しないでください。 リセット後の初期値が異なります	周辺モジュールクロック B(PCLKB) 選択ビット b11 b8 0 0 0 0 : 1 分周 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 上記以外は設定しないでください
	PCKA[3:0]	-	周辺モジュールクロック A(PCLKA) 選択ビット(b15-b12)

レジスタ	ビット	RX62N	RX65N
	BCK[3:0]	外部バスクロック、 SDRAM クロック 選択ビット b19 b16 0 0 0 0 : ×8 0 0 0 1 : ×4 0 0 1 0 : ×2 0 0 1 1 : ×1 上記以外は設定しないでください。 リセット後の初期値が異なります	外部バスクロック (BCLK) 選択ビット b19 b16 0 0 0 0 : 1 分周 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 上記以外は設定しないでください
	ICK[3:0]	システムクロック選択ビット b27 b24 0 0 0 0 : ×8 0 0 0 1 : ×4 0 0 1 0 : ×2 0 0 1 1 : ×1 上記以外は設定しないでください。 リセット後の初期値が異なります	システムクロック選択ビット b27 b24 0 0 0 0 : 1 分周 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 上記以外は設定しないでください
	FCK[3:0]	-	FlashIF クロック (FCLK) 選択ビット (b31-b28)
ROMWT	-	-	ROM ウェイトサイクル設定レジスタ
SCKCR2	-	-	システムクロックコントロールレジスタ 2
SCKCR3	-	-	システムクロックコントロールレジスタ 3
PLLCR	-	-	PLL コントロールレジスタ
PLLCR2	-	-	PLL コントロールレジスタ 2
MOSCCR	-	-	メインクロック発振器コントロールレジスタ
SUBOSCCR SOSCCR	-	サブクロック発振器コントロールレジスタ	サブクロック発振器コントロールレジスタ
	SUBSTOP SOSTP	サブクロック発振器制御ビット	サブクロック発振器 停止 ビット
LOCOCR	-	-	低速オンチップオシレータコントロールレジスタ
ILOCOCR	-	-	IWDT 専用オンチップオシレータコントロールレジスタ
HOCOCR	-	-	高速オンチップオシレータコントロールレジスタ
HOCOCR2	-	-	高速オンチップオシレータコントロールレジスタ 2
OSCOVFSR	-	-	発振安定フラグレジスタ

レジスタ	ビット	RX62N	RX65N
OSTDCR RX62N:16 ビット RX65N:8 ビット	OSTDIE	-	発振停止検出割り込み許可ビット(b0)
	OSTDF	発振停止検出フラグ(b6)	-
	OSTDE	発振停止検出機能有効ビット(b7)	発振停止検出機能有効ビット(b7)
		リセット後の初期値が異なります	
	KEY[7:0]	OSTDCR キーコード(b15-b8)	-
OSTDSR	-	-	発振停止検出ステータスレジスタ
MOSCWTCR	-	-	メインクロック発振器ウェイトコントロールレジスタ
SOSCWTCR	-	-	サブクロック発振器ウェイトコントロールレジスタ
MOFCR	-	-	メインクロック発振器強制発振コントロールレジスタ
HOCOPCR	-	-	高速オンチップオシレータ電源コントロールレジスタ

1. SCKCR3.CKSEL[2:0]ビットで PLL 選択時、PLL 回路出力クロックが 120MHz より高い周波数になる場合は、1 分周を設定しないでください。

2.6 消費電力低減機能

表 2.11 に消費電力低減機能の概要比較を、表 2.12 に消費電力低減機能のレジスタ比較を示します。

表 2.11 消費電力低減機能の概要比較

項目	RX62N	RX65N
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK) に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック(BCLK)、フラッシュインタフェースクロック(FCLK)に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能	BCLK 出力または High 出力の選択が可能
SDCLK 出力制御機能	SDCLK 出力または High 出力の選択が可能	SDCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード
動作電力低減機能	-	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 - 動作電力制御状態:3 種類 高速動作モード 低速動作モード 1 低速動作モード 2 低速動作モード 1 と低速動作モード 2 において、同条件(周波数・電圧)に設定した場合、消費電力に差はありません

表 2.12 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62N	RX65N
SBYCR	STS[4:0]	スタンバイタイム選択ビット(b12-b8) b12 b8 0 0 1 0 1 : 待機時間 = 64 ステート 0 0 1 1 0 : 待機時間 = 512 ステート 0 0 1 1 1 : 待機時間 = 1024 ステート 0 1 0 0 0 : 待機時間 = 2048 ステート 0 1 0 0 1 : 待機時間 = 4096 ステート 0 1 0 1 0 : 待機時間 = 16384 ステート 0 1 0 1 1 : 待機時間 = 32768 ステート 0 1 1 0 0 : 待機時間 = 65536 ステート 0 1 1 0 1 : 待機時間 = 131072 ステート 0 1 1 1 0 : 待機時間 = 262144 ステート 0 1 1 1 1 : 待機時間 = 524288 ステート 上記以外は設定しないでください。 リセット後の初期値が異なります	-
MSTPCRA	MSTPA0	-	コンペアマッチタイマ W(ユニット 1)モジュールストップ設定ビット(b0)
	MSTPA1	-	コンペアマッチタイマ W(ユニット 0)モジュールストップ設定ビット(b1)
	MSTPA8	マルチファンクションタイマパルスユニット (ユニット 1) モジュールストップ設定ビット(b8) 対象モジュール : MTU ユニット 1 (MTU6~MTU11)	-
	MSTPA9	マルチファンクションタイマパルスユニット (ユニット 0) モジュールストップ設定ビット 対象モジュール : MTU ユニット 0(MTU0~MTU5)	マルチファンクションタイマパルスユニット 3 モジュールストップ設定ビット 対象モジュール : MTU3
	MSTPA13	-	16 ビットタイマパルスユニット 0 (ユニット 0) モジュールストップ設定ビット(b13) 対象モジュール : TPU ユニット 0 (TPU0~TPU5)
	MSTPA16	-	12 ビット A/D コンバータ(ユニット 1)モジュールストップ設定ビット(b16)
	MSTPA17	12 ビット A/D コンバータモジュールストップ設定ビット(注 1) 対象モジュール : S12AD	12 ビット A/D コンバータ (ユニット 0) モジュールストップ設定ビット 対象モジュール : S12AD ユニット 0

レジスタ	ビット	RX62N	RX65N
	MSTPA19	D/A コンバータモジュールストップ設定ビット 対象モジュール : DA	12 ビット D/A コンバータモジュールストップ設定ビット 対象モジュール : 12 ビット DA
	MSTPA22	10 ビット A/D コンバータ (ユニット 1) モジュールストップ設定ビット(注 1) (b22)	-
	MSTPA23	10 ビット A/D コンバータ (ユニット 0) モジュールストップ設定ビット(注 1) (b23)	-
	MSTPA24	- リセット後の初期値が異なります	モジュールストップ A24 設定ビット
	MSTPA27	-	モジュールストップ A27 設定ビット(b27)
	MSTPCRB		
	MSTPB0	CAN モジュールストップ設定ビット 対象モジュール : CAN	CAN モジュール 0 モジュールストップ設定ビット (注 2) 対象モジュール : CAN0
	MSTPB1	-	CAN モジュール 1 モジュールストップ設定ビット(注 2) (b1)
	MSTPB4	-	シリアルコミュニケーションインタフェース SC1h モジュールストップ設定ビット(b4)
	MSTPB6	-	データ演算回路モジュールストップ設定ビット(b6)
	MSTPB8	-	温度センサモジュールストップ設定ビット(b8)
	MSTPB9	-	イベントリンクコントローラモジュールストップ設定ビット(b9)
	MSTPB15	イーサネットコントローラ用 DMA コントローラモジュールストップ設定ビット 対象モジュール : EDMAC	イーサネットコントローラ 、イーサネットコントローラ用 DMA コントローラ(チャンネル 0) モジュールストップ設定ビット 対象モジュール : ETHER 、EDMAC (チャンネル 0)
	MSTPB18	ユニバーサルシリアルバスインタフェース (ポート 1) モジュールストップ設定ビット(b18)	-
	MSTPB19	ユニバーサルシリアルバスインタフェース (ポート 0) モジュールストップ設定ビット 対象モジュール : USB0	ユニバーサルシリアルバス 2.0 FS インタフェースモジュールストップ設定ビット 対象モジュール : USB0
	MSTPB20	I ² C バスインタフェース 1 モジュールストップ設定ビット(b20)	-

レジスタ	ビット	RX62N	RX65N
	MSTPB22	-	パラレルデータキャプチャユニットモジュールストップ設定ビット(b22)
	MSTPB24	-	シリアルコミュニケーションインタフェース7モジュールストップ設定ビット(b24)
	MSTPB27	-	シリアルコミュニケーションインタフェース4モジュールストップ設定ビット(b27)
MSTPCRC	MSTPC1	RAM1 モジュールストップ設定ビット(b1)	-
	MSTPC7	-	スタンバイ RAM モジュールストップ設定ビット(b7)
	MSTPC17	-	I ² C バスインタフェースモジュールストップ設定ビット(b17)
	MSTPC19	-	CAC モジュールストップ設定ビット(b19)
	MSTPC22	-	シリアルペリフェラルインタフェース2モジュールストップ設定ビット(b22)
	MSTPC23	-	クワッドシリアルペリフェラルインタフェースモジュールストップ設定ビット(b23)
	MSTPC24	-	シリアルコミュニケーションインタフェース 11 モジュールストップ設定ビット(b24)
	MSTPC25	-	シリアルコミュニケーションインタフェース 10 モジュールストップ設定ビット(b25)
	MSTPC26	-	シリアルコミュニケーションインタフェース9モジュールストップ設定ビット(b26)
	MSTPC27	-	シリアルコミュニケーションインタフェース8モジュールストップ設定ビット(b27)
MSTPCRD	-	-	モジュールストップコントロールレジスタ D
OPCCR	-	-	動作電力コントロールレジスタ
RSTCKCR	-	-	スリープモード復帰クロックソース切り替えレジスタ

レジスタ	ビット	RX62N	RX65N
DPSBYCR	RAMCUT0 DEEPCUT[1:0]	内蔵 RAM オフビット(b5,b4,b0) b5 b4 b0 000: ディープソフトウェアスタンバイモード時、内蔵 RAM と USB レジューム検出部に電源を供給する 111: ディープソフトウェアスタンバイモード時、内蔵 RAM と USB レジューム検出部に電源を供給しない 上記以外は、設定しないでください	ディープカットビット(b1-b0) b1 b0 00: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給する 01: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給しない 10: 設定しないでください 11: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給しない。また、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にする
	RAMCUT1	RAMCUT0 ビットの機能を参照してください(b4)	-
		リセット後の初期値が異なります	
	RAMCUT2	RAMCUT0 ビットの機能を参照してください(b5)	-
		リセット後の初期値が異なります	
DPSWCR	-	ディープスタンバイウェイトコントロールレジスタ	-
DPSIER DPSIER0	DLVDE DIRQ4E	LVD ディープスタンバイ解除信号許可ビット	IRQ4-DS 端子許可ビット
	DRTCE DIRQ5E	RTC ディープスタンバイ解除信号許可ビット	IRQ5-DS 端子許可ビット
	DUSBE DIRQ6E	USB サスペンド/レジュームディープスタンバイ解除信号許可ビット	IRQ6-DS 端子許可ビット
	DNMIE DIRQ7E	NMI 端子許可ビット	IRQ7-DS 端子許可ビット
DPSIER1	-	-	ディープスタンバイインタラプトイネーブルレジスタ 1

レジスタ	ビット	RX62N	RX65N
DPSIER2	-	-	ディープスタンバイインタラプトイネーブルレジスタ 2
DPSIER3	-	-	ディープスタンバイインタラプトイネーブルレジスタ 3
DPSIFR DPSIFR0	DLVDF DIRQ4F	LVD ディープスタンバイ解除フラグ	IRQ4-DS 端子ディープスタンバイ解除フラグ
	DRTCF DIRQ5F	RTC ディープスタンバイ解除フラグ	IRQ5-DS 端子ディープスタンバイ解除フラグ
	DUSBF DIRQ6F	USB サスペンド/レジュームディープスタンバイ解除フラグ	IRQ6-DS 端子ディープスタンバイ解除フラグ
	DNMIF DIRQ7F	NMI ディープスタンバイ解除フラグ	IRQ7-DS 端子ディープスタンバイ解除フラグ
DPSIFR1	-	-	ディープスタンバイインタラプトフラグレジスタ 1
DPSIFR2	-	-	ディープスタンバイインタラプトフラグレジスタ 2
DPSIFR3	-	-	ディープスタンバイインタラプトフラグレジスタ 3
DPSIEGR DPSIEGR0	DIRQ4EG	-	IRQ4-DS 端子エッジ選択ビット(b4)
	DIRQ5EG	-	IRQ5-DS 端子エッジ選択ビット(b5)
	DIRQ6EG	-	IRQ6-DS 端子エッジ選択ビット(b6)
	DNMIEG DIRQ7EG	NMI エッジ選択ビット	IRQ7-DS 端子エッジ選択ビット
DPSIEGR1	-	-	ディープスタンバイインタラプトエッジレジスタ 1
DPSIEGR2	-	-	ディープスタンバイインタラプトエッジレジスタ 2
DPSIEGR3	-	-	ディープスタンバイインタラプトエッジレジスタ 3
RSTSR RSTSR0*	LVD0RF	-	電圧監視 0 リセット検出フラグ(b1)
	LVD1F LVD1RF	LVD1 検知フラグ(b1)	電圧監視 1 リセット検出フラグ(b2)
	LVD2F LVD2RF	LVD2 検知フラグ(b2)	電圧監視 2 リセット検出フラグ(b3)

注1. 10 ビット A/D コンバータと 12 ビット A/D コンバータは同時に使用することはできません。MSTPA17 ビットと MSTPA22 ビット、または MSTPA17 ビットと MSTPA23 ビットを同時にモジュールストップ解除状態にしないでください。

注2. MSTPBi ビットの書き換えは、MSTPBi ビットによって制御するクロックの発振が安定しているときに行ってください。MSTPBi ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後 CAN クロック (CANMCLK) で 2 サイクル経過した後、WAIT 命令を実行してください。(i = 0, 1)

【注】 *. RX65N グループの RSTSR0 はそれぞれ、「リセット」に記載されています。

2.7 例外処理

表 2.13 にベクタ比較を、表 2.14 に例外処理ルーチンからの復帰命令比較を示します。

表 2.13 ベクタ比較

例外事象		RX62N	RX65N
未定義命令例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
特権命令例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
アクセス例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
浮動小数点例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
リセット		固定ベクタテーブル	例外ベクタテーブル (EXTB)
ノンマスカブル割り込み		固定ベクタテーブル	例外ベクタテーブル (EXTB)
割り込み	高速割り込み	FINTV	FINTV
	高速割り込み以外	可変ベクタテーブル (INTB)	割り込みベクタテーブル (INTB)
無条件トラップ		可変ベクタテーブル (INTB)	割り込みベクタテーブル (INTB)

表 2.14 例外処理ルーチンからの復帰命令比較

例外事象		RX62N	RX65N
未定義命令例外		RTE	RTE
特権命令例外		RTE	RTE
アクセス例外		RTE	RTE
浮動小数点例外		RTE	RTE
リセット		復帰不可能	復帰不可能
ノンマスカブル割り込み		復帰不可能	禁止
割り込み	高速割り込み	RTFI	RTFI
	高速割り込み以外	RTE	RTE
無条件トラップ		RTE	RTE

2.8 割り込みコントローラ

表 2.15 に割り込みコントローラ仕様の概要比較を、表 2.16 に割り込みコントローラのレジスタ比較を示します。

表 2.15 割り込みコントローラ仕様の概要比較

項目		RX62N(ICUa)	RX65N(ICUB)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出: エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法が決められている。	- 周辺モジュールからの割り込み - 割り込みの検出方法: エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) - グループ割り込み: 複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 - グループ BE0 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) - グループ BL0/BL1/BL2 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - グループ AL0/AL1 割り込み: PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - 選択型割り込み B: 割り込みベクタ番号 128～207 に、PCLKB を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1つを割り当てることが可能 - 選択型割り込み A: 割り込みベクタ番号 208～255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1つを割り当てることが可能

項目		RX62N(ICUa)	RX65N(ICUB)
割り込み	外部端子割り込み	- IRQ0～IRQ15 端子からの割り込み - 要因数：16 - 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能	- IRQi 端子 (i = 0～15) への入力信号による割り込み - 要因数：16 - 割り込み検出:Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数:2
	割り込み優先レベル	割り込み要因プライオリティレジスタ (IPR) により優先レベルを設定	割り込み要因プライオリティレジスタ (IPR) により優先レベルを設定
	高速割り込み機能	CPU の割り込み応答時間を短縮可能 1 つの割り込み要因にのみ設定可能	CPU の割り込み応答時間を短縮可能 1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因により DTC や DMAC ^A を起動可能	割り込み要因により DTC や DMAC の起動が可能
	EXDMAC 制御	-	- 選択型割り込み B 要因選択レジスタ 144 または選択型割り込み A 要因選択レジスタ 208 で選択した割り込みにより EXDMAC0 の起動が可能 - 選択型割り込み B 要因選択レジスタ 145 または選択型割り込み A 要因選択レジスタ 209 で選択した割り込みにより EXDMAC1 の起動が可能
ノンマスクابل割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出: 立ち下がりエッジ/立ち上がりエッジ	- NMI 端子への入力信号による割り込み - 割り込み検出:立ち下がりエッジまたは立ち上がりエッジ - デジタルフィルタを使用することにより、ノイズを除去することが可能

項目		RX62N(ICUa)	RX65N(ICUB)
	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー / リフレッシュエラー割り込み	-	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー / リフレッシュエラー割り込み	-	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視割り込み	電源電圧低下検出時の割り込み	電圧検出 1 回路(LVD1)からの割り込み 電圧検出 2 回路(LVD2)からの割り込み
	RAM エラー割り込み	-	RAM のパリティエラーチェックを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	ノンマスカブル割り込み、全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロックストップモード	ノンマスカブル割り込み、IRQ15～IRQ0 割り込み、WDT 割り込み、TMR 割り込み、USB 割り込み (USBR)、RTC アラーム割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、RTC アラーム、RTC 周期、IWDT、選択型割り込み 146～157)で復帰
	ソフトウェアスタンバイモード	ノンマスカブル割り込み、IRQ15～IRQ0 割り込み、USB 割り込み (USBR)、RTC アラーム割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、IWDT)で復帰
	ディープソフトウェアスタンバイモード	-	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期)で復帰

表 2.16 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62N(ICUa)	RX65N(ICUB)
IRi IRn	-	割り込み要求レジスタ i (i = 割り込みベクタ番号)	割り込み要求レジスタ n (n = 016 ~ 255)
IPRm IPRr	-	割り込み要因プライオリティレジスタ m (m=0~8Fh)	割り込み要因プライオリティレジスタ r (r=0~255)
SWINT2R	-	-	ソフトウェア割り込み 2 起動レジスタ
DTCERn	-	DTC 転送要求許可レジスタ n (n = 割り込みベクタ番号)	DTC 転送要求許可レジスタ n (n=026~255)
DMRSRn DMRSRm	-	DMACA 起動要因選択レジスタ n (n = DMACA チャンネル番号)	DMAC 起動要因選択レジスタ m (m = DMAC チャンネル番号)
	DMRS[7:0]	DMACA 起動要求選択ビット	ビット名なし
	-	-	-

レジスタ	ビット	RX62N(ICUa)	RX65N(ICUB)
IRQFLTE0	-	-	IRQ 端子デジタルフィルタ許可レジスタ 0
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可レジスタ 1
IRQFLTC0	-	-	IRQ 端子デジタルフィルタ設定レジスタ 0
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定レジスタ 1
NMISR	LVDST	電圧監視割り込みステータスフラグ(b1)	-
	OSTST	発振停止検出割り込みステータスフラグ(b2)	発振停止検出割り込みステータスフラグ(b1)
	WDTST	-	WDT アンダフロー/リフレッシュエラーステータスフラグ(b2)
	IWDTST	-	IWDT アンダフロー/リフレッシュエラーステータスフラグ(b3)
	LVD1ST	-	電圧監視 1 割り込みステータスフラグ(b4)
	LVD2ST	-	電圧監視 2 割り込みステータスフラグ(b5)
	RAMST	-	RAM エラー割り込みステータスフラグ(b6)
NMIER	LVDEN	電圧監視割り込み許可ビット(b1)	-
	OSTEN	発振停止検出割り込み許可ビット(b2)	発振停止検出割り込み許可ビット(b1)
	WDTEN	-	WDT アンダフロー/リフレッシュエラー許可ビット(b2)
	IWDTEN	-	IWDT アンダフロー/リフレッシュエラー許可ビット(b3)
	LVD1EN	-	電圧監視 1 割り込み許可ビット(b4)
	LVD2EN	-	電圧監視 2 割り込み許可ビット(b5)
	RAMEN	-	RAM エラー割り込み許可ビット(b6)
NMICLR	-	ノンマスカブル割り込みクリアレジスタ	ノンマスカブル割り込みステータスクリアレジスタ
	OSTCLR	OST クリアビット(b2)	OST クリアビット(b1)
	WDTCLR	-	WDT クリアビット(b2)
	IWDTCLR	-	IWDT クリアビット(b3)
	LVD1CLR	-	LVD1 クリアビット(b4)
	LVD2CLR	-	LVD2 クリアビット(b5)
NMIFLTE	-	-	NMI 端子デジタルフィルタ許可レジスタ
NMIFLTC	-	-	NMI 端子デジタルフィルタ設定レジスタ
GRPBE0	-	-	グループ BE0 割り込み要求レジスタ
GRPBL0/1/2	-	-	グループ BL0/1/2 割り込み要求レジスタ
GRPAL0/1	-	-	グループ AL0/1 割り込み要求レジスタ
GENBE0	-	-	グループ BE0 割り込み要求許可レジスタ

レジスタ	ビット	RX62N(ICUa)	RX65N(ICUB)
GENBL0/1/2	-	-	グループ BL0/1/2 割り込み要求許可レジスタ
GENAL0/1	-	-	グループ AL0/1 割り込み要求許可レジスタ
GCRBE0	-	-	グループ BE0 割り込みクリアレジスタ
PIBRk	-	-	選択型割り込み B 要求レジスタ k (k=0h~Ah)
PIARk	-	-	選択型割り込み A 要求レジスタ k (k=0h~5h,Bh)
SLIBXRn	-	-	選択型割り込み B 要因選択レジスタ Xn (n=128~143)
SLIBRn	-	-	選択型割り込み B 要因選択レジスタ n (n=144~207)
SLIARn	-	-	選択型割り込み A 要因選択レジスタ n (n=208~255)
SELEXDR	-	-	EXDMAC 起動割り込み選択レジスタ
SLIPRCR	-	-	選択型割り込み要因選択レジスタ書き込み保護レジスタ

2.9 バス

表 2.17 にバス仕様の概要比較を、表 2.18 に外部バス仕様の概要比較を、表 2.19 にバスのレジスタ比較を示します。

表 2.17 バス仕様の概要比較

バスの種類		RX62N	RX65N
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続(RAM,ROM) • システムクロック(ICLK)に同期して動作	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM,ROM) • システムクロック(ICLK)に同期して動作	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	コードフラッシュメモリを接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DTC,DMACA,EDMAC を接続 • 内蔵メモリを接続(RAM,ROM) • システムクロック(ICLK)に同期して動作	• DTC,DMAC,EDMAC,SDSI を接続 • 内蔵メモリを接続(RAM,コードフラッシュ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(DTC,DMAC,EXDMAC,割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作(EXDMAC は、BCLK に同期して動作)
	内部周辺バス 2	• 周辺機能を接続 • 周辺モジュールクロック(PCLK)に同期して動作	• 周辺機能(内部周辺バス 1,3,4,5 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	• 周辺機能(USB)を接続 • 周辺モジュールクロック(PCLK)に同期して動作	• 周辺機能(USBb,PDC,スタンバイ RAM)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	• 周辺機能(EDMAC,ETHERC)を接続する • システムクロック (ICLK) に同期して動作	• 周辺機能(EDMAC,ETHERC,MTU3,SCIi,RSPI,AES)を接続する • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	• 周辺機能を接続 • システムクロック(ICLK)に同期して動作	予約領域

バスの種類		RX62N	RX65N
	内部周辺バス 6	- ROM(P/E)/データフラッシュを接続 - 周辺モジュールクロック(PCLK)に同期して動作	コードフラッシュメモリ(P/E時)を接続 FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作
	SDRAM 領域	- SDRAM を接続 - SDRAM クロック(SDCLK)に同期して動作	- SDRAM を接続 - SDRAM クロック(SDCLK)に同期して動作

表 2.18 外部バス仕様の概要比較

項目	RX62N	RX65N
外部アドレス空間	- 外部アドレス空間を 8 つの CS 領域(CS0～CS7)と SDRAM 領域(SDCS)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 8 ビットバス空間/16 ビットバス空間/32 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能	- 外部アドレス空間を 8 つの CS 領域(CS0～CS7)と SDRAM 領域(SDCS)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス: 8 ビットバス空間/16 ビットバス空間を選択可能 アドレス/データマルチプレクスバス: 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能
CS 領域 コントローラ	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入 - ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能: 最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号(CS0#～CS7#)のアサート/ネゲートタイミング設定可能 - リード信号(RD#)、ライト信号(WR0#/WR#～WR3#)のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード: 1 ライトストロブモード/バイトストロブモード	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入可能 - ライトリカバリ最大 15 サイクル挿入可能 - サイクルウェイト機能: 最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号(CS0#～CS7#)のアサート/ネゲートタイミング設定可能 - リード信号(RD#)、ライト信号(WR0#/WR#～WR1#)のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード: 1 ライトストロブモード/バイトストロブモード セパレートバス、アドレス/データマルチプレクスバスの領域ごとに設定可能

項目	RX62N	RX65N
SDRAM 領域 コントローラ	- ロウアドレス/カラムアドレスのマルチプレクス出力(8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1~3 に設定可能	- ロウアドレス/カラムアドレスのマルチプレクス出力(8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1~3 に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	- CS 領域コントローラ(CSC)は、BCLK*同期して動作 - SDRAM 領域コントローラ(SDRAMC)は、SDCLK に同期して動作	- CS 領域コントローラ(CSC)は、BCLK*同期して動作 - SDRAM 領域コントローラ(SDRAMC)は、SDCLK に同期して動作

【注】 *. SDRAM 使用時、BCLK と SDCLK は同じ周波数で動作させる必要があります。

表 2.19 バスのレジスタ比較

レジスタ	ビット	RX62N	RX65N
CSnCR	BSIZE[1:0]	外部バス幅選択ビット (n = 0~7) b5b4 00 : 16 ビットバス空間に設定 01 : 32 ビットバス空間に設定 10 : 8 ビットバス空間に設定 11 : 設定しないでください	外部バス幅選択ビット (n = 0~7) b5b4 00 : 16 ビットバス空間に設定 01 : 設定しないでください 10 : 8 ビットバス空間に設定 11 : 設定しないでください
	MPXEN	-	アドレス/データマルチプレクス I/O インタフェース選択ビット(b12)
CSRECEN	-	-	CS リカバリサイクル挿入許可レジスタ
CSnWCR2	AWAIT[1:0]	-	アドレスサイクルウェイト選択ビット(b13-b12)
SDCCR	BSIZE[1:0]	SDRAM バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 32 ビットバス空間に設定 10 : 8 ビットバス空間に設定 11 : 設定しないでください	SDRAM バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 設定しないでください 10 : 8 ビットバス空間に設定 11 : 設定しないでください
BERSR1	MST[2:0]	バスマスタコードビット b6 b4 000 : CPU 001 : 設定しないでください 010 : 設定しないでください 011 : DTC/DMACA 100 : 設定しないでください 101 : 設定しないでください 110 : EDMAC 111 : EXDMAC	バスマスタコードビット b6 b4 000 : CPU 001 : 予約 010 : 予約 011 : DTC/ DMAC 100 : 予約 101 : 予約 110 : EDMAC/ SDSI 111 : EXDMAC
BUSPRI	-	-	バスプライオリティ制御レジスタ

2.10 メモリプロテクションユニット

表 2.20 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.20 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット	RX62N(MPU)	RX65N(MPU)
MPESTS	IA IMPER	命令メモリプロテクションエラー発生ビット	命令メモリプロテクションエラー発生ビット
	DA DMPER	データメモリプロテクションエラー発生ビット	データメモリプロテクションエラー発生ビット

2.11 DMA コントローラ

表 2.21 に DMA コントローラ仕様の概要比較を、表 2.22 に DMA コントローラのレジスタ比較を示します。

表 2.21 DMA コントローラ仕様の概要比較

項目		RX62N(DMACA)	RX65N(DMACAa)
チャンネル数		4 チャンネル(DMACm (m = 0~3))	8 チャンネル(DMACm(m = 0~7))
転送空間		512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のう ち予約領域を除く領域)	512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のう ち予約領域を除く領域)
最大転送データ数		1023K データ(ブロック転送モード最大総転送数:1023 データ × 1024 ブロック)	64M データ(ブロック転送モード最大総転送数:1024 データ × 65536 ブロック)
DMAC 起動要因		チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力	チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3...>チャンネル 7 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長:8 ビット、16 ビット、32 ビット	ビット長:8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数:1~1023 データ	データ数:1~1024 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1023 データ設定可能	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能

項目		RX62N(DMACA)	RX65N(DMACAa)
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ 終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
イベントリンク機能		-	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.22 DMA コントローラのレジスタ比較

レジスタ	ビット	RX62N(DMACA)	RX65N(DMACAa)
DMCRA	DMCRAL	転送カウンタ下位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも“001h ~ 3FFh”です。 “000h” は設定しないでください	転送カウンタ下位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。
	DMCRAH	転送カウンタ上位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも“001h ~ 3FFh”です。 “000h” は設定しないでください	転送カウンタ上位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。
DMCRB	-	DMA ブロック転送カウンタレジスタ (b9-b0) ノーマル転送モード設定時は、“3FFh” を設定してください。	DMA ブロック転送カウンタレジスタ (b15-b0) ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

レジスタ	ビット	RX62N(DMACA)	RX65N(DMACAa)
DMCRA	DMCRAL	転送カウント下位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも“001h ~ 3FFh”です。 “000h” は設定しないでください	転送カウント下位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。
	DMCRAH	転送カウント上位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも“001h ~ 3FFh”です。 “000h” は設定しないでください	転送カウント上位ビット ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき 設定値が“001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。
DMCRB	-	DMA ブロック転送カウントレジスタ (b9-b0) ノーマル転送モード設定時は、“3FFh” を設定してください。	DMA ブロック転送カウントレジスタ (b15-b0) ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。
DMINT	SARIE	転送元アドレス拡張リピートエリア オーバフロー割り込み許可ビット	転送元アドレス拡張リピートエリア オーバフロー割り込み許可ビット 割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます
DMIST	-	-	DMAC74 割り込みステータスマニタレジスタ

2.12 EXDMA コントローラ

表 2.23 に EXDMA コントローラ仕様の概要比較を、表 2.24 に EXDMA コントローラレジスタ比較を示します。

表 2.23 EXDMA コントローラ仕様の概要比較

項目		RX62N(EXDMAC)	RX65N(EXDMACa)
チャンネル数		2 チャンネル (EXDMAC0,EXDMAC1)	2 チャンネル (EXDMAC0,EXDMAC1)
転送空間		512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh の うち予約領域を除く外部領域)	512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh の うち予約領域を除く外部領域)
最大転送データ数		1M データ(ブロック転送モード 最大総転送数 : 1023 データ × 1024 ブロック)	1M データ(ブロック転送モード 最大総転送数 : 1024 データ × 1024 ブロック)
DMA 起動要因		チャンネルごとに 3 種類の起動要因を選択可能 ソフトウェアトリガ 外部 DMA 転送要求入力 周辺モジュール(MTU1 のコンペアマッチ)からの DMA 転送要求	チャンネルごとに 3 種類の起動要因を選択可能 ソフトウェアトリガ 外部 DMA 転送要求入力 周辺モジュール(TPU1.TRGA あるいは MTU1.TRGA)からの DMA 転送要求 (チャンネル 0 : ICU.SLIBR144 で選択した TPU1.TRGA の選択型割り込み B 要求、または ICU.SLIAR208 で選択した MTU1.TRGA の選択型割り込み A 要求、 チャンネル 1 : ICU.SLIBR145 で選択した TPU1.TRGA の選択型割り込み B 要求、または ICU.SLIAR209 で選択した MTU1.TRGA の選択型割り込み A 要求)
チャンネル優先順位		チャンネル 0 > チャンネル 1 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長:8 ビット、16 ビット、32 ビット	ビット長:8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数:1~1023 データ	データ数:1~ 1024 データ
	クラスタサイズ	データ数:1~7 データ	データ数:1~ 8 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能

項目		RX62N(EXDMAC)	RX65N(EXDMACa)
転送モード	リピート転送モード	1回のDMA転送要求で1データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1023 回設定可能	1回のDMA転送要求で1データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1回のDMA転送要求で1ブロックのデータを転送 - ブロックサイズは最大 1023 データ設定可能	1回のDMA転送要求で1ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能
	クラスタ転送	1回のDMA転送要求で1クラスタのデータを転送 - クラスタサイズは最大 7 データ(28 バイト)設定可能	1回のDMA転送要求で1クラスタのデータを転送 - クラスタサイズは最大 8 データ(32 バイト)設定可能
アドレスモード	シングルアドレスモード	- 転送元または転送先の周辺デバイスを EDACKn 信号 (n=0,1) でアクセスし、もう一方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モードで使用可能	- 転送元または転送先の周辺デバイスを EDACKn 信号 (n=0,1) でアクセスし、もう一方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モードで使用可能
	デュアルアドレスモード	- 転送元、転送先双方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モード、クラスタ転送モードで使用可能	- 転送元、転送先双方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モード、クラスタ転送モードで使用可能
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.24 EXDMA コントローラレジスタ比較

レジスタ	ビット名	RX62N(EXDMA)	RX65N(EXDMAa)
EDMCRA	-	EXDMA 転送カウンタレジスタ リピータ転送モード EXDMACn.EDMTMD.MD[1:0] = 01b 転送回数は、設定値が“001h” のときは 1 回、“3FFh” のときは 1023 回となります。 リピータ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ~ 3FFh です。 “000h” は設定しないでください。 ブロック転送モード EXDMACn.EDMTMD.MD[1:0] = 10b 設定値が“001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。 ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ~ 3FFh です。 “000h” は設定しないでください。 クラスタ転送モード EXDMACn.EDMTMD.MD[1:0] = 11b 設定値が“001h” のときはクラスタサイズが 1、“007h” のときはクラスタサイズが 7 になります。 クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ~ 007h です。 “000h” は設定しないでください。	EXDMA 転送カウンタレジスタ リピータ転送モード EXDMACn.EDMTMD.MD[1:0] = 01b 転送回数は、設定値が“001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。 リピータ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h ~ 3FFh (転送回数: 1 ~ 1024) です。 ブロック転送モード EXDMACn.EDMTMD.MD[1:0] = 10b 転送回数は、設定値が“001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。 ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。 クラスタ転送モード EXDMACn.EDMTMD.MD[1:0] = 11b 転送回数は、設定値が“001h” のときは 1 回、“007h” のときは 7 回、“000h” のときは 8 回となります。 クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 000h ~ 007h (1 回 ~ 8 回) です。
EDMCRB	-	EXDMA ブロック転送カウンタレジスタ ノーマル転送モード設定時は、“3FFh” を設定してください。	EXDMA ブロック転送カウンタレジスタ ノーマル転送モード設定時は、EDMCRB レジスタを使用しません。設定値は無効です。

EDMTMD	DCTG[1:0]	転送要求選択ビット b1 b0 0 0 : ソフトウェア 0 1 : 設定しないでください 1 0 : 外部 DMA 転送要求 (EDREQn 端子) 1 1 : 周辺モジュール(MTU1 あ るいは TPU7 のコンペア マッチ A)からの DMA 転送 要求	転送要求選択ビット b1 b0 0 0 : ソフトウェア 0 1 : 設定しないでください 1 0 : 外部 DMA 転送要求 (EDREQn 端子) 1 1 : 周辺モジュール(TPU1.TGRA または MTU1.TGRA)からの DMA 転送要求
EDMOMD	DACKSEL	-	EDACKn 端子トグル選択ビット(b0)
CLSB Ri CLSB Ry		クラスタバッファレジスタ i (i = 0 ~ 6)	クラスタバッファレジスタ y (y = 0 ~ 7)

2.13 データトランスファコントローラ

表 2.25 にデータトランスファコントローラ仕様の概要比較を、表 2.26 にデータトランスファコントローラのレジスタ比較を示します。

表 2.25 データトランスファコントローラ仕様の概要比較

項目	RX62N(DTCa)	RX65N(DTCb)
転送チャンネル数	DTC 起動が可能なすべての割り込み要因の数と同数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピートサイズは最大 256 データ設定可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは最大 255 データ設定可能	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは、最大 256 ×32 ビット=1024 バイト設定可能
転送チャンネル	- 割り込み要因に対するチャンネルの転送が可能(ICU からの DTC 転送要求で転送) 1 つの起動要因に対して複数のデータ転送が可能(チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能	- 割り込み要因に対するチャンネルの転送が可能(ICU からの DTC 転送要求で転送) 1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	- ショートアドレスモードのとき 16M バイト (0000 0000h~007F FFFFh と FF80 0000h~FFFF FFFFh のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト (0000 0000h~007F FFFFh と FF80 0000h~FFFF FFFFh のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域以外の領域)
データ転送単位	1 データのビット長 : 8 ビット、 16 ビット、 32 ビット 1 ブロックサイズのデータ数 : 1~255 データ	1 データ : 1 バイト(8 ビット)、 1 ワード(16 ビット)、 1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ

項目	RX62N(DTCa)	RX65N(DTCb)
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	-	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	-	転送情報のライトバックを実行しない設定が可能
シーケンス転送	-	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
ディスプレイースメント加算	-	転送元アドレスにディスプレイースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.26 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX62N(DTCa)	RX65N(DTCb)
MRA	WBDIS	-	ライトバックディスエーブルビット(b0)
MRB	SQEND	-	シーケンス転送終了ビット(b0)
	INDX	-	インデックステーブル参照ビット(b1)
	CHNS	DTC チェーン転送選択ビット 0 : 連続してチェーン転送を行う 1 : 転送カウンタ = 0 のときのみチェーン転送を行う	DTC チェーン転送選択ビット 0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが 1 → 0、または 1 → CRAH となったとき、チェーン転送を行う
MRC	-	-	DTC モードレジスタ C

レジスタ	ビット	RX62N(DTCa)	RX65N(DTCb)
DTCVBR	-	DTC ベクタベースアドレス 下位 12 ビット： “0” に固定されており、書き込みは無効です。 上位 4 ビット： 上位 4 ビット(b31~b28)への書き込みは無視され、b27 で指定した値で拡張されます	DTC ベクタベースレジスタ 上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます また、下位 10 ビットは予約ビットで、値は“0” 固定です 書く場合、“0” を書いてください 0000 0000h~07FF FC00h、および F800 0000h~FFFF FC00h の範囲で、1K バイト単位で設定可能です
CRA	CRAL	ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”) 転送回数は、設定値が“01h” のときは 1 回、“FFh” のときは 255 回となります。“00h” を設定しないでください。	ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”) 転送回数は、設定値が“01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。
	CRAH	ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”) 転送回数は、設定値が“01h” のときは 1 回、“FFh” のときは 255 回となります。“00h” を設定しないでください。	ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”) 転送回数は、設定値が“01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。
CRB	-	DTC 転送カウントレジスタ B ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタに“FFFFh” を設定してください。	DTC 転送カウントレジスタ B ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。
DTCIBR	-	-	DTC インデックステーブルベースレジスタ
DTCOR	-	-	DTC オペレーションレジスタ
DTCSEQE	-	-	DTC シーケンス転送許可レジスタ
DTCDISP	-	-	DTC アドレスディスプレースメントレジスタ

2.14 I/O ポート

表 2.27 に I/O ポート仕様の概要比較を、表 2.28 に I/O ポートのレジスタ比較を示します。

なお、レジスタ比較は 145/144 ピンの場合を記載します。

表 2.27 I/O ポート仕様の概要比較

ポート シンボル	RX62N		RX65N	
	145 ピン、144 ピン	100 ピン	145 ピン、144 ピン	100 ピン
PORT0	P00~P03, P05, P07	P05, P07	P00~P03, P05, P07	P05, P07
PORT1	P12~P17	P12~P14,P16	P12~P17	P12~ P14,P15,P16,P17
PORT2	P20~P27	P20~P27	P20~P27	P20~P27
PORT3	P30~P35	P30~P35	P30~P35,P36,P37	P30~P35,P36,P37
PORT4	P40~P47	P40~P47	P40~P47	P40~P47
PORT5	P50~P56	P50~P55	P50~P56	P50~P55
PORT6	P60~P67	なし	P60~P67	なし
PORT7	P70~P77	なし	P70~P77	なし
PORT8	P80~P83,	なし	P80~P83, P86, P87	なし
PORT9	P90~P93	なし	P90~P93	なし
PORTA	PA0~PA7	PA0~PA7	PA0~PA7	PA0~PA7
PORTB	PB0~PB7	PB0~PB7	PB0~PB7	PB0~PB7
PORTC	PC0~PC7	PC0~PC7	PC0~PC7	PC0~PC7
PORTD	PD0~PD7	PD0~PD7	PD0~PD7	PD0~PD7
PORTE	PE0~PE7	PE0~PE7	PE0~PE7	PE0~PE7
PORTF	なし	なし	PF5	なし
PORTG	なし	なし	なし	なし
PORTJ	なし	なし	PJ3, PJ5	PJ3
ポートの 合計数	105	74	112	79

表 2.28 I/O ポートのレジスタ比較

レジスタ	ビット	RX62N	RX65N
DDR PDR	-	データディレクションレジスタ Pnx 入力／出力指定 n=0 ~ 9、A ~ E x=0~7	ポート方向レジスタ Pmx 方向制御 m = 0 ~ 9, A ~ E, F, J x=0~7
DR PODR	-	データレジスタ Pnx 出力データ格納 n=0 ~ 9、A ~ E x=0~7	ポート出力データレジスタ Pmx 出力データ格納 m = 0 ~ 9, A ~ E, F, J x=0~7
PORT PIDR	-	ポートレジスタ Pnx ビット n=0 ~ 9、A ~ E x=0~7	ポート入力データレジスタ Pmx ビット m = 0 ~ 9, A ~ E, F, J x=0~7
ICR	-	入力バッファコントロールレジスタ	-

レジスタ	ビット	RX62N	RX65N
ODR ODR0	-	オープンドレインコントロールレジスタ n=0~3,C	オープンドレイン制御レジスタ 0 m=0~3,4~9,A,B,C,D,E,J
	Pn1 出力形態指定ビット Pm1 出力形態指定ビット PE1 出力形態指定ビット	Pn1 出力形態指定ビット 0 : CMOS 出力 1 : NMOS オープンドレイン出力	● ポート PE1 以外の場合 奇数 偶数 ビットビット x 0 : CMOS 出力 x 1 : N チャネルオープンドレイン (b1, b3, b5, b7 : 予約ビット) ● ポート PE1 の場合 b3 b2 00 : CMOS 出力 01 : N チャネルオープンドレイン 10 : P チャネルオープンドレイン 11 : 設定しないでください
ODR1	-		オープンドレイン制御レジスタ 1
PMR	-	-	ポートモードレジスタ
PCR	-	プルアップ抵抗コントロールレジスタ Pnx 入力プルアップ抵抗制御ビット n=9、A ~ E	プルアップ制御レジスタ Pnx 入力プルアップ抵抗制御ビット m = 0 ~ 8, 9, A ~ E, F, J
DSCR	-	-	駆動能力制御レジスタ
DSCR2	-	-	駆動能力制御レジスタ 2

レジスタ	ビット	RX62N	RX65N
PF0CSE	-	ポートファンクションレジスタ*	-
PF1CSS			
PF2CSS			
PF3BUS			
PF4BUS			
PF5BUS			
PF6BUS			
PF7DMA			
PF8IRQ			
PF9IRQ			
PFAADC			
PFBTMR			
PFCMTU			
PFDMTU			
PFENET			
PFFSCI			
PFGSPI			
PFHSPI			
FJCAN			
PFKUSB			
PFMPOE			
PFNPOE			

*:0~9,A~H,J,K,M,N

2.15 プログラマブルパルスジェネレータ

表 2.29 にプログラマブルパルスジェネレータ仕様の概要比較を、表 2.30 にプログラマブルパルスジェネレータのレジスタ比較を示します。

表 2.29 プログラマブルパルスジェネレータ仕様の概要比較

項目	RX62N(PPG)	RX65N (PPG)
出力ビット数	最大 32 ビット	最大 32 ビット ^{*1}
パルス出力	4 グループ x2 ユニットを出力可能 - 出力トリガ信号を選択可能 - ノンオーバーラップ動作可能 - 反転出力の指定可能	4 グループ x2 ユニットを出力可能 - 出力トリガ信号を選択可能 - ノンオーバーラップ動作可能 - 反転出力の指定可能
出力データ転送	DTC、DMACA との連携動作可能 (MTU の割り込み機能を使用時)	DTC、DMAC との連携動作可能 (TPU と MTU3 の割り込み機能を使用時)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

【注】 ^{*1}. PPG 出力トリガを MTU3 に設定する場合、PCLKA は PCLKB と同一周波数に設定してください。

表 2.30 プログラマブルパルスジェネレータのレジスタ比較

レジスタ	ビット	RX62N (PPG)	RX65N (PPG)
PTRSLR	PTRSL	PPG トリガ選択ビット 0 : PPG1 のトリガは MTU0~3 1 : PPG1 のトリガは MTU6~9	PPG トリガ選択ビット 0: PPG1 のトリガは MTU3 の MTU0 ~MTU3 1 : PPG1 のトリガは TPU の TPU0 ~TPU3
PCR	G0CMS[1:0]	グループ 4 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b1 b0 0 0 : MTU 0 のコンペアマッチ 0 1 : MTU 1 のコンペアマッチ 1 0 : MTU 2 のコンペアマッチ 1 1 : MTU 3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b1 b0 0 0 : MTU 6 のコンペアマッチ 0 1 : MTU 7 のコンペアマッチ 1 0 : MTU 8 のコンペアマッチ 1 1 : MTU 9 のコンペアマッチ	グループ 4 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b1 b0 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b1 b0 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ

レジスタ	ビット	RX62N (PPG)	RX65N (PPG)
PCR	G1CMS[1:0]	グループ 5 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b3 b2 0 0 : MTU 0 のコンペアマッチ 0 1 : MTU 1 のコンペアマッチ 1 0 : MTU 2 のコンペアマッチ 1 1 : MTU 3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b3 b2 0 0 : MTU 6 のコンペアマッチ 0 1 : MTU 7 のコンペアマッチ 1 0 : MTU 8 のコンペアマッチ 1 1 : MTU 9 のコンペアマッチ	グループ 5 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b3 b2 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b3 b2 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ
	G2CMS[1:0]	グループ 6 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b5 b4 0 0 : MTU 0 のコンペアマッチ 0 1 : MTU 1 のコンペアマッチ 1 0 : MTU 2 のコンペアマッチ 1 1 : MTU 3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b5 b4 0 0 : MTU 6 のコンペアマッチ 0 1 : MTU 7 のコンペアマッチ 1 0 : MTU 8 のコンペアマッチ 1 1 : MTU 9 のコンペアマッチ	グループ 6 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b5 b4 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b5 b4 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ
PCR	G3CMS[1:0]	グループ 7 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b7 b6 0 0 : MTU 0 のコンペアマッチ 0 1 : MTU 1 のコンペアマッチ 1 0 : MTU 2 のコンペアマッチ 1 1 : MTU 3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b7 b6 0 0 : MTU 6 のコンペアマッチ 0 1 : MTU 7 のコンペアマッチ 1 0 : MTU 8 のコンペアマッチ 1 1 : MTU 9 のコンペアマッチ	グループ 7 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b7 b6 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b7 b6 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ

レジスタ	ビット	RX62N (PPG)	RX65N (PPG)
PMR	G0NOV	グループ 4 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 4 ノンオーバーラップビット - PG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n= 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUUn のコンペアマッチ A、B で出力値を更新) (n= 0~3)
PMR	G1NOV	グループ 5 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 5 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n= 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUUn のコンペアマッチ A、B で出力値を更新) (n= 0~3)

レジスタ	ビット	RX62N (PPG)	RX65N (PPG)
	G2NOV	グループ 6 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 6 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n= 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUUn のコンペアマッチ A、B で出力値を更新) (n= 0~3)
PMR	G3NOV	グループ 7 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 7 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n= 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUUn のコンペアマッチ A、B で出力値を更新) (n= 0~3)

2.16 8 ビットタイマ

表 2.31 に 8 ビットタイマ仕様の概要比較を、表 2.32 に 8 ビットタイマのレジスタ比較を示します。

表 2.31 8 ビットタイマ仕様の概要比較

項目	RX62N(TMR)	RX65N(TMR)
カウントクロック	- 分周クロック : PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192 - 外部クロック	- 内部クロック : PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2 チャンネル)×2 ユニット	(8 ビット×2 チャンネル)×2 ユニット
コンペアマッチ	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)
カウンタクリア	コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択	コンペアマッチ A、コンペアマッチ B、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM 出力	任意のデューティ比のパルス出力、PWM 出力
2 チャンネルのカスケード接続	16 ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)	16 ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)
割り込み要因	コンペアマッチ A、コンペアマッチ B、オーバーフロー	コンペアマッチ A、コンペアマッチ B、オーバーフロー
イベントリンク機能(出力)	-	コンペアマッチ A、コンペアマッチ B、オーバーフロー(TMR0~3)
イベントリンク機能(入力)	-	イベント受付により、3 種類のうち 1 つの動作が可能 (1)カウントスタート動作(TMR0~3) (2)イベントカウンタ動作(TMR0~3) (3)カウンタリスタート動作(TMR0~3)
DTC の起動	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能
A/D コンバータの変換開始トリガ	TMR0、TMR2 のコンペアマッチ A	TMR0、TMR2 のコンペアマッチ A
SCI のボーレートクロック生成	SCI5、SCI6 のボーレートクロックを生成	SCI5、SCI6、SCI12 のボーレートクロックを生成
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

表 2.32 8 ビットタイマのレジスタ比較

レジスタ	ビット	RX62N(TMR)	RX65N(TMR)
TCSTR	-	-	タイムカウンタスタートレジスタ

2.17 コンペアマッチタイマ

表 2.33 にコンペアマッチタイマ仕様の概要比較を、表 2.34 にコンペアマッチタイマレジスタ比較を示します。

表 2.33 コンペアマッチタイマ仕様の概要比較

項目	RX62N(CMT)	RX65N(CMT)
カウントクロック	4 種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512 の中から各チャンネル 個々に選択可能	4 種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512 の中からチャンネルごと に選択可能
割り込み	コンペアマッチ割り込みを各チャネル 個々に要求することが可能	コンペアマッチ割り込みをチャンネル ごとに要求することが可能
イベントリンク機能(出力)	-	CMT1のコンペアマッチによりイベント 信号出力
イベントリンク機能(入力)	-	- 設定したモジュールに対してリンク 動作が可能 - CMT1のカウントスタート、イベ ントカウンタ、カウントリスタート 動作が可能
消費電力低減機能	ユニットごとにモジュールストップ 状態への設定が可能	ユニットごとにモジュールストップ 状態への設定が可能

表 2.34 コンペアマッチタイマレジスタ比較

レジスタ	ビット	RX62N(CMT)	RX65N(CMT)
CMCR	-	コンペアマッチタイマコントロール レジスタ コンペアマッチタイマコントロール レジスタ (CMCR) 書き替え時の注意 事項 CMCR レジスタの書き換えがコンペ アマッチの発生と競合した場合、 CMCR レジスタへの書き込みが無視 されます。	コンペアマッチタイマコントロール レジスタ 該当注意事項なし
CMCNT	-	コンペアマッチタイマカウンタ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチコンス タントレジスタ (CMCOR) の注意事 項 CMCNT カウンタのカウント動作を 停止した状態で、CMCNT カウンタと CMCOR レジスタを同じ値に設 定しないでください	コンペアマッチタイマカウンタ 該当注意事項なし

レジスタ	ビット	RX62N(CMT)	RX65N(CMT)
CMCORA	-	コンペアマッチタイマコンスタントレジスタ コンペアマッチタイマカウンタ（CMCNT）とコンペアマッチコンスタントレジスタ（CMCORA）の注意事項 CMCNT カウンタのカウント動作を停止した状態で、CMCNT カウンタとCMCORA レジスタを同じ値に設定しないでください。	コンペアマッチタイマコンスタントレジスタ 該当注意事項なし

2.18 リアルタイムクロック

表 2.35 にリアルタイムクロック仕様の概要比較を、表 2.36 にリアルタイムクロックのレジスタ比較を示します。

表 2.35 リアルタイムクロック仕様の概要比較

項目	RX62N(RTC)	RX65N(RTCd)
カウントモード	カレンダーカウントモード	カレンダーカウントモード/ バイナリカウントモード
カウントソース	RTC 専用クロック (32.768kHz)	サブクロック(XCIN)またはメインクロック(EXTAL)
時計/カレンダー機能	カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 30 秒調整機能(30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 — スタート/ストップ機能 — 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 — 1Hz クロック出力	• カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 12 時間/24 時間モード切り替え機能 — 30 秒調整機能(30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 • バイナリカウントモード — 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 — スタート/ストップ機能 — 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック(1Hz/64Hz)出力

項目	RX62N(RTC)	RX65N(RTCd)
割り込み	- アラーム割り込み (ALM) アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 - 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/16 秒、1/64 秒、1/256 秒周期から選択可能 - 桁上げ割り込み (CUP) 秒カウンタへの桁上げ、または 64Hz カウンタの読み出し時に、プリスケアラから 64Hz カウンタへの桁上げが発生したことを示す - アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能	- アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 — カレンダカウントモード: 年、月、日、曜日、時、分、秒 — バイナリカウントモード: 32 ビットバイナリカウンタの各ビット - 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択可能 - 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 — 64Hz カウンタから秒カウンタへの桁上げが発生したとき — 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき - アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	-	時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	-	周期イベント出力

表 2.36 リアルタイムクロックのレジスタ比較

レジスタ	ビット	RX62N(RTC)	RX65N(RTCd)
BCNT0*	-	-	バイナリカウンタ 0
BCNT1*	-	-	バイナリカウンタ 1
BCNT2*	-	-	バイナリカウンタ 2
BCNT3*	-	-	バイナリカウンタ 3
RSECCNT	SEC1[3:0]	秒一位カウントビット	1 秒カウントビット
	SEC10[2:0]	秒十位カウントビット	10 秒カウントビット
RMINCNT	MIN1[3:0]	分一位カウントビット	1 分カウントビット
	MIN10[2:0]	分十位カウントビット	10 分カウントビット
RHRCNT	HOURL1[3:0] HR1[3:0]	時一位カウントビット	1 時間カウントビット
	HOURL10[1:0] HR10[1:0]	時十位カウントビット	10 時間カウントビット
	PM	-	PM ビット(b6)

レジスタ	ビット	RX62N(RTC)	RX65N(RTCd)
RWKCNT	DAY[2:0] DAYW[2:0]	曜日カウントビット	曜日カウントビット
RDAYCNT	DAY1[3:0] DATE1[3:0]	日一位カウントビット	1 日カウントビット
	DAY10[1:0] DATE10[1:0]	日十位カウントビット	10 日カウントビット
RMONCNT	MON1[3:0]	月一位カウントビット	1 月カウントビット
	MON10	月十位カウントビット	10 月カウントビット
RYRCNT	YEAR1[3:0] YR1[3:0]	年一位カウントビット	1 年カウントビット
	YEAR10[3:0] YR10[3:0]	年十位カウントビット	10 年カウントビット
	YEAR100[3:0]	年百位カウントビット(b11-b8)	-
	YEAR1000[3:0]	年千位カウントビット(b15-b12)	-
RHRAR	HOUR1[3:0] HR1[3:0]	1 時間ビット	1 時間ビット
	HOUR10[1:0] HR10[1:0]	10 時間ビット	10 時間ビット
	PM	-	PM ビット(b6)
		リセット後の値が異なります	
RWKAR	DAY[2:0] DAYW[2:0]	曜日の設定値ビット	曜日の設定値ビット
RDAYAR	DAY1[3:0] DATE1[3:0]	1 日ビット	1 日ビット
	DAY10[1:0] DATE10[1:0]	10 日ビット	10 日ビット
RYRAR	YEAR1[3:0] YR1[3:0]	1 年ビット	1 年ビット
	YEAR10[3:0] YR10[3:0]	10 年ビット	10 年ビット
	YEAR100[3:0]	100 年ビット(b11-b8)	-
	YEAR1000[3:0]	1000 年ビット(b15-b12)	-
BCNT0AR*	-	-	バイナリカウンタ 0 アラームレジスタ
BCNT1AR*	-	-	バイナリカウンタ 1 アラームレジスタ
BCNT2AR*	-	-	バイナリカウンタ 2 アラームレジスタ
BCNT3AR*	-	-	バイナリカウンタ 3 アラームレジスタ
BCNT0AER*	-	-	バイナリカウンタ 0 アラーム許可レジスタ
BCNT1AER*	-	-	バイナリカウンタ 1 アラーム許可レジスタ
BCNT2AER*	-	-	バイナリカウンタ 2 アラーム許可レジスタ
BCNT3AER*	-	-	バイナリカウンタ 3 アラーム許可レジスタ
RCR1	AIE	アラーム割り込み許可ビット	アラーム割り込み許可ビット
		リセット後の値が異なります	

レジスタ	ビット	RX62N(RTC)	RX65N(RTCd)
	PIE	周期割り込み許可ビット	周期割り込み許可ビット
		リセット後の値が異なります	
	RTCOS	-	RTCOUT 出力選択ビット(b3)
	PES[2:0] PES[3:0]	周期割り込み選択ビット(b6-b4)	周期割り込み選択ビット(b7-b4)
RCR2	START	スタートビット	スタートビット
		リセット後の値が異なります	
	ADJ ADJ30	30 秒調整ビット	30 秒調整ビット
	RTCOE	RTCOUT 出力制御ビット	RTCOUT 出力許可ビット
	AADJE	-	自動補正機能許可ビット(b4)
	AADJP	-	自動補正周期選択ビット(b5)
	HR24	-	時間モードビット(b6)
	CNTMD	-	カウントモード選択ビット(b7)
RCR3	-	-	RTC コントロールレジスタ 3
RCR4	-	-	RTC コントロールレジスタ 4
RFRH/L	-	-	周波数レジスタ H/L
RADJ	-	-	時間誤差補正レジスタ
RTCCPy	-	-	時間キャプチャ制御レジスタ y
RSECCPy	-	-	秒キャプチャレジスタ y
RMINCPy	-	-	分キャプチャレジスタ y
RHRCPy	-	-	時キャプチャレジスタ y
RDAYCPy	-	-	日キャプチャレジスタ y
RMONCPy	-	-	月キャプチャレジスタ y
BCNT0CPy*	-	-	BCNT0 キャプチャレジスタ y (y = 0~2)
BCNT1CPy*	-	-	BCNT1 キャプチャレジスタ y (y = 0~2)
BCNT2CPy*	-	-	BCNT2 キャプチャレジスタ y (y = 0~2)
BCNT3CPy*	-	-	BCNT3 キャプチャレジスタ y (y = 0~2)

【注】 *. バイナリカウンタモード時

2.19 ウォッチドッグタイマ

表 2.37 にウォッチドッグタイマ仕様の概要比較を、表 2.38 にウォッチドッグタイマのレジスタ比較を示します。

表 2.37 ウォッチドッグタイマ仕様の概要比較

項目	RX62N(WDT)	RX65N(WDTA)
カウントソース	周辺クロック(PCLK)	周辺モジュールクロック(PCLK)
クロック分周比	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周/ 32768 分周/131072 分周	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
チャンネル数	8 ビット x1 チャンネル	14 ビット x1 チャンネル
カウント動作	8 ビットのアップカウンタによるアップカウント	14 ビットの ダウン カウンタによる ダウン カウント
カウンタクリア	TCNT への書き込み	WDT リフレッシュレジスタへのリフレッシュ要求書き込み
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え	-
ウォッチドッグタイマモード	カウンタがオーバーフローすると、外部に WDTOVF#信号を出力、同時に LSI 内部をリセットするかどうかを選択可能	-
インターバルタイマモード	カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) が発生	-
カウント開始条件	レジスタ書き込み (TCSR.TME='1') により、カウンタはカウントを開始	オートスタートモード: リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード: リフレッシュ動作(WDTRR レジスタへの書き込み)により、カウント開始
カウント停止条件	レジスタ書き込み (TCSR.TME='0') により、カウンタはカウントを停止し'00h'に初期化する	リセット(ダウンカウンタ、レジスタは初期値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	カウンタがオーバーフローしたとき	ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
割り込み要因	割り込み要因 カウンタがオーバーフローしたとき	ノンマスクابل割り込み/割り込み要因 ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)

項目	RX62N(WDT)	RX65N(WDTA)
カウント値の読み出し	TCNT レジスタを読み出すことでカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、 ダウンカウンタのカウント値の読み出しが可能

表 2.38 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62N(WDT)	RX65N(WDTA)
TCNT	-	タイマカウンタ	-
TCSR	-	タイマコントロール/ステータスレジスタ	-
RSTCSR	-	リセットコントロール/ステータスレジスタ	-
WINA	-	ライトウィンドウ A レジスタ	-
WINB	-	ライトウィンドウ B レジスタ	-
WDTRR	-	-	WDT リフレッシュレジスタ
WDTCR	-	-	WDT コントロールレジスタ
WDTSR	-	-	WDT ステータスレジスタ
WDTRCR	-	-	WDT リセットコントロールレジスタ
OFS0	-	-	オプション機能選択レジスタ

2.20 独立ウォッチドッグタイマ

表 2.39 に独立ウォッチドッグタイマ仕様の概要比較を、表 2.40 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.39 独立ウォッチドッグタイマ仕様の概要比較

項目	RX62N(IWDT)	RX65N(IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK) ^{*1}
クロック分周比	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周
カウント動作	14 ビットのダウンカウントによるダウンカウント	14 ビットのダウンカウントによるダウンカウント
カウント開始条件	リフレッシュ (IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む) により、カウント開始	- リセット後、自動的にカウント開始 (オートスタートモード) - リフレッシュ (IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - アンダフロー発生時 カウント再開 リフレッシュ後にカウント再開	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: リセットもしくはノンマスカブル割り込み要求/割り込み要求を出力後に自動でカウント再開) レジスタスタートモード: リフレッシュ後にカウント再開
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	ダウンカウンタがアンダフローしたとき	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要因	-	ノンマスカブル割り込み/割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウント値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	-	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力

項目	RX62N(IWDT)	RX65N(IWDTa)
出力信号 (内部信号)	リセット出力	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

【注】 *1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

表 2.40 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62N(IWDT)	RX65N(IWDTa)
IWDTCR	CKS[3:0]	クロック選択ビット	クロック 分周比 選択ビット
		b7 b4 0 0 — — : IWDTCCLK 0 1 0 0 : IWDTCCLK/16 0 1 0 1 : IWDTCCLK/32 0 1 1 0 : IWDTCCLK/64 0 1 1 1 : IWDTCCLK/128 1 — — — : IWDTCCLK/256	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16 分周 0 0 1 1 : 32 分周 0 1 0 0 : 64 分周 1 1 1 1 : 128 分周 0 1 0 1 : 256 分周 上記以外は設定しないでください
		リセット後の値が異なります	
	RPES[1:0]	-	ウィンドウ終了位置選択ビット (b9-b8)
	RPSS[1:0]	-	ウィンドウ開始位置選択ビット (b13-b12)
IWDTSR	REFEF	-	リフレッシュエラーフラグ (b15)
IWDTRCR	-	-	IWDT リセットコントロールレジスタ
IWDTCSNPR	-	-	IWDT カウント停止コントロールレジスタ
OFS0	-	-	オプション機能選択レジスタ 0

2.21 イーサネットコントローラ

表 2.41 にイーサネットコントローラ仕様の概要比較を、表 2.42 にイーサネットコントローラレジスタ比較を示します。

表 2.41 イーサネットコントローラ仕様の概要比較

項目	RX62N(ETHERC)	RX65N(ETHERC)
チャンネル	1チャンネル	1チャンネル
プロトコル	IEEE802.3x規格のフロー制御準拠	IEEE802.3x規格のフロー制御準拠
データ送受信	イーサネット/IEEE802.3 フレームの送受信	イーサネット/IEEE802.3 フレームの送受信
転送速度	10Mbps および 100Mbps 転送に対応	10Mbps および 100Mbps 転送に対応
モード	全二重モードおよび半二重モードに対応	全二重モードおよび半二重モードに対応
インターフェース	IEEE802.3u 規格の MII (Media Independent Interface) および RMII (Reduced Media Independent Interface) に対応	IEEE802.3u に準拠した MII (Media Independent Interface) および RMII (Reduced Media Independent Interface) に対応
機能	Magic Packet™ *1 の検出および Wake-On-LAN (WOL) 信号の出力	Magic Packet™ *1 の検出および Wake-On-LAN (WOL) 信号の出力

【注】 *1. Magic Packet™ は、Advanced Micro Devices, Inc.の登録商標です。

表 2.42 イーサネットコントローラレジスタ比較

レジスタ	ビット	RX62N(ETHERC)	RX65N(ETHERC)
ECMR	PRCEF	CRC エラーフレーム受信許可ビット 0 : CRC エラーとなった受信フレームをエラーとする 1 : CRC エラーとなった受信フレームをエラーとしない	CRC エラーフレーム受信モードビット 0 : CRC エラーを EDMAC に通知する 1 : CRC エラーを EDMAC に通知しない
ECSR	BFR	Broadcast フレーム連続受信フラグ 0 : Broadcast フレームの連続受信を検出していない 1 : Broadcast フレームの連続受信を検出した	ブロードキャストフレーム連続受信フラグ 0 : ブロードキャストフレームの連続受信回数が BCFRR レジスタの設定値以下 1 : ブロードキャストフレームの連続受信回数が BCFRR レジスタの設定値を超えた
RDMLR	RMD[19:0]	乱数生成部で使用しているカウンタの上限値 00000h : 通常の動作での設定値です。 00001h~FFFFEh : カウンタの上限値がこの設定値になります	乱数生成カウンタ上限値ビット 00000h : 通常の動作での設定値 00001h~FFFFFh : 設定しないでください
RFCF	-	受信 PAUSE フレームカウンタ RFCF レジスタは、PAUSE フレームの受信カウンタです。	受信 PAUSE フレームカウンタ RFCF レジスタは、PAUSE フレームの受信カウンタです。レジスタを読むとカウンタはリセットされます。

レジスタ	ビット	RX62N(ETHERC)	RX65N(ETHERC)
TPAUSECR	-	PAUSE フレーム再送回数カウンタ TPAUSECR レジスタは、PAUSE フレームの自動再送回数を示すカウンタです。	PAUSE フレーム再送回数カウンタ TPAUSECR レジスタは、PAUSE フレームの自動再送回数を示すカウンタです。レジスタを読むとカウンタはリセットされます。
BCFRR	-	ブロードキャストフレーム受信回数設定レジスタ BCFRR レジスタは、Broadcast フレーム連続受信回数を設定するレジスタです。 DA（宛先アドレス）がブロードキャストアドレスのフレームを設定した回数値まで受信することが可能であり、設定を超えて受信した場合は以降のブロードキャストフレームを破棄します。 BCFRR レジスタは、受信機能が有効な状態での書き換えは禁止です。	ブロードキャストフレーム受信回数設定レジスタ BCFRR レジスタは、ブロードキャストフレームを連続で受信できる回数を設定するレジスタです。 設定した回数を超えた場合、ECSR.BFR フラグが“1”になり、以降のブロードキャストフレームは破棄されます。 なお、ブロードキャストフレームの連続受信をカウントする内部カウンタは、ブロードキャスト以外のフレームを受信するとリセットされます。 ECMR.RE ビットが“1”（受信機能有効）のときは、このレジスタを書き換えしないでください。
MAHR	MA[47:16] -	MAC アドレス 47～16	MAC アドレス 47～16

2.22 イーサネットコントローラ用 DMA コントローラ

表 2.43 にイーサネットコントローラ用 DMA コントローラ仕様の概要比較を、表 2.44 にイーサネットコントローラ用 DMA コントローラレジスタ比較を示します。

表 2.43 イーサネットコントローラ用 DMA コントローラ仕様の概要比較

項目	RX62N(EDMAC)	RX65N(EDMACa)
データ送受信	- ディスクリプタ管理方式 - シングルフレーム・マルチバッファ方式対応	- ディスクリプタによる送受信制御 1バッファ/フレーム(シングルバッファフレーム送受信)、複数バッファ/フレーム(マルチバッファフレーム送受信)の転送方式に対応
機能	- ブロック転送(32バイト単位)によるシステムバスの効率利用 - 送受信フレームステータスのディスクリプタ反映 - 受信データへのパディング挿入可能	- ブロック転送(32バイト単位)によるシステムバス占有時間を最小化 - 送受信フレームステータスのディスクリプタへのライトバック - 受信データへのパディング挿入
消費電力低減機能	モジュールストップ状態に移移することで消費電力を低減可能	モジュールストップ状態に移移することで消費電力を低減可能

表 2.44 イーサネットコントローラ用 DMA コントローラレジスタ比較

レジスタ	ビット	RX62N(EDMAC)	RX65N(EDMACa)
TDLAR	TDLA[31:0] -	送信ディスクリプタリスト先頭アドレスビット	-
RDLAR	RDLA[31:0] -	受信ディスクリプタリスト先頭アドレスビット	-
EESR	CND	キャリア未検出フラグ 0: 送信開始時にキャリア検出 1: プリアンブル送信中のキャリア未検出または送信未指示	キャリア未検出フラグ 0: 送信開始時にキャリア検出 1: プリアンブル送信中にキャリアを検出できなかった
	ADE	アドレスエラーフラグ(b23)	-
EESIPR	ADEIP	アドレスエラー割り込み許可ビット(b23)	-
TRSCER		送受信ステータスコピー指示レジスタ	ETHERC/EDMAC 送受信ステータスコピー指示レジスタ
RMCR	RNC	受信要求 non リセットモード指定ビット(b1)	-
RBWAR	-	受信バッファライトアドレスレジスタ RBWAR レジスタは、EDMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納するレジスタです。	受信バッファライトアドレスレジスタ RBWAR レジスタは、EDMAC が受信バッファにデータを書き込むとき、最後にデータを書き込んだアドレスを示すレジスタです。

レジスタ	ビット	RX62N(EDMAC)	RX65N(EDMACa)
RDFAR	-	受信ディスクリプタフェッチアドレスレジスタ RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。	受信ディスクリプタフェッチアドレスレジスタ RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した受信ディスクリプタの先頭アドレスを示すレジスタです。
TBRAR	-	送信バッファリードアドレスレジスタ TBRAR レジスタは、EDMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納するレジスタです。	送信バッファリードアドレスレジスタ TBRAR レジスタは、EDMAC が送信バッファからデータを読み出すとき、最後にデータを読み出したアドレスを示すレジスタです。
TDFAR	-	送信ディスクリプタフェッチアドレスレジスタ TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。	送信ディスクリプタフェッチアドレスレジスタ TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した送信ディスクリプタの先頭アドレスを示すレジスタです。
TRIMD	TIM	送信割り込みモード 0 : 毎送信フレームモード 送信フレーム毎ライトバック完了時に割り込み 1 : 割り込みモード 送信ディスクリプタ TD0.TWBI ビット設定ディスクリプタのライトバック完了時に割り込み	送信割り込みモード 0 : 送信完了割り込みモード フレーム送信が完了したときに割り込み 1 : ライトバック完了割り込みモード TWBI ビットが“1”になっている送信ディスクリプタへのライトバックが完了したときに割り込み

2.23 USB2.0 ファンクションモジュール

表 2.45 に USB2.0 ファンクションモジュール仕様の概要比較を、表 2.46 に USB2.0 ファンクションモジュールのレジスタ比較を示します。

表 2.45 USB2.0 ファンクションモジュール仕様の概要比較

項目	RX62N(USB)	RX65N(USBb)
特長	• USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 • 2 ポート内蔵 • USB ホストコントローラとファンクションコントローラを内蔵 (ソフトウェアで切り替え可能) • セルフパワーモードおよびバスパワーモードを選択可能 • OTG (ON-The-Go) に対応	• USB2.0 に対応した UDC(USB Device Controller)およびトランシーバを内蔵 • 1 ポート搭載 • ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 • セルフパワーモードおよびバスパワーモードを選択可能 • ホストコントローラ機能/ファンクションコントローラ機能/OTG(ON-The-Go) に対応(1 チャンネル)
	ホストコントローラ機能選択時 • フルスピード転送 (12Mbps) に対応 • ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能	ホストコントローラ機能選択時 • フルスピード転送(12Mbps)に対応、およびロースピード転送(1.5Mbps) • ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能
	ファンクションコントローラ機能選択時 • フルスピード転送 (12Mbps) *1 に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能	ファンクションコントローラ機能選択時 • フルスピード転送(12Mbps)*1 に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィギュレーション	• USB 通信用バッファメモリを内蔵 • 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) • パイプ 1~9 は任意のエンドポイント番号を割り付け可能	• USB 通信用バッファメモリを内蔵 • 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) • パイプ 1~9 は任意のエンドポイント番号を割り付け可能

項目	RX62N(USB)	RX65N(USBb)
パイプコンフィギュレーション	各パイプの設定可能な転送条件 - パイプ 0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、バッファサイズは 8/16/32/64 バイト (シングルバッファ) - パイプ 1、2: バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは 8/16/32/64 バイト (ダブルバッファ指定可能)、アイソクロナス転送時 1~256 バイト (ダブルバッファ指定可能) - パイプ 3~5: バルク転送専用のパイプ、バッファサイズは 8/16/32/64 バイト (ダブルバッファ指定可能) - パイプ 6~9: インタラプト転送専用のパイプ、1~64 バイト (シングルバッファ)	各パイプの設定可能な転送条件 - パイプ 0: コントロール転送、64 バイトシングルバッファ - パイプ 1、2: バルク転送時、64 バイトダブルバッファ指定可能 アイソクロナス転送時、256 バイトダブルバッファ指定可能 - パイプ 3~5: バルク転送、64 バイトダブルバッファ指定可能 - パイプ 6~9: インタラプト転送、64 バイトシングルバッファ
内部バスインターフェース	内部周辺バス 3 に接続	-
その他の機能	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK)	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK) - D+/D-のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

【注】 *1. ファンクションコントローラ機能選択時、ロースピード転送 (1.5 Mbps) に対応していません。

表 2.46 USB2.0 ファンクションモジュールのレジスタ比較

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
SYSCFG	SCKE	USB モジュールクロック許可ビット 0: USB モジュールへのクロック供給停止 1: USB モジュールへのクロック供給許可	USB クロック許可ビット 0: USB へのクロック供給停止 1: USB へのクロック供給許可 SCKE ビットに“1”を書いた後、SCKE ビットを読み出し、“1”となっていることを確認してください。

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
SYSSTS0	LNST[1:0]	USB データラインステータスマニ タビット b1 b0 0 0 : SE0 0 1 : J-State 1 0 : K-State 1 1 : SE1	USB データラインステータスマニ タフラグ - ロースピード動作時 (ホストコントローラ機能選択時のみ) b1 b0 0 0 : SE0 0 1 : K-State 1 0 : J-State 1 1 : SE1 - フルスピード動作時 b1 b0 0 0 : SE0 0 1 : J-State 1 0 : K-State 1 1 : SE1
	IDMON	外部 ID0 入力端子モニタビット	外部 ID0 入力端子モニタ フラグ
	SOFEA	-	ホストコントローラ機能選択時の SOF アクティブモニタフラグ(b5)
	HTACT	USB ホストシーケンサステータス モニタビット	USB ホストシーケンサステータスモニ タ フラグ
	OVCMON[1:0]	外部 USBm_OVRCURA/USBm_OVRC URB 入力端子モニタビット OVCMON[1]ビットに USBm_OVRCURA 端子の状態が 表示されます OVCMON[0]ビットに USBm_OVRCURB 端子の状態が 表示されます	外部 USB0_OVRCURA/USB0_OVRCURB 入力端子モニタ フラグ OVCMON[1] フラグ に USB0_OVRCURA 端子の状態が表示さ れます OVCMON[0] フラグ に USB0_OVRCURB 端子の状態が表示さ れます

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
DVSTCTR0	RHST[2:0]	USB バスリセットステータス ビット ホストコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 (パワード時 あるいは非接続時) 1 x x : USB バスリセット処理中 0 0 1 : ロースピード接続時*1 0 1 0 : フルスピード接続時 【記号説明】X : Don't care ファンクションコントローラ機能 選択時 b2 b0 0 0 0 : 通信速度不定 0 1 0 : USB バスリセット処理中 またはフルスピード接続時 【注】*1. USB コントローラはロー スピードデバイスとの通信 はサポートしていません。本 値が読み出されたときには 上位アプリにて異常接続処 理をしてください。	USB バスリセットステータス フラグ ホストコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 (パワード時ある いは非接続時) 1 x x : USB バスリセット処理中 0 0 1 : ロースピード接続時 0 1 0 : フルスピード接続時 ファンクションコントローラ機能選択 時 b2 b0 0 0 0 : 通信速度不定 0 0 1 : USB バスリセット処理中 0 1 0 : USB バスリセット処理中 またはフルスピード接続時
CFIFO DOFIFO D1FIFO	L[7:0](b15~b8) FIFO ポートビッ ト	MBW=" 1"	
		MDMONR. MDE = "0" のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND=0: N+1 番地の データ CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =1: N 番地の データ (バイト逆転あり)	MDE. MDE[2:0] = "000" のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =0: N+1 番地 のデータ (バイト逆転あり) CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =1: N 番地の データ
		MDMONR. MDE = "1" のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND=0: N+1 番地の データ (バイト逆転あり) CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =1: N 番地の データ	MDE. MDE[2:0] = "111" のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =0: N+1 番地 のデータ CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND =1: N 番地の データ (バイト逆転あり)
		MBW=" 0"	
		バイトアクセスしてください	バイトアクセスしてください
	H[7:0](b7~b0)	MBW=" 1"	

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
	FIFO ポートビット	MDMONR. MDE = “0” のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 0: N 番地のデータ CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 1: N+1 番地のデータ (バイト逆転あり)	MDE. MDE[2:0] = “000” のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 0: N 番地のデータ (バイト逆転あり) CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 1: N+1 番地のデータ
		MDMONR. MDE = “1” のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 0: N 番地のデータ (バイト逆転あり) CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 1: N+1 番地のデータ	MDE. MDE[2:0] = “111” のとき CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 0: N 番地のデータ CFIFOSEL. BIGEND/ DOFIFOSEL. BIGEND/ D1FIFOSEL. BIGEND = 1: N+1 番地のデータ (バイト逆転あり)
DOFIFOSEL D1FIFOSEL	DREQE	DMA 転送要求許可 0 : DMA 転送要求禁止 1 : DMA 転送要求許可	DMA/DTC 転送要求許可ビット 0 : DMA/DTC 転送要求禁止 1 : DMA/DTC 転送要求許可
CFIFOCTR DOFIFOCTR D1FIFOCTR	BVAL	バッファメモリ有効フラグ	バッファメモリ有効ビット
SOFCFG	TRNENSEL	-	トランザクション有効期間切り替えビット(b8)
INTSTS0	CTSQ[2:0]	コントロール転送ステージビット b2 b0 0 0 0 : アイドルまたはセットアップステージ . . . 1 0 1 : コントロールライト (NoData) ステータスステージ 1 1 0 : コントロール転送シーケンスエラー 1 1 1 : 設定しないでください	コントロール転送ステージフラグ b2 b0 0 0 0 : アイドルまたはセットアップステージ . . . 1 0 1 : コントロールライト (NoData) ステータスステージ 1 1 0 : コントロール転送シーケンスエラー
	VALID	USB リクエストビット	USB リクエストフラグ
	DVSQ[2:0]	デバイスステータスビット	デバイスステータスフラグ
	VBSTS	VBUS 入カステータスビット	VBUS 入カステータスフラグ
	BRDY	バッファレディ割り込みステータスビット	バッファレディ割り込みステータスフラグ
	NRDY	バッファノットレディ割り込みステータスビット	バッファノットレディ割り込みステータスフラグ
	BEMP	バッファエンプティ割り込みステータスビット	バッファエンプティ割り込みステータスフラグ
	CTRT	コントロール転送ステージ遷移割り込みステータスビット	コントロール転送ステージ遷移割り込みステータスフラグ

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
	DVST	デバイスステート遷移割り込みステータスビット	デバイスステート遷移割り込みステータス フラグ
	SOFR	フレーム番号更新割り込みステータスビット	フレーム番号更新割り込みステータス フラグ
	RESM	レジューム割り込みステータスビット	レジューム割り込みステータス フラグ
	VBINT	VBUS 割り込みステータスビット	VBUS 割り込みステータス フラグ
INTSTS1	SACK	セットアップトランザクション正常応答割り込みステータスビット	セットアップトランザクション正常応答割り込みステータス フラグ
	SIGN	セットアップトランザクションエラー割り込みステータスビット	セットアップトランザクションエラー割り込みステータス フラグ
	EOFERR	EOF エラー検出割り込みステータスビット	EOF エラー検出割り込みステータス フラグ
	ATTCH	ATTCH 割り込みステータスビット	ATTCH 割り込みステータス フラグ
	DTCH	USB 切断検出割り込みステータスビット	USB 切断検出割り込みステータス フラグ
	BCHG	USB バス変化割り込みステータスビット	USB バス変化割り込みステータス フラグ
	OVRCR	オーバカレント入力変化割り込みステータスビット	オーバカレント入力変化割り込みステータス フラグ
BRDYSTS	PIPE0BRDY	パイプ 0 の BRDY 割り込みステータスビット	パイプ 0 の BRDY 割り込みステータス フラグ
	PIPE1BRDY	パイプ 1 の BRDY 割り込みステータスビット	パイプ 1 の BRDY 割り込みステータス フラグ
	PIPE2BRDY	パイプ 2 の BRDY 割り込みステータスビット	パイプ 2 の BRDY 割り込みステータス フラグ
	PIPE3BRDY	パイプ 3 の BRDY 割り込みステータスビット	パイプ 3 の BRDY 割り込みステータス フラグ
	PIPE4BRDY	パイプ 4 の BRDY 割り込みステータスビット	パイプ 4 の BRDY 割り込みステータス フラグ
	PIPE5BRDY	パイプ 5 の BRDY 割り込みステータスビット	パイプ 5 の BRDY 割り込みステータス フラグ
	PIPE6BRDY	パイプ 6 の BRDY 割り込みステータスビット	パイプ 6 の BRDY 割り込みステータス フラグ
	PIPE7BRDY	パイプ 7 の BRDY 割り込みステータスビット	パイプ 7 の BRDY 割り込みステータス フラグ
	PIPE8BRDY	パイプ 8 の BRDY 割り込みステータスビット	パイプ 8 の BRDY 割り込みステータス フラグ
	PIPE9BRDY	パイプ 9 の BRDY 割り込みステータスビット	パイプ 9 の BRDY 割り込みステータス フラグ
NRDYSTS	PIPE0NRDY	パイプ 0 の NRDY 割り込みステータスビット	パイプ 0 の NRDY 割り込みステータス フラグ
	PIPE1NRDY	パイプ 1 の NRDY 割り込みステータスビット	パイプ 1 の NRDY 割り込みステータス フラグ
	PIPE2NRDY	パイプ 2 の NRDY 割り込みステータスビット	パイプ 2 の NRDY 割り込みステータス フラグ
	PIPE3NRDY	パイプ 3 の NRDY 割り込みステータスビット	パイプ 3 の NRDY 割り込みステータス フラグ

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
	PIPE4NRDY	パイプ 4 の NRDY 割り込みステータスビット	パイプ 4 の NRDY 割り込みステータス フラグ
	PIPE5NRDY	パイプ 5 の NRDY 割り込みステータスビット	パイプ 5 の NRDY 割り込みステータス フラグ
	PIPE6NRDY	パイプ 6 の NRDY 割り込みステータスビット	パイプ 6 の NRDY 割り込みステータス フラグ
	PIPE7NRDY	パイプ 7 の NRDY 割り込みステータスビット	パイプ 7 の NRDY 割り込みステータス フラグ
	PIPE8NRDY	パイプ 8 の NRDY 割り込みステータスビット	パイプ 8 の NRDY 割り込みステータス フラグ
	PIPE9NRDY	パイプ 9 の NRDY 割り込みステータスビット	パイプ 9 の NRDY 割り込みステータス フラグ
BEMPSTS	PIPE0BEMP	パイプ 0 の BEMP 割り込みステータスビット	パイプ 0 の BEMP 割り込みステータス フラグ
	PIPE1BEMP	パイプ 1 の BEMP 割り込みステータスビット	パイプ 1 の BEMP 割り込みステータス フラグ
	PIPE2BEMP	パイプ 2 の BEMP 割り込みステータスビット	パイプ 2 の BEMP 割り込みステータス フラグ
	PIPE3BEMP	パイプ 3 の BEMP 割り込みステータスビット	パイプ 3 の BEMP 割り込みステータス フラグ
	PIPE4BEMP	パイプ 4 の BEMP 割り込みステータスビット	パイプ 4 の BEMP 割り込みステータス フラグ
	PIPE5BEMP	パイプ 5 の BEMP 割り込みステータスビット	パイプ 5 の BEMP 割り込みステータス フラグ
	PIPE6BEMP	パイプ 6 の BEMP 割り込みステータスビット	パイプ 6 の BEMP 割り込みステータス フラグ
	PIPE7BEMP	パイプ 7 の BEMP 割り込みステータスビット	パイプ 7 の BEMP 割り込みステータス フラグ
	PIPE8BEMP	パイプ 8 の BEMP 割り込みステータスビット	パイプ 8 の BEMP 割り込みステータス フラグ
	PIPE9BEMP	パイプ 9 の BEMP 割り込みステータスビット	パイプ 9 の BEMP 割り込みステータス フラグ
FRMNUM	FRNM[10:0]	フレーム番号ビット FRNM[10:0]ビットを読み出すときは、2 度一致で読み出してください	フレーム番号 フラグ
	CRCE	受信データエラービット	受信データエラー フラグ
	OVRN	オーバラン／アンダーラン検出ステータスビット	オーバラン／アンダーラン検出ステータス フラグ
USBVAL	— WVALUE[15:0]	— USB リクエスト wValue の値	バリュービット USB リクエスト wValue の値
USBINDX	— WINDEX[15:0]	— USB リクエスト wIndex の値	インデックスビット USB リクエスト wIndex の値
USBLENG	— WLENGTH[15:0]	— USB リクエスト Length の値	レンジスビット USB リクエスト wLength の値
DCPCTR	PBUSY	パイプビジービット	パイプビジー フラグ
	SQMON	シーケンスストグルビットモニタビット	シーケンスストグルビットモニタ フラグ
	BSTS	バッファステータスビット	バッファステータス フラグ

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
	SQSET	トグルビットセットビット	シーケンストグルビットセットビット
	SQCLR	トグルビットクリアビット	シーケンストグルビットクリアビット
PIPEnCTR	PBUSY	パイプビジービット	パイプビジーフラグ
	SQMON	トグルビット確認ビット	シーケンストグルビット確認フラグ
	INBUFM	送信バッファモニタビット	送信バッファモニタフラグ
	BSTS	バッファステータスビット	バッファステータスフラグ
PIPEnTRN n=1~5	- TRNCNT[15:0]	-	トランザクションカウンタビット
DEVADDn n=0~5	USBSPD[1:0]	通信対象デバイスの転送速度ビット b7 b6 00 : DEVADDn レジスタ未使用 01 : 設定しないでください 10 : フルスピード 11 : 設定しないでください	通信対象デバイスの転送速度ビット b7 b6 00 : DEVADDn レジスタ未使用 01 : ロースピード 10 : フルスピード 11 : 設定しないでください
PHYSLEW	-	-	PHY クロスポイント調整レジスタ
DPUSR0R	RPUE0	-	D+プルアップ抵抗制御ビット(b1)
	DRPD0	-	D+/D-プルダウン抵抗制御ビット(b3)
	SRPC1	USB1 シングルエンドレシーバ制御ビット(b8)	-
	FIXPHY1	USB1 トランシーバ出力固定ビット(b12)	-
	DP0	USB0 DP 入力	USB D+入力フラグ
	DM0	USB0 DM 入力	USB D-入力フラグ
	DOVCA0	USB0 OVRCURA 入力	USB OVRCURA 入力フラグ
	DOVCB0	USB0 OVRCURB 入力	USB OVRCURB 入力フラグ
	DP1	USB1 DP 入力(b24)	-
		リセット後の値が異なります	
	DM1	USB1 DM 入力(b24)	-
		リセット後の値が異なります	
	DOVCA1	USB1 OVRCURA 入力(b28)	-
		リセット後の値が異なります	
	DOVCB1	USB1 OVRCURB 入力(b29)	-
		リセット後の値が異なります	
	DVBST1	USB1 VBUS 入力(b31)	-
		リセット後の値が異なります	
DPUSR1R	DPINTE1	USB1 DP 割り込み許可／クリアビット(b8)	-
	DMINTE1	USB1 DM 割り込み許可／クリアビット(b9)	-
	DOVRCRAE1	USB1 OVRCURA 割り込み許可／クリアビット(b12)	-
	DOVRCRBE1	USB1 OVRCURB 割り込み許可／クリアビット(b13)	-

レジスタ	ビット	RX62N(USB)	RX65N(USBb)
	DVBSE1	USB1 VBUS 割り込み許可／クリアビット(b15)	-
	DPINT0	USB ⁰ DP 割り込み要因による復帰表示ビット	USB D+割り込み要因による復帰表示 フラグ
	DMINT0	USB ⁰ DM 割り込み要因による復帰表示ビット	USB D-割り込み要因による復帰表示 フラグ
	OVRCAINT0 DOVRCRA0	USB ⁰ OVRCURA 割り込み要因による復帰表示ビット	USB OVRCURA 割り込み要因による復帰表示 フラグ
	OVRCURBINT0 DOVRCRB0	USB ⁰ OVRCURB 割り込み要因による復帰表示ビット	USB OVRCURB 割り込み要因による復帰表示 フラグ
	DVBINT0	USB ⁰ VBUS 割り込み要因による復帰表示ビット	USB VBUS 割り込み要因による復帰表示 フラグ
	DPINT1	USB1 DP 割り込み要因による復帰表示ビット(b24)	-
	DMINT1	USB1 DM 割り込み要因による復帰表示ビット(b25)	-
	DOVRCRA1	USB1 OVRCURA 割り込み要因による復帰表示ビット(b28)	-
	DOVRCRB1	USB1 OVRCURB 割り込み要因による復帰表示ビット(b29)	-
	DVBINT1	USB1 VBUS 割り込み要因による復帰表示ビット(b31)	-

【注】 * . ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。
一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

2.24 シリアルコミュニケーションインタフェース

RX62N グループは、独立した 6 チャンネルのシリアルコミュニケーションインタフェースを持っています。

RX65N グループ、RX651 グループは、独立した 13 チャンネル(SCI_g:10 チャンネル、SCI_i:2 チャンネル、SCI_h:1 チャンネル)のシリアルコミュニケーションインタフェースを持っています。

表 2.47 に SCI_a、SCI_g 仕様の概要比較を、表 2.48 に SCI_i 仕様の概要比較を、表 2.49 に SCI_h 仕様の概要比較を、表 2.50 に SCI チャンネル別仕様比較を、表 2.51 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.47 SCI_a、SCI_g 仕様の概要比較

項目		RX62N(SCI _a)	RX65N(SCI _g)
チャンネル数		6 チャンネル	10 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能 *1
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	スタートビットの検出	Low を検出	Low レベルまたは立ち下がりエッジを選択可能
調歩同期式モード	ブレイク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブレイクを検出可能	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブレイクを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMRからの転送レートクロック入力が可能(SCI5, SCI6)	- 内部クロック/外部クロックの選択が可能 - TMRからの転送レートクロック入力が可能(SCI5, SCI6)

項目		RX62N(SC1a)	RX65N(SC1g)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	-	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	-	I ² C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応
	ノイズ除去	-	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能		-	エラー(受信エラー・エラーシグナル検出)イベント出力
		-	受信データフルイベント出力
		-	送信データエンプティイベント出力
		-	送信終了イベント出力

【注】 *1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.48 SCLi 仕様の概要比較

項目		RX62N(-)	RX65N(SCLi)
チャンネル数		-	2 チャンネル
シリアル通信方式		-	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		-	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		-	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		-	LSB ファースト/MSB ファースト選択可能 *1
割り込み要因		-	送信終了、送信データエンpty、受信データフル、受信エラー、受信データレディ、データ一致、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		-	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	-	7 ビット/8 ビット/9 ビット
	送信ストップビット	-	1 ビット/2 ビット
	パリティ機能	-	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	-	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能
	データ一致検出	-	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	-	Low レベルまたは立ち下がりエッジを選択可能
	ブレーク検出	-	フレーミングエラー発生時、内部レジスタを直接リードすることでブレークを検出可能
	クロックソース	-	内部クロック/外部クロックの選択が可能
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	-	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	-	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	クロック同期式モード	-	-
クロック同期式モード	データ長	-	8 ビット
	受信エラーの検出	-	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能

項目		RX62N(-)	RX65N(SCIi)
スマートカードインタフェースモード	エラー処理	-	受信時パリティエラーを検出するとエラーシグナルを自動送出
		-	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	-	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	-	I ² C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応
	ノイズ除去	-	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

【注】 *1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.49 SCIh 仕様の概要比較

項目		RX62N(-)	RX65N(SCIh)
チャネル数		-	1 チャネル
シリアル通信方式		-	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		-	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		-	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		-	LSB ファースト/MSB ファースト選択可能 *1
割り込み要因		-	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		-	モジュールストップ状態への設定が可能
調歩同期式モード	データ長	-	7 ビット/8 ビット/9 ビット
	送信ストップビット	-	1 ビット/2 ビット
	パリティ機能	-	偶数パリティ / 奇数パリティ / パリティなし

項目		RX62N(-)	RX65N(SCIh)
	受信エラー検出機能	-	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	-	Low レベルまたは立ち下がリエッジを選択可能
	ブ레이크検出	-	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブ레이크を検出可能
	クロックソース	-	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI12)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	-	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	-	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

項目		RX62N(-)	RX65N(SCIh)
クロック同期式モード	データ長	-	8 ビット
	受信エラーの検出	-	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	-	受信時パリティエラーを検出するとエラーシグナルを自動送出
		-	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	-	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	-	I ² C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応
	ノイズ除去	-	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信	-	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	-	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの2種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり

項目		RX62N(-)	RX65N(SCIh)
拡張シリアルモード	入出力制御機能	-	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能 - 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIg へスルー出力可能
	タイマ機能	-	リロードタイマ機能として使用可能
ビットレートモジュレーション		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

【注】 *1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.50 SCI チャンネル別仕様比較

項目	RX62N(SCIa)	RX65N(SCIg, SCII, SCIH)
調歩同期式モード	SCI0, SCI1, SCI2, SCI3, SCI5, SCI6	SCI0～SCI12
クロック同期式モード	SCI0, SCI1, SCI2, SCI3, SCI5, SCI6	SCI0～SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI2, SCI3, SCI5, SCI6	SCI0～SCI12
簡易 I ² C モード	-	SCI0～SCI12
簡易 SPI モード	-	SCI0～SCI12
拡張シリアルモード	-	SCI12
TMR クロック入力	SCI5, SCI6	SCI5, SCI6, SCI12
イベントリンク機能	-	SCI5
FIFO モード	-	SCI10, SCI11

表 2.51 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX62N(SCIa)	RX65N(SCIg, SCII, SCIH)
RDRH	-	-	レシーブデータレジスタ H
RDRL	-	-	レシーブデータレジスタ L
RDRHL	-	-	レシーブデータレジスタ HL
FRDR	-	-	受信 FIFO データレジスタ
TDRH	-	-	トランスミットデータレジスタ H
TDRL	-	-	トランスミットデータレジスタ L
TDRHL	-	-	トランスミットデータレジスタ HL
FTDR	-	-	送信 FIFO データレジスタ

レジスタ	ビット	RX62N(SCIa)	RX65N(SCI _g , SCI _i , SCI _h)
SMR	CHR	キャラクタ長ビット (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信 1: データ長 7 ビットで送受信	キャラクタレングスビット (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせて選択します CHR1 CHR 0 0: データ長 9 ビットで送受信 0 1: データ長 9 ビットで送受信 1 0: データ長 8 ビットで送受信 1 1: データ長 7 ビットで送受信
	CM	コミュニケーションモードビット 0: 調歩同期式モードで動作 1: クロック同期式モードで動作	コミュニケーションモードビット 0: 調歩同期式モード、または簡易 I ² C モードで動作 1: クロック同期式モード、または簡易 SPI モードで動作
SSRFIFO	-	-	シリアルステータスレジスタ
SCMR	SINV	スマートカードデータ反転ビット	送受信データインバートビット
	SDIR	ビットオーダー選択ビット 0: LSB ファーストで送受信 1: MSB ファーストで送受信	送受信データトランスファ ディレクションビット 以下のモードで使用可能です。 - スマートカードインタフェースモード - 調歩同期式モード (マルチプロセッサモード) - クロック同期式モード - 簡易 SPI モード 簡易 I ² C モードで動作させる場合は、“1” にします 0: LSB ファーストで送受信 1: MSB ファーストで送受信
	CHR1	-	キャラクタレングスビット 1(b4)
BRR	-	ビットレートレジスタ 調歩同期式の設定値とビットレートは、SEMR.ABCS ビットの設定により変わります。関係詳細はユーザーズマニュアルを参照ください	ビットレートレジスタ 調歩同期式、 マルチプロセッサ通信時 の設定値とビットレートは SEMR.BGDM , SEMR.ABCS ビットの設定により変わります。関係詳細はユーザーズマニュアルを参照ください SCI10、SCI11 では、SMR.CM ビットが“1”(クロック同期式モードまたは簡易 SPI モード) かつ、FCR.FM ビットが“1”(FIFO モード)、SMR.CKS[1:0] ビットが“00b”(PCLK) のとき、BRR レジスタに“00h”を設定しないでください

レジスタ	ビット	RX62N(SCIa)	RX65N(SCI _g , SCI _l , SCI _h)
MDDR	-	-	モジュレーションデューティレジスタ
SEMR	BRME	-	ビットレートモジュレーションイネーブルビット(b2)
	NFEN	-	デジタルノイズフィルタ機能イネーブルビット(b5)
	BGDM	-	ボーレートジェネレータ倍速モードセレクトビット(b6)
	RXDESEL	-	調歩同期スタートビットエッジ検出セレクトビット(b7)
SNFR	-	-	ノイズフィルタ設定レジスタ
SIMR1	-	-	I ² C モードレジスタ 1
SIMR2	-	-	I ² C モードレジスタ 2
SIMR3	-	-	I ² C モードレジスタ 3
SISR	-	-	I ² C ステータスレジスタ
SPMR	-	-	SPI モードレジスタ
FCR	-	-	FIFO コントロールレジスタ
FDR	-	-	FIFO データカウントレジスタ
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ 0
CR1	-	-	コントロールレジスタ 1
CR2	-	-	コントロールレジスタ 2
CR3	-	-	コントロールレジスタ 3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0 コンペアイネーブルレジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データレジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データレジスタ
CF1CR	-	-	Control Field 1 コンペアイネーブルレジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケアラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.25 I²C バスインタフェース

表 2.52 に I²C バスインタフェース仕様の概要比較を、表 2.53 に I²C バスインタフェースのレジスタ比較を示します。

表 2.52 I²C バスインタフェース仕様の概要比較

項目	RX62N(RIIC)	RX65N(RIICa)
チャンネル数	2 チャンネル	2 チャンネル
通信フォーマット	• I²C バスフォーマット/SMBus フォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種 セットアップ時間、ホールド時間、バスフリー時間を自動確保	• I²C バスフォーマット/SMBus フォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種 セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~1Mbps	ファストモードプラス対応(~1 Mbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	• スレーブアドレスを 3 セット設定可能 • 7 ビット/10 ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	• 異なるスレーブアドレスを 3 種類まで設定可能 • 7 ビット/10 ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	• 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによるウェイトが可能 • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)	受信時、SCL クロックの Low ホールドによるウェイトが可能 • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX62N(RIIC)	RX65N(RIICa)
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー / イベント発生 - AL 検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出(リスタートコンディション含む) - ストップコンディション検出 - 受信データフル(スレーブアドレス一致時含む) - 送信データエンプティ(スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー / イベント発生 - アービトレーション検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出(リスタートコンディション含む) - ストップコンディション検出 - 受信データフル(スレーブアドレス一致時含む) - 送信データエンプティ(スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	-	モジュールストップ状態への設定が可能
RIIC の動作モード	-	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

項目	RX62N(RIIC)	RX65N(RIICa)
イベントリンク機能	-	4 種類(RIIC) - 通信エラー/通信イベント発生 アービトレーション検出 NACK 検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 - 受信データフル - 送信データエンプティ - 送信終了

表 2.53 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX62N(RIIC)	RX65N(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み許可ビット(b3)	-
ICFER	FMPE	Fast-mode Plus 有効ビット	ファストモードプラス有効ビット *1
TMOCNT	-	タイムアウト 内部カウンタ	-

【注】 *1. ファストモードプラス有効ビット(FMPE)は、RIIC0 のみ対応しています、RIIC2 では、b7 は予約ビットになります。

2.26 CAN モジュール

表 2.54 に CAN モジュール仕様の概要比較を、表 2.55 に CAN モジュールのレジスタ比較を示します。

表 2.54 CAN モジュール仕様の概要比較

項目	RX62N(CAN)	RX65N(CAN)
チャンネル数	1 チャンネル	2 チャンネル
プロトコル	ISO11898-1 仕様準拠(標準フレーム/ 拡張フレーム)	ISO11898-1 仕様準拠(標準フレーム/ 拡張フレーム)
ビットレート	1Mbps 以下のビットレートをプログラ ム可能($f_{CAN} \geq 8\text{MHz}$) f_{CAN} : CAN クロックソース	1Mbps 以下のビットレートをプログラ ム可能($f_{CAN} \geq 8\text{MHz}$) f_{CAN} : CAN クロックソース
メッセージボックス	32 メールボックス : 2 種類のメール ボックスモードを選択可能 - 通常メールボックスモード : 32 メールボックスを送信または受信 用に設定可能 - FIFO メールボックスモード : 24 メールボックスを送信または受信 用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設 定可能	32 メールボックス : 2 種類のメール ボックスモードを選択可能 - 通常メールボックスモード : 32 メールボックスを送信または受信 用に設定可能 - FIFO メールボックスモード : 24 メールボックスを送信または受信 用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定 可能
受信	- データフレームとリモートフレー ムを受信可能 - 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両 方の ID)を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード(メッセージ 上書き)かオーバーランモード(メッ セージ破棄)を選択可能 - 受信完了割り込みの許可/禁止を メールボックスごとに個別に設定 可能	- データフレームとリモートフレー ムを受信可能 - 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両 方の ID)を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード(メッセージ 上書き)かオーバーランモード(メッ セージ破棄)を選択可能 - 受信完了割り込みの許可/禁止を メールボックスごとに個別に設定 可能
アクセプタンスフィルタ	8 つのアクセプタンスマスク(4 メールボックスごとに個別のマス ク) - メールボックスはマスクの有効/無 効を個別に設定可能	8 つのアクセプタンスマスク(4 メールボックスごとに個別のマス ク) - メールボックスはマスクの有効/無 効を個別に設定可能

項目	RX62N(CAN)	RX65N(CAN)
送信	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能(フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能(フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	バスオフ状態からの復帰方法を選択可能 - ISO11898-1 仕様準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移	バスオフ状態からの復帰方法を選択可能 - ISO11898-1 規格準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	- CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 - エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタを読み出し可能	- CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 - エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタを読み出し可能
タイムスタンプ機能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1、2、4、8 ビットタイムから選択可能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1、2、4、8 ビットタイムから選択可能
割り込み機能	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)
CAN スリープモード	CAN クロックを停止することで消費電流を低減可能	CAN クロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット - アクセプタンスフィルタサポート - メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) - チャンネル検索サポート	3つのソフトウェアサポートユニット - アクセプタンスフィルタサポート - メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) - チャンネル検索サポート
CAN クロックソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLKB)、CANMCLK

項目	RX62N(CAN)	RX65N(CAN)
テストモード	ユーザ評価用に 3 つのテストモードを用意 - リッスンオンリモード - セルフテストモード 0(外部ループバック) - セルフテストモード 1(内部ループバック)	ユーザ評価用に 3 つのテストモードを用意 - リッスンオンリモード - セルフテストモード 0(外部ループバック) - セルフテストモード 1(内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.55 CAN モジュールのレジスタ比較

レジスタ	ビット	RX62N(USBA)	RX65N(USBb)
BCR	CCLKS	-	CAN クロックソース選択ビット (b0)
MKIVLR	-/ MB31~MB0	-	マスク無効ビット
MIER	通常メールボックスモード		
	- MB31~MB0	割り込み許可ビット	割り込み許可ビット
	FIFO メールボックスモード		
	- MB23~MB0	割り込み許可ビット	割り込み許可ビット
	- MB24	送信 FIFO 割り込み許可ビット	送信 FIFO 割り込み許可ビット
	- MB25	送信 FIFO 割り込み発生タイミング制御ビット	送信 FIFO 割り込み発生タイミング制御ビット
	- MB28	受信 FIFO 割り込み許可ビット	受信 FIFO 割り込み許可ビット
	- MB29	受信 FIFO 割り込み発生タイミング制御ビット	受信 FIFO 割り込み発生タイミング制御ビット
RFCR	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータスビット	受信 FIFO 未読メッセージ数ステータス フラグ
TFCR	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータスビット	送信 FIFO 未送信メッセージ数ステータス フラグ
	TFFST	送信 FIFO フルステータスビット	送信 FIFO フルステータス フラグ
	TFEST	受信 FIFO 空ステータスビット	受信 FIFO 空ステータス フラグ
STR	-	ステータスレジスタ	ステータスレジスタ
		リセット後の値が異なります	
MSSR	MBNST[4:0]	検索結果メールボックス番号ステータスビット	検索結果メールボックス番号ステータス フラグ
	SEST	検索結果空ステータスビット	検索結果空ステータス フラグ

2.27 シリアルペリフェラルインタフェース

表 2.56 にシリアルペリフェラルインタフェース仕様の概要比較を、表 2.57 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.56 シリアルペリフェラルインタフェース仕様の概要比較

項目	RX62N(RSPI)	RX65N(RSPIC)
チャンネル数	2 チャンネル	3 チャンネル
RSPI 転送機能	- MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 送信のみの動作が可能 - マスタ/スレーブモードでのシリアル通信が可能 - シリアル転送クロックの極性を変更可能 - シリアル転送クロックの位相を変更可能	- MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 送信のみの動作が可能 - 通信モード:全二重または送信のみを選択可能 - RSPCK の極性を変更可能 - RSPCK の位相を変更可能
データフォーマット	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) - 送信データ、受信データをバイト単位でスワップ可能
ビットレート	- マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブモード時、外部入力クロックをシリアルクロックとして使用(最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、 Low 幅: PCLK の 4 サイクル	- マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周) High 幅:PCLK の 2 サイクル Low 幅:PCLK の 2 サイクル
バッファ構成	送信/受信バッファ構成はダブルバッファ	- 送信および受信バッファはそれぞれダブルバッファ構造 - 送信および受信バッファは 128 ビット
エラー検出	- モードフォルトエラー検出 - オーバランエラー検出 - パリティエラー検出	- モードフォルトエラー検出 - オーバランエラー検出* - パリティエラー検出 - アンダランエラー検出

項目	RX62N(RSPI)	RX65N(RSPIc)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 信号 (SSL0~SSL3) - シングルマスタ設定時には、SSL0~SSL3 信号を出力 - マルチマスタ設定時: SSL0 信号は入力、SSL1~SSL3 信号は出力またはハイインピーダンス - スレーブ設定時: SSL0 信号は入力、SSL1~SSL3 信号はハイインピーダンス SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 端子を出力 - マルチマスタ設定時: SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または未使用 - スレーブ設定時: SSLn0 端子は入力、SSLn1~SSLn3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 (設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK) - RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 (設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK) - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 (設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK) - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	マスカブルな割り込み要因 - RSPI 受信割り込み (受信バッファフル) - RSPI 送信割り込み (送信バッファエンプティ) - RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)	割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - RSPI エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)

項目	RX62N(RSPI)	RX65N(RSPIc)
イベントリンク機能 (出力)	-	以下のイベントをイベントリンクコントローラへ出力可能 - 受信バッファフルイベント信号 - 送信バッファエンプティイベント信号 - モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 - RSPI アイドルイベント信号 - 送信完了イベント信号
その他の機能	- CMOS/オープンドレイン出力切り替え機能可能 - RSPI ディスエーブル（初期化）機能 - ループバックモード機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

【注】 * マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

表 2.57 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62N(RSPI)	RX65N(RSPIc)
SPPCR	SPOM	RSPI 出力端子モードビット(b2)	-
SPSR	MODF	モードフォルトエラーフラグ 0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	モードフォルトエラーフラグ 0 : モードフォルトエラーなし、 アンダランエラー なし 1 : モードフォルトエラーまたは アンダランエラー 発生
	UDRF	-	アンダランエラーフラグ(b4)
SPDR	-	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1) - ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1,SPBYTE=0) - ワードアクセス (SPDCR.SPLW=0,SPBYTE=0) バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット(b3-b2)	-
	SPBYT	-	RSPI バイトアクセス設定ビット(b6)
SPCR2	SCKASE	-	RSPCK 自動停止機能許可ビット
SPDCR2	-	-	RSPI データコントロールレジスタ 2

2.28 CRC 演算器

表 2.58 に CRC 演算器仕様の概要比較を、表 2.59 に CRC 演算器のレジスタ比較を示します。

表 2.58 CRC 演算器仕様の概要比較

項目	RX62N(CRC)	RX65N(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成 (n = 自然数)	8n ビットのデータに対して CRC コードを生成 (n = 自然数)	32n ビットのデータに対して CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 32 ビット CRC — $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ — $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト通信用 CRC コード生成から選択可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能	

表 2.59 CRC 演算器のレジスタ比較

レジスタ	ビット	RX62N(CRC)	RX65N(CRCA)
CRCCR	GPS[1:0] GPS[2:0]	CRC 生成多項式切り替えビット (b1-b0) b1 b0 00 : 演算しません 01 : $X^8 + X^2 + X + 1$ 10 : $X^{16} + X^{15} + X^2 + 1$ 11 : $X^{16} + X^{12} + X^5 + 1$	CRC 生成多項式切り替えビット(b2-b0) b2 b0 000 : 計算しません 001 : 8 ビット CRC($X^8 + X^2 + X + 1$) 010 : 16 ビット CRC($X^{16} + X^{15} + X^2 + 1$) 011 : 16 ビット CRC($X^{16} + X^{12} + X^5 + 1$) 100 : 32 ビット CRC($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 101 : 32 ビット CRC($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 110 : 計算しません 111 : 計算しません
	LMS	CRC 切り替えビット(b2)	CRC 切り替えビット(b6)

レジスタ	ビット	RX62N(CRC)	RX65N(CRCA)
CRCDIR	-	CRC データ入力レジスタ 可能アクセスサイズ バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ - ロングワードアクセス (32 ビット CRC 生成時) - バイトアクセス (16 ビット CRC、8 ビット CRC 生成時)
CRCDOR	-	CRC データ出力レジスタ 可能アクセスサイズ ワードアクセス 8 ビット CRC 生成時は、下位バイト(b7～b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ - ロングワードアクセス (32 ビット CRC 生成時) - ワードアクセス (16 ビット CRC 生成時) - バイトアクセス (8 ビット CRC 生成時)

2.29 バウンダリスキャン

表 2.60 にバウンダリスキャン仕様の概要比較を、表 2.61 にバウンダリスキャンのレジスタ比較を示します。

表 2.60 バウンダリスキャン仕様の概要比較

項目	RX62N	RX65N
バウンダリスキャン有効/無	EMLE 端子を Low、かつ BSCANP 端子を High としたときにバウンダリスキャン機能が有効	RES#端子を High, EMLE 端子を Low、かつ BSCANP 端子を High としたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、以下は JTAG 専用端子 (TDO/TCK/TDI/TMS/TRST#) 176 ピン LFBGA : PF0/PF1/PF2/PF3/PF4 145 ピン TFLGA/144 ピン LQFP : P26/P27/P30/P31/P34 85 ピン TFLGA: P26/P27/P30/P31/P34	バウンダリスキャン機能有効時、以下は JTAG 専用端子 (TDO/TCK/TDI/TMS/TRST#) 145 ピン TFLGA : P26/P27/P30/P31/P34
6 種類のテストモード	• BYPASS モード • EXTEST モード • SAMPLE/PRELOAD モード • CLAMP モード • HIGHZ モード • IDCODE モード	• BYPASS モード • EXTEST モード • SAMPLE/PRELOAD モード • CLAMP モード • HIGHZ モード • IDCODE モード

表 2.61 バウンダリスキャンのレジスタ比較

レジスタ	RX62N			RX65N		
	リセット後の値	シリアル入力	シリアル出力	リセット後の値	シリアル入力	シリアル出力
JTIR	55h	可能	不可能	55h	可能	可能
JTIDR	080B B447h	不可能	可能	0831 6447h	可能	可能
JTBPR	不定	可能	可能	不定	可能	可能
JTBSR	不定	可能	可能	不定	可能	可能

2.30 12 ビット A/D コンバータ

表 2.62 に 12 ビット A/D コンバータ仕様の概要比較を、表 2.63 に 12 ビット A/D コンバータのレジスタ比較を示します。

表 2.62 12 ビット A/D コンバータ仕様の概要比較

項目	RX62N(S12AD)	RX65N(S12ADFa)
ユニット数	1 ユニット	2 ユニット
入力チャネル	最大 8 チャネル	- S12AD:8 チャネル - S12AD1:21 チャネル+拡張 1 本
拡張アナログ入力	-	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャネル当たり 1.0 μ s (周辺モジュールクロック PCLK = 50MHz 動作時)	1 チャネル当たり(0.48μs) (12 ビット変換モード) 1 チャネル当たり(0.45μs) (10 ビット変換モード) 1 チャネル当たり(0.42μs) (8 ビット変換モード) (A/D 変換クロック ADCLK=60MHz 動作時)
A/D 変換クロック(ADCLK)	4 種類:PCLK, PCLK/2, PCLK/4, PCLK/8	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の分周比で設定可能 「PCLKB:ADCLK 周波数比 = 1:1, 2:1, 4:1, 8:1」 ADCLK の設定はクロック発生回路で行います
データレジスタ	- アナログ入力用:8 本 - A/D 変換結果を 12 ビットの A/D データレジスタに保持 - 加算モード時は、A/D 変換結果を 14 ビットの A/D データレジスタに保持	- アナログ入力用:29 本(S12AD:8 本、S12AD1:21 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット - 温度センサ用:1 本(S12AD1 のみ) - 内部基準電圧用:1 本(S12AD1 のみ) - 自己診断用 1 本/ユニット - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 8, 10, 12 ビット精度出力対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット/4 ビットで A/D データレジスタに保持

項目	RX62N(S12AD)	RX65N(S12ADFa)
データレジスタ	-	- ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) - 選択した 1 つのチャネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	- シングルスキャンモード: - 任意に選択した最大 8 チャネルのアナログ入力を 1 回のみ A/D 変換 - 連続スキャンモード: - 任意に選択した最大 8 チャネルのアナログ入力を繰り返し A/D 変換	- シングルスキャンモード: - 任意に選択した最大 8 チャネル(S12AD)/21 チャネル(S12AD1)のアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力を 1 回のみ A/D 変換(S12AD1 のみ) - 内部基準電圧を 1 回のみ A/D 変換(S12AD1 のみ) - 拡張アナログ入力を 1 回のみ A/D 変換(S12AD1 のみ) - 連続スキャンモード: - 任意に選択した最大 8 チャネル(S12AD)/21 チャネル(S12AD1)のアナログ入力、温度センサ出力(S12AD1 のみ)、内部基準電圧(S12AD1 のみ)を繰り返し A/D 変換 - 拡張アナログ入力を繰り返し A/D 変換(S12AD1 のみ) - グループスキャンモード: - 使用するグループの数は 2 つ(グループ A、B)と 3 つ(グループ A、B、C)が選択可能(グループ数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) - 任意に選択したチャネルのアナログ入力、温度センサ出力(S12AD1 のみ)、内部基準電圧(S12AD1 のみ)をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B とグループ C は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能

項目	RX62N(S12AD)	RX65N(S12ADFa)
動作モード	-	• グループスキャンモード(グループ優先制御選択時) — 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始 優先順位は、グループ A(高) > グループ B > グループ C(低) — 優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能 • また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
A/D 変換開始条件	• ソフトウェアトリガ • 同期トリガ MTU または TMR からのトリガ • 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換の開始が可能	• ソフトウェアトリガ • 同期トリガ MTU、TPU、TMR、ELC からのトリガ • 非同期トリガ 外部トリガ ADTRG0#端子(S12AD)/ADTRG1#端子(S12AD1)による A/D 変換動作の開始が可能
機能	• サンプル&ホールド機能 • A/D 変換値加算モード	• サンプル&ホールド機能 • チャンネル専用サンプル&ホールド機能(3ch: S12AD のみ) • サンプリングステート数可変機能 • 12 ビット A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) • ダブルトリガモード(A/D 変換データ二重化機能) • 12/10/8 ビット変換切り替え機能 • A/D データレジスタオートクリア機能 • 拡張アナログ入力機能 • コンペア機能(ウィンドウ A、ウィンドウ B)

項目	RX62N(S12AD)	RX65N(S12ADFa)
割り込み要因	- A/D 変換終了でスキャン終了割り込み要求(S12ADI0)を発生 - S12ADI0 割り込みで DMAC、DTC を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI、GBADI1)を発生 - グループ C のスキャン終了でグループ C 専用のスキャン終了割り込み要求(GCADI、GCADI1)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求(GBADI/GCADI、GBADI1/GCADI1)を発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み(S12CMPAI、S12CMPAI1、S12CMPBI、S12CMPBI1)を発生 - S12ADI/S12ADI1、GBADI/GBADI1、GCADI/GCADI1 割り込みで DMAC、DTC を起動可能
イベントリンク機能	-	- すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定可能 ^{*1}	モジュールストップ状態への設定が可能 ^{*2}

【注】 *1. モジュールストップ状態を解除後は、10ms 待ってから A/D 変換を開始してください。

*2. モジュールストップ状態を解除後は、1μs 以上待ってから A/D 変換を開始してください。

表 2.63 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX62N(S12AD)	RX65N(S12ADFa)
ADDRn ADDRy		A/D データレジスタ n (n=0~7)	A/D データレジスタ y (y=0~7 : S12AD y=0~20 : S12ADI1)
ADBLDR	-	-	A/D データ 二重化レジスタ
ADBLDRA	-	-	A/D データ 二重化レジスタ A
ADBLDRB	-	-	A/D データ 二重化レジスタ B
ADTSDR	-	-	A/D 温度センサデータレジスタ

レジスタ	ビット	RX62N(S12AD)	RX65N(S12ADFa)
ADOCDR	-	-	A/D 内部基準電圧データレジスタ
ADRD	-	-	A/D 自己診断データレジスタ
ADCSR RX62N : 8 ビット RX65N: 16 ビット	EXTRG	トリガ選択ビット(b0) 0: A/D 開始トリガ選択レジスタ (ADSTRGR) で選択されたタイマ要因による、スキャン変換の開始を選択 1: 外部トリガ (ADTRG0#) によるスキャン変換の開始を選択	トリガ選択ビット(b8) 0: 同期トリガによる A/D 変換の開始を選択 1: 非同期トリガによる A/D 変換の開始を選択
	TRGE	トリガ許可ビット(b1) 0: 外部トリガ (ADTRG0#) または、MTU、TMR トリガによるスキャン変換を禁止 1: 外部トリガ (ADTRG0#) または、MTU、TMR トリガによるスキャン変換を許可	トリガ開始許可ビット(b9) 0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可
	CKS[1:0]	クロック選択ビット(b3-b2)	-
	ADIE	A/D スキャン変換終了割り込み許可ビット(b4)	スキャン終了割り込み許可ビット(b12)
	ADCS	スキャン変換モード選択ビット(b6)	-
	ADST	A/D スタートビット(b7)	A/D 変換スタートビット(b15)
	DBLANS[4:0]	-	ダブルトリガ対象チャネル選択ビット(b4-b0)
	GBADIE	-	グループ B スキャン終了割り込み許可ビット(b6)
	DBLE	-	ダブルトリガモード選択ビット(b7)
	ADCS[1:0]	-	スキャンモード選択ビット(b14-b13)
ADANS	-	A/D チャネル選択レジスタ	-
ADANSA0	-	-	A/D チャネル選択レジスタ A0
ADANSA1	-	-	A/D チャネル選択レジスタ A1
ADANSB0	-	-	A/D チャネル選択レジスタ B0
ADANSB1	-	-	A/D チャネル選択レジスタ B1
ADANSC0	-	-	A/D チャネル選択レジスタ C0
ADANSC1	-	-	A/D チャネル選択レジスタ C1
ADADS	-	A/D 変換値加算モード選択レジスタ	
ADADS0	-	-	A/D 変換値加算/平均機能チャネル選択レジスタ 0
ADADS1	-	-	A/D 変換値加算/平均機能チャネル選択レジスタ 1

レジスタ	ビット	RX62N(S12AD)	RX65N(S12ADFa)
ADADC	-	A/D 変換値加算回数選択レジスタ	A/D 変換値加算/ 平均 回数選択レジスタ
	ADC[1:0] ADC[2:0]	加算回数選択ビット(b1-b0) b1b0 00: 1 回変換(加算なし。通常変換と同じ) 01: 2 回変換(1 回加算を行う) 10: 3 回変換(2 回加算を行う) 11: 4 回変換(3 回加算を行う)	加算回数選択ビット(b2 -b0) b2b0 000: 1 回変換(加算なし。通常変換と同じ) 001: 2 回変換(1 回加算を行う) 010: 3 回変換(2 回加算を行う) 011: 4 回変換(3 回加算を行う) 101: 16 回変換(15 回加算を行う) 上記以外は設定しないでください
	AVEE	-	平均モードイネーブルビット(b7)
ADCER	ADPRC[1:0]	-	A/D 変換精度指定ビット(b2-b1)
	ACE	自動クリア許可ビット	A/D データレジスタ自動クリアイネーブルビット
	DIAGVAL[1:0]	-	自己診断変換電圧選択ビット(b9-b8)
	DIAGLD	-	自己診断モード選択ビット(b10)
	DIAGM	-	自己診断イネーブルビット(b11)
ADSTRGR RX62N: 8 ビット RX65N: 16 ビット	ADSTRS[3:0]	A/D 変換開始トリガ選択ビット(b3-b0)	-
	TRSB[5:0]	-	グループ B 専用 A/D 変換開始トリガ選択ビット(b5-b0)
	TRSA[5:0]	-	A/D 変換開始トリガ選択ビット(b13-b8)
ADEXICR	-	-	A/D 変換拡張入力コントロールレジスタ
ADGCEXCR	-	-	A/D グループ C 拡張入力コントロールレジスタ
ADGCTRGR	-	-	A/D グループ C トリガ選択レジスタ
ADSSTRn	-	-	A/D サンプリングステートレジスタ n(n = 0~15, L, T, O)
ADSHCR	-	-	A/D サンプル & ホールド回路コントロールレジスタ
ADSHMSR	-	-	A/D サンプル&ホールド動作モード選択レジスタ
ADDISCR	-	-	A/D 断線検出コントロールレジスタ
ADGSPCR	-	-	A/D グループスキャン優先コントロールレジスタ
ADCMPPCR	-	-	A/D コンペア機能コントロールレジスタ
ADCMPANSR0	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0
ADCMPANSR1	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1
ADCMPANSER	-	-	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

レジスタ	ビット	RX62N(S12AD)	RX65N(S12ADFa)
ADCMPLR0	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	-	-	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ
ADCMPDR0	-	-	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	-	-	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	-	-	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0
ADCMPSR1	-	-	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1
ADCMPSER	-	-	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ
ADWINMON	-	-	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ
ADCMPBNSR	-	-	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	-	-	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	-	-	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	-	-	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADSAM	-	-	A/D 逐次変換時間設定レジスタ
ADSAMPR	-	-	A/D 逐次変換時間設定プロテクト解除レジスタ

2.31 D/A コンバータ

表 2.64 に D/A コンバータ仕様の概要比較を、表 2.65 に D/A コンバータのレジスタ比較を示します。

表 2.64 D/A コンバータ仕様の概要比較

項目	RX62N	RX65N(R12DA)
分解能	10 ビット	12 ビット
出力チャンネル	2 チャンネル	2 チャンネル
アナログモジュールの干渉対策	-	D/A 変換と A/D 変換の干渉対策: 12 ビット A/D コンバータ(ユニット1)が出力する 12 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
イベントリンク機能(入力)	-	イベント信号の入力により、DA0 変換開始が可能
出力方式切り替え	-	バッファ出力 (ゲイン=1) とバッファなし出力を切り替え可能

表 2.65 D/A コンバータのレジスタ比較

レジスタ	ビット	RX62N	RX65N(R12DA)
DADRM	-	D/A データレジスタ m(DADRM) (m=0、1) DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。	D/A データレジスタ m(DADRM) (m=0、1) DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。
DAADSCR	-	-	D/A A/D 同期スタート制御レジスタ
DAADUSR	-	-	D/A A/D 同期ユニット選択レジスタ
DAAMPCR	-	-	D/A 出力アンプ制御レジスタ
DAASWCR	-	-	D/A 出力アンプ安定待ち制御レジスタ

2.32 RAM

表 2.66 に RAM 仕様の概要比較を、表 2.67 に RAM のレジスタ比較を示します。

表 2.66 RAM 仕様の概要比較

項目	RX62N	RX65N(ECC 誤り訂正機能なし)
RAM 容量	64K バイト RAM0:64K バイト 96K バイト RAM0:64K バイト、RAM1:32K バイト	256K バイト RAM0:256K バイト
RAM アドレス	- RAM 容量が 64K バイトの場合 RAM0:0000 0000h~0000 FFFFh RAM1:なし - RAM 容量が 96K バイトの場合 RAM0:0000 0000h~0000 FFFFh RAM1:0001 0000h~0001 7FFFh	RAM0:0000 0000h ~ 0003 FFFFh
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作^{*1} - RAM 有効/無効選択可能
データ保持機能	ディープスタンバイモード時、RAM0 のデータを保持可能	ディープソフトウェアスタンバイモード時の データ保持機能なし(スタンバイ RAM にて保持可能)
消費電力低減機能	RAM0~RAM1 個別にモジュールストップ状態への設定が可能	モジュールストップ機能への設定が可能
エラーチェック機能	-	1 ビット誤り検出 エラー発生時、ノンマスカブル割り込み、または割り込みを発生

【注】 ^{*1}1.8 バイト境界をまたいだアクセス時は、サイクル数が 2 倍に増えます。

表 2.67 RAM のレジスタ比較

レジスタ	ビット	RX62N	RX65N
RAMMODE	-	-	RAM 動作モード制御レジスタ
RAMSTS	-	-	RAM エラーステータスレジスタ
RAMECAD	-	-	RAM エラーアドレスキャプチャレジスタ
RAMPRCR	-	-	RAM プロテクトレジスタ

2.33 フラッシュメモリ(コードフラッシュ)

表 2.68 にフラッシュメモリ(コードフラッシュ)仕様の概要比較を、表 2.69 にフラッシュメモリのレジスタ比較を示します。

表 2.68 フラッシュメモリ(コードフラッシュ)仕様の概要比較

項目	RX62N	RX65N
メモリ空間	- ユーザ領域:最大 512K バイト - ユーザブート領域:16K バイト	ユーザ領域:最大 1M バイト
キャッシュ	なし	- 容量:最大 256 バイト - マッピング方式:8 ウェイセットアソシエイティブ - リプレース方式:LRU アルゴリズム - ラインサイズ:16 バイト
リードサイクル	ICLK 1 サイクルの高速読み出し	キャッシュヒット時:1 サイクル キャッシュミス時: $ICLK \leq 50\text{MHz}$ 1 サイクル $50\text{MHz} < ICLK < 100\text{MHz}$ 2 サイクル $ICLK > 100\text{MHz}$ 3 サイクル
イレーズ後の値	FFh	FFh
プログラム/イレーズ方式	- ROM の書き換えを行う専用のシーケンサ(FCU)を内蔵 - FCU へコマンドを発行することにより、ROM へ P/E を実行可能	- FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリのプログラム/イレーズが可能 - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) - ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)
セキュリティ機能	フラッシュメモリの不正改ざん/不正読み出しを防止	フラッシュメモリの不正改ざん/不正読み出しを防止
プロテクション機能	- ソフトウェアプロテクト機能:レジスタ設定やロックビットにより意図しない書き換えを防ぐことが可能 - FCU のコマンドロック機能:P/E 中に異常を検出した場合、以後の P/E 処理を禁止	フラッシュメモリの誤書き換えを防止
Trusted Memory(TM)機能	-	コードフラッシュメモリのブロック 8,9 に対する不正リードを防止
BGO(バックグラウンドオペレーション)機能	- ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能 - データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能	-

項目	RX62N	RX65N
サスペンド/レジューム機能	- ROM への P/E を中断し、CPU は ROM 領域のプログラムを実行可能(サスペンド) - 中断した後、ROM への P/E を再開可能(レジューム)	- コードフラッシュへの P/E を中断し、CPU はコードフラッシュ領域のプログラムを実行可能(サスペンド) - 中断した後、コードフラッシュへの P/E を再開可能(レジューム)
プログラム/イレーズ単位	- ユーザ領域およびユーザブート領域へのプログラム:256 バイト - ユーザ領域のイレーズ:4K バイト (8 ブロック)、16K バイト(30 ブロック) - ユーザブート領域のイレーズ:16K バイト	- ユーザ領域へのプログラム:128 バイト - ユーザ領域のイレーズ:ブロック
その他の機能	-	セルフプログラミング中の割り込み受け付け可能(割り込み/例外ベクタのアドレスをコードフラッシュ以外に設定した場合)
	-	コードフラッシュメモリのスタートアップ領域をブロック 0、1 から選択可能
オンボードプログラミング	- ブートモード(SCI インタフェース)によるプログラム - 調歩同期式シリアルインタフェース (SCI1)を使用 - 通信速度は自動調整 - ユーザブート領域も書き換え可能 - USB ブートモードによる書き換え - USB0 を使用 - 特別なハードウェアが不要で、PC と直結可能 - ユーザブートモードによる書き換え - ユーザ独自のブートプログラムを作成可能 - ユーザプログラム中の ROM 書き換えルーチンによる書き換え - システムをリセットすることなく ROM の書き換えが可能	- ブートモード(SCI インタフェース)によるプログラム/イレーズ - 調歩同期式シリアルインタフェース (SCI1)を使用 - 通信速度は自動調整 - USB ブートモードによるプログラム/イレーズ - USBb を使用 - 特別なハードウェアが不要で、PC と直結可能 - ブートモード(FINE インタフェース)によるプログラム/イレーズ - FINE を使用 - ユーザプログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム/イレーズ - システムをリセットすることなくコードフラッシュメモリの書き換えが可能
専用パラレルプログラマによるプログラム/イレーズ	PROM ライタを使用して、ユーザマットとユーザブートマットの書き換えが可能	フラッシュライタを使用して、ユーザ領域のプログラム/イレーズが可能
ユニーク ID	-	本 MCU 個体ごとの 16 バイト長の ID コード

表 2.69 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62N	RX65N
FWEPROR	-	フラッシュライトイレースプロテクトレジスタ	フラッシュ P/E プロテクトレジスタ
	FLWE[1:0]	フラッシュ書き込み/消去ビット	フラッシュライトイレース許可ビット

レジスタ	ビット	RX62N	RX65N
FMODR	-	フラッシュモードレジスタ	-
FASTAT	DFLWPE	E2 データフラッシュ P/E プロテクト違反フラグ(b0)	-
	DFLRPE	E2 データフラッシュリードプロテクト違反フラグ(b1)	-
	DFLAE	E2 データフラッシュアクセス違反フラグ(b3)	-
	CMDLK	FCU コマンドロックビット	コマンドロック フラグ
	ROMAE	ROM アクセス違反フラグ(b7)	-
	CFAE	-	コードフラッシュメモリアクセス違反フラグ(b7)
FAEINT	DFLWPEIE	データフラッシュ書き込み／消去プロテクト違反割り込み許可ビット(b0)	-
		リセット後の値が異なります	
	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット(b1)	-
		リセット後の値が異なります	
	DFLAEIE	E2 データフラッシュアクセス違反割り込み許可ビット(b3)	-
	ROMAEIE	ROM アクセス違反割り込み許可ビット(b7)	-
	CFAEIE	-	コードフラッシュメモリアクセス違反割り込み許可ビット(b7)
FSADDR	-	-	FACI コマンド処理開始アドレスレジスタ
FCURAME	-	FCU RAM イネーブルレジスタ	-
FSTATR0	-	フラッシュステータスレジスタ 0	-
FSTATR1	-	フラッシュステータスレジスタ 1	-
FSTATR	-	-	フラッシュステータスレジスタ
FENTRYR	FENTRY0	ROM P/E モードエントリビット 0(b0)	-
	FENTRYC	-	コードフラッシュ P/E モードエントリビット(b0)
	FENTRYD	E2 データフラッシュ P/E モードエントリビット(b7)	-
	FEKEY[7:0] KEY[7:0]	キーコード(b15-b8)	キーコード ビット (b15-8)
FPROTR	-	フラッシュプロテクトレジスタ	-
FRESETR	-	フラッシュリセットレジスタ	-
FCMDR	-	FCU コマンドレジスタ	FACI コマンドレジスタ

レジスタ	ビット	RX62N	RX65N
FSUINITR	-	-	フラッシュシーケンサ設定初期化レジスタ
FAWMON	-	-	フラッシュアクセスウィンドウモニタレジスタ
FPESTAT	-	フラッシュ P/E ステータスレジスタ	-
FCPSR	-	FCU 処理切り替えレジスタ	フラッシュシーケンサ処理切り替えレジスタ
FPCKAR	-	-	フラッシュシーケンサ処理クロック通知レジスタ
FSUACR	-	-	スタートアップ領域コントロールレジスタ
PCKAR	-	周辺クロック通知レジスタ	-
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
UIDRn	-	-	ユニーク ID レジスタ n (n = 0 ~ 3)

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は**青字**に、両方のグループに存在するが相違点ある項目は**赤字**にしています。仕様に相違点がない項目は**黒字**にしています。

3.1 144 ピンパッケージ

表 3.1 に 144 ピンパッケージ端子機能の比較を示します。

表 3.1 144 ピンパッケージ端子機能の比較

144 ピン LFQFP	RX62N	RX65N
1	AVSS	AVSS0
2	P05/IRQ13-A/DA1	P05/IRQ13/DA1
3	VCC	AVCC1
4	P03/IRQ11-A/DA0	P03/IRQ11/DA0
5	VSS	AVSS1
6	P02/TMCI1-A/SCK6-A/IRQ10-A	P02/TMCI1/SCK6/IRQ10/ AN120
7	P01/TMCI0-A/RxD6-A/IRQ9-A	P01/TMCI0/RxD6/ SMISO6/SSCL6/IRQ9/AN119
8	P00/TMRI0-A/TxD6-A/IRQ8-A	P00/TMRI0/TxD6/ SMOSI6/SSDA6/IRQ8/AN118
9	BSCANP	PF5/IRQ4
10	EMLE	EMLE
11	WDTOVF#	PJ5/POE8#/CTS2#/RTS2#/SS2#
12	VSS	VSS
13	MDE	PJ3/EDACK1/MTIOC3C/ET0_EXOUT/CTS6#/RTS6#/CTS0#/RTS0#/SS6#/SS0#
14	VCL	VCL
15	MD1	VBATT
16	MD0	MD/FINED
17	XCIN	XCIN
18	XCOUT	XCOUT
19	RES#	RES#
20	XTAL	XTAL/ P37
21	VSS	VSS
22	EXTAL	EXTAL/ P36
23	VCC	VCC
24	P35/NMI	UPSEL/P35/NMI

144 ピン LFQFP	RX62N	RX65N
25	TRST#/P34/MTIOC0A/TMCI3/PO12/SCK6-B/IRQ4-A	TRST#/P34/MTIOC0A/TMCI3/PO12/ POE10# /SCK6/ SCK0 / ET0_LINKSTA /IRQ4
26	P33/MTIOC0D/PO11/CRX0/RxD6-B/IRQ3-A	P33/ EDREQ1 /MTIOC0D/ TIOC0D / TMRI3 /PO11/ POE4# / POE11# /RXD6/ RXD0 / SMISO6 / SMISO0 / SSCL6 / SSCL0 /CRX0/ PCKO /IRQ3-DS
27	P32/MTIOC0C/PO10/RTCCOUT/CTX0/TxD6-B/IRQ2-A	P32/MTIOC0C/ TIOCC0 / TMO3 /PO10/RTCCOUT/ RTCIC2 / POE0# / POE10# /TXD6/ TXD0 / SMOSI6 / SMOSI0 / SSDA6 / SSDA0 /CTX0/ USB0_VBUSEN / VSYNC /IRQ2-DS
28	TMS/P31/MTIOC4D-A/TMCI2-B/PO9/SSLB0-A/ IRQ1	TMS/P31/MTIOC4D/TMCI2/PO9/ RTCIC1 / CTS1# / RTS1# / SS1# /SSLB0-A/ IRQ1-DS
29	TDI/P30/MTIOC4B-A/TMRI3/PO8/RxD1/MISOB-A/ IRQ0	TDI/P30/MTIOC4B/TMRI3/PO8/ RTCIC0 / POE8# /RXD1/ SMISO1 / SSCL1 /MISOB-A/ IRQ0-DS
30	TCK/P27/CS7#-C/MTIOC2B/PO7/SCK1/RSPCKB-A	TCK/P27/CS7#/MTIOC2B/ TMCI3 /PO7/SCK1/RSPCKB-A
31	TDO/P26/CS6#-C/MTIOC2A/TMO1/PO6/MOSIB-A/TxD1	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TXD1/ CTS3# / RTS3# / SMOSI1 / SS3# / SSDA1 /MOSIB-A
32	P25/CS5#-C/ EDACK1-B / USB0_DPRP /MTIOC4C-A/MTCLKB-A/PO5/RxD3-B/ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/ TIOCA4 /PO5/RXD3/ SMISO3 / SSCL3 / HSYNC /ADTRG0#
33	P24/CS4#-C/EDREQ1-B/MTIOC4A-A/MTCLKA-A/TMRI1/PO4/SCK3-B/USB0_VBUSEN-A	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/ TIOCB4 /TMRI1/PO4/SCK3/USB0_VBUSEN/ PIXCLK
34	P23/EDACK0-B/ USB0_DPUPE-A /MTIOC3D-A/MTCLKD-A/PO3/TxD3-B	P23/EDACK0/MTIOC3D/MTCLKD/ TIOC0D3 /PO3/TXD3/ CTS0# / RTS0# / SMOSI3 / SS0# / SSDA3 / PIXD7
35	P22/EDREQ0-B/MTIOC3B-A/MTCLKC-A/TMO0/PO2/SCK0/ USB0_DRPD	P22/EDREQ0/MTIOC3B/MTCLKC/ TIOC0C3 /TMO0/PO2/SCK0/ USB0_OVRCURB / PIXD6
36	P21/MTIOC1B/TMCI0-B/PO1/ SCL1 /RXD0/USB0_EXICEN	P21/MTIOC1B/ MTIOC4A / TIOCA3 /TMCI0/PO1/RXD0/ SMISO0 / SSCL0 /USB0_EXICEN/ PIXD5 /IRQ9
37	P20/MTIOC1A/TMRI0-B/PO0/ SDA1 /TXD0/USB0_ID	P20/MTIOC1A/ TIOCB3 /TMRI0/PO0/TXD0/ SMOSI0 / SSDA0 /USB0_ID/ PIXD4 /IRQ8
38	P17/MTIOC3A/PO15/TxD3-A/IRQ7-B	P17/MTIOC3A/ MTIOC3B / MTIOC4B / TIOC0B0 / TCLKD /TMO1/PO15/ POE8# / SCK1 /TXD3/ SMOSI3 / SSDA3 / SDA2-DS / PIXD3 /IRQ7/ADTRG1#
39	PLLVCC	P87 /MTIOC4C/ TIOCA2 /TXD10/ SMOSI10 / SSDA10 / PIXD2

144 ピン LFQFP	RX62N	RX65N
40	P16/MTIOC3C-A/TMO2/PO14/RxD3-A/USB0_VBUS/USB0_VBUSEN-B/USB0_OVRCURB/IRQ6-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TC LKC/TMO2/PO14/RTCOUT/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
41	PLLVSS	P86/MTIOC4D/TIOCA0/RXD10/SMISO10/SSCL10/PIXD1
42	P15/MTIOC0B/TMCI2-A/PO13/SCK3-A/IRQ5-B	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/PIXD0/IRQ5
43	P14/TMRI2/USB0_OVRCURA/USB0_DPUPE-B/IRQ4-B	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
44	P13/TMO3/TxD2-A/SDA0/IRQ3-B/ADTRG1#	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1#
45	P12/TMCI1-B/RxD2-A/SCL0/IRQ2-B	P12/TMCI1/RXD2/SMISO2/SSCL2/SCL0[FM+]/IRQ2
46	VCC_USB	VCC_USB
47	USB0_DM	USB0_DM
48	USB0_DP	USB0_DP
49	VSS_USB	VSS_USB
50	P56/EDACK1-C/MTIOC3C-B	P56/EDACK1/MTIOC3C/TIOCA1
51	TRDATA3/P55/WAIT#-B/EDREQ0-C/MTIOC4D-B/ET_EXOUT	TRDATA3/P55/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/ET0_EXOUT/IRQ10
52	TRDATA2/P54/EDACK0-C/MTIOC4B-B/ET_LINKSTA	TRDATA2/P54/ALE/EDACK0/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/CTX1/ET0_LINKSTA
53	BCLK/P53	BCLK/P53
54	P52/RD#/RxD2-B/SSLB3-A	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A
55	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/SCK2	P51/WR1#/BC1#/WAIT#/SSLB2-A/SCK2
56	P50/WR0#/WR#/TxD2-B/SSLB1-A	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SSLB1-A
57	VSS	VSS
58	TRCLK/P83/EDACK1-A/MTIOC4C-B/ET_CRS/RMII_CRS_DV	TRCLK/P83/EDACK1/MTIOC4C/CTS10#/SS10#/ET0_CRS/RMII0_CRS_DV/SCK10
59	VCC	VCC
60	PC7/A23/CS0#-B/MTIC11U-A/MTCLKB-B/MISOA-A/ET_COL	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/SSDA8/MISOA-A/ET0_COL/TXD10/SMOSI10/SSDA10/MMC_D7-

144 ピン LFQFP	RX62N	RX65N
		A/IRQ14
61	PC6/A22/CS1#-C/MTIC11V-A/MTCLK A-B/MOSIA-A/ET_ETXD3	PC6/A22/CS1#/MTIOC3C/MTCLKA/T MCI2/TIC0/PO30/RXD8/SMISO8/SSC L8/MOSIA-A/ET0_ETXD3/RXD10/SMI SO10/SSCL10/MMC_D6-A/IRQ13
62	PC5/A21/CS2#-C/WAIT#-C/MTIC11W -A/MTCLKD-B/RSPCKA-A/ET_ETXD2	PC5/A21/CS2#/WAIT#/MTIOC3B/MTC LKD/TMRI2/PO29/SCK8/RSPCKA-A/E T0_ETXD2/SCK10/MMC_D5-A
63	TRSYNC/P82/EDREQ1-A/MTIOC4A-B /ET_ETXD1/RMII_TXD1	TRSYNC/P82/EDREQ1/MTIOC4A/PO 28/TXD10/SMOSI10/SSDA10/ET0_ET XD1/RMII0_TXD1/MMC_D4-A
64	TRDATA1/P81/EDACK0-A/MTIOC3D- B/ET_ETXD0/RMII_TXD0	TRDATA1/P81/EDACK0/MTIOC3D/P O27/RXD10/SMISO10/SSCL10/ET0_ ETXD0/RMII0_TXD0/MMC_D3-A/SDH I_CD-A/QIO3-A
65	TRDATA0/P80/EDREQ0-A/MTIOC3B- B/ET_TX_EN/RMII_TXD_EN	TRDATA0/P80/EDREQ0/MTIOC3B/P O26/SCK10/RTS10#/ET0_TX_EN/RMI I0_TXD_EN/MMC_D2-A/SDHI_WP-A/ QIO2-A
66	PC4/A20/CS3#-C/MTCLKC-B/SSLA0- A/ET_TX_CLK	PC4/A20/CS3#/MTIOC3D/MTCLKC/T MCI1/PO25/POE0#/SCK5/CTS8#/RTS 8#/SS8#/SSLA0-A/ET0_TX_CLK/CTS 10#/RTS10#/SS10#/MMC_D1-A/SDHI _D1-A/SDSI_D1-A/QIO1-A/QMI-A
67	PC3/A19-A/ET_TX_ER/MTCLKF-A/Tx D5	PC3/A19/MTIOC4D/TCLKB/PO24/TX D5/SMOSI5/SSDA5/ET0_TX_ER/MM C_D0-A/SDHI_D0-A/SDSI_D0-A/QIO0 -A/QMO-A
68	P77/CS7#-B/ET_RX_ER/RMII_RX_ER	TRDATA7/P77/CS7#/PO23/TXD11/S MOSI11/SSDA11/ET0_RX_ER/RMII0_ RX_ER/MMC_CLK-A/SDHI_CLK-A/S DSI_CLK-A/QSPCLK-A
69	P76/CS6#-B/ET_RX_CLK/REF50CK	TRDATA6/P76/CS6#/PO22/RXD11/S MISO11/SSCL11/ET0_RX_CLK/REF5 0CK0/MMC_CMD-A/SDHI_CMD-A/SD SI_CMD-A/QSSL-A
70	PC2/A18-A/ET_RX_DV/MTCLKE-A/S SLA3-A/RxD5	PC2/A18/MTIOC4B/TCLKA/PO21/RX D5/SMISO5/SSCL5/SSLA3-A/ET0_RX _DV/MMC_CD-A/SDHI_D3-A/SDSI_D 3-A
71	P75/CS5#-B/ET_ERXD0/RMII_RXD0	TRSYNC1/P75/CS5#/PO20/SCK11/R TS11#/ET0_ERXD0/RMII0_RXD0/MM C_RES#-A/SDHI_D2-A/SDSI_D2-A
72	P74/CS4#-B/ET_ERXD1/RMII_RXD1	TRDATA5/P74/A20/CS4#/PO19/CTS1 1#/SS11#/ET0_ERXD1/RMII0_RXD1
73	PC1/A17-A/ET_ERXD2/MTCLKH-A/S SLA2-A/SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SC K5/SSLA2-A/ET0_ERXD2/IRQ12

144 ピン LFQFP	RX62N	RX65N
74	VCC	VCC
75	PC0/A16-A/ET_ERXD3/MTCLKG-A/S SLA1-A	PC0/A16/MTIOC3C/TCLKC/PO17/CT S5#/RTS5#/SS5#/SSLA1-A/ET0_ERX D3/IRQ14
76	VSS	VSS
77	P73/CS3#-B/ET_WOL	TRDATA4/P73/CS3#/PO16/ET0_WOL
78	PB7/A15/MTIOC10D/PO31	PB7/A15/MTIOC3B/TIOCB5/PO31/TX D9/SMOSI9/SSDA9/ET0_CRS/RMII0_ CRS_DV/TXD11/SMOSI11/SSDA11/S DSI_D1-B
79	PB6/A14/MTIOC10B/PO30	PB6/A14/MTIOC3D/TIOCA5/PO30/RX D9/SMISO9/SSCL9/ET0_ETXD1/RMII 0_TXD1/RXD11/SMISO11/SSCL11/S DSI_D0-B
80	PB5/A13/MTIOC10C/MTCLKF-B/PO2 9	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4 /TMRI1/PO29/POE4#/SCK9/ET0_ETX D0/RMII0_TXD0/SCK11/SDSI_CLK-B
81	PB4/A12/MTIOC10A/MTCLKE-B/PO2 8	PB4/A12/TIOCA4/PO28/CTS9#/RTS9 #/SS9#/ET0_TX_EN/RMII0_TXD_EN/ CTS11#/RTS11#/SS11#/SDSI_CMD- B
82	PB3/A11/MTIOC9D/MTCLKH-B/PO27	PB3/A11/MTIOC0A/MTIOC4A/TIOC D3/TCLKD/TMO0/PO27/POE11#/SCK4/ SCK6/ET0_RX_ER/RMII0_RX_ER/SD SI_D3-B
83	PB2/A10/MTIOC9B/MTCLKG-B/PO26	PB2/A10/TIOCC3/TCLKC/PO26/CTS4 #/RTS4#/CTS6#/RTS6#/SS4#/SS6#/E T0_RX_CLK/REF50CK0/SDSI_D2-B
84	PB1/A9/MTIOC9C/PO25	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCIO/PO25/TXD4/TXD6/SMOSI4/S MOSI6/SSDA4/SSDA6/ET0_ERXD0/R MII0_RXD0/IRQ4-DS
85	P72/CS2#-B/ET_MDC	P72/A19/CS2#/ET0_MDC
86	P71/CS1#-B/ET_MDIO	P71/A18/CS1#/ET0_MDIO
87	PB0/A8/MTIOC9A/PO24	PB0/A8/MTIC5W/TIOCA3/PO24/RXD4 /RXD6/SMISO4/SMISO6/SSCL4/SSC L6/ET0_ERXD1/RMII0_RXD1/IRQ12
88	PA7/A7/MTIOC8B/PO23/MISOA-B	PA7/A7/TIOCB2/PO23/MISOA-B/ET0_ WOL
89	PA6/A6/MTIOC8A/PO22/MOSIA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TM CI3/PO22/POE10#/CTS5#/RTS5#/SS 5#/MOSIA-B/ET0_EXOUT
90	PA5/A5/MTIOC7B/PO21/RSPCKA-B	PA5/A5/MTIOC6B/TIOCB1/PO21/RSP CKA-B/ET0_LINKSTA
91	VCC	VCC

144 ピン LFQFP	RX62N	RX65N
92	PA4/A4/MTIOC7A/PO20/SSLA0-B	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ET0_MDC/IRQ5-DS
93	VSS	VSS
94	PA3/A3/MTIOC6D/PO19	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19/RXD5/SMISO5/SSCL5/ET0_MDIO/IRQ6-DS
95	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/SSCL5/SSLA3-B
96	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB0/PO17/SCK5/SSLA2-B/ET0_WOL/IRQ11
97	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/CACREF/PO16/SSLA1-B/ET0_TX_EN/RMII0_TXD_EN
98	P67/CS7#-A/DQM1	P67/CS7#/DQM1/MTIOC7C/IRQ15
99	P66/CS6#-A/DQM0	P66/CS6#/DQM0/MTIOC7D
100	P65/CS5#-A/CKE	P65/CS5#/CKE
101	PE7/D15/MISOB-B/IRQ7-A	PE7/D15[A15/D15]/MTIOC6A/TOC1/MISOB-B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN105
102	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/MTIOC6C/TIC1/MOSIB-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104
103	VCC	VCC
104	SDCLK/P70	SDCLK/P70
105	VSS	VSS
106	PE5/D13/RSPCKB-B/IRQ5-A	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/ET0_RX_CLK/REF50CK0/RSPCKB-B/IRQ5/AN103
107	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/PO28/ET0_ERXD2/SSLB0-B/AN102
108	PE3/D11/POE8#	PE3/D11[A11/D11]/MTIOC4B/PO26/POE8#/TOC3/CTS12#/RTS12#/SS12#/ET0_ERXD3/MMC_D7-B/AN101
109	PE2/D10/POE9#/SSLB3-B	PE2/D10[A10/D10]/MTIOC4A/PO23/TIC3/RXD12/SMISO12/SSCL12/RXDX12/SSLB3-B/MMC_D6-B/IRQ7-DS/AN100
110	PE1/D9/SSLB2-B	PE1/D9[A9/D9]/MTIOC4C/MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/SSLB2-B/MMC_D5-B/ANEX1
111	PE0/D8/SSLB1-B	PE0/D8[A8/D8]/MTIOC3D/SCK12/SSLB1-B/MMC_D4-B/ANEX0

144 ピン LFQFP	RX62N	RX65N
112	P64/CS4#-A/WE#	P64/CS4#/WE#
113	P63/CS3#-A/CAS#	P63/CS3#/CAS#
114	P62/CS2#-A/RAS#	P62/CS2#/RAS#
115	P61/CS1#-A/SDCS#	P61/CS1#/SDCS#
116	VSS	VSS
117	P60/CS0#-A	P60/CS0#
118	VCC	VCC
119	PD7/D7/MTIC5U/POE0#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC 3/MMC_D1-B/SDHI_D1-B/QIO1-B/QM I-B/IRQ7/AN107
120	PD6/D6/MTIC5V/POE1#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/PO E4#/SSLC2/MMC_D0-B/SDHI_D0-B/Q IO0-B/QMO-B/IRQ6/AN106
121	PD5/D5/MTIC5W/POE2#	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/P OE10#/SSLC1/MMC_CLK-B/SDHI_CL K-B/QSPCLK-B/IRQ5/AN113
122	PD4/D4/MTIC11U-B/POE3#	PD4/D4[A4/D4]/MTIOC8B/POE11#/SS LC0/MMC_CMD-B/SDHI_CMD-B/QSS L-B/IRQ4/AN112
123	PD3/D3/MTIC11V-B/POE4#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TO C2/RSPCKC/MMC_D3-B/SDHI_D3-B/ QIO3-B/IRQ3/AN111
124	PD2/D2/MTIC11W-B/POE5#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/ MISOC/MMC_D2-B/SDHI_D2-B/QIO2- B/IRQ2/AN110
125	PD1/D1/POE6#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CT X0/MOSIC/IRQ1/AN109
126	PD0/D0/POE7#	PD0/D0[A0/D0]/POE4#/IRQ0/AN108
127	P93/A19-B	P93/A19/POE0#/CTS7#/RTS7#/SS7#/ AN117
128	P92/A18-B	P92/A18/POE4#/RXD7/SMISO7/SSCL 7/AN116
129	P91/A17-B	P91/A17/SCK7/AN115
130	VSS	VSS
131	P90/A16-B	P90/A16/TXD7/SMOSI7/SSDA7/AN11 4
132	VCC	VCC
133	P47/IRQ15-B/AN7	P47/IRQ15-DS/AN007
134	P46/IRQ14/AN6	P46/IRQ14-DS/AN006
135	P45/IRQ13-B/AN5	P45/IRQ13-DS/AN005
136	P44/IRQ12/AN4	P44/IRQ12-DS/AN004

144 ピン LFQFP	RX62N	RX65N
137	P43/IRQ11-B/AN3	P43/IRQ11-DS/AN003
138	P42/IRQ10-B/AN2	P42/IRQ10-DS/AN002
139	P41/IRQ9-B/AN1	P41/IRQ9-DS/AN001
140	VREFL	VREFL0
141	P40/IRQ8-B/AN0	P40/IRQ8-DS/AN000
142	VREFH	VREFH0
143	AVCC	AVCC0
144	P07/IRQ15-A/ADTRG0#-A	P07/IRQ15/ADTRG0#

3.2 145 ピンパッケージ

表 3.2 に 145 ピンパッケージ端子機能の比較を示します。

表 3.2 145 ピンパッケージ端子機能の比較

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
A1	AVSS	A1	AVSS0
A2	AVCC	B2	AVCC0
A3	VREFL	B4	VREFL0
A4	P42/IRQ10-B/AN2	A4	P42/IRQ10-DS/AN002
A5	P44/IRQ12/AN4	E5	P44/IRQ12-DS/AN004
A6	P47/IRQ15-B/AN7	B6	P47/IRQ15-DS/AN007
A7	P91/A17-B	B7	P91/A17/SCK7/AN115
A8	PD0/D0/POE7#	B8	PD0/D0[A0/D0]/POE4#/IRQ0/AN108
A9	PD3/D3/MTIC11V-B/POE4#	C8	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/R SPCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/I RQ3/AN111
A10	PD6/D6/MTIC5V/POE1#	A9	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4# /SSLC2/MMC_D0-B/SDHI_D0-B/QIO0-B/ QMO-B/IRQ6/AN106
A11	P60/CS0#-A	D8	P60/CS0#
A12	P62/CS2#-A/RAS#	A11	P62/CS2#/RAS#
A13	P64/CS4#-A/WE#	D9	P64/CS4#/WE#
B1	P03/IRQ11-A/DA0	D3	P03/IRQ11/DA0
B2	P07/IRQ15-A/ADTRG0#-A	A2	P07/IRQ15/ADTRG0#
B3	VREFH	C3	VREFH0
B4	P40/IRQ8-B/AN0	A3	P40/IRQ8-DS/AN000
B5	P45/IRQ13-B/AN5	A5	P45/IRQ13-DS/AN005
B6	P90/A16-B	A6	P90/A16/TXD7/SMOSI7/SSDA7/AN114
B7	PD1/D1/POE6#	C7	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/M OSIC/IRQ1/AN109
B8	PD5/D5/MTIC5W/POE2#	D7	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/POE1 0#/SSLC1/MMC_CLK-B/SDHI_CLK-B/QS PCLK-B/IRQ5/AN113
B10	PE0/D8/SSLB1-B	C11	PE0/D8[A8/D8]/MTIOC3D/SCK12/SSLB1- B/MMC_D4-B/ANEX0
B11	PE2/D10/POE9#/SSLB3-B	B12	PE2/D10[A10/D10]/MTIOC4A/PO23/TIC3/ RXD12/SMISO12/SSCL12/RXDX12/SSLB 3-B/MMC_D6-B/IRQ7-DS/AN100
B12	PE1/D9/SSLB2-B	A12	PE1/D9[A9/D9]/MTIOC4C/MTIOC3B/PO18 /TXD12/SMOSI12/SSDA12/TXDX12/SIOX 12/SSLB2-B/MMC_D5-B/ANEX1

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
B13	PE4/D12/SSLB0-B	B13	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/P O28/ET0_ERXD2/SSLB0-B/AN102
C1	P01/TMCI0-A/RxD6-A/IRQ9-A	D4	P01/TMCI0/RXD6/SMISO6/SSCL6/IRQ9/A N119
C2	P05/IRQ13-A/DA1	B3	P05/IRQ13/DA1
C4	P41/IRQ9-B/AN1	C4	P41/IRQ9-DS/AN001
C5	P46/IRQ14/AN6	C5	P46/IRQ14-DS/AN006
C6	P92/A18-B	A7	P92/A18/POE4#/RXD7/SMISO7/SSCL7/A N116
C7	PD2/D2/MTIC11W-B/POE5#	A8	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/MIS OC/MMC_D2-B/SDHI_D2-B/QIO2-B/IRQ2/ AN110
C8	PD7/D7/MTIC5U/POE0#	C9	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3/M MC_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ 7/AN107
C9	P61/CS1#-A/SDCS#	B11	P61/CS1#/SDCS#
C10	P63/CS3#-A/CAS#	C10	P63/CS3#/CAS#
C11	PE5/D13/RSPCKB-B/IRQ5-A	D12	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/E T0_RX_CLK/REF50CK0/RSPCKB-B/IRQ5 /AN103
C12	PE3/D11/POE8#	A13	PE3/D11[A11/D11]/MTIOC4B/PO26/POE8 #/TOC3/CTS12#/RTS12#/SS12#/ET0_ER XD3/MMC_D7-B/AN101
C13	SDCLK/P70	C12	P70/SDCLK
D1	EMLE	E4	EMLE
D3	P02/TMCI1-A/SCK6-A/IRQ10-A	C2	P02/TMCI1/SCK6/IRQ10/AN120
D4	P43/IRQ11-B/AN3	B5	P43/IRQ11-DS/AN003
D7	P93/A19-B	D6	P93/A19/POE0#/CTS7#/RTS7#/SS7#/AN1 17
D8	PD4/D4/MTIC11U-B/POE3#	B9	PD4/D4[A4/D4]/MTIOC8B/POE11#/SSLC0 /MMC_CMD-B/SDHI_CMD-B/QSSL-B/IRQ 4/AN112
D12	PE7/D15/MISOB-B/IRQ7-A	D10	PE7/D15[A15/D15]/MTIOC6A/TOC1/MISO B-B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN 105
D13	PE6/D14/MOSIB-B/IRQ6-A	D13	PE6/D14[A14/D14]/MTIOC6C/TIC1/MOSI B-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104
E1	VCL	E2	VCL
E3	P00/TMRI0-A/TxD6-A/IRQ8-A	D1	P00/TMRI0/TXD6/SMOSI6/SSDA6/IRQ8/A N118
E4	BSCANP	G4	BSCANP
E10	P65/CS5#-A/CKE	E12	P65/CS5#/CKE

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
E11	P67/CS7#-A/DQM1	E13	P67/CS7#/DQM1/MTIOC7C/IRQ15
E12	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	E10	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/CACREF/PO16/SSLA1-B/ET0_TX_EN/RMII0_TXD_EN
E13	P66/CS6#-A/DQM0	E11	P66/CS6#/DQM0/MTIOC7D
F1	XCIN	F1	XCIN
F2	XCOUT	F2	XCOUT
F10	PA1/A1/MTIOC6B/PO17/SSLA2-B	F12	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB0/PO17/SCK5/SSLA2-B/ET0_WOL/IRQ11
F11	PA3/A3/MTIOC6D/PO19	F10	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19/RXD5/SMISO5/SSCL5/ET0_MDI0/IRQ6-DS
F13	PA2/A2/MTIOC6C/PO18/SSLA3-B	F13	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/SSCL5/SSLA3-B
G1	XTAL	G1	XTAL/P37
G4	MD0	G3	MD/FINED
G11	PA5/A5/MTIOC7B/PO21/RSPCK A-B	G10	PA5/A5/MTIOC6B/TIOCB1/PO21/RSPCK A-B/ET0_LINKSTA
G12	PA6/A6/MTIOC8A/PO22/MOSIA-B	G11	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/PO22/POE10#/CTS5#/RTS5#/SS5#/MOSI A-B/ET0_EXOUT
G13	PA4/A4/MTIOC7A/PO20/SSLA0-B	G13	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ET0_MDC/IRQ5-DS
H1	EXTAL	H1	EXTAL/P36
H2	P34/MTIOC0A/TMCI3/PO12/SCK6-B/IRQ4-A/TRST#	J1	TRST#/P34/MTIOC0A/TMCI3/PO12/POE10#/SCK6/SCK0/ET0_LINKSTA/IRQ4
H4	RES#	G2	RES#
H10	PB0/A8/MTIOC9A/PO24	H12	PB0/A8/MTIC5W/TIOCA3/PO24/RXD4/RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ET0_ERXD1/RMII0_RXD1/IRQ12
H11	P71/CS1#-B/ET_MDIO	H11	P71/A18/CS1#/ET0_MDIO
H12	PB1/A9/MTIOC9C/PO25	J13	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCI0/PO25/TXD4/TXD6/SMOSI4/SMOSI6/SSDA4/SSDA6/ET0_ERXD0/RMII0_RXD0/IRQ4-DS
H13	PA7/A7/MTIOC8B/PO23/MISOA-B	H13	PA7/A7/TIOCB2/PO23/MISOA-B/ET0_WOL
J1	P33/MTIOC0D/PO11/CRX0/RxD6-B/IRQ3-A	J2	P33/EDREQ1/MTIOC0D/TIOCD0/TMRI3/PO11/POE4#/POE11#/RXD6/RXD0/SMISO6/SMISO0/SSCL6/SSCL0/CRX0/PCKO/IRQ3-DS

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
J2	P27/CS7#-C/MTIOC2B/PO7/RSP CKB-A/SCK1/TCK	K1	TCK/P27/CS7#/MTIOC2B/TMC13/PO7/SC K1/RSPCKB-A
J3	P35/NMI	H4	UPSEL/P35/NMI
J4	P32/MTIOC0C/PO10/RTCOU/C TX0/TxD6-B/IRQ2-A	J3	P32/MTIOC0C/TIOCC0/TMO3/PO10/RTC OUT/RTIC2/POE0#/POE10#/TXD6/TXD 0/SMOSI6/SMOSI0/SSDA6/SSDA0/CTX0/ USB0_VBUSEN/VSYSN/IRQ2-DS
J10	PB2/A10/MTIOC9B/MTCLKG-B/P O26	J12	PB2/A10/TIOCC3/TCLKC/PO26/CTS4#/R TS4#/CTS6#/RTS6#/SS4#/SS6#/ET0_RX _CLK/REF50CK0/SDSI_D2-B
J11	PB4/A12/MTIOC10A/MTCLKE-B/ PO28	J11	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/SS 9#/ET0_TX_EN/RMII0_TXD_EN/CTS11#/ RTS11#/SS11#/SDSI_CMD-B
J12	PB5/A13/MTIOC10C/MTCLKF-B/ PO29	K13	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/TM RI1/PO29/POE4#/SCK9/ET0_ETXD0/RMII 0_TXD0/SCK11/SDSI_CLK-B
J13	P72/CS2#-B/ET_MDC	H10	P72/A19/CS2#/ET0_MDC
K1	P30/MTIOC4B-A/TMRI3/PO8/Rx D1/MISOB-A/IRQ0/TDI	J4	TDI/P30/MTIOC4B/TMRI3/PO8/RTIC0/P OE8#/RXD1/SMISO1/SSCL1/MISOB-A/IR Q0-DS
K2	P24/CS4#-C/EDREQ1-B/USB0_V BUSEN-A/MTIOC4A-A/MTCLKA- A/TMRI1/PO4/SCK3-B	L4	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/T IOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN /PIXCLK
K3	P31/MTIOC4D-A/TMC12-B/PO9/S SLB0-A/IRQ1/TMS	K3	TMS/P31/MTIOC4D/TMC12/PO9/RTIC1/ CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS
K4	P26/CS6#-C/MTIOC2A/TMO1/PO 6/MOSIB-A/TxD1/TDO	K2	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TX D1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/ MOSIB-A
K5	BCLK/P53	K6	P53/BCLK
K7	PC7/A23/CS0#-B/ET_COL/MTIC 11U-A/MTCLKB-B/MISOA-A	N9	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/T MO2/TOC0/PO31/CACREF/TXD8/SMOSI 8/SSDA8/MISOA-A/ET0_COL/TXD10/SM OSI10/SSDA10/MMC_D7-A/IRQ14
K8	P82/EDREQ1-A/ET_ETXD1/RMII _TXD1/MTIOC4A-B/TRSYNC	N10	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/T XD10/SMOSI10/SSDA10/ET0_ETXD1/RM II0_TXD1/MMC_D4-A
K9	PC3/A19-A/ET_TX_ER/MTCLKF- A/TxD5	N11	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/S MOSI5/SSDA5/ET0_TX_ER/MMC_D0-A/S DHI_D0-A/SDSI_D0-A/QIO0-A/QMO-A
K10	PB7/A15/MTIOC10D/PO31	K11	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/ SMOSI9/SSDA9/ET0_CRS/RMII0_CRS_D V/TXD11/SMOSI11/SSDA11/SDSI_D1-B
K11	P73/CS3#-B/ET_WOL	L12	TRDATA4/P73/CS3#/PO16/ET0_WOL
K12	PC0/A16-A/ET_ERXD3/MTCLKG -A/SSLA1-A	M11	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/ RTS5#/SS5#/SSLA1-A/ET0_ERXD3/IRQ1 4

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
K13	PB3/A11/MTIOC9D/MTCLKH-B/PO27	J10	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/TCLKD/TMO0/PO27/POE11#/SCK4/SCK6/ET0_RX_ER/RMII0_RX_ER/SDSI_D3-B
L1	P25/CS5#-C/EDACK1-B/USB0_DPRPD/MTIOC4C-A/MTCLKB-A/PO5/RxD3-B/ADTRG0#-B	L1	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/HSYN C/ADTRG0#
L2	P22/EDREQ0-B/USB0_DRPD/MTIOC3B-A/MTCLKC-A/TMO0/PO2/SCK0	M1	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB/PIXD6
L3	P17/MTIOC3A/PO15/TxD3-A/IRQ7-B	M2	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/PIXD3/IRQ7/ADTRG1#
L4	P12/TMC11-B/SCL0/RxD2-A/IRQ2-B	M4	P12/TMC11/RXD2/SMISO2/SSCL2/SCL0[FM+]/IRQ2
L5	VCC_USB	M5	VCC_USB
L6	P56/EDACK1-C/MTIOC3C-B	L6	P56/EDACK1/MTIOC3C/TIOCA1
L7	P52/RD#/SSLB3-A/RxD2-B	L7	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A
L8	P83/EDACK1-A/ET_CRS/RMII_CRS_DV/MTIOC4C-B/TRCLK	L8	TRCLK/P83/EDACK1/MTIOC4C/CTS10#/SS10#/ET0_CRS/RMII0_CRS_DV/SCK10
L9	P81/EDACK0-A/ET_ETXD0/RMII_TXD0/MTIOC3D-B/TRDATA1	M9	TRDATA1/P81/EDACK0/MTIOC3D/PO27/RXD10/SMISO10/SSCL10/ET0_ETXD0/RMII0_TXD0/MMC_D3-A/SDHI_CD-A/QIO3-A
L10	P77/CS7#-B/ET_RX_ER/RMII_RX_ER	M10	TRDATA7/P77/CS7#/PO23/TXD11/SMOSI11/SSDA11/ET0_RX_ER/RMII0_RX_ER/MMC_CLK-A/SDHI_CLK-A/SDSI_CLK-A/QSPCLK-A
L11	P75/CS5#-B/ET_ERXD0/RMII_RXD0	N12	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/ET0_ERXD0/RMII0_RXD0/MMC_RES#-A/SDHI_D2-A/SDSI_D2-A
L13	PB6/A14/MTIOC10B/PO30	K12	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/SMISO9/SSCL9/ET0_ETXD1/RMII0_TXD1/RXD11/SMISO11/SSCL11/SDSI_D0-B
M1	P23/EDACK0-B/USB0_DPUPE-A/MTIOC3D-A/MTCLKD-A/PO3/TxD3-B	L2	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3/PIXD7
M2	P20/USB0_ID/MTIOC1A/TMRI0-B/PO0/SDA1/TxD0	N2	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/USB0_ID/PIXD4/IRQ8
M4	P15/MTIOC0B/TMC12-A/PO13/SCK3-A/IRQ5-B	K4	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMC12/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/PIXD0/IRQ5
M5	P14/USB0_OVRCURA/USB0_DPUPE-B/TMRI2/IRQ4-B	N4	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
M6	VSS_USB	M6	VSS_USB

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
M7	P55/WAIT#-B/EDREQ0-C/ET_EX OUT/MTIOC4D-B/TRDATA3	N7	TRDATA3/P55/WAIT#/EDREQ0/MTIOC4D /TMO3/CRX1/ET0_EXOUT/IRQ10
M8	P50/WR0#/WR#/SSLB1-A/TxD2- B	M7	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/S SLB1-A
M9	PC6/A22/CS1#-C/ET_ETXD3/MTI C11V-A/MTCLKA-B/MOSIA-A	M8	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI 2/TIC0/PO30/RXD8/SMISO8/SSCL8/MOSI A-A/ET0_ETXD3/RXD10/SMISO10/SSCL1 0/MMC_D6-A/IRQ13
M10	P80/EDREQ0-A/ET_TX_EN/RMII _TXD_EN/MTIOC3B-B/TRDATA0	K9	TRDATA0/P80/EDREQ0/MTIOC3B/PO26/ SCK10/RTS10#/ET0_TX_EN/RMII0_TXD_ EN/MMC_D2-A/SDHI_WP-A/QIO2-A
M11	PC2/A18-A/ET_RX_DV/MTCLKE- A/SSLA3-A/RxD5	L11	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/S MISO5/SSCL5/SSLA3-A/ET0_RX_DV/MM C_CD-A/SDHI_D3-A/SDSI_D3-A
M12	PC1/A17-A/ET_ERXD2/MTCLKH- A/SSLA2-A/SCK5	M12	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/S SLA2-A/ET0_ERXD2/IRQ12
N1	P21/USB0_EXICEN/MTIOC1B/T MCI0-B/PO1/SCL1/RxD0	N1	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/ PO1/RXD0/SMISO0/SSCL0/USB0_EXICE N/PIXD5/IRQ9
N2	P16/USB0_VBUS/USB0_OVRCU RB/USB0_VBUSEN-B/MTIOC3C- A/TMO2/PO14/RxD3-A/IRQ6-B	L3	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/ TMO2/PO14/RTCOUT/TXD1/RXD3/SMOS I1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB 0_VBUS/USB0_VBUSEN/USB0_OVRCU RB/IRQ6/ADTRG0#
N4	P13/TMO3/SDA0/TxD2-A/IRQ3-B /ADTRG1#	L5	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2 /SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTR G1#
N5	USB0_DM	N5	USB0_DM
N6	USB0_DP	N6	USB0_DP
N7	P54/EDACK0-C/ET_LINKSTA/ MTIOC4B-B/TRDATA2	K5	TRDATA2/P54/ALE/EDACK0/MTIOC4B/T MCI1/CTS2#/RTS2#/SS2#/CTX1/ET0_LIN KSTA
N8	P51/WR1#/BC1#/WAIT#-D/SSLB 2-A/SCK2	K7	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A
N10	PC5/A21/CS2#-C/WAIT#-C/ET_E TXD2/MTIC11W-A/MTCLKD-B/R SPCKA-A	L9	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLK D/TMRI2/PO29/SCK8/RSPCKA-A/ET0_ET XD2/SCK10/MMC_D5-A
N11	PC4/A20/CS3#-C/ET_TX_CLK/M TCLKC-B/SSLA0-A	L10	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI 1/PO25/POE0#/SCK5/CTS8#/RTS8#/SS8 #/SSLA0-A/ET0_TX_CLK/CTS10#/RTS10 #/SS10#/MMC_D1-A/SDHI_D1-A/SDSI_D 1-A/QIO1-A/QMI-A
N12	P76/CS6#-B/ET_RX_CLK/REF50 CK	K10	TRDATA6/P76/CS6#/PO22/RXD11/SMIS O11/SSCL11/ET0_RX_CLK/REF50CK0/M MC_CMD-A/SDHI_CMD-A/SDSI_CMD-A/ QSSL-A

145 ピン TFLGA	RX62N	145 ピン TFLGA	RX65N
N13	P74/CS4#-B/ET_ERXD1/RMII_RXD1	N13	TRDATA5/P74/A20/CS4#/PO19/CTS11#/SS11#/ET0_ERXD1/RMII0_RXD1
G3	MD1	-	-
F3	WDTOVF#	-	-
F4	MDE	-	-
M3	PLLVC	-	-
N3	PLLVSS	-	-
-	-	M13	VCC
-	-	N3	P87/MTIOC4C/TIOCA2/TXD10/SMOS10/SSDA10/PIXD2
-	-	M3	P86/MTIOC4D/TIOCA0/RXD10/SMISO10/SSCL10/PIXD1
-	-	K8	VCC
-	-	F3	PJ3/EDACK1/MTIOC3C/ET0_EXOUT/CTS6#/RTS6#/CTS0#/RTS0#/SS6#/SS0#
-	-	F4	VBATT
-	-	E3	PJ5/POE8#/CTS2#/RTS2#/SS2#
-	-	D2	PF5/IRQ4
-	-	C1	AVSS1
-	-	B1	AVCC1
D2 D5 D9 D11 F12 H3 L13 N9	VCC	B10 D5 D11 G12 H2 K8 M13	VCC
B9 C3 D6 D10 E2 G2 G10 K6 M13	VSS	A10 C6 C13 E1 F11 H3 L13 N8	VSS

3.3 100 ピンパッケージ

表 3.3 に 100 ピンパッケージ端子機能の比較を示します。

表 3.3 100 ピンパッケージ端子機能の比較

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
1	VCC	AVCC1
2	EMLE	EMLE
3	VSS	AVSS1
4	MDE	PJ3/EDACK1/MTIOC3C/ET0_EXOUT/ CTS6#/RTS6#/CTS0#/RTS0#/SS6#/S S0#
5	VCL	VCL
6	MD1	VBATT
7	MD0	MD/FINED
8	XCIN	XCIN
9	XCOUT	XCOUT
10	RES#	RES#
11	XTAL	P37/XTAL
12	VSS	VSS
13	EXTAL	P36/EXTAL
14	VCC	VCC
15	P35/NMI	P35/UPSEL/NMI
16	P34/MTIOC0A/TMCI3/PO12/SCK6/IR Q4-A/TRST#	P34/TRST#/MTIOC0A/TMCI3/PO12/P OE10#/SCK6/SCK0/ET0_LINKSTA/IR Q4
17	P33/MTIOC0D/PO11/CRX0/RxD6/IRQ 3-A	P33/EDREQ1/MTIOC0D/TIOCD0/TM RI3/PO11/POE4#/POE11#/RXD6/RXD 0/SMISO6/SMISO0/SSCL6/SSCL0/CR X0/IRQ3-DS
18	P32/MTIOC0C/PO10/RTCOUT/CTX0/ TxD6/IRQ2-A	P32/MTIOC0C/TIOCC0/TMO3/PO10/ RTCOUT/RTCIC2/POE0#/POE10#/TX D6/TXD0/SMOSI6/SMOSI0/SSDA6/S SDA0/CTX0/USB0_VBUSEN/IRQ2-D S
19	P31/MTIOC4D-A/TMCI2/PO9/SSLB0- A/IRQ1/TMS	P31/TMS/MTIOC4D/TMCI2/PO9/RTCI C1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ 1-DS
20	P30/MTIOC4B-A/TMRI3/PO8/RxD1/MI SOB-A/IRQ0/TDI	P30/TDI/MTIOC4B/TMRI3/PO8/RTCIC 0/POE8#/RXD1/SMISO1/SSCL1/MIS OB-A/IRQ0-DS
21	P27/CS7#/MTIOC2B/PO7/RSPCKB-A/ SCK1/TCK	P27/TCK/CS7#/MTIOC2B/TMCI3/PO7 /SCK1/RSPCKB-A

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
22	P26/CS6#/MTIOC2A/TMO1/PO6/MOSIB-A/TxD1/TDO	P26/TDO/CS6#/MTIOC2A/TMO1/PO6/TXD1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/MOSIB-A
23	P25/CS5#/USB0_DPRPD/MTIOC4C/MTCLKB-A/PO5/RxD3/ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/ADTRG0#
24	P24/CS4#/USB0_VBUSEN-A/MTIOC4A/MTCLKA-A/TMRI1/PO4/SCK3	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN
25	P23/USB0_DPUPE-A/MTIOC3D/MTCLKD-A/PO3/TxD3	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3
26	P22/USB0_DRPD/MTIOC3B/MTCLKC-A/TMO0/PO2/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB
27	P21/USB0_EXICEN/MTIOC1B/TMCI0/PO1/RxD0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/PO1/RXD0/SMISO0/SSCL0/USB0_EXICEN/IRQ9
28	P20/USB0_ID/MTIOC1A/TMRI0/PO0/TxD0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/USB0_ID/IRQ8
29	PLLVCC	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/IRQ7/ADTRG1#
30	P16/USB0_VBUS/USB0_OVRCURB/USB0_VBUSEN-B/MTIOC3C/TMO2/PO14/IRQ6-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOUT/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
31	PLLVSS	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/IRQ5
32	P14/USB0_OVRCURA/USB0_DPUPE-B/MTIOC3A/TMRI2/PO15/IRQ4-B	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
33	P13/MTIOC0B/TMO3/PO13/SDA0/TxD2-A/IRQ3-B/ADTRG1#	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1#
34	P12/TMCI1/SCL0/RxD2-A/IRQ2-B	P12/TMCI1/RXD2/SMISO2/SSCL2/SCL0[FM+]/IRQ2
35	VCC_USB	VCC_USB
36	USB0_DM	USB0_DM
37	USB0_DP	USB0_DP
38	VSS_USB	VSS_USB
39	P55/WAIT#-B//MTIOC4D-B	P55/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/ET0_EXOUT/IRQ10

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
40	P54/MTIOC4B-B	P54/ALE/EDACK0/MTIOC4B/TMC11/C TS2#/RTS2#/SS2#/CTX1/ET0_LINKS TA
41	BCLK/P53	P53/BCLK
42	P52/RD#/SSLB3-A/RxD2-B	P52/RD#/RXD2/SMISO2/SSCL2/SSL B3-A
43	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/ SCK2	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2 -A
44	P50/WR0#/WR#/SSLB1-A/TxD2-B	P50/WR0#/WR#/TXD2/SMOSI2/SSDA 2/SSLB1-A
45	PC7/A23/CS0#/ET_COL/MTIC11U-A/ MTCLKB-B/MISOA-A	PC7/UB/A23/CS0#/MTIOC3A/MTCLK B/TMO2/TOC0/PO31/CACREF/TXD8/ SMOSI8/SSDA8/MISOA-A/ET0_COL/ TXD10/SMOSI10/SSDA10/IRQ14
46	PC6/A22/CS1#/ET_ETXD3/MTIC11V- A/MTCLKA-B/MOSIA-A	PC6/A22/CS1#/MTIOC3C/MTCLKA/T MCI2/TIC0/PO30/RXD8/SMISO8/SSC L8/MOSIA-A/ET0_ETXD3/RXD10/SMI SO10/SSCL10/IRQ13
47	PC5/A21/CS2#/WAIT#-C/ET_ETXD2/ MTIC11W-A/MTCLKD-B/RSPCKA-A	PC5/A21/CS2#/WAIT#/MTIOC3B/MTC LKD/TMRI2/PO29/SCK8/RSPCKA-A/E T0_ETXD2/SCK10
48	PC4/A20/CS3#/ET_TX_CLK/MTCLKC -B/SSLA0-A	PC4/A20/CS3#/MTIOC3D/MTCLKC/T MCI1/PO25/POE0#/SCK5/CTS8#/RTS 8#/SS8#/SSLA0-A/ET0_TX_CLK/CTS 10#/RTS10#/SS10#
49	PC3/A19/ET_TX_ER/MTCLKF-A/TxD5	PC3/A19/MTIOC4D/TCLKB/PO24/TX D5/SMOSI5/SSDA5/ET0_TX_ER
50	PC2/A18/ET_RX_DV/MTCLKE-A/SSL A3-A/RxD5	PC2/A18/MTIOC4B/TCLKA/PO21/RX D5/SMISO5/SSCL5/SSLA3-A/ET0_RX _DV
51	PC1/A17/ET_ERXD2/MTCLKH-A/SSL A2-A/SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SC K5/SSLA2-A/ET0_ERXD2/IRQ12
52	PC0/A16/ET_ERXD3/MTCLKG-A/SSL A1-A	PC0/A16/MTIOC3C/TCLKC/PO17/CT S5#/RTS5#/SS5#/SSLA1-A/ET0_ERX D3/IRQ14
53	PB7/A15/ET_CRS/RMII_CRS_DV/MTI OC10D/PO31	PB7/A15/MTIOC3B/TIOCB5/PO31/TX D9/SMOSI9/SSDA9/ET0_CRS/RMII0_ CRS_DV/TXD11/SMOSI11/SSDA11/S DSI_D1-B
54	PB6/A14/ET_ETXD1/RMII_TXD1/MTI OC10B/PO30	PB6/A14/MTIOC3D/TIOCA5/PO30/RX D9/SMISO9/SSCL9/ET0_ETXD1/RMII 0_TXD1/RXD11/SMISO11/SSCL11/S DSI_D0-B
55	PB5/A13/ET_ETXD0/RMII_TXD0/MTI OC10C/MTCLKF-B/PO29	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4 /TMRI1/PO29/POE4#/SCK9/ET0_ETX D0/RMII0_TXD0/SCK11/SDSI_CLK-B

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
56	PB4/A12/ET_TX_EN/RMII_TXD_EN/MTIOC10A/MTCLKE-B/PO28	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/SS9#/ET0_TX_EN/RMII0_TXD_EN/CTS11#/RTS11#/SS11#/SDSI_CMD-B
57	PB3/A11/ET_RX_ER/RMII_RX_ER/MTIOC9D/MTCLKH-B/PO27	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/TCLKD/TMO0/PO27/POE11#/SCK6/ET0_RX_ER/RMII0_RX_ER/SDSI_D3-B
58	PB2/A10/ET_RX_CLK/REF50CK/MTIOC9B/MTCLKG-B/PO26	PB2/A10/TIOCC3/TCLKC/PO26/CTS6#/RTS6#/SS6#/ET0_RX_CLK/REF50CK0/SDSI_D2-B
59	PB1/A9/ET_ERXD0/RMII_RXD0/MTIOC9C/PO25	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCIO/PO25/TXD6/SMOSI6/SSDA6/ET0_ERXD0/RMII0_RXD0/IRQ4-DS
60	VCC	VCC
61	PB0/A8/ET_ERXD1/RMII_RXD1/MTIOC9A/PO24	PB0/A8/MTIC5W/TIOCA3/PO24/RXD6/SMISO6/SSCL6/ET0_ERXD1/RMII0_RXD1/IRQ12
62	VSS	VSS
63	PA7/A7/ET_WOL/MTIOC8B/PO23/MISOA-B	PA7/A7/TIOCB2/PO23/MISOA-B/ET0_WOL
64	PA6/A6/ET_EXOUT/MTIOC8A/PO22/MOSIA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCIO3/PO22/POE10#/CTS5#/RTS5#/SS5#/MOSIA-B/ET0_EXOUT
65	PA5/A5/ET_LINKSTA/MTIOC7B/PO21/RSPCKA-B	PA5/A5/MTIOC6B/TIOCB1/PO21/RSPCKA-B/ET0_LINKSTA
66	PA4/A4/ET_MDC/MTIOC7A/PO20/SSLA0-B	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ET0_MDC/IRQ5-DS
67	PA3/A3/ET_MDIO/MTIOC6D/PO19	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19/RXD5/SMISO5/SSCL5/ET0_MDIO/IRQ6-DS
68	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/SSCL5/SSLA3-B
69	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB0/PO17/SCK5/SSLA2-B/ET0_WOL/IRQ11
70	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/CACREF/PO16/SSLA1-B/ET0_TX_EN/RMII0_TXD_EN
71	PE7/D15/MISOB-B/IRQ7	PE7/D15[A15/D15]/MTIOC6A/TOC1/MISOB-B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN105
72	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/MTIOC6C/TIC1/MOSIB-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
73	PE5/D13/RSPCKB-B/IRQ5	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/ET0_RX_CLK/REF50CK0/RSPCKB-B/IRQ5/AN103
74	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/PO28/ET0_ERXD2/SSLB0-B/AN102
75	PE3/D11/POE8#	PE3/D11[A11/D11]/MTIOC4B/PO26/POE8#/TOC3/CTS12#/RTS12#/SS12#/ET0_ERXD3/MMC_D7-B/AN101
76	PE2/D10/POE9#/SSLB3-B	PE2/D10[A10/D10]/MTIOC4A/PO23/TIC3/RXD12/SMISO12/SSCL12/RXDX12/SSLB3-B/MMC_D6-B/IRQ7-DS/AN100
77	PE1/D9/SSLB2-B	PE1/D9[A9/D9]/MTIOC4C/MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/TDX12/SIOX12/SSLB2-B/MMC_D5-B/ANEX1
78	PE0/D8/SSLB1-B	PE0/D8[A8/D8]/MTIOC3D/SCK12/SSLB1-B/MMC_D4-B/ANEX0
79	PD7/D7/MTIC5U/POE0#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3/MMC_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ7/AN107
80	PD6/D6/MTIC5V/POE1#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/SSLC2/MMC_D0-B/SDHI_D0-B/QIO0-B/QMO-B/IRQ6/AN106
81	PD5/D5/MTIC5W/POE2#	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/POE10#/SSLC1/MMC_CLK-B/SDHI_CLK-B/QSPCLK-B/IRQ5/AN113
82	PD4/D4/MTIC11U-B/POE3#	PD4/D4[A4/D4]/MTIOC8B/POE11#/SSLC0/MMC_CMD-B/SDHI_CMD-B/QSSL-B/IRQ4/AN112
83	PD3/D3/MTIC11V-B/POE4#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/RSPCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/IRQ3/AN111
84	PD2/D2/MTIC11W-B/POE5#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/MISOC/MMC_D2-B/SDHI_D2-B/QIO2-B/IRQ2/AN110
85	PD1/D1/POE6#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/MOSIC/IRQ1/AN109
86	PD0/D0/POE7#	PD0/D0[A0/D0]/POE4#/IRQ0/AN108
87	P47/IRQ15-B/AN7	P47/IRQ15-DS/AN007
88	P46/IRQ14/AN6	P46/IRQ14-DS/AN006
89	P45/IRQ13-B/AN5	P45/IRQ13-DS/AN005
90	P44/IRQ12/AN4	P44/IRQ12-DS/AN004
91	P43/IRQ11/AN3	P43/IRQ11-DS/AN003
92	P42/IRQ10/AN2	P42/IRQ10-DS/AN002

100 ピン	RX62N (LFQFP)	RX65N (LQFP)
93	P41/IRQ9/AN1	P41/IRQ9-DS/AN001
94	VREFL	VREFL0
95	P40/IRQ8/AN0	P40/IRQ8-DS/AN000
96	VREFH	VREFH0
97	AVCC	AVCC0
98	P07/IRQ15-A/ADTRG0#-A	P07/IRQ15/ADTRG0#
99	AVSS	AVSS0
100	P05/DA1/IRQ13-A	P05/IRQ13/DA1

4. 移行の際の留意点

RX62N グループと RX65N グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。

また、ソフトウェアに関する留意点を「4.2 機能設定の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 動作モード

RX62N グループと RX65N グループでは動作モード設定端子、設定方法が異なります。RX65N グループでは、MD 端子を Low でリセット解除後、20～100msec 以内に High へ切り替えることでブートモード(FINE インタフェース)に遷移します。

表 4.1 動作モード設定比較

RX62N			RX65N		
MD1	MD0	動作モード	MD	UB	動作モード
0	1	ブートモード	0	0	ブートモード (SCI インタフェース)
1	0	USB ブートモード	0	1	ブートモード (USB インタフェース)
-	-	-	0->1	0	ブートモード (FINE インタフェース)
1	1	シングルチップモード	1	-	シングルチップモード

4.1.2 VCL 端子(外付け容量)

RX65N グループの VCL 端子に接続する内部電源安定用の平滑コンデンサは 0.22μF の容量を使用してください。

4.1.3 VBATT 端子

RX65N グループの MCU は VCC 端子の電圧が低下したとき、専用のバッテリバックアップ用電源端子 (VBATT 端子)からリアルタイムクロック (RTC)とサブクロック発振器に電源を供給することができます。

リアルタイムクロック (RTC)でバッテリバックアップ機能を使用しない、またはサブクロック発振器を使用しない場合、VBATT 端子を VCC 端子に接続してください。

4.1.4 メインクロック発振器

RX65N グループの EXTAL 端子、XTAL 端子に発振子を接続する場合、発振子周波数：8MHz～24MHz の発振子を接続してください。

RX65N では、発振子周波数に対応したドライブ能力をメインクロック強制発振コントロールレジスタ (MOFCR)のメインクロック発振器ドライブ能力 2 切り替えビット (MODRV2[1:0])に設定する必要があります。

4.1.5 外部クロック入力

RX62N グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相を XTAL 端子に入力することを許可していました。しかし RX65N グループは許可していませんので、設計の際は注意してください。

RX65N では、外部クロックを入力する場合、メインクロック強制発振コントロールレジスタ (MOFCR)のメインクロック発振器切り替えビット (MOSEL)を 1 に設定する必要があります。

4.1.6 サブクロック発振器

RX62N グループのサブクロックは、水晶発振子および外部クロックの入力が可能です。しかし RX65N グループのサブクロックは、外部クロックが使用できませんので、水晶発振子を使用してください。

また RX65N グループでは、発振子の負荷容量に対応したドライブ能力を RTC コントロールレジスタ(RCR3)のサブクロック発振器ドライブ能力制御ビット(RTCDV[2:0])に設定する必要があります

RCR3.RTCDV[2:0] ビットを“001b”（低 CL 用ドライブ能力）にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。

低 CL 水晶振動子を使用した基板を作成する際には、アプリケーションノート「低 CL サブクロック回路のデザインガイド」（R01AN1187JJ）を参考に、ノイズ対策を実施してください。

4.1.7 32 ビットバス空間の対応

データ入出力端子（D16-D31）は、RX65N グループには存在しません。そのため RX65N グループは、32 ビットバス幅のメモリには対応していません。

4.1.8 アナログ電源端子

RX62N と RX65N グループでは、アナログ電源端子の機能が異なります。

RX62N	AVCC	A/D コンバータおよび D/A コンバータのアナログ電源端子。 A/D コンバータおよび D/A コンバータを使用しない場合は、システムの電源に接続してください
	AVSS	A/D コンバータおよび D/A コンバータのグランド端子。システムの電源（0V）に接続してください
	VREFH	A/D コンバータおよび D/A コンバータの基準電源端子。A/D コンバータおよび D/A コンバータを使用しない場合は、システムの電源に接続してください
	VREFL	A/D コンバータおよび D/A コンバータの基準グランド端子。アナログ基準電源（0V）に接続してください。また、A/D コンバータおよび D/A コンバータを使用しない場合は、システムの電源（0V）に接続してください。
RX65N	AVCC0	12 ビット A/D コンバータ（ユニット 0）のアナログ電源端子。電源供給元から分岐させて、VCC と接続してください。
	AVSS0	12 ビット A/D コンバータ（ユニット 0）のアナロググランド端子。グランド供給元から分岐させて、VSS と接続してください。
	VREFH0	12 ビット A/D コンバータ（ユニット 0）の基準電源端子。12 ビット A/D コンバータを使用しない場合は、VCC に接続してください
	VREFL0	12 ビット A/D コンバータ（ユニット 0）の基準グランド端子。12 ビット A/D コンバータを使用しない場合は、VSS に接続してください
	AVCC1	12 ビット A/D コンバータ（ユニット 1）と D/A コンバータのアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCC と接続してください。
	AVSS1	12 ビット A/D コンバータ（ユニット 1）と D/A コンバータのアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSS と接続してください

4.1.9 USB DP/DM のプルアップ抵抗/プルダウン抵抗内蔵

RX65N グループでは、DP/DM のプルダウン抵抗/プルダウン抵抗が内蔵されています。そのため RX62N とは USB 外部接続回路例が異なります。

4.1.10 ブートモード (USB インタフェース)

RX65N グループでは、ブートモード (USB インタフェース) で使用可能な発振子は、周波数が 20MHz、24MHz、かつ発振子メーカーのマッチングテスト結果 (推奨設定値) でメインクロック発振器ドライブ能力 2 切り替えビット (MOFCR.MODRV2[1:0]) が “00b” の設定値のみです。

4.1.11 未使用端子の処理

RX62N グループから RX65N グループに移行する際に留意が必要な未使用端子を示します。

表 4.2 未使用端子の処理内容

端子名	処理内容	
	RX62N	RX65N
EMLE	抵抗を介して VSS に接続 (プルダウン)	抵抗を介して VSS に接続 (プルダウン)
BSCANP	抵抗を介して VSS に接続 (プルダウン)	抵抗を介して VSS に接続 (プルダウン)
MD	–	(モード端子として使用)
MD1, MD0	(モード端子として使用)	–
MDE	(モード端子として使用)	–
RES#	抵抗を介して VCC に接続 (プルアップ)	抵抗を介して VCC に接続 (プルアップ)
VCC_USB	–	VCC に接続
VSS_USB	–	VSS に接続
USB0_DP	端子を開放	端子を開放
USB0_DM		
P35/NMI	抵抗を介して VCC に接続 (プルアップ)	抵抗を介して VCC に接続 (プルアップ)
EXTAL	(クロック端子として使用)	抵抗を介して VSS に接続 (プルダウン)
XTAL	端子を開放	端子を開放
XCIN	抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン)	抵抗を介して VSS に接続 (プルダウン)
XCOUT	端子を開放	端子を開放
ポート 0~9, A~F, J	端子ごとに抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン) PORTn. ICR を初期値 (入力バッファ無効) の状態で端子を開放することも可能	入力に設定 (PORTn. PDR ビット= 0) し、1 端子ごと抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごと抵抗を介して VSS に接続 (プルダウン) (注 1) 出力に設定 (PORTn. PDR ビット= 1) し、端子を開放 (注 1、注 2)
VREFH0	AVCC に接続	AVCC0 に接続
VREFL0	AVSS に接続	AVSS0 に接続

注 1. PORTn.PMR ビットを“0”、および PmnPFS.ISEL、PmnPFS.ASEL ビットを“0”にしてください。

注 2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

4.2 機能設定の留意点

4.2.1 パワーオンリセットと PLL 回路を併用する場合の注意事項

RX65N グループでは、パワーオンリセットと PLL 回路を併用する場合、LVD1CR1.LVD1IDTSEL[1:0] ビット、または LVD2CR1.LVD2IDTSEL[1:0] ビットを“01b”に設定して、電圧監視割り込みを下降検出時 ($V_{cc} < V_{det}$) に選択してください。

さらに割り込み処理ルーチンの先頭で、SCKCR3.CKSEL[2:0] ビットを“100b”以外にして PLL 回路以外を選択した後、PLLCR2.PLLEN ビットを“1”にして PLL 回路を停止してください。

4.2.2 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

RX65N グループでは、オプション設定メモリの予約領域および予約ビットにプログラムする値は“1”としてください。“0”をプログラムすると正常動作できないことがあります。

4.2.3 サブクロック発振の制御について

RX65N のサブクロック発振器の動作/停止は、SOSCCR.SOSTP ビットおよび RCR3.RTCEN で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。そのため、サブクロックを使用しない場合も含めて、設定に関して制限がありますので留意してください

4.2.4 スリープモード中の DMAC, DTC によるレジスタの書き換えについて

RX65N グループでは、スリープモード中は WDT が停止します。スリープモード中に DMAC, DTC によって WDT 関連のレジスタを書き換えしないでください。スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCTSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC, DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

4.2.5 パッケージ毎のポート方向レジスタ (PDR) の設定値

RX65N グループのポート方向レジスタ (PDR) の予約ビットは、ユーザーズマニュアル ハードウェア「22.4 ポート方向レジスタ (PDR) の初期化」を参照して初期化してください。

4.2.6 RTC を使用しない場合の初期化手順

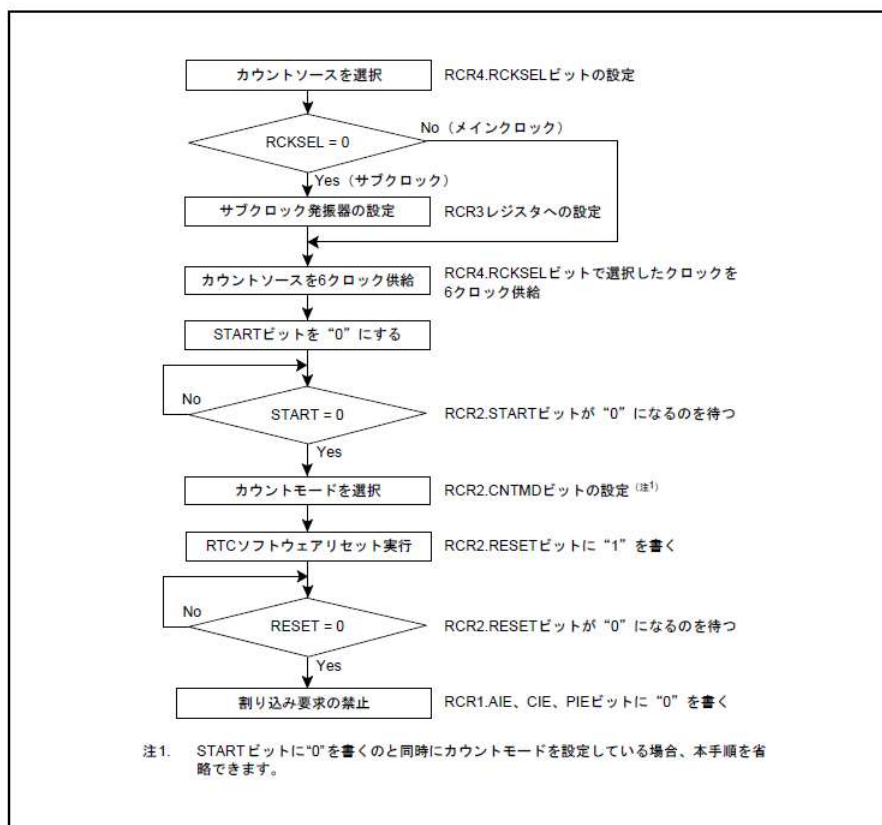
RX65N グループでは、RTC 内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、図 31.14 に示す初期化手順に従って、レジスタの初期化をしてください。

他の方法として、サブクロックをシステムクロックおよびリアルタイムクロックのいずれにも使用しない

場合は、RCR4.RCKSEL ビットへの“0” (サブクロック発振器を選択) の書き込みと、サブクロックを停止にすることでカウンタを停止できます。

サブクロックの停止設定は、RCR3.RTCEN ビットへの“0”の書き込みと SOSCCR.SOSTP ビットへの“1”書き込みで行ってください。



4.2.7 SCI トランスミットイネーブルビット (TE ビット) に関する注意事項

RX65N グループでは、端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0”（シリアル送信動作を禁止）にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
 - (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
- また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

4.2.8 RSPI 通信の開始に関する注意事項

RX65N グループで、ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に割り込み要求をクリアしてください。

4.2.9 S12AD A/D 変換強制停止と開始時の動作タイミング

RX65N グループでは、12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします (RX62N グループは最大 3 クロック)。ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

4.2.10 S12AD 12 ビット A/D コンバータを使用する場合の端子の設定

12 ビット A/D コンバータのユニット 0 を使用する場合は、P40～P47、P03、P05、P07 端子を 端子を 出力 端子として使用 しないでください。また、P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子 についても出力端子として使用しないことを推奨します。P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子を出力端子として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均化するなどの対策を行ってください。

12 ビット A/D コンバータのユニット 1 を使用する場合は、P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子を出力端子として使用しないことを推奨します。これらの端子を出力端子として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均化するなどの対策を行ってください。

4.2.11 S12AD 外部バス使用時の注意事項

RX65N グループでは、外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値/ 最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

4.2.12 D/A 変換と A/D 変換の干渉対策有効時の注意事項

RX65N グループでは、DAADSCR.DAADST ビットが“1”（D/A 変換と A/D 変換の干渉対策が有効）の場合、12 ビット A/D コンバータ（ユニット 1）をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。

4.2.13 D/A イベントリンク動作における注意事項

RX65N グループで、D/A のイベントリンク機能を使用する場合、出力バッファアンプを使用しないでください。

4.2.14 出力バッファアンプ使用時の初期設定手順

RX65N グループでは、出力バッファアンプを使用する場合は、以下に示す手順でアンプ出力を行ってください。チャンネル 0 を例に説明します。

- (1) DACR.DAE ビット、DACR.DAOE0 ビットがともに“0”であることを確認して下さい。
- (2) DACR0 レジスタに“0000h”を書き込みます。
- (3) DAASWCR.DAASW0 ビットを“1”にしてください。
- (4) DAASWCR.DAAMP0 ビットを“1”にしてください。
- (5) DACR.DAE ビットまたは DACR.DAOE0 ビットを“1”にしてください。出力バッファアンプが軌道します。
- (6) 3 μ s 以上待つてから、DAASWCR.DAASW0 ビットを“0”にしてください。
- (7) DADR0 レジスタに変換したい値を書き込んでください。

なお、出力バッファアンプが動作している状態で、DACR.DAE ビットと DACR.DAOE0 ビットを“0”にした場合、出力バッファアンプは停止状態になります。再び出力バッファアンプを使用する場合には、手順(1)～(7)の再実行が必要となります。

4.2.15 RAM 自己診断時の補足事項

RX65N グループでは、RAM に書き込みを行った後に、同一アドレスから読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。確実に RAM からデータを読み出すには、RAM に書

き込みを行った後、4 バイトアライメント内のアドレスの RAM データを読み出したい場合、読み出したい RAM アドレスに対して 4 バイトアライメントと異なる RAM アドレスへライトを行った後、読み出したい RAM アドレスからリードしてください。

4.2.16 フラッシュメモリのアクセスウェイト数の設定

RX65N グループでは、MCU のシステムクロック (ICLK) の周波数によって、フラッシュメモリへのアクセスウェイト数を変更する必要があります。設定レジスタは ROMWT レジスタです。

表 4.3 に ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数を示します。

表 4.3 ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数

項目	ICLK ≤ 50MHz	50MHz < ICLK ≤ 100MHz	100MHz < ICLK ≤ 120MHz
ウェイト数	0~2	1 または 2	2

4.2.17 FCU RAM へのファームウェア転送

RX62N グループでは FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要がありますでしたが、RX65N グループでは本処理は必要ありません。

4.2.18 フラッシュメモリのコマンド使用方法

RX62N グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX65N グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.4 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.4 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド(RX62N)	FACI コマンド(RX65N)
コマンド発行領域	P/E 用アドレス (00E0 0000h~00FF FFFFh)	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	- P/E ノーマルモード移行 - ステータスリードモード移行 - ロックビットリードモード移行 - 周辺クロック通知 - プログラム - ブロックイレーズ - P/E サスペンド - P/E レジューム - ステータスレジスタクリア - ロックビットリード 2 - ロックビットプログラム - ブランクチェック	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 コンフィギュレーション設定

4.2.19 ID コードプロテクト機能の注意点

RX62N グループでは制御コードが 52h、ID コードが 1 から順に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, す。設定レジスタを設定した場合は、ID コード一致判定をせず、常に不一致とし、ホストからの読み出し/ プログラム/ イレーズを禁止します。

RX65N グループでは SPCC.SPE に"0"を設定した場合、制御コードにかかわらず、読み出し/ プログラム/ イ
レーズを禁止します。

ただし オンチップデバッグは、SPCC.SPE の設定にかかわらず ID コードの認証を行います。

RX65N の ID コード認証動作の詳細は RENESAS TECHNICAL UPDATE (TN-RX*-A166A/J) を参照くださ
い。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62N グループ ユーザーズマニュアル ハードウェア編 Rev.1.40 (R01UH0033JJ0140)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0590JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタ
フェース編 Rev.1.00 (R01UH0602JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A165A/J
- TN-RX*-A166A/J
- TN-RX*-A173A/J
- TN-RX*-A174A/J
- TN-RX*-A176A/J

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.07.01	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>