

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 1. 資料概要

### 1.1. 概要

本資料(以降アプリケーションノートと記載)は、ルネサス テクノロジ製 Hi-Speed USB 汎用 ASSP デバイス M6659xを制御するための応用技術資料です。

### 1.2. アプリケーションノートの特徴

アプリケーションノートは以下のような特徴を持っています。

- 本チップ制御に関する手法を、記述例をあげて具体的に記載しています。
- 本チップを使用する場合の注意事項を記載しています。
- 「ルネサス テクノロジ汎用 ASSP M6659x USB Sample Firmware」とリンクしています。
- 豊富な機能用途を具体的に記載しています。
- 本資料のレジスタ名、ビット名はルネサス テクノロジ汎用 ASSP M66591 を基準にしています。

なお、「ルネサス テクノロジ汎用 ASSP M6659x USB Sample Firmware」は一部の USB 特殊信号の制御には対応していません。また、本資料は本チップの制御方法の一例です。お客様の応用に合わせて変更する必要があります。

### 1.3. 関連ドキュメント

[1] M6659xデータシート

[2] M6659x アプリケーションノート (各チップ編)

【<http://www.renesas.com>】

[3] ルネサス テクノロジ汎用 ASSP M6659x USB Sample Firmware

【ルネサスソリューションズよりユーザに配布】

[4] USB の基礎

[5] USB2.0 の基礎

【近日公開予定】

[6] USB 仕様 Ver.1.1 「Chapter 8 Protocol Layer」

[7] USB 仕様 Ver.1.1 「Chapter 9 Device Framework」

【<http://www.renesas.com>】

[8] USB Revision2.0 Specification

【<http://www.usb.org/developers/docs.html>】

## 2. 制御用プログラム

本チップはUSBのデータ送受信、特殊信号処理等を割り込み信号でCPUに通知します。したがって、制御プログラムは初期設定プログラムとUSB割り込み処理プログラムによって構成されます。

制御CPUの外部割り込みプログラムにて、割り込み要因を判別し、該当する処理を実行してください。

### (1) 特殊信号処理

Vbus 割り込み (アタッチ処理、デタッチ処理)、レジューム割り込み、デバイスステート遷移割り込み

### (2) コントロール転送処理

コントロール転送ステージ遷移割り込み、デバイスステート遷移割り込み

### (3) PIPE データ転送処理

バッファエンプティ/サイズオーバーエラー割り込み、バッファノットレディ割り込み、バッファレディ割り込み

## 2.1. 概略フロー

本チップで判定可能な各種USB処理をCPUの割り込みルーチンで処理する場合、以下図2.1のようになります。

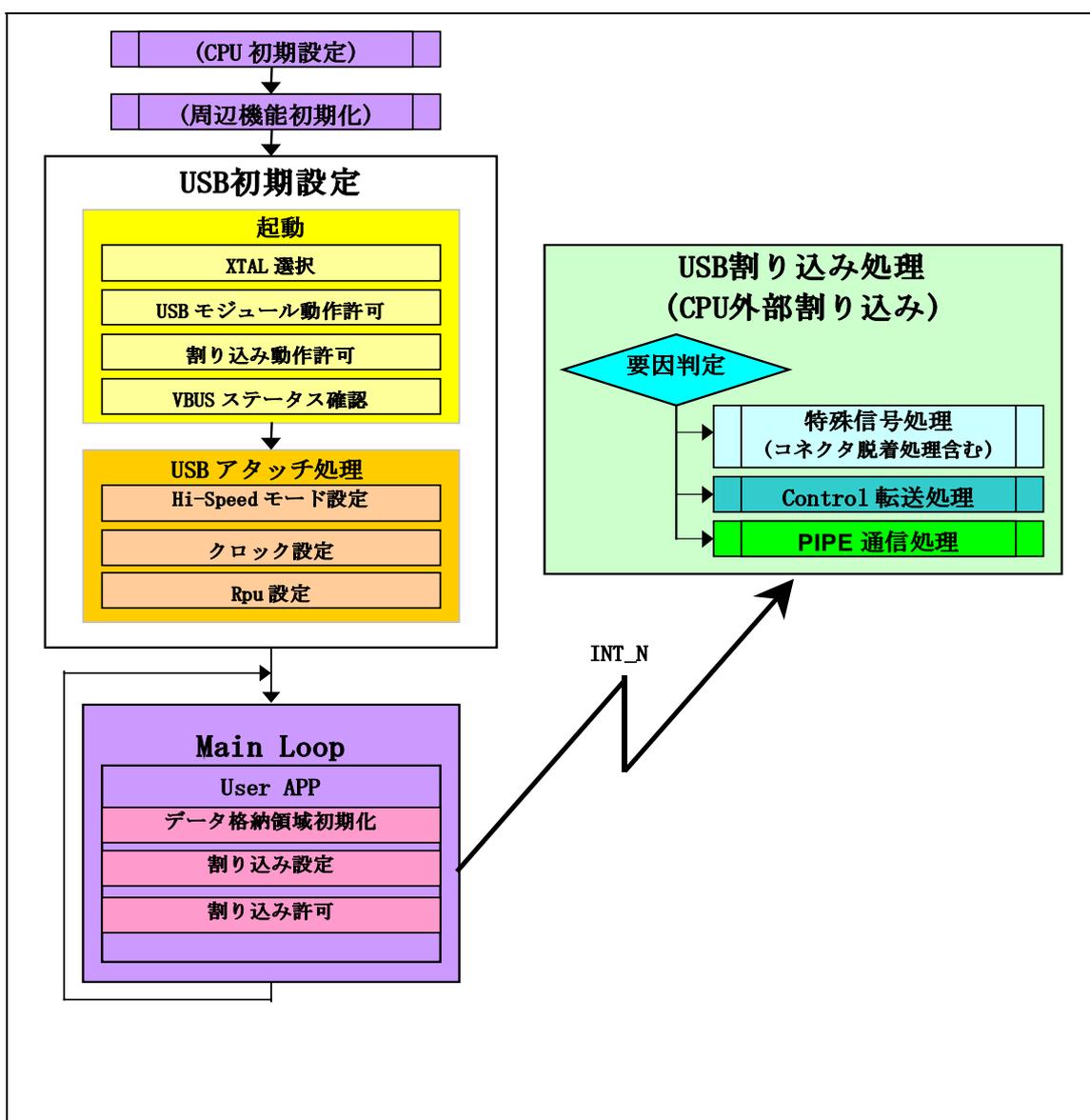


図2.1 制御プログラム構成例

## 2.2. 割り込み処理

CPUは本チップからのINT\_N信号によりUSB割り込みを認識可能です。USB割り込みの要因は、以下の4種類の割り込みステータスレジスタの内容により識別可能です。

- (1) 割り込みステータスレジスタ 0(Address 60h)割り込み種別識別
- (2) 割り込みステータスレジスタ 1(Address 64h)バッファレディ発生 PIPE 識別
- (3) 割り込みステータスレジスタ 2(Address 68h)バッファノットレディ発生 PIPE 識別
- (4) 割り込みステータスレジスタ 3(Address 6Ch)バッファエンpty/サイズエラー発生 PIPE 識別

割り込み識別には、割り込みステータスレジスタ 0 及び INT ピンコンフィギュレーションレジスタ 0 を使用可能です。各割り込みに対応したビット状態(二つのレジスタの論理積)により割り込み要因を認識し、該当する割り込み処理を行ってください。

割り込みステータスレジスタ 1~3 で、PIPE バッファ状態による割り込みに対応する PIPE 番号を識別可能です。

必要に応じて、割り込み処理の中で各割り込み要因をクリアしてください。

USB 割り込みを検出した場合は以下 図 2.2 のようなフローで処理を行ってください。

割り込み関連のレジスタについては、各チップのデータシート、アプリケーションノートチップ編を参照ください。

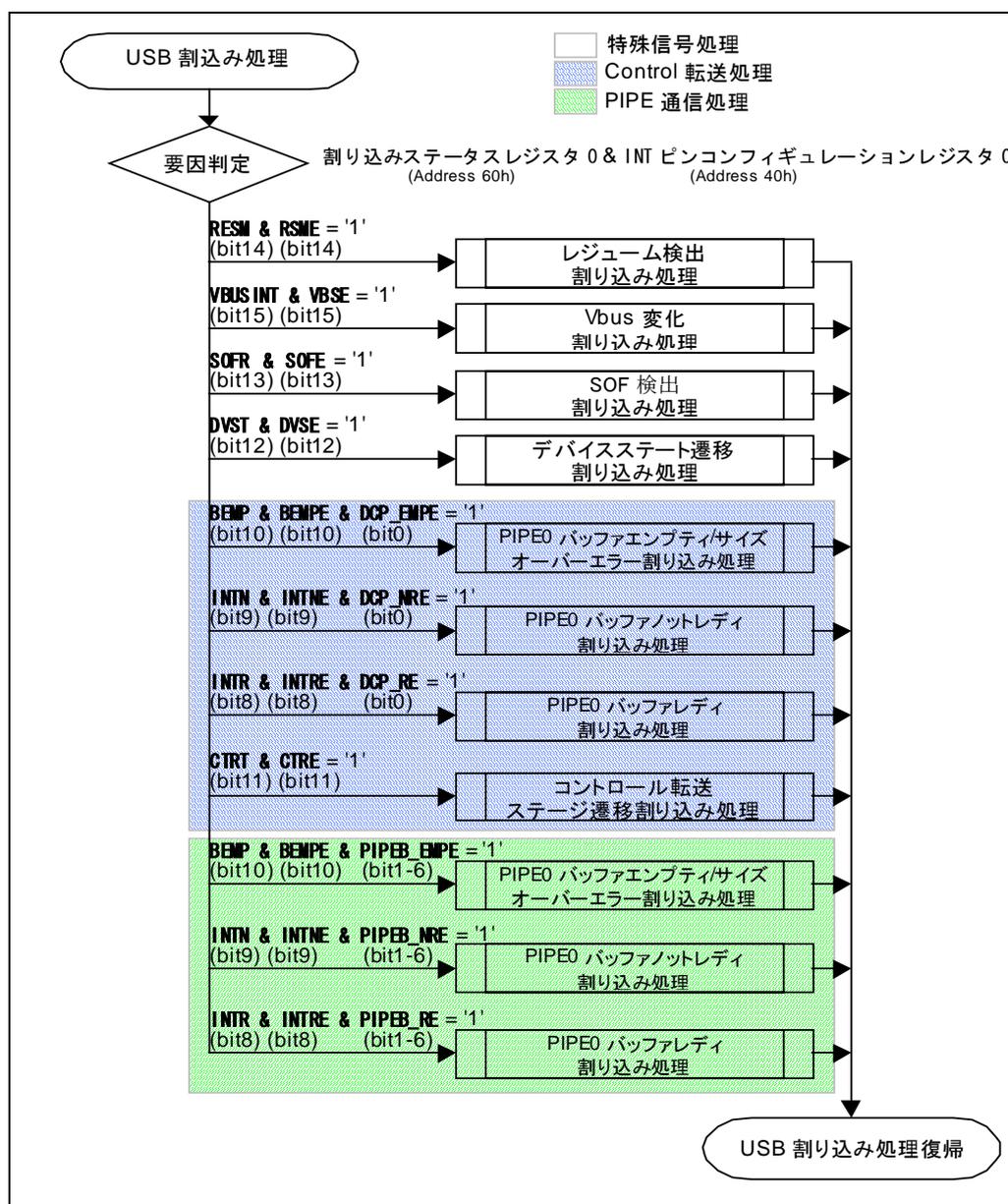


図 2.2 割り込み処理例

## 2.3. 割り込み機能

### 2.3.1. 割り込み機能概要

本チップは、8種類の割り込み要因があります。表 2.1に8種類の割り込み要因を示します。

INT ピンコンフィギュレーションレジスタ 0、2~4 で割り込み要因を禁止/許可することができます。

INT ピンコンフィギュレーションレジスタ 1 で、割り込み出力のセンスモード及び極性を設定することができます。

割り込み関連図及び割り込み信号出力タイミングは、各チップのデータシートを参照ください。

表2.1 割り込み一覧表

ステータスビット	割り込み名称	割り込み要因	関連ステータスビット
VBUSINT	VBUS割り込み (接続、切断の検出)	VBUS入力の状態変化 (“L”→“H”、“H”→“L”の両方の変化)	VBUSSTS
RESM	レジューム信号検出割り込み	サスペンド状態において、USBバスの状態変化 (Jステート→Kステート、またはJステート→SE0)	-
SOFR	フレーム更新割り込み	フレームナンバーの更新またはSOF欠落	-
DVST	デバイスステート遷移割り込み	デバイスステートの遷移 <ul style="list-style-type: none"> <li>USBバスリセット検出</li> <li>サスペンド状態検出</li> <li>SET_ADDRESS実行</li> <li>SET_CONFIGURATION実行</li> </ul>	DVST
CTRT	コントロール転送ステージ遷移 割り込み	コントロール転送のステージ遷移 <ul style="list-style-type: none"> <li>セットアップステージ完了</li> <li>コントロールライト転送ステータスステージ遷移</li> <li>コントロールリード転送ステータスステージ遷移</li> <li>コントロール転送完了</li> <li>コントロール転送シーケンスエラー発生</li> </ul>	CTSQ
BEMP	PIPEバッファエンプティ/サイズオーバー割り込み	各PIPEにおいて、 <ul style="list-style-type: none"> <li>INトークンに対しFIFOバッファにある全てのデータ送信が終了しバッファがエンプティになった</li> <li>OUTトークンに対しマックスパケットサイズを越えているパケットを受信した</li> </ul>	PIPEB_EMP_OVR DCP_EMP
INTN	PIPEバッファノットレディ割り込み	各PIPEにおいて、 <ul style="list-style-type: none"> <li>INトークンに対しFIFOバッファに送信可能なデータがない</li> <li>OUTトークンに対しFIFOバッファにデータを格納領域がなく、受信できない</li> </ul>	PIPEB_NRDY DCP_NRDY
INTR	PIPEバッファレディ割り込み	各PIPEバッファがレディ (リード/ライト可能状態) になった	PIPEB_RDY DCP_RDY

## 2.4. デバイスステート遷移処理

本チップは H/W により、Powered、Default、Address、Configured と Suspended の各デバイスステートの遷移を管理しています。デバイスステートは DVSQ ビットで確認することができます。

デバイスステート遷移が正常に実行されると、DVSQ に遷移後のデバイスステート値をストアし、デバイスステート遷移割り込みを発生(DVST='1')させます。デバイスステート遷移割り込みの要因には以下の 4 種類があり、各割り込み要因毎にデバイスステート遷移割り込み発生時のマスク(各要因検出時の DVST ビットセットの禁止/許可)を設定することができます。

デバイスステート遷移割り込みの発生要因

- (1) USB リセット検出(許可ビット:URST)
- (2) SET\_ADDRESS 実行(許可ビット:SADR)
- (3) SET\_CONFIGURATION 実行(許可ビット:SCFG)
- (4) サスペンド検出(許可ビット:SUSP)

制御プログラムは、割り込みによって検出したデバイスステート遷移に必要な処理を実行し、ステート遷移に伴うユーザプログラムを実行して下さい。

各デバイスステートへの遷移条件と、遷移時に必要な処理を以下に示します。

表.2.2 デバイスステート状態遷移条件と処理

デバイスステート	遷移条件	遷移時の処理
パワーステート (Powered state)	S/W リセット	CPU 接続設定、割り込み設定等、必要な処理を行ってください
デフォルトステート (Default state)	USB バスリセット検出	(1) EP1-EP6 に対するデータ転送割り込み禁止/割り込みステータスクリア (2) EP1-EP6 に割り付けた FIFO バッファクリア 8.1章バスリセット信号処理を参照ください
アドレスステート (Address state)	(1) デフォルトステートにおいて、SET_ADDRESS リクエスト検出 (2) 構成ステートにおいて、Configuration value = '0'のSET_CONFIGURATION リクエスト検出	アドレス保持等
構成ステート (Configured state)	アドレスステートにおいて Configuration value ≠ '0'の SET_CONFIGURATION リクエスト検出	構成番号保持等
サスペンドステート (Suspended state)	サスペンド信号検出	サスペンド処理 8.3章サスペンド信号処理を参照ください

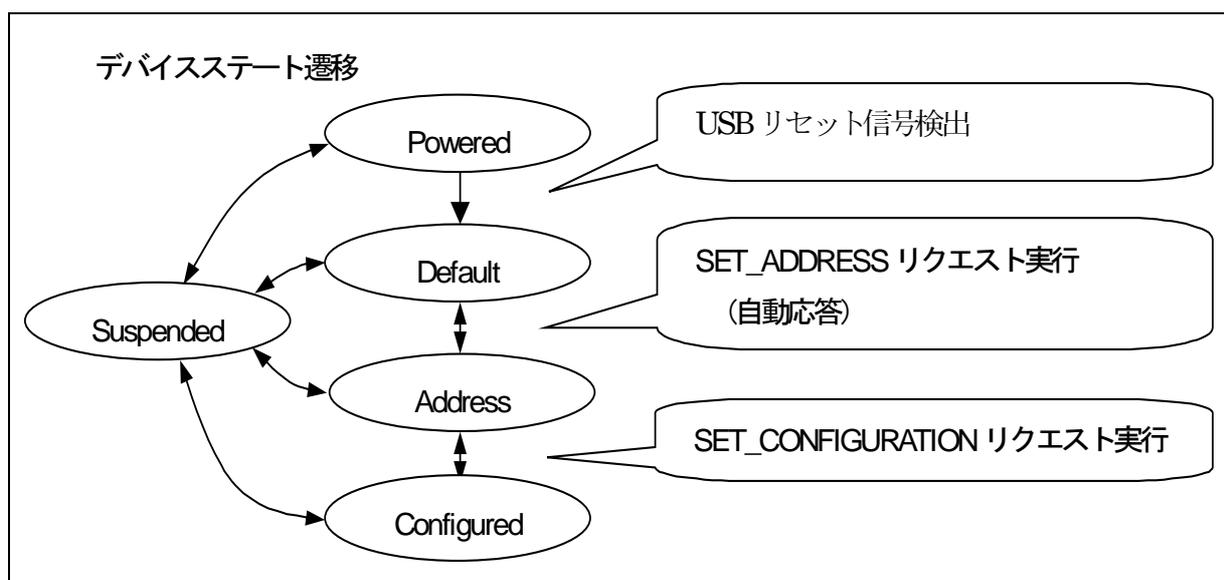


図.2.3 エnumレーション時の状態遷移

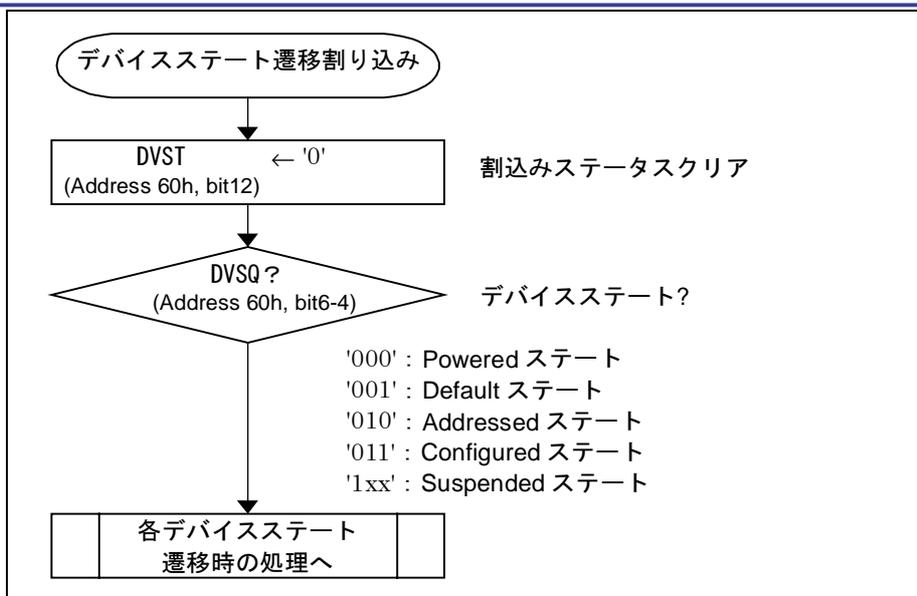


図2.4 セットアップステージ制御手順例

### 3. コントロール転送

#### 3.1. コントロール転送概要

コントロール転送は主にセットアップ時に使用される双方向転送で、少なくとも2つのトランザクションステージ(セットアップステージ、ステータスステージ)により構成されます。また、セットアップステージとステータスステージ間に、データステージが存在する場合があります。

USB通信では、PIPE0によるコントロール転送及びPIPE0のコントロール転送によりホストからデバイスに送信されるいくつかのリクエストに対する応答は必須機能です。本チップは、PIPE0によるコントロール転送及び、セットアップ処理(バスエニュメレーション)制御用プログラムが簡単に記述できるように以下の4機能を備えています。

- ・ デバイスステート遷移管理機能 【本資料2.4参照】
- ・ データステージ遷移管理機能 【本資料3.2.2参照】
- ・ 自動応答機能 【本資料3.2.4参照】
- ・ 連続送受信機能 【本資料3.2.5参照】

コントロール転送を構成するトランザクション

コントロール転送は、以下3種類のトランザクションで構成されます。

セットアップステージ:

セットアップ、データ(DATA0)、及び、ハンドシェイクパケットにより構成されます。

SETUP トークン → DATA0(リクエスト) → ACK

本資料では、この一連のトランザクションを **SETUP(DATA0)** と表記します。

データステージ:

バルク転送と同様にデータトランザクションが必要なだけ繰り返されます。

①コントロールリードの場合

IN トークン → DATA(1/0) → ACK | IN トークン → DATA(0/1) → ACK | ... | IN トークン → DATA(1/0) → ACK

(1 トランザクション)

(1 トランザクション)

(1 トランザクション)

②コントロールライトの場合

OUT トークン → DATA(1/0) → ACK | OUT トークン → DATA(0/1) → ACK | ... | OUT トークン → DATA(1/0) → ACK

(1 トランザクション)

(1 トランザクション)

(1 トランザクション)

本資料では、この一連のトランザクションを **IN/OUT(DATA)** と表記します。

ステータスステージ:

データステージと逆方向のトークン、及び、zero-length パケット (DATA1) で構成されます。

(A) コントロールリードの場合

OUT トークン → DATA1 (zero-length パケット) → ACK

(B) コントロールライトの場合

IN トークン → DATA1 (zero-length パケット) → ACK

本資料では、この一連のトランザクションを **IN/OUT (DATA1:HSK)** と表記します。

コントロール転送の種類

コントロール転送には、以下の3種類があります。

コントロールリード転送:

SETUP (DATA0) | IN (DATA1) | IN (DATA0) | ... | IN (DATA0/1) | OUT (DATA1:HSK)

セットアップステージ データステージ

ステータスステージ

コントロールライト転送:

SETUP (DATA0) | OUT (DATA1) | OUT (DATA0) | ... | OUT (DATA0/1) | IN (DATA1:HSK)

セットアップステージ データステージ

ステータスステージ

ノーデータコントロール転送:

SETUP (DATA0) | IN (DATA1:HSK)

セットアップステージ ステータスステージ

本チップはステージ管理機能を備えており、コントロール転送遷移割り込み(CTRTR=1)によりステージ遷移を通知します。CPUは割り込み要因によってコントロール転送の該当するステージ処理を行います。セットアップステージで取得されたデータの内容によって、デバイスはホストの要求するリクエスト種類が明らかになり、該当するコントロール転送の処理を行うことができます。また、本チップは連続送受信機能を備えてい

ます。コントロール転送における連続送受信機能は、データステージのデータを M6659x シリーズにより最大 256 バイトまで割り込みを発生せずに、連続してデータを送受信する機能です。連続送受信機能を用いることで、データステージでは 1 トランザクションごとに FIFO アクセスを行う必要がなくなり、CPU 稼働率を高めることができます。

### 3.2. コントロール転送ステージ遷移処理

コントロール転送ステージ遷移割り込み(CTRRT='1')により、コントロール転送ステージ遷移を検出した CPU は、CTSQ[コントロール転送ステージ]を確認し該当する処理を行ってください。

本チップは、セットアップステージのデータパケット(ホスト PC からのリクエスト)を専用レジスタに格納しています。また、データステージのデータパケットは、PIPE0 用 FIFO バッファを使用します。

コントロール転送の転送ステージと遷移時の処理を表 3.1 に示します。

表3.1 コントロール転送の転送ステージと遷移時の処理

転送ステージ	遷移時の処理
アイドルまたはセットアップステージ	特に処理は不要 (必要に応じて処理を行ってください)
コントロールリード転送データステージ	リクエストデータ解析 データ送信準備(含む送信データ書き込み)
コントロールライト転送データステージ	リクエストデータ解析 データ受信準備 受信データ読み出し
ノーデータコントロール転送ステータスステージ	リクエストデータ解析
コントロールリード転送ステータスステージ	特に処理は不要 (必要に応じて処理を行ってください)
コントロールライト転送ステータスステージ	特に処理は不要 (必要に応じて処理を行ってください)
コントロール転送シーケンスエラー	セットアップ再受信準備

コントロールライト転送において、最終パケットを受信したことによるバッファレディ割り込みとステータスステージ遷移割り込みがほぼ同時に発生する場合がありますので、割り込み処理プログラムは、コントロール転送ステージ遷移割り込み処理の前に PIPE0 バッファレディ割り込み処理を行うように設計してください。

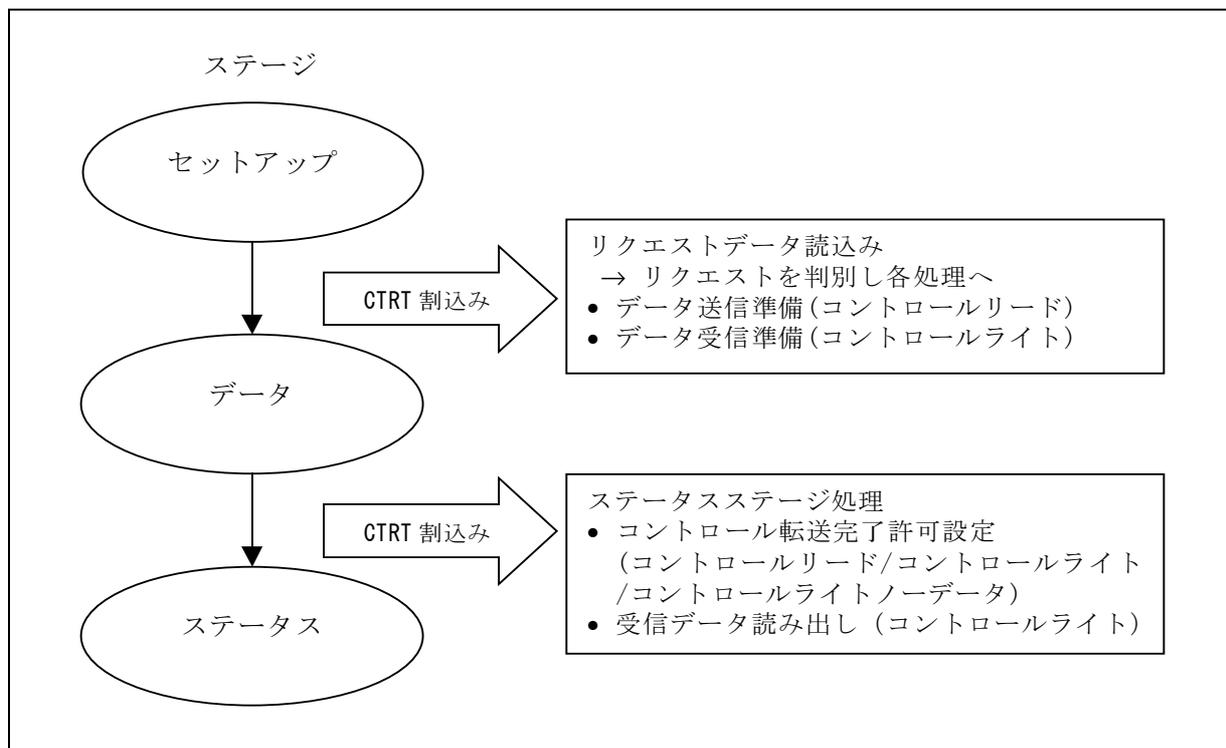


図3.1 ステータスステージ遷移処理

### 3.2.1. セットアップステージ

セットアップトランザクションにて、ホストから8バイトのリクエスト(セットアップステージのデータパケット)が転送され、以下のレジスタに格納します。

表3.2 リクエスト格納レジスタ

レジスタ名	アドレス	ビット	格納値
USB リクエストレジスタ 0 (USBReq0)	78h	15-8	bRequest
		7-0	bmRequest
USB リクエストレジスタ 1 (USBReq1)	7Ah	15-0	wValue
USB リクエストレジスタ 2 (USBReq2)	7Ch	15-0	wIndex
USB リクエストレジスタ 3 (USBReq3)	7Eh	15-0	wLength

リクエストをレジスタに格納した後、本チップは VALID=1' をセットし、CTSQ[コントロール転送ステージ]にコントロール転送ステージ管理機能により該当する値を設定し、コントロール転送ステージ遷移割り込み (CTRTR=1') を発生します。

制御プログラムは、VALID=0' を設定したのちに、リクエストをレジスタから読み出し、エラー判定、リクエスト解析処理を施し、データステージの準備を行ってください。

あるリクエストのデータステージ処理中、あるいはステータスステージ処理中に新たなセットアップトランザクションが発生した場合には、それまでのリクエスト処理を中断し、新たなリクエスト処理を行なう必要があります。このため、コントロール転送ステージ遷移割り込み処理の中では毎回必ず VALID の値を確認してください。

VALID=1' の場合、PID、CCPL ビットは変更できません。

本チップはセットアップトランザクションを正常受信すると自動的に"ACK" 応答します。また、セットアップパケット受信後に PIPE0 の PID を自動的に"NAK" に設定します。

コントロール転送遷移割り込み処理例を図 3.2 に示します。

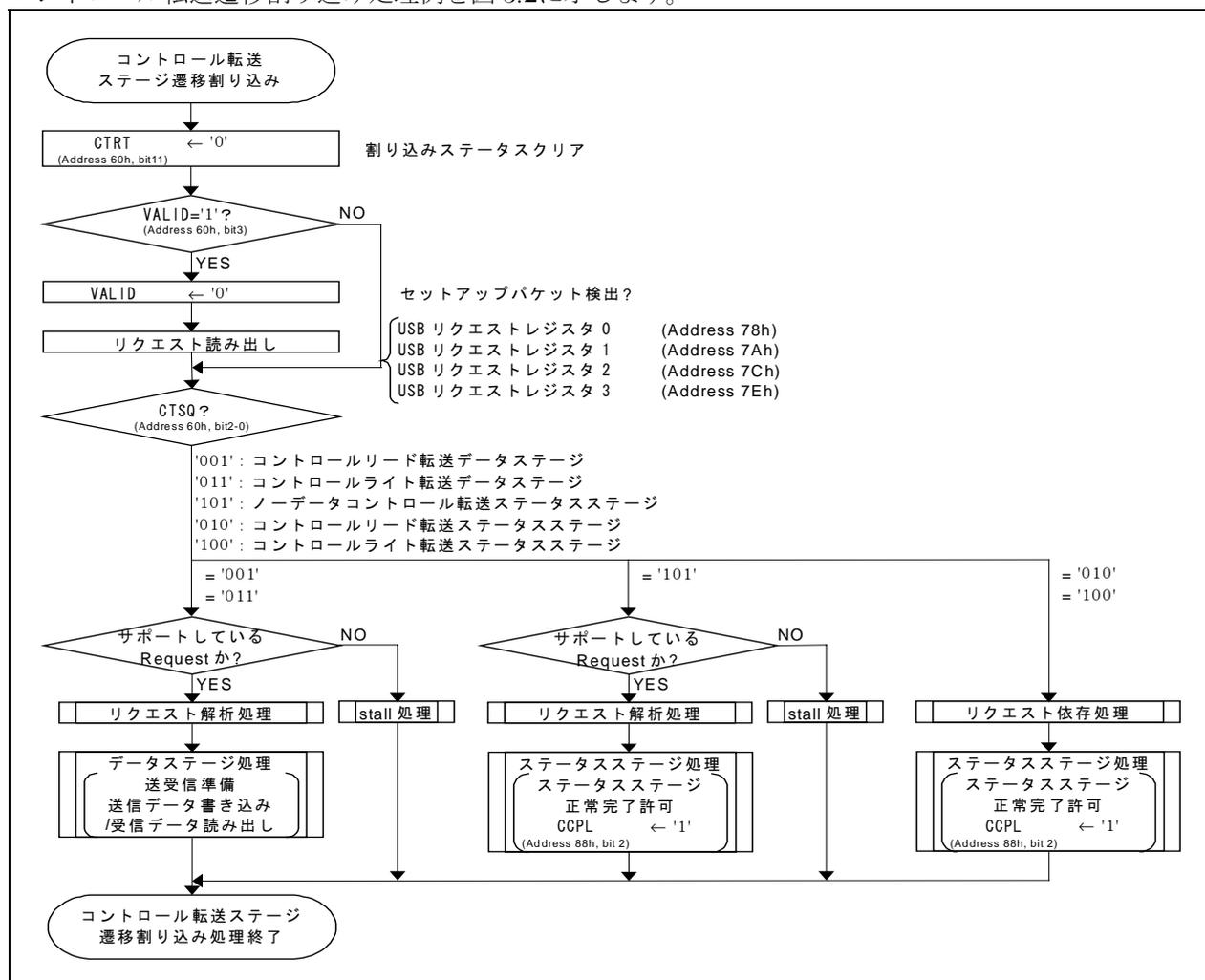


図3.2 コントロール転送遷移割り込み処理例

### 3.2.2. データステージ

#### 3.2.2.1. コントロールリード転送データステージ処理例

セットアップステージにて受信したリクエストがコントロールリードリクエストの場合は、データステージにおいてホスト PC に対してリクエストされたデータ送信を行ってください。

本チップはコントロールリード時のデータ送信(データステージ)において連続転送機能を備えており、設定により、複数パケットの連続送信が可能になります。設定可能な SDLN[コントロールリード連続送信データ長]の最大値は M6659x シリーズにより異なります。

連続転送に関して詳しくは、3.2.5連続転送機能を参照ください。

連続送信設定の場合で、FIFO バッファに書き込んだデータ長が最大パケットサイズで割り切れ(最大パケットサイズの n 倍)、かつ、256 バイト未満の場合は、全データ送出後に自動的に zero-length パケット(Null パケット)送出の準備を行います。但し、FIFO バッファに書き込んだデータ長がバッファサイズ以上の場合は、自動的な zero-length パケット送出準備は行いませんので、制御プログラムで送出準備を行う必要があります。非連続送信設定の場合に、最後のデータパケットが最大パケットサイズの場合にも、制御プログラムで zero-length パケット送出準備を行う必要があります。

ショートパケット送信の場合など、FIFO 容量未満のデータ送信時は、最終データ書き込み後に BVAL='1' 設定を行いパケット送出準備を完了してください。本チップはデータステージで OUT トークンを受信すると、自動的にステータスステージにステージ遷移します。

非連続転送モード時コントロールリード転送処理例を図 3.3に、連続転送モード時コントロールリード転送処理例を図 3.4に示します。

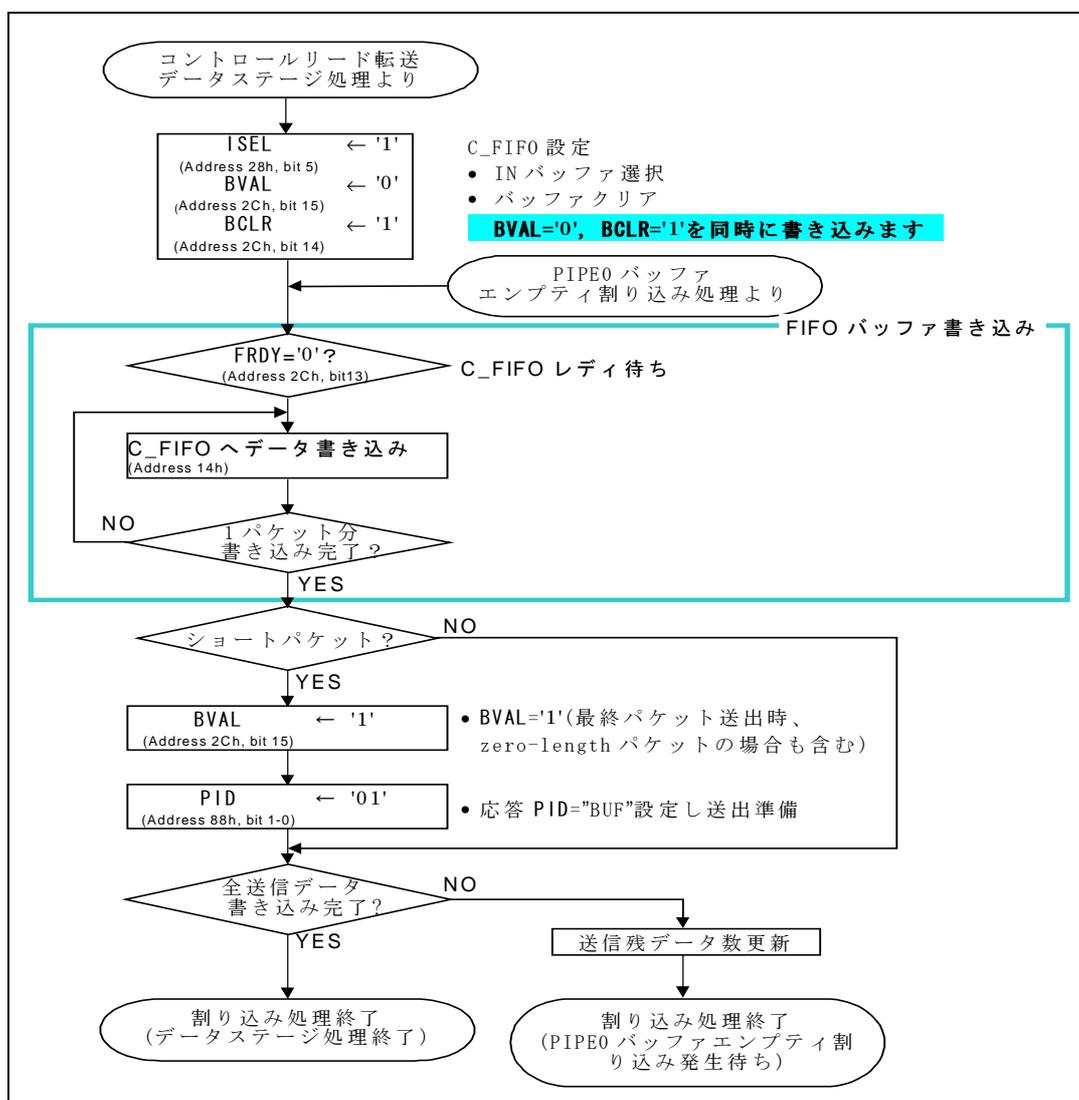


図3.3 非連続転送モード時コントロールリード転送処理例

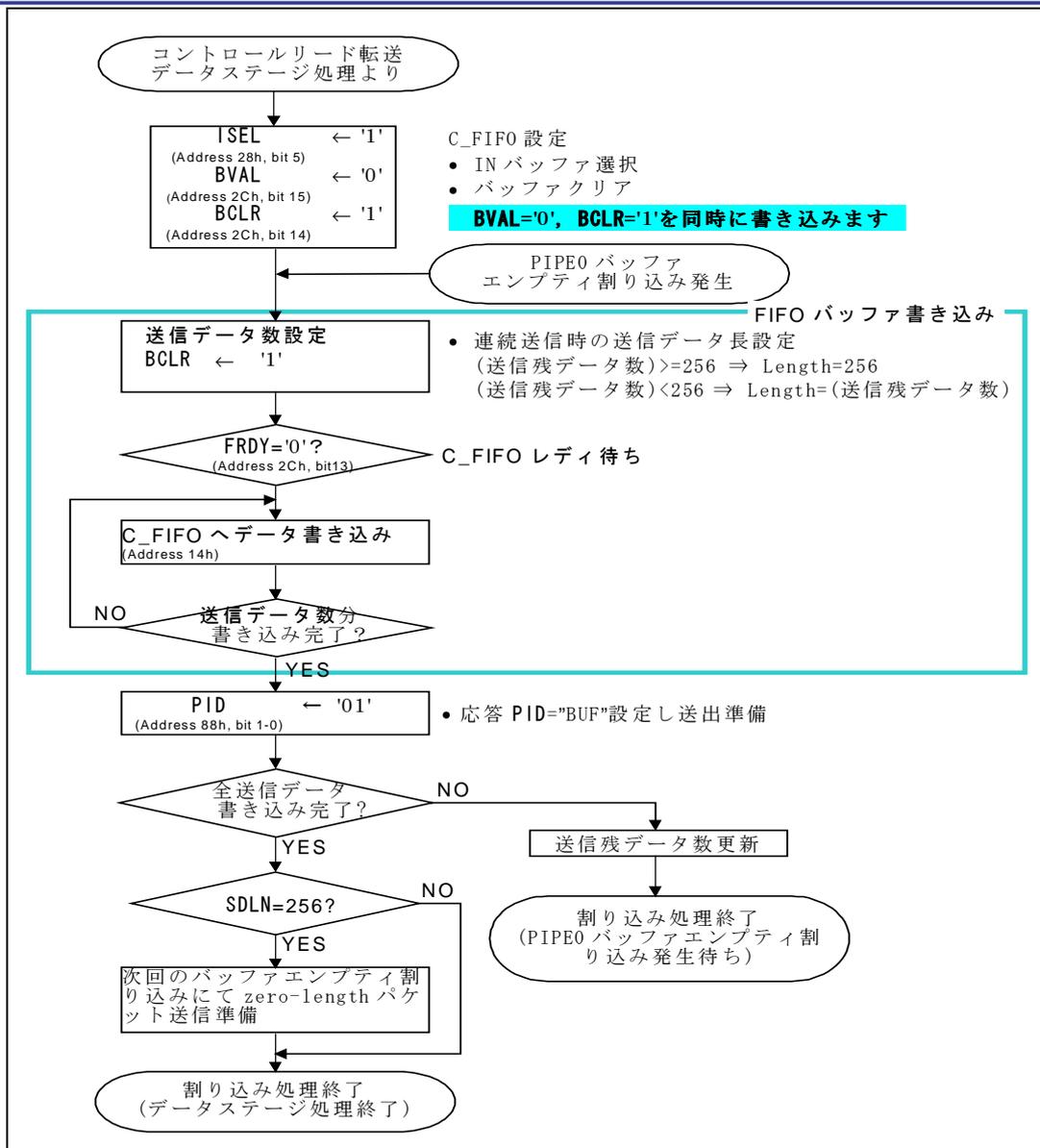


図3.4 連続転送モード時コントロールリード転送処理例

### 3.2.2.2. コントロールライト転送データステージ処理例

セットアップステージにて受信したリクエストがコントロールライトリクエストの場合は、データステージにおいてホスト PC よりリクエストされたデータ受信を行ってください。

本チップはコントロールライト時のデータ受信(データステージ)において連続転送機能を備えており、設定により、複数パケットの連続受信が可能になります。コントロール転送の連続受信時に設定できるバッファ領域は M6659x シリーズにより最大 256 バイトです。256 バイトを超えるデータを受信する場合は複数回にわけて受信/読み出しを行ってください。

本チップはデータステージで IN トークンを受信すると、自動的にステータスステージにステージ遷移します。

コントロールライト転送処理例を、図 3.5 に示します。

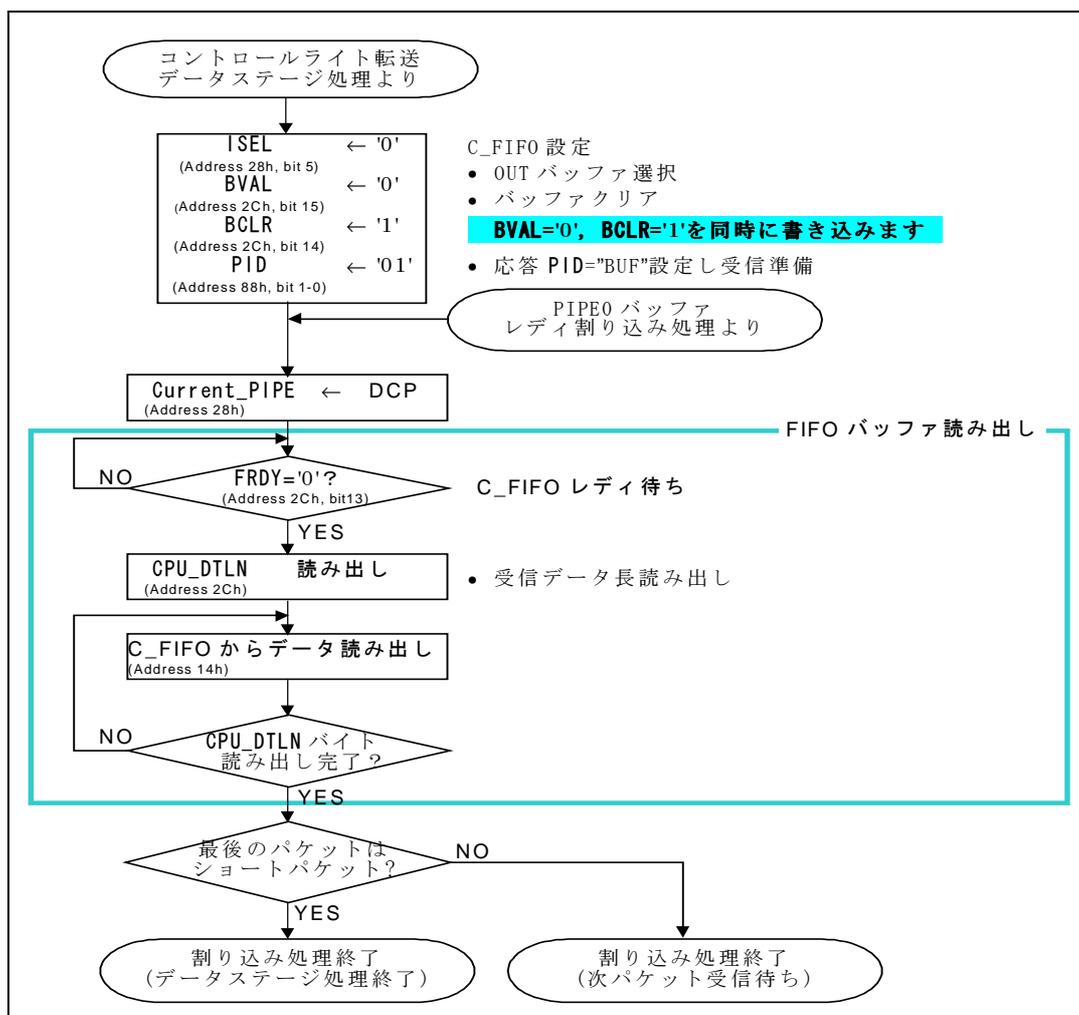


図3.5 コントロールライト転送処理例

### 3.2.3. ステータスステージ

#### 3.2.3.1. ノーデータコントロール転送処理(ステータスステージ)例

セットアップステージにて受信したリクエストがノーデータコントロール転送のリクエストの場合は、セットアップステージ以降はホストPCとのデータ送受信は行いません。

本チップはセットアップステージでノーデータコントロール転送のリクエストを受信すると、自動的にステータスステージにステージ遷移します。なお、ノーデータコントロール転送リクエストの判定には、**bmRequestType** 及び **wLength** フィールドを使用します。

ステータスステージ処理例を、図 3.6に示します。

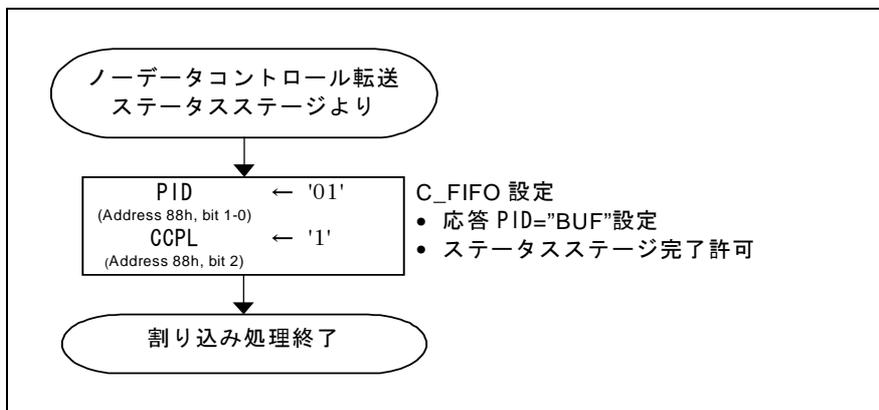


図3.6 ステータスステージ処理例

### 3.2.3.2. コントロール転送終了許可 (CCPL ビット)

このビットにより、コントロール転送のステータスステージを制御することが可能です。

このビットに'1'を設定すると、コントロール転送のステータスステージにおいて、以下の動作を行いコントロール転送の正常終了を通知します。

コントロールリード転送： PID='01'(BUF)であれば、OUT トークン後のパケット受信で、ホストに ACK 応答します。

コントロールライト転送： PID='01'(BUF)であれば、IN トークンの受信で、zero-length パケットを送信します。

このビットが'0'の場合、コントロール転送のステータスステージにおいて、IN トークン/OUT トークン受信後、ホストに対して NAK 応答します。

このビットは、Setup トークン受信で、自動的に'0'クリアされます。

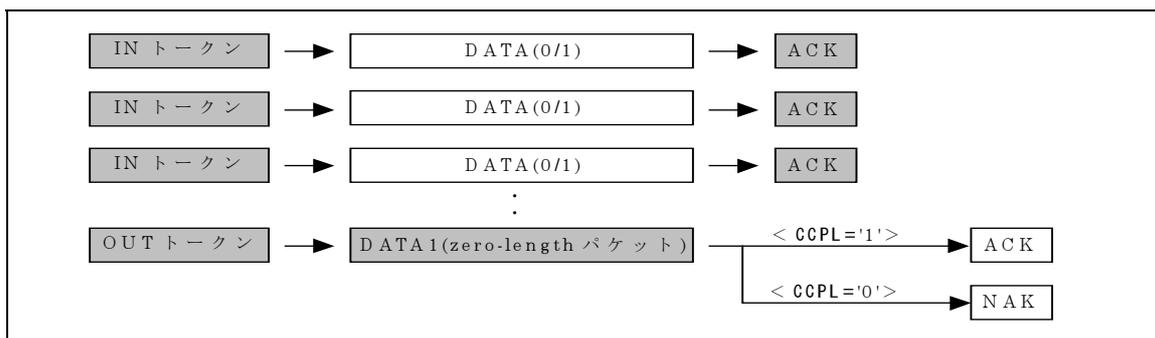


図3.7 コントロールリード動作例

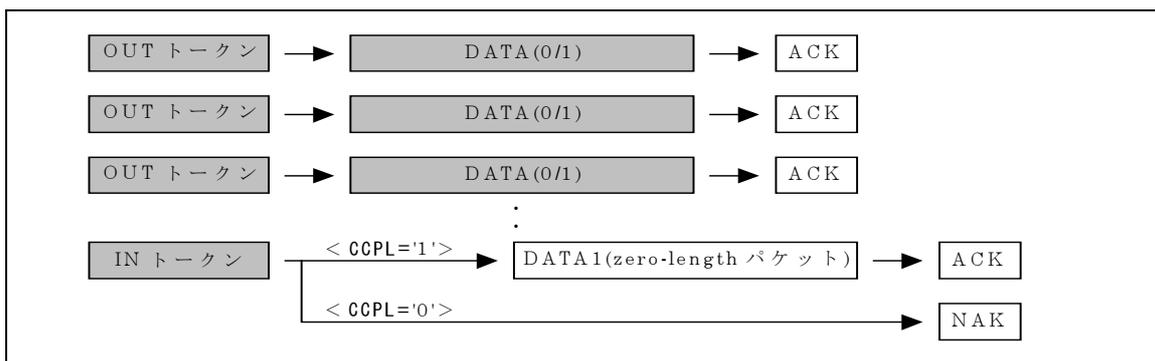


図3.8 コントロールライト動作例

### 3.2.4. 自動応答コントロール機能

本チップは、コントロール転送のデバイスステート遷移リクエスト (SET\_ADDRESS) に対する自動応答機能を持っています。

ホストからの SET\_ADDRESS デバイスリクエストにより指定された USB アドレスを USB\_Addr (USB\_Address ビット) に格納します。SET\_ADDRESS デバイスリクエストに対し自動応答し、コントロール転送のステータスステージ完了後に新しい USB アドレスに更新されます。

#### デバイスステート制御

- USB バスの状態やコントロール転送のデバイスリクエストの値により、H/W は USB 規格に従ってデバイスステートを管理しています。現状のデバイスステートは、CTS<sub>Q</sub> ビットで確認でき、各ステートの遷移毎に、割り込みを発生します。

またそれらの割り込みは、URST、SADR、SCFG、SUSP により、禁止許可の設定ができます。

#### コントロール転送ステージ制御

- H/W により、コントロール転送のステージ制御を行っています。(管理している)現状のステージは、CTS<sub>Q</sub> によって確認でき、各ステージの遷移毎に、割り込みを発生します。またそれらの割り込みは、SETUP パケット受信以外は、WDST、RDST、CMPL、SERR により、禁止許可の設定ができます。

また、SET\_ADDRESS に対しては、H/W により自動応答します。この場合、SETUP パケットを受信しても、CTST 割り込みは発生しません。ただし、USB 規格に準拠しない SET\_ADDRESS (bRequest="9") の場合には、ノーデータコントロールライト転送と同様になり、各ステージ遷移割り込みが発生します。SET\_ADDRESS のコントロール転送を正常に自動応答した場合には、H/W 内のデバイスステートが遷移します。(Default ステート => Address ステート)

この場合、デバイスステート遷移割り込みの SADR ビットが許可されていれば、DVST 割り込みにより、SET\_ADDRESS が完了したことを知ることができます。

SET\_ADDRESS 自動応答の条件は、受信したリクエストが下記(1)~(4)をすべて満足したときです。リクエストが(1)~(4)のいずれかを満足していなければ、本チップは H/W による自動応答をせずに、コントロール転送ステージ遷移割り込みを発生します。特別な処理が必要な場合は F/W で処理してください。

- (1) bmRequest フィールドの bit7 (Data transfer direction) ='0'
- (2) wValue フィールド ≤ "127"
- (3) wIndex フィールド ="0"
- (4) eLength フィールド ="0"

### 3.2.5. 連続転送機能

本チップは、複数のパケットの送受信を連続して行う連続転送モードを持っています。

CNTMD（連続送受信モード）ビットにより、コントロールリード/ライト転送のデータステージにおける送受信モードを設定できます。

表3.3 連続送受信モード

ビット		動作
CNTMD	'0'	非連続送受信モード
	'1'	連続送受信モード

(1)コントロールリード転送の場合：

CNTMD = '0'：非連続送信モード

送信完了条件：

- ・ DCP\_MXPS ビットに設定したサイズ分のデータを送信、または BVAL ビットを'1'にセットすることによるショートパケットの送信

書き込み完了条件：

- ・ DCP\_MXPS ビットに設定したサイズ分のデータをバッファへ書き込み (BVAL ビットが'1'に変化)
- ・ BVAL ビットへの'1'の書き込み

CNTMD = '1'：連続送信モード

送信完了条件：

- ・ SDLN ビットに設定したサイズ分のデータを送信、または BVAL ビットを'1'にセットすることによるショートパケットの送信

書き込み完了条件：

- ・ SDLN ビットに設定したサイズ分のデータをバッファへ書き込み (BVAL ビットが'1'に変化)
- ・ BVAL ビットへの'1'の書き込み

(2)コントロールライト転送の場合：

CNTMD = '0'：非連続受信モード、1つのパケット受信（以下の条件）で受信完了とします。

- ・ DCP\_MXPS ビットに設定したサイズ分のデータを受信
- ・ ショートパケットを受信

CNTMD = '1'：連続受信モード、複数のパケット受信（以下の条件）で受信完了とします。

- ・ デフォルトコントロール PIPE のバッファサイズ 512 バイト分データを受信
- ・ ショートパケットを受信

#### 3.2.5.1. 連続転送動作例

以下にコントロールリードの送信データ長を 256 バイトに設定した際の連続転送動作の例を示します。

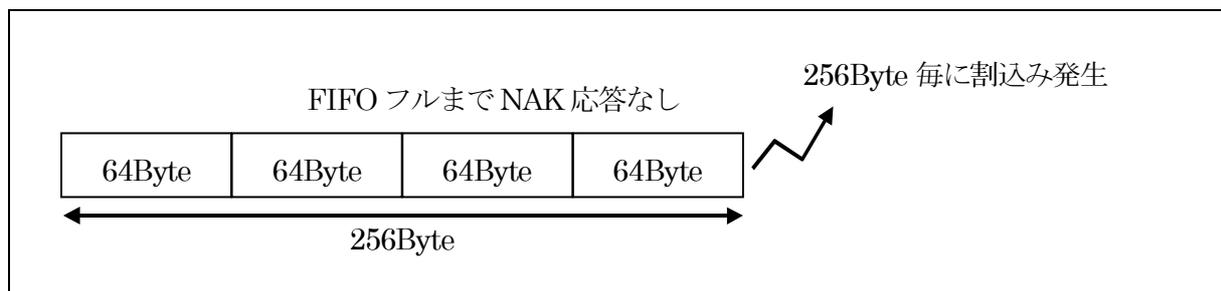


図3.9 連続転送動作例

## 4. データ転送

### 4.1. データ転送概要

データ転送は片方向転送で、少なくとも 2 つのパケット(トークンパケット、データパケット)により構成されます。ホストとデバイス間のデータ転送をデータパケット再送機能により保証する転送では、データパケットの後ろにハンドシェイクパケットが加わり、3 パケット構成となります。転送種別は、ホストとデバイス間の通信エラーを検出せず、転送レートを保証する 2 パケット構成のアイソクロナス転送と、通信エラー検出行うが転送レートが保証されない 3 パケット構成のバルク転送、そして、通信エラー検出行い、転送レートを保証する 3 パケット構成のインタラプト転送の 3 種類があります。

M6659xシリーズにより、それぞれバルク転送、インタラプト転送、アイソクロナス転送、High-Bandwidth (インタラプト、アイソクロナス)に対応しています。

データ転送のトランザクションは次のように規定されています。

(1)バルク IN、インタラプト IN :

IN トークン、データ(DATA0/1)及びハンドシェイクパケットにより構成されます。

IN トークン → DATA(0/1) → ACK

(2)アイソクロナス IN :

IN トークン及びデータ(DATA0)により構成されます。

IN トークン → DATA(0)

(3)バルク OUT、インタラプト OUT :

OUT トークン、データ(DATA0/1)及びハンドシェイクパケットにより構成されます。

OUT トークン → DATA(0/1) → ACK

(4)アイソクロナス OUT :

OUT トークン及びデータ(DATA0)により構成されます。

OUT トークン → DATA(0)

これら一連のトランザクションを IN(DATA0/1)、OUT(DATA0/1)と表記します。

各データ転送は次のようなトランザクション構成で通信が行われます。

(1) バルク IN 転送、インタラプト IN 転送 :

IN(DATA0) IN(DATA1) IN(DATA0) IN(DATA1) ... IN(DATA0/1)

(2) アイソクロナス IN 転送 :

IN(DATA0) IN(DATA0) IN(DATA0) IN(DATA0) ... IN(DATA0)

(3) バルク OUT 転送、インタラプト OUT 転送 :

OUT(DATA0) OUT(DATA1) OUT(DATA0) OUT(DATA1) ... OUT(DATA0/1)

(4) アイソクロナス OUT 転送 :

OUT(DATA0) OUT(DATA0) OUT(DATA0) OUT(DATA0) ... OUT(DATA0)

## 5. バッファの動作

### 5.1. FIFO バッファ

本チップは大容量 FIFO バッファを内蔵しています。各 PIPE の割り当ては M6659x シリーズにより異なりますので各データシートを参照ください。

各 PIPE バッファへのアクセスは、FIFO ポートレジスタによって行います。FIFO ポートレジスタは、CPU アクセス用 C\_FIFO ポートレジスタ 0 及び、CPU アクセス/DMA アクセス用 Dn\_FIFO ポートレジスタ 0 の FIFO ポートレジスタで構成されています。各 PIPE へのアクセス選択は、それぞれの FIFO ポートコントロールレジスタの設定に従います。

FIFO ポートレジスタはそれぞれ下記機能を内蔵しており、FIFO ポートコントロールレジスタの設定に従い動作を行います。

- (1) ショートパケット送信機能 (BVAL[バッファ有効フラグビット]使用)  
 ショートパケット送出時等 FIFO バッファがフルになる前に送信データ書き込み完了としたい場合は、FIFO バッファにデータを書き込んだ後 BVAL='1'を書き込んでください。
- (2) 送信/受信バッファクリア機能 (BCLR[バッファクリアビット]使用)  
 ダブルバッファ設定時は制御用 CPU からアクセス可能な面(片面)がクリアされます。USB バス側をクリアする場合は SCLR を使用してください。
- (3) zero-length パケット(Null パケット)送信機能 (BVAL & BCLR 使用)  
 BVAL='1'、BCLR='1'を同時に書き込むことで、zero-length パケット(Null パケット)送出の準備完了となります。ホスト PC からの IN トークンに対応して、長さ zero-length パケット(Null パケット)を送信します。
- (4) FIFO アクセス最大ビット幅設定機能 (MBW[FIFO アクセス最大ビット幅ビット]使用)  
 FIFO バッファの書き込み/読み出し途中で FIFO ポートレジスタの有効ビット幅の切替え(32 ビット→16 ビット→8 ビット)、(16 ビット→8 ビット)が可能です。奇数バイト数((2n+1)バイト)データの書き込み/読み出しを行いたい場合、32 ビット(MBW='00')、16 ビットモード(MBW='01', '1')で 2n バイトのデータを書き込み/読み出し、その後、8 ビット(MBW='10', '0')を設定することにより 8 ビットモードに切り替え、最後の 1 バイトのデータ書き込み/読み出しを行います。  
 MBW ビットは M6659x シリーズにより 2 ビット/1 ビットのものがあります。それぞれのデータシートを参照ください。
- (5) 受信データ長カウントダウン機能 (RCNT[リードカウントモードビット]使用)  
 RCNT='1'を設定して FIFO バッファの読み出しを行うと、1 回の読み出し毎に CPU\_DTLN または DMA\_DTLN がディクリメントされます。16 ビットアクセス時は-2 ずつ、8 ビットアクセス時は-1 ずつディクリメントされます。
- (6) バッファリワインド機能 (REW[バッファリワインドビット]使用)  
 FIFO バッファにデータ書き込み途中、もしくは FIFO バッファからデータ読み出し途中に、REW='1'を書きこむと、FIFO バッファ内部ポインタが初期化されます。書き込み時には、それまでに書き込みを行ったデータが無効となります。読み出し時には、バッファの先頭データから再読み出し可能となります。

本チップは、以下のときに FIFO バッファ書き込み完了と読み出し完了を認識します。

<書き込み完了>

- ・ BVAL='1'を書き込んだ。((書き込みデータ数)<(FIFO バッファサイズ)の場合)
- ・ FIFO バッファ Full まで書き込みを行った。

<読み出し完了>

- ・ BCLR='1'を書き込んだ。
- ・ FIFO バッファ内のデータを全て読み出した。

連続転送設定時、(送信したいデータ数)<(FIFO バッファサイズ)の場合にも、上記の方法で書きこみ終了させてください。

FIFO バッファのアクセスフローの例はアプリケーションノート M66591 編 5.6.1 章、5.6.2 章を参照ください。

## 5.2. バッファ動作の種類

以下表 5.1にバッファ動作の種類を示します。

表5.1 バッファ動作の種類

	連続送受信モード	ダブルバッファモード	章番号
Control Write	非連続受信	シングルバッファ	5.2.1
	連続受信	シングルバッファ	5.2.2
Control Read	非連続送信	シングルバッファ	5.2.3
	連続送信	シングルバッファ	5.2.4
データ転送 OUT	非連続受信	シングルバッファ	5.2.1
		ダブルバッファ	5.2.5
	連続受信	シングルバッファ	5.2.2
		ダブルバッファ	5.2.6
データ転送 IN	非連続送信	シングルバッファ	5.2.3
		ダブルバッファ	5.2.7
	連続送信	シングルバッファ	5.2.4
		ダブルバッファ	5.2.8

### 5.2.1. コントロールライト転送、OUT データ転送、非連続受信、シングルバッファ時のバッファの動作

図 5.1にコントロールライト転送またはOUT データ転送、非連続受信、シングルバッファに設定した場合のバッファの状態と FRDY、BSTS ビット、バッファレディ割り込みの関係を示します。

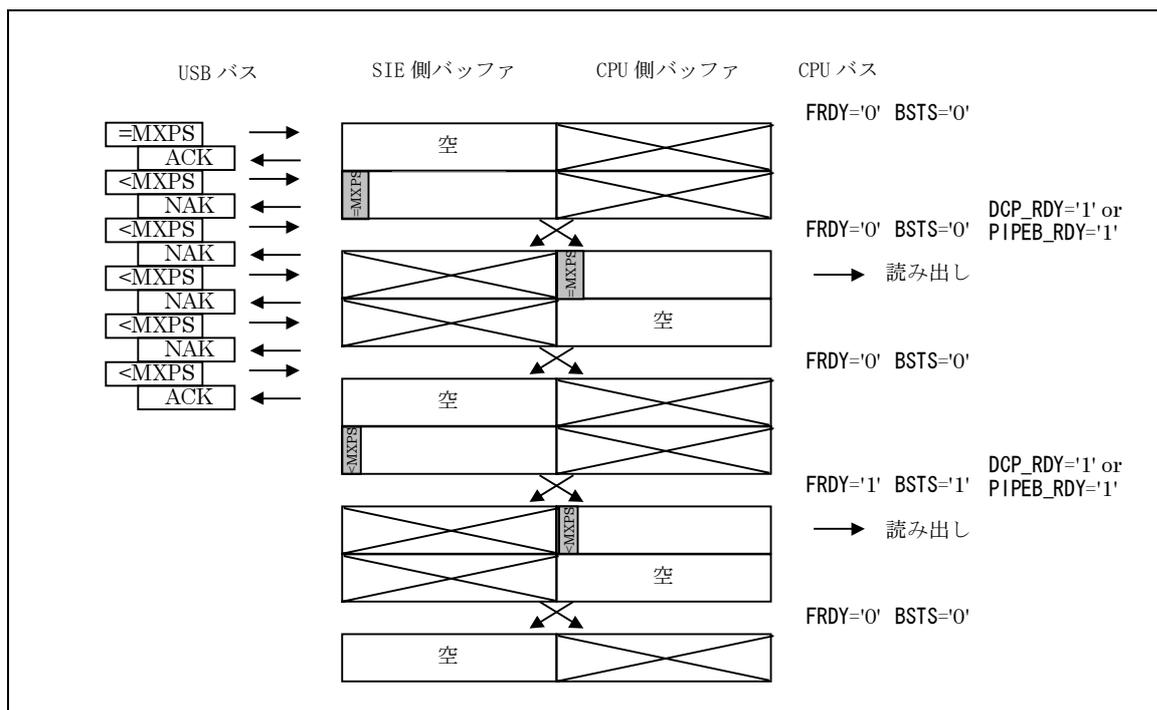


図5.1 Control Write または OUT 転送、非連続受信、シングルバッファに設定時のバッファ動作

### 5.2.2. コントロールライト転送、OUT データ転送、連続受信、シングルバッファ時のバッファの動作

図 5.2にコントロールライト転送またはOUTデータ転送、連続受信、シングルバッファに設定した場合のバッファの状態とFRDY、BSTS ビット、バッファレディ割り込みの関係を示します。

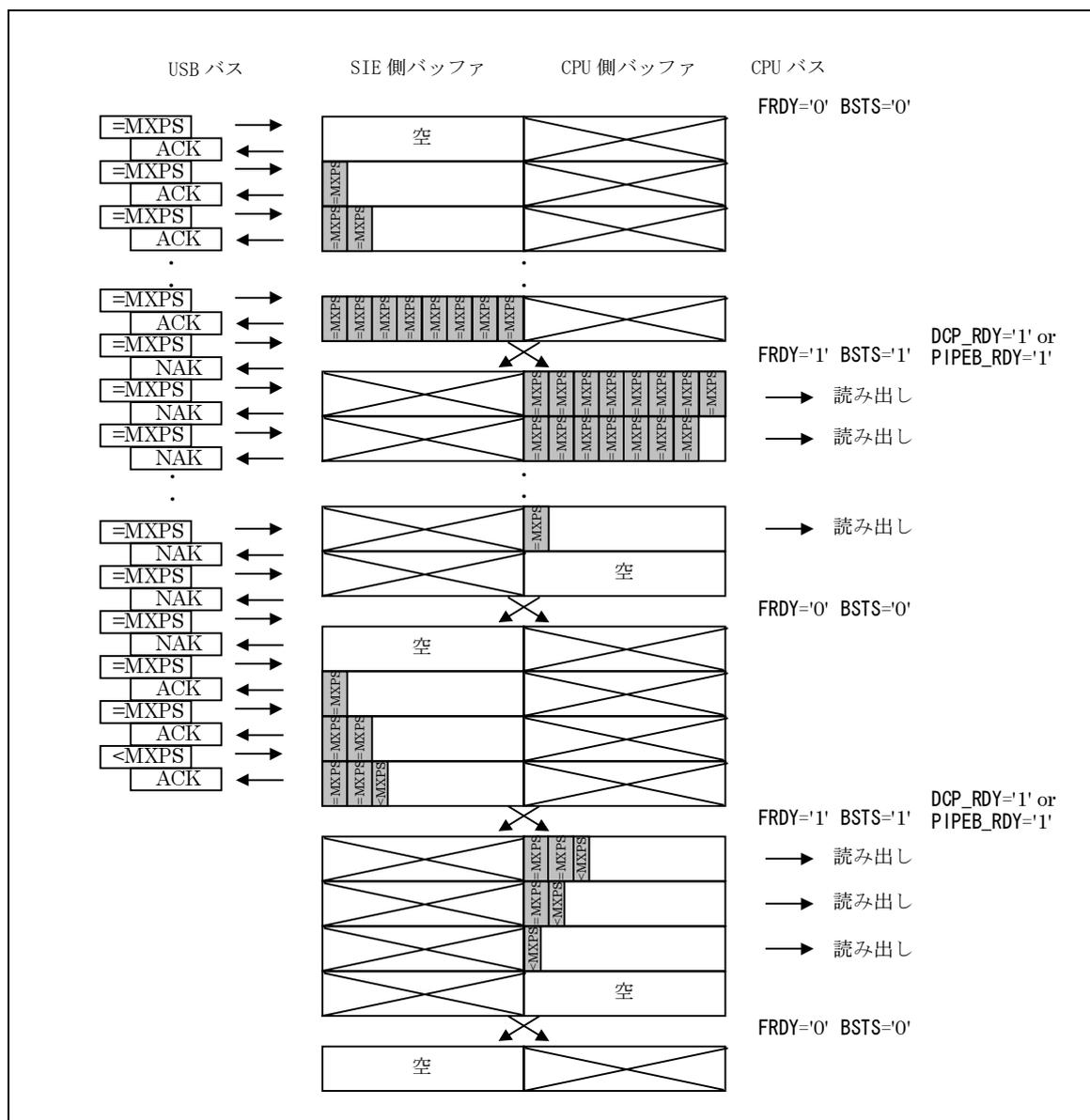


図5.2 Control Write または OUT 転送、連続受信、シングルバッファに設定時のバッファ動作

### 5.2.3. コントロールリード転送、IN データ転送、非連続受信、シングルバッファ時のバッファの動作

図 5.3にコントロールリード転送または IN データ転送、非連続受信、シングルバッファに設定した場合のバッファの状態と FRDY、BSTS、BVAL ビット、バッファレディ割り込みの関係を示します。

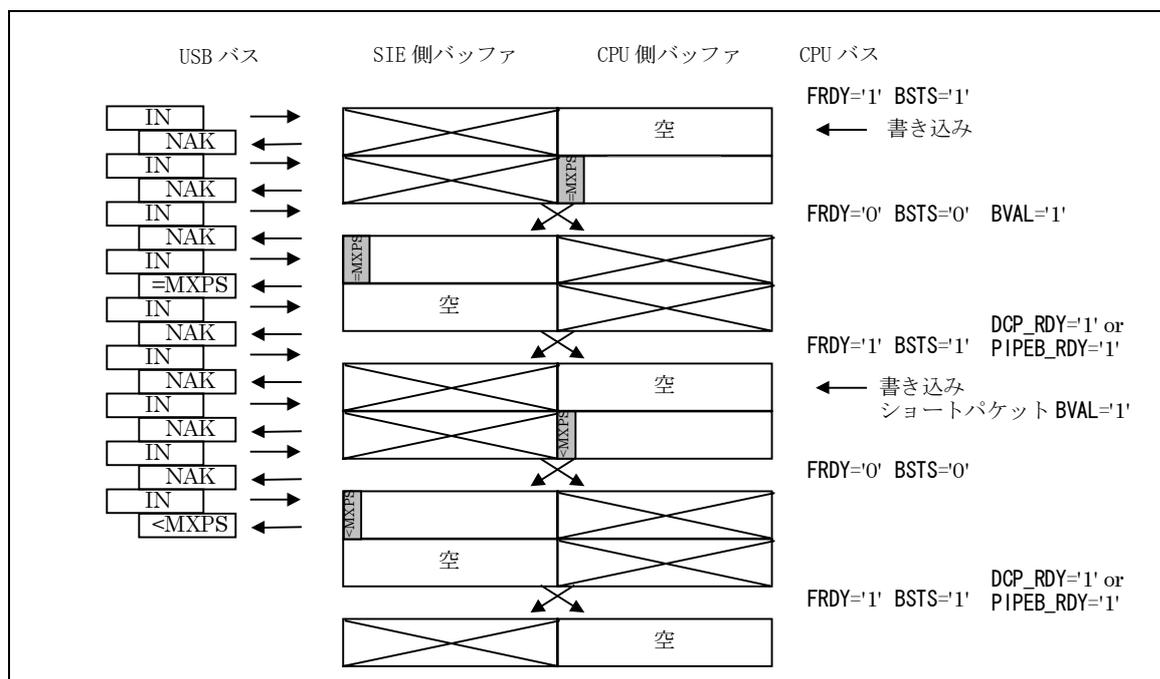


図5.3 Control Read または IN 転送、非連続受信、シングルバッファに設定時のバッファ動作

5.2.4. コントロールリード転送、IN データ転送、連続受信、シングルバッファ時のバッファの動作

図 5.4にコントロールリード転送または IN データ転送、連続受信、シングルバッファに設定した場合のバッファの状態と FRDY、BSTS、BVAL ビット、バッファレディ割り込みの関係を示します。

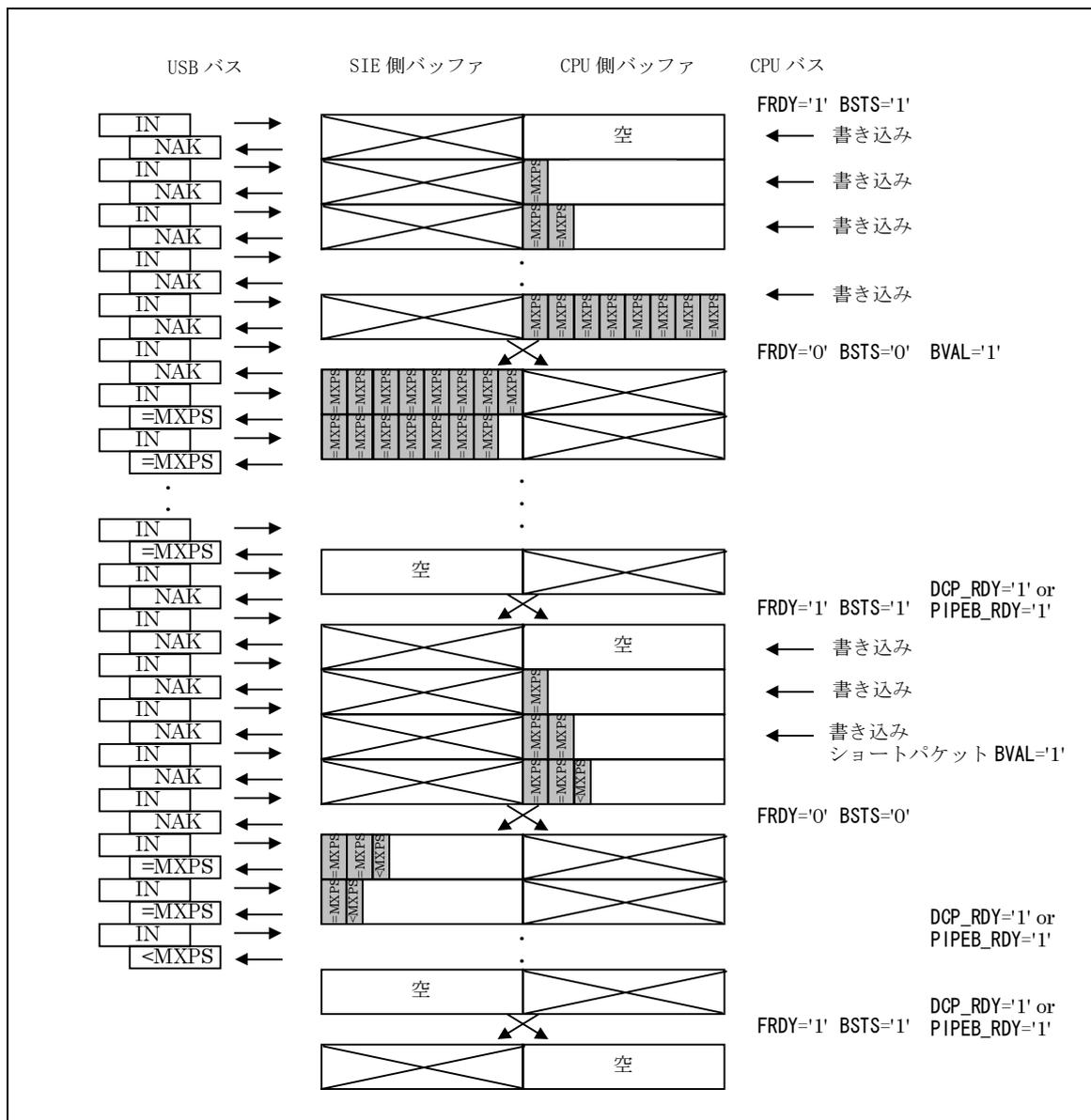


図5.4 Control Read または IN 転送、連続受信、シングルバッファに設定時のバッファ動作

### 5.2.5. OUT データ転送、非連続受信、ダブルバッファ時のバッファの動作

図 5.5に OUT データ転送、非連続受信、ダブルバッファに設定した場合のバッファの状態と FRDY、BSTS ビット、バッファレディ割り込みの関係を示します。

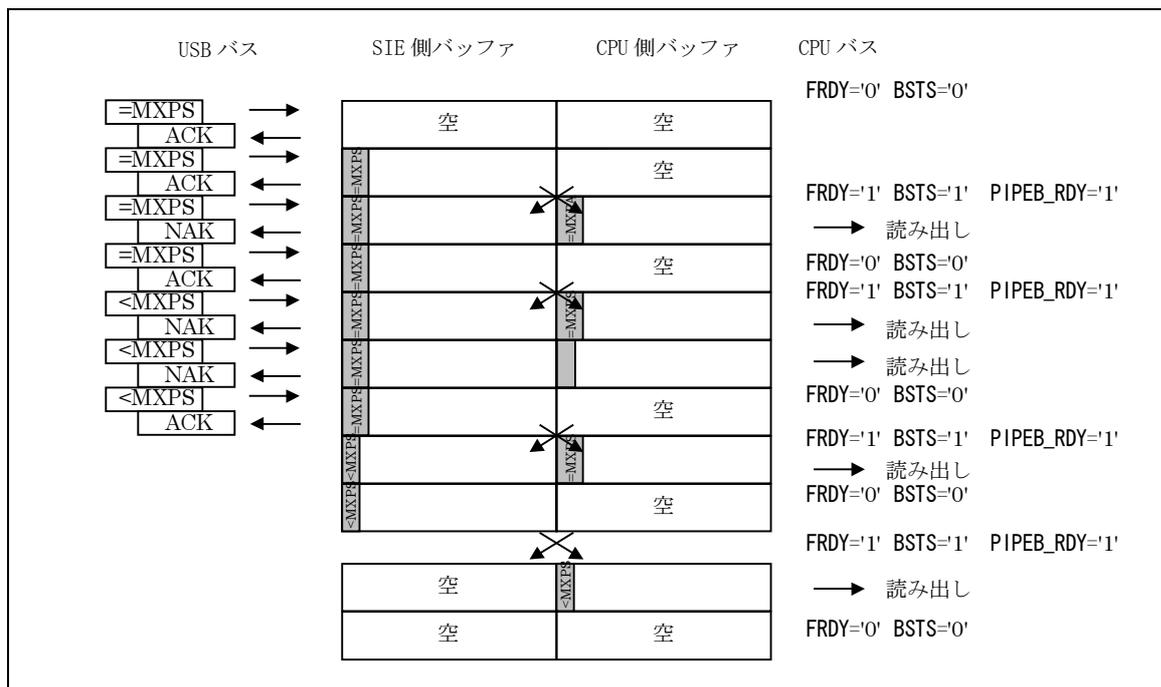


図5.5 OUT 転送、非連続受信、ダブルバッファに設定時のバッファ動作

### 5.2.6. OUT データ転送、連続受信、ダブルバッファ時のバッファの動作

図 5.6に OUT データ転送、連続受信、ダブルバッファに設定した場合のバッファの状態と FRDY、BSTS ビット、バッファレディ割り込みの関係を示します。

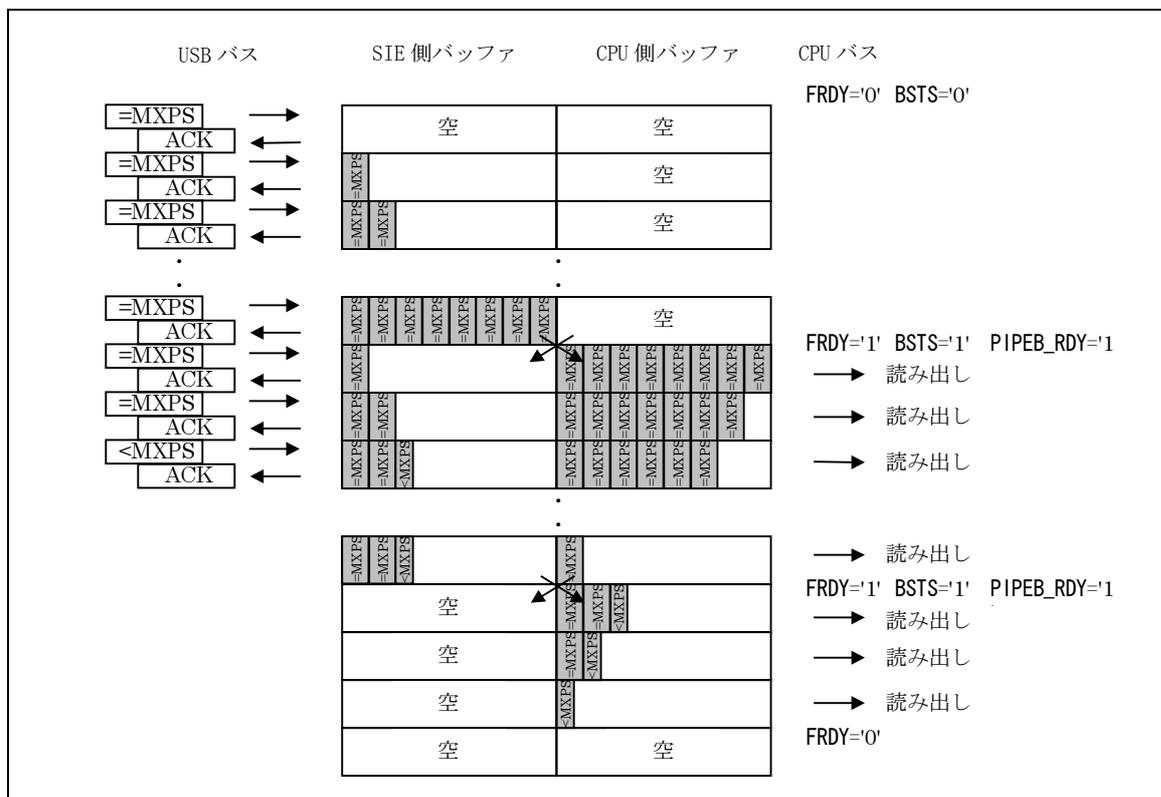


図5.6 OUT 転送、連続受信、ダブルバッファに設定時のバッファ動作



### 5.2.8. IN データ転送、連続受信、ダブルバッファ時のバッファの動作

図 5.8に IN データ転送、連続受信、ダブルバッファに設定した場合のバッファの状態と FRDY、BSTS、BVAL ビット、バッファレディ割り込みの関係を示します。

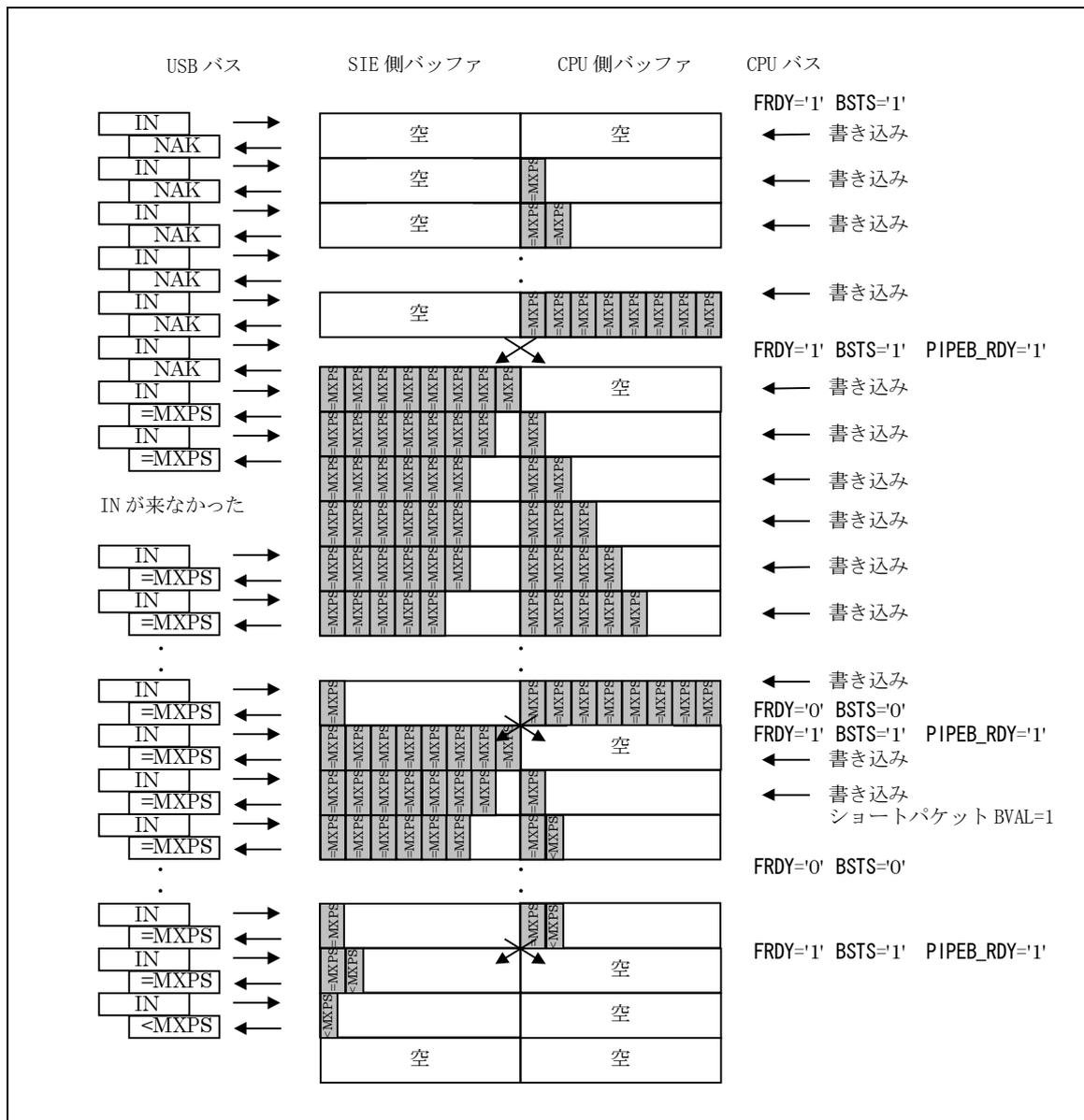


図5.8 IN 転送、連続受信、ダブルバッファに設定時のバッファ動作

## 6. DMA 転送

### 6.1. Dn\_FIFO ポートレジスタへのアクセス(DMA コントローラインターフェース)

外部 DMA コントローラから FIFO バッファアクセスを行うために、本チップは Dn\_FIFO ポートレジスタ 0 を持ちます。DMA コントローラによるアクセスを行う場合は、データピン&FIFO/DMA 制御ピンコンフィギュレーションレジスタ 2 にて DMA 転送方法の指定を行い、Dn\_FIFO ポートレジスタ 0 を使用してデータ転送を行います。

DMA 転送方法は、以下のパラメータによって設定します。ご使用になる DMA コントローラの仕様にあわせてパラメータを設定してください。パラメータ一覧を表 6.1 に示します。各パラメータの詳細については、データピン&FIFO/DMA 制御ピンコンフィギュレーションレジスタ 2 を参照ください。

本チップは、DMA コントローラを使用せずに(通常の CPU アクセスによって)、Dn\_FIFO ポートレジスタ 0 に対してアクセスを行うことも可能です。

表6.1 DMAインターフェース用パラメータ一覧

パラメータ	説明
バーストモード [Burst]	サイクルスチールモード/バーストモードの選択 '0': サイクルスチールモード(1ワード/1バイト転送毎に DREQn 信号がアサート/ネゲートを繰り返す転送) '1': バーストモード(FIFO バッファレディで DREQn 信号をアサートし、割り当てた FIFO バッファへのアクセス終了時に DREQn 信号をネゲートする転送)
ストローブモード [RWstb]	Dn_FIFO ポートレジスタ 0 アクセスに使用されるストローブ信号の選択 '0': WRn_N 信号と RD_N 信号をストローブ信号として使用 '1': DSTBn_N 信号をストローブ信号として使用
DACK 信号選択 [DackE]	Dn_FIFO ポートレジスタ 0 アクセスに使用されるハンドシェイク信号の選択 '0': アドレス、WRn_N、RD_N 及び、CS_N をハンドシェイク信号として使用 '1': DACKn 信号をハンドシェイク信号として使用
パケットモード [Pktmd]	OUT 方向データ転送における DENDn 信号の振る舞い '0': トランザクション終了出力モード (DENDn 信号は、TRNCNT ビットにより指定された数のパケット、またはショートパケットの転送終了時にアサート) '1': バッファ終了出力モード (DENDn 信号は、PIPE に指定されたバッファサイズ毎の転送終了時にアサート)
Obus モード [Obus]	スプリットバスのデータピン及び DENDn 信号の駆動方法選択 '0': 高速駆動モード (OUT に設定されている場合、データピン及び DENDn 信号は常に駆動、IN の場合、常に入力可能状態) '1': 通常モード (OUT に設定されている場合、DACKn ピンと DSTBn_N ピンの両方がアサートされている期間中のみ、データピン及び DENDn 信号を駆動、IN の場合、DACKn ピンがアサートされている期間中のみ入力可能状態)

## 6.2. DMA 転送概要

本チップは各 PIPE (PIPE0 以外) に対して 8/16 ビット幅 (MBW ビットで指定) の DMA 転送を行うことが可能です。

DMA 転送は外部の DMAC と、DREQn、DACKn 信号のハンドシェイクによって実現します。DREQn 信号は、Current\_PIPE ビットで設定された PIPE のバッファが、読み出し可能/書き込み可能状態になった時にアサートされます。DREQn 信号の出力許可は、DreqE ビットにて行います。DMA 転送方向の設定は、各 PIPE の DIR ビットで決定されます。

DMA 転送データの読み出しまたは書き込み動作は、RWstb ビットを設定することによって、RD\_N/WRx\_N 信号 (CPU バス) または DSTBn\_N 信号 (スプリットバス) で行います。また、DackE ビットを設定することによって、DACKn 信号を使わずに Dn\_FIFO ポートレジスタ 0 のアドレスの指定による DMA 転送を行うこともできます (DACK なし転送モード)。

表6.2 DMA転送方法の設定組み合わせ

DMAポートのピン設定	DackEビット	RWstbビット
CPUバス	'0' (アドレス)	'0' (RD_N/WRx_N)
	'1' (DACKn)	'0' (RD_N/WRx_N)
スプリットバス	'1' (DACKn)	'1' (DSTBn_N)

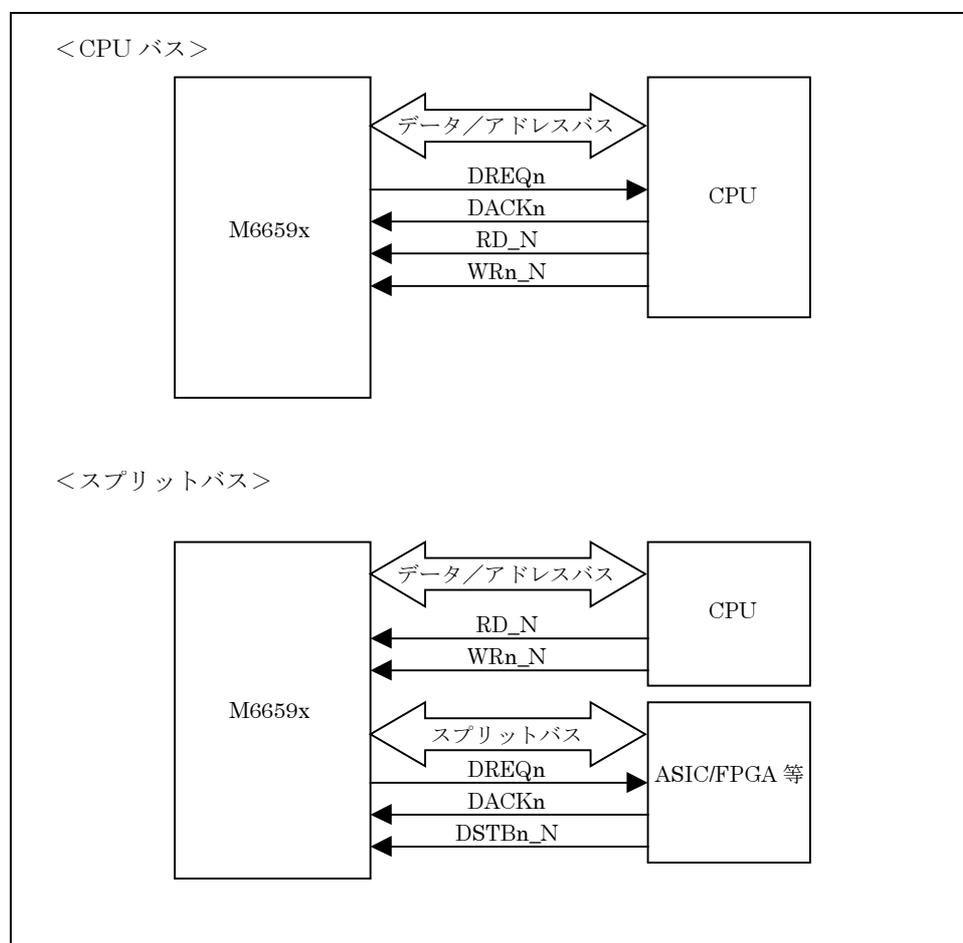


図6.1 CPUバス/スプリットバス DMA 動作

### 6.3. DMA 転送モード

DMA 転送モードは、サイクルスチールモードとバーストモードをサポートしています。この転送モードは Burst ビットにより設定します。

#### 6.3.1. サイクルスチールモード (Burst='0')

サイクルスチールモードでは、1 データ (8/16 ビット) 完了ごとに DREQn 信号をアサートします。サイクルスチールモードでの各信号のタイミングは、各チップのデータシートを参照ください。

#### 6.3.2. バーストモード (Burst='1')

バーストモードでは、バッファ内全てのデータ転送が完了するまで DREQn 信号がアサートされ、転送完了でネゲートします。

バーストモードでの各信号のタイミングは、各チップのデータシートを参照ください。

#### 6.3.3. DMA 制御信号

DMA 制御信号の組み合わせとして、以下 (1) ~ (3) の動作があります。

それぞれの組み合わせ時のタイミングは、各チップのデータシートを参照ください。

表 6.3 DMA 制御信号

設定	DreqE	DackE	RWstb	DATA	DREQ	DACK	RD/WR	ADDR +CS	DSTB	備考
CPU バス 0	'0'	'0'	'0'	CPU	—	—	○	○	—	CPU アクセス
CPU バス 1	'1'	'0'	'0'	CPU	○	—	○	○	—	CPU バスでの DMA
CPU バス 2	'1'	'1'	'0'	CPU	○	○	○	—	—	CPU バスでの DMA
SPLIT バス	'1'	'1'	'1'	SPLIT	○	○	—	—	○	スプリットバス DMA

- (1) DACKn 信号及び RD\_N/WRx\_N 信号により DMA 転送を制御 (DackE = '1'、RWstb = '0')  
このモードでは DACKn 信号と RD\_N/WRx\_N 信号を用いて Dn\_FIFO ポートレジスタ 0 にアクセスします。
- (2) DACKn 信号及び DSTBn\_N 信号により DMA 転送を制御 (DackE = '1'、RWstb = '1')  
このモードでは DACKn 信号と DSTBn\_N 信号を用いて Dn\_FIFO ポートレジスタ 0 にアクセスします。このモードでは RD\_N/WRx\_N 信号は使用しません。
- (3) CS\_N 信号とアドレス信号により DMA 転送を制御 (DackE = '0'、RWstb = '0')  
このモードではアドレス信号、RD\_N/WRx\_N 信号及び CS\_N 信号を用いて Dn\_FIFO ポートレジスタ 0 にアクセスします。このモードでは DACKn 信号を使用しません。

### 6.4. DENDn 信号

本チップは、Dn\_FIFO ポートに対し DENDn 入出力信号を有します。DENDn 信号は、外部 DMA コントローラに対して或いは外部 DMA コントローラから最後のデータ転送であることを知らせることができます。

各 Dn\_FIFO ポートの DENDn 信号には、使用禁止/許可を決定する DendE ビットと極性を選択する DendA ビットがあります。

詳しくは各チップのデータシートを参照ください。

#### 6.4.1. Obus モード (Obus ビット)

このビットにより、スプリットバス (DMA Interface) のデータピン及び DENDn 信号の駆動方法を選択できます。

Obus ビットの設定は、Dn\_FIFO ポートがスプリットバスに設定されている時のみ有効になります。

詳しくは各チップのデータシートを参照ください。

## 6.5. DMA 制御例

### 6.5.1. 奇数データの転送

IN 転送、OUT 転送それぞれの奇数データの制御例を下記に示します。

IN 転送：

(1)S/W での制御

- ・最後の 1 バイト手前まで、DMA による書き込みを行って下さい
- ・CPU で MBW=('10','0')8bit 幅を設定し、Dn\_FIFO ポートに最後の 1 バイトを書き込んで下さい
- ・CPU で BVAL='1'をセットしてください

OUT 転送：

(1)S/W での制御

- ・DMA\_DTLN=受信データ数+1 バイトまで、DMA による読み出しを行ってください
- ・S/W により、最後の 1 バイトを切り捨ててください

(2)H/W (DEND 使用) での制御

- ・DMA による最後の 1 バイト読み出し時に、本チップにより DEND 信号がアサートされます

### 6.5.2. バッファレディ割り込みモード (BFRE) による制御

DMA 使用時のバッファレディ割り込みは、BFRE='1'により以下の条件のみに限定することが可能です。これにより不要な割り込みをさげ CPU 負荷を軽減することが可能です。

IN 転送：

BFRE='0'：FIFO バッファが空になり、送信データの書き込みが可能になったときに、バッファレディ割り込みが発生します。

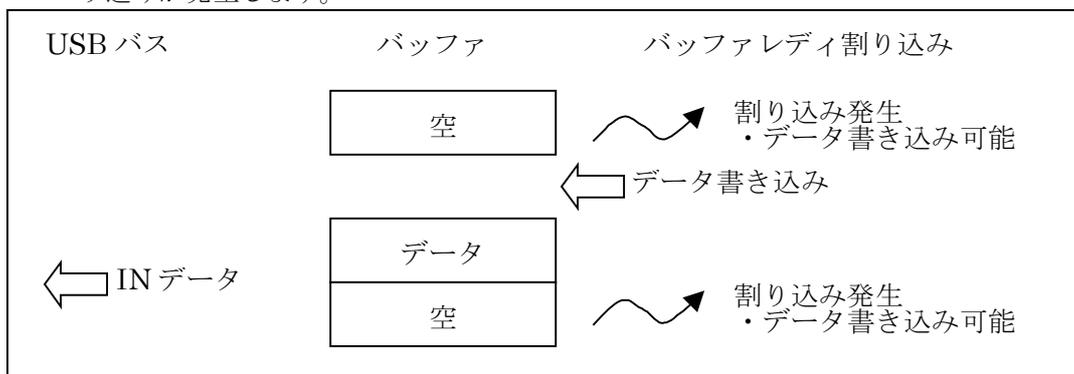


図6.2 IN 転送 BFRE='0' (CPU モード)

BFRE='1'：バッファレディ割り込みは発生しません。

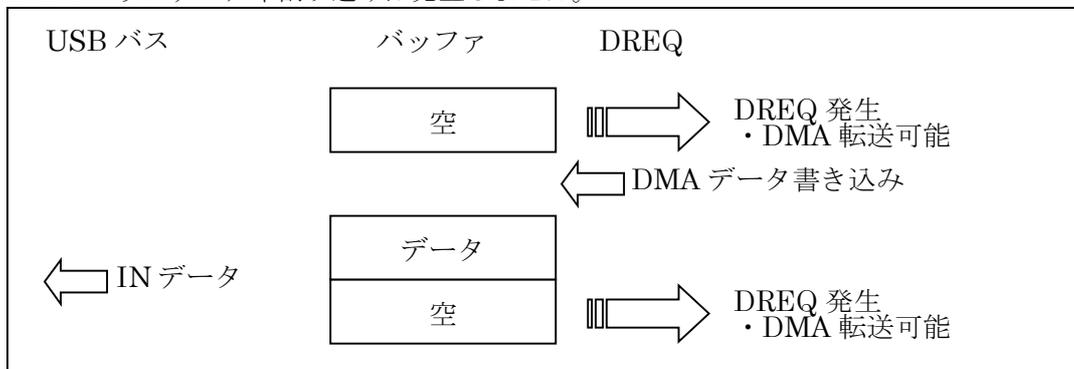


図6.3 IN 転送 BFRE='1' (DMA モード)

OUT 転送 :

BFRE='0' : データを受信しバッファがフルになった、またはショートパケット (zero-length 含む) を受信したときにバッファレディ割り込みが発生します。

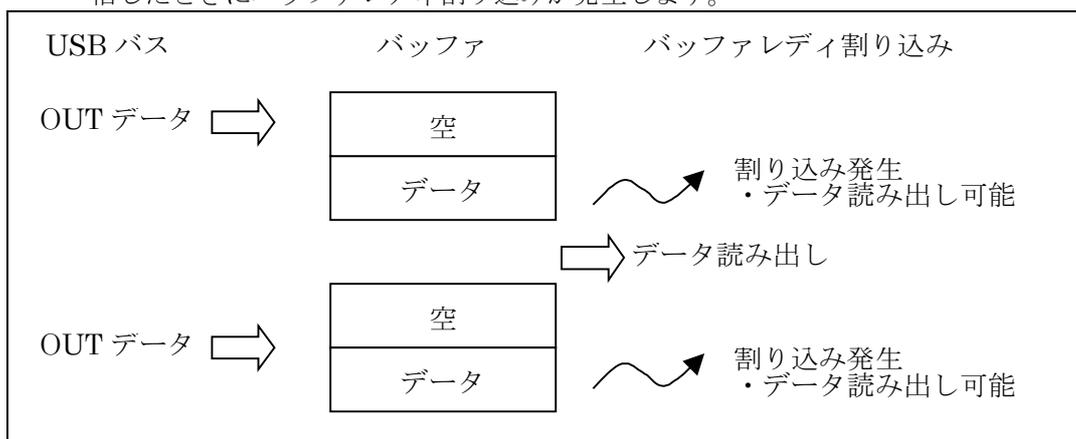


図6.4 OUT 転送 BFRE='0' (CPU モード)

BFRE='1' : ショートパケット (zero-length 含む) の受信、またはトランザクションカウンタ分のデータを受信し、最期のデータを読み出し終えたときに、バッファレディ割り込みが発生します。

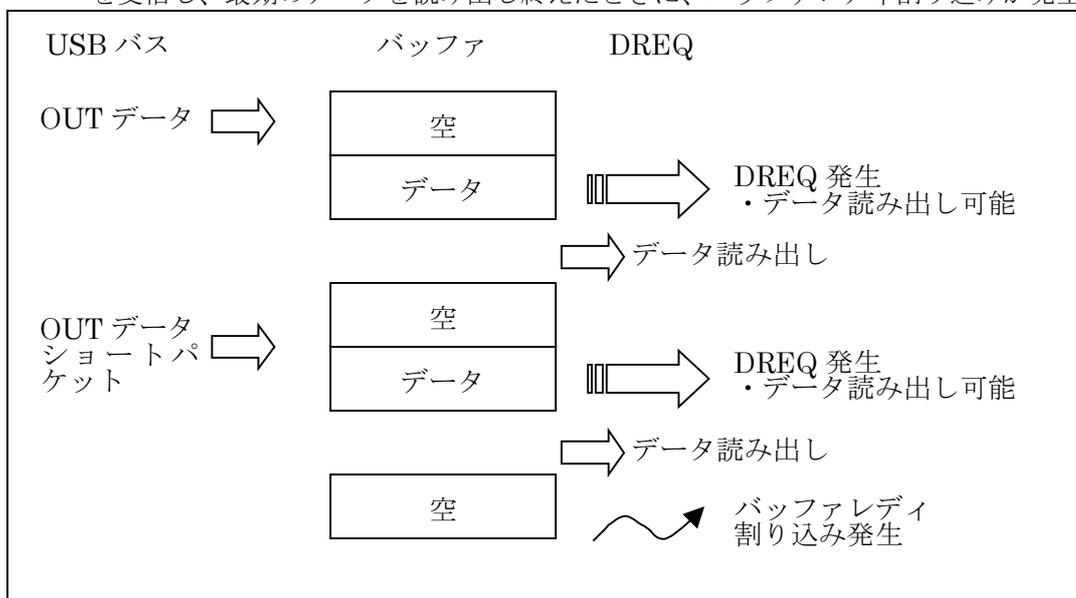


図6.5 OUT 転送 BFRE='1' (DMA モード)

## 7. テストモード

本チップは Hi-Speed Compliance Test で使用可能な以下各テストモードを有しています。

- Test\_J
- Test\_K
- Test\_SE0\_NAK
- Test\_Packet

TST ビットは Hi-Speed モード時のみ有効になります。Full-Speed 時はこのビットを'000'に固定してください。

SET\_FEATURE リクエストでテストモードを指定された場合、コントロール転送の終了を確認してから TST ビットを設定してください。

また、テストモードを実行した場合は、テスト終了後に H/W リセットを行ってください。

## 8. USB 特殊信号処理

### 8.1. バスリセット信号処理

#### 8.1.1. USB Specification 概要

デバイスは、USBバス上に3ms以上のSE0状態を検出した場合、リセットハンドシェイクを行いUSBバスリセット信号を検出後、すでに割り振られたアドレスをDefaultアドレスに変更するとともに、Defaultステートにステート遷移する必要があります。

#### 8.1.2. 機能

本チップは、D+/D-端子に3ms以上のSE0状態を検出した場合、125us以内にD+をプルアップし、プルアップ後100us~875usの間にD+を確認しSE0状態だった時にUSBリセットを検出します。USBリセット検出割り込みが許可されている状態で、USBリセットハンドシェイクプロセス(8.2リセットハンドシェイク)が終了した場合にデバイス遷移割り込み(DVST)を発生します。このとき、USBアドレスレジスタを自動的にDefaultアドレスに書き換え、レジスタの一部を初期化します。

USBバスリセット検出に伴うレジスタ初期化については、各チップのデータシートを参照ください。

#### 8.1.3. デバイス側アプリケーションの動作

デバイス側アプリケーションは、USBバスリセット検出(デバイスステート遷移割り込み(DVSQ='001')検出)後、ホストからのリクエスト(バスエニュメレーション)に応答する準備を行う必要があります。

USBバスリセット信号検出処理例を図8.1に示します。

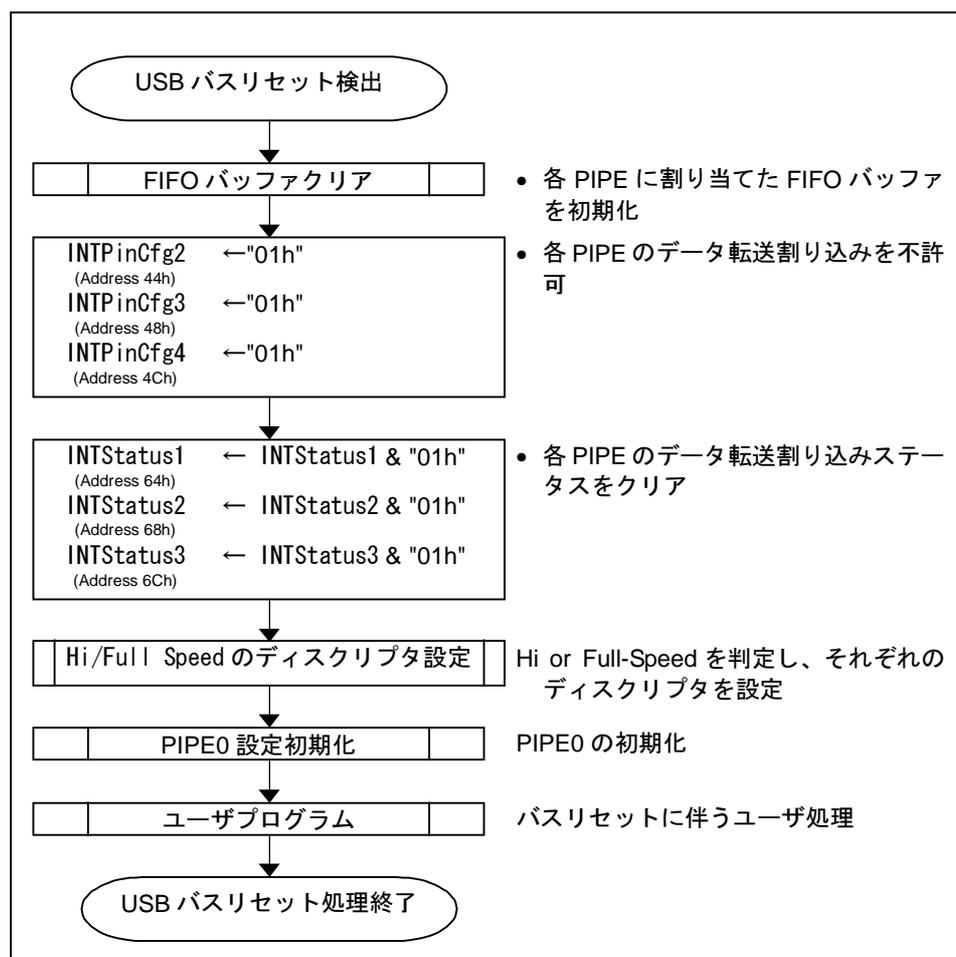


図8.1 USBバスリセット信号検出処理例

## 8.2. リセットハンドシェイク

本チップは図 8.2 のようなホストとのリセットハンドシェイクを H/W で自動に行います。

HSE ビット、接続されるホストが Full/Hi-Speed により、RHST ビット及び DVST 割り込みのタイミングが変わります。図 8.2 を参照ください。

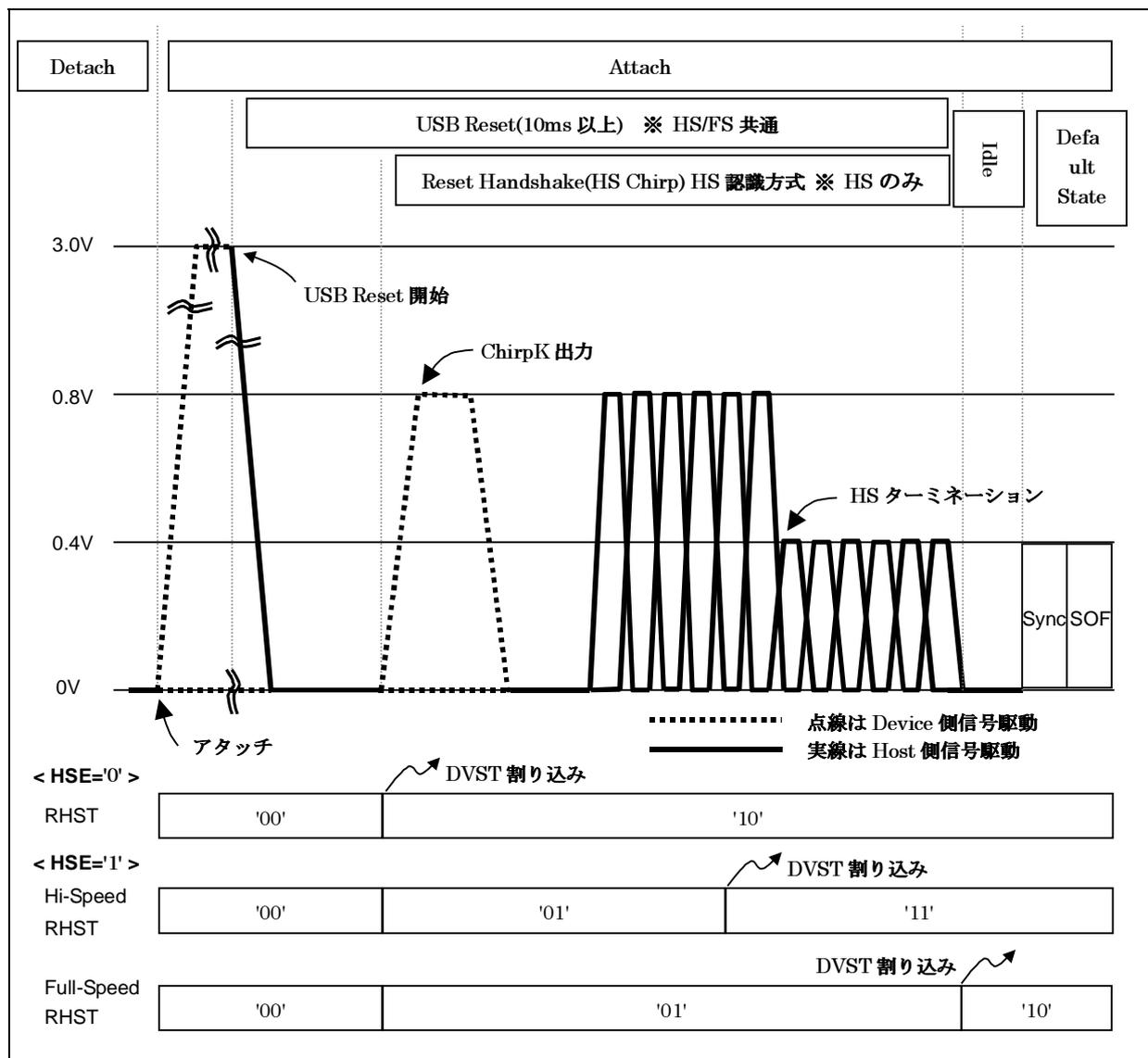


図8.2 リセットハンドシェイク

リセットハンドシェイク中、またはリセットハンドシェイク後のステータスの確認は RHST ビットにより可能です。

表8.1 リセットハンドシェイクステータス

ビット		ステータス
RHST	'00'	不定
	'01'	リセットハンドシェイク処理中
	'10'	Full-Speed 動作中
	'11'	Hi-Speed 動作中

## 8.3. サスペンド信号処理

### 8.3.1. USB Specification 概要

USB バス上でサスペンド信号(3.0ms 以上のアイドル状態)を検出すると、デバイスは USB specification で規定されている任意のステートから **Suspended** ステートへ遷移を行う必要があります。また、**Suspended** ステートにあるデバイスは、通常 USB バスから 500  $\mu$  A 未満の電流しか引き出すことができません。

デバイスが **Suspended** ステートから復帰するためには、何らかのバス アクティビティが発生するか、リモートウェイクアップ機能を使用してホストに要求を行う必要があります。

### 8.3.2. 機能

本チップは、サスペンド信号を検出すると、**Suspended** ステートに遷移し、デバイスステート遷移割り込み (DVSQ='1xx') を発生させます。

本チップ自身の消費電力を小さくするために、以下の設定が有効です。具体的な消費電力値については、本チップデータシート【電気的特性】を参照ください。

- (1) USB クロック供給禁止(SCKE='0')
- (2) PLL 動作停止(PLLC='0')
- (3) 内部基準クロック供給禁止(RCKE='0')
- (4) 発振バッファ停止(XCKE='0')

本チップは上記クロック禁止中に、RESM 割り込みによるバスアクティビティを検出することが可能です。

### 8.3.3. デバイス側アプリケーションの動作

デバイスが Bus powered を使用している場合、デバイス側アプリケーションは、サスペンド信号検出 (Suspended ステートへのデバイスステート遷移割り込み(DVSQ='1xx')検出)後、クロック停止状態に移行する必要があります。クロック停止状態に移行した場合、レジューム検出時にデバイス動作を通常に戻す必要があるため、レジューム検出が可能な設定(RESM 割り込みの許可)を行ってください。

また、デバイスがリモートウェイクアップ機能をサポートしている場合は、システム仕様に従い、リモートウェイクアップ信号送出機能を実装する必要があります。

サスペンド時のクロック制御フローチャートを図 8.3に示します。

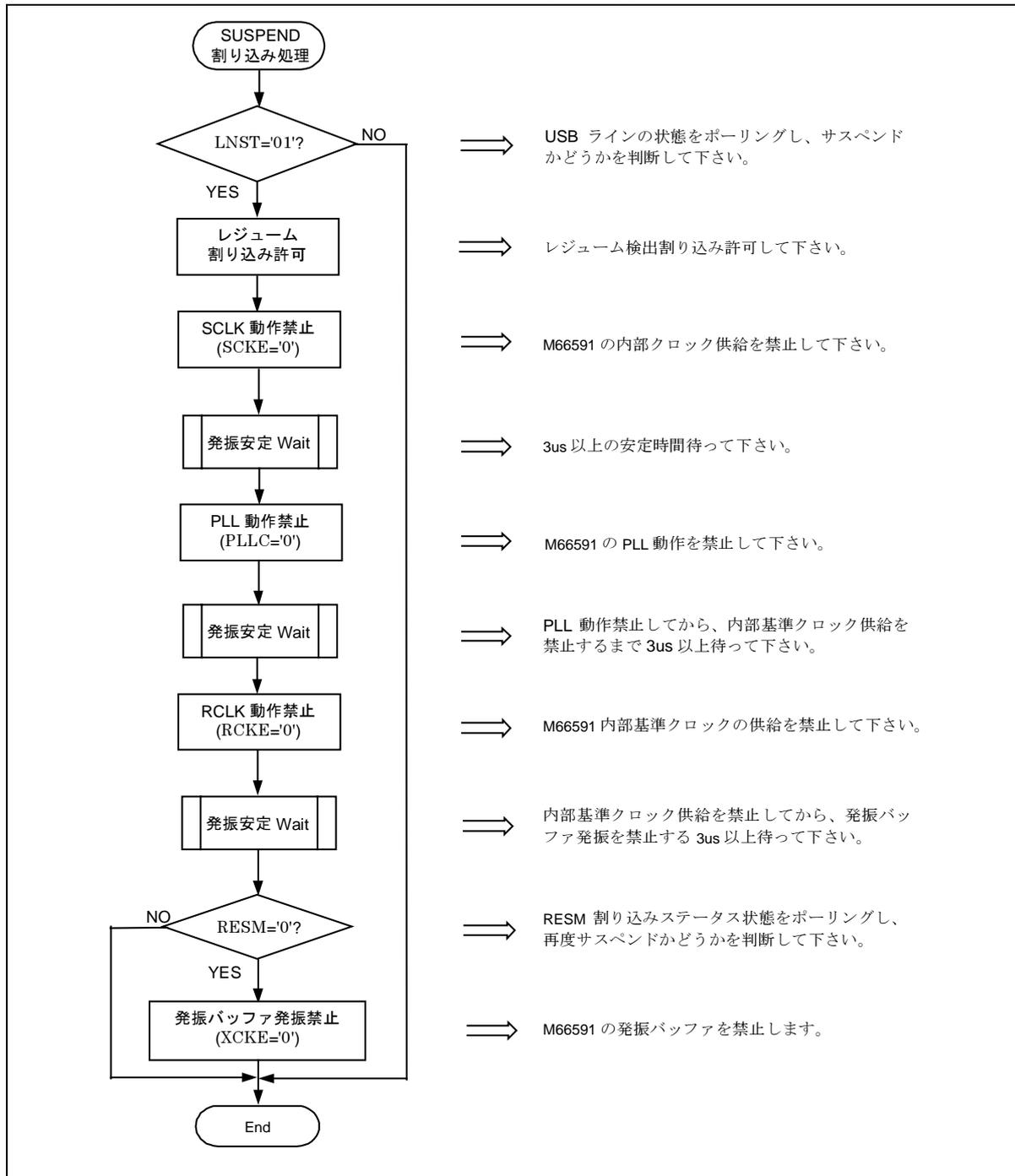


図8.3 サスペンド時のクロック制御フローチャート

## 8.4. レジューム (バス アクティビティ検出)処理

### 8.4.1. USB Specification 概要

USB バスがサスペンド状態の時に USB バスの状態変化があった場合に、デバイスはレジュームを検出する必要があります。

### 8.4.2. 機能

デバイスステートが **Suspended** ステートである時に USB バスの状態変化を検出した場合に、本チップはレジューム検出割り込み(RESM)を発生させ、サスペンド検出直前のデバイスステートに自動的に遷移します。

レジューム検出割り込みは USB バス状態の変化を検出しますので、本チップの内部クロック停止状態でも、RESM 割り込みによるバスアクティビティ検出が可能です。

### 8.4.3. デバイス側アプリケーションの動作

サスペンド時に低消費電力モードに移行する等の処理を行うシステムの場合、レジューム検出時にデバイス動作を通常に戻す必要があります。

レジューム割り込みの再割り込み許可は、内部クロックが供給されていない場合以下の方法で行ってください。

- 内部クロックが供給されていない状態(SCKE='0')  
このビットに'0'を書き込むことにより、このビットは'0'にクリアされます（割り込みクリア）。次のレジューム割り込みを許可するために再度このビットに'1'を書き込んでください。

レジューム時のクロック制御フローチャートを図 8.4に示します。

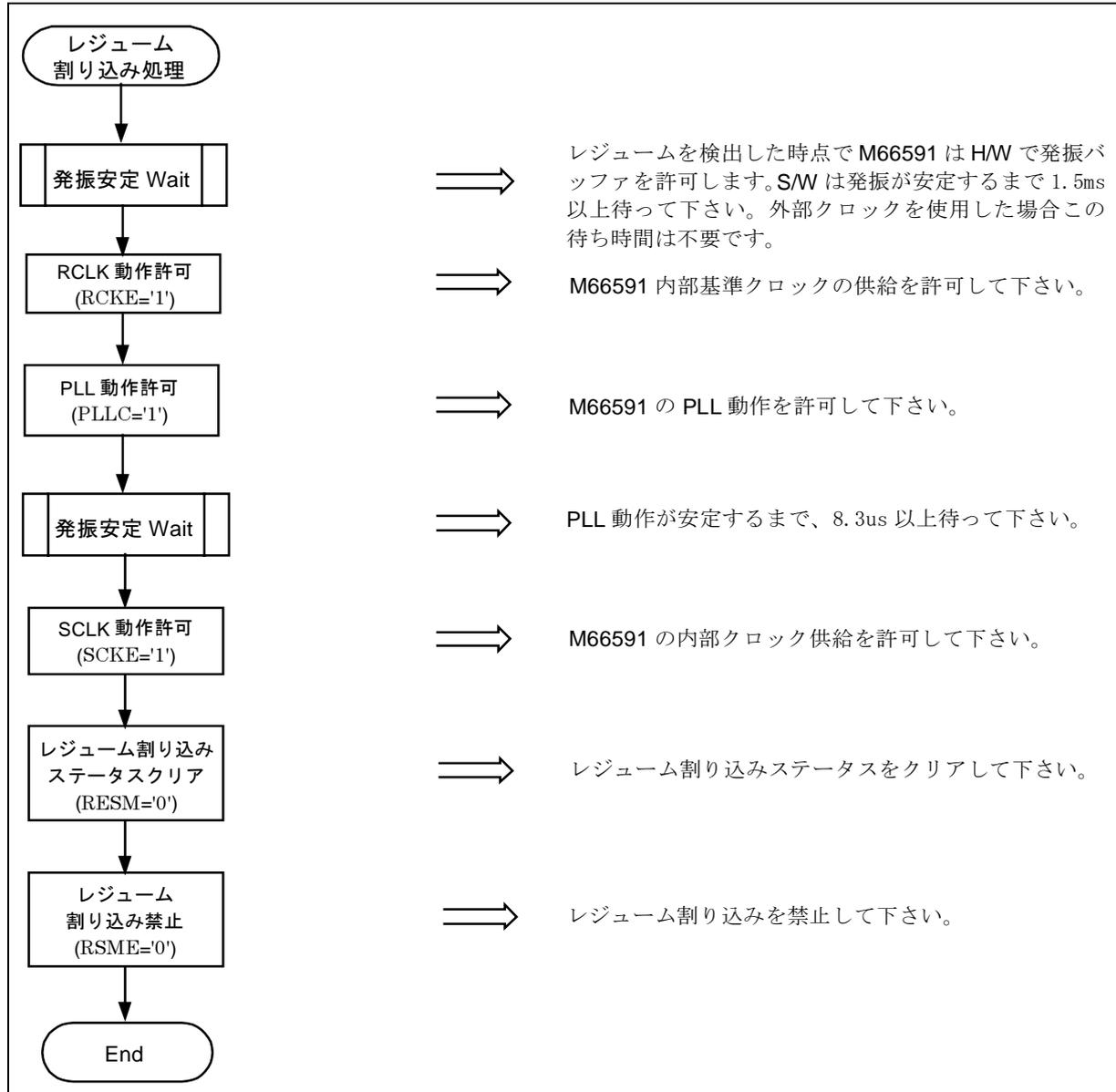


図8.4 レジューム時のクロック制御フローチャート

## 8.5. Suspended ステート中の USB バスリセット検出

### 8.5.1. USB Specification 概要

USB バスリセット信号もバスアクティビティの一種ですので、この場合、デバイスは、サスペンド状態からのレジューム、及び、USB バスリセット信号の検出を行う必要があります。

### 8.5.2. 機能

本チップの内部クロック供給を停止している場合は、レジューム検出は行いますが、USB バスリセット信号の検出を行うことができません。したがって、Suspended ステート中に USB バスリセットが発生した場合は、以下のようなシーケンスで行ってください。

- (1) レジューム検出
- (2) FW によるレジューム処理(内部クロック供給、USB トランシーバ動作等)
- (3) USB バスリセット検出(デバイスステート(DVSQ='001': Default)遷移割り込みを発生)

### 8.5.3. デバイス側アプリケーションの動作

デバイス側アプリケーションは、ホストからの USB リセット信号発行中に、レジューム処理を終わらせる必要があります。USB Specification によれば、ホスト PC が発行する USB バスリセット信号 10ms 以上に対し、デバイス側が 3ms 以内に ChirpK を出力するために、レジューム検出後遅くとも 2.9ms 以内に内部クロック復帰処理が終了するように処理タイミングを設計してください。

Suspended ステート中の USB バスリセット検出処理例を図 8.5 に示します。

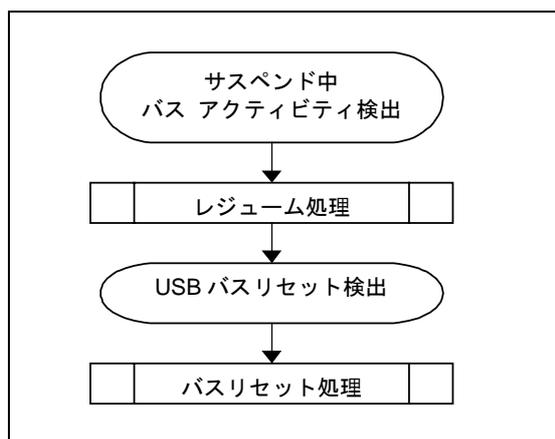


図8.5 Suspended ステート中の USB バスリセット検出処理例

## 8.6. リモートウェイクアップ処理

### 8.6.1. USB Specification 概要

デバイスステートが **Suspended** ステートであるときに、デバイス側の要因により **USB** 通信を再開したい場合は、デバイスからリモートウェイクアップ信号を送出させホストに対してレジューム要求を促すことができます。

リモートウェイクアップ信号は、**USB** バスがアイドル状態に遷移した後、アイドル状態を **5ms** 間保持した後に出力する必要があります。また、リモートウェイクアップ信号の出力期間は **1ms** 以上 **15ms** 以内と定められています。

リモートウェイクアップ機能には使用条件があります。以下(1)、(2)を満たす場合のみ、デバイスはリモートウェイクアップを行うことができます。

- (1) **Configured** ステートから遷移した **Suspended** ステートでの使用であること
- (2) 当該デバイスに対し、**SET\_FEATURE** リクエストによって、リモートウェイクアップが許可されていること

### 8.6.2. 機能

本チップのリモートウェイクアップ機能は、リモートウェイクアップ出力設定後、**2ms** 間のアイドルステートを保った後、**10ms** 間の **K** ステート出力を行います。サスペンド信号検出時点で **USB** バスがアイドル状態に遷移した後 **3ms** 経過しているため、上記 **2ms** 間のアイドル状態保持機能により、デバイス側アプリケーションがサスペンド検出直後にリモートウェイクアップ信号の出力設定を行ったとしても、バスアイドル **5ms** 保持の規格を遵守することが可能です。

### 8.6.3. デバイス側アプリケーションの動作

デバイス要因により Suspended ステートからのレジュームを行いたい場合は、レジューム要因発生後レジューム検出割り込み発生時と同様の処理を行い、その後、リモートウェイクアップ出力処理を行います。

リモートウェイクアップ出力フローチャートを図 8.6に示します。

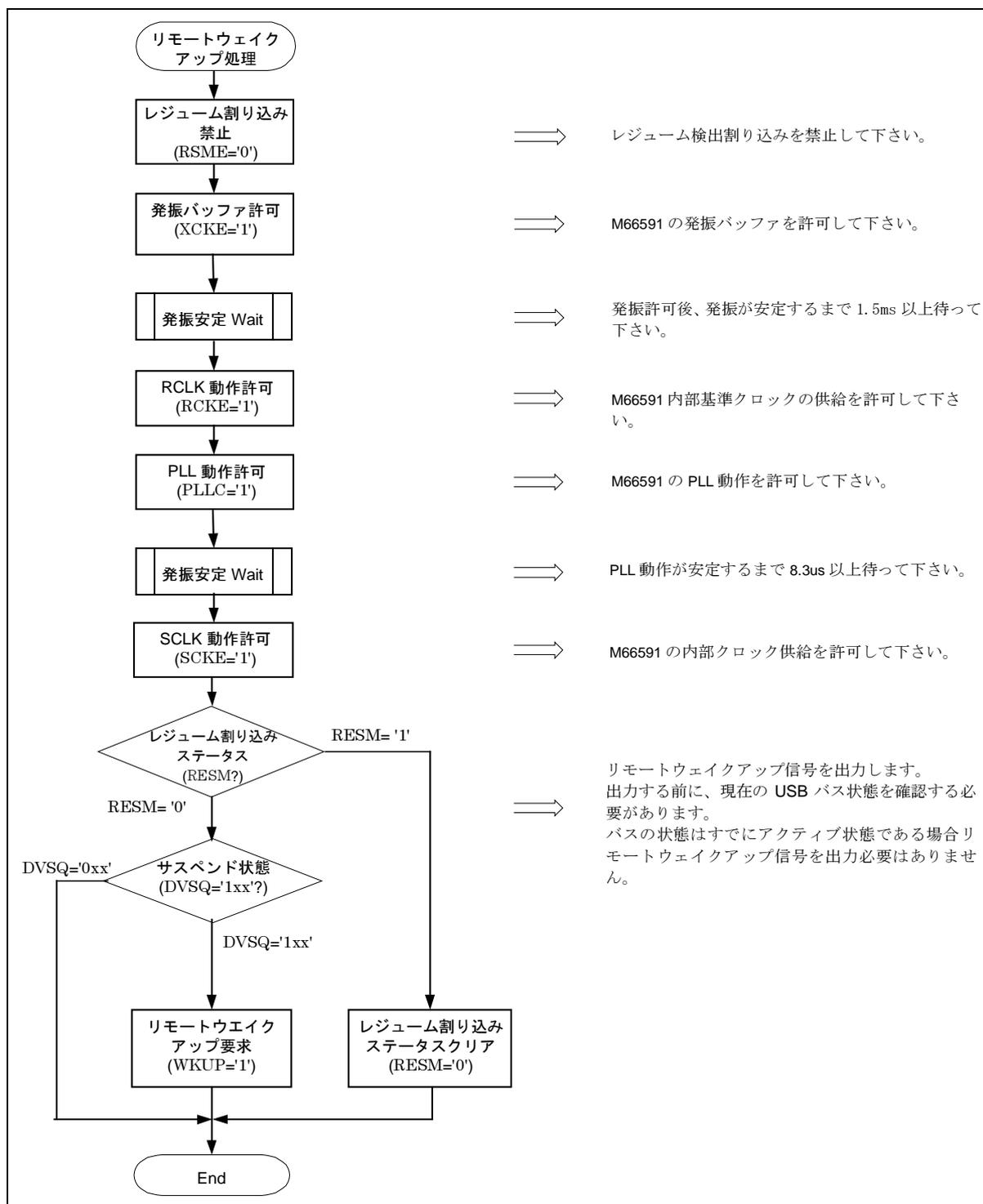


図8.6 リモートウェイクアップ出力フローチャート

## 8.7. VBUS 変化の検出処理

### 8.7.1. USB Specification 概要

Hi-Speed デバイスは、VBUS 信号が 4.01V 以上になった後 100ms 以内に D+信号を pull up しなければなりません。ホストは、デバイスとのリセットハンドシェイクを実行したあと、それぞれ Hi-Speed/Full-Speed の USB 通信を開始します。

デバイスは、VBUS が供給されていない時には、D+、D-信号を pull up してはいけません。

### 8.7.2. 機能

本チップは、VBUS 入力端子の状態変化を検出("H"→"L"、"L"→"H"両エッジを検出可能)した場合に VBUS 割り込みを発生(VBUSINT='1')します。立ち上がり/立下りのどちらのエッジを検出したかは、VBUS 入力ポートビット(VBUSSTS)で確認することが可能です。本チップは内部クロック供給が停止 (SCKE='0') されていても、VBUS 割り込みを発生させることができ、VBUS 端子の状態を VBUS 入力ポートビットに反映します。

本チップの TR\_ON 端子の出力は VBUS 端子入力より内部で 5V から 3.3V に変換して出力しています。VBUS 端子に USB コネクタの VBUS 信号を接続し、かつ、TR\_ON 端子を使用して D+信号の pull up を行うデバイスの場合、self powered デバイスであっても、USB ケーブルが抜かれた時に D+信号の pull up をやめるための特別な回路、FW 処理は不要です。

### 8.7.3. デバイス側アプリケーションの動作

USB ケーブルが抜かれた場合に何らかの処理が必要なシステム(self powered で VBUS 供給がない場合に消費電力を落とす必要がある、又は、bus powered で電源 off の前に処理を行う必要がある等のシステム)では、USB ケーブルの挿抜を VBUS 入力端子の状態変化で検出し、アタッチ処理、デタッチ処理を行う必要があります。

VBUS 割り込み処理フローチャートを図 8.7 に示します。

USB アタッチ処理フローチャートを図 8.8 に示します。

USB デタッチ処理フローチャートを図 8.9 に示します。

VBUS 割り込みを使用する場合は、本チップの初期処理の中で、VBUS 割り込みを許可(VBSE='1')する必要があります。なお、VBUS 入力ポートビット(VBUSSTS)はチャタリング除去のうえ状態確認を行う必要があります。チャタリング除去処理の中で、VBUSINT(VBUS 割り込みステータスビット)のクリアを行ってください。

VBUS 割り込みの再割り込み許可は、内部クロックが供給されていない場合以下の方法で行ってください。

- ・内部クロックが供給されていない状態(SCKE='0')

このビットに'0'を書き込むことにより、このビットは'0'にクリアされます(割り込みクリア)。次のVBUS 割り込みを許可するために再度このビットに'1'を書き込んでください。

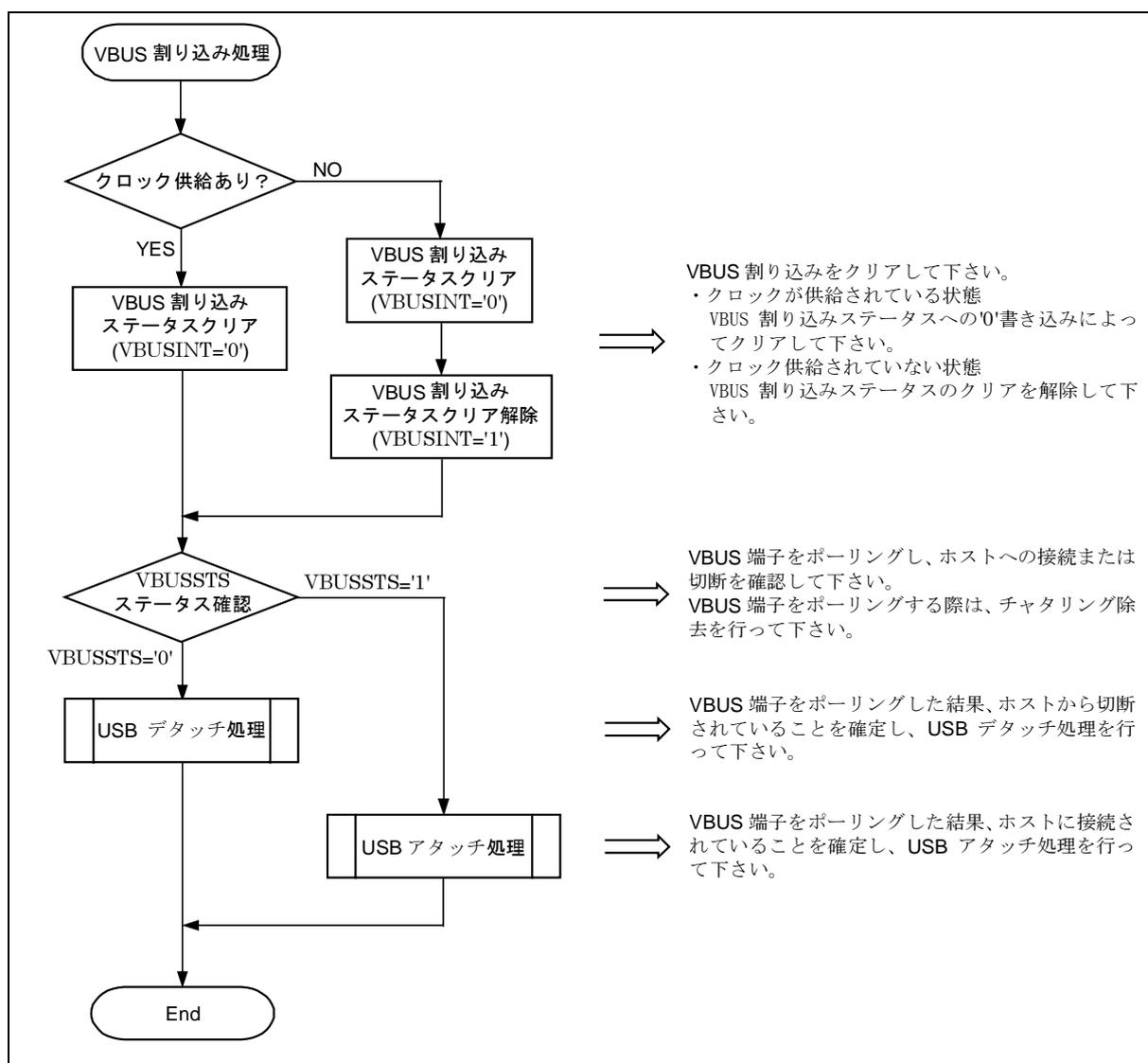


図8.7 VBUS 割り込み処理フローチャート

### 8.7.4. アタッチ処理

ホストへの接続を検出した後、USB アタッチ処理を行ってください。

USB アタッチ処理の基本内容は以下です。

(1)動作モードの選択

HSE ビットにより Hi-Speed 動作モードの許可/不許可を選択することができます。

(2)クロック発振許可

発振バッファの許可、内部基準クロック許可、PLL 動作許可、内部クロック許可のシーケンスで行ってください。この一連の操作を行うときに発振安定するまでのウェイトを入れて下さい。

(3)D+ラインをプルアップ

ホストに対して接続（アタッチ）通知を行ってください。

具体的な処理は下記の図 8.8 のフローチャートに示します。

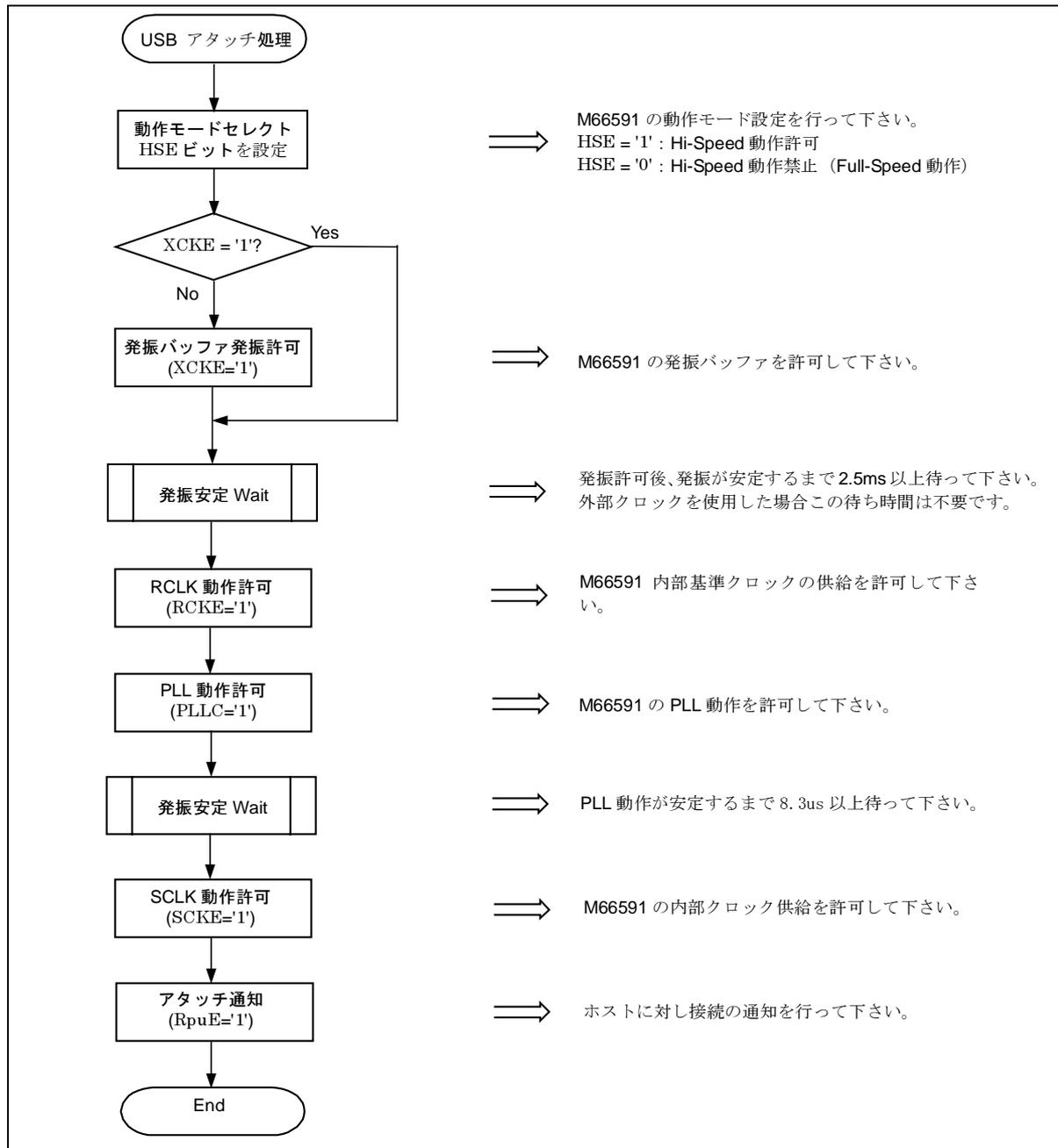


図8.8 USB アタッチ処理フローチャート

### 8.7.5. デタッチ処理

ホストから切断されたのを検出した後、USB デタッチ処理を行ってください。

USB デタッチ処理の基本内容は以下です。

(1)D+ラインのプルアップを中止

ホストから切断された後、D+ラインに対してのプルアップを中止してください。

(2)クロック発振停止

内部クロック禁止、PLL 動作禁止、内部基準クロック禁止、発振バッファ禁止を行ってください。この一連の操作を行うときに発振許可時と同様にウェイトを入れる必要があります。

具体的な処理は下記の図 8.9のフローチャートに示します。

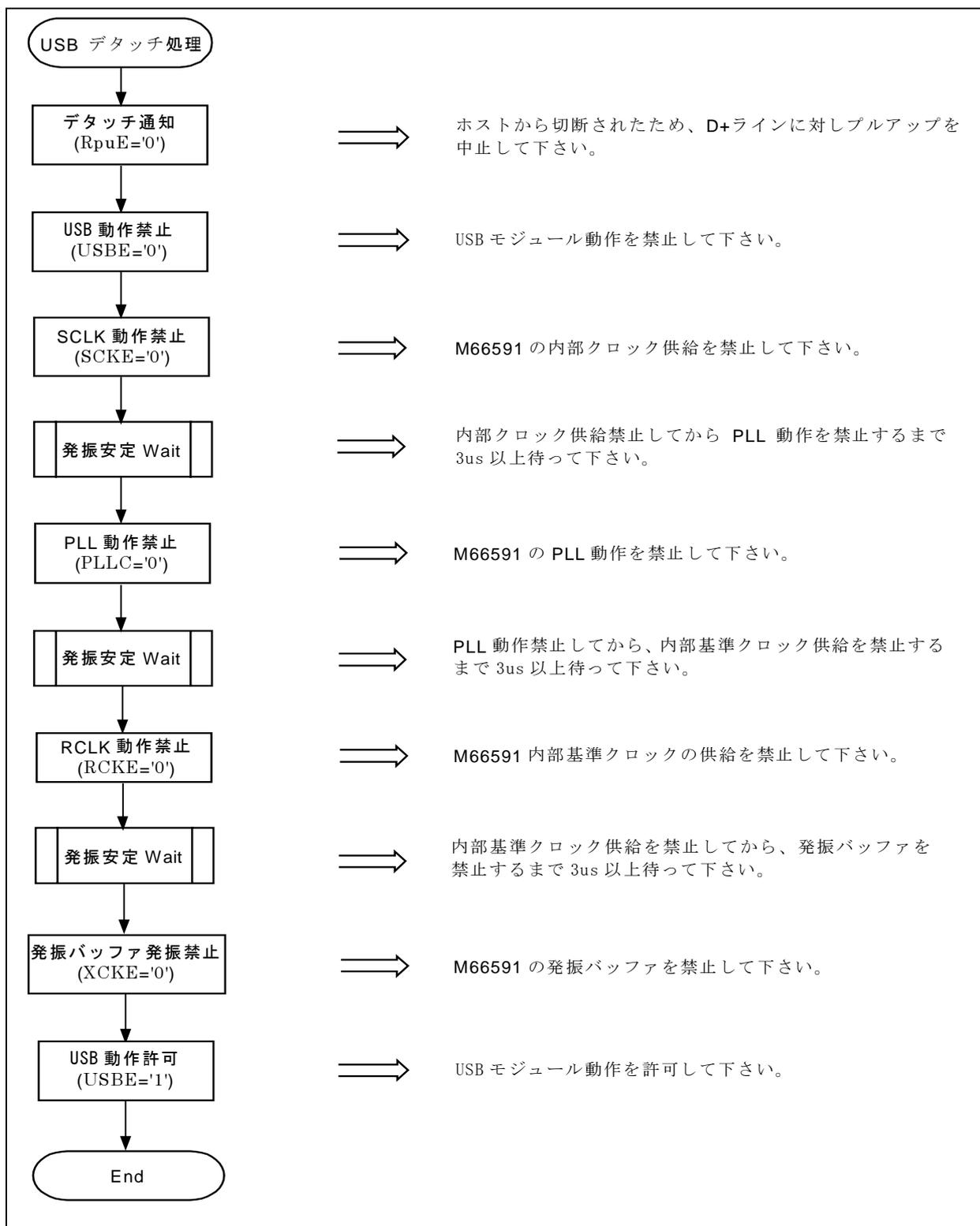


図8.9 USB デタッチ処理フローチャート

改訂記録	M6659x アプリケーションノート 共通編
------	---------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.11.05	-	初版発行

#### 安全設計に関するお願い

- ・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

#### 本資料ご利用に際しての留意事項

- ・ 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
- ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・ 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
- ・ 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
- ・ 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
- ・ 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
- ・ 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。