

RXファミリ、H8Sファミリ

H8SからRXへの置き換えガイド DTC編

要旨

本アプリケーションノートでは、H8Sファミリのデータ転送コントローラ（DTC）からRXのデータ転送コントローラ（DTCb）への置き換えについて説明しています。

対象デバイス

- RXファミリ
- H8Sファミリ

H8SからRXへの置き換え例として、RXファミリはRX261グループを、H8SファミリはH8S/2378グループを用いて説明しています。本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

動作確認デバイス

- RXファミリ：RX261
- H8Sファミリ：H8S/2378

RXファミリとH8Sファミリ間で使用している用語が一部異なります。

下表に、DTCに関する用語の相違点を示します。

表 RXファミリとH8Sファミリ間の用語の相違点

項目	RXファミリ	H8Sファミリ
DTCの名称	DTCb	DTC
チェーン転送の名称 (以下、チェーン転送 ^(注1))	チェーン転送	チェイン転送
レジスタ情報の名称	転送情報	レジスタ情報
データ転送後に、レジスタ情報をRAMに戻す動作の名称	ライトバック	名称なし

注1. 以降、H8Sも「チェーン転送」の名称を用いて説明します。

目次

1. DTCの相違点	4
1.1 機能相違点	4
1.2 起動要因	7
1.3 DTCベクタ構成とレジスタ情報の配置	10
1.4 レジスタ相違点	14
2. 使用する周辺機能	21
3. 動作の相違点	22
3.1 ノーマルモード動作	24
3.1.1 動作説明	26
3.1.2 設定手順の相違点	28
3.2 リピートモード動作	30
3.2.1 動作説明	32
3.2.2 設定手順の相違点	34
3.3 ブロック転送モード動作	36
3.3.1 動作説明	38
3.3.2 設定手順の相違点	40
3.4 チェーン転送	42
3.4.1 動作説明	44
3.4.2 設定手順の相違点	46
4. 動作タイミング・ステート数	48
5. 割り込みの相違点	53
6. モジュールストップ機能	56
7. レジスタライトプロテクション機能	57
8. H8SからRXへ置き換えるときのポイント	58
8.1 入出力ポート	58
8.2 I/Oレジスタマクロ	59
8.3 組込関数	60
9. 参考ドキュメント	61

1. DTC の相違点

1.1 機能相違点

表1.1に、DTC の機能相違点を示します。

表1.1 DTC の機能相違点

項目	RX	H8S
転送モード	ノーマル転送モード <ul style="list-style-type: none"> 1回の起動で1データ転送 転送回数：1~65,536 リピート転送モード <ul style="list-style-type: none"> 1回の起動で1データ転送 リピートサイズ分データ転送後、初期状態を回復し、動作を継続 転送回数：1~256 ブロック転送モード <ul style="list-style-type: none"> 1回の起動で1ブロックのデータを転送 転送回数：1~65,536 	ノーマルモード <ul style="list-style-type: none"> 1回の起動で1データ転送 転送回数：1~65,536 リピートモード <ul style="list-style-type: none"> 1回の起動で1データ転送 リピートサイズ分データ転送後、初期状態を回復し、動作を継続 転送回数：1~256 ブロック転送モード <ul style="list-style-type: none"> 1回の起動で1ブロックのデータを転送 転送回数：1~65,536
チェーン転送	1回の起動で複数のデータ転送が可能 チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能	
シーケンス転送	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 <ul style="list-style-type: none"> シーケンス転送の起動要因は同時に1つのみ選択可能 シーケンスは、1つの起動要因に対し最大256通り・転送要求によって最初に転送されたデータがシーケンスを決定 シーケンスは、1回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能 	機能なし
転送元アドレスと転送先アドレス	転送元アドレスと転送先アドレスのデータ転送後の動作を、インクリメント、デクリメント、アドレス固定にそれぞれ設定可能	
転送空間	ショートアドレスモードのとき 16Mバイト (“0000 0000h”~“007F FFFFh”と“FF80 0000h”~“FFFF FFFFh”のうち、予約領域以外の領域) フルアドレスモードのとき 4Gバイト (“0000 0000h”~“FFFF FFFFh”のうち、予約領域以外の領域)	16Mバイトのアドレス空間を直接指定可能 (“H'0000 0000”~“H'00FF FFFF”)
データ転送単位	1データ	1バイト、1ワード、1ロングワード
	1ブロック	1~256データ

項目	RX	H8S
起動要因	127 要因 (割り込み要求) (注1)	52 要因 (ソフトウェアトリガ、 割り込み要求)
転送チャンネル	割り込み要因に対応するチャンネルの 転送が可能 (ICU からの DTC 転送要求で転送)	任意のチャンネル数の転送が可能
CPU 割り込み要求	DTC を起動した割り込みで CPU への割り込み要求を発生可能	ソフトウェア起動の場合、転送後に ソフトウェア起動データ転送終了割 り込み要求を CPU に対して発生可 能 割り込み起動の場合、DTC を起動し た割り込み要求を CPU に対して発 生可能
イベントリンク機能	1 回のデータ転送後(ブロックの場合 は1ブロック転送後)、イベントリ ンク要求を発生	機能なし
リードスキップ	転送情報のリードスキップを指定可 能	機能なし
ライトバックスキップ	転送元アドレス固定の場合、または 転送先アドレス固定の場合、ライト バックスキップを実行可能	機能なし
ライトバックディスエーブル	転送情報のライトバックを実行しな い設定が可能	機能なし
ディスプレイースメント加算	転送元アドレスにディスプレイースメ ントを加算可能(転送情報ごとに選 択)	機能なし
消費電力低減機能	モジュールストップモードの設定可能	

注 1. RX では、ソフトウェア割り込みによりソフトウェアでの DTC 起動が可能です。

RX の DTC にはアドレスモードがあり、ショートアドレスモード/フルアドレスモードを選択可能。

ショートアドレスモードの転送空間は、“0000 0000h”～“007F FFFFh”と“0080 0000h”～“FFFF FFFFh”
の 16M バイトのうち、予約領域を除いた領域となります。

フルアドレスモードの転送空間は、“0000 0000h”～“FFFF FFFFh”の 4G バイトのうち、予約領域を除いた
領域となります。

また、RX には転送情報リードスキップ機能、転送情報ライトバックスキップ機能、ライトバックディスエ
ーブル機能、ディスプレイースメント加算機能があります。

転送情報リードスキップ機能は、起動した DTC ベクタ番号と前回起動の DTC ベクタ番号が一致したとき、
ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行う機能です。DTCCR.RRS ビッ
トにより、有効/無効の設定が可能です。

転送情報ライトバックスキップ機能は、転送元アドレス、または転送先アドレスの動作をアドレス固定に
設定した場合に、ライトバック(転送情報を RAM に戻す動作)を一部スキップする機能です。この機能は
常に有効です。転送元アドレスを固定に設定した場合は SAR レジスタ(DTC 転送元レジスタ)、転送先ア
ドレスを固定に設定した場合は DAR レジスタ(DTC 転送先レジスタ)の内容がライトバックスキップされ
ます。

ライトバックディスエーブル機能は、データ転送終了時、転送情報をライトバックするかどうかを選択します。選択した場合、更新された転送情報をライトバックします。

選択しなかった場合、転送後にアドレスがインクリメントされるような設定をしていても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。

ディスプレイスメント加算機能は、転送情報ごとに選択可能で（転送元アドレスとして SAR + DTCDISP の値を使用するかどうか）が選択可能です。

これらの機能の詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

1.2 起動要因

表1.2に、RX と H8S の DTC 起動要因一覧を示します。

表1.2 RX と H8S の DTC 起動要因一覧

RX		H8S	
割り込み要求発生元	起動要因	起動要因発生元	起動要因
ICU	SWINT	ソフトウェア	DTVECR へのライト
	IRQ0	外部端子	IRQ0
	IRQ1		IRQ1
	IRQ2		IRQ2
	IRQ3		IRQ3
	IRQ4		IRQ4
	IRQ5		IRQ5
	IRQ6		IRQ6
	IRQ7		IRQ7
	なし		IRQ8
			IRQ9
		IRQ10	
		IRQ11	
		IRQ12	
		IRQ13	
		IRQ14	
		IRQ15	
S12AD	S12ADI0	A/D	ADI
	GBADI		なし
GPTW0	GTCIA0	TPU_0	TGI0A
	GTCIB0		TGI0B
	GTCIC0		TGI0C
	GTCID0		TGI0D
	GTCIE0		なし
	GTCIF0		なし
	GTCIV0		なし
	GTCIU0		なし
GPTW1	GTCIA1	TPU_1	TGI1A
	GTCIB1		TGI1B
	GTCIC1		なし
	GTCID1		なし
	GTCIE1		なし
	GTCIF1		なし
	GTCIV1		なし
	GTCIU1		なし
GPTW2	GTCIA2	TPU_2	TGI2A
	GTCIB2		TGI2B
	GTCIC2		なし
	GTCID2		なし
	GTCIE2		なし
	GTCIF2		なし
	GTCIV2		なし
	GTCIU2		なし

RX		H8S	
割り込み要求発生元	起動要因	起動要因発生元	起動要因
GPTW3	GTCIA3	TPU_3	TGI3A
	GTCIB3		TGI3B
	GTCIC3		TGI3C
	GTCID3		TGI3D
	GTCIE3		なし
	GTCIF3		なし
	GTCIV3		なし
	GTCIU3		なし
GPTW4	GTCIA4	TPU_4	TGI4A
	GTCIB4		TGI4B
	GTCIC4		なし
	GTCID4		なし
	GTCIE4		なし
	GTCIF4		なし
	GTCIV4		なし
	GTCIU4		なし
GPTW5	GTCIA5	TPU_5	TGI5A
	GTCIB5		TGI5B
	GTCIC5		なし
	GTCID5		なし
	GTCIE5		なし
	GTCIF5		なし
	GTCIV5		なし
	GTCIU5		なし
GPTW6	GTCIA6	なし	
	GTCIB6	なし	
	GTCIC6	なし	
	GTCID6	なし	
	GTCIE6	なし	
	GTCIF6	なし	
	GTCIV6	なし	
	GTCIU6	なし	
GPTW7	GTCIA7	なし	
	GTCIB7	なし	
	GTCIC7	なし	
	GTCID7	なし	
	GTCIE7	なし	
	GTCIF7	なし	
	GTCIV7	なし	
	GTCIU7	なし	
TMR0	CMIA0	TMR_0	CMIA0
	CMIB0		CMIB0
TMR1	CMIA1	TMR_1	CMIA1
	CMIB1		CMIB1
TMR2	CMIA2	なし	
	CMIB2		
TMR3	CMIA3	なし	
	CMIB3		

RX		H8S	
割り込み要求発生元	起動要因	起動要因発生元	起動要因
DMAC	DMAC0I	DMAC	DMTEND0A
	DMAC1I		DMTEND0B
	DMAC2I		DMTEND1A
	DMAC3I		DMTEND1B
RSCI0	RXI	SCI_0	RXI0
	TXI		TXI0
SCI1	RXI1	SCI_1	RXI1
	TXI1		TXI1
SCI5	RXI5	SCI_2	RXI2
	TXI5		TXI2
SCI6	RXI6	SCI_3	RXI3
	TXI6		TXI3
RSCI8	RXI	SCI_4	RXI4
	TXI		TXI4
RSCI9	RXI	なし	
	TXI		
	AED		
SCI12	RXI12		
	TXI12		
CMT0	CMI0		
CMT1	CMI1		
CMT2	CMI2		
CMT3	CMI3		
USB0	D0FIFO0		
	D1FIFO0		
RSPI0	SPRI0		
	SPTI0		
CMPB	CMPB0		
	CMPB1		
CTSU	CTSUWR		
	CTSURD		
ELC	ELSR18I		
	ELSR19I		
CAN FD	RFDREQ0		
	RFDREQ1		
	CFDREQ0		
RSIP	WRRDY0		
	WRRDY2		
	RDRDY0		
	INTEGRATE_RDRDY		
	INTEGRATE_WRRDY		
CMPB	CMPB0		
	CMPB1		
CTSU	CTSUWR		
	CTSURD		
RIIC0	RXI0		
	TXI0		
LPT	LPTCMI1		

1.3 DTC ベクタ構成とレジスタ情報の配置

表1.3に、DTC ベクタテーブルとレジスタ情報のアドレス範囲を示します。

表1.3 DTC ベクタテーブルとレジスタ情報のアドレス範囲

項目	RX	H8S
DTC ベクタテーブル	DTCVBR 設定値 ~DTCVBR 設定値 + 3FFh	H'0400~H'04FF
レジスタ情報	0000 0000h~0001 FFFFh ^(注1) ^(注2)	H'FFBC00~H'FFBFFF ^(注3)

注1. RAM が 128K バイトの製品でのアドレス範囲を示します。RAM 容量は製品により異なります。

詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

注2. ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

注3. レジスタ情報を配置する先頭アドレスは、4 の倍数の番地としてください。

H8S では、DTC ベクタアドレスは固定です。ただし、ソフトウェアトリガを起動要因とする転送では、表1.3に示す範囲で任意に設定することが可能です。DTC ベクタレジスタ (DTVECR) の DTVEC6~0 ビットにより、DTC 起動ベクタ番号を設定でき、DTC ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。H'0400~H'04FE は、ROM 領域です。

RX では、DTC ベクタベースレジスタ (DTCVBR) により、DTC ベクタテーブルのベースアドレスを設定可能です。DTC ベクタアドレスは、DTCVBR レジスタ + 4n (n = ベクタ番号) となります。これにより、DTC ベクタテーブルを任意の領域に配置することが可能です。

図1.1に、RXのDTCベクタ構成を示します。

図1.2に、H8SのDTCベクタ構成を示します。

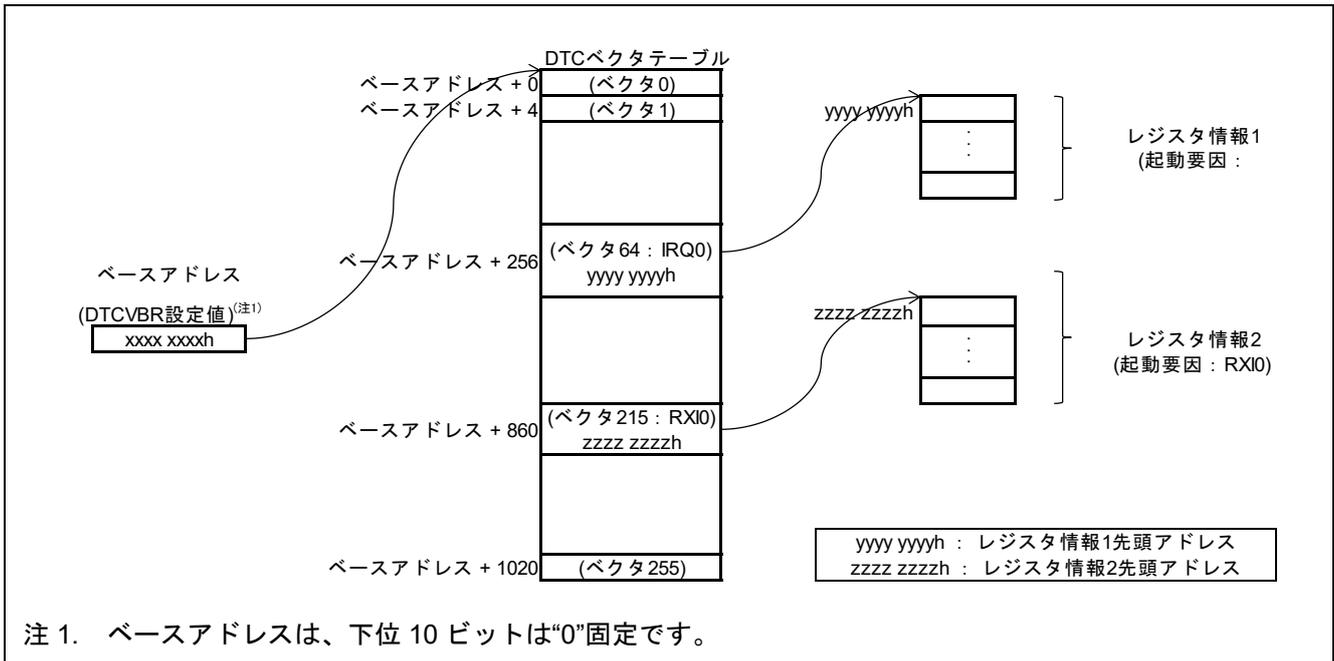


図1.1 RXのDTCベクタ構成

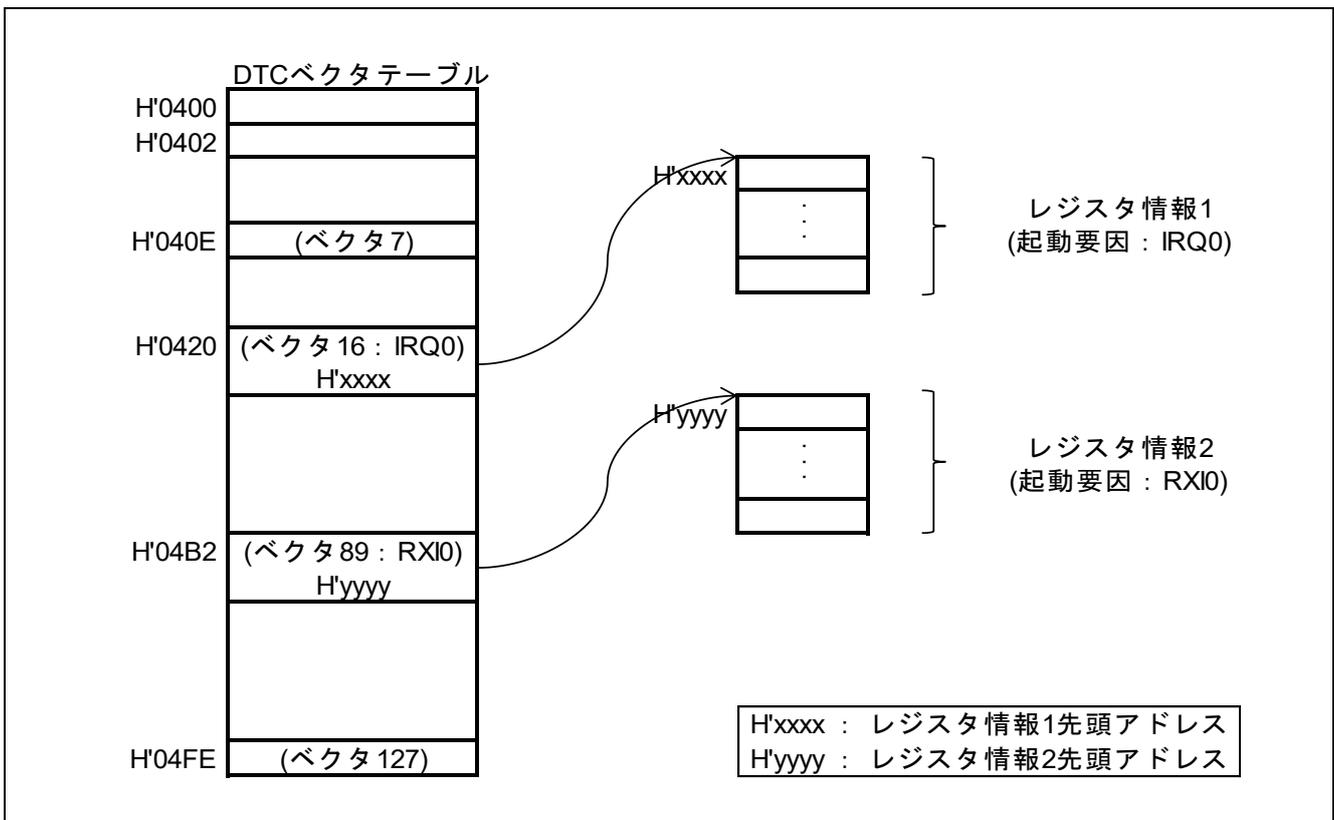


図1.2 H8SのDTCベクタ構成

RXでは、アドレスモードにより、レジスタ情報の配置方法が異なります。

図1.3に、RX（ショートアドレスモード）とH8Sのレジスタ情報の配置方法を示します。

図1.4に、RX（フルアドレスモード）のレジスタ情報の配置を示します。

H8Sのレジスタ情報の配置方法は、RXのショートアドレスモード時のレジスタ情報の配置方法と同じです。チェーン転送の場合は、図1.3、図1.4のように連続した領域にレジスタ情報を配置してください。

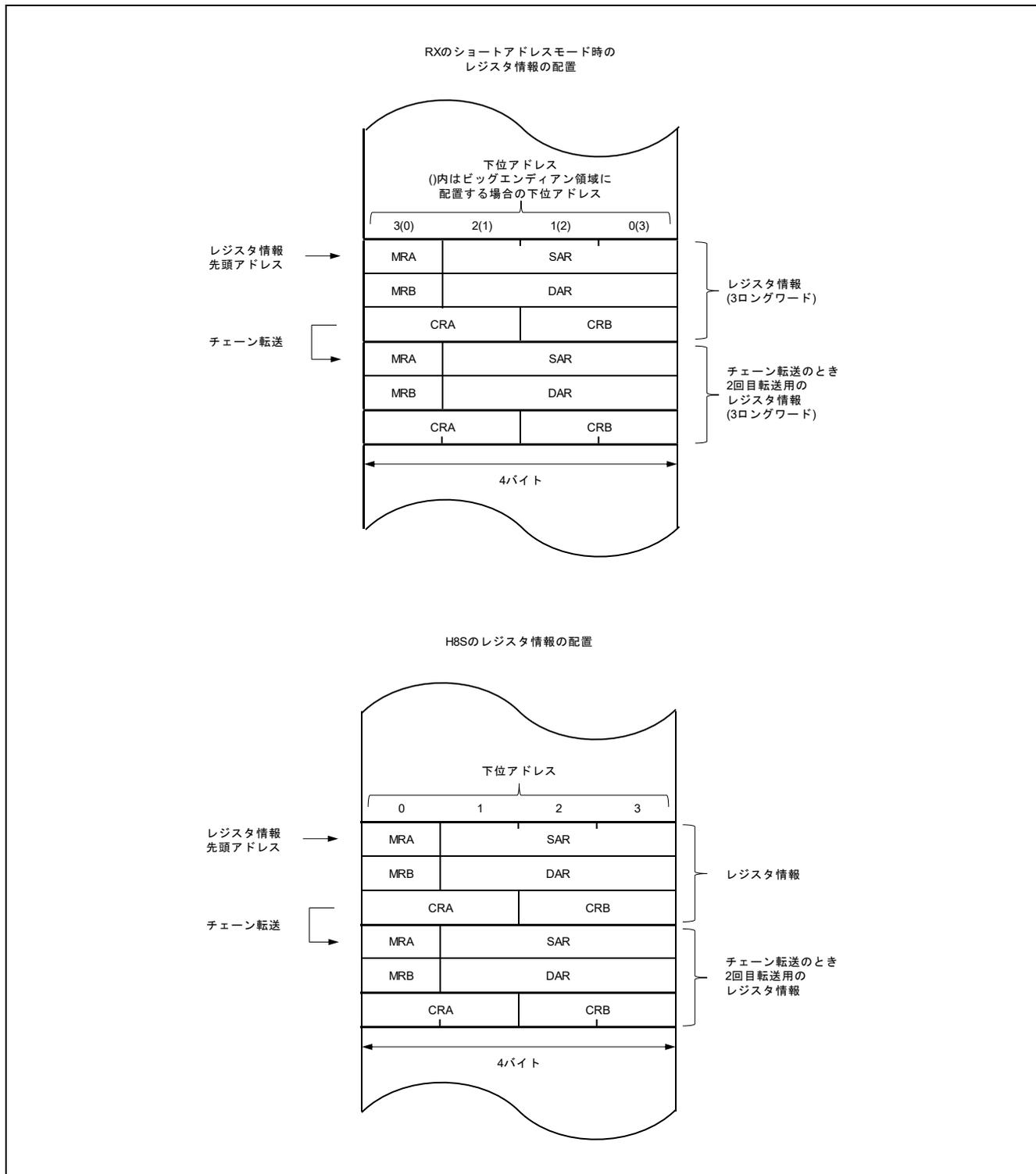


図1.3 RX（ショートアドレスモード）とH8Sのレジスタ情報の配置

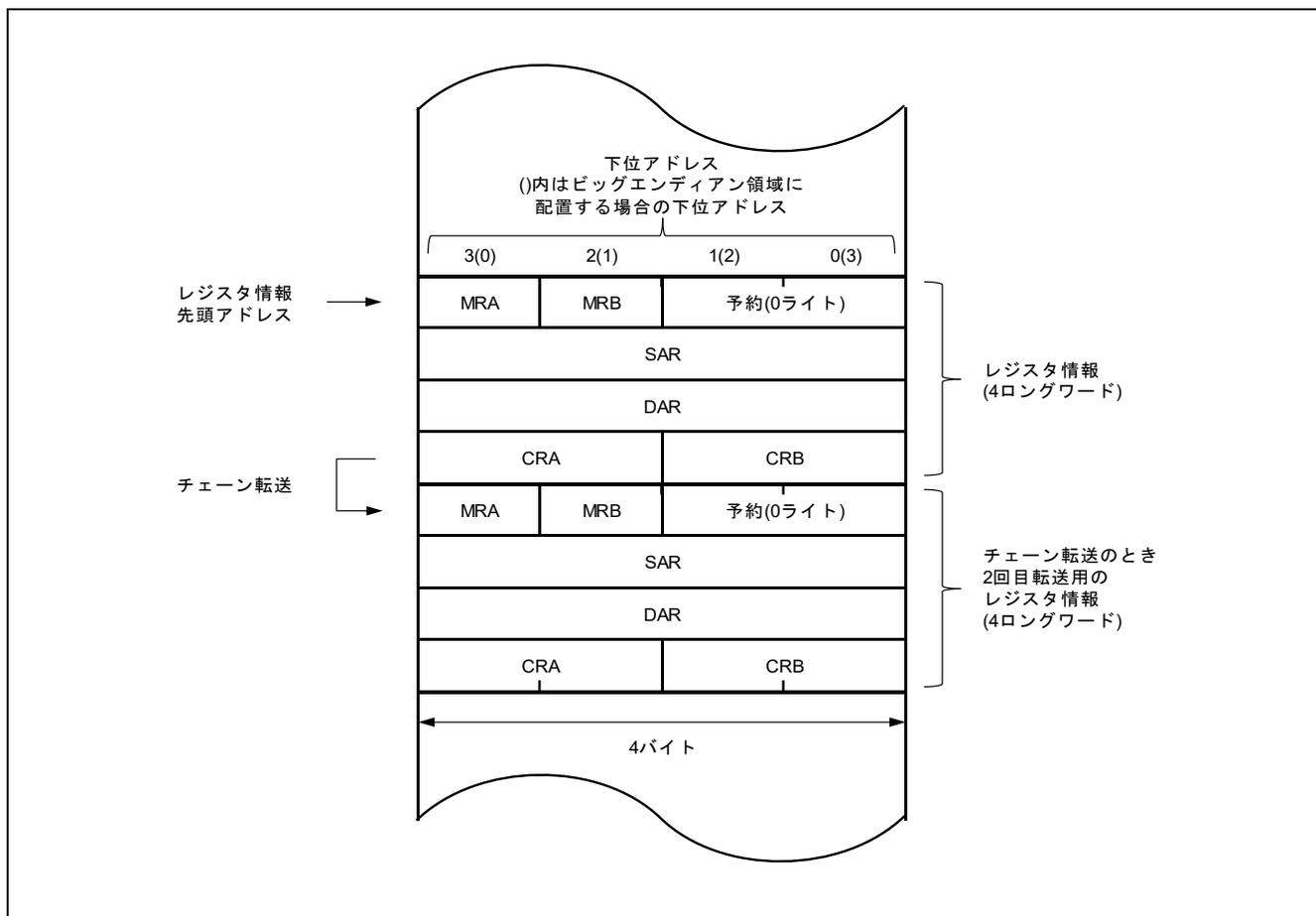


図1.4 RXのレジスタ情報の配置（フルアドレスモード時）

RXでは、レジスタ情報はエンディアンの影響を受けます。H8Sと同じ方法でレジスタ情報を配置する場合は、レジスタ情報を配置する領域のエンディアンをビッグエンディアンに設定してください。

エンディアンの設定は、シングルチップモード時、オプション設定メモリのMDE.MDE[2:0]ビットで設定が可能です。詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

1.4 レジスタ相違点

表1.4に、RXとH8SのDTCレジスタ一覧を示します。

表1.4のレジスタの内、MRA、MRB、SAR、DAR、CRA、CRBはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域にレジスタ情報として配置します。DTCは転送要求が発生すると、RAM領域からレジスタ情報を読み出し、内部レジスタに設定します。データ転送終了後、DTCの内部レジスタはレジスタ情報としてRAM領域に書き戻されます。

表1.4 RXとH8SのDTCレジスタ一覧

RX	H8S
DTC モードレジスタ A (MRA)	DTC モードレジスタ A (MRA)
DTC モードレジスタ B (MRB)	DTC モードレジスタ B (MRB)
DTC 転送元レジスタ (SAR)	DTC ソースアドレスレジスタ (SAR)
DTC 転送先レジスタ (DAR)	DTC デスティネーションアドレスレジスタ (DAR)
DTC 転送カウントレジスタ A (CRA)	DTC 転送カウントレジスタ A (CRA)
DTC 転送カウントレジスタ B (CRB)	DTC 転送カウントレジスタ B (CRB)
DTC 起動許可レジスタ n (DTCERn) (n=割り込みベクタ番号) (注1)	DTC イネーブルレジスタ A~H (DTCERA~DTCERH)
ソフトウェア割り込み起動レジスタ (SWINTR) (注1)	なし
なし	DTC ベクタレジスタ (DTVECR)
DTC ベクタベースレジスタ (DTCVBR)	なし
DTC コントロールレジスタ (DTCCR)	
DTC アドレスモードレジスタ (DTCBDMOD)	
DTC モジュール起動レジスタ (DTCST)	
DTC ステータスレジスタ (DTCSTS)	
DTC モードレジスタ C (MRC)	
DTC インデックステーブルベースレジスタ (DTCIBR)	
DTC オペレーションレジスタ (DTCOR)	
DTC シーケンス転送許可レジスタ (DTCSEQE)	
DTC アドレスディスプレイメントレジスタ (DTCDISP)	

注1. 割り込みコントローラのレジスタです。

表1.5に、レジスタ・ビット機能の対応を示します。H8Sにあるレジスタ・ビットが、RXのどのレジスタ・ビットに対応しているかを示します。

表1.5 レジスタ・ビット機能の対応

RX		H8S		機能
レジスタ	ビット	レジスタ	ビット	
MRA	SM[1:0]	MRA	SM1、0	データ転送後の転送元アドレスの動作を指定
MRB	DM[1:0]		DM1、0	データ転送後の転送先アドレスの動作を指定
MRA	MD[1:0]		MD1、0	DTC 転送モード選択
MRB	DTS		DTS	リピート領域/ブロック領域の設定
MRA	SZ[1:0]		Sz	転送データサイズの指定
MRB	CHNE	MRB	CHNE	チェーン転送イネーブル
	DISEL		DISEL	CPU への割り込み発生条件の設定
	CHNS		CHNS	チェーン転送条件の設定
SAR		SAR		転送元アドレス
DAR		DAR		転送先アドレス
CRA		CRA		データ転送の転送回数の保持および転送回数カウンタ
CRB		CRB		ブロック転送時の転送回数カウンタ
DTCER _n (注1)	DTCE	DTCERA~H	DTCE7~0	DTC 起動イネーブル
SWINTR (注1)	SWINT	DTVECR	SWDTE	ソフトウェアトリガによるDTC 転送開始
なし			DTVEC6~0	DTCソフトウェア起動ベクタ番号の設定

注1. 割り込みコントローラのレジスタです。

表1.6に、RXとH8Sのレジスタ・ビット機能の相違点を示します。RXのみにあるレジスタ・ビット機能についても説明します。

表1.6 RXとH8Sのレジスタ・ビット機能の相違点

RX			H8S		
レジスタ	ビット	機能	レジスタ	ビット	機能
MRA	SM[1:0]	転送元アドレスアドレッシングモードビット 0X : SAR はアドレス固定 (SARのライトバックはスキップされる) 10 : 転送後 SAR をインクリメント (SZ[1:0]="00b"のとき+1、SZ[1:0]="01b"のとき+2、SZ[1:0]="10b"のとき+4) 11 : 転送後 SAR をデクリメント (SZ[1:0]="00b"のとき-1、SZ[1:0]="01b"のとき-2、SZ[1:0]="10b"のとき-4)	MRA	SM1、0	ソースアドレスモード 1、0 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
MRB	DM[1:0]	転送先アドレスアドレッシングモードビット 0X : DAR はアドレス固定 (DARのライトバックはスキップされる) 10 : 転送後 DAR をインクリメント (SZ[1:0]="00b"のとき+1、SZ[1:0]="01b"のとき+2、SZ[1:0]="10b"のとき+4) 11 : 転送後 DAR をデクリメント (SZ[1:0]="00b"のとき-1、SZ[1:0]="01b"のとき-2、SZ[1:0]="10b"のとき-4)		DM1、0	デスティネーションアドレスモード 1、0 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
MRA	MD[1:0]	DTC 転送モード選択ビット 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定禁止		MD1、0	DTC モード 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
MRB	DTS	DTC 転送モード選択モード 0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域		DTS	DTC 転送モードセレクト 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
MRA	SZ[1:0]	DTC データ転送サイズビット 00 : バイト (8 ビット) 転送 01 : ワード (16 ビット) 転送 10 : ロングワード (32 ビット) 転送 11 : 設定禁止		Sz	DTC データ転送サイズ 0 : バイトサイズ転送 1 : ワードサイズ転送

RX			H8S		
レジスタ	ビット	機能	レジスタ	ビット	機能
MRB	CHNE	DTC チェーン転送許可ビット 0: チェーン転送禁止 1: チェーン転送許可	MRB	CHNE	DTC チェーン転送イネーブル 0: チェーン転送を行わない 1: チェーン転送を行う
	DISEL	DTC 割り込み選択ビット 0: 指定されたデータ転送終了時、CPU への割り込みが発生 1: DTC データ転送のたびに、CPU への割り込みが発生		DISEL	DTC インタラプトセレクト 0: 指定されたデータ転送終了時、CPU に対して割り込み要求が発生 1: DTC 転送のたびに、CPU に対して割り込み要求が発生
	CHNS	DTC チェーン転送選択ビット 0: 連続したチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったとき、チェーン転送を行う		CHNS	チェーン転送セレクト 0: 連続してチェーン転送を行う 1: 転送カウンタ=0 のときのみチェーン転送を行う
SAR		転送元の開始アドレスを指定する 32 ビットレジスタ フルアドレスモードでは 32 ビットが有効。 ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行う。	SAR		転送元アドレスを指定する 24 ビットレジスタ ワードサイズの場合は、偶数アドレスを指定してください。
DAR		転送先アドレスを指定する 32 ビットレジスタ フルアドレスモードでは 32 ビットが有効。 ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行う。	DAR		転送先アドレスを指定する 24 ビットレジスタ ワードサイズの場合は、偶数アドレスを指定してください。

RX			H8S		
レジスタ	ビット	機能	レジスタ	ビット	機能
CRA		<p>データ転送の転送回数を指定する 16 ビットレジスタ ノーマル転送モード 16 ビットの転送カウンタ (1~65,536) として機能。 1 回データ転送を行うごとにデクリメント (-1) され、カウンタ値が“0000h”になると転送を終了する。 リピート転送モード CRAH (上位 8 ビット) は転送回数を保持し、CRAL (下位 8 ビット) は 8 ビットの転送カウンタ (1~256) として機能。 CRAL は 1 回データ転送を行うたびにデクリメント (-1) され、“00h”になると CRAH の値が転送される。 ブロック転送モード CRAH (上位 8 ビット) はブロックサイズを保持し、CRAL (下位 8 ビット) は 8 ビットのブロックサイズカウンタ (1~256) として機能。 CRAL は 1 回データ転送を行うたびにデクリメント (-1) され、“00h”になると CRAH の値が転送される。</p>	CRA		<p>データ転送の転送回数を指定する 16 ビットレジスタ ノーマルモード 16 ビットの転送カウンタ (1~65,536) として機能。 1 回データ転送を行うたびにデクリメント (-1) され、カウンタ値が“H'0000”になると転送を終了する。 リピートモードおよびブロック転送モード CRAH (上位 8 ビット) は転送回数を保持し、CRAL (下位 8 ビット) は 8 ビットの転送カウンタ (1~256) として機能。 CRAL は 1 回データ転送を行うたびにデクリメント (-1) され、カウンタ値が“H'00”になると CRAH の内容が転送される。</p>
CRB		<p>ブロック転送モードのとき ブロック転送回数を指定する 16 ビットレジスタ 16 ビットの転送カウンタ (1~65,536) として機能。 1 ブロックサイズの最終データ転送時にデクリメント (-1) され、カウンタ値が“0000h”になると転送を終了する。 ノーマル転送モードおよびリピート転送モードでは使用しない。</p>	CRB		<p>ブロック転送モードのとき ブロック転送回数を指定する 16 ビットレジスタ 16 ビットの転送カウンタ (1~65,536) として機能。 1 回データ転送を行うたびにデクリメント (-1) され、カウンタ値が“H'0000”になると転送を終了する。 ノーマルモードおよびリピートモードでは使用しない。</p>
DTCERN (n=割り込みベクタ番号)	DTCE	<p>DTC 起動許可ビット “1”に設定すると、対応する割り込み要因が DTC 起動要因として選択される。 [クリア条件] <ul style="list-style-type: none"> 指定された回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき) DTCE ビットに“0”を書いたとき </p>	DTCERA~ DTCERH	DTCE 7~0 (注1)	<p>DTC 起動イネーブル “1”をセットすると、対応する割り込み要因が DTC 起動要因として選択される。 [クリア条件] <ul style="list-style-type: none"> MRB の DIESEL ビットが “1” でデータ転送を終了したとき 指定した回数の転送が終了したとき (チェーン転送の場合は、連続した最後の転送終了時) DTCE=1 の状態でリードした後、DTCE に “0” をライトしたとき </p>

RX			H8S		
レジスタ	ビット	機能	レジスタ	ビット	機能
SWINTR	SWINT	ソフトウェア割り込み起動ビット “1”を設定すると、割り込み要求レジスタ 027 (IR027) が“1”にセットされる。 DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を設定すると CPU への割り込みが発生する。 DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を設定すると DTC 起動要求が発生する。 “1”のみライト可能。	DTVECR	SWDTE	DTC ソフトウェア起動イネーブル “1”をセットすると DTC が起動する。 [クリア条件] <ul style="list-style-type: none"> ● DIESEL ビットが“0”で、指定した回数の転送が終了しないとき ● CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生した後、“0”をライトしたとき
なし			DTVECR	DTVEC 6~0	DTC ソフトウェア起動ベクタ 6~0 ソフトウェアによる DTC 起動ベクタ番号を設定 ベクタアドレスは、H'0400 + ベクタ番号 × 2 となる。 例えば、DTVEC6~0 = H'10 のとき、ベクタアドレスは H'0420 となる。 SWDTE=0 のときだけライト可能。
DTCVBR		DTC ベクタテーブルアドレス算出時のベースアドレスを設定する 32 ビットレジスタ 上位 4 ビット (b31~b28) への書き込みは無視され、b27 の値が拡張されて設定される。 下位 10 ビット (b9~b0) は予約ビットで、値は“0”固定。設定する場合は、“0”を設定してください。 “0000 0000h”~ “07FF FC00h”、および “F800 0000h”~“FFFF FC00h” の範囲で、1K バイト単位で設定可能。	なし		
DTCCR	RRS	DTC 転送情報リードスキップ許可ビット 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う			
DTCBDMOD	SHORT	ショートアドレスモード設定ビット 0: フルアドレスモード 1: ショートアドレスモード			

RX			H8S		
レジスタ	ビット	機能	レジスタ	ビット	機能
DTCST	DTCST	DTC モジュール起動ビット 0 : DTC モジュール停止 1 : DTC モジュール動作 DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。	なし		
DTCSTS	ACT	DTC アクティブフラグ DTC の転送動作状態を示す。 [セット条件] ● 転送要求に対して DTC が起動したとき [クリア条件] ● 1 回の転送要求に対する DTC 動作が終了したとき			
	VECN[7:0]	DTC アクティブベクタ番号 モニタビット DTC 転送動作中に、その転送の起動要因をベクタ番号で示す。 DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] ビットの値は有効値を示している。 DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] ビットの値は無効値を示している。			
MRA	WBDIS	ライトバックディスエーブル ビット 0 : データ転送終了時、転送情報をライトバックする 1 : データ転送終了時、転送情報をライトバックしない			
MRB	SQEND	シーケンス転送終了ビット 0 : シーケンス転送を継続 1 : シーケンス転送を終了			
MRB	INDX	インデックステーブル参照ビット 0 : インデックステーブルを参照しない 1 : 転送したデータを元にインデックステーブルを参照する(注2)			

注1. DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

注2. INDX ビットを“1”にする場合、MRA.MD[1:0] ビットを“00b” (ノーマル転送モード) にしてください。

2. 使用する周辺機能

表2.1に、DTC の動作例に対して使用する周辺機能およびモードを示します。

表2.1 DTC の動作例に対して使用する周辺機能およびモード

No.	RX		H8S		動作例	
	周辺機能	モード	周辺機能	モード	モード	参照
1	DTCb	ノーマル転送モード	DTC	ノーマルモード	ノーマルモード	3.1
2		リピート転送モード		リピートモード	リピートモード	3.2
3		ブロック転送モード		ブロック転送モード	ブロック転送モード	3.3
4		チェーン転送		チェーン転送	チェーン転送	3.4

3. 動作の相違点

DTC は、RAM に格納したレジスタ情報を元に転送を行います。DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。次に DTC ベクタが示すレジスタ情報格納アドレスからレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を RAM に戻します。

RX、H8S とともにノーマル転送、リピート転送、ブロック転送が可能です。また、MRB.CHNE ビットを“1”に設定しておくことにより、1 回の起動で複数の転送を行うことができます（チェーン転送）。チェーン転送は、MRB.CHNS ビットにより条件の選択が可能です。

DTC 転送を行う場合には、レジスタ情報と DTC ベクタアドレスを準備する必要があります。

図3.1と図3.2に、本章の説明で使用する、レジスタ情報のメモリマップと構造体を示します。

図3.1に、RX のレジスタ情報のメモリマップと構造体を示します。

図3.2に、H8S のレジスタ情報のメモリマップと構造体を示します。

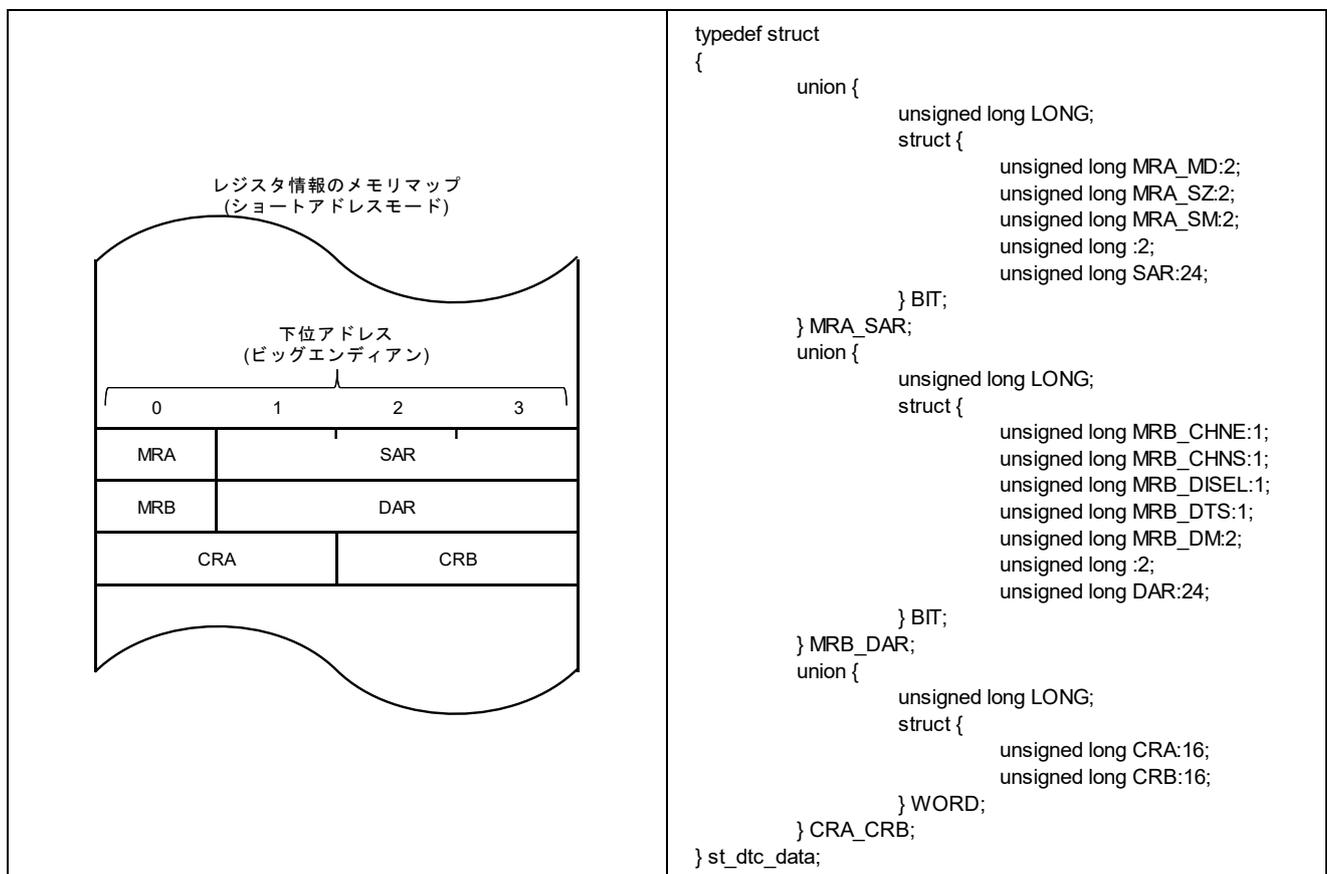


図3.1 RX のレジスタ情報のメモリマップと構造体

図3.1では、アドレスモードは、ショートアドレスモード、エンディアンはビッグエンディアンとし、構造体内のビット・フィールド型メンバの並び順は上位ビットから割り付けています。これらの設定は開発環境により設定を行って下さい。

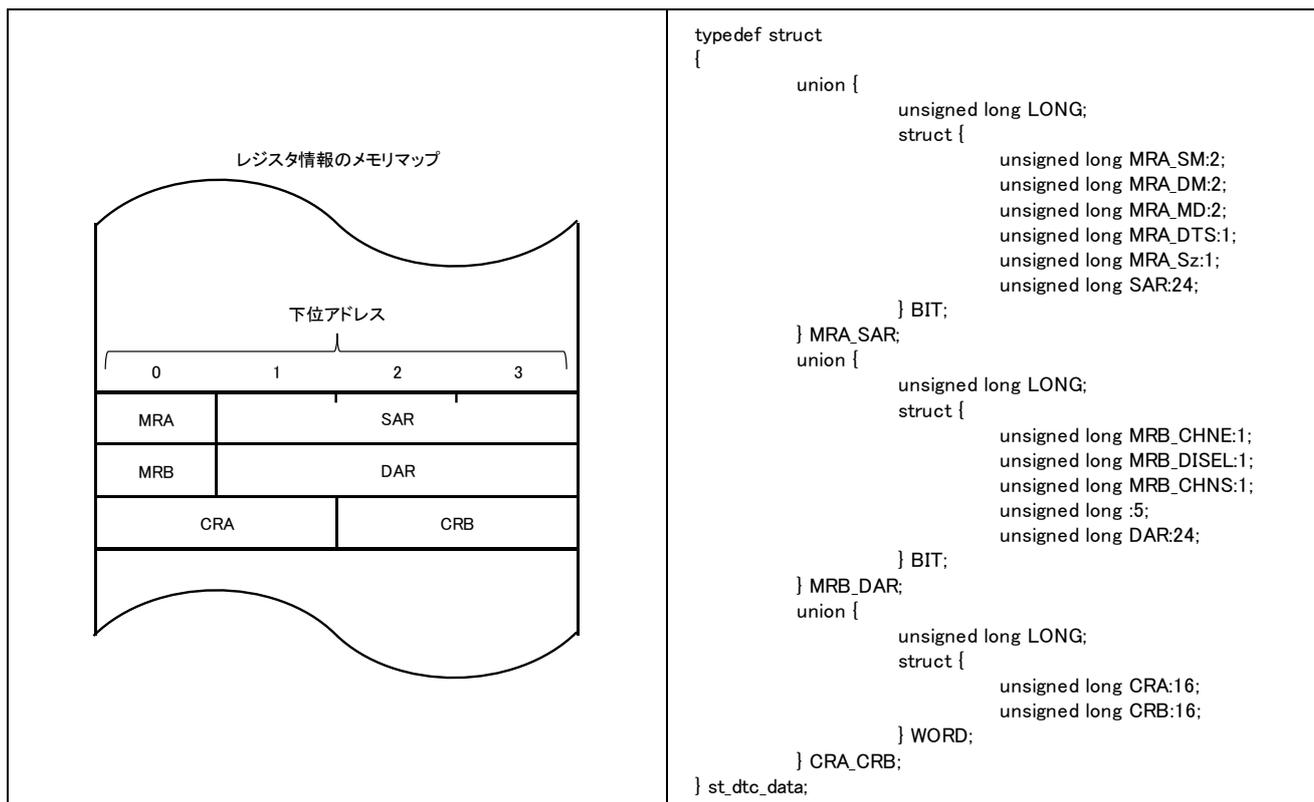


図3.2 H8S のレジスタ情報のメモリマップと構造体

レジスタ情報と DTC ベクタアドレスの設定手順については、各転送モードの設定手順の相違点の節を参照してください。

3.1 ノーマルモード動作

表3.1に、RXのノーマル転送モードとH8Sのノーマルモードの仕様を示します。

表3.1 RXのノーマル転送モードとH8Sのノーマルモードの仕様

項目	RX (ノーマル転送モード)	H8S (ノーマルモード)
動作	1回の起動で1データ転送	
1回の起動で転送可能なデータサイズ	1バイト 1ワード 1ロングワード	1バイト 1ワード
メモリアドレスの増減	1、2または4増減 あるいはアドレス固定	1または2増減 あるいはアドレス固定
指定可能な転送回数	1~65,536回	
CPUへの割り込み要求	指定回数の転送が終了したとき、CPUへの割り込み要求の発生が可能 DTCデータ転送のたびに、CPUへの割り込み要求の発生が可能	

表3.2に、RXとH8Sのノーマル転送のレジスタ機能を示します。

表3.2 RXとH8Sのノーマル転送のレジスタ機能

レジスタ	機能	1データ転送後の動作
SAR	転送元アドレス	インクリメント/デクリメント/固定 ^(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 ^(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新されない ^(注2)

注1. RXではアドレス固定の場合、転送情報ライトバックスキップ機能により、ライトバックはスキップされます。

注2. CRBレジスタは、ノーマル転送では使用しません。ブロック転送のときのみ使用します。

表3.3に、ノーマルモード動作の条件を示します。

以降のノーマルモード動作の説明では、「表3.3 ノーマルモード動作の条件」に示す動作時の動作、設定手順について説明します。

表3.3 ノーマルモード動作の条件

項目	RX	H8S
転送モード	ノーマル転送モード	ノーマルモード
チェーン転送	しない	
アドレスモード	ショートアドレスモード	なし
起動要因	割り込みコントローラ (ICU) のソフトウェア割り込み (SWINT)	ソフトウェア
DTC ベクタベースアドレス	0000 FC00h	なし
DTC ソフトウェア起動ベクタアドレス	0000 FC6Ch ^(注1)	H'0400
レジスタ情報先頭アドレス	0000 FBF4h	H'FFBC00
転送元アドレス	0000 1000h	H'FF4000
転送先アドレス	0000 1010h	H'FF4010
転送元アドレスの動作	アドレスインクリメント	
転送先アドレスの動作	アドレスインクリメント	
転送データサイズ	1 バイト	
転送回数	16 回	
CPU への割り込み要求発生条件	指定した回数のデータ転送終了時に CPU への割り込み要求を発生	
転送情報リードスキップ機能	使用しない	機能なし

注1. RX では、DTC ソフトウェア起動ベクタアドレスは、DTC ベクタベースアドレスに対し固定です。

3.1.1 動作説明

図3.3に、RXのノーマル転送モード動作のタイミング図を示します。

表3.4に、RXのノーマル転送モード動作の説明を示します。

図3.3中の番号は、表3.4中の番号に対応しています。

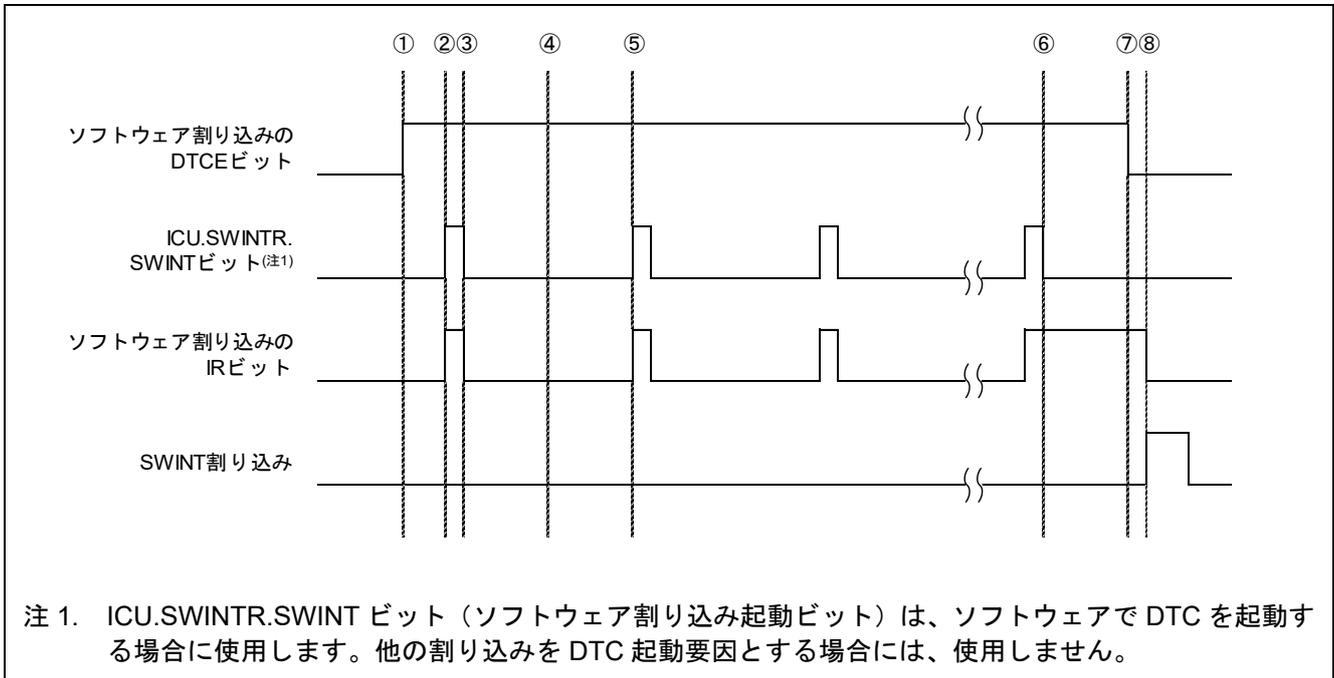


図3.3 RXのノーマル転送モード動作タイミング

表3.4 RXのノーマル転送モード動作の説明

項目	RX
① 起動要因の選択	ソフトウェア割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	ICU.SWINTR.SWINT ビットに“1”を設定すると、ソフトウェア割り込みの IR ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示す転送情報格納アドレスから転送情報をリードして、データ転送を開始します。
③ 指定回数未満のデータ転送開始	DTC はデータ転送前に、指定した回数の転送が終了するかを判定します。 指定した回数未満 (CRA レジスタの値が“1”以外) の転送の場合、IR ビットはデータ転送開始時に“0”にクリアされます。
④ 1 回の転送終了	1 回のデータ転送が終了すると、CRA レジスタ (転送カウンタ A) がデクリメント (-1) されます。 また、転送情報が RAM にライトバックされます。 指定回数未満の転送の場合、DTCE ビットは“1”に保持されます。 この時、CPU への割り込み要求は発生しません。
⑤ DTC 起動	継続してソフトウェアにより DTC を起動する場合は、再度 ICU.SWINTR.SWINT ビットに“1”を設定してください。
⑥ 指定回数のデータ転送開始	指定した回数の転送を開始する場合は、IR ビットは“1”に保持されます。
⑦ 指定した回数の転送終了	指定した回数の転送が終了した場合、DTCE ビットは“0”にクリアされます。 また、CPU にソフトウェア割り込み要求が発生します。
⑧ IR ビットクリア	CPU に割り込み要求が受け付けられると、IR ビットは“0”クリアされます。

図3.4に、H8S のノーマルモード動作のタイミング図を示します。

表3.5に、H8S のノーマルモード動作の説明を示します。

図3.4中の番号は、表3.5中の番号に対応しています。

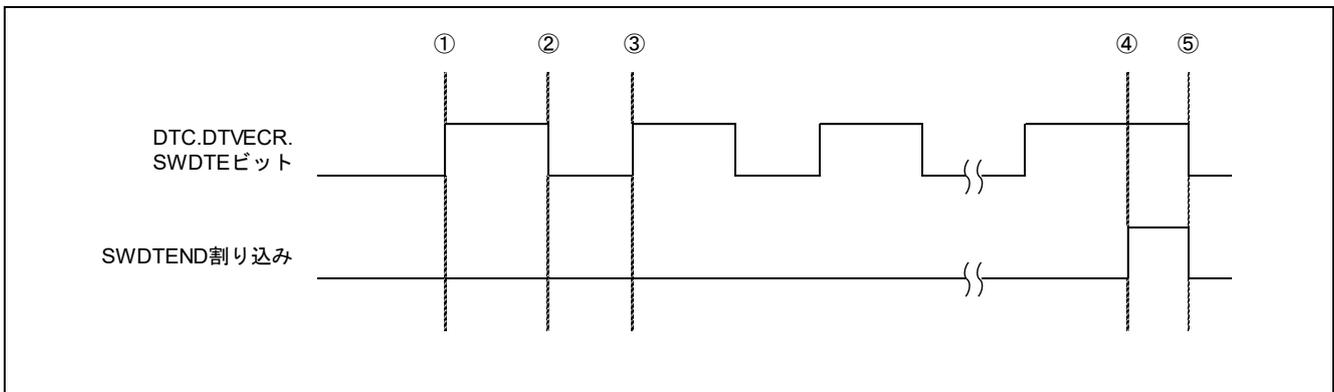


図3.4 H8S のノーマルモード動作タイミング

表3.5 H8S のノーマルモード動作の説明

項目	H8S
① DTC 起動	DTC.DTVECR.SWDTE ビットに“1”を設定すると、DTC ソフトウェア起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。次に DTC ベクタが示すレジスタ情報格納アドレスからレジスタ情報をリードして、データ転送を開始します。
② 1 回の転送終了	1 回のデータ転送が終了すると、CRA レジスタ（転送カウンタ A）がデクリメント (-1) されます。 また、レジスタ情報が RAM に戻されます。 その後、DTC は指定した回数の転送が終了したかを判定します。指定した回数の転送が終了していない（CRA レジスタの値が“0”以外の）場合、DTC.DTVECR.SWDTE ビットは“0”にクリアされます。 この時、CPU への割り込み要求は発生しません。
③ DTC 起動	継続してソフトウェアにより DTC を起動する場合は、再度 DTC.DTVECR.SWDTE ビットに“1”を設定してください。
④ 指定した回数の転送終了	指定した回数の転送が終了した場合、DTC.DTVECR.SWDTE ビットは“1”に保持されます。 また、CPU にソフトウェア起動データ転送終了割り込み要求が発生します。
⑤ SWDTE ビットクリア	ソフトウェア起動データ転送終了割り込み処理で、DTC.DTVECR.SWDTE ビットを“0”にクリアします。

3.1.2 設定手順の相違点

表3.6に、ノーマルモード動作時の初期設定手順の相違点を示します。なお、RX と H8S では、割り込みコントローラのアーキテクチャが異なります。詳細は、「5. 割り込みの相違点」を参照してください。

表3.6 ノーマルモード動作時の初期設定手順の相違点

手順	RX	H8S
1 レジスタ情報を格納する構造体変数の宣言	#pragma address dtc_data0 = 0x0000FBF4 st_dtc_data dtc_data0;	#pragma section Dtc_reg_info st_dtc_data dtc_data0; #pragma section
2 DTC ベクタアドレスを格納する変数の宣言 (注1)	#pragma address dtc_vector27 = 0x0000FC6C unsigned long dtc_vector27;	#pragma section Dtc_vect_SW const unsigned int vector_sw = {0xBC00}; #pragma section
3 DTC ベクタアドレスに、レジスタ情報の先頭アドレスを設定 (注1)	dtc_vector27 = (unsigned long)&dtc_data0;	
4 モジュールストップ状態を解除 (注2)	SYSTEM.PRCR.WORD = 0xA502; MSTP(DTC) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._DTC = 0;
5 転送禁止	DTCE(ICU, SWINT) = 0; DTC.DTCST.BIT.DTCST = 0;	DTC.DTVECR.BIT.SWDTE = 0;
6 割り込み禁止	IEN(ICU, SWINT) = 0;	set_imask_ccr(1);
7 RRS ビットをクリア (注3)	DTC.DTCCR.BIT.RRS = 0;	処理なし
8 DTC アドレスモードの設定	DTC.DTCBDMOD.BIT.SHORT = 1;	処理なし
9 レジスタ情報の設定 (MRA、MRB、SAR、DAR、CRA レジスタ)	dtc_data0.MRA_SAR.BIT.MRA_MD = 0; dtc_data0.MRA_SAR.BIT.MRA_SM = 2; dtc_data0.MRB_DAR.BIT.MRB_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_SZ = 0; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0.MRA_SAR.BIT.SAR = 0x00001000; dtc_data0.MRB_DAR.BIT.DAR = 0x00001010; dtc_data0.CRA_CRB.WORD.CRA = 16;	dtc_data0.MRA_SAR.BIT.MRA_MD = 0; dtc_data0.MRA_SAR.BIT.MRA_SM = 2; dtc_data0.MRA_SAR.BIT.MRA_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_Sz = 0; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0.MRA_SAR.BIT.SAR = 0xFF4000; dtc_data0.MRB_DAR.BIT.DAR = 0xFF4010; dtc_data0.CRA_CRB.WORD.CRA = 16;
10 DTC ベクタベースアドレスの設定	DTC.DTCVBR = (void *)0x0000FC00;	処理なし
11 起動要因の選択	DTCE(ICU, SWINT) = 1;	処理なし
12 割り込み制御モードの設定	処理なし	INTC.INTCR.BIT.INTM = 2;
13 割り込み優先レベルの設定	IPR(ICU, SWINT) = 0x01;	INTC.IPRE.BIT._DTC = 1;
14 割り込み要求をクリア	IR(ICU, SWINT) = 0;	処理なし
15 割り込み要求を許可	IEN(ICU, SWINT) = 1;	処理なし
16 プロセッサ割り込み優先レベル設定	処理なし	set_imask_exr(0);
17 マスカブル割り込み許可	setpsw_i();	処理なし

手順		RX	H8S
18	DTC 転送中でないことを確認	処理なし	<pre>while(1) { if(DTC.DTVECR.BIT.SWDTE == 0) {</pre>
19	DTC 起動	<pre>ICU.SWINTR.BIT.SWINT = 1; DTC.DTCST.BIT.DTCST = 1;</pre>	<pre>DTC.DTVECR.BYTE = 0x80;</pre>
20	ベクタ番号の確認	処理なし	<pre>if(DTC.DTVECR.BYTE == 0x80) { break; } }</pre>

注 1. DTC ベクタテーブルを RAM に配置する場合の設定手順を示します。

注 2. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 3. DTCCR.RRS ビットを“0”にすることで、転送情報リードスキップに対するフラグがリセットされます。“0”にした後、DTC を起動したときは、転送情報リードスキップは行われません。転送情報を更新したときは、この設定を行ってください。

3.2 リピートモード動作

表3.7に、RXのリピート転送モードとH8Sのリピートモードの仕様を示します。

表3.7 RXのリピート転送モードとH8Sのリピートモードの仕様

項目	RX (リピート転送モード)	H8S (リピートモード)
動作	1回の起動で1データ転送 リピートサイズ分データ転送後、初期状態を回復し、動作を継続	
1回の起動で転送可能なデータサイズ	1バイト 1ワード 1ロングワード	1バイト 1ワード
メモリアドレスの増減	1、2または4増減 あるいはアドレス固定	1または2増減 あるいはアドレス固定
指定可能な転送回数	1~256回	
CPUへの割り込み要求 (注1)	DTCデータ転送のたびに、CPUへの割り込み要求の発生が可能	

注1. リピート転送では、転送カウンタが“0”にならないため、指定回数の転送終了時にCPUへの割り込み要求は発生しません。

表3.8に、RXとH8Sのリピート転送のレジスタ機能を示します。

表3.8 RXとH8Sのリピート転送のレジスタ機能

レジスタ	機能	1データ転送後の動作		
		転送カウンタが “1”以外	転送カウンタが“1”	
			転送先がリピート領域	転送元がリピート領域
SAR	転送元アドレス	インクリメント/デクリメント/固定 ^(注1)	インクリメント/デクリメント/固定 ^(注1)	SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 ^(注1)	DARレジスタの初期値	インクリメント/デクリメント/固定 ^(注1)
CRAH	転送カウンタ保持	CRAH	CRAH	
CRAL	転送カウンタA	CRAL - 1	CRAH	
CRB	転送カウンタB	更新されない ^(注2)		

注1. RXではアドレス固定の場合、転送情報ライトバックスキップ機能により、ライトバックはスキップされます。

注2. CRBレジスタは、リピート転送では使用しません。ブロック転送のときのみ使用します。

表3.9に、リピートモード動作の条件を示します。

以降のリピートモード動作の説明では、「表3.9 リピートモード動作の条件」に示す動作時の動作、設定手順について説明します。

表3.9 リピートモード動作の条件

項目	RX	H8S
転送モード	リピート転送モード	リピートモード
チェーン転送	しない	
アドレスモード	ショートアドレスモード	なし
起動要因	シリアルコミュニケーションインタフェースのチャンネル5 (SCI5) の受信データフル割り込み (RXI5)	シリアルコミュニケーションインタフェースのチャンネル1 (SCI_1) の受信データフル割り込み (RXI1)
DTC ベクタベースアドレス	0000 FC00h	なし
DTC ベクタアドレス	0000 FF7Ch	H'04BA
レジスタ情報先頭アドレス	0000 FBF4h	H'FFBC00
転送元アドレス	0008 A0A5h	H'FFFF85
転送先アドレス	0000 1000h	H'FF4000
転送元アドレスの動作	アドレス固定	
転送先アドレスの動作	アドレスインクリメント	
リピート領域	転送先	
転送データサイズ	1 バイト	
転送回数	16 回	
CPU への割り込み要求発生条件	DTC 転送のたびに CPU への割り込み要求を発生	
転送情報リードスキップ機能	使用しない	機能なし

3.2.1 動作説明

図3.5に、RXのリポート転送モード動作のタイミング図を示します。

表3.10に、RXのリポート転送モード動作の説明を示します。

図3.5中の番号は、表3.10中の番号に対応しています。

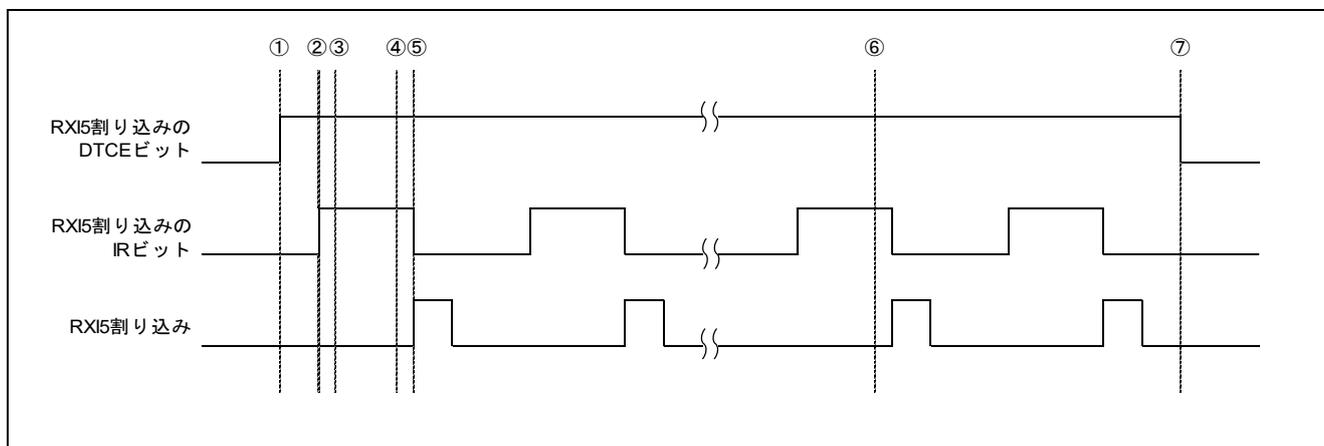


図3.5 RXのリポート転送モード動作タイミング

表3.10 RXのリポート転送モード動作の説明

項目	RX
① 起動要因の選択	RX15 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	SCI5 がデータを受信すると、RX15 割り込みの IR ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示す転送情報格納アドレスから転送情報をリードして、データ転送を開始します。
③ DISEL=1 のデータ転送開始	DTC は、データ転送前に MRB.DISEL ビットの値を判定します。 DISEL ビットが“1” (DTC 転送のために CPU への割り込み要求が発生) のデータ転送の場合、IR ビットはデータ転送開始時に“0”にクリアされず、“1”に保持されます。
④ 1 回の転送終了	1 回のデータ転送が終了すると、CRAL レジスタ (転送カウンタ A) がデクリメント (-1) されます。 また、転送情報が RAM にライトバックされます。 リポート転送の場合、DTCE ビットは“1”に保持されます。 また、CPU への割り込み要求が発生します。
⑤ IR ビットクリア	CPU に割り込み要求が受け付けられると、IR ビットは“0”クリアされます。
⑧ 指定した回数の転送終了	指定した回数のデータ転送終了後、リポート領域に設定した方のアドレスレジスタが初期状態を回復します。 また、CARH レジスタ (転送カウンタ保持) の値が CRAL レジスタ (転送カウンタ A) に転送され、繰り返し転送を行います。
⑨ DTC 転送終了	DTC 転送を終了する場合、RX15 割り込みの DTCE ビットに“0”を設定してください。

図3.6に、H8Sのリポートモード動作のタイミング図を示します。

表3.11に、H8Sのリポートモード動作の説明を示します。

図3.6中の番号は、表3.11中の番号に対応しています。

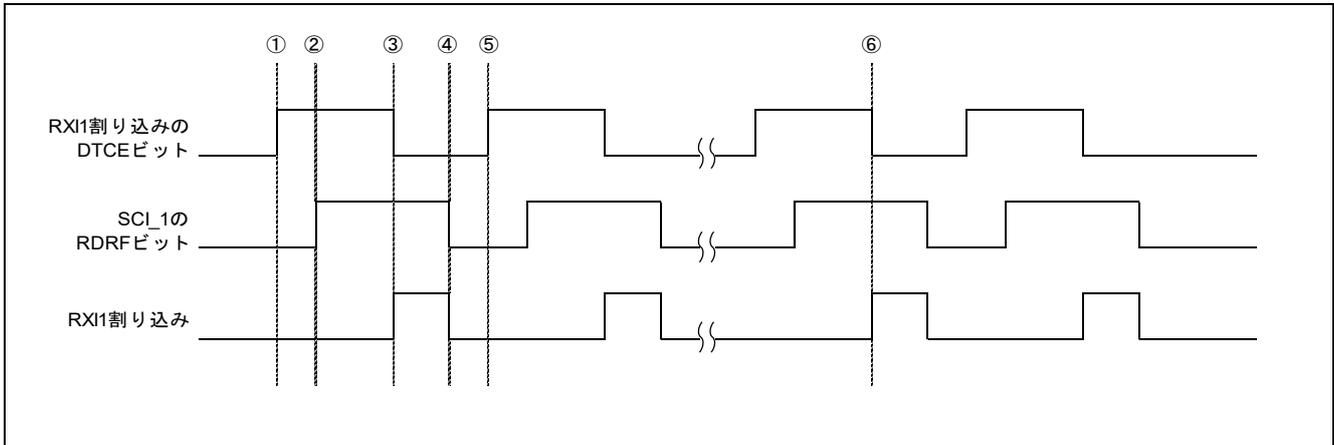


図3.6 H8Sのリポートモード動作タイミング

表3.11 H8Sのリポートモード動作の説明

項目	H8S
① 起動要因の選択	RXI1 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	SCI_1 がデータを受信すると、SCI_1 の RDRF ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。次に DTC ベクタが示すレジスタ情報格納アドレスからレジスタ情報をリードして、データ転送を開始します。
③ 1 回の転送終了	1 回のデータ転送が終了すると、CRAL レジスタ（転送カウンタ A）がデクリメント（-1）されます。 また、レジスタ情報が RAM に戻されます。 その後、DTC は MRB.DISEL ビットの値を判定します。 DISEL ビットが“1”（DTC 転送のたびに CPU への割り込み要求が発生）のデータ転送の場合、転送終了時に DTCE ビットは“0”にクリアされます。 また、RDRF ビットは“1”に保持され、CPU への割り込み要求が発生します。
④ RDRF ビットクリア	RXI1 割り込み処理で、RDRF ビットを“0”にクリアします。
⑤ DTC 起動	継続して RXI1 割り込みにより DTC を起動する場合は、再度 RXI 割り込みの DTCE ビットに“1”を設定してください。
⑥ 指定した回数の転送終了	指定した回数のデータ転送終了後、リポート領域に設定した方のアドレスレジスタが初期状態を回復します。 また、CRAH レジスタ（転送カウンタ保持）の値が CRAL レジスタ（転送カウンタ A）に転送され、繰り返し転送を行います。

3.2.2 設定手順の相違点

表3.12に、リピーモード動作時の初期設定手順の相違点を示します。なお、RXとH8Sでは、割り込みコントローラのアーキテクチャが異なります。詳細は、「5. 割り込みの相違点」を参照してください。

表3.12 リピーモード動作時の初期設定手順の相違点

手順	RX	H8S
1 シリアル通信の設定	シリアルコミュニケーションインタフェース (SCI5) の設定を行います。	シリアルコミュニケーションインタフェース (SCI_1) の設定を行います。
2 レジスタ情報を格納する構造体変数の宣言	<pre>#pragma address dtc_data0 = 0x0000FBF4 st_dtc_data dtc_data0;</pre>	<pre>#pragma section Dtc_reg_info st_dtc_data dtc_data0; #pragma section</pre>
3 DTCベクタアドレスを格納する変数の宣言 ^(注1)	<pre>#pragma address dtc_vector223 = 0x0000FF7C unsigned long dtc_vector223;</pre>	<pre>#pragma section Dtc_vect_RXI1 const unsigned int vector_rxi1 = {0xBC00}; #pragma section</pre>
4 DTCベクタアドレスに、レジスタ情報の先頭アドレスを設定 ^(注1)	<pre>dtc_vector223 = (unsigned long)&dtc_data0;</pre>	
5 モジュールストップ状態を解除 ^(注2)	<pre>SYSTEM.PRCR.WORD = 0xA502; MSTP(DTC) = 0; SYSTEM.PRCR.WORD = 0xA500;</pre>	<pre>MSTPCR.BIT._DTC = 0;</pre>
6 転送禁止	<pre>DTCE(SCI5, RXI5) = 0; DTC.DTCST.BIT.DTCST = 0;</pre>	<pre>DTC.DTCEF.BIT.RXI1 = 0;</pre>
7 割り込み禁止	<pre>IEN(SCI5, RXI5) = 0; IEN(SCI5, ERI5) = 0;</pre>	<pre>set_imask_ccr(1);</pre>
8 RRSビットをクリア ^(注3)	<pre>DTC.DTCCR.BIT.RRS = 0;</pre>	処理なし
9 DTCアドレスモードの設定	<pre>DTC.DTCBDMOD.BIT.SHORT = 1;</pre>	処理なし
10 レジスタ情報の設定 (MRA、MRB、SAR、DAR、CRA レジスタ)	<pre>dtc_data0.MRA_SAR.BIT.MRA_MD = 1; dtc_data0.MRB_DAR.BIT.MRB_DTS = 0; dtc_data0.MRA_SAR.BIT.MRA_SM = 0; dtc_data0.MRB_DAR.BIT.MRB_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_SZ = 0; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 1; dtc_data0.MRA_SAR.BIT.SAR = 0x0008A0A5; dtc_data0.MRB_DAR.BIT.DAR = 0x00001000; dtc_data0.CRA_CRB.WORD.CRA = 0x1010;</pre>	<pre>dtc_data0.MRA_SAR.BIT.MRA_MD = 1; dtc_data0.MRA_SAR.BIT.MRA_DTS = 0; dtc_data0.MRA_SAR.BIT.MRA_SM = 0; dtc_data0.MRA_SAR.BIT.MRA_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_Sz = 0; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 1; dtc_data0.MRA_SAR.BIT.SAR = 0xFFFF85; dtc_data0.MRB_DAR.BIT.DAR = 0xFF4000; dtc_data0.CRA_CRB.WORD.CRA = 0x1010;</pre>
11 DTCベクタベースアドレスの設定	<pre>DTC.DTCVBR = (void *)0x0000FC00;</pre>	処理なし
12 DTC起動許可	<pre>DTCE(SCI5, RXI5) = 1; DTC.DTCST.BIT.DTCST = 1;</pre>	<pre>DTC.DTCEF.BIT.RXI1 = 1;</pre>
13 割り込み制御モードの設定	処理なし	<pre>INTC.INTCR.BIT.INTM = 2;</pre>
14 割り込み優先レベルの設定	<pre>IPR(SCI5, RXI5) = 0x01; IPR(SCI5, ERI5) = 0x01;</pre>	<pre>INTC.IPRJ.BIT._SCI1 = 1;</pre>

手順		RX	H8S
15	周辺機能割り込み要求をクリア	SCI5.SSR.BYTE &= 0x87;	SCI1.SSR.BYTE &= 0x87;
16	割り込み要求をクリア	IR(SCI5, RXI5) = 0;	処理なし
17	割り込み要求を許可	IEN(SCI5, RXI5) = 1; IEN(SCI5, ERI5) = 1;	処理なし
18	プロセッサ割り込み優先レベル設定	処理なし	set_imask_exr(0);
19	マスカブル割り込み許可	setpsw_i();	処理なし
20	シリアル受信割り込み許可	SCI5.SCR.BIT.RIE = 1;	SCI1.SCR.BIT.RIE = 1;
21	シリアル通信受信許可	SCI5.SCR.BIT.RE = 1;	SCI1.SCR.BIT.RE = 1;

注 1. DTC ベクタテーブルを RAM に配置する場合の設定手順を示します。

注 2. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 3. DTCCR.RRS ビットを“0”にすることで、転送情報リードスキップに対するフラグがリセットされません。“0”にした後、DTC を起動したときは、転送情報リードスキップは行われません。転送情報を更新したときは、この設定を行ってください。

3.3 ブロック転送モード動作

表3.13に、RXのブロック転送モードとH8Sのブロック転送モードの仕様を示します。

表3.13 RXのブロック転送モードとH8Sのブロック転送モードの仕様

項目	RX (ブロック転送モード)	H8S (ブロック転送モード)
動作	1回の起動で1ブロックのデータを転送	
1回の起動で転送可能なデータサイズ	1~256 バイト 1~256 ワード 1~256 ロングワード	1~256 バイト 1~256 ワード
メモリアドレスの増減	1、2 または 4 増減 あるいはアドレス固定	1 または 2 増減 あるいはアドレス固定
指定可能な転送回数	1~65,536 回	
CPU への割り込み要求	指定回数の転送が終了したとき、CPU への割り込み要求の発生が可能 DTC データ転送のたびに、CPU への割り込み要求の発生が可能	

表3.14に、RXとH8Sのブロック転送のレジスタ機能を示します。

表3.14 RXとH8Sのブロック転送のレジスタ機能

レジスタ	機能	1ブロック転送後の動作	
		転送先がブロック領域	転送元がブロック領域
SAR	転送元アドレス	インクリメント/デクリメント/ 固定 ^(注1)	SAR レジスタの初期値
DAR	転送先アドレス	DAR レジスタの初期値	インクリメント/デクリメント/ 固定 ^(注1)
CRAH	ブロックサイズ保持	CRAH	
CRAL	ブロックサイズ カウンタ	CRAH	
CRB	ブロック転送回数 カウンタ	CRB - 1	

注 1. RX ではアドレス固定の場合、転送情報ライトバックスキップ機能により、ライトバックはスキップされます。

表3.15に、ブロック転送モード動作の条件を示します。

以降のブロック転送モード動作の説明では、「表3.15 ブロック転送モード動作の条件」に示す動作時の動作、設定手順について説明します。

表3.15 ブロック転送モード動作の条件

項目	RX	H8S
転送モード	ブロック転送モード	
チェーン転送	しない	
アドレスモード	ショートアドレスモード	なし
起動要因	12ビットA/Dコンバータ (S12ADE)のスキャン終了割り込み (S12ADI0)	A/D変換器の A/D変換終了割り込み(ADI)
DTCベクタベースアドレス	0000 FC00h	なし
DTCベクタアドレス	0000 FD98h	H'044C
レジスタ情報先頭アドレス	0000 FBF4h	H'FFBC00
転送元アドレス	0008 9020h	H'FFFF90
転送先アドレス	0000 1000h	H'FF4000
転送元アドレスの動作	アドレスインクリメント	
転送先アドレスの動作	アドレスインクリメント	
ブロック領域	転送元	
転送データサイズ	3ワード	
転送回数	8回	
CPUへの割り込み要求発生条件	指定回数の転送が終了したとき、CPUへの割り込み要求を発生	
転送情報リードスキップ機能	使用しない	機能なし

3.3.1 動作説明

図3.7に、RXのブロック転送モード動作のタイミング図を示します。

表3.16に、RXのブロック転送モード動作の説明を示します。

図3.7中の番号は、表3.16中の番号に対応しています。

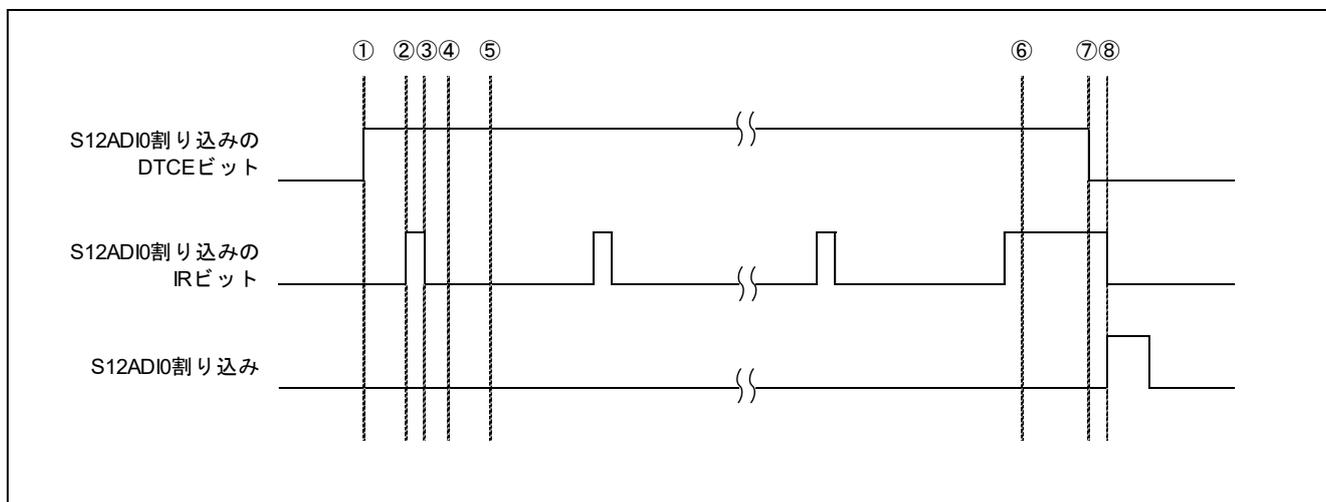


図3.7 RXのブロック転送モード動作タイミング

表3.16 RXのブロック転送モード動作の説明

項目	RX
① 起動要因の選択	S12AD10 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	S12ADE が A/D 変換を終了すると、S12AD10 割り込みの IR ビットが“1”になり、DTC 起動要求が発生します。DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示す転送情報格納アドレスから転送情報をリードして、データ転送を開始します。
③ 指定回数未満のデータ転送開始	DTC はデータ転送前に、指定した回数の転送が終了するかを判定します。指定した回数未満（CRB レジスタの値が“1”以外）の転送の場合、IR ビットはデータ転送開始時に“0”にクリアされます。
④ 1 データの転送終了	1 データの転送が終了すると、CRAL レジスタ（ブロックサイズカウンタ）の値がデクリメント (-1) されます。
⑤ 1 ブロックの転送終了	1 ブロックのデータ転送が終了すると、CRB レジスタ（ブロック転送回数カウンタ）がデクリメント (-1) されます。 また、転送情報が RAM にライトバックされます。 指定した回数未満の転送の場合、DTCE ビットは“1”に保持されます。 この時、CPU への割り込み要求は発生しません。
⑥ 指定回数のデータ転送開始	指定した回数の転送を開始する場合は、IR ビットは“1”に保持されます。
⑦ 指定した回数の転送終了	指定した回数の転送が終了した場合、DTCE ビットは“0”にクリアされます。 また、CPU に S12AD10 割り込み要求が発生します。
⑧ IR ビットクリア	CPU に割り込み要求が受け付けられると、IR ビットは“0”クリアされます。

図3.8に、H8S のブロック転送モード動作のタイミング図を示します。

表3.17に、H8S のブロック転送モード動作の説明を示します。

図3.8中の番号は、表3.17中の番号に対応しています。

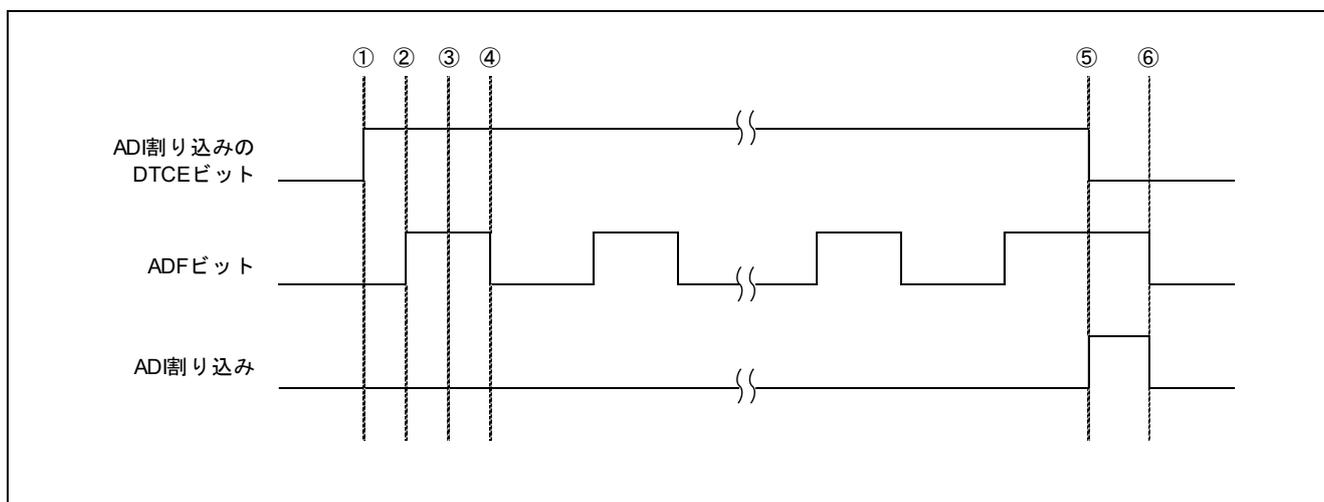


図3.8 H8S のブロック転送モード動作タイミング

表3.17 H8S のブロック転送モード動作の説明

項目	H8S
① 起動要因の選択	ADI 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	A/D 変換器が A/D 変換を終了すると、ADF ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示すレジスタ情報格納アドレスからレジスタ情報をリードして、データ転送を開始します。
③ 1 データの転送終了	1 データの転送が終了すると、CRAL レジスタ（ブロックサイズカウンタ）の値がデクリメント (-1) されます。
④ 1 ブロックの転送終了	1 ブロックのデータ転送が終了すると、CRB レジスタ（ブロック転送回数カウンタ A）がデクリメント (-1) されます。 また、レジスタ情報が RAM に戻されます。 その後、DTC は指定した回数の転送が終了したかを判定します。 指定した回数の転送が終了していない（CRB レジスタの値が“0”以外の）場合、DTCE ビットは“1”に保持され、ADF ビットは“0”クリアされます。 この時、CPU への割り込み要求は発生しません。
⑤ 指定した回数の転送終了	指定した回数の転送が終了した場合、DTCE ビットは“0”クリアされ、ADF ビットは“1”に保持されます。 また、CPU に ADI 割り込み要求が発生します。
⑥ ADF ビットクリア	ADI 割り込み処理で、ADF ビットを“0”にクリアします。

3.3.2 設定手順の相違点

表3.18に、ブロック転送モード動作時の初期設定手順の相違点を示します。なお、RXとH8Sでは、割り込みコントローラのアーキテクチャが異なります。詳細は、「5. 割り込みの相違点」を参照してください。

表3.18 ブロック転送モード動作時の初期設定手順の相違点

手順	RX	H8S
1 A/D変換の設定	12ビットA/Dコンバータ(S12ADE)の設定を行います。	A/D変換器の設定を行います。
2 レジスタ情報を格納する構造体変数の宣言	<pre>#pragma address dtc_data0 = 0x0000FBF4 st_dtc_data dtc_data0;</pre>	<pre>#pragma section Dtc_reg_info st_dtc_data dtc_data0; #pragma section</pre>
3 DTCベクタアドレスを格納する変数の宣言 ^(注1)	<pre>#pragma address dtc_vector102 = 0x0000FD98 unsigned long dtc_vector102;</pre>	<pre>#pragma section Dtc_vect_ADI const unsigned int vector_adi = {0xBC00}; #pragma section</pre>
4 DTCベクタアドレスに、レジスタ情報の先頭アドレスを設定 ^(注1)	<pre>dtc_vector102 = (unsigned long)&dtc_data0;</pre>	
5 モジュールストップ状態を解除 ^(注2)	<pre>SYSTEM.PRCR.WORD = 0xA502; MSTP(DTC) = 0; SYSTEM.PRCR.WORD = 0xA500;</pre>	<pre>MSTPCR.BIT._DTC = 0;</pre>
6 転送禁止	<pre>DTCE(S12AD, S12ADI0) = 0; DTC.DTCST.BIT.DTCST = 0;</pre>	<pre>DTC.DTCEC.BIT.ADI = 0;</pre>
7 割り込み禁止	<pre>IEN(S12AD, S12ADI0) = 0;</pre>	<pre>set_imask_ccr(1);</pre>
8 RRSビットをクリア ^(注3)	<pre>DTC.DTCCR.BIT.RRS = 0;</pre>	処理なし
9 DTCアドレスモードの設定	<pre>DTC.DTCBDMOD.BIT.SHORT = 1;</pre>	処理なし
10 レジスタ情報の設定(MRA、MRB、SAR、DAR、CRA、CRBレジスタ)	<pre>dtc_data0.MRA_SAR.BIT.MRA_MD = 2; dtc_data0.MRB_DAR.BIT.MRB_DTS = 1; dtc_data0.MRA_SAR.BIT.MRA_SM = 2; dtc_data0.MRB_DAR.BIT.MRB_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_SZ = 1; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0.MRA_SAR.BIT.SAR = 0x00089020; dtc_data0.MRB_DAR.BIT.DAR = 0x00001000; dtc_data0.CRA_CRB.WORD.CRA = 0x0303; dtc_data0.CRA_CRB.WORD.CRB = 0x0008;</pre>	<pre>dtc_data0.MRA_SAR.BIT.MRA_MD = 2; dtc_data0.MRA_SAR.BIT.MRA_DTS = 1; dtc_data0.MRA_SAR.BIT.MRA_SM = 2; dtc_data0.MRA_SAR.BIT.MRA_DM = 2; dtc_data0.MRA_SAR.BIT.MRA_Sz = 1; dtc_data0.MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0.MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0.MRA_SAR.BIT.SAR = 0xFFFF90; dtc_data0.MRB_DAR.BIT.DAR = 0xFF4000; dtc_data0.CRA_CRB.WORD.CRA = 0x0303; dtc_data0.CRA_CRB.WORD.CRB = 0x0008;</pre>
11 DTCベクタベースアドレスの設定	<pre>DTC.DTCVBR = (void *)0x0000FC00;</pre>	処理なし
12 DTC起動許可	<pre>DTCE(S12AD, S12ADI0) = 1; DTC.DTCST.BIT.DTCST = 1;</pre>	<pre>DTC.DTCEC.BIT.ADI = 1;</pre>
13 割り込み制御モードの設定	処理なし	<pre>INTC.INTCR.BIT.INTM = 2;</pre>

手順		RX	H8S
14	割り込み優先レベルの設定	IPR(S12AD, S12ADI0) = 0x01;	INTC.IPRF.BIT._AD = 1;
15	周辺機能割り込み要求クリア	処理なし ^(注4)	AD.ADCSR.BIT.ADF = 0;
15	割り込み要求をクリア	IR(S12AD, S12ADI0) = 0;	処理なし
16	割り込み要求を許可	IEN(S12AD, S12ADI0) = 1;	処理なし
17	プロセッサ割り込み優先レベル設定	処理なし	set_imask_exr(0);
18	マスカブル割り込み許可	setpsw_i();	処理なし
19	A/D 変換終了割り込み許可	S12AD.ADCSR.BIT.ADIE = 1;	AD.ADCSR.BIT.ADIE = 1;
20	A/D 変換開始	S12AD.ADCSR.BIT.ADST = 1;	AD.ADCSR.BIT.ADST = 1;

注 1. DTC ベクタテーブルを RAM に配置する場合の設定手順を示します。

注 2. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 3. DTCCR.RRS ビットを“0”にすることで、転送情報リードスキップに対するフラグがリセットされます。“0”にした後、DTC を起動したときは、転送情報リードスキップは行われません。転送情報を更新したときは、この設定を行ってください。

注 4. RX の A/D コンバータには、周辺機能の割り込み要求ビットは存在しません。詳細は、ユーザーズマニュアル ハードウェア編の 12 ビット A/D コンバータ (S12ADE) の章を参照してください。

3.4 チェーン転送

チェーン転送は、1回の起動で複数のデータ転送を行います。

図3.9に、チェーン転送の動作を示します。

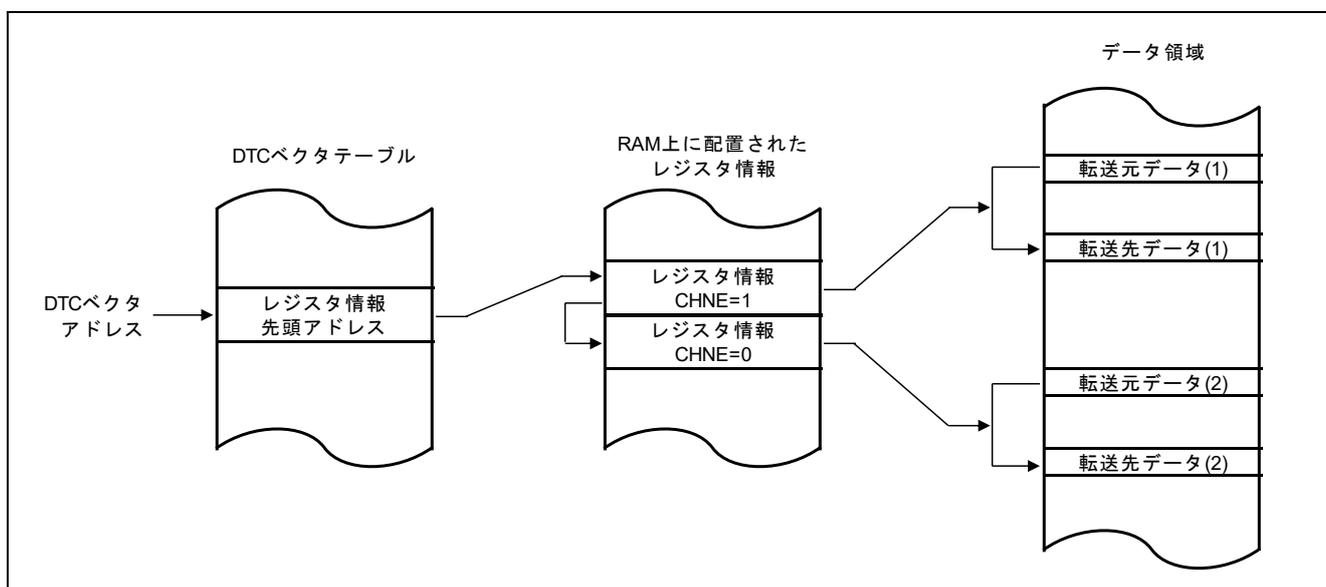


図3.9 チェーン転送の動作

DTCが起動すると、起動要因に対応したDTCベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。MRB.CHNEビットが“1”であれば、データ転送終了後、連続して配置された次のレジスタ情報をリードして転送を行います。この動作をCHNEビットが“0”のレジスタ情報のデータ転送が終了するまで続けます。

MRB.CHNSビットにより、チェーン転送の条件を選択可能です。

表3.19に、MRB.CHNSビットの機能を示します。

表3.19 MRB.CHNSビットの機能

項目		RX	H8S
MRB.CHNS ビット	0	連続してチェーン転送を行う	連続してチェーン転送を行う
	1	転送カウンタが1→0、または1→CRAH となったとき、チェーン転送を行う	転送カウンタ=0のときのみ チェーン転送を行う

MRB.CHNEビットを“1”、MRB.CHNSビットを“0”にした場合は、指定した回数の転送終了およびDISEL=1によるCPUへの割り込み要求は発生しません。

表3.20に、チェーン転送動作の条件を示します。

以降のチェーン転送動作の説明では、「表3.20 チェーン転送動作の条件」に示す動作時の動作、設定手順について説明します。

表3.20 チェーン転送動作の条件

項目		RX	H8S
共通	アドレスモード	ショートアドレスモード	なし
	DTC ベクタベースアドレス	0000 FC00h	なし
	転送情報リードスキップ機能	使用しない	機能なし
第1のデータ転送	転送モード	ノーマル転送モード	ノーマルモード
	チェーン転送	転送カウンタが1→0となったとき、チェーン転送を行う	転送カウンタ=0のときのみチェーン転送を行う
	起動要因	16ビットタイマパルスユニットのチャネル0 (TPU0) のコンペアマッチ割り込み (TG10A)	16ビットタイマパルスユニットのチャネル_0 (TPU_0) のコンペアマッチ割り込み (TG10A)
	DTC ベクタアドレス	0000 FE38h	H'0450
	レジスタ情報先頭アドレス	0000 FBE8h	H'FFBC00
	転送元アドレス	0000 1000h	H'FF4000
	転送先アドレス	0000 1010h	H'FF4010
	転送元アドレスの動作	アドレスインクリメント	
	転送先アドレスの動作	アドレスインクリメント	
	転送データサイズ	1バイト	
	転送回数	16回	
	CPUへの割り込み要求発生条件	指定回数 of 転送が終了したとき、CPUへの割り込み要求を発生	
	第2のデータ転送	転送モード	ブロック転送モード
チェーン転送		しない	
転送元アドレス		0000 1010h	H'FF4010
転送先アドレス		0000 1020h	H'FF4020
転送元アドレスの動作		アドレスインクリメント	
転送先アドレスの動作		アドレスインクリメント	
ブロック領域		転送元	
転送データサイズ		16バイト	
転送回数	1回		

3.4.1 動作説明

図3.10に、RXのチェーン転送動作のタイミング図を示します。

表3.21に、RXのチェーン転送動作の説明を示します。

図3.10中の番号は、表3.21中の番号に対応しています。

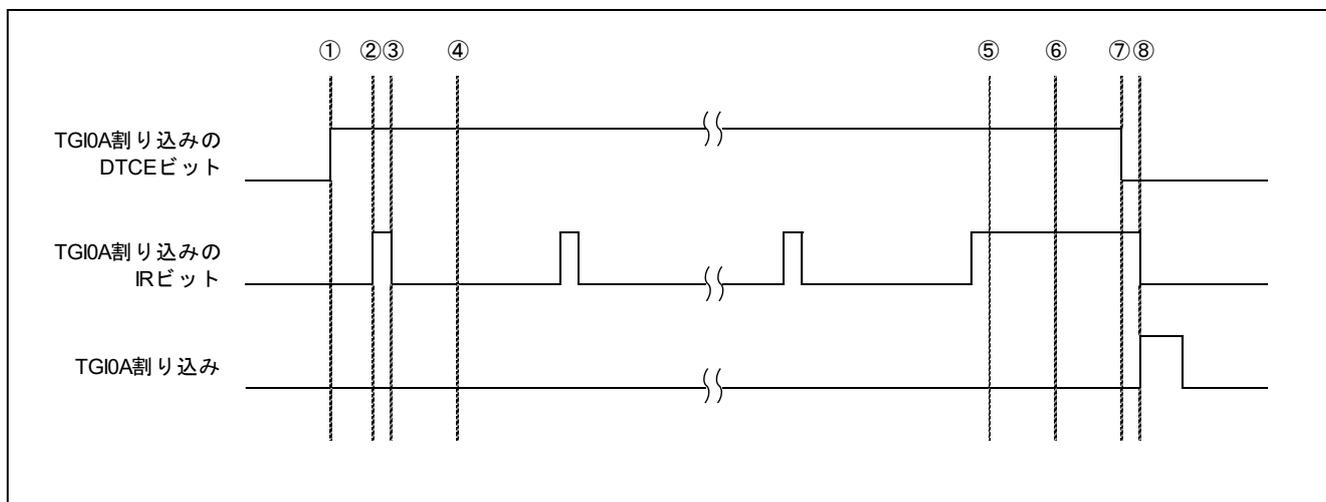


図3.10 RXのチェーン転送動作タイミング

表3.21 RXのチェーン転送動作の説明

項目	RX
① 起動要因の選択	TGIOA 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	TPU0 のコンペアマッチが発生すると、TGIOA 割り込みの IR ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示す転送情報格納アドレスから転送情報をリードして、第 1 のデータ転送を開始します。
③ 指定回数未満のデータ転送開始	DTC はデータ転送前に、指定した回数の転送が終了するかを判定します。 指定した回数未満（CRA レジスタの値が“1”以外）の転送の場合、IR ビットはデータ転送開始時に“0”にクリアされます。
④ 1 回の転送終了	1 回のデータ転送が終了すると、CRA レジスタ（転送カウンタ A）がデクリメント (-1) されます。 また、転送情報が RAM にライトバックされます。 指定回数未満の転送の場合、DTCE ビットは“1”に保持されます。 この時、CPU への割り込み要求は発生しません。
⑤ 指定回数のデータ転送開始	次の転送がチェーン転送の場合、IR ビットは“1”に保持されます。
⑥ 指定した回数の転送終了	次の転送がチェーン転送の場合、DTCE ビットは“1”に保持されます。 この時、CPU への割り込み要求は発生しません。
⑦ 第 2 の転送終了	第 2 の転送が終了すると、DTCE ビットは“0”にクリアされます。 また、CPU に TGIOA 割り込み要求が発生します。
⑧ IR ビットクリア	CPU に割り込み要求が受け付けられると、IR ビットは“0”クリアされます。

図3.11に、H8S のチェーン転送動作のタイミング図を示します。

表3.22に、H8S のチェーン転送動作の説明を示します。

図3.11中の番号は、表3.22中の番号に対応しています。

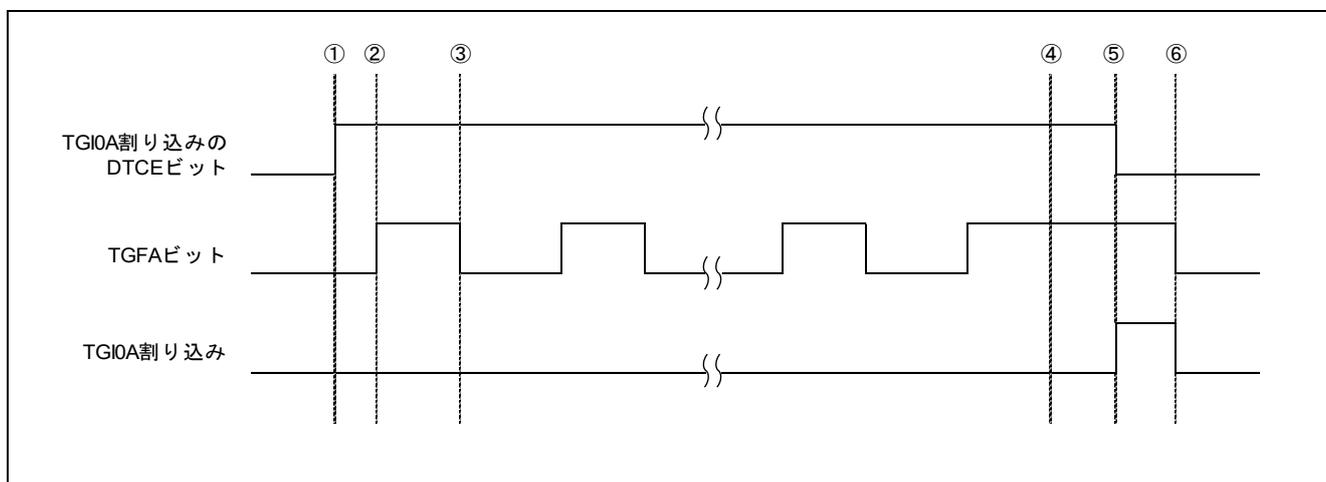


図3.11 H8S のチェーン転送動作タイミング

表3.22 H8S のチェーン転送動作の説明

項目	H8S
① 起動要因の選択	TGIOA 割り込みの DTCE ビットに“1”を設定します。
② DTC 起動	TPU_0 のコンペアマッチが発生すると、TGFA ビットが“1”になり、DTC 起動要求が発生します。 DTC が起動すると、ベクタ番号に対応する DTC ベクタをリードします。 次に DTC ベクタが示すレジスタ情報格納アドレスからレジスタ情報をリードして、第 1 のデータ転送を開始します。
③ 1 回の転送終了	1 回のデータ転送が終了すると、CRA レジスタ（転送カウンタ A）がデクリメント (-1) されます。 また、レジスタ情報が RAM に戻されます。 その後、DTC は指定した回数の転送が終了したかを判定します。 指定した回数の転送が終了していない（CRA レジスタの値が“0”以外の）場合、DTCE ビットは“1”に保持され、TGFA ビットは“0”クリアされます。 この時、CPU への割り込み要求は発生しません。
④ 指定した回数の転送終了	次の転送がチェーン転送の場合、DTCE ビット、TGFA ビットともに“1”に保持されます。 この時、CPU への割り込み要求は発生しません。
⑤ 第 2 の転送終了	第 2 の転送が終了すると、DTCE ビットは“0”にクリアされます。 また、CPU に TGIOA 割り込み要求が発生します。
⑥ ADF ビットクリア	TGIOA 割り込み処理で、TGFA ビットを“0”にクリアします。

3.4.2 設定手順の相違点

表3.23に、チェーン転送動作時の初期設定手順の相違点を示します。なお、RXとH8Sでは、割り込みコントローラのアーキテクチャが異なります。詳細は、「5. 割り込みの相違点」を参照してください。

表3.23 チェーン転送動作時の初期設定手順の相違点

手順		RX	H8S
1	TPUの設定	16ビットタイマパルスユニット (TPU0) の設定を行います。	16ビットタイマパルスユニット (TPU0) の設定を行います。
2	レジスタ情報を格納する構造体変数の宣言	#pragma address dtc_data0 = 0x0000FBE8 st_dtc_data dtc_data0[2];	#pragma section Dtc_reg_info st_dtc_data dtc_data0[2]; #pragma section
3	DTCベクタアドレスを格納する変数の宣言 ^(注1)	#pragma address dtc_vector142 = 0x0000FE38 unsigned long dtc_vector142;	#pragma section Dtc_vect_TGI0A const unsigned int vector_tgi0a = {0xBC00}; #pragma section
4	DTCベクタアドレスに、レジスタ情報の先頭アドレスを設定 ^(注1)	dtc_vector142 = (unsigned long)dtc_data0;	
5	モジュールストップ状態を解除 ^(注2)	SYSTEM.PRCR.WORD = 0xA502; MSTP(DTC) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._DTC = 0;
6	転送禁止	DTCE(TPU0, TGI0A) = 0; DTC.DTCST.BIT.DTCST = 0;	DTC.DTCEC.BIT.TGI0A = 0;
7	割り込み禁止	IEN(TPU0, TGI0A) = 0;	set_imask_ccr(1);
8	RRSビットをクリア ^(注3)	DTC.DTCCR.BIT.RRS = 0;	処理なし
9	DTCアドレスモードの設定	DTC.DTCBDMOD.BIT.SHORT = 1;	処理なし
10	レジスタ情報の設定 (第1の転送) (MRA、MRB、SAR、DAR、CRAレジスタ)	dtc_data0[0].MRA_SAR.BIT.MRA_MD = 0; dtc_data0[0].MRA_SAR.BIT.MRA_SM = 2; dtc_data0[0].MRB_DAR.BIT.MRB_DM = 2; dtc_data0[0].MRA_SAR.BIT.MRA_SZ = 0; dtc_data0[0].MRB_DAR.BIT.MRB_CHNE = 1; dtc_data0[0].MRB_DAR.BIT.MRB_CHNS = 1; dtc_data0[0].MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0[0].MRA_SAR.BIT.SAR = 0x00001000; dtc_data0[0].MRB_DAR.BIT.DAR = 0x00001010; dtc_data0[0].CRA_CRB.WORD.CRA = 16;	dtc_data0[0].MRA_SAR.BIT.MRA_MD = 0; dtc_data0[0].MRA_SAR.BIT.MRA_SM = 2; dtc_data0[0].MRA_SAR.BIT.MRA_DM = 2; dtc_data0[0].MRA_SAR.BIT.MRA_Sz = 0; dtc_data0[0].MRB_DAR.BIT.MRB_CHNE = 1; dtc_data0[0].MRB_DAR.BIT.MRB_CHNS = 1; dtc_data0[0].MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0[0].MRA_SAR.BIT.SAR = 0xFF4000; dtc_data0[0].MRB_DAR.BIT.DAR = 0xFF4010; dtc_data0[0].CRA_CRB.WORD.CRA = 16;
11	レジスタ情報の設定 (第2の転送) (MRA、MRB、SAR、DAR、CRA、CRBレジスタ)	dtc_data0[1].MRA_SAR.BIT.MRA_MD = 2; dtc_data0[1].MRB_DAR.BIT.MRB_DTS = 1; dtc_data0[1].MRA_SAR.BIT.MRA_SM = 2; dtc_data0[1].MRB_DAR.BIT.MRB_DM = 2; dtc_data0[1].MRA_SAR.BIT.MRA_SZ = 0; dtc_data0[1].MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0[1].MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0[1].MRA_SAR.BIT.SAR = 0x00001010; dtc_data0[1].MRB_DAR.BIT.DAR = 0x00001020; dtc_data0[1].CRA_CRB.WORD.CRA=0x1010; dtc_data0[1].CRA_CRB.WORD.CRB=0x0001;	dtc_data0[1].MRA_SAR.BIT.MRA_MD = 2; dtc_data0[1].MRA_SAR.BIT.MRA_DTS = 1; dtc_data0[1].MRA_SAR.BIT.MRA_SM = 2; dtc_data0[1].MRA_SAR.BIT.MRA_DM = 2; dtc_data0[1].MRA_SAR.BIT.MRA_Sz = 0; dtc_data0[1].MRB_DAR.BIT.MRB_CHNE = 0; dtc_data0[1].MRB_DAR.BIT.MRB_DISEL = 0; dtc_data0[1].MRA_SAR.BIT.SAR = 0xFF4010; dtc_data0[1].MRB_DAR.BIT.DAR = 0xFF4020; dtc_data0[1].CRA_CRB.WORD.CRA=0x1010; dtc_data0[1].CRA_CRB.WORD.CRB=0x0001;
12	DTCベクタベースアドレスの設定	DTC.DTCVBR = (void *)0x0000FC00;	処理なし

手順		RX	H8S
13	DTC 起動許可	DTCE(TPU0, TGI0A) = 1; DTC.DTCST.BIT.DTCST = 1;	DTC.DTCEC.BIT.TGI0A = 1;
14	割り込み制御モードの設定	処理なし	INTC.INTCR.BIT.INTM = 2;
15	割り込み優先レベルの設定	IPR(TPU0,TGI0A) = 0x01;	INTC.IPRF.BIT._TPU0 = 1;
16	周辺機能割り込み要求クリア	TPU0.TSR.BIT.TGFA = 0;	TPU0.TSR.BIT.TGFA = 0;
17	割り込み要求をクリア	IR(TPU0,TGI0A) = 0;	処理なし
18	割り込み要求を許可	IEN(TPU0,TGI0A) = 1;	処理なし
19	プロセッサ割り込み優先レベル設定	処理なし	set_imask_exr(0);
20	マスカブル割り込み許可	setpsw_i();	処理なし
21	TGI0A 割り込み許可	TPU0.TIER.BIT.TGIEA = 1;	TPU0.TIER.BIT.TGIEA = 1;
22	TPU0 動作開始	TPU.TSTR.BIT.CST0 = 1;	TPU.TSTR.BIT.CST0 = 1;

注 1. DTC ベクタテーブルを RAM に配置する場合の設定手順を示します。

注 2. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 3. DTCCR.RRS ビットを“0”にすることで、転送情報リードスキップに対するフラグがリセットされます。“0”にした後、DTC を起動したときは、転送情報リードスキップは行われません。転送情報を更新したときは、この設定を行ってください。

4. 動作タイミング・ステート数

ノーマル転送、リポート転送の場合の DTC 動作タイミング例を示します。

実行サイクルの求め方はユーザーズマニュアル ハードウェア編を参照してください。

図4.1に RX の DTC 動作タイミング例（ショートアドレスモードの場合）を示します。

図4.2に H8S の DTC 動作タイミング例を示します。

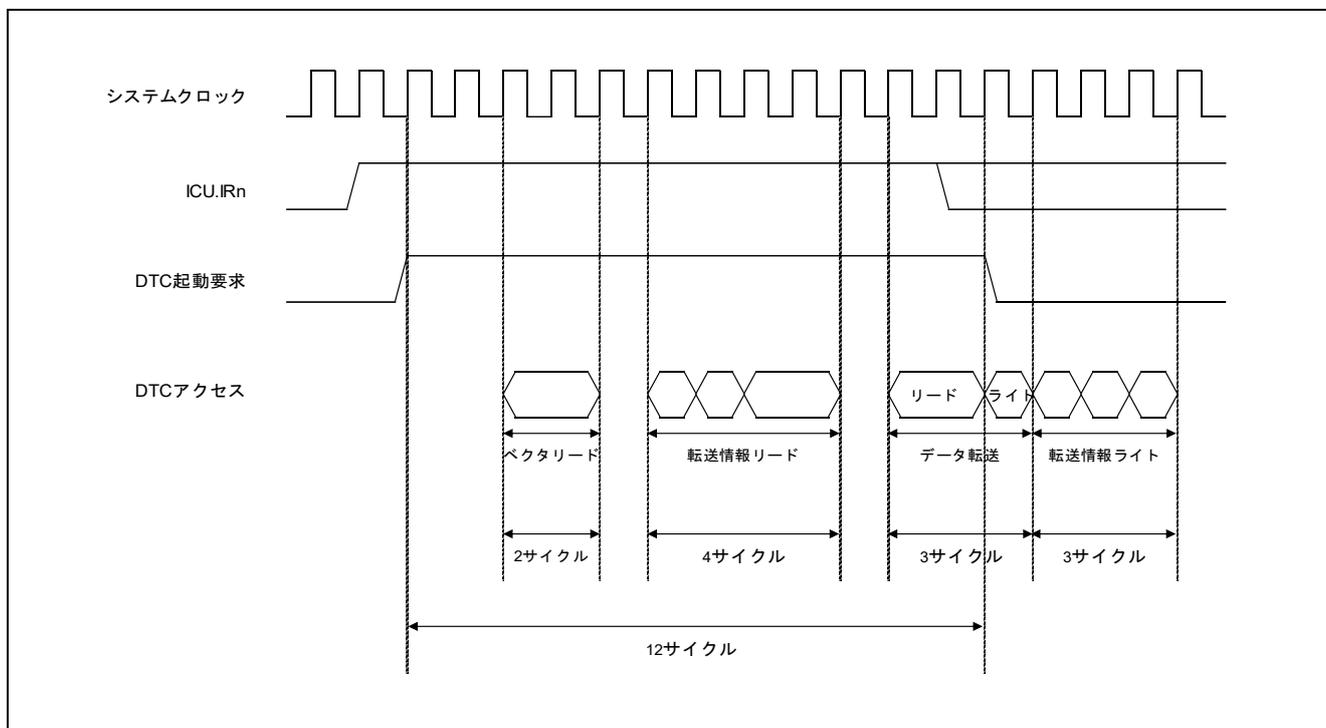


図4.1 RX の DTC 動作タイミング例（ショートアドレスモード、ノーマル転送モード、リポート転送モードの場合）

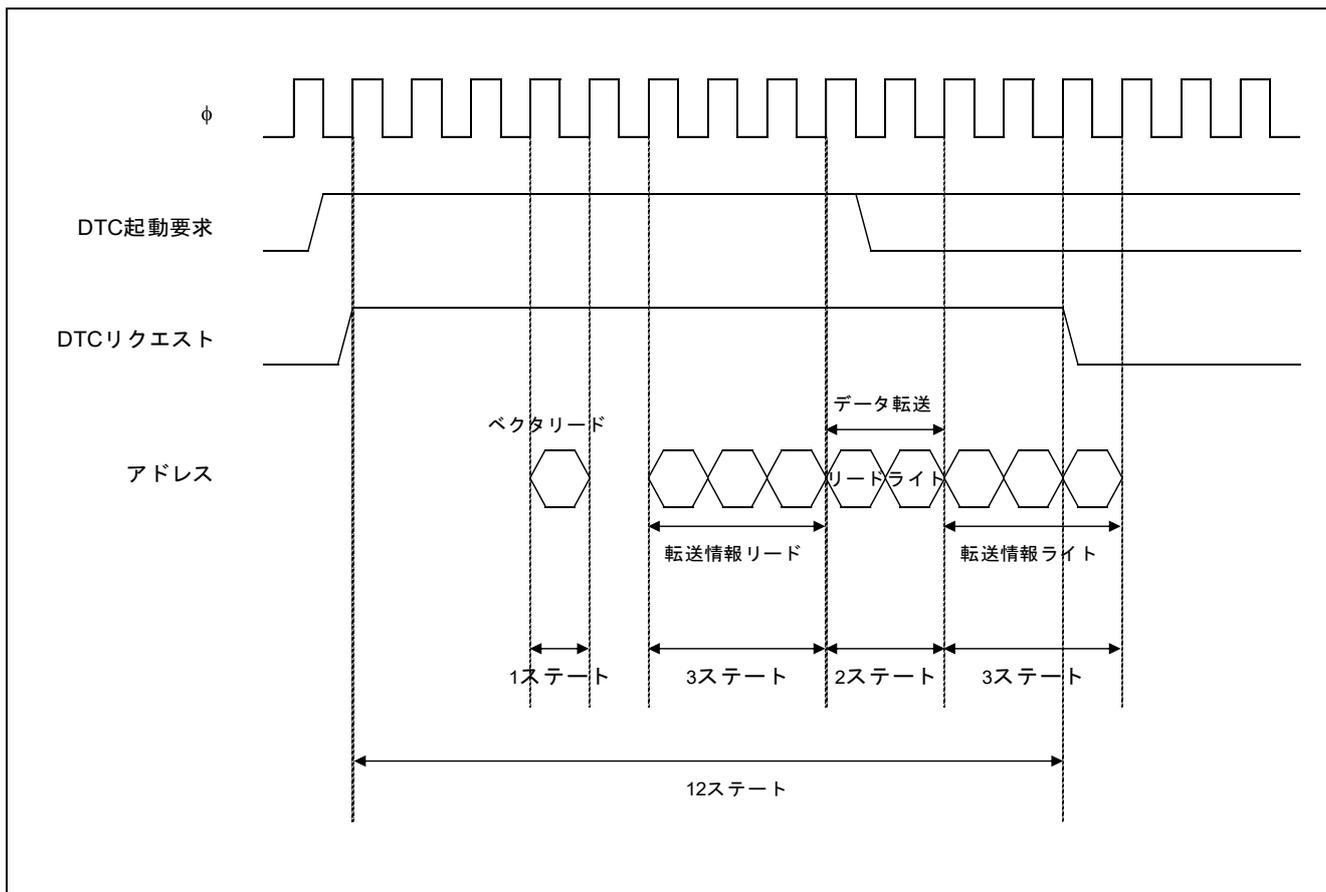


図4.2 H8S の DTC 動作タイミング例 (ノーマルモード、リピートモードの場合)

ブロック転送の場合の DTC 動作タイミング例を示します。

図4.3に RX の DTC 動作タイミング例（ショートアドレスモードの場合）を示します。

図4.4に H8S の DTC 動作タイミング例を示します。

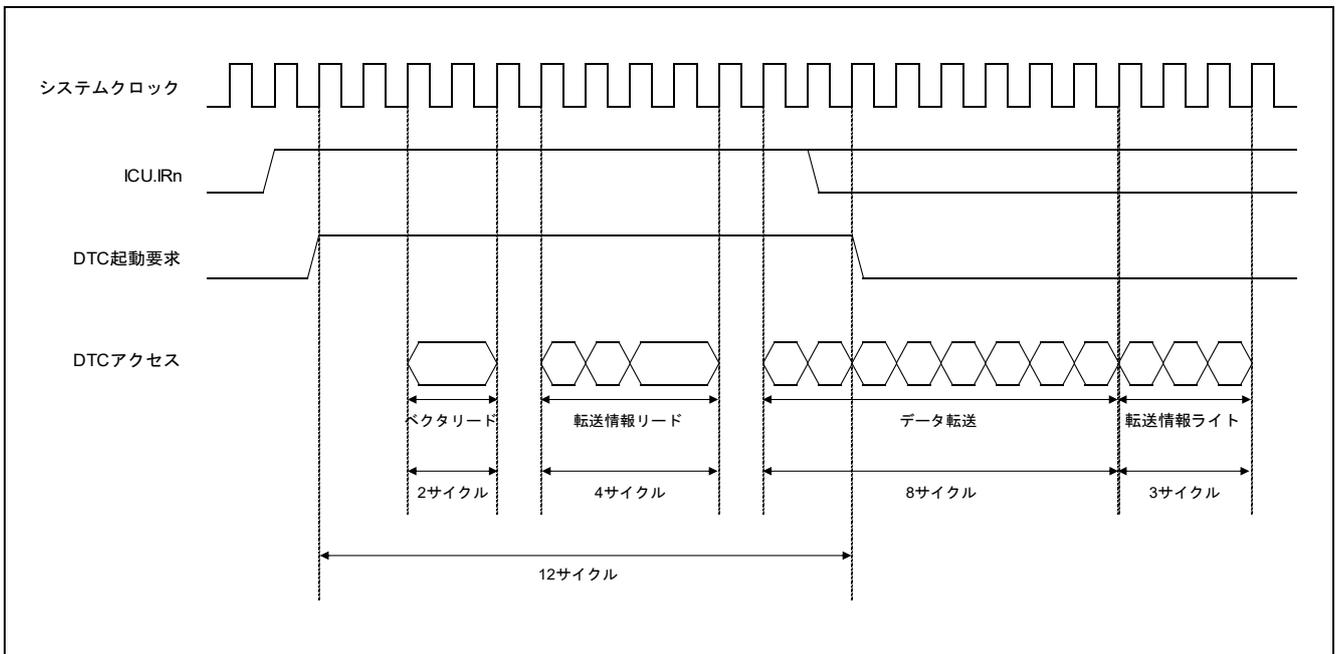


図4.3 RX の DTC 動作タイミング例（ショートアドレスモード、ブロック転送モードの場合）

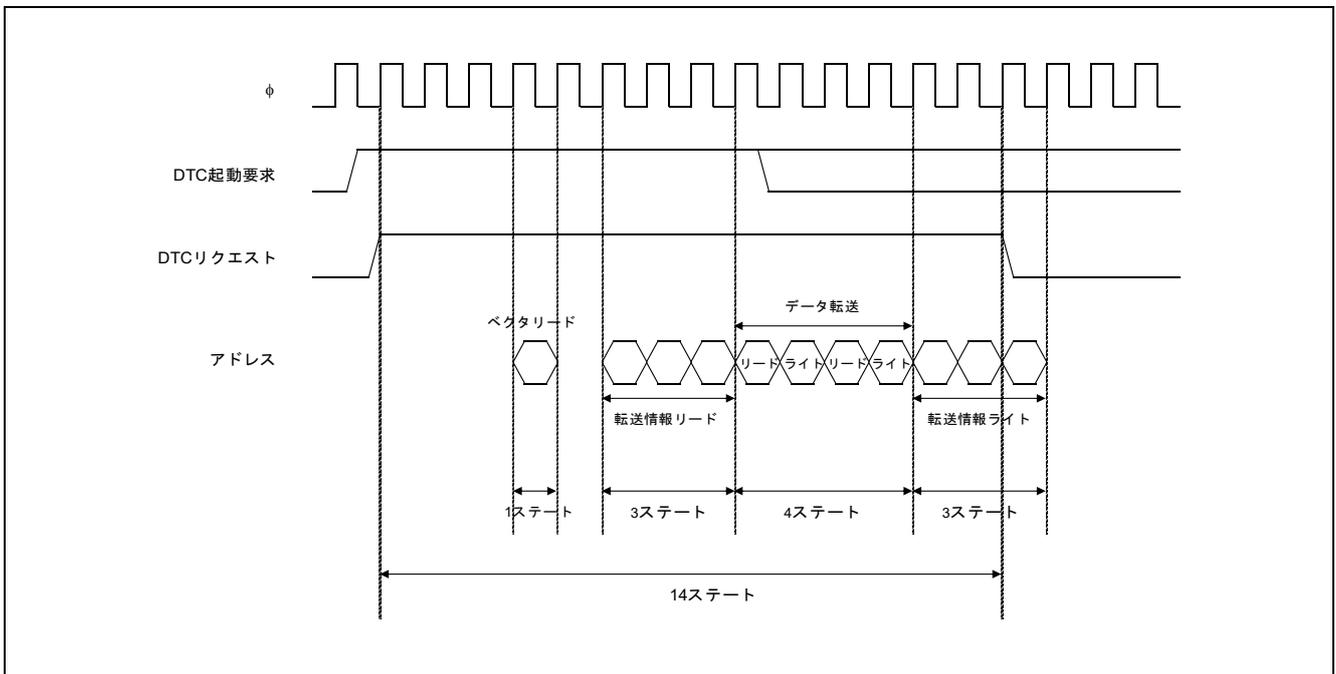


図4.4 H8S の DTC 動作タイミング例（ブロック転送モードの場合）

チェーン転送の場合の DTC 動作タイミング例を示します。

図4.5に RX の DTC 動作タイミング例（ショートアドレスモードの場合）を示します。

図4.6に H8S の DTC 動作タイミング例を示します。

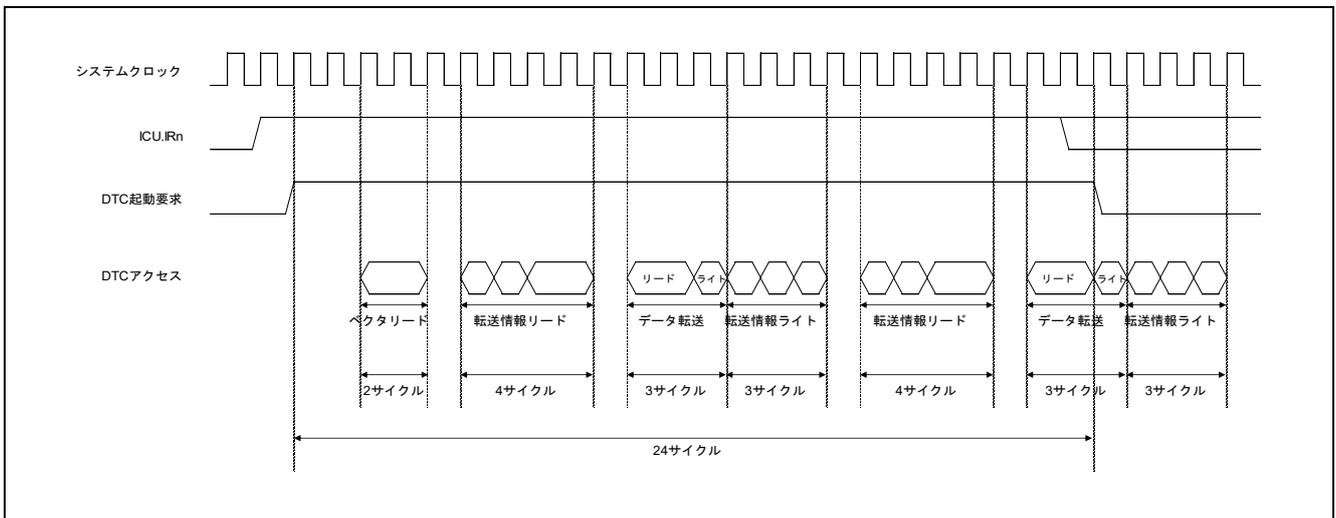


図4.5 RX の DTC 動作タイミング例（チェーン転送の場合）

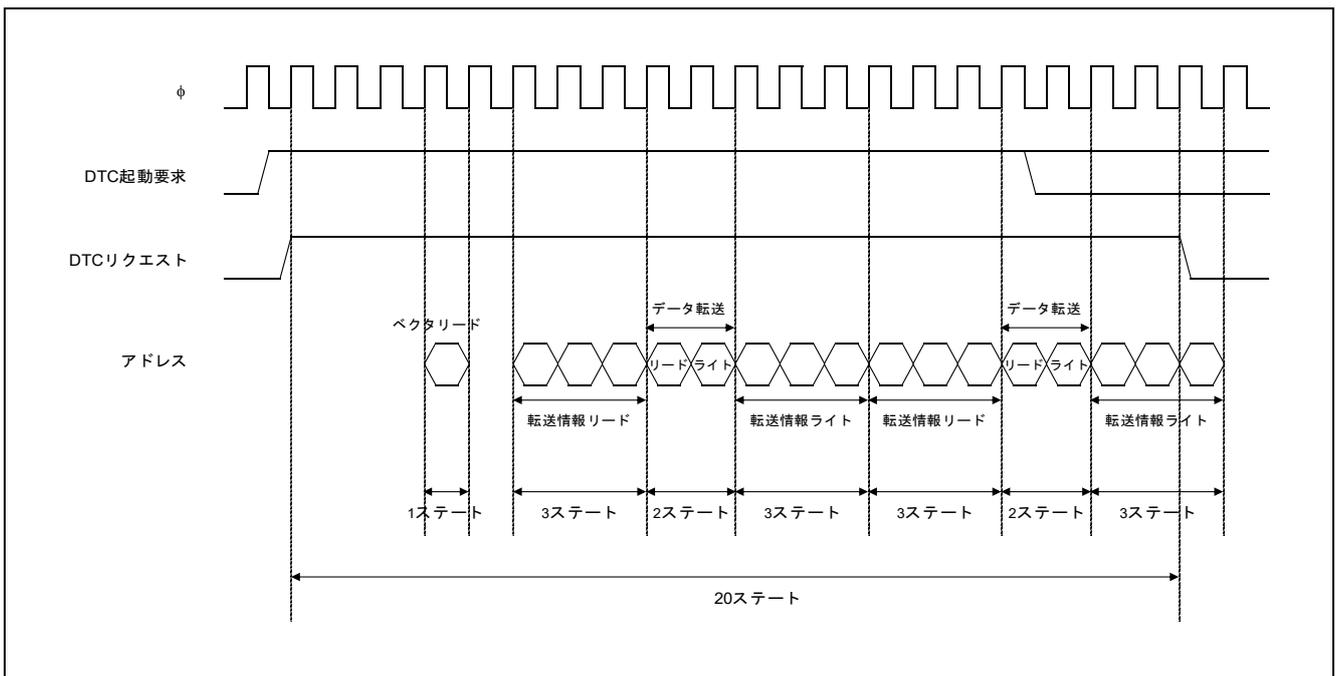


図4.6 H8S の DTC 動作タイミング例（チェーン転送の場合）

図4.7に、RX の DTC 動作タイミング例（フルアドレスモード、ノーマル転送モード、リピート転送モードの場合）を示します。

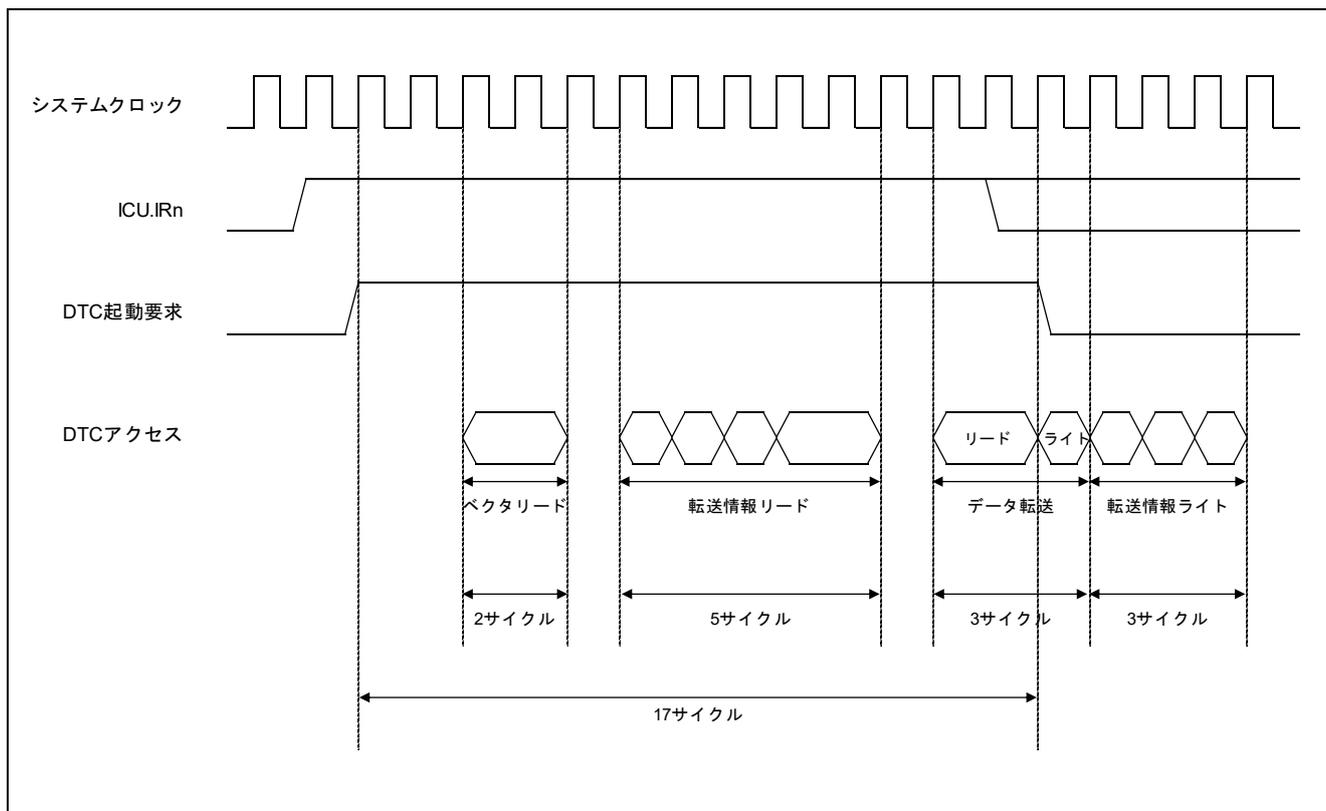


図4.7 RX の DTC 動作タイミング例（フルアドレスモード、ノーマル転送モード、リピート転送モードの場合）

5. 割り込みの相違点

表5.1に、DTC 起動に使用するレジスタ・ビットを示します。

表5.1 DTC 起動に使用するレジスタ・ビット

RX		H8S	
レジスタ.ビット	機能	レジスタ.ビット	機能
DTCERn,DTCE (n=割り込みベクタ番号)	DTC 起動許可	DTCERA~H.DTCE	DTC 起動イネーブル
SWINTR.SWINT	ソフトウェア割り込み 起動	DTVECR.SWDTE	DTC ソフトウェア起動 イネーブル

RX では、DTCERn レジスタと SWINTR レジスタは割り込みコントローラにあり、H8S では、DTCERA~H レジスタと DTVECR レジスタは DTC にあります。

表5.2に、DTC の割り込み要因を示します。

表5.2 DTC の割り込み要因

RX		H8S	
起動要因	割り込み要因	起動要因	割り込み要因
割り込み	DTC を起動した割り込みを CPU に対して発生 ^(注1)	ソフトウェア	ソフトウェア起動データ転送終了 割り込み (SWDTE) を発生
		割り込み	DTC を起動した割り込みを CPU に 対して発生

注 1. RX では、ソフトウェア割り込みによりソフトウェアでの DTC 起動が可能です。

RX では、下記の条件を満たすときに割り込みを受け付けることができます。

- Iフラグ (PSW.I ビット) が“1”であること。
- ICU の IER、IPR レジスタで割り込み許可に設定されていること。
- 周辺機能の割り込み要求許可ビットで、割り込み要求が許可されていること。

表5.3に、RX と H8S の割り込みの発生条件についての比較表を示します。

表5.3 RX と H8S の割り込みの発生条件についての比較表

項目	RX	H8S
割り込み許可ビット (1ビット)	PSW レジスタの I ビットを“1” (許可) にすると、マスカブル割り込みの受け付けが許可されます。	割り込み制御モード 0 の場合、CCR レジスタの I ビットを“0” (許可) にすると、マスカブル割り込みの受け付けが許可されます。割り込み制御モード 2 の場合は、CCR レジスタの I ビットは使用しません。
プロセッサ割り込み優先レベル	PSW レジスタの IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。	割り込み制御モード 2 の場合、EXR レジスタの 12~10 ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。割り込み制御モード 0 の場合は、EXR レジスタの 12~10 ビットは使用しません。
割り込み優先レベル	IPR レジスタで設定します。	割り込み制御モード 0 の場合はデフォルトの設定となります。割り込み制御モード 2 の場合は、IPR レジスタの設定となります。
割り込み要求フラグ	周辺機能、外部端子、NMI 割り込み等の全ての割り込みステータスフラグを割り込みコントローラで管理します。	外部割り込みは、割り込みコントローラ、内部割り込み要因は、各内蔵周辺機能内で割り込みステータスフラグを管理します。
割り込み要求許可	マスカブル割り込みは IER レジスタ、ノンマスカブル割り込みは NMIER レジスタで設定します。	IER レジスタで IRQ 割り込み許可を設定します。
周辺機能の割り込み許可	各周辺機能で割り込みの許可、禁止を設定できます。	

表5.4に、プロセッサ割り込み許可と優先レベルの相違点を示します。

RXでは、PSW.Iビットを“1”（割り込み許可）に設定すると、プロセッサ割り込み優先レベルはデフォルトで優先レベル0（最低レベル）になっているため、マスカブル割り込み許可になります。

H8Sの割り込み制御モード0では、CCR.Iビットを“0”（割り込み許可）に設定すると、プロセッサ割り込み優先レベルは使用しないため、マスカブル割り込み許可になります。

H8Sの割り込み制御モード2では、プロセッサ割り込み優先レベルはデフォルトで優先レベル7（最高レベル）になっているため、EXR.I2~I0ビットを設定することで、マスカブル割り込み許可になります。

表5.4 プロセッサ割り込み許可と優先レベルの相違点

項目	RX	H8S	
		割り込み制御モード0	割り込み制御モード2
割り込み許可デフォルト値	PSW.Iビット：0 （割り込みマスク）	CCR.Iビット：1 （割り込みマスク）	使用しない
プロセッサ割り込み優先レベルデフォルト値	PSW.IPL[3:0]ビット： 0000b（最低レベル）	使用しない	EXR.I2~I0ビット：111b （最高レベル）
リセット後の動作	マスカブル割り込みを受け付けない		

表5.5に、割り込み許可に使用する組み込み関数（一部）を示します。

表5.5 割り込み許可に使用する組み込み関数（一部）

項目	記述		
	RX	H8S	
		割り込み制御モード0	割り込み制御モード2
プロセッサ割り込み許可設定	setpsw_i(); (注1)	set_imask_ccr(0); (注1)	使用しない
プロセッサ割り込み優先レベルの設定（“0”に設定する場合）	set_ipi(0); (注1)	使用しない	set_imask_exr(0); (注1)

注1. “machine.h”のインクルードが必要です。

詳細は、ユーザーズマニュアル ハードウェア編の割り込みコントローラ（ICU）、CPU、使用する周辺機能の章を参照してください。

6. モジュールストップ機能

H8S、RX は周辺モジュールごとに機能を停止させることが可能です。

使用しない周辺モジュールをモジュールストップ状態へ遷移させることで、消費電力を低減することができます。リセット解除後は、表6.1に示すモジュール以外はモジュールストップ状態になっています。

表6.1 RX、H8S の初期設定時動作しているモジュール

RX	H8S
DMAC、DTC、RAM	EXDMAC、DMAC、DTC

モジュールストップ状態のモジュールのレジスタは、読み書きできません。

表6.1に示すモジュール以外のモジュールを使用する場合は、モジュールストップ状態を解除した後、初期設定等を行ってください。

詳細は、ユーザーズマニュアル ハードウェア編の消費電力低減機能の章を参照してください。

7. レジスタライトプロテクション機能

RXでは、プログラムが暴走したときに備えて、重要なレジスタを書き換えられないように保護することが可能です。プロテクトレジスタ (PRCR) によって、保護するレジスタを設定します。

クロック発生回路関連レジスタ、動作モード関連レジスタ、消費電力低減機能関連レジスタ、ローパワータイマ関連レジスタ、LVD 関連レジスタ、ソフトウェアリセットレジスタを保護することが可能です。

詳細は、ユーザーズマニュアル ハードウェア編のレジスタライトプロテクション機能の章を参照してください。

8. H8S から RX へ置き換えるときのポイント

H8S から RX へ置き換えるときのポイントについて、以下に示します。

8.1 入出力ポート

RX では、周辺機能の入出力信号を端子に割り当てるには、MPC の設定を行う必要があります。

RX の端子の入出力制御を行う前に以下の 2 つの設定を行ってください。

- MPC の PFS レジスタ：該当端子に割り当てる周辺機能の選択
- I/O ポートの PMR レジスタ：該当端子に汎用入出力ポート/周辺機能を割り当てるかの選択

表8.1に RX と H8S の周辺機能端子の入出力設定についての比較表を示します。

表8.1 RX と H8S の周辺機能端子の入出力設定についての比較表

機能	RX	H8S
端子の機能選択	PFS レジスタを設定することで、周辺機能の入出力を複数の端子から選択して割り付けることができます。	MCU 動作モード、SYSCR.EXPE ビット、PFCR レジスタ、DDR レジスタ、各周辺機能の設定の組み合わせにより、汎用入出力ポート/周辺機能の切り替え、また端子の機能選択が可能です。
汎用入出力ポート/ 周辺機能の切り替え	PMR レジスタを設定することで、対象端子を I/O ポートとして使用するか、周辺機能として使用するかを選択できません。	

詳細は、ユーザーズマニュアル ハードウェア編のマルチファンクションピンコントローラ（MPC）と、I/O ポートの章を参照してください。

8.2 I/O レジスタマクロ

RXのI/Oレジスタの定義(iodefine.h)内では、下記のマクロ定義を用意しています。

マクロ定義を使用することで可読性の高いプログラムを記載できます。

表8.2にマクロの使用例を示します。

表8.2 マクロの使用例

マクロ	使用例
IR("module name", "bit name")	IR(MTU0, TGIA0) = 0; MTU0のTGIA0に対応したIRフラグを"0" (割り込み要求をクリア) にします。
DTCE("module name", "bit name")	DTCE(MTU0, TGIA0) = 1; MTU0のTGIA0に対応したDTCEビットを"1" (DTC起動を許可) にします。
IEN("module name", "bit name")	IEN(MTU0, TGIA0) = 1; MTU0のTGIA0に対応したIENビットを"1" (割り込みを許可) にします。
IPR("module name", "bit name")	IPR(MTU0, TGIA0) = 0x02; MTU0のTGIA0に対応したIPRビットを"2" (割り込み優先レベルを"2") にします。
MSTP("module name")	MSTP(MTU) = 0; MTU0のモジュールストップ設定ビットを"0" (モジュールストップ状態を解除) にします。
VECT("module name", "bit name")	#pragma interrupt(Excep_MTU0_TGIA0(vect=VECT(MTU0, TGIA0))) MTU0のTGIA0に対応した割り込み関数を宣言します。

8.3 組込関数

RX では、制御レジスタの設定や特殊命令用に組み込み関数を用意しています。組み込み関数を使用する場合は、machine.h をインクルードしてください。

表8.3に RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）を示します。

表8.3 RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）

項目	記述	
	RX	H8S
I フラグを“1”にする	setpsw_i(); (注 1)	set_imask_ccr(1); (注 1) (注 2)
I フラグを“0”にする	clrpsw_i(); (注 1)	set_imask_ccr(0); (注 1) (注 2)
WAIT 命令に展開します。	wait(); (注 1)	なし
NOP 命令に展開します。	nop(); (注 1)	nop(); (注 1)

注 1. “machine.h”のインクルードが必要です。

注 2. RX では I=1 のとき割り込み許可、H8S では I=1 のとき割り込みマスクを意味します。

9. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

H8S/2378 グループ、H8S/2378R グループ ハードウェアマニュアル (RJJ09B0094)

RX260 グループ、RX261 グループ ユーザーズマニュアル ハードウェア編 (R01UH1045JJ)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RXファミリ、M16Cファミリ M16CからRXへの置き換えガイド DMAC、DTC編 (R01AN2099JJ)

RX631 グループ SH7044⇒RX631 マイコン移行ガイド (R01AN2207JJ)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

CC-RX コンパイラ ユーザーズマニュアル (R20UT3248JJ)

H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ ユーザーズマニュアル (RJJ10J2552)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.07.13	—	初版発行
2.00	2025.03.25	—	RX マイコンの比較対象機種を変更 RX231→RX261

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子(または外部発振回路)を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子(または外部発振回路)を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス(予約領域)のアクセス禁止

リザーブアドレス(予約領域)のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス(予約領域)があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害(お客様または第三者いずれに生じた損害も含みます。以下同じです。)に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器(自動車、電車、船舶等)、交通制御(信号)、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム(生命維持装置、人体に埋め込み使用するもの等)、もしくは多大な物的損害を発生させるおそれのある機器・システム(宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等)に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害(当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。)から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為(「脆弱性問題」といいます。)によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報(データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等)をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24(豊洲フォレスト)

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/