

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38C2グループ レジスタ一覧

1. 要約

この資料は38C2グループのレジスタについて説明しています。

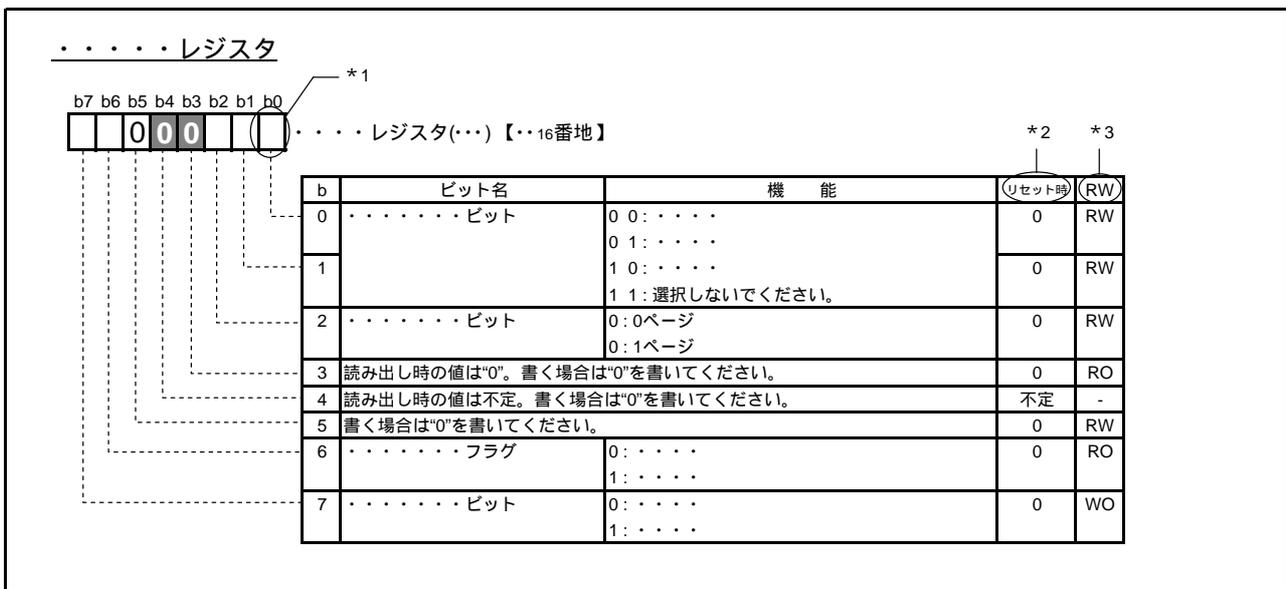
2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン：38C2グループ

3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- * 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
 - 0 :書く場合は"0"を書いてください。
 - 1 :書く場合は"1"を書いてください。
 - x :特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
 - :何も配置されていない。
- * 2
- 0 :リセット後"0"になる。
 - 1 :リセット後"1"になる。
 - 不定 :リセット後、不定になる。
- * 3
- RW :読み出し可能。書き込み可能。
 - RO :読み出し可能。書く場合の値は、それぞれのビットに依存します。
 - WO :書き込み可能。読み出し時の値は不定。
 - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. 制御レジスタ一覧

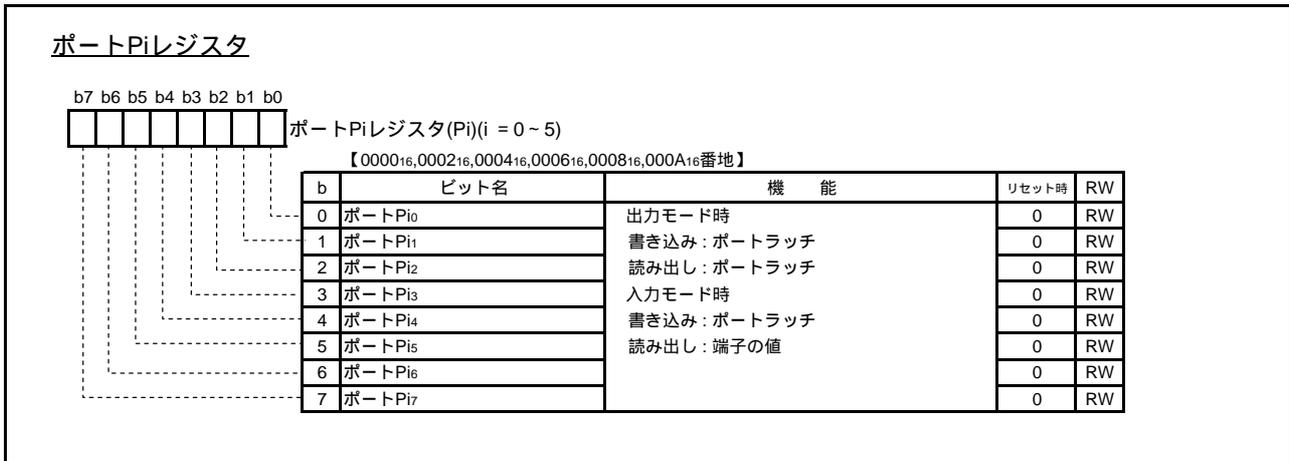


図4.1 ポートPiレジスタの構成(i = 0 ~ 5)

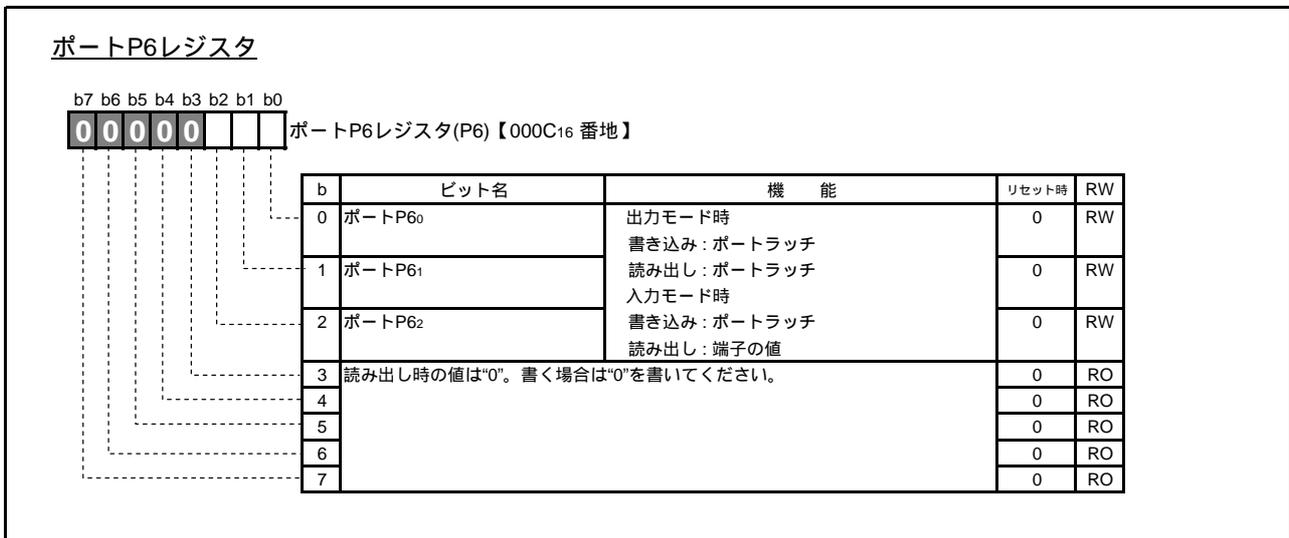
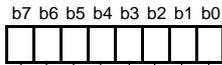


図4.2 ポートP6レジスタの構成

ポートPi方向レジスタ



ポートPi方向レジスタ(PiD)(i=0~5)

【0001₁₆,0003₁₆,0005₁₆,0007₁₆,0009₁₆,000B₁₆ 番地】

b	ビット名	機能	リセット時	RW
0	ポートPi ₀ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
1	ポートPi ₁ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
2	ポートPi ₂ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
3	ポートPi ₃ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
4	ポートPi ₄ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
5	ポートPi ₅ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
6	ポートPi ₆ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
7	ポートPi ₇ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO

注. ポートP0~P2は、入力モードに設定していると、セグメント出力禁止レジスタ0~2(OFF8₁₆~OFFA₁₆番地)により、プルアップ抵抗の制御ができます(図4.51参照)。出力モードのポートはプルアップ抵抗は接続されません。
ポートP3~P5は、PULLレジスタ(OFF1₁₆番地)により、プルアップ抵抗の制御ができます。
出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.3 ポートPi方向レジスタの構成(i=0~5)

ポートP6方向レジスタ



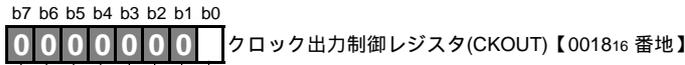
ポートP6方向レジスタ(P6D)【000D₁₆ 番地】

b	ビット名	機能	リセット時	RW
0	ポートP6 ₀ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
1	ポートP6 ₁ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
2	ポートP6 ₂ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
3	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	-
4			不定	-
5			不定	-
6			不定	-
7			不定	-

注. PULLレジスタ(OFF1₁₆番地)により、プルアップ抵抗の制御ができます。
出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.4 ポートP6方向レジスタの構成

クロック出力制御レジスタ



b	ビット名	機 能	リセット時	RW
0	P3 ₆ クロック出力制御ビット	0 : タイマ2出力 1 : システムクロック出力	0	RW
1	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

注. "1"を書き込まないでください。

図4.5 クロック出力制御レジスタの構成

A-D制御レジスタ



b	ビット名	機 能	リセット時	RW
0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : P4 ₀ /OOUT ₀ /AN ₀ 0 0 1 : P4 ₁ /OOUT ₁ /AN ₁ 0 1 0 : P4 ₂ /AN ₂ 0 1 1 : P4 ₃ /AN ₃ 1 0 0 : P4 ₄ /AN ₄ 1 0 1 : P4 ₅ /AN ₅ 1 1 0 : P4 ₆ /RTP ₀ /AN ₆ 1 1 1 : P4 ₇ /RTP ₁ /AN ₇	0	RW
1	AD変換終了ビット	0 : 変換中 1 : 変換終了	0	RW
2			0	RW
4	AD変換クロック選択ビット	b5 b4 0 0 : XIN/2 0 1 : XIN/4 1 0 : XIN/8 1 1 : XIN/16	0	RW
5			0	RW
6	10bit or 8bit 変換切換	0 : 10bitAD 1 : 8bitAD	0	RW
7	昇圧回路選択ビット	0 : 昇圧回路未使用 1 : 昇圧回路使用	0	RW

図4.6 A-D制御レジスタの構成

A-D変換レジスタ(下位)

b7 b6 b5 b4 b3 b2 b1 b0



A-D変換レジスタ(下位)(ADL)【001A₁₆番地】

b	機能	リセット時	RW
0	Vref 入力スイッチビット 0:自動 1:ON	0	WO
1	読み出し時の値は“0”。書く場合は“0”を書いてください。	0	RO
2		0	RO
3		0	RO
4		0	RO
5		0	RO
6	10ビットA-Dモード時のA-D変換結果が読めます。 8ビットA-Dモード時の読み出し時の値は不定。	不定	RO
7	書く場合は“0”を書いてください。	不定	RO

注. A-D変換中はこのレジスタを読み出さないでください。

図4.7 A-D変換レジスタ(下位)の構成

A-D変換レジスタ(上位)

b7 b6 b5 b4 b3 b2 b1 b0



A-D変換レジスタ(上位)(ADH)【001B₁₆番地】

b	機能	リセット時	RW
0	A-D変換結果が読めます。	不定	RO
1	書く場合は“00 ₁₆ ”を書いてください。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. A-D変換中はこのレジスタを読み出さないでください。

図4.8 A-D変換レジスタ(上位)の構成

送信バッファレジスタ1、2

b7 b6 b5 b4 b3 b2 b1 b0



送信バッファレジスタ1 (TB1) 【001C₁₆ 番地】

送信バッファレジスタ2 (TB2) 【001E₁₆ 番地】

b	機能	リセット時	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	RW
1	送信データを書いてください。	不定	RW
2		不定	RW
3		不定	RW
4		不定	RW
5		不定	RW
6		不定	RW
7		不定	RW

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

図4.9 送信 / 受信バッファレジスタ1の構成

受信バッファレジスタ1、2

b7 b6 b5 b4 b3 b2 b1 b0



受信バッファレジスタ1 (RB1) 【001C₁₆ 番地】

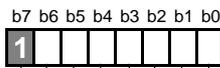
受信バッファレジスタ2 (RB2) 【001E₁₆ 番地】

b	機能	リセット時	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RW
1	受信データが読めます。	不定	RW
2		不定	RW
3		不定	RW
4		不定	RW
5		不定	RW
6		不定	RW
7		不定	RW

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.10 送信 / 受信バッファレジスタ2の構成の構成

シリアル/O1ステータスレジスタ、シリアル/O2ステータスレジスタ



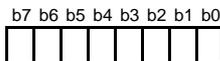
シリアル/O1ステータスレジスタ(SIO1STS)【001D₁₆番地】
シリアル/O2ステータスレジスタ(SIO2STS)【001F₁₆番地】

b	ビット名	機能	リセット時	RW
0	送信バッファエンプティフラグ (TBE)	0 : バッファフル状態 1 : バッファエンプティ状態	0	RO
1	受信バッファフルフラグ (RBF)	0 : バッファエンプティ状態 1 : バッファフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC)	0 : 送信シフト中 1 : 送信シフト終了	0	RO
3	オーバランエラーフラグ (OE)	0 : オーバランエラーなし 1 : オーバランエラー発生	0	RO
4	パリティエラーフラグ (PE)	0 : パリティエラーなし 1 : パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	0	RO
6	サミングエラーフラグ(SE)	0 : (OE) (PE) (FE) = 0 1 : (OE) (PE) (FE) = 1	0	RO
7	読み出し時の値は"1"。書く場合は"1"を書いてください。		1	RO

注. このレジスタへの書き込みですべてのエラーフラグ (OE,PE,FE,SE) がクリアされます。

図4.11 シリアル/O1ステータスレジスタ、シリアル/O2ステータスレジスタの構成

タイマ1レジスタ

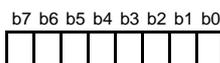


タイマ1レジスタ(T1)【0020₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ1ラッチ及びタイマ1への同時書き込み。	1	RW
3	読み出し時の値は、タイマ1のカウント値です。	1	RW
4		1	RW
5		1	RW
6		1	RW
7		1	RW

図4.12 タイマ1レジスタの構成

タイマ2レジスタ

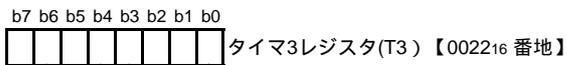


タイマ2レジスタ(T2)【0021₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	0	RW
2	書き込み時、タイマ2書き込み制御ビットの値により、次のように動作します。	0	RW
3	"0" の場合 : タイマ2ラッチ及びタイマ2への同時書き込み	0	RW
4	"1" の場合 : タイマ2ラッチのみへの書き込み	0	RW
5	読み出し時の値は、タイマ2のカウント値です。	0	RW
6		0	RW
7		0	RW

図4.13 タイマ2レジスタの構成

タイマ3レジスタ



b	機 能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ3書き込み制御ビットの値により、	1	RW
3	次のように動作します。	1	RW
4	“0” の場合：タイマ3ラッチ及びタイマ3への同時書き込み	1	RW
5	“1” の場合：タイマ3ラッチのみへの書き込み	1	RW
6	読み出し時の値は、タイマ3のカウント値です。	1	RW
7		1	RW

図4.14 タイマ3 レジスタの構成

タイマ4レジスタ



b	機 能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ4書き込み制御ビットの値により、	1	RW
3	次のように動作します。	1	RW
4	“0” の場合：タイマ4ラッチ及びタイマ4への同時書き込み	1	RW
5	“1” の場合：タイマ4ラッチのみへの書き込み	1	RW
6	読み出し時の値は、タイマ4のカウント値です。	1	RW
7		1	RW

図4.15 タイマ4 レジスタの構成

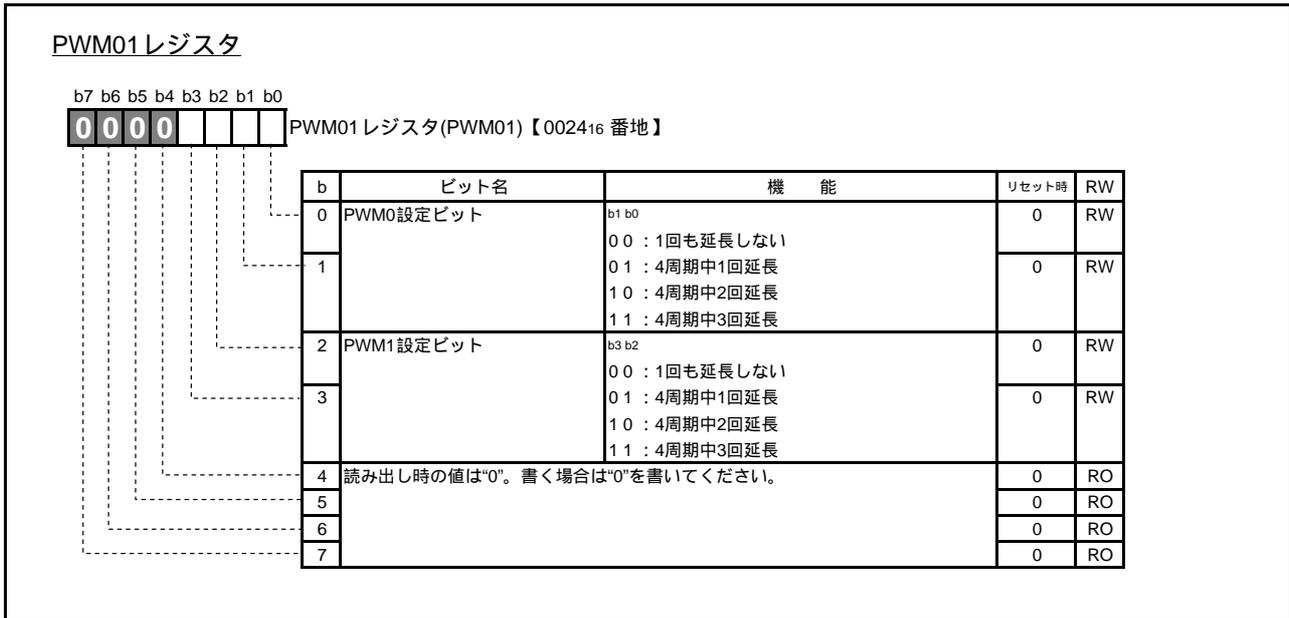


図4.16 PWM01レジスタの構成

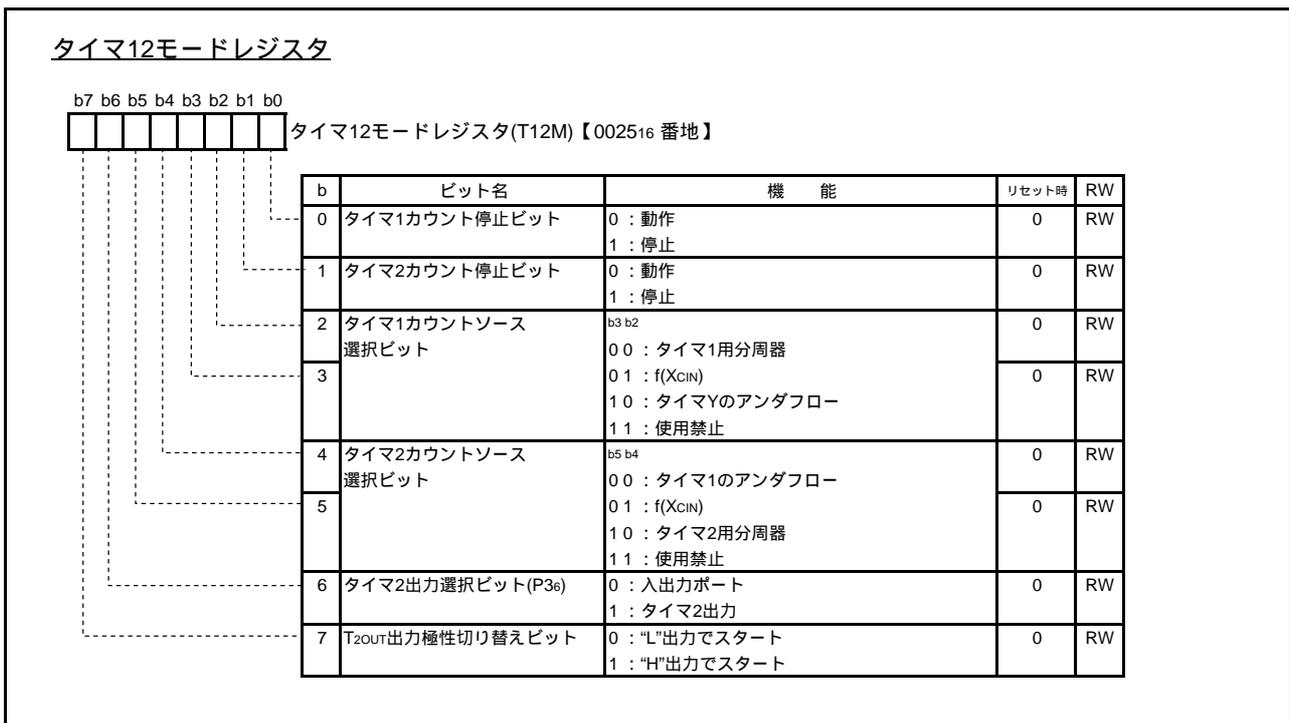


図4.17 タイマ12モードレジスタの構成

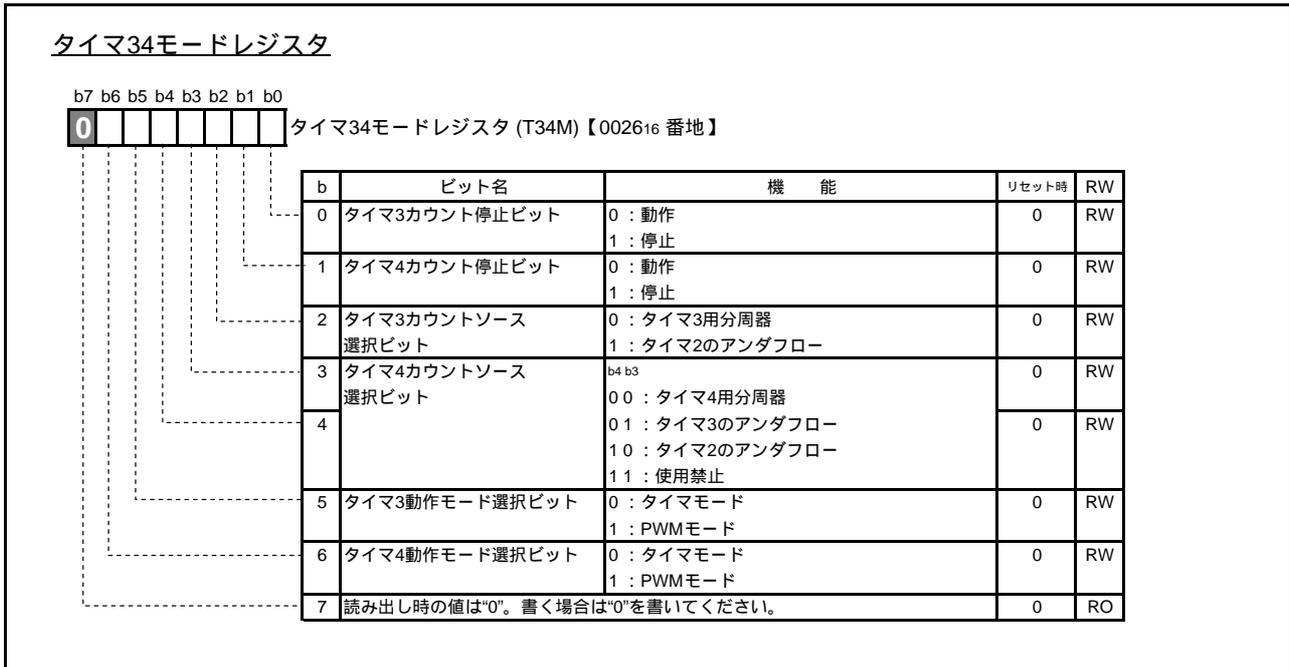


図4.18 タイマ34モードレジスタの構成

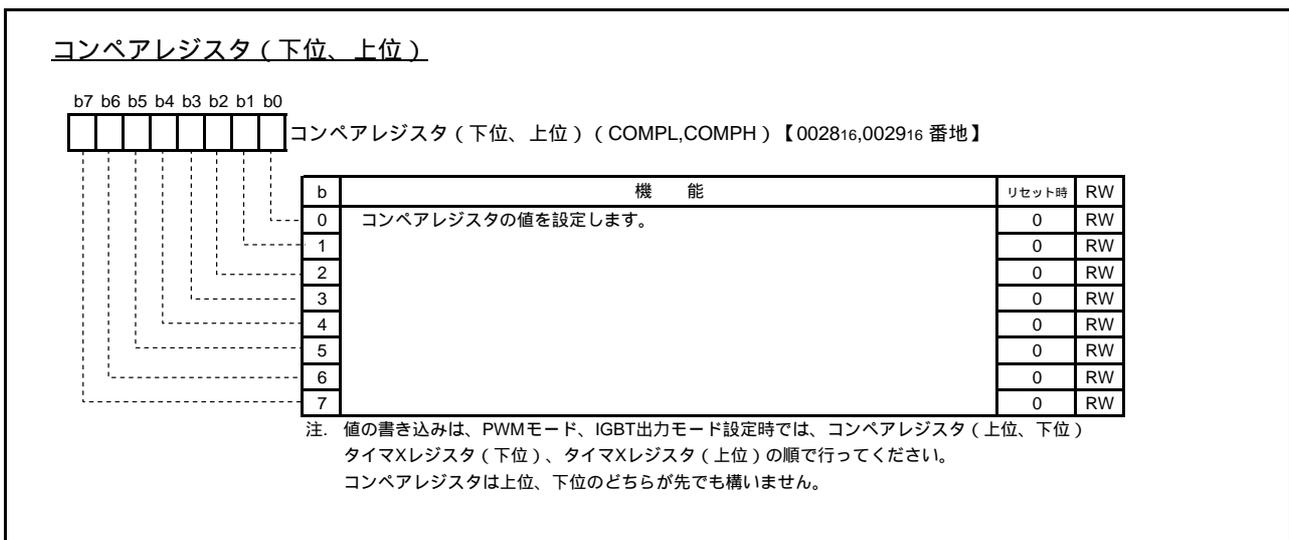
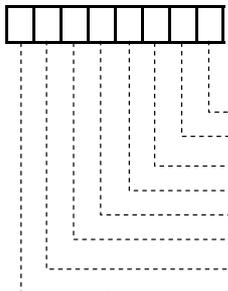


図4.19 コンペアレジスタ (下位、上位) の構成

タイマXレジスタ（下位、上位）

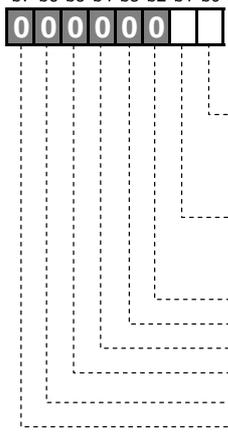
b7 b6 b5 b4 b3 b2 b1 b0

 タイマXレジスタ（下位、上位）（TXL, TXH）【002A16, 002B16 番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。	1	RW
3	“0” の場合：タイマXラッチ及びタイマXへの同時書き込み	1	RW
4	“1” の場合：タイマXラッチのみへの書き込み	1	RW
5	下位、上位の順で書いてください。	1	RW
6	なお、この動作は、タイマXカウント停止ビットの影響を受けません。	1	RW
7	読み出し時の値は、タイマXのカウント値です。 上位、下位の順で読んでください。	1	RW

注. 値の書き込みは、PWMモード、IGBTモード設定時では、コンペアレジスタ（上位、下位）、タイマXレジスタ（下位）、タイマXレジスタ（上位）の順で行ってください。

図4.20 タイマXレジスタ（下位、上位）の構成

タイマXレジスタ（拡張）

b7 b6 b5 b4 b3 b2 b1 b0

 タイマXレジスタ（拡張）（TXEX）【002C16 番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。 設定値をnとすると (n+1)カウントします。 書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。	0	RW
1	“0” の場合：拡張ラッチ及び拡張カウンタへの同時書き込み “1” の場合：拡張ラッチのみへの書き込み 読み出し時の値は、拡張カウンタのカウント値です。	0	RW
2	読み出し時の値は“0”。書く場合は“0”を書いてください。	0	RO
3		0	RO
4		0	RO
5		0	RO
6		0	RO
7		0	RO

注1. リセット後、このレジスタに値が設定されるとタイマXは18ビットで動作します。

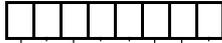
注2. 値の書き込みは、タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード設定時は、タイマXレジスタ（拡張）、タイマXレジスタ（下位）、タイマXレジスタ（上位）の順で行ってください。
値の読み出しは、各モードともタイマXレジスタ（拡張）、タイマXレジスタ（上位）、タイマXレジスタ（下位）の順で行ってください。

注3. IGBT出力モード、PWMモード設定時は、このレジスタには“1”を書かないでください。また、すでに“1”になっている場合は、必ず“0”を書いてから使用してください。

図4.21 タイマXレジスタ（拡張）の構成

タイマYレジスタ(下位、上位)

b7 b6 b5 b4 b3 b2 b1 b0



タイマYレジスタ(下位、上位)(TYL, TYH)【002D₁₆, 002E₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマY書き込み制御ビットの値により、次のように動作します。	1	RW
3	“0”の場合：タイマYラッチ及びタイマYへの同時書き込み	1	RW
4	“1”の場合：タイマYラッチのみへの書き込み	1	RW
5	下位、上位の順で書いてください。	1	RW
6	なお、この動作は、タイマYカウント停止ビットの影響を受けません。	1	RW
7	読み出し時の値は、タイマYのカウント値です。 上位、下位の順で読んでください。	1	RW

図4.22 タイマYレジスタ(下位、上位)の構成

タイマXモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



タイマXモードレジスタ(TXM)【002F₁₆番地】

b	ビット名	機能	リセット時	RW
0	タイマX動作モードビット	b2 b1 b0 000：タイマモード 001：パルス出力モード 010：IGBT出力モード	0	RW
1		011：PWMモード	0	RW
2		100：イベントカウンタモード 101：パルス幅測定モード	0	RW
3	タイマX書き込み制御ビット	0：ラッチ及びタイマ同時書き込み 1：ラッチのみ書き込み	0	RW
4	タイマXカウントソース 選択ビット	0：分周器出力 1：f(XCIN)	0	RW
5	イベントカウンタウインド 制御用データ	0：イベントカウンタ許可 1：イベントカウンタ禁止	0	RW
6	タイマXカウント停止ビット	0：カウント動作 1：カウント停止	0	RW
7	タイマX出力選択ビット(P3s)	0：入出力ポート 1：タイマX出力	0	RW

図4.23 タイマXモードレジスタの構成

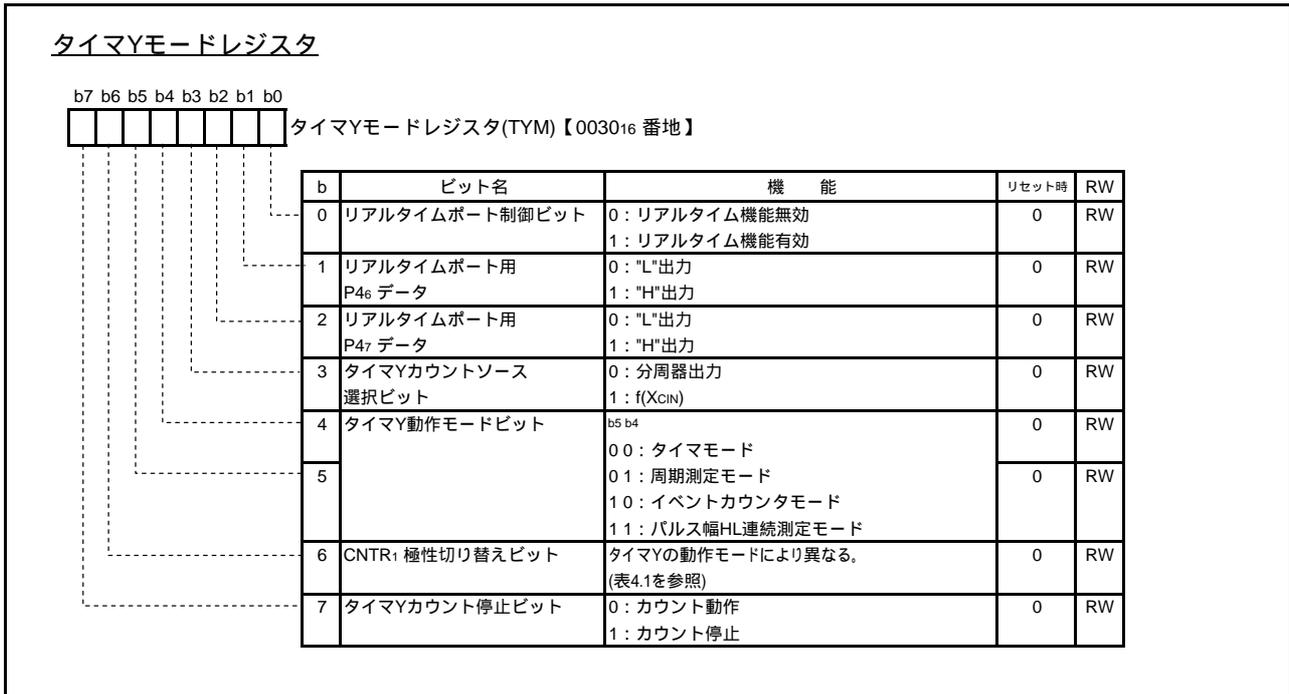


図4.24 タイマYモードレジスタの構成

表4.1 CNTR₁極性切り替えビットの機能

タイマY動作モード	設定値	タイマ機能	CNTR ₁ 割り込み要求発生要因
タイマモード	"0"	—	CNTR ₁ の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	"1"	—	CNTR ₁ の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
周期測定モード	"0"	立ち下がり - 立ち下がり間を測定	入力信号の立ち下がりエッジ
	"1"	立ち上がり - 立ち上がり間を測定	入力信号の立ち上がりエッジ
イベントカウンタモード	"0"	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	"1"	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅HL連続測定 モード	"0"	"H"幅と"L"幅を測定	入力信号の立ち下がりエッジと立ち上がりエッジ
	"1"		

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCON)【0037₁₆番地】

b	ビット名	機能	リセット時	RW
0	ウォッチドッグタイマH(読み出し専用)		1	RO
1			1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6	STP命令禁止ビット	0 : STP命令許可 1 : STP命令禁止	0	RW
7	ウォッチドッグタイマ カウントソース選択ビット	0 : システムクロックの1/1024 1 : システムクロックの1/4	0	RW

注. このレジスタへの書き込みでウォッチドッグタイマは"FF₁₆"がセットされます。

図4.25 ウォッチドッグタイマ制御レジスタの構成

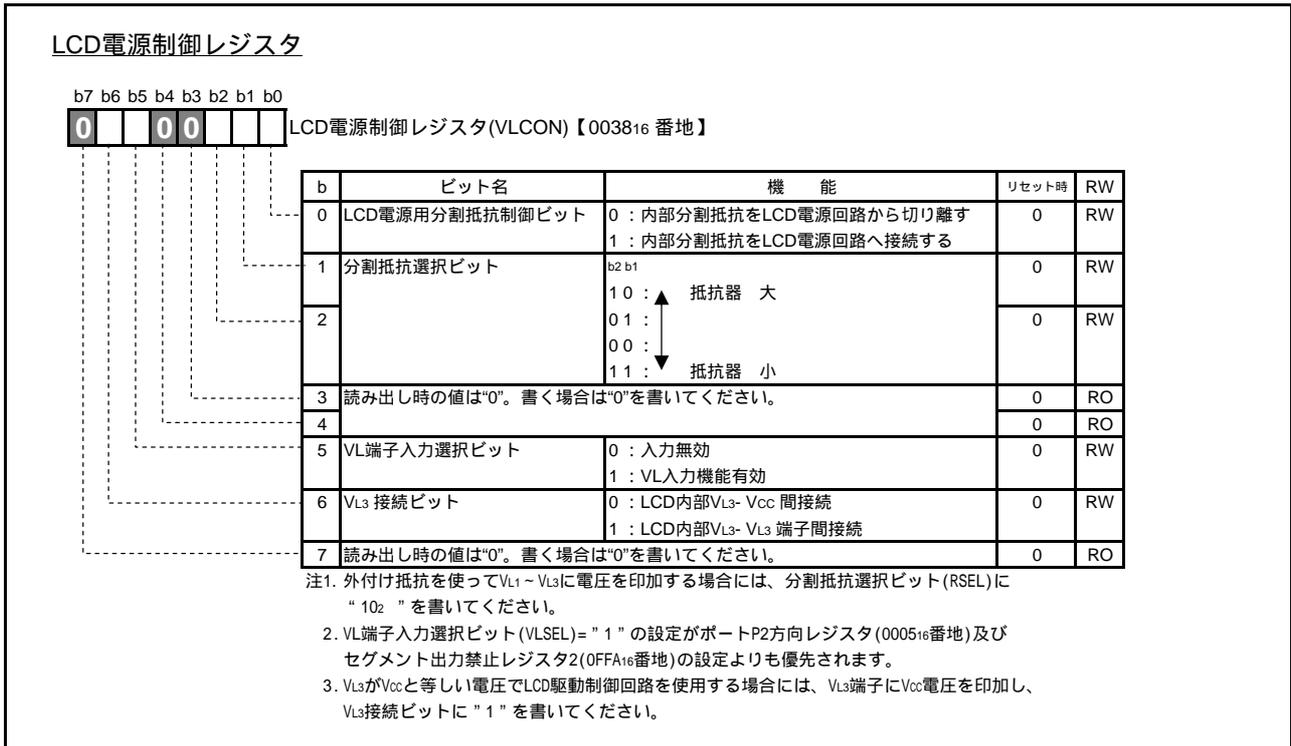


図4.26 LCD電源制御レジスタの構成

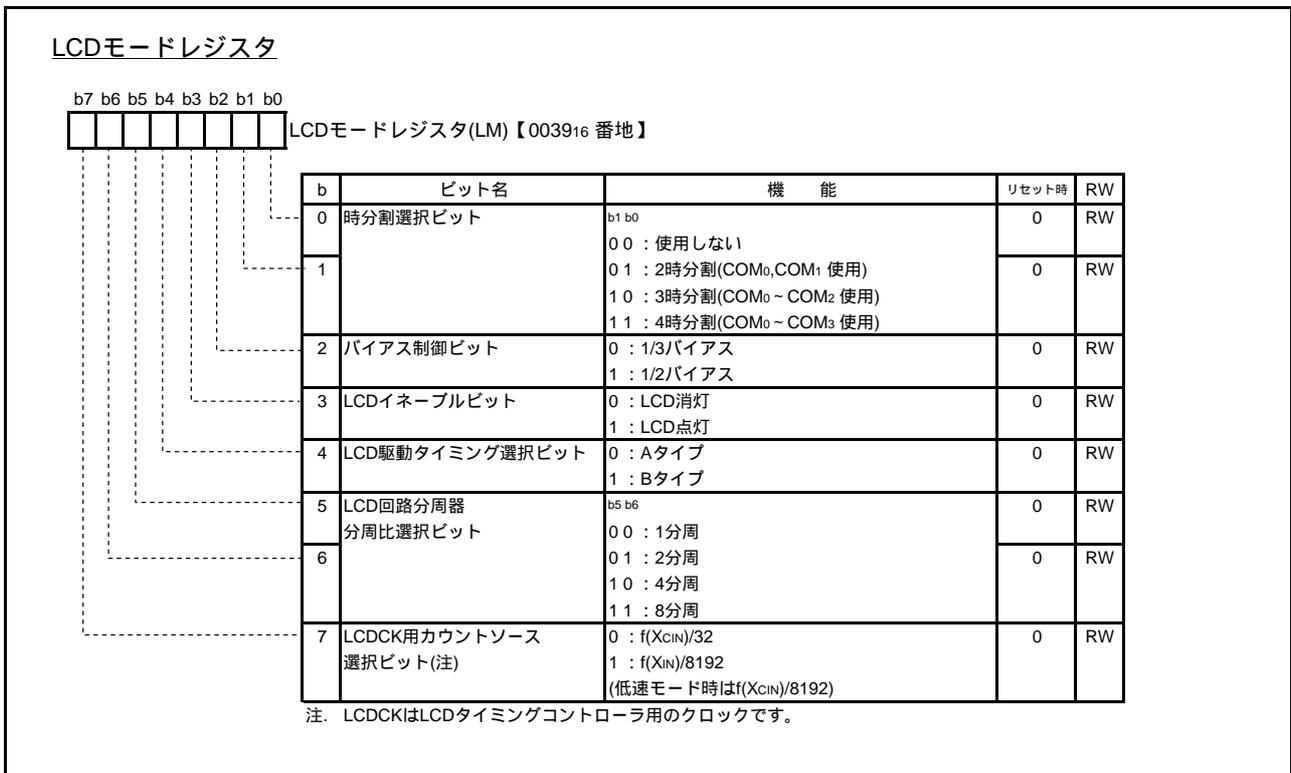


図4.27 LCDモードレジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

 割り込みエッジ選択レジスタ(INTEDGE)【003A₁₆番地】

b	ビット名	機 能	リセット時	RW
0	INT ₀ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT ₁ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT ₂ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
3	INT ₂ /キー入力割り込み 切り替えビット	0: INT ₂ 割り込み 1: キー入力割り込み	0	RW
4	タイマY/CNTR ₁ 割り込み 切り替えビット	0: タイマY割り込み 1: CNTR ₁ 割り込み	0	RW
5	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
6			0	RO
7			0	RO

図4.28 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

 CPUモードレジスタ(CPUM)【003B₁₆番地】

b	ビット名	機 能	リセット時	RW
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: 使用禁止 10: 使用禁止 11: 使用禁止	0	RW
1			0	RW
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	RW
3	書く場合は“1”を書いてください。		1	RW
4	メインクロック(X _{IN} -X _{OUT})分周比 選択ビット	b5 b4 00: f(X _{IN})/8 (8分周モード) 01: f(X _{IN})/4 (4分周モード) 10: f(X _{IN})/2 (2分周モード) 11: 使用禁止	0	RW
5			0	RW
6	システムクロック制御ビット	b7 b6 X _{IN} X _{CIN} システムクロック 00: 停止、発振、X _{CIN} 01: 発振、停止、X _{IN} 10: 発振、発振、X _{CIN} 11: 発振、発振、X _{IN}	1	RW
7			0	RW

図4.29 CPUモードレジスタの構成

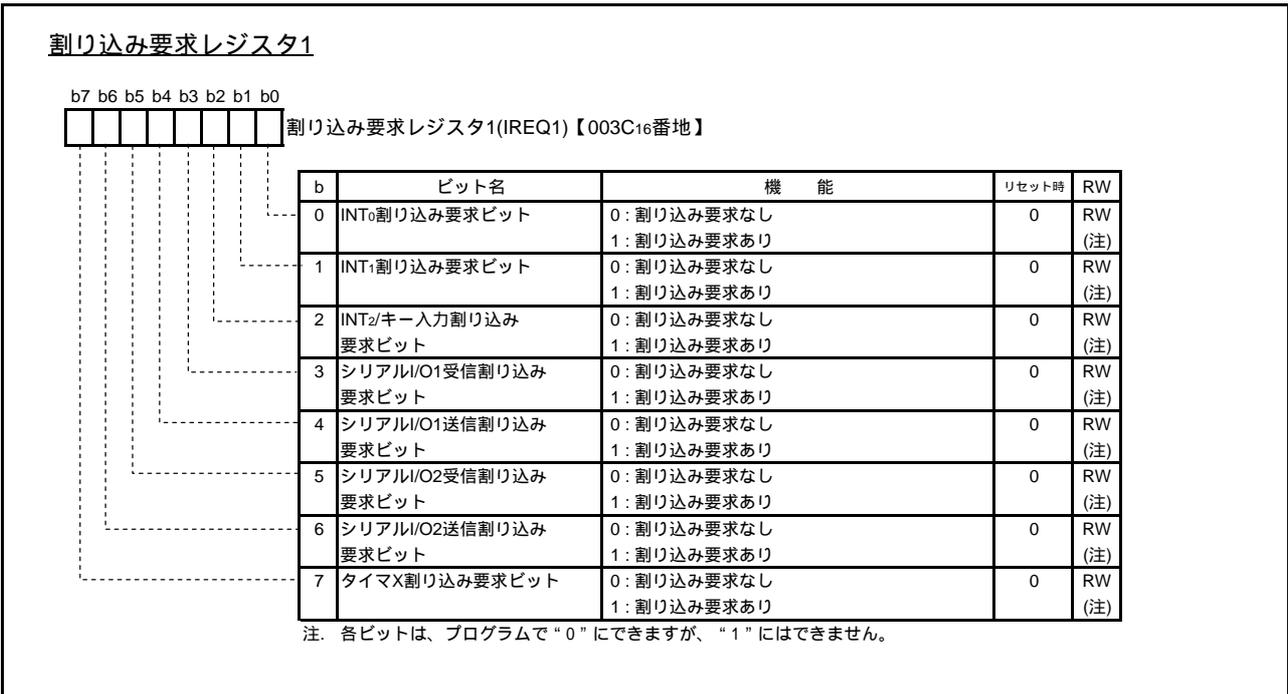


図4.30 割り込み要求レジスタ1の構成

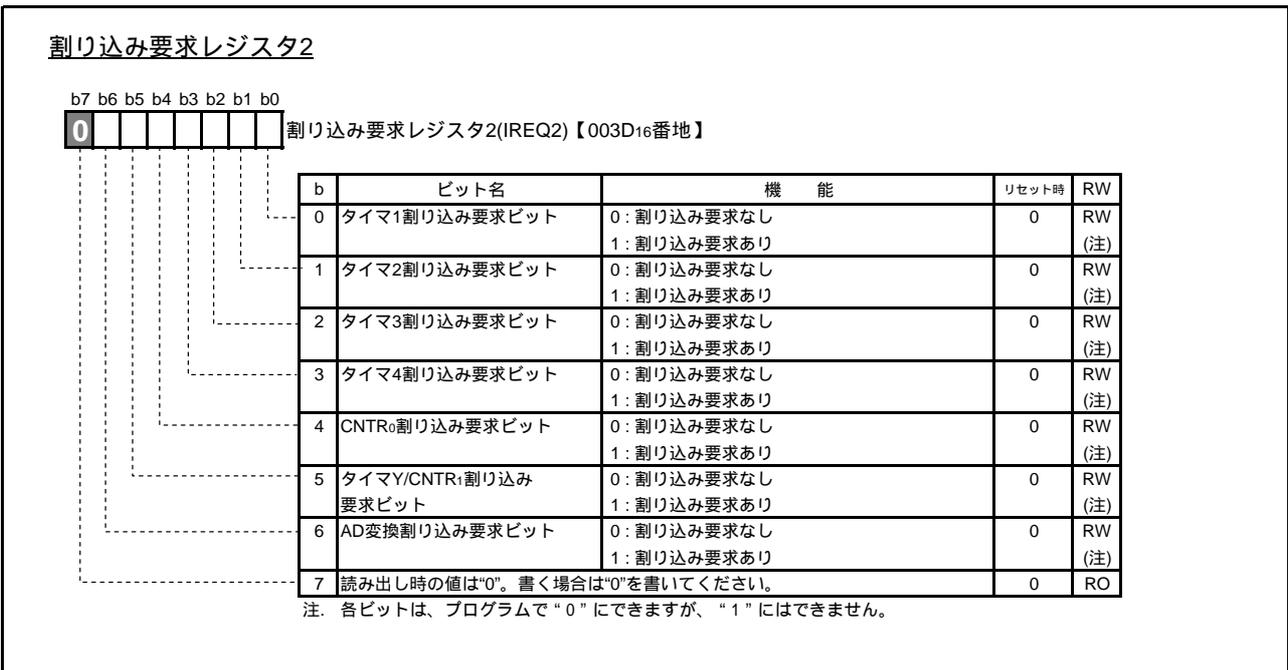


図4.31 割り込み要求レジスタ2の構成



図4.32 割り込み制御レジスタ1の構成

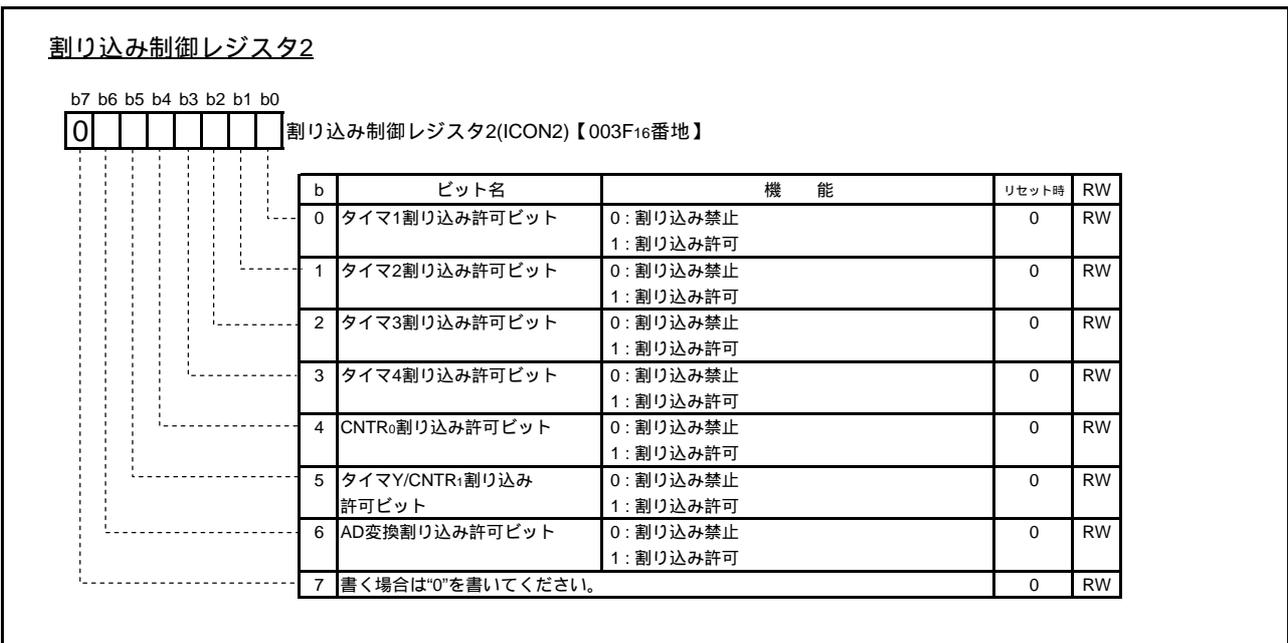


図4.33 割り込み制御レジスタ2の構成

LCD表示用RAM

アドレス		ビット								リセット後	RW
		7	6	5	4	3	2	1	0		
		COM ₃	COM ₂	COM ₁	COM ₀	COM ₃	COM ₂	COM ₁	COM ₀		
0040 ₁₆ 番地	LRAM0	SEG ₁				SEG ₀				不定	RW
0041 ₁₆ 番地	LRAM1	SEG ₃				SEG ₂				不定	RW
0042 ₁₆ 番地	LRAM2	SEG ₅				SEG ₄				不定	RW
0043 ₁₆ 番地	LRAM3	SEG ₇				SEG ₆				不定	RW
0044 ₁₆ 番地	LRAM4	SEG ₉				SEG ₈				不定	RW
0045 ₁₆ 番地	LRAM5	SEG ₁₁				SEG ₁₀				不定	RW
0046 ₁₆ 番地	LRAM6	SEG ₁₃				SEG ₁₂				不定	RW
0047 ₁₆ 番地	LRAM7	SEG ₁₅				SEG ₁₄				不定	RW
0048 ₁₆ 番地	LRAM8	SEG ₁₇				SEG ₁₆				不定	RW
0049 ₁₆ 番地	LRAM9	SEG ₁₉				SEG ₁₈				不定	RW
004A ₁₆ 番地	LRAM10	SEG ₂₁				SEG ₂₀				不定	RW
004B ₁₆ 番地	LRAM11	SEG ₂₃				SEG ₂₂				不定	RW

図4.34 LCD表示用RAMの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1制御レジスタ(SIO1CON)【0FE0₁₆番地】

b	ビット名	機能	リセット時	RW
0	BRGカウントソース選択ビット(CSS)	0: f(X _{IN}) (注1) 1: f(X _{IN})/4 (注2)	0	RW
1	シリアル/O1同期クロック選択ビット(SCS)	クロック同期形シリアル/O1選択時 0: BRG出力の4分周 1: 外部クロック入力 UART選択時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	S _{RDYi} 出力許可ビット(SRDY)	0: 入出力ポート(P5 ₇) 1: S _{RDYi} 出力端子	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファEMPTY 1: 送信シフト動作終了	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアル/O1モード選択ビット(SIOM)	0: UART 1: クロック同期形シリアル/O1	0	RW
7	シリアル/O1許可ビット(SIOE)	0: シリアル/O1禁止 (P5 ₄ ~ P5 ₇ : 入出力ポート) 1: シリアル/O1許可 (P5 ₄ ~ P5 ₇ : シリアル/O1機能端子)	0	RW

注1. 低速モード時はf(X_{CIN})
2. 低速モード時はf(X_{CIN})/4

図4.35 シリアル/O1制御レジスタの構成

UART1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



UART1制御レジスタ(UART1CON)【0FE1₁₆番地】

b	ビット名	機能	リセット時	RW	
0	キャラクタ長選択ビット(CHAS)	0: 8ビット 1: 7ビット	0	RW	
1	パリティ許可ビット(PARE)	0: パリティ禁止 1: パリティ許可	0	RW	
2	パリティ選択ビット(PARS)	0: 偶数パリティ 1: 奇数パリティ	0	RW	
3	ストップビット長選択ビット(STPS)	0: 1ストップビット 1: 2ストップビット	0	RW	
4	P5 _s /TxD _i Pチャネル出力禁止ビット(POFF)	出力モード時 0: CMOS出力 1: Nチャネルオープンドレイン出力	0	RW	
5	読み出し時の値は"1"。書く場合は"1"を書いてください。			1	RO
6				1	RO
7				1	RO

図4.36 UART1制御レジスタの構成

ポーレートジェネレータ_i

b7 b6 b5 b4 b3 b2 b1 b0

 ポーレートジェネレータ_i(BRG_i)(*i*=1,2)【0FE2₁₆,0FE5₁₆番地】

b	機 能	リセット時	RW
0	BRGカウントソースの分周値を設定してください。	不定	RW
1	設定値を <i>n</i> とすると、BRGカウントソースを(<i>n</i> +1)分周します。	不定	RW
2		不定	RW
3		不定	RW
4		不定	RW
5		不定	RW
6		不定	RW
7		不定	RW

注. このレジスタへの書き込みは、送受信停止中に行ってください。

図4.37 ポーレートジェネレータ_iの構成(*i*=1,2)

シリアル/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

 シリアル/O2制御レジスタ(SIO2CON)【0FE3₁₆番地】

b	ビット名	機 能	リセット時	RW
0	BRGカウントソース選択ビット(CSS)	0: $f(X_{IN})$ (注1) 1: $f(X_{IN})/4$ (注2)	0	RW
1	シリアル/O2同期クロック選択ビット(SCS)	クロック同期形シリアル/O選択時 0: BRG出力の4分周 1: 外部クロック入力 UART選択時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	SRDY ₂ 出力許可ビット(SRDY)	0: 入出力ポート(P3 ₀) 1: SRDY ₂ 出力端子	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信シフト動作終了	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアル/O2モード選択ビット(SIOM)	0: UART 1: クロック同期形シリアル/O	0	RW
7	シリアル/O2許可ビット(SIOE)	0: シリアル/O2禁止 (P3 ₀ ~ P3 ₃ : 入出力ポート) 1: シリアル/O2許可 (P3 ₀ ~ P3 ₃ : シリアル/O機能端子)	0	RW

注1. 低速モード時は $f(X_{CIN})$

2. 低速モード時は $f(X_{CIN})/4$

図4.38 シリアル/O2制御レジスタの構成

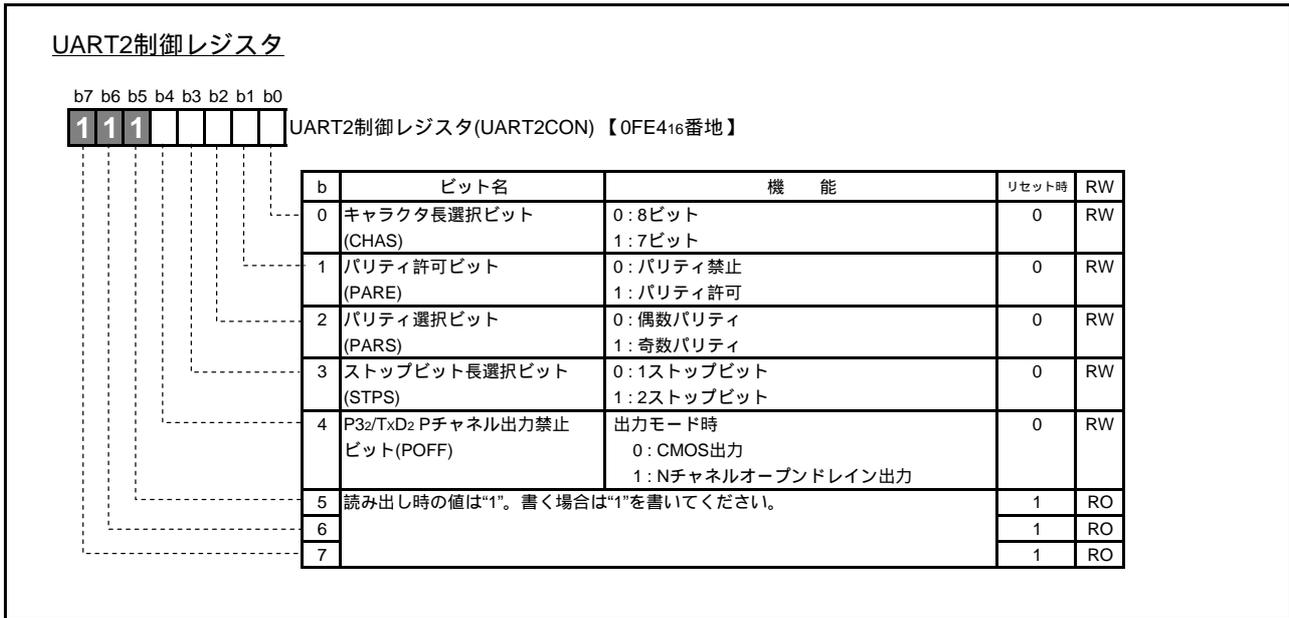


図4.39 UART2制御レジスタの構成

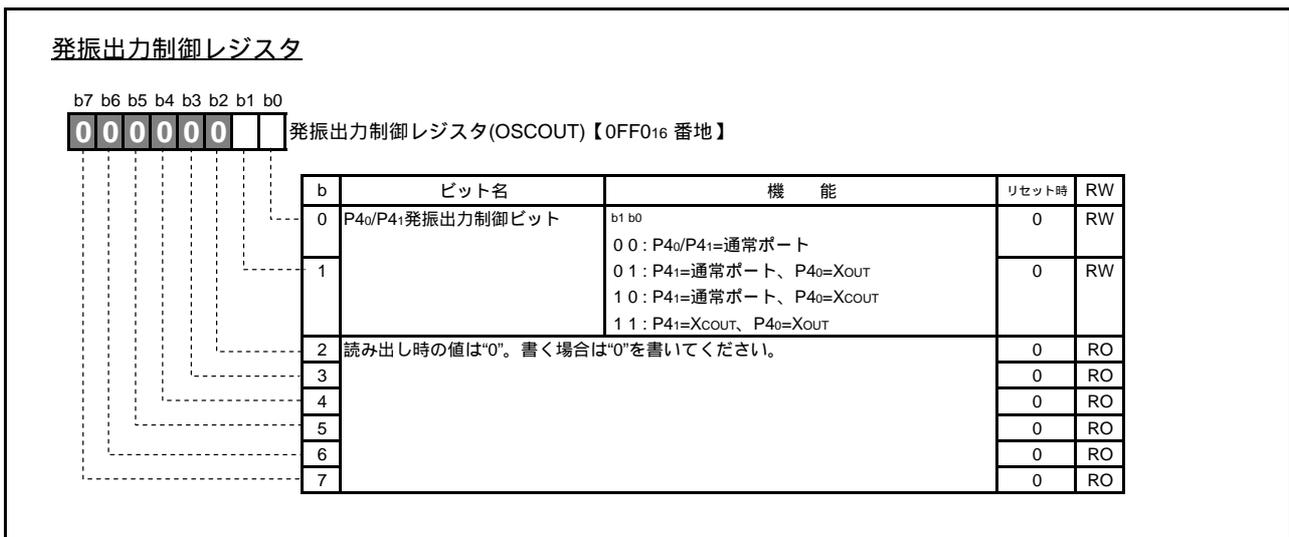


図4.40 発振出力制御レジスタの構成

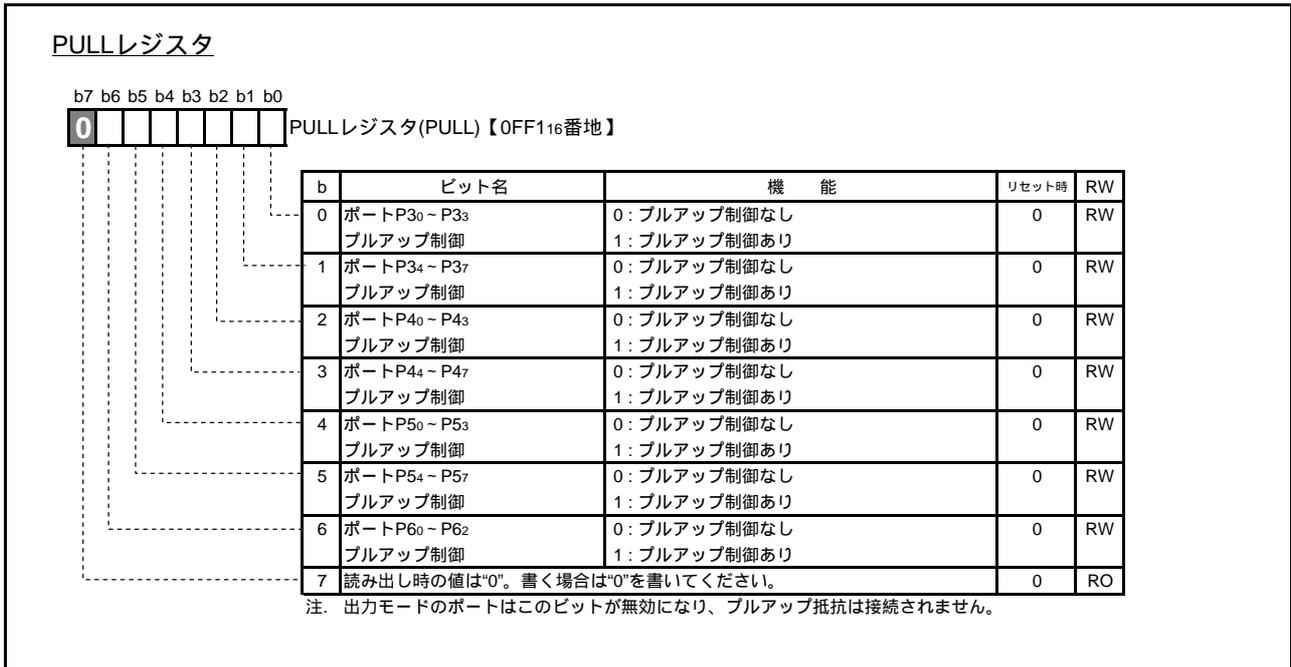


図4.41 PULLレジスタの構成



図4.42 キー入力制御レジスタの構成

タイマ1234モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



タイマ1234モードレジスタ(T1234M)【0FF316番地】

b	ビット名	機能	リセット時	RW
0	T3out出力極性切り替えビット	0: "L"出力でスタート 1: "H"出力でスタート	0	RW
1	T4out出力極性切り替えビット	0: "L"出力でスタート 1: "H"出力でスタート	0	RW
2	タイマ3出力選択ビット (P5 ₂)	0: 入出力ポート 1: タイマ3出力	0	RW
3	タイマ4出力選択ビット (P5 ₃)	0: 入出力ポート 1: タイマ4出力	0	RW
4	タイマ2書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
5	タイマ3書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
6	タイマ4書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
7	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO

図4.43 タイマ1234モードレジスタの構成

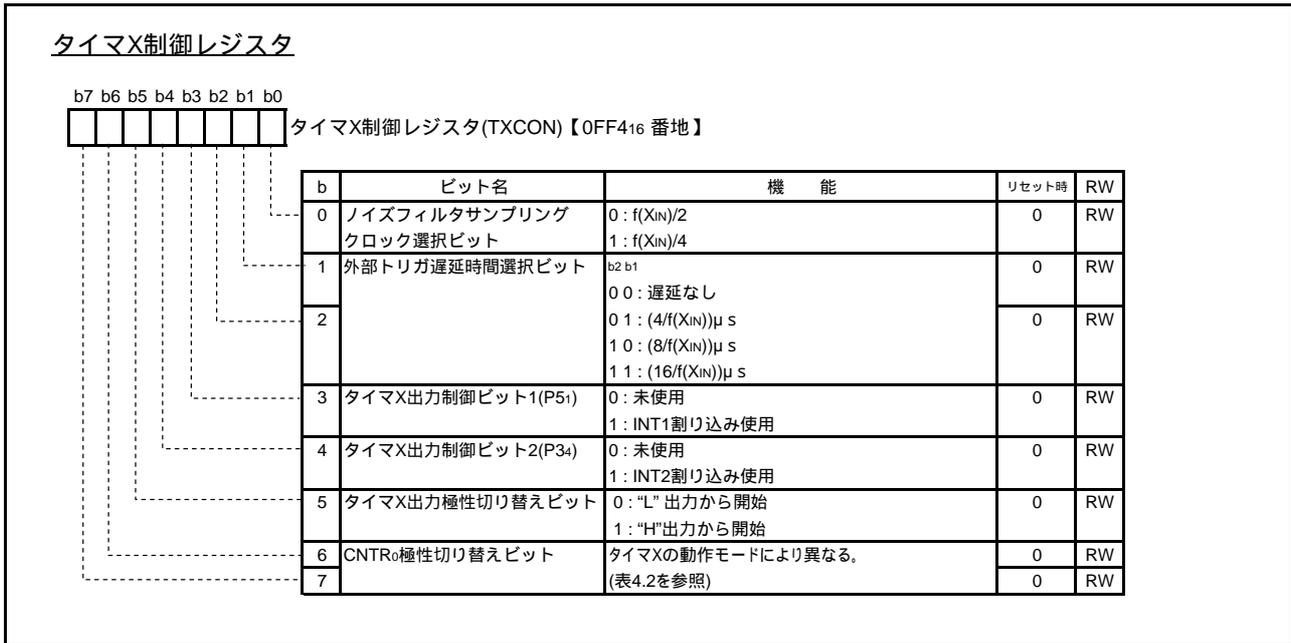


図4.44 タイマX制御レジスタの構成

表4.2 CNTR0極性切り替えビットの機能

タイマX動作モード	設定値 b7 b6	タイマ機能/CNTR0端子の機能	CNTR0割り込み要求発生要因
タイマモード	0 0	外部割り込み端子	CNTR0の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		CNTR0の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
パルス出力モード	0 0		入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	0 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
IGBT出力モード	0 0		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
PWMモード	0 0		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
イベントカウンタモード	0 0	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	0 1	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
	1 0	両エッジをカウント	入力信号の立ち下がりエッジと立ち上がりエッジ
	1 1	両エッジをカウント	入力信号の立ち下がりエッジと立ち上がりエッジ
パルス幅測定モード	0 0	"H"幅を測定	入力信号の立ち下がりエッジ
	0 1	"L"幅を測定	入力信号の立ち上がりエッジ
	1 0	選択禁止(注1)	
	1 1	選択禁止(注1)	

注1. パルス幅測定モード時は、CNTR0極性切り替えビットのビット7を"0"に設定してください。

タイマ12分周選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 タイマ12分周選択レジスタ(PRE12)【OFF5₁₆番地】

b	ビット名	機能	リセット時	RW
0	タイマ1分周選択ビット	b2 b1 b0 0 0 0 : 1/16 × f(X _{IN})又は1/16 × f(X _{CIN}) 0 0 1 : 1/1 × f(X _{IN})又は1/1 × f(X _{CIN}) 0 1 0 : 1/2 × f(X _{IN})又は1/2 × f(X _{CIN}) 0 1 1 : 1/32 × f(X _{IN})又は1/32 × f(X _{CIN}) 1 0 0 : 1/64 × f(X _{IN})又は1/64 × f(X _{CIN}) 1 0 1 : 1/128 × f(X _{IN})又は1/128 × f(X _{CIN}) 1 1 0 : 1/256 × f(X _{IN})又は1/256 × f(X _{CIN}) 1 1 1 : 1/1024 × f(X _{IN})又は1/1024 × f(X _{CIN})	0	RW
1			0	RW
2			0	RW
3	タイマ2分周選択ビット	b5 b4 b3 0 0 0 : 1/16 × f(X _{IN})又は1/16 × f(X _{CIN}) 0 0 1 : 1/1 × f(X _{IN})又は1/1 × f(X _{CIN}) 0 1 0 : 1/2 × f(X _{IN})又は1/2 × f(X _{CIN}) 0 1 1 : 1/32 × f(X _{IN})又は1/32 × f(X _{CIN}) 1 0 0 : 1/64 × f(X _{IN})又は1/64 × f(X _{CIN}) 1 0 1 : 1/128 × f(X _{IN})又は1/128 × f(X _{CIN}) 1 1 0 : 1/256 × f(X _{IN})又は1/256 × f(X _{CIN}) 1 1 1 : 1/1024 × f(X _{IN})又は1/1024 × f(X _{CIN})	0	RW
4			0	RW
5			0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

図4.45 タイマ12分周選択レジスタの構成

タイマ34分周選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 タイマ34分周選択レジスタ(PRE34)【OFF6₁₆番地】

b	ビット名	機能	リセット時	RW
0	タイマ3分周選択ビット	b2 b1 b0 0 0 0 : 1/16 × f(X _{IN})又は1/16 × f(X _{CIN}) 0 0 1 : 1/1 × f(X _{IN})又は1/1 × f(X _{CIN}) 0 1 0 : 1/2 × f(X _{IN})又は1/2 × f(X _{CIN}) 0 1 1 : 1/32 × f(X _{IN})又は1/32 × f(X _{CIN}) 1 0 0 : 1/64 × f(X _{IN})又は1/64 × f(X _{CIN}) 1 0 1 : 1/128 × f(X _{IN})又は1/128 × f(X _{CIN}) 1 1 0 : 1/256 × f(X _{IN})又は1/256 × f(X _{CIN}) 1 1 1 : 1/1024 × f(X _{IN})又は1/1024 × f(X _{CIN})	0	RW
1			0	RW
2			0	RW
3	タイマ4分周選択ビット	b5 b4 b3 0 0 0 : 1/16 × f(X _{IN})又は1/16 × f(X _{CIN}) 0 0 1 : 1/1 × f(X _{IN})又は1/1 × f(X _{CIN}) 0 1 0 : 1/2 × f(X _{IN})又は1/2 × f(X _{CIN}) 0 1 1 : 1/32 × f(X _{IN})又は1/32 × f(X _{CIN}) 1 0 0 : 1/64 × f(X _{IN})又は1/64 × f(X _{CIN}) 1 0 1 : 1/128 × f(X _{IN})又は1/128 × f(X _{CIN}) 1 1 0 : 1/256 × f(X _{IN})又は1/256 × f(X _{CIN}) 1 1 1 : 1/1024 × f(X _{IN})又は1/1024 × f(X _{CIN})	0	RW
4			0	RW
5			0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

図4.46 タイマ34分周選択レジスタの構成

タイマXY分周選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 タイマXY分周選択レジスタ(PREXY)【0FF716番地】

b	ビット名	機能	リセット時	RW
0	タイマX分周選択ビット	b2 b1 b0 0 0 0 : 1/16 × f(XIN)又は1/16 × f(XCIN) 0 0 1 : 1/1 × f(XIN)又は1/1 × f(XCIN) 0 1 0 : 1/2 × f(XIN)又は1/2 × f(XCIN) 0 1 1 : 1/32 × f(XIN)又は1/32 × f(XCIN) 1 0 0 : 1/64 × f(XIN)又は1/64 × f(XCIN) 1 0 1 : 1/128 × f(XIN)又は1/128 × f(XCIN) 1 1 0 : 1/256 × f(XIN)又は1/256 × f(XCIN) 1 1 1 : 1/1024 × f(XIN)又は1/1024 × f(XCIN)	0	RW
1			0	RW
2			0	RW
3	タイマY分周選択ビット	b5 b4 b3 0 0 0 : 1/16 × f(XIN)又は1/16 × f(XCIN) 0 0 1 : 1/1 × f(XIN)又は1/1 × f(XCIN) 0 1 0 : 1/2 × f(XIN)又は1/2 × f(XCIN) 0 1 1 : 1/32 × f(XIN)又は1/32 × f(XCIN) 1 0 0 : 1/64 × f(XIN)又は1/64 × f(XCIN) 1 0 1 : 1/128 × f(XIN)又は1/128 × f(XCIN) 1 1 0 : 1/256 × f(XIN)又は1/256 × f(XCIN) 1 1 1 : 1/1024 × f(XIN)又は1/1024 × f(XCIN)	0	RW
4			0	RW
5			0	RW
6	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

図4.47 タイマXY分周選択レジスタの構成

ポートP0方向レジスタを出力モードに設定している場合

セグメント出力禁止レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0
 セグメント出力禁止レジスタ0(SEG0)【0FF816番地】

b	ビット名	機能	リセット時	RW
0	セグメント出力禁止ビット0	0: セグメント出力 SEG ₀ 1: 出力ポート P0 ₀	1	RW
1	セグメント出力禁止ビット1	0: セグメント出力 SEG ₁ 1: 出力ポート P0 ₁	1	RW
2	セグメント出力禁止ビット2	0: セグメント出力 SEG ₂ 1: 出力ポート P0 ₂	1	RW
3	セグメント出力禁止ビット3	0: セグメント出力 SEG ₃ 1: 出力ポート P0 ₃	1	RW
4	セグメント出力禁止ビット4	0: セグメント出力 SEG ₄ 1: 出力ポート P0 ₄	1	RW
5	セグメント出力禁止ビット5	0: セグメント出力 SEG ₅ 1: 出力ポート P0 ₅	1	RW
6	セグメント出力禁止ビット6	0: セグメント出力 SEG ₆ 1: 出力ポート P0 ₆	1	RW
7	セグメント出力禁止ビット7	0: セグメント出力 SEG ₇ 1: 出力ポート P0 ₇	1	RW

図4.48 セグメント出力禁止レジスタ0の構成

ポートP1方向レジスタを出力モードに設定している場合

セグメント出力禁止レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



セグメント出力禁止レジスタ1(SEG1) 【0FF9₁₆番地】

b	ビット名	機 能	リセット時	RW
0	セグメント出力禁止ビット8	0: セグメント出力 SEG ₈ 1: 出力ポート P ₁₀	1	RW
1	セグメント出力禁止ビット9	0: セグメント出力 SEG ₉ 1: 出力ポート P ₁₁	1	RW
2	セグメント出力禁止ビット10	0: セグメント出力 SEG ₁₀ 1: 出力ポート P ₁₂	1	RW
3	セグメント出力禁止ビット11	0: セグメント出力 SEG ₁₁ 1: 出力ポート P ₁₃	1	RW
4	セグメント出力禁止ビット12	0: セグメント出力 SEG ₁₂ 1: 出力ポート P ₁₄	1	RW
5	セグメント出力禁止ビット13	0: セグメント出力 SEG ₁₃ 1: 出力ポート P ₁₅	1	RW
6	セグメント出力禁止ビット14	0: セグメント出力 SEG ₁₄ 1: 出力ポート P ₁₆	1	RW
7	セグメント出力禁止ビット15	0: セグメント出力 SEG ₁₅ 1: 出力ポート P ₁₇	1	RW

図4.49 セグメント出力禁止レジスタ1の構成

ポートP2方向レジスタを出力モードに設定している場合

セグメント出力禁止レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



セグメント出力禁止レジスタ2(SEG2) 【0FFA₁₆番地】

b	ビット名	機 能	リセット時	RW
0	セグメント出力禁止ビット16	0: セグメント出力 SEG ₁₆ 1: 出力ポート P ₂₀	1	RW
1	セグメント出力禁止ビット17	0: セグメント出力 SEG ₁₇ 1: 出力ポート P ₂₁	1	RW
2	セグメント出力禁止ビット18	0: セグメント出力 SEG ₁₈ 1: 出力ポート P ₂₂	1	RW
3	セグメント出力禁止ビット19	0: セグメント出力 SEG ₁₉ 1: 出力ポート P ₂₃	1	RW
4	セグメント出力禁止ビット20	0: セグメント出力 SEG ₂₀ 1: 出力ポート P ₂₄	1	RW
5	セグメント出力禁止ビット21	0: セグメント出力 SEG ₂₁ 1: 出力ポート P ₂₅	1	RW
6	セグメント出力禁止ビット22	0: セグメント出力 SEG ₂₂ 1: 出力ポート P ₂₆	1	RW
7	セグメント出力禁止ビット23	0: セグメント出力 SEG ₂₃ 1: 出力ポート P ₂₇	1	RW

図4.50 セグメント出力禁止レジスタ2の構成

ポートPi(i=0~2)方向レジスタを入力モードに設定している場合

セグメント出力禁止レジスタi

b7 b6 b5 b4 b3 b2 b1 b0



セグメント出力禁止レジスタi(SEGi)(i=0~2)【0FF8i16,0FF9i16,0FFAi16 番地】

b	ビット名	機能	リセット時	RW
0	ポートPi0 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
1	ポートPi1 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
2	ポートPi2 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
3	ポートPi3 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
4	ポートPi4 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
5	ポートPi5 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
6	ポートPi6 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW
7	ポートPi7 プルアップ制御	0: プルアップ制御なし 1: プルアップ制御あり	1	RW

注. 出力モードのポートはプルアップ抵抗は接続されません。

図4.51 セグメント出力禁止レジスタiの構成(i=0~2)

タイマモードレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



タイマモードレジスタ2(TYM2)【0FFB16 番地】

b	ビット名	機能	リセット時	RW
0	タイマ書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
1	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.52 タイマモードレジスタ2の構成

フラッシュメモリ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

000

フラッシュメモリ制御レジスタ(FMCR)【0FFE16番地】

b	ビット名	機能	リセット時	RW
0	RY/BYステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	1	RO
1	CPU書き換えモード選択ビット (注2)	0 : 通常モード (ソフトウェアコマンド無効) 1 : CPU書き換えモード (ソフトウェアコマンド受付可能)	0	RW
2	CPU書き換えモードエントリフラグ	0 : 通常モード 1 : CPU書き換えモード	0	RO
3	フラッシュメモリリセットビット (注3)	0 : 通常動作 1 : リセット	0	RW
4	ユーザ領域/ブート領域選択ビット	0 : ユーザROM領域 1 : ブートROM領域	0	RW
5	読み出し時の値は不定。書く場合は"0"を書いてください。		不定	-
6			不定	-
7			不定	-

- 注1. リセット解除後のフラッシュメモリ制御レジスタの値は"XXX00001"となります。
2. "1"を設定するためには、このビット1への"0"書き込み "1"書き込みを連続して行う必要があります。このビットへの書き込みは、内蔵RAM上の制御プログラムで行ってください。
3. CPU書き換えモード選択ビットが"1"のときのみ有効です。"1"を設定 (リセット) 後、続いて"0"を設定してください。

図4.53 フラッシュメモリ制御レジスタの構成

5. 参考ドキュメント

データシート
38C2グループ(Aバージョン)データシート

最新版をルネサス テクノロジ ホームページから入手してください。

6. ホームページとサポート窓口

ルネサス テクノロジ ホームページ
<http://www.renesas.com/jpn/products/mpumcu/index.html>

ルネサス製品全般に関するお問合せ先
カスタマ・サポート・センター：csc@renesas.com

アプリケーションノートに関する技術的なお問合せ先
740ファミリMCU技術サポート窓口：support_apl@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.07.20	-	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。