RX66T グループ　RX62T/RX62G グループ

RX66T グループと RX62T グループの相違点

要旨

本アプリケーションノートは、主に RX66T グループ、RX62T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX66T グループの 144 ピンパッケージ(プログラマブルゲインアンプ(PGA)疑似差動入力あり、USB 端子あり)と RX62T グループの 112 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX66T グループ、RX62T グループ

目次

1.　RX66T グループと RX62T グループの搭載機能比較 4

2.　仕様の概要比較 6
2.1　CPU 6
2.2　動作モード 8
2.3　アドレス空間 9
2.4　リセット 12
2.5　電源検出回路 13
2.6　クロック発生回路 15
2.7　消費電力低減機能 18
2.8　例外処理 24
2.9　割り込みコントローラ 25
2.10　バス 28
2.11　メモリプロテクションユニット 30
2.12　データトランスファコントローラ 31
2.13　I/O ポート 32
2.14　マルチファンクションタイマパルスユニット 3 37
2.15　ポートアウトプットイネーブル 3 43
2.16　汎用 PWM タイマ 55
2.17　コンペアマッチタイマ 63
2.18　ウォッチドッグタイマ 64
2.19　独立ウォッチドッグタイマ 66
2.20　シリアルコミュニケーションインタフェース 69
2.21　I^2C バスインタフェース 75
2.22　CAN モジュール 78
2.23　シリアルペリフェラルインタフェース 81
2.24　CRC 演算器 84
2.25　12 ビット A/D コンバータ 86
2.26　RAM 95
2.27　フラッシュメモリ 97
2.28　パッケージ 102

3.　端子機能の比較 103
3.1　112 ピンパッケージ 103
3.2　100 ピンパッケージ(RX66T：PGA 疑似差動入力あり USB 端子あり) 108
3.3　100 ピンパッケージ(RX66T：PGA 疑似差動入力あり USB 端子なし) 112
3.4　100 ピンパッケージ(RX66T：PGA 疑似差動入力なし USB 端子なし) 117
3.5　80 ピンパッケージ(RX62T：LQFP(R5F562TxGDFF 以外)) 122
3.6　80 ピンパッケージ(RX62T：LQFP(R5F562TxGDFF)) 125
3.7　64 ピンパッケージ 128

4.　移行の際の留意点 131
4.1　端子設計の留意点 131
4.1.1　VCL 端子(外付け容量) 131
4.1.2　PLLVCC 端子 131

4.1.3　モード設定端子 131
4.1.4　外部クロックを入力する方法 131
4.1.5　PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4) 131
4.1.6　AVCC 端子と AVSS 端子間のデカップリング容量挿入方法 132
4.2　機能設計の留意点 133
4.2.1　RIIC 動作電圧設定 133
4.2.2　USB 動作電圧設定 133
4.2.3　例外ベクタテーブル 133
4.2.4　電圧レベル設定 133
4.2.5　エンディアン 133
4.2.6　オプション設定メモリ 133
4.2.7　クロック周波数設定 134
4.2.8　メインクロック発振器 134
4.2.9　PLL 回路 134
4.2.10　メインクロック発振停止検出機能の動作 134
4.2.11　全モジュールクロックストップモード 134
4.2.12　DIRQnE ビット(n = 0～15)による入力バッファ制御 135
4.2.13　レジスタライトプロテクション機能 135
4.2.14　選択型割り込み 135
4.2.15　ポート方向レジスタ(PDR)の初期化 135
4.2.16　POE3 の汎用入出力ポート切り替え制御の注意事項 135
4.2.17　バスの優先順位 135
4.2.18　端子割り当て機能 135
4.2.19　MTU3d/GPTW 動作周波数 135
4.2.20　MTU による DMAC 起動 135
4.2.21　カウンタ停止時の MTIOC 端子出力レベル 136
4.2.22　ELC イベント入力の時タイマモードレジスタ設定の注意事項 136
4.2.23　ポートアウトプットイネーブル 136
4.2.24　ポートアウトプットイネーブル 3 出力停止要求発生時の制御 136
4.2.25　MTU/GPTW 反転出力設定時のアクティブレベル設定について 136
4.2.26　ハイインピーダンス時の端子の読み出しについて 136
4.2.27　POE と POEG を併用した場合の注意事項 137
4.2.28　汎用 PWM タイマ 137
4.2.29　ウォッチドッグタイマ/独立ウォッチドッグタイマ 137
4.2.30　I^2C バスインタフェースのノイズ除去 137
4.2.31　12 ビット A/D コンバータ 137
4.2.32　A/D 変換スタートビット 137
4.2.33　コンペア機能制約 137
4.2.34　A/D スキャン変換終了割り込みの発生 137
4.2.35　D/A コンバータの設定について 138
4.2.36　FCU RAM へのファームウェア転送 138
4.2.37　ROM キャッシュ 138
4.2.38　フラッシュメモリのコマンド使用方法 138

5.　参考ドキュメント 139

1.　RX66T グループと RX62T グループの搭載機能比較

RX66T グループと RX62T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX62T/RX66T 搭載機能比較を示します。

表 1.1　RX62T/RX66T 搭載機能比較

機能名	RX62T	RX66T
CPU	●	
動作モード	●	
アドレス空間	▲	
リセット	●	
オプション設定メモリ(OFSM)	(注 1)	○
電源検出回路(LVD)RX62T、(LVDA):RX66T	●	
クロック発生回路	●	
クロック周波数精度測定回路(CAC)	×	○
消費電力低減機能	●	
レジスタライトプロテクション機能	×	○
例外処理	▲	
割り込みコントローラ(ICU):RX62T、(ICUC):RX66T	●	
バス	●	
メモリプロテクションユニット(MPU)	▲	
DMA コントローラ(DMACAa)	×	○
データトランスファコントローラ(DTC):RX62T、(DTCa):RX66T	●	
イベントリンクコントローラ(ELC)	×	○
I/O ポート	●	
マルチファンクションピンコントローラ(MPC)	(注 2)	○
マルチファンクションタイマパルスユニット 3(MTU3):RX62T、(MTU3d):RX66T	●	
ポートアウトプットイネーブル 3(POE3):RX62T、(POE3B):RX66T	●	
汎用 PWM タイマ(GPT/GPTa):RX62T、(GPTW):RX66T	● (注 3)	
高分解能 PWM 波形生成回路(HRPWM)	(注 4)	○
GPT 用ポートアウトプットイネーブル(POEG)	×	○
8 ビットタイマ(TMR)	×	○
コンペアマッチタイマ(CMT)	●	
ウォッチドッグタイマ(WDT):RX62T、(WDTA):RX66T	●/▲	
独立ウォッチドッグタイマ(IWDT):RX62T、(IWDTa):RX66T	●	
USB2.0FS ホスト/ファンクションモジュール(USBb)	×	○
シリアルコミュニケーションインタフェース(SCIb):RX62T シリアルコミュニケーションインタフェース(SCIj, SCIi, SCIh):RX66T	●	
I^2C バスインタフェース(RIIC):RX62T、(RIICa):RX66T	●	
CAN モジュール(CAN)	●	
シリアルペリフェラルインタフェース(RSPI):RX62T、(RSPIc):RX66T	●	
CRC 演算器(CRC):RX62T、(CRCA):RX66T	●	
Trusted Secure IP(TSIP-Lite)	×	○
LIN モジュール(LIN)	○	(注 5)

機能名	RX62T	RX66T
12 ビット A/D コンバータ(S12ADA):RX62T、(S12ADH):RX66T	●	
10 ビット A/D コンバータ(ADA)	○	×
12 ビット D/A コンバータ(R12DAb)	×	○
温度センサ(TEMPS)	×	○
コンパレータ C(CMPC)	(注 6)	○
データ演算回路(DOC)	×	○
RAM	●/▲	
フラッシュメモリ	●/▲	
パッケージ	▲/■	

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

注 1.　RX62T/RX62G グループでは ROM(コード格納用フラッシュメモリ)章に、RX66T グループのオプション設定メモリ章相当の機能が記載されています。詳細は「4 移行の際の留意点」を参照してください。

注 2.　RX62T/RX62G グループでは I/O ポート章に、RX66T グループのマルチファンクションピンコントローラ章相当の機能が記載されています。詳細は「4 移行の際の留意点」を参照してください。

注 3.　GPTa は RX62G グループにのみ搭載されています。

注 4.　RX62T/RX62G グループでは汎用 PWM タイマ章に、RX66T グループの高分解能 PWM 波形生成回路章相当の機能が記載されています。

注 5.　RX66T グループでは SCIh 章に、RX62T/RX62G グループの LIN モジュール章相当の機能が記載されています。

注 6.　RX62T/RX62G グループでは 12 ビット A/D コンバータ章にコンパレータ機能が記載されています。

2.　仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は赤字に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1　CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1　CPU の概要比較

項目	RX62T	RX66T
中央演算処理装置	● 最大動作周波数：100MHz ● 32 ビット RX CPU ● 最小命令実行時間：1 命令 1 クロック ● アドレス空間： 4G バイト・リニアアドレス ● レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×9 本 —アキュムレータ：64 ビット×1 本 ● 基本命令：73 種類 ● 浮動小数点演算命令：8 種類 ● DSP 機能命令：9 種類 ● アドレッシングモード：10 種類 ● データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 ● 32 ビット乗算器： 32 ビット×32 ビット→64 ビット ● 除算器： 32 ビット÷32 ビット→32 ビット ● バレルシフタ：32 ビット ● メモリプロテクションユニット(MPU)搭載	● 最大動作周波数：160MHz ● 32 ビット RX CPU (RXv3) ● 最小命令実行時間：1 命令 1 クロック ● アドレス空間： 4G バイト・リニアアドレス ● レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×10 本 —アキュムレータ：72 ビット×2 本 ● 基本命令：77 種類 ● 単精度浮動小数点演算命令：11 種類 ● DSP 機能命令：23 種類 ● アドレッシングモード：11 種類 ● データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 ● 32 ビット乗算器： 32 ビット× 32 ビット→64 ビット ● 除算器： 32 ビット÷ 32 ビット→32 ビット ● バレルシフタ：32 ビット ● メモリプロテクションユニット(MPU)搭載
FPU	● 単精度浮動小数点数(32 ビット) ● IEEE754 に準拠したデータタイプ、 および例外	● 単精度浮動小数点数(32 ビット) ● IEEE754 に準拠したデータタイプ、 および例外

表 2.2　CPU のレジスタ比較

レジスタ	ビット	RX62T	RX66T
EXTB	-	-	例外テーブルレジスタ
ACC(RX62T) ACC0, ACC1 (RX66T)	-	アキュムレータ	アキュムレータ 0, アキュムレータ 1

2.2　動作モード

表 2.3 に動作モードの概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3　動作モードの概要比較

項目	RX62T	RX66T
リセット解除時の モード設定端子による 動作モードの選択	シングルチップモード	シングルチップモード
	ブートモード	ブートモード (SCI インタフェース)
	-	ブートモード (USB インタフェース)
	-	ブートモード (FINE インタフェース)
	-	ユーザブートモード
レジスタによる動作モードの選択	シングルチップモード	シングルチップモード
	-	ユーザブートモード
	-	内蔵 ROM 無効拡張モード
	-	内蔵 ROM 有効拡張モード
エンディアンの選択	MDE 端子	MDE レジスタ

表 2.4　動作モードのレジスタ比較

レジスタ	ビット	RX62T	RX66T
MDMONR	MD	-	MD 端子ステータスフラグ
	MD0	MD0 端子ステータスフラグ	-
	MD1	MD1 端子ステータスフラグ	-
	MDE	MDE 端子ステータスフラグ	-
MDSR	IROM	内蔵 ROM 起動ステータスフラグ	-
	BOTS	ブートモード起動フラグ	-
	UBTS	-	ユーザブートモード起動フラグ
SYSCR0	EXBE	-	外部バス有効ビット
SYSCR1	-	システムコントロールレジスタ 1	システムコントロールレジスタ 1
		リセット後の初期値が異なります	
	ECCRAME	-	ECCRAM 有効ビット
VOLSR	-	-	電圧レベル設定レジスタ

2.3　アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較(RX62T：R5F562TAxxxx)を、図 2.2 にシングルチップモードのメモリマップ比較(RX62T：R5F562T7xxxx)を、図 2.3 にシングルチップモードのメモリマップ比較(RX62T：R5F562T6xxxx)を示します。

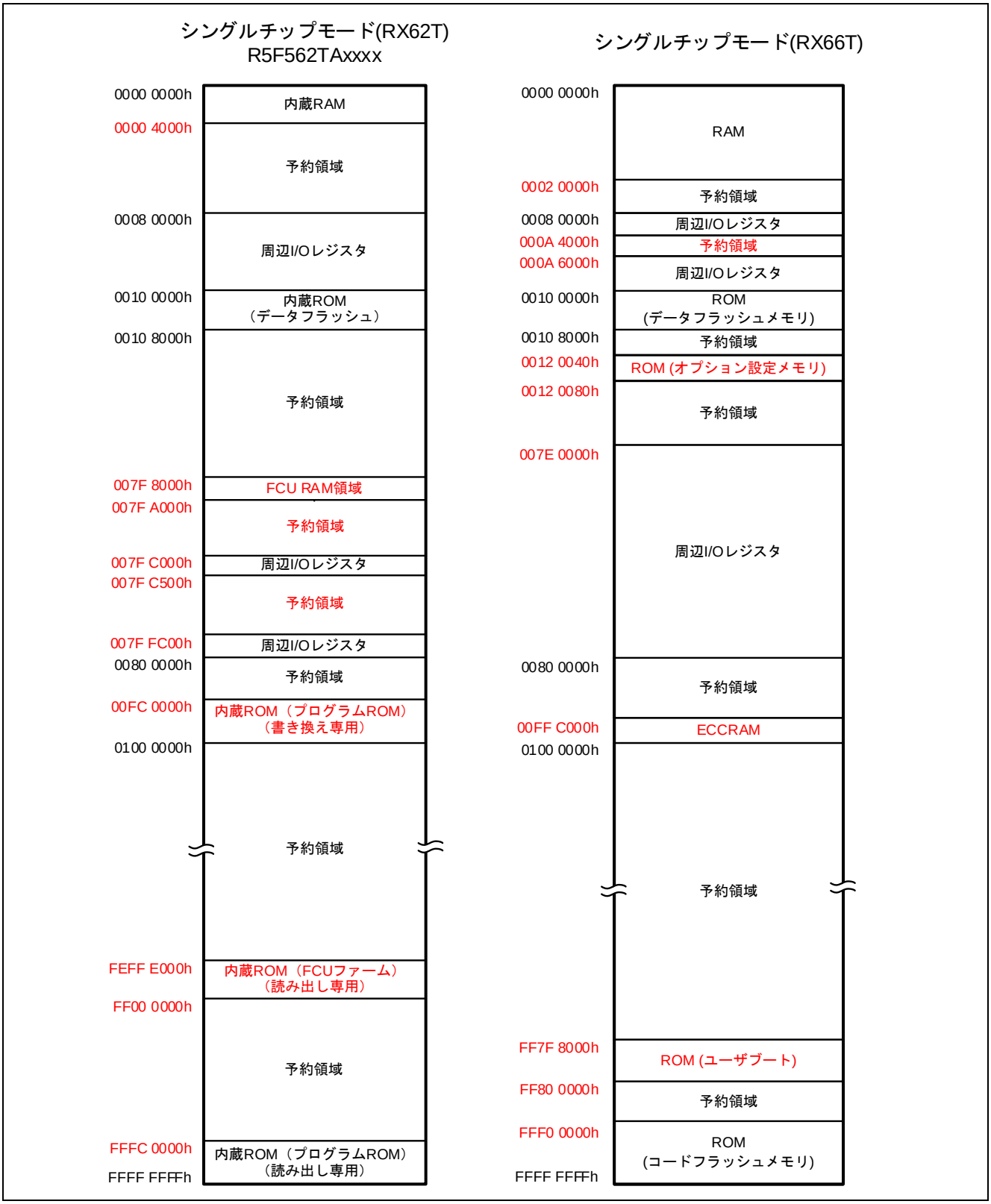


図 2.1　シングルチップモードのメモリマップ比較(RX62T：R5F562TAxxxx)

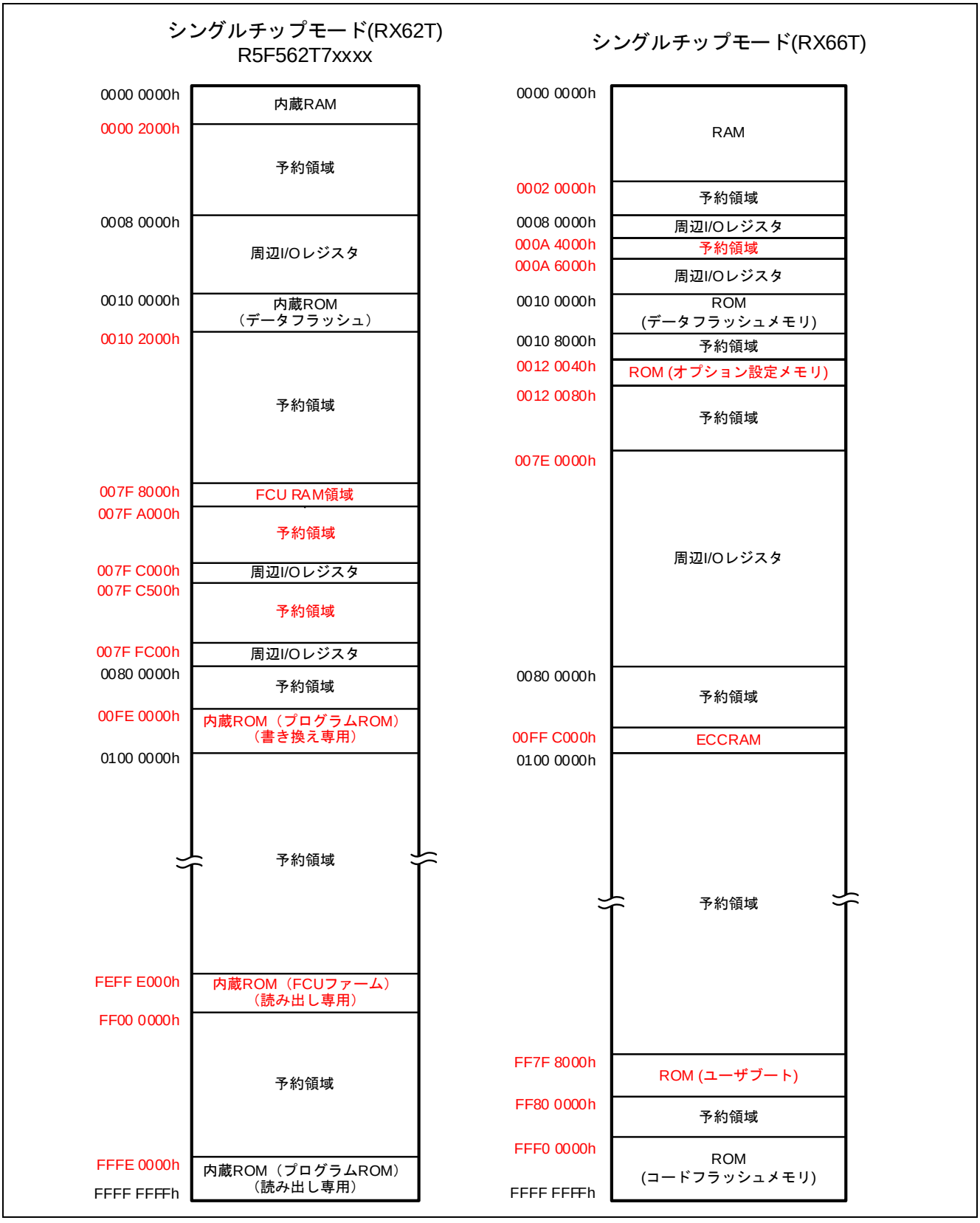


図 2.2　シングルチップモードのメモリマップ比較(RX62T：R5F562T7xxxx)

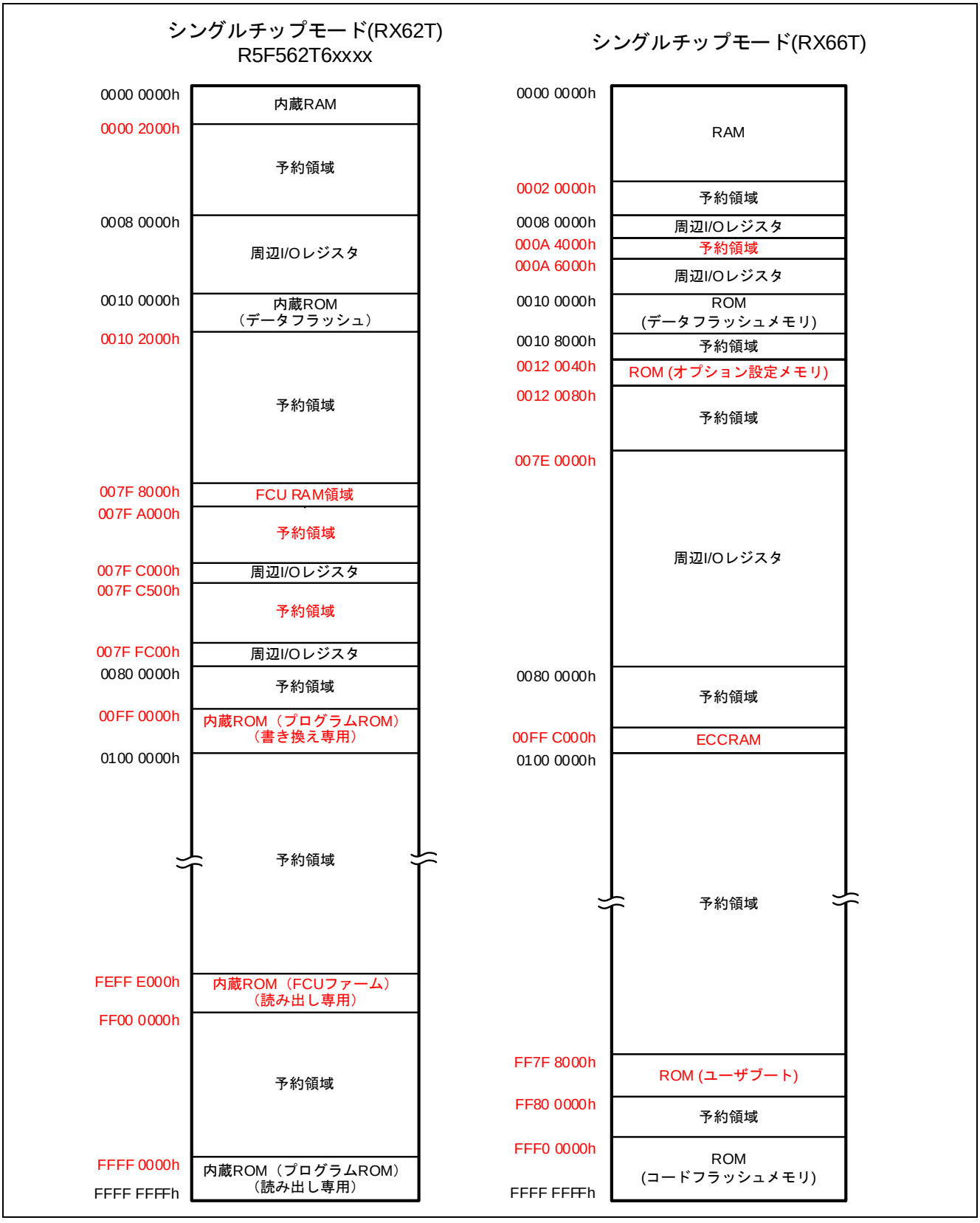


図 2.3　シングルチップモードのメモリマップ比較(RX62T：R5F562T6xxxx)

2.4　リセット

表 2.5 にリセットの概要比較を、表 2.6 にリセットのレジスタ比較を示します。

表 2.5　リセットの概要比較

項目	RX62T	RX66T
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇、 VCC の下降(監視電圧：VPOR)	VCC の上昇(監視電圧：VPOR)
電圧監視 0 リセット	-	VCC の下降(監視電圧：Vdet0)
電圧監視 1 リセット	VCC の下降(監視電圧：Vdet1)	VCC の下降(監視電圧：Vdet1)
電圧監視 2 リセット	VCC の下降(監視電圧：Vdet2)	VCC の下降(監視電圧：Vdet2)
ディープソフトウェア スタンバイリセット	割り込みによるディープソフトウェア スタンバイモードの解除	割り込みによるディープソフトウェア スタンバイモードの解除
独立ウォッチドッグタイマ リセット	独立ウォッチドッグタイマのアンダフロー	独立ウォッチドッグタイマのアンダフロー またはリフレッシュエラー
ウォッチドッグタイマ リセット	ウォッチドッグタイマのオーバフロー	ウォッチドッグタイマのアンダフロー またはリフレッシュエラー
ソフトウェアリセット	-	レジスタ設定

表 2.6　リセットのレジスタ比較

レジスタ	ビット	RX62T	RX66T
RSTSR	-	リセットステータスレジスタ	-
RSTSR0	-	-	リセットステータスレジスタ 0
RSTSR1	-	-	リセットステータスレジスタ 1
RSTSR2	-	-	リセットステータスレジスタ 2
RSTCSR	-	リセットコントロール/ ステータスレジスタ	-
IWDTSR	-	IWDT ステータスレジスタ	-
SWRR	-	-	ソフトウェアリセットレジスタ

2.5　電源検出回路

表 2.7 に電源検出回路の概要比較を、表 2.8 に電源検出回路のレジスタ比較を示します。

表 2.7　電源検出回路の概要比較

項目		RX62T(LVD)		RX66T(LVDA)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet1 を通過した場合	下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	1 レベルのみ	1 レベルのみ	OFS1.VDSEL[1:0]ビットで 2 レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで 5 レベルから選択可能	LVDLVLR.LVD2LVL[3:0]ビットで 5 レベルから選択可能
	モニタフラグ	なし	なし	なし	LVD1SR.LVD1MON フラグ：Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2MON フラグ：Vdet2 より高いか低いかをモニタ
		RSTSR.LVD1F フラグ：Vdet1 通過検出	RSTSR.LVD2F フラグ：Vdet2 通過検出	なし	LVD1SR.LVD1DET フラグ：Vdet1 通過検出	LVD2SR.LVD2DET フラグ：Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 > VCC でリセット：VCC > Vdet1 の一定時間後に CPU 動作再開	Vdet2 > VCC でリセット：VCC > Vdet2 の一定時間後に CPU 動作再開	Vdet0 > VCC でリセット：VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット：VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット：VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
		ノンマスカブル割り込み	ノンマスカブル割り込み		ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
		Vdet1 > VCC で割り込み要求	Vdet2 > VCC で割り込み要求		Vdet1 > VCC, VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	デジタルフィルタ機能なし	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	-	-	-	LOCO の n 分周×2(n：2,4,8,16)	LOCO の n 分周×2(n：2,4,8,16)
イベントリンク機能		なし	なし	なし	Vdet 通過検出イベント出力	Vdet 通過検出イベント出力

表 2.8　電源検出回路のレジスタ比較

レジスタ	ビット	RX62T(LVD)	RX66T(LVDA)
RSTSR	-	リセットステータスレジスタ	-
LVDKEYR	-	低電圧検出コントロール レジスタ用キーコードレジスタ	-
LVDCR	-	低電圧検出コントロールレジスタ	-
LVD1CR1	-	-	電圧監視 1 回路制御レジスタ 1
LVD1SR	-	-	電圧監視 1 回路ステータス レジスタ
LVD2CR1	-	-	電圧監視 2 回路制御レジスタ 1
LVD2SR	-	-	電圧監視 2 回路ステータス レジスタ
LVCMPCR	-	-	電圧監視回路制御レジスタ
LVDLVLR	-	-	電圧検出レベル選択レジスタ
LVD1CR0	-	-	電圧監視 1 回路制御レジスタ 0
LVD2CR0	-	-	電圧監視 2 回路制御レジスタ 0

2.6　クロック発生回路

表 2.9 にクロック発生回路の概要比較を、表 2.10 にクロック発生回路のレジスタ比較を示します。

表 2.9　クロック発生回路の概要比較

項目	RX62T	RX66T
用途	• CPU、DTC、MTU3、GPT、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLK)の生成 • IWDT に供給されるオンチップオシレータクロック(IWDTCLK)の生成	• CPU、DMAC、DTC、コードフラッシュメモリおよび RAM に供給されるシステムクロック(ICLK)の生成 • RSPI、SCIi、MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 • MTU3 と GPTW に供給される周辺モジュールのカウンタ基準クロック、HRPWM の基準クロック(PCLKC)の生成 • S12AD に供給される周辺モジュール(アナログ変換用)クロック(PCLKD)の生成 • FlashIF に供給される FlashIF クロック(FCLK)の生成 • 外部バスに供給される外部バスクロック(BCLK)の生成 • USBb に供給される USB クロック(UCLK)の生成 • CAC に供給される CAC クロック(CACCLK)の生成 • CAN に供給される CAN クロック(CANMCLK)の生成 • IWDT に供給される IWDT 専用クロック(IWDTCLK)の生成
動作周波数	• ICLK:8MHz～100MHz • PCLK:8MHz～50MHz • IWDTCLK:125kHz(Typ.) • クロック周波数設定制限: ICLK≧PCLK を維持	• ICLK：160MHz (max) • PCLKA：120MHz (max) • PCLKB：60MHz (max) • PCLKC：160MHz (max) • PCLKD：8MHz～60MHz (12 ビット A/D コンバータ変換時) • FCLK： —4MHz～60MHz (コードフラッシュメモリ、 データフラッシュメモリ P/E 時) —60MHz (max) (データフラッシュメモリ読み出し時) • BCLK：60MHz (max) • BCLK 端子出力：40MHz (max) • UCLK：48MHz (max) • CACCLK：各発振器のクロックと同じ • CANMCLK：24MHz (max) • IWDTCLK：120kHz • クロック周波数設定制限： ICLK≧BCLK, PCLKC≧PCLKA≧PCLKB

項目	RX62T	RX66T
メインクロック発振器	● 発振子周波数：8MHz～12.5MHz ● 接続できる発振子または付加回路：セラミック共振子、水晶振動子 ● 接続端子：EXTAL, XTAL ● 発振停止検出機能：メインクロック発振器の発振停止検出時、内部発振に切り替える機能、MTU3 および GPT 端子をハイインーダンスにする機能	● 発振子周波数：8MHz～24MHz ● 外部クロック入力周波数：24MHz (max) ● 接続できる発振子または付加回路：セラミック共振子、水晶振動子 ● 接続端子：EXTAL、XTAL ● 発振停止検出機能：メインクロックの発振停止検出時、LOCO に切り替える機能、MTU3、GPTW の端子をハイインピーダンスにする機能
PLL 周波数シンセサイザ	● 入力クロックソース：メインクロック ● 入力分周比：1 分周 ● 入力周波数：8MHz～12.5MHz ● 逓倍比：8 逓倍 ● 出力クロック周波数：64MHz～100MHz	● 入力クロックソース：メインクロック、HOCO ● 入力分周比：1, 2, 3 分周から選択可能 ● 入力周波数：8MHz～24MHz ● 逓倍比：10～30 逓倍から選択可能 ● PLL 周波数シンセサイザ出力クロック周波数：120MHz～240MHz
高速オンチップオシレータ (HOCO)	-	● 発振周波数：16MHz, 18MHz, 20MHz から選択可能 ● HOCO 電源制御
低速オンチップオシレータ (LOCO)	-	発振周波数：240kHz
IWDT 専用オンチップオシレータ	発振周波数：125kHz	発振周波数：120kHz
BCLK 端子の出力制御機能	-	● BCLK クロック出力または High 出力の選択が可能 ● 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
イベントリンク機能(出力)	-	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	-	低速オンチップオシレータへのクロックソース切り替え

表 2.10　クロック発生回路のレジスタ比較

レジスタ	ビット	RX62T	RX66T
SCKCR	-	システムクロックコントロールレジスタ	システムクロックコントロールレジスタ
		リセット後の初期値が異なります	
	PCKD[3:0]	-	周辺モジュールクロック D (PCLKD) 選択ビット
	PCKC[3:0]	-	周辺モジュールクロック C (PCLKC) 選択ビット
	PCK[3:0]	周辺モジュールクロック選択ビット	-
	PCKB[3:0]	-	周辺モジュールクロック B (PCLKB) 選択ビット
	PCKA[3:0]	-	周辺モジュールクロック A (PCLKA) 選択ビット
	BCK[3:0]	-	外部バスクロック(BCLK)選択ビット
	PSTOP1	-	BCLK 端子出力制御ビット
	ICK[3:0]	システムクロック選択ビット b27　b24 0 0 0 0 : ×8 0 0 0 1 : ×4 0 0 1 0 : ×2 0 0 1 1 : ×1 上記以外は設定しないでください	システムクロック(ICLK)選択ビット b27　b24 0 0 0 0 : 1 分周 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 上記以外は設定しないでください
	FCK[3:0]	-	FlashIF クロック(FCLK)選択ビット
MEMWAIT	-	-	メモリウェイトサイクル設定レジスタ
SCKCR2	-	-	システムクロックコントロールレジスタ 2
SCKCR3	-	-	システムクロックコントロールレジスタ 3
PLLCR	-	-	PLL コントロールレジスタ
PLLCR2	-	-	PLL コントロールレジスタ 2
BCKCR	-	-	外部バスクロックコントロールレジスタ
MOSCCR	-	-	メインクロック発振器コントロール レジスタ
LOCOCR	-	-	低速オンチップオシレータ コントロールレジスタ
ILOCOCR	-	-	IWDT 専用オンチップオシレータ コントロールレジスタ
HOCOCR	-	-	高速オンチップオシレータ コントロールレジスタ
HOCOCR2	-	-	高速オンチップオシレータ コントロールレジスタ 2
OSCOVFSR	-	-	発振安定フラグレジスタ
OSTDCR	OSTDIE	-	発振停止検出割り込み許可ビット
	OSTDF	発振停止検出フラグ	-
	KEY[7:0]	OSTDCR キーコード	-
OSTDSR	-	-	発振停止検出ステータスレジスタ
MOSCWTCR	-	-	メインクロック発振器ウェイト コントロールレジスタ
MOFCR	-	-	メインクロック発振器機能 コントロールレジスタ
HOCOPCR	-	-	高速オンチップオシレータ電源 コントロールレジスタ

2.7　消費電力低減機能

表 2.11 に消費電力低減機能の概要比較を、表 2.12 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.13 に消費電力低減機能のレジスタ比較を示します。

表 2.11　消費電力低減機能の概要比較

項目	RX62T	RX66T
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、周辺モジュールクロック(PCLK)に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック(BCLK)、フラッシュインタフェースクロック(FCLK)に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	-	BCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	• スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード	• スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード

表 2.12　各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と 動作状態	RX62T	RX66T
スリープモード	遷移方法	制御レジスタ＋命令	制御レジスタ＋命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	-	動作可能
	IWDT 専用オンチップオシレータ	動作	動作可能
	PLL	動作	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM (0000 0000h～0000 3FFFh) :RX62T RAM、ECCRAM :RX66T	動作(保持)	動作可能(保持)
	フラッシュメモリ	動作	動作
	USB2.0 ホスト/ファンクションモジュール (USBb)	-	動作可能
	ウォッチドッグタイマ (WDT:RX62T、WDTA:RX66T)	動作	停止(保持)
	独立ウォッチドッグタイマ (IWDT:RX62T、IWDTa:RX66T)	動作	動作可能
	ポートアウトプットイネーブル (POE3:RX62T、POE3B:RX66T)	動作可能	動作可能
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作	動作可能
	I/O 端子状態	動作	動作
全モジュール クロック ストップモード	遷移方法	制御レジスタ＋命令	制御レジスタ＋命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	-	動作可能
	IWDT 専用オンチップオシレータ	動作	動作可能
	PLL	動作	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM (0000 0000h～0000 3FFFh) :RX62T RAM、ECCRAM :RX66T	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBb)	-	停止
	ウォッチドッグタイマ (WDT:RX62T、WDTA:RX66T)	動作	停止(保持)
	独立ウォッチドッグタイマ (IWDT:RX62T、IWDTa:RX66T)	動作	動作可能
	ポートアウトプットイネーブル (POE3:RX62T、POE3B:RX66T)	動作可能 (注 1)	動作可能 (注 1)

モード	遷移および解除方法と 動作状態	RX62T	RX66T
全モジュール クロック ストップモード	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O 端子状態	保持	保持
ソフトウェア スタンバイ モード	遷移方法	制御レジスタ＋命令	制御レジスタ＋命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	-	停止
	IWDT 専用オンチップオシレータ	停止	動作可能
	PLL	停止	停止
	CPU	停止(保持)	停止(保持)
	内蔵 RAM (0000 0000h～0000 3FFFh) :RX62T RAM、ECCRAM :RX66T	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBb)	-	停止
	ウォッチドッグタイマ (WDT:RX62T、WDTA:RX66T)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ (IWDT:RX62T、IWDTa:RX66T)	停止(保持)	動作可能
	ポートアウトプットイネーブル (POE3:RX62T、POE3B:RX66T)	停止(保持)	停止(保持)
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	停止(保持)
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O 端子状態	保持	保持
ディープソフト ウェア スタンバイ モード	遷移方法	制御レジスタ＋命令	制御レジスタ＋命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (リセット処理)	プログラム実行状態 (リセット処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	-	停止
	IWDT 専用オンチップオシレータ	停止	停止(不定)
	PLL	停止	停止
	CPU	停止(不定)	停止(不定)
	内蔵 RAM (0000 0000h～0000 3FFFh) :RX62T RAM、ECCRAM :RX66T	停止(不定)	停止(不定)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBb)	-	停止(不定)
	ウォッチドッグタイマ (WDT:RX62T、WDTA:RX66T)	停止(不定)	停止(不定)

モード	遷移および解除方法と 動作状態	RX62T	RX66T
ディープソフトウェアスタンバイモード	独立ウォッチドッグタイマ (IWDT:RX62T、IWDTa:RX66T)	停止(不定)	停止(不定)
	ポートアウトプットイネーブル (POE3:RX62T、POE3B:RX66T)	停止(不定)	停止(不定)
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	停止(不定)
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(不定)	停止(不定)
	I/O 端子状態	保持	保持

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。
停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注 1.　POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

表 2.13　消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62T	RX66T
SBYCR	STS[4:0]	スタンバイタイマ選択ビット	-
	OPE	-	出力ポート許可ビット
MSTPCRA	MSTPA2	-	8 ビットタイマ 7, 6 (ユニット 3) モジュールストップ設定ビット
	MSTPA3	-	8 ビットタイマ 5, 4 (ユニット 2) モジュールストップ設定ビット
	MSTPA4	-	8 ビットタイマ 3, 2 (ユニット 1) モジュールストップ設定ビット
	MSTPA5	-	8 ビットタイマ 1, 0 (ユニット 0) モジュールストップ設定ビット
	MSTPA7	汎用 PWM タイマ モジュールストップ設定ビット	汎用 PWM タイマ/高分解能 PWM/ GPTW 専用ポートアウトプット イネーブル設定ビット
	MSTPA19	-	12 ビット D/A コンバータ モジュールストップ設定ビット
	MSTPA23	10 ビット A/D コンバータ モジュールストップ設定ビット	12 ビット A/D コンバータ (ユニット 2)モジュールストップ 設定ビット
	MSTPA24	12 ビット A/D コンバータ制御部 モジュールストップ設定ビット	モジュールストップ A24 設定 ビット
	MSTPA27	-	モジュールストップ A27 設定 ビット
	MSTPA28	データトランスファコントローラ モジュールストップ設定ビット	DMA コントローラ/ データトランスファコントローラ モジュールストップ設定ビット
	MSTPA29	-	モジュールストップ A29 設定 ビット
MSTPCRB	MSTPB4	-	シリアルコミュニケーション インタフェース 12 モジュール ストップ設定ビット
	MSTPB6	-	データ演算回路 モジュールストップ設定ビット
	MSTPB7	LIN モジュールストップ設定ビット	-
	MSTPB9	-	イベントリンクコントローラ モジュールストップ設定ビット
	MSTPB10	-	コンパレータ C モジュールストップ設定ビット
	MSTPB19	-	ユニバーサルシリアルバス 2.0 FS インタフェースモジュール ストップ設定ビット
	MSTPB25	-	シリアルコミュニケーション インタフェース 6 モジュール ストップ設定ビット
	MSTPB26	-	シリアルコミュニケーション インタフェース 5 モジュール ストップ設定ビット
	MSTPB29	シリアルコミュニケーション インタフェース 2 モジュール ストップ設定ビット	-
	MSTPB31	シリアルコミュニケーション インタフェース 0 モジュール ストップ設定ビット	-

レジスタ	ビット	RX62T	RX66T
MSTPCRC	MSTPC6	-	ECCRAM モジュールストップ設定ビット
	MSTPC19	-	CAC モジュールストップ設定ビット
	MSTPC24	-	シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット
	MSTPC26	-	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット
	MSTPC27	-	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット
MSTPCRD	-	-	モジュールストップコントロール レジスタ D
RSTCKCR	-	-	スリープモード復帰クロックソース切り替えレジスタ
DPSBYCR	-	ディープスタンバイ コントロールレジスタ	ディープスタンバイ コントロールレジスタ
		リセット後の初期値が異なります	
DPSWCR	-	ディープスタンバイウェイト コントロールレジスタ	-
DPSIER	-	ディープスタンバイインタラプト イネーブルレジスタ	-
DPSIER0	-	-	ディープスタンバイインタラプト イネーブルレジスタ 0
DPSIER1	-	-	ディープスタンバイインタラプト イネーブルレジスタ 1
DPSIER2	-	-	ディープスタンバイインタラプト イネーブルレジスタ 2
DPSIFR	-	ディープスタンバイインタラプト フラグレジスタ	-
DPSIFR0	-	-	ディープスタンバイインタラプト フラグレジスタ 0
DPSIFR1	-	-	ディープスタンバイインタラプト フラグレジスタ 1
DPSIFR2	-	-	ディープスタンバイインタラプト フラグレジスタ 2
DPSIEGR	-	ディープスタンバイインタラプト エッジレジスタ	-
DPSIEGR0	-	-	ディープスタンバイインタラプト エッジレジスタ 0
DPSIEGR1	-	-	ディープスタンバイインタラプト エッジレジスタ 1
DPSIEGR2	-	-	ディープスタンバイインタラプト エッジレジスタ 2
RSTSR	-	リセットステータスレジスタ	-

2.8　例外処理

表 2.14 にベクタ比較を、表 2.15 に例外処理ルーチンからの復帰命令比較を示します。

表 2.14　ベクタ比較

項目		RX62T	RX66T
未定義命令例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
浮動小数点例外(RX62T) / 単精度浮動小数点例外(RX66T)		固定ベクタテーブル	例外ベクタテーブル(EXTB)
リセット		固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカブル割り込み		固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み	高速割り込み	FINTV	FINTV
	高速割り込み以外	可変ベクタテーブル（INTB）	割り込みベクタテーブル(INTB)
無条件トラップ		可変ベクタテーブル（INTB）	割り込みベクタテーブル(INTB)

表 2.15　例外処理ルーチンからの復帰命令比較

項目		RX62T	RX66T
未定義命令例外		RTE	RTE
特権命令例外		RTE	RTE
アクセス例外		RTE	RTE
浮動小数点例外(RX62T) / 単精度浮動小数点例外(RX66T)		RTE	RTE
リセット		復帰不可能	復帰不可能
ノンマスカブル割り込み		復帰不可能	禁止
割り込み	高速割り込み	RTFI	RTFI
	高速割り込み以外	RTE	RTE
無条件トラップ		RTE	RTE

2.9　割り込みコントローラ

表 2.16 に割り込みコントローラの概要比較を、表 2.17 に割り込みコントローラのレジスタ比較を示します。

表 2.16　割り込みコントローラの概要比較

項目		RX62T(ICU)	RX66T(ICUC)
割り込み	周辺機能割り込み	● 周辺モジュールからの割り込み ● 要因数:101 ● 割り込み検出:エッジ検出/レベル検出 接続している周辺モジュール要因 ごとに検出方法が決められている	● 周辺モジュールからの割り込み ● 要因数:256 ● 割り込みの検出方法： エッジ検出またはレベル検出 (割り込み要因ごとに検出方法は固定) ● グループ割り込み：複数の割り込み要因をグループ化し、1 つの割り込み要因として扱う機能 ―グループ BE0 割り込み： PCLKB を動作クロックとする 周辺モジュールの割り込み要因 (エッジ検出) ―グループ BL0/BL1 割り込み： PCLKB を動作クロックとする 周辺モジュールの割り込み要因 (レベル検出) ―グループ AL0 割り込み： PCLKA を動作クロックとする 周辺モジュールの割り込み要因 (レベル検出) ● 選択型割り込み A：割り込みベクタ番号 208～255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能
	外部端子割り込み	● IRQ7～IRQ0 端子からの割り込み ―要因数:8 ―割り込み検出：Low/立ち下りエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能	● IRQi 端子(i = 0～15)への入力信号による割り込み ―要因数:16 ―割り込み検出：Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 ―デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	● レジスタ書き込みによる割り込み ● 要因数：1	● レジスタへの書き込みにより、割り込み要求を発生させることが可能 ● 要因数：2
	割り込み優先順位	レジスタで優先順位を設定	割り込み要因プライオリティレジスタ r (IPRr) (r = 000～255)により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化が可能。 1 要因のみ設定可能	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能
	DTC 制御	● 割り込み要因によって DTC を起動可能 ● DTC 起動要因:87(周辺機能割り込み 78 + 外部端子割り込み 8 + ソフトウェア割り込み 1)	● 割り込み要因により DTC の起動が可能 ● DTC 起動要因:129(周辺機能割り込み 111 + 外部端子割り込み 16 + ソフトウェア割り込み 2)
	DMAC 制御	-	割り込み要因により DMAC の起動が可能

項目		RX62T(ICU)	RX66T(ICUC)
ノンマスカブル割り込み	NMI 端子割り込み	● NMI 端子からの割り込み —割り込み検出:立ち下りエッジ/立ち上がりエッジ	● NMI 端子への入力信号による割り込み —割り込み検出：立ち下がりエッジまたは立ち上がりエッジ —デジタルフィルタを使用することにより、ノイズを除去することが可能
	電圧監視割り込み	電源電圧低下検出時の割り込み	電圧検出 1 回路(LVD1)、電圧検出 2 回路(LVD2)からの電源電圧上昇または低下検出時の割り込み
	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー/リフレッシュエラー割り込み	-	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー/リフレッシュエラー割り込み	-	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	RAM エラー割り込み	-	RAM のパリティチェックエラー、または ECCRAM の ECC エラーを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	ノンマスカブル割り込み、 全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロックストップモード	ノンマスカブル割り込み、 IRQ7～IRQ0 割り込み、WDT 割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、IWDT、TMR0～3)で復帰
	ソフトウェアスタンバイモード	ノンマスカブル割り込み、 IRQ7～IRQ0 割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、IWDT)で復帰
	ディープソフトウェアスタンバイモード	NMI 端子割り込み、外部割り込み、 一部の内部割り込み(電圧監視)で復帰	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2)で復帰

表 2.17　割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62T(ICU)	RX66T(ICUC)
IRn (注 1)	-	割り込み要求レジスタ n (n = 016～254)	割り込み要求レジスタ n (n = 016～255)
IPRm (注 1)	-	割り込み要因プライオリティレジスタ m (m = 00h～90h)	割り込み要因プライオリティレジスタ m (m = 000～255)
SWINT2R	-	-	ソフトウェア割り込み 2 起動レジスタ
DTCERn (注 1)	-	DTC 起動許可レジスタ n (n = 027～254)	DTC 転送要求許可レジスタ n (n = 026～255)
DMRSRm	-	-	DMAC 起動要因選択レジスタ m (m = 0～7)
IRQCRn	-	IRQ コントロールレジスタ n (n = 0～7)	IRQ コントロールレジスタ n (n = 0～15)
IRQFLTE0	-	-	IRQ 端子デジタルフィルタ許可レジスタ 0
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可レジスタ 1
IRQFLTC0	-	-	IRQ 端子デジタルフィルタ設定レジスタ 0

レジスタ	ビット	RX62T(ICU)	RX66T(ICUC)
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定レジスタ 1
NMISR	LVDST	電圧監視割り込みステータスフラグ	-
	OSTST	発振停止検出割り込みステータスフラグ(b2)	発振停止検出割り込みステータスフラグ(b1)
	WDTST	-	WDT アンダフロー/リフレッシュエラーステータスフラグ
	IWDTST	-	IWDT アンダフロー/リフレッシュエラーステータスフラグ
	LVD1ST	-	電圧監視 1 割り込みステータスフラグ
	LVD2ST	-	電圧監視 2 割り込みステータスフラグ
	RAMST	-	RAM エラー割り込みステータスフラグ
NMIER	LVDEN	電圧監視割り込み許可ビット	-
	OSTEN	発振停止検出割り込み許可ビット(b2)	発振停止検出割り込み許可ビット(b1)
	WDTEN	-	WDT アンダフロー/リフレッシュエラー許可ビット
	IWDTEN	-	IWDT アンダフロー/リフレッシュエラー許可ビット
	LVD1EN	-	電圧監視 1 割り込み許可ビット
	LVD2EN	-	電圧監視 2 割り込み許可ビット
	RAMEN	-	RAM エラー割り込み許可ビット
NMICLR	OSTCLR	OST クリアビット (b2)	OST クリアビット (b1)
	WDTCLR	-	WDT クリアビット
	IWDTCLR	-	IWDT クリアビット
	LVD1CLR	-	LVD1 クリアビット
	LVD2CLR	-	LVD2 クリアビット
NMIFLTE	-	-	NMI 端子デジタルフィルタ許可レジスタ
NMIFLTC	-	-	NMI 端子デジタルフィルタ設定レジスタ
GRPBE0、GRPBL0/GRPBL1、GRPAL0	-	-	グループ BE0, BL0/1, AL0 割り込み要求レジスタ
GENBE0、GENBL0/GENBL1、GENAL0	-	-	グループ BE0, BL0/1, AL0 割り込み要求許可レジスタ
GCRBE0	-	-	グループ BE0 割り込みクリアレジスタ
PIARk	-	-	選択型割り込み A 要求レジスタ k (k = 0h～12h)
SLIARn	-	-	選択型割り込み A 要因選択レジスタ n (n = 208～255)
SLIPRCR	-	-	選択型割り込み要因選択レジスタ書き込み保護レジスタ

注 1.　RX62T グループでは n=255 は予約領域です。

2.10 バス

表 2.18 にバスの概要比較を、表 2.19 にバスのレジスタ比較を示します。

表 2.18　バスの概要比較

項目		RX62T	RX66T
CPU バス	命令バス	● CPU(命令)を接続 ● 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) ● システムクロック(ICLK)に同期して動作	● CPU (命令)を接続 ● 内蔵メモリを接続 (RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
	オペランドバス	● CPU(オペランド)を接続 ● 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) ● システムクロック(ICLK)に同期して動作	● CPU (オペランド)を接続 ● 内蔵メモリを接続 (RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	内蔵 RAM を接続	RAM を接続
	メモリバス 2	内蔵 ROM を接続	コードフラッシュメモリを接続
	メモリバス 3	-	ECCRAM を接続
内部メインバス	内部メインバス 1	● CPU を接続 ● システムクロック(ICLK)に同期して動作	● CPU を接続 ● システムクロック(ICLK)に同期して動作
	内部メインバス 2	● DTC を接続 ● 内蔵メモリを接続(内蔵 RAM、内蔵 ROM) ● システムクロック(ICLK)に同期して動作	● DTC、DMAC を接続 ● 内蔵メモリを接続 (RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	● 周辺機能(バスエラー監視部、割り込み等)を接続 ● システムクロック(ICLK)に同期して動作	● 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作
	内部周辺バス 2	● 周辺機能(WDT、CMT、CRC、SCI 等)を接続 ● 周辺モジュールクロック(PCLK)に同期して動作	● 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	-	● 周辺機能(USBb、CMPC)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	● 周辺機能(MTU3、GPT)を接続 ● システムクロック(ICLK)に同期して動作	● 周辺機能(MTU3、GPTW、HRPWM、RSPI、SCIi)を接続 ● 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	-	予約領域
	内部周辺バス 6	● 内蔵 ROM(P/E)/データフラッシュを接続 ● 周辺モジュールクロック(PCLK)に同期して動作	● コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 ● FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	-	● 外部デバイスを接続 ● 外部バスクロック(BCLK)に同期して動作

表 2.19　バスのレジスタ比較

レジスタ	ビット名	RX62T	RX66T
CSnCR	-	-	CSn 制御レジスタ (n = 0~3)
CSnREC	-	-	CSn リカバリサイクル設定レジスタ (n = 0~3)
CSRECEN	-	-	CS リカバリサイクル挿入許可 レジスタ
CSnMOD	-	-	CSn モードレジスタ (n = 0~3)
CSnWCR1	-	-	CSn ウェイト制御レジスタ 1 (n = 0~3)
CSnWCR2	-	-	CSn ウェイト制御レジスタ 2 (n = 0~3)
BEREN	TOEN	-	タイムアウト検出許可ビット
BERSR1	TO	-	タイムアウトビット
BUSPRI	-	-	バスプライオリティ制御レジスタ

2.11 メモリプロテクションユニット

表 2.20 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.20　メモリプロテクションユニットのレジスタ比較

レジスタ	ビット名	RX62T(MPU)	RX66T(MPU)
MPESTS	IA(RX62T) IMPER(RX66T)	命令メモリプロテクションエラー発生ビット	命令メモリプロテクションエラー発生ビット
	DA(RX62T) DMPER(RX66T)	データメモリプロテクションエラー発生ビット	データメモリプロテクションエラー発生ビット

2.12 データトランスファコントローラ

表 2.21 にデータトランスファコントローラの概要比較を示します。

表 2.21　データトランスファコントローラの概要比較

項目	RX62T(DTC)	RX66T(DTCa)
転送モード	● ノーマル転送モード —1 回の起動で 1 データ転送する ● リピート転送モード —1 回の起動で 1 データ転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピートサイズは最大 256 データ設定可能 ● ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは、最大 255 データ設定可能	● ノーマル転送モード —1 回の起動で 1 つのデータを転送する ● リピート転送モード —1 回の起動で 1 つのデータを転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 ● ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは、最大 256×32 ビット= 1024 バイト設定可能
転送チャネル数	割り込み要因に対応するチャネル転送が可能(ICU からの DTC 起動要求で転送)	DTC 起動が可能なすべての割り込み要因の数と同数
チェーン転送機能	● 1 つの起動要因に対して複数のデータ転送が可能(チェーン転送) ● チェーン転送は、カウンタ=0 のとき実施 する/毎回実施する、のいずれかを選択可能	● 1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 ● 「転送カウンタが“0”になったときのみ 実施」/「毎回実施」のいずれかを選択可能
転送空間	● ショートアドレスモードのとき 16M バイト(0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh のうち、予約領域以外の領域) ● フルアドレスモードのとき 4G バイト(0000 0000h ~ FFFF FFFFh のうち、予約領域以外の領域)	● ショートアドレスモードのとき 16M バイト(“0000 0000h” ~ ”007F FFFFh”と ”FF80 0000h” ~ ”FFFF FFFFh”のうち、予約領域以外の領域) ● フルアドレスモードのとき 4G バイト(“0000 0000h” ~ “FFFF FFFFh”のうち、予約領域以外の領域)
データ転送単位	● 1 データのビット長： 8 ビット、16 ビット、32 ビット ● ブロックサイズのデータ数： 1～255 データ	● 1 データ：1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) ● 1 ブロックサイズ： 1～256 データ
CPU 割り込み要求	● DTC を起動した割り込みで CPU への割り込み要求発生が可能 ● 1 回のデータ転送終了後に CPU への割り込み要求発生が可能 ● 指定したデータ数のデータ転送終了後に CPU への割り込み要求発生が可能	● DTC を起動した割り込みで CPU への割り込み要求を発生可能 ● 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 ● 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	-	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合または転送先アドレス固定の場合はライトバックスキップを実行	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

2.13 I/O ポート

表 2.22～表 2.27 にパッケージごとの仕様の概要比較を、表 2.28 に I/O ポートの機能比較を、表 2.29 に I/O ポートのレジスタ比較を示します。

表 2.22　I/O ポート 112 ピンの概要比較

項目	RX62T(112 ピン)	RX66T(112 ピン) (PGA 疑似差動入力あり USB 端子なし)
PORT0	-	P00, P01
PORT1	P10, P11	P10~P17
PORT2	P20~P24	P20~P24, P27
PORT3	P30~P33	P30~P33, P36, P37
PORT4	P40~P47	P40~P47
PORT5	P50~P55	P52~P55
PORT6	P60~P65	P60~P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	P80~P82
PORT9	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB7
PORTC	-	PC0~PC2
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5
PORTG	PG0~PG5	PG0~PG2
PORTH	-	PH0, PH4

表 2.23　I/O ポート 100 ピン(RX66T:PGA 疑似差動入力あり)の概要比較

項目	RX62T(100 ピン)	RX66T(100 ピン)	
		PGA 疑似差動入力あり USB 端子あり	PGA 疑似差動入力あり USB 端子なし
PORT0	-	P00, P01	P00, P01
PORT1	P10, P11	P10, P11	P10, P11
PORT2	P20~P24	P20~P24, P27	P20~P24, P27
PORT3	P30~P33	P30~P33, P36, P37	P30~P33, P36, P37
PORT4	P40~P47	P40~P47	P40~P47
PORT5	P50~P55	P52~P55	P52~P55
PORT6	P60~P65	P60~P65	P60~P65
PORT7	P70~P76	P70~P76	P70~P76
PORT8	P80~P82	P80~P82	P80~P82
PORT9	P90~P96	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB6	PB0~PB7
PORTD	PD0~PD7	PD2~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5	PE0~PE5
PORTH	-	PH0, PH4	PH0, PH4

表 2.24　I/O ポート 100 ピン(RX66T:PGA 疑似差動入力なし)の概要比較

項目	RX62T(100 ピン)	RX66T(100 ピン) (PGA 疑似差動入力なし USB 端子なし)
PORT0	-	P00, P01
PORT1	P10, P11	P10, P11
PORT2	P20~P24	P20~P24
PORT3	P30~P33	P30~P33, P36, P37
PORT4	P40~P47	P40~P47
PORT5	P50~P55	P50~P55
PORT6	P60~P65	P60~P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	P80~P82
PORT9	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB7
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5

表 2.25　I/O ポート 80 ピン(RX62T:R5F562TxGDFF 以外)の概要比較

項目	RX62T(80 ピン) (R5F562TxGDFF 以外)	RX66T(80 ピン) (PGA 疑似差動入力あり USB 端子なし)
PORT0	-	P00, P01
PORT1	P10, P11	P10, P11
PORT2	P20~P24	P20~P22, P27
PORT3	P30~P33	P30, P31, P36, P37
PORT4	P40~P47	P40~P47
PORT5	-	P52~P55
PORT6	P60~P63	P62, P64, P65
PORT7	P70~P76	P70~P76
PORT9	P91~P96	P90~P96
PORTA	PA2~PA4, PA5	PA3, PA5
PORTB	PB0~PB7	PB0~PB6
PORTD	PD3~PD7	PD2~PD7
PORTE	PE0, PE2~PE4	PE2~PE4
PORTH	-	PH0, PH4

表 2.26　I/O ポート 80 ピン(RX62T:R5F562TxGDFF)の概要比較

項目	RX62T(80 ピン) (R5F562TxGDFF)	RX66T(80 ピン) (PGA 疑似差動入力あり USB 端子なし)
PORT0	-	P00, P01
PORT1	P10	P10, P11
PORT2	P20, P22~P24	P20~P22, P27
PORT3	P30~P33	P30, P31, P36, P37
PORT4	P40~P47	P40~P47
PORT5	-	P52~P55
PORT6	-	P62, P64, P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	-
PORT9	P90~P96	P90~P96
PORTA	PA3, PA5	PA3, PA5
PORTB	PB0~PB7	PB0~PB6
PORTD	PD2~PD7	PD2~PD7
PORTE	PE0~PE5	PE2~PE4
PORTH	-	PH0, PH4

表 2.27　I/O ポート 64 ピンの概要比較

項目	RX62T(64 ピン)	RX66T(64 ピン) (PGA 疑似差動入力あり USB 端子なし)
PORT0		P00, P01
PORT1	P10, P11	P11
PORT2	P22~P24	P20~P22
PORT3	P30~P33	P36, P37
PORT4	P40~P47	P40~P42, P44~P46
PORT5	-	P52~P54
PORT6	-	P64, P65
PORT7	P70~P76	P70~P76
PORT9	P91~P94	P90~P96
PORTA	PA2~PA5	-
PORTB	PB0~PB7	PB0~PB6
PORTD	PD3~PD7	PD3~PD7
PORTE	PE2	PE2
PORTH	-	PH0, PH4

表 2.28　I/O ポートの機能比較

項目	ポートシンボル	RX62T	RX66T
入力プルアップ機能	PORT0	—	P00, P01
	PORT1	—	P10～P17
	PORT2	—	P20～P27
	PORT3	—	P30～P37
	PORT4	—	P43, P47
	PORT5	—	P50～P55
	PORT6	—	P60～P65
	PORT7	—	P70～P76
	PORT8	—	P80～P82
	PORT9	—	P90～P96
	PORTA	—	PA0～PA7
	PORTB	—	PB0～PB7
	PORTC	—	PC0～PC6
	PORTD	—	PD0～PD7
	PORTE	—	PE0, PE1, PE3～PE6
	PORTF	—	PF0～PF3
	PORTG	—	PG0～PG2
	PORTH	—	PH1～PH3, PH5～PH7
	PORTK	—	PK0～PK2
オープンドレイン出力機能	PORT0	—	P00, P01
	PORT1	—	P10～P17
	PORT2	—	P20～P27
	PORT3	—	P30～P37
	PORT4	—	P43, P47
	PORT5	—	P50～P55
	PORT6	—	P60～P65
	PORT7	—	P70～P76
	PORT8	—	P80～P82
	PORT9	—	P90～P96
	PORTA	—	PA0～PA7
	PORTB	PB1, PB2	PB0～PB7
	PORTC	—	PC0～PC6
	PORTD	—	PD0～PD7
	PORTE	—	PE0, PE1, PE3～PE6
	PORTF	—	PF0～PF3
	PORTG	—	PG0～PG2
	PORTH	—	PH1～PH3, PH5～PH7
	PORTK	—	PK0～PK2
駆動能力切り替え機能	PORT0	—	P00, P01
	PORT1	—	P10～P17
	PORT2	—	P20～P27
	PORT3	—	P30～P37
	PORT4	—	P43, P47
	PORT5	—	P50～P55
	PORT6	—	P60～P65
	PORT7	—	P70～P76
	PORT8	—	P80～P82
	PORT9	—	P90～P96
	PORTA	—	PA0～PA7
	PORTB	—	PB0～PB7

項目	ポートシンボル	RX62T	RX66T
駆動能力切り替え機能	PORTC	—	PC0～PC6
	PORTD	—	PD0～PD7
	PORTE	—	PE0, PE1, PE3～PE6
	PORTF	—	PF0～PF3
	PORTG	—	PG0～PG2
	PORTH	—	PH1～PH3, PH5～PH7
	PORTK	—	PK0～PK2
5V トレラント	PORTB	—	PB1, PB2
	PORTC	—	PC0 (注 1)
	PORTD	—	PD2 (注 1)

注 1.　RAM 容量が 128K バイトの製品のみ有効

表 2.29　I/O ポートのレジスタ比較

レジスタ	ビット	RX62T	RX66T
DDR(RX62T) PDR(RX66T)	B0～B7	Pn0～7 入力／出力指定ビット (n = 1~3, 7~9, A, B, D, E, G)	Pm0～7 方向制御ビット (m = 0~9, A~H, K)
DR(RX62T) PODR(RX66T)	B0～B7	Pn0～7 出力データ格納ビット (n = 1~3, 7~9, A, B, D, E, G)	Pm0～7 出力データ格納ビット (m = 0~9, A~H, K)
PORT(RX62T) PIDR(RX66T)	B0～B7	Pn0～7 ビット (n = 1~9, A, B, D, E, G)	Pm0～7 ビット (m = 0~9, A~H, K)
PMR	-	-	ポートモードレジスタ
ICR	-	入力バッファコントロール レジスタ	-
PF8IRQ	-	ポートファンクションレジスタ 8	-
PF9IRQ	-	ポートファンクションレジスタ 9	-
PFAADC	-	ポートファンクションレジスタ A	-
PFCMTU	-	ポートファンクションレジスタ C	-
PFDGPT	-	ポートファンクションレジスタ D	-
PFFSCI	-	ポートファンクションレジスタ F	-
PFGSPI	-	ポートファンクションレジスタ G	-
PFHSPI	-	ポートファンクションレジスタ H	-
RFJCAN	-	ポートファンクションレジスタ J	-
PFKLIN	-	ポートファンクションレジスタ K	-
PFMPOE	-	ポートファンクションレジスタ M	-
PFNPOE	-	ポートファンクションレジスタ N	-
ODR0	-	-	オープンドレイン制御レジスタ 0
ODR1	-	-	オープンドレイン制御レジスタ 1
PCR	-	-	プルアップ制御レジスタ
DSCR	-	-	駆動能力制御レジスタ
DSCR2	-	-	駆動能力制御レジスタ 2

2.14 マルチファンクションタイマパルスユニット 3

表 2.30 にマルチファンクションタイマパルスユニット 3 の概要比較を、表 2.31 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を、表 2.32 に TPSC ビットの設定比較(MTU5 以外)を、表 2.33 に TPSC ビットの設定比較(MTU5)を示します。

表 2.30　マルチファンクションタイマパルスユニット 3 の概要比較

項目	RX62T(MTU3)	RX66T(MTU3d)
パルス入出力	最大 24 本	最大 28 本
パルス入力	3 本	3 本
カウントクロック	チャネルごとに 6～8 種類(チャネル 5 は 4 種類)	チャネルごとに 11 種類 (MTU0、MTU9 は 14 種類、 MTU2 は 12 種類、 MTU5 は 10 種類、 MTU1 &MTU2 (LWA = 1 のとき)は 4 種類)
動作周波数	8～100MHz	～160MHz
設定可能動作	【MTU0～4、6、7】 ● コンペアマッチによる波形出力 ● インプットキャプチャ機能 ● カウンタクリア動作 ● 複数のタイマカウンタ(TCNT)への同時書き込み ● コンペアマッチ/インプットキャプチャによる同時クリア ● カウンタの同期動作による各レジスタの同期入出力 ● 同期動作と組み合わせることによる最大 12 相の PWM 出力	【MTU0～MTU4, MTU6, MTU7, MTU9】 ● コンペアマッチによる波形出力 ● インプットキャプチャ機能 (ノイズフィルタ設定可能) ● カウンタクリア動作 ● 複数のタイマカウンタ(TCNT)への同時書き込み ● コンペアマッチ/インプットキャプチャによる同時クリア ● カウンタの同期動作による各レジスタの同期入出力 ● 同期動作と組み合わせることによる最大 14 相の PWM 出力
	【MTU0、3、4、6、7】 バッファ動作を設定可能	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】 バッファ動作を設定可能
	【MTU3、4、6、7】 ● MTU3/4、および MTU6/7 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 ● ● 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ(MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 ● 相補 PWM モードでダブルバッファ機能を設定可能	【MTU3, MTU4, MTU6, MTU7】 ● MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 ● 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ(MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 ● 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU1、2】 ● 個々に位相計数モードを設定可能 ● カスケード接続動作が可能	【MTU1, MTU2】 ● 独立に位相計数モードを設定可能 ● MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能(TMDR3.LWA = 1 設定時) ● カスケード接続動作が可能

項目	RX62T(MTU3)	RX66T(MTU3d)
設定可能動作	【MTU3、4】 ● MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能	【MTU3, MTU4】 ● MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能
	【MTU5】 ● デッドタイム補償用カウンタとして使用することが可能	【MTU5】 ● デッドタイム補償用カウンタとして使用することが可能
	-	【MTU6, MTU7】 ● MTU9 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	38 種類	45 種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
相補 PWM モード	ダブルバッファ機能使用時のみ、バッファレジスタ(MTU3.TGRE、MTU4.TGRE、MTU4.TGRF(MTU6.TGRE、MTU7.TGRE、MTU7.TGRF))に出力する PWM デューティ値-1 を設定	ダブルバッファ機能使用時のみ、バッファレジスタ(MTU3.TGRE、MTU4.TGRE、MTU4.TGRF(MTU6.TGRE、MTU7.TGRE、MTU7.TGRF))に出力する PWM デューティ値を設定

表 2.31　マルチファンクションタイマパルスユニット 3 のレジスタ比較

レジスタ		ビット	RX62T(MTU3)	RX66T(MTU3d)
TCR		TPSC[2:0] TPSC[1:0]	タイマプリスケーラ選択ビット 詳細は表 2.32、表 2.33 を参照してください。	タイマプリスケーラ選択ビット 詳細は表 2.32、表 2.33 を参照してください。
TCR2		-	-	タイマコントロールレジスタ 2
TMDR1		MD[3:0]	モード選択ビット b3　b0 0 0 0 0：通常動作 0 0 0 1：設定しないでください 0 0 1 0：PWM モード 1 0 0 1 1：PWM モード 2 0 1 0 0：位相計数モード 1 0 1 0 1：位相計数モード 2 0 1 1 0：位相計数モード 3 0 1 1 1：位相計数モード 4 1 0 0 0：リセット同期 PWM モード 1 0 0 1：設定しないでください 1 0 1 x：設定しないでください 1 1 0 0：設定しないでください 1 1 0 1：相補 PWM モード 1 （山で転送） 1 1 1 0：相補 PWM モード 2 （谷で転送） 1 1 1 1：相補 PWM モード 3 （山・谷で転送） x：Don't care	モード選択ビット b3　b0 0 0 0 0：ノーマルモード 0 0 0 1：設定しないでください 0 0 1 0：PWM モード 1 0 0 1 1：PWM モード 2 0 1 0 0：位相計数モード 1 0 1 0 1：位相計数モード 2 0 1 1 0：位相計数モード 3 0 1 1 1：位相計数モード 4 1 0 0 0：リセット同期 PWM モード 1 0 0 1：位相計数モード 5 1 0 1 x：設定しないでください 1 1 0 0：設定しないでください 1 1 0 1：相補 PWM モード 1 （山で転送） 1 1 1 0：相補 PWM モード 2 （谷で転送） 1 1 1 1：相補 PWM モード 3 （山と谷で転送） x：Don't care
TMDR3		-	-	タイマモードレジスタ 3
TSR	TSR	TGFA	インプットキャプチャ/ アウトプットコンペアフラグ A	-
		TGFB	インプットキャプチャ/ アウトプットコンペアフラグ B	-
		TGFC	インプットキャプチャ/ アウトプットコンペアフラグ C	-
		TGFD	インプットキャプチャ/ アウトプットコンペアフラグ D	-
		TCFV	オーバフローフラグ	-
		TCFU	アンダフローフラグ	-
		CMFW5	コンペアマッチ/ インプットキャプチャフラグ W5	-
		CMFV5	コンペアマッチ/ インプットキャプチャフラグ V5	-
		CMFU5	コンペアマッチ/ インプットキャプチャフラグ U5	-
	TSR2	TGFE	コンペアマッチフラグ E	-
		TGFF	コンペアマッチフラグ F	-
TCNTLW		-	-	タイマロングワードカウンタ
TGRALW, TGRBLW		-	-	タイマロングワードジェネラルレジスタ
TSTRA		CST9	-	カウンタスタート 9 ビット
TSYRA		SYNC9	-	タイマ同期 9 ビット
TCSYSTR		SCH9	-	シンクロスタート 9 ビット

レジスタ	ビット	RX62T(MTU3)	RX66T(MTU3d)
TGCRB	-	-	タイマゲートコントロール レジスタ
NFCRn	-	-	ノイズフィルタコントロール レジスタ n (n = 0～4, 6, 7, 9, C)
NFCR5	-	-	ノイズフィルタコントロール レジスタ 5
TADSTRGR0	-	-	A/D 変換開始要求選択レジスタ 0
TADSTRGR1	-	-	A/D 変換開始要求選択レジスタ 1

表 2.32　TPSC ビットの設定比較(MTU5 以外)

チャネル	RX62T(MTU3)		RX66T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU0 (RX62T) MTU0, MTU9 (RX66T)	0 0 0	内部クロック： ICLK／1 でカウント	0 0 0	0 0 0	内部クロック： PCLKC/1 でカウント
	0 0 1	内部クロック： ICLK／4 でカウント	0 0 0	0 0 1	内部クロック： PCLKC/4 でカウント
	0 1 0	内部クロック： ICLK／16 でカウント	0 0 0	0 1 0	内部クロック： PCLKC/16 でカウント
	0 1 1	内部クロック： ICLK／64 でカウント	0 0 0	0 1 1	内部クロック： PCLKC/64 でカウント
	1 0 0	外部クロック： MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック： MTCLKA 端子入力でカウント
	1 0 1	外部クロック： MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック： MTCLKB 端子入力でカウント
	1 1 0	外部クロック： MTCLKC 端子入力でカウント	0 0 0	1 1 0	外部クロック： MTCLKC 端子入力でカウント
	1 1 1	外部クロック： MTCLKD 端子入力でカウント	0 0 0	1 1 1	外部クロック： MTCLKD 端子入力でカウント
			0 0 1	x x x	内部クロック： PCLKC/2 でカウント
			0 1 0	x x x	内部クロック： PCLKC/8 でカウント
			0 1 1	x x x	内部クロック： PCLKC/32 でカウント
			1 0 0	x x x	内部クロック： PCLKC/256 でカウント
			1 0 1	x x x	内部クロック： PCLKC/1024 でカウント
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	外部クロック： MTIOC1A 端子入力でカウント
MTU1	0 0 0	内部クロック： ICLK／1 でカウント	0 0 0	0 0 0	内部クロック： PCLKC/1 でカウント
	0 0 1	内部クロック： ICLK／4 でカウント	0 0 0	0 0 1	内部クロック： PCLKC/4 でカウント
	0 1 0	内部クロック： ICLK／16 でカウント	0 0 0	0 1 0	内部クロック： PCLKC/16 でカウント
	0 1 1	内部クロック： ICLK／64 でカウント	0 0 0	0 1 1	内部クロック： PCLKC/64 でカウント
	1 0 0	外部クロック： MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック： MTCLKA 端子入力でカウント

チャネル	RX62T(MTU3)		RX66T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU1	1 0 1	外部クロック： MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック： MTCLKB 端子入力でカウント
	1 1 0	内部クロック： ICLK／256 でカウント	0 0 0	1 1 0	内部クロック： PCLKC/256 でカウント
	1 1 1	MTU2.TCNT のオーバフロー／ アンダフローでカウント	0 0 0	1 1 1	MTU2.TCNT のオーバフロー/ アンダフロー
			0 0 1	x x x	内部クロック： PCLKC/2 でカウント
			0 1 0	x x x	内部クロック： PCLKC/8 でカウント
			0 1 1	x x x	内部クロック： PCLKC/32 でカウント
			1 0 0	x x x	内部クロック： PCLKC/1024 でカウント
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください
MTU2	0 0 0	内部クロック： ICLK／1 でカウント	0 0 0	0 0 0	内部クロック： PCLKC/1 でカウント
	0 0 1	内部クロック： ICLK／4 でカウント	0 0 0	0 0 1	内部クロック： PCLKC/4 でカウント
	0 1 0	内部クロック： ICLK／16 でカウント	0 0 0	0 1 0	内部クロック： PCLKC/16 でカウント
	0 1 1	内部クロック： ICLK／64 でカウント	0 0 0	0 1 1	内部クロック： PCLKC/64 でカウント
	1 0 0	外部クロック： MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック： MTCLKA 端子入力でカウント
	1 0 1	外部クロック： MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック： MTCLKB 端子入力でカウント
	1 1 0	外部クロック： MTCLKC 端子入力でカウント	0 0 0	1 1 0	外部クロック： MTCLKC 端子入力でカウント
	1 1 1	内部クロック： ICLK／1024 でカウント	0 0 0	1 1 1	内部クロック： PCLKC/1024 でカウント
			0 0 1	x x x	内部クロック： PCLKC/2 でカウント
			0 1 0	x x x	内部クロック： PCLKC/8 でカウント
			0 1 1	x x x	内部クロック： PCLKC/32 でカウント
			1 0 0	x x x	内部クロック： PCLKC/256 でカウント
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください
MTU3 MTU4 MTU6 MTU7	0 0 0	内部クロック： ICLK／1 でカウント	0 0 0	0 0 0	内部クロック： PCLKC/1 でカウント
	0 0 1	内部クロック： ICLK／4 でカウント	0 0 0	0 0 1	内部クロック： PCLKC/4 でカウント
	0 1 0	内部クロック： ICLK／16 でカウント	0 0 0	0 1 0	内部クロック： PCLKC/16 でカウント
	0 1 1	内部クロック： ICLK／64 でカウント	0 0 0	0 1 1	内部クロック： PCLKC/64 でカウント

チャネル	RX62T(MTU3)		RX66T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU3 MTU4	1 0 0	内部クロック： ICLK／256 でカウント	0 0 0	1 0 0	内部クロック： PCLKC/256 でカウント
MTU6 MTU7	1 0 1	内部クロック： ICLK／1024 でカウント	0 0 0	1 0 1	内部クロック： PCLKC/1024 でカウント
	1 1 0	外部クロック： MTCLKA 端子入力でカウント (注 1)	0 0 0	1 1 0	外部クロック： MTCLKA 端子入力でカウント
	1 1 1	外部クロック： MTCLKB 端子入力でカウント (注 1)	0 0 0	1 1 1	外部クロック： MTCLKB 端子入力でカウント
			0 0 1	x x x	内部クロック： PCLKC/2 でカウント
			0 1 0	x x x	内部クロック： PCLKC/8 でカウント
			0 1 1	x x x	内部クロック： PCLKC/32 でカウント
			1 0 0	x x x	設定しないでください
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください

x：Don't care

注 1.　MTU6、MTU7 では設定できません。

表 2.33　TPSC ビットの設定比較(MTU5)

チャネル	RX62T(MTU3)		RX66T(MTU3d)		
	TCR. TPSC[1:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[1:0]	説明
MTU5	0 0	内部クロック： ICLK／1 でカウント	0 0 0	0 0	内部クロック： PCLKC/1 でカウント
	0 1	内部クロック： ICLK／4 でカウント	0 0 0	0 1	内部クロック： PCLKC/4 でカウント
	1 0	内部クロック： ICLK／16 でカウント	0 0 0	1 0	内部クロック： PCLKC/16 でカウント
	1 1	内部クロック： ICLK／64 でカウント	0 0 0	1 1	内部クロック： PCLKC/64 でカウント
			0 0 1	x x	内部クロック： PCLKC/2 でカウント
			0 1 0	x x	内部クロック： PCLKC/8 でカウント
			0 1 1	x x	内部クロック： PCLKC/32 でカウント
			1 0 0	x x	内部クロック： PCLKC/256 でカウント
			1 0 1	x x	内部クロック： PCLKC/1024 でカウント
			1 1 0	x x	設定しないでください
			1 1 1	x x	外部クロック： MTIOC1A 端子入力

x：Don't care

2.15 ポートアウトプットイネーブル 3

表 2.34 にポートアウトプットイネーブル 3 の概要比較を、表 2.35 にポートアウトプットイネーブル 3 レジスタ比較を示します。

表 2.34　ポートアウトプットイネーブル 3 の概要比較

項目	RX62T(POE3)	RX66T(POE3B)
機能	● POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low レベルサンプリングの設定が可能です。	● POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子のそれぞれに立ち下がりエッジ検出または Low レベル検出の設定が可能です。Low レベル検出の場合、サンプリングクロックは PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128 から、サンプリング回数は 4 回、8 回、16 回から選択できます
	● POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、または Low レベルサンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。	● POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子への入力の立ち下がりエッジ検出、または Low レベル検出によって、すべての制御対象端子の出力を停止できます
	● クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。	● クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます
	● MTU 相補 PWM 出力端子または GPT 大電流出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 大電流出力端子をハイインピーダンス状態にできます。	● MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます ● GPTW 出力端子(GPTW0～2、GPTW4～6、GPTW7～9 端子)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた 場合、GPTW 出力端子の出力を停止できます
	● 12 ビット A/D コンバータ(S12ADA)のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。	● コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます
	● POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。	● POE のレジスタの設定により、すべての制御対象端子の出力を停止できます
	● 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。	● 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です
出力停止時の端子の状態	ハイインピーダンス	● ハイインピーダンス ● 汎用入出力ポート

項目	RX62T(POE3)	RX66T(POE3B)
出力停止制御対象端子	● MTU の出力端子 —MTU0 端子(MTIOC0A-A, MTIOC0A-B, MTIOC0B-A, MTIOC0B-B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) ● GPT の出力端子 —GPT0 端子(GTIOC0A-A, GTIOC0B-A, GTIOC0A-B, GTIOC0B-B) —GPT1 端子(GTIOC1A-A, GTIOC1B-A, GTIOC1A-B, GTIOC1B-B) —GPT2 端子(GTIOC2A-A, GTIOC2B-A, GTIOC2A-B, GTIOC2B-B) —GPT3 端子(GTIOC3A, GTIOC3B)	● MTU の出力端子 —MTU0 端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) —MTU9 端子(MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) ● GPTW の出力端子 —GPTW0 端子(GTIOC0A, GTIOC0B) —GPTW1 端子(GTIOC1A, GTIOC1B) —GPTW2 端子(GTIOC2A, GTIOC2B) —GPTW3 端子(GTIOC3A, GTIOC3B) —GPTW4 端子(GTIOC4A, GTIOC4B) —GPTW5 端子(GTIOC5A, GTIOC5B) —GPTW6 端子(GTIOC6A, GTIOC6B) —GPTW7 端子(GTIOC7A, GTIOC7B) —GPTW8 端子(GTIOC8A, GTIOC8B) —GPTW9 端子(GTIOC9A, GTIOC9B)
出力停止要求発生条件	● 入力端子の変化 —POE0#、POE4#、POE8#、POE10#、POE11#端子に信号が入力されたとき ● 出力端子の短絡：以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPT 出力端子】 —GTIOC0A-A と GTIOC0B-A —GTIOC1A-A と GTIOC1B-A —GTIOC2A-A と GTIOC2B-A ● SPOER レジスタを設定したとき ● メインクロック発生回路の発振停止を検出したとき ● 12 ビット A/D コンバータ(S12ADA)のコンパレータの出力を検出したとき	● 入力端子の変化 —POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子に信号が入力されたとき ● 出力端子の短絡：以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPTW 出力端子】 —GTIOC0A と GTIOC0B —GTIOC1A と GTIOC1B —GTIOC2A と GTIOC2B —GTIOC4A と GTIOC4B —GTIOC5A と GTIOC5B —GTIOC6A と GTIOC6B —GTIOC7A と GTIOC7B —GTIOC8A と GTIOC8B —GTIOC9A と GTIOC9B ● SPOER レジスタを設定したとき ● メインクロック発生回路の発振停止を検出したとき ● コンパレータ C(CMPC)の出力を検出したとき

表 2.35　ポートアウトプットイネーブル 3 レジスタ比較

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR1	POE0M[1:0](RX62T) POE0M[3:0](RX66T)	POE0 モード選択ビット b1 b0 0 0：POE0#入力の立ち下がりエッジで要求を受け付け 0 1：POE0#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE0#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE0#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE0 モード選択ビット (b3-b0) b3　b0 0 0 0 0：POE0#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1：POE0#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0：POE0#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1：POE0#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0：POE0#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1：POE0#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0：POE0#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE0M2[3:0]	-	POE0 サンプリング回数選択ビット
	POE0F	POE0 フラグ ［“1”になる条件］ POE0#端子に POE0M[1:0]ビットで設定した入力が発生したとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき	POE0 フラグ ［“1”になる条件］ POE0#端子に POE0M[3:0]ビット、POE0M2[3:0]ビットで設定した入力が発生したとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき POE0M[3:0]ビットで Low サンプリングを設定している場合、“0”を書くには、POE0#端子に High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR2	POE4M[1:0](RX62T) POE4M[3:0](RX66T)	POE4 モード選択ビット b1 b0 0 0：POE4#入力の立ち下がりエッジで要求を受け付け 0 1：POE4#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE4#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE4#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE4 モード選択ビット (b3-b0) b3　b0 0 0 0 0：POE4#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1：POE4#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0：POE4#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1：POE4#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0：POE4#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1：POE4#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0：POE4#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE4M2[3:0]	-	POE4 サンプリング回数選択ビット
	POE4F	POE4 フラグ [“1”になる条件] POE4#端子に POE4M[1:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき	POE4 フラグ [“1”になる条件] POE4#端子に POE4M[3:0]ビット、POE4M2[3:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、0”を書いたとき POE4M[3:0]ビットで Low サンプリングを設定している場合、“0”を書くには、POE4#端子に High を入力する必要があります

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR3	POE8M[1:0](RX62T) POE8M[3:0](RX66T)	POE8 モード選択ビット b1 b0 0 0：POE8#入力の立ち下がりエッジで要求を受け付け 0 1：POE8#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE8#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE8#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE8 モード選択ビット (b3-b0) b3　b0 0 0 0 0：POE8#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1：POE8#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0：POE8#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1：POE8#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0：POE8#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1：POE8#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0：POE8#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE8M2[3:0]	-	POE8 サンプリング回数選択ビット
	POE8F	POE8 フラグ [“1”になる条件] POE8#端子に POE8M[1:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき	POE8 フラグ [“1”になる条件] POE8#端子に POE8M[3:0]ビット、POE8M2[3:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき POE8M[3:0]ビットで Low サンプリングを設定している場合、“0”を書くには、POE8#端子に High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR4	POE10M[1:0](RX62T) POE10M[3:0](RX66T)	POE10 モード選択ビット b1 b0 0 0：POE10#入力の立ち下がりエッジで要求を受け付け 0 1：POE10#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE10#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE10#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE10 モード選択ビット (b3-b0) b3　b0 0 0 0 0：POE10#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1：POE10#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0：POE10#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1：POE10#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0：POE10#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1：POE10#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0：POE10#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE10M2[3:0]	-	POE10 サンプリング回数選択ビット
	POE10F	POE10 フラグ [“1”になる条件] POE10#端子に POE10M[1:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき	POE10 フラグ [“1”になる条件] POE10#端子に POE10M[3:0]ビット、POE10M2[3:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき POE10M[3:0]ビットで Low サンプリングを設定している場合、“0”を書くには、POE10#端子に High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR5	POE11M[1:0](RX62T) POE11M[3:0](RX66T)	POE11 モード選択ビット b1 b0 0 0：POE11#入力の立ち下がりエッジで要求を受け付け 0 1：POE11#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE11#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE11#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE11 モード選択ビット (b3-b0) b3　b0 0 0 0 0：POE11#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1：POE11#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0：POE11#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1：POE11#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0：POE11#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1：POE11#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0：POE11#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE11M2[3:0]	-	POE11 サンプリング回数選択ビット
	POE11F	POE11 フラグ [“1”になる条件] POE11#端子に POE11M[1:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき	POE11 フラグ [“1”になる条件] POE11#端子に POE11M[3:0]ビット、POE11M2[3:0]ビットで設定した入力が発生したとき [“0”になる条件] “1”の状態を読んだ後、“0”を書いたとき POE11M[3:0]ビットで Low サンプリングを設定している場合、“0”を書くには、POE11#端子に High を入力する必要があります。
ICSR6	-	-	入力レベルコントロール/ステータスレジスタ 6

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ICSR7	-	-	入力レベルコントロール/ ステータスレジスタ 7
ICSR8	-	-	入力レベルコントロール/ ステータスレジスタ 8
ICSR9	-	-	入力レベルコントロール/ ステータスレジスタ 9
ICSR10	-	-	入力レベルコントロール/ ステータスレジスタ 10
OCSR1	OSF1	出力短絡フラグ 1 MTU 相補 PWM 出力端子(MTU3、MTU4 端子)または GPT 大電流出力端子(GPT0～GPT2 端子)の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。 ［“1”になる条件］ 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき	出力短絡フラグ 1 MTU 相補 PWM 出力端子(MTU3、MTU4 端子)の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF1 フラグは“1”になりません。 ［“1”になる条件］ ● POECR2.MTU3BDZE ビットが“1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が“1”の場合に、MTIOC3B 端子と MTIOC3D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU4ACZE ビットが“1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が“1”の場合に、MTIOC4A 端子と MTIOC4C 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU4BDZE ビットが“1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が“1”の場合に、MTIOC4B 端子と MTIOC4D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき “0”を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
OCSR2	OSF2	出力短絡フラグ 2 MTU 相補 PWM 出力端子(MTU6、MTU7 端子)の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。 ［“1”になる条件］ 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき	出力短絡フラグ 2 MTU 相補 PWM 出力端子(MTU6、MTU7 端子)の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF1 フラグは“1”になりません。 ［“1”になる条件］ • POECR2.MTU6BDZE ビットが“1”、または PMMCR1.MTU6BME ビット、PMMCR1.MTU6DME ビットの少なくとも一方が“1”の場合に、MTIOC6B 端子と MTIOC6D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき • POECR2.MTU7ACZE ビットが“1”、または PMMCR1.MTU7AME ビット、PMMCR1.MTU7CME ビットの少なくとも一方が“1”の場合に、MTIOC7A 端子と MTIOC7C 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき • POECR2.MTU7BDZE ビットが“1”、または PMMCR1.MTU7BME ビット、PMMCR1.MTU7DME ビットの少なくとも一方が“1”の場合に、MTIOC7B 端子と MTIOC7D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ［“0”になる条件］ “1”の状態を読んだ後、“0”を書いたとき “0”を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。
OCSR3	-	-	出力レベルコントロール/ステータスレジスタ 3
OCSR4	-	-	出力レベルコントロール/ステータスレジスタ 4
OCSR5	-	-	出力レベルコントロール/ステータスレジスタ 5
ALR1	OLSG0A	MTIOC3B/GTIOC0A-A アクティブレベル設定ビット	MTIOC3B 端子アクティブレベル設定ビット
	OLSG0B	MTIOC3D/GTIOC0B-A アクティブレベル設定ビット	MTIOC3D 端子アクティブレベル設定ビット

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
ALR1	OLSG1A	MTIOC4A/GTIOC1A-A アクティブレベル設定ビット	MTIOC4A 端子アクティブ レベル設定ビット
	OLSG1B	MTIOC4C/GTIOC1B-A アクティブレベル設定ビット	MTIOC4C 端子アクティブ レベル設定ビット
	OLSG2A	MTIOC4B/GTIOC2A-A アクティブレベル設定ビット	MTIOC4B 端子アクティブ レベル設定ビット
	OLSG2B	MTIOC4D/GTIOC2B-A アクティブレベル設定ビット	MTIOC4D 端子アクティブ レベル設定ビット
ALR2	-	-	アクティブレベルレジスタ 2
ALR3	-	-	アクティブレベルレジスタ 3
ALR4	-	-	アクティブレベルレジスタ 4
ALR5	-	-	アクティブレベルレジスタ 5
SPOER	MTUCH34HIZ (注 1)	MTU3、MTU4 出力 ハイインピーダンス許可ビット	MTU3、MTU4 端子出力停止 許可ビット
	GPT01HIZ	GPT0、GPT1 出力 ハイインピーダンス許可ビット	GPTW0、GPTW1 端子出力停止 許可ビット
	GPT23HIZ	GPT2、GPT3 出力 ハイインピーダンス許可ビット	GPTW2、GPTW3 端子出力停止 許可ビット
	MTUCH9HIZ	-	MTU9 端子出力停止許可ビット
	GPT02HIZ	-	GPTW0~GPTW2 端子出力停止 許可ビット
	GPT46HIZ	-	GPTW4~GPTW6 端子出力停止 許可ビット
	GPT79HIZ	-	GPTW7~GPTW9 端子出力停止 許可ビット
POECR2	MTU4BDZE (注 1)	MTU CH4BD ハイインピーダンス許可ビット	MTIOC4B/MTIOC4D 端子 ハイインピーダンス許可ビット
	MTU4ACZE (注 1)	MTU CH4AC ハイインピーダンス許可ビット	MTIOC4A/MTIOC4C 端子 ハイインピーダンス許可ビット
	MTU3BDZE (注 1)	MTU CH3BD ハイインピーダンス許可ビット	MTIOC3B/MTIOC3D 端子 ハイインピーダンス許可ビット
POECR3	-	ポートアウトプットイネーブル コントロールレジスタ 3	ポートアウトプットイネーブル コントロールレジスタ 3
		リセット後の初期値が異なります	
	GPT2ABZE	GPT CH2AB ハイインピーダンス許可ビット (b8)	GTIOC2A/GTIOC2B 端子 ハイインピーダンス許可ビット (b2)
	GPT3ABZE	GPT CH3AB ハイインピーダンス許可ビット (b9)	GTIOC3A/GTIOC3B 端子 ハイインピーダンス許可ビット (b3)
	GPT4ABZE～ GPT9ABZE	-	GTIOC4A/GTIOC4B～ GTIOC9A/GTIOC9B 端子 ハイインピーダンス許可ビット
POECR4	CMADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス CFLAG 追加ビット	MTU3、MTU4 出力停止条件 CFLAG 追加ビット
	IC1ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE0F 追加ビット
	IC2ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス POE4F 追加ビット	MTU3、MTU4 出力停止条件 POE4F 追加ビット
	IC3ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス POE8F 追加ビット	MTU3、MTU4 出力停止条件 POE8F 追加ビット
	IC4ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス POE10F 追加ビット	MTU3、MTU4 出力停止条件 POE10F 追加ビット
	IC5ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス POE11F 追加ビット	MTU3、MTU4 出力停止条件 POE11F 追加ビット

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
POECR4	IC6ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE12F 追加ビット
	IC8ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE9F 追加ビット
	IC9ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE13F 追加ビット
	IC10ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE14F 追加ビット
	CMADDMT67ZE	MTUCH67 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDMT67ZE	MTUCH67 ハイインピーダンス POE0F 追加ビット	-
	IC3ADDMT67ZE	MTUCH67 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDMT67ZE	MTUCH67 ハイインピーダンス POE10F 追加ビット	-
	IC5ADDMT67ZE	MTUCH67 ハイインピーダンス POE11F 追加ビット	-
POECR4B	-	-	ポートアウトプットイネーブル コントロールレジスタ 4B
POECR5	IC3ADDMT0ZE	-	MTU0 出力停止条件 POE8F 追加ビット
	IC6ADDMT0ZE	-	MTU0 出力停止条件 POE12F 追加ビット
	IC8ADDMT0ZE	-	MTU0 出力停止条件 POE9F 追加ビット
	IC9ADDMT0ZE	-	MTU0 出力停止条件 POE13F 追加ビット
	IC10ADDMT0ZE	-	MTU0 出力停止条件 POE14F 追加ビット
POECR6	IC4ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE10F 追加ビット
	IC6ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE12F 追加ビット
	IC8ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE9F 追加ビット
	IC9ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE13F 追加ビット
	IC10ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE14F 追加ビット
	CMADDGPT23ZE	GPTCH23 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDGPT23ZE	GPTCH23 ハイインピーダンス POE0F 追加ビット	-
	IC2ADDGPT23ZE	GPTCH23 ハイインピーダンス POE4F 追加ビット	-
	IC3ADDGPT23ZE	GPTCH23 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDGPT23ZE	GPTCH23 ハイインピーダンス POE10F 追加ビット	-
POECR6B	-	-	ポートアウトプットイネーブル コントロールレジスタ 6B
POECR7	-	-	ポートアウトプットイネーブル コントロールレジスタ 7

レジスタ	ビット	RX62T(POE3)	RX66T(POE3B)
POECR8	-	-	ポートアウトプットイネーブル コントロールレジスタ 8
POECR9	-	-	ポートアウトプットイネーブル コントロールレジスタ 9
POECR10	-	-	ポートアウトプットイネーブル コントロールレジスタ 10
POECR11	-	-	ポートアウトプットイネーブル コントロールレジスタ 11
PMMCR0	-	-	ポートモードマスク コントロールレジスタ 0
PMMCR1	-	-	ポートモードマスク コントロールレジスタ 1
PMMCR2	-	-	ポートモードマスク コントロールレジスタ 2
PMMCR3	-	-	ポートモードマスク コントロールレジスタ 3
POECMPFR	-	-	ポートアウトプットイネーブル コンパレータ検出フラグレジスタ
POECMPSEL	-	-	ポートアウトプットイネーブル コンパレータ要求選択レジスタ
POECMPEXm	-	-	ポートアウトプットイネーブル コンパレータ要求拡張選択 レジスタ m (m=0~8)
M0SELR1	-	-	MTU0端子選択レジスタ1
M0SELR2	-	-	MTU0端子選択レジスタ2
M3SELR	-	-	MTU3端子選択レジスタ
M4SELR1	-	-	MTU4端子選択レジスタ1
M4SELR2	-	-	MTU4端子選択レジスタ2
M6SELR	-	-	MTU6 端子選択レジスタ
M7SELR1	-	-	MTU7 端子選択レジスタ 1
M7SELR2	-	-	MTU7 端子選択レジスタ 2
M9SELR1	-	-	MTU9端子選択レジスタ1
M9SELR2	-	-	MTU9端子選択レジスタ2
G0SELR	-	-	GPTW0端子選択レジスタ
G1SELR	-	-	GPTW1端子選択レジスタ
G2SELR	-	-	GPTW2端子選択レジスタ
G3SELR	-	-	GPTW3端子選択レジスタ
G4SELR	-	-	GPTW4 端子選択レジスタ
G5SELR	-	-	GPTW5 端子選択レジスタ
G6SELR	-	-	GPTW6 端子選択レジスタ
G7SELR	-	-	GPTW7端子選択レジスタ
G8SELR	-	-	GPTW8端子選択レジスタ
G9SELR	-	-	GPTW9端子選択レジスタ

注 1.　RX62T では GPT 端子・MTU 端子を制御しますが、RX66T では GPT 端子・MTU 端子を別々のレジスタで制御します。

2.16 汎用 PWM タイマ

表 2.36 に汎用 PWM タイマの概要比較を、表 2.37 に汎用 PWM タイマのレジスタ比較を、表 2.38 に GTIOA/B ビットの設定比較を示します。

GPTa は RX62G グループにのみ搭載されています。

表 2.36　汎用 PWM タイマの概要比較

項目	RX62T(GPT/GPTa)	RX66T(GPTW)
機能	• 16 ビット×4 チャネル • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして 4 本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • それぞれのカウンタを同期動作可能 • 同期動作のモード(同時または任意のタイミングでずらす位相シフトに対応) • PWM 動作の際にデッドタイム生成が可能 • 外部トリガにより、カウントスタート/カウントストップ/カウンタクリア動作が可能 • デッドタイムエラー、出力短絡検出、コンパレータ検出による出力ディセーブル制御機能 • A/D 変換開始トリガ生成機能	• 32 ビット×10 チャネル • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして 4 本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • 任意のチャネルのカウンタを同時スタート/ストップ/クリア可能 • 同期動作のモード(同時または任意のタイミングでずらす位相シフトに対応) • PWM 動作の際にデッドタイム生成が可能 • ELC 設定により、最大 8 つの ELC イベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 2 本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 最大 4 本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • POEG からの出力停止要求による出力ネゲート制御機能 • A/D 変換開始トリガ生成機能 • コンペアマッチ A~F イベント信号、オーバフロー/アンダフローイベント信号を ELC へ出力可能 • インプットキャプチャ入力はノイズフィルタ機能を選択可能 • バスクロック：PCLKA、 GPTW カウント基準クロック：PCLKC 周波数比 PCLKA：PCLKC = 1：N (N = 1/2)

項目	RX62T(GPT/GPTa)	RX66T(GPTW)
機能	• 3 つのカウンタを組み合わせ、デッドタイム付きの 3 相 PWM 波形を生成可能 • 外部/内部トリガによりカウントスタート/クリア/ストップ可能 • 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ • 分周された IWDT 専用の低速オンチップオシレータクロックのエッジを、システムクロック(ICLK)を分周したカウントクロックで計測することが可能(発振異常検出) • 各チャネル 2 本の PWM 出力端子に対し、システムクロック(ICLK)の 1/32 の分解能で立ち上がり/立ち下がりタイミングの制御が可能(PWM 遅延生成機能)(RX62G グループのみ)	• 3 つのカウンタを組み合わせ、デッドタイム付きの 3 相 PWM 波形を生成可能 • 外部/内部トリガによりカウントスタート/クリア/ストップ可能 • 内部トリガ要因として、ソフトウェア、コンペアマッチ • メインクロック発振器、低速および高速オンチップオシレータ、PLL 周波数シンセサイザ、IWDT 専用オンチップオシレータ、および PCLKB における出力クロック周波数の異常を監視可能(クロック周波数精度測定回路(CAC)章参照) • 最大 4 チャネルの相補 PWM 出力端子に対し、PCLKC 周期の 1/32 の分解能で立ち上がり/立ち下がりタイミングの制御が可能(高分解能 PWM 波形生成回路(HRPWM)章参照)

表 2.37　汎用 PWM タイマのレジスタ比較

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTWP	WP0～WP3(RX62T) WP(RX66T)	GPT0～3 レジスタ書き込み許可ビット	レジスタ書き込み禁止ビット
	STRWP	-	GTSTR.CSTRTビット書き込み禁止ビット
	STPWP	-	GTSTP.CSTOPビット書き込み禁止ビット
	CLRWP	-	GTCLR.CCLRビット書き込み禁止ビット
	CMNWP	-	共通レジスタ書き込み禁止ビット
	PRKEY[7:0]	-	GTWPキーコードビット
GTSTR	CST0(RX62T) CSTRT0(RX66T)	GPT0.GTCNT カウントスタートビット	チャネル 0 カウントスタートビット
	CST1(RX62T) CSTRT1(RX66T)	GPT1.GTCNT カウントスタートビット	チャネル 1 カウントスタートビット
	CST2(RX62T) CSTRT2(RX66T)	GPT2.GTCNT カウントスタートビット	チャネル 2 カウントスタートビット
	CST3(RX62T) CSTRT3(RX66T)	GPT3.GTCNT カウントスタートビット	チャネル 3 カウントスタートビット
	CSTRT4～CSTRT9	-	チャネル 4~9 カウントスタートビット
GTSTP	-	-	汎用 PWM タイマソフトウェアストップレジスタ
GTHSCR	-	汎用 PWM タイマハードウェア要因スタートコントロールレジスタ	-
GTHCCR	-	汎用 PWM タイマハードウェア要因クリアコントロールレジスタ	-
GTCLR	-	-	汎用 PWM タイマソフトウェアクリアレジスタ
GTHSSR	-	汎用 PWM タイマハードウェアスタート要因セレクトレジスタ	-
GTSSR	-	-	汎用 PWM タイマスタート要因セレクトレジスタ

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTHPSR	-	汎用 PWM タイマハードウェアストップ・クリア要因セレクトレジスタ	-
GTPSR	-	-	汎用 PWM タイマストップ要因セレクトレジスタ
GTCSR	-	-	汎用 PWM タイマクリア要因セレクトレジスタ
GTUPSR	-	-	汎用 PWM タイマカウントアップ要因セレクトレジスタ
GTDNSR	-	-	汎用 PWM タイマカウントダウン要因セレクトレジスタ
GTICASR	-	-	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A
GTICBSR	-	-	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B
GTSYNC	-	汎用 PWM タイマシンクロレジスタ	-
GTETINT	-	汎用 PWM タイマ外部トリガ入力割り込みレジスタ	-
GTBDR	-	汎用 PWM タイマバッファ動作禁止レジスタ	-
GTSWP	-	汎用 PWM タイマスタート書き込み保護レジスタ	-
LCCR	-	LOCO カウントコントロールレジスタ	-
LCST	-	LOCO カウントステータスレジスタ	-
LCNT	-	LOCO カウント値レジスタ	-
LCNTA	-	LOCO カウント結果平均レジスタ	-
LCNTn	-	LOCO カウント結果レジスタ n (n = 0～15)	-
LCNTDU、LCNTDL	-	LOCO カウント上限/下限許容偏差値レジスタ	-
GTCR	CST	-	カウントスタートビット
	ICDS	-	カウント停止時インプットキャプチャ動作選択ビット
	MD[2:0]	モード選択ビット(b2-b0)	モード選択ビット(b18-b16)

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTCR	TPCS[1:0](RX62T) TPCS[3:0](RX66T)	タイマプリスケーラ選択ビット (b9-b8) b9 b8 0 0：ICLK　(システムクロック) 0 1：ICLK/2　(システムクロック/2) 1 0：ICLK/4　(システムクロック/4) 1 1：ICLK/8　(システムクロック/8)	タイマプリスケーラ選択ビット (b26-b23) b26 b23 0 0 0 0：PCLKC 0 0 0 1：PCLKC/2 0 0 1 0：PCLKC/4 0 0 1 1：PCLKC/8 0 1 0 0：PCLKC/16 0 1 0 1：PCLKC/32 0 1 1 0：PCLKC/64 0 1 1 1：設定しないでください 1 0 0 0：PCLKC/256 1 0 0 1：設定しないでください 1 0 1 0：PCLKC/1024 1 0 1 1：設定しないでください 1 1 0 0：GTETRGA (POEG 経由) 1 1 0 1：GTETRGB (POEG 経由) 1 1 1 0：GTETRGC (POEG 経由) 1 1 1 1：GTETRGD (POEG 経由)
	CCLR[1:0]	カウンタクリア要因選択ビット	-
GTUDC	-	汎用 PWM タイマカウント方向 レジスタ	-
GTUDDTYC	-	-	汎用 PWM タイマカウント方向、 デューティ設定レジスタ
GTIOR	GTIOA[5:0](RX62T) GTIOA[4:0](RX66T)	GTIOCnA 端子機能選択ビット (b5-b0) 詳細は表 2.38 を参照してください。	GTIOCnA 端子機能選択ビット (b4-b0) 詳細は表 2.38 を参照してください。
	OAE	-	GTIOCnA 端子出力イネーブル ビット
	OADF[1:0]	-	GTIOCnA 端子ネゲート値設定 ビット
	NFAEN	-	GTIOCnA 端子入力ノイズフィルタ イネーブルビット
	NFCSA[1:0]	-	GTIOCnA 端子入力ノイズフィルタ サンプリングクロック選択ビット
	GTIOB[5:0](RX62T) GTIOB[4:0](RX66T)	GTIOCnB 端子機能選択ビット (b13-b8) 詳細は表 2.38 を参照してください。	GTIOCnB 端子機能選択ビット (b20-b16) 詳細は表 2.38 を参照してください。
	OBDFLT	GTIOCnB 端子カウント 停止時の出力値ビット(b14)	GTIOCnB 端子カウント ストップ時の出力値ビット(b22)
	OBHLD	GTIOCnB 端子カウント開始 停止時の出力保持ビット(b15)	GTIOCnB 端子カウントスタート/ ストップ時の出力保持ビット(b23)
	OBE	-	GTIOCnB 端子出力イネーブル ビット
	OBDF[1:0]	-	GTIOCnB 端子ネゲート値設定 ビット
	NFBEN	-	GTIOCnB 端子入力ノイズフィルタ イネーブルビット
	NFCSB[1:0]	-	GTIOCnB 端子入力ノイズフィルタ サンプリングクロック選択ビット

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTINTAD	EINT	デッドタイムエラー割り込み許可ビット	-
	ADTRAUEN	GTADTRA コンペアマッチ(アップカウント)A/D 変換開始要求許可ビット(b12)	GTADTRA レジスタコンペアマッチ(アップカウント) A/D 変換開始要求許可ビット(b16)
	ADTRADEN	GTADTRA コンペアマッチ(ダウンカウント)A/D 変換開始要求許可ビット(b13)	GTADTRA レジスタコンペアマッチ(ダウンカウント) A/D 変換開始要求許可ビット(b17)
	ADTRBUEN	GTADTRB コンペアマッチ(アップカウント)A/D 変換開始要求許可ビット(b14)	GTADTRB レジスタコンペアマッチ(アップカウント) A/D 変換開始要求許可ビット(b18)
	ADTRBDEN	GTADTRB コンペアマッチ(ダウンカウント)A/D 変換開始要求許可ビット(b15)	GTADTRB レジスタコンペアマッチ(ダウンカウント) A/D 変換開始要求許可ビット(b19)
	GRP[1:0]	-	出力停止グループ選択ビット
	GRPDTE	-	デッドタイムエラー出力停止検出許可ビット
	GRPABH	-	同時 High 出力停止検出許可ビット
	GRPABL	-	同時 Low 出力停止検出許可ビット
GTST	TCFA	インプットキャプチャ/コンペアマッチフラグ A	-
	TCFB	インプットキャプチャ/コンペアマッチフラグ B	-
	TCFC~TCFF	コンペアマッチフラグ C~F	-
	TCFPO	オーバフローフラグ	-
	TCFPU	アンダフローフラグ	-
	ITCNT[2:0]	GTCIV 割り込み間引き回数カウンタ	GTCIV/GTCIU 割り込み間引き回数カウンタ
	DTEF	デッドタイムエラーフラグ(b11)	デッドタイムエラーフラグ(b28)
	ADTRAUF	-	GTADTRA レジスタコンペアマッチ(アップカウント)A/D 変換開始要求フラグ
	ADTRADF	-	GTADTRA レジスタコンペアマッチ(ダウンカウント)A/D 変換開始要求フラグ
	ADTRBUF	--	GTADTRB レジスタコンペアマッチ(アップカウント)A/D 変換開始要求フラグ
	ADTRBDF	-	GTADTRB レジスタコンペアマッチ(ダウンカウント)A/D 変換開始要求フラグ
	ODF	-	出力停止要求フラグ
	OABHF	-	同時 High 出力フラグ
	OABLF	-	同時 Low 出力フラグ
GTBER	BD[0]	-	GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット
	BD[1]	-	GTPR レジスタのバッファ動作禁止ビット
	BD[2]	-	GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット
	BD[3]	-	GTDVU/GTDVD レジスタのバッファ動作禁止ビット
	DBRTECA	-	GTCCRA レジスタのダブルバッファリピート動作許可ビット

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTBER	DBRTECB	-	GTCCRB レジスタのダブルバッファリピート動作許可ビット
	CCRA[1:0]	GTCCRA バッファ動作ビット(b1-b0)	GTCCRA レジスタのバッファ動作ビット(b17-16)
	CCRB[1:0]	GTCCRB バッファ動作ビット(b3-b2)	GTCCRB レジスタのバッファ動作ビット(b19-18)
	PR[1:0]	GTPR バッファ動作ビット(b5-b4)	GTPR レジスタのバッファ動作ビット(b21-b20)
	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作ビット(b6)	GTCCRA/GTCCRB レジスタの強制バッファ動作ビット(b22)
	ADTTA[1:0]	GTADTRA バッファ転送タイミング選択ビット(b9-b8)	GTADTRA レジスタのバッファ転送タイミング選択ビット(b25-b24)
	ADTDA	GTADTRA ダブルバッファ動作ビット(b10)	GTADTRA レジスタのダブルバッファ動作ビット(b26)
	ADTTB[1:0]	GTADTRB バッファ転送タイミング選択ビット(b13-b12)	GTADTRB レジスタのバッファ転送タイミング選択ビット(b29-b28)
	ADTDB	GTADTRB ダブルバッファ動作ビット(b14)	GTADTRB レジスタのダブルバッファ動作ビット(b30)
GTITC	IVTC[1:0]	GTCIV 割り込み間引き機能選択ビット	GTCIV/GTCIU 割り込み間引き機能選択ビット
	IVTT[2:0]	GTCIV 割り込み間引き回数選択ビット	GTCIV/GTCIU 割り込み間引き回数選択ビット
GTCNT	-	汎用 PWM タイマカウンタ GTCNT は、16 ビットレジスタです。8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。	汎用 PWM タイマカウンタ GTCNT は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTCCRm	-	汎用 PWM タイマコンペアキャプチャレジスタ m (m = A～F) GTCCRm は、16 ビットレジスタです。	汎用 PWM タイマコンペアキャプチャレジスタ m (m = A～F) GTCCRm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTPR	-	汎用 PWM タイマ周期設定レジスタ GTPR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定レジスタ GTPR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTPBR	-	汎用 PWM タイマ周期設定バッファレジスタ GTPBR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定バッファレジスタ GTPBR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTPDBR	-	汎用 PWM タイマ周期設定ダブルバッファレジスタ GTPDBR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定ダブルバッファレジスタ GTPDBR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTADTRm	-	A/D 変換開始要求タイミングレジスタ m (m = A, B) GTADTRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミングレジスタ m (m = A, B) GTADTRm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTADTBRm	-	A/D 変換開始要求タイミングバッファレジスタ m (m = A, B) GTADTBRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミングバッファレジスタ m (m = A, B) GTADTBRm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTADTDBRm	-	A/D 変換開始要求タイミングダブルバッファレジスタ m (m = A, B) GTADTDBRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミングダブルバッファレジスタ m (m = A, B) GTADTDBRm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTDVm	-	汎用 PWM タイマデッドタイム値レジスタ m (m = U, D) GTDVm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	汎用 PWM タイマデッドタイム値レジスタ m (m = U, D) GTDVm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTDBm	-	汎用 PWM タイマデッドタイムバッファレジスタ m (m = U, D) GTDBm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	汎用 PWM タイマデッドタイムバッファレジスタ m (m = U, D) GTDBm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTONCR	-	汎用 PWM タイマ出力ネゲートコントロールレジスタ	-
GTADSMR	-	-	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ
GTEITC	-	-	汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ

レジスタ	ビット	RX62T(GPT/GPTa)	RX66T(GPTW)
GTEITLI1	-	-	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1
GTEITLI2	-	-	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2
GTEITLB	-	-	汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ
GTSECSR	-	-	汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ
GTSECR	-	-	汎用 PWM タイマ動作許可ビット同時制御レジスタ
GTDLYCR	-	PWM 出力遅延制御レジスタ	-
GTDLYRA	-	GTIOCA 立ち上がり出力遅延レジスタ	-
GTDLYFA	-	GTIOCA 立ち下がり出力遅延レジスタ	-
GTDLYRB	-	GTIOCB 立ち上がり出力遅延レジスタ	-
GTDLYFB	-	GTIOCB 立ち下がり出力遅延レジスタ	-

表 2.38　GTIOA/B ビットの設定比較

ビット	RX62T(GPT/GPTa) GTIOA/B[5:0]ビット	RX66T(GPTW) GTIOA/B[4:0]ビット
b5	0：コンペアマッチ 1：インプットキャプチャ	-
b4	● b5=0 の場合 0：初期出力 Low 1：初期出力 High ● b5=1 の場合 x：Don't care	0：初期出力 Low 1：初期出力 High
b3-b2	● b5=0 の場合 0 0：周期の終わりで出力保持 0 1：周期の終わりで Low 出力 1 0：周期の終わりで High 出力 1 1：周期の終わりでトグル出力 ● b5=1 の場合 x：Don't care	0 0：周期の終わりで出力保持 0 1：周期の終わりで Low 出力 1 0：周期の終わりで High 出力 1 1：周期の終わりでトグル出力
b1-b0	● b5=0 の場合 0 0：GPTn.GTCCRA/B のコンペアマッチで出力保持 0 1：GPTn.GTCCRA/B のコンペアマッチで“Low”出力 1 0：GPTn.GTCCRA/B のコンペアマッチで“High”出力 1 1：GPTn.GTCCRA/B のコンペアマッチでトグル出力 ● b5=1 の場合 0 0：立ち上がりエッジでインプットキャプチャ 0 1：立ち下がりエッジでインプットキャプチャ 1 0：両エッジでインプットキャプチャ 1 1：両エッジでインプットキャプチャ	0 0：GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持 0 1：GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力 1 0：GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力 1 1：GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力

2.17 コンペアマッチタイマ

表 2.39 にコンペマッチタイマの概要比較を示します。

表 2.39　コンペマッチタイマの概要比較

項目	RX62T(CMT)	RX66T(CMT)
カウントクロック	● 4 種類の内部クロック —PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中から各チャネル個々に選択可能	● 4 種類の分周クロック —PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中からチャネルごとに選択可能
割り込み	コンペアマッチ割り込みを各チャネル個々に要求することが可能	コンペアマッチ割り込みをチャネルごとに要求することが可能
イベントリンク機能(出力)	-	CMT1 のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	-	● 設定したモジュールに対してリンク動作が可能 ● CMT1 のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

2.18 ウォッチドッグタイマ

表 2.40 にウォッチドッグタイマの概要比較を、表 2.41 にウォッチドッグタイマのレジスタ比較を示します。

表 2.40　ウォッチドッグタイマの概要比較

項目	RX62T(WDT)	RX66T(WDTA)
カウントソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLK)
カウントクロック	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072	4 分周 / 64 分周 / 128 分周/ 512 分周 / 2048 分周 / 8192 分周
カウント動作	8 ビットのアップカウンタによるアップカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• ウォッチドッグタイマモードとして使用するときは、TCSR.TMS ビットを“1”(ウォッチドッグタイマモード)、および TCSR.TME ビットを“1”(TCNT カウンタはカウントを開始)にする • インターバルタイマとして使用するときは、TCSR.TMS ビットを“0”(インターバルタイマモード)に、TCSR.TME ビットを“1”(TCNT カウンタはカウントを開始)にする	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット(アップカウンタ、レジスタは初期値に戻る) • オーバフロー発生時 • TCSR.TME ビットを“0”(TCNT カウンタは“00h”に初期化)	• リセット(ダウンカウンタ、レジスタは初期値に戻る) • 低消費電力状態 • アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	ウォッチドッグタイマモードとして使用している時にカウンタがオーバフローすると、外部に WDTOVF#信号を出力、同時に LSI 内部をリセットするかどうかを選択可能	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	インターバルタイマモードとして使用している時に TCNT カウンタのオーバフローによってインターバルタイマ割り込み(WOVI)が発生	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	TCNT レジスタを読み出すことで、アップカウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
チャネル数	8 ビット×1 チャネル	14 ビット×1 チャネル
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え	オートスタートモード、レジスタスタートモード

表 2.41　ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(WDT)	RX66T(WDTA)
TCNT	-	タイマカウンタ	-
WDTRR	-	-	WDT リフレッシュレジスタ
TCSR	-	タイマコントロール/ステータスレジスタ	-
WDTCR	-	-	WDT コントロールレジスタ
RSTCSR	-	リセットコントロール/ステータスレジスタ	-
WDTSR	-	-	WDT ステータスレジスタ
WINA	-	ライトウィンドウ A レジスタ	-
WINB	-	ライトウィンドウ B レジスタ	-
WDTRCR	-	-	WDT リセットコントロールレジスタ

2.19 独立ウォッチドッグタイマ

表 2.42 に独立ウォッチドッグタイマの概要比較を、表 2.43 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.42　独立ウォッチドッグタイマの概要比較

項目	RX62T(IWDT)	RX66T(IWDTa)
カウントソース	オンチップオシレータクロック(IWDTCLK)	IWDT 専用クロック(IWDTCLK)
カウント分周比	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ(IWDTRR レジスタに 00h を書いた後、FFh を書く)によりカウント開始	● オートスタートモード：リセット解除後、自動的にカウント開始 ● レジスタスタートモード：リフレッシュ動作(IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	● リセット(ダウンカウンタ、レジスタは初期値に戻ります。) ● アンダフロー発生時	● リセット(ダウンカウンタ、レジスタは初期値に戻る) ● 低消費電力状態(レジスタ設定による) ● アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	-	● ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	ダウンカウンタがアンダフローしたとき	● ダウンカウンタがアンダフローしたとき ● リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	-	● ダウンカウンタがアンダフローしたとき ● リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタの読み出し	IWDTSR レジスタを読むことで、ダウンカウンタのカウンタ値が読めます	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号(内部信号)	リセット出力	● リセット出力 ● 割り込み要求出力 ● スリープモードカウント停止制御出力

項目	RX62T(IWDT)	RX66T(IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0 (OFS0)制御)	-	• リセット後のクロック分周比の選択(OFS0.IWDTCKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDTRPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDTRPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(OFS0.IWDTRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択(OFS0.IWDTSLCSTP ビット)
イベントリンク機能(出力)	-	• ダウンカウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
レジスタスタートモード (IWDT レジスタ制御)	• リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCR.TOPS[1:0]ビット)	• リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCR.TOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCR.RPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCR.RPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(IWDTRCR.RSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択(IWDTCSTPR.SLCSTP ビット)

表 2.43　独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(IWDT)	RX66T(IWDTa)
IWDTCR	-	IWDT コントロールレジスタ	IWDT コントロールレジスタ
		リセット後の初期値が異なります	
	CKS[3:0]	クロック選択ビット b7　b4 0 0 ―：IWDTCLK 0 1 0 0：IWDTCLK/16 0 1 0 1：IWDTCLK/32 0 1 1 0：IWDTCLK/64 0 1 1 1：IWDTCLK/128 1 ―― ：IWDTCLK/256	クロック分周比選択ビット b7　b4 0 0 0 0：分周なし 0 0 1 0：16 分周 0 0 1 1：32 分周 0 1 0 0：64 分周 0 1 0 1：256 分周 1 1 1 1：128 分周
	RPES[1:0]	-	ウィンドウ終了位置選択ビット
	RPSS[1:0]	-	ウィンドウ開始位置選択ビット
IWDTSR	REFEF	-	リフレッシュエラーフラグ
IWDTRCR	-	-	IWDT リセットコントロール レジスタ
IWDTCSTPR	-	-	IWDT カウント停止コントロール レジスタ

2.20 シリアルコミュニケーションインタフェース

表 2.44 にシリアルコミュニケーションインタフェースの概要比較を、表 2.45 にシリアルコミュニケーションインタフェースのチャネル比較を、表 2.46 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.44　シリアルコミュニケーションインタフェースの概要比較

項目		RX62T(SCIb)	RX66T(SCIj, SCIi, SCIh)
シリアル通信方式		● 調歩同期式 ● クロック同期式 ● スマートカードインタフェース	● 調歩同期式 ● クロック同期式 ● スマートカードインタフェース ● 簡易 I2C バス ● 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		● 送信部：ダブルバッファ構成による連続送信が可能 ● 受信部：ダブルバッファ構成による連続受信が可能	● 送信部：ダブルバッファ構成による連続送信が可能 ● 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー	● 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ(SCI11)、データ一致(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) ● 開始条件/再開始条件/停止条件生成終了(簡易 I2C モード用)
消費電力低減機能		チャネルごとにモジュールストップ状態への設定が可能	チャネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能(SCI11)
	データ一致検出	-	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
	スタートビット検出	RXD 端子の Low レベル/立ち下がりエッジ検出を選択可能	Low または立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn(n=0～2)端子のレベルを直接読むことでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能	● 内部クロック/外部クロックの選択が可能 ● TMR からの転送レートクロック入力が可能(SCI5, SCI6, SCI12)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能

項目		RX62T(SCIb)	RX66T(SCIj, SCIi, SCIh)
調歩同期式モード	ノイズ除去機能	RXDn(n=0～2)端子入力のノイズ除去が可能	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
スマートカードインタフェースモード	エラー処理	● 受信時パリティエラーを検出するとエラーシグナルを自動送出 ● 送信時エラーシグナルを受信するとデータを自動再送信	● 受信時パリティエラーを検出するとエラーシグナルを自動送出 ● 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I2C モード	通信フォーマット	-	I^2C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応(転送速度はビットレートレジスタ(BRR)を参照して設定してください)
	ノイズ除去	-	● SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ● ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を 4 種類から選択可能
イベントリンク機能 (SCI5 のみ対応)		-	エラー(受信エラー・エラーシグナル検出)イベント出力
		-	受信データフルイベント出力
		-	送信データエンプティイベント出力
		-	送信終了イベント出力
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	-	● Break Field Low width の出力が可能/出力完了割り込み機能あり ● バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	-	● Break Field Low width の検出が可能/検出完了割り込み機能あり ● Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり ● Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 ● Control Field 1 にプライオリティインタラプトビットを設定可能 ● Break Field がない Start Frame にも対応可能 ● Control Field 0 がない Start Frame にも対応可能 ● ビットレート測定機能あり

項目		RX62T(SCIb)	RX66T(SCIj, SCIi, SCIh)
拡張シリアルモード (SCI12 のみ対応)	入出力制御機能	-	• TXDX12/RXDX12 信号の極性選択が可能 • RXDX12 信号にデジタルフィルタ機能を設定可能 • RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 • RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	-	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

表 2.45　シリアルコミュニケーションインタフェースのチャネル比較

項目	RX62T(SCIb)	RX66T(SCIj, SCIi, SCIh)
調歩同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
クロック同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 I^2C モード	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 SPI モード	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
FIFO モード	-	SCI11
データー致検出	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11
拡張シリアルモード	-	SCI12
TMR クロック入力	-	SCI5, SCI6, SCI12
イベントリンク機能	-	SCI5
周辺モジュールクロック	PCLK	PCLKB : SCI1, SCI5, SCI6, SCI8, SCI9, SCI12 PCLKA : SCI11

表 2.46　シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX62T(SCIb)	RX66T(SCIj,SCIi,SCIh)
RDRH	-	-	レシーブデータレジスタ H
RDRL	-	-	レシーブデータレジスタ L
RDRHL	-	-	レシーブデータレジスタ HL
FRDR	-	-	受信FIFOデータレジスタ
TDRH	-	-	トランスミットデータレジスタ H
TDRL	-	-	トランスミットデータレジスタ L
RDRHL	-	-	トランスミットデータレジスタ HL
FTDR	-	-	送信FIFOデータレジスタ
SMR (SCMR.SMIF = 0 の時)	CHR	キャラクタ長ビット (調歩同期式モードのみ有効) 0：データ長 8 ビットで送受信 1：データ長 7 ビットで送受信	キャラクタレングスビット (調歩同期式モードのみ有効) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信(初期値) 1 1：データ長7ビットで送受信
	CM	コミュニケーションモードビット 0：調歩同期式モードで動作 1：クロック同期式モードで動作	コミュニケーションモードビット 0：調歩同期式モード、または簡易I^2Cモードで動作 1：クロック同期式モード、または簡易SPIモードで動作
SCR (SCMR.SMIF = 0 の時)	CKE[1:0]	クロック許可ビット ● 調歩同期式の場合 b1 b0 0 0：内蔵ボーレートジェネレータ SCKn 端子は入出力ポートとして使用可能 0 1：内蔵ボーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力 1 0：外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください 1 1：外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください ● クロック同期式の場合 b1 b0 0 0：内部クロック SCKn 端子はクロック出力端子 0 1：内部クロック SCKn 端子はクロック出力端子 1 0：外部クロック SCKn 端子はクロック入力端子 1 1：外部クロック SCKn 端子はクロック入力端子	クロックイネーブルビット (調歩同期式の場合) b1 b0 0 0：内蔵ボーレートジェネレータ SCKn 端子はハイインピーダンスになります 0 1：内蔵ボーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロックまたは TMR クロック 外部クロック使用時は、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください。TMR クロック使用時は、SCKn 端子はハイインピーダンスになります。 TMR クロックは SCI5、SCI6、SCI12 のみ選択可能。 (クロック同期式の場合) b1 b0 0 x：内部クロック SCKn 端子はクロック出力端子となります 1 x：外部クロック SCKn 端子はクロック入力端子となります

レジスタ	ビット	RX62T(SCIb)	RX66T(SCIj,SCIi,SCIh)
SSRFIFO	-	-	シリアルステータスレジスタ
SCMR	SDIR	ビットオーダー選択ビット 以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード (マルチプロセッサモード) ● クロック同期式モード 0：LSB ファーストで送受信 1：MSB ファーストで送受信	送受信データトランスファディレクションビット 以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード (マルチプロセッサモード) ● クロック同期式モード ● 簡易 SPI モード 簡易 I²C モードで動作させる場合は、“1”にしてください 0：LSB ファーストで送受信 1：MSB ファーストで送受信
	CHR1	-	キャラクタレングスビット 1
MDDR	-	-	モジュレーションデューティレジスタ
SEMR	ACS0	-	調歩同期クロックソースセレクトビット
	BRME	-	ビットレートモジュレーション イネーブルビット
	ABCSE	-	調歩同期基本クロックセレクト拡張ビット
	NFEN	ノイズ除去機能選択ビット (調歩同期式モードのみ有効) 0：RXDn 端子入力のノイズ除去機能無効 1：RXDn 端子入力のノイズ除去機能有効	デジタルノイズフィルタ機能イネーブルビット (調歩同期式モード) 0：RXDn 入力信号のノイズ除去機能無効 1：RXDn 入力信号のノイズ除去機能有効 (簡易 I2C モード) 0：SSCLn、SSDAn 入力信号のノイズ除去機能無効 1：SSCLn、SSDAn 入力信号のノイズ除去機能有効 上記以外のモードでは、NFEN ビットを“0”にしてください。
	BGDM	-	ボーレートジェネレータ倍速モード セレクトビット
SNFR	-	-	ノイズフィルタ設定レジスタ
SIMR1	-	-	I²Cモードレジスタ1
SIMR2	-	-	I²Cモードレジスタ2
SIMR3	-	-	I²Cモードレジスタ3
SISR	-	-	I²Cステータスレジスタ
SPMR	-	-	SPIモードレジスタ
FCR	-	-	FIFOコントロールレジスタ
FDR	-	-	FIFOデータカウントレジスタ
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ0
CR1	-	-	コントロールレジスタ1
CR2	-	-	コントロールレジスタ2

レジスタ	ビット	RX62T(SCIb)	RX66T(SCIj,SCIi,SCIh)
CR3	-	-	コントロールレジスタ3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0コンペアイネーブル レジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データ レジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データ レジスタ
CF1CR	-	-	Control Field 1コンペアイネーブル レジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケーラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.21 I²C バスインタフェース

表 2.47 に I²C バスインタフェースの概要比較を、表 2.48 に I²C バスインタフェースのレジスタ比較を示します。

表 2.47　I²C バスインタフェースの概要比較

項目	RX62T(RIIC)	RX66T(RIICa)
通信フォーマット	• I²C バスフォーマット/SMBus フォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	• I²C バスフォーマット/SMBus フォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	～400 kbps	ファストモード対応(～400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	• スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 • スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	• スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 • スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	• スレーブアドレスを 3 セット設定可能 • 7 ビット/10 ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	• 異なるスレーブアドレスを 3 種類まで設定可能 • 7 ビット/10 ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード —ノーアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	• 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCL クロックの Low ホールドによるウェイトが可能 • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)	• 受信時、SCL クロックの Low ホールドによるウェイトが可能 • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX62T(RIIC)	RX66T(RIICa)
アービトレーション	• マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) • ノーアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能	• マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) • ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	• 4 種類 —通信エラー/イベント発生 (AL 検出、 NACK 検出、 タイムアウト検出、 スタートコンディション検出(リスタートコンディション含む)、 ストップコンディション検出) —受信データフル(スレーブアドレス一致時含む) —送信データエンプティ(スレーブアドレス一致時含む) —送信終了	• 4 種類 —通信エラー/通信イベント発生、 アービトレーション検出、 NACK 検出、 タイムアウト検出、 スタートコンディション検出(リスタートコンディション含む)、 ストップコンディション検出 —受信データフル(スレーブアドレス一致時含む) —送信データエンプティ(スレーブアドレス一致時含む) —送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	• 4 種類 —マスタ送信モード、 マスタ受信モード、 スレーブ送信モード、 スレーブ受信モード	• 4 種類 —マスタ送信モード、 マスタ受信モード、 スレーブ送信モード、 スレーブ受信モード
イベントリンク機能 (出力)	-	• 4 種類 —通信エラー/通信イベント発生、 アービトレーション検出、 NACK 検出、 タイムアウト検出、 スタートコンディション検出 (リスタートコンディション含む)、 ストップコンディション検出 —受信データフル (スレーブアドレス一致時含む) —送信データエンプティ (スレーブアドレス一致時含む) —送信終了

表 2.48　I²C バスインタフェースのレジスタ比較

レジスタ		ビット	RX62T(RIIC)	RX66T(RIICa)
ICMR2		TMWE	タイムアウト内部カウンタ 書き込み許可ビット	-
TMOCNT	TMOCNTL	-	タイムアウト内部カウンタ	-
	TMOCNTU	-	タイムアウト内部カウンタ	-

2.22 CAN モジュール

表 2.49 に CAN モジュールの概要比較を、表 2.50 に CAN モジュールのレジスタ比較を示します。

表 2.49　CAN モジュールの概要比較

項目	RX62T(CAN)	RX66T(CAN)
プロトコル	ISO 11898-1 仕様準拠 (標準フレーム/拡張フレーム)	ISO 11898-1 規格準拠 (標準フレーム/拡張フレーム)
ビットレート	• 1Mbps 以下のビットレートをプログラム可能(fCAN≧8MHz) • fCAN：CAN クロックソース	• 1Mbps 以下のビットレートをプログラム可能(fCAN≧8MHz) • fCAN：CAN クロックソース
メッセージボックス	• 32 メールボックス：2 種類のメールボックスモードを選択可能 • 通常メールボックスモード： —32 メールボックスを送信または受信用に設定可能 • FIFO メールボックスモード： —24 メールボックスを送信または受信用に設定可能 —残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能	• 32 メールボックス：2 種類のメールボックスモードを選択可能 • 通常メールボックスモード： —32 メールボックスを送信または受信用に設定可能 • FIFO メールボックスモード： —24 メールボックスを送信または受信用に設定可能 —残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能
受信	• データフレームとリモートフレームを受信可能 • 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)かオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	• データフレームとリモートフレームを受信可能 • 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)かオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	• 8 つのアクセプタンスマスク(4 メールボックスごとに個別のマスク) • メールボックスはマスクの有効/無効を個別に設定可能	• 8 つのアクセプタンスマスク(4 メールボックスごとに個別のマスク) • メールボックスはマスクの有効/無効を個別に設定可能
送信	• データフレームとリモートフレームを送信可能 • 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 • ワンショット送信機能を選択可能 • ID 優先送信モードかメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	• データフレームとリモートフレームを送信可能 • 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 • ワンショット送信機能を選択可能 • ID 優先送信モードかメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能

項目	RX62T(CAN)	RX66T(CAN)
バスオフ復帰方法	• バスオフ状態からの復帰方法を選択可能 • ISO11898-1 仕様準拠 • バスオフ開始で自動的に CAN Halt モードへ移行 • バスオフ終了で自動的に CAN Halt モードへ移行 • プログラムにより CAN Halt モードへ移行 • プログラムによりエラーアクティブ状態へ遷移	• バスオフ状態からの復帰方法を選択可能 • ISO11898-1 規格準拠 • バスオフ開始で自動的に CAN Halt モードへ移行 • バスオフ終了で自動的に CAN Halt モードへ移行 • プログラムにより CAN Halt モードへ移行 • プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	• CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 • エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) • エラーカウンタを読み出し可能	• CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 • エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) • エラーカウンタを読み出し可能
タイムスタンプ機能	• 16 ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1, 2, 4, 8 ビットタイムから選択可能	• 16 ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1, 2, 4, 8 ビットタイムから選択可能
割り込み機能	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)
CAN スリープモード	CAN クロックを停止することで消費電流を低減可能	CAN クロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	• 3 つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) —チャネル検索サポート	• 3 つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) —チャネル検索サポート
CAN クロックソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLKB)、CANMCLK
テストモード	• ユーザ評価用に 3 つのテストモードを用意 —リッスンオンリモード —セルフテストモード 0 (外部ループバック) —セルフテストモード 1 (内部ループバック)	• ユーザ評価用に 3 つのテストモードを用意 —リッスンオンリモード —セルフテストモード 0 (外部ループバック) —セルフテストモード 1 (内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.50　CAN モジュールのレジスタ比較

レジスタ		ビット	RX62T(CAN)	RX66T(CAN)
BCR		CCLKS	-	CAN クロックソース選択ビット
MKIVLR		- (RX62T) MB0~MB31 (RX66T)	マスク無効レジスタ	マスク無効レジスタ
MIER	通常メールボックスモード	- (RX62T) MB0~MB31 (RX66T)	割り込み許可ビット	割り込み許可ビット
	FIFO メールボックスモード	- (RX62T) MB23~MB0 (RX66T)	割り込み許可ビット	割り込み許可ビット
		- (RX62T) MB24(RX66T)	送信 FIFO 割り込み許可ビット	送信 FIFO 割り込み許可ビット
		- (RX62T) MB25(RX66T)	送信 FIFO 割り込み発生タイミング制御ビット	送信 FIFO 割り込み発生タイミング制御ビット
		- (RX62T) MB28(RX66T)	受信 FIFO 割り込み許可ビット	受信 FIFO 割り込み許可ビット
		- (RX62T) MB29(RX66T)	受信 FIFO 割り込み発生タイミング制御ビット	受信 FIFO 割り込み発生タイミング制御ビット
STR		-	ステータスレジスタ	ステータスレジスタ
			リセット後の初期値が異なります	

2.23 シリアルペリフェラルインタフェース

表 2.51 にシリアルペリフェラルインタフェースの概要比較を、表 2.52 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.51　シリアルペリフェラルインタフェースの概要比較

項目	RX62T(RSPI)	RX66T(RSPIc)
チャネル数	1 チャネル	1 チャネル
RSPI 転送機能	● MOSI(Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 ● 送信のみの動作が可能 ● マスタ/スレーブモードでのシリアル通信が可能 ● 通信モード：全二重または送信のみを選択可能 ● シリアル転送クロックの極性を変更可能 ● シリアル転送クロックの位相を変更可能	● MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 ● 送信のみの動作が可能 ● マスタ/スレーブモードでのシリアル通信が可能 ● 通信モード：全二重または送信のみを選択可能 ● RSPCK の極性を変更可能 ● RSPCK の位相を変更可能
データフォーマット	● MSB ファースト/LSB ファーストの切り替え可能 ● 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 ● 送信/受信バッファは 128 ビット ● 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)	● MSB ファースト/LSB ファーストの切り替え可能 ● 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 ● 送信/受信バッファは 128 ビット ● 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) ● 送信データ、受信データをバイト単位でスワップ可能
ビットレート	● マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2～4096 分周) ● スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 8 分周) —High 幅：PCLK の 4 サイクル、Low 幅：PCLK の 4 サイクル	● マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2～4096 分周) ● スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周) —High 幅：PCLK の 2 サイクル、Low 幅：PCLK の 2 サイクル
バッファ構成	● 送信/受信バッファ構成はダブルバッファ ● 送信/受信バッファは 128 ビット	● 送信および受信バッファはそれぞれダブルバッファ構造 ● 送信および受信バッファは 128 ビット
エラー検出	● モードフォルトエラー検出 ● オーバランエラー検出 ● パリティエラー検出	● モードフォルトエラー検出 ● オーバランエラー検出 ● パリティエラー検出 ● アンダランエラー検出
割り込み要因	● マスカブルな割り込み要因 —RSPI 受信割り込み(受信バッファフル) —RSPI 送信割り込み(送信バッファエンプティ) —RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) —RSPI アイドル割り込み(RSPI アイドル)	● 割り込み要因 —受信バッファフル割り込み —送信バッファエンプティ割り込み —RSPI エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) —RSPI アイドル割り込み(RSPI アイドル)

項目	RX62T(RSPI)	RX66T(RSPIc)
SSL 制御機能	● 1 チャネルあたり 4 本の SSL 信号 (SSL0～SSL3) ● シングルマスタ設定時には、SSL0～SSL3 信号を出力 ● マルチマスタ設定時：SSL0 信号は入力、SSL1～SSL3 信号は出力またはハイインピーダンス ● スレーブ設定時：SSL0 信号は入力、SSL1～SSL3 信号はハイインピーダンス ● SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● SSL 極性変更機能	● 1 チャネルあたり 4 本の SSL 端子 (SSLA0～SSLA3) ● シングルマスタ設定時には、SSLA0～SSLA3 端子を出力 ● マルチマスタ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は出力または未使用 ● スレーブ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は未使用 ● SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1～8 RSPCK —設定単位：1 RSPCK ● SSL 極性変更機能
マスタ転送時の制御方式	● 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 ● 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 ● 送信バッファへのライトで転送を起動可能 ● SSL ネゲート時の MOSI 信号値を設定可能	● 最大 8 コマンドで構成された転送を連続してループ実行可能 ● 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 ● 送信バッファへのライトで転送を起動可能 ● SSL ネゲート時の MOSI 信号値を設定可能 ● RSPCK 自動停止機能
イベントリンク機能(出力)	-	● 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) —受信バッファフルイベント信号 —送信バッファエンプティイベント信号 —モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 —RSPI アイドルイベント信号 —送信完了イベント信号
その他の機能	● RSPI ディスエーブル(初期化)機能 ● ループバックモード機能	● CMOS/オープンドレイン出力切り替え機能 ● RSPI 初期化機能 ● ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.52　シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62T(RSPI)	RX66T(RSPIc)
SPSR	MODF	モードフォルトエラーフラグ 0：モードフォルトエラーなし 1：モードフォルトエラー発生	モードフォルトエラーフラグ 0：モードフォルトエラーなし、アンダランエラーなし 1：モードフォルトエラーまたはアンダランエラー発生
	UDRF	-	アンダランエラーフラグ
SPDR	-	RSPI データレジスタ 可能アクセスサイズ • ロングワード (SPDCR.SPLW=1) • ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ • ロングワード (SPDCR.SPLW=1, SPBYTE=0) • ワードアクセス (SPDCR.SPLW=0, SPBYTE=0) • バイトアクセス (SPDCR.SPBYT=1)
SPBR	SPR0~SPR7(RX62T) -(RX66T)	RSPI ビットレートレジスタ	RSPI ビットレートレジスタ
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット	-
	SPBYT	-	RSPI バイトアクセス設定ビット
SPCR2	SCKASE	-	RSPCK 自動停止機能許可ビット
SPDCR2	-	-	RSPI データコントロールレジスタ 2

2.24 CRC 演算器

表 2.53 に CRC 演算器の概要比較を、表 2.54 に CRC 演算器のレジスタ比較を示します。

表 2.53　CRC 演算器の概要比較

項目	RX62T(CRC)	RX66T(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成(n = 自然数)	8n ビットのデータに対して CRC コード生成(n = 自然数)	32n ビットのデータに対して CRC コード生成(n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	• 3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$	• 3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$	• 2 つの多項式から選択可能 —32 ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト通信用 CRC コード生成から選択可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への設定可能	モジュールストップ状態への遷移が可能	

表 2.54　CRC 演算器のレジスタ比較

レジスタ	ビット	RX62T(CRC)	RX66T(CRCA)
CRCCR	GPS[1:0]:RX62T GPS[2:0]:RX66T	CRC 生成多項式切り替えビット (b1-b0) b1 b0 0 0：演算しません 0 1：$X^8 + X^2 + X + 1$ 1 0：$X^{16} + X^{15} + X^2 + 1$ 1 1：$X^{16} + X^{12} + X^5 + 1$	CRC 生成多項式切り替えビット (b2-b0) b2 b0 0 0 0 ：計算しません 0 0 1 ：8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 ：16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 ：16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 ：32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 ：32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 ：計算しません 1 1 1 ：計算しません
	LMS	CRC 演算切り替えビット(b2)	CRC 演算切り替えビット(b6)
CRCDIR	-	CRC データ入力レジスタ 可能アクセスサイズ • バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • バイトアクセス (16 ビット CRC、 8 ビット CRC 生成時)
CRCDOR	-	CRC データ出力レジスタ 可能アクセスサイズ • ワードアクセス 8 ビット CRC 生成時は、 下位バイト(b7～b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • ワードアクセス (16 ビット CRC 生成時) • バイトアクセス (8 ビット CRC 生成時)

2.25 12 ビット A/D コンバータ

表 2.55 に 12 ビット A/D コンバータの概要比較を、表 2.56 に 12 ビット A/D コンバータのレジスタ比較を、表 2.57 に A/D 起動要因比較を示します。

表 2.55　12 ビット A/D コンバータの概要比較

項目	RX62T(S12ADA)	RX66T(S12ADH)
ユニット数	2 ユニット(S12AD0、S12AD1)	3 ユニット(S12AD, S12AD1, S12AD2)
入力チャネル	8 チャネル(4 チャネル×2 ユニット)	S12AD：8 チャネル、 S12AD1：8 チャネル、 S12AD2：14 チャネル
拡張アナログ機能	-	温度センサ出力、 内部基準電圧(S12AD2 のみ)
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	• 1 チャネル当たり 1.0μs(A/D 変換クロック ADCLK=50MHz、AVCC0=4.0～5.5V 時) • 1 チャネル当たり 2.0μs(A/D 変換クロック ADCLK=25MHz、AVCC0=3.0～3.6V 時)	• 1 チャネルあたり 0.9μs(A/D 変換クロック ADCLK=60MHz 動作時)
データレジスタ	• 10 本 • A/D 変換結果を 12 ビット A/D データレジスタに保持 • AN000、AN100 入力は 2 つの AD データレジスタがあり、トリガ種別で変換結果格納先を切り替え	• アナログ入力用 30 本(S12AD：8 本、S12AD1：8 本、S12AD2：14 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット • 温度センサ用 1 本(S12AD2) • 内部基準電圧用 1 本(S12AD2) • 自己診断用 1 本/ユニット • A/D 変換結果を 12 ビット A/D データレジスタに保持 • 加算モード時は A/D 変換結果の加算値を変換精度ビット数 ＋2 ビット/4 ビットで A/D データレジスタに保持 • ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) —選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 • ダブルトリガモード拡張動作(特定トリガ種別で有効) —選択した 1 つのチャネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX62T(S12ADA)	RX66T(S12ADH)
A/D 変換クロック	• 4 種類：PCLK、PCLK/2、PCLK/4、PCLK/8	• 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK：ADCLK 周波数比 = 1：1、1：2、2：1、4：1 • ADCLK の設定はクロック発生回路で行います。 • A/D 変換クロック ADCLK は最大 60MHz、最低 8MHz まで動作可能
動作モード	• シングルモード —1 チャネルのアナログ入力を 1 回のみ変換 • スキャンモード —1 サイクルスキャンモード：最大 4 チャネルのアナログ入力を 1 回のみ変換 —連続スキャンモード：最大 4 チャネルのアナログ入力を繰り返し変換 —2 チャネルスキャンモード：ユニット内チャネルを 2 グループ化し、2 系統の開始要因を設定可能	動作モードは 3 ユニット個別で設定可能です。 • シングルスキャンモード： —任意に選択したチャネルのアナログ入力を 1 回のみ A/D 変換 —温度センサ出力(S12AD2)を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換(S12AD2) • 連続スキャンモード： —任意に選択したチャネルのアナログ入力を繰り返し A/D 変換 • グループスキャンモード： —使用するグループの数は 2 つ(グループ A、B)と 3 つ(グループ A、B、C)が選択可能(グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) —任意に選択したチャネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B とグループ C は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 • グループスキャンモード(グループ優先制御選択時) —低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A (高) >グループ B >グループ C (低)。優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャネルの最初からか、A/D 変換未終了のチャネルからかを設定可能

項目	RX62T(S12ADA)	RX66T(S12ADH)
A/D 変換開始条件	• ソフトウェアトリガ • マルチファンクションタイマパルスユニット 3(MTU3)、または汎用 PWM タイマ(GPT)からのトリガ • 外部トリガ: : ADTRG0#端子によって S12AD0 の A/D 変換を、ADTRG1#端子によって S12AD1 の A/D 変換を開始することが可能	• ソフトウェアトリガ • 同期トリガ —マルチファンクションタイマパルスユニット(MTU)、8 ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ • 非同期トリガ —外部トリガ ADTRG0#(S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子による A/D 変換動作の開始が可能(3 ユニット個別)
機能	• サンプル&ホールド機能(3 チャネル/1 ユニット) S12AD0 のチャネル 0~2(AN000~002)、および、S12AD1 のチャネル 0~2 (AN100～102)には、専用に独立したサンプルホールド回路を内蔵。これにより、ユニット毎に複数チャネル(最大 3 チャネル)の同時サンプリングが可能 • A/D コンバータの自己診断機能 • A/D データレジスタオートクリア機能 • ウィンドウコンパレータ機能(3 チャネル/1 ユニット) • プログラマブルゲインアンプによる入力信号増幅機能(3 チャネル/1 ユニット)	• チャネル専用サンプル&ホールド機能 (3 チャネル：S12AD、3 チャネル：S12AD1) (常時サンプリング設定可能) • サンプリング時間可変機能 (チャネルごとに設定可能) • 12 ビット A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) • ダブルトリガモード(A/D 変換データ二重化機能) • A/D データレジスタオートクリア機能 • RX62T のウィンドウコンパレータ機能相当についてはコンパレータ C 章参照 • コンペア機能(ウィンドウ A、ウィンドウ B) • 各ユニットでのチャネル変換順序を設定可能 • プログラマブルゲインアンプによる入力信号増幅機能(ユニットごとにそれぞれ 3 チャネル、シングルエンド入力または疑似差動入力を選択可能)

項目	RX62T(S12ADA)	RX66T(S12ADH)
割り込み要因	• ユニットごとに A/D 変換終了で割り込み要求(S12ADI)を発生 • コンパレータ検出で割り込み要求(CMPI)を発生(POE 要因としても使用可能) • S12ADI 割り込みでデータトランスファコントローラ(DTC)を起動可能	• ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)を発生(3 ユニット個別) • ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)を発生(3 ユニット個別) • グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI,S12ADI1, S12ADI2)が発生。グループ B のスキャン終了でグループ B スキャン終了割り込み要求(S12GBADI, S12GBADI1, S12GBADI2)が発生。グループ C のスキャン終了でグループ C スキャン終了割り込み要求(S12GCADI, S12GCADI1, S12GCADI2)が発生 • グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)を発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求(S12GBADI / S12GCADI, S12GBADI1 / S12GCADI1, S12GBADI2 / S12GCADI2)を発生 • デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2)を発生 • S12ADI / S12ADI1 / S12ADI2, S12GBADI / S12GBADI1 / S12GBADI2, S12GCADI / S12GCADI1 / S12GCADI2 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	-	• すべてのスキャン終了時にイベント出力 • シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 • ELC からのトリガによりスキャン開始可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定可能	モジュールストップ状態への設定が可能

表 2.56　12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX62T(S12ADA)	RX66T(S12ADH)
ADDRy	-	A/D データレジスタ y (y = 0A, 0B, 1~3)	A/D データレジスタ y (y = 0~7：S12AD, y = 0~7：S12AD1, y = 0~11, 16, 17：S12AD2)
ADDBLDR	-	-	A/D データ二重化レジスタ
ADDBLDRA	-	-	A/D データ二重化レジスタ A
ADDBLDRB	-	-	A/D データ二重化レジスタ B
ADTSDR	-	-	A/D 温度センサデータレジスタ
ADOCDR	-	-	A/D 内部基準電圧データレジスタ
ADRD	AD11～AD0(RX62T) -(RX66T)	変換値 11～0	12 ビット A/D 変換値
	DIAGST[1:0](RX62T) -(RX66T)	自己診断ステータスビット	自己診断ステータスビット
ADCSR	EXTRG	トリガ選択ビット(b0)	トリガ選択ビット(b8)
	TRGE	トリガ許可ビット(b1)	トリガ開始許可ビット(b9)
	CKS[1:0]	クロック選択ビット	-
	DBLANS[4:0]	-	ダブルトリガ対象チャネル選択ビット
	GBADIE	-	グループ B スキャン終了割り込み許可ビット
	DBLE	-	ダブルトリガモード選択ビット
	ADIE	A/D 変換終了割り込み許可ビット(b4)	スキャン終了割り込み許可ビット(b12)
	ADCS[1:0]	A/D 変換モード選択ビット(b6-b5) b6 b5 0 0：シングルモード 0 1：1 サイクルスキャンモード 1 0：連続スキャンモード 1 1：2 チャネルスキャンモード	スキャンモード選択ビット(b14-b13) b14 b13 0 0：シングルスキャンモード 0 1：グループスキャンモード 1 0：連続スキャンモード 1 1：設定禁止
	ADST	A/D スタートビット(b7)	A/D 変換スタートビット(b15)
ADANS	-	A/D チャネル選択レジスタ	
ADANSA0	-	-	A/D チャネル選択レジスタ A0
ADANSA1	-	-	A/D チャネル選択レジスタ A1
ADANSB0	-	-	A/D チャネル選択レジスタ B0
ADANSB1	-	-	A/D チャネル選択レジスタ B1
ADANSC0	-	-	A/D チャネル選択レジスタ C0
ADANSC1	-	-	A/D チャネル選択レジスタ C1
ADSCSn	-	-	A/D チャネル変換順序設定レジスタ n (n=0~13)
ADADS0	-	-	A/D 変換値加算/ 平均機能チャネル選択レジスタ 0
ADADS1	-	-	A/D 変換値加算/ 平均機能チャネル選択レジスタ 1
ADADC	-	-	A/D 変換値加算/ 平均回数選択レジスタ

レジスタ	ビット	RX62T(S12ADA)	RX66T(S12ADH)
ADCER	SHBYP	チャネル専用サンプル&ホールド回路選択ビット	-
	ADPRC[1:0]	A/D データレジスタビット精度指定ビット	-
	ADIE2	2 チャネルスキャン割り込み選択ビット	-
	ADIEW	ダブルトリガ割り込み選択ビット	-
ADSTRGR	ADSTRS0[4:0](RX62T) TRSA[5:0](RX66T)	A/D 開始トリガグループ 0 選択ビット (b4-b0) 詳細は表 2.57 を参照してください。	A/D 変換開始トリガ選択ビット (b13-b8) 詳細は表 2.57 を参照してください。
	ADSTRS1[4:0](RX62T) TRSB[5:0](RX66T)	A/D 開始トリガグループ 1 選択ビット (b12-b8) 詳細は表 2.57 を参照してください。	グループ B 専用 A/D 変換開始トリガ選択ビット (b5-b0) 詳細は表 2.57 を参照してください。
ADPG	-	A/D プログラマブルゲインアンプレジスタ	-
ADCMPMD0	-	コンパレータ動作モード選択レジスタ 0	-
ADCMPMD1	-	コンパレータ動作モード選択レジスタ 1	-
ADCMPNR0	-	コンパレータフィルタモードレジスタ 0	-
ADCMPNR1	-	コンパレータフィルタモードレジスタ 1	-
ADCMPFR	-	コンパレータ検出フラグレジスタ	-
ADCMPSEL	-	コンパレータ割り込み選択レジスタ	-
ADEXICR	-	-	A/D 変換拡張入力コントロールレジスタ
ADGCEXCR	-	-	A/DグループC拡張入力コントロールレジスタ
ADGCTRGR	-	-	A/DグループCトリガ選択レジスタ
ADSSTRn	-	A/D サンプリングステートレジスタ	A/D サンプリングステートレジスタ n (n=0~11, L, T, O)
		リセット後の初期値が異なります	
ADSHCR	-	-	A/Dサンプル&ホールド回路コントロールレジスタ
ADSHMSR	-	-	A/D サンプル&ホールド動作モード選択レジスタ
ADDISCR	-	-	A/D 断線検出コントロールレジスタ
ADELCCR	-	-	A/D イベントリンクコントロールレジスタ
ADGSPCR	-	-	A/Dグループスキャン優先コントロールレジスタ
ADCMPCR	-	-	A/Dコンペア機能コントロールレジスタ

レジスタ	ビット	RX62T(S12ADA)	RX66T(S12ADH)
ADCMPANSR0	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0
ADCMPANSR1	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1
ADCMPANSER	-	-	A/Dコンペア機能ウィンドウA 拡張入力選択レジスタ
ADCMPLR0	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	-	-	A/Dコンペア機能ウィンドウA 拡張入力比較条件設定レジスタ
ADCMPDR0	-	-	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	-	-	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	-	-	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0
ADCMPSR1	-	-	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1
ADCMPSER	-	-	A/Dコンペア機能ウィンドウA 拡張入力チャネルステータス レジスタ
ADWINMON	-	-	A/Dコンペア機能ウィンドウA/B ステータスモニタレジスタ
ADCMPBNSR	-	-	A/D コンペア機能ウィンドウ B チャネル選択レジスタ
ADWINLLB	-	-	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	-	-	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	-	-	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ
ADPGACR	-	-	A/Dプログラマブルゲイン アンプコントロールレジスタ
ADPGAGS0	-	-	A/Dプログラマブルゲイン アンプゲイン設定レジスタ0
ADPGADCR0	-	-	A/Dプログラマブルゲイン アンプ差動入力コントロール レジスタ
ADVMONCR	-	-	A/D内部基準電圧モニタ回路許可レジスタ
ADVMONO	-	-	A/D内部基準電圧モニタ回路出力許可レジスタ

表 2.57　A/D 起動要因比較

ビット	RX62T(S12ADA)	RX66T(S12ADH)
ADSTRS1[4:0] (RX62T) TRSB[5:0] (RX66T)	A/D 開始トリガグループ 1 選択ビット b12　　b8 0 0 0 0 0 : ADTRGn# 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 0 1 1 0 : TRGA6N 0 0 1 1 1 : TRGA7N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN 0 1 1 0 1 : TRG7AN 0 1 1 1 0 : TRG7BN 0 1 1 1 1 : TRG7AN または TRG7BN 1 0 0 0 0 : TRG7ABN 1 0 0 0 1 : GTADTRA0N 1 0 0 1 0 : GTADTRB0N 1 0 0 1 1 : GTADTRA1N 1 0 1 0 0 : GTADTRB1N 1 0 1 0 1 : GTADTRA2N 1 0 1 1 0 : GTADTRB2N 1 0 1 1 1 : GTADTRA3N 1 1 0 0 0 : GTADTRB3N 1 1 0 0 1 : GTADTRA0N または GTADTRB0N 1 1 0 1 0 : GTADTRA1N または GTADTRB1N 1 1 0 1 1 : GTADTRA2N または GTADTRB2N 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	グループ B A/D 変換開始トリガ選択ビット b5　　b0 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 0 1 1 0 : TRGA6N 0 0 0 1 1 1 : TRGA7N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 0 1 1 0 1 : TRG7AN 0 0 1 1 1 0 : TRG7BN 0 0 1 1 1 1 : TRG7AN または TRG7BN 0 1 0 0 0 0 : TRG7ABN 0 1 0 0 1 1 : TRGA9N 0 1 0 1 0 0 : TRG9N 0 1 1 0 0 1 : TRGA0N または TRG0N 0 1 1 0 1 0 : TRGA9N または TRG9N 0 1 1 0 1 1 : TRGA0N または TRGA9N 0 1 1 1 0 0 : TRG0N または TRG9N 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1 0 1 1 1 1 1 : TMTRG0AN_2 1 0 0 0 0 0 : TMTRG0AN_3 1 0 0 0 0 1 : TRG9AEN 1 0 0 0 1 0 : TRG0AEN 1 0 0 0 1 1 : TRGA09N 1 0 0 1 0 0 : TRG09N 1 1 0 0 1 0 : ELCTRG00N(注 1)/ELCTRG10N(注 2)/ ELCTRG20N(注 3) 1 1 0 0 1 1 : ELCTRG01N(注 1)/ELCTRG11N(注 2)/ ELCTRG21N(注 3) 1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

ビット	RX62T(S12ADA)	RX66T(S12ADH)
ADSTRS1[4:0] (RX62T) TRSA[5:0] (RX66T)	A/D 開始トリガグループ 0 選択ビット b4　　b0 0 0 0 0 0 : ADTRGn# 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 0 1 1 0 : TRGA6N 0 0 1 1 1 : TRGA7N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN 0 1 1 0 1 : TRG7AN 0 1 1 1 0 : TRG7BN 0 1 1 1 1 : TRG7AN または TRG7BN 1 0 0 0 0 : TRG7ABN 1 0 0 0 1 : GTADTRA0N 1 0 0 1 0 : GTADTRB0N 1 0 0 1 1 : GTADTRA1N 1 0 1 0 0 : GTADTRB1N 1 0 1 0 1 : GTADTRA2N 1 0 1 1 0 : GTADTRB2N 1 0 1 1 1 : GTADTRA3N 1 1 0 0 0 : GTADTRB3N 1 1 0 0 1 : GTADTRA0N または GTADTRB0N 1 1 0 1 0 : GTADTRA1N または GTADTRB1N 1 1 0 1 1 : GTADTRA2N または GTADTRB2N 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	A/D 変換開始トリガ選択ビット b13　　b8 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 0 : ADTRGn# 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 0 1 1 0 : TRGA6N 0 0 0 1 1 1 : TRGA7N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 0 1 1 0 1 : TRG7AN 0 0 1 1 1 0 : TRG7BN 0 0 1 1 1 1 : TRG7AN または TRG7BN 0 1 0 0 0 0 : TRG7ABN 0 1 0 0 1 1 : TRGA9N 0 1 0 1 0 0 : TRG9N 0 1 1 0 0 1 : TRGA0N または TRG0N 0 1 1 0 1 0 : TRGA9N または TRG9N 0 1 1 0 1 1 : TRGA0N または TRGA9N 0 1 1 1 0 0 : TRG0N または TRG9N 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1 0 1 1 1 1 1 : TMTRG0AN_2 1 0 0 0 0 0 : TMTRG0AN_3 1 0 0 0 0 1 : TRG9AEN 1 0 0 0 1 0 : TRG0AEN 1 0 0 0 1 1 : TRGA09N 1 0 0 1 0 0 : TRG09N 1 1 0 0 1 0 : ELCTRG00N(注 1)/ELCTRG10N(注 2)/ ELCTRG20N(注 3) 1 1 0 0 1 1 : ELCTRG01N(注 1)/ELCTRG11N(注 2)/ ELCTRG21N(注 3) 1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

注 1.　ユニット 0

注 2.　ユニット 1

注 3.　ユニット 2

2.26 RAM

表 2.58 に RAM の概要比較を、表 2.59 に RAM のレジスタ比較を示します。

表 2.58　RAM の概要比較

項目	RX62T(RAM)	RX66T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
容量	• 8K バイト • 16K バイト	• 64K バイト • 128K バイト	• 16K バイト
メモリバス	メモリバス 1	メモリバス 1	メモリバス 3
アクセス	• 読み出し、書き込みともに 1 サイクルで動作 • 内蔵 RAM 有効/無効選択可能	• リード/ライトともに 1 サイクルで動作 • RAM 有効/無効選択可能	• ECC 機能有効/無効選択可能 【MEMWAIT = 0 を設定したとき】 • ECC 機能無効の場合 —リード/ライトともに 2 サイクルで動作 • ECC 機能有効の場合(エラーなしのとき) —リード/ライトともに 2 サイクルで動作 • ECC 機能有効の場合(エラーありのとき) —リード /ライトともに 3 サイクルで動作 【MEMWAIT = 1 を設定したとき】 • ECC 機能無効の場合 —リード/ライトともに 3 サイクルで動作 • ECC 機能有効の場合(エラーなしのとき) —リードは 3 サイクル、ライトは 4 サイクルで動作 • ECC 機能有効の場合(エラー発生時) —リード/ライトともに 5 サイクルで動作
アドレス	• 0000 0000h～0000 1FFFh (8K バイト) • 0000 0000h～0000 3FFFh (16K バイト)	• RAM 容量が 64K バイトの場合 —0000 0000h～0000 FFFFh • RAM 容量が 128K バイトの場合 —0000 0000h～0001 FFFFh	00FF C000h～00FF FFFFh

項目	RX62T(RAM)	RX66T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし	ディープソフトウェアスタンバイモード時のデータ保持機能なし	
消費電力低減機能	モジュールストップ状態への設定が可能	RAM、ECCRAM 個別にモジュールストップ状態への遷移が可能	
エラーチェック機能	-	• 1 ビット誤り検出 • エラー発生時、ノンマスカブル割り込み、または割り込みを発生	• ECC 誤り訂正機能 —1 ビット誤り訂正、2 ビット誤り検出 • エラー発生時、ノンマスカブル割り込み、または割り込みを発生

表 2.59　RAM のレジスタ比較

レジスタ	ビット	RX62T(RAM)	RX66T(RAM,ECCRAM)
ECCRAMMODE	-	-	ECCRAM動作モード制御レジスタ
ECCRAM2STS	-	-	ECCRAM2ビットエラーステータスレジスタ
ECCRAM1STSEN	-	-	ECCRAM1ビットエラー情報更新許可レジスタ
ECCRAM1STS	-	-	ECCRAM1ビットエラーステータスレジスタ
ECCRAMPRCR	-	-	ECCRAMプロテクトレジスタ
ECCRAM2ECAD	-	-	ECCRAM2ビットエラーアドレスキャプチャレジスタ
ECCRAM1ECAD	-	-	ECCRAM1ビットエラーアドレスキャプチャレジスタ
ECCRAMPRCR2	-	-	ECCRAMプロテクトレジスタ2
ECCRAMETST	-	-	ECCRAMテスト制御レジスタ
RAMMODE	-	-	RAM動作モード制御レジスタ
RAMSTS	-	-	RAMエラーステータスレジスタ
RAMECAD	-	-	RAMエラーアドレスキャプチャレジスタ
RAMPRCR	-	-	RAMプロテクトレジスタ

2.27 フラッシュメモリ

表 2.60 にフラッシュメモリの概要比較を、表 2.61 にフラッシュメモリのレジスタ比較を示します。

表 2.60　フラッシュメモリの概要比較

項目	RX62T		RX66T	
	コード格納用フラッシュメモリ	データ格納用フラッシュメモリ	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	• ユーザ領域：256K バイト/128K バイト/64K バイト	• データ領域：32K バイト/8K バイト	• ユーザ領域：1M バイト/512K バイト/256K バイト • ユーザブート領域：32K バイト	• データ領域：32K バイト
ROM キャッシュ	-		• 容量：8K バイト • マッピング方式：ダイレクトマップ • ラインサイズ：16 バイト	-
リードサイクル	ICLK1 サイクルの高速読み出しが可能	ワード、バイトアクセス時には PCLK3 サイクルでの読み出し	• ROM キャッシュ動作許可時：キャッシュヒット時、1 サイクル キャッシュミス時、 —ICLK≦120MHz のとき、1～2 サイクル —ICLK>120MHz のとき、2～3 サイクル • ROM キャッシュ動作禁止時： —ICLK≦120MHz のとき、1 サイクル —ICLK>120MHz のとき、2 サイクル	ワード、バイトアクセス時には FCLK8 サイクルでのリード

項目	RX62T		RX66T	
	コード格納用フラッシュメモリ	データ格納用フラッシュメモリ	コードフラッシュメモリ	データフラッシュメモリ
プログラム/イレーズ方式	• ROM の書き換えを行う専用のシーケンサ(FCU)を内蔵 • FCU にコマンドを発行することにより、ROM への書き込み/消去を実行可能 • フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	• データフラッシュへの書き換えを行う専用のシーケンサ(FCU)を内蔵 • FCU にコマンドを発行することにより、データフラッシュへの書き込み/消去を実行可能 • フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	• フラッシュメモリの書き換えを行う専用のシーケンサ(FCU)を内蔵 • FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 • フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	
イレーズ後の値	FFh	不定値	FFh	不定値
ユニーク ID	-		本 MCU 個体ごとの 12 バイト長の ID コード	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止		フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止 (ソフトウェアプロテクション、エラープロテクション)		フラッシュメモリの誤書き換えを防止 (ソフトウェアプロテクション、エラープロテクション、ブートプログラムプロテクション)	
Trusted Memory (TM)機能	-		コードフラッシュメモリのブロック 8, 9 に対する不正リードを防止	
バックグラウンドオペレーション (BGO)機能	• ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能 • データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能		• ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能 • データ領域プログラム/イレーズ中のユーザ領域リードが可能	
プログラム/イレーズ単位	• ユーザ領域の書き込み単位：256 バイト • ユーザ領域の消去単位：ブロック単位	• データ領域の書き込み単位：8 バイトまたは 128 バイト • データ領域の消去単位：ブロック単位	• ユーザ領域およびユーザブート領域へのプログラム：256 バイト • ユーザ領域のイレーズ：ブロック単位	• データ領域へのプログラム：4 バイト • データ領域のイレーズ：ブロック単位
ブランクチェック機能	-	• データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 • ブランクチェックできる領域は 8 バイトまたは 2K バイト	-	• データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 • チェック単位：4～32K バイト（4 バイト単位で指定）

項目	RX62T		RX66T	
	コード格納用フラッシュメモリ	データ格納用フラッシュメモリ	コードフラッシュメモリ	データフラッシュメモリ
オンボードプログラミング(シリアルプログラミング/セルフプログラミング)	• ブートモードによる書き換え —調歩同期式シリアルインタフェース(SCI1)を使用 —通信速度は自動調整 • ユーザプログラム中のフラッシュメモリ書き換えルーチンによる書き換え —システムをリセットすることなく ROM の書き換えが可能		• ブートモード（SCI インタフェース）によるプログラム/イレーズ —調歩同期式シリアルインターフェース(SCI1)を使用 —通信速度は自動調整 —ユーザブート領域もプログラム/イレーズ可能 • ブートモード（USB インタフェース）によるプログラム/イレーズ —USBb を使用 —特別なハードウェアが不要で、PC と直結可能 • ブートモード（FINE インタフェース）によるプログラム/イレーズ —FINE を使用 • ユーザブートモードによるプログラム/イレーズ —ユーザ独自のブートプログラムを作成可能 • セルフプログラミングによるプログラム/イレーズ —システムをリセットすることなくユーザ領域/データ領域のプログラム/イレーズが可能	
オフボードプログラミング(パラレルプログラマによるプログラム/イレーズ)	PROM ライタを使用して、ユーザ領域の書き換えが可能	PROM ライタを使用して、データ領域の書き換えができません	パラレルプログラマを使用して、ユーザ領域/ユーザブート領域のプログラム/イレーズが可能	パラレルプログラマを使用したデータ領域のプログラム/イレーズはできません

表 2.61　フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62T	RX66T
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
NCRGn	-	-	ノンキャッシャブル領域 n アドレスレジスタ (n = 0, 1)
NCRCn	-	-	ノンキャッシャブル領域 n 設定レジスタ (n = 0, 1)
FMODR	-	フラッシュモードレジスタ	-
FASTAT	DFLWPE	データフラッシュプログラム/ イレースプロテクト違反ビット	-
	DFLRPE	データフラッシュリード プロテクト違反ビット	-
	DFLAE(RX62T) DFAE(RX66T)	データフラッシュアクセス違反 ビット	データフラッシュメモリ アクセス違反フラグ
	ROMAE(RX62T) CFAE(RX66T)	ROM アクセス違反ビット	コードフラッシュメモリ アクセス違反フラグ
FAEINT	DFLWPEIE	データフラッシュプログラム/ イレースプロテクト違反 割り込み許可ビット	-
	DFLRPEIE	データフラッシュリード プロテクト違反割り込み許可 ビット	-
	DFLAEIE(RX62T) DFAEIE(RX66T)	データフラッシュアクセス違反 割り込み許可ビット	データフラッシュメモリ アクセス違反割り込み許可ビット
	ROMAEIE(RX62T) CFAEIE(RX66T)	ROM アクセス違反割り込み許可 ビット	コードフラッシュメモリ アクセス違反割り込み許可ビット
FCURAME	-	FCU RAM イネーブルレジスタ	-
FSTATR0 (RX62T) FSTATR (RX66T)	FLWEERR	-	フラッシュライトイレーズ プロテクトエラーフラグ
	PRGSPD	書き込みサスペンドステータス ビット(b0)	プログラムサスペンドステータス フラグ(b8)
	ERSSPD	消去サスペンドステータスビット (b1)	イレーズサスペンドステータスフ ラグ(b9)
	DBFULL	-	データバッファフルフラグ
	SUSRDY	サスペンドレディビット(b3)	サスペンドレディフラグ(b11)
	PRGERR	書き込みエラービット(b4)	プログラムエラーフラグ(b12)
	ERSERR	消去エラービット(b5)	イレーズエラーフラグ(b13)
	ILGLERR	イリーガルコマンドエラービット (b6)	イリーガルコマンドエラーフラグ (b14)
	FRDY	フラッシュレディビット(b7)	フラッシュレディフラグ(b15)
FSTATR1	-	フラッシュステータスレジスタ 1	-
FSADDR	-	-	FACI コマンド処理開始アドレス レジスタ
FEADDR	-	-	FACI コマンド処理終了アドレス レジスタ
FENTRYR	FENTRY0(RX62T) FENTRYC(RX66T)	ROM P/E モードエントリ ビット 0	コードフラッシュメモリ P/E モードエントリビット
	FEKEY[7:0](RX62T) KEY[7:0](RX66T)	キーコード	キーコードビット
FPROTR	FPKEY[7:0](RX62T) KEY[7:0](RX66T)	キーコード	キーコードビット
FRESETR	-	フラッシュリセットレジスタ	-

レジスタ	ビット	RX62T	RX66T
FSUINITR	-	-	フラッシュシーケンサ設定初期化レジスタ
FLKSTAT	-	-	ロックビットステータスレジスタ
PCKAR (RX62T) FPCKAR (RX66T)	PCKA[7:0]	周辺クロック通知ビット ROM/データフラッシュへの書き込み/消去時に周辺クロック(PCLK)を設定する	フラッシュシーケンサ処理クロック周波数通知ビット FlashIF クロック(FCLK)の周波数を設定し、フラッシュシーケンサに使用周波数を通知
	KEY[7:0]	-	キーコードビット
DFLRE0	-	データフラッシュ読み出し許可レジスタ 0	-
DFLRE1	-	データフラッシュ読み出し許可レジスタ 1	-
DFLWE0	-	データフラッシュ書き込み／消去許可レジスタ 0	-
DFLWE1	-	データフラッシュ書き込み／消去許可レジスタ 1	-
DFLBCCNT	-	データフラッシュブランクチェック制御レジスタ	-
FBCCNT	-	-	データフラッシュブランクチェック制御レジスタ
DFLBCSTAT (RX62T) FBCSTAT (RX66T)	BCST	ブランクチェックステータスビット DFLBCSTAT は 16 ビットレジスタです。	ブランクチェックステータスフラグ FBCSTAT は 8 ビットレジスタです。
FPSADDR	-	-	データフラッシュ書き込み開始アドレスレジスタ
UIDRn	-	-	ユニーク ID レジスタ n (n = 0~2)

2.28 パッケージ

表 2.62 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。詳細は、「RX ファミリ間の移行設計ガイド パッケージ外形の相違点（R01AN4591JJ）」を参照してください。

表 2.62　パッケージ

パッケージタイプ	RENESAS Code	
	RX62T	RX66T
112 ピン LQFP	PLQP0112JA-A	PLQP0112JA-B
100 ピン LFQFP	PLQP0100KB-A	PLQP0100KB-B
64 ピン LFQFP	PLQP0064KB-A	PLQP0064KB-C
64 ピン LQFP	○	×

○：パッケージあり(RENESAS Code は省略)、×：パッケージなし

3.　端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は**青字**に、両方のグループに存在するが相違点がある項目は**赤字**にしています。仕様に相違点がない項目は**黒字**にしています。

3.1　112 ピンパッケージ

表 3.1 に 112 ピンパッケージ端子機能の比較を示します。

表 3.1　112 ピンパッケージ端子機能の比較

112 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
1	PE5/IRQ0-B	P14/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC9A/GTIOC2A#/GTIOC9A#/IRQ11
2	EMLE	P13/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC8A/GTIOC1A#/GTIOC8A#/IRQ10
3	VSS	P12/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC7A/GTIOC0A#/GTIOC7A#/IRQ9
4	MDE	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
5	VCL	EMLE
6	MD1	VSS
7	MD0	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
8	PE4/MTCLKC-C/IRQ1-B/POE10#-B	VCL
9	PE3/MTCLKD-C/IRQ2-A/POE11#	MD/FINED
10	RES#	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/IRQ4/ADST2/ COMP1
11	XTAL	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
12	VSS	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
13	EXTAL	RES#
14	VCC	XTAL/P37
15	PE2/NMI/POE10#-A	VSS
16	PE1/SSL3-C	EXTAL/P36
17	PE0/CRX-C/SSL2-C	VCC
18	PD7/GTIOC0A-B/CTX-C/SSL1-C	PE2/POE10#/NMI
19	PD6/GTIOC0B-B/SSL0-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
20	PD5/GTIOC1A-B/RXD1	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/IRQ7

112 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
21	PD4/GTIOC1B-B/SCK1	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/ SSLA1/CTX0/IRQ8
22	PD3/GTIOC2A-B/TXD1	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
23	PD2/GTIOC2B-B/MOSI-C	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
24	PD1/GTIOC3A/MISO-C	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2
25	PD0/GTIOC3B/RSPCK-C	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
26	TDI	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA
27	TCK	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
28	TDO	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
29	PB7/SCK2-A	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12
30	PB6/RXD2-A/CRX-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/IRQ2
31	PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0
32	PLLVCC	VCC
33	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
34	PLLVSS	VSS
35	PB3/MTIOC0A-A/SCK0	PC2/CS1#/MTIOC0D/MTIOC0D#/GTADSM0/ SCK8/IRQ15/ADSM0/COMP5
36	PB2/MTIOC0B-A/TXD0/SDA	PC1/A16/MTIOC0C/MTIOC0C#/GTADSM1/ TXD8/SMOSI8/SSDA8/IRQ13/ADSM1/ COMP4
37	PB1/MTIOC0C/RXD0/SCL	PC0/CS0#/MTIOC0B/MTIOC0B#/RXD8/ SMISO8/SSCL8/IRQ12/COMP3
38	PB0/MTIOC0D/MOSI-B	PB3/MTIOC0A/MTIOC0A#/CACREF/SCK6/ RSPCKA/IRQ9
39	PA5/ADTRG1#-A/MTIOC1A/MISO-B	PB2/MTIOC0B/MTIOC0B#/GTADSM0/TMRI0/ TXD6/SMOSI6/SSDA6/SDA/ADSM0
40	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	PB1/MTIOC0C/MTIOC0C#/GTADSM1/TMCI0/ RXD6/SMISO6/SSCL6/SCL/IRQ4/ADSM1
41	PA3/MTIOC2A/SSL0-B	PB0/A0/BC0#/MTIOC0D/MTIOC0D#/TMO0/ TXD6/SMOSI6/SSDA6/CTS11#/RTS11#/ SS11#/MOSIA/IRQ8/ADTRG2#

112 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
42	PA2/MTIOC2B/SSL1-B	PA5/MTIOC1A/MTIOC1A#/TMCI3/RXD6/ SMISO6/SSCL6/RXD8/SMISO8/SSCL8/ MISOA/IRQ1/ADTRG1#
43	PA1/MTIOC6A/SSL2-B	PA4/MTIOC1B/MTIOC1B#/TMCI7/SCK6/ TXD8/SMOSI8/SSDA8/RSPCKA/ADTRG0#
44	PA0/MTIOC6C/SSL3-B	PA3/MTIOC2A/MTIOC2A#/GTADSM0/TMRI7/ TXD9/SMOSI9/SSDA9/SCK8/SSLA0
45	VCC	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SSLA1
46	P96/IRQ4/POE4#	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/IRQ14_DS/ADTRG0#
47	VSS	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0
48	P95/MTIOC6B	VCC
49	P94/MTIOC7A	P96/CS0#/WAIT#/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE4#/CTS8#/ RTS8#/SS8#/IRQ4_DS
50	P93/MTIOC7B	VSS
51	P92/MTIOC6D	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
52	P91/MTIOC7C	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
53	P90/MTIOC7D	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
54	PG5/TRCLK	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
55	PG4/TRDATA3	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
56	PG3/TRDATA2	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
57	PG2/IRQ2-B/TRDATA1	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
58	PG1/IRQ1-C/TRDATA0	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
59	PG0/IRQ0-C/TRSYNC	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
60	P76/MTIOC4D/GTIOC2B-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
61	P75/MTIOC4C/GTIOC1B-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
62	P74/MTIOC3D/GTIOC0B-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
63	P73/MTIOC4B/GTIOC2A-A	P70/D6[A6/D6]/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5_DS
64	P72/MTIOC4A/GTIOC1A-A	PG2/D11[A11/D11]/GTETRGA/GTIOC0B/ GTIOC0B#/SCK9/IRQ2/COMP0
65	P71/MTIOC3B/GTIOC0A-A	PG1/D12[A12/D12]/GTIOC0A/GTIOC0A#/ TXD9/SMOSI9/SSDA9/IRQ1/COMP1
66	P70/IRQ5/POE0#	PG0/D13[A13/D13]/GTIOC1B/GTIOC1B#/ RXD9/SMISO9/SSCL9/IRQ0/COMP2
67	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/ TMO0/SSLA3/IRQ13_DS

112 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
68	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/GTIOC3A#/ TMO6/SSLA2/IRQ12_DS
69	VCC	VCC
70	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
71	VSS	VSS
72	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/CTS8#/ RTS8#/SS8#/SSLA0/IRQ7/COMP3
73	P24/RSPCK-A	P27/MTIOC1A/MTIOC0C/MTIOC1A#/ MTIOC0C#/POE9#/IRQ15
74	P23/CTX-B/LTX/MOSI-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
75	P22/ADTRG#/CRX-B/LRX/MISO-A	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ MOSIA/CTX0/IRQ11/COMP1
76	P21/ADTRG1#-B/MTCLKA-B/IRQ6	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
77	P20/ADTRG0#-B/MTCLKB-B/IRQ7	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA/IRQ6_DS/AN217/ ADTRG1#/COMP5
78	P65/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
79	P64/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
80	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
81	VREF	AVCC2
82	AVSS	AVSS2
83	P63/AN3	P63/A14/IRQ7/AN209/CMPC23
84	P62/AN2	P62/A15/IRQ6/AN208/CMPC43
85	P61/AN1	P61/A16/IRQ5/AN207/CMPC13
86	P60/AN0	P60/A17/IRQ4/AN206/CMPC03
87	P55/AN11	P55/A18/IRQ3/AN203/CMPC32
88	P54/AN10	P54/A19/IRQ2/AN202/CMPC22
89	P53/AN9	P53/A20/IRQ1/AN201/CMPC12
90	P52/AN8	P52/IRQ0/AN200/CMPC02
91	P51/AN7	P47/AN103
92	P50/AN6	P46/AN102/CMPC50/CMPC51
93	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
94	P46/AN102	P44/AN100/CMPC30/CMPC31
95	P45/AN101	PH4/AN107/PGAVSS1
96	P44/AN100	P43/AN003
97	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
98	P42/AN002	P41/AN001/CMPC10/CMPC11
99	P41/AN001	P40/AN000/CMPC00/CMPC01
100	P40/AN000	PH0/AN007/PGAVSS0

112 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
101	AVCC0	AVCC1
102	VREFH0	AVCC0
103	VREFL0	AVSS0
104	AVSS0	AVSS1
105	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/TMO4/ SCK6/SCK12/IRQ3/COMP5
106	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/TXD6/ SMOSI6/SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/COMP4
107	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/RXD6/ SMISO6/SSCL6/RXD12/SMISO12/SSCL12/ RXDX12/IRQ5/COMP3
108	WDTOVF#	P11/RD#/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/TMO3/POE9#/ IRQ1_DS
109	P11/MTCLKC-B/IRQ1-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS
110	P10/MTCLKD-B/IRQ0-A	P17/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC9B/GTIOC2B#/GTIOC9B#/IRQ14
111	TRST#	P16/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC8B/GTIOC1B#/GTIOC8B#/IRQ13
112	TMS	P15/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC7B/GTIOC0B#/GTIOC7B#/IRQ12

3.2　100 ピンパッケージ(RX66T：PGA 疑似差動入力あり USB 端子あり)

表 3.2 に 100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力あり USB 端子あり)を示します。

表 3.2　100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力あり USB 端子あり)

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子あり)
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/GTETRGB/GTIOC3A#/GTETRGD/SCK9/CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/RXD9/SMISO9/SSCL9/RXD12/SMISO12/SSCL12/RXDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	MD1	MD/FINED
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE12#/TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/IRQ4/ADST2/COMP1
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE10#/SCK9/IRQ1
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE11#/CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#-A/NMI	UPSEL/PE2/POE10#/NMI
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/TMO5/CTS5#/RTS5#/SS5#/CTS12#/RTS12#/SS12#/SSLA3/IRQ15
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/SSCL5/SSLA2/CRX0/USB0_OVRCURB/IRQ7
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/CTS1#/RTS1#/SS1#/CTS11#/RTS11#/SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/TMRI0/TMRI6/RXD1/SMISO1/SSCL1/RXD11/SMISO11/SSCL11/IRQ6
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子あり)
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA/USB0_VBUS
24	TRDATA3/PD1/GTIOC3A/MISO-C	USB0_DM
25	TRDATA2/PD0/GTIOC3B/RSPCK-C	USB0_DP
26	TRDATA1/PB7/SCK2-A	VCC_USB
27	TRDATA0/PB6/RXD2-A/CRX-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/USB0_OVRCURA/IRQ2
28	TRSYNC/PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/ SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0/USB0_VBUSEN
29	PLLVCC	VCC
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/ USB0_OVRCURB/IRQ3_DS
31	PLLVSS	VSS/VSS_USB
32	PB3/MTIOC0A-A/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/ TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3/MTIOC1A/MTIOC1A#/TMCI3/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2/MTIOC1B/MTIOC1B#/TMCI7/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/USB0_ID/USB0_OVRCURA/ IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0/ USB0_EXICEN/USB0_VBUSEN
42	VCC	VCC
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE4#/CTS8#/ RTS8#/SS8#/IRQ4_DS
44	VSS	VSS

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子あり)
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5_DS
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/ GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/ GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/ CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P27/CS3#/MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/POE9#/IRQ15
65	P23/CTX-B/LTX/MOSI-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
66	P22/CRX-B/LRX/MISO-A/ADTRG#	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/MOSIA/CTX0/IRQ11/COMP1
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子あり)
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
70	P64/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.3　100 ピンパッケージ(RX66T：PGA 疑似差動入力あり USB 端子なし)

表 3.3 に 100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力あり USB 端子なし)を示します。

表 3.3　100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力あり USB 端子なし)

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/GTETRGB/GTIOC3A#/GTETRGD/SCK9/CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/RXD9/SMISO9/SSCL9/RXD12/SMISO12/SSCL12/RXDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	MD1	MD/FINED
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE12#/TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/IRQ4/ADST2/COMP1
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE10#/SCK9/IRQ1
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE11#/CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#-A/NMI	PE2/POE10#/NMI
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/TMO5/CTS5#/RTS5#/SS5#/CTS12#/RTS12#/SS12#/SSLA3/IRQ15
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/SSCL5/SSLA2/CRX0/IRQ7
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/CTS1#/RTS1#/SS1#/CTS11#/RTS11#/SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/TMRI0/TMRI6/RXD1/SMISO1/SSCL1/RXD11/SMISO11/SSCL11/IRQ6
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA
24	TRDATA3/PD1/GTIOC3A/MISO-C	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
25	TRDATA2/PD0/GTIOC3B/RSPCK-C	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
26	TRDATA1/PB7/SCK2-A	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12
27	TRDATA0/PB6/RXD2-A/CRX-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/IRQ2
28	TRSYNC/PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/ SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0
29	PLLVCC	VCC
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
31	PLLVSS	VSS
32	PB3/MTIOC0A-A/SCK0	PB3/A7(注 1)/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6(注 1)/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5(注 1)/MTIOC0C/MTIOC0C#/GTADSM1/ TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4(注 1)/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3(注 1)/MTIOC1A/MTIOC1A#/TMCI3/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2(注 1)/MTIOC1B/MTIOC1B#/TMCI7/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1(注 1)/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11(注 1)/SSLA1
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE4#/CTS8#/ RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5_DS
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/ GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/ GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/ CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P27/CS3#(注 1)/MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/POE9#/IRQ15
65	P23/CTX-B/LTX/MOSI-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
66	P22/CRX-B/LRX/MISO-A/ADTRG#	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/MOSIA/CTX0/IRQ11/COMP1

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
70	P64/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12(注 1)/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13(注 1)/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14(注 1)/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15(注 1)/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16(注 1)/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17(注 1)/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18(注 1)/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS

100 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

注 1.　RAM 容量が 128K バイトの製品のみ

3.4　100 ピンパッケージ(RX66T：PGA 疑似差動入力なし USB 端子なし)

表 3.4 に 100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力なし USB 端子なし)を示します。

表 3.4　100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力なし USB 端子なし)

100 ピン	RX62T	RX66T (PGA 疑似差動入力なし USB 端子なし)
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/GTETRGB/GTIOC3A#/GTETRGD/SCK9/CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/RXD9/SMISO9/SSCL9/RXD12/SMISO12/SSCL12/RXDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	MD1	MD/FINED
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE12#/TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/IRQ4/ADST2/COMP1
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE10#/SCK9/IRQ1
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE11#/CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#-A/NMI	PE2/POE10#/NMI
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/TMO5/CTS5#/RTS5#/SS5#/CTS12#/RTS12#/SS12#/SSLA3/IRQ15
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/SSCL5/SSLA2/CRX0/IRQ7
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/CTS1#/RTS1#/SS1#/CTS11#/RTS11#/SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/TMRI0/TMRI6/RXD1/SMISO1/SSCL1/RXD11/SMISO11/SSCL11/IRQ6
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX62T	RX66T (PGA 疑似差動入力なし USB 端子なし)
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA
24	TRDATA3/PD1/GTIOC3A/MISO-C	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
25	TRDATA2/PD0/GTIOC3B/RSPCK-C	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
26	TRDATA1/PB7/SCK2-A	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12
27	TRDATA0/PB6/CRX-A/RXD2-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/IRQ2
28	TRSYNC/PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0
29	PLLVCC	VCC
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
31	PLLVSS	VSS
32	PB3/MTIOC0A-A/SCK0	PB3/A7(注 1)/MTIOC0A/MTIOC0A#/CACREF/ SCK6/ RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6(注 1)/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5(注 1)/MTIOC0C/MTIOC0C#/GTADSM1/ TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4(注 1)/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3(注 1)/MTIOC1A/MTIOC1A#/TMCI3/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2(注 1)/MTIOC1B/MTIOC1B#/TMCI7/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1(注 1)/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11(注 1)/SSLA1
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC

100 ピン	RX62T	RX66T (PGA 疑似差動入力なし USB 端子なし)
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/ POE4#/CTS8#/RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5_DS
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/ GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/ GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/ CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
65	P23/LTX/MOSI-A/CTX-B	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/MOSIA/CTX0/IRQ11/COMP1

100 ピン	RX62T	RX66T (PGA 疑似差動入力なし USB 端子なし)
66	P22/LRX/MISO-A/CRX-B/ADTRG#	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
69	P65/AN5	P65/A12/IRQ9/AN211/CMPC53/DA1
70	P64/AN4	P64/A13/IRQ8/AN210/CMPC33/DA0
71	AVCC	AVCC2
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12(注 1)/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13(注 1)/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14(注 1)/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15(注 1)/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16(注 1)/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17(注 1)/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18(注 1)/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P51/AN205/CMPC52
83	P50/AN6	P50/AN204/CMPC42
84	P47/AN103/CVREFH	P47/AN103
85	P46/AN102	P46/AN102/CMPC50/CMPC51
86	P45/AN101	P45/AN101/CMPC40/CMPC41
87	P44/AN100	P44/AN100/CMPC30/CMPC31
88	P43/AN003/CVREFL	P43/AN003
89	P42/AN002	P42/AN002/CMPC20/CMPC21
90	P41/AN001	P41/AN001/CMPC10/CMPC11
91	P40/AN000	P40/AN000/CMPC00/CMPC01
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3

100 ピン	RX62T	RX66T (PGA 疑似差動入力なし USB 端子なし)
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

注 1.　RAM 容量が 128K バイトの製品のみ

3.5　80 ピンパッケージ(RX62T：LQFP(R5F562TxGDFF 以外))

表 3.5 に 80 ピンパッケージ端子機能(RX62T：LQFP(R5F562TxGDFF 以外))を示します。

表 3.5　80 ピンパッケージ端子機能(RX62T：LQFP(R5F562TxGDFF 以外))

80 ピン	RX62T (R5F562TxGDFF 以外)	RX66T (PGA 疑似差動入力あり USB 端子なし)
1	EMLE	EMLE
2	VSS	VSS
3	MDE	UB/P00/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
4	VCL	VCL
5	MD1	MD/FINED
6	MD0	P01/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/ POE12#/TXD9/SMOSI9/SSDA9/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/ IRQ4/ADST2/COMP1
7	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
8	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
9	RES#	RES#
10	XTAL	XTAL/P37
11	VSS	VSS
12	EXTAL	EXTAL/P36
13	VCC	VCC
14	PE2/POE10#-A/NMI	PE2/POE10#/NMI
15	PE0/CRX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/ SSLA1/CTX0/IRQ8
16	PD7/GTIOC0A-B/CTX-C/TRST#	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
17	PD6/GTIOC0B-B/TMS	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
18	PD5/GTIOC1A-B/RXD1/TDI	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2
19	PD4/GTIOC1B-B/SCK1/TCK	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
20	PD3/GTIOC2A-B/TXD1/TDO	PD2/GTIOC2B/GTIOC0A/GTIOC2B#/ GTIOC0A#/TMCI1/TMO4/SCK5/SCK8/MOSIA
21	PB7/SCK2-A	PB6/GTIOC2A/GTIOC2A#/RXD5/SMISO5/ SSCL5/RXD11/SMISO11/SSCL11/RXD12/ SMISO12/SSCL12/RXDX12/CRX0/IRQ2
22	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC2B#/TXD5/SMOSI5/ SSDA5/TXD11/SMOSI11/SSDA11/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/CTX0
23	PB5/CTX-A/TXD2-A	VCC

80 ピン	RX62T (R5F562TxGDFF 以外)	RX66T (PGA 疑似差動入力あり USB 端子なし)
24	PLLVCC	PB4/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
25	PB4/GTETRG/IRQ3/POE8#	VSS
26	PLLVSS	PB3/MTIOC0A/MTIOC0A#/CACREF/SCK6/ RSPCKA/IRQ9
27	PB3/MTIOC0A-A/SCK0	PB2/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
28	PB2/MTIOC0B-A/TXD0/SDA	PB1/MTIOC0C/MTIOC0C#/GTADSM1/TMCI0/ RXD6/SMISO6/SSCL6/SCL/IRQ4/ADSM1
29	PB1/MTIOC0C/RXD0/SCL	PB0/MTIOC0D/MTIOC0D#/TMO0/TXD6/ SMOSI6/SSDA6/CTS11#/RTS11#/SS11#/ MOSIA/IRQ8/ADTRG2#
30	PB0/MTIOC0D/MOSI-B	PA5/MTIOC1A/MTIOC1A#/TMCI3/RXD6/ SMISO6/SSCL6/RXD8/SMISO8/SSCL8/ MISOA/IRQ1/ADTRG1#
31	PA3/MTIOC2A/SSL0-B	PA3/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
32	PA2/MTIOC2B/SSL1-B	VCC
33	VCC	P96/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE4#/CTS8#/RTS8#/SS8#/ IRQ4_DS
34	P96/IRQ4/POE4#	VSS
35	VSS	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
36	P95/MTIOC6B	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
37	P94/MTIOC7A	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
38	P93/MTIOC7B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
39	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
40	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
41	P76/MTIOC4D/GTIOC2B-A	P76/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC6B/GTIOC2B#/GTIOC6B#
42	P75/MTIOC4C/GTIOC1B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC5B/GTIOC1B#/GTIOC5B#
43	P74/MTIOC3D/GTIOC0B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC4B/GTIOC0B#/GTIOC4B#
44	P73/MTIOC4B/GTIOC2A-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC6A/GTIOC2A#/GTIOC6A#
45	P72/MTIOC4A/GTIOC1A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC5A/GTIOC1A#/GTIOC5A#
46	P71/MTIOC3B/GTIOC0A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC4A/GTIOC0A#/GTIOC4A#
47	P70/POE0#/IRQ5	P70/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE0#/CTS9#/RTS9#/SS9#/ IRQ5_DS
48	P33/MTIOC3A/MTCLKA-A/SSL3-A	VCC
49	P32/MTIOC3C/MTCLKB-A/SSL2-A	P31/MTIOC0A/MTCLKC/MTIOC0A#/ MTCLKC#/TMRI6/SSLA1/IRQ6
50	VCC	VSS

80 ピン	RX62T (R5F562TxGDFF 以外)	RX66T (PGA 疑似差動入力あり USB 端子なし)
51	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P30/MTIOC0B/MTCLKD/MTIOC0B#/ MTCLKD#/TMCI6/SCK8/CTS8#/RTS8#/ SS8#/SSLA0/IRQ7/COMP3
52	VSS	P27/MTIOC1A/MTIOC0C/MTIOC1A#/ MTIOC0C#/POE9#/IRQ15
53	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ MTIOC9B/TMRI2/TMO4/RXD8/SMISO8/ SSCL8/RXD12/SMISO12/SSCL12/RXDX12/ MISOA/CRX0/IRQ10/ADTRG2#/COMP2
54	P24/RSPCK-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/ MTCLKA#/TMCI4/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ MOSIA/IRQ6_DS/AN217/ADTRG1#/COMP5
55	P23/CTX-B/LTX/MOSI-A	P20/MTIOC9C/MTCLKB/MTIOC9C#/ MTCLKB#/TMRI4/CTS8#/RTS8#/SS8#/ SCK8/RSPCKA/IRQ7_DS/AN216/ ADTRG0#/COMP4
56	P22/ADTRG#/CRX-B/LRX/MISO-A	P65/IRQ9/AN211/CMPC53/DA1
57	P21/ADTRG1#-B/MTCLKA-B/IRQ6	P64/IRQ8/AN210/CMPC33/DA0
58	P20/ADTRG0#-B/MTCLKB-B/IRQ7	AVCC2
59	AVCC	AVSS2
60	AVSS	P62/IRQ6/AN208/CMPC43
61	P63/AN3	P55/IRQ3/AN203/CMPC32
62	P62/AN2	P54/IRQ2/AN202/CMPC22
63	P61/AN1	P53/IRQ1/AN201/CMPC12
64	P60/AN0	P52/IRQ0/AN200/CMPC02
65	P47/AN103/CVREFH	P47/AN103
66	P46/AN102	P46/AN102/CMPC50/CMPC51
67	P45/AN101	P45/AN101/CMPC40/CMPC41
68	P44/AN100	P44/AN100/CMPC30/CMPC31
69	P43/AN003/CVREFL	PH4/AN107/PGAVSS1
70	P42/AN002	P43/AN003
71	P41/AN001	P42/AN002/CMPC20/CMPC21
72	P40/AN000	P41/AN001/CMPC10/CMPC11
73	AVCC0	P40/AN000/CMPC00/CMPC01
74	VREFH0	PH0/AN007/PGAVSS0
75	VREFL0	AVCC1
76	AVSS0	AVCC0
77	P11/MTCLKC-B/IRQ1-A	AVSS0
78	P10/MTCLKD-B/IRQ0-A	AVSS1
79	PA5/ADTRG1#-A/MTIOC1A/MISO-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/TMO3/POE9#/ IRQ1_DS
80	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.6　80 ピンパッケージ(RX62T：LQFP(R5F562TxGDFF))

表 3.6 に 80 ピンパッケージ端子機能の比較(RX62T：LQFP(R5F562TxGDFF))を示します。

表 3.6　80 ピンパッケージ端子機能の比較(RX62T：LQFP(R5F562TxGDFF))

80 ピン	RX62T (R5F562TxGDFF)	RX66T (PGA 疑似差動入力あり USB 端子なし)
1	EMLE	EMLE
2	VSS	VSS
3	MDE	UB/P00/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
4	VCL	VCL
5	MD1	MD/FINED
6	MD0	P01/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/ POE12#/TXD9/SMOSI9/SSDA9/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/ IRQ4/ADST2/COMP1
7	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
8	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
9	RES#	RES#
10	XTAL	XTAL/P37
11	VSS	VSS
12	EXTAL	EXTAL/P36
13	VCC	VCC
14	PE2/POE10#-A/NMI	PE2/POE10#/NMI
15	TRST#/PD7/GTIOC0A-B	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/ SSLA1/CTX0/IRQ8
16	TMS/PD6/GTIOC0B-B	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
17	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
18	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2
19	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
20	PD2/GTIOC2B-B	PD2/GTIOC2B/GTIOC0A/GTIOC2B#/ GTIOC0A#/TMCI1/TMO4/SCK5/SCK8/MOSIA
21	PB7/SCK2-A	PB6/GTIOC2A/GTIOC2A#/RXD5/SMISO5/ SSCL5/RXD11/SMISO11/SSCL11/RXD12/ SMISO12/SSCL12/RXDX12/CRX0/IRQ2
22	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC2B#/TXD5/SMOSI5/ SSDA5/TXD11/SMOSI11/SSDA11/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/CTX0
23	PB5/CTX-A/TXD2-A	VCC

80 ピン	RX62T (R5F562TxGDFF)	RX66T (PGA 疑似差動入力あり USB 端子なし)
24	PLLVCC	PB4/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
25	PB4/GTETRG/IRQ3/POE8#	VSS
26	PLLVSS	PB3/MTIOC0A/MTIOC0A#/CACREF/SCK6/ RSPCKA/IRQ9
27	PB3/MTIOC0A-A/SCK0	PB2/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
28	PB2/MTIOC0B-A/TXD0/SDA	PB1/MTIOC0C/MTIOC0C#/GTADSM1/TMCI0/ RXD6/SMISO6/SSCL6/SCL/IRQ4/ADSM1
29	PB1/MTIOC0C/RXD0/SCL	PB0/MTIOC0D/MTIOC0D#/TMO0/TXD6/ SMOSI6/SSDA6/CTS11#/RTS11#/SS11#/ MOSIA/IRQ8/ADTRG2#
30	PB0/MTIOC0D	PA5/MTIOC1A/MTIOC1A#/TMCI3/RXD6/ SMISO6/SSCL6/RXD8/SMISO8/SSCL8/ MISOA/IRQ1/ADTRG1#
31	PA5/ADTRG1#-A/MTIOC1A	PA3/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
32	PA3/MTIOC2A	VCC
33	VCC	P96/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE4#/CTS8#/RTS8#/SS8#/ IRQ4_DS
34	P96/IRQ4/POE4#	VSS
35	VSS	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
36	P95/MTIOC6B	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
37	P94/MTIOC7A	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
38	P93/MTIOC7B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
39	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
40	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
41	P90/MTIOC7D	P76/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC6B/GTIOC2B#/GTIOC6B#
42	P76/MTIOC4D/GTIOC2B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC5B/GTIOC1B#/GTIOC5B#
43	P75/MTIOC4C/GTIOC1B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC4B/GTIOC0B#/GTIOC4B#
44	P74/MTIOC3D/GTIOC0B-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC6A/GTIOC2A#/GTIOC6A#
45	P73/MTIOC4B/GTIOC2A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC5A/GTIOC1A#/GTIOC5A#
46	P72/MTIOC4A/GTIOC1A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC4A/GTIOC0A#/GTIOC4A#
47	P71/MTIOC3B/GTIOC0A-A	P70/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE0#/CTS9#/RTS9#/SS9#/ IRQ5_DS
48	P70/IRQ5/POE0#	VCC
49	P33/MTIOC3A/MTCLKA-A/SSL3-A	P31/MTIOC0A/MTCLKC/MTIOC0A#/ MTCLKC#/TMRI6/SSLA1/IRQ6
50	P32/MTIOC3C/MTCLKB-A/SSL2-A	VSS

80 ピン	RX62T (R5F562TxGDFF)	RX66T (PGA 疑似差動入力あり USB 端子なし)
51	VCC	P30/MTIOC0B/MTCLKD/MTIOC0B#/ MTCLKD#/TMCI6/SCK8/CTS8#/RTS8#/ SS8#/SSLA0/IRQ7/COMP3
52	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P27/MTIOC1A/MTIOC0C/MTIOC1A#/ MTIOC0C#/POE9#/IRQ15
53	VSS	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ MTIOC9B/TMRI2/TMO4/RXD8/SMISO8/ SSCL8/RXD12/SMISO12/SSCL12/RXDX12/ MISOA/CRX0/IRQ10/ADTRG2#/COMP2
54	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/ MTCLKA#/TMCI4/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ MOSIA/IRQ6_DS/AN217/ADTRG1#/COMP5
55	P24/RSPCK-A	P20/MTIOC9C/MTCLKB/MTIOC9C#/ MTCLKB#/TMRI4/CTS8#/RTS8#/SS8#/ SCK8/RSPCKA/IRQ7_DS/AN216/ ADTRG0#/COMP4
56	P23/CTX-B/LTX/MOSI-A	P65/IRQ9/AN211/CMPC53/DA1
57	P22/ADTRG#/CRX-B/LRX/MISO-A	P64/IRQ8/AN210/CMPC33/DA0
58	P20/ADTRG0#-B/MTCLKB-B/IRQ7	AVCC2
59	AVCC	AVSS2
60	AVSS	P62/IRQ6/AN208/CMPC43
61	P63/AN3	P55/IRQ3/AN203/CMPC32
62	P62/AN2	P54/IRQ2/AN202/CMPC22
63	P61/AN1	P53/IRQ1/AN201/CMPC12
64	P60/AN0	P52/IRQ0/AN200/CMPC02
65	P47/AN103/CVREFH	P47/AN103
66	P46/AN102	P46/AN102/CMPC50/CMPC51
67	P45/AN101	P45/AN101/CMPC40/CMPC41
68	P44/AN100	P44/AN100/CMPC30/CMPC31
69	P43/AN003/CVREFL	PH4/AN107/PGAVSS1
70	P42/AN002	P43/AN003
71	P41/AN001	P42/AN002/CMPC20/CMPC21
72	P40/AN000	P41/AN001/CMPC10/CMPC11
73	AVCC0	P40/AN000/CMPC00/CMPC01
74	VREFH0	PH0/AN007/PGAVSS0
75	VREFL0	AVCC1
76	AVSS0	AVCC0
77	P82/MTIC5U/SCK2-B	AVSS0
78	P81/MTIC5V/TXD2-B	AVSS1
79	P80/MTIC5W/RXD2-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/TMO3/POE9#/ IRQ1_DS
80	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.7　64 ピンパッケージ

表 3.7 に 64 ピンパッケージ端子機能の比較を示します。

表 3.7　64 ピンパッケージ端子機能の比較

64 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
1	EMLE	EMLE
2	MDE	UB/P00/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
3	VCL	VCL
4	MD1	MD/FINED
5	MD0	P01/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/ POE12#/TXD9/SMOSI9/SSDA9/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/ IRQ4/ADST2/COMP1
6	RES#	RES#
7	XTAL	XTAL/P37
8	VSS	VSS
9	EXTAL	EXTAL/P36
10	VCC	VCC
11	PE2/POE10#-A/NMI	PE2/POE10#/NMI
12	TRST#/PD7/GTIOC0A-B	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/ SMOSI5/SSDA5/SSLA1/CTX0/IRQ8
13	TMS/PD6/GTIOC0B-B	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
14	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
15	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2
16	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/ GTIOC2A#/TMO0/TXD1/SMOSI1/ SSDA1/TXD11/SMOSI11/SSDA11
17	PB7/SCK2-A	PB6/GTIOC2A/GTIOC2A#/RXD5/SMISO5/ SSCL5/RXD11/SMISO11/SSCL11/RXD12/ SMISO12/SSCL12/RXDX12/CRX0/IRQ2
18	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC2B#/TXD5/SMOSI5/ SSDA5/TXD11/SMOSI11/SSDA11/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/CTX0
19	PB5/CTX-A/TXD2-A	PB4/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
20	PLLVCC	PB3/MTIOC0A/MTIOC0A#/CACREF/SCK6/ RSPCKA/IRQ9
21	PB4/GTETRG/IRQ3/POE8#	PB2/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
22	PLLVSS	PB1/MTIOC0C/MTIOC0C#/GTADSM1/ TMCI0/RXD6/SMISO6/SSCL6/SCL/ IRQ4/ADSM1

64 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
23	PB3/MTIOC0A-A/SCK0	PB0/MTIOC0D/MTIOC0D#/TMO0/TXD6/ SMOSI6/SSDA6/CTS11#/RTS11#/SS11#/ MOSIA/IRQ8/ADTRG2#
24	PB2/MTIOC0B-A/TXD0/SDA	VCC
25	PB1/MTIOC0C/RXD0/SCL	P96/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE4#/CTS8#/RTS8#/ SS8#/IRQ4_DS
26	PB0/MTIOC0D/MOSI-B	VSS
27	PA3/MTIOC2A/SSL0-B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
28	PA2/MTIOC2B/SSL1-B	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
29	P94/MTIOC7A	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
30	P93/MTIOC7B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
31	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
32	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
33	P76/MTIOC4D/GTIOC2B-A	P76/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC6B/GTIOC2B#/GTIOC6B#
34	P75/MTIOC4C/GTIOC1B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC5B/GTIOC1B#/GTIOC5B#
35	P74/MTIOC3D/GTIOC0B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC4B/GTIOC0B#/GTIOC4B#
36	P73/MTIOC4B/GTIOC2A-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC6A/GTIOC2A#/GTIOC6A#
37	P72/MTIOC4A/GTIOC1A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC5A/GTIOC1A#/GTIOC5A#
38	P71/MTIOC3B/GTIOC0A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC4A/GTIOC0A#/GTIOC4A#
39	P70/POE0#/IRQ5	P70/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE0#/CTS9#/RTS9#/ SS9#/IRQ5_DS
40	P33/MTIOC3A/MTCLKA-A/SSL3-A	VCC
41	P32/MTIOC3C/MTCLKB-A/SSL2-A	VSS
42	VCC	P22/MTIC5W/MTCLKD/MTIC5W#/ MTCLKD#/MTIOC9B/TMRI2/TMO4/ RXD8/SMISO8/SSCL8/RXD12/SMISO12/ SSCL12/RXDX12/MISOA/CRX0/IRQ10/ ADTRG2#/COMP2
43	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/ MTCLKA#/TMCI4/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ MOSIA/IRQ6_DS/AN217/ADTRG1#/COMP5
44	VSS	P20/MTIOC9C/MTCLKB/MTIOC9C#/ MTCLKB#/TMRI4/CTS8#/RTS8#/SS8#/ SCK8/RSPCKA/IRQ7_DS/AN216/ ADTRG0#/COMP4
45	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P65/IRQ9/AN211/CMPC53/DA1
46	P24/RSPCK-A	P64/IRQ8/AN210/CMPC33/DA0
47	P23/CTX-B/LTX/MOSI-A	AVCC2
48	P22/CRX-B/LRX/MISO-A	AVSS2
49	P47/AN103/CVREFH	P54/IRQ2/AN202/CMPC22

64 ピン	RX62T	RX66T (PGA 疑似差動入力あり USB 端子なし)
50	P46/AN102	P53/IRQ1/AN201/CMPC12
51	P45/AN101	P52/IRQ0/AN200/CMPC02
52	P44/AN100	P46/AN102/CMPC50/CMPC51
53	P43/AN003/CVREFL	P45/AN101/CMPC40/CMPC41
54	P42/AN002	P44/AN100/CMPC30/CMPC31
55	P41/AN001	PH4/AN107/PGAVSS1
56	P40/AN000	P42/AN002/CMPC20/CMPC21
57	AVCC0	P41/AN001/CMPC10/CMPC11
58	VREFH0	P40/AN000/CMPC00/CMPC01
59	VREFL0	PH0/AN007/PGAVSS0
60	AVSS0	AVCC1
61	P11/MTCLKC-B/IRQ1-A	AVCC0
62	P10/MTCLKD-B/IRQ0-A	AVSS0
63	PA5/ADTRG1#-A/MTIOC1A/MISO-B	AVSS1
64	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/ GTETRGA/GTIOC3B#/GTETRGC/ TMO3/POE9#/IRQ1_DS

4.　移行の際の留意点

RX62T/RX62G グループと RX66T グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1　端子設計の留意点

RX62T/RX62G グループ(100 ピン)と RX66T グループ(100 ピン：PGA 疑似差動入力なし USB 端子なし)ではピンコンパチブルとなり、移行し易い端子設計としておりますが、グループが異なるため、端子の扱いが一部異なります。詳細は「表 3.4 100 ピンパッケージ端子機能の比較(RX66T：PGA 疑似差動入力なし USB 端子なし)」を参照してください。

4.1.1　VCL 端子(外付け容量)

VCL 端子に接続する内部電源安定用の平滑コンデンサは、RX62T/RX62G グループでは 0.1μF の容量を、RX66T グループでは 0.47μF の容量を使用してください。

4.1.2　PLLVCC 端子

RX66T グループには PLLVCC 端子がありません。

4.1.3　モード設定端子

リセット解除時のモード設定端子は、RX62T/RX62G グループでは MD0、MD1、MDE 端子ですが、RX66T グループでは MD 端子と UB 端子(P00 と兼用)となっています。

4.1.4　外部クロックを入力する方法

RX62T/RX62G グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相を XTAL 端子に入力できますが、RX66T グループでは XTAL 端子をオープンにしてください。

4.1.5　PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)

RX66T グループは、リセット状態から PGA 疑似差動入力の端子へ負電圧の入力が可能になっています。

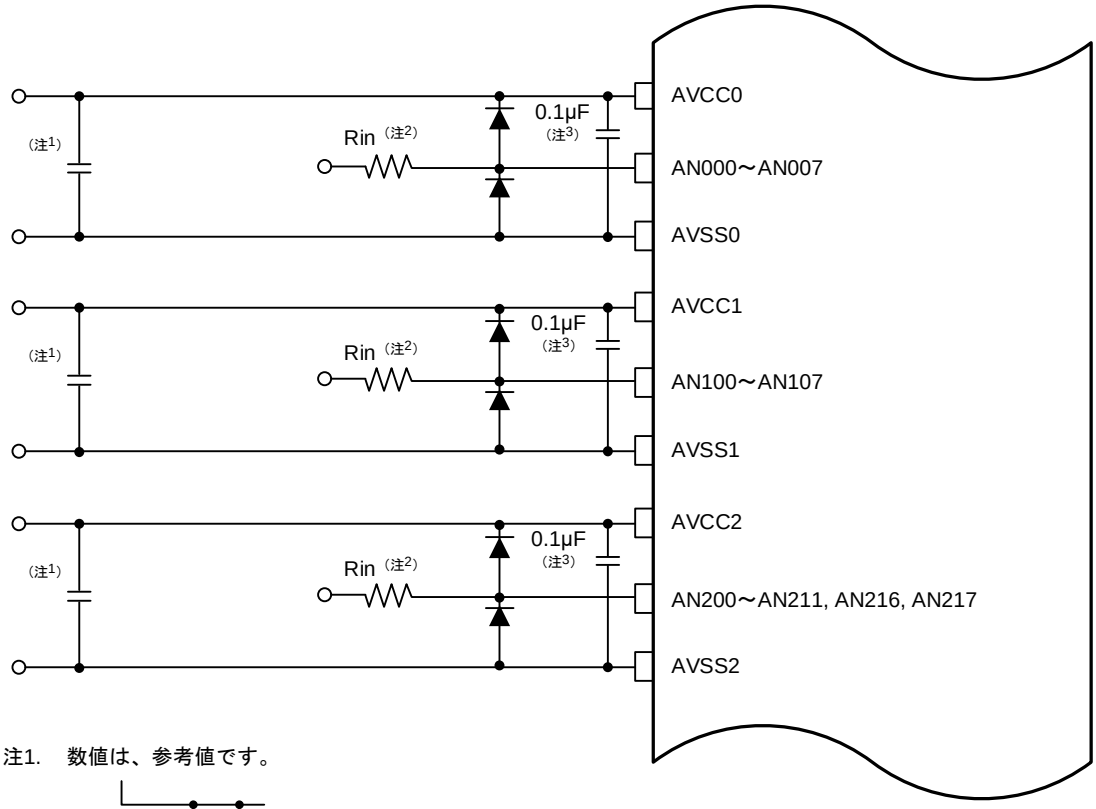
このため、リセット解除後、P40~42、P44~46、PH0、PH4 の端子機能を使用するためには、PGA 使用の有無に関わらず PGA に関するレジスタの設定変更が必要です。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で VOLSR.PGAVLS ビット、A/D コンバータの初期設定フロー、および PIDR レジスタを参照してください。

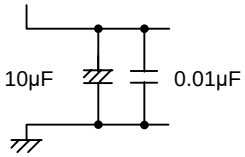
なお、PGA 疑似差動入力なしの製品でも設定変更が必要です。

4.1.6　AVCC 端子と AVSS 端子間のデカップリング容量挿入方法

過大なサージなど異常電圧によるアナログ入力端子(AN000～AN007, AN100～AN107, AN200～AN211, AN216, AN217)の破壊を防ぐために、下図に示すように AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子(AN000～AN007, AN100～AN107, AN200～AN211, AN216, AN217)を基準に保護回路を接続してください。



注1.　数値は、参考値です。



注2.　Rin：信号源インピーダンス

注3.　AVCC0、AVSS0、AVCC1、AVSS1、AVCC2、AVSS2電源間に挿入するコンデンサは、A/D変換精度向上のために、できるだけ電源端子の近くに配置してください。
A/Dコンバータを40MHzより高い周波数で使用する場合は、電気的特性を満たすために下記を実施してください。
① 0.1μFに1000pFのコンデンサを追加してください。
② 0.1μFより、1000pFの方をMCUに近接配置してください。
③ AVCC0より、AVCC1側のコンデンサをMCUに近接配置してください。

4.2　機能設計の留意点

RX62T/RX62G グループで動作するソフトウェアは RX66T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なるため、十分に評価してください。

以下は RX66T グループと RX62T/RX62G グループで異なる機能の設定に関し、ソフトウェアでの留意点について掲載しております。

モジュールおよび機能の相違点については「2 仕様の概要比較」を参照してください。詳細は、「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1　RIIC 動作電圧設定

RX66T グループで RIIC を使用する場合、スロープ特性を保つために、電源電圧範囲を指定する必要があります。

初期値は VCC が 4.5V 以上の設定になっています。4.5V 未満で使用する場合、RIIC を動作させる前に電圧範囲を変更してください。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.RICVLS ビットを参照してください。

4.2.2　USB 動作電圧設定

RX66T グループで USB を使用する場合、USB を動作させる前に USB 電源制御ビットを 1 にする必要があります。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.USBVON ビットを参照してください。

4.2.3　例外ベクタテーブル

RX62T/RX62G グループのベクタテーブルの配置アドレスは固定ですが、RX66T グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.4　電圧レベル設定

RX66T グループでは、動作電圧に応じて動作モードの電圧レベル設定レジスタ(VOLSR)、電圧検出回路の電圧検出レベル選択レジスタ(LVDLVLR)、オプション設定メモリのオプション機能選択レジスタ 1(OFS1)を適切な値に変更する必要があります。プログラムで必ず設定してください。

4.2.5　エンディアン

RX62T/RX62G グループでは、エンディアンの設定は MDE 端子で行いますが、RX66T グループでは、オプション設定メモリに配置されている MDE レジスタで行います。

4.2.6　オプション設定メモリ

RX62T/RX62G グループでは、ID コードプロテクト、オンチップデバッガの ID コードプロテクトは ROM(コード格納用フラッシュメモリ)に配置されていますが、RX66T グループではオプション設定メモリに配置されています。設定方法が異なるため、注意してください。

4.2.7　クロック周波数設定

RX62T/RX62G グループではクロック周波数設定制限は ICLK≧PCLK ですが、RX66T グループでは以下のように設定してください。

クロック周波数設定制限：ICLK≧BCLK、PCLKC≧PCLKA≧PCLKB

クロック周波数比制限：(N は整数)

ICLK　：FCLK　= N：1 or 1：N、

ICLK　：PCLKA = N：1 or 1：N、

ICLK　：PCLKB = N：1 or 1：N、

ICLK　：PCLKC = N：1 or 1：N、

ICLK　：PCLKD = N：1 or 1：N、

PCLKA：PCLKC = 1：1 or 1：2、

PCLKB：PCLKD = 1：1 or 2：1 or 4：1 or 1：2

また、RX66T グループでは ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの変更が必要です。

4.2.8　メインクロック発振器

RX62T/RX62G グループでは、リセット解除後にメインクロックが発振開始しますが、RX66T グループでは、リセット解除後は LOCO クロックで動作するため、プログラムでメインクロックを発振させる必要があります。

4.2.9　PLL 回路

PLL 回路の逓倍率は、RX62T/RX62G グループで 8 逓倍、RX66T グループで 10～30 逓倍(0.5 刻み)です。PLL 回路を使用するには、設定値を適切な値に変更してください。また、RX66T グループでは、PLL クロックの切り替えはプログラムで実施してください。

4.2.10 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

RX66T グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.11 全モジュールクロックストップモード

RX66T グループでは、全モジュールクロックストップモードへ移行させる場合、MSTPA24、MSTPA27、MSTPA29、MSTPD0~MSTPD7 に“1”を書き込んでおく必要があります。

4.2.12 DIRQnE ビット(n = 0～15)による入力バッファ制御

RX66T グループでは、DPSIERy.DIRQnE(y=0,1,n=0～15)ビットを“1”にすることで、IRQ0-DS～IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF(y=0,1,n=0～15)ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

4.2.13 レジスタライトプロテクション機能

RX66T グループでは、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能が追加されています。初期値は保護状態となっていますので、保護対象の機能使用時は該当プロテクトビットを変更してください。

4.2.14 選択型割り込み

RX62T/RX62G グループでは、各割り込み要因のベクタ番号は固定ですが、RX66T グループでは MTU/GPTW の割り込み要因は選択型割り込み A に割り当てられ、選択型割り込み A 要因選択レジスタ n (SLIARn)を設定することで、割り込み要因を割り込みベクタテーブル 208～255 に配置することができます

4.2.15 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.16 POE3 の汎用入出力ポート切り替え制御の注意事項

RX66T グループでは、POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ(n=0～3)の当該ビットを“1”にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ(n=0～3)のビットを“0”にしてください。

4.2.17 バスの優先順位

RX62T/RX62G グループでは、バスの優先順位は 内部メインバス 2 > 内部メインバス 1 固定でしたが、RX66T グループでは、バスプライオリティ制御レジスタ(BUSPRI)により設定可能です。

4.2.18 端子割り当て機能

RX62T/RX62G グループでは、I/O ポート章のポートファンクションレジスタにより、レジスタに対応したモジュール機能に端子の割り当てを設定していましたが、RX66T グループでは、マルチピンファンクションコントローラ章の端子機能制御レジスタで、レジスタに対応した端子に複数のモジュールから割り当てる機能を設定できます。なお、端子機能制御レジスタは書き込みプロテクトレジスタによってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

4.2.19 MTU3d/GPTW 動作周波数

RX66T グループでは、MTU3d/GPTW のカウントクロックは PCLKC ですが、使用するバスのクロックは PCLKA です。使用する周波数の組み合わせによっては制限がありますので、注意してください。

4.2.20 MTU による DMAC 起動

RX66T グループでは、MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

4.2.21 カウンタ停止時の MTIOC 端子出力レベル

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、RX66T グループの相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

4.2.22 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX66T グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ（TMDR）は初期値（00h）に設定してください。

4.2.23 ポートアウトプットイネーブル

RX66T グループでは、RX62T/RX62G グループからポートアウトプットイネーブルのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.24 ポートアウトプットイネーブル 3 出力停止要求発生時の制御

RX66T グループでは、出力停止要求が発生したとき、POECR1～POECR3、POECR7 レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0～PMMCR3 レジスタの対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1～POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

4.2.25 MTU/GPTW 反転出力設定時のアクティブレベル設定について

RX66T グループでは、MPC.PmnPFS レジスタにより MTU/GPTW の出力を正転出力/反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ(j=A,B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3～ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

4.2.26 ハイインピーダンス時の端子の読み出しについて

RX66T グループでは、POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

4.2.27 POE と POEG を併用した場合の注意事項

RX66T グループでは、POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

4.2.28 汎用 PWM タイマ

RX66T グループでは、RX62T/RX62G グループから汎用 PWM タイマのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.29 ウォッチドッグタイマ/独立ウォッチドッグタイマ

RX66T グループでは、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込みをマスカブル割り込みまたはノンマスカブル割り込みから選択することが可能です。

4.2.30 I^2C バスインタフェースのノイズ除去

RX62T グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX66T グループではアナログノイズフィルタを内蔵していません。

4.2.31 12 ビット A/D コンバータ

RX66T グループでは、RX62T/RX62G グループから 12 ビット A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.32 A/D 変換スタートビット

RX66T グループでは、12 ビット A/D コンバータのグループ優先動作モード有効時（ADCSR.ADCS[1:0] ビット=01b かつ ADGSPCR.PGS ビット=1）にシングルスキャン連続機能を使用（ADGSPCR.GBRP ビット=1）した場合、ADCSR.ADST ビットは“1”を保持します。

4.2.33 コンペア機能制約

RX66T グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

(1) 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。)

(2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。

(3) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。

(4) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。

(5) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。

(6) High 側基準値 ≧ Low 側基準値となるように設定してください。

4.2.34 A/D スキャン変換終了割り込みの発生

RX66T グループでは、ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADCSR.ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。

4.2.35 D/A コンバータの設定について

RX66T グループでは、D/A コンバータの設定は D/A 出力先選択レジスタ(DADSELR)でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

4.2.36 FCU RAM へのファームウェア転送

RX62T/RX62G グループでは、FCU コマンドを使用するために FCU RAM に FCU 用のファームウェアを格納する必要がありましたが、RX66T グループでは本処理は必要ありません。

4.2.37 ROM キャッシュ

RX66T グループは 8K バイトの ROM キャッシュがありますが、リセット解除後の ROM キャッシュ動作は禁止です。

ROM キャッシュを使用する場合は、ROMCE.ROMCEN ビットを 1 にしてください。

4.2.38 フラッシュメモリのコマンド使用方法

RX62T/RX62G グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX66T グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.1 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.1　FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド(RX62T)	FACI コマンド(RX66T)
コマンド発行領域	ROM 書き込み／消去用アドレス (00FC 0000h～00FF FFFFh)	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	• P/E ノーマルモード移行 • ステータスリードモード移行 • ロックビットリードモード移行 (ロックビットリード 1) • 周辺クロック通知 • プログラム • ブロックイレーズ • P/E サスペンド • P/E レジューム • ステータスレジスタクリア • ロックビットリード 2 / ブランクチェック • ロックビットプログラム	• プログラム • ブロックイレーズ • P/E サスペンド • P/E レジューム • ステータスクリア • 強制終了 • ロックビットリード • ブランクチェック • コンフィギュレーション設定 • ロックビットプログラム

5.　参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62T グループ、RX62G グループ ユーザーズマニュアル ハードウェア編 Rev2.00
(R01UH0034JJ0200)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX66T グループ ユーザーズマニュアル ハードウェア編 Rev1.10
(R01UH0749JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリ間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A094A/J
- TN-RX*-A095A/J
- TN-RX*-A096A/J
- TN-RX*-A098A/J
- TN-RX*-A099A/J
- TN-RX*-A119A/J
- TN-RX*-A141A/J
- TN-RX*-A152A/J
- TN-RX*-A161A/J
- TN-RX*-A185B/J
- TN-RX*-A193A/J
- TN-RX*-A0213A/J
- TN-RX*-A0218A/J
- TN-RX*-A0219A/J
- TN-RX*-A0227A/J
- TN-RX*-A0231A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Sep.20.18	—	初版発行
1.10	Jul.30.20	4	2 表 2.1 RX62T/RX66T 搭載機能比較 改訂
		6	3.1 表 3.1 CPU の概要比較 改訂
		7	3.1 表 3.2 CPU のレジスタ比較 改訂
		8	3.2 表 3.3 動作モードの概要比較、表 3.4 動作モードのレジスタ比較 改訂
		9	3.3 アドレス空間 追加
		12	3.4 表 3.5 リセットの概要比較 改訂
		15	3.6 表 3.9 クロック発生回路の概要比較 改訂
		17	3.6 表 3.10 クロック発生回路のレジスタ比較 改訂
		22	3.7 表 3.13 消費電力低減機能のレジスタ比較 改訂
		24	3.8 例外処理 追加
		25	3.9 表 3.16 割り込みコントローラの概要比較 改訂
		26	3.9 表 3.17 割り込みコントローラのレジスタ比較 改訂
		29	3.10 表 3.19 バスのレジスタ比較 改訂
		32	3.13 表 3.22 I/O ポート 112 ピンの概要比較、表 3.23 I/O ポート 100 ピン(RX66T:PGA 疑似差動入力あり)の概要比較改訂
		33	3.13 表 3.24 I/O ポート 100 ピン(RX66T:PGA 疑似差動入力なし)の概要比較、表 3.25 I/O ポート 80 ピン (RX62T:R5F562TxGDFF 以外)の概要比較 改訂
		34	3.13 表 3.26 I/O ポート 80 ピン(RX62T:R5F562TxGDFF) の概要比較、表 3.27 I/O ポート 64 ピンの概要比較 改訂
		35	3.13 表 3.28 I/O ポートの機能 追加
		36	3.13 表 3.29 I/O ポートのレジスタ比較 改訂
		39	3.14 表 3.31 マルチファンクションタイマパルスユニット 3 のレジスタ比較 改訂
		40	3.14 表 3.32 TPSC ビットの設定比較(MTU5 以外) 追加
		43	3.15 表 3.34 ポートアウトプットイネーブル 3 の概要比較 改訂
		45	3.15 表 3.35 ポートアウトプットイネーブル 3 レジスタ比較 改訂
		56	3.16 表 3.37 汎用 PWM タイマのレジスタ比較 改訂
		62	3.16 表 3.38 GTIOA/B ビットの設定比較 追加
		64	3.18 表 3.40 ウォッチドッグタイマの概要比較 改訂
		68	3.19 表 3.43 独立ウォッチドッグタイマのレジスタ比較 改訂
		71	3.20 表 3.45 シリアルコミュニケーションインタフェースのチャネル比較 改訂
		72	3.20 表 3.46 シリアルコミュニケーションインタフェースのレジスタ比較 改訂
		85	3.24 表 3.54 CRC 演算器のレジスタ比較 改訂
		86	3.25 表 3.55 12 ビット A/D コンバータの概要比較 改訂
		90	3.25 表 3.56 12 ビット A/D コンバータのレジスタ比較 改訂
		93	3.25 表 3.57 A/D 起動要因比較 追加
		95	3.26 表 3.58 RAM の概要比較 改訂

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	Jul.30.20	97	3.27 表 3.60 フラッシュメモリの概要比較 改訂
		100	3.27 表 3.61 フラッシュメモリのレジスタ比較 改訂
		108	4.2 表 4.2 100 ピンパッケージ端子機能の比較(RX66T : PGA 疑似差動入力あり USB 端子あり) 改訂
		112	4.3 表 4.3 100 ピンパッケージ端子機能の比較(RX66T : PGA 疑似差動入力あり USB 端子なし) 改訂
		117	4.4 表 4.4 100 ピンパッケージ端子機能の比較(RX66T : PGA 疑似差動入力なし USB 端子なし) 改訂
		122	4.5 表 4.5 80 ピンパッケージ端子機能(RX62T : LQFP(R5F562TxGDFF 以外)) 改訂
		125	4.6 表 4.6 80 ピンパッケージ端子機能の比較(RX62T : LQFP(R5F562TxGDFF)) 改訂
		128	4.7 表 4.7 64 ピンパッケージ端子機能の比較 改訂
		131	5.1.4 汎用入出力ポート 削除
		133	5.2.3 例外ベクタテーブル 改訂
		134	5.2.10 メインクロック発振停止検出機能の動作 追加
		135	5.2.12、5.2.15、5.2.16 追加
		136	5.2.21、5.2.22、5.2.24～5.2.26 追加
		137	5.2.27、5.2.29、5.2.30、5.2.32～5.2.34 追加
		138	5.2.35 D/A コンバータの設定について 追加
			5.2.38 表 5.1 FCU コマンドと FACI コマンドの仕様比較 改訂
		139	6 参考ドキュメント 改訂
		140	テクニカルアップデートの対応について 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1　2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2020 Renesas Electronics Corporation. All rights reserved.