M16C/62A、M16C/64A グループ

M16C/62A と M16C/64A との相違点

R01AN3469JJ0100
Rev.1.00
2016.09.12

要旨

本アプリケーションノートでは、M16C/62A 100 ピン版と M16C/64A 100 ピン版との機能の相違点を確認する際の参考資料です。

各機能の詳細については、ユーザーズマニュアル ハードウェア編または、ソフトウェアマニュアルを参照ください。

動作確認デバイス

- M16C/62A グループ 100 ピン版
- M16C/64A グループ 100 ピン版

目次

1. 概略比較 3
1.1 機能の概略比較 3
1.2 端子機能比較 5

2. 詳細比較 8
2.1 リセットの相違点 8
2.2 プロセッサモードの相違点 9
2.3 バスの相違点 10
2.4 クロックの相違点 12
2.5 プロテクトの相違点 13
2.6 割り込みの相違点 13
2.7 ウォッチドッグタイマ(監視タイマ)の相違点 17
2.8 DMAC の相違点 18
2.9 タイマの相違点 20
2.10 三相モータ制御用タイマ機能の相違点 23
2.11 シリアルインタフェースの相違点 25
2.12 A/D コンバータの相違点 28
2.13 CRC 演算回路の相違点 29
2.14 プログラマブル入出力ポートの相違点 30
2.15 フラッシュメモリの相違点 31
2.16 電気的特性の相違点 33
2.16.1 絶対最大定格の相違点 33
2.16.2 推奨動作条件の相違点 33
2.16.3 A/D 変換特性の相違点 33
2.16.4 D/A 変換特性の相違点 34
2.16.5 フラッシュメモリの電気的特性の相違点 34
2.16.6 電気的特性の相違点 (VCC1=VCC2=5V) 35
2.16.7 電気的特性の相違点 (VCC1=VCC2=3V) 38
2.17 開発ツールの相違点 41

3. M16C/62A から M16C/64A 置き換え時の注意事項 42
3.1 ソフトウェア作成時の注意事項 42
3.1.1 OFS 番地について 42
3.1.2 A/D レジスタの取得に関する注意事項 42
3.1.3 UART2 の特殊モード 4(SIM モード)を使用するときの注意事項 42
3.1.4 メインクロックに外部で生成したクロックを使用するときの注意事項 42
3.1.5 シリアルインタフェース(特殊モード 2)を使用するときの注意事項 42
3.2 回路設計上の注意事項 43
3.2.1 発振回路定数について 43

1. 概略比較

1.1 機能の概略比較

表 1.1 ～ 表 1.2に機能の相違点を示します。

表 1.1 機能の相違点(注 1)

項目		M16C/62A	M16C/64A
最小命令実行時間		62.5ns(f(XIN)=16MHz、VCC=5V)	40ns(f(BCLK)=25MHz、VCC1=2.7～5.5V)
電源電圧		4.2V ～ 5.5V (16MHz 時) 2.7V ～ 5.5V (10MHz 時)	2.7V ～ 5.5V (25MHz)
ROM		フラッシュメモリ版、マスク ROM 版 ROM 外付け版	フラッシュメモリ版
消費電力		32.5mA(typ), 50.0mA(max)(VCC = 4.2V～5.5V, f(XIN) = 16MHz 時)	25mA(f(BCLK) = 25MHz, VCC1 = 4.2～5.5V)
電圧検出	電圧検出回路	なし	パワーオンリセット 電圧監視回路 0（2 レベルより選択可） 電圧監視回路 1（3 レベルより選択可） 電圧監視回路 2（固定レベル）
クロック発生回路		XIN、XCIN	PLL、XIN、XCIN、オンチップオシレータ（125kHz）
外部バス	アドレス空間	1M バイト	1M バイト （メモリ空間拡張機能により 4M バイトに拡張可能）
	アドレスバス本数	16 本/20 本から選択可	12 本/16 本/20 本から選択可
パワーコントロール	スローリードモード	なし	あり
	低消費電流リードモード	なし	あり
リセット解除後の CPU クロック		メインクロックの 8 分周	125kHz オンチップオシレータクロックの 8 分周
入出力ポート		入出力 87 本、入力 1 本	入出力 88 本
割り込み		INT 割り込み：6 NMI 割り込み：1 キー入力割り込み：1	INT 割り込み：8 NMI 割り込み：1 キー入力割り込み：1
ウォッチドッグタイマ(監視タイマ)	リセットスタート機能	なし(停止のみ)	起動または停止を選択可能
	カウントソース	BCLK	CPU クロック、オンチップオシレータ（125kHz）
DMA	DMAC	2 チャネル 起動要因：24	4 チャネル 起動要因：43
タイマ	タイマ A、タイマ B カウントソース	f1, f8, f32, fc32 から選択	f1TIMAB, f2TIMAB, f8TIMAB, f32TIMAB, f64TIMAB, fOCO-S, fc32 から選択
	リアルタイムクロック	なし	秒、分、時、曜日カウント
	PWM 機能	なし	8 ビット×2
	リモコン信号受信機能	なし	2 回路

【注】 1. 詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 1.2 機能の相違点(注 1)

項目		M16C/62A	M16C/64A
シリアルインタフェース	UART	クロック同期/非同期兼用×3 チャネル （内、SIM インタフェース対応×1 チャネル、 IIC モード×1 チャネル） クロック同期専用×2 チャネル	クロック同期/非同期兼用×6 チャネル (内、SIM モード×1 チャネル、 I2C バスモード×6 チャネル 特殊モード 2(マスタ動作のみ)×6 チャネル) クロック同期専用×2 チャネル
	CEC 機能	なし	あり
	マルチマスタ I2C-bus インタフェース	なし	1 チャネル
A/D コンバータ	分解能	8 ビット/10 ビット選択	10 ビットのみ
	チャネル数	10 チャネル	26 チャネル
	サンプルホールド	あり/なし選択可能	ありのみ
CRC 演算回路	生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)	CRC-CCITT($X^{16}+X^{12}+X^5+1$)または CRC-16 ($X^{16}+X^{15}+X^2+1$)から選択
	SFR アクセス監視機能	なし	あり
フラッシュメモリ	オプション機能選択	なし	あり ・リセット後、ウォッチドッグタイマ自動起動選択 ・リセット後、カウントソース保護機能モード選択 ・ROM コードプロテクト選択
	ユーザ ROM ブロック分割 (256KB 時)	64K バイト×3 32K バイト×1 8K バイト×2 16K バイト×1	64K バイト×4 16K バイト×1（プログラム ROM2）
	データフラッシュ	なし	あり
	メモリマップ	ユーザ ROM ・プログラム ROM 0C0000H ～0FFFFFH	ユーザ ROM ・プログラム ROM1 080000H ～ 0FFFFFH ・プログラム ROM2 010000H ～ 013FFFH データフラッシュ ・ブロック A 00E000H ～ 00EFFFH ・ブロック B 00F000H ～ 00FFFFH
	プログラム方式	ページ(256 バイト)単位	2 ワード単位

【注】 1. 詳細はユーザーズマニュアル ハードウェア編を参照してください。

1.2 端子機能比較

表 1.3～表 1.5に端子機能の相違点を示します。

表 1.3 端子機能の相違点(1/3)

M16C/62A	M16C/64A	M16C/62A からの変更点
P9_4/DA1/TB4IN	P9_4/DA1/TB4IN/PWM1	【追加】PWM1
P9_3/DA0/TB3IN	P9_3/DA0/TB3IN/PWM0	【追加】PWM0
P9_2/TB2IN/SOUT3	P9_2/TB2IN/PMC0/SOUT3	【追加】PMC0
P9_1/TB1IN/SIN3	P9_1/TB1IN/PMC1/SIN3	【追加】PMC1
P9_0/TB0IN/CLK3	P9_0/TB0IN/CLK3	
BYTE	BYTE	
CNVSS	CNVSS	
P8_7/XCIN	P8_7/XCIN	
P8_6/XCOUT	P8_6/XCOUT	
RESET	RESET	
XOUT	XOUT	
VSS	VSS	
XIN	XIN	
VCC	VCC1	
P8_5/NMI	P8_5/NMI/SD/CEC(注 1)	【追加】SD/CEC
P8_4/INT2	P8_4/INT2/ZP	【追加】ZP
P8_3/INT1	P8_3/INT1	
P8_2/INT0	P8_2/INT0	
P8_1/TA4IN/$\overline{U}$	P8_1/TA4IN/$\overline{U}$/CTS5/RTS5	【追加】CTS5/RTS5
P8_0/TA4OUT/U	P8_0/TA4OUT/U/RXD5/SCL5	【追加】RXD5/SCL5
P7_7/TA3IN	P7_7/TA3IN/CLK5	【追加】CLK5
P7_6/TA3OUT	P7_6/TA3OUT/TXD5/SDA5	【追加】TXD5/SDA5
P7_5/TA2IN/$\overline{W}$	P7_5/TA2IN/$\overline{W}$	
P7_4/TA2OUT/W	P7_4/TA2OUT/W	
P7_3/CTS2/RTS2/TA1IN/$\overline{V}$	P7_3/CTS2/RTS2/TA1IN/$\overline{V}$	
P7_2/CLK2/TA1OUT/V	P7_2/CLK2/TA1OUT/V	
P7_1/RxD2/SCL/TA0IN/TB5IN (注 1)	P7_1/RXD2/SCL2/SCLMM/TA0IN/ TB5IN(注 1)	【追加】SCL2/SCLMM 【削除】SCL
P7_0/TXD2/SDA/TA0OUT(注 1)	P7_0/TXD2/SDA2/SDAMM/ TA0OUT(注 1)	【追加】SDA2/SDAMM 【削除】SDA

【注】 1. N チャネルオープンドレイン出力です。

表 1.4 端子機能の相違点(2/3)

M16C/62A	M16C/64A	M16C/62A からの変更点
P6_7/TXD1	P6_7/TXD1/SDA1	【追加】SDA1
P6_6/RxD1	P6_6/RXD1/SCL1	【追加】SCL1
P6_5/CLK1	P6_5/CLK1	
P6_4/CTS1/RTS1/CLKS1	P6_4/CTS1/RTS1/CTS0/CLKS1	【追加】CTS0
P6_3/TXD0	P6_3/TXD0/SDA0	【追加】SDA0
P6_2/RxD0	P6_2/RXD0/SCL0	【追加】SCL0
P6_1/CLK0	P6_1/CLK0	
P6_0/CTS0/RTS0	P6_0/RTCOUT/CTS0/RTS0	【追加】RTCOUT
P5_7/RDY/CLKOUT	P5_7/RDY/CLKOUT	
P5_6/ALE	P5_6/ALE	
P5_5/HOLD	P5_5/HOLD	
P5_4/HLDA	P5_4/HLDA	
P5_3/BCLK	P5_3/BCLK	
P5_2/RD	P5_2/RD	
P5_1/WRH/BHE	P5_1/WRH/BHE	
P5_0/WRL/WR	P5_0/WRL/WR	
P4_7/CS3	P4_7/PWM1/TXD7/SDA7/CS3	【追加】PWM1/TXD7/ SDA7
P4_6/CS2	P4_6/PWM0/RXD7/SCL7/CS2	【追加】PWM0/RXD7/ SCL7
P4_5/CS1	P4_5/CLK7/CS1	【追加】CLK7
P4_4/CS0	P4_4/CTS7/RTS7/CS0	【追加】CTS7/RTS7
P4_3/A19	P4_3/A19	
P4_2/A18	P4_2/A18	
P4_1/A17	P4_1/A17	
P4_0/A16	P4_0/A16	
P3_7/A15	P3_7/A15	
P3_6/A14	P3_6/A14	
P3_5/A13	P3_5/A13	
P3_4/A12	P3_4/A12	
P3_3/A11	P3_3/A11	
P3_2/A10	P3_2/A10	
P3_1/A9	P3_1/A9	
VCC	VCC2	
P3_0/A8 (/-/D7)	P3_0/A8 [A8/D7]	
VSS	VSS	

表 1.5 端子機能の相違点(3/3)

M16C/62A	M16C/64A	M16C/62A からの変更点
P2_7/A7(/D7/D6)	P2_7/AN2_7/A7, [A7/D7], [A7/D6]	【追加】AN2_7
P2_6/A6(/D6/D5)	P2_6/AN2_6/A6, [A6/D6], [A6/D5]	【追加】AN2_6
P2_5/A5(/D5/D4)	P2_5/INT7/AN2_5/A5, [A5/D5], [A5/D4]	【追加】INT7/AN2_5
P2_4/A4(/D4/D3)	P2_4/INT6/AN2_4/A4, [A4/D4], [A4/D3]	【追加】INT6/AN2_4
P2_3/A3(/D3/D2)	P2_3/AN2_3/A3, [A3/D3], [A3/D2]	【追加】AN2_3
P2_2/A2(/D2/D1)	P2_2/AN2_2/A2, [A2/D2], [A2/D1]	【追加】AN2_2
P2_1/A1(/D1/D0)	P2_1/AN2_1/A1, [A1/D1], [A1/D0]	【追加】AN2_1
P2_0/A0(/D0/-)	P2_0/AN2_0/A0, [A0/D0], A0	【追加】AN2_0
P1_7/D15/INT5	P1_7/INT5/IDU/D15	【追加】IDU
P1_6/D14/INT4	P1_6/INT4/IDW/D14	【追加】IDW
P1_5/D13/INT3	P1_5/INT3/IDV/D13	【追加】IDV
P1_4/D12	P1_4/D12	
P1_3/D11	P1_3/TXD6/SDA6/D11	【追加】TXD6/SDA6
P1_2/D10	P1_2/RXD6/SCL6/D10	【追加】RXD6/SCL6
P1_1/D9	P1_1/CLK6/D9	【追加】CLK6
P1_0/D8	P1_0/CTS6/RTS6/D8	【追加】CTS6/RTS6
P0_7/D7	P0_7/AN0_7/D7	【追加】AN0_7
P0_6/D6	P0_6/AN0_6/D6	【追加】AN0_6
P0_5/D5	P0_5/AN0_5/D5	【追加】AN0_5
P0_4/D4	P0_4/AN0_4/D4	【追加】AN0_4
P0_3/D3	P0_3/AN0_3/D3	【追加】AN0_3
P0_2/D2	P0_2/AN0_2/D2	【追加】AN0_2
P0_1/D1	P0_1/AN0_1/D1	【追加】AN0_1
P0_0/D0	P0_0/AN0_0/D0	【追加】AN0_0
P10_7/AN7/KI3	P10_7/AN7/KI3	
P10_6/AN6/KI2	P10_6/AN6/KI2	
P10_5/AN5/KI1	P10_5/AN5/KI1	
P10_4/AN4/KI0	P10_4/AN4/KI0	
P10_3/AN3	P10_3/AN3	
P10_2/AN2	P10_2/AN2	
P10_1/AN1	P10_1/AN1	
AVSS	AVSS	
P10_0/AN0	P10_0/AN0	
VREF	VREF	
AVCC	AVCC	
P9_7/ADTRG/SIN4	P9_7/ADTRG/SIN4	
P9_6/ANEX1/SOUT4	P9_6/ANEX1/SOUT4	
P9_5/ANEX0/CLK4	P9_5/ANEX0/CLK4	

2. 詳細比較

2.1 リセットの相違点

表 2.1にリセットの相違点を、表 2.2にリセット関連 SFR の相違点を示します。

表 2.1 リセットの相違点

項目	M16C/62A	M16C/64A
リセットの種類	ハードウェアリセット ソフトウェアリセット	ハードウェアリセット 電圧監視 0 リセット 電圧監視 1 リセット 電圧監視 2 リセット パワーオンリセット 発振停止検出リセット ウォッチドッグタイマリセット ソフトウェアリセット
コールドスタート、ウォームスタート判定方法	−	RSTFR レジスタの CWR ビットにて判定

表 2.2 リセット関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
RSTFR	−	0018h	−	−	M16C/64A のみ

2.2　プロセッサモードの相違点

表 2.3にプロセッサモード関連 SFR の相違点を示します。

表 2.3 プロセッサモード関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
PM1	0005h	0005h	0	予約ビット(“0”にしてください)	CS2 領域切り替え
			1	何も配置されていない (読み出した場合、その値は不定)	ポート P3_7～P3_4 機能選択
			2		ウォッチドッグタイマ機能選択
			3	内部予約領域拡張 【リセット後の値: 0】(注 1)	内部予約領域拡張 【リセット後の値: 1】(注 1)
			4	予約ビット(“0”にしてください)	メモリ空間拡張
			5		
PRG2C	ー	0010h	ー	ー	M16C/64A のみ

【注】 1. 詳細は表 2.7、および表 2.8を参照してください。

2.3　バスの相違点

表 2.4にバスの相違点を、表 2.5にバス設定の相違点を、表 2.6にバス関連 SFR の相違点を、表 2.7～表 2.8にチップセレクト信号によって指定する外部領域の相違点を示します。

表 2.4 バスの相違点

項目	M16C/62A	M16C/64A
アドレス空間	1M バイト	1M バイト/4M バイト（メモリ空間拡張機能）
アドレスバス幅	16 ビット/20 ビット	12 ビット/16 ビット/20 ビット
HOLD 入力	可	不可 (HOLD 端子は抵抗を介して VCC2 に接続してください)
外部バスウェイト数 (セパレートバス)	0～1 ウェイト	0～3 ウェイト
0 ウェイト設定時のライトサイクル数 (セパレートバス)	BCLK の 1 サイクル	BCLK の 2 サイクル
外部バスウェイト数 (マルチプレクスバス)	2 ウェイト固定	2～3 ウェイト

表 2.5 バス設定の相違点

項目	M16C/62A	M16C/64A
アドレスバス幅	PM0 レジスタの PM06 ビット	PM0 レジスタの PM06 ビット PM1 レジスタの PM11 ビット
外部領域ウェイト数	CSR レジスタの CSiW ビット	CSR レジスタの CSiW ビット CSE レジスタの CSEi0W、CSEi1W ビット (i = 0～3)

表 2.6 バス関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
CSE	―	001Bh	―	―	M16C/64A のみ
DBR	―	000Bh	―	―	M16C/64A のみ

表 2.7 チップセレクト信号によって指定する外部領域の相違点(PM13=0 のとき)

チップセレクト信号	M16C/62	M16C/64A (1M バイトモード)
CS3	04000h～07FFFh	04000h～07FFFh
CS2	08000h～27FFFh	08000h～26FFFh
CS1	28000h～2FFFFh	28000h～2FFFFh
CS0	メモリ拡張モード 30000h～CFFFFh マイクロプロセッサモード 30000h～FFFFFh	メモリ拡張モード 30000h～CFFFFh マイクロプロセッサモード 30000h～FFFFFh

表 2.8 チップセレクト信号によって指定する外部領域の相違点(PM13=1 のとき)

チップセレクト信号	M16C/62	M16C/64A (1M バイトモード)
CS3	06000h～07FFFh	―
CS2	08000h～27FFFh	0D800h～26FFFh
CS1	28000h～2FFFFh	28000h～2FFFFh
CS0	メモリ拡張モード 30000h～BFFFFh マイクロプロセッサモード 30000h～FFFFFh	メモリ拡張モード 30000h～7FFFFh マイクロプロセッサモード 30000h～FFFFFh

2.4 クロックの相違点

表 2.9にクロックの相違点を、表 2.10にクロック関連設定の相違点を、表 2.11にクロック関連 SFR の相違点を示します。

表 2.9 クロックの相違点

項目	M16C/62A	M16C/64A
PLL クロック	なし	あり
オンチップオシレータ	なし	125kHz
周辺機能クロック	f1、f8、f32 f1SIO2、f8SIO2、f32SIO2 fAD fc、fc32	f1、f2、f8、f32 f1SIO、f2SIO、f8SIO、f32SIO fAD fc、fc32
CLKOUT 出力	f8、f32、fc	f1、f8、f32、fc
システムクロック保護機能	なし	あり
発振停止/再発振検出機能	なし	あり
XIN-XOUT 帰還抵抗	XIN-XOUT 帰還抵抗接続のみ	XIN-XOUT 帰還抵抗接続/未接続選択

表 2.10 クロック関連設定の相違点

項目	M16C/62A	M16C/64A
CLKOUT 出力	CM0 レジスタの CM00、CM01 ビット	CM0 レジスタの CM00、CM01 ビット PCLKR レジスタの PCLK5 ビット

表 2.11 クロック関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
CM1	0007h	0007h	1	予約ビット	システムクロック選択 1
			3	予約ビット	XIN-XOUT 帰還抵抗選択
			4	予約ビット	125kHz オンチップオシレータ発振停止
CM2	−	000Ch	−	−	M16C/64A のみ
PCLKR	−	0012h	−	−	M16C/64A のみ
PLC0	−	001Ch	−	−	M16C/64A のみ
PM2	−	001Eh	−	−	M16C/64A のみ

2.5　プロテクトの相違点

表 2.12にプロテクト関連 SFR の相違点を示します。

表 2.12 プロテクト関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
PRCR	000Ah	000Ah	0	プロテクトビット 0 CM0、CM1 レジスタへの書き込み許可	プロテクトビット 0 CM0、CM1、CM2、PLC0、PCLKR レジスタへの書き込み許可
			1	プロテクトビット 1 PM0、PM1 レジスタへの書き込み許可	プロテクトビット 1 PM0、PM1、PM2、TB2SC、INVC0、INVC1 レジスタへの書き込み許可
			3	—	プロテクトビット 3 VCR2、VWCE、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可
			6	—	プロテクトビット 6 PRG2C レジスタへの書き込み許可

2.6　割り込みの相違点

表 2.13に割り込みの相違点を、表 2.14に割り込み設定の相違点を、表 2.15に割り込み関連 SFR の相違点を、表 2.16、表 2.17に割り込みベクタの相違点を示します。

表 2.13 割り込みの相違点

項目	M16C/62A	M16C/64A
NMI 許可機能	許可のみ	許可/禁止切り替え可
NMI デジタルフィルタ	なし	なし、または CPU クロックの 2、4、8、16、32、64、128 分周から選択可

表 2.14 割り込み設定の相違点

項目	M16C/62A	M16C/64A
TB4 割り込み	TB4IC レジスタ	IFSR2A レジスタの IFSR27 ビット TB4IC レジスタ
TB3 割り込み	TB3IC レジスタ	IFSR2A レジスタの IFSR26 ビット TB3IC レジスタ

表 2.15 割り込み関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
INT7IC	─	0042h	─	─	M16C/64A のみ
INT6IC	─	0043h	─	─	M16C/64A のみ
DM2IC	─	0069h	─	─	M16C/64A のみ
DM3IC	─	006Ah	─	─	M16C/64A のみ
U5BCNIC	─	006Bh	─	─	M16C/64A のみ
CEC1IC	─	006Bh	─	─	M16C/64A のみ
S5TIC	─	006Ch	─	─	M16C/64A のみ
CEC2IC	─	006Ch	─	─	M16C/64A のみ
S5RIC	─	006Dh	─	─	M16C/64A のみ
U6BCNIC	─	006Eh	─	─	M16C/64A のみ
RTCTIC	─	006Eh	─	─	M16C/64A のみ
S6TIC	─	006Fh	─	─	M16C/64A のみ
RTCCIC	─	006Fh	─	─	M16C/64A のみ
S6RIC	─	0070h	─	─	M16C/64A のみ
U7BCNIC	─	0071h	─	─	M16C/64A のみ
PMC0IC	─	0071h	─	─	M16C/64A のみ
S7TIC	─	0072h	─	─	M16C/64A のみ
PMC1IC	─	0072h	─	─	M16C/64A のみ
S7RIC	─	0073h	─	─	M16C/64A のみ
IICIC	─	007Bh	─	─	M16C/64A のみ
SCLDAIC		007Ch	─	─	M16C/64A のみ
IFSR3A	─	0205h	─	─	M16C/64A のみ
IFSR2A	─	0206h	─	─	M16C/64A のみ
IFSR	035Fh	0207h	─	アドレス変更	
AIER	0009h	020Eh	─	アドレス変更	
AIER2	─	020Fh	─	─	M16C/64A のみ
RMAD2	─	0218h ～ 021Ah	─	─	M16C/64A のみ
RMAD3	─	021Ch ～ 021Eh	─	─	M16C/64A のみ
PCR	03FFh	0366h	─	アドレス変更	
			4	何も配置されていない	CEC 出力許可
			5	何も配置されていない	INT6 入力許可
			6	何も配置されていない	INT7 入力許可
			7	何も配置されていない	キー入力許可
NMIDF	─	0369h	─	─	M16C/64A のみ

表 2.16 割り込みベクタの相違点 (1/2)

ソフトウェア割り込み番号	ベクタ番地	M16C/62A	M16C/64A
0	+0 ～ +3 (0000h ～ 0003h)	BRK 命令	BRK 命令
1	+4 ～ +7 (0004h ～ 0007h)	予約	予約
2	+8 ～ +11 (0008h ～ 000Bh)	予約	INT7
3	+12 ～ +15 (000Ch ～ 000Fh)	予約	INT6
4	+16 ～ +19 (0010h ～ 0013h)	INT3	INT3
5	+20 ～ +23 (0014h ～ 0017h)	タイマ B5	タイマ B5
6	+24 ～ +27 (0018h ～ 001Bh)	タイマ B4	タイマ B4、UART1 スタート/ストップコンディション検出、バス衝突検出
7	+28 ～ +31 (001Ch ～ 001Fh)	タイマ B3	タイマ B3、UART0 スタート/ストップコンディション検出、バス衝突検出
8	+32 ～ +35 (0020h ～ 0023h)	SIO4、INT5	SIO4、INT5
9	+36 ～ +39 (0024h ～ 0027h)	SIO3、INT4	SIO3、INT4
10	+40 ～ +43 (0028h ～ 002Bh)	バス衝突検出	UART2 スタート/ストップコンディション検出、バス衝突検出
11	+44 ～ +47 (002Ch ～ 002Fh)	DMA0	DMA0
12	+48 ～ +51 (0030h ～ 0033h)	DMA1	DMA1
13	+52 ～ +55 (0034h ～ 0037h)	キー入力割り込み	キー入力割り込み
14	+56 ～ +59 (0038h ～ 003Bh)	A/D コンバータ	A/D コンバータ
15	+60 ～ +63 (003Ch ～ 003Fh)	UART2 送信、NACK	UART2 送信、NACK2
16	+64 ～ +67 (0040h ～ 0043h)	UART2 受信、ACK	UART2 受信、ACK2
17	+68 ～ +71 (0044h ～ 0047h)	UART0 送信	UART0 送信、NACK0
18	+72 ～ +75 (0048h ～ 004Bh)	UART0 受信	UART0 受信、ACK0
19	+76 ～ +79 (004Ch ～ 004Fh)	UART1 送信	UART1 送信、NACK1
20	+80 ～ +83 (0050h ～ 0053h)	UART1 受信	UART1 受信、ACK1
21	+84 ～ +87 (0054h ～ 0057h)	タイマ A0	タイマ A0
22	+88 ～ +91 (0058h ～ 005Bh)	タイマ A1	タイマ A1
23	+92 ～ +95 (005Ch ～ 005Fh)	タイマ A2	タイマ A2
24	+96 ～ +99 (0060h ～ 0063h)	タイマ A3	タイマ A3
25	+100 ～ +103 (0064h ～ 0067h)	タイマ A4	タイマ A4
26	+104 ～ +107 (0068h ～ 006Bh)	タイマ B0	タイマ B0
27	+108 ～ +111 (006Ch ～ 006Fh)	タイマ B1	タイマ B1
28	+112 ～ +115 (0070h ～ 0073h)	タイマ B2	タイマ B2
29	+116 ～ +119 (0074h ～ 0077h)	INT0	INT0
30	+120 ～ +123 (0078h ～ 007Bh)	INT1	INT1

表 2.17 割り込みベクタの相違点 (2/2)

ソフトウェア割り込み番号	ベクタ番地	M16C/62A	M16C/64A
31	+124 ～ +127 (007Ch ～ 007Fh)	INT2	INT2
32	+128 ～ +131 (0080h ～ 0083h)	予約	予約
33	+132 ～ +135 (0084h ～ 0087h)		
34	+136 ～ +139 (0088h ～ 008Bh)		
35	+140 ～ +143 (008Ch ～ 008Fh)		
36	+144 ～ +147 (0090h ～ 0093h)		
37	+148 ～ +151 (0094h ～ 0097h)		
38	+152 ～ +155 (0098h ～ 009Bh)		
39	+156 ～ +159 (009Ch ～ 009Fh)		
40	+160 ～ +163 (00A0h ～ 00A3h)		
41	+164 ～ +167 (00A4h ～ 00A7h)		DMA2
42	+168 ～ +171 (00A8h ～ 00ABh)		DMA3
43	+172 ～ +175 (00ACh ～ 00AFh)		UART5 スタート/ストップコンディション検出、バス衝突検出、CEC1
44	+176 ～ +179 (00B0h ～ 00B3h)		UART5 送信、NACK5、CEC2
45	+180 ～ +183 (00B4h ～ 00B7h)		UART5 受信、ACK5
46	+184 ～ +187 (00B8h ～ 00BBh)		UART6 スタート/ストップコンディション検出、バス衝突検出、リアルタイムクロック周期
47	+188 ～ +191 (00BCh ～ 00BFh)		UART6 送信、NACK6、リアルタイムクロックコンペア
48	+192 ～ +195 (00C0h ～ 00C3h)		UART6 受信、ACK6
49	+196 ～ +199 (00C4h ～ 00C7h)		UART7 スタート/ストップコンディション検出、バス衝突検出、リモコン信号受信機能 0
50	+200 ～ +203 (00C8h ～ 00CBh)		UART7 送信、NACK7、リモコン受信機能 1
51	+204 ～ +207 (00CCh ～ 00CFh)		UART7 受信、ACK7
52 ～ 58	+208 ～ +211 (00D0h ～ 00D3h) ～ +232 ～ +235 (00E8h ～ 00EBh)		予約
59	+236 ～ +239 (00ECh ～ 00EFh)		I2C-bus インタフェース割り込み
60	+240 ～ +243 (00F0h ～ 00F3h)		SCL/SDA 割り込み
61 ～ 63	+244 ～ +247 (00F4h ～ 00F7h) ～ +252～ +255 (00FCh ～ 00FFh)		予約

2.7　ウォッチドッグタイマ(監視タイマ)の相違点

表 2.18にウォッチドッグタイマ(監視タイマ)の相違点を、表 2.19にウォッチドッグタイマ(監視タイマ)関連 SFR の相違点を示します。

表 2.18 ウォッチドッグタイマ(監視タイマ)の相違点

項目	M16C/62A	M16C/64A
カウントソース保護モード	なし	あり
ウォッチドッグタイマ(監視タイマ)の初期化	WDTS レジスタに対する書き込み命令を実行	WDTR レジスタに “00h” 、“FFh” と続けて書く
カウント開始条件		・OFS1 の WDTON ビットを “0” にしてリセット解除（リセット解除後、自動的に起動） ・WDTS レジスタに対する書き込み命令を実行
アンダフロー時の動作	ウォッチドッグタイマ(監視タイマ)割り込み発生のみ	ウォッチドッグタイマ割り込み発生、または ウォッチドッグタイマリセット

表 2.19 ウォッチドッグタイマ(監視タイマ)関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
CSPR	−	037Ch	−	−	M16C/64A のみ
WDTR	−	037Dh	−	−	M16C/64A のみ
WDTS	000Eh	037Eh	−	アドレス変更	
WDC	000Fh	037Fh	−	アドレス変更	
OFS1(注 1)	−	FFFFFh	−	−	M16C/64A のみ

【注】 1. OFS1 はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。

2.8　DMAC の相違点

表 2.20にDMAC の相違点を、表 2.21にDMAC 設定の相違点を、表 2.22にDMAC 関連 SFR の相違点を示します。

表 2.20 DMAC の相違点

項目	M16C/62A	M16C/64A
チャネル数	2 チャネル	4 チャネル

表 2.21 DMAC 設定の相違点

項目	M16C/62A	M16C/64A
DMA 転送要因の選択	DMiSL レジスタ(i=0,1)の DSEL0～DSEL3 ビット、DMS ビットで選択	DMiSL レジスタ(i=0～3)の DSEL0～DSEL4 ビット、DMS ビットで選択

表 2.22 DMAC 関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
DM0SL	03B8h	0398h	−	アドレス変更	
			4	何も配置されていない	DMA 要求要因選択ビット
DM1SL	03BAh	039Ah	−	アドレス変更	
			4	何も配置されていない	DMA 要求要因選択ビット
DM2SL	−	0390h	−	−	M16C/64A のみ
DM3SL	−	0392h	−	−	M16C/64A のみ
DM0CON	002Ch	018Ch	−	アドレス変更	
DM1CON	003Ch	019Ch	−	アドレス変更	
DM2CON	−	01ACh	−	−	M16C/64A のみ
DM3CON	−	01BCh	−	−	M16C/64A のみ
TCR0	0029h～0028h	0189h～0188h	−	アドレス変更	
TCR1	0039h～0038h	0199h～0198h	−	アドレス変更	
TCR2	−	01A9h～01A8h	−	−	M16C/64A のみ
TCR3	−	01B9h～01B8h	−	−	M16C/64A のみ
SAR0	0022h～0020h	0182h～0180h	−	アドレス変更	
SAR1	0032h～0030h	0192h～0190h	−	アドレス変更	
SAR2	−	01A2h～01A0h	−	−	M16C/64A のみ
SAR3	−	01B2h～01B0h	−	−	M16C/64A のみ
DAR0	0026h～0024h	0186h～0184h	−	アドレス変更	
DAR1	0036h～0034h	0196h～0194h	−	アドレス変更	
DAR2	−	01A6h～01A4h	−	−	M16C/64A のみ
DAR3	−	01B6h～01B4h	−	−	M16C/64A のみ

2.9　タイマの相違点

表 2.23にタイマの相違点を、表 2.25、表 2.26にタイマ関連 SFR の相違点を示します。

表 2.23 タイマの相違点

項目	M16C/62A	M16C/64A
カウントソース	f1、f8、f32、fc32	f1、f2、f8、f32、f64、fOCO-S、fc32
出力極性反転機能	なし	あり
プログラマブル出力モード	なし	あり
TAiOUT 端子による アップダウン切り替え	あり	なし
二相パルス信号処理での カウンタ初期化	なし	あり
パルス周期測定モード、 パルス幅測定モード時の タイマレジスタ初期値	不定	書き込み設定可
パルス周期測定モード、 パルス幅測定モード時の タイマレジスタ読み出し	TBj レジスタ(j=0～5)を読むと、 リロードレジスタの内容(測定結果)が 読める	・PPWFSk レジスタ(k=0、1)の PPWFSk2～PPWFSk0 ビットが“0”の場合 TBj レジスタを読むと、リロードレジスタの内容 (測定結果)が読める ・PPWFSk レジスタ(k=0、1)の PPWFSk2～PPWFSk0 ビットが“1”の場合 TBj レジスタを読むと、カウンタの内容 (カウント中の値)が読める TBj1 レジスタを読むと、リロードレジスタの内容 (測定結果)が読める
オーバフローフラグクリア方法	TBjS ビットが“1”(カウント開始)の状態で、MR3 ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBjMR レジスタに値を書く	TBjMR レジスタに値を書く

表 2.24 タイマ設定の相違点

項目	M16C/62A	M16C/64A
UDF レジスタへの書き込み	MOV 命令を使用して書き込み	ビット単位で書き込み可

表 2.25 タイマ関連 SFR の相違点 (1/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
PCLKR	―	0012h	―	―	M16C/64A のみ
TACS0	―	01D0h	―	―	M16C/64A のみ
TACS1	―	01D1h	―	―	M16C/64A のみ
TACS2	―	01D2h	―	―	M16C/64A のみ
PWMFS	―	01D4h	―	―	M16C/64A のみ
TAPOFS	―	01D5h	―	―	M16C/64A のみ
TAOW	―	01D8h	―	―	M16C/64A のみ
TA0MR	0396h	0336h	―	アドレス変更	
			4	【イベントカウンタモード：二相パルス信号処理を使用しない場合】アップ/ダウン切り替え要因選択	【イベントカウンタモード：二相パルス信号処理を使用しない場合】予約ビット
TA1MR	0397h	0337h	―	アドレス変更	
			4	【イベントカウンタモード：二相パルス信号処理を使用しない場合】アップ/ダウン切り替え要因選択	【イベントカウンタモード：二相パルス信号処理を使用しない場合】予約ビット
TA2MR	0398h	0338h	―	アドレス変更	
			4	【イベントカウンタモード：二相パルス信号処理を使用しない場合】アップ/ダウン切り替え要因選択	【イベントカウンタモード：二相パルス信号処理を使用しない場合】予約ビット
TA3MR	0399h	0339h	―	アドレス変更	
			4	【イベントカウンタモード：二相パルス信号処理を使用しない場合】アップ/ダウン切り替え要因選択	【イベントカウンタモード：二相パルス信号処理を使用しない場合】予約ビット
TA4MR	039Ah	033Ah	―	アドレス変更	
			4	【イベントカウンタモード：二相パルス信号処理を使用しない場合】アップ/ダウン切り替え要因選択	
TA0	0387h～0386h	0327h～0326h	―	アドレス変更	
TA1	0389h～0388h	0329h～0328h	―	アドレス変更	
TA2	038Bh～038Ah	032Bh～032Ah	―	アドレス変更	
TA3	038Dh～038Ch	032Dh～032Ch	―	アドレス変更	
TA4	038Fh～038Eh	032Fh～032Eh	―	アドレス変更	
TABSR	0380h	0320h	―	アドレス変更	
TBSR	0340h	0300h	―	アドレス変更	
UDF	0384h	0324h	―	アドレス変更	
			5	ライトのみ可	リード/ライト可
			6	ライトのみ可	リード/ライト可
			7	ライトのみ可	リード/ライト可
ONSF	0382h	0322h	―	アドレス変更	
			5	何も配置されていない	Z 相入力有効ビット
TRGSR	0383h	0323h	―	アドレス変更	
CPSRF	0381h	0015h	―	アドレス変更	
TA11	0343h ～0342h	0303h～0302h	―	―	M16C/64A のみ
TA21	0345h ～0344h	0305h～0304h	―	―	M16C/64A のみ
TA41	0347h ～0346h	0307h～0306h	―	―	M16C/64A のみ

表 2.26 タイマ関連 SFR の相違点 (2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
TB0MR	039Bh	033Bh	－	アドレス変更	
TB1MR	039Ch	033Ch	－	アドレス変更	
TB2MR	039Dh	033Dh	－	アドレス変更	
TB3MR	035Bh	031Bh	－	アドレス変更	
TB4MR	035Ch	031Ch	－	アドレス変更	
TB5MR	035Dh	031Dh	－	アドレス変更	
TB0	0391h～0390h	0331h～0330h	－	アドレス変更	
TB1	0393h～0392h	0333h～0332h	－	アドレス変更	
TB2	0395h～0394h	0335h～0334h	－	アドレス変更	
TB3	0351h～0350h	0311h～0310h	－	アドレス変更	
TB4	0353h～0352h	0313h～0312h	－	アドレス変更	
TB5	0355h～0354h	0315h～0314h	－	アドレス変更	
TB01	－	01C1h～01C0h	－	－	M16C/64A のみ
TB11	－	01C3h～01C2h	－	－	M16C/64A のみ
TB21	－	01C5h～01C4h	－	－	M16C/64A のみ
TB31	－	01E1h～01E0h	－	－	M16C/64A のみ
TB41	－	01E3h～01E2h	－	－	M16C/64A のみ
TB51	－	01E5h～01E4h	－	－	M16C/64A のみ
PPWFS1	－	01C6h	－	－	M16C/64A のみ
PPWFS2	－	01E6h	－	－	M16C/64A のみ
TBCS0	－	01C8h	－	－	M16C/64A のみ
TBCS1	－	01C9h	－	－	M16C/64A のみ
TBCS2	－	01E8h	－	－	M16C/64A のみ
TBCS3	－	01E9h	－	－	M16C/64A のみ

2.10 三相モータ制御用タイマ機能の相違点

表 2.27に三相モータ制御用タイマの相違点を、表 2.28に三相モータ制御タイマ設定の相違点を、表 2.29に三相モータ制御タイマ関連 SFR の相違点を示します。

表 2.27 三相モータ制御用タイマの相違点

項目	M16C/62A	M16C/64A
カウントソース	f1、f8、f32、fc32	f1、f2、f8、f32、f64、fOCO-S、fc32
搬送派状態検出	なし	あり
通電出力論理制御	なし	あり
短絡防止時間	有効のみ	有効/無効選択可
位置データ保持機能	なし	あり
三相出力強制遮断機能	なし	SD 端子による強制遮断機能あり

表 2.28 三相モータ制御タイマ設定の相違点

項目	M16C/62A	M16C/64A
三相 PWM 出力機能選択	TAiMR レジスタの MR0 ビット(i=1,2,4) INVC0 レジスタの INV02 ビット	TAiMR レジスタの MR0 ビット(i=1,2,4) INVC0 レジスタの INV02 ビット PFCR レジスタの PFC0～PFC5 ビット
短絡防止時間タイマトリガ	固定	INVC1 レジスタの INV16 ビット

表 2.29 三相モータ制御タイマ関連 SFR の相違点

<table>
<tr><th rowspan="2">シンボル</th><th colspan="2">アドレス</th><th rowspan="2">bit</th><th colspan="2">変更箇所</th></tr>
<tr><th>M16C/62A</th><th>M16C/64A</th><th>M16C/62A</th><th>M16C/64A</th></tr>
<tr><td rowspan="3">INVC0</td><td rowspan="3">0348h</td><td rowspan="3">0308h</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>0</td><td>割り込み有効出力極性選択
0：タイマ A1 リロード制御信号が“1”の時タイマ B2 割り込み発生
1：タイマ A1 リロード制御信号が“0”の時タイマ B2 割り込み発生
三相モード 1 のときだけ有効</td><td rowspan="2">ICTB2 カウント条件選択
INV01 INV00
0 0 タイマ B2 アンダフロー
0 1 タイマ B2 アンダフロー
1 0 タイマ A1 リロード制御信号が“0”のときのタイマ B2 アンダフロー
1 1 タイマ A1 リロード制御信号が“1”のときのタイマ B2 アンダフロー</td></tr>
<tr><td>1</td><td>割り込み有効出力指定
0：指定なし
1：割り込み有効出力極性選択ビットにより選択
三相モード 1 のときだけ有効</td></tr>
<tr><td rowspan="5">INVC1</td><td rowspan="5">0349h</td><td rowspan="5">0309h</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>3</td><td>何も配置されていない</td><td>搬送波形検出</td></tr>
<tr><td>4</td><td>予約ビット</td><td>通電出力論理制御</td></tr>
<tr><td>5</td><td rowspan="2">何も配置されていない</td><td>短絡防止時間無効</td></tr>
<tr><td>6</td><td>短絡防止時間タイマ</td></tr>
<tr><td>IDB0</td><td>034Ah</td><td>030Ah</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>IDB1</td><td>030Bh</td><td>030Bh</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>DTT</td><td>034Ch</td><td>030Ch</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>ICTB2</td><td>034Dh</td><td>030Dh</td><td>ー</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TB2SC</td><td>ー</td><td>033Eh</td><td>ー</td><td>ー</td><td>M16C/64A のみ</td></tr>
<tr><td>PDRF</td><td>ー</td><td>030Eh</td><td>ー</td><td>ー</td><td>M16C/64A のみ</td></tr>
<tr><td>PFCR</td><td>ー</td><td>0318h</td><td>ー</td><td>ー</td><td>M16C/64A のみ</td></tr>
<tr><td>TPRC</td><td>ー</td><td>01DAh</td><td>ー</td><td>ー</td><td>M16C/64A のみ</td></tr>
</table>

2.11 シリアルインタフェースの相違点

表 2.30にシリアルインタフェースの相違点を、表 2.31～表 2.33にシリアルインタフェース関連 SFR の相違点を示します。

表 2.30 シリアルインタフェースの相違点

項目	M16C/62A	M16C/64A
クロック同期/非同期	クロック同期/非同期兼用： 3 チャネル(UART0～2) クロック同期専用： 2 チャネル(SIO3、SIO4)	クロック同期/非同期兼用： 6 チャネル(UART0～2、UART5～7) クロック同期専用： 2 チャネル(SIO3、SIO4)
特殊モード 1(I2C モード)	1 チャネル(UART2)	6 チャネル(UART0～2、UART5～7)
特殊モード 2	なし	
特殊モード 3(バス衝突検出機能、IE モード)	なし	
カウントソース	f1、f8、f32	f1/f2、f8、f32
CTS/RTS 分離機能	なし	UCON レジスタの RCSP ビット
SDA デジタル遅延選択	アナログ遅延/デジタル遅延選択可	デジタル遅延のみ

表 2.31 シリアルインタフェース関連 SFR の相違点 (1/3)

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
PCLKR	―	0012h	―	―	M16C/64A のみ
U0TB	03A3h～03A2h	024Bh～024Ah	―	アドレス変更	
U1TB	03ABh～03AAh	025Bh～025Ah	―	アドレス変更	
U2TB	037Bh～037Ah	026Bh～026Ah	―	アドレス変更	
U5TB	―	028Bh～028Ah	―	―	M16C/64A のみ
U6TB	―	029Bh～029Ah	―	―	M16C/64A のみ
U7TB	―	02ABh～02AAh	―	―	M16C/64A のみ
U0RB	03A7h～03A6h	024Fh～024Eh	―	アドレス変更	
			11	何も配置されていない	アービトレーションロスト検出
U1RB	03AFh～03AEh	025Fh～025Eh	―	アドレス変更	
			11	何も配置されていない	アービトレーションロスト検出
U2RB	037Fh～037Eh	026Fh～026Eh	―	アドレス変更	
U5RB	―	028Fh～028Eh	―	―	M16C/64A のみ
U6RB	―	029Fh～029Eh	―	―	M16C/64A のみ
U7RB	―	02AFh～02AEh	―	―	M16C/64A のみ

表 2.32 シリアルインタフェース関連 SFR の相違点 (2/3)

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
U0BRG	03A1h	0249h	ー	アドレス変更	
U1BRG	03A9h	0259h	ー	アドレス変更	
U2BRG	0379h	0269h	ー	アドレス変更	
U5BRG	ー	0289h	ー	ー	M16C/64A のみ
U6BRG	ー	0299h	ー	ー	M16C/64A のみ
U7BRG	ー	02A9h	ー	ー	M16C/64A のみ
U0MR	03A0h	0248h	ー	アドレス変更	
			7	スリープ選択ビット	TXD、RXD 入出力極性切り替え
U1MR	03A8h	0258h	ー	アドレス変更	
			7	スリープ選択ビット	TXD、RXD 入出力極性切り替え
U2MR	0378h	0268h	ー	アドレス変更	
U5MR	ー	0288h	ー	ー	M16C/64A のみ
U6MR	ー	0298h	ー	ー	M16C/64A のみ
U7MR	ー	02A8h	ー	ー	M16C/64A のみ
U0C0	03A4h	024Ch	ー	アドレス変更	
U1C0	03ACh	025Ch	ー	アドレス変更	
U2C0	037Ch	026Ch	ー	アドレス変更	
			5	何も配置されていない	データ出力選択
U5C0	ー	028Ch	ー	ー	M16C/64A のみ
U6C0	ー	029Ch	ー	ー	M16C/64A のみ
U7C0	ー	02ACh	ー	ー	M16C/64A のみ
U0C1	03A5h	024Dh	ー	アドレス変更	
			6	何も配置されていない	データ論理選択
			7	何も配置されていない	エラー信号出力許可
U1C1	03ADh	025Dh	ー	アドレス変更	
			6	何も配置されていない	データ論理選択
			7	何も配置されていない	エラー信号出力許可
U2C1	037Dh	026Dh	ー	アドレス変更	
U5C1	ー	028Dh	ー	ー	M16C/64A のみ
U6C1	ー	029Dh	ー	ー	M16C/64A のみ
U7C1	ー	02ADh	ー	ー	M16C/64A のみ
UCON	03B0h	0250h	ー	アドレス変更	
			6	何も配置されていない	UART0 CTS/RTS 分離

表 2.33 シリアルインタフェース関連 SFR の相違点 (3/3)

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
U0SMR	ー	0247h	ー	ー	M16C/64A のみ
U1SMR	ー	0257h	ー	ー	M16C/64A のみ
U2SMR	0377h	0267h	ー	アドレス変更	
			3	SCLL 同期出力許可	予約ビット
			7	SDA ディジタル遅延選択	何も配置されていない
U5SMR	ー	0287h	ー	ー	M16C/64A のみ
U6SMR	ー	0297h	ー	ー	M16C/64A のみ
U7SMR	ー	02A7h	ー	ー	M16C/64A のみ
U0SMR2	ー	0246h	ー	ー	M16C/64A のみ
U1SMR2	ー	0256h	ー	ー	M16C/64A のみ
U2SMR2	0376h	0266h	ー	アドレス変更	
			7	スタート/ストップコンディション条件制御	何も配置されていない
U5SMR2	ー	0286h	ー	ー	M16C/64A のみ
U6SMR2	ー	0296h	ー	ー	M16C/64A のみ
U7SMR2	ー	02A6h	ー	ー	M16C/64A のみ
U0SMR3	ー	0245h	ー	ー	M16C/64A のみ
U1SMR3	ー	0255h	ー	ー	M16C/64A のみ
U2SMR3	0375h	0265h	ー	アドレス変更	
			1	何も配置されていない	クロック位相設定
			3	何も配置されていない	クロック出力選択
U5SMR3	ー	0285h	ー	ー	M16C/64A のみ
U6SMR3	ー	0295h	ー	ー	M16C/64A のみ
U7SMR3	ー	02A5h	ー	ー	M16C/64A のみ
U0SMR4	ー	0244h	ー	ー	M16C/64A のみ
U1SMR4	ー	0254h	ー	ー	M16C/64A のみ
U2SMR4	ー	0264h	ー	ー	M16C/64A のみ
U5SMR4	ー	0284h	ー	ー	M16C/64A のみ
U6SMR4	ー	0294h	ー	ー	M16C/64A のみ
U7SMR4	ー	02A4h	ー	ー	M16C/64A のみ
S3TRR	0360h	0270h	ー	アドレス変更	
S3C	0362h	0272h	ー	アドレス変更	
			4	何も配置されていない	CLK 極性選択
S3BRG	0363h	0273h	ー	アドレス変更	
S4TRR	0364h	0274h	ー	アドレス変更	
S4C	0366h	0276h	ー	アドレス変更	
			4	何も配置されていない	CLK 極性選択
S4BRG	0367h	0277h	ー	ー	M16C/64A のみ
S34C2	ー	0278h	ー	ー	M16C/64A のみ

2.12 A/D コンバータの相違点

表 2.34にA/D コンバータの相違点を、表 2.35にA/D コンバータ関連 SFR の相違点を示します。

表 2.34 A/D コンバータの相違点

項目(注 1)	M16C/62A	M16C/64A
動作クロック	fAD 、 fAD の 2 分周 、 fAD の 4 分周から選択	f1、f1 の 2 分周、f1 の 3 分周、f1 の 4 分周、f1 の 6 分周、f1 の 12 分周から選択
分解能	8 ビット、10 ビットから選択	10 ビット固定
サンプル&ホールド	あり、なしから選択	ありのみ
アナログ入力端子	10 本 AN0～AN7、ANEX0、ANEX1	26 本 AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7 ANEX0、ANEX1
1 端子あたりの変換速度	サンプル＆ホールドなし 分解能 8 ビットの場合 49ϕAD サイクル 分解能 10 ビットの場合 59ϕAD サイクル サンプル&ホールドあり 分解能 8 ビットの場合 28ϕAD サイクル 分解能 10 ビットの場合 33ϕAD サイクル	最短 43ϕAD サイクル
外部オペアンプ接続モード	あり	なし
断線検知アシスト機能	なし	あり
A/D 動作クロック周波数(ϕAD)	サンプル＆ホールドなし 250kHz～10MHz サンプル&ホールドあり 1MHz～10MHz	4.0V≦VCC1≦5.5V 2MHz～25MHz 3.2V≦VCC1≦4.0V 2MHz～16MHz 3.0V≦VCC1≦3.2V 2MHz～10MHz

表 2.35 A/D コンバータ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
AINRST	−	03A2h	−	−	M16C/64A のみ
ADCON1	03D7h	03D7h	3	8/10 ビットモード選択	何も配置されていない
			5	Vref 接続	A/D スタンバイ
			7,6	外部オペアンプ接続モード OPA1 OPA0 0 0 : ANEX0,ANEX1 は使用しない 0 1 : ANEX0 入力を A/D 変換 1 0 : ANEX1 入力を A/D 変換 1 1 : 外部オペアンプ接続モード	拡張端子設定 ADEX1 ADEX0 0 0 : ANEX0,ANEX1 は使用しない 0 1 : ANEX0 入力を A/D 変換 1 0 : ANEX1 入力を A/D 変換 1 1 : 設定しないでください
ADCON2	03D4h	03D4h	0	A/D 変換方式選択	何も配置されていない
			2,1	予約ビット	A/D 入力グループ選択
			4	何も配置されていない	周波数選択 2

2.13　CRC 演算回路の相違点

表 2.36にCRC 演算回路の相違点を、表 2.37にCRC 演算回路関連 SFR の相違点を示します。

表 2.36 CRC 演算回路の相違点

項目	M16C/62A	M16C/64A
生成多項式	CRC-CCITT ($X^{16}+X^{12}+X^{5}+1$)	CRC-CCITT ($X^{16}+X^{12}+X^{5}+1$)または CRC-16 ($X^{16}+X^{15}+X^{2}+1$)
MSB/LSB 選択	なし	あり
SFR アクセス監視機能	なし	あり

表 2.37 CRC 演算回路関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
CRCSAR	－	03B5h～03B4h	－	－	M16C/64A のみ
CRCMR	－	03B6h	－	－	M16C/64A のみ

2.14 プログラマブル入出力ポートの相違点

表 2.38にプログラマブル入出力ポートの相違点を、表 2.39にプログラマブル入出力ポート関連 SFR の相違点を示します。

表 2.38 プログラマブル入出力ポートの相違点

項目	M16C/62A	M16C/64A
NMI/SD フィルタ	なし	あり/なし選択可

表 2.39 プログラマブル入出力ポート関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
PUR0	03FCh	0360h	−	アドレス変更	
PUR1	03FDh	0361h	−	アドレス変更	
PUR2	03FEh	0362h	−	アドレス変更	
PCR	03FFh	0366h	−	アドレス変更	
			4	何も配置されていない	CEC 出力許可
			5	何も配置されていない	INT6 入力許可
			6	何も配置されていない	INT7 入力許可
			7	何も配置されていない	キー入力許可
PD8	03F2h	03F2h	5	何も配置されていない	ポート P8_5 方向ビット

2.15　フラッシュメモリの相違点

表 2.40にフラッシュメモリの相違点を、表 2.41にフラッシュメモリ関連 SFR の相違点を、表 2.42にソフトウェアコマンドの相違点を示します。

表 2.40 フラッシュメモリの相違点

項目		M16C/62A	M16C/64A
書き込み単位		ページ(256 バイト)単位	2 ワード(4 バイト)単位
プログラム/イレーズ回数		100 回	プログラム ROM1：1,000 回 プログラム ROM2：1,000 回 データフラッシュ：10,000 回
CPU 書き換えモード		EW0 モード相当	EW0 モード/EW1 モード
CPU 書き換え時の動作条件	動作速度	f(BCLK) = 12.5MHz 以下、1 ウェイト f(BCLK) = 6.25MHz 以下、ウェイトなし	f(BCLK) = 10.0MHz 以下、1 ウェイト
	電源電圧	4.2V～5.5V	2.7V～5.5V
データ保持時間		10 年	20 年
フラッシュメモリ供給電源 OFF		あり	なし
スローリードモード		なし	あり
低消費電力リードモード		なし	あり
ユーザブート機能		なし	あり
強制イレーズ機能		なし	あり
ブロック分割		ブロック 6：0C0000h～0CFFFFh(64K バイト) ブロック 5：0D0000h～0DFFFFh(64K バイト) ブロック 4：0E0000h～0EFFFFh(64K バイト) ブロック 3：0F0000h～0F7FFFh(32K バイト) ブロック 2：0F8000h～0F9FFFh(8K バイト) ブロック 1：0FA000h～0FBFFFh(8K バイト) ブロック 0：0FC000h～0FFFFFh(16K バイト)	[データフラッシュ] ブロック A：00E000h～0EFFFh(4K バイト) ブロック B：00F000h～0FFFFh(4K バイト) [プログラム ROM2] プログラム ROM2：010000h～013FFFh [プログラム ROM1] ブロック 7：080000h～08FFFFh(64K バイト) ブロック 6：090000h～09FFFFh(64K バイト) ブロック 5：0A0000h～0AFFFFh(64K バイト) ブロック 4：0B0000h～0BFFFFh(64K バイト) ブロック 3：0C0000h～0CFFFFh(64K バイト) ブロック 2：0D0000h～0DFFFFh(64K バイト) ブロック 1：0E0000h～0EFFFFh(64K バイト) ブロック 0：0F0000h～0FFFFFh(64K バイト)
ステータスレジスタ		SR3(D3)：ブロックステータスアフタプログラム SR4(D4)：プログラムステータス SR5(D5)：イレーズステータス SR7(D7)：ライトステートマシンステータス	SR4(D4)：プログラムステータス SR5(D5)：イレーズステータス SR7(D7)：シーケンサステータス
0FFFFFFh (0FFFFFh) 番地機能		ROM コードプロテクト制御 bit 7-6：ROM コードプロテクトレベル 1 設定 5-4：ROM コードプロテクト解除 3-2：ROM コードプロテクトレベル 2 設定	オプション機能選択 bit 0: ウォッチドッグタイマ機能選択 2: ROM コードプロテクト解除 3: ROM コードプロテクト 5: Vdet0 選択 1 6: 電圧検出 0 回路起動 7: リセット後カウントソース保護モード選択

表 2.41 フラッシュメモリ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/62A	M16C/64A		M16C/62A	M16C/64A
FMR0	03B7h	0220h	–	アドレス変更	
			3	フラッシュメモリリセット	フラッシュメモリ停止
			5	ユーザ ROM 領域選択	予約ビット(注 3)
			6	何も配置されていない	プログラムステータスフラグ
			7	何も配置されていない	イレーズステータスフラグ
FMR1	03B6h	0221h	–	アドレス変更	
			1	予約ビット	FMR6 レジスタへの書き込み許可
			3	フラッシュメモリ供給電源 OFF	予約ビット
			6	予約ビット	ロックビットステータスフラグ
			7	予約ビット	データフラッシュウェイト
FMR2	–	0222h	–	–	M16C/64A のみ
FMR6	–	0230h	–	–	M16C/64A のみ
OFS1(注 1)	–	0FFFFFh	–	–	M16C/64A のみ
ROMCP(注 2)	0FFFFFh	–	–	M16C/62A のみ	–

【注】 1. OFS1 はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。
2. ROMCP はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。
3. ユーザブートモード以外では“0”に、ユーザブートモードでは“1”にしてください。

表 2.42 ソフトウェアコマンドの相違点

ソフトウェアコマンド	**M16C/62A**				M16C/64A					
	第 1 コマンド		第 2 コマンド以降		第 1 コマンド		第 2 コマンド		第 3 コマンド	
ページプログラム	×	xx41h	WAn(注 1)	WDn(注 1)	–	–	–	–	–	–
プログラム	–	–	–	–	WA	xx41h	WA	WD0	WA	WD1
イレーズ全アンロックブロック	×	xxA7h	×	xxD0h	–	–	–	–	–	–
ロックビットプログラム	×	xx77h	BA	xxD0h	BA	xx77h	BA	xxD0h	–	–
ブロックブランクチェック	–	–	–	–	×	xx25h	BA	xxD0h		

WA　: 書き込み番地
WD　: 書き込みデータ(16 ビット)
BA　: ブロックの最上位アドレス(ただし、偶数番地)
×　: ユーザ ROM 領域内の任意の偶数番地
xx　: コマンドコードの上位 8 ビット(無視されます)

【注】 1. WAn と WDn は 00h から FEh (ただし偶数番地)へ順番に設定してください。ページサイズは 256 バイトです。

2.16 電気的特性の相違点

2.16.1 絶対最大定格の相違点

表 2.43に絶対最大定格の相違点を示します。

表 2.43 絶対最大定格の相違点

項目	M16C/62A	M16C/64A
アナログ基準電圧	-0.3V ～ VCC + 0.3V	-0.3V ～ VCC1 + 0.1V
入力電圧(P8_5)	-0.3V ～ VCC + 0.3V	-0.3V ～ 6.5V

2.16.2 推奨動作条件の相違点

表 2.44に推奨動作条件の相違点を示します。

表 2.44 推奨動作条件の相違点

項目	M16C/62A	M16C/64A
“H”入力電圧(P8_5)	0.8VCC ～ VCC	0.8VCC1 ～ 6.5V
メインクロック入力発振周波数	ウェイトなし 0MHz ～ 16MHz (VCC=4.2V ～ 5.5V) 0MHz ～ (7.33 × VCC – 14.791)MHz (VCC=2.7V ～ 4.2V) ウェイトあり 0MHz ～ 16MHz (VCC=4.2V ～ 5.5V) 0MHz ～ (4 × VCC – 0.8)MHz (VCC=2.7V ～ 4.2V)	2MHz ～ 20MHz (VCC1=2.7V ～ 5.5V)

2.16.3 A/D 変換特性の相違点

表 2.45にA/D 変換特性の相違点を示します。

表 2.45 A/D 変換特性の相違点

項目	M16C/62A	M16C/64A
絶対精度(10bit)、サンプル&ホールド機能あり (ANEX0、ANEX1 入力)	±7LSB	±3LSB
変換時間(10bit)、サンプル&ホールド機能あり	3.3μs (min) (φAD=10MHz)	1.6μs (min) (φAD=25MHz)
サンプリング時間	0.3μs(min)	0.6μs (min)
基準電圧	2.7V(min) ～ VCC(max)	3.0V (min) ～ VCC1(max)

2.16.4 D/A 変換特性の相違点

表 2.46にD/A 変換特性の相違点を示します。

表 2.46 D/A 変換特性の相違点

項目	M16C/62A	M16C/64A
出力抵抗	4kΩ (min) 10kΩ (typ) 20kΩ (max)	5kΩ (min) 6kΩ (typ) 8.2kΩ (max)

2.16.5 フラッシュメモリの電気的特性の相違点

表 2.47にフラッシュメモリの電気的特性の相違点を示します。

表 2.47 フラッシュメモリの電気的特性の相違点

項目	M16C/62A	M16C/64A
ブロックイレーズ時間	50ms (typ) (VCC=4.2V～5.5V, Topr=0°C～60°C) 600ms (max) (VCC=4.2V～5.5V, Topr=0°C～60°C)	0.2s (typ) (VCC1=3.3V, Topr=25°C) 3.0s (max) (VCC1=3.3V, Topr=25°C)
ロックビットプログラム時間	6ms (typ) (VCC=4.2V～5.5V, Topr=0°C～60°C) 120ms (max) (VCC=4.2V～5.5V, Topr=0°C～60°C)	70µs (typ) (VCC1=3.3V, Topr=25°C) 3000µs (max) (VCC1=3.3V, Topr=25°C)

VCC1=VCC2=5V

2.16.6　電気的特性の相違点 (VCC1=VCC2=5V)

表 2.48に電気的特性の相違点を、表 2.49～表 2.51にタイミング必要条件の相違点を、表 2.52～表 2.54にスイッチング特性の相違点を示します。

表 2.48 電気的特性の相違点

項目		M16C/62A	M16C/64A
“H”出力電圧 (IOH = -5mA)	P6_0 ～ P10_7	3.0V(min)	VCC1 - 2.0V(min) ～ VCC1(max)
	P0_0 ～ P5_7	3.0V(min)	VCC2 - 2.0V(min) ～ VCC2(max)
“H”出力電圧 (IOH = -200µA)	P6_0 ～ P10_7	4.7V(min)	VCC1 - 0.3V(min) ～ VCC1(max)
	P0_0 ～ P5_7	4.7V(min)	VCC2 - 0.3V(min) ～ VCC2(max)
“H”出力 XOUT (IOH = -1mA)	HIGH POWER	3.0V (min)	VCC1 - 2.0V(min) ～ VCC1(max)
“H”出力 XOUT (IOH = -0.5mA)	LOW POWER	3.0V (min)	VCC1 - 2.0V(min) ～ VCC1(max)
“H”出力 XCOUT (無負荷時)	HIGH POWER	3.0V (typ)	2.6V (typ)
	LOW POWER	1.6V (typ)	2.2V (typ)
ヒステリシス(RESET 以外)		0.2V(min) ～ 1.0V(max)	0.5V(min) ～ 2.0V(max)
ヒステリシス(RESET)		0.2V(min) ～ 1.8V(max)	0.5V(min) ～ 2.5V(max)
プルアップ抵抗		30.0kΩ (min) 50.0kΩ (typ) 167.0kΩ (max)	30kΩ (min) 50kΩ (typ) 100kΩ (max)
帰還抵抗	XIN	1.0MΩ (typ)	1.5MΩ (typ)
	XCIN	6.0MΩ (typ)	8MΩ (typ)
RAM 保持電圧		クロック停止時：2.0V (min)	ストップモード時：1.8V (min)
電源電流	f(XIN)=16MHz 方形波	フラッシュメモリ版 32.5mA(typ) 50.0mA(max) マスク ROM 版 30.0mA(typ) 50.0mA(max)	―
	f(XIN)=20MHz 方形波	―	16.0mA(typ)
	f(XCIN)=32kHz 方形波	2.2mA (typ)	160µA (typ) (低消費電力モード時)
	f(XCIN)=32kHz ウェイトモード	4.0µA (typ) 10µA (max)	6.0 µA (typ) (発振能力 Low)
	ストップモード	1.0µA (max)	1.7µA (typ)

表 2.49 タイミング必要条件の相違点 (外部クロック入力)

項目	M16C/62A	M16C/64A
外部クロック入力サイクル時間	62.5ns (min)	50ns (min)
外部クロック入力 “H”パルス幅	25ns (min)	20ns (min)
外部クロック入力 “L”パルス幅	25ns (min)	20ns (min)
外部クロック立ち上がり時間	15ns (max)	9ns (max)
外部クロック立ち下がり時間	15ns (max)	9ns (max)

VCC1=VCC2=5V

表 2.50 タイミング必要条件の相違点 (シリアルインタフェース)

項目	M16C/62A	M16C/64A
RXDi 入力セットアップ時間	30ns (min)	70ns (min)

表 2.51 タイミング必要条件の相違点　(メモリ拡張モード、マイクロプロセッサモード)

項目	M16C/62A	M16C/64A
データ入力アクセス時間 (ウェイトあり)	$((3\times10^9)/(f(BCLK)\times2))$ -45 ns (max)	$(((n+0.5)\times10^9)/f(BCLK))$ -45 ns (max) (注 1)
データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合)	$((3\times10^9)/(f(BCLK)\times2))$ -45 ns (max)	$(((n-0.5)\times10^9)/f(BCLK))$ -45 ns (max) (注 2)
RDY 入力セットアップ時間	30ns (min)	80ns (min)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2”　、3 ウェイト設定の場合は“3”
2. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

表 2.52 スイッチング特性の相違点　(メモリ拡張モード、マイクロプロセッサモード、ウェイトなし)

項目	M16C/62A	M16C/64A
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(WR 基準)	0ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
チップセレクト出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
ALE 信号出力遅延時間	25ns (max)	15ns (max)
データ出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$(10^9/f(BCLK))$ -40 ns (min)	$((0.5\times10^9)/f(BCLK))$ -40ns (min) f(BCLK)は 12.5MHz 以下
データ出力保持時間(WR 基準)	0ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)

VCC1=VCC2=5V

表 2.53 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり)

項目	M16C/62A	M16C/64A
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(WR 基準)	0ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
ALE 信号出力遅延時間	25ns (max)	15ns (max)
データ出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	(10^9 / f(BCLK)) -40ns (min)	(((n-0.5)×10^9) / f(BCLK)) -40ns (min) (注 1) f(BCLK)は 12.5MHz 以下
データ出力保持時間(WR 基準)	0ns (min)	(0.5×10^9) / f(BCLK)) -10ns (min)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2” 、3 ウェイト設定の場合は“3”

表 2.54 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

項目	M16C/62A	M16C/64A
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(RD 基準)	10^9 / (f(BCLK)×2) ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
アドレス出力保持時間(WR 基準)	10^9 / (f(BCLK)×2) ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
チップセレクト出力保持時間(RD 基準)	10^9 / (f(BCLK)×2) ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力保持時間(WR 基準)	10^9 / (f(BCLK)×2) ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
データ出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	((10^9×3) / (f(BCLK)×2)) -40ns (min)	(((n-0.5)×10^9) / f(BCLK)) -40ns (min) (注 1)
データ出力保持時間(WR 基準)	10^9 / (f(BCLK)×2) ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
ALE 信号出力遅延時間(BCLK 基準)	25ns (max)	15ns (max)
ALE 信号出力保持時間(アドレス基準)	30ns (min)	((0.5×10^9) / f(BCLK)) -15ns (min)

【注】 1. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

VCC1=VCC2=3V

2.16.7 電気的特性の相違点 (VCC1=VCC2=3V)

表 2.55に電気的特性の相違点を、表 2.56～表 2.59にタイミング必要条件の相違点を、表 2.60～表 2.62にスイッチング特性の相違点を示します。

表 2.55 電気的特性の相違点

項目		M16C/62A	M16C/64A
“H”出力電圧 (IOH = -1mA)	P6_0 ～ P10_7	2.5V(min)	VCC1 - 0.5V(min) ～ VCC1(max)
	P0_0 ～ P5_7	2.5V(min)	VCC2 - 0.5V(min) ～ VCC2(max)
“H”出力 XOUT (IOH = -0.1mA)	HIGH POWER	2.5V (min)	VCC1 - 0.5V(min) ～ VCC1(max)
“H”出力 XOUT (IOH = -50µA)	LOW POWER	2.5V (min)	VCC1 - 0.5V(min) ～ VCC1(max)
“H”出力 XCOUT (無負荷時)	HIGH POWER	3.0V (typ)	2.6V (typ)
	LOW POWER	1.6V (typ)	2.2V (typ)
ヒステリシス(RESET 以外)		0.2V(min) ～ 0.8V(max)	0.2V(min) ～ 1.0V(max)
プルアップ抵抗		66.0kΩ (min) 120.0kΩ (typ) 500.0kΩ (max)	50kΩ (min) 80kΩ (typ) 150kΩ (max)
帰還抵抗	XCIN	10.0MΩ (typ)	16MΩ (typ)
RAM 保持電圧		クロック停止時：2.0V (min)	ストップモード時：1.8V (min)
電源電流	f(XIN)=20MHz 方形波、分周なし	ー	16.0mA (typ)
	f(XIN)=10MHz 方形波、分周なし	12.0mA (typ) 21.25mA (max)	ー
	f(XCIN)=32kHz 方形波	800µA (typ)	160µA (typ) (低消費電力モード時)
	f(XCIN)=32kHz ウェイトモード 発振能力 High	2.8µA (typ) 10µA (max)	8.0 µA (typ)
	f(XCIN)=32kHz ウェイトモード 発振能力 Low	0.9µA (typ) 10µA (max)	4.0 µA (typ)
	ストップモード	1.0µA (max)	1.6µA (typ)

表 2.56 タイミング必要条件の相違点 (外部クロック入力)

項目	M16C/62A	M16C/64A
外部クロック入力サイクル時間	100ns (min)	50ns (min)
外部クロック入力 “H”パルス幅	40ns (min)	20ns (min)
外部クロック入力 “L”パルス幅	40ns (min)	20ns (min)
外部クロック立ち上がり時間	18ns (max)	9ns (max)
外部クロック立ち下がり時間	18ns (max)	9ns (max)

VCC1=VCC2=3V

表 2.57 タイミング必要条件の相違点 (タイマ B イベントカウンタモードのカウント入力)

項目	M16C/62A	M16C/64A
TBiIN 入力“H”パルス幅(両エッジカウント)	160ns (min)	120ns (min)
TBiIN 入力“L”パルス幅(両エッジカウント)	160ns (min)	120ns (min)

表 2.58 タイミング必要条件の相違点 (シリアルインタフェース)

項目	M16C/62A	M16C/64A
RXDi 入力セットアップ時間	50ns (min)	100ns (min)

表 2.59 タイミング必要条件の相違点　(メモリ拡張モード、マイクロプロセッサモード)

項目	M16C/62A	M16C/64A
データ入力アクセス時間 (ウェイトなし)	$(10^9$ / (f(BCLK) × 2)) -90 ns (max)	((0.5 × 10^9) / f(BCLK)) -60 ns (max)
データ入力アクセス時間 (ウェイトあり)	((3 × 10^9)/ (f(BCLK) × 2)) -90 ns (max)	(((n+0.5) × 10^9) / f(BCLK)) -60 ns (max) (注 1)
データ入力アクセス時間(RD 基準、マルチプレクスバス領域をアクセスした場合)	((3 × 10^9)/ (f(BCLK) × 2)) -90 ns (max)	(((n-0.5) × 10^9) / f(BCLK)) -60 ns (max) (注 2)
データ入力セットアップ時間	80ns (min)	50ns (min)
RDY 入力セットアップ時間	60ns (min)	85ns (min)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”
2. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

表 2.60 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトなし)

項目	M16C/62A	M16C/64A
アドレス出力遅延時間	60ns (max)	30ns (max)
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(WR 基準)	0 ns (min)	((0.5 × 10^9) / f(BCLK)) -10ns (min)
チップセレクト出力遅延時間	60ns (max)	30ns (max)
チップセレクト出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
ALE 信号出力遅延時間	60ns (max)	25ns (max)
RD 信号出力遅延時間	60ns (max)	30ns (max)
WR 信号出力遅延時間	60ns (max)	30ns (max)
データ出力遅延時間(BCLK 基準)	80 ns (max)	40ns (max)
データ出力保持時間(BCLK 基準)	4ns (max)	0ns (max)
データ出力遅延時間(WR 基準)	(10^9 / (f(BCLK)　× 2)) -80 ns (min)	((0.5 × 10^9) / f(BCLK)) -40ns (min) f(BCLK)は 12.5MHz 以下
データ出力保持時間(WR 基準)	0 ns (min)	((0.5 × 10^9) / f(BCLK)) -10ns (min)

VCC1=VCC2=3V

表 2.61 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり)

項目	M16C/62A	M16C/64A
アドレス出力遅延時間	60ns (max)	30ns (max)
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(WR 基準)	0ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
チップセレクト出力遅延時間	60ns (max)	30ns (max)
チップセレクト出力保持時間(BCLK 基準)	4ns (max)	0ns (max)
ALE 信号出力遅延時間	60ns (max)	25ns (min)
RD 信号出力遅延時間	60ns (max)	30ns (max)
WR 信号出力遅延時間	60ns (max)	30ns (max)
データ出力遅延時間(BCLK 基準)	80ns (max)	40ns (max)
データ出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$(10^9/f(BCLK))$ -80ns (min)	$((n-0.5\times10^9)/f(BCLK))$ -40ns (min) (注 1)
データ出力保持時間(WR 基準)	0ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2” 、3 ウェイト設定の場合は“3”、
n = 1 の場合は、f(BCLK)は 12.5MHz 以下

表 2.62 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

項目	M16C/62A	M16C/64A
アドレス出力遅延時間	60ns (max)	50ns (max)
アドレス出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
アドレス出力保持時間(RD 基準)	$(10^9/(f(BCLK)\times2))$ ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
アドレス出力保持時間(WR 基準)	$(10^9/(f(BCLK)\times2))$ ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
チップセレクト出力遅延時間	60ns (max)	50ns (max)
チップセレクト出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
チップセレクト出力保持時間(RD 基準)	$(10^9/(f(BCLK)\times2))$ ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
チップセレクト出力保持時間(WR 基準)	$(10^9/(f(BCLK)\times2))$ ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
RD 信号出力遅延時間	60ns (max)	40ns (max)
WR 信号出力遅延時間	60ns (max)	40ns (max)
データ出力遅延時間(BCLK 基準)	80ns (max)	50ns (max)
データ出力保持時間(BCLK 基準)	4ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$(3\times10^9/(f(BCLK)\times2))$ -80ns (min)	$(((n-0.5)\times10^9)/f(BCLK))$ -50ns (min) (注 1)
データ出力保持時間(WR 基準)	$(10^9/(f(BCLK)\times2))$ ns (min)	$((0.5\times10^9)/f(BCLK))$ -10ns (min)
ALE 信号出力遅延時間(BCLK 基準)	60ns (max)	25ns (max)
ALE 信号出力遅延時間(アドレス基準)	$(10^9/(f(BCLK)\times2))$ -45ns (min)	$((0.5\times10^9)/f(BCLK))$ -40ns (min)
ALE 信号出力保持時間(アドレス基準)	50ns (min)	$((0.5\times10^9)/f(BCLK))$ -15ns (min)

【注】 1. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

2.17 開発ツールの相違点

表 2.63に開発ツールの相違点を示します。

表 2.63 開発ツールの相違点

項目	M16C/62A	M16C/64A
エミュレータデバッガ フルスペックエミュレータ	PC4701U	E100
エミュレーションポッド MCU ユニット	M30620T2-RPD-E	R0E530650MCU00 (E100 対応)
コンパクトエミュレータ オンチップデバッギングエミュレータ	M30620T-CPE	E8a

3. M16C/62A から M16C/64A 置き換え時の注意事項

3.1 ソフトウェア作成時の注意事項

3.1.1 OFS 番地について

M16C/64A ではユーザ ROM の最上位番地(0FFFFFh 番地)にオプション機能選択領域(OFS1)が配置されています。フラッシュメモリにプログラムを書き込むと同時に OFS1 番地にも値を書き込みます。あらかじめソフトウェアにて OFS1 番地に値を定義してください。

OFS1 番地への定義記載例：

_asm(" .ofsreg 0FFh");

3.1.2 A/D レジスタの取得に関する注意事項

A/D 変換が完了し、その結果を A/D レジスタに格納するタイミングで CPU が A/D レジスタを読み出した場合、誤った値が A/D レジスタに格納されます。この現象は、CPU の内部クロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

(1) 単発モードまたは単掃引モードで使用する場合

A/D 変換が完了したことを確認してから、対象となる A/D レジスタを読み出してください。(A/D 変換の完了は A/D 変換割り込み要求ビットで判定できます。)

(2) 繰り返しモード、繰り返し掃引モード 0 または繰り返し掃引モード 1 で使用する場合

CPU の内部クロックは、メインクロックを分周せずに使用してください。

(詳細は、テクニカルアップデート:TN-M16C-09-9704 を参照ください。)

3.1.3 UART2 の特殊モード 4(SIM モード)を使用するときの注意事項

リセット解除後、U2C1 レジスタの 2IRS ビットを "1" (送信完了)、U2ERE ビットを "1" (エラー信号出力)にした後、TE ビットを "1" (送信許可)にし、U2TB レジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIM モードを使用する場合は設定後、IR ビットを "0" (割り込み要求なし)にしてください。

(詳細は、テクニカルアップデート:TN-M16C-101-0308 を参照ください。)

3.1.4 メインクロックに外部で生成したクロックを使用するときの注意事項

XIN 端子に外部で生成したクロックを入力して、CPU クロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。

(詳細は、テクニカルアップデート:TN-M16C-109-0309/J を参照ください。)

3.1.5 シリアルインタフェース(特殊モード 2)を使用するときの注意事項

特殊モード 2 で、UiSMR3 レジスタの CKPH ビットが "1" (クロック遅れあり)の場合、スレーブモードは使用できません。

(詳細は、テクニカルアップデート:TN-16C-A201A/J を参照ください。)

3.2 回路設計上の注意事項

3.2.1 発振回路定数について

ご使用の基板に M16C/64A を実装した場合の最適な発振回路定数は、発振子メーカのマッチング測定で発振余裕度が十分にあると判定いただいた定数を設定してください。

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ
http://japan.renesas.com/

お問合せ先
http://japan.renesas.com/contact/

すべての商標および登録商標は，それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.09.12	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

   CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

   【注意】電源投入時は，製品の状態は不定です。

   電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

   【注意】リセット時は、クロックが安定した後、リセットを解除してください。

   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

   同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
   各品質水準は、以下に示す用途に製品が使用されることを意図しております。
   標準水準：　コンピュータ、OA機器、通信機器、計測機器、AV機器、
   家電、工作機械、パーソナル機器、産業用ロボット等
   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、
   防災・防犯装置、各種安全装置等
   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2016 Renesas Electronics Corporation. All rights reserved.
Colophon 4.0