
RL78/F14、R8C/34x グループ

R01AN1682JJ0101

Rev.1.01

2014.04.11

R8C から RL78 への移行ガイド

要旨

本アプリケーションノートでは、RL78/F14 と R8C/34x の機能の違いと、R8C/34x から RL78/F14 に置き換える際の注意点を、ポーティングの例を挙げて説明します。

使用条件によっては、例にあげた動作と実際のマイコンの動作が異なる場合があります。ポーティング後は十分な評価を実施してください。また、各機能の詳細は必ずユーザーズマニュアルで確認してください。

対象デバイス

RL78/F14 : RL78/F14 (48pin)

R8C/34x : R8C/34W、R8C/34X、R8C/34Y、R8C/34Z

1. 機能比較 (概要)

表 1.1、表 1.2 に R8C/34x からポーティング可能な RL78/F14 の主な機能を示します。

機能ごとに使用可能なリソース数を記載していますが、機能の組み合わせによっては使用できるリソース数が制限されます。仕様を検討される場合は、周辺機能のリソース数に問題がないことを確認してください。また、各機能の詳細は必ずユーザーズマニュアルで確認してください。

表 1.1 R8C/34x からポーティング可能な RL78/F14 の主な機能 1

機能 (注 1)	RL78/F14(48pin)	R8C/34x	参照ページ (注 2)	
CPU	RL78 CPU コア	R8C CPU コア	・ P.4	
メモリ	「3 メモリ」の章を参照してください。		・ P.5	
電圧検出	電圧検出 1 点	電圧検出 3 点	—	
I/O ポート	CMOS 入出力 : 38 本 入力専用 : 5 本(発振端子兼用 : 4 本) 出力専用 : 1 本 N-ch 入出力 : 0 本	CMOS 入出力 : 43 本(発振端子兼用 : 2 本) 入力専用 : 1 本(A/D 用基準電圧入力端子兼用) 出力専用 : 0 本 N-ch 入出力 : 0 本	・ P.26	
クロック	メイン・システム・クロック	1MHz~20MHz	・ P.11	
	サブシステム・クロック	32.768kHz		なし
	オンチップ・オシレータ	低速(f_{LL}) : 15kHz(TYP.) 高速(f_{HH}) : 64MHz(TYP.) 48MHz(TYP.) 32MHz(TYP.) 24MHz(TYP.) 16MHz(TYP.) 12MHz(TYP.) 8MHz(TYP.) 4MHz(TYP.) 1MHz(TYP.)	低速 : 125kHz(TYP.) 高速 : 40MHz(TYP.)	—
	PLL	64MHz 48MHz 32MHz 24MHz	なし	—
	ウォッチドッグ・タイマ専用 低速オンチップ・オシレータ	15kHz(TYP.)	125kHz(TYP.)	—
	発振停止検出	あり	あり	—
	割り込み	NMI(外部ノンマスカブル)	0 本	・ P.31
INT(外部マスカブル)		10 本		
キー入力		8 チャンネル	4 チャンネル	
割り込みベクタ数		56 (コード・フラッシュ・メモリが 48KB~96KB の場合 48)	69	
割り込み要因数		62 (コード・フラッシュ・メモリが 48KB~96KB の場合 54)	49	
ウォッチドッグ・タイマ	1 チャンネル	1 チャンネル	・ P.33	

注 1 : RL78/F14 のすべての機能を記載した表ではありません。

注 2 : 各機能のポーティングの詳細説明ページを示します。

表1.2 R8C/34x からポーティング可能な RL78/F14 の主な機能 2

機能 (注 1)		RL78/F14(48pin)	R8C/34x	参照ページ (注 2)	
DTC		1 チャンネル	1 チャンネル	・ P.93	
タイマ		タイマ RJ	タイマ RA	・ P.36	
		TAU	タイマ RB	・ P.43	
		TAU	タイマ RC	・ P.52	
		タイマ RD	タイマ RD	・ P.68	
		TAU	タイマ RE	・ P.78	
シリアルインタフェース		クロック同期形	全二重：2 チャンネル (UART0、UART2)	・ P.85	
		クロック非同期形	全二重：2 チャンネル (UART0、UART2)	・ P.87	
		I ² C	5 チャンネル ・ シリアルインタフェース IIC ： 1 チャンネル ・ SAU：4 チャンネル(注 3)	1 チャンネル(UART2)	—
		LIN	1 チャンネル ・ SAU：1 チャンネル(注 4)	LIN モジュールとして使用する 場合 UART0 の機能を使用	—
SSU		なし	1 チャンネル	—	
LIN モジュール		2 チャンネル ・ RLIN3：2 チャンネル(注 5)	1 チャンネル (タイマ RA、UART0 使用)	—	
CAN モジュール		1 チャンネル	1 チャンネル(注 6)	—	
A/D コンバータ		10 ビット：18 チャンネル (注 7) (注 8) ・ V _{DD} 接続：13 チャンネル ・ EV _{DD} 接続：5 チャンネル	10 ビット：12 チャンネル	・ P.90	
フラッシュ・メモリ		フラッシュ書き換えにライブラリが必要	フラッシュ書き換えに必要なライブラリはなし	—	
動作周波数		-40°C~105°C：32MHz(MAX.) -40°C~125°C：24MHz(MAX.)	f (XIN)=20MHz (VCC=2.7~5.5V)	—	
動作周囲温度		-40°C~105°C(L バージョン) -40°C~125°C(K バージョン)	-40°C~85°C(J バージョン) -40°C~125°C(K バージョン)	—	

注 1：RL78/F14 のすべての機能を記載した表ではありません。

注 2：各機能のポーティングの詳細説明ページを示します。

注 3：SAU はマスタ送信、マスタ受信のみ可能です。

注 4：SAU は 2 チャンネルで LIN 送受信です。

注 5：RLIN3 はコード・フラッシュ・メモリが 128KB 未満の場合 1 チャンネルです。

注 6：R8C/34Y、R8C/34Z に CAN はありません。

注 7：メモリが 48KB~96KB の場合 15 チャンネル(EV_{DD} 接続が 5 チャンネル→2 チャンネルとなるため)です。

注 8：48 ピン版では EV_{DD} は端子としては出ていません。

2. CPU

表 2.1に RL78/F14 と R8C/34x の CPU 機能比較を示します。

表2.1 RL78/F14 と R8C/34x CPU 機能比較

機能	RL78/F14	R8C/34x
中央処理演算装置	RL78 CPU コア	R8C CPU コア
基本命令数	81 命令	89 命令
最小命令実行時間	31.25ns ($f_{CLK} = 32\text{MHz}$)	50ns ($f(XIN) = 20\text{MHz}$)
乗算器(注)	16 ビット×16 ビット→ 32 ビット	16 ビット× 16 ビット→ 32 ビット
積和演算命令	16 ビット× 16 ビット+ 32 ビット→ 32 ビット	16 ビット× 16 ビット+ 32 ビット→ 32 ビット
フラグレジスタ (プログラム・ステータス・ワード)	PSW レジスタ : 8 ビットで構成されるレジスタ CY フラグ : キャリー・フラグ ISP1、ISP0 フラグ : インサースビス・プライオリティ・フラグ AC : 補助キャリー・フラグ RBS0、RBS1 フラグ : レジスタ・バンク選択フラグ Z フラグ : ゼロ・フラグ IE フラグ : 割り込み許可フラグ	FLG レジスタ : 11 ビットで構成されるレジスタ C フラグ : キャリーフラグ D フラグ : デバッグフラグ Z フラグ : ゼロフラグ S フラグ : サインフラグ B フラグ : レジスタバンク指定フラグ O フラグ : オーバフローフラグ I フラグ : 割り込み許可フラグ U フラグ : スタックポインタ指定フラグ IPL フラグ : プロセッサ割り込み優先レベル(3 ビット構成)
汎用レジスタ	X レジスタ(8 ビット) A レジスタ(8 ビット) C レジスタ(8 ビット) B レジスタ(8 ビット) E レジスタ(8 ビット) D レジスタ(8 ビット) L レジスタ(8 ビット) H レジスタ(8 ビット) 上記のうち 2 つを組み合わせ使用可能な 16 ビットのレジスタは以下の通りです。 AX レジスタ BC レジスタ DE レジスタ HL レジスタ	R0 レジスタ(16 ビット) R1 レジスタ(16 ビット) R2 レジスタ(16 ビット) R3 レジスタ(16 ビット) A0 レジスタ(16 ビット) A1 レジスタ(16 ビット) 上記のうち 2 つを組み合わせ使用可能な 32 ビットのレジスタは以下の通りです。 R2R0 レジスタ R3R1 レジスタ A1A0 レジスタ
レジスタ・バンク数	4	2

注 : RL78/F14 は乗除・積和演算器です。

3. メモリ

表 3.1に RL78/F14 と R8C/34x のメモリサイズ比較を示します。

表3.1 RL78/F14 と R8C/34x のメモリサイズ比較

メモリサイズ			RL78/F14	R8C/34x
ROM	データ フラッシュ(注)	RAM		
256 K バイト	8K バイト	20K バイト	○	—
192 K バイト	8K バイト	16K バイト	○	—
128K バイト	8K バイト	10K バイト	○	—
	4K バイト		—	○
96K バイト	4K バイト	8K バイト	○	○
64K バイト	4K バイト	6K バイト	○	○
48K バイト	4K バイト	4K バイト	○	○
32K バイト	4K バイト	2.5K バイト	—	○

○：該当 —：非該当

注：R8C/34X、R8C/34Z には、データフラッシュがありません。

3.1 メモリ

図 3.1に RL78/F14 と R8C/34x のメモリ配置を示します。

RL78/F14 と R8C/34x では、RAM、ROM 等のメモリ配置が異なります。図 3.1では RL78/F14 のメモリ配置を R8C/34x と同じ 00000h 番地からの配置に並び替え、R8C/34x のメモリ配置との差異を示しています。

また、R8C/34x の可変ベクタテーブルは配置を変更できますが、RL78/F14 のベクタ・テーブルはアドレス固定です。ROM 配置に影響がないことを確認してください。

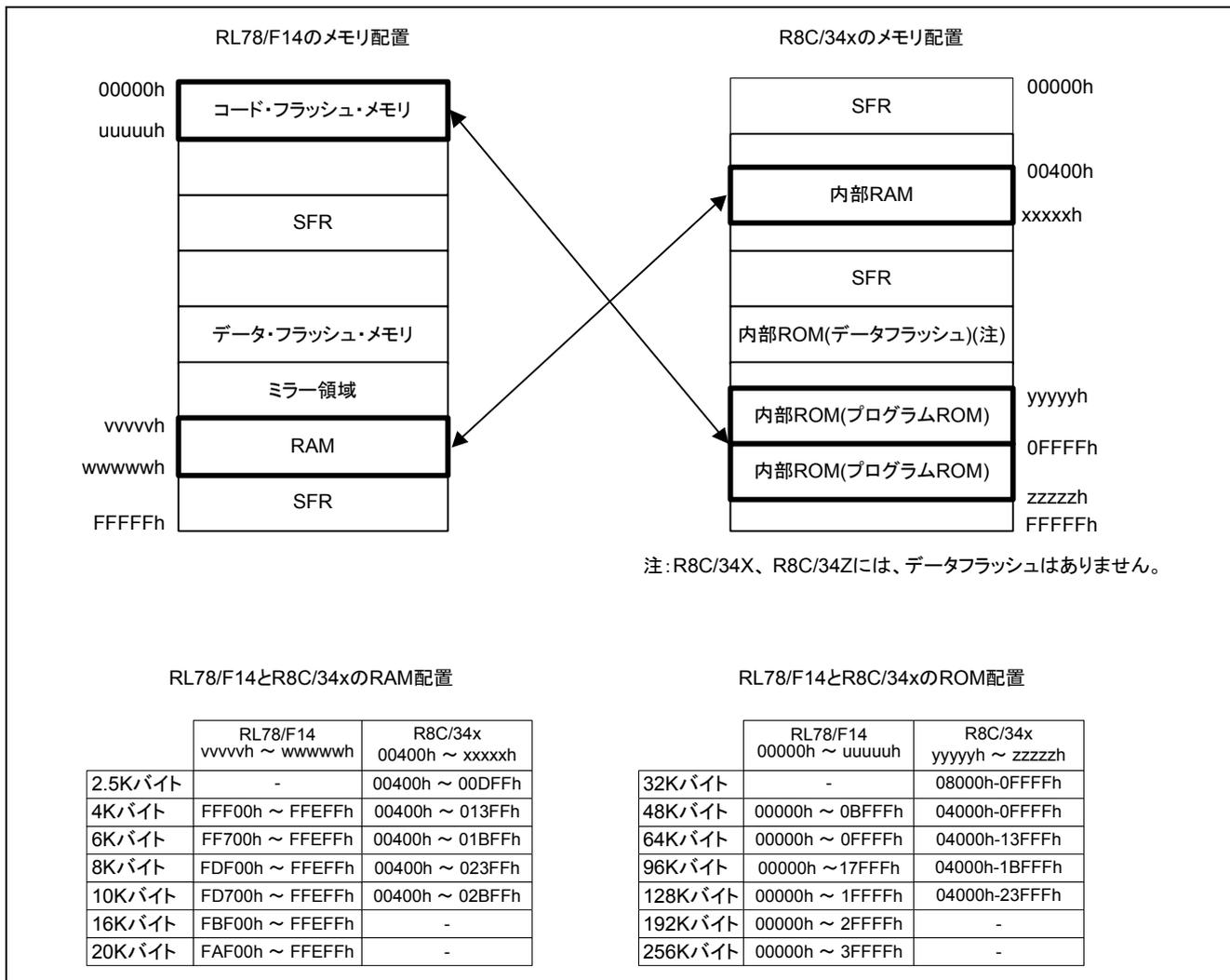


図3.1 RL78/F14 と R8C/34x のメモリ配置

<ポーティングのポイント>**• スタック領域**

RL78/F14 では、RAM の異常書き込みを防止するため、RAM ガード機能がついています。RAM ガード機能を有効にすると該当するアドレスへの書き込みができなくなるため、スタック領域は RAM ガード機能対象外の RAM 領域に割り当てることをお勧めします。RAM ガード機能についてはユーザーズマニュアルでご確認ください。

• Near 領域と Far 領域

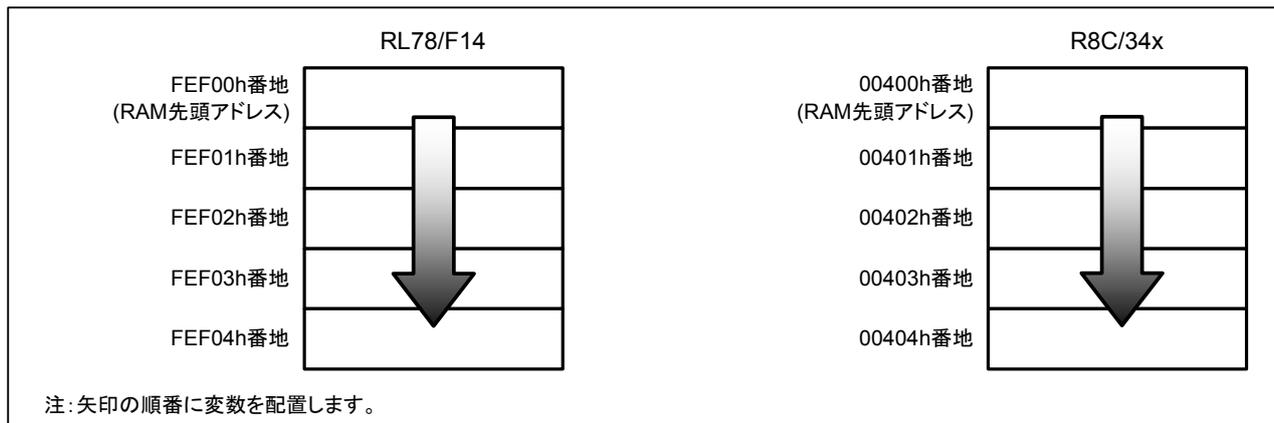
R8C/34x では、Near 領域が 00000h 番地～0FFFFh 番地、Far 領域が 10000h 番地～23FFFh 番地 (ROM128K バイトのとき) です。RL78/F14 では、Near 領域が 0F0000h 番地～0FFFFFFh 番地、Far 領域が 000000h 番地～0FFFFFFh 番地です。RL78/F14 と R8C/34x では Near 領域と Far 領域のアドレスが異なります。

• RAM、ROM の配置方向

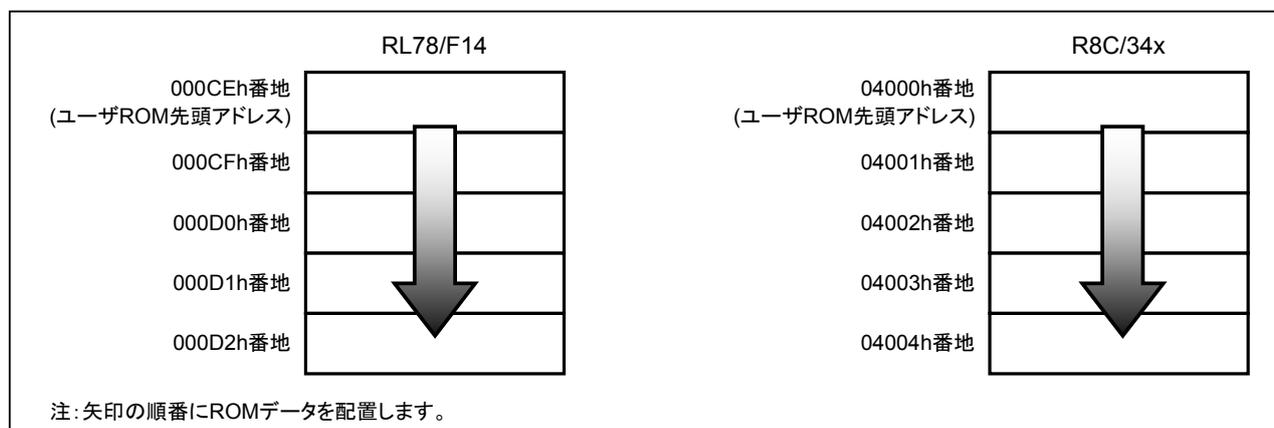
図 3.2に RL78/F14 と R8C/34x のメモリ配置の方向を示します。

ユーザーズマニュアルのメモリ配置図は、RL78/F14 が降順、R8C/34x では昇順でアドレス情報を示しています。しかし図 3.2が示すように RL78/F14 と R8C/34x で、メモリ配置が行われる方向に違いはありません。

(1)RAM 配置順(変数配置順)



(2)ROM 配置順



(3)スタック格納順

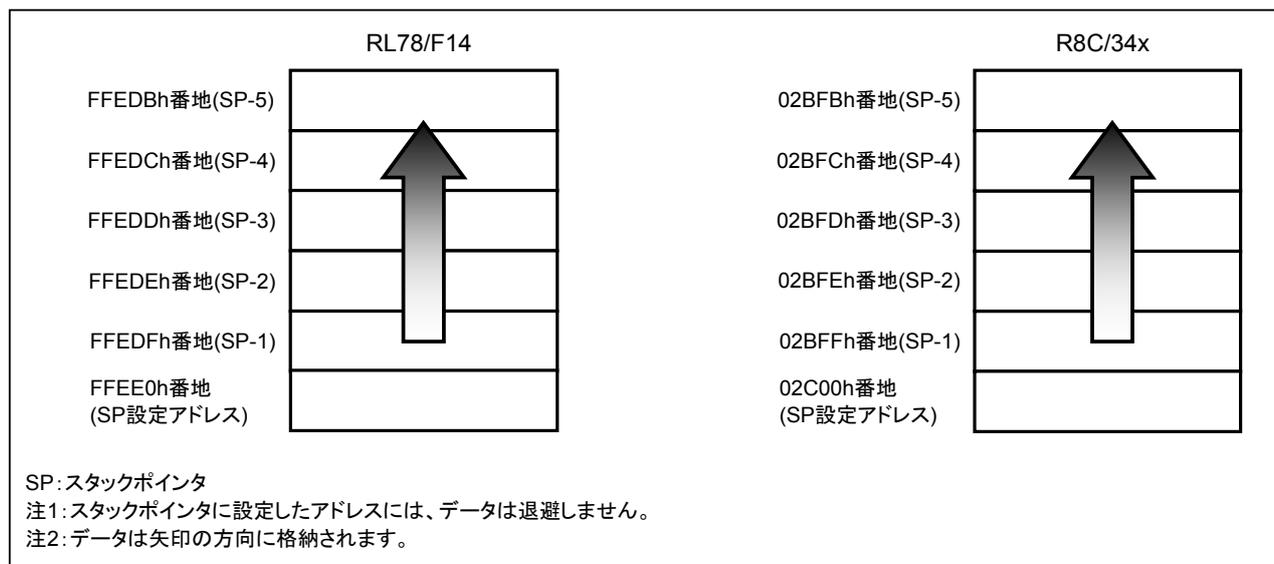


図 3.2 RL78/F14 と R8C/34x のメモリ配置の方向

4. 電源

表 4.1に RL78/F14 と R8C/34x の電源機能比較を示します。

表4.1 RL78/F14 と R8C/34x の電源機能比較

端子	RL78/F14	R8C/34x
電源端子	V_{DD} 、 V_{SS} 、 EV_{DD0} 、 EV_{DD1} (注 1)	VCC、VSS
アナログ電源端子	該当端子なし	AVCC、AVSS
	AV_{REFP} 、 AV_{REFM}	VREF
内部動作 レギュレータ出力	REGC(注 2)	該当端子なし

注 1: RL78/F14 の電源系の端子は、100pin 版で EV_{DD0} 、 EV_{DD1} 端子、80pin、64pin 版には EV_{DD0} 端子がありますが、48pin 版には EV_{DD0} 、 EV_{DD1} 端子がありません。48pin 版では、 $EV_{DD1}=EV_{DD0}=V_{DD}$ として扱います。

注 2: RL78/F14 の REGC 端子はパソコンを接続することでマイコン内部の電圧を安定させるための端子です。REGC 端子はパソコンを介して GND に接続してください。

5. 基本回路構成

図 5.1に RL78/F14 と R8C/34x を動作させるために必要な端子処理を示します。

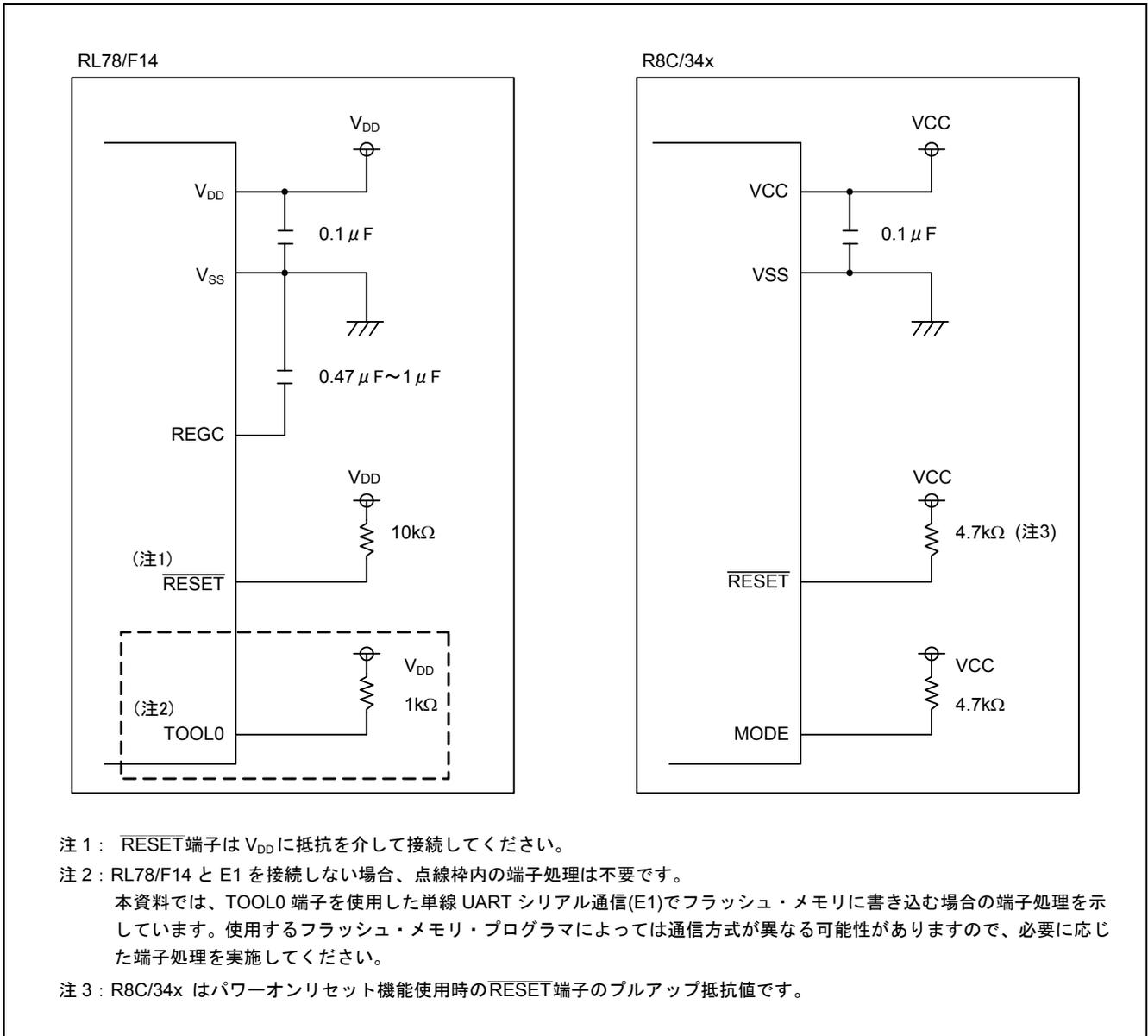


図5.1 RL78/F14 と R8C/34x の端子処理の比較

6. クロック

表 6.1に RL78/F14 と R8C/34x のクロック機能比較を示します。

表6.1 RL78/F14 と R8C/34x のクロック機能比較

機能	RL78/F14	R8C/34x
メイン・システム・クロック	X1 : 1MHz~20MHz	XIN : 0MHz~20MHz
サブシステム・クロック	f_{SUB} : 32.768kHz	—
オンチップ・オシレータ	低速(f_{IL}) : 15kHz(TYP.) 高速(f_{IH}) : 64MHz(TYP.) 48MHz(TYP.) 32MHz(TYP.) 24MHz(TYP.) 16MHz(TYP.) 12MHz(TYP.) 8MHz(TYP.) 4MHz(TYP.) 1MHz(TYP.)	低速(fOCO-S) : 125kHz(TYP.) 高速(fOCO40M) : 40MHz(TYP.)
PLL(注 3)	f_{PLL} : 64MHz 48MHz 32MHz 24MHz	—
ウォッチドッグ・タイマ専用 低速オンチップ・オシレータ	15kHz(TYP.)	125kHz(TYP.)

注 1 : 高速オンチップ・オシレータとして使用できるのは、9 種類の周波数の内、1 種類のみです。

注 2 : f_{IH} に 64MHz、48MHz を選択した場合、リセット解除後、 f_{MP} クロック分周レジスタ(MDIV)が自動的に 2 分周設定になるため、CPU/周辺ハードウェア・クロック周波数が 64MHz/2(=32MHz)、48MHz/2(=24MHz)で動作します。

注 3 : RL78/F14 の PLL の入力クロック周波数は、4MHz、8MHz のみが入力可能です。

注 4 : f_{PLL} を 64MHz、48MHz に設定する場合、 f_{MP} クロック分周レジスタ(MDIV)のビット 2-0 で CPU/周辺ハードウェア・クロック周波数を 1MHz~32MHz に設定してください。

<ポーティングのポイント>

- 動作周波数の温度制限

RL78/F14 の K バージョン(-40°C~125°C)は、最高動作周波数が 24MHz です。高速オンチップ・オシレータの周波数に 32MHz を選択しないでください。

- 高速オンチップ・オシレータ

RL78/F14 の CPU/周辺ハードウェア・クロック周波数(f_{CLK})を、PLL を使用して 32MHz にする場合は高速オンチップ・オシレータのクロック周波数を 48MHz または 24MHz 以外に設定してください。

6.1 リセット解除後の X1 クロック設定手順(メイン・システム・クロック)

リセット解除後の RL78/F14 の CPU は高速オンチップ・オシレータ、R8C/34x では低速オンチップ・オシレータで動作します。X1 クロック(RL78/F14)、XIN クロック(R8C/34x)は共に発振停止状態です。

RL78/F14 の高速オンチップ・オシレータは、64MHz、48MHz、32MHz、24MHz、16MHz、12MHz、8MHz、4MHz、1MHz の中からオプション・バイトで選択することが可能です。64MHz、48MHz を選択した場合はリセット解除後、メイン/PLL 選択クロックが 32MHz、24MHz となるようハードウェアにより MDIV レジスタ=01H($f_{MP}/2$ を選択)に設定されます。オプション・バイトは R8C/34x では機能選択レジスタ(OFS)に相当するレジスタです。オプション・バイトについてはユーザーズマニュアルで確認してください。

図 6.1に RL78/F14 と R8C/34x の MCU リセット後の X1 クロック設定手順を示します。

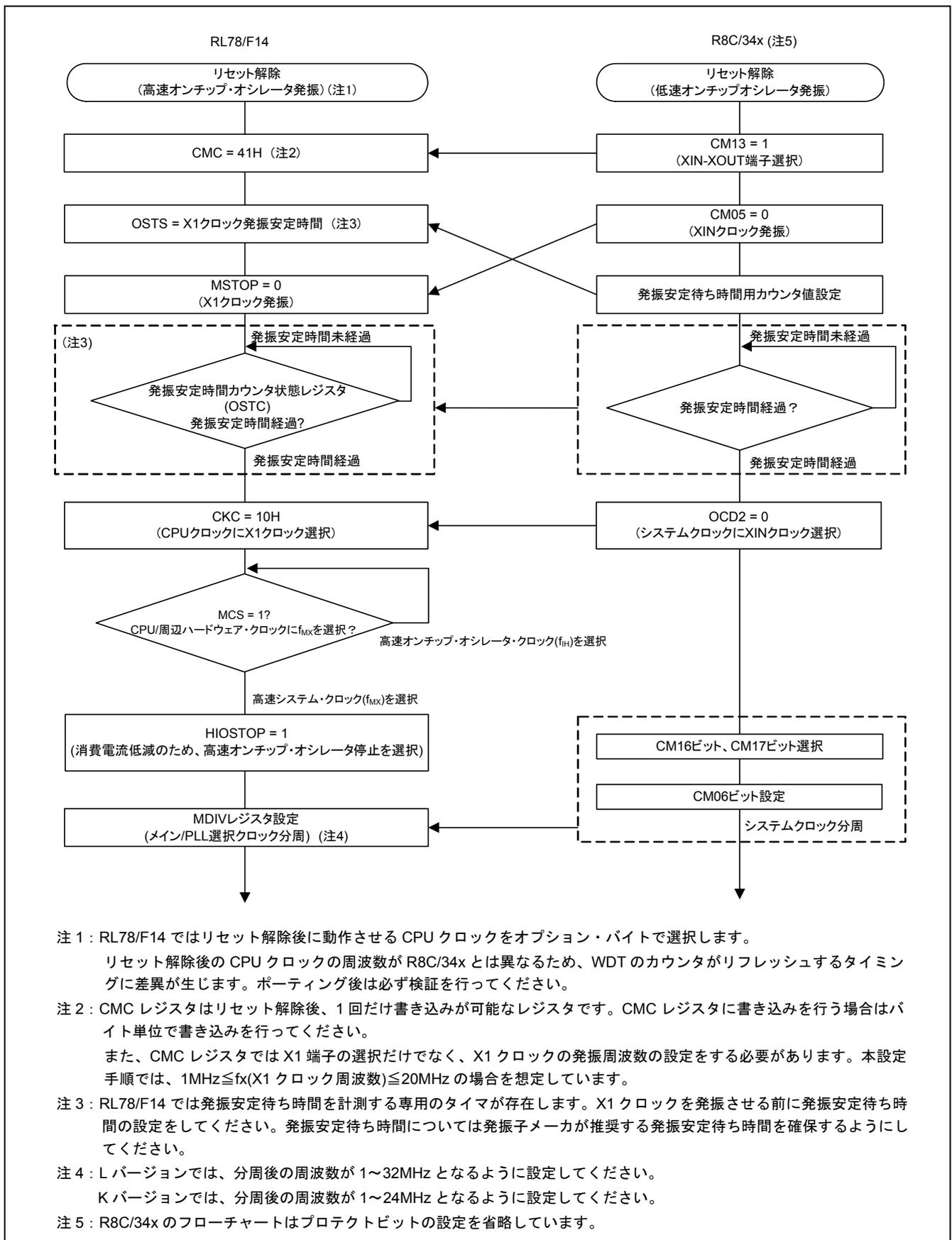


図6.1 RL78/F14 と R8C/34x の MCU リセット後の X1 クロック設定手順

- 注 1 : RL78/F14 ではリセット解除後に動作させる CPU クロックをオプション・バイトで選択します。
リセット解除後の CPU クロックの周波数が R8C/34x とは異なるため、WDT のカウンタがリフレッシュするタイミングに差異が生じます。ポーティング後は必ず検証を行ってください。
- 注 2 : CMC レジスタはリセット解除後、1 回だけ書き込みが可能なレジスタです。CMC レジスタに書き込みを行う場合はバイト単位で書き込みを行ってください。
また、CMC レジスタでは X1 端子の選択だけでなく、X1 クロックの発振周波数の設定をする必要があります。本設定手順では、 $1\text{MHz} \leq f_x(\text{X1 クロック周波数}) \leq 20\text{MHz}$ の場合を想定しています。
- 注 3 : RL78/F14 では発振安定待ち時間を計測する専用のタイマが存在します。X1 クロックを発振させる前に発振安定待ち時間の設定を行ってください。発振安定待ち時間については発振子メーカーが推奨する発振安定待ち時間を確保するようにしてください。
- 注 4 : L バージョンでは、分周後の周波数が 1~32MHz となるように設定してください。
K バージョンでは、分周後の周波数が 1~24MHz となるように設定してください。
- 注 5 : R8C/34x のフローチャートはプロテクトビットの設定を省略しています。

6.2 CPU クロックの分周

R8C/34x では、CM06、CM16、CM17 ビットでシステムクロックの分周比を変更することができます。

RL78/F14 では、CPU/周辺ハードウェア・クロック(f_{CLK})のクロック源にメイン/PLL 選択クロック(f_{MP})を選択すると CPU と周辺ハードウェアが、MDIV レジスタで分周した後のクロックで動作します。

図 6.2に RL78/F14 と R8C/34x の CPU クロックと周辺機能クロックの分周選択を示します。

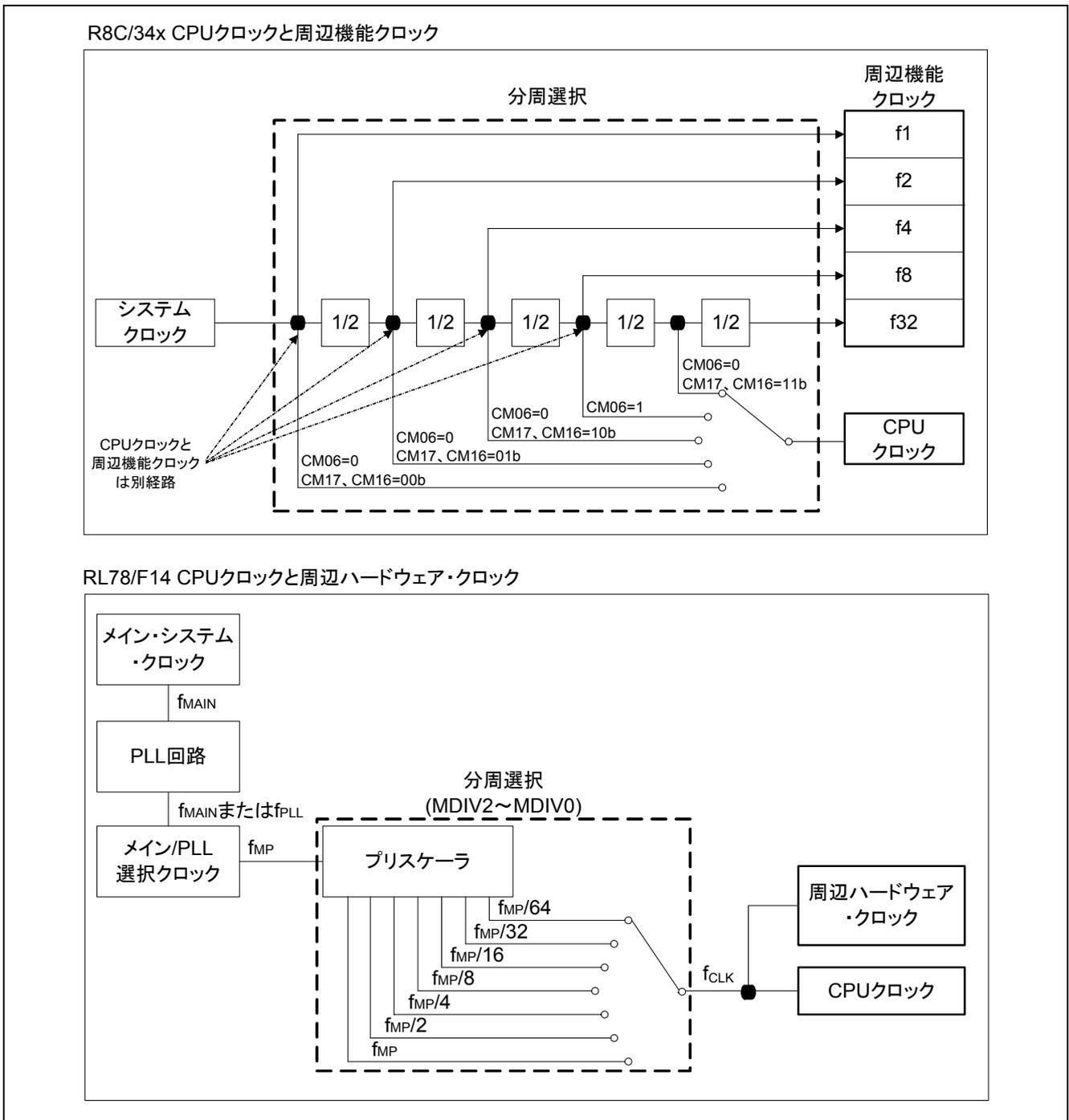


図6.2 RL78/F14 と R8C/34x の CPU クロックと周辺機能クロックの分周選択

<ポーティングのポイント>

• CPU クロックの分周変更時の注意点

RL78/F14 でメイン/PLL 選択クロック(f_{MP})をクロック源とした場合、CPU と周辺機能には共に f_{MP} クロック分周レジスタ(MDIV)で分周したクロック(f_{CLK})が供給されます。CPU クロックと周辺機能クロックの分周が別々に選択できる R8C/34x の仕様とは異なります。

R8C/34x では、クロックの分周を CM06、CM16、CM17 ビットで変更可能です。CPU の分周については、R8C/34x での処理を RL78/F14(MDIV レジスタで分周)にポーティングした際に周辺ハードウェア・クロックの分周比も変更されるため、周辺機能が意図しない動作をする可能性があります。MDIV レジスタで分周を変更する場合は、周辺機能の動作に影響がないことを確認してください。

6.3 発振停止検出機能

表 6.2 に RL78/F14 と R8C/34x の外部発振子(RL78/F14 : X1 クロック、R8C/34x : XIN クロック)の停止を検出した際の動作を示します。

表6.2 RL78/F14 と R8C/34x の発振停止検出機能比較

	RL78/F14	R8C/34x
発振停止検出可能 クロック	メイン・システム・クロック PLL クロック	XIN クロック
発振停止検出機能 有効条件	オプション・バイト(000C1H)の CLKMB ビット=0 (注)	発振停止検出レジスタ(OCD)の OCD1~OCD0 ビット=11b
発振停止検出時の動作	メイン・システム・クロックの場合 ・発振停止検出リセット PLL クロック周波数(f_{PLL})の場合 ・メイン・システム・クロックを強制的にクロック源に選択 ・PLL 状態レジスタ(PLLSTS)のビット 3 (SELPLLS)をクリア ・割り込み要求信号(INTCLM)を生成	・発振停止検出割り込み要求発生 ・低速オンチップオシレータ発振 ・低速オンチップオシレータクロックをシステムクロックに選択
発振停止検出機能 停止の条件	・STOP モード中 ・SNOOZE モード中 ・STOP モード解除後の発振安定時間のカウンタ中 ・CPU/周辺ハードウェア・クロック周波数がサブシステム・クロックまたは低速オンチップ・オシレータ・クロックの場合 ・サンプリング・クロック(低速オンチップ・オシレータ)の停止 ・オプション・バイト(000C1H)のビット 4 (CLKMB)=1	・OCD レジスタの OCD0 ビット=0

注：発振停止検出の動作許可/禁止はオプション・バイトで設定するため、プログラム動作中に発振停止検出の動作状態を変更できません。

<ポーティングのポイント>

● 低速オンチップ・オシレータ使用時の制限

RL78/F14 で発振停止検出機能を無効化するには、低速オンチップ・オシレータの発振を停止する必要があります。TAU、タイマ RJ、クロック出力、ブザー出力のカウント・ソースに低速オンチップ・オシレータを使用する場合は、低速オンチップ・オシレータの発振を停止させても周辺機能の動作に問題がないことを確認してください。

<ポーティングのポイント>

● 発振停止検出時のフェール処理

R8C/34x では、発振停止検出割り込み内でフェール処理を行っていましたが、RL78/F14 では、リセット後にリセット要因を判別してフェール処理を行う方法があります。

図 6.3に RL78/F14 と R8C/34x の発振停止検出時の処理例を示します。

RL78/F14 では発振停止検出によるリセットが発生した場合、POR/CLM リセット確認レジスタ (POCRES)の CLKRF ビットが“1”となります。リセット後に CLKRF ビットを用いて、リセット要因が発振停止検出であるかを判定して処理を実施してください。

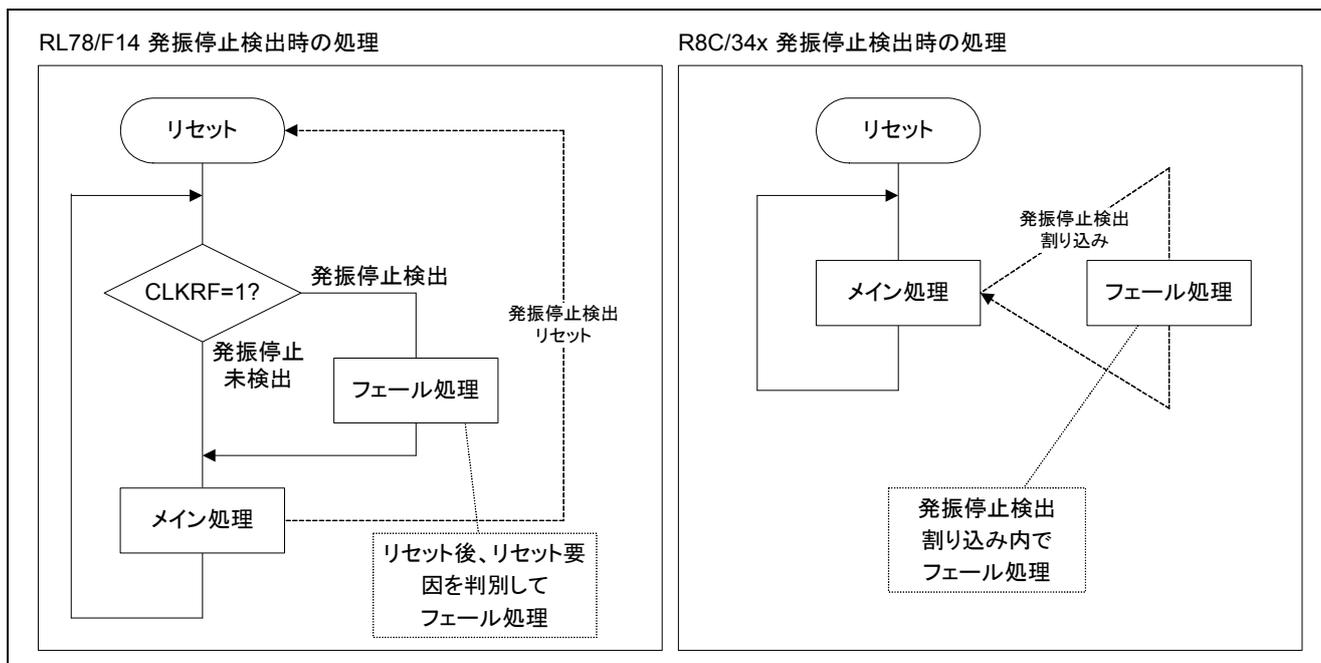


図 6.3 RL78/F14 と R8C/34x の発振停止検出時の処理例

7. CPU クロック状態遷移(パワーコントロール)

図 7.1に CPU クロック状態遷移図を示します。

R8C/34x ではリセット解除後の CPU クロック源に低速オンチップ・オシレータが選択されますが、RL78/F14 では、高速オンチップ・オシレータが選択されます。

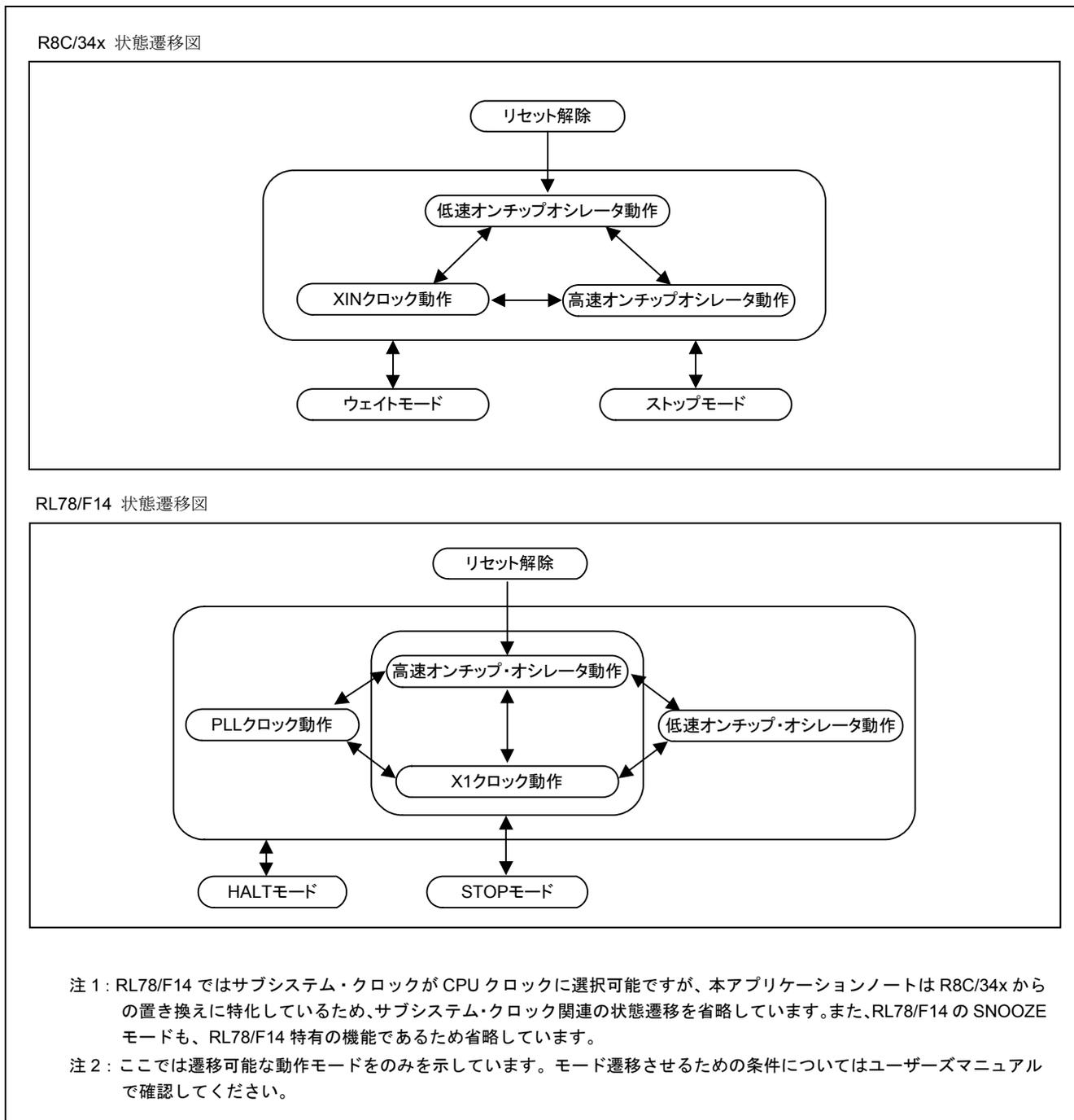


図7.1 RL78/F14 と R8C/34x の CPU クロック状態遷移図

7.1 低消費電力設定

RL78/F14 には、マイコンの消費電流をより低減するための機能があります。ここでは R8C/34x のウェイトモードとストップモードと同等の機能を持つ HALT モードと STOP モードの 2 つについて説明します。

7.1.1 HALT モード

RL78/F14 の HALT モードは、高速システム・クロック発振(X1 クロック、外部メイン・システム・クロック)、高速オンチップ・オシレータ、サブシステム・クロック、低速オンチップ・オシレータ、PLL クロックの発振状態を維持したまま、CPU の動作クロックを停止させるモードです。R8C/34x のウェイトモードに相当する機能です。

HALT 命令を実行することで HALT モードに移行し、割り込み要求により HALT モードから復帰します。

表 7.1 に RL78/F14 HALT モードと R8C/34x ウェイトモードの機能比較を示します。

表 7.1 RL78/F14 HALT モードと R8C/34x ウェイトモードの機能比較

	RL78/F14	R8C/34x
HALT モード、ウェイトモードへの移行方法	<ul style="list-style-type: none"> ・ HALT 命令の実行(注) →割り込みを使用して HALT モードから復帰する場合は、IE フラグを割り込み許可に設定後、HALT 命令を実行 →割り込み要求で HALT モードから復帰する場合は、IE フラグを割り込み禁止に設定後、HALT 命令を実行 	<ul style="list-style-type: none"> ・ WAIT 命令の実行 →割り込みを使用してウェイトモードから復帰 ・ CM30 ビットへの“1”書き込み →割り込み要求発生でウェイトモードから復帰
HALT モード、ウェイトモードから復帰後の CPU クロック源	<ul style="list-style-type: none"> ・ HALT モードに移行する直前の CPU/周辺ハードウェア・クロック 	<ul style="list-style-type: none"> ・ ウェイトモードに移行する直前の CPU クロック (CM37、CM36 ビット=00b) ・ 高速オンチップオシレータ (CM37、CM36 ビット=10b) ・ XIN クロック (CM37、CM36 ビット=11b)
HALT モード、ウェイトモードから復帰後の CPU クロック分周	<ul style="list-style-type: none"> ・ HALT モードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・ 分周なし (CM35 ビット=1) ・ ウェイトモードに移行する直前のクロック →CM06 ビット、CM16 ビット、CM17 ビットの設定に従う (CM35 ビット=0)
HALT モード、ウェイトモード中の周辺機能クロック	<ul style="list-style-type: none"> ・ 周辺機能ごとに周辺ハードウェア・クロックを供給/停止することが可能 対象レジスタ：PER0、PER1、PER2 ・ OSMC レジスタの RTCLPC ビットを 1 にすることで、CPU クロックを低速オンチップ・オシレータに選択している場合に限り、周辺ハードウェアへのクロック停止が可能 	<ul style="list-style-type: none"> ・ CM0 レジスタの CM02 ビットにより、システムクロックを周辺機能クロック源としている機能(全周辺機能)へのクロック供給/停止が可能

注：HALT モードからの復帰要因として使用する割り込みについては、HALT モードに移行する前に割り込みマスク・フラグ・レジスタを割り込み処理許可に設定してください。

7.1.2 STOP モード

RL78/F14 の STOP モードは、高速システム・クロック (X1 クロック) と高速オンチップ・オシレータの発振を停止し、マイコンの動作を停止させるモードです。R8C/34x のストップモードに相当する機能です。

STOP 命令を実行することで STOP モードに移行し、割り込み要求により STOP モードから復帰します。

表 7.2 に RL78/F14 STOP モードと R8C/34x ストップモードの機能比較を示します。

表 7.2 RL78/F14 STOP モードと R8C/34x ストップモードの機能比較

	RL78/F14	R8C/34x
STOP モード、ストップモードへの移行方法	<ul style="list-style-type: none"> ・ STOP 命令の実行(注) →割り込みを使用して STOP モードから復帰する場合は、IE フラグを割り込み許可に設定後、STOP 命令を実行 →割り込み要求で STOP モードから復帰する場合は、IE フラグを割り込み禁止に設定後、STOP 命令を実行 	<ul style="list-style-type: none"> ・ CM10 ビットへ“1”書き込み →割り込みを使用してストップモードから復帰するため、I フラグは割り込み許可に設定した後、CM10 ビットに“1”を設定
STOP モード、ストップモードから復帰後の CPU クロック源	<ul style="list-style-type: none"> ・ STOP モードに移行する直前のメイン・システム・クロック 	<ul style="list-style-type: none"> ・ ストップモードに移行する直前の CPU クロック (CM37、CM36 ビット=00b) ・ 高速オンチップオシレータ (CM37、CM36 ビット=10b) ・ XIN クロック (CM37、CM36 ビット=11b)
STOP モード、ストップモードから復帰後の CPU クロック分周	<ul style="list-style-type: none"> ・ STOP モードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・ 8 分周 (CM06 ビット=1)
STOP モード、ストップモードから復帰した時のメインクロック発振安定待ち	<ul style="list-style-type: none"> ・ X1 クロックの発振安定待ち時間を計測する専用のタイマが存在。STOP モードに遷移する前に OSTS レジスタを設定することで発振安定待ち時間を確保 	<ul style="list-style-type: none"> ・ ソフトウェアによりループカウンタを作成し、発振安定待ち時間を確保

注：STOP モードからの復帰要因として使用する割り込みは、STOP モードに移行する前に割り込みマスク・フラグ・レジスタを割り込み処理許可に設定してください。

7.1.3 消費電流低減方法

R8C/34x では、ウェイトモードに遷移することで消費電流を低減させます。RL78/F14 での設定方法は以下の通りです。

【R8C/34x ウェイトモードの設定】

- CPU クロックに低速オンチップオシレータを設定
- XIN クロック、高速オンチップオシレータの発振は停止
- タイマを使用して定期的にウェイトモードから復帰(間欠動作)

<RL78/F14 消費電流低減方法>

消費電流低減方法 1：低速オンチップ・オシレータ動作モードから HALT モードへの遷移

低速オンチップ・オシレータを CPU クロック源とした状態で HALT モードへの移行が可能です。この場合、低速オンチップ・オシレータの周波数が 15kHz と低速であるため、消費電流は抑えられますが、HALT モードからの復帰と復帰後の処理に時間がかかります。低速オンチップ・オシレータで HALT モードに遷移させる場合は、動作速度が問題にならないことを十分に検証してください。

消費電流低減方法 2：高速オンチップ・オシレータ動作モードから HALT モードへの遷移

低速オンチップ・オシレータの動作速度が遅い場合、高速オンチップ・オシレータをクロック源とした状態で HALT モードに遷移することが可能です。ただし高速オンチップ・オシレータの周波数が遅くても 1MHz となり、R8C/34x よりも消費電流が高くなります。このことが問題にならないことを十分に検証してください。

消費電流低減方法 3：高速オンチップ・オシレータ動作モードから STOP モードへの遷移

低速オンチップ・オシレータ、または高速オンチップ・オシレータで HALT モードに遷移させたときに、消費電流が目標の値にならない場合は、以下の設定で STOP モードを使用してください。

【STOP モードを使用する場合に必要な設定】(注 1)

- CPU クロックに高速オンチップ・オシレータを選択
- 低速オンチップ・オシレータを発振
- STOP モードから定期的に復帰させるため、タイマ RJ の割り込みを使用
- タイマ RJ のカウント・ソースに低速オンチップ・オシレータを選択

注 1：STOP モード中では動作できない周辺機能が HALT モードよりも多くなります。また、STOP モードから復帰にかかる時間が HALT モードよりも長くなります。これらが問題にならないことを確認してください。STOP モード中に動作可能な機能と STOP モードからの復帰時間は、ユーザーズマニュアルで確認してください。

注 2：低速オンチップ・オシレータは、STOP モード中でも発振することが可能です。

8. RL78/F14 オプション・バイト

RL78/F14 のオプション・バイトは、R8C/34x のオプション機能選択レジスタ(OFS)に相当する機能です。

オプション・バイトも OFS レジスタと同様に ROM 配置のレジスタで、設定は ROM ライタによる書き込みで行います。

図 8.1に RL78/F14 オプション・バイトと R8C/34x OFS のレジスタ構成比較を示します。

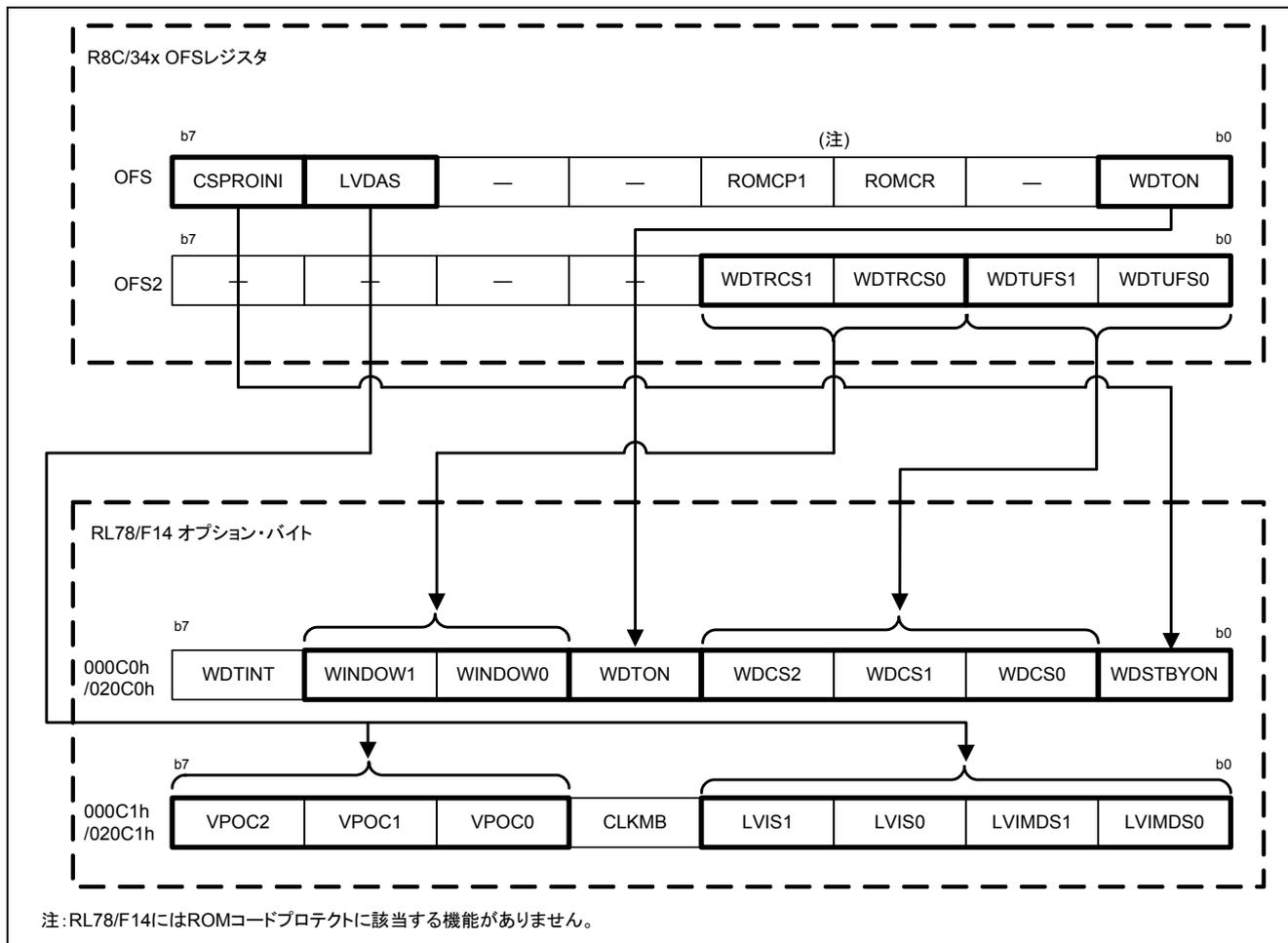


図8.1 RL78/F14 オプション・バイトと R8C/34x OFS レジスタのレジスタ構成比較

<ポーティングのポイント>

• カウントソース保護モード

R8C/34x では、OFS レジスタの CSPROINI ビットでカウントソース保護モードに設定します。
RL78/F14 で同等の機能を実現させる場合は、オプション・バイトで以下の設定をしてください。

- 000C0h/020C0h 番地の WDSTBYON ビットを “1” (HALT/STOP モード時、カウンタ動作)に設定
- 000C0h/020C0h 番地の WDTON ビットを “1” (リセット解除後、カウント開始)に設定

• パワーオンリセット

RL78/F14 で R8C/34x のパワーオンリセット機能と同等の動作をさせる場合は、オプション・バイトで以下の設定をしてください。

- 000C1h/010C1h 番地の LVIMDS1、LVIMDS0 ビットを “11b” (リセット・モード)に設定

注：RL78/F14 と R8C/34x のパワーオンリセット機能の電圧検出レベルが異なります。RL78/F14 において、R8C/34x と全く同じ 2.85V(TYP.)を電圧低下検出の閾値とすることはできませんが、オプション・バイトで、近い閾値の 2.81V(TYP.)に設定することが可能です。この閾値の差が問題にならないことを十分検証してください。

9. ソフトウェアリセット

RL78/F14 では、R8C/34x のソフトウェアリセット(PM03 ビット)に相当する機能が存在しません。RL78/F14 で任意のタイミングでリセットを実行するには、以下の手段があります。

- 不正命令実行による内部リセット
- ウォッチドッグ・タイマ使用時、リフレッシュコード以外の値でリフレッシュを実行すると内部リセット
- 不正メモリ・アクセスによる内部リセット

注：リセット・コントロール・フラグ・レジスタ(RESF)でリセット要因を判別することは可能です。ただし、内部リセットを意図的に発生させたものか、内部リセットが異常で発生したかを判別することができなくなります。このことが問題とならないことを確認してください。

10. プロテクト機能

RL78/F14 には、R8C/34x のプロテクトレジスタの機能に相当する機能として SFR ガード機能があります。

SFR ガード機能は、不正メモリ・アクセス検出制御レジスタ (IAWCTL) で制御することが可能です。SFR ガード機能を有効にすると、ガード対象のレジスタへの書き込みは無効になりますが、読み出しは可能です (R8C/34x の PRC0、PRC1、PRC3 ビットと同等の機能)。SFR ガード機能によるプロテクト対象の機能とビットは以下の通りです。

ポート機能

制御ビット：GPORT ビット (IAWCTL レジスタのビット 2)

ガード対象レジスタ：PM_{xx}、PU_{xx}、PIM_{xx}、POM_{xx}、PMC_{xx}、PITHL_{xx}、ADPC、PIOR_x

割り込み機能

制御ビット：GINT ビット (IAWCTL レジスタのビット 1)

ガード対象レジスタ：IF_{xx}、MK_{xx}、PR_{xx}、EGP_x、EGN_x

クロック制御機能、電圧検出回路、RAM パリティ・エラー検出機能

制御ビット：GCSC ビット (IAWCTL レジスタのビット 0)

ガード対象レジスタ：CMC、CSC、OSTS、CKC、PER0、PER1、PER2、OSMC、LVIM、LVIS、CANCKSEL、LINCKSEL、CKSEL、PLLCTL、MDIV、RTCCL、POCRES、STPSTC

<ポーティングのポイント>

• リセット解除後のプロテクト状態

リセット解除後、R8C/34x は、プロテクト機能が有効となっていますが、RL78/F14 の SFR ガード機能はすべて無効 (プロテクト解除) になっています。R8C/34x と同じようにプロテクト状態にする場合は、リセット解除後に IAWCTL レジスタでガード機能を有効に設定してください。

• プロテクトの有効/無効

プロテクト機能を有効/無効に制御するビットの論理 (設定値) が RL78/F14 と R8C/34x で逆になります。設定に誤りがあると正しくプロテクトされないので注意してください。

11. I/O ポート

11.1 ポートの構成

表 11.1に RL78/F14 と R8C/34x の I/O ポート一覧を示します。

表11.1 I/O ポート一覧

	RL78/F14	R8C/34x
I/O ポート	P00 P10~P17 P30~P34 P40、P41 P60~P63 P70~P73 P80~P87 P90~P92 P120~P125 (注 1) P130、P137 (注 2) P140	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0、P3_1、P3_3~P3_5、P3_7 P4_2~P4_7 (注 3) P6_0~P6_7

注 1: P121~P124 は入力専用です。

注 2: P130 は出力専用、P137 は入力専用です。

注 3: P4_2 は入力専用です。

<ポーティングのポイント>

- 出力タイミング

RL78/F14 で 8 本端子構成のポートグループは P1 と P8 です(P8 はアナログ端子機能と兼用)。R8C/34x と RL78/F14 はポートの構成が異なります。R8C/34x では 1 命令で出力制御が可能ですが、RL78/F14 では複数のポートグループに分けて制御を行うため出力のタイミングに差異が生じます。このことが問題にならないことを十分に検証してください。

- CMOS 入出力端子

CMOS 入出力端子の本数は RL78/F14 では 38 本、R8C/34x では 43 本になります。RL78/F14 で CMOS 入出力端子の本数が不足しないことを確認してください。

11.2 ポート機能比較

表 11.2に RL78/F14 と R8C/34x のポート機能比較を示します。

表11.2 ポート機能比較

機能	RL78/F14	R8C/34x
ポート入出力設定	ポート・モード・レジスタ(PMxx)(注 1) 0 : 出力設定 1 : 入力設定	ポート Pi 方向レジスタ(PDi)(注 2) 0 : 入力設定 1 : 出力設定
ポート出力ラッチ	ポート・レジスタ(Pxx) 0 : “L”出力 1 : “H”出力	ポート Pi レジスタ(Pi) 0 : “L”出力 1 : “H”出力
プルアップ制御	プルアップ抵抗オプション・レジスタ(PUxx)(注 1) 1 端子ごとに設定 入力ポート選択時に有効	プルアップ制御レジスタ(PUR0、PUR1) 4 端子まとめて設定 入力ポート選択時に有効
入力ポートの閾値切り替え	ポート入力閾値制御レジスタ(PITHLxx)(注 1) 1 端子ごとに設定 0 : VIL=0.3EV _{DD} 1 : VIL=0.5EV _{DD}	入力閾値制御レジスタ(VLT0、VLT1) 0.5VCC、0.35VCC、0.70VCC の閾値をポートグループ単位で選択
ポート読み出し選択	ポート・モード・選択レジスタ(PMS)(注 3) 0 : 出力モード時は、Pmn の値を読み出す 1 : 出力モード時は、端子レベルを読み出す	入出力端子選択レジスタ(PINSR)(注 3) ポート Pi レジスタを読み出すとき、読み出し先をポートラッチ、または端子に切り替えることが可能(出力ポート時のみ) 0 : 出力ポート時、ポート Pi レジスタの値を読み出す 1 : 端子の状態を読み出す
ポート割り当て	周辺 I/O リダイレクション・レジスタ(PIOR0~PIOR8)	—

注 1 : SFR ガード機能により、プロテクトの有効/無効の切り替えが可能です。

注 2 : P0 がプロテクトビットの対象です。

注 3 : 全端子一括で設定を切り替えます。

<ポーティングのポイント>

● ポート機能設定

RL78/F14 では、アナログ入力とポート機能の切り替えを行うレジスタは以下の通りです。ポート機能として使用する場合は、以下のレジスタをポート機能(デジタル入出力)に設定してください。

- ポート・モード・コントロール・レジスタ(PMC7、PMC9、PMC12)(注)
- A/D ポート・コンフィギュレーション・レジスタ(ADPC)

注：PMC9 レジスタは ROM サイズ 48KB~96KB、PMC レジスタは ROM サイズ 128KB~256KB の製品対象です。

● ポートの入出力設定値

ポートの入出力の設定値が RL78/F14 と R8C/34x では逆になります。ポート・モード・レジスタ(PMxx)の設定値に誤りがないことを確認してください。

● 出力専用ポート

RL78/F14 にはリセット解除後の出力専用端子があります。使用しない場合は、正しく未使用端子処理ができていないことを確認してください。未使用端子処理については「11.3 未使用端子設定」を参照してください。

● 入力ポートの閾値

RL78/F14 と R8C/34x では、入力ポートの閾値が異なります。R8C/34x で検出できていたレベルが RL78/F14 で検出できない、または R8C/34x で検出していなかったレベルが RL78/F14 で検出する可能性があります。このような動作をする可能性がないかを十分に検証してください。

● ポート設定の際の注意

ポート・モード・レジスタ(PMxx)は、R8C/34x のポート Pi 方向レジスタ(PDi)と同等の機能を持つレジスタです。R8C/34x のプロセッサモードレジスタ i(PMi)とシンボルが同じであるため、ポーティングの際にコーディングミスしていないことを確認してください。

● 周辺機能の出力設定

RL78/F14 と R8C/34x では周辺機能を出力端子として使用する際の設定方法に以下の違いがあります。ポート機能出力設定の詳細についてはユーザーズマニュアルで確認してください。R8C/34x のポート方向レジスタは、一部の機能を除き出力設定不要です。

【RL78/F14 周辺機能の出力条件】

- ポート・モード・レジスタ(PMxx)の該当ビットに“0”を設定(0:出力設定 1:入力設定)
- ポート・レジスタ(Pxx)の該当ビットに“0”または“1”を設定(0:“L”出力 1:“H”出力)

注：周辺機能により設定値が異なります。

● ポート・モード選択レジスタ(PMS)の注意事項

下記の条件でリード・モディファイ・ライト命令を使用して汎用出力ポートの設定値を変更すると、周辺機能出力ポートが汎用出力ポートに切り替わる可能性があります。このことが問題となる場合はMOV 命令を使用してください。

- ポート・モード選択レジスタ(PMS)の PMS0 ビットが “1” のとき (ポートが出力設定の場合、端子の出力レベルを読み出す)
- 同じポートグループ内に周辺機能出力として使用するポートと汎用出力ポートが混在するとき

図 11.1 ではリード・モディファイ・ライト命令実行時に周辺機能がポート出力に切り替わる例を示します。

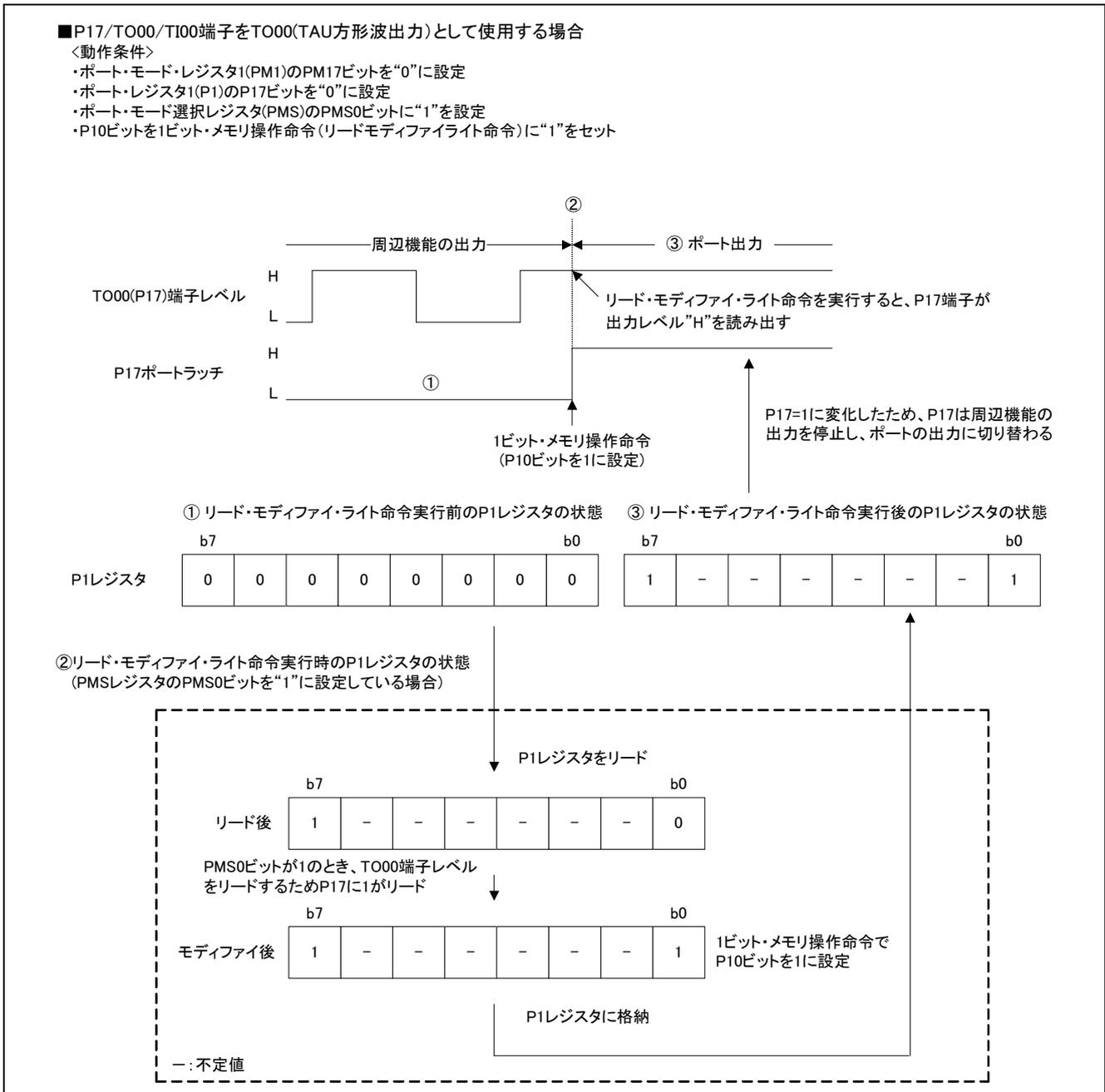


図 11.1 リード・モディファイ・ライト命令による出力切り替わり例

11.3 未使用端子設定

表 11.3に RL78/F14 と R8C/34x の未使用端子設定を示します。

表11.3 未使用端子設定

ポートの種類	RL78/F14	R8C/34x
入出力ポート	入力時：端子ごとに抵抗を介して、 V_{DD} または V_{SS} に接続 出力時：オープン 【該当端子】 P00、P10~P17、P30~P34、P40、P41、P60~P63、 P70~P73、P80~P87、P90~P92、P120、P125、 P140	入力時：端子ごとに抵抗を介して V_{CC} または V_{DD} に接続 出力時：オープン 【該当端子】 P0、P1、P2、P3_0、P3_1、P3_3~P3_5、P3_7、 P4_3~P4_7、P6
入力専用ポート	抵抗を介して V_{DD} または V_{SS} に接続 【該当端子】 P121~P124、P137	V_{CC} に直接接続 【該当端子】 P4_2/VREF
出力専用ポート	オープン 【該当端子】 P130(注 1)	該当端子なし
RESET	V_{DD} に直接接続または抵抗を介して接続(注 2)	抵抗を介して V_{CC} に接続
REGC	コンデンサ(0.47 μ F~1 μ F)を介し、 V_{SS} に接続	該当端子なし

注 1：RL78/F14 の P130 端子は、出力専用ポートです。常に出力ポートとして機能します。

注 2：E1 を使用する場合は必ず抵抗を介して接続してください。詳細は E1 の別冊マニュアルを参照してください。

<ポーティングのポイント>

- 出力専用ポート(P130)

プログラムで入力に設定することができないので、逆電位が印加されないようにしてください。

- REGC 端子処理

REGC 端子からマイコンの内部電圧を出力しています。パスコンを付けて内部電圧を安定させるための端子です。 V_{DD} や V_{SS} とダイレクトに接続したり、外部から電圧を印加したりすることが無いようにしてください。

12. 割り込み

R8C/34x の割り込み処理を RL78/F14 にポーティングする際のポイントを説明します。

<ポーティングのポイント>

- I/E フラグへの割り込み許可/禁止設定

RL78/F14 の IE フラグは R8C/34x の I フラグに相当します。

IE フラグの設定は次の専用命令で実行します。

- IE フラグを“0”にする場合は DI 命令を実行
- IE フラグを“1”にする場合は EI 命令を実行

- 割り込みマスク・フラグ・レジスタへの割り込み許可/禁止設定

RL78/F14 では、IE フラグとは別にマスクブル割り込みの割り込み処理を許可/禁止設定にするレジスタ(割り込みマスク・フラグ・レジスタ)があります。割り込みマスク・フラグ・レジスタを禁止にすると割り込みが発生しません。R8C/34x には、割り込みマスク・フラグ・レジスタと同様のレジスタはありませんが、割り込み優先レベルを“0”に設定したときと同じ機能になります。

対象となるマスク・フラグ・レジスタは次の通りです。

MK0L、MK0H、MK1L、MK1H、MK2L、MK2H、MK3L

注：割り込みマスク・フラグ・レジスタは、割り込み要求の発生を制御するものではありません。

- 割り込み優先レベル

表 12.1 に RL78/F14 と R8C/34x の割り込み優先レベルを示します。表 12.1 が示すようにマスクブル割り込みにおいて RL78/F14 で設定可能な割り込み優先レベルは 0~3、R8C/34x で設定可能な割り込み優先レベルは 0~7 になります。

RL78/F14 で対象となるレジスタは次の通りです。

PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR03L、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H、PR13L

表12.1 RL78/F14 と R8C/34x の割り込み優先レベル

割り込み優先レベル	RL78/F14		R8C/34x		
	割り込みの受付	優先度	割り込みの受付	優先度	
0	許可	高	禁止	—	
1		↑		許可	↓
2					
3	低				
4	設定不可	—	許可	高	
5					
6					
7					

• 多重割り込み

RL78/F14 では割り込み内で IE フラグを“1”に設定すると多重割り込み許可になります。

RL78/F14 で多重割り込みとして受け付けられる割り込みは、先に発生している割り込みの優先レベルよりも高い優先レベルの割り込みです。ただし、割り込み優先レベルが“0”に設定されている場合は、他の割り込み優先レベル“0”の割り込みを多重割り込みとして受け付けることができます。

R8C/34x では、先に発生した割り込みより優先順位が高い場合は多重割り込みとして受け付けられますが、同一優先レベルの割り込みを受け付けることはありません。

多重割り込みを使用している場合は、上記の割り込み動作に注意が必要です。

• 割り込み応答時間

RL78/F14 と R8C/34x では、割り込み要求が発生してから割り込み処理を実行するまでのサイクル数(割り込み応答時間)が以下のように異なります。割り込み発生タイミングの差異がユーザシステムの動作に影響しないことを十分検証してください。

<割り込み応答時間>

RL78/F14 : 16 サイクル(MAX.)

R8C/34x : 20 サイクル(MAX.)

• 割り込みベクタ・テーブル

RL78/F14 では、以下の機能は割り込みベクタ・テーブルを兼用しているため、割り込みを同時に使用することができません。仕様検討時に問題とならないことを確認してください。

- INTP4、INTSPM(スタック・ポインタオーバーフロー/アンダフロー)の2つの機能が1つの割り込みに割り当てられています。
- INTP6、TAU1 のチャンネル 1(8 ビット・タイマモード動作時)の2つの機能が1つの割り込みに割り当てられています。
- INTP7、TAU1 のチャンネル 3(8 ビット・タイマモード動作時)の2つの機能が1つの割り込みに割り当てられています。
- INTP8、INTRTC(RTC 定周期信号/アラーム一致検出)の2つの機能が1つの割り込みに割り当てられています。
- INTP9、TAU0 のチャンネル 1(8 ビット・タイマモード動作時)の2つの機能が1つの割り込みに割り当てられています。

• 電圧検出割り込み

R8C/34x の電圧検出割り込みは、ノンマスクブル割り込みとマスクブル割り込みのどちらかを選択可能でしたが、RL78/F14 では、マスクブル割り込みのみとなります。R8C/34x の電圧検出割り込みをノンマスクブル割り込みで使用している場合、割り込みの受付タイミングが異なるので注意が必要です。

ノンマスクブル割り込みは、割り込み許可フラグ、割り込み優先レベルに関係なく、イベントが発生するとすぐに発生します。しかし、マスクブル割り込みは、割り込み許可フラグ、割り込み優先レベルの状態に影響を受けます。そのため、割り込み許可フラグ、割り込み優先レベルの状態によっては、電圧低下を検出しても、すぐに電圧検出割り込みが発生しない場合があります。

RL78/F14 で、R8C/34x のノンマスクブル割り込みと同等の動作をさせる方法を以下に示します。電圧検出等の安全機能系の割り込みが最優先で発生するように設定してください。

- 安全機能系の割り込み優先レベルを他の割り込みよりも高く設定する。
- 割り込み内(安全機能系の割り込みを除く)でも、割り込み許可フラグ(IE)を“1”に設定し、常に割り込み許可状態とする。

注：電圧検出割り込みの割り込み優先レベルが“0”で多重割り込みを許可にすると、連続して電圧検出割り込みが発生する可能性があるため、スタックがオーバーフローすることが考えられます。

13. ウォッチドッグ・タイマ

表 13.1に RL78/F14 と R8C/34x のウォッチドッグ・タイマ(WDT)機能比較を示します。

表13.1 RL78/F14 と R8C/34x の WDT 機能比較

比較対象	RL78/F14	R8C/34x
動作クロック	低速オンチップ・オシレータ (fWDT)	<ul style="list-style-type: none"> ・ カウントソース保護モード無効時 CPU クロック (XIN、高速オンチップオシレータ、低速オンチップオシレータ) ・ カウントソース保護モード有効時 WDT 専用低速オンチップオシレータ
カウント開始タイミング	リセット解除後(オプション・バイトの WDTON ビットを“1”に設定)	<ul style="list-style-type: none"> ・ リセット解除後(OFS レジスタの WDTON ビットを“0”に設定) ・ WDTs レジスタに任意の値を書いたとき
WDT カウント動作	アップカウント	ダウンカウント
リフレッシュ方法	WDTE レジスタに“ACH”を書き込み	WDTR レジスタに“00h”を書いた後、“FFh”を書き込み
カウント周期	オプション・バイトの WDCS0 ビット、WDCS1 ビット、WDCS2 ビットで設定 (fWDT=17.25kHz(MAX.)の場合) <ul style="list-style-type: none"> ・ 3.71ms ・ 7.42ms ・ 14.84ms ・ 29.68ms ・ 118.72ms ・ 474.89ms ・ 949.79ms ・ 3799.18ms 	<ul style="list-style-type: none"> ・ カウントソース保護モード無効時 WDC レジスタの WDC7 ビット、OFS2 レジスタの WDTUFS0、WDTUFS1 ビットで設定 ・ カウントソース保護モード有効時 OFS2 レジスタの WDTUFS0、WDTUFS1 ビットで設定
WDT 検出時の動作	リセット	<ul style="list-style-type: none"> ・ カウントソース保護モード無効時 リセット or 割り込みを PM12 ビットで選択 ・ カウントソース保護モード有効時 リセット
WDT リセット条件	<ul style="list-style-type: none"> ・ WDT オーバフロー ・ ウィンドウ機能クローズ期間でのリフレッシュ ・ WDTE レジスタにビット命令を使用したとき ・ WDTE レジスタに“ACH”以外を書き込み 	<ul style="list-style-type: none"> ・ WDT アンダフロー ・ ウィンドウ機能クローズ期間でのリフレッシュ
リセット判別	RESF レジスタの WDCLRF ビットが“1”になることで WDT リセットを判別可能(注 1)	RSTFR レジスタの WDR ビットが“1” になることで WDT リセットを判別可能(注 2)
ウィンドウ機能	オプション・バイトの WINDOW0 ビット、WINDOW1 ビットでウィンドウのオープン期間を設定(注 3) <ul style="list-style-type: none"> ・ 50% ・ 75% ・ 100% 	OFS2 レジスタの WDTRCS0 ビット、WDTRCS1 ビットでウィンドウのオープン期間を設定 <ul style="list-style-type: none"> ・ 25% ・ 50% ・ 75% ・ 100%
HALT モード(ウェイトモード)時の動作	オプション・バイトの WDSTBYON ビットで HALT モード中の WDT の動作停止/継続を選択可能	<ul style="list-style-type: none"> ・ カウントソース保護モード無効時 WDT カウント停止 ・ カウントソース保護モード有効時 ウェイトモードに遷移不可、WDT 継続動作
STOP モード(ストップモード)時の動作	オプション・バイトの WDSTBYON ビットで STOP モード中の WDT の動作を選択可能	<ul style="list-style-type: none"> ・ カウントソース保護モード無効時 WDT カウント停止 ・ カウントソース保護モード有効時 ストップモードに遷移不可、WDT 継続動作

注 1: ハードウェアリセット、パワーオンリセット、RESF レジスタの読み出しにより WDCLRF ビットが“0” クリアされます。

注 2: 次のリセットを検出したとき、RSTFR レジスタの状態が変化します。RSTFR レジスタの読み出しにより WDR ビットが“0” クリアされることはありません。

注 3: リセット解除後、最初にリフレッシュするまでは、ウィンドウのオープン期間が 100%になります。1 回目のリフレッシュ以降はオプション・バイトで設定したウィンドウ期間が有効になります。

<ポータビリティのポイント>

- **WDT のリフレッシュ方法**

表 13.1 で示しているように RL78/F14 と R8C/34x で WDT のリフレッシュ方法が異なります。ポータビリティする際はプログラムの修正が必要です。

- **WDT 検出時の動作**

R8C/34x ではカウントソース保護モード無効時の WDT 検出時動作として割り込みを設定することができますが、RL78/F14 では常にリセット動作になります。ユーザシステムにおいてこれが問題となる場合、WDT オーバフローまでの $75\% + 1/2f_{\text{WDT}}$ のタイミングで発生するインターバル割り込みを代用可能です。ただし、WDT のインターバル割り込みはノンマスカブル割り込みではないため、WDT 検出後すぐに割り込み処理を実行できない可能性があります。すぐに WDT のインターバル割り込みを発生させたい場合は、他の周辺機能の割り込みを多重許可に設定し、WDT のインターバル割り込みの割り込み優先レベルを“0”に設定してください。

注：多重割り込み許可によるデータの相互干渉が起きないことを確認してください。

- **WDT 検出までの周期**

R8C/34x では WDT のカウントソースに CPU クロックが設定されており、カウントソース無効時に CPU クロックを切り替えると WDT のカウント周期が変化します。一方 RL78/F14 では WDT のクロック源が低速オンチップ・オシレータに固定されるため、CPU クロックのカウントソースを切り替えても WDT の周期は変わりません。RL78/F14 と R8C/34x の WDT リフレッシュタイミングが問題とならないことを確認してください。

- **ウインドウ機能**

R8C/34x のウインドウ機能では 25% が選択できましたが、RL78/F14 では 25% のウインドウは存在しません。R8C/34x で 25% のウインドウを使用し、RL78/F14 で 100% 以外のウインドウを設定する場合は、WDT のリフレッシュタイミングが問題とならないことを確認してください。

- **WDT と連動して動作する機能**

RL78/F14 では、オプション・バイトの WDTON ビットを、リセット後、WDT カウント開始に設定すると不正メモリ・アクセス検出機能が有効になります。不正メモリ・アクセス検出機能は、一度有効にするとプログラムで無効にすることができません。

14. タイマ

R8C/34x から RL78/F14 へのタイマ移行(組み合わせ)例は以下の通りです。

- R8C/34x のタイマ RA から RL78/F14 のタイマ RJ
- R8C/34x のタイマ RB から RL78/F14 のタイマ・アレイ・ユニット(以下、TAU)
- R8C/34x のタイマ RC から RL78/F14 の TAU
- R8C/34x のタイマ RD から RL78/F14 のタイマ RD
- R8C/34x のタイマ RE から RL78/F14 の TAU

<ポーティングのポイント>

- ポートの設定

タイマ機能の端子として出力する場合、R8C/34x では、ポート Pi 方向レジスタ(PDi)の値に関係なくタイマ出力に設定することができましたが、RL78/F14 では、各ポートに対応するポート・モード・レジスタ(PMxx)のビット及びポート・レジスタ(Pxx)のビットに“0”(“L”出力)を設定する必要があります。

注：ポート・モード・レジスタ(PMxx)は、R8C/34x のポート Pi 方向レジスタと同等の機能を持つレジスタです。R8C/34x のプロセッサモードレジスタ i(PMi)とシンボルが同じであるため、ポーティングの際にコーディングミスしていないことを確認してください。

14.1 タイマ RA からタイマ RJ へのポーティング

図 14.1に RL78/F14 のタイマ RJ と R8C/34x のタイマ RA の各モードの対応を示します。

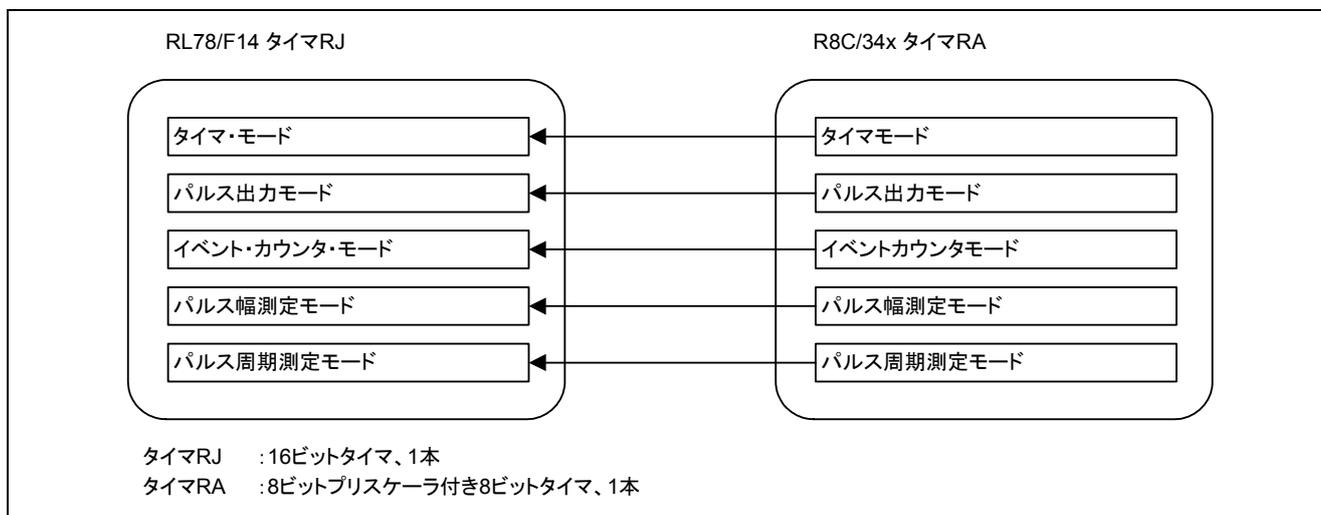


図14.1 RL78/F14 タイマ RJ と R8C/34x タイマ RA の各モードの対応

<ポーティングのポイント>

• 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによってタイマ RJ モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブル・レジスタ 1(PER1)の TRJ0EN ビット(注 1、注 2)で行います。タイマ RJ 関連レジスタにアクセスする前に TRJ0EN ビットでクロック供給許可に設定してください。

注 1：周辺イネーブル・レジスタ 1(PER1)の TRJ0EN ビット

0：タイマ RJ への入力クロック供給停止(タイマ RJ 関連レジスタはリセット後の値)

1：タイマ RJ への入力クロック供給 (タイマ RJ 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、タイマ RJ は非アクティブ状態です。

注 2：R8C/34x のタイマ RA では、タイマ RA モードレジスタ(TRAMR)の TCKCUT ビットが TRJ0EN ビットに相当します。リセット後、TCKCUT ビットは“0”(カウントソース供給)となっており、タイマ RA はアクティブ状態です。

• カウント・ソース

R8C/34x のタイマ RA ではカウントソースを CPU クロックまたは高速オンチップオシレータのいずれかに設定できますが、RL78/F14 のタイマ RJ では使用可能なカウント・ソースが CPU/周辺ハードウェア・クロック(f_{CLK})に限られるため高速オンチップ・オシレータは選択できません。これが問題とならないことを確認してください。

注：RL78/F14 の CPU/周辺ハードウェア・クロック(f_{CLK})を高速オンチップ・オシレータに設定することで、タイマ RJ に高速オンチップ・オシレータをカウント・ソースとして供給することが可能です。ただし CPU クロックも同じ(高速オンチップ・オシレータ)になります。

• タイマ設定値

R8C/34x のタイマ RA は 8 ビットプリスケラ付き 8 ビットタイマ、RL78/F14 のタイマ RJ は 16 ビットタイマです。タイマの構成が違うため、設定値も異なります。

• カウント開始/停止時の動作

R8C/34x のタイマ RA、RL78/F14 のタイマ RJ ともに、カウント開始ビットを変更してからカウントステータスフラグに反映されるまでの間はそれぞれのタイマ関連レジスタへのアクセスは禁止です。

ただし、カウント開始ビットを変更してからカウントステータスフラグに反映されるまでの時間が異なっていますので、ユーザシステムに問題がないことを確認してください。

表 14.1 カウント開始ビット変更からカウントステータスフラグに反映されるまでの時間

RL78/F14 タイマ RJ	R8C/34x タイマ RA
・ イベント・カウント・モード またはカウント・ソースを ELC 以外に設定した時 → カウント・ソースの 3 サイクル ・ イベント・カウント・モード またはカウント・ソースを ELC に設定した時 → CPU クロックの 2 サイクル	・ カウントソースの 1 サイクル

14.1.1 タイマ RA タイマモード から タイマ RJ タイマ・モード へのポーティング

図 14.2に RL78/F14 のタイマ RJ タイマ・モードと R8C/34x のタイマ RA タイマモードの動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

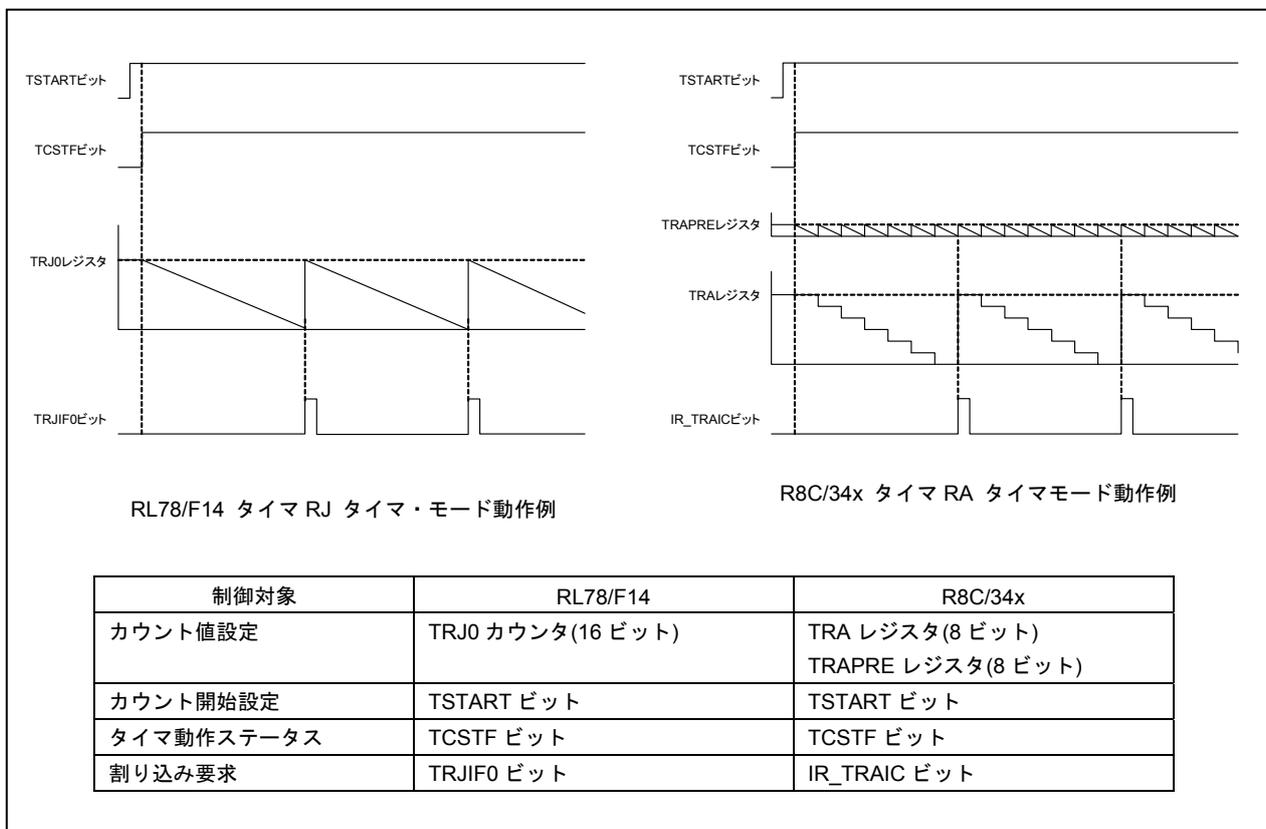


図14.2 RL78/F14 タイマ RJ タイマ・モードと R8C/34x タイマ RA タイマモード動作比較

14.1.2 タイマ RA パルス出力モードからタイマ RJ パルス出力モードへのポーティング

図 14.3に RL78/F14 のタイマ RJ パルス出力モードと R8C/34x のタイマ RA パルス出力モードの動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。

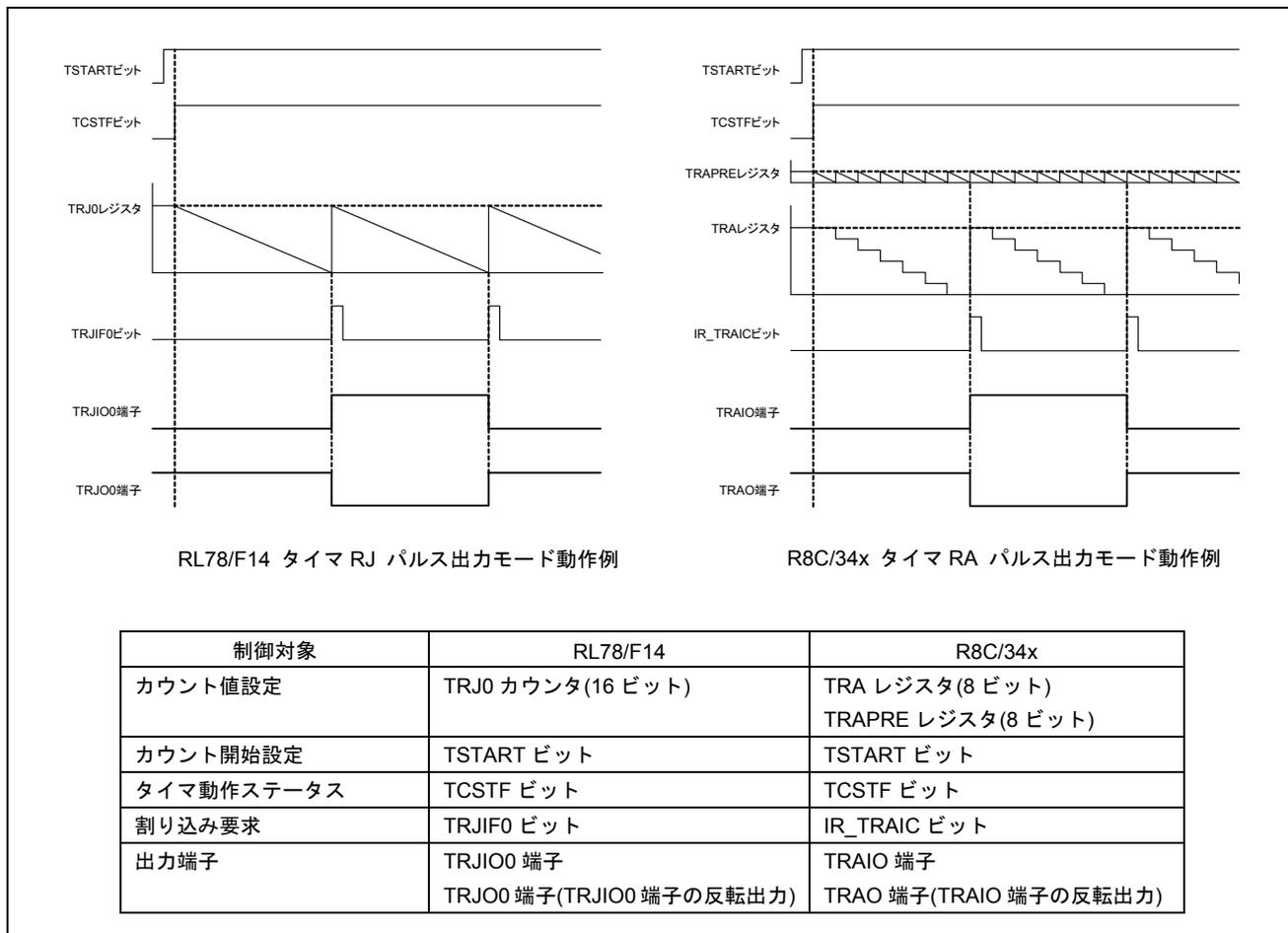


図14.3 RL78/F14 タイマ RJ パルス出力モードと R8C/34x タイマ RA パルス出力モード動作比較

<ポーティングのポイント>

● 出力端子制御について

R8C/34x のタイマ RA の TRAI0 端子出力は、TOENA ビットで出力許可/禁止の制御を行い、RL78/F14 ではタイマ RJ をパルス出力モードに設定することで TRJIO0 端子が自動的に出力許可状態になります。タイマ RJ の出力端子を、1 本をパルス出力、もう一方を汎用出力として使用する場合は以下のいずれかの設定を行ってください。

- ・パルス出力モードで TRJIO0 端子をパルス出力に設定
- ・タイマモードで TRJO0 端子をパルス出力に設定

注：パルス出力モードで TRJO0 端子をパルス出力に設定すると、TRJIO0 端子が入力ポートとなり、出力機能として使用可能な端子数が 1 本少なくなります。

14.1.3 タイマ RA イベントカウンタモードからタイマ RJ イベント・カウンタ・モードへのポーティング

図 14.4に RL78/F14 のタイマ RJ イベント・カウンタ・モードと R8C/34x のタイマ RA イベントカウンタモードの動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。

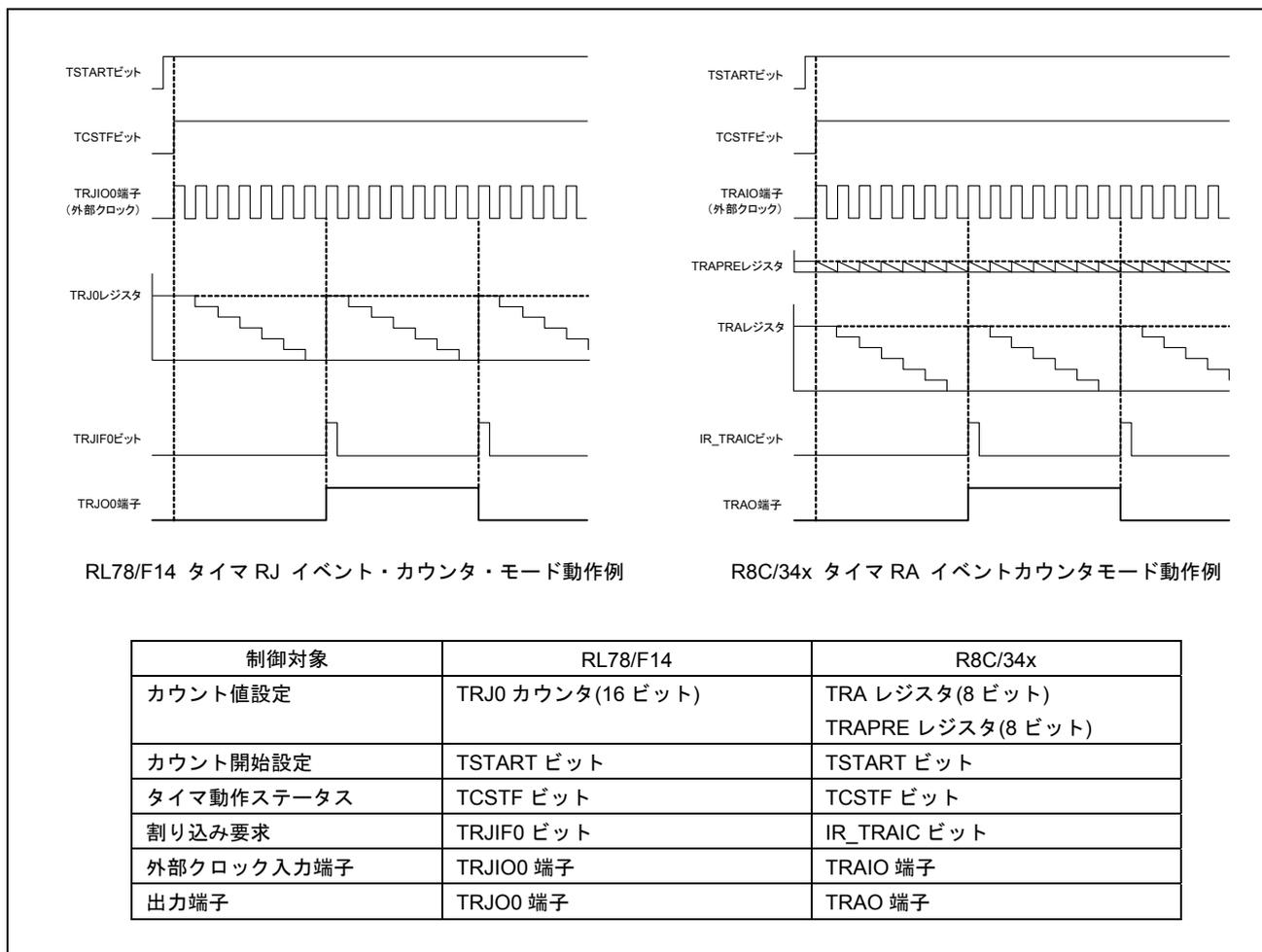


図14.4 RL78/F14 タイマ RJ イベント・カウンタ・モードと R8C/34x タイマ RA イベントカウンタモード動作比較

14.1.4 タイマ RA パルス幅測定モードからタイマ RJ パルス幅測定モード

図 14.5に RL78/F14 のタイマ RJ パルス幅測定モードと R8C/34x のタイマ RA パルス幅測定モードの動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

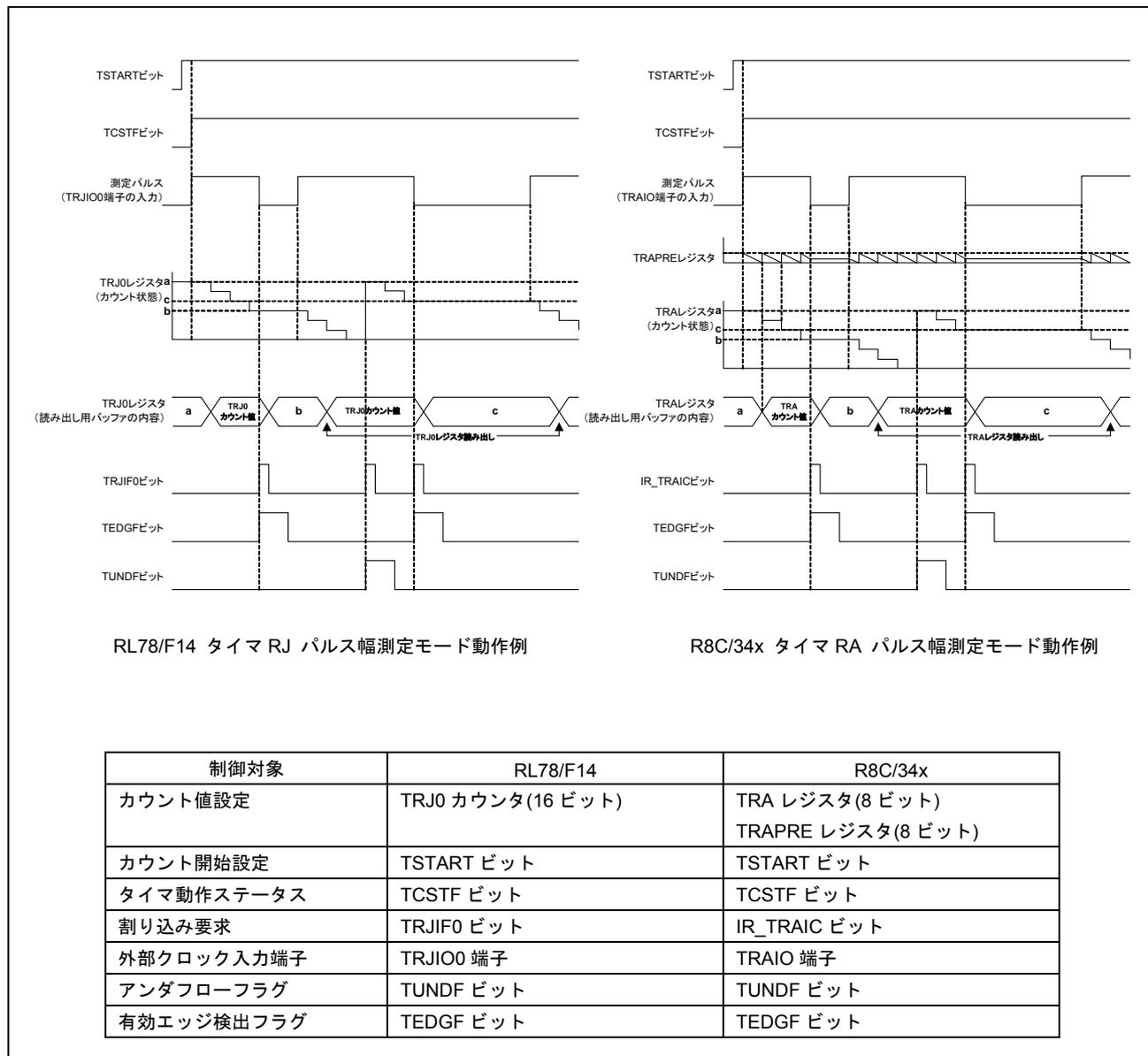


図14.5 RL78/F14 タイマ RJ パルス幅測定モードと R8C/34x タイマ RA パルス幅測定モード動作比較

14.1.5 タイマ RA パルス周期測定モードからタイマ RJ パルス周期測定モードへのポーティング

図 14.6に RL78/F14 のタイマ RJ パルス周期測定モードと R8C/34x のタイマ RA パルス周期測定モードの動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。

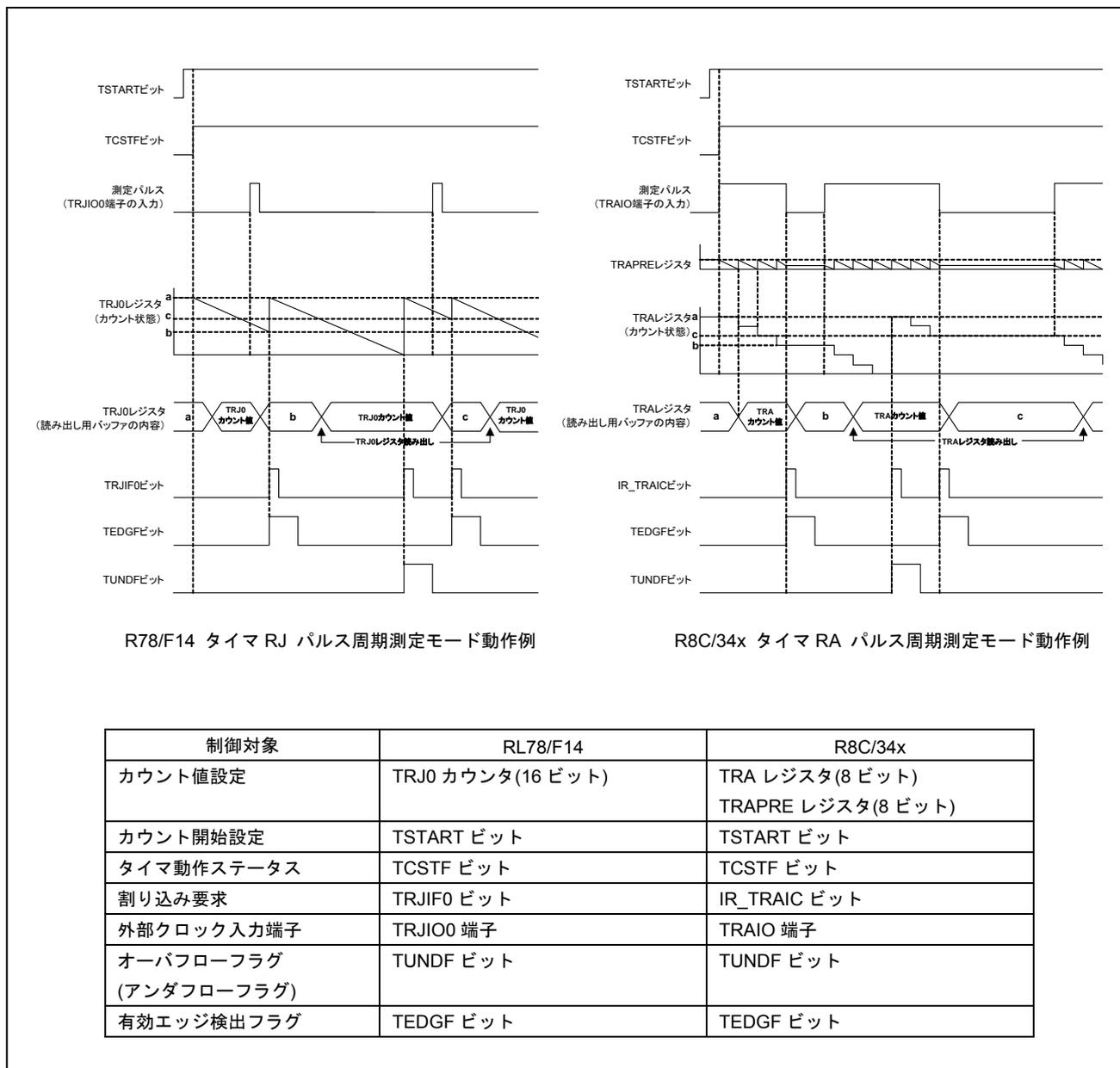


図14.6 RL78/F14 タイマ RJ パルス周期測定モードと R8C/34x タイマ RA パルス周期測定モード動作比較

14.2 タイマ RB から TAU へのポーティング

図 14.7に RL78/F14 の TAU と R8C/34x のタイマ RB の各モードの対応を示します。

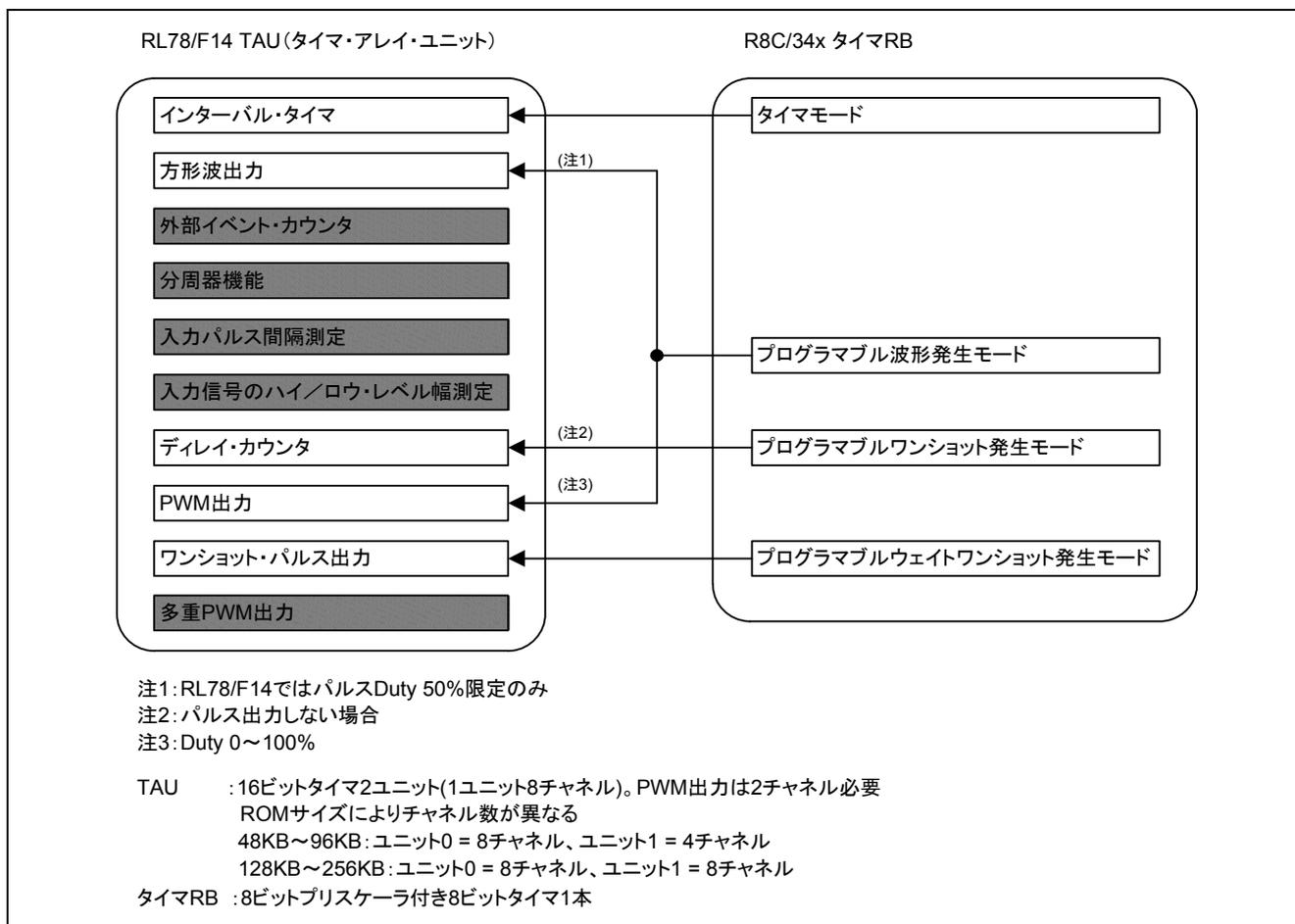


図14.7 RL78/F14 TAU と R8C/34x タイマ RB の各モードの対応

<ポーティングのポイント>**• 機能禁止/許可設定**

RL78/F14 の TAU には、クロック供給許可/禁止を制御することによって TAU モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブル・レジスタ 0(PER0)の TAUmEN(m=0, 1)ビット(注 1、注 2)で行います。TAU 関連レジスタにアクセスする前に TAUmEN ビットでクロック供給を許可に設定してください。

注 1：周辺イネーブル・レジスタ 0(PER0)の TAUmEN(m=0, 1)ビット

0：TAU への入力クロック供給停止(TAU 関連レジスタはリセット後の値)

1：TAU への入力クロック供給(TAU 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、TAU は非アクティブ状態です。

注 2：R8C/34x のタイマ RB では、タイマ RB モードレジスタ(TRBMR)の TCKCUT ビットが TAUmEN ビットに相当します。リセット後、TCKCUT ビットは“0”(カウントソース供給)となっており、タイマ RB はアクティブ状態です。

• カウント・ソース

R8C/34x のタイマ RB ではタイマのクロック源にタイマ RA のアンダフローが設定できましたが、RL78/F14 の TAU でカウント・ソースに選択できるのは CPU クロック源だけです。この違いが問題にならないことを確認してください。

• カウンタの分解能とタイマ設定値

R8C/34x のタイマ RB は 8 ビットプリスケアラ付き 8 ビットタイマで、RL78/F14 の TAU は 16 ビットタイマです。タイマの構成が異なるため、設定値も異なります。

• タイマカウント開始/停止処理

RL78/F14 の TAU はカウント開始専用のビットとカウント停止専用のビットがあります。R8C/34x のタイマ RB ではカウント開始と停止の制御は 1 つのビットで行っていたため、ポーティングの際はタイマの設定に誤りがないことを確認してください。

14.2.1 タイマ RB タイマモード から TAU インターバル・タイマへのポーティング

表 14.2、表 14.3に RL78/F14 の TAU インターバル・タイマ設定チャンネルを示します。

使用可能な TAU インターバル・タイマ設定チャンネルは ROM サイズによって異なります。

表14.2 RL78/F14 TAU インターバル・タイマ設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○ : 選択可能
 - : 使用不可

表14.3 RL78/F14 TAU インターバル・タイマと設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○ : 選択可能

図 14.8に RL78/F14 の TAU インターバル・タイマと R8C/34x のタイマ RB タイマモードの動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

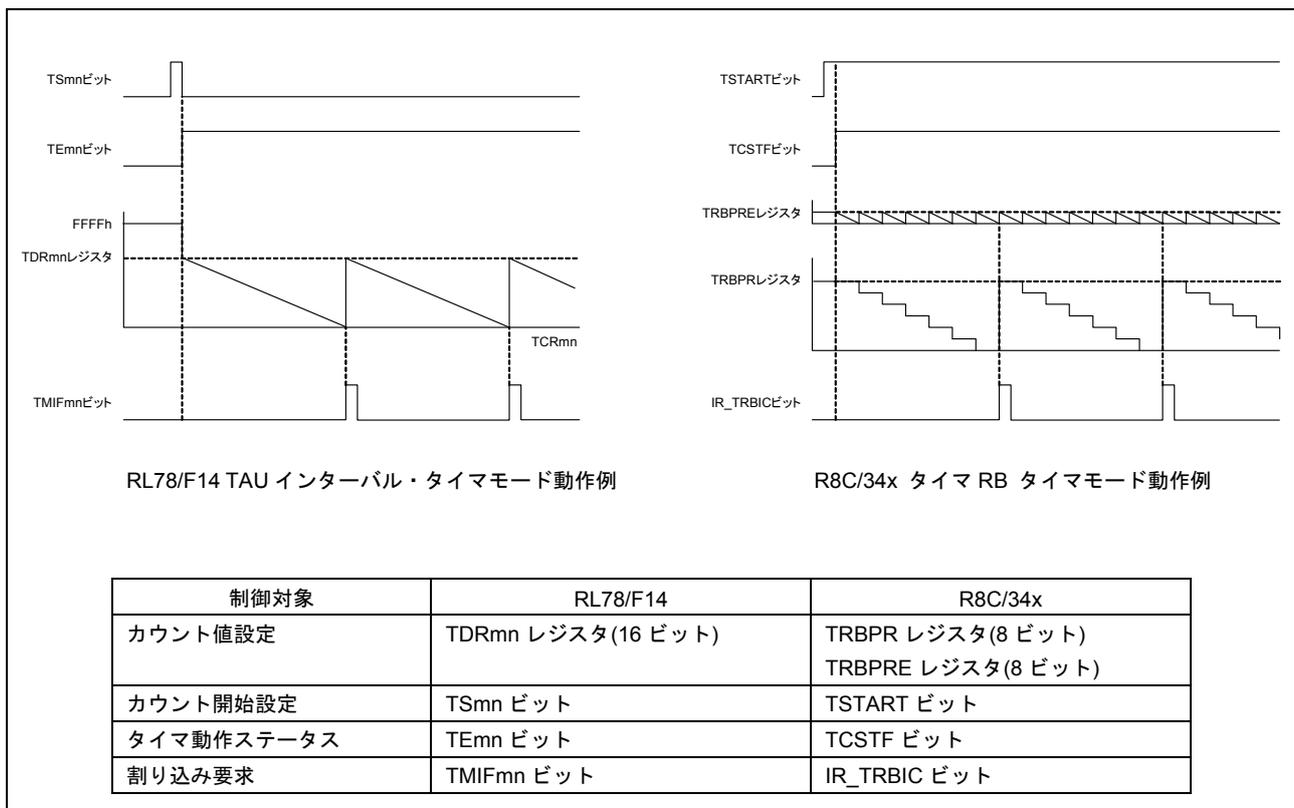


図14.8 RL78/F14 TAU インターバル・タイマと R8C/34x タイマ RB タイマモード動作比較

14.2.2 タイマ RB プログラマブル波形発生モードから TAU PWM 出力へのポーティング

TAU の PWM 出力はパルス周期を生成するタイマ(マスタ)とデューティを決めるタイマ(スレーブ)の2つのタイマで1本の PWM 波形を生成します。

表 14.4に RL78/F14 の TAU0 PWM 出力設定チャンネル一覧、表 14.5、表 14.6に TAU1 PWM 出力チャンネルを示します。使用可能な TAU1 PWM 出力設定チャンネルは ROM サイズによって異なります。

表14.4 RL78/F14 TAU0 PWM 出力設定チャンネル

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル6 マスタ設定時	—	—	—	—	—	—	◎	○

表14.5 RL78/F14 TAU1 PWM 出力チャンネル(ROM サイズ : 48KB~96KB)

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	斜線	斜線	斜線	斜線
チャンネル0、2 マスタ設定時	◎	○	◎	○	斜線	斜線	斜線	斜線
チャンネル2 マスタ設定時	—	—	◎	○	斜線	斜線	斜線	斜線

表14.6 RL78/F14 TAU1 PWM 出力チャンネル(ROM サイズ : 128KB~256KB)

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル6 マスタ設定時	—	—	—	—	—	—	◎	○

○ : スレーブに設定できるチャンネル。PWM 出力可能なチャンネル

◎ : マスタに設定できるチャンネル。PWM 出力不可のチャンネル

— : 未使用または PWM 出力以外のチャンネル

斜線枠 : 使用不可のチャンネル

注 1 : 赤色の部分は、チャンネル 0 と連動して動作するチャンネルです。

注 2 : 青色の部分は、チャンネル 2 と連動して動作するチャンネルです。

注 3 : 緑色の部分は、チャンネル 4 と連動して動作するチャンネルです。

注 4 : 紫色の部分は、チャンネル 6 と連動して動作するチャンネルです。

図 14.9に RL78/F14 の TAU PWM 出力と R8C/34x タイマ RB プログラマブル波形発生モードの動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

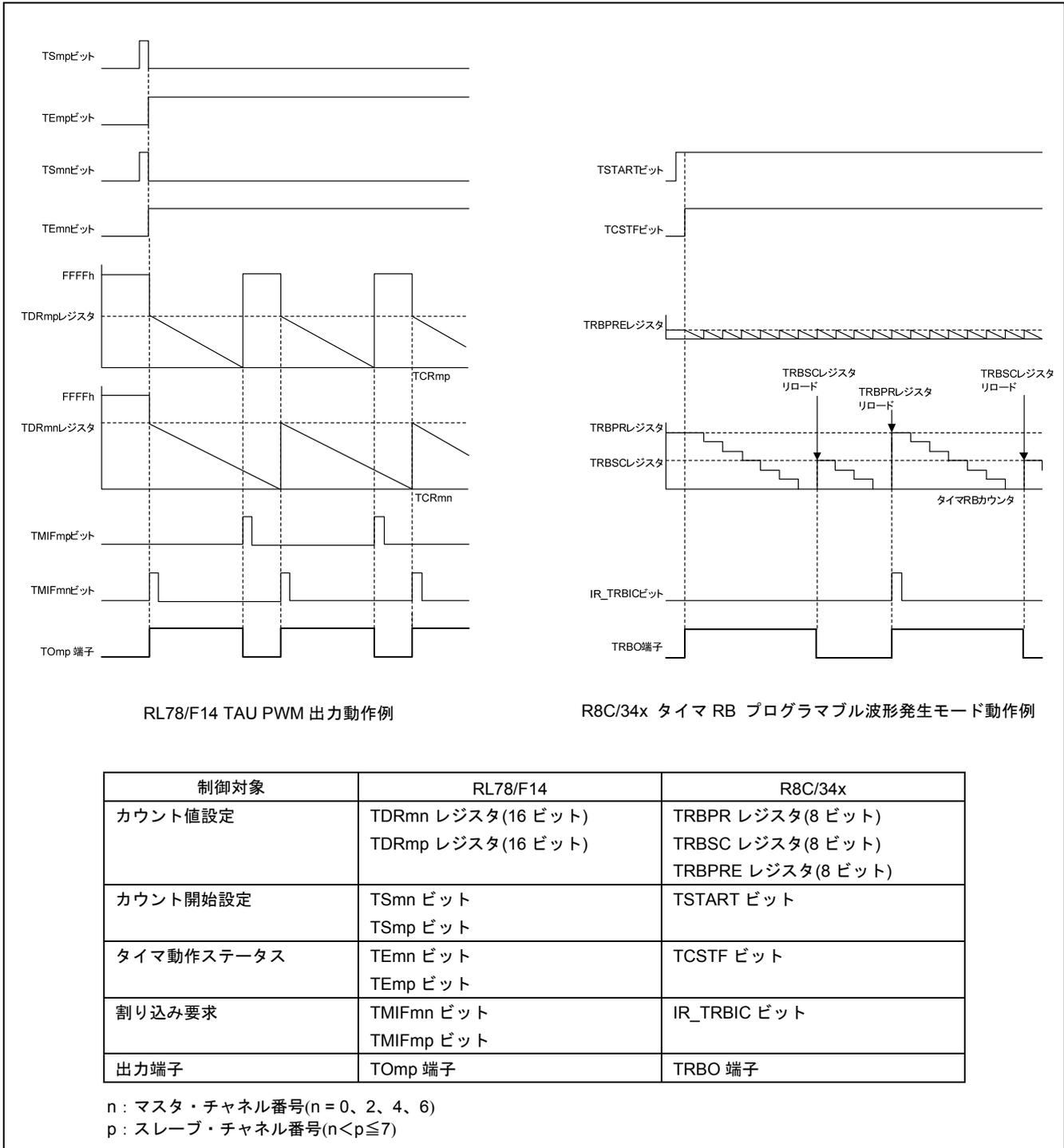


図14.9 RL78/F14 TAU PWM 出力と R8C/34x タイマ RB プログラマブル波形発生モード動作比較

14.2.3 タイマ RB プログラマブルウェイトワンショット発生モードから TAU ワンショット・パルス出力へのポーティング

R8C/34x タイマ RB プログラマブルウェイトワンショット発生モードと同等のタイマ動作をする機能が、RL78/F14 の TAU ワンショット・パルス出力になります。TAU のワンショット・パルス出力は、ディレイの間隔を生成するタイマ(マスタ)とパルス幅を生成するタイマ(スレーブ)の2つのタイマで1本のワンショット・パルス波形を生成します。

表 14.7 に RL78/F14 の TAU0 ワンショット・パルス出力設定チャンネル一覧、表 14.8、表 14.9 に TAU1 ワンショット・パルス出力チャンネルを示します。TAU1 ワンショット・パルス出力チャンネルは、ROM サイズによって異なります。

表 14.7 RL78/F14 TAU0 ワンショット・パルス出力設定チャンネル

ワンショット・パルス出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル6 マスタ設定時	—	—	—	—	—	—	◎	○

表14.8 RL78/F14 TAU1 ワンショット・パルス出力チャンネル(ROM サイズ : 48KB~96KB)

ワンショット・パルス出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	斜線	斜線	斜線	斜線
チャンネル0、2 マスタ設定時	◎	○	◎	○	斜線	斜線	斜線	斜線
チャンネル2 マスタ設定時	—	—	◎	○	斜線	斜線	斜線	斜線

表14.9 RL78/F14 TAU1 ワンショット・パルス出力チャンネル(ROM サイズ:128KB~256KB)

ワンショット・パルス出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル6 マスタ設定時	—	—	—	—	—	—	◎	○

○：スレーブに設定できるチャンネル。ワンショット・パルス出力可能なチャンネル

◎：マスタに設定できるチャンネル。ワンショット・パルス出力不可のチャンネル

—：未使用またはワンショット・パルス出力以外のチャンネル

斜線枠：使用不可のチャンネル

注1：赤色の部分は、チャンネル0と連動して動作するチャンネルです。

注2：青色の部分は、チャンネル2と連動して動作するチャンネルです。

注3：緑色の部分は、チャンネル4と連動して動作するチャンネルです。

注4：紫色の部分は、チャンネル6と連動して動作するチャンネルです。

図 14.10 に RL78/F14 の TAU ワンショット・パルス出力と R8C/34x のタイマ RB プログラマブルウェイトワンショット発生モードの動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。

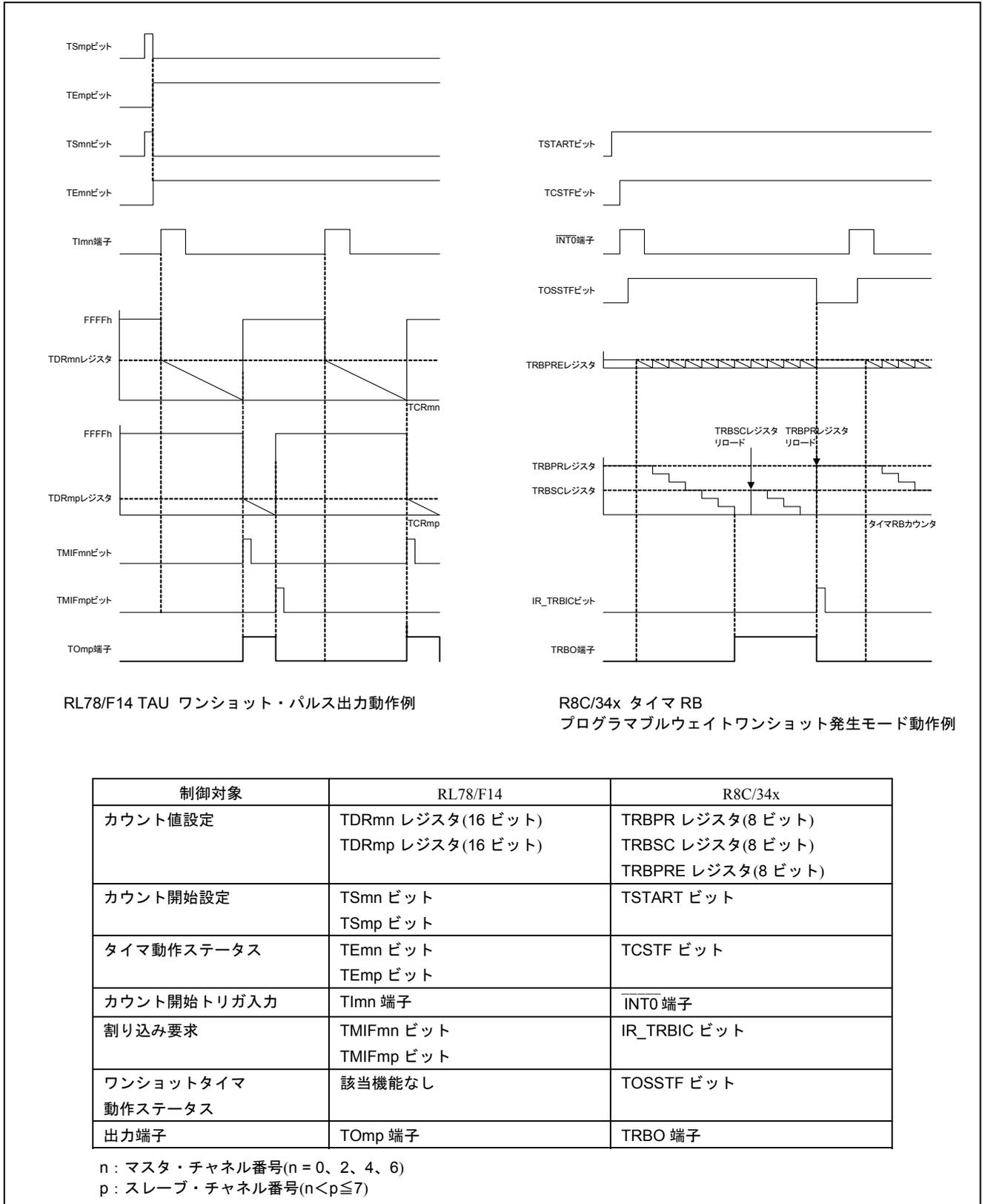


図14.10 RL78/F14 TAU ワンショット・パルス出力と R8C/34x タイマ RB プログラマブルウェイトワンショット発生モード動作比較

(補足)RL78/F14 には、R8C/34x のタイマ RD プログラマブルワンショット発生モードの動作に相当する機能として TAU ディレイ・カウンタがあります。ただしワンショットパルスを出力することはできません。

表 14.10、表 14.11 に RL78/F14 の TAU ディレイ・カウンタ設定チャンネルを示します。

TAU ディレイ・カウンタ設定チャンネルは ROM サイズによって異なります。

表 14.10 RL78/F14 TAU ディレイ・カウンタ設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
ディレイ・カウンタ	○	○	○	○	○	○	○	○	○	○	○	○	—	—	—	—

○：選択可能

—：使用不可

表 14.11 RL78/F14 TAU ディレイ・カウンタ設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
ディレイ・カウンタ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.11 に RL78/F14 の TAU ディレイ・カウンタと R8C/34x のタイマ RB プログラマブルワンショット発生モードの動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。

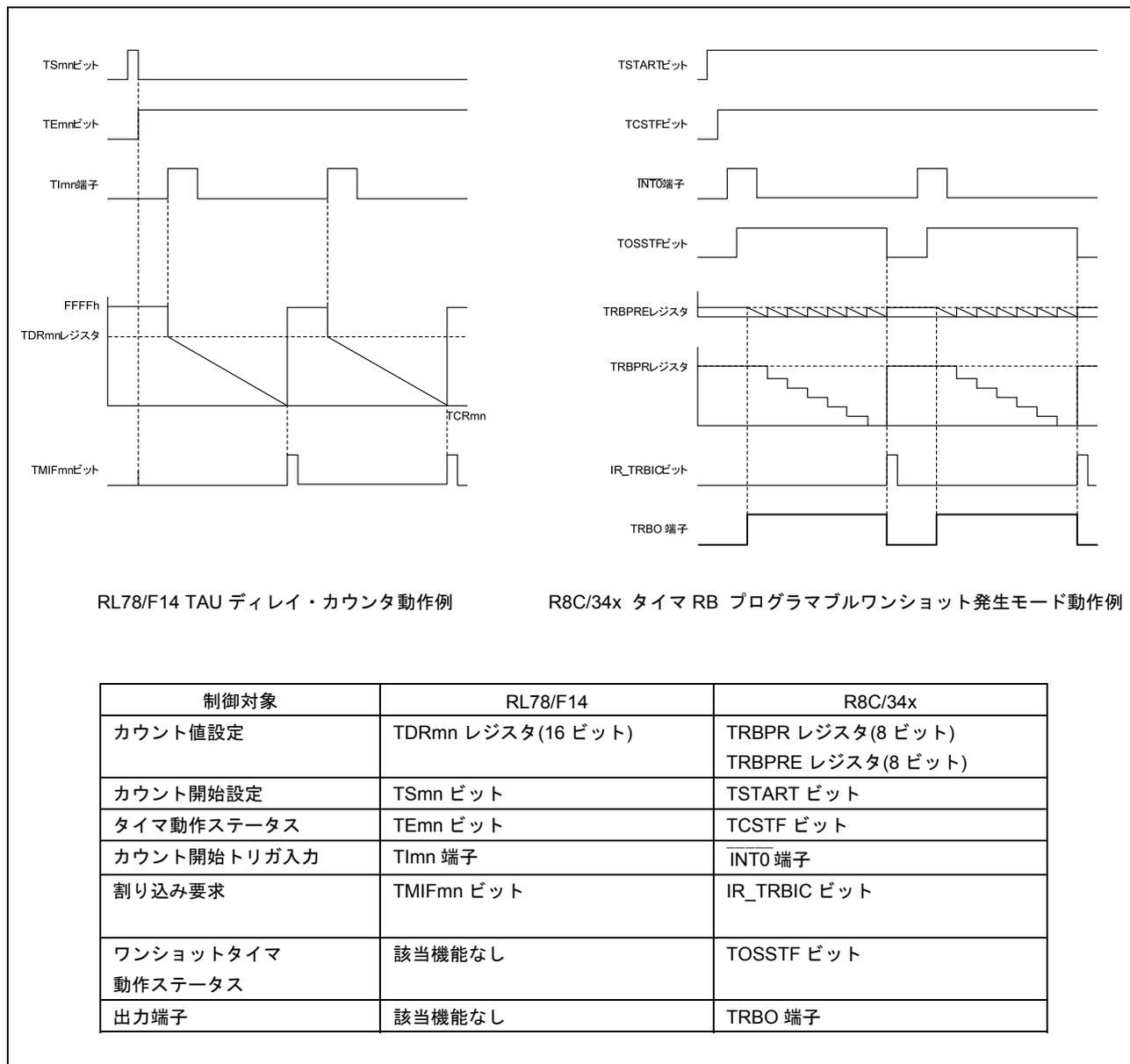


図14.11 RL78/F14 TAU ディレイ・カウンタと R8C/34x タイマ RB プログラマブルワンショット発生モード動作比較

14.3 タイマ RC から TAU へのポーティング

図 14.12 に RL78/F14 の TAU と R8C/34x のタイマ RC の各モードの対応を示します。

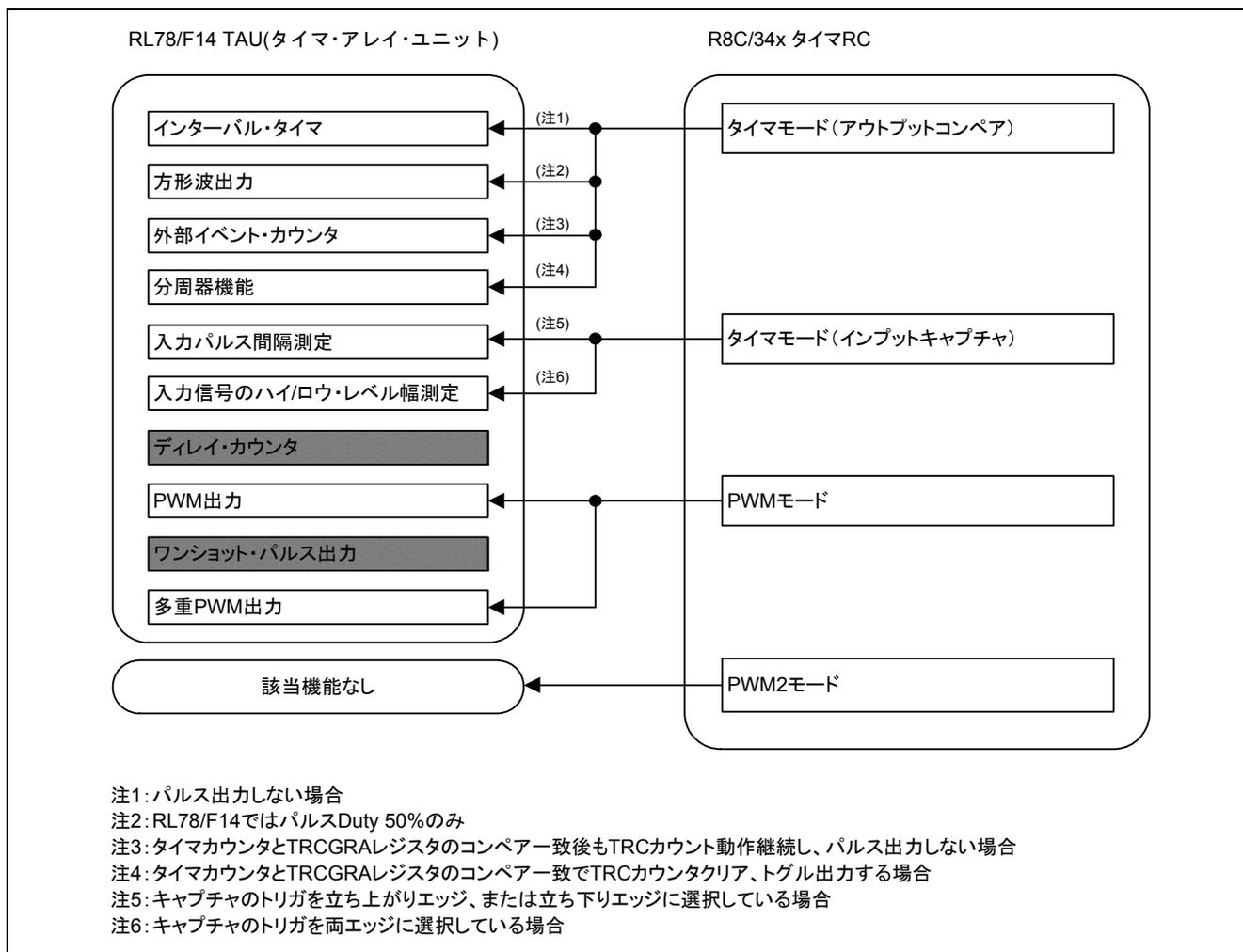


図14.12 RL78/F14 TAU と R8C/34x タイマ RC の各モードの対応

<ポーティングのポイント>

• 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによって TAU モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブル・レジスタ 0(PER0)の TAUmEN(m=0、1)ビット(注1、注2)で行います、TAU 関連レジスタにアクセスする前に TAUmEN ビットでクロック供給を許可に設定してください。

注1：周辺イネーブル・レジスタ 0(PER0)の TAUmEN(m=0、1)ビット

0：TAU への入力クロック供給停止(TAU 関連レジスタはリセット後の値)

1：TAU への入力クロック供給(TAU 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、TAU は非アクティブ状態です。

注2：R8C/34x のタイマ RC では、モジュールスタンバイ制御レジスタ(MSTCR)の MSTTRC ビットが TAUmEN ビットに相当します。リセット後、MSTTRC ビットは“0”(アクティブ)となっており、タイマ RC はアクティブ状態です。

14.3.1 タイマ RC タイマモード(アウトプットコンペア)から TAU インターバル・タイマへのポーティング

表 14.12、表 14.13に RL78/F14 の TAU インターバル・タイマ設定チャンネルを示します。

TAU インターバル・タイマ設定チャンネルは ROM サイズによって異なります。

表14.12 RL78/F14 TAU インターバル・タイマ設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
-：使用不可

表14.13 RL78/F14 TAU インターバル・タイマ設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.13 に RL78/F14 の TAU インターバル・タイマと R8C/34x のタイマ RC タイマモード(アウトプットコンペア)の動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

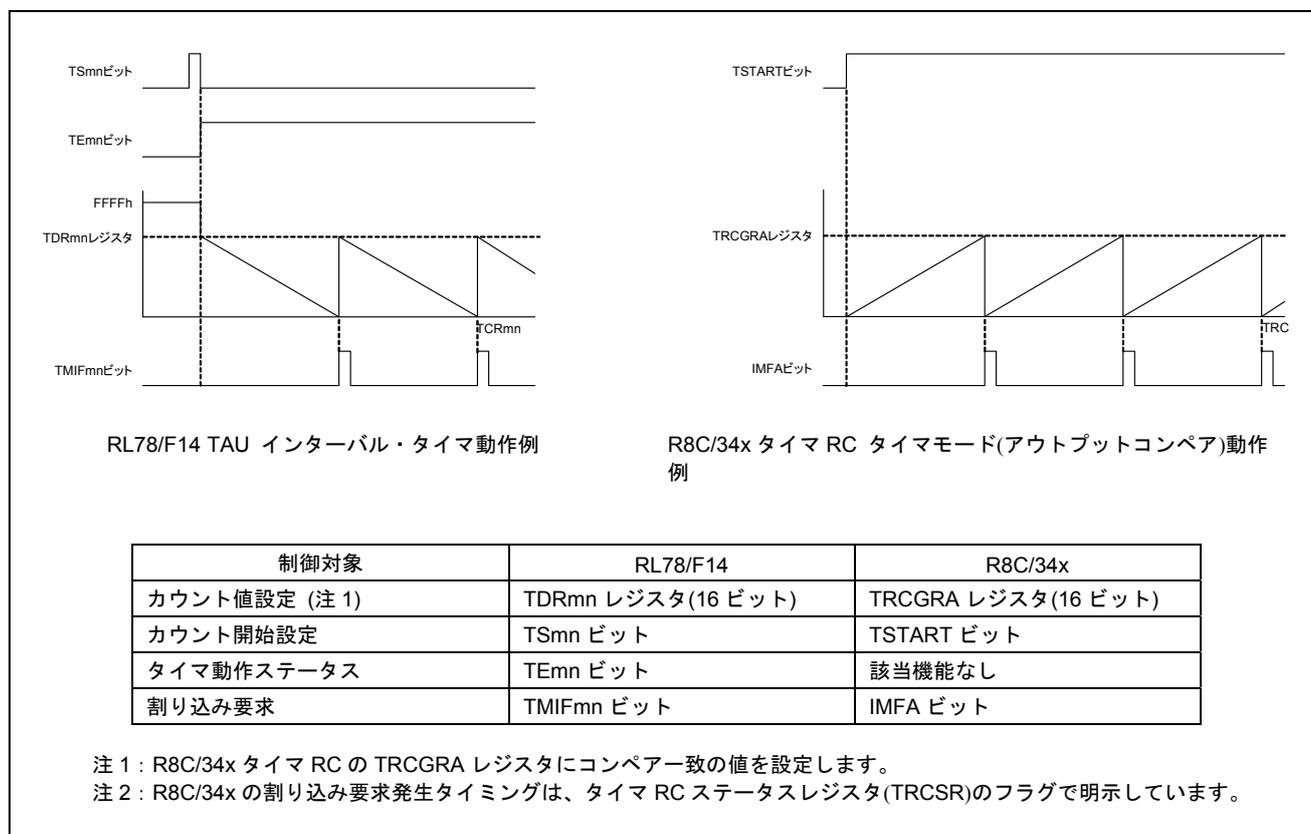


図14.13 RL78/F14 TAU インターバル・タイマと R8C/34x タイマ RC タイマモード(アウトプットコンペア)動作比較

<ポーティングのポイント>

- タイマのカウンタ値の読み出し

図 14.13 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RC がアップカウントになります。タイマの構成が異なるため、設定する値も異なります。

14.3.2 タイマ RC タイマモード(アウトプットコンペア)から TAU 方形波出力へのポーティング
表 14.14、表 14.15 に RL78/F14 の TAU 方形波出力設定チャンネルを示します。

使用可能な TAU 方形波出力設定チャンネルは ROM サイズによって異なります。

表14.14 RL78/F14 TAU 方形波出力設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
方形波出力	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○ : 選択可能
- : 使用不可

表14.15 RL78/F14 TAU 方形波出力設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
方形波出力	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○ : 選択可能

図 14.14 に RL78/F14 の TAU 方形波出力と R8C/34x のタイマ RC タイマモード(アウトプットコンペア)の動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

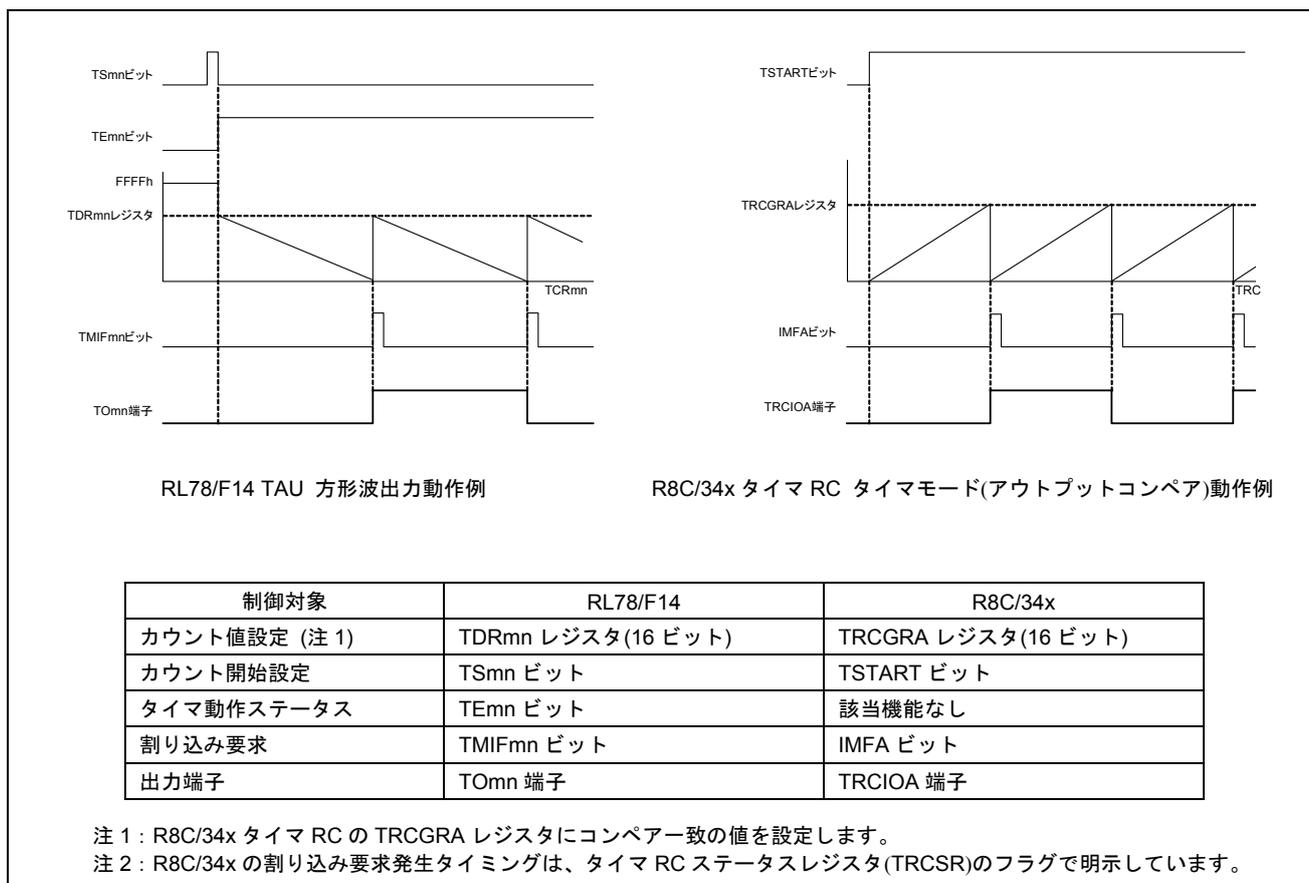


図14.14 RL78/F14 TAU 方形波出力と R8C/34x タイマ RC タイマモード(アウトプットコンペア)動作比較

<ポーティングのポイント>

- タイマのカウンタ値の読み出し

図 14.14 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RC がアップカウントになります。タイマの構成が異なるため、設定する値も異なります。

14.3.3 タイマ RC タイマモード(アウトプットコンペア)から TAU 外部イベント・カウンタへのポーティング

表 14.16、表 14.17 に RL78/F14 の TAU 外部イベント・カウンタ設定チャンネルを示します。

使用可能な TAU 外部イベント・カウンタ設定チャンネルは ROM サイズによって異なります。

表 14.16 RL78/F14 TAU 外部イベント・カウンタ設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
外部イベント・カウンタ	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
-：使用不可

表 14.17 RL78/F14 TAU 外部イベント・カウンタ設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
外部イベント・カウンタ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.15 に RL78/F14 の TAU の外部イベント・カウンタと R8C/34x のタイマ RC タイマモード(アウトプットコンペア)の動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

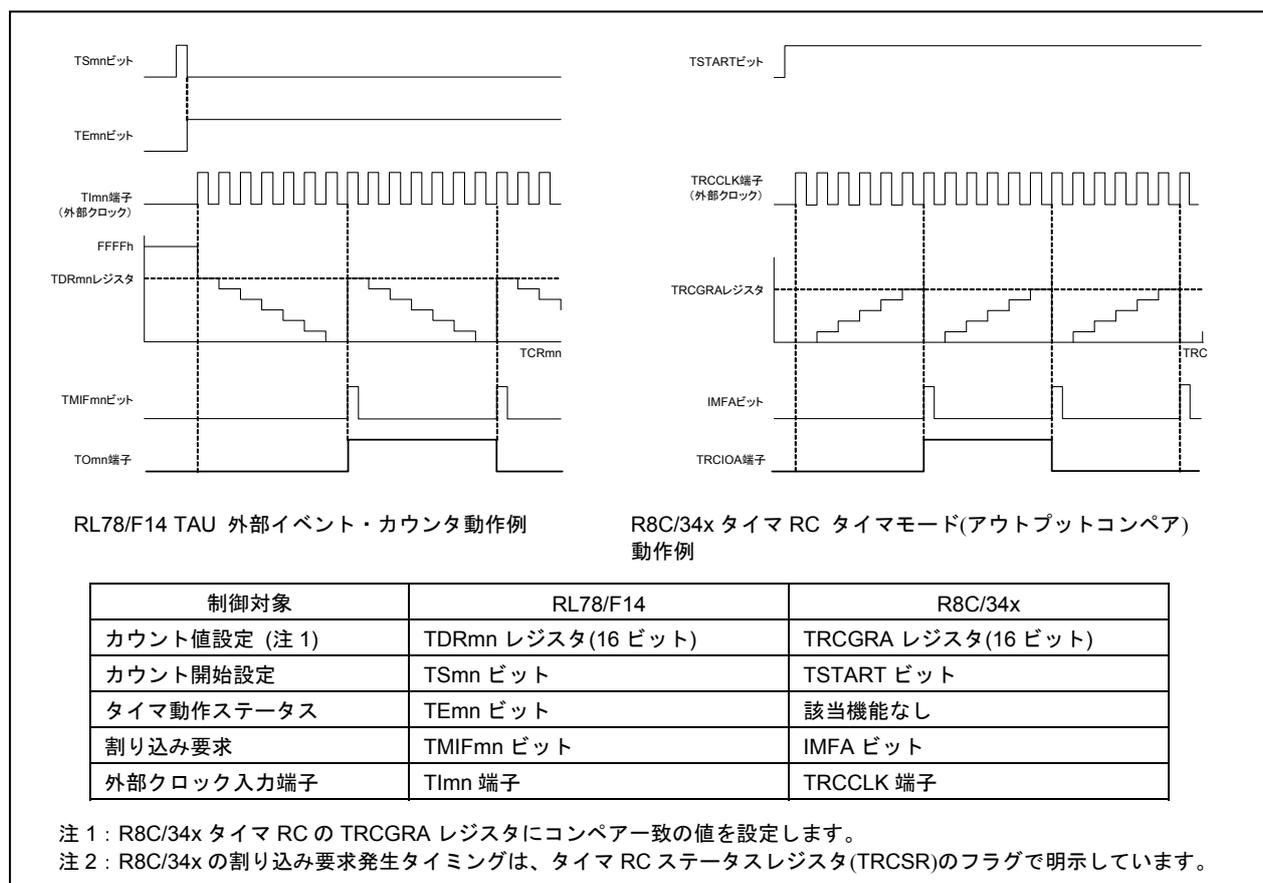


図 14.15 RL78/F14 TAU 外部イベント・カウンタと R8C/34x タイマ RC タイマモード (アウトプットコンペア)動作比較

<ポーティングのポイント>

- **タイマのカウンタ値の読み出し**

図 14.15 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RC がアップカウントになります。タイマの構成が異なるため、設定する値も異なります。

14.3.4 タイマ RC タイマモード(アウトプットコンペア) から TAU 分周器機能へのポーティング

表 14.18、表 14.19 に RL78/F14 の TAU 分周器機能設定チャンネルを示します。

使用可能な TAU 分周器機能設定チャンネルは ROM サイズによって異なります。

表 14.18 RL78/F14 TAU 分周器機能設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
分周器機能	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
-：使用不可

表 14.19 RL78/F14 TAU 分周器機能設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
分周器機能	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.16 に TAU の分周器機能とタイマ RC タイマモード(アウトプットコンペア)の動作比較を示します。

タイマのカウント動作やフラグの動きを確認してください。TAU 分周器機能は、外部イベント・カウンタ設定時にパルス出力を許可にすることで機能します。

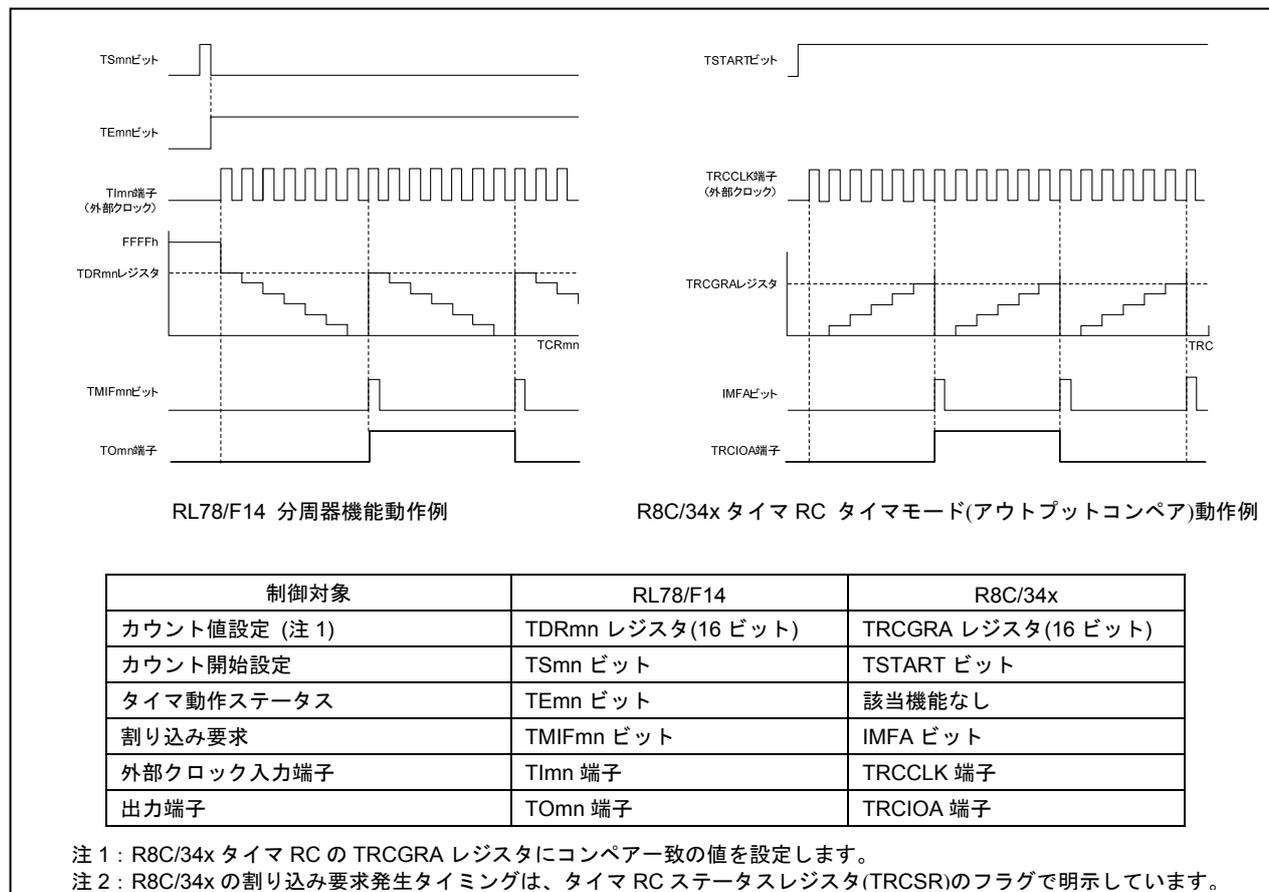


図 14.16 RL78/F14 TAU 分周器機能と R8C/34x タイマ RC タイマモード(アウトプットコンペア)動作比較

<ポーティングのポイント>

• タイマのカウンタ値の読み出し

図 14.16 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RC がアップカウントになります。タイマの構成が異なるため、設定する値も異なります。

14.3.5 タイマ RC タイマモード(インプットキャプチャ)から TAU 入力パルス間隔測定へのポーティング

表 14.20、表 14.21 に RL78/F14 の TAU 入力パルス間隔測定チャンネルを示します。
 使用可能な TAU 入力パルス間隔測定チャンネルは ROM サイズによって異なります。

表14.20 RL78/F14 TAU 入力パルス間隔測定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
入力パルス間隔測定	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○ : 選択可能
 - : 使用不可

表14.21 RL78/F14 TAU 入力パルス間隔測定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
入力パルス間隔測定	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○ : 選択可能

図 14.17に RL78/F14の TAUの入力パルス間隔測定と R8C/34xのタイマ RCのタイマモード(インプットキャプチャ)の動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

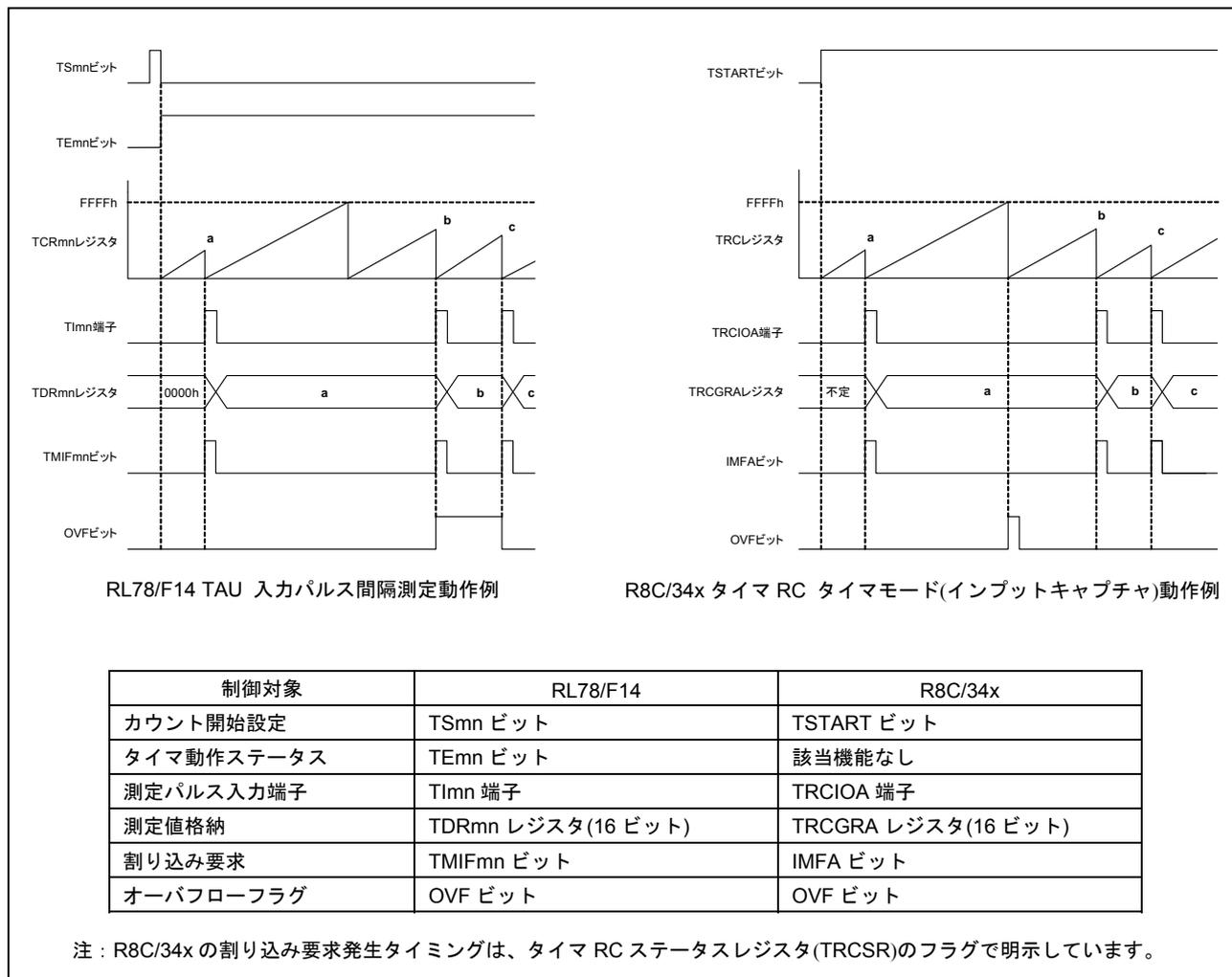


図14.17 RL78/F14 TAU 入力パルス間測定と R8C/34x タイマ RC タイマモード (インプットキャプチャ)動作比較

<ポーティングのポイント>

● 測定可能なパルス周期間隔

RL78/F14 の TAU 入力パルス間隔測定で測定可能な範囲は、タイマのオーバーフローが 2 回発生する直前までとなります。OVf ビットを使用したオーバーフロー検出は 1 回のみ有効のため、それ以降のオーバーフロー発生時のパルス周期は測定できません。これが問題にならないことを確認してください。

14.3.6 タイマ RC タイマモード(インプットキャプチャ)から TAU ハイ/ロウ・レベル幅測定へのポーティング

表 14.22、表 14.23 に RL78/F14 の TAU ハイ/ロウ・レベル幅測定チャンネルを示します。
 使用可能な TAU ハイ/ロウ・レベル幅測定チャンネルは ROM サイズによって異なります。

表14.22 RL78/F14 TAU ハイ/ロウ・レベル幅測定チャンネル(ROM サイズ=48K~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
ハイ/ロウ・レベル幅測定	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
 -：使用不可

表14.23 RL78/F14 TAU ハイ/ロウ・レベル幅測定チャンネル(ROM サイズ=128K~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
ハイ/ロウ・レベル幅測定	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.18 に RL78/F14 の TAU のハイ/ロウ・レベル幅測定と R8C/34x のタイマ RC のタイマモード(インプットキャプチャ)の動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

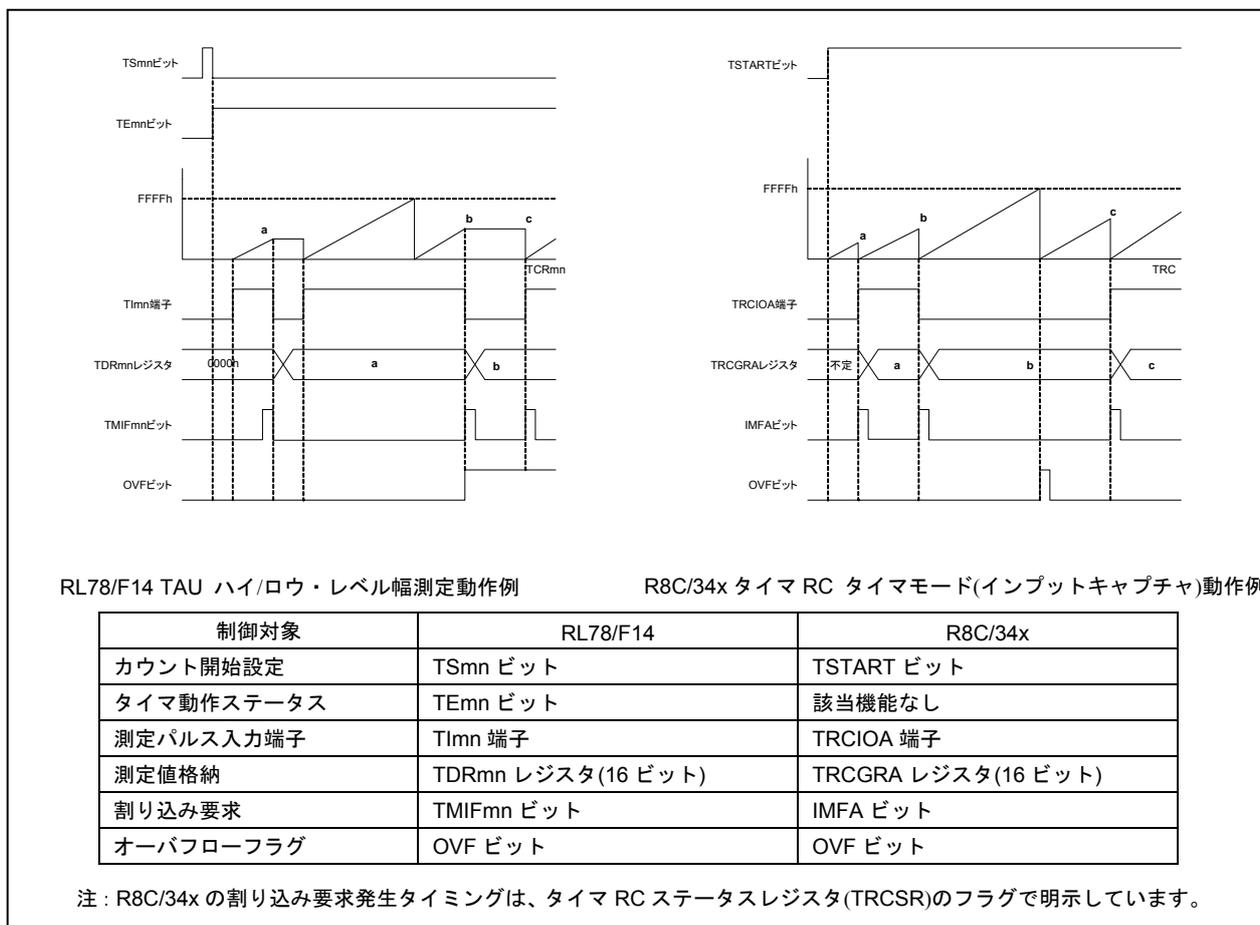


図 14.18 RL78/F14 TAU ハイ/ロウ・レベル幅測定と R8C/34x タイマ RC タイマモード(インプットキャプチャ)動作比較

<ポーティングのポイント>**• 測定可能なパルス幅間隔**

RL78/F14 の TAU ハイ/ロウ・レベル幅は、2 回目のオーバーフロー発生直前までが測定可能な範囲です。OVF ビットを使用したオーバーフロー検出は 1 回のみ有効のため、2 回オーバーフローが発生すると、以降のオーバーフロー発生時のパルス周期は測定できません。これが問題にならないことを確認してください。

14.3.7 タイマ RC PWM モードから TAU PWM 出力へのポーティング

TAUのPWM出力はパルス周期を生成するタイマ(マスタ)とデューティを決めるタイマ(スレーブ)の2つのタイマで1本のPWM波形を生成します。

表 14.24 に RL78/F14 の TAU0 PWM 出力設定チャンネルを、表 14.25、表 14.26 に TAU1 PWM 出力設定チャンネルを示します。

使用可能な TAU1 PWM 出力設定チャンネルは、ROM サイズによって異なります。

表14.24 RL78/F14 TAU0 PWM 出力設定チャンネル

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル 0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル 0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル 0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル 0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル 0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル 0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル 2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル 4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル 6 マスタ設定時	—	—	—	—	—	—	◎	○

表14.25 RL78/F14 TAU1 PWM 出力設定チャンネル(ROM サイズ : 48KB~96KB)

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル 0 マスタ設定時	◎	○	○	○	斜線	斜線	斜線	斜線
チャンネル 0、2 マスタ設定時	◎	○	◎	○	斜線	斜線	斜線	斜線
チャンネル 2 マスタ設定時	—	—	◎	○	斜線	斜線	斜線	斜線

表14.26 RL78/F14 TAU1 PWM 出力設定チャンネル(ROM サイズ : 128KB~256KB)

PWM 出力マスタ設定	チャンネル No.							
	0	1	2	3	4	5	6	7
チャンネル 0 マスタ設定時	◎	○	○	○	○	○	○	○
チャンネル 0、2 マスタ設定時	◎	○	◎	○	○	○	○	○
チャンネル 0、2、4 マスタ設定時	◎	○	◎	○	◎	○	○	○
チャンネル 0、2、6 マスタ設定時	◎	○	◎	○	○	○	◎	○
チャンネル 0、4、6 マスタ設定時	◎	○	○	○	◎	○	◎	○
チャンネル 0、2、4、6 マスタ設定時	◎	○	◎	○	◎	○	◎	○
チャンネル 2 マスタ設定時	—	—	◎	○	○	○	○	○
チャンネル 4 マスタ設定時	—	—	—	—	◎	○	○	○
チャンネル 6 マスタ設定時	—	—	—	—	—	—	◎	○

○ : スレーブに設定できるチャンネル。PWM 出力可能なチャンネル

◎ : マスタに設定できるチャンネル。PWM 出力不可のチャンネル

— : 未使用または PWM 出力以外のチャンネル

斜線枠 : 使用不可のチャンネル

注 1 : 赤色の部分は、チャンネル 0 と連動して動作するチャンネルです。

注 2 : 青色の部分は、チャンネル 2 と連動して動作するチャンネルです。

注 3 : 緑色の部分は、チャンネル 4 と連動して動作するチャンネルです。

注 4 : 紫色の部分は、チャンネル 6 と連動して動作するチャンネルです。

図 14.19 に RL78/F14 の TAU PWM 出力と R8C/34x のタイマ RC PWM モードの動作比較を示します。
 タイマのカウンタ動作やフラグの動きを確認してください。

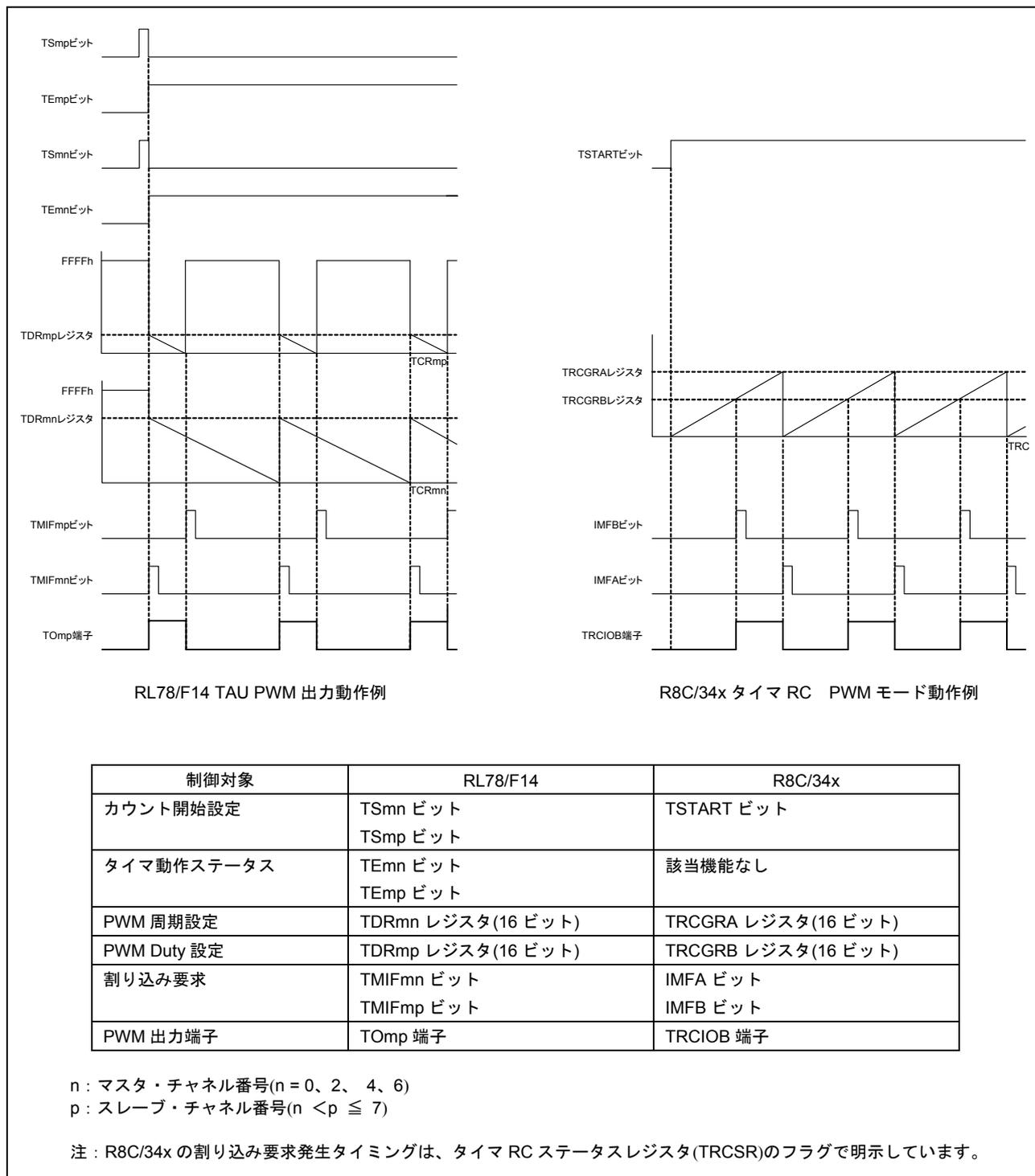


図14.19 RL78/F14 TAU PWM 出力と R8C/34x タイマ RC PWM モード動作比較

<ポーティングのポイント>

- タイマのカウンタ値の読み出しについて

図 14.9 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RC がアップカウントになります。タイマの構成が違うため、設定する値も異なります。

14.4 RL78/F14 のタイマ RD へのポーティング

表 14.27 に RL78/F14 のタイマ RD と R8C/34x のタイマ RD の比較を示します。

表14.27 RL78/F14 タイマ RD と R8C/34x タイマ RD の比較

	RL78/F14	R8C/34x
モジュール機能 アクティブ許可ビット (注 1)	周辺イネーブル・レジスタ 1(PER1)の TRD0EN ビット →リセット後の値は 0(タイマ RD への入カクロック 供給停止)(注 2)	モジュールスタンバイ制御レジスタ(MSTCR)の MSTTRD ビット →リセット後の値は 0(タイマ RD アクティブ)
カウント・ソース	<ul style="list-style-type: none"> ・ f_{CLK} ・ $f_{CLK}/2$ ・ $f_{CLK}/4$ ・ $f_{CLK}/8$ ・ $f_{CLK}/32$ ・ fPLL ・ fIH ・ fIL ・ TRDCLK0 端子に入力された外部信号 	<ul style="list-style-type: none"> ・ f1 ・ f2 ・ f4 ・ f8 ・ f32 ・ fOCO40M ・ fOCO-F ・ TRDCLK 端子に入力された外部信号
パルス出力強制遮断機 能を使用可能なモード	<ul style="list-style-type: none"> ・ タイマモード(PWM 機能)(注 3) ・ リセット同期 PWM モード ・ 相補 PWM モード ・ PWM3 モード 	<ul style="list-style-type: none"> ・ タイマモード(アウトプットコンペア機能) ・ PWM モード ・ リセット同期 PWM モード ・ 相補 PWM モード ・ PWM3 モード
パルス出力強制遮断時 の出力	TRDDF0、TRDDF1 レジスタに設定した出力レベル	プログラマブル入出力ポートに設定した出力レベル
パルス強制遮断入力端 子の設定	TRDOER2 レジスタの TRDPTO ビットを 1	<ul style="list-style-type: none"> ・ INTEN レジスタの INT0EN ビットを 1 ・ INTEN レジスタの INT0PL ビットを 0 ・ INT0IC レジスタの POL ビットを 0 ・ PD4 レジスタの PD4_5 ビットを 0 ・ TRDOER2 レジスタの PTO ビットを 1
A/D トリガ	A/D トリガなし(ELC を用いて代用可能)	A/D トリガあり
インプットキャプチャ のトリガ	<ul style="list-style-type: none"> ・ TRDIOAi 端子入力 ・ TRDIOBi 端子入力 ・ TRDIOCi 端子入力 ・ TRDIODi 端子入力 	<ul style="list-style-type: none"> ・ TRDIOAi 端子入力、または fOCO128 ・ TRDIOBi 端子入力 ・ TRDIOCi 端子入力 ・ TRDIODi 端子入力
割り込み要求ビット動 作	ポーティングのポイント「タイマ RD 割り込み処理」を参照してください。	

$i = 0, 1$ $j = A, B, C, D$

注 1: TRD 関連レジスタにアクセスする前に、アクティブ状態に設定する必要があります。

注 2: リセット後、タイマ RD を使用する場合は、 f_{CLK} にカウント・ソースと同じクロック源を設定した後、TRD0EN ビットを 1 に設定する必要があります。

注 3: RL78/F14 では、インプットキャプチャ機能、アウトプットコンペア機能、PWM 機能 (R8C/34x の PWM モード) をまとめてタイマモードと称しています。

<ポーティングのポイント>

● 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することでタイマ RD モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブルレジスタ 1(PER1)の TRD0EN ビット(注1、注2)で行います。タイマ RD 関連レジスタにアクセスする前に TRD0EN ビットでクロック供給を許可に設定してください。

注1：周辺イネーブル・レジスタ 1(PER1)の TRD0EN ビット

0：タイマ RD への入力クロック供給停止(タイマ RD 関連レジスタはリセット後の値)

1：タイマ RD への入力クロック供給(タイマ RD 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、タイマ RD は非アクティブ状態です。

注2：R8C/34x のタイマ RD では、モジュールスタンバイ制御レジスタ(MSTCR)の MSTTRD ビットが TRD0EN ビットに相当します。リセット後、MSTTRD ビットは“0”(アクティブ)となっており、タイマ RD はアクティブ状態です。

● パルス出力強制遮断機能の使用不可条件

RL78/F14 のタイマ RD は、以下の場合にパルス出力強制遮断機能を使用することができません。

- INTP0 端子の入力を LIN/UART モジュールのウェイクアップ信号として使用する場合
(入力切り替え制御レジスタ(ISC)の ISC0 ビットを 1)

この時、イベントリンクコントローラ(ELC)を使用し、他の割り込みでパルス出力強制遮断機能に設定することができます。ELC によるパルス出力強制遮断機能の使用方法はマニュアルを確認してください。

● パルス出力強制遮断時の端子出力設定

R8C/34x と RL78/F14 では、パルス出力強制遮断後の端子出力レベルの設定方法が異なります。

R8C/34x では、パルス出力強制遮断時に出力端子はプログラマブル入出力ポートの設定が有効になります。RL78/F14 の場合、TRDDFi レジスタの設定が有効となります。RL78/F14 を R8C/34x と同様の動作にするためには、出力開始前に TRDDFi レジスタの設定を行う必要があります。

● パルス出力強制遮断時の端子出力設定

RL78/F14 のタイマ RD のカウント・ソースの設定条件は以下の通りです。

- CPU/周辺ハードウェア・クロック周波数(f_{CLK})に選択したクロック源
- FRQSEL4 ビットの設定値(高速オンチップ・オシレータ(高速 OCO)の周波数)
- CKSEL レジスタの TRD_CKSEL ビットの設定値(タイマ RD クロック源の選択)
- TRDCRi レジスタの TCK2~TCK0 ビットの設定値(タイマ RD カウントソース選択)

表 14.28、表 14.29、表 14.30 に RL78/F14 のタイマ RD で使用可能なカウントソースを示します。

表14.28 RL78/F14 タイマ RD で使用可能なカウントソース 1

CPU 動作クロック源 (f_{CLK})	FRQSEL4 ビット設定値 (高速 OCO 周波数)	TRD_CKSEL 設定値	TCK2~TCK0 ビット設定値 (タイマ RD で使用できるカウント・ソース)(注 1)
高速 OCO $f_{MP} = f_{IH}$ (CSS=0)	1 : 64MHz、48MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{IH}
			001B : 設定禁止
			010B : 設定禁止
			011B : 設定禁止
			100B : 設定禁止
			101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	000B : 設定禁止
			001B : 設定禁止
	0 : 32MHz、24MHz、 16MHz、12MHz、 8MHz、4MHz、1MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK}
			◎001B : $f_{CLK} / 2$
			◎010B : $f_{CLK} / 4$
			◎011B : $f_{CLK} / 8$
			◎100B : $f_{CLK} / 32$
		101B : TRDCLK0 端子への外部信号入力(注 2)	
1 : f_{SL} 選択	000B : 設定禁止		
	001B : 設定禁止		
	010B : 設定禁止		
	011B : 設定禁止		
	100B : 設定禁止		
		101B : 設定禁止	

◎ : f_{CLK} とタイマ RD カウント・ソースが同じクロック源になる設定

注 1 : タイマ RD のカウント・ソースとして使用するクロック源は、TRD_CKSEL、TCK2~TCK0 ビットで選択する前に発振させてください。

注 2 : PWM3 モードでは、TRDCLK0 端子への外部信号入力の設定は禁止です。

表14.29 RL78/F14 タイマ RD で使用可能なカウント・ソース 2

CPU 動作クロック源 (f_{CLK})	FRQSEL4 ビット設定値 (高速 OCO 周波数)	TRD_CKSEL 設定値	TCK2~TCK0 ビット設定値 (タイマ RD で使用可能なカウント・ソース)(注 1)
低速 OCO $f_{SL}=f_{IL}$ (CSS=1)	1 : 64MHz、48MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	◎000B : f_{IL} 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
	0 : 32MHz、24MHz、 16MHz、12MHz、 8MHz、4MHz、1MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK} ◎001B : $f_{CLK} / 2$ ◎010B : $f_{CLK} / 4$ ◎011B : $f_{CLK} / 8$ ◎100B : $f_{CLK} / 32$ 101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	◎000B : f_{IL} 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
		0 : f_{CLK} 、 f_{MP} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止
X1 クロック $f_{MP}=f_{MX}$ (CSS=0)	1 : 64MHz、48MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK} ◎001B : $f_{CLK} / 2$ ◎010B : $f_{CLK} / 4$ ◎011B : $f_{CLK} / 8$ ◎100B : $f_{CLK} / 32$ 101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止
	0 : 32MHz、24MHz、 16MHz、12MHz、 8MHz、4MHz、1MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK} ◎001B : $f_{CLK} / 2$ ◎010B : $f_{CLK} / 4$ ◎011B : $f_{CLK} / 8$ ◎100B : $f_{CLK} / 32$ 101B : TRDCLK0 端子への外部信号入力(注 2)
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止
		0 : f_{CLK} 、 f_{MP} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止

◎ : f_{CLK} とタイマ RD カウント・ソースが同じクロック源になる設定

注 1 : タイマ RD のカウント・ソースとして使用するクロック源は、TRD_CKSEL、TCK2~TCK0 ビットで選択する前に発振させてください。

注 2 : PWM3 モードでは、TRDCLK0 端子への外部信号入力の設定は禁止です。

表14.30 RL78/F14 タイマ RD で使用可能なカウント・ソース 3

CPU 動作クロック源 (f_{CLK})	FRQSEL4 ビット設定値 (高速 OCO 周波数)	TRD_CKSEL 設定値	TCK2~TCK0 ビット設定値 (タイマ RD で使用可能なカウント・ソース)(注 1)	
PLL クロック $f_{MP}=f_{PLL}$ (CSS=0)	1 : 64MHz、48MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : $f_{PLL} \leq 32\text{MHz}$ 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)	
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止	
	0 : 32MHz、24MHz、 16MHz、12MHz、 8MHz、4MHz、1MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK} ◎001B : $f_{CLK} / 2$ ◎010B : $f_{CLK} / 4$ ◎011B : $f_{CLK} / 8$ ◎100B : $f_{CLK} / 32$ 101B : TRDCLK0 端子への外部信号入力(注 2)	
		1 : f_{SL} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : 設定禁止	
	XT1 クロック $f_{SL}(=f_{SUB})$ (CSS=1)	1 : 64MHz、48MHz のいずれか	0 : f_{CLK} 、 f_{MP} 選択	000B : 設定禁止 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
			1 : f_{SL} 選択	◎000B : f_{SUB} 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)
0 : 32MHz、24MHz、 16MHz、12MHz、 8MHz、4MHz、1MHz のいずれか		0 : f_{CLK} 、 f_{MP} 選択	◎000B : f_{CLK} ◎001B : $f_{CLK} / 2$ ◎010B : $f_{CLK} / 4$ ◎011B : $f_{CLK} / 8$ ◎100B : $f_{CLK} / 32$ 101B : TRDCLK0 端子への外部信号入力(注 2)	
		1 : f_{SL} 選択	◎000B : f_{SUB} 001B : 設定禁止 010B : 設定禁止 011B : 設定禁止 100B : 設定禁止 101B : TRDCLK0 端子への外部信号入力(注 2)	

◎ : f_{CLK} とタイマ RD カウント・ソースが同じクロック源になる設定

注 1 : タイマ RD のカウント・ソースとして使用するクロック源は、TRD_CKSEL、TCK2~TCK0 ビットで選択する前に発振させてください。

注 2 : PWM3 モードでは、TRDCLK0 端子への外部信号入力の設定は禁止です。

- **アウトプットコンペア機能のパルス出力強制遮断機能**

RL78/F14 のアウトプットコンペアにはパルス出力強制遮断機能がありません。RL78/F14 で R8C/34x と同じ動作を実現させるには、PWM 機能でパルス出力強制遮断機能を使用してください。

- **A/D 変換トリガ**

RL78/F14 には A/D 変換トリガはありませんが、ELC を使用することで同様の機能を実現可能です。ただし、ELC をトリガとした A/D 変換では 1 チャンネルのみ使用可能です。

注：ELC は周辺機能間の連携動作を可能にするものです。RL78/F14 では、タイマ RD と A/D コンバータを連動させ、タイマ RD のコンペアマッチのタイミングで A/D 変換を開始します。ELC の詳細はユーザーズマニュアルで確認してください。

- **インプットキャプチャのトリガ**

R8C/34x は TRDGRA0 レジスタに fOCO128 をインプットキャプチャのトリガとして選択することができますが、RL78/F14 には fOCO128 がありません。これが問題にならないことを十分に検証してください。

● タイマ RD 割り込み処理

図 14.20 に RL78/F14 と R8C/34x のタイマ RD 割り込み処理による動作比較を、図 14.21 に RL78/F14 のタイマ RD 割り込み処理例を示します。

R8C/34x のタイマ RD0 割り込み処理を RL78/F14 に流用した場合、タイマ RD0 割り込み処理終了時の割り込み要求ビット値(TRDIF0)が“1”であるため、再度タイマ RD0 割り込みが発生します。この動作が問題になる場合は図 14.20 の処理方法でタイマ RD0 割り込み処理を行ってください。

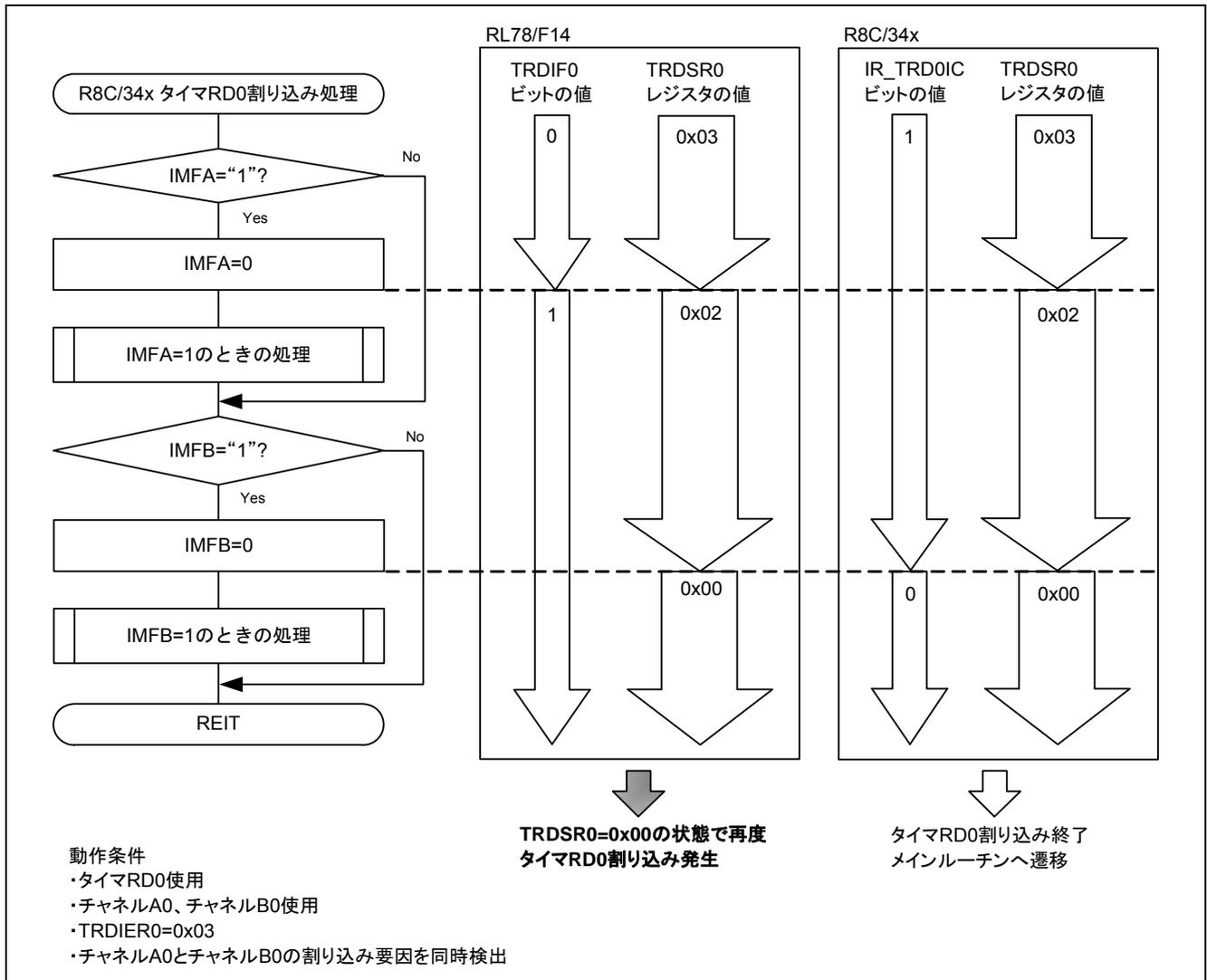


図 14.20 RL78/F14 と R8C/34x タイマ RD 割り込み処理による動作比較

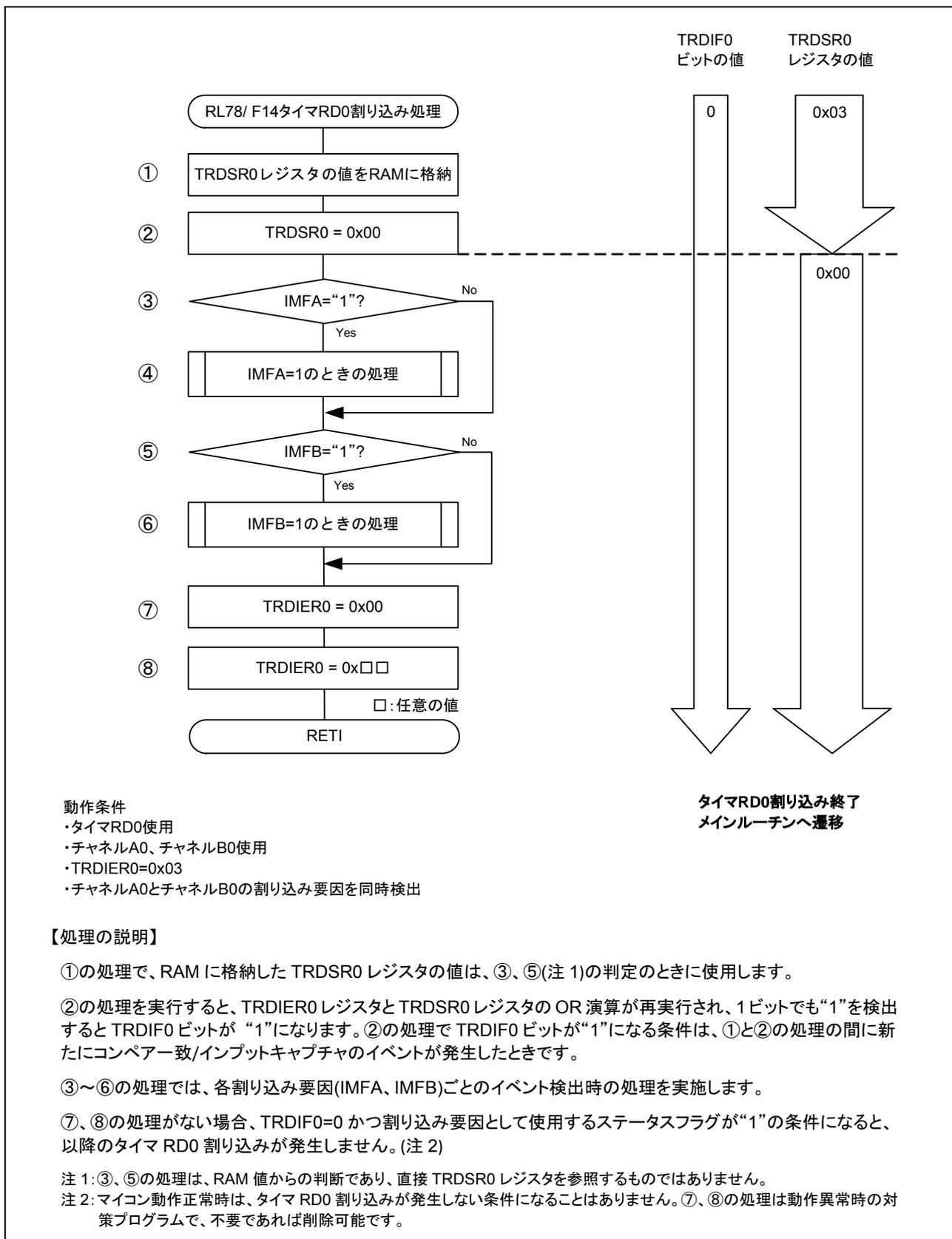


図 14.21 RL78/F14 タイマ RD 割り込み処理例

図 14.20 が示すように、タイマ RD0 割り込み要求ビットが“0” / “1”に変化する条件が RL78/F14 と R8C/34x で異なります。

図 14.22 で TRDSR0 レジスタと TRDIER0 レジスタでのタイマ RD0 割り込み要求動作を説明します。

図 14.22 は TRDSR0 レジスタ、TRDIER0 レジスタ、タイマ RD0 割り込み要求ビットの構成を示す簡易的な論理回路です。この論理回路を用いて、タイマ RD0 割り込み要求ビット値の変化条件を示します。

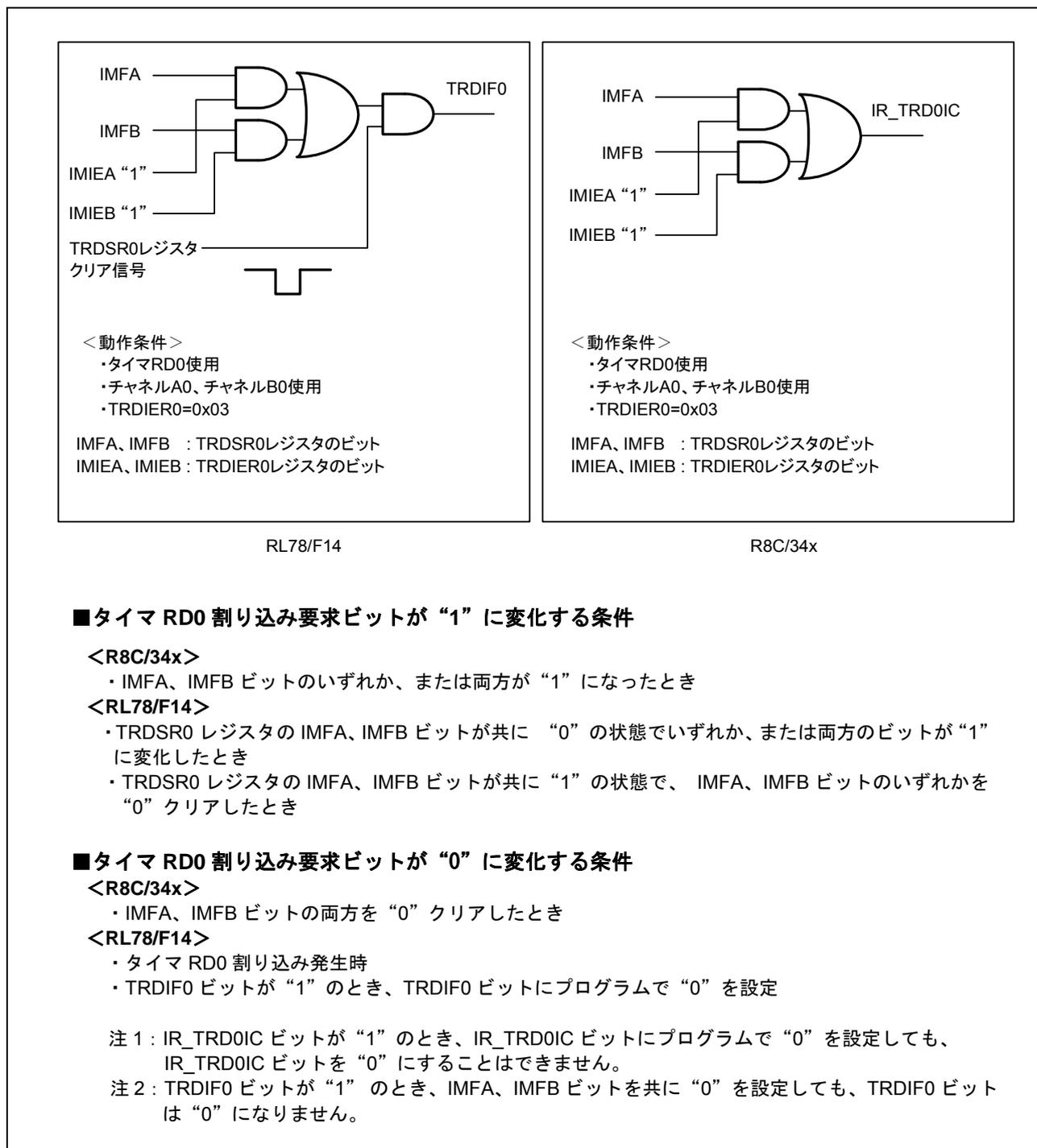


図 14.22 TRDSR0 レジスタと TRDIER0 レジスタでのタイマ RD0 割り込み要求動作比較

図 14.22 の補足として、RL78/F14 のタイマ RD 割り込み動作を表 14.31、表 14.32 で補足説明します。TRDSR0、TRDIER0 レジスタの設定条件は表 14.31、回路イメージは図 14.22 の論理回路の通りです。表 14.31 ではタイマ RD0 割り込み発生直後の TRDSR0 レジスタ と TRDIF0 ビットの状態を、表 14.32 ではタイマ RD0 割り込み内で割り込み要因 (IMFA ビットまたは IMFB ビット) を “0” クリアした直後の TRDSR0 レジスタ と TRDIF0 ビットの状態を示しています。

表 14.31 タイマ RD0 割り込み発生直後の TRDSR0 と TRDIF0 の状態

	タイマ RD0 割り込み発生直後の状態					タイマ RD0 割り込み内でクリアする割り込み要因
	TRDSR0		TRDIER0		TRDIF0	
	IMFA	IMFB	IMIEA	IMIEB		
Case1	(1)	1	(1)	0	0	IMFB
Case2	(1)	1	(1)	0	0	IMFA
Case3	(1)	0	(1)	0	0	IMFB

表 14.32 割り込み要因クリア直後の TRDSR0 と TRDIF0 の状態

	割り込み要因クリア直後の状態		
	TRDSR0		TRDIF0
	IMFA	IMFB	
Case1	(1)	0	1
Case2	0	1	0
Case3	(1)	0	0

注：破線の○印は TRDIF0 ビットが “1” になる条件(IMFA & IMIEA = 1)であることを示しています。

表 14.31、表 14.32 の動作について説明します。

Case1 では、TRDIF0 ビットが “1” になる条件に該当しない IMFB ビットを “0” クリアしたときの TRDIF0 ビットの変化を示しています。IMFB ビットが “1” → “0” に変化したタイミングで、図 14.22 の TRDSR0 クリア信号が “H” → “L” → “H” に変化し、TRDIF0 ビットの再検出を行います。このとき、IMFA ビットと IMIEA ビットが “1” であるため、TRDIF0 ビットは “1” に変化します。

Case2 では、IMFA ビットを “0” クリアしたことで、TRDIF0 ビットが “1” になる条件を満たせなくなったため、TRDIF0 ビットは “0” の状態から変化しません。

Case3 は、TRDIF0 ビットが “1” になる条件を満たしていますが、IMFB ビットを “0” クリアしても TRDSR0 レジスタの値に変化がないため、図 14.22 の TRDSR0 クリア信号が “H” の状態から変化しません。したがって TRDIF0 ビットの状態は “0” から変化しません。

14.5 タイマ RE から TAU へのポーティング

図 14.23 に RL78/F14 の TAU と R8C/34x のタイマ RE の各モードの対応を示します。

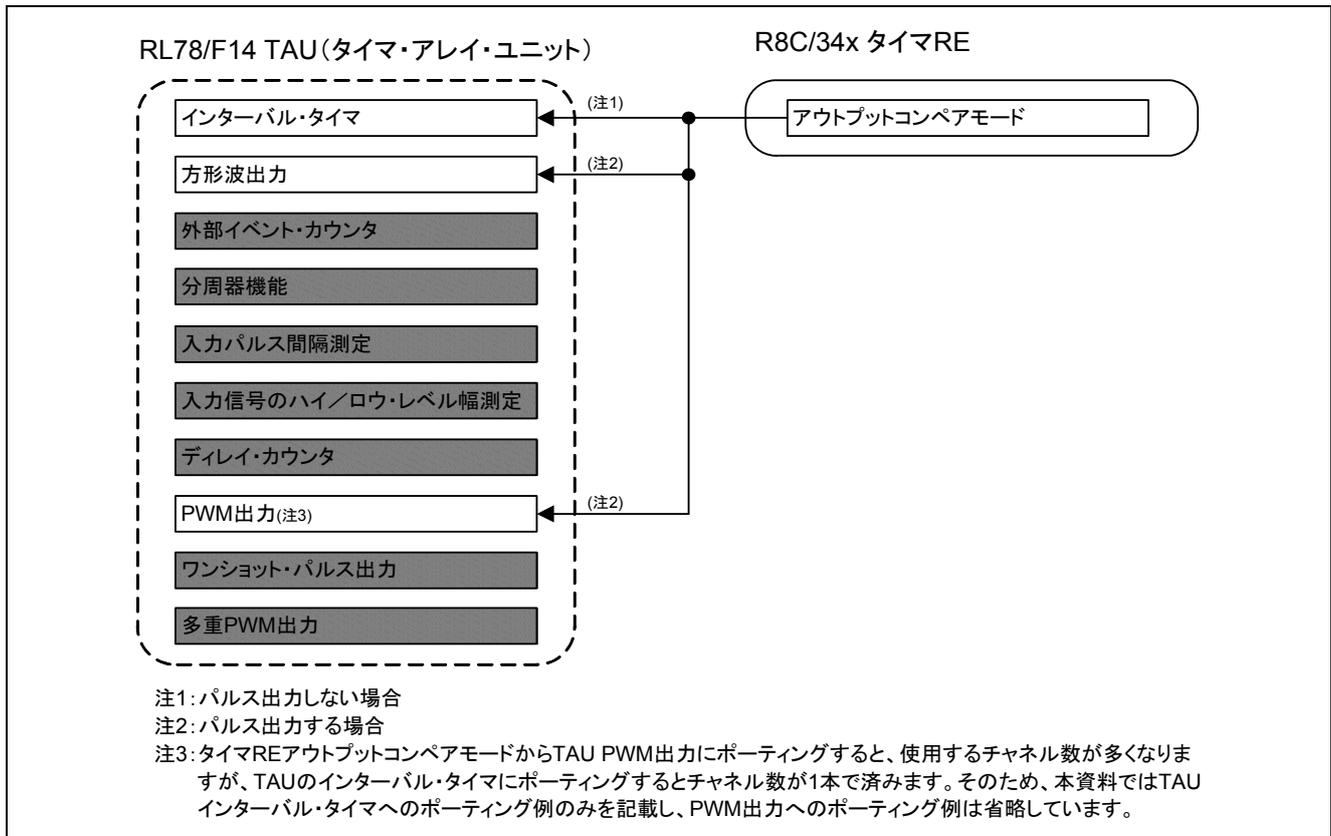


図14.23 RL78/F14 TAU と R8C/34x タイマ RE の各モードの対応

<ポーティングのポイント>

● 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによって TAU モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブルレジスタ 0(PER0)の TAUmEN(m=0、1)ビット(注)で行います。TAU 関連レジスタにアクセスする前に TAUmEN ビットでクロック供給を許可に設定してください。R8C/34x のタイマ RE にはクロック供給/停止を制御する機能がなく、タイマ RE は常にアクティブ状態になります。

注：周辺イネーブル・レジスタ 0(PER0)の TAUmEN(m=0、1)ビット

0：TAU への入力クロック供給停止(TAU 関連レジスタはリセット後の値)

1：TAU への入力クロック供給(TAU 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、TAU は非アクティブ状態です。

14.5.1 タイマ RE アウトプットコンペアモードから TAU インターバル・タイマへのポーティング

表 14.33、表 14.34 に RL78/F14 の TAU インターバル・タイマ設定チャンネルを示します。
 使用可能な TAU インターバル・タイマ設定チャンネルは ROM サイズによって異なります。

表 14.33 RL78/F14 TAU インターバル・タイマ設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
 -：使用不可

表 14.34 RL78/F14 TAU インターバル・タイマ設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
インターバル・タイマ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.24 に RL78/F14 の TAU のインターバル・タイマと R8C/34x のタイマ RE のアウトプットコンペアモードの動作比較を示します。

タイマのカウンタ動作やフラグの動きを確認してください。

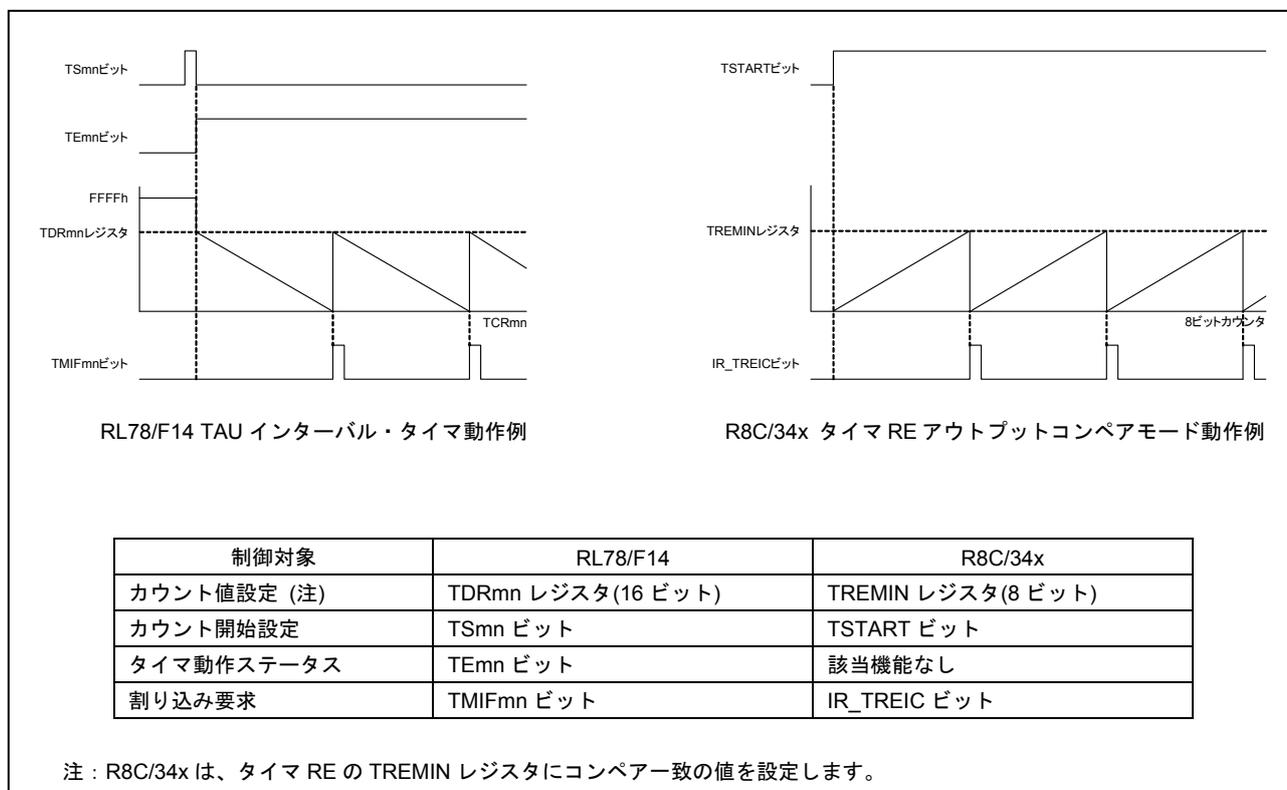


図 14.24 RL78/F14 TAU インターバル・タイマと R8C/34x タイマ RE アウトプットコンペアモード動作比較

<ポーティングのポイント>

- **タイマのカウンタ値の読み出し**

図 14.24 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RE がアップカウントになります。タイマの構成が異なるため、設定する値も異なります。

14.5.2 タイマ RE アウトプットコンペアモードから TAU 方形波出力へのポーティング

表 14.35、表 14.36 に RL78/F14 の TAU 方形波出力設定チャンネルを示します。

使用可能な TAU 方形波出力設定チャンネルは ROM サイズによって異なります。

表14.35 RL78/F14 TAU 方形波出力設定チャンネル(ROM サイズ=48KB~96KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
方形波出力	○	○	○	○	○	○	○	○	○	○	○	○	-	-	-	-

○：選択可能
-：使用不可

表14.36 RL78/F14 TAU 方形波出力設定チャンネル(ROM サイズ=128KB~256KB)

	ユニット 0								ユニット 1							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
方形波出力	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：選択可能

図 14.25 に RL78/F14 の TAU の方形波出力と R8C/34x のタイマ RE のアウトプットコンペアモードの動作比較を示します。タイマのカウント動作やフラグの動きを確認してください。

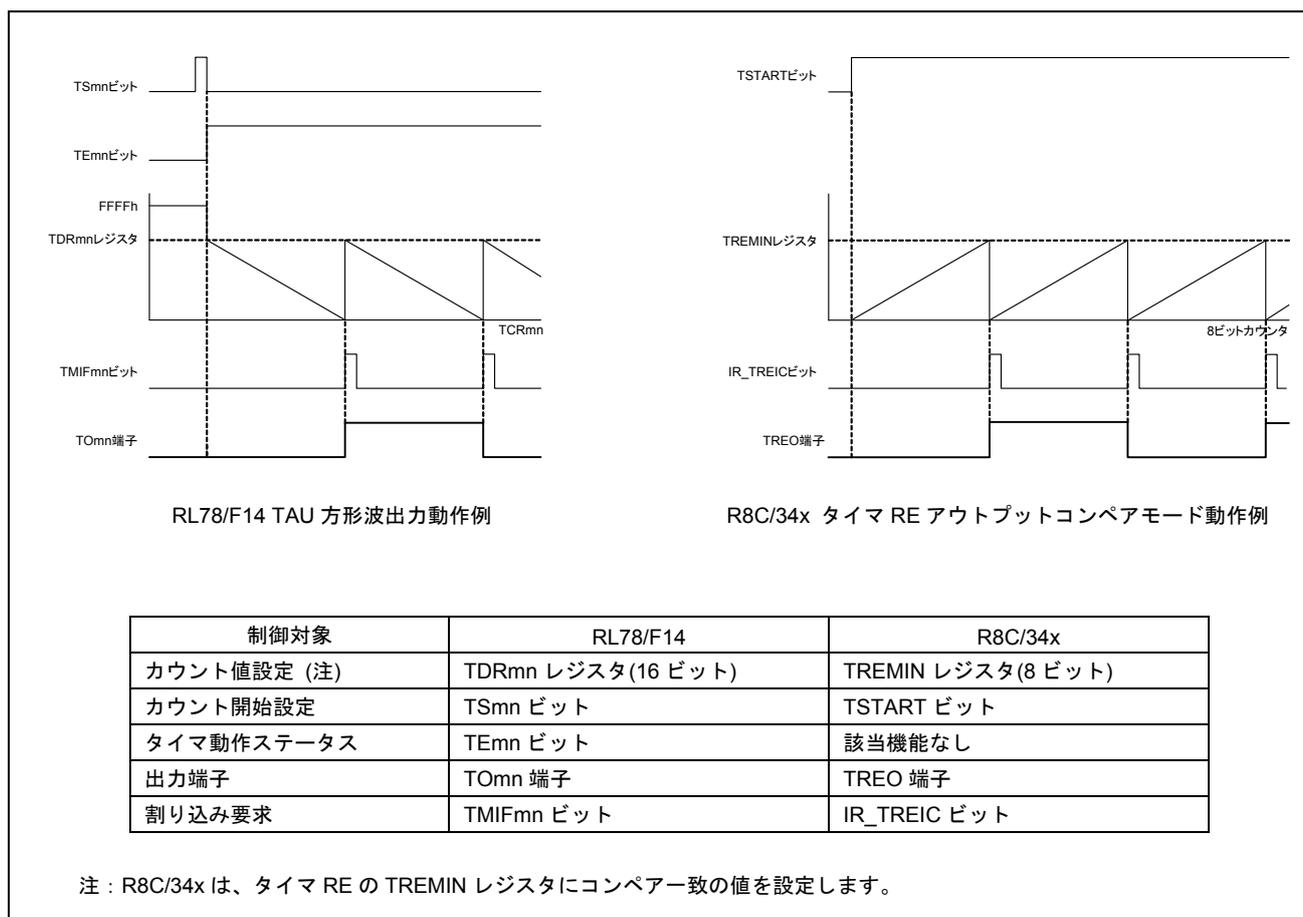


図 14.25 RL78/F14 TAU インターバル・タイマと R8C/34x タイマ RE アウトプットコンペアモード動作比較

<ポーティングのポイント>

- タイマのカウンタ値の読み出し

図 14.25 で示すようにタイマのカウンタ方法は、RL78/F14 TAU がダウンカウント、R8C/34x タイマ RE がアップカウントになります。タイマの構成が異なるため、カウンタの設定値も異なります。

15. シリアルインタフェース

15.1 シリアルインタフェースからシリアル・アレイ・ユニットへのポーティング

図 15.1に RL78/F14 のシリアル・アレイ・ユニット(SAU)と R8C/34x のシリアルインタフェースの各通信モードの対応を示します。

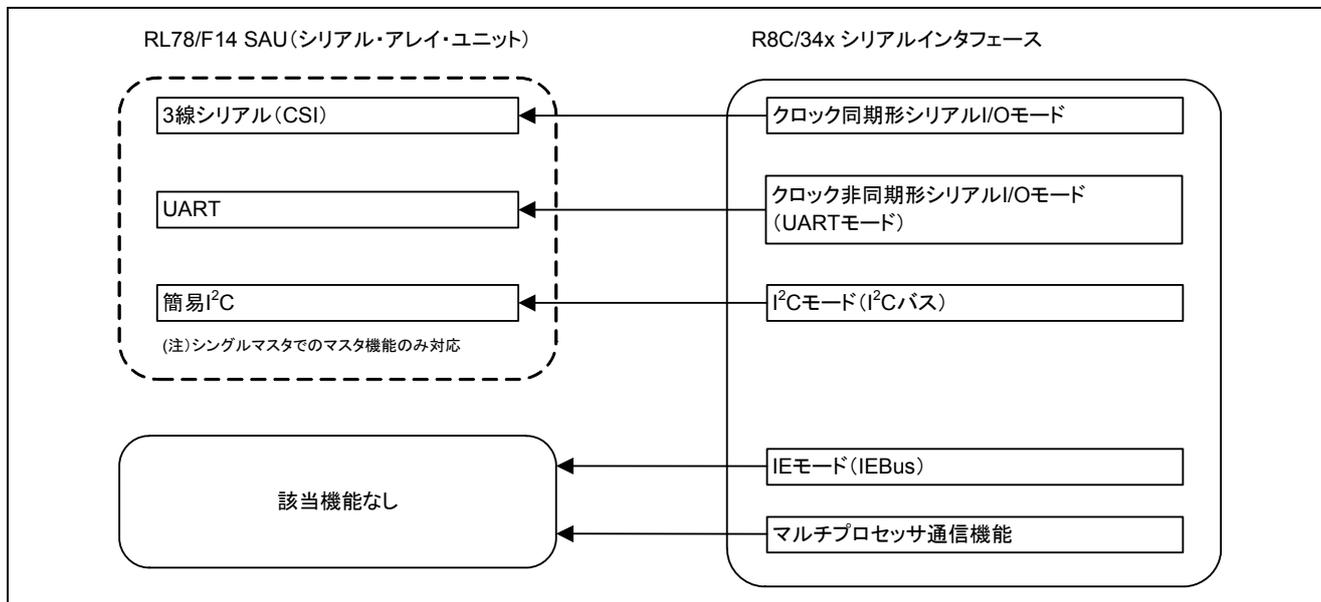


図 15.1 RL78/F14 SAU と R8C/34x シリアルインタフェースの各通信モードの対応

<ポーティングのポイント>

● 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによって SAU モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブルレジスタ 0(PER0)の SAUmEN(m=0、1) ビット(注)で行います、SAU 関連レジスタにアクセスする前に SAUmEN ビットでクロック供給を許可に設定してください。

R8C/34x のシリアルインタフェースにはクロック供給/停止を制御する機能がなく、シリアルインタフェースは常にアクティブ状態になります。

注：周辺イネーブル・レジスタ 0(PER0)の SAUmEN(m=0、1)ビット

0：SAU への入力クロック供給停止(SAU 関連レジスタはリセット後の値)

1：SAU への入力クロック供給(SAU 関連レジスタへのリード/ライト可)

リセット後の値は“0” (クロック供給停止)となっており、SAU は非アクティブ状態です。

● 端子のシリアル I/O 機能としての出力タイミング

R8C/34x では、UARTi 送受信モードレジスタ(UiMR)(i=0、2)でクロック同期形シリアル I/O モード、または UART モードを選択したタイミングで汎用ポートからシリアル I/O の端子に切り替わります。

RL78/F14 の SAU0、SAU1 では、シリアル関連レジスタ設定後、出力として使用する端子(シリアル・データ出力、シリアル・クロック出力)のポート・モード・レジスタ(PMxx)を“0” (出力)、ポート・レジスタ(Pxx)を“1”に設定すると、シリアル I/O 端子に切り替わります。

● オーバランエラー

RL78/F14 と R8C/34x では、オーバランエラー発生条件とオーバランエラーからの復帰処理に違いがあります。

表 15.1に RL78/F14 の SAU と R8C/34x のシリアル I/O のオーバランエラーの比較を示します。

表 15.1 RL78/F14 SAU と R8C/34x シリアル I/O のオーバランエラーの比較

	RL78/F14	R8C/34x
オーバランエラー発生条件	<ul style="list-style-type: none"> ・ SDRmn レジスタにデータが格納されている状態で次のデータを受信したとき ・ SDRmn レジスタにデータが格納されている状態で次の送信データを書き込んだとき 	<ul style="list-style-type: none"> ・ 受信バッファレジスタに受信データが格納されている状態で次のデータの7ビット目を受信したとき
オーバランエラーからの復帰処理	<ul style="list-style-type: none"> ①シリアル・データ・レジスタ mn(SDRmn)をリードする ②シリアル・ステータス・レジスタ mn(SSRmn)をリードする ③シリアル・フラグ・クリア・トリガ・レジスタ mn(SIRmn)に“1”をライトする 	<ul style="list-style-type: none"> ①送受信禁止(TE=0、RE=0) ②U0MR レジスタの SMD2～SMD0 ビットを“000b”(シリアルインタフェース無効)に設定 ③U0MR レジスタの SMD2～SMD0 ビットを任意の通信モードに設定 ④送受信許可(TE=1、RE=1)

15.2 シリアル I/O(クロック同期形)から SAU(3 線シリアル I/O)へのポーティング

R8C/34x のシリアル I/O(クロック同期形)から RL78/F14 の SAU(3 線シリアル I/O)へのポーティングのポイントを以下に説明します。

<ポーティングのポイント>

- 送受信の割り込み

R8C/34x では送信(UARTi 送信割り込み)と受信(UARTi 受信割り込み)で別々の割り込みを持っています。

RL78/F14 SAU の 3 線シリアル I/O では送信用、受信用といった割り込みの構成ではなく、送受信バッファ(RL78/F14 での名称はシリアル・データ・レジスタ)の状態により割り込み要求を発生させています。割り込みの発生タイミングは送受信バッファの転送完了、またはバッファ空のどちらか 1 つを選択することが可能です。

R8C/34x で送信と受信の処理をそれぞれの割り込みの中で構成していた場合、RL78/F14 では 1 つの割り込み内で送受信処理を行うよう設定してください。

- 割り込み発生タイミング

図 15.2 に RL78/F14 の SAU(3 線シリアル I/O)と R8C/34x のシリアル I/O(クロック同期形)の割り込み発生タイミングを示します。

図 15.2 で示すように SAU(3 線シリアル I/O)とシリアル I/O(クロック同期形)では、送受信完了時に発生する割り込み要求の発生タイミングが異なります。RL78/F14 SAU では、送受信時の割り込み要求発生タイミングが最終ビットの入出力完了時であるため、R8C/34x のシリアル I/O よりも転送レートの 0.5 サイクル分割り込み要求の発生が遅れます。そのため転送レートが遅いほど、割り込み発生までに時間がかかります。ポーティングの際、割り込み処理の実行タイミングがユーザシステムにおいて問題にならないことを確認してください。

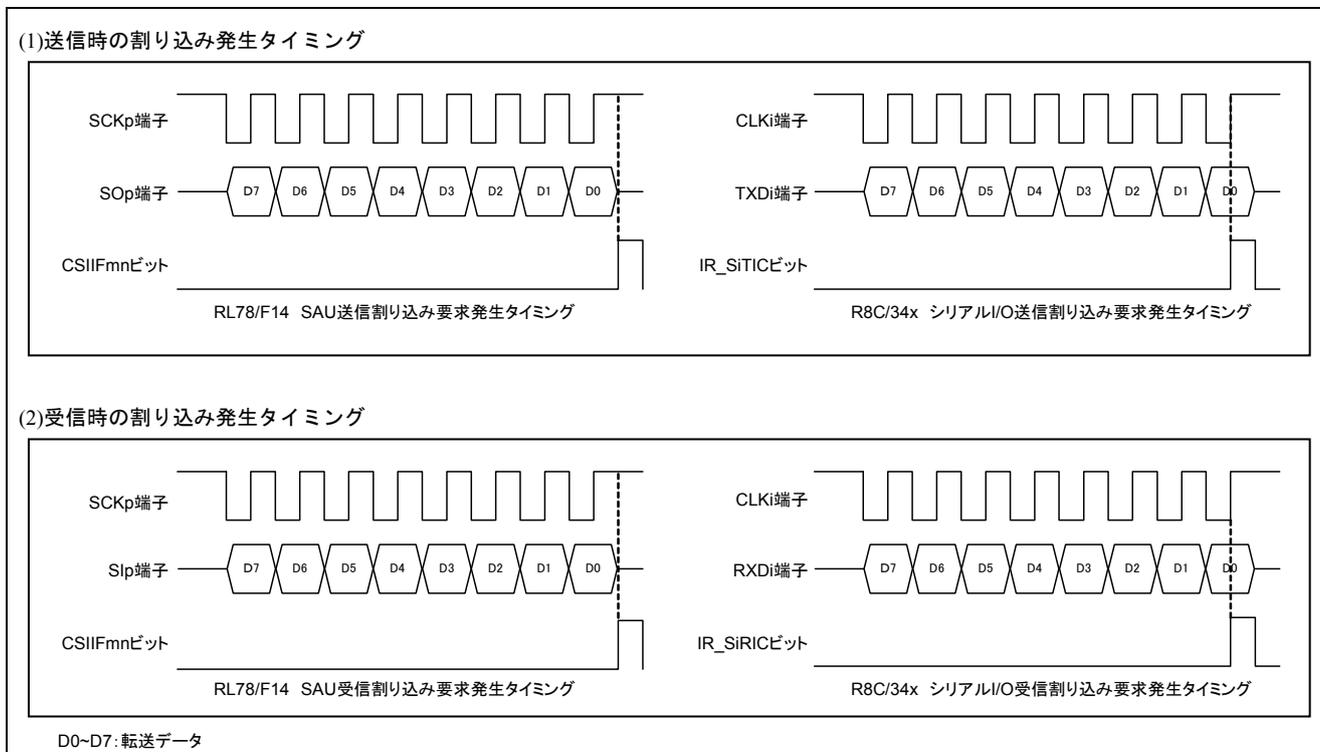


図 15.2 RL78/F14 SAU(3 線シリアル I/O)と R8C/34x シリアル I/O(クロック同期形)の割り込み発生タイミング

- **連続送受信動作**

RL78/F14 には送信/受信専用のバッファがなく、1つのバッファ(シリアル・データ・レジスタ)で送受信を行います。R8C/34x で連続送受信していた場合、R8C/34x と同じ処理方法では RL78/F14 で連続送受信処理ができない可能性があります。RL78/F14 のユーザーズマニュアルに記載されている連続受信モード時の処理を参考に、送受信処理を実行してください。

- **連続受信モード**

R8C/34x では、受信バッファレジスタを読み出すと受信許可状態になり、転送クロックを出力する連続受信モードの機能がありますが、RL78/F14 ではこのモードに相当する機能はありません。RL78/F14 という連続受信モードとは、R8C/34x のようなマイコンの機能ではなく、連続受信する際の処理手順を指します。

15.3 シリアル I/O(UART)から SAU(UART)へのポーティング

R8C/34x のシリアル I/O(UART)から RL78/F14 の SAU(UART)へのポーティングのポイントを以下に説明します。

<ポーティングのポイント>

- 通信フォーマット

図 15.3に RL78/F14 の SAU(UART)と R8C/34x の UART 通信フォーマット比較を示します。

R8C/34x ではストップビットを送信、受信の両方に 2 ビット付加できますが、RL78/F14 ではストップビットに 2 ビット付加することができるのは送信時のみです。受信時は 1 ビットだけ付加することができます。

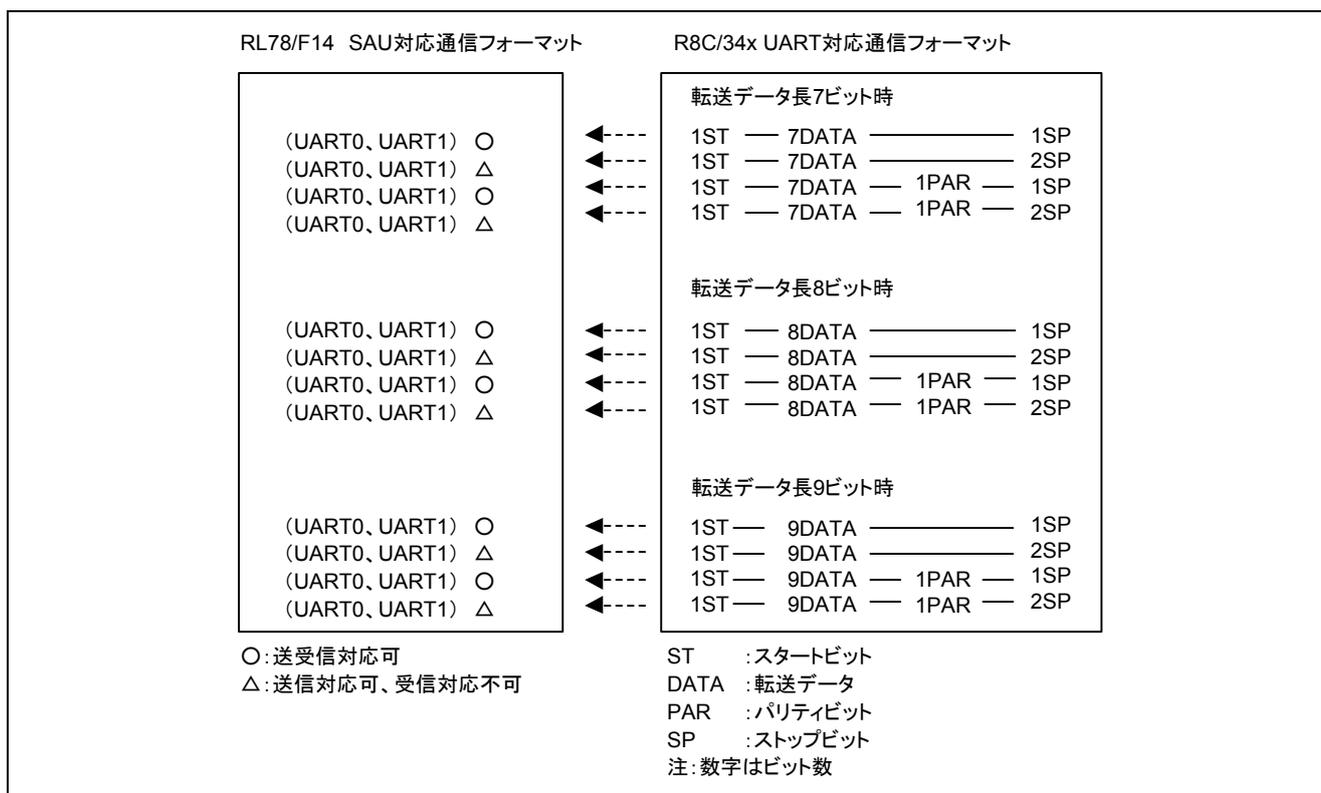


図 15.3 RL78/F14 SAU と R8C/34x UART の通信フォーマット比較

● 割り込み発生タイミング

図 15.4に RL78/F14 の SAU(UART)と R8C/34x のシリアル I/O(UART)割り込み発生タイミングを示します。

図 15.4に示すように、RL78/F14 と R8C/34x の UART では、送信完了時に発生する割り込み要求の発生タイミングが異なります。各 UART 送受信時の割り込み発生タイミングは以下の通りです。

<R8C/34x>

UART 送受信 : ストップビットのサンプリングポイントで割り込み要求発生

<RL78/F14>

UART 送信 : ストップビット出力完了 (次の転送クロックの立ち上がり) 時に割り込み要求発生

UART 受信 : ストップビットのサンプリングポイントで割り込み要求発生

上記割り込み発生タイミングにおけるポーティングの際の留意点は次の 2 点です。

- ・ R8C/34x と RL78/F14 の UART 送信で割り込み発生タイミングが異なる。
- ・ RL78/F14 でも送信と受信で割り込み発生タイミングが異なる。

このように割り込み発生タイミングが異なるため、転送レートが遅いほど割り込み発生までの時間に差異が出てきます。RL78/F14 で、UART 送受信割り込み内の処理の実行タイミングが問題にならないことを確認してください。

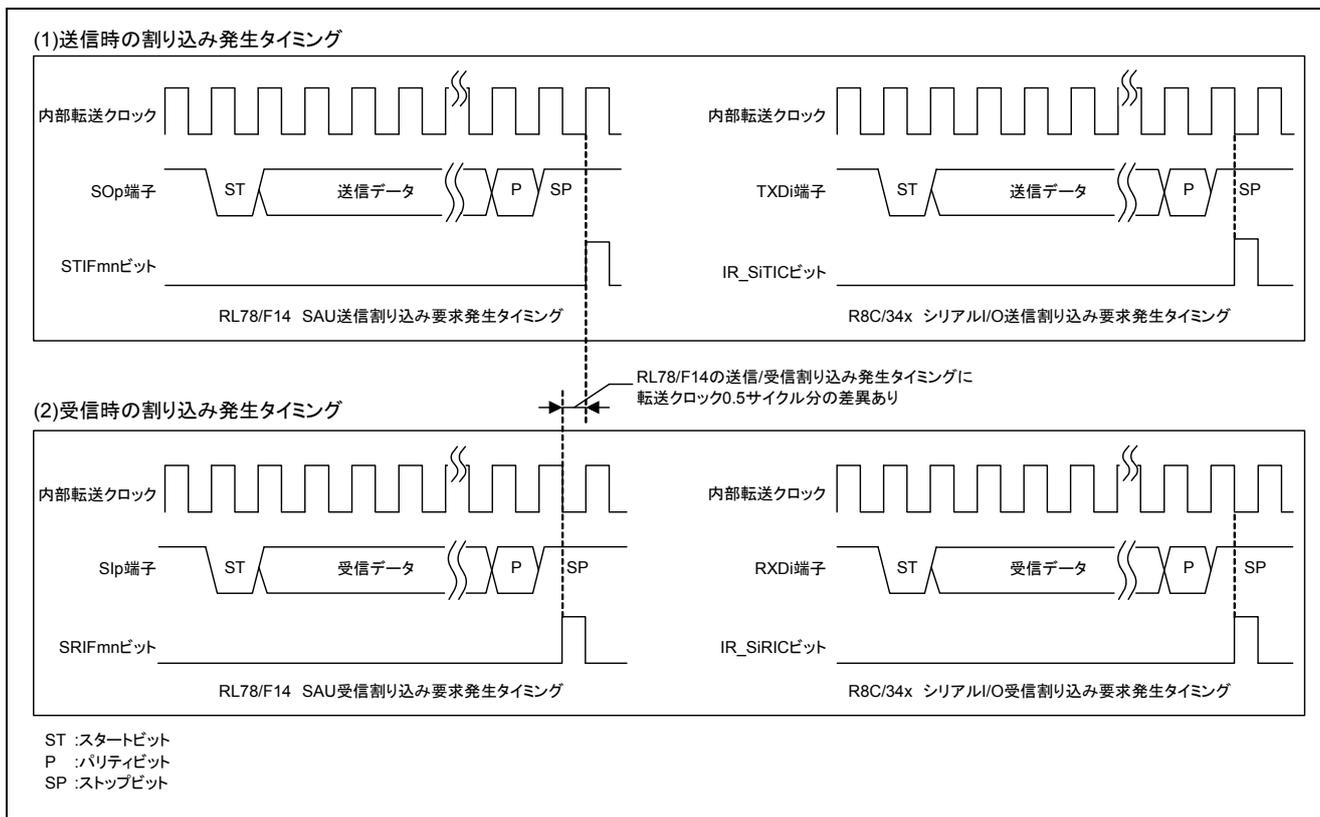


図 15.4 RL78/F14 SAU(UART)と R8C/34x シリアル I/O(UART)割り込み発生タイミング

● エラーフラグ

RL78/F14 には、R8C/34x のエラーサムフラグに相当するフラグがありません。エラーの有無を判断する場合は、シリアル・ステータス・レジスタ mn(SSRmnL)の下位 8 ビットの状態で確認してください。

15.4 SSU から SAU へのポーティング

R8C/34x の SSU(クロック同期式通信モード、4 線式バス通信モード)から RL78/F14 の SAU(UART)の 3 線シリアル I/O へポーティングする際のポイントを以下に説明します。

<ポーティングのポイント>

- 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによって SAU モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブル・レジスタ 0(PER0)の SAUmEN(m=0、1)ビット(注 1、注 2)で行います、SAU 関連レジスタにアクセスする前に SAUmEN ビットでクロック供給を許可に設定してください。

注 1: 周辺イネーブル・レジスタ 0(PER0)の SAUmEN(m=0、1)ビット

0: SAU への入力クロック供給停止(SAU 関連レジスタはリセット後の値)

1: SAU への入力クロック供給(SAU 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、SAU は非アクティブ状態です。

注 2: R8C/34x の SSU では、モジュールスタンバイ制御レジスタ(MSTCR)の MSTIC ビットが SAUmEN ビットに相当します。リセット後、MSTIC ビットは“0”(アクティブ)となっており、SSU はアクティブ状態です。

- 4 線式バス通信モードのチップセレクト端子

RL78/F14 の SAU(UART)には、R8C/34x の SSU のチップセレクト端子(SCS端子)に相当する端子がありません。R8C/34x の SSU の 4 線式バス通信モードを SAU で実現しようとする場合は、ポート機能を使用してチップセレクト端子の制御を行う必要があります。

- 4 線式バス通信モードのポーティングできない機能

RL78/F14 の SAU では、R8C/34x の SSU の 4 線式バス通信モードの双方向通信モードやアービトラレション機能に該当する機能がありません。

16. A/D コンバータ

16.1 RL78/F14 A/D コンバータへのポーティング

図 16.1に R8C/34x と RL78/F14 の A/D コンバータの対応を示します。

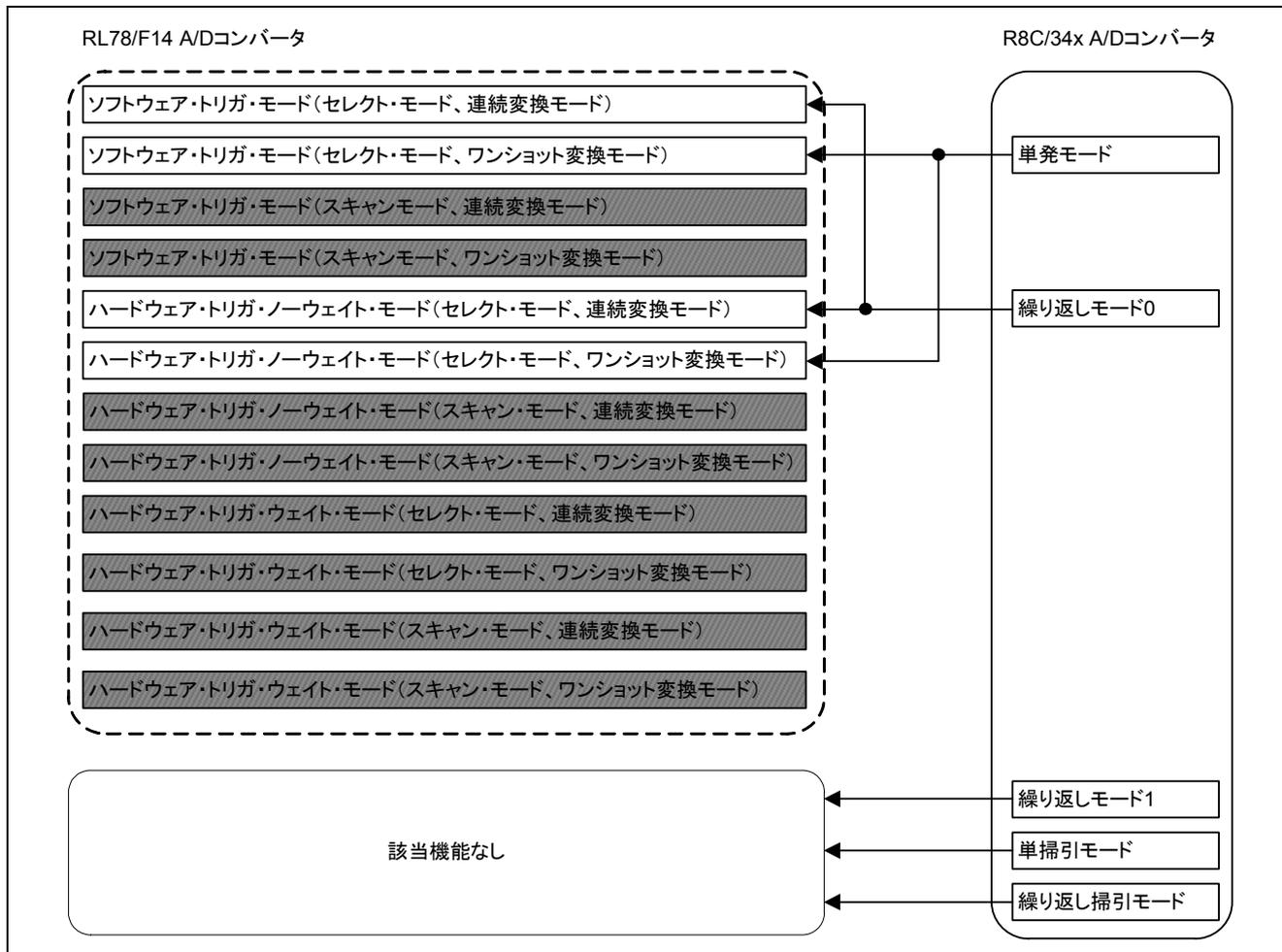


図 16.1 RL78/F14 と R8C/34x A/D コンバータの各モードの対応

<ポーティングのポイント>

- アナログ基準電圧とアナログ入力端子数

アナログ基準電圧を入力する端子は、R8C/34x では VREF 端子が専用端子として独立していますが、RL78/F14 では AV_{REFM} (一側の基準電圧)、 AV_{REFP} (+側の基準電圧) 端子の 2 本が必要で、それぞれアナログ入力端子の ANI0、ANI1 と兼用になっています。RL78/F14 で $\pm 3LSB$ の A/D 変換精度を実現するには、 AV_{REFM} 、 AV_{REFP} 端子に基準電圧を印可する必要があります。この場合 ANI0、ANI1 が使用できなくなるため、 $\pm 3LSB$ に対応できるアナログ入力端子が 2 本減少して ANI2~ANI12 の 11 本となり、R8C/34x の 12 本よりも 1 本少なくなります。RL78/F14 へのポーティングの際は、アナログ入力端子の本数に問題がないことを確認してください。

- D/A コンバータとアナログ入力端子数

D/A コンバータで使用するアナログ出力端子 ANO0 は、アナログ入力端子の ANI2 と兼用です。D/A コンバータでアナログ出力を行うと、 $\pm 3LSB$ に対応しているアナログ入力端子が 1 本少なくなります。D/A コンバータを使用する場合は、アナログ入力端子の本数に問題がないことを確認してください。

- A/D 変換精度

RL78/F14 のアナログ端子は V_{DD} 系と EV_{DD} 系の 2 種類に分けられます。 EV_{DD} 系のアナログ端子は V_{DD} 系のアナログ端子よりも精度が低いため、高精度な変換を必要とする場合は V_{DD} 系のアナログ端子を使用してください。

48 ピン版には EV_{DD0} 、 EV_{DD1} 端子がないため、 V_{DD} を EV_{DD} 系端子の電源として使用します。ただし EV_{DD} 系のアナログ入力端子の A/D 変換精度は、ユーザーズマニュアルの通り $\pm 4.5LSB$ (MAX.: $4.0V \leq V_{DD} \leq 5.5V$ 時) のままです。

表 16.1 V_{DD} 系と EV_{DD} 系アナログ端子

コード・フラッシュ・メモリ サイズ	V_{DD} 系アナログ端子	EV_{DD} 系アナログ端子
96KB 以下	ANI0~ANI12	ANI24~ANI25
128KB 以上	ANI0~ANI12	ANI24~ANI28

- A/D 断線検出アシスト機能

RL78/F14 の A/D コンバータには、R8C/34x の A/D 断線検出アシスト機能がありません。このことが問題にならないことをご確認ください。

- アナログ入力端子の割り当て

RL78/F14 では、A/D ポート・コンフィギュレーション・レジスタ(ADPC)で、アナログ入力として使用する端子を設定します。ADPC レジスタでは、ANI0 を先頭に ANI1、ANI2・・・と順番にアナログ入力端子を設定していきます。R8C/34x のようにアナログ入力端子を自由に選択することができないため、ピンの割り当てを検討する場合は、最初にアナログ入力端子の配置を決めることをお勧めします。

- **機能禁止/許可設定**

RL78/F14 には、クロック供給許可/禁止を制御することによって A/D モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定は周辺イネーブル・レジスタ 0(PER0)の ADCEN ビット(注)で行います。A/D 関連レジスタにアクセスする前に ADCEN ビットでクロック供給を許可に設定してください。R8C/34x の A/D コンバータにはクロック供給/停止を制御する機能がなく、A/D コンバータは常にアクティブ状態になります。

注：周辺イネーブル・レジスタ 0(PER0)の ADCEN ビット

0：A/D コンバータへの入力クロック供給/停止(A/D コンバータ関連レジスタはリセット後の値)

1：A/D コンバータへの入力クロック供給(A/D コンバータ関連レジスタへのリード/ライト可)

リセット後の値は“0” (クロック供給/停止)となっており、A/D コンバータは非アクティブ状態です。

- **A/D 変換結果**

R8C/34x では、A/D レジスタ i (AD i)に A/D 変換結果が格納され、ワード長で読み出したデータを A/D 変換結果として使用できます。RL78/F14 では A/D 変換結果レジスタ(ADCR)に A/D 変換結果が格納されますが、ワード長で読み出した場合、上位 8 ビットに A/D 変換結果の上位 8 ビット、下位 8 ビットの上位 2 ビットに A/D 変換結果の下位 2 ビットが配置されます。RL78/F14 では、ADCR レジスタの読み出し値がそのまま使用できないためデータの加工が必要です。

17. DTC

17.1 RL78/F14 の DTC へのポーティング

表 17.1に RL78/F14 と R8C/34x の DTC の機能比較、図 17.1に起動要因の対応を示します。

表 17.1 RL78/F14 と R8C/34x の DTC 機能比較

比較対象	RL78/F14	R8C/34x
転送方向	<ul style="list-style-type: none"> ・ SFR → SFR ・ SFR → RAM ・ RAM → SFR ・ RAM → RAM ・ ミラー領域 → SFR ・ ミラー領域 → RAM ・ データ・フラッシュ・メモリ → SFR ・ データ・フラッシュ・メモリ → RAM 	<ul style="list-style-type: none"> ・ SFR → SFR ・ SFR → RAM ・ RAM → SFR ・ RAM → RAM ・ プログラム ROM → SFR ・ プログラム ROM → RAM ・ データフラッシュ → SFR ・ データフラッシュ → RAM
転送単位	<ul style="list-style-type: none"> ・ 8 ビット ・ 16 ビット 	<ul style="list-style-type: none"> ・ 8 ビット ・ 16 ビット
転送モード	<ul style="list-style-type: none"> ・ ノーマル・モード ・ リピート・モード ・ 高速転送 	<ul style="list-style-type: none"> ・ ノーマル・モード ・ リピート・モード
最大転送ブロックサイズ	ノーマル・モード時：256 バイト リピート・モード時：512 バイト	ノーマル・モード時：256 バイト リピート・モード時：255 バイト
起動要因	44 要因(注 1)	31 要因(注 2)
転送サイクル/クロック数	転送回数 1 回あたり：13 クロック (MAX.)(注 3)	転送回数 1 回あたり：18 サイクル (MAX.)(注 4)
コントロールデータ・DTC ベクタアドレス領域	DTCBAR レジスタに設定したアドレス(Fxx00H : xx のアドレス DTCBAR で設定)を先頭に、DTC ベクタ・テーブル領域(46 バイト)、予約領域(18 バイト)、DTC コントロール・データ領域(192 バイト)の設定順で 256 バイトの領域を確保	DTC ベクタテーブル領域：2C00h~2C34h(注 5) コントロールデータ領域：2C40h~2CFFh
転送保留	対応	非対応
高速転送	対応	非対応
ウェイト/HALT モード時動作	動作可能	動作禁止
ストップ/STOP モード時動作	DTC 起動要因受付可能 (SNOOZE モードに遷移して DTC 転送が可能)	動作禁止

注 1：1 チャンネル 24 要因選択

注 2：1 チャンネル最大 24 要因まで選択可能

注 3：次の条件すべてを満たすとき、転送クロック数が最多となります。

- ・ 転送方向が、データ・フラッシュ・メモリ→SFR、またはデータ・フラッシュ・メモリ→RAM
- ・ DTCCTj レジスタ、DTRLDj レジスタ、DTSARj レジスタ、DTDARj レジスタを書き戻す
- ・ DTCCR レジスタの設定が次の①~③のいずれか

- ① ノーマル・モード(MODE=0)、転送先のアドレスを加算(DAMOD=1)、転送元のアドレスを加算(SAMOD=1)
- ② リピート・モード(MODE=1)、転送元がリピート・エリア(RPTSEL=1)、転送先のアドレスを加算(DAMOD=1)
- ③ リピート・モード(MODE=1)、転送先がリピート・エリア(RPTSEL=0)、転送元のアドレスを加算(SAMOD=1)

注 4：次の条件をすべて満たすとき、転送サイクルが最大となります。

- ・ 転送方向が、データフラッシュ→SFR、または SFR→SFR(SFR は奇数番地にワードアクセス、またはバイトアクセスの場合)
- ・ DTCCTj レジスタ、DTRLDj レジスタ、DTSARj レジスタ、DTDARj レジスタを書き戻す
- ・ DTCCR レジスタの設定が次の①~③のいずれか

- ① ノーマル・モード(MODE=0)、転送先のアドレスを加算(DAMOD=1)、転送元のアドレスを加算(SAMOD=1)
- ② リピート・モード(MODE=1)、転送元がリピート・エリア(RPTSEL=1)、転送先のアドレスを加算(DAMOD=1)
- ③ リピート・モード(MODE=1)、転送先がリピート・エリア(RPTSEL=0)、転送元のアドレスを加算(SAMOD=1)

注 5：DTC ベクタテーブルおよび、コントロールデータ領域のアドレスは固定

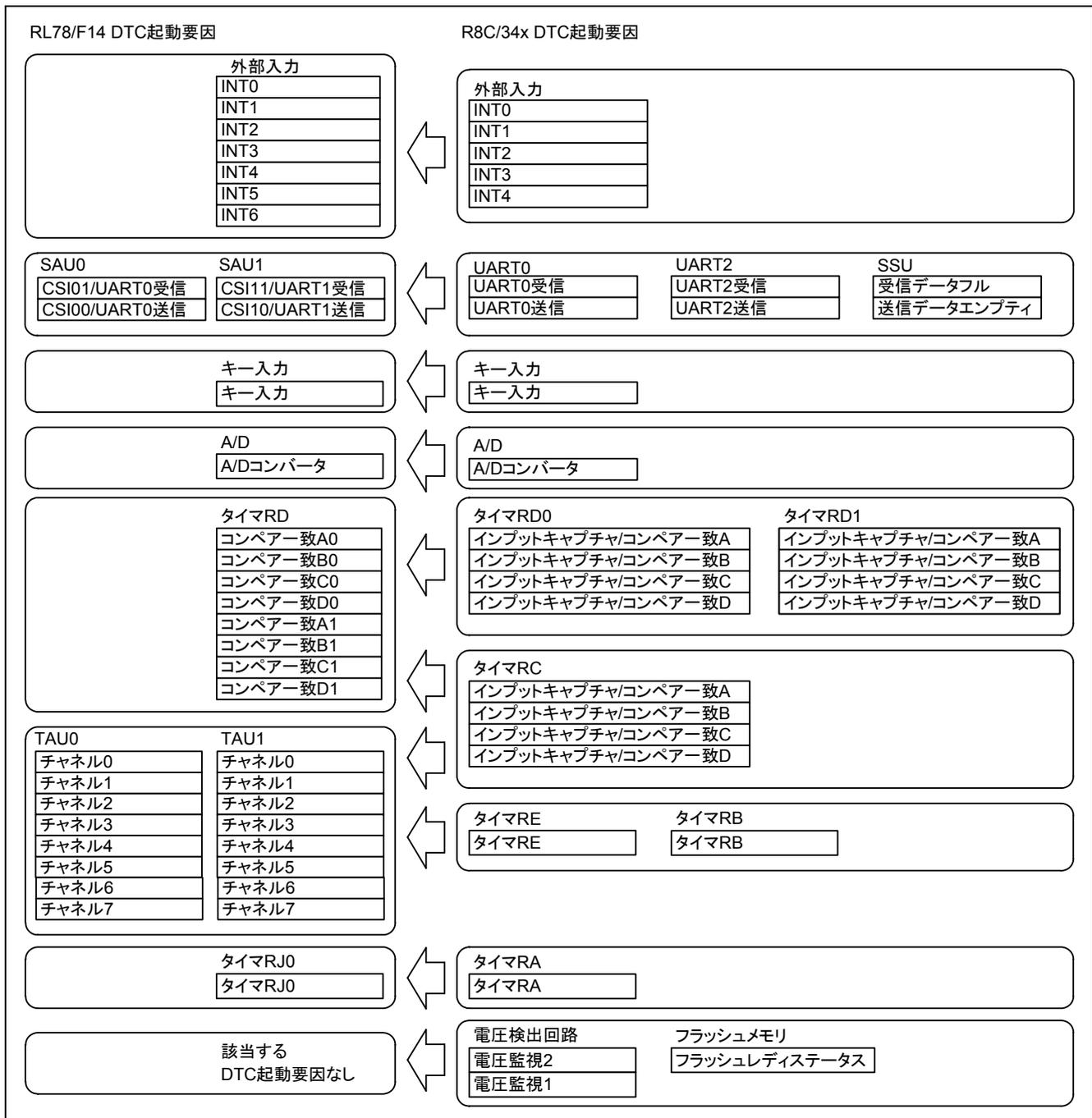


図 17.1 RL78/F14 DTC と R8C/34x DTC の起動要因の対応

<ポーティングのポイント>

● 機能禁止/許可設定

RL78/F14 には、クロック供給許可/禁止を制御することによって DTC モジュール(アクティブ/非アクティブ)を切り替える機能があります。設定はイネーブル・レジスタ 1(PER1)の DTCEN ビット(注)で行います。DTC 関連レジスタにアクセスする前に DTCEN ビットをクロック供給許可に設定してください。R8C/34x の DTC にはクロック供給/停止を制御する機能がなく、DTC は常にアクティブ状態になります。

注：周辺イネーブル・レジスタ 1(PER1)の DTCEN ビット

0：DTC への入力クロック供給停止(DTC 関連レジスタはリセット後の値)

1：DTC への入力クロック供給(DTC 関連レジスタへのリード/ライト可)

リセット後の値は“0”(クロック供給停止)となっており、DTC は非アクティブ状態です。

● 高速転送

RL78/F14 では、通常の DTC 転送よりも少ないクロック数で動作を行う高速転送が可能ですが、転送元に指定できるのは SFR のみです。これが問題となる場合は仕様を検討してください。また、使用方法の詳細についてはユーザーズマニュアルを参照してください。

● コントロールデータの設定

DTC ベクタ・テーブル領域内で使用するコントロールデータは、R8C/34x では使用するコントロールデータの番号(0~23)を設定していましたが、RL78/F14 では、DTC コントロール・データの下位 8 ビットのアドレスを設定します。設定可能な DTC コントロール・データ領域のアドレスの計算式は以下の通りです。

【計算式】

DTC コントロール・データ領域の先頭アドレス(40H)+(コントロールデータ番号(0~23)×4 バイト)
=DTC ベクタ・テーブルに設定する DTC コントロール・データの下位 8 ビットアドレス

注：コントロールデータ番号は R8C/34x で使用した番号

● コントロール・データ領域の初期化

DTC 転送を行う際は、使用する DTC コントロール・データ領域すべてに初期値を設定してください。初期値を設定せずに DTC 転送を実行した場合、不正アクセスにより ECC エラーが発生します。以下に例を示します。

【例】DTC ノーマルモード時の転送回数リロードレジスタ(DTRLDj)

DTC ノーマルモードでは、RL78/F14、R8C/34x 共に DTRLDj レジスタを使用しません。

R8C/34x では DTRLDj レジスタ未設定でも DTC 転送が可能ですが、RL78/F14 では DTRLDj レジスタ未設定のまま DTC 転送を実行すると ECC エラーが発生します。

R8C/34x のプログラムをそのまま流用すると、例のように ECC エラーが発生することが考えられます。RL78/F14 では、未使用のレジスタに対しても必ず任意の初期値が設定されていることを確認してください。

- **DTC ソース・アドレス・レジスタ i(DTSARi)と DTC デスティネーション・アドレス・レジスタ (DTDARj)の設定**

RL78/F14 の DTSARi/DTDARj レジスタは、それぞれ転送元/転送先アドレスの下位 16 ビットを設定します。DTSARi/DTDARj レジスタに設定した値に F0000h を加算したアドレスを転送元/転送先アドレスとして使用します。

R8C/34x の場合、DTSARi/DTDARj レジスタに設定する値を、そのまま転送元/転送先アドレスとして使用します。

このように、RL78/F14 と R8C/34x では DTSARi/DTDARj レジスタに同じ値を設定しても、指し示すアドレスが異なることに注意してください。

- DTC 起動許可レジスタ

DTC 起動許可レジスタ(DTCENi)の各ビットに対応する起動要因は、R8C/34x と RL78/F14 とで相違があります。特に INT0~INT4 の起動要因は 1 ビットずつ配置がずれているため、R8C/34x から RL78/F14 にプログラムを移行する際は、設定に誤りがないことを確認してください。また RL78/F14 は、DTC の起動要因にタイマ RD のインプットキャプチャ機能を選択することができません。ポーティングの際は、これらのことが問題にならないことを確認してください。

表 17.2、表 17.3に RL78/F14 と R8C/34x の DTC 起動要因を示します。

表 17.2 RL78/F14 と R8C/34x の DTC 起動要因 1

レジスタ	ビット	RL78/F14	R8C/34x
DTCEN0	DTCEN07	—	INT0
	DTCEN06	INT0	INT1
	DTCEN05	INT1	INT2
	DTCEN04	INT2	INT3
	DTCEN03	INT3	INT4
	DTCEN02	INT4	—
	DTCEN01	INT5	—
	DTCEN00	INT6	—
DTCEN1	DTCEN17	キー入力	キー入力
	DTCEN16	A/D 変換	A/D 変換
	DTCEN15	UART0 受信/CSI01	UART0 受信
	DTCEN14	UART0 送信/CSI00	UART0 送信
	DTCEN13	UART1 受信/CSI11	—
	DTCEN12	UART1 送信/CSI10	—
	DTCEN11	LIN0 受信	UART2 受信
DTCEN10	LIN0 送信	UART2 送信	
DTCEN2	DTCEN27	CAN 受信	SSU 受信データフル
	DTCEN26	—	SSU 送信データエンプティ
	DTCEN25	TAU0 チャンネル 0	電圧監視 2
	DTCEN24	TAU0 チャンネル 1	電圧監視 1
	DTCEN23	TAU0 チャンネル 2	—
	DTCEN22	TAU0 チャンネル 3	—
	DTCEN21	TAU0 チャンネル 4	タイマ RC インプットキャプチャ/コンペアー一致 A
DTCEN20	TAU0 チャンネル 5	タイマ RC インプットキャプチャ/コンペアー一致 B	
DTCEN3	DTCEN37	TAU0 チャンネル 6	タイマ RC インプットキャプチャ/コンペアー一致 C
	DTCEN36	TAU0 チャンネル 7	タイマ RC インプットキャプチャ/コンペアー一致 D
	DTCEN35	タイマ RD コンペアー一致 A0	タイマ RD0 インプットキャプチャ/コンペアー一致 A
	DTCEN34	タイマ RD コンペアー一致 B0	タイマ RD0 インプットキャプチャ/コンペアー一致 B
	DTCEN33	タイマ RD コンペアー一致 C0	タイマ RD0 インプットキャプチャ/コンペアー一致 C
	DTCEN32	タイマ RD コンペアー一致 D0	タイマ RD0 インプットキャプチャ/コンペアー一致 D
	DTCEN31	タイマ RD コンペアー一致 A1	タイマ RD1 インプットキャプチャ/コンペアー一致 A
DTCEN30	タイマ RD コンペアー一致 B1	タイマ RD1 インプットキャプチャ/コンペアー一致 B	
DTCEN4	DTCEN47	タイマ RD コンペアー一致 C1	タイマ RD1 インプットキャプチャ/コンペアー一致 C
	DTCEN46	タイマ RD コンペアー一致 D1	タイマ RD1 インプットキャプチャ/コンペアー一致 D
	DTCEN45	タイマ RJ0	—
	DTCEN44	コンパレータ 0	—
	DTCEN43	TAU1 チャンネル 0	—
	DTCEN42	TAU1 チャンネル 1	—
	DTCEN41	TAU1 チャンネル 2	—
DTCEN40	TAU1 チャンネル 3	—	

表 17.3 RL78/F14 と R8C/34x の DTC 起動要因 2

レジスタ	ビット	RL78/F14	R8C/34x
DTCEN5	DTCEN57	LIN1 受信	—
	DTCEN56	LIN1 送信	—
	DTCEN55	TAU1 チャンネル 4	タイマ RE
	DTCEN54	TAU1 チャンネル 5	—
	DTCEN53	TAU1 チャンネル 6	—
	DTCEN52	TAU1 チャンネル 7	—
	DTCEN51	—	—
	DTCEN50	—	—
DTCEN6 (注)	DTCEN67	—	—
	DTCEN66	—	タイマ RA
	DTCEN65	—	—
	DTCEN64	—	タイマ RB
	DTCEN63	—	フラッシュレディステータス
	DTCEN62	—	—
	DTCEN61	—	—
DTCEN60	—	—	

注：RL78/F14 には DTCEN6 レジスタはありません。

18. 参考資料

RL78/F13、F14 ユーザーズマニュアルハードウェア編 Rev.1.00

R8C/34W グループ、R8C/34X グループ、R8C/34Y グループ、R8C/34Z グループユーザーズマニュアル
ハードウェア編 Rev.1.10

(最新版をルネサスエレクトロニクスホームページから入手してください。)

E1/E20 エミュレータユーザーズマニュアル別冊(RL78 接続時の注意事項)Rev.1.00

(最新版をルネサスエレクトロニクスホームページから入手してください。)

RL78 ファミリユーザーズマニュアルソフトウェア編 Rev.2.00

(最新版をルネサスエレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.08.23	—	初版発行
1.01	2014.04.11	2	表 1.1 表記変更 48K~96KB → 48KB ~96KB 注 1 表現変更
		3	表 1.2 <シリアル・インタフェース> LIN: 3 チャンネル → 2 チャンネル SAU: 1 チャンネル → 2 チャンネル(注 4) RLIN3: 2 チャンネル(注 4) を削除 LIN モジュール: 3 チャンネル → 2 チャンネル RLIN3: 2 チャンネル(注 5) SAU: 1 チャンネル(注 5) を削除 48KB ~96KB 注 1 表現変更 <動作周囲温度> J, K, L グレード → J, K, L バージョン 表外の注釈 4 と 5 の文章を入れ替え
		4	表 2.1 <汎用レジスタ> 文章変更 2つのレジスタを組み合わせることで16ビットのレジスタとして使用可能 → 上記のうち2つを組み合わせることで使用可能な16ビットレジスタは以下の通りです
		7	<ポーティングのポイント> 表現修正 Near 領域と Far 領域: になります → です
		8	図 3.2 (スタック格納順) 注 2 文章変更 矢印は、スタック領域にデータ退避が行われた時の格納順です → データは矢印の方向に格納されます
		9	表 4.1 文章変更 V_{DD} や V_{SS} に接続しないでください → REGC 端子はパス婚を介して GND に接続してください
		10	図 5.1 単位修正 $0.47 \sim 1 \mu F$ → $0.47 \mu \sim 1 \mu F$ 注釈 3 文章変更: R8C/34x の RESET 端子のプルアップ抵抗はパワーオンリセット機能を使用する場合の値です → R8C/34x はパワーオンリセット機能仕様時の RESET 端子のプルアップ抵抗値です
		11	<ポーティングのポイント> -動作周波数の温度制限: K グレード → K バージョン -高速オンチップ・オシレータ RL78/F14 の CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) に PLL クロックの 32MHz を使用する場合は、高速オンチップ・オシレータのクロック源に 48MHz または 24MHz を選択しないでください ⇒ RL78/F14 の CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) を、PLL を使用して 32MHz にする場合は高速オンチップ・オシレータのクロック周波数を 48MHz または 24MHz 以外に設定してください

		13	<p>図 6.1 変更: RL78/F14 ブロック図内: CPU/周辺ハードウェア・クロックに f_{MX} を選択 を追加</p> <p>注 1: 文章変更: WDT のリフレッシュ間隔等時間制約がある処理については → (修正後)カウンタがリフレッシュするタイミングに差異が生じます</p> <p>注 4: L,K グレード → L,K バージョン</p>
		15	<p><ポーティングのポイント></p> <p>-CPU クロックの分周変更時の注意点: R8C/34x の文章変更</p>
		16	<p><ポーティングのポイント></p> <p>-低速オンチップ・オシレータ使用時の制限: 文章変更</p>
		17	<p>章番号を記載: 6.4 発振停止検出時のフェール処理</p> <p>図 6.3 RL78/F14 側ブロック図の CLRKF==1?を修正 (誤)CLRKF==1? (正)CLKRF=1?</p>
		21	<p>7.1.3</p> <p>-章名変更: 「RL78/F14 での」を削除</p> <p>-1 段落目文章変更</p> <p>-<ポーティングのポイント>を<RL78/F14 消費電流低減方法>に変更し、方法 1~3 のタイトル修正</p>
		22	<p>2 文目変更</p> <p>図 8.1 R8C/34x シンボル修正: WETRCS1 → (正)WDTRCS1</p>
		23	<p>「パワーオンリセット」の注釈文章変更</p> <p>オプション・バイトの設定により~を選択 → オプション・バイトで~に設定</p>
		25	<p>ポート機能: ビットの前に[制御]を追記</p> <p>「プロテクトの有効/無効」2 文目文章変更</p> <p>(前)プロテクトの設定に誤りがあると、プロテクト対象のレジスタに設定値が反映されませんので、注意してください</p> <p>(後)設定に誤りがあると正しくプロテクトされないので注意してください</p>
		26	<p>表 11.1:</p> <p>11.1 章名を変更 ポート端子 ⇒ ポートの構成</p> <p>11.1 表名を変更 ポート端子 ⇒ I/O ポート一覧</p> <p><ポーティングのポイント></p> <p>タイトル変更: ポートの構成 → 出力タイミング 文章変更</p>
		27	<p>表 11.2</p> <p>-機能項目</p> <p>入出力ポートの閾値切り替え ⇒ 入出力ポートの閾値設定</p> <p>ポート読み出し選択 ⇒ ポート入出力モード設定</p> <p>-R8C/34x: ポート入出力モード設定欄の各 0、1 の文章を変更</p>
		28	<p><ポーティングのポイント></p> <p>タイトル変更: ポート機能の選択 ⇒ ポート機能設定</p> <p>文章変更(注釈部分含む)</p> <p>「出力専用ポート」の文章変更</p> <p>「周辺機能の出力設定」の文章変更</p> <p>P29 を削除し、【周辺機能の出力条件】のみ p28 最下部へ移動</p> <p>※これに伴い、以降のページ番号が変化</p>

		29	<p>1 段落目文章変更</p> <p>図 11.1 図中表現変更。[1 ビット・メモリ操作命令]は[リード・モディファイ・ライト命令]に変更統一。</p> <p>図 11.1 名変更:</p> <p>(前)1 ビット・メモリ操作命令による周辺機能の出力停止例</p> <p>(後)リード・モディファイ・ライト命令による出力切り替わり例</p>
		30	<p>表 11.3</p> <p>-入出力ポート, 入力時の表現変更:</p> <p>個別に抵抗を介して ⇒ 端子ごとに抵抗を介して</p> <p>-RESET 端子: 表記にオーバーバー(ルビ)追記修正</p>
		31	<p>「割り込み許可/禁止設定」の文章を変更</p> <p>「割り込み優先レベル」のレジスタ名を修正: RP13L ⇒ PR13L</p>
		32	<p>「多重割り込み」の文章を変更</p>
		33	<p>表 13.1 内 HALT モード(ウェイトモード)時の動作:</p> <p>RL78/F14 の表現変更</p> <p>-注釈 3 の表現変更:(前)2 回目のリフレッシュから</p> <p>(後)1 回目のリフレッシュ以降は</p>
		35	<p>1 段落目 タイマ組み合わせに関する文章を変更</p> <p><ポーティングのポイント> タイトルを変更</p> <p>(前)タイマ出力端子を兼用するポートの設定</p> <p>(後)ポートの設定</p>
		37 他	<p>「機能禁止/許可設定」の文章を変更</p> <p>(p37,44,53,69,78,84,89,92,95 が該当)</p>
		37, 44	<p>「タイマ設定値」の表現変更</p> <p>(前)タイマのカウント方法が異なるため、タイマ値の算出方法に違いがあります</p> <p>(後)タイマの構成が違うため、設定値も異なります</p>
		43	<p>図 14.7 注釈 1 表現変更 (前)Duty50%限定の場合</p>
		44	<p>「タイマカウント開始/停止処理」</p> <p>2 文目表現変更</p> <p>(前)TAU でタイマのカウントを停止させる場合は、カウント停止専用のビットにカウント停止の値を設定してください</p> <p>(後)ポーティングの際はタイマの設定に誤りがないことを確認してください</p>
		45 他	<p>表現変更:</p> <p>～として使用可能 ⇒ ～設定チャネル</p> <p>P45, 46, 48, 50, 54 を同様に変更</p>
		46 他	<p>表現変更:</p> <p>～出力として使用可能なチャネル ⇒ ～出力設定チャネル</p> <p>P46, 55, 65, 80 を同様に変更</p>
		46,48	<p>使用チャネル一覧表の下部注釈の表現を変更</p> <p>(前)未使用または PWM 出力以外の動作モード</p> <p>(後)未使用または PWM 出力以外の動作モード</p>
		51	<p>図 14.11 図中表 R8C/34x カウント値設定項目の、“TRBSC レジスタ(8 ビット)”を削除</p>

		52	<p>図 14.12</p> <p>-表中 R8C/34x のカウント値設定: TRBSC レジスタ(8 ビット)を削除</p> <p>-注釈 表現変更</p> <p>注 2: (前) Duty50%でパルス出力する場合</p> <p>注 3: (前) TRCGRA のコンペアー一致で TRC カウンタクリア、かつパルス出力しない場合</p> <p>注 4: (前) TRCGRA のコンペアー一致でトグル出力、かつ TRC カウンタクリアとしている場合</p>
		54 他	<p>図中注釈文章を変更: p54, 56, 58, 60, 63, 64, 67</p> <p>R8C/34x の割り込み要求は、割り込み要求の発生タイミングを分かりやすくするため、タイマ RX*レジスタのフラグで表示しています ⇒ R8C/34x の割り込み要求発生タイミングは、タイマ RX*レジスタのフラグで明示しています</p> <p>図中注釈文章を変更: p54, 56, 58, 60, 79, 81</p> <p>R8C/34x タイマ Rx ではコンペアー一致の値 ⇒ R8C/34x は、タイマ Rx の**レジスタにコンペアー一致の値を設定します</p>
		55 他	<p><ポーティングのポイント>「タイマのカウント値の読み出しについて」2 文目の表現を変更:</p> <p>(前)タイマのカウント動作に違いがあるため、カウンタから読みだした値が異なります</p> <p>(後)タイマの構成が違うため、設定する値も異なります</p> <p>P55, 57, 59, 61, 67, 80</p>
		60	<p>図 14. 16 の説明文を変更</p> <p>(前)外部イベント・カウンタの動作にパルス出力を許可した動作です</p> <p>(後)外部イベント・カウンタ設定時にパルス出力を許可にすることで機能します</p>
		63,65	<p>「測定可能なパルス周期間隔」の文章を変更</p> <p>(前)オーバフロー用に OVF ビットを持っていますが、1 回分のオーバフローの状態しか判断することができないため、2 回以上のオーバフローが発生するパルス周期の測定ができません</p> <p>(後)OVF ビットを使用したオーバフロー検出は 1 回のみ有効のため、2 回オーバフローが発生すると、以降のオーバフロー発生時のパルス周期は測定できません</p>
		64	<p>説明文中の図番号を修正。図 14. 8 ⇒ 図 14. 18</p>
		68	<p>- 1 段落 1 文目を削除: RL78/F14 はタイマ RD の機能を搭載しています</p> <p>- 表 14. 27 RL78/F14 のモジュール機能アクティブ許可ビット欄 (誤) PER0 ⇒ (正) PER1</p>
		69	<p>「機能禁止/許可設定」注 1:</p> <p>(誤)周辺イネーブル・レジスタ 0 (PER0)</p> <p>(正)周辺イネーブル・レジスタ 1 (PER1)</p> <p>「パルス出力強制遮断機能の使用不可条件」の文章を変更</p> <p>(前)他の割り込みをパルス出力強制遮断機能に利用する</p> <p>(後)他の割り込みでパルス出力強制遮断機能に設定する</p>

		70-72	<p>「タイマ RD のカウント・ソース選択」1 文目の表現変更 (前) カウント・ソースに選択できるクロックは以下の設定で決まります (後) カウント・ソースの設定条件は以下の通りです</p> <p>表 14. 28 TCK2~TCK0 ビット設定値を変更 該当箇所: 高速 OC0, X1 クロック, PLL クロック</p>
		73	<p>「アウトプットコンペアのパルス出力強制遮断機能」「A/D トリガ」「インプットキャプチャのトリガ」文章/表現変更</p>
		74,75	<p>図 14. 20 説明文章とブロック図の表記を一部変更 図 14. 21 ブロック図の表記と【処理の説明】の文章を一部変更</p>
		76	<p>図 14. 22 の説明文章と、簡易論理回路図の下のビット値変化条件に関する文章を一部変更</p>
		77	<p>1 段落目の文章と、表 14. 31, 14. 32 の説明文の表現を一部変更</p>
		84	<p>表 15. 1 R8C/34x のオーバランエラーからの復帰処理③: 使用する通信モードに設定 ⇒ 任意の通信モードに設定</p>
		85	<p>「送受信の割り込み」「割り込み発生タイミング」の文章を一部変更</p>
		86	<p>「連続送受信動作」の 1 文目の表現を変更</p>
		91	<p>「A/D 変換精度」「アナログ入力端子の割り当て」の文章を一部変更</p>
		92,95	<p>「機能禁止/許可設定」レジスタ名を修正 周辺ネーブル・レジスタ ⇒ 周辺イネーブル・レジスタ</p>
		93	<p>表 17. 1 注 3 の表現を変更</p>
		95	<p>「機能禁止/許可設定」のレジスタ名を修正 (前) 周辺ネーブル・レジスタ 0 (PER0) の ADCEN ビット (後) 周辺イネーブル・レジスタ 1 (PER1) の DTCEN ビット 「高速転送動作」の文章を変更</p>
		97,98	<p>「DTC 起動許可レジスタ」と表 17. 1, 17. 2 の表現変更 (前) DTC 起動許可レジスタの各ビットに対応する起動要因 (後) RL78/F14 と R8C/34x の DTC 起動要因</p>

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットにかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>