

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7722/SH7731 グループ

SH7722/SH7731 初期設定例

要旨

本アプリケーションノートは、SH7722 および SH7731 の起動時に必要な設定項目の例を示します。

動作確認デバイス

SH7722, SH7731

目次

1. はじめに.....	2
2. 応用例の説明.....	4
3. 参考プログラムリスト.....	8
4. 参考ドキュメント.....	26

1. はじめに

1.1 仕様

リセット解除後に、クロックパルス発振器 (CPG)、バスステートコントローラ (BSC)、SDRAM 用バスステートコントローラ (SBSC) およびキャッシュの初期設定を行います。

なお、SH7731 は SH7722 の周辺機能を一部削減したものであるため、評価ボードには SH7722 のプラットフォームを共通して使用しています。

1.2 使用機能

- クロックパルス発振器 (CPG)
- バスステートコントローラ (BSC)
- SDRAM 用バスステートコントローラ (SBSC)
- キャッシュ

1.3 適用条件

- 評価ボ - ド: ルネサス テクノロジ製 SH7722 リファレンスプラットフォーム
 型番 R0P7722TH001ARK
 外付けメモリ (エリア 0): NOR 型フラッシュメモリ 64M バイト
 Spansion 製 S29GL512N10FF1020
 (エリア 3): SDRAM 64M バイト (16M バイト × 4 個)
 Micron 製 MT48LC8M16A2B475
- マイコン: SH7722 (R8A77220AC266BGV)
- 動作周波数: CPU クロック: 266.66MHz
 SH バスクロック: 133.33MHz
 U メモリクロック: 133.33MHz
 バスクロック: 66.66MHz
 SDRAM 用クロック: 106.66MHz
 周辺クロック: 33.33MHz
- エリア 0 バス幅: 16 ビット (MD3 端子 = Low レベル)
- クロック動作モード: モード 0 (MD0, MD1 端子 = Low レベル)
- エンディアン: リトルエンディアン (MD5 端子 = High レベル)
- ツールチェーン: ルネサス テクノロジ製 SuperH RISC engine Standard Toolchain Ver.9.3.0.0
- コンパイルオプション: High-performance Embedded Workshop での設定
 (-cpu=sh4aldsp -endian=little -include="\$(PROJDIR)¥inc"
 -object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -optimize=0 -gbr=auto
 -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0
 -del_vacant_loop=0 -struct_alloc=1 -nologo)
- セクション配置: 表 1 に本応用例での各セクション配置を示します。

SDRAM インタフェース (SBSC) の設定例については「SH7722/SH7731 グループ アプリケーションノート SBSC SDRAM 設定例 (RJJ06B1091)」を併せてご参照ください。

表 1 セクション配置

セクション名	セクション用途	領域	配置アドレス (仮想アドレス)	
P	プログラム領域 (指定なしの場合)	ROM	0x00003000	P0 領域 (キャッシング可能, MMU アドレス変換可能)
C	定数領域	ROM		
C\$BSEC	未初期化データ領域用アドレス構造体	ROM		
C\$DSEC	初期化データ領域用アドレス構造体	ROM		
D	初期化データ (初期値)	ROM		
PROMC	ROM 化プログラム領域	ROM		
B	未初期化データ領域	RAM		
R	初期化データ領域	RAM		
RAMC	ROM 化プログラムコピー領域	RAM		
S	スタック領域	RAM	0x0FFFF9F0	
INTHandler	例外/割り込みハンドラ	ROM	0x80000800	P1 領域 (キャッシング可能, MMU アドレス変換不可)
VECTTBL	リセットベクタテーブル 割り込みベクタテーブル	ROM		
INTTBL	割り込みマスクテーブル	ROM		
PIntPRG	割り込み関数	ROM		
SP_S	TLB ミスハンドラ専用スタック	RAM		
RSTHandler	リセットハンドラ	ROM	0xA0000000	P2 領域 (キャッシング不可, MMU アドレス変換不可)
PResetPRG	リセットプログラム	ROM		
PnonCACHE	プログラム領域 (キャッシュ無効アクセス)	ROM		

スタックの設定:

プログラムを動作させる際には、スタック領域が必要になります。スタックのサイズとスタックポインタアドレスを設定してください。プロジェクト起動時に設定した際の High-performance Embedded Workshop が自動的に設定した値を設定します。変更するには、High-performance Embedded Workshop のメニューバーのプロジェクト (P) → 構成の編集 (E) → タブにてスタックを選択すると、スタック領域のアドレスとサイズを変更することができます。

2. 応用例の説明

2.1 参考プログラムの説明

初期設定プログラムとして下記のソースプログラム内で設定を行っています。

例外/割り込みに使用するテーブルファイル等については必要に応じて設定の追加を行ってください。

- vhandler.src
- resetprg.c
- cache.c
- cache.h
- dbsct.c

(1) vhandler.src

例外（リセット，一般例外，割り込み）が発生すると，例外ハンドラ（vhandler.src）が実行されます。vhandler.srcには各例外のハンドラ処理とBSC, SBSCの初期化処理を記述しています。

パワーオンリセットの場合は，リセットハンドラ（_Reset_handler）が起動されます。本アプリケーションノートで使用するリセットハンドラは，High-performance Embedded Workshopが自動生成するファイルとは異なり，命令キャッシュとオペランドキャッシュの無効化，CPGの設定，BSC, SBSCの初期化を追加しています。また，TLBミスハンドラも変更しています。

なお，RCLKウォッチドッグタイマ（RWDT）はシステム監視用のウォッチドッグタイマとして使用され，初期状態でタイマのカウントが始まり，オーバフローすると，内部リセットが発生します。システム起動時にはRWDTを停止させるか，定期的のカウントをクリアする処理が必要となります。

(2) resetprg.c

resetprg.cはHigh-performance Embedded Workshopで自動生成される初期化関数ファイルを元に作成されており，vecttbl.srcに登録するPowerON_Reset()関数を記述しています。

PowerON_Reset()関数はリセットハンドラより分岐する最初の関数であり，VBR（ベクタベースレジスタ）の設定，セクションコピーを行う_INITSCT()関数の呼び出し，キャッシュの有効化関数の呼び出しに続いてメイン関数を呼び出します。

ステータスレジスタ（SR）は，特権モード/ユーザモードの選択，汎用レジスタバンク指定，例外，割り込みを管理します。システムの設計に基づいた設定をしてください。参考プログラムでは，

- 特権モード
- 汎用レジスタバンク 0 選択
- 例外/割り込みブロックビット解除

を設定しています。

(3) cache.c

初期設定で，キャッシング可能領域（P0, P1, P3）について，どの領域をキャッシュ有効にするか，また，その際のキャッシュメモリへの書き込みモード（ライトスルー/コピーバック）について検討してください。詳細は，「SH7730 グループ アプリケーションノート キャッシュ キャッシュメモリの設定例（RJJ06B0868）」，「SH7730 グループ アプリケーションノート キャッシュ オペランドキャッシュの書き戻し例（RJJ06B0923）」を参照ください。

初期化設定例については「SH7730 グループ アプリケーションノート SH7730 初期設定例（RJJ06B0864）」に詳細を記載していますのでご参照ください。

(4) dbstc.c

dbstc.c には、プログラムを外部接続の SDRAM 上で実行させるために、ROM から RAM へのセクションのコピー情報を記載しています。

_INITISCT()関数が本記載内容に従って、リセット直後にプログラムをコピーします。

「SuperH RISC engine C/C++コンパイラパッケージ アプリケーションノート (RJJ05B0577)」を参考資料としてご参照ください。

図 1 にパワーオンリセットから main()関数にジャンプするまでの処理フローを、図 2 に PowerON_Reset()関数の処理フローを示します。

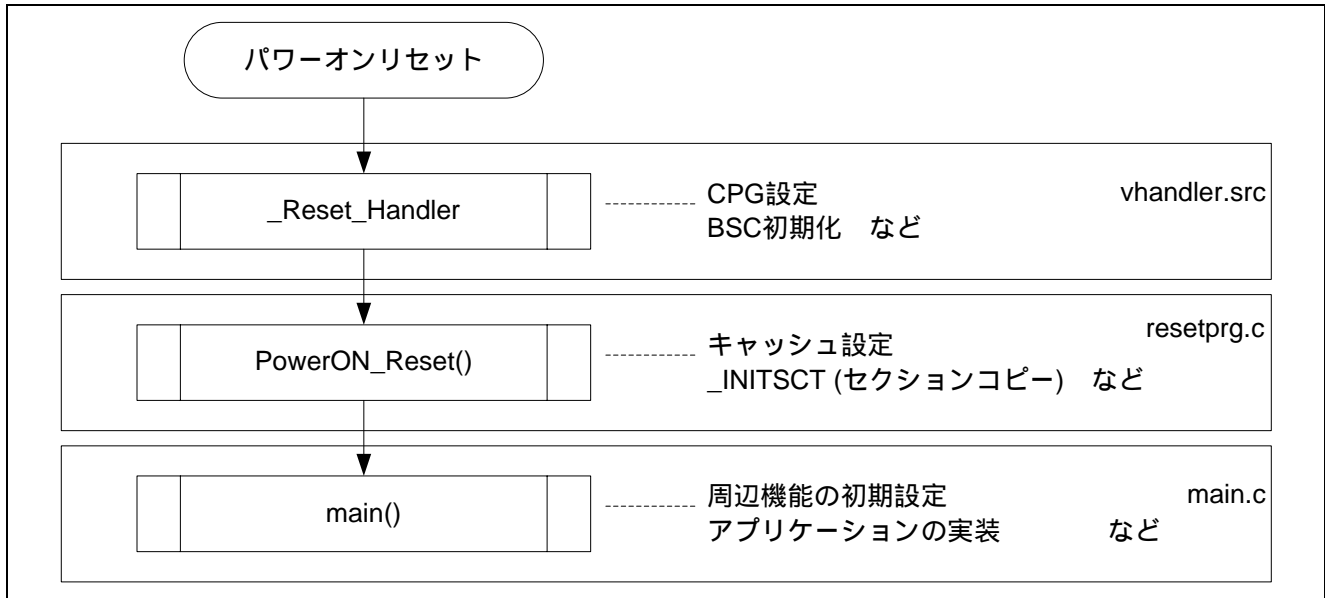


図 1 パワーオンリセットから main()関数にジャンプするまでの概略処理フロー

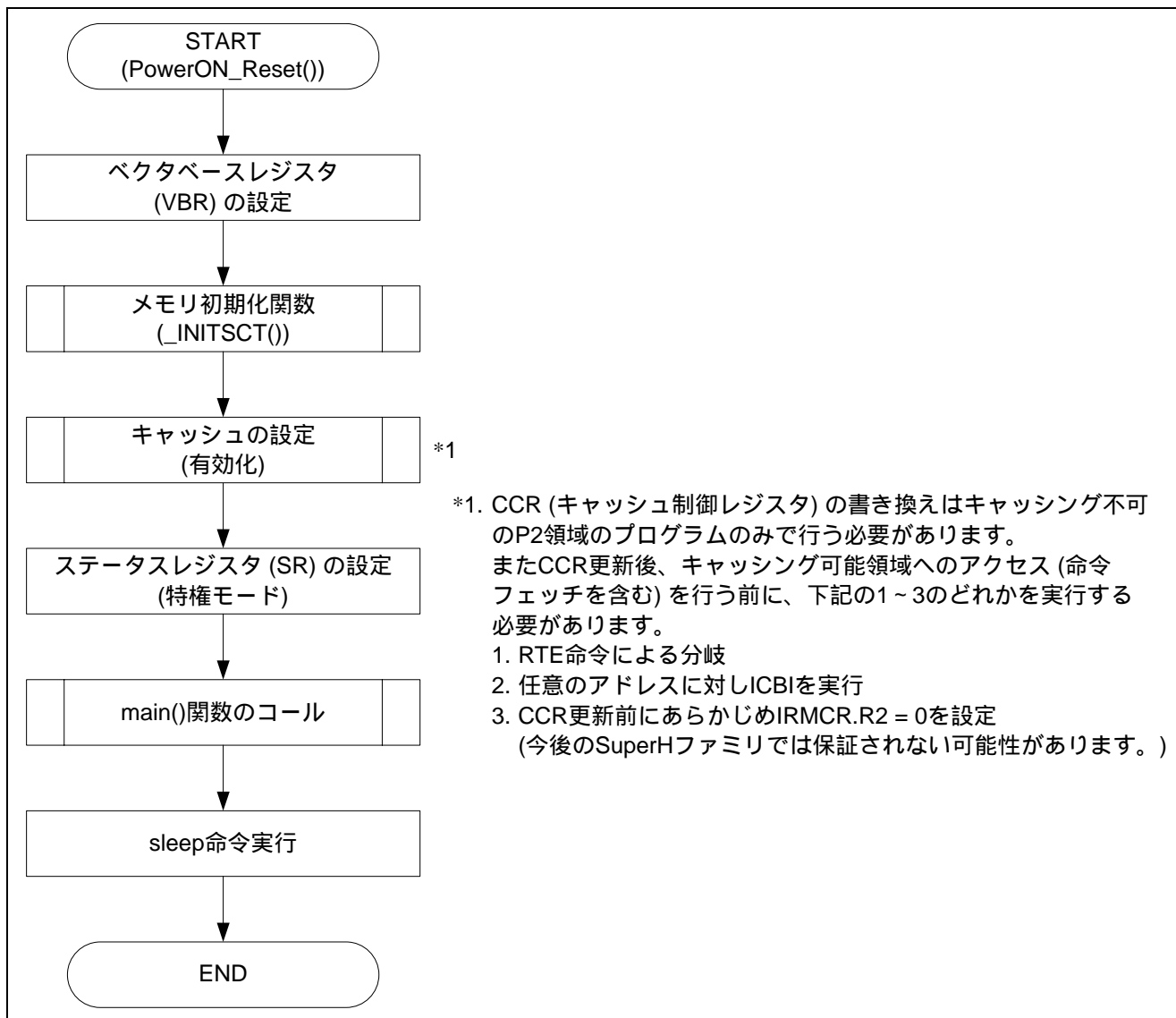


図2 PowerON_Reset()関数の処理

2.2 参考プログラムにおける設定内容

表 2 に参考プログラムでの各モジュールの設定を示します。

表 2 参考プログラムでの各モジュールの設定

モジュール	設定内容
CPG (固定)	CPU クロック: 266.66MHz SH バスクロック: 133.33MHz U メモリクロック: 133.33MHz バスクロック: 66.66MHz SDRAM 用クロック: 106.66MHz 周辺クロック: 33.33MHz
BSC	CS0: NOR 型フラッシュメモリ データバス幅: 16 ビット固定 (*1) アクセスイイトサイクル数: 8 サイクル ライト-リード/ライト-ライトサイクル間アイドル: 2 サイクル
SBSC	エリア 3 に接続 512M ビット (8M × 16 ビット) 4 個並列接続: 合計 64M バイト データバス幅: 64 ビット ロウアドレスビット: 12 ビット カラムアドレスビット: 9 ビット CAS レイテンシ (CL): 3 サイクル
キャッシュ	命令/オペランドキャッシュ有効

【注】 *1 エリア 0 のデータバス幅は MD3 端子により決定します。

2.3 参考プログラムの注意点

本プログラムでは、リセットハンドラ以外のプログラムを SDRAM 上で実行するようにセクションのコピーを行っています。そのため、外部 SDRAM 上に B、R セクション等の割り当ておよび初期化を行うことができるように、セクションの初期化前に SDRAM インタフェースを初期化しています。

セクションの初期化は `_INITISCT()` 関数を使用し、D セクションから R セクションへのコピー、およびシンボルを R セクションのアドレスでリロケーションしています。そのため、セクション初期化前 (`_INITISCT()` 関数実行前) に実行する関数において、グローバル変数など `_INITISCT()` 関数で初期化を行うセクションに配置される変数を使用しないでください。

3. 参考プログラムリスト

3.1 サンプルプログラムリスト "vhandler.src"(1)

```

1  ;/*****
2  ;* DISCLAIMER
3  ;
4  ;* This software is supplied by Renesas Technology Corp. and is only
5  ;* intended for use with Renesas products. No other uses are authorized.
6  ;
7  ;* This software is owned by Renesas Technology Corp. and is protected under
8  ;* all applicable laws, including copyright laws.
9  ;
10 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 ;* DISCLAIMED.
15 ;
16 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 ;* TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 ;
22 ;* Renesas reserves the right, without notice, to make changes to this
23 ;* software and to discontinue the availability of this software.
24 ;* By using this software, you agree to the additional terms and
25 ;* conditions found by accessing the following link:
26 ;* http://www.renesas.com/disclaimer
27 ;*****/
28 ;/* Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved. */
29 ;/*"FILE COMMENT"***** Technical reference data *****/
30 ;* System Name : SH7722,SH7731 Sample Program
31 ;* File Name : vhandler.src
32 ;* Abstract : Sample Program for the SH7722,SH7731 Initial Setting
33 ;* Version : Ver 1.00
34 ;* Device : SH7722,SH7731
35 ;* Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 ;* : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 ;* OS : None
38 ;* H/W Platform : ROP7722TH001ARK for SH7722 Reference Platform
39 ;* Description : Sample Program for Setting the SH7722,SH7731 Initialization
40 ;* :
41 ;* Operation :
42 ;* Limitation :
43 ;* :
44 ;*****/
45 ;* History : 6.July.2009 Ver. 1.00 First Release
46 ;/*"FILE COMMENT END"*****/
47
48 ;-----
49 ;
50 ; FILE :vhandler.src |
51 ; DATE :Thu, Apr 30, 2009 |
52 ; DESCRIPTION :Reset/Interrupt Handler |
53 ; CPU TYPE :SH7722,SH7731 |
54 ;
55 ; This file is generated by Renesas Project Generator (Ver.4.9). |
56 ;
57 ;-----
58
59 .include "env.inc"
60 .include "vect.inc"
    
```

3.2 サンプルプログラムリスト "vhandler.src"(2)

```

61
62 INT_NMI_CODE: .equ    H'1C0
63
64 IMASKclr: .equ    H'FFFFFF0F
65 RBBLclr: .equ    H'FFFFFFF
66 MDRBBLset: .equ    H'70000000
67
68     .import    _RESET_Vectors
69     .import    _INT_Vectors
70     .import    _INT_MASK
71
72     ;;;;;;;;;;;;;;
73     ; macro definition ;
74     ;;;;;;;;;;;;;;
75     .macro    PUSH_EXP_BASE_REG
76     stc.l    ssr,@-r15 ; save ssr
77     stc.l    spc,@-r15 ; save spc
78     sts.l    pr,@-r15 ; save context registers
79     stc.l    r7_bank,@-r15
80     stc.l    r6_bank,@-r15
81     stc.l    r5_bank,@-r15
82     stc.l    r4_bank,@-r15
83     stc.l    r3_bank,@-r15
84     stc.l    r2_bank,@-r15
85     stc.l    r1_bank,@-r15
86     stc.l    r0_bank,@-r15
87     .endm
88 ;
89     .macro    POP_EXP_BASE_REG
90     ldc.l    @r15+,r0_bank ; recover registers
91     ldc.l    @r15+,r1_bank
92     ldc.l    @r15+,r2_bank
93     ldc.l    @r15+,r3_bank
94     ldc.l    @r15+,r4_bank
95     ldc.l    @r15+,r5_bank
96     ldc.l    @r15+,r6_bank
97     ldc.l    @r15+,r7_bank
98     lds.l    @r15+,pr
99     ldc.l    @r15+,spc
100    ldc.l    @r15+,ssr
101    .endm
102 ;
103     ;;;;;;;;;;;;;;
104     ; reset ;
105     ;;;;;;;;;;;;;;
106     .section    RSTHandler,code
107     _ResetHandler:
108
109     mov.l    #H'A4520004,r0 ;set RWTCsr address
110     mov.l    #H'A507,r1 ;RWDT disable
111     mov.w    r1,@r0
112
113     mov.l    #H'FF00001C,r0 ;set CCR address
114     mov.l    #H'00000808,r1 ;IC,OC Invalidate
115     mov.l    r1,@r0
116
117     mov.l    #H'A4150000,r0 ;set FRQCR address
118     mov.l    #H'07022538,r1 ; * Clockin = 33.333MHz, CKIO = 66.6MHz,
119     ; * I Clock = 266MHz, U Clock = 133MHz,
120     ; * SH Clock = 133MHz, B Clock = 66.6MHz,
    
```

3.3 サンプルプログラムリスト "vhandler.src"(3)

```

121                                     ; * B3 Clock = 106MHz, P Clock = 33.3MHz
122         mov.l   r1,@r0
123
124         mov.l   #CS0_INIT,r0
125         jmp    @r0
126         nop
127
128 CS0_INIT_END:
129         mov.l   #SDRAM_INIT,r0
130         jmp    @r0
131         nop
132
133 SDRAM_INIT_END:
134         mov.l   #EXPEVT,r0
135         mov.l   @r0,r0
136         shlr2  r0
137         shlr   r0
138         mov.l   #_RESET_Vectors,r1
139         add    r1,r0
140         mov.l   @r0,r0
141         jmp    @r0
142         nop
143 ;
144 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
145 ; CS0 INIT
146 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
147 CS0_INIT:
148         mov.l   #H'FEC10004,r0      ;set CS0BCR address
149         mov.l   #H'20000000,r1      ;set for FLASHROM(spansion S29GL512N10FF1020)
150         mov.l   r1,@r0
151
152         mov.l   #H'FEC10024,r0      ;set CS0WCR address
153         mov.l   #H'000003C0,r1
154         mov.l   r1,@r0
155
156         mov.l   #CS0_INIT_END,r0
157         jmp    @r0
158         nop
159
160         .pool
161
162 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
163 ; SDRAM INIT
164 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
165 SDRAM_INIT:
166         mov.l   #H'FE400008,r0      ;set SDCR0 address
167         mov.l   #H'00020809,r1      ;set for SDRAM(Micron MT48LC8M16A2B475)
168                                     ;64bit bus-width, row 12bit, column 9bit
169         mov.l   r1,@r0
170
171         mov.l   #H'FE40000C,r0      ;set SDWCR address
172         mov.l   #H'00154D0C,r1      ;tRRD 2cyc
173                                     ;tRAS 5cyc
174                                     ;tRP 3cyc
175                                     ;tRCD 4cyc
176                                     ;CL 3cyc
177                                     ;tWR 2cyc
178                                     ;tRC 12cyc
179         mov.l   r1,@r0
180
    
```

3.4 サンプルプログラムリスト "vhandler.src"(4)

```

181         mov.l   #H'FE400010,r0 ;set SDPCR address
182         mov.l   #H'00000087,r1 ;default
183         mov.l   r1,@r0
184
185         mov.l   #H'FE400018,r0 ;set RTCNT address
186         mov.l   #H'a55a0000,r1
187         mov.l   r1,@r0
188
189         mov.l   #H'FE40001C,r0 ;set RTCOR address
190         mov.l   #H'a55a0064,r1 ;refresh rate
191         mov.l   r1,@r0
192
193         mov.l   #H'A4050186,r0 ;set SBSCR address
194         mov.W   #H'0044,r1      ;High speed
195         mov.W   r1,@r0
196
197
198         mov.l   #H'000030d4,r0
199     LOOP1:
200         dt      r0
201         bf      LOOP1 ;200µs wait
202         nop
203         nop
204
205         mov.l   #H'FE400014,r0 ;set RTCSR address
206         mov.l   #H'a55a0010,r1 ;B3φ/16
207         mov.l   r1,@r0
208
209         mov.l   #H'FE500180,r0 ;set SDMR3(64bit bus-width, CL=3, burstR/W(burst length=1))
210         mov.b   #H'00,r1
211         mov.b   r1,@r0
212
213         mov.l   #SDRAM_INIT_END,r0
214         jmp     @r0
215         nop
216
217         .pool
218
219     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
220     ;   exceptional interrupt                                     ;
221     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
222     .section   INTHandler,code
223     .export   _INTHandlerPRG
224     _INTHandlerPRG:
225     _ExpHandler:
226         PUSH_EXP_BASE_REG
227     ;
228         mov.l   #EXPEVT,r0      ; set event address
229         mov.l   @r0,r1         ; set exception code
230         mov.l   #_INT_Vectors,r0 ; set vector table address
231         add     #-(h'40),r1     ; exception code - h'40
232         shlr2  r1
233         shlr   r1
234         mov.l   @(r0,r1),r3     ; set interrupt function addr
235     ;
236         mov.l   #_INT_MASK,r0   ; interrupt mask table addr
237         shlr2  r1
238         mov.b   @(r0,r1),r1     ; interrupt mask
239         extu.b r1,r1
240     ;
    
```

3.5 サンプルプログラムリスト "vhandler.src"(5)

```

241         stc     sr,r0           ; save sr
242         mov.l  #(RBBLclr&IMASKclr),r2   ; RB,BL,mask clear data
243         and    r2,r0           ; clear mask data
244         or     r1,r0           ; set interrupt mask
245         ldc    r0,ssr          ; set current status
246 ;
247         ldc.l  r3,spc
248         mov.l  #__int_term,r0       ; set interrupt terminate
249         lds    r0,pr
250 ;
251         rte
252         nop
253 ;
254         .pool
255 ;
256 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
257 ;   Interrupt terminate                                     ;
258 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
259         .align 4
260 __int_term:
261         mov.l  #MDRBBLset,r0       ; set MD,BL,RB
262         ldc.l  r0,sr               ;
263         POP_EXP_BASE_REG
264         rte                       ; return
265         nop
266 ;
267         .pool
268 ;
269 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
270 ;   TLB miss interrupt                                     ;
271 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
272         .org   H'300
273 _TLBmissHandler:
274
275         mov.l  #(SP_STACK+H'200),r15 ;set SP_STACK(for only TLBmiss) pointer
276         stc.l  sgr,@-r15
277
278         PUSH_EXP_BASE_REG
279 ;
280         mov.l  #EXPEVT,r0          ; set event address
281         mov.l  @r0,r1              ; set exception code
282         mov.l  #_INT_Vectors,r0    ; set vector table address
283         add    #-(h'40),r1         ; exception code - h'40
284         shlr2  r1
285         shlr   r1
286         mov.l  @(r0,r1),r3         ; set interrupt function addr
287 ;
288         mov.l  #_INT_MASK,r0       ; interrupt mask table addr
289         shlr2  r1
290         mov.b  @(r0,r1),r1         ; interrupt mask
291         extu.b r1,r1
292 ;
293         stc     sr,r0           ; save sr
294         mov.l  #(RBBLclr&IMASKclr),r2   ; RB,BL,mask clear data
295         and    r2,r0           ; clear mask data
296         or     r1,r0           ; set interrupt mask
297         ldc    r0,ssr          ; set current status
298 ;
299         ldc.l  r3,spc
300         mov.l  #__TLBMISS_INT_TERM,R0 ;set interrupt terminate
    
```

3.6 サンプルプログラムリスト "vhandler.src"(6)

```

301         lds     r0,pr
302     ;
303         rte
304         nop
305
306         .align 4
307
308     __TLBMISS_INT_TERM:
309         mov.l   #MDRBBLset,r0      ;set MD,BL,RB
310         ldc.l   r0,sr
311
312         POP_EXP_BASE_REG
313
314         ldc.l   @r15+,sgr
315         stc.l   sgr,r15
316         rte
317         nop
318     ;
319         .pool
320     ;
321     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
322     ;   IRQ                                          ;
323     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
324         .org   H'500
325     _IRQHandler:
326         PUSH_EXP_BASE_REG
327     ;
328         mov.l   #INTEVT,r0          ; set event address
329         mov.l   @r0,r1              ; set exception code
330
331         mov.l   #INT_NMI_CODE,r2    ; H'1C0
332         cmp/eq  r1,r2
333         bf     no_nmi
334
335     ;add NMI CASE =====
336
337         mov.l   #_INT_NMI,r3
338         jsr    @r3
339         nop
340
341         POP_EXP_BASE_REG
342
343         rte
344         nop
345     no_nmi:
346     ;add end NMI CASE =====
347
348         mov.l   #_INT_Vectors,r0    ; set vector table address
349         add     #-(h'40),r1         ; exception code - h'40
350         shlr2  r1
351         shlr   r1
352         mov.l   @(r0,r1),r3        ; set interrupt function addr
353     ;
354         mov.l   #_INT_MASK,r0      ; interrupt mask table addr
355         shlr2  r1
356         mov.b  @(r0,r1),r1         ; interrupt mask
357         extu.b r1,r1
358     ;
359         stc     sr,r0              ; save sr
360         mov.l   #(RBBLclr&IMASKclr),r2 ; RB,BL,mask clear data
    
```

3.7 サンプルプログラムリスト "vhandler.src"(7)

```

361         and    r2,r0           ; clear mask data
362         or     r1,r0           ; set interrupt mask
363         ldc    r0,ssr         ; set current status
364     ;
365         ldc.l  r3,spc
366         mov.l  #__int_term,r0   ; set interrupt terminate
367         lds    r0,pr
368     ;
369         rte
370         nop
371     ;
372         .pool
373     ;
374     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
375     ; SPECIAL STACK(for TLBmiss Handler)
376     ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
377         .section SP_S,data
378     SP_STACK:
379         .res.b H'200
380
381         .end
    
```


3.8 サンプルプログラムリスト "resetprg.c"(1)

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Technology Corp. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Technology Corp. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data ******/
30 * System Name : SH7722,SH7731 Sample Program
31 * File Name : resetprg.c
32 * Abstract : Sample Program for the SH7722,SH7731 PowerON Reset
33 * Version : Ver 1.00
34 * Device : SH7722,SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : Sample Program for Setting the SH7722,SH7731 Initialization
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 6.July.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"******/
47
48 /*****
49 /*
50 /* FILE :resetprg.c */
51 /* DATE :Wed, Apr 22, 2009 */
52 /* DESCRIPTION :Reset Program */
53 /* CPU TYPE :SH7722,SH7731 */
54 /*
55 /* This file is generated by Renesas Project Generator (Ver.4.9). */
56 /*
57 *****/
58
59
60
61
62
    
```

3.9 サンプルプログラムリスト "resetprg.c"(2)

```

61  #include <machine.h>
62  #include <_h_c_lib.h>
63  // #include <stddef.h>           // Remove the comment when you use errno
64  // #include <stdlib.h>          // Remove the comment when you use rand()
65  #include "typedefine.h"
66  #include "stacksct.h"
67  #include "cache.h"
68
69  #define SR_Init    0x40000000
70  #define INT_OFFSET 0x100UL
71
72  #define RAMCR_ADDRESS    0xff000074
73  #define RAMCR_INIT_VALUE 0x00000200
74
75  #ifdef __cplusplus
76  extern "C" {
77  #endif
78  extern void INTHandlerPRG(void);
79  void PowerON_Reset(void);
80  void Manual_Reset(void);
81  void main(void);
82  #ifdef __cplusplus
83  }
84  #endif
85
86  // #ifdef __cplusplus           // Enable I/O in the application(both SIM I/O and hardware I/O)
87  // extern "C" {
88  // #endif
89  // extern void _INIT_IOLIB(void);
90  // extern void _CLOSEALL(void);
91  // #ifdef __cplusplus
92  // }
93  // #endif
94
95  // extern void srand(_UINT);    // Remove the comment when you use rand()
96  // extern _SBYTE *_slptr;      // Remove the comment when you use strtok()
97
98  // #ifdef __cplusplus           // Use Hardware Setup
99  // extern "C" {
100 // #endif
101 // extern void HardwareSetup(void);
102 // #ifdef __cplusplus
103 // }
104 // #endif
105
106 // #ifdef __cplusplus           // Remove the comment when you use global class object
107 // extern "C" {                 // Sections C$INIT and C$END will be generated
108 // #endif
109 // extern void _CALL_INIT(void);
110 // extern void _CALL_END(void);
111 // #ifdef __cplusplus
112 // }
113 // #endif
114
115 /* = = = セクション名を ResetPRG に切り替え = = = */
116 #pragma section ResetPRG
117
118 /* = = = エントリ関数の指定 = = = */
119 #pragma entry PowerON_Reset
120 /* "FUNC COMMENT"*****

```

3.10 サンプルプログラムリスト "resetprg.c"(3)

```

121 * ID :
122 * Outline : CPU 初期化関数
123 * Include :
124 * Declaration : void PowerON_Reset(void)
125 * Description : パワーオンリセット例外ベクタテーブルに
126 * : 登録する CPU 初期化処理です。
127 * : パワーオンリセット後本関数を最初に実行します。
128 * : コメントアウトしている処理は必要に応じて有効にしてください。
129 * Argument : none
130 * Return Value : none
131 * Calling Functions :
132 * "FUNC COMMENT END" "*****"/
133 void PowerON_Reset(void)
134 {
135     _UDWORD* ramcr_address;
136
137     set_vbr((void *)((_UINT)INTHandlerPRG - INT_OFFSET));
138
139     /* = = = = B,D セクションの初期化 = = = = */
140     _INITSCT();
141
142     // _CALL_INIT(); // Remove the comment when you use global class object
143
144     // _INIT_IOLIB(); // Enable I/O in the application(both SIM I/O and hardware I/O)
145
146     // errno=0; // Remove the comment when you use errno
147     // srand((_UINT)1); // Remove the comment when you use rand()
148     // _slptr=NULL; // Remove the comment when you use strtok()
149
150     // HardwareSetup(); // Use Hardware Setup
151
152     /* ===== キャッシュの設定 ===== */
153     cache_set_ccr(D_CACHE_I_ON | D_CACHE_O_ON );
154
155     ramcr_address = (_UDWORD*)RAMCR_ADDRESS;
156     *ramcr_address = RAMCR_INIT_VALUE;
157
158     /* ===== ステータスレジスタの設定(特権モード) ===== */
159     set_cr(SR_Init);
160
161     main();
162
163     // _CLOSEALL(); // Close I/O in the application(both SIM I/O and hardware I/O)
164
165     // _CALL_END(); // Remove the comment when you use global class object
166
167     sleep();
168 }
169
170 // #pragma entry Manual_Reset // Remove the comment when you use Manual Reset
171 /* "FUNC COMMENT" "*****"/
172 * ID :
173 * Outline : マニュアルリセット処理
174 * Include :
175 * Declaration : void Manual_Reset_PC (void)
176 * Description : マニュアルリセット例外ベクタテーブルに
177 * : 登録する関数です。
178 * : 参考プログラムでは処理を定義していません。
179 * : 必要に応じて処理を追加してください。
180 * Argument : none
    
```

3.11 サンプルプログラムリスト "resetprg.c"(4)

```
181 * Return Value          : none
182 * Calling Functions     :
183 *"FUNC COMMENT END"***** /
184 void Manual_Reset(void)
185 {
186 }
187 /* END of File */
```

3.12 サンプルプログラムリスト "cache.c"(1)

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Technology Corp. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Technology Corp. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data ******/
30 * System Name : SH7722,SH7731 Sample Program
31 * File Name : cache.c
32 * Abstract : Sample Program for Setting the SH7722,SH7731 Cache
33 * Version : Ver 1.00
34 * Device : SH7722,SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : Sample Program for Setting the SH7722,SH7731 Cache
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 6.July.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"******/
47 #include <machine.h>
48 #include "iodefine.h"
49 #include "cache.h"
50
51 #pragma section nonCACHE /* CS0 キャッシュ無効空間に配置します*/
52 /*"FUNC COMMENT"******/
53 * ID :
54 * Outline : キャッシュの設定
55 * Include :
56 * Declaration : void cache_set_ccr(unsigned int i_mode)
57 * Description : キャッシュレジスタの設定を行います。
58 * :
59 * Argument : unsigned int i_mode
60 * : 以下のモードを論理和で設定します。

```

3.13 サンプルプログラムリスト "cache.c"(2)

```

61 *           : D_CACHE_I_INVALID   : IC 無効化
62 *           : D_CACHE_I_ON       : IC 有効
63 *           : D_CACHE_O_INVALID  : OC 無効化
64 *           : D_CACHE_O_ON       : OC 有効
65 *           : D_CACHE_IO_ON      : IC・OC 有効
66 *           : D_CACHE_O_WT       : ライトスルーモード
67 *           : D_CACHE_OFF        : IC・OC 無効化
68 * Return Value      : none
69 * Calling Functions :
70 * "FUNC COMMENT END"*****/
71 void cache_set_ccr(unsigned int i_mode)
72 {
73     /* ==== 例外/割り込みブロックビット(BL)設定 ==== */
74     set_cr(get_cr() | 0x10000000);
75
76     /* ==== キャッシュレジスタの設定 ==== */
77     CACHE.CCR.LONG = i_mode;
78
79     /* ==== キャッシュを有効にするため ICBI 発行 ==== */
80     icbi(0);
81
82     /* ==== 例外/割り込みブロックビット(BL)解除 ==== */
83     set_cr(get_cr() & ~(0x10000000));
84
85 }
86
87 #pragma section
88 /* "FUNC COMMENT"*****
89 * ID           :
90 * Outline      : オペランドキャッシュページ処理
91 * Include      :
92 * Declaration  : void cache_Purge_OCBP
93 *              : (unsigned long *i_start,
94 *              : unsigned long *i_end)
95 * Description  : オペランドキャッシュのページ処理を
96 *              : 行います。
97 *
98 * Argument     : unsigned long *i_pstart :
99 *              :   ページ対象スタートアドレス
100 *              : unsigned long *i_pend  :
101 *              :   ページ対象エンドアドレス
102 * Return Value : none
103 * Calling Functions :
104 * "FUNC COMMENT END"*****/
105 void cache_Purge_OCBP(unsigned long *i_pstart, unsigned long *i_pend)
106 {
107     unsigned long addr_length;
108     unsigned long *pStart1;
109
110     addr_length = (unsigned long)i_pend - (unsigned long)i_pstart;
111
112     pStart1 = i_pstart + 8;
113
114     /* If purge cache is bigger than 4 entry, then use OCBP_LOOP_1*/
115     if(addr_length > 32) /* OCBP_LOOP_1 */
116     {
117
118         do
119         {
120             ocbp(i_pstart);

```

3.14 サンプルプログラムリスト "cache.c"(3)

```

121         i_pstart += 16;
122         ocbp(pStart1);
123         pStart1 += 16;
124
125         }while(pStart1 < (i_pend + 8));
126
127     }
128     else /* OCBP_LOOP_2 */
129     {
130
131         while(i_pstart < i_pend)
132         {
133             ocbp(i_pstart);
134             i_pstart = i_pstart + 8;
135         }
136     }
137
138 }
139
140 /* End of File */

```

3.15 サンプルプログラムリスト "cache.h"(1)

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Technology Corp. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Technology Corp. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved. */
29 /**"FILE COMMENT"***** Technical reference data ***** */
30 * System Name : SH7722,SH7731 Sample Program
31 * File Name : cache.c
32 * Abstract : Sample Program for Setting the SH7722,SH7731 Cache
33 * Version : Ver 1.00
34 * Device : SH7722,SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : Sample Program for Setting the SH7722,SH7731 Cache
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 6.July.2009 Ver. 1.00 First Release
46 **"FILE COMMENT END"***** */
47
48 #ifndef __CACHE_DEF_H__
49 #define __CACHE_DEF_H__
50
51 /* ==== マクロ定義 ==== */
52 /* ---- キャッシュ設定 ---- */
53 #define D_CACHE_OFF 0x0000u
54 #define D_CACHE_I_INVALID 0x0800u
55 #define D_CACHE_I_ON 0x0100u
56 #define D_CACHE_O_INVALID 0x0008u
57 #define D_CACHE_O_ON 0x0001u
58 #define D_CACHE_IO_ON (CACHE_I_ON | CACHE_O_ON)
59 #define D_CACHE_O_WT 0x0002u
60

```


3.16 サンプルプログラムリスト "cache.h"(2)

```

61  /* ---- パージ対象領域 ---- */
62  #define D_CACHE_PURGE_SDRAM_START  *( volatile unsigned long *)(0x0C000000)
63  #define D_CACHE_PURGE_SDRAM_END    *( volatile unsigned long *)(0x0FFFFFFF)
64
65  /* ==== 関数宣言 ==== */
66  void cache_set_ccr(unsigned int i_mode);
67  void cache_Purge_OCBP(unsigned long *i_start, unsigned long *i_end);
68
69  #endif /* __CACHE_DEF_H__ */
    
```

3.17 サンプルプログラムリスト "dbsct.c"(1)

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Technology Corp. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Technology Corp. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data ******/
30 * System Name : SH7722,SH7731 Sample Program
31 * File Name : dbsct.c
32 * Abstract : Sample Program for the SH7722,SH7731 Initial Setting
33 * Version : Ver 1.00
34 * Device : SH7722,SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : Sample Program for Setting the SH7722,SH7731 Initialization
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 6.July.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"******/
47
48 /*****
49 /*
50 /* FILE :dbsct.c */
51 /* DATE :Wed, Apr 22, 2009 */
52 /* DESCRIPTION :Setting of B,R Section */
53 /* CPU TYPE :SH7722,SH7731 */
54 /*
55 /* This file is generated by Renesas Project Generator (Ver.4.9). */
56 /*
57 /*****
58
59
60
    
```

3.18 サンプルプログラムリスト "dbsct.c"(2)

```

61  #include "typedefine.h"
62
63  #pragma section $DSEC
64  static const struct {
65      _UBYTE *rom_s;      /* 初期化データセクションの ROM 上の先頭アドレス */
66      _UBYTE *rom_e;      /* 初期化データセクションの ROM 上の最終アドレス */
67      _UBYTE *ram_s;      /* 初期化データセクションの RAM 上の先頭アドレス */
68  } DTBL[] = {
69      { __sectop("D"), __secend("D"), __sectop("R") },
70      { __sectop("PROMC"), __secend("PROMC"), __sectop("RAMC") }
71  };
72  #pragma section $BSEC
73  static const struct {
74      _UBYTE *b_s;        /* 未初期化データセクションの先頭アドレス */
75      _UBYTE *b_e;        /* 未初期化データセクションの最終アドレス */
76  } BTBL[] = {
77      { __sectop("B"), __secend("B") }
78  };
    
```

4. 参考ドキュメント

- ソフトウェアマニュアル
SH-4A ソフトウェアマニュアル (RJJ09B0090)
(最新版をルネサス テクノロジホームページから入手してください)
- ハードウェアマニュアル
SH7722 グループ ハードウェアマニュアル (RJJ09B0324)
(最新版をルネサス テクノロジホームページから入手してください)
- ハードウェアマニュアル
SH7731 グループ ハードウェアマニュアル (RJJ09B0518)
(最新版をルネサス テクノロジホームページから入手してください)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.12.17	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 - 1 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 - 1 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
 - 1 3. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444