

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7730 グループ

BSC NOR 型フラッシュメモリ設定例

要旨

この資料はバスステートコントローラ (BSC) の通常空間インターフェースの機能を紹介し, フラッシュメモリとの接続例を掲載しています。

動作確認デバイス

SH7730

目次

1. はじめに	2
2. 応用例の説明	3
3. 参考ドキュメント	15

1. はじめに

1.1 仕様

SH7730 と Spansion 製 32 M ビット NOR 型フラッシュメモリ (2 M × 16 ビット) を 16 ビットバス幅で接続します。

SH7730 のバスステートコントローラ (BSC) を使用し、外部のフラッシュメモリに対するリード/ライトを行います。

1.2 使用機能

バスステートコントローラ (BSC)

1.3 適用条件

評価ボード:	アルファプロジェクト製 SH-4A ボード 型番 AP-SH4A-1A
外付けメモリ (エリア 0):	NOR 型フラッシュメモリ 4 M バイト Spansion 製 S29AL032D70TFI04
(エリア 3):	SDR-SDRAM 32 M バイト (16 M バイト × 2 個) Samsung 製 K4S281632F-UC75
マイコン:	SH7730 (R8A77301)
動作周波数	CPU クロック: 266.66 MHz SuperHyway バスクロック: 133.33 MHz バスクロック: 66.66 MHz 周辺クロック: 33.33 MHz
エリア 0 バス幅:	16 ビット固定 (MD3 端子 = Low レベル)
クロック動作モード:	モード 2 (MD0 端子 = Low レベル, MD1 端子 = High レベル)
エンディアン:	ビッグエンディアン (MD5 端子 = Low レベル)
ツールチェーン:	ルネサス テクノロジ製 SuperH RISC engine Standard Toolchain Ver.9.1.1.0
コンパイルオプション:	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh4a -debug -optimize=0 -noinline -gbr=auto -macsave=0 -save_cont_reg=0 -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

1.4 関連アプリケーション

本資料の参考プログラムは、「SH7730 グループ アプリケーションノート SH7730 初期設定例 (RJJ06B0864)」の設定条件で動作確認しています。そちらもあわせて参照ください。

2. 応用例の説明

2.1 使用機能の概要

SH7730 のバスステートコントローラ (BSC) を使用し、外部に接続されたフラッシュメモリの制御を行います。表1に本応用例で使用するフラッシュメモリ S29AL032D70TFI04 (以下、単にフラッシュメモリと表記します) の仕様を示します。

表1 本応用例で使用するフラッシュメモリ仕様

項目	フラッシュメモリ仕様
型名	Spansion 製 S29AL032D70TFI04
容量 (構成)	32 M ビット (2 M × 16 ビット)
使用個数	1 個
アクセス時間	ランダムアクセス時: 70 ns (Max) ページモードなし
ブートブロック	ボトムブート

図1にメモリマップを示します。接続するメモリの種類およびデータバス幅は、各 CS 空間にごとに指定します。本応用例では、CS0 空間にフラッシュメモリを接続しています。CS0 空間は物理アドレス空間の先頭で、最大 64 M バイトの領域を使用できます。

本応用例のフラッシュメモリは物理アドレス空間の H'0000 0000 ~ H'003F FFFF に配置されます。

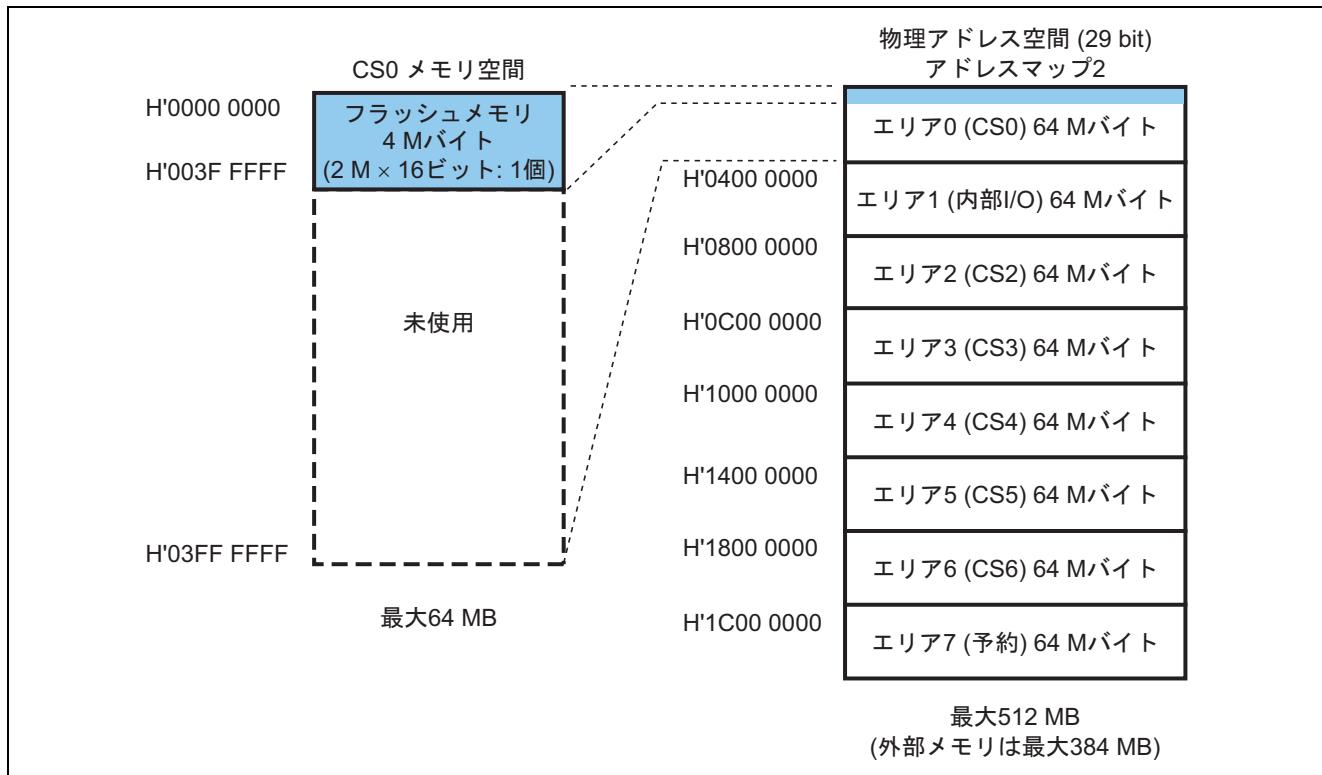


図1 メモリマップ

物理アドレス空間はさらに、ソフトウェアから見た仮想アドレス空間上にマッピングされます。仮想アドレス空間から物理アドレス空間へのアドレス変換は、メモリマネジメントユニット (MMU) の使用の有無により異なります。

詳細については、「SH7730 グループ ハードウェアマニュアル (RJJ09B0339)」の「バスステートコントローラ (BSC)」および「SH7730 グループ ハードウェアマニュアル (RJJ09B0339)」の「メモリマネジメントユニット (MMU)」の項を参照ください。

図2にフラッシュメモリ接続回路例を示します。

SH7730 とフラッシュメモリは 16 ビットバス幅で接続しています。フラッシュメモリのデータバス幅を 16 ビット固定するため、BYTE 端子は High レベルに固定します。また、SH7730 の CS0 空間のデータバス幅を 16 ビットとするため、MD3 端子を Low レベルにします。

電源投入時の SH7730 の端子状態不安定期間での、フラッシュメモリへの誤アクセスを防ぐために、外部リセット IC 等を使用して、リセット信号を SH7730 の RESETP 端子とフラッシュメモリの RESET 端子に入力してください。

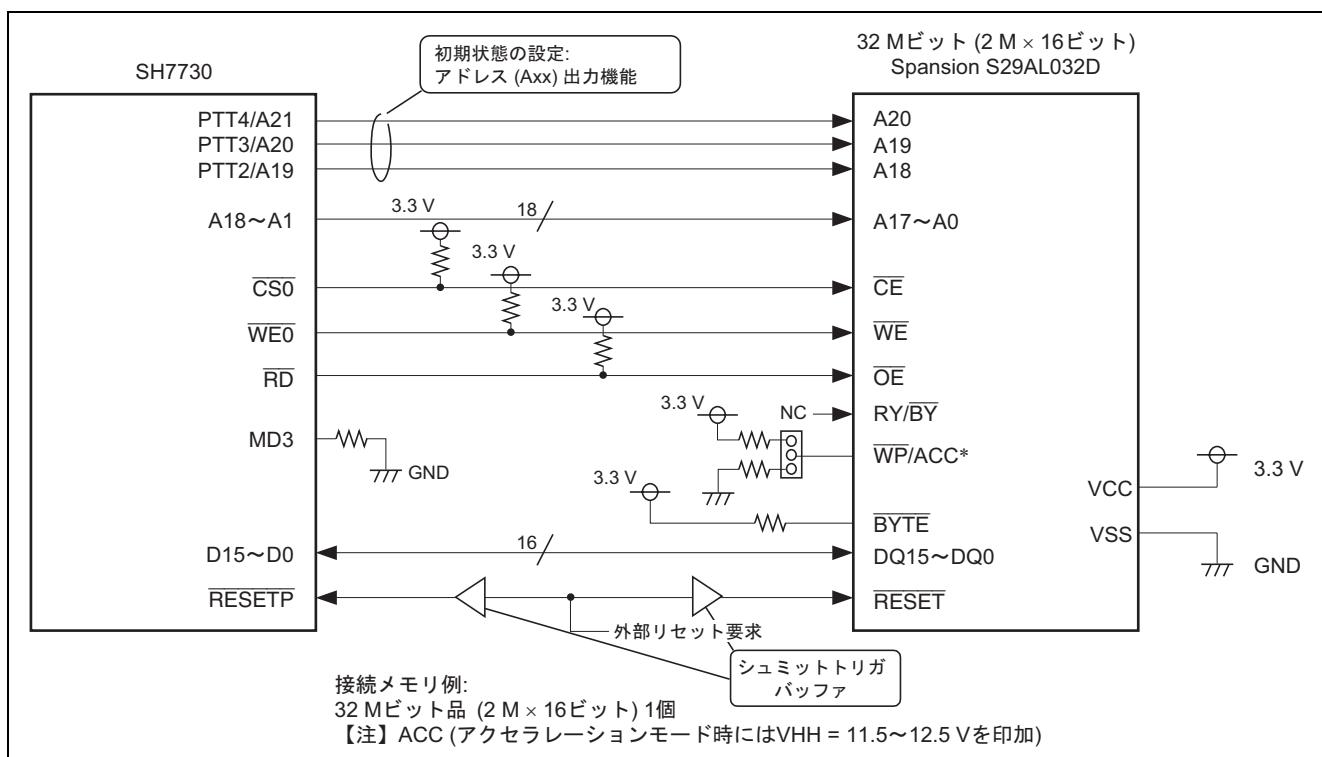


図2 フラッシュメモリ接続回路例 (4 M バイト, 16 ビットバス)

表2にSH7730の端子機能を示します。A21～A19端子は初期端子機能がアドレス端子になっていますので、ピンファンクションコントローラ(PFC)による端子機能の切り替えは不要です。

表2 SH7730 端子機能

SH7730 端子	入出力	初期端子機能	機能
PTT4/A21	出力	A21	アドレスバス
PTT3/A20	出力	A20	アドレスバス
PTT2/A19	出力	A19	アドレスバス
A18～A1	出力	A18～A1	アドレスバス
D15～D0	入出力	D15～D0	データバス
<u>RD</u>	出力	<u>RD</u>	リードイネーブル
<u>WE0</u>	出力	<u>WE0</u>	ライトイネーブル
<u>CS0</u>	出力	<u>CS0</u>	チップセレクト
MD3	入力	MD3	CS0空間のバス幅を選択します。 Low レベル: 16 ビット幅 (本応用例の設定値) High レベル: 32 ビット幅 パワーオンリセット後にCS0空間のバス幅を変更することはできません。

2.2 使用機能の設定手順

表 3 にバスステートコントローラの設定例を示します。各レジスタの詳細については、「SH7730 グループハードウェアマニュアル (RJJ09B0339)」の「バスステートコントローラ (BSC)」の章を参照ください。図 3 にバスステートコントローラの設定手順例を示します。

表 3 バスステートコントローラの設定例

レジスタ名	アドレス	設定値	機能
CS0 空間バス コントロール レジスタ (CS0BCR)	H'FEC1 0004	H'1048 0400	<ul style="list-style-type: none"> ライト-リード/ライト-ライトサイクル間アイドル指定 IWW[2:0] = "B'001": 1 アイドルサイクル挿入 IWW には、フラッシュメモリの tWPH, tOEH, tSR/W の仕様を満たす値を設定してください。 別空間リード-ライトサイクル間アイドル指定 IWRWD[2:0] = "B'001": 1 アイドルサイクル挿入 同一空間リード-ライトサイクル間アイドル指定 IWRWS[2:0] = "B'001": 1 アイドルサイクル挿入 IWRWD, IWRWS には tDF の仕様を満たす値を設定してください。 <p>【注】本レジスタ内の BSZ[1:0] ビット (データバス幅指定ビット) への書き込みは無視されます。CS0 空間のデータバス幅は、MD3 端子で指定してください。</p>
CS0 空間ウェイト コントロール レジスタ (CS0WCR)	H'FEC1 0024	H'0000 0A41	<ul style="list-style-type: none"> アドレス, $\overline{CS0}$ アサート $\rightarrow \overline{RD}, \overline{WE}$ アサート遅延サイクル数 SW[1:0] = "B'01": 1.5 サイクル アクセスウェイトサイクル数 WR[3:0] = "B'0100": 4 サイクル 外部ウェイトマスク指定 WM = "B'1": 外部ウェイト入力無視 $\overline{RD}, \overline{WE}$ ネゲート \rightarrow アドレス, $\overline{CS0}$ ネゲート遅延サイクル数 HW[1:0] = "B'01": 1.5 サイクル

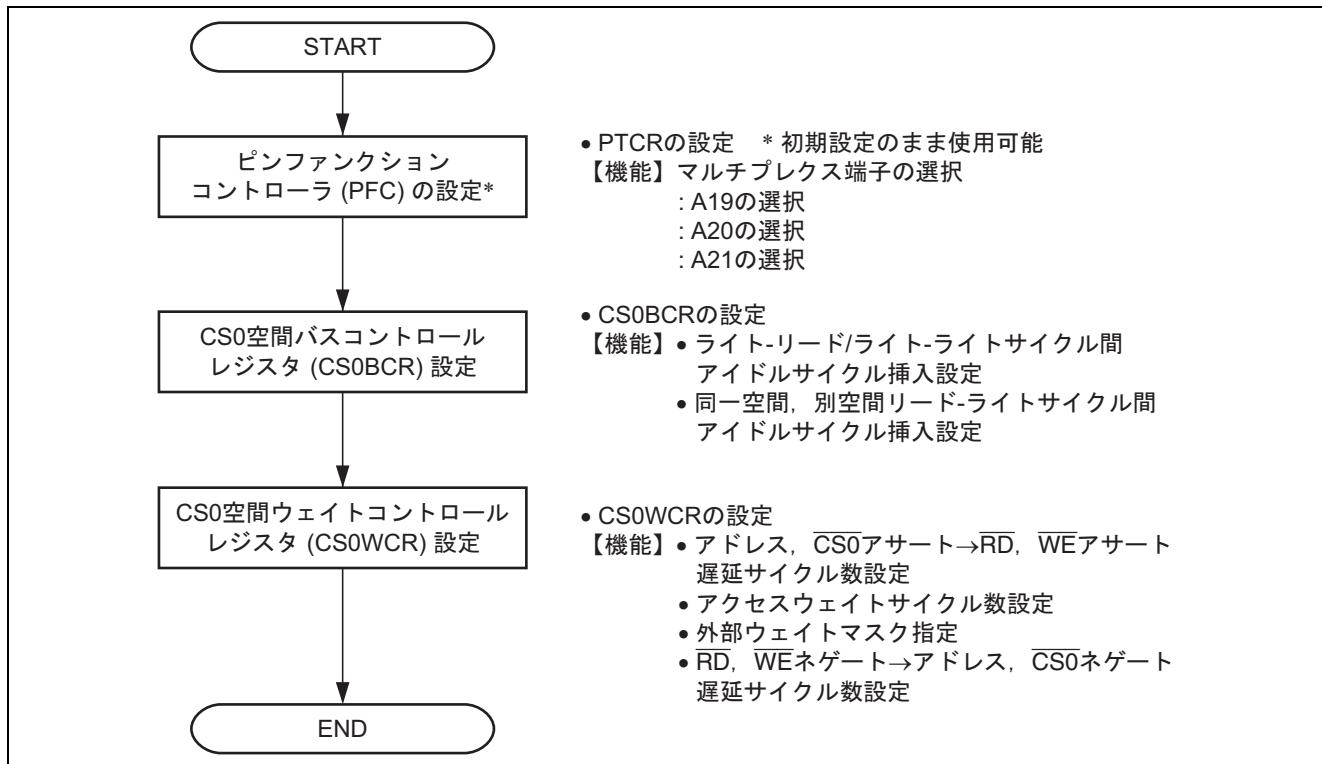


図 3 バスステートコントローラの設定手順例 (CS0 空間)

2.3 フラッシュメモリのタイミング設定参考例

参考プログラムでは、接続するメモリ (S29AL032D70TFI04) のアクセススピードに応じたウェイトサイクルを設定しています。SH7730 の動作条件は、バスクロック 66.66 MHz ($t_{cyc} = 15$ ns) です。SH7730 および S29AL032D70TFI04 の AC 特性に関しては、各デバイスのデータシートを参照ください。

【補足】遅延サイクル Th , Tf について

CS0 空間ウェイトコントロールレジスタ (CS0WCR) において設定される、

- SW[1:0]: アドレス, $\overline{CS0}$ アサート→ \overline{RD} , \overline{WE} アサート遅延サイクル (Th) のサイクル数
- HW[1:0]: \overline{RD} , \overline{WE} ネゲート→アドレス, $\overline{CS0}$ ネゲート遅延サイクル (Tf) のサイクル数

はそれぞれ、0.5 サイクル, 1.5 サイクル, 2.5 サイクル, 3.5 サイクルの設定が可能です。一方、SH7730 の AC 特性において、各信号の遅延時間はすべて、CKO の立ち上がりからの時間として規定されています。

図 4 に Th , Tf と遅延時間の関係を示します。SW, HW で設定した遅延サイクル数から 0.5 を引いたサイクル数の後に、各信号の遅延を加算してタイミング設計を行います。

本アプリケーションノートでは、タイミングの計算式における遅延サイクル Th , Tf をそれぞれ、

(SW or HW の設定値 – 0.5) サイクル数
と規定しています。

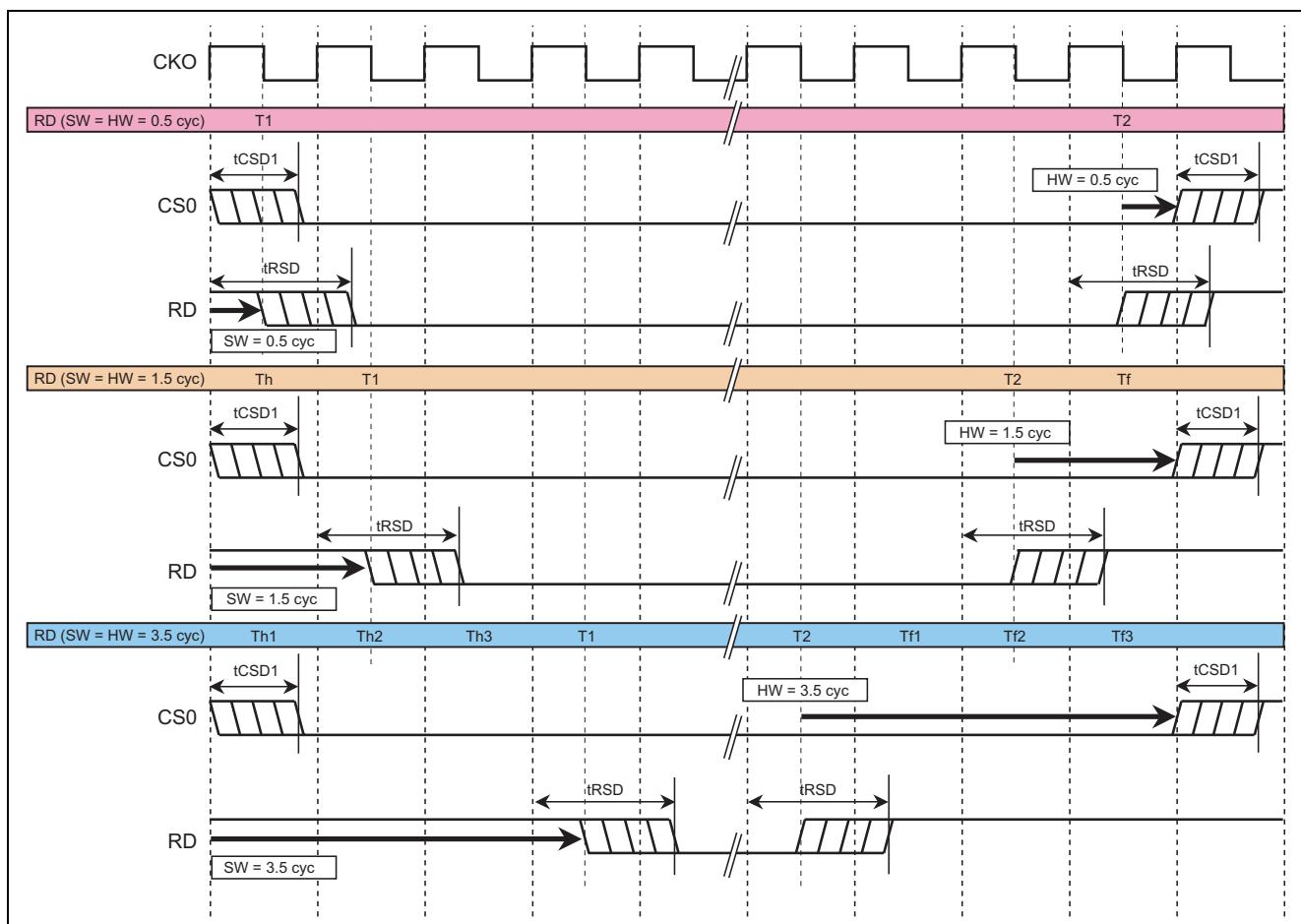


図 4 遅延サイクルと遅延時間の関係

2.3.1 タイミング設定例

ここでは、 \overline{WE} による書き込み (\overline{WE} コントロールドライト) での設定例を示します。

1. アクセスウェイトサイクル

T1 サイクルと T2 サイクル間にウェイトサイクル (Tw) を設定します。

本設定において、SH7730 とフラッシュメモリのバスタイミングを満たしていることを確認します。(参考例では 4 ウェイトサイクル ($Tw = 4$) を設定しています。)

図 5 は、 $tRSD$ が T1 サイクル内で収まるケースを表し、図 6 は、 $tRSD$ が T1 サイクルを超えるケースを表しています。

A. リードサイクルタイミング

- NOR 型フラッシュメモリの tRC (リードサイクル時間)

$$tRC(\min) \leq (Th + T1 + Tw + T2 + Tf) \times tcyc - tAD1(\max)^{*1} + tAD1(\min)^{*2} \quad \dots \quad (\text{図 5}) \quad (\text{図 6})$$

- NOR 型フラッシュメモリの $tACC$ (アドレスアクセス時間)

$$tACC(\max) \leq (Th + T1 + Tw + T2) \times tcyc - tAD1(\max) - tRDS1(\min) \quad \dots \quad (\text{図 5}) \quad (\text{図 6})$$

- NOR 型フラッシュメモリの tCE (CE#アクセス時間)

$$tCE(\max) \leq (Th + T1 + Tw + T2) \times tcyc - tCSD1(\max) - tRDS1(\min) \quad \dots \quad (\text{図 5}) \quad (\text{図 6})$$

- NOR 型フラッシュメモリの tOE (OE#アクセス時間)

$$tOE(\max) \leq (T1 + Tw + T2) \times tcyc - tRSD(\max) - tRDS1(\min) \quad \dots \quad (\text{図 5}) \quad (\text{図 6})$$

- NOR 型フラッシュメモリの tOH (前サイクルデータ出力保持時間)

$$tOH(\min) \leq tRDH1(\min) \quad \dots \quad (\text{図 5}) \quad (\text{図 6})$$

B. ライトサイクルタイミング

- NOR 型フラッシュメモリの tWC (ライトサイクル時間)

$$tWC(\min) \leq (Th + T1 + Tw + T2 + Tf) \times tcyc - tAD1(\max)^{*1} + tAD1(\min)^{*2} \quad \dots \quad (\text{図 7})$$

- NOR 型フラッシュメモリの tAH (アドレスホールド時間)

$$tAH(\min) \leq (T1 + Tw + T2 + Tf) \times tcyc - tWED1(\max) + tAD1(\min) \quad \dots \quad (\text{図 7})$$

- NOR 型フラッシュメモリの tWP (ライトパルス幅)

$$tWP(\min) \leq (T1 + Tw) \times tcyc - tWED1(\max) + tWED1(\min) \quad \dots \quad (\text{図 7})$$

- NOR 型フラッシュメモリの tDS (データセットアップ時間)

$$tDS(\min) \leq (Th + T1 + Tw) \times tcyc - tWDD1(\max) + tWED1(\min) \quad \dots \quad (\text{図 7})$$

- NOR 型フラッシュメモリの tDH (データホールド時間)

$$tDH(\min) \leq tWDH4(\min) \quad \dots \quad (\text{図 7})$$

2. CS アサート期間拡張

A. アドレス, $\overline{CS0}$ アサート→ \overline{RD} , \overline{WE} アサートまでの遅延サイクル (Th)

使用する NOR 型フラッシュメモリの tCS (チップイネーブルセットアップ時間) および tAS (アドレスセットアップ時間) を満足していることを確認します。参考例では Th = 1.0 に設定しています。

$$tCS(\min) \leq Th \times tcyc - tCSD1(\max) + tWED1(\min) \quad \dots \quad (\text{図 7})$$

$$tAS(\min) \leq Th \times tcyc - tAD1(\max) + tWED1(\min) \quad \dots \quad (\text{図 7})$$

B. \overline{RD} , \overline{WE} ネゲート→アドレス, $\overline{CS0}$ ネゲートまでの遅延サイクル (Tf)

使用する NOR 型フラッシュメモリの tCH (チップイネーブルホールド時間) を満足していることを確認します。参考例では Tf = 1.0 に設定しています。

$$tCH(\min) \leq (T2 + Tf) \times tcyc - tWED1(\max) + tCSD1(\min) \quad \dots \quad (\text{図 7})$$

3. アクセスサイクル間ウェイト

連続するアクセス間にアクセスサイクル間ウェイトの挿入を設定します。

本設定において、対象の NOR 型フラッシュメモリの tWPH ("H"ライトパルス幅), tOEH (出力イネーブルホールド時間), tSR/W (ライト動作とリード動作間のレイテンシ) および tDF (出力イネーブル³から HighZ 出力まで) を満たしていることを確認します。(参考例ではライト-リード/ライト-ライト間、同一空間リード-ライトサイクル間、別空間リード-ライトサイクル間のウェイトサイクルを 1 サイクル (Taw = 1) に設定しています。)

• NOR 型フラッシュメモリの tWPH ("H"ライトパルス幅)

$$tWPH(\min) \leq (T2 + Tf + Taw + Th) \times tcyc - tWED1(\max) + tWED1(\min) \quad \dots \quad (\text{図 8})$$

• NOR 型フラッシュメモリの tOEH (出力イネーブルホールド時間)

$$tOEH(\min) \leq (T2 + Tf + Taw + Th) \times tcyc - tWED1(\max) + tRSD(\min) \quad \dots \quad (\text{図 9})$$

• NOR 型フラッシュメモリの tSR/W (ライト動作とリード動作間のレイテンシ)

$$tSR/W(\min) \leq (T2 + Tf + Taw) \times tcyc - tWED1(\max) + tAD1(\min) \quad \dots \quad (\text{図 9})$$

• NOR 型フラッシュメモリの tDF (出力イネーブル³から HighZ 出力まで)

$$tDF(\max) \leq (T2 + Tf + Taw) \times tcyc - tRSD(\max) + tWDD1(\min)^{4} \quad \dots \quad (\text{図 10})$$

【注】 1. tAD1(max) か tCSD1(max) の長いほうが適用されます。

2. tAD1(min) か tCSD1(min) の短いほうが適用されます。

3. チップイネーブルか出力イネーブルの立ち上がりの早いほうが適用されます。

SH7730 の場合は、出力イネーブルの立ち上がりの早いので、こちらで比較します。

4. 次のサイクルのデータアクセスまでに、D15-D0 が High Z になっている必要があります。

リードサイクルのアクセスタイミングに比べ、ライトサイクルのデータセットアップ条件が厳しくなるためライトサイクルの動作を考えます。

次のライトサイクルのデータセットアップまでの時間は、 $(T2 + Tf + Taw) \times tcyc - tRSD(\max)$ に tWDD1(min) の時間も加算されるので、その合計が tDF(max) 以上であれば良いことになります。

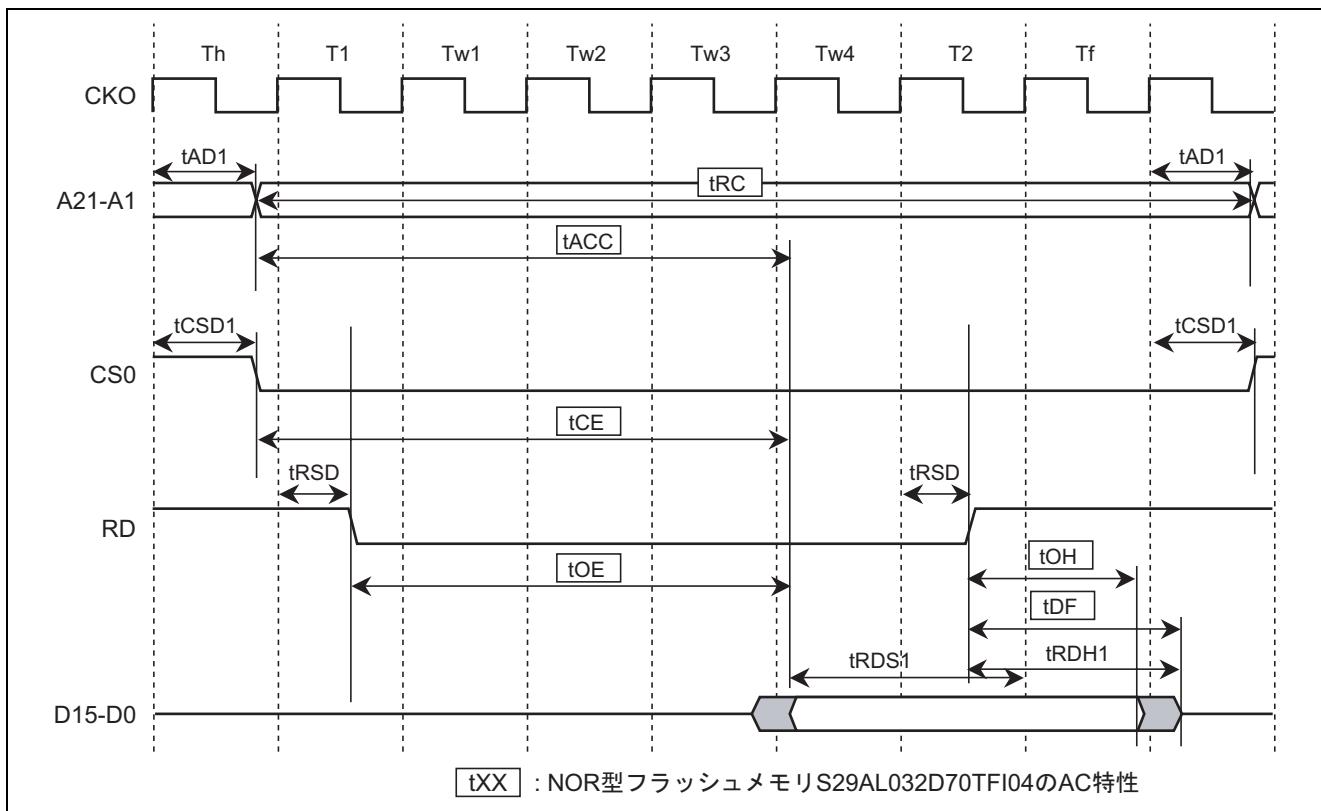


図5 フラッシュメモリ リードタイミング (tRSD = Min)

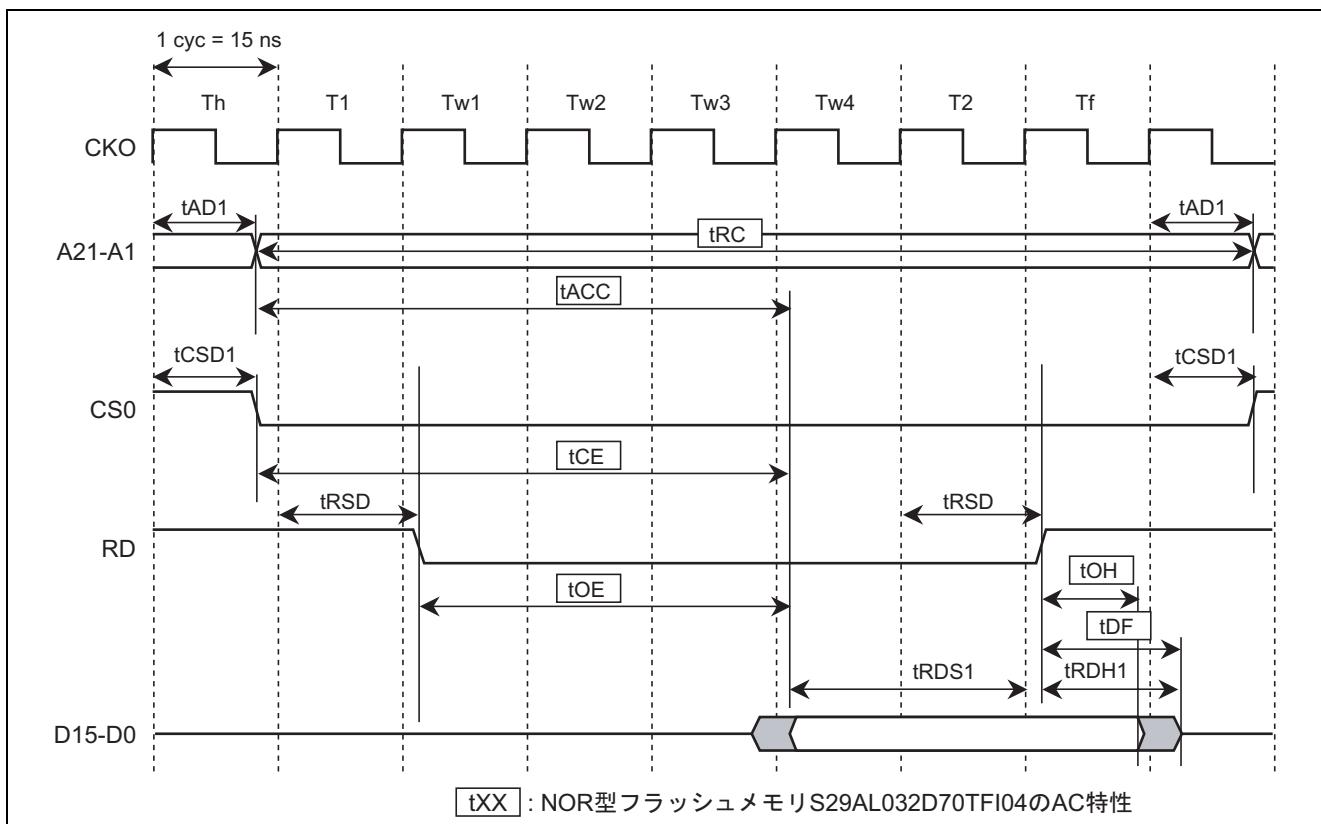


図6 フラッシュメモリ リードタイミング (tRSD = Max)

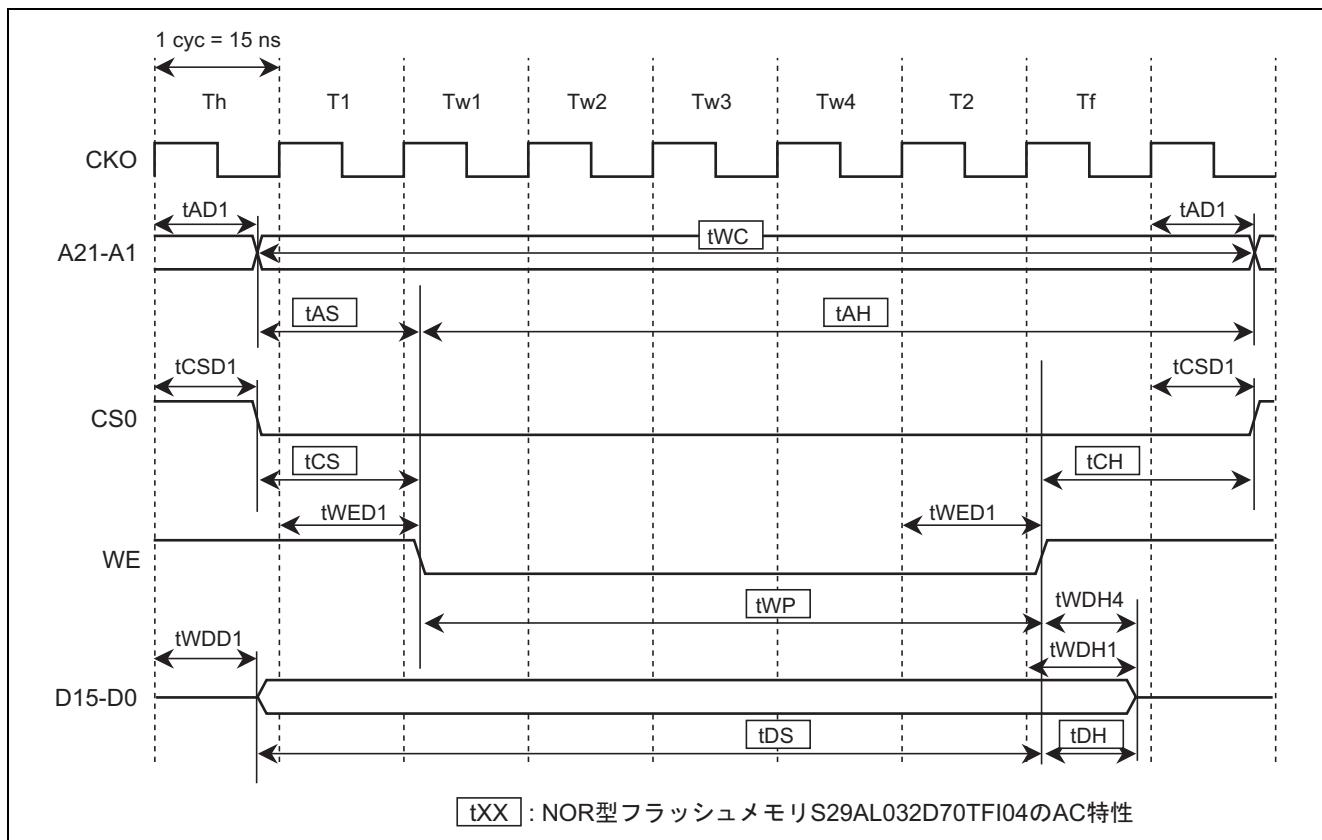


図7 フラッシュメモリ ライトタイミング

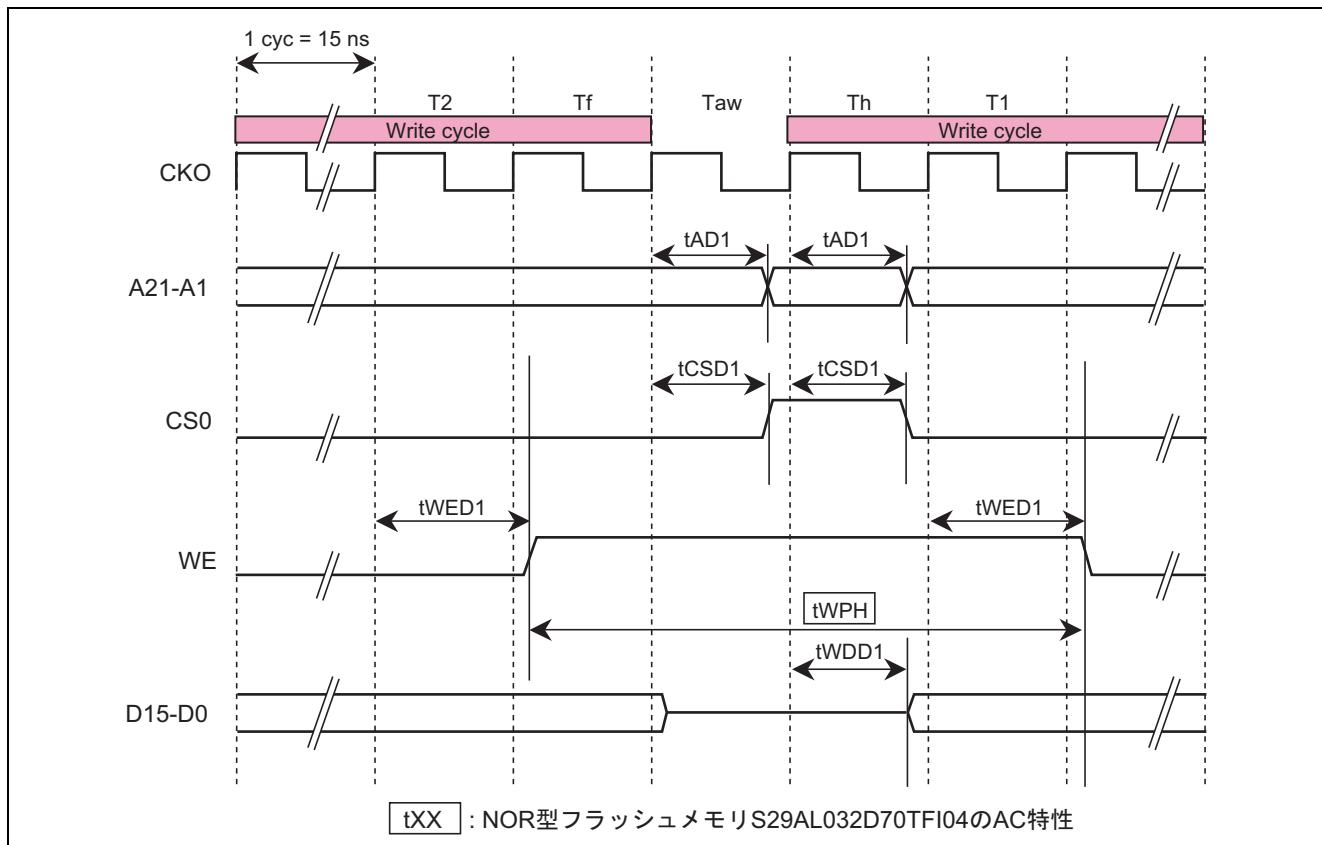


図8 フラッシュメモリ ライト-ライトサイクル間タイミング

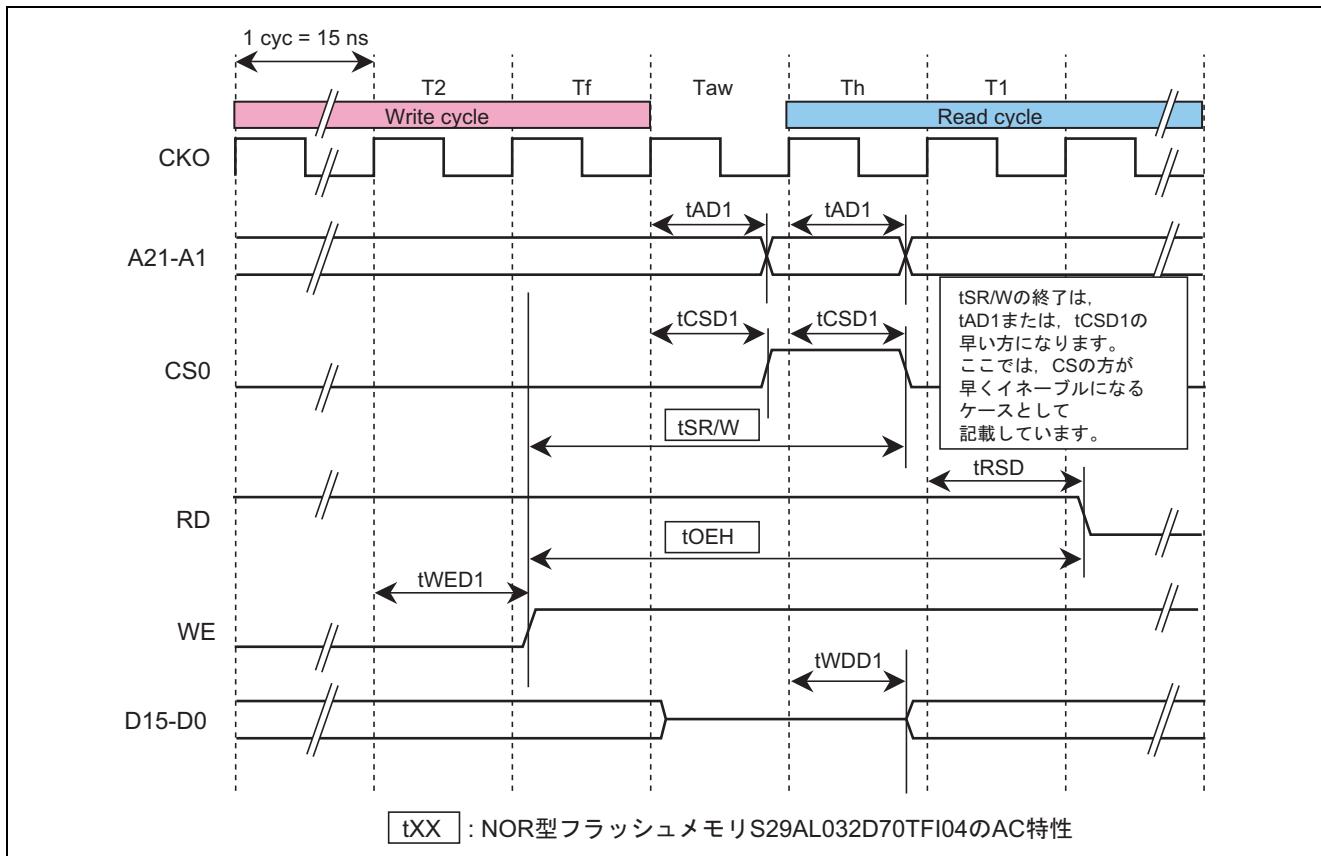


図9 フラッシュメモリ ライト-リードサイクル間タイミング

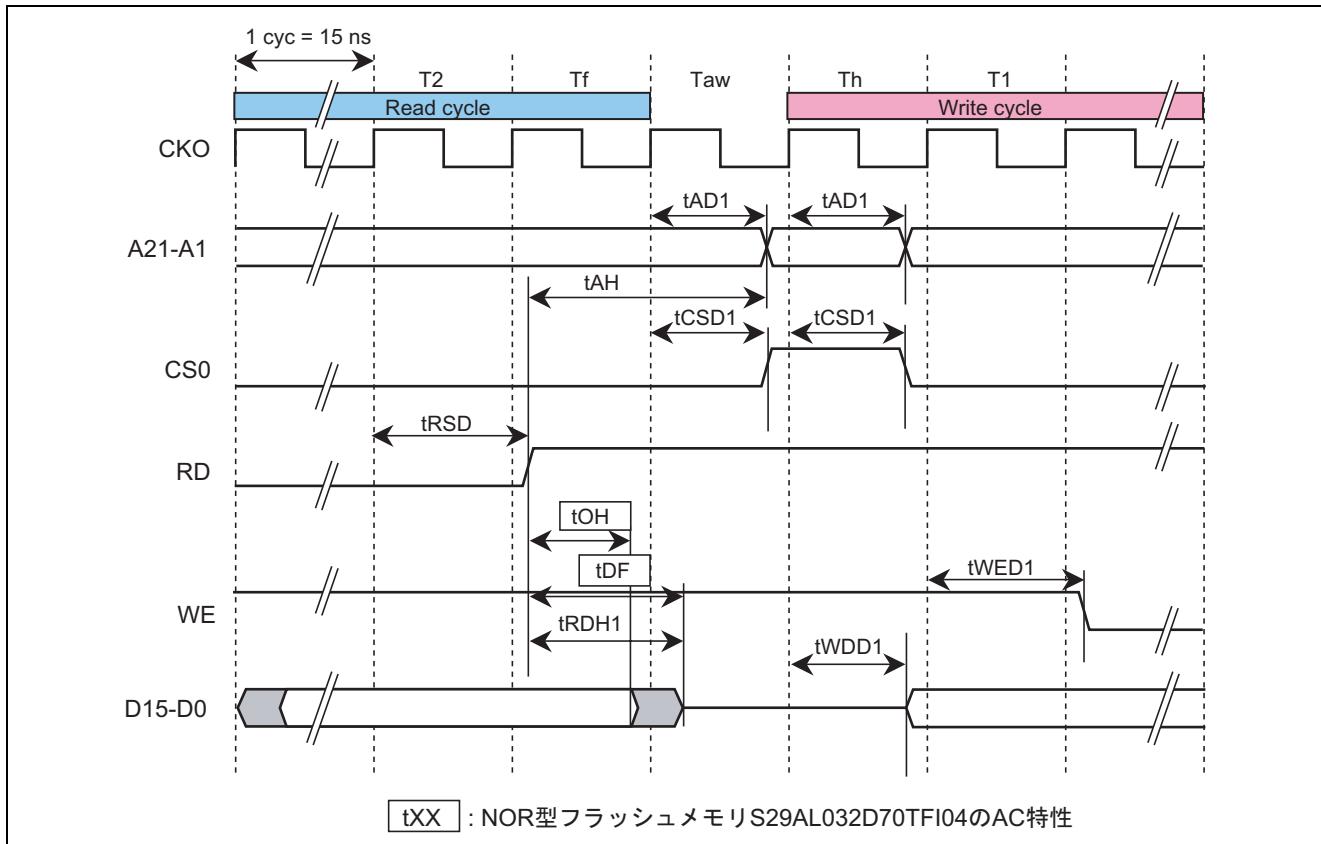


図10 フラッシュメモリ リード-ライトサイクル間タイミング

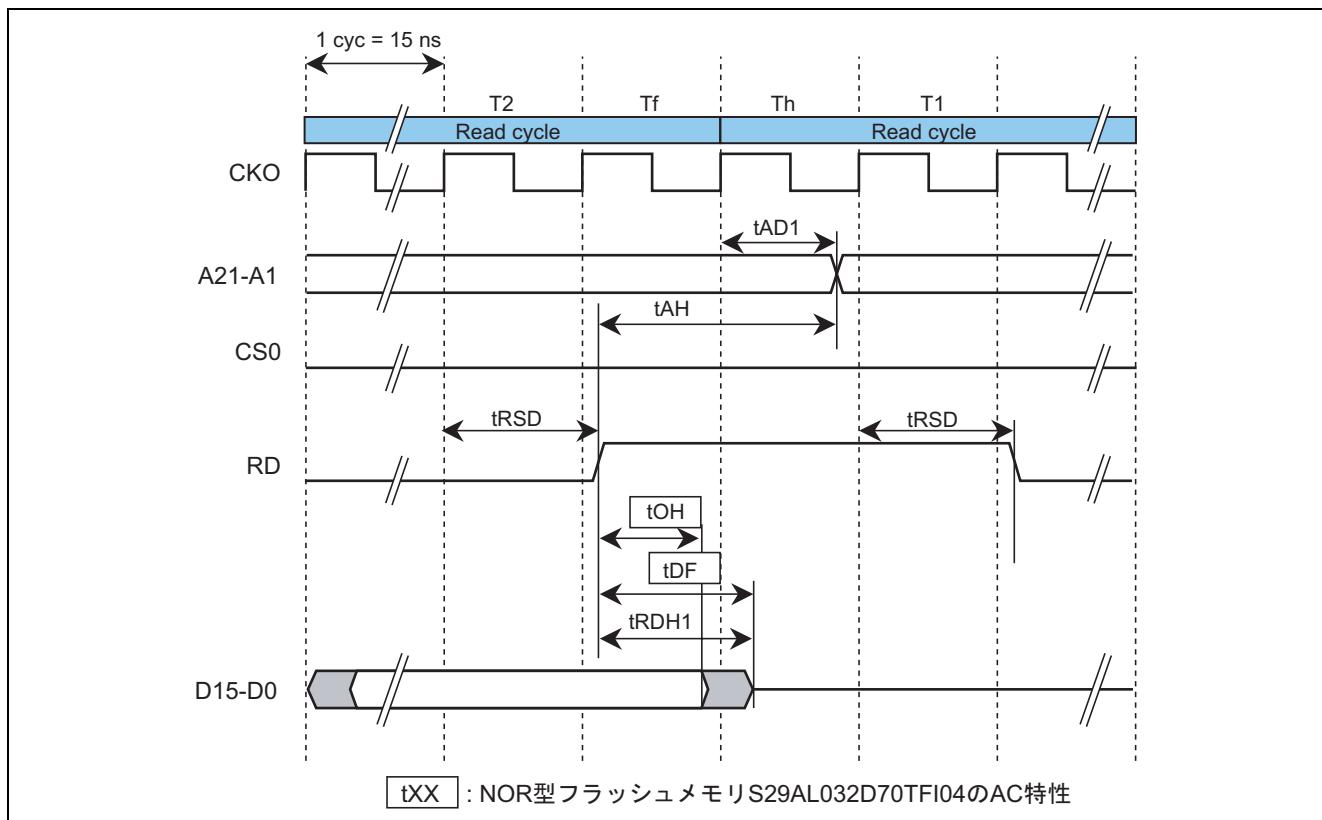


図 11 フラッシュメモリ リード-リードサイクル間タイミング

3. 参考ドキュメント

- ソフトウェアマニュアル
SH-4A ソフトウェアマニュアル (RJJ09B0090)
(最新版をルネサス テクノロジホームページから入手してください。)
- ハードウェアマニュアル
SH7730 グループ ハードウェアマニュアル (RJJ09B0339)
(最新版をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.02.09	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に關し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任は負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444

© 2009. Renesas Technology Corp., All rights reserved.