

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7080 シリーズ

DTC を用いた SCIF クロック同期式シリアルデータ転送機能

要旨

本アプリケーションノートは、FIFO 付きシリアルコミュニケーションインタフェース (SCIF: Serial Communication Interface with FIFO) のクロック同期式シリアル転送機能と Data Transfer Controller (DTC) によるデータ転送機能を使用したシリアルデータの同時送受信動作について述べており、ユーザソフトウェア設計の際のご参考として役立てていただくようまとめたものです

動作確認デバイス

SH7086

目次

1. 仕様	2
2. 適用条件	3
3. 使用機能概要	4
4. 動作説明	10
5. ソフトウェア説明	12
6. フローチャート	24
7. 参考ドキュメント	28

1. 仕様

本応用例では、SCIF と DTC によるデータ転送機能を使用して、クロック同期式シリアルデータの送受信動作を行います。

- 通信フォーマットはクロック同期式、転送ビットレート = 100,000 [bit/s]。
- 32 バイトデータの同時送受信を行います。
- 送信用の DTC 転送は、SCIF の送信 FIFO トリガ数を 8 として、送信 FIFO データエンプティで起動します。DTC は送信データを内蔵 RAM から SCIF に転送します。
- 受信用の DTC 転送は、SCIF の受信 FIFO トリガ数を 1 として、SCIF 受信データフルで起動します。DTC は受信データを SCIF から内蔵 RAM に転送します。
- シリアル送信および受信の完了時に、割り込みを発生させて終了処理を行います。

SCIF は、SCK3 端子を同期クロック出力端子とし、シリアル送信端子 TXD3 端子と受信端子 RXD3 端子を外部で接続し、擬似的に全二重通信を行います。本応用例の動作概要を図 1 に示します。

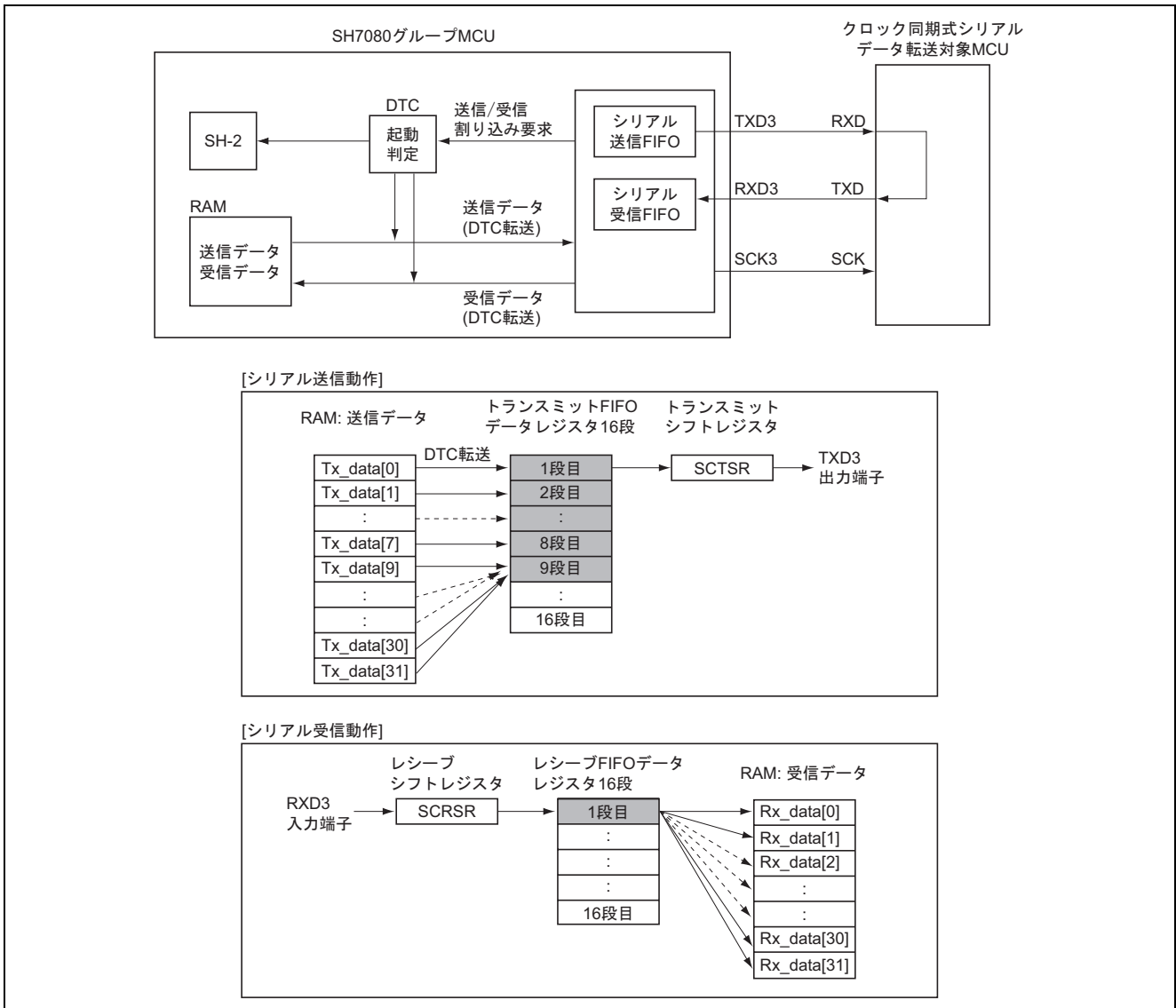


図 1 DTC を用いた FIFO 付きクロック同期式シリアルデータ送受信動作の概要

2. 適用条件

本応用例の適用条件を表 1 に示します。

表 1 適用条件

項目	内容
デバイス	SH7086 (R5F70865)
デバイス 動作周波数	内部クロック: $I\phi = 80\text{MHz}$ バスクロック: $B\phi = 40\text{MHz}$ 周辺クロック: $P\phi = 40\text{MHz}$ MTU2 クロック: $MP\phi = 40\text{MHz}$ MTU2S クロック: $MI\phi = 40\text{MHz}$
デバイス 動作モード	シングルチップモード
開発環境	ルネサス テクノロジ製 統合開発環境 High-performance Embedded Workshop Version 4.03.00.001 SuperH RISC engine Standard Toolchain (V.9.1.0.0) SuperH RISC engine C/C++ Compiler (V.9.01.00)
C コンパイル オプション	デフォルト設定 -cpu=sh2 -object="\$(CONFIGDIR)\\$(FILELEAF).obj" -debug -speed -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo

3. 使用機能概要

本応用例で使用する SCIF，および DTC の機能概要を示します。

3.1 SCIF の動作概要

SCIF のクロック同期式モードでは，クロックパルスに同期してデータ送受信を行います。クロックソースとして内部クロックまたは，SCK 端子からの外部クロック入力を選択ができます。内部クロックを選択した場合は，同期クロックを SCK 端子から出力します。外部クロックを選択した場合は，同期クロックを SCK 端子から入力します。通信データフォーマットは，8 ビット長固定です。

表 2 にクロック同期式モードの概要を示します。また，図 2 に SCIF のブロック図を示します。

表 2 SCIF (クロック同期式モード) の概要

項目	概要
チャンネル数	1 チャンネル (SCIF_3)
クロックソース	内部クロック選択時， $P\phi$ ， $P\phi/4$ ， $P\phi/16$ ， $P\phi/64$ ($P\phi$: 周辺クロック) 外部クロック:選択時，SCK3 端子入力クロック
データフォーマット	転送データ長: 8 ビット固定 転送順序: LSB ファースト固定
ボーレート	内部クロックを選択時: 250bps ~ 5000Kbps ($P\phi = 40\text{MHz}$ 動作時) 外部クロックを選択時: 最大 6666Kbps ($P\phi = 40\text{MHz}$ ，外部入力クロック 6.6667MHz 動作時)
受信エラー検出	オーバランエラー
割り込み要求	<ul style="list-style-type: none"> 送信 FIFO データエンpty 割り込み (TXIF) 受信 FIFO データフル割り込み (RXIF) ブ레이크またはオーバランエラー 割り込み (BRIF) 受信エラー 割り込み (ERIF)
その他	<ul style="list-style-type: none"> 内部クロックを選択した場合に SCK 端子から同期クロックを出力可能 送信および受信 FIFO データレジスタ内に格納されている有効データ数，および受信 FIFO データレジスタ内に格納されている受信エラー数を検出可能 送信 FIFO データエンpty，レシーブ FIFO データフル時に DTC を起動させてデータ転送を行うことが可能

【注】 SCIF の詳細については，SH7080 グループ ハードウェアマニュアル FIFO 付きシリアルコミュニケーションインタフェースの記述をご参照ください。

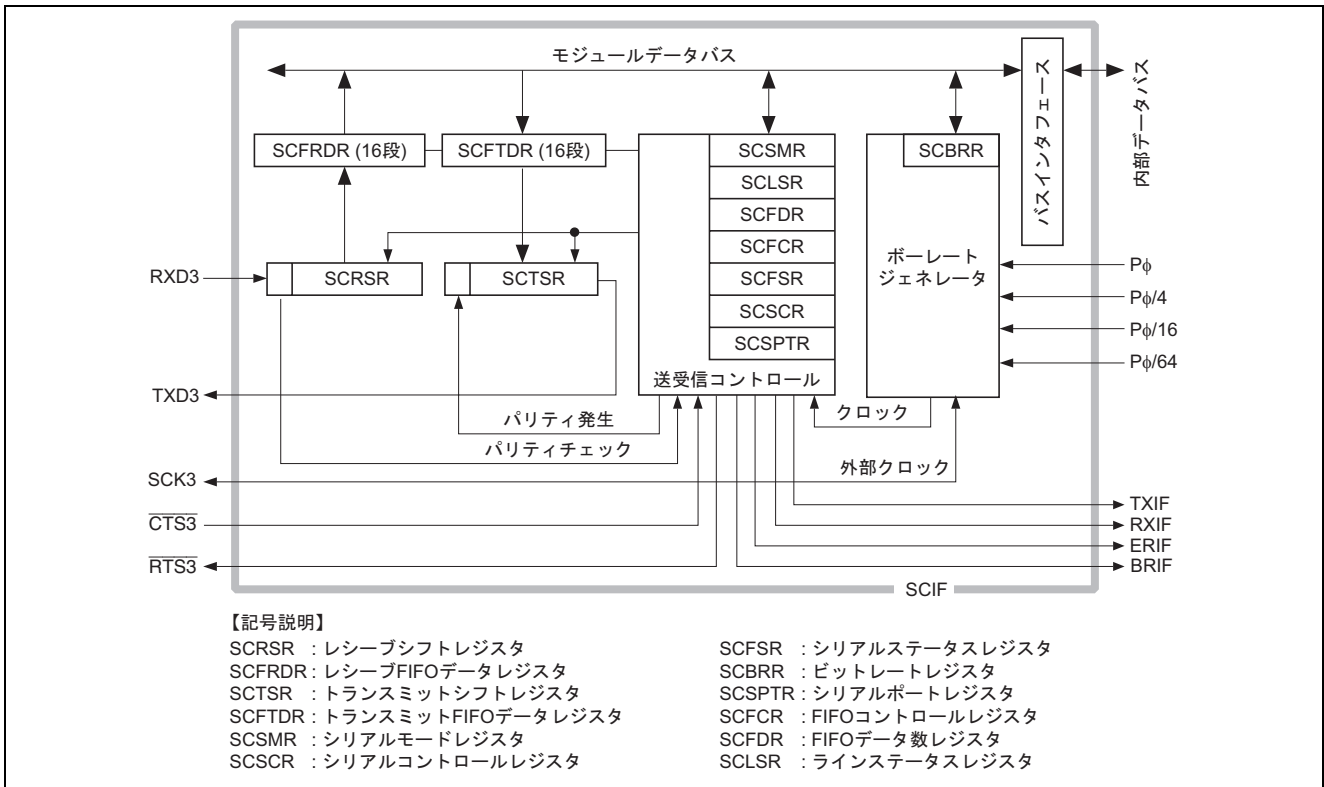


図2 SCIFのブロック図

- レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。CPU から直接 SCRSR の読み出し/書き込みをすることはできません。
- レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込むことはできません。レシーブ FIFO データレジスタに受信データがない状態で読み出すと値は不定になります。このレジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。
- トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。
- トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は、常に CPU による書き込みが可能です。SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことはできません。書き込みを試みてもデータは無視されます。

- シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。SCSMR は、常に CPU による読み出し/書き込みが可能です。
- シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行う 16 ビットのレジスタです。SCSCR は、常に CPU による読み出し/書き込みが可能です。
- シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。SCFSR は常に CPU から読み出し/書き込みが可能です。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。
- ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。SCBRR は、常に CPU による読み出し/書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。
- シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御する 16 ビットのレジスタです。ビット 7、6 で $\overline{\text{RTS}}$ 端子を制御できます。ビット 5、4 で $\overline{\text{CTS}}$ 端子を制御できます。ビット 3、2 で SCK 端子を制御できます。ビット 1、0 によって TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。
- FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行う 16 ビットのレジスタです。またループバックテストの許可ビットを含んでいます。SCFCR は、常に CPU による読み出し/書き込みが可能です。
- FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示す 16 ビットのレジスタです。上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。
- ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU による読み出し/書き込みが可能な 16 ビットのレジスタです。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

3.2 DTC の動作概要

DTC は、内蔵周辺モジュールの割り込み要求によって起動され、データ転送を行うことができます。

表 3 に DTC の概要を示します。また、図 3 に DTC のブロック図を示します。

表 3 DTC の概要

項目	概要
チャンネル数	任意チャンネル数の転送が可能
転送モード	<ul style="list-style-type: none"> ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能 転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
データ転送サイズ	バイト、ワード、ロングワードに設定可能
割り込み要求	DTC を起動した割り込みを CPU に要求可能 <ul style="list-style-type: none"> 一回のデータ転送終了後に CPU に対する割り込み要求を発生可能 指定したデータ転送終了後に CPU に対する割り込み要求を発生可能
その他	<ul style="list-style-type: none"> チェイン転送 (一つの起動要因に対して複数のデータ転送) が可能 転送元、転送先アドレスを 32 ビットで指定でき、4G バイトのアドレス空間を直接指定可能 転送情報のリードスキップを指定可能 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行 ショートアドレスモードの設定が可能 バス権解放タイミングを 5 種類から選択可能 DTC 起動時の優先順位を 2 種類から選択可能

【注】 DTC の詳細については、SH7080 グループ ハードウェアマニュアル データトランスファコントローラ (DTC) の記述をご参照ください。

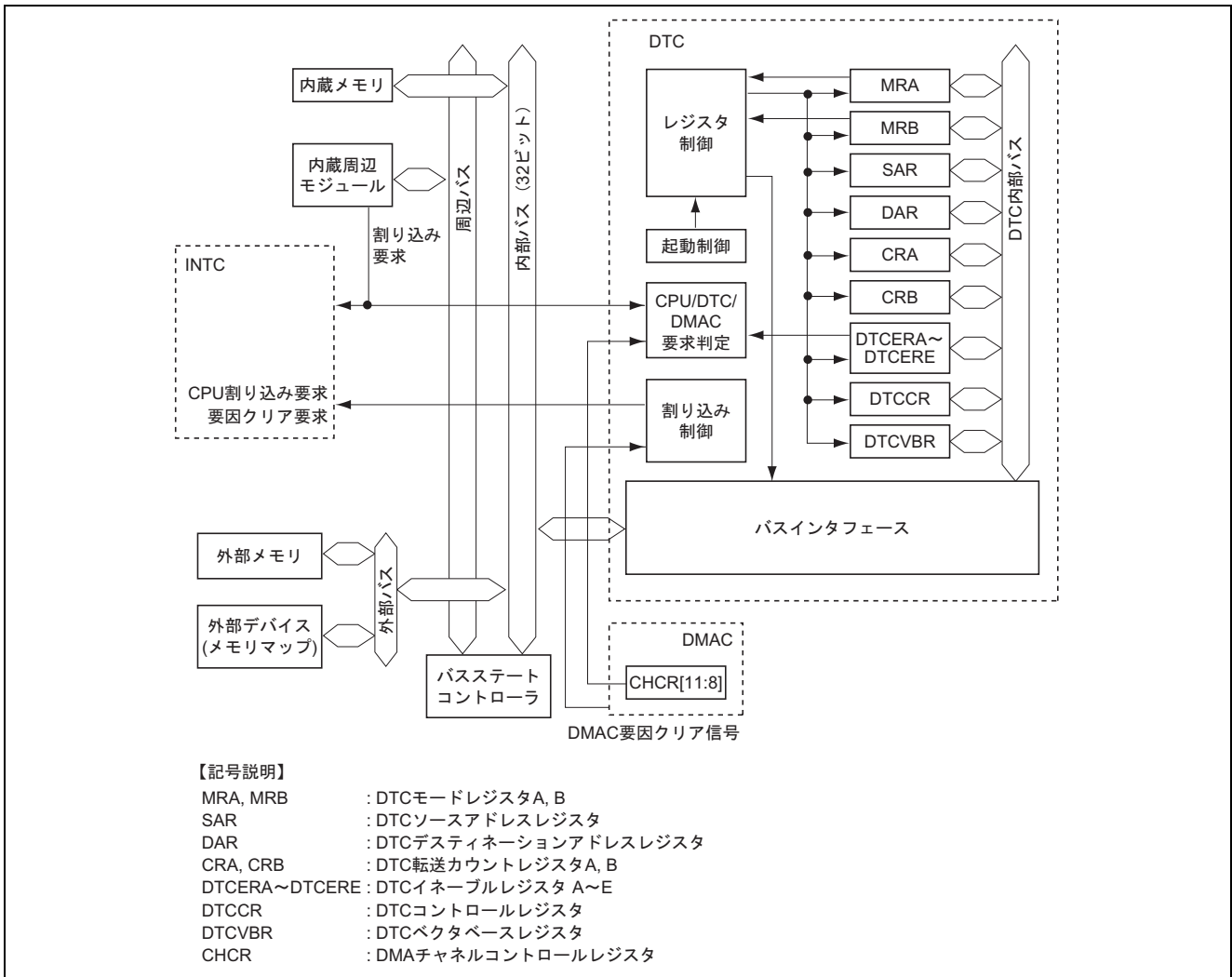


図 3 DTC のブロック図

- DTC モードレジスタ A (MRA)
MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。
- DTC モードレジスタ B (MRB)
MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。
- DTC ソースアドレスレジスタ (SAR)
SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。SAR は、CPU から直接アクセスすることはできません。
- DTC デスティネーションアドレスレジスタ (DAR)
DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。DAR は、CPU から直接アクセスすることはできません。
- DTC 転送カウントレジスタ A (CRA)
CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。CRA は、CPU から直接アクセスすることはできません。
- DTC 転送カウントレジスタ B (CRB)
CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。
- DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE)
DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERE があります。各割り込み要因と DTCE ビットの対応についてはハードウェアマニュアルをご参照ください。
- DTC コントロールレジスタ (DTCCR)
DTCCR は、転送情報リードスキップを設定します。
- DTC ベクタベースレジスタ (DTCVBR)
DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。
- DMA チャネルコントロールレジスタ (CHCR)
CHCR は、ダイレクトメモリアクセスコントローラ (DMAC) の制御レジスタです。読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

4. 動作説明

本応用例では、SCIF チャンネル 3 をクロック同期モード送受信モジュールとして使用して、32 バイトの同時送受信を行います。SCIF のシリアル送信データ、および受信データの転送には、DTC モジュールのデータ転送機能を使用します。シリアル受信用の DTC は、SCIF の送信 FIFO データエンpty 割り込み要求を起動要因として、データをシリアル受信 FIFO レジスタから内蔵 RAM に転送します。また、シリアル送信用の DTC は、SCIF の受信データフル割り込み要求を起動要因として、データを内蔵 RAM からシリアル送信 FIFO レジスタに転送します。

本応用例の SCIF 通信機能の設定条件、および DTC の転送条件を表 4 と表 5 に示します。また、本応用例の動作タイミングを図 4 に示します。

表 4 SCIF の設定条件

条件	設定
通信モード	クロック同期モード
通信速度	100,000 [bps]
データ長	8 ビットデータ
ビット順序	LSB ファースト (固定)
同期クロック	SCK 端子から同期クロック出力
FIFO データ数トリガ	<ul style="list-style-type: none"> 送信トリガ: 8 受信トリガ: 1
割り込み	<ul style="list-style-type: none"> 送信 FIFO データエンpty (TXIF): 送信用の DTC を起動 レシーブ FIFO データフル (RXFI): 受信用の DTC を起動 受信エラー割り込み (BRIF)
使用チャンネル	チャンネル 3

表 5 DTC の転送条件

条件	SCIF 送信側 DTC の転送条件 (DTC_TX)	SCIF 受信側 DTC の転送条件 (DTC_RX)
転送モード	ノーマルモード	ノーマルモード
転送回数	32 回	32 回
転送サイズ	バイト転送	バイト転送
転送元	内蔵 RAM: Tx_data[32]	SCIF チャンネル 0 レシーブ FIFO データレジスタ
転送先	SCIF チャンネル 0 トランスミット FIFO データレジスタ	内蔵 RAM: Rx_data[32]
転送元アドレス	アドレスをインクリメント	転送元アドレス転送元は固定
転送先アドレス	転送先アドレス転送先は固定	アドレスをインクリメント
起動要因	SCIF の送信 FIFO データエンpty 割り込み (TXIF 割り込み) で DTC 起動	SCIF の受信データフル割り込み (RXIF 割り込み) で DTC 起動
割り込み処理	指定したデータ転送終了後、DTC 起動要因の CPU に対する割り込みを許可	指定したデータ転送終了後、DTC 起動要因の CPU に対する割り込みを許可

5. ソフトウェア説明

5.1 関数一覧

本応用例で使用する関数一覧を示します。

表 6 関数一覧

関数名	機能
void main(void)	メインルーチン <ul style="list-style-type: none"> • DTC の初期設定 • シリアル (SCIF) の初期設定およびシリアル送受信動作を許可
void init_dtc(void)	DTC の初期設定ルーチン DTCN の転送条件の設定を行います。main()関数で実行
void init_io_scif(void)	SCIF の初期設定ルーチン SCIF の通信条件の設定を行います。main()関数で実行
void int_scif_rxif_end(void)	シリアル受信用 DTC 転送終了割り込みルーチン 割り込み要因は、SCIF 受信データフル割り込み (RXIF) です。シリアル受信用の DTC 転送完了時に実行
void int_scif_txif_end(void)	シリアル送信用の DTC 転送終了割り込みルーチン 割り込み要因は、SCIF 送信 FIFO データエンpty割り込み (RXIF) です。シリアル送信用の DTC 転送完了時に実行
void int_scif_brif(void)	SCIF 受信エラー割り込みルーチン SCIF のオーバランエラー発生時の割り込み (BRIF) 処理

5.2 使用変数

本応用例で使用する変数を示します。

表 7 変数一覧

変数, ラベル名	機能	参照関数
unsigned char Tx_data[32]	シリアル送信データの格納する配列変数	main()
unsigned char Rx_data[32]	シリアル受信データの格納する配列変数	main()
struct st_dtc_info DTC_RXIF	SCIF 受信用の DTC 転送情報を格納する構造体変数	init_dtc()
struct st_dtc_info DTC_TXIF	SCIF 送信用の DTC 転送情報を格納する構造体変数	init_dtc()
void *vec_scif_rxif	DTC 転送情報 DTC_RXIF 構造体変数の先頭アドレスを格納するポインタ変数。DTC ベクタテーブルの設定で使用	main()
void *vec_scif_txif	DTC 転送情報 DTC_TXIF 構造体変数の先頭アドレスを格納するポインタ変数。DTC ベクタテーブルの設定で使用	main()

5.3 セクション設定

本応用例でのプログラムのセクションの割り付けを示します。

表 8 セクション設定

アドレス	セクション名	説明
H'00000000	DVECTTBL	リセットベクタテーブル
	DINTTBL	割り込みベクタテーブル
	PIntPRG	割り込み関数プログラム
H'00000800	PResetPRG	パワーオンリセットプログラム
H'00001000	P	プログラム領域
	C\$DSEC	D セクション初期化用のアドレスを格納
	C\$BSEC	B セクション初期化用のアドレスを格納
	D	初期値付き変数の初期値を格納
H'FFFF4000	B	初期値無し変数を格納
	R	初期値付き変数を格納
H'FFFFB794	DDTC_VECT_SCIF_RXIF	SCIF 受信用の DTC ベクタアドレス DTC 転送情報の配置アドレスを格納
H'FFFFB79C	DDTC_VECT_SCIF_TXIF	SCIF 送信用の DTC ベクタアドレス DTC 転送情報の配置アドレスを格納
H'FFFFBC00	S	スタック格納領域

5.4 レジスタ設定

本応用例で使用するレジスタ設定を示します。なお、設定値は本応用例において使用している値であり、初期値とは異なります。

5.4.1 クロック発振器 (CPG) の設定

(1) 周波数制御レジスタ (FRQCR)

機能: PLL 回路の出力周波数に対しての動作周波数の分周率を指定します。

設定値: H'0249

ビット	ビット名	設定値	内容
15	—	0	リザーブビット
14 ~ 12	IFC[2:0]	000	内容クロック ($I\phi$) 周波数の分周率 000: $\times 1$ 倍, 入力クロック 10MHz のとき $I\phi = 80\text{MHz}$
11 ~ 9	BFC[2:0]	001	バスクロック ($B\phi$) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき $B\phi = 40\text{MHz}$
8 ~ 6	PFC[2:0]	001	周波クロック ($P\phi$) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき $P\phi = 40\text{MHz}$
5 ~ 3	MIFC[2:0]	000	MTU2S クロック ($MI\phi$) 周波数の分周率 000: $\times 1/2$ 倍, 入力クロック 10MHz のとき $MI\phi = 40\text{MHz}$
2 ~ 0	MPFC[2:0]	001	MTU2 クロック ($MP\phi$) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき $MP\phi = 40\text{MHz}$

5.4.2 低消費電力モードの設定

(1) スタンバイコントロールレジスタ 2 (STBCR2)

機能: 低消費電力時の各モジュールの動作を制御します。

設定値: H'28

ビット	ビット名	設定値	内容
7	MSTP7	0	モジュールストップビット 7, RAM へのクロックの供給設定 0: RAM は動作
6	MSTP6	0	モジュールストップビット 6, ROM へのクロックの供給設定 0: ROM は動作
5	—	1	リザーブビット
4	MSTP4	1	モジュールストップビット 4, DTC へのクロックの供給設定 0: DTC は動作
3	MSTP18	0	モジュールストップビット 3, DMAC へのクロックの供給を設定 1: DMAC へのクロック供給を停止
2~0	—	000	リザーブビット

(2) スタンバイコントロールレジスタ 3 (STBCR3)

機能: 低消費電力時の各モジュールの動作を制御します。

設定値: H'BF

ビット	ビット名	設定値	内容
7	MSTP15	1	モジュールストップビット 15, I ² C2 へのクロックの供給設定 1: I ² C2 へのクロック供給を停止
6	MSTP14	0	モジュールストップビット 14, SCIF へのクロックの供給設定 0: SCIF は動作
5	MSTP13	1	モジュールストップビット 13, SCI_2 へのクロックの供給設定 1: SCI_2 へのクロック供給を停止
4	MSTP12	1	モジュールストップビット 12, SCI_1 へのクロックの供給設定 1: SCI_1 へのクロック供給を停止
3	MSTP11	1	モジュールストップビット 11, SCI_0 へのクロックの供給設定 1: SCI_0 へのクロック供給を停止
2	MSTP10	1	モジュールストップビット 10, SSU へのクロックの供給設定 1: SSU へのクロック供給を停止
1, 0	—	11	リザーブビット

5.4.3 DTC の設定

(1) DTC コントロールレジスタ (DTCCR)

機能: 転送情報リードスキップを設定します。

設定値: H'10

ビット	ビット名	設定値	内容
7~5	—	000	リザーブビット
4	RSS	1	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	0: リピート転送後のチェイン転送を禁止
2, 1	—	00	リザーブビット
0	ERR	0	転送停止フラグ 0: 割り込み要求なし

(2) SCIF 送信用 DTC 転送情報 DTC_TXIF 変数 (MRA, MRB, SAR, DAR, CRA, CRB) の設定

- DTC モードレジスタ A (MRA)

機能: DTC の動作モードの選択を行います (SCIF 送信用転送情報)。

設定値: H'08

ビット	ビット名	設定値	内容
7, 6	MD[1:0]	00	00: ノーマル転送モード
5, 4	SZ[1:0]	00	00: バイトサイズ転送
3, 2	SM[1:0]	10	10: 転送後 SAR をインクリメント
1, 0	—	00	リザーブビット

- DTC モードレジスタ B (MRB)

機能: DTC の動作モードの選択を行います (SCIF 送信用転送情報)。

設定値: H'00

ビット	ビット名	設定値	内容
7	CHNE	0	0: チェイン転送禁止
6	CHNS	0	0: 連続してチェイン転送を行う。 (チェイン転送禁止のため、設定自体は無効)
5	DISEL	0	DTC インタラプトセレクト 0: 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生。
4	DTS	0	0: デスティネーション側がリピート領域またはブロック領域 (チェイン転送禁止のため、設定自体は無効)
3, 2	DM[1:0]	00	0x: DAR は固定
1, 2	—	00	リザーブビット

- DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタです。DTC の転送するデータの転送元アドレスを指定します。SCIF 送信用データの格納 RAM アドレスを指定します。

設定値: 配列変数 Tx_data[] の先頭アドレス

- DTC デスティネーションアドレスレジスタ (DAR)
 DAR は 32 ビットのレジスタです。DTC の転送するデータの転送先アドレスを指定します。SCIF の送信レジスタのアドレスを指定します。
 設定値: トランスミット FIFO データレジスタ (SCFTDR) のアドレス
- DTC 転送カウントレジスタ A (CRA)
 CRA は 16 ビットのレジスタです。DTC のデータ転送の転送回数を指定します。
 設定値: 0x20
- DTC 転送カウントレジスタ B (CRB)
 CRB は 16 ビットのレジスタです。ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。ブロック転送モードは未使用の為、設定自体は無効です。
 設定値: 0

(3) SCIF 受信用転送情報 DTC_RXIF 変数 (MRA, MRB, SAR, DAR, CRA, CRB) の設定

- DTC モードレジスタ A (MRA)
 機能: DTC の動作モードの選択を行います (SCIF 送信用転送情報)。
 設定値: H'00

ビット	ビット名	初期値	内容
7, 6	MD[1:0]	00	00: ノーマル転送モード
5, 4	SZ[1:0]	00	00: バイトサイズ転送
3, 2	SM[1:0]	00	0x: SAR は固定
1, 0	—	00	リザーブビット

- DTC モードレジスタ B (MRB)
 機能: DTC の動作モードの選択を行います (SCIF 送信用転送情報)。
 設定値: H'08

ビット	ビット名	設定値	内容
7	CHNE	0	0: チェイン転送禁止
6	CHNS	0	0: 連続してチェイン転送を行う。(チェイン転送禁止のため、設定自体は無効)
5	DISEL	0	DTC インタラプトセレクト 0: 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生。
4	DTS	0	0: デスティネーション側がリピート領域またはブロック領域 (チェイン転送禁止のため、設定自体は無効)
3,2	DM[1:0]	10	10: 転送後 DAR をインクリメント
1,2		00	リザーブビット

- DTC ソースアドレスレジスタ (SAR)
 SAR は 32 ビットのレジスタです。DTC の転送するデータの転送元アドレスを指定します。SCIF の受信レジスタのアドレスを指定します。
 設定値: レシーブ FIFO データレジスタ (SCFRDR) のアドレス

- DTC デスティネーションアドレスレジスタ (DAR)
 DAR は 32 ビットのレジスタです。DTC の転送するデータの転送先アドレスを指定します。SCIF 受信データを格納する RAM アドレスを指定します。
 設定値: 配列変数 Rx_data[] の先頭アドレス

 - DTC 転送カウントレジスタ A (CRA)
 CRA は 16 ビットのレジスタです。DTC のデータ転送の転送回数を指定します。
 設定値: 0x20

 - DTC 転送カウントレジスタ B (CRB)
 CRB は 16 ビットのレジスタです。ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。ブロック転送モードは未使用の為、設定自体は無効です。
 設定値: 0
- (4) DTC ベクタベースレジスタ (DTCVBR)
 DTCVBR は 32 ビットのレジスタです。ベクタテーブルアドレス算出時のベースアドレスを設定します。内蔵 RAM に設定します。
 設定値: 0xFFFFFB000
- (5) DTC イネーブルレジスタ E (DTCERE)
 DTC を起動するための割り込み要因を選択します。
 設定値: H'0300

ビット	ビット名	設定値	内容
15	DTCE15	0	0: 対応する割り込み要因なし
14	DTCE14	0	0: 対応する割り込み要因なし
13	DTCE13	0	0: 対応する割り込み要因なし
12	DTCE12	0	0: 対応する割り込み要因なし
11	DTCE11	0	0: 対応する割り込み要因なし
10	DTCE10	0	0: 対応する割り込み要因なし
9	DTCE9	1	起動要因 SCIF の RXIF (受信データフル割り込み)
8	DTCE8	1	起動要因 SCIF の TXIF (送信 FIFO データエンプティ割り込み)
7	DTCE7	0	0: 対応する割り込み要因なし
6	DTCE6	0	0: 対応する割り込み要因なし
5	DTCE5	0	0: 対応する割り込み要因なし
4	DTCE4	0	0: 対応する割り込み要因なし
3	DTCE3	0	0: 対応する割り込み要因なし
2	DTCE2	0	0: 対応する割り込み要因なし
1	DTCE1	0	0: 対応する割り込み要因なし
0	DTCE0	0	0: 対応する割り込み要因なし

5.4.4 FIFO 付きシリアルコミュニケーションインタフェース (SCIF) の設定

(1) シリアルコントロールレジスタ (SCSCR)

送信/受信動作, 割り込み要求の許可/禁止, および送信/受信クロックソースの選択をします。

設定値: H'00F0

ビット	ビット名	値	設定
15~8		00000000	リザーブ
7	TIE	1	1: 送信 FIFO データエンブティ 割り込み(TXIF)要求を許可
6	RIE	1	1: 受信データフル割り込み (RXIF) 要求, 受信エラー 割り込み (ERIF) 要求, およびブレーク 割り込み (BRIF) 要求を許可
5	TE	1	0: 送信動作を禁止 1: 送信動作を許可
4	RE	1	0: 受信動作を禁止 1: 受信動作を許可
3	REIE	0	0: 受信エラー 割り込み (ERIF) 要求, およびブレーク 割り込み (BRIF)要求を禁止。ただし, 本ビット (REIE) の設定は RIE ビットが 0 のときのみ有効
2		0	リザーブビット
1,0	CKE[1:0]	00	クロック同期式モード 内部クロック/SCK 端子は同期クロック出力

(2) FIFO コントロールレジスタ (SCFCR)

トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット, トリガデータ数の設定を行います。

設定値:H'0000

ビット	ビット名	値	設定
15~11		00000	リザーブビット
10~8	RSTRG[2:0]	000	000: RTS 出力アクティブトリガ。 本ビットは調歩同期式モードで, モデム信号を許可した場合のみ設定が有効
7, 6	RTRG[1:0]	00	レシーブ FIFO データ数トリガ 00: トリガ数 = 1 (クロック同期式モード時)
5, 4	TTRG[1:0]	00	トランスミット FIFO データ数トリガ 00: トリガ数 = 8
3	MCE	0	モデムコントロール信号 \overline{CTS} , \overline{RTS} を許可/禁止します。 0: モデム信号を禁止
2	TFRST	0	0: トランスミット FIFO データレジスタのリセット動作を禁止 1: トランスミット FIFO データレジスタのリセット動作を許可
1	RFRST	0	0: レシーブ FIFO データレジスタのリセット動作を禁止 1: レシーブ FIFO データレジスタのリセット動作を許可
0	LOOP	0	送信出力端子 (TXD) と受信入力端子 (RXD), RTS 端子と \overline{CTS} 端子を内部で接続し, ループバックテストを可能にします。 0: ループバックテストを禁止

(3) シリアルステータスレジスタ (SCFSR)

上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を示します。下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

設定値: H'0000

ビット	ビット名	値	設定
15~12	PER[3:0]	0000	パリティエラー数
11-8	FER[3:0]	0000	フレーミングエラー数
7	ER	0	受信エラー 0: 受信中, または正常に受信を完了したことを表示
6	TEND	0	トランスミットエンド 0: 送信中であることを表示(1: 送信を終了したことを表示)
5	TDFE	0	送信 FIFO データエンpty 0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多い 1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より少ない
4	BRK	0	ブレーク検出 0: ブレーク信号なし
3	FER	0	フレーミングエラー表示 0: フレーミングエラーなし
2	PER	0	0: パリティエラーなし
1	RDF	0	レシーブ FIFO データフル 0: SCFRDR 受信データ数が指定受信トリガ数より少ない 1: SCFRDR の受信データ数が指定受信トリガ数以上である
0	DR	0	レシーブデータレディ 0: 受信中であるか, 正常に受信後 SCFRDR に受信データが残っていないただし, クロック同期式モードに設定した場合はセットされない

(4) ラインステータスレジスタ (SCLSR)

機能: SCLSR は, 常に CPU による読み出し/が可能な 16 ビットのレジスタです。

設定値: H'0000

ビット	ビット名	値	設定
15~1		0..0	リザーブビット
0	ORER	0	オーバランエラー 0: 受信中, または正常に受信完了したことを表示 1: 受信時にオーバランエラーが発生したことを表示 ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには, あらかじめ 1 を読み出しておく必要があります。

(5) シリアルモードレジスタ (SCSMR)

機能: 通信フォーマットの設定と, ボーレートジェネレータのクロックソースの選択をします。

設定値: H'0080

ビット	ビット名	値	設定
15~8		0..0	リザーブビット
7	C/A	1	1: クロック同期式モード
6	CHR	0	0: 8 ビットデータ クロック同期式モードでは, CHR の設定にかかわらず, データ長は 8 ビットデータ固定となります。
5	PE	0	0: パリティビットの付加, およびチェック禁止 クロック同期式モードでは, PE ビットの設定にかかわらずパリティビットの付加, およびチェックは行いません。
4	O/E	0	パリティモード 0: PE = 0 なので O/E ビットの指定は無効です。
3	STOP	0	ストップビットレングス 0: 1 ストップビット クロック同期式モードに設定した場合にはストップビットは付加されませんので, このビットの設定は無効です。
2		0	リザーブビット
1, 0	CKS[1:0]	00	内蔵ボーレートジェネレータのクロックソースを選択 00: Pφクロック

(6) ビットレートレジスタ (SCBRR)

シリアルモードレジスタ (SCSMR) の CKS1, CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて, シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

設定値: SCBRR = 63 (H'40)

設定条件を以下に示します。

- クロック同期式モード, ビットレート = 100,000 [bps]
- 内蔵ボーレートジェネレータのクロックソースを Pφクロック (SCSMR の CKS[1:0]ビット = B'00)
- Pφクロック = 40MHz

ビットレートレジスタ (SCBRR) の詳細は, ハードウェアマニュアルをご参照ください

5.4.5 I/O ポートの設定

(1) ポート E データレジスタ L (PEDRL)

ポート E のデータを格納します。端子機能が汎用出力 (ポート) の場合には、PEDRL に値を書き込むと端子からその値出力されます。ポート PE6 (SCK3) 出力端子の値を 1 とします。

設定値: H'0040

ビット	ビット名	値	設定
15	PE15DR	0	PE15 端子がポート出力の場合の端子出力値
14	PE14DR	0	PE14 端子がポート出力の場合の端子出力値
13	PE13DR	0	PE13 端子がポート出力の場合の端子出力値
12	PE12DR	0	PE12 端子がポート出力の場合の端子出力値
11	PE11DR	0	PE11 端子がポート出力の場合の端子出力値
10	PE10DR	0	PE10 端子がポート出力の場合の端子出力値
9	PE9DR	0	PE9 端子がポート出力の場合の端子出力値
8	PE8DR	0	PE8 端子がポート出力の場合の端子出力値
7	PE7DR	0	PE7 端子がポート出力の場合の端子出力値
6	PE6DR	1	PE6 端子がポート出力の場合の端子出力値
5	PE5DR	0	PE5 端子がポート出力の場合の端子出力値
4	PE4DR	0	PE4 端子がポート出力の場合の端子出力値
3	PE3DR	0	PE3 端子がポート出力の場合の端子出力値
2	PE2DR	0	PE2 端子がポート出力の場合の端子出力値
1	PE1DR	0	PE1 端子がポート出力の場合の端子出力値
0	PE0DR	0	PE0 端子がポート出力の場合の端子出力値

5.4.6 ピンファンクションコントローラ (PFC) の設定

(1) ポート E コントロールレジスタ L2 (PECRL2)

ポート E にあるマルチプレクス端子の機能を選びます。SCIF の SCK3, TXD3, RXD3 端子を設定します。
 設定値: H'0222

ビット	ビット名	値	設定
15	—	0	リザーブビット
14~12	PE7MD[2:0]	000	000: PE7 入出力 (ポート)
11	—	0	リザーブビット
10~8	PE6MD[2:0]	010	000: PE6 は SCK3 入出力 (SCIF) 端子機能に設定
7	—	0	リザーブビット
6~4	PE5MD[2:0]	010	010: PE5 は TXD3 出力 (SCIF) 端子機能に設定
3	—	0	リザーブビット
2~0	PE4MD[2:0]	010	000: PE4 は RXD3 入力 (SCIF) 端子機能に設定

(2) ポート E・IO レジスタ L (PEIORL)

ポート E にある端子の入出力方向を設定します。SCIF の SCK3, TXD3, RXD3 端子を設定します。
 設定値: H'0060

ビット	ビット名	値	設定
15	PE15IOR	0	0: PE15 入力
14	PE14IOR	0	0: PE14 入力
13	PE13IOR	0	0: PE13 入力
12	PE12IOR	0	0: PE12 入力
11	PE11IOR	0	0: PE11 入力
10	PE10IOR	0	0: PE10 入力
9	PE9IOR	0	0: PE9 入力
8	PE8IOR	0	0: PE8 入力
7	PE7IOR	0	0: PE7 入力
6	PE6IOR	1	0: PE6 出力 (SCK3 出力)
5	PE5IOR	1	1: PE5 出力 (TXD3 出力)
4	PE4IOR	0	0: PE4 入力 (RXD3 入力)
3	PE3IOR	0	0: PE3 入力
2	PE2IOR	0	0: PE2 入力
1	PE1IOR	0	0: PE1 入力
0	PE0IOR	0	0: PE0 入力

5.4.7 割り込みコントローラ (INTC) の設定

(1) インタラプトプライオリティレジスタ L (IPRL)

対応する割り込み要求の優先順位を設定します。
 設定値: H'000F

ビット	ビット名	値	内容
15~12	IPR[15-12]	0000	優先レベル 0
11~8	IPR[11-8]	0000	優先レベル 0
7~4	IPR[7-4]	0000	優先レベル 0
3~0	IPR[3-0]	1111	優先レベル 15, SCIF の (ERIF, RXIF, BRIF, TXIF) 割り込み

6. フローチャート

6.1 メイン関数

図 5 にメイン関数の処理フローを示します。

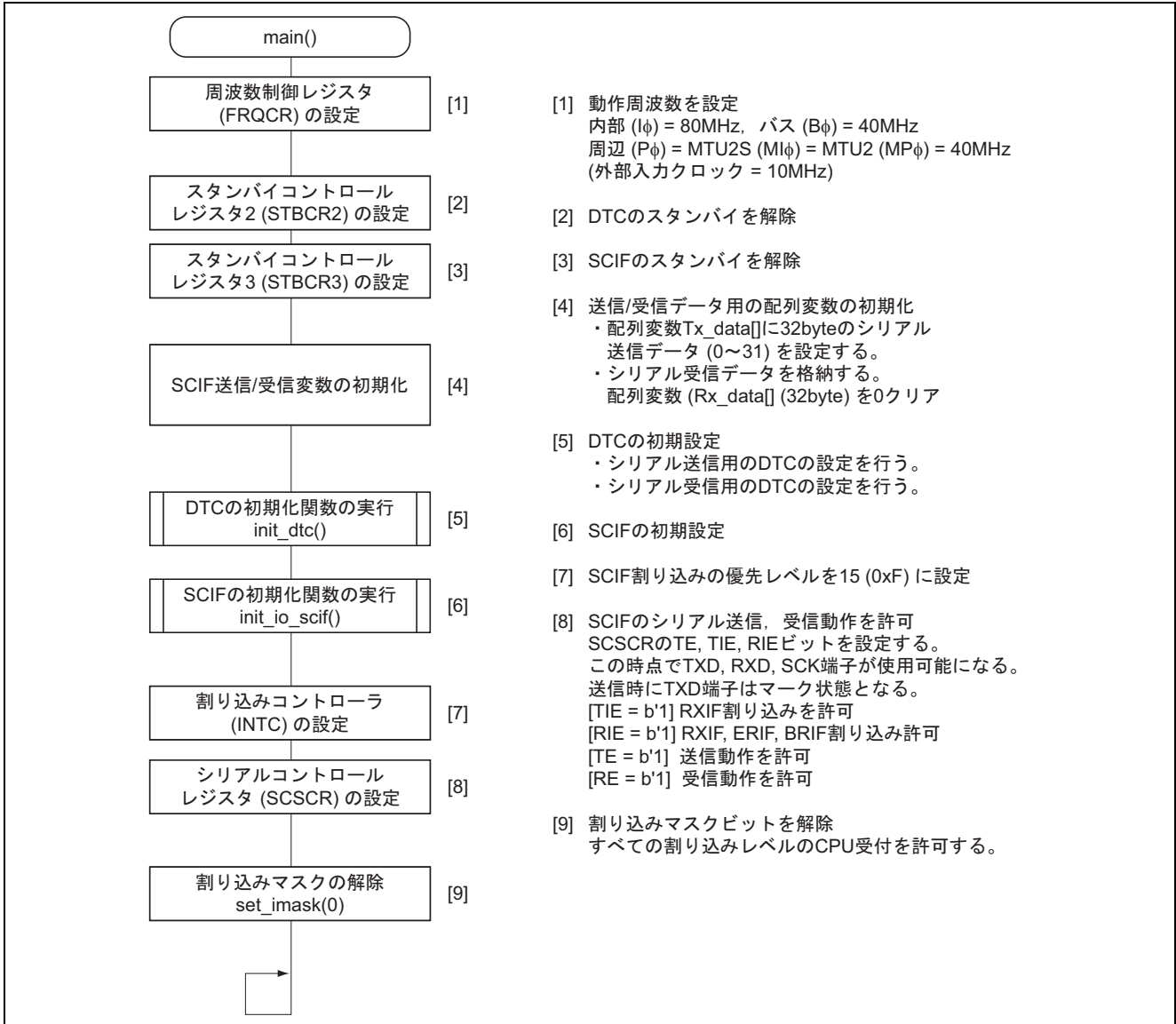


図 5 メイン関数の処理

6.2 DTC 初期設定

図 6 に DTC の初期設定の処理フローを示します。

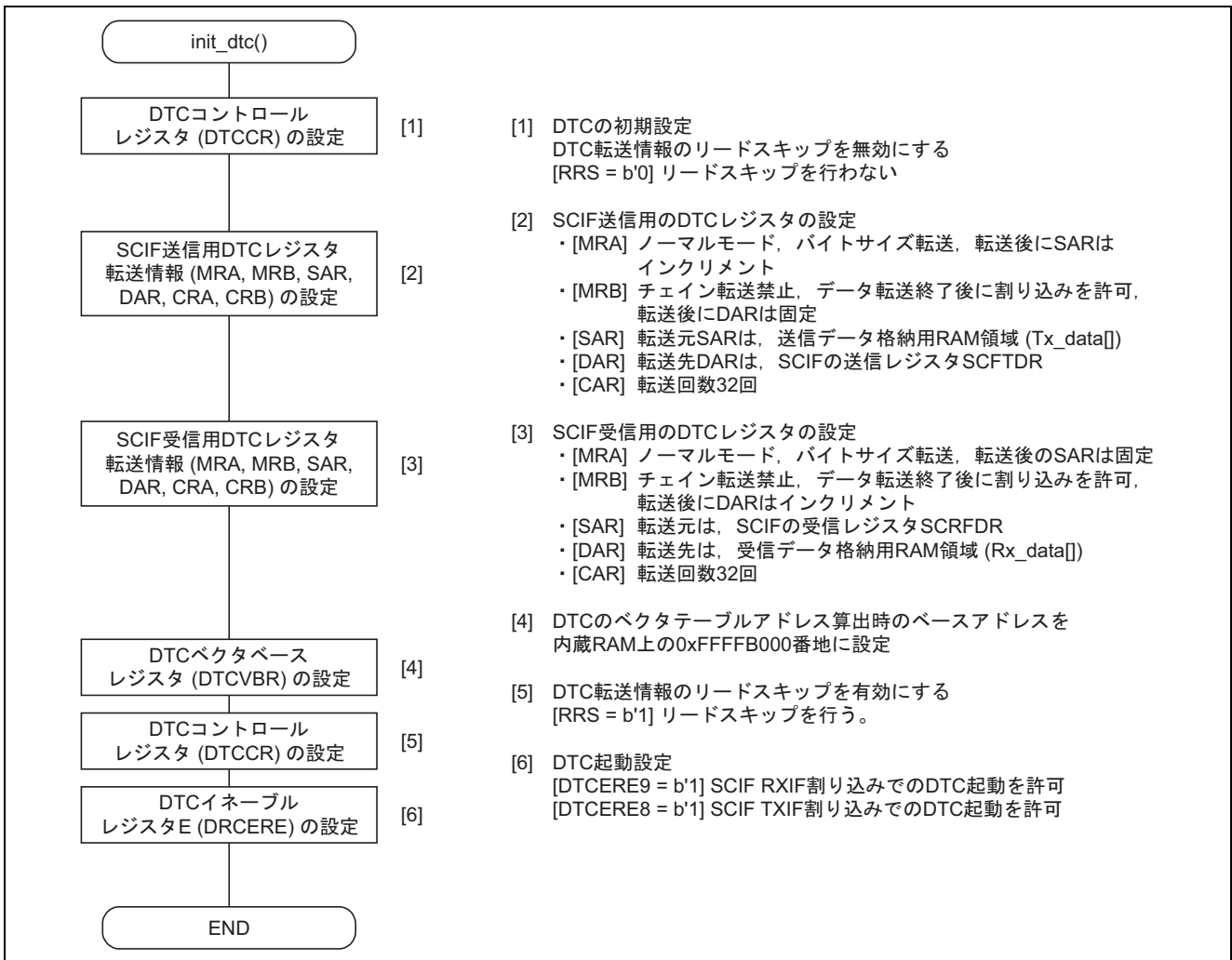


図 6 DTC 初期設定の処理

6.3 SCIF 初期設定

図 7 に SCIF の初期設定の処理フローを示します。

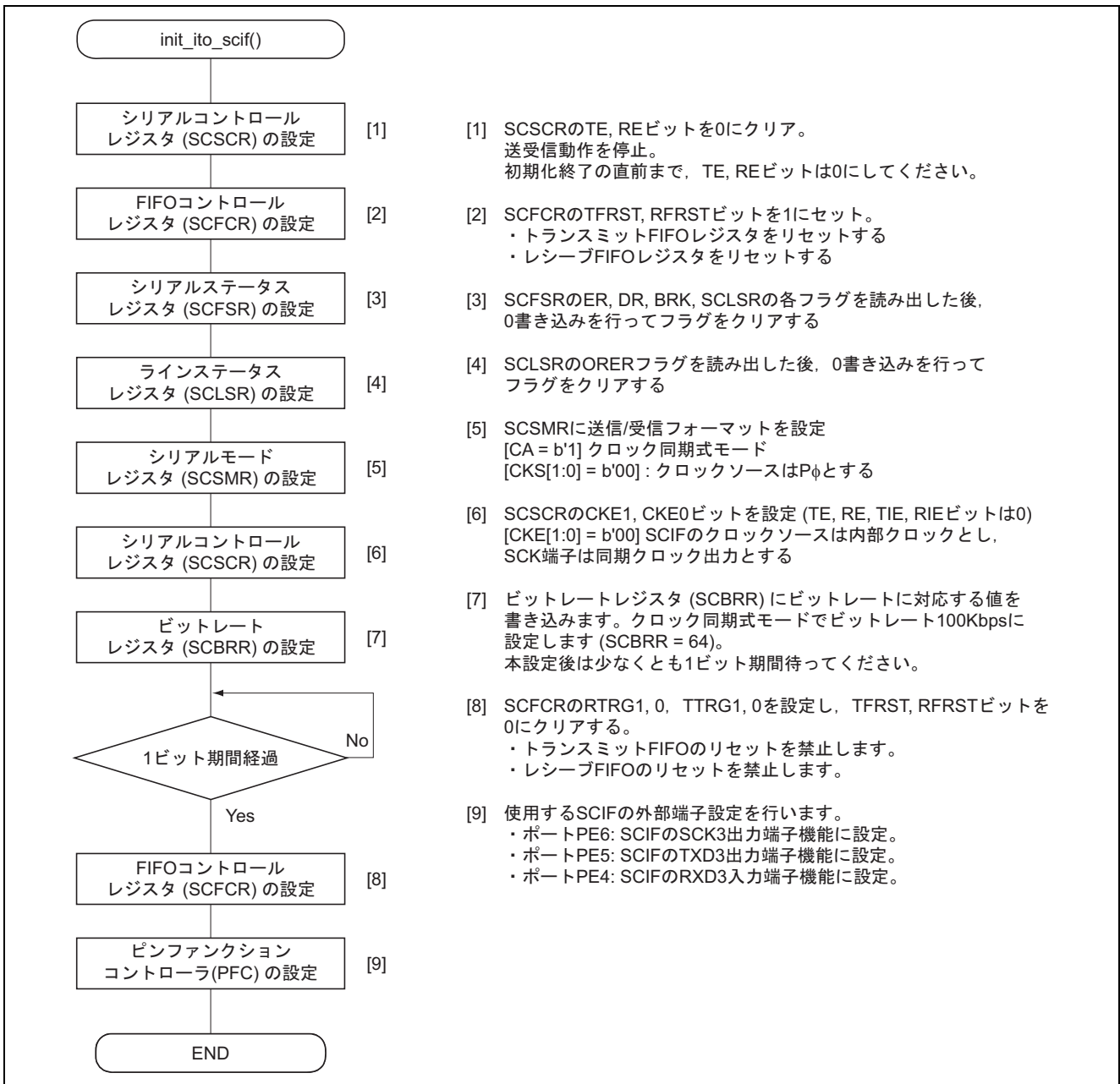


図 7 SCIF 初期設定の処理

6.4 割り込み処理

図 8 に、SCIF 受信割り込み (DTC 転送終了時の割り込み処理)、SCIF 送信割り込み (DTC 転送終了時の割り込み処理)、SCIF エラー割り込みの処理フローを示します。

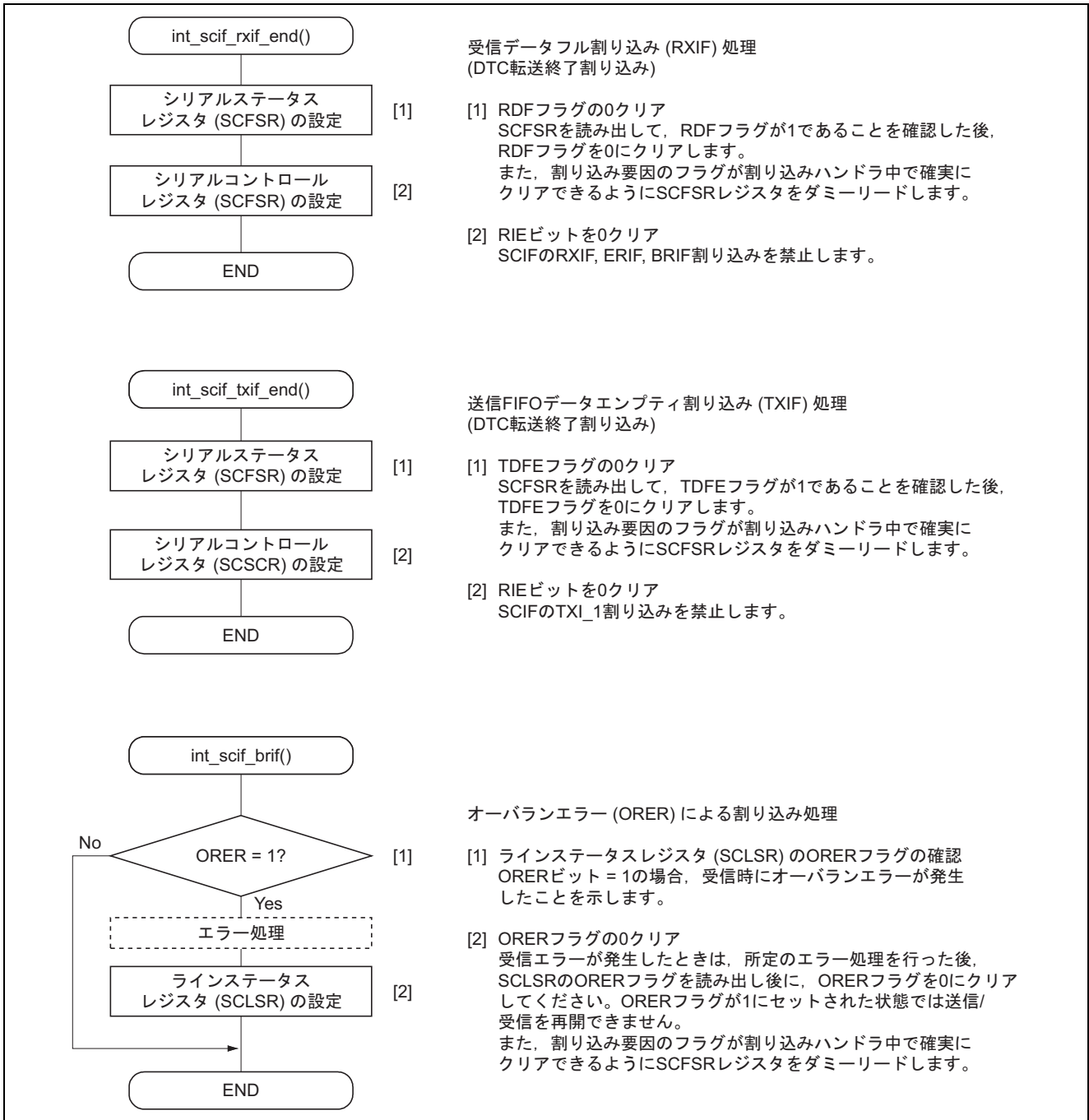


図 8 割り込み処理

7. 参考ドキュメント

- ソフトウェアマニュアル
SH-1/SH-2/SH-DSP ソフトウェアマニュアル
(最新版はルネサス テクノロジーのホームページから入手してください)
- ハードウェアマニュアル
SH7080 グループ ハードウェアマニュアル
(最新版はルネサス テクノロジーのホームページから入手してください)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.02.18	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たっては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444