

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3803グループ (H仕様)

周辺機能の応用

1. はじめに

この資料は3803グループ(H仕様)の周辺機能の設定方法例を説明し、応用例を掲載しています。

この資料で説明する応用例は次のマイコンに適用されます。

- ・マイコン : 3803グループ(H仕様)

2. 応用

- 2.1 入出力ポート
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルI/O
- 2.5 PWM
- 2.6 A-D変換器
- 2.7 D-A変換器
- 2.8 ウォッチドッグタイマ
- 2.9 リセット
- 2.10 クロック発生回路
- 2.11 スタンバイ機能
- 2.12 フラッシュメモリモード

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

0000 ₁₆	ポートP0 (P0)
0001 ₁₆	ポートP0方向レジスタ (P0D)
0002 ₁₆	ポートP1 (P1)
0003 ₁₆	ポートP1方向レジスタ (P1D)
0004 ₁₆	ポートP2 (P2)
0005 ₁₆	ポートP2方向レジスタ (P2D)
0006 ₁₆	ポートP3 (P3)
0007 ₁₆	ポートP3方向レジスタ (P3D)
0008 ₁₆	ポートP4 (P4)
0009 ₁₆	ポートP4方向レジスタ (P4D)
000A ₁₆	ポートP5 (P5)
000B ₁₆	ポートP5方向レジスタ (P5D)
000C ₁₆	ポートP6 (P6)
000D ₁₆	ポートP6方向レジスタ (P6D)
~	
0FF0 ₁₆	ポートP0プルアップ制御レジスタ(PULL0)
0FF1 ₁₆	ポートP1プルアップ制御レジスタ(PULL1)
0FF2 ₁₆	ポートP2プルアップ制御レジスタ(PULL2)
0FF3 ₁₆	ポートP3プルアップ制御レジスタ(PULL3)
0FF4 ₁₆	ポートP4プルアップ制御レジスタ(PULL4)
0FF5 ₁₆	ポートP5プルアップ制御レジスタ(PULL5)
0FF6 ₁₆	ポートP6プルアップ制御レジスタ(PULL6)

図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

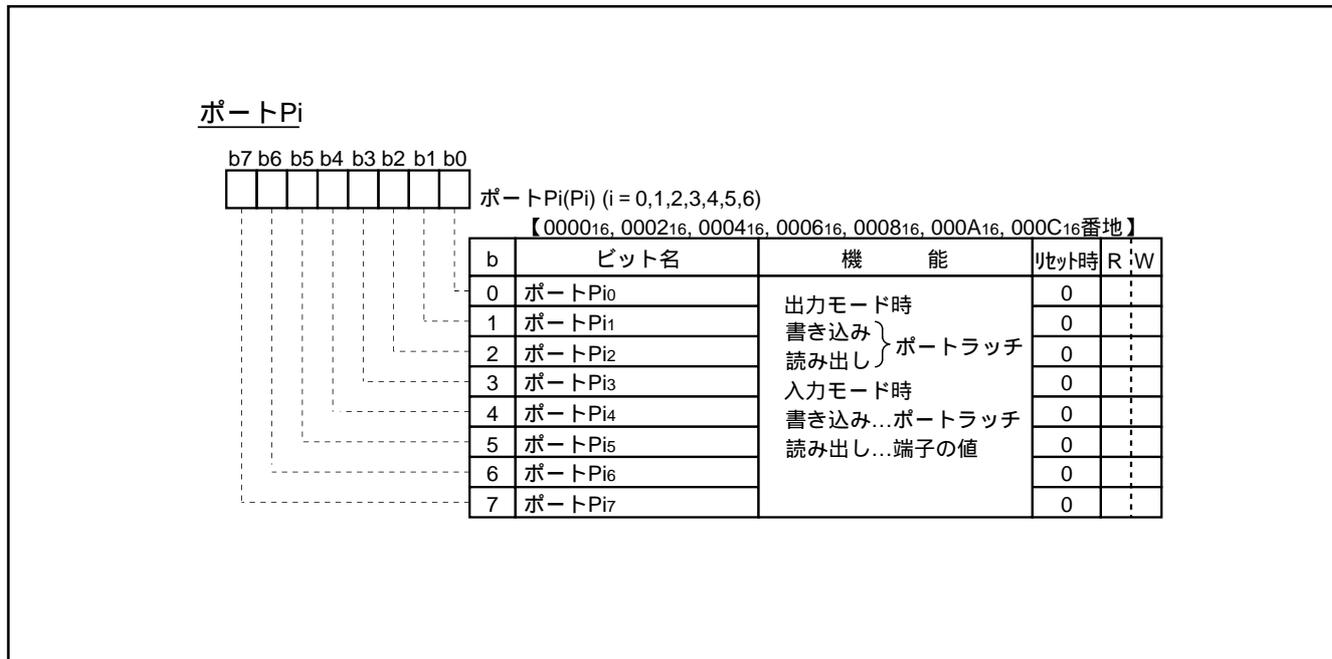


図2.1.2 ポートPiの構成(i = 0 ~ 6)

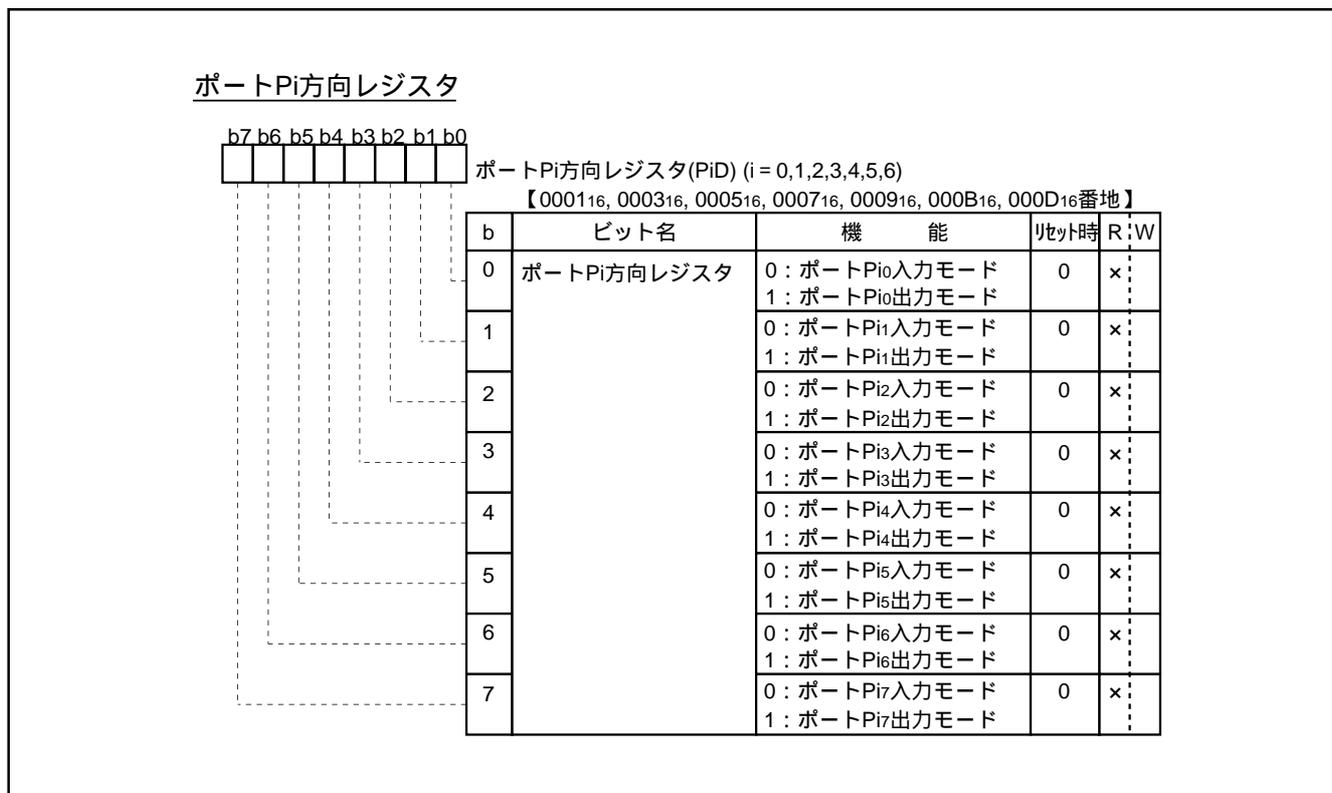
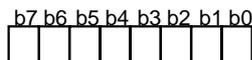


図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 6)

ポートPiプルアップ制御レジスタ(i= 0, 1, 2, 4, 5, 6)



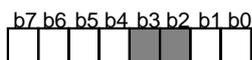
ポートPiプルアップ制御レジスタ(PULLi) (i=0,1,2,4,5,6)

【OFF016, OFF116, OFF216, OFF416, OFF516, OFF616番地】

b	ビット名	機 能	リセット時	R:W
0	Pi0プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
1	Pi1プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
2	Pi2プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
3	Pi3プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
4	Pi4プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
5	Pi5プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
6	Pi6プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
7	Pi7プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	

図2.1.4 ポートPiプルアップ制御レジスタの構成(i = 0, 1, 2, 4, 5, 6)

ポートP3プルアップ制御レジスタ



ポートP3プルアップ制御レジスタ(PULL3)

【OFF316番地】

b	ビット名	機 能	リセット時	R:W
0	P30プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
1	P31プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
2		このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0	x
3		このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0	x
4	P34プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
5	P35プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
6	P36プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	
7	P37プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	

図2.1.5 ポートP3プルアップ制御レジスタの構成

2.1.3 ポートPiプルアップ制御レジスタ

プルアップ制御レジスタによって、ビットごとにプルアップ抵抗の有無を設定できます。プルアップありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

注．ポートP32とP33はNチャンネルオープンドレイン出力のため、プルアップ制御ビットは存在していません。

2.1.4 未使用端子の処理

表2.1.1 未使用端子の処理(シングルチップモード時)

端子/ポート名	処理方法
P0、P1、P2、P3、P4、P5、P6	<ul style="list-style-type: none"> ・入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
AVss端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)

2.1.5 入出力端子に関する注意事項

(1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
 WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*ビット処理命令：SEB命令、CLB命令

2.1.6 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

A-D変換器を使用しない場合のA-D変換用電源端子AVss

A-D変換器を使用しない場合、A-D変換用電源端子AVssは以下のように処理してください。

- ・AVss : Vssに接続

(2) 処理上の留意事項

入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 割り込み

本節では割り込みに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

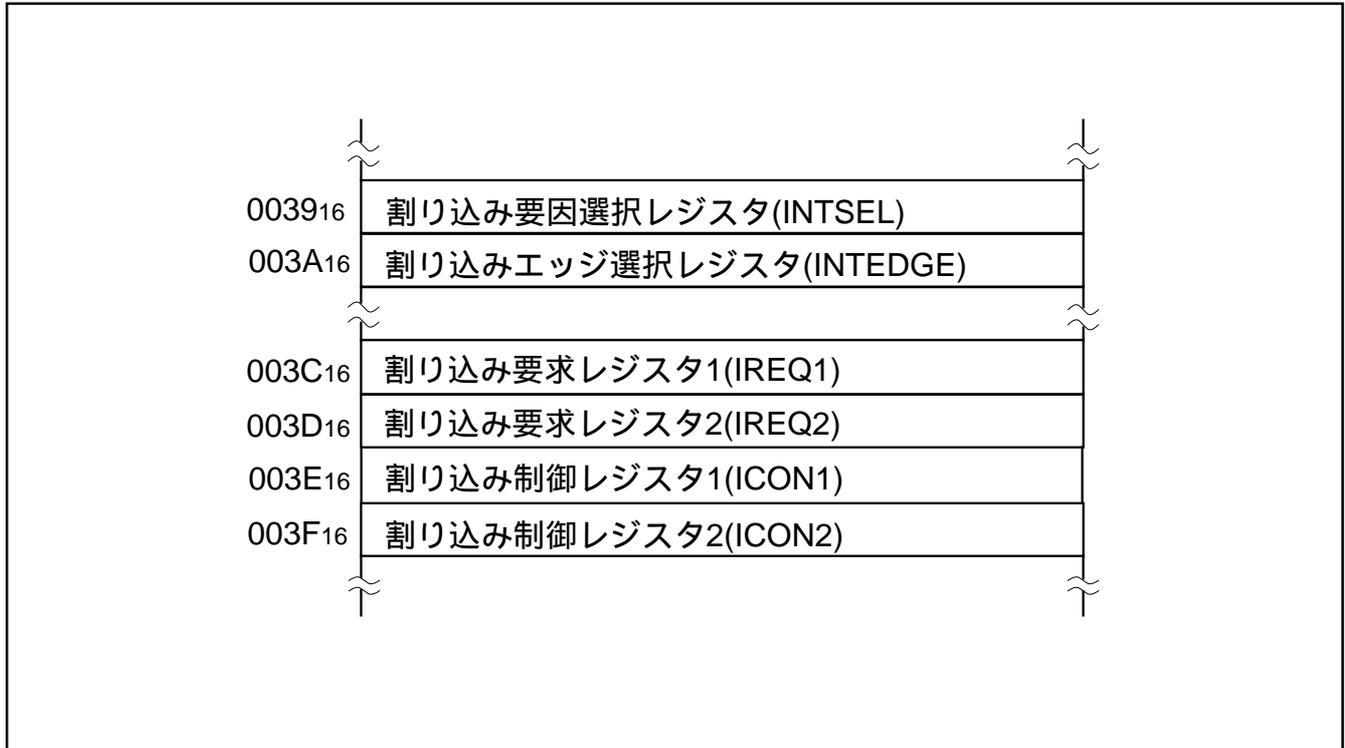


図2.2.1 割り込み関連レジスタのメモリ配置

2.2.2 関連レジスタ

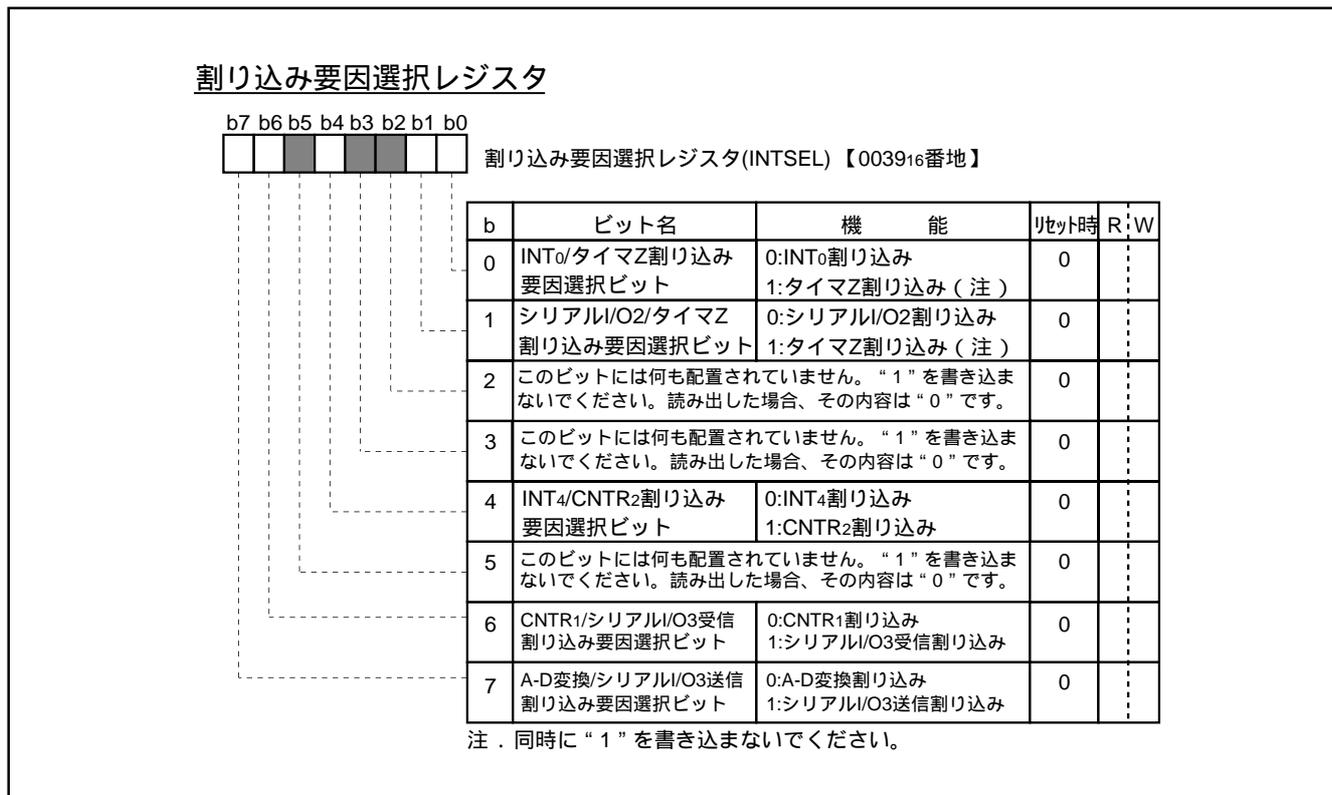


図2.2.2 割り込み要因選択レジスタの構成

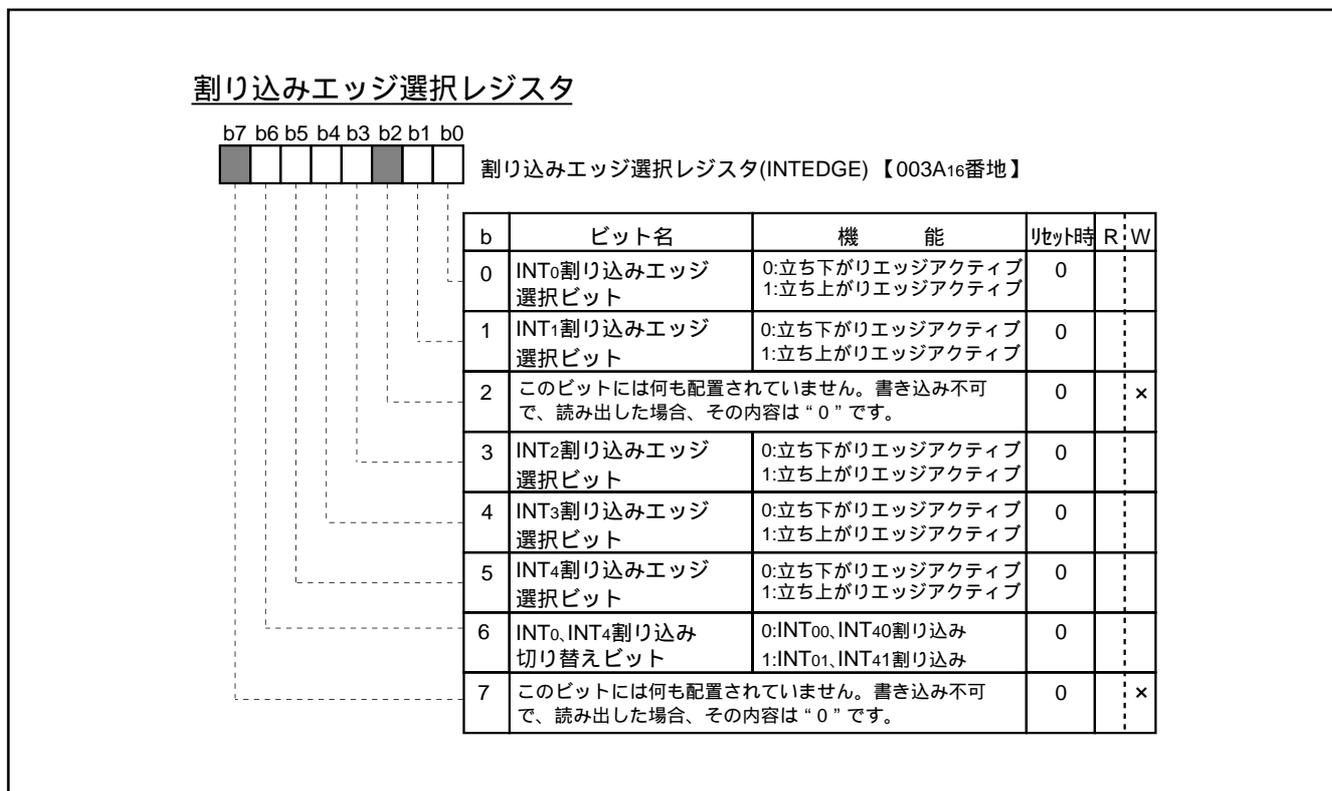
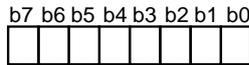


図2.2.3 割り込みエッジ選択レジスタの構成

割り込み要求レジスタ1



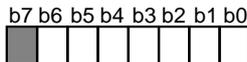
割り込み要求レジスタ1(IREQ1)【003C16番地】

b	ビット名	機能	リセット時	R:W
0	INT0/タイマZ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
1	INT1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
3	シリアル/O1送信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
6	タイマ1割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
7	タイマ2割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.4 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



割り込み要求レジスタ2(IREQ2)【003D16番地】

b	ビット名	機能	リセット時	R:W
0	CNTR0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
1	CNTR1/シリアル/O3 受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
2	シリアル/O2/タイマZ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
3	INT2割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
4	INT3割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
5	INT4/CNTR2割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
6	A-D変換/シリアル/O3 送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	* R
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x R

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.5 割り込み要求レジスタ2の構成

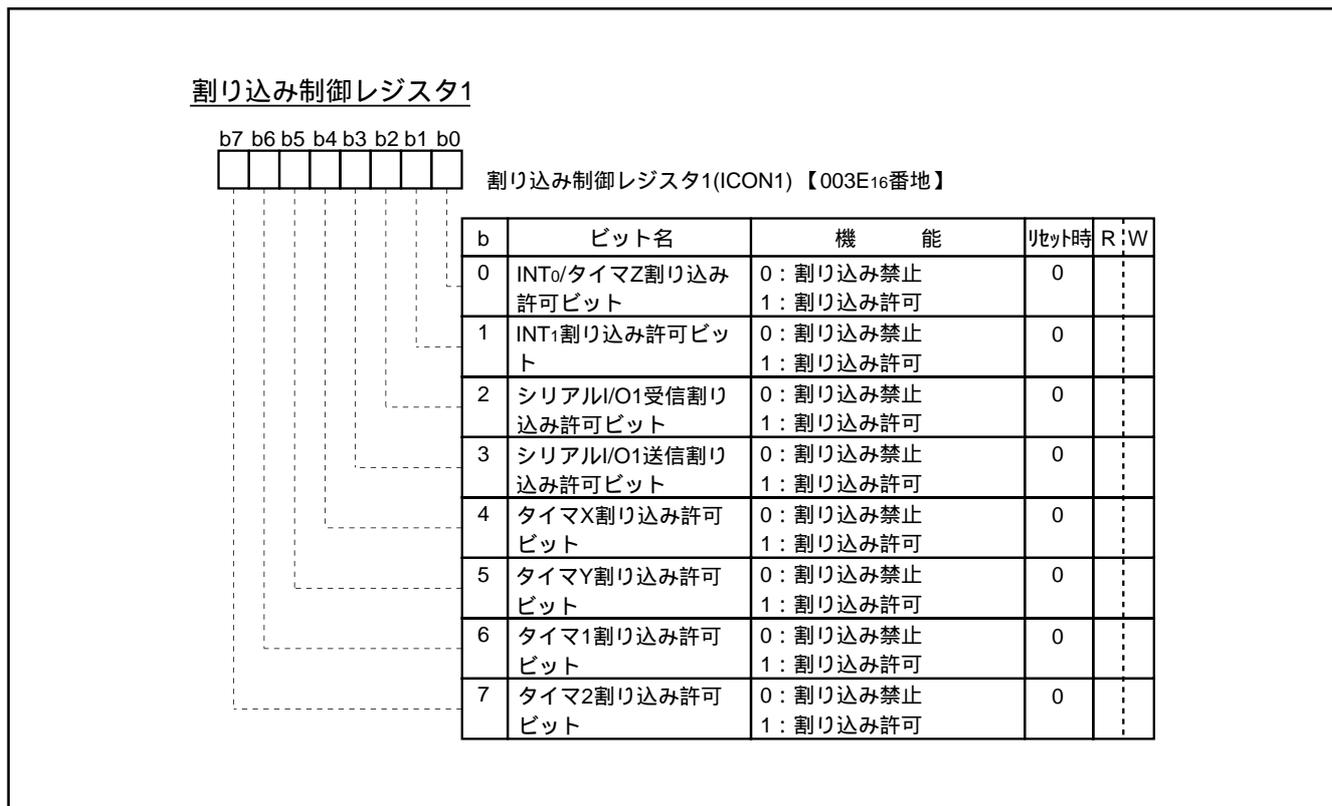


図2.2.6 割り込み制御レジスタ1の構成

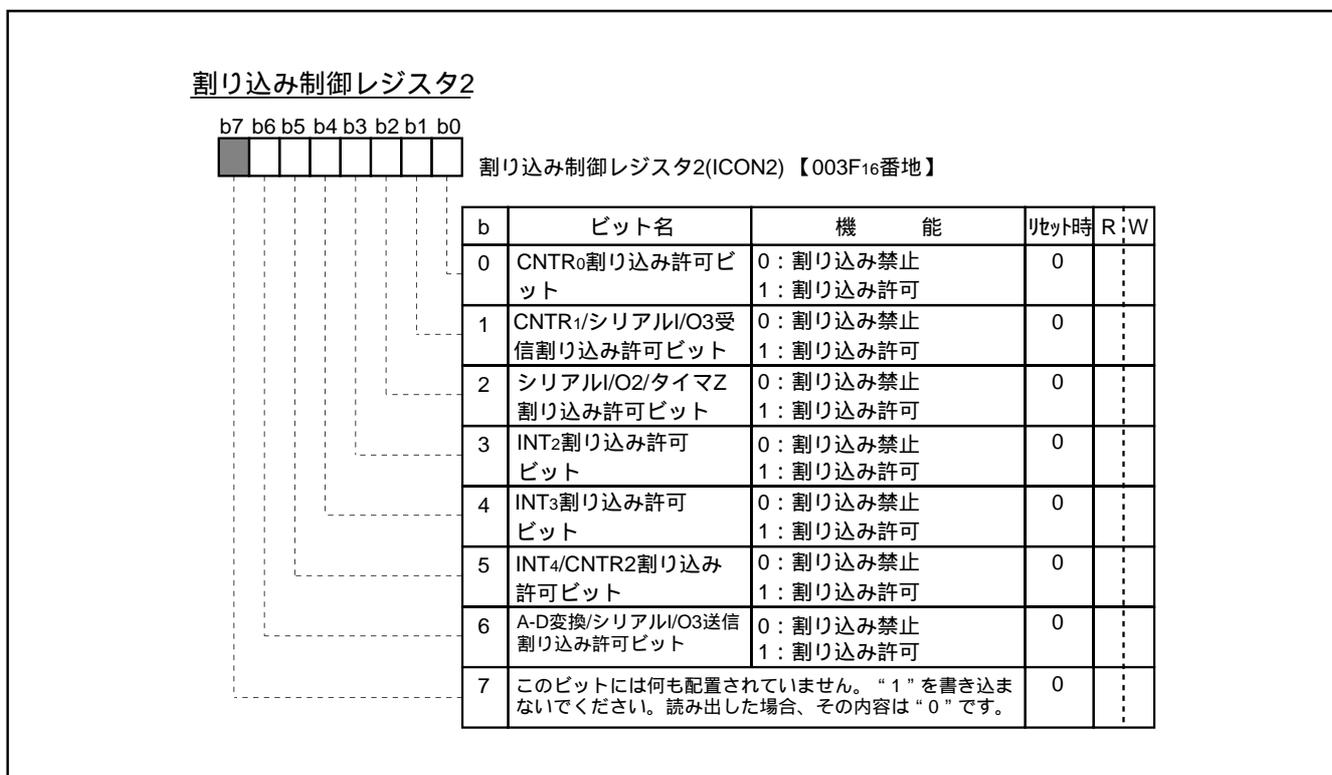


図2.2.7 割り込み制御レジスタ2の構成

2.2.3 割り込み要因

3803グループ(H仕様)では、外部8要因、内部12要因、ソフトウェア1要因の21要因のうち16要因から割り込みを発生することが可能です。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって、多様な優先処理をソフトウェアで行うことができます。割り込み要因とベクトル番地(注1)、割り込みの優先順位は表2.2.1を参照してください。

表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF7 ₁₆	FFF6 ₁₆	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	5	FFF5 ₁₆	FFF4 ₁₆	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマY	7	FFF1 ₁₆	FFF0 ₁₆	タイマYアンダフロー時	
タイマ1	8	FFEF ₁₆	FFEE ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED ₁₆	FFEC ₁₆	タイマ2アンダフロー時	
CNTR ₀	10	FFEB ₁₆	FFEA ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₁	11	FFE9 ₁₆	FFE8 ₁₆	CNTR ₁ の入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O3受信				シリアル/O3データ受信完了時	
シリアル/O2	12	FFE7 ₁₆	FFE6 ₁₆	シリアル/O2データ送受信終了時	シリアル/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT ₂	13	FFE5 ₁₆	FFE4 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	INT ₃ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₄	15	FFE1 ₁₆	FFE0 ₁₆	INT ₄ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₂				CNTR ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	
A-D変換	16	FFDF ₁₆	FFDE ₁₆	A-D変換終了時	シリアル/O3選択時のみ有効
シリアル/O3送信				シリアル/O3送信シフト終了時又は送信バッファ空き時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

2.2.4 割り込み動作

割り込み要求が受け付けられると、次に示すレジスタの割り込み要求受付直前の状態が① ② ③と順次、自動的にスタック領域に退避されます。

- ①プログラムカウンタ上位(PCH)
- ②プログラムカウンタ下位(PCL)
- ③プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が③ ② ①と順次それぞれのレジスタに復帰し、割り込み要求受付前の処理が継続されます。

図2.2.8に割り込み動作図を示します。

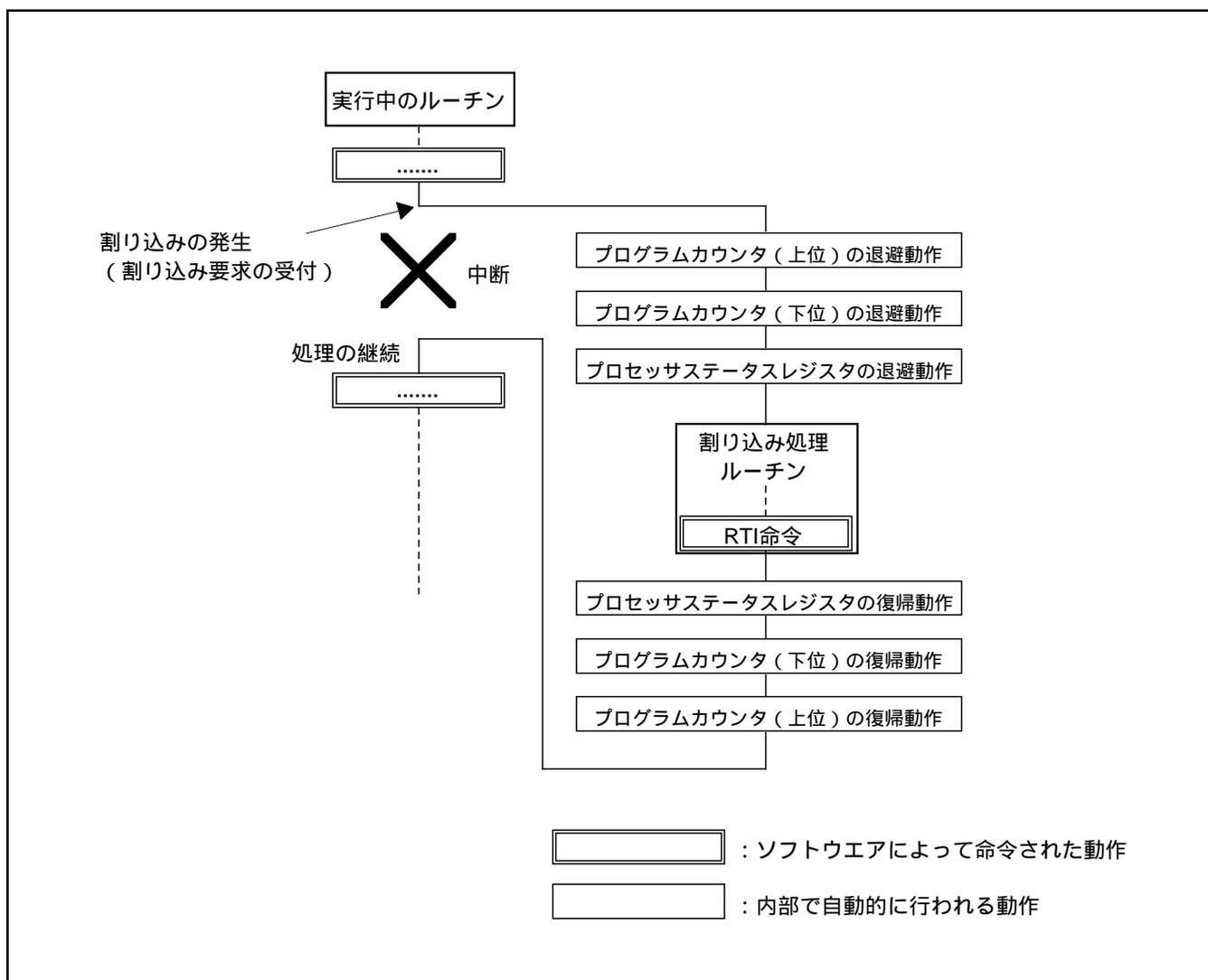


図2.2.8 割り込み動作図

(1) 割り込み要求受付時の処理

割り込み要求を受け付けると以下の動作が自動的に行われます。

- ①現在実行中の処理が中断されます。
- ②プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。
図2.2.9に割り込み要求受付時のスタックポインタとプログラムカウンタの変化を示します。
- ③退避と同時に、割り込みベクトル領域に格納されている、発生した割り込みの飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。
- ④割り込み処理ルーチンに入ると、対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

したがって、割り込み処理ルーチンを実行するためには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

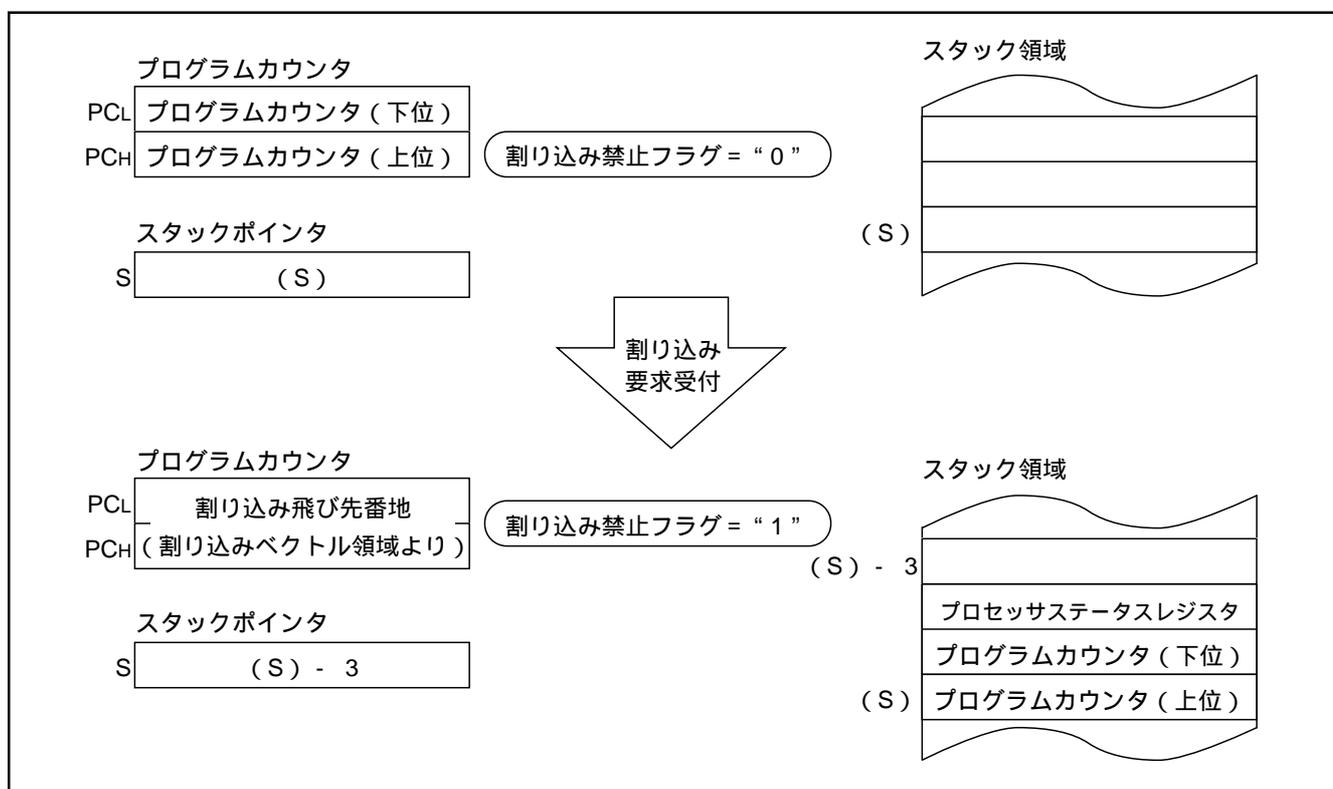


図2.2.9 割り込み要求受付時のスタックポインタとプログラムカウンタの変化

(2) 割り込み要求受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。図2.2.10に割り込み処理ルーチンを実行するまでの時間、図2.2.11に割り込み要求受付後のタイミングを示します。

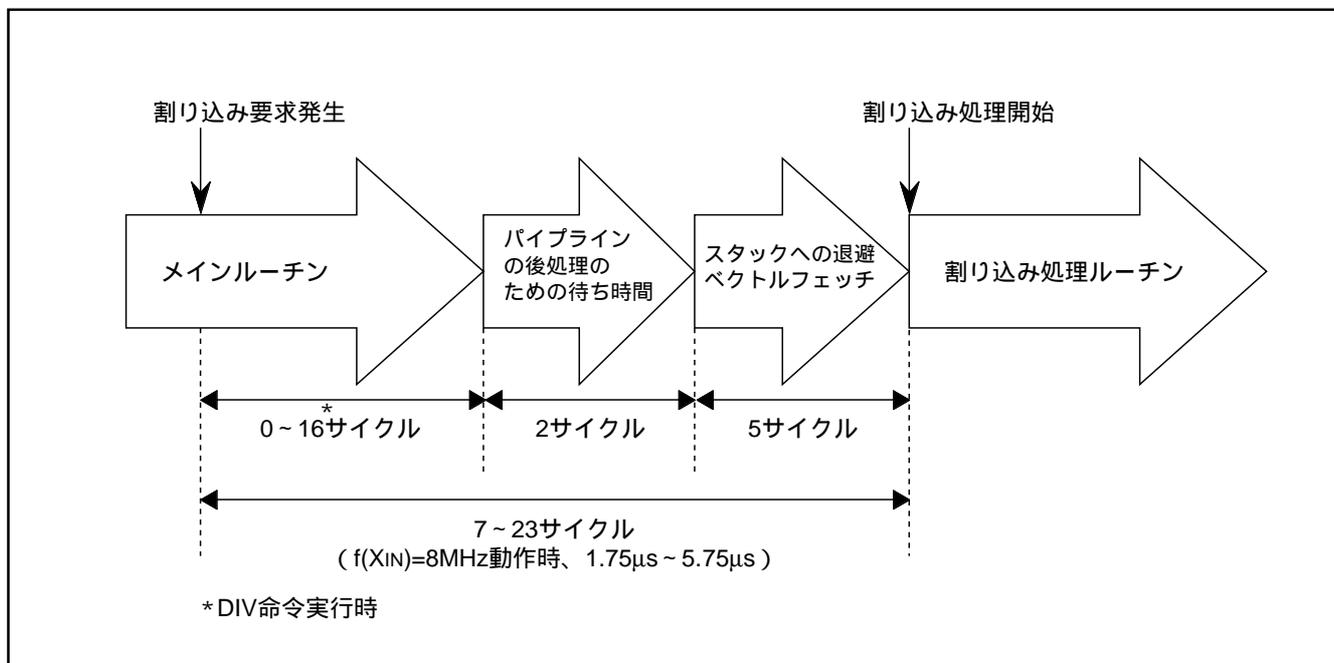


図2.2.10 割り込み処理ルーチンを実行するまでの時間

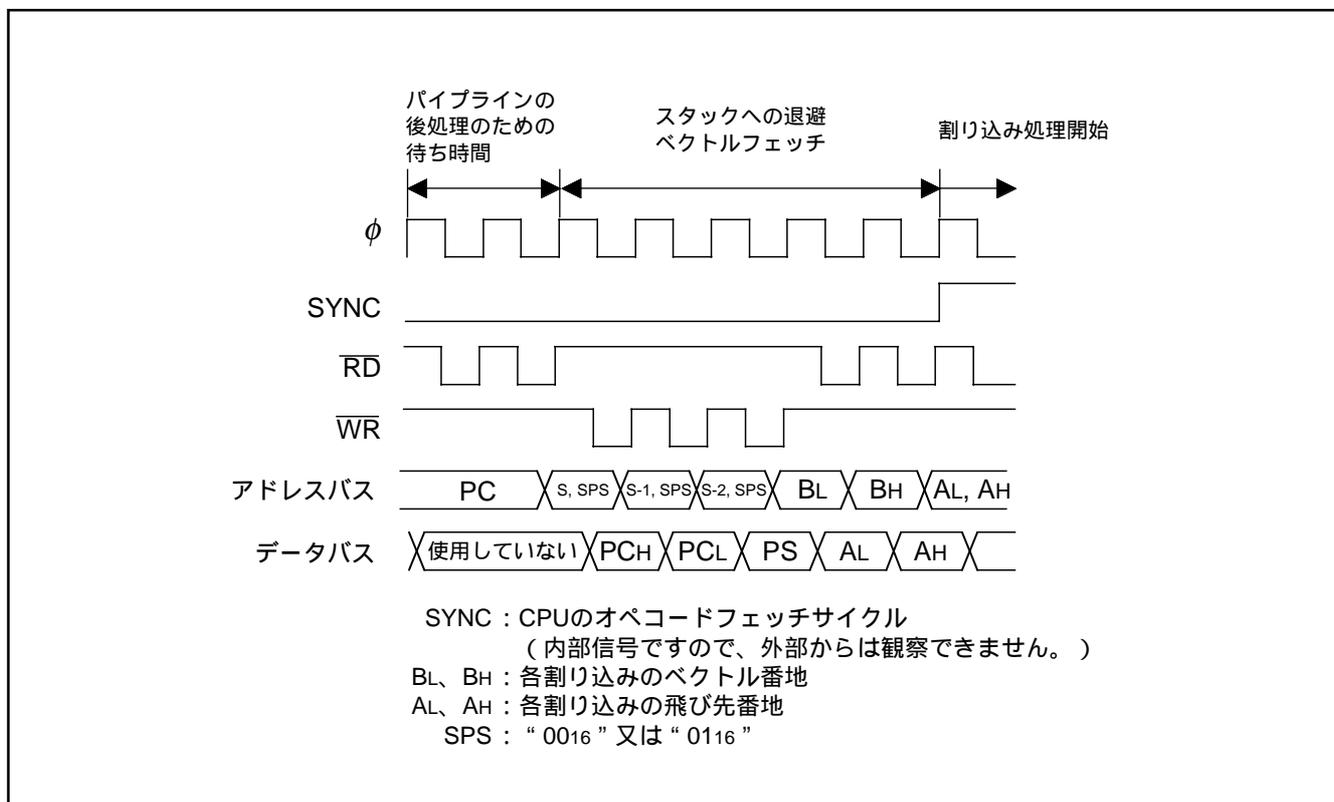


図2.2.11 割り込み要求受付後のタイミング

2.2.5 割り込み制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込み要求の受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。図2.2.12に割り込み制御図を示します。

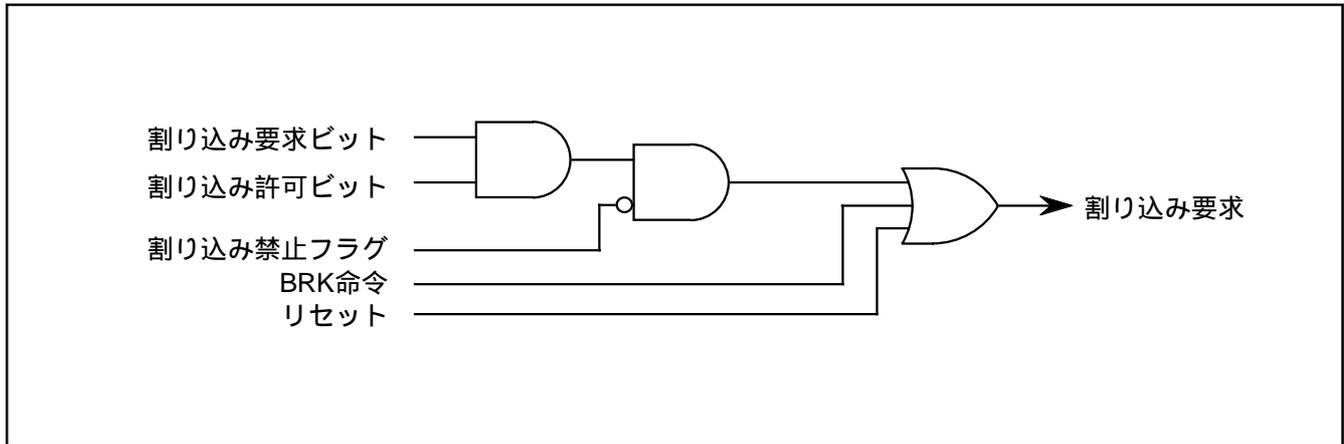


図2.2.12 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、お互いに影響を与えることはありません。割り込み要求は以下の条件をすべて満たされると受け付けられます。

- 割り込み要求ビット……“ 1 ”
- 割り込み許可ビット……“ 1 ”
- 割り込み禁止フラグ……“ 0 ”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理がソフトウェアで行うことができます。表2.2.2に各割り込み要因に対する割り込み制御ビット一覧を示します。

(1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(003C16番地)、割り込み要求レジスタ2(003D16番地)に割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“ 1 ”になります。“ 1 ”にセットされた割り込み要求ビットは、割り込み要求が受け付けられるまで“ 1 ”の状態を保持されます。割り込み要求が受け付けられると、自動的に“ 0 ”になります。

割り込み要求ビットは、ソフトウェアで“ 0 ”にできますが、ソフトウェアで“ 1 ”にすることはできません。

(2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(003E16番地)及び割り込み制御レジスタ2(003F16番地)に割り当てられています。

割り込み許可ビットは、対応する割り込み要求の受付を制御するビットです。

このビットが“ 0 ”のとき、対応する割り込み要求が禁止されます。このビットが“ 0 ”の状態でも割り込み要求が発生すると、対応する割り込み要求ビットが“ 1 ”になるだけで、その割り込み要求は受け付けられません。この場合、ソフトウェアで割り込み要求ビットを“ 0 ”にするまで、割り込み要求ビットは“ 1 ”のままです。

このビットが“ 1 ”のとき、対応する割り込み要求が許可されます。このビットが“ 1 ”の状態でも割り込み要求が発生すると、その割り込み要求が受け付けられます(割り込み禁止フラグ = “ 0 ”の場合)。

割り込み許可ビットはソフトウェアで“ 0 ”、又は“ 1 ”にすることができます。

(3) 割り込み禁止フラグ

割り込み禁止フラグは、プロセッサステータスレジスタのb2に割り当てられています。割り込み禁止フラグは、BRK命令を除く割り込み要求の受付を制御するフラグです。

このフラグが“ 1 ”のとき、割り込み要求の受付が禁止されます。“ 0 ”のとき、割り込み要求の受付が許可されます。“ 1 ”にする命令はSEI命令、“ 0 ”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“ 1 ”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“ 0 ”にしてください。図2.2.13に多重割り込みの例を示します。

表2.2.2 各割り込み要因に対する割り込み制御ビット一覧

割り込み要因	割り込み許可ビット		割り込み要求ビット	
	番地	ビット	番地	ビット
INT0/タイマZ	003E16	b0	003C16	b0
INT1	003E16	b1	003C16	b1
シリアル/O1受信	003E16	b2	003C16	b2
シリアル/O1送信	003E16	b3	003C16	b3
タイマX	003E16	b4	003C16	b4
タイマY	003E16	b5	003C16	b5
タイマ1	003E16	b6	003C16	b6
タイマ2	003E16	b7	003C16	b7
CNTR0	003F16	b0	003D16	b0
CNTR1/シリアル/O3受信	003F16	b1	003D16	b1
シリアル/O2/タイマZ	003F16	b2	003D16	b2
INT2	003F16	b3	003D16	b3
INT3	003F16	b4	003D16	b4
INT4/CNTR2	003F16	b5	003D16	b5
A-D変換/シリアル/O3送信	003F16	b6	003D16	b6

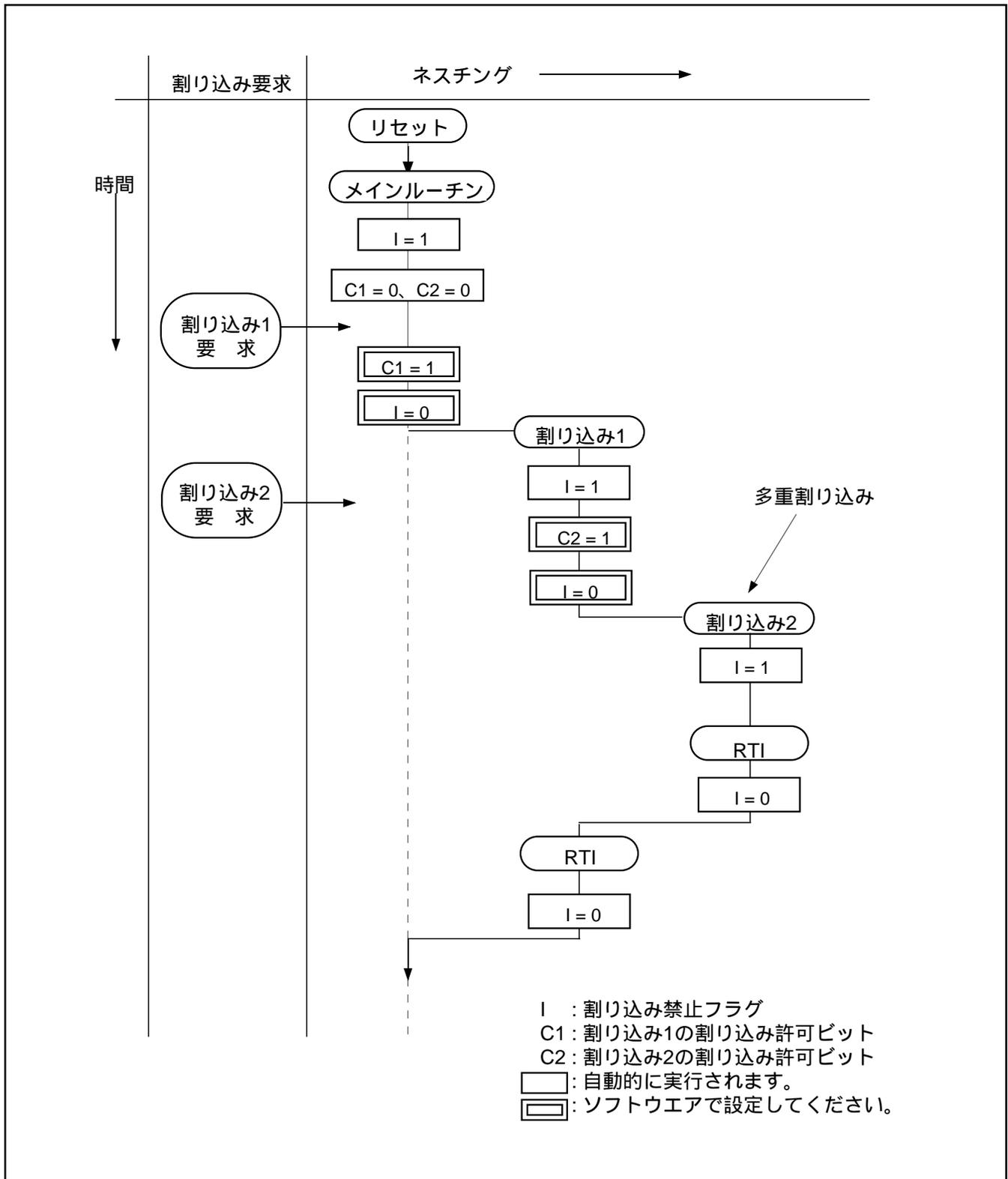


図2.2.13 多重割り込みの例

2.2.6 INT割り込み

各INT端子(INT₀ ~ INT₄)のレベル変化を検出して、INTの割り込み要求が発生します。

(1) 有効エッジの選択

INT₀ ~ INT₄は有効エッジとして、立ち下がりエッジ、又は立ち上がりエッジのどちらを検出するかを、割り込みエッジ選択レジスタによってそれぞれ選択できます。“0”にすると対応する端子の立ち下がりエッジ、“1”にすると対応する端子の立ち上がりエッジが検出されます。

(2) INT₀、INT₄割り込み要因の選択

以下の割り込み要因を使用する場合、割り込み要因選択レジスタ(39₁₆番地)で、どちらの割り込み要因を使用するかを選択してください(INTを使用する場合は“0”に設定)。

- ・INT₀又はタイマZ(ビット0)
- ・INT₄又はCNTRZ(ビット4)

2.2.7 割り込みに関する注意事項

(1) 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

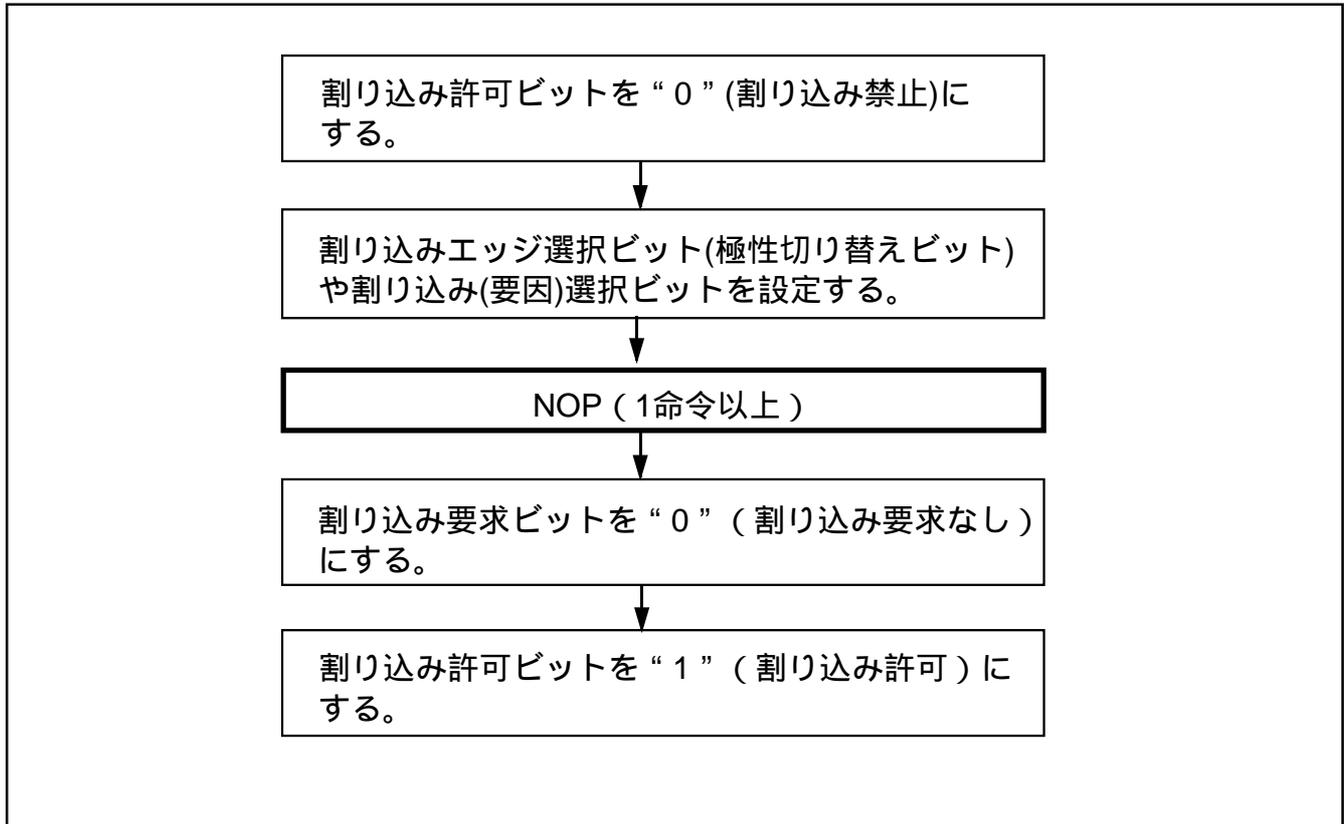


図2.2.14 関連レジスタの設定変更手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(003A₁₆番地)
 タイマXYモードレジスタ(0023₁₆番地)
 タイマZモードレジスタ(002A₁₆番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込み要因選択レジスタ(0039₁₆番地)

(2) 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

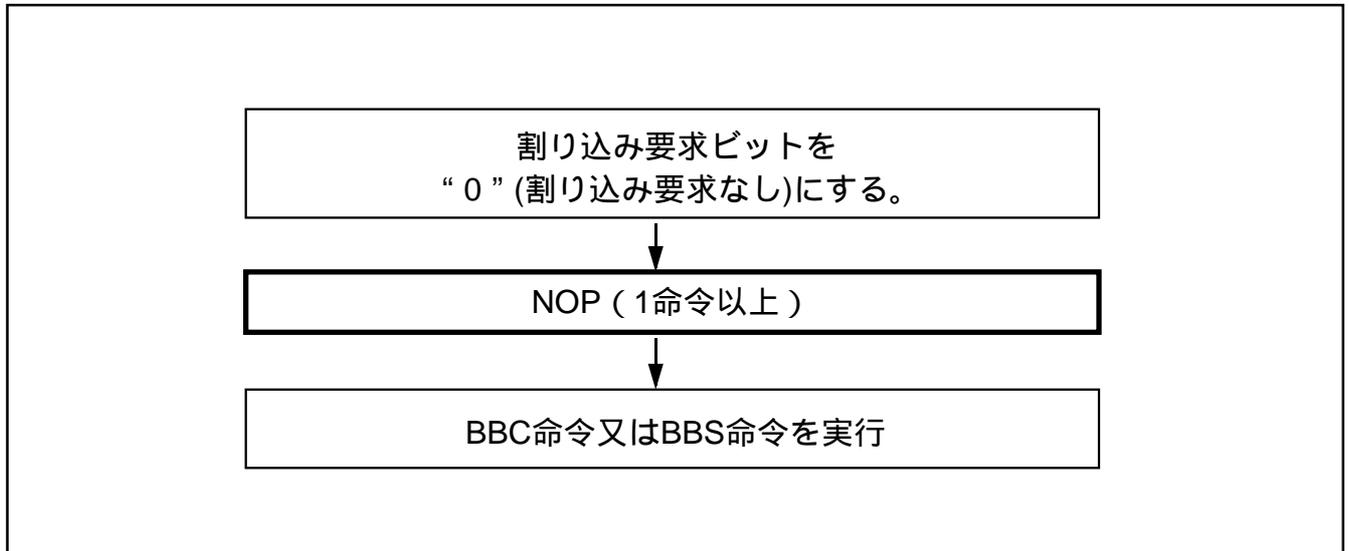


図2.2.15 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

2.3 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図

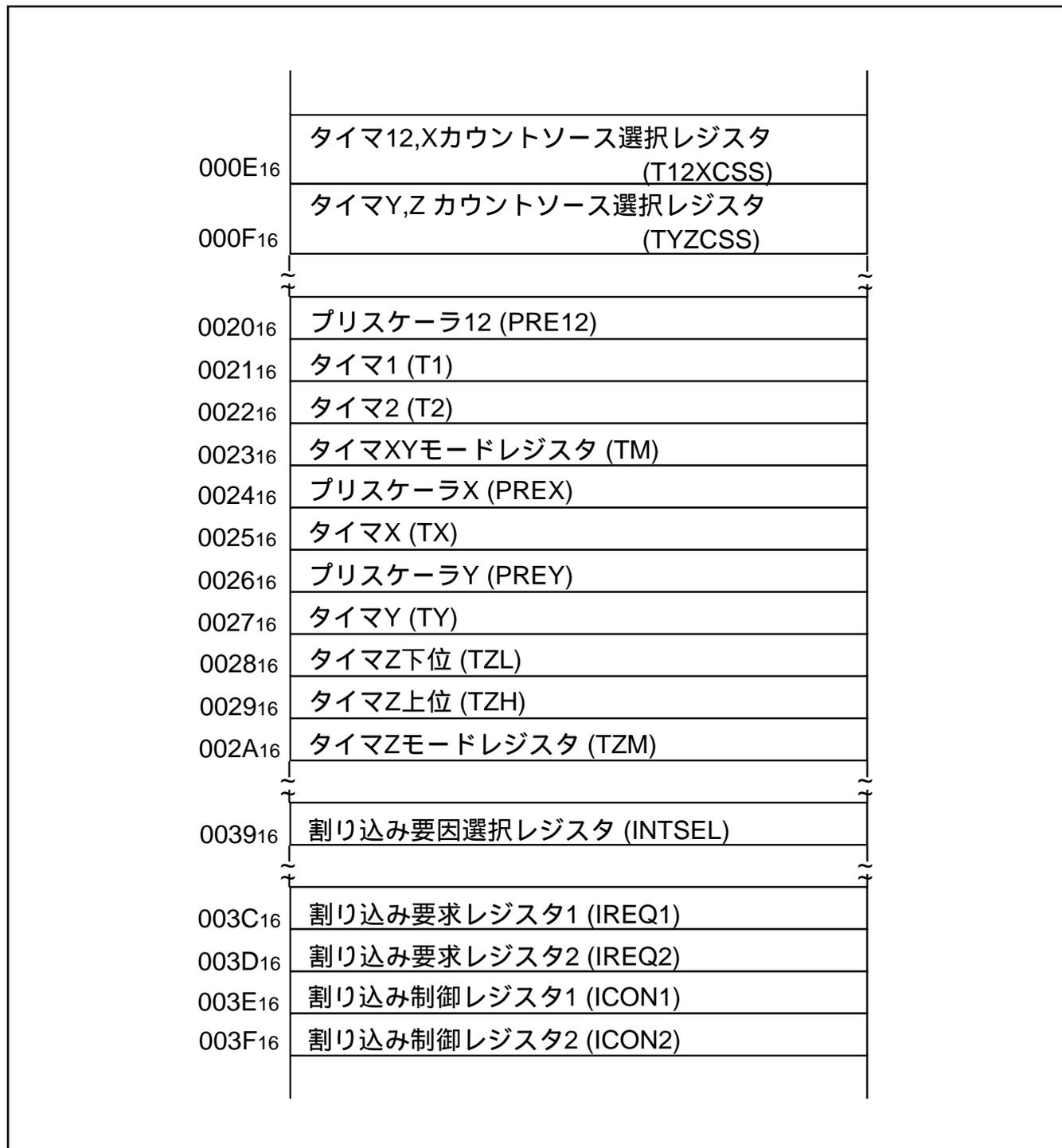
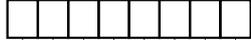


図2.3.1 タイマ関連レジスタのメモリ配置

2.3.2 関連レジスタ

プリスケラ12、プリスケラX、プリスケラY

b7 b6 b5 b4 b3 b2 b1 b0



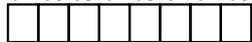
プリスケラ12(PRE12)、プリスケラX(PREX)、プリスケラY(PREY)
【0020₁₆, 0024₁₆, 0026₁₆番地】

b	機 能	リセット時	R;W
0	各プリスケラのカウンタ値を設定します。	1	·
1	このレジスタに設定した値は、各プリスケラと対応するプリスケララッチの両方へ同時に書き込まれます。	1	·
2		1	·
3	このレジスタを読み出した場合、対応するプリスケラのカウンタ値が読み出されます。	1	·
4		1	·
5	1	·	
6	1	·	
7	1	·	

図2.3.2 プリスケラ12、プリスケラX、プリスケラYの構成

タイマ1

b7 b6 b5 b4 b3 b2 b1 b0



タイマ1(T1)【0021₁₆番地】

b	機 能	リセット時	R;W
0	タイマ1のカウンタ値を設定します。	1	·
1	このレジスタに設定した値は、タイマ1とタイマ1ラッチの両方へ同時に書き込まれます。	0	·
2		0	·
3	このレジスタを読み出した場合、タイマ1のカウンタ値が読み出されます。	0	·
4		0	·
5	0	·	
6	0	·	
7	0	·	

図2.3.3 タイマ1の構成

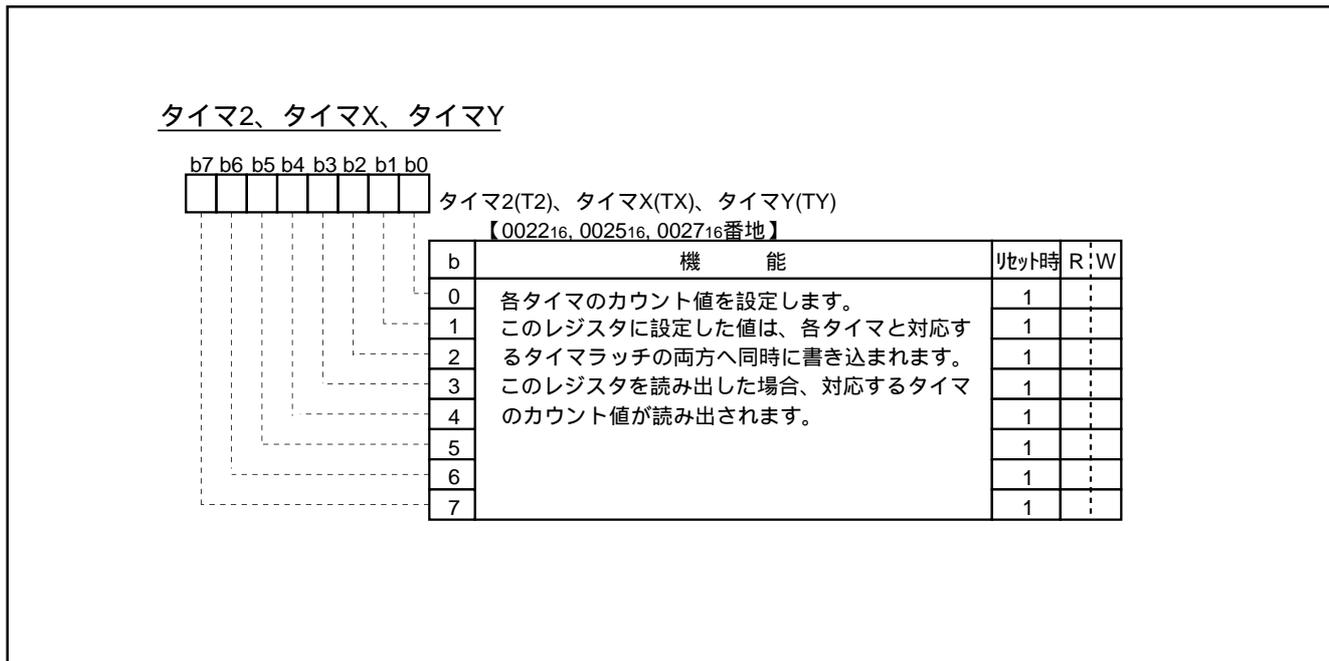


図2.3.4 タイマ2、タイマX、タイマYの構成

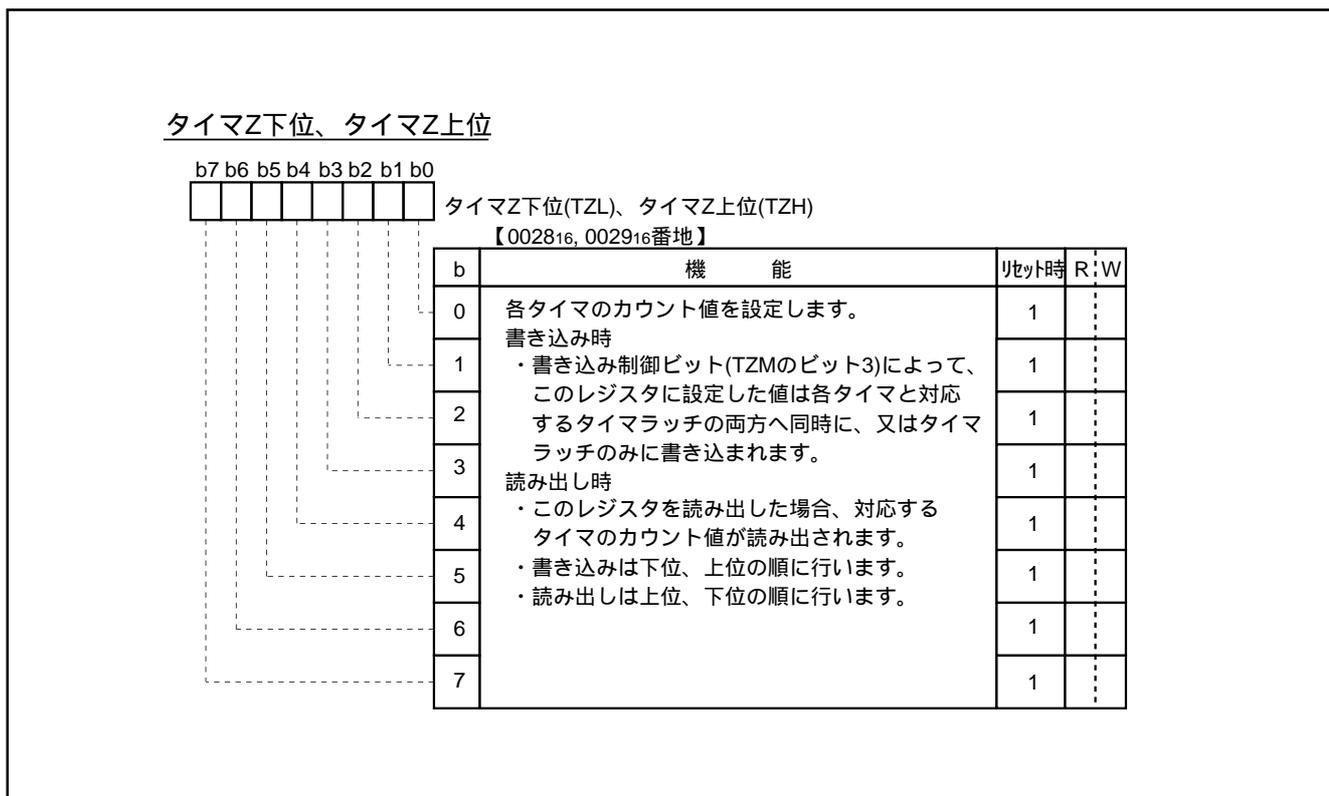


図2.3.5 タイマZ下位、タイマZ上位の構成

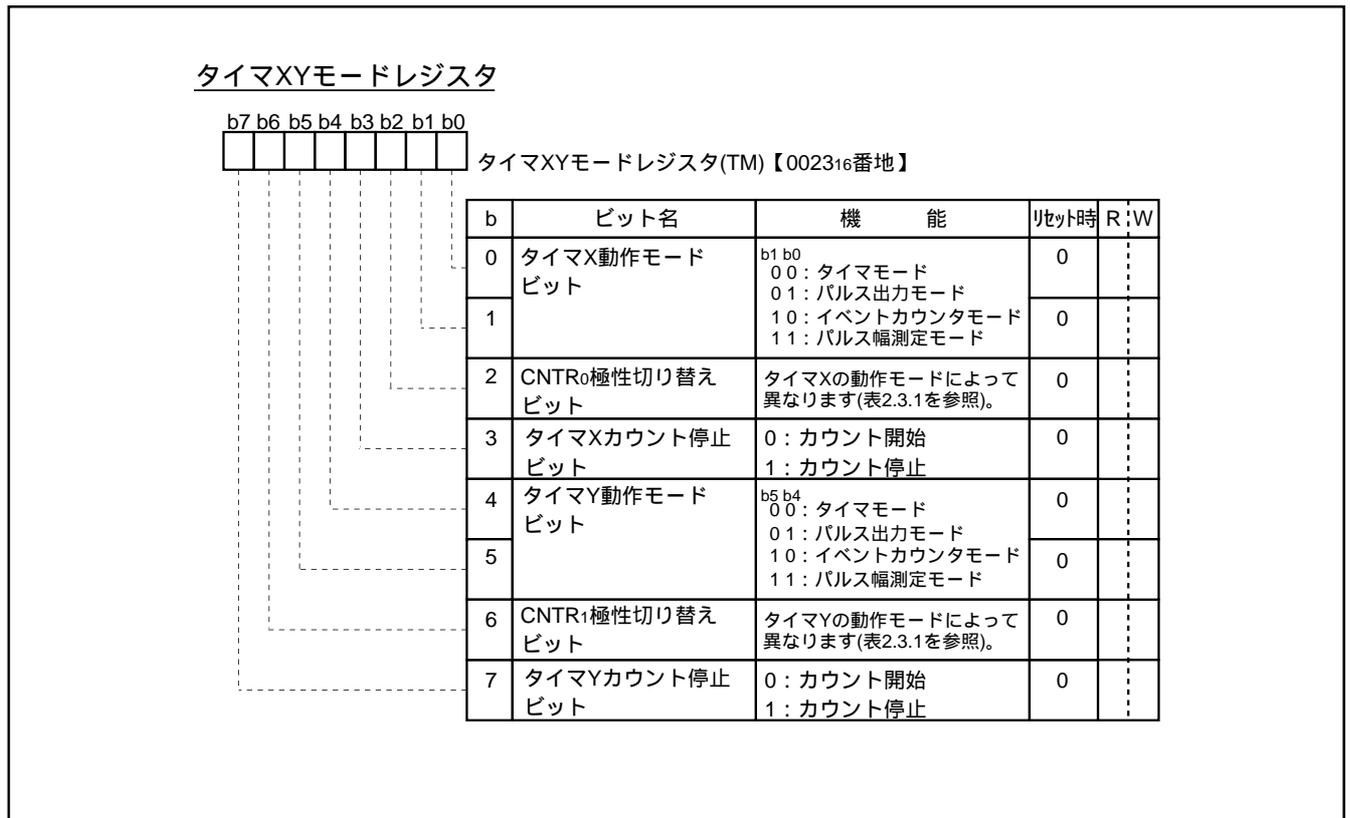
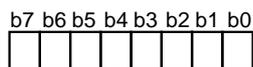


図2.3.6 タイマXYモードレジスタの構成

表2.3.1 CNTR0/CNTR1極性切り替えビットの機能

タイマX/タイマY の動作モード	CNTR0/CNTR1極性切り替えビット (0023 ₁₆ 番地のビット2、6)の内容	
タイマモード	“0”	・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX/タイマY: 立ち上がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: 立ち下がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX/タイマY: “H”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: “L”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ

タイマZモードレジスタ



タイマZモードレジスタ(TZM)【002A16番地】

b	ビット名	機能	リセット時	R/W
0	タイマZ動作モードビット	b2 b1 b0 0 0 0 : タイマ・イベントカウンタモード 0 0 1 : パルス出力モード 0 1 0 : パルス周期測定モード 0 1 1 : パルス幅測定モード 1 0 0 : プログラムパルス波形成生モード 1 0 1 : プログラムパルスショット発生モード 1 1 0 : 選択禁止 1 1 1 : 選択禁止	0	
1			0	
2			0	
3	タイマZ書き込み制御ビット	0 : ラッチ及びタイマ同時書き込み 1 : ラッチのみ書き込み	0	
4	アウトプットレベルラッチ	0 : "L" 出力 1 : "H" 出力	0	
5	CNTR ₂ 極性切り替えビット	タイマZの動作モードによって異なります(表2.3.2を参照)。	0	
6	タイマZカウント停止ビット	0 : カウント開始 1 : カウント停止	0	
7	タイマモード/イベントカウンタモード切り替えビット(注)	0 : タイマモード 1 : イベントカウンタモード	0	

注. タイマモード/イベントカウンタモード以外のモードを選択しているときは、“0”を設定してください。

図2.3.7 タイマZモードレジスタの構成

表2.3.2 CNTR2極性切り替えビットの機能

タイマZ の動作モード	CNTR2極性切り替えビット (002A16番地のビット5)の内容	
タイマモード	"0"	・ CNTR2割り込み要求の発生：立ち下がりエッジ(タイマのカウントに影響なし)
	"1"	・ CNTR2割り込み要求の発生：立ち上がりエッジ(タイマのカウントに影響なし)
イベントカウンタモード	"0"	・ タイマZ：立ち上がりエッジをカウント ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	"1"	・ タイマZ：立ち下がりエッジをカウント ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス出力モード	"0"	・ パルス出力開始：“H”レベルから ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	"1"	・ パルス出力開始：“L”レベルから ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス周期測定モード	"0"	・ タイマZ：立ち下がりエッジから次の立ち下がりエッジの期間を測定 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	"1"	・ タイマZ：立ち上がりエッジから次の立ち上がりエッジの期間を測定 ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス幅測定モード	"0"	・ タイマZ：“H”レベル幅を測定 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	"1"	・ タイマZ：“L”レベル幅を測定 ・ CNTR2割り込み要求の発生：立ち上がりエッジ
プログラマブルワンショット発生モード	"0"	・ タイマZ：パルス出力を“L”レベルから開始し、“H”レベルのワンショットパルス を出力 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	"1"	・ タイマZ：パルス出力を“H”レベルから開始し、“L”レベルのワンショットパルス を出力 ・ CNTR2割り込み要求の発生：立ち上がりエッジ

タイマ12, Xカウントソース選択レジスタ



b	ビット名	機 能	リセット時	R/W
0	タイマ12カウントソース選択ビット	b3 b2 b1 b0 0 0 0 0 : f(X _{IN})/2 or f(X _{CIN})/2 0 0 0 1 : f(X _{IN})/4 or f(X _{CIN})/4 0 0 1 0 : f(X _{IN})/8 or f(X _{CIN})/8 0 0 1 1 : f(X _{IN})/16 or f(X _{CIN})/16 0 1 0 0 : f(X _{IN})/32 or f(X _{CIN})/32 0 1 0 1 : f(X _{IN})/64 or f(X _{CIN})/64 0 1 1 0 : f(X _{IN})/128 or f(X _{CIN})/128 0 1 1 1 : f(X _{IN})/256 or f(X _{CIN})/256 1 0 0 0 : f(X _{IN})/512 or f(X _{CIN})/512 1 0 0 1 : f(X _{IN})/1024 or f(X _{CIN})/1024 1 0 1 0 ~ 1 1 1 1 : 選択禁止	1	R/W
1		1		
2		0		
3		0		
4	タイマXカウントソース選択ビット	b7 b6 b5 b4 0 0 0 0 : f(X _{IN})/2 or f(X _{CIN})/2 0 0 0 1 : f(X _{IN})/4 or f(X _{CIN})/4 0 0 1 0 : f(X _{IN})/8 or f(X _{CIN})/8 0 0 1 1 : f(X _{IN})/16 or f(X _{CIN})/16 0 1 0 0 : f(X _{IN})/32 or f(X _{CIN})/32 0 1 0 1 : f(X _{IN})/64 or f(X _{CIN})/64 0 1 1 0 : f(X _{IN})/128 or f(X _{CIN})/128 0 1 1 1 : f(X _{IN})/256 or f(X _{CIN})/256 1 0 0 0 : f(X _{IN})/512 or f(X _{CIN})/512 1 0 0 1 : f(X _{IN})/1024 or f(X _{CIN})/1024 1 0 1 0 : f(X _{CIN}) 1 0 1 1 ~ 1 1 1 1 : 選択禁止	1	R/W
5		1		
6		0		
7		0		

図2.3.8 タイマ12, Xカウントソース選択レジスタの構成

タイマY, Zカウントソース選択レジスタ



b	ビット名	機 能	リセット時	R/W
0	タイマYカウントソース選択ビット	b3 b2 b1 b0 0 0 0 0 : f(X _{IN})/2 or f(X _{CIN})/2 0 0 0 1 : f(X _{IN})/4 or f(X _{CIN})/4 0 0 1 0 : f(X _{IN})/8 or f(X _{CIN})/8 0 0 1 1 : f(X _{IN})/16 or f(X _{CIN})/16 0 1 0 0 : f(X _{IN})/32 or f(X _{CIN})/32 0 1 0 1 : f(X _{IN})/64 or f(X _{CIN})/64 0 1 1 0 : f(X _{IN})/128 or f(X _{CIN})/128 0 1 1 1 : f(X _{IN})/256 or f(X _{CIN})/256 1 0 0 0 : f(X _{IN})/512 or f(X _{CIN})/512 1 0 0 1 : f(X _{IN})/1024 or f(X _{CIN})/1024 1 0 1 0 : f(X _{CIN}) 1 0 1 1 ~ 1 1 1 1 : 選択禁止	1	R/W
1		1		
2		0		
3		0		
4	タイマZカウントソース選択ビット	b7 b6 b5 b4 0 0 0 0 : f(X _{IN})/2 or f(X _{CIN})/2 0 0 0 1 : f(X _{IN})/4 or f(X _{CIN})/4 0 0 1 0 : f(X _{IN})/8 or f(X _{CIN})/8 0 0 1 1 : f(X _{IN})/16 or f(X _{CIN})/16 0 1 0 0 : f(X _{IN})/32 or f(X _{CIN})/32 0 1 0 1 : f(X _{IN})/64 or f(X _{CIN})/64 0 1 1 0 : f(X _{IN})/128 or f(X _{CIN})/128 0 1 1 1 : f(X _{IN})/256 or f(X _{CIN})/256 1 0 0 0 : f(X _{IN})/512 or f(X _{CIN})/512 1 0 0 1 : f(X _{IN})/1024 or f(X _{CIN})/1024 1 0 1 0 : f(X _{CIN}) 1 0 1 1 ~ 1 1 1 1 : 選択禁止	1	R/W
5		1		
6		0		
7		0		

図2.3.9 タイマY, Zカウントソース選択レジスタの構成

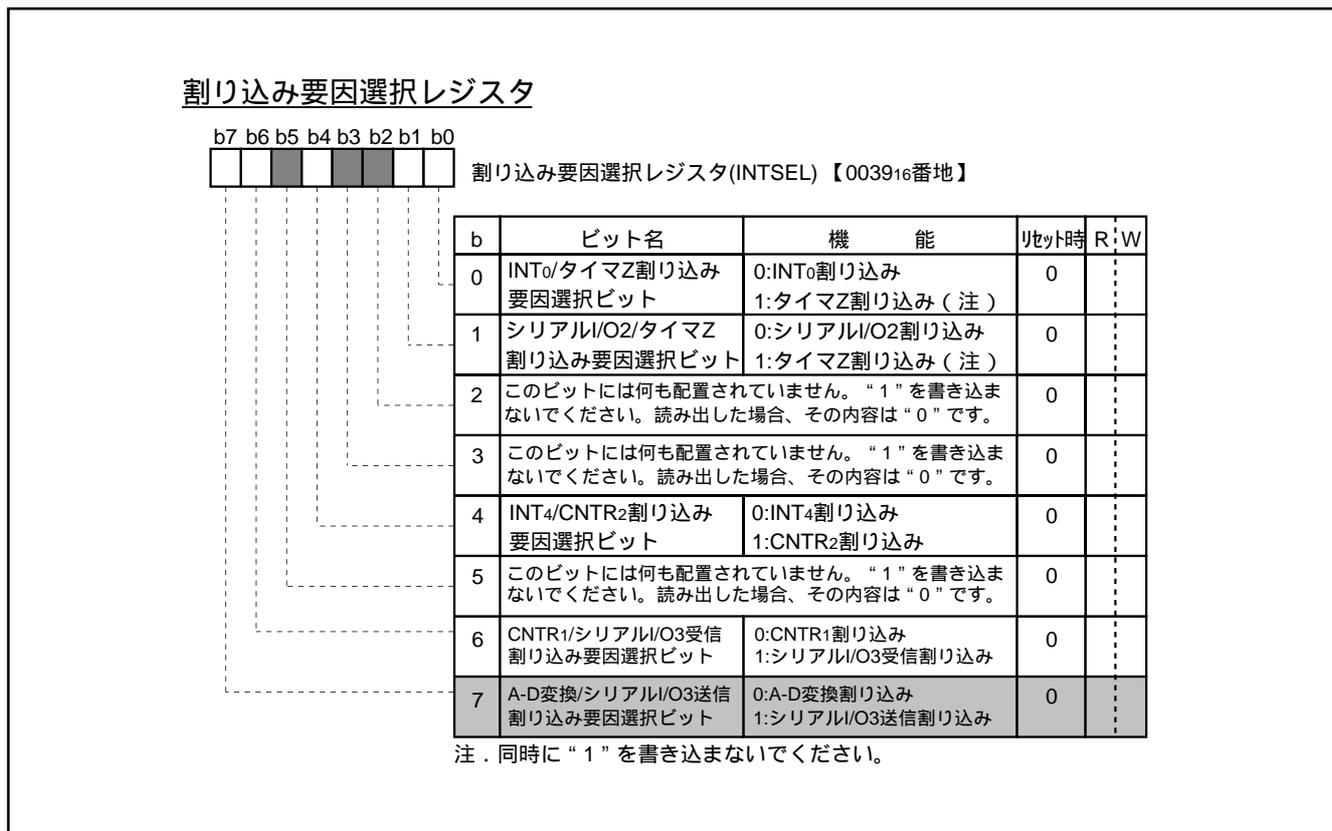


図2.3.10 割り込み要因選択レジスタの構成

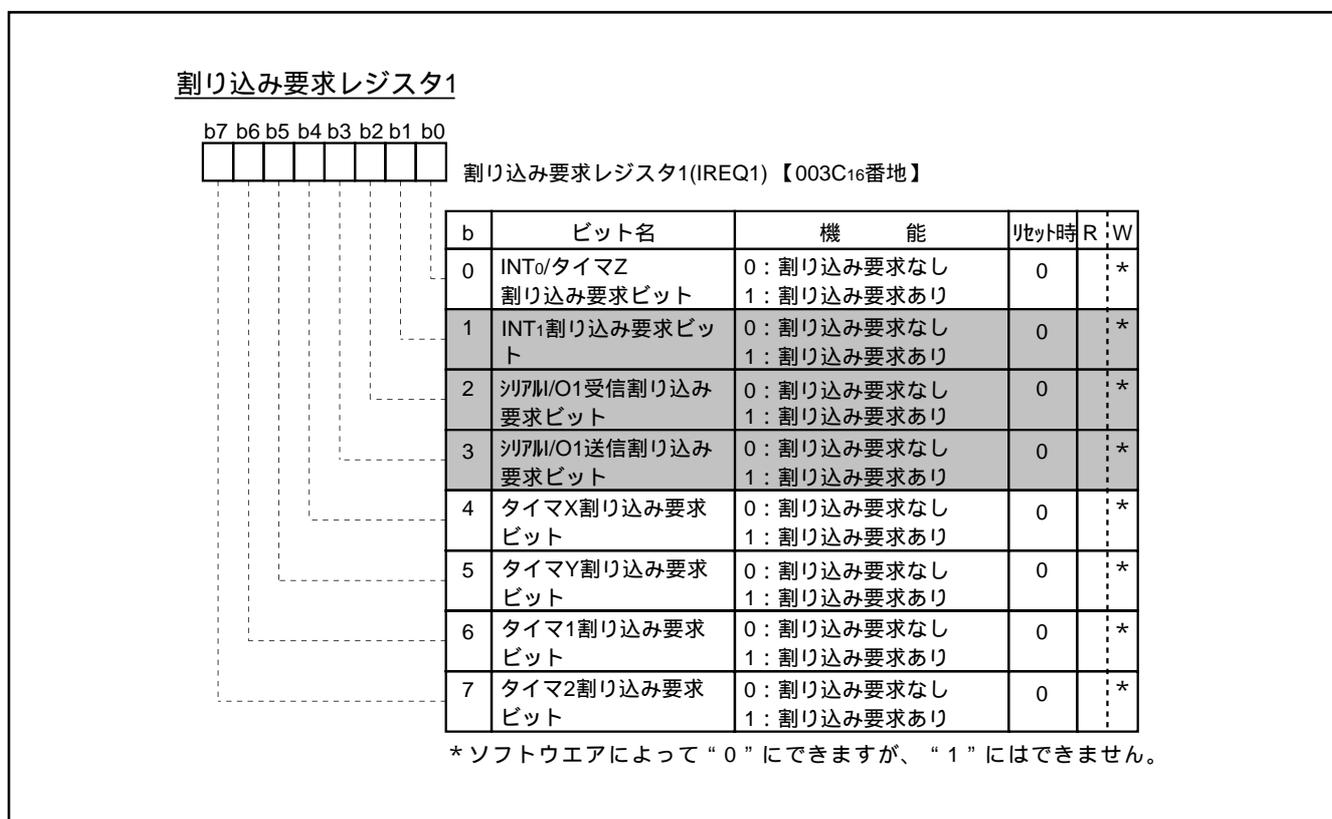


図2.3.11 割り込み要求レジスタ1の構成

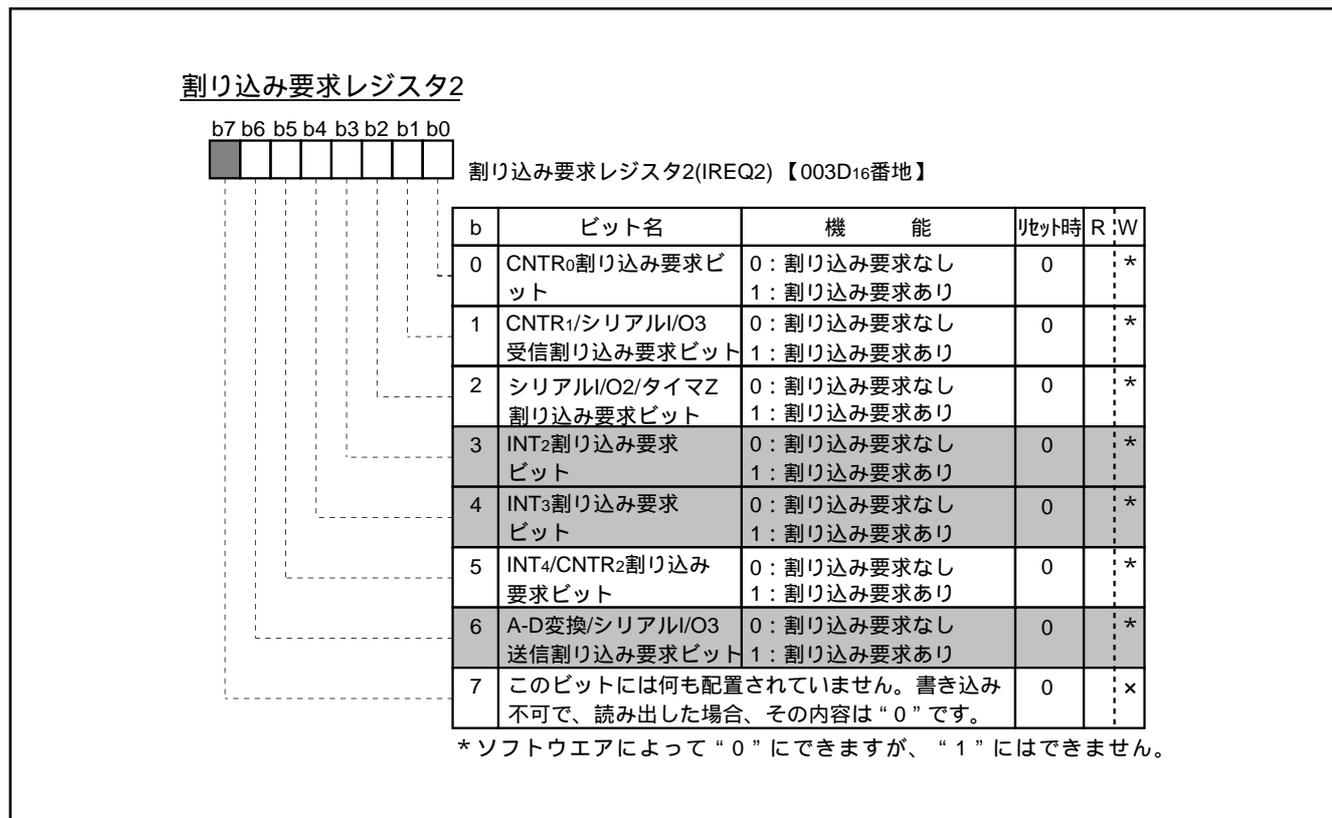


図2.3.12 割り込み要求レジスタ2の構成

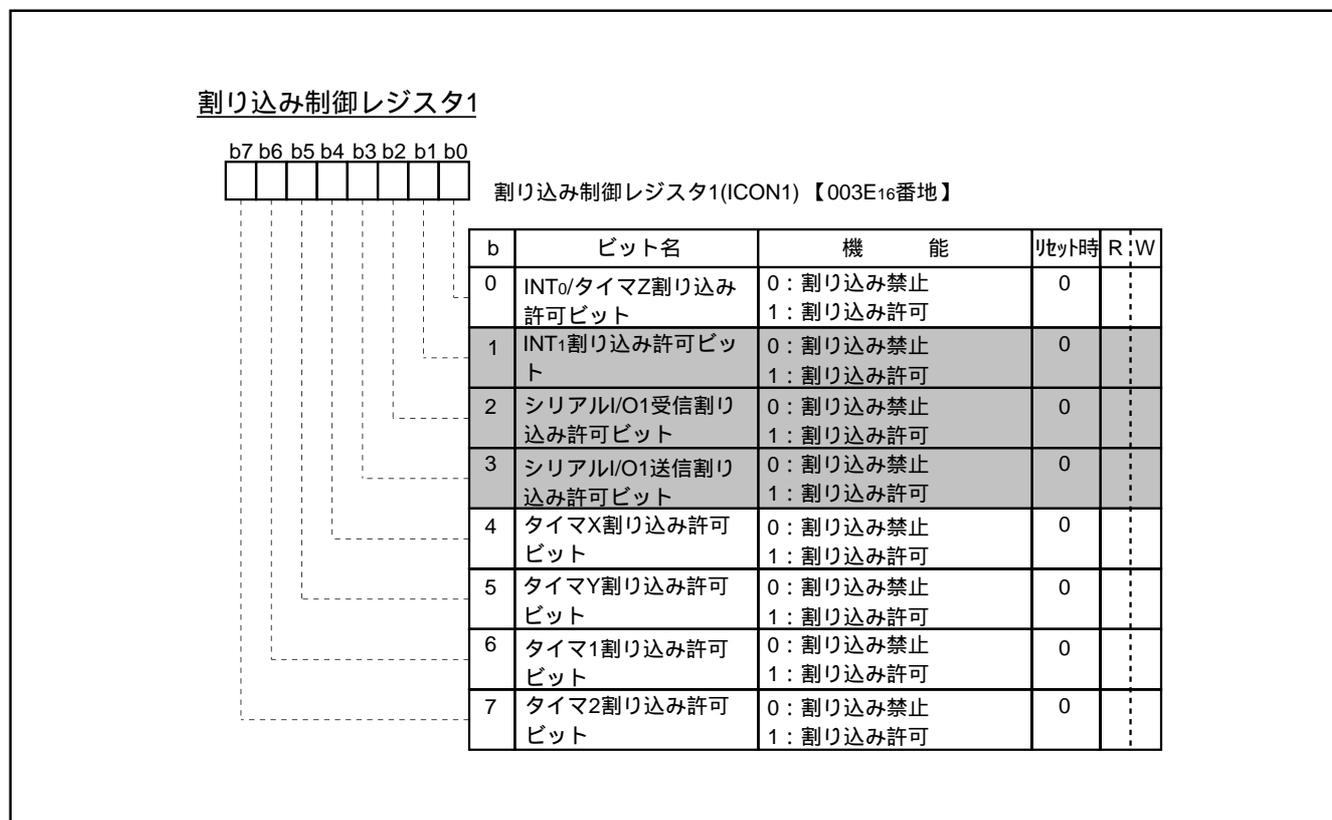
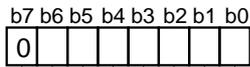


図2.3.13 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



割り込み制御レジスタ2(ICON2)【003F₁₆番地】

b	ビット名	機能	セット時	R/W
0	CNTR0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	CNTR1/シリアル/O3受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
2	シリアル/O2/タイマZ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
3	INT ₂ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
4	INT ₃ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	INT4/CNTR2割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
6	A-D変換/シリアル/O3送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
7	このビットは“0”に固定してください。		0	

図2.3.14 割り込み制御レジスタ2の構成

2.3.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマX、タイマY、タイマZ、タイマ1、タイマ2)

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

用途

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマX、タイマY、タイマZ、タイマ1、タイマ2)

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

用途

- ・周期的な割り込みの発生
- ・時計機能(250msの測定) 応用例1
- ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマX、タイマY、タイマZ)

タイマがアンダフローするごとに、CNTR端子の出力レベルを反転します(パルス出力モード)。

用途

- ・圧電ブザー出力 応用例2
- ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマX、タイマY、タイマZ)

タイマのカウントソースとして、CNTR端子に入力される外部パルスをカウントします(イベントカウンタモード)。

用途

- ・周波数の測定 応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] 外部パルス幅の測定(タイマX、タイマY、タイマZ)

CNTR端子に入力される外部パルスの“H”レベル幅又は“L”レベル幅を測定します(パルス幅測定モード)。

用途

- ・外部パルスの周波数の測定(モータのFGパルス(注)のパルス幅測定) 応用例4
- ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス：モータの速度制御を行うためモータの速度を検出するパルス

[機能6] 任意の波形出力(タイマZ)

タイマがアンダフローするごとに、CNTR端子からアウトプットレベルラッチに設定された値のレベルを出力します(プログラマブル波形発生モード)。

[機能7] 外部トリガでのワンショットパルス出力(タイマZ)

INT端子から入力されるトリガ信号により、タイマラッチの値がタイマにセットされ、ダウンカウントされます。トリガ信号と同時にCNTR端子から“H”又は“L”を出力し、タイマのアンダフローにより“L”又は“H”を出力します(プログラマブルワンショット発生モード)。

(2) タイマの応用例1：時計機能(250 msの測定)

ポイント：クロックをタイマで分周し、250 msごとに時計をカウントアップします。

仕様：・クロック $f(XIN) = 4.19\text{MHz}$ (2^{22}Hz)をタイマで分周。

・タイマX割り込み(約250 msごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.3.15、関連レジスタの設定を図2.3.16、制御手順を図2.3.17に示します。

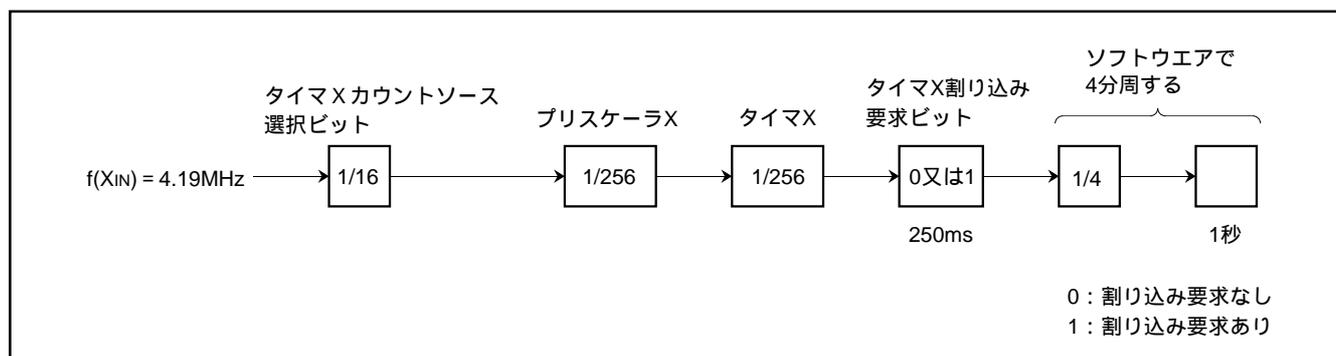


図2.3.15 タイマの接続と分周比の設定

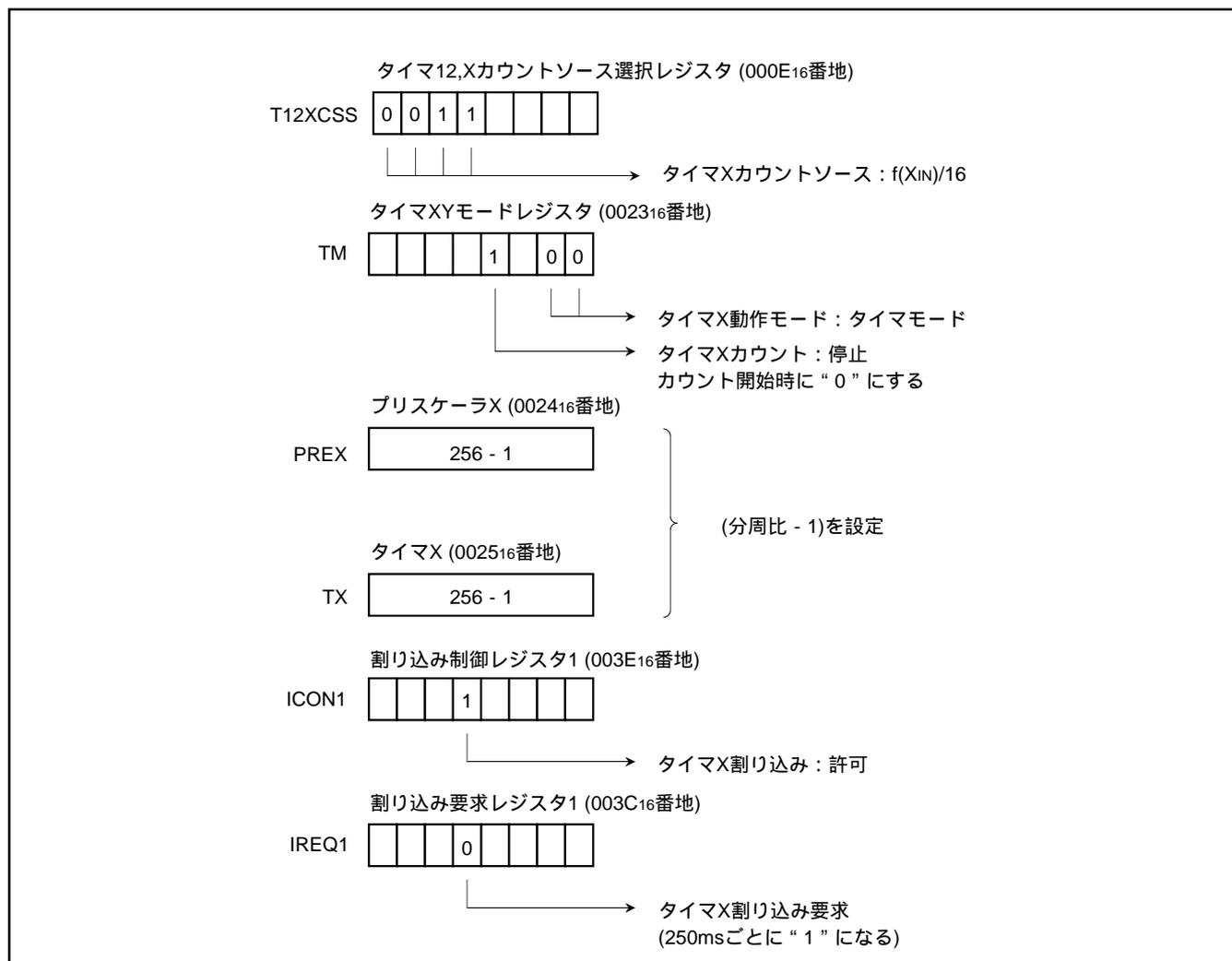


図2.3.16 関連レジスタの設定

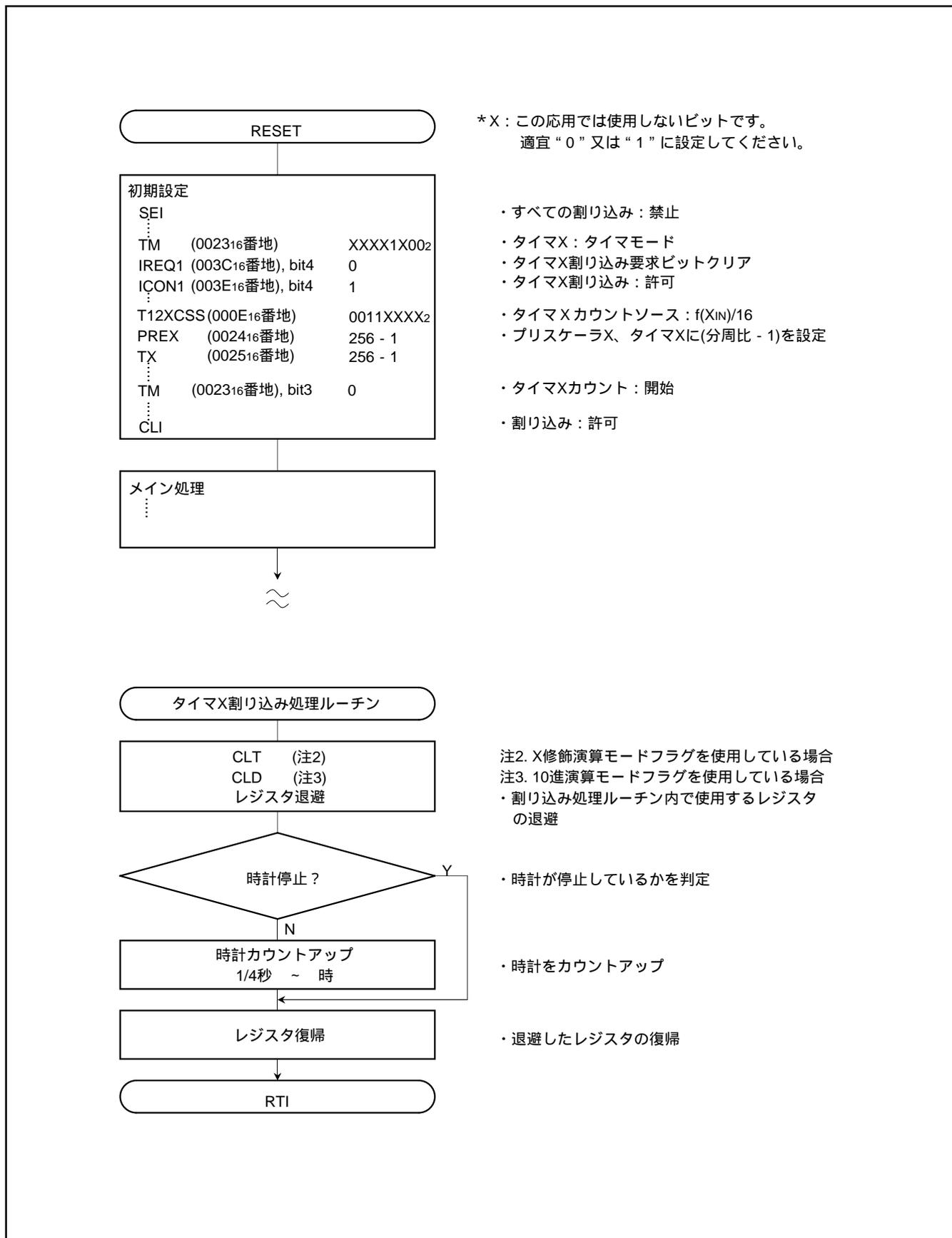


図2.3.17 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

- 仕様：・クロック $f(X_{IN}) = 8\text{MHz}$ を約 $2\text{kHz}(2049\text{Hz})$ まで分周した方形波を、P47/CNTR2端子から出力。
・圧電ブザー出力停止中はP47/CNTR2端子のレベルを“H”に固定。

周辺回路例を図2.3.18、タイマの接続と分周比の設定を図2.3.19に示します。また、関連レジスタの設定を図2.3.20、制御手順を図2.3.21に示します。

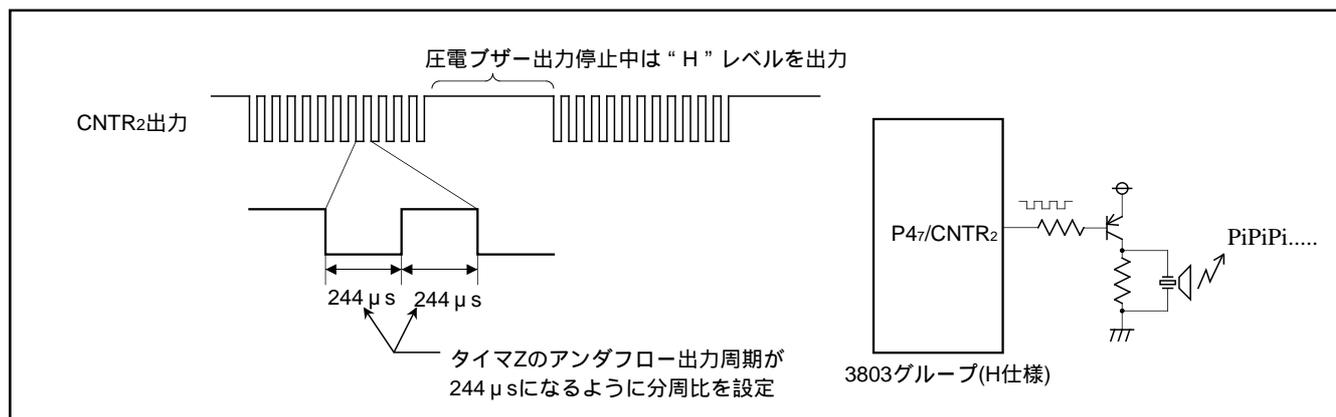


図2.3.18 周辺回路例

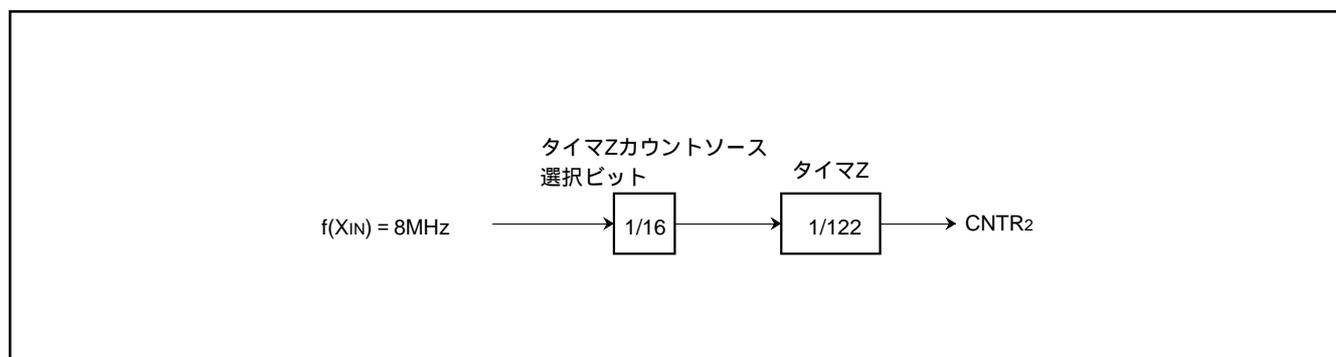


図2.3.19 タイマの接続と分周比の設定

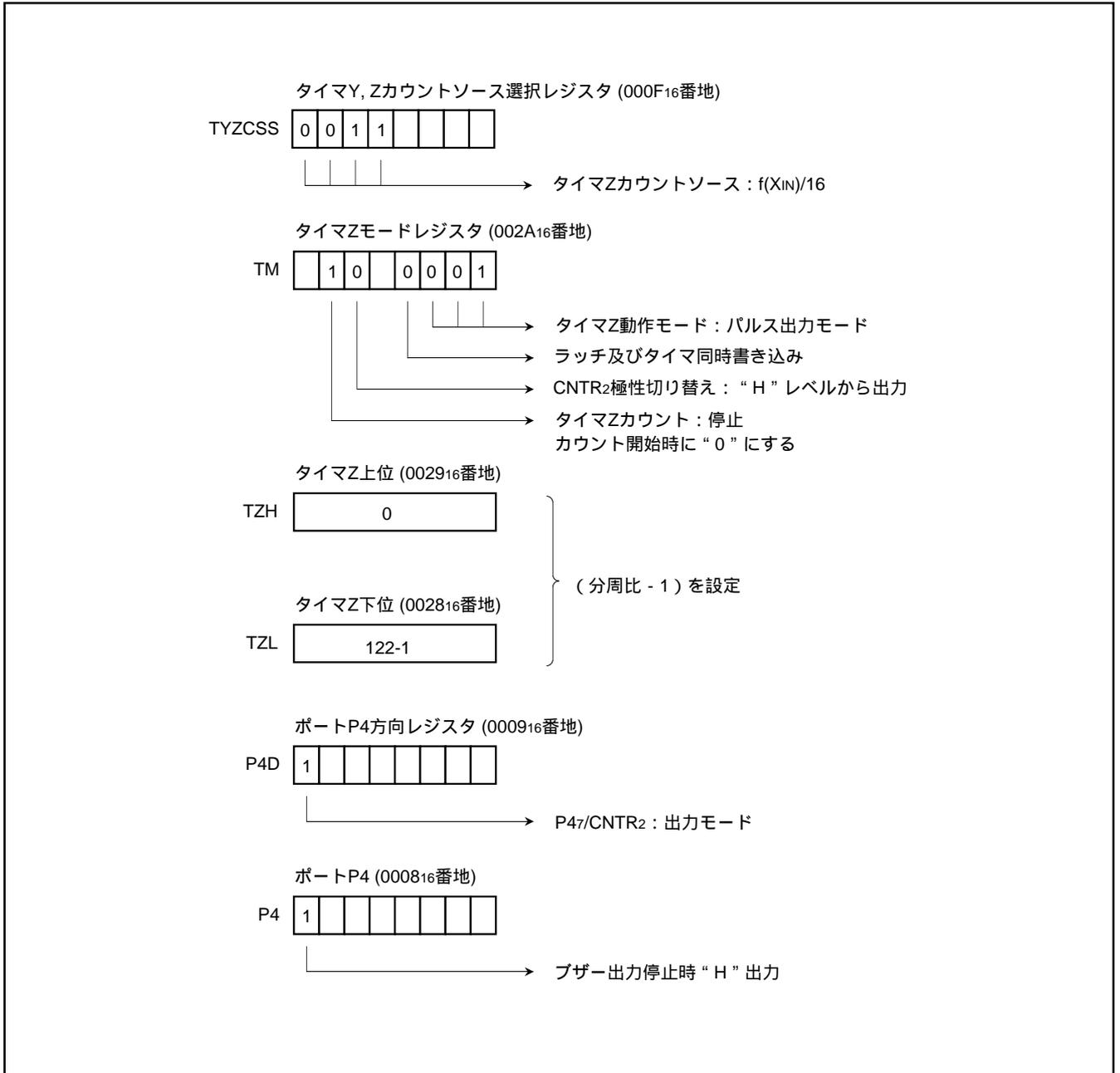


図2.3.20 関連レジスタの設定

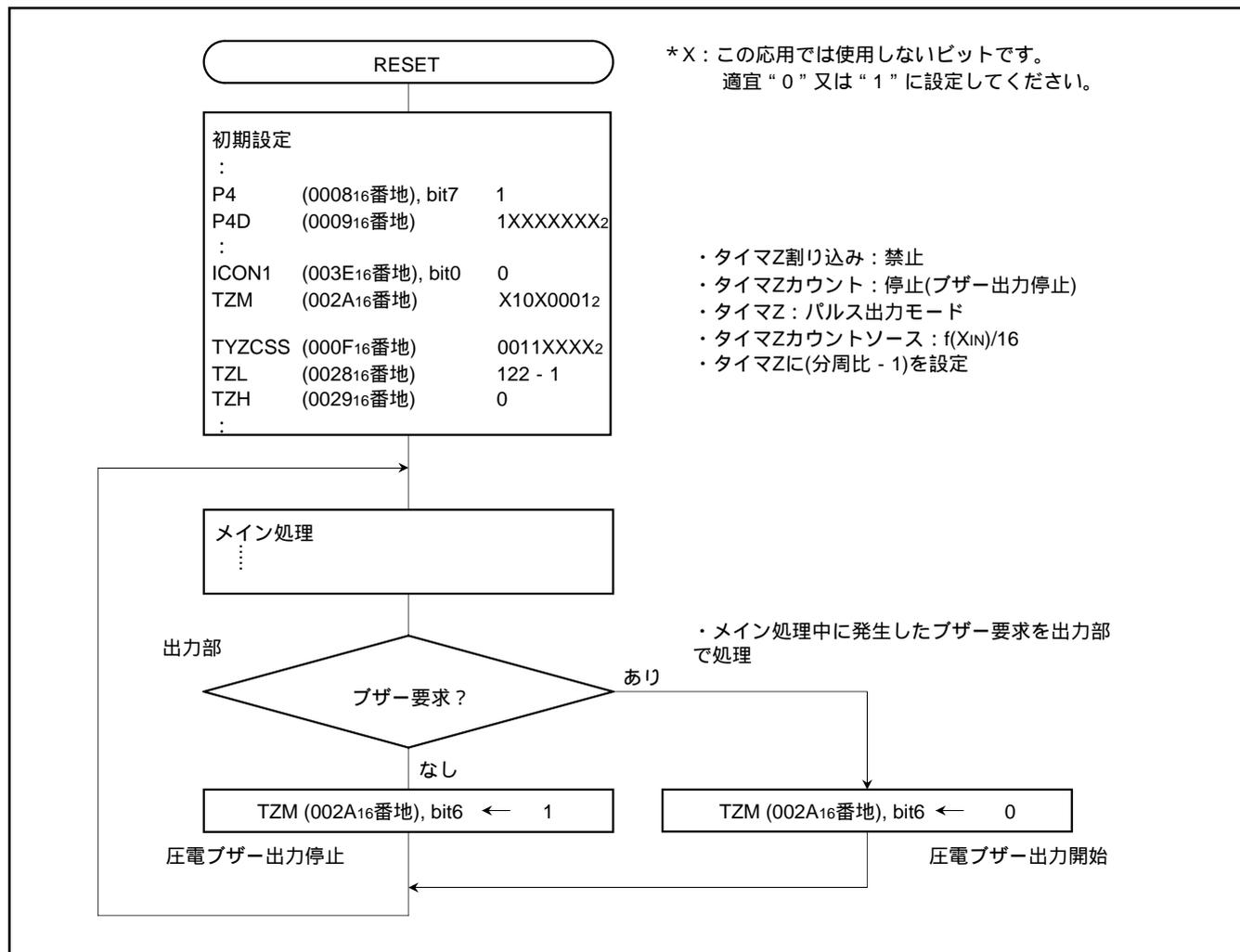


図2.3.21 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P55/CNTR1端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ P55/CNTR1端子にパルスを入力し、タイマYでカウント。

- ・ クロックf(XIN) = 8MHzをタイマ1で分周し、約2msごとに割り込み発生。
- ・ 約2ms(タイマ1割り込み間隔)ごとにカウント値を読み出し、28~40カウントの場合を有効と判断。
- ・ タイマがダウンカウンタであるため、227~215(注)とカウント値を比較。

注. 227 ~ 215 = 255(カウンタの初期値) - 28 ~ 40(有効カウント数)

入力パルスの有効又は無効の判定方法を図2.3.22、関連レジスタの設定を図2.3.23、制御手順を図2.3.24に示します。

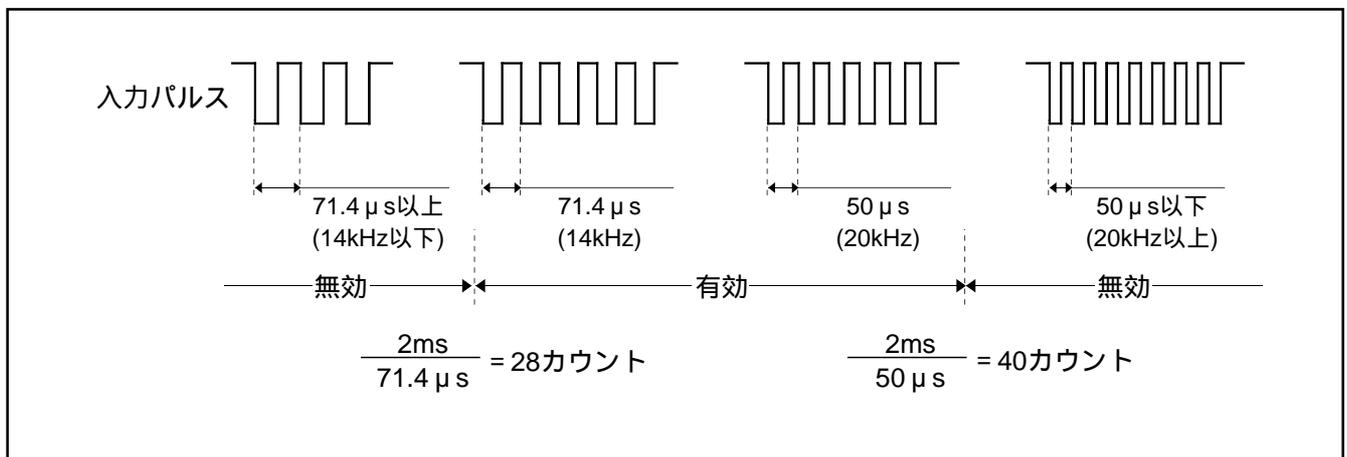


図2.3.22 入力パルス有効又は無効の判定方法

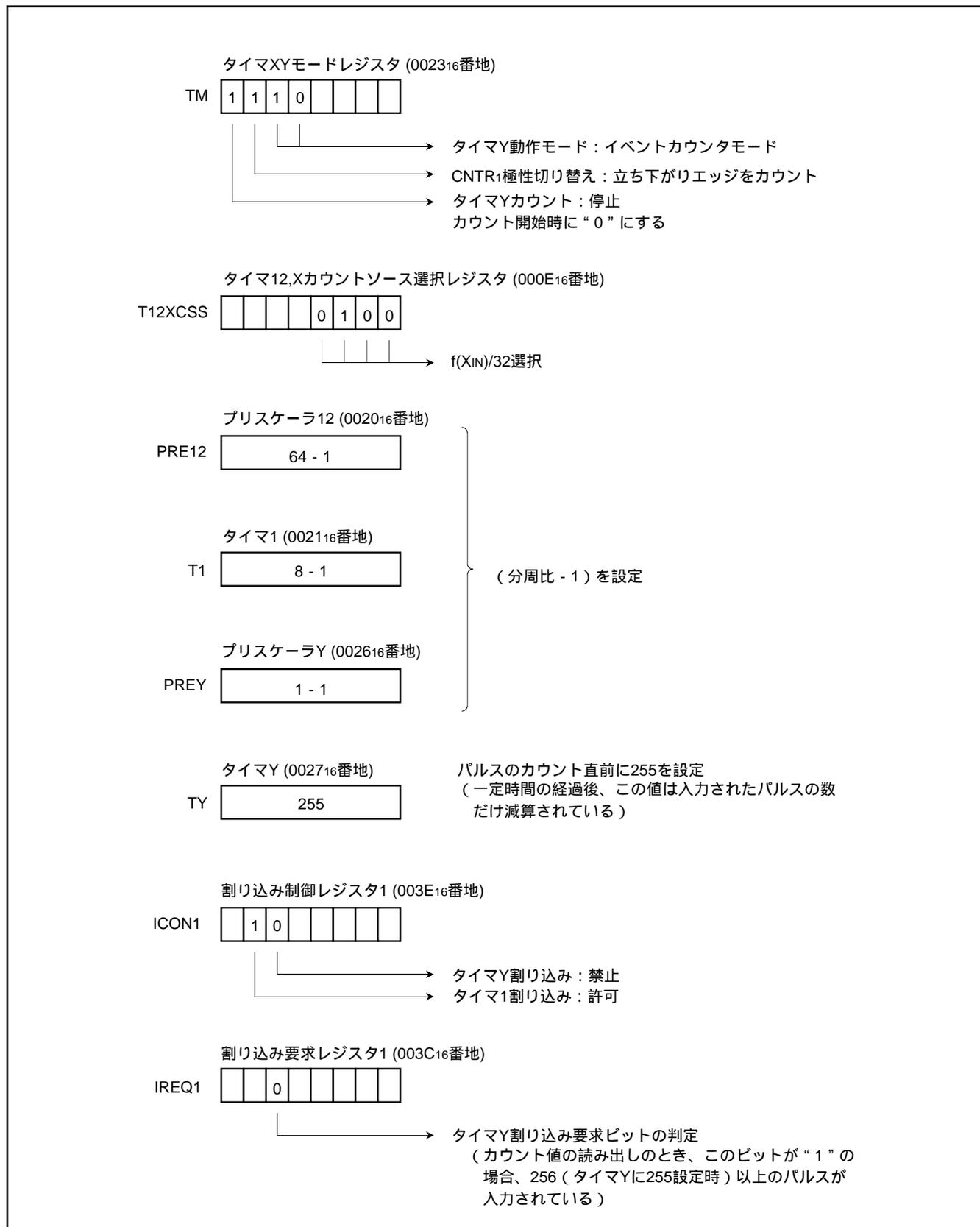


図2.3.23 関連レジスタの設定

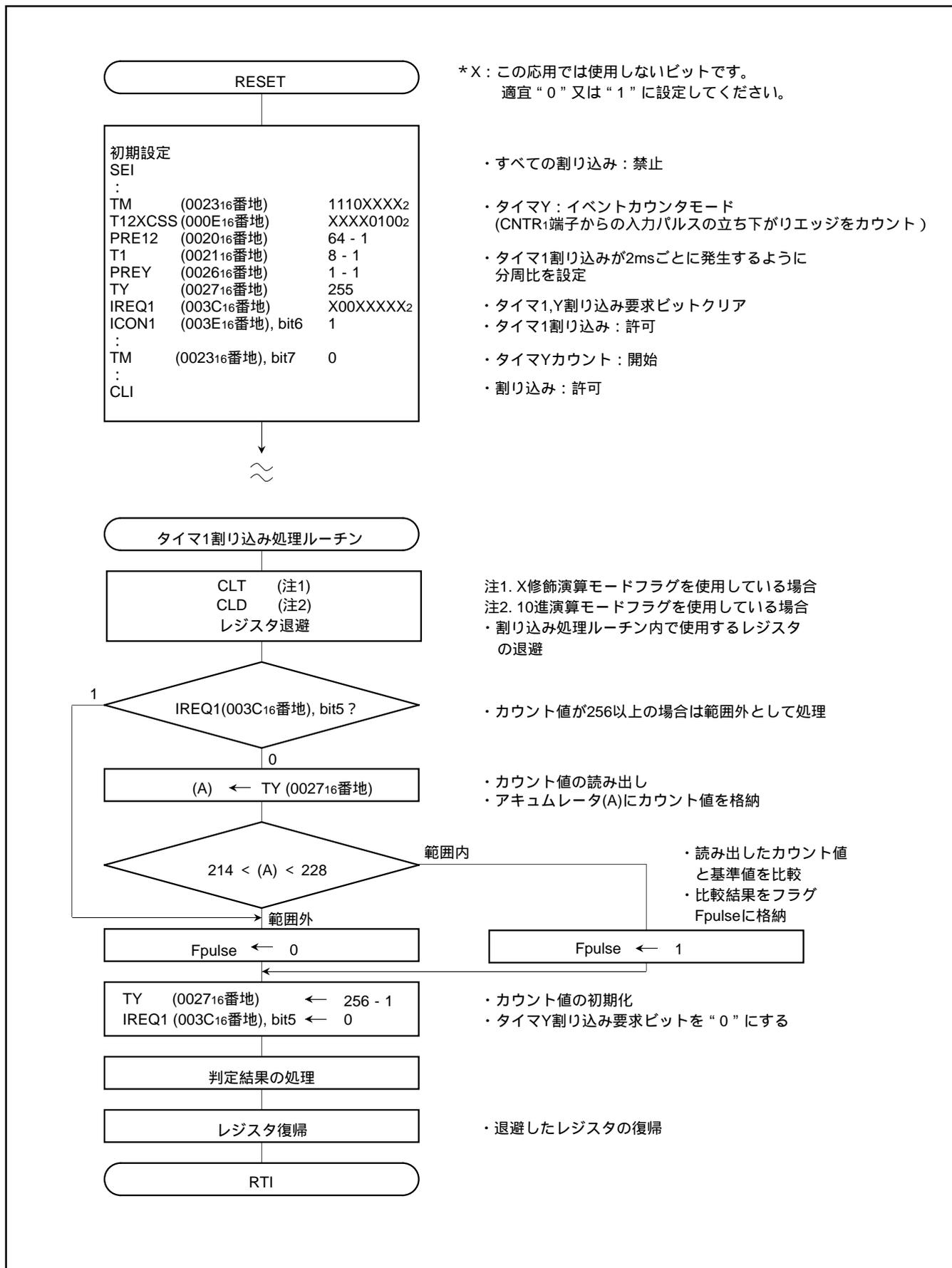


図2.3.24 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P47/CNTR2端子に入力されるパルスの“H”レベル幅をタイマZでカウントします。アンダフローはタイマZ割り込みで検出され、入力パルスの“H”レベルの終了はP47/CNTR2割り込みで検出されます。

仕様：P47/CNTR2端子から入力されるFGパルスの“H”レベル幅をタイマZでカウント。

例：8MHzの場合、16分周された2μsがカウントソースとなる。FFFF₁₆～0000₁₆の範囲で131.072msまで測定可能。

タイマの接続と分周比の設定を図2.3.25、関連レジスタの設定を図2.3.26、制御手順を図2.3.27、図2.3.28に示します。

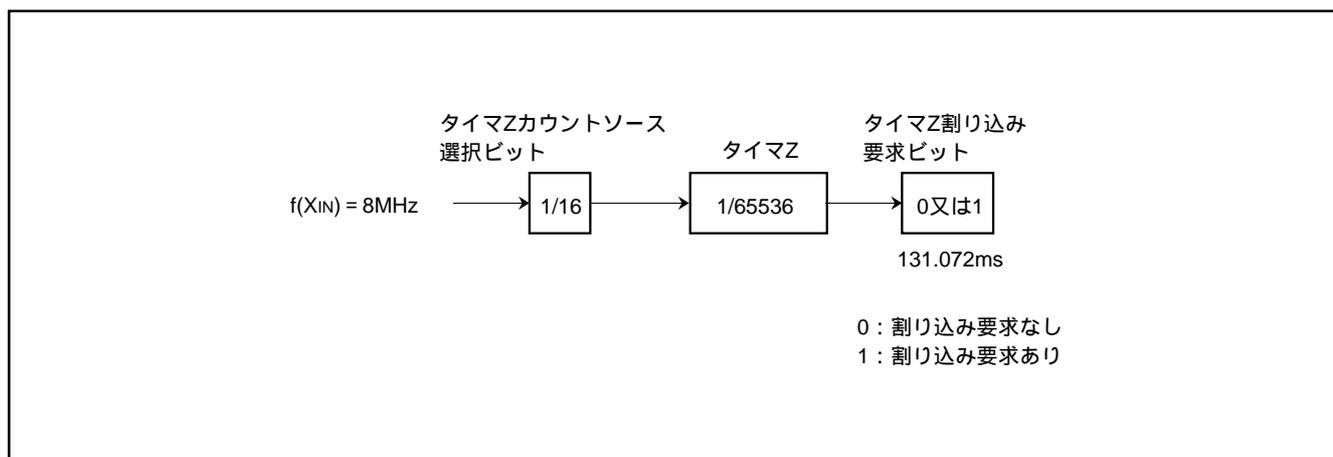


図2.3.25 タイマの接続と分周比の設定

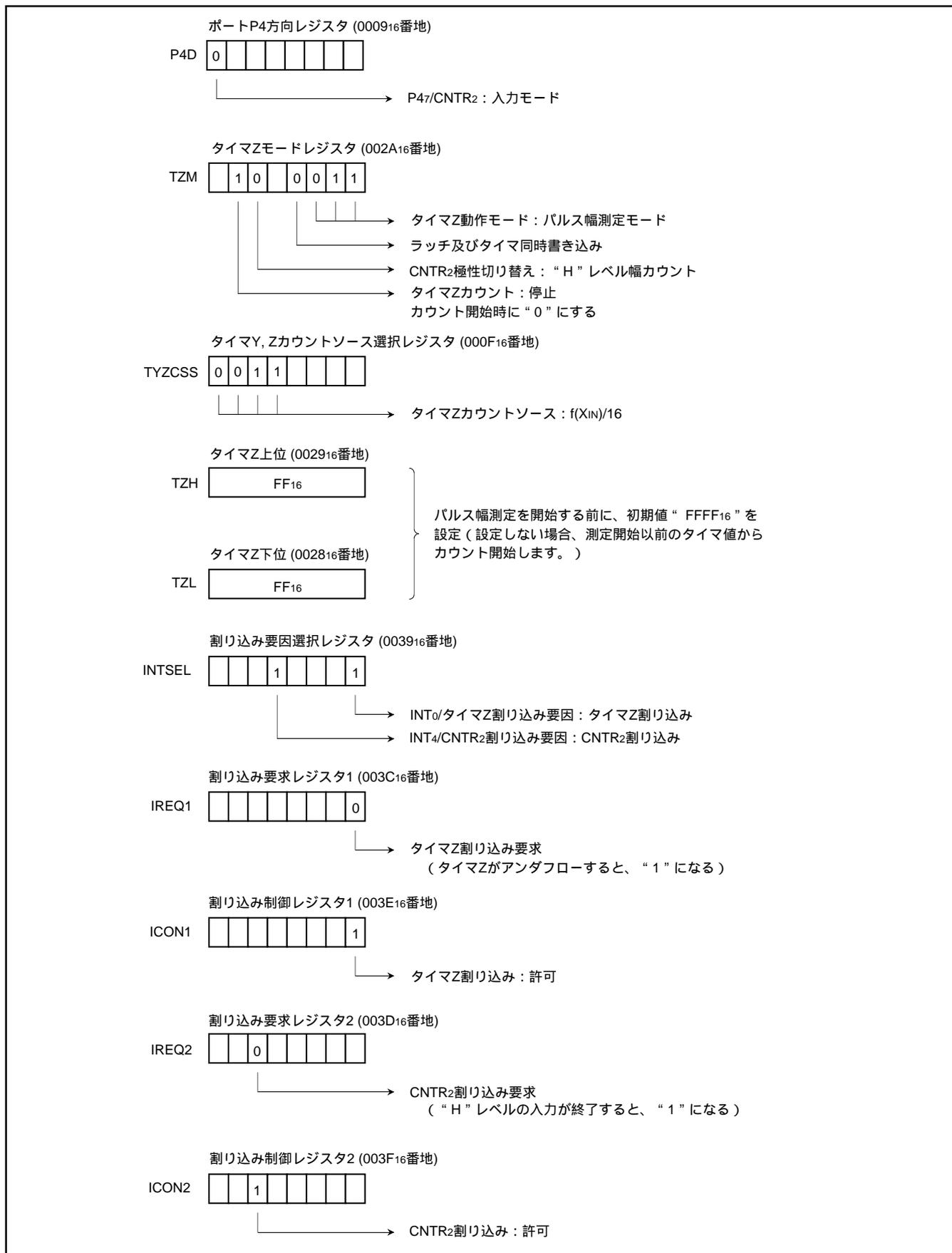


図2.3.26 関連レジスタの設定

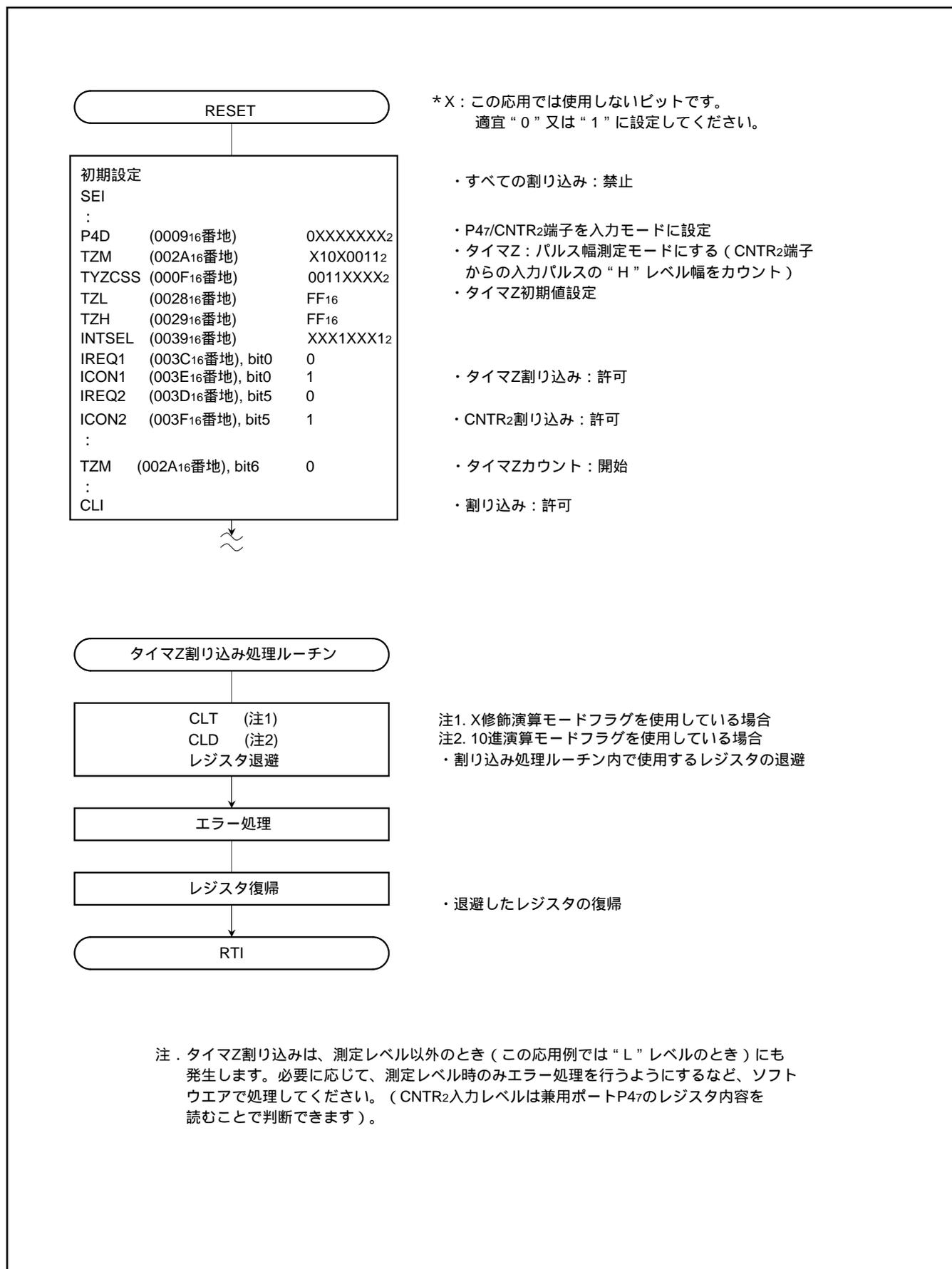
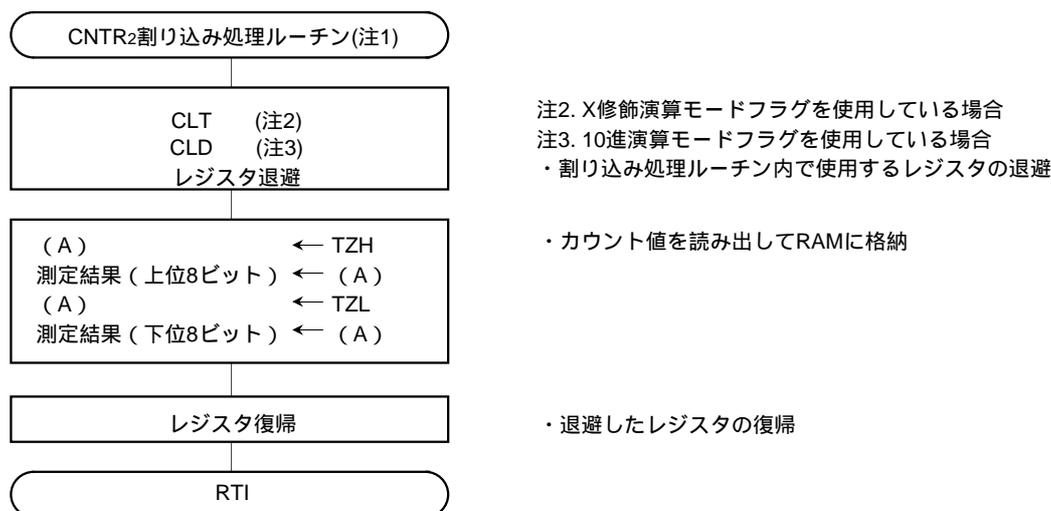


図2.3.27 制御手順(1)



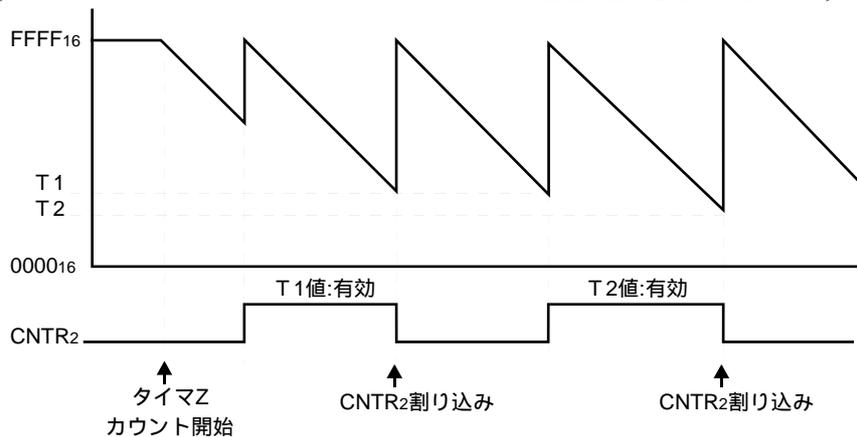
注2. X修飾演算モードフラグを使用している場合
注3. 10進演算モードフラグを使用している場合
・割り込み処理ルーチン内で使用するレジスタの退避

・カウント値を読み出してRAMに格納

・退避したレジスタの復帰

注1. 下図に示すように、タイマZのカウントを開始するタイミングによって、1回目の測定値が無効となる場合があります。必要に応じてソフトウェアで処理してください。

[例1] ・CNTR2入力レベルが“L”のときにタイマZのカウントを開始させる
(CNTR2の入力レベルは、兼用ポートP47のレジスタの内容を読むことで判断できます)



[例2] ・CNTR2入力レベルが“H”のときにタイマZのカウントを開始した場合
タイマZのカウント開始後、1回目のCNTR2割り込みは無効とする

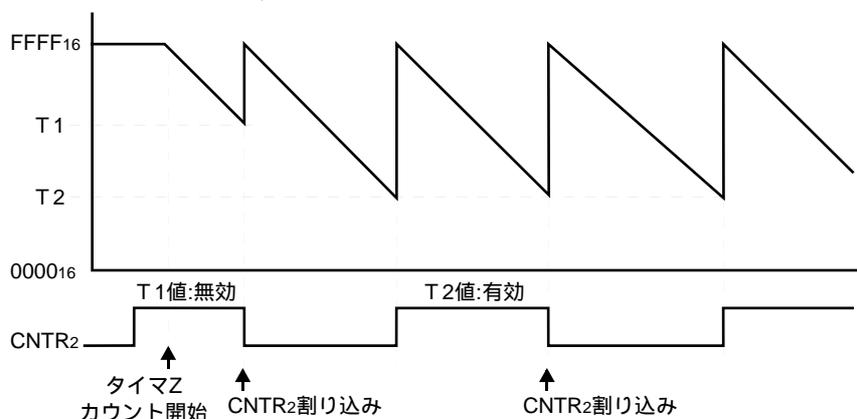


図2.3.28 制御手順(2)

2.3.4 タイマに関する注意事項

タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を再度設定してください。

2.4 シリアルI/O

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図

0018 ₁₆	送信/受信バッファレジスタ1 (TB1/RB1)
0019 ₁₆	シリアルI/O1ステータスレジスタ (SIO1STS)
001A ₁₆	シリアルI/O1制御レジスタ (SIO1CON)
001B ₁₆	UART1制御レジスタ (UART1CON)
001C ₁₆	ボーレートジェネレータ1 (BRG1)
001D ₁₆	シリアルI/O2制御レジスタ (SIO2CON)
~	~
001F ₁₆	シリアルI/O2レジスタ (SIO2)
~	~
002F ₁₆	ボーレートジェネレータ3 (BRG3)
0030 ₁₆	送信/受信バッファレジスタ3 (TB3/RB3)
0031 ₁₆	シリアルI/O3ステータスレジスタ (SIO3STS)
0032 ₁₆	シリアルI/O3制御レジスタ (SIO3CON)
0033 ₁₆	UART3制御レジスタ (UART3CON)
~	~
0039 ₁₆	割り込み要因選択レジスタ (INTSEL)
~	~
003C ₁₆	割り込み要求レジスタ1 (IREQ1)
003D ₁₆	割り込み要求レジスタ2 (IREQ2)
003E ₁₆	割り込み制御レジスタ1 (ICON1)
003F ₁₆	割り込み制御レジスタ2 (ICON2)

図2.4.1 シリアルI/O関連レジスタのメモリ配置

2.4.2 関連レジスタ

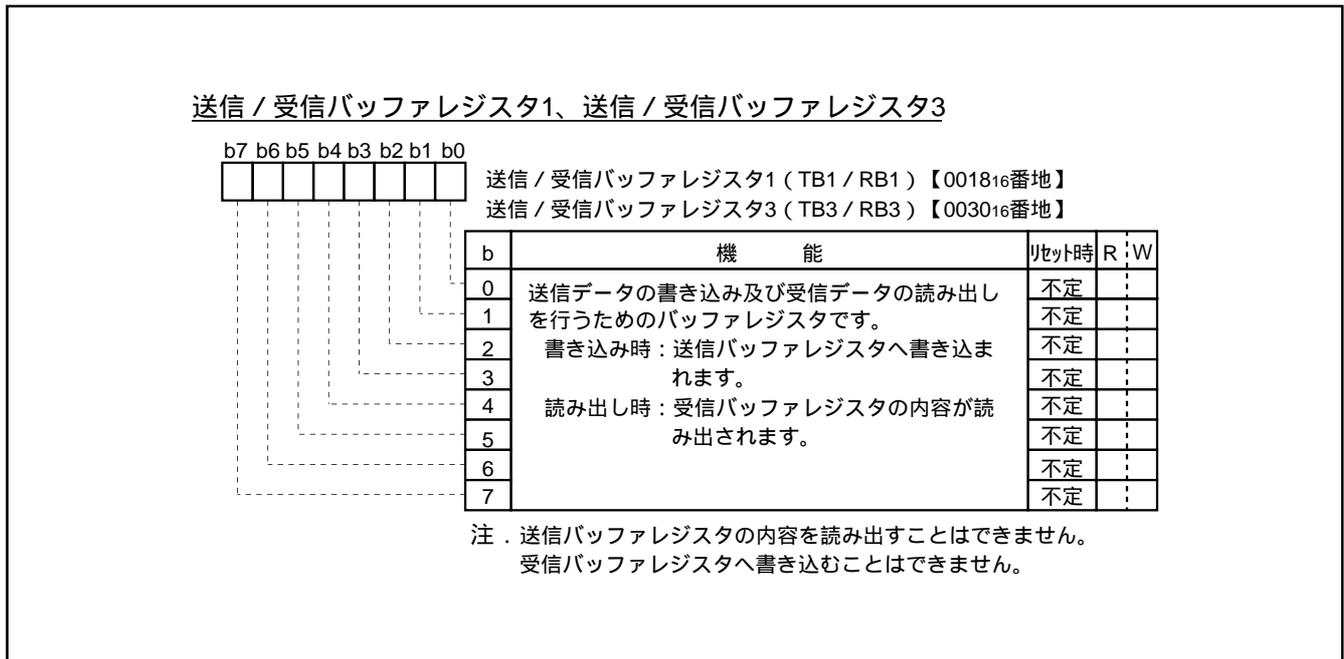


図2.4.2 送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成

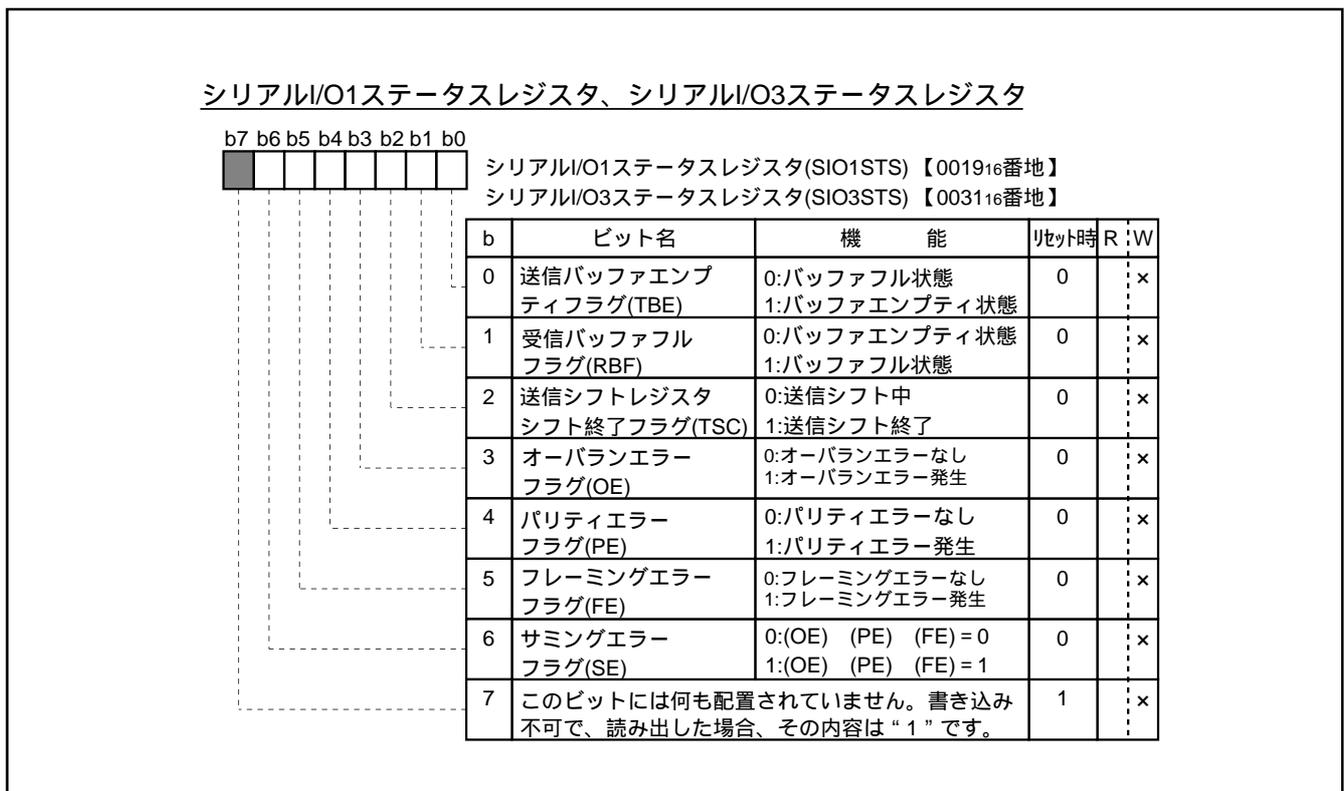


図2.4.3 シリアルI/O1ステータスレジスタ、シリアルI/O3ステータスレジスタの構成

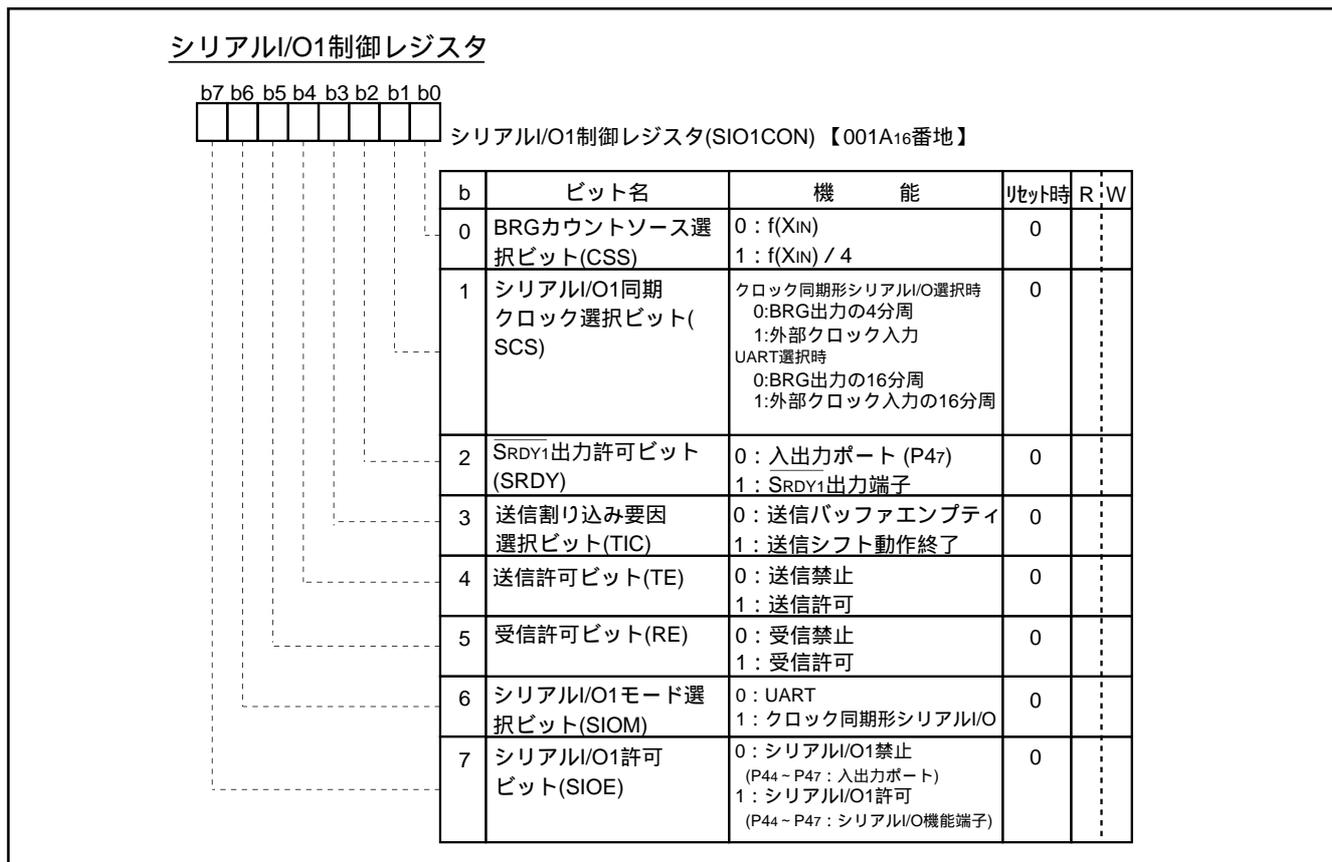


図2.4.4 シリアルI/O1制御レジスタの構成

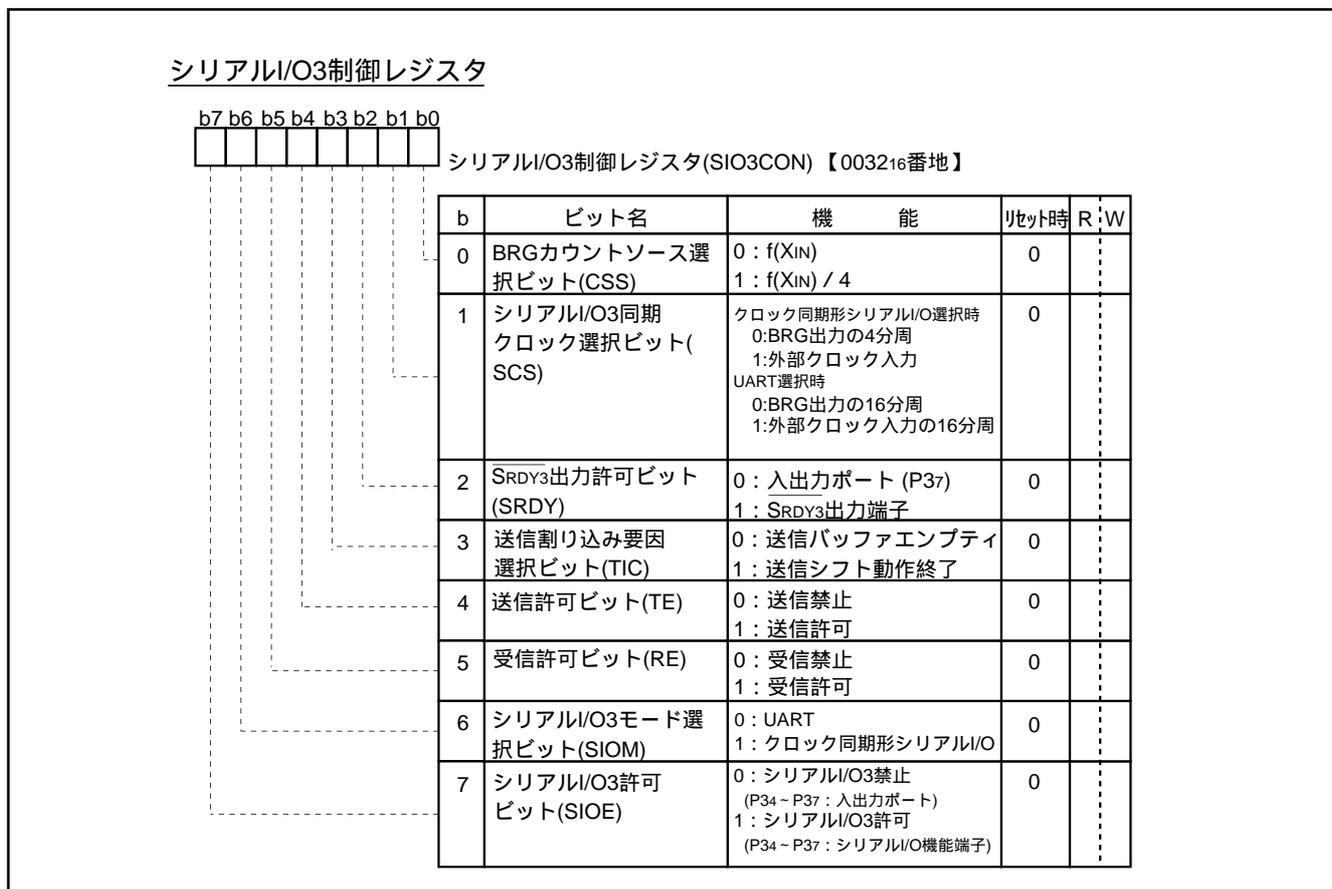


図2.4.5 シリアルI/O3制御レジスタの構成

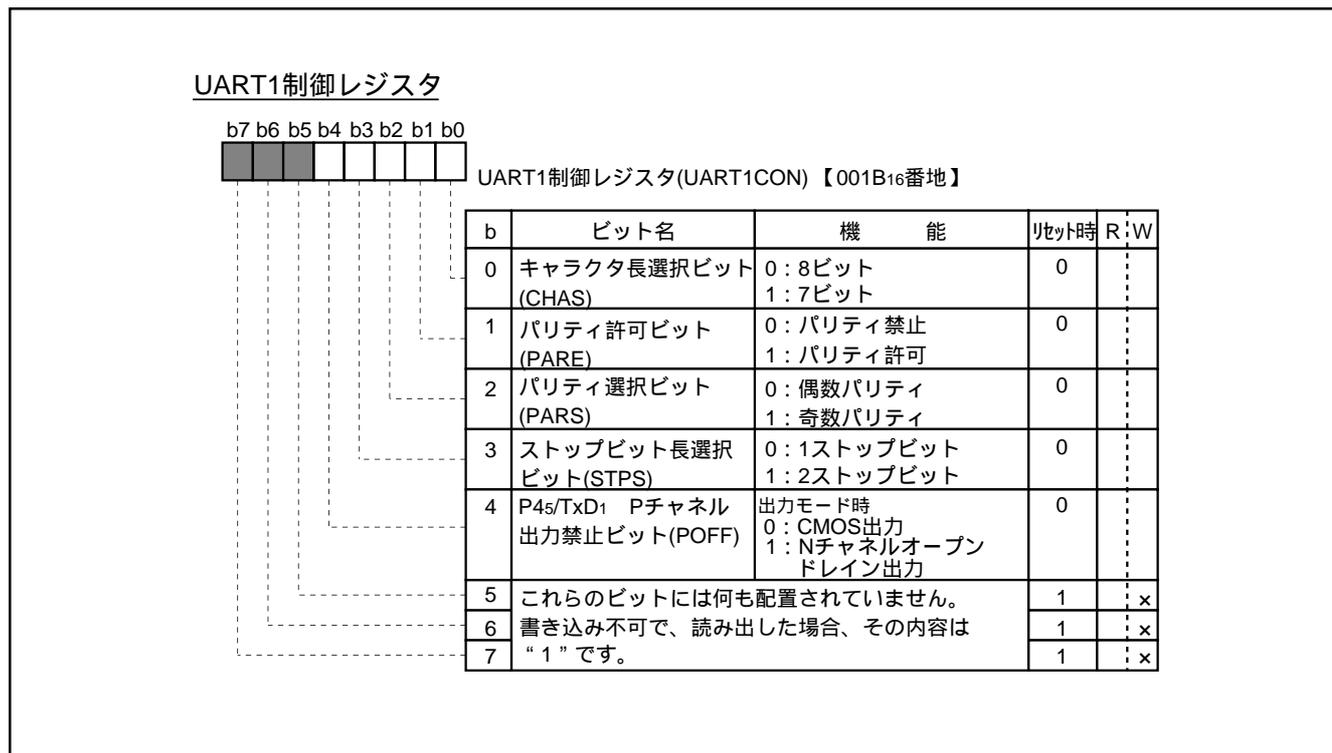


図2.4.6 UART1制御レジスタの構成

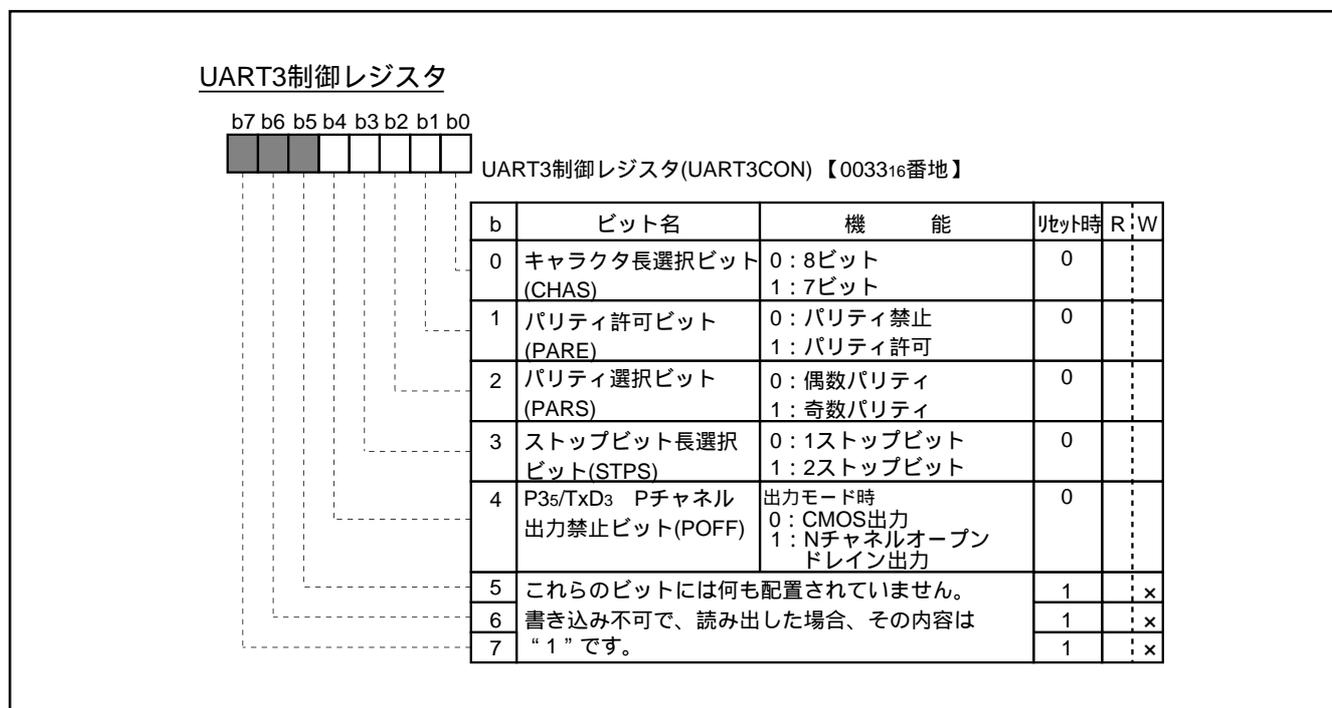
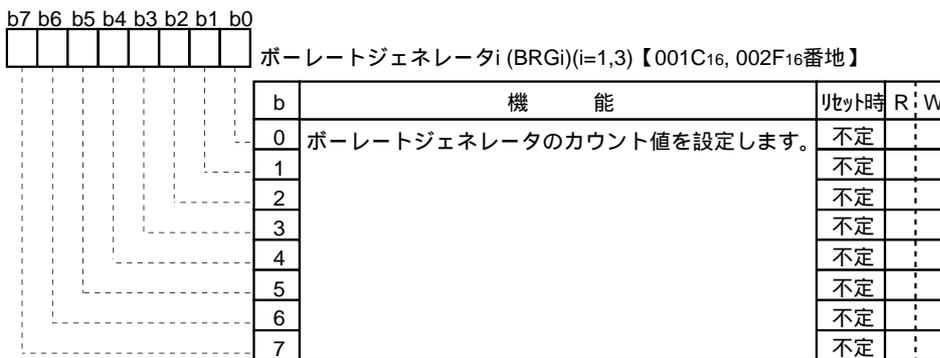


図2.4.7 UART3制御レジスタの構成

ボーレートジェネレータ i ($i=1, 3$)



注. このレジスタへの書き込みは、送受信停止中に行ってください。

図2.4.8 ボーレートジェネレータ1、ボーレートジェネレータ3の構成

シリアルI/O2制御レジスタ

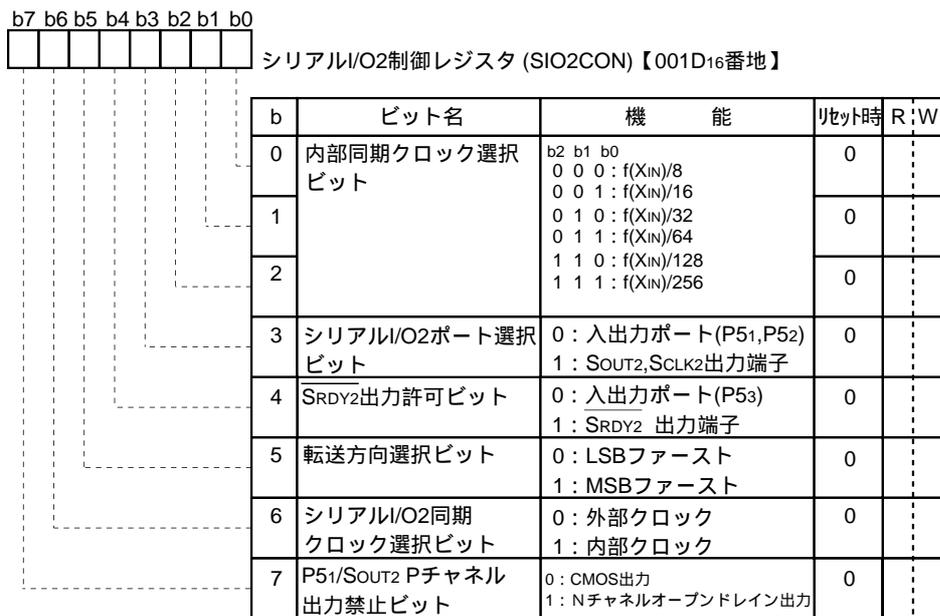


図2.4.9 シリアルI/O2制御レジスタの構成

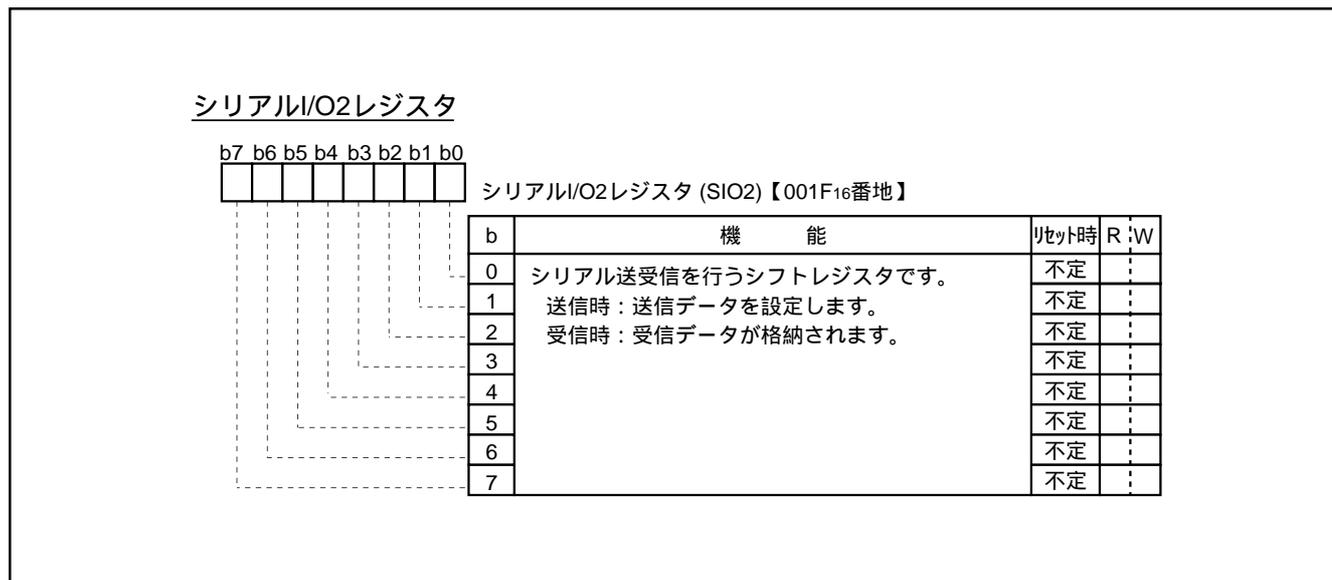


図2.4.10 シリアルI/Oレジスタの構成

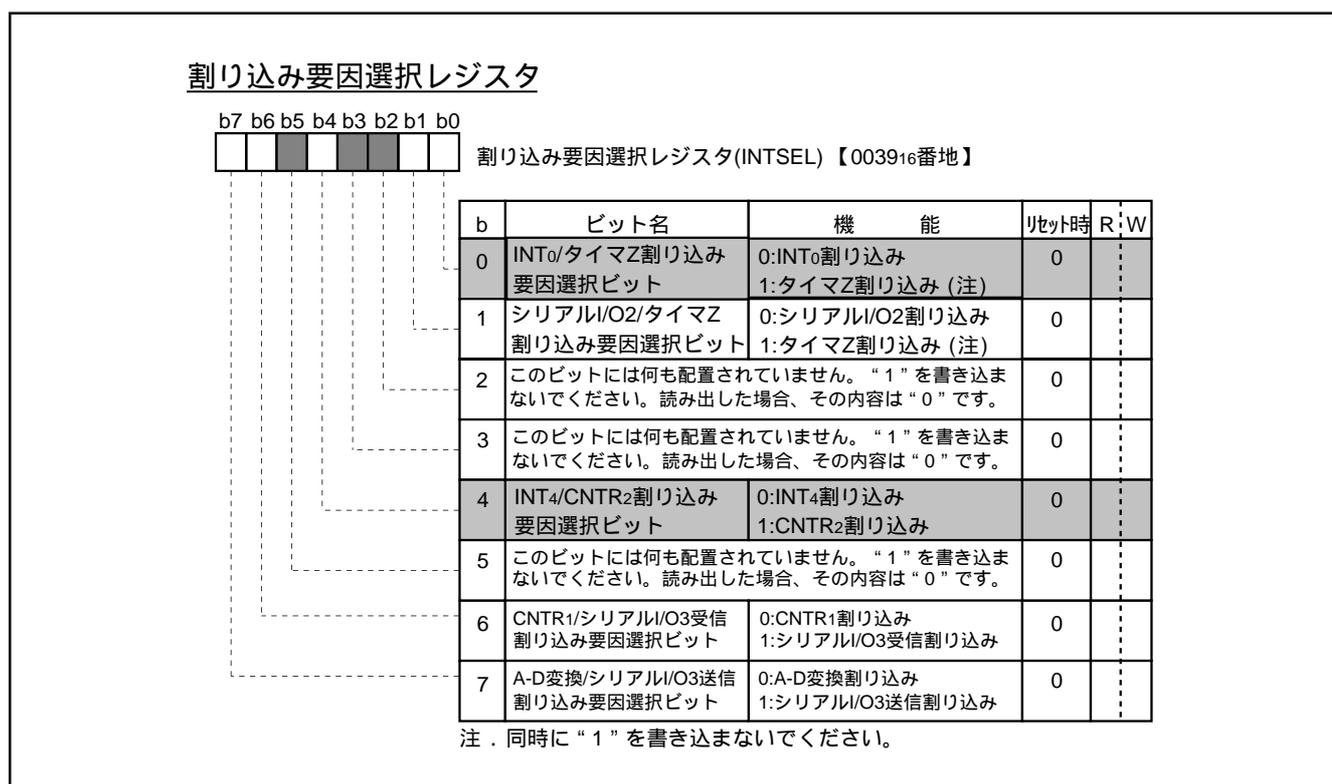
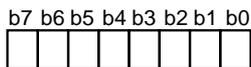


図2.4.11 割り込み要因選択レジスタの構成

割り込み要求レジスタ1



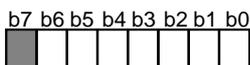
割り込み要求レジスタ1(IREQ1)【003C16番地】

b	ビット名	機能	リセット時	R/W
0	INT ₀ /タイマZ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	INT ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	シリアル/O1送信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	タイマ1割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	タイマ2割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.4.12 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



割り込み要求レジスタ2(IREQ2)【003D16番地】

b	ビット名	機能	リセット時	R/W
0	CNTR ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	CNTR ₁ /シリアル/O3 受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	シリアル/O2/タイマZ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	INT ₂ 割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	INT ₃ 割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	INT ₄ /CNTR ₂ 割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	A-D変換/シリアル/O3 送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.4.13 割り込み要求レジスタ2の構成

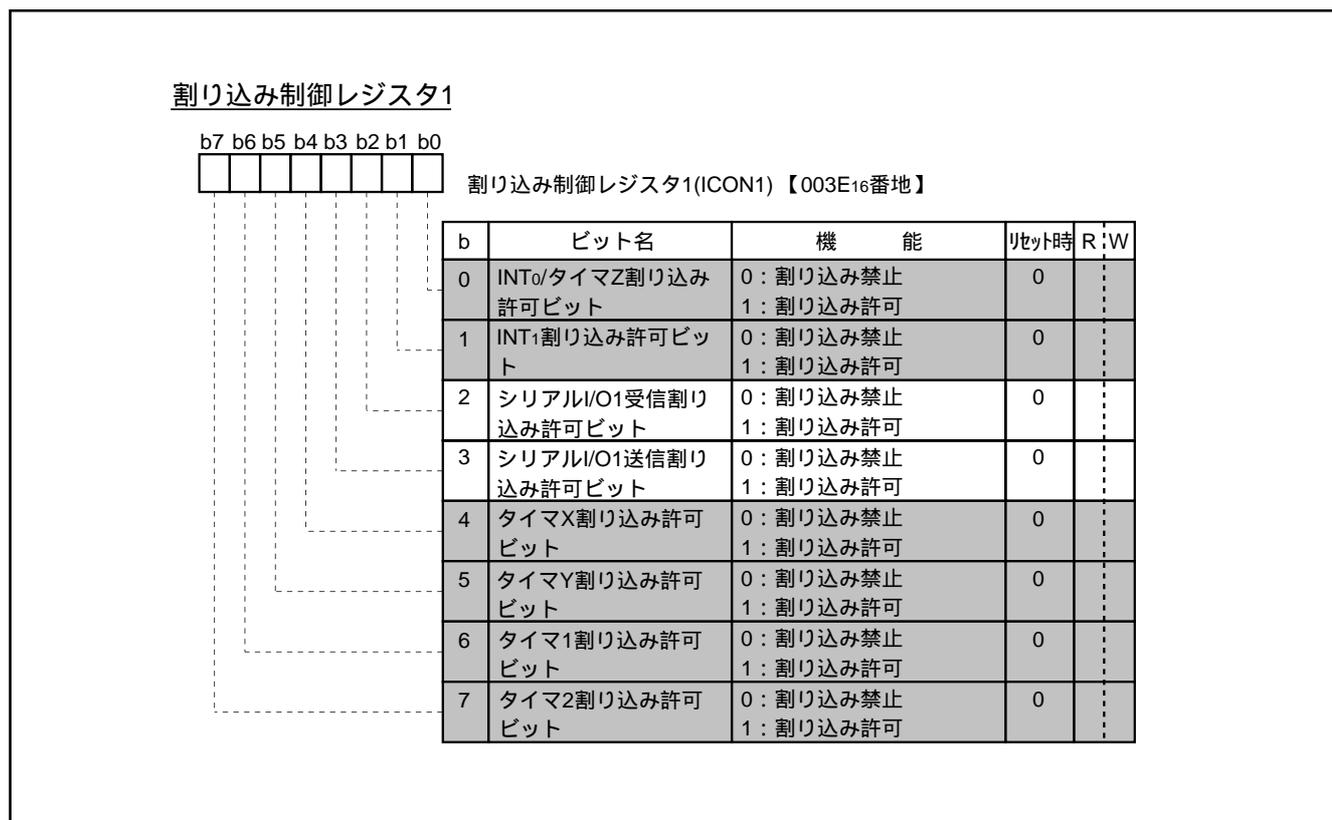


図2.4.14 割り込み制御レジスタ1の構成

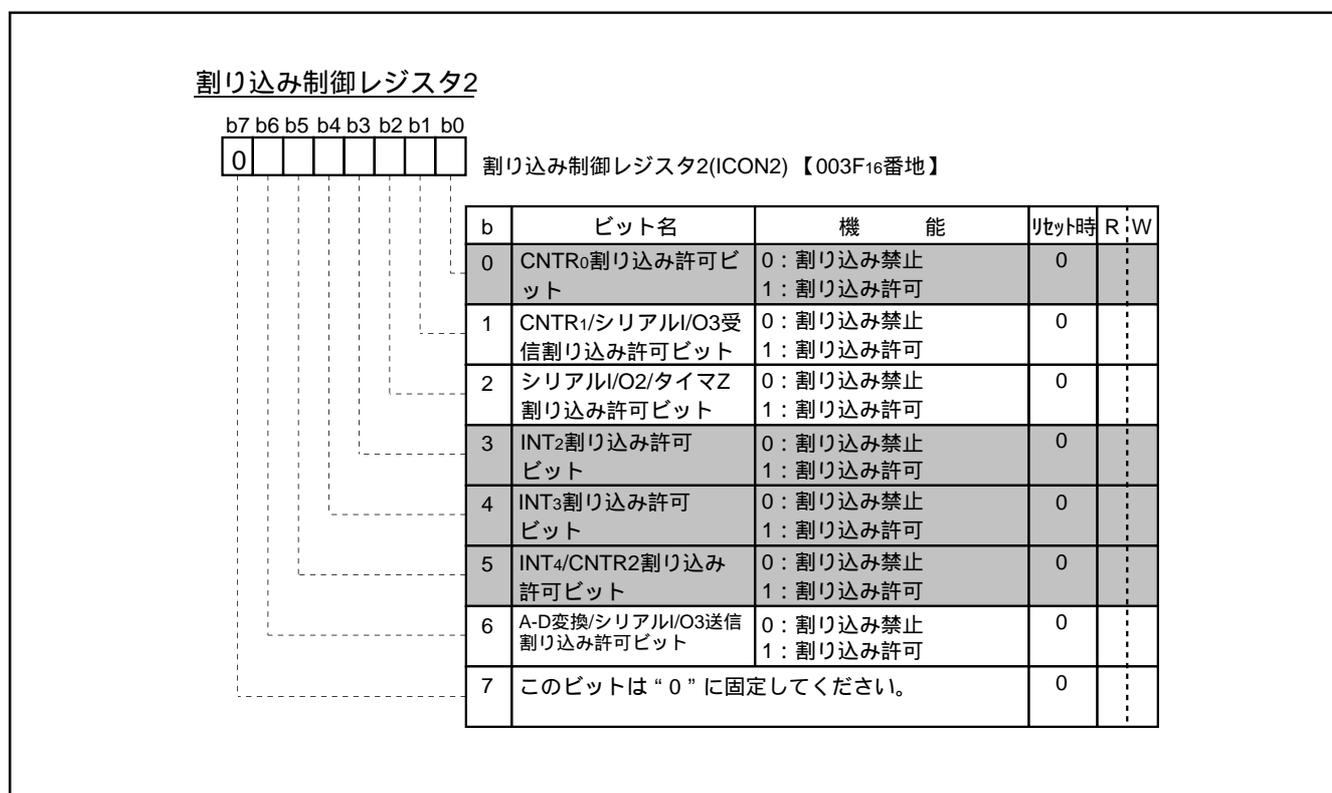


図2.4.15 割り込み制御レジスタ2の構成

2.4.3 シリアルI/Oの接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.4.16に示します。

いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

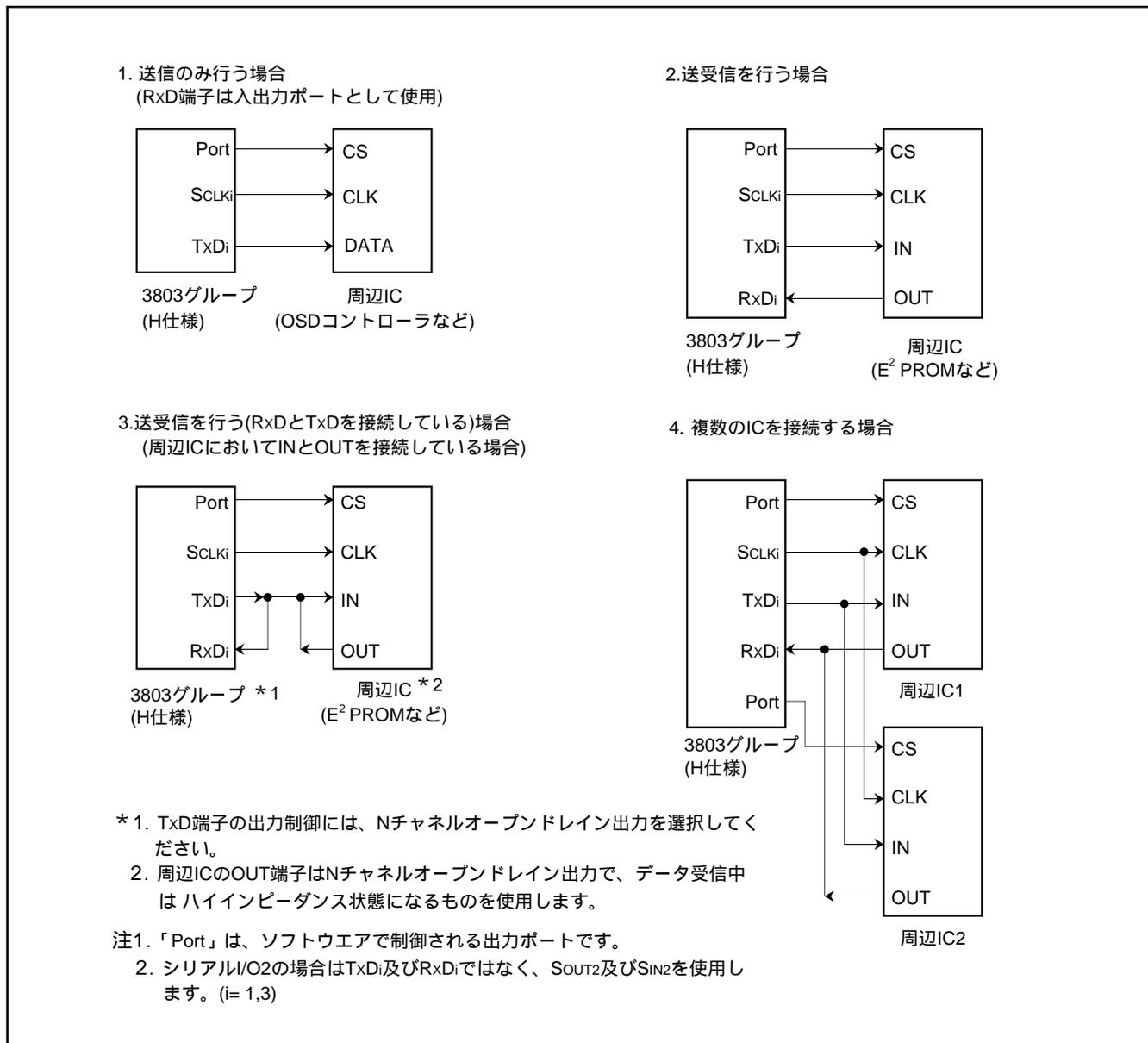


図2.4.16 シリアルI/Oの接続例1

(2) マイコンとの接続

他のマイコンとの接続例を図2.4.17に示します。

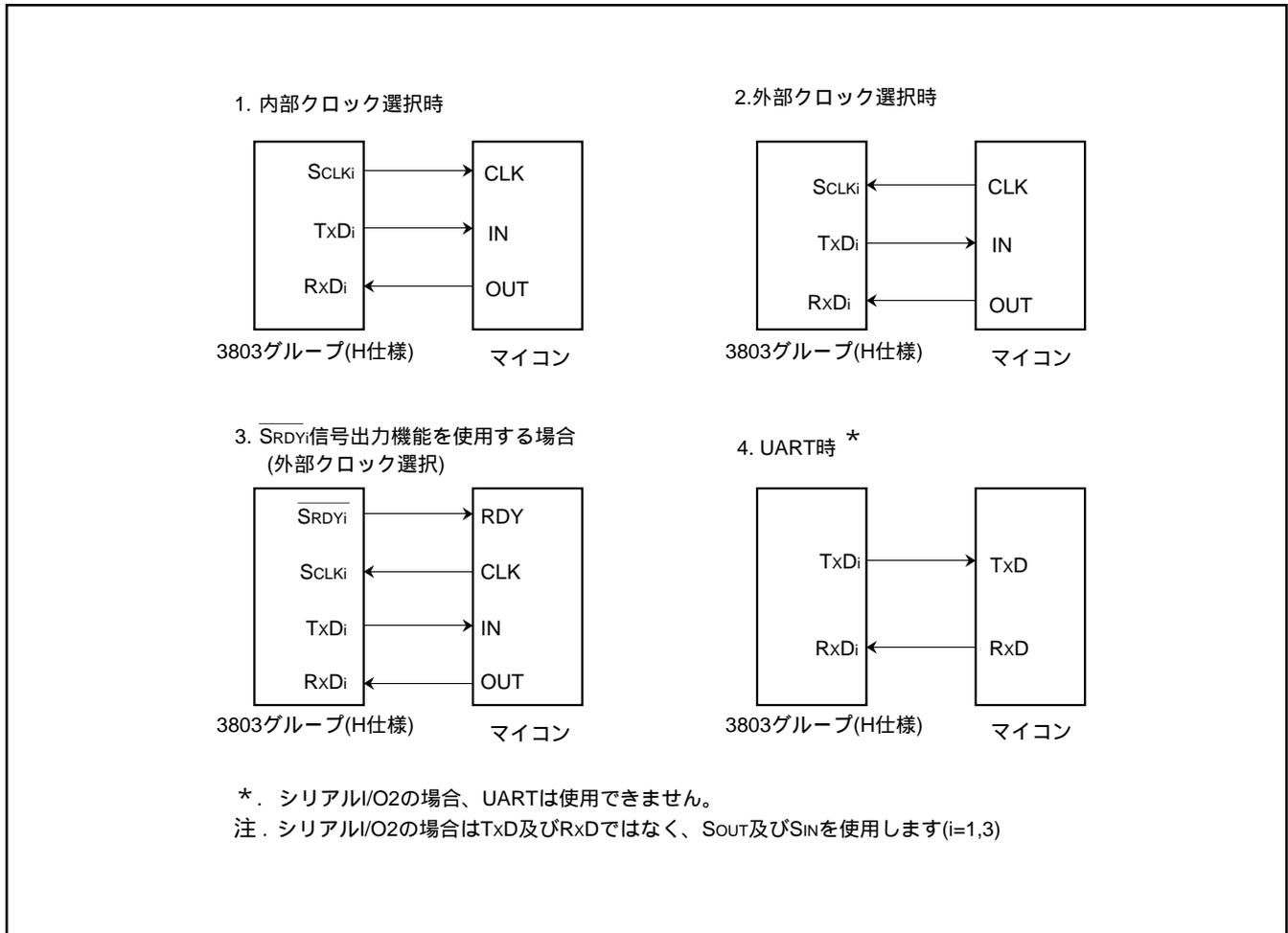


図2.4.17 シリアルI/Oの接続例2

2.4.4 シリアルI/O転送データフォーマット

シリアルI/O1、シリアルI/O3はクロック同期形、非同期形(UART)が選択できます。
シリアルI/O2はクロック同期形で動作します。
シリアルI/O転送データフォーマットを図2.4.18に示します。

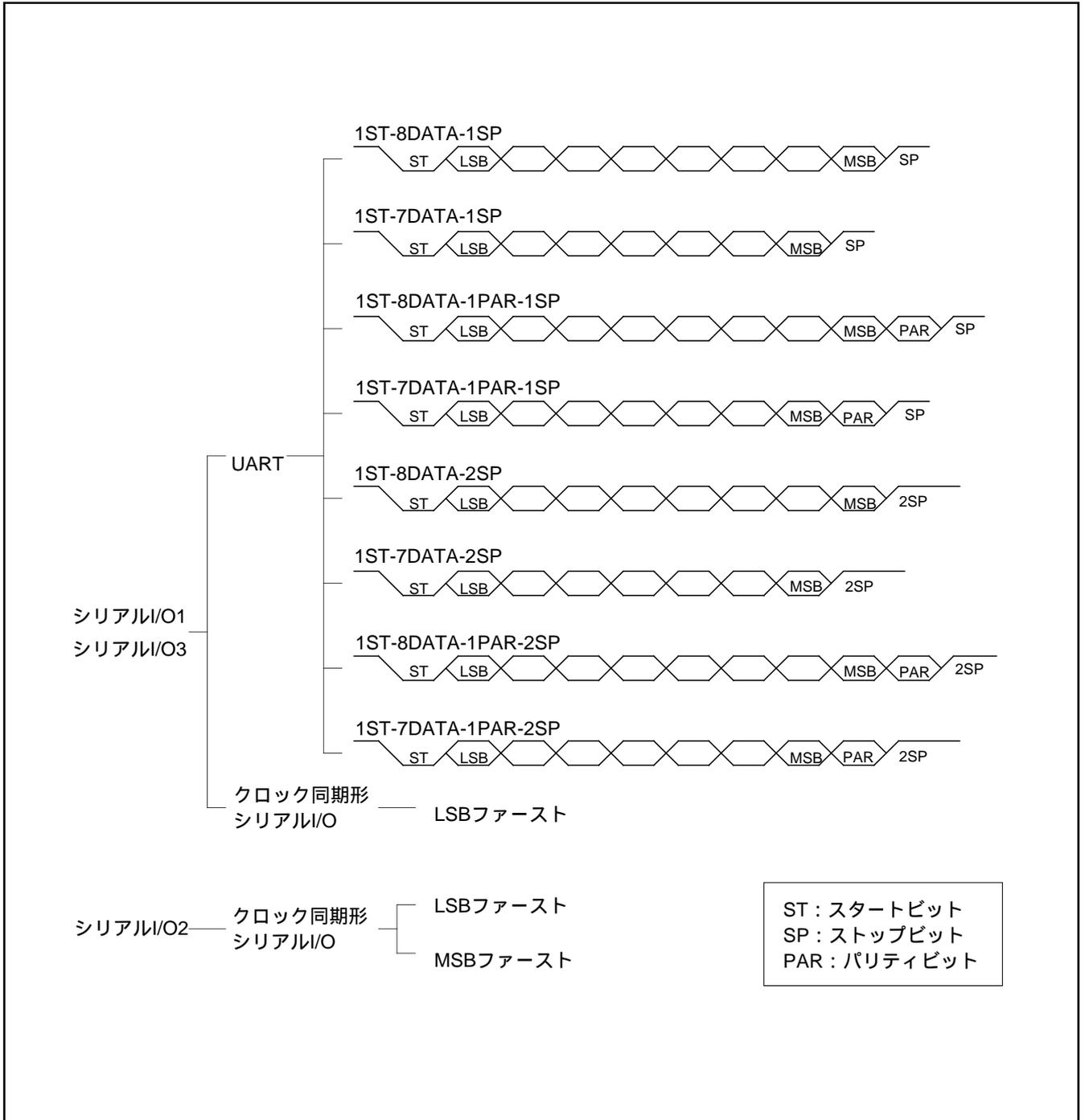


図2.4.18 シリアルI/O転送データフォーマット

2.4.5 シリアルI/O1、シリアルI/O3動作の停止、初期化

シリアルI/O1とシリアルI/O3は、同じ動作をします。(以下の説明では、シリアルI/O1とシリアルI/O3で名称が異なる場合には、シリアルI/O1の名称を先に示し、その後の()内にシリアルI/O3の名称を記載しています。)

(1) クロック同期形シリアルI/Oモード

送信のみ使用時の送信動作の停止、初期化

内部クロック選択時は、送信許可ビット及びシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

外部クロック選択時は、送信許可ビットを“0”にしてください。

送信許可ビットを“0”にすることにより、次に示す送信動作の停止、初期化が行われます。

ただし、内部クロック選択時、送信動作中に送信許可ビットを“0”にしても、クロックは8回分出力されます。

- ・送信シフトレジスタへのシフトクロックの停止
- ・送信用クロック制御回路の初期化
- ・送信バッファエンプティフラグ=“0”
- ・送信シフトレジスタシフト終了フラグ=“0”
- ・P45/TxD1端子：入出力ポートP44(P35/TxD3端子：入出力ポートP35)

シリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にすることにより、P44/RxD1、P45/TxD1、P46/SCLK1、P47/ $\overline{\text{SRDY1}}$ 端子(P34/RxD3、P35/TxD3、P36/SCLK3、P37/ $\overline{\text{SRDY3}}$ 端子)の機能がすべて入出力ポートになります。その結果、内部クロックは外部に出力されません。

受信のみ使用時の受信動作の停止、初期化

内部クロック選択時は、受信許可ビット及びシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

外部クロック選択時は、受信許可ビット又はシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

受信許可ビットを“0”にすることにより、次に示す受信動作の停止、初期化が行われます。

ただし、内部クロック選択時、受信動作中に受信許可ビットを“0”にしても、クロックは8回分出力されます。

- ・受信シフトレジスタへのシフトクロックの停止
- ・受信用クロック制御回路の初期化
- ・エラーフラグ(オーバランエラーフラグ、パリティエラーフラグ、フレーミングエラーフラグ、サミングエラーフラグ)=“0”
- ・受信バッファフルフラグ=“0”
- ・P44/RxD1端子：入出力ポートP44(P34/RxD3端子：入出力ポートP34)

シリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にすることにより、次に示す受信動作の停止、初期化が行われます。この結果、内部クロックは外部に出力されません。

- ・受信シフトレジスタへのシフトクロックの停止
- ・受信用クロック制御回路の初期化
- ・エラーフラグ(オーバランエラーフラグ、パリティエラーフラグ、フレーミングエラーフラグ、サミングエラーフラグ)=“0”
- ・受信バッファフルフラグ=“0”
- ・P44/RxD1、P45/TxD1、P46/SCLK1、P47/ $\overline{\text{SRDY1}}$ 端子：入出力ポートP44、P45、P46、P47
(P34/RxD3、P35/TxD3、P36/SCLK3、P37/ $\overline{\text{SRDY3}}$ 端子：入出力ポートP34、P35、P36、P37)

送受信とも使用時の送受信動作の停止、初期化

送信許可ビット及び受信許可ビットを同時に“0”にしてください。

内部クロック選択時は、さらにシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

(2) UARTモード

送信動作の停止、初期化

送信許可ビットを“0”にしてください。

受信動作の停止、初期化

受信許可ビットを“0”にしてください。

2.4.6 シリアルI/Oの端子機能と選択方法

(1) シリアルI/O1、シリアルI/O3

表2.4.1にクロック同期形シリアルI/Oモード時の端子機能、表2.4.2にUARTモード時の端子機能を示します。

表2.4.1 クロック同期形シリアルI/Oモード時の端子機能

端子名 (シリアルI/O1)	端子名 (シリアルI/O3)	機能	シリアルI/O1制御レジスタ (1A ₁₆ 番地) シリアルI/O3制御レジスタ (32 ₁₆ 番地)								対応 方向 レジスタ
			b7 ^(注1)	b6	b5	b4	b3	b2	b1	b0	
			SIOE	SIOM	RE	TE	TIC	SRDY	SCS	CSS	
P44/RxD1	P34/RxD3	RxD1, RxD3	1	1	1	1	x	x	x	x	x
		P44, P34	1	1	0	x	x	x	x	x	0/1
P45/TxD1	P35/TxD3	TxD1, TxD3	1	1	x	1	x	x	x	x	x
		P45, P35	1	1	x	0	x	x	x	x	0/1
P46/SCLK1	P36/SCLK3	SCLK1 (外部クロック入力)	1	1	x	1	x	x	1	x	x
		SCLK1 (内部クロック出力)	1	1	x	1	x	x	0	x	x
P47/SRDY1 ^(注2) /CNTR2	P37/SRDY3	SRDY1, SRDY3	1	1	1	1	x	1	x	x	x
		P47, P37	1	1	x	x	x	0	x	x	0/1

注1. SIOE=0のときは、b6～b0の設定にかかわらず、すべて入出力ポートになります。

注2. タイマZがパルス出力モード、プログラマブル波形発生モード、プログラマブルワンショット発生モードの場合、b7～b0の設定にかかわらず、タイマZ機能出力端子になります。

x: その端子機能の設定には使用しないビットです。

表2.4.2 UARTモード時の端子機能

端子名 (シリアルI/O1)	端子名 (シリアルI/O3)	機能	シリアルI/O1制御レジスタ (1A ₁₆ 番地)								対応 方向 レジスタ
			b7 ^(注1)	b6	b5	b4	b3	b2	b1	b0	
			SIOE	SIOM	RE	TE	TIC	SRDY	SCS	CSS	
P44/RxD1	P34/RxD3	RxD	1	0	1	x	x	x	x	x	x
		P44	1	0	0	x	x	x	x	x	0/1
P45/TxD1	P35/TxD3	TxD	1	0	x	1	x	x	x	x	x
		P45	1	0	x	0	x	x	x	x	0/1
P46/SCLK1	P36/SCLK3	SCLK1 (外部クロック入力)	1	0	x	x	x	x	1	x	x
		P46	1	0	x	x	x	x	0	x	0/1
P47/SRDY1 ^(注2) /CNTR2	P37/SRDY3	P47	1	0	x	x	x	x	x	x	0/1

注1. SIOE=0のときは、b6～b0の設定にかかわらず、すべて入出力ポートになります。

注2. タイマZがパルス出力モード、プログラマブル波形発生モード、プログラマブルワンショット発生モードの場合、b7～b0の設定にかかわらず、タイマZ機能出力端子になります。

x: その端子機能の設定には使用しないビットです。

(2) シリアルI/O2

表2.4.3にクロック同期形シリアルI/Oモード時の端子機能を示します。

表2.4.3 クロック同期形シリアルI/Oモード時の端子機能

端子名	機能	シリアルI/O2制御レジスタ(1D16番地)								対応方向レジスタ	
		b7	b6	b5	b4	b3	b2	b1	b0		
P50/SIN2	SIN2 (注1)	x	x	x	x	1	x	x	x	0	
	P50	x	x	x	x	x	x	x	x	0/1	
P51/SOUT2	SOUT2	CMOS出力	0	x	x	x	1	x	x	x	x
		Nチャンネルオープンドレイン出力	1	x	x	x	1	x	x	x	x
	P51	(注3)	x	x	x	x	0	x	x	x	0/1
P52/SCLK2	SCLK2(外部クロック入力) (注2)	x	0	x	x	1	x	x	x	x	
	SCLK2(内部クロック出力)	x	1	x	x	1	x	x	x	x	
	P52	x	x	x	x	0	x	x	x	0/1	
P53/SRDY2	SRDY2	x	x	x	1	x	x	x	x	x	
	P53	x	x	x	0	x	x	x	x	0/1	

注1 . b3=0でも、SIN2として機能しますが、b3=1にして使用してください。

注2 . b3=0で対応方向レジスタ=0でも、SCLK2として機能しますが、b3=1にして使用してください。

注3 . 対応方向レジスタ=1の場合、b7は有効です。

x : その端子機能の設定には使用しないビットです。

2.4.7 シリアルI/Oの応用例

(1) クロック同期形シリアルI/Oを使用した通信(送信/受信)

ポイント：クロック同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、SRDY1信号を使用します。

接続図を図2.4.19、タイミング図を図2.4.20、送信側関連レジスタの設定を図2.4.21、受信側関連レジスタの設定を図2.4.22に示します。

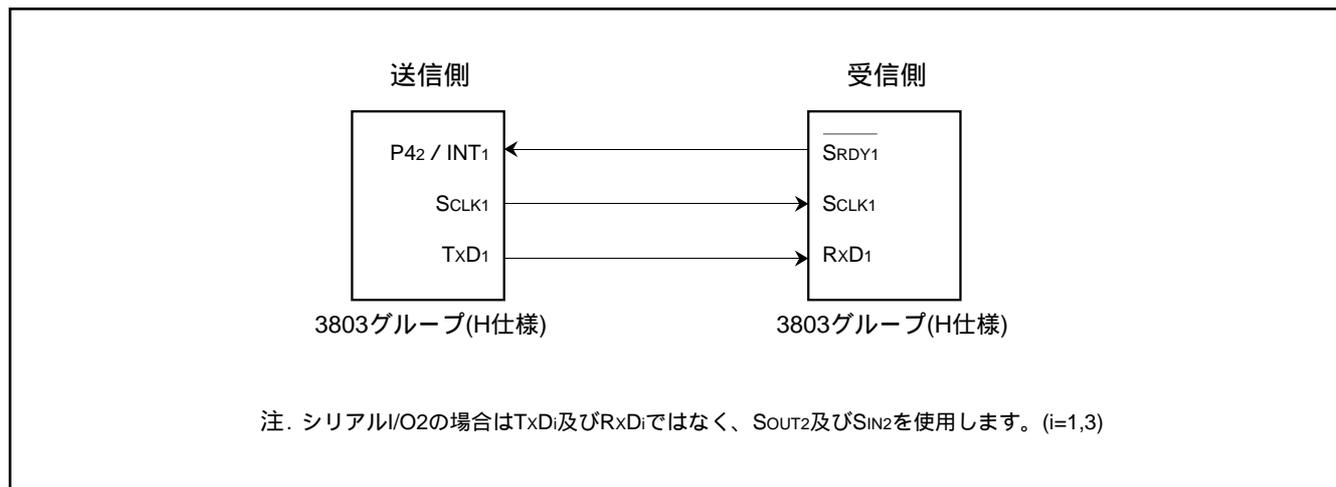


図2.4.19 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/Oを選択)を使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 4 \text{ MHz}$ の32分周)
 - ・SRDY1 (受信可能信号)を使用。
 - ・2 ms間隔 (タイマにより生成)で受信側からSRDY1信号を出力し、2バイトのデータを送信側から受信側へ転送。

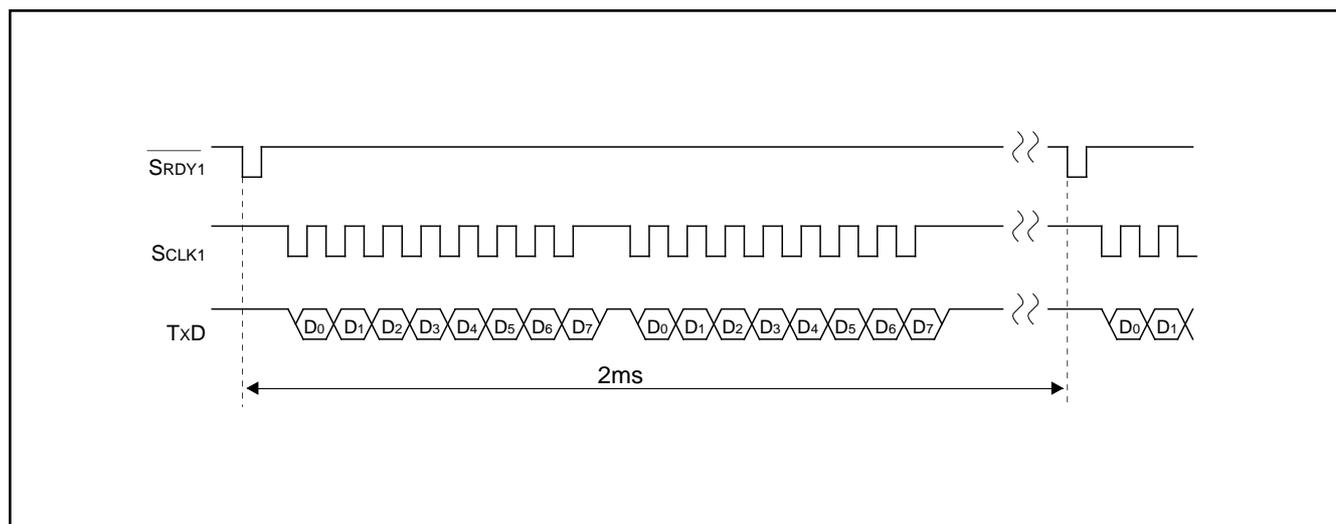


図2.4.20 タイミング図

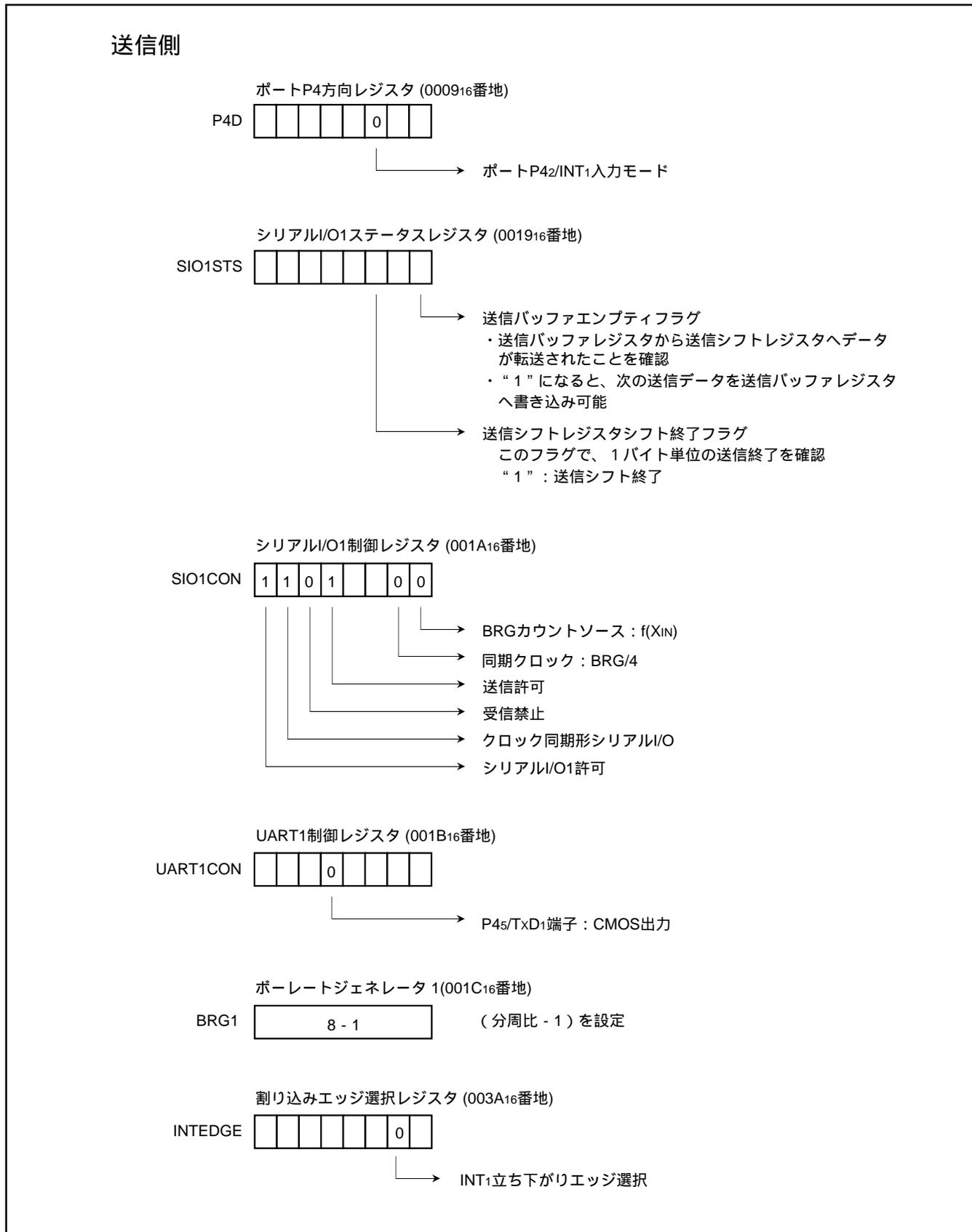


図2.4.21 送信側関連レジスタの設定

受信側

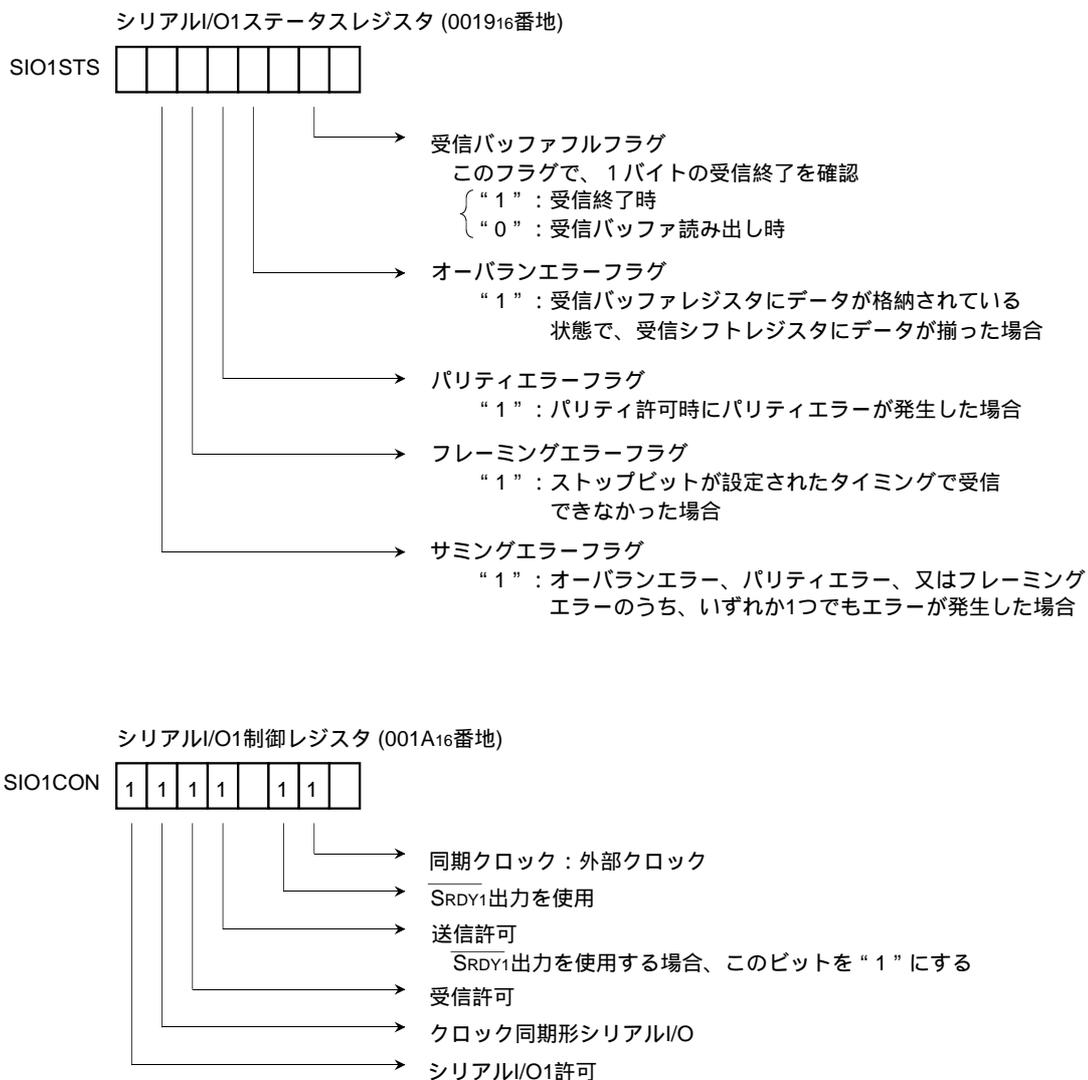


図2.4.22 受信側関連レジスタの設定

図2.4.23に送信側の制御手順、図2.4.24に受信側の制御手順を示します。

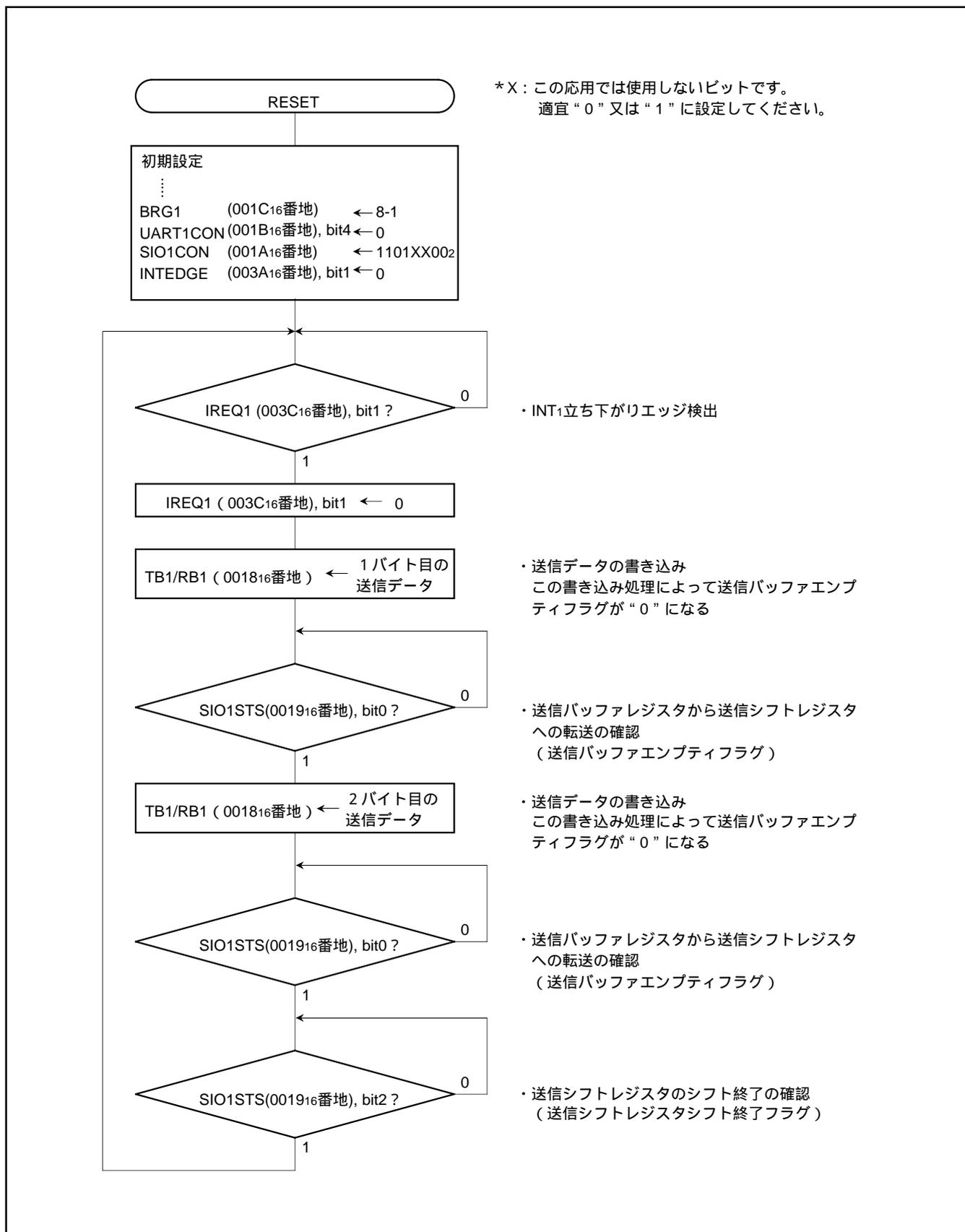


図2.4.23 送信側の制御手順

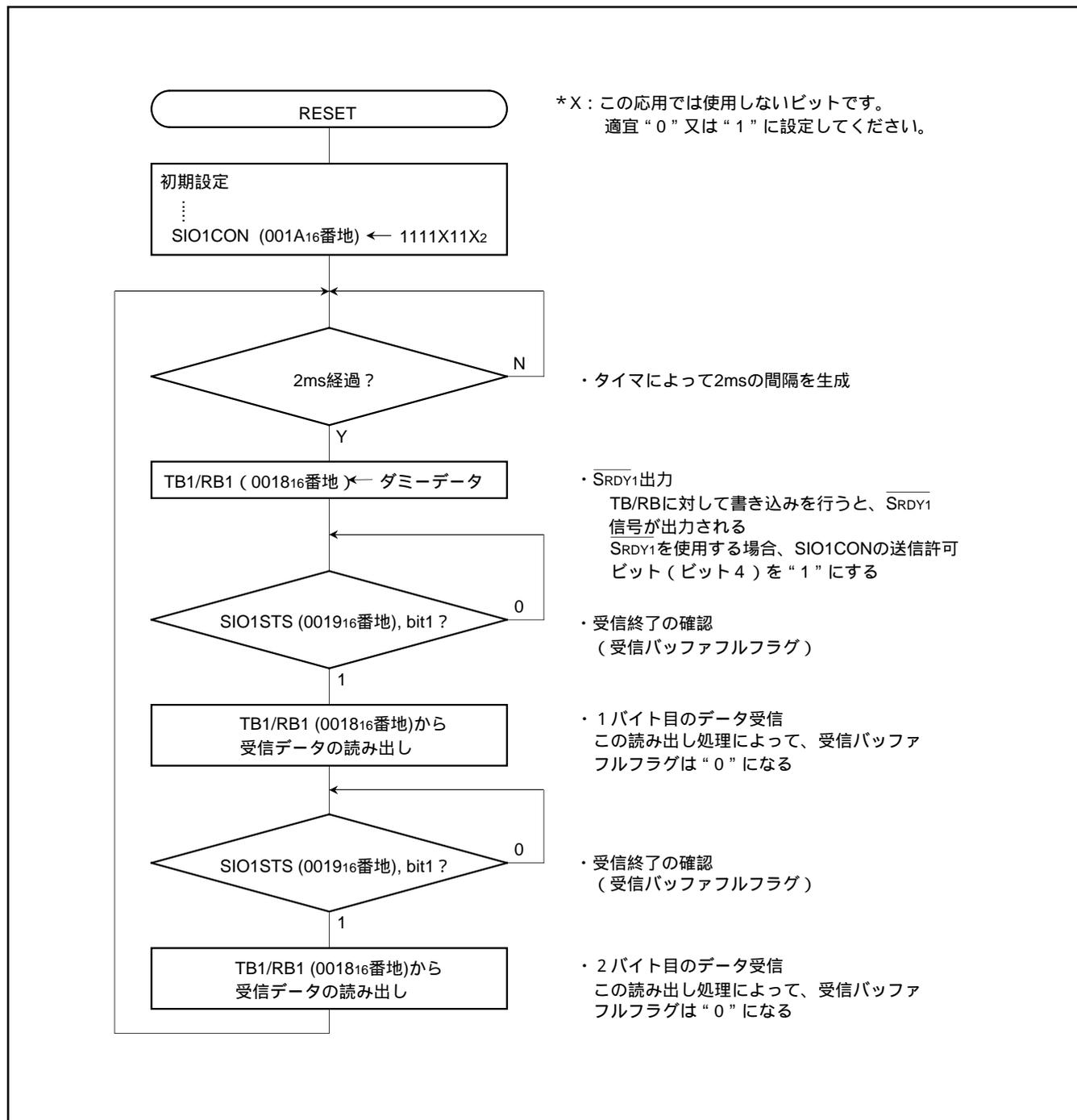


図2.4.24 受信側の制御手順

(2) シリアルデータ出力(周辺I/Cの制御)

ポイント：クロック同期形シリアルI/Oを使用して4バイトデータの送受信を行います。
ポートP63を使用して、周辺ICに対するCS信号を出力します。

同一の仕様でシリアルI/O1を使用した例と、シリアルI/O2を使用した例を示します。接続図を図2.4.25、タイミング図を図2.4.26に示します。

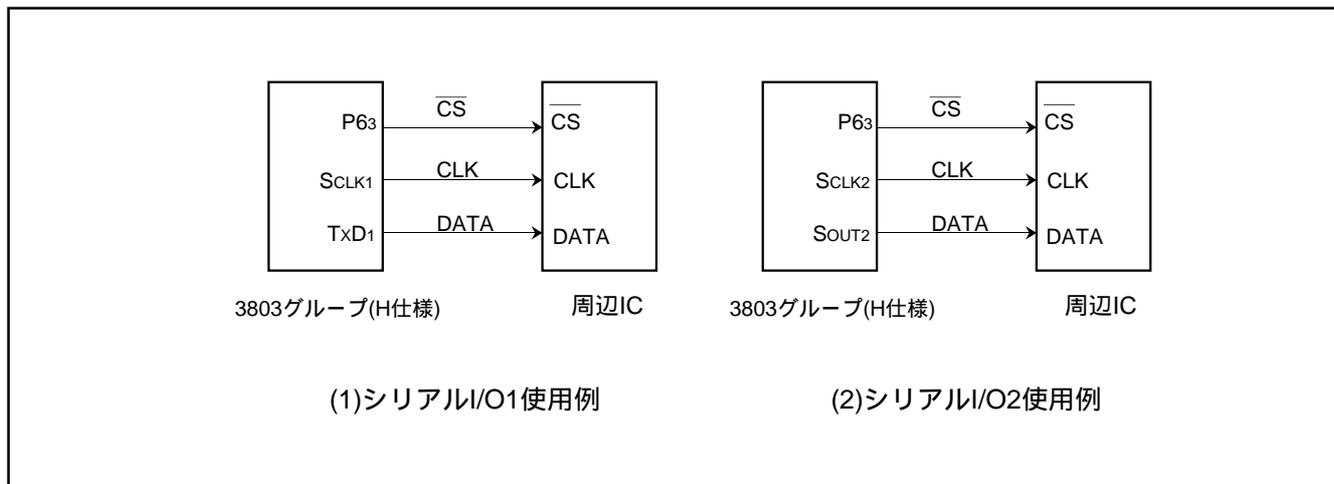


図2.4.25 接続図

- 仕様：
- ・クロック同期形シリアルI/Oを使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 4 \text{ MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O割り込みは使用しない。
 - ・ポートP63を周辺ICのCS端子("L"アクティブ)に接続して、送信を制御(ポートP63の出力レベルはソフトウェアで制御)。

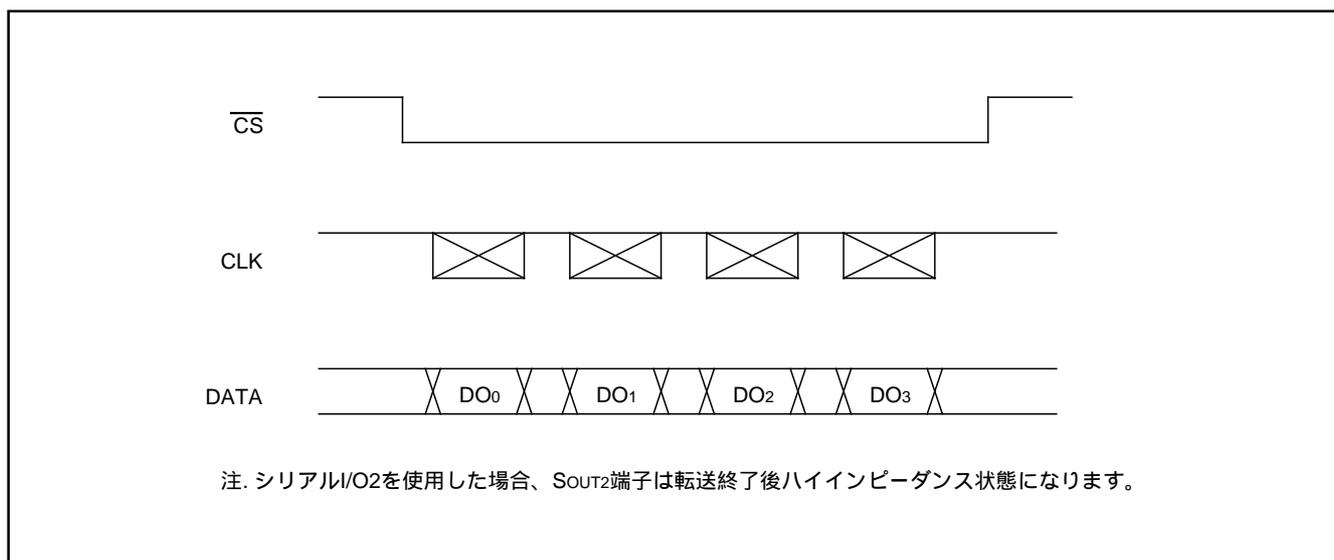


図2.4.26 タイミング図(シリアルI/O1)

図2.4.27にシリアルI/O1関連レジスタの設定、図2.4.28にシリアルI/O1送信データの設定を示します。

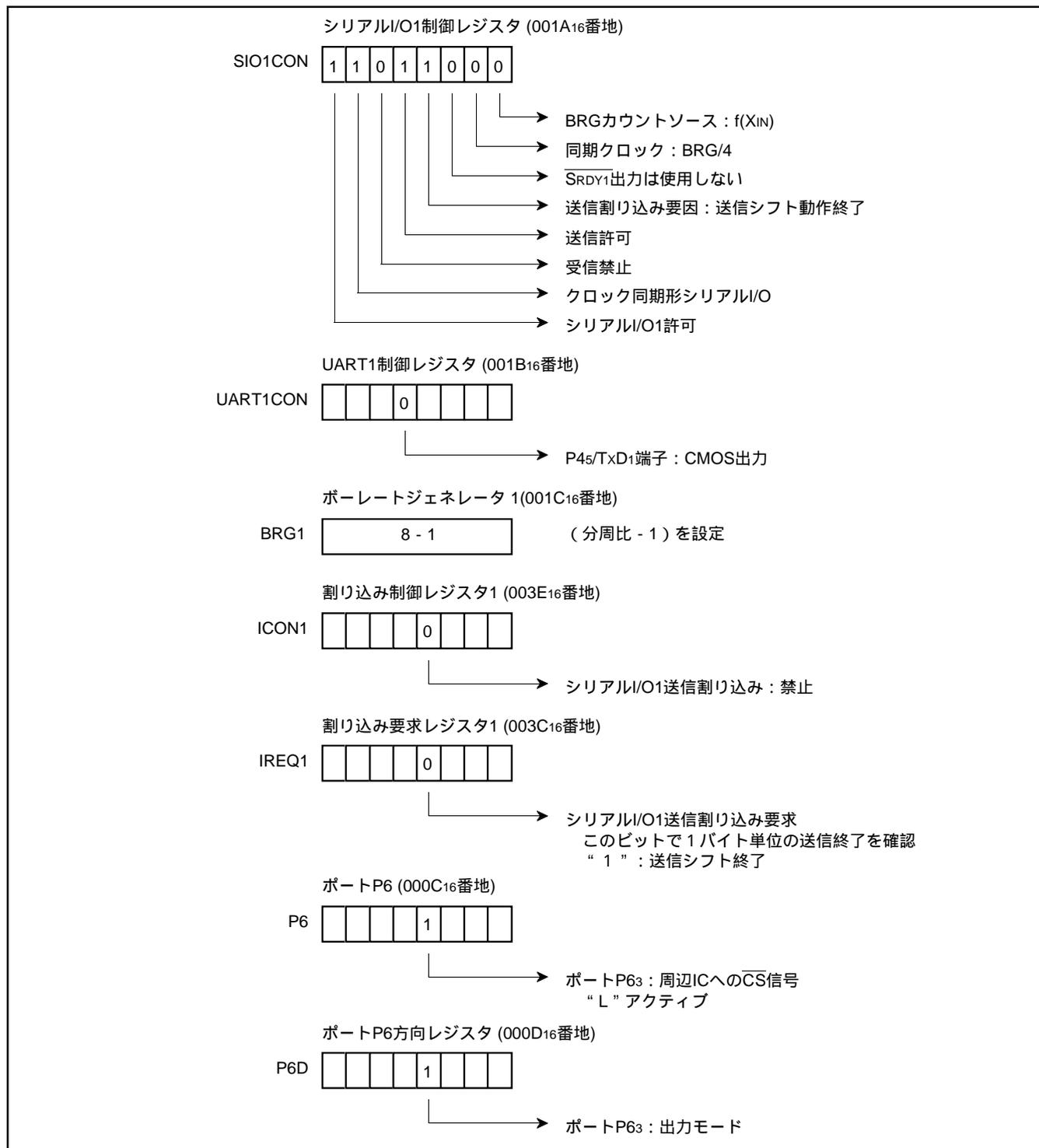


図2.4.27 シリアルI/O1関連レジスタの設定

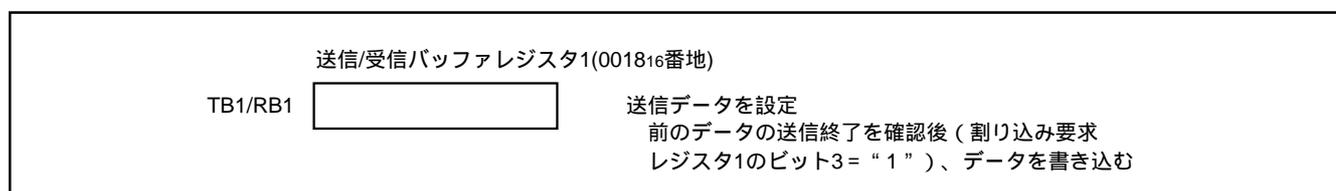


図2.4.28 シリアルI/O1送信データの設定

図2.4.27に示すようにレジスタを設定し、送信バッファレジスタにデータを書き込むことによって、シリアルI/Oは1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつ受信バッファレジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.29にシリアルI/O1制御手順を示します。

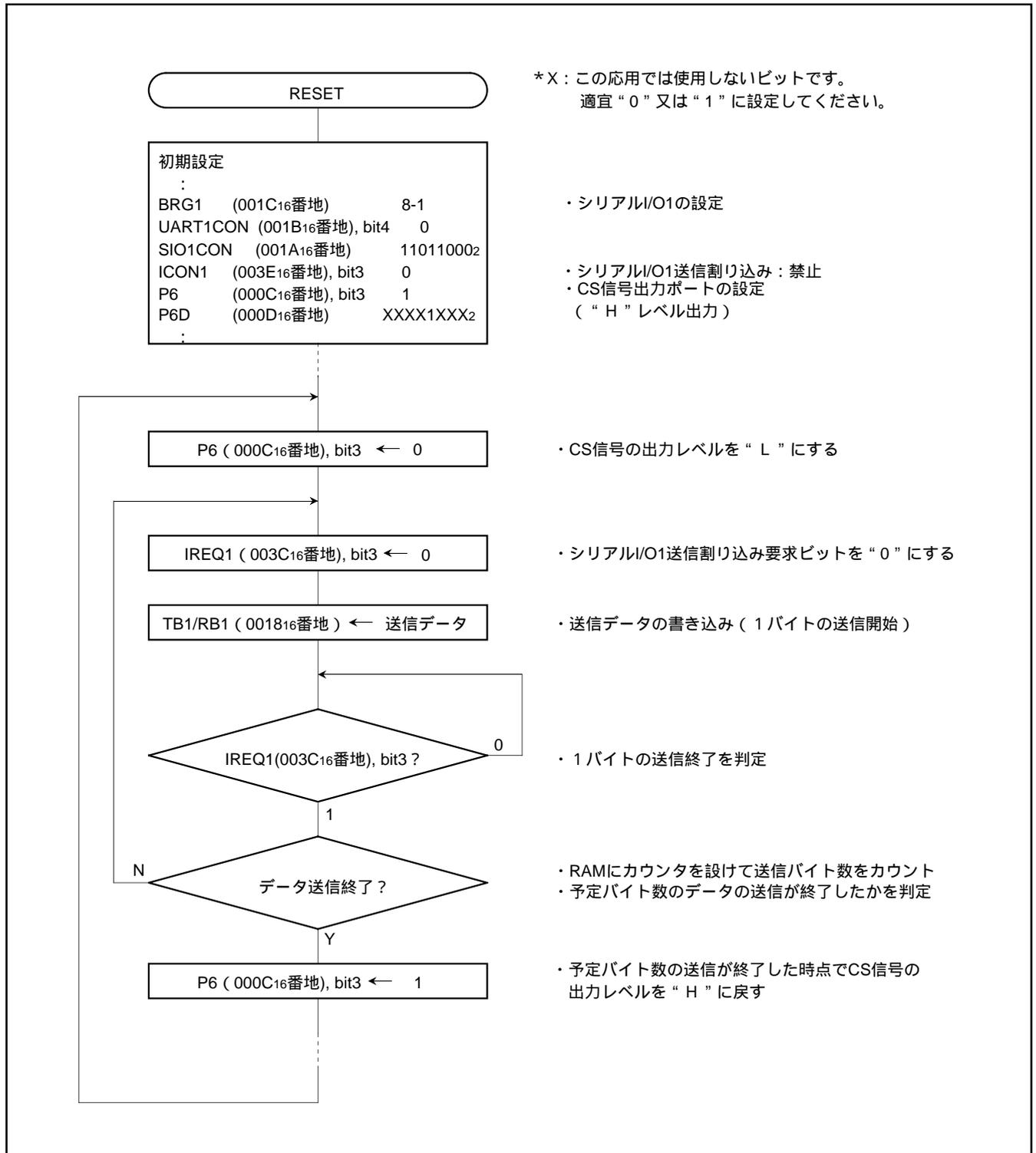


図2.4.29 シリアルI/O1制御手順

図2.4.30にシリアルI/O2関連レジスタの設定、図2.4.31にシリアルI/O2送信データの設定を示します。

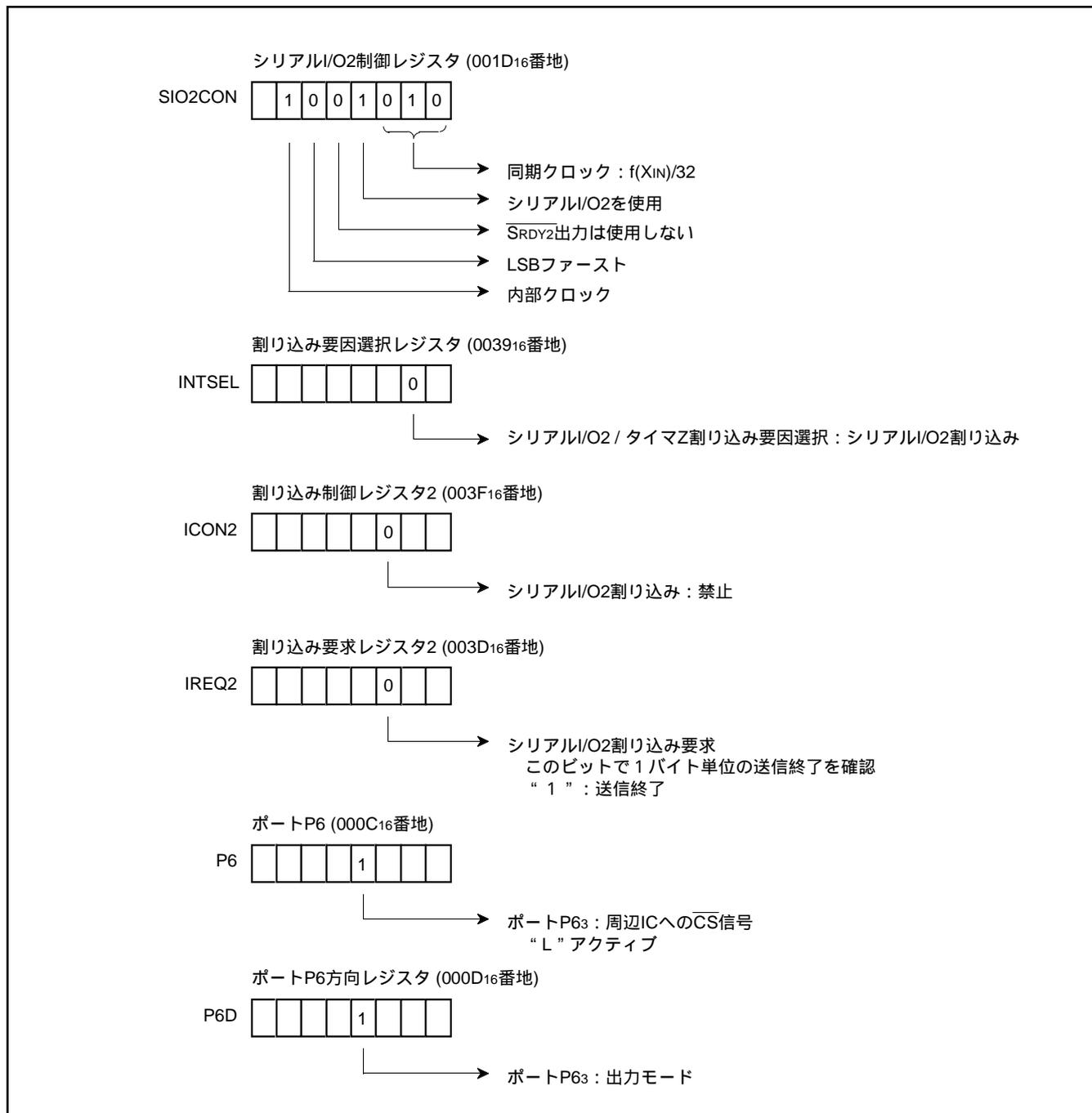


図2.4.30 シリアルI/O2関連レジスタの設定

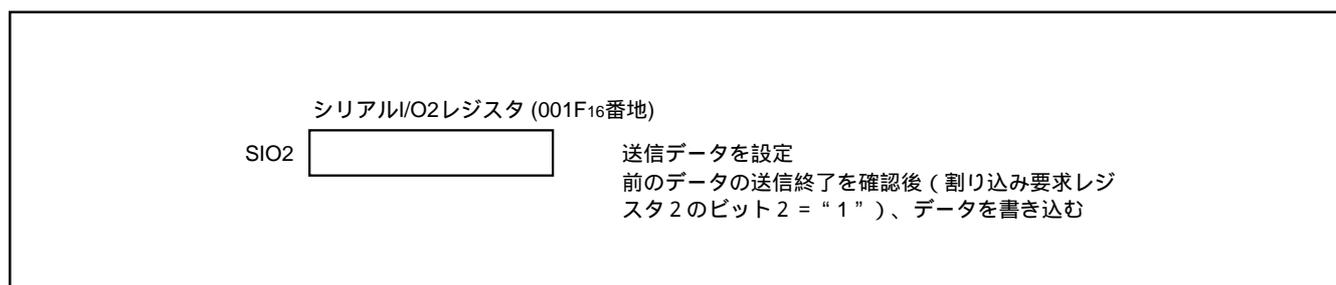


図2.4.31 シリアルI/O2送信データの設定

(3) 2つのマイコン間におけるブロックデータ(決められたバイト数のデータ)の周期的な送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータ間の同期がずれることがあります。そのずれを補正する「頭合わせ」を利用し、常に正常な動作を行います。この例ではブロックの間隔を利用して頭合わせを行っています。シリアルI/O1について説明しますが、シリアルI/O3の場合も同様にして行うことができます。

図2.4.33に接続図を示します。

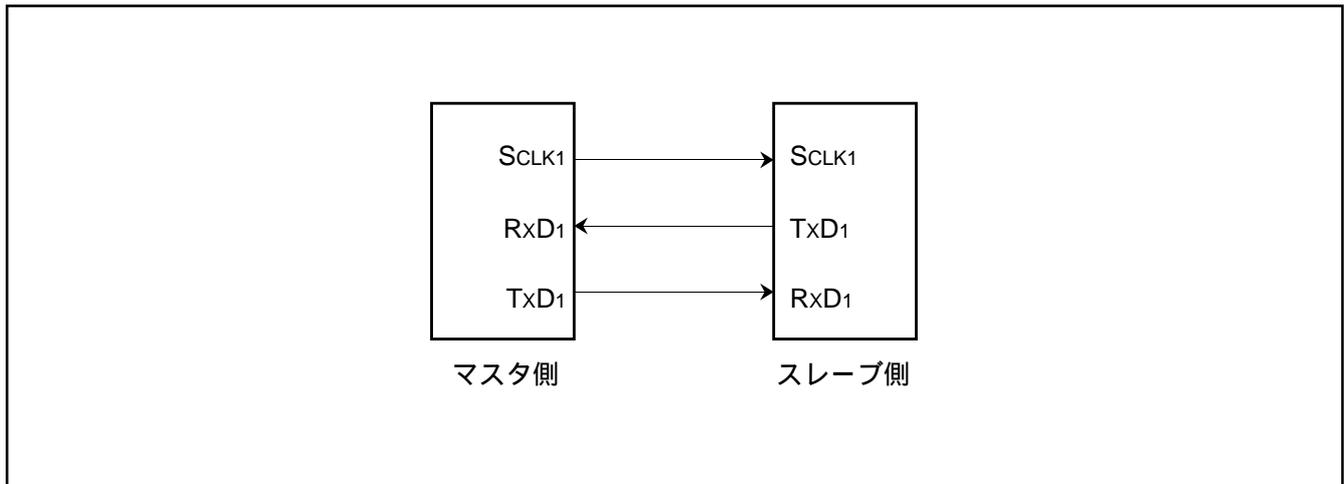


図2.4.33 接続図

- 仕様：
- ・シリアルI/O1(クロック同期形シリアルI/Oモード)を使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 4 \text{ MHz}$ の32分周)
 - ・バイト周期：500 μs
 - ・送受信バイト数：8バイト/各ブロック
 - ・ブロックの転送周期：16 ms
 - ・ブロックの転送期間：4 ms
 - ・ブロック間隔：12 ms
 - ・頭合わせ時間：8 ms

マスタ側制御

- ・バイト周期(500 μs)ごとに発生する割り込みルーチンでデータを送受信。

スレーブ側制御

- ・シリアルI/O1受信割り込みルーチンでデータを送受信。
- ・1 msごとに発生する割り込みルーチンで頭合わせ。

仕様の制限事項：

- ・「バイト周期 - 1バイトの転送時間」の時間内で受信データの読み込みと次の送信データの書き込みが行えること。

注.この例ではシリアルI/O1受信割り込み要求発生から次の同期クロックの入力までの時間は436 μs 。

- ・「頭合わせ時間 < ブロック間隔」であること。

通信は図2.4.34に示すタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されていない場合、次に入力されたクロックをブロックの初め(頭)として処理します。1ブロック(8バイト)受信後に入力されたクロックは無視されます。図2.4.35に関連レジスタの設定を示します。

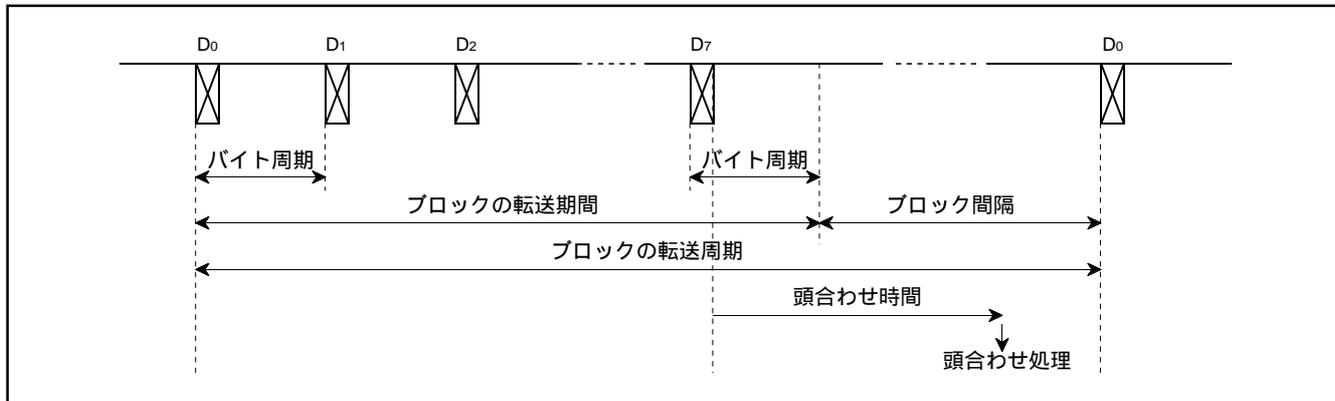


図2.4.34 タイミング図

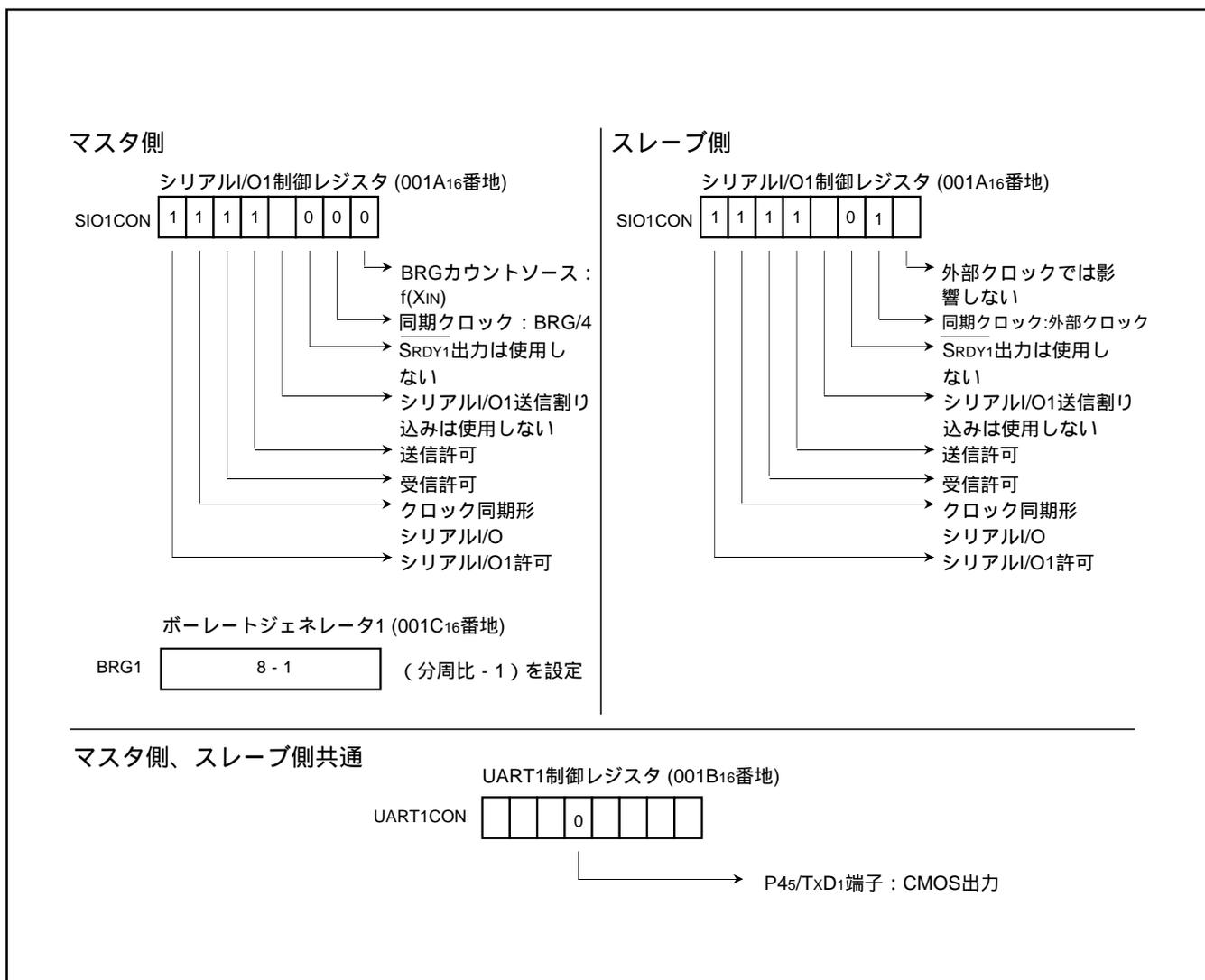


図2.4.35 関連レジスタの設定

ソフトウェアによる制御：

マスタ側の制御

500 μsごとに発生する割り込みルーチンで送信バッファレジスタへの送信データ書き込みにより、送受信を開始します。この割り込みルーチンでは、受信データを読んだ後、次に送信するデータを送信バッファレジスタに書きます。また、1ブロック8バイトの送受信を制御し、ブロック間隔を生成します。

図2.4.36にマスタ側の制御手順を示します。

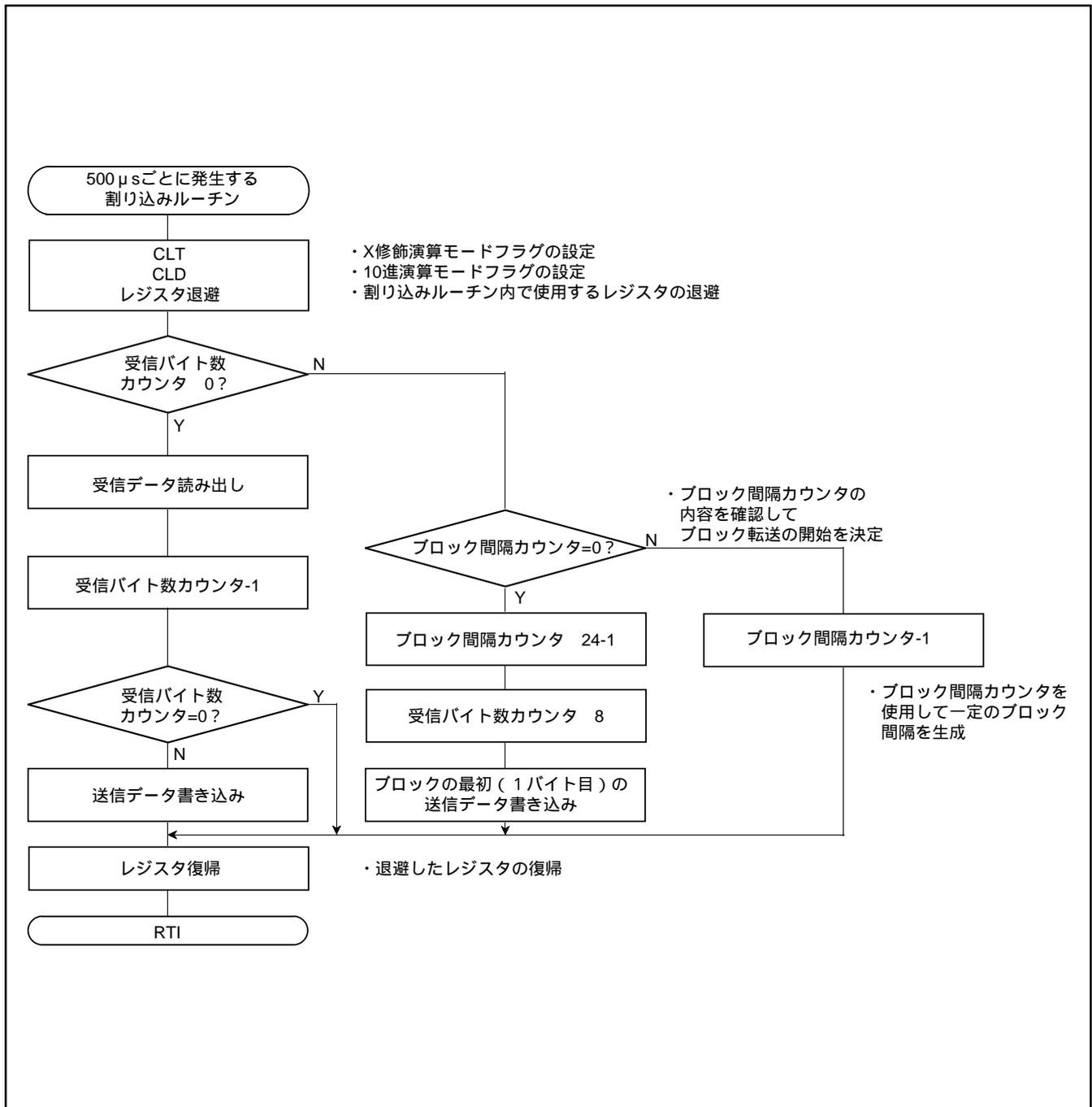


図2.4.36 マスタ側の制御手順

スレーブ側の制御

図2.4.35に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O1受信割り込みが発生します。

シリアルI/O1受信割り込み処理ルーチンでは、受信データを読み出した後、次に送信するデータを送信バッファレジスタに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O1受信割り込み要求が発生しない場合は、1msごとに発生する割り込みルーチンで次の処理を行います。

1. シリアルI/O1を初期化する
2. ブロックの1バイト目の送信データを送信バッファレジスタに書く
3. 次に受信するデータをブロックの1バイト目の受信データとして処理するために、受信バイト数カウンタを初期化する

図2.4.37にスレーブ側の制御手順を示します。

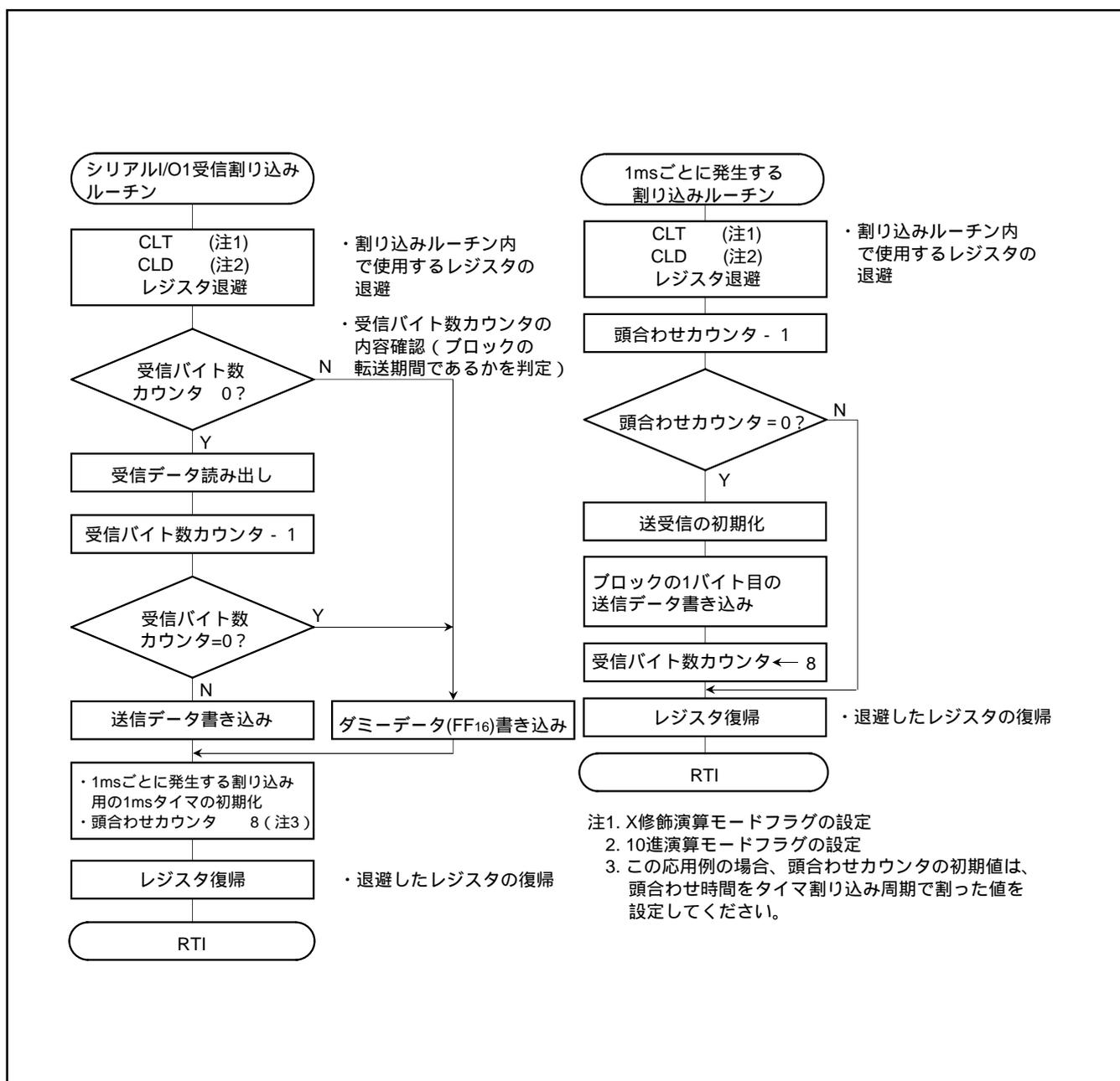


図2.4.37 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：UARTを使用して2バイトデータの送受信を行います。
通信制御には、ポートP40を使用します。

接続図を図2.4.38、タイミング図を図2.4.39に示します。

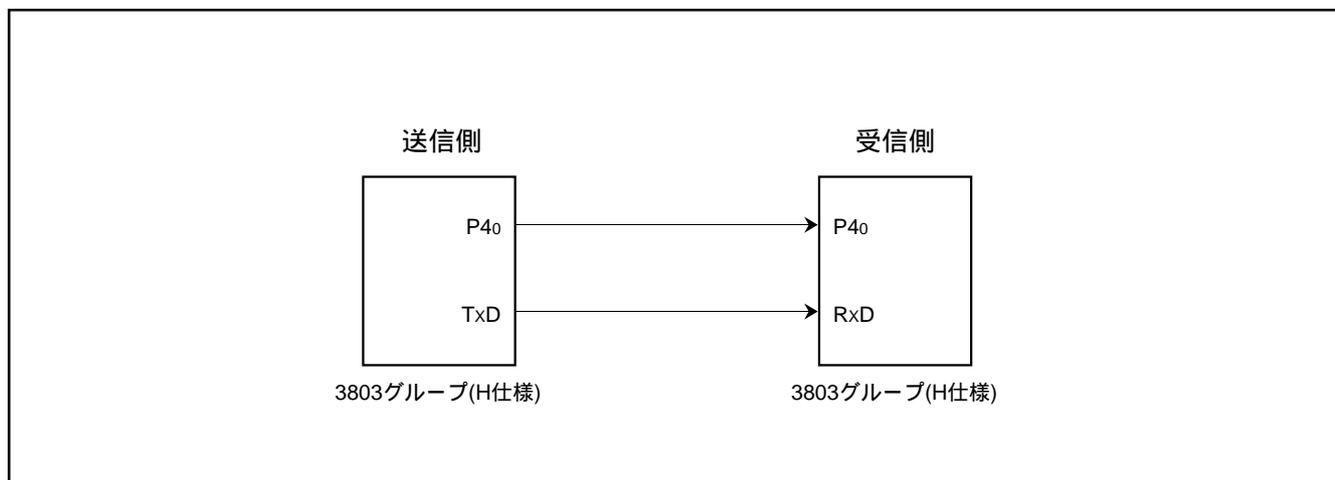


図2.4.38 接続図

- 仕様：
- ・シリアルI/O1(UART選択)を使用。
 - ・転送ビットレート：9600 bps ($f(XIN) = 4.9152 \text{ MHz}$ の512分周)
 - ・ポートP40を使用する通信制御(ポートP40の出力レベルはソフトウェアで制御する)。
 - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

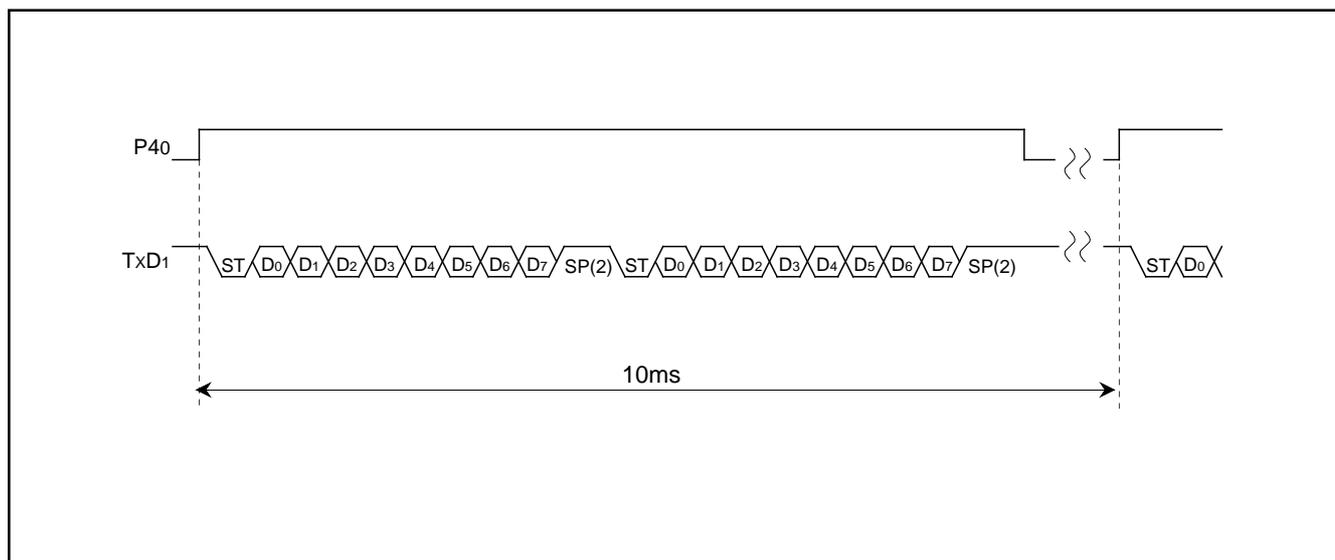


図2.4.39 タイミング図

表2.4.4にボーレートジェネレータの設定値と転送ビットレート選択例、図2.4.40に送信側関連レジスタの設定、図2.4.41に受信側関連レジスタの設定を示します。

表2.4.4 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

BRGカウント ソース(注1)	BRG設定値	転送ビットレート(bps)(注2)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 16 MHz時
f(XIN)/4	255(FF ₁₆)	300	976.5625
f(XIN)/4	127(7F ₁₆)	600	1953.125
f(XIN)/4	63(3F ₁₆)	1200	3906.25
f(XIN)/4	31(1F ₁₆)	2400	7812.5
f(XIN)/4	15(0F ₁₆)	4800	15625
f(XIN)/4	7(07 ₁₆)	9600	31250
f(XIN)/4	3(03 ₁₆)	19200	62500
f(XIN)/4	1(01 ₁₆)	38400	125000
f(XIN)	3(03 ₁₆)	76800	250000
f(XIN)	1(01 ₁₆)	153600	500000
f(XIN)	0(00 ₁₆)	307200	1000000

注1. BRGカウントソースはシリアルI/O1制御レジスタ(1A₁₆番地)のビット0で選択します。

2. 転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O制御レジスタのビット0 = " 0 "の場合、m = 1

シリアルI/O制御レジスタのビット0 = " 1 "の場合、m = 4

図2.4.42に送信側の制御手順、図2.4.43に受信側の制御手順を示します。

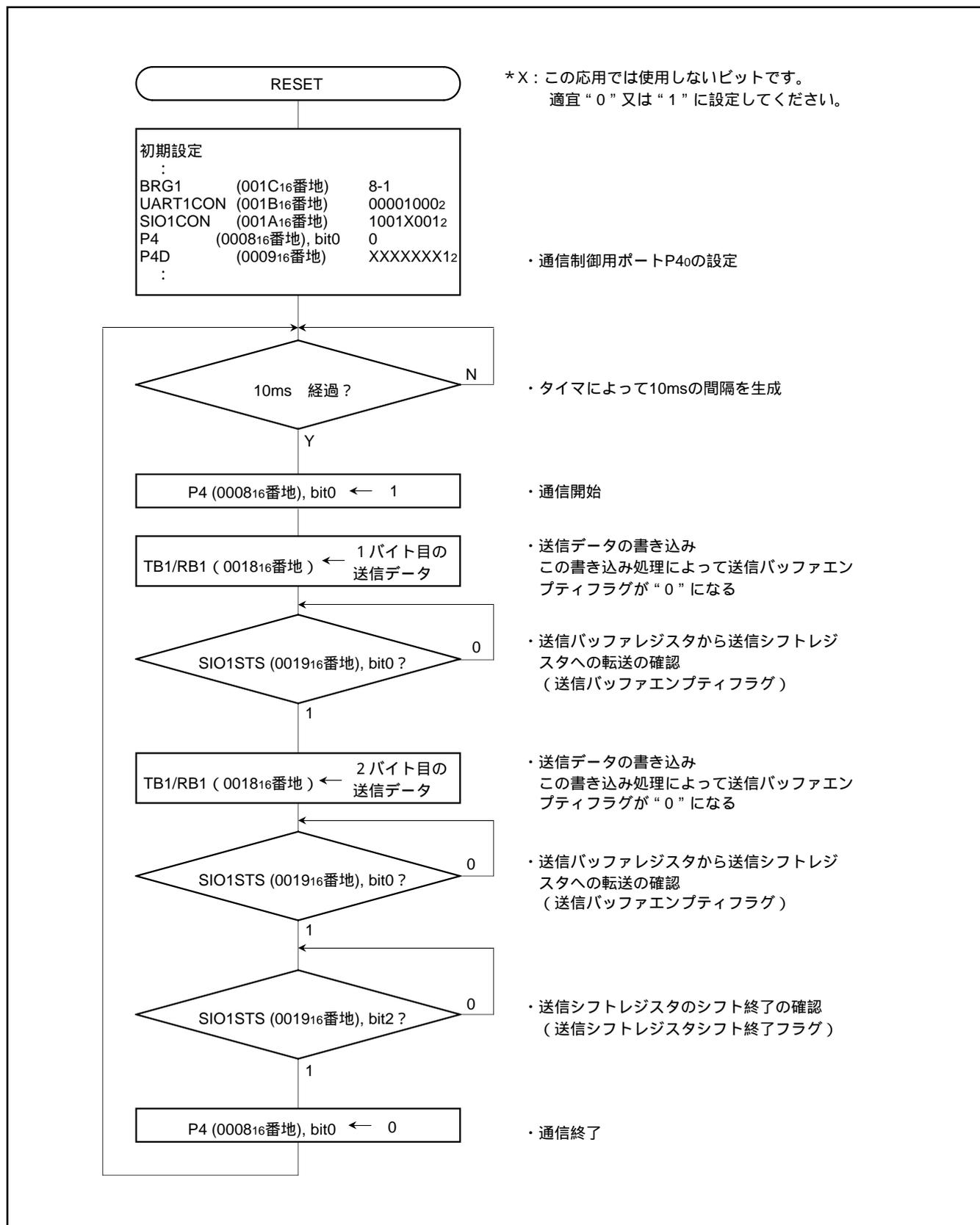


図2.4.42 送信側の制御手順

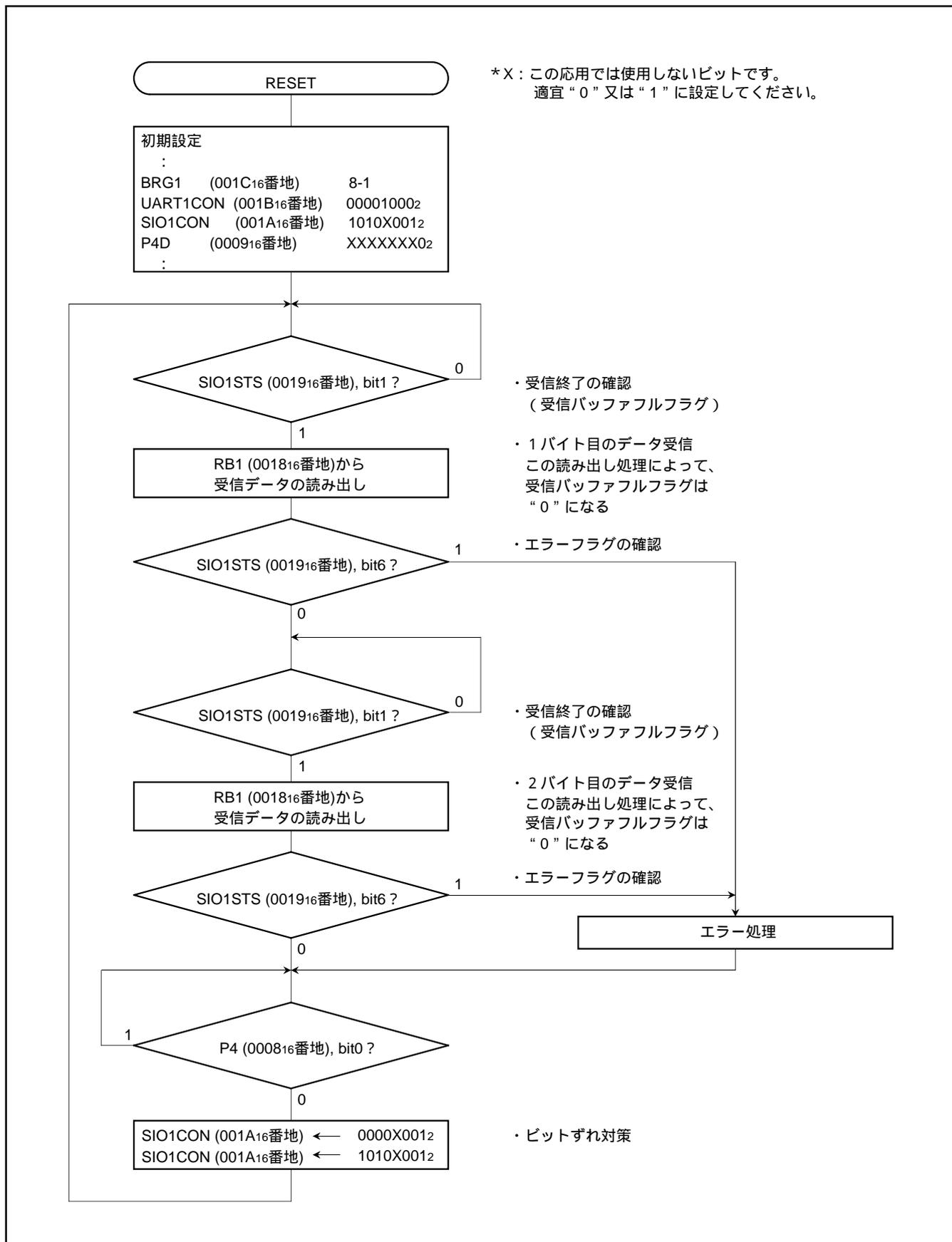


図2.4.43 受信側の制御手順

2.4.8 シリアルI/Oに関する注意事項

(1) 同期形の選択時

送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O($i=1,3$)の場合、シリアルI/O許可ビット及び送信許可ビットを“0”(シリアルI/O禁止及び送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLKi、 $\overline{\text{SRDYi}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O($i=1,3$)の場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/O許可ビットを“0”(シリアルI/O禁止)にしてください。

送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O($i=1,3$)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また 送信動作の停止 と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時

送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

シリアルI/O許可ビット($i=1,3$)を“0”にすることは、送信動作は止まりません。

理由

(1)のと同じです。

受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

シリアルI/O許可ビット(i=1,3)を“0”にすることは、送信動作は止まりません。

理由

(1)のと同じです。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側の $\overline{\text{SRDY}}$ 出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O(i=1,3)制御レジスタの再設定

シリアルI/O制御レジスタの再設定は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後に行ってください。

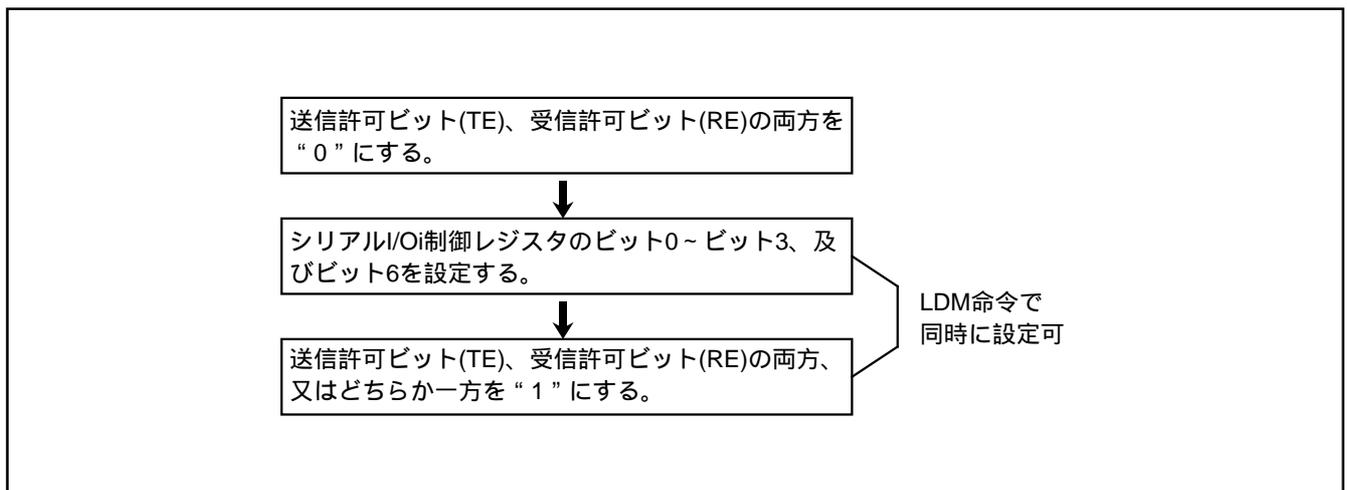


図2.4.44 シリアルI/O(i=1,3)制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、 $\text{SCLKi}(i=1,3)$ が“H”の状態です。送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、 SCLKi が“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
- ②送信許可ビットを“1”にする。
- ③一命令以上おいてからシリアルI/O送信割り込み要求ビットを“0”にする。
- ④シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

・理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

(8) ボーレートジェネレータへの書き込み

ボーレートジェネレータ(BRGI)($i=1, 3$)への書き込みは、送受信停止中に行ってください。

2.5 PWM

本節ではPWMに関するレジスタの設定方法、注意事項などを説明します。

2.5.1 メモリ配置図

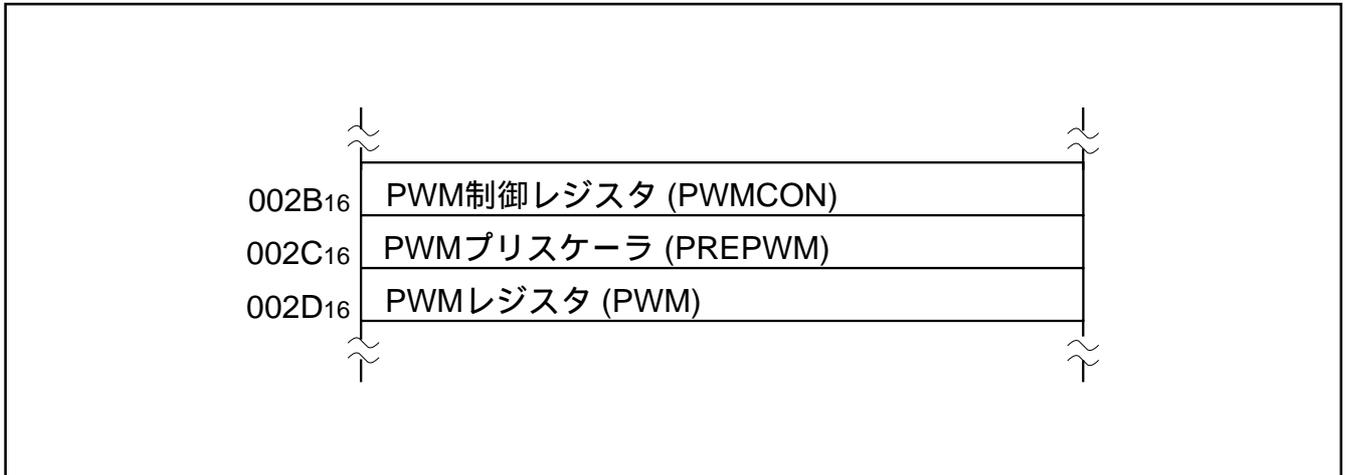


図2.5.1 PWM関連レジスタのメモリ配置

2.5.2 関連レジスタ

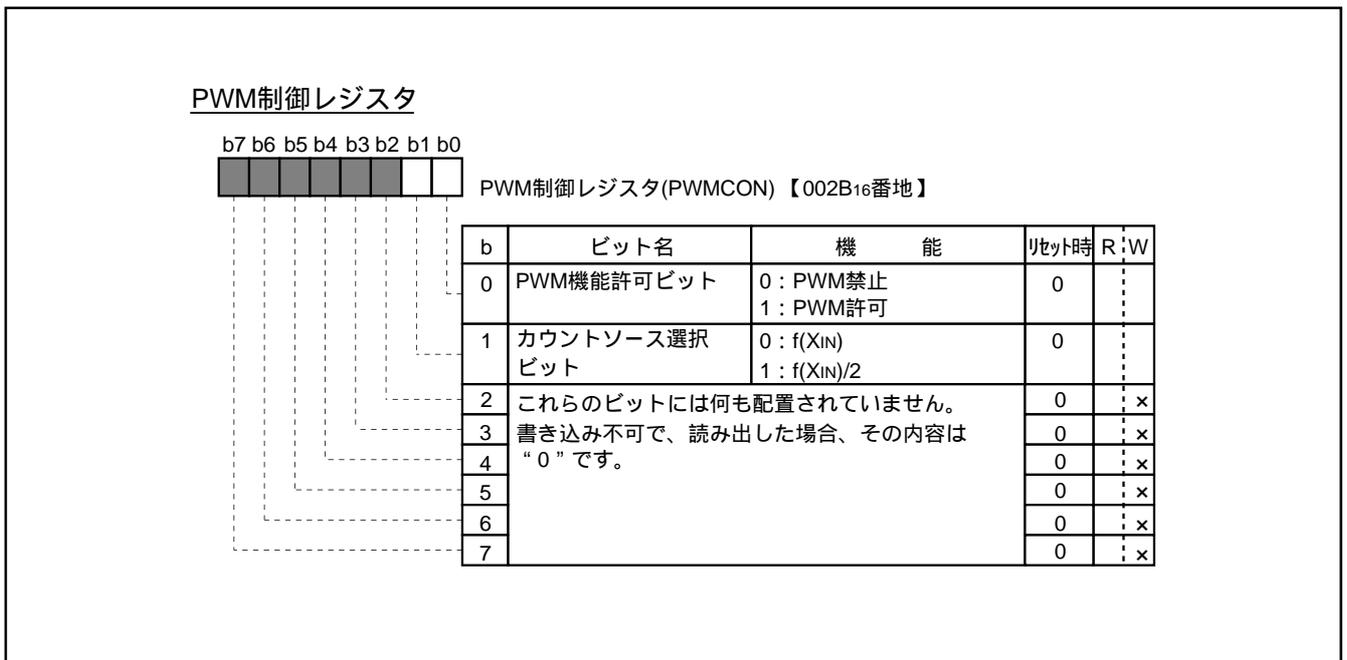


図2.5.2 PWM制御レジスタの構成

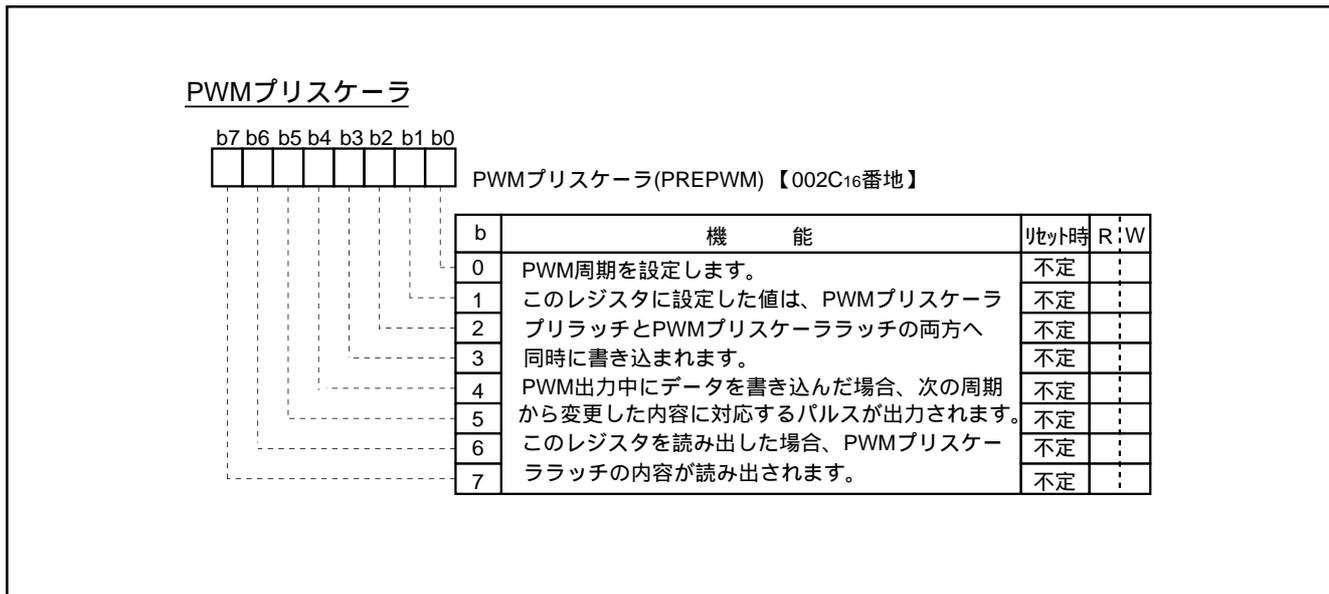


図2.5.3 PWMプリスケータの構成

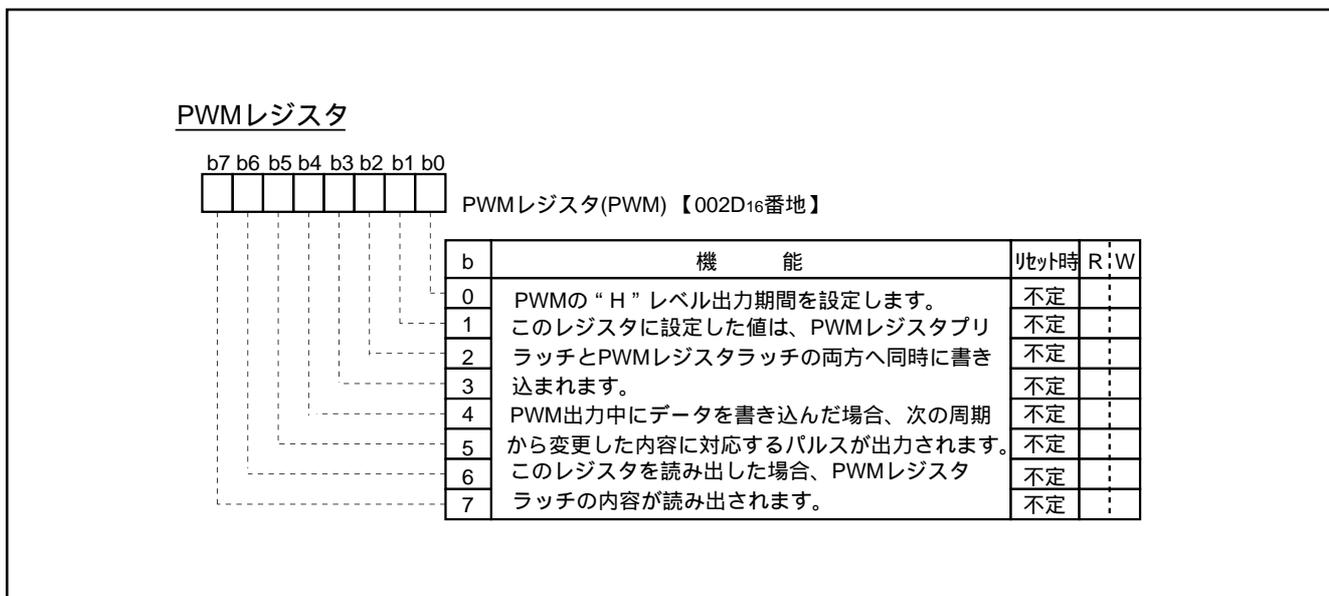


図2.5.4 PWMレジスタの構成

2.5.3 PWM出力回路の応用例

モータの制御

ポイント：PWM(パルス幅変調)出力を使用して、モータの回転速度を制御します。

接続図を図2.5.5、PWM出力タイミングを図2.5.6、関連レジスタの設定を図2.5.7に示します。

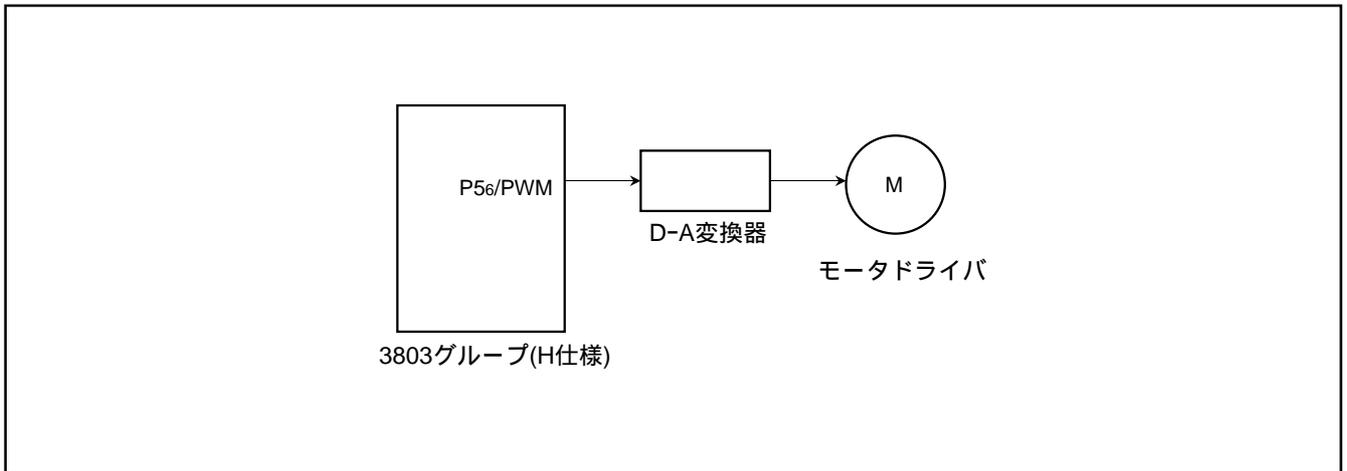


図2.5.5 接続図

仕様：・8ビット分解能のPWM出力機能を使用したモータ制御。

・クロック $f(X_{IN}) = 5\text{MHz}$

・PWM周期 T ：102 μs

・出力パルスの“H”レベル幅 t ：40 μs (速度固定*)

*出力パルス“H”レベル幅を変化させることにより、モータの速度を変更できる。

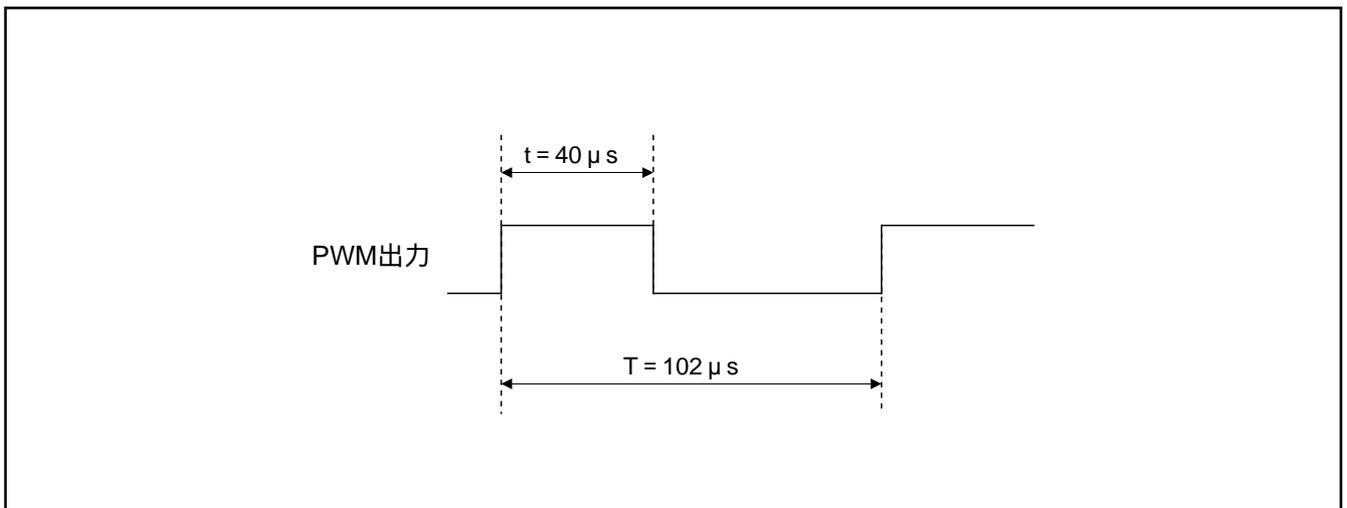


図2.5.6 PWM出力タイミング図

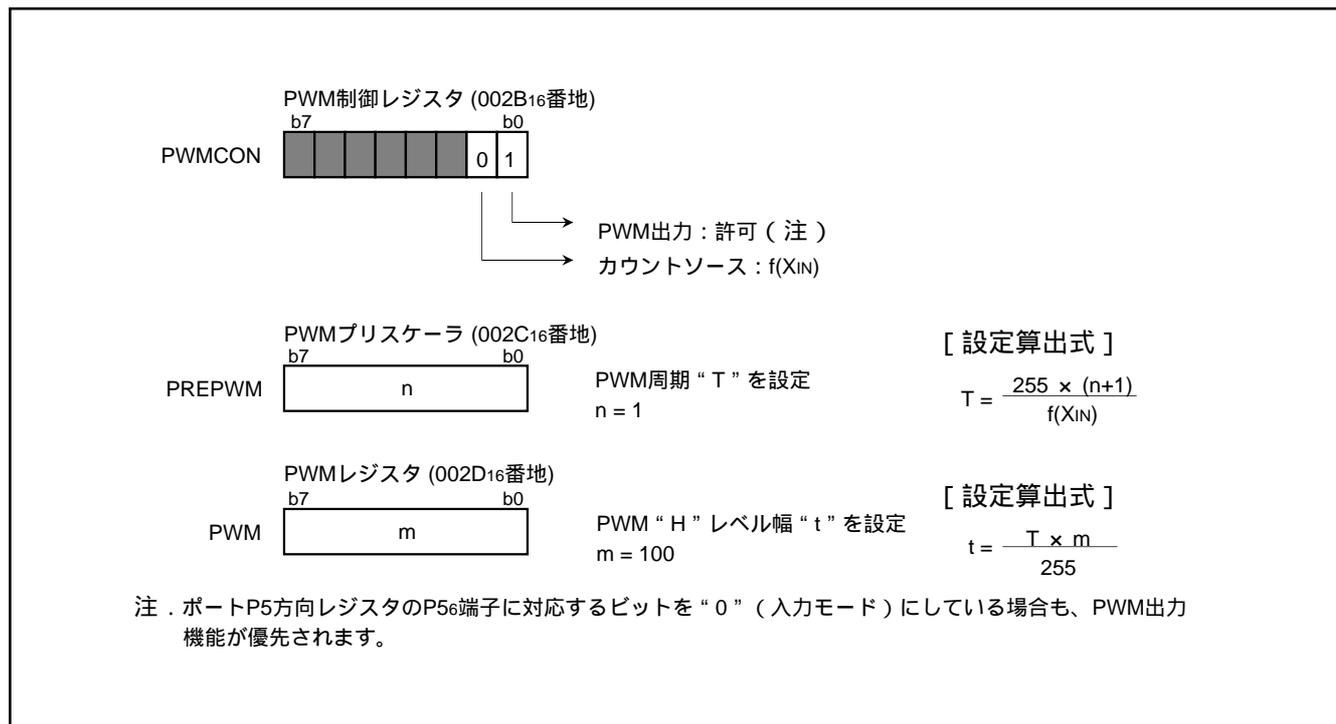


図2.5.7 関連レジスタの設定

PWM出力について

1. PWM機能許可ビットに"1"を設定
P5₆/PWM端子をPWM端子として使用します。"H"から始まるパルスを出力します。
2. PWM機能許可ビットに"0"を設定
P5₆/PWM端子をポートP5₆として使用します。したがって、出力レベルを固定する場合は以下の処理を順に行ってください。
 - ・ポートP5レジスタのビット6に出力値を書き込む
 - ・ポートP5方向レジスタに"01000000₂"を書き込む
3. PWMプリスケアラ、及びPWMレジスタにデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

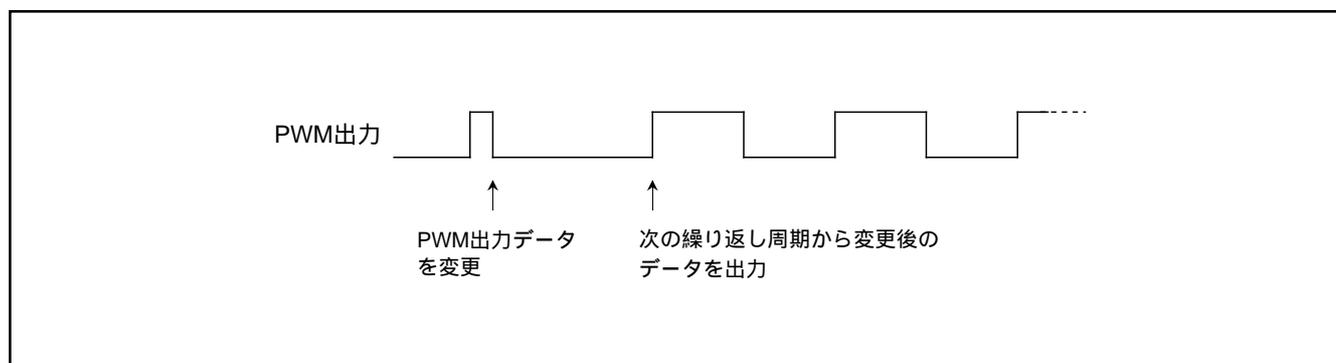


図2.5.8 PWM出力

図2.5.7に示す関連レジスタの設定を行うとPWM波形が外部に出力されます。このPWM出力をローパスフィルタで積分して直流信号に変換し、モータの制御に使用します。図2.5.9に制御手順を示します。

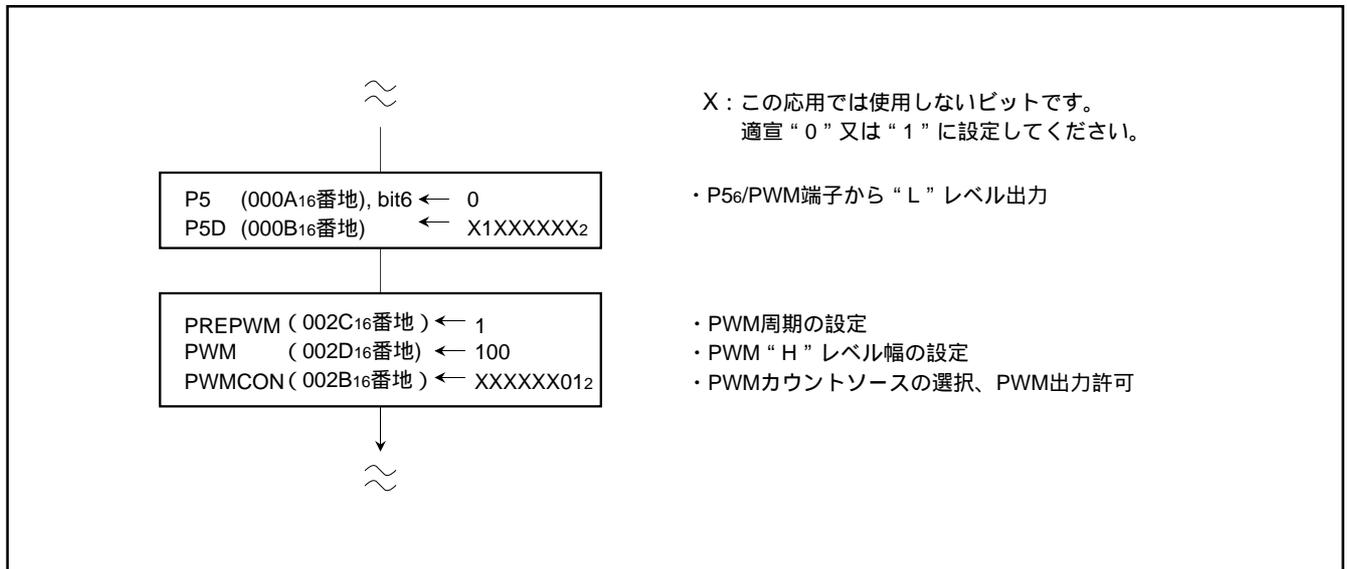


図2.5.9 制御手順

2.5.4 PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- ・ カウントソース選択ビット=“0”; n = プリスケアラ設定値

$$\frac{n + 1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・ カウントソース選択ビット=“1”; n = プリスケアラ設定値

$$\frac{n + 1}{f(XIN)} \quad (\text{秒})$$

2.6 A-D変換器

本節ではA-D変換器に関するレジスタの設定方法、注意事項などを説明します。

2.6.1 メモリ配置図

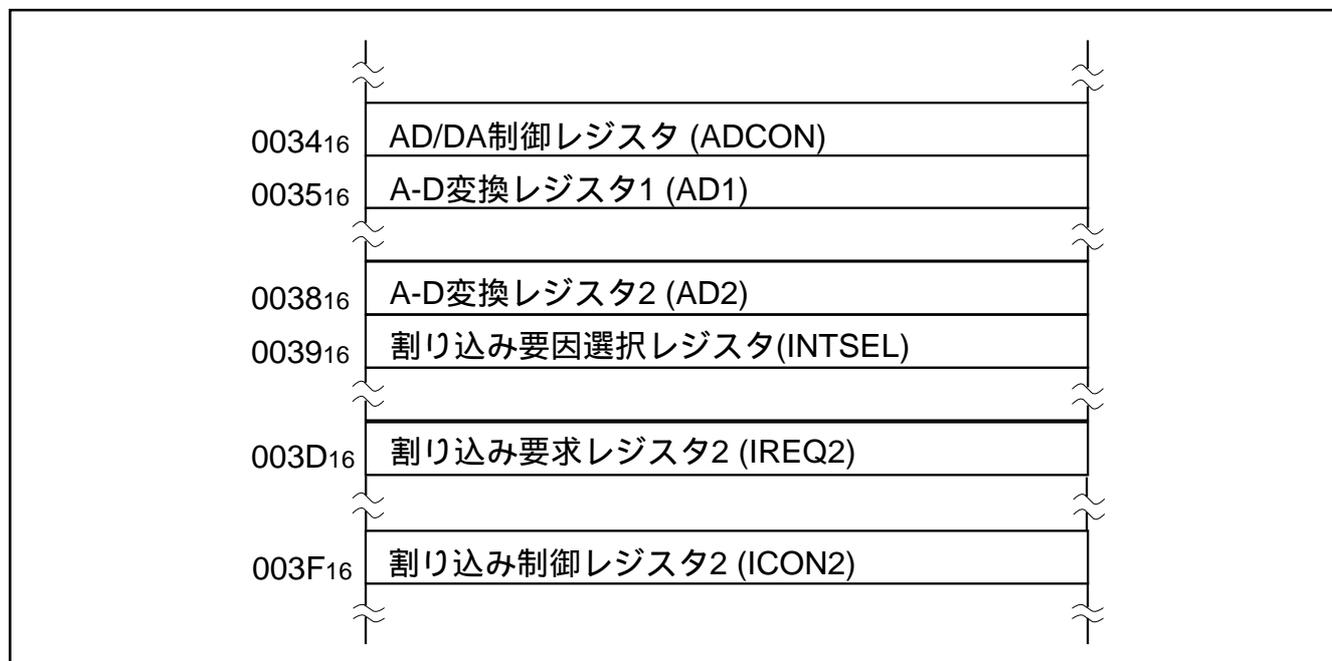


図2.6.1 A-D変換器関連レジスタのメモリ配置

2.6.2 関連レジスタ

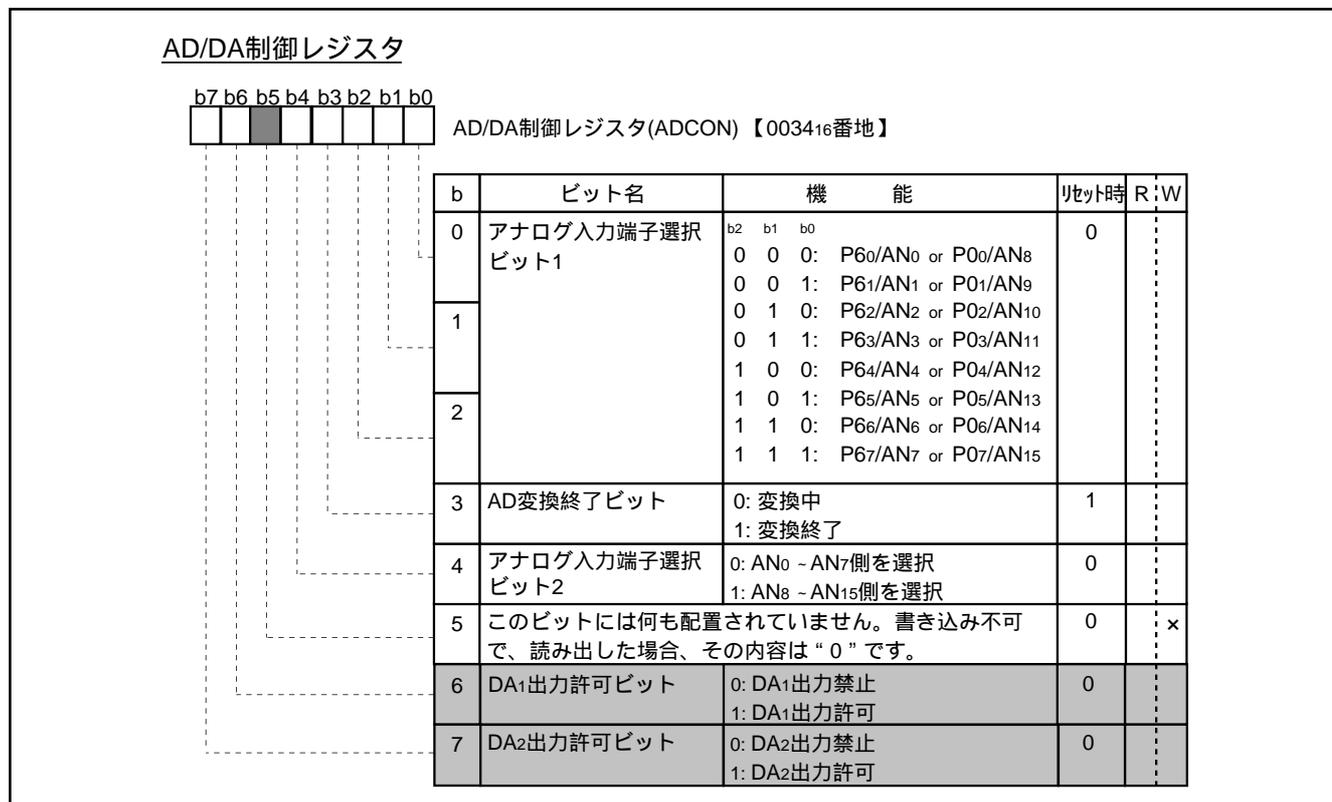


図2.6.2 AD/DA制御レジスタの構成

A-D変換レジスタ1



b	機 能	リセット時	R:W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	x
1		不定	x
2	8ビット読み出し時	不定	x
3	b7 b8 b7 b6 b5 b4 b3 b2	不定	x
4		不定	x
5	10ビット読み出し時	不定	x
6	b7 b6 b5 b4 b3 b2 b1 b0	不定	x
7		不定	x

図2.6.3 A-D変換レジスタ1の構成

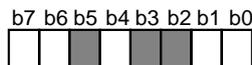
A-D変換レジスタ2



b	機 能	リセット時	R:W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	x
1	10ビット読み出し時 b7 b8 b9 b8	不定	x
2	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0	x
3		0	x
4		0	x
5		0	x
6		0	x
7	変換モード選択ビット	0	
	0: 10ビットA-Dモード 1: 8ビットA-Dモード		

図2.6.4 A-D変換レジスタ2の構成

割り込み要因選択レジスタ



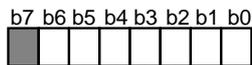
割り込み要因選択レジスタ(INTSEL)【0039₁₆番地】

b	ビット名	機能	セット時	R:W
0	INT ₀ /タイマZ割り込み要因選択ビット	0:INT ₀ 割り込み 1:タイマZ割り込み(注)	0	
1	シリアル/O ₂ /タイマZ割り込み要因選択ビット	0:シリアル/O ₂ 割り込み 1:タイマZ割り込み(注)	0	
2	このビットには何も配置されていません。“1”を書き込まないでください。読み出した場合、その内容は“0”です。			
3	このビットには何も配置されていません。“1”を書き込まないでください。読み出した場合、その内容は“0”です。			
4	INT ₄ /CNTR ₂ 割り込み要因選択ビット	0:INT ₄ 割り込み 1:CNTR ₂ 割り込み	0	
5	このビットには何も配置されていません。“1”を書き込まないでください。読み出した場合、その内容は“0”です。			
6	CNTR ₁ /シリアル/O ₃ 受信割り込み要因選択ビット	0:CNTR ₁ 割り込み 1:シリアル/O ₃ 受信割り込み	0	
7	A-D変換/シリアル/O ₃ 送信割り込み要因選択ビット	0:A-D変換割り込み 1:シリアル/O ₃ 送信割り込み	0	

注：同時に“1”を書き込まないでください。

図2.6.5 割り込み要因選択レジスタの構成

割り込み要求レジスタ2



割り込み要求レジスタ2(IREQ2)【003D₁₆番地】

b	ビット名	機能	セット時	R:W
0	CNTR ₀ 割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
1	CNTR ₁ /シリアル/O ₃ 受信割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
2	シリアル/O ₂ /タイマZ割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
3	INT ₂ 割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
4	INT ₃ 割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
5	INT ₄ /CNTR ₂ 割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
6	A-D変換/シリアル/O ₃ 送信割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。			

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.6.6 割り込み要求レジスタ2の構成

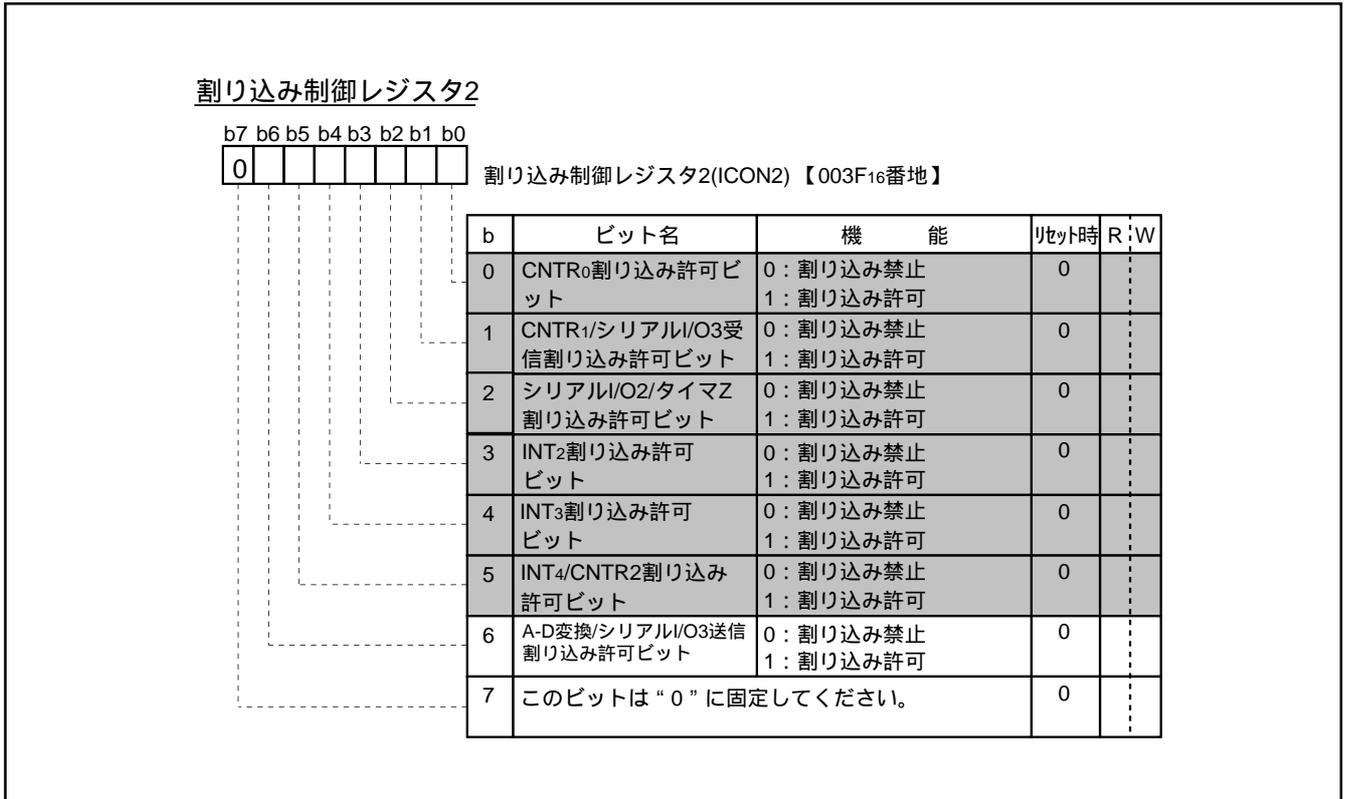


図2.6.7 割り込み制御レジスタ2の構成

2.6.3 A-D変換応用例

(1) アナログ信号の読み込み1

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.6.8、関連レジスタの設定を図2.6.9に示します。

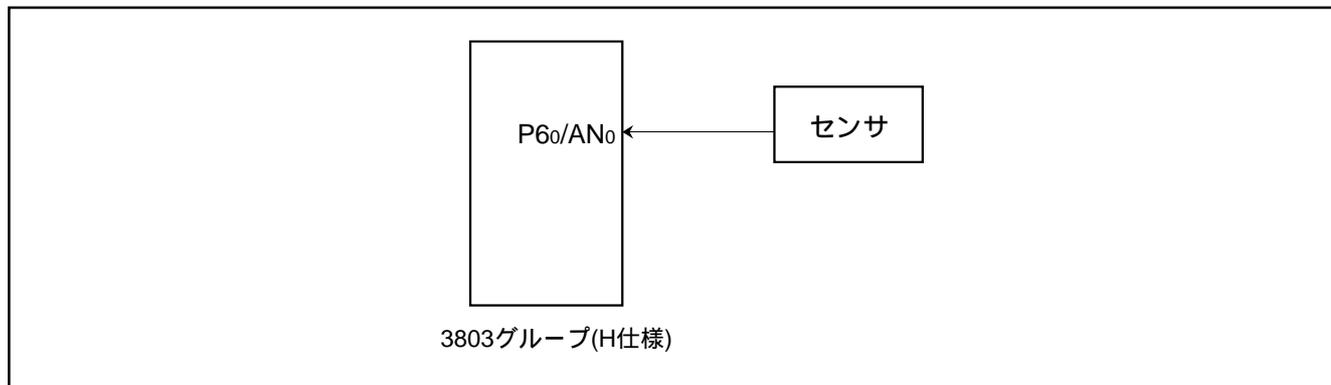


図2.6.8 接続図

- 仕様：
- ・センサからアナログ入力電圧をデジタル値に変換。
 - ・アナログ入力端子にはP60/AN0端子を使用。
 - ・10ビット変換モード。

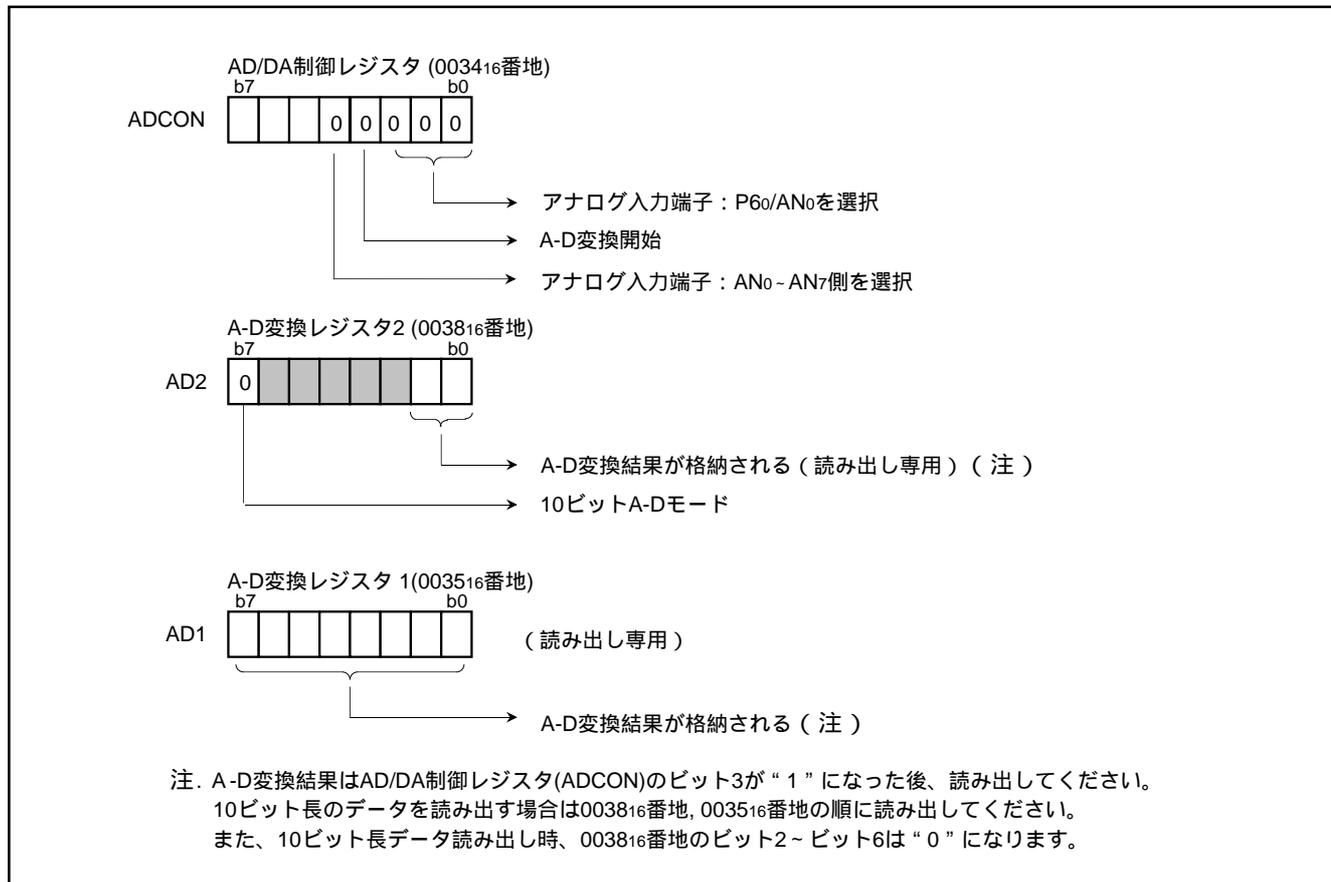


図2.6.9 関連レジスタの設定

図2.6.9に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.6.10に10ビットA-Dモード時の制御手順を示します。

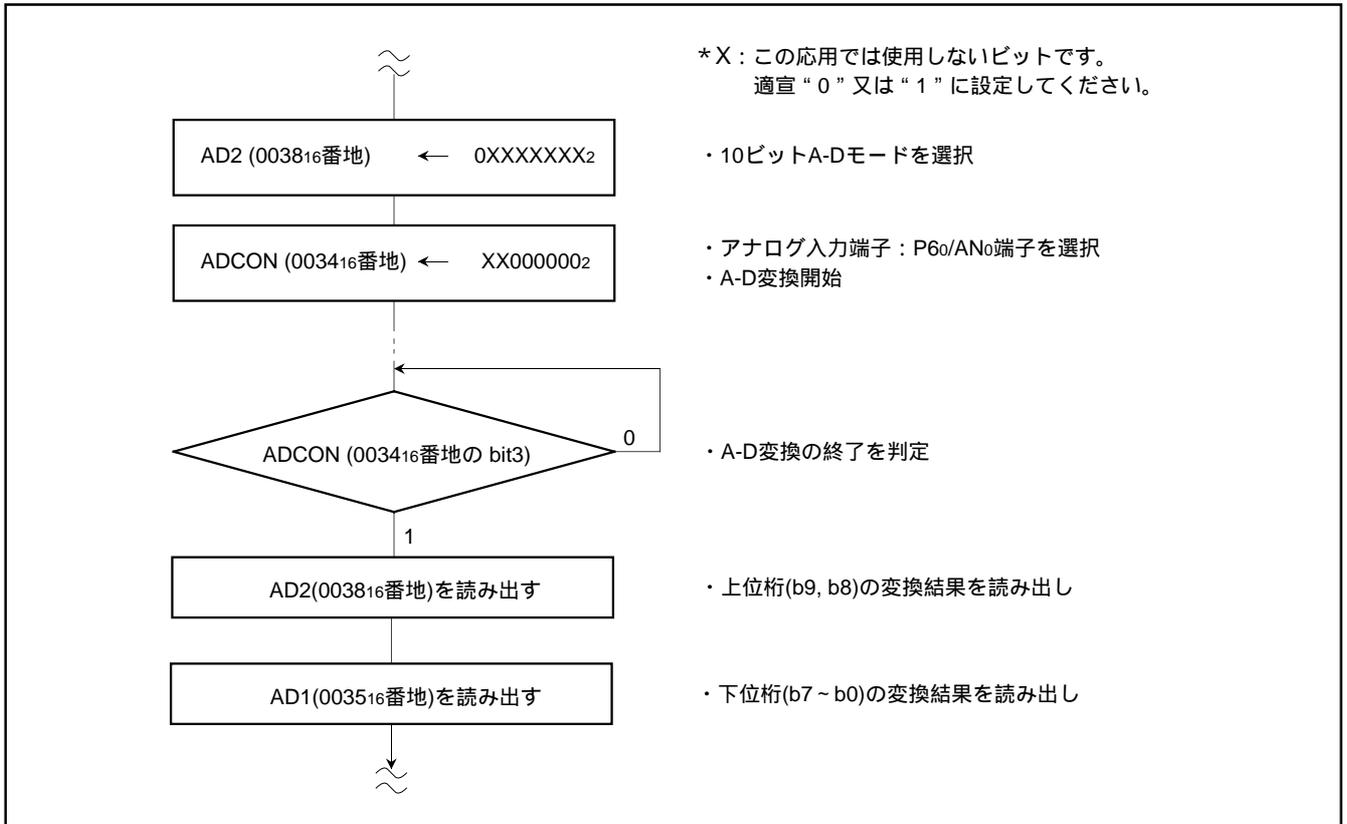


図2.6.10 制御手順(10ビットA-Dモード)

(2) アナログ信号の読み込み2

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.6.11、関連レジスタの設定を図2.6.12に示します。

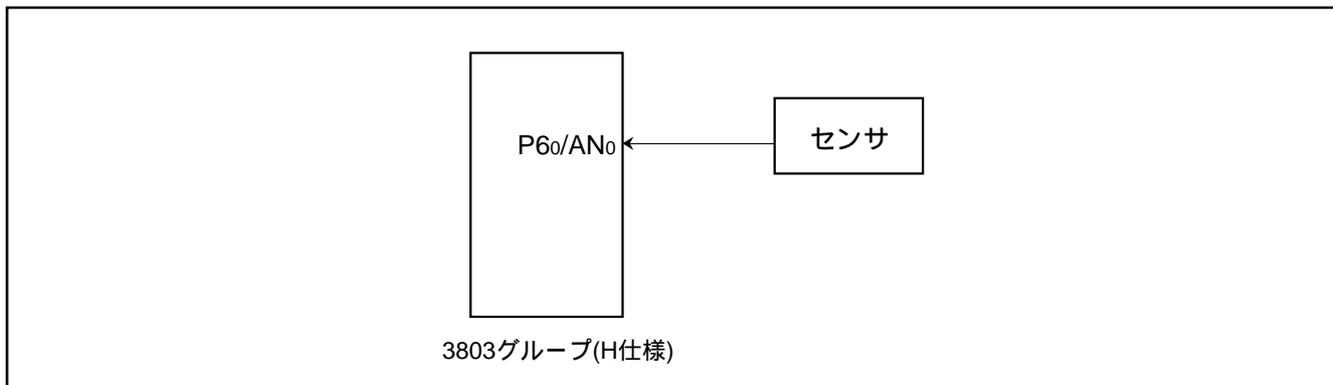


図2.6.11 接続図

- 仕様：
- ・センサからアナログ入力電圧をデジタル値に変換。
 - ・アナログ入力端子にはP60/AN0端子を使用。
 - ・8ビット変換モード。

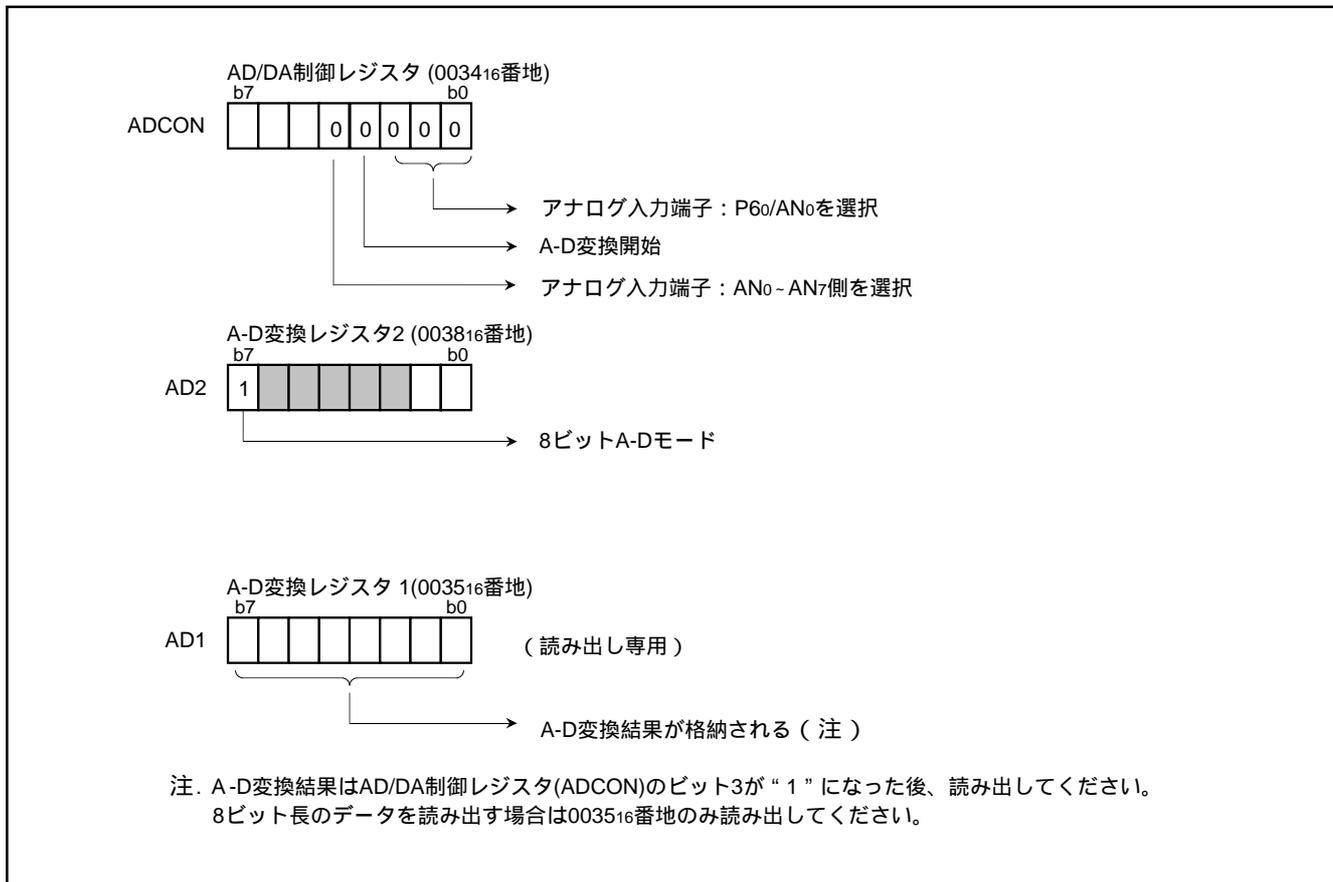


図2.6.12 関連レジスタの設定

図2.6.12に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.6.13に8ビットA-Dモード時の制御手順を示します。

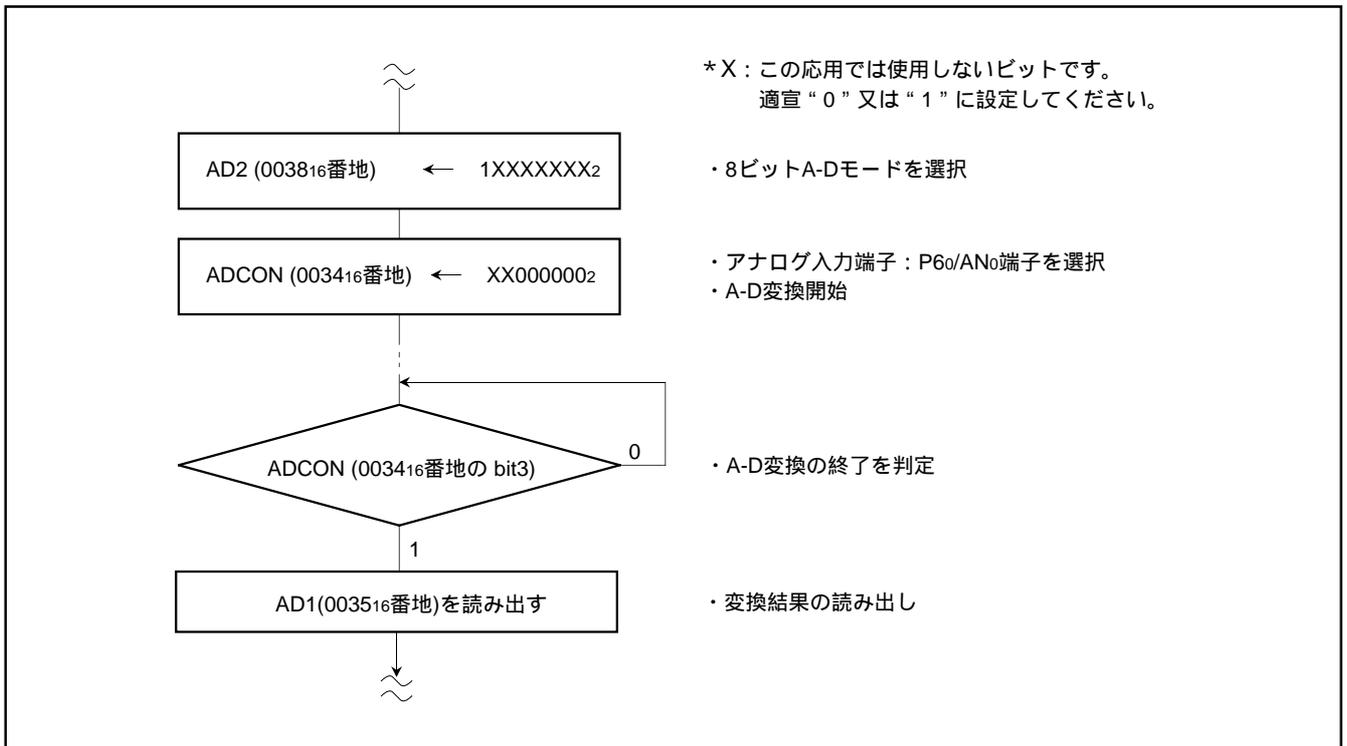


図2.6.13 制御手順(8ビットA-Dモード)

2.6.4 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは低くしてください。又は、アナログ入力端子に、 $0.01\mu\text{F}$ ~ $1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、A-D変換器用電源端子AVssは以下のように処理してください。

- ・ AVss : Vssに接続

理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は以下の2点に留意してください。

- ・ $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。

(4) 10ビットA-Dモード時の8ビット読み出しと、8ビットA-Dモードの差異

10ビットA-Dモード時の8ビット読み出しでは、A-D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA-Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一のA-D変換特性となります。

2.7 D-A変換器

本節ではD-A変換器に関するレジスタの設定方法、注意事項などを説明します。

2.7.1 メモリ配置図

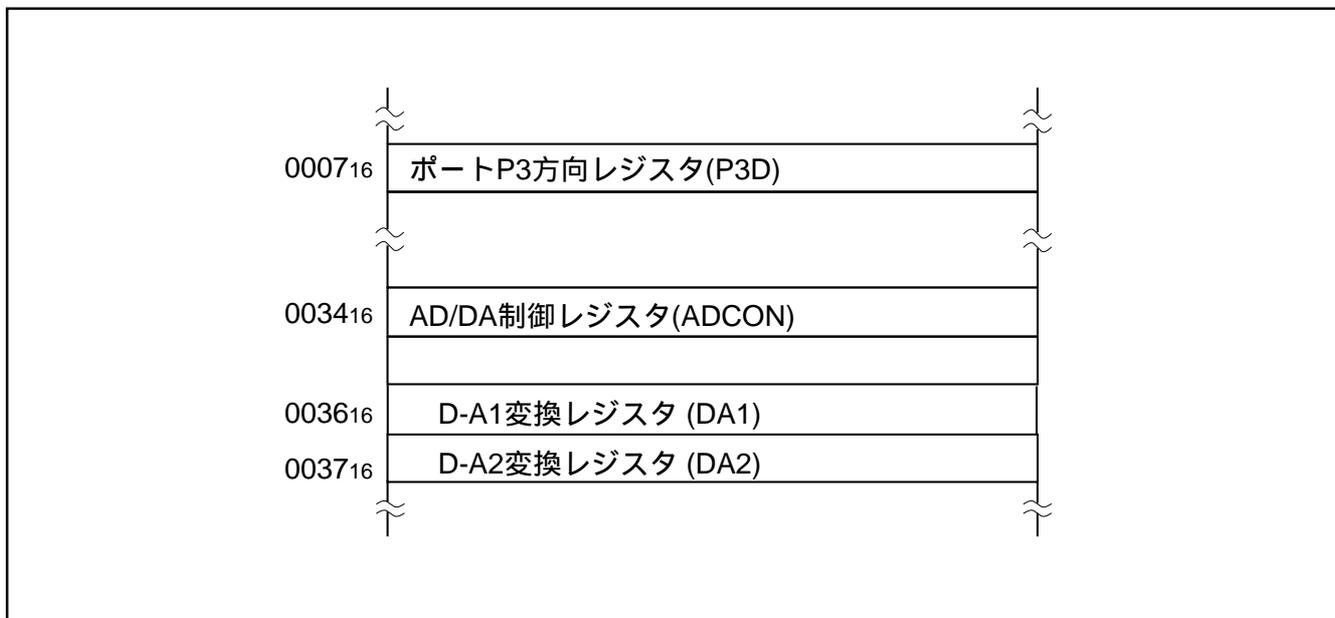


図2.7.1 D-A変換器関連レジスタのメモリ配置

2.7.2 関連レジスタ

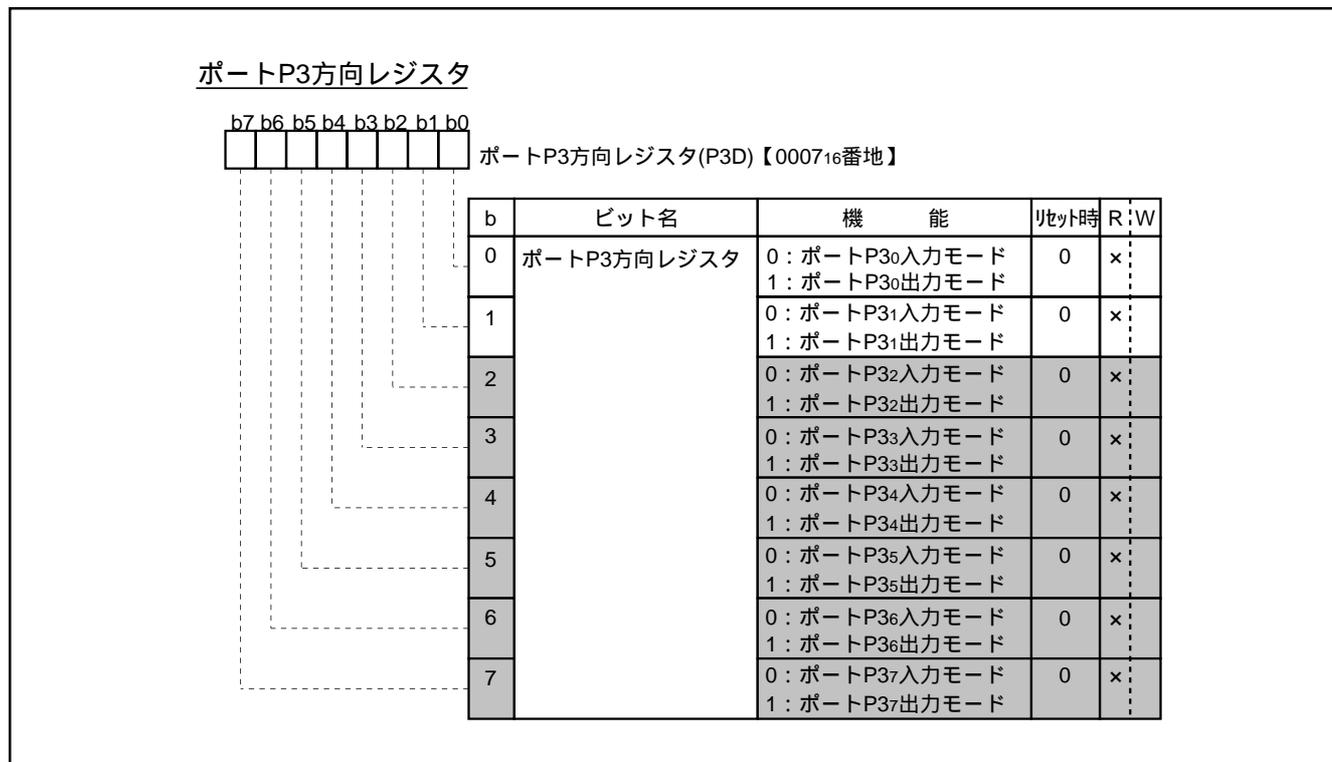


図2.7.2 ポートP3方向レジスタの構成

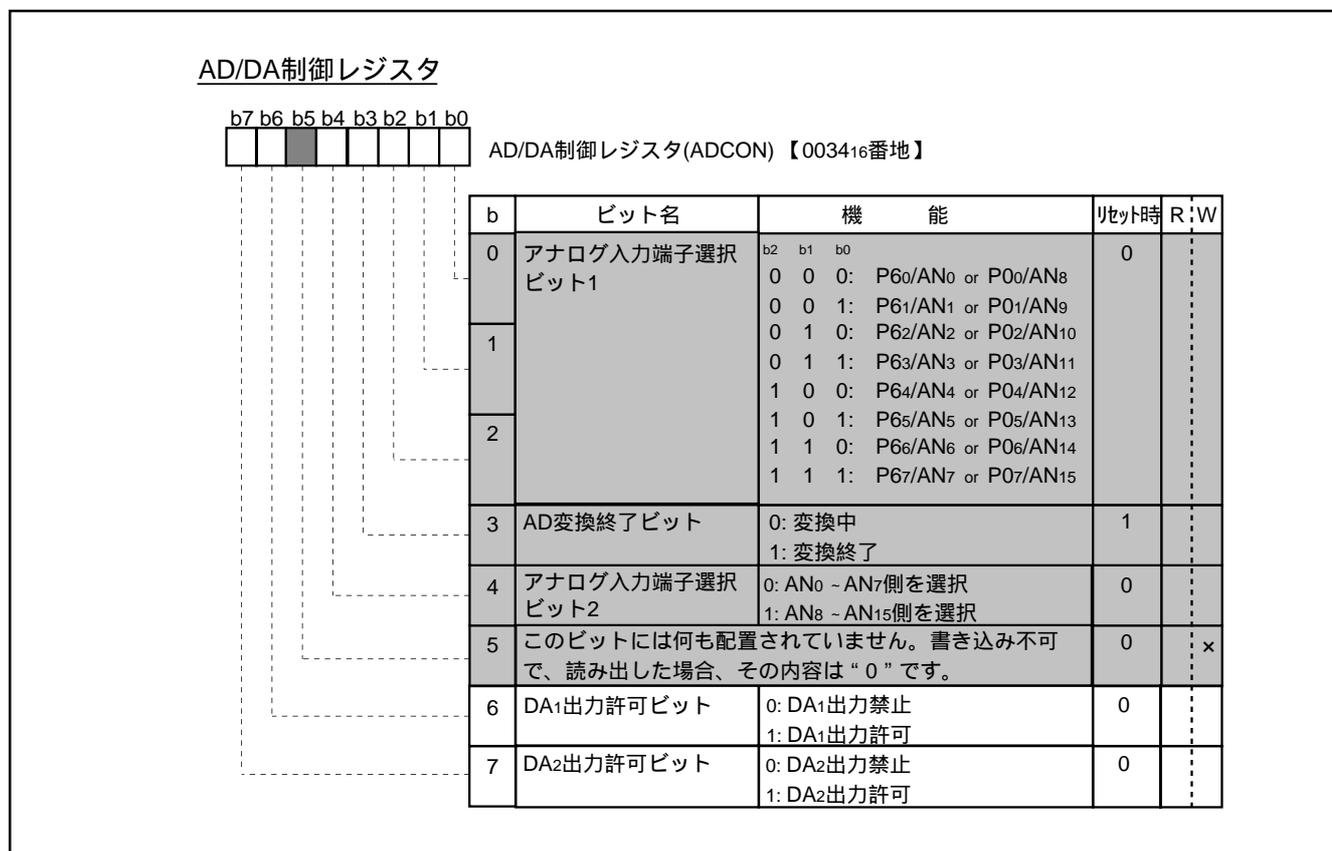
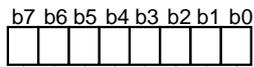


図2.7.3 AD/DA制御レジスタの構成

D-Ai変換レジスタ



D-Ai変換レジスタ(DAi) (i=1,2) 【0036₁₆, 0037₁₆番地】

b	機 能	リセット時	R/W
0	D-A出力値を書き込む専用のレジスタ	0	x
1		0	x
2		0	x
3		0	x
4		0	x
5		0	x
6		0	x
7		0	x

図2.7.4 D-Ai変換レジスタの構成

2.7.3 D-A変換の応用例

(1) スピーカ出力の音量調節

ポイント：D-A変換器を使用して、スピーカ出力の音量を調節します。

- 仕様：
- ・音程は、タイマXにより音の周期を調整し、一定音(“ラ”の音：約440Hz)を出力する。
 - ・音量は、D-A出力値により音の振幅を調節する。タイマX割り込み処理ルーチン内で、D-A出力値の切り替えを行う。
 - ・ $f(X_{IN}) = 6\text{MHz}$ を使用する。
 - ・D-A変換器としてDA1(P30/DA1端子)を使用する。

図2.7.5に接続図、図2.7.6にスピーカ出力例、図2.7.7に関連レジスタの設定を示します。

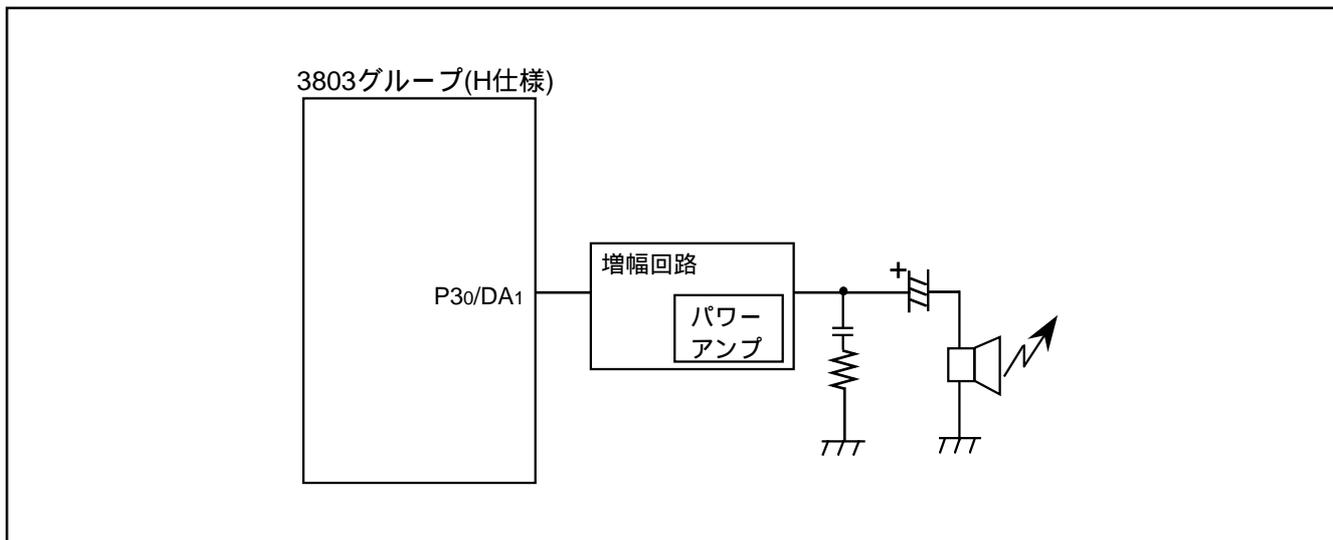


図2.7.5 接続図

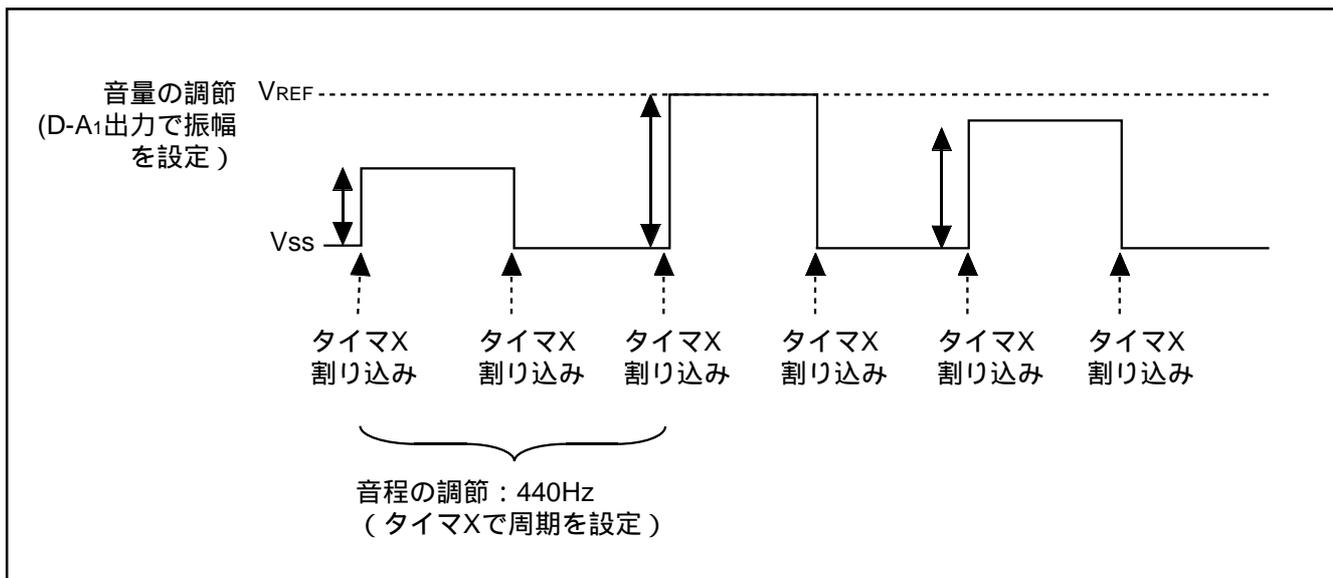


図2.7.6 スピーカ出力例

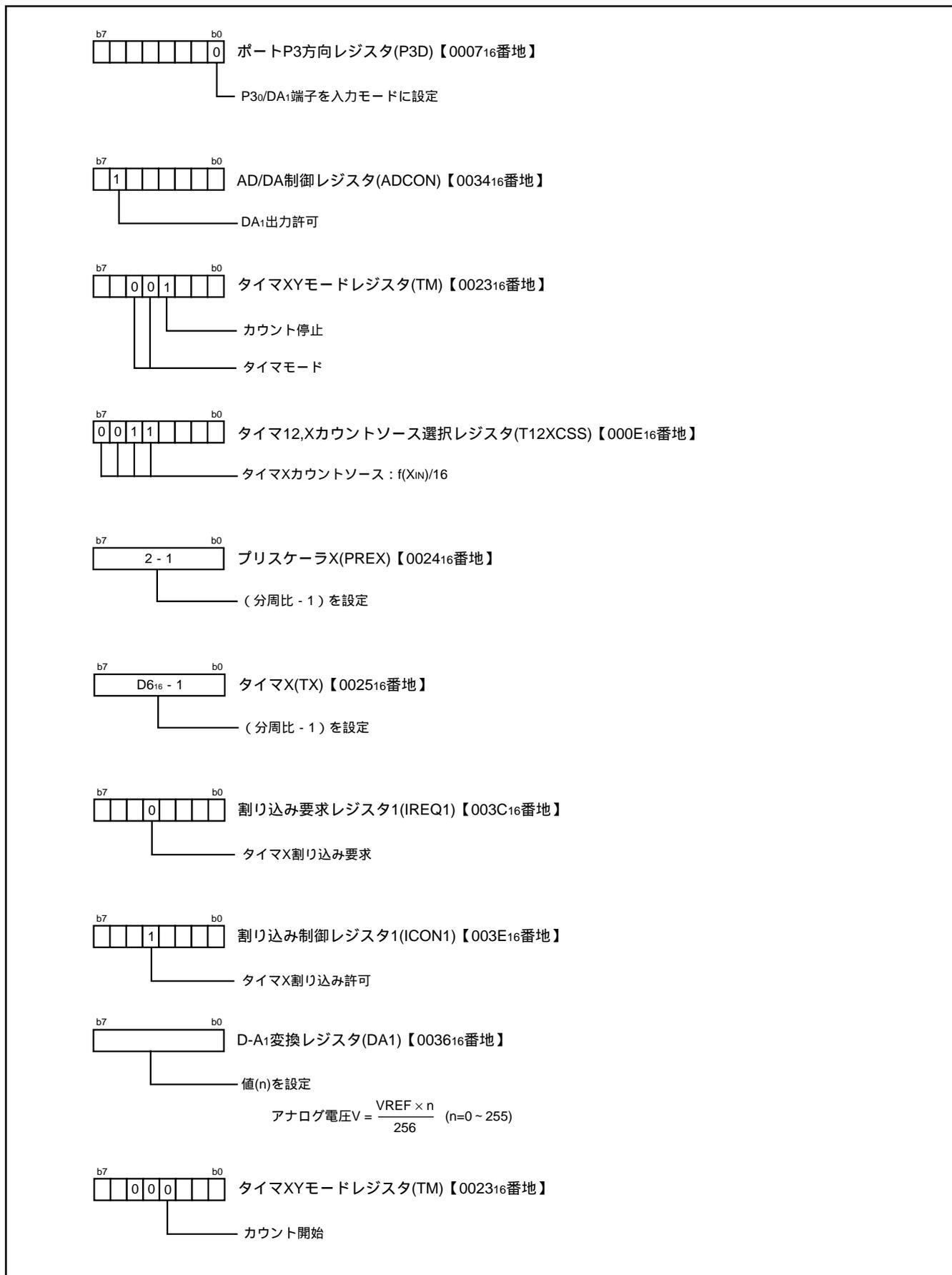


図2.7.7 関連レジスタの設定

図2.7.7に示した関連レジスタの設定を行うとD-A出力値によりスピーカ出力の音量を調節します。
図2.7.8に制御手順を示します。

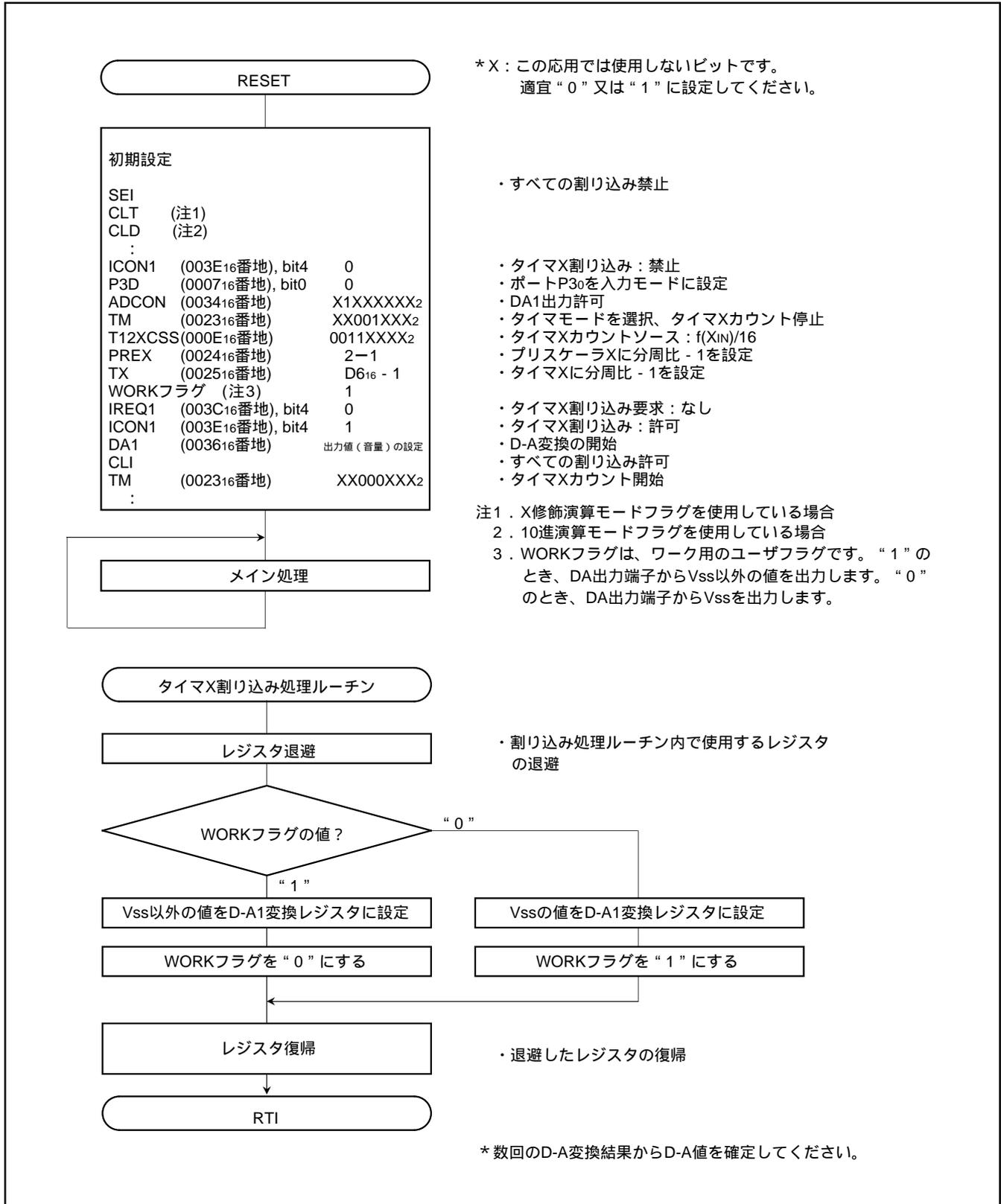


図2.7.8 制御手順

2.7.4 D-A変換器に関する注意事項

D-A変換器使用時は以下の点に注意してください。

(1) D-A変換器を使用する場合のVcc

D-A変換器の精度はVccが4.0V以下で異なります。D-A変換器を使用する場合は、Vccを4.0V以上にすることを推奨します。

(2) D-A変換器を使用しない場合のVcc

D-A変換器を使用しない場合、D-Ai変換レジスタ(i=1, 2)の設定値は、すべて“00₁₆”にしてください。リセット後の初期値は“00₁₆”です。

2.8 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

2.8.1 メモリ配置図

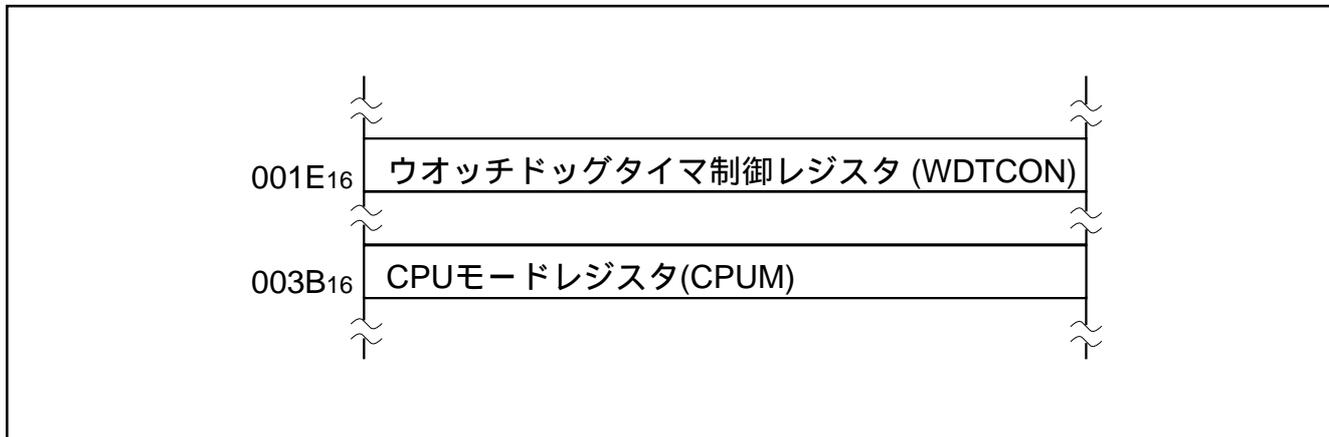


図2.8.1 ウォッチドッグタイマ関連レジスタのメモリ配置

2.8.2 関連レジスタ

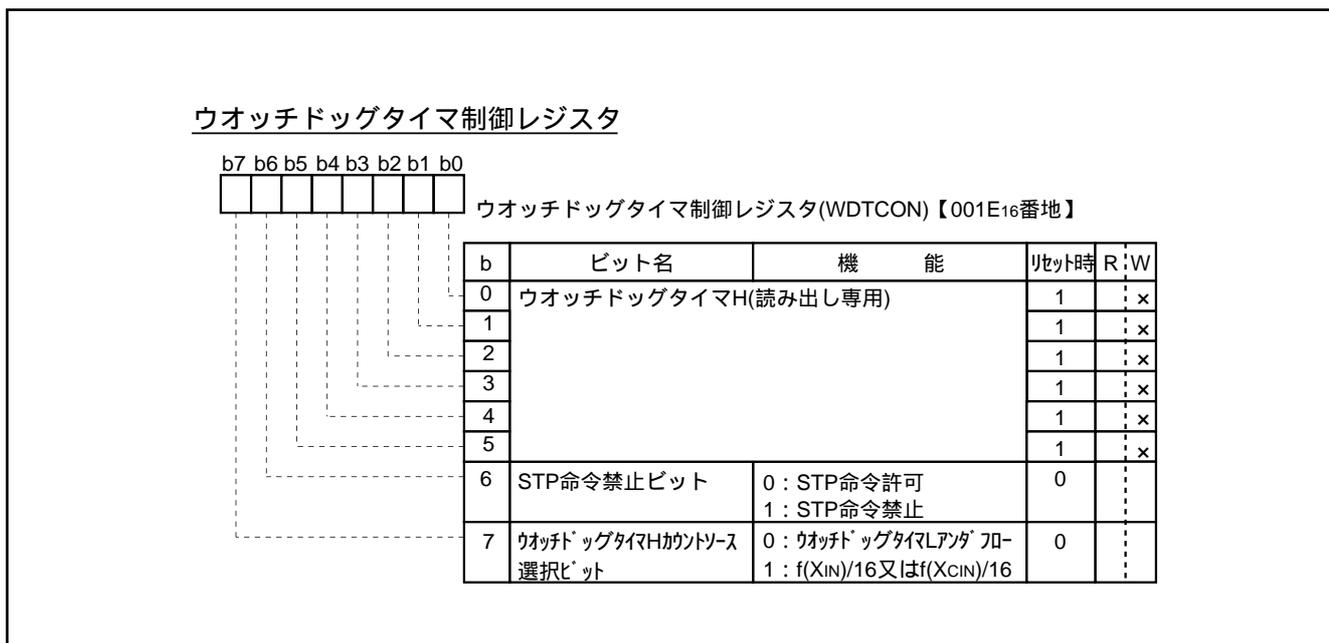


図2.8.2 ウォッチドッグタイマ制御レジスタの構成

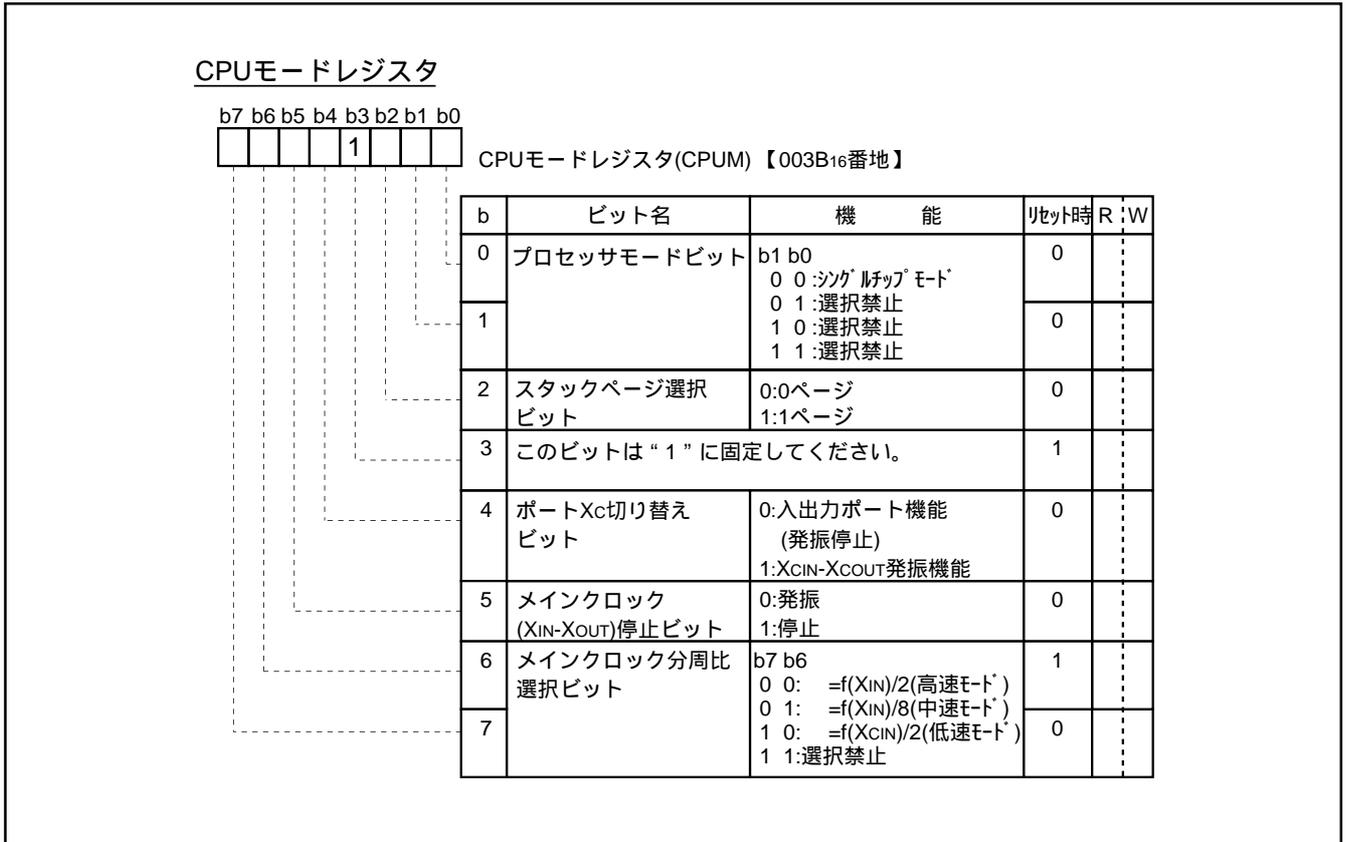


図2.8.3 CPUモードレジスタの構成

2.8.3 ウォッチドッグタイマの応用

(1) ウォッチドッグタイマの応用例：暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・メインクロック分周比は高速モードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続
- ・メインルーチン1サイクルは65.536ms以内
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン内で1サイクルごとにウォッチドッグタイマ制御レジスタのビット7へ“0”を設定
- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰

ウォッチドッグタイマの接続と分周比の設定を図2.8.4、関連レジスタの設定を図2.8.5、及び制御手順を図2.8.6に示します。

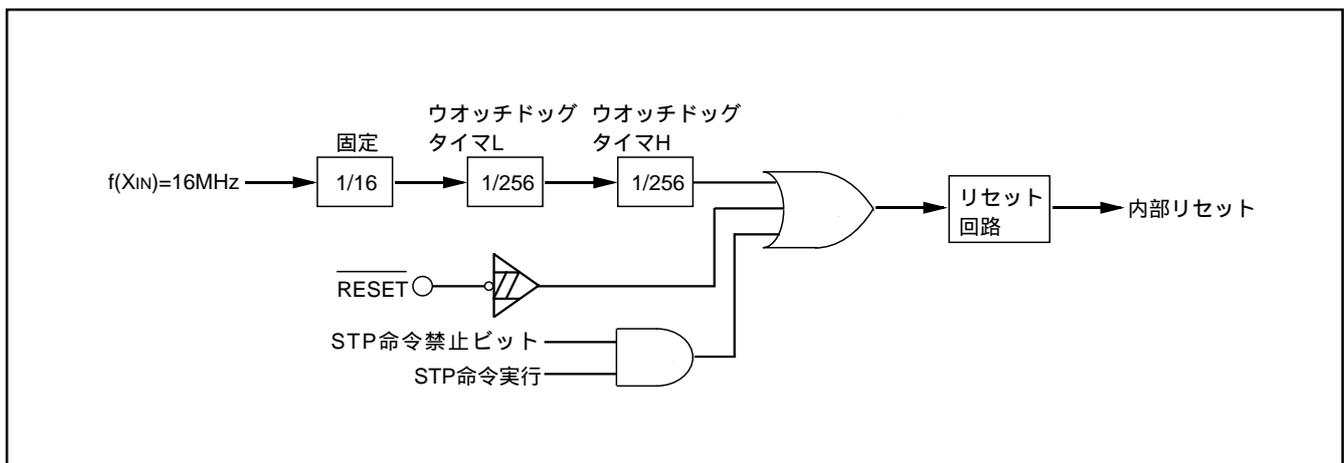


図2.8.4 ウォッチドッグタイマの接続と分周比の設定

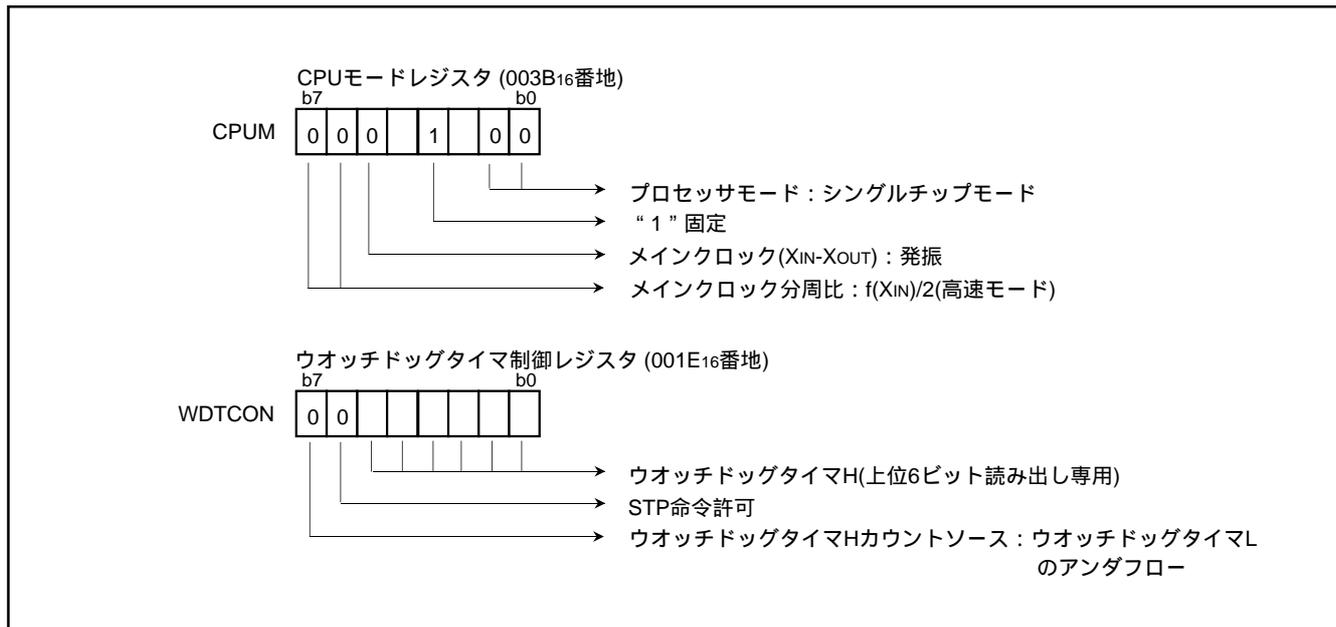


図2.8.5 関連レジスタの初期設定

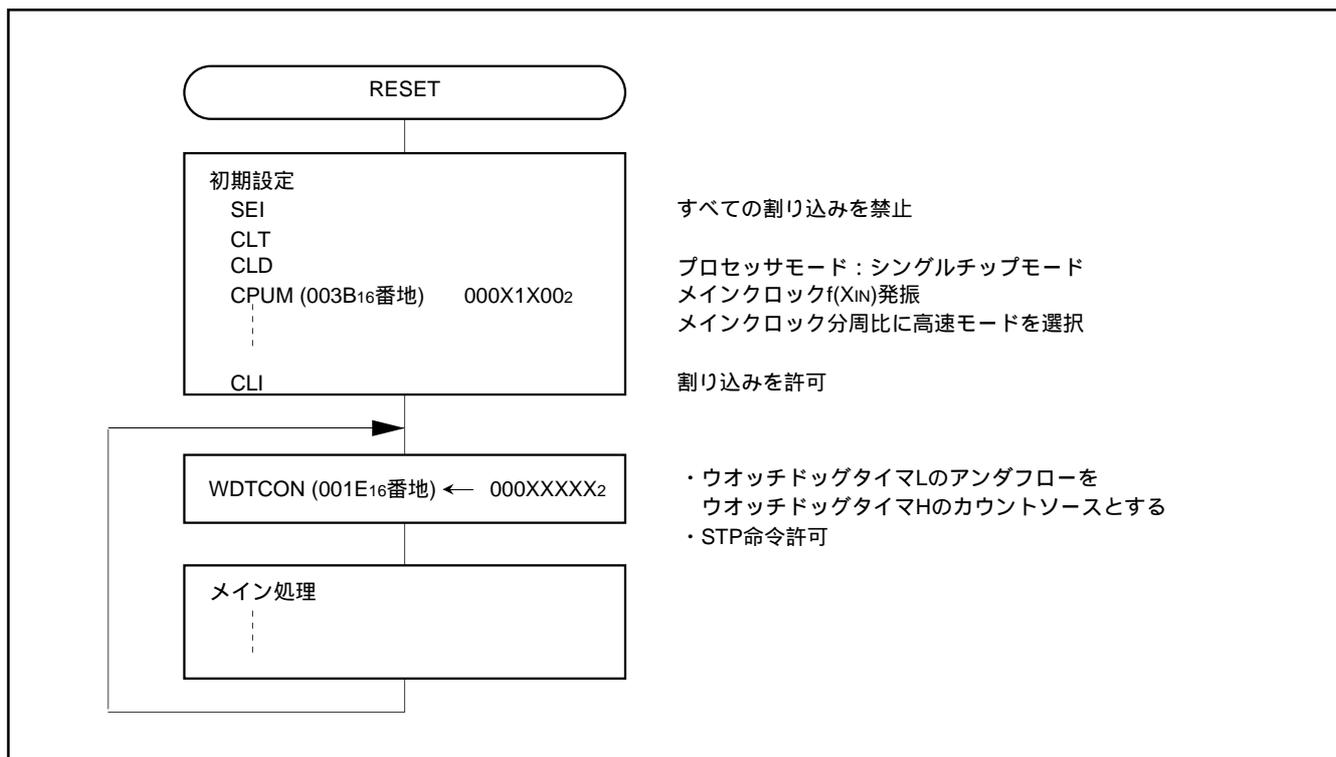


図2.8.6 制御手順

2.8.4 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを一旦“1”にすると、プログラムにより“0”に書き替えることはできません。

2.9 リセット

2.9.1 リセットICを用いた接続例

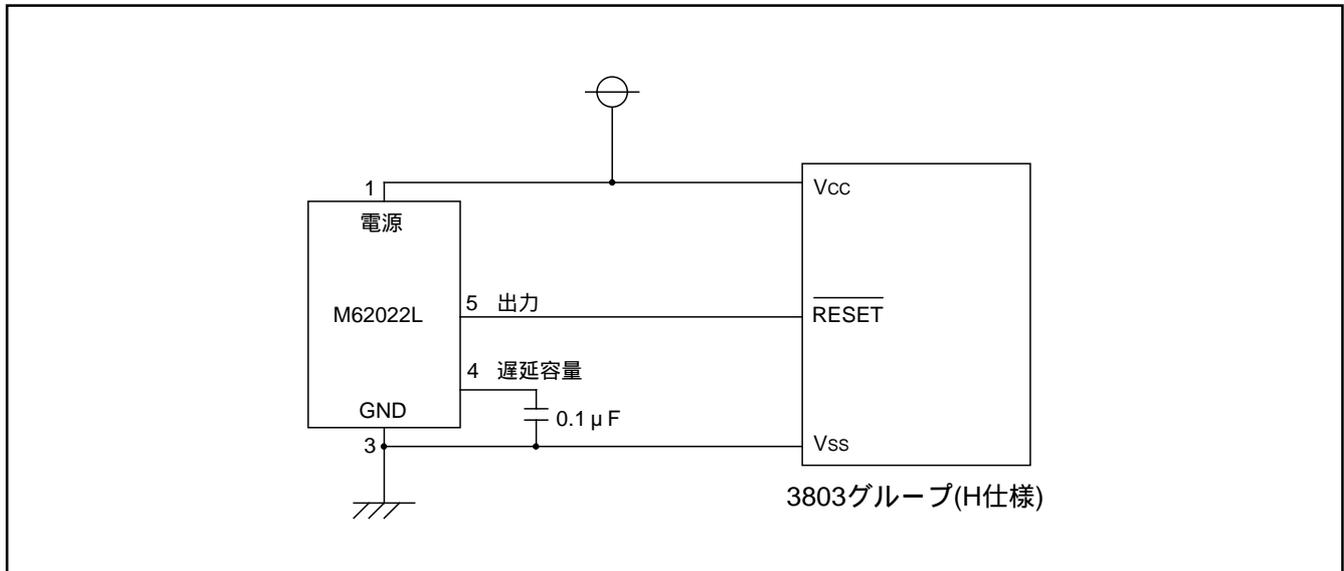


図2.9.1 パワーオンリセット回路例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.9.2に示します。

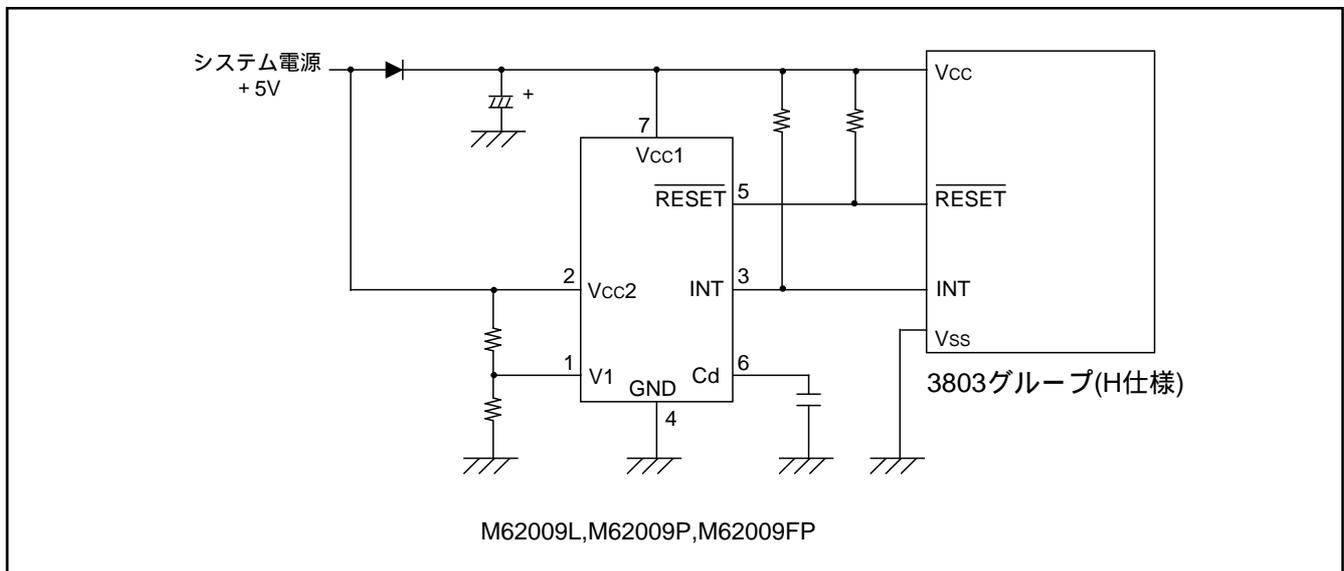


図2.9.2 RAMバックアップシステム

2.9.2 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

2.10 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、応用例などを説明します。

2.10.1 関連レジスタ

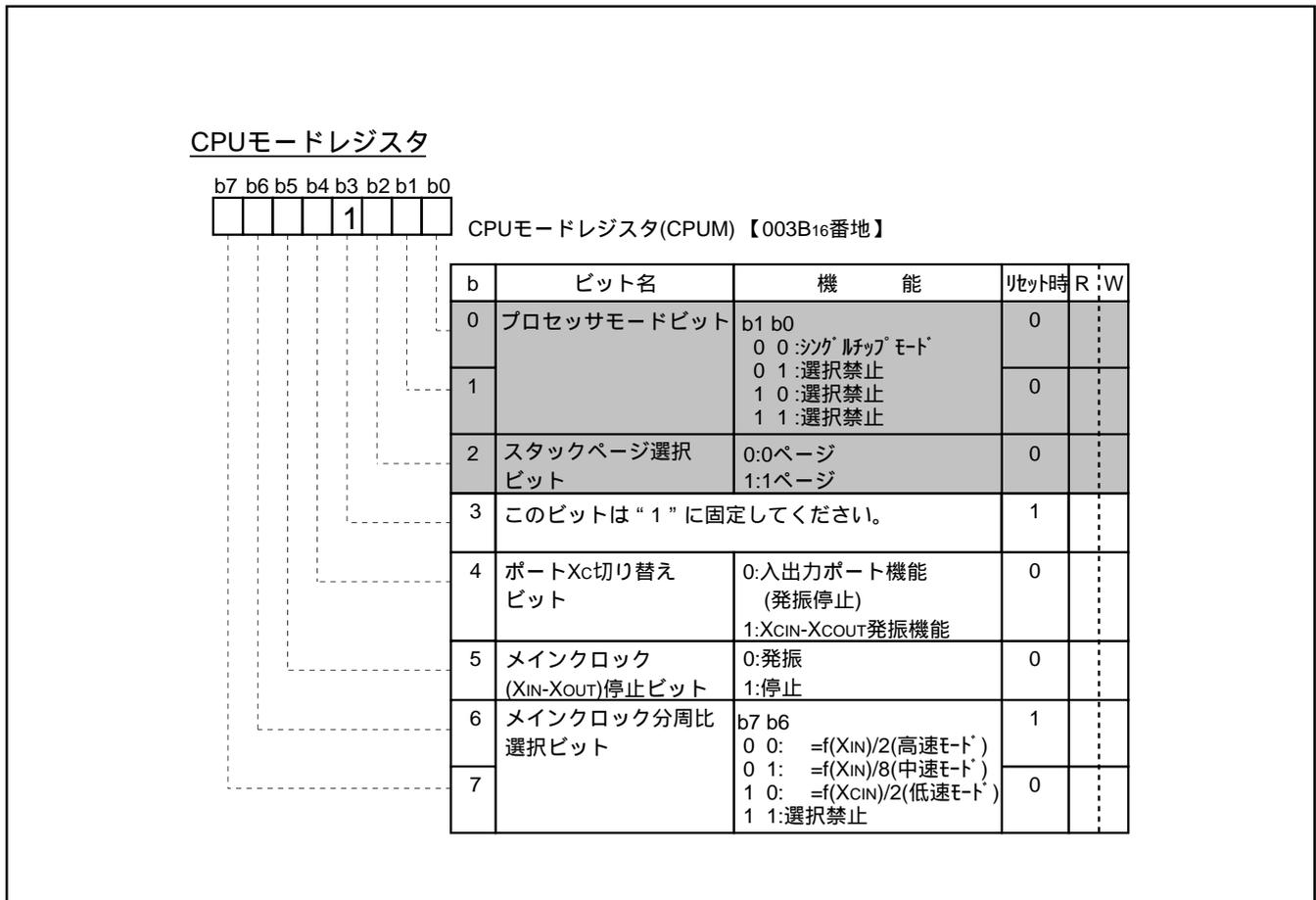


図2.10.1 CPUモードレジスタの構成

2.10.2 クロック発生回路の応用例

(1) 停電時の状態遷移

ポイント：停電時にタイマ割り込みを使用して、1秒ごとに時計をカウントアップします。

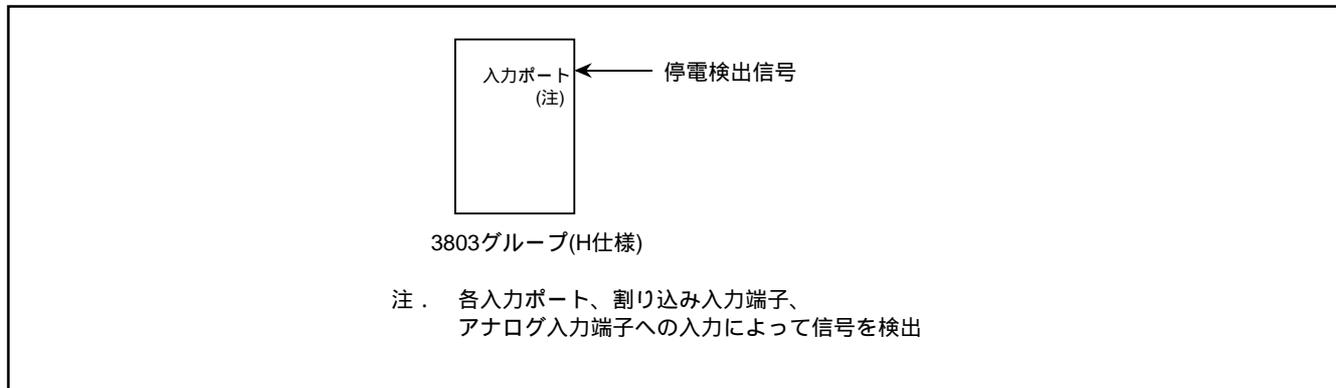


図2.10.2 接続図

仕様： 時計機能を維持しながら可能な限り消費電力を抑制。
 クロック： $f(X_{IN})=8\text{MHz}$ 、 $f(X_{CIN})=32.768\text{kHz}$ を使用
 ポート処理
 入力ポート：外部で“H”又は“L”レベルに固定
 出力ポート：外部に電流が流れ出さない出力レベルに固定
 (例：出力レベル“L”時に電流が流れてLEDが点灯するような回路の場合、出力レベル“H”に固定)
 入出力ポート：入力ポート 外部で“H”又は“L”レベルに固定
 出力ポート 電流を消費しないデータを出力
 VREF端子：A-D変換動作を終了させる。DA変換レジスタの設定値を“0016”にすることにより、VREF電流消費を止める。

図2.10.3に停電時の状態遷移図、図2.10.4に関連レジスタの設定を示します。

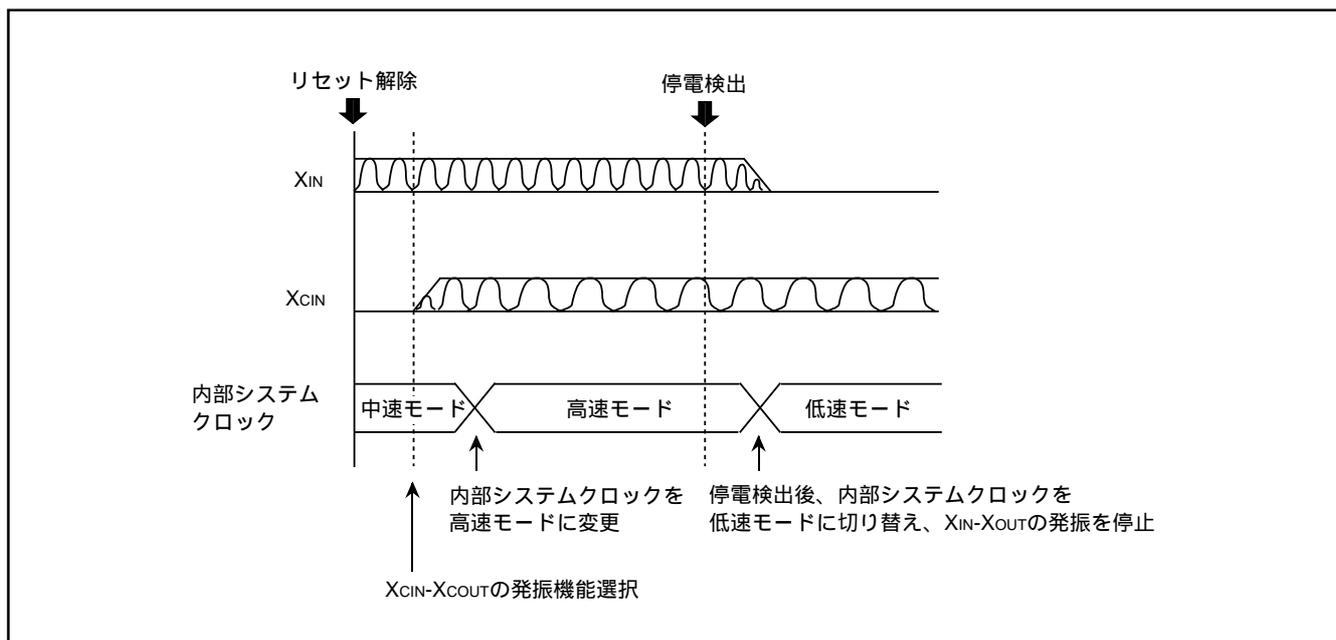


図2.10.3 停電時の状態遷移図

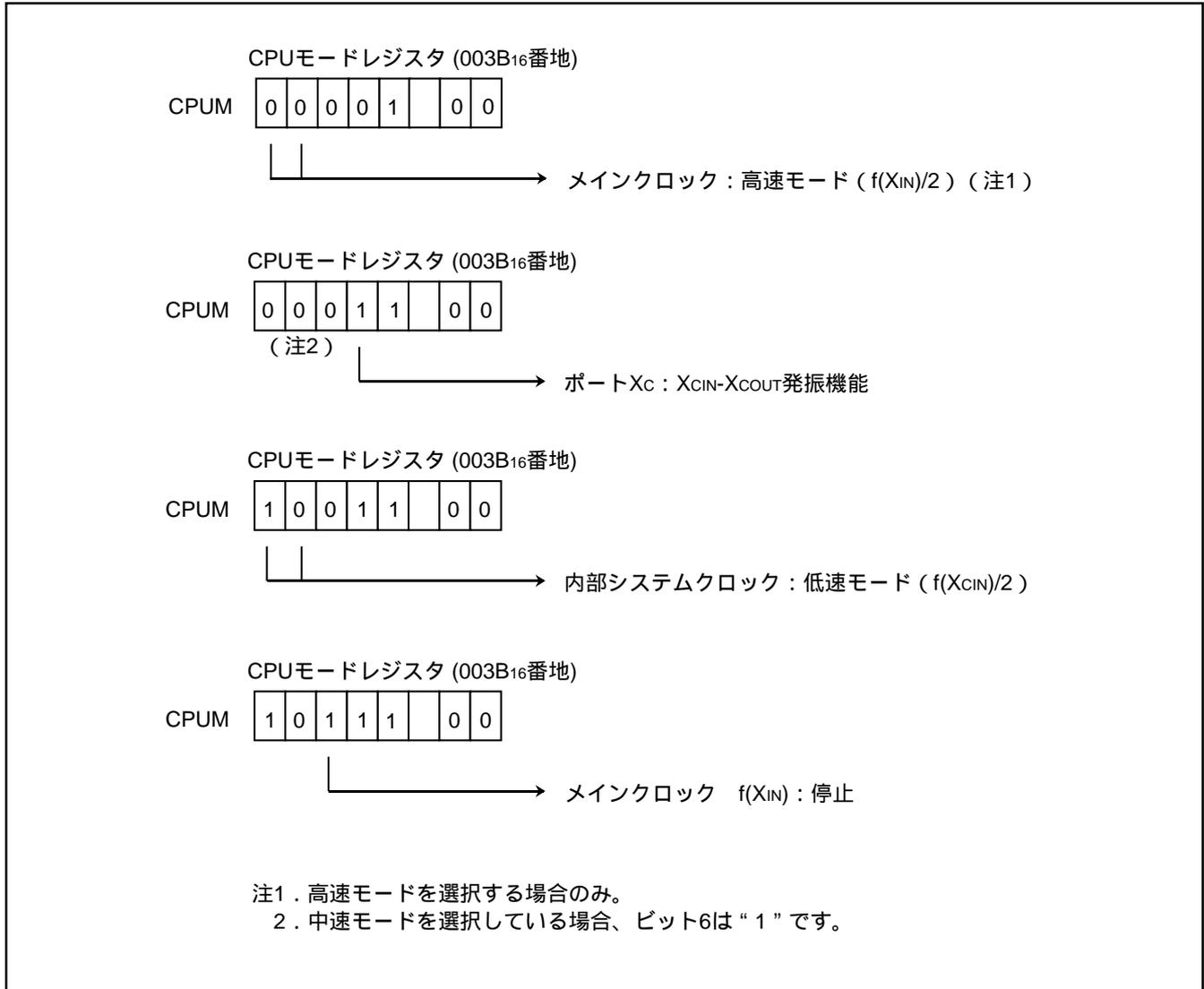


図2.10.4 関連レジスタの設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

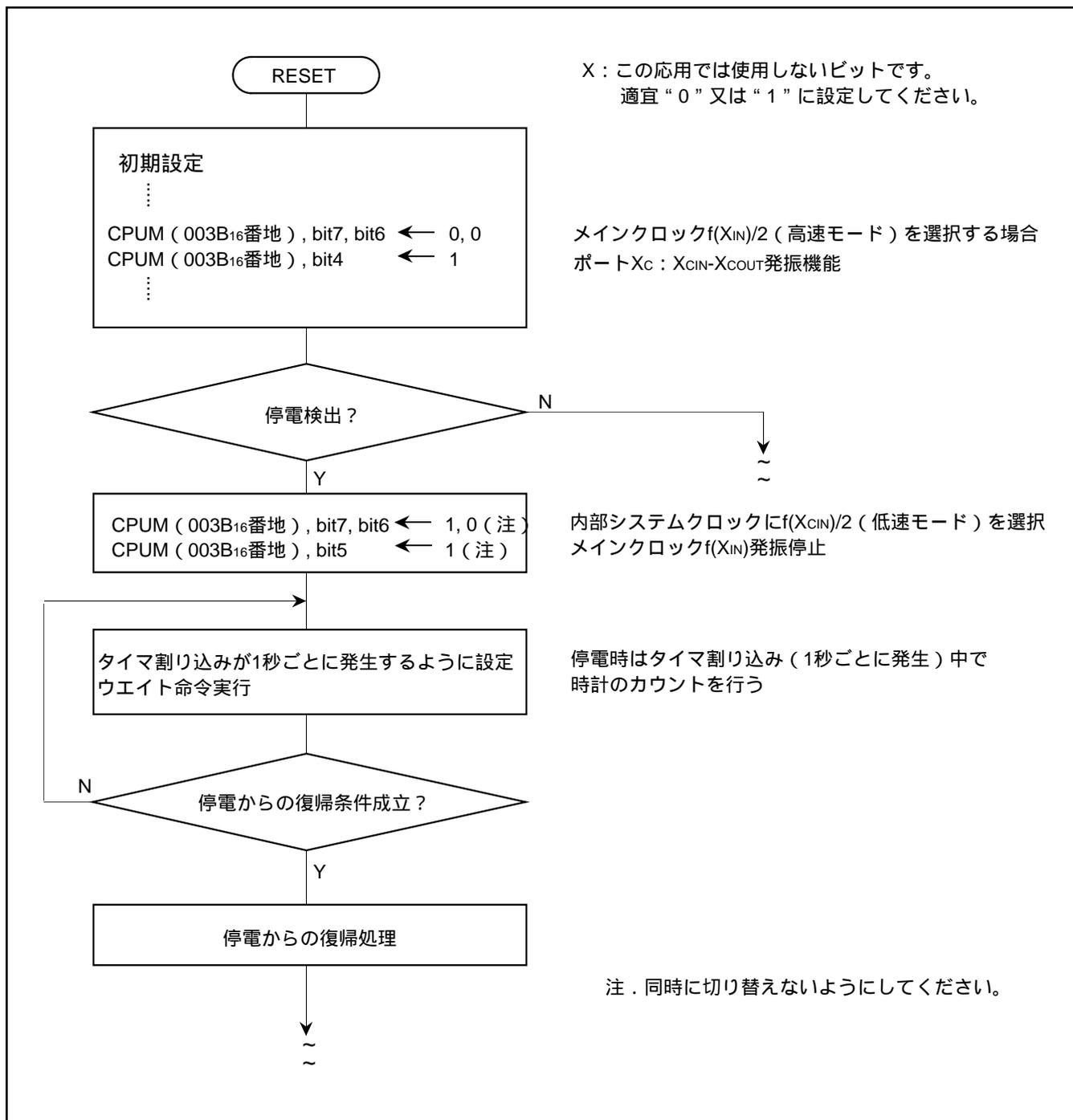


図2.10.5 制御手順

2.11 スタンバイ機能

3803グループ(H仕様)はソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させるスタンバイ機能を持ちます。

スタンバイ機能には次の2種類があります。

- STP命令によるストップモード
- WIT命令によるウエイトモード

2.11.1 ストップモード

STP命令の実行によって、ストップモードの状態になります。ストップモードではメインクロック(XIN-XOUT)、サブクロック(XCIN-XCOUT)とも発振が停止し、内部クロックφは“H”レベルで停止します。

CPUは停止し、周辺機能の動作も停止します。その結果、消費電力の低減を実現できます。

(1) ストップモード時の状態

ストップモード時の状態を表2.11.1に示します。

表2.11.1 ストップモード時の状態

項目	ストップモード時の状態
発振	停止
CPU	停止
内部クロックφ	“H”レベルで停止
入出力ポートP0～P6	STP命令実行時の状態を保持
タイマ	停止(タイマ1、2、X、Y、Z) ただし、タイマX、タイマY、タイマZではイベントカウンタモードが使用できません。
PWM	停止
ウォッチドッグタイマ	停止
シリアルI/O1、シリアルI/O2、シリアルI/O3	停止 ただし、外部クロックモードで動作します。
A-D変換器	停止
D-A変換器	出力電圧を保持

(2) ストップモードの解除

ストップモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ストップモードからの復帰処理が異なります。

リセット入力による復帰

ストップモード中にRESET端子の入力レベルを“L”にすると、ストップモードは解除されます。すべてのポートが状態となり、メインクロック(XIN-XOUT)のストップモードが解除されると、発振が開始します。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。発振が安定するまでRESET端子の入力レベルを“L”にしておく必要があります。

安定発振しているときに、RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5~18.5サイクル後に解除されます。

図2.11.1にリセット入力による復帰時の発振安定時間を示します。

リセット入力によるストップモードの解除では、STP命令実行前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

リセットについては「2.9 リセット」を参照してください。

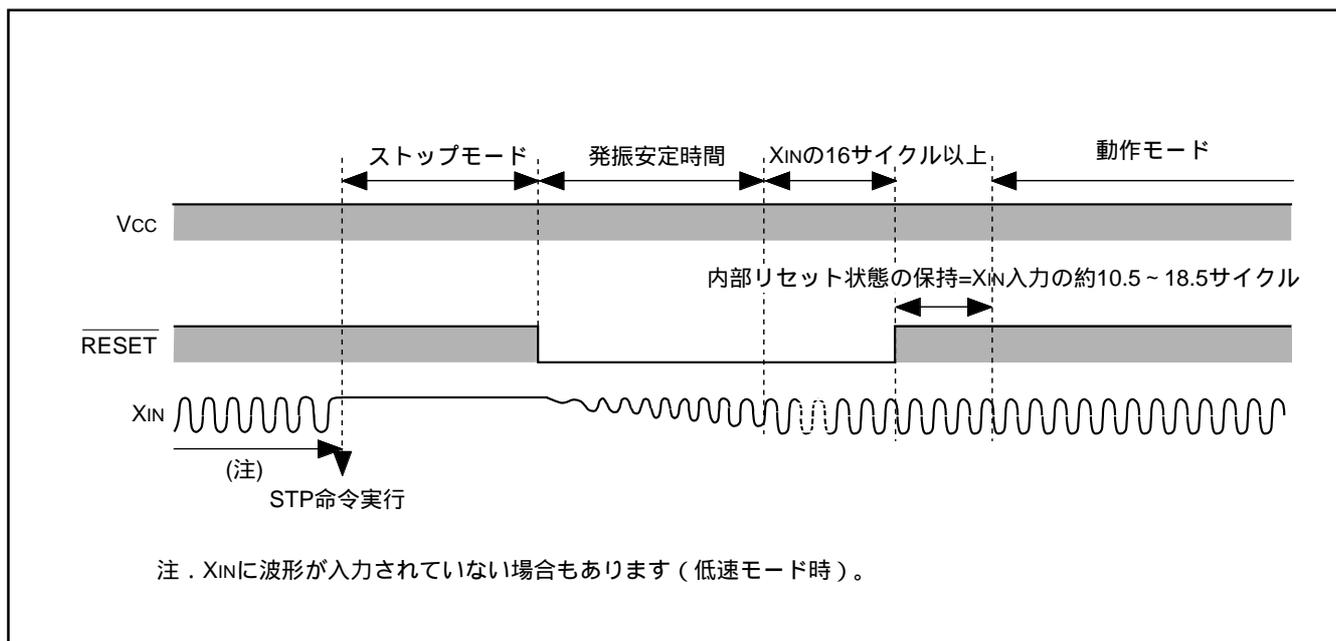


図2.11.1 リセット入力による復帰時の発振安定時間

割り込みによる復帰

ストップモード中に割り込み要求が発生すると、ストップモードは解除され、発振が再開します。復帰に使用できる割り込み要因は、下記のとおりです。

- ・ INT0 ~ INT4
- ・ CNTR0, CNTR1, CNTR2
- ・ 外部クロック使用のシリアルI/O(1, 2, 3)
- ・ 外部クロック使用のタイマ(X, Y, Z)

ただし、上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、STP命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②タイマ1の割り込み許可ビット=" 0 (禁止)
- ③復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ④復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、プリスケアラ12、タイマ1*1がCPUへの内部クロックφの供給を待機する時間を生成します*2。この待機する時間で、システムクロック側の発振安定時間を確保します。CPUへの内部クロックφの供給は、タイマ1のアンダフロー時から開始されます。

図2.11.2にINT0割り込み要求の発生による復帰時の実行シーケンス例を示します。

- *1 : STP命令解除後発振安定時間設定ビット(2F16番地のビット6)が" 0 "のときにSTP命令を実行すると、プリスケアラ12のカウンタ/ラッチに" FF16 "が、タイマ1のカウンタ/ラッチに" 0116 "が自動的に設定されます。STP命令解除後発振安定時間設定ビットが" 1 "のときは自動設定が行われませんので、STP命令実行前に発振安定時間に適した値を任意にプリスケアラ12、タイマ1に設定できます。
- *2 : 発振開始直後からカウントソースはプリスケアラ12カウンタへ供給され、カウント動作が開始します。

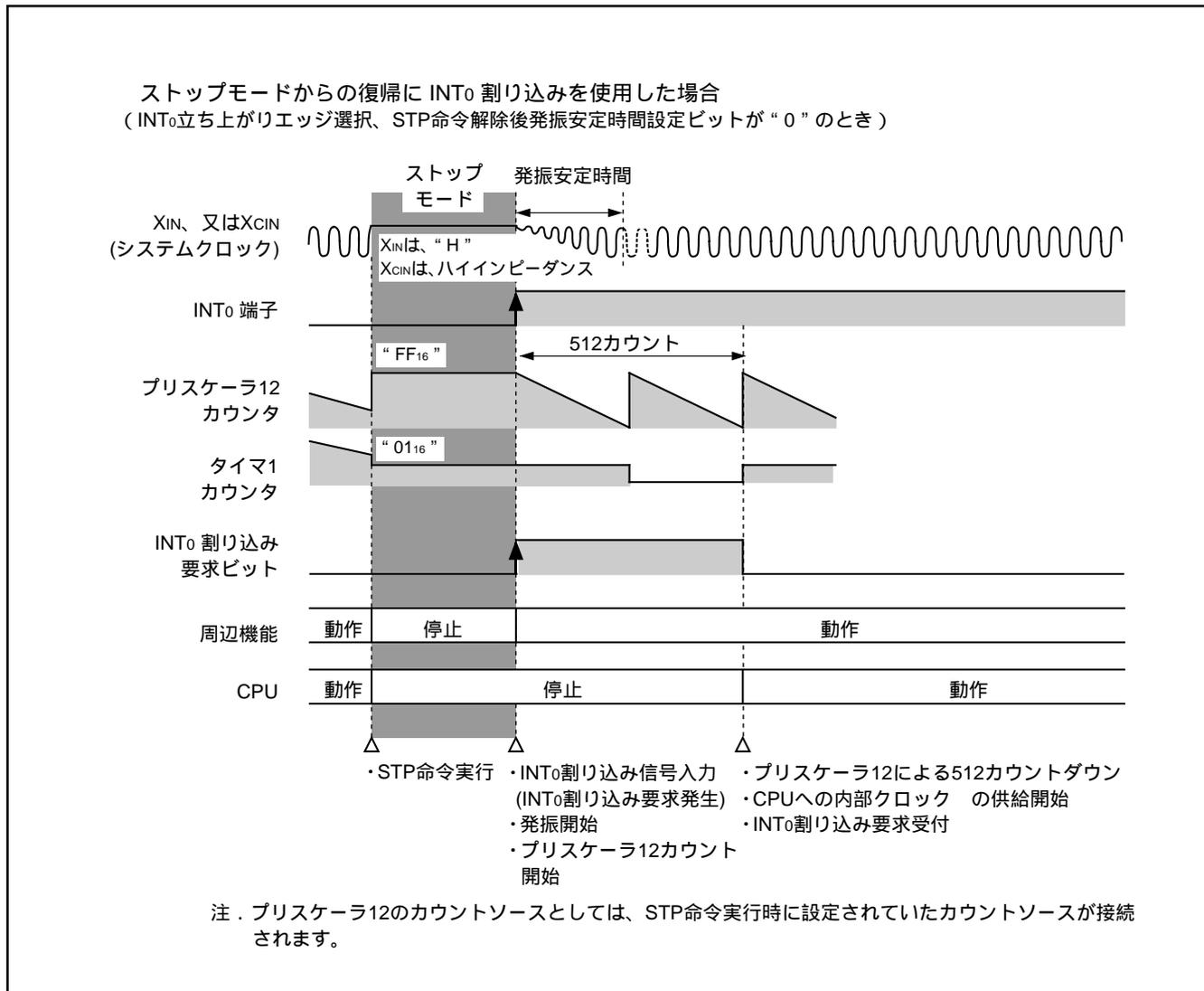


図2.11.2 INT0割り込み要求の発生による復帰時の実行シーケンス例

(3) ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが“0”のとき)

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にタイマ1のアンダフローまでの発振安定時間が確保されます。STP命令解除後発振安定時間設定ビットが“0”のときはカウントソースの512カウント分、STP命令解除後発振安定時間設定ビットが“1”のときはプリスケラ12、タイマ1に任意に設定されたカウント分が発振安定時間になります。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していませんので、注意してください。

2.11.2 ウェイトモード

WIT命令の実行によって、ウェイトモードの状態になります。ウェイトモードでは発振は継続しますが、内部クロック ϕ は“H”レベルで停止します。

CPUは停止しますが、大部分の周辺機能は動作します。

(1) ウェイトモード時の状態

周辺機能へのクロックは、供給され続けています。ウェイトモード時の状態を表2.11.2に示します。

表2.11.2 ウェイトモード時の状態

項目	ウェイトモード時の状態
発振	動作
CPU	停止
内部クロック ϕ	“H”レベルで停止
入出力ポートP0～P6	WIT命令実行時の状態を保持
タイマ	動作
PWM	動作
ウォッチドッグタイマ	動作
シリアルI/O1、シリアルI/O2、 シリアルI/O3	動作
A-D変換器	動作
D-A変換器	出力電圧を保持

(2) ウェイトモードの解除

ウェイトモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ウェイトモードからの復帰処理が異なります。

ウェイトモードでは発振は継続されていますので、ウェイトモードが解除されるとただちに命令を実行できます。

リセット入力による復帰

ウェイトモード中にRESET端子の入力レベルを“L”にすると、ウェイトモードは解除されます。

ウェイトモードが解除されると、すべてのポートが入力状態になり、CPUへの内部クロックφの供給が開始します。RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5～18.5サイクル後に解除されます。

ウェイトモードの解除では、リセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

図2.11.3にリセット入力時間を示します。

リセットについては「2.9 リセット」を参照してください。

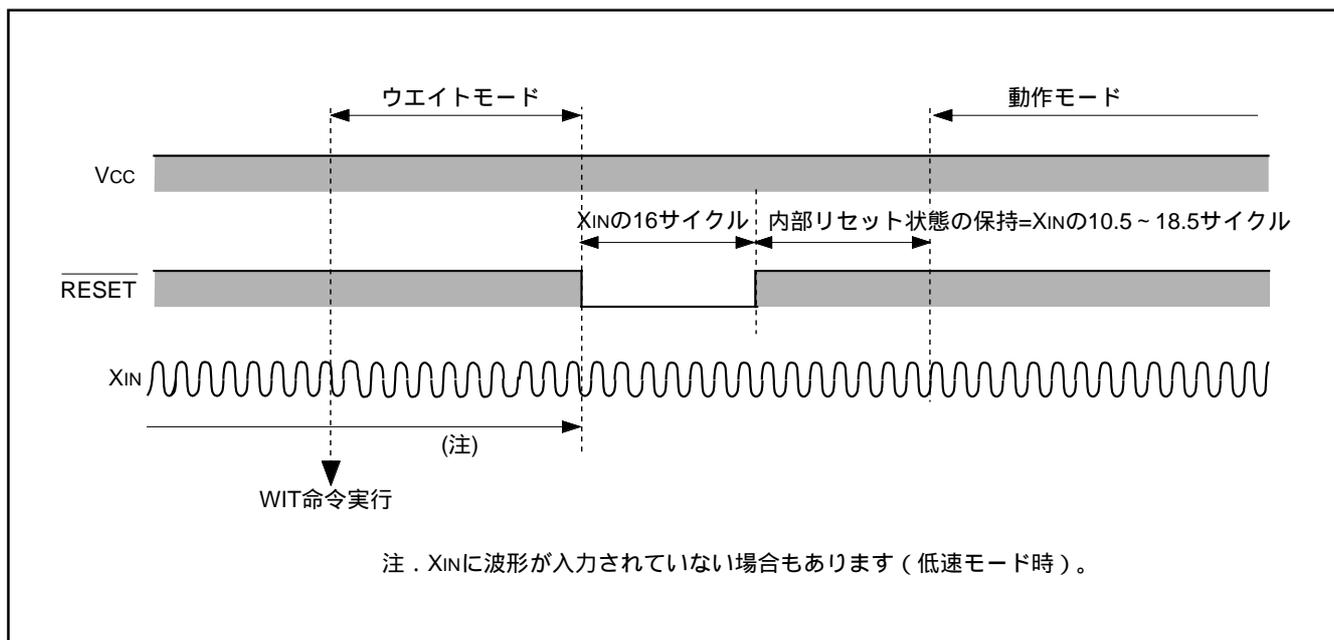


図2.11.3 リセット入力時間

割り込みによる復帰

ウェイトモード中に割り込み要求が発生すると、ウェイトモードは解除され、CPUへの内部クロックφの供給が開始します。同時に復帰に使用した割り込み要因の要求が受け付けられて、その割り込み処理ルーチンが実行されます。

ただし、割り込み要因をウェイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、WIT命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ③復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

(3) ウェイトモード使用上の注意事項

復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に“ L ”レベルを入力しておく必要があります。

2.12 フラッシュメモリモード

本節ではM38039FFHSP/FP/HP/KPのフラッシュメモリモードに関するレジスタの設定方法、注意事項などを説明します。

2.12.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM版と異なります(「2.12.2 メモリ配置」参照)。

フラッシュメモリ版では、パラレル入出力モード、標準シリアル入出力モード、及びCPU書き換えモードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

2.12.2 メモリ配置

M38039FFHSP/FP/HP/KPは60Kバイトのフラッシュメモリを内蔵しています。

図2.12.1にM38039FFHSP/FP/HP/KPのメモリ配置を示します。

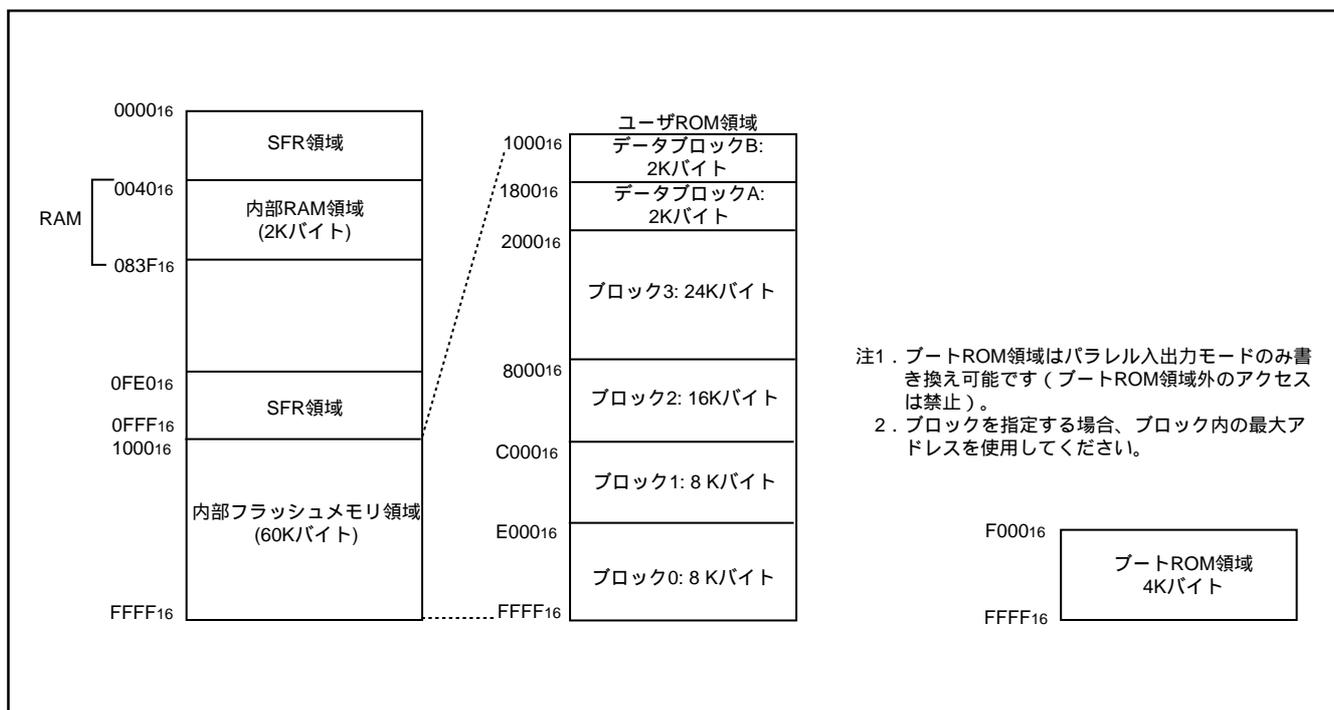


図2.12.1 M38039FFHSP/FP/HP/KPのメモリ配置

2.12.3 関連レジスタ

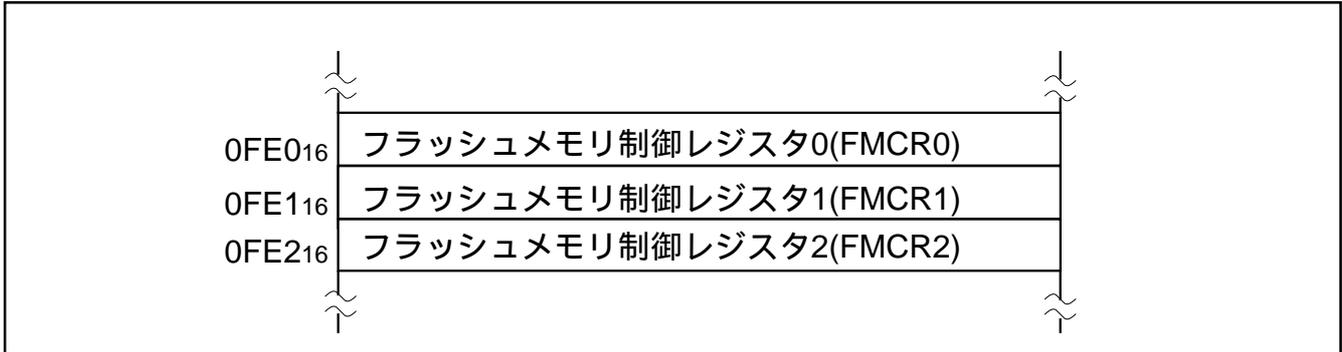


図2.12.2 フラッシュ関連レジスタのメモリ配置

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

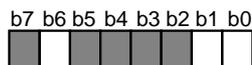
フラッシュメモリ制御レジスタ0(FMCR0) 【0FE016番地】

b	ビット名	機能	リセット時	R/W
0	RY/BYステータスフラグ	0: ビジー (自動書き込み、自動消去中) 1: レディ	1	x
1	CPU書き換えモード選択ビット (注1)	0: CPU書き換えモード無効 (ソフトウェアコマンド無効) 1: CPU書き換えモード有効 (ソフトウェアコマンド受付可能)	0	
2	8KBユーザブロックE/W許可ビット (注1, 2)	0: E/W禁止 1: E/W許可	0	
3	フラッシュメモリリセットビット (注3, 4)	0: 通常動作 1: リセット	0	
4	不使用 (“1” を書き込まないでください。)		0	
5	ユーザ領域/ブート領域選択ビット (注5)	0: ユーザROM領域アクセス 1: ブートROM領域アクセス	0	
6	プログラムステータスフラグ	0: パス 1: エラー	0	x
7	イレーズステータスフラグ	0: パス 1: エラー	0	x

注1. “1” を設定する場合は “0” を書き込んだ後、続けて “1” を書き込んでください。 “0” にするときは、 “0” を書き込んでください。
 2. CPU書き換えモード選択ビットが “1” のときだけ書き込めます。
 3. CPU書き換えモード選択ビットが “1” のときだけ有効です。CPU書き換えモード選択ビットが “0” のときは “0” に固定してください。
 4. このビットを “1” にする (フラッシュメモリの制御回路をリセットする) と、10μs間フラッシュメモリにアクセスできません。
 5. このビットへの書き込みはRAM上のプログラムから実行してください。

図2.12.3 フラッシュメモリ制御レジスタ0の構成

フラッシュメモリ制御レジスタ1



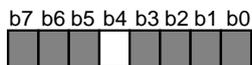
フラッシュメモリ制御レジスタ1(FMCR1)【0FE1₁₆番地】

b	ビット名	機能	セット時	R	W
0	イレーズサスペンド許可ビット(注1)	0: サスペンド無効 1: サスペンド有効	0		
1	イレーズサスペンド要求ビット(注2)	0: イレーズ再開(要求なし) 1: イレーズ中断(要求あり)	0		
2	これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。		0		x
3			0		x
4			0		x
5			0		x
6	イレーズサスペンドフラグ	0: イレーズ中 1: イレーズ停止中(イレーズサスペンドモード)	1		x
7	このビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。		0		x

注1. “1”に設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。
“0”にする場合は“0”を書き込んでください。
2. イレーズサスペンド許可ビットが“1”のときだけ有効です。

図2.12.4 フラッシュメモリ制御レジスタ1の構成

フラッシュメモリ制御レジスタ2



フラッシュメモリ制御レジスタ2(FMCR2)【0FE2₁₆番地】

b	ビット名	機能	セット時	R	W
0	これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。		1		x
1			0		x
2			1		x
3			0		x
4	全ユーザブロックE/W許可ビット(注1、2)	0: E/W禁止 1: E/W許可	0		
5	これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。		0		x
6			1		x
7			0		x

注1. “1”に設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。
“0”にする場合は“0”を書き込んでください。
2. CPU書き換えモード選択ビットが“1”のときだけ書き込めます。

図2.12.5 フラッシュメモリ制御レジスタ2の構成

2.12.4 パラレル入出力モード

パラレル入出力モードは、専用プログラマ(EFP- 等)を使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。プログラム/イレーズのメモリ領域は、ブートROM領域：0F000₁₆～0FFFF₁₆番地、ユーザROM領域：01000₁₆～0FFFF₁₆番地となります。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.12.1にパラレル入出力モードでEFP- を用いてプログラムを行う場合のパラレルユニットを示します。

- ・ EFP-I : (株) 彗星電子システム社製

表2.12.1 パラレル書き込み時のパラレルユニット(EFP- 使用時: (株)彗星電子システム社製)

品種名	パラレルユニット	ブートROM領域	ユーザROM領域
M38039FFHSP	EF3803F-64S	0F000 ₁₆ ～0FFFF ₁₆	01000 ₁₆ ～0FFFF ₁₆
M38039FFHFP	EF3803F-64F		
M38039FFHHP	EF3803F-64H		
M38039FFHKP	EF3803F-64U		

2.12.5 標準シリアル入出力モード

標準シリアル入出力モード1で書き込みを行う場合の、プログラマ(EFP- ;別途シリアルユニットEF1SRP-01Uが必要)とマイコンの端子接続例(4線式)について表2.12.2に示します。

- ・ EFP- : (株)彗星電子システム社製

表2.12.2 シリアル書き込み時のプログラマとの接続例(4線式)

機能	EFP- (EF1SRP-01U)		フラッシュマイコン		
	信号名	EF1RP-01U側 コネクタ PIN No.	端子名	M38039FFHSP ピン番号	M38039FFHFP/HP/KP ピン番号
転送クロック入力	T_SCLK	9	P46/SCLK1	21	13
シリアルデータ入力	T_TXD	10	P44/RxD1	23	15
シリアルデータ出力	T_RXD	11	P45/TxD1	22	14
送受信許可出力	T_BUSY	12	P47/ $\overline{\text{SRDY1}}$ /CNTR2	20	12
“H”入力	T_VPP	3	CNVss	26	18
リセット入力	T_RESET	14	$\overline{\text{RESET}}$ (注1)	27	19
ターゲットボード 電源モニタ入力	T_VDD (注2)	4	Vcc (注2)	1	57
GND	GND (注3)	1,2,15,16	Vss, AVss (注3)	32, 3	24, 59

- 注1. 書き込みベリファイ後のリセット解除は行われないため、書き込み後、MCUを動作させるときは、ターゲット接続ケーブルを切り離してください。
2. EFP-I側で使用する出力バッファの電源電圧を、ユーザ側電源電圧(Vcc)と合わせるために、Vccをユーザ側から供給してください。
3. GND信号にはEF1SRP-01U側コネクタの1、2、15、16番の4端子を用意しています。ターゲット基板に接続する場合、1端子のみの接続でも問題はありませんが、2端子以上で接続することを推奨します。

2.12.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、RAMに転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド、プログラムコマンド、ブロックイレースコマンドが使用できます。各コマンドの詳細については3803グループ(H仕様)データシートの「フラッシュメモリモード(CPU書き換えモード)」を参照してください。

(1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。

< 開始手順 >

CNVss端子、P4₅/TxD₁端子に“H”を印加する。(ブートROM領域へエントリの場合)

リセットを解除する。

CPUモードレジスタのビット6,7(メインクロック分周比選択ビット)を設定する。(システムクロックφが4.0MHz以下になるように設定してください。)

CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を設定する。

このビットに“1”を設定するには“0”書き込み、“1”書き込みを連続して行う必要があります。

全ユーザブロックE/W許可ビット(0FE2₁₆番地のビット4)に“1”を設定する。8KBユーザブロックE/W許可ビットを設定する。(E/Wを禁止する場合“0”、E/Wを許可する場合“1”に設定してください。)これらのビットに“1”を設定するには“0”書き込み、“1”書き込みを連続して行う必要があります。

ソフトウェアコマンドを用いて、フラッシュメモリの操作を実施する。

注1. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

リードアレイコマンドを実行する。

全ユーザブロックE/W許可ビット(0FE2₁₆番地のビット4)と8KBユーザブロックE/W許可ビット(0FE0₁₆番地のビット2)に“0”を設定して、ユーザROM領域(データブロックを除く)をE/W禁止にします。(注2)

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)を“0”に設定する。

RAM上のCPU書き換え制御プログラムからフラッシュメモリ上のユーザプログラムへジャンプする。

注2. E/W禁止は必須ではありませんが、システムの安全性向上のため、E/W実行時以外はE/W禁止にすることを推奨します。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み禁止フラグ(I) = “ 1 ”にする。

既にウォッチドッグタイマが起動している場合は、CPU書き換えモード中、ウォッチドッグタイマ制御レジスタ(1E₁₆番地)には定期的な書き込みを行い、ウォッチドッグタイマHのアンダフローによるリセットが発生しないようにしてください。

なお、プログラム又はイレーズ中は、ウォッチドッグタイマは自動的にクリアされるため、アンダフローによる内部リセットは発生しません。

CPU書き換えモード時に、割り込み及びリセットが発生した場合は、以下のようになります。

- ・割り込み：プログラムが暴走します。割り込みベクトル領域のあるフラッシュメモリの読み出しができません。
- ・ウォッチドッグタイマHアンダフロー、リセット
 : 内蔵フラッシュメモリ制御回路、及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます。リセット解除時、CNV_{ss}とP4₅/TxD₁が共に“ H ”の場合は、ブートモードで起動されます。

また、プログラム/イレーズ中に上記割り込み及びリセットが発生した場合、フラッシュメモリの書き換えが完了していないため、リセット解除後も正常に動作しないデータになっている可能性が高く、注意が必要です。この場合には、パラレルモード又はシリアルモードでフラッシュメモリを再度正しくプログラムしてください。

2.12.7 フラッシュメモリモードの応用例

標準シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

(1) 標準シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.12.6に示すように、標準シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。標準シリアル入出力モード時、制御端子となるP44/RxD、P45/TxD、P46/SCLK1、P47/SRDY1/CNTR₂、CNVSS、及びRESET端子の処理例を以下に示します。

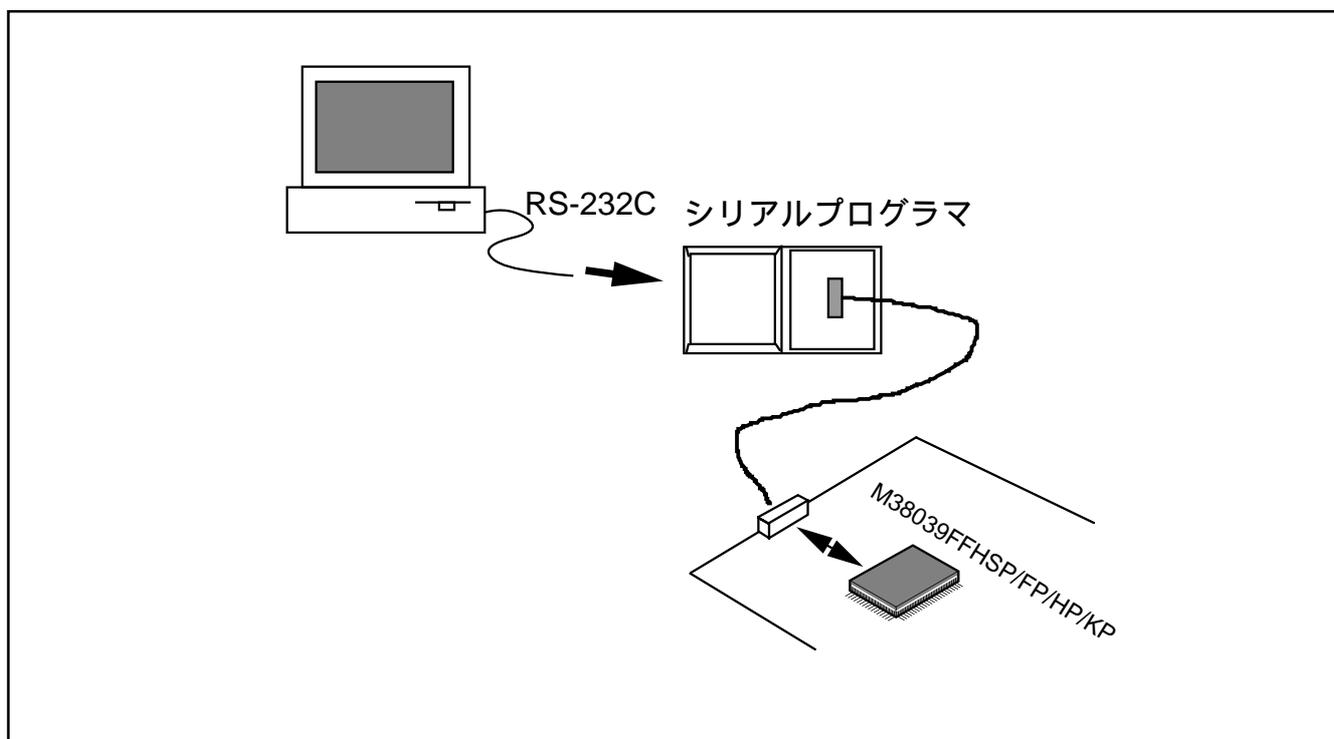


図2.12.6 標準シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

制御信号がユーザシステム回路に影響しない場合

標準シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.12.7に示すように結線できます。

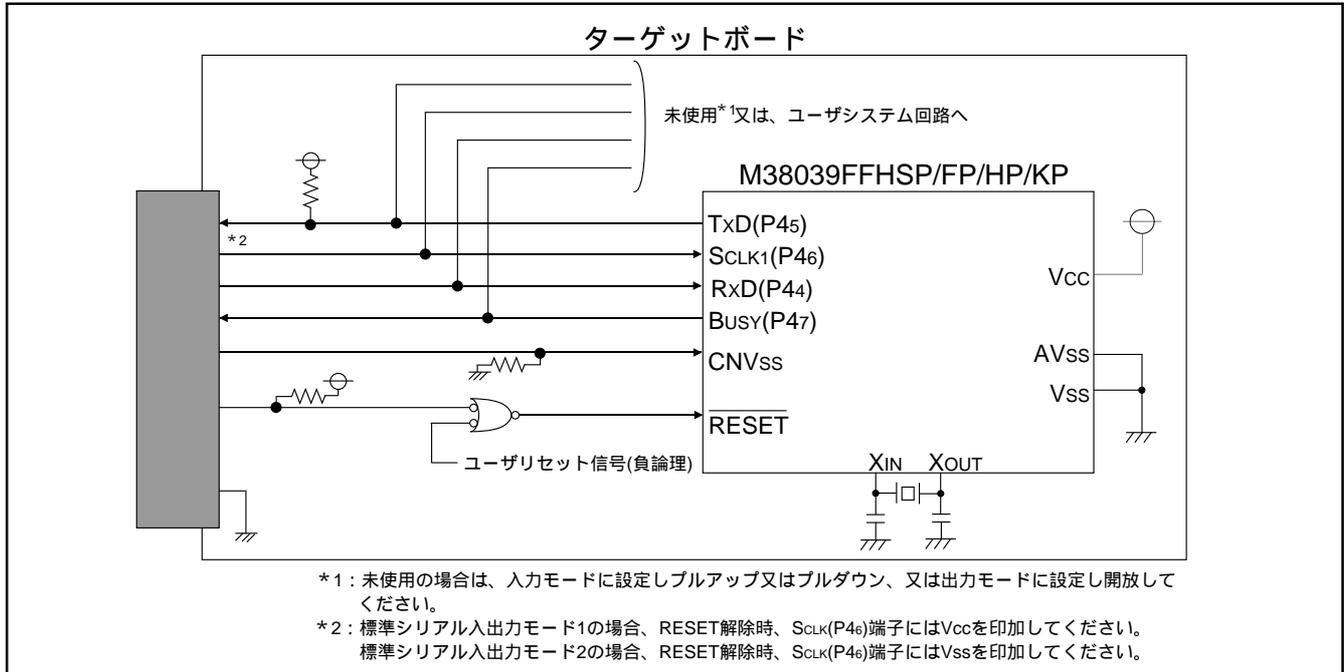


図2.12.7 標準シリアル入出力モード時の基板上的の端子処理例(1)

制御信号がユーザシステム回路に影響する場合

図2.12.8は標準シリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

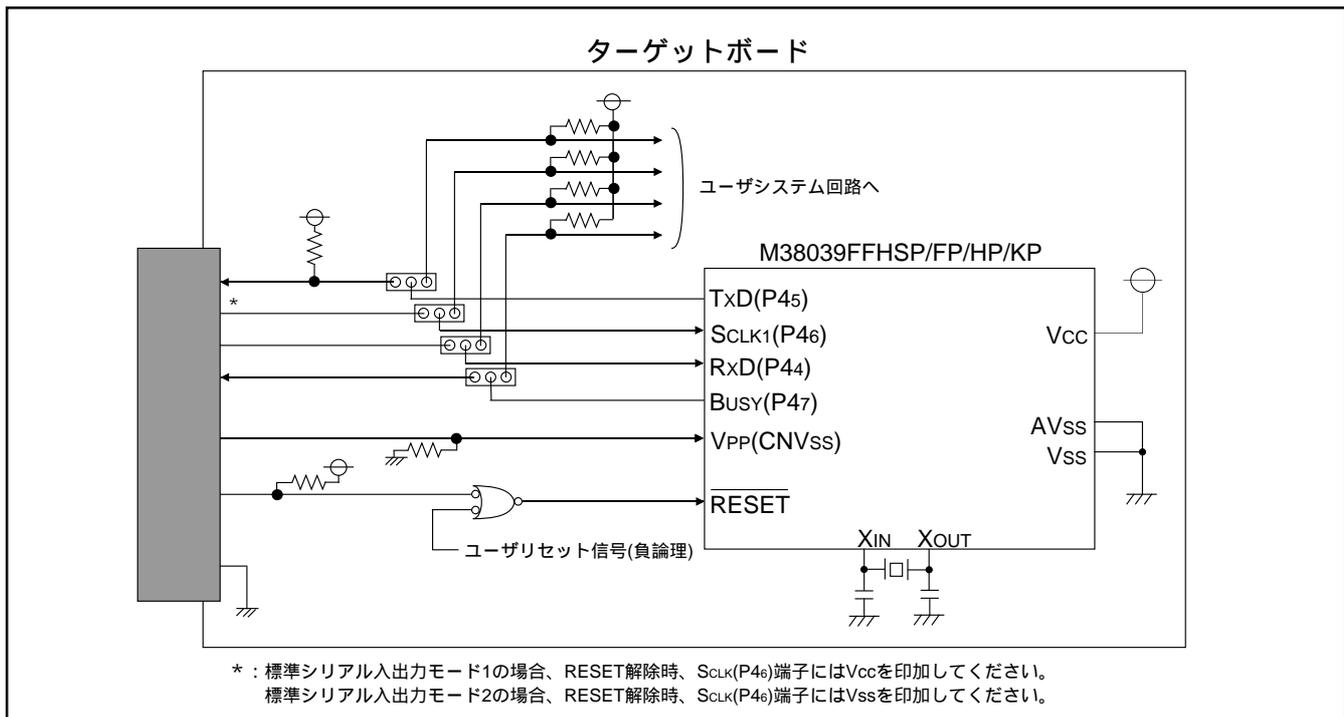


図2.12.8 標準シリアル入出力モード時の基板上的の端子処理例(2)

制御信号がユーザシステム回路に影響する場合

図2.12.9は標準シリアル入出力モード時、アナログスイッチ(74HC4066)によりユーザシステム回路へ供給される制御信号を遮断する例です。

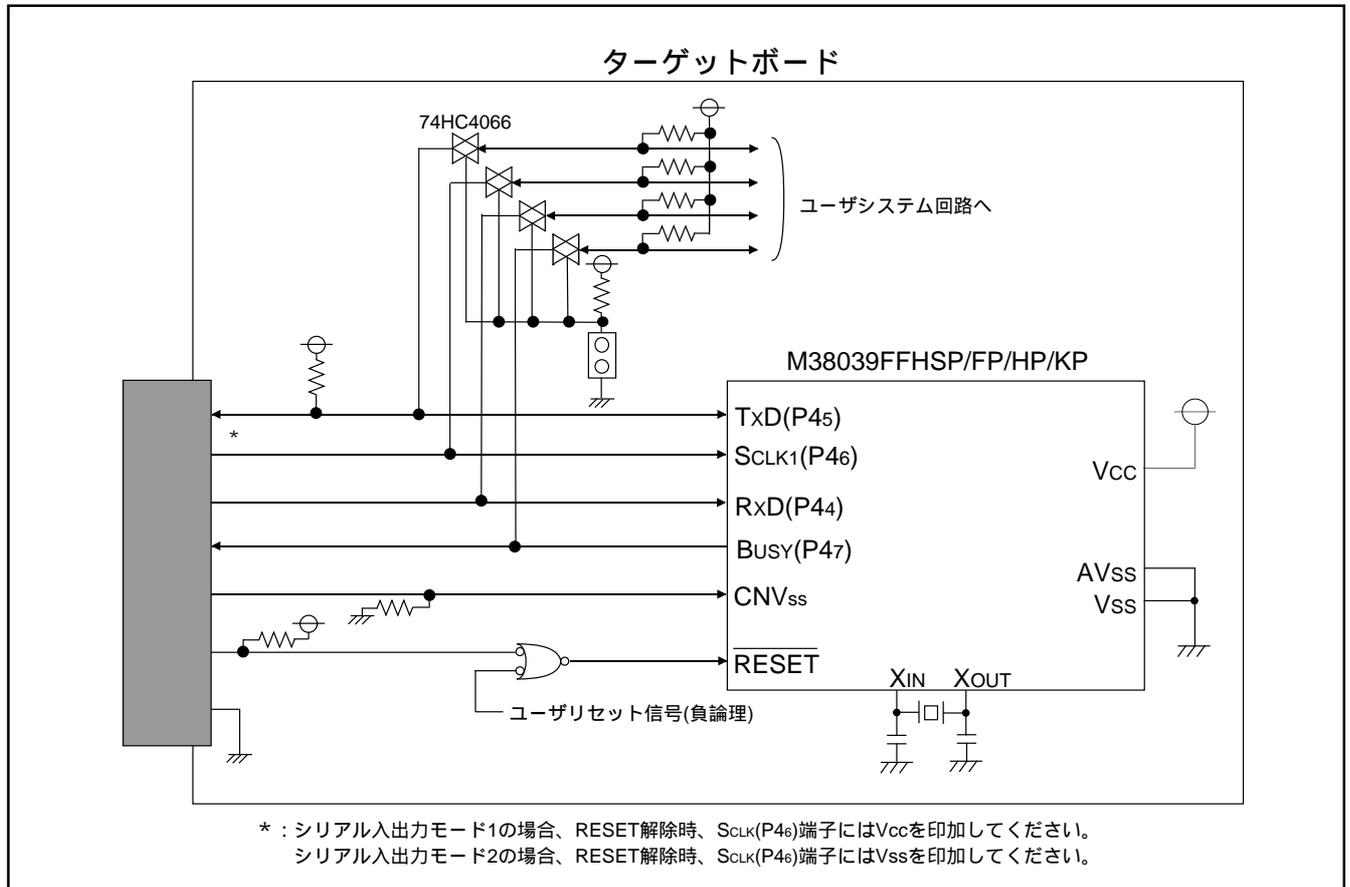


図2.12.9 標準シリアル入出力モード時の基板上の端子処理例(3)

(2) CPU書き換えモード時の制御端子処理例

この例では、シリアルI/Oを用いてデータを受信し、そのデータをCPU書き換えモードで内蔵フラッシュメモリへ書き込みます。

図2.12.10にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例を示します。CPU書き換えモードの設定 / 解除方法は「2.12.6 CPU書き換えモード」を参照してください。

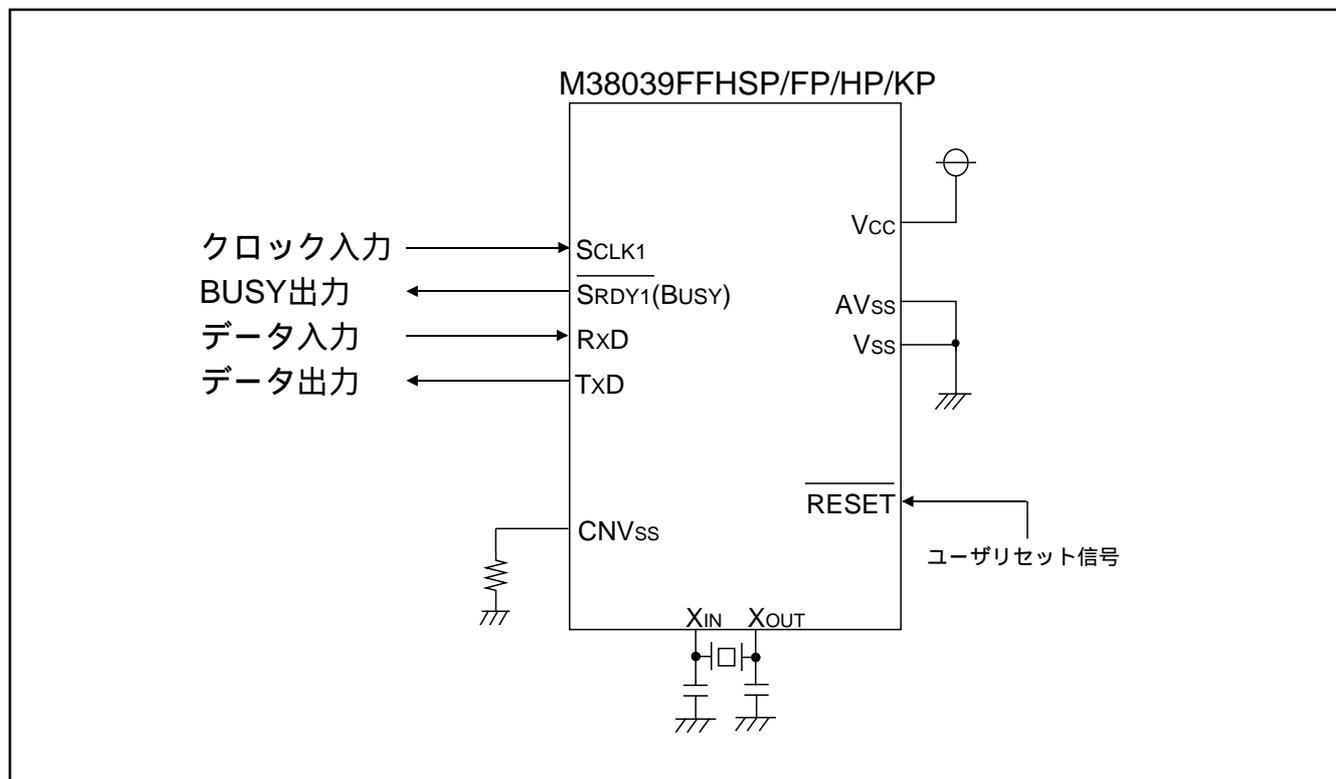


図2.12.10 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例(シングルチップモード)

2.12.8 CPU書き換えモードに関する注意事項

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、システムクロック が4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

3. 参考プログラム例

参考プログラムは、ルネサステクノロジホームページから入手してください。

3803グループのページの画面左メニュー「アプリケーションノート」をクリックしてください。

4. 参考ドキュメント

データシート

3803グループ(H仕様)データシート

最新版をルネサステクノロジホームページから入手してください。

テクニカルニュース/テクニカルアップデート

最新の情報をルネサステクノロジホームページから入手してください。

5. ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

ルネサス製品全般に関するお問合せ先

カスタマ・サポート・センター : csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.11.14	-	3803グループ(H仕様) ユーザーズマニュアル Rev.2.02 「第2章 応用」をアプリケーションノートに様式変更して発行
		35	図2.3.17 制御手順を一部変更
		63	図2.4.21 送信側関連レジスタの設定を一部変更
		65	図2.4.23 送信側の制御手順を一部変更
		69	図2.4.29 シリアルI/O1制御手順を一部変更
		72	図2.4.33 接続図を一部変更 仕様、仕様の制限事項を変更
		73	図2.4.34 タイミング図を変更 図2.4.35 関連レジスタの設定を一部変更
		74	マスタ側の制御を変更 図2.4.36 マスタ側の制御手順を変更
		75	スレーブ側の制御を一部変更 図2.4.37 スレーブ側の制御手順を変更
		80	図2.4.42 送信側の制御手順を一部変更
		81	図2.4.43 受信側の制御手順を一部変更

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。