

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## ワンショットパルス出力

### 要旨

外部信号の立ち下がりエッジに同期して、ワンショットパルスを出力します。ワンショットパルスの遅延時間およびパルス幅は、任意に設定可能です。

### 動作確認デバイス

H8SX/1653

### 目次

1. 仕様 .....	2
2. 適用条件 .....	2
3. 使用機能説明 .....	3
4. 動作説明 .....	4
5. ソフトウェア説明 .....	6

### 1. 仕様

- (1) 図 1 に示すように、外部信号の立ち下がりに同期してワンショットパルスを出力します。
- (2) TPU\_3 のバッファ動作機能と DMAC 転送機能を使用します。
- (3) 遅延時間およびパルス幅は、任意の値を設定可能です。

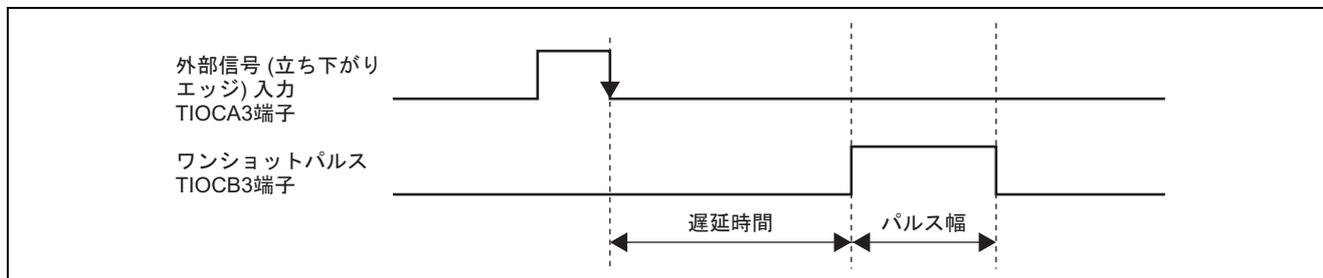


図1 ワンショットパルス出力

### 2. 適用条件

表1 適用条件

項目	内容
動作周波数	入力クロック : 12MHz システムクロック (I $\phi$ ) : 48MHz 周辺モジュールクロック (P $\phi$ ) : 24MHz 外部バスクロック (B $\phi$ ) : 48MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0)
開発ツール	High-performance Embedded Workshop Ver4.00.03
C/C++コンパイラ	ルネサス テクノロジ製 H8S,H8/300 SERIES C/C++ Compiler Ver6.01.01
コンパイルオプション	-cpu=h8sxa:24:md, -code = machinecode, -optimize=1, -regparam=3 -speed=(register,shift,struct,expression)

表2 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域

3. 使用機能説明

本タスク例では、DMAC\_0, DMAC\_1 および TPU\_3 を使用してワンショットパルスを出力します。図 2 に本タスク例で使用する内蔵機能のブロック図を示します。本タスク例は、TPU と DMAC の以下機能を使用し、ワンショットパルスを出力します。

- TPU\_3
  - コンペアマッチ発生時、バッファレジスタの内容をジェネラルレジスタに転送する機能。  
(バッファ動作)
  - レジスタごとにアウトプットコンペア/インプットキャプチャレジスタの設定が可能。
  - インプットキャプチャによるカウンタクリアが可能
- DMAC\_0
  - TPU のインプットキャプチャ発生時に DMAC を起動する機能。
  - ワンショットパルス遅延時間を TGRB\_3 に転送。
- DMAC\_1
  - TPU のインプットキャプチャ発生時に DMAC を起動する機能。
  - コンペアマッチ出力設定値を TIORH\_3 に転送。

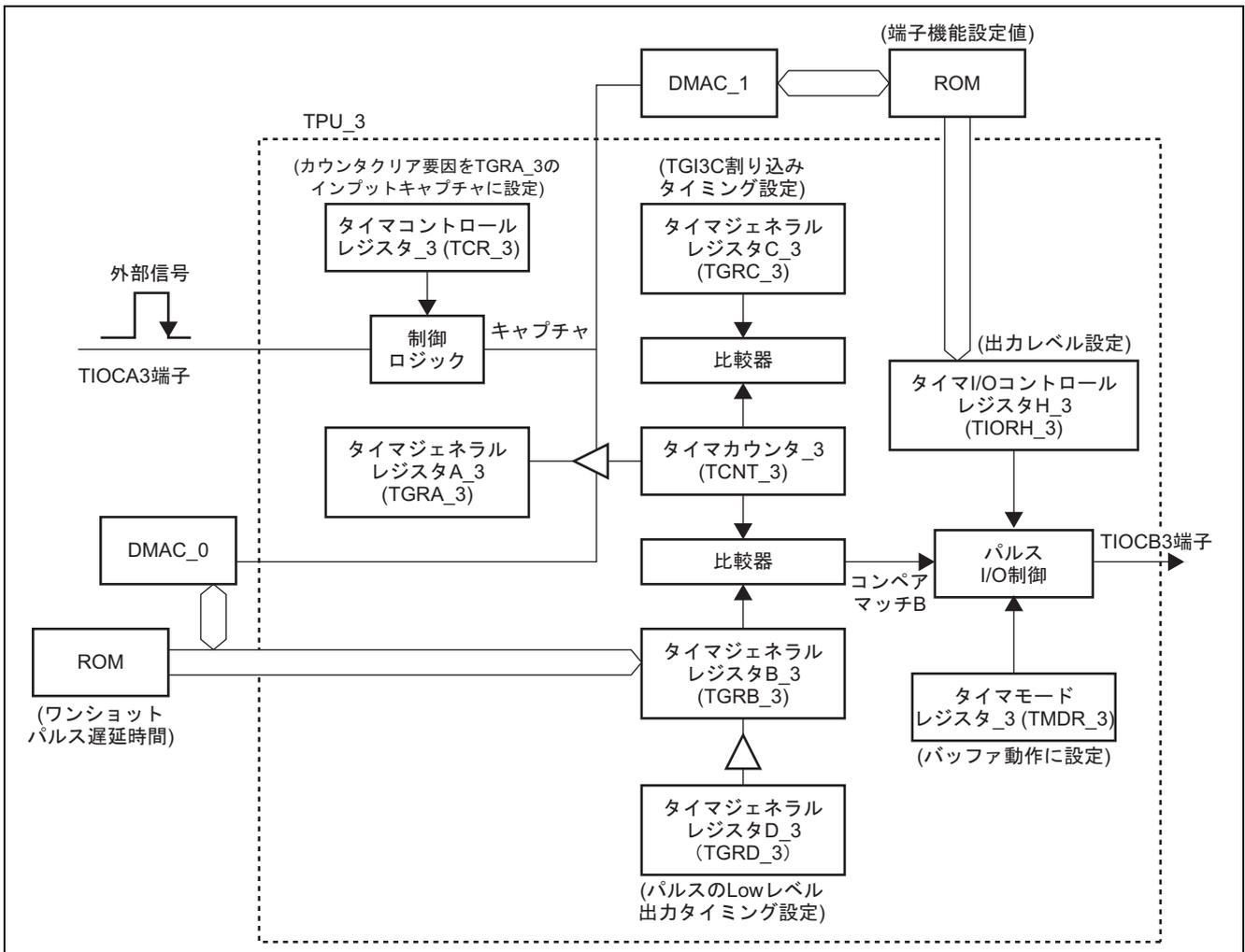


図2 ワンショットパルス出力ブロック図

### 4. 動作説明

#### 4.1 ワンショットパルス出力動作説明

図 3 にワンショットパルス出力の動作説明を示します。また図 3 の説明として、表 3 にハードウェアおよびソフトウェア処理の内容を示します。

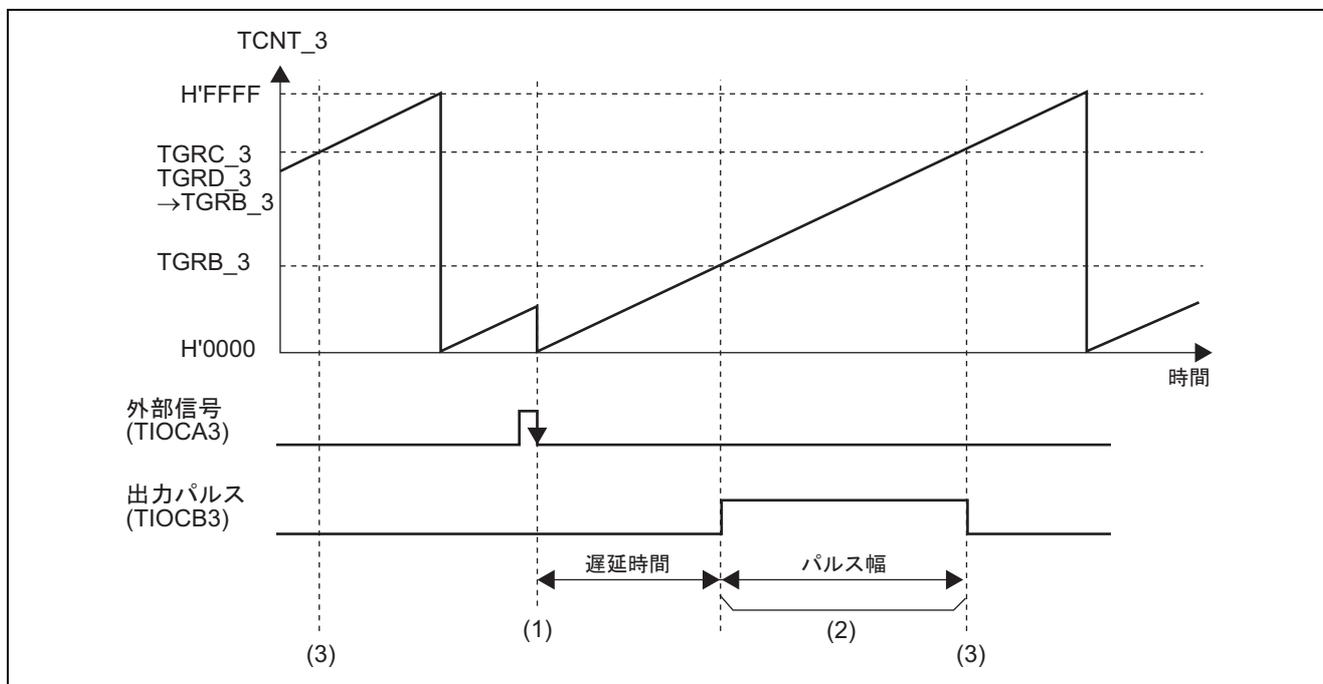


図3 ワンショットパルス出力動作例

表3 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	<ul style="list-style-type: none"> <li>● TPU_3</li> <li>(a) インพุットキャプチャ A 発生</li> <li>(b) TIOCB0 端子から初期出力"0"を出力</li> <li>● DMAC_0</li> <li>(a) ワンショットパルスの遅延時間を TGRB_3 に転送</li> <li>● DMAC_1</li> <li>(a) 端子機能設定値を TIORH_3 に転送</li> </ul>	処理なし
(2)	<ul style="list-style-type: none"> <li>● TPU_3</li> <li>(a) コンペアマッチ B 発生</li> <li>(b) バッファ動作。TGRD_3 TGRB_3 へ転送。</li> <li>(c) TIOCB3 からトグル出力</li> </ul>	処理なし
(3)	<ul style="list-style-type: none"> <li>● TPU_3</li> <li>(a) コンペアマッチ C 発生</li> <li>(b) TGI3C 割り込み発生</li> </ul>	<ul style="list-style-type: none"> <li>● TGI3C 割り込み処理</li> <li>(a) TIOCB3 端子を出力禁止に設定</li> <li>(b) ステータスフラグをクリア</li> </ul>

4.2 ワンショットパルス遅延タイミグ

図 4にワンショットパルス出力の遅延タイミグを示します。図 4に示すように、TIOCA3 端子の立ち下がりから TIOCB3 端子が High になるまでの遅延時間は、TGRB\_3 の設定値に 3クロックを加えた値になります。

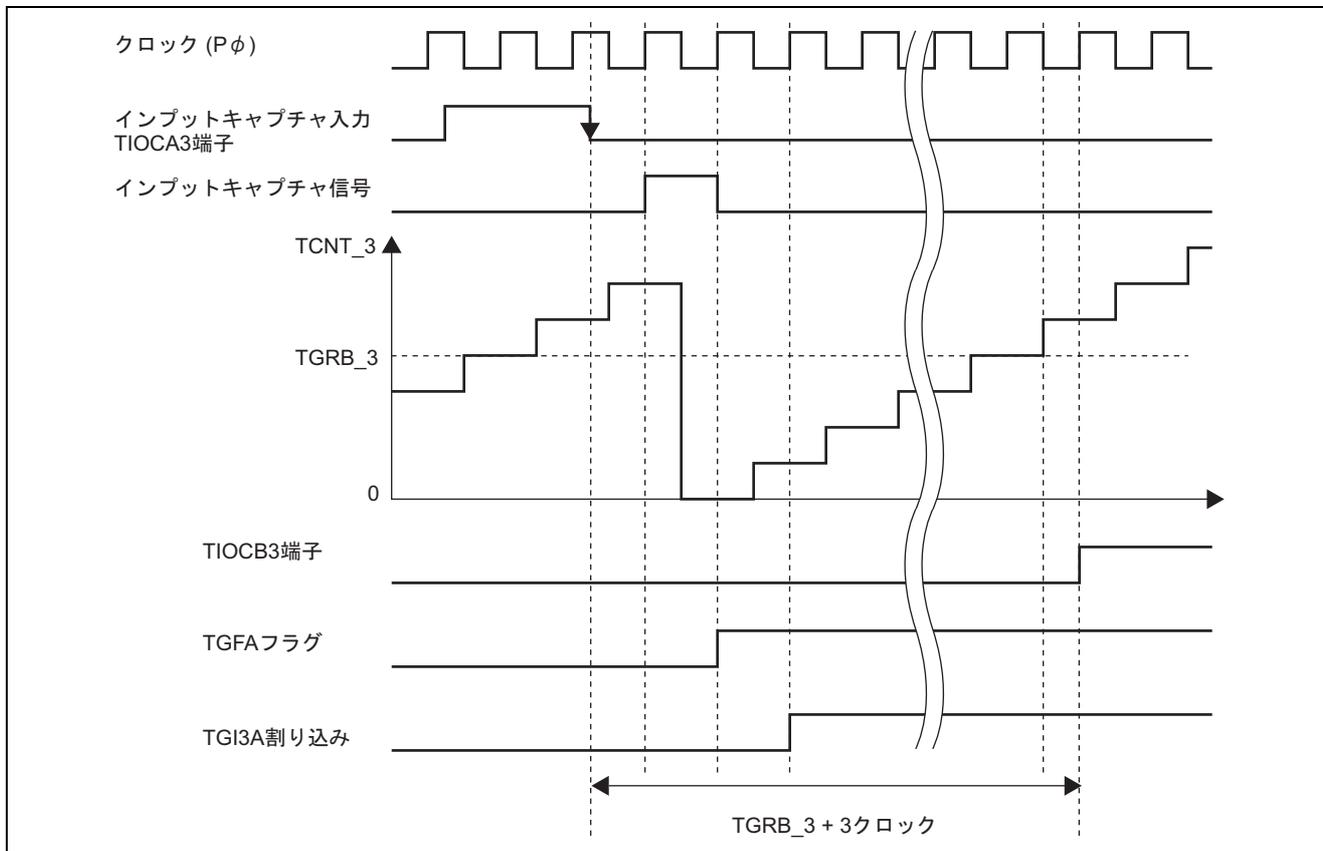


図4 ワンショットパルス遅延タイミグ

## 5. ソフトウェア説明

### 5.1 関数一覧

表4 関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除，クロック設定。main 関数のコール。
main	メインルーチン 遅延時間，パルス幅を TGRB_3, TGRD_3 に，TGI3C 割り込みタイミングを TGRC_3 に設定し，ワンショットパルスを出力する。
tgi3c_int	インプットキャプチャ割り込み

### 5.2 ベクタテーブル

表5 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブル アドレス	割り込み先関数
リセット	0	H'000000	main
TPU_3 TGI3C	103	H'0001A0	tgi3c_int

## 5.3 使用 ROM

表6 使用 ROM

型	変数名	設定値	内容	使用関数
unsigned short	set_dly	H'8000	遅延時間 ワンショットパルスの遅延時間を設定します。 遅延時間 = (set_dly + 3) / (Pφ/1) = (H'8000 + 3) / 24MHz   2048 [μs] DMAC 動作時間を考慮すると、以下の設定範囲で動作します。 H'0020 < set_dly < H'FFFE	main
unsigned short	one_rst	H'9000	Low レベル出力タイミング ワンショットパルスの Low レベル出力タイミングを設定します。 set_dly と one_rst からパルス幅は、以下となります。 パルス幅 = (one_rst - set_dly) / (Pφ/1) = (H'9000 - H'8000) / 24MHz = 256 [μs] DMAC 動作時間を考慮すると、以下の設定範囲で動作します。 one_rst - set_dly   1 H'0021 < one_rst < H'FFFF	main
unsigned char	io_cntr	H'39	端子機能設定値 TIORH_3 へ転送され、TIOCA3 端子、TIOCB3 端子の機能を設定します。 <ul style="list-style-type: none"> <li>• TGRB_3 のコンペアマッチで TIOCA3 端子からトグル出力に設定</li> <li>• TIOCB3 端子の立ち下がりエッジで、インプットキャプチャに設定</li> </ul>	main

## 5.4 関数説明

### 5.4.1 init 関数

(1) 機能概要

初期化ルーチン。モジュールストップ解除、クロック設定。main 関数のコール。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

● システムクロックコントロールレジスタ (SCKCR) アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I $\phi$ )セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000: 入力クロック × 4
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ )セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック × 2
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B $\phi$ )セレクト 外部バスクロックの周波数を選択します。 000: 入力クロック × 4
1	BCK1	0	R/W	
0	BCK0	0	R/W	

- MSTPCRA, B, C はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

● モジュールストップコントロールレジスタ A (MSTPCRA) アドレス: H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCRA, B で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
0	MSTPA0	0	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

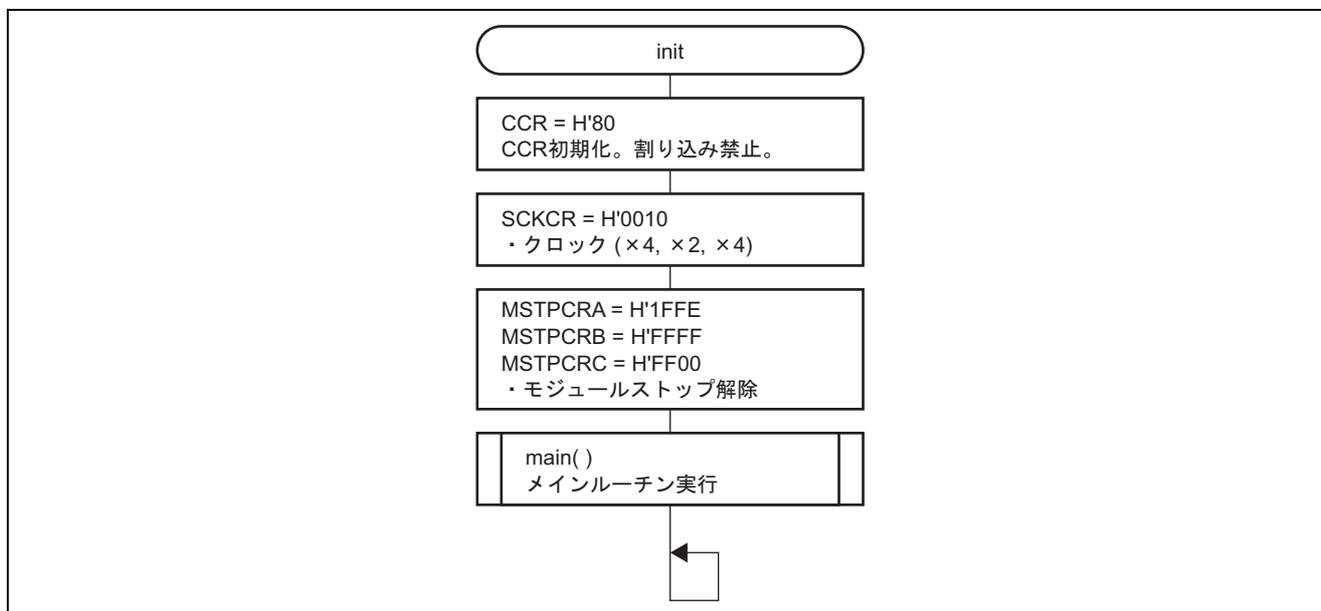
● モジュールストップコントロールレジスタ B (MSTPCRB)      アドレス: H'FFFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)

● モジュールストップコントロールレジスタ C (MSTPCRC)      アドレス: H'FFFDCC

ビット	ビット名	設定値	R/W	機能
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000 ~ H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000 ~ H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000 ~ H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000 ~ H'FFBFFF)

(5) フローチャート



## 5.4.2 main 関数

## (1) 機能概要

メインルーチン。ワンショットパルス遅延時間，パルス幅を設定。

## (2) 引数

なし

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

- ポート2入力バッファコントロールレジスタ (P2ICR) アドレス: H'FFFB91

ビット	ビット名	設定値	R/W	機能
1	P21ICR	1	R/W	0: P21 端子の入力バッファ無効。入力信号は，High レベルに固定される。 1: P21 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

- ポートファンクションコントロールレジスタ 9 (PFCR9) アドレス: H'FFB9C9

ビット	ビット名	設定値	R/W	機能
5	TPUMS3A	1	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0: アウトプットコンペア出力，インプットキャプチャは P21 1: インプットキャプチャ入力は P23, アウトプットコンペアは P21

- DMA ソースアドレスレジスタ\_0 (DSAR\_0) アドレス: H'FFFC00  
機能: 転送元アドレスを設定する。  
設定値: &set\_dly
- DMA デスティネーションアドレスレジスタ\_0 (DDAR\_0) アドレス: H'FFFC04  
機能: 転送先アドレスを設定する。  
設定値: &TGRB\_3
- DMA 転送カウントレジスタ\_0 (DTCR\_0) アドレス: H'FFFC0C  
機能: 転送サイズを設定。DTCR\_0 = H'00000000 のとき，フリーランニングモードで動作。  
設定値: H'00000000
- DMA ブロックサイズレジスタ\_0 (DBSR\_0) アドレス: H'FFFC10  
機能: リピート転送モードのとき，リピートサイズを設定。DBSR\_0 = H'00000000 のとき，最大値。  
設定値: H'00000000

## ● DMA モードコントロールレジスタ\_0 (DMDR\_0)

アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可
16	DTIF	0	R/(W)*	データトランスファイインタラプトフラグ 0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0
14	DTSZ0	1	R/W	01: 転送するデータアクセスサイズは, ワードサイズ (16 ビット)
13	MDS1	1	R/W	転送モードセレクト 1, 0
12	MDS0	0	R/W	10: リピート転送モードに設定
7	DTF1	1	R/W	データトランスファファクタ 1, 0
6	DTF0	0	R/W	10: DMAC の起動要因は, 内蔵モジュール割り込み
5	DTA	1	R/W	データトランスファアクノリッジ 内蔵モジュール割り込みによる DMA 転送時に有効となります。 DMRSR によって選択されている要因フラグのクリアを許可または禁止します。 0: 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は, DMA 転送によりクリアされませんので, CPU または DTC 転送でクリアしてください。 1: 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は, DMA 転送によりクリアされ, CPU または DTC に割り込みを要求しません。

【注】 \* フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

## ● DMA アドレスコントロールレジスタ\_0 (DACR\_0)

アドレス: H'FFFC18

ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0: デュアルアドレスモード 1: シングルアドレスモード
26	RPTIE	0	R/W	リピートサイズ終了インタラプトイネーブル 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可
25	ARS1	0	R/W	エリアセレクト 1, 0
24	ARS0	0	R/W	00: リピート転送モードのときのリピートエリアは, ソースアドレス側
21	SAT1	0	R/W	ソースアドレス更新モード 1, 0
20	SAT0	0	R/W	00: ソースアドレスは固定
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1, 0
16	DAT0	0	R/W	00: デスティネーションアドレスは固定

- DMA ソースアドレスレジスタ\_1 (DSAR\_1) アドレス: H'FFFC20  
 機能: 転送元アドレスを設定する。  
 設定値: &io\_cntr
- DMA デスティネーションアドレスレジスタ\_1 (DDAR\_1) アドレス: H'FFFC24  
 機能: 転送先アドレスを設定する。  
 設定値: &TIORH\_3
- DMA 転送カウントレジスタ\_1 (DTCR\_1) アドレス: H'FFFC2C  
 機能: 転送サイズを設定。DTCR\_1 = H'00000000 のとき、フリーランニングモードで動作。  
 設定値: H'00000000
- DMA ブロックサイズレジスタ\_1 (DBSR\_1) アドレス: H'FFFC30  
 機能: リpeat転送モードのとき、リpeatサイズを設定。DBSR\_1 = H'00000000 のとき、最大値。  
 設定値: H'00000000
- DMA モードコントロールレジスタ\_1 (DMDR\_1) アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可
16	DTIF	0	R/(W)*	データトランスファインタラプトフラグ 0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0 00: 転送するデータアクセスサイズは、バイトサイズ (8 ビット)
14	DTSZ0	0	R/W	
13	MDS1	1	R/W	転送モードセレクト 1, 0 10: リpeat転送モードに設定
12	MDS0	0	R/W	
7	DTF1	1	R/W	データトランスファファクタ 1, 0 10: DMAC の起動要因は、内蔵モジュール割り込み
6	DTF0	0	R/W	
5	DTA	1	R/W	データトランスファアクノリッジ 内蔵モジュール割り込みによる DMA 転送時に有効となります。 DMRSR によって選択されている要因フラグのクリアを許可または禁止します。 0: 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので、CPU または DTC 転送でクリアしてください。 1: 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU または DTC に割り込みを要求しません。

【注】 \* フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

● DMA アドレスコントロールレジスタ\_1 (DACR\_1) アドレス: H'FFFC38

ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0: デュアルアドレスモード 1: シングルアドレスモード
26	RPTIE	0	R/W	リピートサイズ終了インタラプトイネーブル 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可
25	ARS1	0	R/W	エリアセレクト 1, 0
24	ARS0	0	R/W	00: リピート転送モードのときのリピートエリアは, ソースアドレス側
21	SAT1	0	R/W	ソースアドレス更新モード 1, 0
20	SAT0	0	R/W	00: ソースアドレスは固定
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1, 0
16	DAT0	0	R/W	00: デスティネーションアドレスは固定

- DMA モジュールリクエストセレクトレジスタ\_0 (DMRSR\_0) アドレス: H'FFFD20  
 機能: 8ビットのリード/ライト可能なレジスタで, 内蔵モジュール割り込み要因を指定します。本タスク例では, TPU\_3 の TGI3A 割り込み (101) に設定します。  
 設定値: 101

- DMA モジュールリクエストセレクトレジスタ\_1 (DMRSR\_1) アドレス: H'FFFD21  
 機能: 8ビットのリード/ライト可能なレジスタで, 内蔵モジュール割り込み要因を指定します。本タスク例では, TPU\_3 の TGI3A 割り込み (101) に設定します。  
 設定値: 101

 ● ポート2データレジスタ (P2DR) アドレス: H'FFFF51

ビット	ビット名	設定値	R/W	機能
0	P20DR	0	R/W	0: P20 端子は Low レベル 1: P20 端子は High レベル

 ● ポート2データディレクションレジスタ (P2DDR) アドレス: H'FFFFB81

ビット	ビット名	設定値	R/W	機能
0	P20DDR	1	R/W	0: P20 端子を入力端子に設定 1: P20 端子を出力端子に設定

 ● タイマスタートレジスタ (TSTR) アドレス: H'FFFFBFC

ビット	ビット名	設定値	R/W	機能
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作/停止を選択します。
3	CST3	1	R/W	0: TCNT_5 ~ TCNT_0 のカウント動作は停止
2	CST2	0	R/W	1: TCNT_5 ~ TCNT_0 はカウント動作
1	CST1	0	R/W	
0	CST0	0	R/W	

● タイマコントロールレジスタ<sub>3</sub> (TCR<sub>3</sub>)

アドレス: H'FFFFFF0

ビット	ビット名	設定値	R/W	機能
7	CCLR2	0	R/W	カウンタクリア 2, 1, 0 TCNT <sub>3</sub> のカウンタクリア要因を選択します。 001: TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
6	CCLR1	0	R/W	
5	CCLR0	1	R/W	
4	CKEG1	0	R/W	クロックエッジ 1, 0 入力クロックのエッジを選択します。 00: 立ち下がリエッジでカウント
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2, 1, 0 TCNT <sub>3</sub> のカウンタクロックを選択します。 000: 内部クロック Pφ/1 でカウント
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

 ● タイマモードレジスタ<sub>3</sub> (TMDR<sub>3</sub>)

アドレス: H'FFFFFF1

ビット	ビット名	設定値	R/W	機能
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか, TGRB と TGRD を組み合わせてバッ ファ動作させるかを設定します。TGRD をバッファレジスタとして 使用した場合は, TGRD のインプットキャプチャ/アウトプットコン ペアは発生しません。 0: TGRB は通常動作 1: TGRB と TGRD はバッファ動作

 ● タイマ I/O コントロールレジスタ<sub>H</sub> (TIORH<sub>3</sub>)

アドレス: H'FFFFFF2

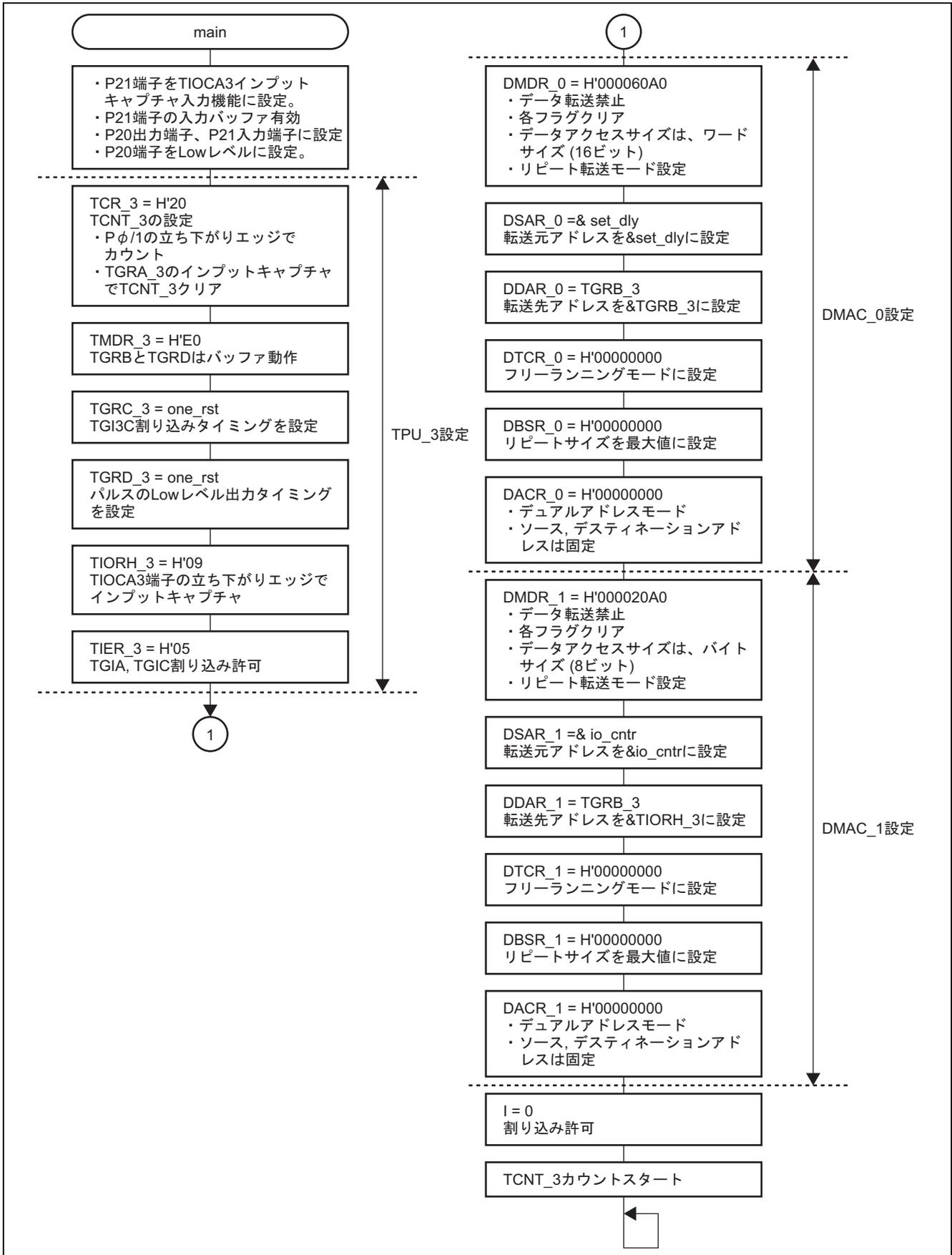
ビット	ビット名	設定値	R/W	機能
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TIOCB3 端子の機能を設定します。 TGRB <sub>3</sub> がアウトプットコンペアレジスタ機能時 0000: 出力禁止
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	1	R/W	I/O コントロール A3 ~ A0 TIOCA3 端子の機能を設定します。 TGRA <sub>3</sub> がインプットキャプチャレジスタ機能時 1001: キャプチャ入力元は TIOCB3 端子, 立ち下がリエッジでイン プットキャプチャ
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	1	R/W	

- タイマインタラプトイネーブルレジスタ\_3 (TIER\_3) アドレス: H'FFFFFF4

ビット	ビット名	設定値	R/W	機能
2	TGIEC	1	R/W	TGR インタラプトイネーブル C TSR の TGFC ビットが 1 にセットされたとき ,TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 0: TGFC ビットによる割り込み要求 (TGIC) を禁止 1: TGFC ビットによる割り込み要求 (TGIC) を許可
0	TGIEA	1	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき ,TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0: TGFA ビットによる割り込み要求 (TGIA) を禁止 1: TGFA ビットによる割り込み要求 (TGIA) を許可

- タイマジェネラルレジスタ C\_3 (TGRC\_3) アドレス: H'FFFFFFC  
機能: アウトプットコンペアレジスタとして使用し , TGI3C 割り込みタイミングを設定します。  
設定値: one\_rst
- タイマジェネラルレジスタ D\_3 (TGRD\_3) アドレス: H'FFFFFFE  
機能: アウトプットコンペアレジスタとして使用し , パルスの Low レベル出力タイミングを設定します。  
設定値: one\_rst

### (5) フローチャート



### 5.4.3 tgi3c\_int 関数

(1) 機能概要

TGI3C 割り込み処理。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

● タイマ I/O コントロールレジスタ H\_3 (TIORH\_3) アドレス: H'FFFFFF2

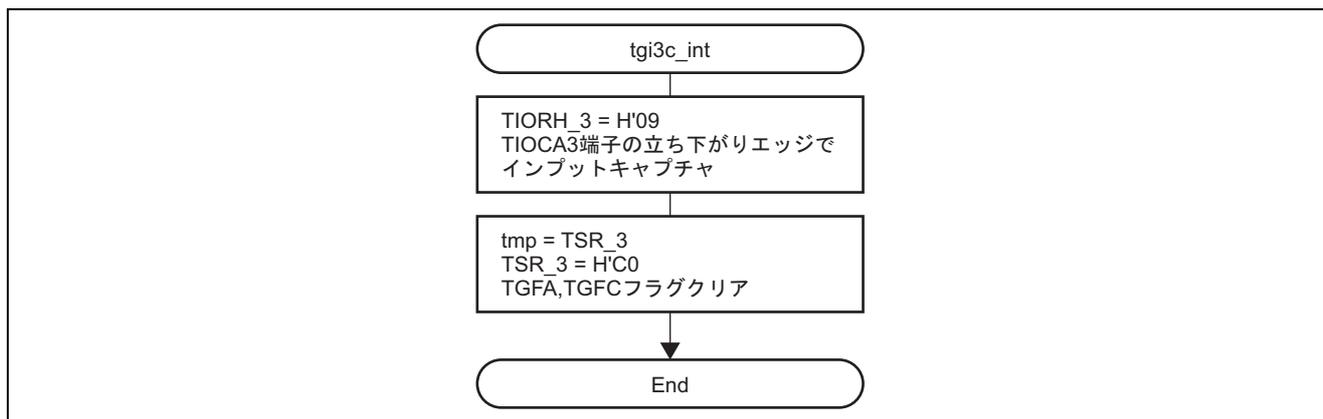
ビット	ビット名	設定値	R/W	機能
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TIOCB3 端子の機能を設定します。 TGRB_3 がアウトプットコンペアレジスタ機能時 0000: 出力禁止
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	1	R/W	I/O コントロール A3 ~ A0 TIOCA3 端子の機能を設定します。 TGRA_3 がインプットキャプチャレジスタ機能時 1001: キャプチャ入力元は TIOCB3 端子、立ち下がりエッジで インプットキャプチャ
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	1	R/W	

● タイマステータスレジスタ\_3 (TSR\_3) アドレス: H'FFFFFF5

ビット	ビット名	設定値	R/W	機能
2	TGFC	0	R/(W)*	インプットキャプチャ / アウトプットコンペアフラグ C TGRC がアウトプットコンペアとして機能している場合 [セット条件] ● TCNT_3 = TGRC_3 になったとき [クリア条件] ● TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
0	TGFA	0	R/(W)*	インプットキャプチャ / アウトプットコンペアフラグ A TGRA がインプットキャプチャとして機能している場合 [セット条件] ● インプットキャプチャ信号により TCNT_3 の値が TGRA_3 に 転送されたとき [クリア条件] ● TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき ● TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### (5) フローチャート



ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.9.11	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。