

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7080/SH7146/SH7125/SH7200 シリーズ

MTU2 チャンネル 0 のコンペアマッチによる A/D 変換器の起動

要旨

本アプリケーションノートは、MTU2 チャンネル 0 (ch0) のコンペアマッチ (TGRE_0) による A/D 変換器の起動について述べます。本機能により、PWM 波形出力時などに、任意のタイミングでの A/D 変換が可能です。

動作確認デバイス

- ・マイコン : SH7085 (R5F7085)
- ・動作周波数 : 内部クロック 80 MHz
 - : バスクロック 40 MHz
 - : 周辺クロック 40 MHz
 - : MTU2 クロック 40 MHz
 - : MTU2S クロック 80 MHz
- ・C コンパイラ : ルネサステクノロジ製 Ver.7.1.04

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	5
4. ソフトウェア説明	6
5. フローチャート	11
6. ホームページとサポート窓口	13

1. 仕様

本タスク例では、MTU2 のチャンネル 0 (ch0) を使用して A/D 変換器を起動し、AN0 端子への印加電圧を A/D 変換します。以下、本タスク例の仕様を示します。

- MTU2 ch0 は PWM モード 1 で動作し、TIOC0A 端子から PWM 波形を出力します。
- MTU2 ch0 の TGRE_0 によるコンペアマッチで A/D 変換器を起動します。
- A/D 変換結果は、内蔵 RAM に格納します。
- A/D 変換器の動作モードは、シングルモードとします。
- A/D 変換を 3 回行くと、MTU2 ch0 のタイマカウント動作を停止します。

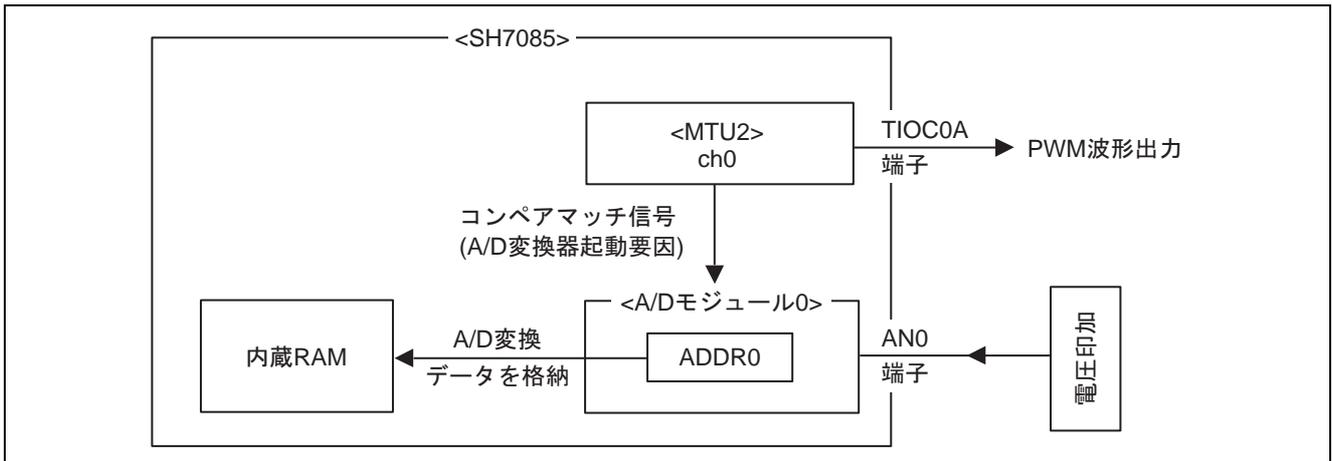


図 1 MTU2 による A/D 変換ブロック図

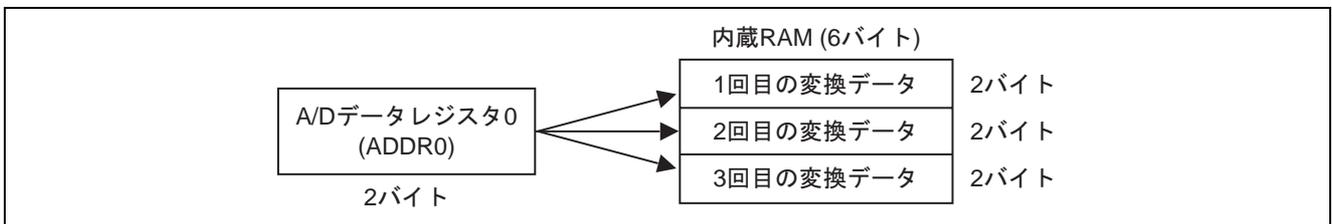


図 2 A/D 変換データの内部 RAM への格納

2. 使用機能説明

本タスク例では，MTU2 ch0 のコンペアマッチで A/D 変換器を起動します。

2.1 MTU2 (Multi Function Timer Pulse Unit 2)

MTU2 のチャンネル0 を PWM モード 1 で使用します。図 3 に，MTU2 ch0 のブロック図を示し，以下に機能説明をします。

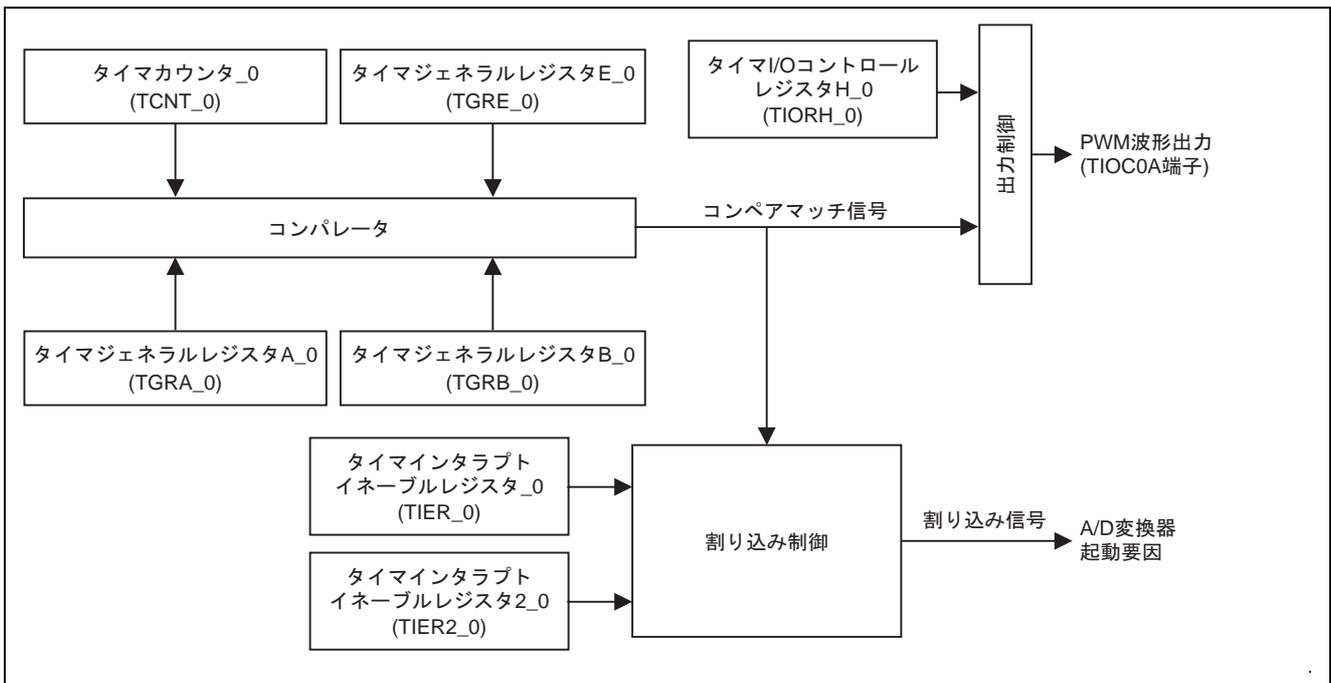


図 3 MTU2 ch0 のブロック図

- タイマジェネラルレジスタ A_0 (TGRA_0) は，コンペアレジスタとして動作します。TGRA_0 には，PWM 波形の周期を設定します。
- タイマジェネラルレジスタ B_0 (TGRB_0) は，コンペアレジスタとして動作します。TGRB_0 には，PWM 波形のデューティを設定します。
- タイマジェネラルレジスタ E_0 (TGRE_0) は，コンペアレジスタとして動作します。TGRE_0 には，A/D 変換のタイミングを設定します。
- タイマカウンタ_0 (TCNT_0) は，16 ビットのリード / ライト可能なカウンタです。TCNT_0 は，TGRA_0 とのコンペアマッチでカウンタクリアします。
- タイマ I/O コントロールレジスタ H_0 (TIORH_0) は，読み出し / 書き込み可能な 8 ビットのレジスタです。TIORH_0 により TGRA_0 と TGRB_0 の機能および TIOC0A 端子の出力レベルを設定します。
- タイマインタラプトイネーブルレジスタ_0 (TIER_0) は，読み出し / 書き込み可能な 8 ビットのレジスタです。TIER_0 により，割り込み要求の許可 / 禁止を制御します。
- タイマインタラプトイネーブルレジスタ 2_0 (TIER2_0) は，読み出し / 書き込み可能な 8 ビットのレジスタです。TIER2_0 では，TGRE_0 と TGRF_0 に関する割り込み要求および，TGRE_0 による A/D 変換器起動の許可 / 禁止を制御します。

2.2 A/D 変換器

本タスク例では、A/D モジュール 0 を MTU2 による A/D 変換開始トリガで起動し、シングルモードで A/D 変換を行います。図 4 に A/D0 モジュールのブロック図を示し、以下に機能説明をします。

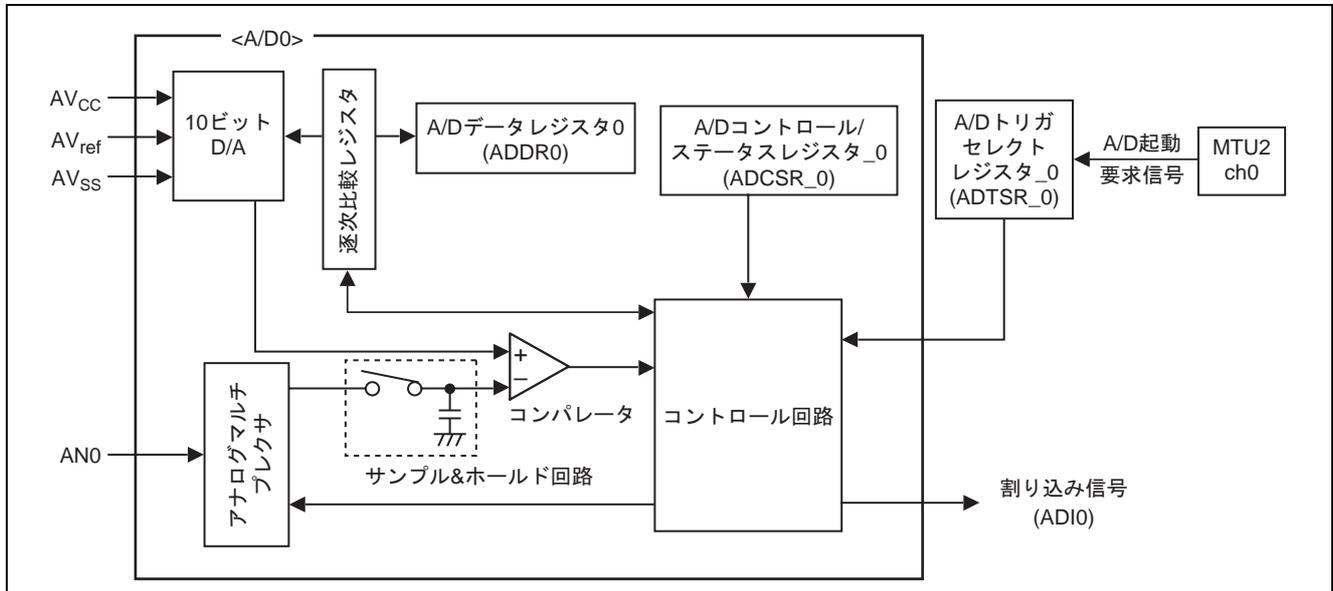


図 4 A/D モジュール 0 のブロック図

- A/D データレジスタ 0 (ADDR0) は、アナログ入力チャンネル (AN0) の変換結果を格納する、16 ビットのリード専用レジスタです。変換データは、ADDR のビット 15 からビット 6 に格納され、下位 6 ビットは常に 0 になります。
- A/D コントロール / ステータスレジスタ_0 (ADCSR_0) は、A/D 変換動作を制御します。
- A/D トリガセレクトレジスタ_0 (ADTSR_0) は、A/D 変換開始要求の外部トリガを選択します。

3. 動作説明

図 5 に動作説明を、表 1 にソフトウェアおよびハードウェア処理説明を示します。

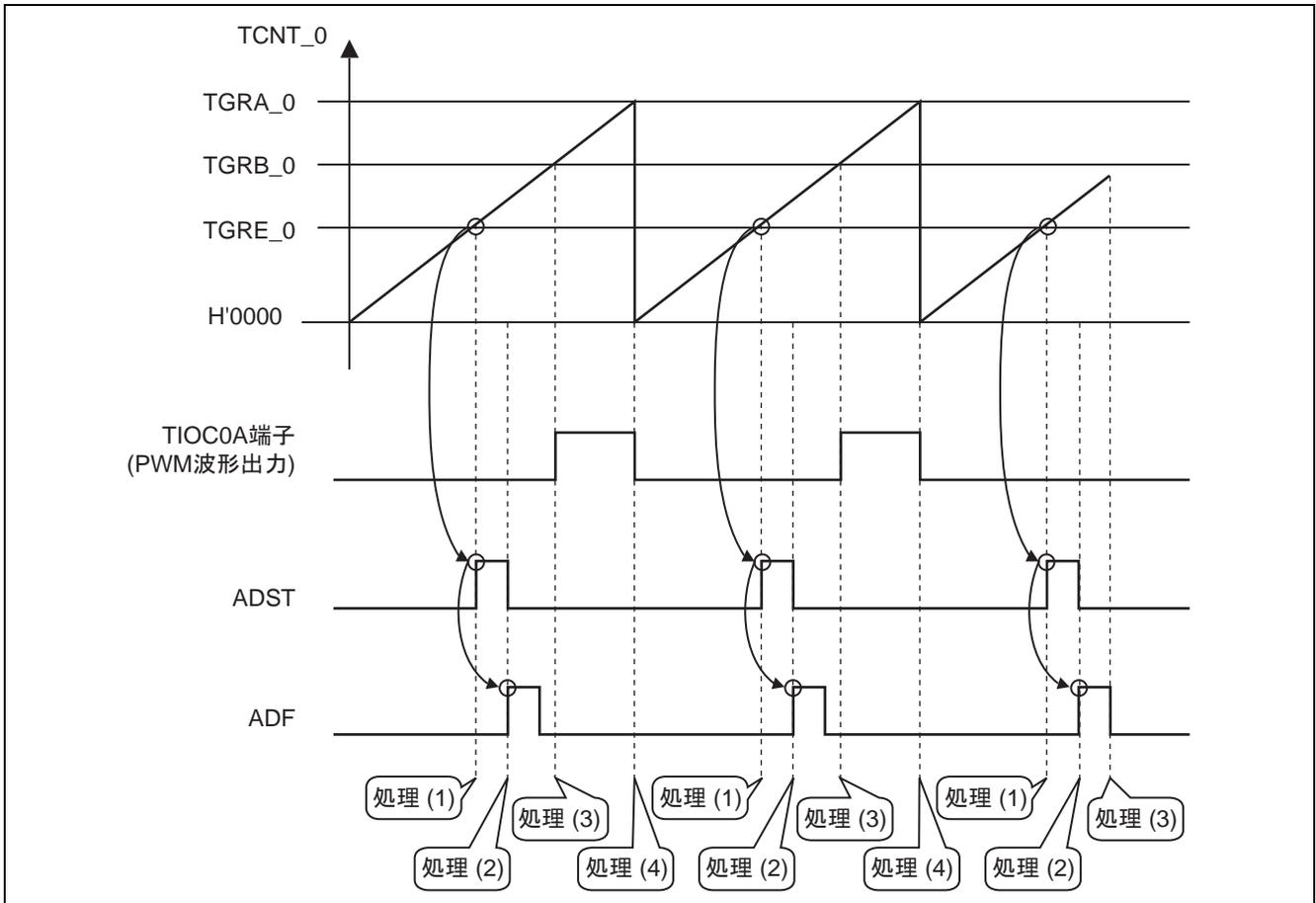


図 5 動作説明

表 1 ソフトウェアおよびハードウェア処理説明

	ソフトウェア処理	ハードウェア処理
処理 (1)	—	TCNT_0 と TGRE_0 のコンペアマッチにより A/D 変換器起動 (A/D 変換開始)
処理 (2)	<ul style="list-style-type: none"> A/D 終了割り込みで ADF フラグクリア A/D 変換結果を内蔵 RAM に格納 	<ul style="list-style-type: none"> A/D 変換が終了し ADF フラグを 1 にセット A/D 終了割り込み発生
処理 (3)	—	TCNT_0 と TGRB_0 のコンペアマッチにより TIOC0A 端子から H レベルを出力
処理 (4)	<ul style="list-style-type: none"> TGRA_0 コンペアマッチ割り込みで TGFA_0 フラグクリア デューティ (TGRB_0), A/D 変換タイミング (TGRE_0) を更新 	<ul style="list-style-type: none"> TCNT_0 と TGRA_0 のコンペアマッチにより TIOC0A 端子から L レベルを出力 TCNT_0 クリア TGRA_0 コンペアマッチ割り込み発生
処理 (5)	TSTR レジスタの CTS0 ビットを 0 クリア	MTU2 ch0 のタイマカウント動作停止

4. ソフトウェア説明

4.1 モジュール説明

表 2 に本タスク例のモジュール説明を示します。

表 2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main ()	MTU2, A/D モジュールの初期設定およびタイマカウントスタート
TGRA_0 割り込みルーチン	int_tgia0 ()	デューティ, A/D 変換器起動周期の更新
A/D 変換終了割り込みルーチン	int_ad0 ()	A/D 変換結果の内蔵 RAM への格納とタイマカウント停止

4.2 内蔵レジスタ説明

表 3 に本タスク例で使用するレジスタを示します。なお、設定例は本タスク例において使用している値であり、初期値とは異なります。

表 3 使用内部レジスタ説明

レジスタ名	ビット		機能	設定値
	ビット	ビット名		
FRQCR			周波数制御レジスタ PLL 回路の出力周波数に対する動作周波数の分周率を指定 FRQCR = H'0241 のとき以下の分周率に設定 内部クロック : ×1 バスクロック : ×1/2 周辺クロック : ×1/2 MTU2S クロック : ×1 MTU2 クロック : ×1/2	H'0241
STBCR4			スタンバイコントロールレジスタ 4	H'BE
	6	MSTP22	モジュールストップビット 22 MSTP22 = b'0 のとき MTU2 ヘクロックを供給	0
	0	MSTP16	モジュールストップビット 16 MSTP16 = b'0 のとき A/D_0 ヘクロックを供給	0
PECRL1			ポート E コントロールレジスタ L3	H'0001
	15	—	リザーブビット	0
	14	PE3MD2	PE3 モードビット	0
	13	PE3MD1	PE3MD [2-0] = b'000 のとき端子機能を PE3 (汎用入出力) に設定	0
	12	PE3MD0		0
	11	—	リザーブビット	0
	10	PE2MD2	PE2 モードビット	0
	9	PE2MD1	PE2MD [2-0] = b'000 のとき端子機能を PE2 (汎用入出力) に設定	0
	8	PE2MD0		0
	7	—	リザーブビット	0
	6	PE1MD2	PE1 モードビット	0
	5	PE1MD1	PE1MD [2-0] = b'000 のとき端子機能を PE1 (汎用入出力) に設定	0
	4	PE1MD0		0
	3	—	リザーブビット	0
	2	PE0MD2	PE0 モードビット	0
	1	PE0MD1	PE0MD [2-0] = b'001 のとき端子機能を TIOC0A に設定	0
	0	PE0MD0		1

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
PEIORL		ポート E I/O レジスタ L	H'0001
0	PE0IOR	PE0IOR = b'1 のとき PE0 (TIOC0A) 端子を出力に設定	1
IPRD		インタラプトプライオリティレジスタ D MTU2 の TGIA_0 割り込みレベルを 10 に設定	H'A000
IPRK		インタラプトプライオリティレジスタ K A/D の ADI_0 割り込みレベルを 10 に設定	H'A000
ADCSR_0		A/D コントロール / ステータスレジスタ_0	H'5880
15	ADF	A/D エンドフラグ	0
14	ADIE	A/D インタラプトイネーブル ADIE = b'1 のとき ADI 割り込みを許可	1
13	—	リザーブビット	0
12	OPON	オペアンプ ON OPON = b'1 のときオペアンプは有効	1
11	TRGE	トリガイネーブル TRGE = b'1 のとき外部または MTU2 (MTU2S) のトリガにより A/D 変換開始	1
10	—	リザーブビット	0
9	CONADF	ADF コントロール 本タスク例ではシングルモードのため本ビットの設定は無効	0
8	STC	ステートコントロール STC = b'0 のとき A/D 変換時間を 50 ステートに設定	0
7	CKSL1	クロックセレクト 1, 0	1
6	CKSL0	CKSL [1,0] = b'10 のとき A/D 変換用クロックを Pφ/2 に設定	0
5	ADM1	A/D モード 1, 0	0
4	ADM0	ADM [1,0] = b'00 のとき動作モードをシングルに設定	0
3	ADCS	A/D 連続スキャン ADCS = b'0 のとき 1 サイクルスキャンに設定	0
2	CH2	チャンネルセレクト 2, 1, 0	0
1	CH1	CH [2-0] = b'000 のとき A/D 変換するアナログ入力チャンネルを	0
0	CH0	AN0 に設定	0

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
ADTSR_0		A/D トリガセレクトレジスタ_0 A/D モジュール 0 の A/D 変換開始トリガを MTU2 ch0 のコンペアマッチ (TRG0N) に設定	H'0002
TCR_0		タイマコントロールレジスタ_0	H'21
7	CCLR2	カウンタクリア 2, 1, 0	0
6	CCLR1	CCLR [2-0] = b'001 のとき TCNT_0 のカウンタクリア要因を	0
5	CCLR0	TGRA_0 のコンペアマッチに設定	1
4	CKEG1	クロックエッジ 1, 0	0
3	CKEG0	CKEG [1,0] = b'00 のとき内部クロックの立ち上がりエッジでカウント	0
2	TPSC2	タイマプリスケアラ	0
1	TPSC1	TPSC [2-0] = b'001 のとき TCNT_0 は MPφ/4 でカウント	0
0	TPSC0		1
TMDR_0		タイマモードレジスタ_0	H'02
7	—	リザーブビット	0
6	BFE	バッファ動作 E BFE = b'0 のとき TGRE_0 と TGRF_0 は通常動作	0
5	BFB	バッファ動作 B BFB = b'0 のとき TGRB_0 と TGRD_0 は通常動作	0
4	BFA	バッファ動作 A BFA = b'0 のとき TGRA_0 と TGRC_0 は通常動作	0
3	MD3	モード 3, 2, 1, 0	0
2	MD2	MD [3-0] = b'0010 のとき動作モードを PWM モード 1 に設定	0
1	MD1		1
0	MD0		0
TIORH_0		タイマ I/O コントロールレジスタ	H'21
7	IOB3	I/O コントロール B3 ~ B0	0
6	IOB2	IOB [3-0] = b'0010 のとき TIOC0A 端子を初期出力 0, TGRB_0	0
5	IOB1	のコンペアマッチで 1 出力に設定	1
4	IOB0		0
3	IOA3	I/O コントロール A3 ~ A0	0
2	IOA2	IOA [3-0] = b'0001 のとき TIOC0A 端子を初期出力 0, TGRA_0	0
1	IOA1	のコンペアマッチで 0 出力に設定	0
0	IOA0		1

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TIER_0		タイマインタラプトイネーブルレジスタ_0	H'01
7	TTGE	A/D 変換開始要求イネーブル TTGE = b'0 のとき TGRA_0 のコンペアマッチによる A/D 変換開始を禁止	0
6	—	リザーブビット	0
5	—	リザーブビット	0
4	TCIEV	オーバフローインタラプトイネーブル TCIEV = b'0 のとき TCFV による割り込み要求を禁止	0
3	TGIED	TGR インタラプトイネーブル D TGIED = b'0 のとき TGFD ビットによる割り込み要求を禁止	0
2	TGIEC	TGR インタラプトイネーブル C TGIEC = b'0 のとき TGFC ビットによる割り込み要求を禁止	0
1	TGIEB	TGR インタラプトイネーブル B TGIEB = b'0 のとき TGFB ビットによる割り込み要求を禁止	0
0	TGIEA	TGR インタラプトイネーブル A TGIEA = b'1 のとき TGFA ビットによる割り込み要求を許可	1
TIER2_0		タイマインタラプトイネーブルレジスタ 2_0	H'80
7	TTGE2	A/D 変換開始要求イネーブル 2 TTGE2 = b'1 のとき TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可	1
6	—	リザーブビット	0
5	—		0
4	—		0
3	—		0
2	—		0
1	TGIEF	TGR インタラプトイネーブル F TGIEF = b'0 のとき TGFF ビットによる割り込み要求を禁止	0
0	TGIEE	TGR インタラプトイネーブル E TGIEE = b'0 のとき TGFE ビットによる割り込み要求を禁止	0
TGRA_0		タイマジェネラルレジスタ A_0 TCNT_0 と TGRA_0 のコンペアマッチでカウンタクリアし TIOC0A 端子から 0 を出力 PWM 波形の周期を設定	Pul_cyc
TGRB_0		タイマジェネラルレジスタ B_0 TCNT_0 と TGRB_0 のコンペアマッチで TIOC0A 端子から 1 を出力 PWM 波形のデューティを設定	Duty

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TGRE_0		タイマジェネラルレジスタ E_0 TCNT_0 と TGRE_0 のコンペアマッチで A/D 変換器を起動 A/D 変換器起動タイミングを設定	Ad_start
TCNT_0		タイマカウンタ_0 チャンネル 0 のタイマカウンタ	H'0000
TSTR		タイマスタートレジスタ	H'01
7	CTS4	カウントスタート 4 CTS4 = b'0 のとき TCNT_4 はカウント動作停止	0
6	CTS3	カウントスタート 3 CTS3 = b'0 のとき TCNT_3 はカウント動作停止	0
5	—	リザーブビット	0
4	—	リザーブビット	0
3	—	リザーブビット	0
2	CTS2	カウントスタート 2 CTS2 = b'0 のとき TCNT_2 はカウント動作停止	0
1	CTS1	カウントスタート 1 CTS1 = b'0 のとき TCNT_1 はカウント動作停止	0
0	CTS0	カウントスタート 0 CTS0 = b'1 のとき TCNT_0 はカウント動作開始	1

4.3 使用変数説明

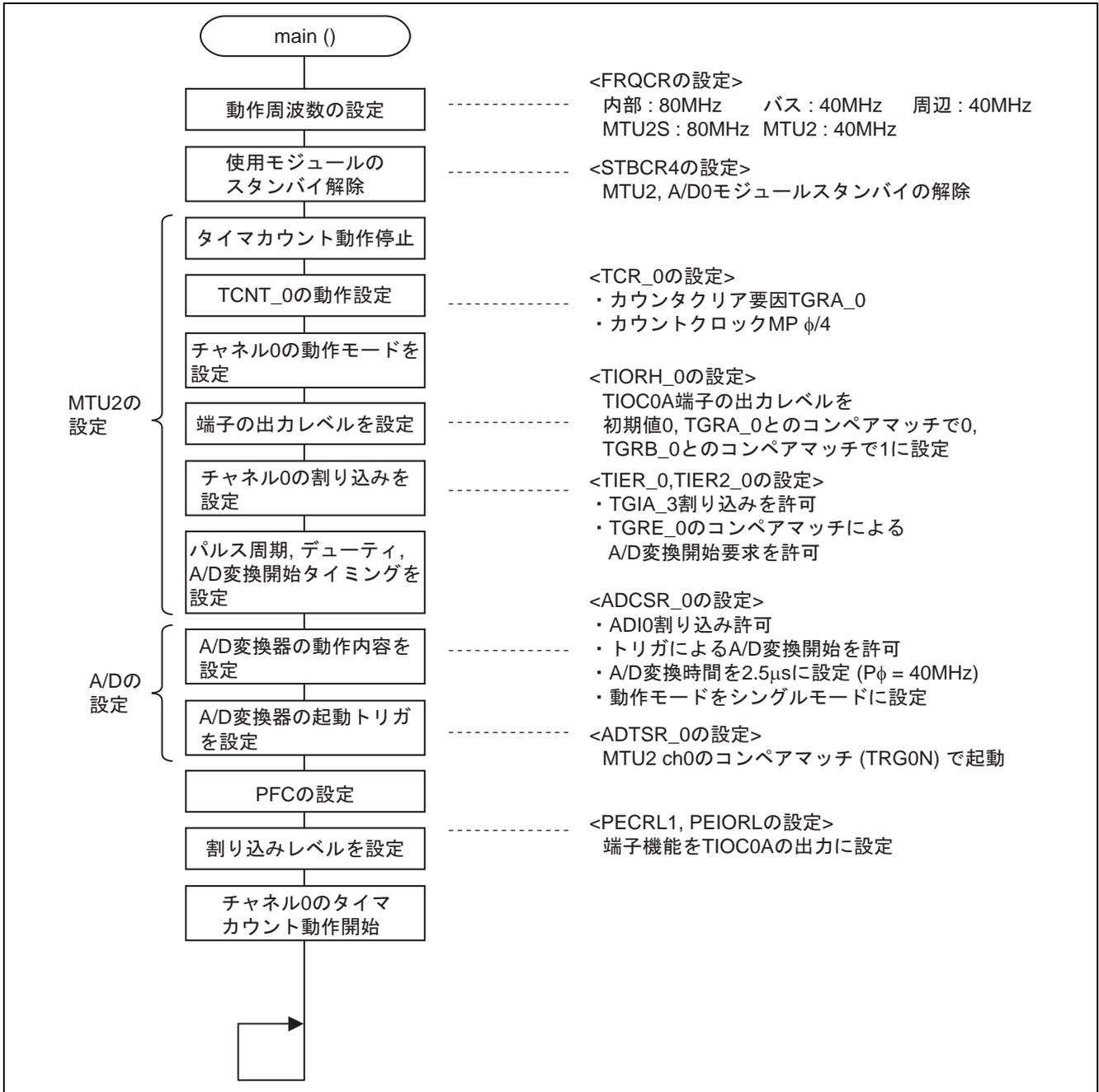
表 4 に本タスク例で使用する変数の説明をします。

表 4 使用変数説明

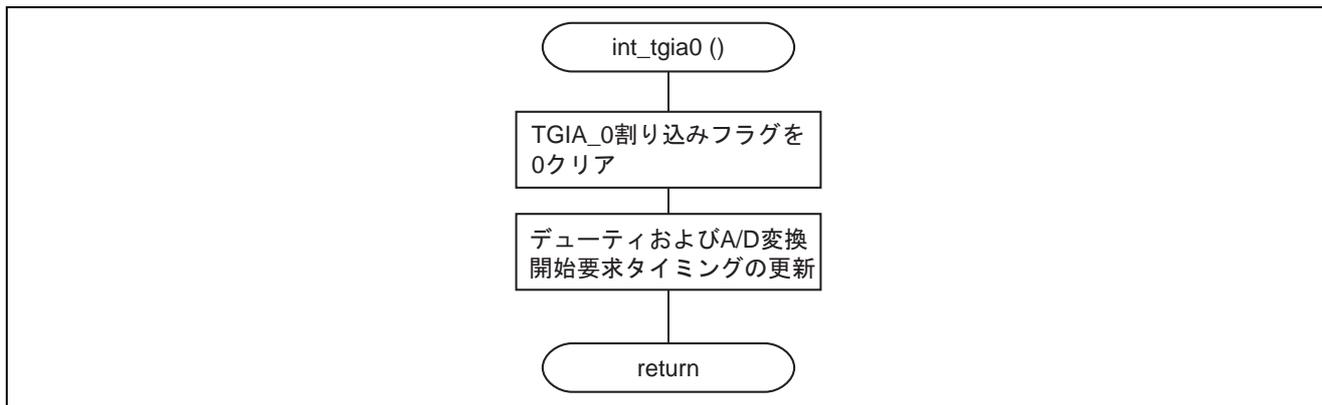
ラベル名	機能	使用モジュール
Pul_cyc	PWM 波形の周期 (TGRA_0 に設定)	メインルーチン
Duty	PWM 波形のデューティ (TGRB_0 に設定)	TGRA_0 コンペアマッチ
Ad_start	A/D 変換開始タイミング (TGRE_0 に設定)	割り込みルーチン
Ad_data [0-2]	A/D 変換結果の格納	A/D 変換終了割り込みルーチン
Ad_count	A/D 変換回数のカウント	

5. フローチャート

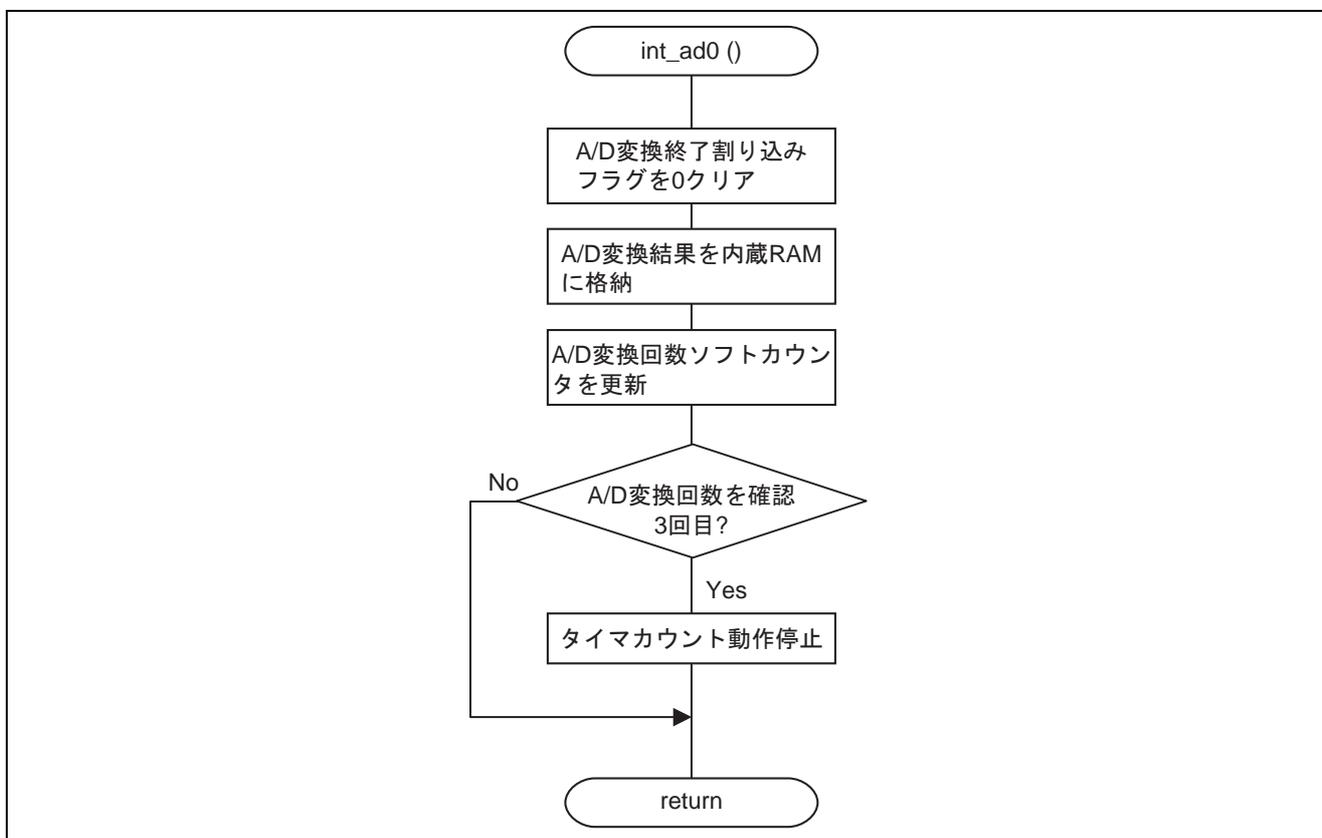
5.1 メインルーチン



5.2 TGRA_0 コンペアマッチ割り込みルーチン



5.3 A/D 変換終了割り込みルーチン



6. ホームページとサポート窓口

ルネサステクノロジホームページ

<http://www.renesas.com/>

カスタマサポートセンタ

E-mail : csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.03.16	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。