

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリット半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

アプリケーションノート

アウトプットコンペア機能による

任意の位相差のパルス出力

要旨

タイマ W アウトプットコンペア機能を使用して、デューティ 50% のパルスを任意の位相差で出力させます。

動作確認デバイス

H8/300H Tiny シリーズ - H8/3664 -

目次

| | |
|---------------------|----|
| ご注意..... | 2 |
| 1. 仕様..... | 3 |
| 2. 使用機能説明..... | 4 |
| 3. 動作原理..... | 8 |
| 4. ソフトウェア説明..... | 9 |
| 4.1 モジュール説明..... | 9 |
| 4.2 引数の説明..... | 9 |
| 4.3 使用内部レジスタ説明..... | 9 |
| 4.4 使用 RAM 説明..... | 10 |
| 5. フローチャート..... | 11 |
| 6. プログラムリスト..... | 13 |

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

Copyright©Hitachi, Ltd., 2003. All rights reserved.

1. 仕様

1. 図 1.1 に示すように、タイマ W アウトプットコンペア機能を使用して、デューティ 50% のパルスを任意の位相差で出力させます。
2. FTIOA 出力端子および FTIOB 出力端子により、任意の位相差のパルスを出力します。
3. パルスの周期は、ジェネラルレジスタ A (GRA) により設定します。
4. FTIOA、FTIOB 端子より出力するパルスの位相差は、ジェネラルレジスタ B (GRA) により設定します。
5. 本タスク例では、周期が 16.25ms、位相差が 3.125ms のパルスを出力します。

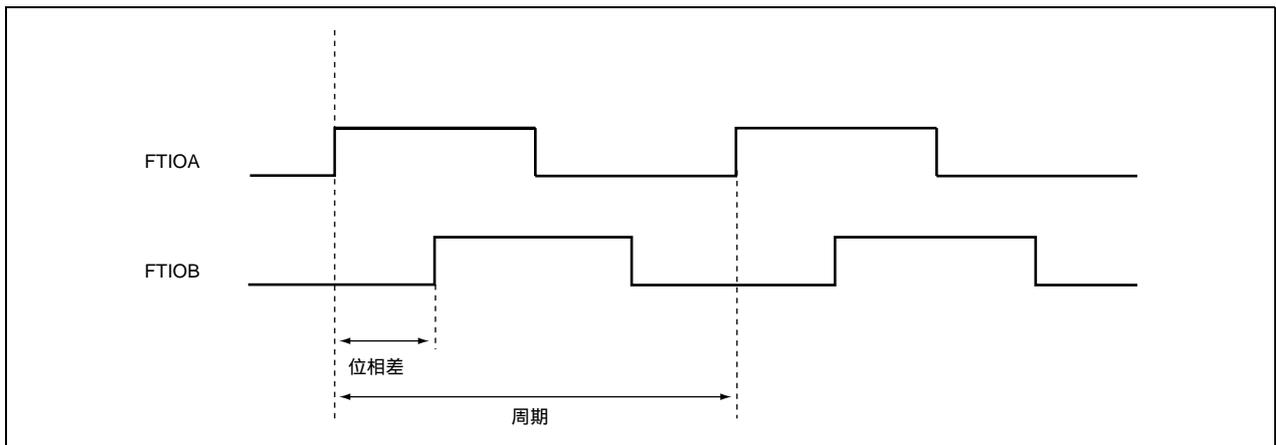


図 1.1 任意の位相差のパルス出力

2. 使用機能説明

1. 本タスク例では、タイマ W アウトプットコンペア機能を使用して、FTIOA、FTIOB 出力端子より任意の位相差のパルスを出力します。

(a) 図 2.1 にタイマ W アウトプットコンペア機能のブロック図を示します。以下にタイマ W アウトプットコンペア機能のブロック図について説明します。

- システムクロック (ϕ) は、16MHz の OSC クロックで、CPU および周辺機能を動作させるための基準クロックです。
- プリスケアラ S (PSS) は、 ϕ を入力とする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
- タイマカウンタ (TCNT) は、16 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、システムクロックの 2 分周、4 分周、8 分周および外部クロックの計 4 種類のクロックより選択可能です。本タスク例では、TCNT の入力クロックにシステムクロックの 2 分周のクロックを選択しています。
- タイマコントロールレジスタ W (TCRW) は、8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択を行ないます。
- タイマステータスレジスタ W (TSRW) は、8 ビットのリード/ライト可能なレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行ないます。
- タイマインタラプトイネーブルレジスタ W (TIERW) は、8 ビットのリード/ライト可能なレジスタで、各割り込み要求の許可/禁止を制御します。
- タイマモードレジスタ W (TMRW) は TCNT のカウンタスタート命令を行います。
- タイマ I/O コントロールレジスタ 0 (TIOR0) は、8 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタの設定およびアウトプットコンペア出力の設定を行います。
- ジェネラルレジスタ A (GRA) は、16 ビットのリード/ライト可能なレジスタで、GRA の内容は TCNT と常に比較されており、両者の値が一致すると、TSRW の IMFA が"1"にセットされます。この時、TIERW の IMIEA が"1"ならば CPU に割り込みを要求します。また、コンペアマッチ A が発生したとき、TIOR0 の IOA2 が"0"にクリアされていると、TIOR0 の IOA1、IOA0 で設定したレベル値が FTIOA 端子に出力されます。
- ジェネラルレジスタレジスタ B (GRB) は、16 ビットのリード/ライト可能なレジスタで、GRB の内容は TCNT と常に比較されており、両者の値が一致すると、TSRW の IMFB が"1"にセットされます。この時、TIERW の IMIEB が"1"ならば CPU に割り込みを要求します。また、コンペアマッチ B が発生したとき、TIOR0 の IOB2 が"0"にクリアされていると、TIOR0 の IOB1、IOB0 で設定したレベル値が FTIOB 端子に出力されます。
- アウトプットコンペア A 出力端子 (FTIOA) より、コンペアマッチ A によるパルスを出力します。
- アウトプットコンペア B 出力端子 (FTIOB) より、コンペアマッチ B によるパルスを出力します。

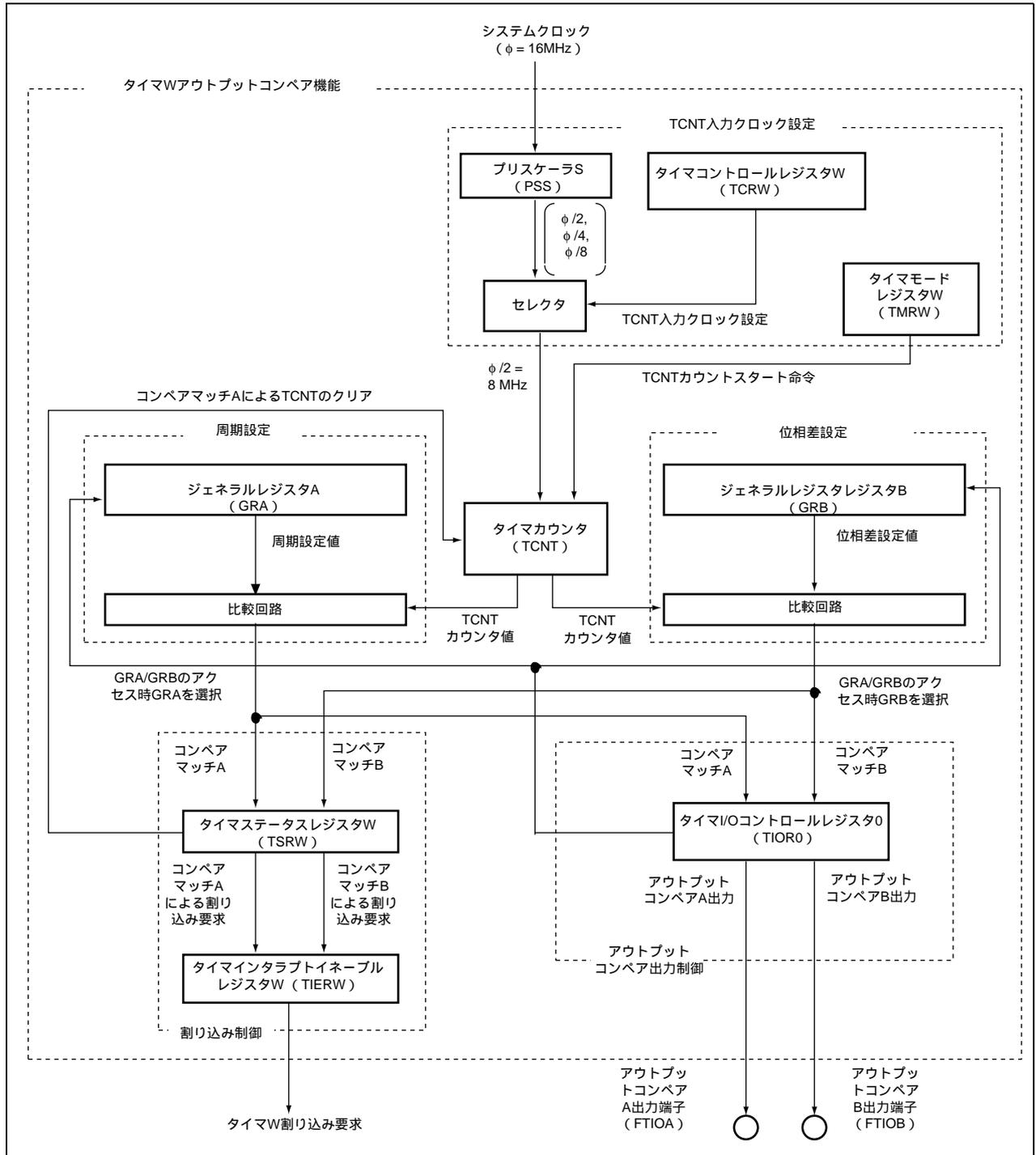


図 2.1 タイマ W アウトプットコンペア機能ブロック図

(b) 図 2.2 に出力パルスの周期、および位相差の設定方法について示します。

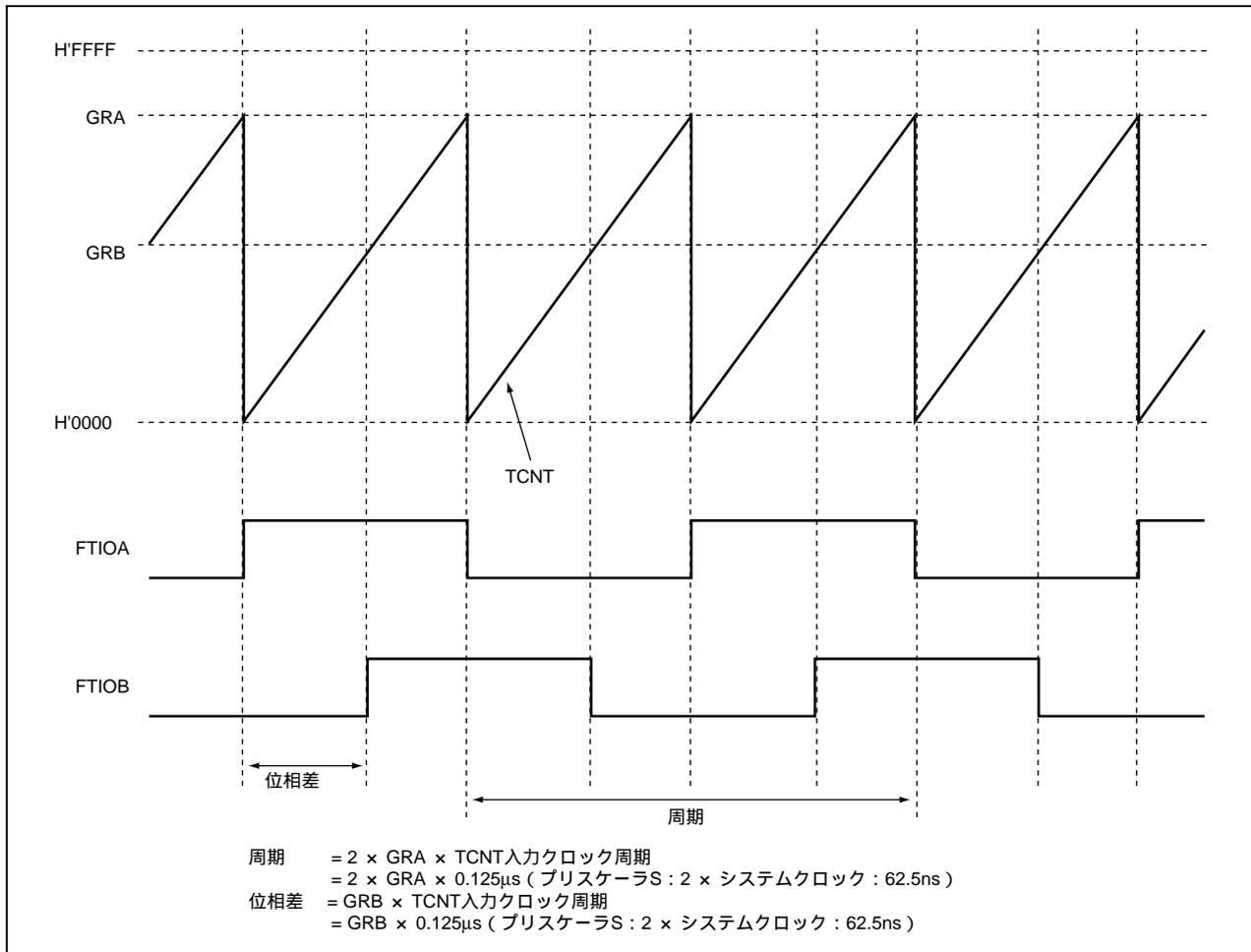


図 2.2 出力パルスの周期、および位相差の設定方法

2. 表 2.1 に本タスク例の機能割り付けを示します。表 2.1 に示すように機能を割り付け、タイマ W アウトプットコンペア機能による任意の位相差のパルス出力を行ないます。

表 2.1 機能割り付け

| 機能 | 機能割り付け |
|-------|--|
| PSS | システムクロックを入力とする 13 ビットのカウンタ |
| TIERW | コンペアマッチ A、コンペアマッチ B による割り込みの許可を設定 |
| TSRW | コンペアマッチ A、コンペアマッチ B による割り込み要求信号の制御、コンペアマッチ A による TCNT のクリアの許可を設定 |
| TCNT | システムクロックを 2 分周したクロックを入力とする 16 ビットのアップカウンタ |
| GRA | 出力パルスの周期を設定、TCNT のカウンタ値と一致するとコンペアマッチ A が発生 |
| GRB | 出力パルスの位相差を設定、TCNT のカウンタ値と一致するとコンペアマッチ B が発生 |
| TCRW | TCNT 入力クロックの設定 |
| TMRW | TCNT カウントスタート設定 |
| TIOR0 | アウトプットコンペアレジスタの設定、アウトプットコンペア出力の設定 |
| FTIOA | コンペアマッチ A によるパルスの出力端子 |
| FTIOB | コンペアマッチ B によるパルスの出力端子 |

3. 動作原理

図 3.1 に動作原理を示します。図 3.1 に示すようなハードウェア処理、およびソフトウェア処理によりタイマ W アウトプットコンペア機能による任意の位相差のパルス出力を行ないます。

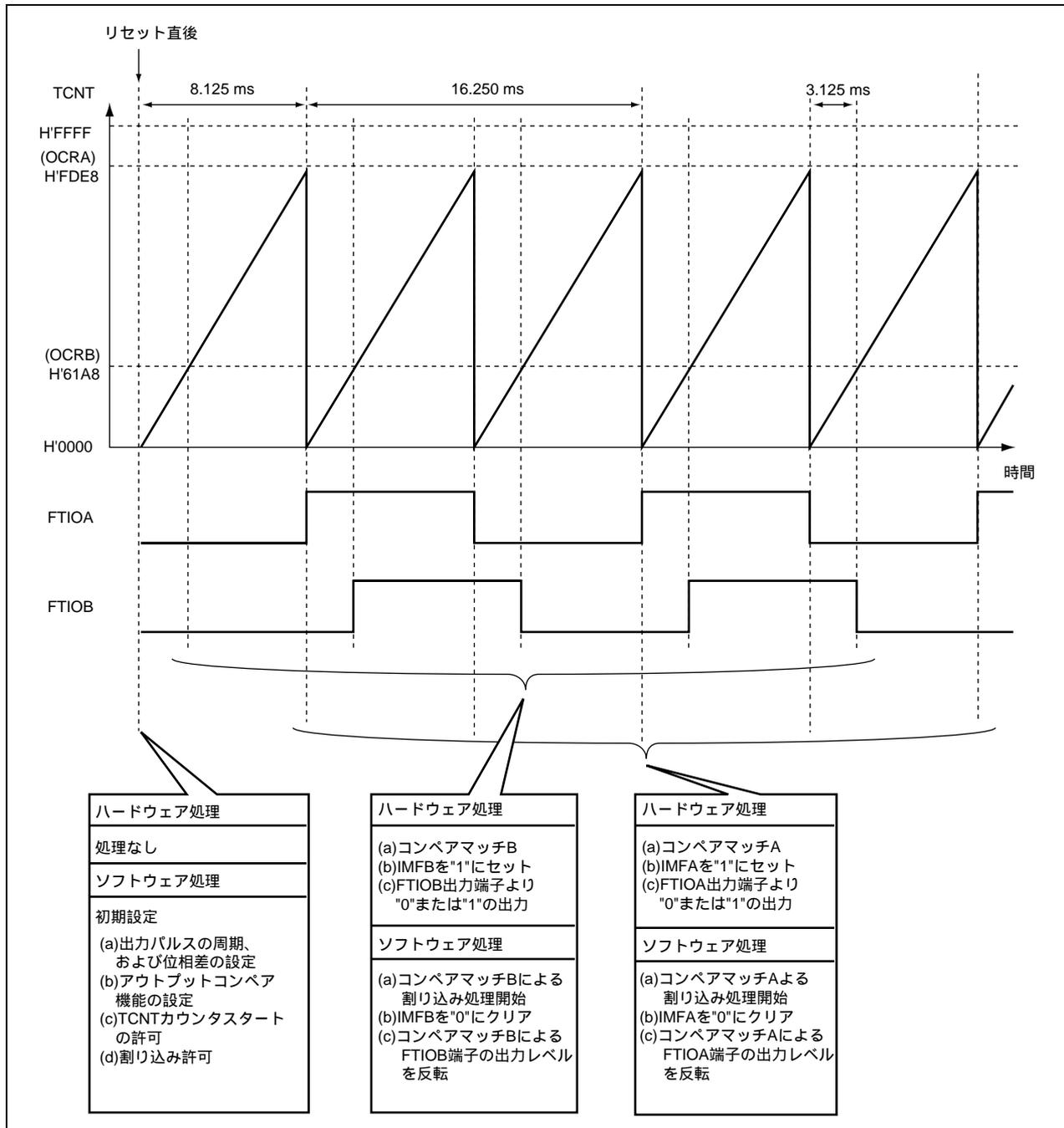


図 3.1 タイマ W アウトプットコンペア機能による任意の位相差のパルス出力の動作原理

4. ソフトウェア説明

4.1 モジュール説明

表 4.1 に本タスク例におけるモジュール説明を示します。

表 4.1 モジュール説明

| モジュール名 | ラベル名 | 機能 |
|----------------|-------|---|
| メインルーチン | main | コンペアマッチ機能の設定、割り込みの許可を行なう |
| アウトプットコンペア出力制御 | twint | タイマ W 割り込み処理ルーチンで、IMFA による割り込み要求か IMFB による割り込み要求かを判定し、FTIOA、または FTIOB 端子の出力レベルの反転を行なう |

4.2 引数の説明

本タスク例では、引数は使用していません。

4.3 使用内部レジスタ説明

表 4.2 に本タスク例における使用内部レジスタ説明を示します。

表 4.2 使用内部レジスタ説明

| レジスタ名 | | 機能 | アドレス | 設定値 |
|-------|----------------------|--|-----------------------------------|----------------------------------|
| TMRW | CTS | タイマモードレジスタ W (タイマカウンタスタート) : CTS=1 のとき、TCNT がカウンタ開始を示す : CTS=0 のとき、TCNT がカウンタ停止を示す | H'FF80 ビット 7 | 1 |
| TCRW | CCLR | タイマコントロールレジスタ W (カウンタクリア) : CCLR=1 のとき、コンペアマッチ A による TCNT のクリアを許可 | H'FF81 ビット 7 | 1 |
| | CKS2 CKS1 CKS0 | タイマコントロールレジスタ W (クロックセレクト 1、0) : CKS2="0"、CKS1="0"、CKS0="1" のとき、TCNT の入力クロックをシステムクロックの 2 分周のクロックに設定 | H'FF81 ビット 6 ビット 5 ビット 4 | CKS2="0" CKS1="0" CKS0="1" |
| | TOB | タイマコントロールレジスタ W (タイマ出力レベルセット B) : TOB="1" のとき、コンペアマッチ B が発生するまで、FTIOB 端子に出力するレベルを "High" レベルに設定 : TOB="0" のとき、コンペアマッチ B が発生するまで、FTIOB 端子に出力するレベルを "Low" レベルに設定 | H'FF81 ビット 1 | 0 |
| | TOA | タイマコントロールレジスタ W (タイマ出力レベルセット A) : TOA="1" のとき、コンペアマッチ A が発生するまで、FTIOA 端子に出力するレベルを "High" レベルに設定 : TOA="0" のとき、コンペアマッチ A が発生するまで、FTIOA 端子に出力するレベルを "Low" レベルに設定 | H'FF81 ビット 0 | 0 |

表 4.2 使用内部レジスタ説明 (つづき)

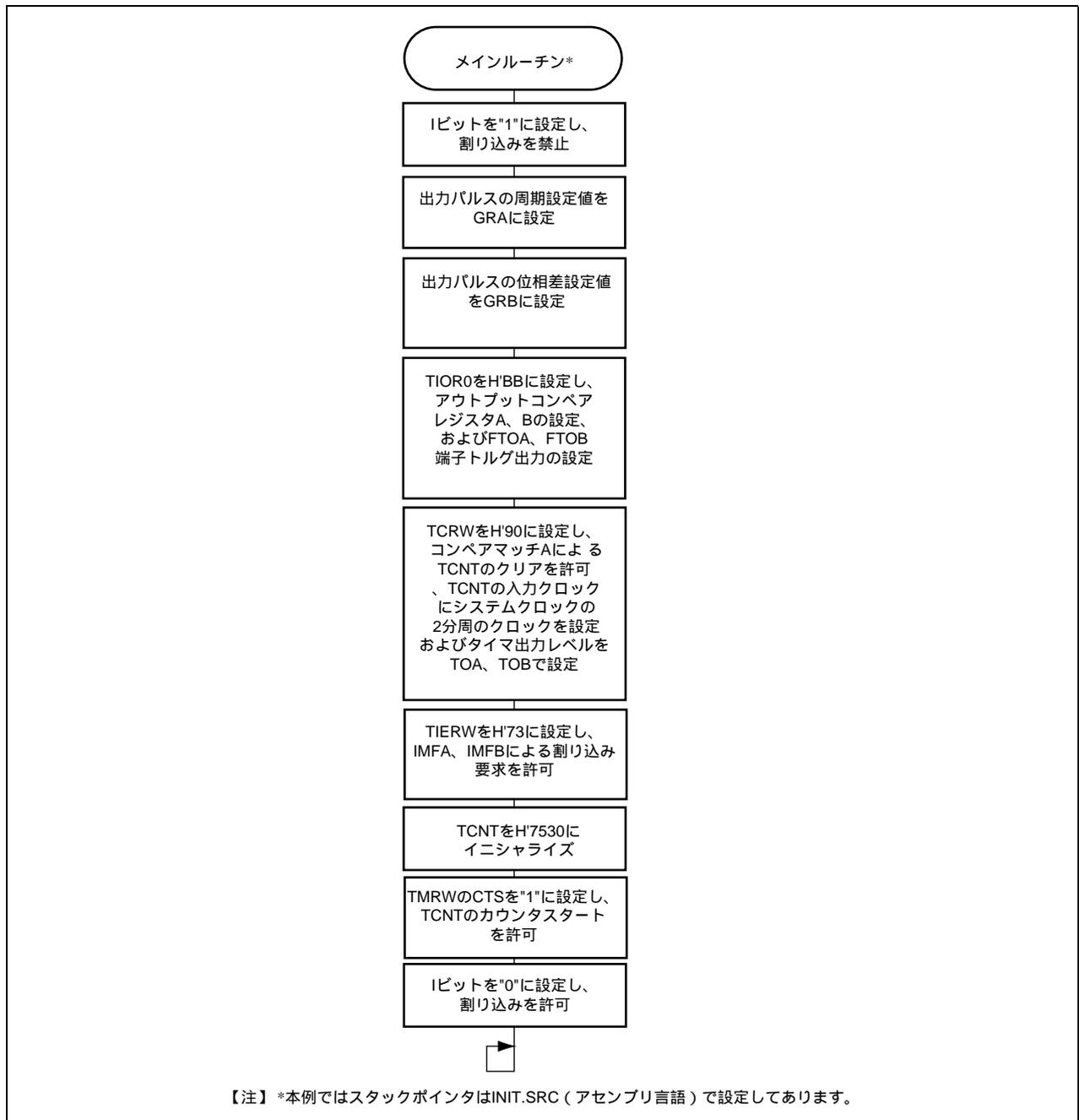
| レジスタ名 | | 機能 | アドレス | 設定値 |
|-------|--|--|--------------------------|----------------------|
| TIERW | IMIEB | タイマインタラプトイネーブルレジスタ W (アウトプットコンペア割り込みイネーブル B) : IMIEB="1"のとき、IMFB による割り込みを許可 | H'FF82 ビット 1 | 1 |
| | IMIEA | タイマインタラプトイネーブルレジスタ W (アウトプットコンペア割り込みイネーブル A) : IMIEA="1"のとき、IMFA による割り込みを許可 | H'FF82 ビット 0 | 1 |
| TSRW | IMFB | タイマステータスレジスタ W (アウトプットコンペアフラグ B) : IMFB="0"のとき、TCNT と GRB がコンペアマッチしていないことを示す : IMFB="1"のとき、TCNT と GRB がコンペアマッチしたことを示す | H'FF83 ビット 1 | 0 |
| | IMFA | タイマステータスレジスタ W (アウトプットコンペアフラグ A) : IMFA="0"のとき、TCNT と GRA がコンペアマッチしていないことを示す : IMFA="1"のとき、TCNT と GRA がコンペアマッチしたことを示す | H'FF83 ビット 0 | 0 |
| TIOR0 | IOB2 | タイマ I/O コントロールレジスタ 0 (I/O コントロール B2) : IOB2="0"のとき、アウトプットコンペア B として機能 | H'FF84 ビット 6 | 0 |
| | IOB1 IOB0 | タイマ I/O コントロールレジスタ 0 (I/O コントロール B1~0) : IOB1="1"のとき、コンペアマッチ B により、FTIOB 端子出力をトルグ出力に設定 : IOB0="1"のとき、コンペアマッチ B により、FTIOB 端子出力をトルグ出力に設定 | H'FF84 ビット 5 ビット 4 | IOB1="1" IOB0="1" |
| | IOA2 | タイマ I/O コントロールレジスタ 0 (I/O コントロール A2) : IOA2="0"のとき、アウトプットコンペア A として機能 | H'FF84 ビット 2 | 0 |
| | IOA1 IOA0 | タイマ I/O コントロールレジスタ 0 (I/O コントロール A1~0) : IOA1="1"のとき、コンペアマッチ A により、FTIOA 端子出力をトルグ出力に設定 : IOA0="1"のとき、コンペアマッチ A により、FTIOA 端子出力をトルグ出力に設定 | H'FF84 ビット 1 ビット 0 | IOA1="1" IOA0="1" |
| TCNT | タイマカウンタ : システムクロックの 2 分周のクロックを入力とする 16 ビットのアップカウンタ | H'FF86 | H'7530 | |
| GRA | ジェネラルレジスタ A : GRA の設定値と TCNT のカウンタ値が一致すると、コンペアマッチ A が発生 | H'FF88 | H'FDE8 | |
| GRB | ジェネラルレジスタ B : GRB の設定値と TCNT のカウンタ値が一致すると、コンペアマッチ B が発生 | H'FF8A | H'61A8 | |

4.4 使用 RAM 説明

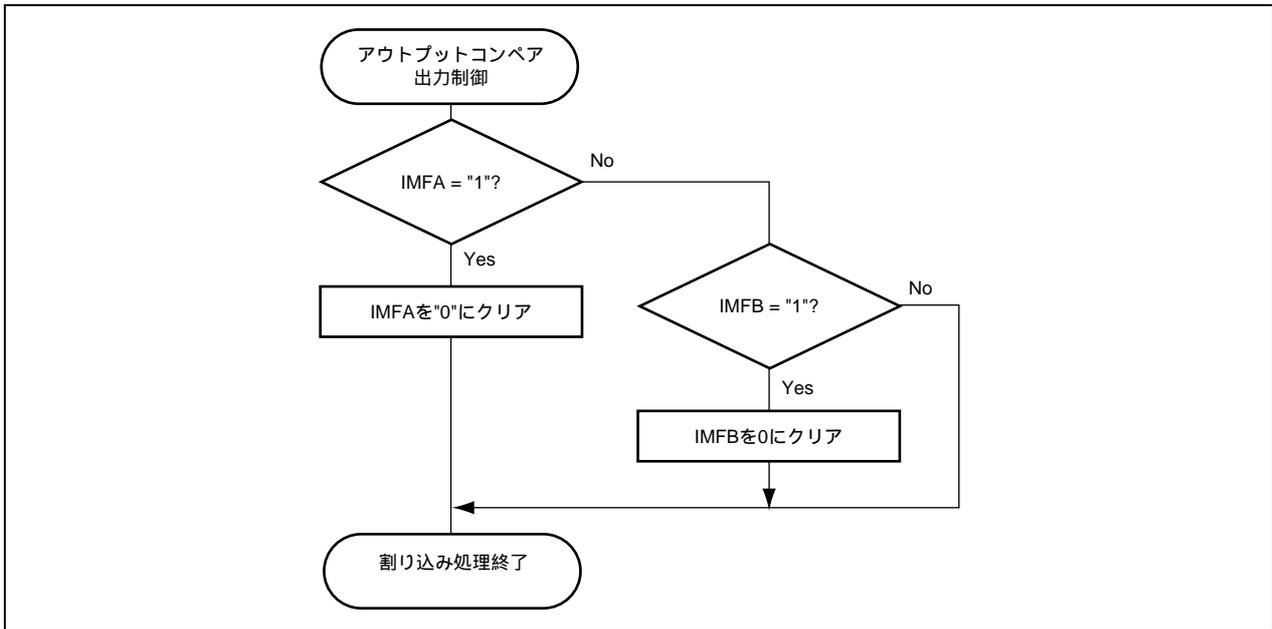
本タスク例では、RAM は使用しません。

5. フローチャート

(a) メインルーチン



(b) タイマ W 割り込み処理ルーチン



6. プログラムリスト

INIT.SRC (プログラムリスト)

```

        .EXPORT      _INIT
        .IMPORT      _main
;
        .SECTION    P, CODE
_INIT:
        MOV.W       #H'FF80, R7
        LDC.B       #B'10000000, CCR
        JMP         @_main
;
        .END

```

```

/*****/
/*
/* H8/300H Tiny Series -H8/3664-
/* Application Note
/*
/*
/* 'Pulse Output of Random Phase Difference by
/* Output Compare Function'
/*
/* Function
/* : Timer W Output Compare
/*
/* External Clock : 16MHz
/* Internal Clock : 16MHz
/* Sub Clock : 32.768kHz
/*
/*****/

#include <machine.h>

/*****/
/* Symbol Definition
/*****/

struct BIT {
    unsigned char b7:1; /* bit7
    unsigned char b6:1; /* bit6
    unsigned char b5:1; /* bit5
    unsigned char b4:1; /* bit4
    unsigned char b3:1; /* bit3
    unsigned char b2:1; /* bit2
    unsigned char b1:1; /* bit1
    unsigned char b0:1; /* bit0
};

```

```

#define TMRW      *(volatile unsigned char *)0xFF80 /* Timer Mode Register W */
#define TCRW      *(volatile unsigned char *)0xFF81 /* Timer Control Register W */
#define TCRW_BIT  (*(struct BIT *)0xFF81) /* Timer Control Register W */
#define CCLR      TCRW_BIT.b7 /* Counter Clear A */
#define CKS1      TCRW_BIT.b5 /* Clock Select 1 */
#define CKS0      TCRW_BIT.b4 /* Clock Select 0 */
#define TOB       TCRW_BIT.b1 /* Timer Output Level B */
#define TOA       TCRW_BIT.b0 /* Timer Output Level A */
#define TIERW     *(volatile unsigned char *)0xFF82 /* Timer Interrupt Enable Register */
#define TIERW_BIT (*(struct BIT *)0xFF82) /* Timer Interrupt Enable Register */
#define OVIE      TIERW_BIT.b7 /* Timer Overflow Interrupt Enable */
#define IMIEB     TIERW_BIT.b1 /* Output Compare Interrupt B Enable */
#define IMIEA     TIERW_BIT.b0 /* Output Compare Interrupt A Enable */
#define TSRW      *(volatile unsigned char *)0xFF83 /* Timer Status Register W */
#define TSRW_BIT  (*(struct BIT *)0xFF83) /* Timer Status Register W */
#define OVF       TSRW_BIT.b7 /* Timer Over flow */
#define IMFB      TSRW_BIT.b1 /* Output Compare Flag B */
#define IMFA      TSRW_BIT.b0 /* Output Compare Flag A */
#define TIOR0     *(volatile unsigned char *)0xFF84 /* Timer I/O Control Register 0 */
#define TIOR0_BIT (*(struct BIT *)0xFF84) /* Timer I/O Control Register 0 */
#define IOB2      TIOR0_BIT.b6 /* I/O Control Register B2 */
#define IOB1      TIOR0_BIT.b5 /* I/O Control Register B1 */
#define IOB0      TIOR0_BIT.b4 /* I/O Control Register B0 */
#define IOA2      TIOR0_BIT.b2 /* I/O Control Register A2 */
#define IOA1      TIOR0_BIT.b1 /* I/O Control Register A1 */
#define IOA0      TIOR0_BIT.b0 /* I/O Control Register A0 */
#define TCNT      *(volatile unsigned int *)0xFF86 /* Time Counter */
#define GRA       *(volatile unsigned int *)0xFF88 /* General Register A */
#define GRB       *(volatile unsigned int *)0xFF8A /* General Register B */

#pragma interrupt (twint)

/*****
/* 関数定義
*****/

extern void INIT ( void ); /* SP Set */
void main ( void );
void twint ( void );

```

```

/*****
/*   Vector Address
/*****
#pragma section V1 /* VECTOR SECTOIN SET */
void (*const VEC_TBL1[])(void) = {
/* 0x00 - 0x0f */
    INIT /* 00 Reset */
};
#pragma section V2 /* VECTOR SECTOIN SET */
void (*const VEC_TBL2[])(void) = {
    twint /* 2A Timer W Interrupt */
};
#pragma section /* P */
/*****
/*   Main Program
/*****
void main ( void )
{
    set_imask_ccr(1); /* Interrupt Disable */

    GRA = 0xFDE8; /* Initialize GRA */
    GRB = 0x61A8; /* Initialize GRB */

    TIOR0 = 0xBB; /* Initialize Output Compare Function */
    TCRW = 0x90; /* Initialize TCNT Input Clock Period */
    TIERW = 0x73; /* Initialize IMIEA/IMIEB Interrupt Enable */

    TCNT = 0x7530; /* Initialize TCNT */
    TMRW = 0xC8; /* Initialize timer Mode Register */

    set_imask_ccr(0); /* Interrupt Enable */

    while(1) {
        ;
    }
}

```

```
/******  
/*   Timer W Interrupt                                     */  
/******  
void twint ( void )  
{  
  
    if ( IMFA == 1 ){                                     /* IMFA = "1" ?          */  
        IMFA = 0;                                       /* Clear IMFA           */  
    }  
    else{  
        if( IMFB == 1 ){                                 /* IMFB = "1" ?          */  
            IMFB = 0;                                   /* Clear IMFB           */  
        }  
    }  
}
```

リンクアドレス指定

| セクション名 | アドレス |
|--------|--------|
| CV1 | H'0000 |
| CV2 | H'002A |
| P | H'0100 |