

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

要旨

本アプリケーションノートは、R8C/36M グループのタイマ RA からタイマ RG が有するタイマモードと RA ファミリで R8C/36M グループと性能が近い RA2L1 グループの汎用 PWM タイマ(GPT)の置き換えについて説明しています。

タイマモード以外のモード（例：PWM など）からの置き換えや RA2L1 グループ以外の製品のご使用を検討される場合は、R8C/36M グループと各 RA 製品のユーザーズマニュアル ハードウェア編を参照ください。

対象デバイス

RA2L1 グループ、R8C/36M グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。また、マイコン仕様と電気的特性についてはユーザーズマニュアル ハードウェア編とテクニカルアップデートを参照してください。

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

目次

1. R8C ファミリから RA ファミリへの移行方法	3
1.1 タイマ RA と GPT の相違点	4
1.2 タイマ RB と GPT の相違点	5
1.3 タイマ RC と GPT の相違点	6
1.4 タイマ RD と GPT の相違点	9
1.5 タイマ RE と GPT の相違点	12
1.6 タイマ RF と GPT の相違点	14
1.7 タイマ RG と GPT の相違点	16
2. 入出力端子の割り当て	18
3. レジスタ対比	20
3.1 タイマ RA と GPT のレジスタ対比	20
3.2 タイマ RB と GPT のレジスタ対比	Error! Bookmark not defined.
3.3 タイマ RC と GPT のレジスタ対比	22
3.4 タイマ RD と GPT のレジスタ対比	23
3.5 タイマ RE と GPT のレジスタ対比	24
3.6 タイマ RF と GPT のレジスタ対比	25
3.7 タイマ RG と GPT のレジスタ対比	26
4. 参照マニュアル	28
改訂記録	29

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1. R8C ファミリから RA ファミリへの移行方法

R8C/36M グループのタイマ RA~タイマ RG のタイマモードには、インプットキャプチャ機能、アウトプットコンペア機能があります。

表 1 にタイマ RA~タイマ RG のタイマモードと機能の関係を示します。

表 1 R8C/36M グループ タイマ RA~タイマ RG が有するタイマモードと機能

モード/機能	タイマ RA	タイマ RB	タイマ RC	タイマ RD	タイマ RE	タイマ RF	タイマ RG
タイマモード	○	○	-	-	-	-	-
インプットキャプチャ機能	-	-	○	○	-	○	○
アウトプットコンペア機能	-	-	○	○	○	○	○

-:モード、機能無し

以降、本表を元に、タイマ RA からタイマ RG 毎にタイマモードとインプットキャプチャ機能、アウトプットコンペア機能とそれに対応する RA2L1 グループ R8C/36M グループの汎用 PWM タイマ (GPT)の比較を行います

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.1 タイマ RA と GPT の相違点

表 1.1 に R8C/36M グループのタイマ RA と RA2L1 グループの GPT の相違点を示します。

表 1.1 タイマ RA と GPT の相違点

項目	タイマ RA タイマモード	RA2L1 GPT
カウントソース	f1、f2、f8、f0C0、fC32、fC	PCLKD
カウント動作	<ul style="list-style-type: none"> ・ ダウンカウント ・ アンダーフロー時リロードレジスタの内容をリロードしてカウントを継続 	アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
カウント開始条件	TRACR レジスタの TSTART ビットへの“1” (カウント開始) 書き込み	GTSTR. CSTR<31:0>への“1”書き込み
カウント停止条件	<ul style="list-style-type: none"> ・ TRACR レジスタの TSTART ビットへの“0” (カウント停止) 書き込み ・ TRACR レジスタの TSTOP ビットへの“1” (カウント強制停止) 書き込み 	GTSTP. CSTOP<31:0>への“1”書き込み
割り込み要求発生タイミング	タイマ RA のアンダーフロー時 [タイマ RA 割り込み]	GPT32n. GTCNT アンダーフロー (n=0-3) GPT16n. GTCNT アンダーフロー (n=4-9)
TRAIO 端子機能	プログラマブル入出力ポートとして使用可能	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能
TRA0 端子機能	プログラマブル入出力ポート	同上
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される	GTCNT の読み出し
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる（「17.3.2 カウント中のタイマ書き込み制御」参照） 	カウント停止中に GTWP で書き込み保護許可後、GTCNT へ書き込み

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.2 タイマ RB と GPT の相違点

表 1.2 に R8C/36M グループのタイマ RB と RA2L1 グループの GPT の相違点を示します。

表 1.2 タイマ RB と GPT の相違点

項目	タイマ RB タイマモード	RA2L1 GPT
カウントソース	f1、f2、f8、タイマ RA のアンダーフロー	PCLKD
カウント動作	ダウンカウント ・ アンダーフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマ RB のアンダーフロー時はタイマ RB プライマリリロードレジスタの内容をリロード)	アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能
分周比	$1/(n+1) (m+1)$ n : TRBPRES レジスタの設定値 m : TRBPR レジスタの設定値	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
カウント開始条件	TRBCR レジスタの TSTART ビットへの“1” (カウント開始) 書き込み	GTSTR.CSTR<31:0>への“1”書き込み
カウント停止条件	・ TRBCR レジスタの TSTART ビットへの“0” (カウント停止) 書き込み ・ TRBCR レジスタの TSTOP ビットへの“1” (カウント強制停止) 書き込み	GTSTP.CSTOP<31:0>への“1”書き込み
割り込み要求発生タイミング	タイマ RB のアンダーフロー時 [タイマ RB 割り込み]	GPT32n.GTCCRA インพุットキャプチャ (n=0-3) GPT32n.GTCCRB インพุットキャプチャ (n=0-3) GPT32n.GTCNT アンダーフロー (n=0-3) GPT16n.GTCCRA インพุットキャプチャ (n=4-9) GPT16n.GTCCRB インพุットキャプチャ (n=4-9) GPT16n.GTCNT アンダーフロー (n=4-9)
TRBO 端子機能	プログラマブル入出力ポート、または INTO 割り込み入力	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能
INT0 端子機能	プログラマブル入出力ポート、または INTO 割り込み入力	IRQi (i = 0~7) をプログラマブル入出力ポート、または IRQ 割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すとそれぞれカウント値が読み出される	GTCNT を読み出すとカウント値が読み出される
タイマの書き込み	・ カウント停止中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、TRBMR レジスタの TWRC ビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRC ビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる (「18.3.2 カウント中のタイマ書き込み制御」参照)。	カウント停止中に GTWP で書き込み保護解除後、GTCNT へ書き込み

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.3 タイマ RC と GPT の相違点

表 1.3 に R8C/36M グループのタイマ RC と RA2L1 グループの GPT の相違点を示します。

表 1.3 タイマ RC と GPT の相違点

項目	タイマ RC インプットキャプ チャ	タイマ RC アウトプットコンペ ア	RA2L1 GPT
カウントソース	f1、f2、f4、f8、f32、 f0C040M、f0C0-F TRCCLK 端子に入力された外部信号 (立ち上がりエッジ)	同左	PCLKD
カウント動作	アップカウント	同左	アップカウントもしくはダウン カウント (のこぎり波)、または アップダウンカウント (三角波) を選択可能
カウント周期	・ TRCCR1 レジスタの CCLR ビッ トが “0” (フリーランニング動作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数 ・ TRCCR1 レジスタの CCLR ビット が “1” (TRCGRA のインプットキャ プチャで TRC レジスタを “0000h” にする) の場合 $1/fk \times (n+1)$ n : TRCGRA レジスタ設定値	・ TRCCR1 レジスタの CCLR ビッ トが “0” (フリーランニング動 作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数 ・ TRCCR1 レジスタの CCLR ビット が “1” (TRCGRA のコンペアー致で TRC レジスタを “0000h” にする) の場合 $1/fk \times (n+1)$ n : TRCGRA レジスタ設定値	16bit タイマ : $1/fk \times 65536$ 32bit タイマ : $1/fk \times 429967296$ fk : カウントソースの周波数
波形出カタイミング	-	コンペアー一致	コンペアー一致
カウント開始条件	TRCMR レジスタの TSTART ビッ トへの “1” (カウント開始) 書き 込み	同左	GTSTR.CSTR<31:0>への “1” 書き 込み
カウント停止条件	TRCMR レジスタの TSTART ビッ トへの “0” (カウント停止) 書き 込み TRC レジスタは停止前の値を保持	・ TRCCR2 レジスタの CSEL ビッ トが “0” (TRCGRA レジスタとのコ ンペアー一致後もカウント継続) の 場合 TRCMR レジスタの TSTART ビット への “0” (カウント停止) 書き込 み アウトプットコンペア出力端子は カウント停止前の出力レベルを保 持、TRC レジスタは停止前の値を 保持 ・ TRCCR2 レジスタの CSEL ビット が “1” (TRCGRA レジスタとのコ ンペアー一致でカウント停止) の場合 TRCGRA レジスタとのコンペアー致 でカウント停止、アウトプットコ ンペア出力端子はコンペアー一致に よる出力変化後のレベルを保持	GTSTP.CSTOP<31:0>への “1” 書き 込み アウトプットコンペア出力端子 は GTIOR レジスタの GTIOA[4:0]、 GTIOB[4:0] ビットにより、カウン ト停止前の出力レベルを保持、も しくは、“H”、“L” 出力が選択可 能

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

割り込み要求発生タイミング	<ul style="list-style-type: none"> ・ インプットキャプチャ (TRCIOj 入力の有効エッジ、または fOC0128 信号のエッジ) ・ TRC レジスタオーバーフロー 	<ul style="list-style-type: none"> ・ コンペアー一致 (TRC レジスタと TRCGRj レジスタの内容が一致) ・ TRC レジスタオーバーフロー 	<ul style="list-style-type: none"> ・ コンペアー一致 (GTGCNT のカウンタ値が GTCCRA または GTCCRB と一致) ・ GPT32n レジスタオーバーフロー (n=0~3) ・ GPT16n レジスタオーバーフロー (n=4~9)
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1 端子ごとに選択)	プログラマブル入出力ポート、またはアウトプットコンペアー出力 (1 端子ごとに選択)	プログラマブル入出力ポート、またはアウトプットコンペアー出力 (1 端子ごとに選択)
INTO 端子機能	プログラマブル入出力ポート、または INTO 割り込み入力	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INTO 割り込み入力	<p>IRQi (i = 0~7)</p> <p>プログラマブル入出力ポート、または IRQ 割り込み入力</p>
タイマの読み出し	TRC レジスタを読むと、カウント値が読める	同左	GTGCNT レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める	同左	カウント停止中に GTWP で書き込み保護許可後、GTGCNT へ書き込み
選択機能 インプットキャプチャ	<ul style="list-style-type: none"> ・ インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 ・ インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 ・ バッファ動作 (「19.3.2 バッファ動作」参照) ・ デジタルフィルタ (「19.3.3 デジタルフィルタ」参照) ・ TRC レジスタを “0000h” にするタイミング オーバーフローまたはインプットキャプチャ ・ インプットキャプチャトリガ選択 TRCGRA レジスタのインプットキャプチャトリガ入力に fOC0128 を選択できる 		<ul style="list-style-type: none"> ・ インプットキャプチャ入力端子選択 GTIOcNA (n=0-9)、GTIOcNB (n=0-9) のいずれか 1 本または両方 ・ インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 ・ GTGCNT レジスタを “0000h” にするタイミング オーバーフロー/アンダーフロー時、またはインプットキャプチャ時 ・ バッファ動作 GTBER レジスタによって、以下のバッファ動作の設定が可能 GTPR レジスタ、GTPBR レジスタ GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ ・ デジタルフィルタ 以下の端子で有効 GTIOcNA (n=0-9) GTIOcNB (n=0-9)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

<p>選択機能 アウトプット コンペア</p>	<p>-</p>	<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 ・ コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、またはトグル出力 ・ 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 ・ TRC レジスタを“0000h”にする タイミング オーバーフロー、または TRCGRA レジスタのコンペア一致 ・ バッファ動作(「19.3.2 バッ ファ動作」参照) ・ パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮 断」参照) ・ タイマ RC は出力しないことで 内部タイマとして使用できる ・ TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用 できる ・ A/D トリガ発生 	<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 GTIOcNA、GTIOcNB、GTIOcMA、 GTIOcMA 端子のいずれか 1 本または 複数本 (n=0-9) ・ コンペア一致時の出力レベル選 択 Low 出力/High 出力/トグル出力 ・ 初期出力レベル選択 カウント開始からコンペア一致ま での期間のレベルを設定 ・ GTCNT レジスタを“0000h”にする タイミング -のこぎり波モード時、オーバー /アンダーフロー、GTCNT がクリア された時 -三角波モード GTCNT カウンタ が 0 から 1 に変化したとき
---------------------------------	----------	---	--

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.4 タイマ RD と GPT の相違点

表 1.4 に R8C/36M グループのタイマ RD と RA2L1 グループの GPT の相違点を示します。

表 1.4 タイマ RD と GPT の相違点

項目	タイマ RD インพุットキャプチャ	タイマ RD アウトプットコンペア	RA2L1 GPT
カウントソース	f1、f2、f4、f8、f32、fC2、fOC040M、fOC0-F TRDCLK 端子に入力された外部信号 (プログラムで有効エッジを選択)	同左	PCLKD
カウント動作	アップカウント	同左	アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能
カウント周期	TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが "000b" (フリーランニング動作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数	<ul style="list-style-type: none"> TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが "000b" (フリーランニング動作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数 TRDCRi レジスタの CCLR1 ~ CCLR0 ビットが "01b"、"10b" (TRDGRji のコンペア一致で TRDi を "0000h" にする) の場合 カウントソースの周期 $\times (n+1)$ n : TRDGRji レジスタ設定値 	16bit タイマ : $1/fk \times 65536$ 32bit タイマ : $1/fk \times 429967296$ fk : カウントソースの周波数
波形出力タイミング	-	コンペア一致	コンペア一致
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの "1" (カウント開始) 書き込み	同左	GTSTP.GSTOP<31:0>への "1" 書き込み
カウント停止条件	TRDSTR レジスタの CSELi ビットが "1" に設定されているとき、TSTARTi ビットへの "0" (カウント停止) 書き込み	<ul style="list-style-type: none"> TRDSTR レジスタの CSELi ビットが "1" に設定されているとき、TSTARTi ビットへの "0" (カウント停止) 書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 TRDSTR レジスタの CSELi ビットが "0" の場合、TRDGRAi コンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持 	GTSTP.GSTOP<31:0>への "1" 書き込み アウトプットコンペア出力端子は GTIOR レジスタの GTIOA[4:0]、GTIOB[4:0] ビットにより、カウント停止前の出力レベルを保持、もしくは、"H"、"L" 出力が選択可能
割り込み要求発生タイミング	・インพุットキャプチャ (TRDIOji 入力の有効エッジ、ま	・コンペア一致 (TRDi レジスタと TRDGRji レジスタの内容	・コンペア一致 (GTGCNT のカウンタ値が GTCCRA または GTCCRB と一致)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

	たは f0C0128 信号のエッジ) ・ TRDi オーバフロー	が一致) ・ TRDi オーバフロー	・ GPT32n レジスタオーバフロー (n=0~3) ・ GPT16n レジスタオーバフロー (n=4~9)
TRDIOA0 端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、または TRDCLK (外部クロック) 入力	プログラマブル入出力ポート、アウトプットコンペア出力、または TRDCLK (外部クロック) 入力	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能
TRDIOB0、TRDIOc0、TRDIOd0、 TRDIOA1 ~ TRDIOd1 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1 端子ごとに選択)	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1 端子ごとに選択)	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能
INT0 端子機能	プログラマブル入出力ポート、または INTO 割り込み入力	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INTO 割り込み入力	プログラマブル入出力ポート、または IRQ 割り込み入力
タイマの読み出し	TRDi レジスタを読むと、カウント値が読める	同左	GTCNT を読むと、カウント値が読める
タイマの書き込み	・ TRDMR レジスタの SYNC ビットが“0” (タイマ RDO、タイマ RD1 は独立動作) の場合 TRDi レジスタに書き込める ・ TRDMR レジスタの SYNC ビットが“1” (タイマ RDO、タイマ RD1 が同期動作) の場合 TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれる	同左	カウント停止中に GTWP で書き込み保護許可後、GTCNT へ書き込み
選択機能 インプットキャプチャ	・ インプットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOci、TRDIOdi 端子のいずれか 1 本または複数本 ・ インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 ・ TRDi を“0000h”にする タイミング オーバーフロー、またはインプットキャプチャ時 ・ バッファ動作 (「20.2.2 バッファ動作」参照) ・ 同期動作 (「20.2.3 同期動作」参照) ・ デジタルフィルタ TRDIOji 入力をサンプリングし、3 回一致したらレベルが確定したとみなす ・ インプットキャプチャトリガ選択 TRDGRA0 レジスタのインプット		・ インプットキャプチャ入力端子選択 GTIOcNA (n=0-9)、GTIOcNB (n=0-9) のいずれか 1 本または両方 ・ インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 ・ GTCNT レジスタを“0000h”にする タイミング オーバーフロー/アンダーフロー時、またはインプットキャプチャ時 ・ バッファ動作 GTBER レジスタによって、以下のバッファ動作の設定が可能 GTPR レジスタ、GTPBR レジスタ GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ ・ デジタルフィルタ 以下の端子で有効

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

	<p>キャプチャトリガ入力に f0C0128 を選択できる</p>		<p>GTIOCnA (n=0-9) GTIOCnB (n=0-9)</p>
<p>選択機能 アウトプットコンペア</p>		<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi 端子のいずれか 1 本または複数本 ・ コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、または出力レベル反転 ・ 初期出力レベル選択 カウント開始～コンペア一致までの期間、レベルを設定 ・ TRDi を “0000h” にするタイミング オーバーフロー or TRDGRAi レジスタのコンペア一致 ・ バッファ動作(「20.2.2 バッファ動作」参照) ・ 同期動作(「20.2.3 同期動作」参照) ・ TRDGRCi、TRDGRDi の出力端子変更 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用できる ・ パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) ・ タイマ RD は出力しないことで内部タイマとして可能 ・ A/D トリガ発生 	<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 GTIOCnA、GTIOCnB、GTIOCmA、GTIOCmB 端子のいずれか 1 本または複数本 (n=0-9) ・ コンペア一致時の出力レベル選択 Low 出力/High 出力/トグル出力 ・ 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 ・ GTCNT レジスタを “0000h” にするタイミング <ul style="list-style-type: none"> - のこぎり波モード時、オーバー/アンダーフロー、GTCNT がクリアされた時 - 三角波モード GTCNT カウンタが 0 から 1 に変化したとき ・ バッファ動作 20.3.2 バッファ動作参照 ・ パルス出力強制遮断信号入力 IRQ0-9 の割り込み処理で GTSTP レジスタへの b'1 書き込みで停止可能

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.5 タイマ RE と GPT の相違点

表 1.5 に R8C/36M グループのタイマ RE と RA2L1 グループの GPT の相違点を示します。

表 1.5 タイマ RE と GPT の相違点

項目	タイマ RE アウトプットコンペア	RA2L1 GPT
カウントソース	f4、f8、f32、fC4	PCLKD
カウント動作	<ul style="list-style-type: none"> ・ アップカウント ・ 8 ビットカウンタは、値が TREMIN レジスタの内容と一致すると、値が “00h” に戻り、カウントを継続。カウント停止中はカウント値を保持。 	<ul style="list-style-type: none"> ・ アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能
カウント周期	<ul style="list-style-type: none"> ・ RCS2=0（4 ビットカウンタ使用しない）の場合 $1/f_i \times 2 \times (n+1)$ ・ RCS2=1（4 ビットカウンタ使用する）の場合 $1/f_i \times 32 \times (n+1)$ fi : カウントソースの周波数 n : TREMIN レジスタの設定値 	<ul style="list-style-type: none"> 16bit タイマ : $1/f_k \times 65536$ 32bit タイマ : $1/f_k \times 429967296$ fk : カウントソースの周波数
カウント開始条件	TRECR1 レジスタの TSTART ビットへの “1” (カウント開始) 書き込み	GTSTR. CSTRT<31:0>への “1” 書き込み
カウント停止条件	TRECR1 レジスタの TSTART ビットへの “0” (カウント停止) 書き込み	GTSTP. CSTOP<31:0>への “1” 書き込み
割り込み要求発生タイミング	8 ビットカウンタの内容と TREMIN レジスタの内容が一致したとき	<ul style="list-style-type: none"> ・ コンペア一致 (GT CNT のカウンタ値が GTCCRA または GTCCRB と一致) ・ GPT32n レジスタオーバーフロー (n=0~3) ・ GPT16n レジスタオーバーフロー (n=4~9)
TRE0 端子機能	<ul style="list-style-type: none"> 次のいずれかを選択 ・ プログラマブル入出力ポート ・ f2、fC、f4、f8 のいずれかを出力 ・ コンペア出力 	GTIOCnA (n=0~9)、GTIOCnB (n=0~9) を プログラマブル入出力ポートとして使用可能
タイマの読み出し	TRESEC レジスタを読むと、8 ビットカウンタの値が読める。 TREMIN レジスタを読むと、コンペア値が読める。	GT CNT を読むと、カウント値が読める
タイマの書き込み	TRESEC レジスタを読むと、8 ビットカウンタの値が読める。 TREMIN レジスタを読むと、コンペア値が読める。	カウント停止中に GTWP で書き込み保護許可後、GT CNT へ書き込み

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

<p>選択機能</p>	<ul style="list-style-type: none"> ・ 4 ビットカウンタ使用選択 ・ コンペア出力機能 <p>8 ビットカウンタ値と TREMIN レジスタの内容が一致するごとに TREQ 出力極性を反転。リセット解除後と、TREGR1 の TRERST ビットによるタイマ RE リセット後は “L” 出力。TSTART ビットを “0” (カウント停止) にすると出力レベルを保持。</p> <ul style="list-style-type: none"> ・ TREQ 端子選択機能 <p>TIMSR レジスタの TREQSEL0 ビットで P0_4 または P6_0 を選択</p>	<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 <p>GTIOChA、GTIOChB、GTIOcMA、GTIOcMA 端子のいずれか 1 本または複数本 (n=0-9)</p> <ul style="list-style-type: none"> ・ コンペア一致時の出力レベル選択 <p>Low 出力/High 出力/トグル出力</p> <ul style="list-style-type: none"> ・ 初期出力レベル選択 <p>カウント開始からコンペア一致までの期間のレベルを設定</p> <ul style="list-style-type: none"> ・ GTCNT レジスタを “0000h” にするタイミング <ul style="list-style-type: none"> - のこぎり波モード時、オーバー/アンダーフロー、GTCNT がクリアされた時 - 三角波モード GTCNT カウンタが 0 から 1 に変化したとき <ul style="list-style-type: none"> ・ バッファ動作 <p>20.3.2 バッファ動作参照</p> <ul style="list-style-type: none"> ・ パルス出力強制遮断信号入力 <p>IRQ0-9 の割り込み処理で GTSTP レジスタへの b1 書き込みで停止可能</p>
-------------	---	--

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.6 タイマ RF と GPT の相違点

表 1.6 に R8C/36M グループのタイマ RF と RA2L1 グループの GPT の相違点を示します。

表 1.6 タイマ RF と GPT の相違点

項目	タイマ RF インพุットキャプチャ	タイマ RF アウトプットコンペア	RA2L1 GPT
カウントソース	f1、f8、f32	f1、f8、f32	PCLKD
カウント動作	・ アップカウント ・ 測定パルスの有効エッジ入力 で、TRF レジスタの値を TRFM0 レジスタに転送	アップカウント	アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能
カウンタ周期	1/fk × 65536 fk : カウントソースの周波数	-	16bit タイマ : 1/fk×65536 32bit タイマ : 1/fk×429967296 fk : カウントソースの周波数
カウント開始条件	TRFCR0 レジスタの TSTART ビットへの“1”（カウント開始）書き込み	TRFCR0 レジスタの TSTART ビットへの“1”（カウント開始）書き込み	GTSTR.GSTR<31:0>への“1”書き込み
カウント停止条件	TRFCR0 レジスタの TSTART ビットへの“0”（カウント停止）書き込み	TRFCR0 レジスタの TSTART ビットへの“0”（カウント停止）書き込み	GTSTP.GSTOP<31:0>への“1”書き込み
割り込み要求発生タイミング	・ TRF1 入力の有効エッジ [キャプチャ割り込み] ・ タイマ RF のオーバーフロー時 [タイマ RF 割り込み]	・ コンペア 0 一致時 [コンペア 0 割り込み] ・ コンペア 1 一致時 [コンペア 1 割り込み] ・ タイマ RF のオーバーフロー時 [タイマ RF 割り込み]	・ コンペア一致 (TGTCNT のカウンタ値が GTCCRA または GTCCRB と一致) ・ GPT32n レジスタオーバーフロー (n=0~3) ・ GPT16n レジスタオーバーフロー (n=4~9)
TRF1 端子機能	測定パルス入力	-	GT10CnA (n=0-9)、GT10CnB (n=0-9) に測定パルス入力
TRF000 ~ TRF002、TRF011、TRF012 端子機能	プログラマブル入出力ポート	-	GT10CnA (n=0-9)、GT10CnB (n=0-9) をプログラマブル入出力ポートとして使用可能
TRF000~TRF012 端子機能	-	プログラマブル入出力ポート、またはアウトプットコンペア出力	GT10CnA (n=0-9)、GT10CnB (n=0-9) をプログラマブル入出力ポートとして使用可能
カウンタ値初期化タイミング	次のとき、TRF レジスタの値は“0000h”になる ・ TRFCR0 レジスタの TSTART ビットへの“0”（カウント停止）書き込み時	次のとき、TRF レジスタの値は“0000h”になる ・ TRFCR0 レジスタの TSTART ビットへの“0”（カウント停止）書き込み時 ・ TRFCR1 レジスタの CCLR ビットが“1”（コンペア 1 一致時に TRF レジスタを“0000h”にする）ときのコンペア 1 一致	選択機能 項目のインพุットキャプチャ及びアウトプットコンペア参照
タイマの読み出し	・ TRF レジスタを読み出すと、カウント値が読み出される ・ TRFM0 レジスタを読み出すと、	・ TRF レジスタを読み出すと、カウント値が読み出される ・ TRFM0、TRFM1 レジスタを読み出	GT CNT を読むと、カウント値が読める

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

	測定パルス有効エッジ入力時のカウント値が読み出される	すと、コンペアレジスタの値が読み出される	
タイマの書き込み	TRF、TRFM0 レジスタへの書き込みはできない。	TRF レジスタへの書き込みはできない。	カウント停止中に GTWP で書き込み保護許可後、GTCNT へ書き込み
選択機能 インプットキャプチャ	<ul style="list-style-type: none"> ・ TRFI 極性選択 測定パルスの有効エッジを選択 (TRFCR0 レジスタの TRFC03 ~ TRFC04 ビット) ・ デジタルフィルタ機能 TRFI 入力をサンプリングし、3 回一致したらレベルが確定したとみなす。デジタルフィルタのサンプリングクロックを選択できる。(TRFCR1 レジスタの TIPF0 ~ TIPF1 ビット) 	-	<ul style="list-style-type: none"> ・ インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 ・ デジタルフィルタ 以下の端子をサンプリングし、3 回一致したらレベルが確定したとみなす。デジタルフィルタのサンプリングクロックを選択できる (OPSCR、NFCS<1:0>) GTIOCnA (n=0-9) GTIOCnB (n=0-9)
選択機能 アウトプットコンペア		<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 TRF000 ~ TRF002、TRF010 ~ TRF012 端子のいずれか 1 本または複数本 (TRFOUT レジスタの TRFOUT0 ~ TRFOUT5 ビット) ・ コンペア一致時の出力レベル “H”、“L”、反転、変化しないを選択 (TRFCR1 レジスタの TRFC14 ~ TRFC17 ビット) ・ 出力レベル反転 出力レベルを反転する、反転しないを選択 (TRFOUT レジスタの TRFOUT6 ~ TRFOUT7 ビット) ・ カウント停止時の出力レベル “H”、“L”、変化しないを選択 (TRFCR0 レジスタの TRFC05 ~ TRFC06 ビット) ・ TRF レジスタを “0000h” にするタイミング オーバーフロー、または TRFM1 レジスタのコンペア 1 一致 (TRFCR1 レジスタの CCLR ビット) 	<ul style="list-style-type: none"> ・ アウトプットコンペア出力端子選択 GTIOCnA、GTIOCnB、GTIOCmA、GTIOCmA 端子のいずれか 1 本または複数本 (n=0-9) ・ コンペア一致時の出力レベル選択 Low 出力/High 出力/トグル出力 ・ GTCNT レジスタを “0000h” にするタイミング -のこぎり波モード時、オーバー/アンダーフロー、GTCNT がクリアされた時 -三角波モード GTCNT カウンタが 0 から 1 に変化したとき

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

1.7 タイマ RG と GPT の相違点

表 1.7 に R8C/36M グループのタイマ RG と RA2L1 グループの GPT の相違点を示します。

表 1.7 タイマ RG と GPT の相違点

項目	タイマ RG インพุットキャプチャ	タイマ RG アウトプットコンペア	RA2L1 GPT
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj 端子に入力された外部信号(プログラムで有効エッジを選択)	f1、f2、f4、f8、f32、fOCO40M TRGCLKj 端子に入力された外部信号(プログラムで有効エッジを選択)	PCLKD
カウント動作	アップカウント	アップカウント	アップカウントもしくはダウンカウント(のこぎり波)、またはアップダウンカウント(三角波)を選択可能
カウント周期	TRGCR レジスタの CCLR1 ~ CCLR0 ビットが“00b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数	<ul style="list-style-type: none"> TRGCR レジスタの CCLR1 ~ CCLR0 ビットが“00b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRGCR レジスタの CCLR1 ~ CCLR0 ビットが“01b”、“10b”(TRGGRj のコンペアー一致で TRG を“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRGGRj レジスタの設定値 	16bit タイマ: $1/fk \times 65536$ 32bit タイマ: $1/fk \times 429967296$ fk: カウントソースの周波数
波形出力タイミング	-	コンペアー一致	コンペアー一致
カウント開始条件	TRGMR レジスタの TSTART ビットへの“1”(カウント開始)書き込み	TRGMR レジスタの TSTART ビットへの“1”(カウント開始)書き込み	GTSTR.CSTR<31:0>への“1”書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み	TRGMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み	GTSTP.CSTOP<31:0>への“1”書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ (TRGIOj 入力の有効エッジ) TRG レジスタオーバーフロー 	<ul style="list-style-type: none"> コンペアー一致 (TRG レジスタと TRGGRj レジスタの内容が一致) TRG レジスタオーバーフロー 	<ul style="list-style-type: none"> コンペアー一致 (TGTCNT のカウンタ値が GTCCRA または GTCCRB と一致) GPT32n レジスタオーバーフロー (n=0~3) GPT16n レジスタオーバーフロー (n=4~9)
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはインพุットキャプチャ入力 (1 端子ごとに選択)	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1 端子ごとに選択)	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力	プログラマブル入出力ポート、または外部クロック入力	GTIOcNA (n=0-9)、GTIOcNB (n=0-9) をプログラマブル入出力ポートとして使用可能

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

タイマの読み出し	TRG レジスタを読むとカウント値が読める	TRG レジスタを読むとカウント値が読める	GTCNT を読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める	TRG レジスタに書き込める	カウント停止中に GTWP で書き込み保護許可後、GTCNT へ書き込み
選択機能 インプットキャプチャ	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA、TRGIOB 端子のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを“0000h”にするタイミング オーバーフロー、またはインプットキャプチャ時 バッファ動作(「23.3.2 バッファ動作」参照) デジタルフィルタ(「23.3.3 デジタルフィルタ」参照) 		<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 GTIOcNA (n=0-9)、GTIOcNB (n=0-9) のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 GTCNT レジスタを“0000h”にするタイミング オーバーフロー/アンダーフロー時、またはインプットキャプチャ時 バッファ動作 GTBER レジスタによって、以下のバッファ動作の設定が可能 GTPR レジスタ、GTPBR レジスタ GTCCRA レジスタ、GTCCRC レジスタ GTCCRD レジスタ GTCCRB レジスタ、GTCCRE レジスタ GTCCRF レジスタ デジタルフィルタ 以下の端子で有効 GTIOcNA (n=0-9) GTIOcNB (n=0-9)
選択機能 アウトプットコンペア		<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRGIOA、TRGIOB 端子のいずれか 1 本または両方 コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 TRG レジスタを“0000h”にするタイミング オーバーフロー、または TRGGRj レジスタのコンペア一致 バッファ動作(「23.3.2 バッファ動作」参照) 	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 GTIOcNA、GTIOcNB、GTIOcMA、GTIOcMB 端子のいずれか 1 本または複数本 (n=0-9) コンペア一致時の出力レベル選択 Low 出力/High 出力/トグル出力 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 GTCNT レジスタを“0000h”にするタイミング -のこぎり波モード時、オーバー/アンダーフロー、GTCNT がクリアされた時 -三角波モード GTCNT カウンタが 0 から 1 に変化したとき バッファ動作 20.3.2 バッファ動作参照 パルス出力強制遮断信号入力 IRQ0-9 の割り込み処理で GTSTP レジスタへの b'1 書き込みで停止可能

j=A、B

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

2. 入出力端子の割り当て

表 2.1 に R8C/36M グループのタイマ RA~RG のタイマモード、入力キャプチャ機能、アウトプットコンペア機能で使用される入出力端子の割り当てを示します。なお、タイマモードでは端子は使用しないため、タイマモードのみのタイマ RA、タイマ RB は除外しています。

表 2.1 R8C/36M グループの入出力端子

対象タイマ	端子名	割り当てる端子(1つ選択)	入出力
タイマ RC	TRCIOA	P0_0、P0_1、P0_2、P1_1、P5_1	入出力
	TRCIOB	P0_3、P0_4、P0_5、P1_2、P2_0、P5_2、P6_5	入出力
	TRCIOC	P0_7、P1_3、P2_1、P3_4、P5_3、P6_6	入出力
	TRCIOD	P0_6、P1_0、P2_2、P3_5、P5_4、P6_7	入出力
	TRCCLK	P1_4、P3_3、P5_0	入力
	TRCTRG	P0_0、P0_1、P0_2、P1_1、P5_1	入力
タイマ RD	TRDIOA0/TRDCLK	P2_0	入出力
	TRDIOB0	P2_2	入出力
	TRDIOC0	P2_1	入出力
	TRDIOD0	P2_3	入出力
	TRDIOA1	P2_4	入出力
	TRDIOB1	P2_5	入出力
	TRDIOC1	P2_6	入出力
	TRDIOD1	P2_7	入出力
タイマ RE	TREO	P0_4 または P6_0	出力
タイマ RF	TRFI	P8_3	入力
	TRFO00	P8_0	出力
	TRFO01	P8_1	出力
	TRFO02	P8_2	出力
	TRFO10	P8_3	出力
	TRFO11	P8_4	出力
	TRFO12	P8_5	出力
タイマ RG	TRGCLKA	P3_0	入力
	TRGCLKB	P3_2	入力
	TRGIOA	P5_6	入出力
	TRGIOB	P5_7	入出力

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

表 2.2 に RA2L1 グループで使用される入出力端子の割り当てを示します（除く GPT OPS）。

表 2.2 RA2L1 グループの入出力端子(GPT)

対象チャネル	端子名	割り当てる端子(1つ選択)	入出力
共通	GTETRGA	P100、P401、P105、P213、P503	入力
	GTETRGB	P101、P104、P212、P504	入力
チャネル 0	GTIOC0A	P300、P415、P213	入出力
	GTIOC0B	P108、P414、P212	入出力
チャネル 1	GTIOC1A	P109、P405、P105	入出力
	GTIOC1B	P110、P406、P104	入出力
チャネル 2	GTIOC2A	P103、P500、P113	入出力
	GTIOC2B	P102、P501、P114	入出力
チャネル 3	GTIOC3A	P111、P403	入出力
	GTIOC3B	P112、P404、P502	入出力
チャネル 4	GTIOC4A	P302、P205、P115	入出力
	GTIOC4B	P301、P204、P608	入出力
チャネル 5	GTIOC5A	P101、P409、P609	入出力
	GTIOC5B	P100、P408、P610	入出力
チャネル 6	GTIOC6A	P400、P601	入出力
	GTIOC6B	P401、P600	入出力
チャネル 7	GTIOC7A	P304、P603	入出力
	GTIOC7B	P303、P602	入出力
チャネル 8	GTIOC8A	P107	入出力
	GTIOC8B	P106	入出力
チャネル 9	GTIOC9A	P411	入出力
	GTIOC9B	P410	入出力

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

3. レジスタ対比

本章では、R8C/36M グループに搭載されている各タイマ RA~RG と RA2L1 グループのレジスタ比較を示します。

3.1 タイマ RA と GPT のレジスタ対比

表 3.1 に R8C/36M グループのタイマ RA と RA2L1 グループの GPT とのレジスタ対比を示します。

表 3.1 タイマ RA のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RA	GPT
カウント開始	・ TRACR レジスタ TSTRT ビット	・ GTCR レジスタ CST ビット
カウントステータスフラグ	・ TRACR レジスタ TCSTF ビット	-
カウント停止	・ TRACR レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウント強制停止	・ TRACR レジスタ TSTOP ビット	-
有効エッジ判定フラグ	・ TRACR レジスタ TEDGF ビット	-
アンダーフローフラグ	・ TRACR レジスタ TUNDF ビット	・ GTST レジスタ TCFPU ビット
入出力端子極性切り替え	・ TRAIOC レジスタ TEDGSEL ビット	・ GTIOR レジスタ GTIOm ビット(m = A、B)
入出力端子出力制御	・ TRAIOC レジスタ TOPCR ビット	・ GTIOR レジスタ OmE ビット(m = A、B)
出力端子出力許可	・ TRAIOC レジスタ TOENA ビット	・ GTIOR レジスタ OmE ビット(m = A、B)
ハードウェア LIN 機能選択	・ TRAIOC レジスタ TIOSEL ビット	-
入出力端子入力フィルタ	・ TRAIOC レジスタ TIPF0 ビット、 TIPF1 ビット	・ GTIOR レジスタ NFmEN ビット NFCsm[1:0] ビット (m = A、B)
入出力端子イベント入力制御	・ TRAIOC レジスタ TIOGT0~1 ビット	-
動作モード選択	・ TRAMR レジスタ TMOD [2:0] ビット	・ GTCR レジスタ MD[2:0] ビット
カウントソース選択	・ TRAMR レジスタ TCK [2:0] ビット	・ GTCR レジスタ TPCS[2:0] ビット
カウントソース遮断	・ TRAMR レジスタ TCKCUT ビット	・ SCKSCR レジスタ CKSEL[2:0] ビット
プリスケアラ	・ TRAPRE レジスタ	・ GTCNT レジスタ
タイマ	・ TRA レジスタ	-
入出力端子選択	・ TRASR レジスタ TRAIOSEL [1:0] ビット	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

出力端子選択	・ TRASR レジスタ TRAOSELO ビット、 TRAOSEL1 ビット	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)
--------	---	---

3.2 タイマ RA と GPT のレジスタ対比

表 3.2 に R8C/36M グループのタイマ RB と RA2L1 グループの GPT とのレジスタ対比を示します。

表 3.2 タイマ RB のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RB	GPT
カウント開始	・ TRBCR レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウントステータスフラグ	・ TRBCR レジスタ TCSTF ビット	-
カウント停止	・ TRBCR レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウント強制停止	・ TRBCR レジスタ TSTOP ビット	-
端子選択	・ TRBRCR レジスタ TRBOSELO ビット	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)
動作モード選択	・ TRBMR レジスタ TMOD 【1:0】 ビット	・ GTCR レジスタ MD【2:0】ビット
カウントソース選択	・ TRBMR レジスタ TCK 【1:0】 ビット	・ SCKSCR レジスタ CKSEL【2:0】ビット
カウントソース遮断	・ TRBMR レジスタ TCKCUT ビット	-
プリスケアラ	・ TRBPRES レジスタ	・ GTCR レジスタ TPCS【2:0】ビット
タイマ	・ TRBPR レジスタ(プライマリ) ・ TRBSC レジスタ(セカンダリ)	-

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

3.3 タイマ RC と GPT のレジスタ対比

表 3.3 に R8C/36M グループのタイマ RB と RA2L1 グループの GPT とのレジスタ対比を示します。

表 3.3 タイマ RC のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RC	GPT
カウント開始	・ TRCMR レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウント停止	・ TRFCR0 レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
入出力端子選択レジスタ	・ TRCIOR0 レジスタ ・ TRCIOR1 レジスタ	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)
動作モード選択	・ TRCMR レジスタ PWMB、PWMC、PWMD、 PWM2 ビット ・ TRCIOR0 レジスタ IOB2 ビット TRCIOR1 レジスタ IOC2 ビット、IOD2 ビット	・ GTCR レジスタ MD[2:0]ビット
カウントソース選択	・ TRCCR1 レジスタ TCK[2:0]ビット	・ SCKSCR レジスタ CKSEL[2:0]ビット
タイマ	・ TRC レジスタ	・ GTCNT レジスタ
キャプチャ/コンペアレジスタ	・ TRCCR0 レジスタ ・ TRCCR1 レジスタ	・ GTCCRk レジスタ(k = A~F)
ノイズフィルタ有効/無効	・ TRCDF レジスタ DFA~DFD、DFTRG ビット	・ GTIOR レジスタ NFmEN ビット(m = A、B)
タイマ出力許可ビット	・ TRCOER レジスタ EA~ED ビット	・ GTIOR レジスタ OmE ビット(m = A、B)
停止時の CMP 出力 有効/無効	・ TRCCR2 レジスタの CSEL ビットが“0”の場合 カウント停止前の出力レベル を保持 ・ RCCR2 レジスタの CSEL ビット が“1”の場合 コンペア一致による出力変化 後のレベルを保持	・ GTIOR レジスタ OmDF[1:0]ビット(m = A、B)
停止時の CMP 出力 H/L	同上	・ GTIOR レジスタ OmDFLT ビット(m = A、B)
コンペア A 出力選択	・ TRCIOR0 レジスタ IOA【1:0】ビット	・ GTIOR レジスタ GTIOA[4:0]ビット
コンペア B 出力選択	・ TRFCR1 レジスタ IOB【1:0】ビット	・ GTIOR レジスタ GTIOB[4:0]ビット
コンペア C 出力選択	・ TRCIOR1 レジスタ IOC【1:0】ビット	・ GTIOR レジスタ GTIOC[4:0]ビット
コンペア D 出力選択	・ TRCIOR1 レジスタ IOD【1:0】ビット	・ GTIOR レジスタ GTIOD[4:0]ビット
サンプリングクロック選択	・ TRCCR1 レジスタ TCK[2:0]ビット	・ GTIOR レジスタ NFCSm ビット(m = A、B)
カウント動作選択	・ TRCCR1 レジスタ	・ GTUDDTYC レジスタ

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

	CCLR ビット	UD ビット
--	----------	--------

3.4 タイマ RD と GPT のレジスタ対比

表 3.4 に R8C/36M グループのタイマ RD と RA2L1 グループの GPT とのレジスタ対比を示します。

表 3.4 タイマ RD のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RD	GPT
カウント開始	・ TRDSTR レジスタ TSTART 【1:0】 ビット	・ GTCR レジスタ CST ビット
カウント停止	・ 同上	・ GTCR レジスタ CST ビット
入出力端子選択レジスタ	・ TRDPSR0 レジスタ TRDPSR1 レジスタ	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)
動作モード選択	・ TRDPMR レジスタ PWMn0, PWMn1 ビット(n=0,1) ・ TRDFCR レジスタ CMD 【1:0】 ビット、PWM3 ビット	・ GTCR レジスタ MD[2:0] ビット
カウントソース選択	・ TRDCRi(i=0,1)レジスタ TCK[1:0] ビット	・ SCKSCR レジスタ CKSEL[2:0] ビット
タイマ	・ TRDi レジスタ(i=0,1)	・ GTCNT レジスタ
ノイズフィルタ有効/無効	・ TRDDFi レジスタ(i=0,1)	・ GTIOR レジスタ NFmEN ビット(m = A、B)
タイマ出力許可ビット	・ TRDOER1 レジスタ	・ GTIOR レジスタ OmE ビット(m = A、B)
停止時の CMP 出力 有効/無効	・ TRDSTR レジスタの CSELi ビットが “1” に設定されている とき、TSTARTi ビットへの “0” 書き込み時、カウント停止前の 出力レベルを保持 TRDSTR レジスタの CSELi ビットが “0” の場合 TRDGRAi コンペア一致でカウント停止時 出力変化後のレベルを保持	・ GTIOR レジスタ OmDF[1:0] ビット(m = A、B)
停止時の CMP 出力 H/L	・ 同上	・ GTIOR レジスタ OmDFLT ビット(m = A、B)
TRDIO _{n0} 出力選択(n=A~D)	・ TRDOER1 レジスタ En0 ビット(n=A~D)	・ GTIOR レジスタ GTIOA[4:0] ビット
TRDIO _{n1} 出力選択(n=A~D)	・ TRDOER1 レジスタ En1 ビット(n=A~D)	・ GTIOR レジスタ GTIOB[4:0] ビット
サンプリングクロック選択	・ TRDCRi(i=0~1) TCK 【2:0】 ビット	・ GTIOR レジスタ NFC _{Sm} ビット(m = A、B)
カウント動作選択	・ TRDCRi(i=0~1)レジスタ CCLR 【2:0】	・ GTUDDTYC レジスタ UD ビット

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

3.5 タイマ RE と GPT のレジスタ対比

表 3.5 に R8C/36M グループのタイマ RE と RA2L1 グループの GPT とのレジスタ対比表を示します。

表 3.5 タイマ RE のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RE	GPT
カウントデータレジスタ	・ TRESEC レジスタ	・ GTCNT レジスタ
コンペアデータレジスタ	・ TREMIN レジスタ	・ GTPR レジスタ
カウントステータスフラグ	・ TRECR1 レジスタ TCSTF ビット	-
端子出力許可	・ TRECR1 レジスタ TOENA ビット	・ GTIOR レジスタ OmE ビット(m = A、B)
割り込み要求タイミング	・ TRECR1 レジスタ INT ビット 本モードでは"0"にする	・ GTCCRm レジスタ(m = A、B)
リセット設定	・ TRECR1 レジスタ TRERST ビット	・ GTCLR レジスタ CCLRn ビット(n = 0~31)
コンペアー致割り込み許可	・ TRECR2 レジスタ COMIE ビット	・ IELSRn レジスタ IELS[4:0]ビット(n = 0~31)
動作モード選択	・ TRECSR レジスタ RCS3 ビット	・ GTCR レジスタ MD[2:0]ビット
カウント開始	・ TRECR1 レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウントソース選択	・ TRECSR レジスタ RCS0、RCS1 ビット	・ SCKSCR レジスタ CKSEL[2:0]ビット
4 ビットカウンタ選択	・ TRECSR レジスタ RCS2 ビット	-
クロック出力選択	・ TRECSR レジスタ RCS4~RC6 ビット	・ GTIOR レジスタ GTIOm[4:0]ビット(m = A、B)
入出力端子選択	・ TIMSR レジスタ	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

3.6 タイマ RF と GPT のレジスタ対比

表 3.6 に R8C/36M グループのタイマ RF と RA2L1 グループの GPT とのレジスタ対比表を示します。

表 3.6 タイマ RF のレジスタと GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RF	GPT
カウント開始	・ TRFCR0 レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウント停止	・ TRFCR0 レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
入出力端子選択レジスタ	・ TIMSR レジスタ	・ PmnPFS レジスタ (m = 0~5)(n = 00~15)
動作モード選択	・ TRFCR1 レジスタ TMOD ビット	・ GTCR レジスタ MD[2:0]ビット
カウントソース選択	・ TRFCR0 レジスタ TCK[1:0]ビット	・ SCKSCR レジスタ CKSEL[2:0]ビット
タイマ	・ TRF レジスタ	・ GTCNT レジスタ
キャプチャ/コンペアレジスタ	・ TRFM0 レジスタ ・ TRFM1 レジスタ	・ GTCCRk レジスタ(k = A~F)
キャプチャ極性選択	・ TRFCR0 レジスタ TRFC0[4:3]ビット	・ GTICmSR レジスタ(m = A、B)
ノイズフィルタ有効/無効	・ TRFCR1 レジスタ TIPF[1:0]ビット	・ GTIOR レジスタ NFmEN ビット(m = A、B)
タイマ出力許可ビット	・ TRFOUT レジスタ TRFOUT[5:0]ビット	・ GTIOR レジスタ OmE ビット(m = A、B)
停止時の CMP 出力 有効/無効	・ TRFCR0 レジスタ TRFC05 ビット	・ GTIOR レジスタ OmDF[1:0]ビット(m = A、B)
停止時の CMP 出力 H/L	・ TRFCR0 レジスタ TRFC06 ビット	・ GTIOR レジスタ OmDFLT ビット(m = A、B)
コンペア 0 出力選択	・ TRFCR1 レジスタ TRFC1[5:4]ビット	・ GTIOR レジスタ GTIOA[4:0]ビット
コンペア 1 出力選択	・ TRFCR1 レジスタ TRFC1[7:6]ビット	・ GTIOR レジスタ GTIOB[4:0]ビット
サンプリングクロック選択	・ TRFCR1 レジスタ TIPF[1:0]ビット	・ GTIOR レジスタ NFCSm ビット(m = A、B)
カウント動作選択	・ TRFCR1 レジスタ CCLR ビット	・ GTUDDTYC レジスタ UD ビット
TRFO 出力反転ビット	・ TRFOUT レジスタ TRFOUT[7:6]ビット	・ GTIOR レジスタ GTIOB[4:0]ビット

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

3.7 タイマ RG と GPT のレジスタ対比

表 3.7 に R8C/36M グループのタイマ RG と RA2L1 グループの GPT とのレジスタ対比表を示します。

表 3.7 タイマ RG と GPT のレジスタ対比

項目	R8C/36M グループ	RA2L1 グループ
	タイマ RG	GPT
周辺ハードウェアへの クロック供給許可/禁止	・ MSTCR レジスタ MSTTRG ビット	・ MSTPCRD レジスタ MSTPD[6:5]ビット
PWM モード選択	・ TRGMR レジスタ PWM ビット	・ GTCR レジスタ MD[2:0]ビット
位相係数モード選択	・ TRGMR レジスタ MDF ビット	-
位相係数モードでの カウント制御	・ TRGCNTC レジスタ	・ GTUPSR レジスタ ・ GTDNSR レジスタ
出力端子のデジタルフィルタ機 能選択	・ TRGMR レジスタ DFm ビット(m = A、B)	・ GTIOR レジスタ NFmEN ビット(m = A、B)
デジタルフィルタ機能で 使用するクロック選択	・ TRGMR レジスタ DFCK0、DFCK1 ビット	・ GTIOR レジスタ NFCsm[1:0]ビット(m = A、B)
カウント開始	・ TRGMR レジスタ TSTART ビット	・ GTCR レジスタ CST ビット
カウントソース選択	・ TRGCR レジスタ TCK[2:0]ビット	・ SCKSCR レジスタ CKSEL[2:0]ビット
外部クロック有効エッジ選択	・ TRGCR レジスタ CKEG[1:0]ビット	-
カウントレジスタクリア要因選 択	・ TRGCR レジスタ CCLR[1:0]ビット	・ GTCSR レジスタ
インプットキャプチャ/ コンペアー一致割り込み許可	・ TRGIER レジスタ IMIEm ビット(m = A、B)	・ IELSRn レジスタ IELS[4:0]ビット(n = 0~31)
アンダーフロー割り込み許可	・ TRGIER レジスタ UDIE ビット	・ IELSRn レジスタ IELS[4:0]ビット(n = 0~31)
オーバフロー割り込み許可	・ TRGIER レジスタ OVIE ビット	・ IELSRn レジスタ IELS[4:0]ビット(n = 0~31)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

インプットキャプチャ/ コンペアー致割り込みフラグ	<ul style="list-style-type: none"> TRGSR レジスタ IMFm ビット(m = A、B) 	<ul style="list-style-type: none"> IELSRn レジスタ IR ビット(n = 0~31) GTST レジスタ TCFm ビット(m = A、B)
アンダーフローフラグ	<ul style="list-style-type: none"> TRGSR レジスタ UDF ビット 	<ul style="list-style-type: none"> IELSRn レジスタ IR ビット(n = 0~31) GTST レジスタ TCFPU ビット
オーバフローフラグ	<ul style="list-style-type: none"> TRGSR レジスタ OVF ビット 	<ul style="list-style-type: none"> IELSRn レジスタ IR ビット(n = 0~31) GTST レジスタ TCFPO ビット
カウント方向フラグ	<ul style="list-style-type: none"> TRGSR レジスタ DIRF ビット 	<ul style="list-style-type: none"> GTST レジスタ TUCF ビット
出力端子 A、B 制御	<ul style="list-style-type: none"> TRGIOR レジスタ IOm[1:0]ビット (m = A、B) 	アウトプットコンペアー機能 <ul style="list-style-type: none"> GTIOR レジスタ GTIOm[4:0]ビット インプットキャプチャ機能 <ul style="list-style-type: none"> CTICmSR レジスタ(m = A、B)
出力端子 A、B モード選択	<ul style="list-style-type: none"> TRGIOR レジスタ IOm2 ビット (m = A、B) 	-
出力端子 A、B バッファレジスタ 選択	<ul style="list-style-type: none"> TRGIOR レジスタ BUFm ビット (m = A、B) 	<ul style="list-style-type: none"> GTBER レジスタ CCRm[1:0]ビット(m = A、B)
カウントレジスタ	<ul style="list-style-type: none"> TRG レジスタ 	<ul style="list-style-type: none"> GTCNT レジスタ
出力端子レジスタ	<ul style="list-style-type: none"> TRGGRm レジスタ(m = A~D) 	<ul style="list-style-type: none"> GTCCRm レジスタ(m = A~F)
入出力端子選択レジスタ	<ul style="list-style-type: none"> TIMSR レジスタ 	<ul style="list-style-type: none"> PmnPFS レジスタ (m = 0~5)(n = 00~15)

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

4. 参照マニュアル

ユーザーズマニュアル

- RA2L1 グループ ユーザーズマニュアル ハードウェア編
(最新版をルネサス エレクトロニクスホームページから入手してください。)

- R8C/36M グループ ユーザーズマニュアル ハードウェア編
(最新版をルネサス エレクトロニクスホームページから入手してください。)

- テクニカルアップデート
(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

- Renesas Flexible Software Package (FSP) User' s Manual (R11UM0155EU)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<https://www.renesas.com/>

お問合せ先

www.renesas.com/contact/

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド タイマ編

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.27.24	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 - 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 - 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 - 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 - あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または盗竊その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 - 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 - 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 - 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 - お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
 - 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 - 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/