

V850E/lx3 グループ、RA4M3 グループ

V850E/lx3 から RA4M3 への移行ガイド

要旨

本アプリケーションノートは、V850E/lx3 グループから RA4M3 グループへの置き換えを行う場合の注意点、並びに相違点などを説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、V850E/lx3 グループとして μ PD70F3454(V850E/lG3)の仕様を代表として記載しています。その他の V850E/lx3 グループ製品も、メモリ容量などの違いはありますが、機能としては μ PD70F3454 と同等ですので本資料を活用いただけます。また、RA4M3 グループは R7FA4M3 の仕様を代表として記載しています。

なお、RA4M3 グループは、Flexible Software Package (FSP)及びコード生成ツール(スマート・コンフィグレータ)に対応しているため、ソフトウェア開発の負担を軽減できます。

目次

1. 概要	4
1.1 ラインアップ	4
1.2 機能置き換え可否	4
2. 内蔵機能	5
2.1 CPU 機能	5
2.1.1 仕様比較	5
2.1.2 メモリ・マップ	5
2.2 ポート機能	7
2.2.1 仕様比較	7
2.3 クロックジェネレータ	8
2.3.1 仕様比較	8
2.3.2 注意事項	9
2.3.2.1 クロック発生回路に関する注意事項	9
2.3.2.2 発振停止検出時の MTU 出力の変更	9
2.4 タイマ機能 (TAA, TAB, TMT)	10
2.4.1 搭載ユニット	10
2.4.2 仕様比較	10
2.5 16 ビット・インターバル・タイマ M (TMM)	12
2.5.1 仕様比較	12
2.5.2 注意事項	12
2.5.2.1 タイマカウンタ初期値	12
2.6 モータ制御機能	13
2.6.1 仕様比較	13
2.7 ウォッチドッグ・タイマ機能	14
2.7.1 仕様比較	14
2.7.2 注意事項	14
2.7.2.1 カウント動作について	14
2.7.2.2 IWDT のスタートモード	14
2.7.2.3 使用しない場合の設定	14
2.8 A/D コンバータ	15
2.8.1 搭載ユニット	15
2.8.2 仕様比較	15
2.8.3 注意事項	16
2.8.3.1 A/D コンバータの動作状態	16
2.9 アシクロナス・シリアル・インタフェース A, B (UARTA, UARTB)	17
2.9.1 搭載ユニット	17
2.9.2 仕様比較	17
2.9.3 注意事項	18
2.9.3.1 0 パリティ	18
2.10 クロック同期式シリアル・インタフェース B (CSIB)	19
2.10.1 搭載ユニット	19
2.10.2 仕様比較	19
2.10.3 注意事項	20
2.10.3.1 連続送信時の遅延	20

2.11 I ² C バス.....	21
2.11.1 搭載ユニット.....	21
2.11.2 仕様比較.....	21
2.12 バス制御機能（外部バス・インタフェース機能）.....	22
2.12.1 仕様比較.....	22
2.13 DMA 機能（DMA コントローラ）.....	23
2.13.1 仕様比較.....	23
2.14 割り込み／例外処理機能.....	24
2.14.1 仕様比較.....	24
2.14.2 注意事項.....	24
2.14.2.1 ノンマスカブル割り込み使用時の WFI 命令.....	24
2.15 スタンバイ機能.....	25
2.15.1 仕様比較.....	25
2.16 低電圧検出回路.....	27
2.16.1 仕様比較.....	27
2.16.2 注意事項.....	27
2.16.2.1 動作開始時の注意事項.....	27
2.16.2.2 再度電圧検出を設定する際の注意事項.....	27
2.17 パワーオン・クリア回路.....	28
2.17.1 仕様比較.....	28
3. 参考ドキュメント.....	29
改訂記録.....	30

1. 概要

1.1 ラインアップ

V850E/Ix3(x=F,G)グループと RA4M3 グループの製品ラインアップ(コードサイズおよびピン数)を表 1.1 に示します。

表 1.1 V850E/Ix3 グループ、RA4M3 グループのコードサイズおよびピン数一覧

V850E/Ix3(x=F, G)		RA4M3	
Code Flash/RAM	Pin 数	Code Flash/RAM	Pin 数
128K/8K	80,100pin	—	—
256K/12K	80,100,161pin	—	—
—	—	512K/128K	144,64pin
—	—	768K/128K	144,100,64pin
—	—	1M/128K	144,100,64pin

1.2 機能置き換え可否

V850E/Ix3 グループの機能に対して RA4M3 グループでの機能置き換え可否を表 1.2 に示します。

表 1.2 機能置き換え可否

V850E/Ix3 の機能	RA4M3 による置き換え可否
ポート機能	可能
クロックジェネレータ	可能
タイマ機能 (TAA, TAB, TMT)	汎用 PWM タイマ(GPT)にて実現可能 ただし、一部機能は CPU 割り込みを介在させる必要あり
16 ビット・インターバル・タイマ M (TMM)	低消費電力非同期汎用タイマ(AGT)にて実現可能
モータ制御機能	汎用 PWM タイマ(GPT)にて実現可能
ウォッチドッグ・タイマ機能	ウォッチドッグタイマ(WDT)または独立ウォッチドッグタイマ(IWDT)にて実現可能
A/D コンバータ	12 ビット A/D コンバータ(ADC12)にて実現可能 ただし、過電圧検出および変換チャンネル指定モードなし
アシンクロナス・シリアル・インタフェース A, B (UARTA, UARTB)	シリアルコミュニケーションインタフェース(SCI)にて実現可能
クロック同期式シリアル・インタフェース B (CSIB)	シリアルペリフェラルインタフェース(SPI)またはシリアルコミュニケーションインタフェース(SCI)にて実現可能
I ² C バス	I ² C バスインタフェース(IIC)またはシリアルコミュニケーションインタフェース(SCI)にて実現可能
バス制御機能 (外部バス・インタフェース機能)	不可
DMA 機能 (DMA コントローラ)	DMA コントローラ(DMAC)にて実現可能
割り込み/例外処理機能	可能 ただし、外部割り込みや周辺モジュールに依存する仕様は除く
スタンバイ機能	可能
低電圧検出回路	低電圧検出回路(LVD)にて実現可能
パワーオン・クリア回路	パワーオンリセット回路, 低電圧検出回路(LVD)の電圧監視 0 にて実現可能

2. 内蔵機能

2.1 CPU 機能

2.1.1 仕様比較

V850E/lx3 グループと RA4M3 グループの CPU 機能の仕様比較を表 2.1 に示します。

表 2.1 V850E/lx3 グループと RA4M3 グループの CPU 機能

項目	V850E/lx3	RA4M3
最大動作周波数	64MHz	100MHz

2.1.2 メモリ・マップ

V850E/lx3 グループと RA4M3 グループのメモリ・マップを表 2.2 に示します。

表 2.2 V850E/lx3 グループと RA4M3 グループのメモリ・マップ

項目	V850E/lx3		
メモリ・マップ	μPD70F3452 (V850E/lF3) μPD70F3451 (V850E/lF3) μPD70F3454 (V850E/lG3) μPD70F3453 (V850E/lG3)		
	xFFFFFFFH xFFF000H xFFFEFFFH xFFFE000H xFFFDFFFH xFFFC000H xFFFBFFFH	内蔵周辺I/O領域 アクセス禁止 内蔵RAM領域 アクセス禁止	内蔵周辺I/O領域 アクセス禁止 内蔵RAM領域 アクセス禁止
		4 Kバイト 12 Kバイト 8 Kバイト 256 Mバイト	
	x0400000H x03FFFFFFH	外部メモリ領域 ^注 アクセス禁止	外部メモリ領域 ^注 アクセス禁止
		3 Mバイト 1 Mバイト	
	x0040000H x0030000H x0020000H x0010000H x0000000H	内蔵ROM領域 内蔵ROM領域 内蔵ROM領域 内蔵ROM領域	256 Kバイト 128 Kバイト
	注 μPD70F3454GC-8EA-A, 70F3454F1-DA9-A : 外部メモリ領域 上記以外 : アクセス禁止領域		

項目	RA4M3																						
メモリ・マップ	<div style="display: flex; flex-direction: column; align-items: flex-start;"> <div style="margin-bottom: 5px;">0xFFFF_FFFF</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">Cortex®-M33用システム</div> <div style="margin-bottom: 5px;">0xE000_0000</div> <div style="background-color: #cccccc; width: 100%; height: 150px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x6800_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">外部アドレス空間 (Quad SPI領域)</div> <div style="margin-bottom: 5px;">0x6000_0000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x4080_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">フラッシュI/Oレジスタ</div> <div style="margin-bottom: 5px;">0x407F_C000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x407F_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">フラッシュI/Oレジスタ</div> <div style="margin-bottom: 5px;">0x407E_0000</div> <div style="background-color: #cccccc; width: 100%; height: 50px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x4018_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">周辺I/Oレジスタ</div> <div style="margin-bottom: 5px;">0x4000_0000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x2800_0400</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">スタンバイSRAM</div> <div style="margin-bottom: 5px;">0x2800_0000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x2002_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">SRAM0</div> <div style="margin-bottom: 5px;">0x2000_0000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x0800_2000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">内蔵フラッシュ (データフラッシュ)</div> <div style="margin-bottom: 5px;">0x0800_0000</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x0100_A300</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">内蔵フラッシュ (オプション設定メモリ)</div> <div style="margin-bottom: 5px;">0x0100_A100</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x0100_B1B4</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">内蔵フラッシュ (ファクトリフラッシュ)</div> <div style="margin-bottom: 5px;">0x0100_B0F0</div> <div style="background-color: #cccccc; width: 100%; height: 10px; display: flex; align-items: center; justify-content: center;">予約領域 (注2)</div> <div style="margin-bottom: 5px;">0x0010_0000</div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;">内蔵フラッシュ (コードフラッシュ) (読み出し専用) (注1)</div> <div style="margin-bottom: 5px;">0x0000_0000</div> </div>																						
	<p>注 1. 以下の表を参照してください。フラッシュの容量は製品により異なります。</p> <p>注 2. 予約領域にアクセスしないでください。</p>																						
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">コードフラッシュメモリ</th> <th colspan="2">データフラッシュメモリ</th> <th colspan="2">SRAM0</th> </tr> <tr> <th>容量</th> <th>アドレス</th> <th>容量</th> <th>アドレス</th> <th>容量</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>1 MB</td> <td>0x0000_0000 - 0x000F_FFFF</td> <td rowspan="3">8 KB</td> <td rowspan="3">0x0800_0000 - 0x0800_1FFF</td> <td rowspan="3">128 KB</td> <td rowspan="3">0x2000_0000 - 0x2001_FFFF</td> </tr> <tr> <td>768 KB</td> <td>0x0000_0000 - 0x000B_FFFF</td> </tr> <tr> <td>512 KB</td> <td>0x0000_0000 - 0x0007_FFFF</td> </tr> </tbody> </table>	コードフラッシュメモリ		データフラッシュメモリ		SRAM0		容量	アドレス	容量	アドレス	容量	アドレス	1 MB	0x0000_0000 - 0x000F_FFFF	8 KB	0x0800_0000 - 0x0800_1FFF	128 KB	0x2000_0000 - 0x2001_FFFF	768 KB	0x0000_0000 - 0x000B_FFFF	512 KB	0x0000_0000 - 0x0007_FFFF
コードフラッシュメモリ		データフラッシュメモリ		SRAM0																			
容量	アドレス	容量	アドレス	容量	アドレス																		
1 MB	0x0000_0000 - 0x000F_FFFF	8 KB	0x0800_0000 - 0x0800_1FFF	128 KB	0x2000_0000 - 0x2001_FFFF																		
768 KB	0x0000_0000 - 0x000B_FFFF																						
512 KB	0x0000_0000 - 0x0007_FFFF																						

2.2 ポート機能

2.2.1 仕様比較

V850E/lx3 グループのポート機能に対応する RA4M3 グループの I/O ポートの仕様を表 2.3 に示します。

表 2.3 ポート機能の対応

ポート機能	V850E/lx3	RA4M3
CMOS 出/N-ch オープンドレイン出力	可能	可能
内蔵プルアップ抵抗接続	可能	可能
5V トレラント	-	可能

2.3 クロックジェネレータ

2.3.1 仕様比較

V850E/lx3 グループに搭載されたクロック・ジェネレータに対応する RA4M3 グループのクロック発生回路の仕様を表 2.4 に示します。

表 2.4 クロック・ジェネレータの対応

項目	V850E/lx3	RA4M3
	クロック・ジェネレータ	クロック発生回路
CPU クロック ソース	以下 2 種類から選択 <ul style="list-style-type: none"> ・発振クロック(発振保証範囲 4~8MHz) ・PLL クロック(8 通倍固定) 	以下 6 種類から選択 <ul style="list-style-type: none"> ・メインクロック(発振周波数 8~20MHz) (発振子と外部クロックを選択可能) ・PLL クロック(10~30 通倍、1/2/3 分周)^(注1) ・サブクロック(32.768kHz) ・HOCO(16/18/20MHz) ・MOCO(8MHz) ・LOCO(32.768kHz)
動作周波数	機能ごとに規定 <ul style="list-style-type: none"> ・CPU クロック周波数 f_{CPU} : 64MHz(max) $f_{xx} \sim f_{xx}/8$ から選択 ・内部システム・クロック周波数 f_{CLK} : 64MHz(max) ・外部バス・クロック周波数 f_{BUS} : 64MHz(max) ・周辺クロック周波数 : 64MHz(max) ・ウォッチドッグ・タイマ・クロック : 62.5kHz(max) 	機能ごとに異なるクロックを生成 <ul style="list-style-type: none"> ・ICLK : 200MHz (max) ・PCLKA : 100MHz (max) ・PCLKB : 50MHz (max) ・PCLKC : 50MHz (max) ・PCLKD : 100MHz (max) ・FCLK : 4MHz~50MHz(P/E 時) 50MHz (max)(読み出し時) ・USBCLK : 48MHz ・CANMCLK : 8MHz~24MHz ・AGTSCLK : 32.768kHz ・AGTLCLK : 32.768kHz ・CACCLK : 各発振器のクロックと同じ ・RTCCLK : 32.768kHz ・IWDTCLK : 15kHz ・SYSTICCLK : 32.768kHz ・JTAGTCK : 25MHz (max) ・SWCLK : 25MHz (max) ・TRCLK : 100MHz (max) ・TCLK : 50MHz (max) ・CLKOUT : 60MHz (max)
クロック・モニタ	発振停止検出時、モータ制御用タイマの出力をハイ・インピーダンス	発振停止検出機能 ^(注2) メインクロック発振停止検出時、 <ul style="list-style-type: none"> ・システムクロックにメインクロックを選択時、MOCO に切り替え^(注3) ・システムクロックに PLL クロックを選択時、PLL による自励発振 ・GPT の出力を強制的にハイインピーダンス可能 ・発振停止検出割り込み発生可能^(注4)

注1. PLL クロックソースはメインクロックと HOCO から選択可能です。

注2. 発振停止検出機能が有効の場合、ソフトウェアスタンバイモードへ移行できません。

注3. システムクロックを自動的に MOCO に切り替えるのは、システムクロックにメインクロックを選択している場合のみです。

注4. 発振停止検出割り込みはノンマスカブル割り込みです。

2.3.2 注意事項

2.3.2.1 クロック発生回路に関する注意事項

RA4M3 グループでは各モジュールに供給されるシステムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック(FCLK) の周波数関係に制限があります。詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「8.8.1 クロック発生回路に関する注意事項」を参照してください。

2.3.2.2 発振停止検出時の MTU 出力の変更

RA4M3 グループではポートアウトプットイネーブル(POEG)を設定しておくことで、発振停止検出割り込みを許可しているとき、発振停止を検出すると GPT の出力を変更することが可能です。

詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「8.5.2 発振停止検出割り込み」、
「20.GPT 用のポートアウトプットイネーブル(POEG)」を参照してください。V850E/Ix3 グループでは発振停止を検出すると、タイマ出力は強制的にハイインピーダンスになります。

2.4 タイマ機能 (TAA, TAB, TMT)

2.4.1 搭載ユニット

V850E/lx3 グループと RA4M3 グループに内蔵されたタイマ機能のユニット一覧を表 2.5 に示します。

表 2.5 V850E/lx3、RA4M3 のタイマ機能一覧

項目	V850E/lx3	RA4M3
多機能タイマ/ カウンタ 統合モジュール	<ul style="list-style-type: none"> ・ 16 ビット・タイマ/イベント・カウンタ AA(TAA) ・ 16 ビット・タイマ/イベント・カウンタ AB(TAB) ・ 16 ビット・タイマ/イベント・カウンタ T(TMT) 	<ul style="list-style-type: none"> ・ 汎用 PWM タイマ(GPT)

2.4.2 仕様比較

V850E/lx3 グループに搭載されたタイマ機能(TAA, TAB, TMT)に対応する RA4M3 グループの汎用 PWM タイマ(GPT)の仕様を表 2.6 に示します。

表 2.6 タイマ機能の対応

項目	V850E/lx3	RA4M3
	TAA, TAB, TMT	GPT
カウントレジスタ	9 本 (TAA0-4 : 各 1 本, TAB0,1 : 各 1 本, TMT0,1 : 各 1 本)	8 本 (32 ビット : 4 本, 16 ビット : 4 本)
モード	<p>インターバル・タイマ 任意周期での割り込み発生と方形波出力 カウンタ : 最大 9 チャンネル(TAA0-4, TAB0,1, TMT0,1) 出力 : 最大 22 本(TAA2-4 : 各 2 本, TAB0,1 : 各 4 本, TMT0,1 : 各 2 本)</p> <p>TAA3 は V850E/lG3 のみ TAB0,1 は出力端子と入力端子が兼用されています。</p>	<p>基本動作で可能 カウンタ : 最大 8 チャンネル 波形出力 : 最大 16 本(各チャンネル 2 本)</p>
	<p>外部イベント・カウント 任意の外部イベント入力によるカウント動作 最大 7 チャンネル(TAA2-4, TAB0,1, TMT0,1, 入力端子 : 各 1 本) TAA3, TMT0 は V850E/lG3 のみ</p>	<p>全 8 チャンネルでカウントアップ/ダウン要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 4 本(各チャンネルで内 1 本を選択可能)</p>
	<p>外部トリガ・パルス出力 外部トリガ入力によるカウント開始と PWM 波形出力 最大 11 本出力(TAA2-4 : 各 1 本, TAB0,1 : 各 3 本, TMT0,1 : 各 1 本) TAA3 は V850E/lG3 のみ</p>	<p>全 8 チャンネルでカウントスタート要因に外部トリガ入力を指定可能 外部トリガ入力端子 : 最大 4 本(各チャンネルで内 1 本を選択可能) PWM 波形出力 : 最大 16 本(各チャンネル 2 本)</p>
	<p>ワンショット・パルス出力 外部トリガ入力または、外部イベントカウント入力によるカウント開始とワンショット・パルス出力 最大 11 本出力(TAA2-4 : 各 1 本, TAB0,1 : 各 3 本, TMT0,1 : 各 1 本) TAA3 は V850E/lG3 のみ</p>	<p>ハードで同等の機能はなし ただし、PWM モードと外部トリガ入力、CPU 割り込みを使用して実現可能。 PWM 波形出力 : 最大 16 本(各チャンネル 2 本)</p>
	<p>PWM 出力 最大 11 本出力(TAA2-4 : 各 1 本, TAB0,1 : 3 本, TMT0,1 : 各 1 本) TAA3 は V850E/lG3 のみ</p>	<p>PWM 波形出力 : 最大 16 本(各チャンネル 2 本)</p>
	<p>フリー・ランニング・タイマ 最大 9 チャンネル(TAA0-4, TAB0,1, TMT0,1) TAA3 は V850E/lG3 のみ</p>	<p>基本動作で周期を最大に設定することで可能 最大 8 チャンネル 13 個のカウントリソース</p>
	<p>パルス幅測定 最大 7 本測定(TAA2-4 : 各 1 本, TAB0,1 : 各 1 本, TMT0,1 : 各 1 本) TAA3, TMT0 は V850E/lG3 のみ</p>	<p>インプットキャプチャ機能で可能 (最大 16 本(各チャンネル 2 本))</p>

項目	V850E/Ix3	RA4M3
	TAA, TAB, TMT	GPT
モード	三角波 PWM 出力 最大 2 本出力(TMT0,1 : 各 1 本) TMT0 は V850E/IG3 のみ	PWM 出力動作モードと同期動作の組み合わせで可能 最大 16 本(正相 8 本、逆相 8 本)の PWM 出力が可能
	エンコーダ・コンペア 2 相エンコーダ入力によるアップ/ダウン・カウント動作 最大 2 チャンネル(TMT0,1) エンコーダ入力 : 最大 4 本(TMT0,1 各 2 本) エンコーダ・クリア入力 : 最大 2 本(TMT0,1 各 1 本)	位相計数モードで可能 最大 8 チャンネル エンコーダ入力 : 最大 16 本(各チャンネル 2 本)

2.5 16 ビット・インターバル・タイマ M (TMM)

2.5.1 仕様比較

V850E/lx3 グループに搭載された 16 ビット・インターバル・タイマ M(TMM)に対応する RA4M3 グループの低消費電力非同期汎用タイマ(AGT)の仕様を表 2.7 に示します。

表 2.7 16 ビット・インターバル・タイマの対応

項目	V850E/lx3	RA4M3
	TMM	AGT
チャンネル数	4 チャンネル	6 チャンネル
カウンタビット	16 ビット	16 ビット
選択可能な分周クロック	8 通り f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /64, f _{xx} /256, f _{xx} /1024, f _{xx} /2048 の中からチャンネルごとに選択可能	22 通り PCLKB, PCLKB/2, PCLKB/8, AGTLCLK/d, AGTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, または 128)、 または AGTn (n = 0, 2, 4) のアンダフロー信号を選択可能

2.5.2 注意事項

2.5.2.1 タイマカウンタ初期値

V850E/lx3 グループでは TMMn(n=0-3)は“FFFFh”からカウントスタートします。コンペアマッチ後のカウンタ値は“0000h”にクリアされ、TMMn が動作停止するとカウンタはカウントクロックとは非同期に“FFFFh”にリセットされます。

RA4M3 グループのコンペアマッチタイマではカウントレジスタの初期値を自由に変更できます。アンダフロー後のカウンタ値はリロードレジスタの値が設定され、カウント停止後は値を保持します。

詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「22.3.1 リロードレジスタおよびカウンタの書き換え動作」、V850E/lF3, V850E/lG3 32 ビット・シングルチップ・マイクロコントローラハードウェア編 ユーザーズマニュアル「9.5 注意事項」を参照してください。

2.6 モータ制御機能

2.6.1 仕様比較

V850E/Ix3 グループに搭載されたモータ制御機能に対応する RA4M3 グループの汎用 PWM タイマ(GPT)機能の仕様を表 2.8 に示します。

表 2.8 モータ制御機能の対応

項目	V850E/Ix3	RA4M3
	モータ制御機能	GPT
チャンネル数	6 相 PWM 出力(正相 3 本、逆相 3 本) TAB と TMQOP を組み合わせて使用 最大 2 チャンネル(TAB0+TMQOP0,TAB1+TMQOP1)	PWM 出力動作モードと同期動作の組み合わせにて可能 16 相 PWM 出力(正相 8 本、逆相 8 本) 最大 2 チャンネル
デッド・タイム制御	デッド・タイム制御 逆相波信号の生成	汎用 PWM タイマデッドタイムコントロールレジスタ/ 汎用 PWM タイマデッドタイム値レジスタ U にて可能
割り込み 間引き	割り込み間引き機能 山割り込みと谷割り込みを指定した間引きカウント 数分マスク (最大 31 回マスク可能)	間引き機能は無し 割り込み処理内で間引き処理を実装する必要あり
A/D 変換 トリガ	A/D 変換開始トリガ出力機能 以下の 4 つのトリガ・ソースから選択 ・ TAB カウンタ・アンダフロー ・ TAB 周期一致 ・ 同調動作 TAA のコンペアー一致(2 本)	イベントリンク機能 ^(注1) との連携で A/D 変換開始 トリガを生成可能

注1. イベントリンク機能の詳細は RA6M5 グループユーザーズマニュアルハードウェア編「18. イベントリンクコントローラ(ELC)」を参照してください。

2.7 ウォッチドッグ・タイマ機能

2.7.1 仕様比較

V850E/lx3 グループに搭載されたウォッチドッグ・タイマ機能に対応する RA4M3 グループのウォッチドッグタイマ(WDT)、および独立ウォッチドッグタイマ(IWDT)との仕様比較を表 2.9 に示します。

表 2.9 ウォッチドッグ・タイマ機能の対応

項目	V850E/lx3	RA4M3	
	ウォッチドッグ・タイマ機能	WDT	IWDT
カウンタビット長	16 ビット	14 ビット	14 ビット
カウントクロックソース	発振クロック PLL クロック	周辺クロック (PCLKB)	IWDT 専用クロック (IWDTCLK) オンチップオシレータで生成
オーバフロー時間 選択	8 通り $2^{19}/f_{xx}$, $2^{20}/f_{xx}$, $2^{21}/f_{xx}$, $2^{22}/f_{xx}$, $2^{23}/f_{xx}$, $2^{24}/f_{xx}$, $2^{25}/f_{xx}$, $2^{26}/f_{xx}$	15 通り タイムアウト期間 : 1024, 4096, 8192, 16384 サイクル クロック分周比 : 6 種類(4 分周, 64 分周, 128 分周, 512 分周, 2048 分周, 8192 分周)	12 通り タイムアウト期間 : 128, 512, 1024, 2048 サイクル クロック分周比 : 6 種類(分周なし, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周)
動作モード	ノンマスクابل割り込み要求モード/ リセット・モードから選択	ノンマスクابل割り込み要求出力/ リセット出力を選択可能	ノンマスクابل割り込み要求出力/ リセット出力を選択可能
割り込み/リセット 発生要因	オーバフロー WDTE レジスタに"ACH"以外の値 を書き込んだとき	アンダフロー リフレッシュエラー(ウィンドウ機能)	アンダフロー リフレッシュエラー(ウィンドウ機能)
スタンバイ遷移時 のカウント動作	HALT モード遷移時は動作、 IDLE/STOP モード遷移時は停止	スリープモード遷移時は動作、 ソフトウェアスタンバイモード、 ディープスリープモード遷移時は 停止	スリープモード、ソフトウェア スタンバイモード、ディープスリー プモード遷移時にカウントの動作/ 停止を選択可能

2.7.2 注意事項

2.7.2.1 カウント動作について

V850E/lx3 グループのウォッチドッグ・タイマはアップカウント、RA4M3 グループの WDT および IWDT ではダウンカウントになります。

2.7.2.2 IWDT のスタートモード

RA4M3 グループの IWDT のカウント開始方法はレジスタスタートモードとオートスタートモードの 2 種類があります。詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「6.2.1 OFS0 : オプション機能選択レジスタ 0」、「25.2.3 OFS0 : オプション機能選択レジスタ 0」「25.3 動作説明」を参照してください。

2.7.2.3 使用しない場合の設定

V850E/lx3 グループではウォッチドッグ・タイマを使用しない場合、WDTM レジスタに 00H を設定してください。RA4M3 グループでは WDT および IWDT を使用しない場合、設定は不要です。

2.8 A/D コンバータ

2.8.1 搭載ユニット

V850E/lx3 グループと RA4M3 グループに内蔵された A/D コンバータのユニット一覧を表 2.10 に示します。

表 2.10 V850E/lx3、RA4M3 の A/D コンバータ一覧

項目	V850E/lx3	RA4M3
A/D コンバータ	<ul style="list-style-type: none"> ・ A/D コンバータ 0, 1 ・ A/D コンバータ 2 	<ul style="list-style-type: none"> ・ 12 ビット A/D コンバータ(ADC12)

2.8.2 仕様比較

V850E/lx3 グループに搭載された A/D コンバータ 0, 1, 2 に対応する RA4M3 グループの 12 ビット A/D コンバータ(ADC12)の仕様を表 2.11 に示します。

表 2.11 A/D コンバータ機能の対応

項目	V850E/lx3		RA4M3
	A/D コンバータ 0, 1	A/D コンバータ 2	ADC12
アナログ入力	2 ユニット 10 チャンネル <ul style="list-style-type: none"> ・ A/D コンバータ 0 : 5 チャンネル ・ A/D コンバータ 1 : 5 チャンネル 	最大 8 チャンネル	2 ユニット 19 チャンネル <ul style="list-style-type: none"> ・ ユニット 0 : 12 チャンネル ・ ユニット 1 : 10 チャンネル
分解能	12 ビット	10 ビット	8/10/12 ビット
A/D 変換方式	逐次比較方式	逐次比較方式	逐次比較方式
A/D 変換動作モード	A/D トリガ・モード 任意に選択したチャンネルを 1 回 A/D 変換	ワンショット・セレクト・モード 任意に選択したチャンネルを 1 回 A/D 変換	シングルスキャンモードで可能
	A/D トリガ・ポーリング・モード 任意に選択したチャンネルを連続して A/D 変換	連続セレクト・モード 任意に選択したチャンネルを連続して A/D 変換	連続スキャンモードで可能
	ハードウェア・トリガ・モード ハードウェア・トリガで A/D 変換	—	シングルスキャンモードで同期トリガ、または非同期トリガ選択で可能
	変換チャンネル指定モード 設定した回数(最大 16 回)分 A/D 変換(ハードウェア・トリガのみ)	—	ハードウェアで同等の機能なし
	拡張バッファ・モード 任意の 4 チャンネルを 2 つのハードウェア・トリガで A/D 変換	—	グループスキャンモードで最大 2 グループに対して各同期トリガを選択可能
	—	連続スキャン・モード ANI20 端子から任意のチャンネルまでを順に連続して A/D 変換	連続スキャンモードで任意に選択したチャンネルの A/D 変換が可能
	—	ワンショット・スキャン・モード ANI20 端子から任意のチャンネルまでを順に 1 回 A/D 変換	シングルスキャンモードで任意に選択したチャンネルの A/D 変換が可能

項目	V850E/lx3		RA4M3
	A/D コンバータ 0, 1	A/D コンバータ 2	ADC12
A/D 変換トリガ・モード	ソフトウェア処理(A/D トリガ・モード)	ソフトウェアトリガ	ソフトウェアトリガ
	ハードウェア・トリガ(タイマ)	—	同期トリガ イベントリンクコントローラ(ELC)からのトリガ
	ハードウェア・トリガ(外部)	—	非同期トリガ ・ユニット 0 : ADTRG0 端子 ・ユニット 1 : ADTRG1 端子
外部トリガの有効エッジ	<ul style="list-style-type: none"> ・立ち下がりエッジ ・立ち上がりエッジ ・両エッジ 	—	立ち下がりエッジのみ
入力レベル増幅	オペアンプ内蔵(2.5 倍~10 倍) ・ A/D コンバータ 0 : ANI05 ・ A/D コンバータ 1 : ANI15-17	—	ハードウェアで同等の機能なし
過電圧検出	コンパレータ内蔵 ・ A/D コンバータ 0 : 1 ユニット ・ A/D コンバータ 1 : 3 ユニット ・ 過電圧検出時は設定によりモータ制御用タイマ出力をハイ・インピーダンス状態にすることが可能	—	—
変換時間(最速)	2.0 μ s	3.88 μ s	0.4 μ s
割り込み要因 DMA/DTC 起動 要因	<ul style="list-style-type: none"> ・ A/D 変換終了 ・ 過電圧検出(フル・レンジ側, ロウ・レンジ側) 	A/D 変換終了	<ul style="list-style-type: none"> ・ スキャン終了 ・ デジタルコンペア機能の比較条件成立

2.8.3 注意事項

2.8.3.1 A/D コンバータの動作状態

V850E/lx3 グループでは A/D コンバータ n が変換動作中かを示すステータスフラグがあります。RA4M3 グループの ADC12 にはステータスフラグはありませんが、A/D コントロールレジスタの A/D 変換スタートビットで確認できます。

2.9 アシクロナス・シリアル・インタフェース A, B (UARTA, UARTB)

2.9.1 搭載ユニット

V850E/lx3 グループと RA4M3 グループに内蔵されたアシクロナス・シリアル・インタフェースのユニット一覧を表 2.12 に示します。

表 2.12 V850E/lx3、RA4M3 グループのアシクロナス・シリアル・インタフェース一覧

項目	V850E/lx3	RA4M3
アシクロナス・シリアル・インタフェース	<ul style="list-style-type: none"> アシクロナス・シリアル・インタフェース A アシクロナス・シリアル・インタフェース B 	<ul style="list-style-type: none"> シリアルコミュニケーションインタフェース(SCI)の調歩同期式モード

2.9.2 仕様比較

V850E/lx3 グループに搭載されたアシクロナス・シリアル・インタフェース A, B(UARTA, UARTB)に対応する RA4M3 グループのシリアルコミュニケーションインタフェース(SCI)の調歩同期式モードの仕様を表 2.13 に示します。

表 2.13 アシクロナス・シリアル・インタフェースの対応

項目	V850E/lx3		RA4M3
	UARTA	UARTB	SCI の調歩同期式モード
チャンネル数	3 チャンネル	1 チャンネル	6 チャンネル チャンネルごとにモジュール ストップ状態の設定が可能
転送速度(max.)	1.25Mbps(fxx=64MHz 時)	5.33Mbps(fxx=64MHz 時)	16.7Mbps(PCLKA=100MHz 時)
全二重通信	可能	可能	可能
動作モード	送信/受信それぞれ 1 段のデータ・レジスタを使用	シングル・モード 送信/受信それぞれ 1 段のデータ・レジスタを使用	送信/受信それぞれ 1 段のデータ・レジスタを使用
	—	FIFO モード 送信 FIFO/受信 FIFO (それぞれ 16 段)を使用	FIFO モード 送信 FIFO/受信 FIFO (それぞれ 16 段)を使用
キャラクタ長	7/8 ビットから選択	7/8 ビットから選択	7/8/9 ビットから選択可能
送信ストップ・ビット	1/2 ビットから選択	1/2 ビットから選択	1/2 ビットから選択可能
パリティ機能	奇数/偶数/0/なしから選択	奇数/偶数/0/なしから選択	奇数/偶数/なしから選択可能
データ転送	MSB/LSB ファーストから選択可能	MSB/LSB ファーストから選択可能	MSB/LSB ファーストから選択可能
データ反転	送受信データの反転入出力が可能	—	送受信データの反転入出力が可能
クロックソース	内部	内部	内部/外部から選択可能 ^(注1)
端子	送信データの出力 受信データの入力	送信データの出力 受信データの入力	クロック入出力 送信データの出力 受信データの入力 送受信開始制御用入出力(CTS、RTS 機能)
受信エラー検出	<ul style="list-style-type: none"> パリティ・エラー フレーミング・エラー オーバラン・エラー 	<ul style="list-style-type: none"> オーバフロー・エラー(FIFO モード時のみ) パリティ・エラー フレーミング・エラー オーバラン・エラー(シングル・モード時のみ) 	<ul style="list-style-type: none"> パリティエラー フレーミングエラー オーバランエラー

項目	V850E/lx3		RA4M3
	UARTA	UARTB	SCI の調歩同期式モード
割り込み要因	受信エラー 受信終了 送信許可	受信エラー 受信終了 送信許可 FIFO 送信終了(FIFO モード時のみ) 受信タイムアウト(FIFO モード時のみ)	受信エラー 受信データフル 送信データエンプティ 送信完了 受信データレディ(FIFO 選択時) アドレス一致
DMA 起動要因	受信終了 送信許可	受信終了 送信許可 FIFO 送信終了(FIFO モード時のみ)	受信データフル 送信データエンプティ 受信データレディ(FIFO 選択時) アドレス一致

注1. SCI1、SCI2 は GPT からの転送レートクロック入力が可能

2.9.3 注意事項

2.9.3.1 0 パリティ

V850E/lx3 グループにはパリティの種類に 0 パリティという設定があります。RA4M3 グループには 0 パリティに相当する設定はありません。

2.10 クロック同期式シリアル・インタフェース B (CSIB)

2.10.1 搭載ユニット

V850E/lx3 と RA4M3 グループに内蔵されたクロック同期式シリアル・インタフェースのユニット一覧を表 2.14 に示します。

表 2.14 V850E/lx3、RA4M3 グループのクロック同期式シリアル・インタフェース一覧

項目	V850E/lx3	RA4M3
クロック同期式シリアル・インタフェース	・クロック同期式シリアル・インタフェース B(CSIB)	・シリアルペリフェラルインタフェース(SPI)のクロック同期式動作 ・シリアルコミュニケーションインタフェース(SCI)のクロック同期式モード

2.10.2 仕様比較

V850E/lx3 に搭載されたクロック同期式シリアル・インタフェース B(CSIB)に対応する RA4M3 グループのシリアルペリフェラルインタフェース(SPI)、およびシリアルコミュニケーションインタフェース(SCI)のクロック同期式モードの仕様を表 2.15 に示します。

表 2.15 クロック同期式シリアル・インタフェースの対応

項目	V850E/lx3	RA4M3	
	CSIB	SPI のクロック同期式動作	SCI のクロック同期式モード
チャンネル数	3 チャンネル	1 チャンネル	6 チャンネル
転送速度(max.)	8Mbps	マスタ動作時：50MHz (PCLKA=100MHz 時) スレーブ動作時：25MHz (PCLKA=100MHz 時)	マスタ動作時：15MHz (PCLKA=60MHz 時) スレーブ動作時：16.7MHz (PCLKA=100MHz 時)
マスタ・モードとスレーブ・モードを選択	マスタ・モードとスレーブ・モードを選択	マスタモードとスレーブモードを選択可能	マスタモードとスレーブモードを選択可能
シリアル・クロックとデータのフェーズ切り替えが可能	シリアル・クロックとデータのフェーズ切り替えが可能	RSPCK の位相、極性を変更可能	クロックの位相、極性を変更可能
データ長	8-16 ビットを選択	8-16,20,24,32 ビットから選択可能	8 ビット
データ転送	MSB/LSB 先頭を切り替え可能	MSB/LSB ファースト切り替え可能	MSB/LSB ファースト切り替え可能
転送モード	シングル転送モード(送信, 受信, 送受信モード)	シングル転送可能	シングル転送可能
	連続転送モード(送信, 受信, 送受信モード)送信受信ともにダブル・バッファ構造	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能	送信/受信バッファはそれぞれダブルバッファ構造により連続転送可能
端子	シリアル・データ出力 シリアル・データ入力 シリアル・クロック入出力	マスタ送出データ入出力 スレーブ送出データ入出力 クロック入出力 スレーブセレクト入出力 (SPI 動作のみ) スレーブセレクト出力 (SPI 動作のみ)	クロック入出力 送信データの出力 受信データの出力 送受信開始制御用入出力/ チップセレクト入力端子

項目	V850E/lx3	RA4M3	
	CSIB	SPI のクロック同期式動作	SCI のクロック同期式モード
割り込み要因	受信終了 送信許可 受信エラー	受信バッファフル 送信バッファエンプティ SPI エラー SPI アイドル 送信完了	受信エラー 受信データフル 送信データエンプティ 送信終了 受信データレディ(FIFO 選択時) アドレス一致
DMA 起動要因	受信終了 送信許可	受信バッファフル 送信バッファエンプティ	受信データフル 送信データエンプティ 受信データレディ(FIFO 選択時) アドレス一致

2.10.3 注意事項

2.10.3.1 連続送信時の遅延

RA4M3 グループの SPI では連続転送時に 1 フレームごとに遅延が発生します。詳細は RA4M3 グループ ユーザーズマニュアル ハードウェア編「30.3.11.1 マスタモード動作」を参照してください。

2.11 I²C バス

2.11.1 搭載ユニット

V850E/lx3 と RA4M3 グループに内蔵された I²C バス機能のユニット一覧を表 2.16 に示します。

表 2.16 V850E/lx3、RA4M3 グループの I²C バス機能一覧

項目	V850E/lx3	RA4M3
I ² C 機能	I ² C バス	<ul style="list-style-type: none"> ・ I²C バスインタフェース(IIC) ・ シリアルコミュニケーションインタフェース(SCI)の簡易 I²C バス

2.11.2 仕様比較

V850E/lx3 に搭載された I²C バスに対応する RA4M3 グループの I²C バスインタフェース(IIC)、およびシリアルコミュニケーションインタフェース(SCI)の簡易 I²C バスの仕様を表 2.17 に示します。

表 2.17 I²C バスの対応

項目	V850E/lx3	RA4M3	
	I ² C バス	IIC	SCI の簡易 I ² C バス
チャンネル数	1 チャンネル	1 チャンネル	6 チャンネル
通信速度	標準モード：～100kbps 高速モード：～350kbps	スタンダードモード：～100kbps ファストモード：～1Mbps	スタンダードモード：～100kbps ファストモード：～400kbps
通信フォーマット	I ² C バス・フォーマット	<ul style="list-style-type: none"> ・ I²C バスフォーマット ・ SMBus フォーマット 	I ² C バスフォーマット
通信動作	<ul style="list-style-type: none"> ・ マスタ動作(マルチマスタ対応) ・ スレーブ動作 	<ul style="list-style-type: none"> ・ マスタ動作(マルチマスタ対応) ・ スレーブ動作 	マスタ(シングルマスタのみ)
デジタル・フィルタ	高速モード時のみ使用可能 ノイズ除去幅の調整不可	ノイズ除去幅をソフトウェアで調整可能	ノイズ除去幅をソフトウェアで調整可能
消費電力低減	動作停止モード シリアル転送を行わないときに使用	モジュールストップ機能で実現可能	モジュールストップ機能で実現可能
割り込み	1 種類 INTIIC 割り込み <ul style="list-style-type: none"> ・ シリアル・クロックの 8 クロック目または 9 クロック目の立ち下がり ・ ストップ・コンディション検出 	4 種類 EEI 割り込み <ul style="list-style-type: none"> ・ 通信エラーまたはイベント発生 ・ アービトレーションロスト検出 ・ NACK ・ タイムアウト ・ スタート/リスタート ・ コンディション ・ ストップコンディション RXI 割り込み <ul style="list-style-type: none"> ・ 受信データフル(スレーブアドレス一致時含む) TXI 割り込み <ul style="list-style-type: none"> ・ 送信データエンプティ(スレーブアドレス一致時含む) TEI 割り込み <ul style="list-style-type: none"> ・ 送信終了 	3 種類 RXI 割り込み <ul style="list-style-type: none"> ・ ACK 検出/受信 TXI 割り込み <ul style="list-style-type: none"> ・ NACK 検出/送信 TEI 割り込み <ul style="list-style-type: none"> ・ 開始条件、再開条件、停止条件生成終了
DMA 起動要因	上記割り込み要因	<ul style="list-style-type: none"> ・ 受信データフル ・ 送信データエンプティ 	<ul style="list-style-type: none"> ・ 受信割り込み ・ 送信割り込み

2.12 バス制御機能（外部バス・インタフェース機能）

2.12.1 仕様比較

V850E/lx3 グループの外部バス・インタフェース機能は、一部の製品(μ PD70F3454GC-8EA-A, 70F3454F1-DA9-A) のみ内蔵しています。他の V850E/lx3 グループの製品は内蔵していません。また、RA4M3 グループは V850E/lx3 グループの外部バス・インタフェース機能に対応する機能を内蔵していません。Quad SPI IF を持つフラッシュメモリ等の活用をご検討願います。

2.13 DMA 機能 (DMA コントローラ)

2.13.1 仕様比較

V850E/lx3 に搭載された DMA 機能(DMA コントローラ) に対応する RA4M3 グループの DMA コントローラ(DMAC)の仕様を表 2.18 に示します。

表 2.18 DMA 機能の対応

項目	V850E/lx3	RA4M3
	DMA 機能	DMAC
チャンネル数	4 チャンネル	8 チャンネル
転送モード	シングル転送モード 1 回の転送要求で 1 データの転送	ノーマル転送モードで実現可能
	シングルステップ転送モード 1 回の転送要求で 1 データ転送とバス解放を指定した転送回数まで継続	—
	ブロック転送モード 1 回の転送要求で 1 データ転送を指定した転送回数まで継続	ブロック転送モードで実現可能
転送単位	1 データ : 8/16 ビットから選択	1 データ : 8/16/32 ビットから選択可能 ブロックサイズ : 1~1024 データを設定可能
最大転送回数	65536 回	65535 回
転送要求	<ul style="list-style-type: none"> 内蔵周辺 I/O からの割り込みによる要求 ソフトウェア・トリガによる要求 	周辺モジュールからの割り込み要求 外部割り込み入力端子へのトリガ入力 ソフトウェアトリガ
転送対象	<ul style="list-style-type: none"> 内蔵メモリ ↔ 内蔵周辺 I/O 内蔵周辺 I/O ↔ 内蔵周辺 I/O 	予約領域を除く全領域が対象

2.14 割り込み／例外処理機能

2.14.1 仕様比較

V850E/lx3 グループに搭載された割り込み／例外処理機能に対応する RA4M3 グループの割り込みコントローラ(ICU)／例外処理の仕様を表 2.19 に示します。

表 2.19 割り込み／例外処理機能の対応

項目	V850E/lx3	RA4M3
	割り込み／例外処理機能	ICU／例外処理
割り込み	ノンマスクابل割り込み：1 要因 ・ウォッチドッグ・タイマのオーバフロー	ノンマスクابل割り込み：11 要因 ・NMI 端子割り込み ・WDT アンダフロー/リフレッシュエラー ^(注1) ・IWDT アンダフロー/リフレッシュエラー ^(注1) ・低電圧検出 1 ^(注1) ・低電圧検出 2 ^(注1) ・SRAM パリティエラー ・SRAM ECC エラー ・TrustZone フィルタエラー ・キャッシュ RAM パリティエラー ・発振停止検出割り込み ^(注1) ・バスマスタ MPU エラー
	マスクابل割り込み ・外部：21 要因 ・内蔵周辺機能割り込み	マスクابل割り込み ・外部端子割り込み：16 要因 ・周辺機能割り込み ・ソフトウェア割り込み：2 要因
	8 レベルのプログラマブル優先順位制御	16 レベルに設定可能
	外部割り込み要求のノイズ除去 ・アナログ・フィルタによるノイズ除去回路：INTP0-13,17,18, INTADT0,1(INTP02-07 は IG3 のみ) ・デジタル・ノイズ除去回路：INTP14-16 - サンプリング回数：3 回 - サンプリング・クロック：fxx/4, fxx/16, fxx/64, fxx/128, fxx/256, fxx/512 から選択	外部割り込み要求端子のノイズ除去 ・デジタルフィルタ：NMI, IRQ0-15 デジタルフィルタ有効／無効選択可能 - 3 回連続でレベルが一致する入力のみ通過 - サンプリング周波数：PCLKB, PCLKB/8, PCLKB/32, PCLKB/64
	外部割り込み要求の有効エッジ指定：INTP00-18, INTADT0,1 ・立ち上がりエッジ ・立ち下がりエッジ ・両エッジ	外部割り込み要求端子の割り込み検出を設定可能 ・Low レベル(IRQ0-15) ・立ち下がりエッジ(NMI, IRQ0-15) ・立ち上がりエッジ(NMI, IRQ0-15) ・両エッジ(IRQ0-15)
例外	ソフトウェア例外 ・32 要因	SVC 命令によるソフトウェア例外の発生が可能
	例外トラップ：2 要因(不正命令コード例外, デバッグ・トラップ)	未定義命令例外で実現可能

注1. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。

2.14.2 注意事項

2.14.2.1 ノンマスクابل割り込み使用時の WFI 命令

RA4M3 グループでは WFI 命令を実行する場合、ノンマスクابل割り込みステータスレジスタ(NMISR)のすべてのステータスフラグが“0”であることを確認した後で行ってください。

2.15 スタンバイ機能

2.15.1 仕様比較

V850E/lx3 グループに搭載されたスタンバイ機能に対応する RA4M3 グループの消費電力低減機能の仕様を表 2.20 に示します。

表 2.20 スタンバイ機能の対応

項目	V850E/lx3 スタンバイ機能	RA4M3 消費電力低減機能
HALT モード	<p>CPU の動作クロックのみを停止させるモード</p> <p><解除要因></p> <ul style="list-style-type: none"> ・ノンマスクابل割り込み要求信号(INTWDT) ・マスクされていないマスクابل割り込み要求信号 ・リセット信号(RESET 端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号発生, 低電圧検出回路によるリセット信号発生, パワーオン・クリア回路によるリセット信号発生) 	<p>スリープモードで実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・割り込み ・リセット(RES 端子リセット, パワーオンリセット, 電圧監視リセット, SRAM パリティエラーリセット, SRAM ECC エラーリセット, バスマスタ MPU エラーリセット, TrustZone エラーリセット, IWDT または WDT アンダフローによるリセット)
IDLE モード	<p>発振回路以外の内部回路の動作をすべて停止させるモード</p> <p>ただし、PLL, スレーブ・モード時の CSIB, クロック・モニタ, 低電圧検出回路, パワーオン・クリア回路は動作可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・マスクされていない外部割り込み要求信号(INTn 端子) (n = P00-13,17,18, ADT0-1) ・IDLE モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時の CSIB 関連割り込み要求信号) ・リセット信号(RESET 端子入力, 低電圧検出回路によるリセット信号発生, パワーオン・クリア回路によるリセット信号発生) 	<p>スリープモードとモジュールストップ機能で実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・割り込み ・リセット(RES 端子リセット, パワーオンリセット, 電圧監視リセット, SRAM パリティエラーリセット, SRAM ECC エラーリセット, バスマスタ MPU エラーリセット, TrustZone エラーリセット, IWDT または WDT アンダフローによるリセット)
STOP モード	<p>内部回路の動作をすべて停止させるモード</p> <p>ただし、スレーブ・モード時の CSIB, 低電圧検出回路, パワーオン・クリア回路は動作可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・マスクされていない外部割り込み要求信号(INTn 端子) (n = P00-13,17,18, ADT0-1) ・STOP モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時の CSIB 関連割り込み要求信号) ・リセット信号(RESET 端子入力, 低電圧検出回路によるリセット信号発生, パワーオン・クリア回路によるリセット信号発生) 	<p>ソフトウェアスタンバイモードとスヌーズモードにより実現可能</p> <p><解除要因></p> <ul style="list-style-type: none"> ・外部端子割り込み(NMI, IRQ0-15) ・周辺機能割り込み(RTC アラーム, RTC 周期, IWDT, USBFS サスペンド/レジューム, 電圧監視 1, 電圧監視 2, AGT1, AGT3, IIC ウェイクアップ) ・リセット(RES#端子リセット, パワーオンリセット, 電圧監視リセット, 独立ウォッチドッグタイマリセット)

表 2.21 各モード遷移時の動作状態

機能	V850E/lx3			RA4M3			
	HALT モード	IDLE モード	STOP モード	スリープ モード	ソフトウェア スタンバイ モード	スヌーズ モード	ディープ ソフトウェア スタンバイ モード
メインクロック	○	注 1	×	○	×	○	×
CPU	×	×	×	×(保持)	×(保持)	×(保持)	×(不定)
DMA(DTC)	○	×	×	○	×(保持)	○	×(不定)
外部バス・ インターフェース	○	注 2	注 2	-	-	-	-
割り込み コントローラ	○	×	×	○	○	○	×
ウォッチドック	○	×	×	○(注 4)	○(注 4)(注 5)	○(注 4)(注 5)	×(不定)
AD コンバータ	○	×	×	○	×(保持)	○	×(不定)
クロックモニタ/ 発振停止検出機能	○	×	×	○	×	×	×
低電圧検出	○	○	○	○	○	○	○
パワーオンクリア	○	○	○	○	○	○	○
ポート	○	保持	保持	○	保持	○	保持
シリアル インタフェース	○	注 3	注 3	○	×(保持)	○(注 6)	×(不定)
RAM	保持	保持	保持	○	×(保持)	○	×(不定)
レジスタ	保持	保持	保持	保持	保持	保持	不定

○：動作可能、×：動作停止、-：相当する機能なし

保持は、内部レジスタ値保持、内部状態は動作中断を示します。

不定は内部レジスタ値不定、内部状態は電源オフを示します。

注1. 発振は継続していますが、供給は停止します。

注2. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-A のみ端子があります。

注3. CSIB0-CSIB2 のみカウント・クロックに SCKBn 入力クロック選択時（スレーブ・モード時）、動作可能。

注4. IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット(OFS0.IWDTSTPCTL)の設定により、動作/停止を選択することができます。WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット(OFS0.1WDTSTPCTL)の設定により、動作/停止を選択することができます。動作周波数に応じて適切な動作電力制御モードを選択することにより、通常動作時およびスリープモード時の消費電力を削減することができます。

注5. IWDT のみ、WDT は動作停止。

注6. SCI0 の調歩同期式モードのみ。

2.16 低電圧検出回路

2.16.1 仕様比較

V850E/lx3 グループに搭載された低電圧検出回路に対応する RA4M3 グループの低電圧検出回路(LVD) の仕様を表 2.22 に示します。

表 2.22 低電圧検出回路の対応

項目	V850E/lx3	RA4M3	
	低電圧検出回路	LVD の電圧監視 1	LVD の電圧監視 2
電圧検出時の動作	割り込み要求信号、またはリセット信号を発生 ・電源電圧<検出電圧時、電源電圧>検出電圧時にマスクブル割り込みを発生 ・電源電圧<検出電圧時に内部リセット信号を発生 ^(注1)	電圧監視 1 割り込み、または電圧監視 1 リセットを発生 ^(注2) ・Vdet1>VCC, VCC>Vdet1 の両方、またはどちらかで割り込み要求 ・Vdet1>VCC でリセット	電圧監視 2 割り込み、または電圧監視 2 リセットを発生 ^(注2) ・Vdet2>VCC, VCC>Vdet2 の両方、またはどちらかで割り込み要求 ・Vdet2>VCC でリセット
検出電圧(typ.)	ソフトウェアにより 2 段階に変更可能 ^(注3) ・4.4V ・4.2V	LVLDLVLRLVD1LVL[4:0]ビットで 3 レベルから選択可能 ^(注3) ・2.99V ・2.92V ・2.85V	LVLDLVLRLVD2LVL[3:0]ビットで 3 レベルから選択可能 ^(注3) ・2.99V ・2.92V ・2.85V
スタンバイ機能使用時の動作	STOP モード時も動作可能	ディープソフトウェアスタンバイモード時も動作可能	ディープソフトウェアスタンバイモード時も動作可能
検出フラグ	低電圧検出フラグをセット	電圧監視 1 リセット検出フラグをセット	電圧監視 2 リセット検出フラグをセット

注1. 動作許可かつ、動作モードを「電源電圧<検出電圧時に内部リセット信号を発生」に設定した場合、低電圧検出回路によるリセット以外のリセット要求が発生するまで低電圧検出回路(LVI)は停止できません。

注2. フラッシュメモリの書き込みまたは削除中は電圧監視 1,2 リセットおよび、電圧監視 1,2 ノンマスクブル割り込みを発生させないでください。

注3. 検出電圧レンジの詳細は V850E/IF3, V850E/IG3 32 ビット・シングルチップ・マイクロコントローラハードウェア編ユーザーズマニュアル「28.1.14 低電圧検出回路 (LVI)」、「28.2.14 低電圧検出回路 (LVI)」、RA4M3 グループユーザーズマニュアル ハードウェア編「37.8 パワーオンリセット回路、電圧検出回路特性」を参照してください。

2.16.2 注意事項

2.16.2.1 動作開始時の注意事項

V850E/lx3 グループでは低電圧検出の動作を許可後、ソフトウェアウェイトにて 0.1ms 以上間隔を空けてから低電圧検出フラグを確認する必要があります。RA4M3 グループではソフトウェアウェイトを入れる必要はありません。詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「7. 低電圧検出回路 (LVD)」を参照してください。

2.16.2.2 再度電圧検出を設定する際の注意事項

RA4M3 では 1 度電圧検出を行った後、再度電圧監視 1,2 割り込み/リセットを許可する場合、PCLKB2 サイクル以上経過してから行ってください。詳細は RA4M3 グループユーザーズマニュアル ハードウェア編「7. 低電圧検出回路(LVD)」を参照してください。

2.17 パワーオン・クリア回路

2.17.1 仕様比較

V850E/lx3 に搭載されたパワーオン・クリア回路に対応する RA4M3 グループのパワーオンリセット回路、および低電圧検出回路(LVD)の電圧監視 0 の仕様を表 2.23 に示します。

表 2.23 パワーオン・クリア回路の対応

項目	V850E/lx3	RA4M3	
	パワーオン・クリア回路	パワーオンリセット回路	LVD の電圧監視 0
電圧検出時の動作	リセットを発生 ・電源投入時 ・電源電圧<検出電圧になったとき	パワーオンリセットを発生 ・RES 端子を High にした状態で、電源を投入した場合 ・RES 端子を High にした状態で、VCC 電圧が VPOR 電圧より低下した場合	電圧監視 0 リセットを発生 ・下降して Vdet0 を通過した場合
検出電圧(typ.)	3.7V	2.6V DPSBYCR.DEEPCUT[1:0] = 11b の場合は 2.25V	OFS1 レジスタで 3 レベルから選択可能 ・ 2.94V ・ 2.87V ・ 2.80V

検出電圧レンジの詳細は V850E/IF3, V850E/IG3 32 ビット・シングルチップ・マイクロコントローラハードウェア編ユーザーズマニュアル「28.1.13 パワーオン・クリア回路 (POC)」、「28.2.13 パワーオン・クリア回路 (POC)」、RA4M3 グループユーザーズマニュアル ハードウェア編「47.9 POR/LVD 特性」を参照してください。

3. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RA4M3 グループユーザーズマニュアルハードウェア編 (R01UH0893)

V850E/IF3, V850E/IG3 32 ビット・シングルチップ・マイクロコントローラハードウェア編

ユーザーズマニュアル (U18279JJ3V0UD00)

(最新版をルネサス エレクトロニクスホームページから入手してください)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

Renesas Flexible Software Package (FSP) User's Manual (R11UM0155EU)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.24.23	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。