

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-R8C-A056B/J	Rev.	第2版
題名	ユーザーズマニュアルの内容訂正		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料		
		—			

下記適用製品において、ユーザーズマニュアル ハードウェア編に記載の内容を訂正します。なお、「適用製品」項で示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

1-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/LA3A グループ	R01UH0024JJ0100 (Rev.1.00)	Page 317 of 586

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

1-2. 訂正内容

20.2 レジスタの説明

20.2.1 モジュールスタンバイ制御レジスタ1 (MSTCR1)

アドレス 0010h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTTRJ1	MSTTRJ0	MSTTRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRH	タイマRHスタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b4	MSTTRJ1	タイマRJ1スタンバイビット(注6)	0: アクティブ 1: スタンバイ(注5)	R/W
b5	—	予約ビット	"0" にしてください	R/W
b6	—			
b7	—			

注1. MSTTRB0 ビットが "1" (スタンバイ) のとき、タイマRB0 関連レジスタ (0108h ~ 010Eh 番地) へのアクセスは無効になります。

注2. MSTTRB1 ビットが "1" (スタンバイ) のとき、タイマRB1 関連レジスタ (0098h ~ 009Eh 番地) へのアクセスは無効になります。

注3. MSTTRH ビットが "1" (スタンバイ) のとき、タイマRH 関連レジスタ (0110h ~ 011Fh 番地) へのアクセスは無効になります。

注4. MSTTRJ0 ビットが "1" (スタンバイ) のとき、タイマRJ0 関連レジスタ (0080h ~ 0086h 番地) へのアクセスは無効になります。

注5. MSTTRJ1 ビットが "1" (スタンバイ) のとき、タイマRJ1 関連レジスタ (0088h ~ 008Eh 番地) へのアクセスは無効になります。

注6. R8C/LA3A グループは、MSTTRJ1 ビットを "1" (スタンバイ) にしてください。

↓
削除

2-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/LA6A グループ	R01UH0051JJ0103 (Rev.1.03)	Page 331 of 653

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

2-2. 訂正内容

20.2 レジスタの説明

20.2.1 モジュールスタンバイ制御レジスタ 1(MSTCR1)

アドレス 0010h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRJ2	MSTTRJ1	MSTTRJ0	MSTTRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0：アクティブ 1：スタンバイ(注2)	R/W
b2	MSTTRH	タイマRHスタンバイビット	0：アクティブ 1：スタンバイ(注3)	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b4	MSTTRJ1	タイマRJ1スタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b5	MSTTRJ2	タイマRJ2スタンバイビット	0：アクティブ 1：スタンバイ(注6)	R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			

- 注1. MSTTRB0 ビットが "1" (スタンバイ) のとき、タイマRB0 関連レジスタ (0108h ~ 010Eh 番地) へのアクセスは無効になります。
- 注2. MSTTRB1 ビットが "1" (スタンバイ) のとき、タイマRB1 関連レジスタ (0098h ~ 009Eh 番地) へのアクセスは無効になります。
- 注3. MSTTRH ビットが "1" (スタンバイ) のとき、タイマRH 関連レジスタ (0110h ~ 011Fh 番地) へのアクセスは無効になります。
- 注4. MSTTRJ0 ビットが "1" (スタンバイ) のとき、タイマRJ0 関連レジスタ (0080h ~ 0086h 番地) へのアクセスは無効になります。
- 注5. MSTTRJ1 ビットが "1" (スタンバイ) のとき、タイマRJ1 関連レジスタ (0088h ~ 008Eh 番地) へのアクセスは無効になります。
- 注6. MSTTRJ2 ビットが "1" (スタンバイ) のとき、タイマRJ2 関連レジスタ (0090h ~ 0096h 番地) へのアクセスは無効になります。

以下注意事項を追加します。

R8C/LA6A グループはタイマ RJ2 を使用できません。MSTTRJ2 ビットが "0" (アクティブ) の状態でタイマ RJ2 関連レジスタにアクセスしないでください。

3-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/36C グループ	R01UH0095JJ0110 (Rev.1.10)	Page 131, 132 of 809
R8C/38C グループ	R01UH0094JJ0110 (Rev.1.10)	Page 138, 139 of 814
R8C/34U、34K グループ	R01UH0245JJ0100 (Rev.1.00)	Page 120 of 722
R8C/3MU、3MK グループ	R01UH0244JJ0100 (Rev.1.00)	Page 117 of 702

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

3-2. 訂正内容(R8C/36C グループの例)

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	"0" にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	ポート/XCIN-XCOUT切り替えビット(注5、6)	0: 入出力ポートP4_3、P4_4 1: XCIN、XCOUT端子(注7)	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XIN、XCINクロック選択ビット(注8)	0: XINクロック 1: XCINクロック	R/W

- 注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
 (1) OCDレジスタのOCD1~OCD0ビットを"00b"にする。
 (2) OCD2ビットを"1" (オンチップオシレータクロック選択)にする。
- 注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
- 注3. CM05ビットが"1" (XINクロック停止)かつCM1レジスタのCM13ビットが"0" (P4_6、P4_7)の場合のみ、P4_6、P4_7は入出力ポートとして使用できます。
 P4_6端子はXIN端子と、P4_7端子はXCOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
- 注4. ストップモードへの移行時、CM06ビットは"1" (8分周モード)になります。
- 注5. 入出力ポートとして使用する場合は、CM04ビットを"0" (入出力ポート)、CM03ビットを"1" (XCINクロック停止)にしてください。
 外部クロック入力として使用する場合は、CM04ビットを"1" (XCIN-XCOUT端子)、CM03ビットを"1" (XCINクロック停止)、CM1レジスタのCM12ビットを"1" (内部拂選抵抗無効)にしてください。さらに、PD4レジスタのPD4_3ビットを"0" (入力モード)にすると外部クロックを入力できます。このとき、XCINは入出力ポートP4_4として設定してください。使用しない場合は、未使用端子の処理をしてください。
 P4_3端子はXCIN端子と、P4_4端子はXCOUT端子と兼用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。

(以下、注意事項省略)

このとき XCOUT 端子は開放にしてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、7)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5、6)	0: 入出力ポートP4_6、P4_7 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	"1" にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7/b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0 レジスタのCM05ビットを“1”(XINクロック停止)にしてください。
外部クロック入力として使用する場合は、CM13ビットを“1”(XIN-XOUT端子)、CM05ビットを“1”(XINクロック停止)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD4レジスタのPD4_7ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XINは入出力ポートP4_6として設定してください。使用しない場合は、未使用端子の処理をしてください。P4_6端子はXIN端子と、P4_7端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。
- 注6. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。
- 注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

このとき XIN 端子は開放にしてください。

4-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/L35A、L35B グループ、 R8C/L36A、L36B グループ、 R8C/L38A、L38B グループ、 R8C/L3AA、L3AB グループ	RJJ09B0461-0100 (Rev.1.00)	Page 114 of 808

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

4-2. 訂正内容

8.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注4、5)	0: 入出力ポートP12_0、P12_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	"1" にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM05レジスタのCM05ビットを“1”(XINクロック停止)、CM07ビットを“1”(XCINクロック)にしてください。
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“1”(XINクロック発振)、CM07ビットを“0”(XINクロック)にしてください。さらに、PD12レジスタのPD12_0ビットが“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP12_1として使用できます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらI/Oポートとして使用できません。
- 注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

↓

停止

5-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/33M グループ	R01UH0132JJ0100 (Rev.1.00)	Page 134 of 617

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

5-2. 訂正内容(R8C/33M グループの例)

(誤)

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b2	PRC2	予約ビット	"0" にしてください	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b4	—	予約ビット	"0" にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. PRC0、PRC1、PRC3 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んでも "0" になりませんので、プログラムで "0" にしてください。

(正)

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b2	PRC2	プロテクトビット2	PD0 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b4	—	予約ビット	"0" にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. PRC2 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込むと "0" になります。PRC2 ビットで保護されるレジスタは、PRC2 ビットを "1" にした次の命令で変更してください。なお、PRC2 ビットを "1" にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。
注2. PRC0、PRC1、PRC3 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んでも "0" になりませんので、プログラムで "0" にしてください。

適用製品において、PRC2 ビットは予約ビットでは無くプロテクトビット2の機能を持ちます。また、注1、注2が該当します。

6-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/33A グループ	RJJ09B0482-0020 (Rev.0.20)	Page 134 of 607
R8C/35A グループ	RJJ09B0440-0040 (Rev.0.40)	Page 151 of 752
R8C/36A グループ	RJJ09B0512-0020 (Rev.0.20)	Page 158 of 810
R8C/38A グループ	RJJ09B0517-0010 (Rev.0.10)	Page 165 of 817
R8C/3GA グループ	RJJ09B0501-0020 (Rev.0.20)	Page 128 of 594
R8C/3JA グループ	RJJ09B0540-0100 (Rev.1.00)	Page 141 of 741
R8C/34M グループ	R01UH0131JJ0100 (Rev.1.00)	Page 149 of 760
R8C/35M グループ	R01UH0130JJ0100 (Rev.1.00)	Page 152 of 764

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

6-2. 訂正内容(R8C/33A グループの例)

(誤)

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0, CM1, CM3, OCD, FRA0, FRA1, FRA2, FRA3レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	PM0, PM1レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR, VCA2, VD1LS, VW0C, VW1C, VW2Cレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b4	—	予約ビット	"0" にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. PRC2 ビットは "1" を書いた後、任意の番地に書き込みを実行すると、"0" になります。他のビットは "0" になりませんので、プログラムで "0" にしてください。

(正)

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0, CM1, CM3, OCD, FRA0, FRA1, FRA2, FRA3レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注2)	R/W
b1	PRC1	プロテクトビット1	PM0, PM1レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注2)	R/W
b2	PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR, VCA2, VD1LS, VW0C, VW1C, VW2Cレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注2)	R/W
b4	—	予約ビット	"0" にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. PRC2 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込むと "0" になります。PRC2 ビットで保護されるレジスタは、PRC2 ビットを "1" にした次の命令で変更してください。なお、PRC2 ビットを "1" にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。
注2. PRC0, PRC1, PRC3 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んでも "0" になりませんので、プログラムで "0" にしてください。

適用製品において、注1、注2が該当します。

7-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/L35A、L35B グループ、 R8C/L36A、L36B グループ、 R8C/L38A、L38B グループ、 R8C/L3AA、L3AB グループ	RJJ09B0461-0100 (Rev.1.00)	Page 91 of 808
R8C/L35C、L36 C グループ、 R8C/L38 C、L3A C グループ	R01UH0151JJ0101 (Rev.1.01)	Page 107 of 849
R8C/L35M、L36 M グループ、 R8C/L38 M、L3A M グループ	R01UH0110JJ0100 (Rev.1.00)	Page 107 of 870

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

7-2. 訂正内容(R8C/L38C グループの例)

表 7.9 ポートP3

端子	レジスタ	PD3	LSE3	INTSR	INTEN	INTEN1	ADMOD	TRBRC8R	TRCMR	TRCCR2	機能			
	ビット	PD3J	LSEH24	INTSEL0	INTIEN	INTIEN1	ADCAP0	TRCTR0 SEL1	TRCTR0 SEL0	PWM2		TCEG1	TCEG0	
ポートP3_0 SEG24 INT0	I=0	0	0	X	X	—	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	X	—	—	—	—	—	—	—	出力ポート	
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG24)
		0	0	0	1	—	—	—	—	—	—	—	—	INT0入力(注1)
ポートP3_1 SEG25 INT1	I=1	0	0	X	X	—	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	X	—	—	—	—	—	—	—	出力ポート	
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG25)
		0	0	0	1	—	—	—	—	—	—	—	—	INT1入力(注1)
ポートP3_2 SEG26 INT2	I=2	0	0	X	X	—	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	X	—	—	—	—	—	—	—	出力ポート	
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG26)
		0	0	0	1	—	—	—	—	—	—	—	—	INT2入力(注1)
ポートP3_3 SEG27 INT3	I=3	0	0	X	X	—	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	X	—	—	—	—	—	—	—	出力ポート	
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG27)
		0	0	0	1	—	—	—	—	—	—	—	—	INT3入力(注1)
ポートP3_4 SEG28 INT4	I=4	0	0	X	—	X	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	—	X	—	—	—	—	—	—	出力ポート	
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG28)
		0	0	0	—	1	—	—	—	—	—	—	—	INT4入力(注1)
ポートP3_5 SEG29 INT5	I=5	0	0	X	—	X	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	—	X	—	—	—	—	—	—	出力ポート	
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG29)
		0	0	0	—	1	—	—	—	—	—	—	—	INT5入力(注1)
ポートP3_6 SEG30 INT6	I=6	0	0	X	—	X	—	—	—	—	—	—	入力ポート(注1)	
		1	0	X	—	X	—	—	—	—	—	—	出力ポート	
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG30)
		0	0	0	—	1	—	—	—	—	—	—	—	INT6入力(注1)
ポートP3_7 SEG31 INT7 ADTRG TRCTR0	I=7	0	0	X	—	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	X	—	X	X	X	X	X	X	X	出力ポート	
		X	1	X	—	1	X	X	X	X	X	X	X	LCD駆動制御出力(SEG31)
		0	0	0	—	—	X	X	X	X	X	X	X	INT7入力(注1)
		0	0	0	—	—	1	1	X	X	X	X	X	ADTRG入力(注1)
0	0	X	—	—	X	X	0	1	0	0	1	PWM2モード TRCTR0 入力(注1)		

X: "0" または "1", —: 関係しない
注1. P3PURレジスタの対応するビットを "1" にすると、プルアップありとなります。



8-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/LA3A、LA5A グループ	R01UH0024JJ0100 (Rev.1.00)	Page 84 of 586

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

8-2. 訂正内容

表7.10 P0_5/SEG5/SSI

レジスタ ビット	P00	LSE0	SSUICSR		SSU関連レジスタ	機能
	P00_5	LSE05	SSISEL0	IICSEL		
端子	P0_5	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG5	0	0	X	X	シンクロナスシリアルコミュニケーションユニット LCD駆動制御出力 (「表 23.4 通信モードと入出力端子の関係」)参照。
				1	0	SSI入力(注1)
				1	0	SSI出力(注2)

X: "0" または "1"

注1. POPURレジスタのPL05ビットを"1"にするとプルアップありとなります。

注2. SSMR2レジスタのSS05ビットを"1"(Nチャネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャネルオープンドレイン出力となります。



9-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/32M グループ	R01UH0133JJ0100 (Rev.1.00)	Page 458 of 605
R8C/33M グループ	R01UH0132JJ0100 (Rev.1.00)	Page 467 of 617
R8C/34M グループ	R01UH0131JJ0100 (Rev.1.00)	Page 600 of 760
R8C/35M グループ	R01UH0130JJ0100 (Rev.1.00)	Page 603 of 764
R8C/36M グループ	R01UH0259JJ0101 (Rev.1.01)	Page 663 of 825
R8C/38M グループ	R01UH0258JJ0100 (Rev.1.00)	Page 669 of 831
R8C/3GM グループ	R01UH0284JJ0100 (Rev.1.00)	Page 449 of 598
R8C/3JM グループ	R01UH0285JJ0100 (Rev.1.00)	Page 594 of 754
R8C/33T グループ	R01UH0156JJ0110 (Rev.1.10)	Page 395 of 539
R8C/3JT グループ	R01UH0154JJ0100 (Rev.1.00)	Page 396 of 540
R8C/3NT グループ	R01UH0087JJ0100 (Rev.1.00)	Page 460 of 615
R8C/L35C、L36 C グループ、 R8C/L38 C、L3A C グループ	R01UH0151JJ0101 (Rev.1.01)	Page 664 of 849
R8C/L35M、L36 M グループ、 R8C/L38 M、L3A M グループ	R01UH0110JJ0100 (Rev.1.00)	Page 668 of 870
R8C/LA3A、LA5A グループ	R01UH0024JJ0100 (Rev.1.00)	Page 438 of 586

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

9-2. 訂正内容(R8C/35M グループの例)

28.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、6、7)	R/W
b1	—	予約ビット	"0" にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0: A/D動作停止(スタンバイ)(注4) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット (注5、7)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット (注5)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

- 注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFCR レジスタの OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。
- 注2. 単播引モード、繰り返し播引モードでは設定しないでください。
- 注3. ADSTBY ビットを "0" (A/D動作停止) から "1" (A/D動作可能) にしたときは、φAD の1サイクル以上経過した後にA/D変換を開始してください。
- 注4. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが "1" (スタンバイ) のとき、A/D関連レジスタ (00C0h ~ 00CFh、00D4h ~ 00D7h 番地) へのアクセスは無効になります。
- 注5. A/D断線検出アシスト機能を許可にするためには、ADDDAEN ビットを "1" (許可) にした後、ADDDAEL ビットで変換開始状態を選択してください。
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。
- 注6. チップ内蔵基準電圧を使用する場合 (ADEX0=1)、ADINSEL レジスタの CH2~CH0 ビットを "000b" にしてください。
- 注7. チップ内蔵基準電圧を使用する場合 (ADEX0=1)、ADDDAEN ビットを "0" (A/D断線検出アシスト機能を禁止) にしてください。

ADSTBY ビットが "0" (スタンバイ) のとき

10-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/35C グループ	RJJ09B0602-0100 (Rev.1.00)	Page 339 of 744

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

10-2. 訂正内容

20.4.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペアー一致時にA/Dトリガ発生	R/W

TRDGRA0 レジスタ

11-1. 適用製品

適用製品	該当ユーザーズマニュアル	該当ページ
R8C/35A グループ	RJJ09B0440-0040 (Rev.0.40)	Page 387 of 752
R8C/36A グループ	RJJ09B0512-0020 (Rev.0.20)	Page 395 of 810
R8C/38A グループ	RJJ09B0517-0010 (Rev.0.10)	Page 402 of 817
R8C/3JA グループ	RJJ09B0540-0100 (Rev.1.00)	Page 377 of 741

表中に示した該当ページ以外にも説明がある場合、同様に記載の内容を訂正します。

11-2. 訂正内容(R8C/35A グループの例)

(誤)

20.7.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペアー一致時にA/Dトリガ発生	R/W

(正)

20.7.3 タイマRDトリガ制御レジスタ (TRDADCR)[相補PWMモード時]

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	相補PWMモードでは、“0” にしてください	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペアー一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペアー一致時にA/Dトリガ発生	R/W