

# R8C/M13B グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ  
R8Cファミリ / R8C/Mxシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイクロコンピュータのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイクロコンピュータを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用する場合は、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意事項で構成されています。

本マイクロコンピュータは、注意事項を十分に確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して、訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細はこのマニュアルの本文で確認してください。

R8C/M13B グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/M13Bグループ データシート	R01DS0005JJ0100
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/M13Bグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメントなどに関する速報		

## 2. 数や記号の表記

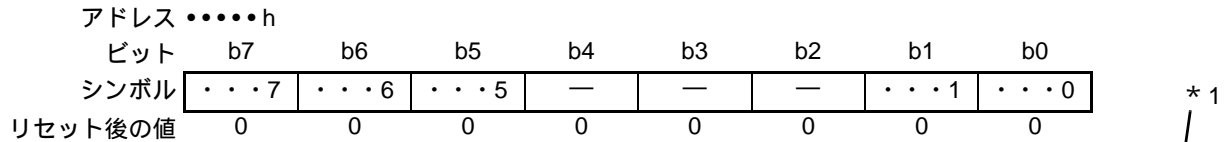
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名  
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。  
(例) PM0 レジスタのSRSTビット  
P3\_5 端子、VCC 端子
- (2) 数の表記  
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。  
(例) 2進数 : 11b  
16進数 : EFA0h  
10進数 : 1234

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X . . . . レジスタ(シンボル)



ビット	シンボル	ビット名	機能	R/W
b0	. . . . 0	. . . . ビット	b1 b0 00 : . . . . 01 : . . . . 10 : 設定しないでください 11 : . . . .	R/W R/W R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	0にしてください	W
b4	—			
b5	. . . . 5	. . . . ビット	動作モードによって機能が異なる	R/W
b6	. . . . 6			R/W
b7	. . . . 7	. . . . ビット	0 : . . . . 1 : . . . .	R

\* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

\* 2

- 予約ビット  
予約ビットです。指定された値にしてください。

\* 3

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は0を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

#### 4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

# 目次

SFR ページ早見表 .....	B - 1
1. 概要 .....	1
1.1 特長 .....	1
1.1.1 用途 .....	1
1.1.2 仕様概要 .....	2
1.2 製品一覧 .....	4
1.3 ブロック図 .....	5
1.4 ピン配置図 .....	6
1.5 端子機能の説明 .....	8
2. 中央演算処理装置 (CPU) .....	10
2.1 データレジスタ (R0、R1、R2、R3) .....	11
2.2 アドレスレジスタ (A0、A1) .....	11
2.3 フレームベースレジスタ (FB) .....	11
2.4 割り込みテーブルレジスタ (INTB) .....	11
2.5 プログラムカウンタ (PC) .....	11
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) .....	11
2.7 スタティックベースレジスタ (SB) .....	11
2.8 フラグレジスタ (FLG) .....	11
2.8.1 キャリフラグ (Cフラグ) .....	11
2.8.2 デバッグフラグ (Dフラグ) .....	11
2.8.3 ゼロフラグ (Zフラグ) .....	11
2.8.4 サインフラグ (Sフラグ) .....	11
2.8.5 レジスタバンク指定フラグ (Bフラグ) .....	11
2.8.6 オーバフローフラグ (Oフラグ) .....	12
2.8.7 割り込み許可フラグ (Iフラグ) .....	12
2.8.8 スタックポインタ指定フラグ (Uフラグ) .....	12
2.8.9 プロセッサ割り込み優先レベル (IPL) .....	12
2.8.10 予約ビット .....	12
3. アドレス空間 .....	13
3.1 メモリマップ .....	13
3.2 SFR .....	14
4. バス制御 .....	23
5. システム制御 .....	24
5.1 概要 .....	24
5.2 レジスタの説明 .....	24
5.2.1 プロセッサモードレジスタ 0 (PM0) .....	25
5.2.2 モジュールスタンバイ制御レジスタ (MSTCR) .....	26
5.2.3 プロテクトレジスタ (PRCR) .....	27
5.2.4 ハードウェアリセットプロテクトレジスタ (HRPR) .....	27
5.2.5 モジュールスタンバイ制御レジスタ 1 (MSTCR1) .....	28
5.2.6 リセット要因判別レジスタ (RSTFR) .....	28
5.2.7 オプション機能選択レジスタ 2 (OFS2) .....	30
5.2.8 オプション機能選択レジスタ (OFS) .....	31
5.3 IDコードチェック機能 .....	32



5.4	レジスタアクセスプロテクト機能	32
5.5	オプション機能	33
5.6	システム制御使用上の注意事項	34
5.6.1	オプション機能選択領域の設定例	34
6.	リセット	35
6.1	概要	35
6.2	レジスタの説明	36
6.2.1	プロセッサモードレジスタ0 (PM0)	36
6.2.2	リセット要因判別レジスタ (RSTFR)	37
6.2.3	オプション機能選択レジスタ2 (OFS2)	39
6.2.4	オプション機能選択レジスタ (OFS)	40
6.3	動作説明	41
6.3.1	リセットシーケンス	41
6.3.2	ハードウェアリセット	42
6.3.3	パワーオンリセット	43
6.3.4	電圧監視0リセット	44
6.3.5	ウォッチドッグタイマリセット	45
6.3.6	ソフトウェアリセット	45
6.3.7	コールドスタート/ウォームスタート判定機能	45
6.3.8	リセット要因判別機能	46
6.4	リセット時の状態	47
6.4.1	RESET 端子のレベルがLの期間の端子の状態	47
6.4.2	リセット後のCPUレジスタの状態	48
7.	電圧検出回路	49
7.1	概要	49
7.2	レジスタの説明	52
7.2.1	電圧監視回路エッジ選択レジスタ (VCAC)	52
7.2.2	電圧検出レジスタ2 (VCA2)	53
7.2.3	電圧検出1レベル選択レジスタ (VD1LS)	54
7.2.4	電圧監視0回路制御レジスタ (VW0C)	55
7.2.5	電圧監視1回路制御レジスタ (VW1C)	56
7.3	VCC入力電圧のモニタ	57
7.3.1	Vdet0のモニタ	57
7.3.2	Vdet1のモニタ	57
7.4	電圧監視0リセット	58
7.5	電圧監視1割り込み	59
7.6	電圧検出回路0と1のデジタルフィルタ	61
8.	ウォッチドッグタイマ	62
8.1	概要	62
8.2	レジスタの説明	64
8.2.1	ウォッチドッグタイマ機能レジスタ (RISR)	64
8.2.2	ウォッチドッグタイマリセットレジスタ (WDTR)	65
8.2.3	ウォッチドッグタイマスタートレジスタ (WDTS)	65
8.2.4	ウォッチドッグタイマ制御レジスタ (WDTC)	65
8.2.5	カウントソース保護モードレジスタ (CSPR)	66
8.2.6	周期タイマ割り込み制御レジスタ (WDTIR)	66

8.3	動作説明.....	67
8.3.1	複数モードに関わる共通事項.....	67
8.3.2	カウントソース保護モード無効時.....	68
8.3.3	カウントソース保護モード有効時.....	69
8.3.4	周期タイマ機能.....	70
8.4	ウォッチドッグタイマ使用上の注意事項.....	71
9.	クロック発生回路.....	72
9.1	概要.....	72
9.2	レジスタの説明.....	75
9.2.1	外部クロック制御レジスタ(EXCKCR).....	76
9.2.2	高速/低速オンチップオシレータ制御レジスタ(OCOOCR).....	78
9.2.3	システムクロックf制御レジスタ(SCKCR).....	79
9.2.4	システムクロックf選択レジスタ(PHISEL).....	80
9.2.5	クロック停止制御レジスタ(CKSTPR).....	81
9.2.6	モード復帰時クロック制御レジスタ(CKRSCR).....	82
9.2.7	発振停止検出レジスタ(BAKCR).....	84
9.2.8	高速オンチップオシレータ18.432 MHz制御レジスタ0 (FR18S0).....	85
9.2.9	高速オンチップオシレータ18.432 MHz制御レジスタ1 (FR18S1).....	85
9.2.10	高速オンチップオシレータ制御レジスタ1 (FRV1).....	85
9.2.11	高速オンチップオシレータ制御レジスタ2 (FRV2).....	85
9.3	クロック発振回路の説明.....	86
9.3.1	XINクロック発振回路.....	86
9.3.2	XCINクロック発振回路.....	87
9.3.3	高速オンチップオシレータクロック.....	88
9.3.4	低速オンチップオシレータクロック.....	88
9.4	クロックの説明.....	89
9.4.1	システム基準クロック (fBASE).....	89
9.4.2	システムクロック (f).....	89
9.4.3	CPUクロック (fs).....	89
9.4.4	各種クロック.....	89
9.4.5	プリスケータ.....	90
9.4.6	システム基準クロック切り替えの手順.....	90
9.5	発振停止検出機能.....	93
9.5.1	発振停止検出機能の使用方法.....	93
9.6	クロック発生回路使用上の注意事項.....	94
9.6.1	発振停止検出機能.....	94
9.6.2	発振回路定数.....	94
10.	パワーコントロール.....	95
10.1	概要.....	95
10.2	標準動作モード.....	97
10.2.1	高速クロックモード.....	97
10.2.2	低速クロックモード.....	97
10.2.3	高速オンチップオシレータモード.....	98
10.2.4	低速オンチップオシレータモード.....	98
10.3	ウェイトモード.....	99
10.3.1	周辺機能クロック停止機能.....	99
10.3.2	ウェイトモードへの移行.....	99

10.3.3	ウェイトモード時の端子の状態 .....	99
10.3.4	ウェイトモードからの復帰 .....	100
10.4	ストップモード .....	104
10.4.1	ストップモードへの移行 .....	104
10.4.2	ストップモード時の端子の状態 .....	104
10.4.3	ストップモードからの復帰 .....	104
10.5	消費電力の低減 .....	106
10.5.1	電圧検出回路 .....	106
10.5.2	ポート .....	106
10.5.3	クロック .....	106
10.5.4	ウェイトモード、ストップモード .....	106
10.5.5	周辺機能クロックの停止 .....	106
10.5.6	タイマ .....	106
10.5.7	シリアルインタフェース(UART0/UART1) .....	106
10.5.8	A/Dコンバータ .....	107
10.5.9	IrDA (Infrared Data Association) インタフェース .....	107
10.5.10	内部電源の消費電力低減 .....	108
10.5.11	フラッシュメモリの停止 .....	109
10.5.12	低消費電流リードモード .....	110
10.6	パワーコントロール使用上の注意事項 .....	111
10.6.1	ウェイトモード移行時のプログラム制約 .....	111
10.6.2	ストップモード移行時のプログラム制約 .....	111
11.	割り込み .....	112
11.1	概要 .....	112
11.2	レジスタの説明 .....	114
11.2.1	外部入力許可レジスタ (INTEN) .....	115
11.2.2	INT入力フィルタ選択レジスタ0 (INTF0) .....	115
11.2.3	INT入力エッジ選択レジスタ0 (ISCR0) .....	116
11.2.4	キー入力許可レジスタ (KIEN) .....	117
11.2.5	割り込み優先レベルレジスタ $i$ (ILVLi) ( $i = 0 \sim E$ ) .....	118
11.2.6	割り込みモニタフラグレジスタ0 (IRR0) .....	119
11.2.7	割り込みモニタフラグレジスタ1 (IRR1) .....	119
11.2.8	割り込みモニタフラグレジスタ2 (IRR2) .....	120
11.2.9	外部割り込みフラグレジスタ (IRR3) .....	121
11.2.10	アドレス一致割り込みレジスタ $i$ (AIADR $i$ ) ( $i = 0, 1$ ) .....	122
11.2.11	アドレス一致割り込み許可レジスタ $i$ (AIEN $i$ ) ( $i = 0, 1$ ) .....	122
11.3	割り込みと割り込みベクタ .....	123
11.3.1	固定ベクタテーブル .....	123
11.3.2	可変ベクタテーブル .....	124
11.4	割り込み制御 .....	125
11.4.1	Iフラグ .....	125
11.4.2	IRR0 ~ IRR3レジスタ .....	125
11.4.3	ILVLiレジスタ( $i = 0 \sim E$ )の割り込み優先レベル、IPL .....	127
11.4.4	割り込みシーケンス .....	128
11.4.5	割り込み応答時間 .....	129
11.4.6	割り込み要求受付時のIPLの変化 .....	129
11.4.7	レジスタ退避 .....	130
11.4.8	割り込みルーチンからの復帰 .....	132

11.4.9	割り込み優先順位 .....	132
11.4.10	割り込み優先レベル判定回路 .....	133
11.5	INT割り込み .....	134
11.5.1	INT <sub>i</sub> 割り込み (i = 0 ~ 3) .....	134
11.5.2	INT <sub>i</sub> 入力フィルタ (i = 0 ~ 3) .....	135
11.6	キー入力割り込み .....	136
11.7	アドレス一致割り込み .....	137
11.8	割り込み要因判別方法 .....	138
11.9	割り込み使用上の注意事項 .....	139
11.9.1	00000h番地の読み出し .....	139
11.9.2	SPの設定 .....	139
11.9.3	外部割り込み、キー入力割り込み .....	139
11.9.4	PML <sub>i</sub> (i = 1 ~ 4)、PMH <sub>i</sub> (i = 1, 3, 4)、ISCR <sub>0</sub> 、INTEN、KIENレジスタの書き換え .....	140
11.9.5	ウェイトモードまたはストップモードから標準動作モードへの 復帰時のINT <sub>i</sub> 入力フィルタ .....	141
11.9.6	周辺機能がINT <sub>i</sub> 入力フィルタ (i = 0 ~ 2)を使用する場合の設定手順 .....	142
11.9.7	割り込み優先レベルとフラグレジスタの変更 .....	143
12.	I/Oポート .....	144
12.1	概要 .....	144
12.2	ポート入力レベルの読み出し .....	147
12.2.1	ポート入出力機能制御レジスタ (PINSR) .....	147
12.3	ポート0 .....	148
12.3.1	ポートP0方向レジスタ (PD0) .....	149
12.3.2	ポートP0レジスタ (P0) .....	149
12.3.3	プルアップ制御レジスタ0 (PUR0) .....	150
12.3.4	オープンドレイン制御レジスタ0 (POD0) .....	150
12.3.5	ポート0機能マッピングレジスタ0 (PML0) .....	151
12.3.6	ポート0機能マッピングレジスタ1 (PMH0) .....	152
12.3.7	ポート0の端子設定 .....	153
12.4	ポート1 .....	155
12.4.1	ポートP1方向レジスタ (PD1) .....	156
12.4.2	ポートP1レジスタ (P1) .....	156
12.4.3	プルアップ制御レジスタ1 (PUR1) .....	157
12.4.4	駆動能力制御レジスタ1 (DRR1) .....	157
12.4.5	オープンドレイン制御レジスタ1 (POD1) .....	158
12.4.6	ポート1機能マッピングレジスタ0 (PML1) .....	158
12.4.7	ポート1機能マッピングレジスタ1 (PMH1) .....	159
12.4.8	ポート1機能マッピング拡張レジスタ (PMH1E) .....	160
12.4.9	ポート1の端子設定 .....	161
12.5	ポート2 .....	164
12.5.1	ポートP2方向レジスタ (PD2) .....	165
12.5.2	ポートP2レジスタ (P2) .....	165
12.5.3	プルアップ制御レジスタ2 (PUR2) .....	166
12.5.4	オープンドレイン制御レジスタ2 (POD2) .....	166
12.5.5	ポート2機能マッピングレジスタ0 (PML2) .....	167
12.5.6	ポート2の端子設定 .....	168
12.6	ポート3 .....	169
12.6.1	ポートP3方向レジスタ (PD3) .....	170

12.6.2	ポートP3レジスタ(P3).....	171
12.6.3	プルアップ制御レジスタ3(PUR3).....	172
12.6.4	駆動能力制御レジスタ3(DRR3).....	172
12.6.5	オープンドレイン制御レジスタ3(POD3).....	173
12.6.6	ポート3機能マッピングレジスタ0(PML3).....	173
12.6.7	ポート3機能マッピングレジスタ1(PMH3).....	174
12.6.8	ポート3の端子設定.....	175
12.7	ポート4.....	177
12.7.1	ポートP4方向レジスタ(PD4).....	178
12.7.2	ポートP4レジスタ(P4).....	178
12.7.3	プルアップ制御レジスタ4(PUR4).....	179
12.7.4	オープンドレイン制御レジスタ4(POD4).....	179
12.7.5	ポート4機能マッピングレジスタ0(PML4).....	180
12.7.6	ポート4機能マッピングレジスタ1(PMH4).....	180
12.7.7	ポート4の端子設定.....	181
12.8	ポートA.....	182
12.8.1	ポートPA方向レジスタ(PDA).....	183
12.8.2	ポートPAレジスタ(PA).....	183
12.8.3	ポートPAモード制御レジスタ(PAMCR).....	184
12.8.4	ポートAの端子設定.....	184
12.9	ポート0～4に関連する周辺機能の設定手順.....	185
12.10	周辺機能入出力の端子設定.....	185
12.11	未使用端子の処理.....	186
12.12	I/Oポートの構成.....	187
12.13	I/Oポート使用上の注意事項.....	199
12.13.1	RESET/PA_0端子使用時の注意.....	199
12.13.2	周辺機能の入出力端子について.....	199
13.	タイマRJ2.....	200
13.1	概要.....	200
13.2	入出力端子.....	201
13.3	レジスタの説明.....	202
13.3.1	タイマRJカウンタレジスタ(TRJ)、タイマRJリロードレジスタ.....	202
13.3.2	タイマRJ制御レジスタ(TRJCR).....	203
13.3.3	タイマRJ I/O制御レジスタ(TRJIOC).....	204
13.3.4	タイマRJモードレジスタ(TRJMR).....	206
13.3.5	タイマRJイベント選択レジスタ(TRJISR).....	207
13.3.6	タイマRJ割り込み制御レジスタ(TRJIR).....	207
13.4	動作説明.....	208
13.4.1	リロードレジスタとカウンタの書き換え動作.....	208
13.4.2	タイマモード.....	209
13.4.3	パルス出力モード.....	210
13.4.4	イベントカウンタモード.....	211
13.4.5	パルス幅測定モード.....	212
13.4.6	パルス周期測定モード.....	213
13.4.7	各モード出力設定.....	214
13.5	タイマRJ2使用上の注意事項.....	215

14.	タイマRB2.....	216
14.1	概要.....	216
14.2	入出力端子.....	217
14.3	レジスタの説明.....	218
14.3.1	タイマRB制御レジスタ(TRBCR).....	219
14.3.2	タイマRBワンショット制御レジスタ(TRBOCR).....	220
14.3.3	タイマRB I/O制御レジスタ(TRBIOC).....	221
14.3.4	タイマRBモードレジスタ(TRBMR).....	222
14.3.5	タイマRBプリスケアラレジスタ(TRBPRES).....	223
14.3.6	タイマRBプライマリレジスタ(TRBPR).....	224
14.3.7	タイマRBセカンダリレジスタ(TRBSC).....	225
14.3.8	タイマRB割り込み制御レジスタ(TRBIR).....	226
14.4	動作説明.....	227
14.4.1	タイマモード.....	227
14.4.2	プログラマブル波形発生モード.....	229
14.4.3	プログラマブルワンショット発生モード.....	232
14.4.4	プログラマブルウェイトワンショット発生モード.....	235
14.5	選択機能.....	238
14.5.1	TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング.....	238
14.5.2	TWRCビットによるプリスケアラとカウンタ.....	240
14.5.3	TOCNTビットの設定と端子状態.....	245
14.6	割り込み要求.....	246
14.7	INT0入力トリガ選択.....	246
14.8	タイマRB2使用上の注意事項.....	247
15.	タイマRC.....	249
15.1	概要.....	249
15.2	レジスタの説明.....	252
15.2.1	タイマRCカウンタ(TRCCNT).....	252
15.2.2	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD).....	253
15.2.3	タイマRCモードレジスタ(TRCMR).....	254
15.2.4	タイマRC制御レジスタ1(TRCCR1).....	255
15.2.5	タイマRC割り込み許可レジスタ(TRCIER).....	256
15.2.6	タイマRCステータスレジスタ(TRCSR).....	257
15.2.7	タイマRC I/O制御レジスタ0(TRCIOR0).....	258
15.2.8	タイマRC I/O制御レジスタ1(TRCIOR1).....	259
15.2.9	タイマRC制御レジスタ2(TRCCR2).....	260
15.2.10	タイマRCデジタルフィルタ機能選択レジスタ(TRCDF).....	261
15.2.11	タイマRC出力許可レジスタ(TRCOER).....	262
15.2.12	タイマRC A/D変換トリガ制御レジスタ(TRCADCR).....	263
15.2.13	タイマRC波形出力操作レジスタ(TRCOPR).....	264
15.3	動作説明.....	265
15.3.1	タイマモード.....	266
15.3.2	PWMモード.....	270
15.3.3	PWM2モード.....	274
15.4	選択機能.....	281
15.4.1	インプットキャプチャ入力デジタルフィルタ.....	281
15.4.2	A/D変換開始トリガ.....	282

15.4.3	ジェネラルレジスタと出力端子変更 .....	283
15.4.4	波形出力操作機能 .....	285
15.5	動作タイミング .....	288
15.5.1	TRCCNTレジスタのカウントタイミング .....	288
15.5.2	アウトプットコンペア出力タイミング .....	289
15.5.3	インプットキャプチャ入力タイミング .....	289
15.5.4	コンペア一致によるカウンタクリアのタイミング .....	290
15.5.5	バッファ動作のタイミング .....	290
15.5.6	コンペア一致時のセットタイミング .....	291
15.5.7	インプットキャプチャ時のセットタイミング .....	291
15.5.8	IMFA ~ IMF D ビットおよびOVFビットが0になるタイミング .....	292
15.5.9	コンペア一致によるA/D変換開始トリガのタイミング .....	292
15.6	タイマRC割り込み .....	293
15.7	タイマRC使用上の注意事項 .....	294
15.7.1	TRCCNTレジスタ .....	294
15.7.2	TRCCR1レジスタ .....	294
15.7.3	TRCSRレジスタ .....	294
15.7.4	カウントソースの切り換え .....	294
15.7.5	インプットキャプチャ機能 .....	295
15.7.6	PWM2モード時のTRCMRレジスタ .....	295
15.7.7	MSTCRレジスタ .....	295
15.7.8	モードの切り換え .....	295
15.7.9	タイマRC関連レジスタの設定手順 .....	295
16.	タイマRK .....	296
16.1	概要 .....	296
16.2	レジスタの説明 .....	297
16.2.1	タイマRKモードレジスタ(TMKM) .....	297
16.2.2	タイマRK制御レジスタ(TMKCR) .....	298
16.2.3	タイマRKロードレジスタ(TMKLD (TMKCNT)) .....	299
16.2.4	タイマRKコンペア一致データレジスタ(TMKCMP) .....	300
16.2.5	タイマRK割り込み要求とステータスレジスタ(TMKIR) .....	300
16.3	動作説明 .....	301
16.3.1	インターバルモード .....	301
16.3.2	パルス出力モード .....	303
16.3.3	アウトプットコンペアモード .....	305
16.4	タイマRK使用上の注意事項 .....	307
17.	タイマRE2 .....	308
17.1	概要 .....	308
17.2	レジスタの説明 .....	311
17.2.1	タイマRE秒データレジスタ(TRESEC) [リアルタイムクロックモード時] .....	312
17.2.2	タイマREカウンタデータレジスタ(TRECNT) [コンペア一致タイマモード時] .....	313
17.2.3	タイマRE分データレジスタ(TREMIN) [リアルタイムクロックモード時] .....	313
17.2.4	タイマREコンペアデータレジスタ(TREMIN) [コンペア一致タイマモード時] .....	314
17.2.5	タイマRE時データレジスタ(TREHR) .....	315
17.2.6	タイマRE曜日データレジスタ(TREWK) .....	316
17.2.7	タイマRE日データレジスタ(TREDY) .....	317
17.2.8	タイマRE月データレジスタ(TREMON) .....	318

17.2.9	タイマRE年データレジスタ(TREYR) .....	319
17.2.10	タイマRE制御レジスタ(TRECR) [リアルタイムクロックモード時] .....	320
17.2.11	タイマRE制御レジスタ(TRECR) [コンペアー致タイマモード時] .....	323
17.2.12	タイマREカウントソース選択レジスタ(TRECSR) [リアルタイムクロックモード時] .....	324
17.2.13	タイマREカウントソース選択レジスタ(TRECSR) [コンペアー致タイマモード時] .....	325
17.2.14	タイマRE時計誤差補正レジスタ(TREADJ) .....	326
17.2.15	タイマRE割り込みフラグレジスタ(TREIFR) [リアルタイムクロックモード時] .....	327
17.2.16	タイマRE割り込みフラグレジスタ(TREIFR) [コンペアー致タイマモード時] .....	329
17.2.17	タイマRE割り込み許可レジスタ(TREIER) [リアルタイムクロックモード時] .....	330
17.2.18	タイマRE割り込み許可レジスタ(TREIER) [コンペアー致タイマモード時] .....	331
17.2.19	タイマREアラーム分レジスタ(TREAMN) .....	332
17.2.20	タイマREアラーム時レジスタ(TREahr) .....	333
17.2.21	タイマREアラーム曜日レジスタ(TREAWK) .....	334
17.2.22	タイマREプロテクトレジスタ(TREPRC) [リアルタイムクロックモード時] .....	335
17.2.23	タイマREプロテクトレジスタ(TREPRC) [コンペアー致タイマモード時] .....	336
17.3	リアルタイムクロックモードの動作説明 .....	337
17.3.1	動作例 .....	337
17.3.2	関連レジスタの設定例 .....	338
17.3.3	時刻の変更手順と読み出し手順 .....	339
17.3.4	時計誤差補正機能 .....	341
17.3.5	アラーム機能 .....	348
17.3.6	秒調整機能 .....	350
17.4	コンペアー致タイマモードの動作説明 .....	353
17.4.1	動作例 .....	353
17.4.2	関連レジスタの設定例 .....	354
17.5	割り込み要因 .....	355
17.6	タイマRE2使用上の注意事項 .....	356
18.	シリアルインタフェース(UART <sub>i</sub> (i = 0、1)) .....	357
18.1	概要 .....	357
18.2	レジスタの説明 .....	360
18.2.1	UART <sub>i</sub> 送受信モードレジスタ(UiMR) (i = 0、1) .....	361
18.2.2	UART <sub>i</sub> ビットレートレジスタ(UiBRG) (i = 0、1) .....	361
18.2.3	UART <sub>i</sub> 送信バッファレジスタ(UiTB) (i = 0、1) .....	362
18.2.4	UART <sub>i</sub> 送受信制御レジスタ0(UiC0) (i = 0、1) .....	363
18.2.5	UART <sub>i</sub> 送受信制御レジスタ1(UiC1) (i = 0、1) .....	364
18.2.6	UART <sub>i</sub> 受信バッファレジスタ(UiRB) (i = 0、1) .....	365
18.2.7	UART <sub>i</sub> 割り込みフラグと許可レジスタ(UiIR) (i = 0、1) .....	366
18.3	動作説明 .....	367
18.3.1	クロック同期形シリアルI/Oモード .....	367
18.3.2	クロック非同期形シリアルI/O (UART)モード .....	372
18.4	UART <sub>i</sub> (i = 0、1)の割り込み .....	378
18.5	シリアルインタフェース(UART <sub>i</sub> (i = 0、1))使用上の注意事項 .....	379
19.	IrDA (Infrared Data Association) インタフェース .....	380
19.1	概要 .....	380
19.2	レジスタの説明 .....	381
19.2.1	IrDA制御レジスタ(IRCR) .....	381
19.3	動作説明 .....	382



19.3.1	送信 .....	382
19.3.2	受信 .....	382
19.3.3	Highパルス幅の選択 .....	382
19.4	UARTとIrDAの設定手順 .....	384
20.	クロック同期形シリアルインタフェース .....	385
20.1	概要 .....	385
20.1.1	モード選択 .....	385
20.1.2	シンクロナスシリアルコミュニケーションユニット(SSU) .....	386
20.1.3	I <sup>2</sup> Cバスインタフェース .....	388
20.2	レジスタの説明 .....	391
20.2.1	IIC制御レジスタ(IICCR) .....	392
20.2.2	SSビットカウンタレジスタ(SSBR) .....	393
20.2.3	SI送信データレジスタ(SITDR) .....	394
20.2.4	SI受信データレジスタ(SIRDR) .....	394
20.2.5	SI制御レジスタ1(SICR1) .....	395
20.2.6	SI制御レジスタ2(SICR2) .....	397
20.2.7	SIモードレジスタ1(SIMR1) .....	399
20.2.8	SI割り込み許可レジスタ(SIER) .....	401
20.2.9	SIステータスレジスタ(SISR) .....	403
20.2.10	SIモードレジスタ2(SIMR2) .....	405
20.3	シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明 .....	407
20.3.1	クロック同期式通信モード、4線式バス通信モードに関わる共通事項 .....	407
20.3.2	クロック同期式通信モード .....	411
20.3.3	4線式バス通信モード .....	418
20.4	I <sup>2</sup> Cバスインタフェースの動作説明 .....	425
20.4.1	I <sup>2</sup> Cバスインタフェースモード、クロック同期式シリアルモードに関わる共通事項 .....	425
20.4.2	I <sup>2</sup> Cバスインタフェースモード .....	429
20.4.3	クロック同期式シリアルモード .....	440
20.4.4	レジスタ設定例 .....	443
20.4.5	ノイズ除去回路 .....	447
20.4.6	ビット同期回路 .....	447
20.4.7	I <sup>2</sup> Cバスインタフェースモード時の制御部リセット手順 .....	449
20.5	クロック同期形シリアルインタフェース使用上の注意事項 .....	450
20.5.1	シンクロナスシリアルコミュニケーションユニット使用上の注意 .....	450
20.5.2	I <sup>2</sup> Cバスインタフェース使用上の注意 .....	450
20.5.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット .....	451
21.	A/Dコンバータ .....	452
21.1	概要 .....	452
21.2	レジスタの説明 .....	454
21.2.1	A/Dレジスタi(ADi)(i=0、1) .....	455
21.2.2	A/Dモードレジスタ(ADMOD) .....	456
21.2.3	A/D入力選択レジスタ(ADINSEL) .....	457
21.2.4	A/D制御レジスタ0(ADCON0) .....	458
21.2.5	A/D割り込み制御ステータスレジスタ(ADICSR) .....	459
21.3	動作説明 .....	460
21.3.1	複数モードに関わる共通事項 .....	460
21.3.2	単発モード .....	462

21.3.3	繰り返しモード .....	463
21.3.4	単掃引モード .....	464
21.3.5	繰り返し掃引モード .....	465
21.4	A/Dコンバータの割り込み.....	466
21.5	A/Dコンバータ使用上の注意事項.....	467
21.5.1	A/Dコンバータのスタンバイ設定.....	467
21.5.2	A/D変換時のセンサの出力インピーダンス .....	468
21.5.3	レジスタの設定 .....	469
22.	コンパレータB .....	470
22.1	概要.....	470
22.2	レジスタの説明.....	472
22.2.1	コンパレータB制御レジスタ(WCMPR).....	472
22.2.2	コンパレータB1割り込み制御レジスタ(WCB1INTR) .....	473
22.2.3	コンパレータB3割り込み制御レジスタ(WCB3INTR) .....	474
22.3	動作説明.....	475
22.3.1	コンパレータBiデジタルフィルタ(i = 1、3) .....	475
22.3.2	コンパレータBi (i = 1、3)の設定手順と動作例.....	476
23.	フラッシュメモリ .....	478
23.1	概要.....	478
23.2	メモリ配置.....	479
23.3	IDコードチェック機能.....	480
23.3.1	動作説明 .....	481
23.3.2	予約語 .....	481
23.4	CPU書き換えモード.....	483
23.5	レジスタの説明(CPU書き換えモード).....	484
23.5.1	フラッシュメモリステータスレジスタ(FST) .....	484
23.5.2	フラッシュメモリ制御レジスタ0 (FMR0).....	487
23.5.3	フラッシュメモリ制御レジスタ1 (FMR1).....	490
23.5.4	フラッシュメモリ制御レジスタ2 (FMR2).....	492
23.5.5	フラッシュメモリリフレッシュ制御レジスタ(FREFR).....	494
23.6	CPU書き換えモードの説明.....	495
23.6.1	EW0モード.....	495
23.6.2	EW1モード.....	495
23.6.3	サスペンド動作 .....	496
23.6.4	各モードの設定と解除方法 .....	498
23.6.5	データ保護機能 .....	499
23.6.6	ソフトウェアコマンド .....	500
23.6.7	フルステータスチェック .....	512
23.7	標準シリアル入出力モード.....	514
23.8	フラッシュメモリ使用上の注意事項.....	517
23.8.1	IDコード領域の設定例.....	517
23.8.2	CPU書き換えモード .....	518
23.8.3	フラッシュメモリの停止および動作の遷移に関する注意 .....	523

24.	電気的特性.....	524
25.	使用上の注意事項集.....	549
25.1	システム制御使用上の注意事項.....	549
25.1.1	オプション機能選択領域の設定例.....	549
25.2	ウォッチドッグタイマ使用上の注意事項.....	549
25.3	クロック発生回路使用上の注意事項.....	549
25.3.1	発振停止検出機能.....	549
25.3.2	発振回路定数.....	549
25.4	パワーコントロール使用上の注意事項.....	550
25.4.1	ウェイトモード移行時のプログラム制約.....	550
25.4.2	ストップモード移行時のプログラム制約.....	550
25.5	割り込み使用上の注意事項.....	551
25.5.1	00000h番地の読み出し.....	551
25.5.2	SPの設定.....	551
25.5.3	外部割り込み、キー入力割り込み.....	551
25.5.4	PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの書き換え.....	552
25.5.5	ウェイトモードまたはストップモードから標準動作モードへの 復帰時のINTi入力フィルタ.....	553
25.5.6	周辺機能がINTi入力フィルタ(i = 0 ~ 2)を使用する場合の設定手順.....	554
25.5.7	割り込み優先レベルとフラグレジスタの変更.....	555
25.6	I/Oポート使用上の注意事項.....	556
25.6.1	RESET/PA_0端子使用時の注意.....	556
25.6.2	周辺機能の入出力端子について.....	556
25.7	タイマRJ2使用上の注意事項.....	557
25.8	タイマRB2使用上の注意事項.....	558
25.9	タイマRC使用上の注意事項.....	560
25.9.1	TRCCNTレジスタ.....	560
25.9.2	TRCCR1レジスタ.....	560
25.9.3	TRCSRレジスタ.....	560
25.9.4	カウントソースの切り換え.....	560
25.9.5	インプットキャプチャ機能.....	561
25.9.6	PWM2モード時のTRCMRレジスタ.....	561
25.9.7	MSTCRレジスタ.....	561
25.9.8	モードの切り換え.....	561
25.9.9	タイマRC関連レジスタの設定手順.....	561
25.10	タイマRK使用上の注意事項.....	562
25.11	タイマRE2使用上の注意事項.....	562
25.12	シリアルインタフェース(UARTi (i = 0、1))使用上の注意事項.....	563
25.13	クロック同期形シリアルインタフェース使用上の注意事項.....	564
25.13.1	シンクロナスシリアルコミュニケーションユニット使用上の注意.....	564
25.13.2	I <sup>2</sup> Cバスインタフェース使用上の注意.....	564
25.13.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット.....	565
25.14	A/Dコンバータ使用上の注意事項.....	566
25.14.1	A/Dコンバータのスタンバイ設定.....	566
25.14.2	A/D変換時のセンサの出力インピーダンス.....	567
25.14.3	レジスタの設定.....	568
25.15	フラッシュメモリ使用上の注意事項.....	569
25.15.1	IDコード領域の設定例.....	569

25.15.2	CPU書き換えモード .....	570
25.15.3	フラッシュメモリの停止および動作の遷移に関する注意 .....	575
25.16	ノイズに関する注意事項 .....	576
25.16.1	ノイズおよびラッチアップ対策として、VCCとVSSライン間へのバイパスコンデンサ 挿入 .....	576
25.16.2	ポート制御レジスタのノイズ誤動作対策 .....	576
25.17	電源電圧の変動に関する注意事項 .....	576
26.	オンチップデバッグの注意事項 .....	577
付録1.	外形寸法図 .....	578
付録2.	シリアルライタとオンチップデバッグエミュレータとの接続例 .....	579
付録3.	発振評価回路例 .....	581
付録4.	R8C/M12Aグループ、R8C/M13Bグループの比較 .....	582
索引	.....	585

# SFR ページ早見表

アドレス	レジスタ名	シンボル	掲載ページ
00000h			
00001h			
00002h			
00003h			
00004h			
00005h			
00006h			
00007h			
00008h			
00009h			
0000Ah			
0000Bh			
0000Ch			
0000Dh			
0000Eh			
0000Fh			
00010h	プロセッサモードレジスタ0	PM0	25、36
00011h			
00012h	モジュールスタンバイ制御レジスタ	MSTCR	26
00013h	プロテクトレジスタ	PRCR	27
00014h			
00015h			
00016h	ハードウェアリセットプロテクトレジスタ	HRPR	27
00017h	モジュールスタンバイ制御レジスタ1	MSTCR1	28
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch			
0001Dh			
0001Eh			
0001Fh			
00020h	外部クロック制御レジスタ	EXCKCR	76
00021h	高速/低速オンチップオシレータ制御レジスタ	OCOCR	78
00022h	システムクロック制御レジスタ	SCKCR	79
00023h	システムクロック選択レジスタ	PHISEL	80
00024h	クロック停止制御レジスタ	CKSTPR	81
00025h	モード復帰時クロック制御レジスタ	CKRSCR	82
00026h	発振停止検出レジスタ	BAKCR	84
00027h			
00028h			
00029h			
0002Ah			
0002Bh			
0002Ch			
0002Dh			
0002Eh			
0002Fh			
00030h	ウォッチドッグタイマ機能レジスタ	RISR	64
00031h	ウォッチドッグタイマリセットレジスタ	WDTR	65
00032h	ウォッチドッグタイマスタートレジスタ	WDTS	65
00033h	ウォッチドッグタイマ制御レジスタ	WDTC	65
00034h	カウントソース保護モードレジスタ	CSPR	66
00035h	周期タイマ割り込み制御レジスタ	WDTIR	66
00036h			
00037h			
00038h	外部入力許可レジスタ	INTEN	115
00039h			
0003Ah	INT入力フィルタ選択レジスタ0	INTF0	115
0003Bh			
0003Ch	INT入力エッジ選択レジスタ0	ISCR0	116
0003Dh			
0003Eh	キー入力許可レジスタ	KIEN	117
0003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
00040h	割り込み優先レベルレジスタ0	ILVL0	118
00041h	割り込み優先レベルレジスタ1	ILVL1	118
00042h	割り込み優先レベルレジスタ2	ILVL2	118
00043h	割り込み優先レベルレジスタ3	ILVL3	118
00044h	割り込み優先レベルレジスタ4	ILVL4	118
00045h	割り込み優先レベルレジスタ5	ILVL5	118
00046h	割り込み優先レベルレジスタ6	ILVL6	118
00047h	割り込み優先レベルレジスタ7	ILVL7	118
00048h	割り込み優先レベルレジスタ8	ILVL8	118
00049h	割り込み優先レベルレジスタ9	ILVL9	118
0004Ah	割り込み優先レベルレジスタA	ILVLA	118
0004Bh	割り込み優先レベルレジスタB	ILVLB	118
0004Ch	割り込み優先レベルレジスタC	ILVLC	118
0004Dh	割り込み優先レベルレジスタD	ILVLD	118
0004Eh	割り込み優先レベルレジスタE	ILVLE	118
0004Fh			
00050h	割り込みモニタフラグレジスタ0	IRR0	119
00051h	割り込みモニタフラグレジスタ1	IRR1	119
00052h	割り込みモニタフラグレジスタ2	IRR2	120
00053h	外部割り込みフラグレジスタ	IRR3	121
00054h			
00055h			
00056h			
00057h			
00058h	電圧監視回路エッジ選択レジスタ	VCAC	52
00059h			
0005Ah	電圧検出レジスタ2	VCA2	53
0005Bh	電圧検出1レベル選択レジスタ	VD1LS	54
0005Ch	電圧監視0回路制御レジスタ	VWOC	55
0005Dh	電圧監視1回路制御レジスタ	VW1C	56
0005Eh			
0005Fh	リセット要因判別レジスタ	RSTFR	28、37
00060h			
00061h			
00062h			
00063h			
00064h	高速オンチップオシレータ18.432 MHz制御レジスタ0	FR18S0	85
00065h	高速オンチップオシレータ18.432 MHz制御レジスタ1	FR18S1	85
00066h			
00067h	高速オンチップオシレータ制御レジスタ1	FRV1	85
00068h	高速オンチップオシレータ制御レジスタ2	FRV2	85
00069h			
0006Ah			
0006Bh			
0006Ch			
0006Dh			
0006Eh			
0006Fh			
00070h			
00071h			
00072h			
00073h			
00074h			
00075h			
00076h			
00077h			
00078h			
00079h			
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			

アドレス	レジスタ名	シンボル	掲載ページ
00080h	UART0送受信モードレジスタ	U0MR	361
00081h	UART0ビットレートレジスタ	U0BRG	361
00082h	UART0送信バッファレジスタ	U0TBL	362
00083h		U0TBH	
00084h	UART0送受信制御レジスタ0	U0C0	363
00085h	UART0送受信制御レジスタ1	U0C1	364
00086h	UART0受信バッファレジスタ	U0RBL	365
00087h		U0RBH	
00088h	UART0割り込みフラグと許可レジスタ	U0IR	366
00089h			
0008Ah			
0008Bh			
0008Ch			
0008Dh			
0008Eh			
0008Fh			
00090h			
00091h			
00092h			
00093h			
00094h			
00095h			
00096h			
00097h			
00098h	A/D レジスタ0	AD0L	455
00099h		AD0H	
0009Ah	A/D レジスタ1	AD1L	455
0009Bh		AD1H	
0009Ch	A/D モードレジスタ	ADMOD	456
0009Dh	A/D 入力選択レジスタ	ADINSEL	457
0009Eh	A/D 制御レジスタ0	ADCON0	458
0009Fh	A/D 割り込み制御ステータスレジスタ	ADICSR	459
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A6h			
000A7h			
000A8h	ポートP0方向レジスタ	PD0	149
000A9h	ポートP1方向レジスタ	PD1	156
000AAh	ポートP2方向レジスタ	PD2	165
000ABh	ポートP3方向レジスタ	PD3	170
000ACh	ポートP4方向レジスタ	PD4	178
000ADh	ポートPA方向レジスタ	PDA	183
000AEh	ポートP0レジスタ	P0	149
000AFh	ポートP1レジスタ	P1	156
000B0h	ポートP2レジスタ	P2	165
000B1h	ポートP3レジスタ	P3	171
000B2h	ポートP4レジスタ	P4	178
000B3h	ポートPAレジスタ	PA	183
000B4h	ブルアップ制御レジスタ0	PUR0	150
000B5h	ブルアップ制御レジスタ1	PUR1	157
000B6h	ブルアップ制御レジスタ2	PUR2	166
000B7h	ブルアップ制御レジスタ3	PUR3	172
000B8h	ブルアップ制御レジスタ4	PUR4	179
000B9h	ポート入出力機能制御レジスタ	PINSR	147
000BAh			
000BBh	駆動能力制御レジスタ1	DRR1	157
000BCh			
000BDh	駆動能力制御レジスタ3	DRR3	172
000BEh			
000BFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
000C0h	オーブンドレイン制御レジスタ0	POD0	150
000C1h	オーブンドレイン制御レジスタ1	POD1	158
000C2h	オーブンドレイン制御レジスタ2	POD2	166
000C3h	オーブンドレイン制御レジスタ3	POD3	173
000C4h	オーブンドレイン制御レジスタ4	POD4	179
000C5h	ポートPAモード制御レジスタ	PAMCR	184
000C6h	ポート0機能マッピングレジスタ0	PML0	151
000C7h	ポート0機能マッピングレジスタ1	PMH0	152
000C8h	ポート1機能マッピングレジスタ0	PML1	158
000C9h	ポート1機能マッピングレジスタ1	PMH1	159
000CAh	ポート2機能マッピングレジスタ0	PML2	167
000CBh			
000CCh	ポート3機能マッピングレジスタ0	PML3	173
000CDh	ポート3機能マッピングレジスタ1	PMH3	174
000CEh	ポート4機能マッピングレジスタ0	PML4	180
000CFh	ポート4機能マッピングレジスタ1	PMH4	180
000D0h			
000D1h	ポート1機能マッピング拡張レジスタ	PMH1E	160
000D2h			
000D3h			
000D4h			
000D5h			
000D6h			
000D7h			
000D8h	タイマRJカウンタレジスタ	TRJ	202
000D9h			
000DAh	タイマRJ制御レジスタ	TRJCR	203
000DBh	タイマRJ I/O制御レジスタ	TRJIOC	204
000DCh	タイマRJモードレジスタ	TRJMR	206
000DDh	タイマRJイベント選択レジスタ	TRJISR	207
000DEh	タイマRJ割り込み制御レジスタ	TRJIR	207
000DFh			
000E0h	タイマRB制御レジスタ	TRBCR	219
000E1h	タイマRBワンショット制御レジスタ	TRBOCR	220
000E2h	タイマRB I/O制御レジスタ	TRBIOC	221
000E3h	タイマRBモードレジスタ	TRBMR	222
000E4h	タイマRBプリスケアラレジスタ タイマRBプライマリ/セカンダリレジスタ(下位8ビット)	TRBPRE	223
000E5h	タイマRBプライマリレジスタ タイマRBプライマリレジスタ(上位8ビット)	TRBPR	224
000E6h	タイマRBセカンダリレジスタ タイマRBセカンダリレジスタ(上位8ビット)	TRBSC	225
000E7h	タイマRB割り込み制御レジスタ	TRBIR	226
000E8h	タイマRCカウンタ	TRCCNT	252
000E9h			
000EAh	タイマRCジェネラルレジスタA	TRCGRA	253
000EBh			
000ECh	タイマRCジェネラルレジスタB	TRCGRB	253
000EDh			
000EEh	タイマRCジェネラルレジスタC	TRCGRC	253
000EFh			
000F0h	タイマRCジェネラルレジスタD	TRCGRD	253
000F1h			
000F2h	タイマRCモードレジスタ	TRCMR	254
000F3h	タイマRC制御レジスタ1	TRCCR1	255
000F4h	タイマRC割り込み許可レジスタ	TRCIER	256
000F5h	タイマRCステータスレジスタ	TRCSR	257
000F6h	タイマRC I/O制御レジスタ0	TRCIOR0	258
000F7h	タイマRC I/O制御レジスタ1	TRCIOR1	259
000F8h	タイマRC制御レジスタ2	TRCCR2	260
000F9h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	261
000FAh	タイマRC出力許可レジスタ	TRCOER	262
000FBh	タイマRC A/D変換トリガ制御レジスタ	TRCADCR	263
000FCh	タイマRC波形出力操作レジスタ	TRCOPR	264
000FDh			
000FEh			
000FFh			

アドレス	レジスタ名	シンボル	掲載 ページ
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h			
00111h			
00112h			
00113h			
00114h			
00115h			
00116h			
00117h			
00118h			
00119h			
0011Ah			
0011Bh			
0011Ch			
0011Dh			
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRE秒データレジスタ	TRESEC	312
	タイマREカウンタデータレジスタ	TRECNT	313
00131h	タイマRE分データレジスタ	TREMIN	313
	タイマREコンペアデータレジスタ		314
00132h	タイマRE時データレジスタ	TREHR	315
00133h	タイマRE曜日データレジスタ	TREWK	316
00134h	タイマRE日データレジスタ	TREDY	317
00135h	タイマRE月データレジスタ	TREMON	318
00136h	タイマRE年データレジスタ	TREYR	319
00137h	タイマRE制御レジスタ	TRECR	320、323
00138h	タイマREカウントソース選択レジスタ	TRECSR	324、325
00139h	タイマRE時計誤差補正レジスタ	TREADJ	326
0013Ah	タイマRE割り込みフラグレジスタ	TREIFR	327、329
0013Bh	タイマRE割り込み許可レジスタ	TREIER	330、331
0013Ch	タイマREアラーム分レジスタ	TREAMN	332
0013Dh	タイマREアラーム時レジスタ	TREahr	333
0013Eh	タイマREアラーム曜日レジスタ	TREAWK	334
0013Fh	タイマREプロテクトレジスタ	TREPRC	335、336

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
00140h			
00141h			
00142h			
00143h			
00144h			
00145h			
00146h			
00147h			
00148h			
00149h			
0014Ah			
0014Bh			
0014Ch			
0014Dh			
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h	IIC制御レジスタ	IICCR	392
00161h	SSビットカウンタレジスタ	SSBR	393
00162h	SI送信データレジスタ	SITDR	394
00163h			
00164h	SI受信データレジスタ	SIRDR	394
00165h			
00166h	SI制御レジスタ1	SICR1	395、396
00167h	SI制御レジスタ2	SICR2	397、398
00168h	SIモードレジスタ1	SIMR1	399、400
00169h	SI割り込み許可レジスタ	SIER	401、402
0016Ah	SIステータスレジスタ	SISR	403、404
0016Bh	SIモードレジスタ2	SIMR2	405、406
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h			
00171h			
00172h			
00173h			
00174h			
00175h			
00176h			
00177h			
00178h			
00179h			
0017Ah			
0017Bh			
0017Ch			
0017Dh			
0017Eh			
0017Fh			

アドレス	レジスタ名	シンボル	掲載ページ
00180h	コンパレータB制御レジスタ	WCMPR	472
00181h	コンパレータB1割り込み制御レジスタ	WCB1INTR	473
00182h	コンパレータB3割り込み制御レジスタ	WCB3INTR	474
00183h			
00184h			
00185h			
00186h			
00187h			
00188h	タイマRKモードレジスタ	TMKM	297
00189h	タイマRK制御レジスタ	TMKCR	298
0018Ah	タイマRKロードレジスタ	TMKLD (TMKCNT)	299
0018Bh	タイマRKコンペア一致データレジスタ	TMKCMP	300
0018Ch	タイマRK割り込み要求とステータスレジスタ	TMKIR	300
0018Dh			
0018Eh			
0018Fh			
00190h	UART1送受信モードレジスタ	U1MR	361
00191h	UART1ビットレートレジスタ	U1BRG	361
00192h	UART1送信バッファレジスタ	U1TBL	362
00193h		U1TBH	
00194h	UART1送受信制御レジスタ0	U1C0	363
00195h	UART1送受信制御レジスタ1	U1C1	364
00196h	UART1受信バッファレジスタ	U1RBL	365
00197h		U1RBH	
00198h	UART1割り込みフラグと許可レジスタ	U1IR	366
00199h			
0019Ah			
0019Bh			
0019Ch	IrDA制御レジスタ	IRCR	381
0019Dh			
0019Eh			
0019Fh			
001A0h			
001A1h			
001A2h			
001A3h			
001A4h			
001A5h			
001A6h			
001A7h			
001A8h			
001A9h	フラッシュメモリステータスレジスタ	FST	484
001AAh	フラッシュメモリ制御レジスタ0	FMR0	487
001ABh	フラッシュメモリ制御レジスタ1	FMR1	490
001ACh	フラッシュメモリ制御レジスタ2	FMR2	492
001ADh	フラッシュメモリリフレッシュ制御レジスタ	FREFR	494
001AEh			
001AFh			
001B0h			
001B1h			
001B2h			
001B3h			
001B4h			
001B5h			
001B6h			
001B7h			
001B8h			
001B9h			
001BAh			
001BBh			
001BCh			
001BDh			
001BEh			
001BFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
001C0h	アドレス一致割り込みレジスタ0	AIADR0L	122
001C1h		AIADR0M	
001C2h		AIADR0H	
001C3h	アドレス一致割り込み許可レジスタ0	AIEN0	122
001C4h	アドレス一致割り込みレジスタ1	AIADR1L	122
001C5h		AIADR1M	
001C6h		AIADR1H	
001C7h	アドレス一致割り込み許可レジスタ1	AIEN1	122
001C8h			
001C9h			
001CAh			
001CBh			
001CCh			
001CDh			
001CEh			
001CFh			
001D0h			
001D1h			
001D2h			
001D3h			
001D4h			
001D5h			
001D6h			
001D7h			
001D8h			
001D9h			
001DAh			
001DBh			
001DCh			
001DDh			
001DEh			
001DFh			
001E0h			
001E1h			
001E2h			
001E3h			
001E4h			
001E5h			
001E6h			
001E7h			
001E8h			
001E9h			
001EAh			
001EBh			
001ECh			
001EDh			
001EEh			
001EFh			
001F0h			
001F1h			
001F2h			
001F3h			
001F4h			
001F5h			
001F6h			
001F7h			
001F8h			
001F9h			
001FAh			
001FBh			
001FCh			
001FDh			
001FEh			
001FFh			
:			
0FFDBh	オプション機能選択レジスタ2	OFS2	30、39
:			
0FFFFh	オプション機能選択レジスタ	OFS	31、40



## 1. 概要

### 1.1 特長

R8C/M13Bグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/M13Bグループは、データフラッシュ (1 KB × 2ブロック) を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

## 1.1.2 仕様概要

表1.1および表1.2に仕様概要を示します。

表1.1 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：50 ns (<math>f(XIN) = 20</math> MHz、<math>VCC = 2.7</math> V ~ 5.5 V) 200 ns (<math>f(XIN) = 5</math> MHz、<math>VCC = 1.8</math> V ~ 5.5 V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.3 製品一覧」参照
リセット要因		<ul style="list-style-type: none"> <li>RESET端子によるハードウェアリセット</li> <li>パワーオンリセット</li> <li>ウォッチドッグタイマリセット</li> <li>ソフトウェアリセット</li> <li>電圧検出0によるリセット</li> </ul>
電圧検出	電圧検出回路	電圧検出2点：電圧検出0、電圧検出1(検出レベル選択可能)
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>カウントソース保護モードを選択可能</li> <li>周期タイマ機能選択可能</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路：XINクロック発振回路、XCINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>クロック分周回路内蔵</li> </ul>
パワーコントロール		<ul style="list-style-type: none"> <li>標準動作モード</li> <li>ウェイトモード(CPU停止、周辺機能動作)</li> <li>ストップモード(CPU、周辺機能とも停止)</li> </ul>
割り込み		<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：8(INT×4、キー入力×4)</li> <li>割り込み優先レベル：2</li> </ul>
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> <li>CMOS入出力：29、プルアップ抵抗を選択可能</li> <li>大電流ポート：8</li> </ul>
タイマ	タイマRJ2	16ビット×1 タイマモード、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2	8ビット×1(8ビットプリスケアラ付)または16ビット×1(選択可能) タイマモード、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(アウトプットコンペア機能、インプットキャプチャ機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRK	8ビット×1 インターバルモード、パルス出力モード、アウトプットコンペアモード
	タイマRE2	8ビット×1 リアルタイムクロックモード、コンペア一致タイマモード
シリアルインタフェース	UART0、UART1	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2チャンネル
クロック同期形シリアルインタフェース		<ul style="list-style-type: none"> <li>シンクロナスシリアルコミュニケーションユニット(SSU)×1チャンネル</li> <li>I<sup>2</sup>Cバスインタフェース×1チャンネル</li> </ul>
IrDAインタフェース		1チャンネル(UART0、UART1切り換え可)

表1.2 仕様概要(2)

分類	機能	説明
A/Dコンバータ		<ul style="list-style-type: none"> <li>• 分解能：10ビット×8チャンネル</li> <li>• サンプル&amp;ホールドあり、掃引モードあり</li> </ul>
コンパレータB		2回路
フラッシュメモリ		<ul style="list-style-type: none"> <li>• プログラムROMのプログラム/イレーズ電圧：VCC = 1.8 V ~ 5.5 V</li> <li>• データフラッシュのプログラム/イレーズ電圧：VCC = 1.8 V ~ 5.5 V</li> <li>• プログラム/イレーズ回数：10,000回(データフラッシュ) 10,000回(プログラムROM)</li> <li>• プログラムセキュリティ：IDコードチェック、ロックビットによるプロテクト</li> <li>• デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> </ul>
動作周波数/電源電圧		f(XIN) = 20 MHz (VCC = 2.7 V ~ 5.5 V) f(XIN) = 5 MHz (VCC = 1.8 V ~ 5.5 V)
温度範囲		-20 °C ~ 85 °C (Nバージョン) -40 °C ~ 85 °C (Dバージョン) (注1)
パッケージ		32ピンLQFP：[パッケージコード] PLQP0032GB-A

注1. Dバージョン機能をご使用になる場合は、その旨を指定してください。

1.2 製品一覧

表1.3に製品一覧を、図1.1に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧

2012年2月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2M131BNFP	4 Kバイト	1 Kバイト×2	384バイト	PLQP0032GB-A	Nバージョン
R5F2M132BNFP	8 Kバイト	1 Kバイト×2	512バイト		
R5F2M134BNFP	16 Kバイト	1 Kバイト×2	1 Kバイト		
R5F2M131BDFP	4 Kバイト	1 Kバイト×2	384バイト		Dバージョン
R5F2M132BDFP	8 Kバイト	1 Kバイト×2	512バイト		
R5F2M134BDFP	16 Kバイト	1 Kバイト×2	1 Kバイト		

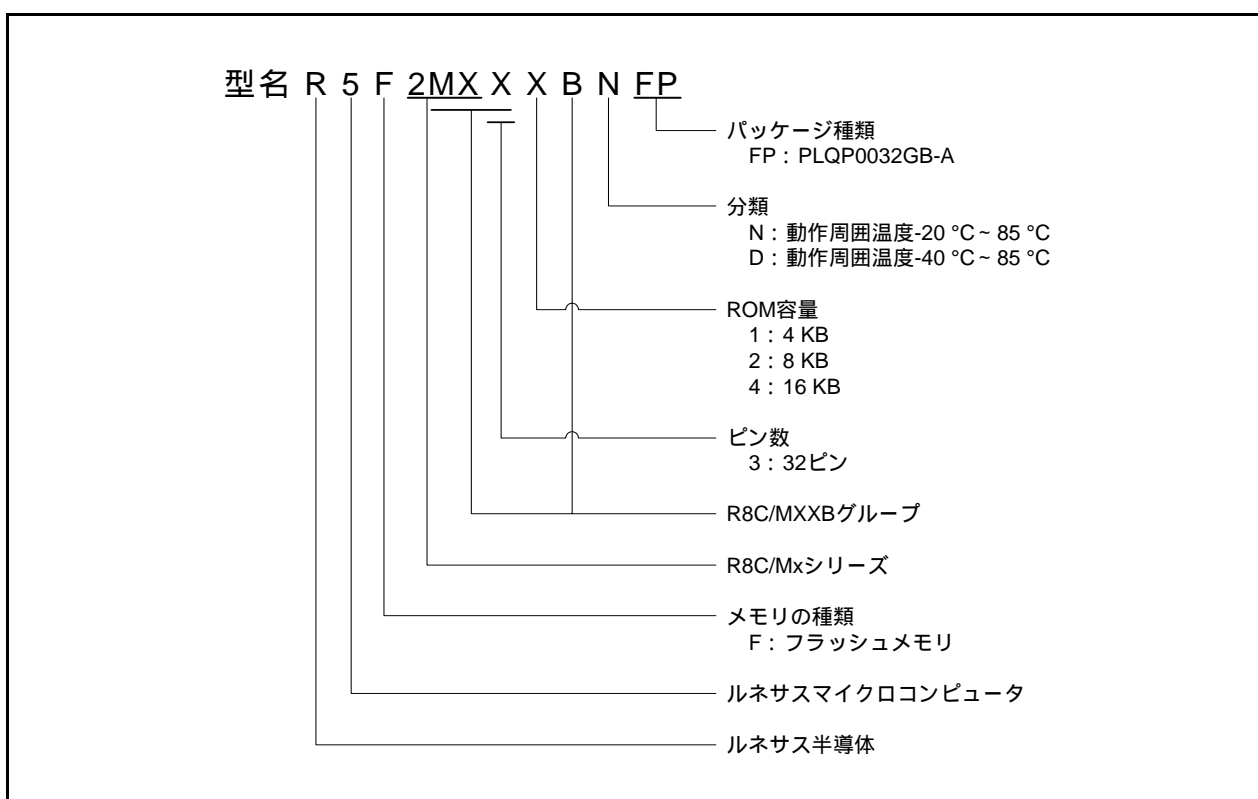


図1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図1.2にブロック図を示します。

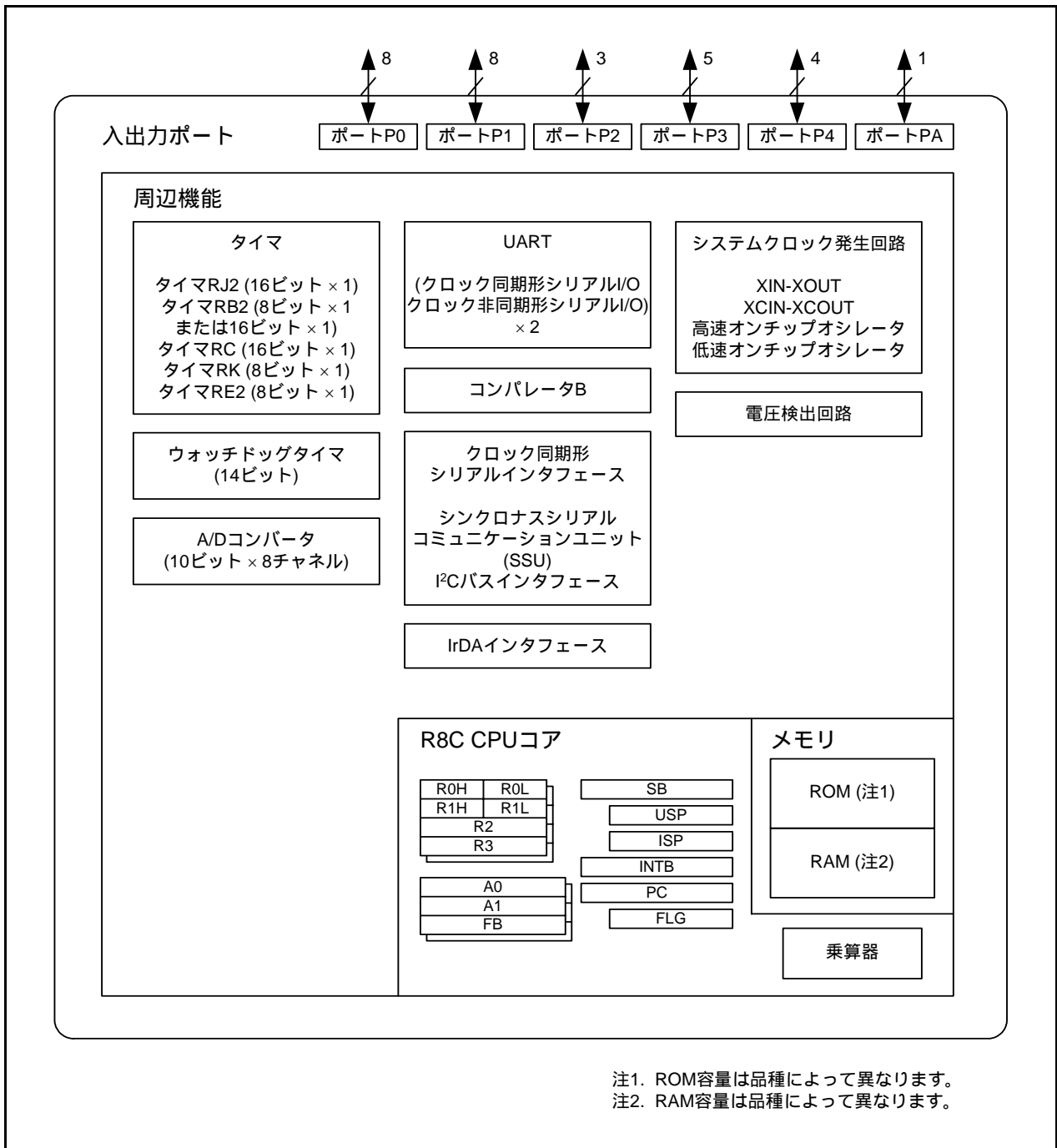


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4にピン番号別端子名一覧を示します。

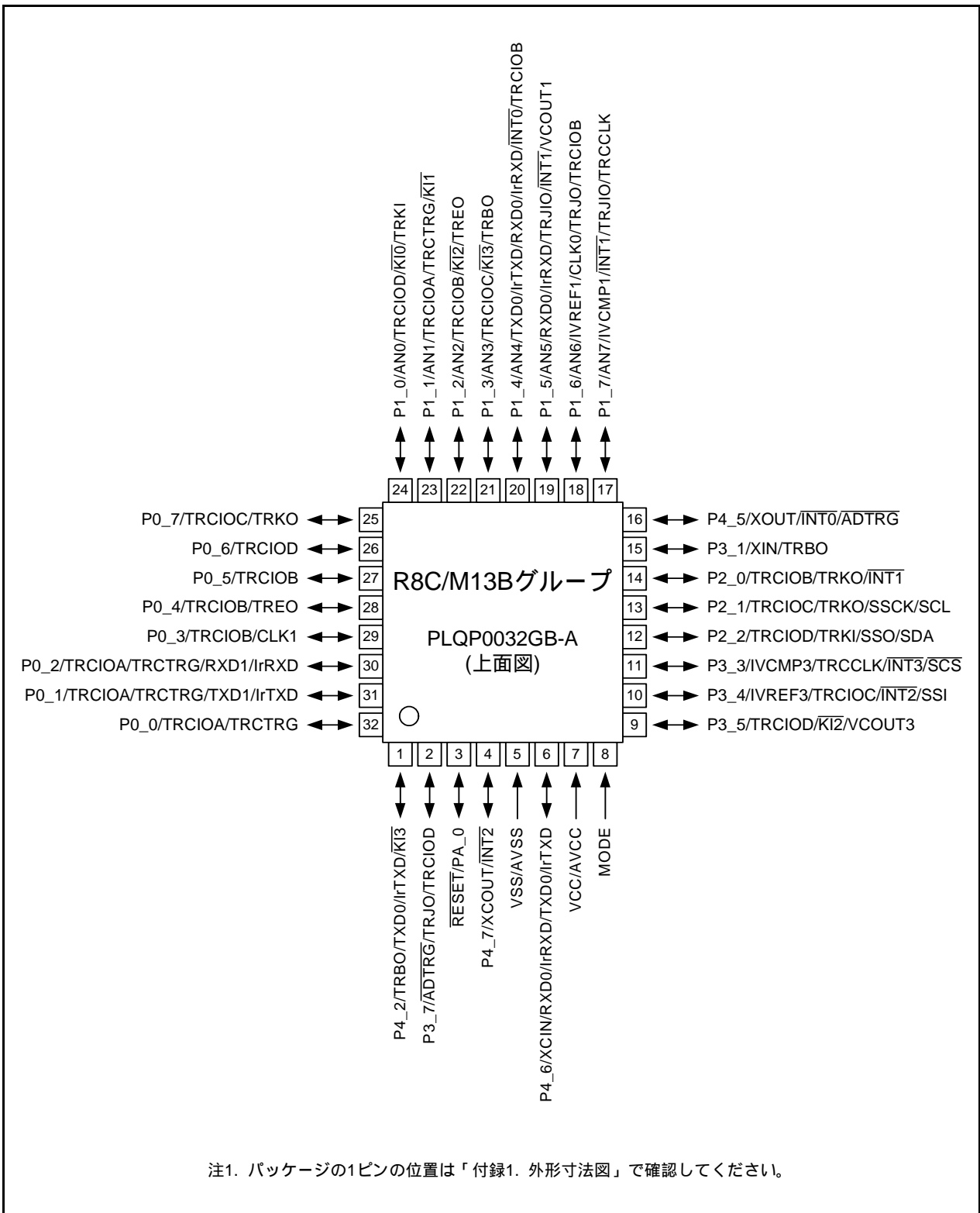


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアル インタフェース	IrDA	SSU	I <sup>2</sup> C バス	A/Dコンバータ、 コンパレータB
1		P4_2	$\overline{\text{KI3}}$	TRBO	TXD0	IrTXD			
2		P3_7		TRJO/TRCIOD					$\overline{\text{ADTRG}}$
3	$\overline{\text{RESET}}$	PA_0							
4	XCOU	P4_7	$\overline{\text{INT2}}$						
5	VSS/AVSS								
6	XCIN	P4_6			RXD0/TXD0	IrRXD/ IrTXD			
7	VCC/AVCC								
8	MODE								
9		P3_5	$\overline{\text{KI2}}$	TRCIOD					VCOUT3
10		P3_4	$\overline{\text{INT2}}$	TRCIO			SSI		IVREF3
11		P3_3	$\overline{\text{INT3}}$	TRCCLK			$\overline{\text{SCS}}$		IVCMP3
12		P2_2		TRCIOD/TRKI			SSO	SDA	
13		P2_1		TRCIO/TKO			SSCK	SCL	
14		P2_0	$\overline{\text{INT1}}$	TRCIOB/TRKO					
15	XIN	P3_1		TRBO					
16	XOUT	P4_5	$\overline{\text{INT0}}$						$\overline{\text{ADTRG}}$
17		P1_7	$\overline{\text{INT1}}$	TRJIO/TRCCLK					AN7/IVCMP1
18		P1_6		TRJO/TRCIOB	CLK0				AN6/IVREF1
19		P1_5	$\overline{\text{INT1}}$	TRJIO	RXD0	IrRXD			AN5/VCOUT1
20		P1_4	$\overline{\text{INT0}}$	TRCIOB	RXD0/TXD0	IrRXD/ IrTXD			AN4
21		P1_3	$\overline{\text{KI3}}$	TRBO/TRCIO					AN3
22		P1_2	$\overline{\text{KI2}}$	TRCIOB/TREO					AN2
23		P1_1	$\overline{\text{KI1}}$	TRCIOA/TRCTR					AN1
24		P1_0	$\overline{\text{KI0}}$	TRCIOD/TRKI					AN0
25		P0_7		TRCIO/TKO					
26		P0_6		TRCIOD					
27		P0_5		TRCIOB					
28		P0_4		TRCIOB/TREO					
29		P0_3		TRCIOB	CLK1				
30		P0_2		TRCIOA/TRCTR	RXD1	IrRXD			
31		P0_1		TRCIOA/TRCTR	TXD1	IrTXD			
32		P0_0		TRCIOA/TRCTR					

## 1.5 端子機能の説明

表1.5および表1.6に端子機能の説明を示します。

表1.5 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	出力	XIN端子とXOUT端子の間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XINからクロックを入力してください。このとき、P4_5は入出力ポートとして使用できます。
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。
XCINクロック出力	XCOU	出力	XCIN端子とXCOU端子の間には、水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力してください。このとき、P4_7は入出力ポートとして使用できます。
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_2、P3_1、 P3_3～P3_5、P3_7、 P4_2、P4_5～P4_7、 PA_0	入出力	CMOSの入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 PA_0以外の入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 P1_2～P1_5、P3_3～P3_5、P3_7は、LED駆動ポートとして使用できます。
タイマRJ2	TRJIO	入出力	タイマRJ2の入出力です。
	TRJO	出力	タイマRJ2の出力です。
タイマRB2	TRBO	出力	タイマRB2の出力です。
タイマRC	TRCCLK	入力	外部クロック入力です。
	TRCTRG	入力	外部トリガ入力です。
	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRK	TRKI	入力	タイマRKの外部入力です。
	TRKO	出力	タイマRKの出力です。
タイマRE2	TREO	出力	タイマRE2の出力です。
シリアルインタフェース	CLK0、CLK1	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
シンクロナスシリアルコミュニケーションユニット(SSU)	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSO	入出力	データ入出力です。
	SSCK	入出力	クロック入出力です。
I <sup>2</sup> Cバスインタフェース	SDA	入出力	データ入出力です。
	SCL	入出力	クロック入出力です。

注1. 発振特性は発振子メーカーに問い合わせてください。



表1.6 端子機能の説明(2)

分類	端子名	入出力	機能
IrDAインタフェース	IrRXD	入力	データ入力です。
	IrTXD	出力	データ出力です。
A/Dコンバータ	AN0 ~ AN7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/Dコンバータの外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
	VCOUT1、VCOUT3	出力	コンパレータBの比較結果出力です。

## 2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

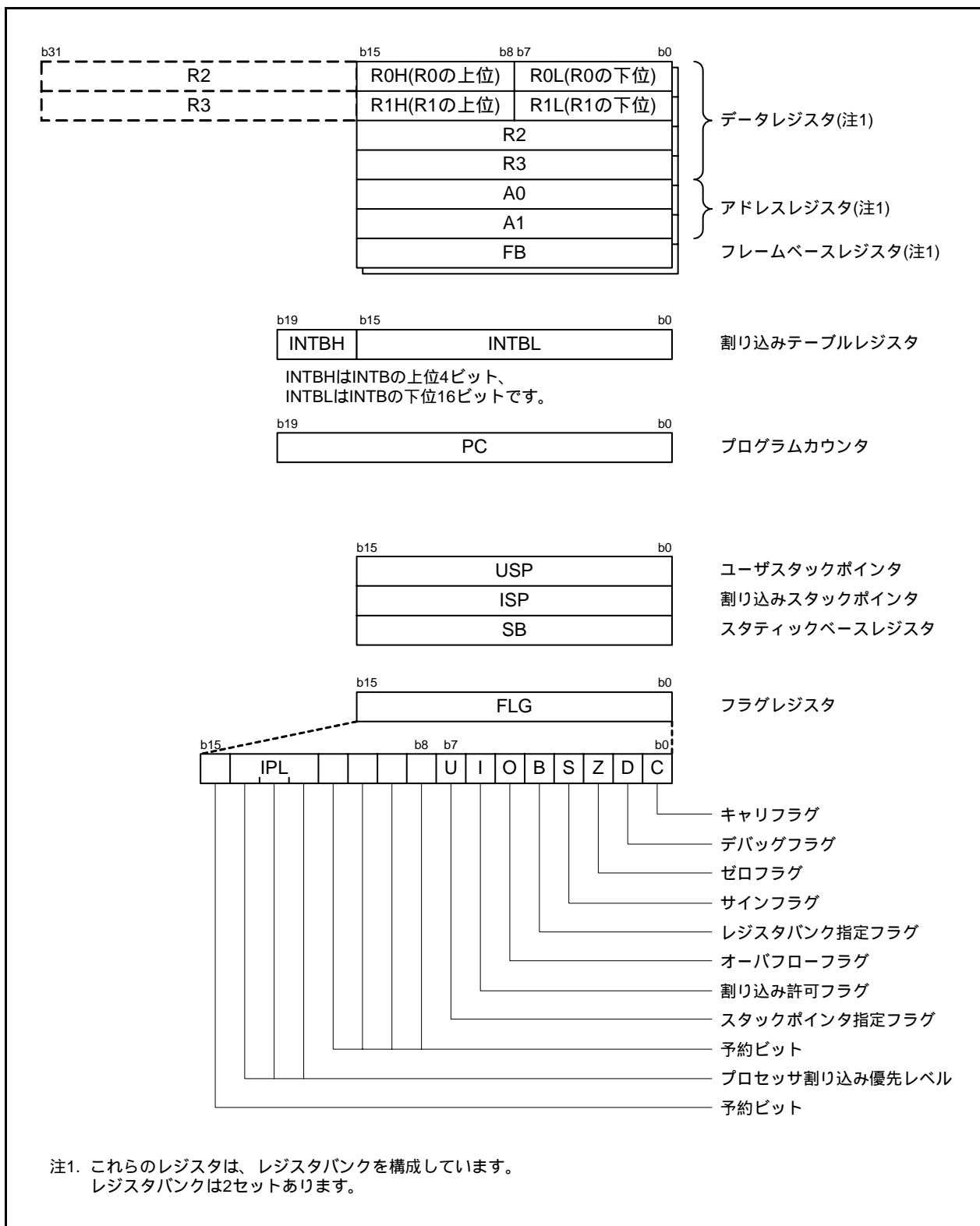


図2.1 CPUのレジスタ

## 2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り換えられます。

## 2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

### 2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

### 2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

### 2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが0の場合、マスカブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。IPLをレベル2～7に設定すると、すべてのマスカブル割り込み要求は禁止されます。

### 2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

### 3. アドレス空間

#### 3.1 メモリマップ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば8 Kバイトの内部ROMは、0E000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は03000h番地から037FFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば512バイトの内部RAMは、00400h番地から005FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

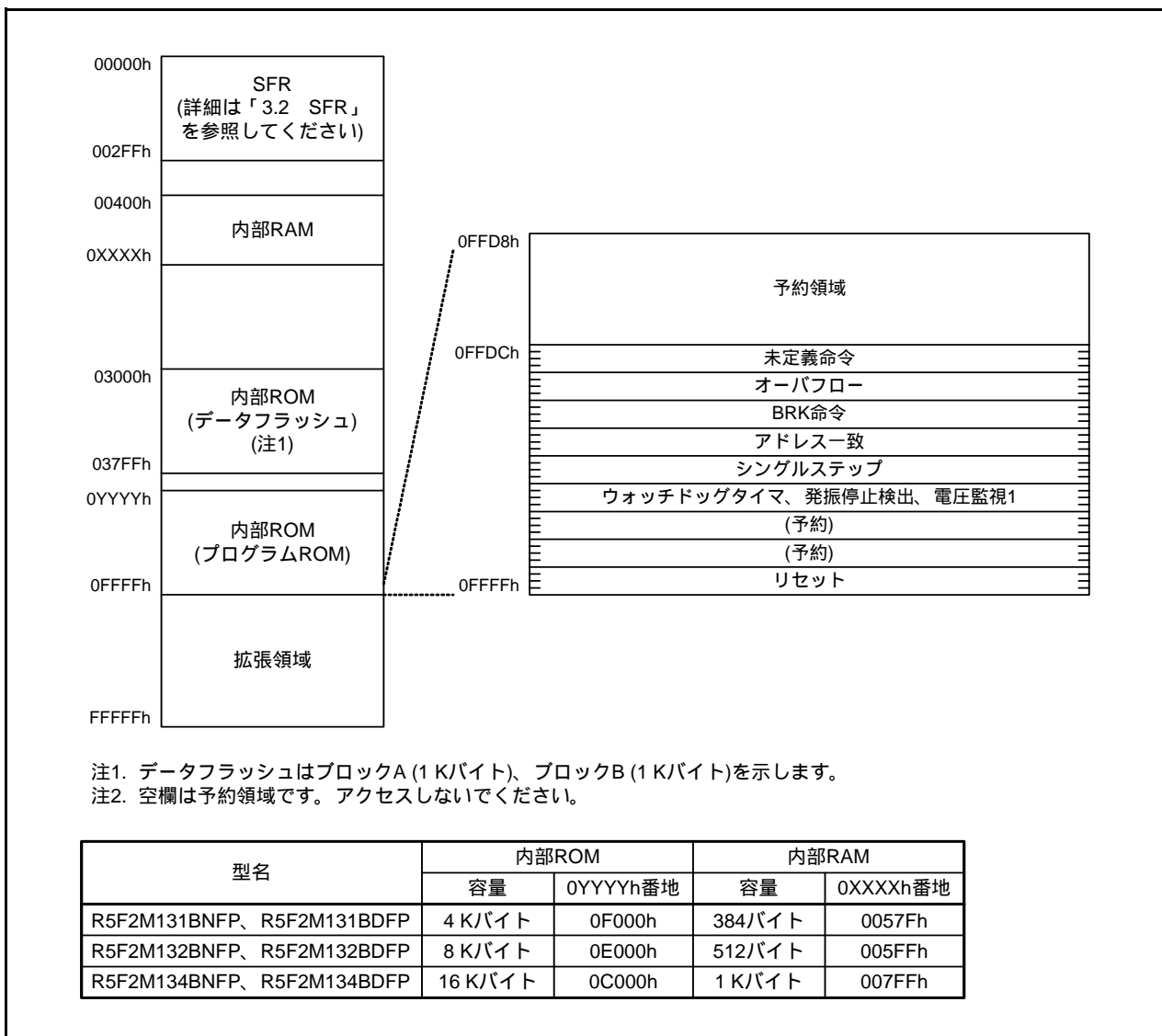


図3.1 メモリ配置図

## 3.2 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表3.1 ~ 表3.8にSFR一覧を、表3.9にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h			
0005h			
0006h			
0007h			
0008h			
0009h			
000Ah			
000Bh			
000Ch			
000Dh			
000Eh			
000Fh			
00010h	プロセッサモードレジスタ0	PM0	00h
00011h			
00012h	モジュールスタンバイ制御レジスタ	MSTCR	00h (注2) 01110111b (注3)
00013h	プロテクトレジスタ	PRCR	00h
00014h			
00015h			
00016h	ハードウェアリセットプロテクトレジスタ	HRPR	00h
00017h	モジュールスタンバイ制御レジスタ1	MSTCR1	00h (注2) FFh (注3)
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch			
0001Dh			
0001Eh			
0001Fh			
00020h	外部クロック制御レジスタ	EXCKCR	00h
00021h	高速/低速オンチップオシレータ制御レジスタ	OCOCR	00h
00022h	システムクロックf制御レジスタ	SCKCR	00h
00023h	システムクロックf選択レジスタ	PHISEL	00h
00024h	クロック停止制御レジスタ	CKSTPR	00h
00025h	モード復帰時クロック制御レジスタ	CKRSCR	00h
00026h	発振停止検出レジスタ	BAKCR	00h
00027h			
00028h			
00029h			
0002Ah			
0002Bh			
0002Ch			
0002Dh			
0002Eh			
0002Fh			
00030h	ウォッチドッグタイマ機能レジスタ	RISR	10000000b (注4) 00h (注5)
00031h	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
00032h	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
00033h	ウォッチドッグタイマ制御レジスタ	WDTC	01XXXXXXb
00034h	カウントソース保護モードレジスタ	CSPR	10000000b (注4) 00h (注5)
00035h	周期タイマ割り込み制御レジスタ	WDTIR	00h
00036h			
00037h			
00038h	外部入力許可レジスタ	INTEN	00h
00039h			

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS2レジスタのMSTINIビットが0の場合。

注3. OFS2レジスタのMSTINIビットが1の場合。

注4. OFSレジスタのCSPROINIビットが0の場合。

注5. OFSレジスタのCSPROINIビットが1の場合。

表3.2 SFR一覧(2) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0003Ah	INT入力フィルタ選択レジスタ0	INTF0	00h
0003Bh			
0003Ch	INT入力エッジ選択レジスタ0	ISCR0	00h
0003Dh			
0003Eh	キー入力許可レジスタ	KIEN	00h
0003Fh			
00040h	割り込み優先レベルレジスタ0	ILVL0	00h
00041h	割り込み優先レベルレジスタ1	ILVL1	00h
00042h	割り込み優先レベルレジスタ2	ILVL2	00h
00043h	割り込み優先レベルレジスタ3	ILVL3	00h
00044h	割り込み優先レベルレジスタ4	ILVL4	00h
00045h	割り込み優先レベルレジスタ5	ILVL5	00h
00046h	割り込み優先レベルレジスタ6	ILVL6	00h
00047h	割り込み優先レベルレジスタ7	ILVL7	00h
00048h	割り込み優先レベルレジスタ8	ILVL8	00h
00049h	割り込み優先レベルレジスタ9	ILVL9	00h
0004Ah	割り込み優先レベルレジスタA	ILVLA	00h
0004Bh	割り込み優先レベルレジスタB	ILVLB	00h
0004Ch	割り込み優先レベルレジスタC	ILVLC	00h
0004Dh	割り込み優先レベルレジスタD	ILVLD	00h
0004Eh	割り込み優先レベルレジスタE	ILVLE	00h
0004Fh			
00050h	割り込みモニタフラグレジスタ0	IRR0	00h
00051h	割り込みモニタフラグレジスタ1	IRR1	00h
00052h	割り込みモニタフラグレジスタ2	IRR2	00h
00053h	外部割り込みフラグレジスタ	IRR3	00h
00054h			
00055h			
00056h			
00057h			
00058h	電圧監視回路エッジ選択レジスタ	VCAC	00h
00059h			
0005Ah	電圧検出レジスタ2	VCA2	00100100b (注2) 00000100b (注3)
0005Bh	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0005Ch	電圧監視0回路制御レジスタ	VW0C	1100X011b (注2) 1100X010b (注3)
0005Dh	電圧監視1回路制御レジスタ	VW1C	10001010b
0005Eh			
0005Fh	リセット要因判別レジスタ	RSTFR	0000XXXXb (注4)
00060h			
00061h			
00062h			
00063h			
00064h	高速オンチップオシレータ18.432 MHz制御レジスタ0	FR18S0	出荷時の値
00065h	高速オンチップオシレータ18.432 MHz制御レジスタ1	FR18S1	出荷時の値
00066h			
00067h	高速オンチップオシレータ制御レジスタ1	FRV1	出荷時の値
00068h	高速オンチップオシレータ制御レジスタ2	FRV2	出荷時の値
00069h			
0006Ah			
0006Bh			
0006Ch			
0006Dh			
0006Eh			
0006Fh			
00070h			
00071h			
00072h			
00073h			
00074h			
00075h			
00076h			
00077h			
00078h			
00079h			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのLVDASビットが0の場合。

注3. OFSレジスタのLVDASビットが1の場合。

注4. リセット要因によってリセット後の値が異なります。

表3.3 SFR一覧(3) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			
00080h	UART0送受信モードレジスタ	U0MR	00h
00081h	UART0ビットレートレジスタ	U0BRG	XXh
00082h	UART0送信バッファレジスタ	U0TBL	XXh
00083h		U0TBH	XXh
00084h	UART0送受信制御レジスタ0	U0C0	00001000b
00085h	UART0送受信制御レジスタ1	U0C1	00000010b
00086h	UART0受信バッファレジスタ	U0RBL	XXh
00087h		U0RBH	XXh
00088h	UART0割り込みフラグと許可レジスタ	U0IR	00h
00089h			
0008Ah			
0008Bh			
0008Ch			
0008Dh			
0008Eh			
0008Fh			
00090h			
00091h			
00092h			
00093h			
00094h			
00095h			
00096h			
00097h			
00098h	A/D レジスタ0	AD0L	XXh
00099h		AD0H	000000XXb
0009Ah	A/D レジスタ1	AD1L	XXh
0009Bh		AD1H	000000XXb
0009Ch	A/D モードレジスタ	ADMOD	00h
0009Dh	A/D入力選択レジスタ	ADINSEL	00h
0009Eh	A/D制御レジスタ0	ADCON0	00h
0009Fh	A/D割り込み制御ステータスレジスタ	ADICSR	00h
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A6h			
000A7h			
000A8h	ポートP0方向レジスタ	PD0	00h
000A9h	ポートP1方向レジスタ	PD1	00h
000AAh	ポートP2方向レジスタ	PD2	00h
000ABh	ポートP3方向レジスタ	PD3	00h
000ACh	ポートP4方向レジスタ	PD4	00h
000ADh	ポートPA方向レジスタ	PDA	00h
000AEh	ポートP0レジスタ	P0	00h
000AFh	ポートP1レジスタ	P1	00h
000B0h	ポートP2レジスタ	P2	00h
000B1h	ポートP3レジスタ	P3	00h
000B2h	ポートP4レジスタ	P4	00h
000B3h	ポートPAレジスタ	PA	00h
000B4h	ブルアップ制御レジスタ0	PUR0	00h
000B5h	ブルアップ制御レジスタ1	PUR1	00h
000B6h	ブルアップ制御レジスタ2	PUR2	00h
000B7h	ブルアップ制御レジスタ3	PUR3	00h
000B8h	ブルアップ制御レジスタ4	PUR4	00h
000B9h	ポート入出力機能制御レジスタ	PINSR	00h
000BAh			
000BBh	駆動能力制御レジスタ1	DRR1	00h
000BCh			
000BDh	駆動能力制御レジスタ3	DRR3	00h
000BEh			
000BFh			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。



表3.4 SFR一覧(4)(注1)

アドレス	レジスタ名	シンボル	リセット後の値
000C0h	オーブンドレイン制御レジスタ0	POD0	00h
000C1h	オーブンドレイン制御レジスタ1	POD1	00h
000C2h	オーブンドレイン制御レジスタ2	POD2	00h
000C3h	オーブンドレイン制御レジスタ3	POD3	00h
000C4h	オーブンドレイン制御レジスタ4	POD4	00h
000C5h	ポートPAモード制御レジスタ	PAMCR	11h
000C6h	ポート0機能マッピングレジスタ0	PML0	00h
000C7h	ポート0機能マッピングレジスタ1	PMH0	00h
000C8h	ポート1機能マッピングレジスタ0	PML1	00h
000C9h	ポート1機能マッピングレジスタ1	PMH1	00h
000CAh	ポート2機能マッピングレジスタ0	PML2	00h
000CBh			
000CCh	ポート3機能マッピングレジスタ0	PML3	00h
000CDh	ポート3機能マッピングレジスタ1	PMH3	00h
000CEh	ポート4機能マッピングレジスタ0	PML4	00h
000CFh	ポート4機能マッピングレジスタ1	PMH4	00h
000D0h			
000D1h	ポート1機能マッピング拡張レジスタ	PMH1E	00h
000D2h			
000D3h			
000D4h			
000D5h			
000D6h			
000D7h			
000D8h	タイマRJカウンタレジスタ	TRJ	FFh
000D9h			FFh
000DAh	タイマRJ制御レジスタ	TRJCR	00h
000DBh	タイマRJ I/O制御レジスタ	TRJIOC	00h
000DCh	タイマRJモードレジスタ	TRJMR	00h
000DDh	タイマRJイベント選択レジスタ	TRJISR	00h
000DEh	タイマRJ割り込み制御レジスタ	TRJIR	00h
000DFh			
000E0h	タイマRB制御レジスタ	TRBCR	00h
000E1h	タイマRBワンショット制御レジスタ	TRBOCR	00h
000E2h	タイマRB I/O制御レジスタ	TRBIOC	00h
000E3h	タイマRBモードレジスタ	TRBMR	00h
000E4h	タイマRBプリスケアラレジスタ(注2) タイマRBプライマリ/セカンダリレジスタ(下位8ビット)(注3)	TRBPRE	FFh
000E5h	タイマRBプライマリレジスタ(注2) タイマRBプライマリレジスタ(上位8ビット)(注3)	TRBPR	FFh
000E6h	タイマRBセカンダリレジスタ(注2) タイマRBセカンダリレジスタ(上位8ビット)(注3)	TRBSC	FFh
000E7h	タイマRB割り込み制御レジスタ	TRBIR	00h
000E8h	タイマRCカウンタ	TRCCNT	00h
000E9h			00h
000EAh	タイマRCジェネラルレジスタA	TRCGRA	FFh
000EBh			FFh
000ECh	タイマRCジェネラルレジスタB	TRCGRB	FFh
000EDh			FFh
000EEh	タイマRCジェネラルレジスタC	TRCGRC	FFh
000EFh			FFh
000F0h	タイマRCジェネラルレジスタD	TRCGRD	FFh
000F1h			FFh
000F2h	タイマRCモードレジスタ	TRCMR	01001000b
000F3h	タイマRC制御レジスタ1	TRCCR1	00h
000F4h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
000F5h	タイマRCステータスレジスタ	TRCSR	01110000b
000F6h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
000F7h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
000F8h	タイマRC制御レジスタ2	TRCCR2	00011000b
000F9h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
000FAh	タイマRC出力許可レジスタ	TRCOER	01111111b
000FBh	タイマRC A/D変換トリガ制御レジスタ	TRCADCR	11110000b
000FCh	タイマRC波形出力操作レジスタ	TRCOPR	00h
000FDh			
000FEh			
000FFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. TRBMRレジスタのTCNT16ビットが0の場合。

注3. TRBMRレジスタのTCNT16ビットが1の場合。

表3.5 SFR一覧(5) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h			
00111h			
00112h			
00113h			
00114h			
00115h			
00116h			
00117h			
00118h			
00119h			
0011Ah			
0011Bh			
0011Ch			
0011Dh			
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRE秒データレジスタ	TRESEC	XXXXXXXXb
	タイマREカウンタデータレジスタ	TRECNT	
00131h	タイマRE分データレジスタ	TREMINT	XXXXXXXXb
	タイマREコンペアデータレジスタ		
00132h	タイマRE時データレジスタ	TREHR	00XXXXXb
00133h	タイマRE曜日データレジスタ	TREWK	0000XXXb
00134h	タイマRE日データレジスタ	TREYD	00XXXXXXb
00135h	タイマRE月データレジスタ	TREMON	000XXXXXb
00136h	タイマRE年データレジスタ	TREYR	XXXXXXXXb
00137h	タイマRE制御レジスタ	TRECR	XX00X0Xb
00138h	タイマREカウントソース選択レジスタ	TRECSR	X0001000b
00139h	タイマRE時計誤差補正レジスタ	TREADJ	XXXXXXXXb
0013Ah	タイマRE割り込みフラグレジスタ	TREIFR	0000XXXb
0013Bh	タイマRE割り込み許可レジスタ	TREIER	XXXXXXXXb
0013Ch	タイマREアラーム分レジスタ	TREAMN	XXXXXXXXb
0013Dh	タイマREアラーム時レジスタ	TREHR	XXXXXXXXb
0013Eh	タイマREアラーム曜日レジスタ	TREAWK	X0000XXXb
0013Fh	タイマREプロテクトレジスタ	TREPRC	00000000b

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00140h			
00141h			
00142h			
00143h			
00144h			
00145h			
00146h			
00147h			
00148h			
00149h			
0014Ah			
0014Bh			
0014Ch			
0014Dh			
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h	IIC制御レジスタ	IICCR	00001110b
00161h	SSビットカウンタレジスタ	SSBR	11111000b
00162h	SI送信データレジスタ	SITDR	FFh
00163h			FFh
00164h	SI受信データレジスタ	SIRDR	FFh
00165h			FFh
00166h	SI制御レジスタ1	SICR1	00h
00167h	SI制御レジスタ2	SICR2	01111101b
00168h	SIモードレジスタ1	SIMR1	00010000b (注2) 00011000b (注3)
00169h	SI割り込み許可レジスタ	SIER	00h
0016Ah	SIステータスレジスタ	SISR	00h
0016Bh	SIモードレジスタ2	SIMR2	00h
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h			
00171h			
00172h			
00173h			
00174h			
00175h			
00176h			
00177h			
00178h			
00179h			
0017Ah			
0017Bh			
0017Ch			
0017Dh			
0017Eh			
0017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSU機能の場合。

注3. I<sup>2</sup>Cバス機能の場合。

表3.7 SFR一覧(7) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00180h	コンパレータB制御レジスタ	WCMPR	00h
00181h	コンパレータB1割り込み制御レジスタ	WCB1INTR	00h
00182h	コンパレータB3割り込み制御レジスタ	WCB3INTR	00h
00183h			
00184h			
00185h			
00186h			
00187h			
00188h	タイマRKモードレジスタ	TMKM	00h
00189h	タイマRK制御レジスタ	TMKCR	00h
0018Ah	タイマRKロードレジスタ	TMKLD (TMKCNT)	00h
0018Bh	タイマRKコンパア一致データレジスタ	TMKCMP	00h
0018Ch	タイマRK割り込み要求とステータスレジスタ	TMKIR	00h
0018Dh			
0018Eh			
0018Fh			
00190h	UART1送受信モードレジスタ	U1MR	00h
00191h	UART1ビットレートレジスタ	U1BRG	XXh
00192h	UART1送信バッファレジスタ	U1TBL	XXh
00193h		U1TBH	XXh
00194h	UART1送受信制御レジスタ0	U1C0	00001000b
00195h	UART1送受信制御レジスタ1	U1C1	0000010b
00196h	UART1受信バッファレジスタ	U1RBL	XXh
00197h		U1RBH	XXh
00198h	UART1割り込みフラグと許可レジスタ	U1IR	00h
00199h			
0019Ah			
0019Bh			
0019Ch	IrDA制御レジスタ	IRCR	00h
0019Dh			
0019Eh			
0019Fh			
001A0h			
001A1h			
001A2h			
001A3h			
001A4h			
001A5h			
001A6h			
001A7h			
001A8h			
001A9h	フラッシュメモリステータスレジスタ	FST	10000000b
001AAh	フラッシュメモリ制御レジスタ0	FMR0	00h
001ABh	フラッシュメモリ制御レジスタ1	FMR1	00h
001ACh	フラッシュメモリ制御レジスタ2	FMR2	00h
001ADh	フラッシュメモリリフレッシュ制御レジスタ	FREFR	00h
001AEh			
001AFh			
001B0h			
001B1h			
001B2h			
001B3h			
001B4h			
001B5h			
001B6h			
001B7h			
001B8h			
001B9h			
001BAh			
001BBh			
001BCh			
001BDh			
001BEh			
001BFh			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
001C0h	アドレス一致割り込みレジスタ0	AIADR0L	00h
001C1h		AIADR0M	00h
001C2h		AIADR0H	00h
001C3h	アドレス一致割り込み許可レジスタ0	AIEN0	00h
001C4h	アドレス一致割り込みレジスタ1	AIADR1L	00h
001C5h		AIADR1M	00h
001C6h		AIADR1H	00h
001C7h	アドレス一致割り込み許可レジスタ1	AIEN1	00h
001C8h			
001C9h			
001CAh			
001CBh			
001CCh			
001CDh			
001CEh			
001CFh			
001D0h			
001D1h			
001D2h			
001D3h			
001D4h			
001D5h			
001D6h			
001D7h			
001D8h			
001D9h			
001DAh			
001DBh			
001DCh			
001DDh			
001DEh			
001DFh			
001E0h			
001E1h			
001E2h			
001E3h			
001E4h			
001E5h			
001E6h			
001E7h			
001E8h			
001E9h			
001EAh			
001EBh			
001ECh			
001EDh			
001EEh			
001EFh			
001F0h			
001F1h			
001F2h			
001F3h			
001F4h			
001F5h			
001F6h			
001F7h			
001F8h			
001F9h			
001FAh			
001FBh			
001FCh			
001FDh			
001FEh			
001FFh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 IDコード領域、オプション機能選択領域

アドレス	領域名	シンボル	リセット後の値
0FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
0FFDFh	ID1		(注2)
0FFE3h	ID2		(注2)
0FFEBh	ID3		(注2)
0FFEfh	ID4		(注2)
0FFF3h	ID5		(注2)
0FFF7h	ID6		(注2)
0FFFBh	ID7		(注2)
0FFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

ブランク出荷品の出荷時、オプション機能選択領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

ブランク出荷品の出荷時、IDコード領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 4. バス制御

ROM、RAM、SFRは、アクセス時のバスサイクルが異なります。

表4.1にアクセス領域に対するバスサイクルを、表4.2にアクセス単位とバスの動作を示します。

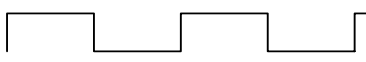
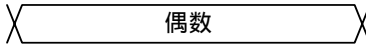
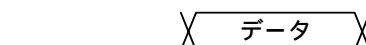
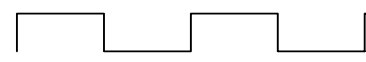

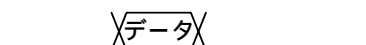
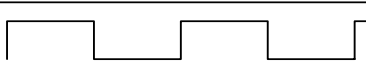
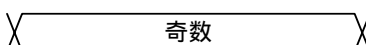
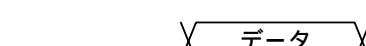
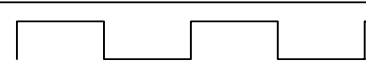
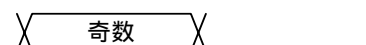
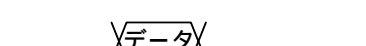

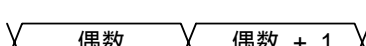
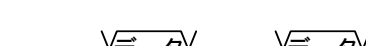
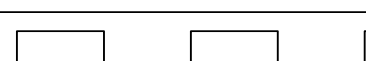
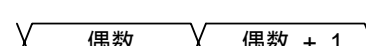

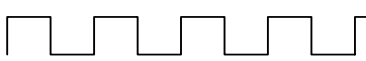
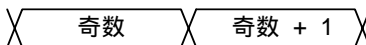
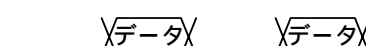
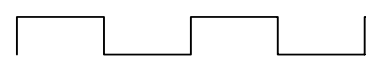

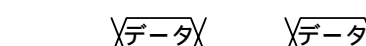
SFRに対するアクセス可能な単位は、各章のレジスタ構成に「アクセスサイズ」で表します。

周辺機能モジュールは、8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスされます。

表4.1 アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
ROM (データフラッシュ)	CPUクロックの2サイクル
SFR (FMR2レジスタ以外)	
SFR (FMR2レジスタ)	CPUクロックの6サイクル
ROM (プログラムROM)	CPUクロックの1サイクル
RAM	

表4.2 アクセス単位とバスの動作

領域	ROM (データフラッシュ)、SFR	ROM (プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ  データ	CPU クロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ  データ	CPU クロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数 + 1 データ  データ データ	CPU クロック  アドレス  偶数 偶数 + 1 データ  データ データ
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数 + 1 データ  データ データ	CPU クロック  アドレス  奇数 奇数 + 1 データ  データ データ

## 5. システム制御

### 5.1 概要

本章ではIDコードチェック機能、レジスタアクセスプロテクト機能やオプション機能などに関するシステム共通の制御に関して説明します。

### 5.2 レジスタの説明

表5.1にシステム制御のレジスタ構成を示します。

表5.1 システム制御のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00010h	8
モジュールスタンバイ制御レジスタ	MSTCR	(注1)	00012h	8
プロテクトレジスタ	PRCR	00h	00013h	8
ハードウェアリセットプロテクトレジスタ	HRPR	00h	00016h	8
モジュールスタンバイ制御レジスタ1	MSTCR1	(注1)	00017h	8
リセット要因判別レジスタ	RSTFR	(注2)	0005Fh	8
オプション機能選択レジスタ2	OFS2	(注3)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注4)	0FFFFh	8

注1. レジスタの説明を参照してください。

注2. RSTFRレジスタは、リセット要因によってリセット後の値が異なります。詳細は「5.2.6 リセット要因判別レジスタ(RSTFR)」を参照してください。

注3. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

注4. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。



## 5.2.1 プロセッサモードレジスタ0 (PM0)

アドレス	00010h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	SRST	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	SRST			
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

## SRSTビット(ソフトウェアリセットビット)

SRSTビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。詳細は「6. リセット」を参照してください。

## 5.2.2 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 00012h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTUART0	MSTTRC	MSTAD	—	MSTTRE	MSTTRB	MSTTRJ
リセット後の値	0	0	0	0	0	0	0	0

上記はOFS2レジスタのMSTINIビットが0の場合

リセット後の値	0	1	1	1	0	1	1	1
---------	---	---	---	---	---	---	---	---

上記はOFS2レジスタのMSTINIビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRJ	タイマRJ2スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB	タイマRB2スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRE	タイマRE2スタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	MSTAD	A/Dコンバータスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b6	MSTUART0	UART0スタンバイビット	0: アクティブ 1: スタンバイ(注6)	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

- 注1. MSTTRJビットを1(スタンバイ)にすると、タイマRJ2関連レジスタ(000D8h ~ 000DEh番地)へのアクセスは無効になります。
- 注2. MSTTRBビットを1(スタンバイ)にすると、タイマRB2関連レジスタ(000E0h ~ 000E7h番地)へのアクセスは無効になります。
- 注3. MSTTREビットを1(スタンバイ)にすると、タイマRE2関連レジスタ(00130h ~ 0013Fh番地)へのアクセスは無効になります。
- 注4. MSTADビットを1(スタンバイ)にすると、A/Dコンバータ関連レジスタ(00098h ~ 0009Fh番地)へのアクセスは無効になります。
- 注5. MSTTRCビットを1(スタンバイ)にすると、タイマRC関連レジスタ(000E8h ~ 000FCh番地)へのアクセスは無効になります。
- 注6. MSTUART0ビットを1(スタンバイ)にすると、UART0関連レジスタ(00080h ~ 00088h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。

## 5.2.3 プロテクトレジスタ (PRCR)

アドレス	00013h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	PRC4	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	EXCKCR、OCOCR、SCKCR、PHISEL、CKSTPR、CKRSCR、BAKCR、FRV1、FRV2レジスタへの書き込み 0：禁止 1：許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、RISRレジスタへの書き込み 0：禁止 1：許可(注1)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	PRC3	プロテクトビット3	VCA2、VD1LS、VW0C、VW1Cレジスタへの書き込み 0：禁止 1：許可(注1)	R/W
b4	PRC4	プロテクトビット4	PINSRレジスタへの書き込み 0：禁止 1：許可(注1)	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. 一度1にすると、プログラムで0にするまで書き込み許可を継続します。

## 5.2.4 ハードウェアリセットプロテクトレジスタ (HRPR)

アドレス	00016h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	PAMCRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PAMCRE	PAMCRレジスタ書き込み許可ビット(注1)	0：書き込み禁止 1：書き込み許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. このビットを1にする場合、0を書いた後、1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

## PAMCRE ビット (PAMCR レジスタ書き込み許可ビット)

[0になる条件]

- 0を書いたとき

[1になる条件]

- 0を書いた後、1を書いたとき

## 5.2.5 モジュールスタンバイ制御レジスタ1 (MSTCR1)

アドレス	00017h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTUART1	MSTTRK	—	MSTICSU	MSTIRDA
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFS2レジスタのMSTINTビットが0の場合							
リセット後の値	1	1	1	1	1	1	1	1
	上記はOFS2レジスタのMSTINTビットが1の場合							

ビット	シンボル	ビット名	機能	R/W
b0	MSTIRDA	IrDAスタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTICSU	SSU/I <sup>2</sup> Cパススタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	—	予約ビット	1にしてください。読んだ場合、その値は不定。	R/W
b3	MSTTRK	タイマRKスタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTUART1	UART1スタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

- 注1. MSTIRDAビットを1(スタンバイ)にすると、IrDA関連レジスタ(0019Ch番地)へのアクセスは無効になります。
- 注2. MSTICSUビットを1(スタンバイ)にすると、SSU/I<sup>2</sup>Cバス関連レジスタ(00160h ~ 0016Bh番地)へのアクセスは無効になります。
- 注3. MSTTRKビットを1(スタンバイ)にすると、タイマRK関連レジスタ(00188h ~ 0018Ch番地)へのアクセスは無効になります。
- 注4. MSTUART1ビットを1(スタンバイ)にすると、UART1関連レジスタ(00190h ~ 00198h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。

## 5.2.6 リセット要因判別レジスタ(RSTFR)

アドレス	0005Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	0	0	0	0	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. リセット要因によって、リセット後の値は異なります。

### CWR ビット(コールドスタート/ウォームスタート判定フラグ)

コールドスタート、ウォームスタートを示すフラグです。CWR ビットは、電源投入後と電圧監視 0 リセット後に、0 (コールドスタート) になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

なお、CWR ビットは、プログラムで 1 を書くと 1 になりますが、0 を書いても変化しません。

[0 になる条件]

- 電源を投入または電圧監視 0 でリセットが発生したとき

[1 になる条件]

- プログラムで 1 を書いたとき

### HWR ビット(ハードウェアリセット検出フラグ)

ハードウェアリセットが発生したことを示すフラグです。

[0 になる条件]

- ソフトウェアリセット、ウォッチドッグタイマリセット、パワーオンリセットまたは電圧監視 0 リセットが発生したとき

[1 になる条件]

- ハードウェアリセットが発生したとき

### SWR ビット(ソフトウェアリセット検出フラグ)

ソフトウェアによるリセットが発生したことを示すフラグです。

[0 になる条件]

- ウォッチドッグタイマリセット、ハードウェアリセット、パワーオンリセットまたは電圧監視 0 リセットが発生したとき

[1 になる条件]

- ソフトウェアリセットが発生したとき

### WDR ビット(ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマによるリセットが発生したことを示すフラグです。

[0 になる条件]

- ソフトウェアリセット、ハードウェアリセット、パワーオンリセットまたは電圧監視 0 リセットが発生したとき

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

## 5.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTINI	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 00 : 03FFh 01 : 0FFFh 10 : 1FFFh 11 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 00 : 25 % 01 : 50 % 10 : 75 % 11 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	MSTINI	MSTCR レジスタ初期値指定ビット	0 : リセット後、MSTCR レジスタは00h、 MSTCR1 レジスタは00h 1 : リセット後、MSTCR レジスタは77h、 MSTCR1 レジスタはFFh	R/W
b6	—	予約ビット	1にしてください	R/W
b7	—			

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。

ブランク出荷品の出荷時、OFS2 レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

## WDTUFS0 ~ WDTUFS1 ビット(ウォッチドッグタイマアンダフロー周期設定ビット)

ウォッチドッグタイマのアンダフロー周期を選択します。

## WDTRCS0 ~ WDTRCS1 ビット

## (ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2.8 オプション機能選択レジスタ(OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット	b5 b4 0 0 : 3.80 V (標準)選択(Vdet0_3) 0 1 : 2.85 V (標準)選択(Vdet0_2) 1 0 : 2.35 V (標準)選択(Vdet0_1) 1 1 : 1.90 V (標準)選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。  
ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

## WDTONビット(ウォッチドッグタイマ起動選択ビット)

リセット解除後、ウォッチドッグタイマを自動的に起動するか、しないかを設定します。

## VDSEL0 ~ VDSEL1ビット(電圧検出0レベル選択ビット)

電圧監視0リセットの検出レベル(Vdet0)を選択します。VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルが設定されます。

## LVDASビット(電圧検出0回路起動ビット)

電圧監視0リセットを有効または無効を選択します。パワーオンリセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

## CSPROINIビット(リセット後カウントソース保護モード選択ビット)

リセット解除後、ウォッチドッグタイマのカウントソースの変更を保護するか、しないかを設定します。

### 5.3 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードを使用した際の、フラッシュメモリの読み出し、書き換え、消去を禁止します。この機能はIDコード領域に書き込んだIDコードが判定されることで、実現されます。

詳細は「23.3 IDコードチェック機能」を参照してください。

### 5.4 レジスタアクセスプロテクト機能

レジスタアクセスプロテクト機能はプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

表5.2にPRCRレジスタの各ビットと保護されるレジスタ一覧を示します。

各ビットの詳細は「5.2.3 プロテクトレジスタ(PRCR)」を参照してください。

表5.2 PRCRレジスタの各ビットと保護されるレジスタ一覧

ビット	保護されるレジスタ
PRC0	EXCKCR、OCOCR、SCKCR、PHISEL、CKSTPR、CKRSCR、BAKCR、FRV1、FRV2レジスタ
PRC1	PM0、RISRレジスタ
PRC3	VCA2、VD1LS、VW0C、VW1Cレジスタ
PRC4	PINSRレジスタ

表5.3にHRPRレジスタの各ビットと保護されるレジスタ一覧を示します。

各ビットの詳細は「5.2.4 ハードウェアリセットプロテクトレジスタ(HRPR)」を参照してください。

表5.3 HRPRレジスタの各ビットと保護されるレジスタ一覧

ビット	保護されるレジスタ
PAMCRE	PAMCRレジスタ



## 5.5 オプション機能

オプション機能とは、リセット解除後のマイクロコンピュータの状態を、ユーザが選択できる機能です。表5.4にオプション機能一覧を示します。

オプション機能はOFS2、OFSレジスタで選択します。OFS2、OFSレジスタは図5.1に示すとおり、フラッシュメモリ上の0FFD8h番地(リセットベクタの最上位)、0FFDBh番地に割り付けられています。

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

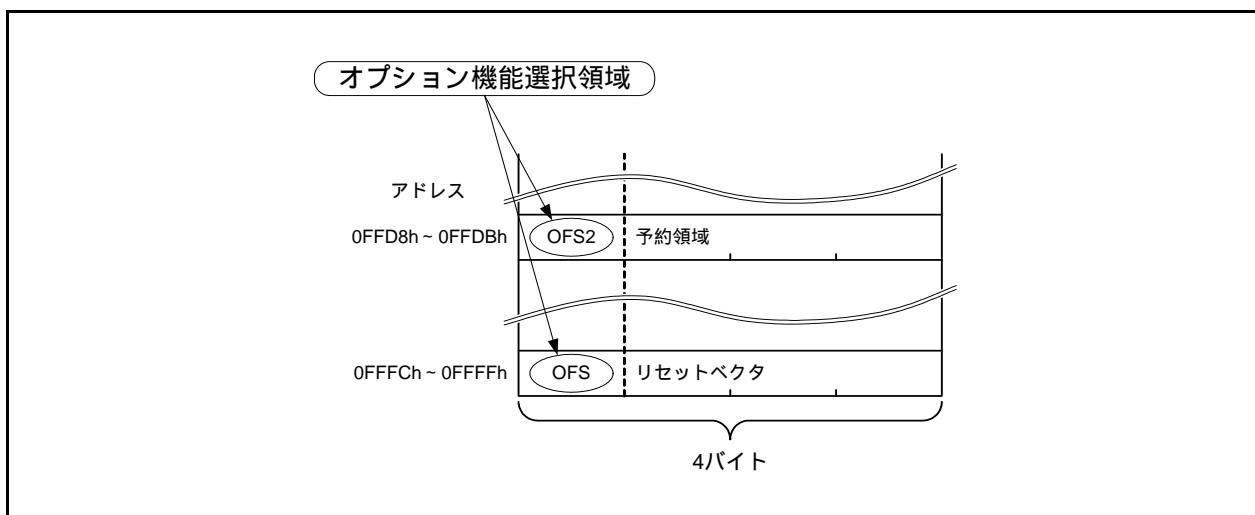


図5.1 オプション機能選択領域

表5.4 オプション機能一覧

オプション機能名		レジスタ名	ビット名	参照先
ウォッチドッグ タイマ	起動選択機能	OFSレジスタ	WDTONビット	8. ウォッチドッグタイマ
	カウントソース 保護選択機能		CSPROINIビット	
	アンダフロー周期選択 機能	OFS2レジスタ	WDTUFS0 ~ WDTUFS1ビット	
	リフレッシュ受付周期 選択機能		WDTRCS0 ~ WDTRCS1ビット	
電圧検出回路	電圧監視0リセットレベ ル選択機能	OFSレジスタ	VDSEL0 ~ VDSEL1ビット	6. リセット 7. 電圧検出回路
	電圧監視0リセット起動 選択機能		LVDASビット	
フラッシュメモリ	ROMコードプロテクト 機能		ROMCR ~ ROMCP1ビット	23. フラッシュメモリ

## 5.6 システム制御使用上の注意事項

### 5.6.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

## 6. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧検出回路による電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

### 6.1 概要

表6.1にリセットの名称と要因を、図6.1にリセット回路のブロック図を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子にLレベルが入力されたとき
パワーオンリセット	電源VCCが投入されたとき
電圧監視0リセット	電源VCCがVdet0以下に低下し、電圧検出回路0によりこれを検知したとき
ウォッチドッグタイマリセット	ウォッチドッグタイマがアンダフローしたとき
ソフトウェアリセット	プログラムにより、PM0レジスタのSRSTビットに1を書いたとき

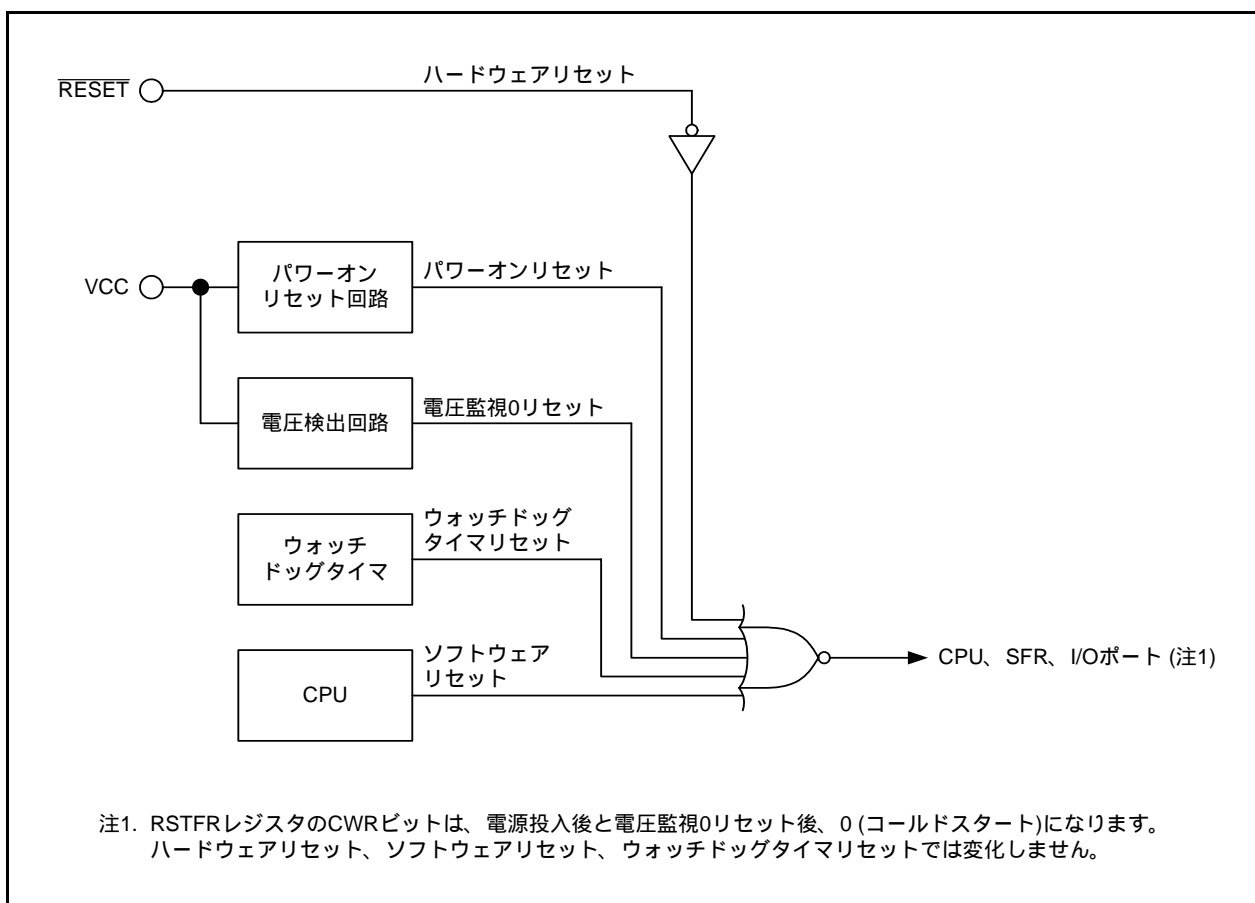


図6.1 リセット回路のブロック図

## 6.2 レジスタの説明

表6.2にリセットのレジスタ構成を示します。

表6.2 リセットのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00010h	8
リセット要因判別レジスタ	RSTFR	(注1)	0005Fh	8
オプション機能選択レジスタ2	OFS2	(注2)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注3)	0FFFFh	8

注1. RSTFRレジスタは、リセット要因によってリセット後の値が異なります。詳細は「6.2.2 リセット要因判別レジスタ(RSTFR)」を参照してください。

注2. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

注3. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

### 6.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00010h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル — — — — SRST — — —

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	SRST	ソフトウェアリセットビット	0：状態保持 1：リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

#### SRSTビット(ソフトウェアリセットビット)

SRSTビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。詳細は「6. リセット」を参照してください。

## 6.2.2 リセット要因判別レジスタ(RSTFR)

アドレス	0005Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	0	0	0	0	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. リセット要因によって、リセット後の値は異なります。

## CWRビット(コールドスタート/ウォームスタート判定フラグ)

コールドスタート、ウォームスタートを示すフラグです。CWRビットは、電源投入後と電圧監視0リセット後に、0(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

なお、CWRビットは、プログラムで1を書くと1になりますが、0を書いても変化しません。

[0になる条件]

- 電源を投入または電圧監視0でリセットが発生したとき

[1になる条件]

- プログラムで1を書いたとき

## HWRビット(ハードウェアリセット検出フラグ)

ハードウェアリセットが発生したことを示すフラグです。

[0になる条件]

- ソフトウェアリセット、ウォッチドッグタイマリセット、パワーオンリセットまたは電圧監視0リセットが発生したとき

[1になる条件]

- ハードウェアリセットが発生したとき

## SWRビット(ソフトウェアリセット検出フラグ)

ソフトウェアによるリセットが発生したことを示すフラグです。

[0になる条件]

- ウォッチドッグタイマリセット、ハードウェアリセット、パワーオンリセットまたは電圧監視0リセットが発生したとき

[1になる条件]

- ソフトウェアリセットが発生したとき

### WDRビット(ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマによるリセットが発生したことを示すフラグです。

[0になる条件]

- ソフトウェアリセット、ハードウェアリセット、パワーオンリセットまたは電圧監視0リセットが発生したとき

[1になる条件]

- ウォッチドッグタイマリセットが発生したとき

## 6.2.3 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTINI	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	MSTINI	MSTCRレジスタ初期値指定ビット	0 : リセット後、MSTCRレジスタは00h、 MSTCR1レジスタは00h 1 : リセット後、MSTCRレジスタは77h、 MSTCR1レジスタはFFh	R/W
b6	—	予約ビット	1にしてください	R/W
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

## WDTUFS0 ~ WDTUFS1ビット(ウォッチドッグタイマアンダフロー周期設定ビット)

ウォッチドッグタイマのアンダフロー周期を選択します。

## WDTRCS0 ~ WDTRCS1ビット

## (ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

### 6.2.4 オプション機能選択レジスタ(OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット	b5 b4 0 0: 3.80 V (標準)選択(Vdet0_3) 0 1: 2.85 V (標準)選択(Vdet0_2) 1 0: 2.35 V (標準)選択(Vdet0_1) 1 1: 1.90 V (標準)選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。  
ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

#### WDTONビット(ウォッチドッグタイマ起動選択ビット)

リセット解除後、ウォッチドッグタイマを自動的に起動するか、しないかを設定します。

#### VDSEL0 ~ VDSEL1ビット(電圧検出0レベル選択ビット)

電圧監視0リセットの検出レベル(Vdet0)を選択します。VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルが設定されます。

#### LVDASビット(電圧検出0回路起動ビット)

電圧監視0リセットを有効または無効を選択します。パワーオンリセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

#### CSPROINIビット(リセット後カウントソース保護モード選択ビット)

リセット解除後、ウォッチドッグタイマのカウントソースの変更を保護するか、しないかを設定します。



## 6.3 動作説明

## 6.3.1 リセットシーケンス

図6.2にハードウェアリセットを例にしてリセットシーケンスを示します。内部リセット信号が解除されると所定時間経過後リセットベクタ(0FFFCh ~ 0FFFEh 番地)からCPUは動作を開始します。

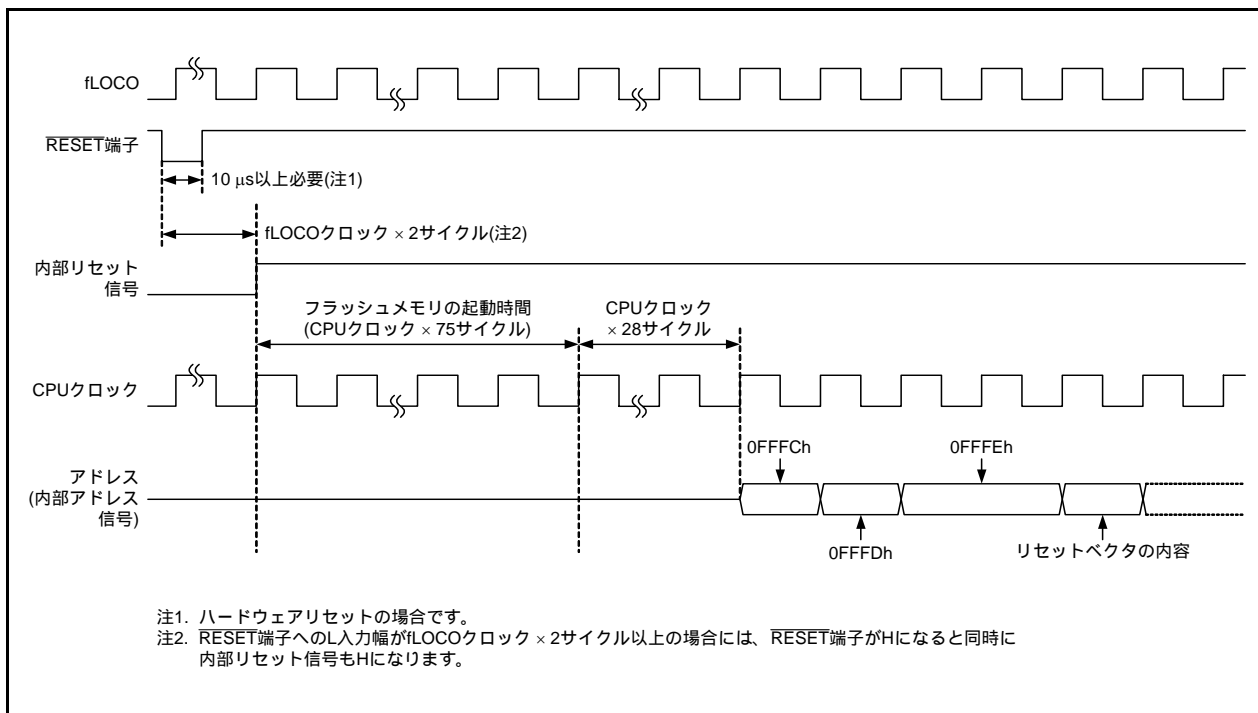


図6.2 リセットシーケンス

### 6.3.2 ハードウェアリセット

RESET 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET 端子にLを入力するとCPU、SFR、I/Oポートが初期化されます。リセット後のSFRの状態は「3.2 SFR」を、I/Oポートの状態は「表6.3 端子の状態」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子にLになると、内部RAMは不定となります。

RESET端子の入力レベルをLからHにすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロック(分周なし)が自動的に選択されます。

図6.3にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

RESET端子はポートPA\_0と兼用していますので、ハードウェアリセットとして使用しない場合は、I/Oポートとして使用できます。詳細は「12.13.1 RESET/PA\_0端子使用時の注意」を参照してください。

#### 6.3.2.1 電源が安定している場合

- (1) RESET 端子にLを入力する
- (2) 10  $\mu$ s待つ
- (3) RESET 端子にHを入力する

#### 6.3.2.2 電源投入時

- (1) RESET 端子にLを入力する
- (2) 電源電圧が推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「24. 電気的特性」参照)
- (4) 10  $\mu$ s待つ
- (5) RESET 端子にHを入力する

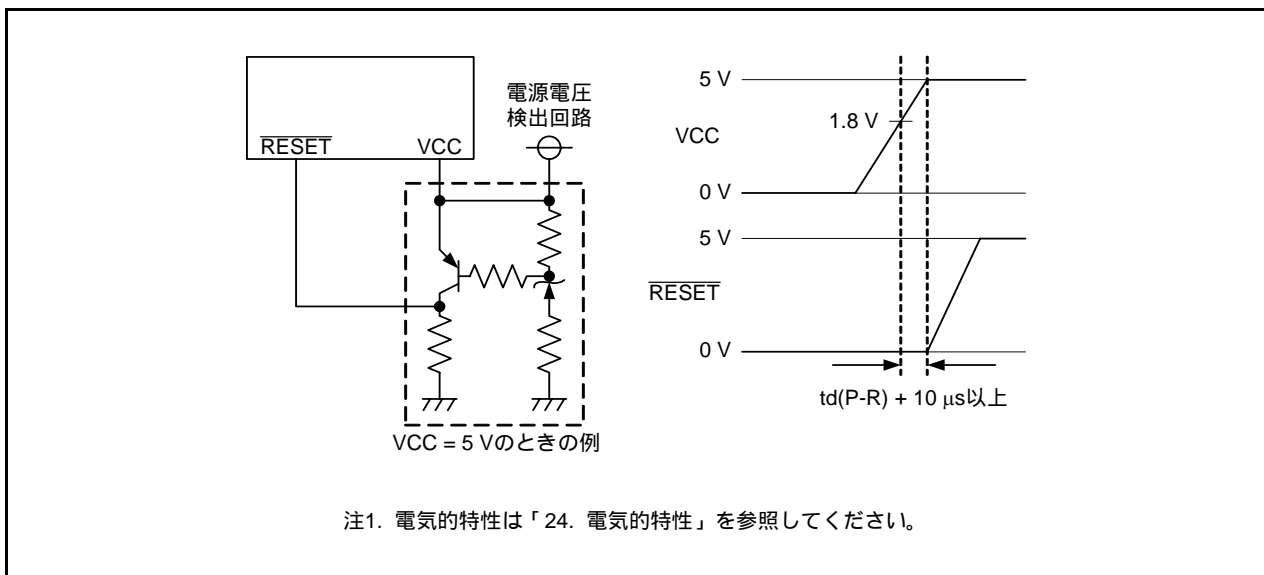


図6.3 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 6.3.3 パワーオンリセット

抵抗を通してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセットが有効になり、CPU、SFR、I/Oポートが初期化されます。内蔵RAMは不定です。なお、RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8 VCC$ 以上になるように注意してください。RESET端子をI/Oポートに使用する場合は「12.13.1 RESET/PA\_0端子使用時の注意」を参照してください。

VCC端子に入力する電圧が $V_{det0}$ 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを256回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロック(分周なし)が自動的に選択されます。パワーオンリセット後のSFRの状態は「3.2 SFR」を参照してください。パワーオンリセットを使用する場合には、OFSレジスタのLVIDASビットを0(リセット後、電圧監視0リセット有効)にし、電圧監視0リセットを有効にしてください。

図6.4にパワーオンリセット回路例と動作を示します。

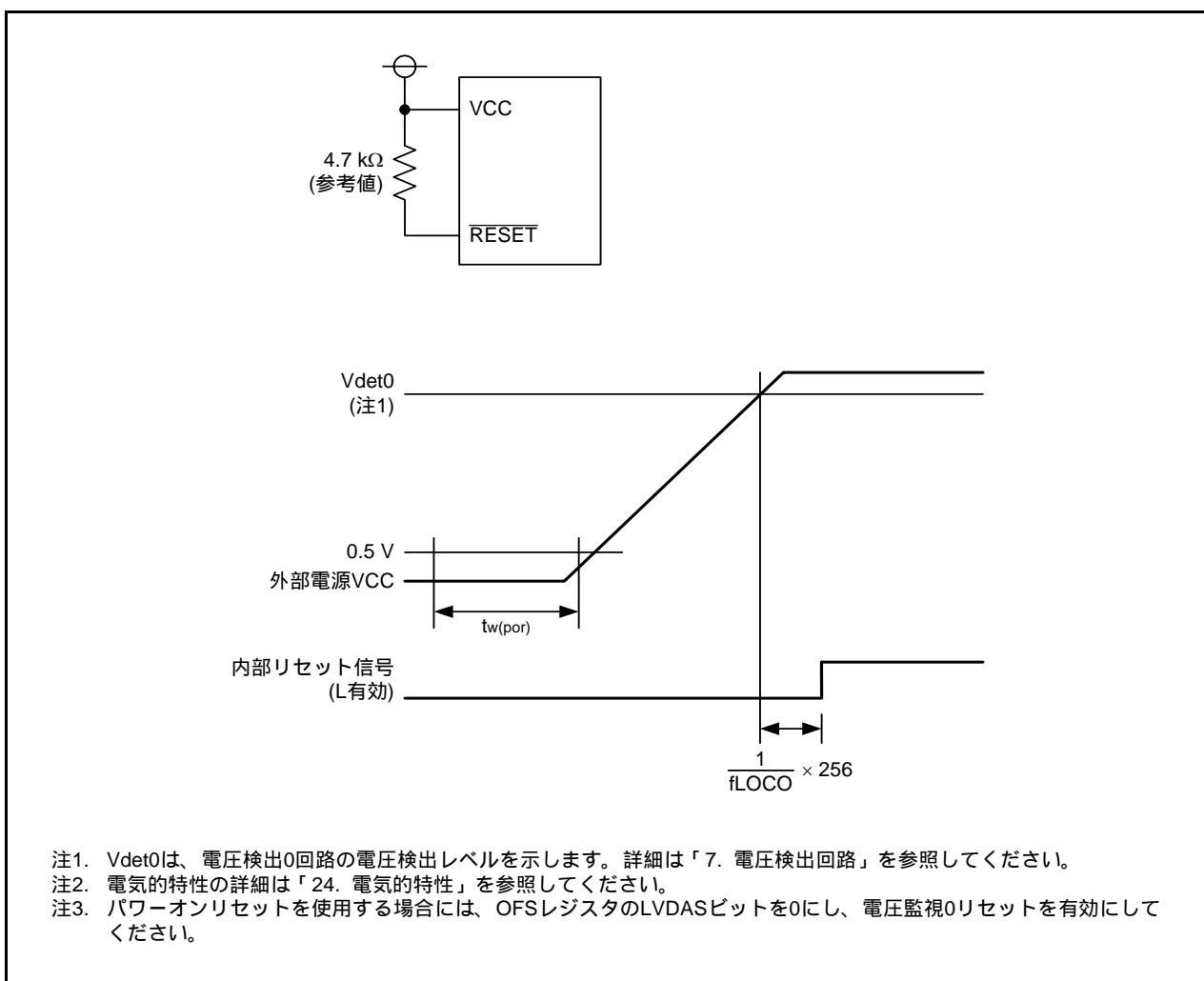


図6.4 パワーオンリセット回路例と動作

### 6.3.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路は、VCC端子に入力する電圧を監視します。電圧監視0リセットの検出レベルはVdet0です。Vdet0はOFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると、CPU、SFR、I/Oポートが初期化されます。内部RAMは初期化されません。また、内部RAMへ書き込み中に電源電圧がVdet0以下になると、内部RAMは不定となります。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを256回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロック(分周なし)が自動的に選択されます。

OFSレジスタのLVDASビットで、リセット後の電圧監視0リセットの有効または無効を選択できます。LVDASビットの設定は、すべてのリセットで有効となります。

VDSEL0～VDSEL1、LVDASビットはプログラムでは変更できません。これらのビットを変更する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。OFSレジスタの詳細は「6.2.4 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

図6.5に電圧監視0リセットの動作例を示します。

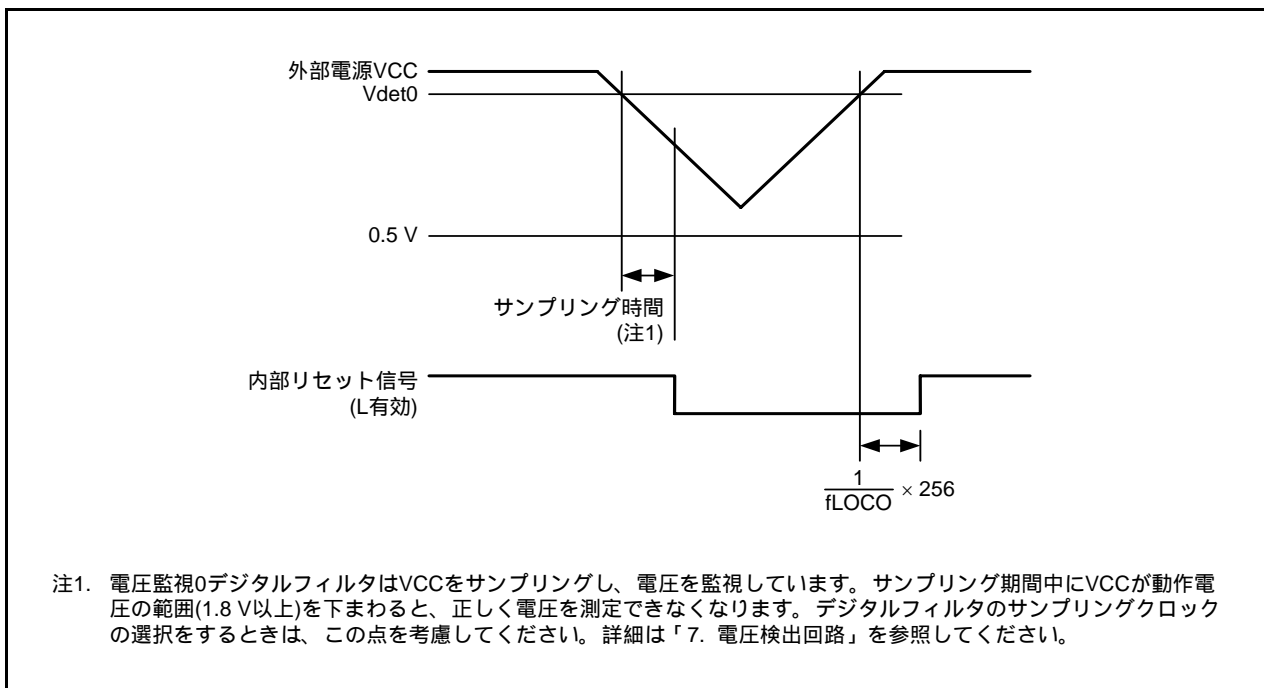


図6.5 電圧監視0リセットの動作例

### 6.3.5 ウォッチドッグタイマリセット

RISRレジスタのRISビットが1(ウォッチドッグタイマリセット)のときに、ウォッチドッグタイマがアンダフローまたはリフレッシュ受付期間以外にWDTRレジスタに書き込むと、ウォッチドッグタイマリセットが発生し、CPU、SFR、I/Oポートを初期化します。内部リセット信号はウォッチドッグタイマリセットと同時に解除され、その後リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロック(分周なし)が自動的に選択されます。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0 ~ WDTUFS1、WDTRCS0 ~ WDTRCS1ビットでそれぞれ設定できます。

ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

### 6.3.6 ソフトウェアリセット

PM0レジスタのSRSTビットを1(リセット発生)にすると、マイクロコンピュータはCPU、SFR、I/Oポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロック(分周なし)が自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「3.2 SFR」を参照してください。

内部RAMは初期化されません。

### 6.3.7 コールドスタート/ウォームスタート判定機能

電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)の判定は、RSTFRレジスタのCWRビットによって行います。

CWRビットは、電源投入時0(コールドスタート)です。また、電圧監視0リセットでも0になります。CWRビットは、プログラムで1を書くと1になりますが、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

電圧監視0リセット関連ビットの設定は「表7.3 電圧監視0リセット関連ビットの設定手順」を参照してください。

図6.6にコールドスタート/ウォームスタート判定機能の動作例を示します。

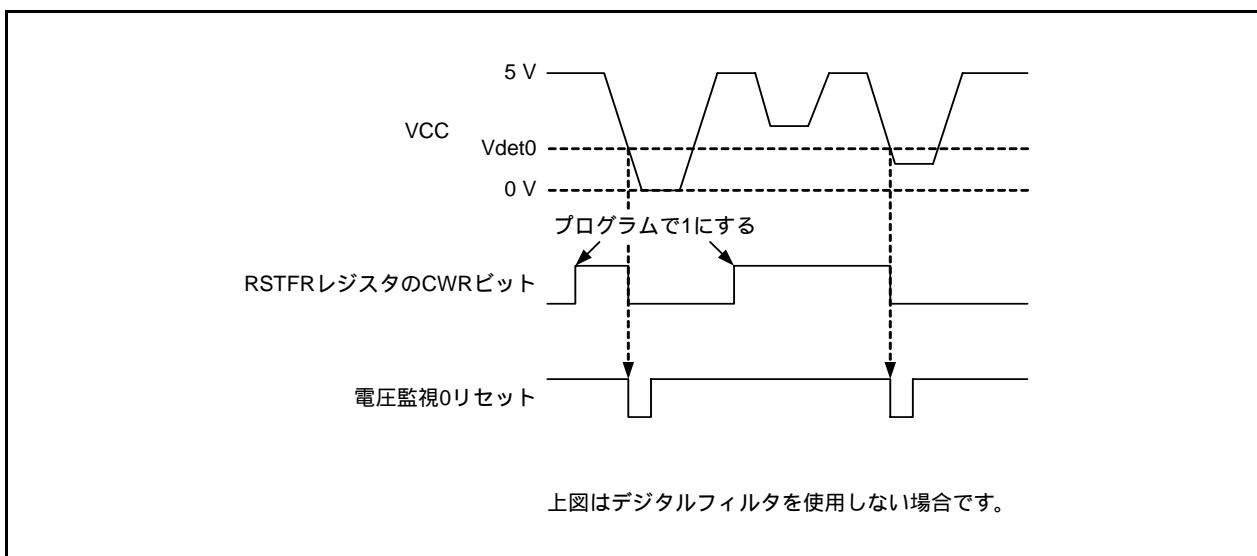


図6.6 コールドスタート/ウォームスタート判定機能の動作例

### 6.3.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが1(検出)になります。ソフトウェアリセットが発生すると、SWRビットが1(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが1(検出)になります。

## 6.4 リセット時の状態

### 6.4.1 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態

表6.3に端子の状態を示します。

表6.3 端子の状態

端子名	端子の状態
P0_0 ~ P0_7	入力ポート
P1_0 ~ P1_7	入力ポート
P2_0 ~ P2_2	入力ポート
P3_1、P3_3 ~ P3_5、P3_7	入力ポート
P4_2、P4_5 ~ P4_7	入力ポート
PA_0	入力ポート





## 7. 電圧検出回路

電圧検出回路は、VCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

### 7.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。OFSレジスタは「5. システム制御」を参照してください。

電圧検出1はVD1LSレジスタで、検出電圧を8レベルから選択できます。

電圧監視0リセット、電圧監視1割り込みを使用できます。

表7.1に電圧検出回路の仕様を、図7.1に電圧検出回路のブロック図を、図7.2に電圧監視0リセット発生回路のブロック図を、図7.3に電圧監視1割り込み発生回路のブロック図を示します。

表7.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1
VCC監視	監視する電圧	Vdet0	Vdet1
	検出対象	下降して、Vdet0を通過したか	上昇または下降して、Vdet1を通過したか
	検出電圧	OFSレジスタで、4レベルから選択可能	VD1LSレジスタで、8レベルから選択可能
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット、 VCC > Vdet0でCPU動作再開	なし
	割り込み	なし	電圧監視1割り込み Vdet1 > VCC、VCC > Vdet1の両方、 またはどちらかで割り込み要求
デジタルフィルタ	有効または無効切り換え	あり	あり
	サンプリング時間	(f <sub>LOCO</sub> のn分周) × 2 n : 1、2、4、8	(f <sub>LOCO</sub> のn分周) × 2 n : 1、2、4、8

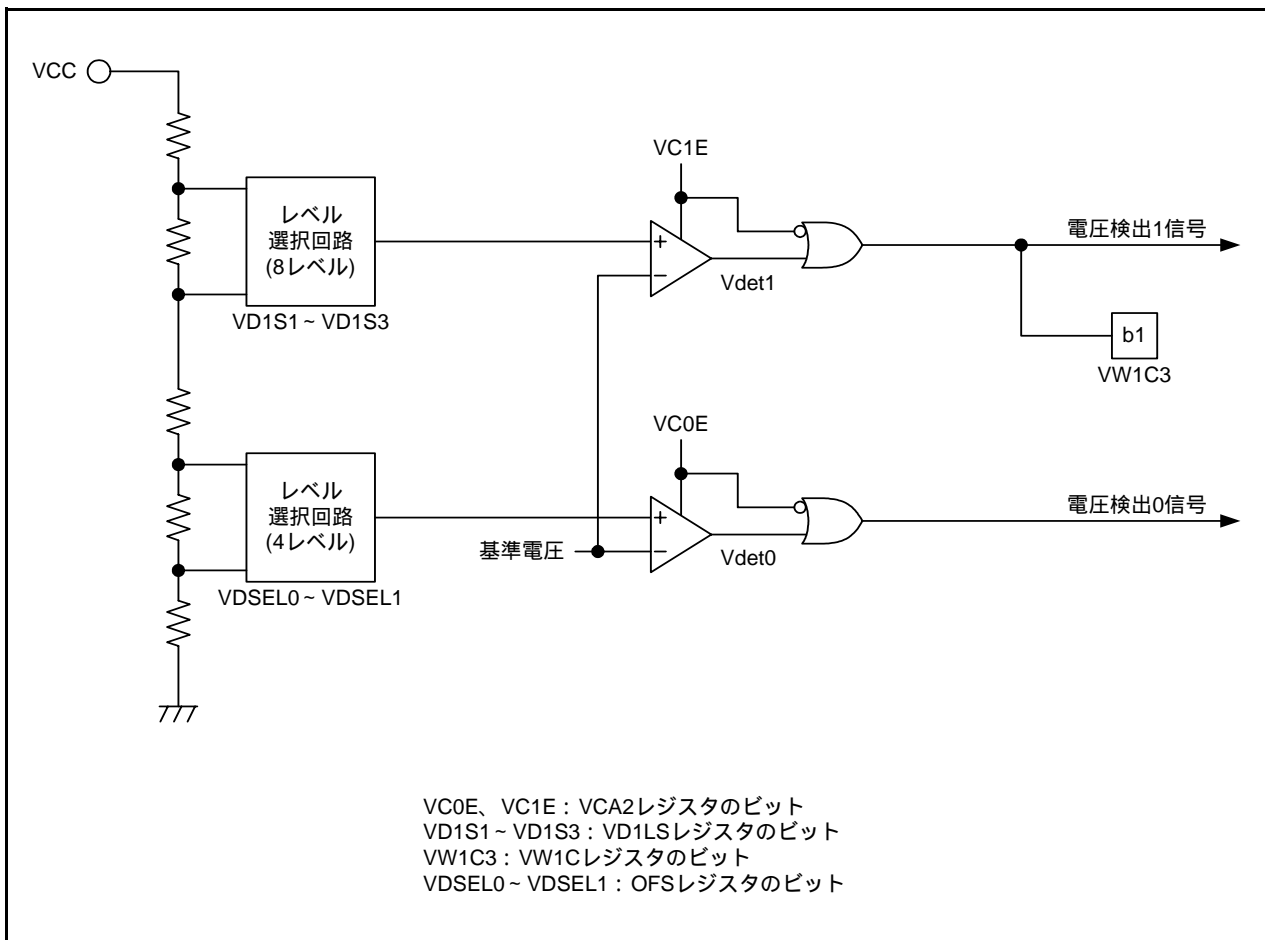


図7.1 電圧検出回路のブロック図

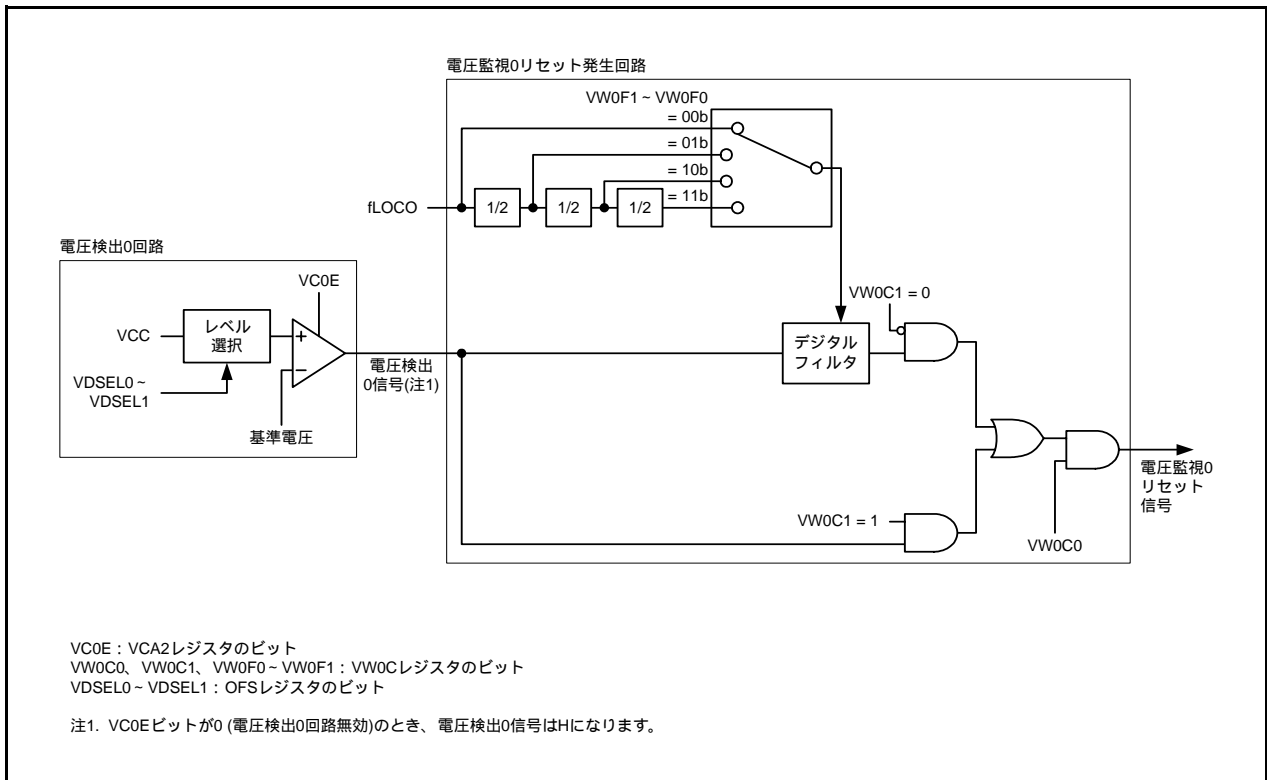


図7.2 電圧監視0リセット発生回路のブロック図

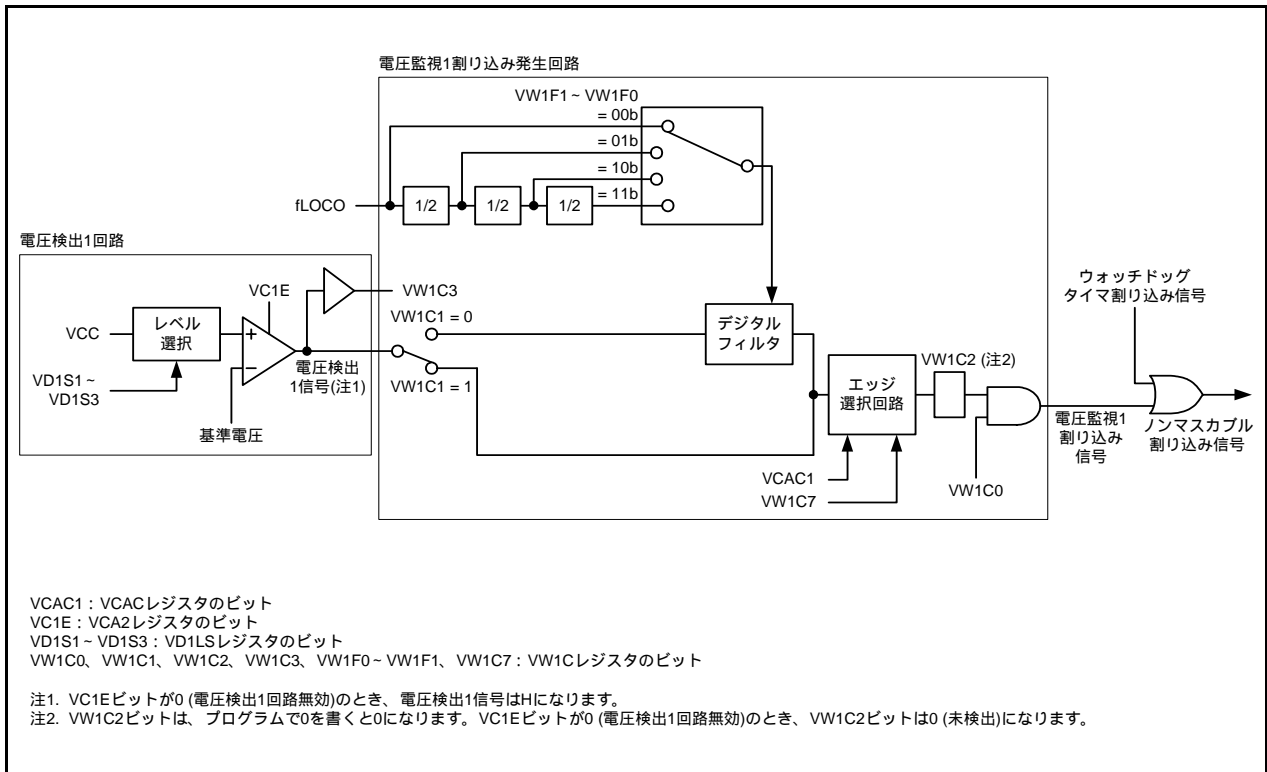


図7.3 電圧監視1割り込み発生回路のブロック図

## 7.2 レジスタの説明

表7.2に電圧検出回路のレジスタ構成を示します。

表7.2 電圧検出回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
電圧監視回路エッジ選択レジスタ	VCAC	00h	00058h	8
電圧検出レジスタ2	VCA2	(注1)	0005Ah	8
電圧検出1レベル選択レジスタ	VD1LS	00000111b	0005Bh	8
電圧監視0回路制御レジスタ	VW0C	(注1)	0005Ch	8
電圧監視1回路制御レジスタ	VW1C	10001010b	0005Dh	8

注1. レジスタの説明を参照してください。

### 7.2.1 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 00058h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	VCAC1	電圧監視1回路エッジ選択ビット(注1)	0:片エッジ 1:両エッジ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. VCAC1ビットが0(片エッジ)のとき、VW1CレジスタのVW1C7ビットにより、電圧の上昇または下降時の割り込みを選択できます。VCAC1ビットを0にした後、VW1C7ビットを設定してください。

## 7.2.2 電圧検出レジスタ2 (VCA2)

アドレス 0005Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	VC1E	VC0E	—	—	—	—	LPE
リセット後の値	0	0	1	0	0	1	0	0

上記はOFSレジスタのLVDASビットが0の場合

リセット後の値	0	0	0	0	0	1	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	LPE	内部電源低消費電力許可ビット(注1)	0: 低消費電力ウェイトモード禁止 1: 低消費電力ウェイトモード許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	予約ビット	1にしてください	R/W
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	VC0E	電圧検出0許可ビット(注2)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VC1E	電圧検出1許可ビット(注3)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	—	予約ビット	0にしてください	R/W

注1. LPE ビットは、ウェイトモードへの移行時だけに使用してください。LPE ビットの設定は「図 10.5 LPE ビットによる内部電源の低消費電力化の操作手順」を参照してください。LPE ビットが1(低消費電力ウェイトモード許可)のとき、CKSTPRレジスタのSTPMビットを1(全クロック停止(ストップモード))にしないでください。

注2. 電圧監視0リセットを使用する場合、VC0E ビットを1(電圧検出0回路有効)にしてください。電圧検出0回路は、VC0E ビットを0から1にした後、td(E-A)経過してから動作します。td(E-A)は「24. 電気的特性」を参照してください。

注3. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VC1E ビットを1(電圧検出1回路有効)にしてください。電圧検出1回路は、VC1E ビットを0から1にした後、td(E-A)経過してから動作します。td(E-A)は「24. 電気的特性」を参照してください。

PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、VCA2レジスタを書き換えてください。

## 7.2.3 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0005Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	—
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	1にしてください	R/W
b1	VD1S1	電圧検出1レベル選択ビット	b3 b2 b1 0 0 0 : 2.35 V (Vdet1_1)	R/W
b2	VD1S2		0 0 1 : 2.65 V (Vdet1_3)	R/W
b3	VD1S3		0 1 0 : 2.95 V (Vdet1_5)	R/W
			0 1 1 : 3.25 V (Vdet1_7)	
		1 0 0 : 3.55 V (Vdet1_9)		
		1 0 1 : 3.85 V (Vdet1_B)		
		1 1 0 : 4.15 V (Vdet1_D)		
		1 1 1 : 4.45 V (Vdet1_F)		
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、VD1LSレジスタを書き換えてください。

## 7.2.4 電圧監視0回路制御レジスタ(VW0C)

アドレス 0005Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	VW0F1	VW0F0	—	—	VW0C1	VW0C0
リセット後の値	1	1	0	0	X	0	1	1
	上記はOFSレジスタのLVDASビットが0の場合							
リセット後の値	1	1	0	0	X	0	1	0
	上記はOFSレジスタのLVDASビットが1の場合							

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 電圧監視0リセット禁止 1: 電圧監視0リセット許可	R/W
b1	VW0C1	電圧監視0デジタルフィルタモード選択ビット(注2、3)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—	予約ビット	読んだ場合、その値は不定。	R
b4	VW0F0	サンプリングクロック選択ビット(注3)	b5 b4 00: fLOCOの1分周(分周なし) 01: fLOCOの2分周 10: fLOCOの4分周 11: fLOCOの8分周	R/W
b5	VW0F1			R/W
b6	—	予約ビット	1にしてください	R/W
b7	—			

注1. VW0C0ビットは、VCA2レジスタのVC0Eビットが1(電圧検出0回路有効)のときに有効です。VC0Eビットが0(電圧検出0回路無効)のとき、VW0C0ビットを0(電圧監視0リセット禁止)にしてください。VW0C0ビットを1(電圧監視0リセット許可)にする場合「表7.3 電圧監視0リセット関連ビットの設定手順」を参照してください。

注2. デジタルフィルタを使用する場合(VW0C1ビットが0)、OCOCRレジスタのLOCODISビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視0リセットをストップモードからの復帰に使用する場合、VW0C1ビットを1(デジタルフィルタ無効モード)にしてください。

注3. VW0C0ビットが1(電圧監視0リセット許可)のとき、VW0C1ビットとVW0F0～VW0F1ビットを同時に(1命令で)設定しないでください。

PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、VW0Cレジスタを書き換えてください。

## 7.2.5 電圧監視1回路制御レジスタ(VW1C)

アドレス 0005Dh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタモード選択ビット(注2、5)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC > Vdet1または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注5)	b5 b4 00: fLOCOの1分周(分周なし) 01: fLOCOの2分周 10: fLOCOの4分周 11: fLOCOの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注6)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

注1. VW1C0ビットは、VCA2レジスタのVC1Eビットが1(電圧検出1回路有効)のときに有効です。VC1Eビットが0(電圧検出1回路無効)のとき、VW1C0ビットを0(電圧監視1割り込み禁止)にしてください。VW1C0ビットを1(電圧監視1割り込み許可)にする場合「表7.4 電圧監視1割り込み関連ビットの設定手順」を参照してください。

注2. デジタルフィルタを使用する場合(VW1C1ビットが0)、OCOCCRレジスタのLOCODISビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合、VW1C1ビットを1(デジタルフィルタ無効モード)にしてください。

注3. VW1C2、VW1C3ビットは、VCA2レジスタのVC1Eビットが1(電圧検出1回路有効)のときに有効です。

注4. プログラムで0にしてください。プログラムで0を書くと0になりますが、1を書いても変化しません。

注5. VW1C0ビットが1(電圧監視1割り込み許可)のとき、VW1C1ビットとVW1F0～VW1F1ビットを同時に(1命令で)設定しないでください。

注6. VW1C7ビットは、VCACレジスタのVCAC1ビットが0(片エッジ)のときに有効です。VCAC1ビットを0にした後、VW1C7ビットを設定してください。

PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、VW1Cレジスタを書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが1(Vdet1通過検出)になる場合があります。VW1Cレジスタを書き換えた後、VW1C2ビットを0(未検出)にしてください。



## 7.3 VCC入力電圧のモニタ

### 7.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

### 7.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「24. 電気的特性」参照)経過してから、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S1 ~ VD1S3ビットで電圧検出1の検出電圧を選択する
- (2) VCA2レジスタのVC1Eビットを1(電圧検出1回路有効)にする

## 7.4 電圧監視0リセット

表7.3に電圧監視0リセット関連ビットの設定手順を、図7.4に電圧監視0リセットの動作例を示します。  
電圧監視0リセットをストップモードからの復帰に使用する場合は、VW0CレジスタのVW0C1ビットを1(デジタルフィルタ無効モード)にしてください。

表7.3 電圧監視0リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	OFSレジスタのVDSEL0 ~ VDSEL1ビットで電圧検出0の検出電圧を選択する	
2	VCA2レジスタのVC0Eビットを1(電圧検出0回路有効)にする	
3	td(E-A)待つ	
4(注1)	VW0CレジスタのVW0F0 ~ VW0F1ビットで、デジタルフィルタのサンプリングクロックを選択する	—
5(注1)	VW0CレジスタのVW0C1ビットを0(デジタルフィルタ有効モード)にする	VW0CレジスタのVW0C1ビットを1(デジタルフィルタ無効モード)にする
6	OCOCRレジスタのLOCODISビットを0(低速オンチップオシレータ発振)にする	
7	デジタルフィルタのサンプリングクロック×2サイクル待つ	待ち時間なし
8	VW0CレジスタのVW0C0ビットを1(電圧監視0リセット許可)にする	

注1. VW0CレジスタのVW0C0ビットが0(電圧監視0リセット禁止)のとき、手順4と5は同時に(1命令で)実行可能です。

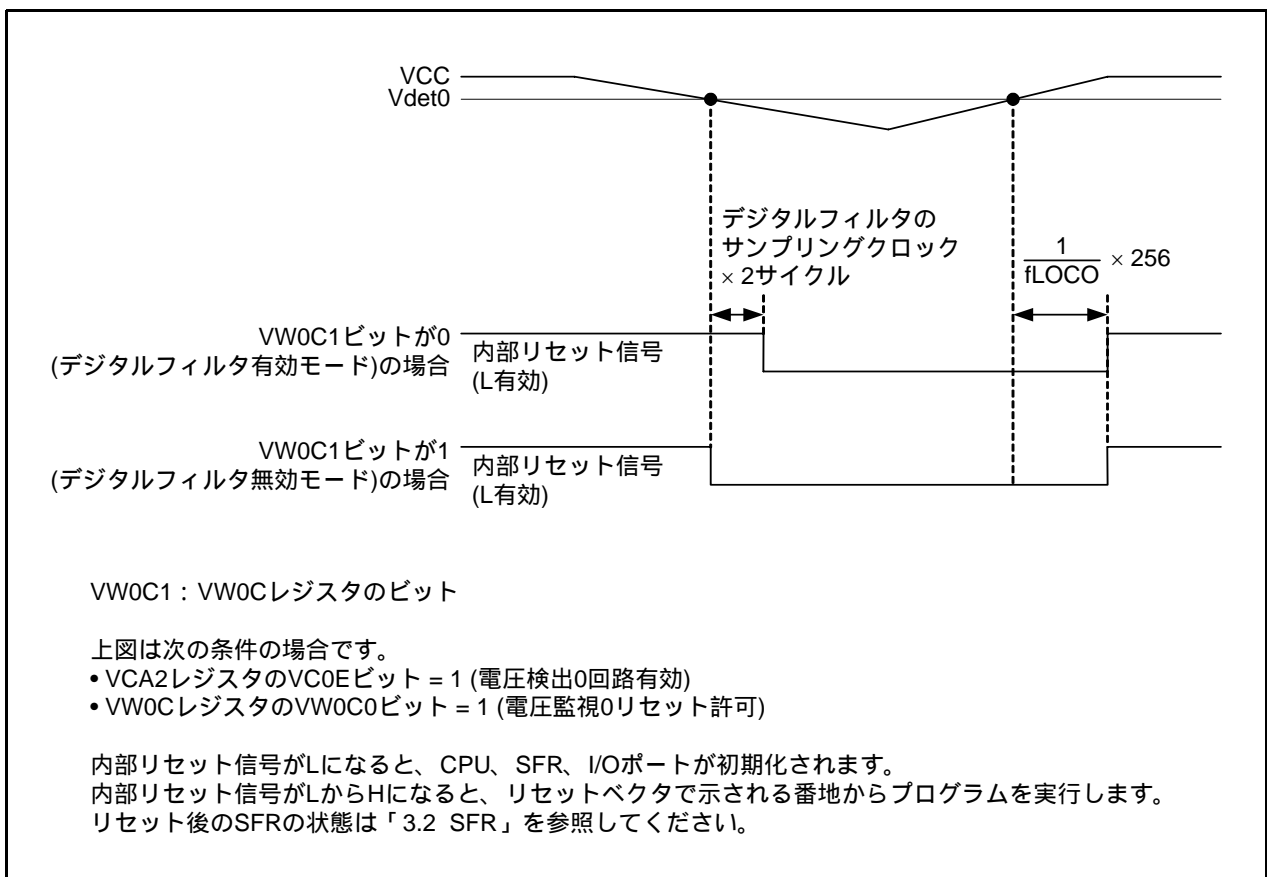


図7.4 電圧監視0リセットの動作例

## 7.5 電圧監視1割り込み

表7.4に電圧監視1割り込み関連ビットの設定手順を、図7.5に電圧監視1割り込みの動作例を示します。  
電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効モード)にしてください。

表7.4 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S1 ~ VD1S3ビットで電圧検出1の検出電圧を選択する	
2	VCA2レジスタのVC1Eビットを1(電圧検出1回路有効)にする	
3	td(E-A) 待つ	
4(注1)	VW1CレジスタのVW1F0 ~ VW1F1ビットで、デジタルフィルタのサンプリングクロックを選択する	—
5(注1)	VW1CレジスタのVW1C1ビットを0(デジタルフィルタ有効モード)にする	VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効モード)にする
6	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
7	VW1CレジスタのVW1C2ビットを0(未検出)にする	
8	OCOCRレジスタのLOCODISビットを0(低速オンチップオシレータ発振)にする	—
9	デジタルフィルタのサンプリングクロック × 2サイクル待つ	待ち時間なし
10	VW1CレジスタのVW1C0ビットを1(電圧監視1割り込み許可)にする	

注1. VW1CレジスタのVW1C0ビットが0(電圧監視1割り込み禁止)のとき、手順4と5は同時に(1命令で)実行可能です。

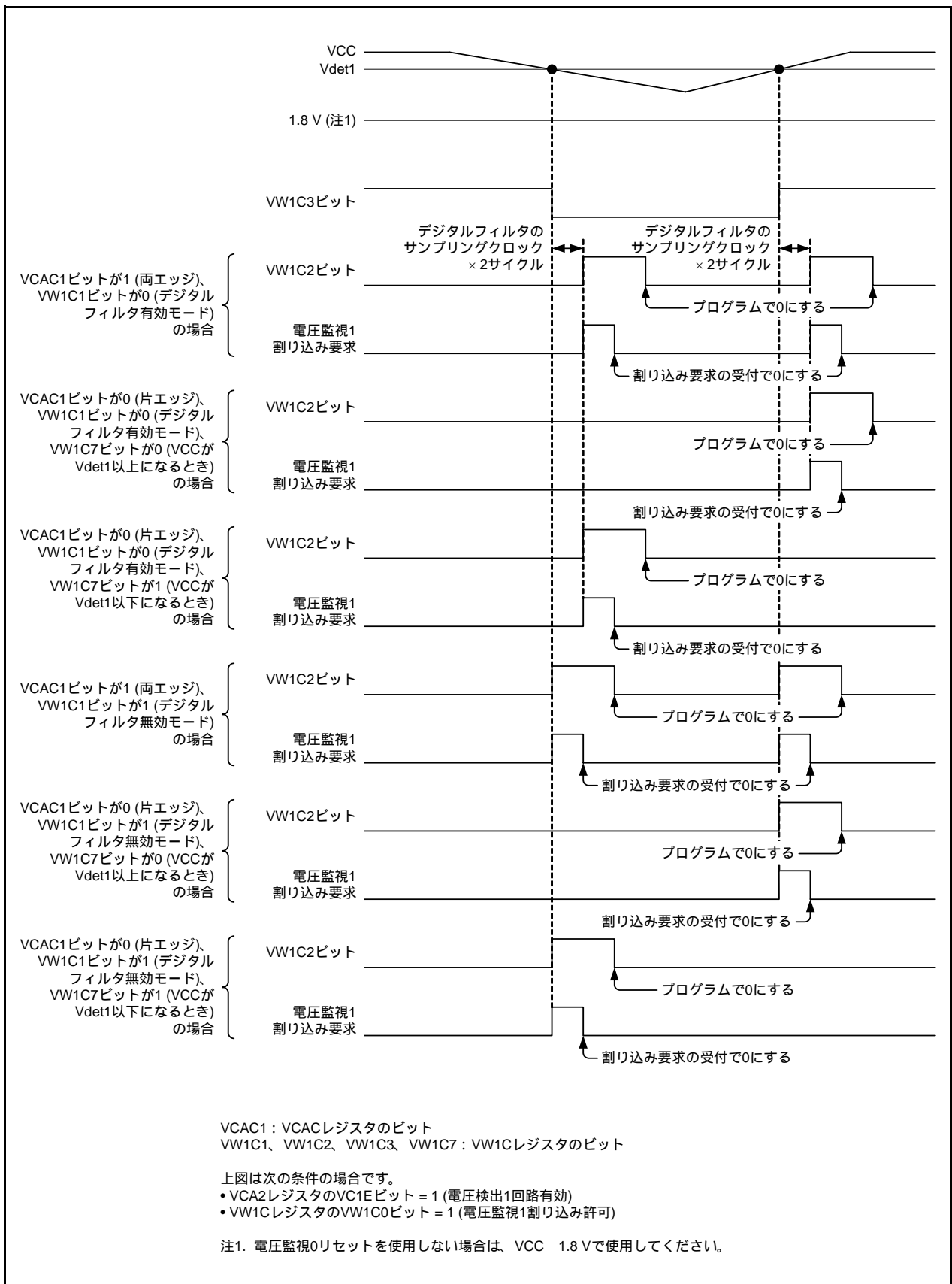


図7.5 電圧監視1割り込みの動作例

### 7.6 電圧検出回路0と1のデジタルフィルタ

図7.6に電圧検出回路デジタルフィルタのブロック図を示します。デジタルフィルタ有効モード時には、電圧検出回路からの電圧検出信号より、デジタルフィルタ回路を通してそれぞれの電圧監視0リセット信号と電圧監視1割り込み信号を作成します。デジタルフィルタ回路のフィルタ幅はサンプリングクロック×2です。

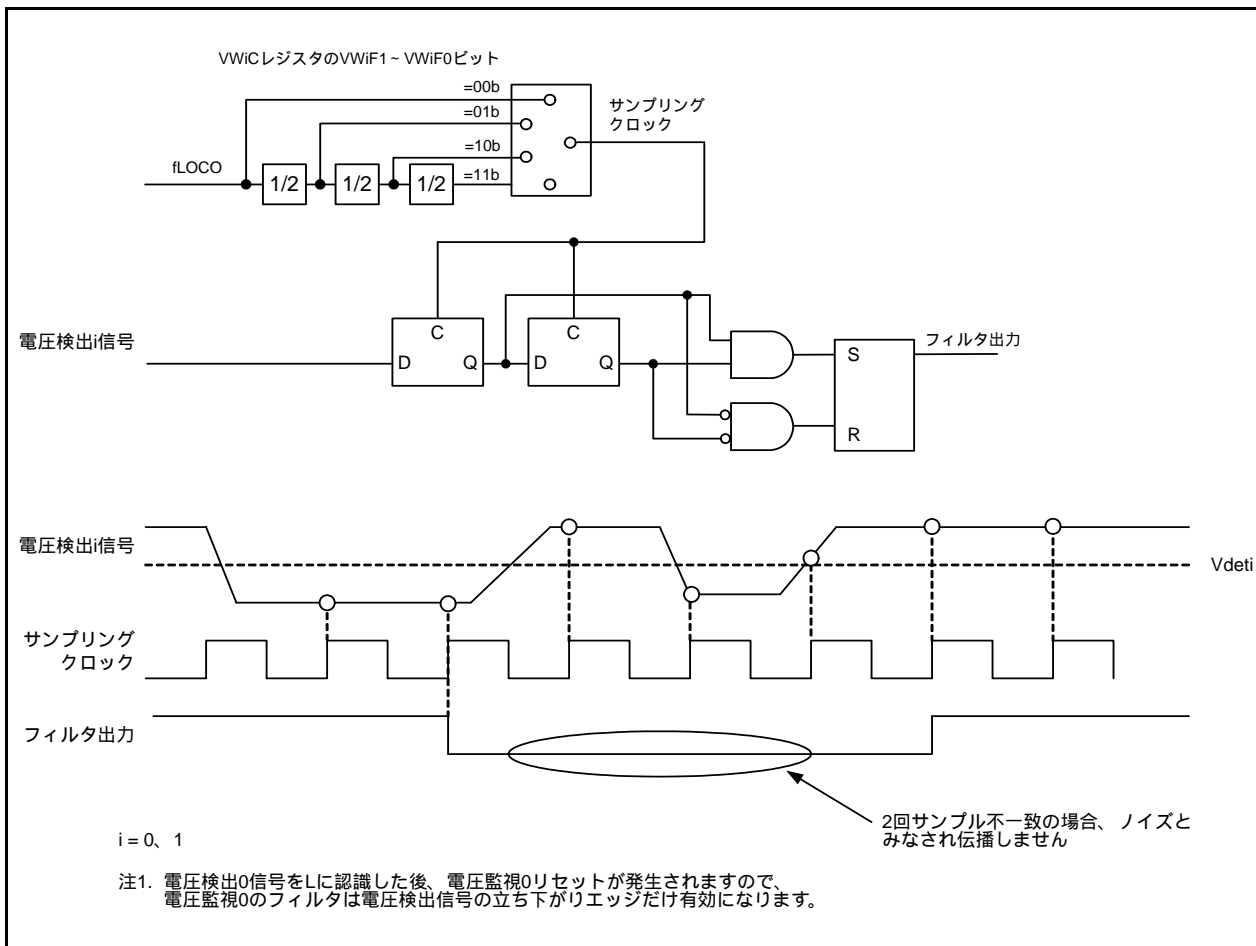


図7.6 電圧検出回路デジタルフィルタのブロック図

## 8. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。従って、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

また、周期タイマとして使用できる機能を持ちます。

### 8.1 概要

ウォッチドッグタイマは14ビットのダウンカウンタを持ち、カウントソース保護モードの有効または無効を選択できます。

表8.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.3.5 ウォッチドッグタイマリセット」を参照してください。

周期タイマの詳細は「8.3.4 周期タイマ機能」を参照してください。

図8.1にウォッチドッグタイマのブロック図を示します。

表8.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロックまたは低速オンチップオシレータクロック (1/16)	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> <li>リセット後、自動的にカウントを開始</li> <li>WDTSレジスタへの書き込みによりカウントを開始</li> </ul>	
カウント停止条件	カウントソースがCPUクロックのときにウェイトモードまたはストップモードに移行した場合	なし
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>リフレッシュ受付可能な期間内にWDTRレジスタに00hを書いた後、FFhを書く (リフレッシュ受付可能な期間の設定あり)</li> <li>アンダフロー</li> </ul>	
アンダフロー時の動作	ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>カウントソースの選択 WDTCレジスタのWDTC6～WDTC7ビットで選択</li> <li>カウントソース保護モード - リセット後に有効か無効かをOFSレジスタのCSPROINIビットで選択 - リセット後に無効の場合はCSPRレジスタのCSPROビットで選択</li> <li>リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビットで選択</li> <li>ウォッチドッグタイマの初期値(アンダフロー周期) OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択</li> <li>ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択</li> </ul>	

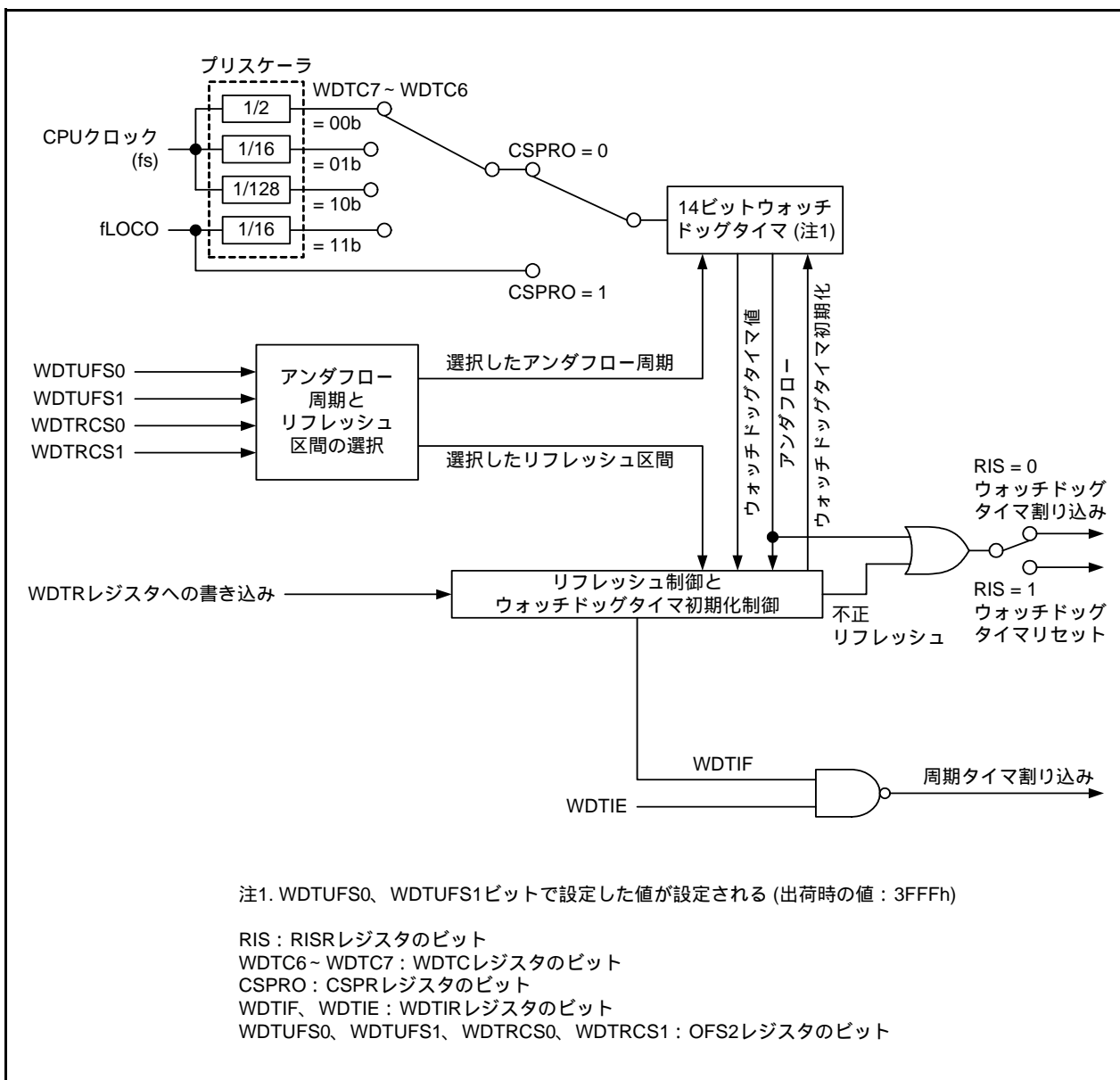


図8.1 ウォッチドッグタイマのブロック図

## 8.2 レジスタの説明

表8.2にウォッチドッグタイマのレジスタ構成を示します。

表8.2 ウォッチドッグタイマのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ウォッチドッグタイマ機能レジスタ	RISR	(注1)	00030h	8
ウォッチドッグタイマリセットレジスタ	WDTR	XXh	00031h	8
ウォッチドッグタイマスタートレジスタ	WDTS	XXh	00032h	8
ウォッチドッグタイマ制御レジスタ	WDTC	01XXXXXXb	00033h	8
カウントソース保護モードレジスタ	CSPR	(注1)	00034h	8
周期タイマ割り込み制御レジスタ	WDTIR	00h	00035h	8

注1. レジスタの説明を参照してください。

### 8.2.1 ウォッチドッグタイマ機能レジスタ(RISR)

アドレス 00030h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RIS	UFIF	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが0の場合							
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが1の場合							

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	UFIF	WDT アンダフロー検出フラグ	0: ウォッチドッグタイマアンダフローなし 1: ウォッチドッグタイマアンダフローあり(注1)	R/W
b7	RIS	WDT 割り込み/リセット切り換え ビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット(注2)	R/W

注1. 1を読んだ後、カウントソースの1サイクル分経過してから、UFIFビットに0を書いてください。

注2. RISビットは、プログラムで1を書くと1になりますが、0を書いても変化しません。

CSPRレジスタのCSPROビットが1(カウントソース保護モード有効)のとき、RISビットは自動的に1になります。

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、RISRレジスタを書き換えてください。

#### UFIFビット(WDTアンダフロー検出フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- RISビットが0(ウォッチドッグタイマ割り込み)で、ウォッチドッグタイマがアンダフローしたとき
- RISビットが0(ウォッチドッグタイマ割り込み)で、受付可能な期間以外にリフレッシュを実行したとき(不正リフレッシュ)



## 8.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス	00031h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	受付可能な期間内に00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。受付不可の期間内に00hを書いた後、FFhを書くと、WDTリセットまたは割り込みが発生します。ウォッチドッグタイマ割り込みが発生します。ウォッチドッグタイマ割り込みを選択した場合には、カウンタは初期化されません。ウォッチドッグタイマの初期値は、OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで指定されます。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 8.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス	00032h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマは開始します。	W

## 8.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス	00033h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	WDTC6	—	—	—	—	—	—
リセット後の値	0	1	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合、その値は不定。	R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	WDTC6	ウォッチドッグタイマカウントソース選択ビット	b7 b6 00 : CPUクロックの2分周 01 : CPUクロックの16分周 10 : CPUクロックの128分周 11 : 低速オンチップオシレータクロックの16分周	R/W
b7	WDTC7			R/W

## 8.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 00034h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが0の場合

リセット後の値	0	0	0	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのCSPROINIビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0: カウントソース保護モード無効 1: カウントソース保護モード有効	R/W

注1. CSPROビットを1にする場合、0を書いた後、1を書いてください。プログラムでは0にできません。0を書いた後、1を書くまでの間は、CSPRレジスタ以外のレジスタに書き込まないでください。

## 8.2.6 周期タイマ割り込み制御レジスタ(WDTIR)

アドレス 00035h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTIE	WDTIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	WDTIF	周期タイマ割り込み要求フラグ	0: 周期タイマ割り込み要求なし 1: 周期タイマ割り込み要求あり	R/W
b7	WDTIE	周期タイマ割り込み許可ビット(注1)	0: 周期タイマ割り込み禁止 1: 周期タイマ割り込み許可	R/W

注1. OFS2レジスタのWDTRCS1 ~ WDTRCS0ビットが11b (100%)のとき、WDTIEビットを0(周期タイマ割り込み禁止)にしてください。

## WDTIFビット(周期タイマ割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- ウォッチドッグタイマカウンタが不正な書き込み区間をカウント完了するとき

## 8.3 動作説明

### 8.3.1 複数モードに関わる共通事項

#### 8.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)の受付可能な期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図8.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正リフレッシュとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(RISRレジスタのRISビットで選択)が発生します。また、RISRレジスタのUFIFビットが1になります。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

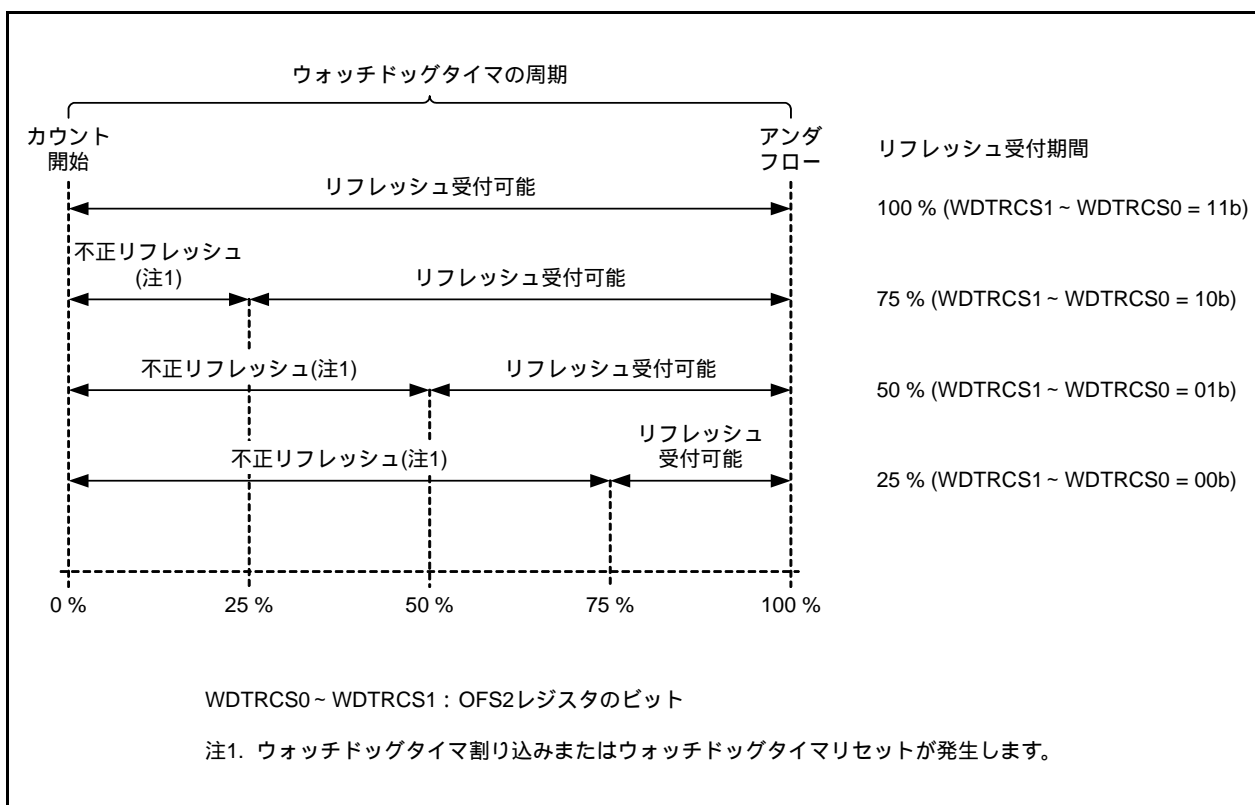


図8.2 ウォッチドッグタイマのリフレッシュ受付期間

## 8.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックまたは低速オンチップオシレータクロックです。

表8.3にカウントソース保護モード無効時ウォッチドッグタイマの仕様を示します。

表8.3 カウントソース保護モード無効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	CPUクロックまたは低速オンチップオシレータクロック (1/16)
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) カウントソース n : 2、16または128 (WDTCレジスタのWDTC6 ~ WDTC7ビットで選択) ただし、WDTC7 ~ WDTC6ビットが11b (カウントソースが低速オンチップオシレータクロック)のときは16 m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが20 MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビットが11b (3FFFh)の場合、周期は約13.1 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに00hを書いた後、FFhを書く</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビットで選択 <ul style="list-style-type: none"> <li>WDTONビットが1 (リセット後、ウォッチドッグタイマは停止状態)のとき                リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが0 (リセット後、ウォッチドッグタイマは自動的に起動)のとき                リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	カウントソースがCPUクロックのときにウェイトモードまたはストップモードに移行した場合
アンダフロー時の動作	<ul style="list-style-type: none"> <li>RISRレジスタのRISビットが0のとき                ウォッチドッグタイマ割り込み</li> <li>RISRレジスタのRISビットが1のとき                ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. WDTRレジスタに00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。プリスケアラはリセット後、初期化されず。従って、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

### 8.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表8.4にカウントソース保護モード有効時ウォッチドッグタイマの仕様を示します。

表8.4 カウントソース保護モード有効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) $\frac{\text{低速オンチップオシレータクロック}}{m}$ m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例：低速オンチップオシレータクロックが125 kHzで、WDTUFS1 ~ WDTUFS0ビットが00b (03FFh)の場合、周期は約8.2 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに00hを書いた後、FFhを書く</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビットで選択 <ul style="list-style-type: none"> <li>WDTONビットが1(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマは停止しており、WDTNレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが0(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後、ウェイトモードまたはストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	CSPPRレジスタのCSPPROビットを1(カウントソース保護モード有効)にすると、次が自動的に設定される <ul style="list-style-type: none"> <li>低速オンチップオシレータが発振</li> <li>RISRレジスタのRISビットを1(ウォッチドッグタイマリセット)</li> </ul>

### 8.3.4 周期タイマ機能

計時区間は、アンダフロー周期設定 (OFS2 レジスタの WDTUFS0 ~ WDTUFS1 ビット) とリフレッシュ受付周期設定 (OFS2 レジスタの WDTRCS0 ~ WDTRCS1 ビット) により決まります。周期タイマは、ストップモードでは使用できません。

表8.5に周期タイマの設定を、図8.3に周期タイマ機能のタイミング図を示します。

周期タイマでは、表8.5に示す計時区間を経過すると、WDTIR レジスタの WDTIF ビットが1 (周期タイマ割り込み要求あり) になります。

表8.5 周期タイマの設定

初期値設定 OFS2レジスタの WDTUFS1 ~ WDTUFS0ビット	リフレッシュ区間設定 OFS2レジスタの WDTRCS1 ~ WDTRCS0ビット(注1)	周期タイマの計時区間
11b	10b	3FFFh 2FFFh
	01b	3FFFh 1FFFh
	00b	3FFFh 0FFFh
10b	10b	1FFFh 17FFh
	01b	1FFFh 0FFFh
	00b	1FFFh 07FFh
01b	10b	0FFFh 0BFFh
	01b	0FFFh 07FFh
	00b	0FFFh 03FFh
00b	10b	03FFh 02FFh
	01b	03FFh 01FFh
	00b	03FFh 00FFh

注1. OFS2レジスタのWDTRCS1 ~ WDTRCS0ビットが11b (100%) のとき、WDTIE ビットを0 (周期タイマ割り込み禁止) にしてください。

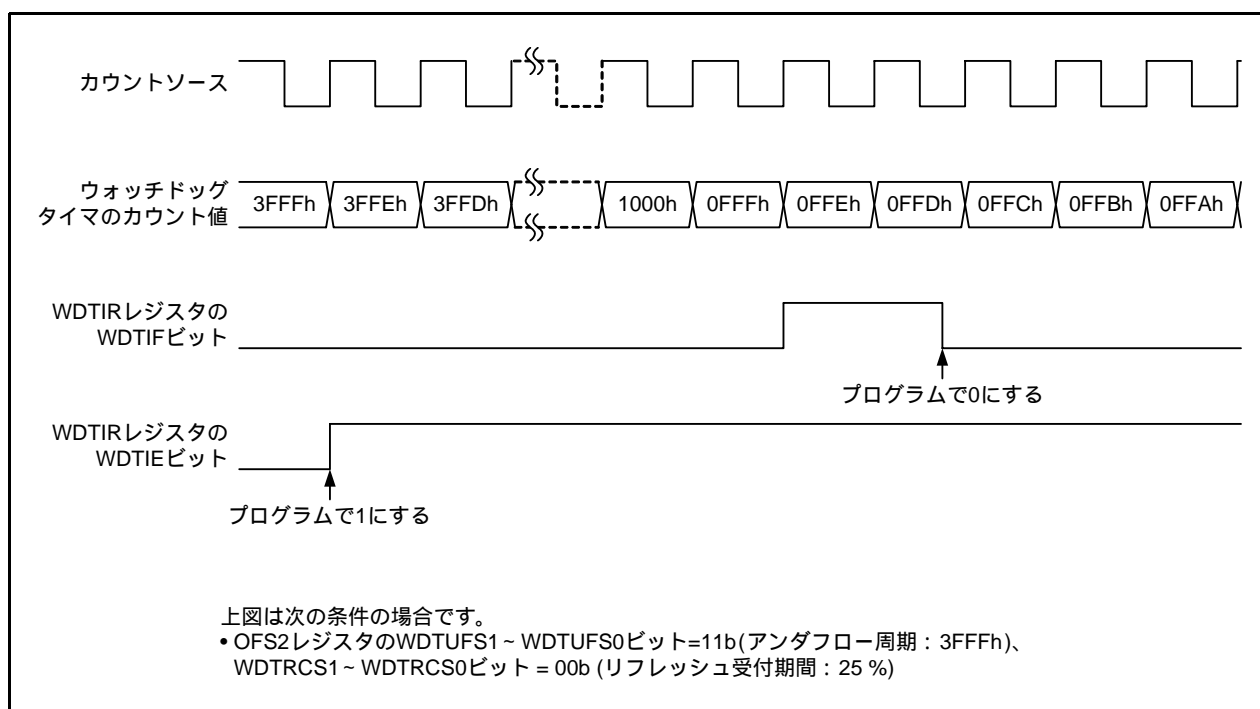


図8.3 周期タイマ機能のタイミング図

#### 8.4 ウォッチドッグタイマ使用上の注意事項

- ウォッチドッグタイマ動作中、カウントソースの切り換えを行わないでください。
- WDTRレジスタへの書き込みからウォッチドッグタイマが初期化されるまで、カウントソースの2サイクル分の遅延があります。
- 前回のウォッチドッグタイマの初期化から、次回のウォッチドッグタイマの初期化までの間隔を、カウントソースの3サイクル以上にしてください。

## 9. クロック発生回路

### 9.1 概要

クロック発生回路として、4つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 高速オンチップオシレータ
- 低速オンチップオシレータ

表9.1にクロック発生回路の仕様を、図9.1にクロック発生回路のブロック図を、図9.2に周辺機能クロックの供給を、表9.2にクロック発生回路の端子構成を示します。

表9.1 クロック発生回路の仕様

項目	XINクロック発振回路	XCINクロック発振回路	高速オンチップオシレータ	低速オンチップオシレータ
クロック周波数	0 MHz ~ 20 MHz (発振子を使用時、 2 MHz ~ 20 MHz)	32.768 kHz	約20 MHz	約125 kHz
接続できる発振子	<ul style="list-style-type: none"> <li>• セラミック共振子</li> <li>• 水晶発振子</li> </ul>	水晶発振子	—	—
発振子の接続端子	XIN、XOUT (注1)	XCIN、XCOUT (注2)	—	—
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振
その他	<ul style="list-style-type: none"> <li>• 外部で生成されたクロックを入力可能</li> <li>• 帰還抵抗を内蔵(接続/非接続選択可能)</li> </ul>	<ul style="list-style-type: none"> <li>• 外部で生成されたクロックを入力可能</li> <li>• 帰還抵抗を内蔵(接続/非接続選択可能)</li> </ul>	P4_5からシステムクロックを出力可能	P4_5からシステムクロックを出力可能

注1. XINクロック発振回路を使用せずに、オンチップオシレータクロックをCPUクロックに使用する場合はP3\_1、P4\_5として使用できます。

注2. XCINクロック発振回路を使用せずに、オンチップオシレータクロックをCPUクロックに使用する場合はP4\_6、P4\_7として使用できます。



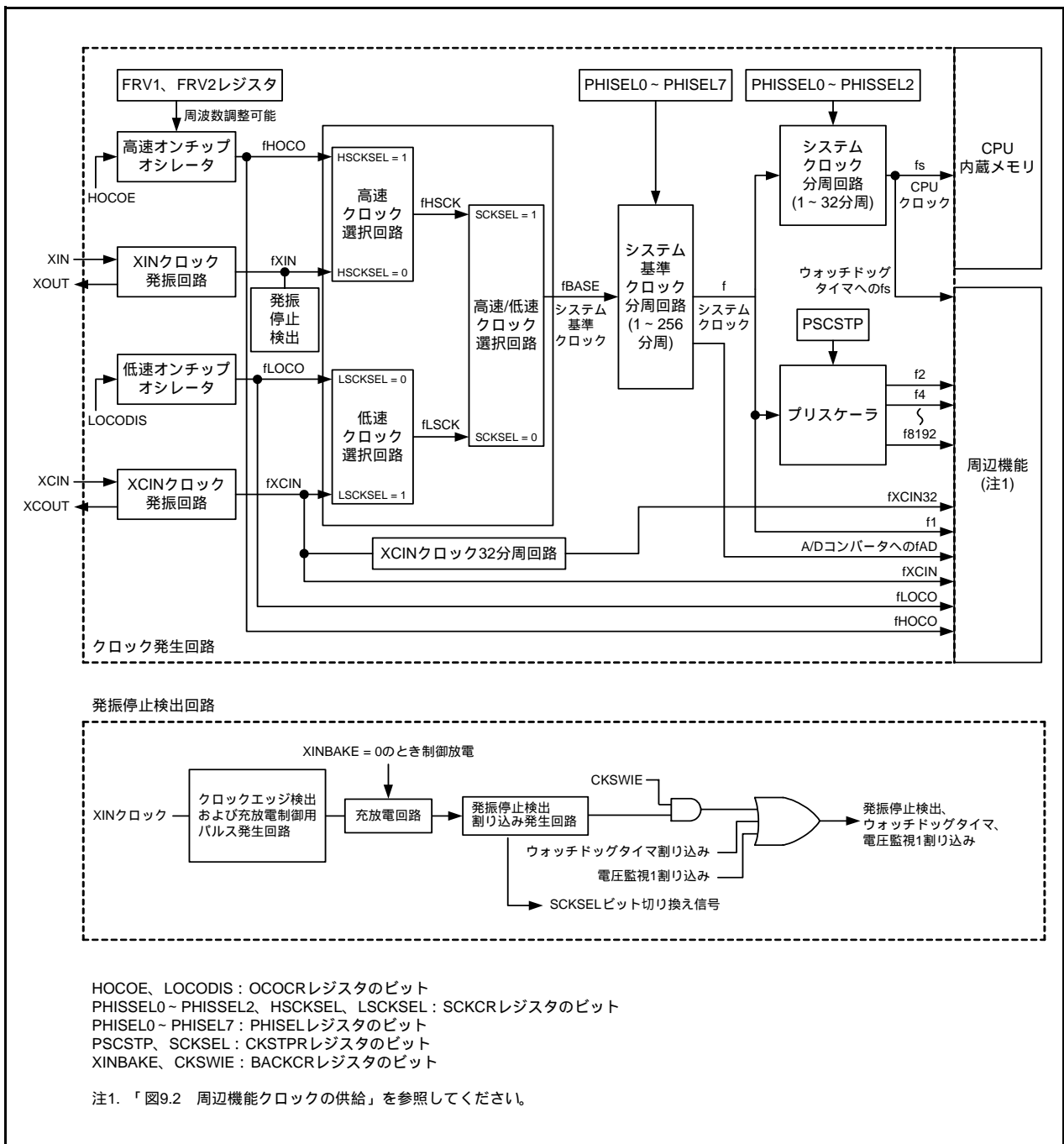


図9.1 クロック発生回路のブロック図

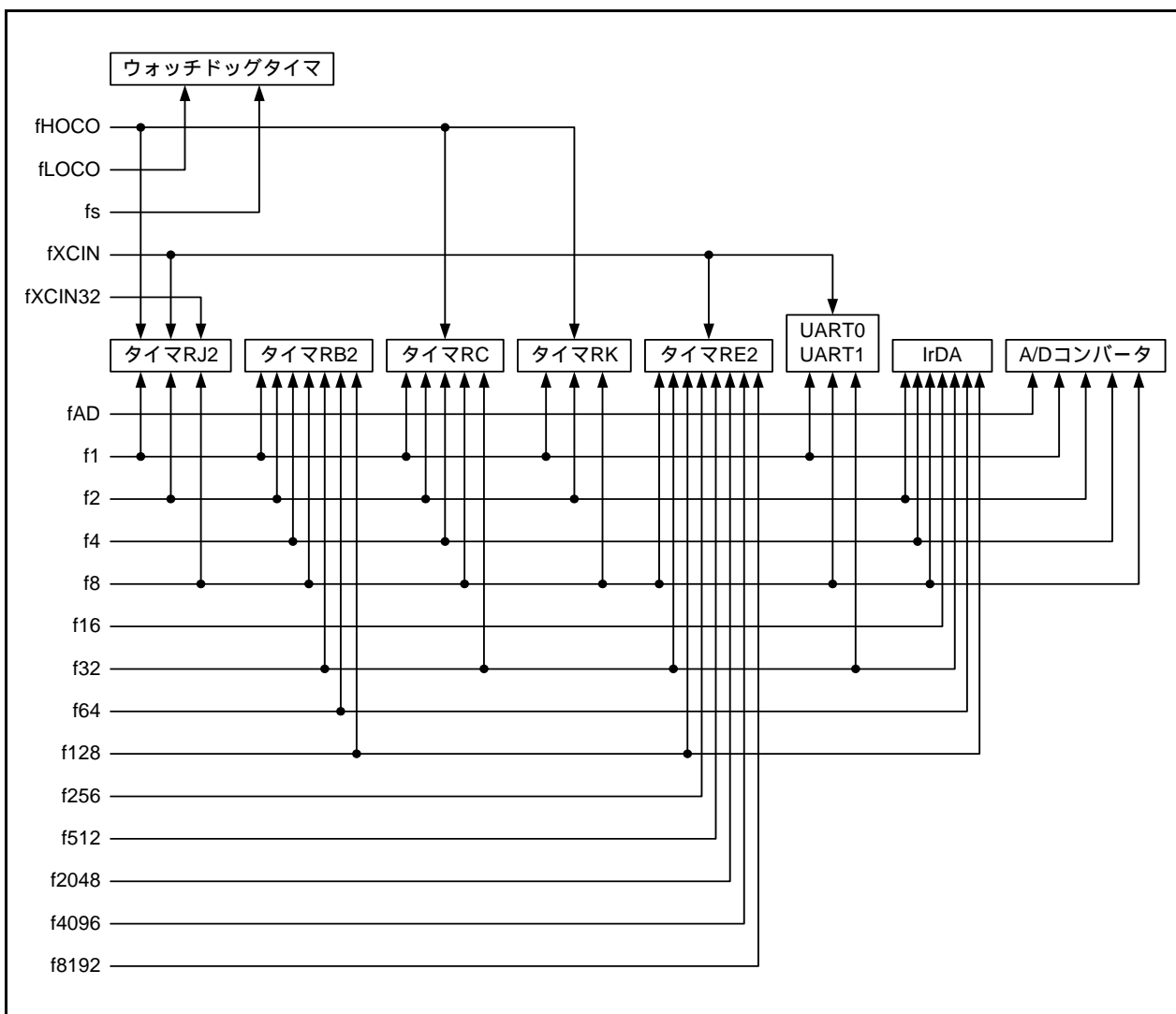


図9.2 周辺機能クロックの供給

表9.2 クロック発生回路の端子構成

端子名	入出力	機能
XIN	入力	XINクロック入力/外部クロック入力
XOUT	出力	XINクロック出力
XCIN	入力	XCINクロック入力/外部クロック入力
XCOU	出力	XCINクロック出力

## 9.2 レジスタの説明

表9.3にクロック発生回路のレジスタ構成を示します。

表9.3 クロック発生回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
外部クロック制御レジスタ	EXCKCR	00h	00020h	8
高速/低速オンチップオシレータ制御レジスタ	OCOCR	00h	00021h	8
システムクロックf制御レジスタ	SCKCR	00h	00022h	8
システムクロックf選択レジスタ	PHISEL	00h	00023h	8
クロック停止制御レジスタ	CKSTPR	00h	00024h	8
モード復帰時クロック制御レジスタ	CKRSCR	00h	00025h	8
発振停止検出レジスタ	BAKCR	00h	00026h	8
高速オンチップオシレータ18.432 MHz制御レジスタ0	FR18S0	出荷時の値	00064h	8
高速オンチップオシレータ18.432 MHz制御レジスタ1	FR18S1	出荷時の値	00065h	8
高速オンチップオシレータ制御レジスタ1	FRV1	出荷時の値	00067h	8
高速オンチップオシレータ制御レジスタ2	FRV2	出荷時の値	00068h	8

## 9.2.1 外部クロック制御レジスタ(EXCKCR)

アドレス 00020h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	XCRCUT	XRCUT	XCINNC1	XCINNC0	CKPT3	CKPT2	CKPT1	CKPT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																								
b0	CKPT0	ポートP3_1、	<table border="1"> <thead> <tr> <th colspan="2">レジスタ設定</th> <th colspan="2">端子機能</th> </tr> <tr> <th>CKPT1</th> <th>CKPT0</th> <th>P3_1</th> <th>P4_5</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>I/Oポート</td> <td>I/Oポート</td> </tr> <tr> <td>0</td> <td>1</td> <td>XINクロック入力 (外部クロック入力)</td> <td>I/Oポート</td> </tr> <tr> <td>1</td> <td>0</td> <td>I/Oポート</td> <td>システムクロック出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>XIN</td> <td>XOUT</td> </tr> </tbody> </table>	レジスタ設定		端子機能		CKPT1	CKPT0	P3_1	P4_5	0	0	I/Oポート	I/Oポート	0	1	XINクロック入力 (外部クロック入力)	I/Oポート	1	0	I/Oポート	システムクロック出力	1	1	XIN	XOUT	R/W
レジスタ設定		端子機能																										
CKPT1	CKPT0	P3_1		P4_5																								
0	0	I/Oポート		I/Oポート																								
0	1	XINクロック入力 (外部クロック入力)		I/Oポート																								
1	0	I/Oポート	システムクロック出力																									
1	1	XIN	XOUT																									
b1	CKPT1	P4_5端子 機能選択 ビット	R/W																									
b2	CKPT2	ポートP4_6、	<table border="1"> <thead> <tr> <th colspan="2">レジスタ設定</th> <th colspan="2">端子機能</th> </tr> <tr> <th>CKPT3</th> <th>CKPT2</th> <th>P4_6</th> <th>P4_7</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>I/Oポート</td> <td>I/Oポート</td> </tr> <tr> <td>0</td> <td>1</td> <td>XCINクロック入力 (外部クロック入力)</td> <td>I/Oポート</td> </tr> <tr> <td>1</td> <td>0</td> <td>XCIN</td> <td>XCOU</td> </tr> <tr> <td>1</td> <td>1</td> <td colspan="2">設定しないでください</td> </tr> </tbody> </table>	レジスタ設定		端子機能		CKPT3	CKPT2	P4_6	P4_7	0	0	I/Oポート	I/Oポート	0	1	XCINクロック入力 (外部クロック入力)	I/Oポート	1	0	XCIN	XCOU	1	1	設定しないでください		R/W
レジスタ設定		端子機能																										
CKPT3	CKPT2	P4_6		P4_7																								
0	0	I/Oポート		I/Oポート																								
0	1	XCINクロック入力 (外部クロック入力)		I/Oポート																								
1	0	XCIN	XCOU																									
1	1	設定しないでください																										
b3	CKPT3	P4_7端子 機能選択 ビット	R/W																									
b4	XCINNC 0	XCINクロッ クノイズ除去 サンプリング 機能設定 ビット	b5 b4 00: サンプリング機能無効 01: サンプリング機能無効 10: fHSCKの4分周クロックサンプリング 11: fHSCKの16分周クロックサンプリング	R/W																								
b5	XCINNC 1			R/W																								
b6	XRCUT	XIN-XOUT 内蔵帰還抵抗 選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W																								
b7	XCRCU T	XCIN- XCOU内蔵 帰還抵抗選択 ビット		R/W																								

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、EXCKCRレジスタを書き換えてください。

## CKPT0 ~ CKPT1ビット(ポートP3\_1、P4\_5端子機能選択ビット)

発振子を付けたまま発振を停止させるときは、CKPT1、CKPT0ビットを00bにし、表12.23、表12.29にしたがってP3\_1、P4\_5を入力ポートに設定してください。

高速オンチップオシレータクロックまたは低速オンチップオシレータクロックをシステムクロックとして選択したときに、CKPT1、CKPT0ビットを10bに、PMH4レジスタのP45SEL1、P45SEL0ビットを00bにすると、P4\_5からシステムクロックを出力できます。

**CKPT2 ~ CKPT3 ビット (ポート P4\_6、P4\_7 端子機能選択ビット)**

発振子を付けたまま発振を停止させるときは、CKPT3、CKPT2 ビットを 00b にし、表 12.30、表 12.31 にしたがって P4\_6、P4\_7 を入力ポートに設定してください。

CKPT3 ~ CKPT2 ビットを 10b (P4\_6 : XCIN、P4\_7 : XCOU) に設定する場合、先に SUBCR レジスタの SUBMODE ビットを 1 にしてください。

XCIN クロックが発振している場合、XCIN クロックの 32 分周 (fXCIN32) を使用できます。

**XCINNC0 ~ XCINNC1 ビット (XCIN クロック ノイズ除去 サンプリング機能設定ビット)**

ストップモード時に fHCK が停止する場合、サンプリング機能は無効です。fHCK は SCKCR レジスタの HCKSEL ビットで、XIN クロックまたは高速オンチップオシレータクロックを選択できます。サンプリング機能を有効にする場合は、選択したクロックを発振させてください。

**XRCUT ビット (XIN-XOUT 内蔵帰還抵抗選択ビット)****XCRCUT ビット (XCIN-XCOU 内蔵帰還抵抗選択ビット)**

XRCUT/XCRCUT は CKPT3 ~ 0 が 1011b の場合のみ有効です。

CKSTPR レジスタの STPM ビットが 1 (ストップモード) の場合、内蔵帰還抵抗は無効となります。

## 9.2.2 高速/低速オンチップオシレータ制御レジスタ (OCOCR)

アドレス	00021h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	LOCODIS	HOCOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOE	高速オンチップオシレータ発振許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	LOCODIS	低速オンチップオシレータ発振停止ビット	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、OCOCRレジスタを書き換えてください。

## HOCOE ビット (高速オンチップオシレータ発振許可ビット)

高速オンチップオシレータで生成された高速オンチップオシレータクロックは、リセット後停止しています。表9.4にレジスタの設定と高速オンチップオシレータの状態を示します。システム基準クロックとして高速オンチップオシレータクロックを選択する場合は、「9.4.6 システム基準クロック切り替えの手順」に従ってクロックを切り換えてください。

表9.4 レジスタの設定と高速オンチップオシレータの状態

レジスタ	CKSTPR	SCKSEL	CKSTPR	OCOCR	高速オンチップオシレータ状態
ビット	STPM	HSCSEL	SCKSEL	HOCOE	
設定値	0	11b以外		0	発振停止
	0	11b以外		1	発振開始
	0	11b		X	発振開始
	1	X		X	発振停止

X: 0または1

## LOCODIS ビット (低速オンチップオシレータ発振停止ビット)

表9.5にレジスタの設定と低速オンチップオシレータの状態を示します。また、BAKCRレジスタのXINBAKEビットが1(発振停止検出機能有効)の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、システム基準クロックとして供給します。

表9.5 レジスタの設定と低速オンチップオシレータの状態

レジスタ	CSPR	WDTC	WDTC	CKSTPR	SCKSEL	CKSTPR	OCOCR	低速オンチップオシレータ状態
ビット	CSPRO	WDTC7	WDTC6	STPM	LSCKSEL	SCKSEL	LOCODIS	
設定値	0	11b以外		0	00b以外		0	発振開始
	0	11b以外		0	00b以外		1	発振停止
	0	11b以外		0	0		X	発振開始
	0	11b以外		1	X		X	発振停止
	0	11b		X	X		X	発振開始
	1	X		X	X		X	発振開始

X: 0または1

## 9.2.3 システムクロックf制御レジスタ(SCKCR)

アドレス	00022h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSCKSEL	HSCKSEL	WAITM	—	—	PHISSEL2	PHISSEL1	PHISSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PHISSEL0	CPUクロック分周比選択ビット	CPUクロック (fs)を生成するための、システムクロック (f)の分周比を選択します。 b2 b1 b0 000: システムクロックの分周なし 001: システムクロックの2分周 010: システムクロックの4分周 011: システムクロックの8分周 100: システムクロックの16分周 101: システムクロックの32分周 110: 設定しないでください 111: 設定しないでください	R/W
b1	PHISSEL1			R/W
b2	PHISSEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	WAITM	ウェイト制御ビット	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b6	HSCKSEL	高速オンチップオシレータ/XINクロック 選択ビット	0: XINクロック 1: 高速オンチップオシレータクロック	R/W
b7	LSCKSEL	低速オンチップオシレータ/XCINクロック 選択ビット	0: 低速オンチップオシレータクロック 1: XCINクロック	R/W

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、SCKCRレジスタを書き換えてください。

## PHISSEL0 ~ PHISSEL2ビット(CPUクロック分周比選択ビット)

ウェイトモードまたはストップモードから復帰するとき、CKRSCRレジスタのPHISRSビットが1(分周なし)であれば、PHISSEL2 ~ PHISSEL0ビットは000b(分周なし)になります。

## WAITMビット(ウェイト制御ビット)

[0になる条件]

- ウェイトモードから周辺機能割り込みで復帰したとき

[1になる条件]

- PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、WAITMビットに1を書いたとき

## 9.2.4 システムクロックf選択レジスタ(PHISEL)

アドレス	00023h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PHISEL7	PHISEL6	PHISEL5	PHISEL4	PHISEL3	PHISEL2	PHISEL1	PHISEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b7 ~ b0	PHISEL7 ~ PHISEL0	システムクロック分周比選択ビット	システムクロック (f) と A/D コンバータ用クロック (fAD) を生成するための、システム基準クロック (fBASE) の分周を設定します。 • システムクロック (f) $f = fBASE/(n+1)$ • A/D コンバータ用クロック (fAD) $fAD = fBASE/(n+1) \dots (n+1)$ が 4 の倍数でないとき $fAD = 4 \times fBASE/(n+1) \dots (n+1)$ が 4 の倍数のとき n: PHISEL0 ~ PHISEL7 ビットで設定した 2 進数の値	00h ~ FFh	R/W

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、PHISELレジスタを書き換えてください。表9.6にPHISELレジスタの設定例を示します。

表9.6 PHISELレジスタの設定例

PHISELレジスタの設定値(n)	システムクロック(f)	A/Dコンバータ用クロック(fAD)
00h	fBASE	fBASE
01h	fBASEの2分周	fBASEの2分周
02h	fBASEの3分周	fBASEの3分周
03h	fBASEの4分周	fBASE
04h	fBASEの5分周	fBASEの5分周
05h	fBASEの6分周	fBASEの6分周
06h	fBASEの7分周	fBASEの7分周
07h	fBASEの8分周	fBASEの2分周



## 9.2.5 クロック停止制御レジスタ(CKSTPR)

アドレス	00024h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SCKSEL	—	—	—	—	PSCSTP	WCKSTP	STPM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STPM	全クロック停止制御ビット	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	WCKSTP	ウェイトモード時fBASE停止ビット	0: ウェイトモード時、システムクロックを供給 1: ウェイトモード時、システムクロックを停止	R/W
b2	PSCSTP	プリスケアラ停止ビット	0: プリスケアラ動作 1: プリスケアラ停止	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	SCKSEL	システム基準クロック選択ビット	0: fLSCK 1: fHSCK	R/W

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、CKSTPRレジスタを書き換えてください。

## STPMビット(全クロック停止制御ビット)

ウォッチドッグタイマのカウンソース保護モード有効時、またはウォッチドッグタイマのカウンソースは低速オンチップオシレータの16分周のクロックを選択した時は低速オンチップオシレータクロックは停止しません。

## WCKSTPビット(ウェイトモード時fBASE停止ビット)

ウェイトモード時のシステムクロックの供給および停止を制御します。

## PSCSTPビット(プリスケアラ停止ビット)

PSCSTPビットを1にすると、プリスケアラが停止します。f2 ~ f8192を使用している周辺機能は、動作停止状態になります。レジスタは保持されます。

## SCKSELビット(システム基準クロック選択ビット)

[0になる条件]

- 0を書いたとき
- システムクロックをXINクロックに選択し、BAKCRレジスタのXINBAKEビットが1(発振停止検出機能有効)の場合、XINクロック発振停止を検出し、システムクロックがfLOCOに切り換わったとき

[1になる条件]

- 1を書いたとき
- CKRSCRレジスタのWAITRSビットが1(fHSCK)の状態、ウェイトモードから復帰したとき
- CKRSCRレジスタのSTOPRSビットが1(fHSCK)の状態、ストップモードから復帰したとき

## 9.2.6 モード復帰時クロック制御レジスタ (CKRSCR)

アドレス	00025h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	STOPRS	WAITRS	PHISRS	—	CKST3	CKST2	CKST1	CKST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKST0	クロック発振器発振安定状態選択ビット	待機状態数	R/W
b1	CKST1		b3 b2 b1 b0 0 0 0 0 : 4	R/W
b2	CKST2		0 0 0 1 : 16	R/W
b3	CKST3		0 0 1 0 : 32	R/W
			0 0 1 1 : 64	
		0 1 0 0 : 128		
		0 1 0 1 : 256		
		0 1 1 0 : 512		
		0 1 1 1 : 1024		
		1 0 0 0 : 2048		
		1 0 0 1 : 4096		
		1 0 1 0 : 8192		
		1 0 1 1 : 16384		
		1 1 0 0 : 32768		
		1 1 0 1 : 65536		
		1 1 1 0 : 131072		
		1 1 1 1 : 262144		
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b5	PHISRS	ウェイトモード、ストップモードから復帰時のCPUクロック分周比選択ビット	0 : SCKCRレジスタのPHISSEL0 ~ PHISSEL2ビットの設定値が有効 1 : 分周なし	R/W
b6	WAITRS	ウェイトモードから復帰時のシステム基準クロック選択ビット	0 : ウェイトモードに移行する直前のシステム基準クロックで復帰 1 : fHSCK (注1、2)	R/W
b7	STOPRS	ストップモードから復帰時のシステム基準クロック選択ビット	0 : ストップモードに移行する直前のシステム基準クロックで復帰 1 : fHSCK (注1、2)	R/W

注1. SCKCRレジスタのHSCKSELビットが0 (XINクロック) のとき、ウェイトモードまたはストップモードに移行する前に、プログラムでP4\_6、P4\_7端子をXIN発振に設定してください。

注2. FMR2レジスタのFMR27ビットを1 (低消費電流リードモード許可) にした場合、ウェイトモードまたはストップモードに移行する前に0にしてください。

PRCRレジスタのPRC0ビットを1 (書き込み許可) にした後、CKRSCRレジスタを書き換えてください。

## CKST0 ~ CKST3ビット(クロック発振器発振安定状態選択ビット)

ウェイトモード、ストップモードから復帰するときのシステム基準クロック用の発振器の発振安定時間を設定します。表9.7にしたがって、適切な値を設定してください。

表9.7 ウェイトモード、ストップモードから復帰時発振安定時間

復帰後のシステム基準クロック	発振安定時間(自動生成)	待機状態数(CKST0 ~ CKST3ビット)の設定値
XINクロック	XINクロック周期 × システムクロック分周比 × 待機状態数	発振子メーカーにお問い合わせください。
XCINクロック	XCINクロック周期 × システムクロック分周比 × 待機状態数	発振子メーカーにお問い合わせください。
高速オンチップオシレータクロック	高速オンチップオシレータクロック周期 × システムクロック分周比 × 待機状態数	「表24.10 高速オンチップオシレータ発振回路の電気的特性」を参照してください。
低速オンチップオシレータクロック	低速オンチップオシレータクロック周期 × システムクロック分周比 × 2状態	— (CKST0 ~ CKST3ビットの設定値は無効)

発振停止検出機能が無効時、ストップモードから復帰後のシステム基準クロックはXINクロックです。ハードウェアで生成する安定時間は次のとおりです。

$$\text{安定時間} = \text{XINクロック周期} \times \text{システムクロック分周比} \times \text{安定ステップ数}$$

発振停止検出機能が有効時、ストップモードから復帰後のシステム基準クロックは低速オンチップオシレータクロックです。ハードウェアで生成する安定時間は次のとおりです。

$$\text{安定時間} = \text{低速オンチップオシレータクロック周期} \times \text{システムクロック分周比} \times \text{安定ステップ数}$$

## 9.2.7 発振停止検出レジスタ (BAKCR)

アドレス	00026h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CKSWIF	XINHALT	CKSWIE	XINBAKE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XINBAKE	発振停止検出有効ビット	0: 発振停止検出機能無効 1: 発振停止検出機能有効	R/W
b1	CKSWIE	発振停止検出割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b2	XINHALT	クロックモニタービット(注1)	0: XINクロック発振 1: XINクロック停止	R
b3	CKSWIF	発振停止検出割り込み要求フラグ(注1)	0: 発振停止検出割り込み要求発生なし 1: 発振停止検出割り込み要求発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. XINHALT、CKSWIFビットは、XINBAKEビットが1(発振停止検出機能有効)のときに有効です。XINHALTビットが0のときは、XINクロック発振を示します。発振が安定していることを意味しません。

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、BAKCRレジスタを書き換えてください。

## CKSWIFビット(発振停止検出割り込み要求フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- システム基準クロックにXINクロックを選択し、BAKCRレジスタのXINBAKEビットが1(発振停止検出機能有効)の状態が発振停止を検出したとき

## 9.2.8 高速オンチップオシレータ 18.432 MHz制御レジスタ0 (FR18S0)

アドレス 00064h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

—	—	—	—	—	—	—	—
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	18.432 MHzの周波数調整用データが格納されています。 この値をFRV1レジスタに転送し、かつFR18S1レジスタの調整値をFRV2レジスタに転送することにより、高速オンチップオシレータの周波数を18.432 MHzに調整できます。	R/W

## 9.2.9 高速オンチップオシレータ 18.432 MHz制御レジスタ1 (FR18S1)

アドレス 00065h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

—	—	—	—	—	—	—	—
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	18.432 MHzの周波数調整用データが格納されています。 この値をFRV2レジスタに転送し、かつFR18S0レジスタの調整値をFRV1レジスタに転送することにより、高速オンチップオシレータの周波数を18.432 MHzに調整できます。	R/W

## 9.2.10 高速オンチップオシレータ制御レジスタ1 (FRV1)

アドレス 00067h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

—	—	—	—	—	—	—	—
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	次のように設定することで、高速オンチップオシレータの周波数を変更できます。 20 MHz : FRV1 = リセット後の値、FRV2 = リセット後の値 18.432 MHz : FR18S0レジスタの値をFRV1レジスタに転送し、かつFR18S1レジスタの値をFRV2レジスタに転送	R/W

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、FRV1レジスタを書き換えてください。

## 9.2.11 高速オンチップオシレータ制御レジスタ2 (FRV2)

アドレス 00068h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

—	—	—	—	—	—	—	—
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	次のように設定することで、高速オンチップオシレータの周波数を変更できます。 20 MHz : FRV1 = リセット後の値、FRV2 = リセット後の値 18.432 MHz : FR18S0レジスタの値をFRV1レジスタに転送し、かつFR18S1レジスタの値をFRV2レジスタに転送	R/W

PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、FRV2レジスタを書き換えてください。

## 9.3 クロック発振回路の説明

### 9.3.1 XINクロック発振回路

XINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XINクロック発振回路はXIN、XOUT端子の間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時に消費電力を低減するため、発振回路から切り離されます。外部で生成されたクロックをXIN端子へ入力する場合には、PML3レジスタのP31SEL1～P31SEL0ビットを00b (I/OポートまたはXIN入力)、EXCKCRレジスタのCKPT1～CKPT0ビットを01b (XINクロック入力)にしてください。

図9.3にXINクロック発振回路の接続例を示します。

リセット中およびリセット後、XINクロックは停止しています。

PML3レジスタのP31SEL1～P31SEL0ビットを00b、PMH4レジスタのP45SEL1～P45SEL0ビットを00b、EXCKCRレジスタのCKPT1～CKPT0ビットを11b (P3\_1 : XIN、P4\_5 : XOUT)にすると、XINクロックは発振を開始します。XINクロックの発振が安定した後、SCKCRレジスタのHSCKSELビットを0 (XINクロック)、CKSTPRレジスタのSCKSELビットを1 (fHSCK)にすると、XINクロックが選択され、XINクロックがCPUクロック、周辺機能クロックのクロック源になります。

システム基準クロックに高速オンチップオシレータまたは低速オンチップオシレータを使用する場合、EXCKCRレジスタのCKPT1～CKPT0ビットを00bにすると、XINクロックは発振を停止します。消費電力を低減できます。

ストップモード時は、XINクロックが停止します。外部で生成されたクロックをXIN端子へ入力する場合には、ストップモードに遷移しないでください。詳細は、「10. パワーコントロール」を参照してください。

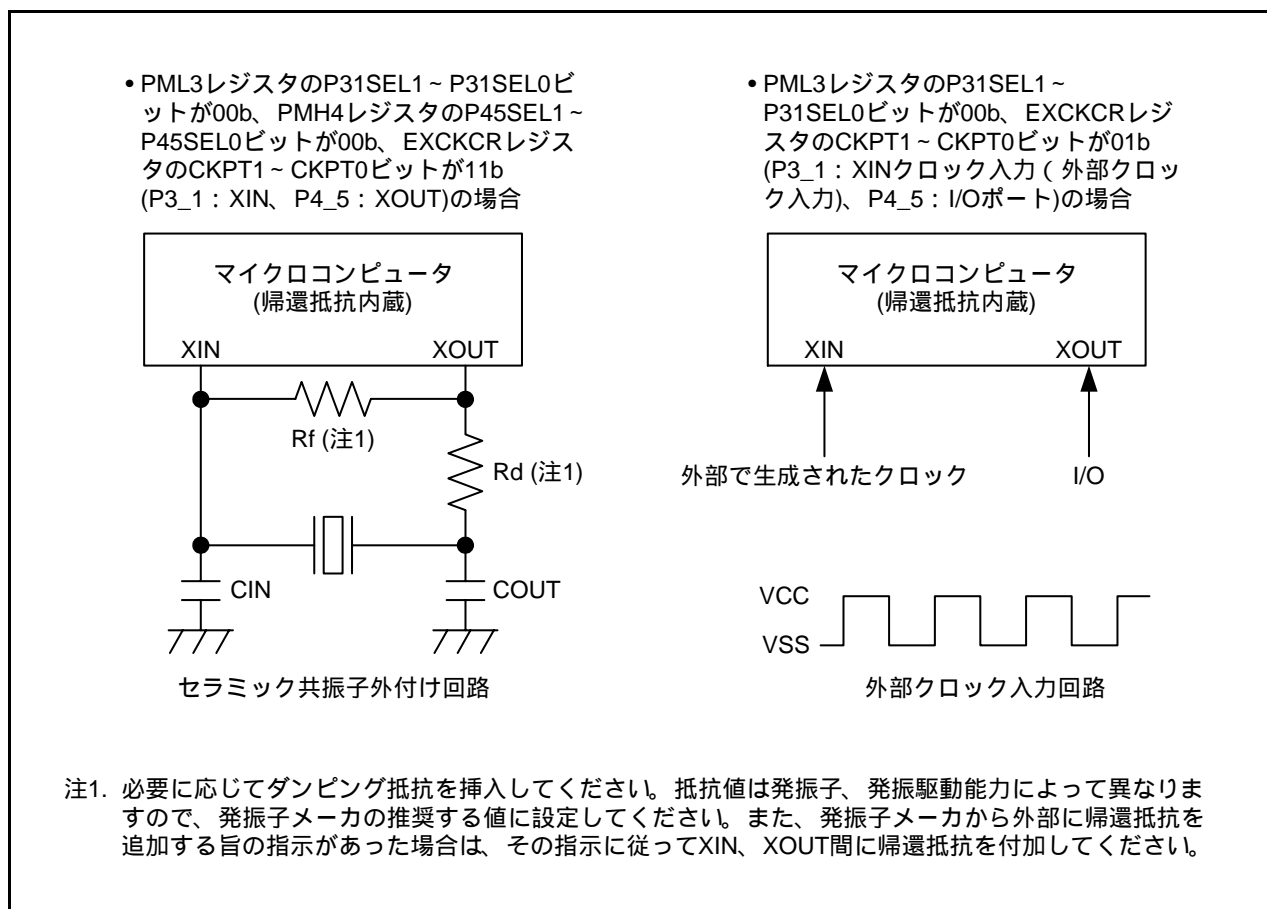


図9.3 XINクロック発振回路の接続例

## 9.3.2 XCINクロック発振回路

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN、XCOUT端子の間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時に発振回路から切り離されません。外部で生成されたクロックをXCIN端子へ入力する場合には、PMH4レジスタのP46SEL1～P46SEL0ビットを00b (I/OポートまたはXCIN入力)、EXCKCRレジスタのCKPT3～CKPT2ビットを01b (XCINクロック入力) にしてください。

図9.4にXCINクロック発振回路の接続例を示します。

PMH4レジスタのP46SEL1～P46SEL0ビットを00b、PMH4レジスタのP47SEL1～P47SEL0ビットを00b、EXCKCRレジスタのCKPT3～CKPT2ビットを10b (P4\_6: XCIN、P4\_7: XCOUT) にすると、XCINクロックは発振を開始します。XCINクロックの発振が安定した後、SCKCRレジスタのLSCKSELビットを1 (XCINクロック)、CKSTPRレジスタのSCKSELビットを0 (fLSCK) にすると、XCINクロックが選択され、XCINクロックがCPUクロック、周辺機能クロックのクロック源になります。

システム基準クロックは高速オンチップオシレータまたは低速オンチップオシレータを使用する場合、EXCKCRレジスタのCKPT3～CKPT2ビットが00bにすると、XCINクロックは発振を停止します。消費電力を低減できます。

ストップモード時は、XCINクロックが停止しません。詳細は、「10. パワーコントロール」を参照してください。

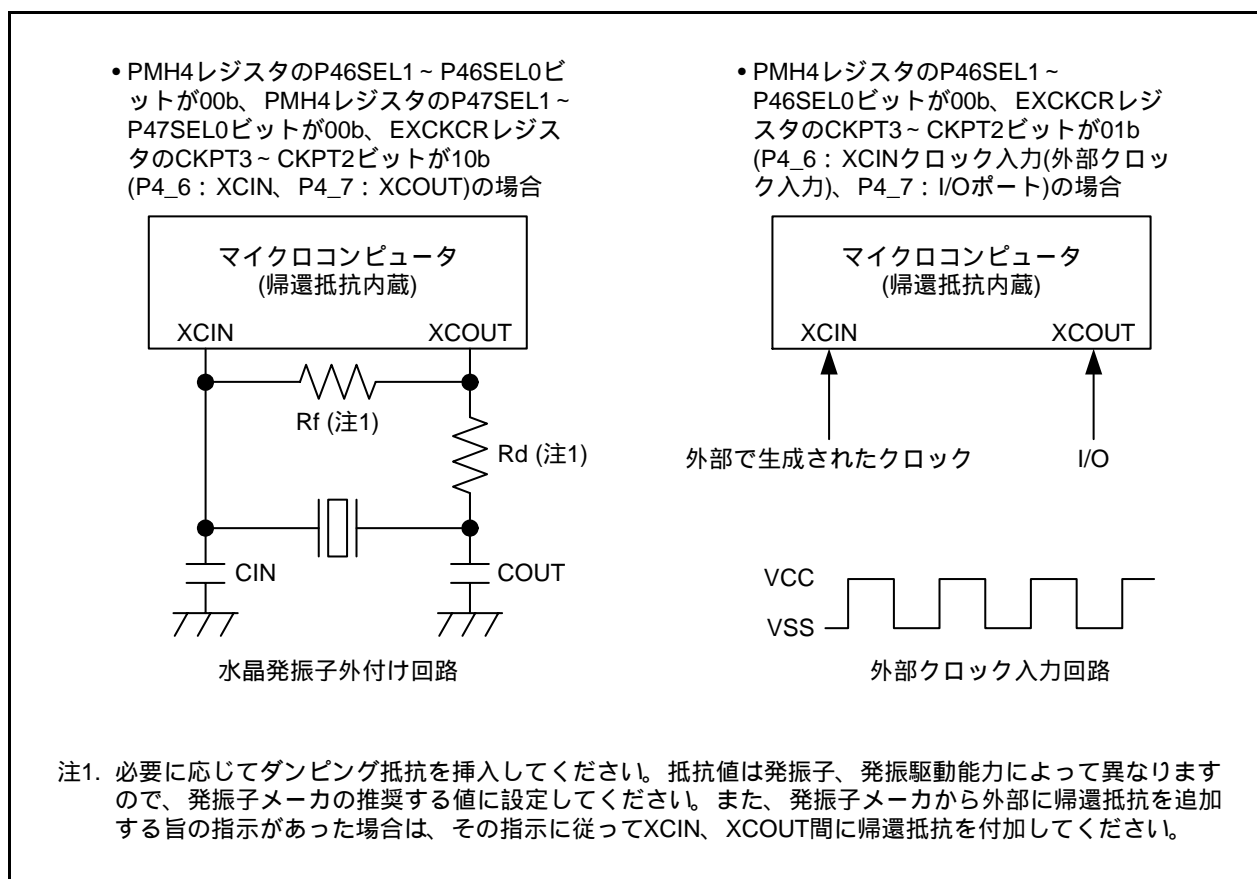


図9.4 XCINクロック発振回路の接続例



### 9.3.3 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロックのクロック源になります。

OCOCRレジスタのHOCOEビットを1(高速オンチップオシレータ発振)にし、発振安定の待ち時間が経過した後、SCKCRレジスタのHSCKSELビットを1(高速オンチップオシレータクロック)、CKSTPRレジスタのSCKSELビットを1(fHSCK)にすると、高速オンチップオシレータクロックがシステム基準クロック(fBASE)になります。

FRV1、FRV2、FR18S0、FR18S1レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を18.432 MHzにする場合、FR18S0レジスタの調整値をFRV1レジスタに、FR18S1レジスタの調整値をFRV2レジスタに転送して使用してください。

これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表 18.8 クロック非同期形シリアルI/Oモード時のビットレート設定例(内部クロック選択時)」を参照)。

### 9.3.4 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロックのクロック源になります。

OCOCRレジスタのLOCODISビットを0(低速オンチップオシレータ発振)にし、発振安定の待ち時間が経過した後、SCKCRレジスタのLSCKSELビットを0(低速オンチップオシレータ)、CKSTPRレジスタのSCKSELビットを0(fLSCK)にすると、低速オンチップオシレータクロックがシステム基準クロック(fBASE)になります。

リセット後、低速オンチップオシレータクロック(分周なし)がCPUクロックになります。

低速オンチップオシレータクロックの周波数は電源電圧、動作周囲温度によって大きく変動します。応用製品設計の際には周波数変動に対して十分マージンを持ってください。



## 9.4 クロックの説明

### 9.4.1 システム基準クロック (fBASE)

システム基準クロックとは、XIN クロック発振回路、XCIN クロック発振回路、高速オンチップオシレータ、低速オンチップオシレータから選択されたマイクロコンピュータを動作させるクロックです。

マイクロコンピュータはリセット後、低速オンチップオシレータクロックにより標準モードで動作します。

### 9.4.2 システムクロック (f)

PHISEL レジスタの PHISEL0 ~ PHISEL7 ビットを設定し、システム基準クロックを 1 ~ 256 の任意の値で分周したクロックがシステムクロックです。リセット解除後、システムクロックは低速オンチップオシレータクロック(分周なし)になります。

### 9.4.3 CPU クロック (fs)

CPU クロックとは CPU を動作させるクロックで、システムクロックを 1 (分周なし)、2、4、8、16 または 32 分周したクロックから選択できます。リセット解除後の CPU クロックは、低速オンチップオシレータクロック(分周なし)になります。

### 9.4.4 各種クロック

表 9.8 にクロック発生回路で生成される各種クロックの名称と説明を示します。

表 9.8 各種クロックの名称と説明

クロックの名称	説明
周辺機能クロック f1 ~ f8192	周辺機能のクロックです。 システムクロックを分周したクロックです。タイマ RJ2、タイマ RB2、タイマ RC、タイマ RK、タイマ RE2、UART0、UART1、IrDA、A/D コンバータで使用します。 CKSTPR レジスタの WCKSTP ビットを 1 (ウェイトモード時、システムクロックを停止)にした後にウェイトモードに移行すると、周辺機能クロックは停止します。
fHOCO	fHOCO は高速オンチップオシレータで生成されたクロックで、OCOER レジスタの HOCOE ビットを 1 にすると発振します。 fHOCO はウェイトモード時、停止しません。
fLOCO	fLOCO は低速オンチップオシレータで生成されたクロックで、OCOER レジスタの LOCODIS ビットを 0 にすると発振します。 fLOCO はウェイトモード時、停止しません。
fXCIN	fXCIN は XCIN クロック発振回路で生成されたクロックで、EXCKCR レジスタの CKPT3 ~ CKPT2 ビットを 01b (P4_6 : XCIN クロック入力(外部クロック入力)、P4_7 : I/O ポート)または 10b (P4_6 : XCIN、P4_7 : XCOUT) にすると発振します。 fXCIN はウェイトモードおよびストップモード時、停止しません。
fHSCK	fHSCK は、SCKCR レジスタの HSCKSEL ビットにより、XIN クロックまたは高速オンチップオシレータクロックから選択したクロックです。
fLSCK	fLSCK は、SCKCR レジスタの LSCKSEL ビットにより、XCIN クロックまたは低速オンチップオシレータクロックから選択したクロックです。
fAD	A/D コンバータ用クロックです。 システムクロックを分周したクロックです。 fAD はウェイトモード時、停止しません。

### 9.4.5 プリスケーラ

プリスケーラは、システムクロックを入力クロックにする13ビットのカウンタです。分周された出力が、内蔵周辺機能の内部クロックとして使用されます。CKSTPRレジスタのPSCSTPビットを0(プリスケーラ動作)にすることにより、プリスケーラが動作を開始します。

CKSTPRレジスタのWCKSTPビットを1(ウェイトモード時、システムクロックを停止)にした後にウェイトモードに移行すると、プリスケーラは停止します。ウェイトモードから標準モードに遷移するとき、CKRSCRレジスタのWAITRSビットによりクロックの切り換えがあると、プリスケーラは初期化されます。ストップモードから標準モードに遷移するとき、プリスケーラは初期化されません。プリスケーラは読み出しや書き込みができません。

### 9.4.6 システム基準クロック切り替えの手順

図9.5にXINクロック発振回路/XCINクロック発振回路/低速オンチップオシレータ/高速オンチップオシレータ間での切り換えフローチャートを示します。

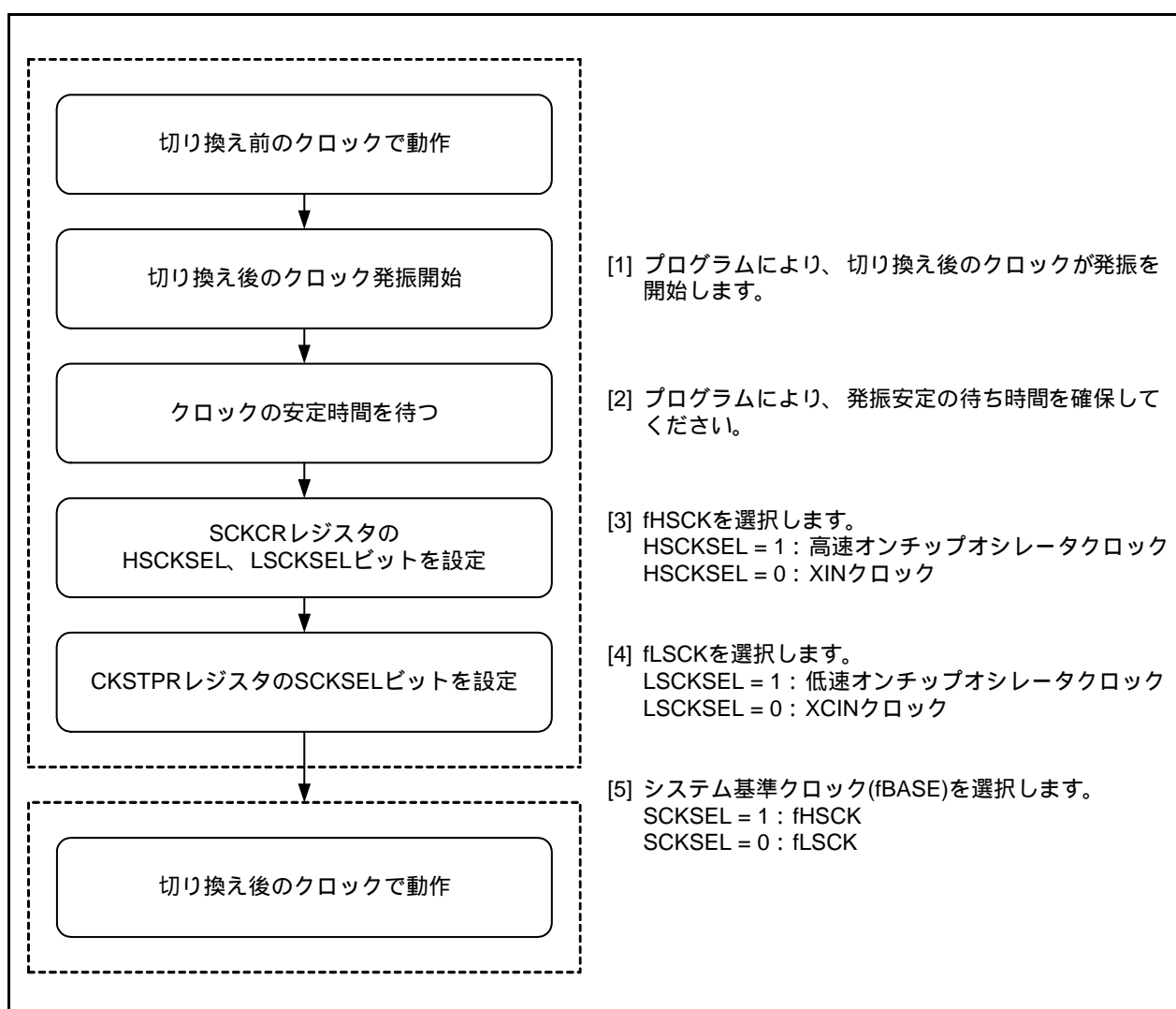


図9.5 XINクロック発振回路/XCINクロック発振回路/低速オンチップオシレータ/高速オンチップオシレータ間での切り換えフローチャート

## 9.4.6.1 高速オンチップオシレータへのシステム基準クロック切り換えの動作例

図9.6に低速オンチップオシレータから高速オンチップオシレータクロックへの切り換えフローチャートを示します。

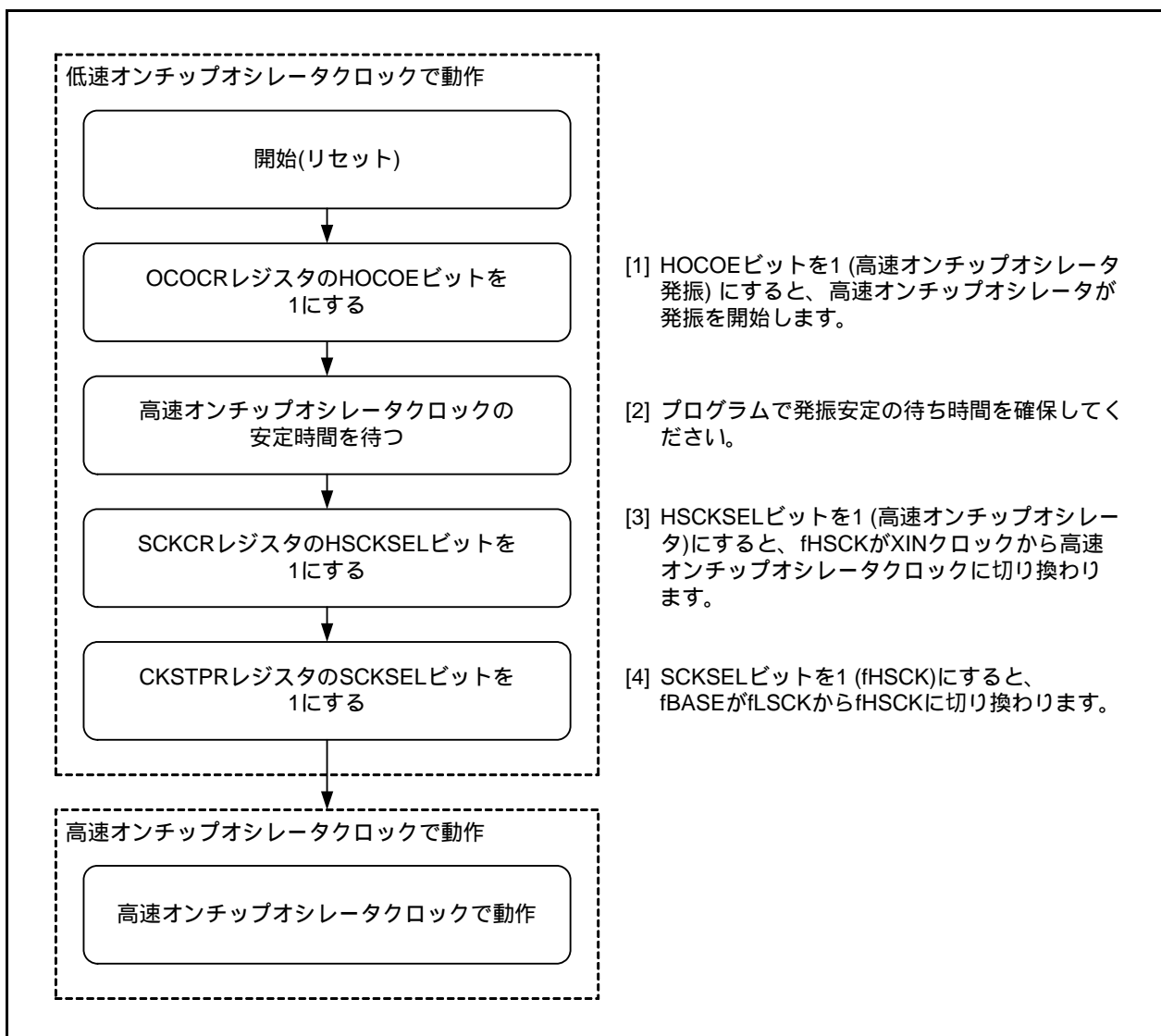


図9.6 低速オンチップオシレータから高速オンチップオシレータクロックへの切り換えフローチャート

## 9.4.6.2 XINクロックへのシステム基準クロック切り換えの動作例

図9.7に低速オンチップオシレータクロックからXINクロックへの切り換えフローチャートを示します。

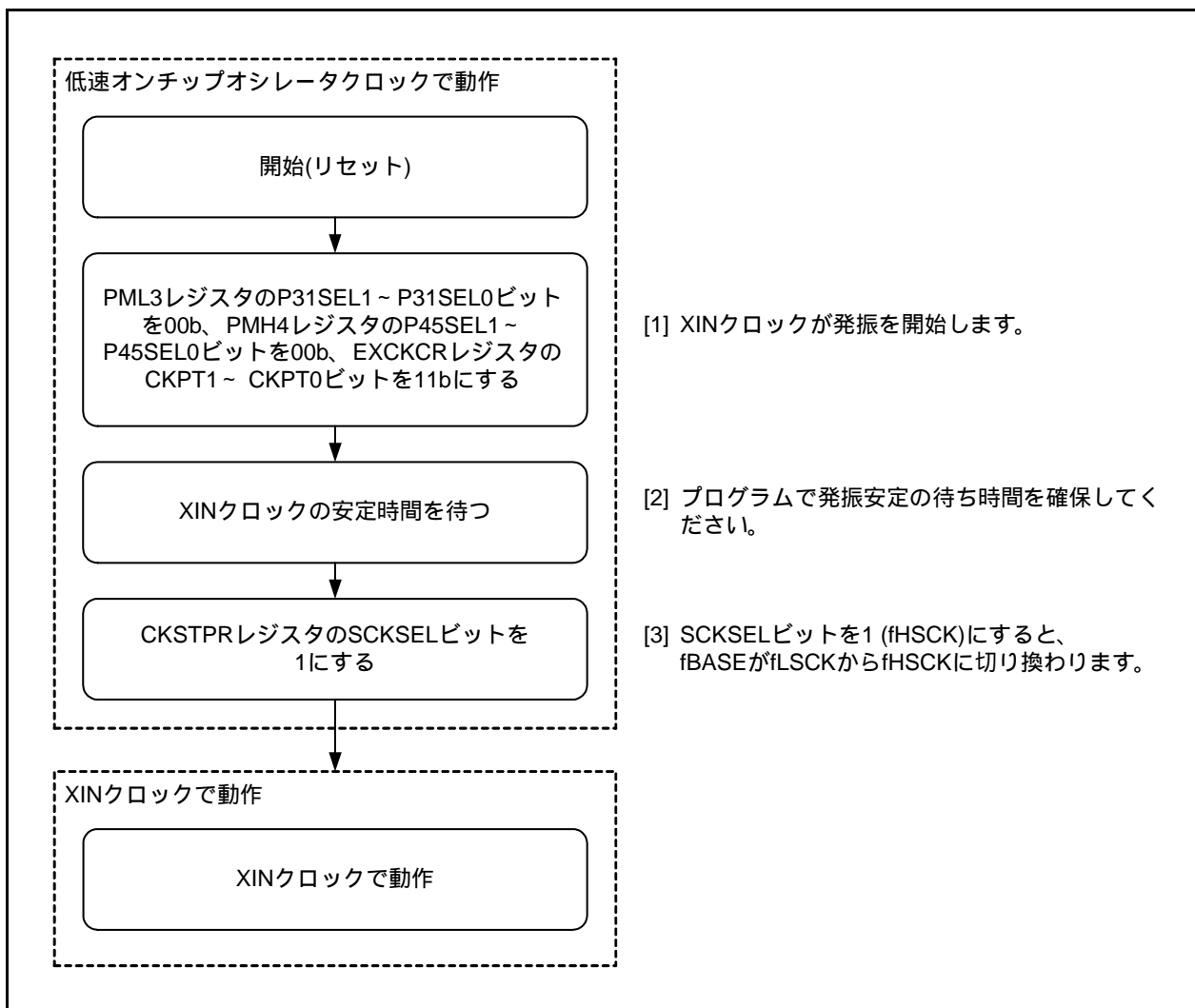


図9.7 低速オンチップオシレータクロックからXINクロックへの切り換えフローチャート

## 9.5 発振停止検出機能

発振停止検出機能は、XIN クロック発振回路の停止を検出する機能です。

発振停止検出機能は、BAKCR レジスタのXINBAKE ビットで有効または無効が選択できます。発振停止検出機能を有効にする場合は、SCKCR レジスタのLSCKSEL ビットを0 (低速オンチップオシレータ) にしてください。

表9.9に発振停止検出機能の仕様を示します。

XIN クロックがシステム基準クロックとして選ばれているときに、BAKCR レジスタのCKSWIE ~ XINBAKE ビットが11b (割り込み要求許可、発振停止検出機能有効) の場合、XIN クロックが停止すると、次の状態になります。

- 低速オンチップオシレータが発振します。ただし、OCOCR レジスタのLOCODIS ビットの値は変化しません。
- CKSTPR レジスタのSCKSEL ビット = 0 (fLSCK)
- BAKCR レジスタのXINHALT ビット = 0 (外部XIN クロック停止)
- 発振停止検出割り込み要求が発生

表9.9 発振停止検出機能の仕様

項目	仕様
発振停止検出クロック周波数	f(XIN) 2 MHz
発振停止検出機能有効条件	CKSWIE ~ XINBAKE ビットが11b (割り込み要求許可、発振停止検出機能有効)
発振停止検出時の動作	発振停止検出割り込み発生

### 9.5.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1 割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。割り込み要因判別方法は、「11.8 割り込み要因判別方法」を参照してください。
- 発振停止後、XIN クロックが発振を再開した場合は、プログラムでXIN クロックをCPU クロックや周辺機能のクロック源に戻してください。  
図9.7に低速オンチップオシレータクロックからXIN クロックへの切り換えフローチャートを示します。
- 発振停止検出機能は外部要因によるXIN クロック停止を備えた機能ですので、プログラムでXIN クロックを停止または発振させる場合 (ストップモードにする、またはEXCKCR レジスタのCKPT0 ~ CKPT1 ビットを変更する) は、BAKCR レジスタのCKSWIE ~ XINBAKE ビットを00b (割り込み要求禁止、発振停止検出機能無効) にしてください。
- XIN クロックの周波数が2 MHz 未満の場合、この機能は使用できませんので、BAKCR レジスタのCKSWIE ~ XINBAKE ビットを00b (割り込み要求禁止、発振停止検出機能無効) にしてください。
- 発振停止検出後に、CPU クロックと周辺機能のクロック源として低速オンチップオシレータを使用します。消費電力を低減するために、発振停止検出機能が有効の状態では低速オンチップオシレータを停止状態に設定できます。その場合XIN クロック停止を検出したら、低速オンチップオシレータを自動的に発振させ、一定の発振安定の待ち時間後、システムクロックを切り換えます。

## 9.6 クロック発生回路使用上の注意事項

### 9.6.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、BAKCRレジスタのCKSWIE ~ XINBAKEビットを00b (割り込み要求禁止、発振停止検出機能無効)にしてください。

### 9.6.2 発振回路定数

ユーザシステムでの最適発振回路定数は、発振子メーカーに相談の上、決定してください。

## 10. パワーコントロール

CPU クロックや周辺機能クロックの選択や停止などで、消費電力を制御することをパワーコントロールと呼びます。

### 10.1 概要

パワーコントロールには3つのモードがあります。標準動作モードは、システム基準クロック (fBASE) によって、4つのモードがあります。

表10.1 モードの種類

項目	内容	
標準動作モード	CPUおよび周辺機能が動作する	
高速クロックモード	システム基準クロック (fBASE)	XINクロック
低速クロックモード		XCINクロック
高速オンチップオシレータモード		高速オンチップオシレータクロック
低速オンチップオシレータモード		低速オンチップオシレータクロック
ウェイトモード	CPUが停止し、周辺機能が動作する	
ストップモード	CPU、周辺機能が停止し、最も消費電力が少ない	

図10.1にパワーコントロールの状態遷移図を示します。

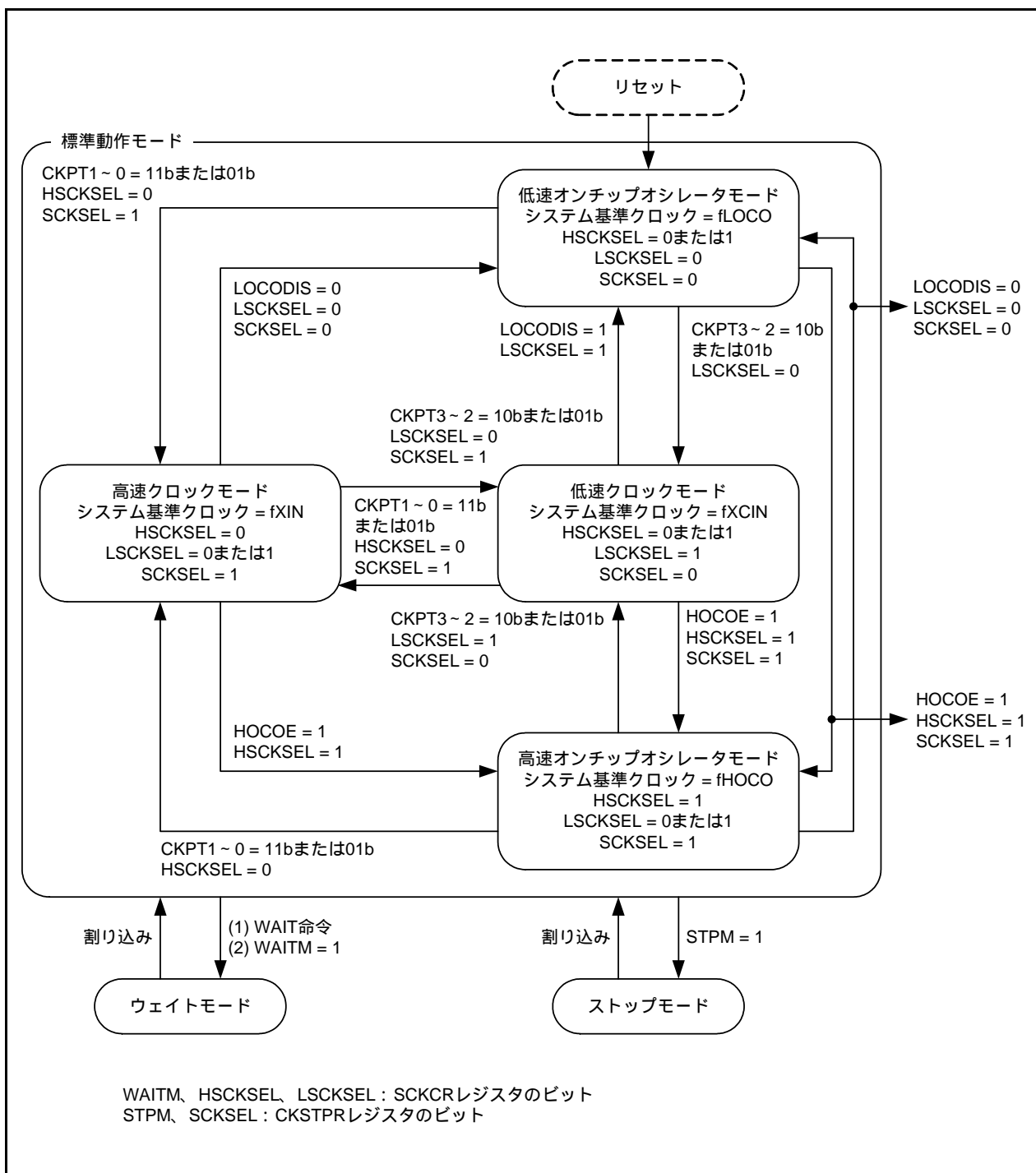


図10.1 パワーコントロールの状態遷移図



## 10.2 標準動作モード

標準動作モードでは、システムクロックが供給されていますので、CPUおよび周辺機能も動作します。システムクロックやCPUクロックの周波数を制御することで、パワーコントロールを行います。

CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると、さらに消費電力は小さくなります。

CPUクロックのクロック源を切り換えるとき、切り換え先のクロックが安定して発振している必要があります。プログラムで、切り換え先のクロックの発振が安定するまで待ち時間を確保した後、クロックを切り換えてください。

表10.2に標準動作モードのレジスタ設定を示します。

表10.2 標準動作モードのレジスタ設定

モード	レジスタ	OCOCR		SCKCR		CKSTPR	EXCKCR			
	ビット	HOCOE	LOCODIS	HSCKSEL	LSCKSEL	SCKSEL	CKPT3	CKPT2	CKPT1	CKPT0
	切換内容	fHOCO 発振/停止	fLOCO 発振/停止	XIN/ fHOCO	XCIN/ fLOCO	fLSCK/ fHSCK	P4_6、P4_7 端子機能		P3_1、P4_5 端子機能	
高速クロックモード		—	—	0 (XIN)	—	1 (fHSCK)	—	—	1	1
低速クロックモード		—	—	—	1 (XCIN)	0 (fLSCK)	1	0	—	—
高速オンチップ オシレータモード		1 (発振)	—	1 (fHOCO)	—	1 (fHSCK)	—	—	—	—
低速オンチップ オシレータモード		—	0 (発振)	—	0 (fLOCO)	0 (fLSCK)	—	—	—	—

—：0でも1でも影響ない

( )内を選択

### 10.2.1 高速クロックモード

SCKCRレジスタのHSCKSELビットが0(XINクロック)、CKSTPRレジスタのSCKSELビットが1(fHSCK)のとき、XINクロックがシステム基準クロック(fBASE)になります。このとき、XINクロックを1(分周なし)～256の任意の値で分周したクロックが、システムクロックとなります。システムクロックを1(分周なし)、2、4、8、16または32分周したクロックがCPUクロックとなります。また、システムクロックをプリスケラで分周したクロックが、周辺機能クロックとなります。さらに周辺機能クロックは、OCOCRレジスタのHOCOEビットが1(高速オンチップオシレータ発振)のときにfHOCOを、LOCODISビットが0(低速オンチップオシレータ発振)のときにfLOCOを使用できます。

### 10.2.2 低速クロックモード

SCKCRレジスタのLSCKSELビットが1(XCINクロック)、CKSTPRレジスタのSCKSELビットが0(fLSCK)のとき、XCINクロックがシステム基準クロック(fBASE)になります。このとき、XCINクロックを1(分周なし)～256の任意の値で分周したクロックが、システムクロックとなります。システムクロックを1(分周なし)、2、4、8、16または32分周したクロックがCPUクロックとなります。また、システムクロックをプリスケラで分周したクロックが、周辺機能クロックとなります。さらに周辺機能クロックは、OCOCRレジスタのHOCOEビットが1(高速オンチップオシレータ発振)のときにfHOCOを、LOCODISビットが0(低速オンチップオシレータ発振)のときにfLOCOを使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのLPEビットを1(低消費電力ウェイトモード許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法の詳細は「10.5 消費電力の低減」を参照してください。

### 10.2.3 高速オンチップオシレータモード

OCOCRレジスタのHOCOEビットが1(高速オンチップオシレータ発振)、SCKCRレジスタのHSCKSELビットが1(高速オンチップオシレータクロック)、CKSTPRレジスタのSCKSELビットが1(fHSCK)のとき、高速オンチップオシレータがシステム基準クロック(fBASE)になります。このとき、高速オンチップオシレータクロックを1(分周なし)~256の任意の値で分周したクロックが、システムクロックとなります。システムクロックを1(分周なし)、2、4、8、16または32分周したクロックがCPUクロックとなります。また、システムクロックをプリスケアラで分周したクロックが、周辺機能クロックとなります。さらに周辺機能クロックは、LOCODISビットが0(低速オンチップオシレータ発振)のときにfLOCOを使用できます。

### 10.2.4 低速オンチップオシレータモード

OCOCRレジスタのLOCODISビットが0(低速オンチップオシレータ発振)、SCKCRレジスタのLSCKSELビットが0(低速オンチップオシレータ)、CKSTPRレジスタのSCKSELビットが0(fLSCK)のとき、低速オンチップオシレータがシステム基準クロック(fBASE)になります。このとき、低速オンチップオシレータクロックを1(分周なし)~256の任意の値で分周したクロックが、システムクロックとなります。システムクロックを1(分周なし)、2、4、8、16または32分周したクロックがCPUクロックとなります。また、システムクロックをプリスケアラで分周したクロックが、周辺機能クロックとなります。さらに周辺機能クロックは、OCOCRレジスタのHOCOEビットが1(高速オンチップオシレータ発振)のときにfHOCOを使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのLPEビットを1(低消費電力ウェイトモード許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。消費電力を低減する方法の詳細は「10.5 消費電力の低減」を参照してください。

### 10.3 ウェイトモード

カウントソース保護モード無効かつCPUクロックを使用した時のウォッチドッグタイマが停止します。XINクロック、XCINクロックおよび高速オンチップオシレータクロックと低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CKSTPRレジスタのWCKSTPビットで、システムクロックを停止できます。このとき、システムクロックとプリスケラにより生成されたシステムクロックの分周クロックを使用する周辺機能は停止します。

#### 10.3.1 周辺機能クロック停止機能

CKSTPRレジスタのWCKSTPビットが1(ウェイトモード時、システムクロックを停止)の場合、ウェイトモード時にシステムクロックとプリスケラが停止しますので、消費電力が低減できます。このとき、システムクロックとプリスケラにより生成されたシステムクロックの分周クロックを使用する周辺機能は停止します。

#### 10.3.2 ウェイトモードへの移行

WAIT命令を実行、またはSCKCRレジスタのWAITMビットを1(ウェイトモードに移行する)にすると、ウェイトモードになります。

#### 10.3.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

### 10.3.4 ウェイトモードからの復帰

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みは、CKSTPRレジスタのWCKSTPビットの影響を受けます。WCKSTPビットが0(ウェイトモード時、システムクロックを供給)の場合は、周辺機能割り込みをウェイトモードからの復帰に使用できます。WCKSTPビットが1(ウェイトモード時、システムクロックを停止)の場合は、周辺機能クロックを使用する周辺機能は停止します。外部信号、fADまたは高速オンチップオシレータクロック、低速オンチップオシレータクロック(各オンチップオシレータの発振は必要)によって動作する周辺機能の割り込みだけが、ウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CKSTPRレジスタ	
	WCKSTPビット = 0の場合	WCKSTPビット = 1の場合
発振停止検出割り込み	使用可	使用不可
INT0 ~ INT3 割り込み	使用可	フィルタなしの場合に使用可
キー入力割り込み	使用可	使用可
周期タイマ割り込み	カウントソースはfLOCO/16を選択時に使用可	使用不可
タイマRJ2 割り込み	すべてのモードで使用可	<ul style="list-style-type: none"> <li>• フィルタなしの場合にイベントカウンタモードで使用可</li> <li>• カウントソースにfHOCO、fXCIN、fXCIN32を選択することで使用可</li> </ul>
タイマRB2 割り込み	すべてのモードで使用可	<ul style="list-style-type: none"> <li>• タイマRJ2をフィルタなしのイベントカウンタモードで使用し、タイマRB2のカウントソースに、タイマRJ2のアンダフローを選択することで使用可</li> <li>• タイマRJ2のカウントソースにfHOCO、fXCIN、fXCIN32を選択し、タイマRB2のカウントソースに、タイマRJ2のアンダフローを選択することで使用可</li> </ul>
タイマRC 割り込み	すべてのモードで使用可	使用不可
タイマRK 割り込み	使用可	カウントソースにfHOCOを選択することで使用可
タイマRE2 割り込み	使用可	カウントソースにfXCINを選択することで使用可
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
A/D変換割り込み	使用可	フラッシュメモリ動作かつADクロックがfADを選択した場合に使用可
電圧監視1 割り込み	使用可	使用可
コンパレータB1 割り込み	使用可	フィルタなしの場合に使用可
コンパレータB3 割り込み	使用可	フィルタなしの場合に使用可

図10.2にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み優先レベルレジスタのILVLi0 ~ ILVLi1ビットまたはILVLi4 ~ ILVLi5ビットに、割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVLi1 ~ ILVLi0ビットまたはILVLi5 ~ ILVLi4ビットをそれぞれ00b(レベル0(割り込み禁止))にする。
- (2) Iフラグを1(マスカブル割り込み許可)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みによりウェイトモードから復帰したときのシステム基準クロックは、CKRSCRレジスタのWAITRSビットで設定したクロックになります。このとき、SCKCRレジスタのPHISSEL0～PHISSEL2ビットおよびCKSTPRレジスタのSCKSELビットは、PHISRSビット、WAITRSビットにしたがって、自動的に変更されます。

復帰時のシステム基準クロックが、ウェイトモードに移行する直前のクロックと異なる場合、クロックを供給するまでの期間(発振安定時間)を自動的に生成します。復帰時のシステム基準クロックが高速オンチップオシレータクロックの場合には、割り込み要求発生により発振を開始します。XINクロックの場合には、ウェイトモードに移行する前にプログラムでP3\_1、P4\_5端子をXIN発振に設定し発振を開始してください。

発振安定時間は、使用するクロックに応じて、CKRSCRレジスタのCKST0～CKST3ビットで適切な値を設定してください。プログラムで待ち時間を生成する必要はありません。なお、ウェイトモードに移行する直前のシステム基準クロックと同じクロックで復帰する場合は、発振安定時間は生成されません。

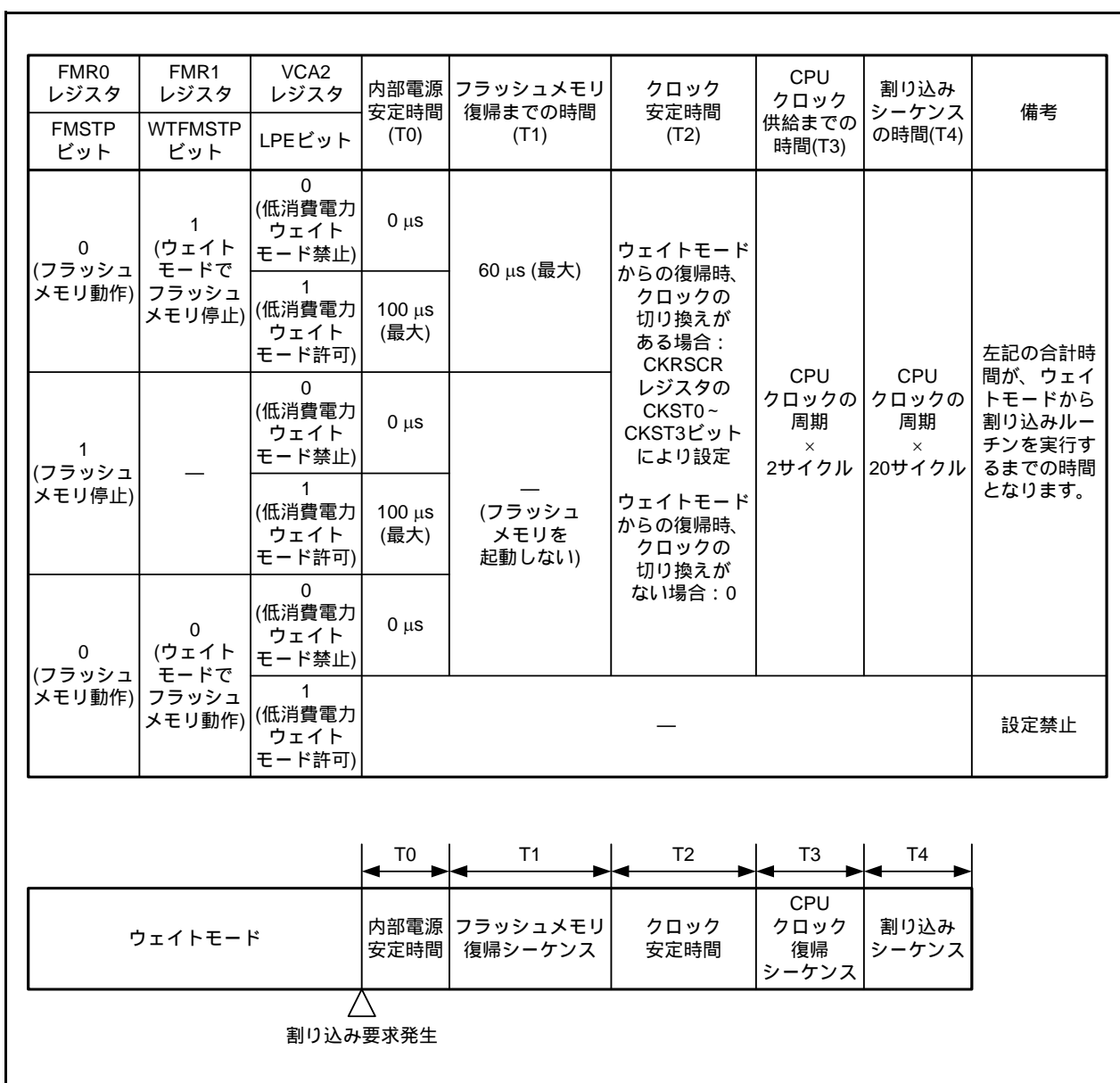


図 10.2 WAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

図 10.3 に SCKCR レジスタの WAITM ビットを 1 (ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAITM ビットを 1 にする前に次の設定をしてください。

- (1) Iフラグを 0 (マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み優先レベルレジスタの ILVLi0 ~ ILVLi1 ビットまたは ILVLi4 ~ ILVLi5 ビットに、割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVLi1 ~ ILVLi0 ビットまたは ILVLi5 ~ ILVLi4 ビットをそれぞれ 00b (レベル 0 (割り込み禁止))にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

外部割り込み (INT0 ~ INT3、KI0 ~ KI3) による割り込み実行せずにウェイトモードから復帰後に、IRR3 レジスタの IRI0 ~ IRI3、IRKI ビット (外部割り込み要求フラグ) は自動的に 0 になりません。プログラムで 0 にしてください。

周辺機能割り込みによりウェイトモードから復帰したときのシステム基準クロックは、CKRSCR レジスタの WAITRS ビットで設定したクロックになります。このとき、SCKCR レジスタの PHISSEL0 ~ PHISSEL2 ビットおよび CKSTPR レジスタの SCKSEL ビットは、PHISRS ビット、WAITRS ビットにしたがって、自動的に変更されます。

復帰時のシステム基準クロックが、ウェイトモードに移行する直前のクロックと異なる場合、クロックを供給するまでの期間 (発振安定時間) を自動的に生成します。復帰時のシステム基準クロックが高速オンチップオシレータクロックの場合には、割り込み要求発生により発振を開始します。XIN クロックの場合には、ウェイトモードに移行する前にプログラムで P3\_1、P4\_5 端子を XIN 発振に設定し発振を開始してください。

発振安定時間は、使用するクロックに応じて、CKRSCR レジスタの CKST0 ~ CKST3 ビットで適切な値を設定してください。プログラムで待ち時間を生成する必要はありません。なお、ウェイトモードに移行する直前のシステム基準クロックと同じクロックで復帰する場合は、発振安定時間は生成されません。

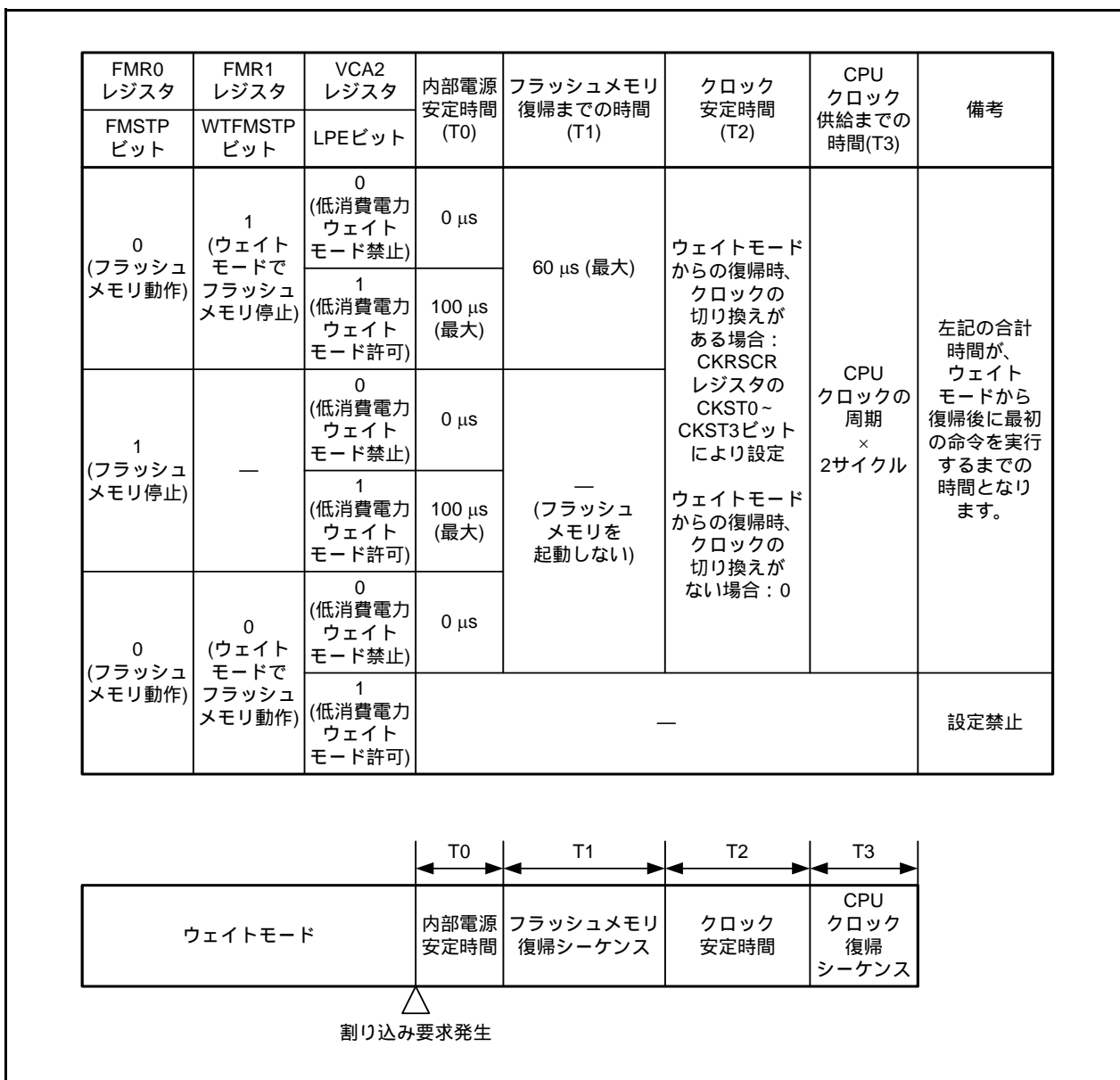


図 10.3 SCKCRレジスタのWAITMビットを1 (ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間



## 10.4 ストップモード

ストップモードではXCINクロック以外の発振が停止します。従って、CPUクロックと周辺機能クロック(XCINクロック以外)も停止し、これらのクロックで動作するCPU、周辺機能(XCINクロックを選択した機能以外)は停止します。ただし、ウォッチドッグタイマのカウンタソースに低速オンチップオシレータを選択した場合(カウンタソース保護モードまたはWDTCレジスタのWDTC7～WDTC6ビットが1b(低速オンチップオシレータの16分周)のとき)、低速オンチップオシレータは発振します。ストップモードでXCINクロックを停止したい場合、EXCKCRレジスタのCKPT3～CKPT2ビットが00b(P4\_6:I/Oポート、P4\_7:I/Oポート)に設定してから、ストップモードに移行してください。

消費電力が他のモードと比較して最も少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

### 10.4.1 ストップモードへの移行

CKSTPRレジスタのSTPMビットを1(全クロック停止(ストップモード))にすると、ストップモードになります。

### 10.4.2 ストップモード時の端子の状態

入出力ポートは、ストップモードに入る直前の状態を保持します。

EXCKCRレジスタのCKPT1～CKPT0ビットが11b(P3\_1:XIN、P4\_5:XOUT)の場合は、ストップモード時、XIN(P3\_1)、XOUT(P4\_5)端子はハイインピーダンス状態になります。EXCKCRレジスタのCKPT1～CKPT0ビットが01b(P3\_1:XINクロック入力(外部クロック入力)、P4\_5:I/Oポート)の場合は、ストップモードに遷移しないでください。

### 10.4.3 ストップモードからの復帰

リセットまたは周辺機能割り込みにより、ストップモードから復帰します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
INT0～INT3割り込み	フィルタなしの場合に使用可
キー入力割り込み	使用可
タイマRJ2割り込み	<ul style="list-style-type: none"> <li>フィルタなしの場合に、イベントカウンタモードで外部パルスをカウントするとき</li> <li>カウンタソースにfXCIN、fXCIN32を選択することで使用可</li> </ul>
タイマRB2割り込み	<ul style="list-style-type: none"> <li>タイマRJ2をフィルタなしのイベントカウンタモードで使用し、タイマRB2のカウントソースに、タイマRJ2のアンダフローを選択することで使用可</li> <li>タイマRJ2のカウントソースにfXCIN、fXCIN32を選択し、タイマRB2のカウントソースに、タイマRJ2のアンダフローを選択することで使用可</li> </ul>
タイマRE2割り込み	カウンタソースにfXCINを選択することで使用可
シリアルインタフェース割り込み	外部クロック、fXCINで使用可
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが1)の場合に使用可
コンパレータB1割り込み	フィルタなしの場合に使用可
コンパレータB3割り込み	フィルタなしの場合に使用可



図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

ストップモードからの復帰に周辺機能割り込みを使用する場合、次の設定をした後、CKSTPRレジスタのSTPMビットを1(全クロック停止(ストップモード))にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みの割り込み優先レベルレジスタのILVLi0 ~ ILVLi1ビットまたはILVLi4 ~ ILVLi5ビットに、割り込み優先レベルを設定する。また、ストップモードからの復帰に使用しない周辺機能割り込みのILVLi1 ~ ILVLi0ビットまたはILVLi5 ~ ILVLi4ビットをそれぞれ00b(レベル0(割り込み禁止))にする。
- (2) Iフラグを1(マスカブル割り込み許可)にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みによりストップモードから復帰したときのシステム基準クロックは、CKRSCRレジスタのSTOPRSビットで設定したクロックになります。このとき、SCKCRレジスタのPHISSEL0 ~ PHISSEL2ビットおよびCKSTPRレジスタのSCKSELビットは、PHISRSビット、STOPRSビットにしたがって、自動的に変更されます。

割り込み要求発生により、発振を開始し、クロックを供給するまでの期間(発振安定時間)を自動的に生成します。復帰時のシステム基準クロックがXINクロックの場合には、ストップモードに遷移する前にプログラムでP3\_1、P4\_5端子をXIN発振に設定してください。

発振安定時間は、使用するクロックに応じて、CKRSCRレジスタのCKST0 ~ CKST3ビットで適切な値を設定してください。プログラムで待ち時間を生成する必要はありません。

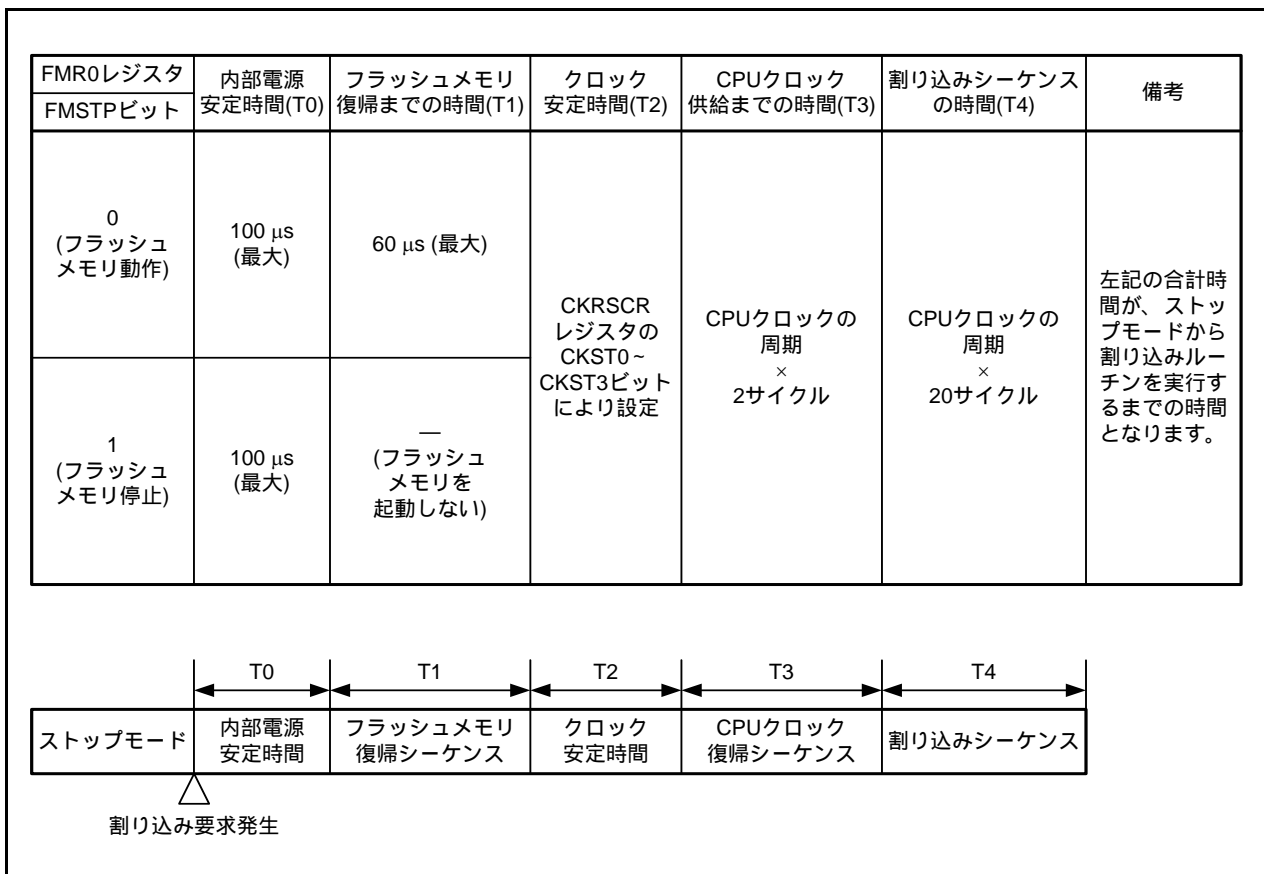


図10.4 ストップモードから割り込みルーチンを実行するまでの時間

## 10.5 消費電力の低減

消費電力を小さくするためのポイント、処理方法について説明します。システム設計やプログラムを作成するときに参考にしてください。

### 10.5.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVC1Eビットを0(電圧検出1回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVC0Eビットを0(電圧検出0回路無効)にしてください。

### 10.5.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

### 10.5.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：OCOCRレジスタのLOCODISビット

高速オンチップオシレータの発振停止：OCOCRレジスタのHOCOEビット

### 10.5.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。

### 10.5.5 周辺機能クロックの停止

周辺機能クロック f1 ~ f8192 が不要の場合、CKSTPRレジスタのPSCSTPビットを1にして、周辺機能クロック f1 ~ f8192 を停止させてください。ウェイトモード時に周辺機能クロック f1 ~ f8192 が不要の場合、CKSTPRレジスタのWCKSTPビットを1にして、ウェイトモード時システムクロックを停止させてください。

### 10.5.6 タイマ

タイマRJ2を使用しない場合、TRJMRレジスタのTCKCUTビットを1(カウントソース遮断)にしてください。またはMSTCRレジスタのMSTTRJビットを1(スタンバイ)にしてください。

タイマRB2を使用しない場合、TRBMRレジスタのTCKCUTビットを1(カウントソース遮断)にしてください。またはMSTCRレジスタのMSTTRBビットを1(スタンバイ)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを1(スタンバイ)にしてください。

タイマRKを使用しない場合、MSTCR1レジスタのMSTMRKビットを1(スタンバイ)にしてください。

タイマRE2を使用しない場合、MSTCRレジスタのMSTTREビットを1(スタンバイ)にしてください。

### 10.5.7 シリアルインタフェース(UART0/UART1)

シリアルインタフェース(UART0)を使用しない場合、MSTCRレジスタのMSTUART0ビットを1(スタンバイ)にしてください。

シリアルインタフェース(UART1)を使用しない場合、MSTCR1レジスタのMSTUART1ビットを1(スタンバイ)にしてください。

### 10.5.8 A/Dコンバータ

A/Dコンバータを使用しない場合、MSTCRレジスタのMSTADビットを1(スタンバイ)にしてください。

### 10.5.9 IrDA (Infrared Data Association) インタフェース

IrDA (Infrared Data Association) インタフェースを使用しない場合、MSTCR1レジスタのMSTIRDAビットを1(スタンバイ)にしてください。

## 10.5.10 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのLPEビットにより、内部電源の消費電力を低減できます。LPEビットにより内部電源低消費電力を許可する場合は、「図10.5 LPEビットによる内部電源の低消費電力化の操作手順」に従ってください。

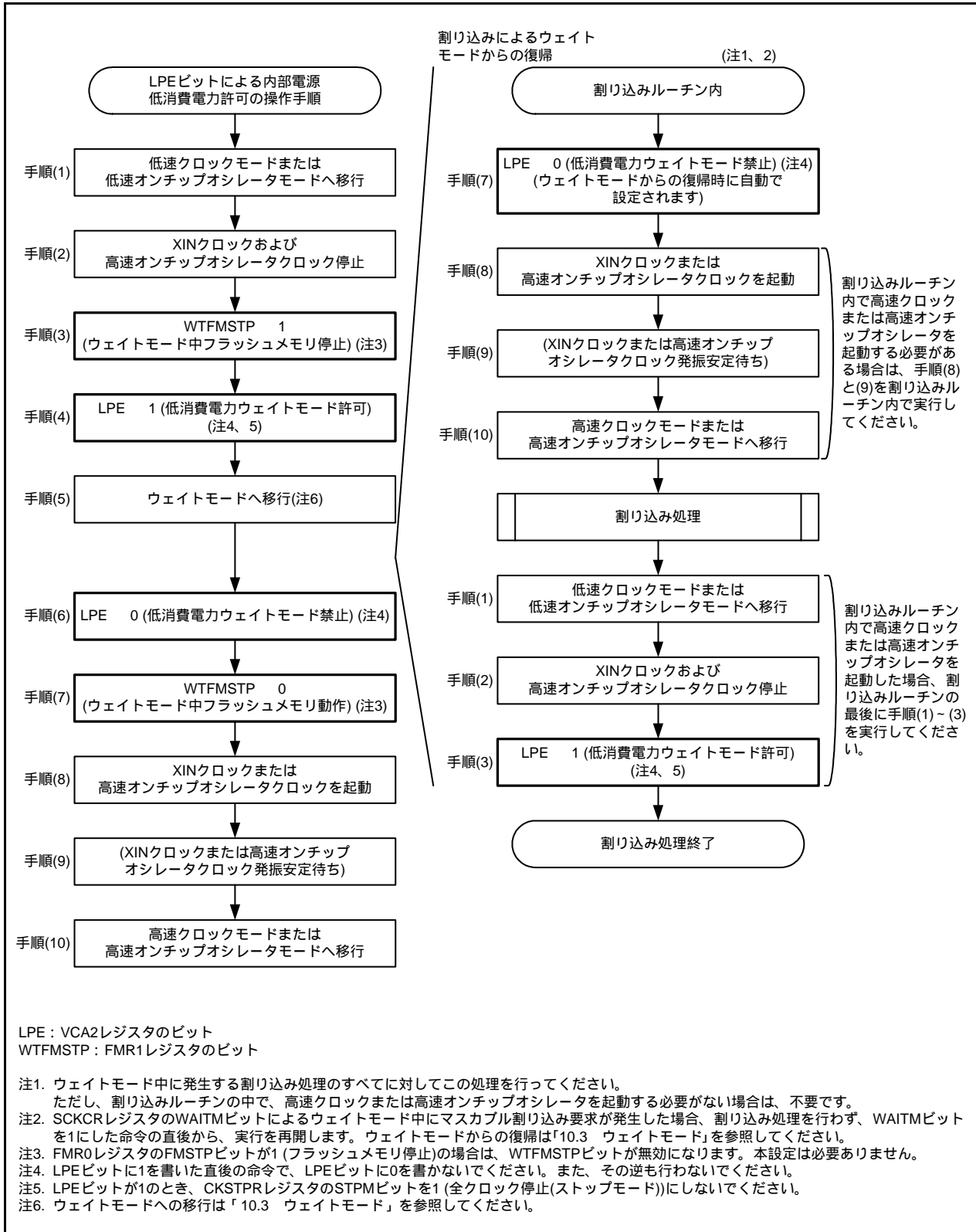


図10.5 LPEビットによる内部電源の低消費電力化の操作手順

### 10.5.11 フラッシュメモリの停止

低速クロックモード、低速オンチップオシレータモードの場合、FMR0 レジスタのFMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを1 (フラッシュメモリ停止) にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU 書き換えモードが無効時に、ストップモード、WTFMSTP ビットが1 (ウェイトモード中フラッシュメモリ停止) の状態でウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図10.6にFMSTPビットによる低消費電力操作手順例を示します。

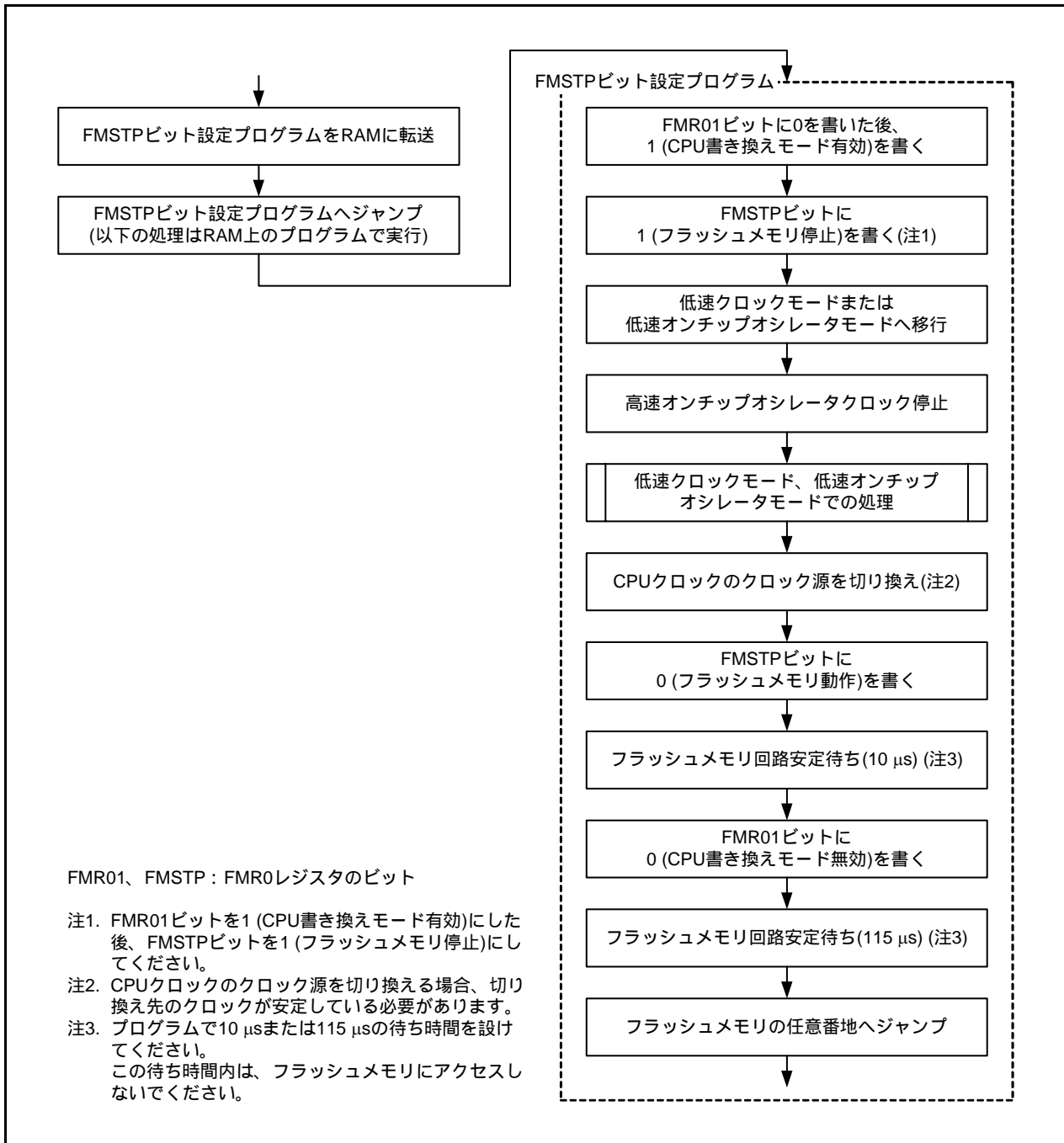


図10.6 FMSTPビットによる低消費電力操作手順例

## 10.5.12 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロック( $f_s$ )を3 kHz ~ 50 kHzにしてください。

図10.7に低消費電流リードモードの操作手順例を示します。

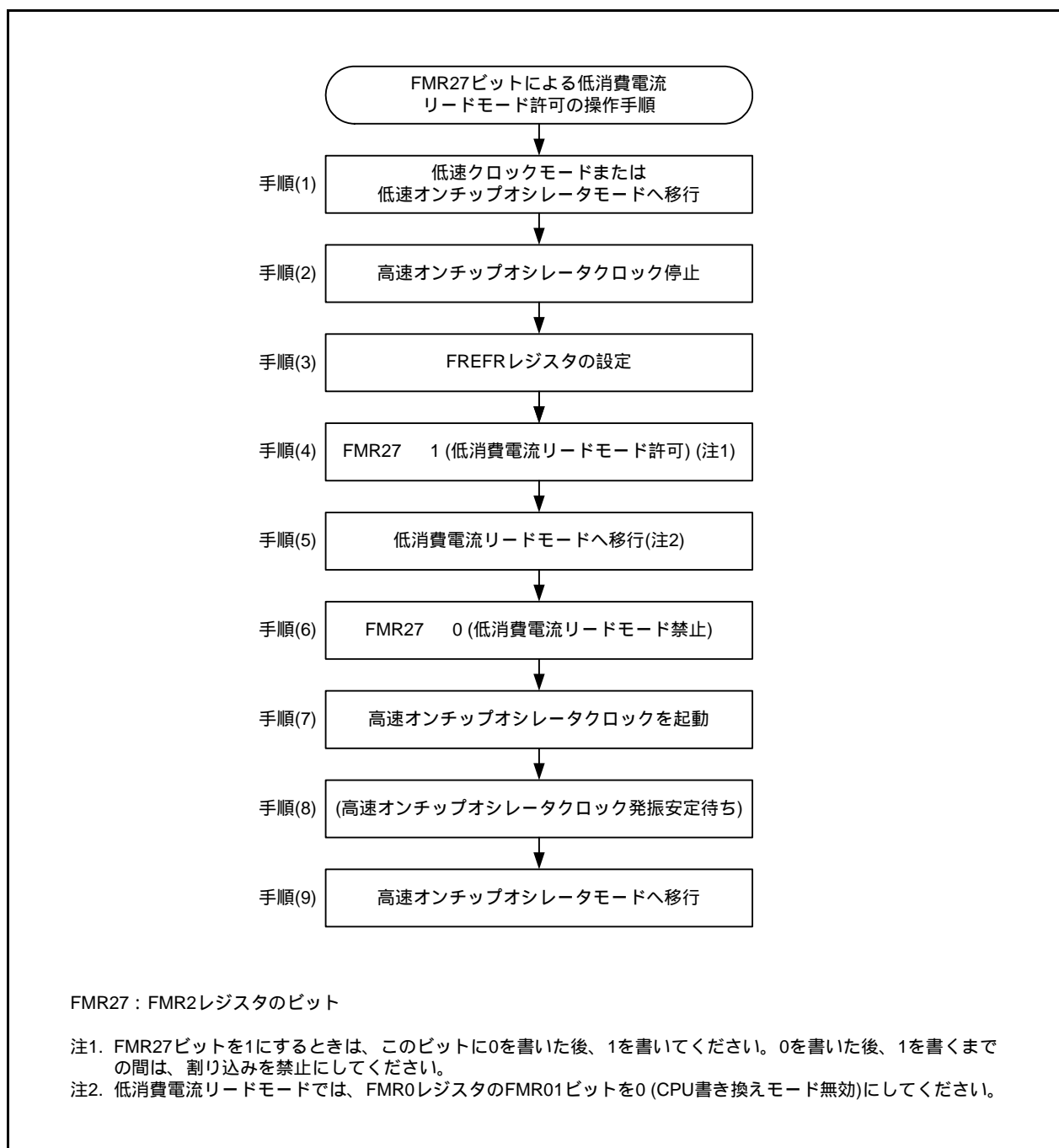


図10.7 低消費電流リードモードの操作手順例

## 10.6 パワーコントロール使用上の注意事項

### 10.6.1 ウェイトモード移行時のプログラム制約

WAITM ビットを1にしてウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、WAITM ビットを1にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、WAIT 命令を実行してください。命令キューはWAITM ビットを1 (ウェイトモードに移行する)にする命令、またはWAIT 命令から4 バイト先読みしてプログラムが停止します。WAITM ビットを1 (ウェイトモードに移行する)にする命令、または WAIT 命令の後にはNOP 命令を最低4つ入れてください。

#### • WAIT 命令を実行するプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

#### • WAITM ビットを1にするプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; SCKCR レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    5, SCKCR   ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCLR   ; SCKCR レジスタへの書き込み禁止
FSET    I          ; 割り込み許可

```

### 10.6.2 ストップモード移行時のプログラム制約

ストップモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、CKSTPR レジスタのSTPM ビットを1 (全クロック停止(ストップモード))にしてください。命令キューはSTPM ビットを1にする命令から、4 バイト先読みしてプログラムが停止します。

STPM ビットを1にする命令の直後にJMP.B 命令を入れた後、NOP 命令を最低4つ入れてください。

#### • ストップモードに移行するプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; CKSTPR レジスタへの書き込み許可
FSET    I          ; 割り込み許可
BSET    0, CKSTPR  ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

## 11. 割り込み

### 11.1 概要

割り込みはノンマスクابل割り込みと、マスクابل割り込みに分けられます。これらの割り込みは、割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や、割り込み優先レベルによる割り込み優先順位の変更に関して表11.1に示す違いがあります。

表11.1 マスクابل/ノンマスクابل割り込み

	割り込み許可フラグ(Iフラグ)による 割り込みの禁止	割り込み優先レベルによる 優先順位の変更
ノンマスクابل割り込み	不可能	不可能
マスクابل割り込み	可能	可能

図11.1に各割り込みの分類を、表11.2に各割り込みの説明を示します。

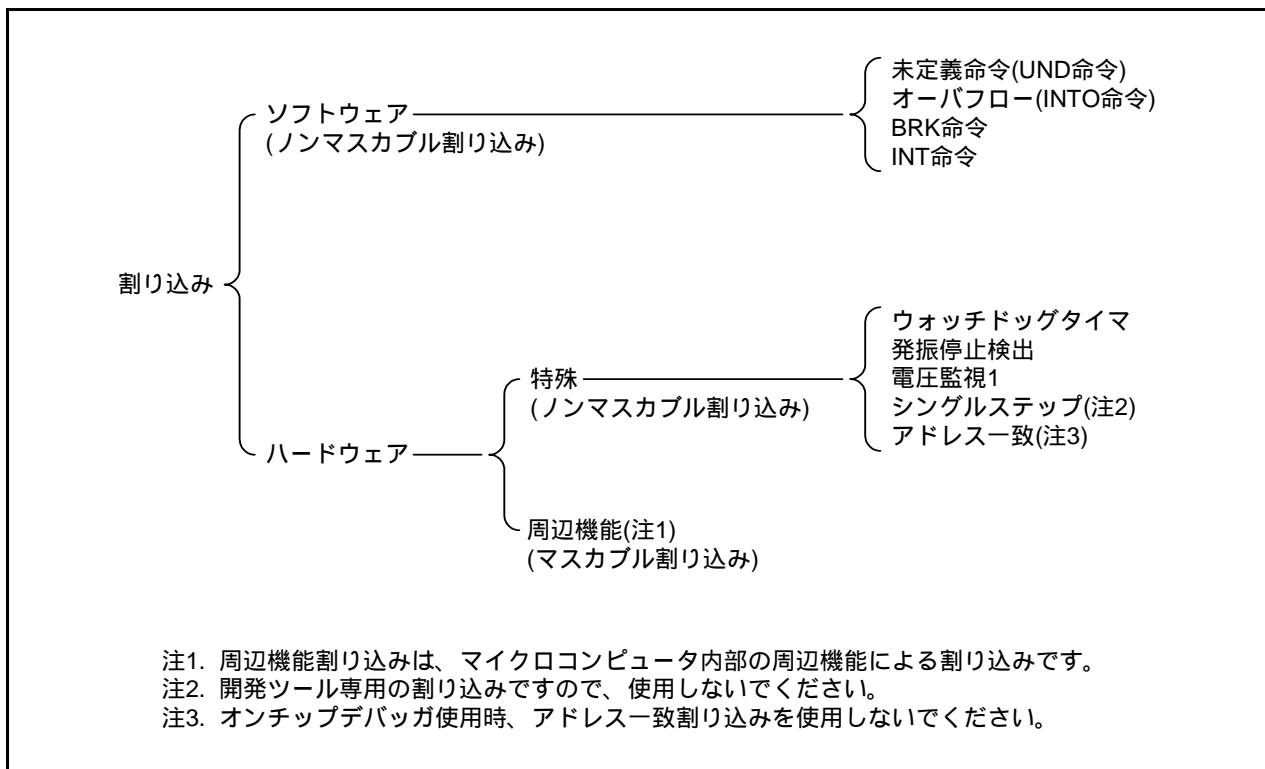


図11.1 各割り込みの分類



表 11.2 各割り込みの説明

割り込み	説明
未定義命令割り込み	未定義命令割り込みは、UND命令を実行すると発生します。
オーバフロー割り込み	オーバフロー割り込みは、Oフラグが1(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は、次のとおりです。 ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB
BRK命令割り込み	BRK命令割り込みは、BRK命令を実行すると発生します。
INT命令割り込み	INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は、0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで、周辺機能割り込みと同じ割り込みルーチンを実行できます。 ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを0(ISP)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに、退避しておいたUフラグを復帰します。 ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。
ウォッチドッグタイマ割り込み	ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。
発振停止検出割り込み	発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。
電圧監視1割り込み	電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。
シングルステップ割り込み	開発ツール専用の割り込みですので、使用しないでください。
アドレス一致割り込み	アドレス一致割り込みは、AIENiレジスタのAIENi0ビット(i=0、1)のうち、いずれか1つが1(許可)の場合、対応するAIADRiレジスタ(i=0、1)で示される番地の命令を実行する直前に発生します。アドレス一致割り込みの詳細は「11.7 アドレス一致割り込み」を参照してください。
周辺機能割り込み	周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みの割り込み要因は「表 11.6 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

## 11.2 レジスタの説明

表11.3に割り込みのレジスタ構成を示します。

表11.3 割り込みのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
外部入力許可レジスタ	INTEN	00h	00038h	8
INT入力フィルタ選択レジスタ0	INTF0	00h	0003Ah	8
INT入力エッジ選択レジスタ0	ISCR0	00h	0003Ch	8
キー入力許可レジスタ	KIEN	00h	0003Eh	8
割り込み優先レベルレジスタ0	ILVL0	00h	00040h	8
割り込み優先レベルレジスタ1	ILVL1	00h	00041h	8
割り込み優先レベルレジスタ2	ILVL2	00h	00042h	8
割り込み優先レベルレジスタ3	ILVL3	00h	00043h	8
割り込み優先レベルレジスタ4	ILVL4	00h	00044h	8
割り込み優先レベルレジスタ5	ILVL5	00h	00045h	8
割り込み優先レベルレジスタ6	ILVL6	00h	00046h	8
割り込み優先レベルレジスタ7	ILVL7	00h	00047h	8
割り込み優先レベルレジスタ8	ILVL8	00h	00048h	8
割り込み優先レベルレジスタ9	ILVL9	00h	00049h	8
割り込み優先レベルレジスタA	ILVLA	00h	0004Ah	8
割り込み優先レベルレジスタB	ILVLB	00h	0004Bh	8
割り込み優先レベルレジスタC	ILVLC	00h	0004Ch	8
割り込み優先レベルレジスタD	ILVLD	00h	0004Dh	8
割り込み優先レベルレジスタE	ILVLE	00h	0004Eh	8
割り込みモニタフラグレジスタ0	IRR0	00h	00050h	8
割り込みモニタフラグレジスタ1	IRR1	00h	00051h	8
割り込みモニタフラグレジスタ2	IRR2	00h	00052h	8
外部割り込みフラグレジスタ	IRR3	00h	00053h	8
アドレス一致割り込みレジスタ0	AIADR0L	00h	001C0h	8
	AIADR0M	00h	001C1h	8
	AIADR0H	00h	001C2h	8
アドレス一致割り込み許可レジスタ0	AIEN0	00h	001C3h	8
アドレス一致割り込みレジスタ1	AIADR1L	00h	001C4h	8
	AIADR1M	00h	001C5h	8
	AIADR1H	00h	001C6h	8
アドレス一致割り込み許可レジスタ1	AIEN1	00h	001C7h	8

## 11.2.1 外部入力許可レジスタ (INTEN)

アドレス 00038h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INT3EN	INT2EN	INT1EN	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0入力許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	INT1EN	INT1入力許可ビット(注1)		R/W
b2	INT2EN	INT2入力許可ビット(注1)		R/W
b3	INT3EN	INT3入力許可ビット(注1)		R/W
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—	予約ビット	0にしてください	R/W

注1. INTiENビット(i = 0 ~ 3)を変更すると、IRR3レジスタのIRIiビット(i = 0 ~ 3)が1(割り込み要求あり)になることがあります。「11.9.4 PMLi (i = 1 ~ 4)、PMHi (i = 1, 3, 4)、ISCR0、INTEN、KIENレジスタの書き換え」を参照してください。

## 11.2.2 INT入力フィルタ選択レジスタ0 (INTF0)

アドレス 0003Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

## 11.2.3 INT入力エッジ選択レジスタ0 (ISCR0)

アドレス	0003Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SB	INT3SA	INT2SB	INT2SA	INT1SB	INT1SA	INT0SB	INT0SA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SA	INT0入力エッジ選択ビット (注1)	b1 b0 00: INT0入力の立ち下がりエッジで割り込み要求を発生 01: INT0入力の立ち上がりエッジで割り込み要求を発生 10: 設定しないでください 11: INT0入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生	R/W
b1	INT0SB			R/W
b2	INT1SA	INT1入力エッジ選択ビット (注1)	b3 b2 00: INT1入力の立ち下がりエッジで割り込み要求を発生 01: INT1入力の立ち上がりエッジで割り込み要求を発生 10: 設定しないでください 11: INT1入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生	R/W
b3	INT1SB			R/W
b4	INT2SA	INT2入力エッジ選択ビット (注1)	b5 b4 00: INT2入力の立ち下がりエッジで割り込み要求を発生 01: INT2入力の立ち上がりエッジで割り込み要求を発生 10: 設定しないでください 11: INT2入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生	R/W
b5	INT2SB			R/W
b6	INT3SA	INT3入力エッジ選択ビット (注1)	b7 b6 00: INT3入力の立ち下がりエッジで割り込み要求を発生 01: INT3入力の立ち上がりエッジで割り込み要求を発生 10: 設定しないでください 11: INT3入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生	R/W
b7	INT3SB			R/W

注1. INTiSA ~ INTiSBビット (i = 0 ~ 3) を変更すると、IRR3レジスタのIRliビット (i = 0 ~ 3) が1 (割り込み要求あり) になることがあります。「11.9.4 PMLi (i = 1 ~ 4)、PMHi (i = 1, 3, 4)、ISCR0、INTEN、KIENレジスタの書き換え」を参照してください。

## 11.2.4 キー入力許可レジスタ (KIEN)

アドレス	0003Eh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	$\overline{\text{KI0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	$\overline{\text{KI0}}$ 入力エッジ選択ビット(注1)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	$\overline{\text{KI1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	$\overline{\text{KI1}}$ 入力エッジ選択ビット(注1)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	$\overline{\text{KI2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	$\overline{\text{KI2}}$ 入力エッジ選択ビット(注1)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	$\overline{\text{KI3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	$\overline{\text{KI3}}$ 入力エッジ選択ビット(注1)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

注1. KI $i$ PLまたはKI $i$ ENビット( $i = 0 \sim 3$ )を変更すると、IRR3レジスタのIRKIビットが1(割り込み要求あり)になることがあります。「11.9.4 PML $i$ ( $i = 1 \sim 4$ )、PMHi( $i = 1, 3, 4$ )、ISCR0、INTEN、KIENレジスタの書き換え」を参照してください。

11.2.5 割り込み優先レベルレジスタ*i* (ILVLi) (*i* = 0 ~ E)

アドレス 00040h ~ 0004Eh (ILVL0 ~ ILVLE)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	ILVLi5	ILVLi4	—	—	ILVLi1	ILVLi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVLi0	割り込み優先レベル設定ビット	b1 b0 00 : レベル0 (割り込み禁止) 01 : レベル1 10 : レベル2 11 : レベル2	R/W
b1	ILVLi1			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			—
b4	ILVLi4	割り込み優先レベル設定ビット	b5 b4 00 : レベル0 (割り込み禁止) 01 : レベル1 10 : レベル2 11 : レベル2	R/W
b5	ILVLi5			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

ILVLiレジスタ(*i* = 0 ~ E)は、マスカブル割り込みの優先レベル(レベル0 ~ 2)を設定します。各レジスタのILVLi0 ~ ILVLi1ビットまたはILVLi4 ~ ILVLi5ビットの設定は、対応する割り込み要求の優先順位を決めます。

各割り込みの設定ビットは「表11.4 各割り込み要求とILVLi (*i* = 0 ~ E)の対応」を参照してください。

割り込み優先レベルレジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.7 割り込み優先レベルとフラグレジスタの変更」を参照してください。

表11.4 各割り込み要求とILVLi (*i* = 0 ~ E)の対応

ILVLiレジスタ	ビット							
	b7	b6	b5	b4	b3	b2	b1	b0
ILVL0	—	—	ILVLi5	ILVLi4	—	—	ILVLi1	ILVLi0
ILVL1	—	—	フラッシュレディ	—	—	—	—	—
ILVL2	—	—	—	—	—	—	—	—
ILVL3	—	—	コンパレータB3	—	—	—	—	—
ILVL4	—	—	タイマRC	—	—	—	—	—
ILVL5	—	—	—	—	—	—	—	—
ILVL6	—	—	キー入力	—	—	—	—	—
ILVL7	—	—	シンクロナスシリアル コミュニケーション ユニット(SSU)/I <sup>2</sup> C バスインタフェース	—	—	—	—	—
ILVL8	—	—	UART0送信	—	—	—	—	—
ILVL9	—	—	UART1送信	—	—	—	—	—
ILVLA	—	—	INT2	—	—	—	—	—
ILVLB	—	—	周期タイマ	—	—	—	—	—
ILVLC	—	—	INT1	—	—	—	—	—
ILVLD	—	—	—	—	—	—	—	—
ILVLE	—	—	INT0	—	—	—	—	—

— : 未使用。書く場合、0を書いてください。

*i* = 0 ~ E

## 11.2.6 割り込みモニタフラグレジスタ0 (IRR0)

アドレス	00050h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IRS1R	IRS1T	IRS0R	IRS0T	IRTE	IRTC	IRTB	IRTJ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRTJ	タイマRJ2割り込み要求モニタフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	IRTB	タイマRB2割り込み要求モニタフラグ		R
b2	IRTC	タイマRC割り込み要求モニタフラグ		R
b3	IRTE	タイマRE2割り込み要求モニタフラグ		R
b4	IRS0T	UART0送信割り込み要求モニタフラグ		R
b5	IRS0R	UART0受信割り込み要求モニタフラグ		R
b6	IRS1T	UART1送信割り込み要求モニタフラグ		R
b7	IRS1R	UART1受信割り込み要求モニタフラグ		R

IRR0レジスタは、タイマRJ2、タイマRB2、タイマRC、タイマRE2、UART0送信、UART0受信、UART1送信、UART1受信割り込み要求のモニタフラグレジスタです。

割り込みモニタフラグビットと周辺機能割り込みの関係は、「11.4.2.1 IRR0 ~ IRR2レジスタ」を参照してください。

## 11.2.7 割り込みモニタフラグレジスタ1 (IRR1)

アドレス	00051h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IRTK	IRWD	IRFM	IRIS	IRAD	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合、その値は0。	R
b1	—			R
b2	IRAD	A/D変換割り込み要求モニタフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	IRIS	SSU/I <sup>2</sup> Cバス割り込み要求モニタフラグ		R
b4	IRFM	フラッシュレディ割り込み要求モニタフラグ		R
b5	IRWD	周期タイマ割り込み要求モニタフラグ		R
b6	IRTK	タイマRK割り込み要求モニタフラグ		R
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

IRR1レジスタは、A/D変換、シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバスインタフェース、フラッシュレディ、周期タイマ、タイマRK割り込み要求のモニタフラグレジスタです。

割り込みモニタフラグビットと周辺機能割り込みの関係は、「11.4.2.1 IRR0 ~ IRR2レジスタ」を参照してください。

## 11.2.8 割り込みモニタフラグレジスタ2 (IRR2)

アドレス 00052h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IRCMP3	IRCMP1	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合、その値は0。	R
b1	—			
b2	IRCMP1	コンパレータB1割り込み要求モニタフラグ	0：割り込み要求なし	R
b3	IRCMP3	コンパレータB3割り込み要求モニタフラグ	1：割り込み要求あり	R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

IRR2レジスタは、コンパレータB1、コンパレータB3割り込み要求のモニタフラグレジスタです。割り込みモニタフラグビットと周辺機能割り込みの関係は、「11.4.2.1 IRR0 ~ IRR2レジスタ」を参照してください。



## 11.2.9 外部割り込みフラグレジスタ (IRR3)

アドレス	00053h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	IRKI	—	IRI3	IRI2	IRI1	IRI0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRI0	$\overline{\text{INT0}}$ 割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	IRI1	$\overline{\text{INT1}}$ 割り込み要求フラグ		R/W
b2	IRI2	$\overline{\text{INT2}}$ 割り込み要求フラグ		R/W
b3	IRI3	$\overline{\text{INT3}}$ 割り込み要求フラグ		R/W
b4	—	予約ビット	0にしてください	R/W
b5	IRKI	キー入力割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

IRI0ビット ( $\overline{\text{INT0}}$  割り込み要求フラグ)

IRI0ビットは1を読んだ後、0を書くと0になります。また、対応する割り込み ( $\overline{\text{INT0}}$ ) が受け付けられると、自動的に0になります。

IRI1ビット ( $\overline{\text{INT1}}$  割り込み要求フラグ)

IRI1ビットは1を読んだ後、0を書くと0になります。また、対応する割り込み ( $\overline{\text{INT1}}$ ) が受け付けられると、自動的に0になります。

IRI2ビット ( $\overline{\text{INT2}}$  割り込み要求フラグ)

IRI2ビットは1を読んだ後、0を書くと0になります。また、対応する割り込み ( $\overline{\text{INT2}}$ ) が受け付けられると、自動的に0になります。

IRI3ビット ( $\overline{\text{INT3}}$  割り込み要求フラグ)

IRI3ビットは1を読んだ後、0を書くと0になります。また、対応する割り込み ( $\overline{\text{INT3}}$ ) が受け付けられると、自動的に0になります。

## IRKIビット (キー入力割り込み要求フラグ)

IRKIビットは1を読んだ後、0を書くと0になります。また、対応する割り込み (キー入力) が受け付けられると、自動的に0になります。

割り込みフラグレジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.7 割り込み優先レベルとフラグレジスタの変更」を参照してください。

11.2.10 アドレス一致割り込みレジスタ $i$  (AIADR $i$ ) ( $i = 0, 1$ )

アドレス 001C0h (AIADR0L)、001C4h (AIADR1L)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

アドレス 001C1h (AIADR0M)、001C5h (AIADR1M)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

アドレス 001C2h (AIADR0H)、001C6h (AIADR1H)

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	設定範囲	R/W
b19 ~ b0	—	一致させるアドレス設定	00000h ~ FFFFFh	R/W
b20	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b21	—			
b22	—			
b23	—			

AIADR $i$ レジスタ( $i = 0, 1$ )は、電圧監視0リセット、パワーオンリセット、またはハードウェアリセットで初期化されます。ウォッチドッグタイマリセット、ソフトウェアリセットでは変化しません。

11.2.11 アドレス一致割り込み許可レジスタ $i$  (AIEN $i$ ) ( $i = 0, 1$ )

アドレス 001C3h (AIEN0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	AIEN00
リセット後の値	0	0	0	0	0	0	0	0

アドレス 001C7h (AIEN1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	AIEN10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AIENi0	アドレス一致割り込み許可 $i$ ビット ( $i = 0, 1$ )	0 : 禁止 1 : 許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

AIEN $i$ レジスタ( $i = 0, 1$ )は、電圧監視0リセット、パワーオンリセット、またはハードウェアリセットで初期化されます。ウォッチドッグタイマリセット、ソフトウェアリセットでは変化しません。

### 11.3 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0 0 0 0	アドレスの上位
ベクタ番地(H)	0 0 0 0	0 0 0 0

図11.2 割り込みベクタ

#### 11.3.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されます。

表11.5に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「23.3 IDコードチェック機能」を参照してください。

表11.5 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は、可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	0FFE8h～0FFEBh	
シングルステップ(注1)	0FFECCh～0FFEFh	
ウォッチドッグタイマ、発振停止検出、 電圧監視1	0FFF0h～0FFF3h	
予約	0FFF4h～0FFF7h	
予約	0FFF8h～0FFFBh	
リセット	0FFFCCh～0FFFFh	

注1. 開発ツール専用の割り込みですので、使用しないでください。

## 11.3.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。  
表11.6に可変ベクタテーブルを示します。

表11.6 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	優先レベル設定 (ILVLO ~ ILVLE)
BRK命令(注2)	+0 ~ +3 (+00000h ~ +00003h)	0	—
フラッシュレディ	+4 ~ +7 (+00004h ~ +00007h)	1	ILVLO5 ~ ILVLO4
タイマRK	+8 ~ +11 (+00008h ~ +0000Bh)	2	ILVLO11 ~ ILVLO10
予約	+12 ~ +15 (+0000Ch ~ +0000Fh)	3	—
コンパレータB1	+16 ~ +19 (+00010h ~ +00013h)	4	ILVLO21 ~ ILVLO20
コンパレータB3	+20 ~ +23 (+00014h ~ +00017h)	5	ILVLO25 ~ ILVLO24
予約	+24 ~ +27 (+00018h ~ +0001Bh)	6	—
タイマRC	+28 ~ +31 (+0001Ch ~ +0001Fh)	7	ILVLO35 ~ ILVLO34
予約	+32 ~ +35 (+00020h ~ +00023h)	8	—
予約	+36 ~ +39 (+00024h ~ +00027h)	9	—
タイマRE2	+40 ~ +43 (+00028h ~ +0002Bh)	10	ILVLO51 ~ ILVLO50
予約	+44 ~ +47 (+0002Ch ~ +0002Fh)	11	—
予約	+48 ~ +51 (+00030h ~ +00033h)	12	—
キー入力	+52 ~ +55 (+00034h ~ +00037h)	13	ILVLO65 ~ ILVLO64
A/D変換	+56 ~ +59 (+00038h ~ +0003Bh)	14	ILVLO71 ~ ILVLO70
SSU/I <sup>2</sup> Cバス(注3)	+60 ~ +63 (+0003Ch ~ +0003Fh)	15	ILVLO75 ~ ILVLO74
予約	+64 ~ +67 (+00040h ~ +00043h)	16	—
UART0送信	+68 ~ +71 (+00044h ~ +00047h)	17	ILVLO85 ~ ILVLO84
UART0受信	+72 ~ +75 (+00048h ~ +0004Bh)	18	ILVLO91 ~ ILVLO90
UART1送信	+76 ~ +79 (+0004Ch ~ +0004Fh)	19	ILVLO95 ~ ILVLO94
UART1受信	+80 ~ +83 (+00050h ~ +00053h)	20	ILVLA1 ~ ILVLA0
INT2	+84 ~ +87 (+00054h ~ +00057h)	21	ILVLA5 ~ ILVLA4
タイマRJ2	+88 ~ +91 (+00058h ~ +0005Bh)	22	ILVLA11 ~ ILVLA10
周期タイマ	+92 ~ +95 (+0005Ch ~ +0005Fh)	23	ILVLA15 ~ ILVLA14
タイマRB2	+96 ~ +99 (+00060h ~ +00063h)	24	ILVLA21 ~ ILVLA20
INT1	+100 ~ +103 (+00064h ~ +00067h)	25	ILVLA25 ~ ILVLA24
INT3	+104 ~ +107 (+00068h ~ +0006Bh)	26	ILVLA31 ~ ILVLA30
予約	+108 ~ +111 (+0006Ch ~ +0006Fh)	27	—
予約	+112 ~ +115 (+00070h ~ +00073h)	28	—
INT0	+116 ~ +119 (+00074h ~ +00077h)	29	ILVLA35 ~ ILVLA34
予約	+120 ~ +123 (+00078h ~ +0007Bh)	30	—
予約	+124 ~ +127 (+0007Ch ~ +0007Fh)	31	—
ソフトウェア(注2)	+128 ~ +131 (+00080h ~ +00083h) ~ +252 ~ +255 (+000FCh ~ +000FFh)	32 ~ 63	—

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

注3. シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバスインタフェースの割り込みは、IICCRレジスタで選択できます。

## 11.4 割り込み制御

マスクブル割り込みの許可、禁止、受付優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

### 11.4.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを1(許可)にすると、マスクブル割り込みは許可され、0(禁止)にするとすべてのマスクブル割り込みは禁止されます。

### 11.4.2 IRR0 ~ IRR3レジスタ

#### 11.4.2.1 IRR0 ~ IRR2レジスタ

IRR0 ~ IRR2レジスタは、周辺機能割り込みのモニタフラグレジスタです。読むことのみ有効で、書くことはできません。

表11.7にIRR0 ~ IRR2レジスタと周辺機能割り込み関連レジスタの対応関係を示します。

周辺機能は、それぞれ独自の割り込み要求フラグと割り込み許可レジスタを持ちます。周辺機能の割り込み要求フラグと割り込み許可ビットが両方1になると、対応するIRR0 ~ IRR2レジスタのモニタフラグが1(割り込み要求なし)になります。

周辺機能の割り込み要求フラグと割り込み許可ビットのどちらか、または両方が0になると、対応するIRR0 ~ IRR2レジスタのモニタフラグが0(割り込み要求なし)になります。

表 11.7 IRR0 ~ IRR2レジスタと周辺機能割り込み関連レジスタの対応関係

周辺機能名	周辺機能割り込み 要求フラグ		周辺機能割り込み許可		対応割り込みモニタフラグ	
	レジスタ	ビット	レジスタ	ビット	レジスタ	ビット
タイマRJ2	TRJIR	TRJIF	TRJIR	TRJIE	IRR0	IRTJ
タイマRB2	TRBIR	TRBIF	TRBIR	TRBIE	IRR0	IRTB
タイマRC (注1)	TRCSR	IMFA	TRCIER	IMIEA	IRR0	IRTC
		IMFB		IMIEB		
		IMFC		IMIEC		
		IMFD		IMIED		
		OVF		OVIE		
タイマRE	TREIFR	RTCF/AUF	TREIER	YR1E/MOIE/ DYIE/HRIE/ 1SIE/0.5SIE/ 0.25SIE	IRR0	IRTE
		CMF/OVF		OVIE/CMIE		
シリアルインタフェース (UART0)	U0IR	U0TIF	U0IR	U0TIE	IRR0	IRS0T
		U0RIF		U0RIE		IRS0R
シリアルインタフェース (UART1)	U1IR	U1TIF	U1IR	U1TIE	IRR0	IRS1T
		U1RIF		U1RIE		IRS1R
A/Dコンバータ	ADICSR	ADF	ADICSR	ADIE	IRR1	IRAD
I <sup>2</sup> C	SISR	TDRE	SIER	TIE	IRR1	IRFM
		TEND		TEIE		
		RDRF		RIE		
		ORER_AL/ NACKF		TE_NAKIE		
		STOP		RE_STIE		
SSU		TDRE		TIE		
		TEND		TEIE		
		RDRF		RIE		
		ORER_AL		RIE		
		CE_ADZ		CEIE_ACKBT		
フラッシュメモリ(注1)	FST	RDYSTI	FMR0	RDYSTIE	IRR1	IRFM
		BSYAEI		BSYAEIE		
				CMDERIE		
周期タイマ	WDTIR	WDTIF	WDTIR	WDTIE	IRR1	IRWD
タイマRK	TMKIR	TMKCMIF	TMKIR	TMKCMIE	IRR1	IRTK
		TMKOVIF		TMKOVIE		
コンパレータB	WCB1INTR	WCB1F	WCB1INTR	WCB1INTEN	IRR2	IRCMP1
	WCB3INTR	WCB3F	WCB3INTR	WCB3INTEN		IRCMP3

注1. タイマRC、フラッシュメモリはそれぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、モニタフラグ(IRR0レジスタのIRTCビット、IRR1レジスタのIRFMビット)に反映されます。

#### 11.4.2.2 IRR3レジスタ

IRR3レジスタは、外部割り込み( $\overline{INT0} \sim \overline{INT3}$ 、 $\overline{KI0} \sim \overline{KI3}$ )のフラグレジスタです。外部入力を許可にして有効エッジを検出すると、IRR3レジスタの割り込み要求フラグは、1になります。割り込み要求を受け付けると、対応する割り込みベクタに分岐した後、この割り込み要求フラグは自動的に0になります。また、1を読んだ後、0を書くと、割り込み要求フラグが0になります。

### 11.4.3 ILVLiレジスタ ( $i = 0 \sim E$ )の割り込み優先レベル、IPL

割り込み優先レベルは、ILVLiレジスタ ( $i = 0 \sim E$ )で設定できます。

表11.8に割り込み優先レベルの設定を、表11.9にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- 各周辺機能の割り込み要求フラグと割り込み許可ビット = 1、または外部割り込み要求フラグ (IRR3) = 1
- 割り込み優先レベル > IPL

Iフラグ、IRR0 ~ IRR3レジスタ、ILVLiレジスタ ( $i = 0 \sim E$ )、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.8 割り込み優先レベルの設定

ILVLi1 ~ ILVLi0ビットまたは ILVLi5 ~ ILVLi4ビット(注1)	割り込み優先レベル	優先順位
00b	レベル0 (割り込み禁止)	—
01b	レベル1	低 ↓ 高
10b	レベル2	
11b	レベル2	

注1. 割り込み優先レベルレジスタ  $i$  (ILVLi) ( $i = 0 \sim E$ )内で設定する値です。

表11.9 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1とレベル2
001b	レベル2
010b ~ 111b	なし(すべてのマスクブル割り込みを禁止)

#### 11.4.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し、割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、INT割り込みとキー入力割り込みの場合には、該当する割り込み要求フラグが0(割り込み要求なし)になります。その他の周辺割り込みの場合には、該当する割り込み要求フラグが1(割り込み要求あり)のまま変化しません。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
  - Iフラグは0(割り込み禁止)
  - Dフラグは0(シングルステップ割り込みは割り込み禁止)
  - Uフラグは0(ISPを指定)
 ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

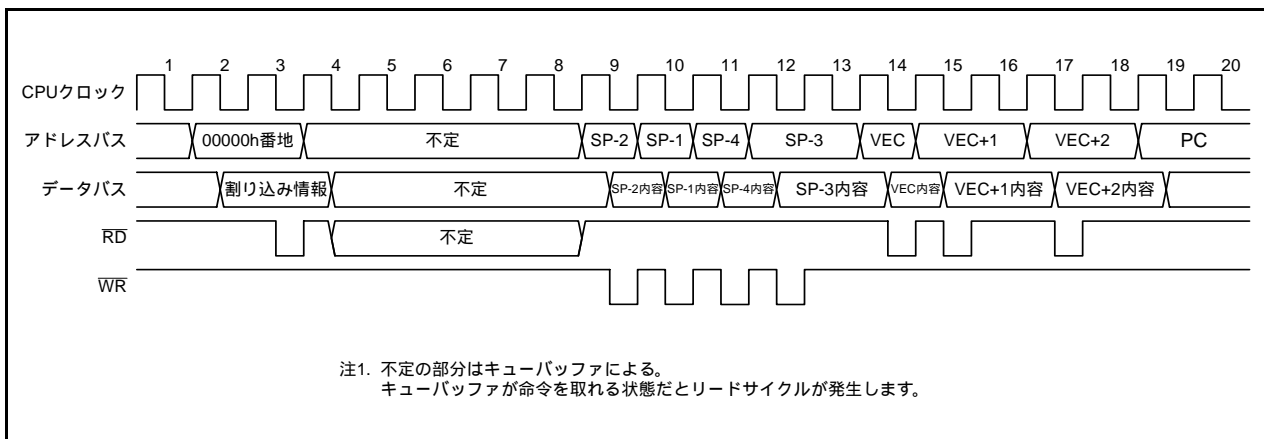


図11.3 割り込みシーケンスの実行時間



### 11.4.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

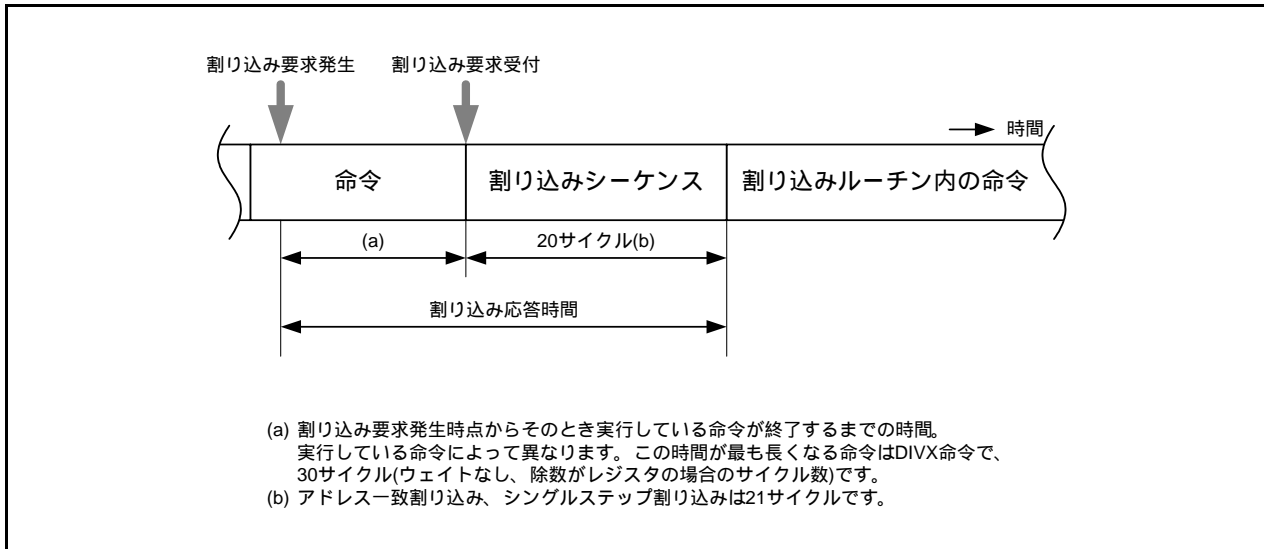


図 11.4 割り込み応答時間

### 11.4.6 割り込み要求受付時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みについては、表 11.10 に示す値がIPLに設定されます。

表 11.10 ソフトウェア割り込み、特殊割り込み受付時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

### 11.4.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受付前後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

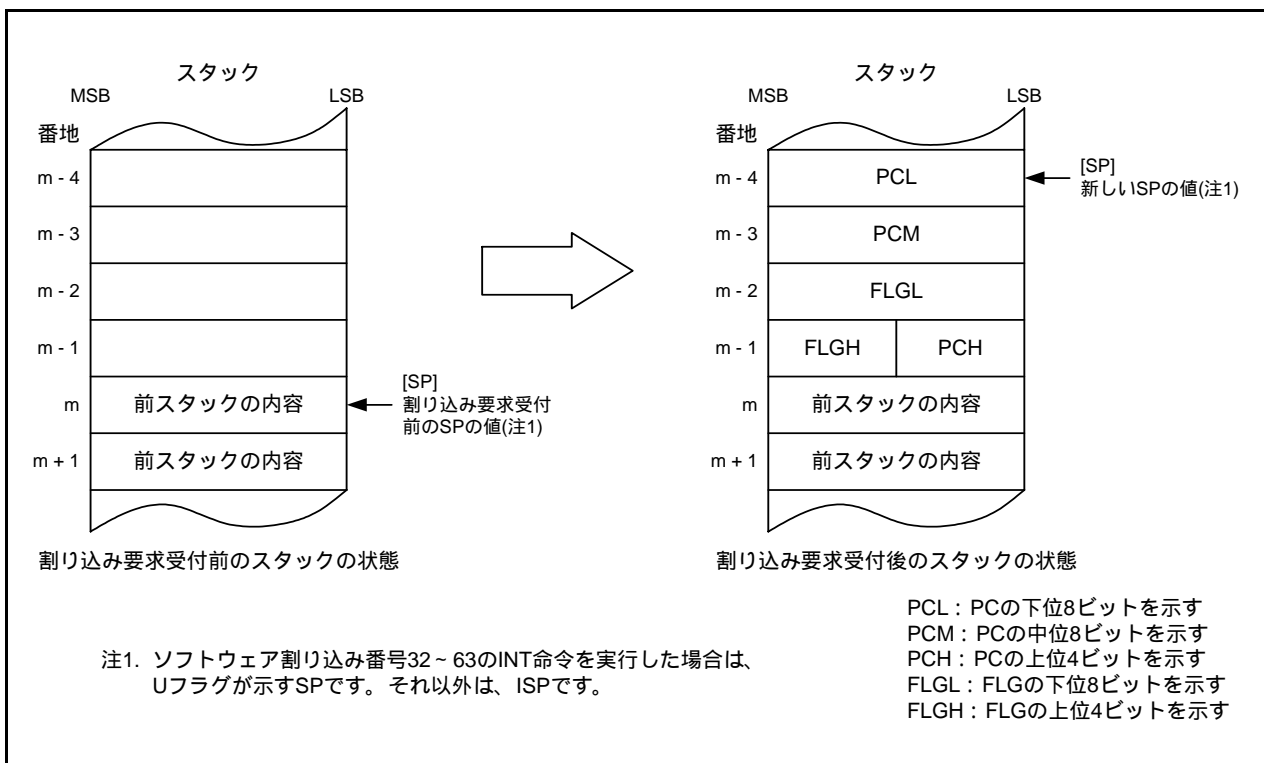


図11.5 割り込み要求受付前後のスタックの状態



#### 11.4.8 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受付前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT 命令実行前に POPM 命令などを使用して復帰してください。

#### 11.4.9 割り込み優先順位

1 命令実行中に 2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVLi0 ~ ILVLi1 ビットまたは ILVLi4 ~ ILVLi5 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど特殊割り込みの優先順位は、ハードウェアで設定されます。

図 11.7 にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは、割り込み優先順位の影響を受けません。命令を実行すると、割り込みルーチンを実行します。

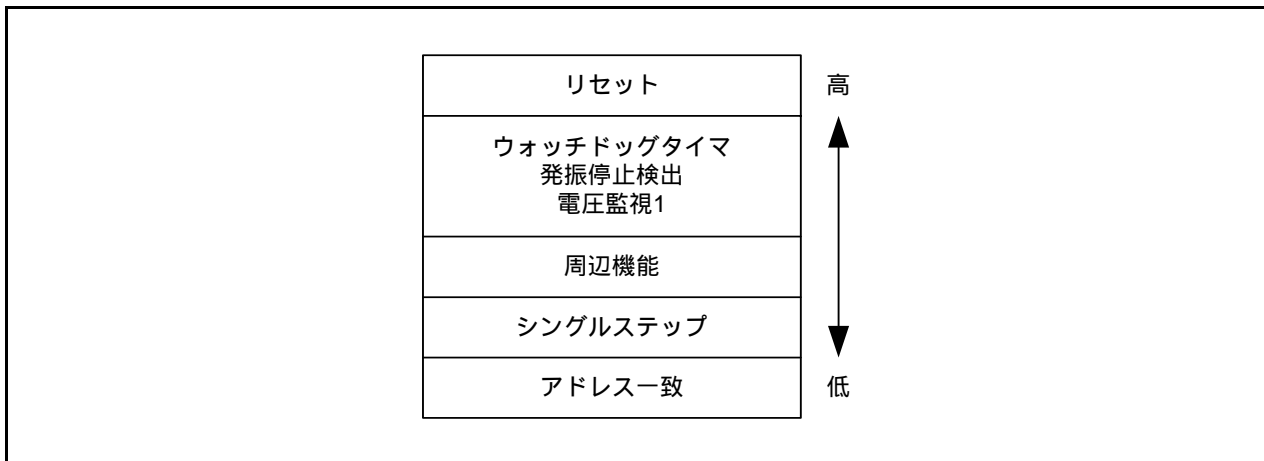


図 11.7 ハードウェア割り込みの割り込み優先順位

### 11.4.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
 図11.8に割り込み優先レベルの判定回路を示します。

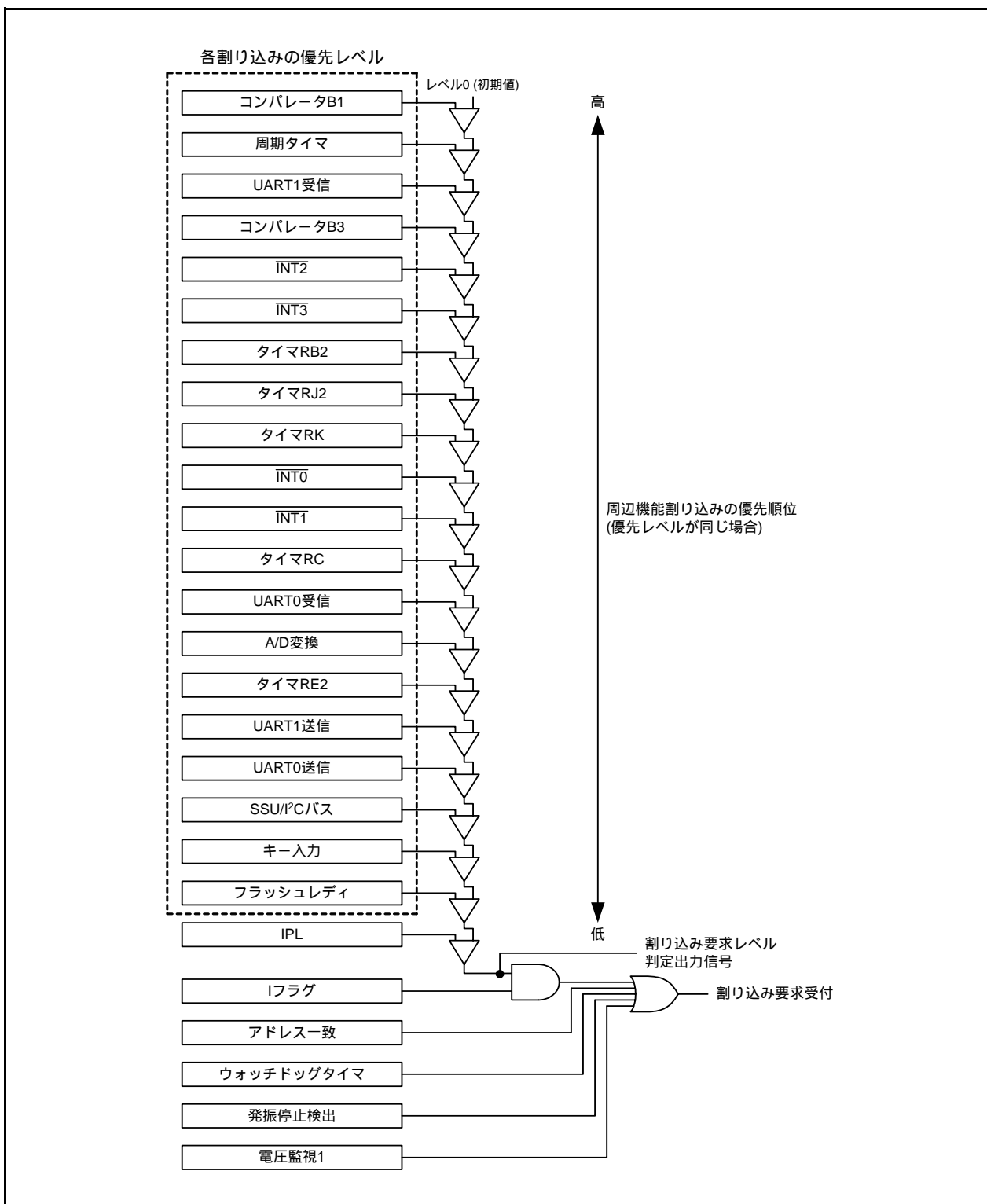


図11.8 割り込み優先レベルの判定回路

## 11.5 $\overline{\text{INT}}$ 割り込み

### 11.5.1 $\overline{\text{INT}}_i$ 割り込み ( $i = 0 \sim 3$ )

$\overline{\text{INT}}_i$  割り込みは、 $\overline{\text{INT}}_i$  入力による割り込みです。 $\overline{\text{INT}}_i$  割り込みを使用するときは、INTENレジスタのINTiENビットを1(許可)にしてください。極性をISCR0レジスタのINTiSA ~ INTiSBビットで選択できます。 $\overline{\text{INT}}_0 \sim \overline{\text{INT}}_2$  入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_i$  入力による割り込みは、ウェイトモードまたはストップモードを解除するウェイクアップの機能として使用できます。

表11.11に $\overline{\text{INT}}_i$  割り込みの端子構成を示します。

表11.11  $\overline{\text{INT}}_i$  割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT}}_0$	P1_4、P4_5	入力	$\overline{\text{INT}}_0$ 割り込み入力
$\overline{\text{INT}}_1$	P1_5、P1_7、P2_0	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	P3_4、P4_7	入力	$\overline{\text{INT}}_2$ 割り込み入力
$\overline{\text{INT}}_3$	P3_3	入力	$\overline{\text{INT}}_3$ 割り込み入力

### 11.5.2 $\overline{\text{INTi}}$ 入力フィルタ ( $i = 0 \sim 3$ )

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックはINTF0レジスタのINTiF0 ~ INTiF1ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3回連続して一致した時点で、IRR3レジスタの対応するIRIiビットが1(割り込み要求あり)になります。

図11.9に $\overline{\text{INTi}}$ 入力フィルタの構成を、図11.10に $\overline{\text{INTi}}$ 入力フィルタの動作例を示します。

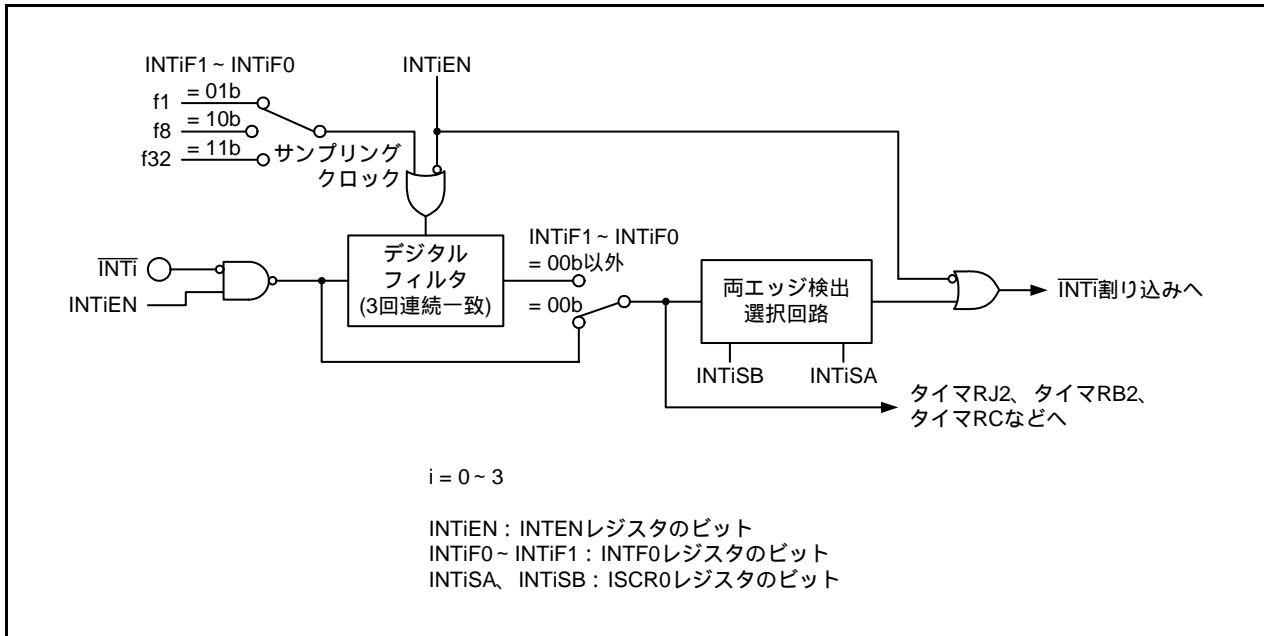


図11.9  $\overline{\text{INTi}}$ 入力フィルタの構成

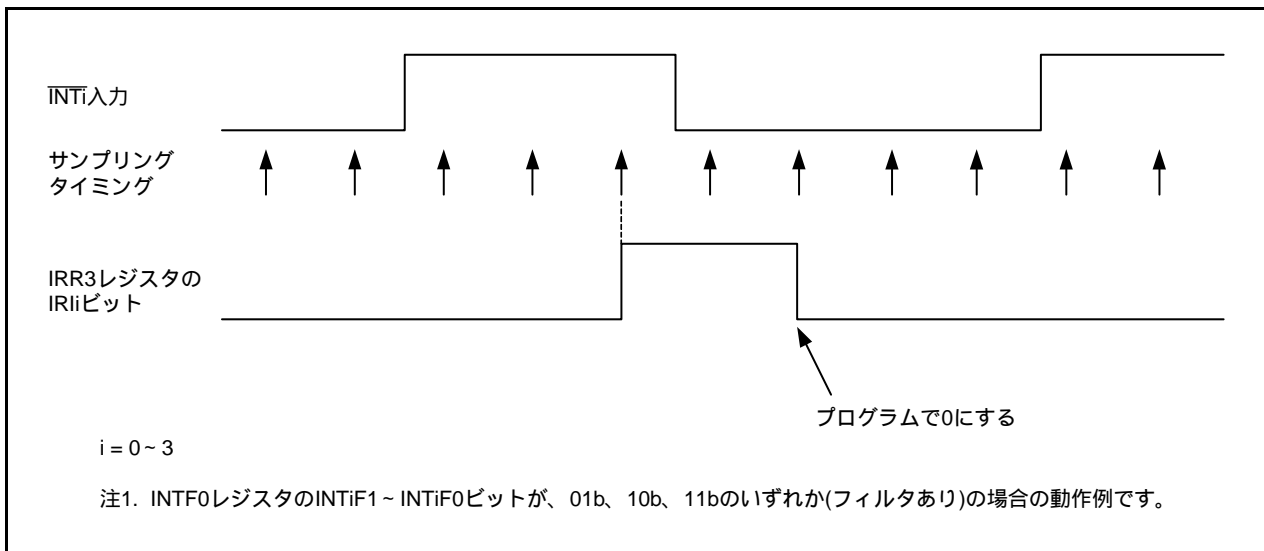


図11.10  $\overline{\text{INTi}}$ 入力フィルタの動作例

## 11.6 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードまたはストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット( $i = 0 \sim 3$ )で、端子を $\overline{KIi}$ 入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを0(立ち下がりエッジ)にしている $\overline{KIi}$ 端子にLを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、KIiPLビットを1(立ち上がりエッジ)にしている $\overline{KIi}$ 端子にHを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を、表11.12にキー入力割り込みの端子構成を示します。

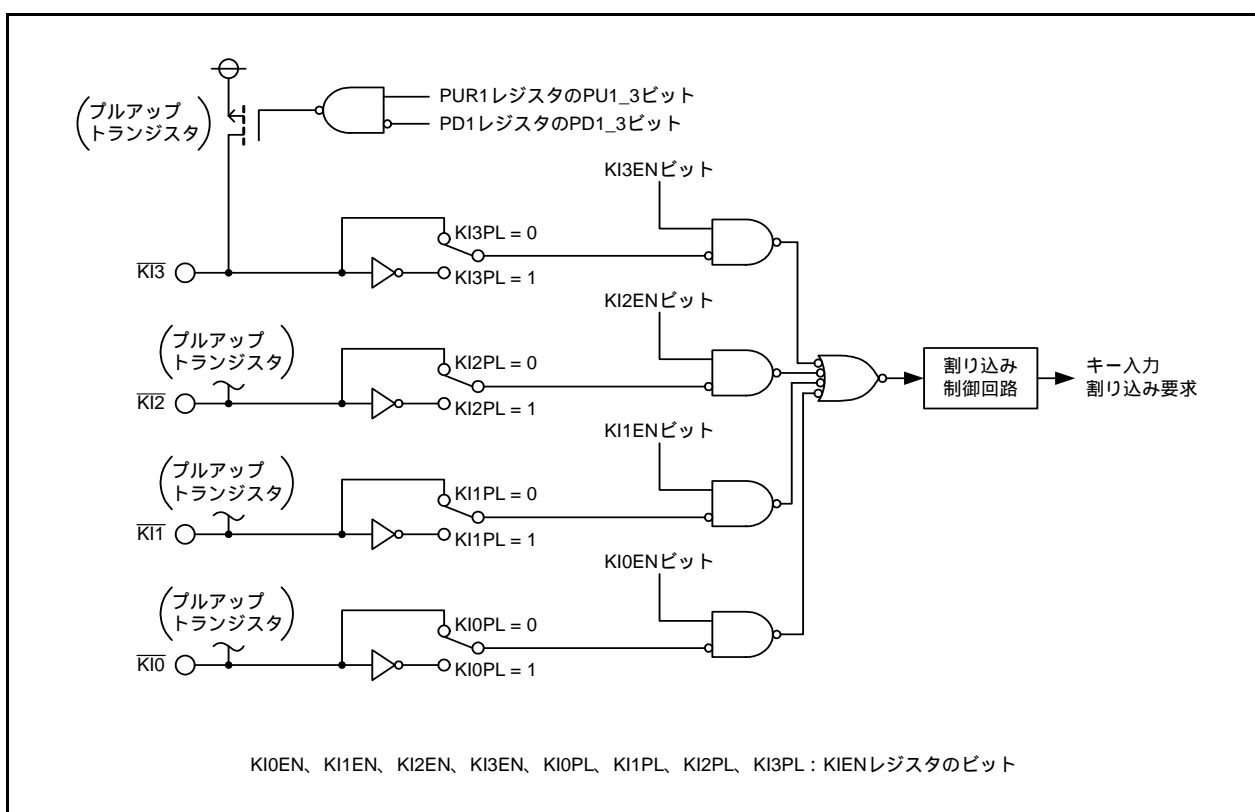


図11.11 キー入力割り込みのブロック図

表11.12 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{KI0}$	入力	$\overline{KI0}$ 割り込み入力
$\overline{KI1}$	入力	$\overline{KI1}$ 割り込み入力
$\overline{KI2}$	入力	$\overline{KI2}$ 割り込み入力
$\overline{KI3}$	入力	$\overline{KI3}$ 割り込み入力



## 11.7 アドレス一致割り込み

AIADR<sub>i</sub>レジスタ ( $i = 0, 1$ )で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。

デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIEN<sub>i</sub>、AIADR<sub>i</sub>レジスタ、固定ベクタテーブル)を設定しないでください。

AIADR<sub>i</sub>レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可は、AIEN<sub>i</sub>レジスタのAIEN<sub>i0</sub>ビット ( $i = 0, 1$ )で選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.4.7 レジスタ退避」参照)は、AIADR<sub>i</sub>レジスタで示される番地の命令によって異なります。スタックには正しい戻り先番地が積まれていないので、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて、REIT命令で復帰
  - POP命令などを使用して、スタックを割り込み要求受付前の状態に戻してから、ジャンプ命令で復帰
- 表11.13にアドレス一致割り込み要求受付時に退避されるPCの値を、表11.14にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.13 アドレス一致割り込み要求受付時に退避されるPCの値

AIADR <sub>i</sub> レジスタ ( $i = 0, 1$ )で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> <li>• 16ビットオペコード命令</li> <li>• 8ビットオペコードの命令のうち、次に示す命令</li> </ul> ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM, dest (ただし、dest = A0またはA1)	AIADR <sub>i</sub> レジスタで示される番地 + 2
上記以外	AIADR <sub>i</sub> レジスタで示される番地 + 1

注1. 退避されるPCの値 : 「11.4.7 レジスタ退避」参照

表11.14 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIEN00	AIADR0
アドレス一致割り込み1	AIEN10	AIADR1

## 11.8 割り込み要因判別方法

表11.15に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別を、図11.12に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別方法例を示します。

表11.15 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出	BAKCRレジスタのCKSWIFビット = 1
ウォッチドッグタイマ	RISRレジスタのUFIFビット = 1
電圧監視1	VW1CレジスタのVW1C2ビット = 1

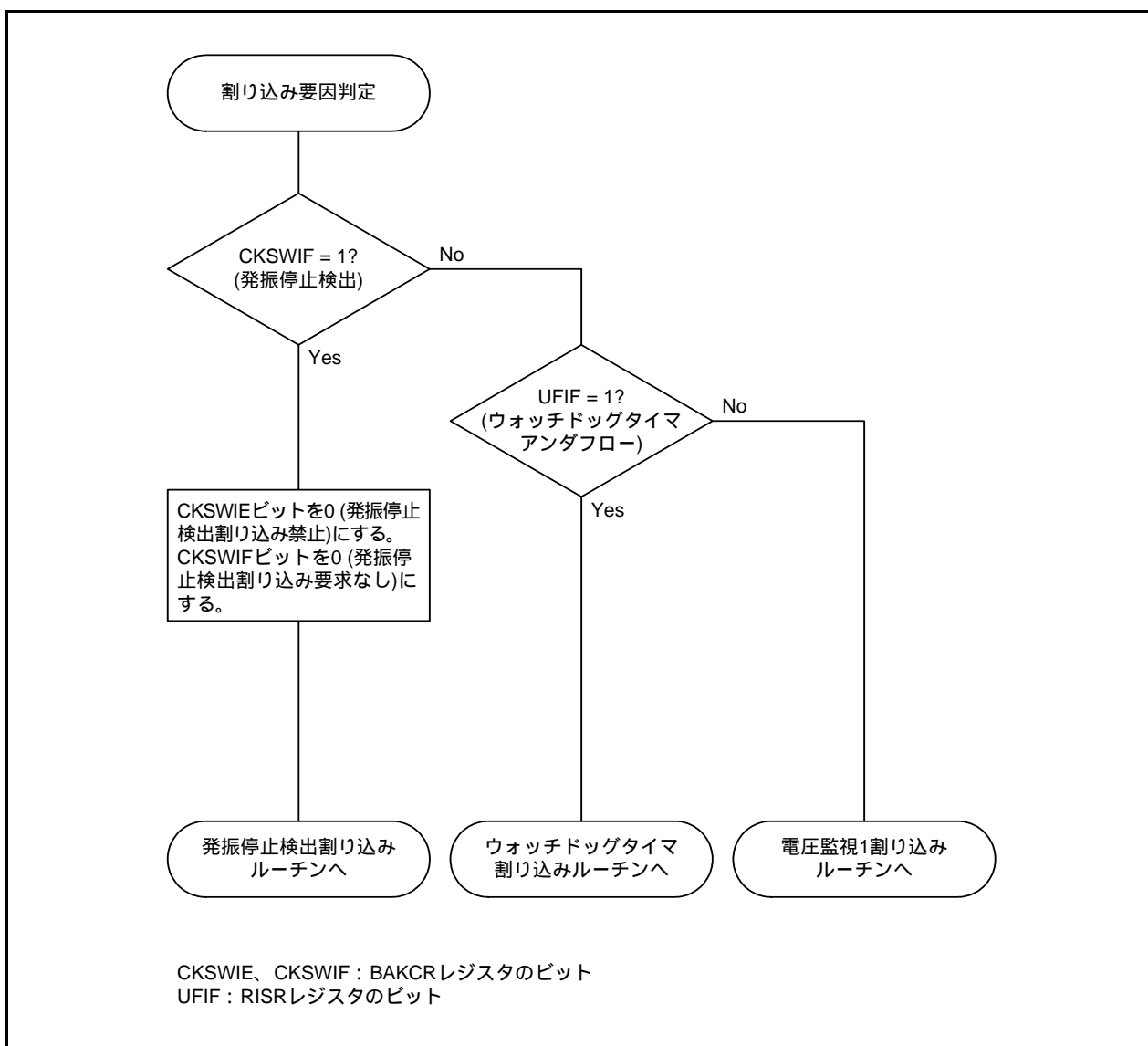


図11.12 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別方法例

## 11.9 割り込み使用上の注意事項

### 11.9.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。外部割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRR3レジスタの該当するビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRR3レジスタの該当するビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 11.9.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 11.9.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力( $i=0 \sim 3$ )に示すLレベル幅またはHレベル幅が必要です。詳細は「表24.20 ( $V_{cc} = 5\text{ V}$ )、表24.26 ( $V_{cc} = 3\text{ V}$ )、表24.32 ( $V_{cc} = 2.2\text{ V}$ ) 外部割り込み $\overline{\text{INTi}}$ 入力、キー入力割り込み $\overline{\text{KIi}}$  ( $i=0 \sim 3$ )を参照してください。

### 11.9.4 PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの書き換え

$\overline{INT0} \sim \overline{INT3}$  および  $\overline{KI0} \sim \overline{KI3}$  割り込みの機能を変更する場合、PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの書き換えによって、割り込み要求フラグが1になることがあります。割り込みの機能を変更する場合は、割り込み要求を禁止した状態でこれらのレジスタを書き換え、一定時間(注1)待ってから割り込み要求フラグを0にしてください。

図11.13にPMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの操作と割り込み要求フラグを0にする手順を示します。

注1. 一定時間は、デジタルフィルタが無効のとき、 $\overline{INT0} \sim \overline{INT3}$ または $\overline{KI0} \sim \overline{KI3}$ を使用する場合、2 ~ 3サイクル×システムクロック (f)の周期です。デジタルフィルタが有効のとき、 $\overline{INT0} \sim \overline{INT3}$ を使用する場合、5 ~ 6サイクル×サンプリングクロックの周期です。

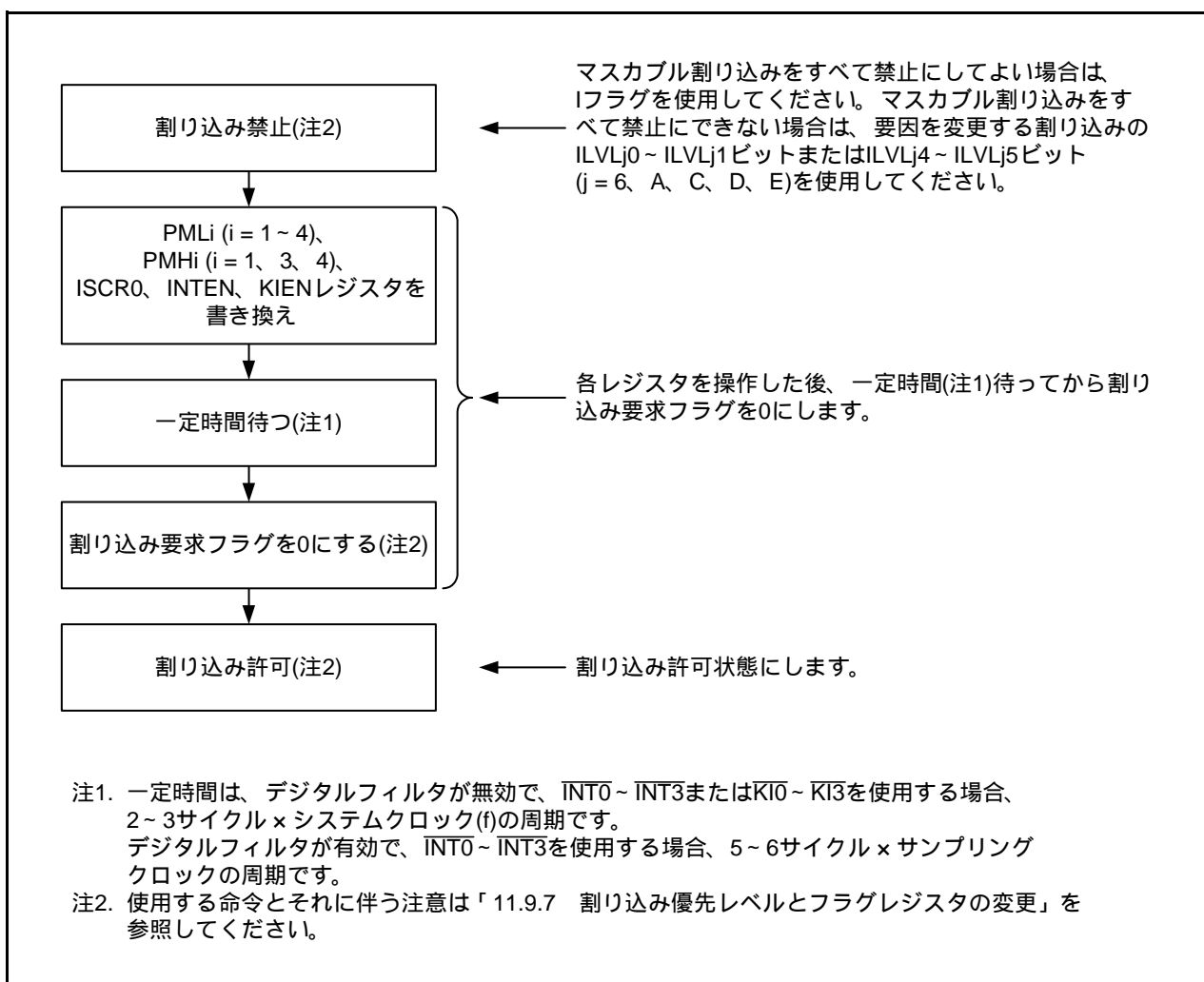


図11.13 PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの操作と割り込み要求フラグを0にする手順

### 11.9.5 ウェイトモードまたはストップモードから標準動作モードへの復帰時の $\overline{\text{INTi}}$ 入力フィルタ

$\overline{\text{INTi}}$ 入力フィルタを使用したまま、CKSTPRレジスタのWCKSTPビットを1(ウェイトモード時、システムクロックを停止)にし、ウェイトモードまたはストップモードへ遷移すると、 $\overline{\text{INTi}}$ 割り込みを使い標準動作モードへ復帰できません。

$\overline{\text{INTi}}$ 割り込みを使い復帰する場合、ウェイトモードまたはストップモードへ遷移する前に、WCKSTPビットを1にし、INTF0レジスタのINTiF1 ~ INTiF0ビットを00b(フィルタなし)にしてください。 $\overline{\text{INTi}}$ 入力フィルタを再度使用する場合は、INTiF0 ~ INTiF1ビットでサンプリングクロックを選択後、INTENレジスタのINTiENビットを有効にしてください。

$\overline{\text{INTi}}$ 入力フィルタを使用する場合、関係レジスタの詳細な設定手順は、図11.14に示します。

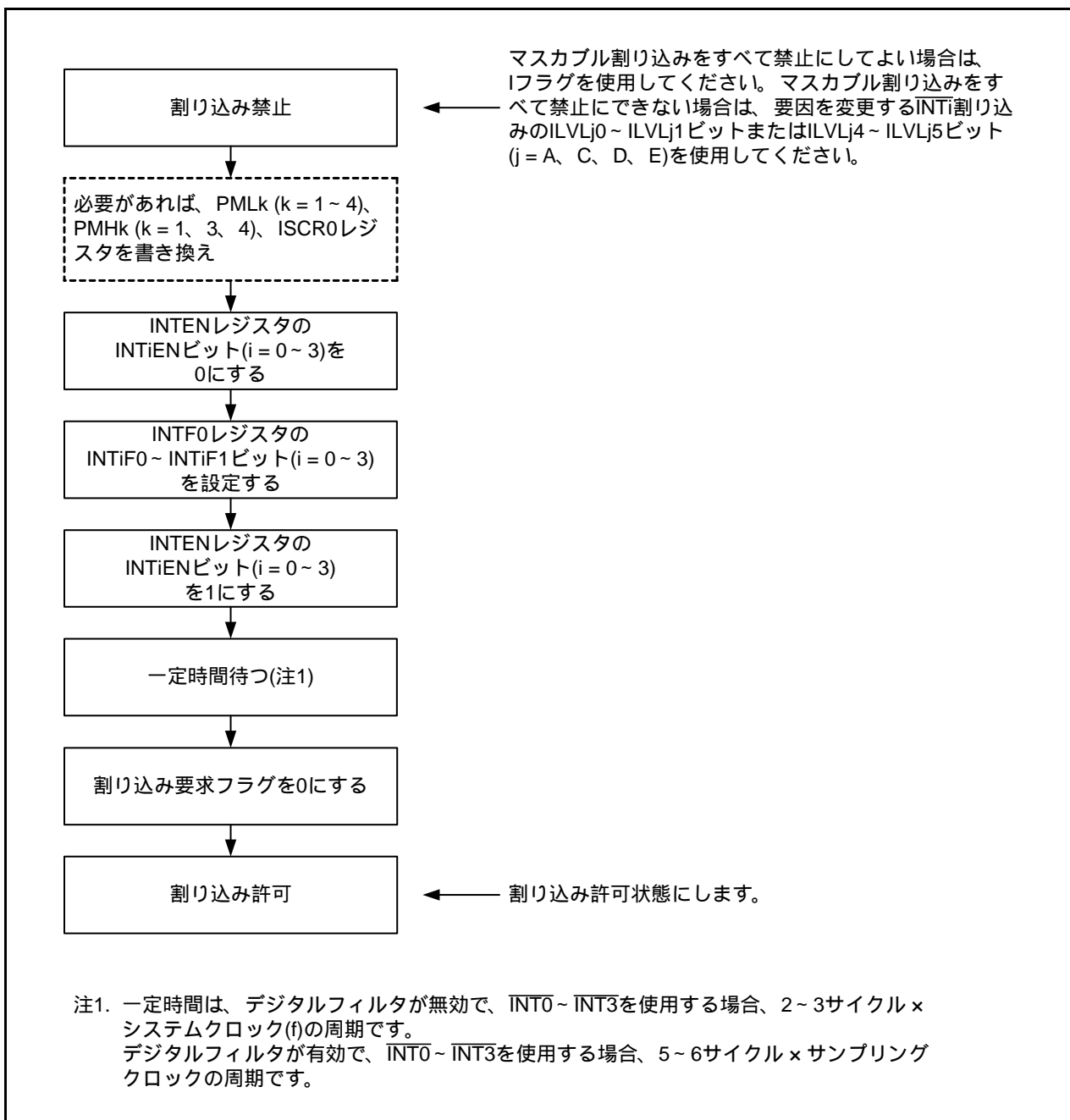


図11.14  $\overline{\text{INTi}}$ 入力フィルタ(i = 0 ~ 3)を使用する場合のレジスタ設定手順

### 11.9.6 周辺機能が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合の設定手順

図 11.15 に周辺機能(タイマRJ2、タイマRB2、タイマRC)が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合のレジスタ設定手順を示します。

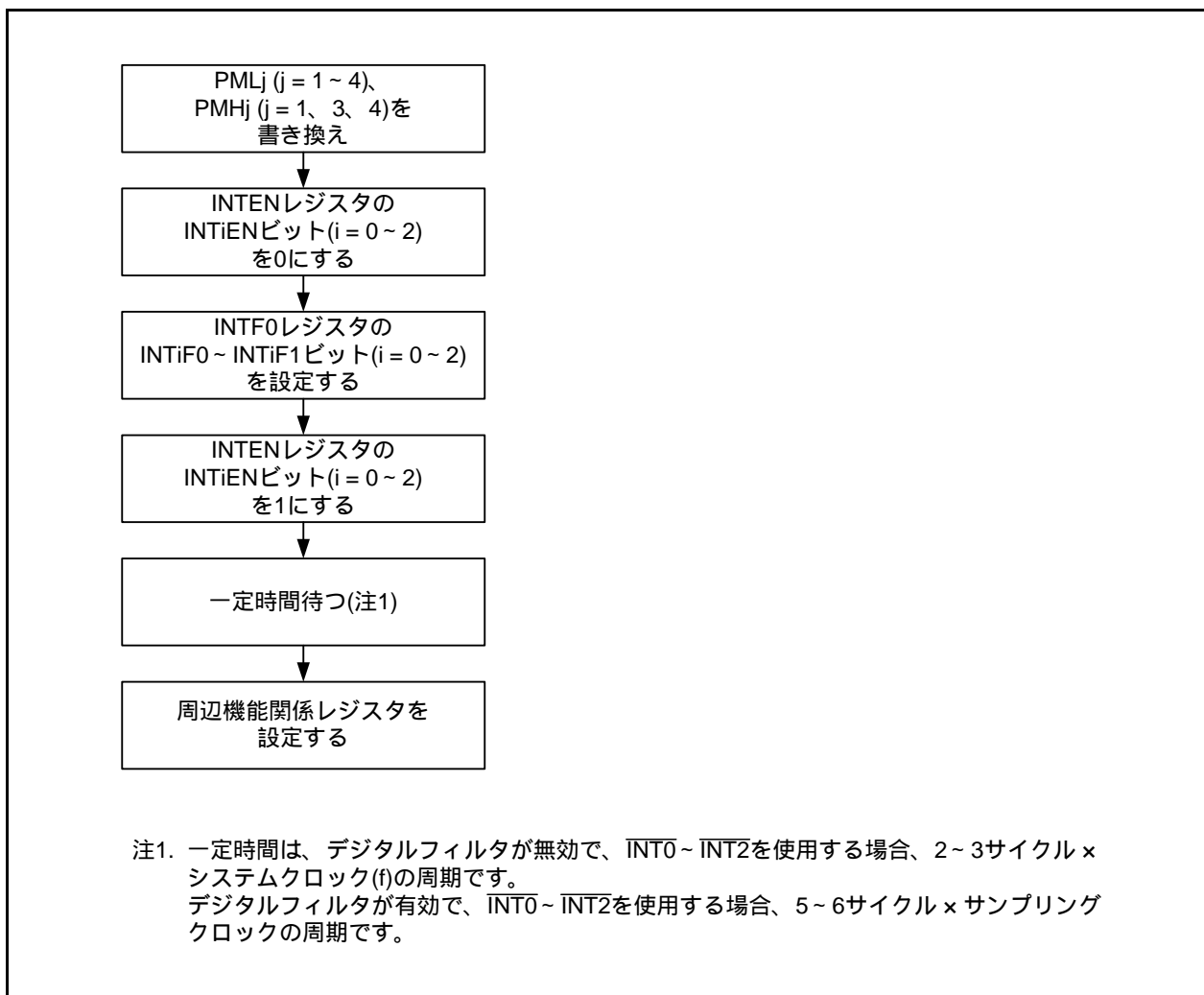


図 11.15 周辺機能(タイマRJ2、タイマRB2、タイマRC)が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合のレジスタ設定手順

### 11.9.7 割り込み優先レベルとフラグレジスタの変更

- (a) 割り込み優先レベルとフラグレジスタは、そのレジスタに対応する割り込み要求が発生しない箇所に変更してください。割り込み要求が発生する可能性がある場合は、Iフラグを使用して割り込みを禁止した後、割り込み優先レベルとフラグレジスタを変更してください。
- (b) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。

例1～例3は内部バスと命令キューバッファの影響により割り込み優先レベルとフラグレジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み優先レベルレジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  NOP
  NOP
  FSET      I           ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  MOV.W    MEM, R0     ; ダミーリード
  FSET      I           ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC    FLG
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  POPC     FLG         ; 割り込み許可
```

## 12. I/Oポート

I/Oポートは29本あります。P3\_1、P4\_5はXINクロック発振回路を使用しない場合、P4\_6、P4\_7はXCINクロック発振回路を使用しない場合、それぞれがI/Oポートとして使用できます。PA\_0はハードウェアリセットを使用しない場合、I/Oポートとして使用できます。また、すべての端子が複数の周辺機能を兼ねています。

### 12.1 概要

ポートの機能選択は周辺機能マッピングレジスタ(PMLi (i = 0 ~ 4)、PMHi (i = 0、1、3、4))と、周辺機能マッピング拡張レジスタ(PMH1E)で行います。I/Oポート機能の選択は、ポート方向レジスタ(PDi (i = 0 ~ 4、A))で行います。また、一部ポートの駆動能力は切り換えることができます。表12.1にI/Oポートの概要を、表12.2に端子別ポート機能一覧を、表12.3にI/Oポートのレジスタ構成を示します。

表12.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り換え
P0_0 ~ P0_7	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注4)	なし
P1_0、P1_1、 P1_6、P1_7	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注4)	なし
P1_2 ~ P1_5					1ビット単位で設定(注5)
P2_0 ~ P2_2	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注4)	なし
P3_1 (注1)	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注4)	なし
P3_3、P3_4、 P3_5、P3_7					1ビット単位で設定(注5)
PA_0 (注2)	入出力	CMOS3ステート	1ビット単位で設定	なし	なし
P4_2、P4_5 (注1)、 P4_6 (注3)、P4_7 (注3)	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注4)	なし

注1. XINクロック発振回路およびXIN直接入力を使用しない場合、I/Oポートとして使用できます。

注2. ハードウェアリセットを使用しない場合、I/Oポートとして使用できます。

注3. XCINクロック発振回路およびXCIN直接入力を使用しない場合、I/Oポートとして使用できます。

注4. 入力モード時、PURiレジスタ(i = 0 ~ 4)で内部プルアップ抵抗を接続するか、しないかを選択できます。

注5. DRRiレジスタ(i = 1、3)で出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。



表 12.2 端子別ポート機能一覧

ピン番号	R8C/M13B グループ	機能0	機能1	機能2	機能3	機能4	機能選択ビット		
		PM2 ~ PM0 = 000b	PM2 ~ PM0 = 001b	PM2 ~ PM0 = 010b	PM2 ~ PM0 = 011b	PM2 ~ PM0 = 100b	PM2	PM1	PM0
1	P4_2	P4_2	TRBO	TXD0/IrTXD	KI3	—	—	P42SEL1	P42SEL0
2	P3_7	P3_7	ADTRG	TRJO	TRCIOD	—	—	P37SEL1	P37SEL0
3	RESET	PA_0	—	—	—	—	—	—	—
4	P4_7/XCOUT	P4_7/XCOUT	INT2	—	—	—	—	P47SEL1	P47SEL0
5	VSS/AVSS	—	—	—	—	—	—	—	—
6	P4_6/XCIN	P4_6/XCIN	RXD0/IrRXD	TXD0/IrTXD	—	—	—	P46SEL1	P46SEL0
7	VCC/AVCC	—	—	—	—	—	—	—	—
8	MODE	—	—	—	—	—	—	—	—
9	P3_5	P3_5	TRCIOD	KI2	VCOUT3	—	—	P35SEL1	P35SEL0
10	P3_4	P3_4/IVREF3	TRCIOC	INT2	SSI	—	—	P34SEL1	P34SEL0
11	P3_3	P3_3/IVCMP3	TRCCLK	INT3	SCS	—	—	P33SEL1	P33SEL0
12	P2_2	P2_2	TRCIOD	TRKI	SSO/SDA	—	—	P22SEL1	P22SEL0
13	P2_1	P2_1	TRCIOC	TRKO	SSCK/SCL	—	—	P21SEL1	P21SEL0
14	P2_0	P2_0	TRCIOB	TRKO	INT1	—	—	P20SEL1	P20SEL0
15	P3_1/XIN	P3_1/XIN	TRBO	—	—	—	—	P31SEL1	P31SEL0
16	P4_5/XOUT	P4_5/XOUT	INT0	ADTRG	—	—	—	P45SEL1	P45SEL0
17	P1_7	P1_7/AN7/IVCMP1	INT1	TRJIO	TRCCLK	—	—	P17SEL1	P17SEL0
18	P1_6	P1_6/AN6/IVREF1	CLK0	TRJO	TRCIOB	—	—	P16SEL1	P16SEL0
19	P1_5	P1_5/AN5	RXD0/IrRXD	TRJIO	INT1	VCOUT1	P15SEL2	P15SEL1	P15SEL0
20	P1_4	P1_4/AN4	TXD0/IrTXD	RXD0/IrRXD	INT0	TRCIOB	P14SEL2	P14SEL1	P14SEL0
21	P1_3	P1_3/AN3	TRCIOC	KI3	TRBO	—	—	P13SEL1	P13SEL0
22	P1_2	P1_2/AN2	TRCIOB	KI2	TREO	—	—	P12SEL1	P12SEL0
23	P1_1	P1_1/AN1	TRCIOA/TRCTR	KI1	—	—	—	P11SEL1	P11SEL0
24	P1_0	P1_0/AN0	TRCIOD	KI0	TRKI	—	—	P10SEL1	P10SEL0
25	P0_7	P0_7	TRCIOC	TRKO	—	—	—	P07SEL1	P07SEL0
26	P0_6	P0_6	TRCIOD	—	—	—	—	P06SEL1	P06SEL0
27	P0_5	P0_5	TRCIOB	—	—	—	—	P05SEL1	P05SEL0
28	P0_4	P0_4	TRCIOB	TREO	—	—	—	P04SEL1	P04SEL0
29	P0_3	P0_3	TRCIOB	CLK1	—	—	—	P03SEL1	P03SEL0
30	P0_2	P0_2	TRCIOA/TRCTR	RXD1/IrRXD	—	—	—	P02SEL1	P02SEL0
31	P0_1	P0_1	TRCIOA/TRCTR	TXD1/IrTXD	—	—	—	P01SEL1	P01SEL0
32	P0_0	P0_0	TRCIOA/TRCTR	—	—	—	—	P00SEL1	P00SEL0

表12.3 I/Oポートのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ポートP0方向レジスタ	PD0	00h	000A8h	8
ポートP1方向レジスタ	PD1	00h	000A9h	8
ポートP2方向レジスタ	PD2	00h	000AAh	8
ポートP3方向レジスタ	PD3	00h	000ABh	8
ポートP4方向レジスタ	PD4	00h	000ACh	8
ポートPA方向レジスタ	PDA	00h	000ADh	8
ポートP0レジスタ	P0	00h	000AEh	8
ポートP1レジスタ	P1	00h	000AFh	8
ポートP2レジスタ	P2	00h	000B0h	8
ポートP3レジスタ	P3	00h	000B1h	8
ポートP4レジスタ	P4	00h	000B2h	8
ポートPAレジスタ	PA	00h	000B3h	8
プルアップ制御レジスタ0	PUR0	00h	000B4h	8
プルアップ制御レジスタ1	PUR1	00h	000B5h	8
プルアップ制御レジスタ2	PUR2	00h	000B6h	8
プルアップ制御レジスタ3	PUR3	00h	000B7h	8
プルアップ制御レジスタ4	PUR4	00h	000B8h	8
ポート入出力機能制御レジスタ	PINSR	00h	000B9h	8
駆動能力制御レジスタ1	DRR1	00h	000BBh	8
駆動能力制御レジスタ3	DRR3	00h	000BDh	8
オーブンドレイン制御レジスタ0	POD0	00h	000C0h	8
オーブンドレイン制御レジスタ1	POD1	00h	000C1h	8
オーブンドレイン制御レジスタ2	POD2	00h	000C2h	8
オーブンドレイン制御レジスタ3	POD3	00h	000C3h	8
オーブンドレイン制御レジスタ4	POD4	00h	000C4h	8
ポートPAモード制御レジスタ	PAMCR	11h	000C5h	8
ポート0機能マッピングレジスタ0	PML0	00h	000C6h	8
ポート0機能マッピングレジスタ1	PMH0	00h	000C7h	8
ポート1機能マッピングレジスタ0	PML1	00h	000C8h	8
ポート1機能マッピングレジスタ1	PMH1	00h	000C9h	8
ポート2機能マッピングレジスタ0	PML2	00h	000CAh	8
ポート3機能マッピングレジスタ0	PML3	00h	000CCh	8
ポート3機能マッピングレジスタ1	PMH3	00h	000CDh	8
ポート4機能マッピングレジスタ0	PML4	00h	000CEh	8
ポート4機能マッピングレジスタ1	PMH4	00h	000CFh	8
ポート1機能マッピング拡張レジスタ	PMH1E	00h	000D1h	8

## 12.2 ポート入力レベルの読み出し

ポート機能のマッピング設定と関係なく、Piレジスタ( $i=0\sim 4$ , A)を読んだとき、ポータラッチと端子レベルのどちらを読むかを選択できます。

### 12.2.1 ポート入出力機能制御レジスタ (PINSR)

アドレス	000B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOINSEL	TRJIOSEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書いた値は無効です。読んだ場合、その値は不定。	—
b1	—	予約ビット	0にしてください。読んだ場合、その値は0。	—
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	TRJIOSEL			
b7	IOINSEL	端子レベル強制読み出しビット	0 : 禁止(PDiレジスタで制御) 1 : 許可(端子入力レベルの読み出し)	R/W

PRCRレジスタのPRC4ビットを1(書き込み許可)にした後、PINSRレジスタを書き換えてください。

[PINSRレジスタのIOINSELビットが0のとき]

PDiレジスタ( $i=0\sim 4$ , A)のPDi<sub>j</sub>ビット( $j=0\sim 7$ )が0(入力モード)のとき、PiレジスタのPi<sub>j</sub>ビットを読むと、対応する端子の入力レベルが読めます。PDi<sub>j</sub>ビットが1(出力モード)のとき、PiレジスタのPi<sub>j</sub>ビットを読むと、ポータラッチが読めます。

[PINSRレジスタのIOINSELビットが1のとき]

Piレジスタを読むと、PDiレジスタの設定に関わらず、対応する端子の入力レベルが読めます。

### 12.3 ポート0

図12.1にポート0の端子構成を示します。

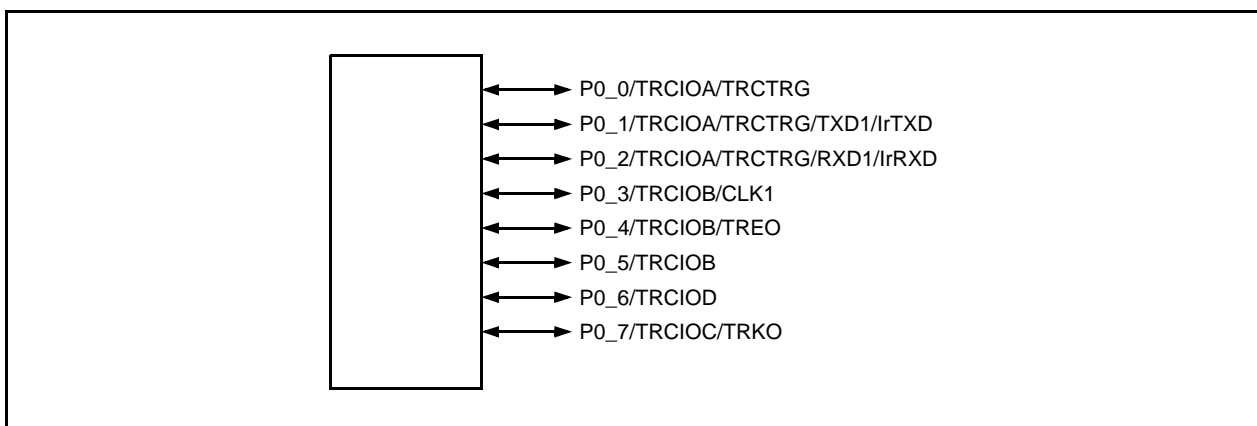


図12.1 ポート0の端子構成

## 12.3.1 ポートP0方向レジスタ (PD0)

アドレス 000A8h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル PD0\_7 PD0\_6 PD0\_5 PD0\_4 PD0\_3 PD0\_2 PD0\_1 PD0\_0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PD0_0	ポートP0_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	R/W
b1	PD0_1	ポートP0_1方向ビット		R/W
b2	PD0_2	ポートP0_2方向ビット		R/W
b3	PD0_3	ポートP0_3方向ビット		R/W
b4	PD0_4	ポートP0_4方向ビット		R/W
b5	PD0_5	ポートP0_5方向ビット		R/W
b6	PD0_6	ポートP0_6方向ビット		R/W
b7	PD0_7	ポートP0_7方向ビット		R/W

PD0レジスタは、I/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PD0レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.3.2 ポートP0レジスタ (P0)

アドレス 000AEh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル P0\_7 P0\_6 P0\_5 P0\_4 P0\_3 P0\_2 P0\_1 P0\_0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	P0_0	ポートP0_0ビット	0 : Lレベル 1 : Hレベル	R/W
b1	P0_1	ポートP0_1ビット		R/W
b2	P0_2	ポートP0_2ビット		R/W
b3	P0_3	ポートP0_3ビット		R/W
b4	P0_4	ポートP0_4ビット		R/W
b5	P0_5	ポートP0_5ビット		R/W
b6	P0_6	ポートP0_6ビット		R/W
b7	P0_7	ポートP0_7ビット		R/W

P0レジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、P0レジスタへの読み出しと書き込みによって行います。P0レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は、端子から出力されます。P0レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.3.3 プルアップ制御レジスタ0 (PUR0)

アドレス	000B4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU0_7	PU0_6	PU0_5	PU0_4	PU0_3	PU0_2	PU0_1	PU0_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU0_0	ポートP0_0プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b1	PU0_1	ポートP0_1プルアップ制御ビット		R/W
b2	PU0_2	ポートP0_2プルアップ制御ビット		R/W
b3	PU0_3	ポートP0_3プルアップ制御ビット		R/W
b4	PU0_4	ポートP0_4プルアップ制御ビット		R/W
b5	PU0_5	ポートP0_5プルアップ制御ビット		R/W
b6	PU0_6	ポートP0_6プルアップ制御ビット		R/W
b7	PU0_7	ポートP0_7プルアップ制御ビット		R/W

PUR0レジスタは、ポートP0のプルアップ抵抗を制御します。I/Oポートは、対応するPD0レジスタのPD0<sub>j</sub>ビット(j=0~7)を0(入力モード(入力ポートとして機能))、PUR0レジスタのPU0<sub>j</sub>ビット(j=0~7)を1にすると、プルアップされます。周辺機能の入力端子は、対応するPD0<sub>j</sub>ビットを0、PU0<sub>j</sub>ビットを1にすると、プルアップされます。

周辺機能の出力端子は、対応するPU0<sub>j</sub>ビットを1にしないでください。

## 12.3.4 オープンドレイン制御レジスタ0 (POD0)

アドレス	000C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POD0_7	POD0_6	POD0_5	POD0_4	POD0_3	POD0_2	POD0_1	POD0_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POD0_0	ポートP0_0オープンドレイン制御ビット	0: オープンドレインなし 1: オープンドレインあり	R/W
b1	POD0_1	ポートP0_1オープンドレイン制御ビット		R/W
b2	POD0_2	ポートP0_2オープンドレイン制御ビット		R/W
b3	POD0_3	ポートP0_3オープンドレイン制御ビット		R/W
b4	POD0_4	ポートP0_4オープンドレイン制御ビット		R/W
b5	POD0_5	ポートP0_5オープンドレイン制御ビット		R/W
b6	POD0_6	ポートP0_6オープンドレイン制御ビット		R/W
b7	POD0_7	ポートP0_7オープンドレイン制御ビット		R/W

POD0レジスタは、CMOS出力とするか、Nチャネルオープンドレイン出力とするかを設定します。周辺機能出力または出力ポート機能を設定する場合は、有効になります。

POD0<sub>j</sub>ビット(j=0~7)を1(オープンドレインあり)にすると、対応する端子はNチャネルオープンドレイン出力となり、0(オープンドレインなし)にするとCMOS出力となります。

## 12.3.5 ポート0機能マッピングレジスタ0 (PML0)

アドレス 000C6h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル P03SEL1 P03SEL0 P02SEL1 P02SEL0 P01SEL1 P01SEL0 P00SEL1 P00SEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	P00SEL0	ポートP0_0機能選択ビット	b1 b0 00: I/Oポート 01: TRCIOA/TRCTRG 上記以外: 設定しないでください	R/W
b1	P00SEL1			R/W
b2	P01SEL0	ポートP0_1機能選択ビット	b3 b2 00: I/Oポート 01: TRCIOA/TRCTRG 10: TXD1/IrTXD 11: 設定しないでください	R/W
b3	P01SEL1			R/W
b4	P02SEL0	ポートP0_2機能選択ビット	b5 b4 00: I/Oポート 01: TRCIOA/TRCTRG 10: RXD1/IrRXD 11: 設定しないでください	R/W
b5	P02SEL1			R/W
b6	P03SEL0	ポートP0_3機能選択ビット	b7 b6 00: I/Oポート 01: TRCIOB 10: CLK1 11: 設定しないでください	R/W
b7	P03SEL1			R/W

PML0レジスタは、P0\_0 ~ P0\_3端子の機能選択を行います。

## 12.3.6 ポート0機能マッピングレジスタ1 (PMH0)

アドレス 000C7h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル P07SEL1 P07SEL0 P06SEL1 P06SEL0 P05SEL1 P05SEL0 P04SEL1 P04SEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	P04SEL0	ポートP0_4機能選択ビット	b1 b0 00: I/Oポート 01: TRCIOB 10: TREO 11: 設定しないでください	R/W
b1	P04SEL1			R/W
b2	P05SEL0	ポートP0_5機能選択ビット	b3 b2 00: I/Oポート 01: TRCIOB 上記以外: 設定しないでください	R/W
b3	P05SEL1			R/W
b4	P06SEL0	ポートP0_6機能選択ビット	b5 b4 00: I/Oポート 01: TRCIOD 上記以外: 設定しないでください	R/W
b5	P06SEL1			R/W
b6	P07SEL0	ポートP0_7機能選択ビット	b7 b6 00: I/Oポート 01: TRCIOB 10: TRKO 11: 設定しないでください	R/W
b7	P07SEL1			R/W

PMH0レジスタは、P0\_4 ~ P0\_7端子の機能選択を行います。



## 12.3.7 ポート0の端子設定

表12.4～表12.11にポート0の端子設定を示します。

表12.4 ポートP0\_0/TRCIOA/TRCTRG

レジスタ	PD0	PML0		タイマRC設定	機能
		P00SEL			
ビット	PD0_0	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA入力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA出力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCTRG入力

X: 0または1

表12.5 ポートP0\_1/TRCIOA/TRCTRG/TXD1/IrTXD

レジスタ	PD0	PML0		タイマRC設定	機能
		P01SEL			
ビット	PD0_1	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA入力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA出力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCTRG入力
	X	1	0	X	TXD1/IrTXD出力

X: 0または1

表12.6 ポートP0\_2/TRCIOA/TRCTRG/RXD1/IrRXD

レジスタ	PD0	PML0		タイマRC設定	機能
		P02SEL			
ビット	PD0_2	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA入力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCIOA出力
	X	0	1	「表 12.33 TRCIOA 端子設定」参照	TRCTRG入力
	X	1	0	X	RXD1/IrRXD入力

X: 0または1

表12.7 ポートP0\_3/TRCIOB/CLK1

レジスタ	PD0	PML0		タイマRC設定	機能
		P03SEL			
ビット	PD0_3	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB入力
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB出力
	X	1	0	X	CLK1

X: 0または1

表 12.8 ポート P0\_4/TRCIOB/TREO

レジスタ	PD0	PMH0		タイマRC設定	機能
		P04SEL			
ビット	PD0_4	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB入力
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB出力
	X	1	0	X	TREO出力

X：0または1

表 12.9 ポート P0\_5/TRCIOB

レジスタ	PD0	PMH0		タイマRC設定	機能
		P05SEL			
ビット	PD0_5	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB入力
	X	0	1	「表 12.34 TRCIOB 端子設定」参照	TRCIOB出力

X：0または1

表 12.10 ポート P0\_6/TRCIOD

レジスタ	PD0	PMH0		タイマRC設定	機能
		P06SEL			
ビット	PD0_6	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.36 TRCIOD 端子設定」参照	TRCIOD入力
	X	0	1	「表 12.36 TRCIOD 端子設定」参照	TRCIOD出力

X：0または1

表 12.11 ポート P0\_7/TRCIOC/TRKO

レジスタ	PD0	PMH0		タイマRC設定	機能
		P07SEL			
ビット	PD0_7	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表 12.35 TRCIOC 端子設定」参照	TRCIOC入力
	X	0	1	「表 12.35 TRCIOC 端子設定」参照	TRCIOC出力
	X	1	0	X	TRKO出力

X：0または1

## 12.4 ポート1

図12.2にポート1の端子構成を示します。



図12.2 ポート1の端子構成

## 12.4.1 ポートP1方向レジスタ(PD1)

アドレス	000A9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PD1_7	PD1_6	PD1_5	PD1_4	PD1_3	PD1_2	PD1_1	PD1_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PD1_0	ポートP1_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	PD1_1	ポートP1_1方向ビット		R/W
b2	PD1_2	ポートP1_2方向ビット		R/W
b3	PD1_3	ポートP1_3方向ビット		R/W
b4	PD1_4	ポートP1_4方向ビット		R/W
b5	PD1_5	ポートP1_5方向ビット		R/W
b6	PD1_6	ポートP1_6方向ビット		R/W
b7	PD1_7	ポートP1_7方向ビット		R/W

PD1レジスタは、I/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PD1レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.4.2 ポートP1レジスタ(P1)

アドレス	000AFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1_7	P1_6	P1_5	P1_4	P1_3	P1_2	P1_1	P1_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1_0	ポートP1_0ビット	0:Lレベル 1:Hレベル	R/W
b1	P1_1	ポートP1_1ビット		R/W
b2	P1_2	ポートP1_2ビット		R/W
b3	P1_3	ポートP1_3ビット		R/W
b4	P1_4	ポートP1_4ビット		R/W
b5	P1_5	ポートP1_5ビット		R/W
b6	P1_6	ポートP1_6ビット		R/W
b7	P1_7	ポートP1_7ビット		R/W

P1レジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、P1レジスタへの読み出しと書き込みによって行います。P1レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は、端子から出力されます。P1レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.4.3 プルアップ制御レジスタ1 (PUR1)

アドレス	000B5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU1_7	PU1_6	PU1_5	PU1_4	PU1_3	PU1_2	PU1_1	PU1_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU1_0	ポートP1_0プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b1	PU1_1	ポートP1_1プルアップ制御ビット		R/W
b2	PU1_2	ポートP1_2プルアップ制御ビット		R/W
b3	PU1_3	ポートP1_3プルアップ制御ビット		R/W
b4	PU1_4	ポートP1_4プルアップ制御ビット		R/W
b5	PU1_5	ポートP1_5プルアップ制御ビット		R/W
b6	PU1_6	ポートP1_6プルアップ制御ビット		R/W
b7	PU1_7	ポートP1_7プルアップ制御ビット		R/W

PUR1レジスタは、ポートP1のプルアップ抵抗を制御します。I/Oポートは、対応するPD1レジスタのPD1<sub>j</sub>ビット(j=0~7)を0(入力モード(入力ポートとして機能))、PUR1レジスタのPU1<sub>j</sub>ビット(j=0~7)を1にすると、プルアップされます。周辺機能の入力端子は、対応するPD1<sub>j</sub>ビットを0、PU1<sub>j</sub>ビットを1にすると、プルアップされます。

周辺機能の出力端子は、対応するPU1<sub>j</sub>ビットを1にしないでください。

## 12.4.4 駆動能力制御レジスタ1 (DRR1)

アドレス	000BBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DRR1_5	DRR1_4	DRR1_3	DRR1_2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	—
b1	—			
b2	DRR1_2	ポートP1_2駆動能力制御ビット	0: Low駆動能力 1: High駆動能力(注1)	R/W
b3	DRR1_3	ポートP1_3駆動能力制御ビット		R/W
b4	DRR1_4	ポートP1_4駆動能力制御ビット		R/W
b5	DRR1_5	ポートP1_5駆動能力制御ビット		R/W
b6	—	予約ビット	0にしてください	—
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

DRR1レジスタは、P1が出力(出力ポートまたは周辺機能の出力端子)となっているときの出力トランジスタの駆動能力をLowにするか、Highにするかを選択します。DRR1レジスタのDRR1<sub>j</sub>ビット(j=2~5)を1にすると、対応する出力トランジスタの駆動能力はHighになります。

## 12.4.5 オープンドレイン制御レジスタ1 (POD1)

アドレス	000C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POD1_7	POD1_6	POD1_5	POD1_4	POD1_3	POD1_2	POD1_1	POD1_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POD1_0	ポートP1_0オープンドレイン制御ビット	0: オープンドレインなし 1: オープンドレインあり	R/W
b1	POD1_1	ポートP1_1オープンドレイン制御ビット		R/W
b2	POD1_2	ポートP1_2オープンドレイン制御ビット		R/W
b3	POD1_3	ポートP1_3オープンドレイン制御ビット		R/W
b4	POD1_4	ポートP1_4オープンドレイン制御ビット		R/W
b5	POD1_5	ポートP1_5オープンドレイン制御ビット		R/W
b6	POD1_6	ポートP1_6オープンドレイン制御ビット		R/W
b7	POD1_7	ポートP1_7オープンドレイン制御ビット		R/W

POD1レジスタは、CMOS出力とするか、Nチャンネルオープンドレイン出力とするかを設定します。周辺機能出力または出力ポート機能を設定する場合は、有効になります。

POD1<sub>j</sub>ビット(j=0~7)を1(オープンドレインあり)にすると、対応する端子はNチャンネルオープンドレイン出力となり、0(オープンドレインなし)にするとCMOS出力となります。

## 12.4.6 ポート1機能マッピングレジスタ0 (PML1)

アドレス	000C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P13SEL1	P13SEL0	P12SEL1	P12SEL0	P11SEL1	P11SEL0	P10SEL1	P10SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P10SEL0	ポートP1_0機能選択ビット	b1 b0 00: I/OポートまたはAN0入力 01: TRCIOD 10: KI0 11: TRKI	R/W
b1	P10SEL1			R/W
b2	P11SEL0	ポートP1_1機能選択ビット	b3 b2 00: I/OポートまたはAN1入力 01: TRCIOA/TRCTRG 10: KI1 11: 設定しないでください	R/W
b3	P11SEL1			R/W
b4	P12SEL0	ポートP1_2機能選択ビット	b5 b4 00: I/OポートまたはAN2入力 01: TRCIOB 10: KI2 11: TREO	R/W
b5	P12SEL1			R/W
b6	P13SEL0	ポートP1_3機能選択ビット	b7 b6 00: I/OポートまたはAN3入力 01: TRCIOC 10: KI3 11: TRBO	R/W
b7	P13SEL1			R/W

PML1レジスタは、P1\_0 ~ P1\_3端子の機能選択を行います。

## 12.4.7 ポート1機能マッピングレジスタ1 (PMH1)

アドレス 000C9h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル P17SEL1 P17SEL0 P16SEL1 P16SEL0 P15SEL1 P15SEL0 P14SEL1 P14SEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	P14SEL0	ポートP1_4機能選択ビット	bx b1 b0 0 0 0 : I/OポートまたはAN4入力 0 0 1 : TXD0/IrTXD 0 1 0 : RXD0/IrRXD 0 1 1 : INT0 1 0 0 : TRCIOB 上記以外 : 設定しないでください (bx : PMH1EレジスタのP14SEL2ビット)	R/W
b1	P14SEL1			R/W
b2	P15SEL0	ポートP1_5機能選択ビット	bx b3 b2 0 0 0 : I/OポートまたはAN5入力 0 0 1 : RXD0/IrRXD 0 1 0 : TRJIO 0 1 1 : INT1 1 0 0 : VCOU1 上記以外 : 設定しないでください (bx : PMH1EレジスタのP15SEL2ビット)	R/W
b3	P15SEL1			R/W
b4	P16SEL0	ポートP1_6機能選択ビット	b5 b4 0 0 : I/OポートまたはAN6入力またはIVREF1入力 0 1 : CLK0 1 0 : TRJO 1 1 : TRCIOB	R/W
b5	P16SEL1			R/W
b6	P17SEL0	ポートP1_7機能選択ビット	b7 b6 0 0 : I/OポートまたはAN7入力またはIVCMP1入力 0 1 : INT1 1 0 : TRJIO 1 1 : TRCCLK	R/W
b7	P17SEL1			R/W

PMH1レジスタは、P1\_4 ~ P1\_7端子の機能選択を行います。

## 12.4.8 ポート1機能マッピング拡張レジスタ(PMH1E)

アドレス	000D1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	P15SEL2	—	P14SEL2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P14SEL2		PMH1レジスタのP14SEL0 ~ P14SEL1ビットと併用してP1_4端子の機能を選択。詳細は「12.4.7 ポート1機能マッピングレジスタ1 (PMH1)」参照。	R/W
b1	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b2	P15SEL2		PMH1レジスタのP15SEL0 ~ P15SEL1ビットと併用してP1_5端子の機能を選択。詳細は「12.4.7 ポート1機能マッピングレジスタ1 (PMH1)」参照。	R/W
b3	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b4	—			
b5	—			
b6	—			
b7	—			

PMH1Eレジスタは、PML1、PMH1レジスタと同時にポート1の機能選択を行います。



## 12.4.9 ポート1の端子設定

表12.12～表12.19にポート1の端子設定を示します。

表12.12 ポートP1\_0/AN0/TRCIOD/KI0/TRKI

レジスタ	PD1	ADINSEL			PML1		タイマRC設定	機能	
		PD1_0	ADGSEL		CH0	P10SEL			
			1	0		1			0
設定値	0	X	X	X	0	0	X	入力ポート	
	1	X	X	X	0	0	X	出力ポート	
	0	0	0	0	0	0	X	A/Dコンバータ入力(AN0)	
	X	X	X	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD入力	
	X	X	X	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD出力	
	X	X	X	X	1	0	X	KI0入力	
	X	X	X	X	1	1	X	TRKI入力	

X: 0または1

表12.13 ポートP1\_1/AN1/TRCIOA/TRCTRГ/KI1

レジスタ	PD1	ADINSEL			PML1		タイマRC設定	機能	
		PD1_1	ADGSEL		CH0	P11SEL			
			1	0		1			0
設定値	0	X	X	X	0	0	X	入力ポート	
	1	X	X	X	0	0	X	出力ポート	
	0	0	0	1	0	0	X	A/Dコンバータ入力(AN1)	
	X	X	X	X	0	1	「表12.33 TRCIOA端子設定」参照	TRCIOA入力またはTRCTRГ入力	
	X	X	X	X	0	1	「表12.33 TRCIOA端子設定」参照	TRCIOA出力	
	X	X	X	X	1	0	X	KI1入力	

X: 0または1

表12.14 ポートP1\_2/AN2/TRCIOB/KI2/TREO

レジスタ	PD1	ADINSEL			PML1		タイマRC設定	機能	
		PD1_2	ADGSEL		CH0	P12SEL			
			1	0		1			0
設定値	0	X	X	X	0	0	X	入力ポート	
	1	X	X	X	0	0	X	出力ポート	
	0	0	1	0	0	0	X	A/Dコンバータ入力(AN2)	
	X	X	X	X	0	1	「表12.34 TRCIOB端子設定」参照	TRCIOB入力	
	X	X	X	X	0	1	「表12.34 TRCIOB端子設定」参照	TRCIOB出力	
	X	X	X	X	1	0	X	KI2入力	
	X	X	X	X	1	1	X	TREO出力	

X: 0または1

表12.15 ポートP1\_3/AN3/TRCIOC/KI3/TRBO

レジスタ	PD1	ADINSEL			PML1		タイマRC設定	タイマRB2設定	機能	
		PD1_3	ADGSEL		CH0	P13SEL				
			1	0		1				0
設定値	0	X	X	X	0	0	X	X	入力ポート	
	1	X	X	X	0	0	X	X	出力ポート	
	0	0	1	1	0	0	X	X	A/Dコンバータ入力(AN3)	
	X	X	X	X	0	1	「表12.35 TRCIOC端子設定」参照	X	TRCIOC入力	
	X	X	X	X	0	1	「表12.35 TRCIOC端子設定」参照	X	TRCIOC出力	
	X	X	X	X	1	0	X	X	KI3入力	
	X	X	X	X	1	1	X	X	TRBO出力	

X: 0または1

表12.16 ポートP1\_4/AN4/TXD0/IrTXD/RXD0/IrRXD/INT0/TRCIOB

レジスタ	PD1	ADINSEL			PMH1E	PMH1		タイマRC設定	機能
ビット	PD1_4	ADGSEL		CH0	P14SEL2				
		1	0		1	0			
設定値	0	X	X	X	0	0	0	X	入力ポート
	1	X	X	X	0	0	0	X	出力ポート
	0	1	0	0	0	0	0	X	A/Dコンバータ入力(AN4)
	X	X	X	X	0	0	1	X	TXD0/IrTXD出力
	X	X	X	X	0	1	0	X	RXD0/IrRXD入力
	X	X	X	X	0	1	1	X	INT0入力
	X	X	X	X	1	0	0	「表12.34 TRCIOB端子設定」参照	TRCIOB入力
	X	X	X	X	1	0	0	「表12.34 TRCIOB端子設定」参照	TRCIOB出力

X: 0または1

表12.17 ポートP1\_5/AN5/RXD0/IrRXD/TRJIO/INT1/VCOUT1

レジスタ	PD1	ADINSEL			PMH1E	PMH1		TRJIOC	TRJMR			機能
ビット	PD1_5	ADGSEL		CH0	P15SEL2	P15SEL		TOPCR	TMOD			
		1	0			1	0		2	1	0	
設定値	0	X	X	X	0	0	0	X	X	X	X	入力ポート
	1	X	X	X	0	0	0	X	X	X	X	出力ポート
	0	1	1	0	0	0	0	X	X	X	X	A/Dコンバータ入力(AN5)
	X	X	X	X	0	0	1	X	X	X	X	RXD0/IrRXD入力
	X	X	X	X	0	1	0	0	000b、001b以外			TRJIO入力
	X	X	X	X	0	1	0	0	001b			TRJIOパルス出力
	X	X	X	X	0	1	1	X	X	X	X	INT1入力
	X	X	X	X	1	0	0	X	X	X	X	VCOUT1出力

X: 0または1

表12.18 ポートP1\_6/AN6/IVREF1/CLK0/TRJO/TRCIOB

レジスタ	PD1	ADINSEL			PMH1		UOMR				タイマRC設定	機能
ビット	PD1_6	ADGSEL		CH0	P16SEL		SMD			CKDIR		
		1	0		1	0	2	1	0			
設定値	0	X	X	X	0	0	X	X	X	X	X	入力ポート/IVREF1
	1	X	X	X	0	0	X	X	X	X	X	出力ポート
	0	1	1	1	X	X	X	X	X	X	X	A/Dコンバータ入力(AN6)
	X	X	X	X	0	1	X	X	X	1	X	CLK0(外部クロック)入力
	X	X	X	X	0	1	0	0	1	0	X	CLK0(内部クロック)出力
	X	X	X	X	1	0	X	X	X	X	X	TRJO出力
	X	X	X	X	1	1	X	X	X	X	「表12.34 TRCIOB端子設定」参照	TRCIOB入力
	X	X	X	X	1	1	X	X	X	X	「表12.34 TRCIOB端子設定」参照	TRCIOB出力

X: 0または1

表12.19 ポートP1\_7/AN7/IVCMP1/INT1/TRJIO/TRCCLK

レジスタ	PD1	ADINSEL			PMH1	TRJIOC	TRJMR			機能	
ビット	PD1_7	ADGSEL		CH0	P17SEL		TOPCR	TMOD			
		1	0		1	0		2	1		0
設定値	0	X	X	X	0	0	X	X	X	X	入力ポート/IVCMP1
	1	X	X	X	0	0	X	X	X	X	出力ポート
	0	1	0	1	0	0	X	X	X	X	A/Dコンバータ入力(AN7)
	X	X	X	X	0	1	X	X	X	X	INT1入力
	X	X	X	X	1	0	0	000b、001b以外			TRJIO入力
	X	X	X	X	1	0	0	001b			TRJIOパルス出力
	X	X	X	X	1	1	X	X	X	X	TRCCLK入力

X: 0または1

## 12.5 ポート2

図12.3にポート2の端子構成を示します。

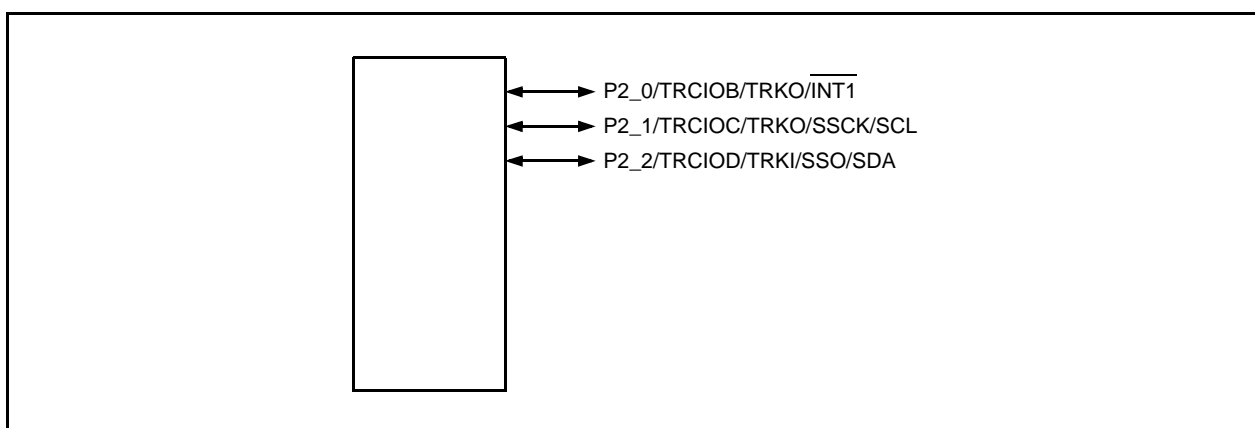


図12.3 ポート2の端子構成

## 12.5.1 ポートP2方向レジスタ (PD2)

アドレス	000AAh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PD2_2	PD2_1	PD2_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PD2_0	ポートP2_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	PD2_1	ポートP2_1方向ビット		R/W
b2	PD2_2	ポートP2_2方向ビット		R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

PD2レジスタは、I/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PD2レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.5.2 ポートP2レジスタ (P2)

アドレス	000B0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	P2_2	P2_1	P2_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2_0	ポートP2_0ビット	0:Lレベル 1:Hレベル	R/W
b1	P2_1	ポートP2_1ビット		R/W
b2	P2_2	ポートP2_2ビット		R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

P2レジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、P2レジスタへの読み出しと書き込みによって行います。P2レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は、端子から出力されます。P2レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.5.3 プルアップ制御レジスタ2 (PUR2)

アドレス	000B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PU2_2	PU2_1	PU2_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU2_0	ポートP2_0プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b1	PU2_1	ポートP2_1プルアップ制御ビット		R/W
b2	PU2_2	ポートP2_2プルアップ制御ビット		R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

PUR2レジスタは、ポートP2のプルアップ抵抗を制御します。I/Oポートは、対応するPD2レジスタのPD2<sub>j</sub>ビット(j=0~2)を0(入力モード(入力ポートとして機能))、PUR2レジスタのPU2<sub>j</sub>ビット(j=0~2)を1にすると、プルアップされます。周辺機能の入力端子は、対応するPD2<sub>j</sub>ビットを0、PU2<sub>j</sub>ビットを1にすると、プルアップされます。

周辺機能の出力端子は、対応するPU2<sub>j</sub>ビットを1にしないでください。

## 12.5.4 オープンドレイン制御レジスタ2 (POD2)

アドレス	000C2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	POD2_2	POD2_1	POD2_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POD2_0	ポートP2_0オープンドレイン制御ビット	0: オープンドレインなし 1: オープンドレインあり	R/W
b1	POD2_1	ポートP2_1オープンドレイン制御ビット		R/W
b2	POD2_2	ポートP2_2オープンドレイン制御ビット		R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

POD2レジスタは、CMOS出力とするか、Nチャンネルオープンドレイン出力とするかを設定します。周辺機能出力または出力ポート機能を設定する場合は、有効になります。

POD2<sub>j</sub>ビット(j=0~2)を1(オープンドレインあり)にすると、対応する端子はNチャンネルオープンドレイン出力となり、0(オープンドレインなし)にするとCMOS出力となります。

## 12.5.5 ポート2機能マッピングレジスタ0 (PML2)

アドレス 000CAh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	P22SEL1	P22SEL0	P21SEL1	P21SEL0	P20SEL1	P20SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P20SEL0	ポートP2_0機能選択ビット	b1 b0 0 0 : I/Oポート 0 1 : TRCIOB 1 0 : TRKO 1 1 : INT1	R/W
b1	P20SEL1			R/W
b2	P21SEL0	ポートP2_1機能選択ビット	b3 b2 0 0 : I/Oポート 0 1 : TRCIOB 1 0 : TRKO 1 1 : SSCK/SCL	R/W
b3	P21SEL1			R/W
b4	P22SEL0	ポートP2_2機能選択ビット	b5 b4 0 0 : I/Oポート 0 1 : TRCIOD 1 0 : TRKI 1 1 : SSO/SDA	R/W
b5	P22SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

PML2レジスタは、P2\_0 ~ P2\_2端子の機能選択を行います。

## 12.5.6 ポート2の端子設定

表12.20～表12.22にポート2の端子設定を示します。

表12.20 ポートP2\_0/TRCIOB/TRKO/INT1

レジスタ	PD2	PML2		タイマRC設定	機能
		P20SEL			
ビット	PD2_0	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表12.34 TRCIOB端子設定」参照	TRCIOB入力
	X	0	1	「表12.34 TRCIOB端子設定」参照	TRCIOB出力
	X	1	0	X	TRKO出力
	X	1	1	X	INT1入力

X：0または1

表12.21 ポートP2\_1/TRCIOC/TRKO/SSCK/SCL

レジスタ	PD2	PML2		タイマRC設定	機能
		P21SEL			
ビット	PD2_1	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表12.35 TRCIOC端子設定」参照	TRCIOC入力
	X	0	1	「表12.35 TRCIOC端子設定」参照	TRCIOC出力
	X	1	0	X	TRKO出力
	X	1	1	X	SSCK/SCL

X：0または1

表12.22 ポートP2\_2/TRCIOD/TRKI/SSO/SDA

レジスタ	PD2	PML2		タイマRC設定	機能
		P22SEL			
ビット	PD2_2	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD入力
	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD出力
	X	1	0	X	TRKI入力
	X	1	1	X	SSO/SDA

X：0または1



## 12.6 ポート3

図12.4にポート3の端子構成を示します。

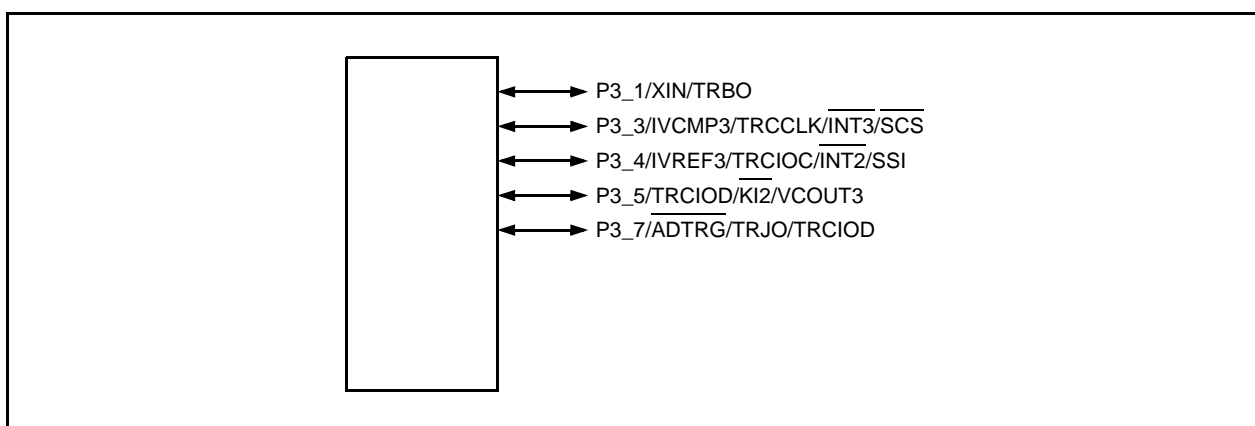


図12.4 ポート3の端子構成

## 12.6.1 ポートP3方向レジスタ (PD3)

アドレス	000ABh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PD3_7	—	PD3_5	PD3_4	PD3_3	—	PD3_1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	PD3_1	ポートP3_1方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	PD3_3	ポートP3_3方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b4	PD3_4	ポートP3_4方向ビット		R/W
b5	PD3_5	ポートP3_5方向ビット		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	PD3_7	ポートP3_7方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W

PD3レジスタは、I/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PD3レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.6.2 ポートP3レジスタ(P3)

アドレス	000B1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P3_7	—	P3_5	P3_4	P3_3	—	P3_1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	P3_1	ポートP3_1ビット	0:Lレベル 1:Hレベル	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	P3_3	ポートP3_3ビット	0:Lレベル 1:Hレベル	R/W
b4	P3_4	ポートP3_4ビット		R/W
b5	P3_5	ポートP3_5ビット		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	P3_7	ポートP3_7ビット	0:Lレベル 1:Hレベル	R/W

P3レジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、P3レジスタへの読み出しと書き込みによって行います。P3レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は、端子から出力されます。P3レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.6.3 プルアップ制御レジスタ3 (PUR3)

アドレス	000B7h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU3_7	—	PU3_5	PU3_4	PU3_3	—	PU3_1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	PU3_1	ポートP3_1プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	PU3_3	ポートP3_3プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b4	PU3_4	ポートP3_4プルアップ制御ビット		R/W
b5	PU3_5	ポートP3_5プルアップ制御ビット		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	PU3_7	ポートP3_7プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W

PUR3レジスタは、ポートP3のプルアップ抵抗を制御します。I/Oポートは、対応するPD3レジスタのPD3<sub>j</sub>ビット(j=1, 3~5, 7)を0(入力モード(入力ポートとして機能))、PUR3レジスタのPU3<sub>j</sub>ビット(j=1, 3~5, 7)を1にすると、プルアップされます。周辺機能の入力端子は、対応するPD3<sub>j</sub>ビットを0、PU3<sub>j</sub>ビットを1にすると、プルアップされます。

周辺機能の出力端子は、対応するPU3<sub>j</sub>ビットを1にしないでください。

## 12.6.4 駆動能力制御レジスタ3 (DRR3)

アドレス	000BDh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR3_7	—	DRR3_5	DRR3_4	DRR3_3	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	DRR3_3	ポートP3_3駆動能力制御ビット	0: Low 駆動能力 1: High 駆動能力(注1)	R/W
b4	DRR3_4	ポートP3_4駆動能力制御ビット		R/W
b5	DRR3_5	ポートP3_5駆動能力制御ビット		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	DRR3_7	ポートP3_7駆動能力制御ビット	0: Low 駆動能力 1: High 駆動能力(注1)	R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

DRR3レジスタは、P3が出力(出力ポートまたは周辺機能の出力端子)となっているときの出力トランジスタの駆動能力をLowにするか、Highにするかを選択します。DRR3レジスタのDRR3<sub>j</sub>ビット(j=3~5, 7)を1にすると、対応する出力トランジスタの駆動能力はHighになります。

## 12.6.5 オープンドレイン制御レジスタ3 (POD3)

アドレス	000C3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POD3_7	—	POD3_5	POD3_4	POD3_3	—	POD3_1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	POD3_1	ポートP3_1オープンドレイン制御ビット	0：オープンドレインなし 1：オープンドレインあり	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	POD3_3	ポートP3_3オープンドレイン制御ビット	0：オープンドレインなし 1：オープンドレインあり	R/W
b4	POD3_4	ポートP3_4オープンドレイン制御ビット		R/W
b5	POD3_5	ポートP3_5オープンドレイン制御ビット		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	POD3_7	ポートP3_7オープンドレイン制御ビット	0：オープンドレインなし 1：オープンドレインあり	R/W

POD3レジスタは、CMOS出力とするか、Nチャネルオープンドレイン出力とするかを設定します。周辺機能出力または出力ポート機能を設定する場合は、有効になります。

POD3<sub>j</sub>ビット(j=1, 3~5, 7)を1(オープンドレインあり)にすると、対応する端子はNチャネルオープンドレイン出力となり、0(オープンドレインなし)にするとCMOS出力となります。

## 12.6.6 ポート3機能マッピングレジスタ0 (PML3)

アドレス	000CCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P33SEL1	P33SEL0	—	—	P31SEL1	P31SEL0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			—
b2	P31SEL0	ポートP3_1機能選択ビット	b3 b2 00：I/OポートまたはXIN入力 01：TRBO 上記以外：設定しないでください	R/W
b3	P31SEL1			R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			—
b6	P33SEL0	ポートP3_3機能選択ビット	b7 b6 00：I/OポートまたはIVCMP3入力 01：TRCCLK 10：INT3 11：SCS	R/W
b7	P33SEL1			R/W

PML3レジスタは、P3\_1、P3\_3端子の機能選択を行います。

## 12.6.7 ポート3機能マッピングレジスタ1 (PMH3)

アドレス 000CDh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル P37SEL1 P37SEL0 — — P35SEL1 P35SEL0 P34SEL1 P34SEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	P34SEL0	ポートP3_4機能選択ビット	b1 b0 00 : I/OポートまたはIVREF3入力 01 : TRCIOC 10 : INT2 11 : SSI	R/W
b1	P34SEL1			R/W
b2	P35SEL0	ポートP3_5機能選択ビット	b3 b2 00 : I/Oポート 01 : TRCIOD 10 : KI2 11 : VCOOUT3	R/W
b3	P35SEL1			R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			—
b6	P37SEL0	ポートP3_7機能選択ビット	b7 b6 00 : I/Oポート 01 : ADTRG 10 : TRJO 11 : TRCIOD	R/W
b7	P37SEL1			R/W

PMH3レジスタは、P3\_4、P3\_5、P3\_7端子の機能選択を行います。

## 12.6.8 ポート3の端子設定

表12.23～表12.27にポート3の端子設定を示します。

表12.23 ポートP3\_1/XIN/TRBO

レジスタ	PD3	PML3		EXCKCR		機能
ビット	PD3_1	P31SEL		CKPT		
		1	0	1	0	
設定値	0	0	0	X	0	入力ポート
	1	0	0	X	0	出力ポート
	X	0	0	0	1	XINクロック入力(外部クロック入力)
	X	0	0	1	1	XIN入力
	X	0	1	X	X	TRBO出力

X: 0または1

表12.24 ポートP3\_3/IVCMP3/TRCCLK/INT3/SCS

レジスタ	PD3	PML3		機能
ビット	PD3_3	P33SEL		
		1	0	
設定値	0	0	0	入力ポート/IVCMP3
	1	0	0	出力ポート
	X	0	1	TRCCLK入力
	X	1	0	INT3入力
	X	1	1	SCS入出力

X: 0または1

表12.25 ポートP3\_4/IVREF3/TRCIOCI/INT2/SSI

レジスタ	PD3	PMH3		タイマRC設定	機能
ビット	PD3_4	P34SEL			
		1	0		
設定値	0	0	0	X	入力ポート/IVREF3
	1	0	0	X	出力ポート
	X	0	1	「表12.35 TRCIOCI端子設定」参照	TRCIOCI入力
	X	0	1	「表12.35 TRCIOCI端子設定」参照	TRCIOCI出力
	X	1	0	X	INT2入力
	X	1	1	X	SSI入出力

X: 0または1

表12.26 ポートP3\_5/TRCIOD/KI2/VCOUT3

レジスタ	PD3	PMH3		タイマRC設定	機能
ビット	PD3_5	P35SEL			
		1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD入力
	X	0	1	「表12.36 TRCIOD端子設定」参照	TRCIOD出力
	X	1	0	X	KI2入力
	X	1	1	X	VCOUT3出力

X: 0または1

表12.27 ポートP3\_7/ADTRG/TRJO/TRCIOD

レジスタ	PD3	PMH3		タイマRC設定	機能
		P37SEL			
ビット	PD3_7	1	0		
設定値	0	0	0	X	入力ポート
	1	0	0	X	出力ポート
	X	0	1	X	ADTRG入力
	X	1	0	X	TRJO出力
	X	1	1	「表12.36 TRCIOD端子設定」参照	TRCIOD入力
	X	1	1	「表12.36 TRCIOD端子設定」参照	TRCIOD出力

X: 0または1



## 12.7 ポート4

図12.5にポート4の端子構成を示します。

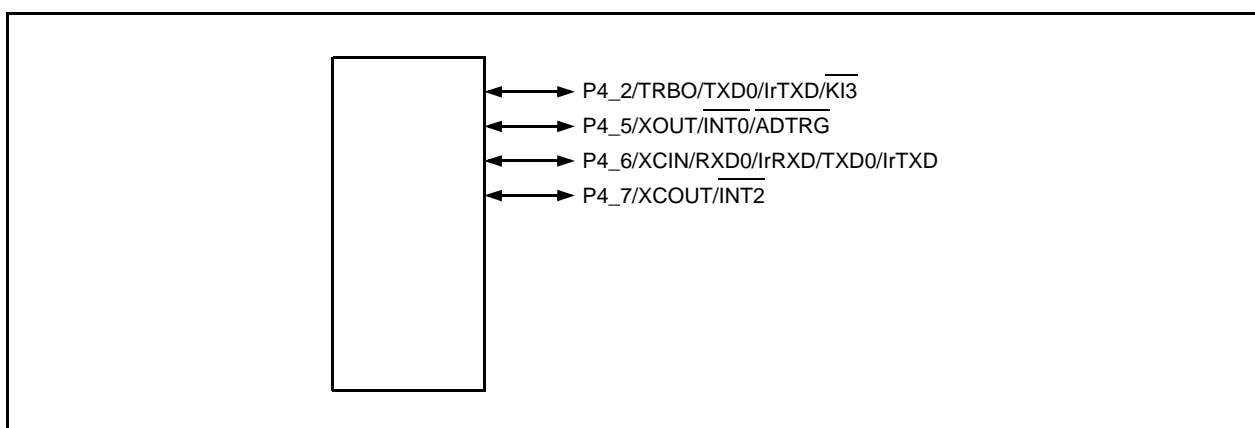


図12.5 ポート4の端子構成

## 12.7.1 ポートP4方向レジスタ (PD4)

アドレス	000ACh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PD4_7	PD4_6	PD4_5	—	—	PD4_2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	PD4_2	ポートP4_2方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	PD4_5	ポートP4_5方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b6	PD4_6	ポートP4_6方向ビット		R/W
b7	PD4_7	ポートP4_7方向ビット		R/W

PD4レジスタは、I/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PD4レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.7.2 ポートP4レジスタ (P4)

アドレス	000B2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P4_7	P4_6	P4_5	—	—	P4_2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	P4_2	ポートP4_2ビット	0：Lレベル 1：Hレベル	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	P4_5	ポートP4_5ビット	0：Lレベル 1：Hレベル	R/W
b6	P4_6	ポートP4_6ビット		R/W
b7	P4_7	ポートP4_7ビット		R/W

P4レジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、P4レジスタへの読み出しと書き込みによって行います。P4レジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は、端子から出力されます。P4レジスタの各ビットは、ポート1本ずつに対応しています。

## 12.7.3 プルアップ制御レジスタ4 (PUR4)

アドレス	000B8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU4_7	PU4_6	PU4_5	—	—	PU4_2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			—
b2	PU4_2	ポートP4_2プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			—
b5	PU4_5	ポートP4_5プルアップ制御ビット	0: プルアップなし 1: プルアップあり	R/W
b6	PU4_6	ポートP4_6プルアップ制御ビット		R/W
b7	PU4_7	ポートP4_7プルアップ制御ビット		R/W

PUR4レジスタは、ポートP4のプルアップ抵抗を制御します。I/Oポートは、対応するPD4レジスタのPD4<sub>j</sub>ビット(j=2, 5~7)を0(入力モード(入力ポートとして機能))、PUR4レジスタのPU4<sub>j</sub>ビット(j=2, 5~7)を1にすると、プルアップされます。周辺機能の入力端子は、対応するPD4<sub>j</sub>ビットを0、PU4<sub>j</sub>ビットを1にすると、プルアップされます。

周辺機能の出力端子は、対応するPU4<sub>j</sub>ビットを1にしないでください。

## 12.7.4 オープンドレイン制御レジスタ4 (POD4)

アドレス	000C4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POD4_7	POD4_6	POD4_5	—	—	POD4_2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			—
b2	POD4_2	ポートP4_2オープンドレイン制御ビット	0: オープンドレインなし 1: オープンドレインあり	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			—
b5	POD4_5	ポートP4_5オープンドレイン制御ビット	0: オープンドレインなし 1: オープンドレインあり	R/W
b6	POD4_6	ポートP4_6オープンドレイン制御ビット		R/W
b7	POD4_7	ポートP4_7オープンドレイン制御ビット		R/W

POD4レジスタは、CMOS出力とするか、Nチャネルオープンドレイン出力とするかを設定します。周辺機能出力または出力ポート機能を設定する場合は、有効になります。

POD4<sub>j</sub>ビット(j=2, 5~7)を1(オープンドレインあり)にすると、対応する端子はNチャネルオープンドレイン出力となり、0(オープンドレインなし)にするとCMOS出力となります。

## 12.7.5 ポート4機能マッピングレジスタ0 (PML4)

アドレス 000CEh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	P42SEL1	P42SEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	P42SEL0	ポートP4_2機能選択ビット	b5 b4 00 : I/Oポート 01 : TRBO 10 : TXD0/IrTXD 11 : KI3	R/W
b5	P42SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

PML4レジスタは、P4\_2端子の機能選択を行います。

## 12.7.6 ポート4機能マッピングレジスタ1 (PMH4)

アドレス 000CFh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P47SEL1	P47SEL0	P46SEL1	P46SEL0	P45SEL1	P45SEL0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	P45SEL0	ポートP4_5機能選択ビット	b3 b2 00 : I/OポートまたはXOUT出力 01 : INT0 10 : ADTRG 11 : 設定しないでください	R/W
b3	P45SEL1			R/W
b4	P46SEL0	ポートP4_6機能選択ビット	b5 b4 00 : I/OポートまたはXCIN入力 01 : RXD0/IrRXD 10 : TXD0/IrTXD 11 : 設定しないでください	R/W
b5	P46SEL1			R/W
b6	P47SEL0	ポートP4_7機能選択ビット	b7 b6 00 : I/OポートまたはXCOUT出力 01 : INT2 上記以外 : 設定しないでください	R/W
b7	P47SEL1			R/W

PMH4レジスタは、P4\_5 ~ P4\_7端子の機能選択を行います。

## 12.7.7 ポート4の端子設定

表12.28～表12.31にポート4の端子設定を示します。

表12.28 ポートP4\_2/TRBO/TXD0/IrTXD/KI3

レジスタ	PD4	PML4		機能
ビット	PD4_2	P42SEL		
		1	0	
設定値	0	0	0	入力ポート
	1	0	0	出力ポート
	X	0	1	TRBO出力
	X	1	0	TXD0/IrTXD出力
	X	1	1	INT3入力

X: 0または1

表12.29 ポートP4\_5/XOUT/INT0/ADTRG

レジスタ	PD4	PMH4		EXCKCR		機能
ビット	PD4_5	P45SEL		CKPT		
		1	0	1	0	
設定値	0	0	0	0	X	入力ポート
	1	0	0	0	X	出力ポート
	X	0	0	1	0	システムクロック (f)出力
	X	0	0	1	1	XOUT出力
	X	0	1	X	X	INT0入力
	X	1	0	X	X	ADTRG入力

X: 0または1

表12.30 ポートP4\_6/XCIN/RXD0/IrRXD/TXD0/IrTXD

レジスタ	PD4	PMH4		EXCKCR		機能
ビット	PD4_6	P46SEL		CKPT		
		1	0	3	2	
設定値	0	0	0	0	0	入力ポート
	1	0	0	0	0	出力ポート
	X	0	0	0	1	XCINクロック入力(外部クロック入力)
	X	0	0	1	0	XCIN入力
	X	0	1	X	X	RXD0/IrRXD入力
	X	1	0	X	X	TXD0/IrTXD出力

X: 0または1

表12.31 ポートP4\_7/XCOUT/INT2

レジスタ	PD4	PMH4		EXCKCR		機能
ビット	PD4_7	P47SEL		CKPT		
		1	0	3	2	
設定値	0	0	0	0	X	入力ポート
	1	0	0	0	X	出力ポート
	X	0	0	1	0	XCOUT出力
	X	0	1	X	X	INT2入力

X: 0または1

## 12.8 ポートA

図12.6にポートAの端子構成を示します。

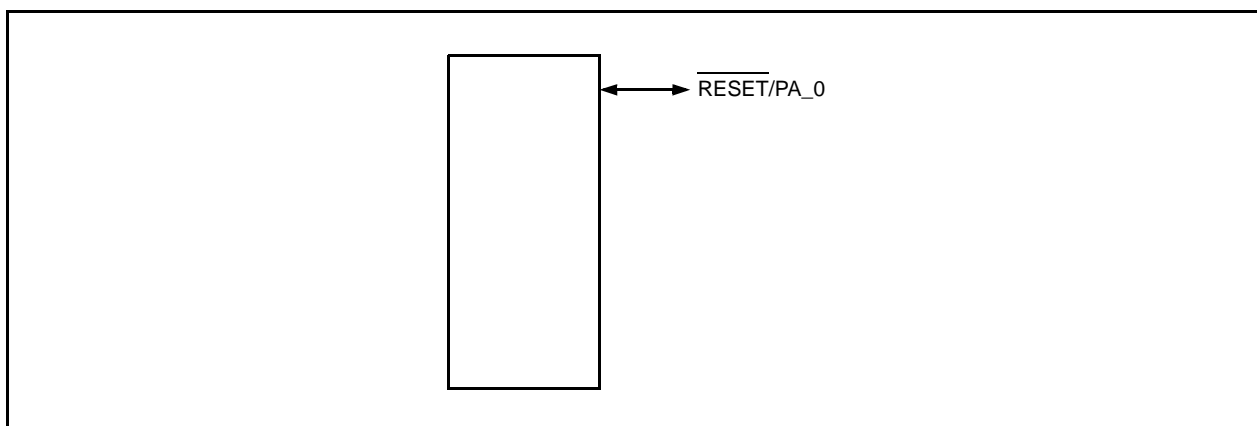


図12.6 ポートAの端子構成

## 12.8.1 ポートPA方向レジスタ(PDA)

アドレス	000ADh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	PDA_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDA_0	ポートPA_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

PDAレジスタは、PA\_0を入力に使用するか、出力に使用するか選択するためのレジスタです。

## 12.8.2 ポートPAレジスタ(PA)

アドレス	000B3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	PA_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PA_0	ポートPA_0ビット	0:Lレベル 1:Hレベル	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

PAレジスタは、入出力ポートのデータレジスタです。外部とのデータ入出力は、PAレジスタへの読み出しと書き込みによって行います。PAレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は、端子から出力されます。

## 12.8.3 ポートPAモード制御レジスタ(PAMCR)

アドレス	000C5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	HWRSTE	—	—	—	PODA_0
リセット後の値	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PODA_0	ポートPA_0オープンドレイン制御ビット (注1)	0: オープンドレインなし 1: オープンドレインあり	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	HWRSTE	ハードウェアリセット許可ビット	0: ポートPA_0はI/Oポートとして動作 1: ポートPA_0はハードウェアリセット (RESET)として動作	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. 1 (オープンドレインあり)にするとNチャンネルオープンドレイン出力となり、0 (オープンドレインなし)にするとCMOS出力となります。

PAMCRレジスタは、ポートPAのオープンドレイン、ポートAの機能を制御します。オープンドレインは周辺機能または出力ポート機能を設定する場合、有効になります。

HRPRレジスタのPAMCREビットを1(書き込み許可)にした後、PAMCRレジスタを書き換えてください。

## 12.8.4 ポートAの端子設定

表12.32にポートAの端子設定を示します。

表12.32 RESET/ポートPA\_0

レジスタ	PDA	PAMCR	機能
ビット	PDA_0	HWRSTE	
設定値	X	1	RESET
	0	0	入力ポート(注1)
	1	0	出力ポート(注2)

X: 0または1

注1. プルアップ抵抗を接続してください。詳細は「12.13.1 RESET/PA\_0端子使用時の注意」を参照してください。

注2. PODA\_0ビットを1にすると、Nチャンネルオープンドレイン出力となります。



## 12.9 ポート0～4に関連する周辺機能の設定手順

リセット後、次の手順でポート0～4に関連する周辺機能を設定してください。

- (1) ポート0～4の機能マッピングレジスタを設定
- (2) 周辺機能の動作モードを設定
- (3) 周辺機能の動作開始

## 12.10 周辺機能入出力の端子設定

表12.33～表12.36に周辺機能入出力の端子設定を示します。

表12.33 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
設定値	0	1	0	0	1	X	X	タイマモード波形出力(アウトプットコンペア機能)
				1	X			
	1	0	X	X	X	0	1	PWM2モード(TRCTRG入力)

X: 0または1

表12.34 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能	
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0		
設定値	0	0	X	X	X	X	PWM2モード波形出力	
	0	1	1	X	X	X	PWMモード波形出力	
	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
					1	X		
	1	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)
1					X			

X: 0または1

表12.35 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能	
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0		
設定値	0	1	1	X	X	X	PWMモード波形出力	
	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
					1	X		
	1	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)
1					X			

X: 0または1

表12.36 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能	
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0		
設定値	0	1	1	X	X	X	PWMモード波形出力	
	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
					1	X		
	1	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)
1					X			

X: 0または1

## 12.11 未使用端子の処理

表12.37に未使用端子の処理例を、図12.7に未使用端子の処理例を示します。

表12.37 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P2_0～P2_2、 P3_1、P3_3～P3_5、P3_7、 P4_2、P4_5～P4_7	<ul style="list-style-type: none"> <li>入力モードに設定し、端子ごとに抵抗を通して、VSSに接続(プルダウン) または端子ごとに抵抗を通して、VCCに接続(プルアップ)(注2)</li> <li>出力モードに設定し、端子を開放(注2、3)</li> </ul>
RESET/PA_0(注1)	抵抗を通してVCCに接続(プルアップ)(注2)

注1. パワーオンリセット使用時。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。

注3. 出力モードに設定し開放する場合、プログラムによってポートを出力モードに切り換えるまで、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定すると、プログラムの信頼性が高くなります。

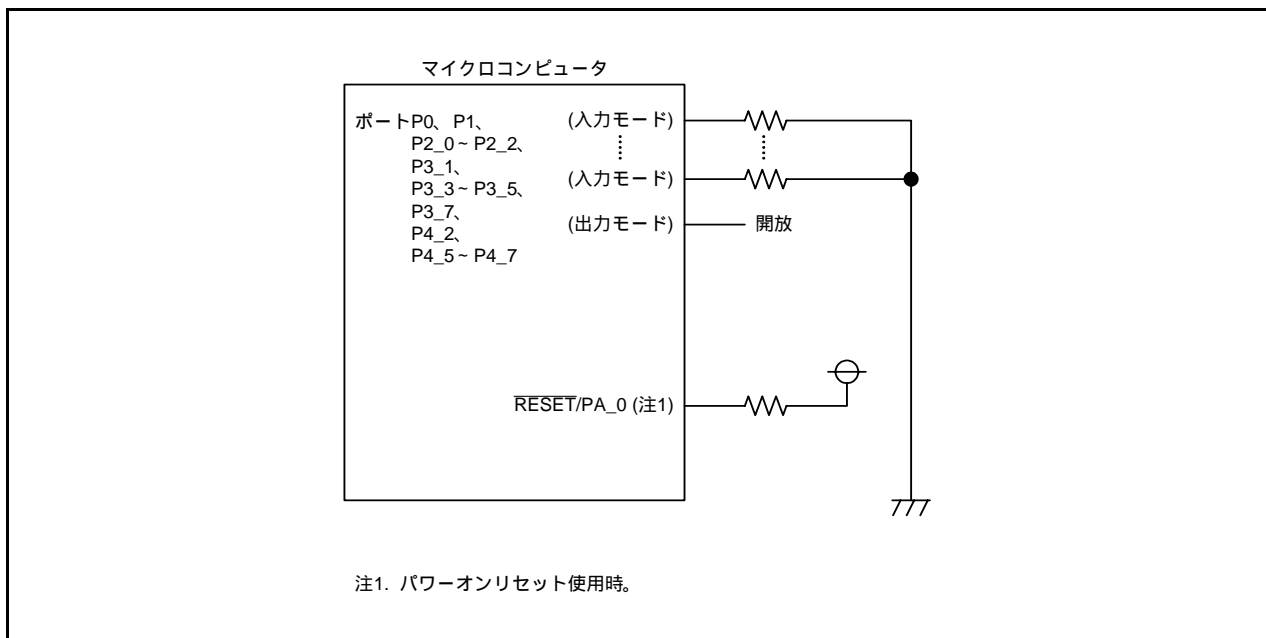


図12.7 未使用端子の処理例

## 12.12 I/Oポートの構成

図12.8 ~ 図12.22にI/Oポートの構成を、図12.23に端子の構成を示します。

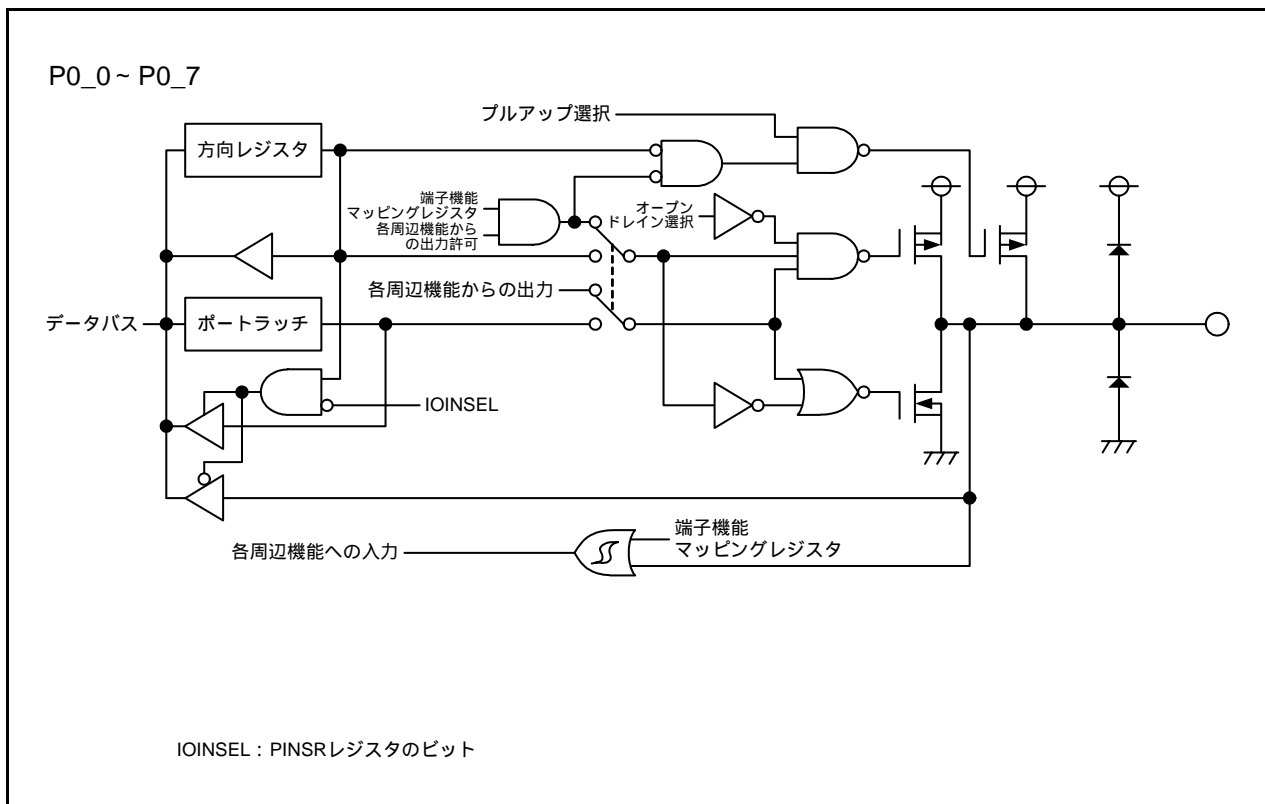


図12.8 I/Oポートの構成(1)

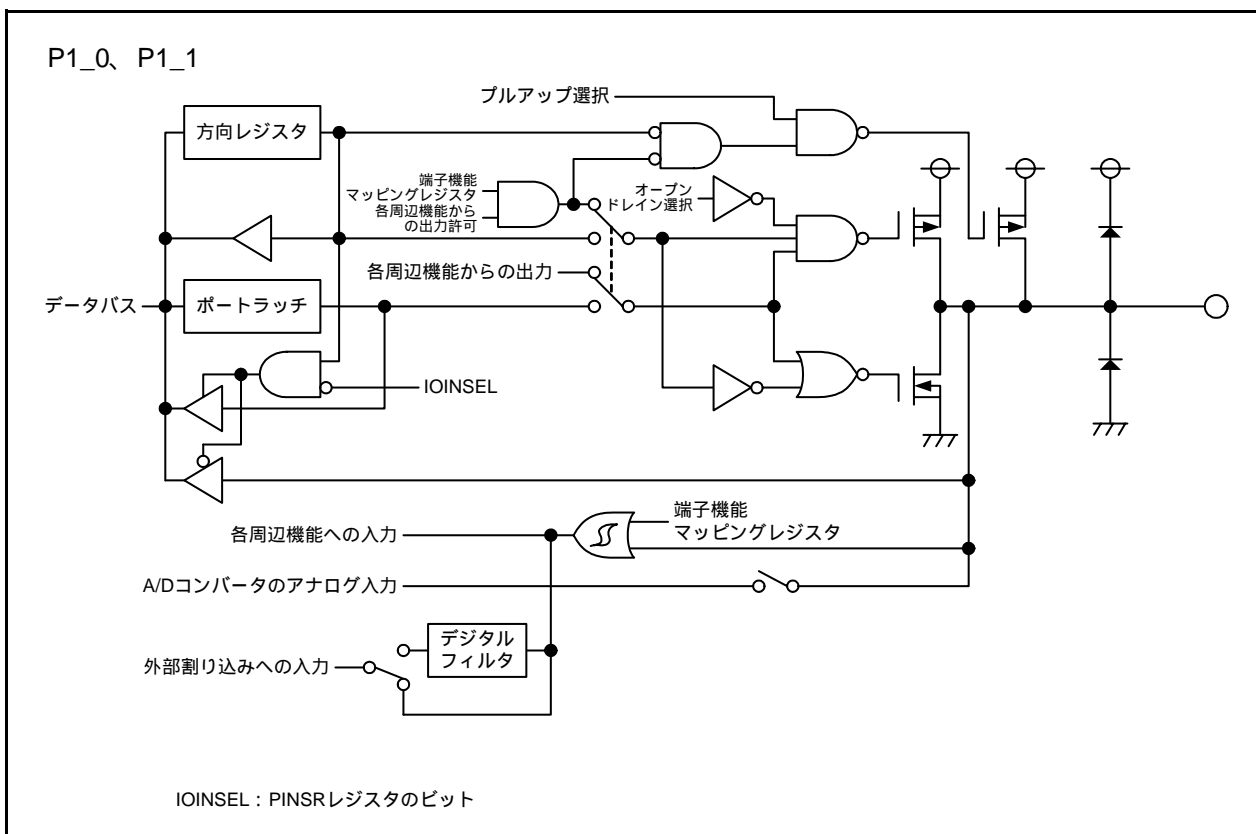


図 12.9 I/Oポートの構成(2)

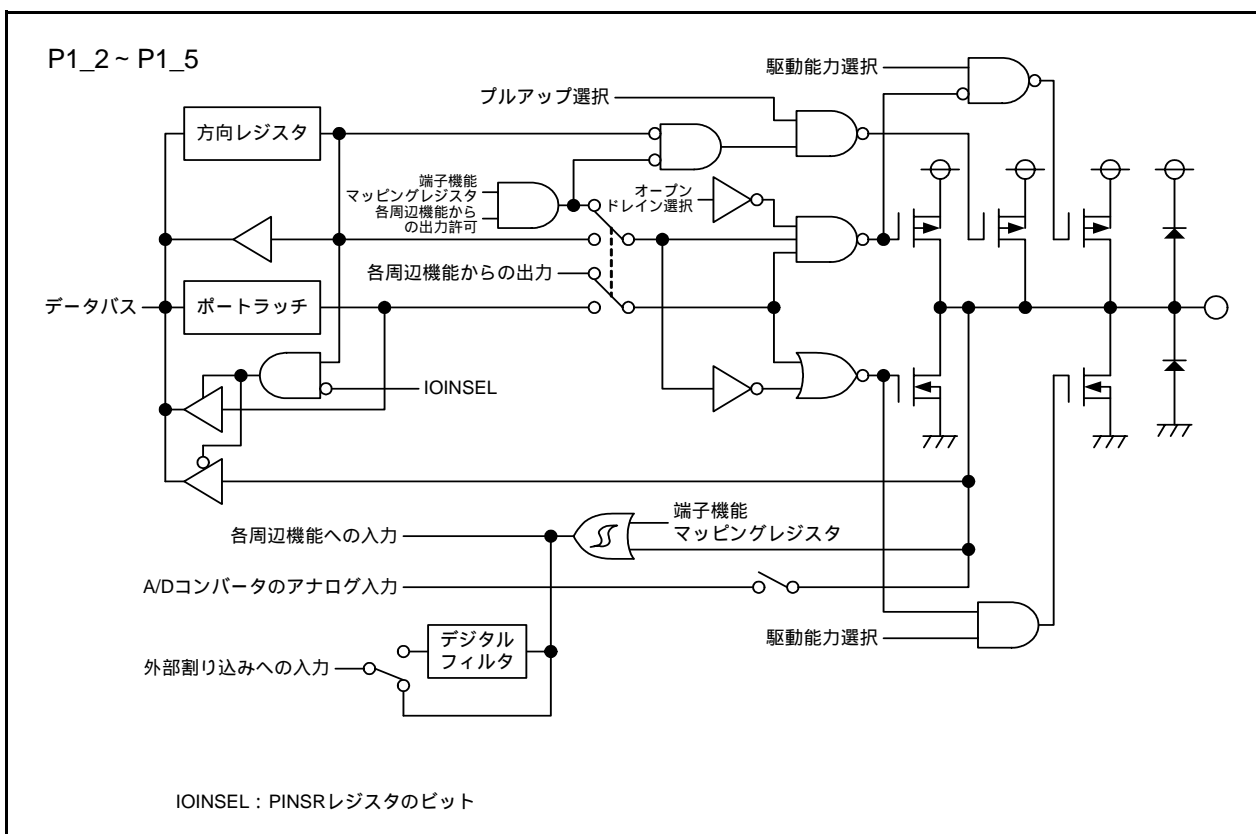


図 12.10 I/Oポートの構成(3)

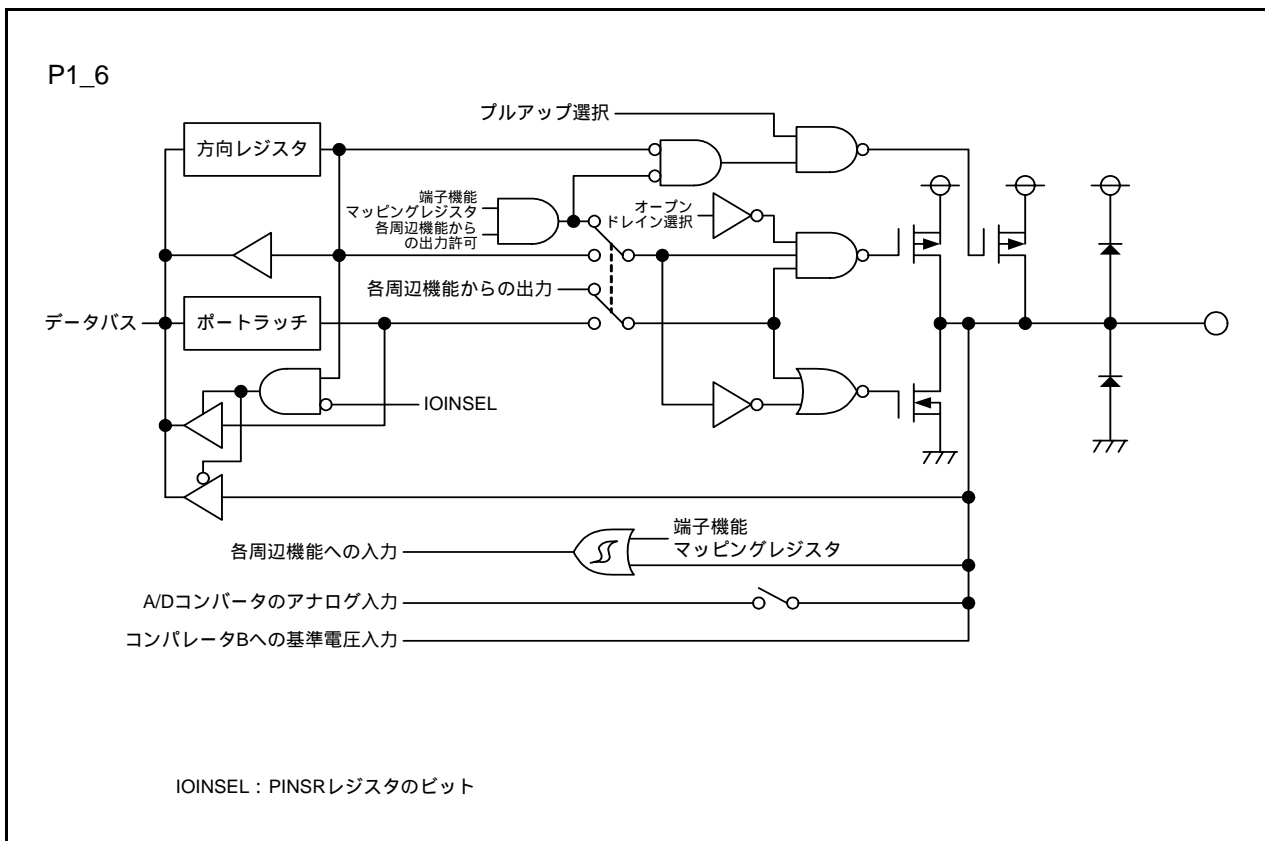


図12.11 I/Oポートの構成(4)

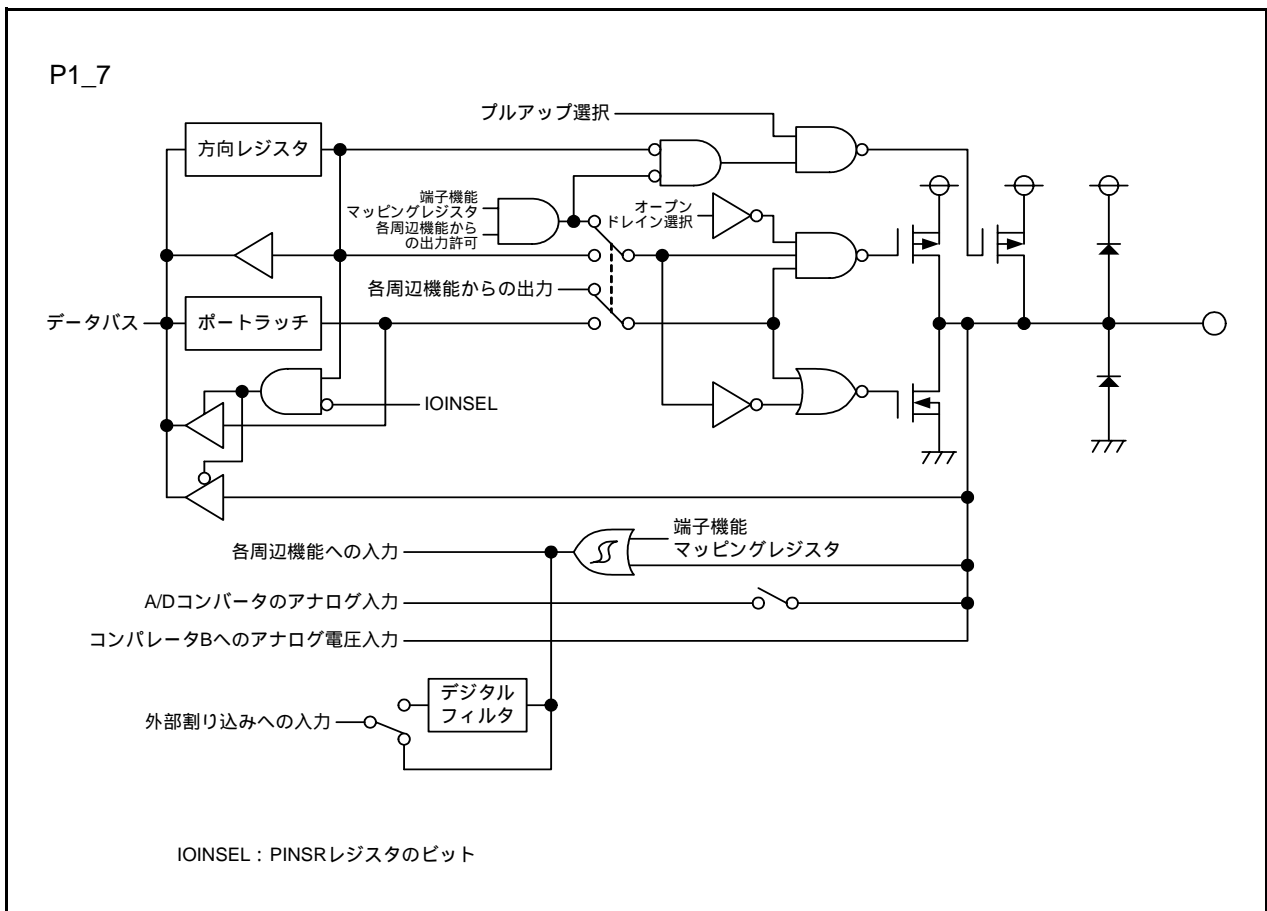


図12.12 I/Oポートの構成(5)

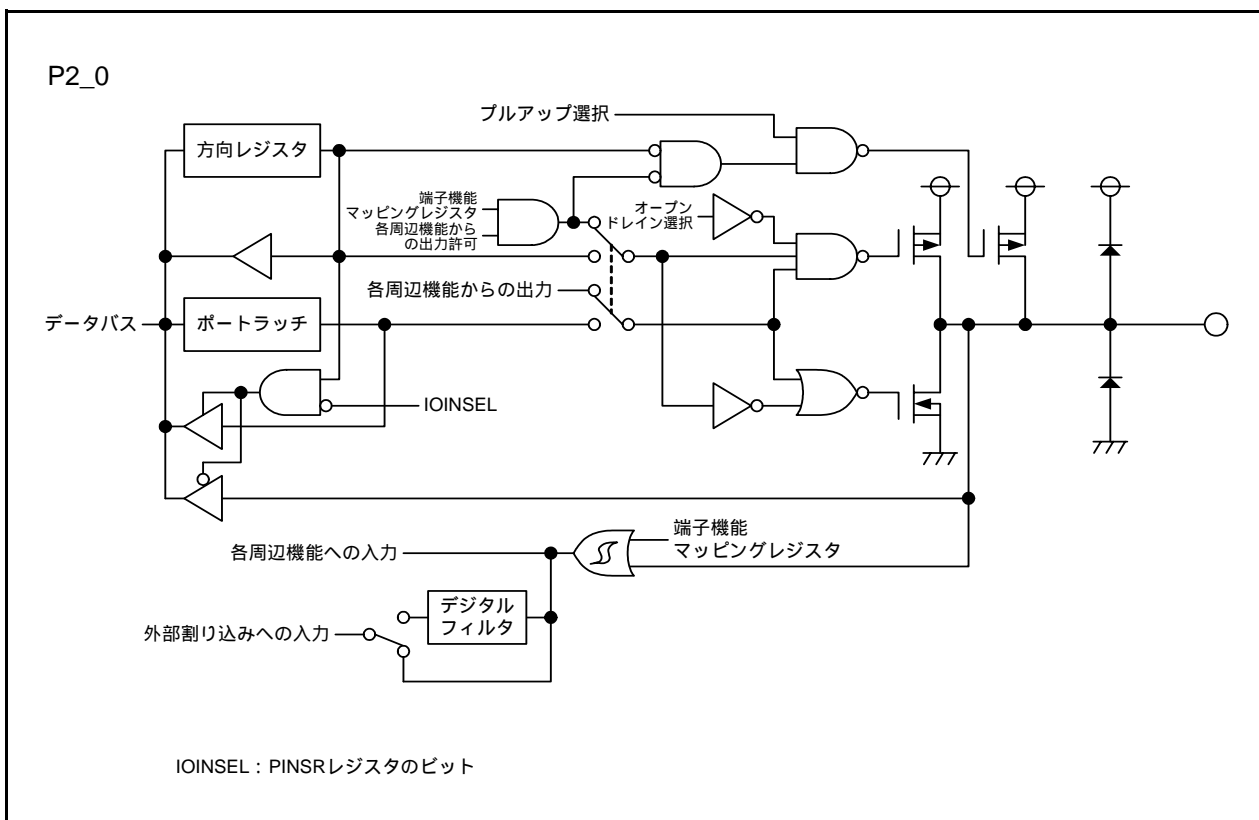


図 12.13 I/Oポートの構成(6)

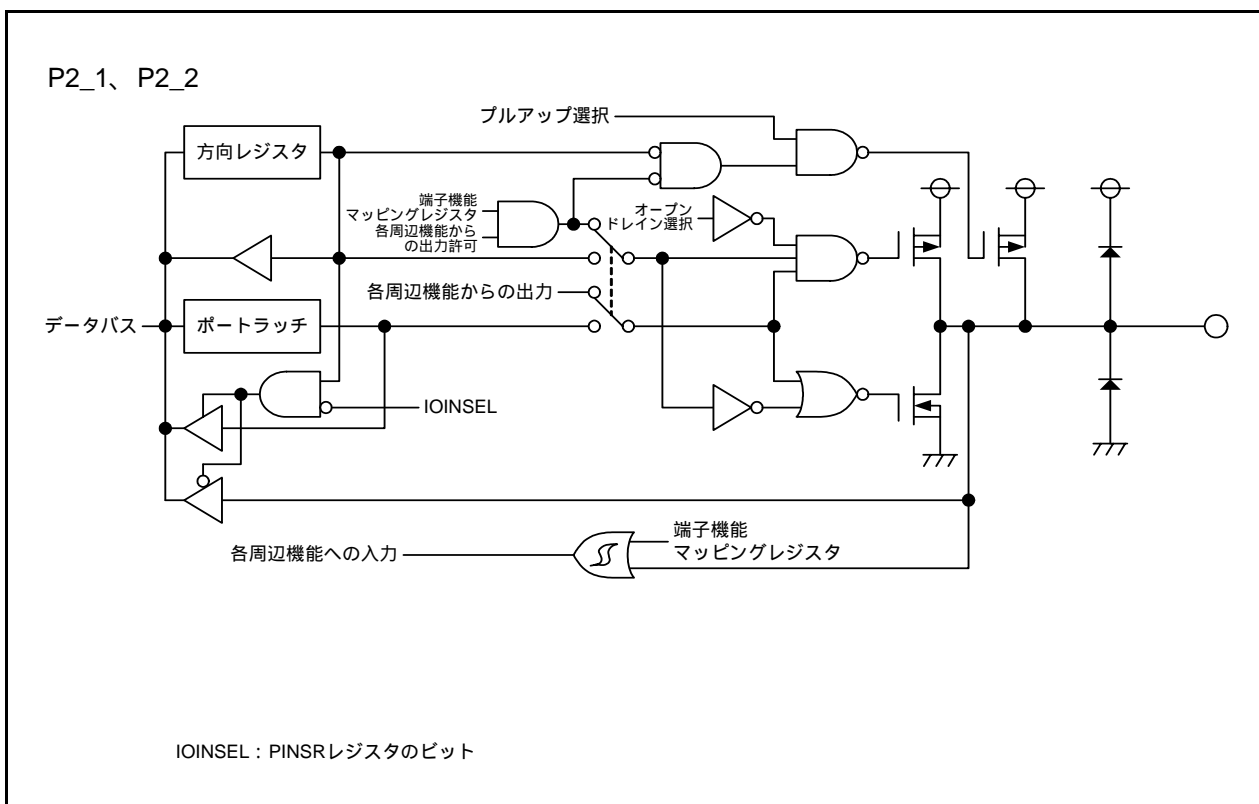


図 12.14 I/Oポートの構成(7)

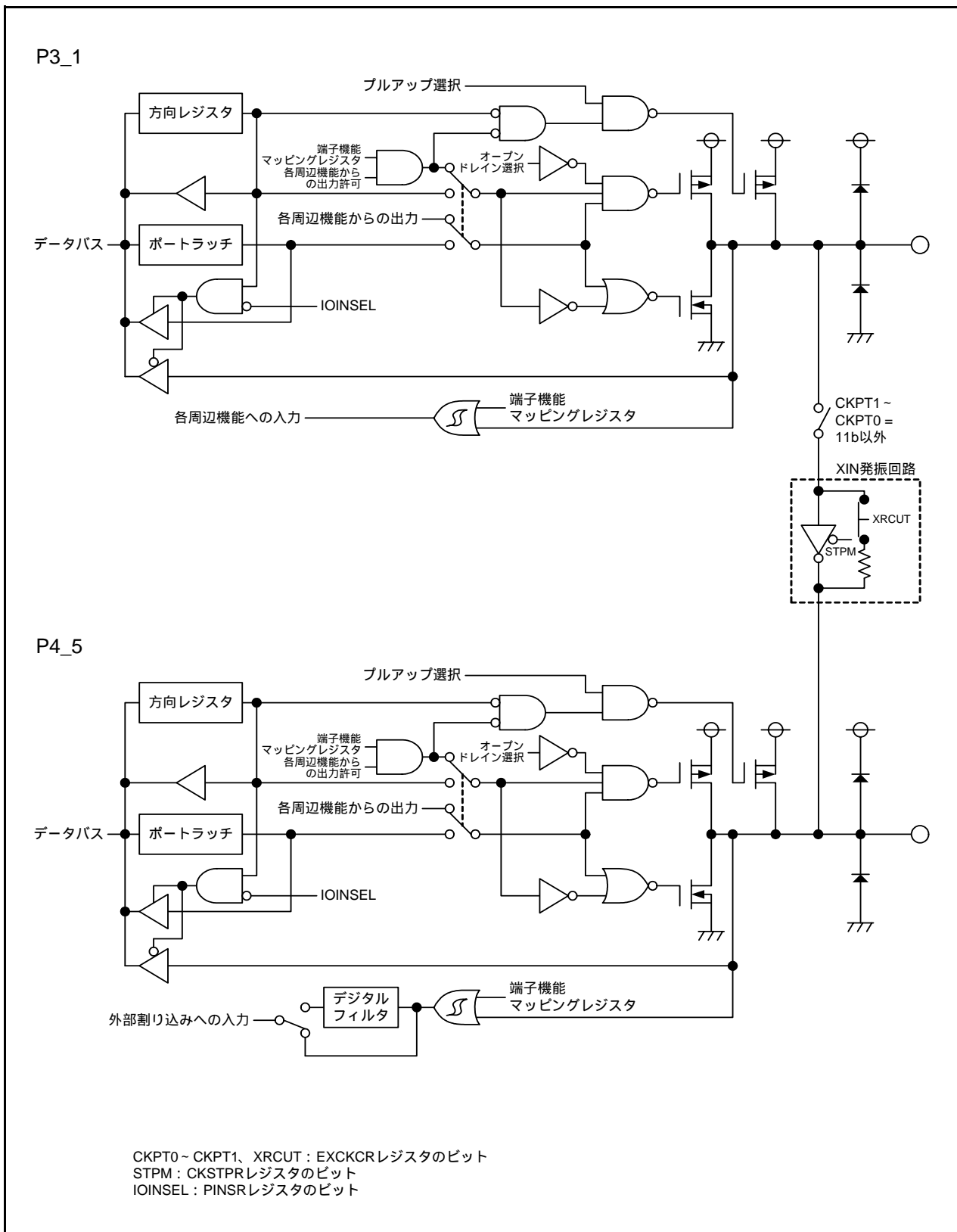


図12.15 I/Oポートの構成(8)



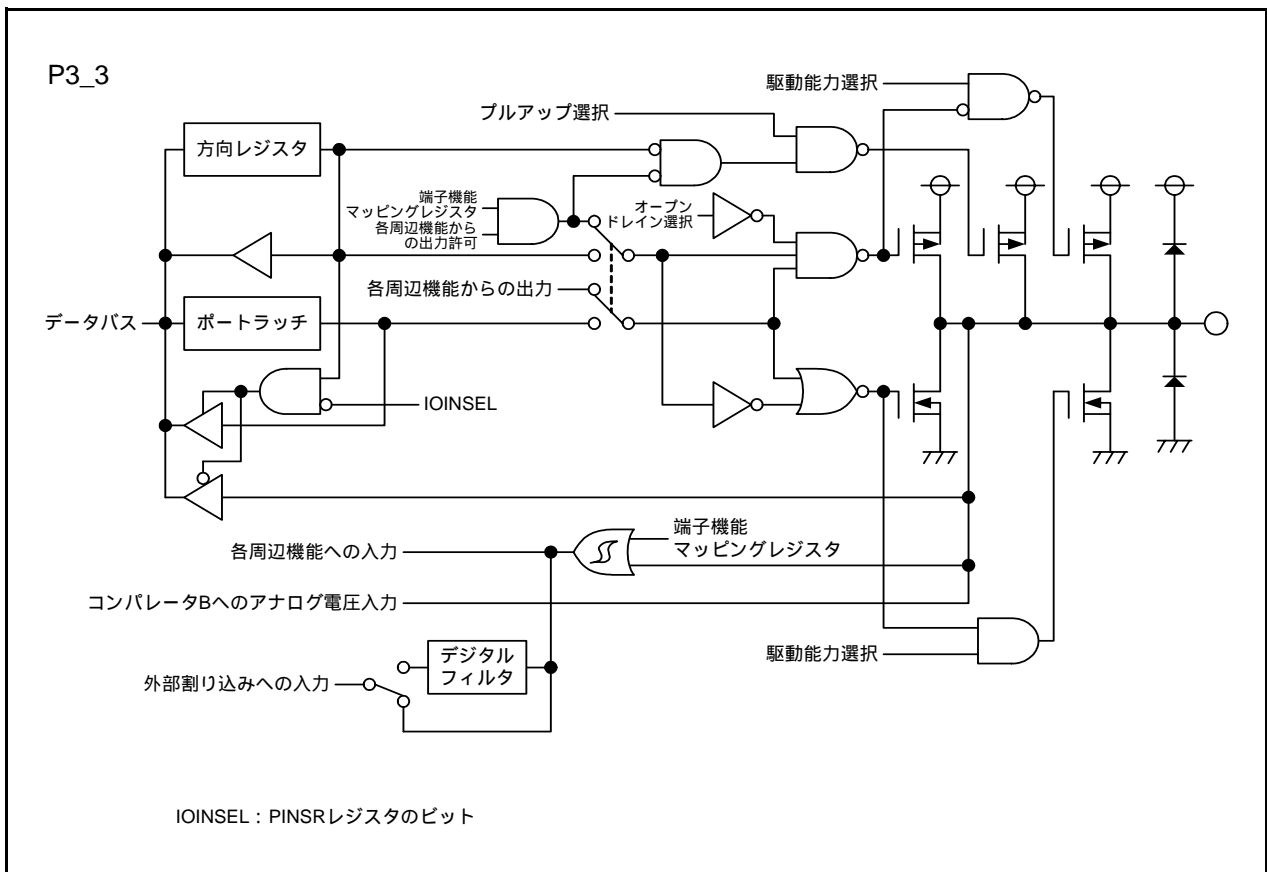


図12.16 I/Oポートの構成(9)

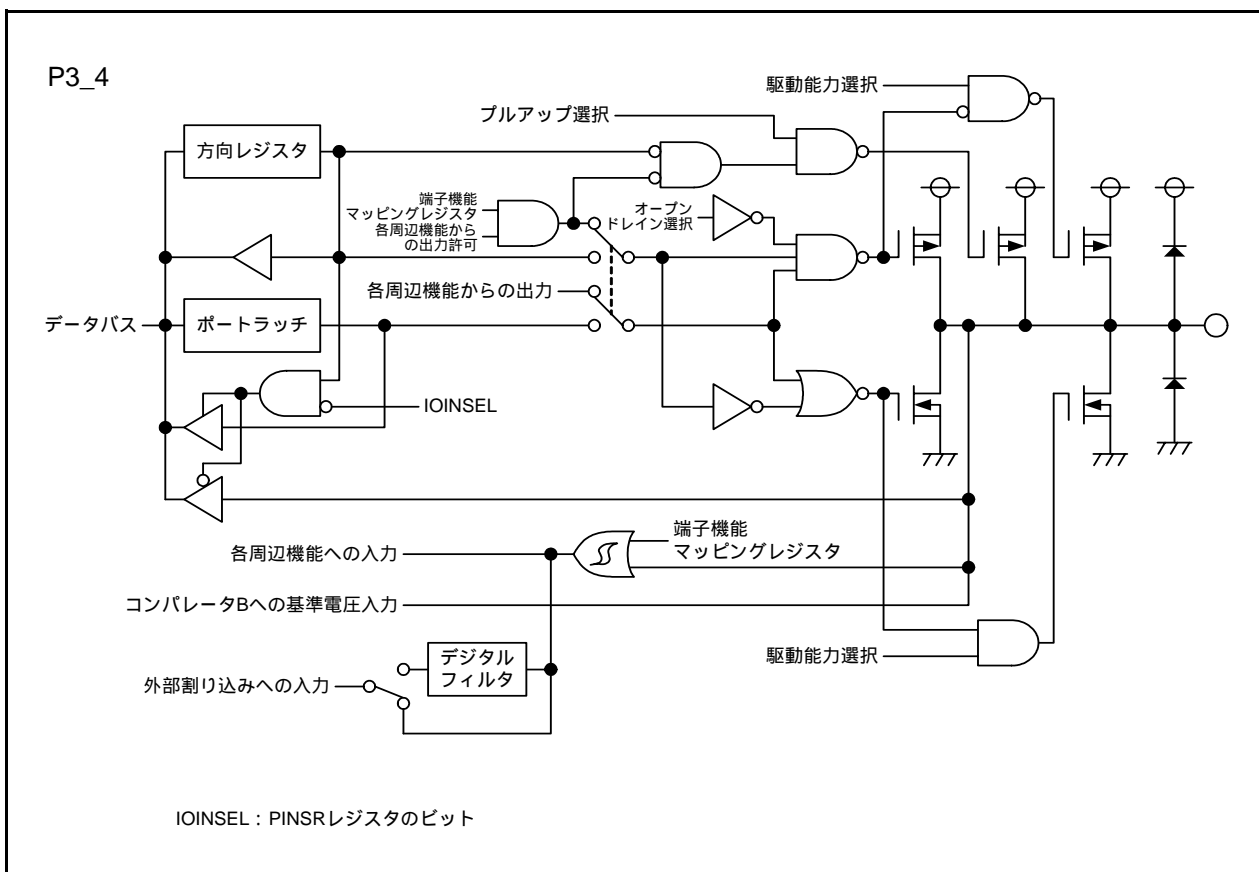


図12.17 I/Oポートの構成(10)

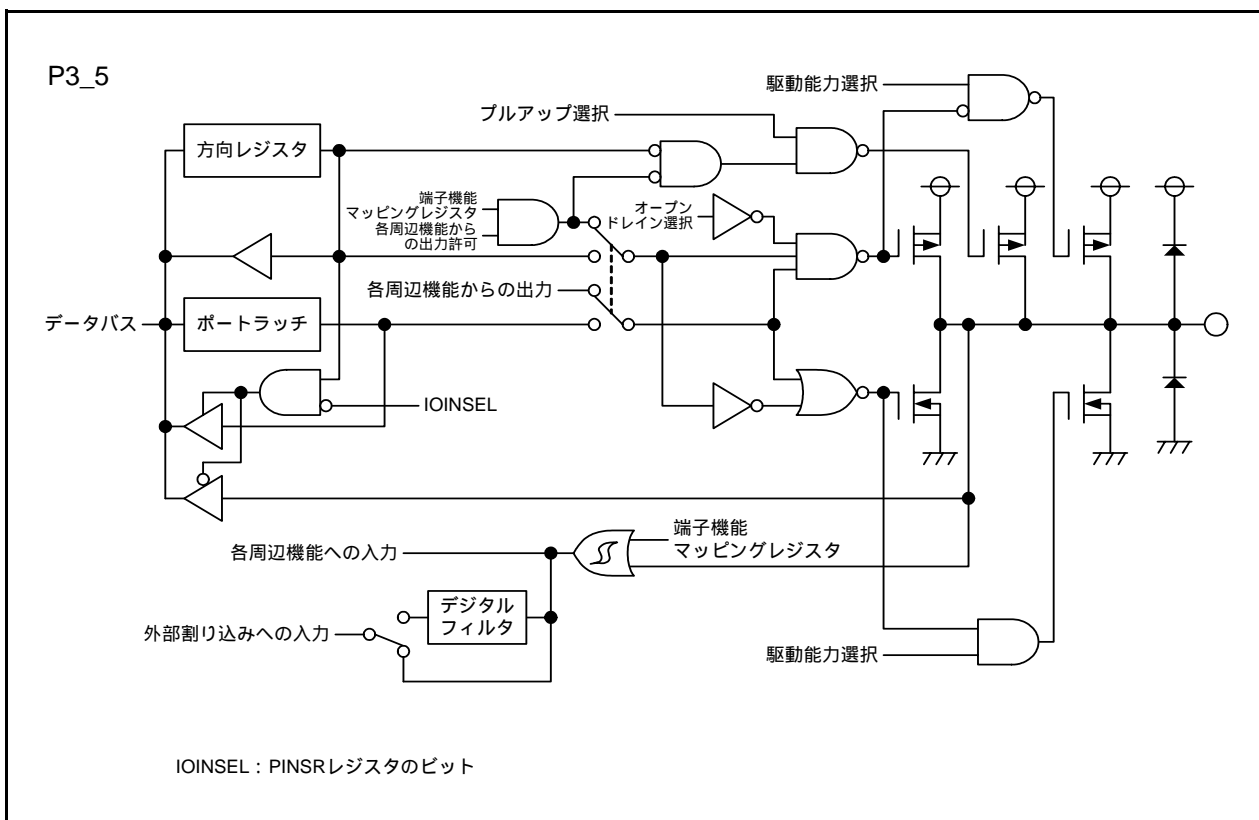


図 12.18 I/Oポートの構成 (11)

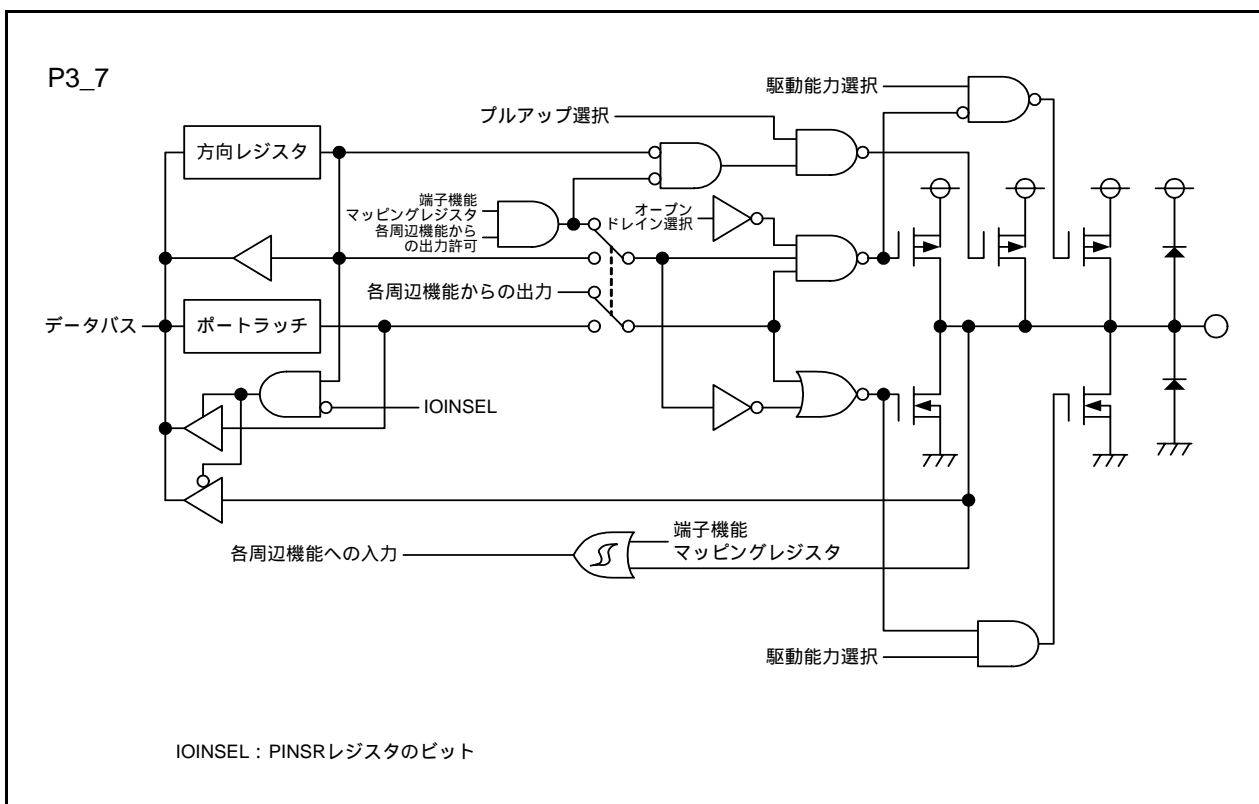


図 12.19 I/Oポートの構成 (12)

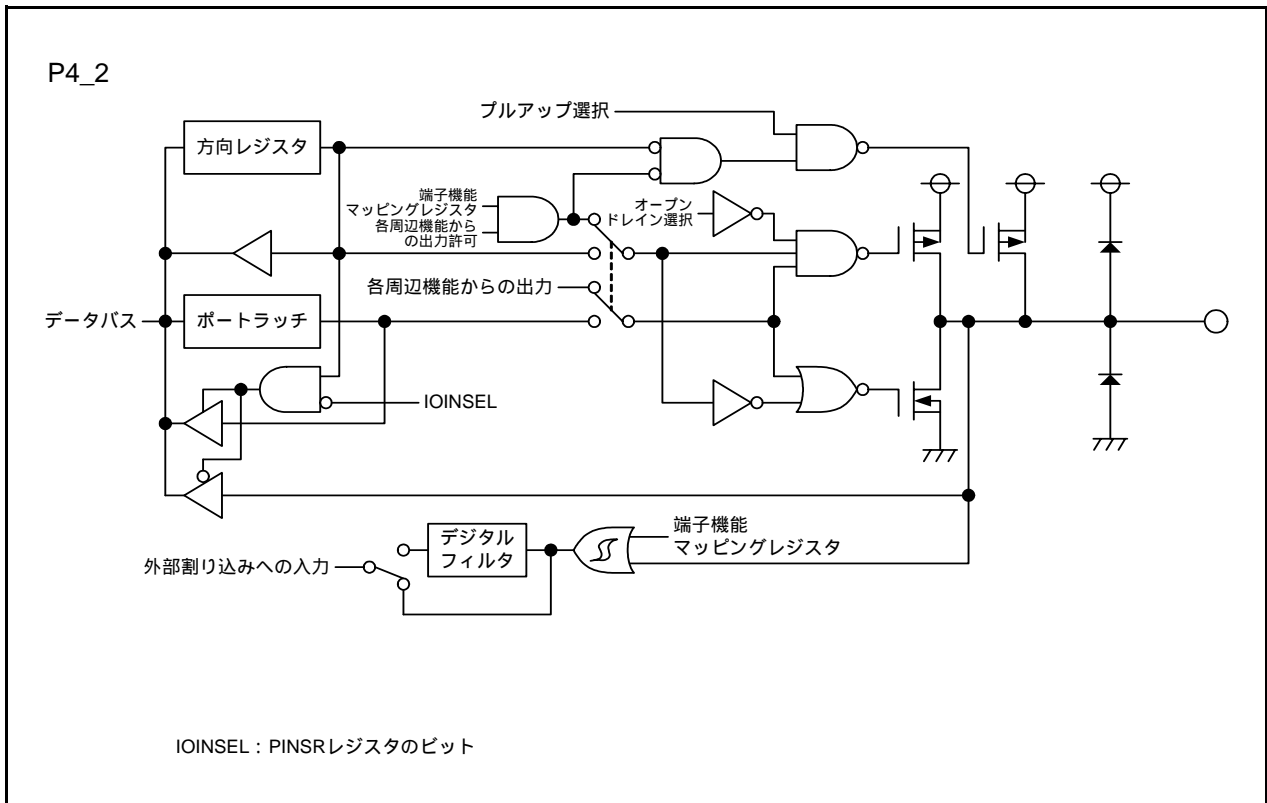


図 12.20 I/Oポートの構成 (13)

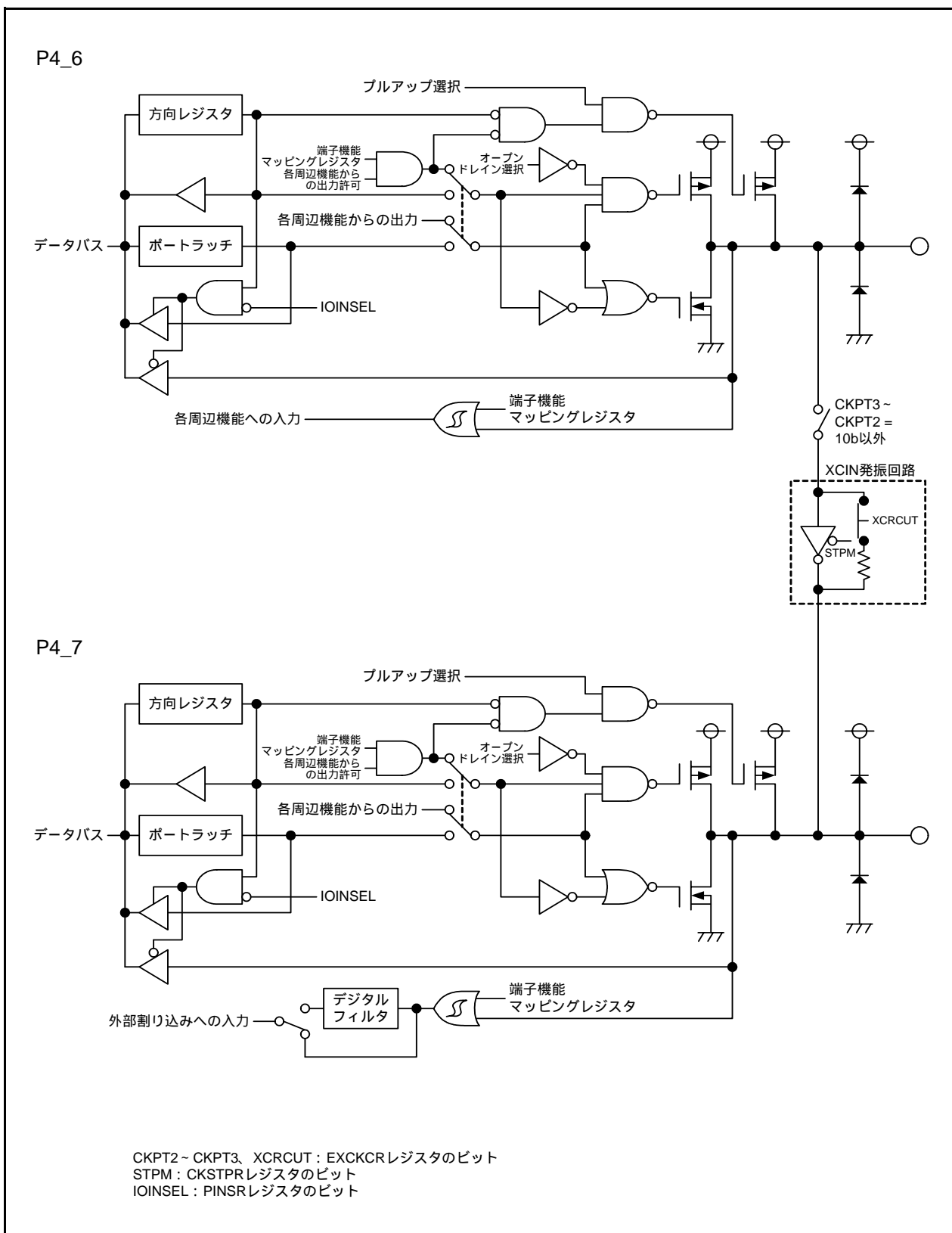


図 12.21 I/Oポートの構成(14)

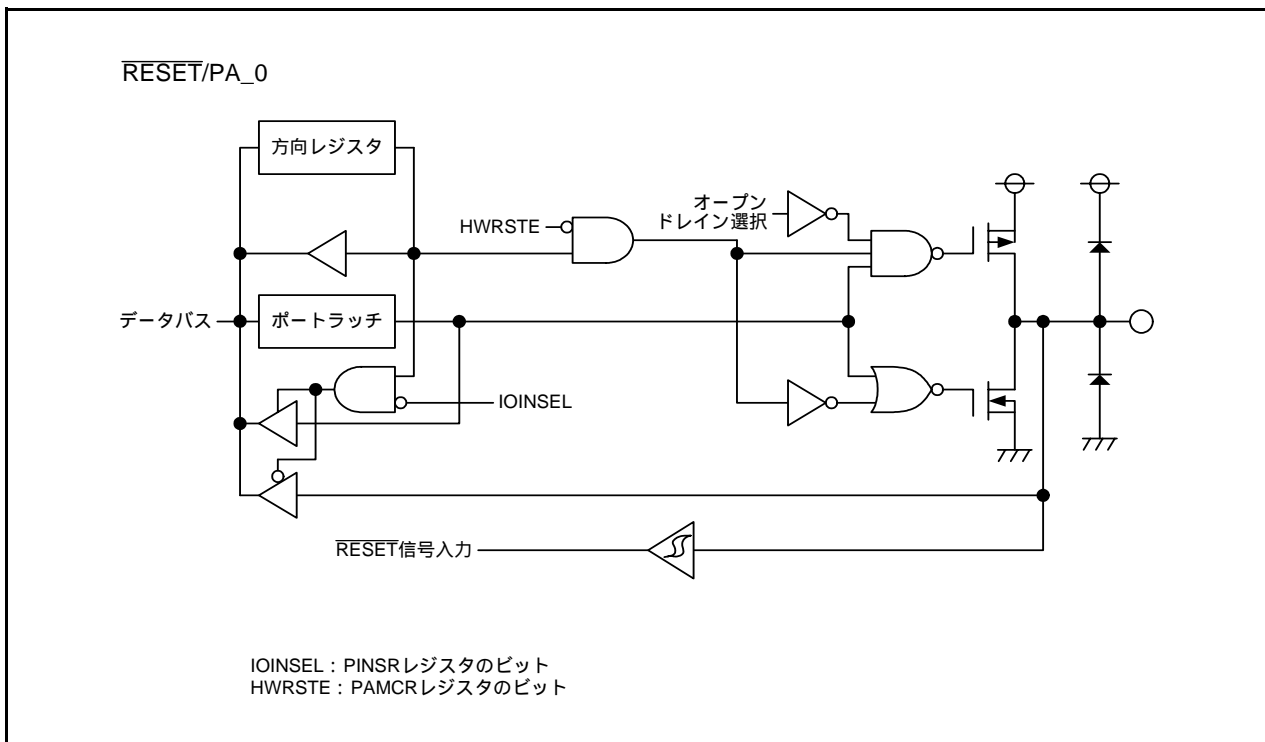


図 12.22 I/Oポートの構成(15)

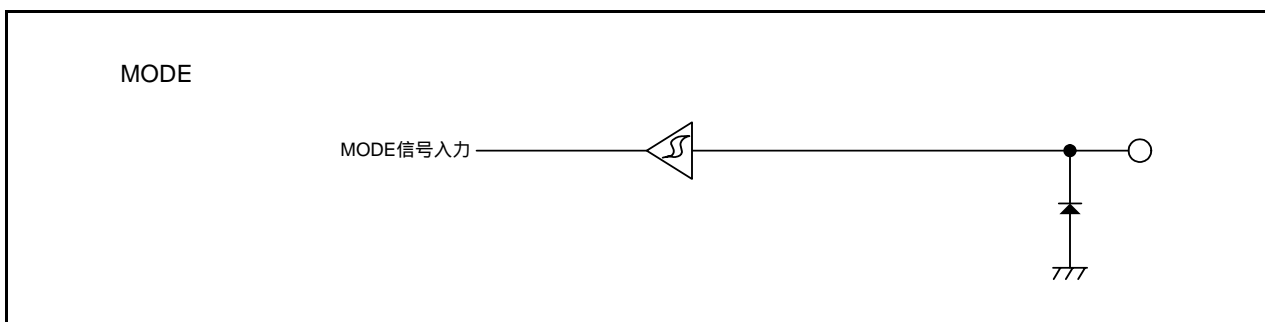


図 12.23 端子の構成

## 12.13 I/Oポート使用上の注意事項

### 12.13.1 RESET/PA\_0端子使用時の注意

RESET/PA\_0端子はハードウェアリセット機能(RESET)と兼用しており、リセット解除時はRESET端子として機能します。リセット解除後、PAMCRレジスタのHWRSTEビットを0にすると、RESET/PA\_0端子はI/Oポート(PA\_0)として機能します。この場合は、外部にプルアップ抵抗を接続してください。

出力ポートとしてはCMOS出力も可能ですが、外部からのリセット入力と信号衝突しないよう注意してください。

必要に応じて、以下のプログラム例を参照し、Nチャンネルオープンドレイン出力として使用してください。

• PA\_0をNチャンネルオープンドレイン出力ポートにするプログラム例

```

FCLR      I
BCLR      0, HRPR
BSET      0, HRPR      ; PAMCRレジスタへの書き込み許可
FSET      I
BSET      0, PAMCR     ; ポートPA_0機能選択、Nチャンネルオープンドレイン出力選択
BSET      0, PDA       ; 出力モード設定

```

### 12.13.2 周辺機能の入出力端子について

本品はポート機能マッピングレジスタにより、周辺機能の端子割付の変更が可能ですが、同一周辺機能の入力を、同時に複数の端子に割り付けないでください。正常に信号入力ができなくなります。

## 13. タイマRJ2

タイマRJ2は、パルス出力、外部入力のパルス幅/周期測定、内部カウントソースまたは外部パルスをカウントできる16ビットタイマです。

リロードレジスタとダウンカウンタから構成され、リロードレジスタとダウンカウンタは、同じ番地に配置されます。

### 13.1 概要

表13.1にタイマRJ2の仕様を、図13.1にタイマRJ2のブロック図を示します。

表13.1 タイマRJ2の仕様

項目		内容
動作モード	タイマモード	内部カウントソースをカウントする
	パルス出力モード	内部カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部パルスをカウントする
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース	f1、f2、f8、fHOCO、fXCIN、fXCIN32および外部パルスから選択可能	
割り込み	<ul style="list-style-type: none"> <li>• カウンタがアンダフローしたとき</li> <li>• パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき</li> <li>• パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき</li> </ul>	



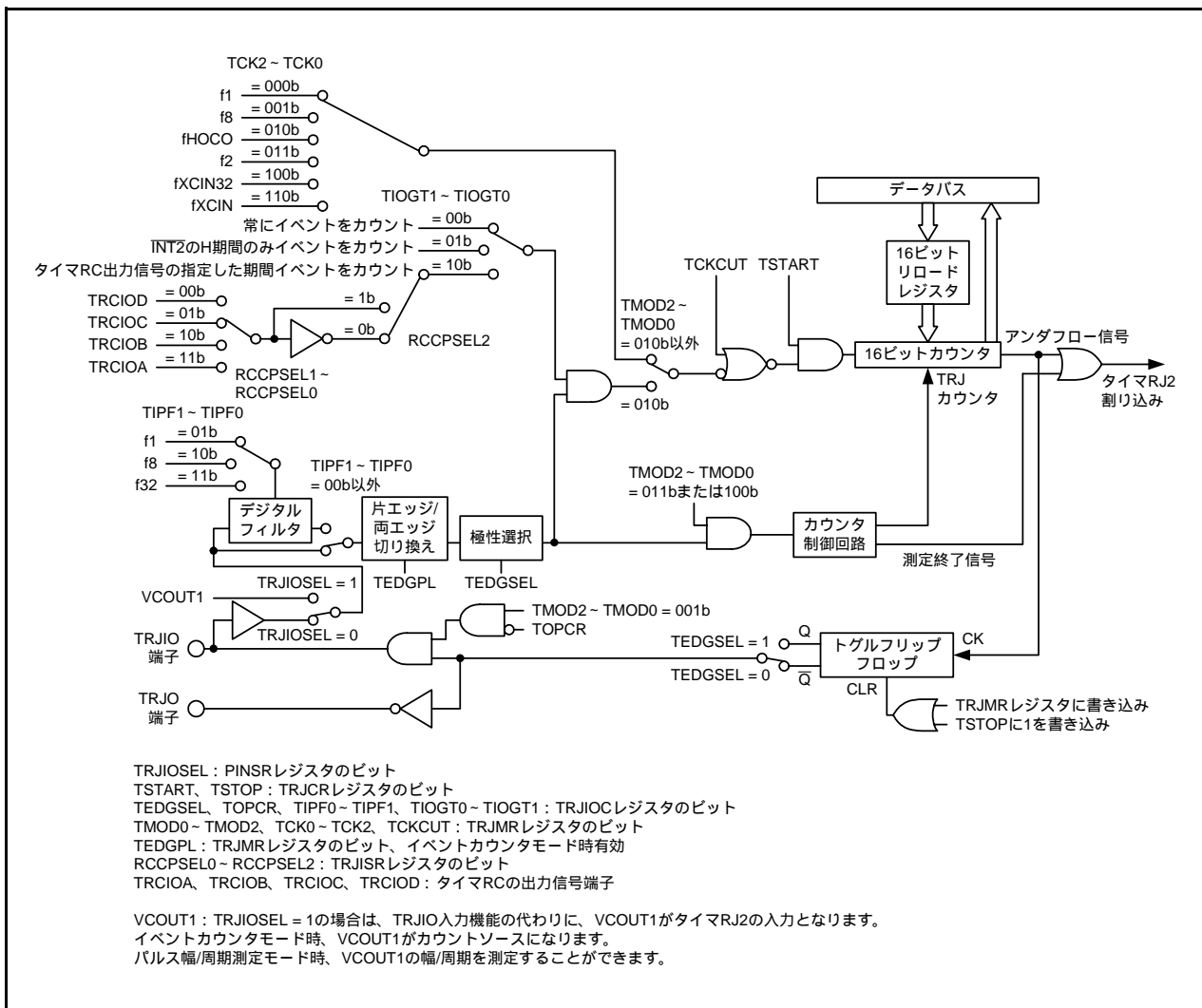


図 13.1 タイマRJ2のブロック図

### 13.2 入出力端子

表 13.2 にタイマRJ2の端子構成を示します。

表 13.2 タイマRJ2の端子構成

端子名	割り当てる端子	入出力	機能
INT2	P3_4、P4_7	入力	イベントカウンタモードカウント制御
TRJIO (注1)	P1_5、P1_7	入出力	タイマRJ2の外部パルス入力、パルス出力
TRJO (注1)	P1_6、P3_7	出力	タイマRJ2のパルス出力

注1. TRJIOとTRJOが同時にパルス出力する場合、TRJIOはTRJOの反転出力となります。

### 13.3 レジスタの説明

表13.3にタイマRJ2のレジスタ構成を示します。

表13.3 タイマRJ2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJカウンタレジスタ	TRJ	FFh	000D8h	16
		FFh	000D9h	
タイマRJ制御レジスタ	TRJCR	00h	000DAh	8
タイマRJ I/O制御レジスタ	TRJIOC	00h	000DBh	8
タイマRJモードレジスタ	TRJMR	00h	000DCh	8
タイマRJイベント選択レジスタ	TRJISR	00h	000DDh	8
タイマRJ割り込み制御レジスタ	TRJIR	00h	000DEh	8

#### 13.3.1 タイマRJカウンタレジスタ (TRJ)、タイマRJリロードレジスタ

アドレス 000D8h ~ 000D9h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	設定範囲	R/W
b15 ~ b0	—	16ビットのカウンタおよびリロードレジスタです。(注1、2、3)	0000h ~ FFFFh	R/W

注1. TRJCRレジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFhになります。

注2. TRJレジスタは、16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。16ビット単位でアクセスすると、8ビット単位で2回アクセスされます。

注3. パルス幅測定モードおよびパルス周期測定モードでは、TRJレジスタに0000hを設定しないでください。

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCRレジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は「13.4.1 リロードレジスタとカウンタの書き換え動作」を参照してください。

## 13.3.2 タイマRJ制御レジスタ (TRJCR)

アドレス	000DAh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJカウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRJカウントステータスフラグ (注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRJカウント強制停止ビット (注2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TEDGF	有効エッジ判定フラグ	0: 有効エッジなし 1: 有効エッジあり	R/W
b5	TUNDF	タイマRJアンダフローフラグ	0: アンダフローなし 1: アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

注1. TSTART、TCSTFビットの使用上の注意は「13.5 タイマRJ2使用上の注意事項(2)」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、同時にカウンタ、TRJレジスタ、TSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

パルス幅測定モード、パルス周期測定モードでは、TRJCRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに1を書いてください。

## TSTARTビット(タイマRJカウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込んだ後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は「13.5 タイマRJ2使用上の注意事項(2)」を参照してください。

## TCSTFビット(タイマRJカウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

## TEDGFビット(有効エッジ判定フラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき
- パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき

## TUNDFビット(タイマRJアンダフローフラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- カウンタがアンダフローしたとき

## 13.3.3 タイマRJ I/O制御レジスタ (TRJIOC)

アドレス	000DBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	入出力極性切り換えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRJIO出力制御ビット	0 : TRJIO出力許可 (トグル出力開始) 1 : TRJIO出力禁止 (トグル出力停止)	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			R/W
b4	TIPF0	TRJIO入力フィルタ選択ビット	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJIOカウント制御ビット	b7 b6 00 : 常にイベントをカウント 01 : INT2のH期間のみイベントをカウント 10 : TRJISRレジスタのRCCPSELビットで指定した タイマRC出力信号の期間イベントをカウント 11 : 設定しないでください	R/W
b7	TIOGT1			R/W

## TEDGSELビット (入出力極性切り換えビット)

TEDGSELビットは、TRJO出力極性とTRJIO入出力のエッジおよび極性切り換えを設定します。パルス出力モードでは、トグルフリップフロップの反転/正転出力のみ制御します。トグルフリップフロップは、TRJMRレジスタに書いたとき、またはTRJCRレジスタのTSTOPビットに1を書いたときに初期化されます。

表13.4 TRJIO入出力のエッジおよび極性切り換え

動作モード	機能
パルス出力モード	0 : Hから出力開始 1 : Lから出力開始
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Lレベル幅を測定 1 : Hレベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

表13.5 TRJO出力極性切り換え

動作モード	機能
全モード	0 : Lから出力開始 1 : Hから出力開始

### TOPCR ビット (TRJIO 出力制御ビット)

TOPCR ビットはパルス出力モードのみ有効です。0にすると TRJIO 端子からパルス出力できます。1にすると出力禁止となり、TRJIO 機能として選択したポートは、ハイインピーダンス状態となります。

その他の動作モードでは、TOPCR ビットの設定にかかわらず、表 13.6 に示す機能を持ちます。

表 13.6 TRJIO 端子機能

動作モード	機能
タイマモード	使用しない
イベントカウンタモード	イベント入力(カウントソース入力)
パルス幅測定モード	パルス幅測定の入力
パルス周期測定モード	パルス周期測定の入力

### TIPF0 ~ TIPF1 ビット (TRJIO 入力フィルタ選択ビット)

TRJIO 入力のフィルタのサンプリング周波数を指定します。TRJIO 端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。

### TIOGT0 ~ TIOGT1 ビット (TRJIO カウント制御ビット)

イベントカウンタモードのみ有効です。

TRJIO 端子から入力されるイベントをカウントする期間を選択できます。

TIOGT1 ~ TIOGT0 ビットを 00b にすると、常にイベントをカウントします。

TIOGT1 ~ TIOGT0 ビットを 01b にすると、 $\overline{\text{INT2}}$  端子が H のとき、イベントをカウントします。

TIOGT1 ~ TIOGT0 ビットを 10b にすると、TRJISR レジスタで設定したタイマ RC の出力に応じた期間、イベントをカウントします。TRJISR レジスタの RCCPSEL0 ~ RCCPSEL1 ビットによって、タイマ RC の出力信号を選択、また RCCPSEL2 ビットによってタイマ RC の出力信号のレベルを選択します。

## 13.3.4 タイマRJモードレジスタ (TRJMR)

アドレス	000DCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJ動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 上記以外: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	TEDGPL			TRJIOエッジ極性選択ビット
b4	TCK0	タイマRJカウントソース選択ビット (注1、2)	b6 b5 b4 000: f1 001: f8 010: fHOCO 011: f2 100: fXCIN32 110: fXCIN 上記以外: 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRJカウントソース遮断ビット (注2)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. イベントカウンタモードを選択すると、TCK0 ~ TCK2ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO) が選択されます。

注2. カウント中にカウントソースの切り換えまたは遮断をしないでください。カウントソースの切り換えまたは遮断をするときは、TRJCRレジスタのTSTARTビットを0 (カウント停止)、TCSTFビットを0 (カウント停止) にし、タイマのカウントを停止してください。

カウント停止 (TSTARTビットが0、かつTCSTFビットが0) 時に動作モードを選択してください。  
TRJMRレジスタに書き込むと、トグルフリップフロップは初期化されます。

## 13.3.5 タイマRJイベント選択レジスタ (TRJISR)

アドレス 000DDh								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W		
b0	RCCPSEL0	タイマRC出力信号選択ビット	b1 b0 00 : TRCIOD 01 : TRCIOC 10 : TRCIOB 11 : TRCIOA	R/W		
b1	RCCPSEL1			R/W		
b2	RCCPSEL2			タイマRC出力信号反転ビット	0 : タイマRC出力信号のL期間をカウント 1 : タイマRC出力信号のH期間をカウント	R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b4	—					
b5	—					
b6	—					
b7	—					

## 13.3.6 タイマRJ割り込み制御レジスタ (TRJIR)

アドレス 000DEh								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRJIE	TRJIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	TRJIF	タイマRJ割り込み要求フラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W
b7	TRJIE	タイマRJ割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W

## TRJIFビット(タイマRJ割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- タイマRJ2がアンダフローしたとき
- パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき
- パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき

## 13.4 動作説明

## 13.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらず TRJCR レジスタの TSTART ビットの値によりタイミングが変わります。TSTART ビットが 0 (カウント停止) のときは、直接リロードレジスタに書き込まれた後、システムクロック (f) に同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) のときは、カウントソースの 2 ~ 3 サイクル後に同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図 13.2 に TSTART ビットの値による書き換え動作のタイミング図を示します。

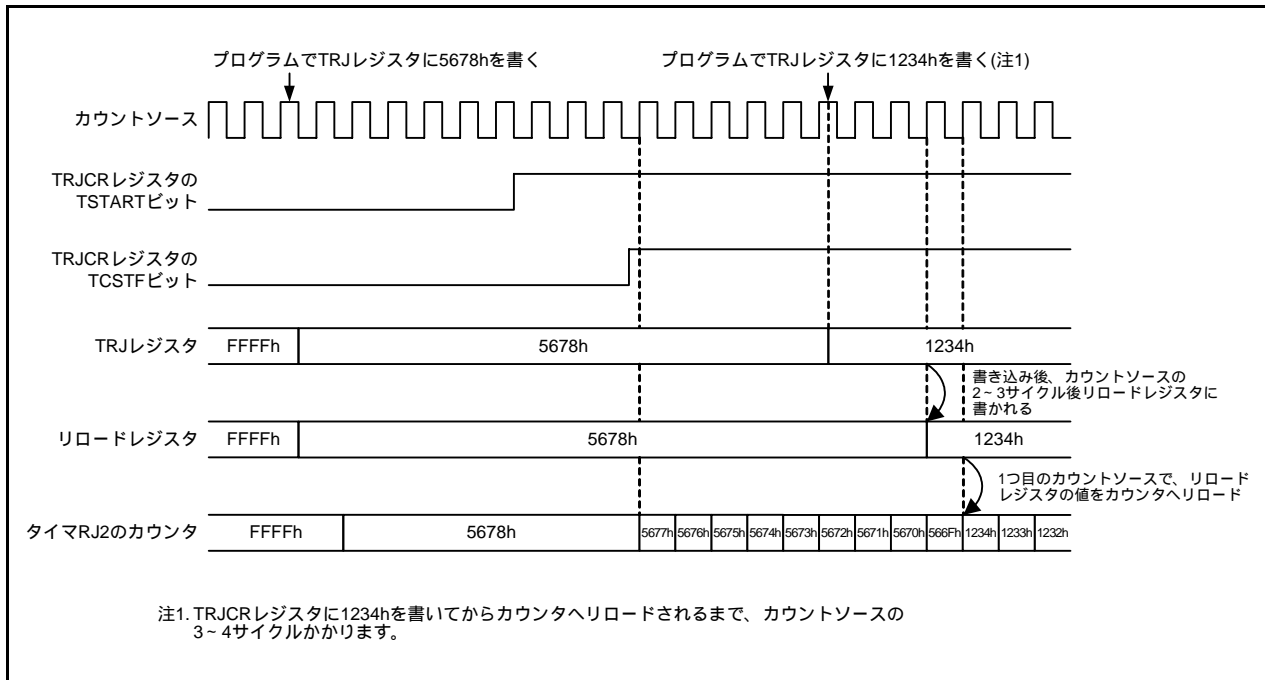


図 13.2 TSTART ビットの値による書き換え動作のタイミング図



### 13.4.2 タイマモード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、アンダフローが発生します。そのとき、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になり、同時にリロードレジスタに設定した値がロードされます。TRJIRレジスタのTRJIEビットが1(割り込み許可)のとき、CPUに割り込み要求信号を発生します。

図13.3にタイマモードの動作例を示します。

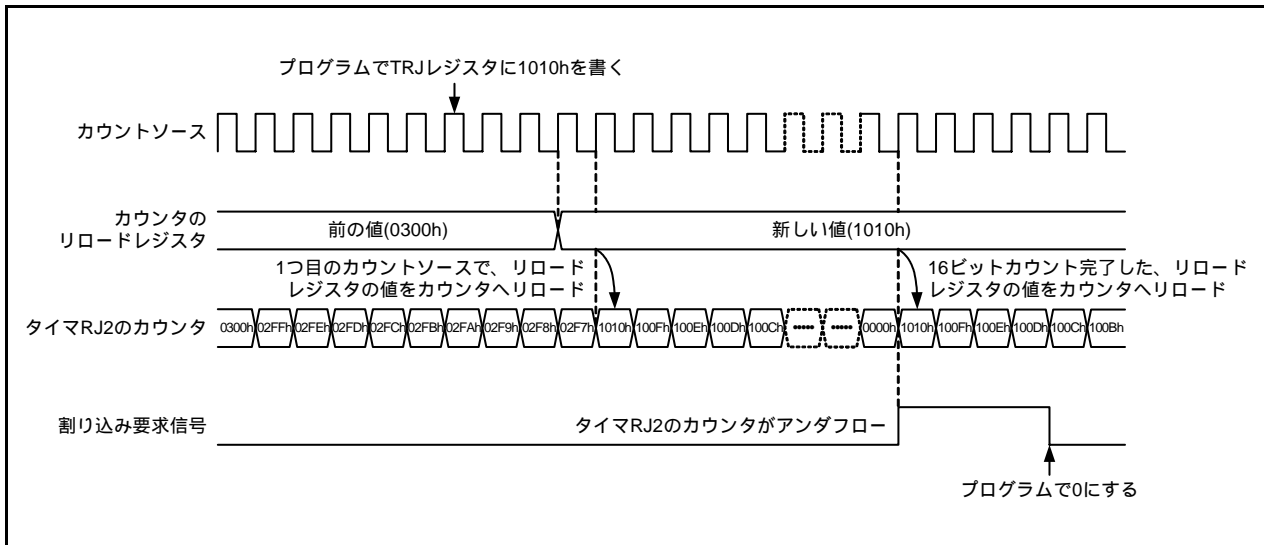


図13.3 タイマモードの動作例

### 13.4.3 パルス出力モード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースでダウンカウントし、パルスをTRJIO端子から出力するモードです。アンダフローが発生すると出力レベルを反転します。

パルス出力モードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、アンダフローが発生します。そのとき、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になり、同時にリロードレジスタに設定した値がロードされます。TRJIRレジスタのTRJIEビットが1(割り込み許可)のとき、CPUに割り込み要求信号を発生します。

また、TRJIO端子とTRJO端子の2端子からパルス出力が可能で、アンダフローが発生するごとに出力レベルを反転します。TRJIO端子については、TRJIOCレジスタのTOPCRビットによりパルス出力を停止できます。

なお、出力レベルをTRJIOCレジスタのTEDGSELビットにより選択できます。

図13.4にパルス出力モードの動作例を示します。

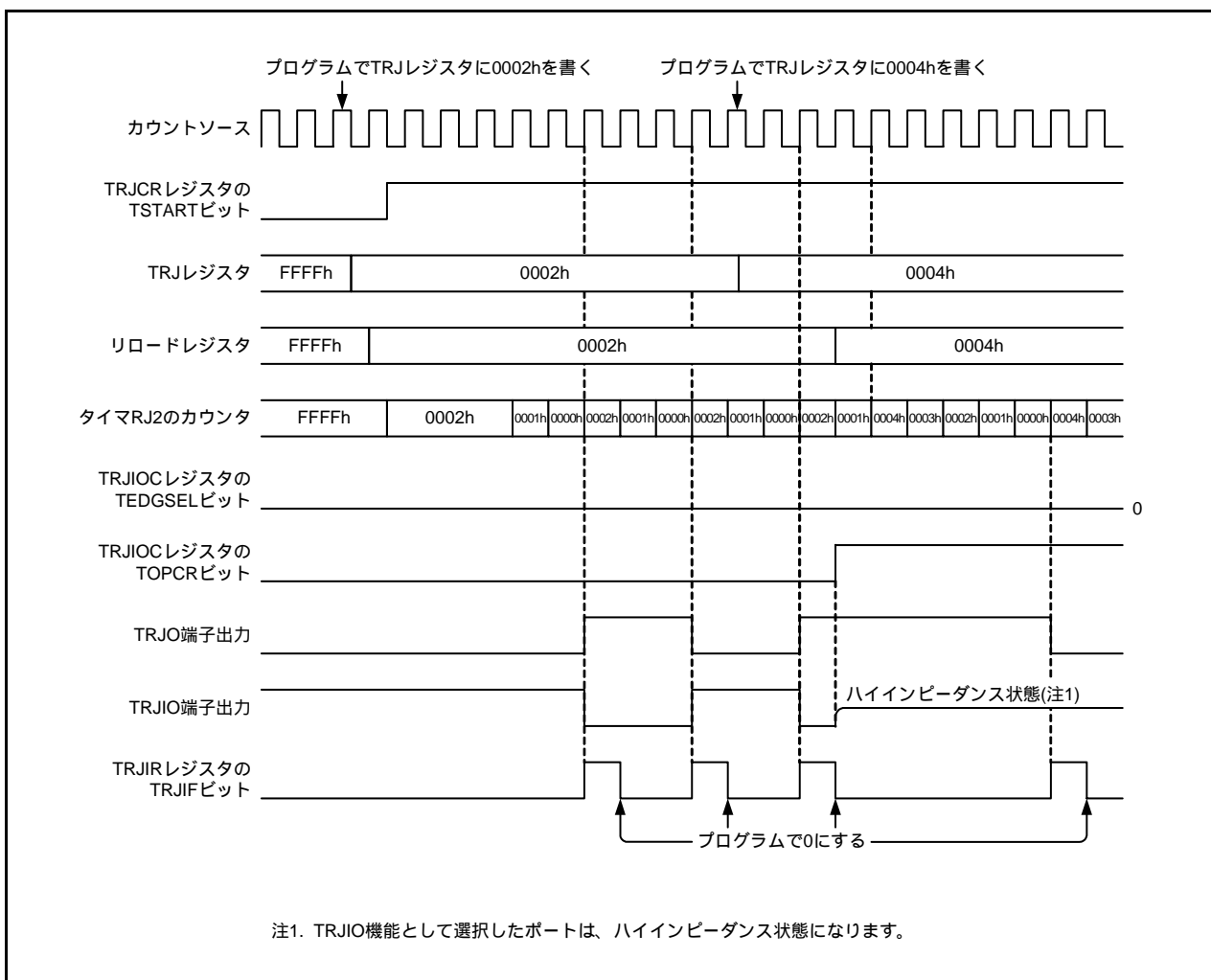


図13.4 パルス出力モードの動作例

#### 13.4.4 イベントカウンタモード

TRJIO端子から入力される外部パルス信号をダウンカウントするモードです。

イベントカウントする期間を、TRJIOCレジスタのTIOGT0 ~ TIOGT1ビットおよびTRJISRレジスタにより各種設定ができます。また、TRJIO入力のフィルタ機能をTRJIOCレジスタのTIPF0 ~ TIPF1ビットで指定できます。

なお、イベントカウンタモードでもTRJO端子からトグル出力ができます。

イベントカウンタモードを使用する場合は「13.5 タイマRJ2使用上の注意事項(3)」を参照してください。

図13.5にイベントカウンタモードの動作例を示します。

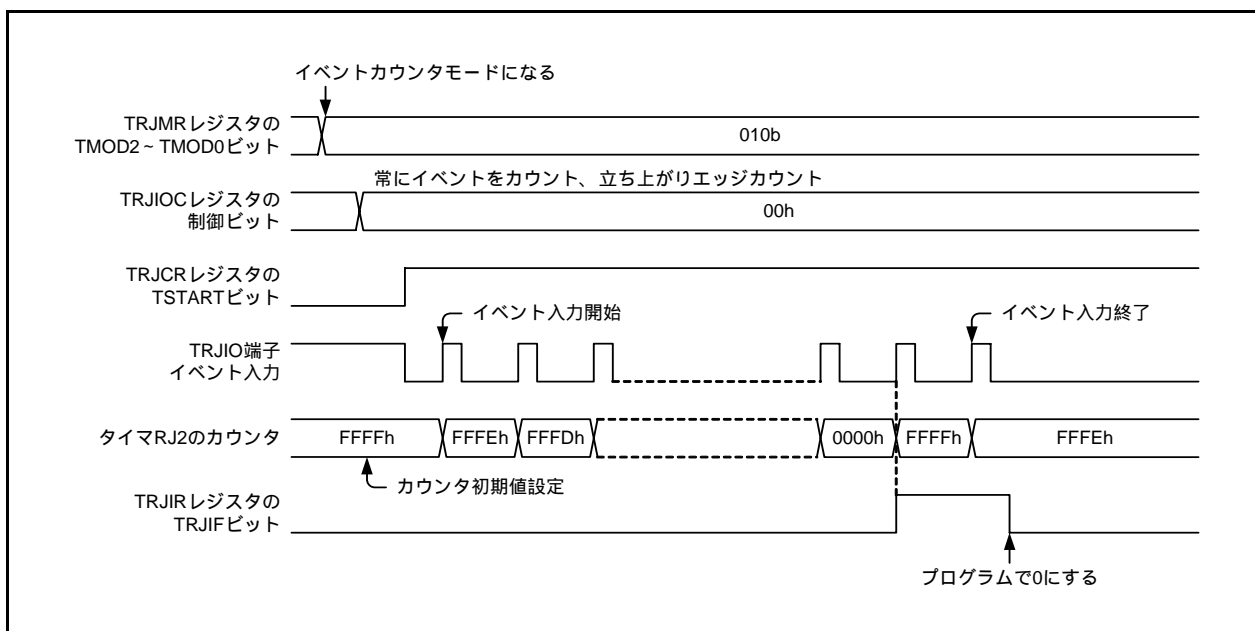


図13.5 イベントカウンタモードの動作例

### 13.4.5 パルス幅測定モード

TRJIO端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO端子が指定したレベルが終了するとカウンタは停止し、TRJCRレジスタのTEDGFビットが1(有効エッジあり)、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になります。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になります。TRJIRレジスタのTRJIEビットが1(割り込み許可)のとき、CPUに割り込み要求信号を発生します。

図13.6にパルス幅測定モードの動作例を示します。

TRJCRレジスタのTEDGF、TUNDFビットをアクセスする場合は「13.5 タイマRJ2使用上の注意事項(4)」を参照してください。

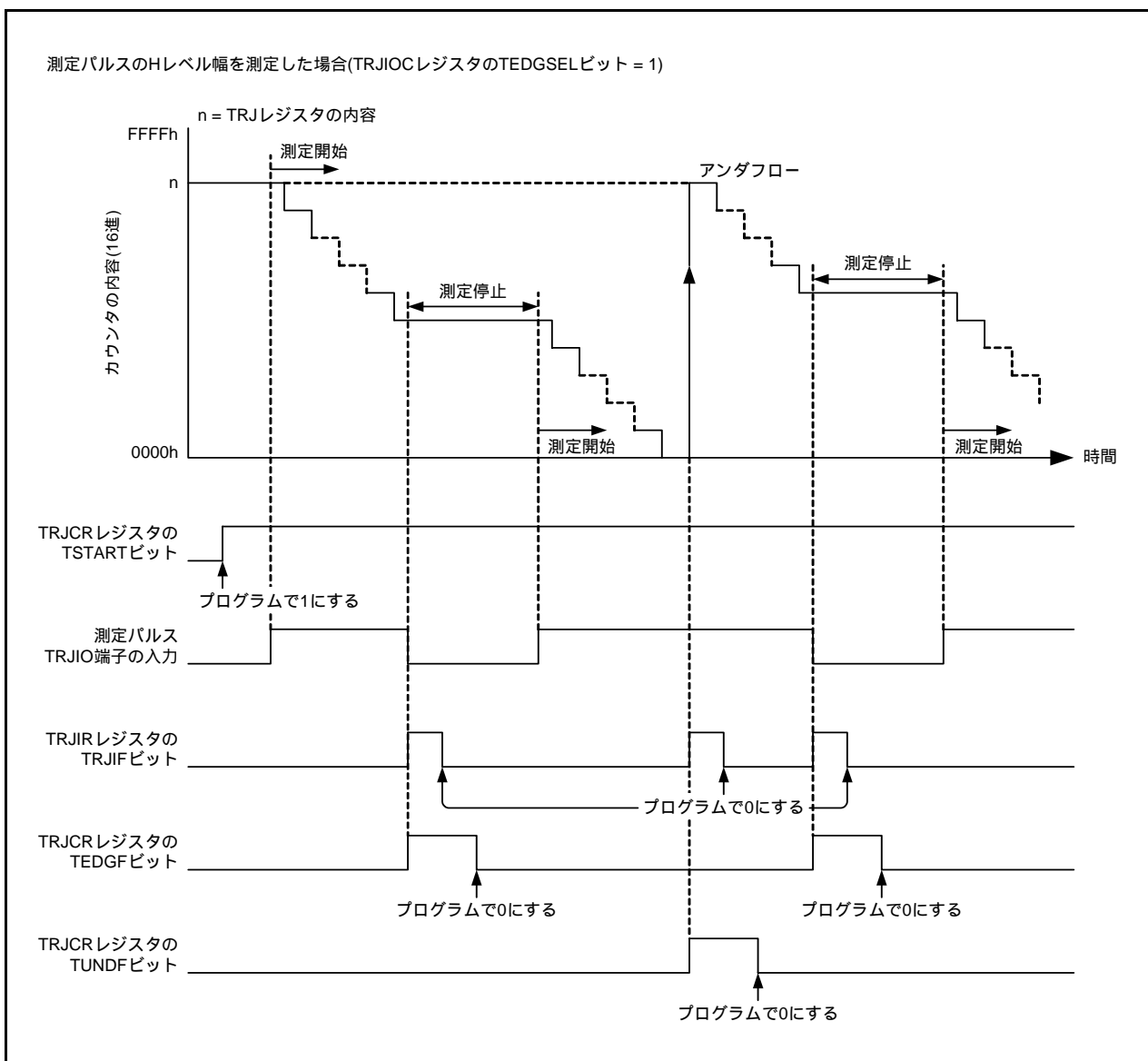


図13.6 パルス幅測定モードの動作例

### 13.4.6 パルス周期測定モード

TRJIO端子から入力する外部信号のパルス周期を測定するモードです。

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCRレジスタのTEDGFビットが1(有効エッジあり)、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になります。このときに読み出し用バッファ(TRJレジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になります。TRJIRレジスタのTRJIEビットが1(割り込み許可)のとき、CPUに割り込み要求信号を発生します。

図13.7にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

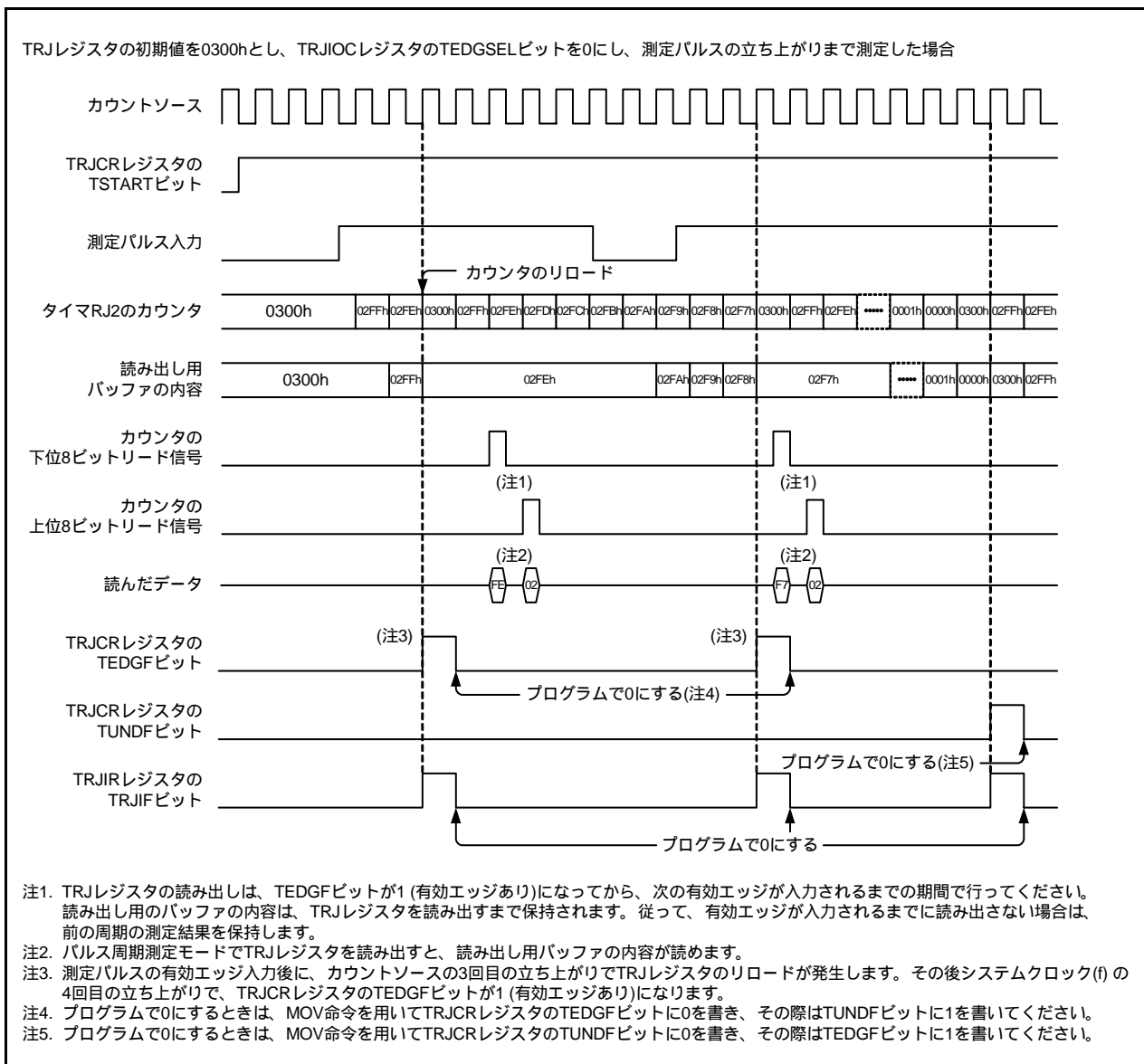


図13.7 パルス周期測定モードの動作例

## 13.4.7 各モード出力設定

表13.7 TRJIO端子設定

動作モード	TRJIOCレジスタ		TRJIO端子入出力
	TOPCRビット	TEDGSELビット	
タイマモード	0または1	0または1	入力
パルス出力モード	1	0または1	出力禁止(注1)
	0	1	Lから出力開始
		0	0
イベントカウンタモード	0または1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注1. TRJIO機能として選択したポートは、ハイインピーダンス状態となります。

表13.8 TRJO端子設定

動作モード	TRJIOレジスタ		TRJO端子出力
	TEDGSELビット		
全モード	1		Hから出力開始
	0		Lから出力開始

### 13.5 タイマRJ2使用上の注意事項

- (1) リセット後、タイマはカウントを停止します。タイマの値を設定した後、カウントを開始してください。
- (2) カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2~3サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ2関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。  
カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2~3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ2関連レジスタ(注1)をアクセスしないでください。  
注1. タイマRJ2関連レジスタ：TRJ、TRJCR、TRJIOC、TRJMR
- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)にした後、外部パルスを入力してください。
- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くとも0になりますが、1を書いても変化しません。TRJCRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。  
このとき、0にしたくないTEDGF、TUNDFビットには、MOV命令で1を書いてください。
- (5) 停止状態でのTRJカウンタ関連レジスタの書き込みと読み出しの間に、NOP命令を入れてください。
- (6) TRJCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF、TUNDFビットは不定です。TEDGF、TUNDFビットに0を書いてから、タイマRJ2のカウントを開始してください。
- (8) カウント開始後の初めてのカウントソース信号で、TEDGFビットが1になる場合があります。
- (9) パルス周期測定モードを使用する場合は、カウント開始直後にタイマRJ2のカウントソースの2周期以上の時間を空けて、TEDGFビットを0にしてから使用してください。
- (10) カウント中にTRJCRレジスタのTSTOPビットに1を書いてカウントを強制停止させると、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRJIFビットを0(割り込み要求なし)にしてください。
- (11) パルス幅測定モード時またはパルス周期測定モード時は、外部イベントを入力する前に、関連レジスタを設定し、TRJCRレジスタのTSTARTビットを1(カウント開始)にしてください。
- (12) パルス幅測定モードおよびパルス周期測定モードでは、TRJレジスタに0000hを設定しないでください。
- (13) パルス幅測定モード、パルス周期測定モードでTRJCRレジスタのTEDGFビットに0を書く場合、以下の内容に注意してください。  
TRJIRレジスタのTRJIFビットに0を書いた後にTEDGFビットを0にしてください。  
TEDGFビットに0を書いた直後にTEDGFビットを読むと0が読めますが、カウントソースの1~2サイクルの間、TEDGFビットの内部信号は1のままです。この期間に有効エッジが入力されると、TEDGFビットの内部信号は0にならず、TEDGFビットを読むと1が読めます。  
また、TRJIFビットは、TEDGFビットの内部信号が0から1に変化すると1になるビットなので、この場合にはTRJIFビットは1にならず、割り込みは発生しません。  
したがって、TEDGFビットに0を書いた後、カウントソースの3サイクル以上後に0が読めることを確認して、次の割り込み要求が受け付けられる状態にしてください。

## 14. タイマRB2

タイマRB2は、8ビットプリスケアラ付き8ビットタイマまたは16ビットタイマです。プリスケアラとタイマは、それぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは、同じ番地に配置されます。タイマRB2はリロードレジスタとして、タイマRBプライマリとタイマRBセカンダリのレジスタを持ちます。

### 14.1 概要

表14.1にタイマRB2の仕様を、図14.1にタイマRB2のブロック図を示します。

表14.1 タイマRB2の仕様

項目	内容
動作モード	タイマモード 内部カウントソースまたはタイマRJ2のアンダフローをカウントする
	プログラマブル波形発生モード 任意のパルス幅を連続して出力する
	プログラマブルワンショット発生モード ワンショットパルスを出力する
	プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力する
カウントソース	f1、f2、f4、f8、f32、f64、f128、タイマRJ2のアンダフローを選択可能
割り込み	タイマRB2のアンダフロー

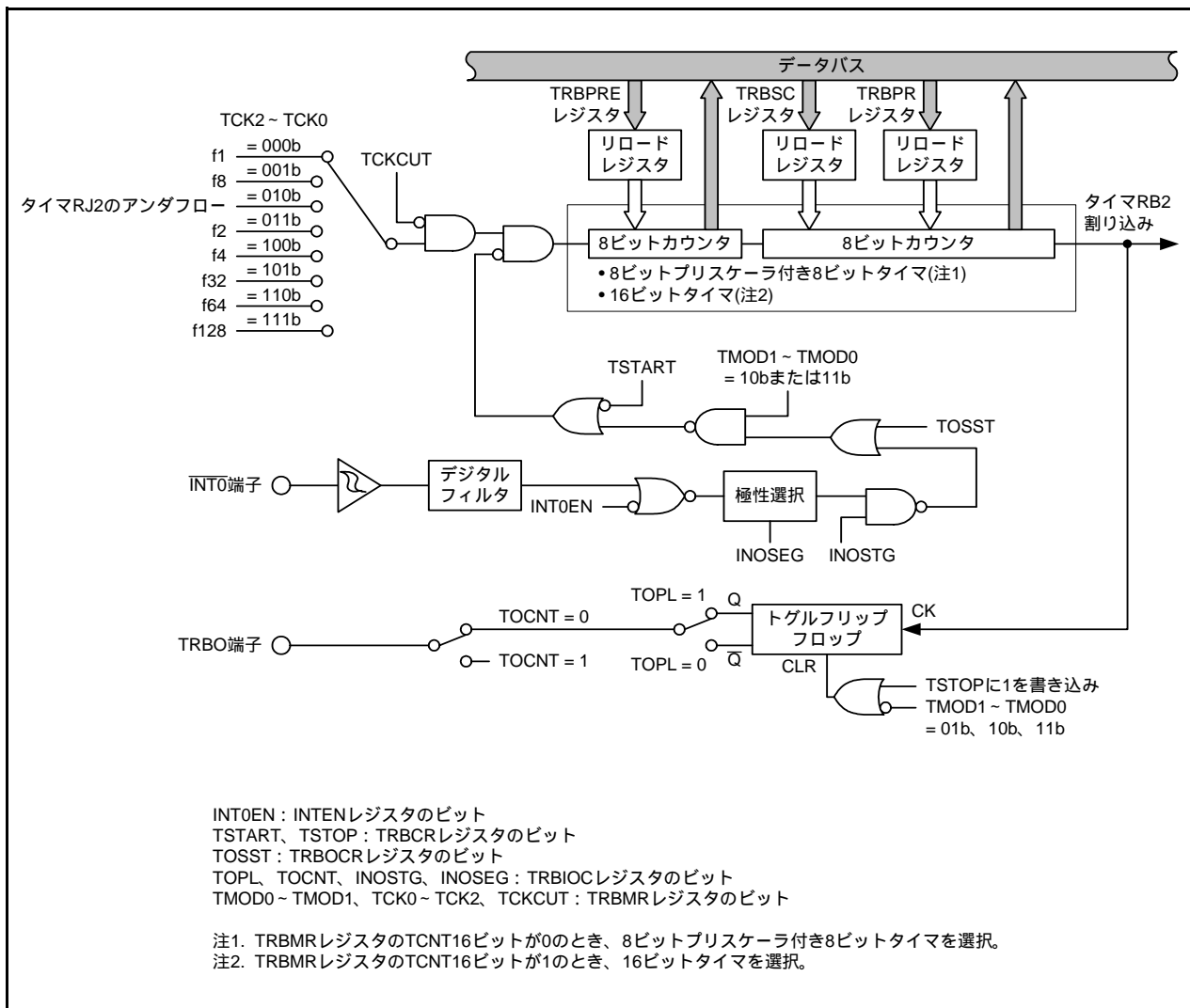


図14.1 タイマRB2のブロック図



## 14.2 入出力端子

表14.2にタイマRB2の端子構成を示します。

表14.2 タイマRB2の端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT0}}$	P1_4、P4_5	入力	外部トリガ
TRBO	P1_3、P3_1、P4_2	出力	パルス連続出力またはワンショットパルス出力

$\overline{\text{INT0}}$ の詳細は「11. 割り込み」を参照してください。

### 14.3 レジスタの説明

表14.3にタイマRB2のレジスタ構成を示します。

表14.3 タイマRB2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRB制御レジスタ	TRBCR	00h	000E0h	8
タイマRBワンショット制御レジスタ	TRBOCR	00h	000E1h	8
タイマRB I/O制御レジスタ	TRBIOC	00h	000E2h	8
タイマRBモードレジスタ	TRBMR	00h	000E3h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRBプリスケアラレジスタ 16ビットタイマ時： タイマRBプライマリ/セカンダリレジスタ(下位8ビット)	TRBPRES	FFh	000E4h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRBプライマリレジスタ 16ビットタイマ時： タイマRBプライマリレジスタ(上位8ビット)	TRBPR	FFh	000E5h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRBセカンダリレジスタ 16ビットタイマ時： タイマRBセカンダリレジスタ(上位8ビット)	TRBSC	FFh	000E6h	8
タイマRB割り込み制御レジスタ	TRBIR	00h	000E7h	8

## 14.3.1 タイマRB制御レジスタ(TRBCR)

アドレス	000E0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット (注1)	[TRBMRレジスタのTMOD1ビットが0のとき] 0: カウント停止 1: カウント開始 [TRBMRレジスタのTMOD1ビットが1のとき] 0: カウント停止 1: カウント許可	R/W
b1	TCSTF	タイマRBカウントステータスフラグ (注1)	[TRBMRレジスタのTMOD1ビットが0のとき] 0: カウント停止 1: カウント中 [TRBMRレジスタのTMOD1ビットが1のとき] 0: カウント停止 1: カウント許可状態	R
b2	TSTOP	タイマRBカウント強制停止ビット (注1、2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

- 注1. TSTART、TCSTF、TSTOPビットの使用上の注意は「14.8 タイマRB2使用上の注意事項」を参照してください。  
 注2. TSTOPビットに1(カウント強制停止)を書くと、カウンタ、TRBPRES、TRBPR、TRBSCレジスタ、TSTART、TCSTFビットおよびTRBOCRレジスタのTOSST、TOSSP、TOSSTFビットが初期化されます。また、TRBO出力も初期化されます。

## TSTARTビット(タイマRBカウント開始ビット)

[0になる条件]

- 0を書いたとき

[1になる条件]

- 1を書いたとき

## TCSTFビット(タイマRBカウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき

## 14.3.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス	000E1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット (注1、2)	1を書くと、ワンショットトリガを発生します。 読んだ場合、その値は0。	R/W
b1	TOSSP	タイマRBワンショット停止ビット (注2、3)	1を書くと、ワンショットパルス(ウェイトを含む)のカウンタを停止します。 読んだ場合、その値は0。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ	0：ワンショット停止 1：ワンショット動作(ウェイト期間を含む)	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TOSSTFビットが0(ワンショット停止)であることを確認した後、TOSSTビットに1(ワンショットカウンタ開始)を書いてください。

注2. 0を書いた場合、その値は無効です。

注3. TOSSTFビットが1(ワンショット動作(ウェイト期間を含む))であることを確認した後、TOSSPビットに1(ワンショットカウンタ停止)を書いてください。

## TOSSTFビット(タイマRBワンショットステータスフラグ)

[0になる条件]

- TRBOCRレジスタのTSTOPビットを1(カウンタ強制停止)にしたとき
- プログラマブルワンショット発生モード時に、カウンタ値が00hになりリロードしたとき
- プログラマブルウェイトワンショット発生モード時に、セカンダリカウンタ時のカウンタ値が00hになり、リロードしたとき
- TOSSPビットを1(ワンショットカウンタ停止)にしたとき
- TRBOCRレジスタのTSTARTビットを0(カウンタ停止)にした後、TRBOCRレジスタのTSTOPビットに1(カウンタ強制停止)を書いたとき

[1になる条件]

- TOSSTビットを1(ワンショットカウンタ開始)にしたとき
- トリガを入力したとき

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが10b(プログラマブルワンショット発生モード)または11b(プログラマブルウェイトワンショット発生モード)のとき有効です。

## 14.3.3 タイマRB I/O制御レジスタ (TRBIOC)

アドレス	000E2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRB出力レベル選択ビット	「表 14.4 タイマRB出力レベル選択ビットの機能」参照	R/W
b1	TOCNT	タイマRB出力切り換えビット	0: 波形出力 1: 固定値出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

## TOCNTビット(タイマRB出力切り換えビット)

TOCNTビットの設定は、プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードのみ有効です。

各モードでのTRBO出力の状態変化の詳細は「14.5.3 TOCNTビットの設定と端子状態」を参照してください。

表 14.4 タイマRB出力レベル選択ビットの機能

動作モード	機能	
タイマモード	タイマモードでは0にしてください	
プログラマブル波形発生モード	0	プライマリ期間H出力 セカンダリ期間L出力 タイマ停止時L出力
	1	プライマリ期間L出力 セカンダリ期間H出力 タイマ停止時H出力
プログラマブルワンショット発生モード	0	ワンショットパルスH出力 タイマ停止時L出力
	1	ワンショットパルスL出力 タイマ停止時H出力
プログラマブルウェイトワンショット発生モード	0	ワンショットパルスH出力 タイマ停止およびウェイト期間にL出力
	1	ワンショットパルスL出力 タイマ停止およびウェイト期間にH出力

## 14.3.4 タイマRBモードレジスタ(TRBMR)

アドレス 000E3h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル TCKCUT TCK2 TCK1 TCK0 TWRC TCNT16 TMOD1 TMOD0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	TCNT16	タイマRBカウンタ選択ビット(注1)	0: 8ビットプリスケアラ付き8ビットタイマ 1: 16ビットタイマ	R/W
b3	TWRC	タイマRB書き込み制御ビット(注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット(注1)	b6 b5 b4 000: f1 001: f8 010: タイマRJ2のアンダフロー 011: f2 100: f4 101: f32 110: f64 111: f128	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRBカウントソース遮断ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TRBCRレジスタのTSTART、TCSTFビットが0(カウント停止)のときに、このビットを変更してください。

注2. TWRC ビットによるレジスタ、カウンタへの書き込みの詳細は「14.5.2 TWRC ビットによるプリスケアラとカウンタ」を参照してください。

## 14.3.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス	000E4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	初期値	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースまたはタイマRJ2のアンダフローをカウント	FFh	00h ~ FFh	R/W
	プログラマブル波形発生モード		FFh	00h ~ FFh	R/W
	プログラマブルワンショット発生モード		FFh	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		FFh	00h ~ FFh	R/W

8ビットプリスケアラ付き8ビットタイマ時、プリスケアラの周期を設定するレジスタです。プリスケアラがダウンカウントし、アンダフローするごとにTRBPRESレジスタの値がリロードされます。読んだ場合、プリスケアラのカウント値が読み出されます。

16ビットタイマ時、下位8ビットのカウンタになります。カウンタがダウンカウントし、アンダフローするごとにTRBPRESレジスタ値がリロードされます。読んだ場合、下位8ビットのカウント値が読み出されます。TRBPRESレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRESレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表14.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表14.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。カウントソースに同期して更新されます。

## 14.3.6 タイマRBプライマリレジスタ(TRBPR)

アドレス	000E5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	内部カウントソースまたはタイマRJ2のアンダフローをカウント	FFh	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)		FFh	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)		FFh	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)		FFh	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

8ビットプリスケアラ付き8ビットタイマ時、カウンタの周期やプライマリ期間を設定するレジスタです。読んだ場合、カウンタの8ビットカウント値が読み出されます。

16ビットタイマ時、上位8ビットのカウンタの周期やプライマリ期間を設定するレジスタです。読んだ場合、上位8ビットの値が読み出されます。TRBPRESレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表14.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表14.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。



## 14.3.7 タイマRBセカンダリレジスタ(TRBSC)

アドレス	000E6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7 ~ b0	タイマモード	無効		FFh	無効	—
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフロー	内部カウントソースまたはタイマRJ2のアンダフロー (注1)	FFh	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	無効		FFh	無効	—
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフロー	内部カウントソースまたはタイマRJ2のアンダフロー (注1)	FFh	00h ~ FFh	R/W

注1. TRBPR、TRBSCレジスタの値が交互にカウンタへリロードされ、カウントされます。カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

8ビットプリスケアラ付き8ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く。
  - (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。
- 16ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。
- (1) TRBPREレジスタ、TRBSCレジスタに値を書く。
  - (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。

8ビットプリスケアラ付き8ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用されるセカンダリ期間を設定するレジスタです。読んだ場合、リロードレジスタの値が読み出されます。

16ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用される上位8ビットのセカンダリ期間を設定するレジスタです。タイマモード、プログラマブルワンショット発生モードでも設定できますが、カウンタ動作には使用されません。読んだ場合、リロードレジスタの値が読み出されます。

なお、TRBSCレジスタはマスタ-リロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表14.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表14.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

## 14.3.8 タイマRB割り込み制御レジスタ(TRBIR)

アドレス	000E7h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRBIE	TRBIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	TRBIF	タイマRB割り込み要求フラグ	0：割り込み要求なし 1：割り込み要求あり	R/W
b7	TRBIE	タイマRB割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W

## TRBIFビット(タイマRB割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- 「表14.5 TRBIFビットが1になる条件」参照

表14.5 TRBIFビットが1になる条件

動作モード	条件
タイマモード	タイマRB2がアンダフローしたとき
プログラマブル波形発生モード	セカンダリ期間で、タイマRB2がアンダフローしたとき
プログラマブルワンショット発生モード	タイマRB2がアンダフローしたとき
プログラマブルウェイトワンショット発生モード	セカンダリ期間で、タイマRB2がアンダフローしたとき

## 14.4 動作説明

### 14.4.1 タイマモード

内部で生成されたカウントソース、またはタイマRJ2のアンダフローをカウントするモードです。タイマモード時、TRBOCR、TRBSCレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントソースを3回サンプリングした後、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントソースを3回サンプリングした後、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。実際のカウント状態は、TRBCRレジスタのTCSTFビットを監視してください。

タイマRB2がアンダフローしたとき、割り込み要求が発生します。

TRBPRE、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRE、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRE、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが0のとき、それぞれリロードレジスタとカウンタへ書き込まれます。TWRCビットが1のとき、それぞれリロードレジスタにのみ書き込まれます。

図14.2にタイマモードの動作例を示します。

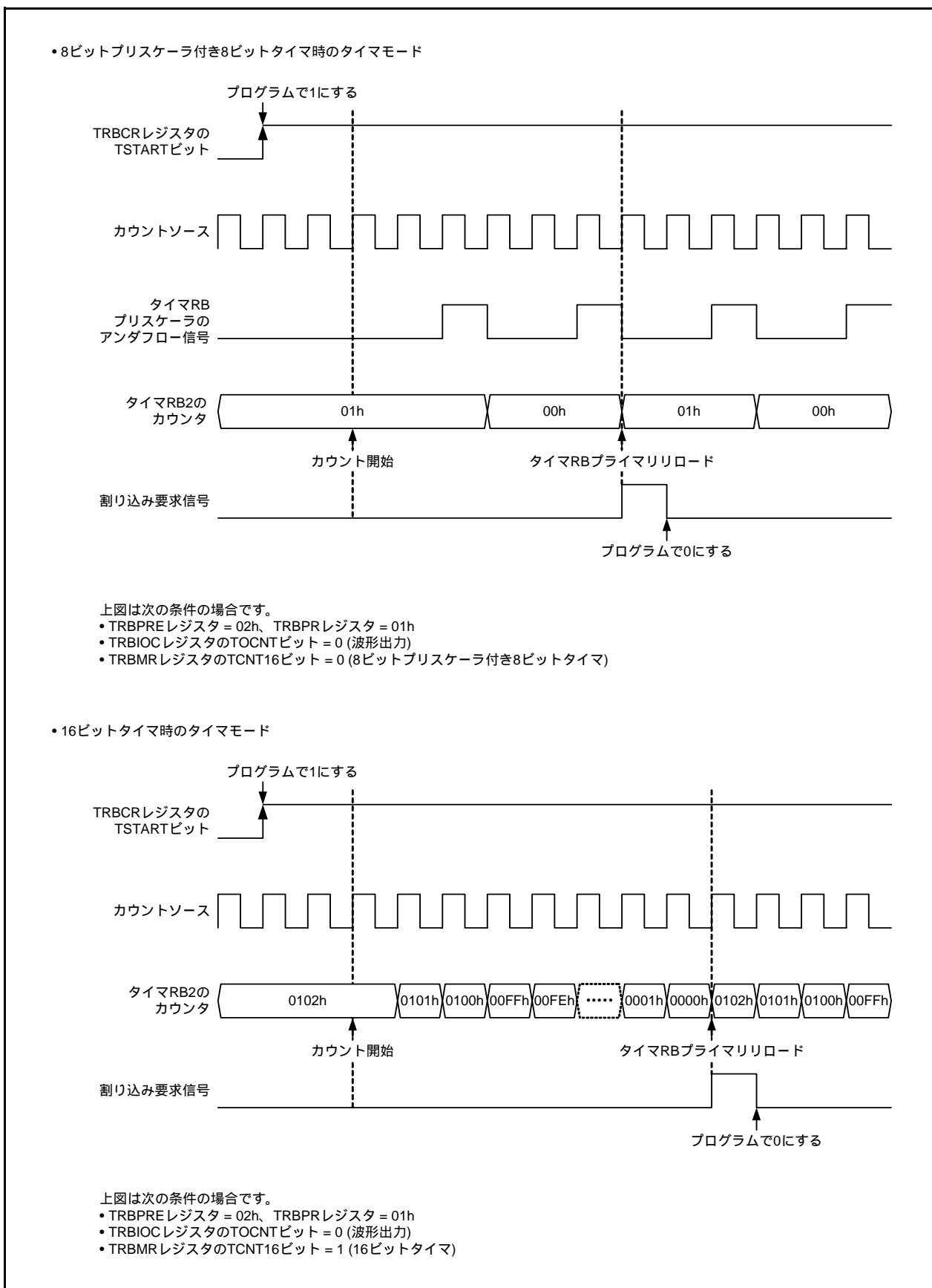


図 14.2 タイマモードの動作例

#### 14.4.2 プログラマブル波形発生モード

8ビットプリスケアラ付き8ビットタイマ時、TRBPR、TRBSCレジスタの値を交互にカウントします。

16ビットタイマ時、TRBPRESレジスタで下位8ビットを、TRBPR、TRBSCレジスタで交互に上位8ビットをカウントします。

TRBO端子からカウンタがアンダフローするごとに、反転する信号を出力します。TRBPRレジスタに設定した値からカウントを開始します。プログラマブル波形発生モードでは、TRBOCRレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントソースを3回サンプリングした後、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントソースを3回サンプリングした後、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。実際のカウント状態は、TRBCRレジスタのTCSTFビットを監視してください。

セカンダリ期間でタイマRB2がアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

図14.3に8ビットプリスケアラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例を、図14.4に16ビットタイマ時のプログラマブル波形発生モードの動作例を示します。

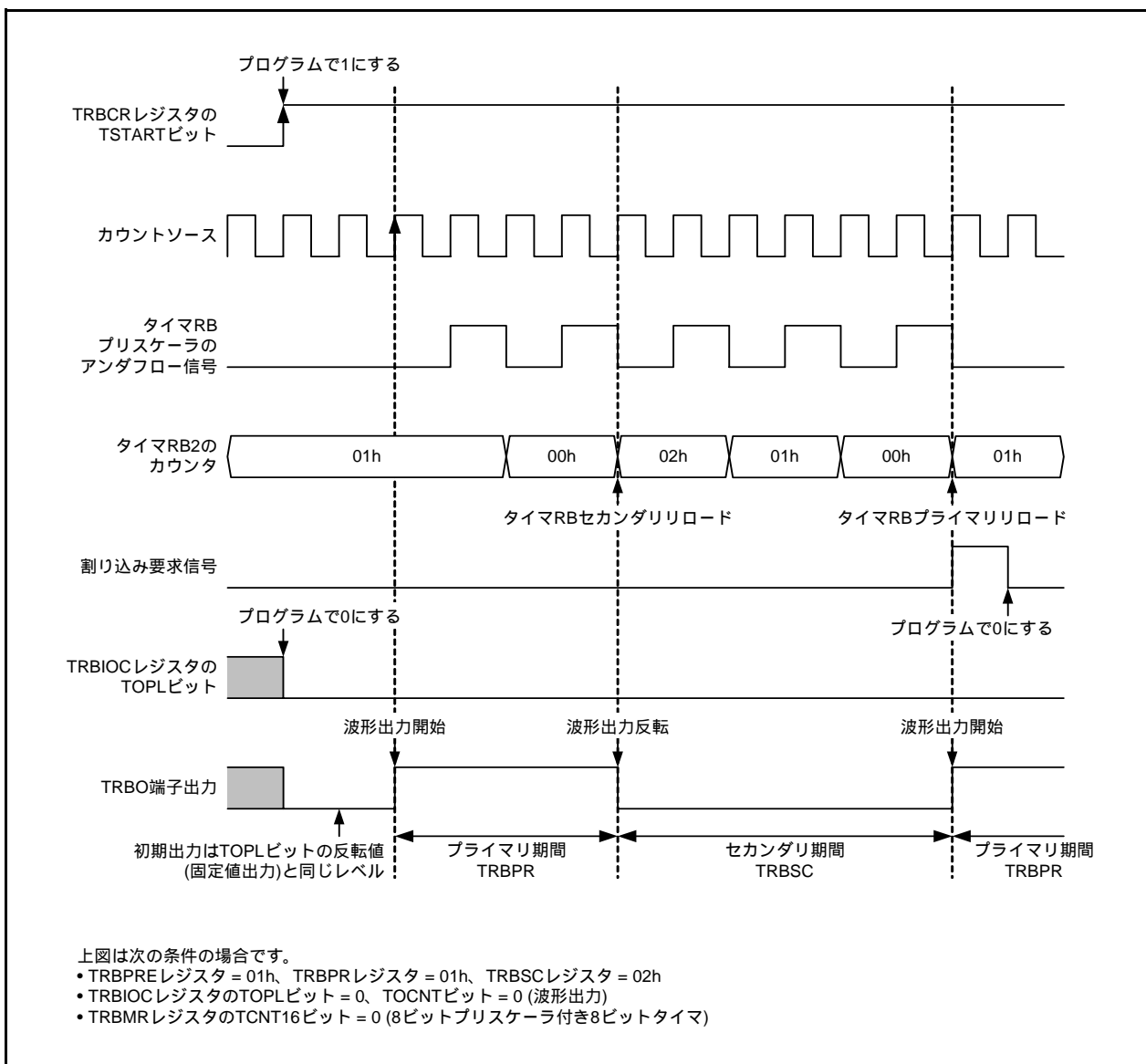


図14.3 8ビットプリスケアラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例

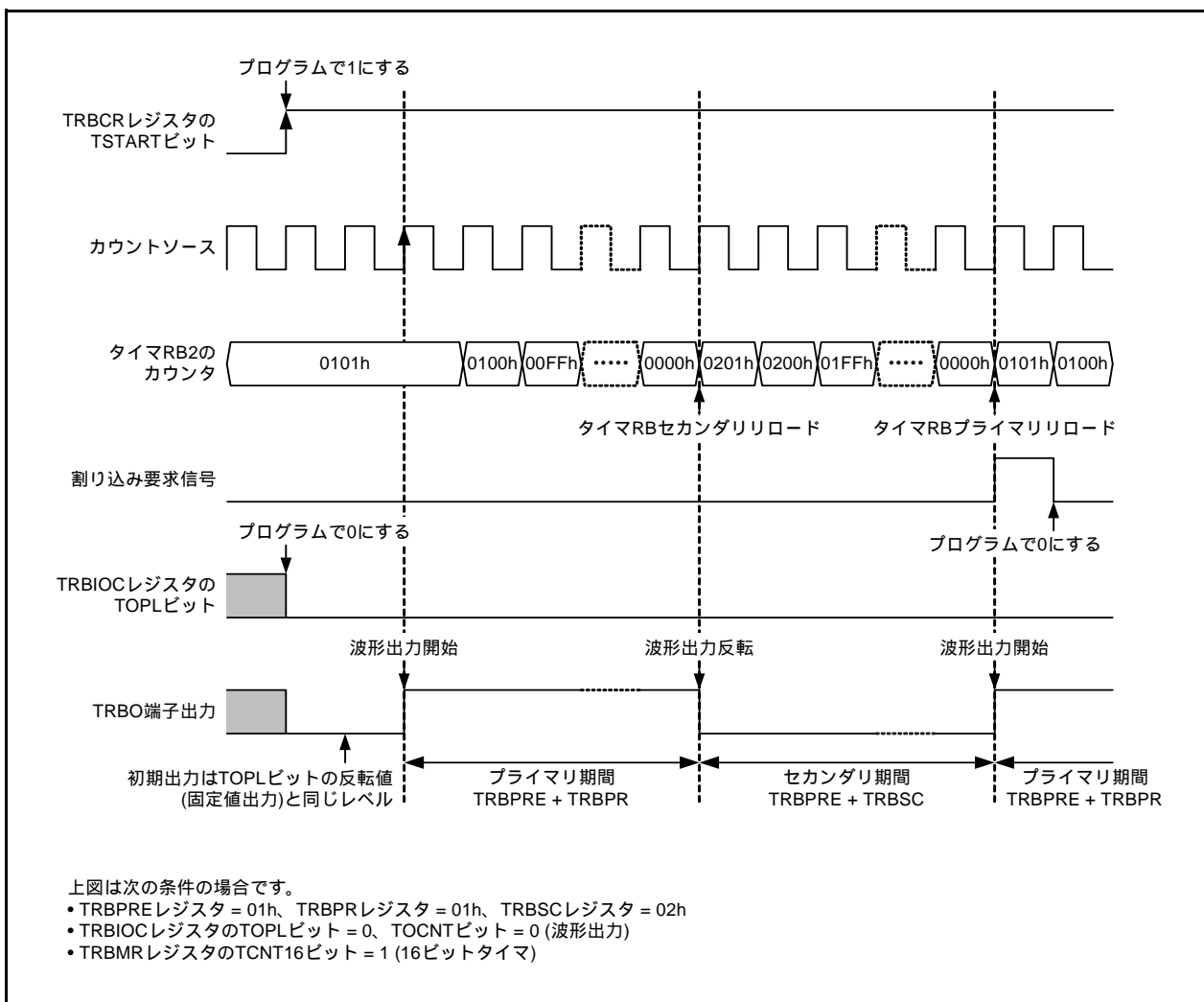


図 14.4 16ビットタイマ時のプログラマブル波形発生モードの動作例

### 14.4.3 プログラマブルワンショット発生モード

プログラムまたは  $\overline{\text{INT0}}$  端子入力により、ワンショットパルスを TRBO 端子から出力するモードです。トリガが発生すると、その時点から一度だけタイマが動作し、任意の時間 (TRBPR レジスタの設定値) をカウントします。

8ビットプリスケアラ付き8ビットタイマ時、カウント値を TRBPR レジスタに設定します。

16ビットタイマ時、上位8ビットは TRBPR レジスタに、下位8ビットは TRBPRES レジスタにカウント値を設定します。

プログラマブルワンショット発生モードでは、TRBSC レジスタは使用しません。

TRBCR レジスタの TCSTF ビットが 1 (カウント許可状態) のときに、TRBOCR レジスタの TOSST ビットに 1 (ワンショットカウント開始) を書き込むと、 $\overline{\text{COUNT}}$  ソースを 3 回サンプリングした後、カウントを開始します。また、TCSTF ビットが 1 のときに、 $\overline{\text{INT0}}$  端子へ有効なトリガを入力すると、 $\overline{\text{COUNT}}$  ソースを 3 回サンプリングした後、カウントを開始します。タイマ RB セカンダリのカウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCR レジスタの TOSSP ビットに 1 (ワンショットカウント停止) を書き込むと、 $\overline{\text{COUNT}}$  ソースを 3 回サンプリングした後、カウントを停止
- TRBCR レジスタの TSTART ビットに 0 (カウント停止) を書き込むと、 $\overline{\text{COUNT}}$  ソースを 3 回サンプリングした後、カウントを停止
- TRBCR レジスタの TSTOP ビットに 1 (カウント強制停止) を書き込むと、カウントを停止

実際のカウント状態は、TRBCR レジスタの TCSTF ビットを監視してください。

タイマ RB2 がアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPR レジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPR レジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR レジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

$\overline{\text{INT0}}$  入力によるトリガの設定は「14.7  $\overline{\text{INT0}}$  入力トリガ選択」を参照してください。

図 14.5 に 8 ビットプリスケアラ付き 8 ビットタイマ時のプログラマブルワンショット発生モードの動作例を、図 14.6 に 16 ビットタイマ時のプログラマブルワンショット発生モードの動作例を示します。



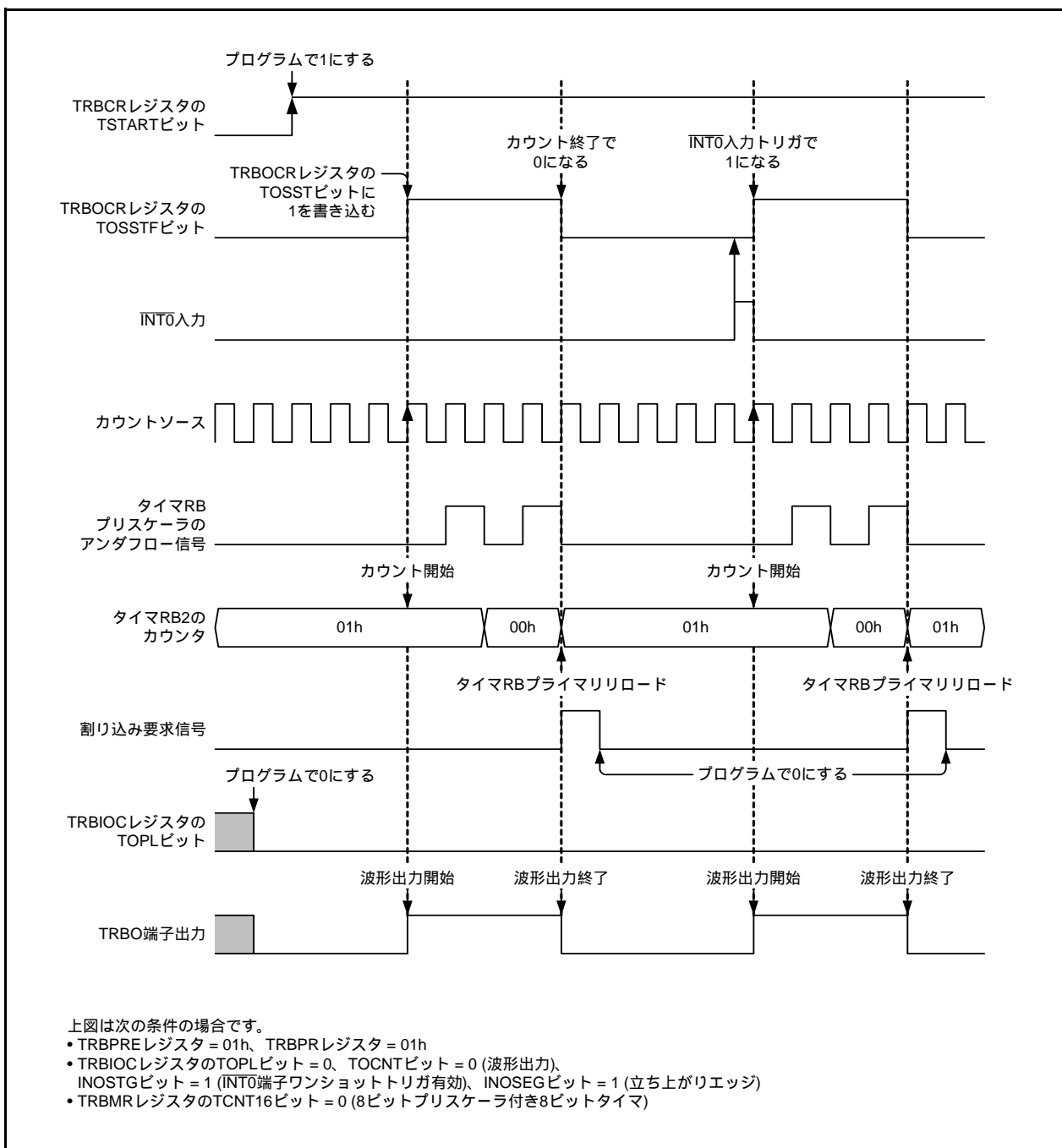


図14.5 8ビットプリスケラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例

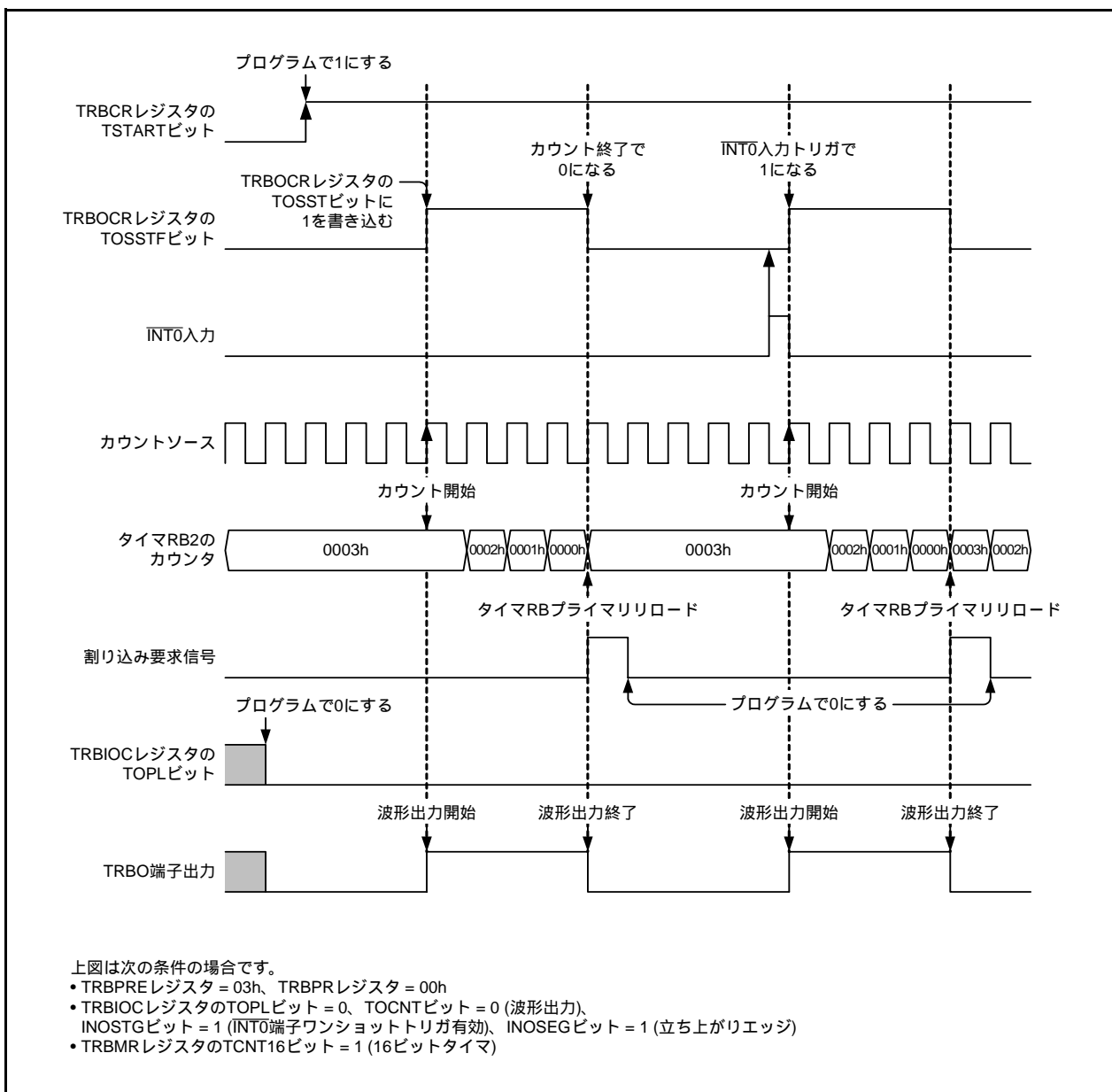


図 14.6 16ビットタイマ時のプログラマブルワンショット発生モードの動作例

#### 14.4.4 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INT0 端子入力) により、一定時間後にワンショットパルスを TRBO 端子から出力するモードです。トリガが発生すると、その時点から任意の時間 (TRBPR レジスタの設定値) 後、一度だけ任意の時間 (TRBSC レジスタの設定値) パルス出力を行います。

8ビットプリスケアラ付き8ビットタイマ時、ウェイト時間のカウント値を TRBPR レジスタに、パルス幅のカウント値を TRBSC レジスタに設定してください。

16ビットタイマ時、ウェイト時間のカウント値の上位8ビットを TRBPR レジスタに、下位8ビットを TRBPRE レジスタに設定してください。パルス幅のカウント値の上位8ビットを TRBSC レジスタに、下位8ビットを TRBPRE レジスタに設定してください。

TRBCR レジスタの TCSTF ビットが1 (カウント許可状態) のときに、TRBOCR レジスタの TOSST ビットに1 (ワンショットカウント開始) を書き込むと、カウントソースを3回サンプリングした後、カウントを開始します。また、TCSTF ビットが1のときに、INT0 端子へ有効なトリガを入力すると、カウントソースを3回サンプリングした後、カウントを開始します。タイマRB セカンダリのカウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCR レジスタの TOSSP ビットに1 (ワンショットカウント停止) を書き込むと、カウントソースを3回サンプリングした後、カウントを停止
  - TRBCR レジスタの TSTART ビットに0 (カウント停止) を書き込むと、カウントソースを3回サンプリングした後、カウントを停止
  - TRBCR レジスタの TSTOP ビットに1 (カウント強制停止) を書き込むと、カウントを停止
- 実際のカウント状態は、TRBCR レジスタの TCSTF ビットを監視してください。

セカンダリ期間でタイマRB2がアンダフローしたとき、割り込み要求が発生します。

TRBPRE、TRBPR レジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRE、TRBPR、TRBSC レジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRE、TRBPR、TRBSC レジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

INT0 入力によるトリガの設定は「14.7 INT0 入力トリガ選択」を参照してください。

図 14.7 に8ビットプリスケアラ付き8ビットタイマ時のプログラマブルウェイトワンショット発生モードの動作例を、図 14.8 に16ビットタイマ時のプログラマブルウェイトワンショット発生モードの動作例を示します。

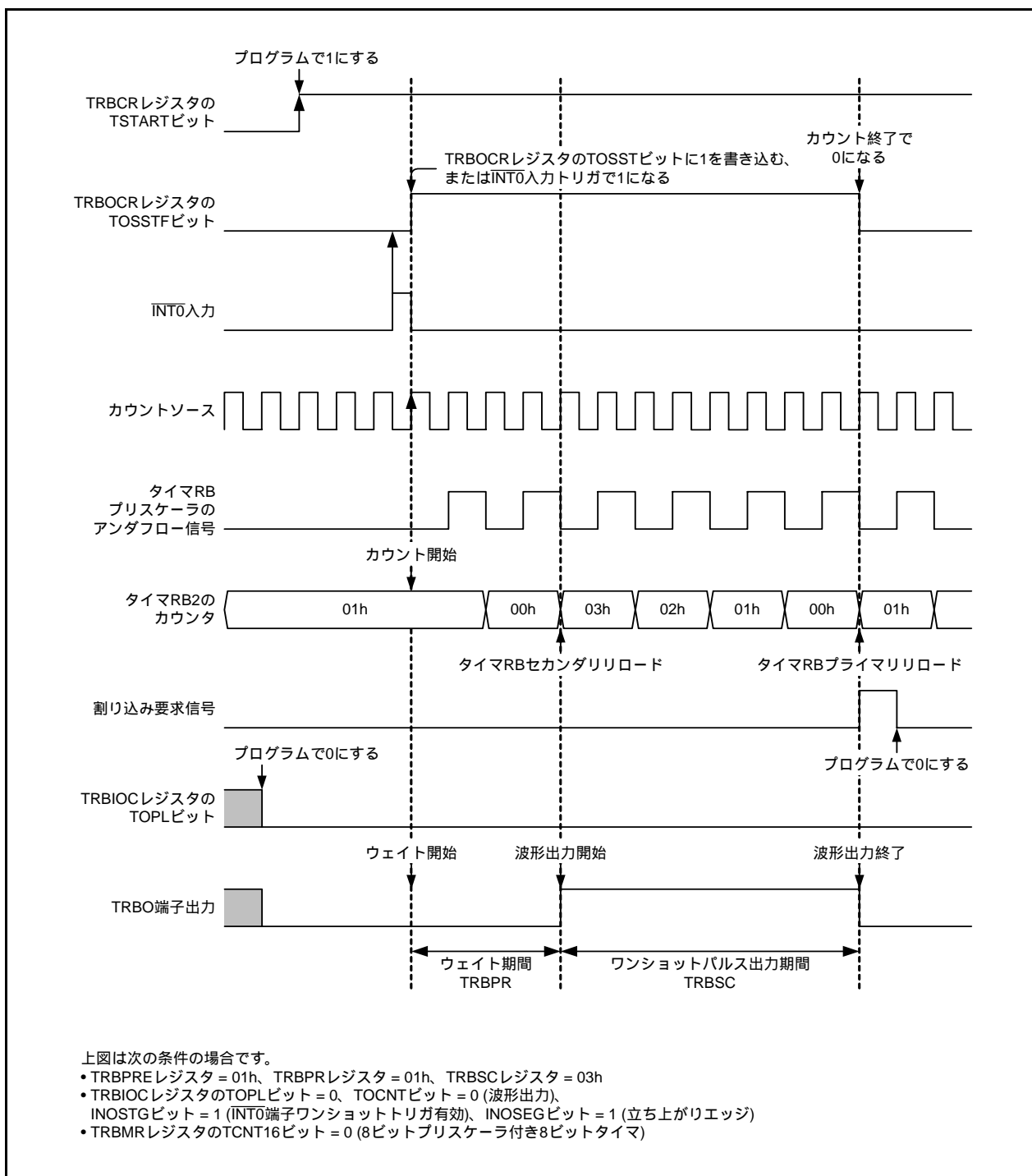


図 14.7 8ビットプリスケアラ付き8ビットタイマ時のプログラマブルウェイトワンショット発生モードの動作例

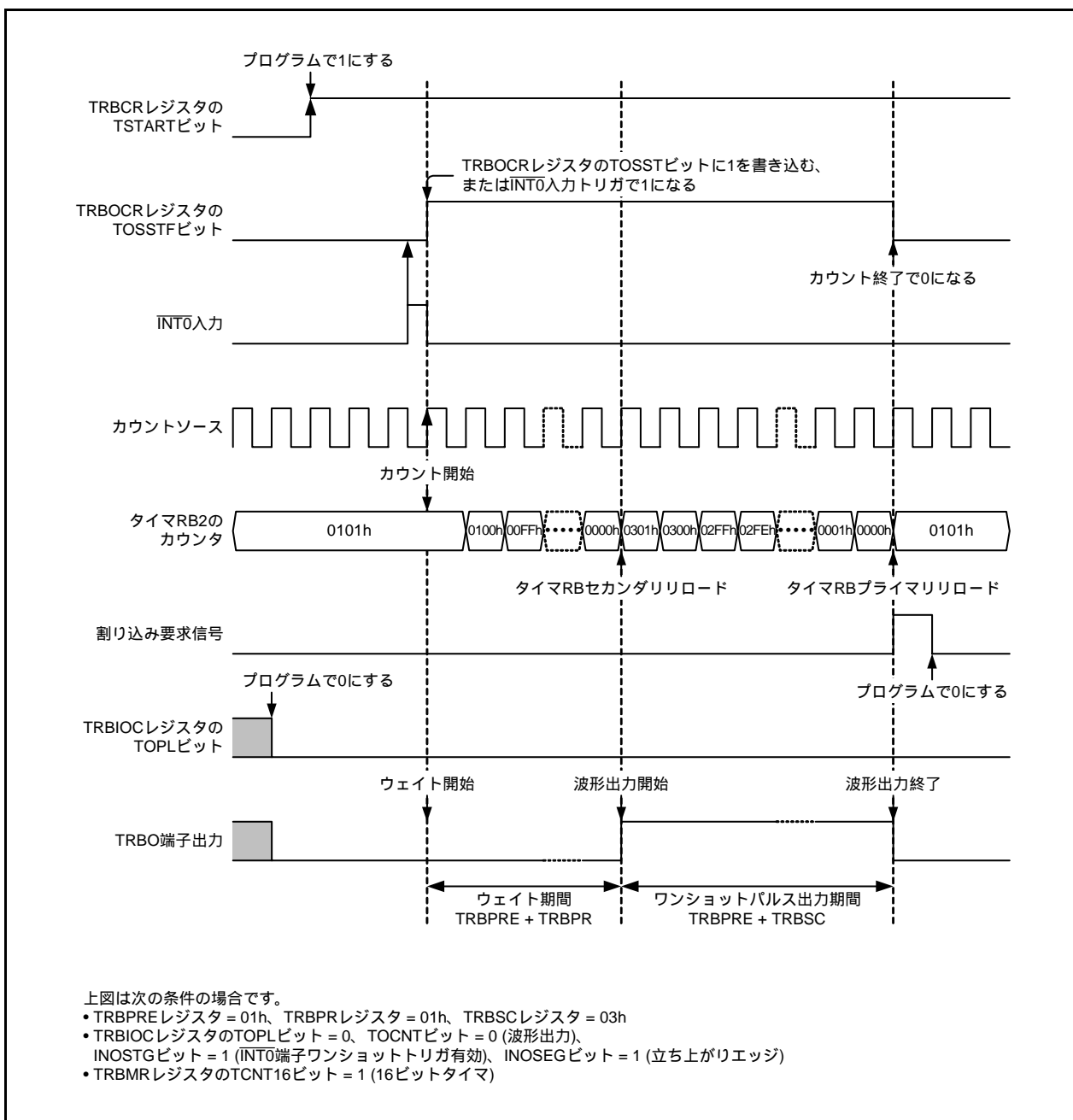


図14.8 16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

## 14.5 選択機能

## 14.5.1 TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング

TRBPRES、TRBPR、TRBSCレジスタはマスター-リロードレジスタのバッファ構造になっています。図14.9にTRBPRES、TRBPR、TRBSCレジスタの構成を示します。TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、レジスタへの書き込み直後にリロードレジスタに更新されます。しかし、TSTARTビットが1(カウント開始)のときは、各モードによってリロードレジスタに更新されるタイミングが異なります。8ビットプリスケアラ付き8ビットタイマ時、TRBPRESレジスタに書き込み後、カウントソースに同期して、TRBPRESレジスタのリロードレジスタを更新します。

表14.6に8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを、表14.7に16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを示します。

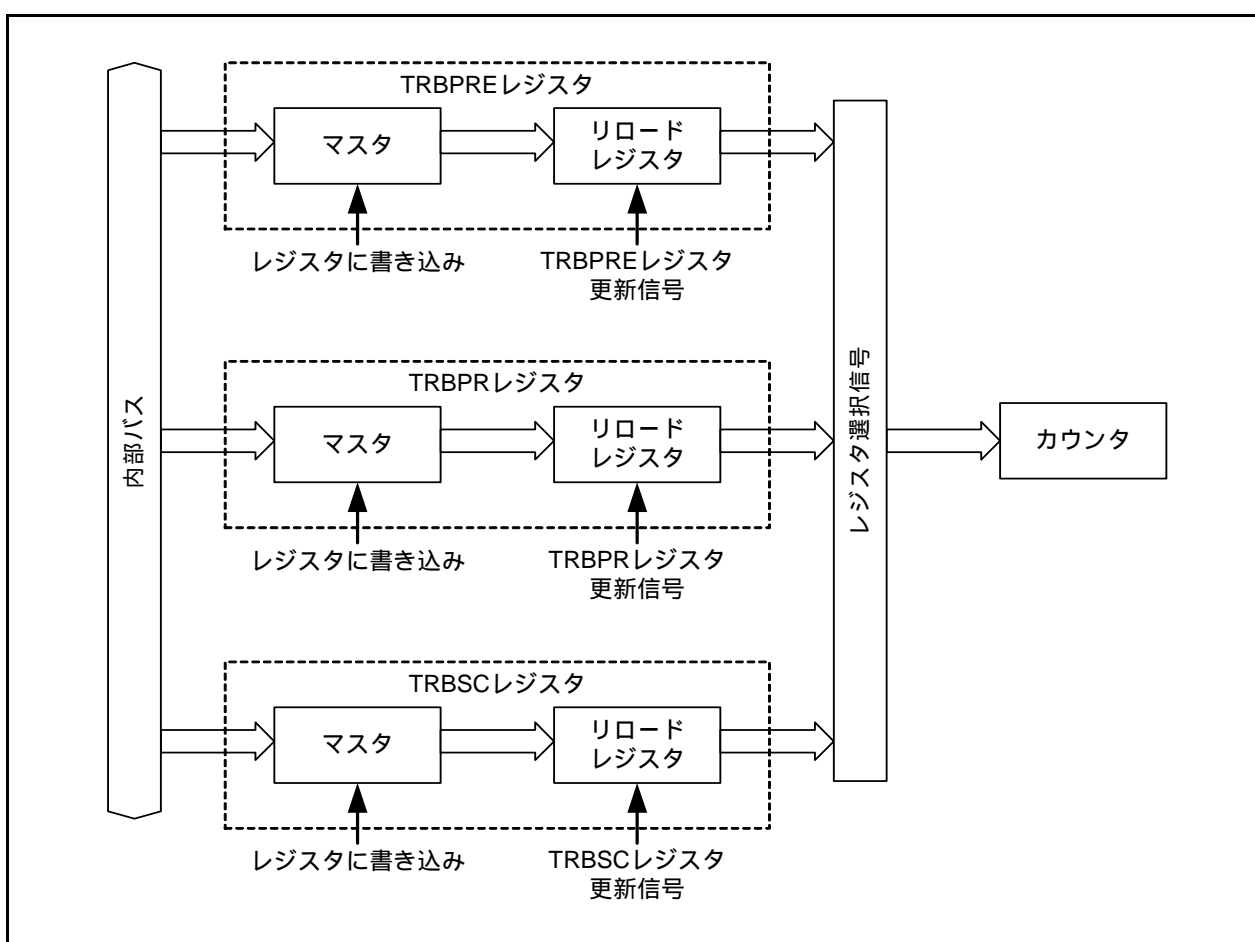


図14.9 TRBPRES、TRBPR、TRBSCレジスタの構成

表14.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード	更新タイミング(注1)	
	TRBPRレジスタ	TRBSCレジスタ
タイマモード	プリスケアラのアンダフローに同期して更新	
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)
プログラマブルワンショット発生モード	プリスケアラのアンダフローに同期して更新(注3)	
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)

TWRC : TRBMRレジスタのビット

注1. 詳細は「14.5.2 TWRCビットによるプリスケアラとカウンタ」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

注3. プログラマブルワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

表14.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード	更新タイミング(注1)	
	TRBPRES、TRBPRレジスタ	TRBSCレジスタ
タイマモード	TRBPRレジスタに書き込み後、カウントソースに同期して更新	TRBSCレジスタに書き込み後、カウントソースに同期して更新
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)
プログラマブルワンショット発生モード	TRBPRレジスタに書き込み後、カウントソースに同期して更新	TRBSCレジスタに書き込み後、カウントソースに同期して更新(注3)
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)

TWRC : TRBMRレジスタのビット

注1. 詳細は「14.5.2 TWRCビットによるプリスケアラとカウンタ」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

注3. プログラマブルワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

### 14.5.2 TWRCビットによるプリスケアラとカウンタ

タイマRB2はTRBMRレジスタのTWRCビットにより、リロードレジスタ(TRBPR、TRBSC、TRBPRE)のみに書き込むか、リロードレジスタとカウンタの両方に書き込むかを選択できます。ただし、TRBCRレジスタのTCSTFビットが0(カウント停止)のときは、TWRCビットの設定にかかわらず、リロードレジスタとカウンタの両方に書き込まれます。

8ビットプリスケアラ付き8ビットタイマ時、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、リロードレジスタからプリスケアラへの転送はカウントソースに、カウンタへの転送はプリスケアラのアンダフローに同期して行われるため、書き込み命令実行後すぐにカウンタの値は更新されません。TWRCビットが1(リロードレジスタのみ書き込み)の場合、リロードレジスタからプリスケアラへの転送はプリスケアラのアンダフローに、カウンタへの転送はカウンタのアンダフローに同期して行われます。カウンタのアンダフローまでにプリスケアラのみ新しい値になります。図14.10および図14.11に8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例を示します。

16ビットタイマ時、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、16ビットカウンタへの転送はカウントソースに同期して行われます。TWRCビットが1(リロードレジスタのみ書き込み)の場合、16ビットカウンタへの転送は16ビットカウンタのアンダフローに同期して行われます。図14.12および図14.13に16ビットタイマ時のカウンタの動作例を示します。

なお、プログラマブルウェイトワンショット発生モード中、TRBCRレジスタのTCSTFビットが1(カウント中)、TRBOCRレジスタのTOSSTFビットが0(ワンショット停止)のとき、TRBMRレジスタのTWRCビットの設定は無効なので、リロードレジスタとカウンタへ書き込めず。



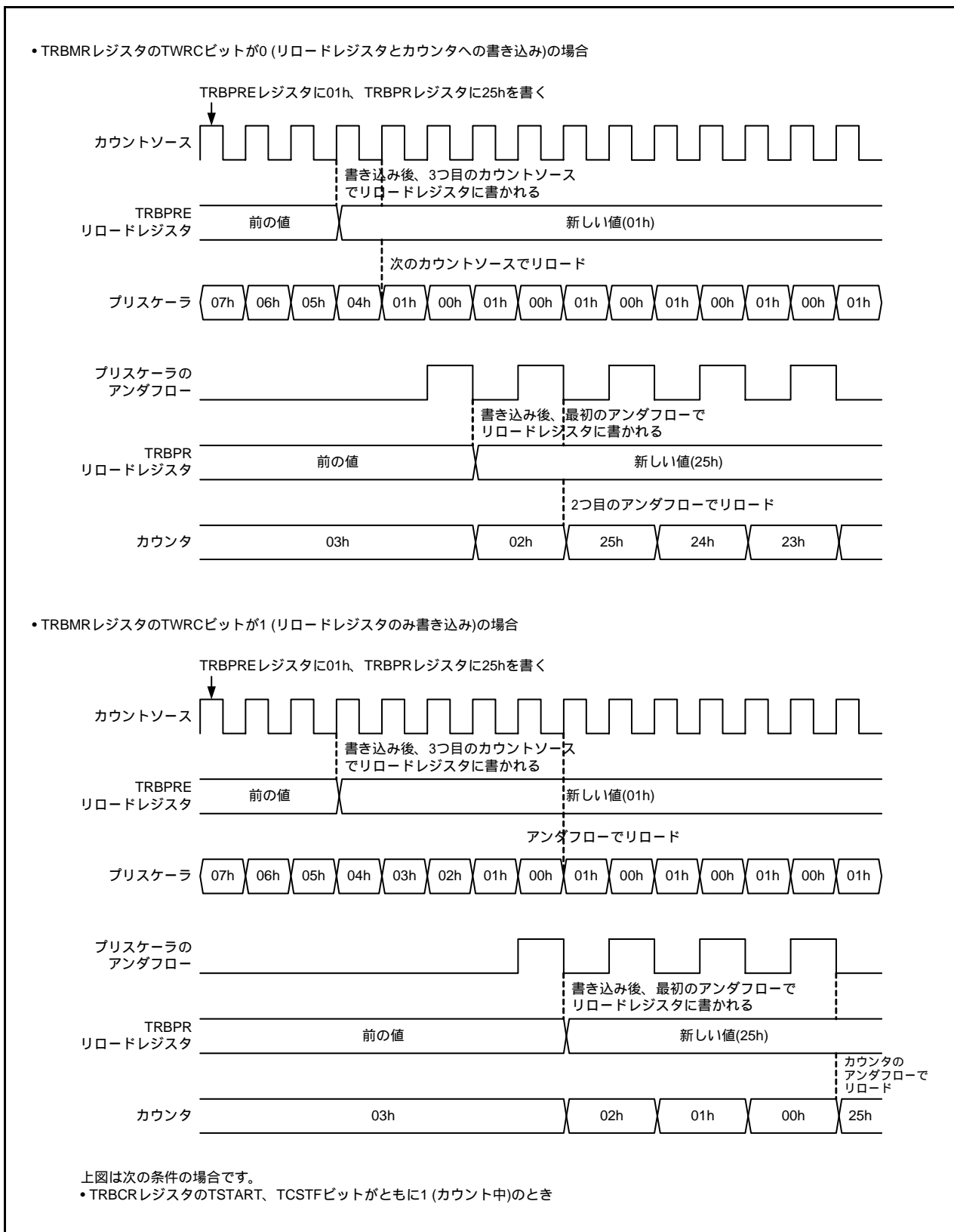


図14.10 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例  
 (タイマモードまたはプログラマブルワンショット発生モードの例)

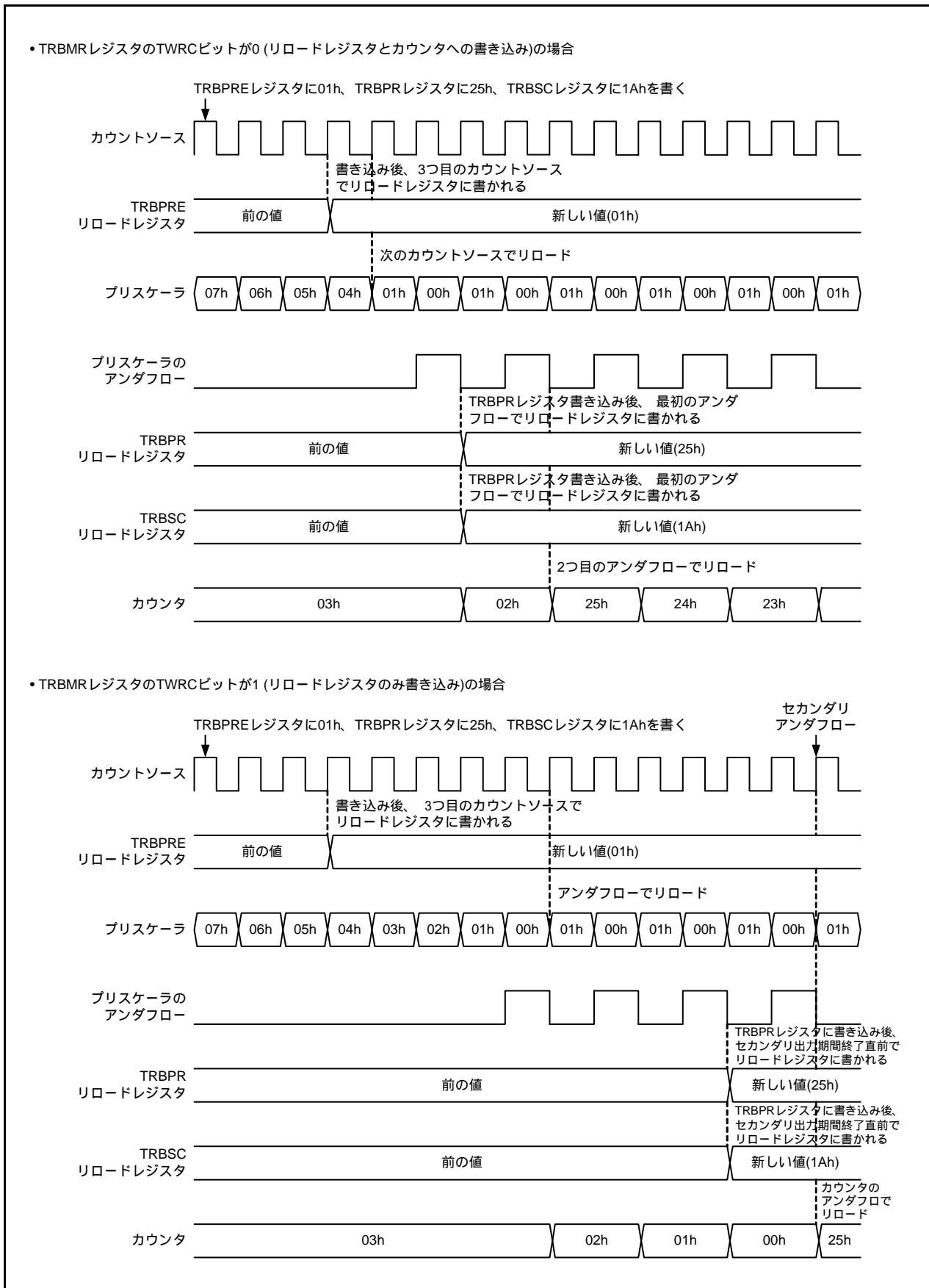


図 14.11 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例  
(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

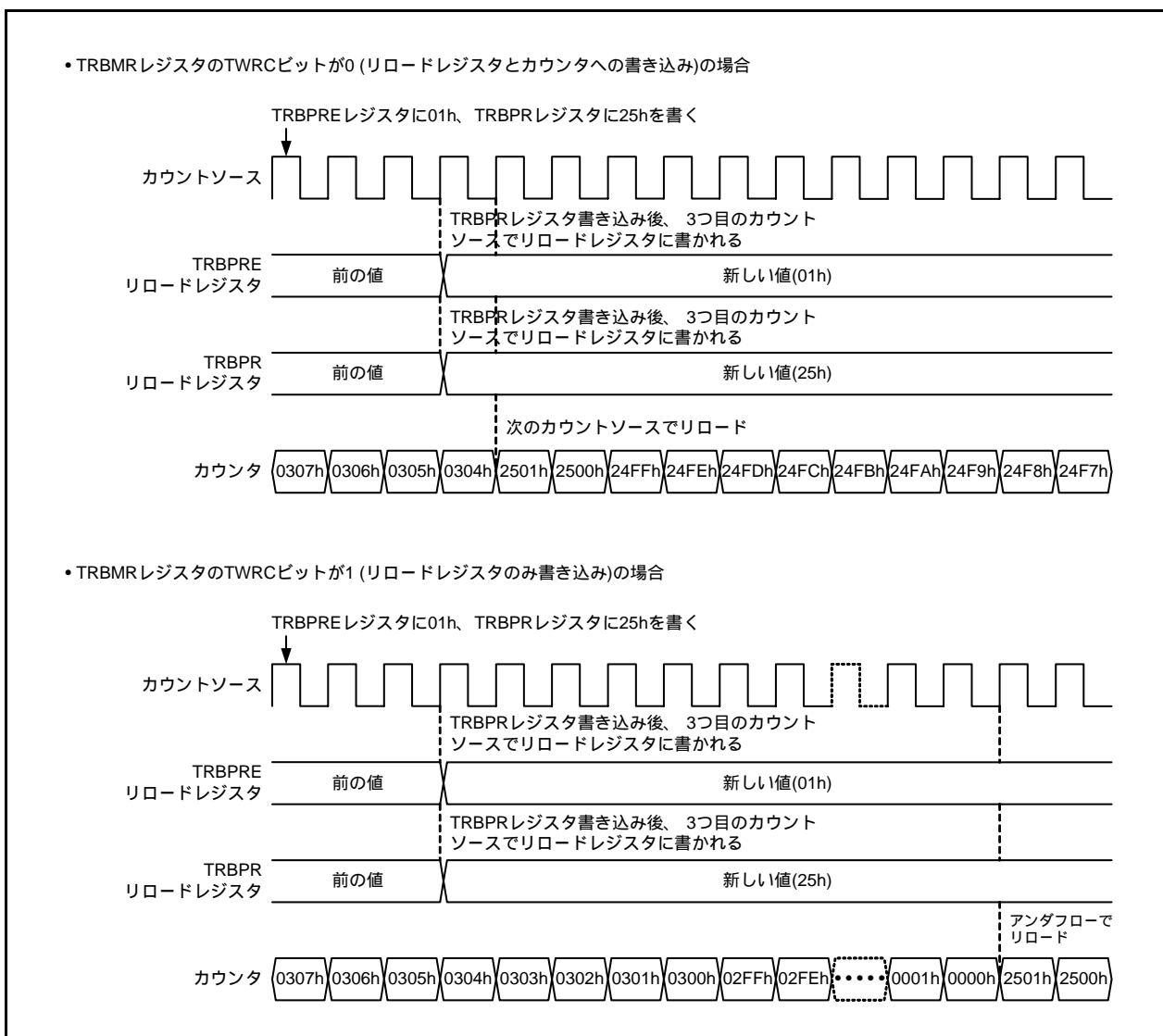


図 14.12 16ビットタイマ時のカウンタの動作例  
(タイマモードまたはプログラマブルワンショット発生モードの例)

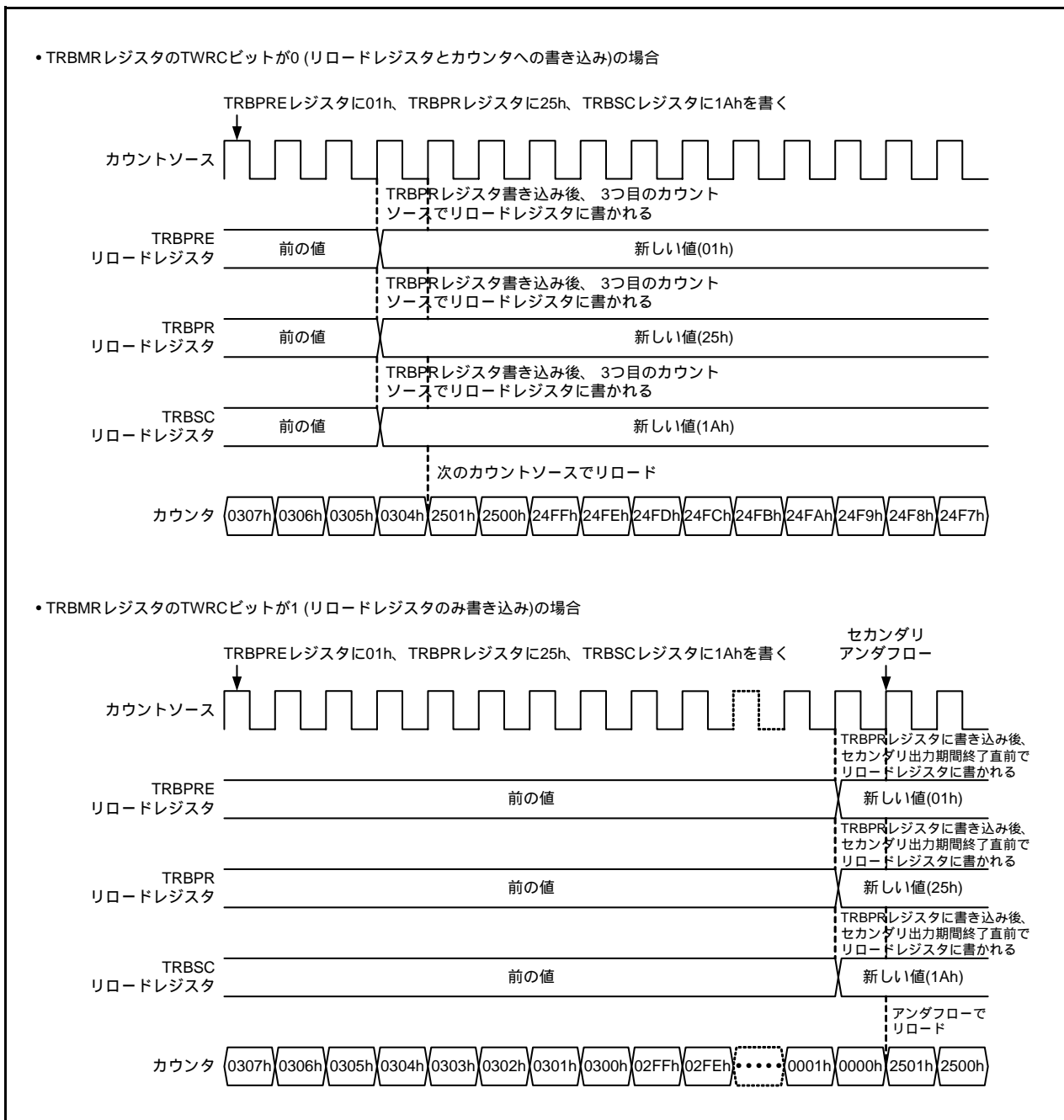


図 14.13 16ビットタイマ時のカウンタの動作例

(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

### 14.5.3 TOCNTビットの設定と端子状態

TRBIOCレジスタのTOCNTビットによりタイマ波形出力するか、固定値を出力するかを選択できます。ただし、TOCNTビットの設定にかかわらず、タイマモードは不定値出力、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは波形出力となります。表14.8に各モードでの出力データを示します。

表14.8 各モードでの出力データ

動作モード	出力許可/禁止		出力データ
タイマモード	出力禁止		不定値出力
プログラマブル波形発生モード	TCONT	0	波形出力
		1	固定値 (TOPLの反転値)
プログラマブルワンショット発生モード	出力許可		波形出力
プログラマブルウェイトワンショット発生モード			

TOPL、TOCNT : TRBIOCレジスタのビット

プログラマブル波形発生モードでは、TOCNTビットを書き換えた場合、直ちに端子状態は変わらずに、下記の条件どちらかが発生したときに変更した内容が反映されます。TOCNTビットが1(固定値出力)のとき、TRBIOCレジスタのTOPLビットで設定されたプライマリ期間の値が出力されます。

[端子状態の更新条件]

- TRBCRレジスタのTSTARTビットを0(カウント停止)から1(カウント開始)に変更したとき
- TRBPRレジスタがカウンタにリロードされたとき

## 14.6 割り込み要求

TRBIRレジスタのTRBIFビットが1(割り込み要求あり)、TRBIEビットが1(割り込み許可)のとき、CPUに割り込み要求が発生します。TRBIFビットが1になる条件は、各モードにより異なります。TRBIFビットの説明および各モードの説明を参照してください。

## 14.7 INT0入力トリガ選択

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが1(カウント中)の状態、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込む、またはINT0端子にトリガを入力すると、ワンショット動作を開始します。

INT0端子からトリガ入力を使用する場合は、事前に次の設定をしてください。

- (1) ポートのマッピングレジスタの設定で、ポートP1\_4またはP4\_5をINT0端子にする
- (2) INTF0レジスタのINT0F0 ~ INT0F1ビットで、INT0端子のデジタルフィルタのサンプリングクロックを選択する
- (3) INTENレジスタのINT0ENビットを1(許可)にし、割り込みを許可する
- (4) TRBIOCレジスタのINOSEGビットで、立ち下がりまたは立ち上がりエッジを選択する
- (5) TRBIOCレジスタのINOSTGビットを1(INT0端子ワンショットトリガ有効)にする

なお、INT0端子へのトリガ入力で割り込み要求が発生させる場合は、次の点に注意してください。  
• ISCR0レジスタのINT0SA ~ INT0SBビットで、割り込みの立ち下がりエッジ、立ち上がりエッジ、または両エッジを選択する

TRBOCRレジスタのTOSSTFビットが1(ワンショット動作(ウェイト期間を含む))の間に、ワンショットトリガが発生しても、タイマRB2の動作には影響ありません。しかし、IRR3レジスタのIRI0ビットは変化します。

割り込みの詳細は「11. 割り込み」を参照してください。

## 14.8 タイマRB2使用上の注意事項

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
  - 8ビットプリスケアラ付き8ビットタイマ時、プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。  
16ビットタイマ時、TRBPREレジスタをアクセスした後に、TRBPRレジスタをアクセスしてください。初めにTRBPREレジスタを読み、下位バイトのカウント値を読み出します。上位バイトのカウント値は保留します。次にTRBPRレジスタを読み、保留した上位バイトのカウント値を読み出します。この2つのレジスタを読み出す間にタイマ値は更新されません。
  - プログラブルワンショット発生モードおよびプログラブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
  - カウント停止中にTRBCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2~3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。  
カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2~3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
- 注1. タイマRB2関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBPR、TRBSC
- タイマモード時、TRBPRE、TRBPRレジスタは、両レジスタ同時に00hに設定しないでください。
  - TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、TRBPRE、TRBPR、TRBSCレジスタに値を変更した後、システムクロック(f)の2サイクル以上待ってから、TRBCRレジスタのTSTARTビットを1(カウント開始)にしてください。
  - TRBCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。
  - TRBCRレジスタのTCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
  - カウント中(TSTARTビットが1またはTCSTFビットが1)にTRBPRE、TRBPR、TRBSCレジスタに書き込む場合は、以下の点に注意してください。
    - TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
    - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
    - TRBSCレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
  - プログラブル波形発生モードでTRBPRレジスタを書き換えた場合、書き換え後に迎えたセカンダリ出力期間の次のタイミングで、TRBPRE、TRBPR、TRBSCレジスタに書かないでください。
    - 8ビットプリスケアラ付き8ビットタイマ:
      - セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
    - 16ビットタイマ:
      - セカンダリ出力期間が終了する前のカウントソースクロックの2周期分
  - タイマRJ2のアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJ2はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。

- TRBOCR レジスタのTOSSTビットまたはTOSSPビットに1を書くと、カウントソースの2～3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になるか1になるかわかりません。
- プログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてから、TRBPRレジスタに書いてください。TRBPRレジスタに書いた後のセカンダリ期間のアンダフロー時に、TRBPRレジスタに書いた値が、カウンタに転送されます。TRBPRレジスタに書いた後からセカンダリ期間のアンダフローまでに、TRBPR、TRBSCレジスタに複数回書くと、最後に書いた値がアンダフロー時にカウンタに転送されます。
- カウント中にTRBCRレジスタのTSTOPビットに1を書くと、すぐにタイマRB2は停止します。
- カウント中にTSTOPビットに1を書いてカウントを強制停止させると、TRBIRレジスタのTRBIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRBIFビットを0(割り込み要求なし)にしてください。
- TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、TRBPRE、TRBPRレジスタの値を書き込んだ後、システムクロック(f)の2サイクル以上待ってから、読み出してください。



## 15. タイマRC

タイマRCはアウトプットコンペア機能、インプットキャプチャ機能を内蔵した16ビットのタイマです。外部イベントのカウントができます。タイマRCカウンタと4本のジェネラルレジスタのコンペア一致による、任意のデューティのパルス出力など、多機能タイマとして種々の応用が可能です。

### 15.1 概要

表15.1にタイマRCの仕様を、表15.2にタイマRC機能一覧を、図15.1にタイマRCのブロック図を、表15.3にタイマRCの端子構成を示します。

表15.1 タイマRCの仕様

項目		内容
カウントソース (カウンタ入力 クロック)	動作 クロック	内部クロック <ul style="list-style-type: none"> <li>• f1、f2、f4、f8、f32 :</li> <li>TRCCR1 レジスタのCKS2 ~ CKS0ビットが000b ~ 100bで選択</li> <li>• fHOCO : TRCCR1 レジスタのCKS2 ~ CKS0ビットが110bで選択</li> </ul>
	外部クロック (外部イベ ントカ ウント)	TRCCLK入力 : TRCCR1 レジスタのCKS2 ~ CKS0ビットが101bで 選択
パルス入出力端子		4本
ジェネラルレジスタ		4本 <ul style="list-style-type: none"> <li>• アウトプットコンペアレジスタ、インプットキャプチャレジスタとして独立に設定可能</li> <li>• アウトプットコンペアレジスタ、インプットキャプチャレジスタのバッファレジスタとしても使用可能</li> </ul>
動作モード	タイマモード	<ul style="list-style-type: none"> <li>• アウトプットコンペア機能 : L出力、H出力、トグル出力が可能</li> <li>• インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジを検出</li> <li>• カウンタクリア機能 : カウンタの周期設定が可能</li> </ul>
	PWMモード	最大3相のPWM出力が可能
	PWM2モード	任意の周期/デューティのパルス出力が可能
割り込み要因		<ul style="list-style-type: none"> <li>• コンペア一致/インプットキャプチャ兼用割り込み × 4 要因</li> <li>• オーバフロー割り込み</li> </ul>
その他		<ul style="list-style-type: none"> <li>• タイマRC出力の初期値を任意に設定可能</li> <li>• TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタのコンペア一致によるA/D変換トリガを設定可能</li> </ul>

表15.2 タイマRC機能一覧

項目	カウンタ	入出力端子			
		TRCIOA	TRCIOB	TRCIOC	TRCIOD
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼 用レジスタ)	周期設定は TRCGRAレジ スタ	TRCGRAレジ スタ	TRCGRBレジ スタ	TRCGRCレジ スタ バッファ動作時 TRCGRAレジ スタのバッファ レジスタ	TRCGRDレジ スタ バッファ動作時 TRCGRBレジ スタのバッファ レジスタ
カウンタクリア機能	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	—	—	—
	TRCTRГ入力	—	—	—	—
初期出力レベルの 設定機能	—				
バッファ動作	—			—	—
コンペア 一致	L出力	—			
	H出力	—			
	トグル出力	—			
インプットキャプチャ 機能	—				
PWMモード	—	—			
PWM2モード	—	—		—	—
割り込み要因	オーバフロー	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ

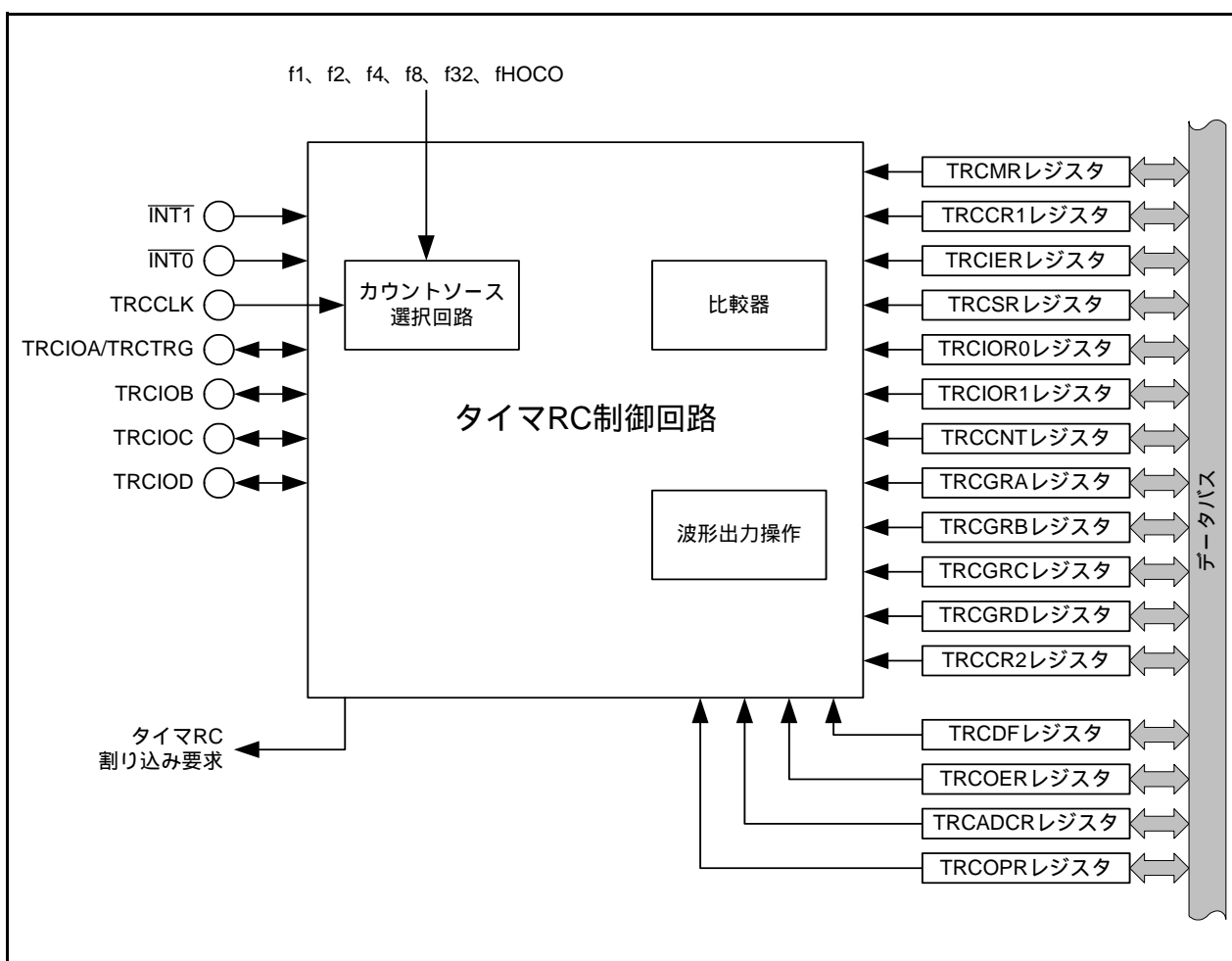


図 15.1 タイマRCのブロック図

表 15.3 タイマRCの端子構成

端子名	入出力	機能
TRCLK	入力	外部クロック入力
TRCIOA/TRCTR	入出力	TRCGRA アウトプットコンペア出力/TRCGRA インプットキャプチャ入力/ 外部トリガ入力 (TRCTR)
TRCIOB	入出力	TRCGRB アウトプットコンペア出力/TRCGRB インプットキャプチャ入力/ PWM出力 (PWMモード時)
TRCIOC	入出力	TRCGRC アウトプットコンペア出力/TRCGRC インプットキャプチャ入力/ PWM出力 (PWMモード時)
TRCIOD	入出力	TRCGRD アウトプットコンペア出力/TRCGRD インプットキャプチャ入力/ PWM出力 (PWMモード時)
$\overline{\text{INT0}}$	入力	タイマ出力禁止制御入力
$\overline{\text{INT1}}$	入力	波形出力操作イベント入力

## 15.2 レジスタの説明

表15.4にタイマRCのレジスタ構成を示します。

表15.4 タイマRCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRCカウンタ	TRCCNT	00h	000E8h	16
		00h	000E9h	
タイマRCジェネラルレジスタA	TRCGRA	FFh	000EAh	16
		FFh	000EBh	
タイマRCジェネラルレジスタB	TRCGRB	FFh	000ECh	16
		FFh	000EDh	
タイマRCジェネラルレジスタC	TRCGRC	FFh	000EEh	16
		FFh	000EFh	
タイマRCジェネラルレジスタD	TRCGRD	FFh	000F0h	16
		FFh	000F1h	
タイマRCモードレジスタ	TRCMR	01001000b	000F2h	8
タイマRC制御レジスタ1	TRCCR1	00h	000F3h	8
タイマRC割り込み許可レジスタ	TRCIER	01110000b	000F4h	8
タイマRCステータスレジスタ	TRCSR	01110000b	000F5h	8
タイマRC I/O制御レジスタ0	TRCIOR0	10001000b	000F6h	8
タイマRC I/O制御レジスタ1	TRCIOR1	10001000b	000F7h	8
タイマRC制御レジスタ2	TRCCR2	00011000b	000F8h	8
タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h	000F9h	8
タイマRC出力許可レジスタ	TRCOER	01111111b	000FAh	8
タイマRC A/D変換トリガ制御レジスタ	TRCADCR	11110000b	000FBh	8
タイマRC波形出力操作レジスタ	TRCOPR	00h	000FCh	8

## 15.2.1 タイマRCカウンタ(TRCCNT)

アドレス 000E8h ~ 000E9h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	16ビットの読み出し/書き込みが可能なアップカウンタです。オーバーフローすると、TRCSRレジスタのOVFビットが1になります。このとき、TRCIERレジスタのOVIEビットが1(OVFビットによる割り込み要求(FOVI)許可)の場合、割り込み要求を発生します。	0000h ~ FFFFh	R/W

TRCCNTレジスタのカウントソースは、TRCCR1レジスタのCKS0 ~ CKS2ビットで選択します。TRCCR1レジスタのCCLRビットが1のとき、TRCGRAレジスタとのコンペア一致時に、TRCCNTレジスタは0000hになります。

TRCCNTレジスタは、16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。16ビット単位でアクセスすると、8ビット単位で2回アクセスされます。

### 15.2.2 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 000EAh ~ 000EBh (TRCGRA)、000ECh ~ 000EDh (TRCGRB)、  
000EEh ~ 000EFh (TRCGRC)、000F0h ~ 000F1h (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

表15.5 インพุットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRCGRA		ジェネラルレジスタ。インพุットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。インพุットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「15.5.5 バッファ動作のタイミング」参照)。	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

表15.6 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA		ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次回のコンペア値を書いてください。(「15.5.5 バッファ動作のタイミング」参照)	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

表15.7 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	
TRCGRB		ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次回のPWM周期を設定してください(「15.5.5 バッファ動作のタイミング」参照)。	
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

表 15.8 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)		ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BUFEA = 0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BUFEB = 0	(PWM2モードでは使用しません)	
TRCGRD	BUFEB = 1	バッファレジスタ。次のPWM出力の変化点を設定してください。(「15.5.5 バッファ動作のタイミング」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

### 15.2.3 タイマRCモードレジスタ(TRCMR)

アドレス 000F2h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット(注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOD PWMモード選択ビット(注1)		R/W
b2	PWMD	TRCIOD PWMモード選択ビット(注1)		R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード 1 : タイマモードまたはPWMモード	R/W
b4	BUFEA	TRCGRCレジスタ機能選択ビット(注2)	0 : アウトプットコンペアレジスタまたはインプットキャプチャレジスタ 1 : TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ	R/W
b5	BUFEB	TRCGRDレジスタ機能選択ビット	0 : アウトプットコンペアレジスタまたはインプットキャプチャレジスタ 1 : TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	CTS	TRCCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. これらのビットはPWM2ビットが1(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBUFEAビットを0(ジェネラルレジスタ)にしてください。

#### CTSビット(TRCCNTカウント開始ビット)

[0になる条件]

- 0を書いたとき
- PWM2モード時、TRCCR2レジスタのCSTPビットが1(カウントアップ停止)の状態、コンペア一致が発生したとき

[1になる条件]

- 1を書いたとき

## 15.2.4 タイマRC制御レジスタ1 (TRCCR1)

アドレス	000F3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	タイマ出力レベル選択Aビット	0 : 出力値0 (注1) 1 : 出力値1 (注1)	R/W
b1	TOB	タイマ出力レベル選択Bビット		R/W
b2	TOC	タイマ出力レベル選択Cビット		R/W
b3	TOD	タイマ出力レベル選択Dビット		R/W
b4	CKS0	カウントソース選択ビット	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立下がりエッジ(注3) 1 1 0 : fHOCO (注2) 1 1 1 : 設定しないでください	R/W
b5	CKS1			R/W
b6	CKS2			R/W
b7	CCLR	TRCCNTカウンタクリア選択ビット	0 : クリア禁止 (フリーランニング動作) 1 : インプットキャプチャ/コンペアー致AでTRCCNTカウンタクリア	R/W

注1. TOA ~ TODビットで設定した出力値は、変更した時点で反映されます。なお、TRCMRレジスタのCTSビットが0(カウント停止)ときに設定してください。

注2. fHOCOを選択する場合は、オンチップオシレータが動作している状態で設定してください。また、カウントソースを切り換える場合は、カウンタが停止した状態で設定してください。

注3. TRCCLKに入力する外部クロックのパルス幅は動作クロックの3サイクル以上にしてください。

## TOAビット(タイマ出力レベル選択Aビット)

最初のコンペアー致Aが発生するまでの、TRCIOA端子の出力値を設定します。また、PWMモードではTRCIOA端子の出力レベルを制御します。

## TOBビット(タイマ出力レベル選択Bビット)

最初のコンペアー致Bが発生するまでの、TRCIOB端子の出力値を設定します。また、PWMモードではTRCIOB端子の出力レベルを制御します。

## TOCビット(タイマ出力レベル選択Cビット)

最初のコンペアー致Cが発生するまでの、TRCIOC端子の出力値を設定します。また、PWMモードではTRCIOC端子の出力レベルを制御します。

## TODビット(タイマ出力レベル選択Dビット)

最初のコンペアー致Dが発生するまでの、TRCIOD端子の出力値を設定します。また、PWMモードではTRCIOD端子の出力レベルを制御します。

## 15.2.5 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 000F4h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致A割り込み許可ビット	0 : TRCSRレジスタのIMFAビットによる割り込み要求(IMIA)禁止 1 : TRCSRレジスタのIMFAビットによる割り込み要求(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致B割り込み許可ビット	0 : TRCSRレジスタのIMFBビットによる割り込み要求(IMIB)禁止 1 : TRCSRレジスタのIMFBビットによる割り込み要求(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致C割り込み許可ビット	0 : TRCSRレジスタのIMFCビットによる割り込み要求(IMIC)禁止 1 : TRCSRレジスタのIMFCビットによる割り込み要求(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致D割り込み許可ビット	0 : TRCSRレジスタのIMFDビットによる割り込み要求(IMID)禁止 1 : TRCSRレジスタのIMFDビットによる割り込み要求(IMID)許可	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVIE	タイマオーバフロー割り込み許可ビット	0 : TRCSRレジスタのOVFビットによる割り込み要求(FOVI)禁止 1 : TRCSRレジスタのOVFビットによる割り込み要求(FOVI)許可	R/W



## 15.2.6 タイマRCステータスレジスタ(TRCSR)

アドレス	000F5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致 Aフラグ	[0になる条件] • 1を読んだ後、0を書いたとき(注1) [1になる条件] • 「表15.9 各フラグが1になる条件」参照	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致 Bフラグ		R/W
b2	IMFC	インプットキャプチャ/コンペアー一致 Cフラグ		R/W
b3	IMFD	インプットキャプチャ/コンペアー一致 Dフラグ		R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVF	タイマオーバフローフラグ	[0になる条件] • 1を読んだ後、0を書いたとき [1になる条件] • 「表15.9 各フラグが1になる条件」参照	R/W

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

表15.9 各フラグが1になる条件

シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペアー機能		
IMFA	TRCIOA端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRAレジスタへ転送されたとき	TRCCNTレジスタとTRCGRAレジスタの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRBレジスタへ転送されたとき	TRCCNTレジスタとTRCGRBレジスタの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRCレジスタへ転送されたとき	TRCCNTレジスタとTRCGRCレジスタの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRDレジスタへ転送されたとき	TRCCNTレジスタとTRCGRDレジスタの値が一致したとき(注2)		
OVF	TRCCNTレジスタがFFFFhから0000hにオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj0 ~ IOj1ビット(j = A、B、C、D)で選択したエッジです。ただし、TRCIOR0レジスタのIOA2、IOB2ビット、TRCIOR1レジスタのIOC2、IOD2ビットはすべて1(インプットキャプチャ機能)にしてください。

注2. TRCMRレジスタのBUFEA、BUFEBビットが1(TRCGRA、TRCGRBのバッファレジスタ)の場合を含みます。

## 15.2.7 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 000F6h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御A0ビット	[IOA2 = 0 (アウトプットコンペア機能)]	R/W
b1	IOA1	TRCGRA制御A1ビット	b1 b0 00 : コンペア一致Aによる端子出力禁止 01 : コンペア一致AでTRCIOA端子へL出力 10 : コンペア一致AでTRCIOA端子へH出力 11 : コンペア一致AでTRCIOA端子へトグル出力 [IOA2 = 1 (インプットキャプチャ機能)] b1 b0 00 : TRCIOA端子の立ち上がりエッジ 01 : TRCIOA端子の立ち下がりエッジ 10 : TRCIOA端子の両エッジ 11 : 設定しないでください。	R/W
b2	IOA2	TRCGRA制御A2ビット(注1)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	—	予約ビット	1にしてください	R/W
b4	IOB0	TRCGRB制御B0ビット	[IOB2 = 0 (アウトプットコンペア機能)]	R/W
b5	IOB1	TRCGRB制御B1ビット	b5 b4 00 : コンペア一致Bによる端子出力禁止 01 : コンペア一致BでTRCIOB端子へL出力 10 : コンペア一致BでTRCIOB端子へH出力 11 : コンペア一致BでTRCIOB端子へトグル出力 [IOB2 = 1 (インプットキャプチャ機能)] b5 b4 00 : TRCIOB端子の立ち上がりエッジ 01 : TRCIOB端子の立ち下がりエッジ 10 : TRCIOA端子の両エッジ 11 : 設定しないでください。	R/W
b6	IOB2	TRCGRB制御B2ビット(注1)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. TRCMRレジスタのBUFEA、BUFEBビットを1にした場合、TRCGRAとTRCGRBレジスタ、TRCGRBとTRCGRDレジスタがペアとなります。IOA2ビットとTRCIOR1レジスタのIOC2ビット、IOB2ビットとTRCIOR1レジスタのIOD2ビットは、同じ値を設定してください。

PWMモードおよびPWM2モードでは、TRCIOR0レジスタの設定は無効になります。

## 15.2.8 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス	000F7h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御 C0ビット	[IOC2 = 0、IOC3 = 0 (コンペア一致CでTRCIOA端子へ出力)] (注1、2) b1 b0 00: コンペア一致Cによる端子出力禁止 01: コンペア一致CでTRCIOA端子へL出力 10: コンペア一致CでTRCIOA端子へH出力 11: コンペア一致CでTRCIOA端子へトグル出力	R/W
b1	IOC1	TRCGRC制御 C1ビット	[IOC2 = 0、IOC3 = 1 (コンペア一致CでTRCIOC端子へ出力)] (注1) b1 b0 00: コンペア一致Cによる端子出力禁止 01: コンペア一致CでTRCIOC端子へL出力 10: コンペア一致CでTRCIOC端子へH出力 11: コンペア一致CでTRCIOC端子へトグル出力 [IOC2 = 1、IOC3 = 1 (インプットキャプチャC時、TRCIOC入力エッジ選択)] (注3) b1 b0 00: TRCIOC入力の立ち上がりエッジでインプットキャプチャC発生 01: TRCIOC入力の立ち下がりエッジでインプットキャプチャC発生 10: TRCIOC入力の両エッジでインプットキャプチャC発生 11: 設定しないでください。	R/W
b2	IOC2	TRCGRC制御 C2ビット (注4)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOC3	TRCGRC制御 C3ビット	0: コンペア一致CでTRCIOA端子へ出力 (注8) 1: コンペア一致CでTRCIOC端子へ出力	R/W
b4	IOD0	TRCGRD制御 D0ビット	[IOD2 = 0、IOD3 = 0 (コンペア一致DでTRCIOB端子へ出力)] (注5、6) b5 b4 00: コンペア一致Dによる端子出力禁止 01: コンペア一致DでTRCIOB端子へL出力 10: コンペア一致DでTRCIOB端子へH出力 11: コンペア一致DでTRCIOB端子へトグル出力	R/W
b5	IOD1	TRCGRD制御 D1ビット	[IOD2 = 0、IOD3 = 1 (コンペア一致DでTRCIOD端子へ出力)] (注5) b5 b4 00: コンペア一致Dによる端子出力禁止 01: コンペア一致DでTRCIOD端子へL出力 10: コンペア一致DでTRCIOD端子へH出力 11: コンペア一致DでTRCIOD端子へトグル出力 [IOD2 = 1、IOD3 = 1 (インプットキャプチャD時、TRCIOD入力エッジ選択)] (注7) b5 b4 00: TRCIOD入力の立ち上がりエッジでインプットキャプチャD発生 01: TRCIOD入力の立ち下がりエッジでインプットキャプチャD発生 10: TRCIOD入力の両エッジでインプットキャプチャD発生 11: 設定しないでください。	R/W
b6	IOD2	TRCGRD制御 D2ビット (注4)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRD制御 D3ビット	0: コンペア一致DでTRCIOB端子へ出力 (注8) 1: コンペア一致DでTRCIOD端子へ出力	R/W

注1. TRCMRレジスタのBUFEAビットが1 (TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ) のとき、コンペア一致AでTRCGRCレジスタの値がTRCGRAレジスタへ転送されます。

注2. TRCIOR0レジスタのIOA2ビットが0 (アウトプットコンペア機能) のとき、コンペア一致AとCが同時に発生した場合、コンペア一致CでTRCIOA端子へ出力が優先されます。

- 注3. BUFEAビットが1 (TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)のとき、インプットキャプチャAでTRCGRAレジスタの値がTRCGRCレジスタへ転送されます。IOC0～IOC1ビットで選択したTRCIOC端子のインプットキャプチャのエッジが入力された場合、TRCSRレジスタのIMFCビットが1になります。ただし、カウント値はTRCGRCレジスタへ転送されません。
- 注4. バッファ動作時、TRCGRAとTRCGRCレジスタ、TRCGRBとTRCGRDレジスタがペアとなります。IOC2ビットとTRCIOR0レジスタのIOA2ビット、IOD2ビットとTRCIOR0レジスタのIOB2ビットは、同じ値を設定してください。
- 注5. TRCMRレジスタのBUFEBビットが1 (TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のとき、コンペアー一致BでTRCGRDレジスタの値がTRCGRBレジスタへ転送されます。
- 注6. TRCIOR0レジスタのIOB2ビットが0 (アウトプットコンペアー機能)のとき、コンペアー一致BとDが同時に発生した場合、コンペアー一致DでTRCIOB端子へ出力が優先されます。
- 注7. BUFEAビットが1 (TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のとき、インプットキャプチャBでTRCGRBレジスタの値がTRCGRDレジスタへ転送されます。IOD0～IOD1ビットで選択したTRCIOD端子のインプットキャプチャのエッジが入力された場合、TRCSRレジスタのIMFDビットが1になります。ただし、カウント値はTRCGRDレジスタへ転送されません。
- 注8. IOC2 = 1の時、IOC3ビットを0に設定しないでください。  
IOD2 = 1の時、IOD3ビットを0に設定しないでください。

PWMモードおよびPWM2モードでは、TRCIOR1レジスタの設定は無効になります。

### 15.2.9 タイマRC制御レジスタ2 (TRCCR2)

アドレス 000F8h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSTP	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	TRCIOB PWMモード出力レベル制御ビット (注1)	0 : 出力レベルはLアクティブ 1 : 出力レベルはHアクティブ	R/W
b1	POLC	TRCIOC PWMモード出力レベル制御ビット (注1)		R/W
b2	POLD	TRCIOD PWMモード出力レベル制御ビット (注1)		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	—
b4	—			
b5	CSTP	カウント停止ビット (注2)	0 : TRCGRAレジスタとのコンペアー一致後もカウント継続 1 : TRCGRAレジスタとのコンペアー一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGの入力禁止 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 立ち上がり/立ち下がり両エッジ	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペアー機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「15.7.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 15.2.10 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 000F9h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA デジタルフィルタ機能ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB デジタルフィルタ機能ビット (注1)		R/W
b2	DFC	TRCIOC デジタルフィルタ機能ビット (注1)		R/W
b3	DFD	TRCIOD デジタルフィルタ機能ビット (注1)		R/W
b4	DFTRG	TRCTRG デジタルフィルタ機能ビット (注2)		R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		-
b6	DFCK0	デジタルフィルタクロック選択ビット (注1、2)	b7 b6 00 : f32 01 : f8 10 : f1 11 : カウントソース (TRCCR1 レジスタの CKS0 ~ CKS2 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが01b、10b、11b (TRCTRGトリガ入力許可)のとき有効です。

## 15.2.11 タイマRC出力許可レジスタ(TRCOER)

アドレス	000FAh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット (注3)	[TRCOPRレジスタのOPEビットが0(波形出力操作無効)のとき](注1)	R/W
b1	EB	TRCIOB出力禁止ビット (注3)	0:出力許可(TRCMR、TRCIOR0レジスタの設定に従う) 1:出力禁止(TRCMR、TRCIOR0レジスタの設定に従わない) [TRCOPRレジスタのOPEビットが1(波形出力操作有効)のとき](注2) 0:出力許可(TRCMR、TRCIOR0レジスタの設定に従う) 1:TRCOPRレジスタの設定により出力レベルは固定またはハイインピーダンス	R/W
b2	EC	TRCIOC出力禁止ビット (注3)	[TRCOPRレジスタのOPEビットが0(波形出力操作無効)のとき](注1)	R/W
b3	ED	TRCIOD出力禁止ビット (注3)	0:出力許可(TRCMR、TRCIOR1レジスタの設定に従う) 1:出力禁止(TRCMR、TRCIOR1レジスタの設定に従わない) [TRCOPRレジスタのOPEビットが1(波形出力操作有効)のとき](注2) 0:出力許可(TRCMR、TRCIOR1レジスタの設定に従う) 1:TRCOPRレジスタの設定により出力レベルは固定またはハイインピーダンス	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	PTO	タイマ出力禁止ビット	[TRCOPRレジスタのOPEビットが0(波形出力操作無効)のとき] 0:INT0端子にLを入力しても、EA~EDビットは変化しない 1:INT0端子にLを入力すると、EA~EDビットは1(出力禁止)になる(INT0は「11. 割り込み」参照) [TRCOPRレジスタのOPEビットが1(波形出力操作有効)のとき] PTOビットの機能は無効(INT0端子にLを入力しても、EA~EDビットは変化しない)。読み書きは可能。	R/W

注1. ソフトウェアでEA~EDビットを設定できます。PTOビットが1のとき、INT0端子にLを入力すると、EA~EDビットは1(出力禁止)になります。

注2. PTOビットの設定値にかかわらず、INT0端子にLを入力しても、EA~EDビットは変化しません。TRCOPRレジスタのRESTATSビットが1のとき、ソフトウェアでEA~EDビットを設定できません。TRCOPRレジスタのOPSEL0~OPSEL1ビットで選択した波形出力操作イベントを入力すると、EA~EDビットは1になります。波形出力操作イベントを解除すると、EA~EDビットは0になります。RESTATSビットが0のとき、ソフトウェアでEA~EDビットを設定できます。また、OPSEL0~OPSEL1ビットで選択した波形出力操作イベントを入力すると、EA~EDビットは1になります。ただし、波形出力操作イベントを解除しても、EA~EDビットは0になりません。ソフトウェアで0にしてください。

注3. 端子をインプットキャプチャ入力として使用するときは無効です。

## 15.2.12 タイマRC A/D変換トリガ制御レジスタ(TRCADCR)

アドレス	000FBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	TRCGRA A/D変換開始トリガ許可ビット	0: コンペア一致A時にA/D変換開始トリガ発生しない 1: コンペア一致A時にA/D変換開始トリガ発生する	R/W
b1	ADTRGBE	TRCGRB A/D変換開始トリガ許可ビット	0: コンペア一致B時にA/D変換開始トリガ発生しない 1: コンペア一致B時にA/D変換開始トリガ発生する	R/W
b2	ADTRGCE	TRCGRC A/D変換開始トリガ許可ビット	0: コンペア一致C時にA/D変換開始トリガ発生しない 1: コンペア一致C時にA/D変換開始トリガ発生する	R/W
b3	ADTRGDE	TRCGRD A/D変換開始トリガ許可ビット	0: コンペア一致D時にA/D変換開始トリガ発生しない 1: コンペア一致D時にA/D変換開始トリガ発生する	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			



## 15.2.13 タイマRC 波形出力操作レジスタ (TRCOPR)

アドレス	000FCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	OPE	RESTATS	OPOL1	OPOL0	OPSEL1	OPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OPSEL0	波形出力操作イベント選択ビット (注1)	b1 b0 00 : コンパレータB1の出力(VCOU1)レベルのL 期間に波形出力を操作 01 : INT1入力レベルのL期間に波形出力を操作 上記以外 : コンパレータB1の出力(VCOU1)レベ ルまたはINT1入力レベルのL期間に波形 出力を操作	R/W
b1	OPSEL1			R/W
b2	OPOL0	波形出力操作期間出力レベル選択 ビット	b3 b2 00 : タイマRC端子がプルダウンの場合、波形出力 操作期間はタイマRC出力レベルがハイイン ピーダンスに固定 01 : タイマRC端子がプルアップの場合、波形出力 操作期間はタイマRC出力レベルがハイイン ピーダンスに固定 10 : 波形出力操作期間はタイマRC出力レベルがL に固定 11 : 波形出力操作期間はタイマRC出力レベルがH に固定	R/W
b3	OPOL1			R/W
b4	RESTATS	リスタート方式選択ビット (注2)	0 : ソフトウェアで出力再開(注3) 1 : 自動出力再開(注4)	R/W
b5	OPE	波形出力操作許可ビット(注5)	0 : 波形出力操作無効 1 : 波形出力操作有効	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

- 注1. OPEビットが1(波形出力操作有効)のとき、波形出力操作イベントを入力すると、TRCOERレジスタのEA～EDビットは1(TRCOPRレジスタの設定により出力レベルは固定またはハイインピーダンス)になります。
- 注2. OPEビットが0(波形出力操作無効)のとき、TRCOERレジスタのEA～EDビットは、このビットの設定の影響を受けません。
- 注3. OPEビットが1またはRESTATSビットが0(ソフトウェアで出力再開)のとき、ソフトウェアでTRCOERレジスタのEA～EDビットを0にします。波形出力操作イベントを解除しても、EA～EDビットは自動的に0になりません。
- 注4. OPEビットが1またはRESTATSビットが1(自動出力再開)のとき、波形出力操作イベントを解除すると、EA～EDビットが自動的に0になります。
- 注5. OPEビットが0のとき、TRCOERレジスタの設定だけでタイマRCの波形出力を操作します。OPEビットが1のとき、TRCOERレジスタのPTOビットの設定にかかわらず、TRCOPRレジスタの設定でタイマRCの波形出力を操作します。TRCOERレジスタのEA～EDビットを、波形出力操作のフラグとして使用します。波形出力操作イベントを入力すると、EA～EDビットが1になります。



## 15.3 動作説明

表15.10にタイマRCの動作モードを示します。

表15.10 タイマRCの動作モード

項目	内容
タイマモード	TRCMRレジスタのPWM2ビットを0、かつPWMB～PWMDビットを0に設定することで、タイマモードとして動作する。この場合、TRCIOR0レジスタのIOA0～IOA2、IOB0～IOB2ビットの設定、TRCIOR1レジスタのIOC0～IOC2、IOD0～IOD2ビットの設定をすることで、アウトプットコンペア機能またはインプットキャプチャ機能が動作する。
PWMモード	TRCMRレジスタのPWM2ビットを0、かつPWMB～PWMDビットを1に設定することで、PWMモードとして動作する。
PWM2モード	TRCMRレジスタのPWM2ビットを1に設定することで、PWM2モードとして動作する。

表15.11～表15.14にTRCIOA～TRCIOD端子設定を示します。TRCIOA～TRCIOD端子の配置は「12. I/Oポート」を参照してください。

表15.11 TRCIOA端子設定

レジスタ ビット	TRCOER EA	TRCMR PWM2	TRCIOR0			機能
			IOA2	IOA1	IOA0	
設定値	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
				1	X	
	X	1	1	X	X	タイマモード(インプットキャプチャ機能)
上記以外						I/Oポート

X: 0または1

表15.12 TRCIOB端子設定

レジスタ ビット	TRCOER EB	TRCMR		TRCIOR0			機能
		PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	X	
	X	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
上記以外							I/Oポート

X: 0または1

表15.13 TRCIOC端子設定

レジスタ ビット	TRCOER EC	TRCMR		TRCIOR1			機能
		PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	X	
	X	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
PWM2 = 1および上記以外							I/Oポート

X: 0または1

表15.14 TRCIOD端子設定

レジスタ ビット	TRCOER ED	TRCMR		TRCIOR1			機能
		PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	X	
	X	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
PWM2 = 1および上記以外							I/Oポート

X: 0または1

### 15.3.1 タイマモード

TRCCNTレジスタは、フリーランニングカウント動作または周期カウント動作します。TRCCNTレジスタはリセット直後、フリーランニングカウンタに設定されます。TRCMRレジスタのCTSビットを1(カウント開始)にセットすると、カウント動作を開始します。TRCCNTレジスタがFFFFhから0000hにオーバーフローすると、TRCSRレジスタのOVFビットが1になり、TRCIERレジスタのOVIEビットが1(OVFビットによる割り込み要求(FOVI)許可)であれば、割り込み要求を発生します。

図15.2にフリーランニングカウンタの動作例を示します。

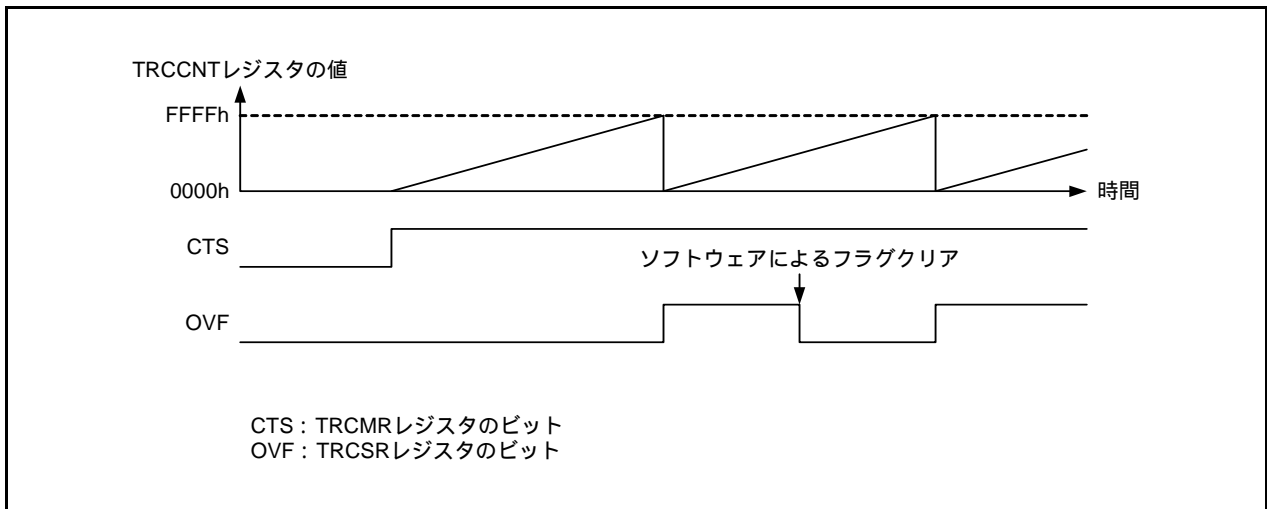


図15.2 フリーランニングカウンタの動作例

周期設定用のTRCGRAレジスタを任意の値に設定し、TRCCR1レジスタのCCLRビットを1にすると、TRCCNTレジスタは周期カウントとして動作します。カウント値がTRCGRAレジスタと一致するとTRCCNTレジスタは0000hになり、TRCSRレジスタのIMFAビットが1になります。このとき、対応するTRCIERレジスタのIMIEAビットが1(TRCSRレジスタのIMFAビットによる割り込み要求(IMIA)許可)であれば、割り込み要求を発生します。TRCCNTレジスタは、0000hからアップカウント動作を継続します。

図15.3に周期カウンタの動作例を示します。

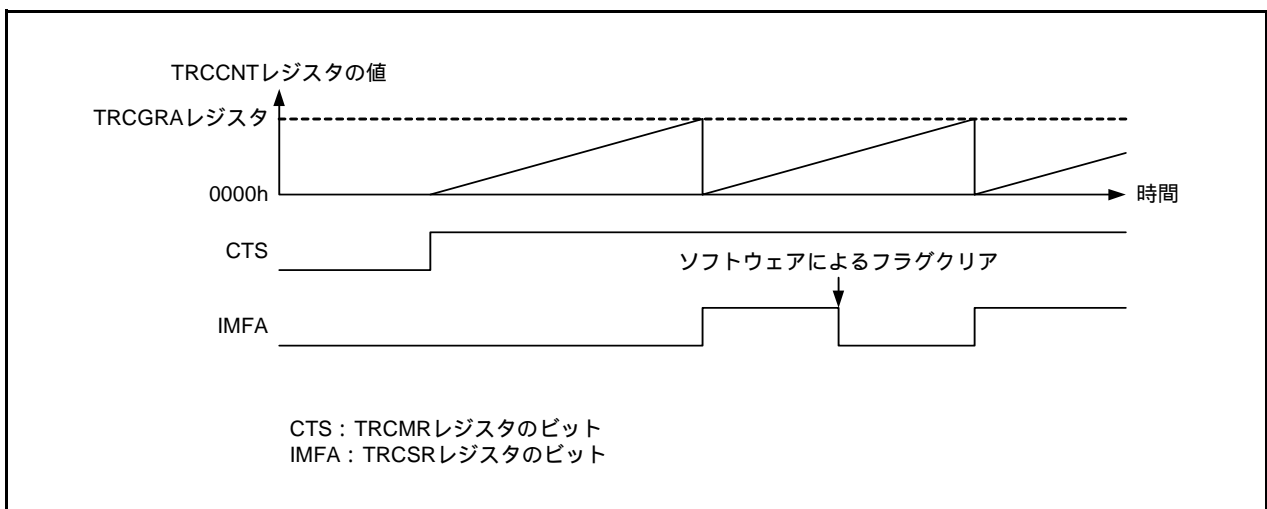


図15.3 周期カウンタの動作例

ジェネラルレジスタをアウトプットコンペアレジスタに設定することで、コンペアー一致A～DによってTRCIOA、TRCIOB、TRCIOC、TRCIOD端子からL出力、H出力またはトグル出力をします。

図15.4にL出力、H出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致BでL出力、コンペアー一致AでH出力します。設定したレベルと端子のレベルが同じ場合は、端子のレベルは変化しません。

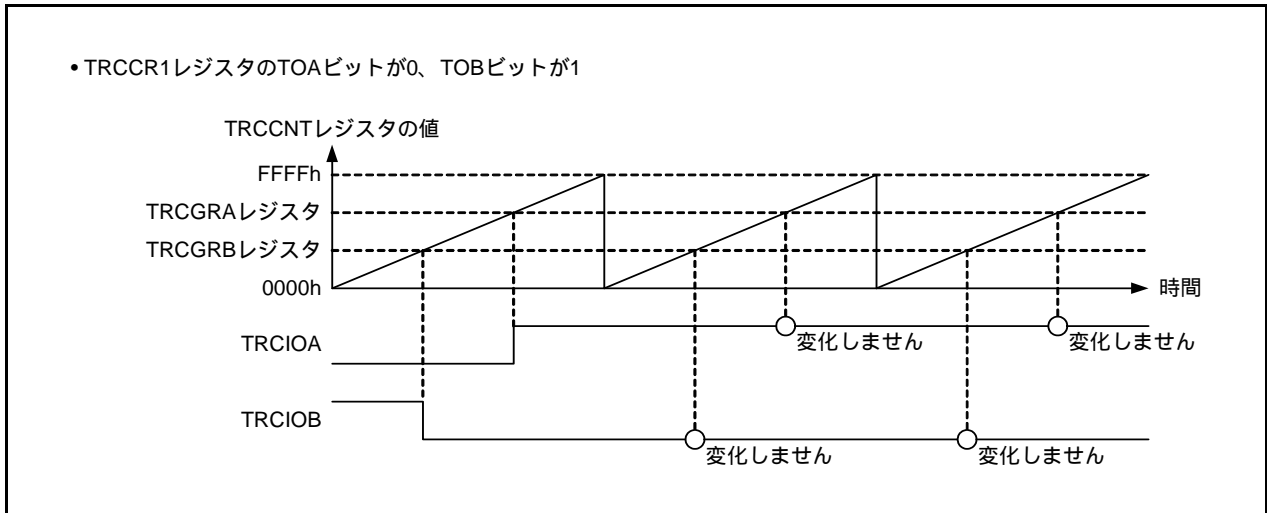


図15.4 L出力、H出力の動作例

図15.5にフリーランニングカウント時トグル出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致A、Bでトグル出力をします。

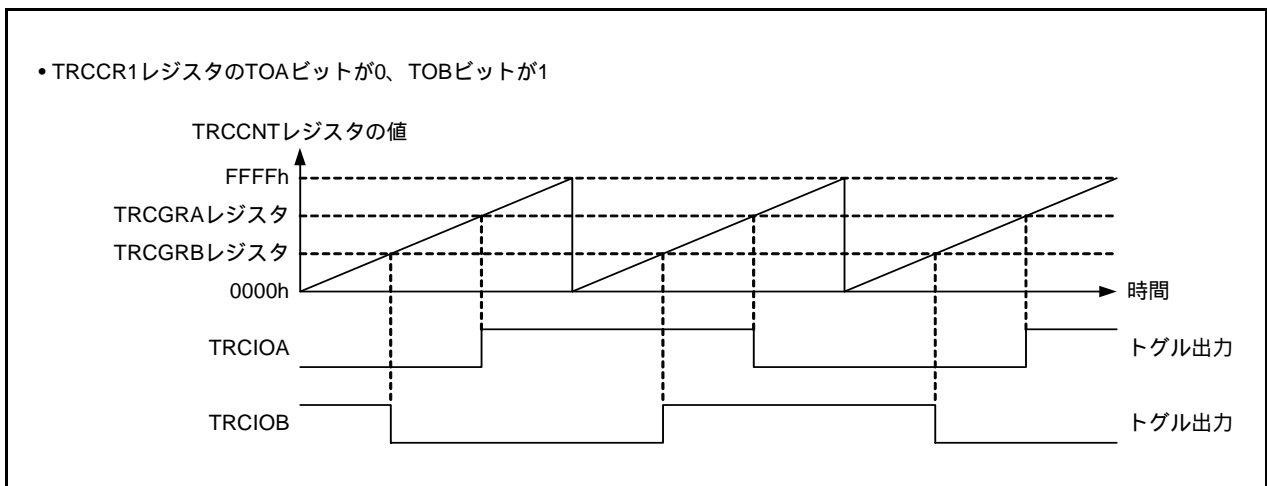


図15.5 フリーランニングカウント時トグル出力の動作例

図15.6に周期カウント時トグル出力の動作例を示します。TRCCNTレジスタを周期カウント動作させ、コンパレー一致A、Bでトグル出力します。

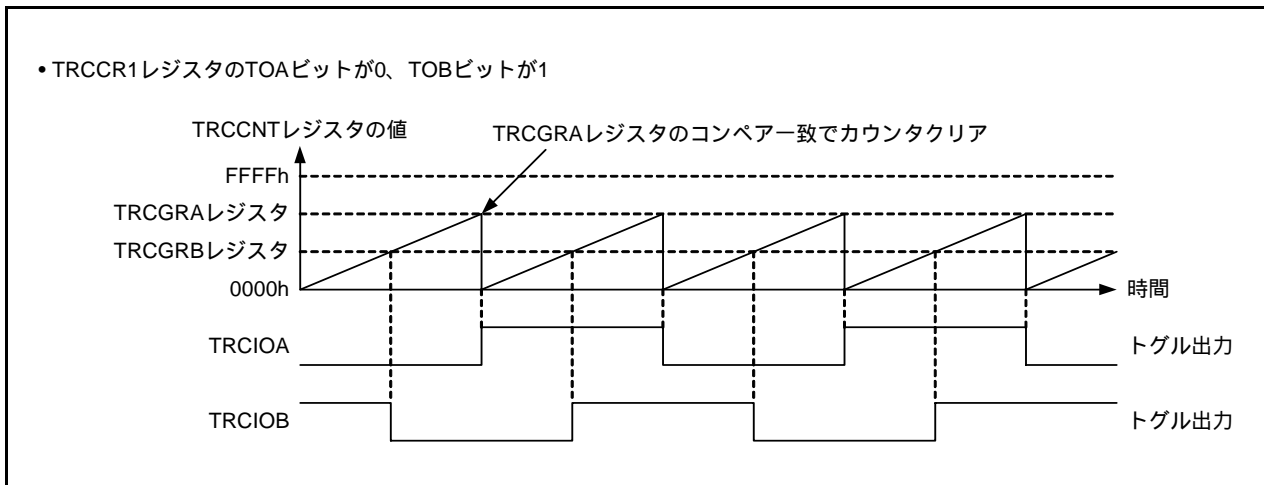


図15.6 周期カウント時トグル出力の動作例

インプットキャプチャ機能でパルス幅や周期の測定ができます。

ジェネラルレジスタをインプットキャプチャレジスタに設定することで、TRCIOA ~ TRCIOD端子の入力エッジを検出したときのTRCCNTレジスタの値を、TRCGRA ~ TRCGRDレジスタに転送します。これを使い、周期の測定をします。検出エッジは立ち上がり、立ち下がりまたは両エッジから選択できます。

図15.7にインプットキャプチャの動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、TRCIOA端子のインプットキャプチャ入力を両エッジに、TRCIOB端子のインプットキャプチャ入力を立ち下がりエッジに選択します。

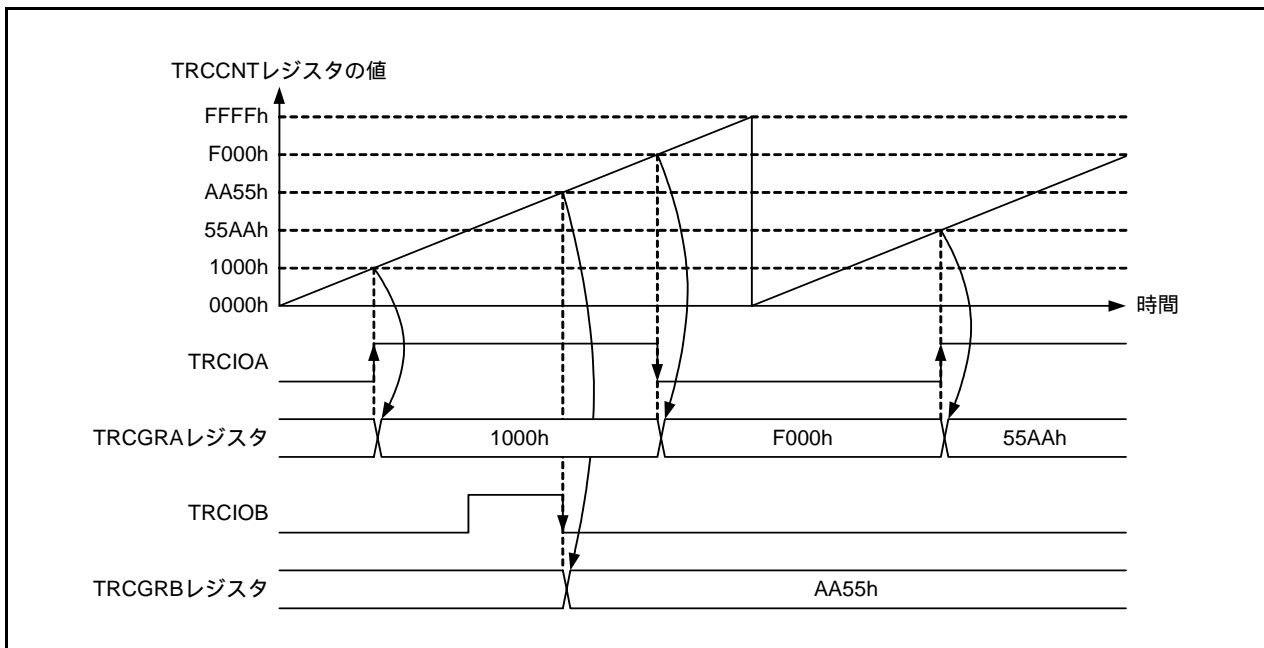


図15.7 インプットキャプチャの動作例

図 15.8 にインプットキャプチャ時のバッファ動作例を示します。TRCGRA レジスタをインプットキャプチャレジスタに設定し、TRCGRC レジスタを TRCGRA レジスタのバッファレジスタとした場合です。TRCCNT レジスタはフリーランニングカウンタ動作、TRCIOA 端子のインプットキャプチャ入力は立ち上がりと立ち下りの両エッジを選択した例です。バッファ動作が設定されているため、インプットキャプチャ A で TRCCNT レジスタの値が TRCGRA レジスタに格納されると同時に、それまで TRCGRA レジスタに格納されていた値が TRCGRC レジスタに転送されます。

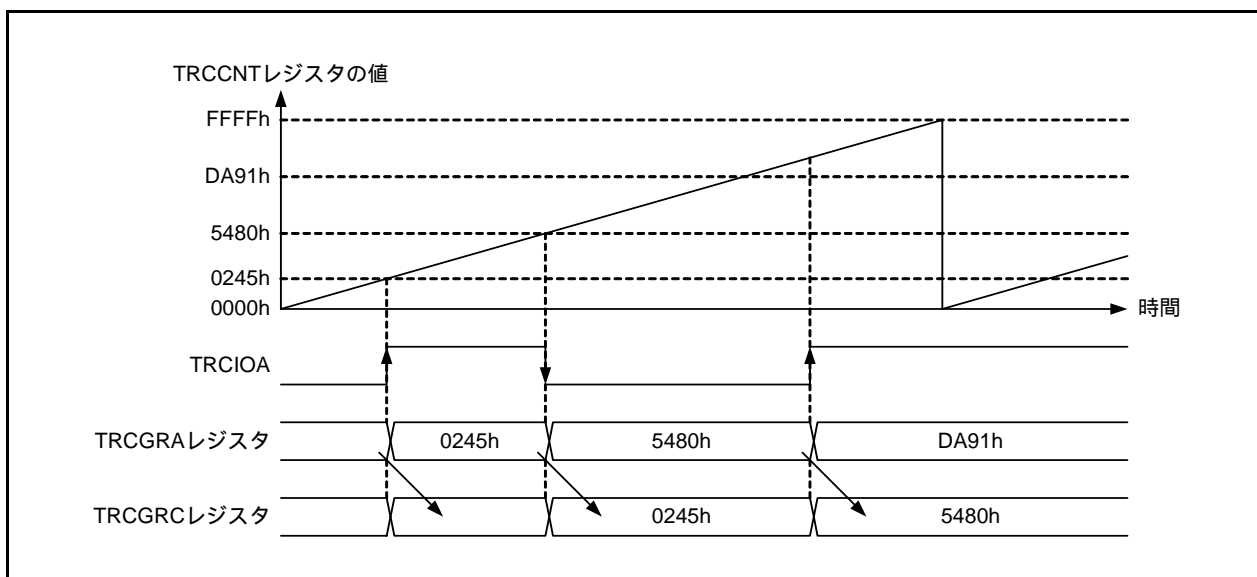


図 15.8 インプットキャプチャ時のバッファ動作例

### 15.3.2 PWMモード

PWMモードはTRCGRAレジスタを周期レジスタ、TRCGRB、TRCGRC、TRCGRDレジスタをデューティレジスタとして設定し、TRCIOB、TRCIOC、TRCIOD出力端子よりそれぞれPWM波形を出力します。最大3相のPWM出力が可能です。PWMモードでは、ジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。IOB2、IOC2、IOD2ビットの設定は無効です。対応する端子の初期出力レベルは、TRCCR1レジスタのTOA～TODビット、TRCCR2レジスタのPOLB～POLDビットの設定値に従います。

表15.15にTRCIOB端子の初期出力レベルを示します。

表15.15 TRCIOB端子の初期出力レベル

TRCCR1レジスタのTOBビット	TRCCR2レジスタのPOLBビット	初期出力レベル
0	0	1
	1	0
1	0	0
	1	1

出力レベルは、TRCCR2レジスタのPOLB～POLDビットで決まります。POLBビットが0(出力レベルはLアクティブ)のときにTRCIOB出力端子は、コンペア一致BでL出力に、コンペア一致AでH出力になります。POLBビットが1(出力レベルはHアクティブ)のときにTRCIOB出力端子は、コンペア一致BでH出力に、コンペア一致AでL出力になります。

TRCIOR0、TRCIOR1レジスタの設定値より、TRCMRのPWMD～PWMBビットの設定値が優先されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

図 15.9にPWMモードの動作例を示します。

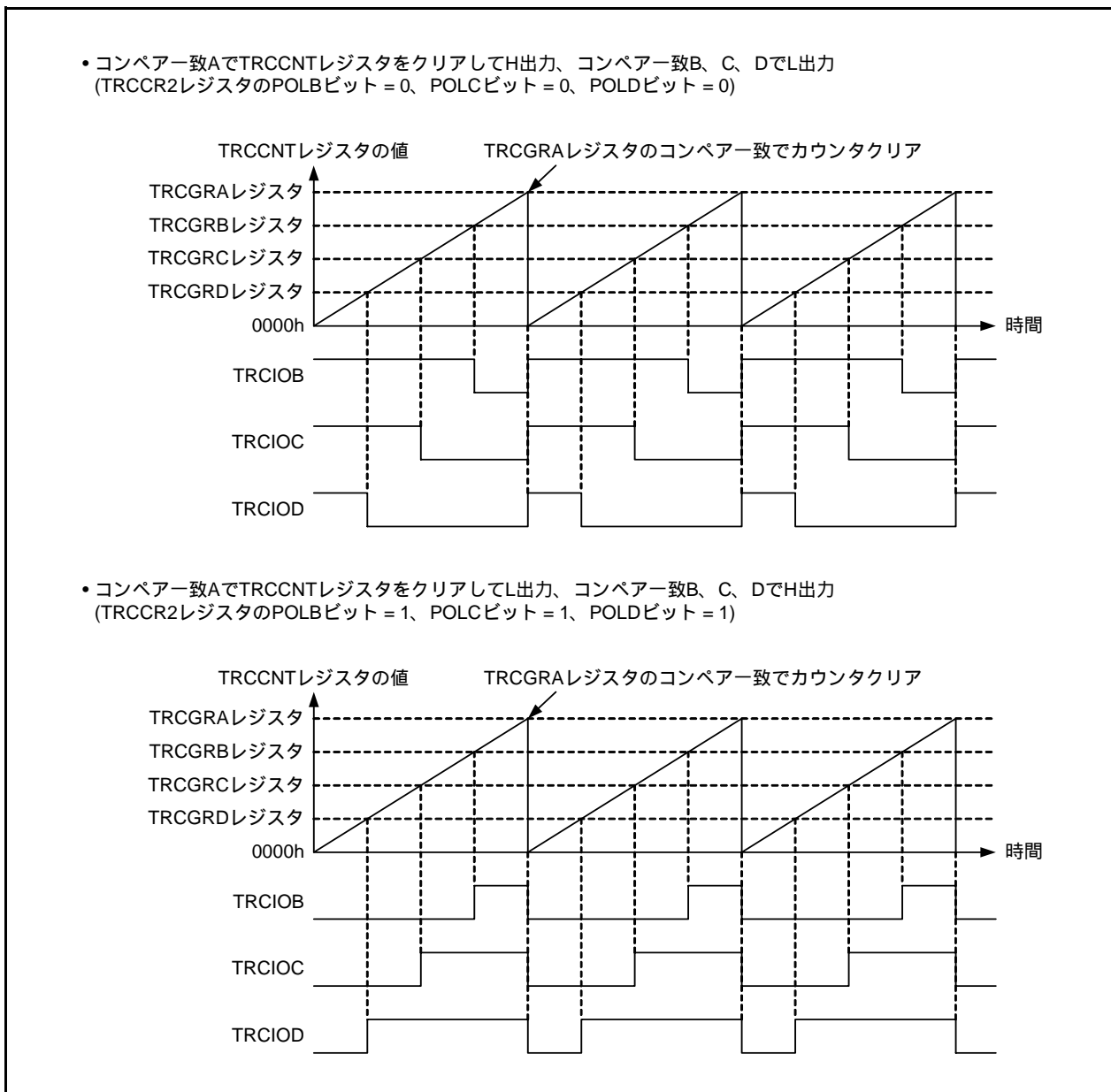


図 15.9 PWMモードの動作例

図 15.10 に PWM モード時のバッファ動作例を示します。TRCIOB 端子を PWM モードに設定し、TRCGRD レジスタを TRCGRB レジスタのバッファレジスタとして設定した場合です。TRCCNT レジスタはコンペア一致 A でクリア、出力はコンペア一致 A で L 出力、コンペア一致 B で H 出力に設定した例です。

バッファ動作が設定されているため、コンペア一致 B が発生すると出力を変化させると同時に、バッファレジスタの TRCGRD レジスタの値が TRCGRB レジスタに転送されます。この動作は、コンペア一致 B が発生するたびに繰り返します。

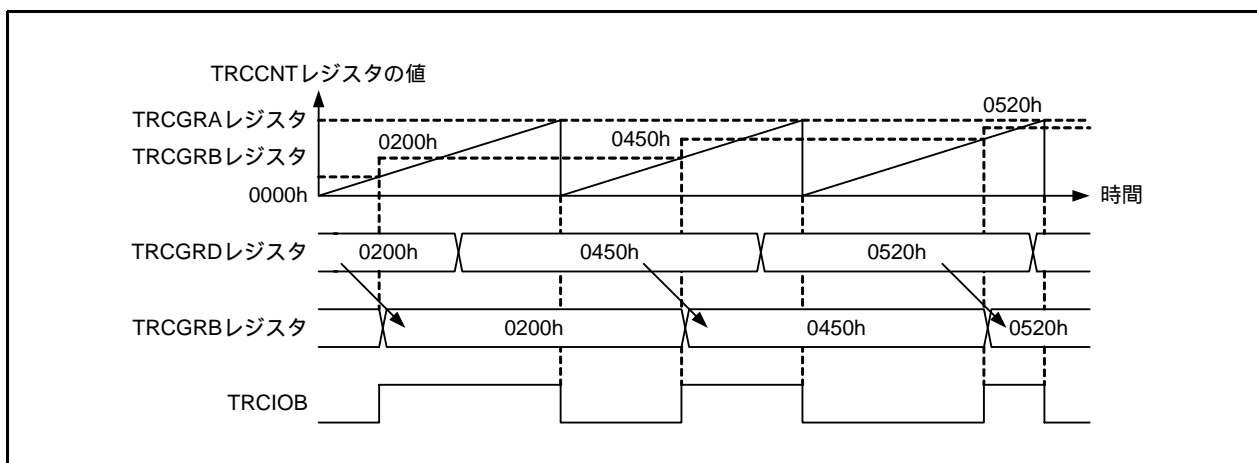


図 15.10 PWMモード時のバッファ動作例



図 15.11 にPWMモードの動作例(デューティ 0%、デューティ 100%)を示します。

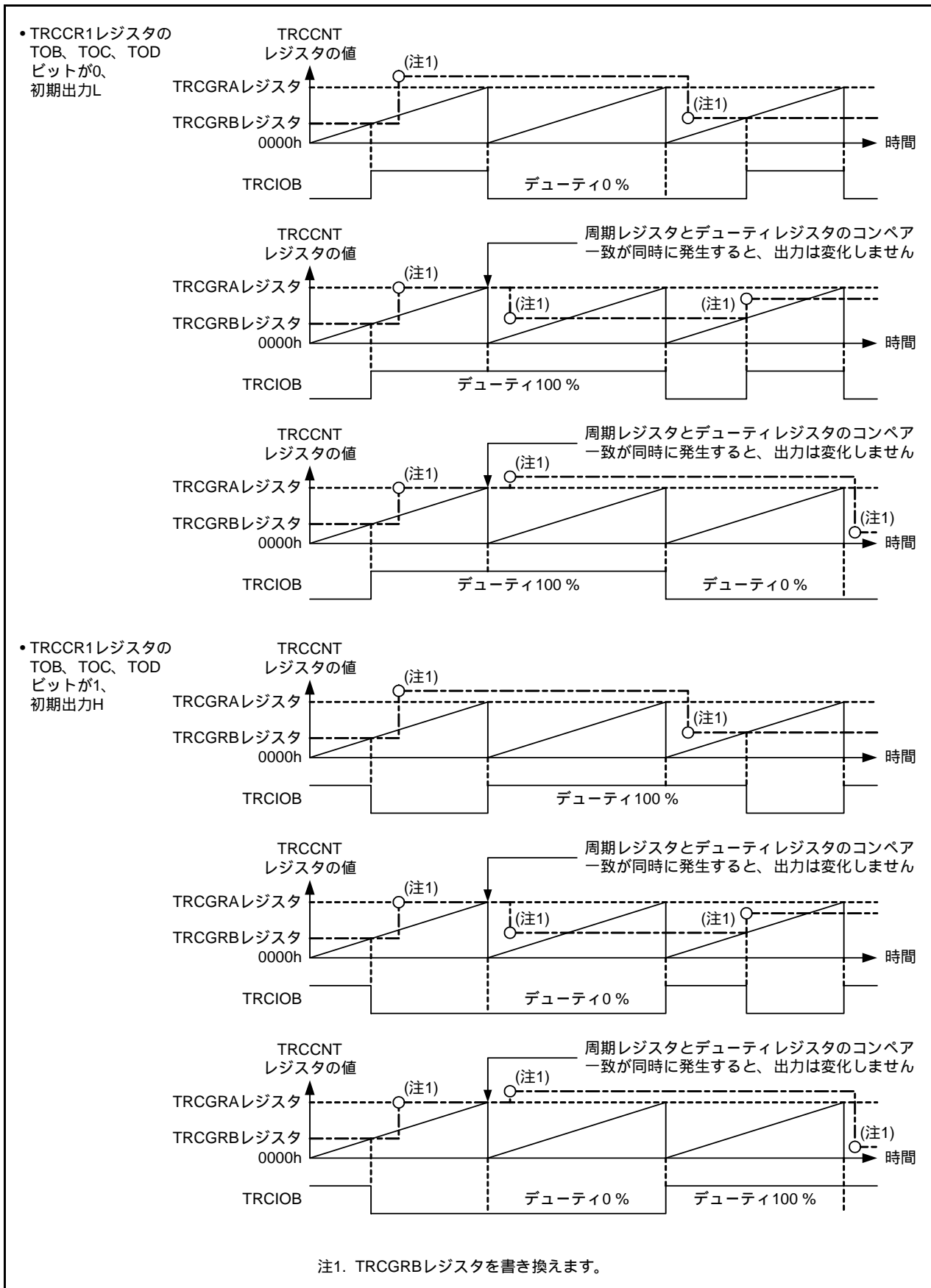


図 15.11 PWMモードの動作例(デューティ 0%、デューティ 100%)



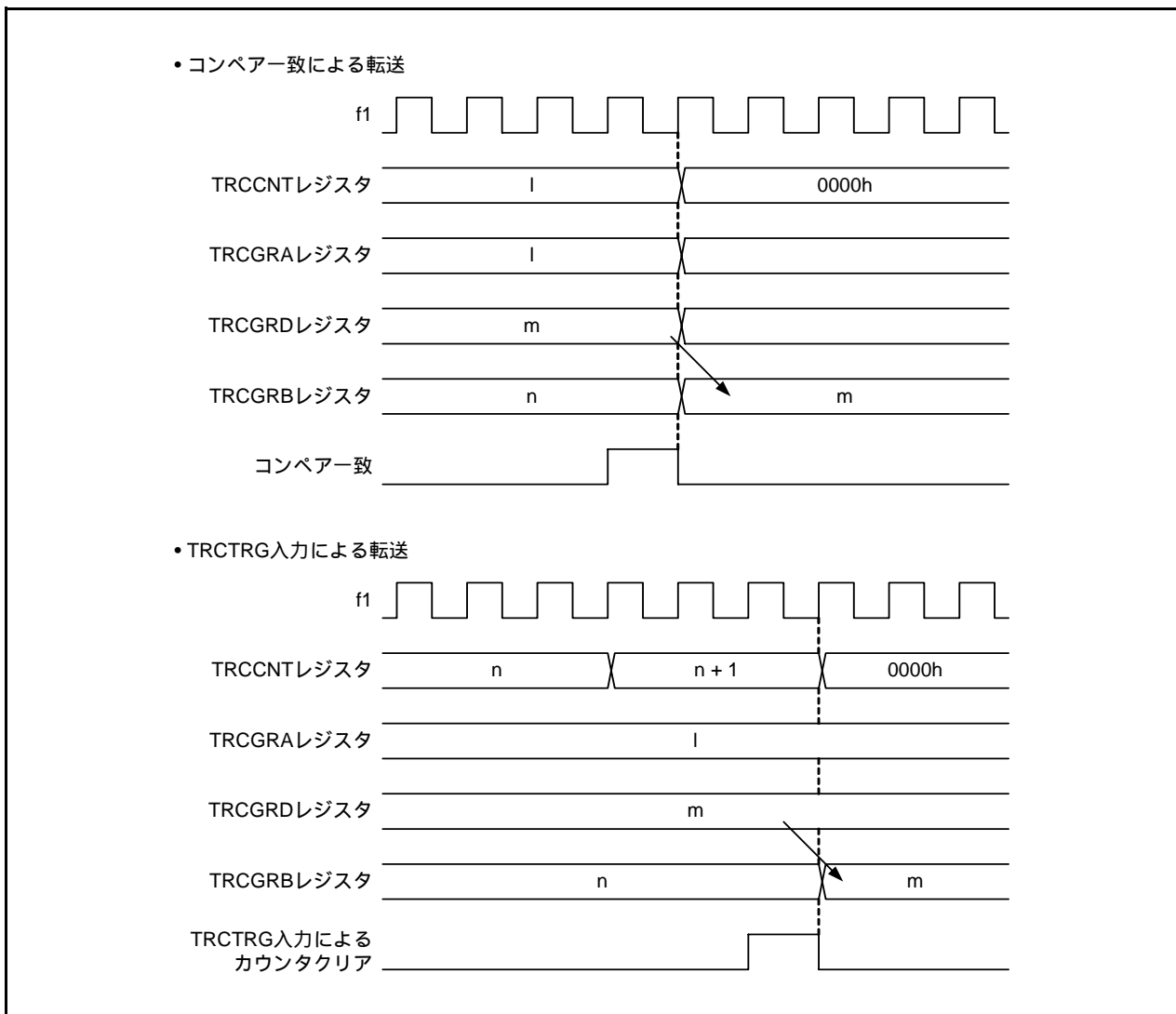


図 15.13 PWM2モード時のTRCGRD、TRCGRBレジスタのバッファ動作のタイミング図

PWM2モードでは、TRCTRГ入力から任意の遅延時間と幅を持つパルスを、TRCIOB端子から出力できます。

TRCCR2レジスタのTCEG1 ~ TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRГ入力の立ち下がりエッジを設定します。TRCCR2レジスタのCSTPビットを0(カウントアップ継続)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ継続を設定します。TRCMRレジスタのBUFEBビットを1(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)にし、TRCGRDレジスタをバッファレジスタに設定します。TRCCR1レジスタのTOBビットを0(出力値0)または1(出力値1)にし、出力レベルの初期値を0または1にします。次に、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致A発生時にTRCCNTレジスタをクリアします。

図15.14にTRCTRГ入力許可時PWM2モードの動作例を、図15.15にTRCTRГ入力禁止時PWM2モードの動作例を示します。TRCMRレジスタのPWM2ビットを0(PWM2モード)にし、TRCIOB端子から波形を出力する場合の例です。

PWM2モードにおいて、TRCCR1レジスタのTOBビットが0(出力値0)の場合、TRCIOB端子からH出力中は、TRCTRГ入力エッジは無効となります。同様に、TOBビットが1(出力値1)の場合、TRCIOB端子からL出力中は、TRCTRГ入力エッジは無効となります。また、TRCGRDレジスタからTRCGRBレジスタへの転送は、TRCGRAレジスタとのコンペア一致およびTRCTRГ入力が発生したとき行われます。ただし、TRCIOB端子のレベルでTRCTRГ入力が無効となる場合、TRCGRDレジスタからTRCGRBレジスタへの転送は行われません。

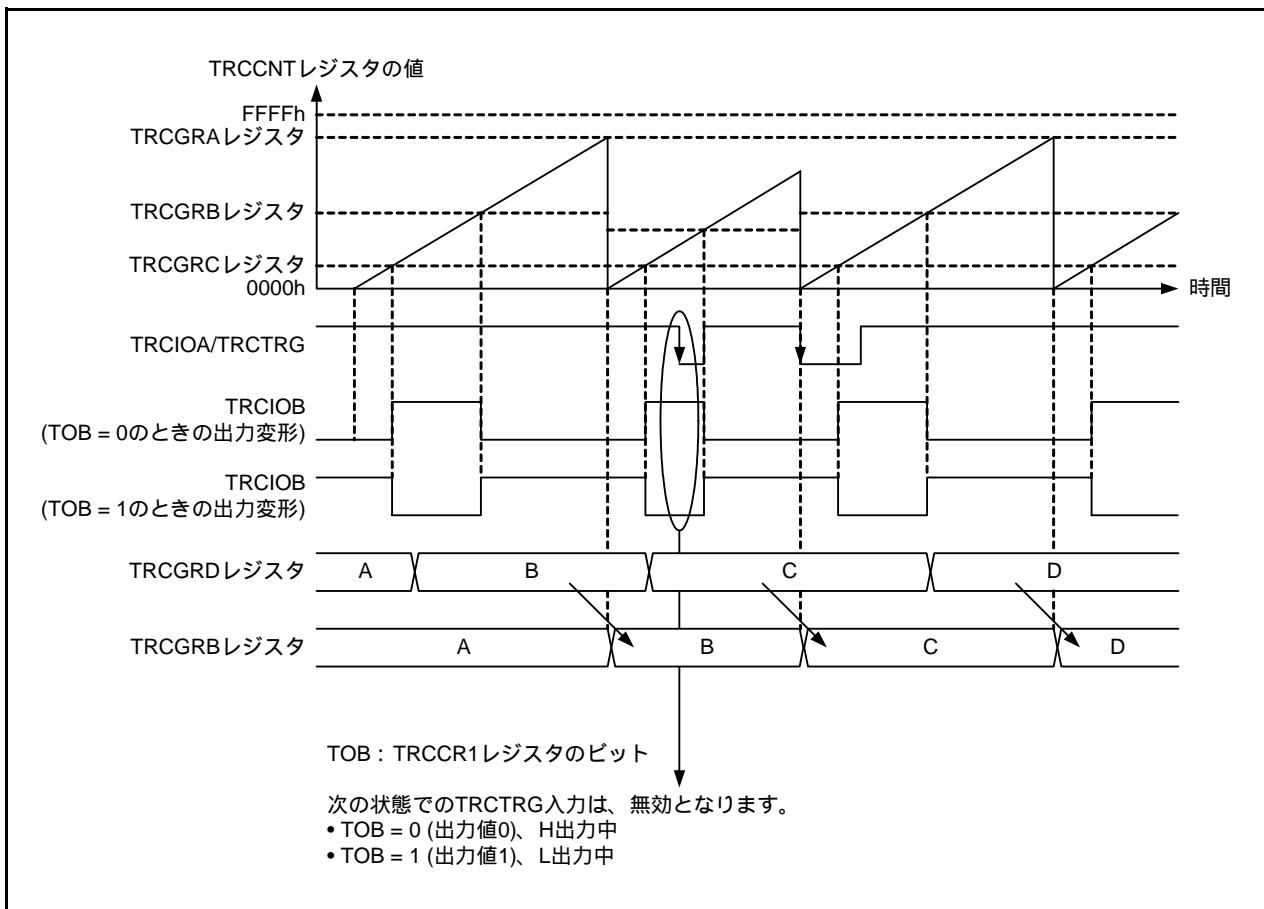


図15.14 TRCTRГ入力許可時PWM2モードの動作例

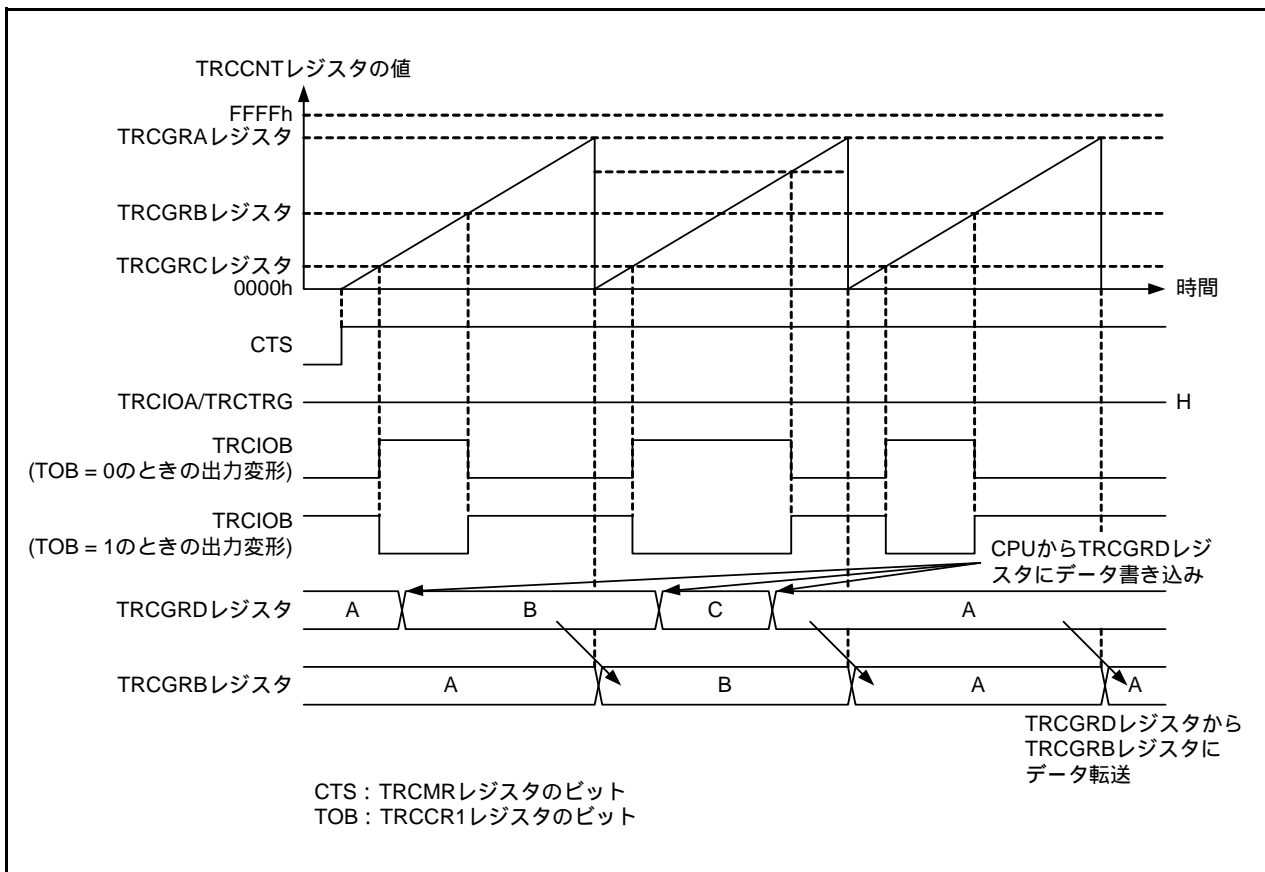


図15.15 TRCTRGR入力禁止時PWM2モードの動作例

図15.16にPWM2モード時のカウンタ停止の動作例を示します。TRCCR1レジスタのTOBビットを0(出力値0)、TOBビットを1(出力値1)にした場合の例です。

TRCCR2レジスタのCSTPビットを1(カウントアップ停止)、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー致AでTRCCNTカウンタクリア)にすることで、TRCCNTレジスタはTRCGRAレジスタとのコンペアー致で、カウンタが0000hになり停止します。また、TRCMRレジスタのCTSビットを0(カウント停止)にすることで、強制的にカウンタは停止し、出力レベルは初期レベルになります。

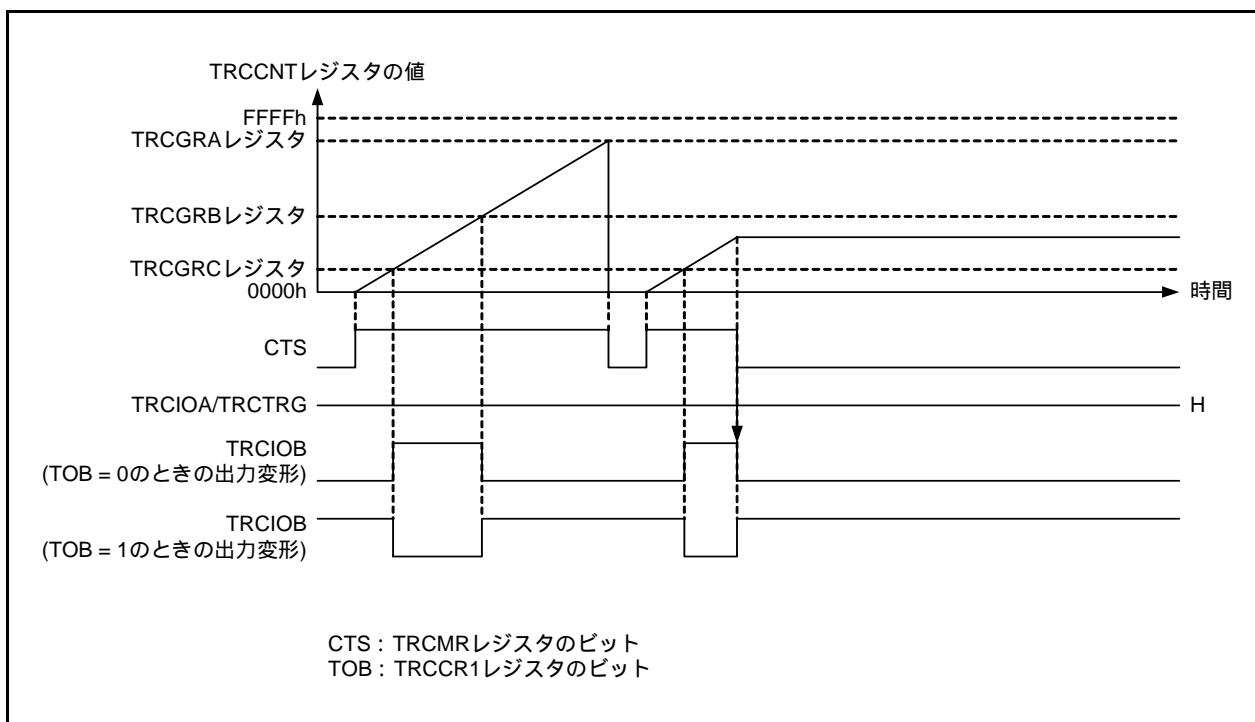


図15.16 PWM2モード時のカウンタ停止の動作例

図15.17にPWM2モード時のワンショットパルス波形出力の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした時点でカウントを開始します。その後、TRCGRAレジスタとのコンペア一致でカウンタが0000hになり、カウント動作を停止し、ワンショット波形を出力します。

- TRCCR2レジスタのTCEG1 ~ TCEG0ビットを00b (TRCTRGの入力禁止)にし、TRCTRG入力を禁止設定
- TRCCR2レジスタのCSTPビットを1(カウントアップ停止)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致AでTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0(出力値0)にし、出力レベルの初期値を0

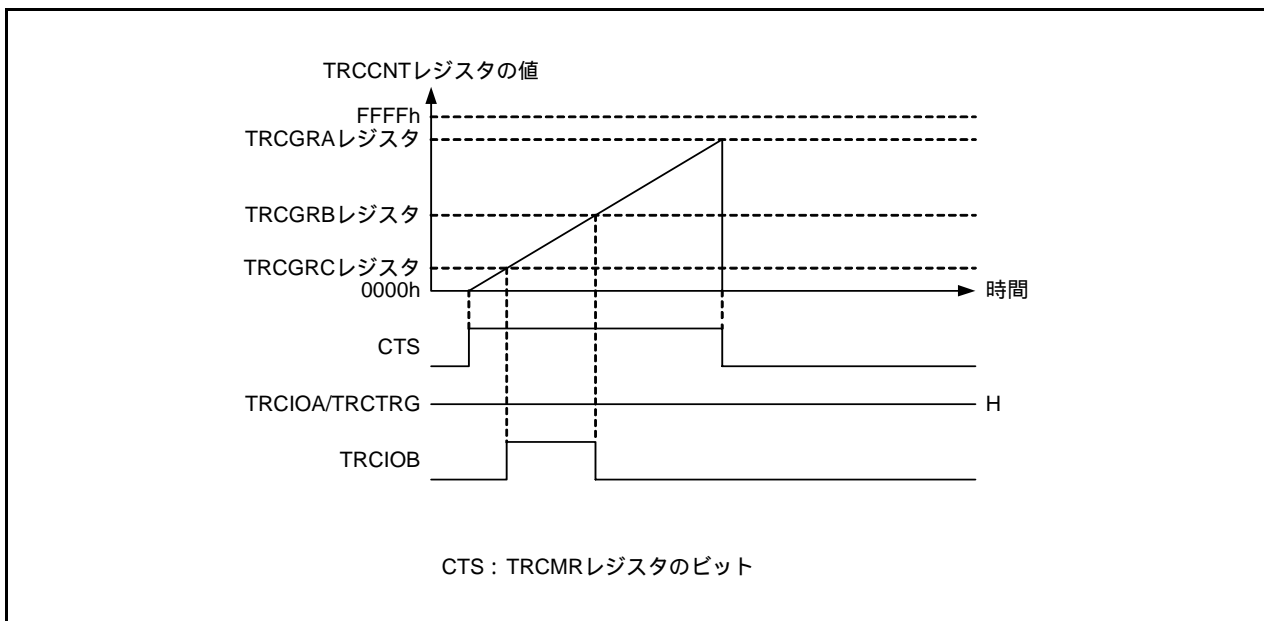


図15.17 PWM2モード時のワンショットパルス波形出力の動作例

図15.18にPWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした後、TRCIOA/TRCTRГの立ち下がりによってカウントアップを開始し、TRCGRAレジスタとのコンパア一致でカウンタが0000hになり、カウント動作を停止し、ワンショット波形を出力します。

- TRCCR2レジスタのTCEG1 ~ TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRГ入力の立ち下がりエッジを設定
- TRCCR2レジスタのCSTPビットを1(カウントアップ停止)にし、TRCGRAレジスタとのコンパア一致発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンパア一致AでTRCCNTカウンタクリア)にし、コンパア一致でTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0(出力値0)にし、出力レベルの初期値を0

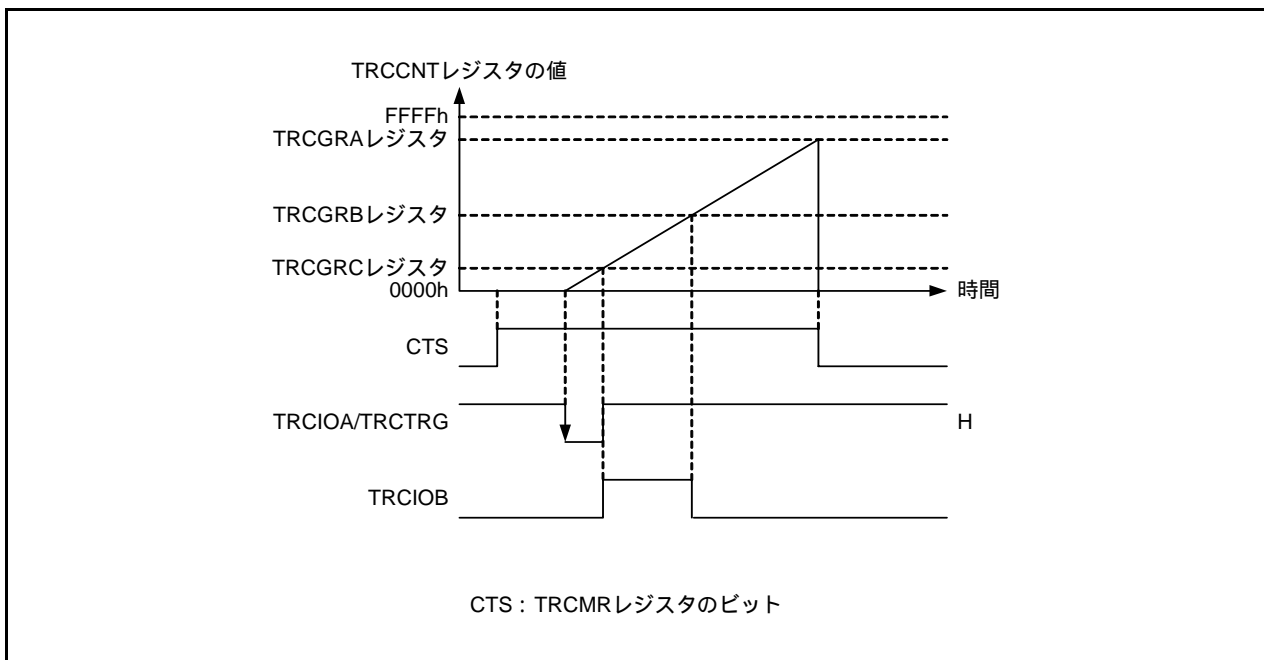


図15.18 PWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例



## 15.4 選択機能

## 15.4.1 インプットキャプチャ入力デジタルフィルタ

図15.19にデジタルフィルタ回路のブロック図を示します。TRCIOA ~ TRCIODおよびTRCTRГ入力、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。TRCIOA ~ TRCIODおよびTRCTRГ入力は、TRCDFレジスタのDFCK0 ~ DFCK1ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上の幅のパルス入力は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し除去されます。

リセット解除後、すぐにデジタルフィルタを使用しないでください。サンプリングクロックの4サイクルを待った後で、インプットキャプチャを設定して、インプットキャプチャ機能を使用してください。

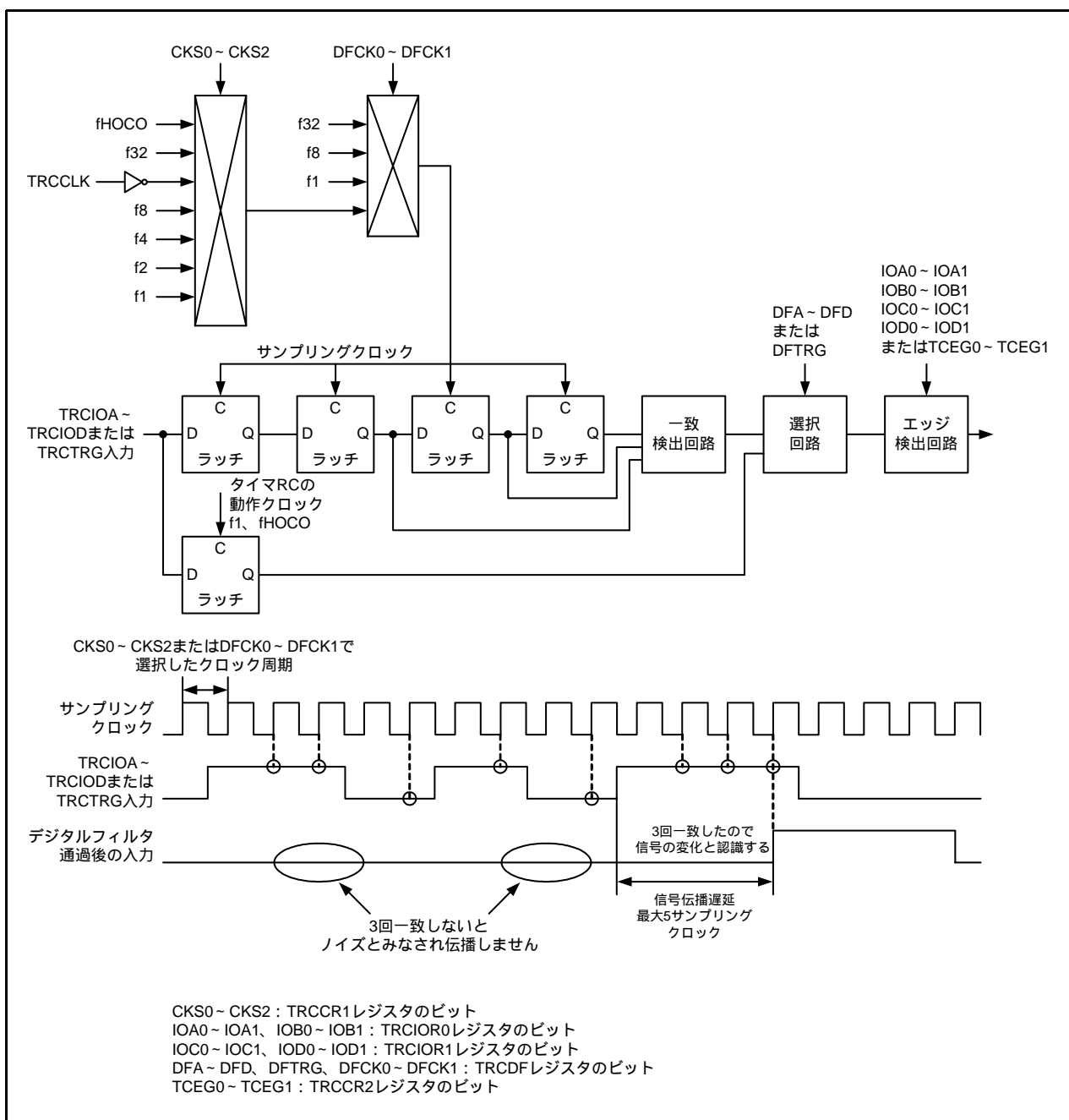


図15.19 デジタルフィルタ回路のブロック図

## 15.4.2 A/D変換開始トリガ

TRCADCRレジスタを設定することで、コンペアー一致A～DによってA/D変換開始トリガを発生できます。

図15.20にコンペアー一致B、CでA/D変換開始トリガの設定例を示します。

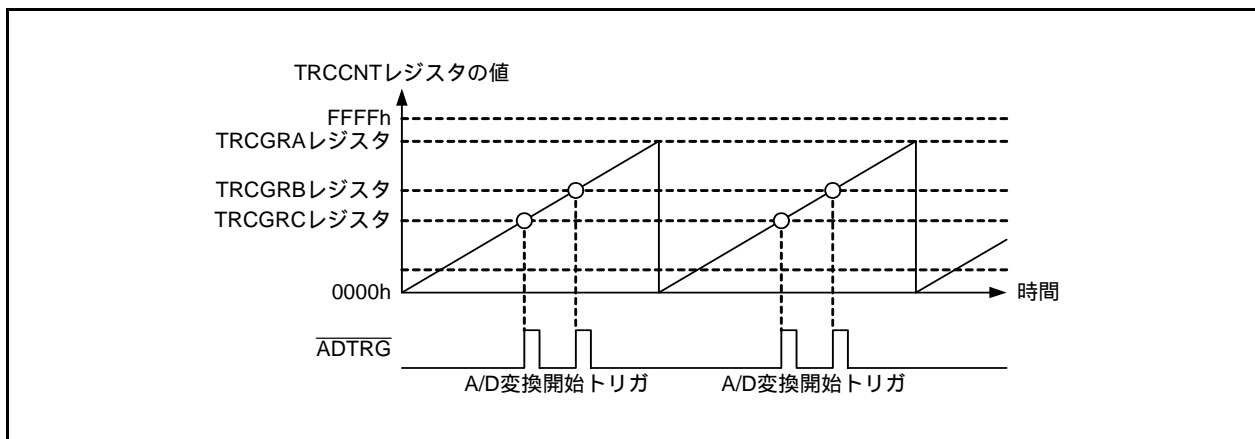


図15.20 コンペアー一致B、CでA/D変換開始トリガの設定例

バッファ動作時のバッファレジスタは、A/D変換開始トリガを発生できません。PWM2モードでのTRCGRCレジスタは、TRCGRAレジスタのバッファレジスタとして動作できません。

表15.17にA/D変換開始トリガ要因の発生状況を示します。

表15.17 A/D変換開始トリガ要因の発生状況

動作モード	バッファ動作	A/D変換開始トリガ要因			
		TRCGRA	TRCGRB	TRCGRC	TRCGRD
インプットキャプチャ	使用	x	x	x	x
	未使用	x	x	x	x
コンペアー一致	使用			x	x
	未使用				
PWMモード	使用			x	x
	未使用				
PWM2モード	使用				x
	未使用				

○ : A/D変換開始トリガを発生

x : A/D変換開始トリガを発生しない

### 15.4.3 ジェネラルレジスタと出力端子変更

TRCIOR1レジスタのIOC3、IOD3ビットの設定で、TRCGRC、TRCGRDレジスタのコンペアー致出力をそれぞれTRCIOC、TRCIOD端子からTRCIOA、TRCIOB端子へ変更できる機能です。TRCIOA端子はコンペアー致AとCを組み合わせた出力、TRCIOB端子はコンペアー致BとDを組み合わせた出力が可能になります。

図15.21にジェネラルレジスタと出力端子変更のブロック図を示します。

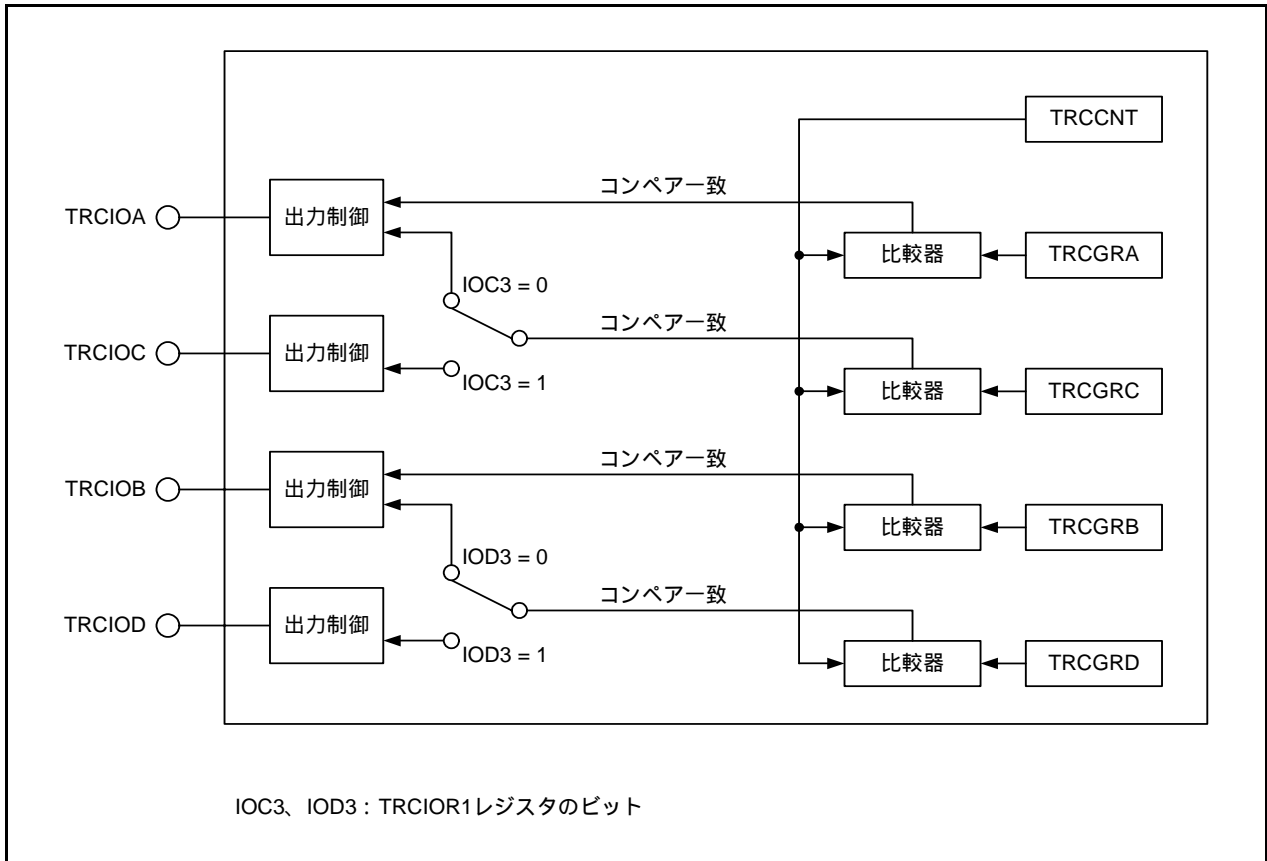


図15.21 ジェネラルレジスタと出力端子変更のブロック図

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを0(TRCIOA出力レジスタ)、IOD3ビットを0(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBUFEA、BUFEBビットを0(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図 15.22 に TRCIOA、TRCIOB の出力が重ならない動作例を示します。次の設定をします。

- TRCCR1 レジスタの CCLR ビットを 1 (インプットキャプチャ / コンペアー一致 A で TRCCNT カウンタクリア) にし、コンペアー一致でカウンタクリアし、TRCCNT レジスタを周期カウント動作
- TRCIOR0 レジスタの IOA2 ~ IOA0 ビットを 011b (コンペアー一致 A で TRCIOA 端子へトグル出力) にし、トグル出力
- TRCIOR0 レジスタの IOB2 ~ IOB0 ビットが 011b (コンペアー一致 B で TRCIOB 端子へトグル出力) にし、トグル出力
- TRCIOR1 レジスタの IOC3 ~ IOC0 ビットが 0011b (コンペアー一致 C で TRCIOA 端子へトグル出力) にし、トグル出力
- TRCIOR1 レジスタの IOD3 ~ IOD0 ビットが 0011b (コンペアー一致 D で TRCIOB 端子へトグル出力) にし、トグル出力

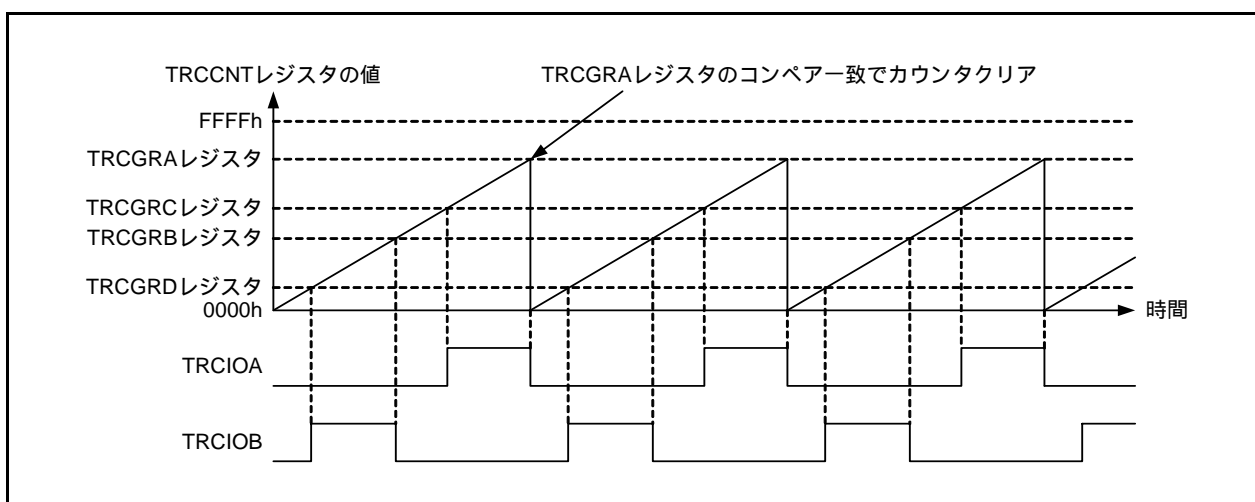


図 15.22 TRCIOA、TRCIOB の出力が重ならない動作例

## 15.4.4 波形出力操作機能

TRCOPRレジスタを設定することで、 $\overline{\text{INT1}}$ 入力またはコンパレータB1出力によって、タイマRCの波形出力を操作できます。

TRCOPRレジスタのOPEビットが0のとき、波形出力操作機能は無効です。タイマRCのTRCIOA、TRCIOB、TRCIOC、TRCIOD出力は、TRCIOR0、TRCIOR1、TRCOERレジスタの設定によって出力します。TRCOERレジスタのPTOビットが1(パルス出力強制遮断信号入力INT0有効)のとき、INT0端子にLを入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて1(タイマRC出力禁止)、TRCIOA ~ TRCIOD出力端子はハイインピーダンスになります。

TRCOPRレジスタのOPEビットが1のとき、波形出力操作機能は有効です。波形出力操作イベントを入力すると、TRCOERレジスタのEA ~ EDビットが1になります。波形出力操作期間に、TRCOPRレジスタのOPOL0 ~ OPOL1ビットにより、タイマRC端子の出力レベルがL、Hまたはハイインピーダンスに固定されます。波形出力操作イベントを解除した後、TRCOPRレジスタのRESTATSビットの設定によって、タイマRC端子の波形出力操作が中止され、出力を再開します。なお、出力再開後に1サイクルに満たない波形が出力されないよう、自動的に同期されます。

図15.23 ~ 図15.26に波形出力操作の動作例を示します。

- タイマRC端子をプルダウンし、TRCOPRレジスタのOPEビットが1(波形出力操作有効)、OPOL1 ~ OPOL0ビットが00b(タイマRC端子がプルダウンの場合、波形出力操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATSビットが0(ソフトウェアで出力再開)の場合

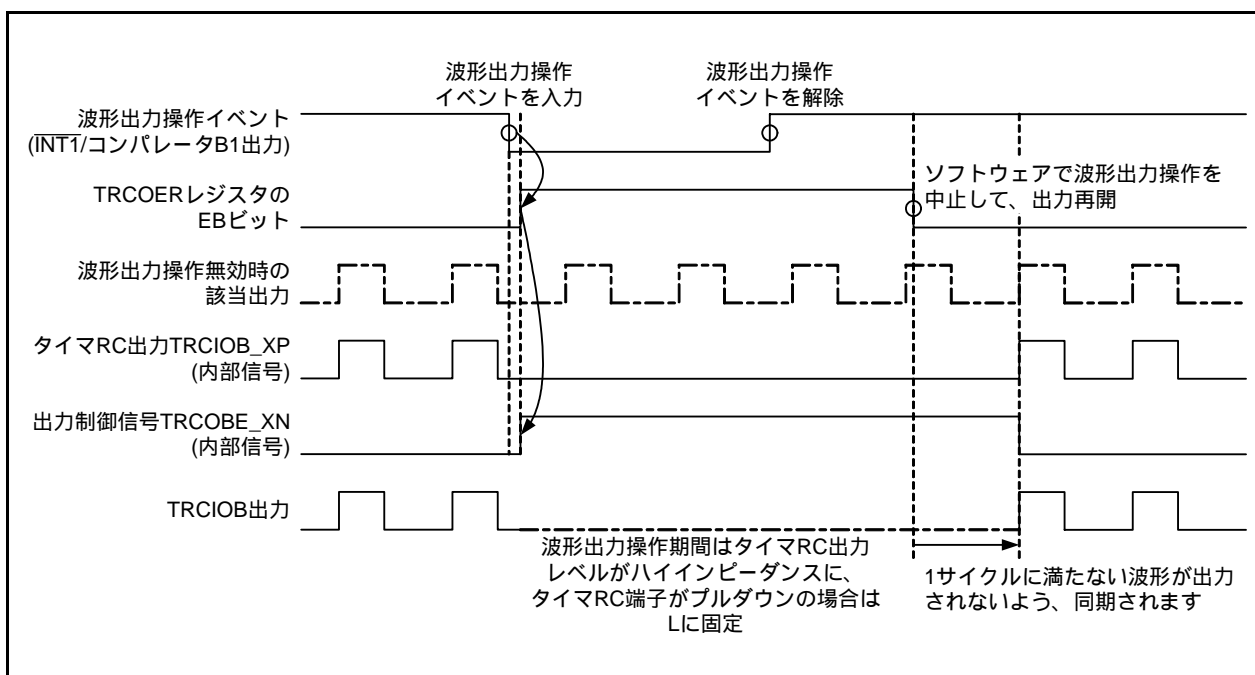


図15.23 波形出力操作の動作例(1)

- タイマRC端子をプルアップし、TRCOPRレジスタのOPEビットが1(波形出力操作有効)、OPOL1 ~ OPOL0ビットが01b(タイマRC端子がプルアップの場合、波形出力操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATSビットが0(ソフトウェアで出力再開)の場合

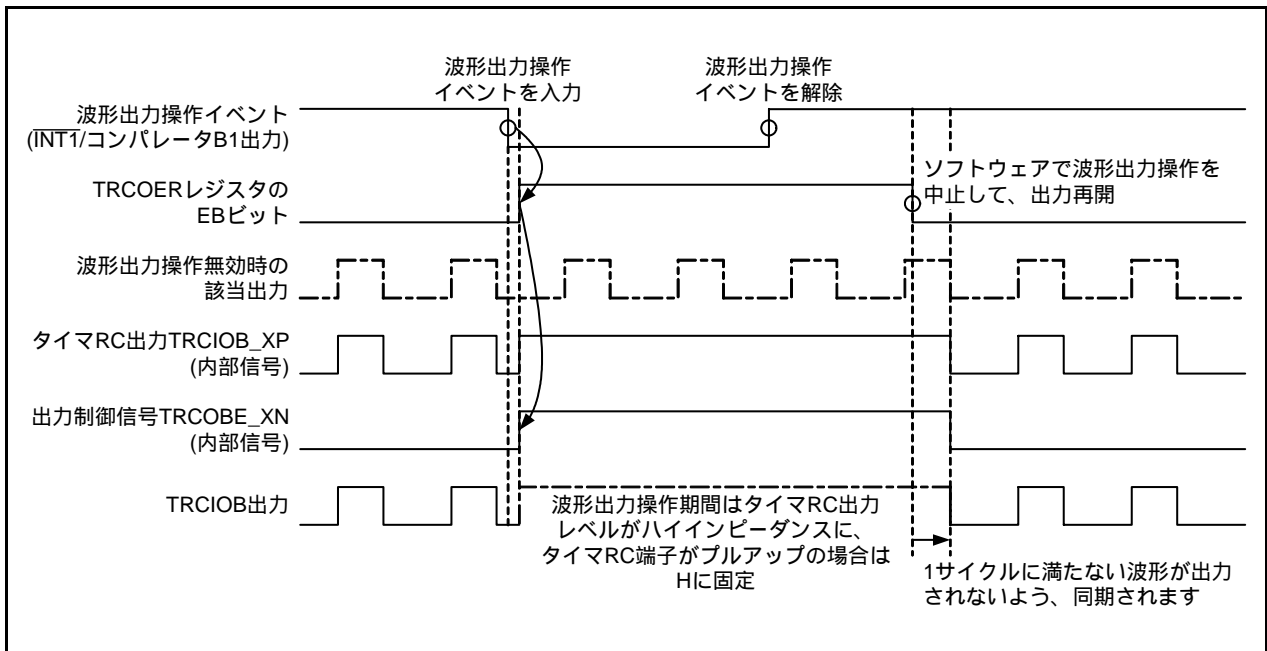


図 15.24 波形出力操作の動作例(2)

- TRCOPRレジスタのOPEビットが1(波形出力操作有効)、OPOL1 ~ OPOL0ビットが10b(波形出力操作期間はタイマRC出力レベルがLに固定)、RESTATSビットが1(自動出力再開)の場合

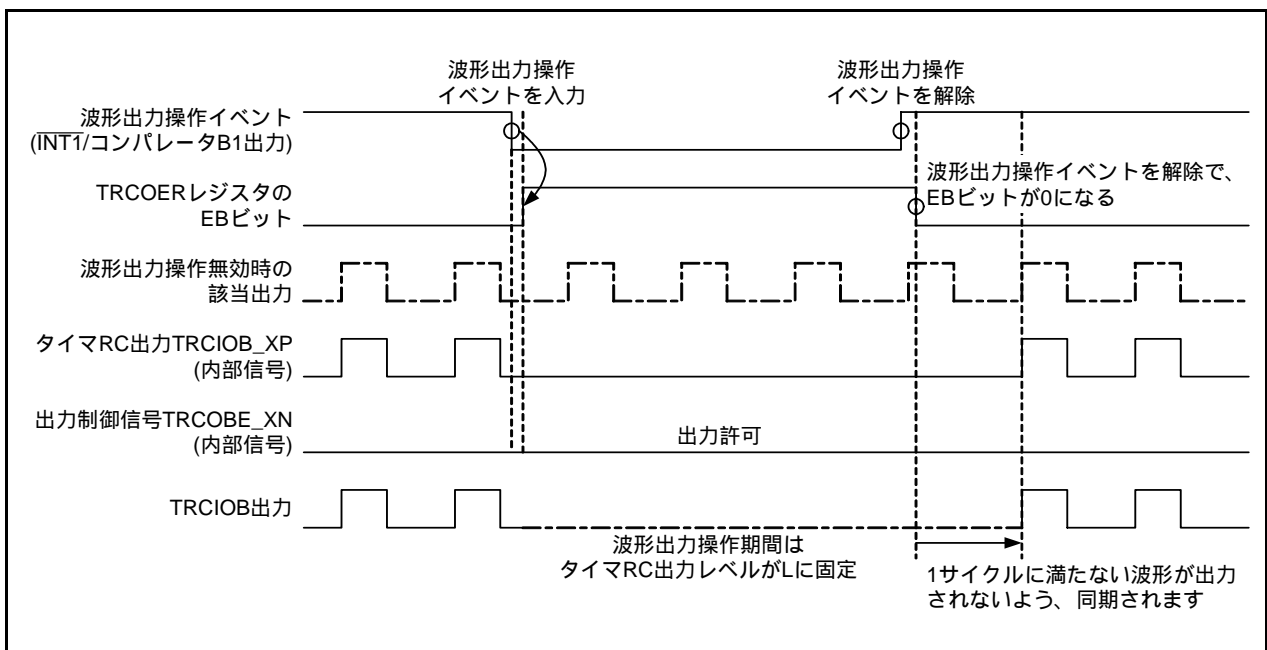


図 15.25 波形出力操作の動作例(3)

- TRCOER レジスタの OPE ビットが 1 (波形出力操作有効)、OPOL1 ~ OPOL0 ビットが 11b (波形出力操作期間はタイマRC出力レベルがHに固定)、RESTATS ビットが 1 (自動出力再開) の場合

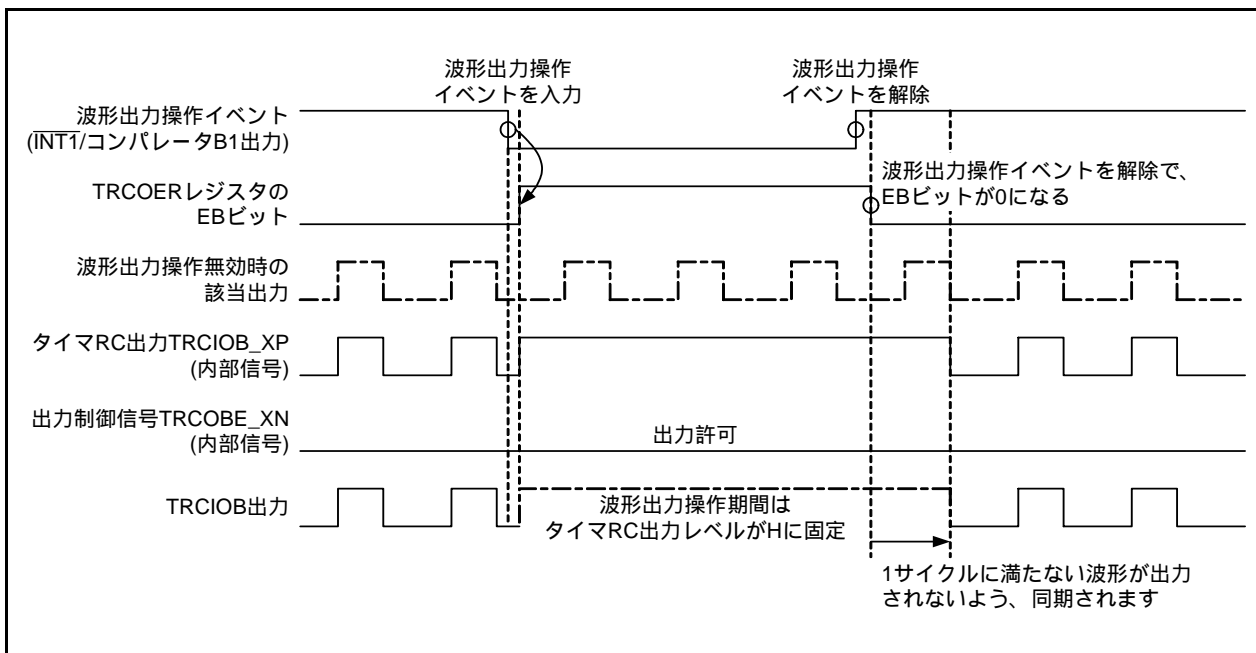


図 15.26 波形出力操作の動作例(4)

## 15.5 動作タイミング

## 15.5.1 TRCCNTレジスタのカウントタイミング

図15.27にカウント動作時のタイミング図を示します。

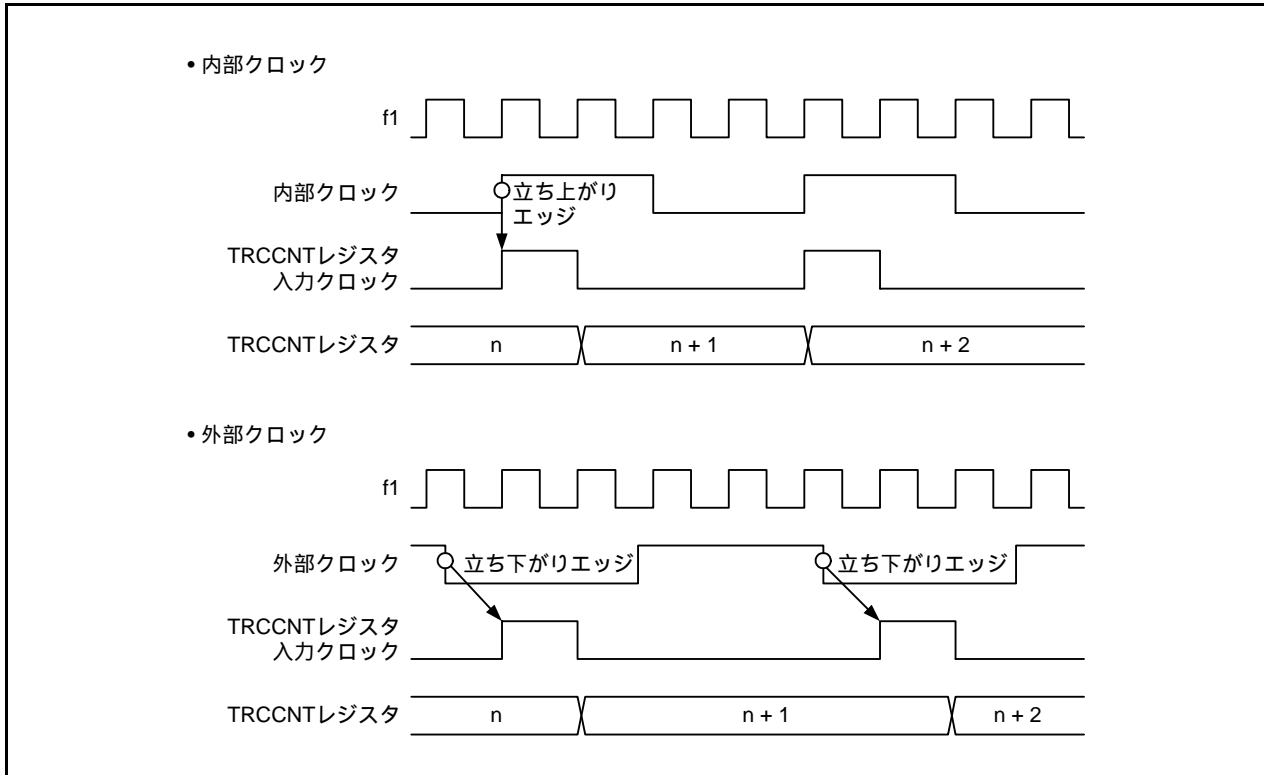


図15.27 カウント動作時のタイミング図



### 15.5.2 アウトプットコンペア出力タイミング

コンペアー致信号は、TRCCNTレジスタとジェネラルレジスタが一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー致発生時にTRCIORレジスタで設定される出力値が、アウトプットコンペア出力端子 (TRCIOA、TRCIOB、TRCIOC、TRCIOD) に出力されます。TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまで、コンペアー致信号は発生しません。

図15.28にアウトプットコンペア出力のタイミング図を示します。

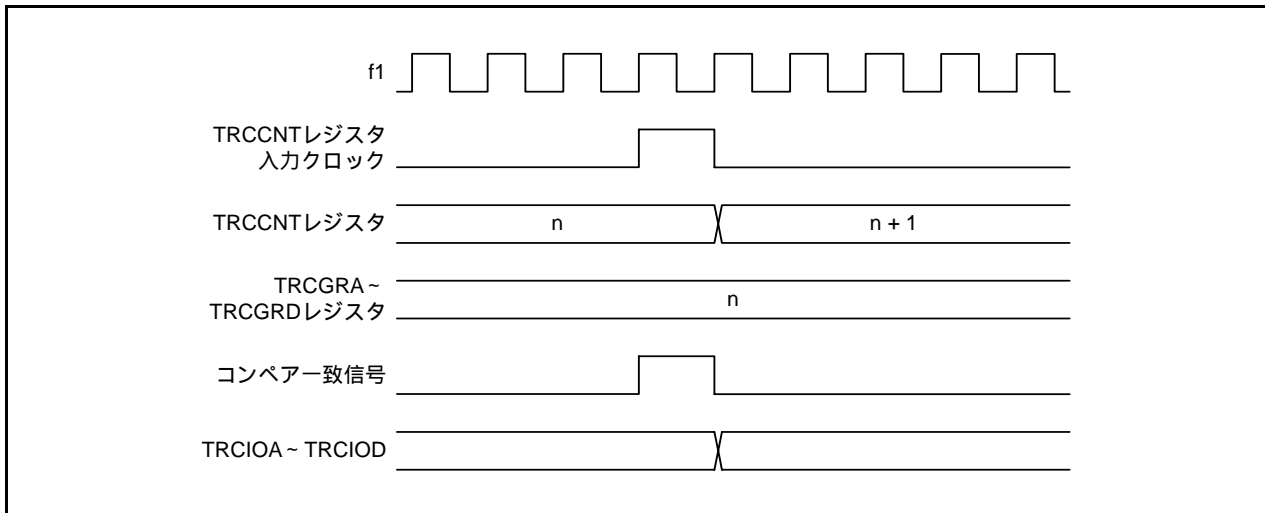


図15.28 アウトプットコンペア出力のタイミング図

### 15.5.3 インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TRCIOR0、TRCIOR1レジスタの設定で、立ち上がりエッジ、立ち下がりエッジまたは両エッジが選択できます。

図15.29にインプットキャプチャ入力のタイミング図を示します。立ち下がりエッジを選択した場合です。

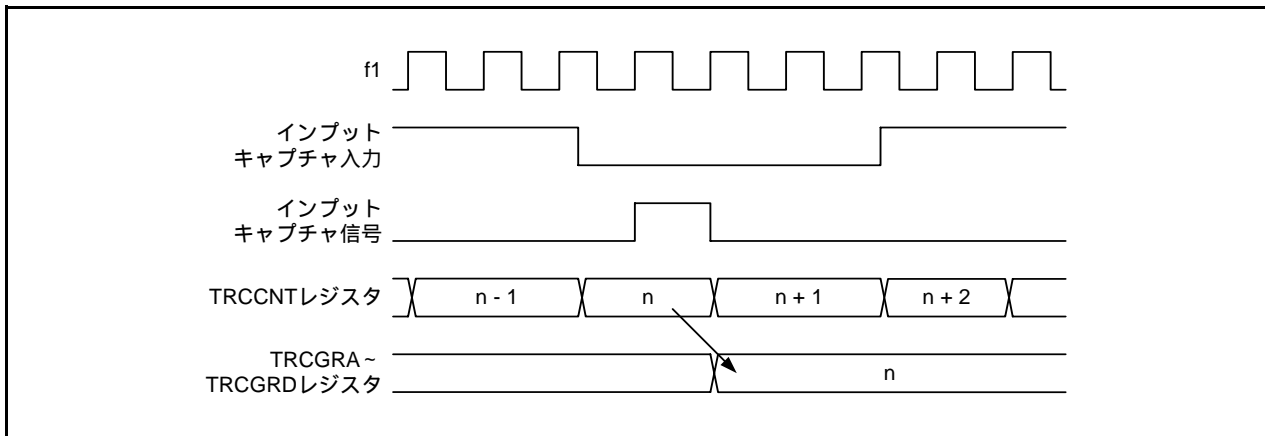


図15.29 インプットキャプチャ入力のタイミング図

### 15.5.4 コンペアー一致によるカウンタクリアのタイミング

図15.30にコンペアー一致Aによるカウンタクリアのタイミング図を示します。TRCGRAレジスタの値をnにすると、カウンタは0からnまでカウントし、周期はn+1となります。

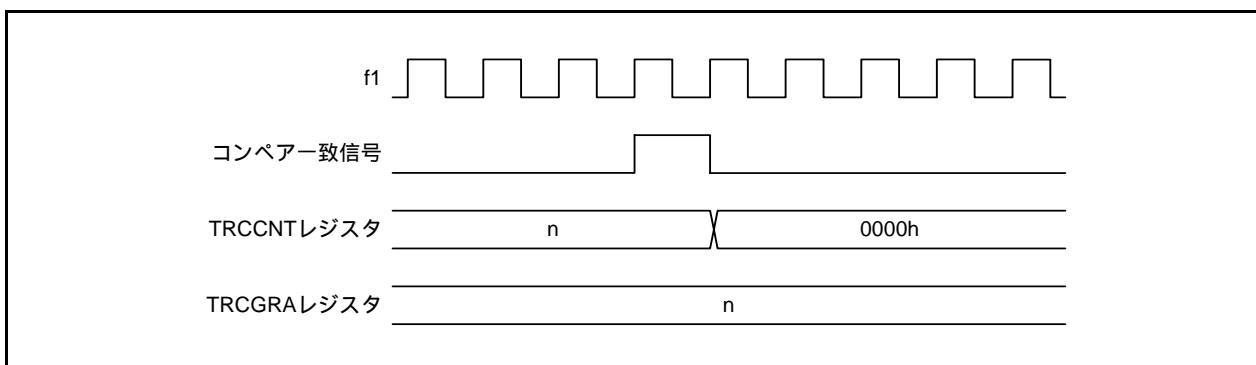


図15.30 コンペアー一致Aによるカウンタクリアのタイミング図

### 15.5.5 バッファ動作のタイミング

図15.31にバッファ動作のタイミング図を示します。

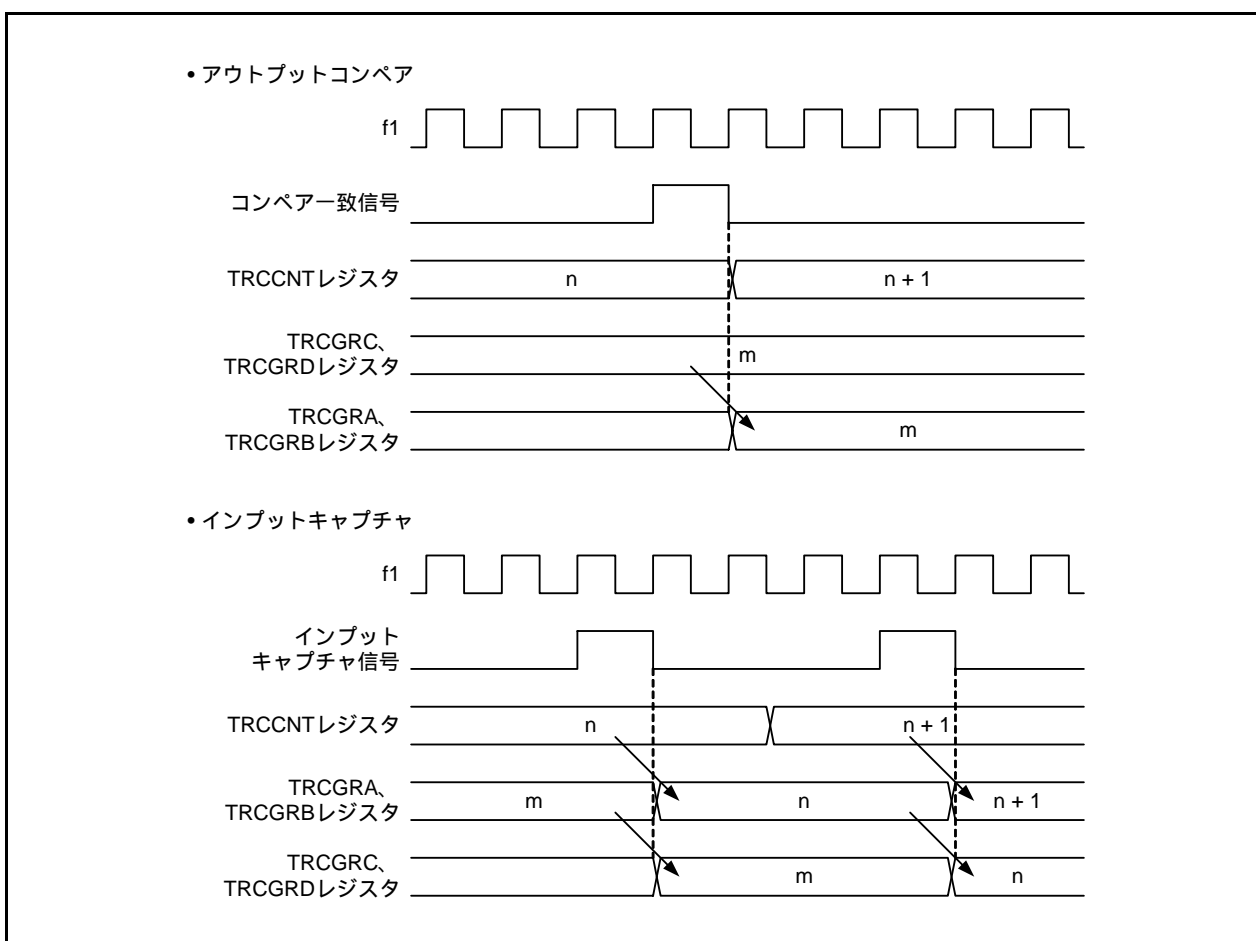


図15.31 バッファ動作のタイミング図

### 15.5.6 コンペアー一致時のセットタイミング

アウトプットコンペアーレジスタとして機能している場合のTRCSRレジスタのIMFA ~ IMFDビットは、TRCCNTレジスタとジェネラルレジスタ (TRCGRA、TRCGRB、TRCGRC、TRCGRD) が一致したときに1になります。

コンペアー一致信号は、一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。従って、TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入カクロックが発生するまでコンペアー一致信号は発生しません。

図15.32にコンペアー一致時のタイミング図を示します。

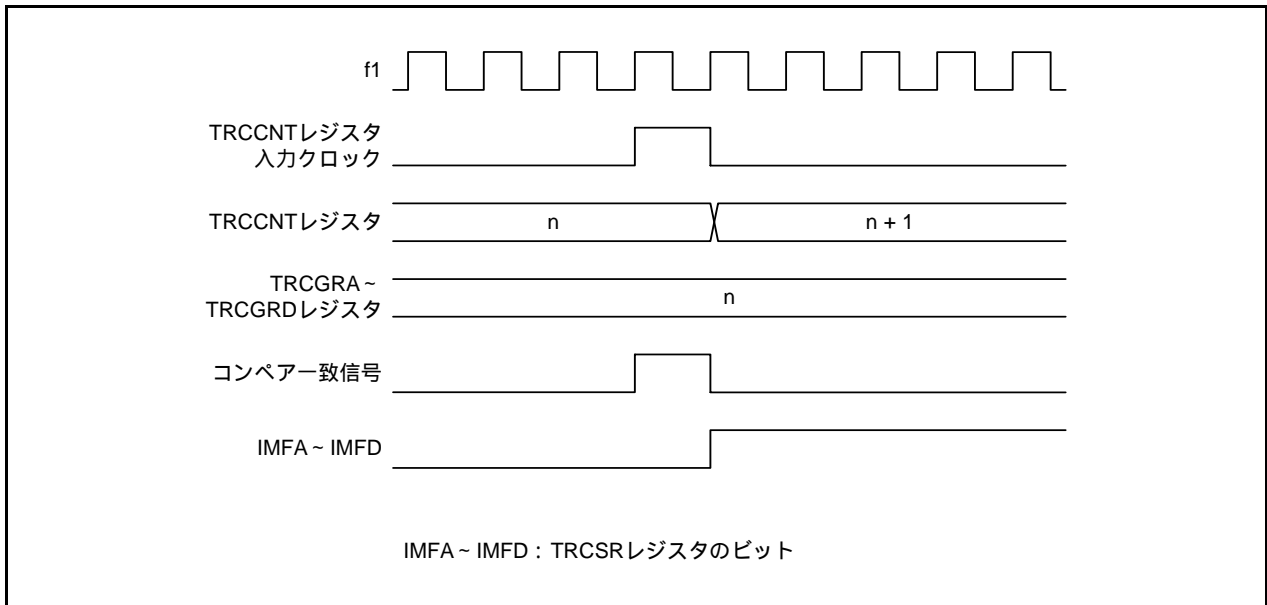


図15.32 コンペアー一致時のタイミング図

### 15.5.7 インプットキャプチャ時のセットタイミング

インプットキャプチャレジスタとして機能している場合のTRCSRレジスタのIMFA ~ IMFDビットは、インプットキャプチャの発生で1になります。

図15.33にインプットキャプチャ時のタイミング図を示します。

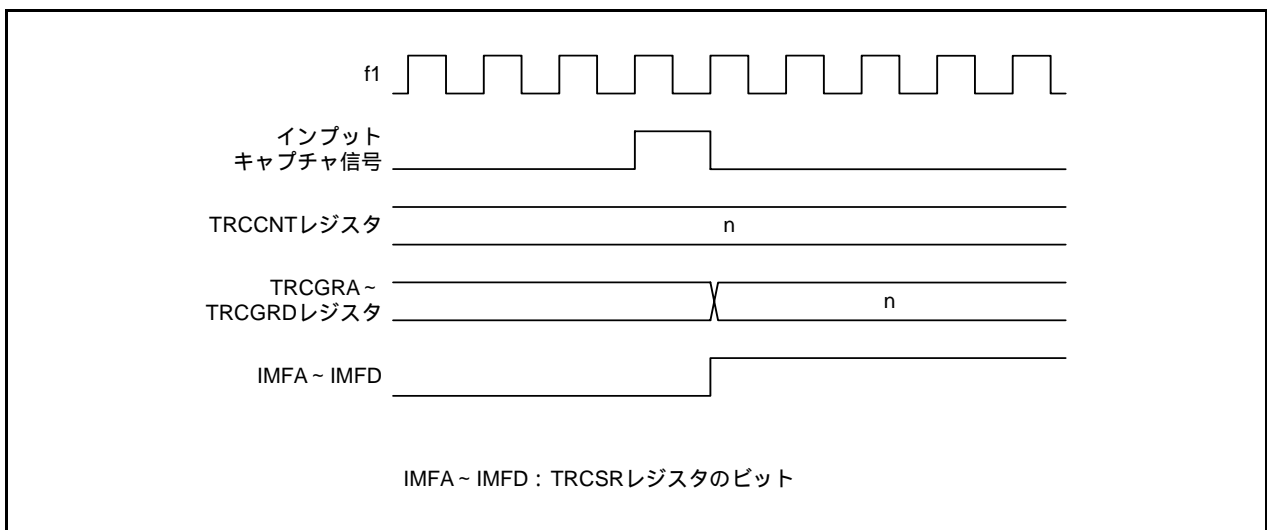


図15.33 インプットキャプチャ時のタイミング図

### 15.5.8 IMFA ~ IMFDビットおよびOVFビットが0になるタイミング

IMFA ~ IMFDビットおよびOVFビットは、CPUが1を読んだ後、0を書くと0になります。  
 図15.34にCPUによるIMFA ~ IMFDビットおよびOVFビットのタイミング図を示します。

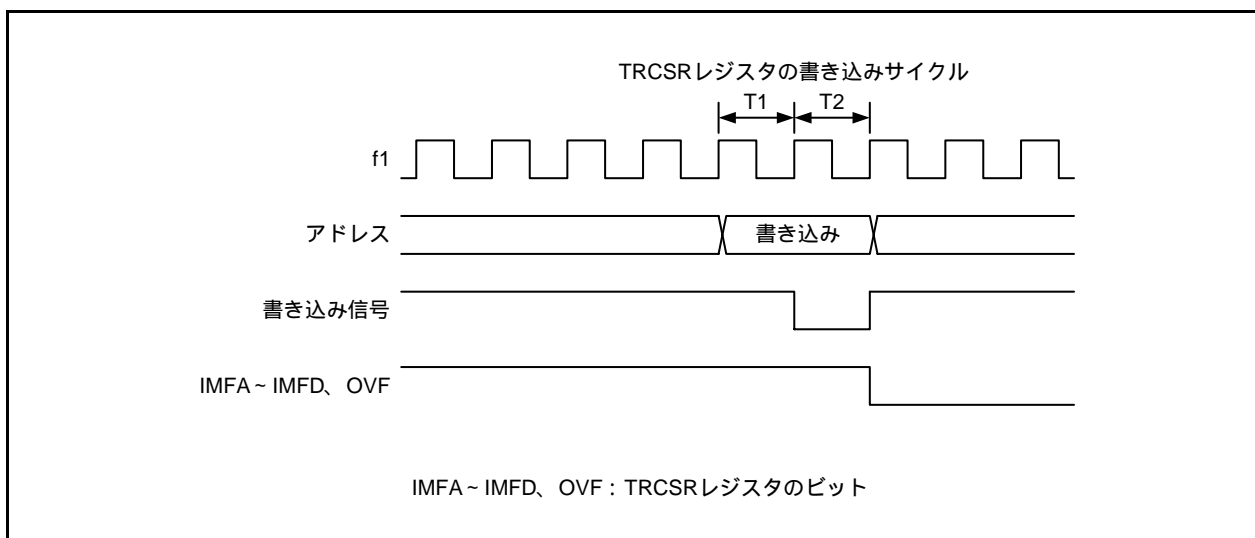


図15.34 CPUによるIMFA ~ IMFDビットおよびOVFビットのタイミング図

### 15.5.9 コンペアー一致によるA/D変換開始トリガのタイミング

図15.35にコンペアー一致によるA/D変換開始トリガのタイミング図を示します。

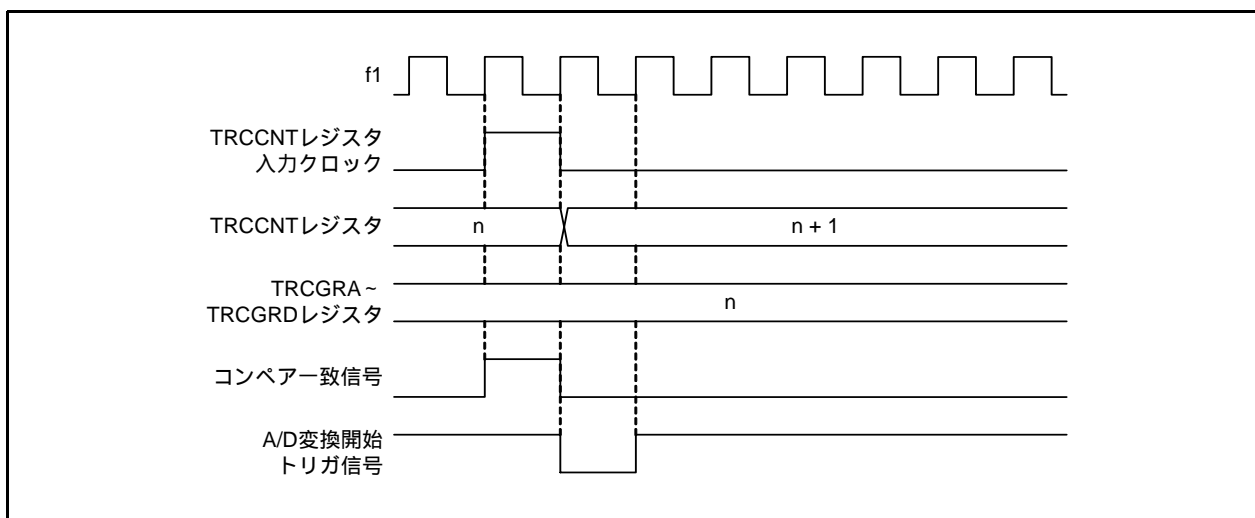


図15.35 コンペアー一致によるA/D変換開始トリガのタイミング図

## 15.6 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みはILVL3レジスタのILVL35、ILVL34ビット、IRR0レジスタのIRTCビットと一つのベクタを持ちます。

表15.18にタイマRC割り込み関連レジスタを、図15.36にタイマRC割り込みのブロック図を示します。

表15.18 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ	タイマRC 割り込み要求モニタフラグ レジスタ
TRCSR	TRCIER	ILVL3	IRR0

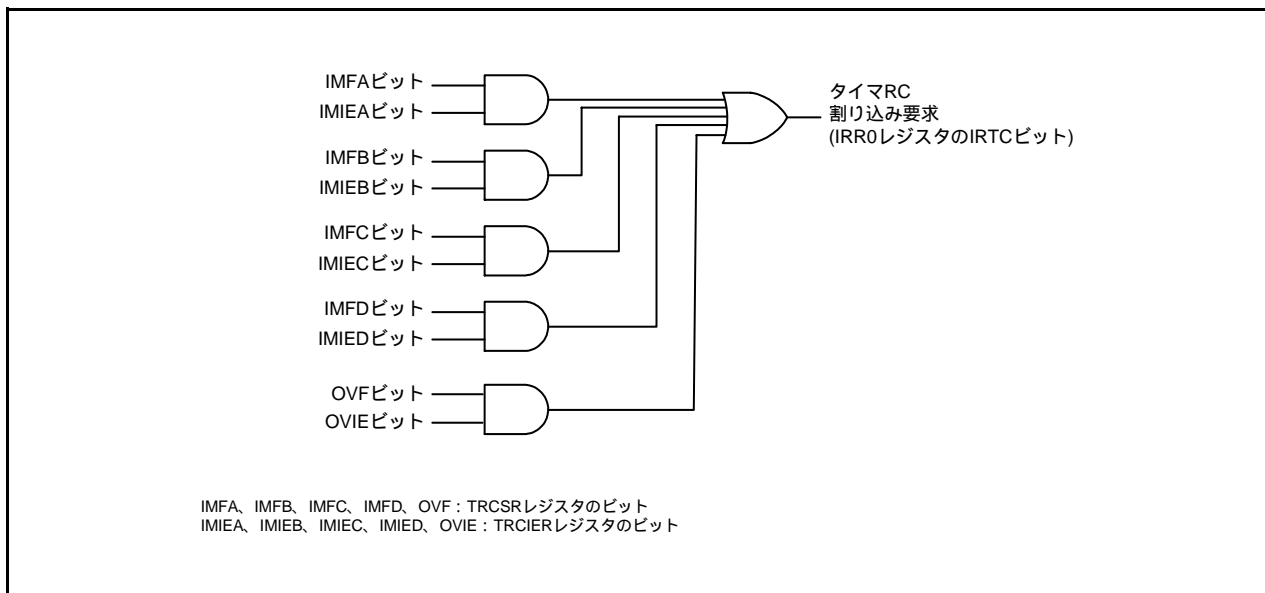


図15.36 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRTCビット、ILVL35～ILVL34ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが1で、それに対応するTRCIERレジスタのビットが1(割り込み許可)の場合、IRR0レジスタのIRTCビットが1(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が0になるとIRTCビットが0(割り込み要求なし)になります。すなわち、IRTCビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRTCビットが1になった後、別の要求要因が成立した場合、IRTCビットは1のまま変化しません。
- TRCIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「15.2.6 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「15.2.5 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

ILVL3レジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

## 15.7 タイマRC使用上の注意事項

### 15.7.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

• プログラム例

```
MOV.W    #XXXXh, TRCCNT    ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.W    TRCCNT, DATA ;読み出し
```

### 15.7.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2 ~ CKS0ビットを110b (fHOCO)にすることは、システムクロックより速いクロック周波数にfHOCOを設定してください。

### 15.7.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

• プログラム例

```
MOV.B    #XXh, TRCSR      ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.B    TRCSR, DATA ;読み出し
```

### 15.7.4 カウントソースの切り換え

カウントソースを切り換える場合、カウントを停止した後に切り換えてください。また、カウントソースの切り換え後、システムクロックの2サイクル以上待ってから、タイマRC関連レジスタ(000E8h ~ 000FCh番地)への書き込みを行ってください。

• 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0 ~ CKS2ビットを変更する
- (3) システムクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(000E8h ~ 000FCh番地)への書き込み

カウントソースをfHOCOからその他のクロックに変更し、fHOCOを停止させる場合は、クロック切り替え設定後、システムクロックの2サイクル以上待ってからfHOCOを停止させてください。

• 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0 ~ CKS2ビットを変更する
- (3) システムクロックの2サイクル以上待つ
- (4) OCOCRレジスタのHOCOEビットを0(高速オンチップオシレータ停止)にする

### 15.7.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表15.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図15.19 デジタルフィルタ回路のブロック図」参照)

- TRCIOj (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 15.7.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1(カウントアップ停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

### 15.7.7 MSTCRレジスタ

タイマRCのカウントを停止した後、MSTCRレジスタのMSTTRCビットを1(スタンバイ)にしてください。

### 15.7.8 モードの切り換え

- 動作中にモードを切り換える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り換え後、動作開始前にTRCSRレジスタの各フラグを0にしてください。

### 15.7.9 タイマRC関連レジスタの設定手順

タイマRC関連レジスタは、次の手順で設定してください。

- (1) タイマRC動作モードの設定(TRCMRレジスタのPWMB、PWMC、PWMD、PWM2ビット)
- (2) (1)以外のレジスタの設定
- (3) ポート出力許可の設定(TRCOERレジスタのEA~EDビット)

## 16. タイマRK

タイマRKは、カウントソースの入力によりカウントアップする8ビットタイマです。

### 16.1 概要

表16.1にタイマRKの仕様を、図16.1にタイマRKのブロック図を、表16.2にタイマRKの端子構成を示します。

表16.1 タイマRKの仕様

項目	内容	
カウントソース	f1、f2、f8、fHOCO、外部クロック(外部イベントのカウント)から選択可能	
動作モード	インターバルモード	8ビットのインターバルタイマとして動作する
	パルス出力モード	タイマのオーバーフローで、極性を反転したパルスを出力する
	アウトプットコンペアモード	カウントソースをカウントし、コンペア一致を検出する
割り込み	カウンタのオーバーフローまたはコンペア一致で割り込みが発生する	
その他	動作モードごとにオートリロード有効または無効を選択可能	

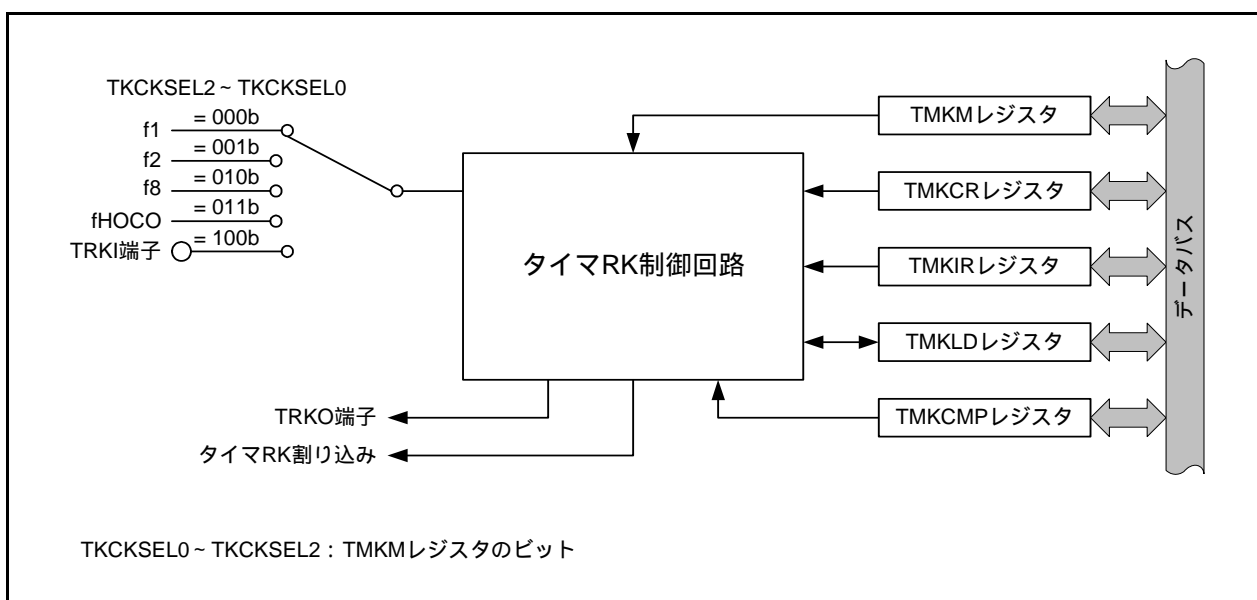


図16.1 タイマRKのブロック図

表16.2 タイマRKの端子構成

端子名	入出力	機能
TRKI	入力	タイマRKの外部入力
TRKO	出力	タイマRKの出力



## 16.2 レジスタの説明

表16.3にタイマRKのレジスタ構成を示します。

表16.3 タイマRKのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRKモードレジスタ	TMKM	00h	00188h	8
タイマRK制御レジスタ	TMKCR	00h	00189h	8
タイマRKロードレジスタ	TMKLD (TMKCNT)	00h	0018Ah	8
タイマRKコンペア一致データレジスタ	TMKCMP	00h	0018Bh	8
タイマRK割り込み要求とステータスレジスタ	TMKIR	00h	0018Ch	8

## 16.2.1 タイマRKモードレジスタ(TMKM)

アドレス 00188h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TKMD1	TKMD0	TKLDM	—	—	TKCKSEL2	TKCKSEL1	TKCKSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TKCKSEL0	タイマRKカウントソース選択ビット (注1)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f8 0 1 1 : fHOCO 1 0 0 : 外部クロック 上記以外 : 設定しないでください	R/W
b1	TKCKSEL1			R/W
b2	TKCKSEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	TKLDM	オートリロードビット	0 : オートリロード無効 1 : オートリロード有効	R/W
b6	TKMD0	タイマRK動作モード選択ビット (注2)	b7 b6 0 0 : インターバルモード 0 1 : パルス出力モード 1 0 : アウトプットコンペアモード 1 1 : 設定しないでください	R/W
b7	TKMD1			R/W

注1. TMKCRレジスタのTSTARTビットを0(カウント停止)にした後、TKCKSEL0 ~ TKCKSEL2ビットを変更してください。

注2. TSTARTビットを0にした後、TKMD0 ~ TKMD1ビットを変更してください。

TMKMレジスタに書き込むと、TRKO端子からの出力レベルが、TMKCRレジスタのTOLEVビットで指定した初期出力レベルになります。

## 16.2.2 タイマRK制御レジスタ(TMKCR)

アドレス	00189h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	TOLEV	IEDGE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	IEDGE	外部クロック入力エッジ選択ビット (注1)	0: 立ち上がりエッジ 1: 立ち下がりエッジ	R/W
b6	TOLEV	タイマRK出力レベル選択ビット(注2)	0: 初期出力L 1: 初期出力H	R/W
b7	TSTART	タイマRKカウント開始ビット (注1、2)	0: カウント停止 1: カウント開始	R/W

注1. TSTARTビットを0(カウント停止)にした後、IEDGEビットを変更してください。

注2. TSTARTビットを0(カウント停止)にした後、TOLEVビットを変更してください。

## 16.2.3 タイマRKロードレジスタ(TMKLD (TMKCNT))

アドレス	0018Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TMKLD7	TMKLD6	TMKLD5	TMKLD4	TMKLD3	TMKLD2	TMKLD1	TMKLD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMKLD0	カウントデータビット0	8ビットのカウントデータを書く	R/W
b1	TMKLD1	カウントデータビット1		R/W
b2	TMKLD2	カウントデータビット2		R/W
b3	TMKLD3	カウントデータビット3		R/W
b4	TMKLD4	カウントデータビット4		R/W
b5	TMKLD5	カウントデータビット5		R/W
b6	TMKLD6	カウントデータビット6		R/W
b7	TMKLD7	カウントデータビット7		R/W

TMKCNTレジスタとTMKLDレジスタは、同じ番地に配置されます。

## 16.2.3.1 タイマRKのカウンタ(TMKCNT)

TMKCNTレジスタは8ビットの読み出し可能なアップカウンタで、カウントソースの入力によりカウントアップされます。TMKCNTレジスタは、任意のタイミングで読み出せます。TMKCNTレジスタがオーバーフロー(FFh 00hまたはFFh TMKLDレジスタの設定値)すると、TMKIRレジスタのTMKOVIFビットが1(オーバーフロー割り込み要求あり)になります。

TMKCNTレジスタのリセット後の値は00hです。

## 16.2.3.2 タイマRKロードレジスタ(TMKLD)

TMKLDレジスタは8ビットの書き込み専用レジスタで、TMKCNTレジスタのリロード値を設定します。TMKLDレジスタにリロード値を設定すると、同時にその値はTMKCNTレジスタにもリロードされ、TMKCNTレジスタはその値からカウントアップを開始します。また、オートリロード有効時にTMKCNTレジスタがオーバーフローすると、TMKCNTレジスタにTMKLDレジスタの値がリロードされます。従って、オーバーフロー周期をカウントソースの1~256クロックの範囲で設定できます。

TMKLDレジスタのリセット後の値は00hです。

## 16.2.4 タイマRKコンペアー一致データレジスタ (TMKCMP)

アドレス	0018Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TMKCMP7	TMKCMP6	TMKCMP5	TMKCMP4	TMKCMP3	TMKCMP2	TMKCMP1	TMKCMP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMKCMP0	コンペアー一致データビット0	8ビットのコンペアー一致データを書く	R/W
b1	TMKCMP1	コンペアー一致データビット1		R/W
b2	TMKCMP2	コンペアー一致データビット2		R/W
b3	TMKCMP3	コンペアー一致データビット3		R/W
b4	TMKCMP4	コンペアー一致データビット4		R/W
b5	TMKCMP5	コンペアー一致データビット5		R/W
b6	TMKCMP6	コンペアー一致データビット6		R/W
b7	TMKCMP7	コンペアー一致データビット7		R/W

## 16.2.5 タイマRK割り込み要求とステータスレジスタ (TMKIR)

アドレス	0018Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TMKOVIE	TMKOVIF	TMKCMIE	TMKCMIF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	TMKCMIF	タイマRKコンペアー一致割り込み要求フラグ	0: コンペアー一致割り込み要求なし 1: コンペアー一致割り込み要求あり	R/W
b5	TMKCMIE	タイマRKコンペアー一致割り込み許可ビット	0: コンペアー一致割り込み禁止 1: コンペアー一致割り込み許可	R/W
b6	TMKOVIF	タイマRKオーバフロー割り込み要求フラグ	0: オーバフロー割り込み要求なし 1: オーバフロー割り込み要求あり	R/W
b7	TMKOVIE	タイマRKオーバフロー割り込み許可ビット	0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可	R/W

## TMKCMIFビット(タイマRKコンペアー一致割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- タイマRKがコンペアー一致したとき

## TMKOVIFビット(タイマRKオーバフロー割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- タイマRKがオーバフローしたとき

## 16.3 動作説明

### 16.3.1 インターバルモード

TMKMレジスタのTKMD1 ~ TKMD0ビットを00b(インターバルモード)にし、TMKCRレジスタのTSTARTビットを1(カウント開始)にすると、タイマRKは8ビットのインターバルタイマとして動作します。リセット後、TSTARTビットが0になるため、タイマRKは停止します。

タイマRKのカウントソースはTMKMレジスタのTKCKSEL0 ~ TKCKSEL2ビットによって、4種類の内部クロック、TRKI入力端子からの外部クロック(TMKCRレジスタのIEDGEビットで有効エッジを選択)を選択できます。

タイマのカウント値がFFhになった後にカウントソースが入力されると、タイマRKはオーバフローして、TMKIRレジスタのTMKOVIFビットが1(オーバフロー割り込み要求あり)になります。TMKIRレジスタのTMKOVIEビットが1(オーバフロー割り込み許可)のとき、CPUに割り込み要求信号を発生します。

オーバフロー時、TMKCNTレジスタのカウント値は次になります。

- オートリロード無効(TMKMレジスタのTKLDMビット = 0) : 00h
- オートリロード有効(TMKMレジスタのTKLDMビット = 1) : TMKLDレジスタのリロード値

上記値からカウントアップを開始します。インターバルモード時にTMKLDレジスタを設定すると、同時にTMKCNTレジスタにもTMKLDレジスタの値をリロードします。

カウント停止中は、カウント値を保持します。

図16.2にインターバルモード時の動作例を示します。

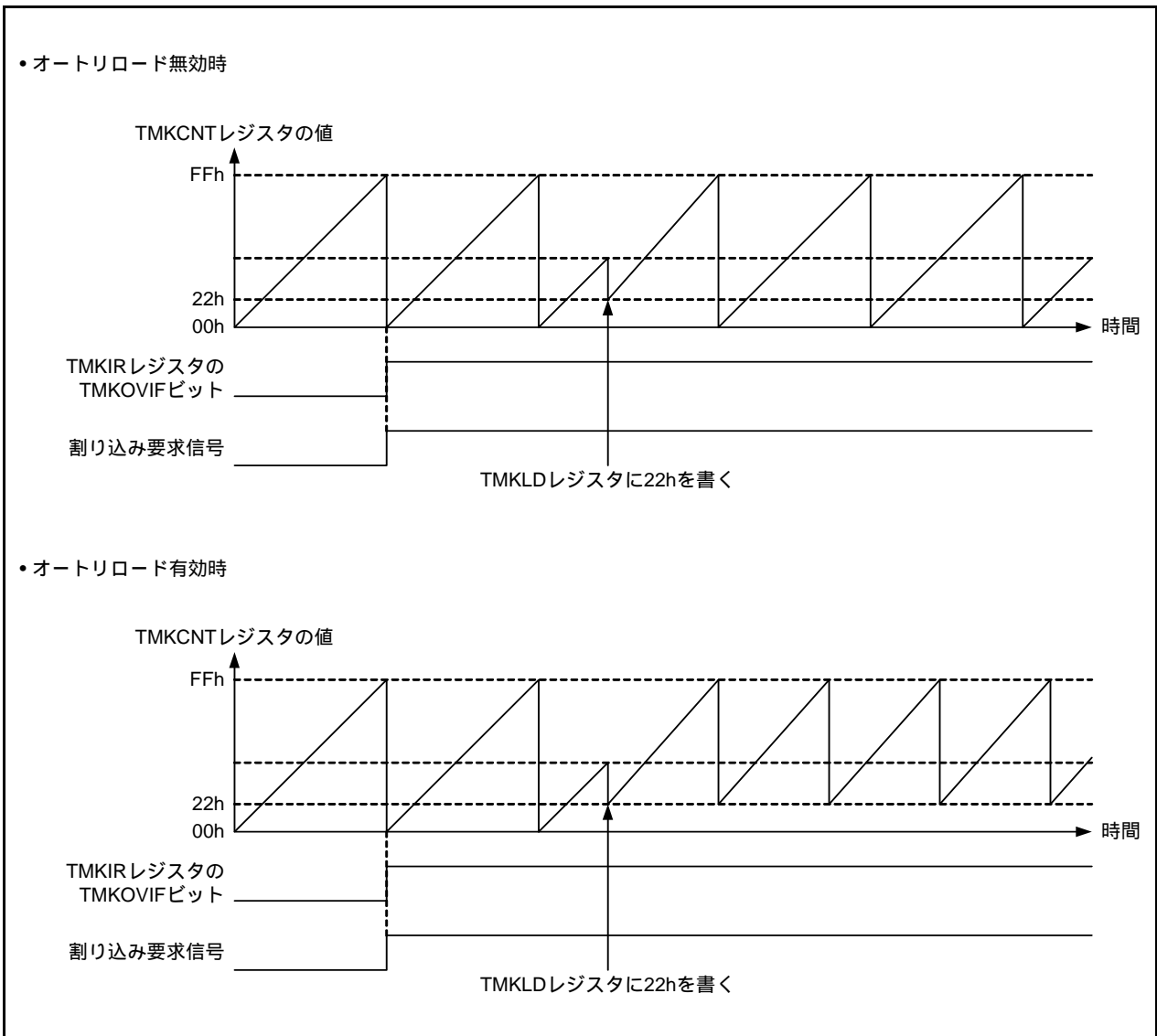


図16.2 インターバルモード時の動作例

### 16.3.2 パルス出力モード

TMKMレジスタのTKMD1 ~ TKMD0ビットを01b (パルス出力モード)にし、TMKCRレジスタのTSTARTビットを1 (カウント開始)にすると、タイマRKは8ビットタイマとして動作します。タイマRKがオーバーフローすると、TRKO端子からの出力が反転します。出力レベルの初期値がLかHかは、TMKCRレジスタのTOLEVビットで選択できます。

タイマRKのカウントソースはTMKMレジスタのTKCKSEL0 ~ TKCKSEL2ビットによって、4種類の内部クロック、TRKI入力端子からの外部クロック (TMKCRレジスタのIEDGEビットで有効エッジを選択)を選択できます。

タイマのカウント値がFFhになった後にカウントソースが入力されると、タイマRKはオーバーフローして、TMKIRレジスタのTMKOVIFビットが1 (オーバーフロー割り込み要求あり)になります。TMKIRレジスタのTMKOVIEビットが1 (オーバーフロー割り込み許可)のとき、CPUに割り込み要求信号を発生します。

オーバーフロー時、TMKCNTレジスタのカウント値は次になります。

- オートリロード無効 (TMKMレジスタのTKLDMビット = 0) : 00h
- オートリロード有効 (TMKMレジスタのTKLDMビット = 1) : TMKLDレジスタのリロード値

上記値からカウントアップを開始します。パルス出力モード時にTMKLDレジスタを設定すると、同時にTMKCNTレジスタにもTMKLDレジスタの値をリロードします。

カウント停止中は、カウント値を保持します。

図16.3にパルス出力モード時の動作例を示します。

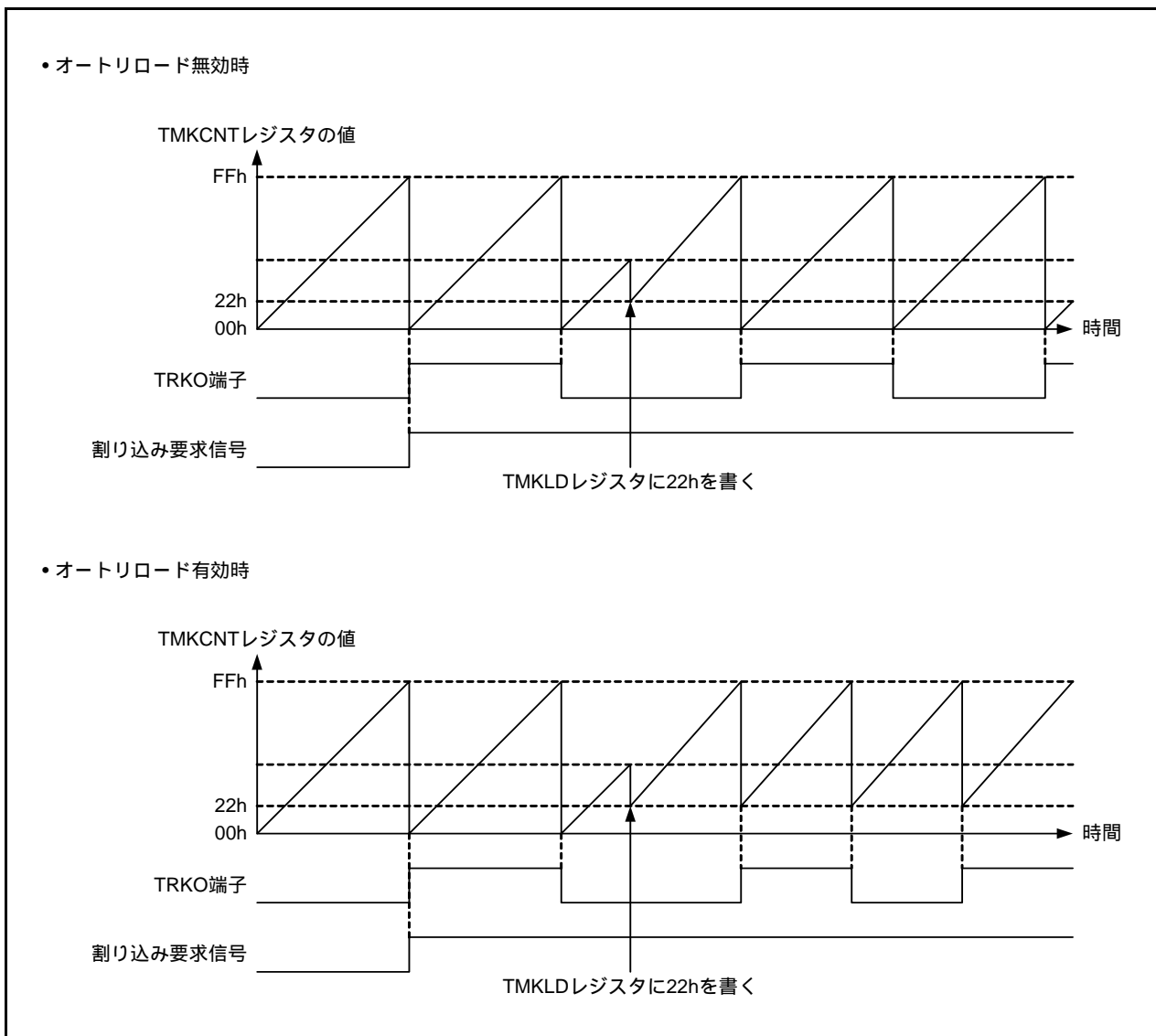


図16.3 パルス出力モード時の動作例



### 16.3.3 アウトプットコンペアモード

TMKMレジスタのTKMD1 ~ TKMD0ビットを10b(アウトプットコンペアモード)にし、TMKCRレジスタのTSTARTビットを1(カウント開始)にすると、タイマRKはアウトプットコンペアモードとして動作します。TMKCMPレジスタに設定されているコンペア値とタイマRKのカウント値が一致すると、TRKO端子からの出力が反転します。タイマRKがオーバフローすると、さらにTRKO端子からの出力が反転します。TMKLDレジスタとTMKCMPレジスタの値を書き換えることで、パルス出力のデューティと周期を変更できます。

タイマRKのカウントソースはTMKMレジスタのTKCKSEL0 ~ TKCKSEL2ビットによって、4種類の内部クロック、TRKI入力端子からの外部クロック(TMKCRレジスタのIEDGEビットで有効エッジを選択)を選択できます。

8ビットカウンタの内容とTMKCMPレジスタの内容が一致したとき、またはオーバフローしたとき、CPUに割り込み要求信号を発生します。

オーバフロー時、TMKCNTレジスタのカウント値は次になります。

- オートリロード無効(TMKMレジスタのTKLDMビット = 0) : 00h
- オートリロード有効(TMKMレジスタのTKLDMビット = 1) : TMKLDレジスタのリロード値

上記値からカウントアップを開始します。アウトプットコンペアモード時にTMKLDレジスタを設定すると、同時にTMKCNTレジスタにもTMKLDレジスタの値をリロードします。

カウント停止中は、カウント値を保持します。

図16.4にアウトプットコンペアモード時の動作例を、表16.4にTRKO端子のL幅、H幅の計算式(アウトプットコンペアモードで初期出力Lの場合)を示します。

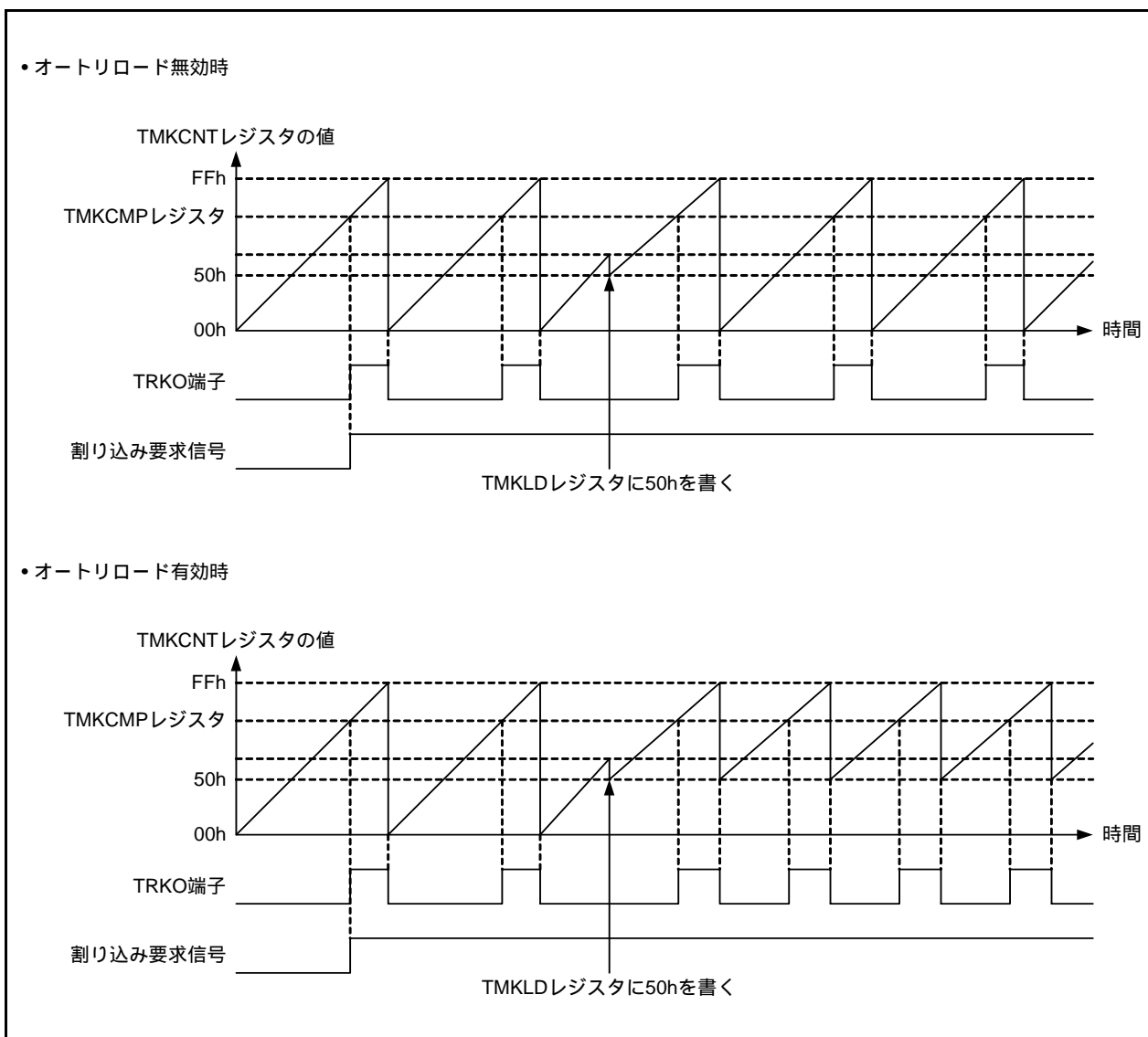


図16.4 アウトプットコンペアモード時の動作例

表16.4 TRKO端子のL幅、H幅の計算式(アウトプットコンペアモードで初期出力Lの場合)

オートリロード	TMKLD、TMKCMPレジスタの値	L幅	H幅
オートリロード無効時	TMKLDレジスタ = 00h、 TMKCMPレジスタ = m (FFh以外)	m + 1	FFh - m
	TMKLDレジスタ = 00h、 TMKCMPレジスタ = FFh	FFh + 1	
オートリロード有効時 (TMKLDレジスタ TMKCMPレジスタ)	TMKLDレジスタ = n、 TMKCMPレジスタ = m (FFh以外)	m - n + 1	FFh - m
	TMKLDレジスタ = n、 TMKCMPレジスタ = FFh	FFh - n + 1	

#### 16.4 タイマRK使用上の注意事項

- カウント中にTMKCRレジスタのTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2～3サイクルの間、タイマRK関連レジスタ(注1)をアクセスしないでください。

注1. タイマRK関連レジスタ：TMKM、TMKCR、TMKLD、TMKIR

- カウント停止中にTMKLDレジスタを連続して書き込み、読み出しする場合、書き込みと読み出し命令の間に、NOP命令を1つ入れてください。

## 17. タイマRE2

### 17.1 概要

タイマRE2は3ビットカウンタ、4ビットカウンタ、8ビットカウンタを持つタイマです。

タイマRE2は次の2つのモードを持ちます。

- リアルタイムクロックモード  
fXCINから1sを作り、秒、分、時、曜日、日、月、年(2000年から2099年まで閏年対応)をカウントするモード
- コンペアー一致タイマモード  
カウントソースをカウントし、コンペアー一致でカウンタを初期化するモード

表17.1にリアルタイムクロックモードの仕様を、表17.2にコンペアー一致タイマモードの仕様を、図17.1にリアルタイムクロックモードのブロック図を、図17.2にコンペアー一致タイマモードのブロック図を、表17.3にタイマRE2の端子構成を示します。

表17.1 リアルタイムクロックモードの仕様

項目	内容
カウントソース	fXCIN (32 kHz)
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	周期割り込み 次のうち、いずれか1つを選択 <ul style="list-style-type: none"> <li>• 0.25秒周期</li> <li>• 0.5秒周期</li> <li>• 秒データの更新</li> <li>• 分データの更新</li> <li>• 時データの更新</li> <li>• 日データの更新</li> <li>• 月データの更新</li> <li>• 年データの更新</li> </ul> アラーム割り込み 時刻のデータとアラームのデータの一致
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> <li>• プログラマブル入出力ポート</li> <li>• f4、f8、f16、f32、1 Hz、64 Hz、fXCINのいずれかを出力</li> </ul>
タイマの読み出し、書き込み	TREWKレジスタ以外のタイマREデータレジスタ(TRESEC、TREMIN、TREHR、TREDY、TREMOM、TREYRレジスタ)の値はBCDコード
選択機能	<ul style="list-style-type: none"> <li>• 12時間モード/24時間モード切り替え機能</li> <li>• アラーム機能 分、時、曜日のいずれか、またはこれらの組み合わせを検出</li> <li>• 秒調整機能 リセット調整機能と30秒調整機能</li> <li>• 時計誤差補正機能 自動補正機能またはソフトウェアによる補正</li> <li>• クロック出力</li> </ul>

表17.2 コンペアー一致タイマモードの仕様

項目	内容
カウントソース	f8、f32、f128、f256、f512、f2048、f4096、f8192
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	<ul style="list-style-type: none"> <li>コンペアー一致割り込み</li> <li>オーバフロー割り込み</li> </ul>
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> <li>プログラマブル入出力ポート</li> <li>f4、f8、f16、f32、fXCINのいずれかを出力</li> <li>コンペアー一致ごとのトグル出力</li> </ul>

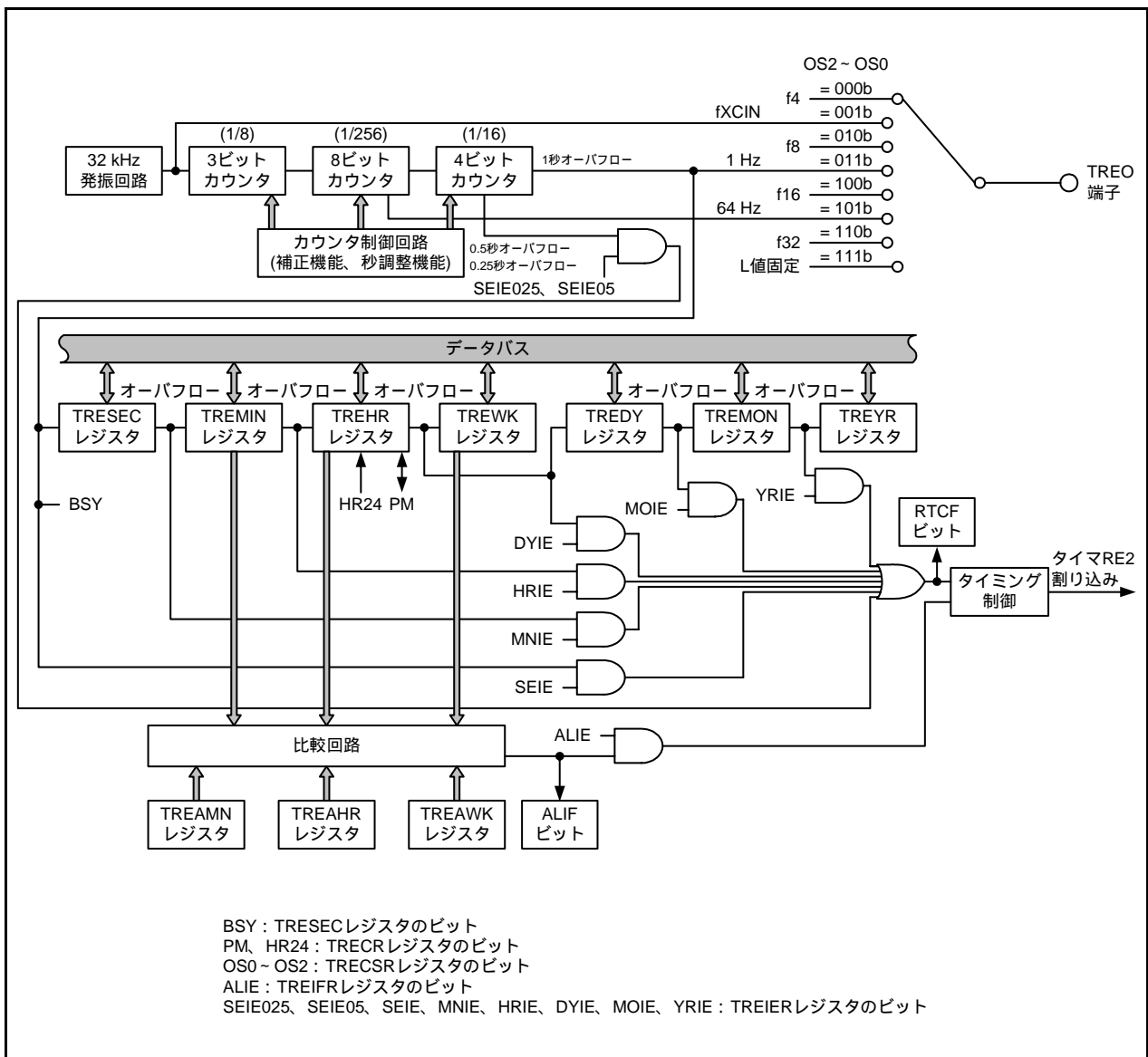


図17.1 リアルタイムクロックモードのブロック図

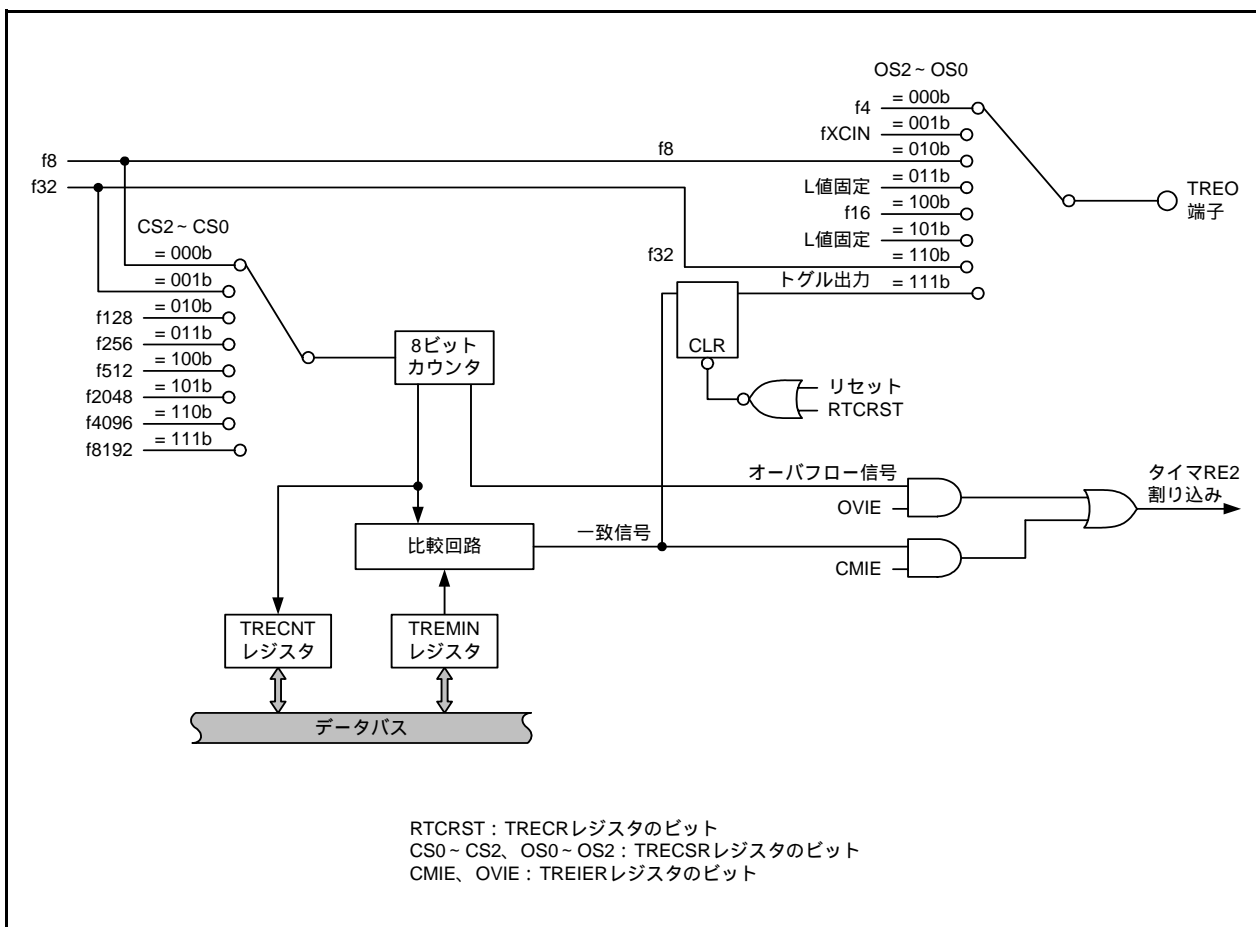


図 17.2 コンパレー一致タイマモードのブロック図

表 17.3 タイマRE2の端子構成

端子名	入出力	機能
TREO	出力	タイマRE2の出力

## 17.2 レジスタの説明

表17.4にタイマRE2のレジスタ構成を示します。

表17.4 タイマRE2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRE秒データレジスタ	TRESEC	XXXXXXXXXb	00130h	8
タイマREカウンタデータレジスタ	TRECNT			
タイマRE分データレジスタ	TREMIN	XXXXXXXXXb	00131h	8
タイマREコンペアデータレジスタ				
タイマRE時データレジスタ	TREHR	00XXXXXXXXb	00132h	8
タイマRE曜日データレジスタ	TREWK	00000XXXb	00133h	8
タイマRE日データレジスタ	TREDY	00XXXXXXXXb	00134h	8
タイマRE月データレジスタ	TREMON	000XXXXXXXXb	00135h	8
タイマRE年データレジスタ	TREYR	XXXXXXXXXb	00136h	8
タイマRE制御レジスタ	TRECR	XXX00X0Xb	00137h	8
タイマREカウントソース選択レジスタ	TRECSR	X0001000b	00138h	8
タイマRE時計誤差補正レジスタ	TREADJ	XXXXXXXXXb	00139h	8
タイマRE割り込みフラグレジスタ	TREIFR	00000XXXb	0013Ah	8
タイマRE割り込み許可レジスタ	TREIER	XXXXXXXXXb	0013Bh	8
タイマREアラーム分レジスタ	TREAMN	XXXXXXXXXb	0013Ch	8
タイマREアラーム時レジスタ	TREHR	XXXXXXXXXb	0013Dh	8
タイマREアラーム曜日レジスタ	TREAWK	X0000XXXb	0013Eh	8
タイマREプロテクトレジスタ	TREPRC	00000000b	0013Fh	8

## 17.2.1 タイマRE秒データレジスタ(TRESEC) [リアルタイムクロックモード時]

アドレス	00130h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。 桁上がりが発生すると、秒十位が 1加算される。	0 ~ 9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒を カウント。	0 ~ 5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE ビジーフラグ	タイマRE データレジスタ(注1)、TRECRレジスタの PMビットの更新中1になります。		R

注1. タイマRE データレジスタ : TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TRESECレジスタを書き換えてください。

## SC00 ~ SC03ビット(秒一位カウントビット)

## SC10 ~ SC12ビット(秒十位カウントビット)

BCDコードで00 ~ 59を設定してください。

SC00 ~ SC03、SC10 ~ SC12ビットは、BSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## BSYビット(タイマRE ビジーフラグ)

データ更新中は1になります。次のレジスタとビットは、BSYビットが0(データ更新中ではない)のときに読み出ししてください。

- タイマRE データレジスタ  
(TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ)
- TRECRレジスタのPM、HR24ビット

また、次のレジスタとビットは、BSYビットが0(データ更新中ではない)のときに書き込んでください。

- タイマRE データレジスタ  
(TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ)
- タイマRE アラームレジスタ(TREAMNT、TREAHR、TREAWKレジスタ)
- TRECRレジスタのPM、HR24ビット
- 補正関連レジスタとビット  
(TRECRレジスタのAADJEビット、TRECSTRレジスタのAADJMビット、TREADJレジスタ)



## 17.2.2 タイマREカウンタデータレジスタ(TRECNT) [コンペアー一致タイマモード時]

アドレス	00130h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTRCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットカウンタのデータが読めます。 タイマREのカウンタが停止しても、カウント値は保持されます。 TRECRレジスタのCCLRビットが0のときは、コンペアー一致しても、そのままカウントを継続し、 CCLRビットが1のときは、TRECNTレジスタは00hになります。	R

## 17.2.3 タイマRE分データレジスタ(TREMIN) [リアルタイムクロックモード時]

アドレス	00131h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTRCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。 桁上がりが発生すると、分十位が 1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分を カウント。	0 ~ 5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	MN7	0にしてください			R/W

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREMINレジスタを書き換えてください。

MN00 ~ MN03ビット(分一位カウントビット)

MN10 ~ MN12ビット(分十位カウントビット)

BCDコードで00 ~ 59を設定してください。

TRESECレジスタからの桁上がりがあると、1加算されます。

MN00 ~ MN03、MN10 ~ MN12ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.4 タイマREコンペアデータレジスタ(TREMIN) [コンペア一致タイマモード時]

アドレス	00131h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN6	MN5	MN4	MN3	MN2	MN1	MN0
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MN0	コンペアデータビット0	8ビットのコンペアデータを格納します。 コンペア値を書いてください。	R/W
b1	MN1	コンペアデータビット1		R/W
b2	MN2	コンペアデータビット2		R/W
b3	MN3	コンペアデータビット3		R/W
b4	MN4	コンペアデータビット4		R/W
b5	MN5	コンペアデータビット5		R/W
b6	MN6	コンペアデータビット6		R/W
b7	MN7	コンペアデータビット7		R/W

TREMINレジスタは、TRECNTレジスタと常に比較されており、両レジスタの値が一致すると、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TREIERレジスタのCMIEビットが1(コンペア一致割り込み許可)のとき割り込み要求を発生します。

TREMINレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

## 17.2.5 タイマRE時データレジスタ(TREHR)

アドレス	00132h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	TRECRレジスタのHR24ビットが0 (12時間モード) のとき、0から1をカウント。 HR24ビットが1 (24時間モード) のとき、0から2をカウント。	0 ~ 2 (BCDコード)	R/W
b5	HR11				R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				—

TREHRレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREHRレジスタを書き換えてください。

## HR00 ~ HR03ビット(時一位カウントビット)

## HR10 ~ HR11ビット(時十位カウントビット)

TRECRレジスタのHR24ビットが0 (12時間モード) の場合は、BCDコードで00 ~ 11を設定してください。HR24ビットが1 (24時間モード) の場合は、BCDコードで00 ~ 23を設定してください。

TREMINレジスタからの桁上がりがあると、1加算されます。

HR00 ~ HR03、HR10 ~ HR11ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.6 タイマRE曜日データレジスタ(TREWK)

アドレス	00133h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 000:日曜日 001:月曜日 010:火曜日 011:水曜日 100:木曜日 101:金曜日 110:土曜日 111:設定しないでください	R/W
b1	WK1			R/W
b2	WK2			R/W
b3	—			予約ビット
b4	—			
b5	—			
b6	—			
b7	—			

TREWKレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREWKレジスタを書き換えてください。

## WK0 ~ WK2ビット(曜日カウントビット)

000b(日曜日) ~ 110b(土曜日)を繰り返しカウントしますので、1週間がカウントできます。111bにはなりません。111bを設定しないでください。

TREHRレジスタからの桁上がりがあると、1加算されます。

WK0 ~ WK2ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.7 タイマRE日データレジスタ(TREDY)

アドレス	00134h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DY11	DY10	DY03	DY02	DY01	DY00
リセット後の値	0	0	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	DY00	日一位カウントビット	1日ごとに0から9をカウント。 桁上がりが発生すると、日十位が 1加算される。	0 ~ 9 (BCDコード)	R/W
b1	DY01				R/W
b2	DY02				R/W
b3	DY03				R/W
b4	DY10	日十位カウントビット	0から3をカウント	0 ~ 3 (BCDコード)	R/W
b5	DY11				R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				—

TREDYレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREDYレジスタを書き換えてください。

## DY00 ~ DY03ビット(日一位カウントビット)

## DY10 ~ DY11ビット(日十位カウントビット)

BCDコードで01 ~ 31を設定してください。

TREHRレジスタからの桁上がりがあると、1加算されます。2000年から2099年まで、閏年の2月を含む各月の日数(28 ~ 31)をカウントします。

DY00 ~ DY03、DY10 ~ DY11ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.8 タイマRE月データレジスタ(TREMON)

アドレス	00135h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MO10	MO03	MO02	MO01	MO00
リセット後の値	0	0	0	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MO00	月一位カウントビット	1月ごとに0から9をカウント。 桁上がりが発生すると、月十位が 1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MO01				R/W
b2	MO02				R/W
b3	MO03				R/W
b4	MO10	月十位カウントビット	0から1をカウント	0 ~ 1 (BCDコード)	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b6	—				—
b7	—				—

TREMONレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREMONレジスタを書き換えてください。

## MO00 ~ MO03ビット(月一位カウントビット)

## MO10ビット(月十位カウントビット)

BCDコードで01 ~ 12を設定してください。

TREYDレジスタからの桁上がりがあると、1加算されます。

MO00 ~ MO03、MO10ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.9 タイマRE年データレジスタ(TREYR)

アドレス	00136h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YR13	YR12	YR11	YR10	YR03	YR02	YR01	YR00
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	YR00	年一位カウントビット	1年ごとに0から9をカウント。 桁上がりが発生すると、年十位が 1加算される。	0 ~ 9 (BCDコード)	R/W
b1	YR01				R/W
b2	YR02				R/W
b3	YR03				R/W
b4	YR10	年十位カウントビット	0から9をカウント	0 ~ 9 (BCDコード)	R/W
b5	YR11				R/W
b6	YR12				R/W
b7	YR13				R/W

TREYRレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREYRレジスタを書き換えてください。

YR00 ~ YR03ビット(年一位カウントビット)

YR10 ~ YR13ビット(年十位カウントビット)

BCDコードで00 ~ 99を設定してください。年の千と百の位は20固定です。従って、2000年から2099年を表示できます。

TREMONレジスタからの桁上がりがあると、1加算されます。

YR00 ~ YR03、YR10 ~ YR13ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.10 タイマRE制御レジスタ(TRECR) [リアルタイムクロックモード時]

アドレス	00137h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCRST	CCLR	LFLAG	—	AADJE
リセット後の値	X	X	X	0	0	X	0	X
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	タイマRE自動補正機能許可ビット	0:自動補正機能禁止(ソフトウェアによる補正有効) 1:自動補正機能許可(ソフトウェアによる補正無効)	R/W
b1	—	予約ビット	0にしてください	R/W
b2	LFLAG	閏年フラグ (注1)	0:平年 1:閏年	R
b3	CCLR	0にしてください		R/W
b4	RTCRST	タイマREリセットビット (注2)	このビットを1にすると、表17.5に示すレジスタとビットが初期化され、カウンタ制御回路が初期化される。	R/W
b5	PM	午前/午後ビット	0:午前 1:午後	R/W
b6	HR24	動作モード選択ビット	0:12時間モード 1:24時間モード	R/W
b7	RUN	タイマRE動作開始ビット	0:カウント停止 1:カウント開始	R/W

注1. RTCRSTビットを1にすると、TREYRレジスタは00hになります。2000年は閏年なので、LFLAGビットの初期値は1になります。

注2. RTCRSTビットを1にした後は、0にしてください。

## AADJEビット(タイマRE自動補正機能許可ビット)

TRESECレジスタのBSYビットが0(データ更新中ではない)のときに変更してください。

## LFLAGビット(閏年フラグ)

TREYRレジスタの値が00hまたは4の倍数の場合、LFLAGビットが1(閏年)になります。LFLAGビットが1の場合、2月の日数を29日にします。

TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出してください。



### RTCRSTビット(タイマREリセットビット)

RTCRSTビットを1にすると、表17.5に示すレジスタとビットが初期化され、カウンタ制御回路が初期化されます。なお、RTCRSTビットを1にした後は、0にしてください。

表17.5 RTCRSTビットで初期化されるレジスタとビット(注1)

レジスタ	初期化されるビット	設定値を保持するビット
タイマREデータレジスタ(注2)	ビット0~7	—
タイマREアラームレジスタ(注3)	ビット0~7	—
TRECR	AADJE、LFLAG、PM、HR24、RUN	ビット1、CCLR、RTCRST
TRECSR	ビット7	ビット0~6
TREADJ	ビット0~7	—
TREIFR	ビット0~2、7	ビット3~6
TREIER	ビット0~7	—
TREPRC	ビット0~7	—

注1. 値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

注2. タイマREデータレジスタ：TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ

注3. タイマREアラームレジスタ：TREAMN、TREAHR、TREAOKレジスタ

## PMビット(午前/午後ビット)

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、PMビットを書き換えてください。

PMビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

HR24ビットが0(12時間モード)の場合に有効です。

PMビットはカウント動作中、次のように変化します。

- PMビットが1(午後)で、11時59分59秒から、次の00時00分00秒になるとき、0になる
- PMビットが0(午前)で、11時59分59秒から、次の00時00分00秒になるとき、1になる

図17.3に時間表現の定義を示します。

<2000年1月1日土曜日の午前0時からカウントを始めた場合>

正午  
↓

HR24ビット=1 (24時間モード)	TREHRレジスタの内容	0	1	...	10	11	12	13	...	22	23	0	1	2	...	21	22	23	0	1	2					
	PMビットの内容	0																								
HR24ビット=0 (12時間モード)	TREHRレジスタの内容	0	1	...	10	11	0	1	...	10	11	0	1	2	...	9	10	11	0	1	2					
	PMビットの内容	0(午前)					1(午後)					0(午前)					1(午後)					0(午前)				
	TREWKレジスタの内容	110(土)					000(日)					...					001(月)					010(火)				
	TREDYレジスタの内容	1日					2日					...					31日					1日				
	TREMONレジスタの内容	1月										2月														
	TREYRレジスタの内容	2000年																								
	LFLAGビット	1																								

HR24ビット=1 (24時間モード)	TREHRレジスタの内容	3	4	5	...	21	22	23	0	1	2	...	21	22	23	0	1	2	...																																										
	PMビットの内容	0																																																											
HR24ビット=0 (12時間モード)	TREHRレジスタの内容	3	4	5	...	21	10	11	0	1	2	...	9	10	11	0	1	2	...																																										
	PMビットの内容	0(午前)					...					1(午後)					0(午前)					...																																							
	TREWKレジスタの内容	010(火)					...					010(火)					011(水)					...					000(日)					001(月)					...																								
	TREDYレジスタの内容	1日					...					29日					1日					...					31日					1日					...																								
	TREMONレジスタの内容	2月										3月										...										12月										1月										...									
	TREYRレジスタの内容	2000年																																																											
	LFLAGビット	1																																																											

LFLAG、PM、HR24 : TRECRレジスタのビット

図17.3 時間表現の定義

## HR24ビット(動作モード選択ビット)

HR24ビットが0(12時間モード)の場合、TREHRレジスタは0~11のカウントを行い、1(24時間モード)の場合、0~23のカウントを行います。HR24ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

## 17.2.11 タイマRE制御レジスタ(TRECR) [コンペアー一致タイマモード時]

アドレス	00137h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCRST	CCLR	LFLAG	—	AADJE
リセット後の値	X	X	X	0	0	X	0	X
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	0にしてください		R/W
b1	—	予約ビット	0にしてください	R/W
b2	LFLAG	0にしてください		R
b3	CCLR	カウンタクリア許可ビット	0: コンペアー一致によるTRECNTレジスタの初期化を禁止 1: コンペアー一致によるTRECNTレジスタの初期化を許可	R/W
b4	RTCRST	タイマREリセットビット (注1)	0: 通常動作 1: 各レジスタ(注2)が初期化され、カウンタ制御回路が初期化される	R/W
b5	PM	0にしてください		R/W
b6	HR24			R/W
b7	RUN	タイマRE動作開始ビット	0: カウント停止 1: カウント開始	R/W

注1. RTCRSTビットを1にした後は、0にしてください。初期化される値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

注2. 表17.5に示すレジスタです。

## CCLRビット(カウンタクリア許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRECNTレジスタとTREMINTレジスタがコンペアー一致したとき、TRESECレジスタを初期化するかどうかを選択します。TRECSRレジスタのCS3ビットが0のときのみ有効です。

### 17.2.12 タイマREカウントソース選択レジスタ(TRECSR) [リアルタイムクロックモード時]

アドレス 00138h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	X	0	0	0	1	0	0	0
TRECRレジスタの RTRCRSTビットに よるリセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット	リアルタイムクロックモード(CS3ビット = 1)では、1000b (fXCIN) にしてください。	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fXCIN 0 1 0 : f8 0 1 1 : 1 Hz(注1、3) 1 0 0 : f16 1 0 1 : 64 Hz(注2、3) 1 1 0 : f32 1 1 1 : 設定しないでください	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM	自動補正モード選択ビット	0 : 1分ごとに補正 1 : 10秒ごとに補正	R/W

注1. fXCIN = 32.768 kHzの場合

fXCIN 32.768 kHzの場合は、1 Hzと異なる場合があります。

注2. fXCIN = 32.768 kHzの場合

fXCIN 32.768 kHzの場合は、64 Hzと異なる場合があります。

注3. 秒調整、時計誤差補正を使用した場合は、そのタイミングで出力周波数が異なる場合があります。

#### CS0 ~ CS3ビット(カウントソース選択ビット)

TRECRレジスタのRUNビットが0(カウント停止)のときに変更してください。

#### OS0 ~ OS2ビット(タイマRE出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

#### AADJMビット(自動補正モード選択ビット)

TRECRレジスタのAADJEビットが1(自動補正機能許可(ソフトウェアによる補正無効))の場合に有効です。

0にすると1分ごとに補正し、分解能は±0.5 ppmです。1にすると10秒ごとに補正し、分解能は±3 ppmです。

TRESECレジスタのBSYビットが0(データ更新中ではない)のときに変更してください。

### 17.2.13 タイマREカウントソース選択レジスタ(TRECSR) [コンペアー一致タイマモード時]

アドレス 00138h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	X	0	0	0	1	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット	コンペアー一致タイマモード(CS3ビット = 0)では、 次の値を設定してください。 b3 b2 b1 b0 0 0 0 0 : f8 0 0 0 1 : f32 0 0 1 0 : f128 0 0 1 1 : f256 0 1 0 0 : f512 0 1 0 1 : f2048 0 1 1 0 : f4096 0 1 1 1 : f8192 上記以外 : 設定しないでください	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fXCIN 0 1 0 : f8 0 1 1 : 設定しないでください 1 0 0 : f16 1 0 1 : 設定しないでください 1 1 0 : f32 1 1 1 : コンペアー一致ごとのトグル出力	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM			0にしてください

#### CS0 ~ CS3ビット(カウントソース選択ビット)

TRECRレジスタのRUNビットが0(カウント停止)のときに変更してください。

#### OS0 ~ OS2ビット(タイマRE出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

OS2 ~ OS0ビットに111bを書くと、内部出力レベルはLになります。

## 17.2.14 タイマRE時計誤差補正レジスタ(TREADJ)

アドレス	00139h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PLUS	MINUS	ADJ5	ADJ4	ADJ3	ADJ2	ADJ1	ADJ0
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADJ0	補正值設定ビット	設定範囲：00h ~ 3Fh (00 ~ 63)	R/W
b1	ADJ1			R/W
b2	ADJ2			R/W
b3	ADJ3			R/W
b4	ADJ4			R/W
b5	ADJ5			R/W
b6	MINUS	補正カウンタビット	b7 b6 00：補正しない 01：減算補正 10：加算補正 11：設定しないでください	R/W
b7	PLUS			R/W

TREADJレジスタは、リアルタイムクロックモードで使用します。

TREADJレジスタは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに変更してください。

## MINUS ~ PLUSビット(補正カウンタビット)

1秒のカウンタを、ADJ0 ~ ADJ5ビットの値によって変更します。

PLUSビットを0、MINUSビットを1にすると、内部カウンタをマイナス側に補正します。時計が進んでいるときに、遅らせることができます。

PLUSビットを1、MINUSビットを0にすると、内部カウンタをプラス側に補正します。時計が遅れているときに、進めることができます。

補正する間隔は、TRECRレジスタのAADJEビットの値によって異なります。

AADJEビットが0(自動補正機能禁止(ソフトウェアによる補正有効))のときは、TREADJレジスタを書き込むときに補正します。AADJEビットが1(自動補正機能許可(ソフトウェアによる補正無効))のときは、TRECSRレジスタのAADJMビットで設定した間隔で補正します。

TREADJレジスタの設定方法の詳細は「17.3.4 時計誤差補正機能」を参照してください。

### 17.2.15 タイマRE割り込みフラグレジスタ (TREIFR) [リアルタイムクロックモード時]

アドレス 0013Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TADJSF	—	—	RSTADJ	ADJ30S	ALIE	RTCF	ALIF
リセット後の値	0	0	0	0	0	X	X	X
TRECRレジスタの RTRCRSTビットに よるリセット後の値	0	0	0	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ALIF	アラーム割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	RTCF	リアルタイムクロック周期割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b2	ALIE	アラーム割り込み許可ビット	0: アラーム割り込み禁止 1: アラーム割り込み許可	R/W
b3	ADJ30S	30秒調整ビット	このビットに1を書くと、TRESECレジスタの値が次のようになる。 TRESECレジスタの値 29の場合: TRESEC 00h TRESECレジスタの値 30の場合: TRESEC 00h、TREMINTREMIN + 1 読んだ場合、その値は0。	W
b4	RSTADJ	秒カウンタリセット調整ビット	このビットに1を書くと、TRESECレジスタの値が00hになり、内部カウンタが初期化される。 読んだ場合、その値は0。	W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			—
b7	TADJSF	補正ステータスフラグ	0: 補正なし 1: 補正中	R

#### ALIFビット(アラーム割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。

[1になる条件]

- タイマREアラームレジスタ(注1)の内容とタイマREデータレジスタ(注2)の内容が一致  
(「17.3.5 アラーム機能」参照)

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

一致を確認するために、タイマREアラームレジスタ(注1)の各許可ビットを1にしてください。

注1. タイマREアラームレジスタ: TREAMN、TREAHR、TREAWKレジスタ

注2. タイマREデータレジスタ:

TRESEC、TREMINTREMIN、TREHR、TREWK、TREDY、TREMONTREYRレジスタ

### RTCFビット(リアルタイムクロック周期割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。

[1になる条件]

- TREIERレジスタで許可した割り込みの要因が発生。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

### TADJSFビット(補正ステータスフラグ)

TADJSFビットが1(補正中)の間、次のビットまたはレジスタを変更しないでください。

- TRECRレジスタのAADJEビット
- TRECSRレジスタのAADJMビット
- TREADJレジスタ

[0になる条件]

- 補正を終了

- (1) 加算補正する場合は、TREADJレジスタのADJ0 ~ ADJ5ビットで設定した補正值を、内部カウンタに転送したとき
- (2) 減算補正する場合は、TREADJレジスタのADJ0 ~ ADJ5ビットで設定した補正值と内部カウンタの値が、コンパレー一致したとき

- TREADJレジスタのPLUS ~ MINUSビットに00b(補正しない)を書いたとき

[1になる条件]

- ソフトウェアによる補正の場合

- (1) PLUS ~ MINUSビットに01b(減算補正)を書いたとき(カウントソースに同期して1になる)
- (2) PLUS ~ MINUSビットに10b(加算補正)を書いたとき(カウントソースに同期して1になる)

- 自動補正の場合

減算補正の条件を満たす秒の期間に、TRESECレジスタのBSYビットが0(データ更新中ではない)になったとき



## 17.2.16 タイマRE 割り込みフラグレジスタ (TREIFR) [コンペアー一致タイマモード時]

アドレス	0013Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TADJSF	—	—	RSTADJ	ADJ30S	ALIE	OVIF	CMIF
リセット後の値	0	0	0	0	0	X	X	X
TRECRレジスタの RTRSTビットに よるリセット後の値	0	0	0	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIF	コンペアー一致割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	OVIF	オーバフロー割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b2	ALIE	0にしてください		R/W
b3	ADJ30S			W
b4	RSTADJ			W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	TADJSF	コンペアー一致タイマモードでは無効		R

## CMIFビット(コンペアー一致割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。

[1になる条件]

- TRECNTレジスタの内容とTREMINTレジスタの内容が一致。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

## OVIFビット(オーバフロー割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。

[1になる条件]

- 8ビットカウンタがオーバフロー。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

## 17.2.17 タイマRE 割り込み許可レジスタ (TREIER) [リアルタイムクロックモード時]

アドレス	0013Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YRIE	MOIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット	0: 0.25秒周期割り込み禁止 1: 0.25秒周期割り込み許可	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット	0: 0.5秒周期割り込み禁止 1: 0.5秒周期割り込み許可	R/W
b2	SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b3	MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b4	HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b5	DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b6	MOIE	月周期割り込み許可ビット	0: 月周期割り込み禁止 1: 月周期割り込み許可	R/W
b7	YRIE	年周期割り込み許可ビット	0: 年周期割り込み禁止 1: 年周期割り込み許可	R/W

TREIERレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

0.25秒、0.5秒、1秒、分、時、日、月、年のいずれかの周期で割り込み要求を発生させることができます。SEIE025、SEIE05、SEIE、MNIE、HRIE、DYIE、MOIE、YRIEビットのうち、いずれか1ビットを1(割り込み許可)にしてください(複数ビットを1にしないでください)。

## 17.2.18 タイマRE割り込み許可レジスタ(TREIER) [コンペア一致タイマモード時]

アドレス	0013Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YRIE	MOIE	DYIE	HRIE	MNIE	SEIE	OVIE	CMIE
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIE	コンペア一致割り込み許可ビット	0: コンペア一致割り込み禁止 1: コンペア一致割り込み許可	R/W
b1	OVIE	オーパフロー割り込み許可ビット	0: オーパフロー割り込み禁止 1: オーパフロー割り込み許可	R/W
b2	SEIE	0にしてください		R/W
b3	MNIE			R/W
b4	HRIE			R/W
b5	DYIE			R/W
b6	MOIE			R/W
b7	YRIE			R/W

TREIERレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

## 17.2.19 タイマREアラーム分レジスタ(TREAMN)

アドレス	0013Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBMN	AMN6	AMN5	AMN4	AMN3	AMN2	AMN1	AMN0
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AMN0	分一位アラームデータビット	アラームデータ格納	0 ~ 9 (BCDコード)	R/W
b1	AMN1				R/W
b2	AMN2				R/W
b3	AMN3				R/W
b4	AMN4	分十位アラームデータビット	アラームデータ格納	0 ~ 5 (BCDコード)	R/W
b5	AMN5				R/W
b6	AMN6				R/W
b7	ENBMN	分アラーム許可ビット	0 : 分アラーム禁止 (TREMINTレジスタと比較しない) 1 : 分アラーム許可 (TREMINTレジスタと比較する)		R/W

TREAMNレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0 (データ更新中ではない) のときに書いてください。

ENBMNビットが1 (分アラーム許可) のとき、TREAMNレジスタとTREMINTレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1 (割り込み要求あり) になります。TREIFRレジスタのALIEビットが1 (アラーム割り込み許可) のとき、割り込み要求を発生します。

AMN0 ~ AMN3ビット (分一位アラームデータビット)

AMN4 ~ AMN6ビット (分十位アラームデータビット)

BCDコードで00 ~ 59を設定してください。

## 17.2.20 タイマREアラーム時レジスタ(TREAHR)

アドレス	0013Dh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBHR	APM	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0
リセット後の値	X	X	X	X	X	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AHR0	時一位アラームデータビット	アラームデータ格納	0 ~ 9 (BCDコード)	R/W
b1	AHR1				R/W
b2	AHR2				R/W
b3	AHR3				R/W
b4	AHR4	時十位アラームデータビット	アラームデータ格納	0 ~ 2 (BCDコード)	R/W
b5	AHR5				R/W
b6	APM	午前/午後アラームデータビット	0 : 午前 1 : 午後		R/W
b7	ENBHR	時アラーム許可ビット	0 : 時アラーム禁止 (TREHRレジスタと比較しない) 1 : 時アラーム許可 (TREHRレジスタと比較する)		R/W

TREAHRレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0(データ更新中ではない)ときに書いてください。

ENBHRビットが1(時アラーム許可)のとき、TREAHRレジスタとTREHRレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。TREIFRレジスタのALIEビットが1(アラーム割り込み許可)のとき、割り込み要求を発生します。

AHR0 ~ AHR3ビット(時一位アラームデータビット)

AHR4 ~ AHR5ビット(時十位アラームデータビット)

TRECRレジスタのHR24ビットが0(12時間モード)の場合は、BCDコードで00 ~ 11を設定してください。HR24ビットが1(24時間モード)の場合は、BCDコードで00 ~ 23を設定してください。

APMビット(午前/午後アラームデータビット)

HR24ビットが1(24時間モード)の場合は、APMビットを0(午前)にしてください。

## 17.2.21 タイマREアラーム曜日レジスタ(TREAWK)

アドレス	0013Eh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBWK	—	—	—	—	AWK2	AWK1	AWK0
リセット後の値	X	0	0	0	0	X	X	X
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AWK0	曜日アラームデータビット	b2 b1 b0 000: 日曜日 001: 月曜日 010: 火曜日 011: 水曜日 100: 木曜日 101: 金曜日 110: 土曜日 111: 設定しないでください	R/W
b1	AWK1			R/W
b2	AWK2			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	—			
b5	—			
b6	—			
b7	ENBWK	曜日アラーム許可ビット	0: 曜日アラーム禁止 (TREWKレジスタと比較しない) 1: 曜日アラーム許可 (TREWKレジスタと比較する)	R/W

TREAWKレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0(データ更新中ではない)ときに書いてください。

ENBWKビットが1(曜日アラーム許可)のとき、TREAWKレジスタとTREWKレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。TREIFRレジスタのALIEビットが1(アラーム割り込み許可)のとき、割り込み要求が発生します。

## AWK0 ~ AWK2ビット(曜日アラームデータビット)

000b(日曜日) ~ 110b(土曜日)を設定してください。

## 17.2.22 タイマREプロテクトレジスタ(TREPRC) [リアルタイムクロックモード時]

アドレス	0013Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCSTビットに よるリセット後の値	X	X	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	時刻のデータレジスタへの書き込み 0: 書き込み禁止 1: 書き込み許可	R/W

## PROTECTビット(プロテクトビット)

次のレジスタとビットは、PROTECTビットが1(書き込み許可)のときに変更できません。

- タイマREデータレジスタ(TRESEC、TREMIN、TREHR、TREWK、TREDY、TREMOM、TREYRレジスタ)
- TRECRレジスタのPMビット

PROTECTビットは、プログラムで1を書くと、その後、1の状態が続きます。このビットで保護されるレジスタは、次の手順で変更してください。

- (1) PROTECTビットに1を書く
- (2) PROTECTビットで保護されるレジスタに値を書く
- (3) PROTECTビットに0(書き込み禁止)を書く

## 17.2.23 タイマREプロテクトレジスタ(TREPRC) [コンペアー一致タイマモード時]

アドレス	0013Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCSTビットに よるリセット後の値	X	X	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	TRECNTレジスタへの書き込み 0: 書き込み禁止 1: 書き込み許可	R/W

## PROTECTビット(プロテクトビット)

TRECNTレジスタは、PROTECTビットが1(書き込み許可)のときに変更できます。

PROTECTビットは、プログラムで1を書くと、その後、1の状態が続きます。次の手順で変更してください。

- (1) PROTECTビットに1を書く
- (2) TRECNTレジスタに値を書く
- (3) PROTECTビットに0(書き込み禁止)を書く



## 17.3 リアルタイムクロックモードの動作説明

## 17.3.1 動作例

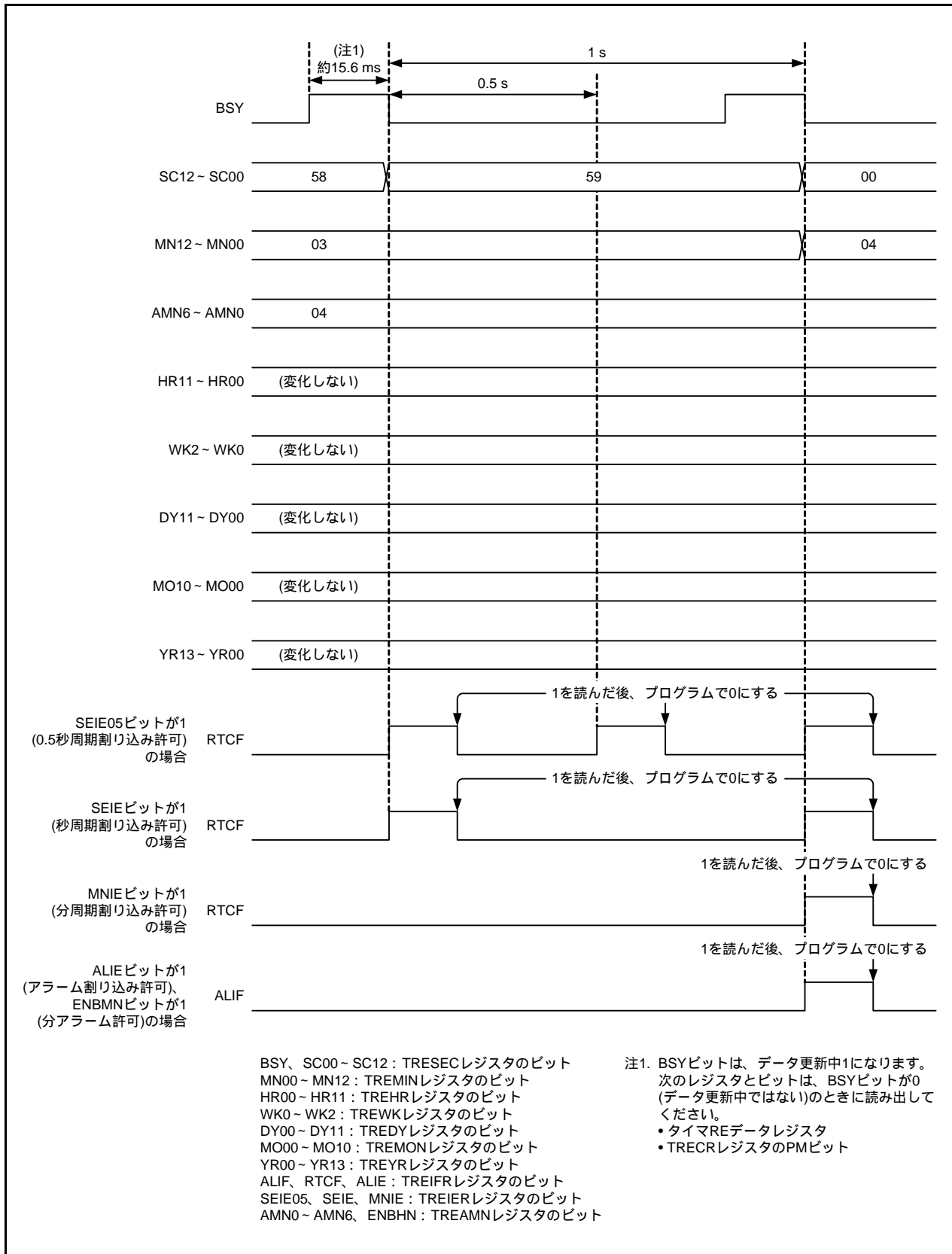


図17.4 リアルタイムクロックモードの動作例

### 17.3.2 関連レジスタの設定例

リアルタイムクロックモードでは、リセット入力で秒、分、時、曜日、日、月、年の情報を格納しているレジスタは初期化されません。そのため、電源投入後はすべてのレジスタを初期設定してください。

図17.5にリアルタイムクロックモードでタイマRE2を使用する場合の初期設定手順を示します。また、レジスタの再設定を行う場合も、図17.5に従ってください。

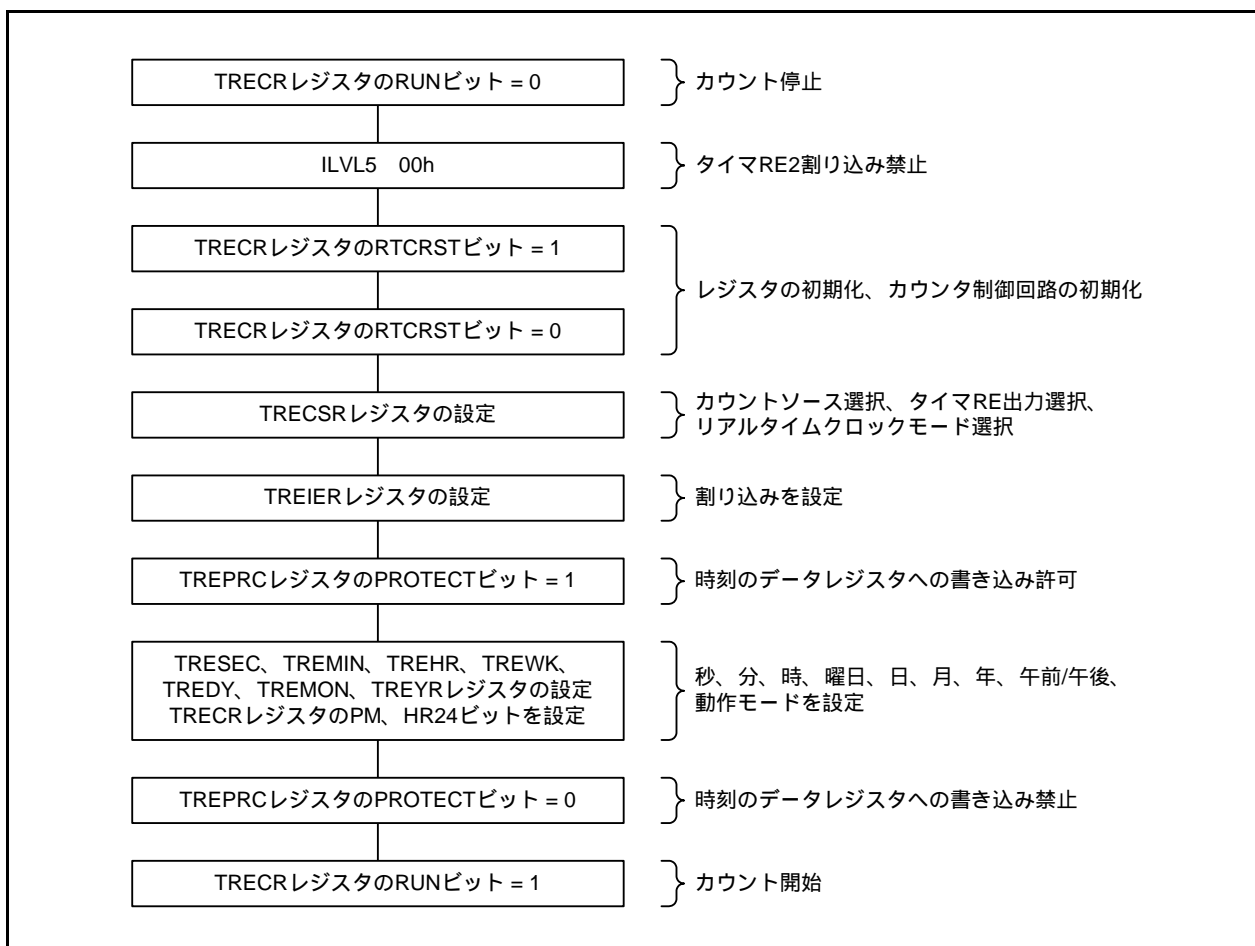


図17.5 リアルタイムクロックモードでタイマRE2を使用する場合の初期設定手順

### 17.3.3 時刻の変更手順と読み出し手順

#### 17.3.3.1 時刻の変更手順

TRESECレジスタのBSYビットを判定し、BSYビットが0のとき、秒、分、時、曜日、日、月、年の各データレジスタを変更してください。

### 17.3.3.2 時刻の読み出し手順

時刻読み出し期間中に秒、分、時、曜日、日、月、年データの更新が行われると、正しい時刻が得られないため、再度読み出してください。図17.6に正しい時刻を得られない場合の例を示します。この例では、TRESECレジスタのみデータ更新後に読み出しているため、約1分の差異が生じています。

正しい時刻を読み出す方法は、次の4つです。

- プログラムで監視する方法1

TRESECレジスタのBSYビットを判定し、BSYビットが1から0に変化した後に、秒、分、時、曜日、日、月、年の各データレジスタを読み出してください。BSYビットが1になってから、約15.625 ms後にレジスタの更新が行われ、BSYビットが0になります。

- プログラムで監視する方法2

次の順番で秒、分、時、曜日、日、月、年の各データレジスタを読み出してください。

- (1) 周期割り込みを許可する
- (2) TREIFRレジスタのRTCFビットを監視する
- (3) RTCFビットが1(割り込み要求あり)になったことを確認する
- (4) TRESECレジスタのBSYビットが0(データ更新中ではない)であることを確認する
- (5) 秒、分、時、曜日、日、月、年の各データレジスタを読み出す

- 割り込みを使用する方法

タイマRE2 割り込みルーチン内で、BSYビットが0のときに秒、分、時、曜日、日、月、年の各データレジスタ、TRECRCレジスタのHR24、PMビットのうち、必要な内容を読み出してください。

- 読み出した結果が2回同じであれば採用する方法

秒、分、時、曜日、日、月、年の各データレジスタを連続的に2回読み出し、読み出したデータが同じであれば、そのデータを採用してください。

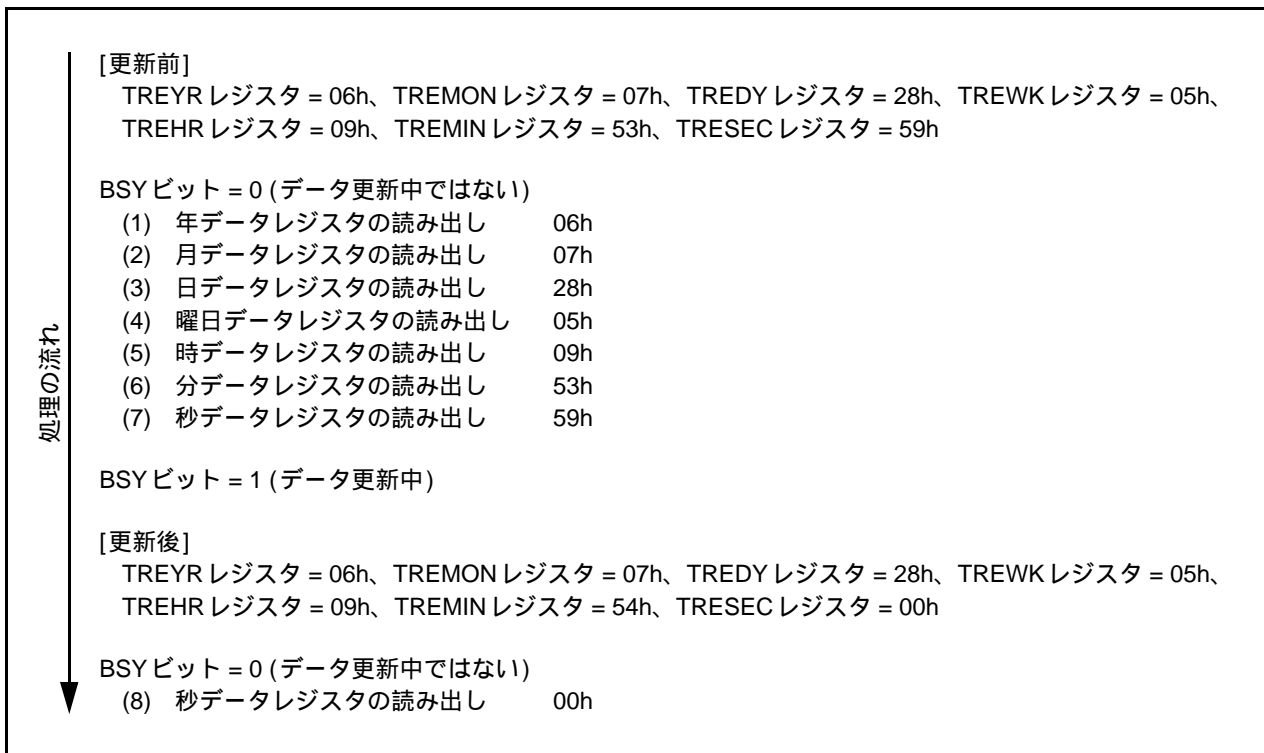


図17.6 正しい時刻を得られない場合の例

### 17.3.4 時計誤差補正機能

内部カウンタのカウンタ値から加減算することで、XCINクロックの入力周波数のずれを補正できます。TREADJレジスタのADJ0～ADJ5ビットで、補正量を設定します。補正方向は、TREADJレジスタのMINUS～PLUSビットで設定します。fXCINが32,768 Hzより遅い場合は、PLUS～MINUSビットを10b(加算補正)に、fXCINが32,768 Hzより早い場合は、PLUS～MINUSビットを01b(減算補正)にすることで、時計誤差を補正できます。

#### 17.3.4.1 ソフトウェアによる補正

ソフトウェアによる補正の場合、TREADJレジスタのMINUSビットまたはPLUSビットに一度1を書くと、その1回のみ補正します。図17.7にソフトウェアによる加算補正の動作例を示します。ソフトウェア減算補正は、カウンタの値とADJ0～ADJ5ビットの設定値が、コンペア一致する直前にTREIFRレジスタのTADJSFビットが1(補正中)になると、1回目の1/16秒期間で減算補正します(図17.8参照)。カウンタの値とADJ0～ADJ5ビットの設定値が、コンペア一致した直後にTADJSFビットが1になると、2回目の1/16秒期間で減算補正します(図17.9参照)。

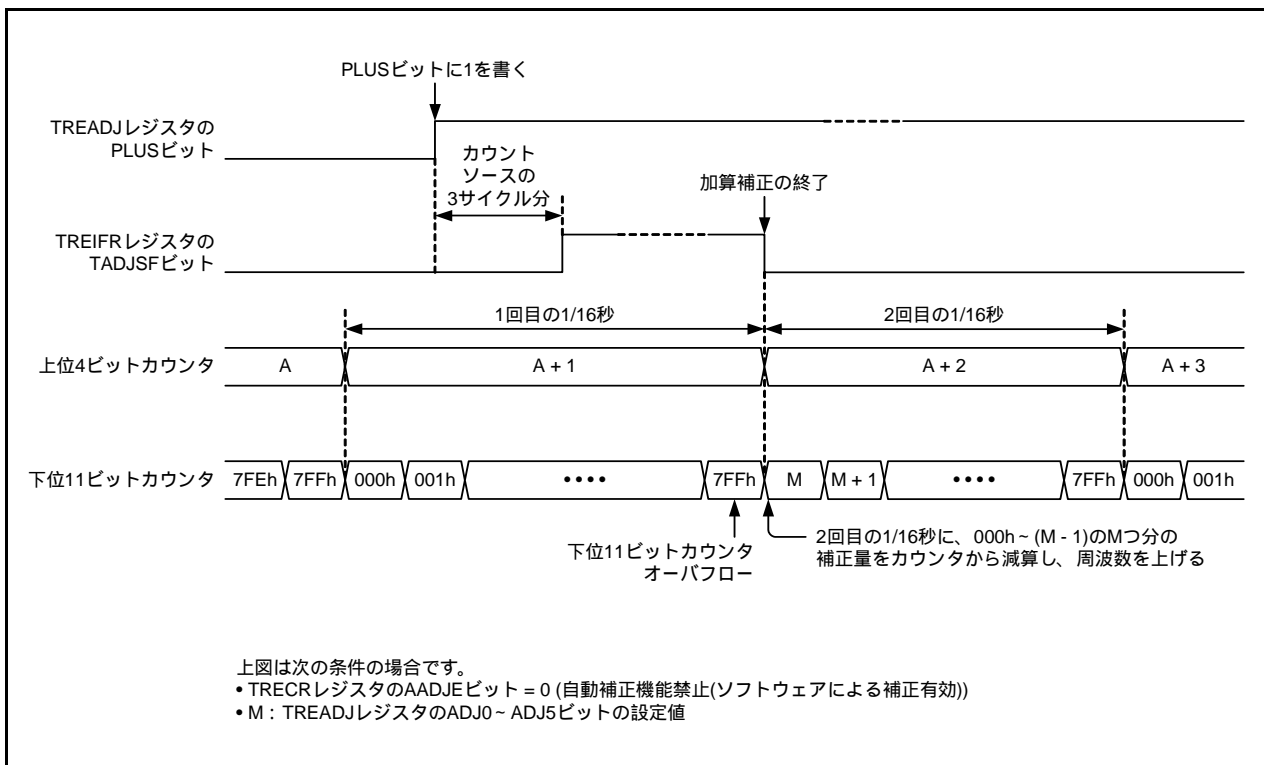


図17.7 ソフトウェアによる加算補正の動作例

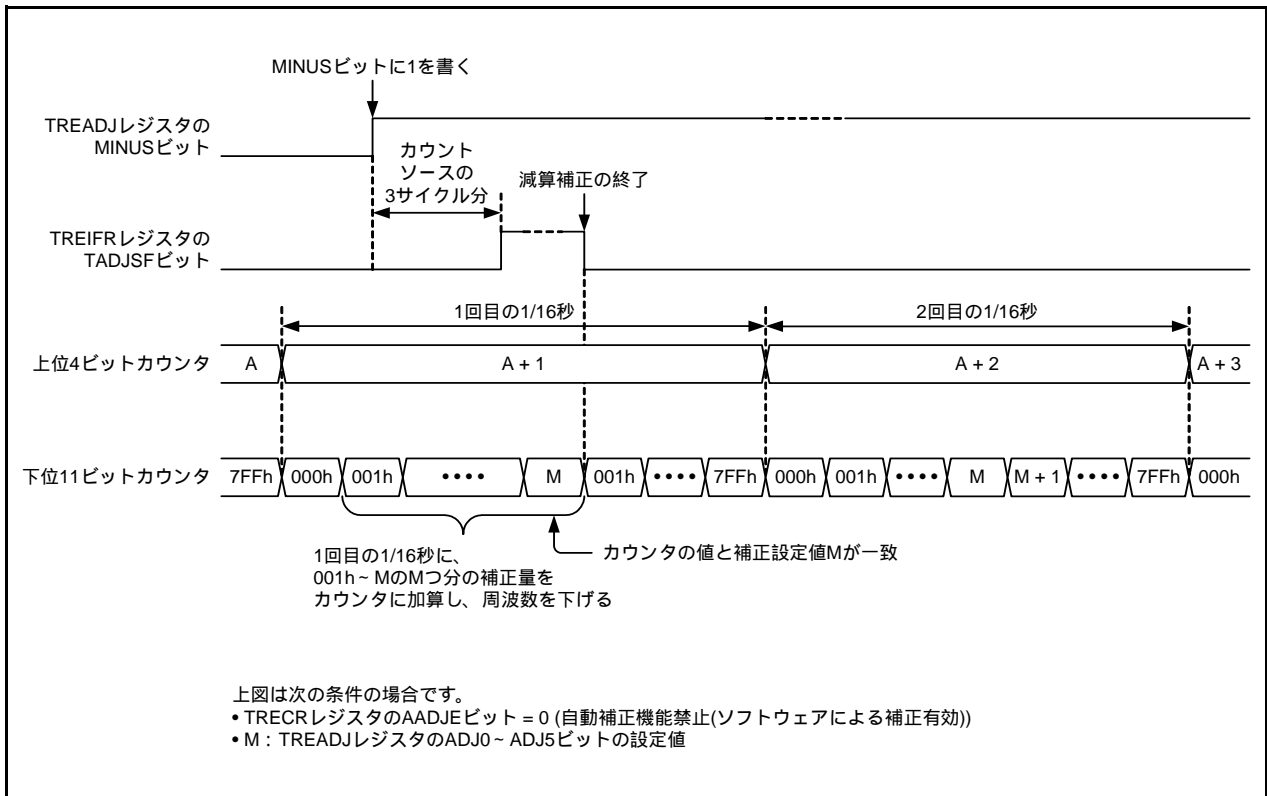


図 17.8 ソフトウェアによる減算補正の動作例(1回目の1/16秒期間に補正する場合)

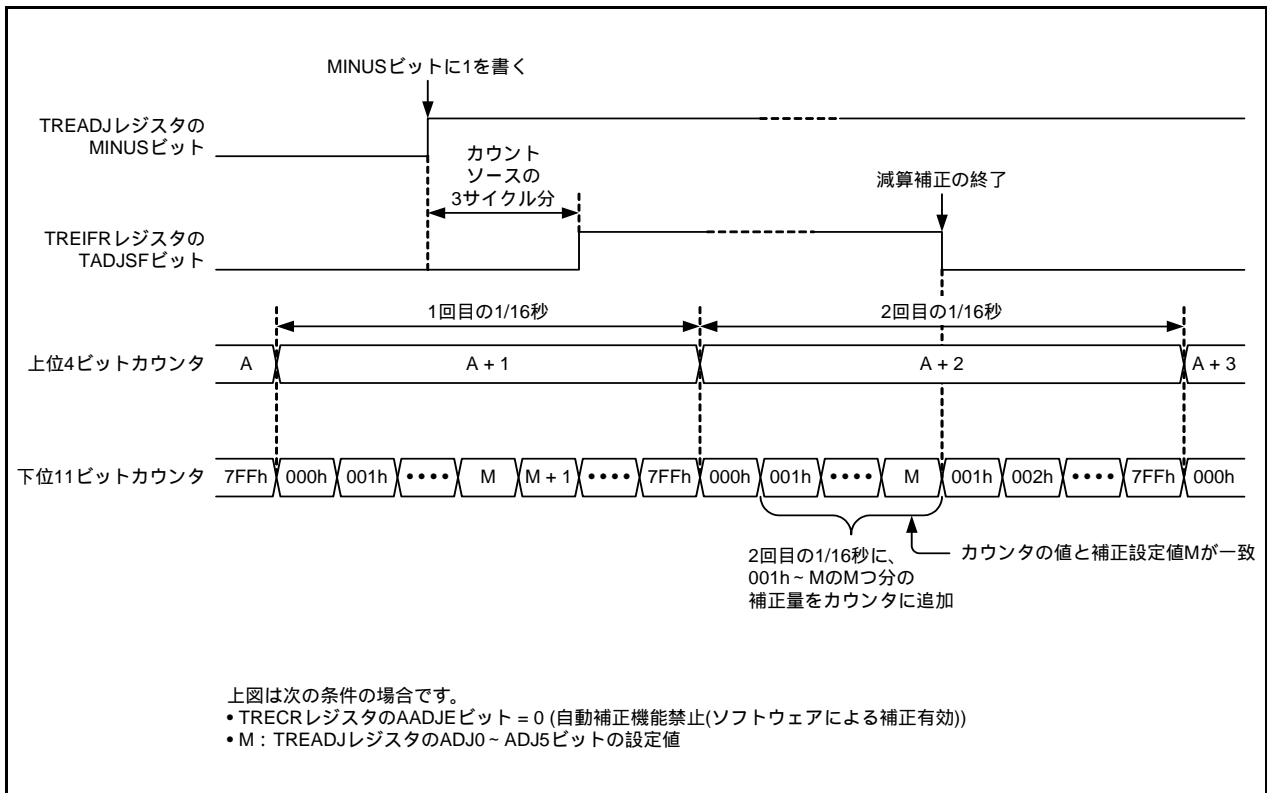


図 17.9 ソフトウェアによる減算補正の動作例(2回目の1/16秒期間に補正する場合)

### 17.3.4.2 自動補正機能

自動補正機能の場合、TREADJレジスタのMINUSビットまたはPLUSビットに一度、1を書くと、周期的に補正します。TRECSRレジスタのAADJMビットで1分ごとまたは10秒ごとに、TREADJレジスタを内部カウンタの値から加減算します。

図17.10に自動補正機能、加算補正の動作例を、図17.11に自動補正機能、減算補正の動作例を示します。

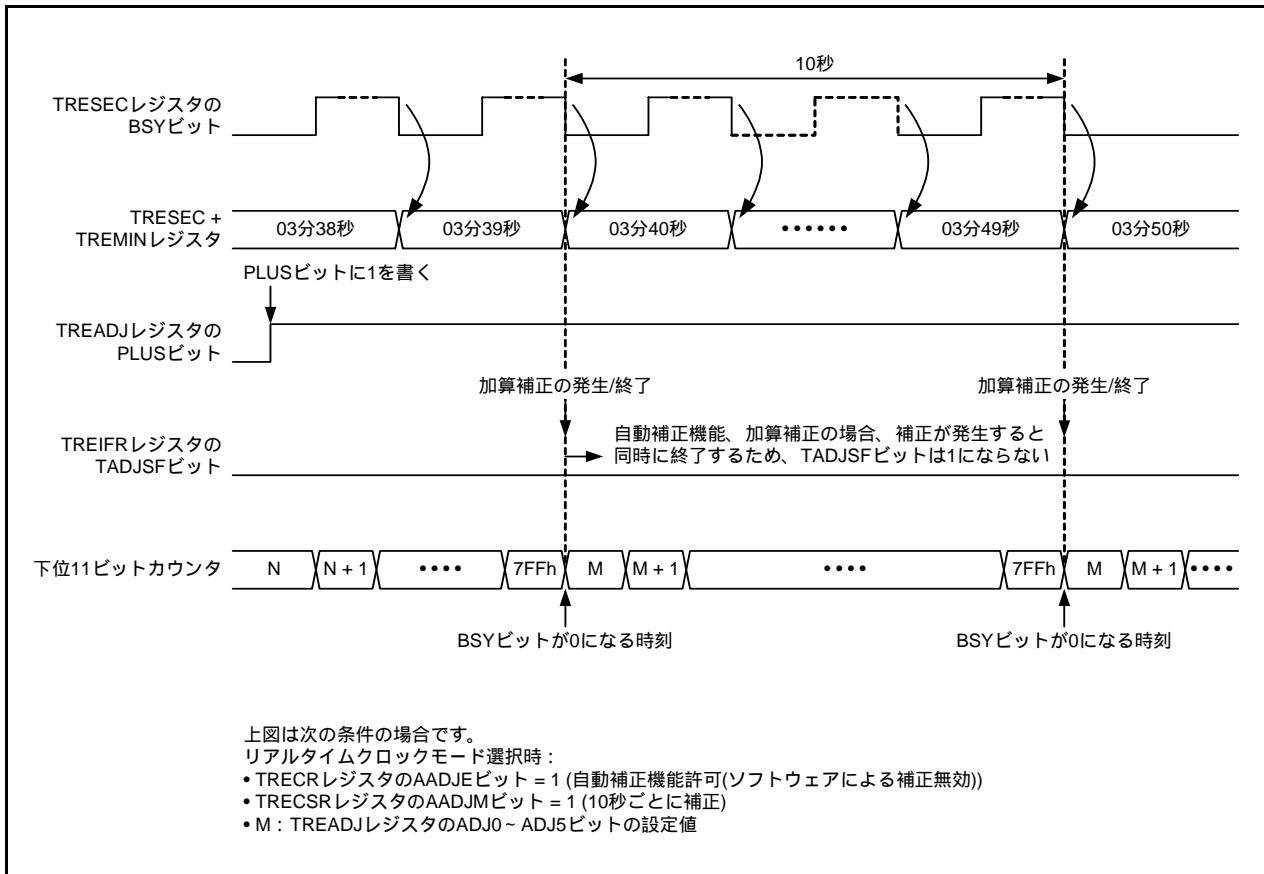


図17.10 自動補正機能、加算補正の動作例

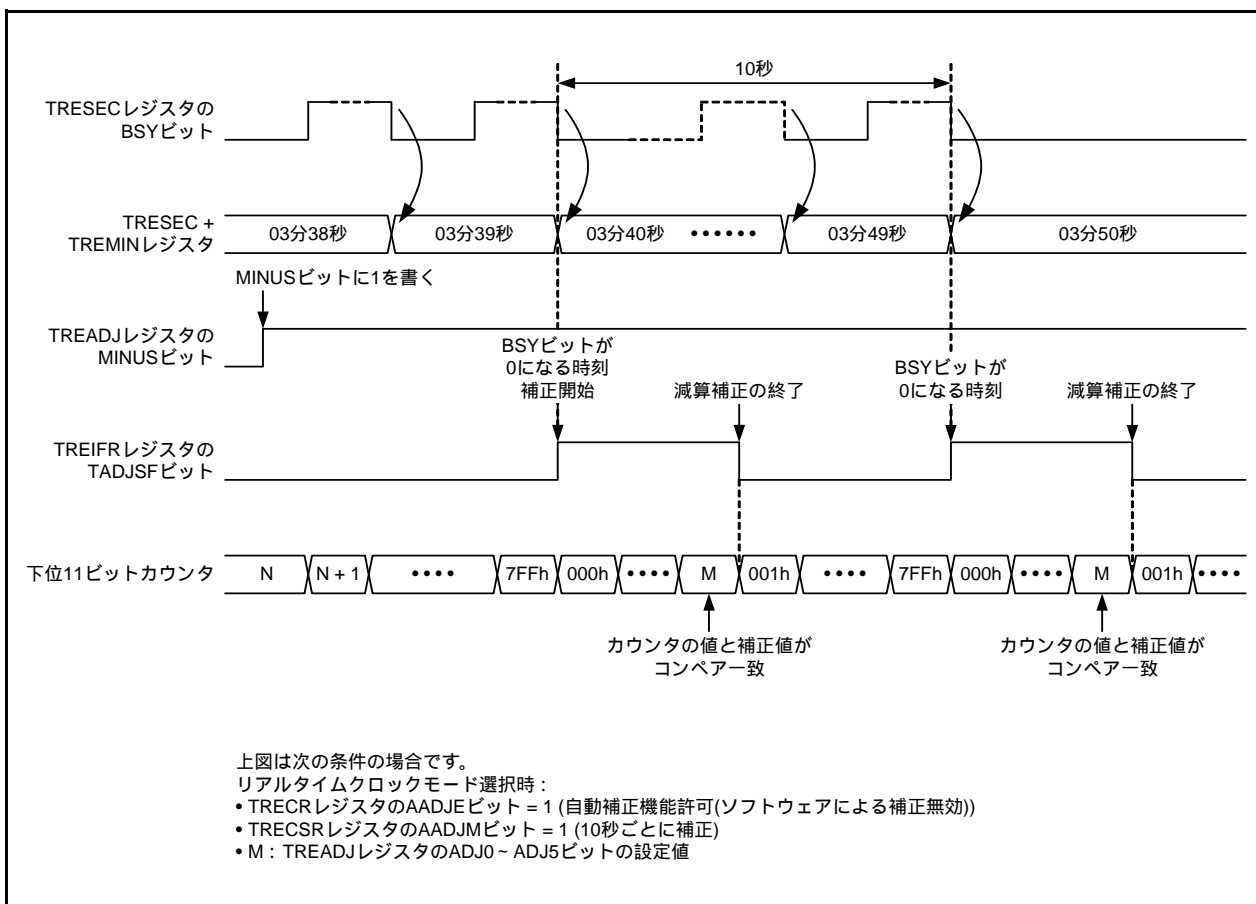


図 17.11 自動補正機能、減算補正の動作例



## 17.3.4.3 自動補正機能の切り換え手順

図17.12にソフトウェアによる補正からの切り換え手順を、図17.13に自動補正機能からの切り換え手順を、図17.14に自動補正機能の停止手順を示します。

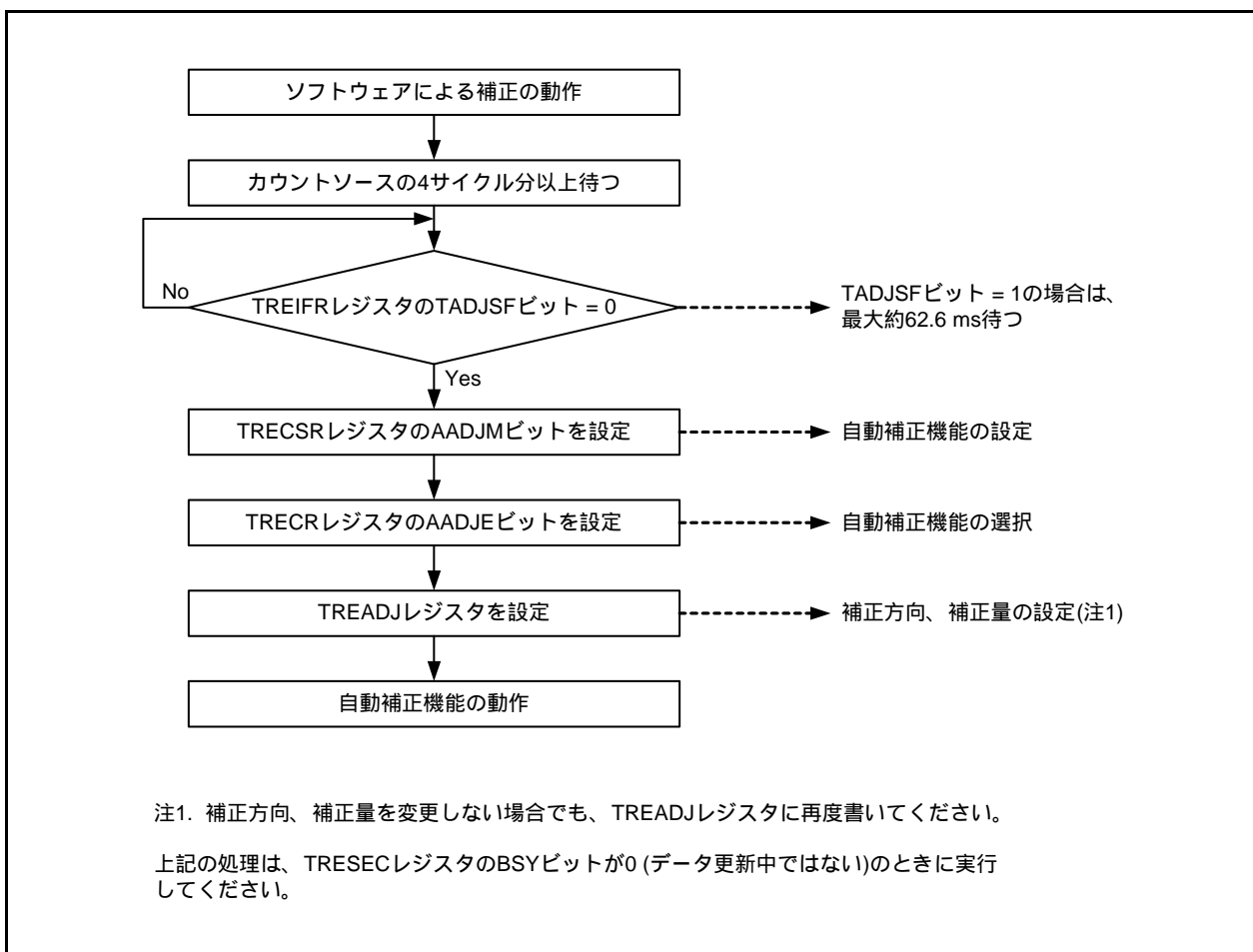


図17.12 ソフトウェアによる補正からの切り換え手順

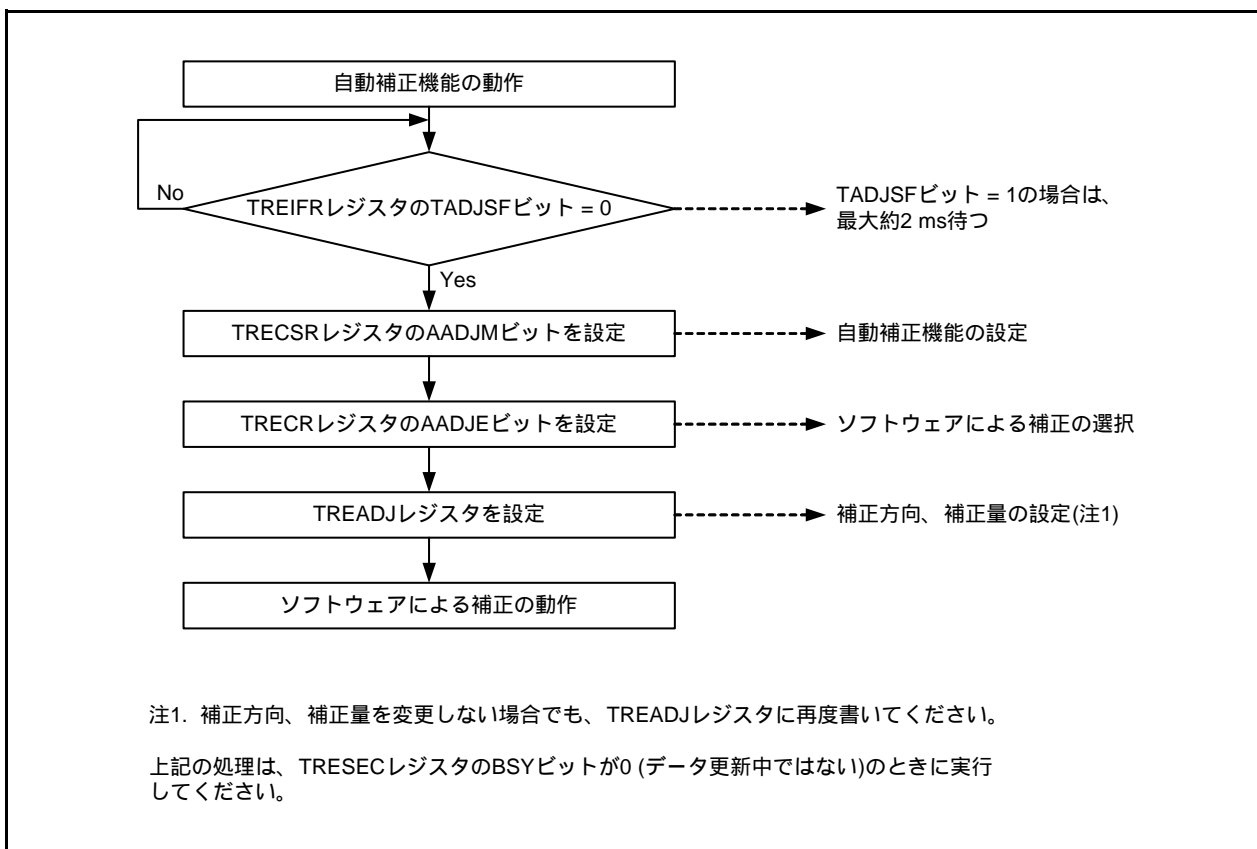


図 17.13 自動補正機能からの切り換え手順

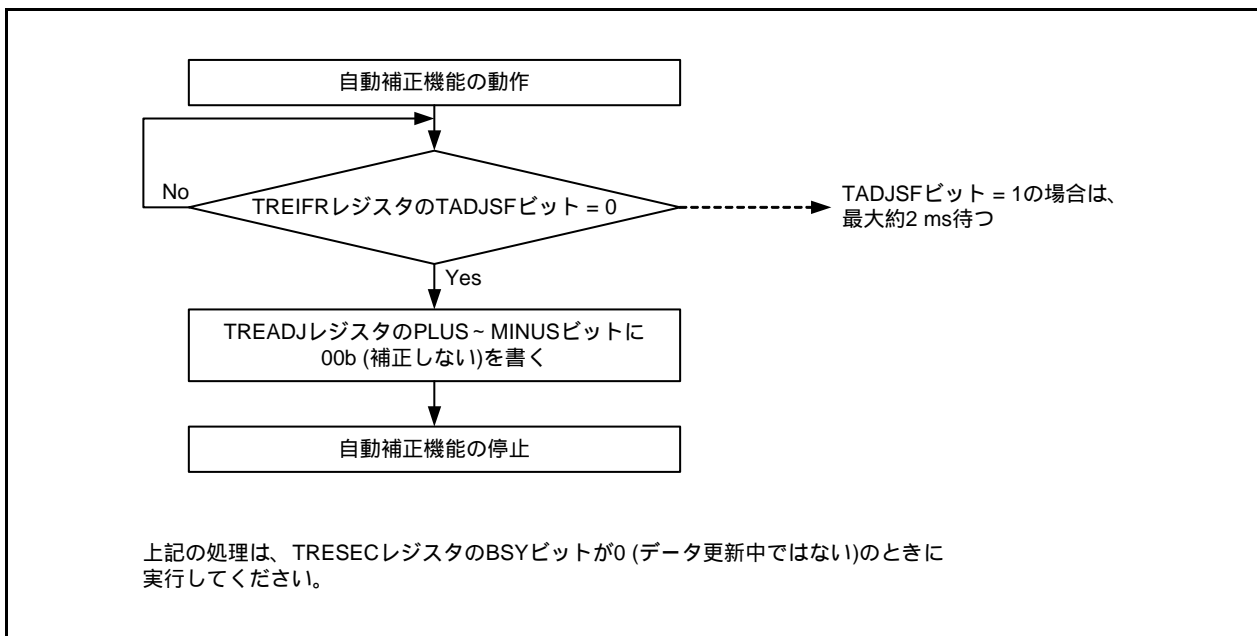


図 17.14 自動補正機能の停止手順

#### 17.3.4.4 時計誤差補正機能の設定例

自動補正機能による補正時の設定例、ソフトウェアによる補正時の設定例を次に示します。

- 外部サブ発振子周波数  $f_{sub} = 32,769.55 \text{ Hz}$
- 外部サブ発振子周波数誤差  $f_{offsub} = (32,769.55 - 32,768)/32,768 \times 10^6 = 47.3 \text{ ppm}$ と仮定します。

##### (1) 自動補正機能による補正時の設定例

TRECRレジスタのAADJEビット = 1 (自動補正機能許可(ソフトウェアによる補正無効))

- TRECSRレジスタのAADJMビット = 0 (1分ごとに補正)の場合、補正量は次のように表されます。

$$\text{補正量} = (f_{sub} - 32,768) \times 60 = 93 > 63 \text{ (ADJ0 ~ ADJ5 ビットの最大設定値)}$$

従って、1分ごとに自動補正はできません。

- TRECSRレジスタのAADJMビット = 1 (10秒ごとに補正)の場合、補正量は次のように表されます。

$$\text{補正量} = (f_{sub} - 32,768) \times 10 = 15.5 \div 16$$

従って、TREADJレジスタに01010000b (MINUS補正、補正量 = 16)を設定します。

補正後の時計のずれ(単位: ppm)

$$= ((f_{sub} \times 10 - 16)/(32,768 \times 10) - 1) \times 10^6$$

$$= -1.5 \text{ ppm (標準時計より1.5 ppm遅い)}$$

##### (2) ソフトウェアによる補正時の設定例

TRECRレジスタのAADJEビット = 0 (自動補正機能禁止(ソフトウェアによる補正有効))

- 1秒ごとにTREADJレジスタを書き込むときの最小補正量が  $\pm 1/32,768 = \pm 30.5 \text{ ppm}$ 、1分ごとにTREADJレジスタを書き込むときの最小補正量が  $\pm 1/32,768/60 = \pm 0.5 \text{ ppm}$  になるため、1秒ごとの補正と1分ごとの補正を組み合わせで使用します。
- 1秒の割り込みルーチンでTREADJレジスタを書き込む(1秒ごとの書き込み)ときの補正量をAとし、1分の割り込みルーチンでTREADJレジスタを書き込む(1分ごとの書き込み)ときの補正量をBとしたら、

$$A = [f_{sub} - 32,768] = [1.55] = 1 \text{ ([ ]は整数分を取る計算を表します)}$$

$$B = A + (((f_{sub} - 32,768) \times 60) \% 60) = A + (93 \% 60) = 34$$

(%は除算の残りを取る計算を表します)

従って、1秒ごとに01000001b (41h)を、1分ごとに01100010b (62h)をTREADJレジスタに書き込むことで補正します。

補正後の時計のずれ(単位: ppm)

$$= (((f_{sub} - A) \times 59 + (f_{sub} - B))/(32,768 \times 60) - 1) \times 10^6$$

$$= 0 \text{ ppm}$$

### 17.3.5 アラーム機能

アラームは分、時、曜日のいずれか、または組み合わせで発生できます。アラーム対象のアラームレジスタの許可ビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラーム対象外のアラームレジスタは、許可ビットに0を書き込みます。

カウンタ(注1)とアラーム時刻(注2)が一致した場合は、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。アラームの検出は、ALIFビットを読み出すことで確認できますが、通常は割り込みで行います。TREIFRレジスタのALIEビットに1(アラーム割り込み許可)が書き込まれている場合、アラーム割り込み要求が発生し、アラームを検出できます。

1になったALIFビットは、プログラムで0を書くと0になります。

注1.カウンタデータのビットは次のとおりです。

TREMINレジスタのMN12 ~ MN10、MN03 ~ MN00ビット

TREHRレジスタのHR11 ~ HR10、HR03 ~ HR00ビット

TRECRレジスタのPMビット

TREWKレジスタのWK2 ~ WK0ビット

注2.アラーム時刻データのビットは次のとおりです。

TREAMNレジスタのAMN6 ~ AMN4、AMN3 ~ AMN0ビット

TREHRレジスタのAHR5 ~ AHR4、AHR3 ~ AHR0ビット

TREHRレジスタのAPMビット

TREAWKレジスタのAWK2 ~ AWK0ビット

次にアラームの設定例を示します。

- TREAMNレジスタのAMN6 ~ AMN4ビットを5、AMN3 ~ AMN0ビットを8にする(58分)
- TREHRレジスタのAPMビットを0(午前)、AHR5 ~ AHR0ビットを3(3時)にする
- TREAWKレジスタのAWK2 ~ AWK0ビットを001b(月曜日)にする

表17.6にアラーム割り込み要求の発生条件を、図17.15にアラーム時刻の設定手順を示します。

表17.6 アラーム割り込み要求の発生条件

TREAWKレジスタの ENBWKビット	TREHRレジスタの ENBHRビット	TREAMNレジスタの ENBMNビット	アラーム割り込み要求の発生条件
0	0	0	アラーム割り込み要求を発生しない
0	0	1	58分00秒にアラーム割り込み要求を発生する
0	1	0	午前3時00分00秒にアラーム割り込み要求を発生する
0	1	1	午前3時58分00秒にアラーム割り込み要求を発生する
1	0	0	月曜日午前0時00分00秒にアラーム割り込み要求を発生する
1	0	1	月曜日58分00秒にアラーム割り込み要求を発生する
1	1	0	月曜日午前3時00分00秒にアラーム割り込み要求を発生する
1	1	1	月曜日午前3時58分00秒にアラーム割り込み要求を発生する

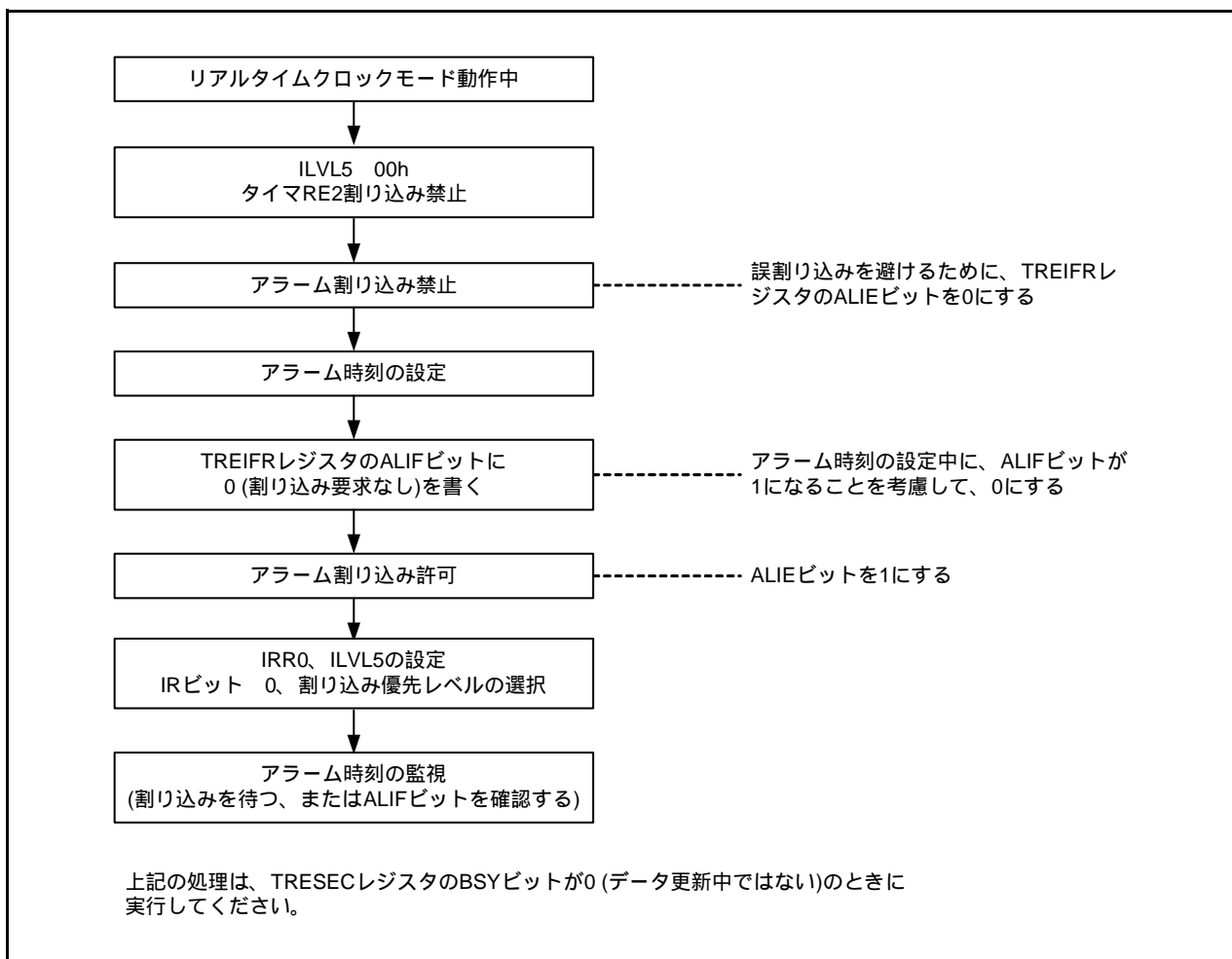


図 17.15 アラーム時刻の設定手順

### 17.3.6 秒調整機能

秒調整機能は、リセット調整機能と30秒調整機能の2種類があります。

#### 17.3.6.1 リセット調整機能

TRESECレジスタと内部カウンタを初期化する機能です。TRESECレジスタのBSYビットが0(データ更新中ではない)の間、TREIFRレジスタのRSTADJビットに1を書くと、約0.1 msでTRESECレジスタが00hになり、内部カウンタは初期化され、カウントを再開します。BSYビットが1(データ更新中)の間、RSTADJビットに1を書くと、データ更新時にTRESECレジスタが00hになり、内部カウンタは初期化され、カウントを再開します。

リセット調整時、その他のタイマREデータレジスタには影響を与えません。RSTADJビットに1を書き込んだ後、約0.2 ms以上経ってから、TRESECレジスタに書いてください。

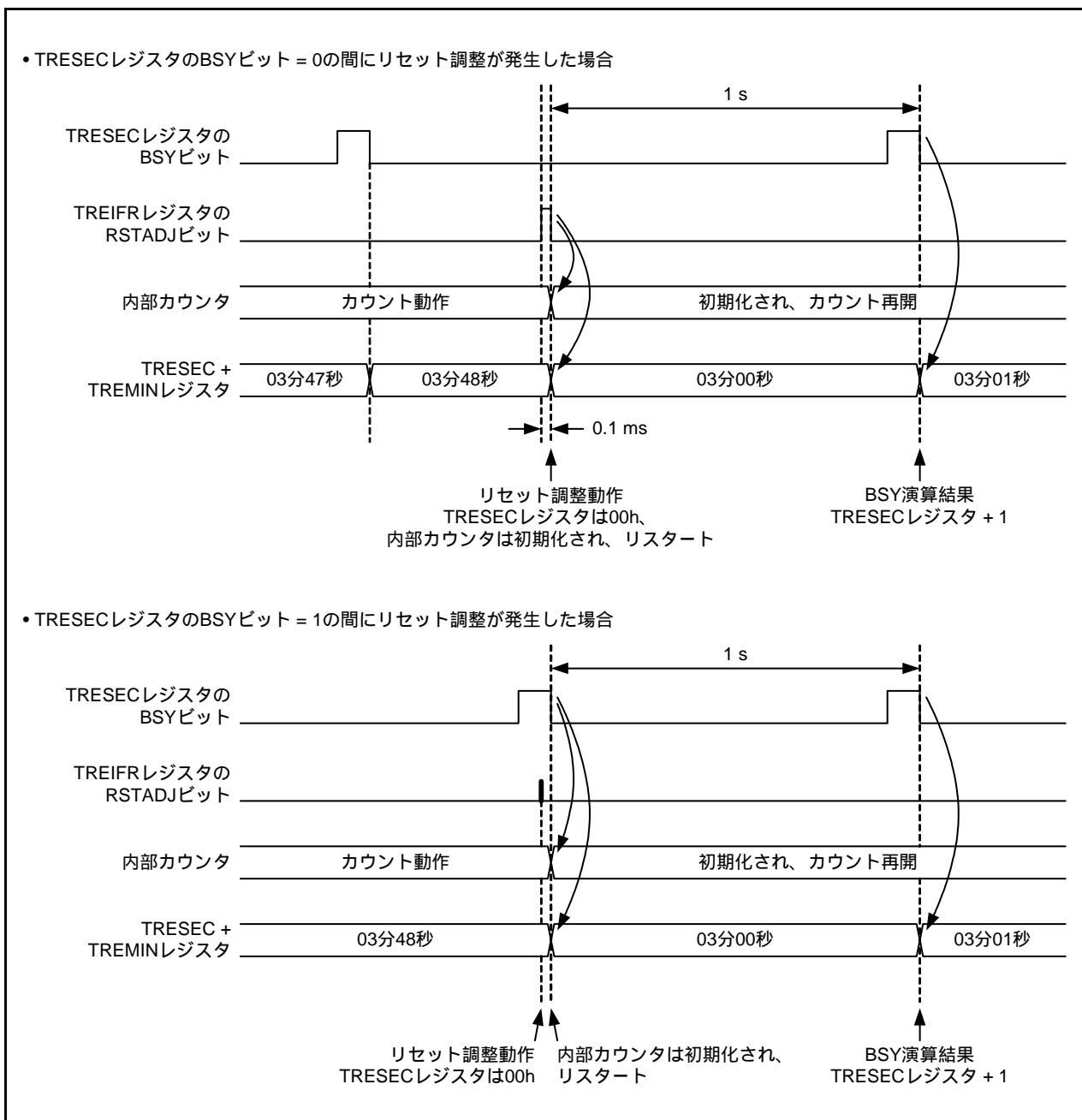


図17.16 リセット調整発生

## 17.3.6.2 30秒調整機能

29秒以下は00秒に切り捨て、30秒以上は00秒に切り上げます。TRESECレジスタのBSYビットが0(データ更新中ではない)の間、TREIFRレジスタのADJ30Sビットに1を書くと、データ更新時にTRESECレジスタを、30秒を基準に調整します。BSYビットが1(データ更新中)の間、ADJ30Sビットに1を書くと、次回のデータ更新時にTRESECレジスタを、30秒を基準に調整します。30秒調整時、その他のタイマREデータレジスタには影響を与えません。

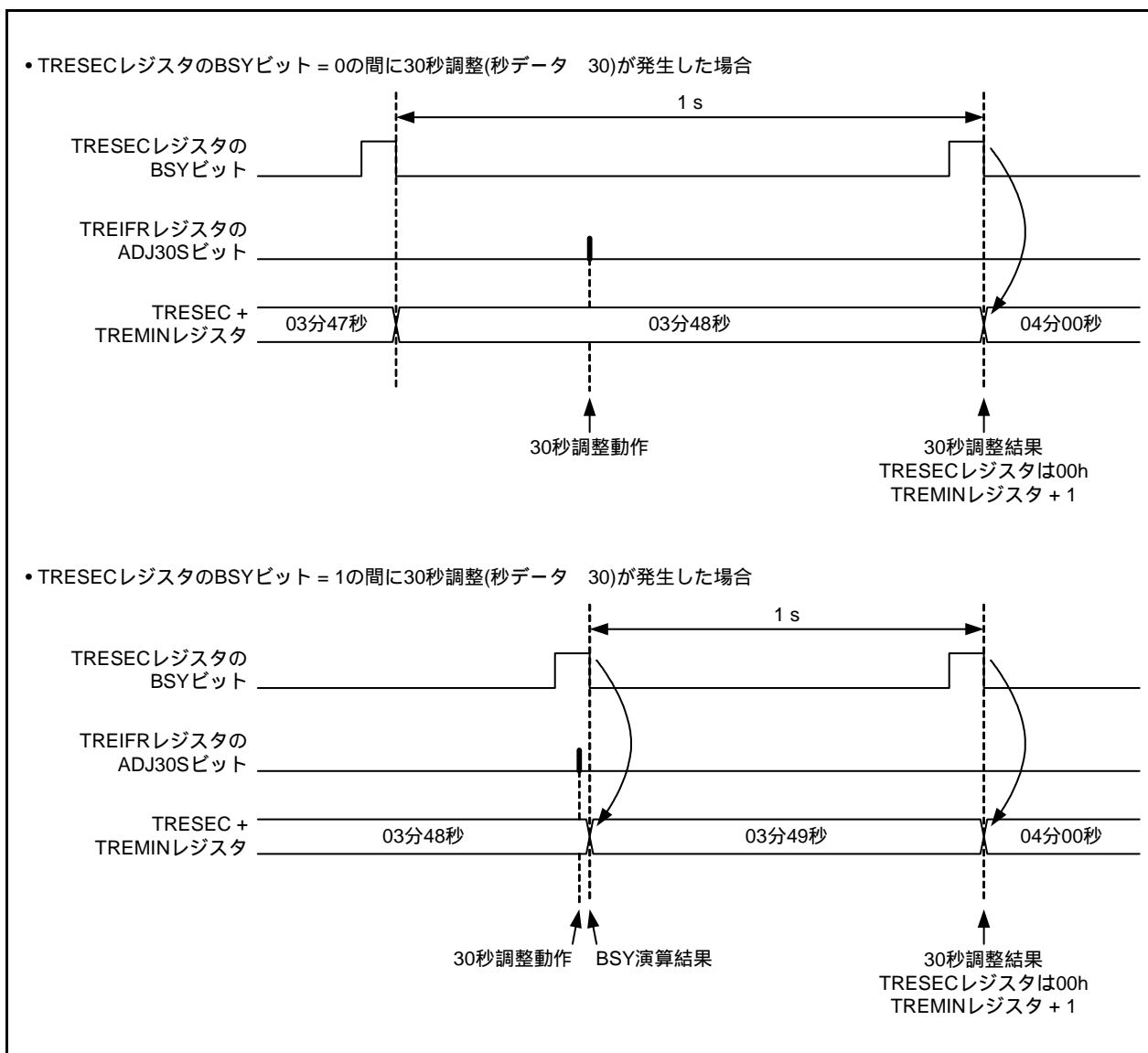


図17.17 30秒調整発生(秒データ 30)

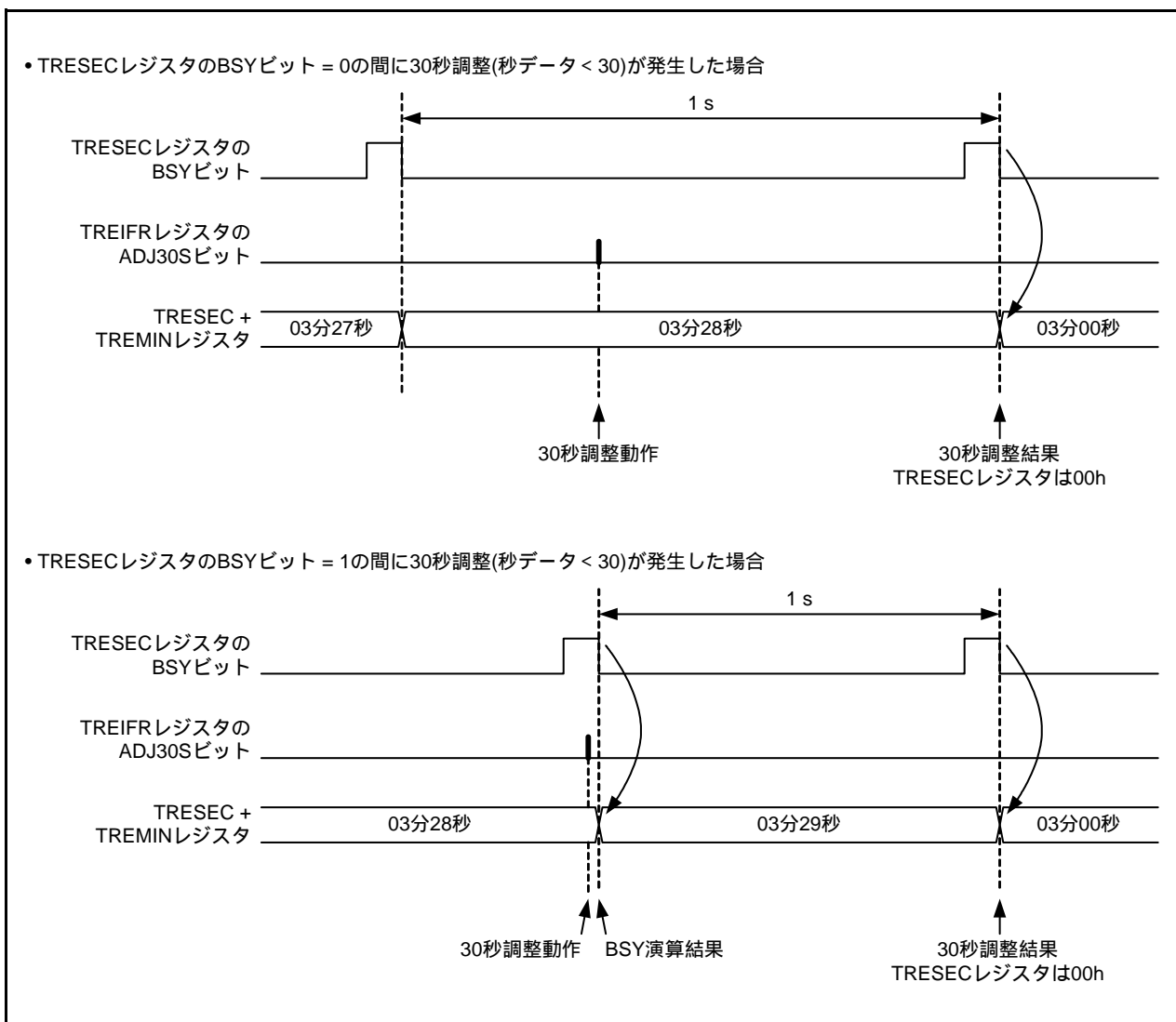


図 17.18 30秒調整発生(秒データ &lt; 30)



## 17.4 コンペアー一致タイマモードの動作説明

## 17.4.1 動作例

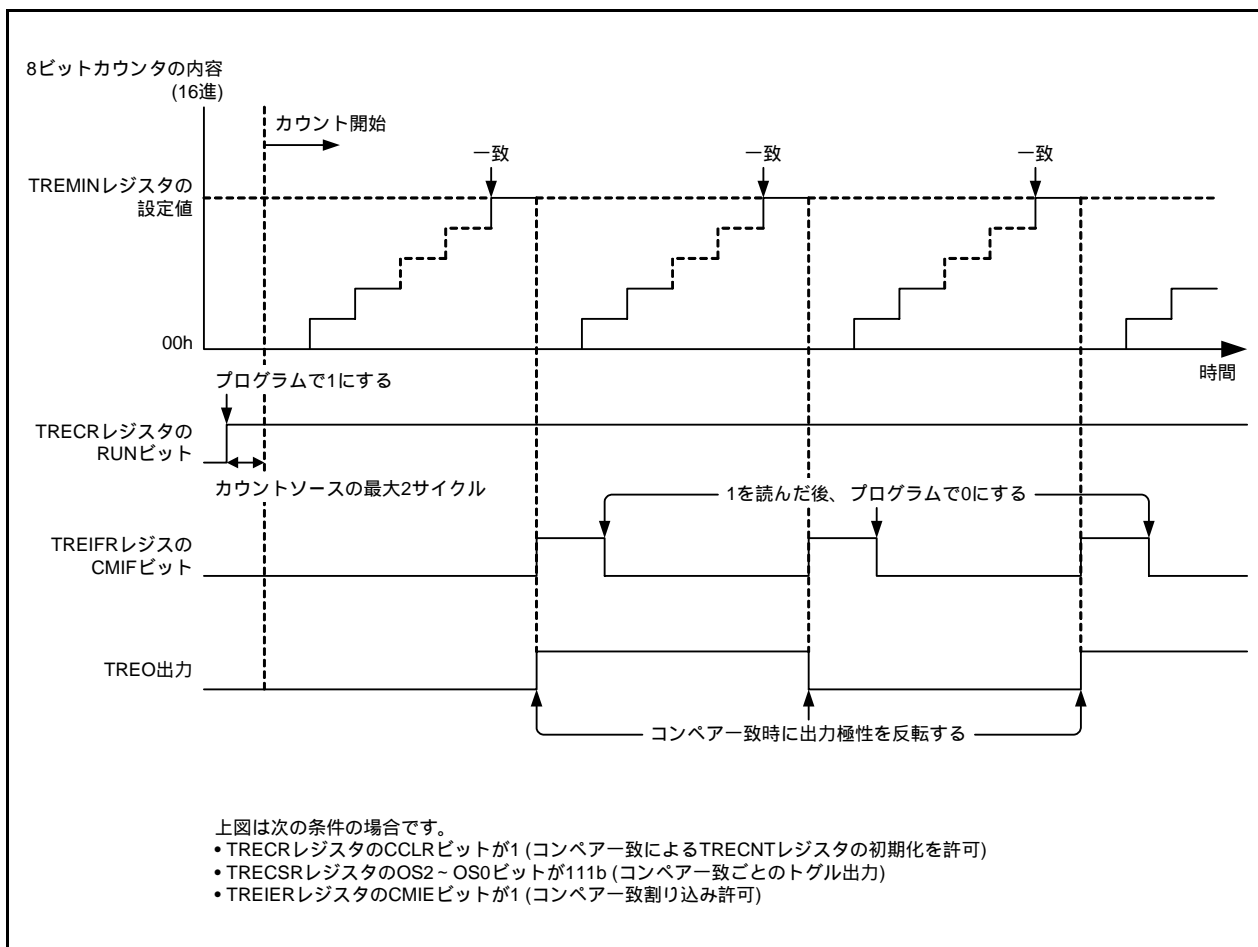


図 17.19 コンペアー一致タイマモードの動作例

## 17.4.2 関連レジスタの設定例

図17.20にコンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順を示します。また、レジスタの再設定を行う場合も、図17.20に従ってください。

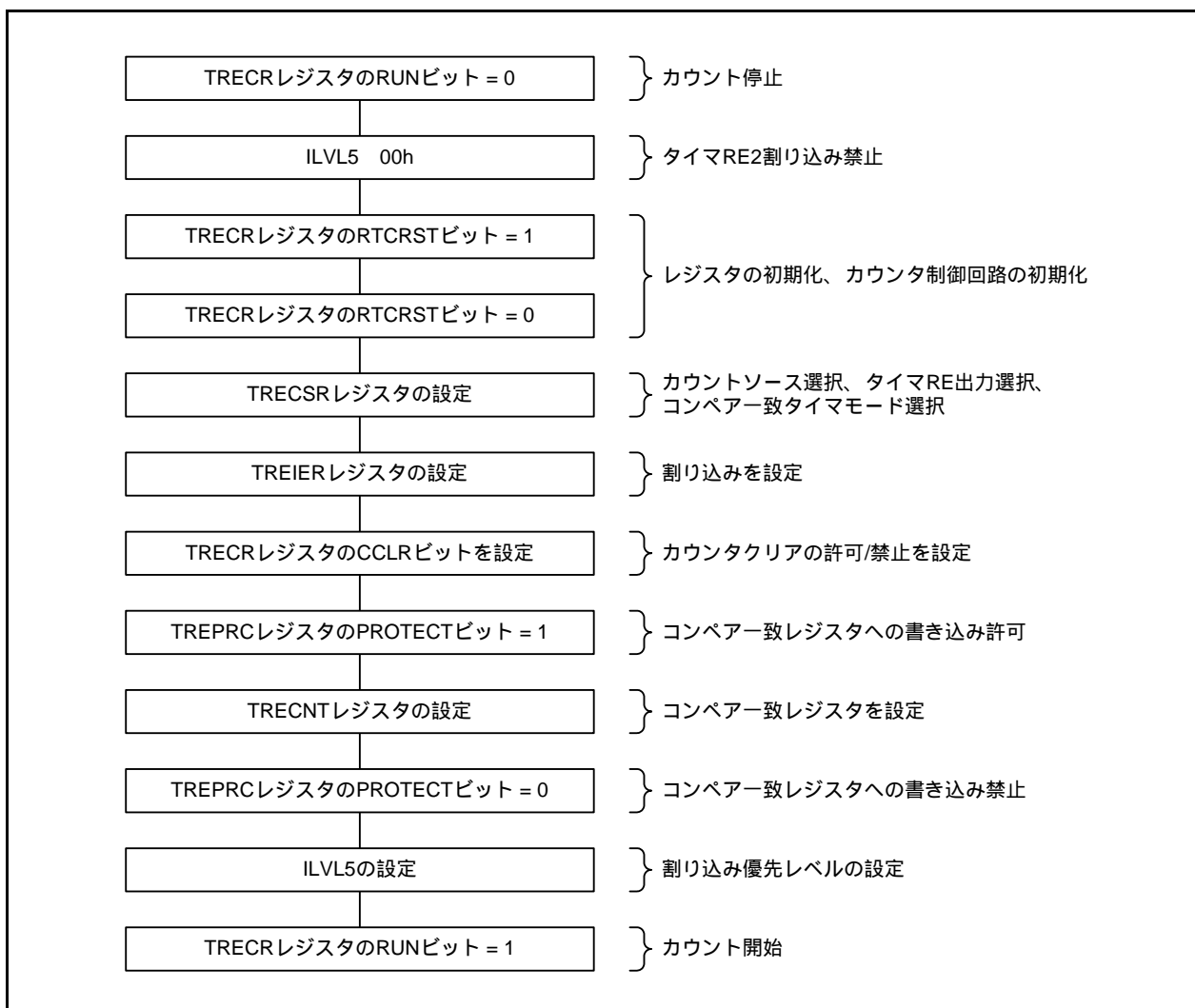


図17.20 コンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順

## 17.5 割り込み要因

タイマRE2の割り込み要因を次に示します。

- 周期割り込み(0.25秒、0.5秒、1秒、分、時、日、月、年)
- アラーム割り込み
- コンペアー一致割り込み
- オーバフロー割り込み

表17.7にタイマRE2の割り込み要因を示します。

割り込みを使用する場合、TRECRレジスタのRUNビットが0(カウント停止)の状態、TRECRレジスタ以外のレジスタを設定し、RUNビットを1(カウント開始)にしてください。

### [リアルタイムクロックモード]

許可している周期割り込み要因が発生したとき、TREIFRレジスタのRTCFビットが1(割り込み要求あり)になり、割り込み要求が発生します。

アラーム時刻とカウンタが一致したとき、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。アラーム割り込みが許可のとき、割り込み要求が発生します。

### [コンペアー一致タイマモード]

コンペアー一致タイマがオーバフローしたとき、TREIFRレジスタのOVIFビットが1(割り込み要求あり)になります。TRIERレジスタのOVIEビットが1(オーバフロー割り込み許可)のとき、割り込み要求が発生します。

コンペアー一致タイマがコンペアー一致したとき、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TRIERレジスタのCMIEビットが1(コンペアー一致割り込み許可)のとき、割り込み要求が発生します。

表17.7 タイマRE2の割り込み要因

要因	動作モード	要因名	割り込み要因	割り込み許可ビット
リアルタイムクロック 周期/オーバフロー	リアルタイム クロック モード	0.25秒周期割り込み	0.25秒周期	SEIE025
		0.5秒周期割り込み	0.5秒周期	SEIE05
		1秒周期割り込み	TRESECレジスタが更新 (1秒周期)される	SEIE
		分周期割り込み	TREMINレジスタが更新 (1分周期)される	MNIE
		時周期割り込み	TREHRレジスタが更新 (1時間周期)される	HRIE
		日周期割り込み	TREDYレジスタが更新 (1日周期)される	DYIE
		月周期割り込み	TREMONレジスタが更新 (1月周期)される	MOIE
		年周期割り込み	TREYRレジスタが更新 (1年周期)される	YRIE
	コンペアー一致 タイマモード	オーバフロー割り込み	コンペアー一致タイマがオー バフローしたとき	OVIE
アラーム/コンペアー一致	リアルタイム クロック モード	アラーム割り込み	アラームレジスタ (TREAMN、TREAHR、 TREAWKレジスタ)で設定 したアラーム時刻(許可ビッ トを1にしたレジスタのみ) とカウンタが一致したとき	ALIE
		コンペアー一致 タイマモード	コンペアー一致割り込み	コンペアー一致タイマがコン ペアー一致したとき

## 17.6 タイマRE2使用上の注意事項

- TRECRレジスタのRUNビットに0(カウント停止)を書き込むと、カウントソースの3サイクル後にカウントを停止します。
- モジュールスタンバイにする場合、RUNビットを0(カウント停止)にした後、カウントソースの3サイクル以上経過してから、MSTCRレジスタのMSTTREビットを1(スタンバイ)にしてください。
- TREIFR、TREIERレジスタの切り換えは次のとおりにしてください。
  - [リアルタイムクロックモード]
    - TREIFRレジスタのRTCFビットが0(割り込み要求なし)の状態、TREIERレジスタを切り換えてください。
    - TREIFRレジスタのALIFビットが0(割り込み要求なし)の状態、TREIFRレジスタのALIEビットを切り換えください。
  - [コンパア一致タイマモード]
    - TREIFRレジスタのCMIFビットが0(割り込み要求なし)の状態、TREIERレジスタのCMIEビットを切り換えください。
    - TREIFRレジスタのOVIFビットが0(割り込み要求なし)の状態、TREIERレジスタのOVIEビットを切り換えてください。
- TRECSRレジスタのCS3ビットを変更する場合、次の条件をすべて満たしてください。
  - RUNビットが0(カウント停止)の状態
  - CS3ビットを0から1に変更する場合は、CMIFビットが0(割り込み要求なし)、OVIFビットが0(割り込み要求なし)の状態
  - CS3ビットを1から0に変更する場合は、ALIFビットが0(割り込み要求なし)、RTCFビットが0(割り込み要求なし)の状態

## 18. シリアルインタフェース(UARTi (i = 0, 1))

シリアルインタフェースは、UART0とUART1の2チャンネルで構成しています。

### 18.1 概要

UART0とUART1は、それぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O(UART)モードの2種類のモードを持ちます。

表18.1にUARTi (i = 0, 1)の仕様を、図18.1にUARTi (i = 0, 1)のブロック図を、図18.2に送受信部のブロック図を、表18.2にUARTi (i = 0, 1)の端子構成を示します。詳細は表18.4 クロック同期形シリアルI/Oモードの仕様、表18.6 クロック非同期形シリアルI/Oモードの仕様を参照してください。

表18.1 UARTi (i = 0, 1)の仕様

項目		内容
入出力端子		3本(CLK <sub>i</sub> , RXD <sub>i</sub> , TXD <sub>i</sub> )
クロック同期形シリアルI/Oモード	転送データフォーマット	転送データ長8ビット
	転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが0(内部クロック) : <math>f_j / (2(n + 1))</math>  <math>f_j = f_1, f_8, f_{32}, f_{XCIN}</math>  <math>n : \text{UiBRGレジスタの設定値}(00h \sim FFh)</math></li> <li>• UiMRレジスタのCKDIRビットが1(外部クロック) : fEXT (CLK<sub>i</sub>端子からの入力)</li> </ul>
	エラー検出	オーバランエラー
クロック非同期形シリアルI/Oモード	転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット(転送データ) : 7ビット、8ビット、9ビット選択可</li> <li>• スタートビット : 1ビット</li> <li>• パリティビット : 奇数、偶数、なし選択可</li> <li>• ストップビット : 1ビット、2ビット選択可</li> </ul>
	転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが0(内部クロック) : <math>f_k / (16(n + 1))</math>  <math>f_k = f_1, f_8, f_{32}, f_{XCIN}</math>  <math>n : \text{UiBRGレジスタの設定値}(00h \sim FFh)</math></li> <li>• UiMRレジスタのCKDIRビットが1(外部クロック) : <math>f_{EXT} / (16(n + 1))</math>  <math>f_{EXT}(\text{CLK}_i\text{端子からの入力})</math>  <math>n : \text{UiBRGレジスタの設定値}(00h \sim FFh)</math></li> </ul>
	エラー検出	オーバランエラー、フレーミングエラー、パリティエラー、エラーサムフラグ
割り込み要因		送信バッファ空または送信完了割り込み(兼用)、受信完了割り込み

i = 0, 1

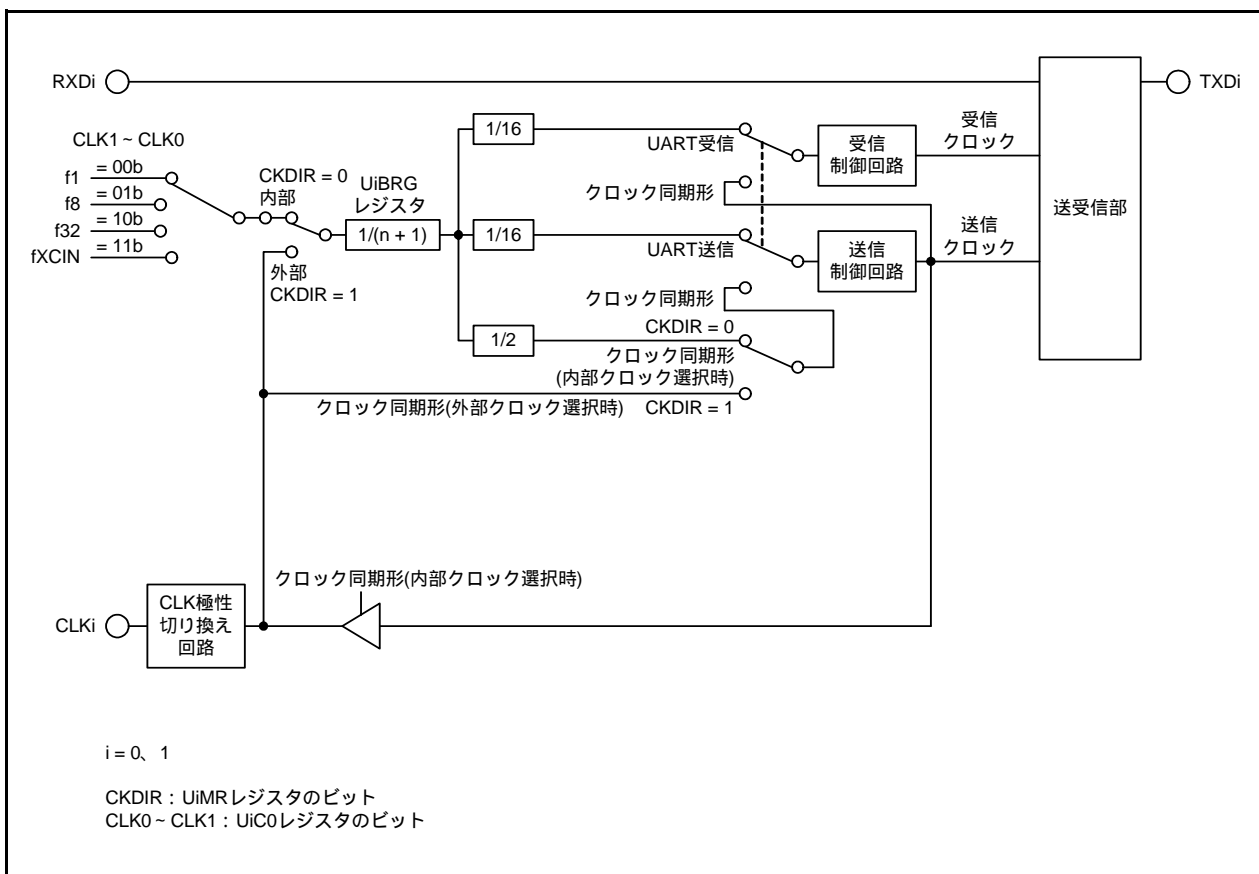


図 18.1 UARTi (i = 0、1)のブロック図

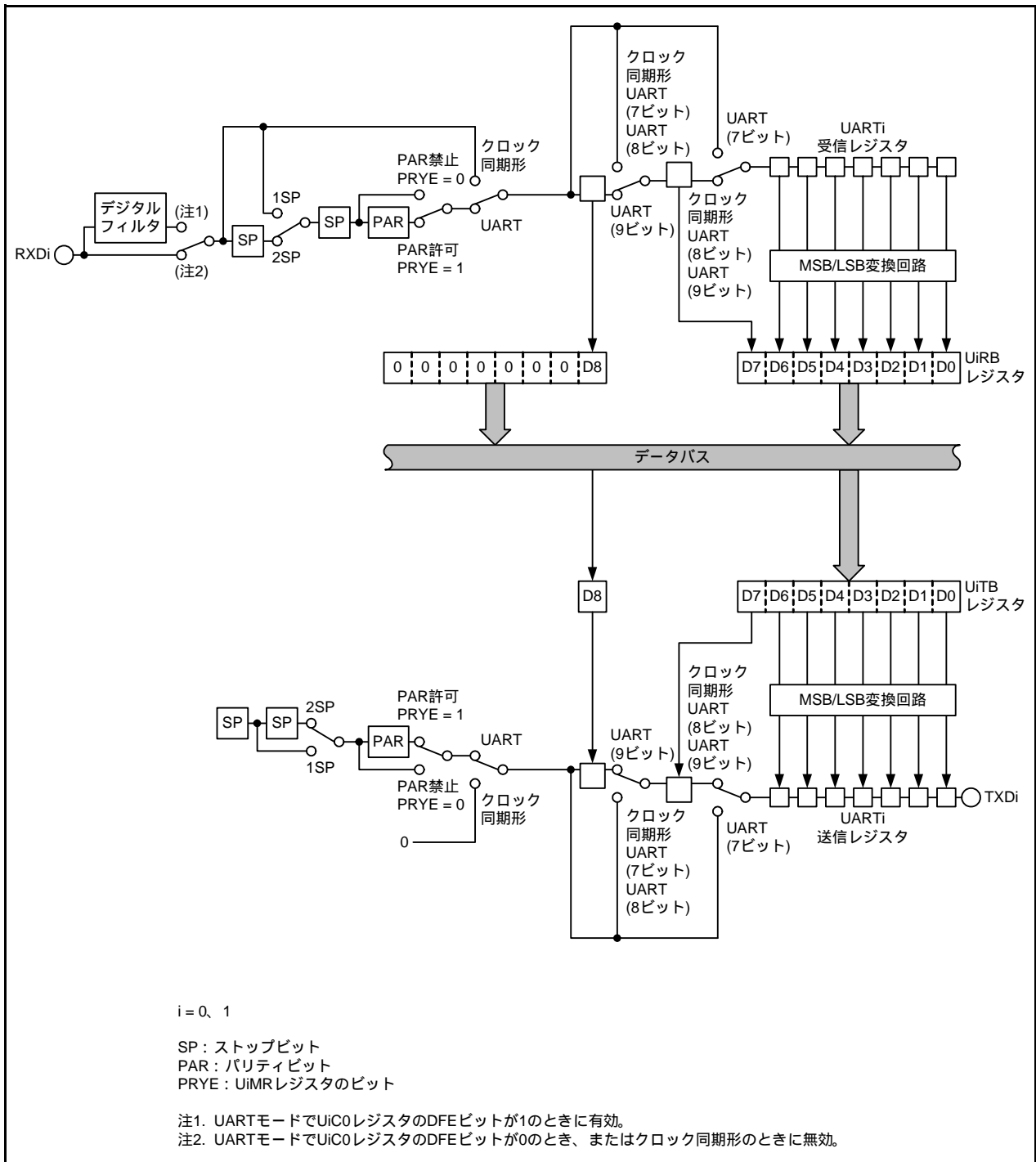


図18.2 送受信部のブロック図

表18.2 UARTi (i = 0, 1)の端子構成

端子名	割り当てる端子	入出力	機能
CLK0	P1_6	入出力	転送クロック入出力
RXD0	P1_4、P1_5、P4_6	入力	シリアルデータ入力
TXD0	P1_4、P4_2、P4_6	出力	シリアルデータ出力
CLK1	P0_3	入出力	転送クロック入出力
RXD1	P0_2	入力	シリアルデータ入力
TXD1	P0_1	出力	シリアルデータ出力

## 18.2 レジスタの説明

表18.3にUARTi (i = 0、1)のレジスタ構成を示します。

表18.3 UARTi (i = 0、1)のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART0送受信モードレジスタ	U0MR	00h	00080h	8
UART0ビットレートレジスタ	U0BRG	XXh	00081h	8
UART0送信バッファレジスタ	U0TBL	XXh	00082h	8 (注1)
	U0TBH	XXh	00083h	8 (注1)
UART0送受信制御レジスタ0	U0C0	00001000b	00084h	8
UART0送受信制御レジスタ1	U0C1	00000010b	00085h	8
UART0受信バッファレジスタ	U0RBL	XXh	00086h	8 (注1)
	U0RBH	XXh	00087h	8 (注1)
UART0割り込みフラグと許可レジスタ	U0IR	00h	00088h	8
UART1送受信モードレジスタ	U1MR	00h	00190h	8
UART1ビットレートレジスタ	U1BRG	XXh	00191h	8
UART1送信バッファレジスタ	U1TBL	XXh	00192h	8 (注1)
	U1TBH	XXh	00193h	8 (注1)
UART1送受信制御レジスタ0	U1C0	00001000b	00194h	8
UART1送受信制御レジスタ1	U1C1	00000010b	00195h	8
UART1受信バッファレジスタ	U1RBL	XXh	00196h	8 (注1)
	U1RBH	XXh	00197h	8 (注1)
UART1割り込みフラグと許可レジスタ	U1IR	00h	00198h	8

X：不定

注1. アクセス方法の詳細は、レジスタの説明を参照してください。



## 18.2.1 UARTi送受信モードレジスタ(UiMR) (i = 0, 1)

アドレス 00080h (U0MR)、00190h (U1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2)	b2 b1 b0 000: シリアルインタフェース無効	R/W
b1	SMD1		001: クロック同期形シリアルI/Oモード	R/W
b2	SMD2		100: UARTモード転送データ長7ビット	R/W
			101: UARTモード転送データ長8ビット	
		110: UARTモード転送データ長9ビット	上記以外: 設定しないでください	
b3	CKDIR	内部/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット(注3)	0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	—	予約ビット	0にしてください	R/W

注1. SMD2 ~ SMD0ビットを000b(シリアルインタフェース無効)にするときはUiC1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注2. SMD2 ~ SMD0ビットが001b(クロック同期形シリアルI/Oモード)のとき、UiRBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

注3. PRYビットは、PRTYEビットが1(パリティ許可)のときに有効です。

## 18.2.2 UARTiビットレートレジスタ(UiBRG) (i = 0, 1)

アドレス 00081h (U0BRG)、00191h (U1BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnにすると、UiBRGはカウントソースをn+1分周します。	00h ~ FFh	W

UiBRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

UiC0レジスタのCLK0 ~ CLK1ビットを設定した後、UiBRGレジスタに書いてください。

## 18.2.3 UARTi送信バッファレジスタ(UiTB) (i = 0, 1)

アドレス 00082h (U0TBL)、00192h (U1TBL)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

アドレス 00083h (U0TBH)、00193h (U1TBH)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ(D8 ~ D0)	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	—		W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長9ビットの場合、UiTBHレジスタ UiTBLレジスタの順で、8ビット単位で書いてください。

UiTBレジスタは、MOV命令を使用して書いてください。ワードアクセスは禁止です。

## 18.2.4 UARTi送受信制御レジスタ0 (UiC0) (i = 0、1)

アドレス 00084h (U0C0)、00194h (U1C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	DFE	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	UiBRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fXCIN	R/W
b1	CLK1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	DFE	RxDi デジタルフィルタ許可ビット (注2)	0 : デジタルフィルタ禁止 1 : デジタルフィルタ許可	R/W
b5	NCH	データ出力選択ビット	0 : TXDi 端子はCMOS 出力 1 : TXDi 端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK 極性選択ビット(注3)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. UiBRG カウントソースを変更した場合、UiBRG レジスタを再設定してください。

注2. DFE ビットは、クロック非同期形シリアルI/Oモードのときに有効です。クロック同期形シリアルI/Oモードのとき、0(デジタルフィルタ禁止)にしてください。

注3. CKPOL ビットは、クロック同期形シリアルI/Oモードのときに有効です。

## 18.2.5 UARTi送受信制御レジスタ1 (UiC1) (i = 0、1)

アドレス 00085h (U0C1)、00195h (U1C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	UiRRM	UiIRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	R
b4	UiIRS	UARTi送信割り込み要因選択ビット	0 : 送信バッファ空(TI = 1) 1 : 送信完了(TXEPT = 1)	R/W
b5	UiRRM	UARTi連続受信モード許可ビット (注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

注1. RIビットは、UiRBHレジスタを読み出したとき、0になります。

注2. クロック非同期形シリアルI/Oモード時、UiRRMビットは0(連続受信モード禁止)にしてください。

## 18.2.6 UARTi受信バッファレジスタ (UiRB) (i = 0, 1)

アドレス 00086h (U0RBL)、00196h (U1RBL)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

アドレス 00087h (U0RBH)、00197h (U1RBH)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ (D8 ~ D0)		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	—			R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. OER、FER、PER、SUMビットは、UiMRレジスタのSMD2 ~ SMD0ビットを000b (シリアルインタフェース無効)にしたとき、またはUiC1レジスタのREビットを0 (受信禁止)にしたとき、0 (エラーなし)になります。SUMビットは、OER、FER、PERビットがすべて0 (エラーなし)になると、0 (エラーなし)になります。また、FER、PERビットは、UiRBHレジスタを読み出したとき、0になります。

UiMRレジスタのSMD2 ~ SMD0ビットを000bにするときは、UiC1レジスタのTEビットを0 (送信禁止)、REビットを0 (受信禁止)にしてください。

注2. UiMRレジスタのSMD2 ~ SMD0ビットが001b (クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UiRBレジスタは、16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。16ビット単位でアクセスすると、8ビット単位で2回アクセスされます。

## 18.2.7 UARTi割り込みフラグと許可レジスタ(UiIR) (i = 0、1)

アドレス 00088h (U0IR)、00198h (U1IR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UiTIF	UiRIF	—	—	UiTIE	UiRIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	UiRIE	UARTi受信割り込み許可ビット	0: 受信割り込み禁止 1: 受信割り込み許可	R/W
b3	UiTIE	UARTi送信割り込み許可ビット	0: 送信割り込み禁止 1: 送信割り込み許可	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	UiRIF	UARTi受信割り込みフラグ	0: 受信割り込み要求なし 1: 受信割り込み要求あり	R/W
b7	UiTIF	UARTi送信割り込みフラグ	0: 送信割り込み要求なし 1: 送信割り込み要求あり	R/W

## UiRIFビット(UARTi受信割り込みフラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- UiC1レジスタのRIビットが、0 (UiRBレジスタにデータなし)から1 (UiRBレジスタにデータあり)に変化したとき

## UiTIFビット(UARTi送信割り込みフラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- 送信バッファが空になった、または送信が完了したとき

### 18.3 動作説明

UART<sub>i</sub> (i = 0、1)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O (UART)モードの2種類のモードを持ちます。

#### 18.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表18.4にクロック同期形シリアルI/Oモードの仕様を、表18.5にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表18.4 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長8ビット
転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが0 (内部クロック) : <math>f_j / (2(n + 1))</math>  <math>f_j = f_1, f_8, f_{32}, f_{XCIN}</math>  <math>n = UiBRG</math>レジスタの設定値(00h ~ FFh)</li> <li>• UiMRレジスタのCKDIRビットが1 (外部クロック) : fEXT(CLK<sub>i</sub>端子からの入力)</li> </ul>
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが1 (送信許可)</li> <li>• UiC1レジスタのTIビットが0 (UiTBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが1 (受信許可)</li> <li>• UiC1レジスタのTEビットが1 (送信許可)</li> <li>• UiC1レジスタのTIビットが0 (UiTBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 送信する場合(次の条件のいずれかを選択可能) <ul style="list-style-type: none"> <li>- UiC1レジスタのUiIRSビットが0 (送信バッファ空) : UiTBレジスタからUART<sub>i</sub>送信レジスタへデータ転送時(送信開始時)</li> <li>- UiC1レジスタのUiIRSビットが1 (送信完了) : UART<sub>i</sub>送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合 UART<sub>i</sub>受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー (注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>• LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択</li> <li>• 連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる</li> </ul>

i = 0、1

注1. 外部クロックを選択している場合、次の状態で条件を満たしてください。

- UiC0レジスタのCKPOLビットが0 (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のとき、外部クロックがH
- CKPOLビットが1 (転送クロックの立ち上がり)で送信データ出力、立ち下がりで受信データ入力)のとき、外部クロックがL

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b7)は不定になります。また、UiIRレジスタのUiRIFビットは変化しません。

表18.5 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0 ~ b7	送信データを設定してください。
UiRB	b0 ~ b7	受信データが読めます。
	OER	オーバランエラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください。
UiMR	SMD2 ~ SMD0	001b (クロック同期形シリアルI/Oモード)にしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
UiC0	CLK0 ~ CLK1	UiBRGカウンタソース(f1、f8、f32、fXCIN)を選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	転送クロックの極性を選択してください。
	UFORM	LSBファーストまたはMSBファーストを選択してください。
UiC1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	UiRRM	連続受信モード禁止または許可を選択してください。

i = 0, 1

注1. この表に記載していないビットに書く場合、0を書いてください。



18.3.1.1 動作例

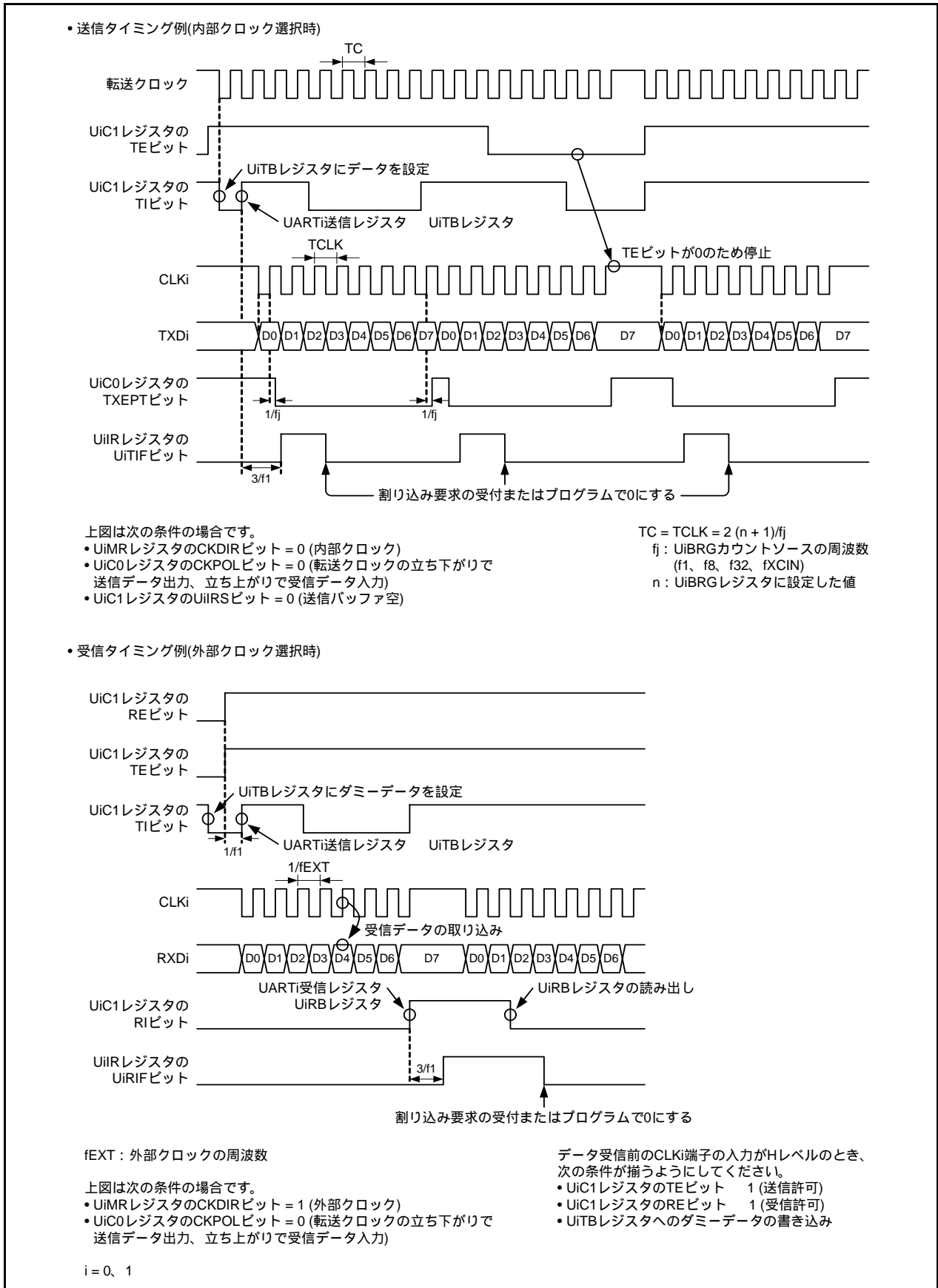


図 18.3 クロック同期形シリアルI/Oモード時の送受信タイミング図

### 18.3.1.2 極性選択機能

図18.4に転送クロックの極性を示します。

U*i*C0レジスタ(i = 0, 1)のCKPOLビットによって転送クロックの極性を選択できます。

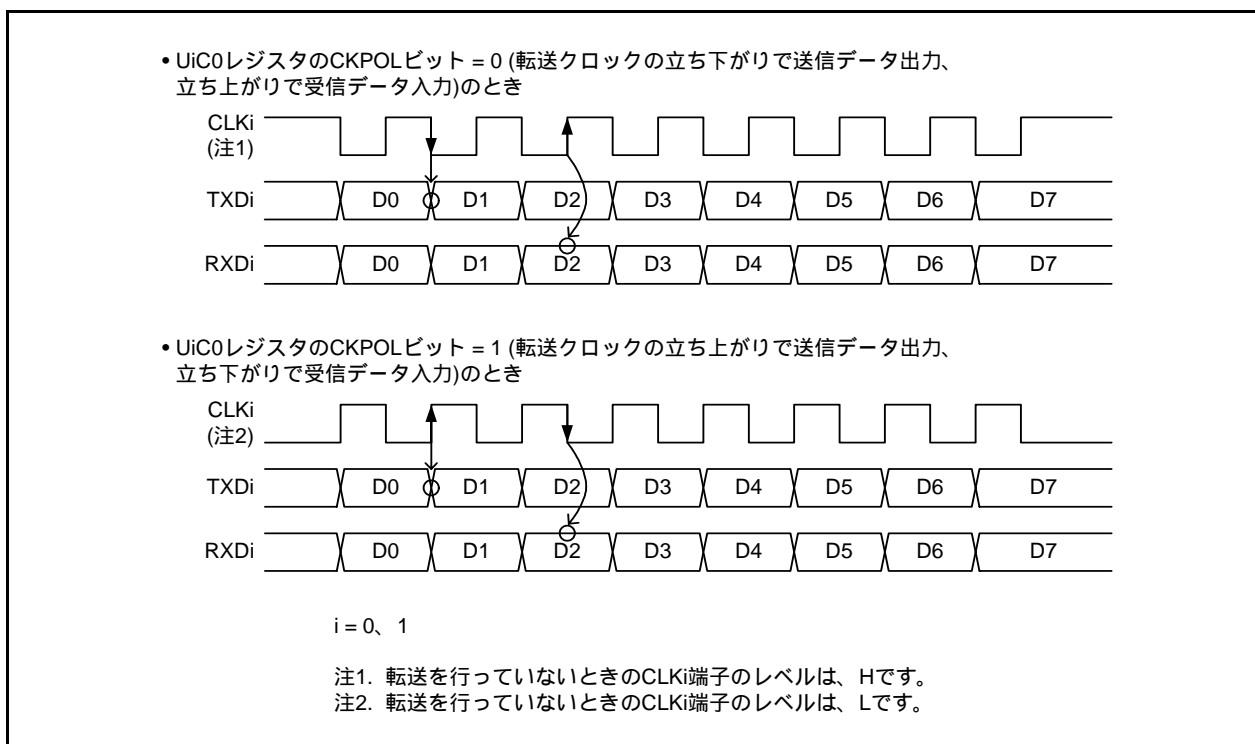


図18.4 転送クロックの極性

### 18.3.1.3 LSBファースト、MSBファースト選択

図18.5に転送フォーマットを示します。

U*i*C0レジスタ(i = 0, 1)のUFORMビットで転送フォーマットを選択できます。

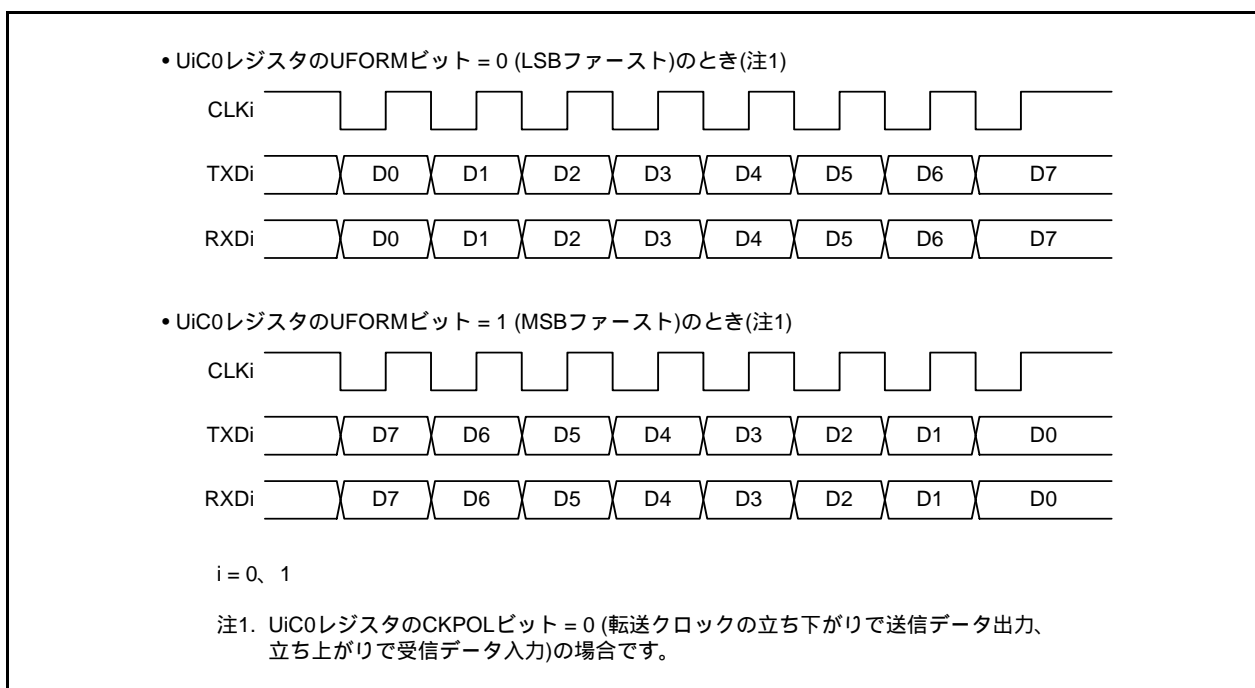


図18.5 転送フォーマット

#### 18.3.1.4 連続受信モード

U<sub>i</sub>C1レジスタ(i = 0, 1)のU<sub>i</sub>RRMビットを1(連続受信モード許可)にすることによって、連続受信モードになります。連続受信モードでは、U<sub>i</sub>RBレジスタを読むことでU<sub>i</sub>C1レジスタのTIビットが0(U<sub>i</sub>TBレジスタにデータあり)になります。U<sub>i</sub>RRMビットが1の場合、プログラムでU<sub>i</sub>TBレジスタにダミーデータを書かないでください。

#### 18.3.1.5 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U<sub>i</sub>C1レジスタ(i = 0, 1)のTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) U<sub>i</sub>MRレジスタのSMD2 ~ SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) U<sub>i</sub>MRレジスタのSMD2 ~ SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする
- (4) U<sub>i</sub>C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

## 18.3.2 クロック非同期形シリアルI/O (UART) モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 18.6 にクロック非同期形シリアルI/Oモードの仕様を、表 18.7 にクロック非同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 18.6 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット : 7ビット、8ビット、9ビット選択可</li> <li>• スタートビット : 1ビット</li> <li>• パリティビット : 奇数、偶数、なし選択可</li> <li>• ストップビット : 1ビット、2ビット選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが0 (内部クロック) : <math>f_k/(16(n+1))</math>  <math>f_k = f_1, f_8, f_{32}, f_{XCIN}</math>  <math>n = UiBRG</math>レジスタの設定値(00h ~ FFh)</li> <li>• UiMRレジスタのCKDIRビットが1 (外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math> (CLK<sub>i</sub>端子からの入力)  <math>n = UiBRG</math>レジスタの設定値(00h ~ FFh)</li> </ul>
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが1 (送信許可)</li> <li>• UiC1レジスタのTIビットが0 (UiTBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが1 (受信許可)</li> <li>• スタートビットの検出</li> </ul>
割り込み要求発生 タイミング	<ul style="list-style-type: none"> <li>• 送信する場合(次の条件のいずれかを選択可能)               <ul style="list-style-type: none"> <li>- UiC1レジスタのUiIRSビットが0 (送信バッファ空) :                    UiTBレジスタからUART<sub>i</sub>送信レジスタへデータ転送時(送信開始時)</li> <li>- UiC1レジスタのUiIRSビットが1 (送信完了) :                    UART<sub>i</sub>送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合                    UART<sub>i</sub>受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー (注1)                UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>• フレーミングエラー                設定した個数のストップビットが検出されなかったときに発生(注2)</li> <li>• パリティエラー                パリティ許可時に、キャラクタビットとパリティビット中の1の個数が設定した個数でなかったときに発生(注2)</li> <li>• エラーサムフラグ                オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる</li> </ul>

i = 0, 1

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。また、UiIRレジスタのUiRIFビットは変化しません。

注2. フレーミングエラーフラグ、パリティエラーフラグはUART<sub>i</sub>受信レジスタからUiRBレジスタにデータが転送されるときに1になります。

表18.7 クロック非同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0 ~ b8	送信データを設定してください。(注1)
UiRB	b0 ~ b8	受信データが読めます。(注2)
	OER	オーバランエラーフラグ
	FER	フレーミングエラーフラグ
	PER	パリティエラーフラグ
	SUM	エラーサムフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください。
UiMR	SMD2 ~ SMD0	転送データ長7ビットの場合、100bにしてください。 転送データ長8ビットの場合、101bにしてください。 転送データ長9ビットの場合、110bにしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
	STPS	1ストップビットまたは2ストップビットを選択してください。
	PRY, PRYE	パリティの有無、偶数、奇数を選択してください。
UiC0	CLK0 ~ CLK1	UiBRGカウンタソース(f1、f8、f32、fXCIN)を選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)にしてください。
	UFORM	転送データ長8ビット時は、LSBファーストまたはMSBファーストを選択してください。 転送データ長7ビットまたは9ビット時は、0(LSBファースト)にしてください。
UiC1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	UiRRM	0(連続受信モード禁止)にしてください。

i = 0, 1

注1. 使用するビットは次のとおりです。

- 転送データ長7ビット：ビットb0 ~ b6
- 転送データ長8ビット：ビットb0 ~ b7
- 転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は、不定です。

## 18.3.2.1 動作例

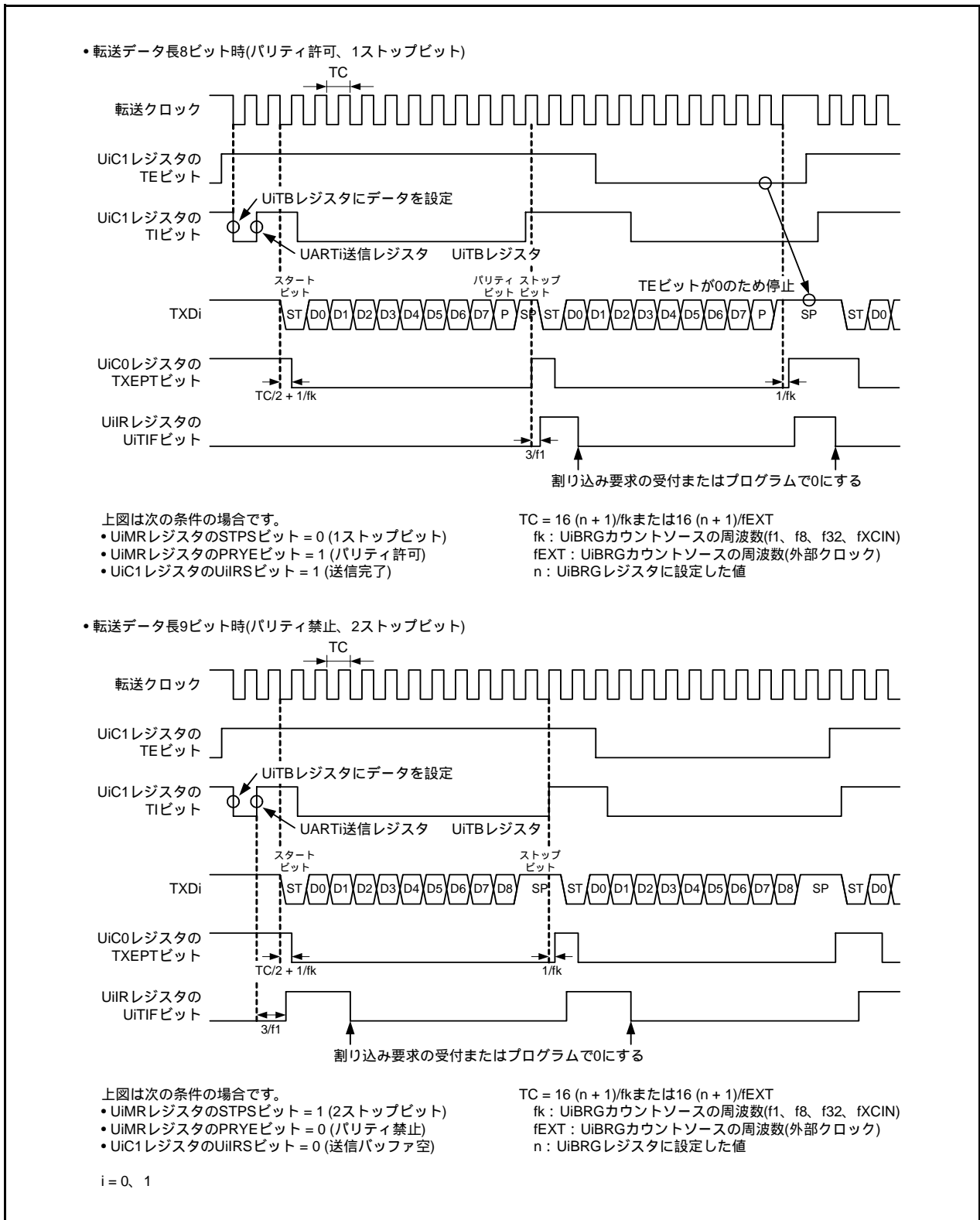


図 18.6 クロック非同期形シリアルI/Oモード時の送信タイミング図

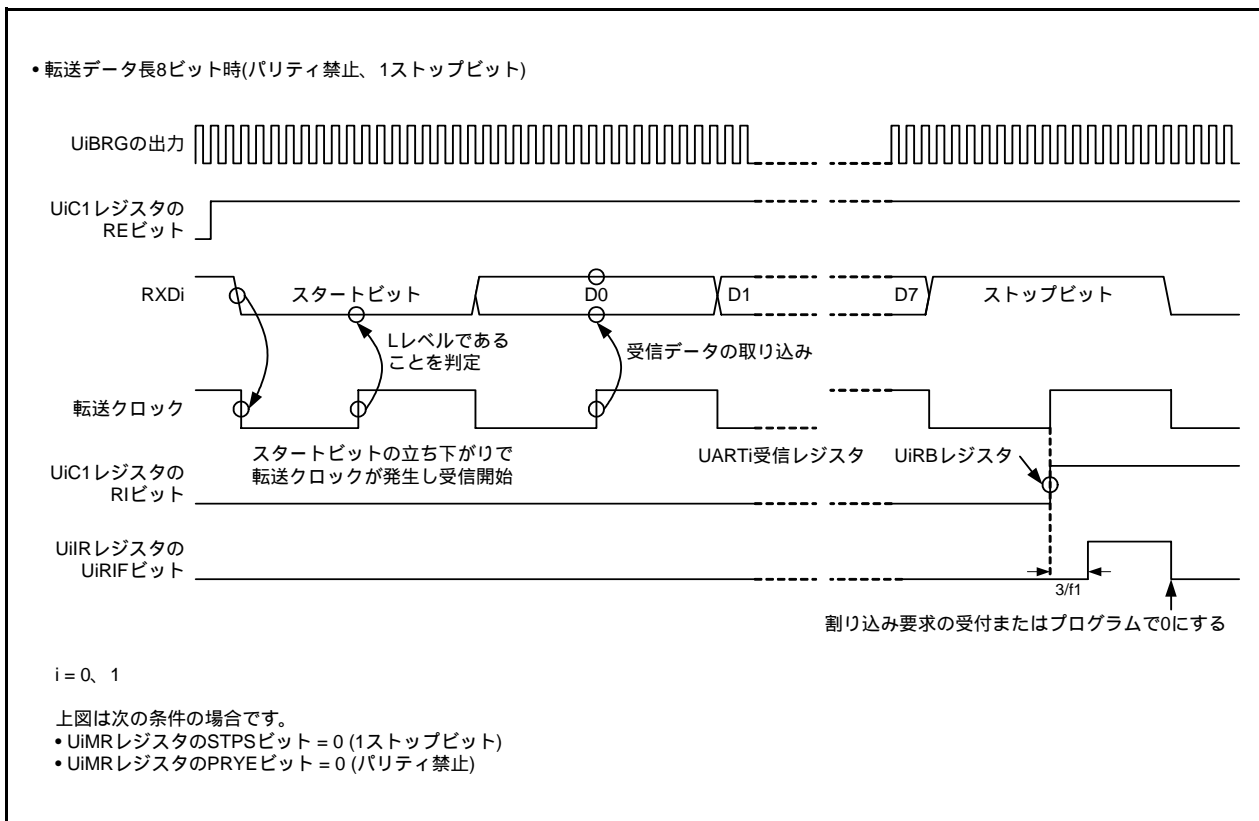


図 18.7 クロック非同期形シリアルI/Oモード時の受信タイミング図

## 18.3.2.2 ビットレート

クロック非同期形シリアルI/Oモードでは、UiBRGレジスタ(i = 0、1)で分周した周波数の16分周がビットレートになります。

UiBRGレジスタの設定値の算出式は、以下のようになります。

- 内部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_k}{\text{ビットレート} \times 16} - 1$$

f<sub>k</sub> : UiBRGカウントソースの周波数(f<sub>1</sub>、f<sub>8</sub>、f<sub>32</sub>、f<sub>XCIN</sub>)

- 外部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f<sub>EXT</sub> : UiBRGカウントソースの周波数(外部クロック)

表18.8 クロック非同期形シリアルI/Oモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	UiBRG カウント ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		UiBRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)	UiBRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)	UiBRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

i = 0、1

注1. 高速オンチップオシレータに対して、FR18S0レジスタの調整値をFRV1レジスタに、FR18S1レジスタの調整値をFRV2レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、PHISELレジスタを00h(分周なし)にした場合です。高速オンチップオシレータの精度は「24. 電気的特性」を参照してください。



### 18.3.2.3 RXD<sub>i</sub> (i = 0, 1) デジタルフィルタ

UiC0レジスタ(i = 0, 1)のDFEビットが1(デジタルフィルタ許可)のとき、RXD<sub>i</sub>入力はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD<sub>i</sub>入力が転送レートの16倍の周波数の基本クロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、RXD<sub>i</sub>入力が連続して3クロック以上の期間、同一のレベルを保持した場合は信号として認識しますが、3クロック未満の場合はノイズとして判断します。

図18.8にRXD<sub>i</sub>デジタルフィルタのブロック図を示します。

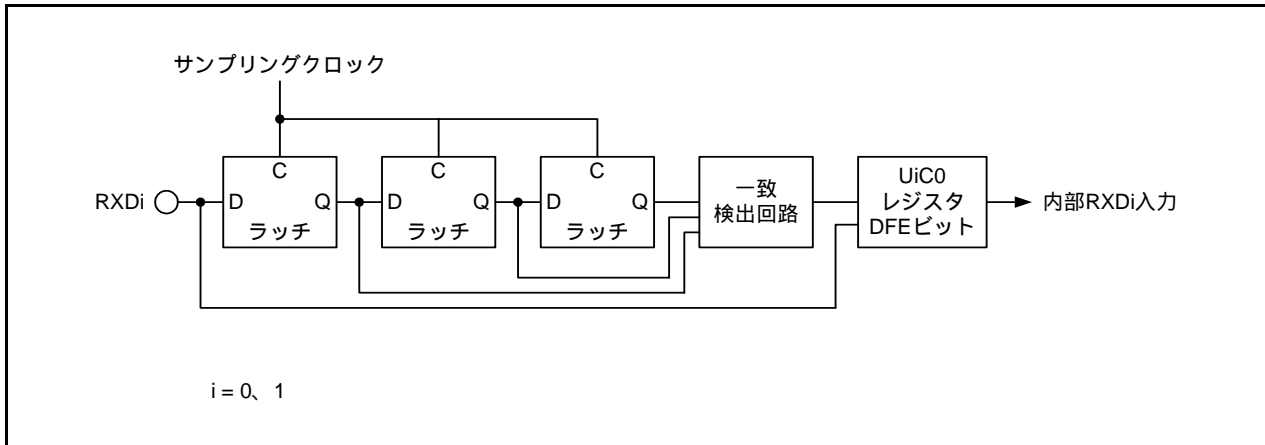


図18.8 RXD<sub>i</sub>デジタルフィルタのブロック図

### 18.3.2.4 通信エラー発生時の対処方法

UARTモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1レジスタ(i = 0, 1)のTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする
- (4) UiC1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

#### 18.4 UART<sub>i</sub> (i = 0、1)の割り込み

UART<sub>i</sub> (i = 0、1)の割り込み要求には、送信バッファ空または送信完了、受信完了割り込みがあります。  
表18.9に割り込み要求一覧を示します。

表18.9 割り込み要求一覧

割り込み要求	割り込み発生条件
送信バッファ空	UiTIF = 1 (送信割り込み要求あり)およびUiTIE = 1 (送信割り込み許可)
送信完了	
受信完了	UiRIF = 1 (受信割り込み要求あり)およびUiRIE = 1 (受信割り込み許可)

i = 0、1

UiTIF、UiTIE、UiRIF、UiRIE : UiIRレジスタのビット

注1. 割り込み発生条件を満たし、FLGレジスタのIフラグが1のとき、CPUは割り込み例外処理を実行します。

### 18.5 シリアルインタフェース(UART<sub>i</sub> (i = 0、1))使用上の注意事項

UiRBレジスタ(i = 0、1)を読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

UiRBHレジスタを読み出したとき、UiRBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、UiC1レジスタのRIビットも0(UiRBレジスタにデータなし)になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

• 受信バッファレジスタを読み出すプログラム例

```
MOV.W    0086H, R0        ; UORBレジスタの読み出し
```

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、UiTBレジスタに書くときは、UiTBHレジスタ UiTBLレジスタの順で、8ビット単位で書いてください。

• 送信バッファレジスタに書き込むプログラム例

```
MOV.B    #XXH, 0083H     ; UOTBHレジスタへの書き込み  
MOV.B    #XXH, 0082H     ; UOTBLレジスタへの書き込み
```

通信中、MSTCRレジスタのMSTUART0ビットまたはMSTCR1レジスタのMSTUART1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、UiC1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

## 19. IrDA (Infrared Data Association) インタフェース

IrDA インタフェースは、IrDA規格バージョン1.0に準拠した波形のエンコード/デコードを行い、IrTxD、IrRxD端子で通信します。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA規格バージョン1.0システムに準拠した赤外線送受信を実現できます。

### 19.1 概要

IrDA規格バージョン1.0システムにおいて、9600 bpsの転送レートで通信を開始し、その後、必要に応じて転送レートを変更できます。IrDAインタフェースは、自動的に転送レートを変更する機能を内蔵していません。転送レートは、プログラムで変更してください。

図19.1にIrDAインタフェースのブロック図を、表19.1にIrDAインタフェースの端子構成を示します。

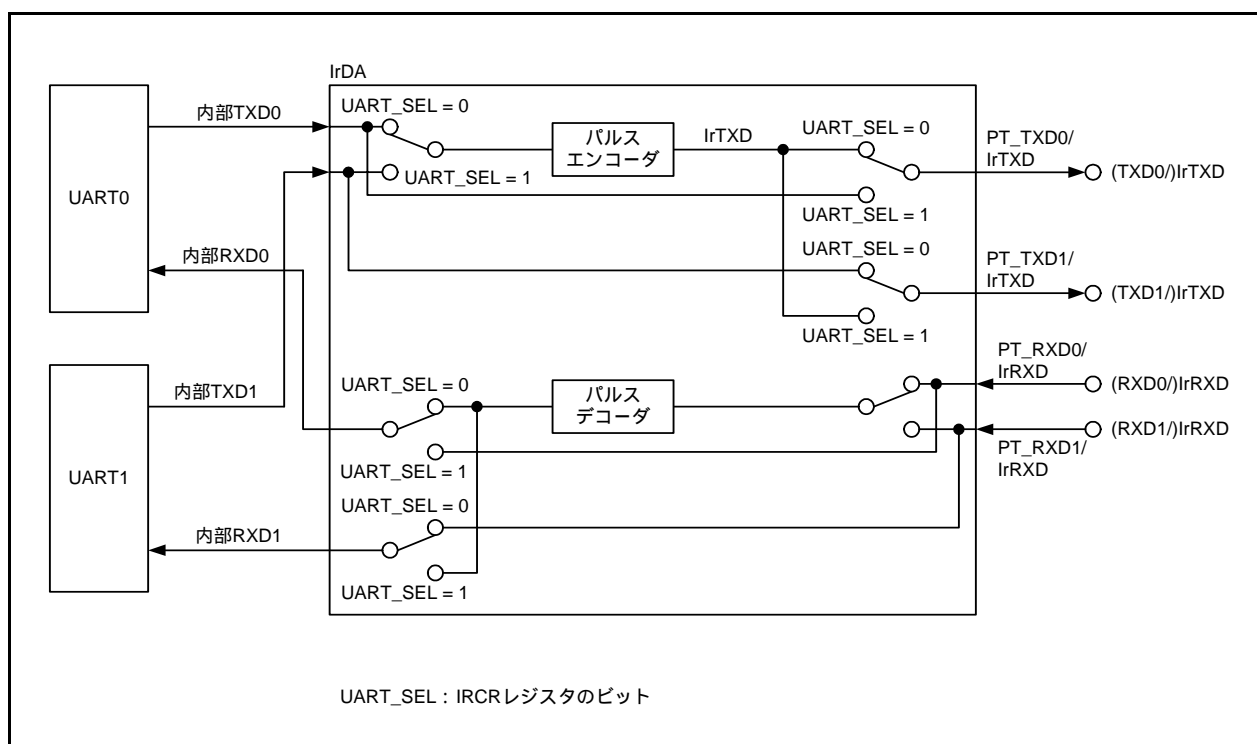


図19.1 IrDAインタフェースのブロック図

表19.1 IrDAインタフェースの端子構成

端子名	入出力	機能
(RXD0)/IrRxD	入力	チャンネル0のIrDA受信データ入力
(TXD0)/IrTxD	出力	チャンネル0のIrDA送信データ出力
(RXD1)/IrRxD	入力	チャンネル1のIrDA受信データ入力
(TXD1)/IrTxD	出力	チャンネル1のIrDA送信データ出力

## 19.2 レジスタの説明

## 19.2.1 IrDA制御レジスタ (IRCR)

アドレス	0019Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IRE	IRCKS2	IRCKS1	IRCKS0	IRTXINV	IRRXINV	UART_SEL	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	UART_SEL	UART0またはUART1 選択ビット(注1)	0 : UART0 1 : UART1	R/W
b2	IRRXINV	IrRXDデータ反転ビット	0 : IrRXD入力をそのまま受信データとして使用 1 : IrRXD入力を反転して受信データとして使用	R/W
b3	IRTXINV	IrTXDデータ反転ビット	0 : 送信データをそのままIrTXD出力 1 : 送信データを反転してIrTXD出力	R/W
b4	IRCKS0	IrDAクロック選択ビット(注2)	b6 b5 b4 0 0 0 : パルス幅 = $B \times 3/16$ (ビットレートの16分の3) 0 0 1 : パルス幅 = f2 0 1 0 : パルス幅 = f4 0 1 1 : パルス幅 = f8 1 0 0 : パルス幅 = f16 1 0 1 : パルス幅 = f32 1 1 0 : パルス幅 = f64 1 1 1 : パルス幅 = f128	R/W
b5	IRCKS1			R/W
b6	IRCKS2			R/W
b7	IRE	IrDA許可ビット(注3)	0 : IrDA禁止(TXD/IrTXD端子はTXD端子、RXD/IrRXD端子はRXD端子として機能) 1 : IrDA許可(TXD/IrTXD端子はIrTXD端子、RXD/IrRXD端子はIrRXD端子として機能)	R/W

注1. UARTの動作停止(U0C1またはU1C1レジスタのTEビットが0、REビットが0)およびIREビットが0 (IrDA禁止)の状態、UART\_SELビットを設定してください。

注2. UARTの転送クロックに外部クロックまたはfXCINを選択し、IrDAインタフェースを使用する場合、IRCKS2 ~ IRCKS0ビットを000b (パルス幅 =  $B \times 3/16$ ) にしてください。

注3. UARTの転送クロックは、IREビットが0 (IrDA禁止)のときに変更してください。また、IRCRレジスタの各ビットは、IREビットが0 (IrDA禁止)のときに変更してください。

IRCRレジスタは、UART0、UART1の機能を選択します。

## IRRXINVビット (IrRXDデータ反転ビット)

IrRXD入力のロジックレベルの反転を指定します。反転時、IRCKS0 ~ IRCKS2ビットで指定したHighパルス幅は、Lowパルス幅となります。

## IRTXINVビット (IrTXDデータ反転ビット)

IrTXD出力のロジックレベルの反転を指定します。反転時、IRCKS0 ~ IRCKS2ビットで指定したHighパルス幅は、Lowパルス幅となります。

## IRCKS0 ~ IRCKS2ビット (IrDAクロック選択ビット)

IrTXD出力パルスをエンコードする際のHighパルス幅を設定します。

## 19.3 動作説明

### 19.3.1 送信

送信時、UARTからの出力信号(UARTフレーム)は、IrDAインタフェースでIRフレームに変換されます(図19.2参照)。シリアルデータが0のとき、ビットレート(1ビット幅の期間)の3/16のHighパルスが出力されます(初期値)。なお、Highパルス幅は、IRCRレジスタのIRCKS0～IRCKS2ビットで変更できます。IrDA規格では、Highパルス幅は最小1.41  $\mu$ s、最大 $(3/16 + 2.5\%) \times$  ビットレート、または $(3/16 \times$  ビットレート) + 1.08  $\mu$ sと定められています。システムクロック( $f$ )が20 MHzのとき、1.41  $\mu$ s以上で最小のHighパルス幅として、1.6  $\mu$ sが設定可能です。また、シリアルデータが1のとき、パルスは出力されません。

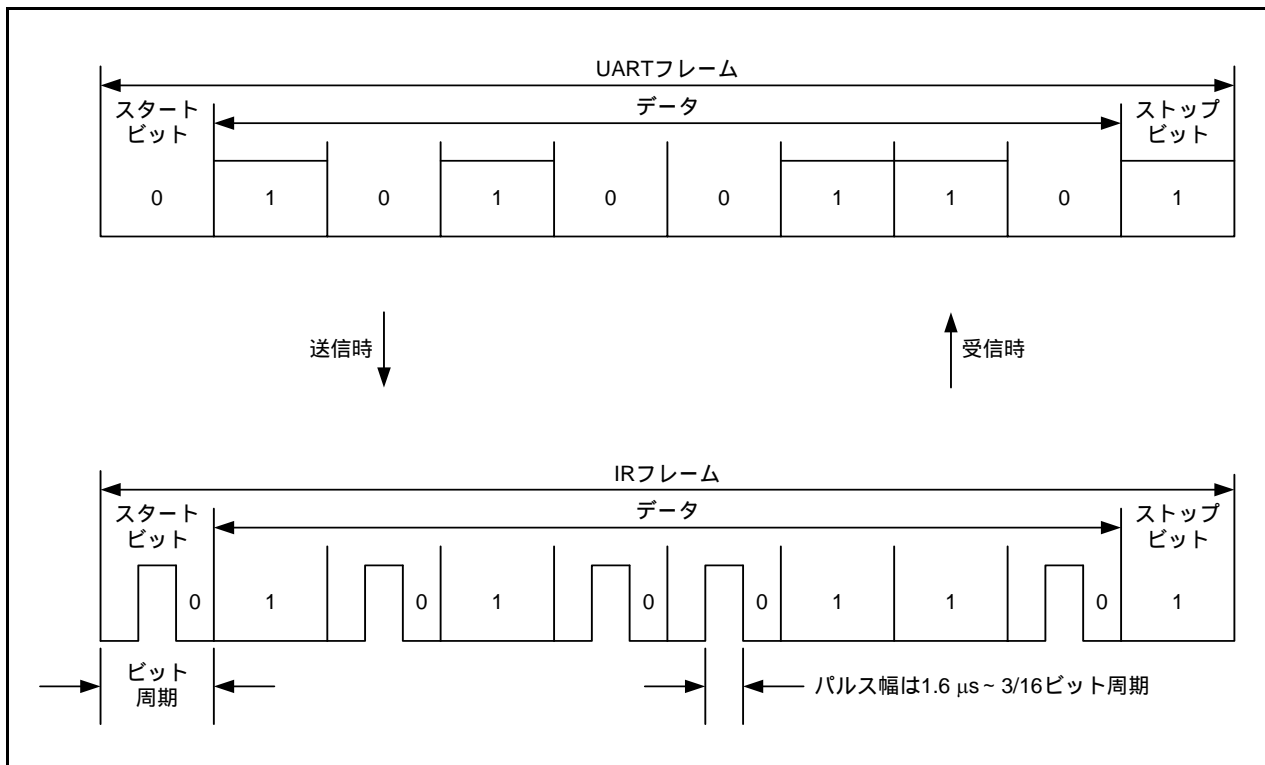


図19.2 IrDAインタフェースの送受信の動作例

### 19.3.2 受信

受信時、IRフレームのデータは、IrDAインタフェースでUARTフレームに変換され、UARTに入力されます。Highパルスが検出されたときに0データを出力し、1ビット期間中にパルスがない場合には1データを出力します。最小パルス幅の1.41  $\mu$ sより短いパルスも0信号として認識しますので、注意してください。

### 19.3.3 Highパルス幅の選択

送信時にビットレート  $\times 3/16$  よりパルス幅を短くする場合、適用可能なIRCKS0～IRCKS2ビットの設定(最小パルス幅)と、システムクロック( $f$ )およびビットレートの選択は「表19.2 IRCKS0～IRCKS2ビットの設定」を参照してください。

表19.2 IRCKS0 ~ IRCKS2 ビットの設定

システム クロック (f) (MHz)	上段：ビットレート (bps)/下段：ビット周期 × 3/16 (μs)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	—
2.097152	010	010	010	010	010	—
2.4576	010	010	010	010	010	—
3	011	011	011	011	011	—
3.6864	011	011	011	011	011	—
4.9152	011	011	011	011	011	—
5	011	011	011	011	011	011
6	100	100	100	100	100	—
6.144	100	100	100	100	100	—
7.3728	100	100	100	100	100	—
8	100	100	100	100	100	—
9.8304	100	100	100	100	100	—
10	100	100	100	100	100	100
12	101	101	101	101	101	—
12.288	101	101	101	101	101	—
14	101	101	101	101	101	—
14.7456	101	101	101	101	101	—
16	101	101	101	101	101	—
16.9344	101	101	101	101	101	—
17.2032	101	101	101	101	101	—
18	101	101	101	101	101	—
19.6608	101	101	101	101	101	—
20	101	101	101	101	101	101

— : UART側のビットレート設定ができません

## 19.4 UARTとIrDAの設定手順

IrDA インタフェースを使用する場合は、次の手順で設定してください。

- (1) UiC1 レジスタ ( $i = 0, 1$ ) の TE ビットを 0 (送信禁止)、RE ビットを 0 (受信禁止) にして、UiMR レジスタの SMD2 ~ SMD0 ビットを 000b (シリアルインタフェース無効) にする
- (2) IRCR レジスタの IRE ビットを 0 (IrDA 禁止) にする
- (3) IRCR レジスタの UART\_SEL ビットを 0 (UART0) または 1 (UART1) にする
- (4) ポート 0、1、4 の機能マッピングレジスタ (PML0 レジスタ、PMH1 レジスタ、PMH4 レジスタ) を設定して、IrRXD 端子を P0\_2、P1\_5、P1\_4 または P4\_6 に配置する
- (5) ポート 0、1、4 の機能マッピングレジスタ (PML4 レジスタ、PMH4 レジスタ、PMH1 レジスタ、PML0 レジスタ) を設定して IrTXD 端子を P42、P46、P14、P01 に配置する
- (6) (3) で選択した UART の各通信関係の制御ビット (UiMR、UiBRG、UiC0 レジスタの各ビット、 $i = 0, 1$ ) を設定する
- (7) IRCR レジスタの IRE ビットが 0 (IrDA 禁止) の状態で、他のビット (ビット 2 ~ ビット 6) を設定する
- (8) IRCR レジスタの IRE ビットを 1 (IrDA 許可) にする
- (9) (3) で選択した UART の UiC1 レジスタの TE ビットを 1 (送信許可)、または RE ビットを 1 (受信許可) にする
- (10) (3) で選択した UART の送信バッファレジスタに送信データを書く (送信時)

注. IrDA 受信の場合、UART の動作停止 (UiC1 レジスタの TE ビットが 0、RE ビットが 0) および IRE ビットが 0 (IrDA 禁止) の状態で、端子の初期レベルの設定を完了してください。



## 20. クロック同期形シリアルインタフェース

### 20.1 概要

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース

シンクロナスシリアルコミュニケーションユニット  
(SSU)

クロック同期式通信モード

4線式バス通信モード

I<sup>2</sup>Cバスインタフェース  
(I<sup>2</sup>C)

I<sup>2</sup>Cバスインタフェースモード

クロック同期式シリアルモード

#### 20.1.1 モード選択

クロック同期形シリアルインタフェースは、4種類のモードを持ちます。

表20.1にモード選択に関わるビットを示します。

表20.1 モード選択

IICCRレジスタの IICSELビット(注1)	SICR1レジスタの ICEビット(注1)	SIMR2レジスタの MSビット(注1)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
		1		4線式バス通信モード
1	1	0	I <sup>2</sup> Cバスインタフェース	I <sup>2</sup> Cバスインタフェース モード
		1		クロック同期式シリアル モード

注1. 表中の組み合わせ以外の設定はしないでください。表中の組み合わせ以外の設定をした場合の動作は不定です。

## 20.1.2 シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

表20.2にシンクロナスシリアルコミュニケーションユニットの仕様を、図20.1にシンクロナスシリアルコミュニケーションユニットのブロック図を示します。

表20.2 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8～16ビット
通信モード	<ul style="list-style-type: none"> <li>クロック同期式通信モード</li> <li>4線式バス通信モード(双方向通信モード含む) <ul style="list-style-type: none"> <li>マスタ/スレーブデバイスの選択可能</li> <li>シフト、送信、受信レジスタが独立しているため、シリアルデータの連続送信と連続受信が可能</li> </ul> </li> </ul>
入出力端子	SSCK (入出力)：クロック入出力端子 SSI (入出力)：データ入出力端子 SSO (入出力)：データ入出力端子 SCS (入出力)：チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> <li>SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SSCK端子から入力)</li> <li>SICR1レジスタのMSTビットが1(マスタモード)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力)</li> <li>クロック極性と位相を選択できる</li> </ul>
受信エラーの検出	オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORER_ALビットが1(オーバランエラー発生)になる
マルチマスタエラーの検出	コンフリクトエラーを検出 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態、SCS端子入力がLであれば、SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になる。 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが0(スレーブモード)で、転送途中にSCS端子入力がLからHに変化したとき、SISRレジスタのCE_ADZビットが1になる。
割り込み要求	5種類(送信終了、送信データエンpty、受信データフル、オーバランエラー、コンフリクトエラー(注1))
選択機能	<ul style="list-style-type: none"> <li>データ転送方向 MSBファーストまたはLSBファーストを選択</li> <li>SCLクロック極性 クロック停止時のレベルをLかHかを選択</li> <li>SCLクロック位相 データ変化およびデータ取り込みのエッジを選択</li> </ul>

注1. コンフリクトエラーは、4線式バス通信モードでのみ発生します。

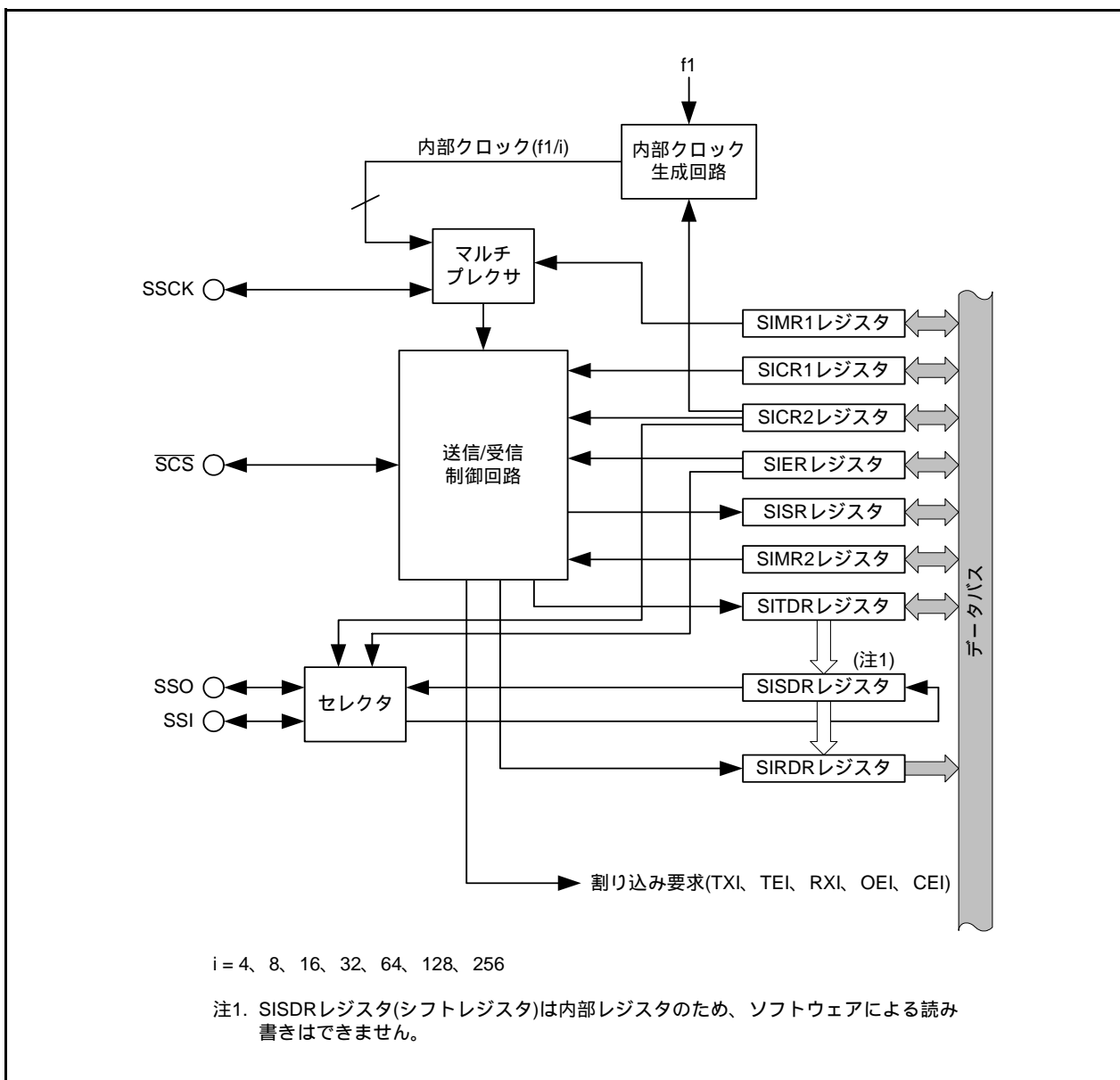


図20.1 シンクロナスシリアルコミュニケーションユニットのブロック図

表20.3 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	入出力	機能
SSI	入出力	データ入出力
SCS	入出力	チップセレクト入出力
SSCK	入出力	クロック入出力
SSO	入出力	データ入出力

20.1.3 I<sup>2</sup>Cバスインタフェース

I<sup>2</sup>Cバスインタフェースは、フィリップス社I<sup>2</sup>Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

表20.4にI<sup>2</sup>Cバスインタフェースの仕様を、図20.2にI<sup>2</sup>Cバスインタフェースのブロック図を、表20.5にI<sup>2</sup>Cバスインタフェースの端子構成を、図20.3にSCL、SDA端子の外部回路接続例を示します。

表20.4 I<sup>2</sup>Cバスインタフェースの仕様

項目	仕様
通信モード	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスインタフェースモード               <ul style="list-style-type: none"> <li>- マスタ/スレーブデバイスの選択可能</li> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>- マスタモードでは開始条件、停止条件の自動生成</li> <li>- 送信時、アクノリッジビットを自動ロード</li> <li>- ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLをLにして待機させる。)</li> <li>- SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能</li> </ul> </li> <li>• クロック同期式シリアルモード               <ul style="list-style-type: none"> <li>連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> </li> </ul>
入出力端子	SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> <li>• SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SCL端子から入力)</li> <li>• SICR1レジスタのMSTビットが1(マスタモード)のとき SICR1レジスタのCKS0～CKS3ビットおよびIICCRレジスタのIICTCTWI、IICTCHALFビットで選択する内部クロック(SCL端子から出力)</li> </ul>
受信エラーの検出	オーバランエラーを検出(クロック同期式シリアルモード) 受信時にオーバランエラーが発生したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ORER_ALビットが1(オーバランエラー発生)になる
割り込み要因	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスインタフェースモード：6種類 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出</li> <li>• クロック同期式シリアルモード：4種類 送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスインタフェースモード 受信時、アクノリッジの出力レベルを選択可能</li> <li>• クロック同期式シリアルモード データ転送方向にMSBファーストまたはLSBファーストを選択可能</li> <li>• SDAのデジタル遅延 IICCRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能</li> </ul>



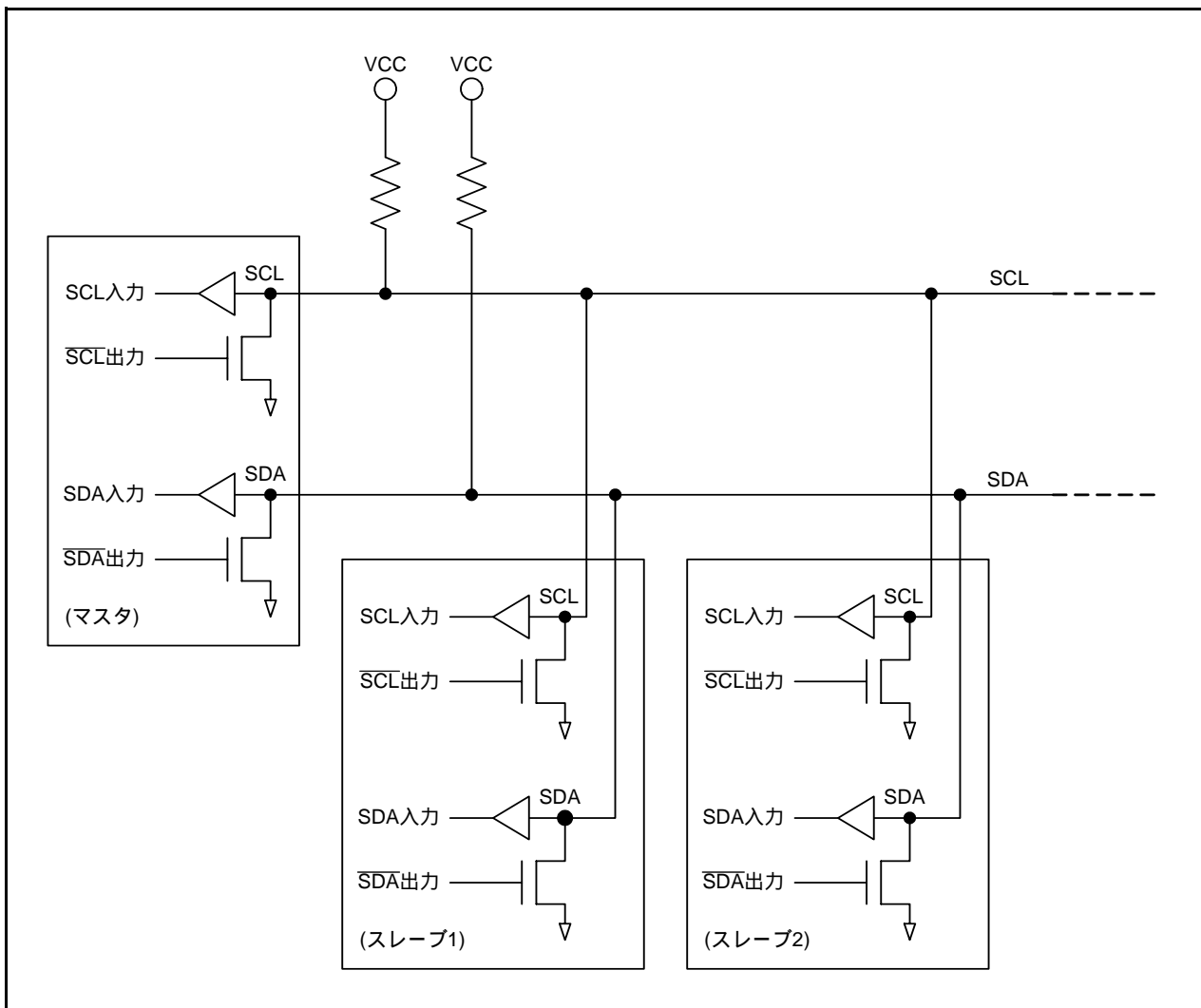


図20.3 SCL、SDA端子の外部回路接続例

## 20.2 レジスタの説明

クロック同期形シリアルインタフェースのレジスタは、SSU機能とI<sup>2</sup>Cバス機能を共有しています。表20.6にクロック同期形シリアルインタフェースのレジスタ構成を示します。

表20.6 クロック同期形シリアルインタフェースのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
IIC制御レジスタ	IICCR	00001110b	00160h	8
SSビットカウンタレジスタ	SSBR	11111000b	00161h	8
SI送信データレジスタ	SITDR	FFh	00162h	8または16 (注1)
		FFh	00163h	
SI受信データレジスタ	SIRDR	FFh	00164h	8または16 (注1)
		FFh	00165h	
SI制御レジスタ1	SICR1	00h	00166h	8
SI制御レジスタ2	SICR2	01111101b	00167h	8
SIモードレジスタ1	SIMR1	(注6)	00168h	8
SI割り込み許可レジスタ	SIER	00h	00169h	8
SIステータスレジスタ	SISR	00h	0016Ah	8
SIモードレジスタ2	SIMR2	00h	0016Bh	8

注1. I<sup>2</sup>Cバス機能の場合は8ビット単位で、SSU機能の場合は16ビット単位でアクセスしてください。

注2. スタンバイモード時、SICR2レジスタのSCLO、SDAOビット、SIMR1レジスタのBC0～BC3ビットと内部レジスタの値が初期化されます。それ以外のSICR2レジスタのビット、SIMR1レジスタのビットおよびレジスタは初期化されません。

注3. スタンバイモード後に書き込みアクセスする場合は、NOP命令を最低1つ入れてください。

注4. I<sup>2</sup>Cバス、SSU機能動作中は、スタンバイ状態にしないでください。

注5. スタンバイ状態では全レジスタの書き込みはできませんが、読み出しはできます。

注6. SSU機能の場合は00010000b、I<sup>2</sup>Cバス機能の場合は00011000bです。

## 20.2.1 IIC制御レジスタ(IICCR)

アドレス	00160h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	—	—	—	IICSEL
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り換えビット(注1)	0 : SSU機能 1 : I <sup>2</sup> Cバス機能	R/W
b1	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット(注2、3)	0 : SICR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転送レート 1 : SICR1レジスタのCKS0 ~ CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット(注2、3)	0 : SICR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転送レート 1 : SICR1レジスタのCKS0 ~ CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット(注3、4)	b7 b6 00 : 3 × f1サイクルのデジタル遅延 01 : 11 × f1サイクルのデジタル遅延 10 : 19 × f1サイクルのデジタル遅延 11 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能とSSU機能の切り換え前には全レジスタの初期化を行ってください。

注2. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットの両方に1を設定しないでください。また、SSU機能時は両方とも0を設定してください。

注3. 初期設定段階で設定し、動作中に書き換えしないでください。

注4. 転送レートの半分以上のデジタル遅延を設定しないでください。



## 20.2.2 SSビットカウンタレジスタ(SSBR)

アドレス	00161h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット (注1、2)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
		1 1 0 0 : 12ビット		
		1 1 0 1 : 13ビット		
		1 1 1 0 : 14ビット		
		1 1 1 1 : 15ビット		
		上記以外 : 設定しないでください		
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

注1. SSU機能の動作中は、BS0～BS3ビットに書かないでください。SIEレジスタのRE\_STIEビットが0(データ受信禁止)、TE\_NAKIEビットが0(データ送信禁止)のとき、BS0～BS3ビットに書いてください。

注2. 定められた値以外の設定は無効です。

SSBRレジスタの設定は、SSU機能のとき有効です。I<sup>2</sup>Cバス機能では、SSBRレジスタの設定は無効です。

## BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

## 20.2.3 SI送信データレジスタ(SITDR)

アドレス 00162h、00163h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	送信データを保管。(注1) SISDRレジスタの空きが検出されると、保管されている送信データがSISDRレジスタへ転送されて、送信が開始する。 SISDRレジスタからデータを送信中に、SITDRレジスタに次の送信データを書いておくと、連続して送信できる。 SIMR1レジスタのMLSビットが1(LSBファーストでデータ転送)の場合、SITDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. I<sup>2</sup>Cバス機能の場合は8ビット単位でアクセスしてください。SSU機能の場合は16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。16ビット単位でアクセスすると、8ビット単位で2回アクセスされます。SITDRレジスタへアクセスするとTDREが無効になり、送信動作が開始します。

## 20.2.4 SI受信データレジスタ(SIRDR)

アドレス 00164h、00165h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	受信データを保管。(注1、2、3) SISDRレジスタが1バイトのデータを受信すると、SIRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSISDRレジスタとSIRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SISRレジスタのORERビットが1(オーバランエラー発生)になったとき、SIRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データ(SISDRレジスタのデータ)は破棄されます。

注2. I<sup>2</sup>Cバス機能の場合は8ビット単位でアクセスしてください。SSU機能の場合は16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。16ビット単位でアクセスすると、8ビット単位で2回アクセスされます。SIRDRへアクセスするとRDRFビットが0(SIRDRレジスタにデータなし)になります。

注3. RDRFビットが1(SIRDRレジスタにデータあり)のときにSIRDRレジスタを読んでください。

## 20.2.5 SI制御レジスタ1 (SICR1)

SICR1レジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

## 20.2.5.1 SSU機能の場合

アドレス	00166h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/256	R/W
b2	CKS2		0 0 0 1 : f1/128	R/W
b3	CKS3		0 0 1 0 : f1/64	R/W
			0 0 1 1 : f1/32	
		0 1 0 0 : f1/16		
		0 1 0 1 : f1/8		
		0 1 1 0 : f1/4		
			上記以外 : 設定しないでください	
b4	TRS	予約ビット	SSU機能の場合は、0にしてください	R/W
b5	MST	マスタ/スレーブ選択ビット (注2、3、4)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット(注5)	0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	予約ビット	SSU機能の場合は、0にしてください	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「20.3.1.1 転送クロック」を参照してください。

注2. クロック同期式シリアルモードのマスタ受信モードでオーバーランエラーが発生した場合、MSTビットが0になり、スレーブ受信モードになります。

注3. MSTビットが1(マスタモード)のとき、SSCK端子は転送クロック出力端子になります。SISRレジスタのCE\_ADZビットが1(コンフリクトエラー発生)になると、MSTビットは0(スレーブモード)になります。

注4. マルチマスタで使用する場合、MSTビットの設定にはMOV命令を使用してください。

注5. MSTビットが0(スレーブモード)のとき、RCVDビットは無効です。

20.2.5.2 I<sup>2</sup>Cバス機能の場合

アドレス	00166h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	R/W
b1	CKS1		0 0 0 1 : f1/40	R/W
b2	CKS2		0 0 1 0 : f1/48	R/W
b3	CKS3		0 0 1 1 : f1/64	R/W
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
			0 1 1 1 : f1/128	
		1 0 0 0 : f1/56		
		1 0 0 1 : f1/80		
		1 0 1 0 : f1/96		
		1 0 1 1 : f1/128		
		1 1 0 0 : f1/160		
		1 1 0 1 : f1/200		
		1 1 1 0 : f1/224		
		1 1 1 1 : f1/256		
b4	TRS	送信/受信選択ビット (注2、3、4、6)	0 : 受信モード 1 : 送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット (注4、5、6)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット(注7)	TRS = 0の状態ではSIRDRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット (注8)	0 : SCL、SDAの出力禁止 (SCL、SDAへの入力は可能) 1 : I <sup>2</sup> Cバスインタフェース機能の転送可能状態	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「表 20.9 および表 20.10 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この機能の詳細は「20.4.2.5 スレーブ送信動作 ・ スレーブ送信動作時のデータセットアップ時間確保」を参照してください。

注2. TRSビットは、転送フレーム間で書き換えてください。

注3. スレーブ受信モードで、開始条件後の7ビットがSIMR2レジスタに設定したスレーブアドレスと一致し、8ビット目が1の場合、TRSビットが1になります。

注4. I<sup>2</sup>Cバスインタフェースモードのマスタモードでバス競合負けすると、MSTおよびTRSビットが0になり、スレーブ受信モードになります。

注5. クロック同期式シリアルモードのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが0になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. MSTビットが0(スレーブモード)のとき、RCVDビットを0にしてください。

注8. I<sup>2</sup>Cバスインタフェース動作中に、SICR1レジスタのICEビットに0、またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

## 20.2.6 SI制御レジスタ2 (SICR2)

SICR2レジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

## 20.2.6.1 SSU機能の場合

アドレス	00167h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット(注4)	動作中通信不具合等によりハングアップしたとき、1を書くと、制御部とシフトレジスタが初期化される。内部レジスタ(注1)の値は保持される。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	予約ビット	読んだ場合、その値は1	R
b4	SDAOP	SDAOライトプロテクトビット(注2)	0を書くと、SDAOビットによって出力レベルが変更できる。 1を書いても、SDAOビットの変更は無効。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット	読んだ場合、シリアルデータ出力をモニタします 0：シリアルデータ出力がL 1：シリアルデータ出力がH 書いた場合(注2、3) 0：データ出力をLにする 1：データ出力をHにする	R/W
b6	SCP	予約ビット	書き込んだ値は無効です	R/W
b7	BBSY			

注1. SSBR、SITDR、SIRDR、SIMR1、SIMR2、SICR1、SICR2、SIER、SISRの各レジスタ

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から転送開始までのデータ出力に反映されず、データ転送中はSDAOビットに書かないでください。

4線式バス通信モード時、SDAOビットを書き換えしないでください。

注3. SDAOビットに書くときは、MOV命令を使用してSDAOPビットに0、SDAOビットに0または1を同時に書いてください。

注4. SIRSTビットに1を書いた後、SIERレジスタのRE\_STIE、TE\_NAKIEビットに0を書いてください。その後、RE\_STIE、TE\_NAKIEビットに1を書くと、再度送受信できます。

20.2.6.2 I<sup>2</sup>Cバス機能の場合

アドレス	00167h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。	書く場合、1を書いてください。読んだ場合、その値は1。	—
b1	SIRST	I <sup>2</sup> Cバス制御部リセットビット (注6、7、8)	動作中に、通信不具合等によりハングアップしたとき、1を書くと、ポートの設定、レジスタ(注1)の初期化をせずに、制御部をリセットします。	R/W
b2	—	何も配置されていない。	書く場合、1を書いてください。読んだ場合、その値は1。	—
b3	SCLO	SCLモニタフラグ	0：内部SCL信号はL 1：内部SCL信号はH	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に0を書いてください。 (注2) 読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット	読んだ場合 0：SDA端子出力がL 1：SDA端子出力がH 書いた場合(注2、3) 0：SDA端子出力をLに変更する 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、H出力)	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に0を書いてください。(注4) 読んだ場合、その値は1。1書き込みは無効になります。	R/W
b7	BBSY	バスビジービット (注5、8)	読んだ場合 0：バスが開放状態(SCL信号がHの状態ではSDA信号がLからHに変化) 1：バスが占有状態(SCL信号がHの状態ではSDA信号がHからLに変化) 書いた場合(注4) 0：停止条件を発行 1：開始条件を発行	R/W

注1. シフトレジスタ、SCLO、SDAOビット、SIMR1レジスタBC0～BC3ビットを除くすべてのSFR。

注2. SDAOビットを書き換える場合は、同時にSDAOPビットへMOV命令を使用して0を書いてください。

注3. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から送信開始までのデータ出力に反映されます。SDAOビットは転送動作中に書かないでください。

注4. I<sup>2</sup>Cバス機能のマスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットへMOV命令を使用して0を書いてください。開始条件の再発行時も、同様に実施してください。

注5. クロック同期シリアルモード時は無効です。

注6. I<sup>2</sup>Cバスインタフェースモード時に制御部リセットを実施する場合は「20.4.7 I<sup>2</sup>Cバスインタフェースモード時の制御部リセット手順」に従ってください。クロック同期式シリアルモード時は、SIRSTビットに1を書いた後、SIERレジスタのRE\_STIE、TE\_NAKIEビットを再設定してください。

注7. I<sup>2</sup>Cバスインタフェースモード時にSIRSTビットを1にしたとき、SISRレジスタのSTOPビットが1(フレームの転送の完了後に停止条件を検出)になることがあります。

注8. I<sup>2</sup>Cバスインタフェース動作中に、SICR1レジスタのICEビットに0、またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

SDAOビットへの0書き込みにより開始条件を発行したとしても、転送可能状態には移行しません。BBSYビットへの1書き込みによる開始条件の発行のみが有効となります。

SDAOビットへの1書き込みによる停止条件の発行は、SCLがLに固定されているため不可能です。BBSYビットへの0書き込みによる停止条件の発行を行ってください。

## 20.2.7 SIモードレジスタ1 (SIMR1)

SIMR1レジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

## 20.2.7.1 SSU機能の場合

アドレス	00168h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ0～3	b3 b2 b1 b0 0000: 残り16ビット 0001: 残り1ビット 0010: 残り2ビット 0011: 残り3ビット 0100: 残り4ビット 0101: 残り5ビット 0110: 残り6ビット 0111: 残り7ビット 1000: 残り8ビット 1001: 残り9ビット 1010: 残り10ビット 1011: 残り11ビット 1100: 残り12ビット 1101: 残り13ビット 1110: 残り14ビット 1111: 残り15ビット	R
b1	BC1			R
b2	BC2			R
b3	BC3			R
				—
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	
b5	CPHS	転送クロック位相選択ビット(注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS_WAIT	クロック選択/ウェイト挿入ビット (注1)	0: クロック停止時、H 1: クロック停止時、L	R/W
b7	MLS	MSBファースト/LSBファースト選択 ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	R/W

注1. CPHS、CPOS\_WAIT ビットの設定については「20.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

SIMR2レジスタのMSビットが0(クロック同期式通信モード)のとき、CPHSビットを0、CPOS\_WAITビットを0にしてください。

## BC0～BC3ビット(ビットカウンタ0～3)

送受信中のシフトレジスタの状態が読み出せません。



20.2.7.2 I<sup>2</sup>Cバス機能の場合

アドレス	00168h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ0~2	I <sup>2</sup> Cバスインタフェースモード(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルモード(読み出し時は残りの転送ビット数、書き込み時は常に000bを書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BC3	ビットカウンタ3	BC0~BC2ビットを書き換えるとき、同時に0を書いてください。(注2、4) 読んだ場合、その値は1。	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	CPHS	予約ビット	0にしてください	R/W
b6	CPOS_WAIT	ウェイト挿入ビット (注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分Lを延長)	R/W
b7	MLS	MSBファースト/LSB ファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

- 注1. 転送フレーム間で書き換えてください。000b以外の値を書くときは、SCL信号がLのときに書いてください。
- 注2. BC0~BC2ビットに書く場合は、同時にBC3ビットに0をMOV命令を使用して書いてください。1を書いたとき、BC0~BC2ビットの書き込み値は無効になります。
- 注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に000bになります。開始条件検出時、BC2~BC0ビットは自動的に000bになります。
- 注4. クロック同期式シリアルモード時は書き換えしないでください。
- 注5. I<sup>2</sup>Cバスインタフェースモードのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスインタフェースモードのスレーブモード時およびクロック同期シリアルモード時は無効です。
- 注6. I<sup>2</sup>Cバスインタフェースモード時は、0にしてください。



## 20.2.8 SI割り込み許可レジスタ(SIER)

SIERレジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

### 20.2.8.1 SSU機能の場合

アドレス	00169h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	ACKBR	予約ビット	読んだ場合、その値は0。	R
b2	ACKE	予約ビット	0にしてください	R/W
b3	RE_STIE	受信許可ビット(注1)	0: 受信禁止 1: 受信許可	R/W
b4	TE_NAKIE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー 割り込み要求禁止 1: 受信データフルおよびオーバーランエラー 割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	R/W

注1. 4線式バス(多方向)通信モード時は、TE\_NAKIEビットおよびRE\_STIEビットをともに1にしないでください。  
1を設定した場合、RE\_STIEビットは0になります。

20.2.8.2 I<sup>2</sup>Cバス機能の場合

アドレス	00169h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	送信アクリッジ選択ビット	0: 受信モード時、アクリッジのタイミングで0を送出 1: 受信モード時、アクリッジのタイミングで1を送出	R/W
b1	ACKBR	受信アクリッジビット	0: 送信モード時、受信デバイスから受け取ったアクリッジビットが0 1: 送信モード時、受信デバイスから受け取ったアクリッジビットが1	R
b2	ACKE	アクリッジビット判定選択ビット	0: 受信アクリッジの内容を無視して連続的に転送 1: 受信アクリッジが1の場合、転送中止	R/W
b3	RE_STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注1)	R/W
b4	TE_NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注2)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注3)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンブティ割り込み要求禁止 1: 送信データエンブティ割り込み要求許可	R/W

注1. SISレジスタのSTOPビットが0のとき、RE\_STIEビットを1(停止条件検出割り込み要求許可)にしてください。

注2. TE\_NAKIEビットのオーバーランエラー割り込み要求許可は、I<sup>2</sup>Cバスインタフェースモード時に無効です。

注3. オーバーランエラー割り込み要求はクロック同期式シリアルモード時です。

## 20.2.9 SIステータスレジスタ(SISR)

SISRレジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

### 20.2.9.1 SSU機能の場合

アドレス	0016Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	AAS	予約ビット	0にしてください	R/W
b2	ORER_AL	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	STOP	予約ビット	0にしてください	R/W
b4	NACKF			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SIRDRレジスタにデータなし 1: SIRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが0 1: 送信データの最後尾ビットの送信時、TDREビットが1	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SITDRレジスタからSISDRレジスタにデータ転送されていない 1: SITDRレジスタからSISDRレジスタにデータ転送された	R/W

- 注1. CE\_ADZ、ORER\_AL、RDRF、TEND、TDREビットへの1書き込みは無効です。これらのビットを0にするには、1を読んだ後、0を書いてください。
- 注2. SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力がLであれば、CE\_ADZビットが1になります。「20.3.3.4 SCS端子制御とアービトレーション」を参照してください。  
SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが0(スレーブモード)で転送途中でSCS端子入力がLからHに変化したとき、CE\_ADZビットが1になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが1(SIRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORER\_ALビットが1になります。  
ORER\_ALビットが1(オーバランエラー発生)になった後、1の状態では受信はできません。また、MSTビットが1(マスタモード)の状態では、送信もできません。
- 注4. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I<sup>2</sup>Cバスインタフェースモード以外のとき、0書き込みによるクリアは行わないでください。
- 注5. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。
- 注6. TDREビットはSSU機能の場合、SIERレジスタのTE\_NAKIEビットを1(送信許可)にしたとき、1になります。

SISRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

20.2.9.2 I<sup>2</sup>Cバス機能の場合

アドレス	0016Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	ゼネラルコールアドレス認識フラグ (注1、2)	ゼネラルコールアドレス検出したとき、1になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで、開始条件直後の第1フレームがSIMR2レジスタのSVA0～SVA6と一致した場合、1になります (スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	ORER_AL	アービトレーションロストフラグ/ オーバランエラーフラグ(注1)	I <sup>2</sup> Cバスインタフェースモードの場合、マスタモード時にバス競合負けしたことを示します。次のときに1になります。(注3) <ul style="list-style-type: none"> <li>マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき</li> <li>マスタ送信/受信モード時、開始条件検出時にSDA端子がHのとき</li> </ul> クロック同期式シリアルモードの場合、オーバランエラーが発生したことを示します。次のときに1になります。 <ul style="list-style-type: none"> <li>RDRFビットが1の状態、次のデータの最終ビットを受信したとき</li> </ul>	R/W
b3	STOP	停止条件検出フラグ (注1、7)	フレームの転送の完了後に停止条件を検出したとき、1になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、1になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	SISDRレジスタからSIRDRレジスタに受信データが転送されたとき、1になります	R/W
b6	TEND	送信終了フラグ (注1、6)	I <sup>2</sup> Cバスインタフェースモードの場合、TDREビットが1の状態、SCL信号の9クロック目が立ち上がったとき、1になります。クロック同期モードの場合、送信フレームの最終ビットを送出したとき、1になります。	R/W
b7	TDRE	送信データ空フラグ (注1、6)	次のときに1になります <ul style="list-style-type: none"> <li>SITDRレジスタからSISDRレジスタにデータ転送されて、SITDRレジスタが空になったとき</li> <li>SICR1レジスタのTRSビットを1(送信モード)にしたとき</li> <li>開始条件(再送含む)を発行したとき</li> <li>スレーブ受信モードからスレーブ送信モードに変わったとき</li> </ul>	R/W

注1. 各ビットは1を読んだ後、0を書くと0になります。

注2. I<sup>2</sup>Cバスインタフェースモードのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ORER\_ALビットを1にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはSIRDRレジスタのACKFビットが1(受信アクノリッジが1の場合、転送中止)のとき有効です。

注5. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。

注6. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。

注7. I<sup>2</sup>Cバスインタフェース動作中に、SICR1レジスタのICEビットに0、またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

SISRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 20.2.10 SIモードレジスタ2 (SIMR2)

SIMR2レジスタは、SSU機能とI<sup>2</sup>Cバス機能とでビットの機能が異なります。

## 20.2.10.1 SSU機能の場合

アドレス	0016Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット(注6)	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注2) 1: Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注3)	b5 b4 0 0: ポートとして機能 0 1: SCS入力端子として機能 1 0: SCS出力端子として機能(注4) 1 1: SCS出力端子として機能(注4)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、5)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組合せは「20.3.1.3 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SOOSビットが0 (CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを0 (入力モード)にしてください。

注3. MSビットが0 (クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注4. 転送開始前は、SCS入力端子として機能します。

注5. MSビットが0 (クロック同期式通信モード)のとき、BIDEビットは無効です。

注6. 4線式バス通信モードを使用する場合、SCS端子をNチャンネルオープンドレインで使用してください。

20.2.10.2 I<sup>2</sup>Cバス機能の場合

アドレス	0016Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット	0 : I <sup>2</sup> Cバスインタフェースモード 1 : クロック同期式シリアルモード	R/W
b1	SVA0	スレーブアドレス(注1)	I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I <sup>2</sup> Cバスインタフェースモードのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0 ~ SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

注1. スレーブアドレスとして1111XXXbおよび0000XXXbは設定しないでください。

## 20.3 シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明

### 20.3.1 クロック同期式通信モード、4線式バス通信モードに関わる共通事項

#### 20.3.1.1 転送クロック

転送クロックを7種類の内部クロック ( $f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$ )と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合は、まずSIMR2レジスタのSCKSビットを1にして、SSCK端子をシリアルクロック端子として選択してください。

SICR1レジスタのMSTビットが1(マスタモード)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SICR1レジスタのCKS0 ~ CKS2で選択された転送レートのコックが、SSCK端子から出力されます。

SICR1レジスタのMSTビットが0(スレーブモード)のときは外部クロックが選択され、SSCK端子は入力になります。

#### 20.3.1.2 転送クロックの極性、位相とデータの関係

SIMR2レジスタのMSビットとSIMR1レジスタのCPHS、CPOS\_WAITビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図20.4に転送クロックの極性、位相および転送データの関係を示します。

また、SIMR1レジスタのMLSビットの設定により、MSBファーストで転送するか、LSBファーストで転送するかを選択できます。MLSビットが1のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが0のときは、MSBから始まり最後にLSBの順で転送されます。

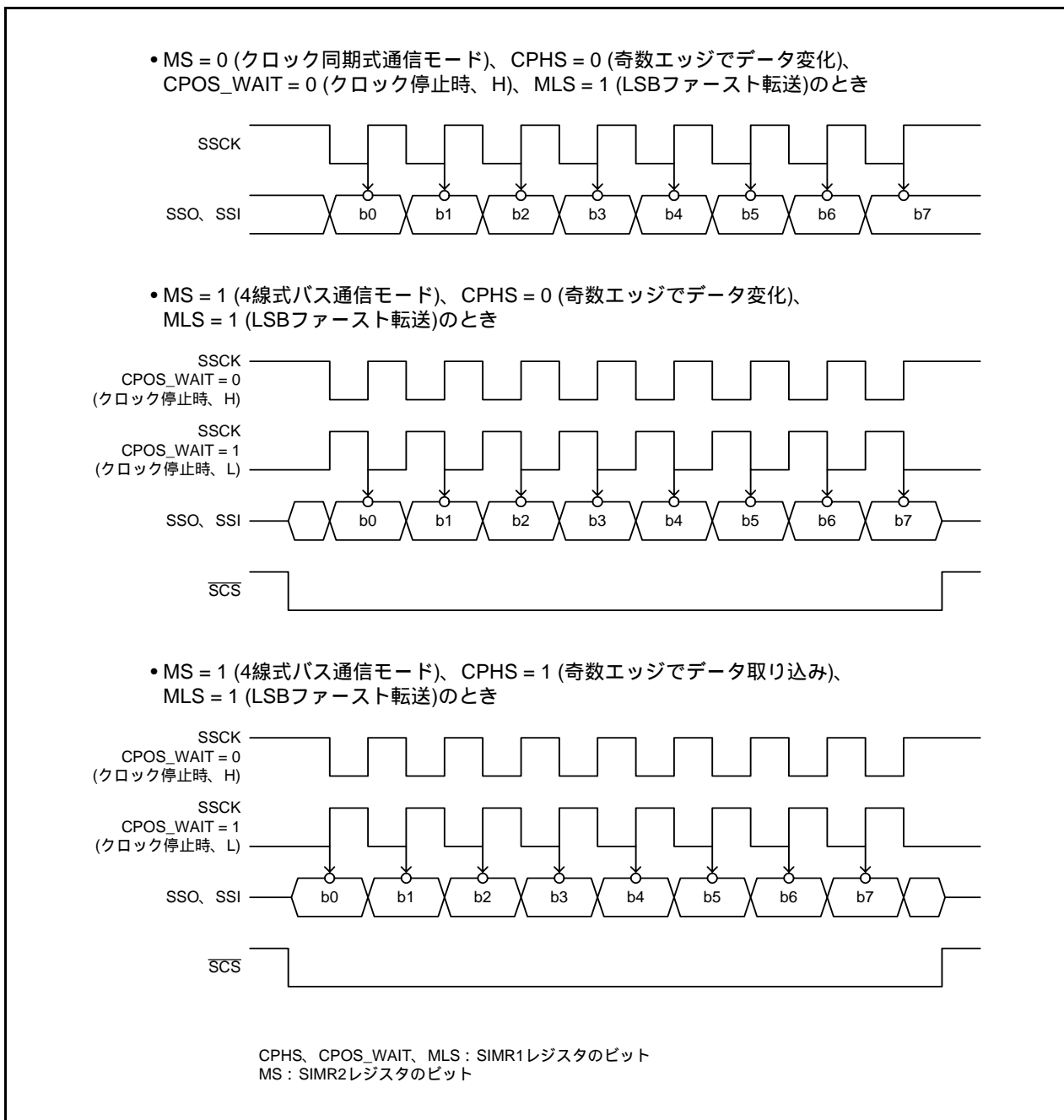


図20.4 転送クロックの極性、位相および転送データの関係



## 20.3.1.3 データ入出力端子とSSシフトレジスタの関係

SICR1レジスタのMSTビットとSIMR2レジスタのMSビットとの組み合わせにより、データ入出力端子とSISDRレジスタの接続関係が変わります。また、SIMR2レジスタのBIDEビットによっても、接続関係が変わります。図20.5にデータ入出力端子とSISDRレジスタの接続関係を示します。

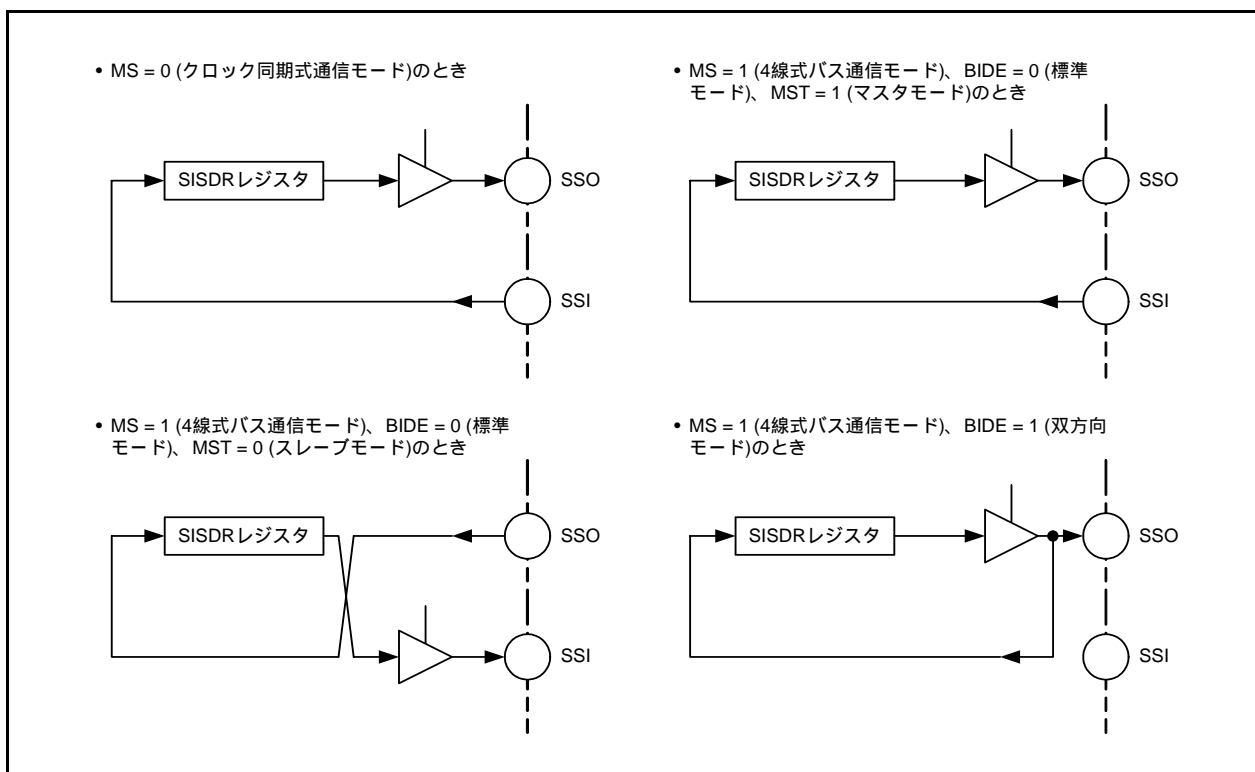


図20.5 データ入出力端子とSISDRレジスタの接続関係

## 20.3.1.4 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンpty、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求は、シンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表20.7にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表20.7 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンpty	TXI	TIE = 1 かつ TDRE = 1
送信終了	TEI	TEIE = 1 かつ TEND = 1
受信データフル	RXI	RIE = 1 かつ RDRF = 1
オーバランエラー	OEI	RIE = 1 かつ ORER_AL = 1
コンフリクトエラー	CEI	CEIE_ACKBT = 1 かつ CE_ADZ = 1 (注1)

CEIE\_ACKBT、RIE、TEIE、TIE : SIERレジスタのビット

CE\_ADZ、ER\_AL、RDRF、TEND、TDRE : SISDRレジスタのビット

注1. クロック同期式通信モードでは発生しません。

表20.7の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を0にしてください。

ただし、SISRレジスタのTDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、SISRレジスタのRDRFビットはSIRDRレジスタを読むことで、自動的に0になります。特にTDREビットはSITDRレジスタに送信データを書いたとき、同時に再度TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、さらにSITDRレジスタに送信データを書き込み以外の方法(ソフトウェアによるレジスタアクセス)で、TDREビットを0(SITDRレジスタからSISDRレジスタにデータ転送されていない)にすると、すでに転送済みのデータが、余分に1バイト送信する場合があります。

### 20.3.1.5 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは、各通信モードでSICR1レジスタのMSTビットと、SISRレジスタのRE\_STIE、TE\_NAKIEビットの設定により、入出力端子の機能が変わります。表20.8に通信モードと入出力端子の関係を示します。

表20.8 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	MS	BIDE	MST	TE_NAKIE	RE_STIE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	—	入力
				1	0	—	出力	入力
				1	1	入力	出力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	—	入力	入力
				1	0	出力	—	入力
				1	1	出力	入力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス(双方向)通信モード(注1)	1	1	0	0	1	—	入力	入力
				1	0	—	出力	入力
			1	0	1	—	入力	出力
				1	0	—	出力	出力

— : プログラマブル入出力ポートとして使用

MS、BIDE : SIMR2レジスタのビット

MST : SICR1レジスタのビット

TE\_NAKIE、RE\_STIE : SISRレジスタのビット

注1. 4線式バス(双方向)通信モード時は、TE\_NAKIEおよびRE\_STIEビットをとともに1にしないでください。

## 20.3.2 クロック同期式通信モード

## 20.3.2.1 クロック同期式通信モードの初期化

図20.6にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SIERレジスタのTE\_NAKIEビットを0(送信禁止)、RE\_STIEビットを0(受信禁止)にして初期化してください。

なお、通信モードの変更(SIMR2レジスタのモードセレクトMSビットでクロック同期式通信モードを選択)、通信フォーマットの変更などの場合には、TE\_NAKIEビットを0、RE\_STIEビットを0にしてから変更してください。

RE\_STIEビットを0にしても、RDRF、ORER\_ALの各フラグ、およびSIRDRレジスタの内容は保持されます。

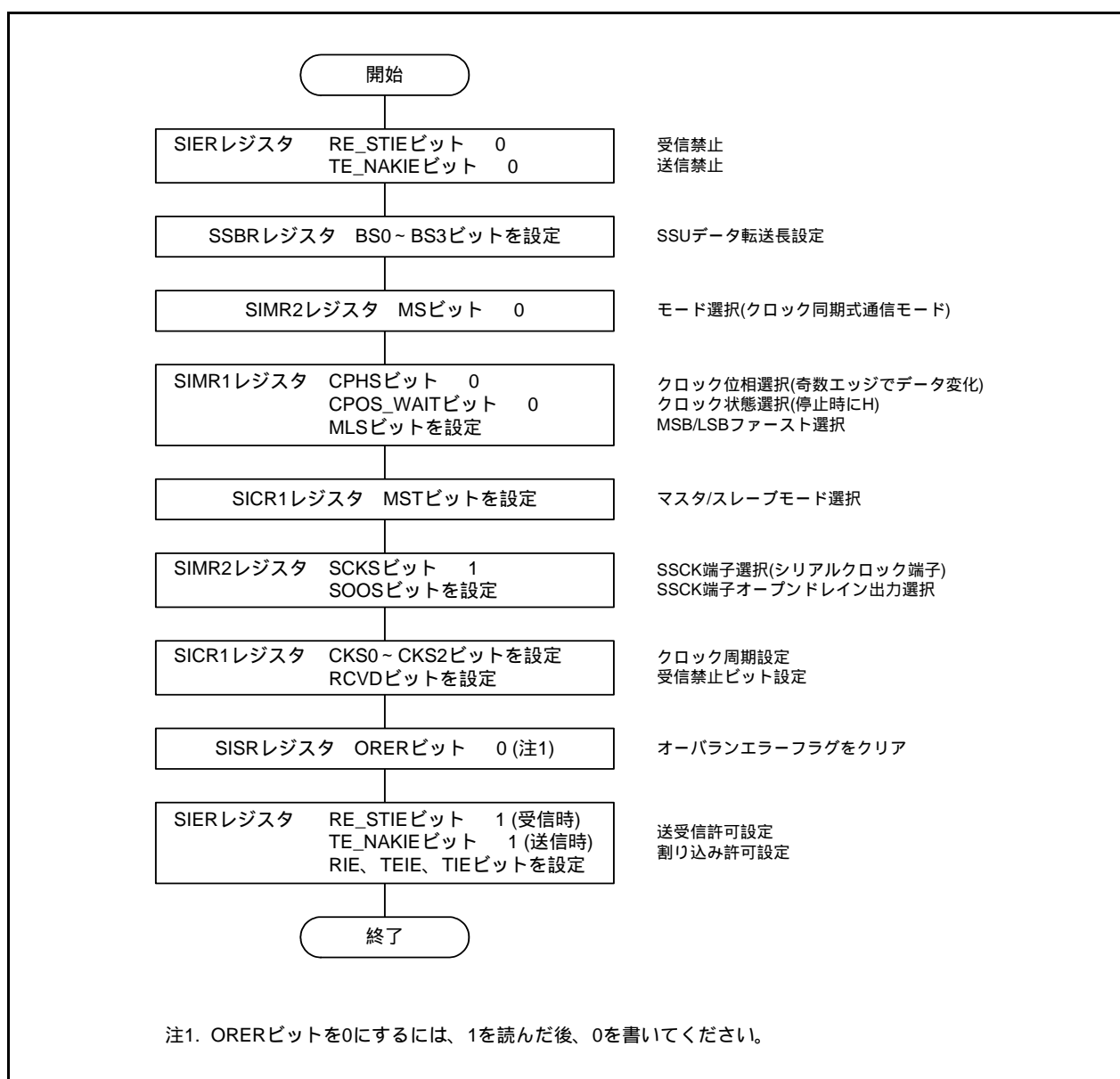


図20.6 クロック同期式通信モードの初期化

## 20.3.2.2 データ送信

図20.7にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定できます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TE\_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SISRレジスタのTIEビットが1の場合、TXI割り込み要求が発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次のフレームの送信を開始します。TDREビットが1の状態では8ビット目が送出されると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このとき、SISRレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求が発生します。送信終了後、SSCK端子はHに固定されます。

なお、SISRレジスタのORER\_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER\_ALビットが0であることを確認してください。

図20.8にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

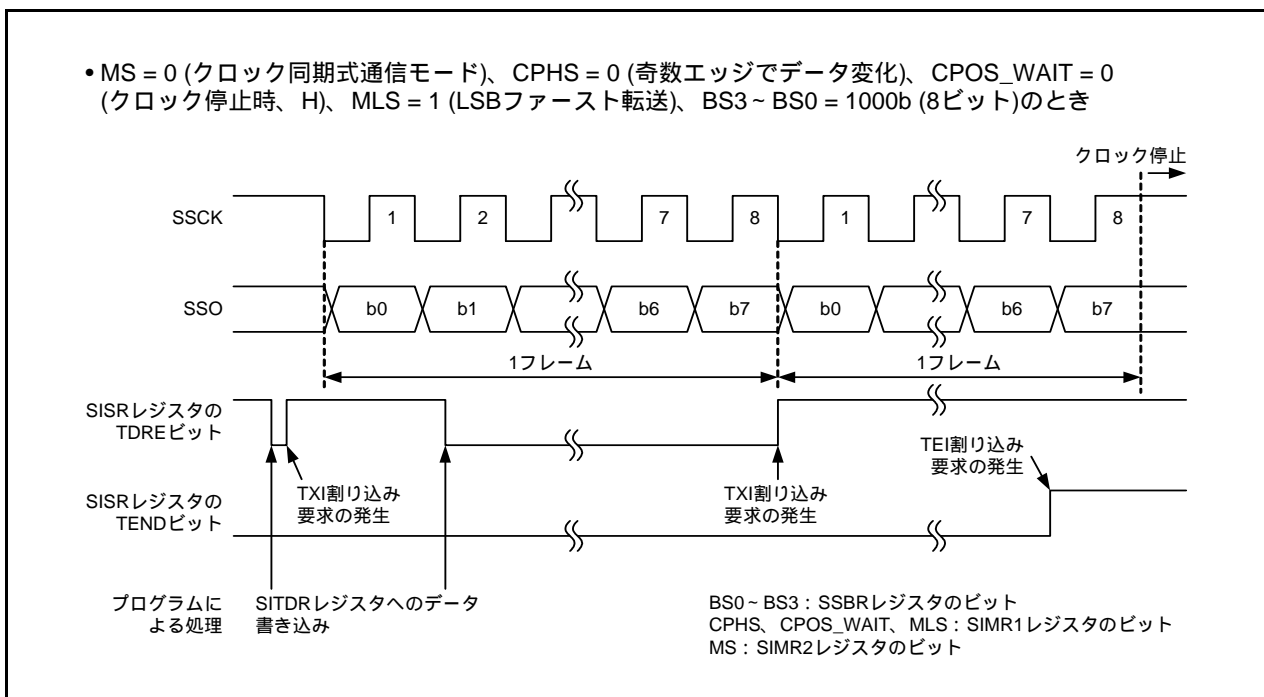


図20.7 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

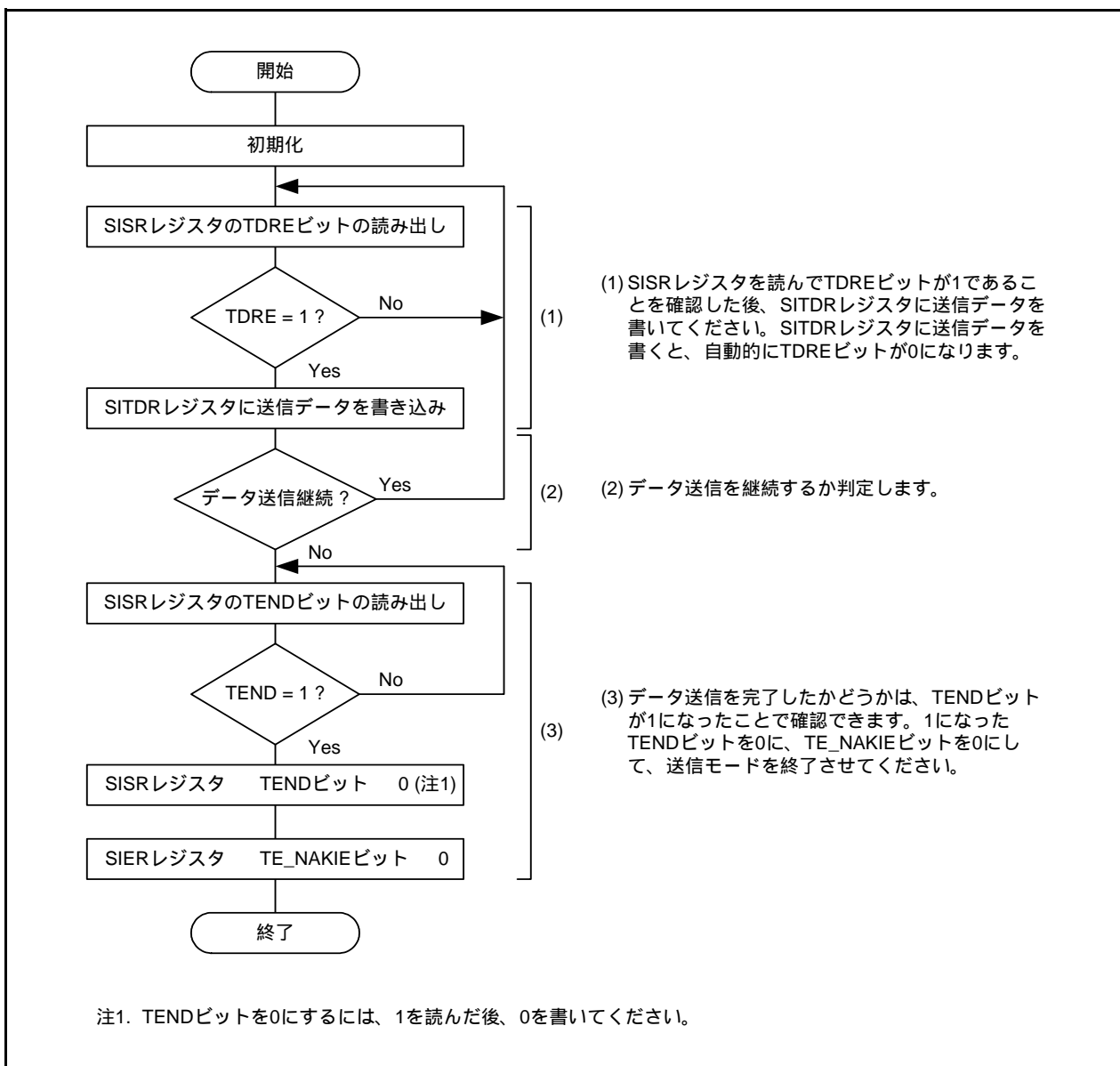


図20.8 データ送信のフローチャート例(クロック同期式通信モード)

## 20.3.2.3 データ受信

図20.9にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定できます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSIRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)になり、SIRDRレジスタに受信データが格納されます。このとき、SISRレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SIRDRレジスタを読むと、自動的にRDRFビットは0(SIRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力した後、停止します。その後、SISRレジスタのRE\_STIEビットを0(受信禁止)、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にしてから、最後に受信したデータをSIRDRレジスタから読んでください。RE\_STIEビットが1(受信許可)の状態ではSIRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態では8クロック目が立ち上がり、SISRレジスタのORER\_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER\_ALビットが1の状態では受信できません。受信再開の前には、ORER\_ALビットが0であることを確認してください。オーバランエラーが発生した場合、エラーが発生したフレームで受信していたデータは破棄されます。

図20.10にデータ受信のフローチャート例(MST = 1)(クロック同期式通信モード)を示します。

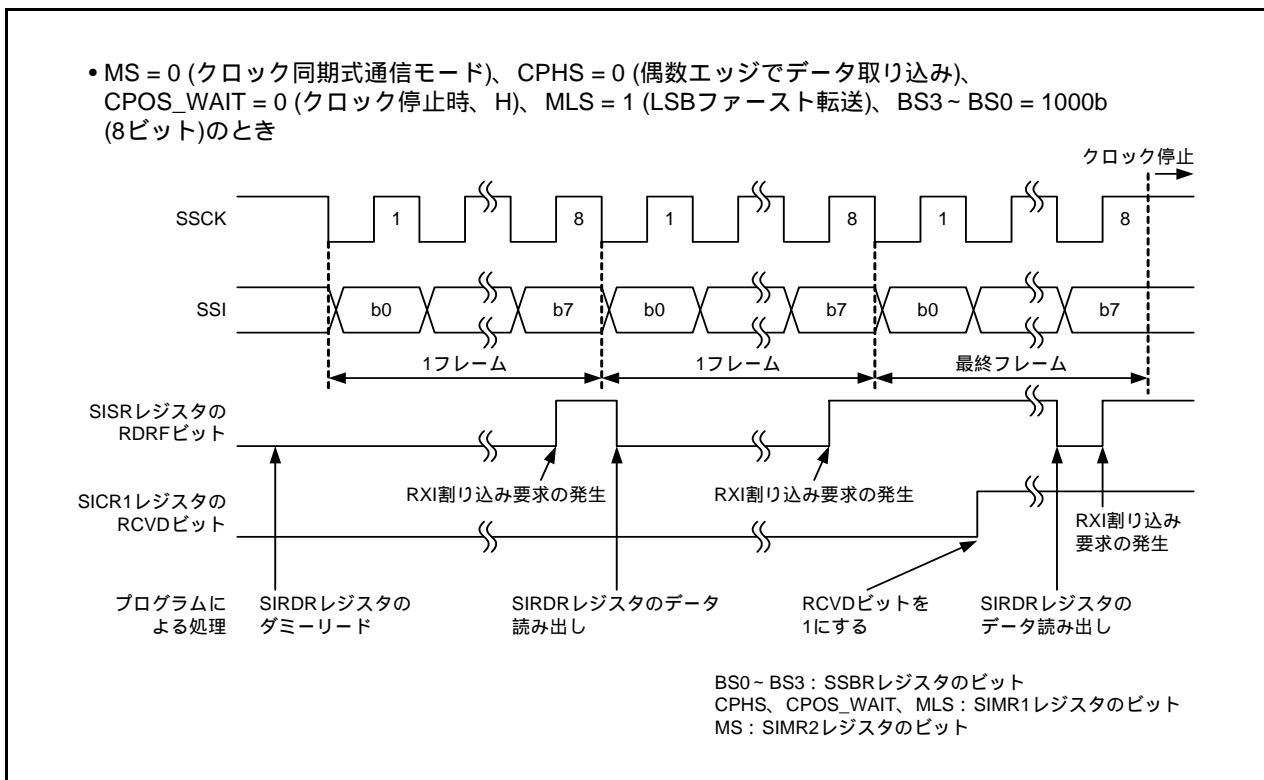


図20.9 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

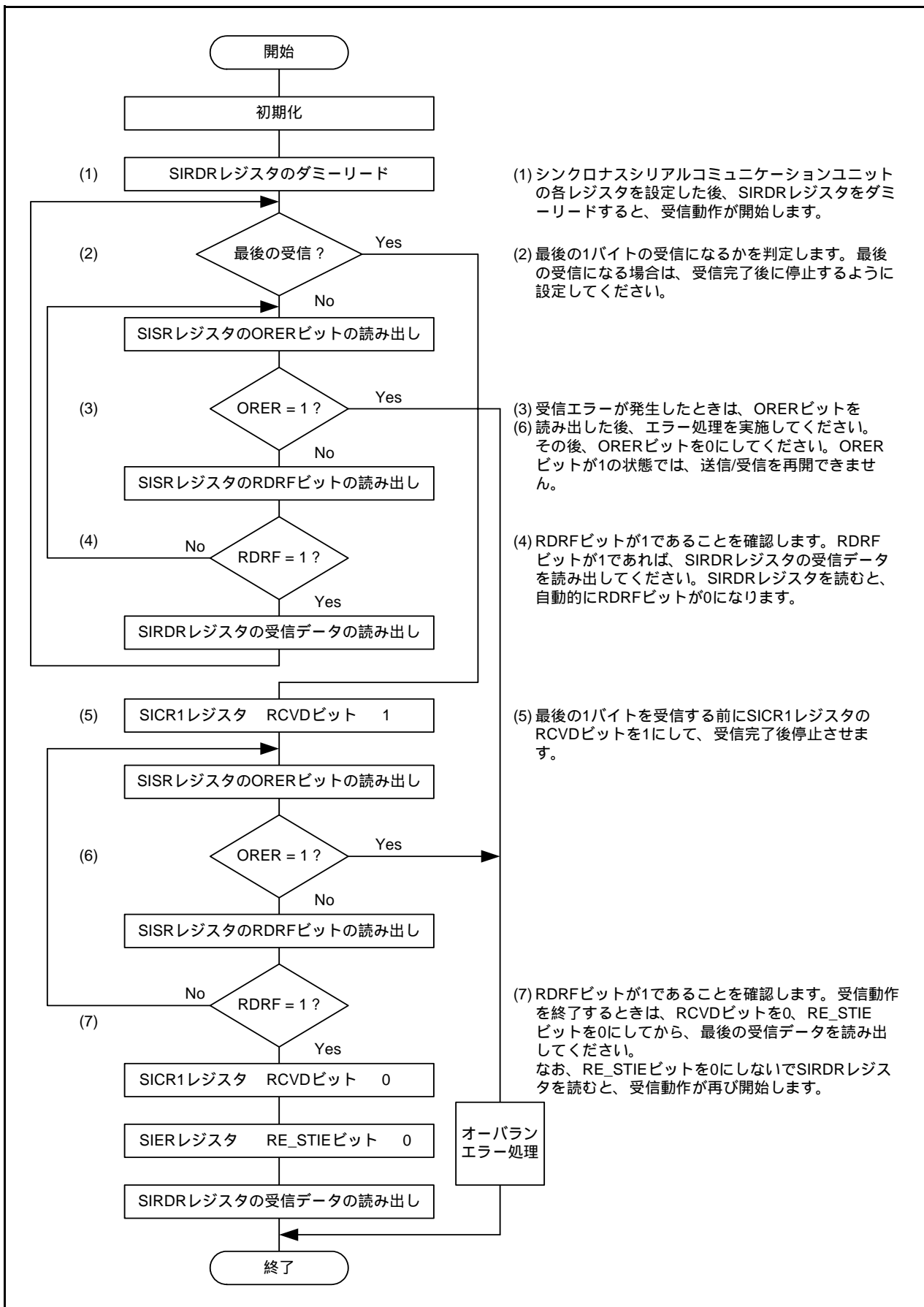


図20.10 データ受信のフローチャート例(MST = 1) (クロック同期式通信モード)



20.3.2.4 データ送受信

図20.11にデータ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。

データ送受信は、前述のデータ送信とデータ受信の複合的な動作になります。

SITDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)が立ち上がった場合、またはORER\_ALビットが1(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE\_NAKIE = 1)あるいは受信モード(RE\_STIE = 1)から、送受信モード(TE\_NAKIE = RE\_STIE = 1)に切り換える場合は、一度TE\_NAKIEビットを0、RE\_STIEビットを0にしてから変更してください。また、TENDビットが0(送信データの最後尾ビットの送信時、TDREビットが0)、RDRFビットが0(SIRDRレジスタにデータなし)、ORER\_ALビットが0(オーバーランエラーなし)であることを確認した後、TE\_NAKIEおよびRE\_STIEビットを1にしてください。

図20.12にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE\_NAKIE = RE\_STIE = 1)から送受信モードを解除する場合、SIRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずRE\_STIEビットを0にして、その後、TE\_NAKIEビットを0にする
- TE\_NAKIEビットとRE\_STIEビットを同時に0にする

その後、受信モード(TE\_NAKIE = 0、RE\_STIE = 1)にする場合は、SRESビットに1を書いた後、0にしてSSU制御部およびSISDRレジスタを初期化してから、RE\_STIEビットを1にしてください。

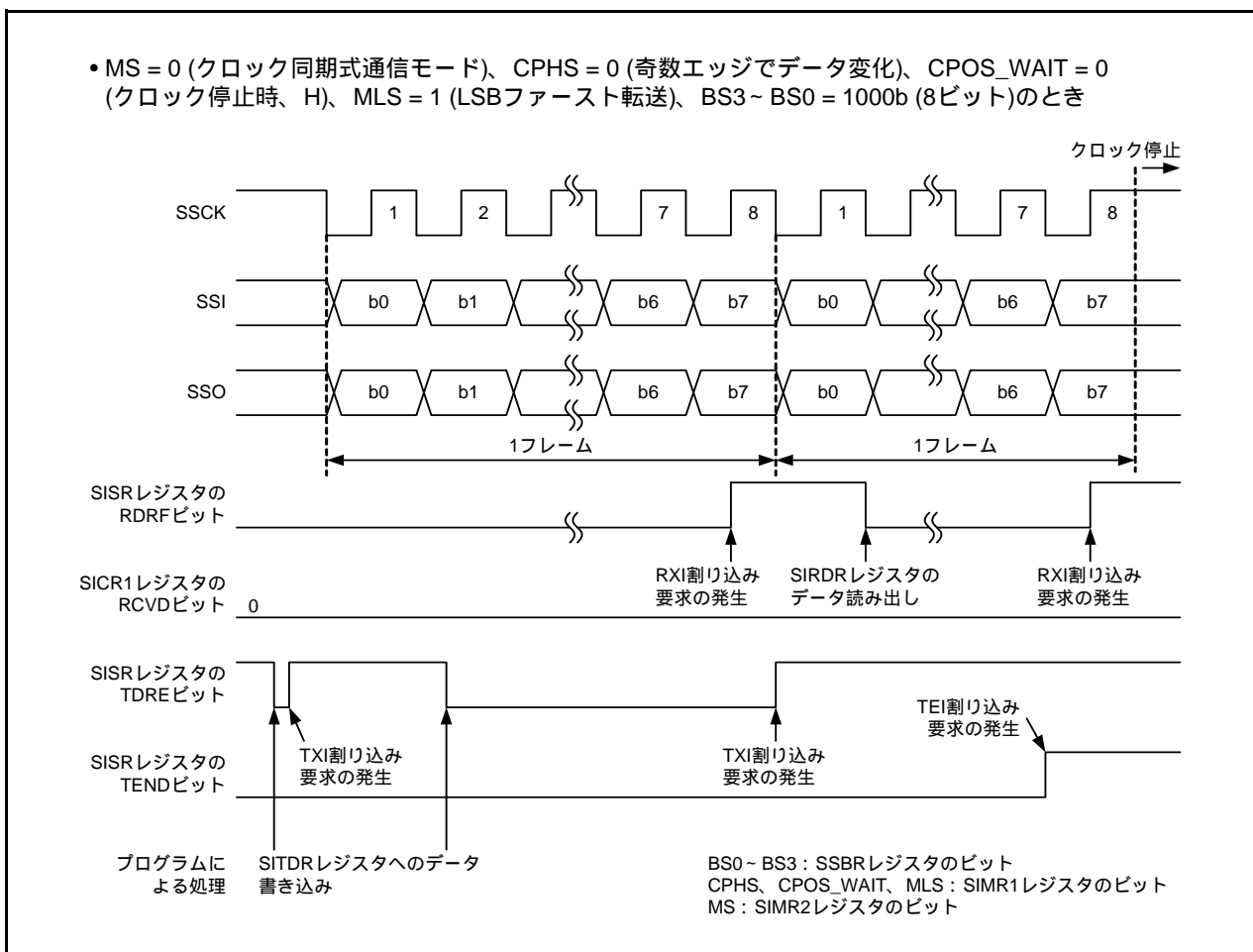


図20.11 データ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



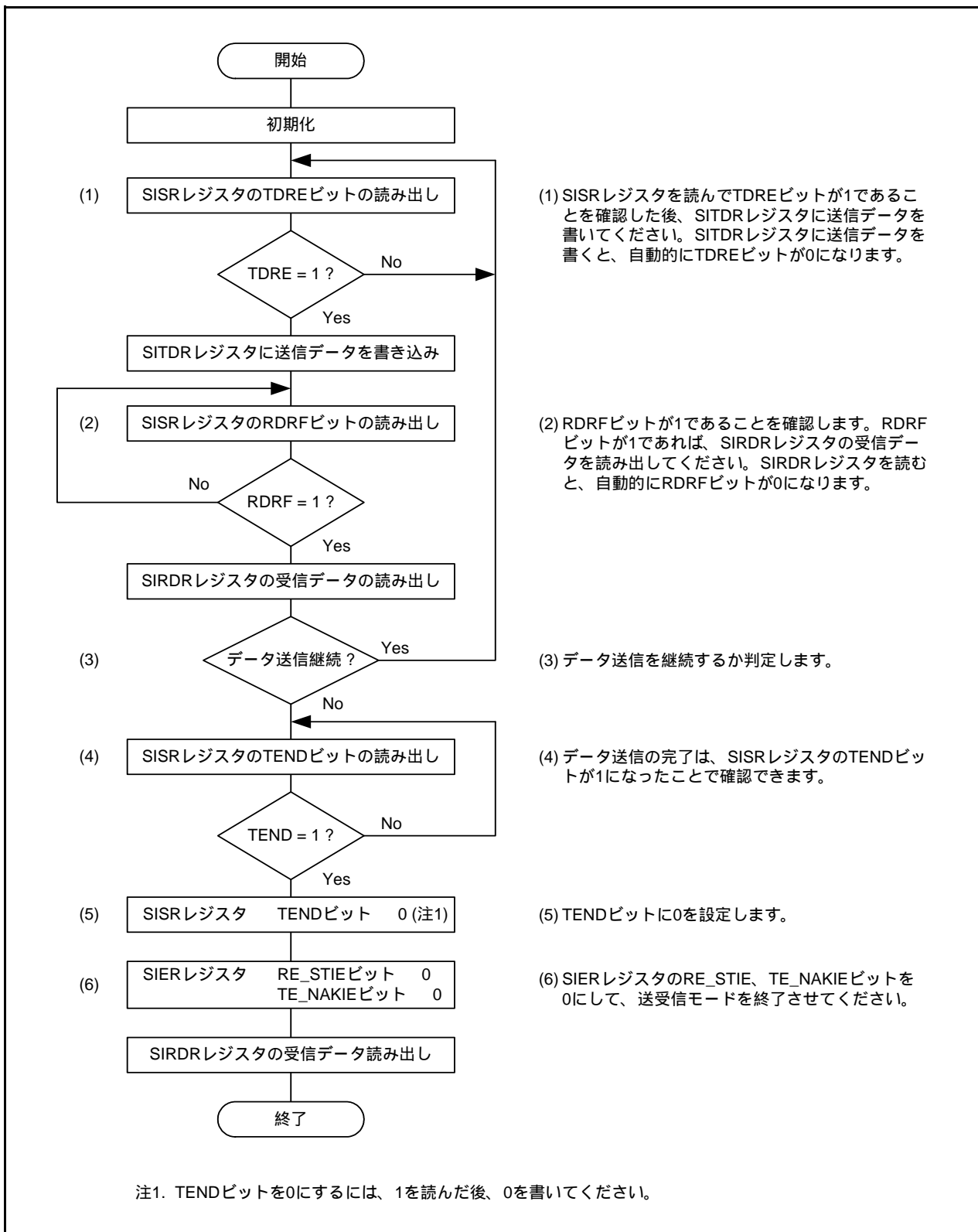


図20.12 データ送受信のフローチャート例(クロック同期式通信モード)

### 20.3.3 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードには、データ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SICR1 レジスタのMSTビットおよびSIMR2 レジスタのBIDEビットの設定により変わります。詳細は「20.3.1.3 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSIMR1 レジスタのCPOS\_WAITビットおよびCPHSビットにより設定できます。詳細は「20.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合は、SIMR2 レジスタのCSS1ビットを1にしてSCS端子を出力制御するか、あるいはI/Oポートを出力制御することができます。スレーブデバイスの場合は、SIMR2 レジスタのCSS1、CSS0ビットを01bにしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSIMR1 レジスタのMLSビットを0にして、MSBファーストで通信を行います。

## 20.3.3.1 4線式バス通信モードの初期化

図 20.13 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SIER レジスタの TE\_NAKIE ビットを 0 (送信禁止)、RE\_STIE ビットを 0 (受信禁止) にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE\_NAKIE ビットを 0、RE\_STIE ビットを 0 にしてから変更してください。

RE\_STIE ビットを 0 にしても、RDRF、ORER\_AL の各フラグ、および SIRDR レジスタの内容は保持されます。

スレープモードで受信した後、マスタモードへ切り換えたとき、転送開始条件を書き込んでいなくても、SCS 端子が L になることがあります。

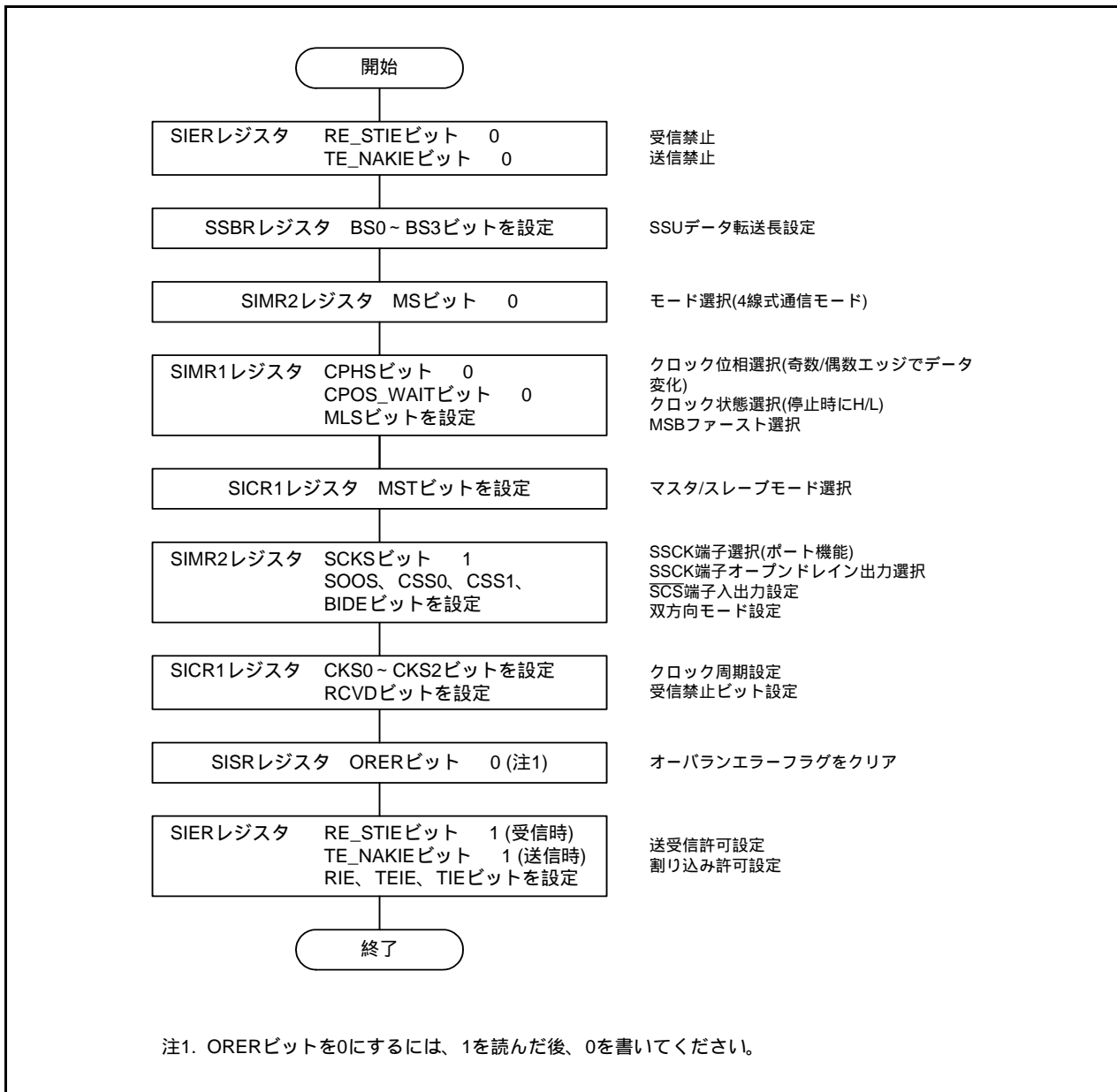


図 20.13 4線式バス通信モードの初期化

### 20.3.3.2 データ送信

図20.14にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定できます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期して、データを出力します。

TE\_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求を発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次のフレームの送信を開始します。TDREビットが1の状態では8ビット目が送出されると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このとき、SIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子はHに固定され、SCS端子はHになります。SCS端子がLのまま連続的に送信する場合、8ビット目が送出される前に、次の送信データをSITDRレジスタに書いてください。

なお、SISRレジスタのORER\_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER\_ALビットが0であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子がH入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例は、クロック同期式通信モードと同じです(「図20.8 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

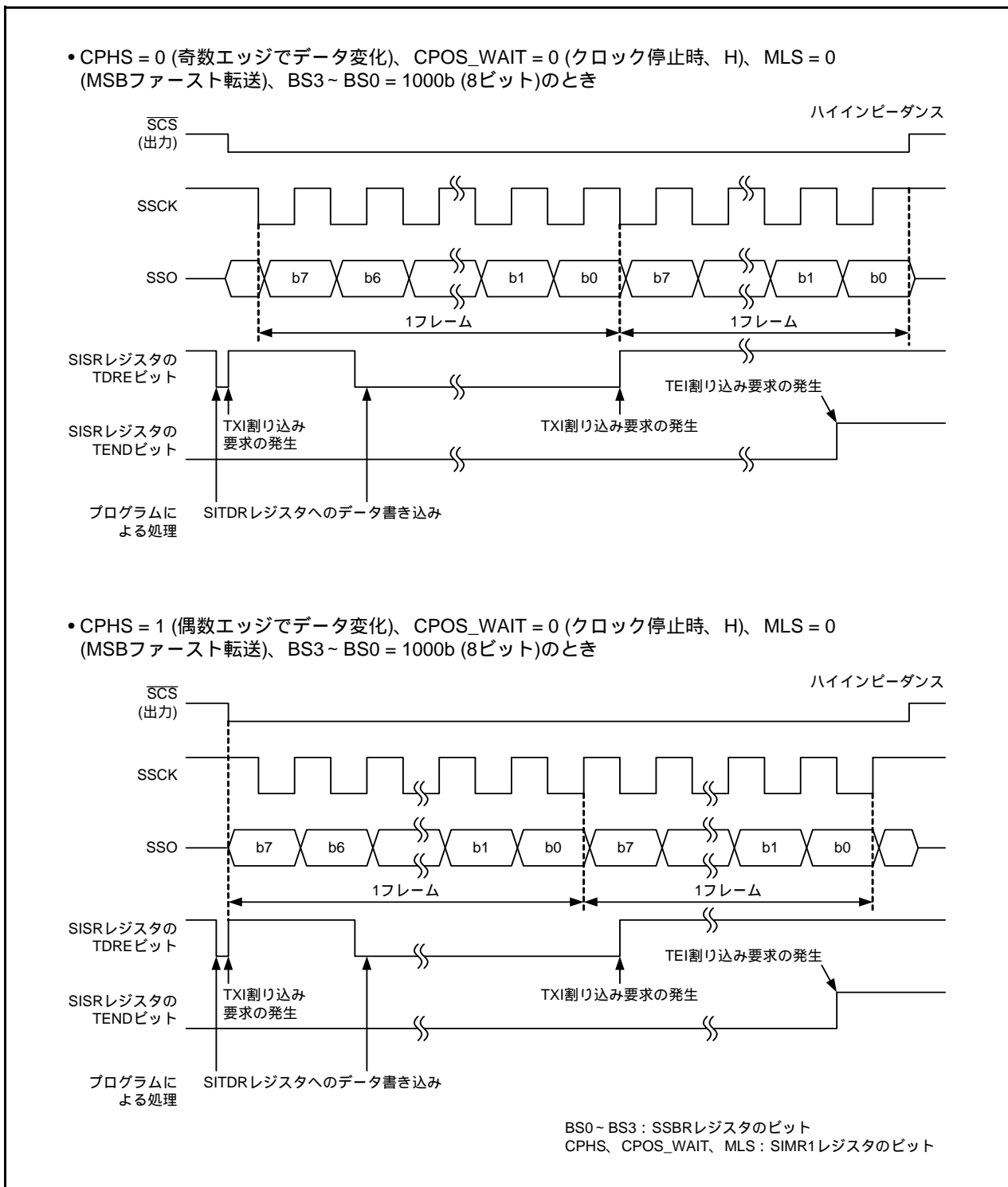


図20.14 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 20.3.3.3 データ受信

図20.15にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定できます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期して、データを入力します。

マスタデバイスに設定したときは、最初にSIRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)になり、SIRDRレジスタに受信データが格納されます。このとき、SISRレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SIRDRレジスタを読むと、自動的にRDRFビットは0(SIRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SISRレジスタのRE\_STIEビットを0(受信禁止)、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE\_STIEビットが1(受信許可)状態でSIRDRレジスタを読むと、受信クロックを再度出力してまいります。

RDRFビットが1の状態では8クロック目が立ち上がり、SISRレジスタのORER\_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER\_ALビットが1の状態では受信できません、受信再開の前には、ORER\_ALビットが0であることを確認してください。

RDRF、ORER\_ALビットが1になるタイミングは、SIMR1レジスタのCPHSビットの設定により異なります。このタイミングを図20.15に示します。CPHSビットを1(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが1になるので、受信終了時には注意してください。

フローチャート例は、クロック同期式通信モードと同じです(「図20.10 データ受信のフローチャート例(MST=1)(クロック同期式通信モード)」参照)。

#### [オーバランエラー発生時の注意]

オーバランエラー発生後、次の手順に従ってオーバランエラー状態を解除してください。

#### •マスタモード時

- (1) 転送動作終了(SCS端子がハイインピーダンスになったことを確認)
- (2) 最後に受信したデータ(オーバランエラー発生前のデータ)を読む
- (3) ORER\_ALビットを0にする

#### •スレーブモード時

- (1) 転送動作終了(コンフリクトエラーを確認)
- (2) 最後に受信したデータ(オーバランエラー発生前のデータ)を読む
- (3) CE\_ADZ、ORER\_ALビットを0にする

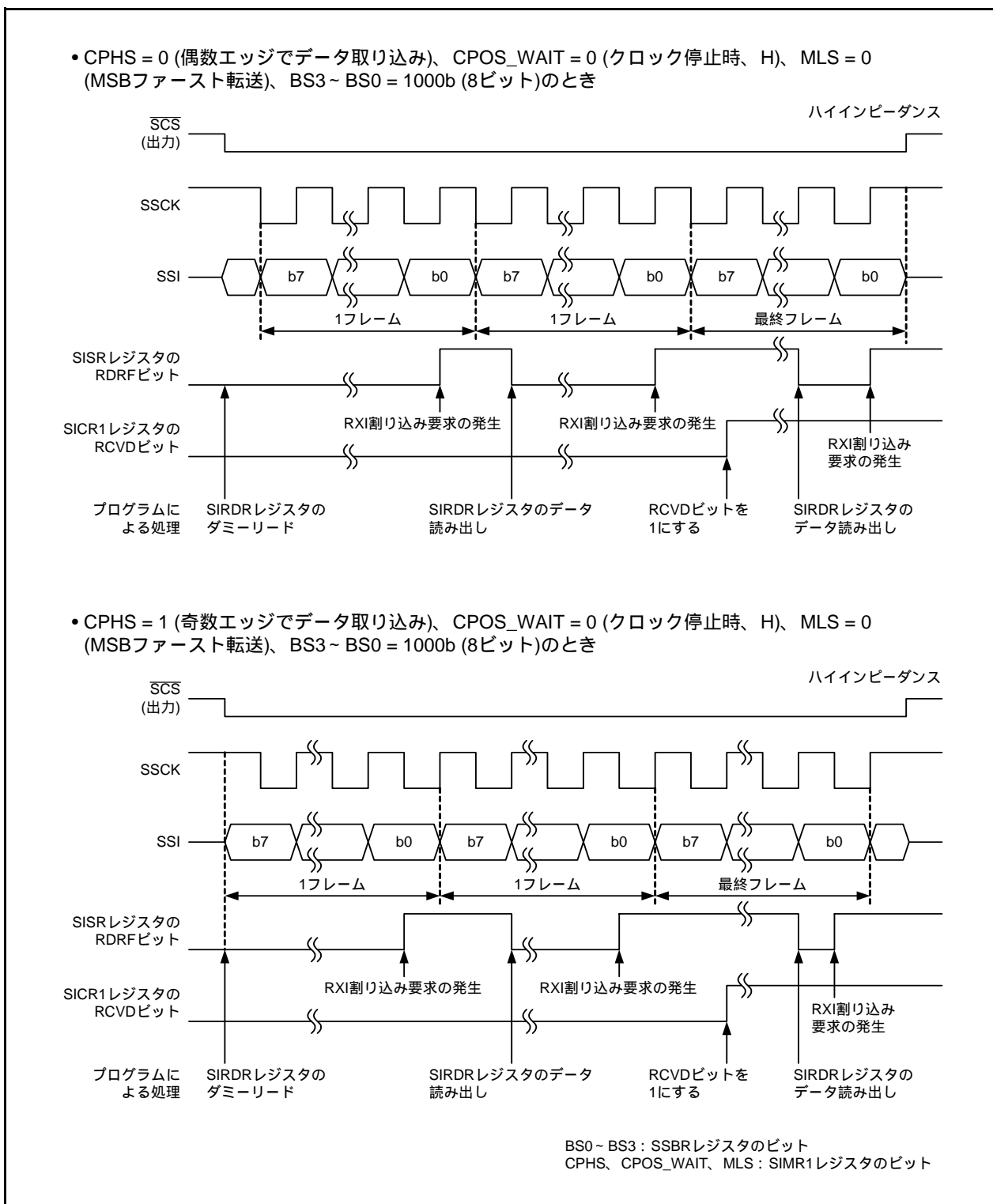


図20.15 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 20.3.3.4 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SIMR2レジスタのMSビットを1(4線式バス通信モード)、CSS1ビットを1( $\overline{\text{SCS}}$ 出力端子として機能)にした場合、SICR1レジスタのMSTビットを1(マスターモード)にしてからシリアル転送を開始する前に、 $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部 $\overline{\text{SCS}}$ 信号がLになったことを検出すると、SISRレジスタのCE\_ADZビットが1(コンフリクトエラー発生)になり、自動的にMSTビットが0(スレーブモード)になります。

図20.16にアービトレーションチェックタイミングを示します。

なお、CE\_ADZビットが1の状態では、以後の送信動作ができません。従って、送信をスタートする前に、CE\_ADZビットを0(コンフリクトエラーなし)にしてください。

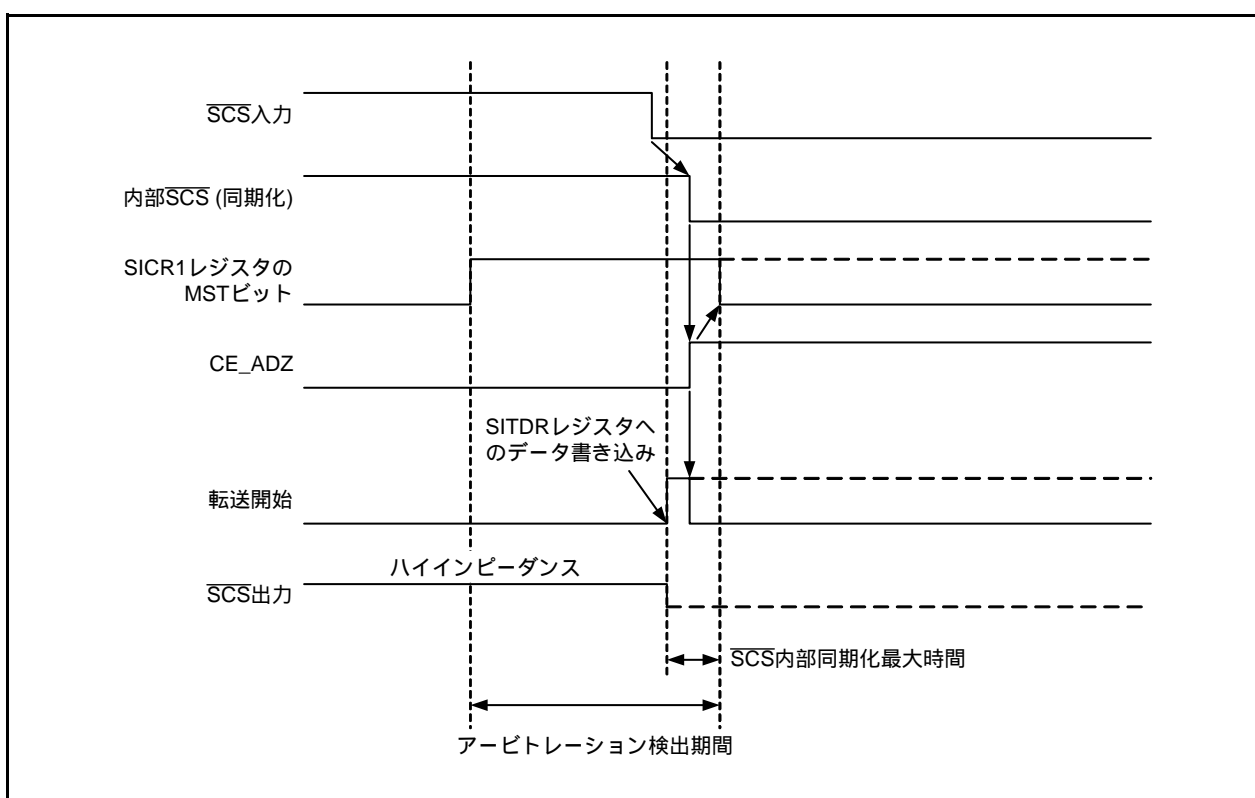


図20.16 アービトレーションチェックタイミング



20.4 I<sup>2</sup>Cバスインタフェースの動作説明20.4.1 I<sup>2</sup>Cバスインタフェースモード、クロック同期式シリアルモードに関わる共通事項

## 20.4.1.1 転送クロック

SICR1レジスタのMSTビットが0のとき、転送クロックはSCL端子から入力される外部クロックです。

SICR1レジスタのMSTビットが1のとき、転送クロックはSICR1レジスタのCKS0 ~ CKS3ビットおよびIICCRレジスタのIICTCTWI、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表20.9および表20.10に転送レート例を示します。

表20.9 転送レート例(1)

IICCRレジスタ		SICR1レジスタ				転送 クロック	転送レート					
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz	
0	0	0	0	0	0	f1/28	179 kHz	286 kHz	357 kHz	571 kHz	714 kHz	
					1	f1/40	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz	
				1	0	f1/48	104 kHz	167 kHz	208 kHz	333 kHz	417 kHz	
					1	f1/64	78.1 kHz	125 kHz	156 kHz	250 kHz	313 kHz	
			1	0	0	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz	
					1	f1/100	50.0 kHz	80.0 kHz	100 kHz	160 kHz	200 kHz	
				1	0	f1/112	44.6 kHz	71.4 kHz	89.3 kHz	143 kHz	179 kHz	
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz	
		1	0	0	0	0	f1/56	89.3 kHz	143 kHz	179 kHz	286 kHz	357 kHz
						1	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
					1	0	f1/96	52.1 kHz	83.3 kHz	104 kHz	167 kHz	208 kHz
						1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
				1	0	0	f1/160	31.3 kHz	50.0 kHz	62.5 kHz	100 kHz	125 kHz
						1	f1/200	25.0 kHz	40.0 kHz	50.0 kHz	80.0 kHz	100 kHz
					1	0	f1/224	22.3 kHz	35.7 kHz	44.6 kHz	71.4 kHz	89.3 kHz
						1	f1/256	19.5 kHz	31.3 kHz	39.1 kHz	62.5 kHz	78.1 kHz

表20.10 転送レート例(2)

IICCR レジスタ		SICR1 レジスタ				転送 クロック	転送レート							
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz			
0	1	0	0	0	0	f1/28	358 kHz	572 kHz	714 kHz	1142 kHz	1428 kHz			
					1	f1/40	250 kHz	400 kHz	500 kHz	800 kHz	1000 kHz			
				1	0	f1/48	208 kHz	334 kHz	416 kHz	666 kHz	834 kHz			
					1	f1/64	156 kHz	250 kHz	312 kHz	500 kHz	626 kHz			
				0	0	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz			
					1	f1/100	100 kHz	160 kHz	200 kHz	320 kHz	400 kHz			
			1	0	f1/112	89 kHz	143 kHz	179 kHz	286 kHz	358 kHz				
				1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz				
			1	0	0	0	f1/56	179 kHz	286 kHz	358 kHz	572 kHz	714 kHz		
						1	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz		
					0	0	f1/96	104 kHz	167 kHz	208 kHz	334 kHz	416 kHz		
						1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz		
		1			0	f1/160	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz			
					1	f1/200	50 kHz	80 kHz	100 kHz	160 kHz	200 kHz			
		1		0	f1/224	45 kHz	71 kHz	89 kHz	143 kHz	179 kHz				
				1	f1/256	39 kHz	63 kHz	78 kHz	125 kHz	156 kHz				
		1		0	0	0	0	0	f1/28	90 kHz	143 kHz	179 kHz	286 kHz	357 kHz
								1	f1/40	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
							1	0	f1/48	52 kHz	84 kHz	104 kHz	167 kHz	209 kHz
								1	f1/64	39 kHz	63 kHz	78 kHz	125 kHz	157 kHz
			0				0	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz	
							1	f1/100	25 kHz	40 kHz	50 kHz	80 kHz	100 kHz	
			1			0	f1/112	22 kHz	36 kHz	45 kHz	72 kHz	90 kHz		
						1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz		
1	0		0			0	f1/56	45 kHz	72 kHz	90 kHz	143 kHz	179 kHz		
						1	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz		
			1			0	f1/96	26 kHz	42 kHz	52 kHz	84 kHz	104 kHz		
						1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz		
			0		0	f1/160	16 kHz	25 kHz	31 kHz	50 kHz	63 kHz			
					1	f1/200	13 kHz	20 kHz	25 kHz	40 kHz	50 kHz			
	1		0		f1/224	11 kHz	18 kHz	22 kHz	36 kHz	45 kHz				
			1		f1/256	10 kHz	16 kHz	20 kHz	31 kHz	39 kHz				

### 20.4.1.2 SDA端子デジタル遅延選択

IICCRレジスタのSDADLY0、SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。図20.17にSDA端子のデジタル遅延の動作例を示します。

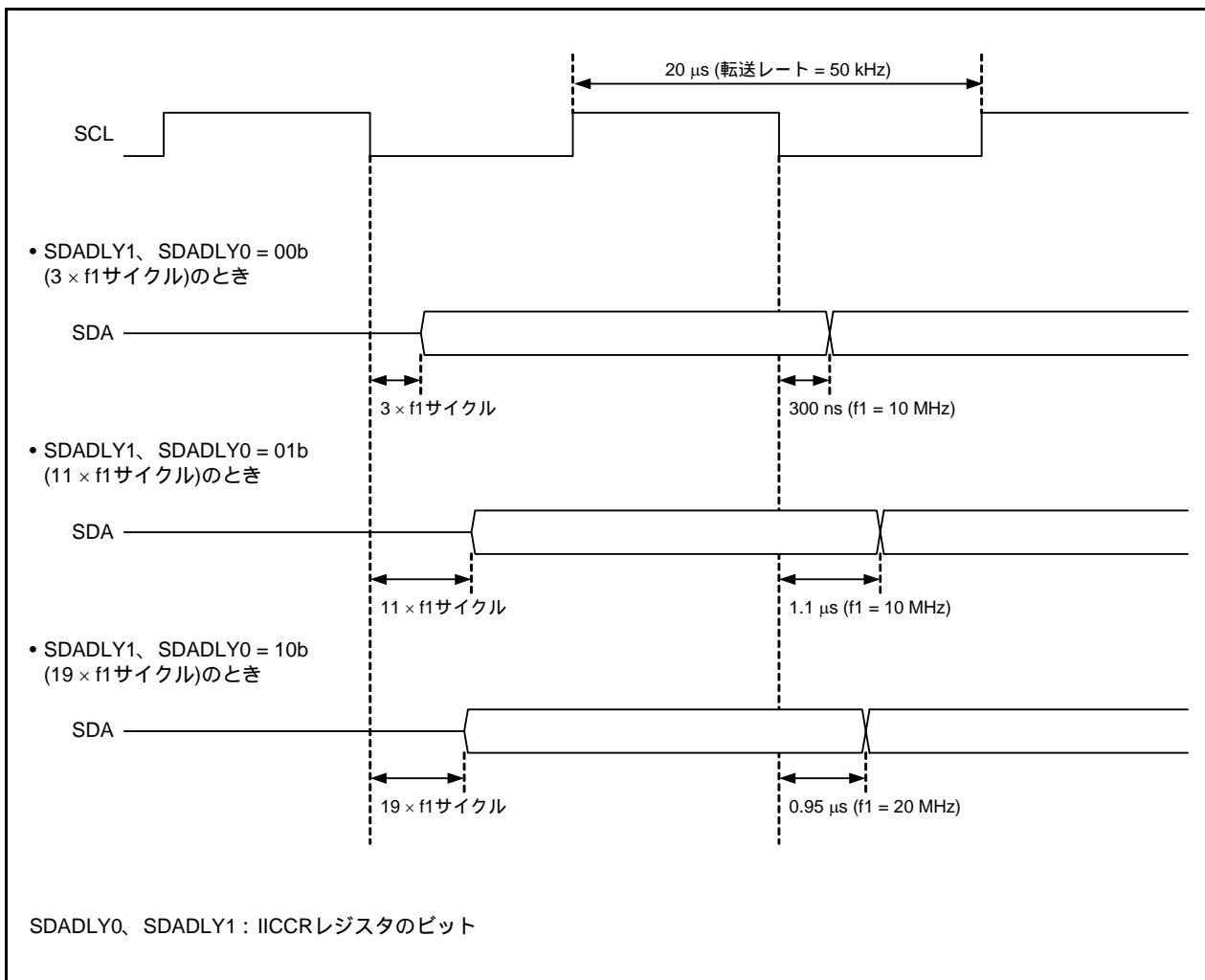


図20.17 SDA端子のデジタル遅延の動作例

### 20.4.1.3 割り込み要求

I<sup>2</sup>Cバスインタフェースの割り込み要求は、I<sup>2</sup>Cバスインタフェースモード時に6種類、クロック同期式シリアルモード時に4種類あります。表20.11にI<sup>2</sup>Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI<sup>2</sup>Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表20.11 I<sup>2</sup>Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I <sup>2</sup> Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	RE_STIE = 1かつSTOP = 1	有効	無効
NACK検出	NAKI	TE_NAKIE = 1かつORER_AL = 1 (またはTE_NAKIE = 1かつNACKF = 1)	有効	無効
アービトレーションロスト			有効	無効
オーバランエラー			無効	有効

RE\_STIE、TE\_NAKIE、RIE、TEIE、TIE : SIERレジスタのビット

ORER\_AL、STOP、NACKF、RDRF、TEND、TDRE : SISRレジスタのビット

表20.11の発生条件が満たされたとき、I<sup>2</sup>Cバスインタフェースの割り込み要求が発生します。I<sup>2</sup>Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を0にしてください。

ただし、TDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、RDRFビットはSIRDRレジスタを読むことで、自動的に0になります。特にTDREビットは、SITDRレジスタに送信データを書いたとき0になり、SITDRレジスタからSISDRレジスタにデータ転送されたときにTDREビットが1になり、さらにTDREビットを0にすると、余分に1バイト送信する場合があります。送信バッファにデータが保持されているため、トリガ(SISRレジスタのTDREビットが0)によってシフトレジスタにデータがシフトされるため、同じデータが再送されます。

また、SIEPレジスタのRE\_STIEビットを1(停止条件検出割り込み要求許可)にするのは、SISRレジスタのSTOPビットが0のときにしてください。

## 20.4.2 I<sup>2</sup>Cバスインタフェースモード

### 20.4.2.1 I<sup>2</sup>Cバスフォーマット

SIMR2レジスタのMSビットを0にすると、I<sup>2</sup>Cバスインタフェースモードで通信します。

図20.18にI<sup>2</sup>Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

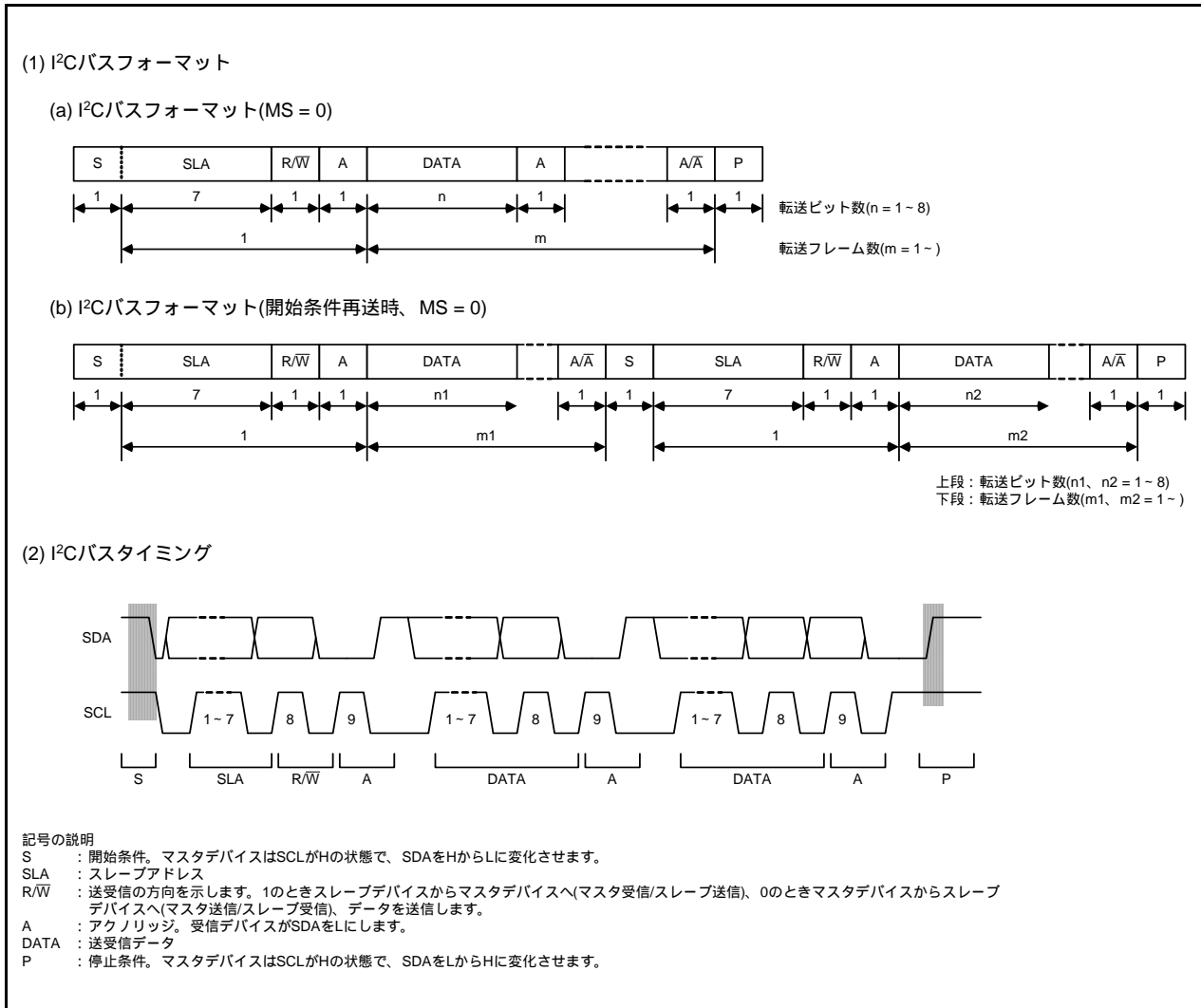


図20.18 I<sup>2</sup>Cバスフォーマットとバスタイミング

### 20.4.2.2 I<sup>2</sup>Cバススレーブアドレス指定

I<sup>2</sup>Cバスフォーマットにおいて、開始条件直後の最初の1バイトはスレーブアドレス指定となります。本モジュールがスレーブデバイスとして動作する場合、スレーブアドレスはSIMR2レジスタのSVA0～SVA6ビットでプログラム可能です。ただし、I<sup>2</sup>Cバスの規格で定められた「ゼネラルコールアドレス」と「スタートバイト」は例外となります。

- ゼネラルコールアドレス(0000\_000\_0)  
すべてのデバイスがアドレス指定されるため、アクノリッジを返します。
- スタートバイト(0000\_000\_1)  
すべてのデバイスは、アクノリッジを返すことができません。

### 20.4.2.3 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図20.19および図20.20にマスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

次にマスタ送信モードの送信手順と動作を示します。

- (1) SISRレジスタのSTOPビットを初期化するために0にしてください。その後、SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS\_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。
- (2) SICR2レジスタのBBSYビットを読んで、バスが開放状態であることを確認後、SICR1レジスタのTRS、MSTビットをマスタ送信モードに設定してください。その後、BBSY = 1とSCP = 0をMOV命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) SISRレジスタのTDREビットが1であることを確認した後、SITDRレジスタに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)を書いてください。このとき、TDREビットは自動的に0になり、SITDRレジスタからSISDRレジスタにデータが転送されて、再びTDREビットが1になります。
- (4) TDREビットが1の状態では1バイト送信が完了し、送信クロックの9クロック目の立ち上がりで、SISRレジスタのTENDビットが1になります。SIERレジスタのACKBRビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータをSITDRレジスタに書いてください。ACKBRビットが1のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY = 0とSCP = 0をMOV命令で書くことで行われます。なお、データの準備ができるまで、または停止条件を発行するまでは、SCLがLに固定されます。
- (5) 2バイト目以降の送信データは、TDREビットが1になるたびに、SITDRレジスタにデータを書いてください。
- (6) 送信するバイト数をSITDRレジスタに書いたとき、その後はTDREビットが1の状態ではTENDビットが1になるまで待ってください。または、SIERレジスタのACKEビットが1(受信アクノリッジが1の場合、転送中止)の状態では、受信デバイスからのNACK(SISRレジスタのNACKF = 1)を待ってください。その後、停止条件を発行して、TENDビットまたはNACKFビットを0にしてください。
- (7) SISRレジスタのSTOPビットが1になったとき、スレーブ受信モードに戻してください。

NACKを受けた後、再開条件を発行する場合は、次の手順に従ってください。

- (1) NACKエラーを確認
- (2) 再開条件発行
- (3) SCLの立ち上がりを確認
- (4) SISRレジスタのNACKF、TENDビットを0にする

#### • マスタ送信動作時、開始/停止条件を検知した場合の動作および切り換えフロー

- (1) アービトレーションロストを検知し、スレーブ受信モードへ移行
- (2) SISRレジスタのORER\_AL、TDREビットを0にする
- (3) SICR2レジスタのBBSYビットを確認
  - 1ならスレーブアドレスを受信
  - 0ならマスタ/スレーブどちらでの動作可能

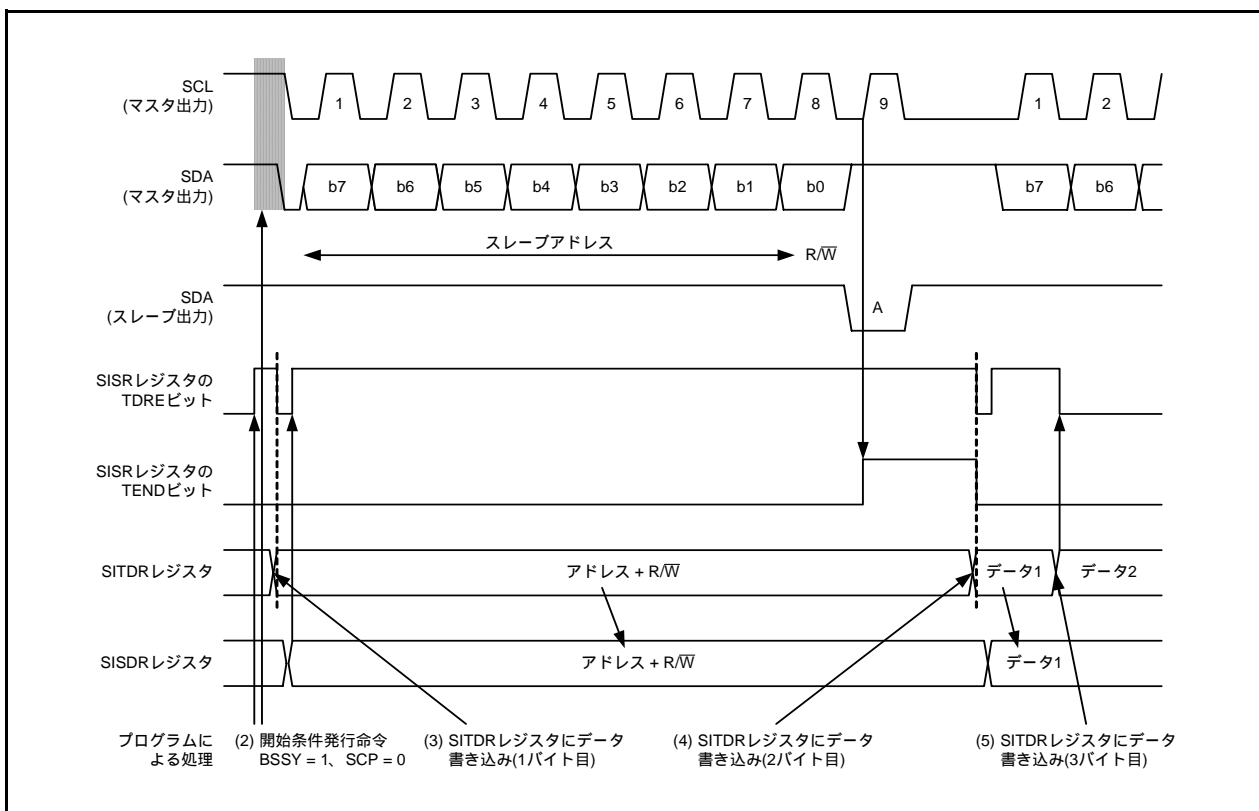


図20.19 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (1)

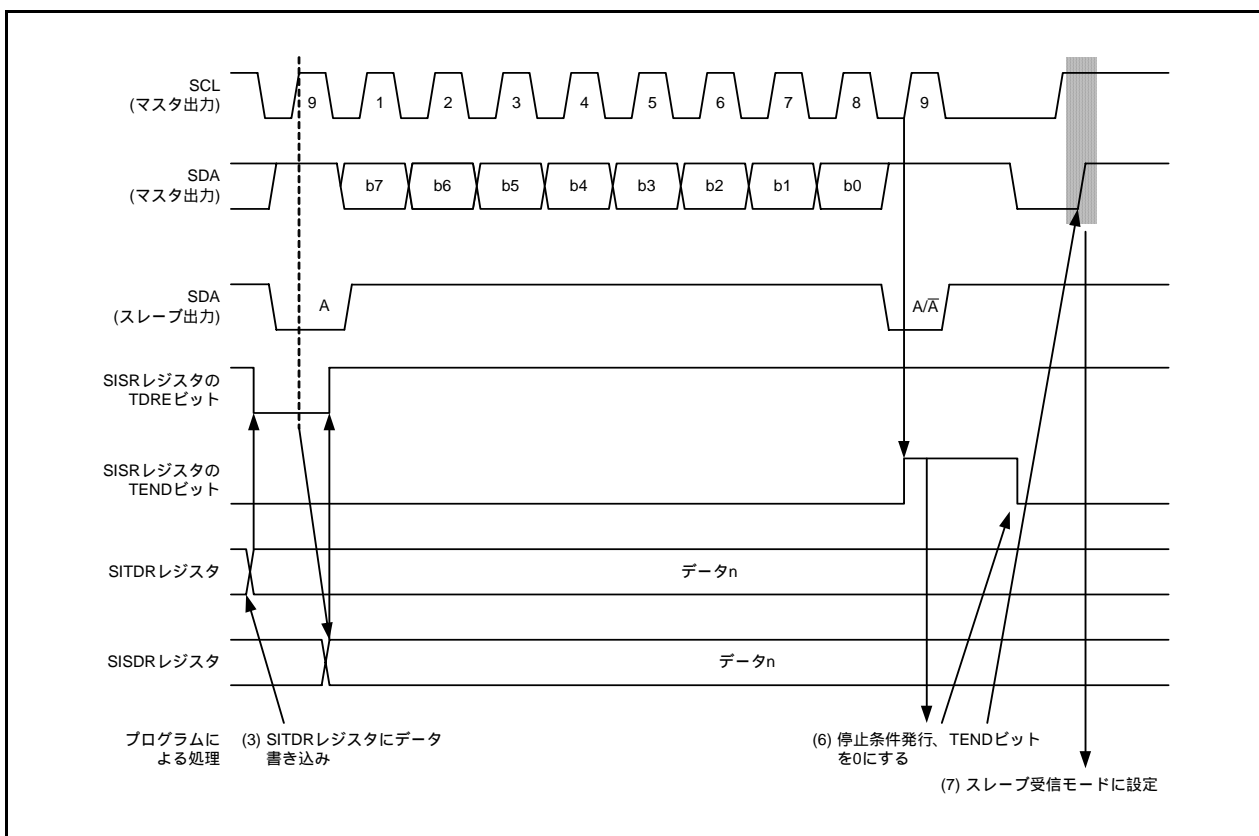


図20.20 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (2)

#### 20.4.2.4 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図20.21および図20.22にマスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

次にマスタ受信モードの受信手順と動作を示します。

- (1) SISRレジスタのTENDビットを0にした後、SICR1レジスタのTRSビットを0にして、マスタ送信モードからマスタ受信モードに切り換えてください。その後、SISRレジスタのTDREビットを0にしてください。
- (2) SIRDRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、SISRレジスタのCEIE\_ACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、SISRレジスタのRDRFビットが1になります。このとき、SIRDRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは0になります。
- (4) RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが1になった状態で、SIRDRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、SIRDRレジスタを読むまでSCLがLに固定されます。このとき、停止条件が反復開始条件を発行することはできません。
- (5) 次の受信が最終フレームの場合、SIRDRレジスタを読む前にSICR1レジスタのRCVDビットを1(次の受信動作を禁止)、CEIE\_ACKBTビットを1にしてください。これにより次の受信後、スレーブデバイスにNACKを返し、停止条件発行が可能になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが1になったとき、停止条件を発行してください。
- (7) SISRレジスタのSTOPビットが1になったとき、SIRDRレジスタを読んでください。その後、RCVDビットを0(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

#### • マスタ受信モード時の反復開始条件発行フロー

NACKを送信後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) (5)までは停止条件を発行する際のフローと同じです。
- (2) 受信クロックの9クロック目の立ち上がりでRDRFビットが1になった後、反復開始条件を発行(BBSY = 1とSCP = 0をMOV命令でライト)してください。
- (3) マスタ送信モードに設定後、SIRDRレジスタを読んでください。その後、RCVDビットを0(次の受信動作を継続)にしてください。
- (4) SITDRにスレーブアドレスとR/Wを示すデータをライトしてください。

注1 反復開始条件を発行(BBSY = 1とSCP = 0をMOV命令でライト)後、転送クロックで2.5サイクル以降にSCLとSDAがLowに固定されますが、その前にマスタ送信モードを設定してください。

#### • マスタ受信動作時、停止条件を検知した場合の動作および切り換えフロー

- (1) 停止条件を検知し、スレーブ受信モードへ移行
- (2) SICR2レジスタのBBSYビットが0であることを確認
- (3) SISRレジスタのSTOPビットを0にする
- (4) 制御部をリセット



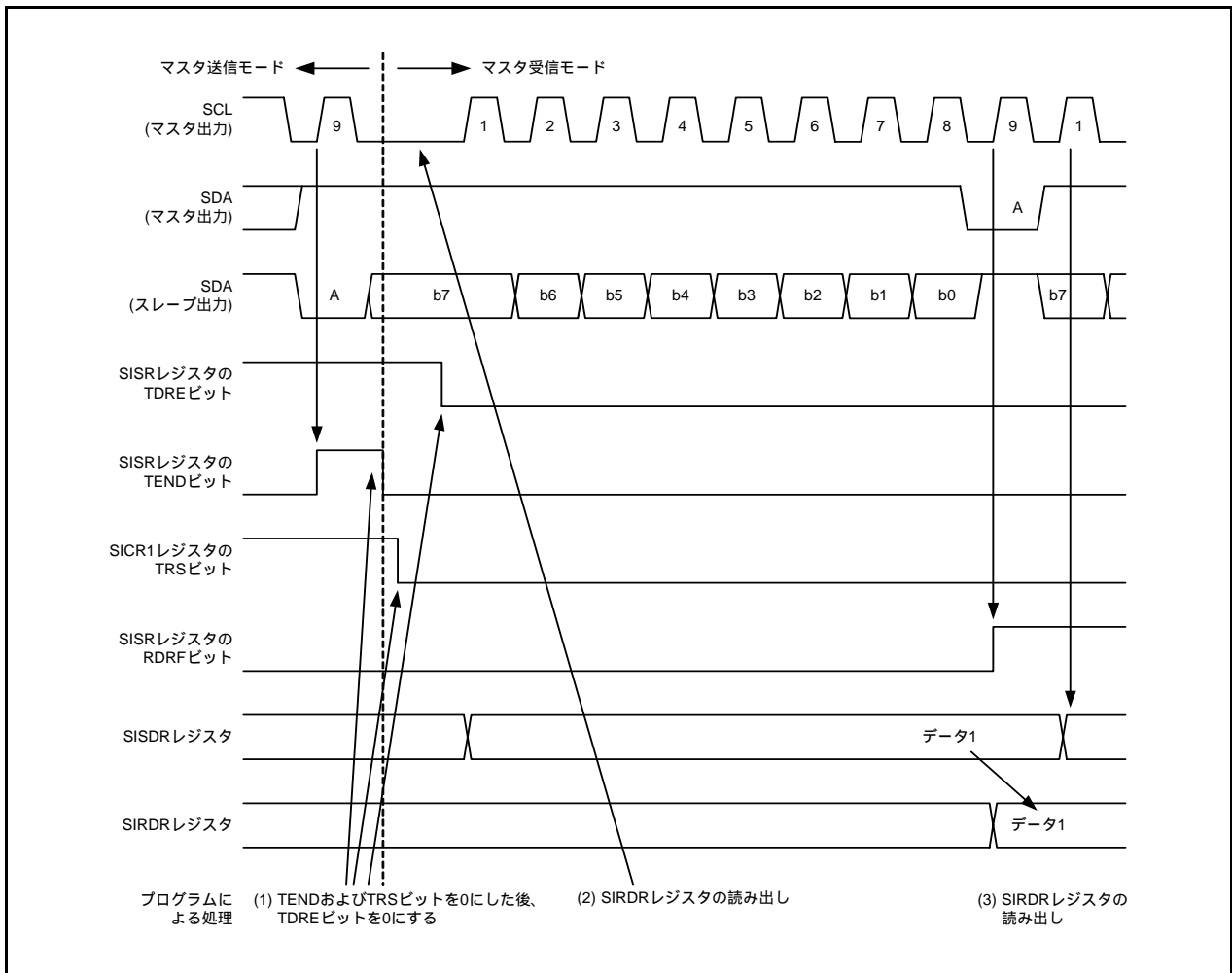


図20.21 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (1)

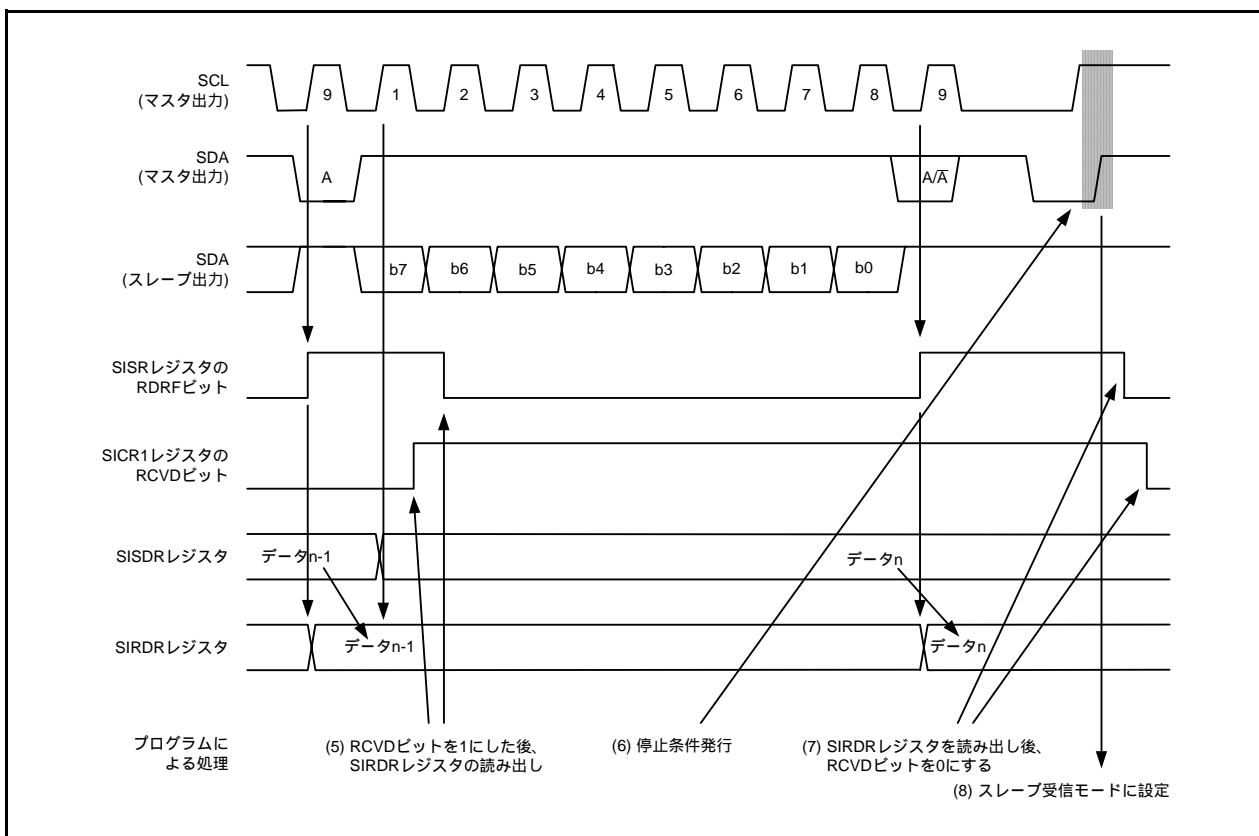


図20.22 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (2)

### 20.4.2.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアキュリッジを返します。図20.23および図20.24にスレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

次にスレーブ送信モードの送信手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS\_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にSICR1レジスタのTRS、MSTビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立下りから9クロック目の立下りの間、スレーブデバイスはSISRレジスタのCEIE\_ACKBTビットで設定したレベルをSDAに出力します。8ビット目のデータ(R/W)が1の場合、9クロック目の立ち上がりでTRSビットおよびSISRレジスタのTDREビットが1になり、自動的にスレーブ送信モードに切り換わります。TDREビットが1になるたびにSITDRレジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをSITDRレジスタに書いた後にTDREビットが1になったとき、TDREビットが1の状態、SISRレジスタのTENDビットが1になるまで待ってください。TENDビットが1になったら、TENDビットを0にしてください。
- (4) 終了処理のためTRSビットを0にし、SIRDRレジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDREビットを0にしてください。

#### • スレーブ送信動作時のデータセットアップ時間確保

データ転送途中、TDREビットが1およびTENDビットが1の状態、9クロック目が立ち下がった場合、送信データレジスタに送信データを書くまで、SCLがLowに固定されます。送信データ書き込み後、SDAへ送信データが出力されてから、CKS3ビットによるセットアップ時間を確保し、SCLを開放(立ち上がり)します(「図20.25 スレーブ送信動作時のデータセットアップ時間」参照)。

CKS3ビット 0: 9、10 Tcyc

1: 17～20 Tcyc (1 Tcyc = 1/f1 (s))

IICCRレジスタのIICTHALFビットを1にした場合、セットアップ時間が倍に、IICCRレジスタのIICTCTWIビットを1にした場合、セットアップ時間が半になります。

#### • スレーブ送信動作時、停止条件を検知した場合の動作および切り換えフロー

- (1) スレーブ受信モードを設定
- (2) SISRレジスタのTDREビットを0にする

スレーブ送信動作中に開始条件を検知した場合、その後続くアドレスの受信はできません。制御部をリセットし、再度開始条件を入力してください。

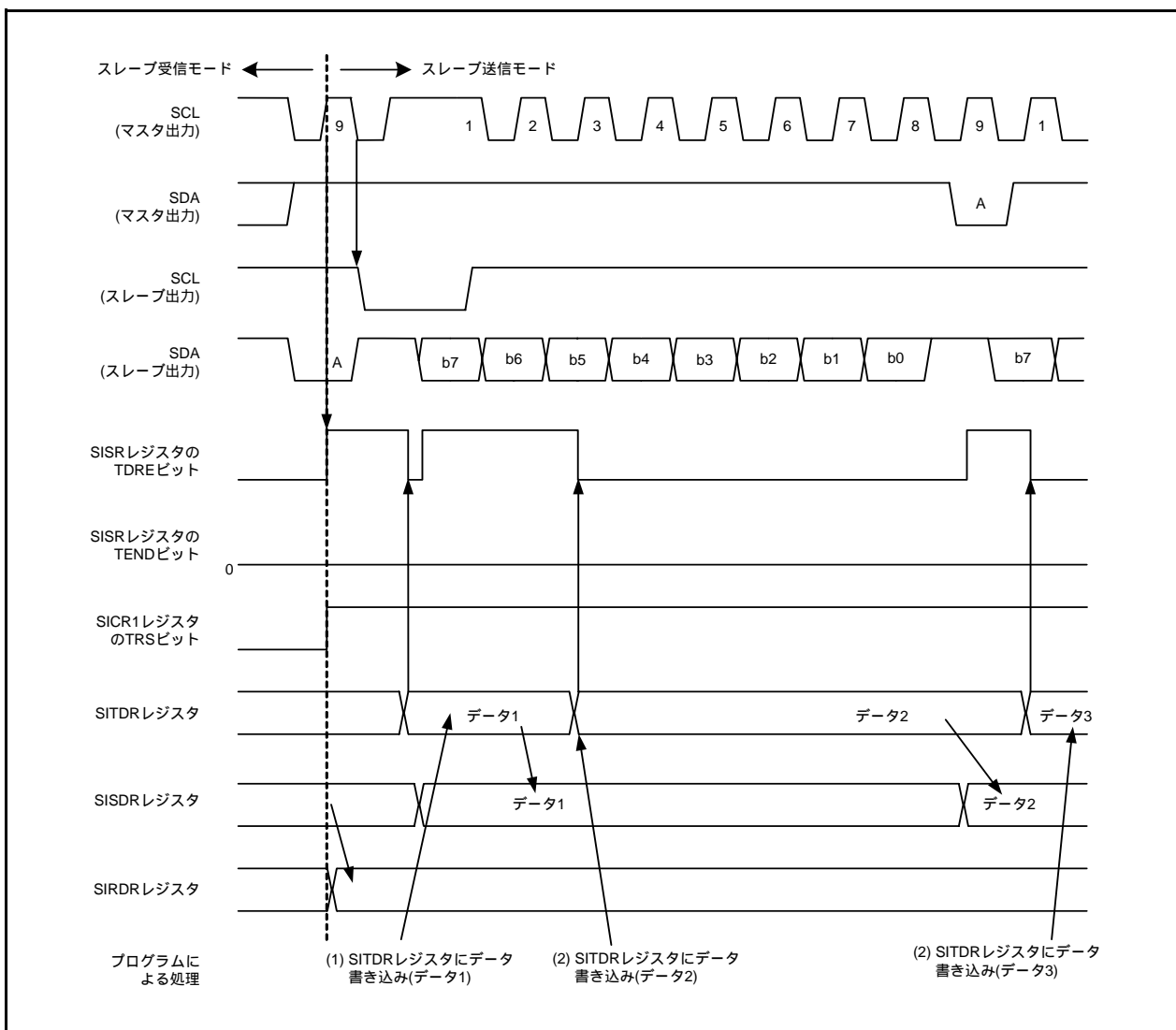


図20.23 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (1)

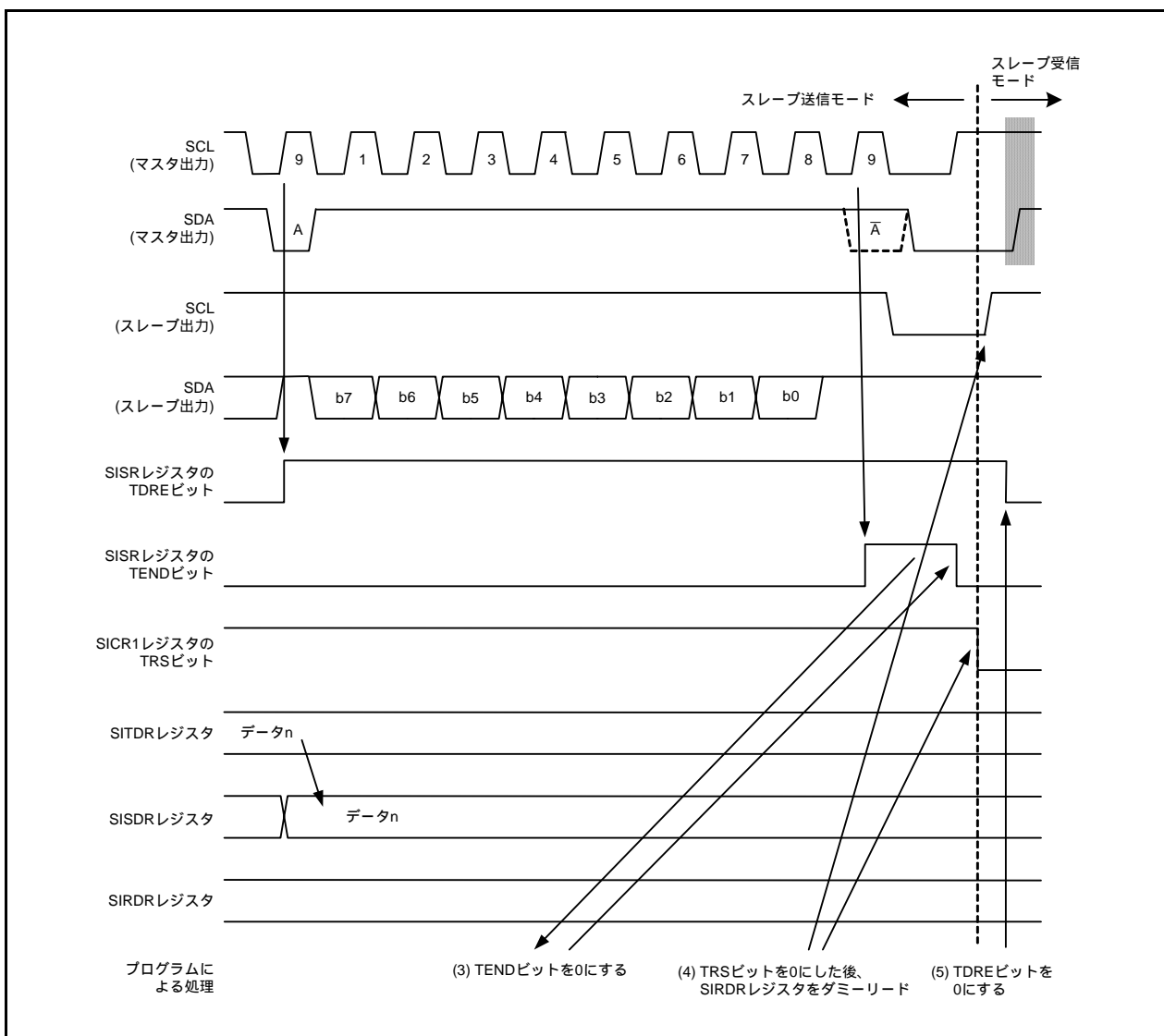


図20.24 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (2)

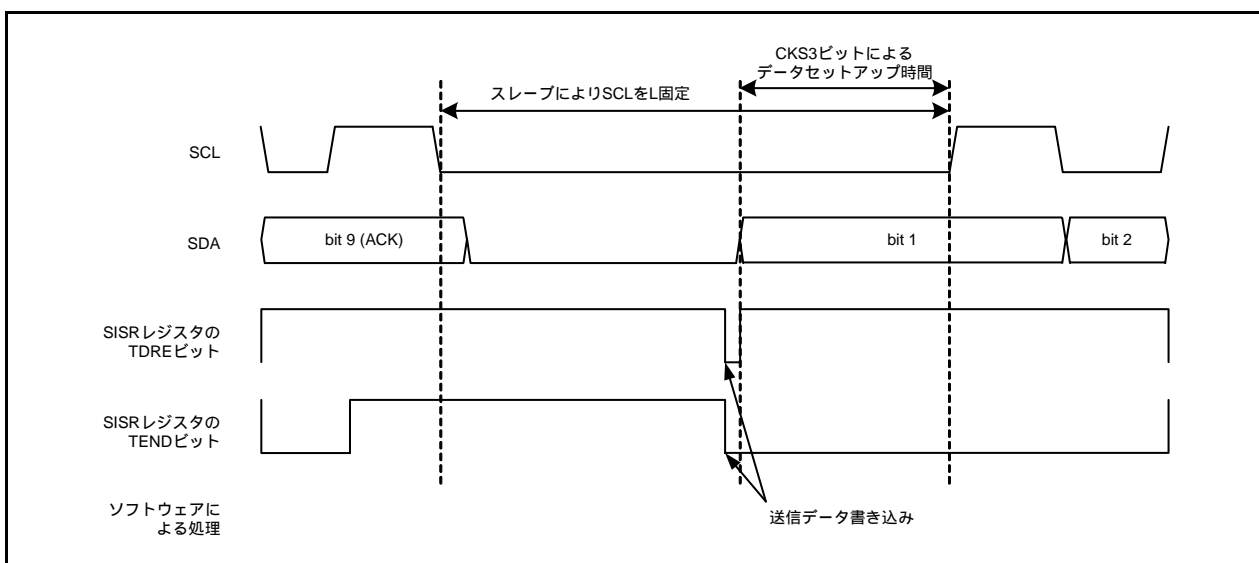


図20.25 スレーブ送信動作時のデータセットアップ時間

#### 20.4.2.6 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出し、スレーブデバイスがアクノリッジを返します。図20.26および図20.27にスレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

次にスレーブ受信モードの受信手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS\_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にSICR1レジスタのTRS、MSTビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立下りから9クロック目の立下りの間、スレーブデバイスはSIERレジスタのCEIE\_ACKBTビットで設定したレベルをSDAに出力します。同時にSISRレジスタのRDRFビットが1になりますので、SIRDRレジスタをダミーリード(読み出したデータはスレーブアドレス + R/Wを示すので不要)してください。
- (3) RDRFビットが1になるたびに、SIRDRレジスタを読んでください。RDRFビットが1の状態では8クロック目が立ち下がると、SIRDRレジスタを読むまでSCLがLに固定されます。SIRDRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されません。
- (4) 次の受信が最終フレームの場合、SIRDRレジスタを読む前にSIERレジスタのCEIE\_ACKBTビットを1にしてください。これにより次の受信後、マスタデバイスにNACKを返し、停止条件の発行が可能になります。
- (5) 最終バイトの読み出しも、同様にSIRDRレジスタを読むことで行います。

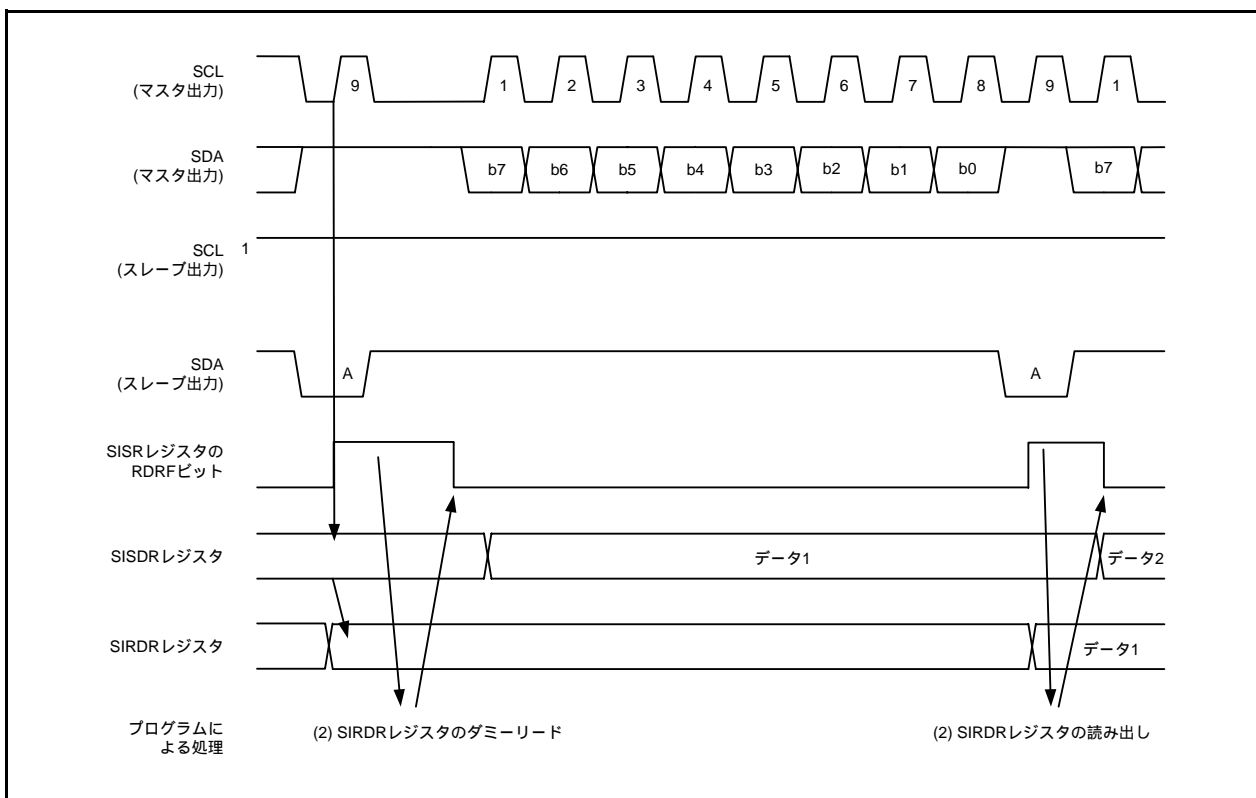


図20.26 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (1)

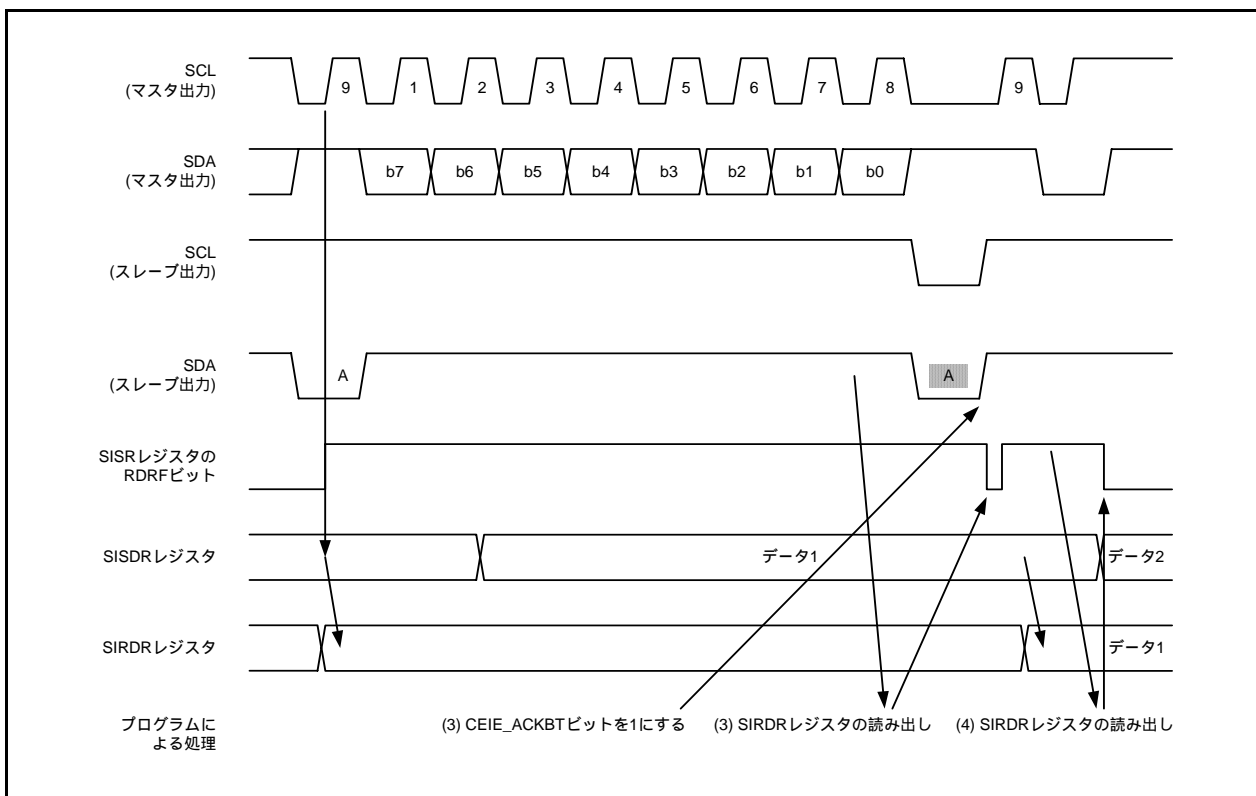


図20.27 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード) (2)

### 20.4.3 クロック同期式シリアルモード

#### 20.4.3.1 クロック同期式シリアルフォーマット

SIMR2レジスタのMSビットを1にすると、クロック同期式シリアルフォーマットで通信します。  
図20.28にクロック同期式シリアルモードの転送フォーマットを示します。

SICR1レジスタのMSTビットが1のときSCLから転送クロック出力となり、MSTビットが0のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はSIMR1レジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、SICR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更できます。

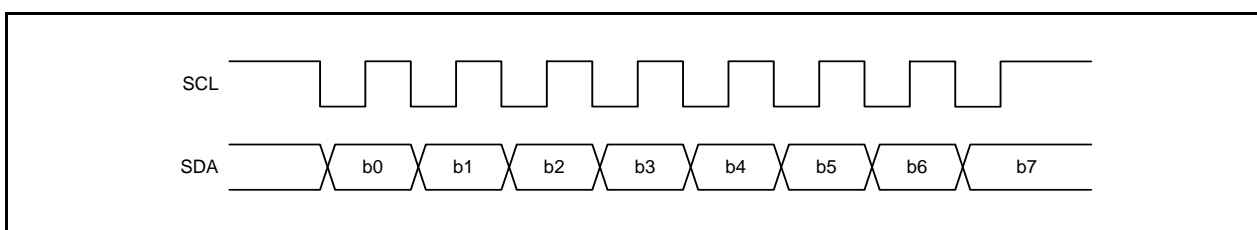


図20.28 クロック同期式シリアルモードの転送フォーマット



## 20.4.3.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは、SICR1 レジスタの MST ビットが 1 とき出力、MST ビットが 0 とき入力となります。

図 20.29 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

次に送信モードの手順と動作を示します。

- (1) SICR1 レジスタの ICE ビットを 1 (転送動作可能状態) にしてください。その後、SICR1 レジスタの CKS0 ~ CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) SICR1 レジスタの TRS ビットを 1 にして送信モードにしてください。これにより、SISR レジスタの TDRE ビットが 1 になります。
- (3) TDRE ビットが 1 であることを確認した後、SITDR レジスタに送信データを書き込んでください。これにより、SITDR レジスタから SISDR レジスタにデータが転送され、自動的に TDRE ビットが 1 になります。TDRE ビットが 1 になるたびに SITDR レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り換える場合、TDRE ビットが 1 の状態で TRS ビットを 0 にしてください。

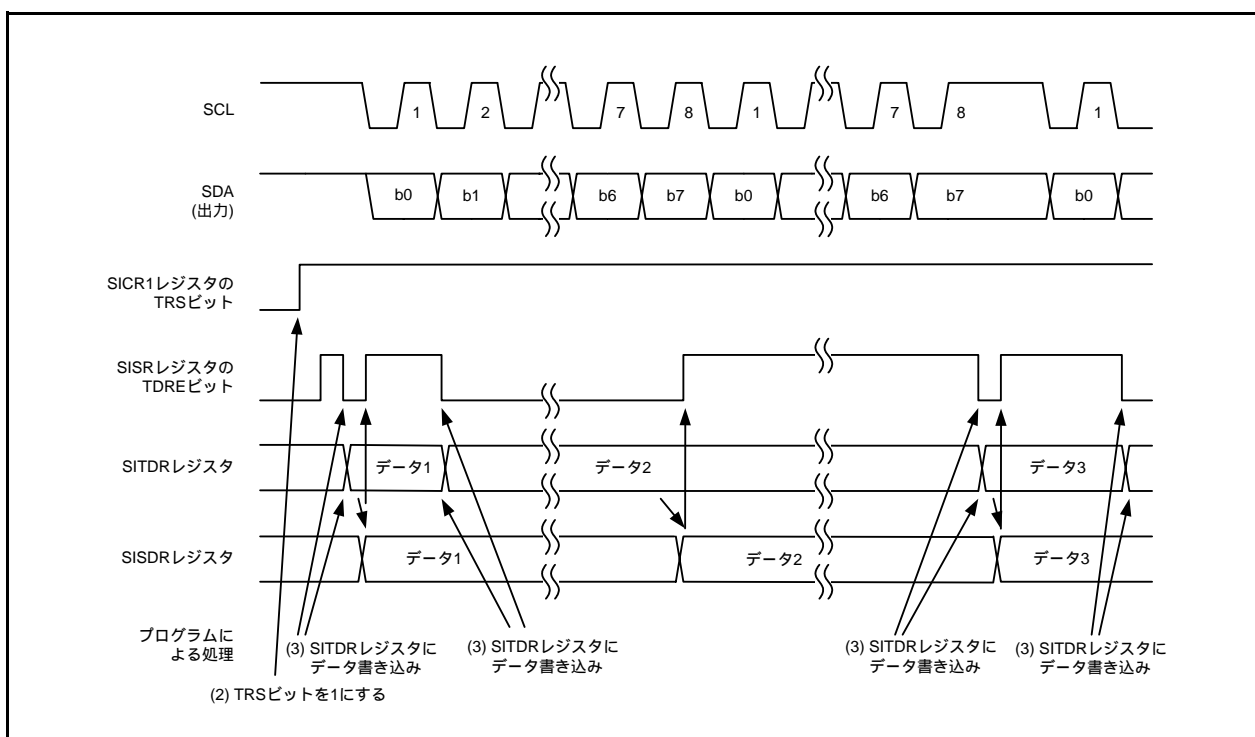


図 20.29 送信モードの動作タイミング(クロック同期式シリアルモード)

### 20.4.3.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックは、SICR1レジスタのMSTビットが1とき出力、MSTビットが0とき入力となります。

図20.30に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

次に受信モードの手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SICR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを1にしてください。これにより、受信クロックの出力を開始します。
- (3) 受信が完了すると、SISDRレジスタからSIRDRレジスタにデータが転送され、SISRレジスタのRDRFビットが1になります。MSTビットが1のときは次のバイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信可能です。RDRFビットが1の状態でも8クロック目が立ち上がると、オーバランを検出し、SISRレジスタのORER\_ALビットが1になります。このとき、SIRDRレジスタには前の受信データが保持されています。
- (4) MSTビットが1のとき、受信を停止するためには、SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にしてから、SIRDRレジスタを読んでください。これにより次のバイトデータの受信完了後、SCLがHに固定されます。

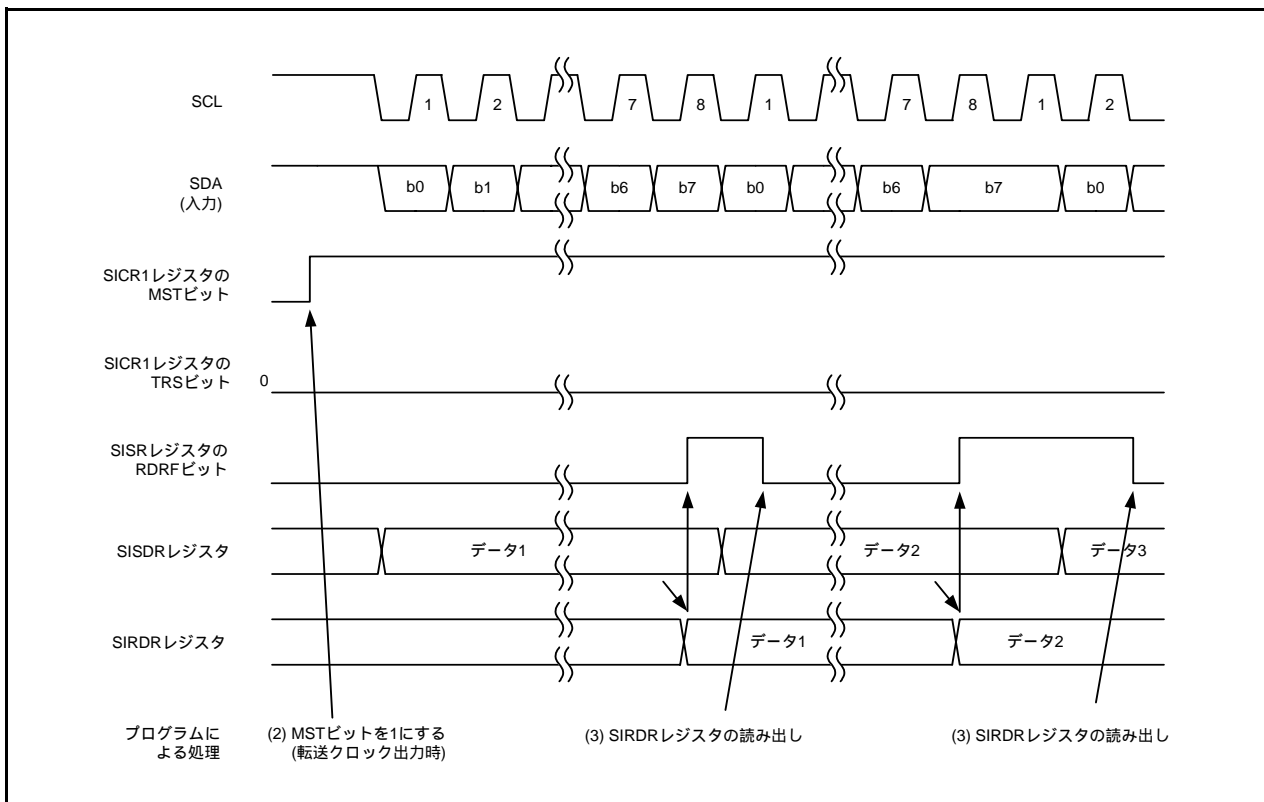


図20.30 受信モードの動作タイミング(クロック同期式シリアルモード)

20.4.4 レジスタ設定例

図20.31 ~ 図20.34にI<sup>2</sup>Cバスインタフェースを使用する場合のレジスタ設定例を示します。

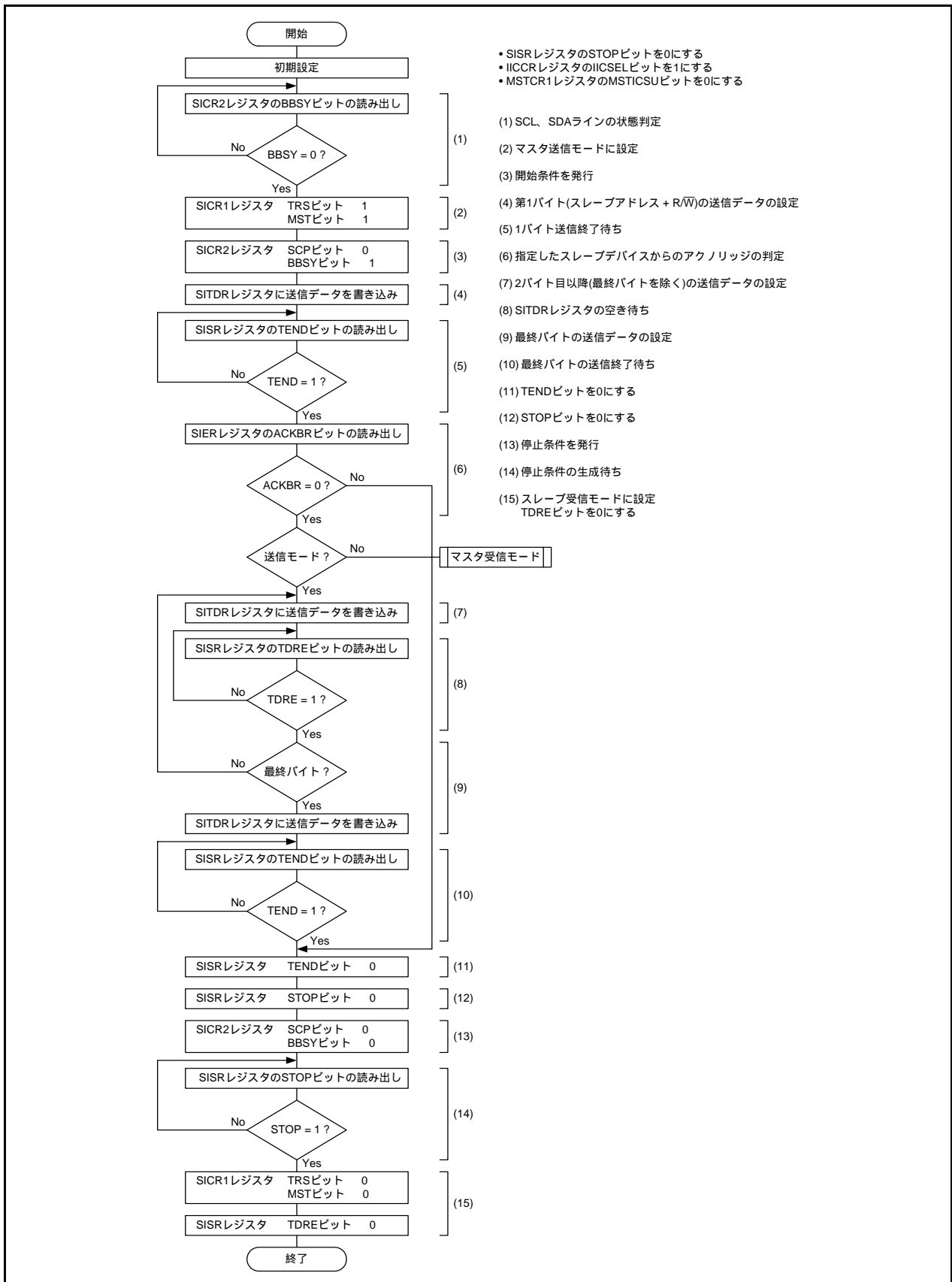


図20.31 マスタ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

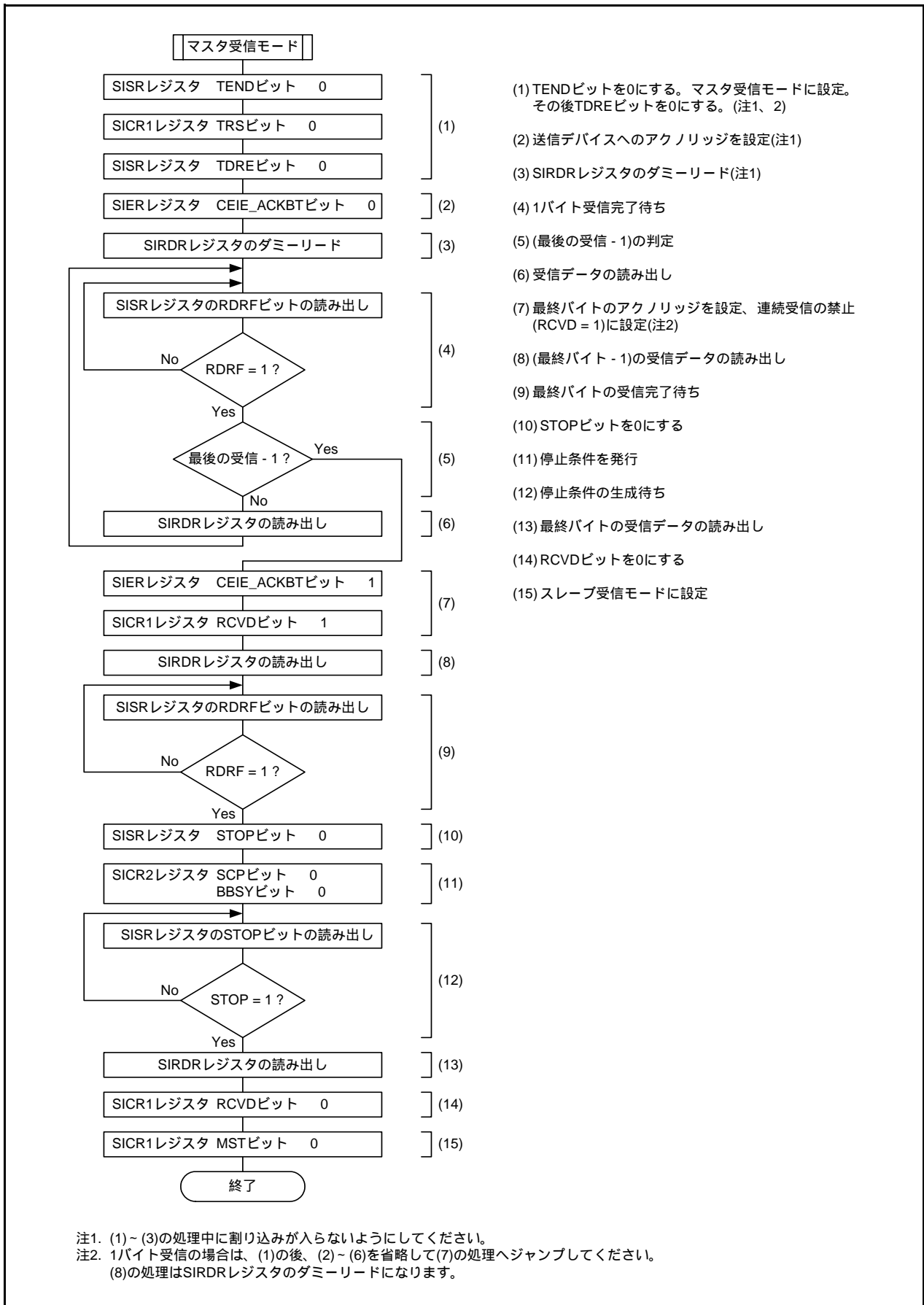


図20.32 マスタ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

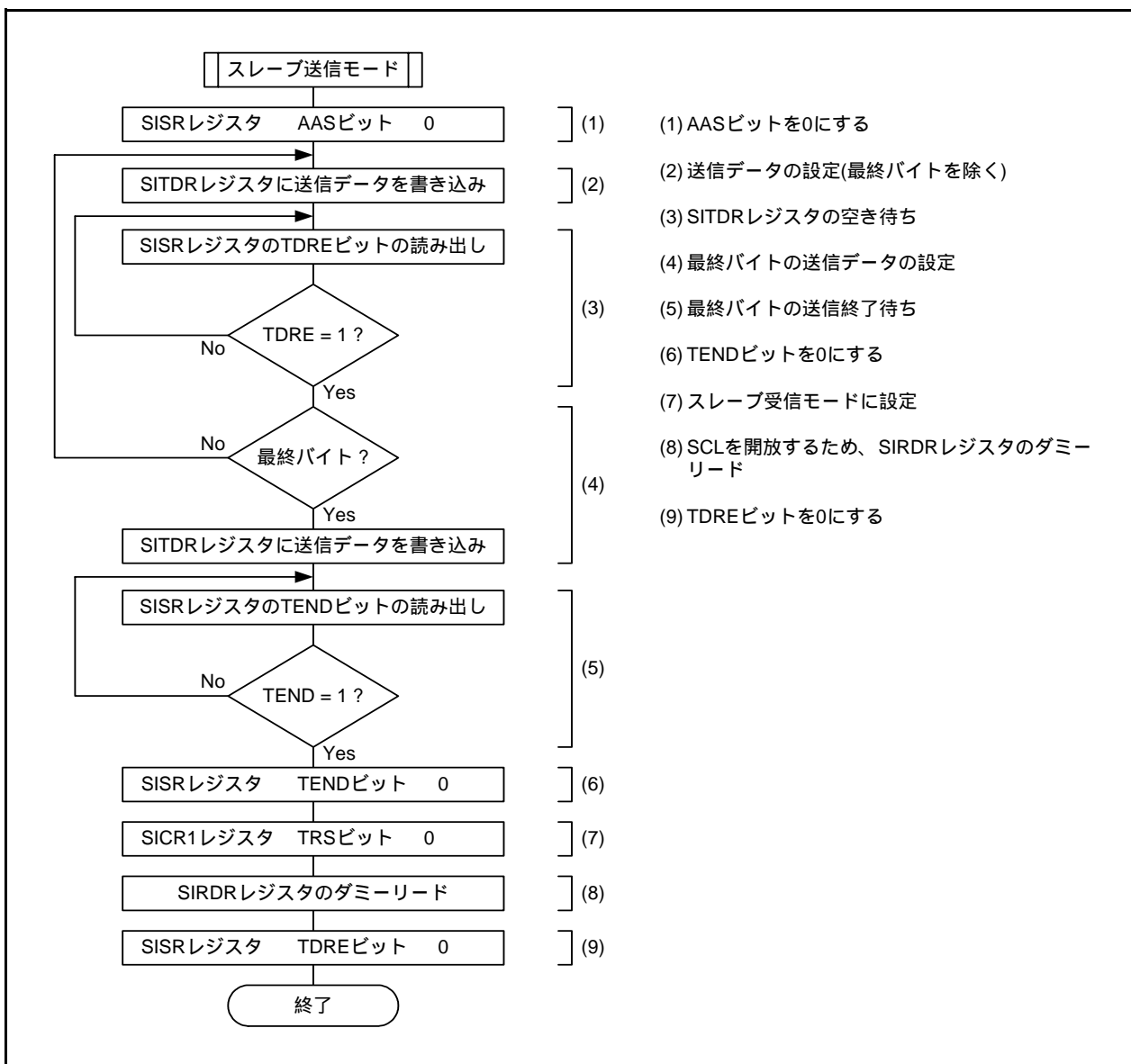


図20.33 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

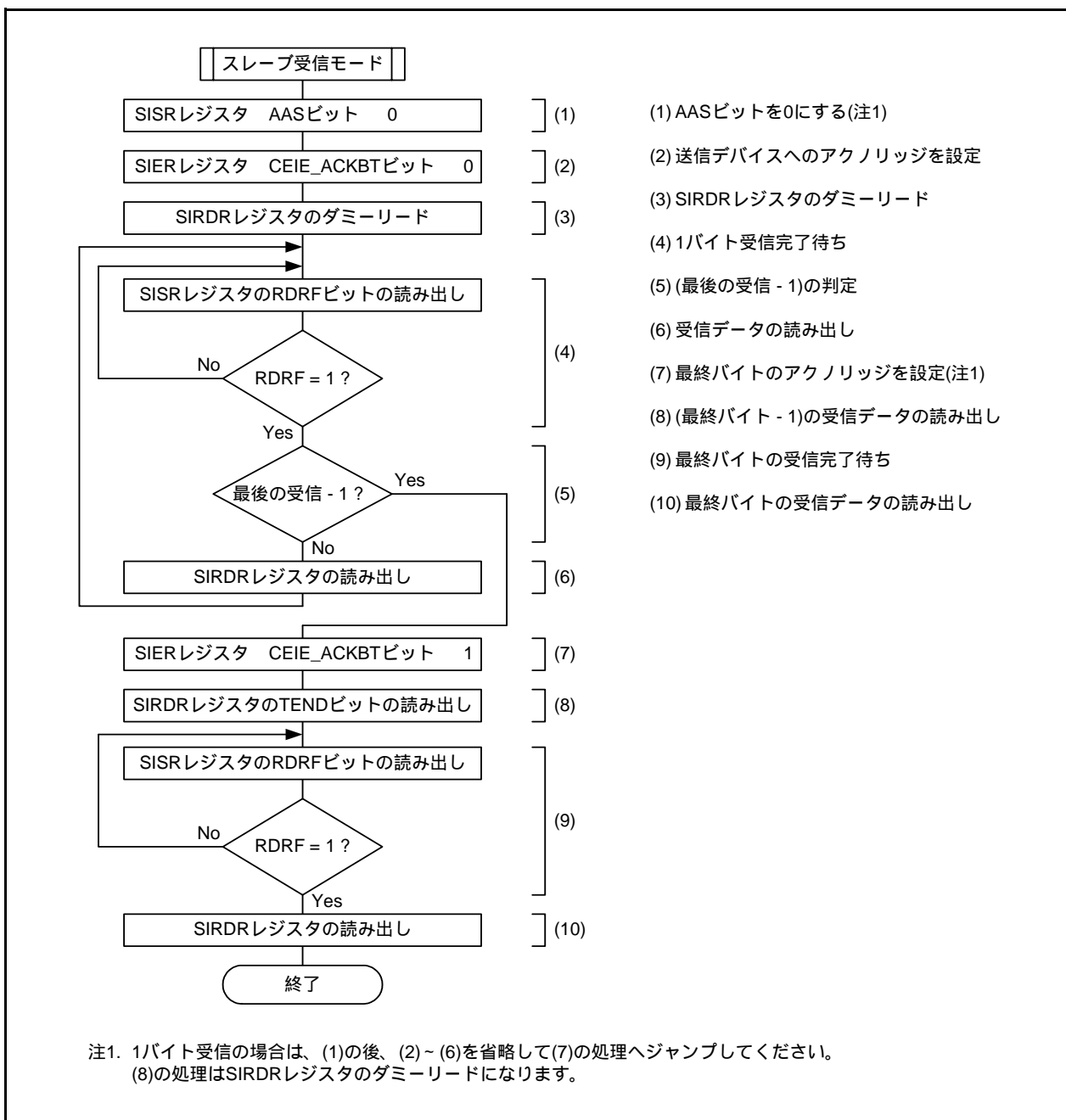


図20.34 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

### 20.4.5 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図20.35にノイズ除去回路のブロック図を示します。

ノイズ除去回路は、2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が $f_1$ でサンプリングされ、2つのラッチ出力が一致したときに初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

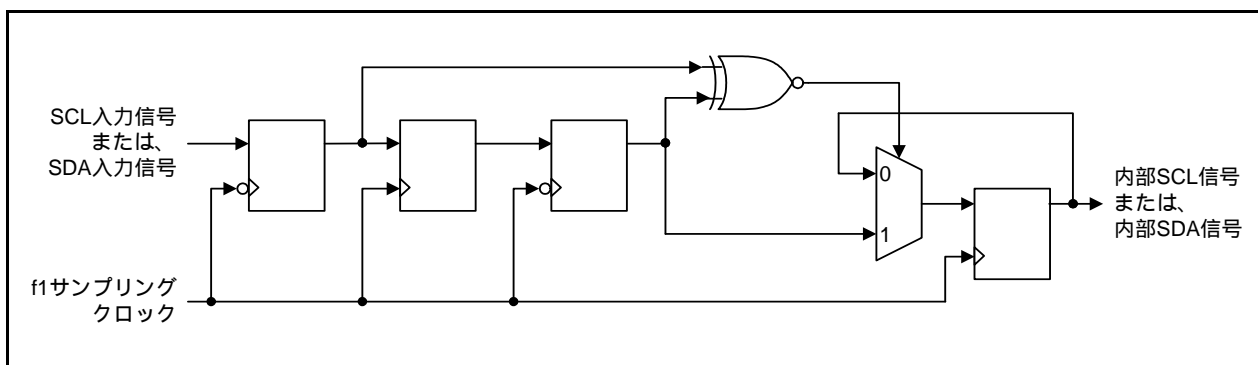


図20.35 ノイズ除去回路のブロック図

### 20.4.6 ビット同期回路

I<sup>2</sup>Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLがLに保持された場合
  - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態でH期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図20.36にビット同期回路のタイミング図を、表20.12にSCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

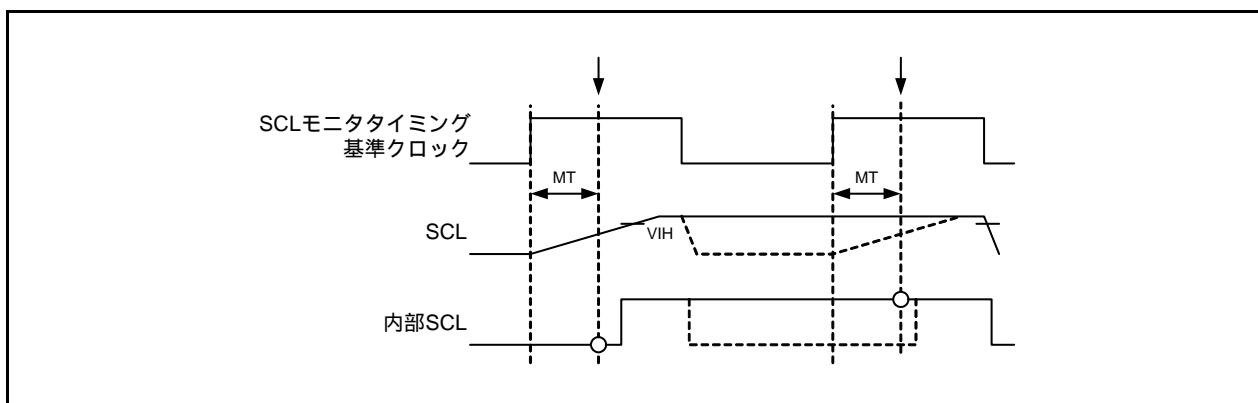


図20.36 ビット同期回路のタイミング図

表20.12 SCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間

SICR1レジスタ				SCLをモニタする時間(MT)
IICTCHALF	IICTCTW1	CKS3	CKS2	
0	0	0	0	7.5 Tcyc
			1	19.5 Tcyc
		1	0	17.5 Tcyc
			1	41.5 Tcyc
0	1	0	0	2.5 Tcyc
			1	8.5 Tcyc
		1	0	7.5 Tcyc
			1	19.5 Tcyc
1	0	0	0	17.5 Tcyc
			1	41.5 Tcyc
		1	0	37.5 Tcyc
			1	85.5 Tcyc

1 Tcyc = 1/f1 (s)

SCK = 1000bの場合、SCLのHigh幅が600 ns以下(I<sup>2</sup>C規格違反)であっても、ビット同期回路が機能しません。



20.4.7 I<sup>2</sup>Cバスインタフェースモード時の制御部リセット手順

I<sup>2</sup>Cバスインタフェースモードは、SICR2レジスタのSIRSTビットに1を書くことで、I<sup>2</sup>Cバス機能の一部レジスタと制御部をリセットできます。図20.37にI<sup>2</sup>Cバスインタフェースモード時の制御部リセット手順を示します。

制御部リセットを行った場合(図20.37の(2))、ICUの該当するIRビットが1(割り込み要求あり)になることがあります。IRビットをクリアする場合の注意事項は「11. 割り込み」を参照してください。

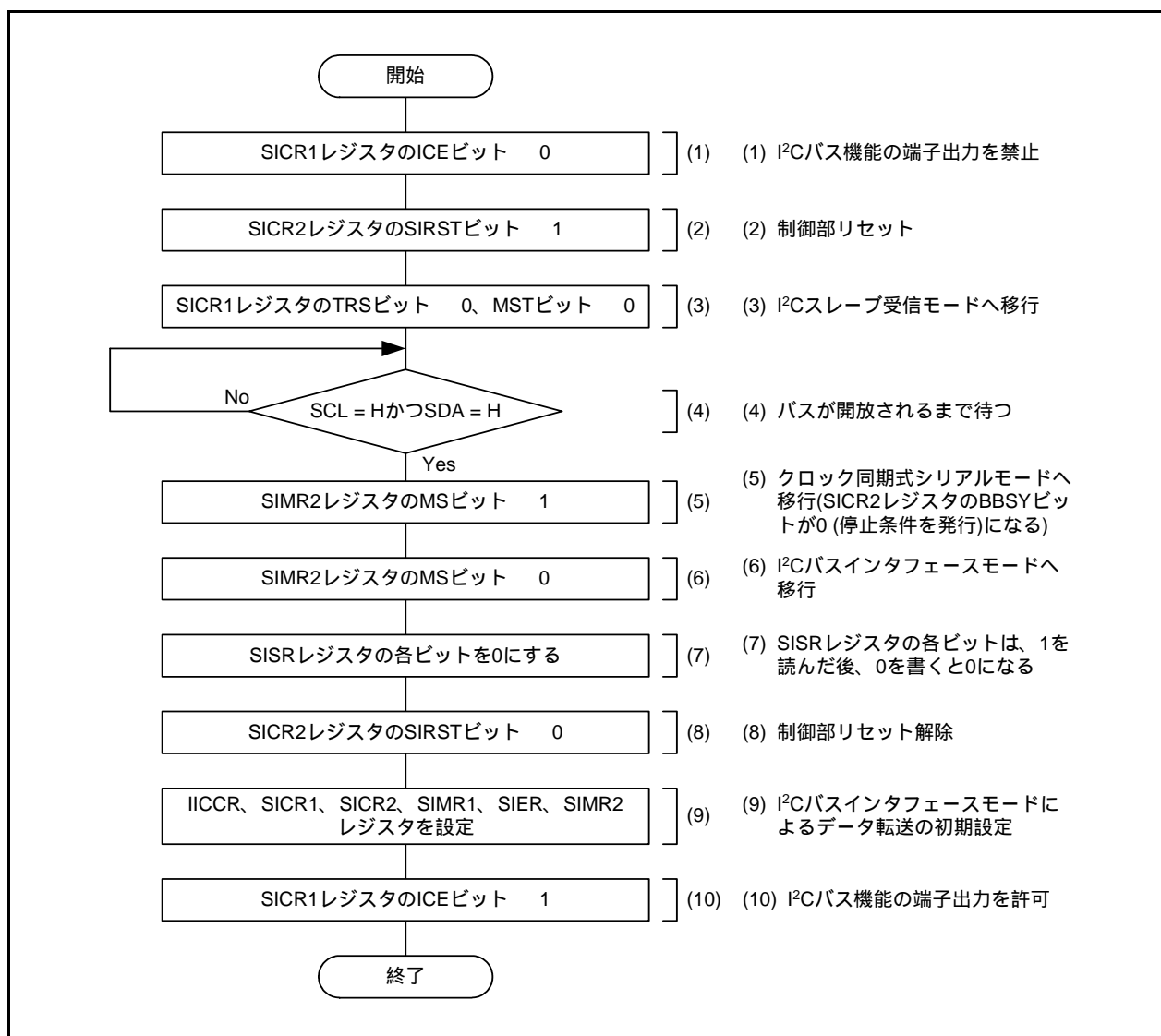


図20.37 I<sup>2</sup>Cバスインタフェースモード時の制御部リセット手順

## 20.5 クロック同期形シリアルインタフェース使用上の注意事項

### 20.5.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能)にしてください。

### 20.5.2 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、IICCRレジスタのIICSELビットを1(I<sup>2</sup>Cバス機能)にしてください。

#### I<sup>2</sup>C規格に関する注意事項

I<sup>2</sup>C規格を満たさない設定で使用しないでください。

- (1) I<sup>2</sup>C規格では、高速モードで転送速度はMax. 400 kHz、SCLのLow期間はMin. 1.3  $\mu$ sです。このマイクロコンピュータのI<sup>2</sup>Cバスインタフェースにおけるデューティは50%であるため、400 kHz動作時にSCLのLow期間Min. 1.3  $\mu$ sを満たすことができません。SCLのLow期間Min. 1.3  $\mu$ sを満たすために、転送速度を384.6 kHz以下で使用してください。
- (2) SCLの立ち上がりに対して、SDAの変化はMin. 300 nsの遅延が必要です。このマイクロコンピュータのI<sup>2</sup>Cバスインタフェースでは、IICCRレジスタのSDADLY0 ~ SDADLY1ビットで遅延値を設定できます。システムに合わせて遅延値を決めてください。f1が11 MHz以上の場合は、SDADLY1 ~ SDADLY0ビットを01b(11  $\times$  f1サイクルのデジタル遅延)または10b(19  $\times$  f1サイクルのデジタル遅延)にしてください。
- (3) CBUSとの互換性はありません。
- (4) 10ビットアドレス指定はできません。
- (5) スレーブ送信でデータ送信中に開始条件を検出した場合、その後続くアドレスを受信することはできず、動作が停止します。制御部リセット手順に従い、I<sup>2</sup>Cバスインタフェースをリセットしてください。
- (6) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (7) 停止条件を検出した後、マスタで通信を開始する場合、SISRレジスタのSTOPビットを0にしてください。

### 20.5.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに0、またはSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

#### 20.5.3.1 ビットが不定になる条件

- マスタ送信モード(SICR1レジスタのMST、TRSビットが1)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが1、TRSビットが0)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが0、TRSビットが1)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが0)において、本モジュールがアクノリッジを送信しているとき。

#### 20.5.3.2 対策

- 開始条件(SCLがHighのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHighのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHighの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHighのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLowの状態、かつ本モジュール以外にSCLをLowにするデバイスがない状態で、BBSYビットに0、SCPビットに0を書き、停止条件(SCLがHighのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- .SARレジスタのFSビットに1を書くと、BBSYビットは0になります。

#### 20.5.3.3 SIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHighのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1レジスタ、SICR2レジスタ、SISRレジスタの値が更新される場合があります。

## 21. A/Dコンバータ

逐次比較変換方式の10ビットのA/Dコンバータが内蔵されています。最大8チャンネルのアナログ入力を処理できます。

### 21.1 概要

表21.1にA/Dコンバータの仕様を、図21.1にA/Dコンバータのブロック図を示します。

表21.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V ~ AVCC
入力チャンネル	8チャンネル(AN0 ~ AN7)
分解能	10ビット
A/D変換クロック	f1、f2、f4、f8、fAD
変換時間	2.2 μs (A/D変換クロック=20MHz時)
A/D動作モード	<ul style="list-style-type: none"> <li>•単発モード：1つのチャンネル分のA/D変換を1回実行</li> <li>•繰り返しモード：1つのチャンネル分のA/D変換を繰り返し実行</li> <li>•単掃引モード：2つのチャンネル分のA/D変換を1回実行</li> <li>•繰り返し掃引モード：2つのチャンネル分のA/D変換を繰り返し実行</li> </ul>
A/D変換データレジスタ(2本)	A/D変換結果を格納する各チャンネルグループに対応した16ビットデータレジスタ(有効データ長：10ビット)
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRCからの変換開始トリガ</li> <li>•外部トリガ</li> </ul>
割り込み要因	A/D変換終了時に、A/D変換割り込みを発生
その他	MSTCRレジスタのMSTADビットによりA/Dコンバータのスタンバイを設定

注1. 電特の変換クロック $\phi$ ADの記号はAD変換クロックにする。測定条件 $\phi$ AD = A/D変換クロックにする。

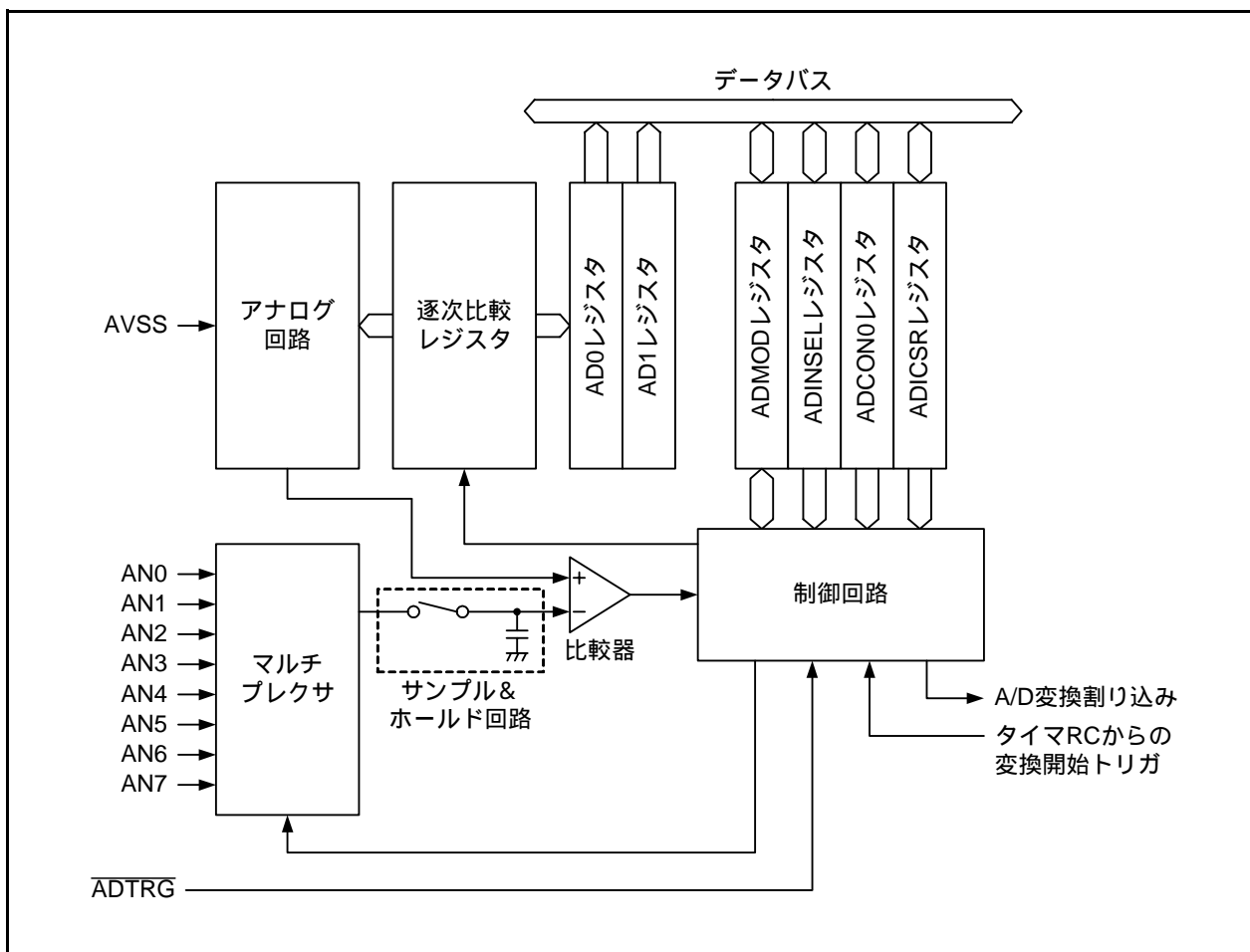


図21.1 A/Dコンバータのブロック図

表21.2にA/Dコンバータの端子構成を示します。

AVCC、AVSS端子は、A/Dコンバータ内部のアナログ部の電源です。

8本のアナログ入力端子は、4つのチャンネルグループに分類されます。

表21.2 A/Dコンバータの端子構成

端子名	割り当てる端子	入出力	機能
AVCC	VCC	入力	A/Dコンバータの電源入力
AVSS	VSS	入力	
AN0	P1_0	入力	チャンネルグループ0のアナログ入力
AN1	P1_1	入力	チャンネルグループ1のアナログ入力
AN2	P1_2	入力	
AN3	P1_3	入力	チャンネルグループ2のアナログ入力
AN4	P1_4	入力	
AN7	P1_7	入力	チャンネルグループ3のアナログ入力
AN5	P1_5	入力	
AN6	P1_6	入力	
ADTRG	P3_7、P4_5	入力	A/D変換開始のための外部トリガ入力

## 21.2 レジスタの説明

表21.3にA/Dコンバータのレジスタ構成を示します。

表21.3 A/Dコンバータのレジスタ構成

レジスタ名	有効データ	シンボル	リセット後の値	アドレス	アクセスサイズ
A/Dレジスタ0	下位8ビット	AD0L	XXh	00098h	8または16 (注1)
	上位2ビット	AD0H	000000XXb	00099h	
A/Dレジスタ1	下位8ビット	AD1L	XXh	0009Ah	8または16 (注1)
	上位2ビット	AD1H	000000XXb	0009Bh	
A/Dモードレジスタ		ADMOD	00h	0009Ch	8
A/D入力選択レジスタ		ADINSEL	00h	0009Dh	8
A/D制御レジスタ0		ADCON0	00h	0009Eh	8
A/D割り込み制御ステータスレジスタ		ADICSR	00h	0009Fh	8

X：不定

注1. アクセス方法の詳細は、レジスタの説明を参照してください。

21.2.1 A/Dレジスタ $i$  (AD $i$ ) ( $i = 0, 1$ )

アドレス 00098h (AD0L)、0009Ah (AD1L)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

アドレス 00099h (AD0H)、0009Bh (AD1H)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	X	X

ビット	シンボル	機能	R/W
b7 ~ b0	—	A/D変換結果の下位8ビット	R
b8	—	A/D変換結果の上位2ビット	R
b9	—		
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

AD $i$ レジスタ( $i = 0, 1$ )は、A/D変換された結果を格納するための、16ビットの読み出し専用レジスタです。AD $i$ L(下位)とAD $i$ H(上位)の2つに分かれます。表21.4にアナログ入力チャンネルとAD $i$ レジスタの対応を示します。

AD $i$ Hレジスタの上位6ビットを読むと、その値は0です。8ビット単位でも16ビット単位でもアクセスできます。8ビット単位で読み出す場合は、AD $i$ Lレジスタを読んだ後、AD $i$ Hレジスタを読んでください。16ビット単位で読み出すと、8ビット単位で2回読み出されます。

表21.4 アナログ入力チャンネルとAD $i$ レジスタの対応

アナログ入力チャンネル				変換結果が格納されるA/Dデータレジスタ
チャンネルグループ0 (ADGSEL1 ~ ADGSEL0 = 00b)	チャンネルグループ1 (ADGSEL1 ~ ADGSEL0 = 01b)	チャンネルグループ2 (ADGSEL1 ~ ADGSEL0 = 10b)	チャンネルグループ3 (ADGSEL1 ~ ADGSEL0 = 11b)	
AN0	AN2	AN4	AN5	AD0レジスタ
AN1	AN3	AN7	AN6	AD1レジスタ

ADGSEL0 ~ ADGSEL1 : ADINSELレジスタのビット

## 21.2.2 A/Dモードレジスタ(ADM0D)

アドレス	0009Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	—	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	A/D変換クロック選択ビット	b2 b1 b0 0 0 0 : f8 0 0 1 : f4 0 1 0 : f2 0 1 1 : f1 1 0 0 : fAD 上記以外 : 設定しないでください	R/W
b1	CKS1			R/W
b2	CKS2			R/W
b3	MD0	A/D動作モード選択ビット	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード	R/W
b4	MD1			R/W
b5	—	予約ビット	0にしてください	R/W
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 0 0 : タイマRC、外部トリガによるA/D変換開始を禁止 0 1 : 設定しないでください 1 0 : タイマRCからの変換トリガによるA/D変換開始 1 1 : 外部トリガ(ADTRG)によるA/D変換開始	R/W
b7	ADCAP1			R/W

ADM0Dレジスタに対する書き込みは、A/D変換停止時に行ってください。

## CKS0 ~ CKS2ビット(A/D変換クロック選択ビット)

A/D変換に使用するクロックを選択します。

## ADCAP0 ~ ADCAP1ビット(A/D変換トリガ選択ビット)

A/D変換開始に使用するトリガを選択または禁止します。

ソフトウェアトリガを使用する場合はADCAP1 ~ ADCAP0ビット=01b以外にしてください。



## 21.2.3 A/D入力選択レジスタ(ADINSEL)

アドレス	0009Dh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	—	—	—	—	—	CH0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	チャンネル選択ビット	「表21.5 チャンネルグループとA/Dコンバータ入力チャンネル」参照	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 00 : チャンネルグループ0 (AN0、AN1) 01 : チャンネルグループ1 (AN2、AN3) 10 : チャンネルグループ2 (AN4、AN7) 11 : チャンネルグループ3 (AN5、AN6)	R/W
b7	ADGSEL1			R/W

ADINSELレジスタに対する書き込みは、A/D変換停止時に行ってください。

## CH0ビット(チャンネル選択ビット)

入力チャンネルの選択は、ADCON0レジスタのADSTビットが0(A/D変換停止)の状態で行ってください。

表21.5 チャンネルグループとA/Dコンバータ入力チャンネル

	ADGSEL1ビット	ADGSEL0ビット	CH0ビット	単発モード 繰り返しモード	単掃引モード 繰り返し掃引モード
チャンネル グループ0	0	0	0	AN0	AN0、AN1
			1	AN1	
チャンネル グループ1	0	1	0	AN2	AN2、AN3
			1	AN3	
チャンネル グループ2	1	0	0	AN4	AN4、AN7
			1	AN7	
チャンネル グループ3	1	1	0	AN5	AN5、AN6
			1	AN6	

## 21.2.4 A/D制御レジスタ0 (ADCON0)

アドレス	0009Eh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始ビット	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADCON0レジスタは、A/D変換動作を制御します。

## ADSTビット(A/D変換開始ビット)

ADSTビットはA/D変換の開始と、停止を制御します。

[0になる条件]

- 単発モードと単掃引モードで、A/D変換を終了したとき
- ソフトウェアで0を書いたとき(A/D変換停止)

[1になる条件]

- ソフトウェアで1を書いたとき(A/D変換開始)
- TRCADCRレジスタで許可されているA/D変換開始トリガを入力したとき
- 外部トリガ(ADTRG)が入力されたとき

## 21.2.5 A/D割り込み制御ステータスレジスタ (ADICSR)

アドレス	0009Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADF	ADIE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	ADIE	A/D変換割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b7	ADF	A/D変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	R/W (注1)

注1. ADFビットは、0(割り込み要求なし)のみ書き込み可能です。

## ADFビット(A/D変換割り込み要求ビット)

A/D変換割り込み要求を示すビットです。また、A/D変換の終了を示すビットです。

[0になる条件]

1を読んだ後、0を書いたとき

[1になる条件]

- 単発モードと単掃引モードで、A/D変換が終了したとき
- 繰り返しモードと繰り返し掃引モードで、選択されたすべてのチャンネルのA/D変換が終了したとき

## 21.3 動作説明

A/Dコンバータは、単発モード、繰り返しモード、単掃引モード、繰り返し掃引モードの4種類の動作モードがあります。逐次比較方式で、分解能は10ビットです。

動作モード、アナログ入力チャネルおよびA/D変換クロックの切り替えは、ADCON0レジスタのADSTビットが0(A/D変換停止)の状態で行ってください。

### 21.3.1 複数モードに関わる共通事項

#### 21.3.1.1 入力サンプリングとA/D変換時間

A/Dコンバータには、サンプル&ホールド回路が内蔵されています。A/Dコンバータは、ADCON0レジスタのADSTビットが1(A/D変換中)になると、A/D変換開始遅延時間( $t_D$ )を経過した後、入力をサンプリングし、変換を開始します。

図21.2にA/D変換のタイミング図を示します。表21.6にA/D変換時間を示します。

A/D変換時間( $t_{CONV}$ )は、図21.2に示すように $t_D$ と入力サンプリング時間( $t_{SPL}$ )を含めた時間となります。ここで、 $t_D$ はADCON0レジスタへの書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表21.6に示す範囲で変化します。

単発モード、単掃引モードでは、終了処理時間にADICSRレジスタのADFビットが1になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合  
A/D変換時間( $t_{CONV}$ ) + 終了処理時間( $t_{END}$ )
- 単掃引モードで2チャネルを選択した場合  
A/D変換時間( $t_{CONV}$ ) + A/D変換時間( $t_{CONV}$ 、ただし開始遅延時間( $t_D$ )はありません) + 終了処理時間( $t_{END}$ )

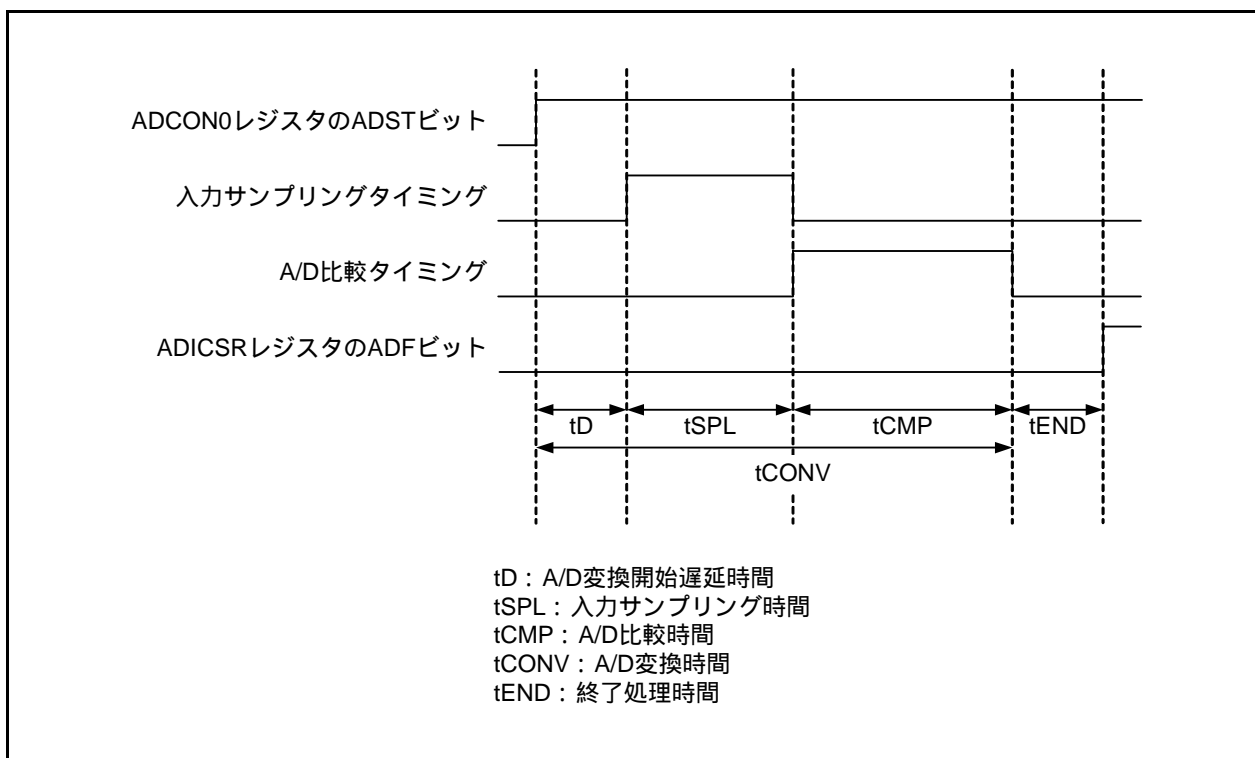


図21.2 A/D変換のタイミング図

表21.6 A/D変換時間

項目	記号	A/D変換クロック				
		f1	f2	f4	f8	fAD
		CKS0 = 1	CKS0 = 0	CKS0 = 1	CKS0 = 0	CKS0 = 0
		CKS1 = 1		CKS1 = 0		CKS1 = 0
CKS2 = 0 (注1)					CKS2 = 1 (注2)	
A/D変換開始 遅延時間(注3)	tD	3	3 ~ 4	3 ~ 6	3 ~ 10	3
入力サンプリング時間	tSPL	16	31	61	121	16
A/D比較時間	tCMP	25	50	100	200	25
A/D変換時間	tCONV	44	84 ~ 85	164 ~ 167	324 ~ 331	44
終了処理時間	tEND	fADの2 ~ 3サイクル				

CKS0、CKS1、CKS2：ADMODレジスタのビット

注1. 表中の数値の単位は、システムクロック(f)のサイクル数です。

注2. 表中の数値の単位は、fADのサイクル数です。

注3. 繰り返しモード、単掃引モード、繰り返し単掃引モード時、2回目以降のA/D変換時間(tCONV)には、遅延時間がありません。

### 21.3.1.2 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガは、ADMODレジスタのADCAP1 ~ ADCAP0ビットが11bの場合(外部トリガ(ADTRG)によるA/D変換開始)、ADTRG端子から入力されます。ADTRG入力端子の立ち下がりエッジでADCON0レジスタのADSTビットが1(A/D変換)になり、A/D変換が開始されます。その他の動作は、ソフトウェアによってADCON0レジスタのADSTビットを1にした場合と同じです。

図21.3に外部トリガ入力のタイミング図を示します。

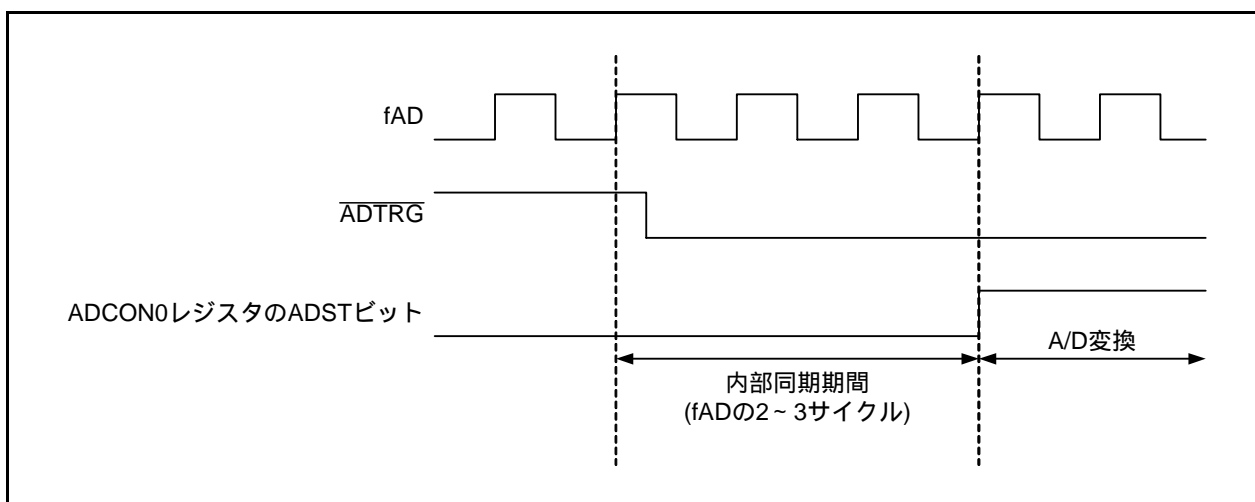


図21.3 外部トリガ入力のタイミング図

## 21.3.2 単発モード

図21.4にチャンネル1選択時の単発モードの動作例を示します。

単発モードは、指定された1つのチャンネルのアナログ入力を、次のように1回A/D変換します。

- (1) ソフトウェアトリガと、タイマRCトリガと、外部トリガは入力によって、ADCON0レジスタのADSTビットが1(A/D変換開始)になると、選択されたチャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するADiレジスタ(i = 0、1)に転送されます。
- (3) A/D変換が終了すると、ADICSRレジスタのADFビットが1(割り込み要求あり)になります。ADFビットは1を読んだ後、0を書くと0(割り込み要求なし)になります。
- (4) A/D変換中、ADSTビットは1(A/D変換開始)を保持し、変換が終了すると自動的にADSTビットは0(A/D変換停止)になり、A/Dコンバータは待機状態になります。なお、A/D変換中にADSTビットを0にするとA/D変換を停止し、A/Dコンバータは待機状態になります。

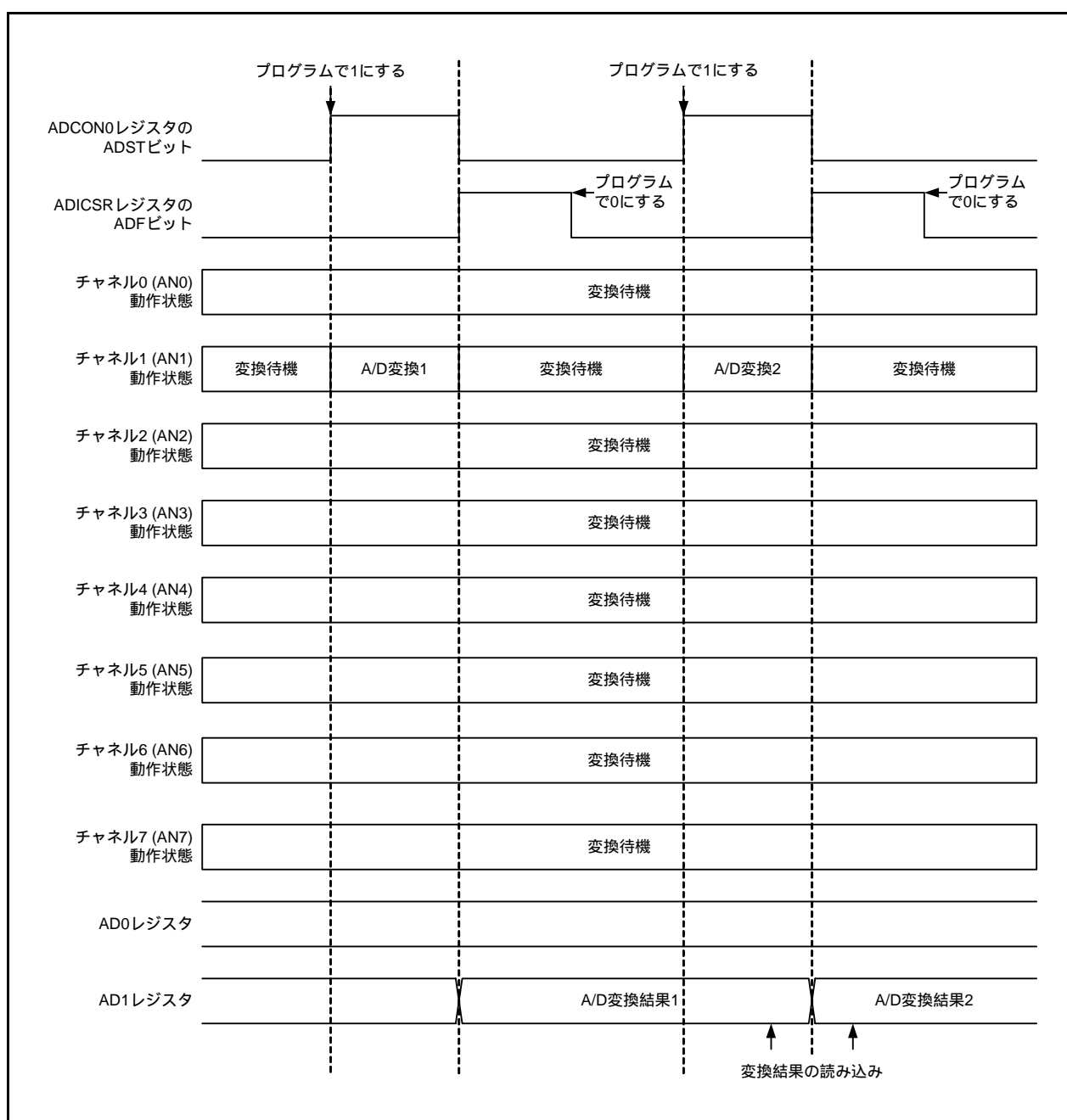


図21.4 チャンネル1選択時の単発モードの動作例

## 21.3.3 繰り返しモード

図21.5にチャンネル1選択時の繰り返しモードの動作例を示します。

繰り返しモードは、指定された1つのチャンネルのアナログ入力を、次のように繰り返しA/D変換します。

- (1) ソフトウェアトリガ、タイマRCトリガまたは外部トリガ入力によって、ADCON0レジスタのADSTビットが1(A/D変換開始)になると、選択されたチャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するAD<sub>i</sub>レジスタ( $i = 0, 1$ )に転送されます。
- (3) A/D変換が終了すると、ADICSRレジスタのADFビットが1(割り込み要求あり)になります。ADFビットは1を読んだ後、0を書くと0(割り込み要求なし)になります。
- (4) ADSTビットが1(A/D変換開始)の間は、(2)と(3)を繰り返します。ADSTビットが0(A/D変換停止)になるとA/D変換を中止し、A/Dコンバータは待機状態になります。その後、ADSTビットが1になると、再び選択されたチャンネルのA/D変換を開始します。

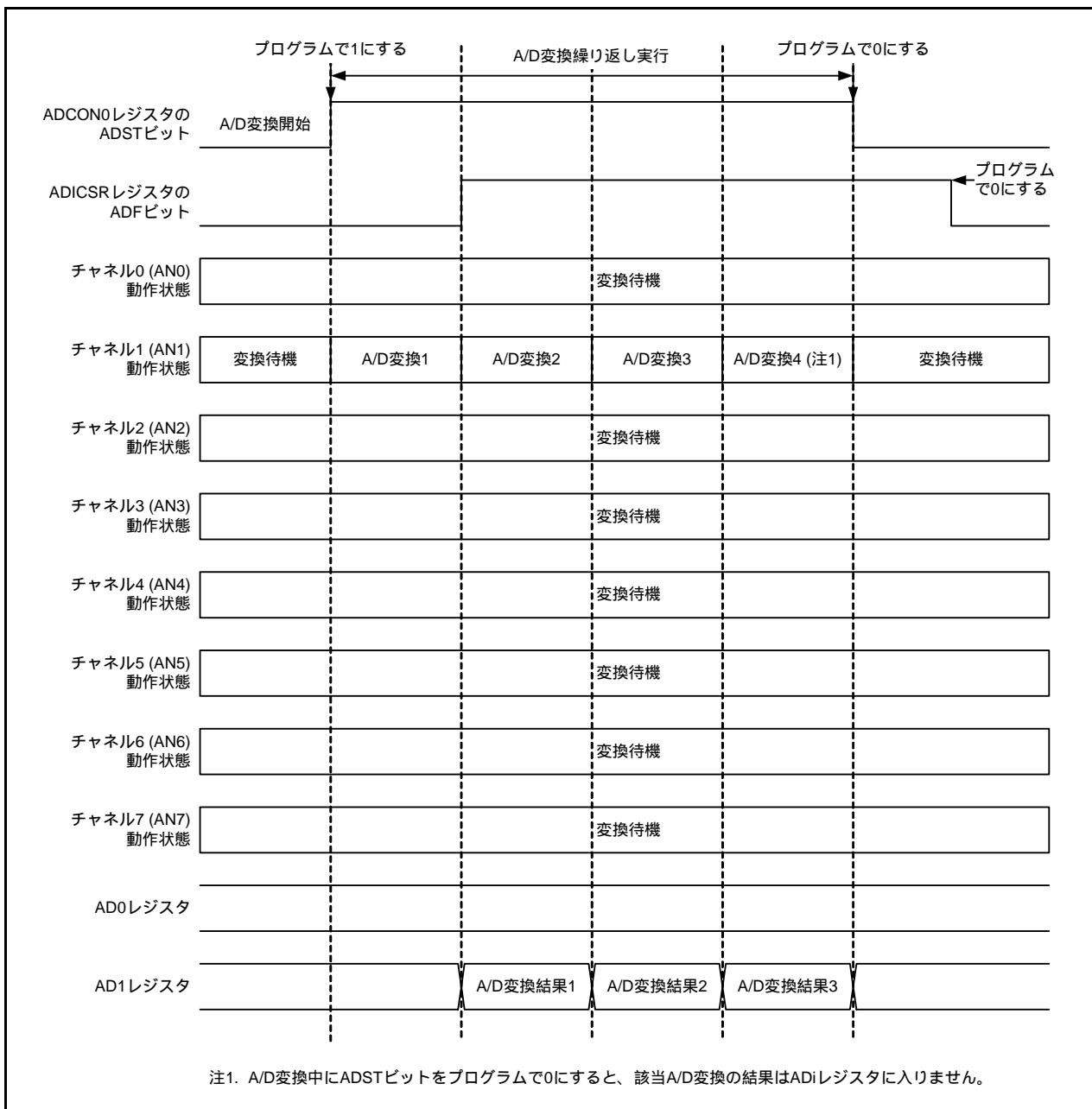


図21.5 チャンネル1選択時の繰り返しモードの動作例

## 21.3.4 単掃引モード

図21.6にチャンネル0とチャンネル1選択時の単掃引モードの動作例を示します。

単掃引モードは、指定された2つのチャンネルのアナログ入力を、次のように1回ずつA/D変換します。

- (1) ソフトウェアトリガ、タイマRCトリガまたは外部トリガ入力によって、ADCON0レジスタのADSTビットが1(A/D変換開始)になると、チャンネルグループ0が選択されている場合はAN0から、チャンネルグループ1の場合はAN2からA/D変換を開始します。チャンネルグループ2の場合はAN4から、チャンネルグループ3の場合はAN5からA/D変換を開始します。
- (2) それぞれのチャンネルのA/D変換が終了すると、A/D変換結果がそのチャンネルに対応するADiレジスタ( $i = 0, 1$ )に転送されます。
- (3) 選択されたすべてのチャンネルのA/D変換が終了すると、ADICSRレジスタのADFビットが1(割り込み要求あり)になります。

ADFビットは1を読んだ後、0を書くと0(割り込み要求なし)になります。

- (4) A/D変換中、ADSTビットは1(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にADSTビットは0(A/D変換停止)になり、A/Dコンバータは待機状態になります。なお、A/D変換中にADSTビットを0にするとA/D変換を中止し、A/Dコンバータは待機状態になります。

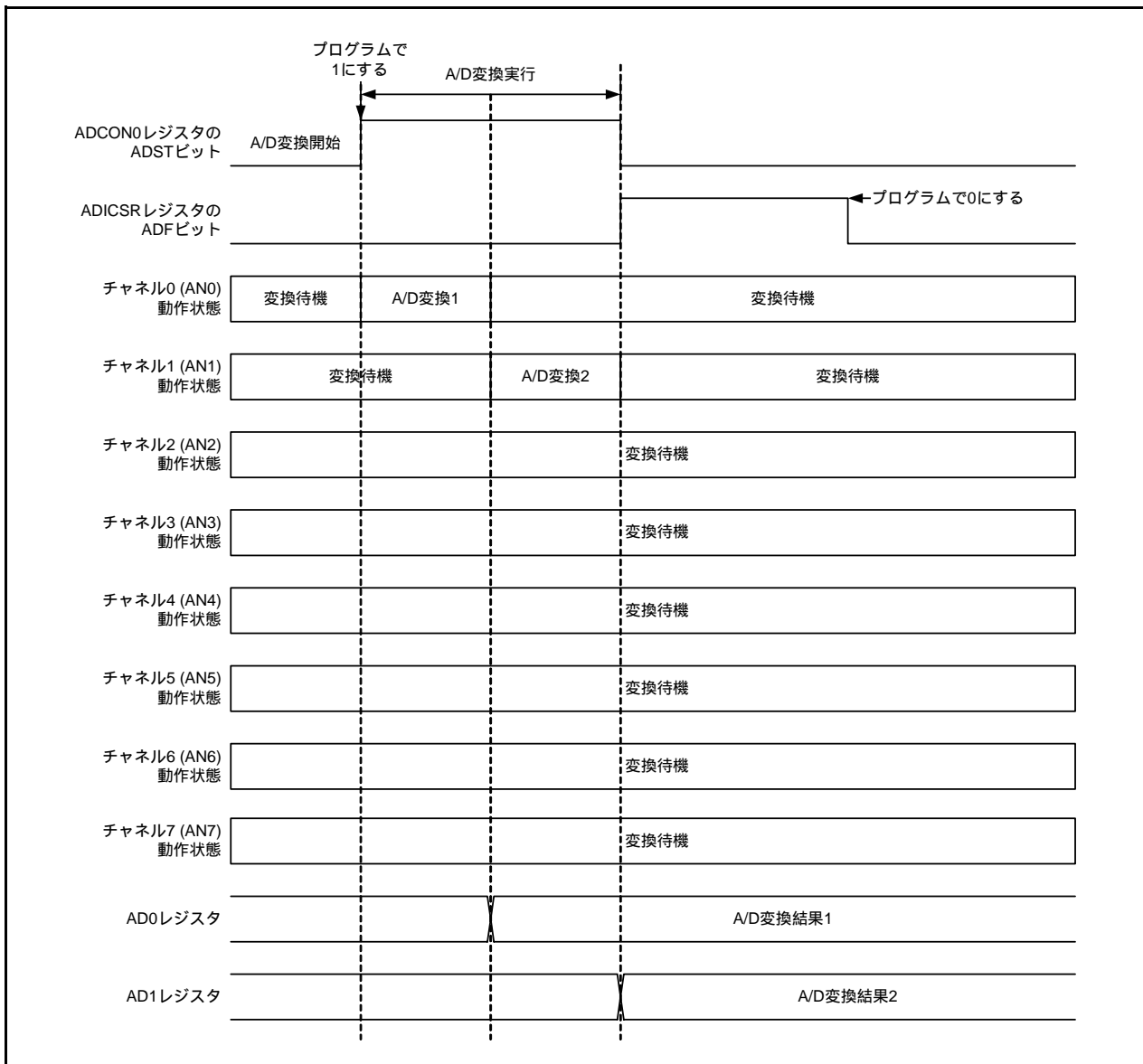


図21.6 チャンネル0とチャンネル1選択時の単掃引モードの動作例



## 21.3.5 繰り返し掃引モード

図21.7にチャンネル0とチャンネル1選択時の繰り返し掃引モードの動作例を示します。

繰り返し掃引モードは、指定された2つのチャンネルのアナログ入力を、次のように繰り返しA/D変換します。

- (1) ソフトウェアトリガと、タイマRCトリガと、外部トリガは入力によって、ADCON0レジスタのADSTビットが1(A/D変換開始)になると、チャンネルグループ0が選択されている場合はAN0から、チャンネルグループ1の場合はAN2からA/D変換を開始します。チャンネルグループ2の場合はAN4から、チャンネルグループ3の場合はAN5からA/D変換を開始します。
- (2) それぞれのチャンネルのA/D変換が終了すると、A/D変換結果がそのチャンネルに対応するAD<sub>i</sub>レジスタ( $i = 0, 1$ )に転送されます。
- (3) 選択されたすべてのチャンネルのA/D変換が終了すると、ADICSRレジスタのADFビットが1(割り込み要求あり)になります。  
ADFビットは1を読んだ後、0を書くと0(割り込み要求なし)になります。
- (4) ADSTビットが1(A/D変換開始)の間は、(2)と(3)を繰り返します。ADSTビットが0(A/D変換停止)になるとA/D変換を中止し、A/Dコンバータは待機状態になります。その後、ADSTビットが1になると、チャンネルグループ0が選択されている場合は再びAN0から、チャンネルグループ1の場合は再びAN2からA/D変換を開始します。チャンネルグループ2の場合は再びAN4からA/D変換を開始します。

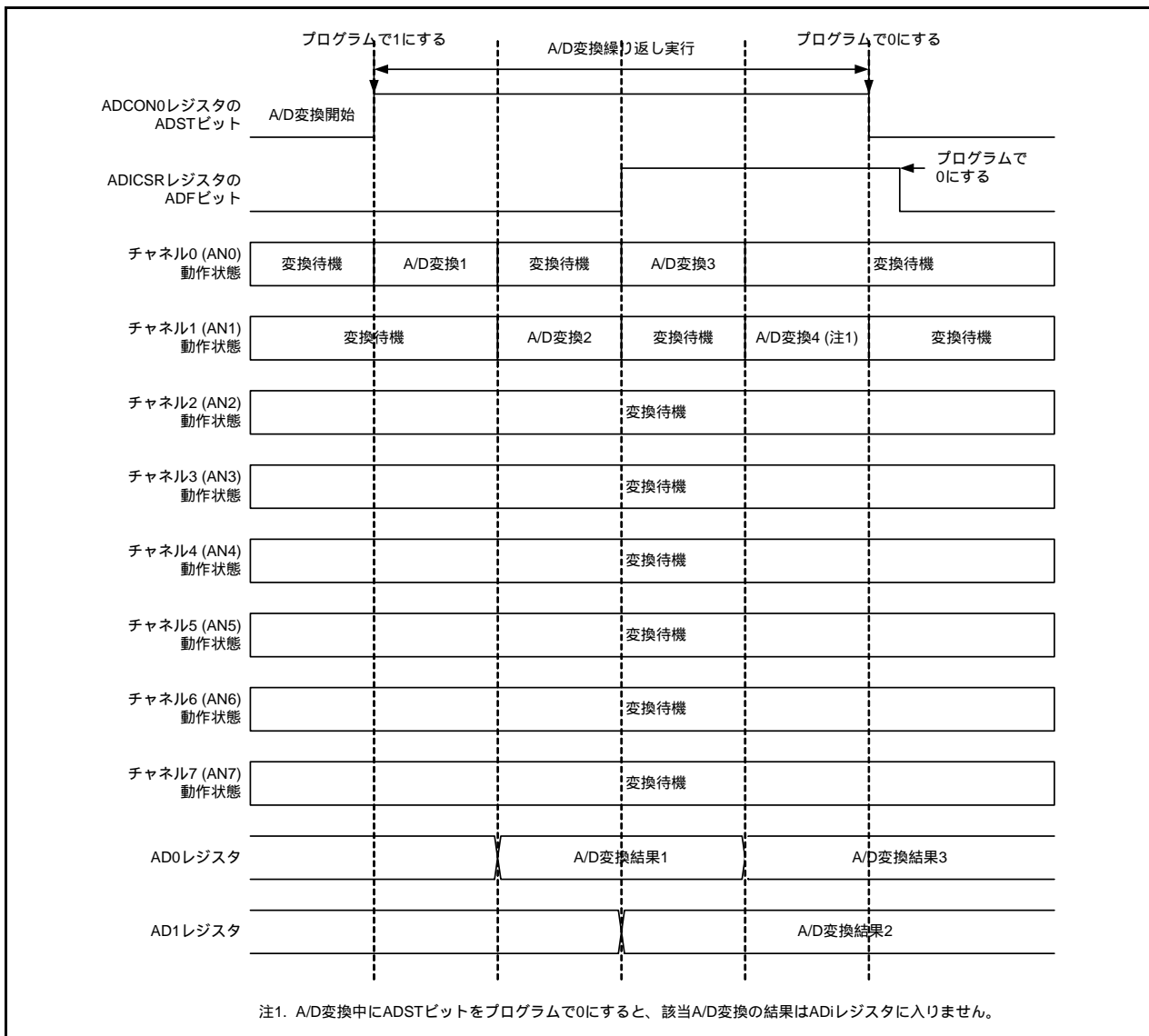


図21.7 チャンネル0とチャンネル1選択時の繰り返し掃引モードの動作例

## 21.4 A/D コンバータの割り込み

表21.7にA/Dコンバータの割り込みを示します。

A/D変換が終了すると、ADICSRレジスタのADFビットが1(割り込み要求あり)になります。

ADIEビットが1(割り込み許可)の場合、A/D変換割り込みが発生します。

表21.7 A/D コンバータの割り込み

割り込み要因	割り込み名称	割り込みフラグ
A/D変換終了	A/D変換割り込み	ADICSRレジスタのADFビット

## 21.5 A/Dコンバータ使用上の注意事項

### 21.5.1 A/Dコンバータのスタンバイ設定

MSTCRレジスタのMSTADビットにより、A/Dコンバータのスタンバイ/アクティブを設定できます。A/D変換を停止してからモジュールスタンバイに設定してください。A/Dコンバータのスタンバイを解除することにより、レジスタのアクセスが可能になります。詳細は「5. システム制御」を参照してください。

## 21.5.2 A/D変換時のセンサの出カインピーダンス

A/D変換を正しく行うためには、図21.8の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出カインピーダンスをR0、マイクロコンピュータ内部の抵抗をR、A/D変換精度(誤差)をX、分解能をY(Yは10ビットモード時1024)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right)より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図21.8にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1 LSBになる時、時間TでコンデンサCの端子間電圧VCが0からVIN - (0.1/1024) VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D変換精度の低下を0.1 LSBにおさえることを意味します。ただし、実際の誤差は0.1 LSBに絶対精度が加わった値です。

A/D変換クロック = 20 MHzのとき、T = 0.8 μsになります。この時間T内にコンデンサCの充電を十分に行える出カインピーダンスR0は、以下のように求められます。

T = 0.8 μs、R = 10 kΩ、C = 6.0 pF、X = 0.1、Y = 1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

従って、A/D変換精度(誤差)を0.1 LSB以下にするセンサ回路の出カインピーダンスR0は、最大4.4 kΩになります。

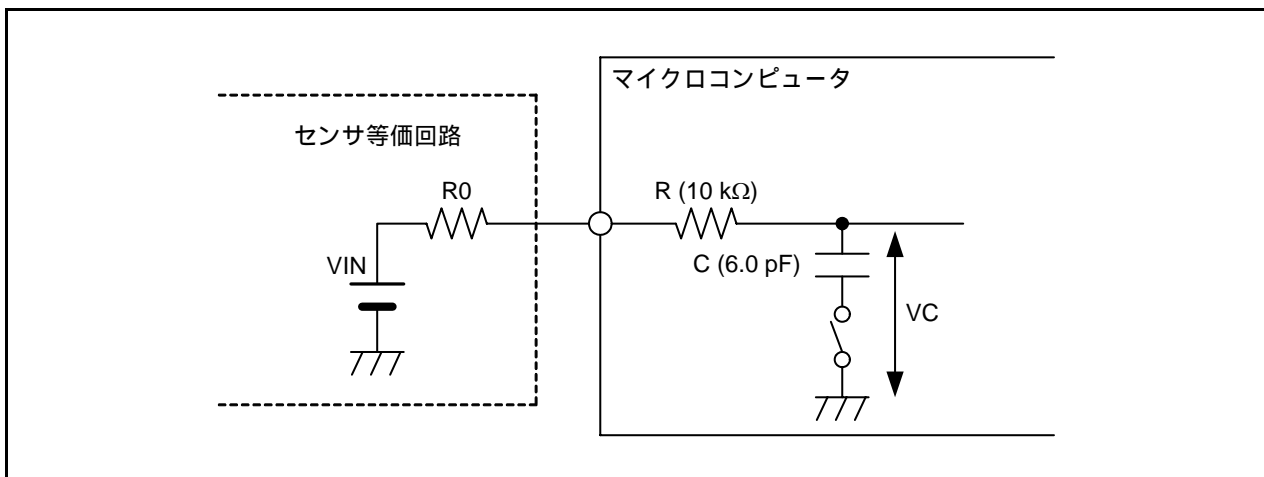


図21.8 アナログ入力端子と外部センサの等価回路例

### 21.5.3 レジスタの設定

- ADMOD、ADINSEL レジスタに対する書き込みは、A/D 変換停止時に行ってください。
- A/D 変換中は、ストップモードに移行しないでください。
- A/D 変換中は、CKSTPR レジスタの WCKSTP ビットが 1 (ウェイトモード時、システムクロックを停止) の状態で、ウェイトモードに移行しないでください。
- A/D 変換中は、FMR0 レジスタの FMSTP ビットを 1 (フラッシュメモリ停止)、FMR2 レジスタの FMR27 ビットを 1 (低消費電流リードモード許可) に設定をしないでください。
- A/D 変換中に、プログラムで ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止中) にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない AD<sub>i</sub> レジスタ (i = 0, 1) も、不定になる場合があります。  
プログラムで ADST ビットを 0 にした場合は、すべての AD<sub>i</sub> レジスタの値を使用しないでください。
- A/D コンバータを使用するときは、A/D 変換結果の平均化処理を推奨します。

## 22. コンパレータB

コンパレータBは、基準入力電圧とアナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータから構成します。

### 22.1 概要

基準入力電圧とアナログ入力電圧の比較結果は、ソフトウェアで読めます。

表22.1にコンパレータBの仕様を、図22.1にコンパレータBのブロック図を、表22.2にコンパレータBの端子構成を示します。

表22.1 コンパレータBの仕様

項目	仕様	
	入力電圧	基準入力
アナログ入力		アナログ端子 (IVCMPi) からの入力
比較結果	WCMPRレジスタのWCBiOUTビットの読み出し、またはVCOUTi端子でモニタできる	
割り込み要求発生タイミング	比較結果が変化したとき	
デジタルフィルタ機能	<ul style="list-style-type: none"> <li>• デジタルフィルタの有効または無効を切り換え</li> <li>• サンプリング周波数を選択 (f1、f8、f32)</li> </ul>	

i = 1、3

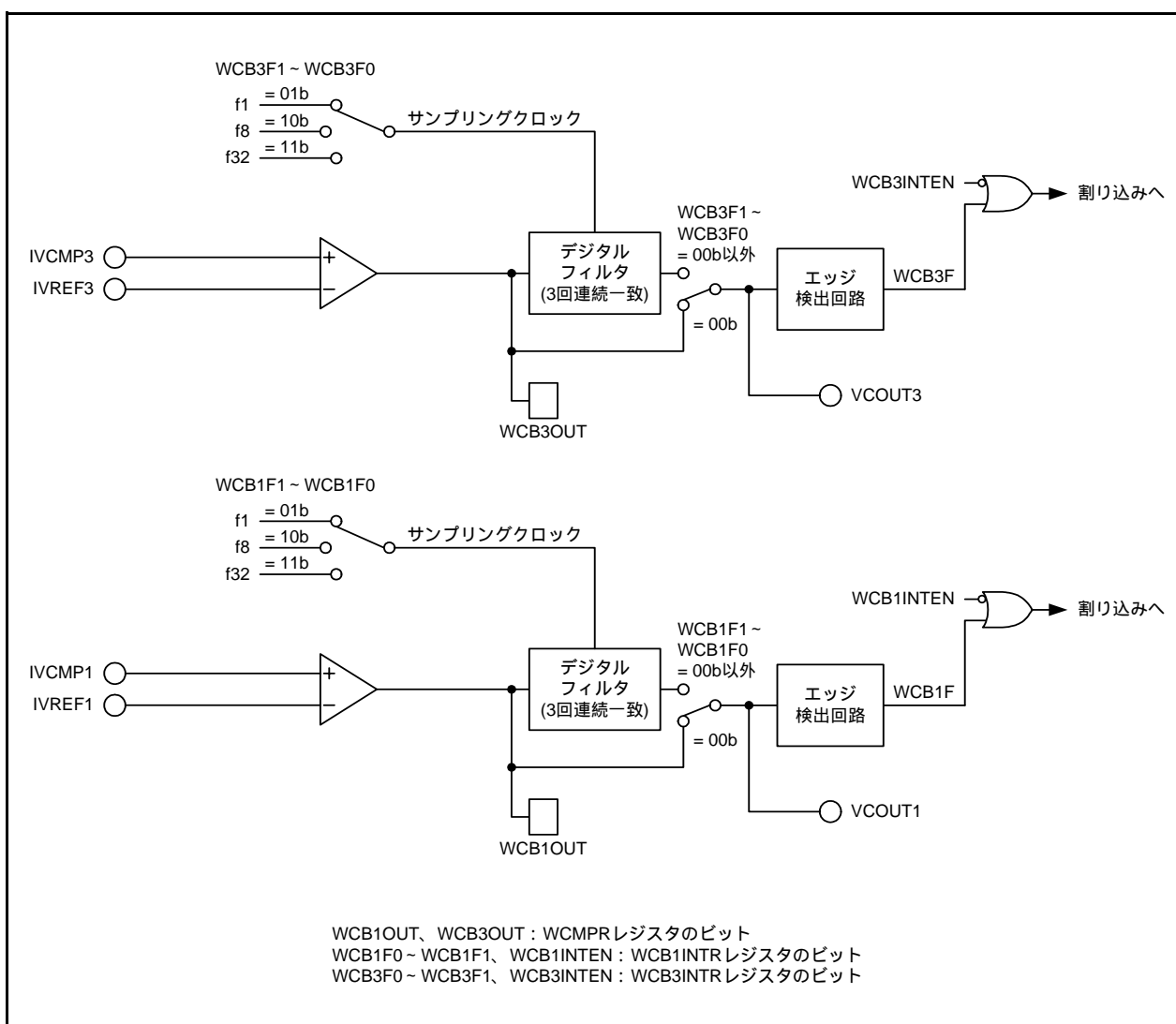


図22.1 コンパレータBのブロック図

表22.2 コンパレータBの端子構成

端子名	割り当てる端子	入出力	機能
IVCMP1	P1_7	入力	コンパレータB1のアナログ電圧入力
IVREF1	P1_6	入力	コンパレータB1の基準電圧入力
VCOUT1	P1_5	出力	コンパレータB1の比較結果出力
IVCMP3	P3_3	入力	コンパレータB3のアナログ電圧入力
IVREF3	P3_4	入力	コンパレータB3の基準電圧入力
VCOUT3	P3_5	出力	コンパレータB3の比較結果出力

注1. コンパレータB1が動作禁止状態(WCB1M0=0)で、ポートP1\_5をVCOUT1端子として設定した場合、端子の初期レベルはLになります。コンパレータB3が動作禁止状態(WCB3M0=0)で、ポートP3\_5をVCOUT3端子として設定した場合、端子の初期レベルはLになります。

## 22.2 レジスタの説明

表22.3にコンパレータBのレジスタ構成を示します。

表22.3 コンパレータBのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
コンパレータB制御レジスタ	WCMPR	00h	00180h	8
コンパレータB1割り込み制御レジスタ	WCB1INTR	00h	00181h	8
コンパレータB3割り込み制御レジスタ	WCB3INTR	00h	00182h	8

## 22.2.1 コンパレータB制御レジスタ(WCMPR)

アドレス 00180h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WCB3OUT	—	—	WCB3M0	WCB1OUT	—	—	WCB1M0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WCB1M0	コンパレータB1動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	WCB1OUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1無効 1: IVCMP1 > IVREF1	R
b4	WCB3M0	コンパレータB3動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	WCB3OUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3無効 1: IVCMP3 > IVREF3	R



## 22.2.2 コンパレータB1 割り込み制御レジスタ (WCB1INTR)

アドレス	00181h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WCB1F	WCB1INTEN	WCB1S1	WCB1S0	—	—	WCB1F1	WCB1F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WCB1F0	コンパレータB1フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	WCB1F1			R/W
b2	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b3	—			
b4	WCB1S0	コンパレータB1割り込みエッジ選択ビット	b5 b4 00: アナログ入力電圧が基準入力電圧より低いとき 01: アナログ入力電圧が基準入力電圧より高いとき 10: 設定しないでください 11: アナログ入力電圧が基準入力電圧より低いおよび高いとき	R/W
b5	WCB1S1			R/W
b6	WCB1INTEN	コンパレータB1割り込み許可信号ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b7	WCB1F	コンパレータB1割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W

## WCB1Fビット(コンパレータB1 割り込み要求フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- 割り込み要求が発生したとき

## 22.2.3 コンパレータB3割り込み制御レジスタ(WCB3INTR)

アドレス	00182h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WCB3F	WCB3INTEN	WCB3S1	WCB3S0	—	—	WCB3F1	WCB3F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WCB3F0	コンパレータB3フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	WCB3F1			R/W
b2	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b3	—			
b4	WCB3S0	コンパレータB3割り込みエッジ選択ビット	b5 b4 00: アナログ入力電圧が基準入力電圧より低いとき 01: アナログ入力電圧が基準入力電圧より高いとき 10: 設定しないでください 11: アナログ入力電圧が基準入力電圧より低いおよび高いとき	R/W
b5	WCB3S1			R/W
b6	WCB3INTEN	コンパレータB3割り込み許可信号ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b7	WCB3F	コンパレータB3割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W

## WCB3Fビット(コンパレータB3割り込み要求フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- 割り込み要求が発生したとき

## 22.3 動作説明

コンパレータB1とコンパレータB3は、基準電圧入力端子(IVREF<sub>i</sub>)からの入力電圧と、アナログ入力電圧端子(IVCMP<sub>i</sub>)からの入力電圧を比較します( $i = 1, 3$ )。

### 22.3.1 コンパレータBiデジタルフィルタ( $i = 1, 3$ )

コンパレータBiは、デジタルフィルタを使用できます。サンプリングクロックは、WCBiINTRレジスタのWCBiF0 ~ WCBiF1ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号WCBiOUT信号をサンプリングし、レベルが3回連続一致した時点で、WCBiINTRレジスタのWCBiFビットが1(割り込み要求あり)になります。

図22.2にコンパレータBiデジタルフィルタの動作例を示します。

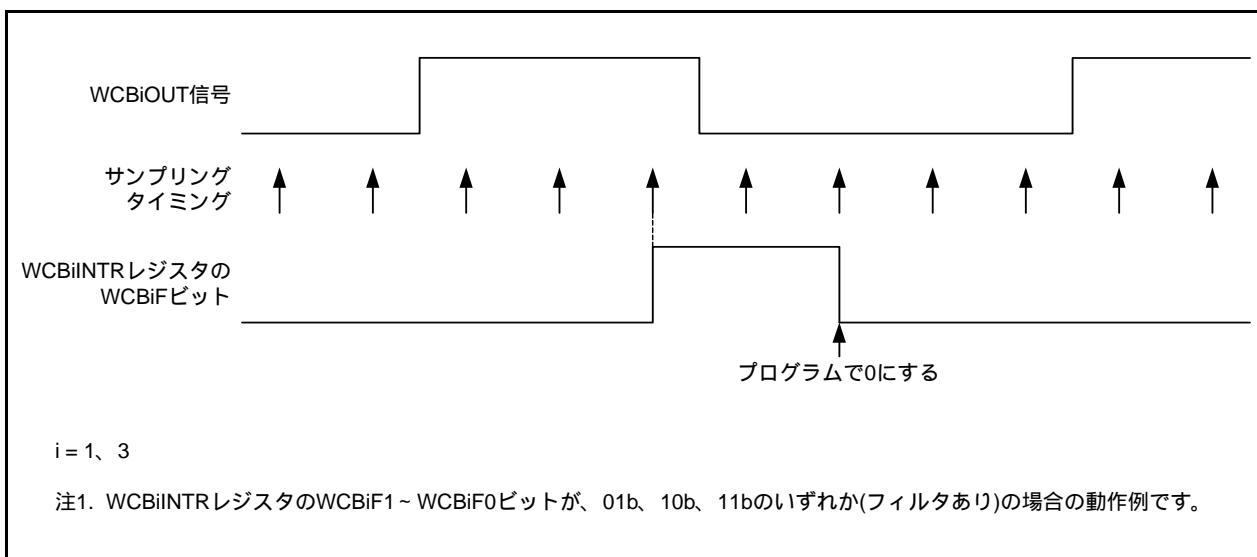


図22.2 コンパレータBiデジタルフィルタの動作例

## 22.3.2 コンパレータBi (i = 1、3)の設定手順と動作例

コンパレータB1とコンパレータB3は、それぞれ独立して動作できます。  
表22.4にコンパレータB関連レジスタの設定手順を示します。

表22.4 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi	端子の機能選択。設定は「12. I/Oポート」参照。	
2	WCBiINTR	WCBiF1 ~ WCBiF0	<ul style="list-style-type: none"> <li>デジタルフィルタの有効または無効を切り換え</li> <li>サンプリング周波数を選択</li> </ul>
3	WCMPR	WCB1M0 WCB3M0	1 (動作許可)
4	コンパレータ安定時間(最大100 μs)待ち		
5	ILVL2	ILVL21 ~ ILVL20	割り込みを使用する場合： コンパレータB1の割り込み優先レベル選択
		ILVL25 ~ ILVL24	割り込みを使用する場合： コンパレータB3の割り込み優先レベル選択
6	WCBiINTR	WCBiS1 ~ WCBiS0	割り込みを使用する場合：入力極性選択
7	WCBiINTR	WCBiF	0 (割り込み要求なし)
8	WCBiINTR	WCBiINTEN	割り込みを使用する場合：1 (割り込み許可)

i = 1、3

図22.3にコンパレータBi (i = 1、3)の動作例を示します。

アナログ入力電圧が基準入力電圧より高い場合は、WCMPRレジスタのWCBiOUTビットが1になり、アナログ入力電圧が基準入力電圧より低い場合は、WCBiOUTビットが0になります。

コンパレータBi割り込み(i = 1、3)を使用する場合は、WCBiINTRレジスタのWCBiINTENビットを1(割り込み許可)にしてください。このとき、比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みの詳細は「11. 割り込み」を参照してください。

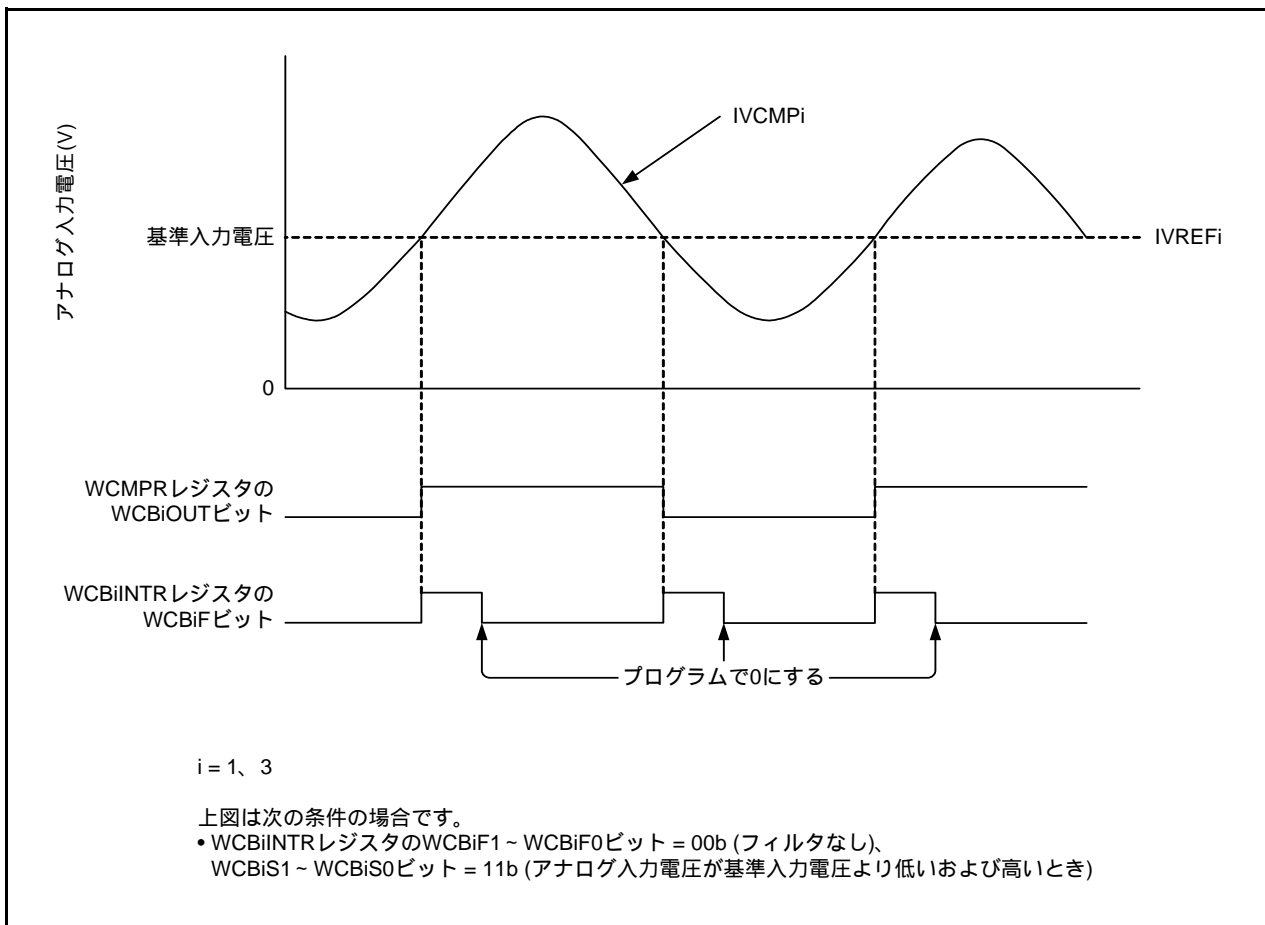


図22.3 コンパレータBi (i = 1, 3)の動作例

## 23. フラッシュメモリ

フラッシュメモリには、CPU書き換えモード、標準シリアル入出力モードの2つの書き換えモードがあります。

### 23.1 概要

表23.1にフラッシュメモリの仕様を示します(表23.1に示す以外の項目は「表1.1および表1.2 仕様概要」参照)。表23.2にフラッシュメモリ書き換えモードの概要を示します。

表23.1 フラッシュメモリの仕様

項目		仕様
フラッシュメモリの動作モード		2モード(CPU書き換えモード、標準シリアル入出力モード)
消去ブロック分割		「図23.1 フラッシュメモリのブロック図」参照
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム/イレーズ制御
書き換え制御方式	ブロック1~3 (プログラムROM)(注2)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B (データフラッシュ)	FMR1レジスタのFMR16~FMR17ビットによるブロックA、B に対する個別の書き換え制御
コマンド数		6コマンド
プログラム/イレーズ 回数(注3)	ブロック1~3 (プログラムROM)(注2)	10,000回
	ブロックA、B (データフラッシュ)	
IDコードチェック機能(注4)		標準シリアル入出力モード対応

注1. プログラムROMとデータフラッシュをプログラム/イレーズする場合、電源電圧VCC = 1.8 V ~ 5.5 Vの条件で行ってください。

注2. 製品によって、ブロック数およびブロックの分割が異なります。詳細は「図23.1 フラッシュメモリのブロック図」を参照してください。

注3. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行います。特定ブロックだけの書き換えは避け、各ブロックへのプログラム/イレーズ回数を平準化するように書き換えてください。また、ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注4. IDコードチェック機能の詳細は「23.3 IDコードチェック機能」を参照してください。

表23.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム

## 23.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図23.1にフラッシュメモリのブロック図を示します。

ユーザROM領域には、プログラムROMとデータフラッシュがあります。

- プログラムROM：主にプログラムを格納するためのフラッシュメモリ
  - データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ
- ユーザROM領域は、いくつかのブロックに分割されます。

ブートROM領域は、出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

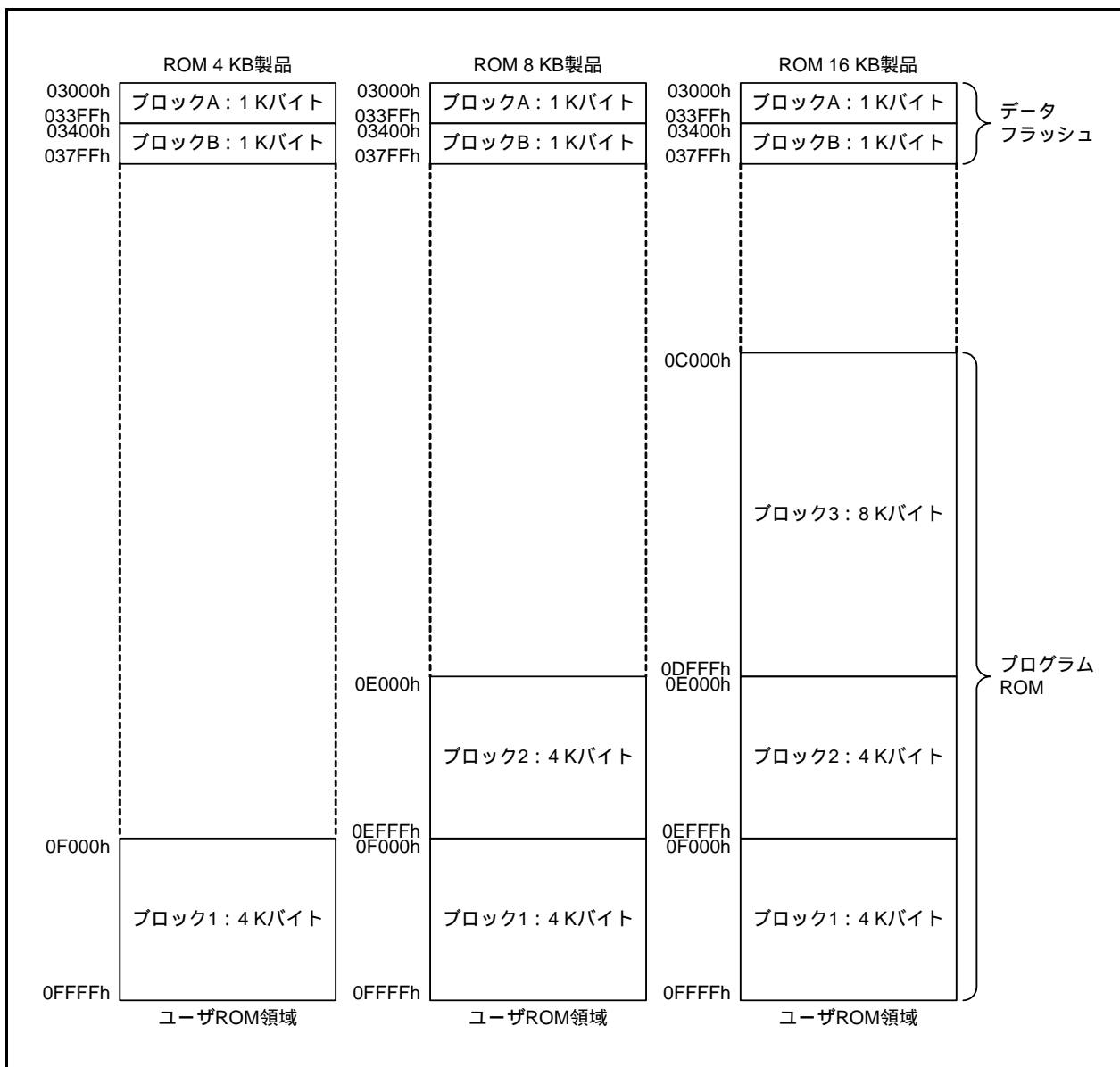


図23.1 フラッシュメモリのブロック図

### 23.3 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードを使用した際の、フラッシュメモリの読み出し、書き換え、消去を禁止します。この機能はIDコード領域に書き込んだIDコードが判定されることで、実現されます。

IDコード領域は、固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE8h、0FFECh、0FFF3h、0FFF7h、0FFFBh番地です。IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

図23.2にIDコード領域を示します。

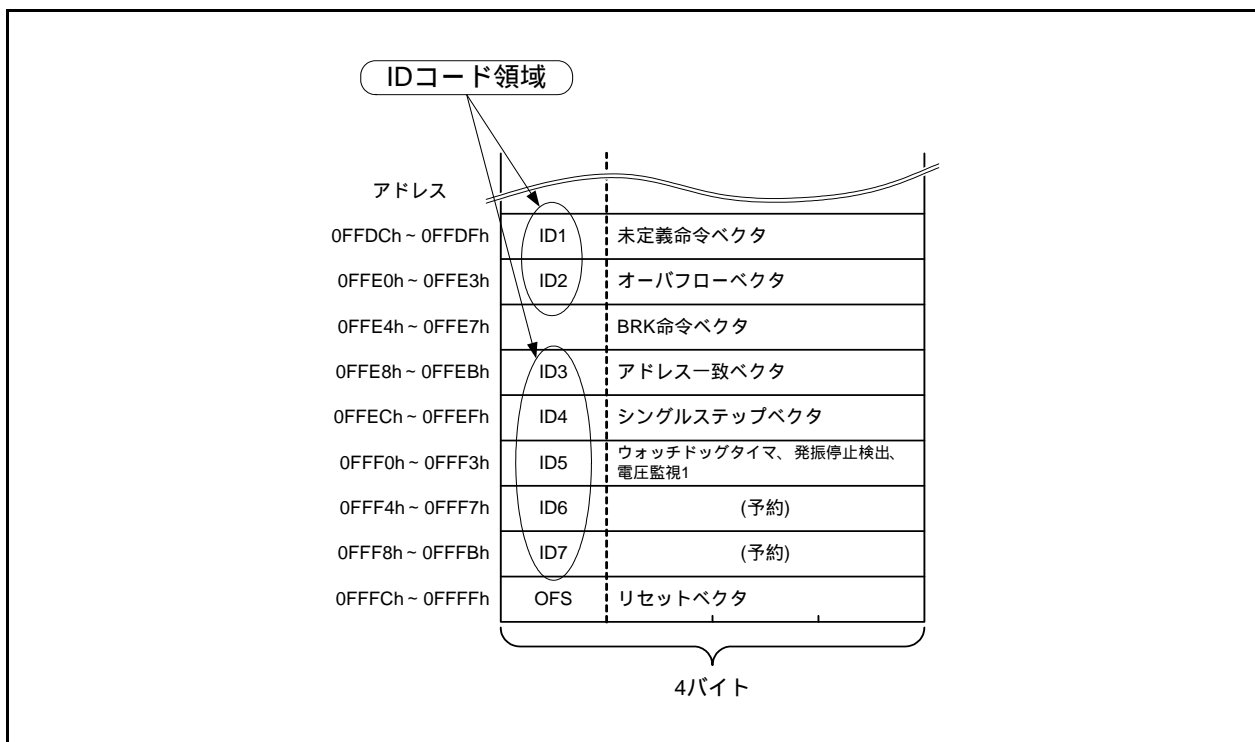


図23.2 IDコード領域



### 23.3.1 動作説明

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)がFFFFFFhの場合と、FFFFFFhではない場合で、動作が異なります。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)がFFFFFFhの場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)がFFFFFFhではない場合、IDコード領域に格納されているIDコード(格納IDコード)と、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード(送付IDコード)の一致が判定されます。IDコードが一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。従って、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。IDコードには予約語(「23.3.2 予約語」参照)以外に、任意のIDコードを使用できます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

### 23.3.2 予約語

IDコードがASCIIコードのALeRASEになる組み合わせは、強制イレーズ機能で使用する予約語です。また、Protectになる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表23.3にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表23.3と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外の任意のIDコードを使用してください。

表23.3 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE (強制イレーズ機能)	Protect (標準シリアル入出力モード禁止機能)
0FFDFh	ID1	41h : A (大文字)	50h : P (大文字)
0FFE3h	ID2	4Ch : L (大文字)	72h : r (小文字)
0FFEBh	ID3	65h : e (小文字)	6Fh : o (小文字)
0FFEfH	ID4	52h : R (大文字)	74h : t (小文字)
0FFF3h	ID5	41h : A (大文字)	65h : e (小文字)
0FFF7h	ID6	53h : S (大文字)	63h : c (小文字)
0FFFBh	ID7	45h : E (大文字)	74h : t (小文字)

注1. IDコード格納番地のアドレスとデータがすべて表23.3と一致する場合は予約語です。

### 23.3.2.1 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。送付IDコードがASCIIコードのALeRASEで格納IDコードも同一の場合、ユーザROM領域をすべて消去(強制イレーズ)します。格納IDコードがASCIIコードのALeRASE以外(「表23.3 IDコードの予約語」以外)でも、OFSレジスタのROMCP1～ROMCRビットが01b以外(ROMコードプロテクト解除)の場合は、ユーザROM領域をすべて消去します。格納IDコードがASCIIコードのALeRASE以外(「表23.3 IDコードの予約語」参照)で、OFSレジスタのROMCP1～ROMCRビットが01b(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。

表23.4に強制イレーズ機能の条件と動作を示します。

なお、格納IDコードをASCIIコードのALeRASEにしておくと、送付IDコードがALeRASEならユーザROM領域を消去し、ALeRASE以外ならIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表23.4 強制イレーズ機能の条件と動作

条件			動作
シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1～ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去(強制イレーズ機能)
	ALeRASE以外(注1)	01b以外(ROMコードプロテクト解除)	
			01b(ROMコードプロテクト有効)
ALeRASE以外	ALeRASE	—	IDコードの判定(IDコードチェック機能、IDコード不一致)
	ALeRASE以外(注1)	—	IDコードの判定(IDコードチェック機能)

注1. Protectの場合は「23.3.2.2 標準シリアル入出力モード禁止機能」を参照してください。

### 23.3.2.2 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。格納IDコードがASCIIコードのProtect(「表23.3 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、格納IDコードをASCIIコードのProtectにし、OFSレジスタのROMCP1～ROMCRビットが01b(ROMコードプロテクト有効)の場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。従って、シリアルライターやオンチップデバッグエミュレータでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 23.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。従って、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域だけに対して実行してください。

また、CPU書き換えモードで、消去動作もしくは書き込み動作を一時中断するサスペンド機能（プログラムサスペンド、イレーズサスペンド）を持ちます。サスペンド中は、フラッシュメモリの読み出しとリードロックビットコマンドの発行ができます。また、イレーズサスペンドに限り、フラッシュメモリのプログラムとリードロックビットステータスも可能です。プログラムサスペンドに限り、フラッシュメモリのリードロックビットステータスも可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表23.5にEW0モードとEW1モードの違いを示します。

表23.5 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	ユーザモード	ユーザモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM (書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM (書き換え制御プログラムがあるブロックを除く)
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、サスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPUの状態	動作	CPUはホールド状態 (入出力ポートは、コマンド実行前の状態に保持)
フラッシュメモリのステータス検知	プログラムで、FSTレジスタのFST2～FST7ビットを読む	プログラムで、FSTレジスタのFST2～FST7ビットを読む
イレーズ/プログラムサスペンドへの移行条件	<ul style="list-style-type: none"> <li>プログラムで、FMR2レジスタのFMR20～FMR21ビットを1にする</li> <li>FMR2レジスタのFMR20、FMR22ビットが1、かつ許可されたマスク割込み要求が発生</li> </ul>	FMR2レジスタのFMR20、FMR22ビットが1、かつ許可されたマスク割込み要求が発生
CPUクロック	最大20 MHz	最大20 MHz

## 23.5 レジスタの説明(CPU書き換えモード)

表23.6にフラッシュメモリのレジスタ構成を示します。

表23.6 フラッシュメモリのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュメモリステータスレジスタ	FST	10000000b	001A9h	8
フラッシュメモリ制御レジスタ0	FMR0	00h	001AAh	8
フラッシュメモリ制御レジスタ1	FMR1	00h	001ABh	8
フラッシュメモリ制御レジスタ2	FMR2	00h	001ACh	8
フラッシュメモリリフレッシュ制御レジスタ	FREFR	00h	001ADh	8

### 23.5.1 フラッシュメモリステータスレジスタ(FST)

アドレス	001A9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	FST3	FST2	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ (注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ (注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	FST2	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	FST3	プログラムサスペンドステータスフラグ	0: プログラムサスペンド以外 1: プログラムサスペンド中	R
b4	FST4	プログラムエラーステータスフラグ (注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーステータスフラグ (注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

- 注1. プログラムでRDYSTIビットを1(フラッシュレディステータス割り込み要求あり)にできません。  
RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。  
このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを1(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを1(フラッシュアクセスエラー割り込み要求あり)にできません。  
BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。  
このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを1(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを1(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドシーケンスエラー時にも1(エラーあり)になります。
- 注4. このビットが1のとき、FMR0レジスタのFMR01ビットを0(CPU書き換えモード無効)にしないでください。

### RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはサスペンドモードに移行したときにRDYSTIビットが1(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを0(フラッシュレディステータス割り込み要求なし)にしてください。

[0になる条件]

- 1を読んだ後、0を書いたとき

[1になる条件]

- FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)の場合、ビジーからレディに移行するとき

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのプログラム/イレーズ終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

### BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが1(フラッシュアクセスエラー割り込み許可)で、フラッシュメモリがビジー状態で、ユーザROM領域を読み/書きするとき、

またはFMR0レジスタのCMDERIEビットが1(割り込み許可)のときに、ブロックイレーズエラー、プログラムエラー、ブロックブランクチェックエラー、コマンドシーケンスエラー、ロックビットプログラムエラーが発生した場合に、

BSYAEIビットが1(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを0(フラッシュアクセスエラー割り込み要求なし)にしてください。

[0になる条件]

- 1を読んだ後、0を書いたとき
- クリアステータスレジスタコマンドを実行したとき

[1になる条件]

- FMR0レジスタのBSYAEIEビットが1(フラッシュアクセスエラー割り込み許可)の場合、フラッシュメモリがビジー状態で、ユーザROM領域を読み/書きするとき  
(ただし、読み出し値は不定。書き込みは無効。)
- FMR0レジスタのCMDERIEビットが1(割り込み許可)の場合、ブロックイレーズエラー、プログラムエラー、ブロックブランクチェックエラー、コマンドシーケンスエラー、ロックビットプログラムエラーが発生したとき

### FST2ビット(LBDATA モニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが1(レディ)になった後で、FST2ビットを読んでください。プログラム/イレーズ、リードロックビットステータスコマンドを発行したときに更新されます。リードロックビットステータスコマンドを入力すると、FST7ビットが0(ビジー)になります。FST7ビットが1(レディ)になった時点で、FST2ビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、FST2ビットのデータは保持されます。

### FST3ビット(プログラムサスペンドステータスフラグ)

サスペンド状態を示す読み出し専用のビットです。プログラムサスペンドリクエストを受け付け、プログラムサスペンド状態に移行すると1、それ以外は0となります。

### FST4ビット(プログラムエラーステータスフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると1、それ以外は0となります。詳細は「23.6.7 フルステータスチェック」を参照してください。

### FST5ビット(イレーズエラー/ブランクチェックエラーステータスフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると1、それ以外のときは0となります。詳細は「23.6.7 フルステータスチェック」を参照してください。

### FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、イレーズサスペンド状態に移行すると1、それ以外は0となります。

### FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが0(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが1(レディ)になります。



## 23.5.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス	001AAh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット (注1、5)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット (注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止	R/W
b4	CMDRST	イレーズ/ライトシーケンスリ セットビット (注3)	0: イレーズ/ライトシーケンスリセットなし 1: イレーズ/ライトシーケンスリセットあり	R/W
b5	CMDERIE	イレーズ/ライトエラー、ブラン クチェックエラー、コマンドシー ケンスエラー割り込み許可ビット	イレーズ/ライトエラー、ブランクチェックエラー、 コマンドシーケンスエラー 0: 割り込み禁止 1: 割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込 み許可ビット (注5)	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り 込み許可ビット (注5)	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

注1. このビットを1にする場合、0を書いた後、続けて1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

注2. FMSTP ビットは、RAMに転送したプログラムで書いてください。FMSTP ビットは、FMR01 ビットが1 (CPU書き換えモード有効)のときに有効です。FMSTP ビットを1 (フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが1 (レディ)のときに設定してください。

注3. CMDRST ビットは、FMR01 ビットが1 (CPU書き換えモード有効)で、FSTレジスタのFST7ビットが0 (ビジー)のときに設定できます。

注4. FMR01 ビットを0 (CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTI ビットが0 (フラッシュレディステータス割り込み要求なし)、かつBSYAEI ビットが0 (フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

注5. FMR01 ビットが0 (CPU書き換えモード無効)の時、このビットは0になります。

## FMR01 ビット (CPU書き換えモード選択ビット)

FMR01 ビットを1 (CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

## FMR02 ビット (EW1モード選択ビット)

FMR02 ビットを1 (EW1モード)にすると、EW1モードになります。

### FMSTP ビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、フラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを1(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。従って、FMSTP ビットはRAMに転送したプログラムで書いてください。

低速クロックモード(XINクロック停止)、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合、FMSTP ビットを1(フラッシュメモリ停止)にしてください。A/D変換中は、FMR0レジスタのFMSTP ビットを1(フラッシュメモリ停止)にしないでください。

FMR0レジスタのFMSTP ビット(フラッシュメモリ停止ビット)が1(フラッシュメモリ停止)の状態、FMR27ビットを1にしないでください。

このビットの設定の詳細は「10.5.11 フラッシュメモリの停止」を参照してください。

### CMDRST ビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。

FMR0 レジスタの CMDRST ビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FST レジスタの FST7 ビットが1(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1 レジスタの FMR13 ビットを1(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中に CMDRST ビットを1(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRST ビットを1(イレース/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

### CMDERIE ビット(イレース/ライトエラー、ブランクチェックエラー、コマンドシーケンスエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー
- ロックビットプログラムエラー

CMDERIE ビットを1(割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを0(割り込み禁止)から1(割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを1にする。



### BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを0(フラッシュアクセスエラー割り込み禁止)から1(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
- (2) BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを1(フラッシュアクセスエラー割り込み許可)にする。

### RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを0(フラッシュレディステータス割り込み禁止)から1(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
- (2) RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを1(フラッシュレディステータス割り込み許可)にする。

## 23.5.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス	001ABh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	—	—	FMR13	WTFMSTP	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	WTFMSTP	ウェイトモード中フラッシュメモリ停止ビット	0: ウェイトモード中フラッシュメモリ動作 1: ウェイトモード中フラッシュメモリ停止	R/W
b3	FMR13	ロックビット無効選択ビット (注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	—	何も配置されていない。書く場合、	0を書いてください。読んだ場合、その値は0。	—
b5	—			
b6	FMR16	データフラッシュブロックA書き換え禁止ビット (注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンド受付不可 能、エラーにならない)	R/W
b7	FMR17	データフラッシュブロックB書き換え禁止ビット (注2、3)		R/W

注1. このビットを1にする場合、0を書いた後、続けて1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

注2. このビットを0にする場合、1を書いた後、続けて0を書いてください。1を書いた後、0を書くまでの間は、割り込みを禁止にしてください。

注3. FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効) にすると、このビットは0になります。

## WTFMSTPビット(ウェイトモード中フラッシュメモリ停止ビット)

WTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の場合、ウェイトモードに移行すると、フラッシュメモリは停止します。ウェイトモード時にA/D変換する場合、WTFMSTPビットを0(ウェイトモード中フラッシュメモリ動作)にしてください。

## FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを1(ロックビット無効)にすると、ロックビットを無効にできます。0にすると、ロックビットが有効になります。ロックビットについては「23.6.5 データ保護機能」を参照してください。

ロックビットの詳細は「23.6.5 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットが1(ロックビット無効)の状態でブロックイレーズコマンドを実行すると、0(ロックビット有効)のロックビットデータは、消去終了後に1(ロックビット無効)になります。

## [0になる条件]

- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になり、プログラム/イレーズなどのコマンドが終了したとき
- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になり、プログラムサスペンド/イレーズサスペンドに移行したとき
- コマンドシーケンスエラー発生時点
- FMR0レジスタのFMR01ビットが0(CPU書き換えモード無効)になったとき
- FMR0レジスタのFMSTPビットが1(フラッシュメモリ停止)になったとき
- FMR0レジスタのCMDRSTビットが1(イレーズ/ライトシーケンスリセットあり)になったとき

## [1になる条件]

- プログラムで1を書いたとき

**FMR16ビット(データフラッシュブロックA書き換え禁止ビット)**

FMR16ビットが0のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR17ビット(データフラッシュブロックB書き換え禁止ビット)**

FMR17ビットが0のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

## 23.5.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス	001ACh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	—	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	サスペンド許可ビット (注1)	0: サスペンド禁止 1: サスペンド許可	R/W
b1	FMR21	サスペンドリクエストビット (注2)	0: リスタート 1: サスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット (注1)	0: 割り込み要求サスペンドリクエスト禁止 1: 割り込み要求サスペンドリクエスト許可	R/W
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	FMR27	低消費電流リードモード許可ビット (注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを1にする場合、0を書いた後、続けて1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

注2. FMR21ビットは、FMR0レジスタのFMR01ビットが1 (CPU書き換えモード有効)かつFMR20ビットが1 (サスペンド許可)のとき設定できます。

注3. 低消費電流リードモードでは、FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効)にしてください。A/D変換する場合は、このビットを0にしてください。

## FMR20ビット(サスペンド許可ビット)

FMR20ビットを1 (許可)にすると、サスペンド機能が許可されます。

## FMR21ビット(サスペンドリクエストビット)

FMR21ビットを1 (サスペンドリクエスト)にすると、プログラム/イレーズサスペンドモードに移行します。FMR22ビットが1 (割り込み要求サスペンドリクエスト許可)の場合、許可された割り込み要求が発生すると、FMR21ビットは自動的に1 (サスペンドリクエスト)になり、サスペンドモードに移行します。自動消去または自動書き込みを再開する場合は、FMR21ビットを0 (リスタート)にしてください。

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- 割り込み要求発生時に、FMR22ビットが1 (割り込み要求サスペンドリクエスト許可)のとき
- フラッシュメモリがビジー状態で、プログラムで1を書いたとき

## FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを1 (割り込み要求サスペンドリクエスト許可)にすると、自動消去または自動書き込み中に、割り込み要求が発生したときに、FMR21ビットは自動的に1 (サスペンドリクエスト)になります。

EW1モードで、ユーザROM領域を書き換え中にイレーズサスペンドを使用する場合は、1にしてください。

### FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。FMR27ビットを1にする場合、CPUクロック(fs)を3 kHz ~ 50 kHzにしてください。低消費電流リードモードでは、フラッシュメモリ回路を定期的によりフレッシュする必要があります。FREFRレジスタの設定をすることでマイコンが自動的にリフレッシュをおこないます。

FMR2レジスタのFMR27ビットを0(低消費電流リードモード禁止)にし、FREFRレジスタを設定してください。設定後、FMR27ビットを1(低消費電流リードモード許可)にしてください。

FREFRレジスタ設定の詳細は「23.5.5 フラッシュメモリリフレッシュ制御レジスタ(FREFR)」を参照してください。

詳細は「10.5.12 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態では、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが1(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを1(フラッシュメモリ停止)から0(フラッシュメモリ動作)にする場合は、FMR27ビットが0(低消費電流リードモード禁止)のときに行ってください。

## 23.5.5 フラッシュメモリリフレッシュ制御レジスタ (FREFR)

アドレス	001ADh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	REF5	REF4	REF3	REF2	REF1	REF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REF0	定期リフレッシュ間隔制御ビット	FREFRレジスタ値 = $fs/10^3$ (結果値は整数を取る) CPUクロック (fs) のクロックソースが低速オンチップオシレータの場合、低速オンチップオシレータはfLOCOの最小値60 kHzとして計算します。 例：CPUクロック (fs) が12.5 kHzの場合のFREFRレジスタへの設定値 ( $12.5 \times 10^3/10^3$ ) = 12 = 001100b	R/W
b1	REF1			R/W
b2	REF2			R/W
b3	REF3			R/W
b4	REF4			R/W
b5	REF5			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

FREFRレジスタは、FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)でのリフレッシュ動作の間隔を制御します。FMR2レジスタのFMR27ビットを0(低消費電流リードモード禁止)にし、レジスタの値を設定します。設定後、FMR27ビットを1(低消費電流リードモード許可)にしてください。

## 23.6 CPU書き換えモードの説明

各モードについて説明します。

### 23.6.1 EW0モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンド受付が可能となります。このとき、FMR0レジスタのFMR02ビットが0(EW0モード)なので、EW0モードになります。

プログラム/イレーズ制御は、ソフトウェアコマンドで行います。プログラム/イレーズ終了時の状態などは、FSTレジスタで確認できます。

自動消去または自動書き込み中にサスペンドを移行する場合は、FMR20ビットを1(サスペンド許可)、FMR21ビットを1(サスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが1(レディ)になったことを確認し、FSTレジスタのFST6ビットが1(イレーズサスペンド中)、またはFST3ビットが1(プログラムサスペンド中)になったことを確認してから、フラッシュメモリにアクセスしてください(FST3ビットが0になった場合は書き込み終了、FST6ビットが0になった場合は消去終了です)。

FMR2レジスタのFMR21ビットを0(リスタート)にすると、自動消去または自動書き込みを再開します。また、自動書き込み、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが0になったことを確認し、FST3ビットが0(プログラムサスペンド以外)、もしくはFST6ビットが0(イレーズサスペンド以外)になったことを確認してください。

### 23.6.2 EW1モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にした後、FMR02ビットを1(EW1モード)にすると、EW1モードになります。プログラム/イレーズ終了時の状態などは、FSTレジスタで確認できます。

自動消去または自動書き込み中にサスペンド機能を有効にする場合は、FMR2レジスタのFMR20ビットを1(サスペンド許可)、FMR22ビットを1(割り込み要求サスペンドリクエスト許可)にしてから、プログラム/イレーズのコマンドを実行してください。サスペンドに移行するための割り込みは、あらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットが自動的に1(サスペンドリクエスト)になり、td(SR-SUS)後に、自動消去または自動書き込みが中断されます。割り込み処理終了後、FMR21ビットを0(リスタート)にして自動消去または自動書き込みを再開させてください。

### 23.6.3 サスペンド動作

イレーズサスペンド機能は、自動消去の途中で動作を一時中断する機能です。

プログラムサスペンド機能は、自動書き込みの途中で動作を一時中断する機能です。

自動消去または自動書き込みを中断したとき、次の動作が実行できます（「表 23.7 サスペンド中に実行できる動作」参照）。

- ユーザROMの任意のブロックの自動消去をサスペンドした場合、ユーザROMの別のブロックへの自動書き込みおよび読み出しが実行できます。
- ユーザROMの任意のブロックの自動書き込みをサスペンドした場合、ユーザROMの別のブロックへの読み出しが実行できます。

表23.7 サスペンド中に実行できる動作

		サスペンド中の動作							
		サスペンド移行前の イレーズまたはプログラム実行ブロック				サスペンド移行前の イレーズまたはプログラム未実行ブロック			
		イレーズ	プログラム	リード ロック ビット ステータス	リード	イレーズ	プログラム	リード ロック ビット ステータス	リード
実行中の コマンド	イレーズ	×	×	×	×	×			
	プログラム	×	×	×	×	×	×		

注1. はサスペンド機能を使用することで動作可能、×は動作禁止。

注2. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラムの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが1（レディ）で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注3. サスペンド移行直後は、リードアレイモードになります。

図23.3にイレーズサスペンド動作に関するタイミング図を、図23.4にプログラムサスペンド動作に関するタイミング図を示します。

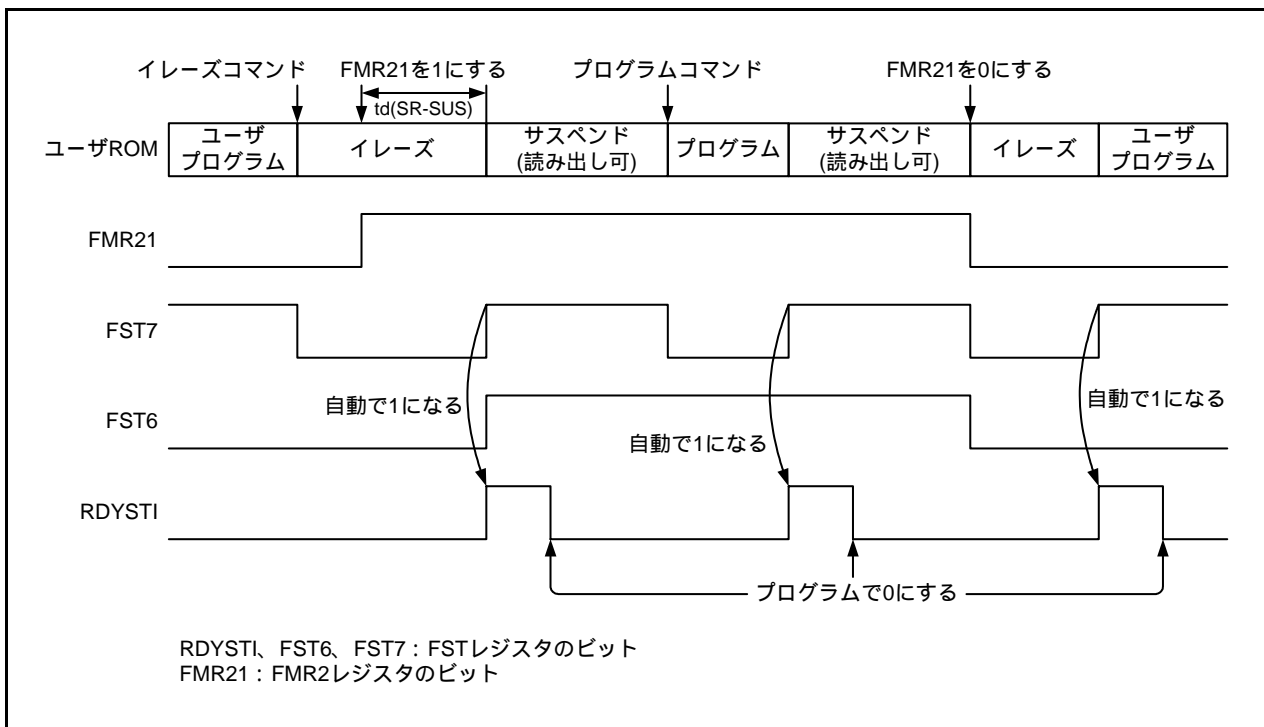


図23.3 イレーズサスペンド動作に関するタイミング図



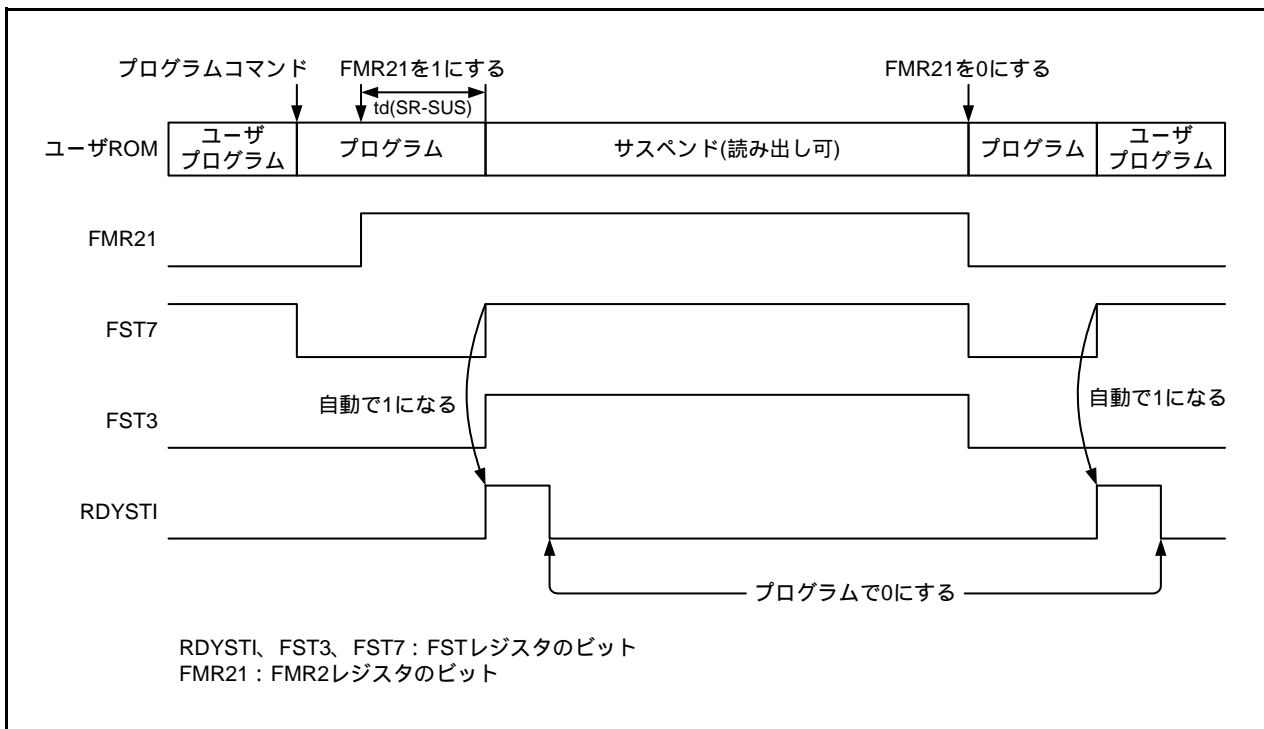


図23.4 プログラムサスペンド動作に関するタイミング図

## 23.6.4 各モードの設定と解除方法

図23.5にEW0モードの設定と解除方法を、図23.6にEW1モードの設定と解除方法を示します。

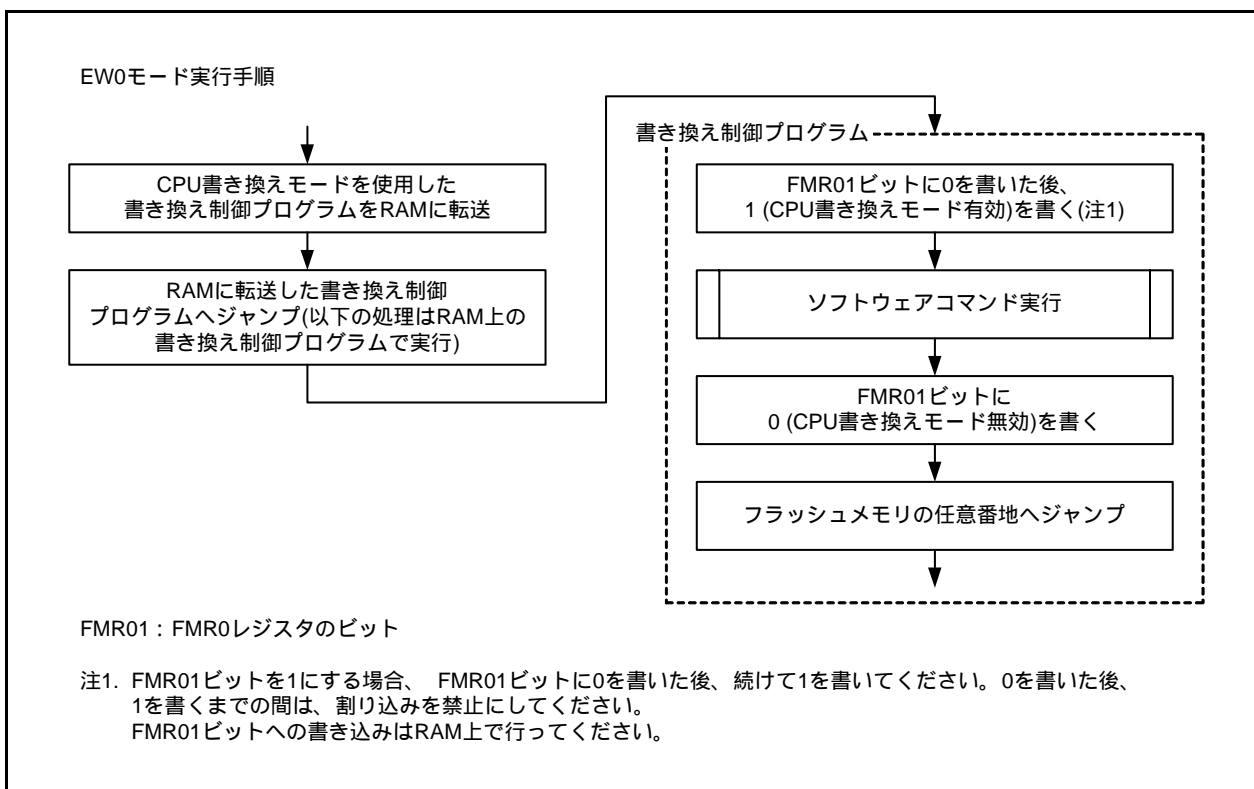


図23.5 EW0モードの設定と解除方法

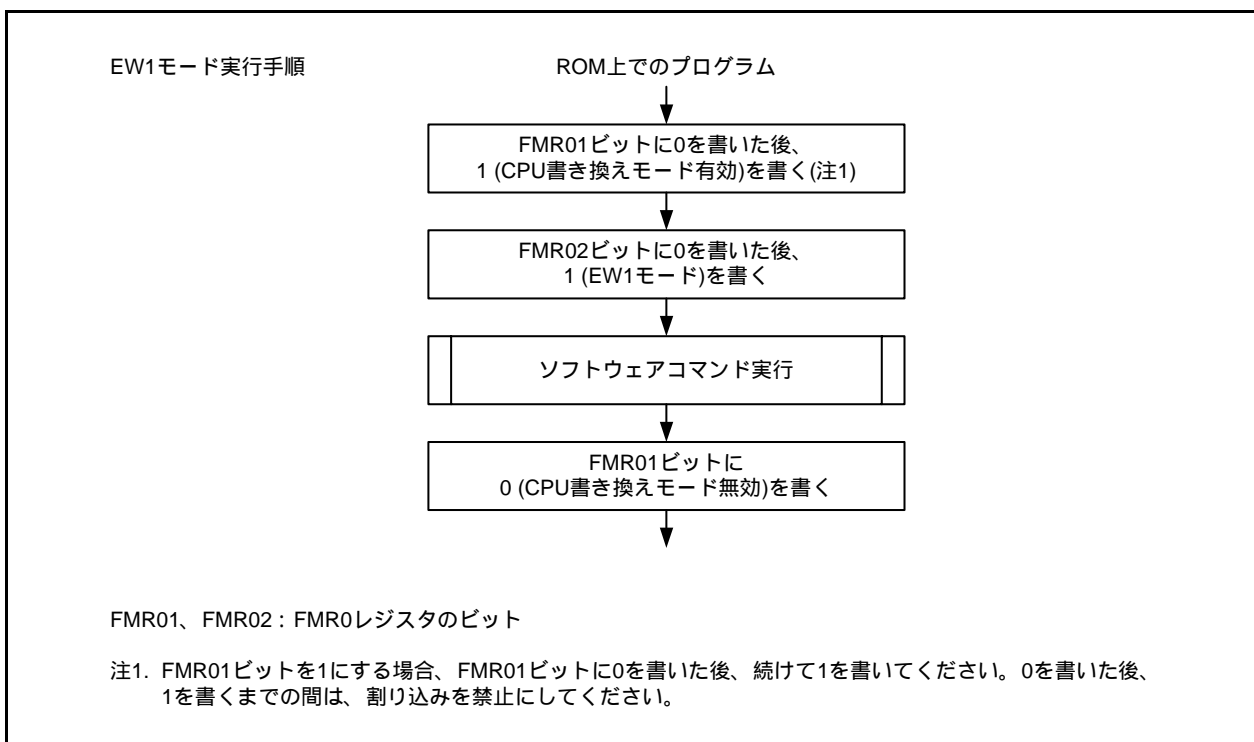


図23.6 EW1モードの設定と解除方法

### 23.6.5 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが0(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム/イレーズを禁止(ロック)できます。従って、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが0のとき：ロック状態(そのブロックはプログラム/イレーズできない)
- ロックビットデータが1のとき：非ロック状態(そのブロックはプログラム/イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、0(ロック状態)に、ブロックを消去すると1(非ロック状態)になります。ロックビットデータだけをコマンドで1にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを1(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります。各ロックビットデータは変化しません。FMR13ビットを0(ロックビット有効)にすると、ロックビットの機能が有効になります。ロックビットデータは保持されます。

FMR13ビットが1(ロックビット無効)の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象になるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは1になります。

各コマンドの詳細は「23.6.6 ソフトウェアコマンド」を参照してください。

FMR13ビットは、自動消去終了後0になります。FMR13ビットは、以下のいずれかの条件が成立した場合に0になります。別のロック状態のブロックをプログラム/イレーズする場合は、再度FMR13ビットを1(ロックビット無効)にし、プログラムコマンドまたはブロックイレーズコマンドを実行してください。

- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になり、プログラム/イレーズなどのコマンドが終了したとき
- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になり、プログラムサスペンド/イレーズサスペンドに移行したとき
- コマンドシーケンスエラー発生時点
- FMR0レジスタのFMR01ビットが0(CPU書き換えモード無効)になったとき
- FMR0レジスタのFMSTPビットが1(フラッシュメモリ停止)になったとき
- FMR0レジスタのCMDRSTビットが1(イレーズ/ライトシーケンスリセットあり)になったとき

図23.7にFMR13ビットの動作に関するタイミング図を示します。

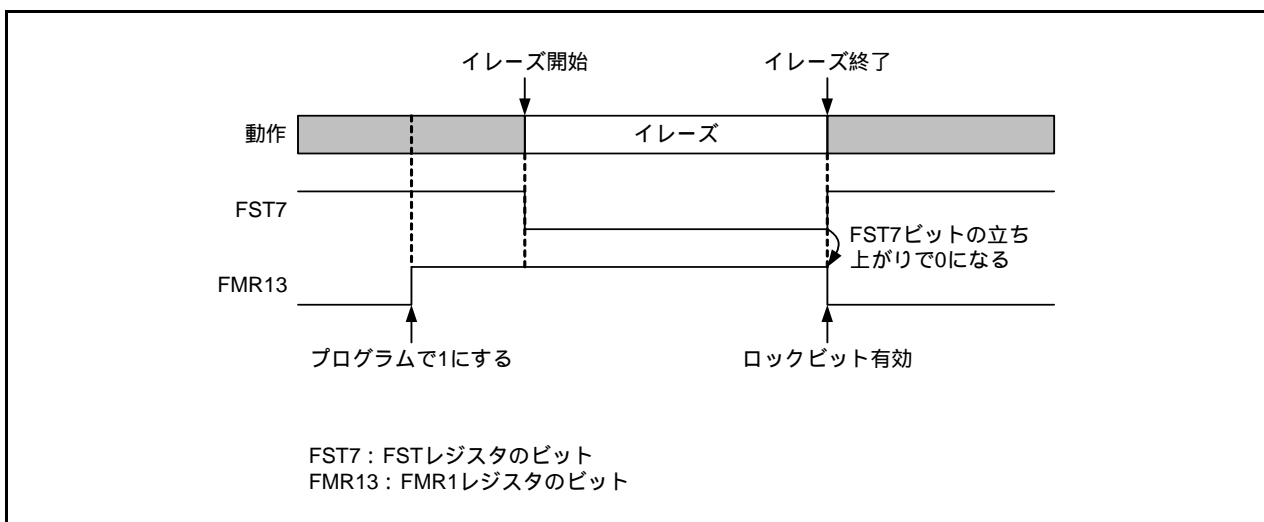


図23.7 FMR13ビットの動作に関するタイミング図

### 23.6.6 ソフトウェアコマンド

ソフトウェアコマンドについて説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表23.8 ソフトウェアコマンド一覧

ソフトウェアコマンド	第1コマンド			第2コマンド(注1)		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意番地

BT：ブロックの先頭番地

ブロック3 0C000h

ブロック2 0E000h

ブロック1 0F000h

x：ユーザROM領域内の任意番地

注1. ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェックコマンドは、第2コマンドでFFhを書くと、第1コマンドで書いたコマンドコードは無効になります。コマンドシーケンスエラーは発生しません。

データフラッシュはロックビットがないため、ロックビットプログラムとリードロックビットステータスコマンドが不正なコマンド扱いとなります。

#### 23.6.6.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1コマンドでFFhを書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはサスペンド移行後はリードアレイモードになります。

### 23.6.6.2 クリアステータスレジスタ

FSTレジスタのFST4、FST5ビットを0にするコマンドです。

第1コマンドで50hを書くと、FSTレジスタのFST4、FST5ビットが0になります。

### 23.6.6.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1コマンドで40hを書き、第2コマンドでデータを書くと、自動書き込み(データのプログラムとベリファイ)を開始します。第1コマンドでのアドレス値は、第2コマンドで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は0、終了後は1になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。

(「23.6.7 フルステータスチェック」参照)

すでにプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックは、ロックビットによりプログラムコマンドを禁止できます。

FMR1レジスタのFMR16ビットが1(書き換え禁止)のときは、データフラッシュブロックAに対するプログラムコマンドが受け付けられません。そして、FMR17ビットが1(書き換え禁止)のときは、データフラッシュブロックBに対するプログラムコマンドが受け付けられません。

図23.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド禁止)を、図23.9にEW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)を、図23.10にEW0モードのプログラムフローチャート(フラッシュレディステータス割り込み許可、サスペンド許可)を、図23.11にEW1モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みが発生します。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)、FMR2レジスタのFMR20ビットが1(サスペンド許可)のときに、FMR21ビットが1(サスペンドリクエスト)に変化した場合、自動書き込みが中断されると、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

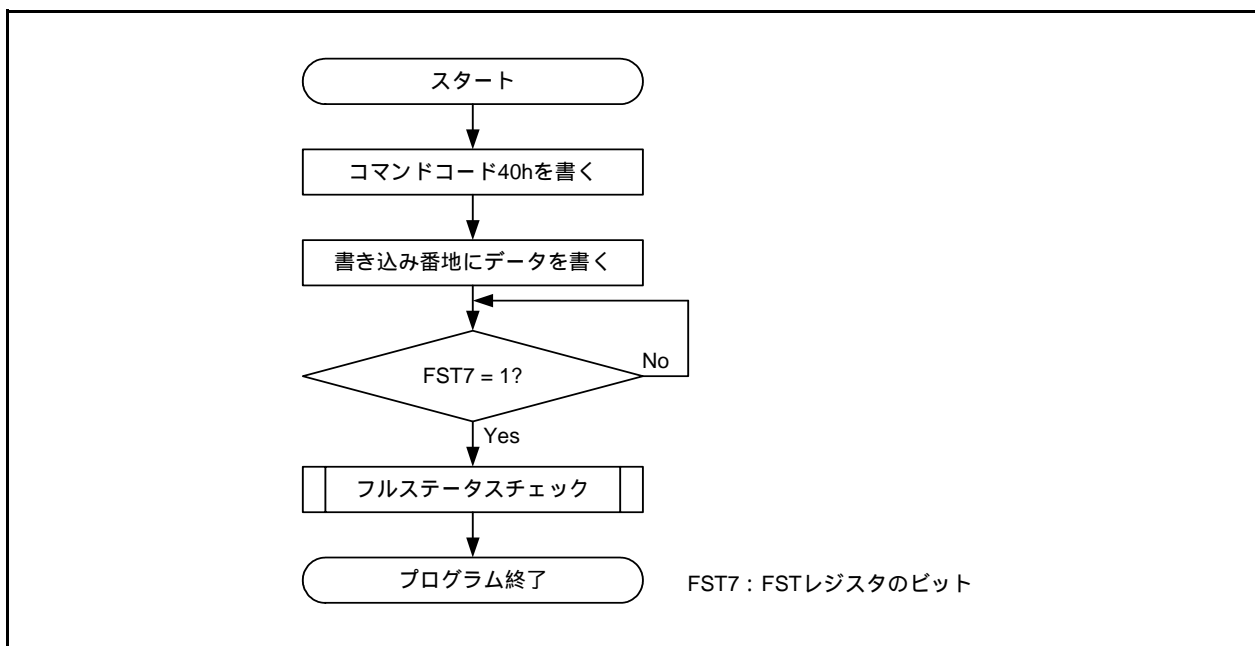


図23.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド禁止)

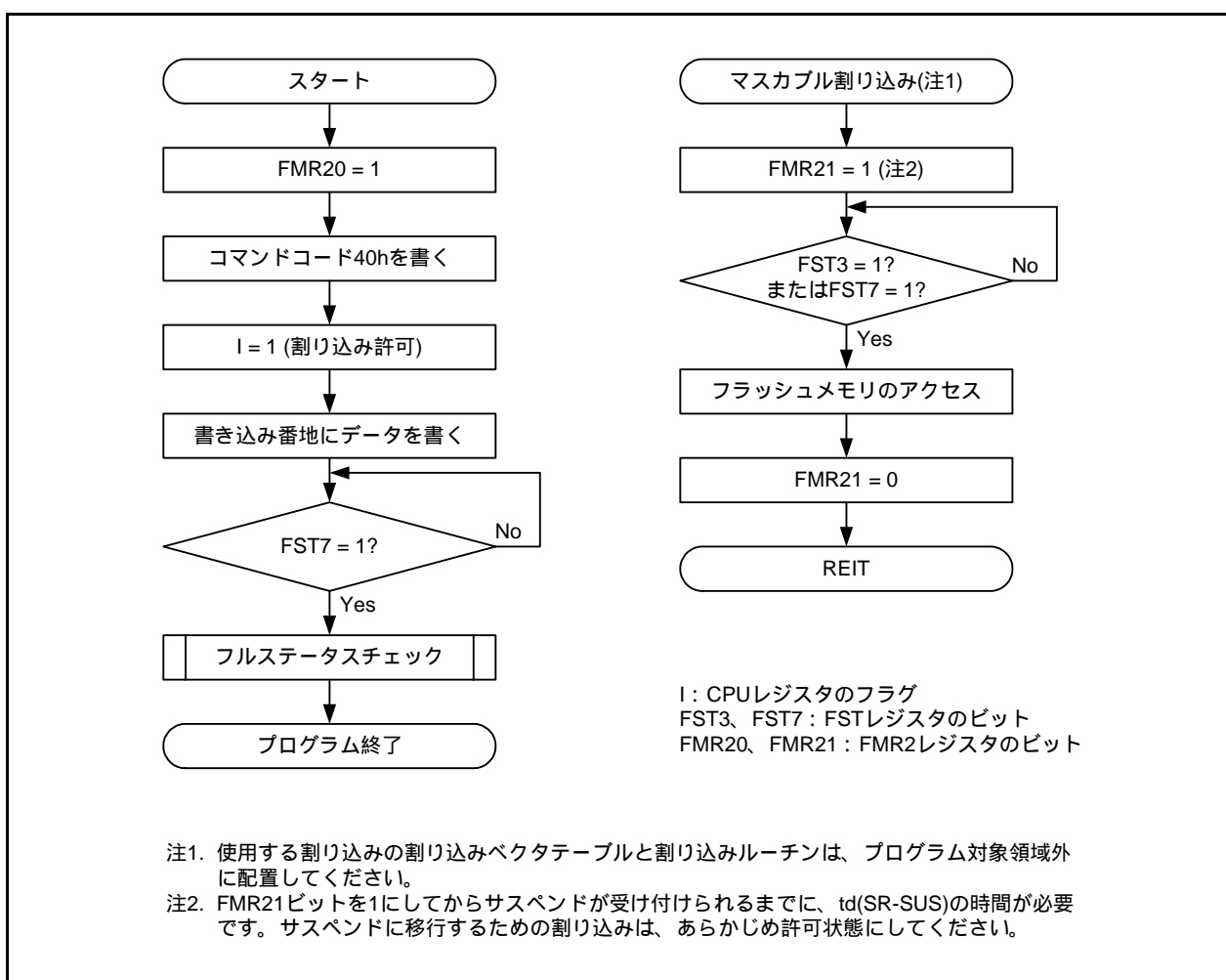


図23.9 EW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)

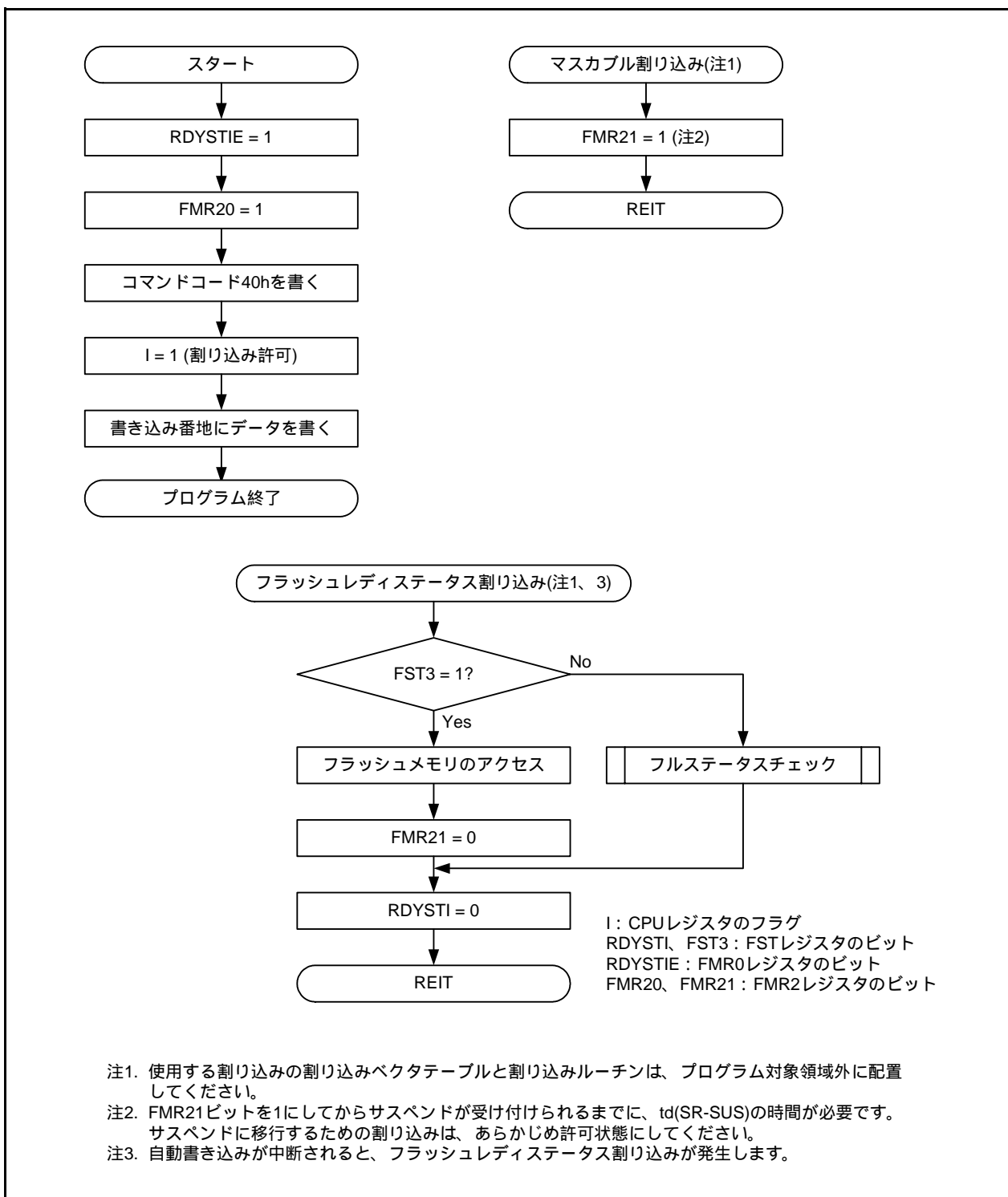


図23.10 EWOモードのプログラムフローチャート(フラッシュレディステータス割り込み許可、サスペンド許可)

FMR22 ビットを 1 (割り込み要求サスペンドリクエスト許可) にすると、自動書き込み中に、割り込み要求が発生したときに、自動的にFMR21 ビットを 1 (サスペンドリクエスト) にします。EW1 モードでユーザROM領域を書き換え中にサスペンドを使用するときに、1 にしてください。

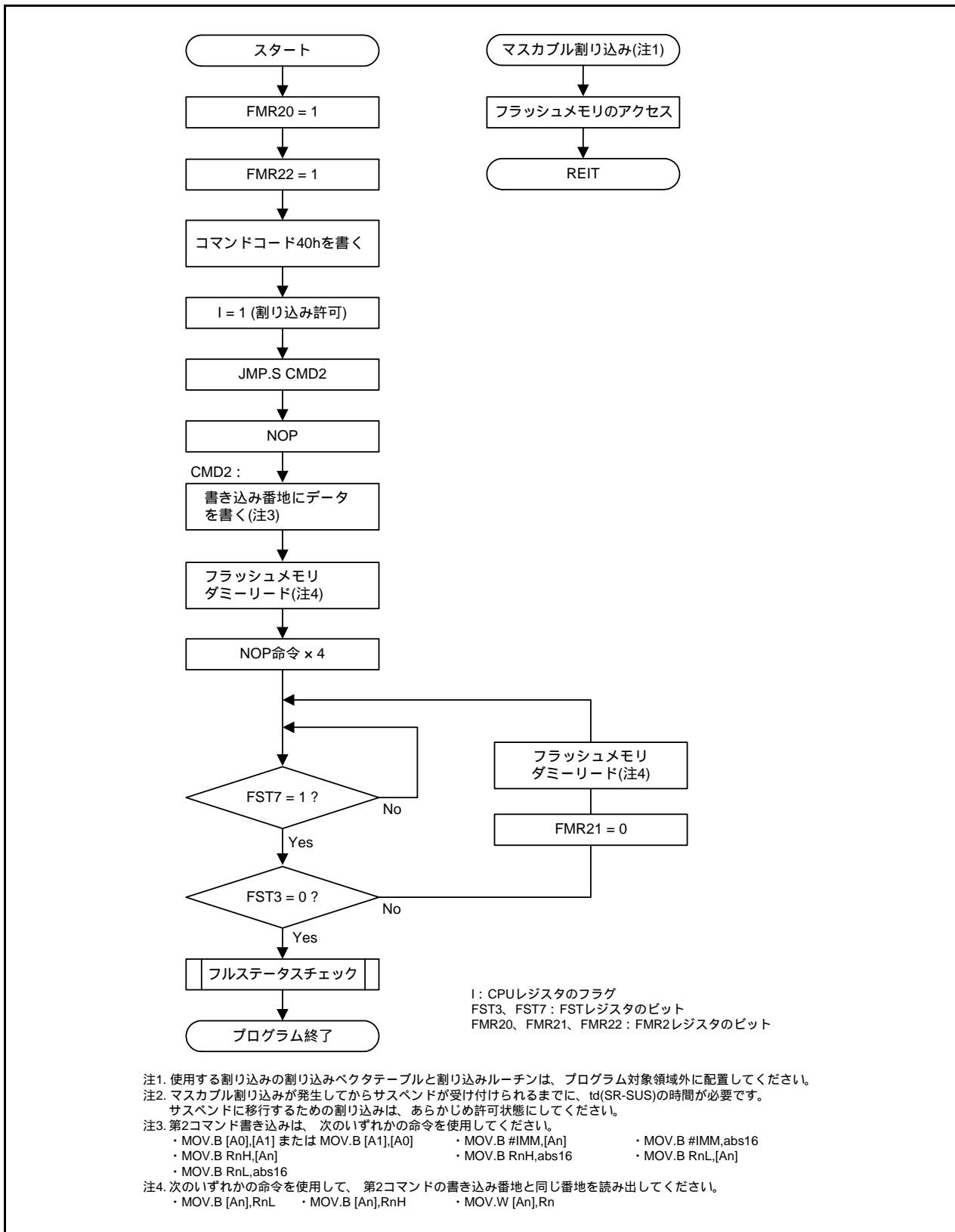


図23.11 EW1モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)



#### 23.6.6.4 ブロックイレーズ

第1コマンドで20h、第2コマンドでブロックの任意番地にD0hを書くと、指定されたブロックに対し自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は0(ビジー)、終了後は1(レディ)になります。また、自動消去の終了後、ブロック内のデータはすべてFFhになります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「23.6.7 フルステータスチェック」参照)。

プログラムROMの各ブロックは、ロックビットによりブロックイレーズコマンドを禁止できます。

FMR1レジスタのFMR16ビットが1(書き換え禁止)のときは、データフラッシュブロックAに対するブロックイレーズコマンドが受け付けられません。そして、FMR17ビットが1(書き換え禁止)のときは、データフラッシュブロックBに対するブロックイレーズコマンドが受け付けられません。

図23.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド禁止)を、図23.13にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)を、図23.14にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可、サスペンド許可)を、図23.15にEW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みが発生します。FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)、FMR2レジスタのFMR20ビットが1(サスペンド許可)のときに、FMR21ビットが1(サスペンドリクエスト)に変化した場合、自動消去が中断されると、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

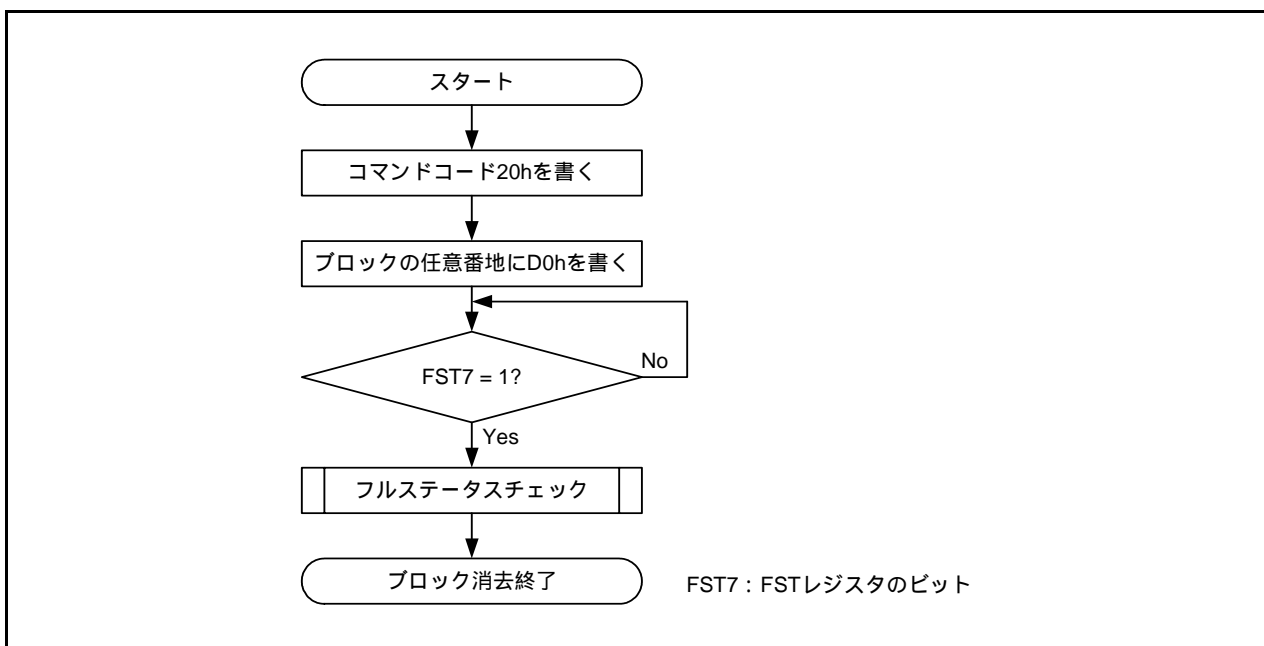


図23.12 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド禁止)

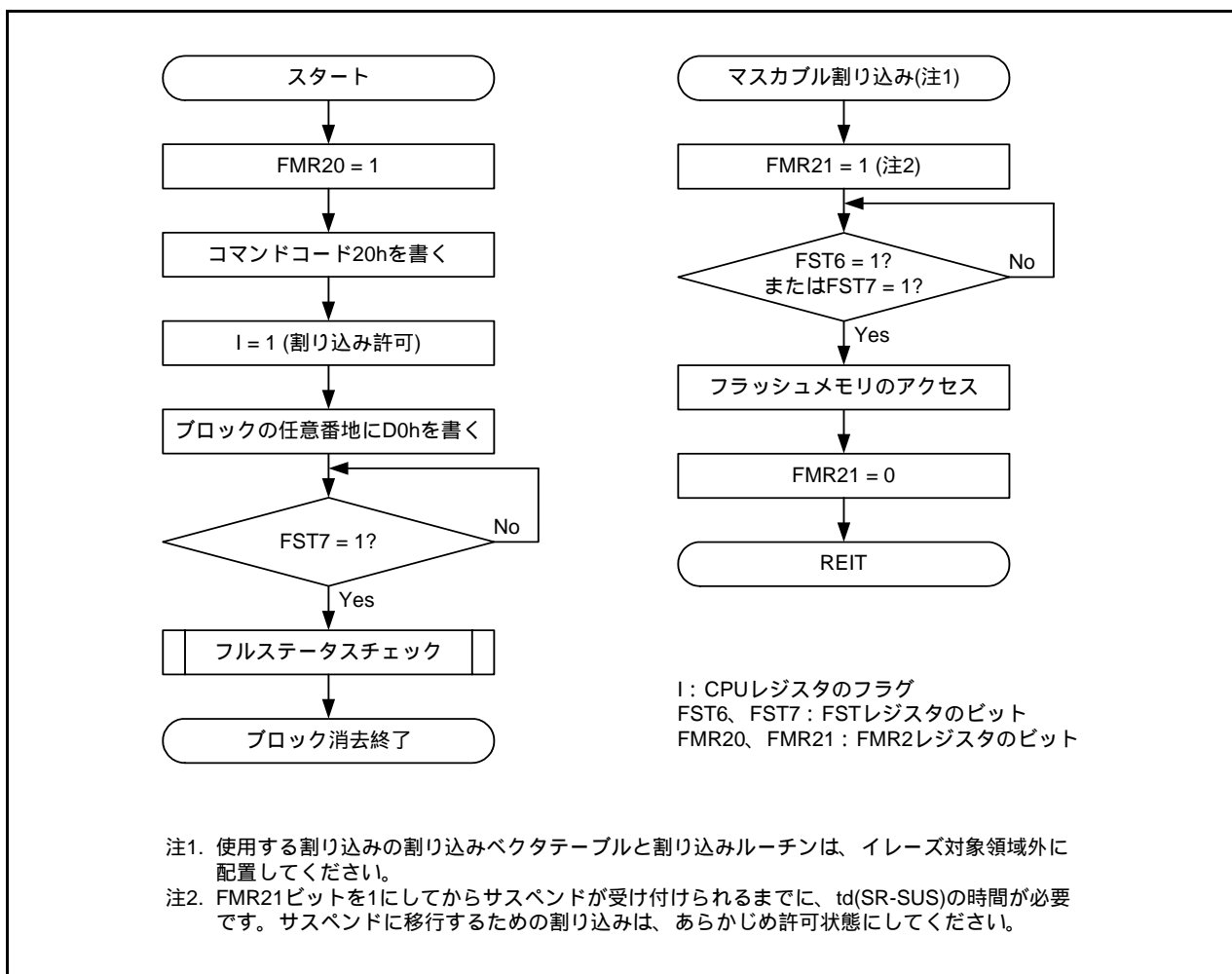


図23.13 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)

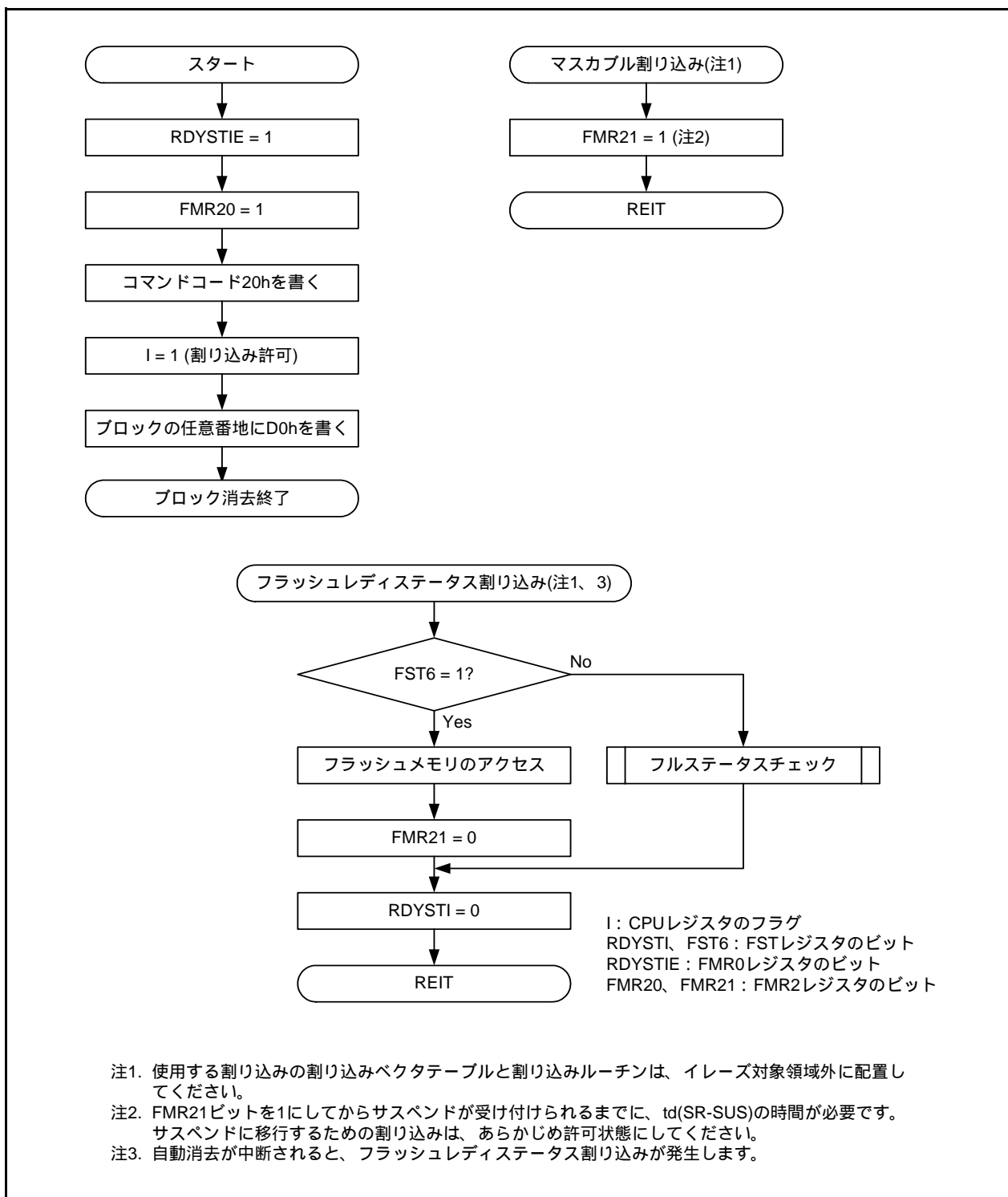


図23.14 EWOモードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可、サスペンド許可)

FMR22 ビットを 1 (割り込み要求サスペンドリクエスト許可) にすると、自動消去中に、割り込み要求が発生したときに、自動的に FMR21 ビットを 1 (サスペンドリクエスト) にします。EW1 モードでユーザROM領域を書き換え中にサスペンドを使用するときに、1 にしてください。

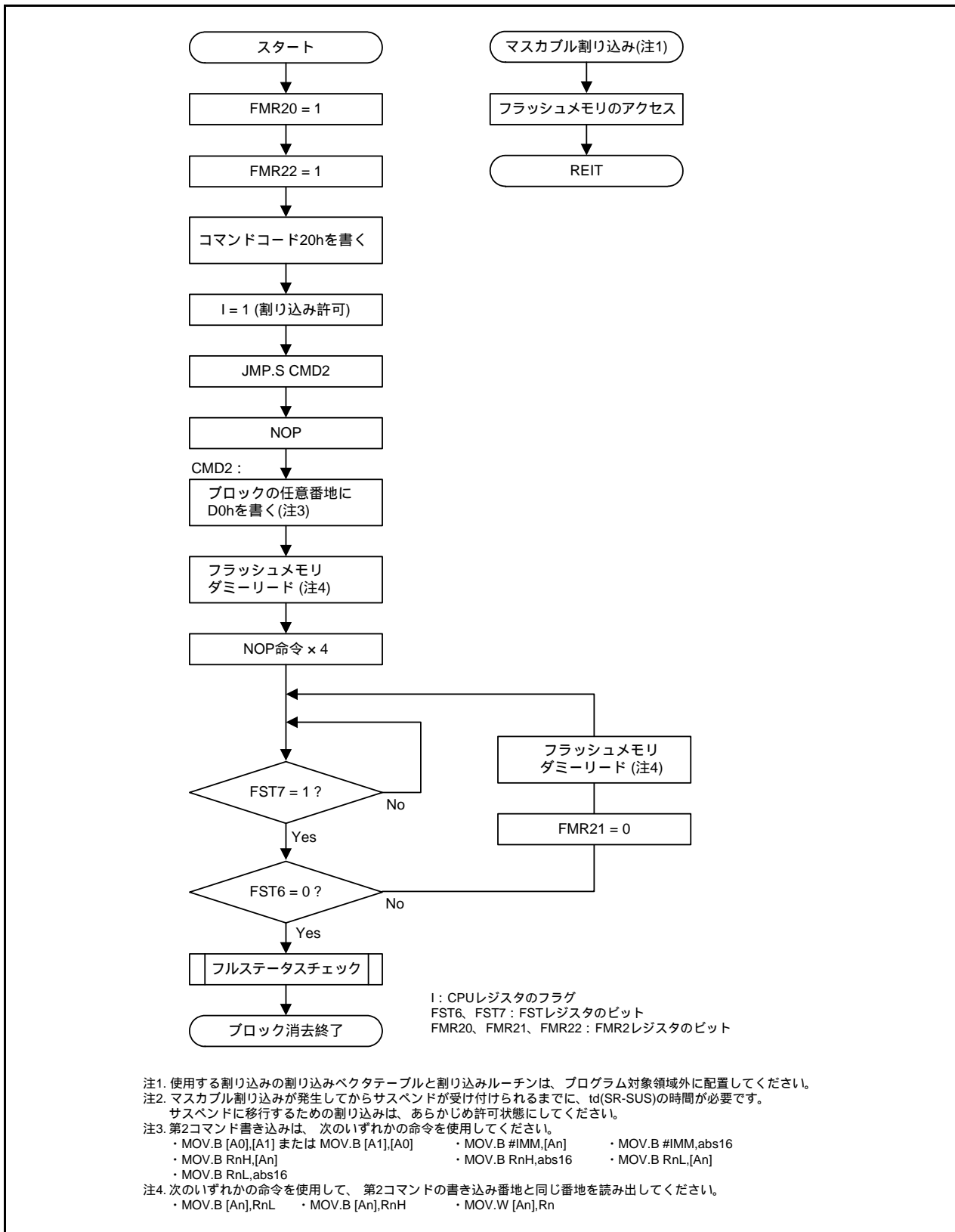


図 23.15 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止、サスペンド許可)

### 23.6.6.5 ロックビットプログラム

ユーザROM領域内の任意のブロックのロックビットを0(ロック状態)にするコマンドです。

第1コマンドで77h、第2コマンドでブロックの先頭番地にD0hを書くと、指定されたブロックのロックビットに0が書かれます。第1コマンドでのアドレス値は、第2コマンドで指定するブロックの先頭番地と同一番地にしてください。

図23.16にロックビットプログラムフローチャートを示します。

ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込み終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを1(非ロック状態)にする方法の詳細は「23.6.5 データ保護機能」を参照してください。

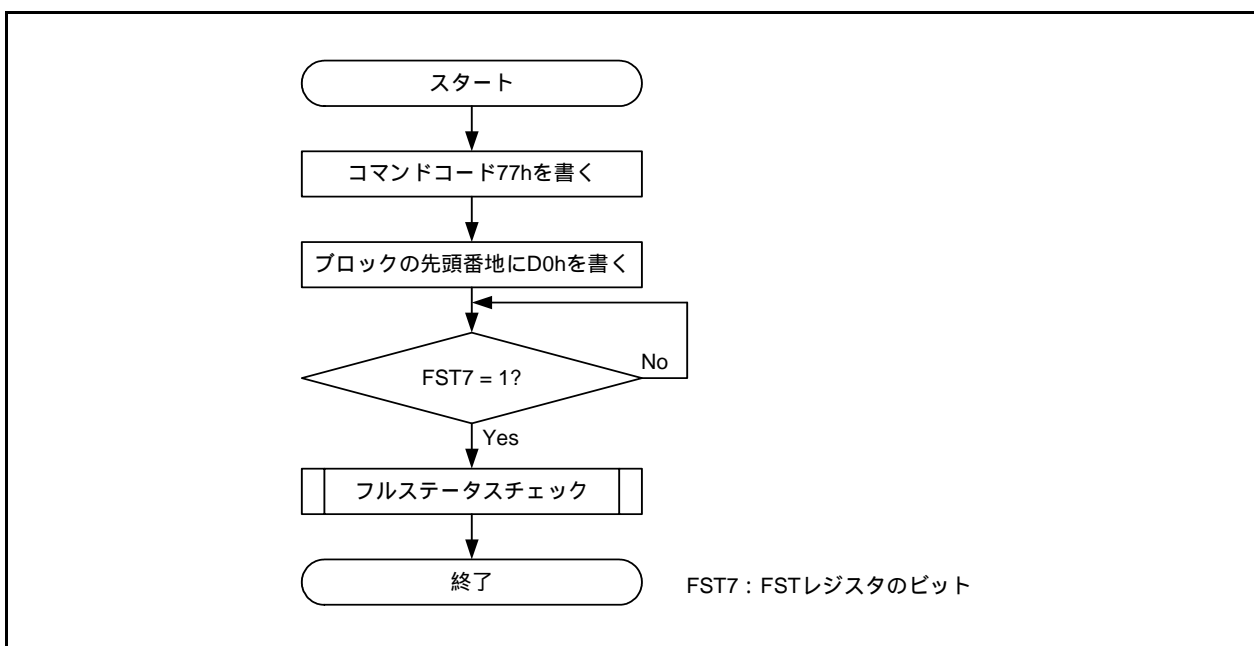


図23.16 ロックビットプログラムフローチャート

### 23.6.6.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1コマンドで71h、第2コマンドでブロックの先頭番地にD0hを書くと、指定されたブロックのロックビットの状態が、FSTレジスタのFST2ビットに格納されます。FSTレジスタのFST7ビットが1(レディ)になった後、FST2ビットを読んでください。

図23.17にリードロックビットステータスフローチャートを示します。

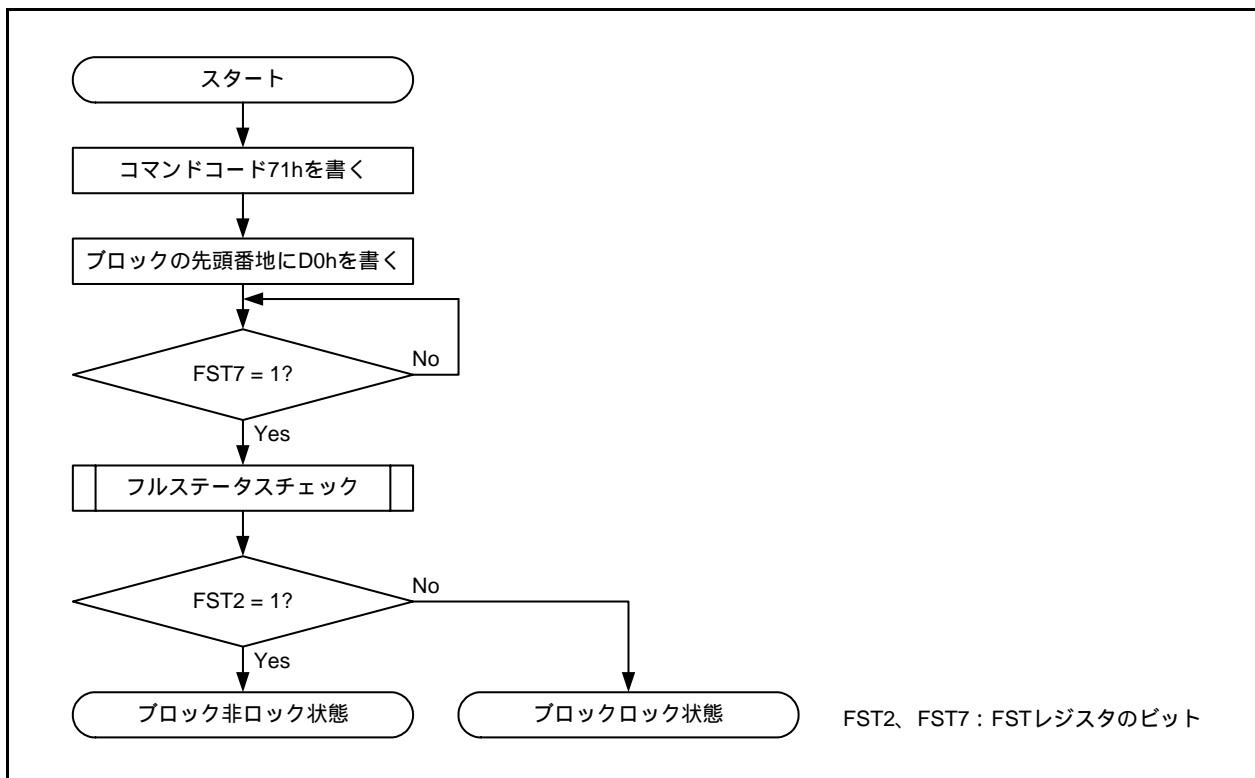


図23.17 リードロックビットステータスフローチャート

### 23.6.6.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータFFhであることを確認するコマンドです。

第1コマンドで25h、第2コマンドでブロックの任意番地にD0hを書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は0、終了後は1になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「23.6.7 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FSTレジスタのFST6ビットが1(イレーズサスペンド中)またはFST3ビットが1(プログラムサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図23.18にブロックブランクチェックフローチャートを示します。

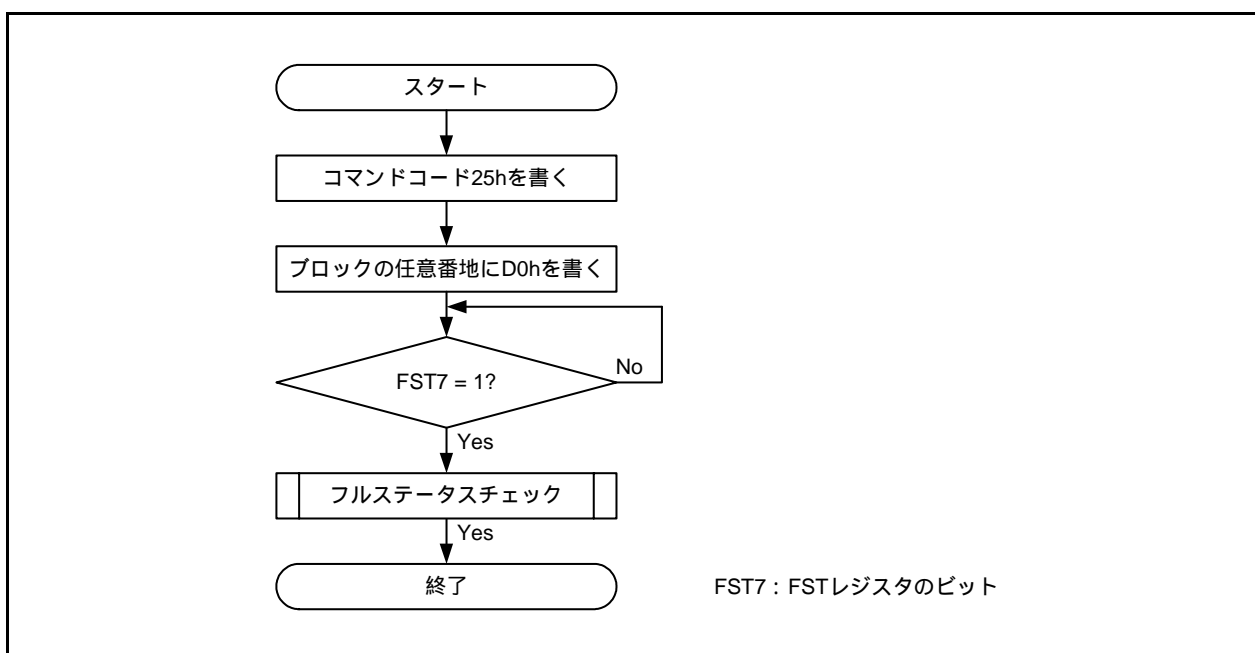


図23.18 ブロックブランクチェックフローチャート

なお、本コマンドはライターメーカー向けを想定したものであり、一般ユーザ向けのコマンドではありません。

## 23.6.7 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが1になります。これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表23.9にエラーとFSTレジスタの状態を、図23.19にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表23.9 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5ビット	FST4ビット		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>• コマンドを正しく書かなかったとき</li> <li>• ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェックコマンドの第2コマンドのデータに、書いても良い値(D0hまたはFFh)以外のデータを書いたとき(注1)</li> <li>• イレーズサスペンド中のイレーズコマンドを実行もしくはブロックブランクチェックコマンドを実行</li> <li>• プログラムサスペンド中のプログラム、ロックビットプログラム、イレーズ、ブロックブランクチェックの各コマンドを実行</li> <li>• サスペンド中のブロックヘプログラム、ロックビットプログラム、イレーズ、ブロックブランクチェックの各コマンドを実行</li> <li>• データフラッシュにロックビットプログラムとリードロックビットステータスコマンドを実行</li> </ul>
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータFFh以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが0(ロック状態)にならなかったとき

注1. これらのコマンドの第2コマンドでFFhを書くと、リードアレイモードになり、同時に、第1コマンドで書いたコマンドコードは無効になります。



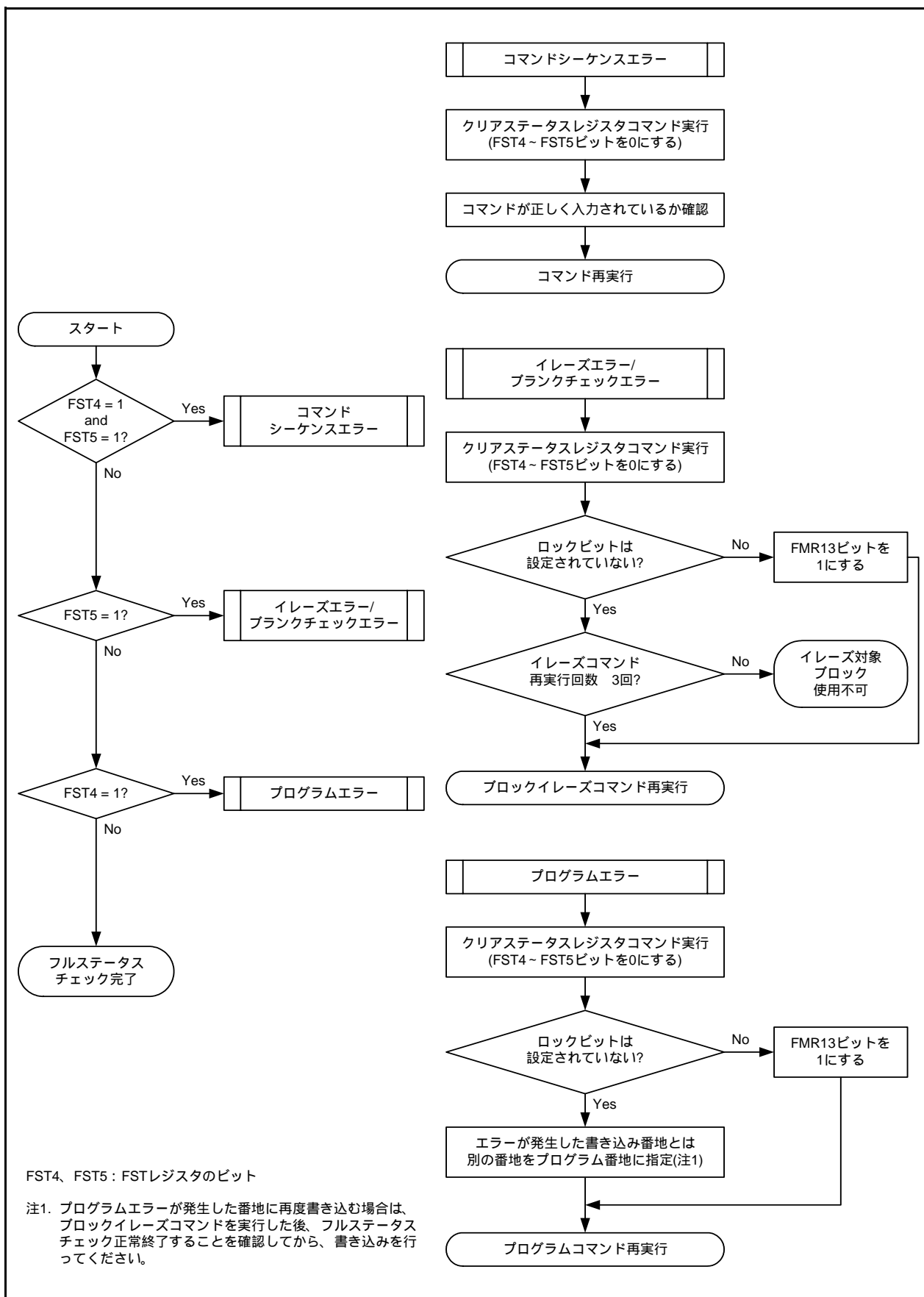


図 23.19 フルステータスチェックフローチャート、各エラー発生時の対処方法

### 23.7 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイクロコンピュータに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1：クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2：クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3：特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイクロコンピュータは、標準シリアル入出力モード2と標準シリアル入出力モード3が使用できません。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法は、シリアルライタのユーザズマニュアルを参照してください。

表 23.10 に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 23.20 に標準シリアル入出力モード2を使用する場合の端子処理例を、表 23.11 に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 23.21 に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 23.11 に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、ユーザモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE 端子にHを入力して、ハードウェアリセットしてください。

なお、IDコードチェック機能の詳細は「23.3 IDコードチェック機能」を参照してください。

表23.10 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力	—	VCCにはプログラム/イレーズの保証電圧を入力してください。VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力です。
P3_1/XIN	P3_1入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P4_5/XOUT	P4_5入力/クロック出力	入出力	
MODE	MODE	入出力	Lを入力してください。
P1_4	TXD	出力	シリアルデータの出力です。
P1_6	RXD	入力	シリアルデータの入力です。
他の端子			Lを入力、Hを入力、または開放してください。

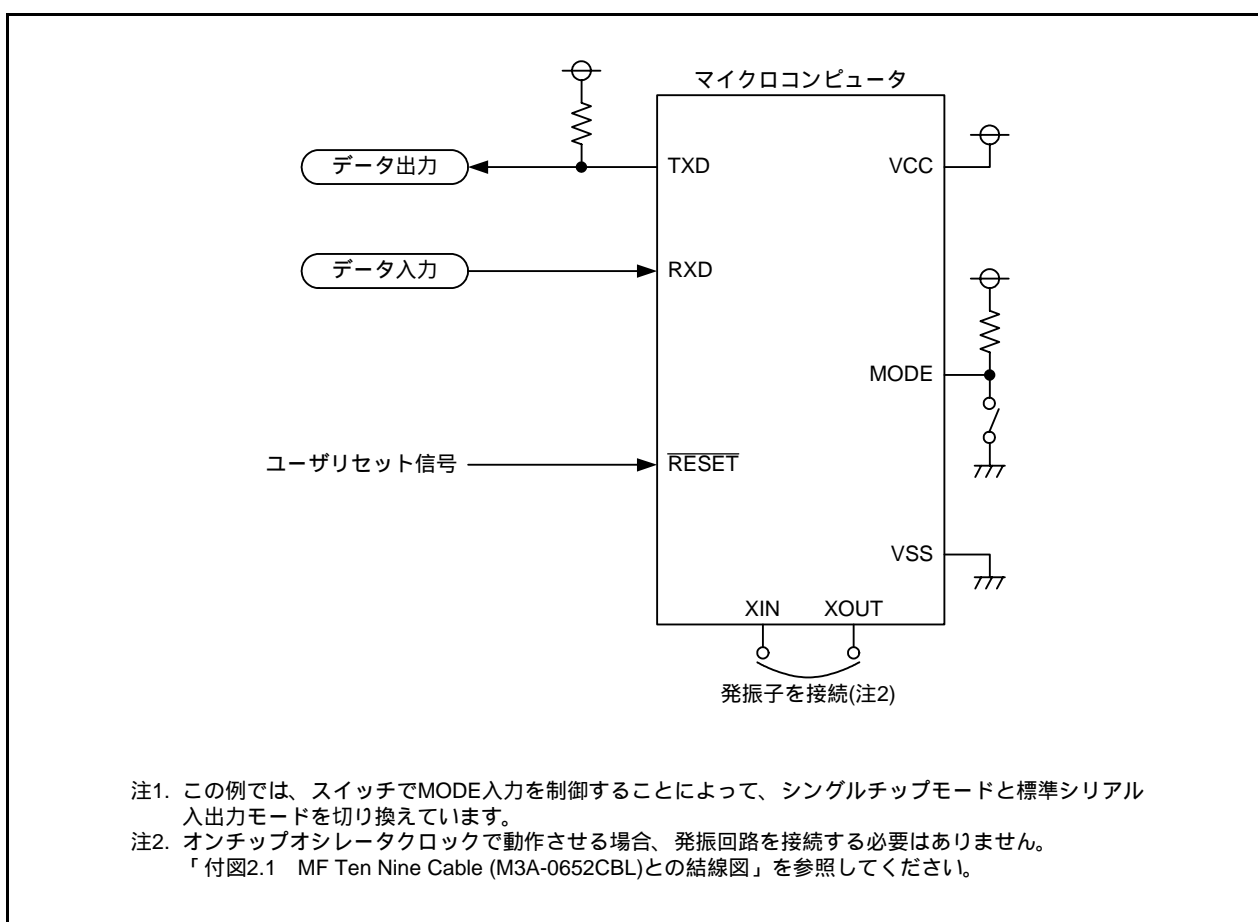


図23.20 標準シリアル入出力モード2を使用する場合の端子処理例

表23.11 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力	—	VCCにはプログラム/イレーズの保証電圧を入力してください。VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力です。
P3_1/XIN	P3_1入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P4_5/XOUT	P4_5入力/クロック出力	入出力	
MODE	MODE	入出力	シリアルデータの入出力です。フラッシュライタに接続してください。
他の端子			Lを入力、Hを入力、または開放してください。

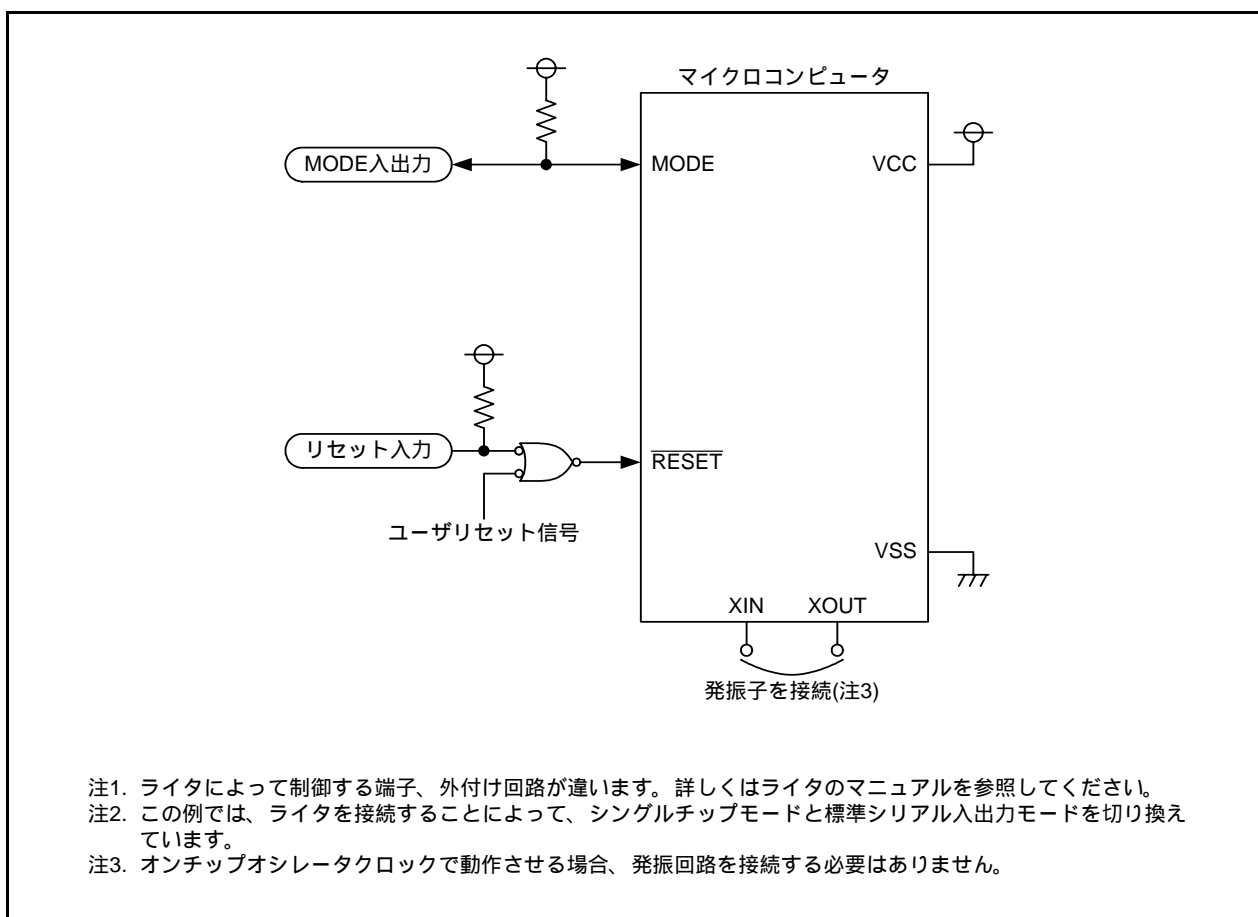


図23.21 標準シリアル入出力モード3を使用する場合の端子処理例

## 23.8 フラッシュメモリ使用上の注意事項

### 23.8.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに55hを設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; RESERVE
.lword dummy | (55000000h)    ; RESERVE
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

## 23.8.2 CPU書き換えモード

### 23.8.2.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

### 23.8.2.2 割り込み

表23.12および表23.13にCPU書き換え動作中の割り込み処理を示します。

表23.12 CPU書き換え動作中の割り込み処理(EW0モード)

割り込み種類	データフラッシュ/プログラムROM	
	サスペンド許可(FMR20 = 1)	サスペンド禁止(FMR20 = 0)
マスカブル割り込み	割り込み要求を受け付けると、割り込み処理を実行します。 (割り込みベクタはRAMに配置) 次のいずれかで、サスペンドに移行できます。 (1) FMR22ビットが1(割り込み要求サスペンドリクエスト許可)の場合は、FMR21ビットが自動的に1(サスペンドリクエスト)になります。 フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。 (2) FMR22ビットが0(割り込み要求サスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1(サスペンドリクエスト)にしてください。 フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。 自動消去中断中は、自動消去実行ブロック以外のブロックへの自動書き込みおよび読み出しができません。 自動書き込み中断中は、自動書き込み実行ブロック以外のブロックを読めます。 FMR21ビットを0(リスタート)にすることで、自動消去または自動書き込みを再開できます。	自動消去または自動書き込みは実行したまま、割り込み処理を実行します(割り込みベクタRAMに配置)。
アドレス一致	自動消去または自動書き込み中は、使用しないでください。	
UND命令、INTO命令、BRK命令		
シングルステップ		
ウォッチドッグタイマ 発振停止検出 電圧監視1	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。この場合、フラッシュメモリ制御レジスタは初期化されるので、再設定してください。(注1)	

FMR20、FMR21、FMR22 : FMR2レジスタのビット

注1. フラッシュメモリがビジー状態で、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)で、FMSTPビットが1(フラッシュメモリ停止)のとき、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

表23.13 CPU書き換え動作中の割り込み処理(EW1モード)

割り込み種類	データフラッシュ/プログラムROM	
	サスペンド許可(FMR20 = 1)	サスペンド禁止(FMR20 = 0)
マスカブル割り込み	割り込み要求を受け付けると、FMR22ビットが1(割り込み要求サスペンドリクエスト許可)の場合は、FMR21ビットが自動的に1(サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断し、割り込み処理を実行します。自動消去中断中は、自動消去実行ブロック以外のブロックへの自動書き込みおよび読み出しができません。自動書き込み中断中は、自動書き込み実行ブロック以外のブロックを読めます。割り込み処理終了後、FMR21ビットを0(リスタート)にすることで、自動消去または自動書き込みを再開できます。また、FMR22ビットが0(割り込み要求サスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。	自動消去または自動書き込みが優先され、自動消去または自動書き込みが終了した後、割り込み処理を実行します。
アドレス一致	自動消去または自動書き込み中は、使用しないでください。	
UND命令、INTO命令、BRK命令		
シングルステップ		
ウォッチドッグタイマ	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。この場合、フラッシュメモリ制御レジスタは初期化されるので、再設定してください。(注1)	
発振停止検出		
電圧監視1		

FMR20、FMR21、FMR22 : FMR2レジスタのビット

注1. フラッシュメモリがビジー状態で、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)で、FMSTPビットが1(フラッシュメモリ停止)のとき、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

### 23.8.2.3 アクセス方法

次のビットを1にする場合、対象になるビットに0を書いた後、続けて1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを0にする場合、対象になるビットに1を書いた後、続けて0を書いてください。1を書いた後、0を書くまでの間は、割り込みを禁止にしてください。

FMR1レジスタのFMR16、FMR17ビット

### 23.8.2.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 23.8.2.5 プログラム

すでにプログラムされた番地に対する追加書き込みはしないでください。

### 23.8.2.6 ウェイトモードまたはストップモードへの移行

サスペンド中に、ウェイトモードまたはストップモードに移行しないでください。

フラッシュメモリを書き込み、消去実行中にFSTレジスタのFST7ビットが0(ビジー)の場合、ウェイトモードまたはストップモードに移行しないでください。

FMR0レジスタのFMSTPビット(フラッシュメモリ停止ビット)が1(フラッシュメモリ停止)の状態、FMR27ビットを1にしないでください。

### 23.8.2.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム/イレーズを実行する場合は、電源電圧VCC = 1.8 V ~ 5.5 Vの条件で行ってください。1.8 V未満では、プログラム/イレーズを実行しないでください。

### 23.8.2.8 ブロックブランクチェック

イレーズサスペンド中に、ブロックブランクチェックコマンドを実行しないでください。



## 23.8.2.9 EW1モード

FMR0レジスタのFMR01ビットを1 (CPU書き換えモード有効)、かつFMR02ビットを1 (EW1モード)にして、CPU書き換えモードを実行する場合、EW1モード時は以下の手順で実行してください。

図23.22にソフトウェアコマンド実行手順(サスペンド禁止)を、図23.23にソフトウェアコマンド実行手順(サスペンド許可)を示します。

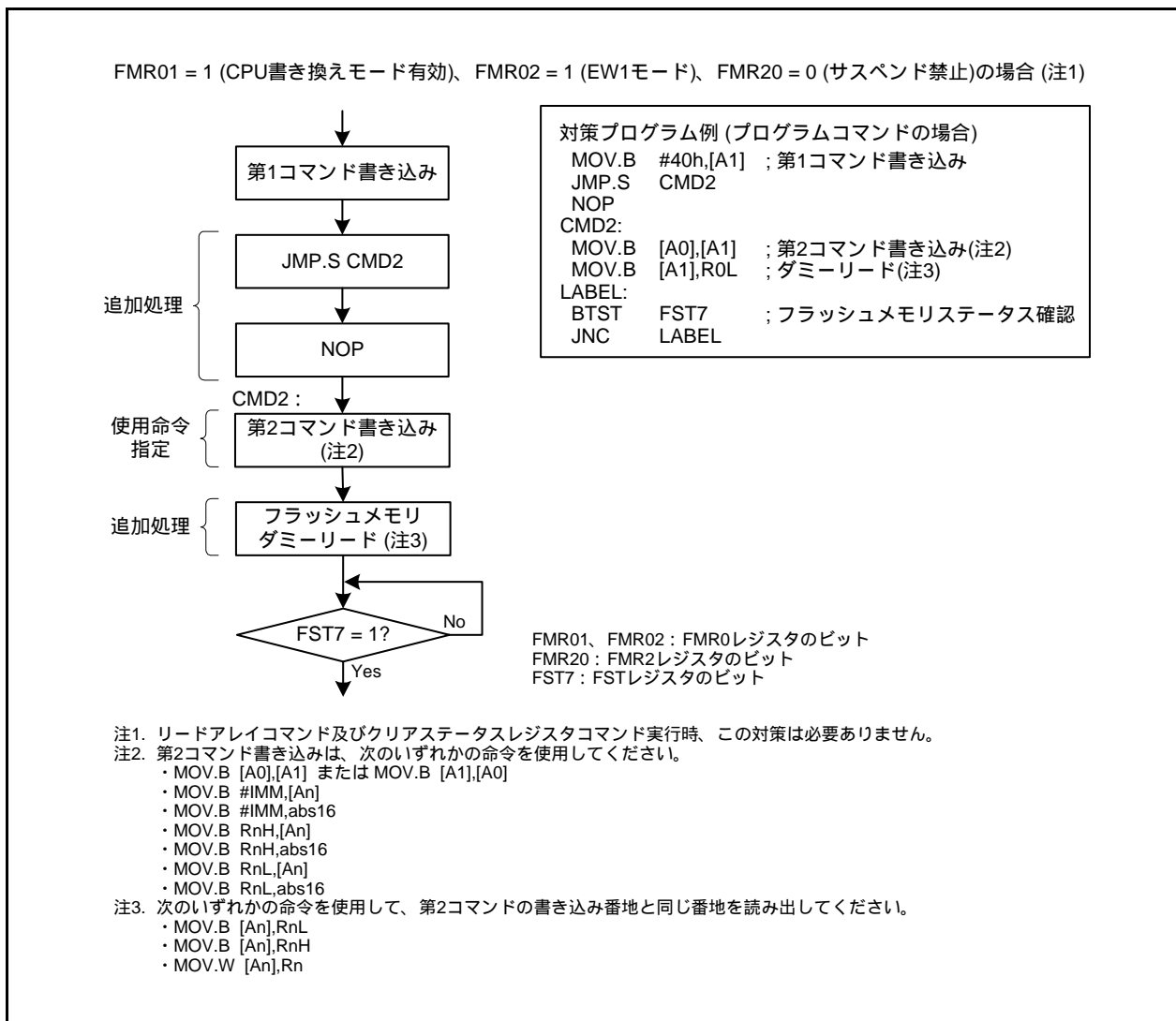


図23.22 ソフトウェアコマンド実行手順(サスペンド禁止)



### 23.8.3 フラッシュメモリの停止および動作の遷移に関する注意

- (1) FMSTPビットが1(フラッシュメモリ停止)の状態、ストップモードへ移行しないでください。
- (2) FMSTPビットが1(フラッシュメモリ停止)、かつWTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードへ移行しないでください。
- (3) フラッシュメモリ停止状態からフラッシュメモリ動作状態へ移行後、42  $\mu$ s間は、フラッシュメモリ停止状態へ移行しないでください。  
また、その期間は、OCOCCRレジスタのLOCODISビットを書き換えしないでください。

フラッシュメモリ停止状態からフラッシュメモリ動作状態への移行条件

- FMSTPビットを0(フラッシュメモリ動作)にする。
- WTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードから復帰する。
- ストップモードから復帰する。

フラッシュメモリ動作状態からフラッシュメモリ停止状態への移行条件

- FMSTPビットを1(フラッシュメモリ停止)にする。
- WTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードへ移行する。
- ストップモードへ移行する。

## 24. 電気的特性

表24.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧			-0.3 ~ 6.5	V
V <sub>i</sub>	入力電圧	XIN	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V <sub>CC</sub> + 0.3	V
		その他の端子		-0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>o</sub>	出力電圧	XOUT	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V <sub>CC</sub> + 0.3	V
		その他の端子		-0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力		-40 °C Topr 85 °C	500	mW
T <sub>opr</sub>	動作周囲温度			-20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)	°C
T <sub>stg</sub>	保存温度			-60 ~ 150	°C

注1. 発振回路使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b  
 発振回路未使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b以外

表24.2 推奨動作条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧			1.8	—	5.5	V
V <sub>SS</sub> /AV <sub>SS</sub>	電源電圧			—	0	—	V
V <sub>IH</sub>	H入力電圧	CMOS入力以外		0.8 V <sub>CC</sub>	—	V <sub>CC</sub>	V
		CMOS入力	4.0 V V <sub>CC</sub> 5.5 V	0.65 V <sub>CC</sub>	—	V <sub>CC</sub>	V
			2.7 V V <sub>CC</sub> < 4.0 V	0.7 V <sub>CC</sub>	—	V <sub>CC</sub>	V
			1.8 V V <sub>CC</sub> < 2.7 V	0.8 V <sub>CC</sub>	—	V <sub>CC</sub>	V
V <sub>IL</sub>	L入力電圧	CMOS入力以外		0	—	0.2 V <sub>CC</sub>	V
		CMOS入力	4.0 V V <sub>CC</sub> 5.5 V	0	—	0.4 V <sub>CC</sub>	V
			2.7 V V <sub>CC</sub> < 4.0 V	0	—	0.3 V <sub>CC</sub>	V
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	0.2 V <sub>CC</sub>	V
I <sub>OH</sub> (sum)	H尖頭総出力電流	全端子のI <sub>OH</sub> (peak)の総和		—	—	-160	mA
I <sub>OH</sub> (sum)	H平均総出力電流	全端子のI <sub>OH</sub> (avg)の総和		—	—	-80	mA
I <sub>OH</sub> (peak)	H尖頭出力電流		駆動能力Low時	—	—	-10	mA
			駆動能力High時(注5)	—	—	-40	mA
I <sub>OH</sub> (avg)	H平均出力電流		駆動能力Low時	—	—	-5	mA
			駆動能力High時(注5)	—	—	-20	mA
I <sub>OL</sub> (sum)	L尖頭総出力電流	全端子のI <sub>OL</sub> (peak)の総和		—	—	160	mA
I <sub>OL</sub> (sum)	L平均総出力電流	全端子のI <sub>OL</sub> (avg)の総和		—	—	80	mA
I <sub>OL</sub> (peak)	L尖頭出力電流		駆動能力Low時	—	—	10	mA
			駆動能力High時(注5)	—	—	40	mA
I <sub>OL</sub> (avg)	L平均出力電流		駆動能力Low時	—	—	5	mA
			駆動能力High時(注5)	—	—	20	mA
f(XIN)	XIN発振周波数		2.7 V V <sub>CC</sub> 5.5 V	2	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	2	—	5	MHz
	XINクロック入力発振周波数		2.7 V V <sub>CC</sub> 5.5 V	0	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	5	MHz
f(XCIN)	XCINクロック入力発振周波数		1.8 V V <sub>CC</sub> 5.5 V	—	32.768	—	kHz
fHOCO	高速オンチップオシレータ発振周波数(注3)		1.8 V V <sub>CC</sub> 5.5 V	—	20	—	MHz
fLOCO	低速オンチップオシレータ発振周波数(注4)		1.8 V V <sub>CC</sub> 5.5 V	—	125	—	kHz
—	システムクロック周波数		2.7 V V <sub>CC</sub> 5.5 V	—	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	—	—	5	MHz
f <sub>s</sub>	CPUクロック周波数		2.7 V V <sub>CC</sub> 5.5 V	0	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	5	MHz

注1. 指定のない場合は、V<sub>CC</sub> = 1.8 V ~ 5.5 V、T<sub>opr</sub> = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. 電気的特性は「表24.10 高速オンチップオシレータ発振回路の電気的特性」を参照してください。

注4. 電気的特性は「表24.11 低速オンチップオシレータ発振回路の電気的特性」を参照してください。

注5. 高駆動能力を持っている端子はP1\_2、P1\_3、P1\_4、P1\_5、P3\_3、P3\_4、P3\_5、P3\_7です。

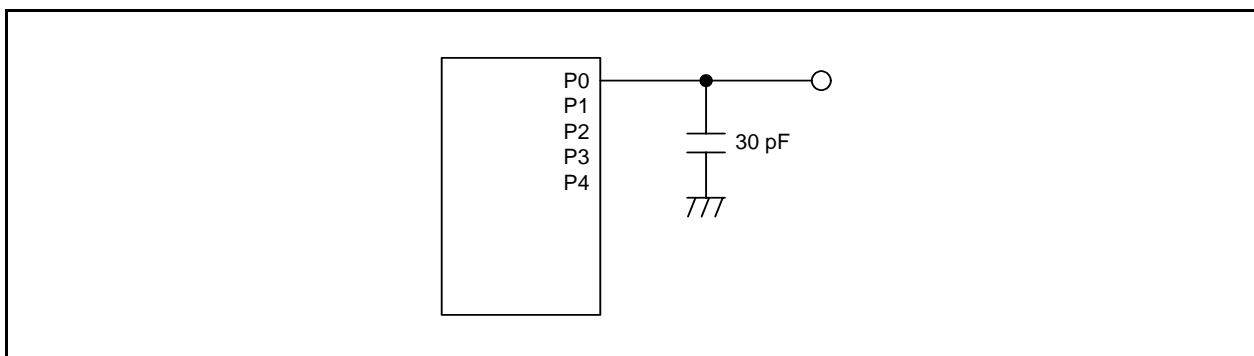


図24.1 ポートP0 ~ P4のタイミング測定回路

表24.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能		—	—	10	Bit
—	絶対精度	AVcc = 5.0 V AN0 ~ AN7入力	—	—	±3	LSB
		AVcc = 3.0 V AN0 ~ AN7入力	—	—	±5	LSB
		AVcc = 1.8 V AN0 ~ AN7入力	—	—	±5	LSB
—	A/D変換クロック	4.0 V AVcc 5.5 V (注2)	2	—	20	MHz
		3.2 V AVcc 5.5 V (注2)	2	—	16	MHz
		2.7 V AVcc 5.5 V (注2)	2	—	10	MHz
		1.8 V AVcc 5.5 V (注2)	2	—	5	MHz
—	許容信号源インピーダンス			3	kΩ	
tCONV	変換時間	AVcc = 5.0 V、φAD = 20 MHz	2.20	—	—	μs
tsAMP	サンプリング時間	φAD = 20 MHz	0.80	—	—	μs
VIA	アナログ入力電圧		0	—	AVcc	V

注1. 指定のない場合は、Vcc/AVcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. ストップモード時、フラッシュメモリの停止時および低消費電流リードモード時では、A/D変換結果が不定になります。これらの状態のときにA/D変換を行わないでください。A/D変換中にこれらの状態に移行しないでください。

表24.4 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0	—	Vcc - 1.4	V
Vi	IVCMP1、IVCMP3入力電圧		-0.3	—	Vcc + 0.3	V
—	オフセット		—	5	100	mV
td	コンパレータ出力遅延時間(注2)	Vi = Vref ± 100 mV	—	0.1	—	μs
IcMP	コンパレータ動作電流	Vcc = 5.0 V	—	17.5	—	μA

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. デジタルフィルタ無効時。

表24.5 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	80	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	160	—	μs
—	ブロックイレーズ時間		—	0.12	—	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = 0 °C ~ 60 °Cです。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1 ~ 最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

表24.6 フラッシュメモリ(データフラッシュ ブロックA、B)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000 (注3)	—	—	回
—	バイトプログラム時間		—	150	—	μs
—	ブロックイレーズ時間		—	0.05	1	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nバージョン)	—	85	°C
			-40 (Dバージョン)	—	85	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1~最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

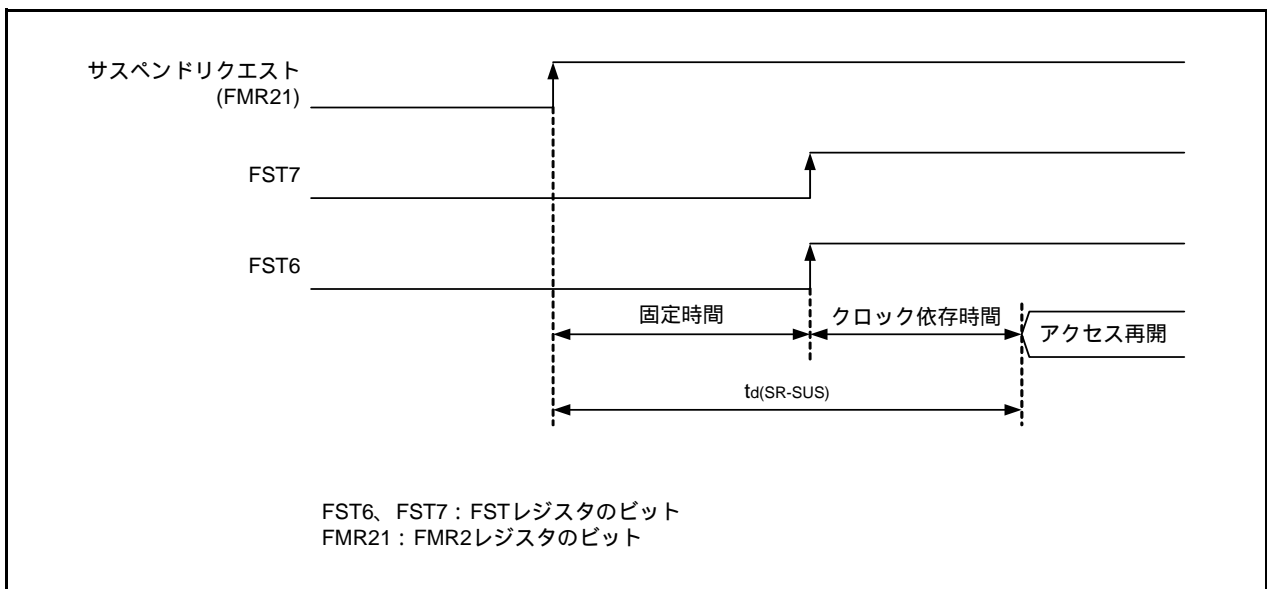


図24.2 サスペンドへの遷移時間



表24.7 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注3)	Vcc = 5 V (Vdet0_0 - 0.1) V に下げたとき	—	30	—	μs
—	電圧検出回路の自己消費電流	VC0E = 1、Vcc = 5.0 V	—	1.5	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン) です。

注2. 電圧検出レベルは、OFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注4. VCA2レジスタのVC0Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表24.8 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_1 ~ Vdet1_5 選択時	—	0.07	—	V
		Vdet1_7 ~ Vdet1_F 選択時	—	0.10	—	V
—	電圧監視1回路反応時間 (注3)	Vcc = 5 V (Vdet1_0 - 0.1) V に下げたとき	—	60	150	μs
—	電圧検出回路の自己消費電流	VC1E = 1、Vcc = 5.0 V	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン) です。

注2. 電圧検出レベルは、VD1LSレジスタのVD1S1 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVC1Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表24.9 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. 指定のない場合の測定条件は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. パワーオンリセットを使用する場合は、OFSレジスタのLVDASビットを0にし、電圧監視0リセットを有効にしてください。

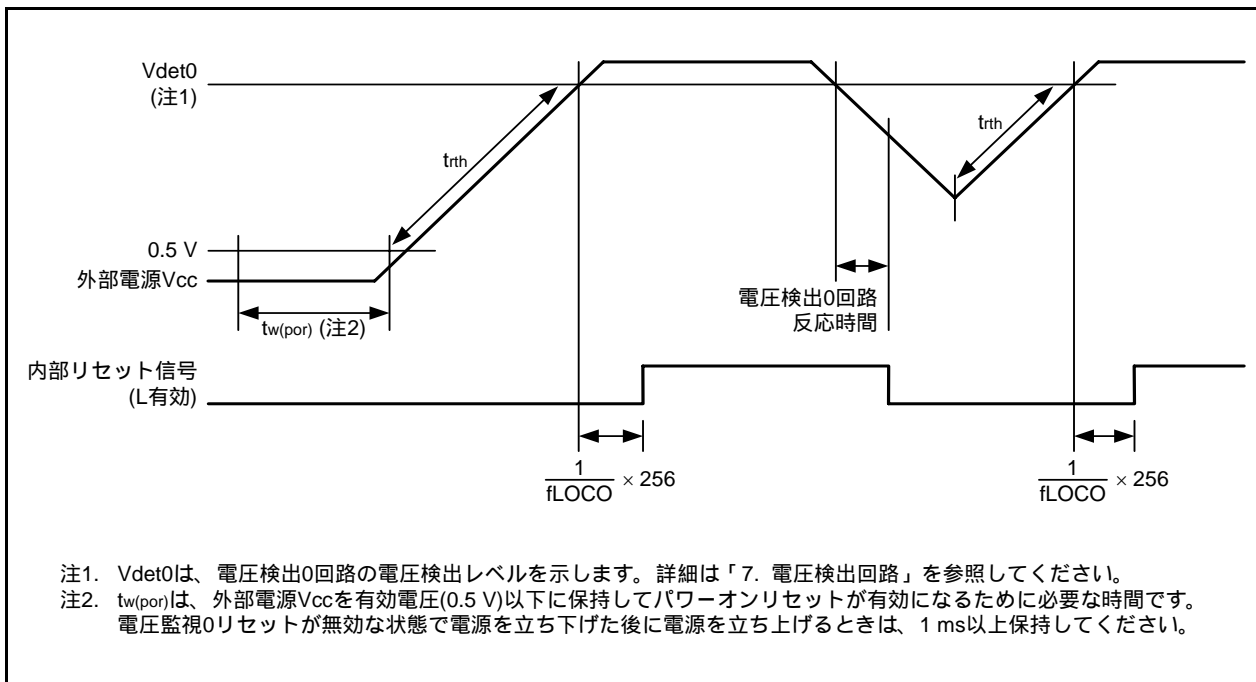


図24.3 パワーオンリセット回路の電気的特性

表24.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 1.8 V ~ 5.5 V -20 °C Topr 85 °C	19.2	20.0	20.8	MHz
		Vcc = 1.8 V ~ 5.5 V -40 °C Topr 85 °C	19.0	20.0	21.0	MHz
	FR18S0レジスタの補正値をFRV1レジスタに、かつFR18S1レジスタの補正値をFRV2レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	Vcc = 1.8 V ~ 5.5 V -20 °C Topr 85 °C	17.694	18.432	19.169	MHz
		Vcc = 1.8 V ~ 5.5 V -40 °C Topr 85 °C	17.510	18.432	19.353	MHz
—	発振安定時間		—	—	30	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25 °C	—	530	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600 bps、38400 bpsなどのビットレートの設定誤差を、0%にすることができます。

表24.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25 °C	—	2	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

表24.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		—	—	2,000	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = 25 °Cです。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表24.13 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4	—	—	tCYC (注2)
tHI	SSCKクロックHパルス幅			0.4	—	0.6	tSUCYC
tLO	SSCKクロックLパルス幅			0.4	—	0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ		—	—	1	tCYC (注2)
		スレーブ		—	—	1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ		—	—	1	tCYC (注2)
		スレーブ		—	—	1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
tH	SSO、SSIデータ入力ホールド時間			1	—	—	tCYC (注2)
tLEAD	SCSセットアップ時間	スレーブ		1 tCYC + 50	—	—	ns
tLAG	SCSホールド時間	スレーブ		1 tCYC + 50	—	—	ns
tOD	SSO、SSIデータ出力遅延時間			—	—	1	tCYC (注2)
tSA	SSIスレーブアクセス時間		2.7 V Vcc 5.5 V	—	—	1.5 tCYC + 100	ns
			1.8 V Vcc < 2.7 V	—	—	1.5 tCYC + 200	ns
tOR	SSIスレーブアウト開放時間		2.7 V Vcc 5.5 V	—	—	1.5 tCYC + 100	ns
			1.8 V Vcc < 2.7 V	—	—	1.5 tCYC + 200	ns

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 1 tCYC = 1/f1 (s)

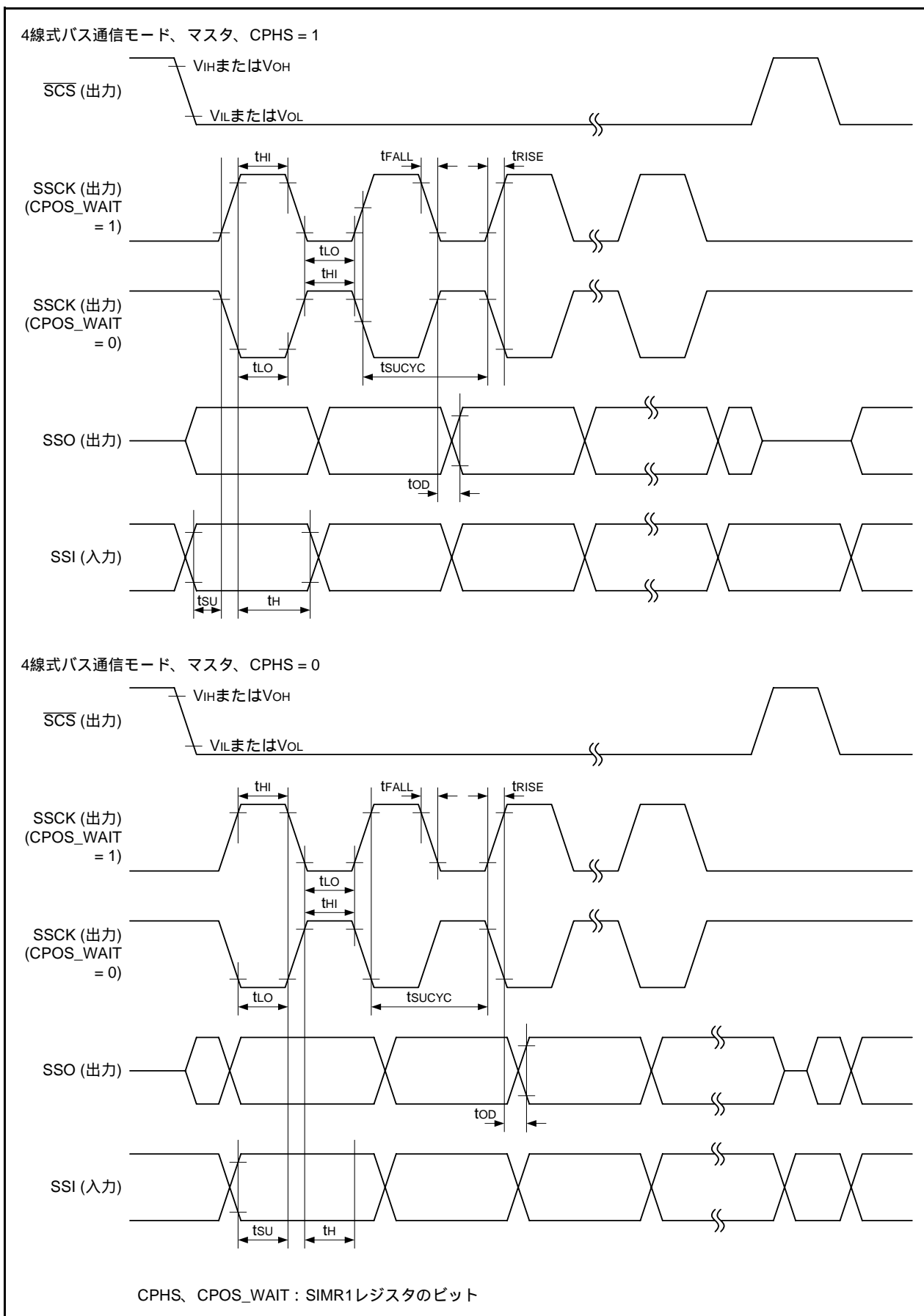


図24.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(マスタ)

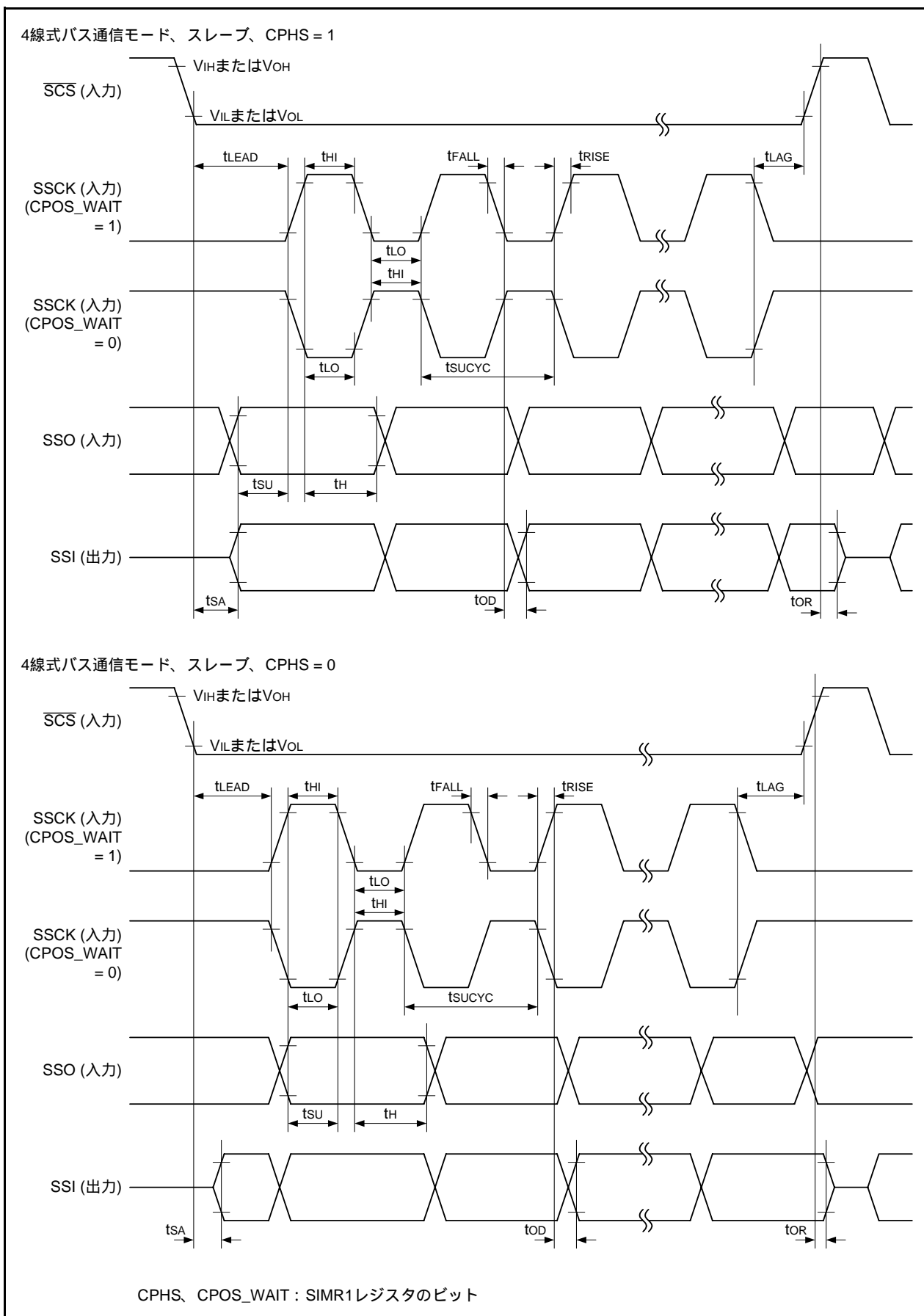


図24.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(スレーブ)

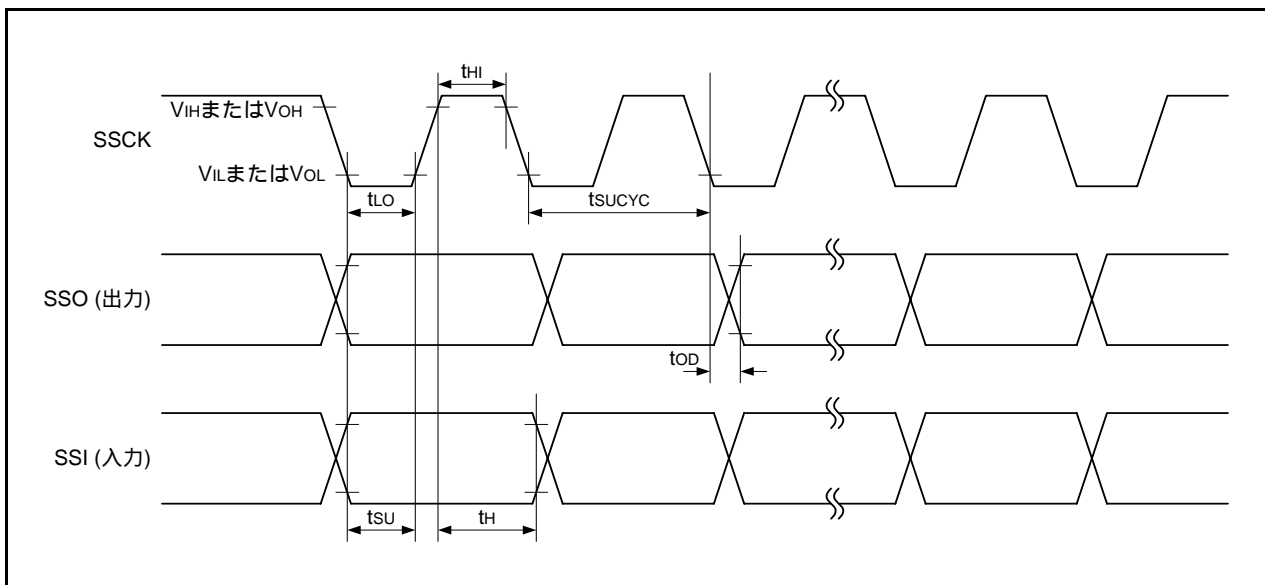


図24.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(クロック同期式通信モード)

表24.14 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12 tcyc + 600 (注2)	—	—	ns
tSCLH	SCL入力Hパルス幅		3 tcyc + 300 (注2)	—	—	ns
tSCLL	SCL入力Lパルス幅		5 tcyc + 500 (注2)	—	—	ns
tsf	SCL、SDA入力立ち下がり時間		—	—	300	ns
tSP	SCL、SDA入カスパイクパルス除去時間		—	—	1 tcyc (注2)	ns
tBUF	SDA入力バスフリー時間		5 tcyc (注2)	—	—	ns
tSTAH	開始条件入力ホールド時間		3 tcyc (注2)	—	—	ns
tSTAS	再送開始条件入力セットアップ時間		3 tcyc (注2)	—	—	ns
tSTOP	停止条件入力セットアップ時間		3 tcyc (注2)	—	—	ns
tSDAS	データ入力セットアップ時間		1 tcyc + 40 (注2)	—	—	ns
tSDAH	データ入力ホールド時間		10	—	—	ns

注1. 指定のない場合は、V<sub>CC</sub> = 1.8 V ~ 5.5 V、V<sub>SS</sub> = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 1 tcyc = 1/f1 (s)

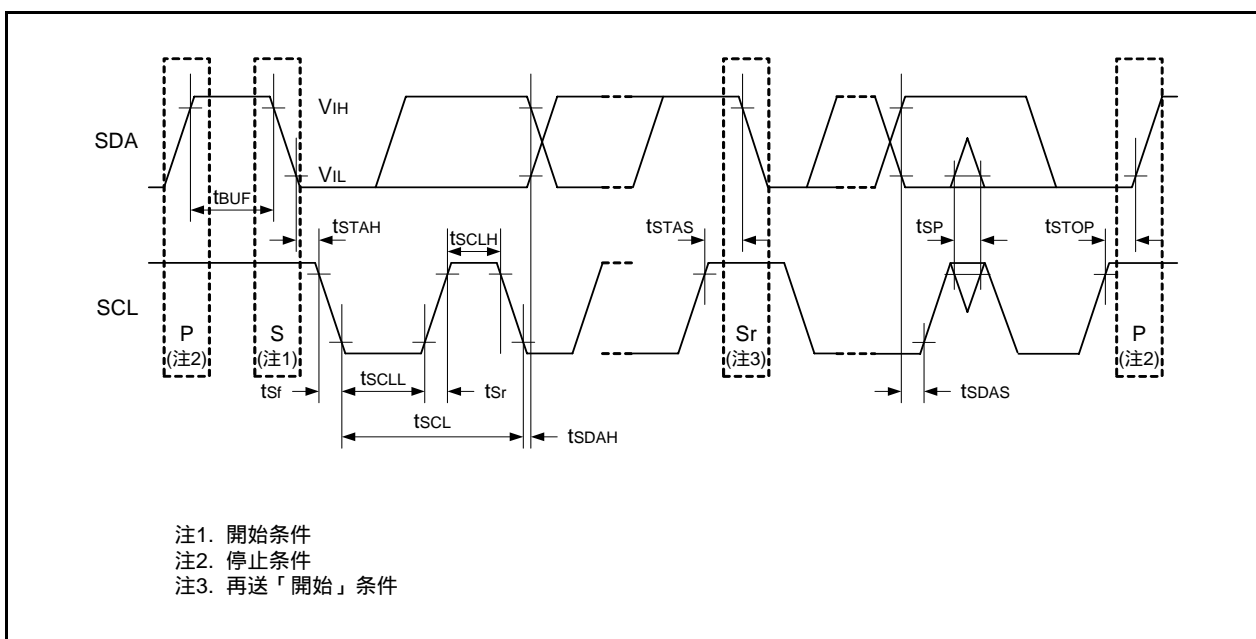
図24.7 I<sup>2</sup>Cバスインタフェースの入出力のタイミング図



表24.15 DC特性(1) [4.0 V  $V_{cc}$  5.5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VoH	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力Low時	IoH = -5 mA	Vcc - 2.0	—	Vcc	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoH = -5 mA	Vcc - 2.0	—	Vcc	V
VoL	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoL = 20 mA	—	—	2.0	V
			駆動能力Low時	IoL = 5 mA	—	—	2.0	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoL = 5 mA	—	—	2.0	V
Vt+-Vt-	ヒステリシス	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 $\overline{TRJIO}$ 、 $\overline{TRCIOA}$ 、 $\overline{TRCIOB}$ 、 $\overline{TRCIOC}$ 、 $\overline{TRCIOD}$ 、 $\overline{RXD0}$ 、 $\overline{CLK0}$	Vcc = 5 V		0.1	1.2	—	V
		$\overline{RESET}$	Vcc = 5 V		0.1	1.2	—	V
IiH	H入力電流		Vi = 5 V、Vcc = 5.0 V		—	—	5.0	$\mu$ A
IiL	L入力電流		Vi = 0 V、Vcc = 5.0 V		—	—	-5.0	$\mu$ A
RpULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 5.0 V		25	50	100	k $\Omega$
RiXIN	帰還抵抗	XIN			—	2.2	—	M $\Omega$
RiXCIN	帰還抵抗	XCIN			—	14	—	M $\Omega$
VrAM	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、4.0 V  $V_{cc}$  5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 20 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表24.16 DC特性(2) [4.0 V Vcc 5.5 V]  
(指定のない場合は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
Icc	電源電流 (注1)	高速 クロック モード	20 MHz	停止	停止	125 kHz	分周なし	—		—	3.5	7.0	mA
			16 MHz	停止	停止	125 kHz	分周なし	—		—	2.8	6.0	mA
			10 MHz	停止	停止	125 kHz	分周なし	—		—	1.8	—	mA
			20 MHz	停止	停止	125 kHz	8分周	—		—	2.0	—	mA
			16 MHz	停止	停止	125 kHz	8分周	—		—	1.7	—	mA
			10 MHz	停止	停止	125 kHz	8分周	—		—	1.1	—	mA
		高速 オンチップ オシレータ モード	停止	停止	20 MHz	125 kHz	分周なし			—	4.0	7.5	mA
			停止	停止	20 MHz	125 kHz	8分周			—	2.5	—	mA
			停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.0	—	mA
		低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	70	270	μA
			停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	65	270	μA
		低速 クロック モード	停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	45	—	μA
			停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 動作	—	15	100	μA
		ウェイト モード	停止	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	5.0	90	μA
			停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3.5	—	μA
			停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA
		ストップ モード	停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.9	—	μA

注1. Vcc = 4.0 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0 V

注4. PHISELレジスタでシステムクロックを4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 5\text{ V}$ ]

表24.17 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50	—	ns
$t_{WH(XIN)}$	XIN入力Hパルス幅	24	—	ns
$t_{WL(XIN)}$	XIN入力Lパルス幅	24	—	ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH(XCIN)}$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL(XCIN)}$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

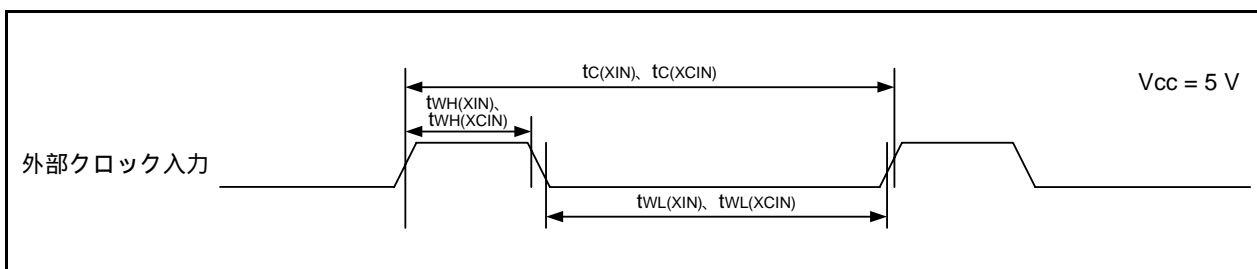


図24.8  $V_{CC} = 5\text{ V}$ 時の外部クロック入力タイミング

表24.18 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRJIO)}$	TRJIO入力サイクル時間	100	—	ns
$t_{WH(TRJIO)}$	TRJIO入力Hパルス幅	40	—	ns
$t_{WL(TRJIO)}$	TRJIO入力Lパルス幅	40	—	ns

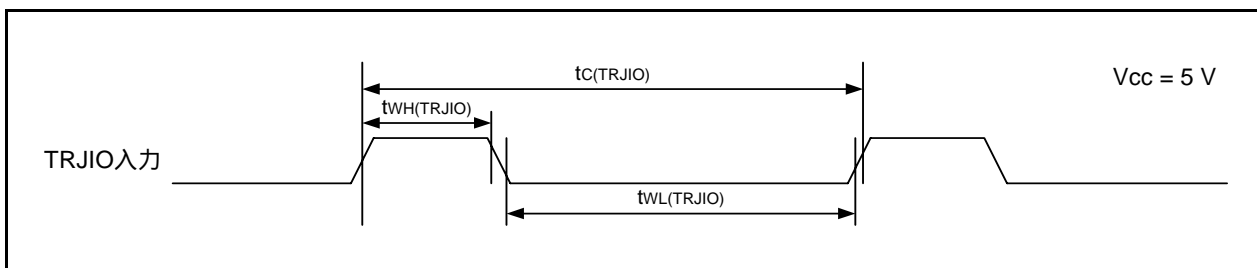


図24.9  $V_{CC} = 5\text{ V}$ 時のTRJIO入力のタイミング

表24.19 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	100	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	100	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

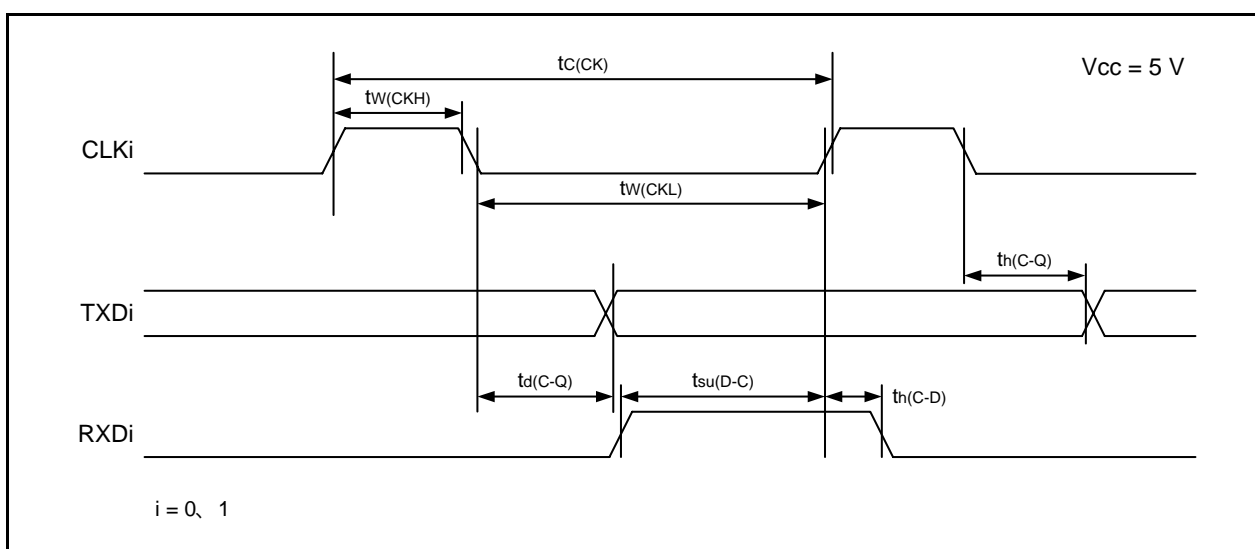


図24.10 Vcc = 5 V時のシリアルインタフェースのタイミング図

表24.20 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力Hパルス幅、 $\overline{Kli}$ 入力Hパルス幅	250 (注1)	—	ns
$t_{w(INL)}$	$\overline{INTi}$ 入力Lパルス幅、 $\overline{Kli}$ 入力Lパルス幅	250 (注2)	—	ns

注1.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

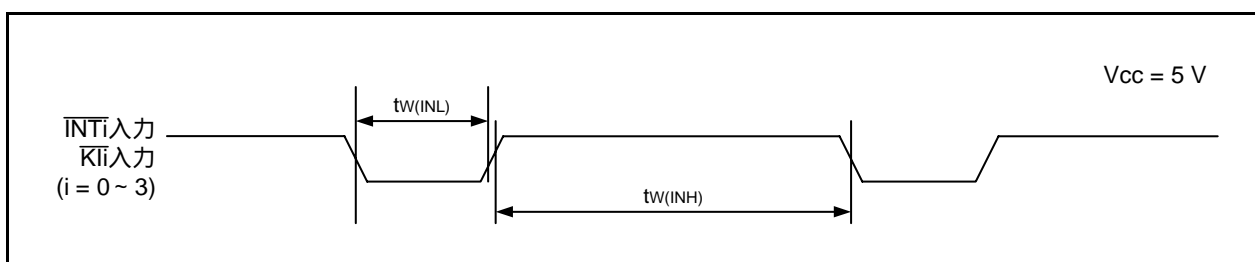


図24.11 Vcc = 5 V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図

表24.21 DC特性(3) [2.7 V  $V_{CC} < 4.0$  V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V <sub>OH</sub>	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I <sub>OH</sub> = -5 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
			駆動能力Low時	I <sub>OH</sub> = -1 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		I <sub>OH</sub> = -1 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
V <sub>OL</sub>	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I <sub>OL</sub> = 5 mA	—	—	0.5	V
			駆動能力Low時	I <sub>OL</sub> = 1 mA	—	—	0.5	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		I <sub>OL</sub> = 1 mA	—	—	0.5	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRJIO</u> 、 <u>TRCIOA</u> 、 <u>TRCIOB</u> 、 <u>TRCIOC</u> 、 <u>TRCIOD</u> 、 <u>RXD0</u> 、 <u>CLK0</u>	V <sub>CC</sub> = 3 V		0.1	0.4	—	V
		<u>RESET</u>	V <sub>CC</sub> = 3 V		0.1	0.5	—	V
I <sub>IH</sub>	H入力電流		V <sub>I</sub> = 3 V、V <sub>CC</sub> = 3.0 V		—	—	4.0	μA
I <sub>IL</sub>	L入力電流		V <sub>I</sub> = 0 V、V <sub>CC</sub> = 3.0 V		—	—	-4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V、V <sub>CC</sub> = 3.0 V		42	84	168	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			—	2.2	—	MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			—	14	—	MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、2.7 V  $V_{CC} < 4.0$  V、T<sub>opr</sub> = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 10 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表24.22 DC特性(4) [2.7 V  $V_{cc} < 4.0$  V]  
 (指定のない場合は、 $T_{opr} = -20$  °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
I <sub>cc</sub>	電源電流 (注1)	高速 クロック モード	20 MHz	停止	停止	125 kHz	分周なし	—		—	3.5	7.0	mA
			16 MHz	停止	停止	125 kHz	分周なし	—		—	2.7	6.0	mA
			10 MHz	停止	停止	125 kHz	分周なし	—		—	1.7	5.0	mA
			20 MHz	停止	停止	125 kHz	8分周	—		—	1.9	—	mA
			16 MHz	停止	停止	125 kHz	8分周	—		—	1.6	—	mA
			10 MHz	停止	停止	125 kHz	8分周	—		—	1.0	4.5	mA
	高速 オンチップ オシレータ モード	停止	停止	20 MHz	125 kHz	分周なし			—	3.9	7.5	mA	
		停止	停止	20 MHz	125 kHz	8分周			—	2.5	—	mA	
		停止	停止	10 MHz (注4)	125 kHz	分周なし			—	2.4	—	mA	
		停止	停止	10 MHz (注4)	125 kHz	8分周			—	1.6	—	mA	
		停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.0	—	mA	
	低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	60	260	μA	
		停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	60	260	μA	
	低速 クロック モード	停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	40	—	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA	
	ウェイト モード	停止	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	5.0	80	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3.2	—	μA	
		停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	$T_{opr} = 25$ °C 周辺クロック 停止	—	1.0	4.0	μA	
	ストップ モード	停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	$T_{opr} = 85$ °C 周辺クロック 停止	—	1.7	—	μA	

注1.  $V_{cc} = 2.7$  V ~ 4.0 V、シングルチップモードで、出力端子は開放、その他の端子はV<sub>ss</sub>。

注2. XINは方形波入力。

注3.  $V_{cc} = 3.0$  V

注4. PHISELレジスタでシステムクロックを10 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 3\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 3\text{ V}$ ]

表24.23 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50	—	ns
$t_{WH(XIN)}$	XIN入力Hパルス幅	24	—	ns
$t_{WL(XIN)}$	XIN入力Lパルス幅	24	—	ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH(XCIN)}$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL(XCIN)}$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

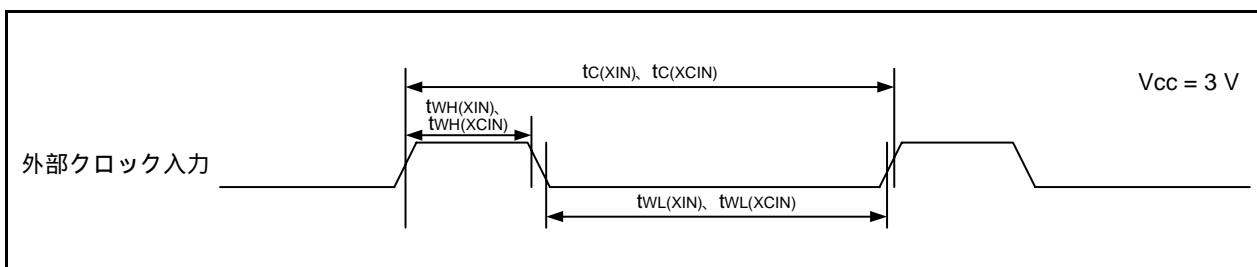


図24.12  $V_{CC} = 3\text{ V}$ 時の外部クロック入力タイミング

表24.24 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRJIO)}$	TRJIO入力サイクル時間	300	—	ns
$t_{WH(TRJIO)}$	TRJIO入力Hパルス幅	120	—	ns
$t_{WL(TRJIO)}$	TRJIO入力Lパルス幅	120	—	ns

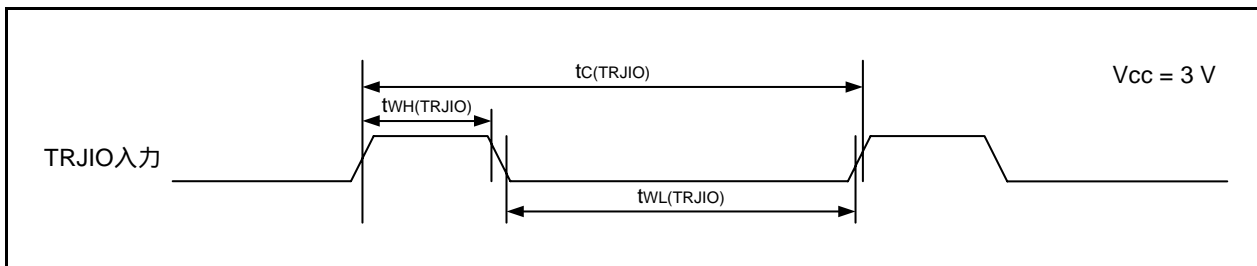


図24.13  $V_{CC} = 3\text{ V}$ 時のTRJIO入力のタイミング

表24.25 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	150	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	150	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

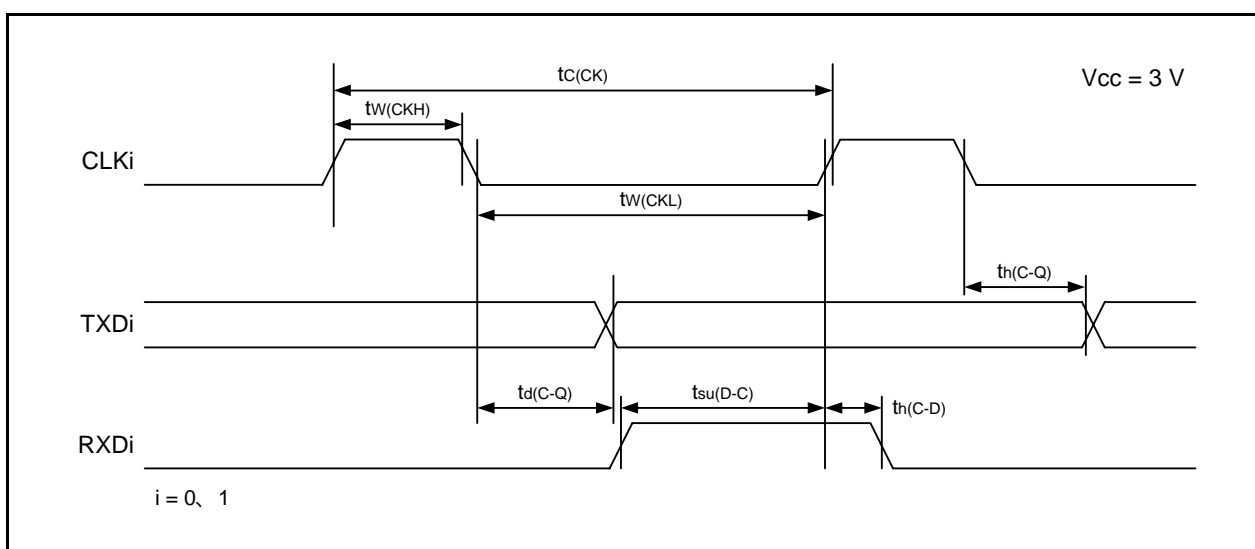


図24.14 Vcc = 3 V時のシリアルインタフェースのタイミング図

表24.26 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力Hパルス幅、Kli入力Hパルス幅	380 (注1)	—	ns
$t_{w(INL)}$	INTi入力Lパルス幅、Kli入力Lパルス幅	380 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

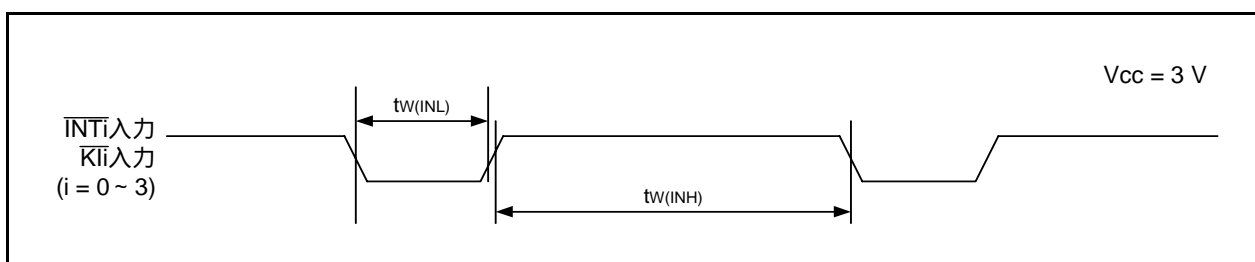


図24.15 Vcc = 3 V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図



表24.27 DC特性(5) [1.8 V  $V_{CC} < 2.7$  V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IOH = -2 mA	VCC - 0.5	—	VCC	V
			駆動能力Low時	IOH = -1 mA	VCC - 0.5	—	VCC	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IOH = -1 mA	VCC - 0.5	—	VCC	V
VOL	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IOL = 2 mA	—	—	0.5	V
			駆動能力Low時	IOL = 1 mA	—	—	0.5	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IOL = 1 mA	—	—	0.5	V
VT+-VT-	ヒステリシス	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 $\overline{TRJIO}$ 、 $\overline{TRCIOA}$ 、 $\overline{TRCIOB}$ 、 $\overline{TRCIOC}$ 、 $\overline{TRCIOD}$ 、 $\overline{RXD0}$ 、 $\overline{CLK0}$	VCC = 2.2 V		0.05	0.20	—	V
		$\overline{RESET}$	VCC = 2.2 V		0.05	0.20	—	V
I <sub>IH</sub>	H入力電流		VI = 2.2 V、VCC = 2.2 V		—	—	4.0	μA
I <sub>IL</sub>	L入力電流		VI = 0 V、VCC = 2.2 V		—	—	-4.0	μA
RPULLUP	プルアップ抵抗		VI = 0 V、VCC = 2.2 V		70	140	300	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			—	2.2	—	MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			—	14	—	MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、1.8 V  $V_{CC} < 2.7$  V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 5 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表24.28 DC特性(6) [1.8 V  $V_{cc} < 2.7$  V]  
(指定のない場合は、 $T_{opr} = -20$  °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
I <sub>cc</sub>	電源電流 (注1)	高速 クロック モード	5 MHz	停止	停止	125 kHz	分周なし	—		—	1.1	—	mA
			5 MHz	停止	停止	125 kHz	8分周	—		—	0.8	—	mA
		高速 オンチップ オシレータ モード	停止	停止	5 MHz (注4)	125 kHz	分周なし			—	1.8	6.5	mA
			停止	停止	5 MHz (注4)	125 kHz	8分周			—	1.6	—	mA
			停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.3	—	mA
		低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	60	200	μA
			停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	55	200	μA
		低速 クロック モード	停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	30	—	μA
			停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA
			停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	4.5	80	μA
		ウェイト モード	停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3	—	μA
			停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1	4.0	μA
			停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.6	—	μA

注1.  $V_{cc} = 1.8$  V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はV<sub>ss</sub>。

注2. XINは方形波入力。

注3.  $V_{cc} = 2.2$  V

注4. PHISELレジスタでシステムクロックを5 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 2.2\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 2.2\text{ V}$ ]

表24.29 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200	—	ns
$t_{WH(XIN)}$	XIN入力Hパルス幅	90	—	ns
$t_{WL(XIN)}$	XIN入力Lパルス幅	90	—	ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH(XCIN)}$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL(XCIN)}$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

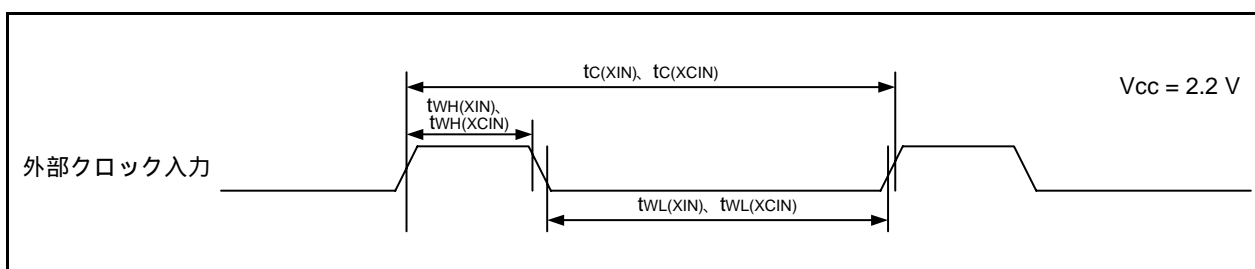


図24.16  $V_{CC} = 2.2\text{ V}$ 時の外部クロック入力タイミング

表24.30 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRJIO)}$	TRJIO入力サイクル時間	500	—	ns
$t_{WH(TRJIO)}$	TRJIO入力Hパルス幅	200	—	ns
$t_{WL(TRJIO)}$	TRJIO入力Lパルス幅	200	—	ns

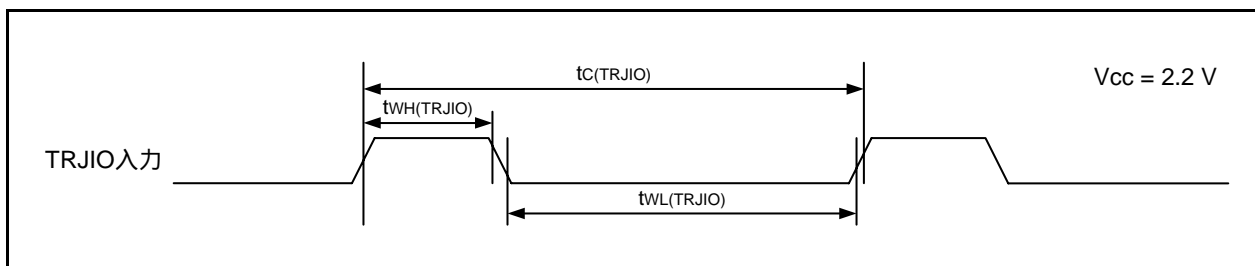


図24.17  $V_{CC} = 2.2\text{ V}$ 時のTRJIO入力のタイミング図

表24.31 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	400	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	400	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

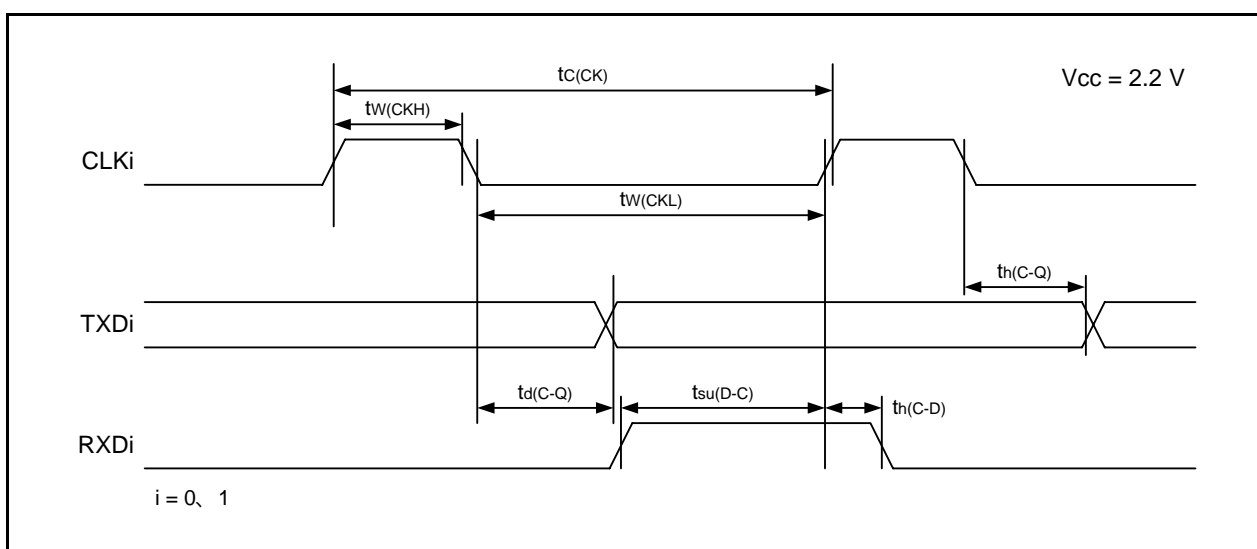


図24.18 Vcc = 2.2 V時のシリアルインタフェースのタイミング図

表24.32 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力Hパルス幅、Kli入力Hパルス幅	1,000 (注1)	—	ns
$t_{w(INL)}$	INTi入力Lパルス幅、Kli入力Lパルス幅	1,000 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

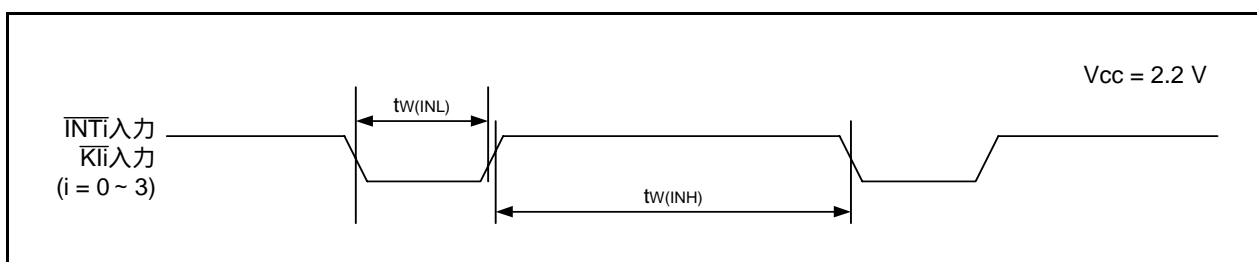


図24.19 Vcc = 2.2 V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図

## 25. 使用上の注意事項集

### 25.1 システム制御使用上の注意事項

#### 25.1.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH  
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFCH  
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

### 25.2 ウォッチドッグタイマ使用上の注意事項

- ウォッチドッグタイマ動作中、カウントソースの切り換えを行わないでください。
- WDTRレジスタへの書き込みからウォッチドッグタイマが初期化されるまで、カウントソースの2サイクル分の遅延があります。
- 前回のウォッチドッグタイマの初期化から、次回のウォッチドッグタイマの初期化までの間隔を、カウントソースの3サイクル以上にしてください。

### 25.3 クロック発生回路使用上の注意事項

#### 25.3.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、BAKCRレジスタのCKSWIE ~ XINBAKEビットを00b(割り込み要求禁止、発振停止検出機能無効)にしてください。

#### 25.3.2 発振回路定数

ユーザシステムでの最適発振回路定数は、発振子メーカーに相談の上、決定してください。

## 25.4 パワーコントロール使用上の注意事項

### 25.4.1 ウェイトモード移行時のプログラム制約

WAITM ビットを1にしてウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、WAITM ビットを1にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、WAIT 命令を実行してください。命令キューはWAITM ビットを1 (ウェイトモードに移行する)にする命令、またはWAIT 命令から4 バイト先読みしてプログラムが停止します。WAITM ビットを1 (ウェイトモードに移行する)にする命令、または WAIT 命令の後にはNOP 命令を最低4つ入れてください。

#### • WAIT 命令を実行するプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I         ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

#### • WAITM ビットを1にするプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; SCKCR レジスタへの書き込み許可
FCLR    I         ; 割り込み禁止
BSET    5, SCKCR   ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCLR   ; SCKCR レジスタへの書き込み禁止
FSET    I         ; 割り込み許可

```

### 25.4.2 ストップモード移行時のプログラム制約

ストップモードに移行する場合、FMR0 レジスタのFMR01 ビットを0 (CPU 書き換えモード無効)にした後、CKSTPR レジスタのSTPM ビットを1 (全クロック停止(ストップモード))にしてください。命令キューはSTPM ビットを1にする命令から、4 バイト先読みしてプログラムが停止します。

STPM ビットを1にする命令の直後にJMP.B 命令を入れた後、NOP 命令を最低4つ入れてください。

#### • ストップモードに移行するプログラム例

```

BCLR    1, FMR0    ; CPU 書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; CKSTPR レジスタへの書き込み許可
FSET    I         ; 割り込み許可
BSET    0, CKSTPR  ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

## 25.5 割り込み使用上の注意事項

### 25.5.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。外部割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRR3レジスタの該当するビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRR3レジスタの該当するビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 25.5.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 25.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力( $i=0 \sim 3$ )に示すLレベル幅またはHレベル幅が必要です。詳細は「表24.20 ( $V_{cc} = 5\text{ V}$ )、表24.26 ( $V_{cc} = 3\text{ V}$ )、表24.32 ( $V_{cc} = 2.2\text{ V}$ ) 外部割り込み $\overline{\text{INTi}}$ 入力、キー入力割り込み $\overline{\text{KIi}}$  ( $i=0 \sim 3$ )を参照してください。

### 25.5.4 PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの書き換え

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$  および  $\overline{\text{KI0}} \sim \overline{\text{KI3}}$  割り込みの機能を変更する場合、PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの書き換えによって、割り込み要求フラグが1になることがあります。割り込みの機能を変更する場合は、割り込み要求を禁止した状態でこれらのレジスタを書き換え、一定時間(注1)待ってから割り込み要求フラグを0にしてください。

図25.1にPMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの操作と割り込み要求フラグを0にする手順を示します。

注1. 一定時間は、デジタルフィルタが無効のとき、 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ または $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ を使用する場合、2 ~ 3サイクル×システムクロック (f)の周期です。デジタルフィルタが有効のとき、 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ を使用する場合、5 ~ 6サイクル×サンプリングクロックの周期です。

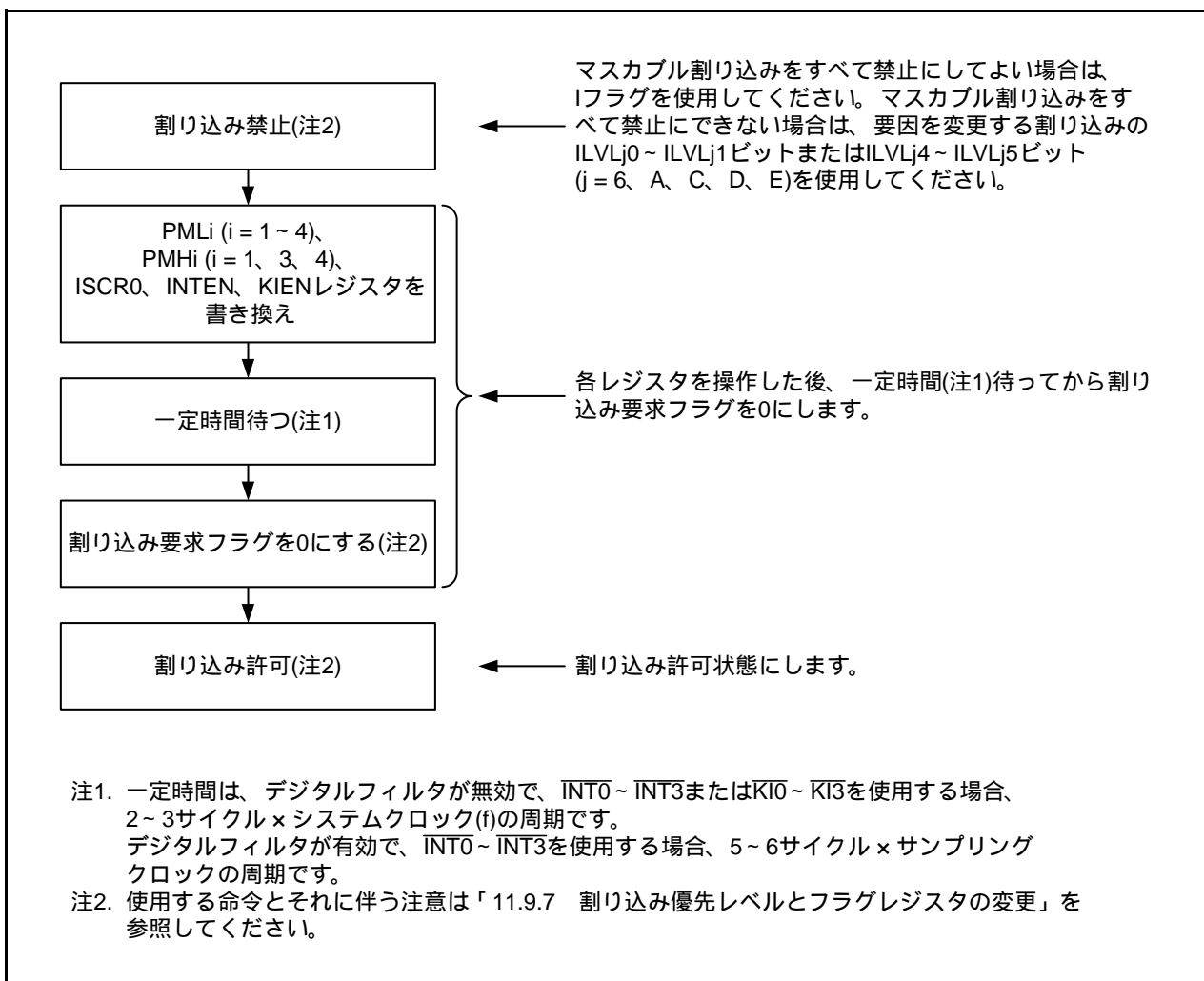


図25.1 PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、INTEN、KIENレジスタの操作と割り込み要求フラグを0にする手順



### 25.5.5 ウェイトモードまたはストップモードから標準動作モードへの復帰時の $\overline{\text{INTi}}$ 入力フィルタ

$\overline{\text{INTi}}$ 入力フィルタを使用したまま、CKSTPRレジスタのWCKSTPビットを1(ウェイトモード時、システムクロックを停止)にし、ウェイトモードまたはストップモードへ遷移すると、 $\overline{\text{INTi}}$ 割り込みを使い標準動作モードへ復帰できません。

$\overline{\text{INTi}}$ 割り込みを使い復帰する場合、ウェイトモードまたはストップモードへ遷移する前に、WCKSTPビットを1にし、INTF0レジスタのINTiF1 ~ INTiF0ビットを00b(フィルタなし)にしてください。 $\overline{\text{INTi}}$ 入力フィルタを再度使用する場合は、INTiF0 ~ INTiF1ビットでサンプリングクロックを選択後、INTENレジスタのINTiENビットを有効にしてください。

$\overline{\text{INTi}}$ 入力フィルタを使用する場合、関係レジスタの詳細な設定手順は、図25.2に示します。

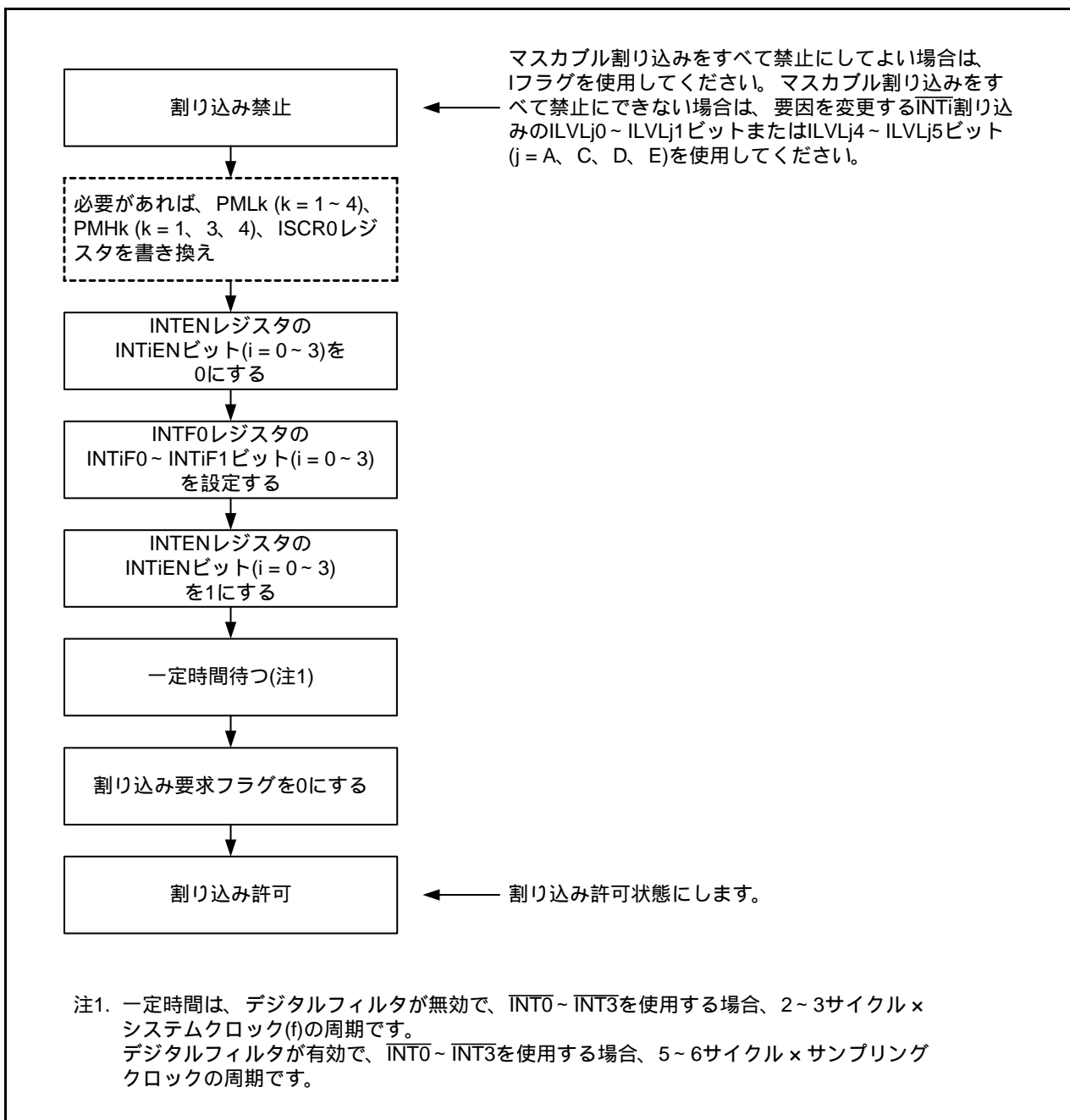


図25.2  $\overline{\text{INTi}}$ 入力フィルタ(i=0~3)を使用する場合のレジスタ設定手順

### 25.5.6 周辺機能が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合の設定手順

図25.3に周辺機能(タイマRJ2、タイマRB2、タイマRC)が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合のレジスタ設定手順を示します。

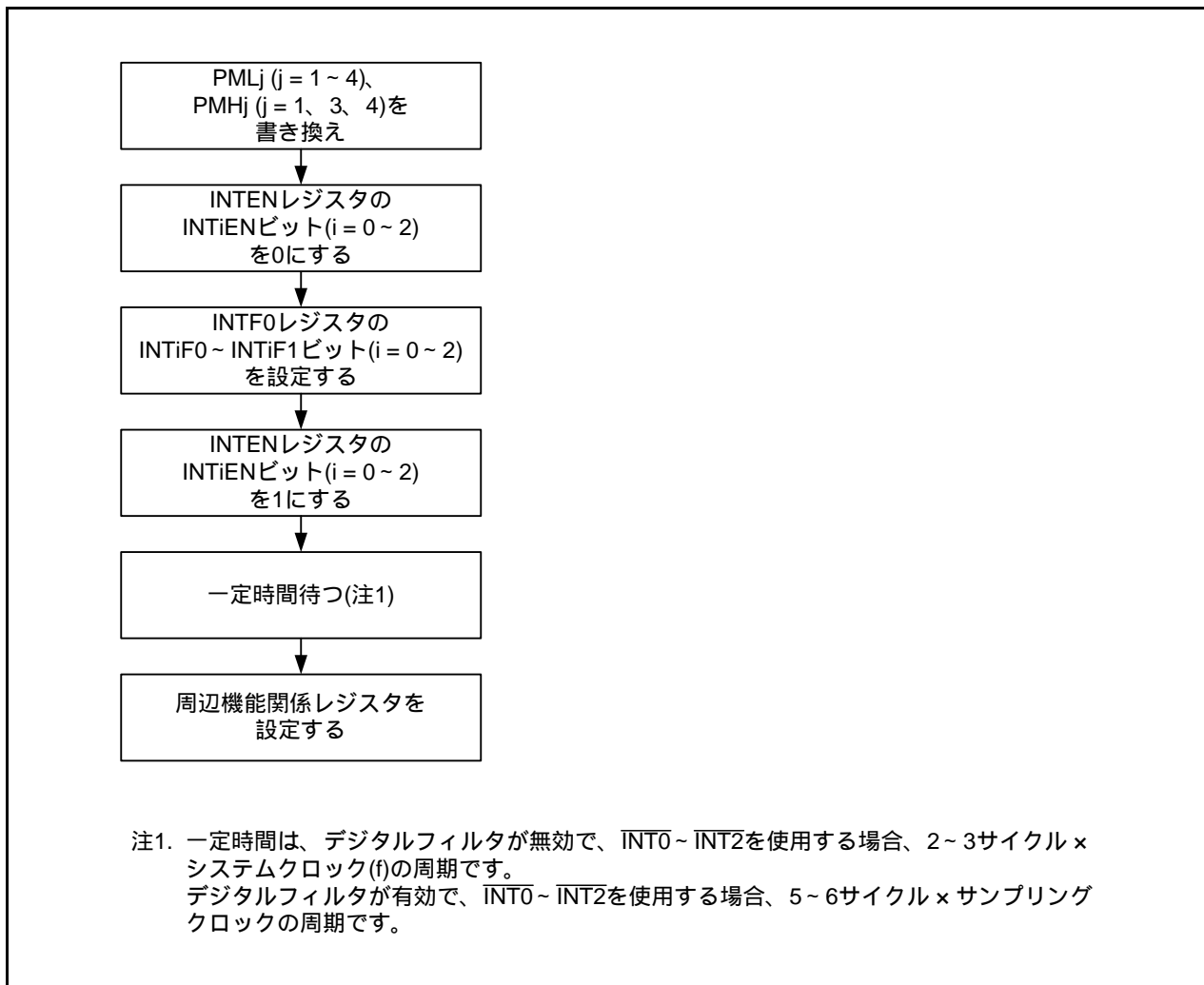


図25.3 周辺機能(タイマRJ2、タイマRB2、タイマRC)が $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 2$ )を使用する場合のレジスタ設定手順

### 25.5.7 割り込み優先レベルとフラグレジスタの変更

- (a) 割り込み優先レベルとフラグレジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、Iフラグを使用して割り込みを禁止した後、割り込み優先レベルとフラグレジスタを変更してください。
- (b) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。

例1～例3は内部バスと命令キューバッファの影響により割り込み優先レベルとフラグレジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み優先レベルレジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  NOP
  NOP
  FSET      I           ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  MOV.W     MEM, R0     ; ダミーリード
  FSET      I           ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC    FLG
  FCLR      I           ; 割り込み禁止
  AND.B     #CFH, ILVLE ; INT0割り込み優先レベル0にする
  POPC     FLG         ; 割り込み許可
```

## 25.6 I/Oポート使用上の注意事項

### 25.6.1 RESET/PA\_0端子使用時の注意

RESET/PA\_0端子はハードウェアリセット機能(RESET)と兼用しており、リセット解除時はRESET端子として機能します。リセット解除後、PAMCRレジスタのHWRSTEビットを0にすると、RESET/PA\_0端子はI/Oポート(PA\_0)として機能します。この場合は、外部にプルアップ抵抗を接続してください。

出力ポートとしてはCMOS出力も可能ですが、外部からのリセット入力と信号衝突しないよう注意してください。

必要に応じて、以下のプログラム例を参照し、Nチャンネルオープンドレイン出力として使用してください。

- PA\_0をNチャンネルオープンドレイン出力ポートにするプログラム例

```
FCLR      I
BCLR      0, HRPR
BSET      0, HRPR      ; PAMCRレジスタへの書き込み許可
FSET      I
BSET      0, PAMCR     ; ポートPA_0機能選択、Nチャンネルオープンドレイン出力選択
BSET      0, PDA       ; 出力モード設定
```

### 25.6.2 周辺機能の入出力端子について

本品はポート機能マッピングレジスタにより、周辺機能の端子割付の変更が可能ですが、同一周辺機能の入力を、同時に複数の端子に割り付けしないでください。正常に信号入力ができなくなります。

## 25.7 タイマRJ2使用上の注意事項

- (1) リセット後、タイマはカウントを停止します。タイマの値を設定した後、カウントを開始してください。
- (2) カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2~3サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ2関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。  
カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2~3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ2関連レジスタ(注1)をアクセスしないでください。  
注1. タイマRJ2関連レジスタ：TRJ、TRJCR、TRJIOC、TRJMR
- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)にした後、外部パルスを入力してください。
- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くとも0になりますが、1を書いても変化しません。TRJCRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。  
このとき、0にしたくないTEDGF、TUNDFビットには、MOV命令で1を書いてください。
- (5) 停止状態でのTRJカウンタ関連レジスタの書き込みと読み出しの間に、NOP命令を入れてください。
- (6) TRJCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF、TUNDFビットは不定です。TEDGF、TUNDFビットに0を書いてから、タイマRJ2のカウントを開始してください。
- (8) カウント開始後の初めてのカウントソース信号で、TEDGFビットが1になる場合があります。
- (9) パルス周期測定モードを使用する場合は、カウント開始直後にタイマRJ2のカウントソースの2周期以上の時間を空けて、TEDGFビットを0にしてから使用してください。
- (10) カウント中にTRJCRレジスタのTSTOPビットに1を書いてカウントを強制停止させると、TRJIRレジスタのTRJIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRJIFビットを0(割り込み要求なし)にしてください。
- (11) パルス幅測定モード時またはパルス周期測定モード時は、外部イベントを入力する前に、関連レジスタを設定し、TRJCRレジスタのTSTARTビットを1(カウント開始)にしてください。
- (12) パルス幅測定モードおよびパルス周期測定モードでは、TRJレジスタに0000hを設定しないでください。
- (13) パルス幅測定モード、パルス周期測定モードでTRJCRレジスタのTEDGFビットに0を書く場合、以下の内容に注意してください。  
TRJIRレジスタのTRJIFビットに0を書いた後にTEDGFビットを0にしてください。  
TEDGFビットに0を書いた直後にTEDGFビットを読むと0が読めますが、カウントソースの1~2サイクルの間、TEDGFビットの内部信号は1のままです。この期間に有効エッジが入力されると、TEDGFビットの内部信号は0にならず、TEDGFビットを読むと1が読めます。  
また、TRJIFビットは、TEDGFビットの内部信号が0から1に変化すると1になるビットなので、この場合にはTRJIFビットは1にならず、割り込みは発生しません。  
したがって、TEDGFビットに0を書いた後、カウントソースの3サイクル以上後に0が読めることを確認して、次の割り込み要求が受け付けられる状態にしてください。

## 25.8 タイマRB2使用上の注意事項

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
  - 8ビットプリスケアラ付き8ビットタイマ時、プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。  
16ビットタイマ時、TRBPRESレジスタをアクセスした後に、TRBPRレジスタをアクセスしてください。初めにTRBPRESレジスタを読み、下位バイトのカウント値を読み出します。上位バイトのカウント値は保留します。次にTRBPRレジスタを読み、保留した上位バイトのカウント値を読み出します。この2つのレジスタを読み出す間にタイマ値は更新されません。
  - プログラブルワンショット発生モードおよびプログラブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
  - カウント停止中にTRBCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2~3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。  
カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2~3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
- 注1. タイマRB2関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC
- タイマモード時、TRBPRES、TRBPRレジスタは、両レジスタ同時に00hに設定しないでください。
  - TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSCレジスタに値を変更した後、システムクロック(f)の2サイクル以上待ってから、TRBCRレジスタのTSTARTビットを1(カウント開始)にしてください。
  - TRBCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。
  - TRBCRレジスタのTCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
  - カウント中(TSTARTビットが1またはTCSTFビットが1)にTRBPRES、TRBPR、TRBSCレジスタに書き込む場合は、以下の点に注意してください。
    - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
    - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
    - TRBSCレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
  - プログラブル波形発生モードでTRBPRレジスタを書き換えた場合、書き換え後に迎えたセカンダリ出力期間の次のタイミングで、TRBPRES、TRBPR、TRBSCレジスタに書かないでください。
    - 8ビットプリスケアラ付き8ビットタイマ:
      - セカンダリ出力期間が終了する前のプリスケアラのアンダフロー 2周期分
    - 16ビットタイマ:
      - セカンダリ出力期間が終了する前のカウントソースクロックの2周期分
  - タイマRJ2のアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJ2はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。

- TRBOCR レジスタのTOSSTビットまたはTOSSPビットに1を書くと、カウントソースの2～3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になるか1になるかわかりません。
- プログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてから、TRBPRレジスタに書いてください。TRBPRレジスタに書いた後のセカンダリ期間のアンダフロー時に、TRBPRレジスタに書いた値が、カウンタに転送されます。TRBPRレジスタに書いた後からセカンダリ期間のアンダフローまでに、TRBPR、TRBSCレジスタに複数回書くと、最後に書いた値がアンダフロー時にカウンタに転送されます。
- カウント中にTRBCRレジスタのTSTOPビットに1を書くと、すぐにタイマRB2は停止します。
- カウント中にTSTOPビットに1を書いてカウントを強制停止させると、TRBIRレジスタのTRBIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRBIFビットを0(割り込み要求なし)にしてください。
- TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、TRBPRE、TRBPRレジスタの値を書き込んだ後、システムクロック(f)の2サイクル以上待ってから、読み出してください。



## 25.9 タイマRC使用上の注意事項

### 25.9.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

• プログラム例

```
MOV.W    #XXXXh, TRCCNT    ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.W    TRCCNT, DATA ;読み出し
```

### 25.9.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2 ~ CKS0ビットを110b (fHOCO)にすることは、システムクロックより速いクロック周波数にfHOCOを設定してください。

### 25.9.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

• プログラム例

```
MOV.B    #XXh, TRCSR      ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.B    TRCSR, DATA ;読み出し
```

### 25.9.4 カウントソースの切り換え

カウントソースを切り換える場合、カウントを停止した後に切り換えてください。また、カウントソースの切り換え後、システムクロックの2サイクル以上待ってから、タイマRC関連レジスタ(000E8h ~ 000FCh番地)への書き込みを行ってください。

• 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0 ~ CKS2ビットを変更する
- (3) システムクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(000E8h ~ 000FCh番地)への書き込み

カウントソースをfHOCOからその他のクロックに変更し、fHOCOを停止させる場合は、クロック切り替え設定後、システムクロックの2サイクル以上待ってからfHOCOを停止させてください。

• 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0 ~ CKS2ビットを変更する
- (3) システムクロックの2サイクル以上待つ
- (4) OCOCRレジスタのHOCOEビットを0(高速オンチップオシレータ停止)にする



### 25.9.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表15.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図15.19 デジタルフィルタ回路のブロック図」参照)

- TRCIOj (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 25.9.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1(カウントアップ停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

### 25.9.7 MSTCRレジスタ

タイマRCのカウントを停止した後、MSTCRレジスタのMSTTRCビットを1(スタンバイ)にしてください。

### 25.9.8 モードの切り換え

- 動作中にモードを切り換える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り換え後、動作開始前にTRCSRレジスタの各フラグを0にしてください。

### 25.9.9 タイマRC関連レジスタの設定手順

タイマRC関連レジスタは、次の手順で設定してください。

- (1) タイマRC動作モードの設定(TRCMRレジスタのPWMB、PWMC、PWMD、PWM2ビット)
- (2) (1)以外のレジスタの設定
- (3) ポート出力許可の設定(TRCOERレジスタのEA~EDビット)

### 25.10 タイマRK使用上の注意事項

- カウント中に TMKCR レジスタの TSTART ビットに 0 (カウント停止) を書いた後は、カウントソースの 2 ~ 3 サイクルの間、タイマRK 関連レジスタ (注1) をアクセスしないでください。  
注1. タイマRK 関連レジスタ: TMKM、TMKCR、TMKLD、TMKIR
- カウント停止中に TMKLD レジスタを連続して書き込み、読み出しする場合、書き込みと読み出し命令の間に、NOP 命令を 1 つ入れてください。

### 25.11 タイマRE2使用上の注意事項

- TRECR レジスタの RUN ビットに 0 (カウント停止) を書き込むと、カウントソースの 3 サイクル後にカウントを停止します。
- モジュールスタンバイにする場合、RUN ビットを 0 (カウント停止) にした後、カウントソースの 3 サイクル以上経過してから、MSTCR レジスタの MSTRE ビットを 1 (スタンバイ) にしてください。
- TREIFR、TREIER レジスタの切り換えは次のとおりにしてください。  
[リアルタイムクロックモード]
  - TREIFR レジスタの RTCF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタを切り換えてください。
  - TREIFR レジスタの ALIF ビットが 0 (割り込み要求なし) の状態で、TREIFR レジスタの ALIE ビットを切り換えください。  
[コンペアー一致タイマモード]
  - TREIFR レジスタの CMIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの CMIE ビットを切り換えてください。
  - TREIFR レジスタの OVIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの OVIE ビットを切り換えてください。
- TRECSR レジスタの CS3 ビットを変更する場合、次の条件をすべて満たしてください。
  - RUN ビットが 0 (カウント停止) の状態
  - CS3 ビットを 0 から 1 に変更する場合は、CMIF ビットが 0 (割り込み要求なし)、OVIF ビットが 0 (割り込み要求なし) の状態
  - CS3 ビットを 1 から 0 に変更する場合は、ALIF ビットが 0 (割り込み要求なし)、RTCF ビットが 0 (割り込み要求なし) の状態

## 25.12 シリアルインタフェース(UART<sub>i</sub> (i = 0、1))使用上の注意事項

UiRB レジスタ (i = 0、1) を読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

UiRBHレジスタを読み出したとき、UiRBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、UiC1レジスタのRIビットも0(UiRBレジスタにデータなし)になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例

```
MOV.W    0086H, R0        ; UORBレジスタの読み出し
```

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、UiTBレジスタに書くときは、UiTBHレジスタ UiTBLレジスタの順で、8ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例

```
MOV.B    #XXH, 0083H     ; UOTBHレジスタへの書き込み  
MOV.B    #XXH, 0082H     ; UOTBLレジスタへの書き込み
```

通信中、MSTCRレジスタのMSTUART0ビットまたはMSTCR1レジスタのMSTUART1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、UiC1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

## 25.13 クロック同期形シリアルインタフェース使用上の注意事項

### 25.13.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能)にしてください。

### 25.13.2 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、IICCRレジスタのIICSELビットを1(I<sup>2</sup>Cバス機能)にしてください。

#### I<sup>2</sup>C規格に関する注意事項

I<sup>2</sup>C規格を満たさない設定で使用しないでください。

- (1) I<sup>2</sup>C規格では、高速モードで転送速度はMax. 400 kHz、SCLのLow期間はMin. 1.3  $\mu$ sです。このマイクロコンピュータのI<sup>2</sup>Cバスインタフェースにおけるデューティは50%であるため、400 kHz動作時にSCLのLow期間Min. 1.3  $\mu$ sを満たすことができません。SCLのLow期間Min. 1.3  $\mu$ sを満たすために、転送速度を384.6 kHz以下で使用してください。
- (2) SCLの立ち上がりに対して、SDAの変化はMin. 300 nsの遅延が必要です。このマイクロコンピュータのI<sup>2</sup>Cバスインタフェースでは、IICCRレジスタのSDADLY0 ~ SDADLY1ビットで遅延値を設定できます。システムに合わせて遅延値を決めてください。f1が11 MHz以上の場合は、SDADLY1 ~ SDADLY0ビットを01b (11  $\times$  f1サイクルのデジタル遅延)または10b (19  $\times$  f1サイクルのデジタル遅延)にしてください。
- (3) CBUSとの互換性はありません。
- (4) 10ビットアドレス指定はできません。
- (5) スレーブ送信でデータ送信中に開始条件を検出した場合、その後続くアドレスを受信することはできず、動作が停止します。制御部リセット手順に従い、I<sup>2</sup>Cバスインタフェースをリセットしてください。
- (6) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (7) 停止条件を検出した後、マスタで通信を開始する場合、SISRレジスタのSTOPビットを0にしてください。

### 25.13.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに0、またはSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

#### 25.13.3.1 ビットが不定になる条件

- マスタ送信モード(SICR1レジスタのMST、TRSビットが1)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが1、TRSビットが0)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが0、TRSビットが1)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが0)において、本モジュールがアクノリッジを送信しているとき。

#### 25.13.3.2 対策

- 開始条件(SCLがHighのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHighのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHighの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHighのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLowの状態、かつ本モジュール以外にSCLをLowにするデバイスがない状態で、BBSYビットに0、SCPビットに0を書き、停止条件(SCLがHighのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- .SARレジスタのFSビットに1を書くと、BBSYビットは0になります。

#### 25.13.3.3 SIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHighのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1レジスタ、SICR2レジスタ、SISRレジスタの値が更新される場合があります。

## 25.14 A/Dコンバータ使用上の注意事項

### 25.14.1 A/Dコンバータのスタンバイ設定

MSTCRレジスタのMSTADビットにより、A/Dコンバータのスタンバイ/アクティブを設定できます。A/D変換を停止してからモジュールスタンバイに設定してください。A/Dコンバータのスタンバイを解除することにより、レジスタのアクセスが可能になります。詳細は「5. システム制御」を参照してください。

## 25.14.2 A/D変換時のセンサの出カインピーダンス

A/D変換を正しく行うためには、図25.4の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出カインピーダンスをR0、マイクロコンピュータ内部の抵抗をR、A/D変換精度(誤差)をX、分解能をY(Yは10ビットモード時1024)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right)より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図25.4にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1 LSBになるとき、時間TでコンデンサCの端子間電圧VCが0からVIN - (0.1/1024) VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D変換精度の低下を0.1 LSBにおさえることを意味します。ただし、実際の誤差は0.1 LSBに絶対精度が加わった値です。

A/D変換クロック = 20 MHzのとき、T = 0.8 μsになります。この時間T内にコンデンサCの充電を十分に行える出カインピーダンスR0は、以下のように求められます。

T = 0.8 μs、R = 10 kΩ、C = 6.0 pF、X = 0.1、Y = 1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

従って、A/D変換精度(誤差)を0.1 LSB以下にするセンサ回路の出カインピーダンスR0は、最大4.4 kΩになります。

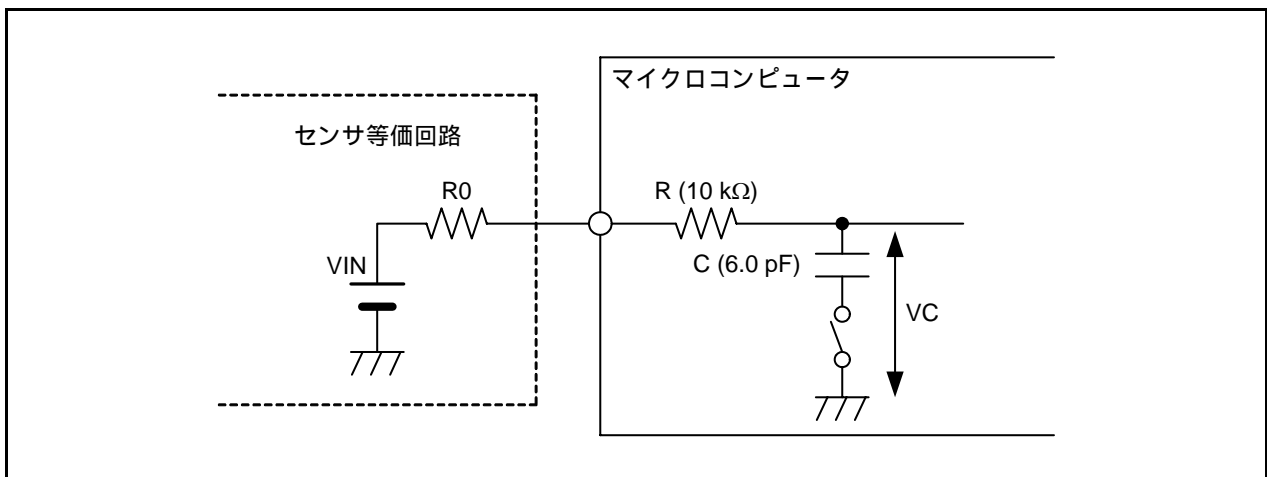


図25.4 アナログ入力端子と外部センサの等価回路例

### 25.14.3 レジスタの設定

- ADMOD、ADINSEL レジスタに対する書き込みは、A/D変換停止時に行ってください。
- A/D変換中は、ストップモードに移行しないでください。
- A/D変換中は、CKSTPR レジスタのWCKSTPビットが1(ウェイトモード時、システムクロックを停止)の状態、ウェイトモードに移行しないでください。
- A/D変換中は、FMR0 レジスタのFMSTP ビットを1(フラッシュメモリ停止)、FMR2 レジスタのFMR27 ビットを1(低消費電流リードモード許可)に設定をしないでください。
- A/D変換中に、プログラムでADCON0レジスタのADSTビットを0(A/D変換停止中)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD<sub>i</sub>レジスタ(i = 0, 1)も、不定になる場合があります。  
プログラムでADSTビットを0にした場合は、すべてのAD<sub>i</sub>レジスタの値を使用しないでください。
- A/Dコンバータを使用するときは、A/D変換結果の平均化処理を推奨します。



## 25.15 フラッシュメモリ使用上の注意事項

### 25.15.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに55hを設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; RESERVE
.lword dummy | (55000000h)    ; RESERVE
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

## 25.15.2 CPU書き換えモード

### 25.15.2.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

### 25.15.2.2 割り込み

表25.1および表25.2にCPU書き換え動作中の割り込み処理を示します。

表25.1 CPU書き換え動作中の割り込み処理(EW0モード)

割り込み種類	データフラッシュ/プログラムROM	
	サスペンド許可(FMR20 = 1)	サスペンド禁止(FMR20 = 0)
マスカブル割り込み	<p>割り込み要求を受け付けると、割り込み処理を実行します。 (割り込みベクタはRAMに配置) 次のいずれかで、サスペンドに移行できます。</p> <p>(1) FMR22ビットが1(割り込み要求サスペンドリクエスト許可)の場合は、FMR21ビットが自動的に1(サスペンドリクエスト)になります。 フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。</p> <p>(2) FMR22ビットが0(割り込み要求サスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1(サスペンドリクエスト)にしてください。 フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。</p> <p>自動消去中断中は、自動消去実行ブロック以外のブロックへの自動書き込みおよび読み出しができません。 自動書き込み中断中は、自動書き込み実行ブロック以外のブロックを読めます。 FMR21ビットを0(リスタート)にすることで、自動消去または自動書き込みを再開できます。</p>	<p>自動消去または自動書き込みは実行したまま、割り込み処理を実行します(割り込みベクタRAMに配置)。</p>
アドレス一致	自動消去または自動書き込み中は、使用しないでください。	
UND命令、INTO命令、BRK命令		
シングルステップ		
ウォッチドッグタイマ 発振停止検出 電圧監視1	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。この場合、フラッシュメモリ制御レジスタは初期化されるので、再設定してください。(注1)</p>	

FMR20、FMR21、FMR22 : FMR2レジスタのビット

注1. フラッシュメモリがビジー状態で、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)で、FMSTPビットが1(フラッシュメモリ停止)のとき、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

表25.2 CPU書き換え動作中の割り込み処理(EW1モード)

割り込み種類	データフラッシュ/プログラムROM	
	サスペンド許可(FMR20 = 1)	サスペンド禁止(FMR20 = 0)
マスカブル割り込み	割り込み要求を受け付けると、FMR22ビットが1(割り込み要求サスペンドリクエスト許可)の場合は、FMR21ビットが自動的に1(サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去または自動書き込みを中断し、割り込み処理を実行します。自動消去中断中は、自動消去実行ブロック以外のブロックへの自動書き込みおよび読み出しができません。自動書き込み中断中は、自動書き込み実行ブロック以外のブロックを読めます。割り込み処理終了後、FMR21ビットを0(リスタート)にすることで、自動消去または自動書き込みを再開できます。また、FMR22ビットが0(割り込み要求サスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。	自動消去または自動書き込みが優先され、自動消去または自動書き込みが終了した後、割り込み処理を実行します。
アドレス一致	自動消去または自動書き込み中は、使用しないでください。	
UND命令、INTO命令、BRK命令		
シングルステップ		
ウォッチドッグタイマ	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。この場合、フラッシュメモリ制御レジスタは初期化されるので、再設定してください。(注1)	
発振停止検出		
電圧監視1		

FMR20、FMR21、FMR22 : FMR2レジスタのビット

注1. フラッシュメモリがビジー状態で、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)で、FMSTPビットが1(フラッシュメモリ停止)のとき、ウォッチドッグタイマ、発振停止検出、電圧監視1割り込みが発生すると、FMR0、FMR1、FMR2レジスタは初期化されます。

### 25.15.2.3 アクセス方法

次のビットを1にする場合、対象になるビットに0を書いた後、続けて1を書いてください。0を書いた後、1を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを0にする場合、対象になるビットに1を書いた後、続けて0を書いてください。1を書いた後、0を書くまでの間は、割り込みを禁止にしてください。

FMR1レジスタのFMR16、FMR17ビット

### 25.15.2.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 25.15.2.5 プログラム

すでにプログラムされた番地に対する追加書き込みはしないでください。

### 25.15.2.6 ウェイトモードまたはストップモードへの移行

サスペンド中に、ウェイトモードまたはストップモードに移行しないでください。

フラッシュメモリを書き込み、消去実行中にFSTレジスタのFST7ビットが0(ビジー)の場合、ウェイトモードまたはストップモードに移行しないでください。

FMR0レジスタのFMSTPビット(フラッシュメモリ停止ビット)が1(フラッシュメモリ停止)の状態、FMR27ビットを1にしないでください。

### 25.15.2.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム/イレーズを実行する場合は、電源電圧VCC = 1.8 V ~ 5.5 Vの条件で行ってください。1.8 V未満では、プログラム/イレーズを実行しないでください。

### 25.15.2.8 ブロックブランクチェック

イレーズサスペンド中に、ブロックブランクチェックコマンドを実行しないでください。

## 25.15.2.9 EW1モード

FMR0レジスタのFMR01ビットを1 (CPU書き換えモード有効)、かつFMR02ビットを1 (EW1モード)にして、CPU書き換えモードを実行する場合、EW1モード時は以下の手順で実行してください。

図25.5にソフトウェアコマンド実行手順(サスペンド禁止)を、図25.6にソフトウェアコマンド実行手順(サスペンド許可)を示します。

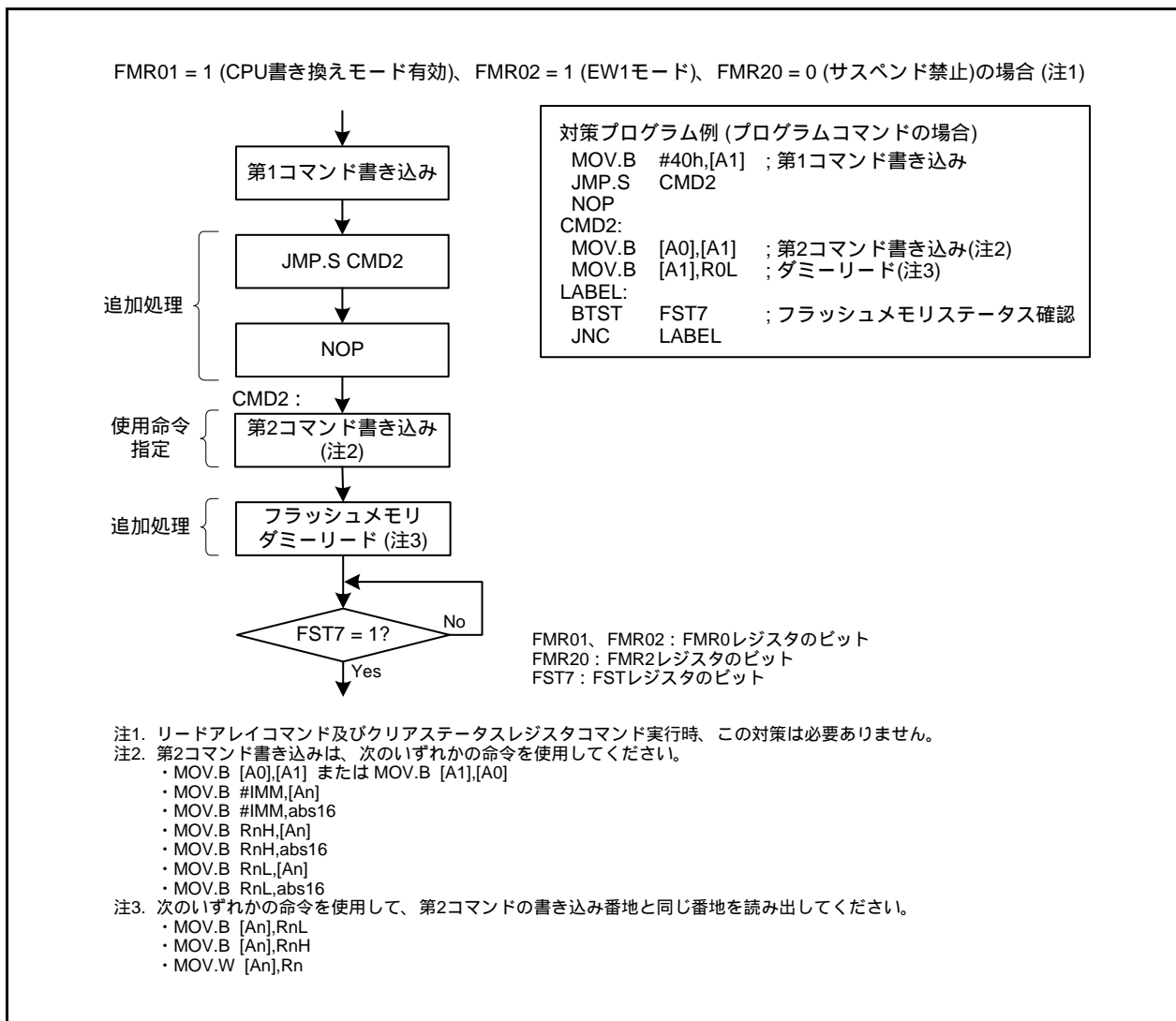


図25.5 ソフトウェアコマンド実行手順(サスペンド禁止)

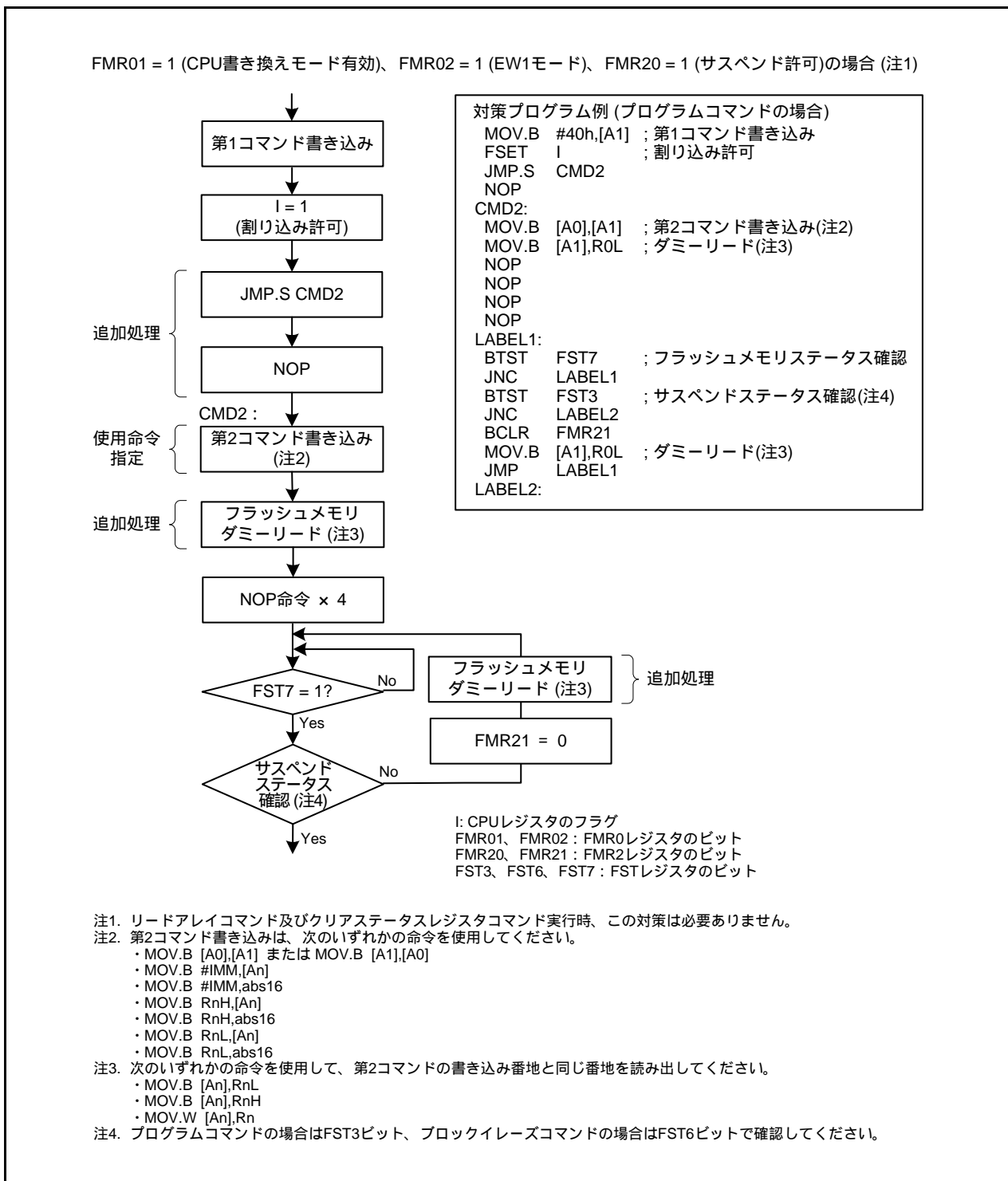


図25.6 ソフトウェアコマンド実行手順(サスペンド許可)

### 25.15.3 フラッシュメモリの停止および動作の遷移に関する注意

- (1) FMSTPビットが1(フラッシュメモリ停止)の状態、ストップモードへ移行しないでください。
- (2) FMSTPビットが1(フラッシュメモリ停止)、かつWTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードへ移行しないでください。
- (3) フラッシュメモリ停止状態からフラッシュメモリ動作状態へ移行後、42  $\mu$ s間は、フラッシュメモリ停止状態へ移行しないでください。  
また、その期間は、OCOCCRレジスタのLOCODISビットを書き換えしないでください。

フラッシュメモリ停止状態からフラッシュメモリ動作状態への移行条件

- FMSTPビットを0(フラッシュメモリ動作)にする。
- WTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードから復帰する。
- ストップモードから復帰する。

フラッシュメモリ動作状態からフラッシュメモリ停止状態への移行条件

- FMSTPビットを1(フラッシュメモリ停止)にする。
- WTFMSTPビットが1(ウェイトモード中フラッシュメモリ停止)の状態、ウェイトモードへ移行する。
- ストップモードへ移行する。

## 25.16 ノイズに関する注意事項

### 25.16.1 ノイズおよびラッチアップ対策として、VCCとVSSライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1  $\mu$ F 程度) を最短距離で、かつ比較的太い配線を使って接続してください。

### 25.16.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験などで外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、プルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り換える制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分に検討の上、再設定処理を導入してください。

## 25.17 電源電圧の変動に関する注意事項

リセット解除後、VCC 端子に入力する電源電圧は、図 25.7 に示す許容電源リップル電圧  $V_r(\text{vcc})$  および電源リップル立ち下がり勾配  $dV_r(\text{vcc})/dt$  のどちらか一方または両方を満たしてください。

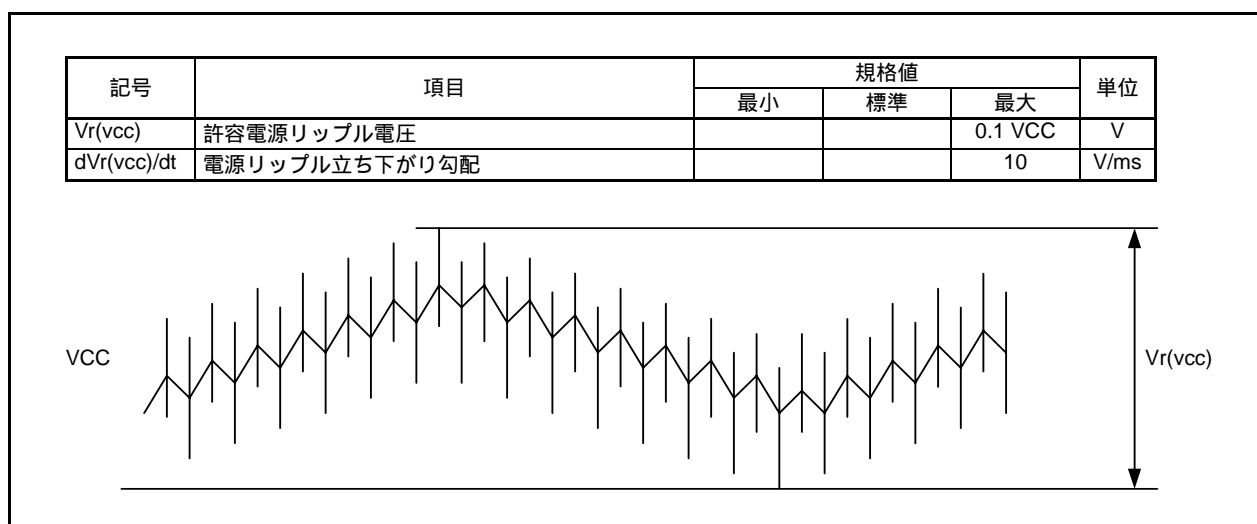


図 25.7 電源リップルの定義



## 26. オンチップデバッグの注意事項

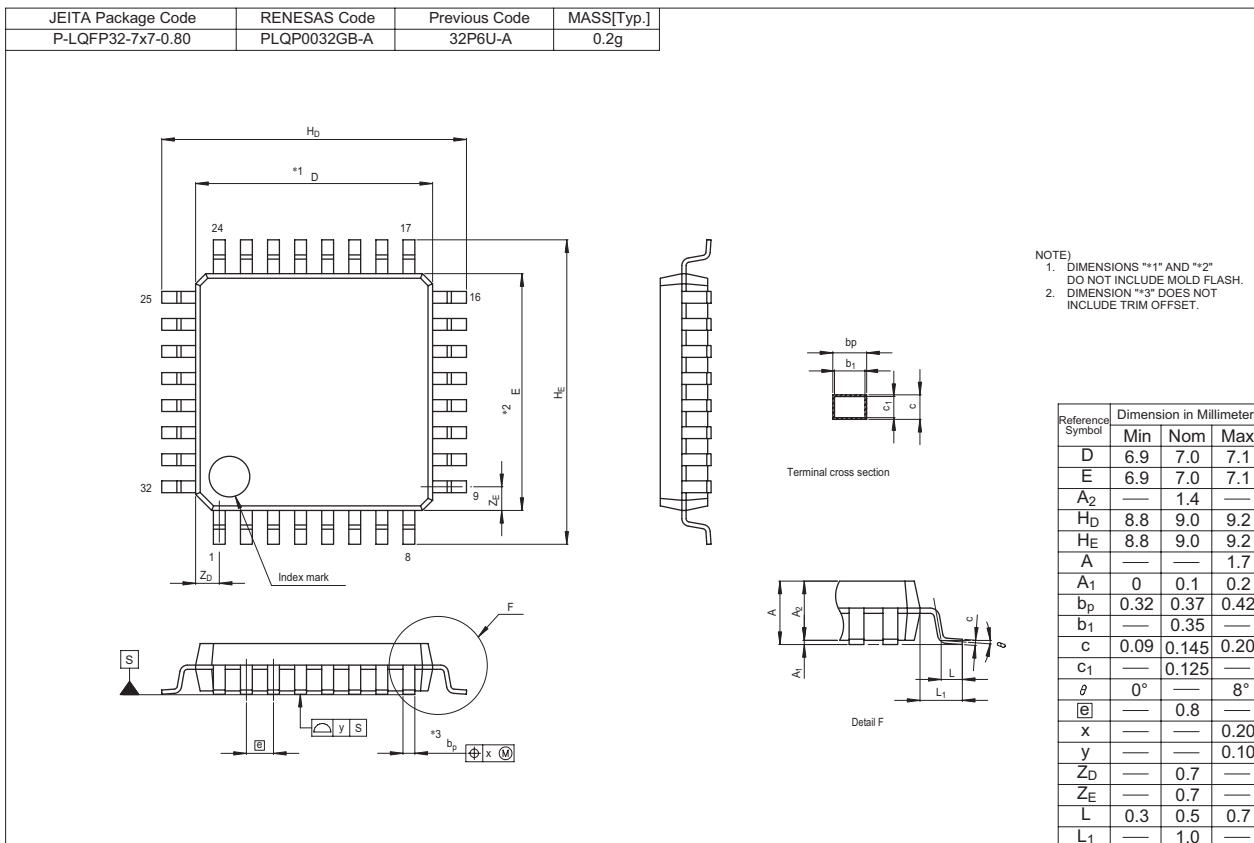
オンチップデバッグを使用して、本マイクロコンピュータのプログラム開発、デバッグを行う場合、以下の制限事項がありますので、注意してください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザは、この領域を使用しないでください。  
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIEN<sub>i</sub>、AIADR<sub>i</sub>レジスタ( $i = 0, 1$ )、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 1.8 V ~ 5.5 Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7 V以上にしてください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は、各オンチップデバッグのマニュアルを参照してください。

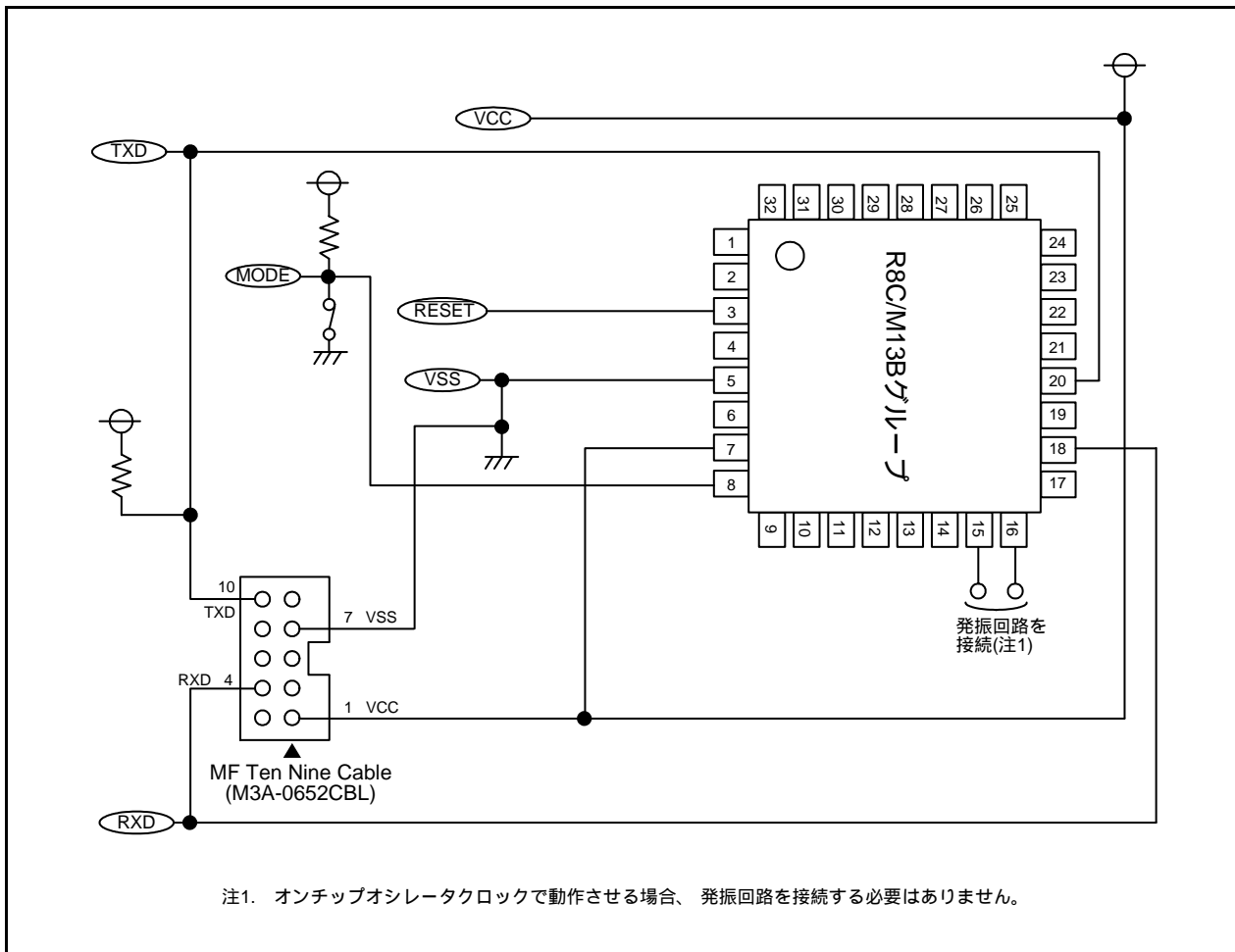
### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

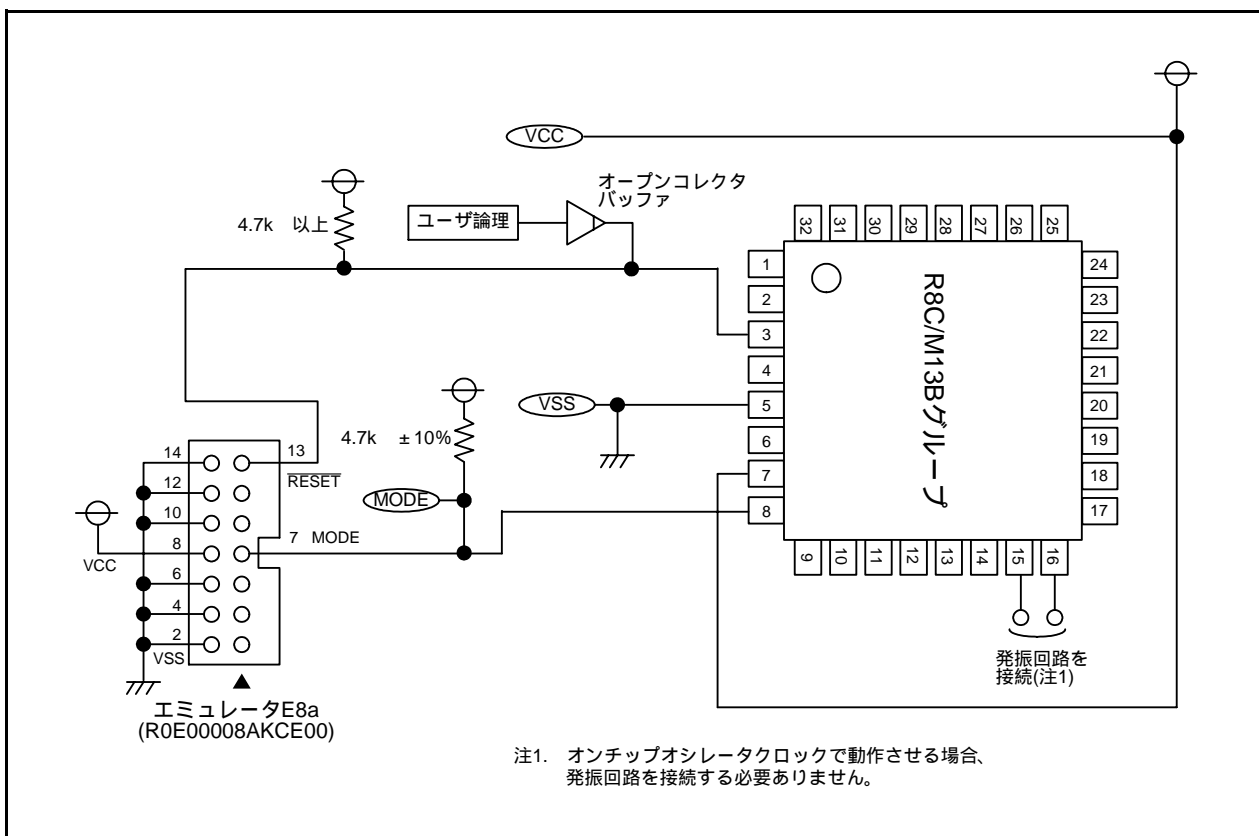


## 付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1にMF Ten Nine Cable (M3A-0652CBL)との接続例を、付図2.2にエミュレータE8a (R0E00008AKCE00)との接続例を示します。



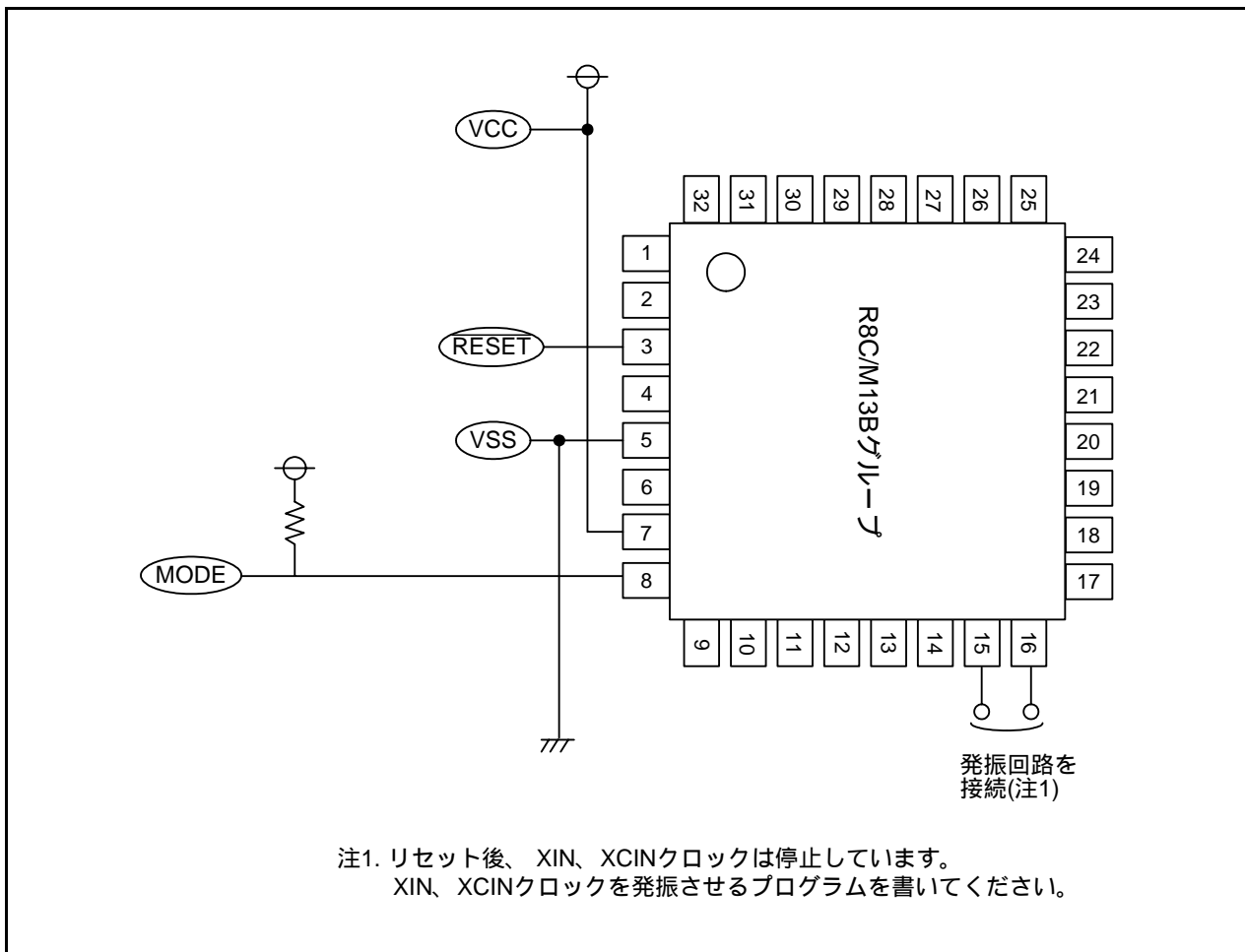
付図2.1 MF Ten Nine Cable (M3A-0652CBL)との接続例



付図2.2 エミュレータ E8a (R0E00008AKCE00) との接続例

## 付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

## 付録4. R8C/M12Aグループ、R8C/M13Bグループの比較

付表4.1にR8C/M12Aグループ、R8C/M13Bグループの仕様比較を示します。

R8C/M12Aグループの詳細仕様は、「R8C/M11Aグループ、R8C/M12Aグループユーザーズマニュアルハードウェア編」でご確認ください。

付表4.1 R8C/M12Aグループ、R8C/M13Bグループの仕様比較

分類	機能説明	R8C/M12Aグループ	R8C/M13Bグループ
メモリ	ROM	2KB、4KB、8KB	4KB、8KB、16KB
	RAM	256バイト、384バイト、512バイト	384バイト、512バイト、1Kバイト
クロック発生回路	XCIN発振回路	なし	あり
I/Oポート	端子数	20	32 端子追加： P2_2/TRCIOD/TRKI/SSO/SDA P2_1/TRCIOC/TRKO/SSCK/SCL P2_0/TRCIOB/TRKO/INT1 P3_1/XIN/TRBO P0_7/TRCIOC/TRKO P0_6/TRCIOD P0_5/TRCIOB P0_4/TRCIOB/TREO P0_3/TRCIOB/CLK1 P0_2/TRCIOA/TRCTRG/RXD1/IrRXD P0_1/TRCIOA/TRCTRG/TXD1/IrTXD P0_0/TRCIOA/TRCTRG
	CMOS 入出力ポート数	17	29 ポート追加： P2_2、P2_1、P2_0、P3_1、P0_7、 P0_6、P0_5、P0_4、P0_3、P0_2、 P0_1、P0_0
タイマ	タイマRE2	なし	あり
	タイマRK	なし	あり
シリアル インタフェース	UART1	なし	あり
クロック 同期シリアル インタフェース	IIC/SSU	なし	あり
IrDAインタフェース		なし	あり
A/Dコンバータ	A/Dチャンネル数	6チャンネル	8チャンネル チャンネル追加： AN5、AN6
パッケージ		20ピンLSSOP 20ピンDIP	32ピンLQFP

付表4.2と付表4.3にR8C/M12Aグループ、R8C/M13Bグループのレジスタ比較を示します。

R8C/M12Aグループのレジスタ詳細は、「R8C/M11Aグループ、R8C/M12Aグループユーザーズマニュアル ハードウェア編」でご確認ください。

付表4.2 R8C/M12Aグループ、R8C/M13Bグループのレジスタ比較(1)

関連機能	レジスタ名	アドレス	ビット	備考
システム制御	MSTCR	00012h	MSTTRE	機能追加
	MSTCR1	00017h	MSTUART1、MSTTRK、MSTICSU、MSTIRDA	レジスタ追加
クロック	EXCKCR	00020h	CKPT1、CKPT0	機能変更
			XCRCUT、XCINNC1、XCINNC0、CKPT3、CKPT2	機能追加
	SCKCR	00022h	LSCKSEL	機能追加
割り込み	ILVL1	00041h	ILVL11、ILVL10	レジスタ追加
	ILVL5	00045h	ILVL51、ILVL50	機能追加
	ILVL7	00047h	ILVL75、ILVL74	機能追加
	ILVL9	00049h	ILVL95、ILVL94	機能追加
	ILVLA	0004Ah	ILVLA1、ILALA0	機能追加
	IRR0	00050h	IRS1R、IRS1T、IRTE	機能追加
	IRR1	00051h	IRTK、IRIS	機能追加
P0	PD0	000A8h		レジスタ追加
	P0	000AEh		レジスタ追加
	PUR0	000B4h		レジスタ追加
	POD0	000C0h		レジスタ追加
	PML0	000C6h		レジスタ追加
	PMH0	000C7h		レジスタ追加
P1_0、P1_2、P1_4、P1_5、P1_6	PML1	000C8h	P12SEL1、P12SEL0、P10SEL1、P10SEL0	機能変更
	PMH1	000C9h	P16SEL1、P16SEL0、P15SEL1、P15SEL0、P14SEL1、P14SEL0	機能変更
P2_0、P2_1、P2_2	PD2	000AAh	PD2_2、PD2_1、PD2_0	レジスタ追加
	P2	000B0h	P2_2、P2_1、P2_0	レジスタ追加
	PUR2	000B6h	PU2_2、PU2_1、PU2_0	レジスタ追加
	POD2	000C2h	POD2_2、POD2_1、POD2_0	レジスタ追加
	PML2	000CAh	P22SEL1、P22SEL0、P21SEL1、P21SEL0、P20SEL1、P20SEL0	レジスタ追加
P3_1、P3_3、P3_4	PD3	000ABh	PD3_1	機能追加
	P3	000B1h	P3_1	機能追加
	PUR3	000B7h	PU3_1	機能追加
	POD3	000C3h	POD3_1	機能追加
	PML3	000CCh	P33SEL1、P33SEL0、	機能変更
			P31SEL1、P31SEL0	機能追加
PMH3	000CDh	P34SEL1、P34SEL0	機能変更	
P4_2、P4_5、P4_6、P4_7	PML4	000CEh	P42SEL1、P42SEL0	機能変更
	PMH4	000CFh	P47SEL1、P47SEL0、P46SEL1、P46SEL0、P45SEL1、P45SEL0	機能変更
AN5、AN6	ADINSEL	0009Dh	ADGSEL1、ADGSEL0	機能変更

付表4.3 R8C/M12Aグループ、R8C/M13Bグループのレジスタ比較(2)

関連機能	レジスタ名	アドレス	ビット	備考
タイマRK	TMKM	00188h		レジスタ追加
	TMKCR	00189h		
	TMKLD	0018Ah		
	TMKCMP	0018Bh		
	TMKIR	0018Ch		
タイマRE2	TRESEC (TRECNT)	00130h		レジスタ追加
	TREMIN	00131h		
	TREHR	00132h		
	TREWK	00133h		
	TREDY	00134h		
	TREMON	00135h		
	TREYR	00136h		
	TRECR	00137h		
	TRECSR	00138h		
	TREADJ	00139h		
	TREIFR	0013Ah		
	TREIER	0013Bh		
	TREAMN	0013Ch		
	TREahr	0013Dh		
	TREAWK	0013Eh		
	TREPRC	0013Fh		
	UART1	U1MR	00190h	
U1BRG		00191h		
U1TBL		00192h		
U1TBH		00193h		
U1C0		00194h		
U1C1		00195h		
U1RBL		00196h		
U1RBH		00197h		
U1IR		00198h		
IrDA	IRCR	0019Ch		レジスタ追加
IIC/SSU	IICCR	00160h		レジスタ追加
	SSBR	00161h		
	SITDR	00162h		
	SIRDR	00164h		
	SICR1	00166h		
	SICR2	00167h		
	SIMR1	00168h		
	SIER	00169h		
	SISR	0016Ah		
	SIMR2	0016Bh		



## 索引

## 【記号/数字】

00000h 番地の読み出し .....	139, 551
4線式バス通信モード .....	418

## 【 A 】

A/Dコンバータ .....	107, 452
A/Dコンバータのスタンバイ設定 .....	467, 566
A/Dコンバータの割り込み .....	466
A/D変換開始トリガ .....	282
A/D変換時のセンサーの出力インピーダンス .....	468, 567
A0, A1 .....	11
ADCON0 .....	458
ADi (i = 0, 1) .....	455
ADICSR .....	459
ADINSEL .....	457
ADMOD .....	456
AIADRI (i = 0, 1) .....	122
AIENi (i = 0, 1) .....	122

## 【 B 】

BAKCR .....	84
Bフラグ .....	11

## 【 C 】

CKRSCR .....	82
CKSTPR .....	81
CPU .....	10
CPU書き換えモード .....	483, 518, 570
CPUクロック (fs) .....	89
CSPR .....	66
Cフラグ .....	11

## 【 D 】

DRR1 .....	157
DRR3 .....	172
Dフラグ .....	11

## 【 E 】

EW0モード .....	495
EW1モード .....	495
EXCKCR .....	76

## 【 F 】

FB .....	11
FLG .....	11
FMR0 .....	487
FMR1 .....	490
FMR2 .....	492
FR18S0 .....	85
FR18S1 .....	85
FREFR .....	494
FRV1 .....	85
FRV2 .....	85
FST .....	484

## 【 H 】

Highパルス幅の選択 .....	382
HRPR .....	27

## 【 I 】

I/Oポート .....	144
I/Oポートの構成 .....	187
I <sup>2</sup> Cバスインタフェース .....	388
I <sup>2</sup> Cバスインタフェース使用上の注意 .....	450, 564
I <sup>2</sup> Cバスインタフェースの動作説明 .....	425
I <sup>2</sup> Cバスインタフェースモード .....	429
I <sup>2</sup> Cバスインタフェースモード時の制御部リセット手順 .....	449
I <sup>2</sup> Cバスインタフェースモード、 クロック同期式シリアルモードに関わる共通事項 .....	425
IDコードチェック機能 .....	32, 480
IDコード領域の設定例 .....	517, 569
IICCR .....	392
ILVLi (i = 0 ~ E) .....	118
ILVLiレジスタ (i = 0 ~ E)の割り込み優先レベル、IPL .....	127
IMFA ~ IMFDビットおよびOVFビットが 0になるタイミング .....	292
INT0入力トリガ選択 .....	246
INTB .....	11
INTEN .....	115
INTF0 .....	115
INTi入力フィルタ (i = 0 ~ 3) .....	135
INTi割り込み (i = 0 ~ 3) .....	134
INT割り込み .....	134
IPL .....	12
IRCR .....	381
IrDA (Infrared Data Association) インタフェース .....	107, 380
IRR0 .....	119
IRR0 ~ IRR3レジスタ .....	125
IRR1 .....	119
IRR2 .....	120
IRR3 .....	121
ISCR0 .....	116
ISP .....	11
Iフラグ .....	12, 125

## 【 K 】

KIEN .....	117
------------	-----

## 【 M 】

MSTCR .....	26
MSTCR1 .....	28
MSTCRレジスタ .....	295, 561

## 【 O 】

OCOOCR .....	78
OFS .....	31, 40
OFS2 .....	30, 39
Oフラグ .....	12

## 【 P 】

P0 .....	149
P1 .....	156
P2 .....	165
P3 .....	171
P4 .....	178
PA .....	183
PAMCR .....	184
PC .....	11
PD0 .....	149

PD1 .....	156	TMKCR .....	298
PD2 .....	165	TMKIR .....	300
PD3 .....	170	TMKLD (TMKCNT) .....	299
PD4 .....	178	TMKM .....	297
PDA .....	183	TOCNT ビットの設定と端子状態 .....	245
PHISEL .....	80	TRBCR .....	219
PINSR .....	147	TRBIOC .....	221
PM0 .....	25, 36	TRBIR .....	226
PMH0 .....	152	TRBMR .....	222
PMH1 .....	159	TRBOCR .....	220
PMH1E .....	160	TRBPR .....	224
PMH3 .....	174	TRBPPE .....	223
PMH4 .....	180	TRBPPE、TRBPR、TRBSCレジスタの構造と 更新タイミング .....	238
PML0 .....	151	TRBSC .....	225
PML1 .....	158	TRCADCR .....	263
PML2 .....	167	TRCCNT .....	252
PML3 .....	173	TRCCNT レジスタ .....	294, 560
PML4 .....	180	TRCCNT レジスタのカウントタイミング .....	288
PMLi (i = 1 ~ 4)、PMHi (i = 1、3、4)、ISCR0、KIEN、 INTEN レジスタの書き換え .....	140, 552	TRCCR1 .....	255
POD0 .....	150	TRCCR1 レジスタ .....	294, 560
POD1 .....	158	TRCCR2 .....	260
POD2 .....	166	TRCDF .....	261
POD3 .....	173	TRCGRA .....	253
POD4 .....	179	TRCGRB .....	253
PRCR .....	27	TRCGRC .....	253
PUR0 .....	150	TRCGRD .....	253
PUR1 .....	157	TRCIEP .....	256
PUR2 .....	166	TRCIOR0 .....	258
PUR3 .....	172	TRCIOR1 .....	259
PUR4 .....	179	TRCMR .....	254
PWM2モード .....	274	TRCOER .....	262
PWM2モード時のTRCMR レジスタ .....	295, 561	TRCOPR .....	264
PWMモード .....	270	TRCSR .....	257
		TRCSR レジスタ .....	294, 560
<b>【 R 】</b>		TREADJ .....	326
R0、R1、R2、R3 .....	11	TREAHR .....	333
R8C/M12Aグループ、R8C/M13Bグループの比較 .....	582	TREAMN .....	332
RESET/PA_0端子使用時の注意 .....	199, 556	TREAWK .....	334
RESET 端子のレベルがLの期間の端子の状態 .....	47	TRECNT .....	313
RISR .....	64	TRECR .....	320, 323
RSTFR .....	28, 37	TRECSR .....	324, 325
		TREHY .....	317
<b>【 S 】</b>		TREHR .....	315
SB .....	11	TREIER .....	330, 331
SCKCR .....	79	TREIFR .....	327, 329
SFR .....	14	TREMIN .....	313, 314
SICR1 .....	395, 396	TREMON .....	318
SICR1 レジスタのICE ビットおよびSICR2 レジスタの SIRST ビット .....	451, 565	TREPRC .....	335, 336
SICR2 .....	397, 398	TRESEC .....	312
SIER .....	401, 402	TREWK .....	316
SIMR1 .....	399, 400	TREYR .....	319
SIMR2 .....	405, 406	TRJ .....	202
SIRDR .....	394	TRJCR .....	203
SISR .....	403, 404	TRJIOC .....	204
SITDR .....	394	TRJIR .....	207
SP の設定 .....	139, 551	TRJISR .....	207
SSBR .....	393	TRJMR .....	206
Sフラグ .....	11	TWRC ビットによるプリスケラとカウンタ .....	240
		<b>【 U 】</b>	
<b>【 T 】</b>		UART .....	372
TMKCOMP .....	300	UARTi (i = 0、1) の割り込み .....	378
		UART と IrDA の設定手順 .....	384
		UiBRG (i = 0、1) .....	361

UiC0 (i = 0, 1) .....	363
UiC1 (i = 0, 1) .....	364
UiIR (i = 0, 1) .....	366
UiMR (i = 0, 1) .....	361
UiRB (i = 0, 1) .....	365
UiTB (i = 0, 1) .....	362
USP .....	11
Uフラグ .....	12

## 【V】

VCA2 .....	53
VCAC .....	52
VCC入力電圧のモニタ .....	57
VD1LS .....	54
Vdet0のモニタ .....	57
Vdet1のモニタ .....	57
VW0C .....	55
VW1C .....	56

## 【W】

WCB1INTR .....	473
WCB3INTR .....	474
WCMPR .....	472
WDTC .....	65
WDTIR .....	66
WDTR .....	65
WDTS .....	65

## 【X】

XCINクロック発振回路 .....	87
XINクロック発振回路 .....	86

## 【Z】

Zフラグ .....	11
------------	----

## 【あ】

アウトプットコンペア出力タイミング .....	289
アウトプットコンペアモード .....	305
アドレス一致割り込み .....	137
アドレス空間 .....	13
アドレスレジスタ .....	11
アラーム機能 .....	348

## 【い】

イベントカウンタモード .....	211
インターバルモード .....	301
インプットキャプチャ機能 .....	295, 561
インプットキャプチャ時のセットタイミング .....	291
インプットキャプチャ入力タイミング .....	289
インプットキャプチャ入力デジタルフィルタ .....	281

## 【う】

ウェイトモード .....	99
ウェイトモード移行時のプログラム制約 .....	111, 550
ウェイトモードからの復帰 .....	100
ウェイトモード時の端子の状態 .....	99
ウェイトモードへの移行 .....	99

ウェイトモードまたはストップモードから標準モードへの 復帰時のINTi入力フィルタ .....	141, 553
ウェイトモード、ストップモード .....	106
ウォッチドッグタイマ .....	62
ウォッチドッグタイマリセット .....	45

## 【お】

オーバフローフラグ .....	12
オプション機能 .....	33
オプション機能選択領域の設定例 .....	34, 549
オンチップデバッグの注意事項 .....	577

## 【か】

外形寸法図 .....	578
外部割り込み、キー入力割り込み .....	139, 551
概要 .....	1
カウントソースの切り換え .....	294, 560
カウントソース保護モード無効時 .....	68
カウントソース保護モード有効時 .....	69
各種クロック .....	89
各モード出力設定 .....	214
各モードの設定と解除方法 .....	498
可変ベクタテーブル .....	124
関連レジスタの設定例 .....	338, 354

## 【き】

キー入力割り込み .....	136
キャリフラグ .....	11

## 【く】

繰り返し掃引モード .....	465
繰り返しモード .....	463
クロック .....	106
クロック同期形シリアルI/Oモード .....	367
クロック同期形シリアルインタフェース .....	385
クロック同期式シリアルモード .....	440
クロック同期式通信モード .....	411
クロック同期式通信モード、4線バス通信モードに関わる 共通事項 .....	407
クロック発生回路 .....	72
クロック非同期形シリアルI/O (UART)モード .....	372

## 【こ】

高速オンチップオシレータクロック .....	88
高速オンチップオシレータモード .....	98
高速クロックモード .....	97
コールドスタート/ウォームスタート判定機能 .....	45
固定ベクタテーブル .....	123
コンパレータB .....	470
コンパレータBi (i = 1, 3)の設定手順と動作例 .....	476
コンパレータBiデジタルフィルタ (i = 1, 3) .....	475
コンペア一致時のセットタイミング .....	291
コンペア一致タイマモードの動作説明 .....	353
コンペア一致によるA/D変換開始トリガのタイミング .....	292
コンペア一致によるカウンタクリアのタイミング .....	290

## 【さ】

サインフラグ .....	11
--------------	----

サスペンド動作 .....496

### 【し】

ジェネラルレジスタと出力端子変更 .....283  
時刻の変更手順と読み出し手順 .....339  
システム基準クロック (fBASE) .....89  
システム基準クロック切り換えの動作例 .....90  
システムクロック (f) .....89  
システム制御 .....24  
周期タイマ機能 .....70  
周辺機能クロック停止機能 .....99  
周辺機能入出力の端子設定 .....185  
周辺機能の入出力端子について .....199, 556  
受信 .....382  
仕様概要 .....2  
使用上の注意事項集 .....549  
シリアルインタフェース (UART0/UART1) .....106  
シリアルインタフェース (UARTi (i = 0, 1)) .....357  
シリアルライタとオンチップデバッグエミュレータとの  
接続例 .....579  
シンクロナスシリアルコミュニケーションユニット  
(SSU) .....386  
シンクロナスシリアルコミュニケーションユニット (SSU) の  
動作説明 .....407  
シンクロナスシリアルコミュニケーションユニット使用上の  
注意 .....450, 564

### 【す】

スタックポインタ指定フラグ .....12  
スタティックベースレジスタ .....11  
ストップモード .....104  
ストップモード移行時のプログラム制約 .....111, 550  
ストップモードからの復帰 .....104  
ストップモード時の端子の状態 .....104  
ストップモードへの移行 .....104

### 【せ】

製品一覧 .....4  
ゼロフラグ .....11  
選択機能 .....238, 281

### 【そ】

送信 .....382  
ソフトウェアコマンド .....500  
ソフトウェアリセット .....45

### 【た】

タイマ .....106  
タイマRB2 .....216  
タイマRC .....249  
タイマRC関連レジスタの設定手順 .....295, 561  
タイマRE2 .....308  
タイマRJ2 .....200  
タイマRK .....296  
タイマモード .....209, 227, 266  
端子機能の説明 .....8  
単掃引モード .....464  
単発モード .....462

### 【ち】

中央演算処理装置 (CPU) .....10

### 【て】

低消費電流リードモード .....110  
低速オンチップオシレータクロック .....88  
低速オンチップオシレータモード .....98  
低速クロックモード .....97  
データ保護機能 .....499  
データレジスタ .....11  
デバッグフラグ .....11  
電圧監視0リセット .....44, 58  
電圧監視1割り込み .....59  
電圧検出回路 .....49, 106  
電圧検出回路0と1のデジタルフィルタ .....61  
電気的特性 .....524  
電源電圧の変動に関する注意事項 .....576

### 【と】

動作タイミング .....288  
特長 .....1  
時計誤差補正機能 .....341

### 【な】

内部電源の消費電力低減 .....108

### 【に】

入出力端子 .....201, 217

### 【の】

ノイズおよびラッチアップ対策として、  
VCCとVSSライン間へのバイパスコンデンサ挿入 .....576  
ノイズ除去回路 .....447  
ノイズに関する注意事項 .....576

### 【は】

ハードウェアリセット .....42  
波形出力操作機能 .....285  
バス制御 .....23  
発振回路定数 .....94, 549  
発振停止検出機能 .....93, 94, 549  
発振停止検出機能の使用法 .....93  
発振評価回路例 .....581  
バッファ動作のタイミング .....290  
パルス周期測定モード .....213  
パルス出力モード .....210, 303  
パルス幅測定モード .....212  
パワーオンリセット .....43  
パワーコントロール .....95

### 【ひ】

ビット同期回路 .....447  
標準シリアル入出力モード .....514  
標準動作モード .....97  
秒調整機能 .....350  
ピン配置図 .....6

## 【ふ】

複数モードに関わる共通事項	67, 460
フラグレジスタ	11
フラッシュメモリ	478
フラッシュメモリの停止および動作の遷移に関する注意	523, 575
プリスケアラ	90
フルステータスチェック	512
フレームベースレジスタ	11
プログラマブルウェイトワンショット発生モード	235
プログラマブル波形発生モード	229
プログラマブルワンショット発生モード	232
プログラムカウンタ	11
プロセッサ割り込み優先レベル	12
ブロック図	5

## 【ほ】

ポート	106
ポート0	148
ポート0の端子設定	153
ポート0～4に関連する周辺機能の設定手順	185
ポート1	155
ポート1の端子設定	161
ポート2	164
ポート2の端子設定	168
ポート3	169
ポート3の端子設定	175
ポート4	177
ポート4の端子設定	181
ポートA	182
ポートAの端子設定	184
ポート制御レジスタのノイズ誤動作対策	576
ポート入力レベルの読み出し	147

## 【み】

未使用端子の処理	186
----------	-----

## 【め】

メモリ配置	479
メモリマップ	13

## 【も】

モード選択	385
モードの切り換え	295, 561

## 【ゆ】

ユーザスタックポインタ	11
-------------	----

## 【よ】

用途	1
予約語	481
予約ビット	12

## 【り】

リアルタイムクロックモードの動作説明	337
リセット	35
リセット後のCPUレジスタの状態	48

リセットシーケンス	41
リセット時の状態	47
リセット要因判別機能	46
リロードレジスタとカウンタの書き換え動作	208

## 【れ】

レジスタアクセスプロテクト機能	32
レジスタ設定例	443
レジスタ退避	130
レジスタの設定	469, 568
レジスタバンク指定フラグ	11

## 【わ】

割り込み	112
割り込み応答時間	129
割り込み許可フラグ	12
割り込みシーケンス	128
割り込みスタックポインタ	11
割り込み制御	125
割り込みテーブルレジスタ	11
割り込みと割り込みベクタ	123
割り込み優先レベルとフラグレジスタの変更	143, 555
割り込み優先順位	132
割り込み優先レベル判定回路	133
割り込み要因	355
割り込み要因判別方法	138
割り込み要求	246
割り込み要求受付時のIPLの変化	129
割り込みルーチンからの復帰	132

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2010.07.30	—	初版発行
1.00	2011.03.11	全ページ	「暫定版」, 「開発中」 削除
		1	1.1 変更
		2	表1.1 「ウォッチドッグタイマ」 変更
		7	表1.4 「電圧検出回路」 削除
		8	表1.5 「MODE」, 「XINクロック出力」, 「XCINクロック出力」, 「タイマRJ2」 変更
		14	表3.1 「00030h」 ~ 「00033h」, 「00035h」 変更
		17	表3.4 「000C5h」, 「000DEh」, 「000DFh」, 「000E7h」 変更
		19	表3.6 「00167h」 変更
		22	表3.9 注1、注2 変更
		23	4. 「指定のない場合で、・・・2回アクセスします。」 「ワード単位で・・・2回アクセスします。」 「ただし、次のSFRのみ・・・16ビットデータを一度にアクセスします」 削除
		24	表5.1 注3、注4 追記
		25	5.2.1 「SRSTビット」 変更
		26	5.2.2 「リセット後の値」 変更、「タイマRJ2、タイマRB2、・・・スタンバイにしてください。」 「各スタンバイビットを・・・変更してください。」
		27	5.2.3 b3 変更、5.2.4 注1 追記
		28	5.2.5 変更
		29、37	5.2.6、6.2.2 「電源監視0」 「電圧監視0」
		30、31	5.2.7、5.2.8 注1 変更
		32	表5.2 「VREFMON」 削除
		36	表6.2 注2、注3 変更
		41	図6.2 注1 変更
		42	図6.3 削除
		61	図7.6 変更
		62	表8.1 変更
		63	図8.1 変更
		64	表8.2 変更、8.2.1 注1 変更
		65	8.2.2 「リセット後の値」, 「機能」 変更、8.2.3 「リセット後の値」 変更
		66	8.2.6 変更
		67	8.3.1.1 変更、8.3.1.1、図8.2 「不正な書き込み」 「不正リフレッシュ」
		68	表8.3 「カウント停止条件」 変更、注2、注3 削除
		69	表8.4 注1 ~ 注3 削除
		70	表8.5、図8.3 変更
		71	8.4 変更
		72	表9.1 「クロック周波数」, 「その他」 変更、注2、4 削除
		73	図9.1 変更
		75	表9.3 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.11	76	9.2.1 b0 ~ b1、b2 ~ b3 変更、 「CKPT0 ~ CKPT1ビット」、 「CKPT2 ~ CKPT3ビット」 追記
		78	9.2.2 「HOCOEビット」、 「LOCODISビット」 変更、表9.4、表9.5 追記
		79	9.2.3 b0 ~ b2 変更、b6 ~ b7 : 機能 変更、 「PHISSEL0 ~ PHISSEL2ビット」 変更、 「LSCKSELビット」 削除
		80	9.2.4 変更
		81	9.2.5 b0 : 機能、 「STPMビット」、 「SCKSELビット」 変更
		82	9.2.6 b5 ~ b7 変更、注1 追記
		83	「CKST0 ~ CKST3ビット」 変更、表9.7 追記、 「WAITRSビット」、 「STOPRSビット」 削除
		84	9.2.7 b1 ~ b3、注1、 「CKSWIFビット」 変更、 9.2.8 追記
		86 ~ 88	9.3.1 ~ 9.3.3 変更
		89	9.4.1 変更、旧 図9.5 削除、 9.4.2 「リセット解除後、 ・・・になります。」 追記、表9.8 変更
		90	9.4.5 変更、図9.5 変更
		91	図9.6 「TBD $\mu$ s以上」 削除
		92	図9.7 「TBD $\mu$ s以上」 削除
		93	9.5.1 「「11.8 割り込み要因判別方法」 を参照してください。」 追記
		94、535	9.6.2、25.3.2 変更
		96	図10.1 変更
		98	10.2.3、10.2.4 変更
		99	10.3、10.3.1 変更
		100	10.3.4 変更、表10.3 「ウォッチドッグ タイマ割り込み」 削除、 「タイマRB2割り込み」、 「A/D変換割り込み」 変更
		101、102	10.3.4 変更
		103	図10.3 追記
		104	10.4.2 変更
		105	10.4.3 変更
		106 ~ 110	10.5、10.5.1 変更、10.5.2 ~ 10.5.12 追記
		108	図10.5 変更
		111、538	10.6.1、25.4.1 変更
		112	表11.1 変更
		115	11.2.1 注1 追記
		117	11.2.4 注1 「KliPLビット」、 「KliENまたはKliENビット」
		119、120	11.2.6 ~ 11.2.8 変更
122	11.2.10、11.2.11 変更		
123	表11.5 備考 : 「OFFE7h」、 「OFFE6h」		
125	11.4.2.1 変更		
126	表11.7、11.4.2.2 追記		
127	11.4.3 変更		

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.11	128	11.4.4 (1) 変更
		130	11.4.7 変更、注1 追記
		133	図11.8 注1 削除
		134	11.5.1 「なお、 $\overline{\text{INT0}}$ は複数の入力端子が割り当てられています。」 「 $\overline{\text{INT0}}$ ~ $\overline{\text{INT2}}$ 入力は入力端子を選択できます。」
		135	11.5.2 「 $\overline{\text{INTi}}$ の入力許可は・・・選択できます。」
		136	図11.11 変更
		138	図11.12 「CKSWIF : BAKCR レジスタのビット」 「CKSWIE、CKSWIF : BAKCR レジスタのビット」
		140、541	11.9.4、25.5.4 注1 変更、図11.13、図25.1 変更
		141、542	11.9.5、25.5.5 変更 図11.14、図25.2 追記
		142、543	11.9.6、25.5.6 変更、図11.15、図25.2 追記
		144	表12.2 「PM2」 変更
		145	表12.3 「ポートPAモード制御レジスタ」 変更
		146	12.2、12.2.1 変更
		148、155、164、170、177、182	12.3.2、12.4.2、12.5.2、12.6.2、12.7.2、12.8.2 [PINSR レジスタのIOINSELビットが0のとき]、 [PINSR レジスタのIOINSELビットが1のとき] 削除
		156	12.4.4 注1 追記
		161	表12.18 「U0SR」 削除
		162	表12.19 変更
		167	表12.20 変更
		171	12.6.4 注1 追記
		175	表12.27 「PMH3」 変更
		186 ~ 195	図12.8 ~ 図12.20 変更
		198、544	12.3.1、25.6.1 変更、12.13.2、25.6.2 追記
		199	13. 変更、表13.1 「内容」 変更
		200	図13.1 変更、表13.2 「機能」 変更
		201	表13.3 「タイマRJ割り込み要求とステータスレジスタ」 「タイマRJ割り込み制御レジスタ」、13.3.1 注2 変更
		202	13.3.2 注3 削除、「パルス幅測定モード・・・1を書いてください。」 追記
		204	13.3.3 「TOPCRビット」 変更、表13.6 「I/Oポート」 「使用しない」
		206	13.3.6 「タイマRJ割り込み要求とステータスレジスタ」 「タイマRJ割り込み制御レジスタ」
		209	13.4.3 「アンダフローするごとに・・・モードです。」 「パルスを・・・を反転します。」
		210、214、545	13.4.4、13.5 (3)、25.7 (3) 「外部イベント」 「外部パルス」、13.5 (13)、25.7 (13) 追記
		216	14.2 「リセット解除後、・・・にしてください。」 削除
		217	表14.3 「タイマRB割り込み要求とステータスレジスタ」 「タイマRB割り込み制御レジスタ」
		218	14.3.1 注2、注3 削除



Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.11	225	14.3.8 「タイマRB割り込み要求とステータスレジスタ」 「タイマRB割り込み制御レジスタ」
		238	表14.7 プログラマブルワンショット発生モード「(注3)」 追記
		251	15.2.1 「TRCCNTレジスタは、・・・アクセスしてください。」 「TRCCNTレジスタは、・・・2回アクセスされます。」
		252	15.2.2 「TRCGRA ~ TRCGRD レジスタは、・・・アクセスしてください。」 「TRCGRA ~ TRCGRD レジスタは、・・・2回アクセスされます。」
		254	15.2.4 b4 ~ b6: 機能 変更
		273	表15.12 注1 変更
		280	図15.19 変更
		283	15.4.3 「TRCIOD端子」 「TRCIOB端子」
		284 ~ 286	図15.23 ~ 図15.26 「TRCOAE_XN」 「TRCOBE_XN」
		287	図15.27 変更
		292	15.6.2、15.6.4 「CPUクロック」 「システムクロック」
		318	17.2.10 b1 変更
		320	図17.3 HR24ビット=0(12時間モード):「11」 「10」
		321	17.2.11 b1 変更
		358	図18.2 変更
		362	18.2.6 「UiRB レジスタは、・・・アクセスしてください。」 「UiRB レジスタは、・・・2回アクセスされます。」
		373	表18.8 注1 変更
		381	19.4 (1) (7) (9) 追記
		388	表20.6 変更
		391	20.2.3 注1、20.2.4 注2 変更
		429	20.4.2.4 (4) 変更、「マスタ受信モード時の反復開始条件発行フロー」 追記
		432、435	20.4.2.5、20.4.2.6 (2) 変更
		448	21. 「逐次比較方式」 「逐次比較変換方式」、表21.1 変更、注1 追記
		449	図21.1 変更、表21.2 AVCC、AVSS: 機能 変更
		451	21.2.1 「ADiHレジスタの・・・2回読み出されます。」 変更 「A/D変換中に・・・不定になります。」 削除
		452	21.2.2 変更、注1 削除
		453 ~ 455	21.2.3 ~ 21.2.5 変更
		456	21.3、21.3.1.1 変更、図21.2 変更
		457	表21.6 変更、注3 追記、表21.7 削除、図21.3 変更
		458 ~ 461	21.3.2 ~ 21.3.5、図21.4 ~ 図21.7 変更
462	21.4 変更、21.5、表21.9、図21.8、図21.9 削除		
463、553、 464、554、 465、555	21.5.1、25.14.1 変更、 21.5.2、25.14.2 「f1 (adclk: A/D変換用のクロック)」 「A/D変換用のクロック」 21.5.3、25.14.3 変更、 21.6.2、図21.10、25.14.2、図25.4 削除		
467	表22.2 注1 追記		
472	表22.4 4 変更		

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.11	482	23.5.2 注2 変更、注5 追記
		485	23.5.4 注2 追記、「FMR27ビット」 変更
		486	23.5.5 機能：「TBD kHz」 「60 kHz」
		488	表23.7 注3 追記
		490	図23.5、図23.6 変更
		492	表23.8 変更、23.6.6.1 追記
		493 ~ 495	23.6.6.3 「図23.11 にEW1 モードの・・・を示します。」 追記 図23.8 タイトル変更、図23.9、図23.10 注1 タイトル、変更
		496	「FMR22ビットを・・・1にしてください。」 図23.11 追記
		497 ~ 499	23.6.6.4 「図23.15 にEW1 モードの・・・を示します。」 追記 図23.12 ~ 図23.14 タイトル変更
		500	「FMR22ビットを・・・1にしてください。」 図23.15 追記
		504	表23.9 注1 変更
		507	表23.10 端子名：「P3_1XIN」 「P3_1/XIN」 図23.20 変更
		512、559	23.8.2.9、23.8.2.10、25.15.2.9、25.15.2.10 削除
		520	表24.10 変更、注3 削除、表24.11 変更
		525 ~ 527	表24.14 ~ 表24.16 変更
		528、532、536	表24.17、図24.8、表24.23、図24.12、表24.29、図24.16 変更
		529、533、537	表24.19、図24.10、表24.25、図24.14、表24.31、図24.18 変更
		530、534	表24.21、表24.27 変更
		531	表24.22 変更
		535	表24.28 変更
538	25.2 変更		
611 ~ 612	付図2.1、付図2.2、付図3.1 変更		
2.00	2012.02.23	B-1、14、75、84	XCINクロック制御レジスタ 削除
		4	表1.3 「開発中」 削除
		53、104、105、108、111、550	7.2.2 注1、10.4.1、10.4.3、図10.5 注5、10.6.2、25.4.2 「クロック停止」 「全クロック停止」
		76	9.2.1 CKPT0 ~ CKPT1ビット説明文 変更
		82	9.2.6 注2 追記
		83	9.2.6 CKST0 ~ CKST3ビット説明文 変更
		86	9.3.1、図9.3 変更
		87	9.3.2、図9.4 変更
		89	9.4.4 表9.8 変更
		90	9.4.5 変更
		92	図9.7 変更
		96	図10.1 変更
		99	10.3 変更

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.02.23	101	10.3.4 「P4_6、P4_7 端子を・・・」 「P3_1、P4_5端子を・・・」 図10.2 タイトル 変更
		104	10.4、10.4.2 説明文、表10.4 変更
		106	10.5.5 「f1 ~ f128」 「f1 ~ f8192」
		109	図10.6 変更
		111、550	10.6.1、10.6.2、25.4.1、25.4.2 変更
		118	11.2.5 説明文 変更
		121	11.2.9 説明文 変更
		122	11.2.10、11.2.11 説明文 変更
		134	11.5.1 説明文 変更
		135	図11.10 変更
		140、552	図11.13、図25.1 注2 追記
		143、555	「11.9.7 割り込み優先レベルとフラグレジスタの変更」 「25.5.7 割り込み優先レベルとフラグレジスタの変更」 追記
		201	図13.1 変更
		202	13.3.1 注3 追記
		204	13.3.3 b6、b7 機能 変更
		205	13.3.3 TIOGT0 ~ TIOGT1ビット説明文 追記
		206	13.3.4 注1、注2 削除、説明文 追記
		208	13.4.1 説明文、図13.2 変更
		209	図13.3 変更
		210	図13.4 変更
		213	図13.7 変更
		215、557	13.5、25.7 (3) 変更、旧(5)「入力パルスの周期データ・・・+1」削除、(13) 追記
		219	14.3.1 注1 変更
		220	14.3.2 b0、b1 機能 変更、説明文 追記
		221	表14.4 タイマーモード 変更
		222	14.3.4 注2 変更
		224	14.3.6 注1 追記
		225	14.3.7 説明文 変更
		227	14.4.1 説明文 変更
		229	14.4.2 説明文 変更
		232	14.4.3 説明文 変更
235	14.4.4 説明文 変更		
240	14.5.2 説明文 変更		
241 ~ 244	図14.10 ~ 図14.13 変更		
247、248、 558、559	14.8、25.8 説明文 変更		
249	表15.1 「動作クロック」 追記		
252	15.2.1 説明文 変更		

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.02.23	253、254	15.2.2 変更、表15.5～表15.8 追記
		254	15.2.3 注1、注2 追記
		255	15.2.4 b7 変更、注3 追記
		257	15.2.6 注1、表15.9 注2 追記
		258	15.2.7 b0、b1、b4、b5機能、注1 変更
		259、260	15.2.8 b0、b1、b4、b5機能 注8 追記
		260	15.2.9 b0～b2、b5機能 変更、注1～注3 追記、CSTPビット、TCEG0～TCEG1ビット説明文 削除
		261	15.2.10 変更、注1、注2 追記、説明文削除
		262	15.2.11 注3 追記
		265	表15.10 変更
		266	15.3.1 説明文 変更
		270	15.3.2 説明文 変更
		272	図15.10、図タイトル 変更
		281	図15.19 変更
		283	15.4.3 説明文 変更
		285	15.4.4 説明文 変更
		286	図15.24 変更
		290	図15.31 変更
		292	15.5.8 タイトル、説明文、図15.34 変更
		293	「15.6 タイマRC割り込み」 追記
		294、560	15.7.4、25.9.4 変更
		295、561	15.7.5、25.9.5 変更
		298	16.2.2 注2 追記
		299	16.2.3.2 説明文 変更
		308	表17.1 変更
		309	図17.1 変更
		321	表17.5 変更
		323	17.2.11 b4機能 変更、注2 追記
		324	17.2.12 注1～注3 追記
		328	17.2.15 ALIEビット説明文 削除
		330	17.2.17 説明文 変更
		338	図17.5 変更
		339	17.3.3.1 説明文 変更、図17.6 削除
340	17.3.3.2 説明文 変更		
341	17.3.4.1 説明文 変更		
342	図17.8、図17.9 タイトル 変更		
345、346	図17.12～図17.14 変更		
348	17.3.5 注1、注2 追記		
349	図17.15 変更		

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.02.23	353	図17.19 変更
		354	図17.20 変更
		357	18.1 説明文 変更
		361	18.2.1 注1、注2 追記
		365	18.2.6 注1 変更、注2 追記
		372	表18.6 注2 追記
		378	18.4 説明文 変更
		381	19.2.1 IRCKS0 ~ IRCKS2ビット説明文 変更
		384	19.4 変更
		395	20.2.5.1 b4、b7機能 変更
		396	20.2.5.2 注8 追記
		397	20.2.6.1 b1、b3機能、注1 変更
		398	20.2.6.2 b5機能 変更、注8 追記
		400	20.2.7.2 注1 追記
		402	20.2.8.2 b5機能 変更、注3 追記
		404	20.2.9.2 注7 追記
		434	図20.22 変更
		437	図20.24 変更
		439	図20.26 変更
		441	図20.29 変更
		447	図20.36 変更
		451、565	「20.5.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット」 「25.13.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット」 追記
		452	表21.1 「変換時間」 変更
		461	表21.6、注1、注2 変更
		462 ~ 465	図21.4 ~ 図21.7 変更
		468、567	21.5.2、25.14.2 変更
		482	23.3.2.1、23.3.2.2 説明文 変更
		483	23.4 説明文 変更
		484	23.5.1 b2リセット後の値 変更、注1 ~ 注4 追記
		485	23.5.1 RDYSTI、BSYAEIビット説明文 変更
		486	23.5.1 FST2 ~ FST6ビット説明文 変更、FST7ビット説明文 追記
		487	23.5.2 旧注2 削除、注4、FMR01ビット、FMR02ビット説明文 追記
		488、489	23.5.2 FMSTP、CMDRST、CMDERIE、BSYAEIE、RDYSTIEビット説明文 変更
490	23.5.3 FMR13ビット説明文 変更		
491	23.5.3 FMR16、FMR17ビット説明文 追記		
492	23.5.4 注2、FMR22ビット説明文 変更、FMR20ビット説明文 追記		
493	23.5.4 FMR27ビット説明文 変更		
495	23.6.1 説明文 変更		

## 改訂記録

## R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.02.23	496、497	図23.3、図23.4 変更
		498	図23.5 変更
		499	23.6.5 説明文 変更
		500	23.6.6、23.6.6.1 説明文 変更
		501	23.6.6.2、23.6.6.3 説明文 変更
		504	図23.11 変更
		505	23.6.6.4 説明文 変更
		508	図23.15 変更
		511	図23.18 変更
		512	表23.9 変更
		515	表23.10 変更
		516	表23.11 変更
		518、570	表23.12、表25.1 変更
		519、571	表23.13、表25.2 変更
		520、572	23.8.2.3、23.8.2.6、25.15.2.3、25.15.2.6 変更
		521、522、 573、574	「23.8.2.9 EW1モード」、「25.15.2.9 EW1モード」 追記
		523、575	「23.8.3 フラッシュメモリの停止および動作の遷移に関する注意」、 「25.15.3 フラッシュメモリの停止および動作の遷移に関する注意」 追記
526	表24.3 変更		
579	付図2.1 注1 変更		
582 ~ 584	「付録4. R8C/M12Aグループ、R8C/M13Bグループの比較」 追記		

---

R8C/M13Bグループ ユーザーズマニュアル ハードウェア編

発行年月日 2010年7月30日 Rev.0.01  
2012年2月23日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>



## R8C/M13Bグループ