

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M32C/84グループ (M32C/84、M32C/84T)

ハードウェアマニュアル

ルネサス16/32ビットシングルチップマイクロコンピュータ
M16Cファミリ / M32C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

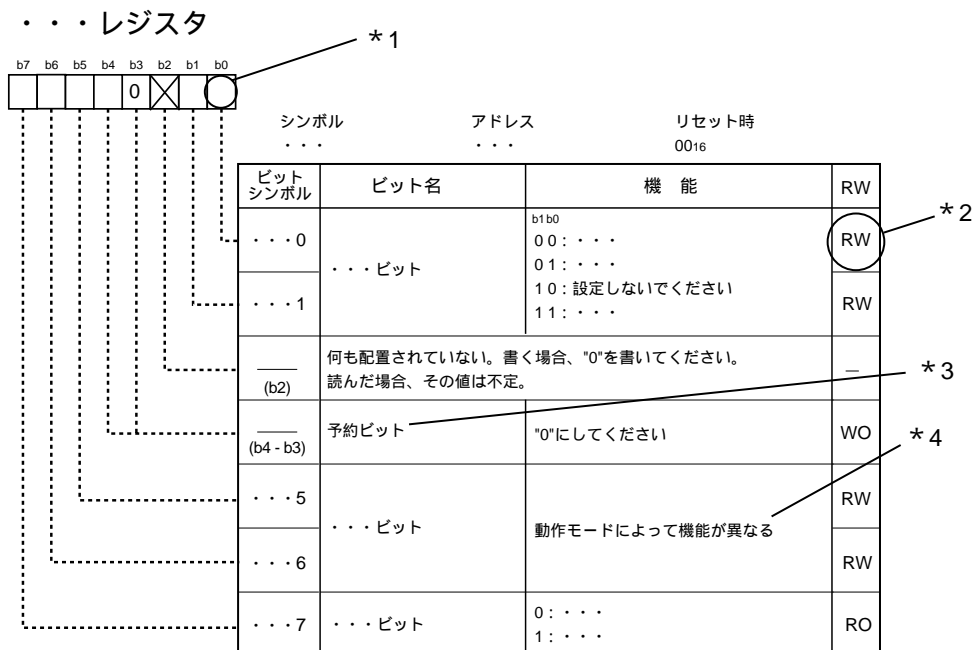
1. 対象

このマニュアルはM32C/84グループ(M32C/84、M32C/84T)のハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されてないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

・予約ビット

予約ビットです。指定された値にしてください。

*4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	4
1.4 製品一覧	5
1.5 ピン接続図	7
1.6 端子機能の説明	15
2. 中央演算処理装置	19
2.1 基本レジスタ	20
2.1.1 データレジスタ(R0、R1、R2、R3)	20
2.1.2 アドレスレジスタ(A0、A1)	20
2.1.3 スタティックベースレジスタ(SB)	20
2.1.4 フレームベースレジスタ(FB)	20
2.1.5 プログラムカウンタ(PC)	20
2.1.6 割り込みテーブルレジスタ(INTB)	20
2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	20
2.1.8 フラグレジスタ(FLG)	20
2.2 高速割り込みレジスタ	21
2.3 DMAC関連レジスタ	21
3. メモリ	22
4. SFR	23
5. リセット	43
5.1 ハードウェアリセット1	43
5.1.1 電源安定時	43
5.1.2 電源投入時	43
5.2 電圧低下検出リセット(ハードウェアリセット2)	45
5.3 ソフトウェアリセット	47
5.4 ウォッチドッグタイマリセット	47
5.5 内部領域の状態	47

6. 電圧検出回路	48
6.1 電圧低下検出割り込み	52
6.1.1 ストップモード/ウエイトモードの制約	54
6.2 コールドスタート/ウォームスタート判定機能	54
7. プロセッサモード	55
7.1 プロセッサモードの種類	55
7.2 プロセッサモードの設定	56
8. バス	60
8.1 バス設定	60
8.1.1 外部アドレスバスの選択	61
8.1.2 外部データバスの選択	61
8.1.3 セバレートバス、マルチプレクスバスの選択	61
8.2 バス制御	63
8.2.1 アドレスバス、データバス	63
8.2.2 チップセレクト信号	63
8.2.3 リード、ライト信号	65
8.2.4 バスタイミング	66
8.2.5 ALE信号	74
8.2.6 RDY信号	74
8.2.7 HOLD信号	75
8.2.8 内部領域をアクセスしたときの外部バスの状態	76
8.2.9 BCLK出力	76
8.3 ページモード制御機能	77
9. クロック発生回路	81
9.1 クロック発生回路の種類	81
9.1.1 メインクロック	89
9.1.2 サブクロック	90
9.1.3 オンチップオシレータクロック	91
9.1.4 PLLクロック	92
9.2 CPUクロックとBCLK	94
9.3 周辺機能クロック	94
9.3.1 f1、f8、f32、f2n	94
9.3.2 fAD	95
9.3.3 fC32	95

9.3.4	fCAN	95
9.4	クロック出力機能	95
9.5	パワーコントロール	96
9.5.1	通常動作モード	96
9.5.2	ウェイトモード	97
9.5.3	ストップモード	99
9.6	システムクロック保護機能	103
10.	プロテクト	104
11.	割り込み	105
11.1	割り込みの分類	105
11.2	ソフトウェア割り込み	105
11.2.1	未定義命令割り込み	105
11.2.2	オーバフロー割り込み	105
11.2.3	BRK割り込み	105
11.2.4	BRK2割り込み	106
11.2.5	INT命令割り込み	106
11.3	ハードウェア割り込み	106
11.3.1	特殊割り込み	106
11.3.2	周辺機能割り込み	107
11.4	高速割り込み	107
11.5	割り込みと割り込みベクタ	107
11.5.1	固定ベクタテーブル	108
11.5.2	可変ベクタテーブル	108
11.6	割り込み要求の受け付け	111
11.6.1	IフラグとIPL	111
11.6.2	割り込み制御レジスタとRLVLレジスタ	111
11.6.3	割り込みシーケンス	115
11.6.4	割り込み応答時間	115
11.6.5	割り込み要求受け付け時のIPLの変化	116
11.6.6	レジスタ退避	117
11.6.7	割り込みルーチンからの復帰	117
11.6.8	割り込み優先順位	118
11.6.9	割り込み優先レベル判定回路	118
11.7	INT割り込み	120

11.8	$\overline{\text{NMI}}$ 割り込み	121
11.9	キー入力割り込み	121
11.10	アドレス一致割り込み	122
11.11	インテリジェントI/O割り込みとCAN割り込み	123
12.	ウォッチドッグタイマ	127
12.1	カウントソース保護モード	130
13.	DMAC	131
13.1	転送サイクル	138
13.1.1	転送元番地と転送先番地の影響	138
13.1.2	DSレジスタの影響	138
13.1.3	ソフトウェアウエイトの影響	138
13.1.4	$\overline{\text{RDY}}$ 信号の影響	138
13.2	DMACの転送サイクル数	140
13.3	チャネル優先順位とDMA転送タイミング	140
14.	DMAC II	142
14.1	DMAC II の設定	142
14.1.1	RLVLレジスタ	142
14.1.2	DMAC II インデックス	144
14.1.3	周辺機能の割り込み制御レジスタ	146
14.1.4	周辺機能の可変ベクタテーブル	146
14.1.5	IIOiEレジスタ(i=0~4、8~11)のIRLTビット	146
14.2	DMAC II の動作	146
14.3	転送データ	146
14.3.1	メモリ間転送	146
14.3.2	即値転送	147
14.3.3	演算転送	147
14.4	転送方式	147
14.4.1	単転送	147
14.4.2	バースト転送	147
14.5	複数転送	147
14.6	チェーン転送	148
14.7	転送完了割り込み	148

14.8	実行時間	149
15.	タイマ	150
15.1	タイマA	152
15.1.1	タイマモード	158
15.1.2	イベントカウンタモード	160
15.1.3	ワンショットタイマモード	164
15.1.4	パルス幅変調モード	166
15.2	タイマB	169
15.2.1	タイマモード	172
15.2.2	イベントカウンタモード	173
15.2.3	パルス周期測定モード、パルス幅測定モード	175
16.	三相モータ制御用タイマ機能	178
17.	シリアルI/O	188
17.1	クロック同期形シリアルI/Oモード	198
17.1.1	CLK極性選択	202
17.1.2	LSBファースト、MSBファースト選択	202
17.1.3	連続受信モード	203
17.1.4	シリアルデータ論理切り替え	203
17.2	クロック非同期形シリアルI/O(UART)モード	204
17.2.1	転送速度	208
17.2.2	LSBファースト、MSBファースト選択	209
17.2.3	シリアルデータ論理切り替え	209
17.2.4	TXD、RXD入出力極性切り替え	210
17.3	特殊モード1(I ² Cモード)	211
17.3.1	スタートコンディション、ストップコンディションの検出	216
17.3.2	スタートコンディション、ストップコンディションの出力	217
17.3.3	アービトレーション	218
17.3.4	転送クロック	218
17.3.5	SDA出力	218
17.3.6	SDA入力	219
17.3.7	ACK、NACK	219
17.3.8	送受信初期化	219
17.4	特殊モード2	220
17.4.1	\overline{SSi} 入力端子機能(i=0~4)	223

17.4.2	クロック位相設定機能	224
17.5	特殊モード3(GCIモード)	226
17.6	特殊モード4(IEモード)	230
17.7	特殊モード5(SIMモード)	234
17.7.1	パリティエラー信号	238
17.7.2	フォーマット	239
18.	A/Dコンバータ	240
18.1	モードの説明	248
18.1.1	単発モード	248
18.1.2	繰り返しモード	249
18.1.3	単掃引モード	249
18.1.4	繰り返し掃引モード0	250
18.1.5	繰り返し掃引モード1	250
18.1.6	マルチポート単掃引モード	251
18.1.7	マルチポート繰り返し掃引モード0	251
18.2	機能	252
18.2.1	分解能選択機能	252
18.2.2	サンプル&ホールド	252
18.2.3	トリガ選択機能	252
18.2.4	DMAC利用モード	252
18.2.5	拡張アナログ入力端子	252
18.2.6	外部オペアンプ接続モード	253
18.2.7	消費電流低減機能	253
18.2.8	A/D変換時のセンサーの出力インピーダンス	254
19.	D/Aコンバータ	255
20.	CRC演算	258
21.	X/Y変換	260
22.	インテリジェントI/O	263
22.1	ベースタイマ	272
22.2	時間計測機能	277
22.3	波形生成機能	282
22.3.1	単相波形出力モード	283
22.3.2	反転波形出力モード	285

22.3.3	セット-リセット波形出力(SR波形出力)モード	287
22.4	通信部0、1通信機能	289
22.4.1	クロック同期形シリアルI/Oモード(通信部0,1)	299
22.4.2	クロック非同期形シリアルI/O(UART)モード(通信部1)	303
22.4.3	HDLCデータ処理モード(通信部0、1)	306
23.	CANモジュール	309
23.1	関連レジスタ	312
23.1.1	CAN0制御レジスタ0 (C0CTLR0レジスタ)	312
23.1.2	CAN0制御レジスタ1 (C0CTLR1レジスタ)	315
23.1.3	CAN0スリープ制御レジスタ(C0SLPRレジスタ)	316
23.1.4	CAN0ステータスレジスタ(C0STRレジスタ)	317
23.1.5	CAN0拡張IDレジスタ(C0IDRレジスタ)	320
23.1.6	CAN0コンフィグレーションレジスタ(C0CONRレジスタ)	321
23.1.7	CAN0ポーレートプリスケアラ(C0BRPレジスタ)	323
23.1.8	CAN0タイムスタンプレジスタ(C0TSRレジスタ)	323
23.1.9	CAN0送信エラーカウントレジスタ(C0TECレジスタ)	324
23.1.10	CAN0受信エラーカウントレジスタ(C0RECレジスタ)	324
23.1.11	CAN0スロット割り込みステータスレジスタ(C0SISTRレジスタ)	325
23.1.12	CAN0スロット割り込みマスクレジスタ(C0SIMKRレジスタ)	327
23.1.13	CAN0エラー割り込みマスクレジスタ(C0EIMKRレジスタ)	328
23.1.14	CAN0エラー割り込みステータスレジスタ(C0EISTRレジスタ)	329
23.1.15	CAN0エラー要因レジスタ(C0EFRレジスタ)	330
23.1.16	CAN0モードレジスタ(C0MDRレジスタ)	331
23.1.17	CAN0シングルショット制御レジスタ(C0SSCTLRレジスタ)	333
23.1.18	CAN0シングルショットステータスレジスタ(C0SSSTRレジスタ)	335
23.1.19	CAN0グローバルマスクレジスタ、CAN0ローカルマスクレジスタA、CAN0ローカルマスクレジスタB (C0GMRk、C0LMARk、C0LMBRkレジスタ) (k=0 ~ 4)	336
23.1.20	CAN0メッセージスロットj制御レジスタ(C0MCTLjレジスタ) (j=0 ~ 15)	340
23.1.21	CAN0スロットバッファ選択レジスタ(C0SBSレジスタ)	343
23.1.22	CAN0メッセージスロットバッファj(j=0,1)	344
23.1.23	CAN0アクセプタンスフィルタサポートレジスタ(C0AFSレジスタ)	348
23.2	CANクロック	349

23.2.1	メインクロックダイレクトモード	349
23.3	CAN関連レジスタのタイミング	350
23.3.1	CANモジュール初期化	350
23.3.2	CAN送信タイミング	350
23.3.3	CAN受信タイミング	351
23.3.4	CANバスエラータイミング	352
23.4	CAN割り込み	352
23.4.1	CAN0ウエイクアップ割り込み	352
23.4.2	CAN0j割り込み	352
24.	プログラマブル入出力ポート _____	355
24.1	ポートPi方向レジスタ(PDiレジスタ、i = 0 ~ 15)	355
24.2	ポートPiレジスタ(Piレジスタ、i = 0 ~ 15)	355
24.3	機能選択レジスタAj (PSjレジスタ、j = 0 ~ 3, 5, 8, 9)	355
24.4	機能選択レジスタB0 ~ B3 (PSL0 ~ PSL3レジスタ)	356
24.5	機能選択レジスタC(PSC、PSC2、PSC3レジスタ)	356
24.6	機能選択レジスタD(PSD1レジスタ)	356
24.7	プルアップ制御レジスタ0 ~ 4(PUR0 ~ PUR4レジスタ)	356
24.8	ポート制御レジスタ(PCRレジスタ)	356
24.9	入力機能選択レジスタ(IPS、IPSAレジスタ)	356
24.10	アナログ入力と他の周辺機能入力	357
25.	フラッシュメモリ版 _____	380
25.1	メモリ配置	381
25.1.1	ブートモード	382
25.2	フラッシュメモリ書き換え禁止機能	382
25.2.1	ROMコードプロテクト機能	382
25.2.2	IDコードチェック機能	382
25.3	CPU書き換えモード	384
25.3.1	EW0モード	384
25.3.2	EW1モード	384
25.3.3	フラッシュメモリ制御レジスタ (FMR0レジスタ、FMR1レジスタ)	385
25.3.4	CPU書き換えモードの注意事項	390
25.3.5	ソフトウエアコマンド	392
25.3.6	データ保護機能	397
25.3.7	ステータスレジスタ	397

25.3.8	フルステータスチェック	399
25.4	標準シリアル入出力モード	401
25.4.1	IDコードチェック機能	401
25.4.2	標準シリアル入出力モード時の端子処理例	406
25.5	パラレル入出力モード	408
25.5.1	ブートROM領域	408
25.5.2	ROMコードプロテクト機能	408
26.	電気的特性	409
26.1	電気的特性(M32C/84)	409
26.2	電気的特性(M32C/84T)	438
27.	使用上の注意事項	450
27.1	M32C/84T(高信頼性版)の制限事項	450
27.2	リセット	451
27.3	バス	452
27.3.1	HOLD信号	452
27.3.2	外部バス	452
27.4	SFR	453
27.4.1	100ピン版の注意事項	453
27.4.2	レジスタ設定時の注意事項	453
27.5	クロック発生回路	454
27.5.1	CPUクロック	454
27.5.2	サブクロック	454
27.5.3	PLL周波数シンセサイザ	455
27.5.4	外部クロック	455
27.5.5	クロック分周比	455
27.5.6	パワーコントロール	455
27.6	プロテクト	458
27.7	割り込み	459
27.7.1	ISPの設定	459
27.7.2	$\overline{\text{NMI}}$ 割り込み	459
27.7.3	$\overline{\text{INT}}$ 割り込み	459
27.7.4	ウォッチドッグタイマ割り込み	460
27.7.5	割り込み制御レジスタの変更	460
27.7.6	IIOiIRレジスタの変更 (i=0~4、8~11)	460
27.7.7	RLVLレジスタの変更	460

27.8	DMAC	461
27.9	タイマ	462
27.9.1	タイマA、タイマB共通	462
27.9.2	タイマA	462
27.9.3	タイマB	464
27.10	シリアルI/O	465
27.10.1	クロック同期形シリアルI/Oモード	465
27.10.2	UARTモード	466
27.10.3	特殊モード1(I ² Cモード)	466
27.11	A/Dコンバータ	467
27.12	インテリジェントI/O	469
27.12.1	レジスタの設定	469
27.13	プログラマブル入出力ポート	470
27.14	フラッシュメモリ版	471
27.14.1	フラッシュメモリ版とマスクROM版の相違点	471
27.14.2	ブートモード	471
27.15	ノイズに関する注意事項	472

付録1 . 外形寸法図	473
レジスタ索引	475

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0000 ₁₆			0030 ₁₆		
0001 ₁₆			0031 ₁₆		
0002 ₁₆			0032 ₁₆		
0003 ₁₆			0033 ₁₆		
0004 ₁₆	プロセッサモードレジスタ0 (PM0)	57	0034 ₁₆		
0005 ₁₆	プロセッサモードレジスタ1 (PM1)	58	0035 ₁₆		
0006 ₁₆	システムクロック制御レジスタ0 (CM0)	83	0036 ₁₆		
0007 ₁₆	システムクロック制御レジスタ1 (CM1)	84	0037 ₁₆		
0008 ₁₆			0038 ₁₆		
0009 ₁₆	アドレス一致割り込み許可レジスタ (AIER)	122	0039 ₁₆	アドレス一致割り込みレジスタ6 (RMAD6)	122
000A ₁₆	プロテクトレジスタ (PRCR)	104	003A ₁₆		
000B ₁₆	外部データバス幅制御レジスタ (DS)	60	003B ₁₆		
000C ₁₆	メインクロック分周レジスタ (MCD)	84	003C ₁₆		
000D ₁₆	発振停止検出レジスタ (CM2)	85	003D ₁₆	アドレス一致割り込みレジスタ7 (RMAD7)	122
000E ₁₆	監視タイマスタートレジスタ (WDTS)	128	003E ₁₆		
000F ₁₆	監視タイマ制御レジスタ (WDC)		003F ₁₆		
0010 ₁₆			0040 ₁₆		
0011 ₁₆	アドレス一致割り込みレジスタ0 (RMAD0)	122	0041 ₁₆		
0012 ₁₆			0042 ₁₆		
0013 ₁₆	プロセッサモードレジスタ2 (PM2)	88	0043 ₁₆		
0014 ₁₆			0044 ₁₆		
0015 ₁₆	アドレス一致割り込みレジスタ1 (RMAD1)	122	0045 ₁₆		
0016 ₁₆			0046 ₁₆		
0017 ₁₆	電圧検出レジスタ2 (VCR2)	50	0047 ₁₆		
0018 ₁₆			0048 ₁₆	外部領域ウエイト制御レジスタ0 (EWCR0)	66
0019 ₁₆	アドレス一致割り込みレジスタ2 (RMAD2)	122	0049 ₁₆	外部領域ウエイト制御レジスタ1 (EWCR1)	
001A ₁₆			004A ₁₆	外部領域ウエイト制御レジスタ2 (EWCR2)	
001B ₁₆	電圧検出レジスタ1 (VCR1)	49	004B ₁₆	外部領域ウエイト制御レジスタ3 (EWCR3)	
001C ₁₆			004C ₁₆	ページモードウエイト制御レジスタ0 (PWCR0)	78
001D ₁₆	アドレス一致割り込みレジスタ3 (RMAD3)	122	004D ₁₆	ページモードウエイト制御レジスタ1 (PWCR1)	79
001E ₁₆			004E ₁₆		
001F ₁₆			004F ₁₆		
0020 ₁₆			0050 ₁₆		
0021 ₁₆			0051 ₁₆		
0022 ₁₆			0052 ₁₆		
0023 ₁₆			0053 ₁₆		
0024 ₁₆			0054 ₁₆		
0025 ₁₆			0055 ₁₆	フラッシュメモリ制御レジスタ1 (FMR1)	386
0026 ₁₆	PLL制御レジスタ0 (PLC0)	87	0056 ₁₆		
0027 ₁₆	PLL制御レジスタ1 (PLC1)	87	0057 ₁₆	フラッシュメモリ制御レジスタ0 (FMR0)	385
0028 ₁₆			0058 ₁₆		
0029 ₁₆	アドレス一致割り込みレジスタ4 (RMAD4)	122	0059 ₁₆		
002A ₁₆			005A ₁₆		
002B ₁₆			005B ₁₆		
002C ₁₆			005C ₁₆		
002D ₁₆	アドレス一致割り込みレジスタ5 (RMAD5)	122	005D ₁₆		
002E ₁₆			005E ₁₆		
002F ₁₆	電圧低下検出割り込みレジスタ (D4INT)	51	005F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ		
0060 ₁₆			0090 ₁₆	UART0送信/NACK割り込み制御レジスタ (S0TIC)	112		
0061 ₁₆			0091 ₁₆	UART1バス衝突検出割り込み制御レジスタ (BCN11C)/ UART4バス衝突検出割り込み制御レジスタ (BCN41C)			
0062 ₁₆			0092 ₁₆	UART1送信/NACK割り込み制御レジスタ (S1TIC)			
0063 ₁₆			0093 ₁₆	キー入力割り込み制御レジスタ (KUPIC)			
0064 ₁₆			0094 ₁₆	タイマB0割り込み制御レジスタ (TB0IC)			
0065 ₁₆			0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1 (IIO11C)			
0066 ₁₆			0096 ₁₆	タイマB2割り込み制御レジスタ (TB2IC)			
0067 ₁₆			0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3 (IIO31C)			
0068 ₁₆	DMA0割り込み制御レジスタ (DM0IC)		112	0098 ₁₆		タイマB4割り込み制御レジスタ (TB4IC)	113
0069 ₁₆	タイマB5割り込み制御レジスタ (TB5IC)	0099 ₁₆					
006A ₁₆	DMA2割り込み制御レジスタ (DM2IC)	009A ₁₆		INT4割り込み制御レジスタ (INT4IC)			
006B ₁₆	UART2受信/ACK割り込み制御レジスタ (S2RIC)	009B ₁₆					
006C ₁₆	タイマA0割り込み制御レジスタ (TA0IC)	009C ₁₆		INT2割り込み制御レジスタ (INT2IC)			
006D ₁₆	UART3受信/ACK割り込み制御レジスタ (S3RIC)	009D ₁₆		インテリジェントI/O割り込み制御レジスタ9 (IIO91C)/ CAN割り込み0制御レジスタ (CAN0IC)			
006E ₁₆	タイマA2割り込み制御レジスタ (TA2IC)						
006F ₁₆	UART4受信/ACK割り込み制御レジスタ (S4RIC)	009E ₁₆		INT0割り込み制御レジスタ (INT0IC)			
0070 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)	009F ₁₆		復帰用優先順位レジスタ (RLVL)			
0071 ₁₆	UART0バス衝突検出割り込み制御レジスタ (BCN01C)/ UART3バス衝突検出割り込み制御レジスタ (BCN31C)	113		00A0 ₁₆	割り込み要求レジスタ0 (IIO01R)	125	
				00A1 ₁₆	割り込み要求レジスタ1 (IIO11R)		
0072 ₁₆	UART0受信/ACK割り込み制御レジスタ (S0RIC)			00A2 ₁₆	割り込み要求レジスタ2 (IIO21R)		
0073 ₁₆	A/D0変換割り込み制御レジスタ (AD0IC)			00A3 ₁₆	割り込み要求レジスタ3 (IIO31R)		
0074 ₁₆	UART1受信/ACK割り込み制御レジスタ (S1RIC)			00A4 ₁₆	割り込み要求レジスタ4 (IIO41R)		
0075 ₁₆	インテリジェントI/O割り込み制御レジスタ0 (IIO01C)			00A5 ₁₆			
0076 ₁₆	タイマB1割り込み制御レジスタ (TB11C)			00A6 ₁₆			
0077 ₁₆	インテリジェントI/O割り込み制御レジスタ2 (IIO21C)			00A7 ₁₆			
0078 ₁₆	タイマB3割り込み制御レジスタ (TB31C)			00A8 ₁₆	割り込み要求レジスタ8 (IIO81R)	125	
0079 ₁₆	インテリジェントI/O割り込み制御レジスタ4 (IIO41C)			00A9 ₁₆	割り込み要求レジスタ9 (IIO91R)		
007A ₁₆	INT5割り込み制御レジスタ (INT51C)			00AA ₁₆	割り込み要求レジスタ10 (IIO101R)		
007B ₁₆			00AB ₁₆	割り込み要求レジスタ11 (IIO111R)			
007C ₁₆	INT3割り込み制御レジスタ (INT31C)		00AC ₁₆				
007D ₁₆	インテリジェントI/O割り込み制御レジスタ8 (IIO81C)		00AD ₁₆				
007E ₁₆	INT1割り込み制御レジスタ (INT11C)		00AE ₁₆				
007F ₁₆	インテリジェントI/O割り込み制御レジスタ10 (IIO101C)/ CAN割り込み1制御レジスタ (CAN11C)		112	00AF ₁₆			
				00B0 ₁₆	割り込み許可レジスタ0 (IIO01E)	126	
0080 ₁₆			00B1 ₁₆	割り込み許可レジスタ1 (IIO11E)			
0081 ₁₆	CAN割り込み2制御レジスタ (CAN21C)		00B2 ₁₆	割り込み許可レジスタ2 (IIO21E)			
0082 ₁₆		00B3 ₁₆	割り込み許可レジスタ3 (IIO31E)				
0083 ₁₆		00B4 ₁₆	割り込み許可レジスタ4 (IIO41E)				
0084 ₁₆		00B5 ₁₆					
0085 ₁₆		00B6 ₁₆					
0086 ₁₆		00B7 ₁₆					
0087 ₁₆		00B8 ₁₆	割り込み許可レジスタ8 (IIO81E)	126			
0088 ₁₆	DMA1割り込み制御レジスタ (DM11C)	00B9 ₁₆	割り込み許可レジスタ9 (IIO91E)				
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ (S2TIC)	00BA ₁₆	割り込み許可レジスタ10 (IIO101E)				
008A ₁₆	DMA3割り込み制御レジスタ (DM31C)	00BB ₁₆	割り込み許可レジスタ11 (IIO111E)				
008B ₁₆	UART3送信/NACK割り込み制御レジスタ (S3TIC)	00BC ₁₆					
008C ₁₆	タイマA1割り込み制御レジスタ (TA11C)	00BD ₁₆					
008D ₁₆	UART4送信/NACK割り込み制御レジスタ (S4TIC)	00BE ₁₆					
008E ₁₆	タイマA3割り込み制御レジスタ (TA31C)	00BF ₁₆					
008F ₁₆	UART2バス衝突検出割り込み制御レジスタ (BCN21C)						

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
00C0 ₁₆			00F0 ₁₆	データ比較レジスタ00 (G0CMP0)	297
00C1 ₁₆			00F1 ₁₆	データ比較レジスタ01 (G0CMP1)	
00C2 ₁₆			00F2 ₁₆	データ比較レジスタ02 (G0CMP2)	
00C3 ₁₆			00F3 ₁₆	データ比較レジスタ03 (G0CMP3)	
00C4 ₁₆			00F4 ₁₆	データマスクレジスタ00 (G0MSK0)	
00C5 ₁₆			00F5 ₁₆	データマスクレジスタ01 (G0MSK1)	
00C6 ₁₆			00F6 ₁₆	通信クロック選択レジスタ (CCS)	
00C7 ₁₆			00F7 ₁₆		
00C8 ₁₆			00F8 ₁₆	受信CRCコードレジスタ0 (G0RCRC)	297
00C9 ₁₆			00F9 ₁₆		
00CA ₁₆			00FA ₁₆	送信CRCコードレジスタ0 (G0TCRC)	
00CB ₁₆			00FB ₁₆		
00CC ₁₆			00FC ₁₆	SI/O拡張モードレジスタ0 (G0EMR)	292
00CD ₁₆			00FD ₁₆	SI/O拡張受信制御レジスタ0 (G0ERC)	294
00CE ₁₆			00FE ₁₆	SI/O特殊通信割り込み判別レジスタ0 (G0IRF)	295
00CF ₁₆			00FF ₁₆	SI/O拡張送信制御レジスタ0 (G0ETC)	293
00D0 ₁₆			0100 ₁₆	時間計測 / 波形生成レジスタ10 (G1TM0/G1PO0)	269/ 270
00D1 ₁₆			0101 ₁₆		
00D2 ₁₆			0102 ₁₆	時間計測 / 波形生成レジスタ11 (G1TM1/G1PO1)	
00D3 ₁₆			0103 ₁₆		
00D4 ₁₆			0104 ₁₆	時間計測 / 波形生成レジスタ12 (G1TM2/G1PO2)	
00D5 ₁₆			0105 ₁₆		
00D6 ₁₆			0106 ₁₆	時間計測 / 波形生成レジスタ13 (G1TM3/G1PO3)	
00D7 ₁₆			0107 ₁₆		
00D8 ₁₆			0108 ₁₆	時間計測 / 波形生成レジスタ14 (G1TM4/G1PO4)	
00D9 ₁₆			0109 ₁₆		
00DA ₁₆			010A ₁₆	時間計測 / 波形生成レジスタ15 (G1TM5/G1PO5)	
00DB ₁₆			010B ₁₆		
00DC ₁₆			010C ₁₆	時間計測 / 波形生成レジスタ16 (G1TM6/G1PO6)	
00DD ₁₆			010D ₁₆		
00DE ₁₆			010E ₁₆	時間計測 / 波形生成レジスタ17 (G1TM7/G1PO7)	
00DF ₁₆			010F ₁₆		
00E0 ₁₆			0110 ₁₆	波形生成制御レジスタ10 (G1POCR0)	
00E1 ₁₆			0111 ₁₆	波形生成制御レジスタ11 (G1POCR1)	
00E2 ₁₆			0112 ₁₆	波形生成制御レジスタ12 (G1POCR2)	
00E3 ₁₆			0113 ₁₆	波形生成制御レジスタ13 (G1POCR3)	
00E4 ₁₆			0114 ₁₆	波形生成制御レジスタ14 (G1POCR4)	
00E5 ₁₆			0115 ₁₆	波形生成制御レジスタ15 (G1POCR5)	
00E6 ₁₆			0116 ₁₆	波形生成制御レジスタ16 (G1POCR6)	
00E7 ₁₆			0117 ₁₆	波形生成制御レジスタ17 (G1POCR7)	
00E8 ₁₆	SI/O受信バッファレジスタ0 (G0RB)	290	0118 ₁₆	時間計測制御レジスタ10 (G1TMCR0)	268
00E9 ₁₆					
00EA ₁₆	送信バッファ/受信データレジスタ0 (G0TB/G0DR)	296	0119 ₁₆	時間計測制御レジスタ11 (G1TMCR1)	
00EB ₁₆			011A ₁₆	時間計測制御レジスタ12 (G1TMCR2)	
00EC ₁₆	受信入力レジスタ0 (G0RI)	289	011B ₁₆	時間計測制御レジスタ13 (G1TMCR3)	
00ED ₁₆	SI/O通信モードレジスタ0 (G0MR)	291	011C ₁₆	時間計測制御レジスタ14 (G1TMCR4)	
00EE ₁₆	送信出力レジスタ0 (G0TO)	289	011D ₁₆	時間計測制御レジスタ15 (G1TMCR5)	
00EF ₁₆	SI/O通信制御レジスタ0 (G0CR)	290	011E ₁₆	時間計測制御レジスタ16 (G1TMCR6)	
			011F ₁₆	時間計測制御レジスタ17 (G1TMCR7)	

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
0120 ₁₆	ベースタイマレジスタ1 (G1BT)	266	0150 ₁₆		
0121 ₁₆			0151 ₁₆		
0122 ₁₆	ベースタイマ制御レジスタ10 (G1BCR0)		0152 ₁₆		
0123 ₁₆	ベースタイマ制御レジスタ11 (G1BCR1)	267	0153 ₁₆		
0124 ₁₆	時間計測プリスケアラレジスタ16 (G1TPR6)	267	0154 ₁₆		
0125 ₁₆	時間計測プリスケアラレジスタ17 (G1TPR7)		0155 ₁₆		
0126 ₁₆	機能許可レジスタ1 (G1FE)	271	0156 ₁₆		
0127 ₁₆	機能選択レジスタ1 (G1FS)	270	0157 ₁₆		
0128 ₁₆	S/I/O受信バッファレジスタ1 (G1RB)	290	0158 ₁₆		
0129 ₁₆			0159 ₁₆		
012A ₁₆	送信バッファ/受信データレジスタ1 (G1TB/G1DR)	296	015A ₁₆		
012B ₁₆			015B ₁₆		
012C ₁₆	受信入力レジスタ1 (G1RI)	289	015C ₁₆		
012D ₁₆	S/I/O通信モードレジスタ1 (G1MR)	291	015D ₁₆		
012E ₁₆	送信出力レジスタ1 (G1TO)	289	015E ₁₆		
012F ₁₆	S/I/O通信制御レジスタ1 (G1CR)	290	015F ₁₆		
0130 ₁₆	データ比較レジスタ10 (G1CMP0)	297	0160 ₁₆		
0131 ₁₆	データ比較レジスタ11 (G1CMP1)		0161 ₁₆		
0132 ₁₆	データ比較レジスタ12 (G1CMP2)		0162 ₁₆		
0133 ₁₆	データ比較レジスタ13 (G1CMP3)		0163 ₁₆		
0134 ₁₆	データマスクレジスタ10 (G1MSK0)		0164 ₁₆		
0135 ₁₆	データマスクレジスタ11 (G1MSK1)		0165 ₁₆		
0136 ₁₆			0166 ₁₆		
0137 ₁₆		0167 ₁₆			
0138 ₁₆	受信CRCコードレジスタ1 (G1RCRC)	297	0168 ₁₆		
0139 ₁₆			0169 ₁₆		
013A ₁₆	送信CRCコードレジスタ1 (G1TCRC)	297	016A ₁₆		
013B ₁₆			016B ₁₆		
013C ₁₆	S/I/O拡張モードレジスタ1 (G1EMR)	292	016C ₁₆		
013D ₁₆	S/I/O拡張受信制御レジスタ1 (G1ERC)	294	016D ₁₆		
013E ₁₆	S/I/O特殊通信割り込み判別レジスタ1 (G1IRF)	296	016E ₁₆		
013F ₁₆	S/I/O拡張送信制御レジスタ1 (G1ETC)	293	016F ₁₆		
0140 ₁₆			0170 ₁₆		
0141 ₁₆			0171 ₁₆		
0142 ₁₆			0172 ₁₆		
0143 ₁₆			0173 ₁₆		
0144 ₁₆			0174 ₁₆		
0145 ₁₆			0175 ₁₆		
0146 ₁₆			0176 ₁₆		
0147 ₁₆			0177 ₁₆		
0148 ₁₆			0178 ₁₆	入力機能選択レジスタ (IPS)	373
0149 ₁₆			0179 ₁₆	入力機能選択レジスタA (IPSA)	374
014A ₁₆			017A ₁₆		
014B ₁₆			017B ₁₆		
014C ₁₆			017C ₁₆		
014D ₁₆			017D ₁₆		
014E ₁₆			}		
014F ₁₆			01DF ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ		
01E016	CAN0メッセージスロットバッファ0標準ID0 (C0SLOT0_0)	344	021016	CAN0スロット割り込みマスクレジスタ (C0SIMKR)	327		
01E116	CAN0メッセージスロットバッファ0標準ID1 (C0SLOT0_1)						
01E216	CAN0メッセージスロットバッファ0拡張ID0 (C0SLOT0_2)	345	021216				
01E316	CAN0メッセージスロットバッファ0拡張ID1 (C0SLOT0_3)						
01E416	CAN0メッセージスロットバッファ0拡張ID2 (C0SLOT0_4)	346	021416	CAN0エラー割り込みマスクレジスタ (C0EIMKR)	328		
01E516	CAN0メッセージスロットバッファ0データ長コード (C0SLOT0_5)		021516	CAN0エラー割り込みステータスレジスタ (C0EISTR)	329		
01E616	CAN0メッセージスロットバッファ0データ0 (C0SLOT0_6)	347	021616	CAN0エラー要因レジスタ (C0EFR)	330		
01E716	CAN0メッセージスロットバッファ0データ1 (C0SLOT0_7)		021716	CAN0ポーレートプリスケアラ (C0BRP)	323		
01E816	CAN0メッセージスロットバッファ0データ2 (C0SLOT0_8)		021816				
01E916	CAN0メッセージスロットバッファ0データ3 (C0SLOT0_9)		021916	CAN0モードレジスタ (C0MDR)	331		
01EA16	CAN0メッセージスロットバッファ0データ4 (C0SLOT0_10)		021A16				
01EB16	CAN0メッセージスロットバッファ0データ5 (C0SLOT0_11)		021B16				
01EC16	CAN0メッセージスロットバッファ0データ6 (C0SLOT0_12)		021C16				
01ED16	CAN0メッセージスロットバッファ0データ7 (C0SLOT0_13)		021D16				
01EE16	CAN0メッセージスロットバッファ0タイムスタンプ上位 (C0SLOT0_14)		021E16				
01EF16	CAN0メッセージスロットバッファ0タイムスタンプ下位 (C0SLOT0_15)		021F16				
01F016	CAN0メッセージスロットバッファ1標準ID0 (C0SLOT1_0)	344	022016	CAN0シングルショット制御レジスタ (C0SSCTLR)	333		
01F116	CAN0メッセージスロットバッファ1標準ID1 (C0SLOT1_1)						
01F216	CAN0メッセージスロットバッファ1拡張ID0 (C0SLOT1_2)	345	022216				
01F316	CAN0メッセージスロットバッファ1拡張ID1 (C0SLOT1_3)						
01F416	CAN0メッセージスロットバッファ1拡張ID2 (C0SLOT1_4)	346	022416	CAN0シングルショットステータスレジスタ (C0SSSTR)	335		
01F516	CAN0メッセージスロットバッファ1データ長コード (C0SLOT1_5)		022516				
01F616	CAN0メッセージスロットバッファ1データ0 (C0SLOT1_6)	347	022616				
01F716	CAN0メッセージスロットバッファ1データ1 (C0SLOT1_7)		022716				
01F816	CAN0メッセージスロットバッファ1データ2 (C0SLOT1_8)		022816			CAN0グローバルマスクレジスタ標準ID0 (C0GMR0)	336
01F916	CAN0メッセージスロットバッファ1データ3 (C0SLOT1_9)		022916			CAN0グローバルマスクレジスタ標準ID1 (C0GMR1)	
01FA16	CAN0メッセージスロットバッファ1データ4 (C0SLOT1_10)		022A16			CAN0グローバルマスクレジスタ拡張ID0 (C0GMR2)	337
01FB16	CAN0メッセージスロットバッファ1データ5 (C0SLOT1_11)		022B16			CAN0グローバルマスクレジスタ拡張ID1 (C0GMR3)	
01FC16	CAN0メッセージスロットバッファ1データ6 (C0SLOT1_12)		022C16			CAN0グローバルマスクレジスタ拡張ID2 (C0GMR4)	338
01FD16	CAN0メッセージスロットバッファ1データ7 (C0SLOT1_13)		022D16				
01FE16	CAN0メッセージスロットバッファ1タイムスタンプ上位 (C0SLOT1_14)		022E16				
01FF16	CAN0メッセージスロットバッファ1タイムスタンプ下位 (C0SLOT1_15)		022F16				
020016	CAN0制御レジスタ0 (C0CTRL0)	312	023016	CAN0メッセージスロット0制御レジスタ (C0MCTL0)/ CAN0ローカルマスクレジスタA標準ID0 (COLMAR0)	340/		
020116				023116	CAN0メッセージスロット1制御レジスタ (C0MCTL1)/ CAN0ローカルマスクレジスタA標準ID1 (COLMAR1)	336	
020216	CAN0ステータスレジスタ (C0STR)	317	023216	CAN0メッセージスロット2制御レジスタ (C0MCTL2)/ CAN0ローカルマスクレジスタA拡張ID0 (COLMAR2)	340/		
020316				023316	CAN0メッセージスロット3制御レジスタ (C0MCTL3)/ CAN0ローカルマスクレジスタA拡張ID1 (COLMAR3)	337	
020416	CAN0拡張IDレジスタ (C0IDR)	320	023416	CAN0メッセージスロット4制御レジスタ (C0MCTL4)/ CAN0ローカルマスクレジスタA拡張ID2 (COLMAR4)	340/		
020516				023516	CAN0メッセージスロット5制御レジスタ (C0MCTL5)	340	
020616	CAN0コンフィグレーションレジスタ (C0CONR)	321	023616	CAN0メッセージスロット6制御レジスタ (C0MCTL6)			
020716				023716	CAN0メッセージスロット7制御レジスタ (C0MCTL7)		
020816	CAN0タイムスタンプレジスタ (C0TSR)	323	023816	CAN0メッセージスロット8制御レジスタ (C0MCTL8)/ CAN0ローカルマスクレジスタB標準ID0 (COLMBR0)	340/		
020916				023916	CAN0メッセージスロット9制御レジスタ (C0MCTL9)/ CAN0ローカルマスクレジスタB標準ID1 (COLMBR1)	336	
020A16	CAN0送信エラーカウントレジスタ (C0TEC)	324					
020B16	CAN0受信エラーカウントレジスタ (C0REC)						
020C16	CAN0スロット割り込みステータスレジスタ (C0SISTR)	325					
020D16							
020E16							
020F16							

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
023A ₁₆	CAN0メッセージスロット10制御レジスタ (COMCTL10)/ CAN0ローカルマスクレジスタB拡張ID0 (COLMBR2)	340/ 337	02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ (X0R,Y0R)	261
023B ₁₆	CAN0メッセージスロット11制御レジスタ (COMCTL11)/ CAN0ローカルマスクレジスタB拡張ID1 (COLMBR3)		02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ (X1R,Y1R)	
023C ₁₆	CAN0メッセージスロット12制御レジスタ (COMCTL12)/ CAN0ローカルマスクレジスタB拡張ID2 (COLMBR4)	340/ 338	02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ (X2R,Y2R)	
023D ₁₆	CAN0メッセージスロット13制御レジスタ (COMCTL13)	340	02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ (X3R,Y3R)	
023E ₁₆	CAN0メッセージスロット14制御レジスタ (COMCTL14)				
023F ₁₆	CAN0メッセージスロット15制御レジスタ (COMCTL15)		02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ (X4R,Y4R)	
0240 ₁₆	CAN0スロットバッファ選択レジスタ (COSBS)	343	02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ (X5R,Y5R)	
0241 ₁₆	CAN0制御レジスタ1 (COCTLR1)	315	02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ (X6R,Y6R)	
0242 ₁₆	CAN0スリープ制御レジスタ (COSLPR)	316	02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ (X7R,Y7R)	
0243 ₁₆			02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ (X8R,Y8R)	
0244 ₁₆	CAN0アクセプタンスフィルタサポートレジスタ (COAFS)	348	02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ (X9R,Y9R)	
0245 ₁₆					
0246 ₁₆			02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ (X10R,Y10R)	
0247 ₁₆			02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ (X11R,Y11R)	
0248 ₁₆			02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ (X12R,Y12R)	
0249 ₁₆			02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ (X13R,Y13R)	
024A ₁₆			02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ (X14R,Y14R)	
024B ₁₆			02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ (X15R,Y15R)	
024C ₁₆			02E0 ₁₆	X/Y制御レジスタ (XYC)	
024D ₁₆			02E1 ₁₆		
024E ₁₆			02E2 ₁₆		
024F ₁₆			02E3 ₁₆		
0250 ₁₆			02E4 ₁₆	UART1特殊モードレジスタ4 (U1SMR4)	
0251 ₁₆			02E5 ₁₆	UART1特殊モードレジスタ3 (U1SMR3)	
0252 ₁₆			02E6 ₁₆	UART1特殊モードレジスタ2 (U1SMR2)	
0253 ₁₆			02E7 ₁₆	UART1特殊モードレジスタ (U1SMR)	
0254 ₁₆			02E8 ₁₆	UART1送受信モードレジスタ (U1MR)	
0255 ₁₆			02E9 ₁₆	UART1転送速度レジスタ (U1BRG)	
0256 ₁₆			02EA ₁₆ 02EB ₁₆	UART1送信バッファレジスタ (U1TB)	
0257 ₁₆			02EC ₁₆	UART1送受信制御レジスタ0 (U1C0)	
0258 ₁₆			02ED ₁₆	UART1送受信制御レジスタ1 (U1C1)	
0259 ₁₆			02EE ₁₆ 02EF ₁₆	UART1受信バッファレジスタ (U1RB)	
025A ₁₆					
025B ₁₆					
025C ₁₆					
025D ₁₆					
025E ₁₆					
025F ₁₆					
0260 ₁₆					
0261 ₁₆					
0262 ₁₆					
0263 ₁₆					
0264 ₁₆					
0265 ₁₆					
0266 ₁₆					
0267 ₁₆					
0268 ₁₆					
0269 ₁₆					
026A ₁₆					
026B ₁₆					
026C ₁₆					
026D ₁₆					
026E ₁₆					
026F ₁₆					

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
02F016			032016		
02F116			032116		
02F216			032216		
02F316			032316		
02F416	UART4特殊モードレジスタ4 (U4SMR4)	196	032416	UART3特殊モードレジスタ4 (U3SMR4)	196
02F516	UART4特殊モードレジスタ3 (U4SMR3)	195	032516	UART3特殊モードレジスタ3 (U3SMR3)	195
02F616	UART4特殊モードレジスタ2 (U4SMR2)	194	032616	UART3特殊モードレジスタ2 (U3SMR2)	194
02F716	UART4特殊モードレジスタ (U4SMR)	193	032716	UART3特殊モードレジスタ (U3SMR)	193
02F816	UART4送受信モードレジスタ (U4MR)		032816	UART3送受信モードレジスタ (U3MR)	
02F916	UART4転送速度レジスタ (U4BRG)	191	032916	UART3転送速度レジスタ (U3BRG)	191
02FA16			032A16		
02FB16	UART4送信バッファレジスタ (U4TB)	190	032B16	UART3送信バッファレジスタ (U3TB)	190
02FC16	UART4送受信制御レジスタ0 (U4C0)	192	032C16	UART3送受信制御レジスタ0 (U3C0)	192
02FD16	UART4送受信制御レジスタ1 (U4C1)	193	032D16	UART3送受信制御レジスタ1 (U3C1)	193
02FE16			032E16		
02FF16	UART4受信バッファレジスタ (U4RB)	190	032F16	UART3受信バッファレジスタ (U3RB)	190
030016	タイマB3,B4,B5カウント開始フラグ (TBSR)	171	033016		
030116			033116		
030216			033216		
030316	タイマA1-1レジスタ (TA11)		033316		
030416			033416	UART2特殊モードレジスタ4 (U2SMR4)	196
030516	タイマA2-1レジスタ (TA21)	183	033516	UART2特殊モードレジスタ3 (U2SMR3)	195
030616			033616	UART2特殊モードレジスタ2 (U2SMR2)	194
030716	タイマA4-1レジスタ (TA41)		033716	UART2特殊モードレジスタ (U2SMR)	193
030816	三相PWM制御レジスタ0 (INVC0)	180	033816	UART2送受信モードレジスタ (U2MR)	
030916	三相PWM制御レジスタ1 (INVC1)	181	033916	UART2転送速度レジスタ (U2BRG)	191
030A16	三相出力バッファレジスタ0 (IDB0)		033A16		
030B16	三相出力バッファレジスタ1 (IDB1)	182	033B16	UART2送信バッファレジスタ (U2TB)	190
030C16	短絡防止タイマ (DTT)	182	033C16	UART2送受信制御レジスタ0 (U2C0)	192
030D16	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	183	033D16	UART2送受信制御レジスタ1 (U2C1)	193
030E16			033E16		
030F16			033F16	UART2受信バッファレジスタ (U2RB)	190
031016			034016	カウント開始フラグ (TABSR)	154
031116	タイマB3レジスタ (TB3)		034116	時計用プリスケアラセットフラグ (CPSRF)	86
031216			034216	ワンショット開始フラグ (ONSF)	155
031316	タイマB4レジスタ (TB4)	169	034316	トリガ選択レジスタ (TRGSR)	156
031416			034416	アップダウンフラグ (UDF)	155
031516	タイマB5レジスタ (TB5)		034516		
031616			034616		
031716			034716	タイマA0レジスタ (TA0)	
031816			034816		
031916			034916	タイマA1レジスタ (TA1)	
031A16			034A16		
031B16	タイマB3モードレジスタ (TB3MR)		034B16	タイマA2レジスタ (TA2)	153
031C16	タイマB4モードレジスタ (TB4MR)	170	034C16		
031D16	タイマB5モードレジスタ (TB5MR)		034D16	タイマA3レジスタ (TA3)	
031E16			034E16		
031F16	外部割り込み要因選択レジスタ (IFSR)	120	034F16	タイマA4レジスタ (TA4)	

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ (TB0)	169	0380 ₁₆ 0381 ₁₆	A/D0レジスタ0 (AD00)	247
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ (TB1)		0382 ₁₆ 0383 ₁₆	A/D0レジスタ1 (AD01)	
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ (TB2)		0384 ₁₆ 0385 ₁₆	A/D0レジスタ2 (AD02)	
0356 ₁₆	タイマA0モードレジスタ (TA0MR)	154	0386 ₁₆ 0387 ₁₆	A/D0レジスタ3 (AD03)	
0357 ₁₆	タイマA1モードレジスタ (TA1MR)		0388 ₁₆ 0389 ₁₆	A/D0レジスタ4 (AD04)	
0358 ₁₆	タイマA2モードレジスタ (TA2MR)		038A ₁₆ 038B ₁₆	A/D0レジスタ5 (AD05)	
0359 ₁₆	タイマA3モードレジスタ (TA3MR)		038C ₁₆ 038D ₁₆	A/D0レジスタ6 (AD06)	
035A ₁₆	タイマA4モードレジスタ (TA4MR)	170	038E ₁₆ 038F ₁₆	A/D0レジスタ7 (AD07)	
035B ₁₆	タイマB0モードレジスタ (TB0MR)		0390 ₁₆ 0391 ₁₆		
035C ₁₆	タイマB1モードレジスタ (TB1MR)	183	0392 ₁₆	A/D0制御レジスタ4 (AD0CON4)	247
035D ₁₆	タイマB2モードレジスタ (TB2MR)		0393 ₁₆		
035E ₁₆	タイマB2特殊モードレジスタ (TB2SC)	86	0394 ₁₆	A/D0制御レジスタ2 (AD0CON2)	245
035F ₁₆	カウントソースプリスケアラレジスタ (TCSPR)		0395 ₁₆	A/D0制御レジスタ3 (AD0CON3)	246
0360 ₁₆			0396 ₁₆	A/D0制御レジスタ0 (AD0CON0)	243
0361 ₁₆			0397 ₁₆	A/D0制御レジスタ1 (AD0CON1)	244
0362 ₁₆			0398 ₁₆	D/Aレジスタ0 (DA0)	257
0363 ₁₆			0399 ₁₆		
0364 ₁₆	UART0特殊モードレジスタ4 (U0SMR4)	196	039A ₁₆	D/Aレジスタ1 (DA1)	257
0365 ₁₆	UART0特殊モードレジスタ3 (U0SMR3)	195	039B ₁₆		
0366 ₁₆	UART0特殊モードレジスタ2 (U0SMR2)	194	039C ₁₆	D/A制御レジスタ (DACON)	257
0367 ₁₆	UART0特殊モードレジスタ (U0SMR)	193	039D ₁₆		
0368 ₁₆	UART0送受信モードレジスタ (U0MR)	191	039E ₁₆ 039F ₁₆		
0369 ₁₆	UART0転送速度レジスタ (U0BRG)		03A0 ₁₆	機能選択レジスタA8 (PS8)	365
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ (U0TB)	190	03A1 ₁₆	機能選択レジスタA9 (PS9)	366
036C ₁₆	UART0送受信制御レジスタ0 (U0C0)	192	03A2 ₁₆		
036D ₁₆	UART0送受信制御レジスタ1 (U0C1)	193	03A3 ₁₆		
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ (U0RB)	190	03A4 ₁₆		
0370 ₁₆			03A5 ₁₆		
0371 ₁₆			03A6 ₁₆		
0372 ₁₆			03A7 ₁₆	機能選択レジスタD1 (PSD1)	370
0373 ₁₆			03A8 ₁₆		
0374 ₁₆			03A9 ₁₆		
0375 ₁₆			03AA ₁₆		
0376 ₁₆			03AB ₁₆		
0377 ₁₆			03AC ₁₆	機能選択レジスタC2 (PSC2)	369
0378 ₁₆	DMA0要因選択レジスタ (DM0SL)	133	03AD ₁₆	機能選択レジスタC3 (PSC3)	370
0379 ₁₆	DMA1要因選択レジスタ (DM1SL)		03AE ₁₆		
037A ₁₆	DMA2要因選択レジスタ (DM2SL)		03AF ₁₆	機能選択レジスタC (PSC)	370
037B ₁₆	DMA3要因選択レジスタ (DM3SL)				
037C ₁₆ 037D ₁₆	CRCデータレジスタ (CRCD)	256			
037E ₁₆	CRCインプットレジスタ (CRCIN)				
037F ₁₆					

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ
03B0 ₁₆	機能選択レジスタA0 (PS0)	363
03B1 ₁₆	機能選択レジスタA1 (PS1)	
03B2 ₁₆	機能選択レジスタB0 (PSL0)	367
03B3 ₁₆	機能選択レジスタB1 (PSL1)	
03B4 ₁₆	機能選択レジスタA2 (PS2)	364
03B5 ₁₆	機能選択レジスタA3 (PS3)	
03B6 ₁₆	機能選択レジスタB2 (PSL2)	368
03B7 ₁₆	機能選択レジスタB3 (PSL3)	
03B8 ₁₆		
03B9 ₁₆	機能選択レジスタA5 (PS5)	365
03BA ₁₆		
03BB ₁₆		
03BC ₁₆		
03BD ₁₆		
03BE ₁₆		
03BF ₁₆		
03C0 ₁₆	ポートP6レジスタ (P6)	362
03C1 ₁₆	ポートP7レジスタ (P7)	
03C2 ₁₆	ポートP6方向レジスタ (PD6)	361
03C3 ₁₆	ポートP7方向レジスタ (PD7)	
03C4 ₁₆	ポートP8レジスタ (P8)	362
03C5 ₁₆	ポートP9レジスタ (P9)	
03C6 ₁₆	ポートP8方向レジスタ (PD8)	361
03C7 ₁₆	ポートP9方向レジスタ (PD9)	
03C8 ₁₆	ポートP10レジスタ (P10)	362
03C9 ₁₆	ポートP11レジスタ (P11)	
03CA ₁₆	ポートP10方向レジスタ (PD10)	361
03CB ₁₆	ポートP11方向レジスタ (PD11)	
03CC ₁₆	ポートP12レジスタ (P12)	362
03CD ₁₆	ポートP13レジスタ (P13)	
03CE ₁₆	ポートP12方向レジスタ (PD12)	361
03CF ₁₆	ポートP13方向レジスタ (PD13)	
03D0 ₁₆	ポートP14レジスタ (P14)	362
03D1 ₁₆	ポートP15レジスタ (P15)	
03D2 ₁₆	ポートP14方向レジスタ (PD14)	361
03D3 ₁₆	ポートP15方向レジスタ (PD15)	
03D4 ₁₆		
03D5 ₁₆		
03D6 ₁₆		
03D7 ₁₆		
03D8 ₁₆		
03D9 ₁₆		
03DA ₁₆	ブルアップ制御レジスタ2 (PUR2)	371
03DB ₁₆	ブルアップ制御レジスタ3 (PUR3)	372
03DC ₁₆	ブルアップ制御レジスタ4 (PUR4)	
03DD ₁₆		
03DE ₁₆		
03DF ₁₆		

番地	レジスタ	掲載 ページ
03E0 ₁₆	ポートP0レジスタ (P0)	362
03E1 ₁₆	ポートP1レジスタ (P1)	
03E2 ₁₆	ポートP0方向レジスタ (PD0)	361
03E3 ₁₆	ポートP1方向レジスタ (PD1)	
03E4 ₁₆	ポートP2レジスタ (P2)	362
03E5 ₁₆	ポートP3レジスタ (P3)	
03E6 ₁₆	ポートP2方向レジスタ (PD2)	361
03E7 ₁₆	ポートP3方向レジスタ (PD3)	
03E8 ₁₆	ポートP4レジスタ (P4)	362
03E9 ₁₆	ポートP5レジスタ (P5)	
03EA ₁₆	ポートP4方向レジスタ (PD4)	361
03EB ₁₆	ポートP5方向レジスタ (PD5)	
03EC ₁₆		
03ED ₁₆		
03EE ₁₆		
03EF ₁₆		
03F0 ₁₆	ブルアップ制御レジスタ0 (PUR0)	371
03F1 ₁₆	ブルアップ制御レジスタ1 (PUR1)	
03F2 ₁₆		373
03F3 ₁₆		
03F4 ₁₆		
03F5 ₁₆		
03F6 ₁₆		
03F7 ₁₆		
03F8 ₁₆		
03F9 ₁₆		
03FA ₁₆		
03FB ₁₆		
03FC ₁₆		
03FD ₁₆		
03FE ₁₆		
03FF ₁₆	ポート制御レジスタ (PCR)	373

空欄はすべて予約領域です。使用できません。

M32C/84グループ(M32C/84、 M32C/84T)

SINGLE-CHIP 16/32-BIT CMOS MICROCOMPUTER

1. 概要

M32C/84グループ(M32C/84、 M32C/84T)は高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、144ピン版と100ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応用

自動車、オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.2 性能概要

表1.1、表1.2にM32C/84グループ(M32C/84、M32C/84T)の性能概要を示します。

表1.1 M32C/84グループ(M32C/84、M32C/84T)の性能概要(144ピン版)

項目	性能		
	M32C/84	M32C/84T	
CPU	基本命令数	108命令	
	最短命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2 ~ 5.5V) 41.7ns (f(BCLK)=24MHz時、V _{CC1} =3.0 ~ 5.5V)	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2 ~ 5.5V)
	動作モード	シングルチップ、メモリ拡張、 マイクロプロセッサ	シングルチップ
	アドレス空間	16Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	入出力ポート	入出力：123本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	インテリジェント I/O	時間計測機能または波形生成機能：16ビット×8チャンネル 通信機能 (クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理)	
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注1) 、IEBus ^(注2)	
	CAN	1チャンネル CAN2.0B仕様準拠	
	A/Dコンバータ	10ビット A/Dコンバータ：1回路、34チャンネル	
	D/A変換器	8ビット×2チャンネル	
	DMAC	4チャンネル	
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能	
	CRC演算回路	CRC-CCITT方式	
	X/Y変換回路	16ビット×16ビット	
	ウォッチドッグタイマ	15ビット×1チャンネル (プリスケアラ付)	
	割り込み	内部：38要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶共振子外付け	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	あり (オプション)	なし ^(注4)
	電気的特性	電源電圧	V _{CC1} =4.2V ~ 5.5V、V _{CC2} =3.0V ~ V _{CC1} (f(BCLK)=32MHz) V _{CC1} =3.0V ~ 5.5V、V _{CC2} =3.0V ~ V _{CC1} (f(BCLK)=24MHz)
消費電流		28mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 22mA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=24MHz) 10μA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32kHz、 ウエイトモード)	28mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 10μA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32kHz、 ウエイトモード)
フラッシュ メモリ版	プログラム、 イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V	5.0V ± 0.5V
	プログラム、 イレーズ回数	100回(全領域)	
動作周囲温度	- 20 ~ 85、- 40 ~ 85 (オプション)	- 40 ~ 85 (Tバージョン) - 40 ~ 105 (Uバージョン)	
パッケージ	144ピンプラスチックモールドLQFP		

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. M32C/84T(高信頼性版)は、V_{CC1}=V_{CC2}で使用してください。

注4. コールドスタート/ウォームスタート判定機能のみオプションにて使用可能です。
オプション機能をご使用になる場合は、その旨ご指定ください。

表1.2 M32C/84グループ(M32C/84、M32C/84T)の性能概要(100ピン版)

項目	性能			
	M32C/84	M32C/84T		
CPU	基本命令数	108命令		
	最短命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2~5.5V) 41.7ns (f(BCLK)=24MHz時、V _{CC1} =3.0~5.5V)	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2~5.5V)	
	動作モード	シングルチップ、メモリ拡張、 マイクロプロセッサ	シングルチップ	
	アドレス空間	16Mバイト		
	メモリ容量	表1.3を参照してください		
周辺機能	入出力ポート	入出力：87本、入力：1本		
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路		
	インテリジェントI/O	時間計測機能または波形生成機能：16ビット×8チャンネル 通信機能(クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理)		
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注1) 、IEBus ^(注2)		
	CAN	1チャンネル CAN2.0B仕様準拠		
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル		
	D/Aコンバータ	8ビット×2チャンネル		
	DMAC	4チャンネル		
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能		
	CRC演算回路	CRC-CCITT方式		
	X/Y変換回路	16ビット×16ビット		
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)		
	割り込み	内部：38要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル		
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶共振子外付け		
	発振停止検出機能	メインクロック発振停止検出機能		
	電圧検出回路	あり(オプション)	なし ^(注4)	
	電气的特性	電源電圧	V _{CC1} =4.2V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=32MHz) V _{CC1} =3.0V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=24MHz)	V _{CC1} =V _{CC2} =4.2V~5.5V (f(BCLK)=32MHz) ^(注3)
消費電流		28mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 22mA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=24MHz) 10μA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32kHz、 ウェイトモード)	28mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 10μA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32kHz、 ウェイトモード)	
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V		
	プログラム、イレーズ回数	100回(全領域)		
動作周囲温度	-20 ~ 85、-40 ~ 85 (オプション)		-40 ~ 85 (Tバージョン) -40 ~ 105 (Uバージョン)	
パッケージ	100ピンプラスチックモールドLQFP/QFP			

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. M32C/84T(高信頼性版)は、V_{CC1}=V_{CC2}で使用してください。

注4. コールドスタート/ウォームスタート判定機能のみオプションにて使用可能です。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にM32C/84グループ(M32C/84、M32C/84T)のブロック図を示します。

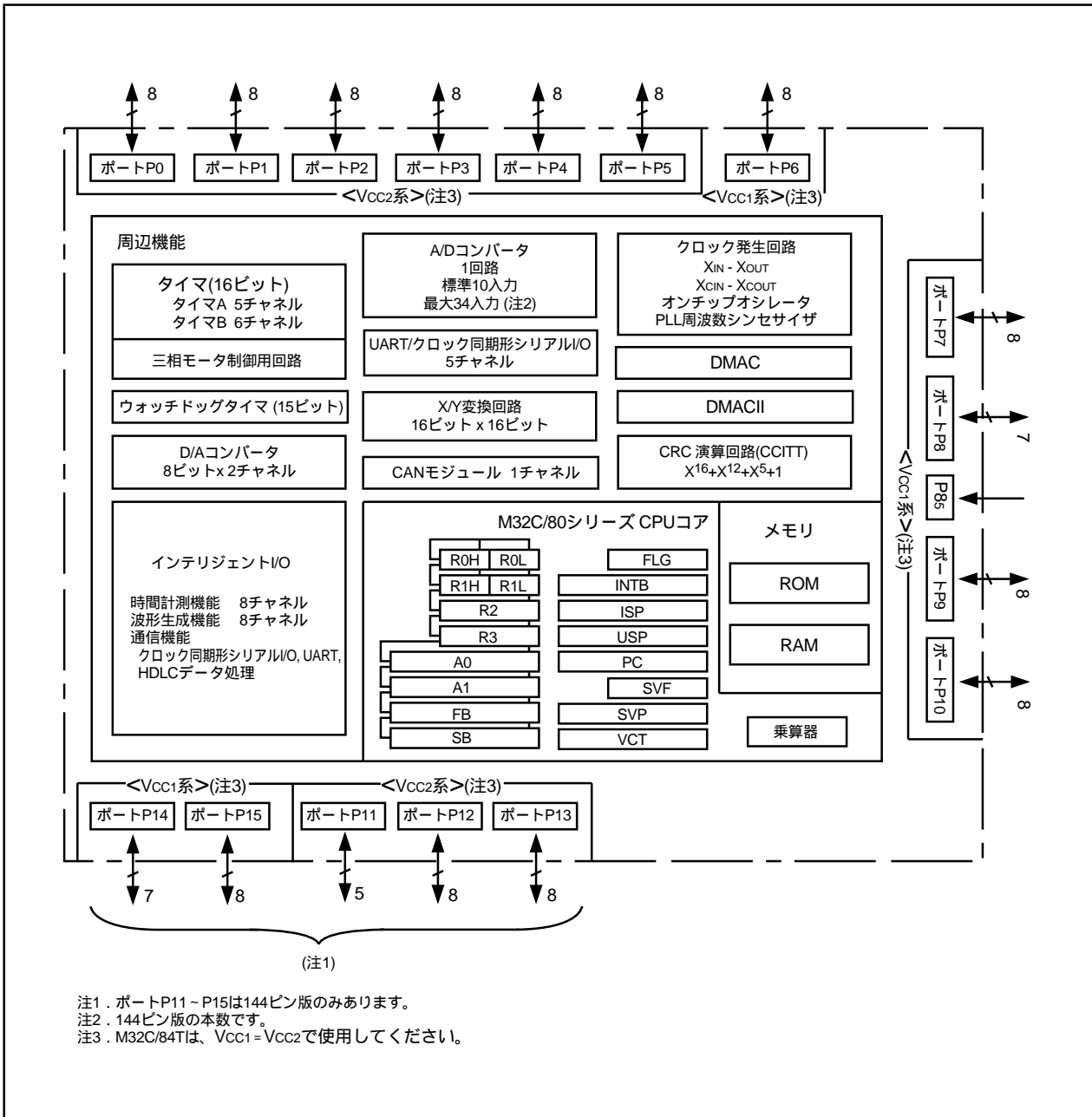


図1.1 M32C/84グループ(M32C/84、M32C/84T)のブロック図

1.4 製品一覧

表1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表(1)(M32C/84)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考	
M30845FJGP	PLQP0144KA-A (144P6Q-A)	512K+4K	24K	フラッシュ メモリ版	
M30843FJGP	PLQP0100KB-A (100P6Q-A)				
M30843FJFP	PRQP0100JB-A (100P6S-A)				
M30845FHGP	PLQP0144KA-A (144P6Q-A)	384K+4K			
M30843FHGP	PLQP0100KB-A (100P6Q-A)				
M30843FHFP	PRQP0100JB-A (100P6S-A)				
M30845FWGP	PLQP0144KA-A (144P6Q-A)	320K+4K		16K	マスクROM版
M30843FWGP	PLQP0100KB-A (100P6Q-A)				
M30845MW-XXXGP	PLQP0144KA-A (144P6Q-A)	320K			
M30843MW-XXXGP	PLQP0100KB-A (100P6Q-A)				
M30843MW-XXXFP	PRQP0100JB-A (100P6S-A)				
M30842ME-XXXGP	PLQP0144KA-A (144P6Q-A)	192K	10K		
M30840ME-XXXGP	PLQP0100KB-A (100P6Q-A)				
M30840ME-XXXFP	PRQP0100JB-A (100P6S-A)				
M30842MC-XXXGP	PLQP0144KA-A (144P6Q-A)	128K			ROMレス版
M30840MC-XXXGP	PLQP0100KB-A (100P6Q-A)				
M30840MC-XXXFP	PRQP0100JB-A (100P6S-A)				
M30842SGP	PLQP0144KA-A (144P6Q-A)	---			
M30840SGP	PLQP0100KB-A (100P6Q-A)				
M30840SFP	PRQP0100JB-A (100P6S-A)				

表1.3 製品一覧表(2)(M32C/84T : Tバージョン)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30845FJTGP	PLQP0144KA-A (144P6Q-A)	512K+4K	24K	フラッシュ メモリ版 Tバージョン (高信頼性85 版)
M30843FJTGP	PLQP0100KB-A (100P6Q-A)			
M30845FHTGP	PLQP0144KA-A (144P6Q-A)			
M30843FHTGP	PLQP0100KB-A (100P6Q-A)	384K+4K		
M30843FWTGP	PLQP0100KB-A (100P6Q-A)			
M30842MCT-XXXGP	PLQP0144KA-A (144P6Q-A)	128K		
M30840MCT-XXXGP	PLQP0100KB-A (100P6Q-A)			

表1.3 製品一覧表(3)(M32C/84T : Uバージョン)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30845FJUGP	PLQP0144KA-A (144P6Q-A)	512K+4K	24K	フラッシュ メモリ版 Uバージョン (高信頼性105 版)
M30843FJUGP	PLQP0100KB-A (100P6Q-A)			
M30845FHUGP	PLQP0144KA-A (144P6Q-A)	384K+4K		
M30843FHUGP	PLQP0100KB-A (100P6Q-A)			

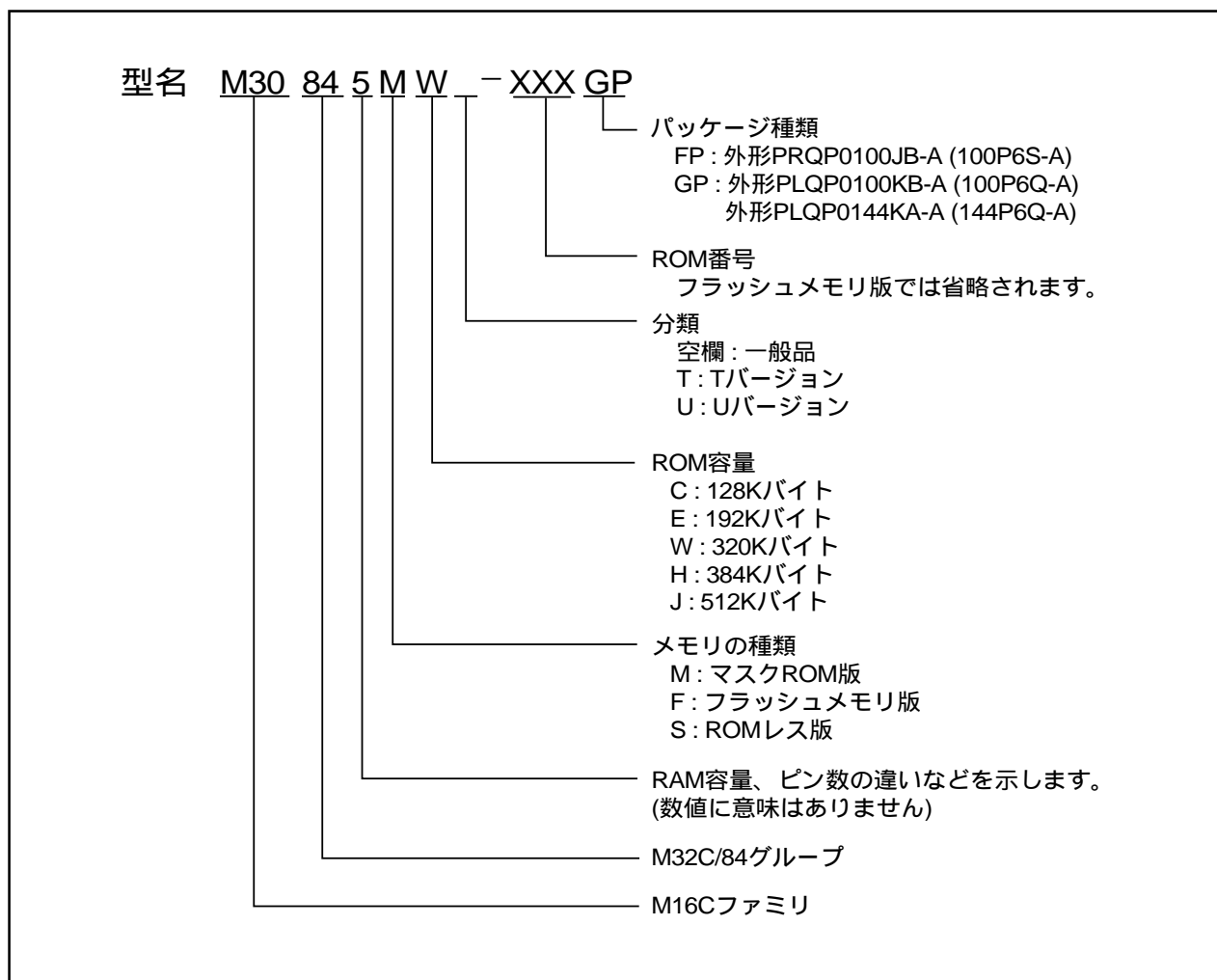
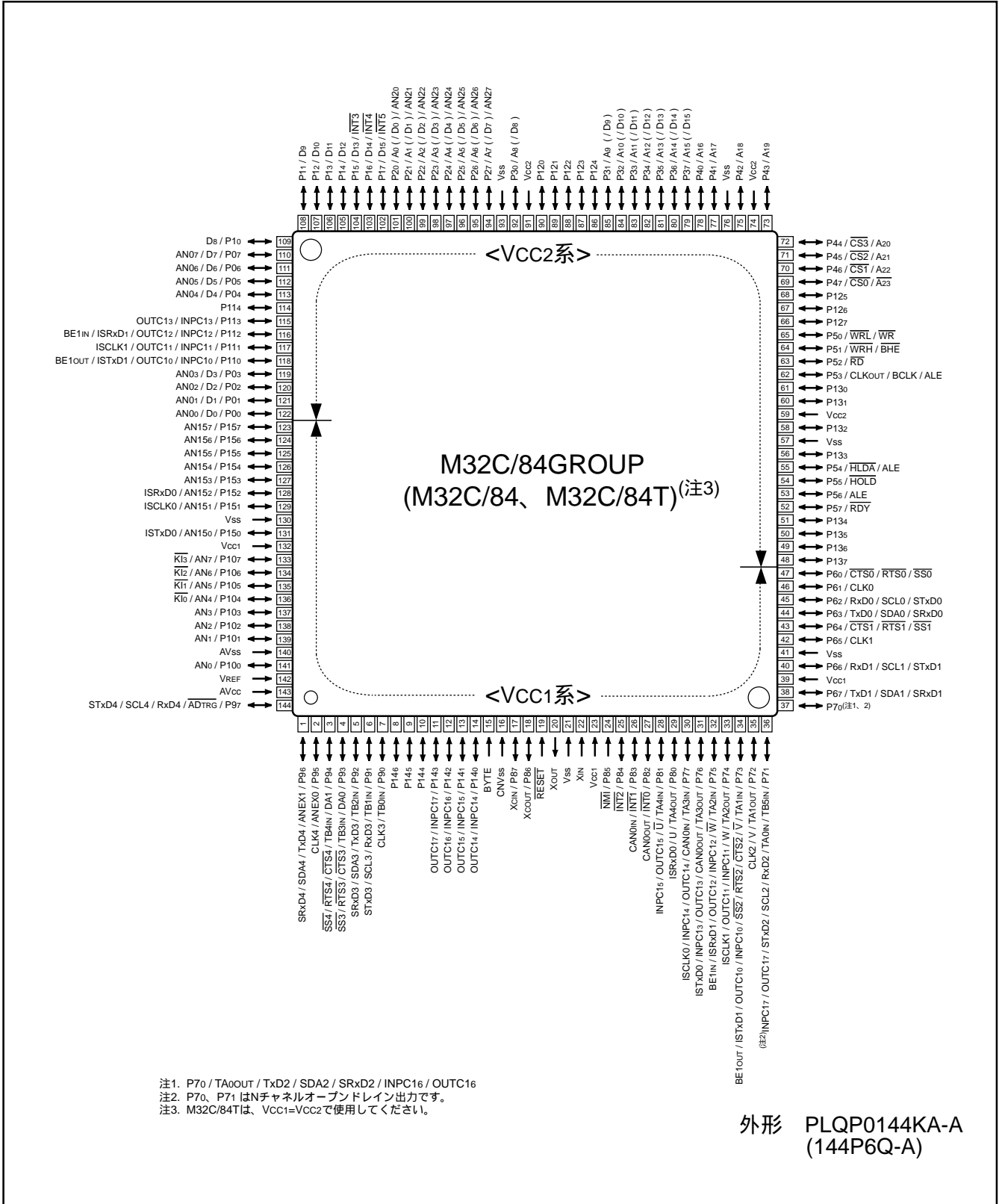


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3～図1.5にピン接続図(上面図)を示します。



注1. P70 / TA0out / TxD2 / SDA2 / SRxD2 / INPC16 / OUTC16
 注2. P70、P71はNチャネルオープンドレイン出力です。
 注3. M32C/84Tは、Vcc1=Vcc2で使用してください。

図1.3 144ピン版ピン接続図(上面図)

表1.4 144ピン版ピン端子名一覧表(1/3)

Pin No	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN 端子	インテリジェント I/O 端子	アナログ端子	バス制御端子(注1)
1		P96			TxD4/SDA4/SRx4		ANEX1	
2		P95			CLK4		ANEX0	
3		P94		TB4IN	CTS4/RTS4/SS4		DA1	
4		P93		TB3IN	CTS3/RTS3/SS3		DA0	
5		P92		TB2IN	TxD3/SDA3/SRx3			
6		P91		TB1IN	RxD3/SCL3/STxD3			
7		P90		TB0IN	CLK3			
8		P146						
9		P145						
10		P144						
11		P143				INPC17/OUTC17		
12		P142				INPC16/OUTC16		
13		P141				INPC15/OUTC15		
14		P140				INPC14/OUTC14		
15	BYTE							
16	CNVss							
17	XCIN	P87						
18	XCOUT	P86						
19	RESET							
20	XOUT							
21	Vss							
22	XIN							
23	Vcc1							
24		P85	NMI					
25		P84	INT2					
26		P83	INT1		CAN0IN			
27		P82	INT0		CAN0OUT			
28		P81		TA4IN/U		INPC15/OUTC15		
29		P80		TA4OUT/U		ISRxD0		
30		P77		TA3IN	CAN0IN	INPC14/OUTC14/ISCLK0		
31		P76		TA3OUT	CAN0OUT	INPC13/OUTC13/ISTxD0		
32		P75		TA2IN/W		INPC12/OUTC12/ISRxD1/BE1IN		
33		P74		TA2OUT/W		INPC11/OUTC11/ISCLK1		
34		P73		TA1IN/V	CTS2/RTS2/SS2	INPC10/OUTC10/ISTxD1/BE1OUT		
35		P72		TA1OUT/V	CLK2			
36		P71		TB5IN/TA0IN	RxD2/SCL2/STxD2	INPC17/OUTC17		
37		P70		TA0OUT	TxD2/SDA2/SRx2	INPC16/OUTC16		
38		P67			TxD1/SDA1/SRx1			
39	Vcc1							
40		P66			RxD1/SCL1/STxD1			
41	Vss							
42		P65			CLK1			
43		P64			CTS1/RTS1/SS1			
44		P63			TxD0/SDA0/SRx0			
45		P62			RxD0/SCL0/STxD0			
46		P61			CLK0			
47		P60			CTS0/RTS0/SS0			
48		P137						

注1. M32C/84Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(2/3)

Pin No	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN 端子	インテリジェントI/O 端子	アナログ端子	バス制御端子 ^(注1)
49		P136						
50		P135						
51		P134						
52		P57						$\overline{\text{RDY}}$
53		P56						ALE
54		P55						HOLD
55		P54						HLDA/ALE
56		P133						
57	Vss							
58		P132						
59	Vcc2							
60		P131						
61		P130						
62		P53						$\overline{\text{CLKOUT/BCLK/ALE}}$
63		P52						$\overline{\text{RD}}$
64		P51						$\overline{\text{WRH/BHE}}$
65		P50						$\overline{\text{WRL/WR}}$
66		P127						
67		P126						
68		P125						
69		P47						$\overline{\text{CS0/A23}}$
70		P46						$\overline{\text{CS1/A22}}$
71		P45						$\overline{\text{CS2/A21}}$
72		P44						$\overline{\text{CS3/A20}}$
73		P43						A19
74	Vcc2							
75		P42						A18
76	Vss							
77		P41						A17
78		P40						A16
79		P37						A15(/D15)
80		P36						A14(/D14)
81		P35						A13(/D13)
82		P34						A12(/D12)
83		P33						A11(/D11)
84		P32						A10(/D10)
85		P31						A9(/D9)
86		P124						
87		P123						
88		P122						
89		P121						
90		P120						
91	Vcc2							
92		P30						A8(/D8)
93	Vss							
94		P27					AN27	A7(/D7)
95		P26					AN26	A6(/D6)
96		P25					AN25	A5(/D5)

注1. M32C/84Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(3/3)

Pin No	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN 端子	インテリジェント I/O 端子	アナログ端子	バス制御端子 ^(注1)
97		P24					AN24	A4(/D4)
98		P23					AN23	A3(/D3)
99		P22					AN22	A2(/D2)
100		P21					AN21	A1(/D1)
101		P20					AN20	A0(/D0)
102		P17	INT5					D15
103		P16	INT4					D14
104		P15	INT3					D13
105		P14						D12
106		P13						D11
107		P12						D10
108		P11						D9
109		P10						D8
110		P07					AN07	D7
111		P06					AN06	D6
112		P05					AN05	D5
113		P04					AN04	D4
114		P114						
115		P113				INPC13/OUTC13		
116		P112				INPC12/OUTC12/ISRxD1/BE1IN		
117		P111				INPC11/OUTC11/ISCLK1		
118		P110				INPC10/OUTC10/ISTxD1/BE1OUT		
119		P03					AN03	D3
120		P02					AN02	D2
121		P01					AN01	D1
122		P00					AN00	D0
123		P157					AN157	
124		P156					AN156	
125		P155					AN155	
126		P154					AN154	
127		P153					AN153	
128		P152				ISRxD0	AN152	
129		P151				ISCLK0	AN151	
130	Vss							
131		P150				ISTxD0	AN150	
132	VCC1							
133		P107	KI3				AN7	
134		P106	KI2				AN6	
135		P105	KI1				AN5	
136		P104	KI0				AN4	
137		P103					AN3	
138		P102					AN2	
139		P101					AN1	
140	AVss							
141		P100					AN0	
142	VREF							
143	AVcc							
144		P97			RxD4/SCL4/STxD4		ADTRG	

注1. M32C/84Tでは、バス制御端子を使用しないでください。

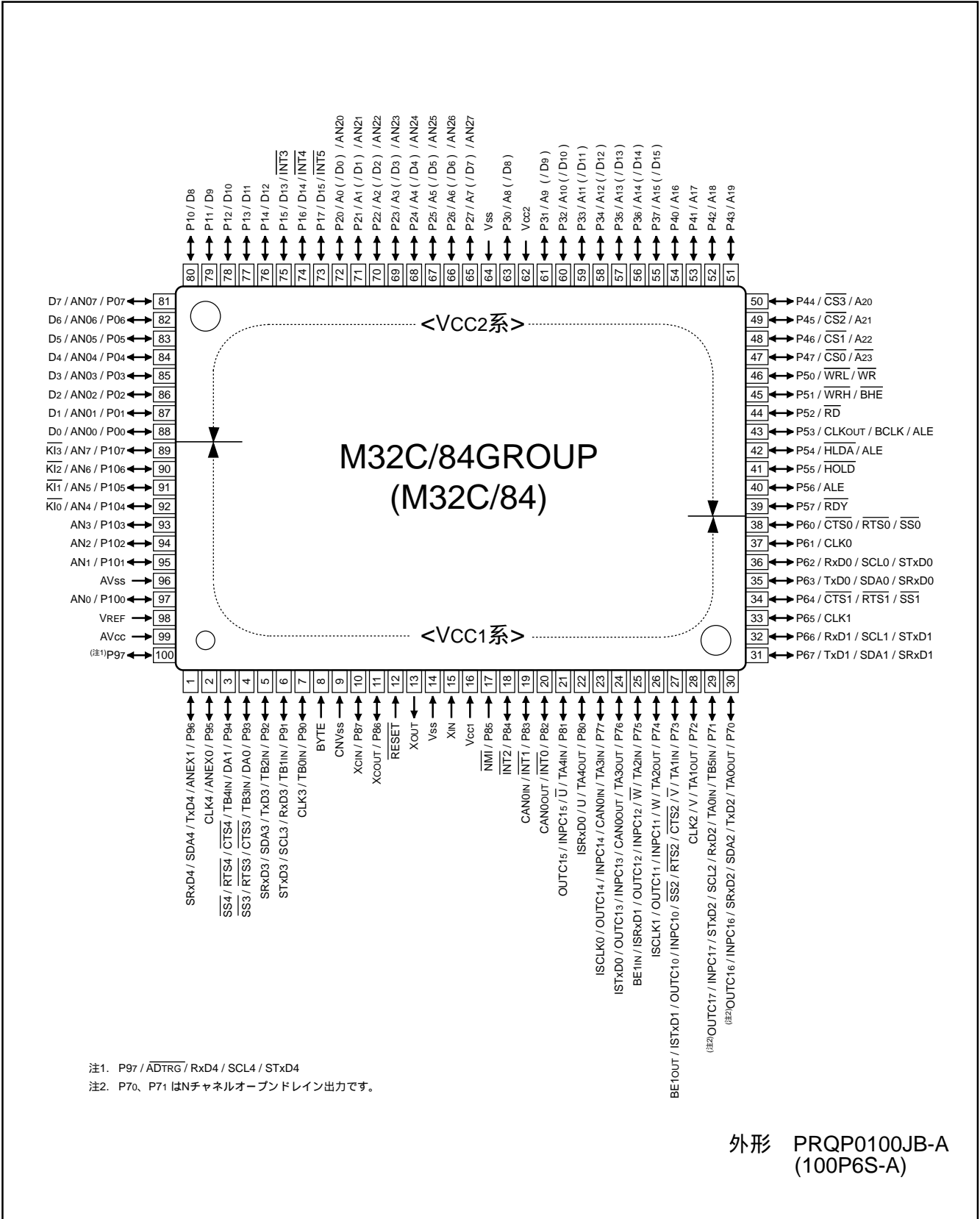


図1.4 100ピン版ピン接続図(上面図)

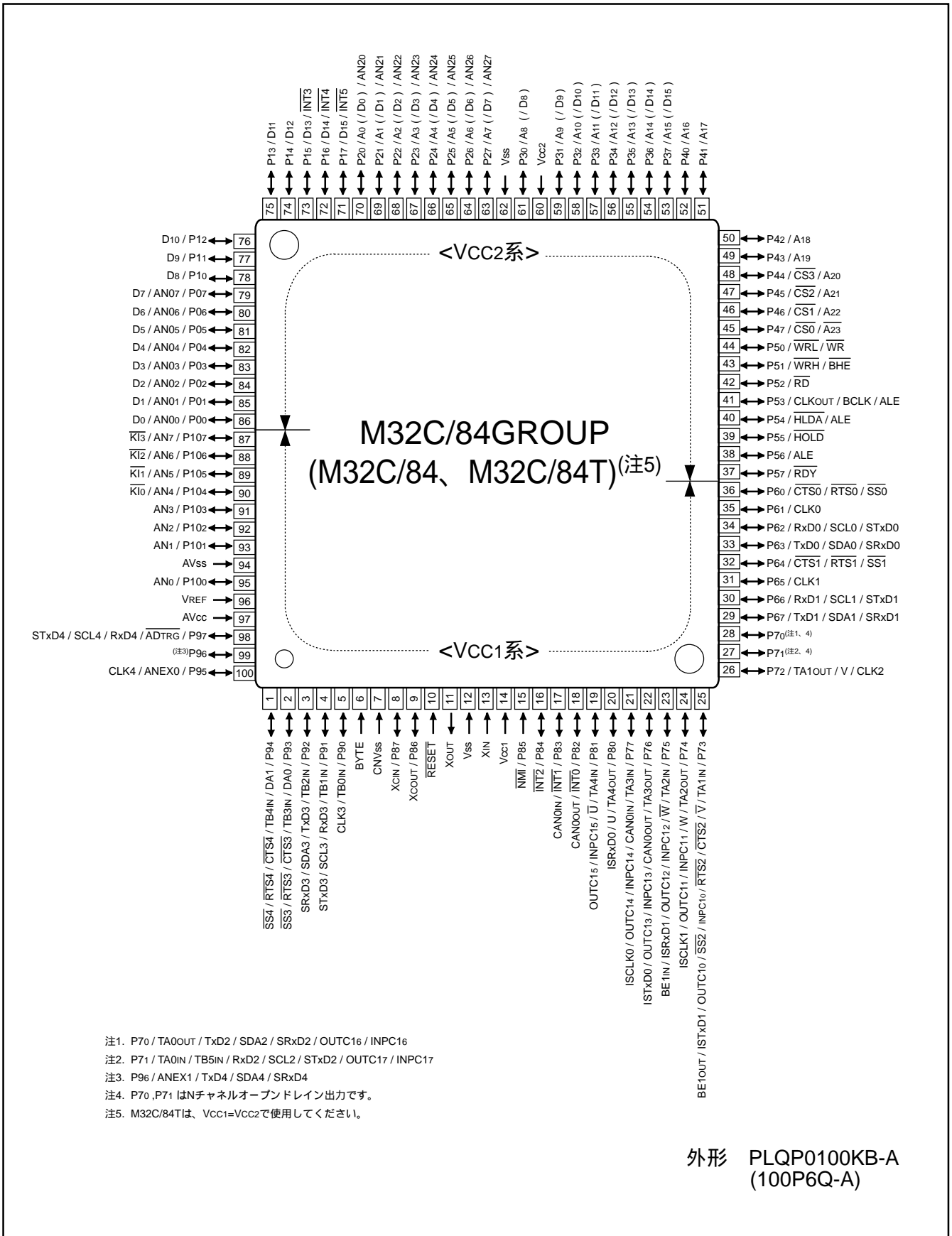


図1.5 100ピン版ピン接続図(上面図)

- 注1. P70 / TA0OUT / TxD2 / SDA2 / SRxD2 / OUTC16 / INPC16
- 注2. P71 / TA0IN / TB5IN / RxD2 / SCL2 / STxD2 / OUTC17 / INPC17
- 注3. P96 / ANEX1 / TxD4 / SDA4 / SRxD4
- 注4. P70, P71 はNチャネルオープンドレイン出力です。
- 注5. M32C/84Tは、Vcc1=Vcc2で使用してください。

表1.5 100ピン版ピン端子名一覧表(1/2)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART/CAN 端子	インテリジェント I/O 端子	アナログ 端子	バス制御 端子 (注1)
FP	GP								
1	99		P96			TxD4/SDA4/SRxD4		ANEX1	
2	100		P95			CLK4		ANEX0	
3	1		P94		TB4IN	CTS4/RTS4/SS4		DA1	
4	2		P93		TB3IN	CTS3/RTS3/SS3		DA0	
5	3		P92		TB2IN	TxD3/SDA3/SRxD3			
6	4		P91		TB1IN	RxD3/SCL3/STxD3			
7	5		P90		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVss							
10	8	XCIN	P87						
11	9	XCOUT	P86						
12	10	RESET							
13	11	XOUT							
14	12	Vss							
15	13	XIN							
16	14	Vcc1							
17	15		P85	NMI					
18	16		P84	INT2					
19	17		P83	INT1		CAN0IN			
20	18		P82	INT0		CAN0OUT			
21	19		P81		TA4IN/U			INPC15/OUTC15	
22	20		P80		TA4OUT/U			ISRxD0	
23	21		P77		TA3IN	CAN0IN		INPC14/OUTC14/ISCLK0	
24	22		P76		TA3OUT	CAN0OUT		INPC13/OUTC13/ISTxD0	
25	23		P75		TA2IN/W			INPC12/OUTC12/ISRxD1/BE1IN	
26	24		P74		TA2OUT/W			INPC11/OUTC11/ISCLK1	
27	25		P73		TA1IN/V	CTS2/RTS2/SS2		INPC10/OUTC10/ISTxD1/BE1OUT	
28	26		P72		TA1OUT/V	CLK2			
29	27		P71		TB5IN/TA0IN	RxD2/SCL2/STxD2		INPC17/OUTC17	
30	28		P70		TA0OUT	TxD2/SDA2/SRxD2		INPC16/OUTC16	
31	29		P67			TxD1/SDA1/SRxD1			
32	30		P66			RxD1/SCL1/STxD1			
33	31		P65			CLK1			
34	32		P64			CTS1/RTS1/SS1			
35	33		P63			TxD0/SDA0/SRxD0			
36	34		P62			RxD0/SCL0/STxD0			
37	35		P61			CLK0			
38	36		P60			CTS0/RTS0/SS0			
39	37		P57						RDY
40	38		P56						ALE
41	39		P55						HOLD
42	40		P54						HLD/ALE
43	41		P53						CLKout/BCLK/ALE
44	42		P52						RD
45	43		P51						WRH/BHE
46	44		P50						WRL/WR
47	45		P47						CS0/A23
48	46		P46						CS1/A22
49	47		P45						CS2/A21
50	48		P44						CS3/A20

注1. M32C/84Tでは、バス制御端子を使用しないでください。

表1.5 100ピン版ピン端子名一覧表(2/2)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART/CAN 端子	インテリジェント I/O 端子	アナログ 端子	バス制御端子 ^(注1)
FP	GP								
51	49		P43						A19
52	50		P42						A18
53	51		P41						A17
54	52		P40						A16
55	53		P37						A15(/D15)
56	54		P36						A14(/D14)
57	55		P35						A13(/D13)
58	56		P34						A12(/D12)
59	57		P33						A11(/D11)
60	58		P32						A10(/D10)
61	59		P31						A9(/D9)
62	60	Vcc2							
63	61		P30						A8(/D8)
64	62	Vss							
65	63		P27					AN27	A7(/D7)
66	64		P26					AN26	A6(/D6)
67	65		P25					AN25	A5(/D5)
68	66		P24					AN24	A4(/D4)
69	67		P23					AN23	A3(/D3)
70	68		P22					AN22	A2(/D2)
71	69		P21					AN21	A1(/D1)
72	70		P20					AN20	A0(/D0)
73	71		P17	INT5					D15
74	72		P16	INT4					D14
75	73		P15	INT3					D13
76	74		P14						D12
77	75		P13						D11
78	76		P12						D10
79	77		P11						D9
80	78		P10						D8
81	79		P07					AN07	D7
82	80		P06					AN06	D6
83	81		P05					AN05	D5
84	82		P04					AN04	D4
85	83		P03					AN03	D3
86	84		P02					AN02	D2
87	85		P01					AN01	D1
88	86		P00					AN00	D0
89	87		P107	K13				AN7	
90	88		P106	K12				AN6	
91	89		P105	K11				AN5	
92	90		P104	K10				AN4	
93	91		P103					AN3	
94	92		P102					AN2	
95	93		P101					AN1	
96	94	AVss							
97	95		P100					AN0	
98	96	VREF							
99	97	AVcc							
100	98		P97			RxD4/SCL4/STxD4		ADTRG	

注1 . M32C/84Tでは、バス制御端子を使用しないでください。

1.6 端子機能の説明

表1.6 端子の機能説明(100ピン版、144ピン版共通)(1/4)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1、VCC2 VSS	入力	-	VCC1、VCC2端子には、3.0V～5.5Vを入力してください。 VCCの入力条件はVCC2 VCC1です。VSSには、0Vを入力してください。(注1、2)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。 AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVss	CNVss	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力(注3)	BYTE	入力	VCC1	外部領域3のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子(注3)	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A22	出力	VCC2	アドレスA0～A22を出力します。
	A23	出力	VCC2	アドレスA23を反転して出力します。
	A0/D0～ A7/D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
	A8/D8～ A15/D15	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力と、アドレス(A8～A15)の出力を時分割で行います。
	CS0～CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。 RD信号が“L”のとき読み出します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのときはこのモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

注1．この説明以降、特に指定のない限り、文中にVccと記述されている場合はVCC1を示します。

注2．M32C/84Tは、VCC1、VCC2端子に4.2～5.5Vを入力してください。また、入力条件はVCC1=VCC2にしてください。

注3．M32C/84Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明(100ピン版、144ピン版共通)(2/4)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力(注1)	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fc、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT2	入力	VCC1	INT割り込みの入力です。
	INT3 ~ INT5	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレインです。)
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ制御用 タイマ出力	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	VCC1	三相モータ制御用タイマの出力です。
シリアルI/O	CTS0 ~ CTS4	入力	VCC1	送信制御用入力です。
	RTS0 ~ RTS4	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	転送クロック入出力です。
	RxD0 ~ RxD4	入力	VCC1	シリアルデータ入力です。
	TxD0 ~ TxD4	出力	VCC1	シリアルデータ出力です。 (ただし、TxD2の出力はNチャンネルオープンドレインです。)
I ² Cモード	SDA0 ~ SDA4	入出力	VCC1	シリアルデータ入出力です。 (ただし、SDA2の出力はNチャンネルオープンドレインです。)
	SCL0 ~ SCL4	入出力	VCC1	転送クロック入出力です。 (ただし、SCL2の出力はNチャンネルオープンドレインです。)
シリアル インターフェース 特殊機能	STxD0 ~ STxD4	出力	VCC1	スレーブモードを選択したときのシリアルデータ出力です。 (ただし、STxD2の出力はNチャンネルオープンドレインです。)
	SRxD0 ~ SRxD4	入力	VCC1	スレーブモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	VCC1	シリアルインターフェース特殊機能の制御用入力です。

注1. M32C/84Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明(100ピン版、144ピン版共通)(3/4)

分類	端子名	入出力	電源系統	機能		
基準電圧入力	VREF	入力	-	A/DコンバータとD/Aコンバータの基準電圧入力です。		
A/Dコンバータ	AN0 ~ AN7	入力	VCC1	A/Dコンバータのアナログ入力です。		
	AN00 ~ AN07 AN20 ~ AN27					
	ADTRG	入力	VCC1	A/D外部トリガ入力です。		
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。		
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。		
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。		
インテリジェント I/O	INPC10 ~ INPC13	入力	VCC1/VCC2 ^(注1)	時間計測機能の入力です。		
	INPC14 ~ INPC17	入力	VCC1			
	OUTC10 ~ OUTC13	出力	VCC1/VCC2 ^(注1)	波形生成機能の出力です(ただし、P70、P71に配置されているOUTC16、OUTC17はNチャンネルオープンドレイン出力)。		
	OUTC14 ~ OUTC17	出力	VCC1			
	ISCLK0	入出力	VCC1	インテリジェントI/O通信機能のクロック入出力です。		
	ISCLK1	入出力	VCC1/VCC2 ^(注1)			
	ISRXD0	入力	VCC1	インテリジェントI/O通信機能のデータ入力です。		
	ISRXD1	入力	VCC1/VCC2 ^(注1)			
	ISTXD0	出力	VCC1	インテリジェントI/O通信機能のデータ出力です。		
	ISTXD1	出力	VCC1/VCC2 ^(注1)			
	BE1IN	入力	VCC1/VCC2 ^(注1)	インテリジェントI/O通信機能のデータ入力です。		
	BE1OUT	出力	VCC1/VCC2 ^(注1)	インテリジェントI/O通信機能のデータ出力です。		
	CAN	CAN0IN	入力	VCC1	CAN通信機能の入力です。	
CAN0OUT		出力	VCC1	CAN通信機能の出力です。		
入出力ポート	P00 ~ P07 P10 ~ P17 P20 ~ P27 P30 ~ P37 P40 ~ P47 P50 ~ P57	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。		
	P60 ~ P67 P70 ~ P77 P90 ~ P97 P100 ~ P107			入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P70とP71はNチャンネルオープンドレイン出力)。
	P80 ~ P84, P86, P87			入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
入力ポート	P85	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。		

注1 . 100ピン版ではVCC1のみになります。

表1.6 端子の機能説明(144ピン版のみ)(4/4)

分類	端子名	入出力	電源系統	機能
A/Dコンバータ	AN150 ~ AN157	入力	VCC1	A/Dコンバータのアナログ入力です。
入出力ポート	P110 ~ P114 P120 ~ P127 P130 ~ P137	入出力	VCC2	P0と同等の機能を持つ入出力ポートです。
	P140 ~ P146 P150 ~ P157			

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

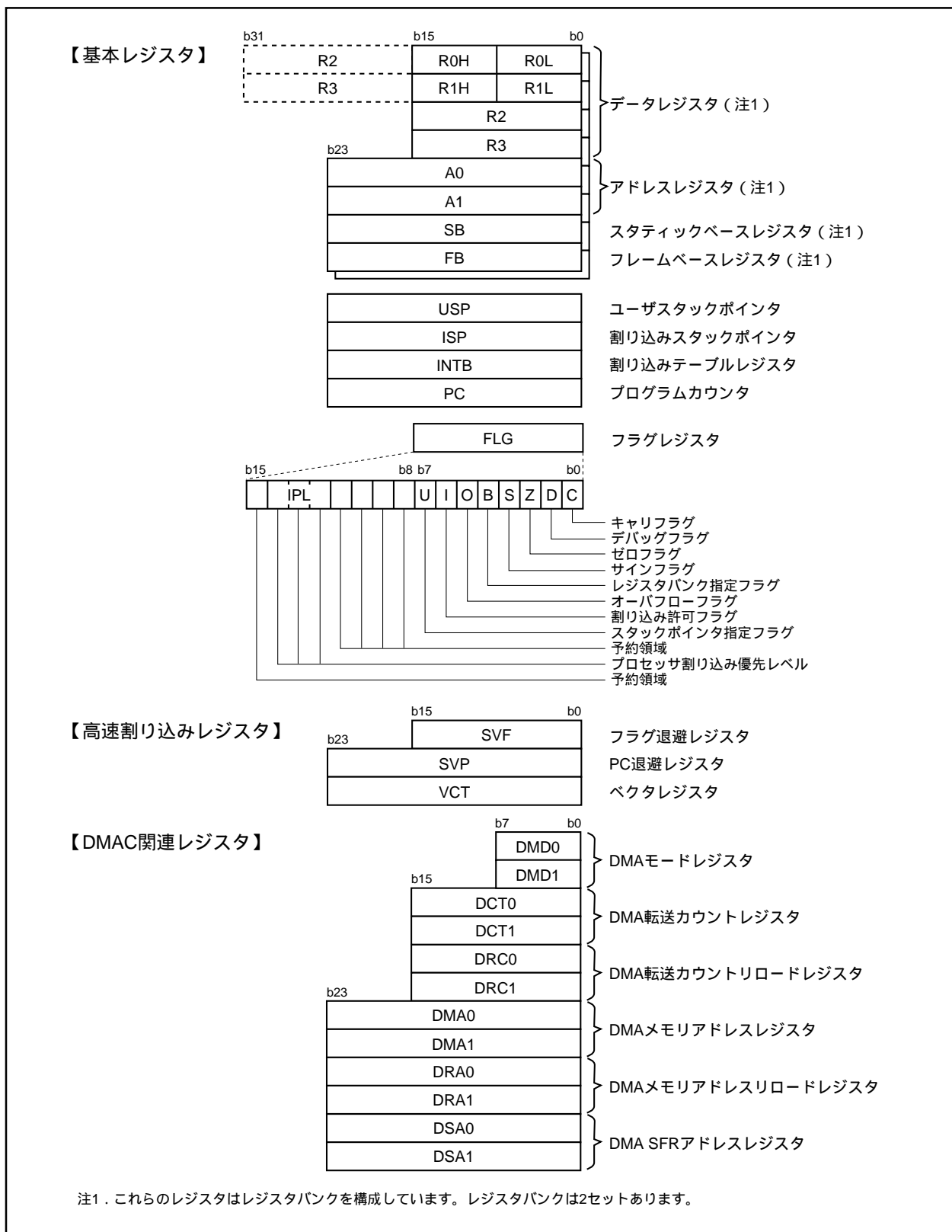


図2.1. CPUのレジスタ

2.1 基本レジスタ

2.1.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用します。R1はR0と同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用します。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ(A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ(FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリフラグ(C)

命令実行後のキャリやボローの有無を示します。

2.1.8.2 デバッグフラグ(D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ(Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ(S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ(B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたとき“1”になります。それ以外では“0”になります。

2.1.8.7 割り込み許可フラグ(I)

マスクابل割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。詳細は、「11.4 高速割り込み」を参照してください。

- ・フラグ退避レジスタ(SVF)
- ・PC退避レジスタ(SVP)
- ・ベクタレジスタ(VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。詳細は、「13. DMAC」を参照してください。

- ・DMAモードレジスタ(DMD0、DMD1)
- ・DMA転送カウンタレジスタ(DCT0、DCT1)
- ・DMA転送カウントリロードレジスタ(DRC0、DRC1)
- ・DMAメモリアドレスレジスタ(DMA0、DMA1)
- ・DMA SFRアドレスレジスタ(DSA0、DSA1)
- ・DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されています。例えば64Kバイトの内部ROMは、FF0000₁₆番地からFFFFFF₁₆番地に配置されています。

固定割り込みベクタはFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。詳細は、「11. 割り込み」を参照してください。

内部RAMは000400₁₆番地から上位方向に配置されています。例えば10Kバイトの内部RAMは、000400₁₆番地から002BFF₁₆番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000₁₆番地から0003FF₁₆番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00₁₆番地からFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は予約領域となり使用できません。

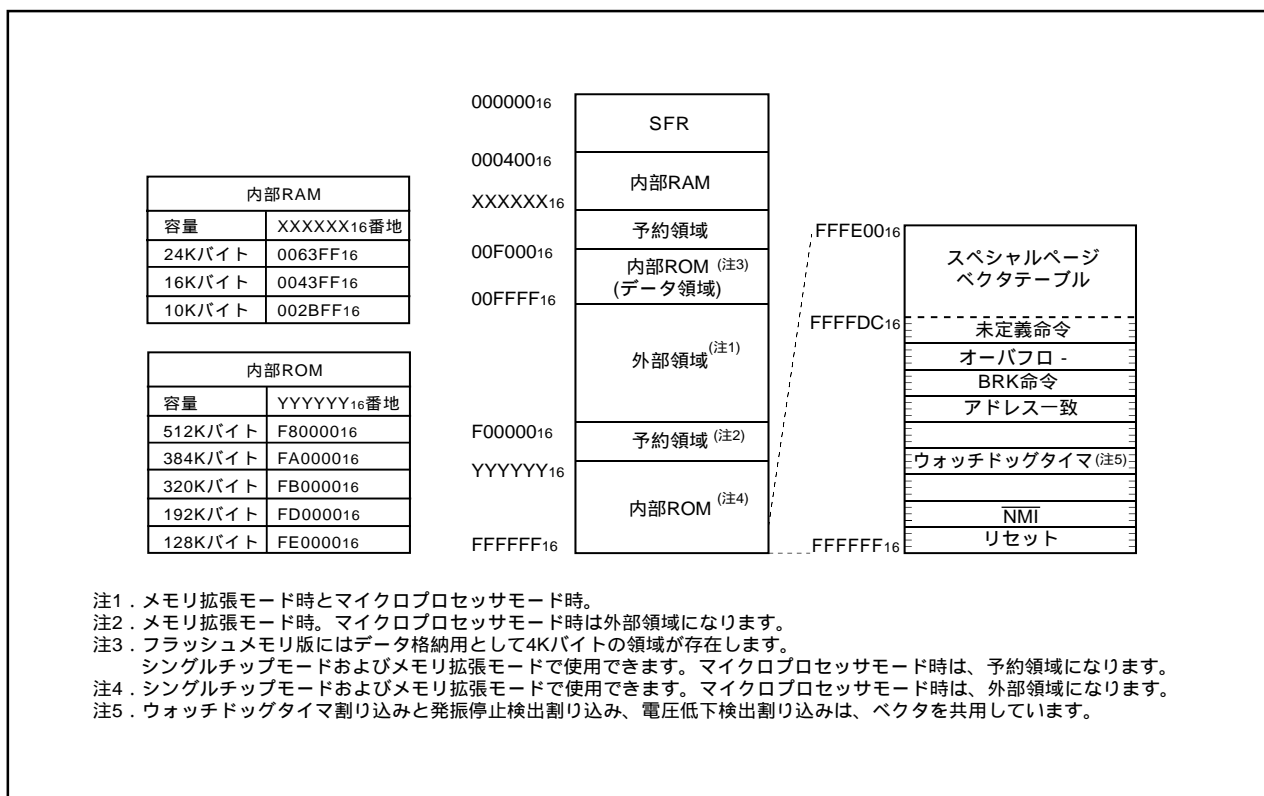


図3.1 メモリ配置図

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 ^(注1)	PM0	1000 0000 ₂ (CNVss端子が"L") 0000 0011 ₂ (CNVss端子が"H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	00 ₁₆
0006 ₁₆	システムクロック制御レジスタ0	CM0	0000 1000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	0010 0000 ₂
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	00 ₁₆
000A ₁₆	プロテクトレジスタ	PRCR	XXXX 0000 ₂
000B ₁₆	外部データバス幅制御レジスタ ^(注2)	DS	XXXX 1000 ₂ (BYTE端子が"L") XXXX 0000 ₂ (BYTE端子が"H")
000C ₁₆	メインクロック分周レジスタ	MCD	XXX0 1000 ₂
000D ₁₆	発振停止検出レジスタ	CM2	00 ₁₆
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXX ₂
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	000000 ₁₆
0012 ₁₆			
0013 ₁₆	プロセッサモードレジスタ2	PM2	00 ₁₆
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	000000 ₁₆
0016 ₁₆			
0017 ₁₆	電圧検出レジスタ2 ^(注2)	VCR2	00 ₁₆
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	000000 ₁₆
001A ₁₆			
001B ₁₆	電圧検出レジスタ1 ^(注2)	VCR1	0000 1000 ₂
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	000000 ₁₆
001E ₁₆			
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆	PLL制御レジスタ0	PLC0	0001 X010 ₂
0027 ₁₆	PLL制御レジスタ1	PLC1	000X 0000 ₂
0028 ₁₆			
0029 ₁₆	アドレス一致割り込みレジスタ4	RMAD4	000000 ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆	アドレス一致割り込みレジスタ5	RMAD5	000000 ₁₆
002E ₁₆			
002F ₁₆	電圧低下検出割り込みレジスタ ^(注2)	D4INT	00 ₁₆

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．PM0レジスタのPM00、PM01ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

注2．M32C/84Tでは、これらのレジスタを使用しないでください。

番地	レジスタ	シンボル	リセット後の値
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆	アドレス一致割り込みレジスタ6	RMAD6	000000 ₁₆
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆	アドレス一致割り込みレジスタ7	RMAD7	000000 ₁₆
003E ₁₆			
003F ₁₆			
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆	外部領域ウエイト制御レジスタ0 ^(注1)	EWCR0	X0X0 0011 ₂
0049 ₁₆	外部領域ウエイト制御レジスタ1 ^(注1)	EWCR1	X0X0 0011 ₂
004A ₁₆	外部領域ウエイト制御レジスタ2 ^(注1)	EWCR2	X0X0 0011 ₂
004B ₁₆	外部領域ウエイト制御レジスタ3 ^(注1)	EWCR3	X0X0 0011 ₂
004C ₁₆	ページモードウエイト制御レジスタ0 ^(注2)	PWCR0	0001 0001 ₂
004D ₁₆	ページモードウエイト制御レジスタ1 ^(注2)	PWCR1	0001 0001 ₂
004E ₁₆			
004F ₁₆			
0050 ₁₆			
0051 ₁₆			
0052 ₁₆			
0053 ₁₆			
0054 ₁₆			
0055 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	0000 0101 ₂
0056 ₁₆			
0057 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	0000 0001 ₂ (フラッシュメモリ版) XXXX XXX0 ₂ (マスクROM版)
0058 ₁₆			
0059 ₁₆			
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆			
005E ₁₆			
005F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．M32C/84Tでは、これらのレジスタを使用しないでください。

注2．ROMレス版でのみ使用できます。

番地	レジスタ	シンボル	リセット後の値
006016			
006116			
006216			
006316			
006416			
006516			
006616			
006716			
006816	DMA0割り込み制御レジスタ	DM0IC	XXXX X0002
006916	タイマB5割り込み制御レジスタ	TB5IC	XXXX X0002
006A16	DMA2割り込み制御レジスタ	DM2IC	XXXX X0002
006B16	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X0002
006C16	タイマA0割り込み制御レジスタ	TA0IC	XXXX X0002
006D16	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X0002
006E16	タイマA2割り込み制御レジスタ	TA2IC	XXXX X0002
006F16	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X0002
007016	タイマA4割り込み制御レジスタ	TA4IC	XXXX X0002
007116	UART0/UART3バス衝突検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X0002
007216	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X0002
007316	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X0002
007416	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X0002
007516	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X0002
007616	タイマB1割り込み制御レジスタ	TB1IC	XXXX X0002
007716	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X0002
007816	タイマB3割り込み制御レジスタ	TB3IC	XXXX X0002
007916	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X0002
007A16	INT5割り込み制御レジスタ	INT5IC	XX00 X0002
007B16			
007C16	INT3割り込み制御レジスタ	INT3IC	XX00 X0002
007D16	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X0002
007E16	INT1割り込み制御レジスタ	INT1IC	XX00 X0002
007F16	インテリジェントI/O割り込み制御レジスタ10/ CAN割り込み1制御レジスタ	IIO10IC/ CAN1IC	XXXX X0002
008016			
008116	CAN割り込み2制御レジスタ	CAN2IC	XXXX X0002
008216			
008316			
008416			
008516			
008616			
008716			
008816	DMA1割り込み制御レジスタ	DM1IC	XXXX X0002
008916	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X0002
008A16	DMA3割り込み制御レジスタ	DM3IC	XXXX X0002
008B16	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X0002
008C16	タイマA1割り込み制御レジスタ	TA1IC	XXXX X0002
008D16	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X0002
008E16	タイマA3割り込み制御レジスタ	TA3IC	XXXX X0002
008F16	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X0002

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0090 ₁₆	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000 ₂
0091 ₁₆	UART1/UART4バス衝突検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000 ₂
0092 ₁₆	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000 ₂
0093 ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX X000 ₂
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000 ₂
0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000 ₂
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000 ₂
0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000 ₂
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000 ₂
0099 ₁₆			
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	XX00 X000 ₂
009B ₁₆			
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00 X000 ₂
009D ₁₆	インテリジェントI/O割り込み制御レジスタ9/ CAN割り込み0制御レジスタ	IIO9IC/ CAN0IC	XXXX X000 ₂
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00 X000 ₂
009F ₁₆	復帰用優先順位レジスタ	RLVL	XXXX 0000 ₂
00A0 ₁₆	割り込み要求レジスタ0	IIO0IR	0000 000X ₂
00A1 ₁₆	割り込み要求レジスタ1	IIO1IR	0000 000X ₂
00A2 ₁₆	割り込み要求レジスタ2	IIO2IR	0000 000X ₂
00A3 ₁₆	割り込み要求レジスタ3	IIO3IR	0000 000X ₂
00A4 ₁₆	割り込み要求レジスタ4	IIO4IR	0000 000X ₂
00A5 ₁₆			
00A6 ₁₆			
00A7 ₁₆			
00A8 ₁₆	割り込み要求レジスタ8	IIO8IR	0000 000X ₂
00A9 ₁₆	割り込み要求レジスタ9	IIO9IR	0000 000X ₂
00AA ₁₆	割り込み要求レジスタ10	IIO10IR	0000 000X ₂
00AB ₁₆	割り込み要求レジスタ11	IIO11IR	0000 000X ₂
00AC ₁₆			
00AD ₁₆			
00AE ₁₆			
00AF ₁₆			
00B0 ₁₆	割り込み許可レジスタ0	IIO0IE	00 ₁₆
00B1 ₁₆	割り込み許可レジスタ1	IIO1IE	00 ₁₆
00B2 ₁₆	割り込み許可レジスタ2	IIO2IE	00 ₁₆
00B3 ₁₆	割り込み許可レジスタ3	IIO3IE	00 ₁₆
00B4 ₁₆	割り込み許可レジスタ4	IIO4IE	00 ₁₆
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆	割り込み許可レジスタ8	IIO8IE	00 ₁₆
00B9 ₁₆	割り込み許可レジスタ9	IIO9IE	00 ₁₆
00BA ₁₆	割り込み許可レジスタ10	IIO10IE	00 ₁₆
00BB ₁₆	割り込み許可レジスタ11	IIO11IE	00 ₁₆
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆			
00C1 ₁₆			
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆			
00D5 ₁₆			
00D6 ₁₆			
00D7 ₁₆			
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆			
00E1 ₁₆			
00E2 ₁₆			
00E3 ₁₆			
00E4 ₁₆			
00E5 ₁₆			
00E6 ₁₆			
00E7 ₁₆			
00E8 ₁₆ 00E9 ₁₆	SI/O受信バッファレジスタ0	G0RB	XXXX XXXX ₂ XXX0 XXXX ₂
00EA ₁₆ 00EB ₁₆	送信バッファ/受信データレジスタ0	G0TB/G0DR	XX ₁₆
00EC ₁₆	受信入力レジスタ0	G0RI	XX ₁₆
00ED ₁₆	SI/O通信モードレジスタ0	G0MR	00 ₁₆
00EE ₁₆	送信出力レジスタ0	G0TO	XX ₁₆
00EF ₁₆	SI/O通信制御レジスタ0	G0CR	0000 X01 ₁₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00F0 ₁₆	データ比較レジスタ00	G0CMP0	XX ₁₆
00F1 ₁₆	データ比較レジスタ01	G0CMP1	XX ₁₆
00F2 ₁₆	データ比較レジスタ02	G0CMP2	XX ₁₆
00F3 ₁₆	データ比較レジスタ03	G0CMP3	XX ₁₆
00F4 ₁₆	データマスクレジスタ00	G0MSK0	XX ₁₆
00F5 ₁₆	データマスクレジスタ01	G0MSK1	XX ₁₆
00F6 ₁₆	通信クロック選択レジスタ	CCS	XXXX 0000 ₂
00F7 ₁₆			
00F8 ₁₆	受信CRCコードレジスタ0	G0RCRC	XX ₁₆
00F9 ₁₆			XX ₁₆
00FA ₁₆	送信CRCコードレジスタ0	G0TCRC	00 ₁₆
00FB ₁₆			00 ₁₆
00FC ₁₆	SI/O拡張モードレジスタ0	G0EMR	00 ₁₆
00FD ₁₆	SI/O拡張受信制御レジスタ0	G0ERC	00 ₁₆
00FE ₁₆	SI/O特殊通信割り込み判別レジスタ0	G0IRF	00 ₁₆
00FF ₁₆	SI/O拡張送信制御レジスタ0	G0ETC	0000 0XXX ₂
0100 ₁₆	時間計測 / 波形生成レジスタ10	G1TM0/G1PO0	XX ₁₆
0101 ₁₆			XX ₁₆
0102 ₁₆	時間計測 / 波形生成レジスタ11	G1TM1/G1PO1	XX ₁₆
0103 ₁₆			XX ₁₆
0104 ₁₆	時間計測 / 波形生成レジスタ12	G1TM2/G1PO2	XX ₁₆
0105 ₁₆			XX ₁₆
0106 ₁₆	時間計測 / 波形生成レジスタ13	G1TM3/G1PO3	XX ₁₆
0107 ₁₆			XX ₁₆
0108 ₁₆	時間計測 / 波形生成レジスタ14	G1TM4/G1PO4	XX ₁₆
0109 ₁₆			XX ₁₆
010A ₁₆	時間計測 / 波形生成レジスタ15	G1TM5/G1PO5	XX ₁₆
010B ₁₆			XX ₁₆
010C ₁₆	時間計測 / 波形生成レジスタ16	G1TM6/G1PO6	XX ₁₆
010D ₁₆			XX ₁₆
010E ₁₆	時間計測 / 波形生成レジスタ17	G1TM7/G1PO7	XX ₁₆
010F ₁₆			XX ₁₆
0110 ₁₆	波形生成制御レジスタ10	G1POCR0	0000 X000 ₂
0111 ₁₆	波形生成制御レジスタ11	G1POCR1	0X00 X000 ₂
0112 ₁₆	波形生成制御レジスタ12	G1POCR2	0X00 X000 ₂
0113 ₁₆	波形生成制御レジスタ13	G1POCR3	0X00 X000 ₂
0114 ₁₆	波形生成制御レジスタ14	G1POCR4	0X00 X000 ₂
0115 ₁₆	波形生成制御レジスタ15	G1POCR5	0X00 X000 ₂
0116 ₁₆	波形生成制御レジスタ16	G1POCR6	0X00 X000 ₂
0117 ₁₆	波形生成制御レジスタ17	G1POCR7	0X00 X000 ₂
0118 ₁₆	時間計測制御レジスタ10	G1TMCR0	00 ₁₆
0119 ₁₆	時間計測制御レジスタ11	G1TMCR1	00 ₁₆
011A ₁₆	時間計測制御レジスタ12	G1TMCR2	00 ₁₆
011B ₁₆	時間計測制御レジスタ13	G1TMCR3	00 ₁₆
011C ₁₆	時間計測制御レジスタ14	G1TMCR4	00 ₁₆
011D ₁₆	時間計測制御レジスタ15	G1TMCR5	00 ₁₆
011E ₁₆	時間計測制御レジスタ16	G1TMCR6	00 ₁₆
011F ₁₆	時間計測制御レジスタ17	G1TMCR7	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0120 ₁₆ 0121 ₁₆	ベースタイマレジスタ1	G1BT	XX ₁₆ XX ₁₆
0122 ₁₆	ベースタイマ制御レジスタ10	G1BCR0	00 ₁₆
0123 ₁₆	ベースタイマ制御レジスタ11	G1BCR1	X000 000X ₂
0124 ₁₆	時間計測プリスケアラレジスタ16	G1TPR6	00 ₁₆
0125 ₁₆	時間計測プリスケアラレジスタ17	G1TPR7	00 ₁₆
0126 ₁₆	機能許可レジスタ1	G1FE	00 ₁₆
0127 ₁₆	機能選択レジスタ1	G1FS	00 ₁₆
0128 ₁₆ 0129 ₁₆	SI/O受信バッファレジスタ1	G1RB	XXXX XXXX ₂ X000 XXXX ₂
012A ₁₆ 012B ₁₆	送信バッファ/受信データレジスタ1	G1TB/G1DR	XX ₁₆
012C ₁₆	受信入力レジスタ1	G1RI	XX ₁₆
012D ₁₆	SI/O通信モードレジスタ1	G1MR	00 ₁₆
012E ₁₆	送信出力レジスタ1	G1TO	XX ₁₆
012F ₁₆	SI/O通信制御レジスタ1	G1CR	0000 X011 ₂
0130 ₁₆	データ比較レジスタ10	G1CMP0	XX ₁₆
0131 ₁₆	データ比較レジスタ11	G1CMP1	XX ₁₆
0132 ₁₆	データ比較レジスタ12	G1CMP2	XX ₁₆
0133 ₁₆	データ比較レジスタ13	G1CMP3	XX ₁₆
0134 ₁₆	データマスクレジスタ10	G1MSK0	XX ₁₆
0135 ₁₆	データマスクレジスタ11	G1MSK1	XX ₁₆
0136 ₁₆			
0137 ₁₆			
0138 ₁₆ 0139 ₁₆	受信CRCコードレジスタ1	G1RCRC	XX ₁₆ XX ₁₆
013A ₁₆ 013B ₁₆	送信CRCコードレジスタ1	G1TCRC	00 ₁₆ 00 ₁₆
013C ₁₆	SI/O拡張モードレジスタ1	G1EMR	00 ₁₆
013D ₁₆	SI/O拡張受信制御レジスタ1	G1ERC	00 ₁₆
013E ₁₆	SI/O特殊通信割り込み判別レジスタ1	G1IRF	00 ₁₆
013F ₁₆	SI/O拡張送信制御レジスタ1	G1ETC	0000 0XXX ₂
0140 ₁₆			
0141 ₁₆			
0142 ₁₆			
0143 ₁₆			
0144 ₁₆			
0145 ₁₆			
0146 ₁₆			
0147 ₁₆			
0148 ₁₆			
0149 ₁₆			
014A ₁₆			
014B ₁₆			
014C ₁₆			
014D ₁₆			
014E ₁₆			
014F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0150 ₁₆			
0151 ₁₆			
0152 ₁₆			
0153 ₁₆			
0154 ₁₆			
0155 ₁₆			
0156 ₁₆			
0157 ₁₆			
0158 ₁₆			
0159 ₁₆			
015A ₁₆			
015B ₁₆			
015C ₁₆			
015D ₁₆			
015E ₁₆			
015F ₁₆			
0160 ₁₆			
0161 ₁₆			
0162 ₁₆			
0163 ₁₆			
0164 ₁₆			
0165 ₁₆			
0166 ₁₆			
0167 ₁₆			
0168 ₁₆			
0169 ₁₆			
016A ₁₆			
016B ₁₆			
016C ₁₆			
016D ₁₆			
016E ₁₆			
016F ₁₆			
0170 ₁₆			
0171 ₁₆			
0172 ₁₆			
0173 ₁₆			
0174 ₁₆			
0175 ₁₆			
0176 ₁₆			
0177 ₁₆			
0178 ₁₆	入力機能選択レジスタ	IPS	00 ₁₆
0179 ₁₆	入力機能選択レジスタA	IPSA	00 ₁₆
017A ₁₆			
017B ₁₆			
017C ₁₆			
017D ₁₆			
}			
01DF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
01E016	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	XX16
01E116	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	XX16
01E216	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	XX16
01E316	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	XX16
01E416	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	XX16
01E516	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	XX16
01E616	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	XX16
01E716	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	XX16
01E816	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	XX16
01E916	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	XX16
01EA16	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	XX16
01EB16	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	XX16
01EC16	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	XX16
01ED16	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	XX16
01EE16	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	XX16
01EF16	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	XX16
01F016	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	XX16
01F116	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	XX16
01F216	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	XX16
01F316	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	XX16
01F416	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	XX16
01F516	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	XX16
01F616	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	XX16
01F716	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	XX16
01F816	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	XX16
01F916	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	XX16
01FA16	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	XX16
01FB16	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	XX16
01FC16	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	XX16
01FD16	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	XX16
01FE16	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	XX16
01FF16	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	XX16
020016	CAN0制御レジスタ0	C0CTLR0	XX01 0X012 (注1)
020116			XXXX 00002 (注1)
020216	CAN0ステータスレジスタ	C0STR	0000 00002 (注1)
020316			X000 0X012 (注1)
020416	CAN0拡張IDレジスタ	C0IDR	0016 (注1)
020516			0016 (注1)
020616	CAN0コンフィグレーションレジスタ	C0CONR	0000 XXXX2 (注1)
020716			0000 00002 (注1)
020816	CAN0タイムスタンプレジスタ	C0TSR	0016 (注1)
020916			0016 (注1)
020A16	CAN0送信エラーカウントレジスタ	C0TEC	0016 (注1)
020B16	CAN0受信エラーカウントレジスタ	C0REC	0016 (注1)
020C16	CAN0スロット割り込みステータスレジスタ	C0SISTR	0016 (注1)
020D16			0016 (注1)
020E16			
020F16			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. リセット後C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0210 ₁₆ 0211 ₁₆	CAN0スロット割り込みマスクレジスタ	C0SIMKR	00 ₁₆ (注2) 00 ₁₆ (注2)
0212 ₁₆			
0213 ₁₆			
0214 ₁₆	CAN0エラー割り込みマスクレジスタ	C0EIMKR	XXXX X000 ₂ (注2)
0215 ₁₆	CAN0エラー割り込みステータスレジスタ	C0EISTR	XXXX X000 ₂ (注2)
0216 ₁₆	CAN0エラー要因レジスタ	C0EFR	00 ₁₆ (注2)
0217 ₁₆	CAN0ポーレートプリスケアラ	C0BRP	0000 0001 ₂ (注2)
0218 ₁₆			
0219 ₁₆	CAN0モードレジスタ	C0MDR	XXXX XX00 ₂ (注2)
021A ₁₆			
021B ₁₆			
021C ₁₆			
021D ₁₆			
021E ₁₆			
021F ₁₆			
0220 ₁₆ 0221 ₁₆	CAN0シングルショット制御レジスタ	C0SSCTLR	00 ₁₆ (注2) 00 ₁₆ (注2)
0222 ₁₆			
0223 ₁₆			
0224 ₁₆ 0225 ₁₆	CAN0シングルショットステータスレジスタ	C0SSSTR	00 ₁₆ (注2) 00 ₁₆ (注2)
0226 ₁₆			
0227 ₁₆			
0228 ₁₆	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	XXX0 0000 ₂ (注2)
0229 ₁₆	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	XX00 0000 ₂ (注2)
022A ₁₆	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	XXXX 0000 ₂ (注2)
022B ₁₆	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	00 ₁₆ (注2)
022C ₁₆	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	XX00 0000 ₂ (注2)
022D ₁₆			
022E ₁₆			
022F ₁₆			
0230 ₁₆	CAN0メッセージスロット0制御レジスタ/ CAN0ローカルマスクレジスタA標準ID0	C0MCTL0/ C0LMAR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)
0231 ₁₆	CAN0メッセージスロット1制御レジスタ/ CAN0ローカルマスクレジスタA標準ID1	C0MCTL1/ C0LMAR1	0000 0000 ₂ (注2) XX00 0000 ₂ (注2)
0232 ₁₆	CAN0メッセージスロット2制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID0	C0MCTL2/ C0LMAR2	0000 0000 ₂ (注2) XXXX 0000 ₂ (注2)
0233 ₁₆	CAN0メッセージスロット3制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID1	C0MCTL3/ C0LMAR3	00 ₁₆ (注2) 00 ₁₆ (注2)
0234 ₁₆	CAN0メッセージスロット4制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID2	C0MCTL4/ C0LMAR4	0000 0000 ₂ (注2) XX00 0000 ₂ (注2)
0235 ₁₆	CAN0メッセージスロット5制御レジスタ	C0MCTL5	00 ₁₆ (注2)
0236 ₁₆	CAN0メッセージスロット6制御レジスタ	C0MCTL6	00 ₁₆ (注2)
0237 ₁₆	CAN0メッセージスロット7制御レジスタ	C0MCTL7	00 ₁₆ (注2)
0238 ₁₆	CAN0メッセージスロット8制御レジスタ/ CAN0ローカルマスクレジスタB標準ID0	C0MCTL8/ C0LMBR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)

(注1)

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．0220₁₆～023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2．リセット後C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0239 ₁₆	CAN0メッセージスロット9制御レジスタ CAN0ローカルマスクレジスタB標準ID1	C0MCTL9/ C0LMBR1	0000 0000 ₂ (注2) XX00 0000 ₂ (注2)
023A ₁₆	CAN0メッセージスロット10制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID0	C0MCTL10/ C0LMBR2	0000 0000 ₂ (注2) XXXX 0000 ₂ (注2)
023B ₁₆	CAN0メッセージスロット11制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID1	C0MCTL11/ C0LMBR3	00 ₁₆ (注2) 00 ₁₆ (注2)
023C ₁₆	CAN0メッセージスロット12制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID2	C0MCTL12/ C0LMBR4	0000 0000 ₂ (注2) XX00 0000 ₂ (注2)
023D ₁₆	CAN0メッセージスロット13制御レジスタ	C0MCTL13	00 ₁₆ (注2)
023E ₁₆	CAN0メッセージスロット14制御レジスタ	C0MCTL14	00 ₁₆ (注2)
023F ₁₆	CAN0メッセージスロット15制御レジスタ	C0MCTL15	00 ₁₆ (注2)
0240 ₁₆	CAN0スロットバッファ選択レジスタ	C0SBS	00 ₁₆ (注2)
0241 ₁₆	CAN0制御レジスタ1	C0CTLR1	X000 00XX ₂ (注2)
0242 ₁₆	CAN0スリープ制御レジスタ	C0SLPR	XXXX XXX0 ₂
0243 ₁₆			
0244 ₁₆	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	00 ₁₆ (注2)
0245 ₁₆			01 ₁₆ (注2)
0246 ₁₆			
0247 ₁₆			
0248 ₁₆			
0249 ₁₆			
024A ₁₆			
024B ₁₆			
024C ₁₆			
024D ₁₆			
024E ₁₆			
024F ₁₆			
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆	}		
02BF ₁₆			

(注1)

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．0220₁₆～023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2．リセット後C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	XX ₁₆ XX ₁₆
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ	X1R,Y1R	XX ₁₆ XX ₁₆
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	XX ₁₆ XX ₁₆
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	XX ₁₆ XX ₁₆
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	XX ₁₆ XX ₁₆
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	XX ₁₆ XX ₁₆
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	XX ₁₆ XX ₁₆
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	XX ₁₆ XX ₁₆
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	XX ₁₆ XX ₁₆
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	XX ₁₆ XX ₁₆
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	XX ₁₆ XX ₁₆
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	XX ₁₆ XX ₁₆
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	XX ₁₆ XX ₁₆
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	XX ₁₆ XX ₁₆
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	XX ₁₆ XX ₁₆
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	XX ₁₆ XX ₁₆
02E0 ₁₆	X/Y制御レジスタ	XYC	XXXX XX00 ₂
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
02E5 ₁₆	UART1特殊モードレジスタ3	U1SMR3	00 ₁₆
02E6 ₁₆	UART1特殊モードレジスタ2	U1SMR2	00 ₁₆
02E7 ₁₆	UART1特殊モードレジスタ	U1SMR	00 ₁₆
02E8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
02E9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
02EA ₁₆ 02EB ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆ XX ₁₆
02EC ₁₆	UART1送受信制御レジスタ0	U1C0	0000 1000 ₂
02ED ₁₆	UART1送受信制御レジスタ1	U1C1	0000 0010 ₂
02EE ₁₆ 02EF ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆	UART4特殊モードレジスタ4	U4SMR4	00 ₁₆
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	00 ₁₆
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	00 ₁₆
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	00 ₁₆
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	00 ₁₆
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	XX ₁₆
02FA ₁₆	UART4送信バッファレジスタ	U4TB	XX ₁₆
02FB ₁₆			XX ₁₆
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	0000 1000 ₂
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	0000 0010 ₂
02FE ₁₆	UART4受信バッファレジスタ	U4RB	XX ₁₆
02FF ₁₆			XX ₁₆
0300 ₁₆	タイマB3,B4,B5カウント開始フラグ	TBSR	000X XXXX ₂
0301 ₁₆			
0302 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0303 ₁₆			XX ₁₆
0304 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0305 ₁₆			XX ₁₆
0306 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0307 ₁₆			XX ₁₆
0308 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0309 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
030A ₁₆	三相出力バッファレジスタ0	IDB0	XX ₁₁ 1111 ₂
030B ₁₆	三相出力バッファレジスタ1	IDB1	XX ₁₁ 1111 ₂
030C ₁₆	短絡防止タイマ	DTT	XX ₁₆
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
030E ₁₆			
030F ₁₆			
0310 ₁₆	タイマB3レジスタ	TB3	XX ₁₆
0311 ₁₆			XX ₁₆
0312 ₁₆	タイマB4レジスタ	TB4	XX ₁₆
0313 ₁₆			XX ₁₆
0314 ₁₆	タイマB5レジスタ	TB5	XX ₁₆
0315 ₁₆			XX ₁₆
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆	タイマB3モードレジスタ	TB3MR	00XX 0000 ₂
031C ₁₆	タイマB4モードレジスタ	TB4MR	00XX 0000 ₂
031D ₁₆	タイマB5モードレジスタ	TB5MR	00XX 0000 ₂
031E ₁₆			
031F ₁₆	外部割り込み要因選択レジスタ	IFSR	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆	UART3特殊モードレジスタ4	U3SMR4	00 ₁₆
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	00 ₁₆
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	00 ₁₆
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	00 ₁₆
0328 ₁₆	UART3送受信モードレジスタ	U3MR	00 ₁₆
0329 ₁₆	UART3転送速度レジスタ	U3BRG	XX ₁₆
032A ₁₆	UART3送信バッファレジスタ	U3TB	XX ₁₆
032B ₁₆			XX ₁₆
032C ₁₆	UART3送受信制御レジスタ0	U3C0	0000 1000 ₂
032D ₁₆	UART3送受信制御レジスタ1	U3C1	0000 0010 ₂
032E ₁₆	UART3受信バッファレジスタ	U3RB	XX ₁₆
032F ₁₆			XX ₁₆
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	00 ₁₆
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	00 ₁₆
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	00 ₁₆
0338 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0339 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
033A ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆
033B ₁₆			XX ₁₆
033C ₁₆	UART2送受信制御レジスタ0	U2C0	0000 1000 ₂
033D ₁₆	UART2送受信制御レジスタ1	U2C1	0000 0010 ₂
033E ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆
033F ₁₆			XX ₁₆
0340 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXX ₂
0342 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0343 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0344 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0345 ₁₆			
0346 ₁₆	タイマA0レジスタ	TA0	XX ₁₆
0347 ₁₆			XX ₁₆
0348 ₁₆	タイマA1レジスタ	TA1	XX ₁₆
0349 ₁₆			XX ₁₆
034A ₁₆	タイマA2レジスタ	TA2	XX ₁₆
034B ₁₆			XX ₁₆
034C ₁₆	タイマA3レジスタ	TA3	XX ₁₆
034D ₁₆			XX ₁₆
034E ₁₆	タイマA4レジスタ	TA4	XX ₁₆
034F ₁₆			XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ	TB0	XX ₁₆ XX ₁₆
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ	TB1	XX ₁₆ XX ₁₆
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ	TB2	XX ₁₆ XX ₁₆
0356 ₁₆	タイマA0モードレジスタ	TA0MR	00 ₁₆
0357 ₁₆	タイマA1モードレジスタ	TA1MR	00 ₁₆
0358 ₁₆	タイマA2モードレジスタ	TA2MR	00 ₁₆
0359 ₁₆	タイマA3モードレジスタ	TA3MR	00 ₁₆
035A ₁₆	タイマA4モードレジスタ	TA4MR	00 ₁₆
035B ₁₆	タイマB0モードレジスタ	TB0MR	00XX 0000 ₂
035C ₁₆	タイマB1モードレジスタ	TB1MR	00XX 0000 ₂
035D ₁₆	タイマB2モードレジスタ	TB2MR	00XX 0000 ₂
035E ₁₆	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0 ₂
035F ₁₆	カウントソースプリスケアラレジスタ ^(注1)	TCSPR	0XXX 0000 ₂
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
0365 ₁₆	UART0特殊モードレジスタ3	U0SMR3	00 ₁₆
0366 ₁₆	UART0特殊モードレジスタ2	U0SMR2	00 ₁₆
0367 ₁₆	UART0特殊モードレジスタ	U0SMR	00 ₁₆
0368 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
0369 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆ XX ₁₆
036C ₁₆	UART0送受信制御レジスタ0	U0C0	0000 1000 ₂
036D ₁₆	UART0送受信制御レジスタ1	U0C1	0000 0010 ₂
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆ XX ₁₆
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆			
0377 ₁₆			
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	0X00 0000 ₂
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	0X00 0000 ₂
037A ₁₆	DMA2要因選択レジスタ	DM2SL	0X00 0000 ₂
037B ₁₆	DMA3要因選択レジスタ	DM3SL	0X00 0000 ₂
037C ₁₆ 037D ₁₆	CRCデータレジスタ	CRCD	XX ₁₆ XX ₁₆
037E ₁₆	CRCインプットレジスタ	CRCIN	XX ₁₆
037F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆ 0381 ₁₆	A/D0レジスタ0	AD00	XXXX XXXX ₂ 0000 0000 ₂
0382 ₁₆ 0383 ₁₆	A/D0レジスタ1	AD01	XX ₁₆ XX ₁₆
0384 ₁₆ 0385 ₁₆	A/D0レジスタ2	AD02	XX ₁₆ XX ₁₆
0386 ₁₆ 0387 ₁₆	A/D0レジスタ3	AD03	XX ₁₆ XX ₁₆
0388 ₁₆ 0389 ₁₆	A/D0レジスタ4	AD04	XX ₁₆ XX ₁₆
038A ₁₆ 038B ₁₆	A/D0レジスタ5	AD05	XX ₁₆ XX ₁₆
038C ₁₆ 038D ₁₆	A/D0レジスタ6	AD06	XX ₁₆ XX ₁₆
038E ₁₆ 038F ₁₆	A/D0レジスタ7	AD07	XX ₁₆ XX ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆ 0393 ₁₆	A/D0制御レジスタ4	AD0CON4	XXXX 00XX ₂
0394 ₁₆	A/D0制御レジスタ2	AD0CON2	XX0X X000 ₂
0395 ₁₆	A/D0制御レジスタ3	AD0CON3	XXXX X000 ₂
0396 ₁₆	A/D0制御レジスタ0	AD0CON0	00 ₁₆
0397 ₁₆	A/D0制御レジスタ1	AD0CON1	00 ₁₆
0398 ₁₆ 0399 ₁₆	D/Aレジスタ0	DA0	XX ₁₆
039A ₁₆ 039B ₁₆	D/Aレジスタ1	DA1	XX ₁₆
039C ₁₆ 039D ₁₆	D/A制御レジスタ	DACON	XXXX XX00 ₂
039E ₁₆			
039F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03A0 ₁₆	機能選択レジスタA8	PS8	X000 0000 ₂
03A1 ₁₆	機能選択レジスタA9	PS9	00 ₁₆
03A2 ₁₆			
03A3 ₁₆			
03A4 ₁₆			
03A5 ₁₆			
03A6 ₁₆			
03A7 ₁₆	機能選択レジスタD1	PSD1	X0XX XX00 ₂
03A8 ₁₆			
03A9 ₁₆			
03AA ₁₆			
03AB ₁₆			
03AC ₁₆	機能選択レジスタC2	PSC2	XXXX X00X ₂
03AD ₁₆	機能選択レジスタC3	PSC3	X0XX XXXX ₂
03AE ₁₆			
03AF ₁₆	機能選択レジスタC	PSC	00X0 0000 ₂
03B0 ₁₆	機能選択レジスタA0	PS0	00 ₁₆
03B1 ₁₆	機能選択レジスタA1	PS1	00 ₁₆
03B2 ₁₆	機能選択レジスタB0	PSL0	00 ₁₆
03B3 ₁₆	機能選択レジスタB1	PSL1	00 ₁₆
03B4 ₁₆	機能選択レジスタA2	PS2	00X0 0000 ₂
03B5 ₁₆	機能選択レジスタA3	PS3	00 ₁₆
03B6 ₁₆	機能選択レジスタB2	PSL2	00X0 0000 ₂
03B7 ₁₆	機能選択レジスタB3	PSL3	00 ₁₆
03B8 ₁₆			
03B9 ₁₆	機能選択レジスタA5	PS5	XXX0 0000 ₂
03BA ₁₆			
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			
03C0 ₁₆	ポートP6レジスタ	P6	XX ₁₆
03C1 ₁₆	ポートP7レジスタ	P7	XX ₁₆
03C2 ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03C3 ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03C4 ₁₆	ポートP8レジスタ	P8	XX ₁₆
03C5 ₁₆	ポートP9レジスタ	P9	XX ₁₆
03C6 ₁₆	ポートP8方向レジスタ	PD8	00X0 0000 ₂
03C7 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆
03C8 ₁₆	ポートP10レジスタ	P10	XX ₁₆
03C9 ₁₆	ポートP11レジスタ	P11	XX ₁₆
03CA ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆
03CB ₁₆	ポートP11方向レジスタ	PD11	XXX0 0000 ₂
03CC ₁₆	ポートP12レジスタ	P12	XX ₁₆
03CD ₁₆	ポートP13レジスタ	P13	XX ₁₆
03CE ₁₆	ポートP12方向レジスタ	PD12	00 ₁₆
03CF ₁₆	ポートP13方向レジスタ	PD13	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03D0 ₁₆	ポートP14レジスタ	P14	XX ₁₆
03D1 ₁₆	ポートP15レジスタ	P15	XX ₁₆
03D2 ₁₆	ポートP14方向レジスタ	PD14	X000 0000 ₂
03D3 ₁₆	ポートP15方向レジスタ	PD15	00 ₁₆
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	プルアップ制御レジスタ2	PUR2	00 ₁₆
03DB ₁₆	プルアップ制御レジスタ3	PUR3	00 ₁₆
03DC ₁₆	プルアップ制御レジスタ4	PUR4	XXXX 0000 ₂
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆
03E9 ₁₆	ポートP5レジスタ	P5	XX ₁₆
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	プルアップ制御レジスタ0	PUR0	00 ₁₆
03F1 ₁₆	プルアップ制御レジスタ1	PUR1	XXXX 0000 ₂
03F2 ₁₆			
03F3 ₁₆			
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 100ピン版 >

番地	レジスタ	シンボル	リセット後の値
03A016			
03A116			
03A216			
03A316			
03A416			
03A516			
03A616			
03A716	機能選択レジスタD1	PSD1	X0XX XX002
03A816			
03A916			
03AA16			
03AB16			
03AC16	機能選択レジスタC2	PSC2	XXXX X00X2
03AD16	機能選択レジスタC3	PSC3	X0XX XXXX2
03AE16			
03AF16	機能選択レジスタC	PSC	00X0 00002
03B016	機能選択レジスタA0	PS0	0016
03B116	機能選択レジスタA1	PS1	0016
03B216	機能選択レジスタB0	PSL0	0016
03B316	機能選択レジスタB1	PSL1	0016
03B416	機能選択レジスタA2	PS2	00X0 00002
03B516	機能選択レジスタA3	PS3	0016
03B616	機能選択レジスタB2	PSL2	00X0 00002
03B716	機能選択レジスタB3	PSL3	0016
03B816			
03B916			
03BA16			
03BB16			
03BC16			
03BD16			
03BE16			
03BF16			
03C016	ポートP6レジスタ	P6	XX16
03C116	ポートP7レジスタ	P7	XX16
03C216	ポートP6方向レジスタ	PD6	0016
03C316	ポートP7方向レジスタ	PD7	0016
03C416	ポートP8レジスタ	P8	XX16
03C516	ポートP9レジスタ	P9	XX16
03C616	ポートP8方向レジスタ	PD8	00X0 00002
03C716	ポートP9方向レジスタ	PD9	0016
03C816	ポートP10レジスタ	P10	XX16
03C916			
03CA16	ポートP10方向レジスタ	PD10	0016
03CB16	“FF16”を初期設定してください		
03CC16			
03CD16			
03CE16	“FF16”を初期設定してください		
03CF16	“FF16”を初期設定してください		

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 100ピン版 >

番地	レジスタ	シンボル	リセット後の値
03D016			
03D116			
03D216	“ FF16 ” を初期設定してください		
03D316	“ FF16 ” を初期設定してください		
03D416			
03D516			
03D616			
03D716			
03D816			
03D916			
03DA16	プルアップ制御レジスタ2	PUR2	0016
03DB16	プルアップ制御レジスタ3	PUR3	0016
03DC16	“ 0016 ” を初期設定してください		
03DD16			
03DE16			
03DF16			
03E016	ポートP0レジスタ	P0	XX16
03E116	ポートP1レジスタ	P1	XX16
03E216	ポートP0方向レジスタ	PD0	0016
03E316	ポートP1方向レジスタ	PD1	0016
03E416	ポートP2レジスタ	P2	XX16
03E516	ポートP3レジスタ	P3	XX16
03E616	ポートP2方向レジスタ	PD2	0016
03E716	ポートP3方向レジスタ	PD3	0016
03E816	ポートP4レジスタ	P4	XX16
03E916	ポートP5レジスタ	P5	XX16
03EA16	ポートP4方向レジスタ	PD4	0016
03EB16	ポートP5方向レジスタ	PD5	0016
03EC16			
03ED16			
03EE16			
03EF16			
03F016	プルアップ制御レジスタ0	PUR0	0016
03F116	プルアップ制御レジスタ1	PUR1	XXXX 00002
03F216			
03F316			
03F416			
03F516			
03F616			
03F716			
03F816			
03F916			
03FA16			
03FB16			
03FC16			
03FD16			
03FE16			
03FF16	ポート制御レジスタ	PCR	XXXX XXX02

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

5. リセット

リセットには、ハードウェアリセット1、電圧低下検出リセット(ハードウェアリセット2)、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット1

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(表5.1を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子への入力が“L”になると、書いた値は不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1にRESET端子のレベルが“L”の期間の端子の状態を示します。

5.1.1 電源安定時

- (1)RESET端子に“L”を入力する
- (2)XIN端子に20サイクル以上のクロックを入力する
- (3)RESET端子に“H”を入力する

5.1.2 電源投入時

- (1)RESET端子に“L”を入力する
- (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3)内部電源が安定するまで $t_d(P-R)$ 待つ
- (4)XIN端子に20サイクル以上のクロックを入力する
- (5)RESET端子に“H”を入力する

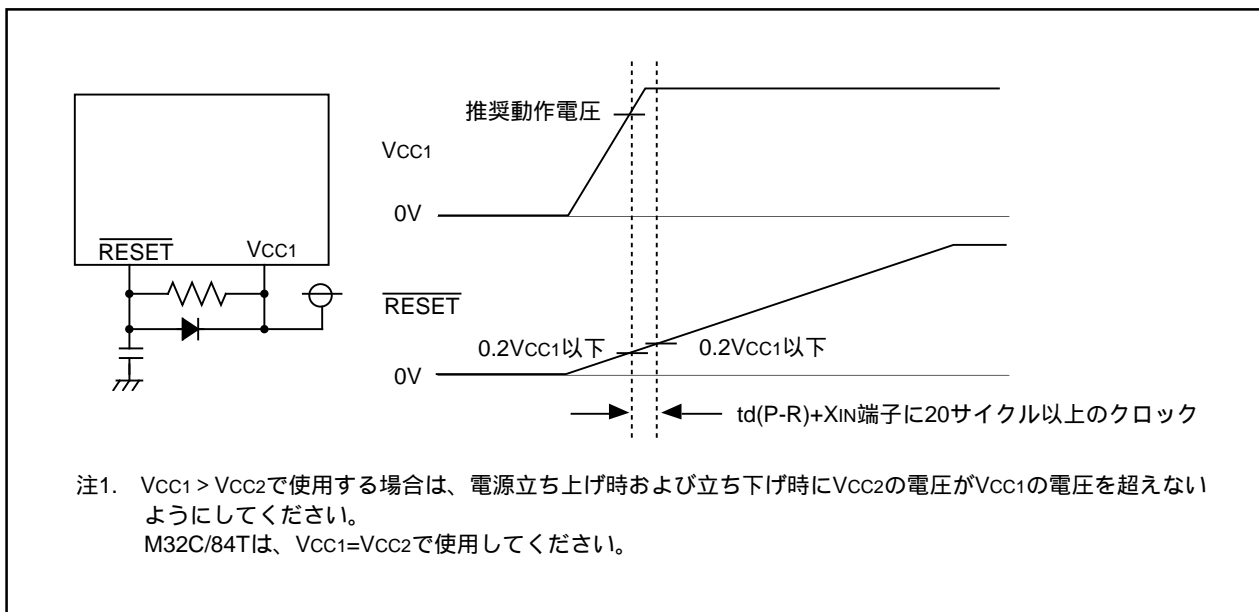


図5.1 リセット回路の一例

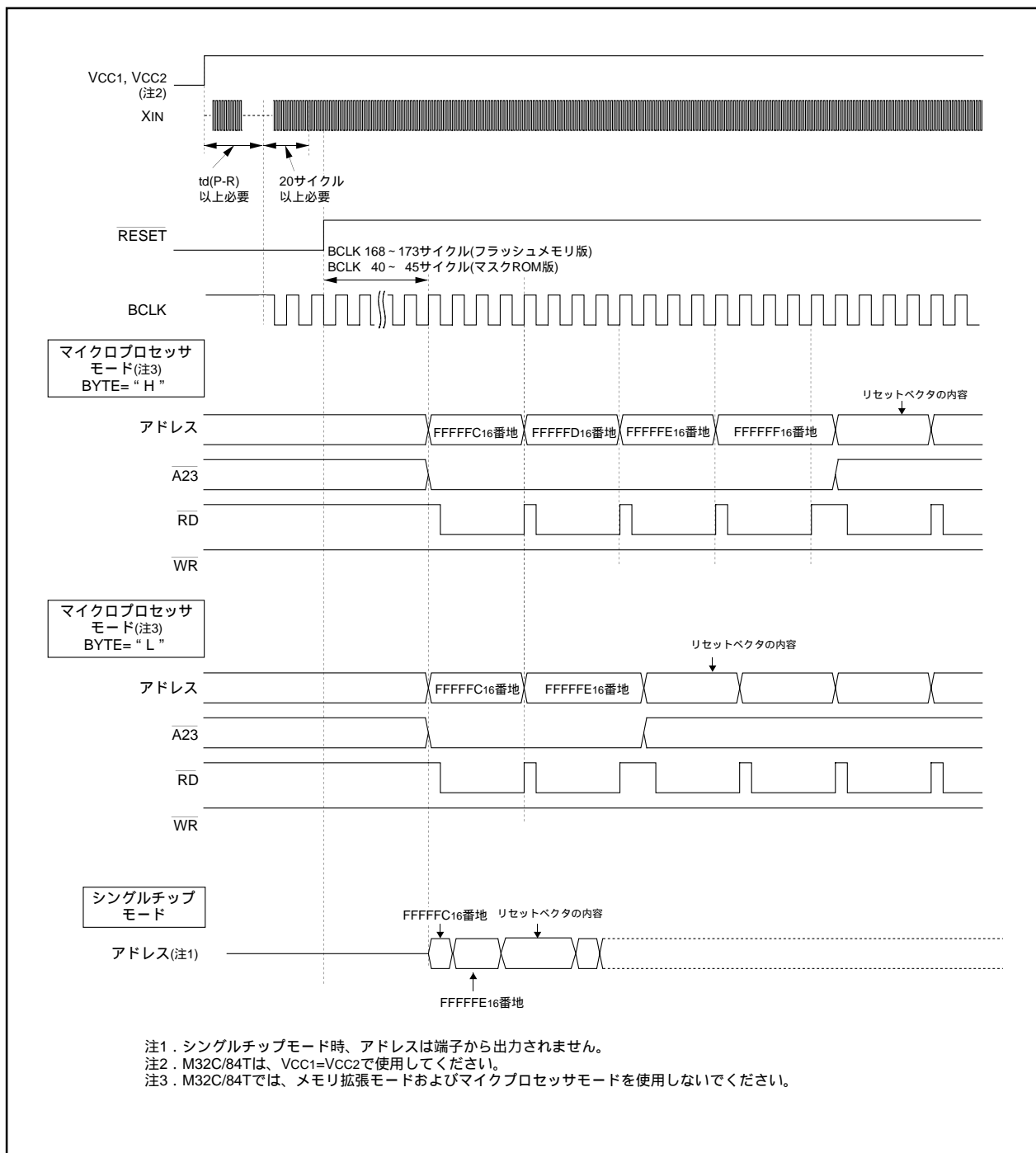


図5.2 リセットシーケンス

表5.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態 ^(注2)		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	
P1	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2, P3, P4	入力ポート(ハイインピーダンス)	アドレス出力(不定)	
P50	入力ポート(ハイインピーダンス)	WR出力(“H”を出力) ^(注3)	
P51	入力ポート(ハイインピーダンス)	BHE出力(不定)	
P52	入力ポート(ハイインピーダンス)	RD出力(“H”を出力) ^(注3)	
P53	入力ポート(ハイインピーダンス)	BCLK出力 ^(注3)	
P54	入力ポート(ハイインピーダンス)	HLDA出力(出力値はHOLD端子の入力に依存) ^(注3)	
P55	入力ポート(ハイインピーダンス)	HOLD入力(ハイインピーダンス)	
P56	入力ポート(ハイインピーダンス)	“H”を出力 ^(注3)	
P57	入力ポート(ハイインピーダンス)	RDY入力(ハイインピーダンス)	
P6 ~ P15 ^(注1)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)	

注1．ポートP11 ~ P15は144ピン版のみあります。

注2．内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。

注3．電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまで不定です。

5.2 電圧低下検出リセット(ハードウェアリセット2)

マイクロコンピュータに内蔵している電圧検出回路によるリセットです。電圧検出回路は、Vcc1端子に入力する電圧を監視します。

VCR2レジスタのVC26ビットが“1”(リセット領域検出回路有効)の場合、Vcc1端子に入力する電圧がVdet3以下になると、リセットされます。

次にVcc1端子に入力する電圧がVdet3r以上になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。Vdet3rを検出してから、td(S-R)後にプログラムを実行します。初期化される端子、レジスタと、これらの状態は、ハードウェアリセット1と同じです。

電圧低下検出リセットによるストップモードからの復帰はできません。

図5.3に電圧低下検出リセットの動作例を示します。

注1．M32C/84Tでは、電圧低下検出リセットを使用しないでください。

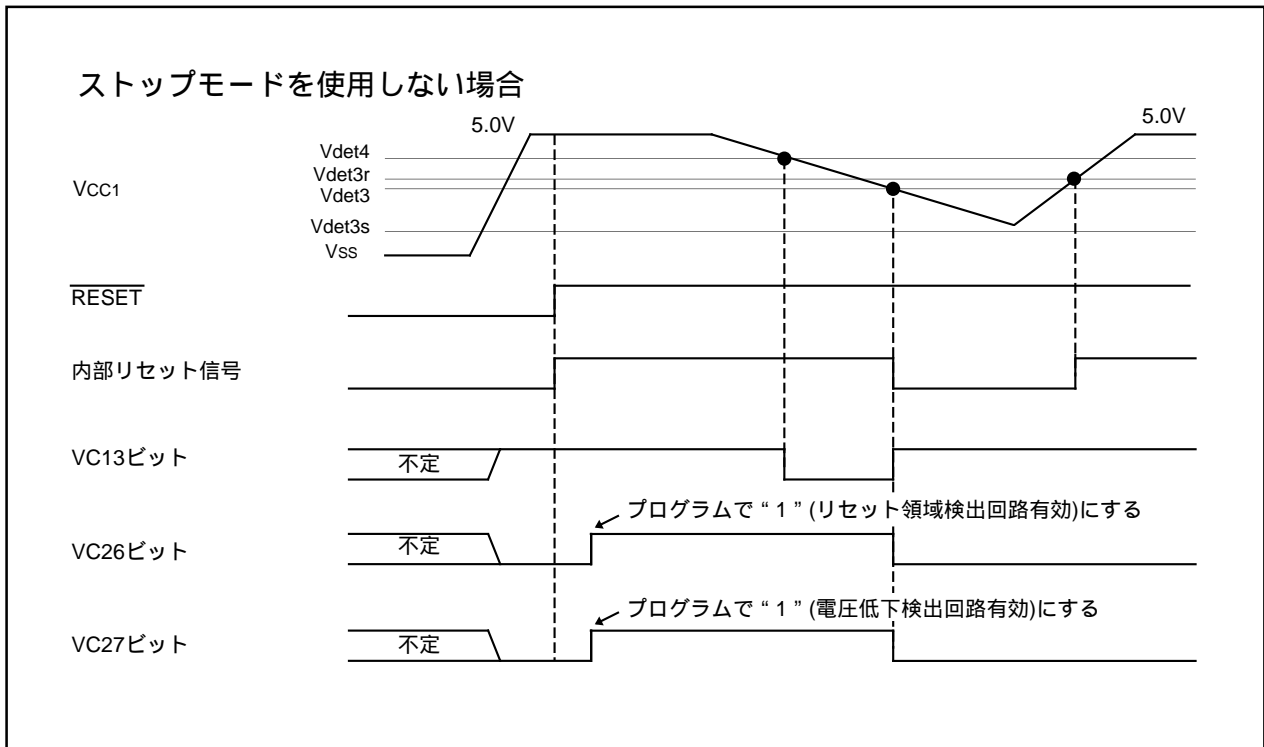


図5.3 電圧低下検出リセットの動作例

5.3 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にすると、端子、CPU、SFRは初期化されます。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットも初期化されないため、プロセッサモードは変化しません。

5.4 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットも初期化されないため、プロセッサモードは変化しません。

5.5 内部領域の状態

図5.4にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は、「4. SFR」を参照してください。

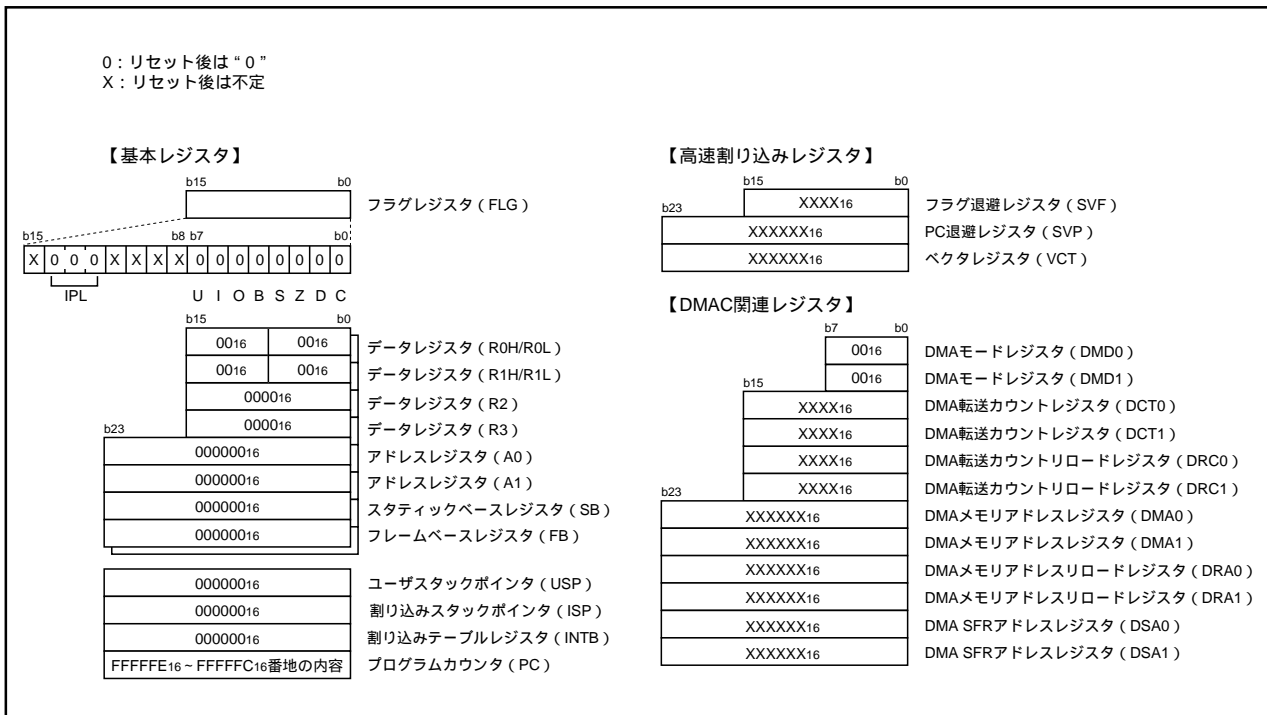


図5.4 リセット後のCPUレジスタの状態

6. 電圧検出回路

注意

M32C/84Tでは、電圧検出回路を使用しないでください。
ただし、コールドスタート/ウォームスタート判定機能は使用できます。

電圧検出回路には、リセット領域検出回路と電圧低下検出回路があります。

リセット領域検出回路はVcc1端子の入力電圧を監視し、Vdet3以下になるとマイクロコンピュータをリセットします。ただし、ストップモード中は無効です。

電圧低下検出回路はVcc1端子の入力電圧を監視し、Vdet4を通過すると電圧低下検出信号を生成します。生成された信号は、電圧低下検出割り込みに使用されます。Vdet4以上かVdet4未満かは、VCR1レジスタのVC13ビットにより検出できます。

電圧検出回路は、Vcc1=4.2～5.5Vのときに使用できます。

図6.1に電圧検出回路のブロック図を示します。

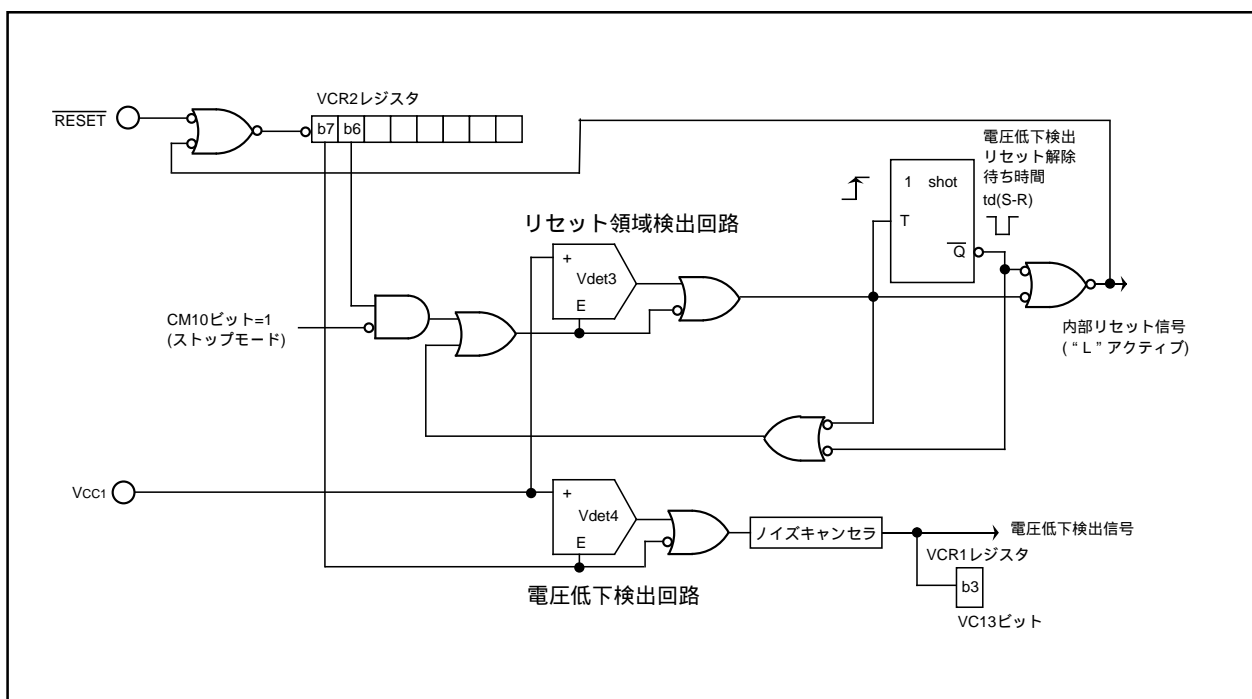


図6.1 電圧検出回路ブロック図

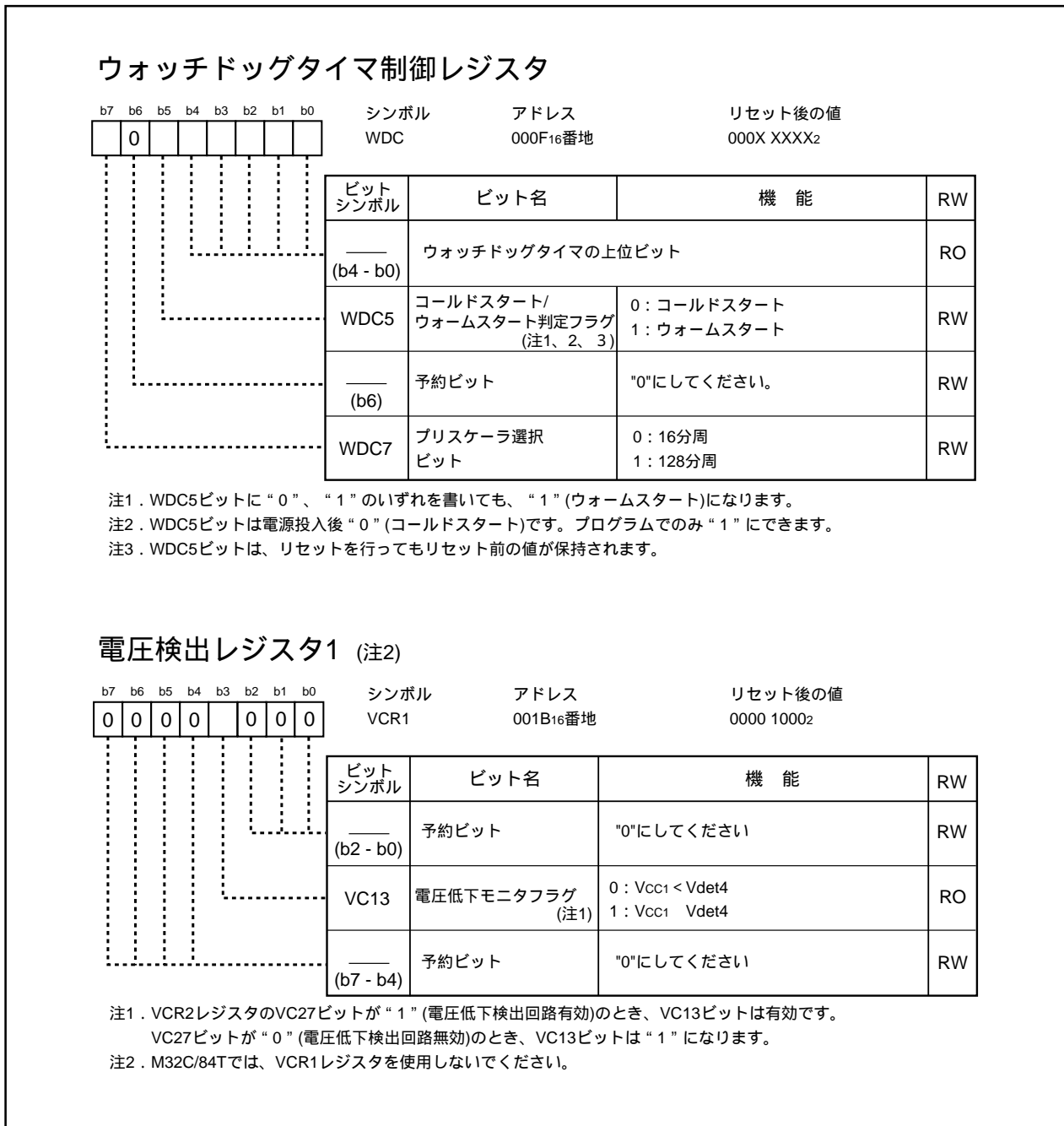


図6.2 WDCレジスタ、VCR1レジスタ

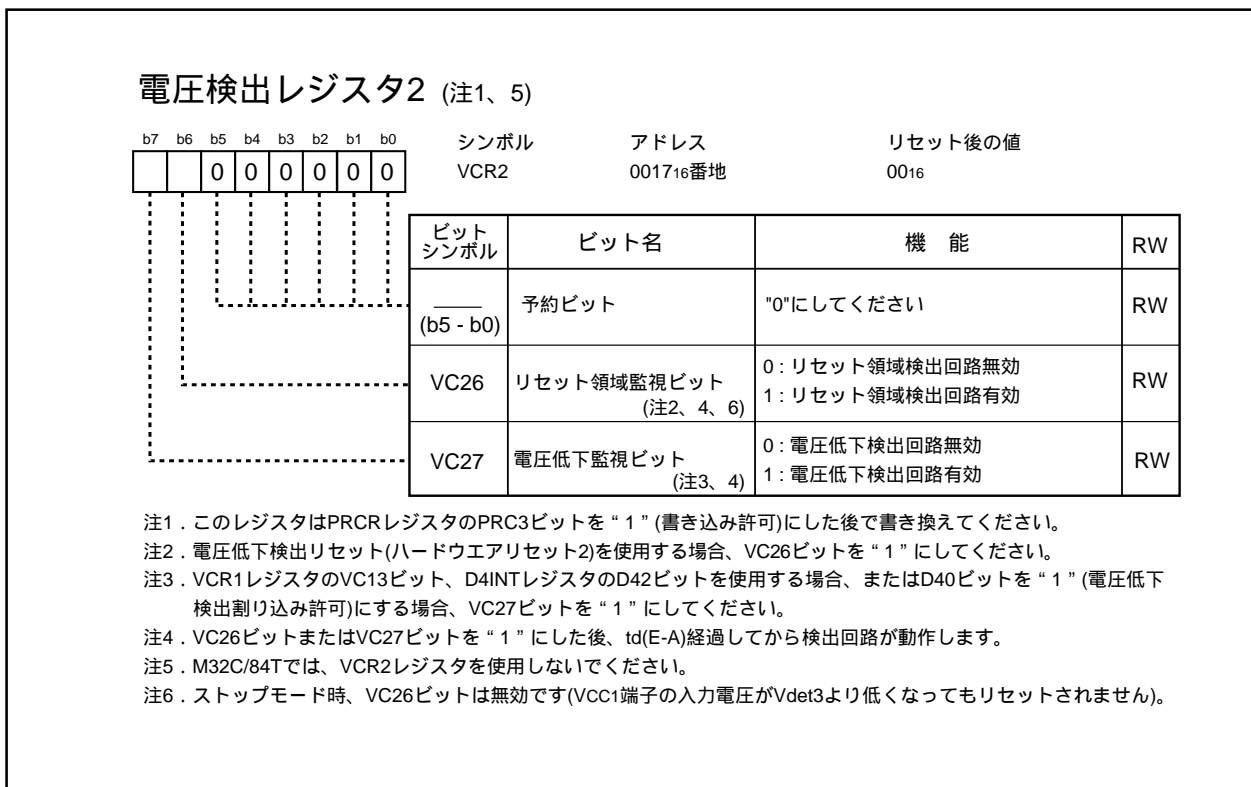


図6.3 VCR2レジスタ

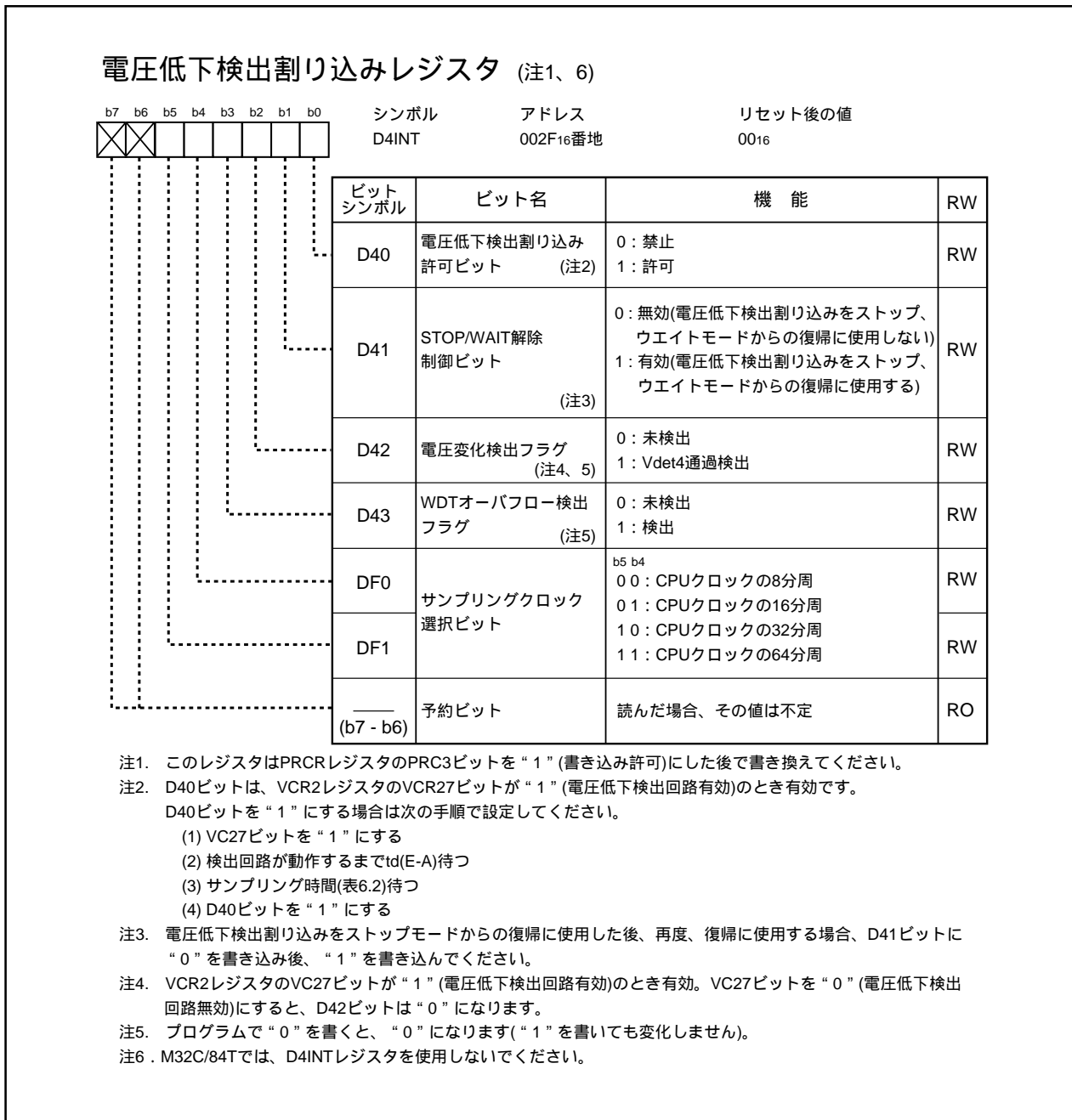


図6.4 D4INTレジスタ

6.1 電圧低下検出割り込み

D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)の場合、Vcc1端子に入力する電圧が上昇してVdet4以上になったとき、または降下してVdet4以下になったとき、電圧低下検出割り込み要求が発生します。

電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。電圧低下検出割り込みをこれらの割り込みと同時に使用する場合、割り込みルーチンでD4INTレジスタのD42ビットを読み出し、電圧低下検出割り込み要求が発生したことを確認してください。

電圧低下検出割り込みをウエイトモードやストップモードからの復帰に使用する場合、D4INTレジスタのD41ビットを“1”(有効)にしてください。

D42ビットはVcc1端子に入力する電圧が上昇または降下してVdet4を通過したことを検出したとき“1”になります。D42ビットが“0”から“1”に変化すると、電圧低下検出割り込み要求が発生します。D42ビットはプログラムで“0”(未検出)にしてください。ただし、D41ビットが“1”でかつウエイトモードまたはストップモードの場合、Vcc1端子に入力する電圧が上昇してVdet4を通過したことを検出すると、D42ビットの状態にかかわらず、電圧低下検出割り込み要求が発生し、ウエイトモードまたはストップモードから復帰します。

表6.1に電圧低下検出割り込み要求発生条件を示します。

Vcc1端子に入力する電圧がVdet4を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表6.2にサンプリング時間を示します。

表6.1 電圧低下検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット (注4)	VC13ビット (注3)
通常動作モード (注1)	1	1	"0"または"1"	0 1	0 1 1 0
ウエイトモード、 ストップモード (注2)			1	-	0 1

注1. ウエイトモード、ストップモード以外の状態を通常動作モードとします。
(「9. クロック発生回路」参照)

注2. 「6.1.1 ストップモード/ウエイトモードの制約」を参照。

注3. VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。

詳細は図6.6を参照してください。

注4. 割り込みを発生させる前に、プログラムで“0”にしてください。

表6.2 サンプリング時間

CPU クロック (MHz)	サンプリングクロック(μs)			
	8分周	16分周	32分周	64分周
16	3.0	6.0	12.0	24.0
32	1.5	3.0	6.0	12.0

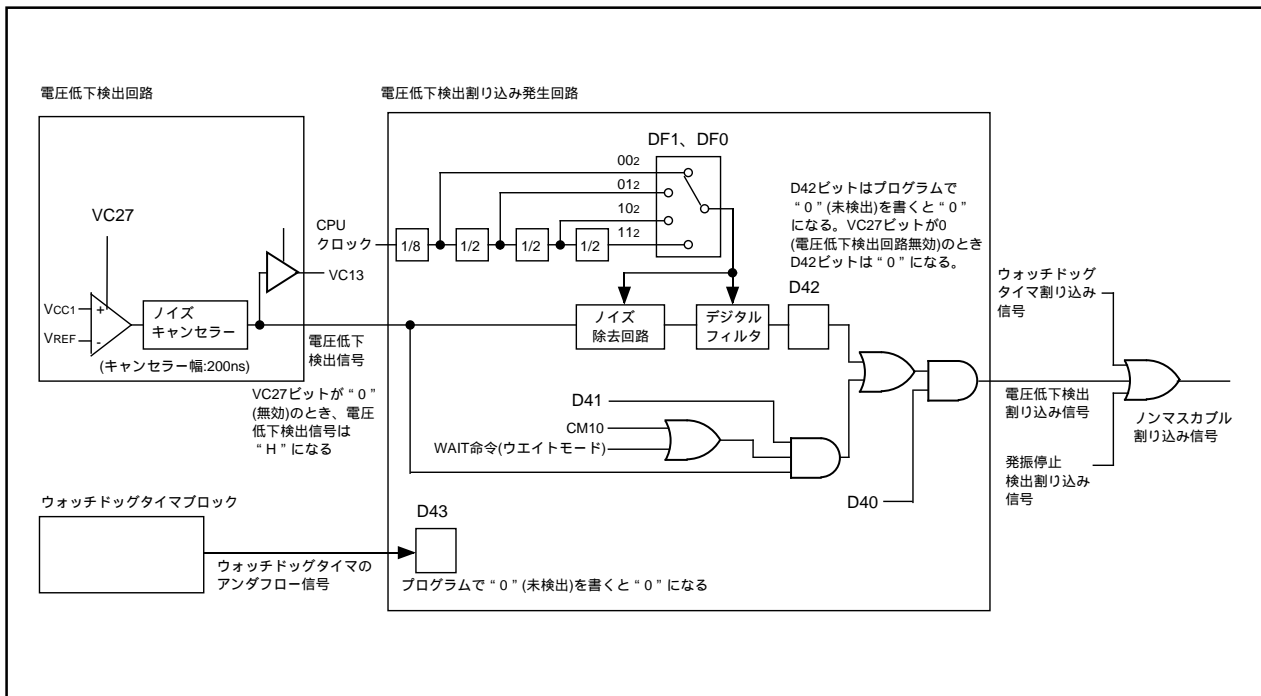


図6.5 電圧低下検出割り込み発生回路ブロック図

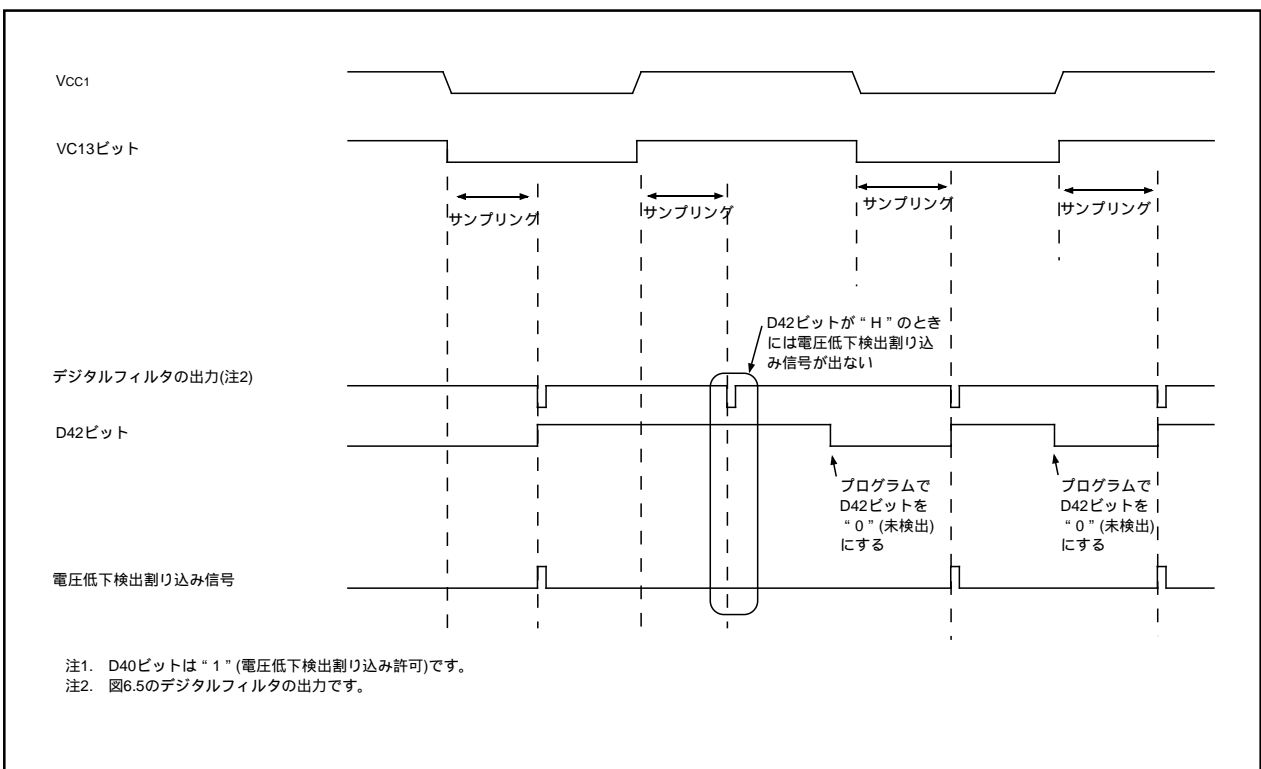


図6.6 電圧低下検出割り込み発生回路の動作例

6.1.1 ストップモード/ウェイトモードの制約

次の4つの条件をすべて満たしているとき、CM1レジスタのCM10ビットを“1”(ストップモード)にすると電圧低下検出割り込みが発生し、ストップモードから復帰します。また、WAIT命令を実行した場合も、同様に電圧低下検出割り込みが発生し、ウェイトモードから復帰します。

- ・VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- ・D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- ・D41ビットが“1”(ストップ、ウェイトモードからの復帰に電圧低下検出割り込みを使用する)
- ・Vcc1端子に入力する電圧がVdet4以上(VCR1レジスタのVC13ビットが“1”)

Vcc1端子に入力する電圧がVdet4以下になったときストップモード/ウェイトモードに移行し、Vdet4以上になったときストップモード/ウェイトモードから復帰するシステムでは、VC13ビットが“0”(Vcc1 < Vdet4)のとき、CM10ビットを“1”にしてください。

6.2 コールドスタート/ウォームスタート判定機能

WDCレジスタのWDC5ビットによって、電源投入時のリセット処理(コールドスタート)か、動作中のリセット信号入力によるリセット処理(ウォームスタート)かを判定することができます。

WDC5ビットは、電源投入時“0”(コールドスタート)で、WDCレジスタに書き込み動作(レジスタに書き込む値は任意)を行うと“1”(ウォームスタート)になります。ソフトウェアリセットやリセット信号の入力を行っても“0”になりません。

コールドスタート/ウォームスタート判定機能は、Vcc1=4.2~5.5Vのときに使用できます。

図6.7にコールドスタート/ウォームスタート判定機能のブロック図を、図6.8に動作例を示します。

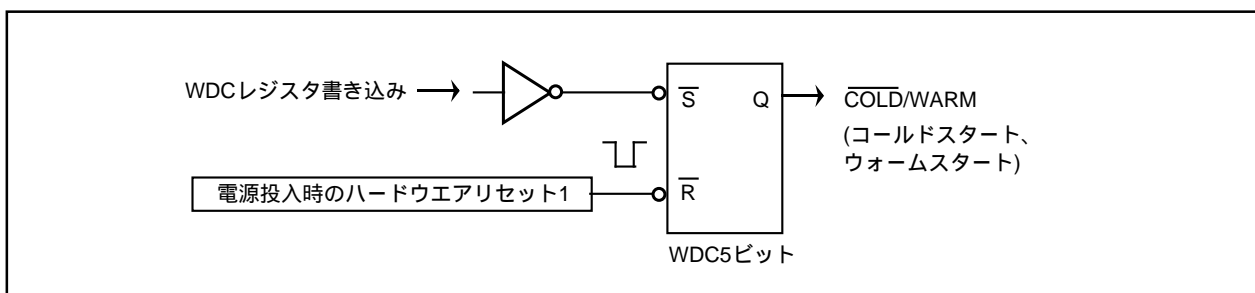


図6.7 コールドスタート/ウォームスタート判定機能のブロック図

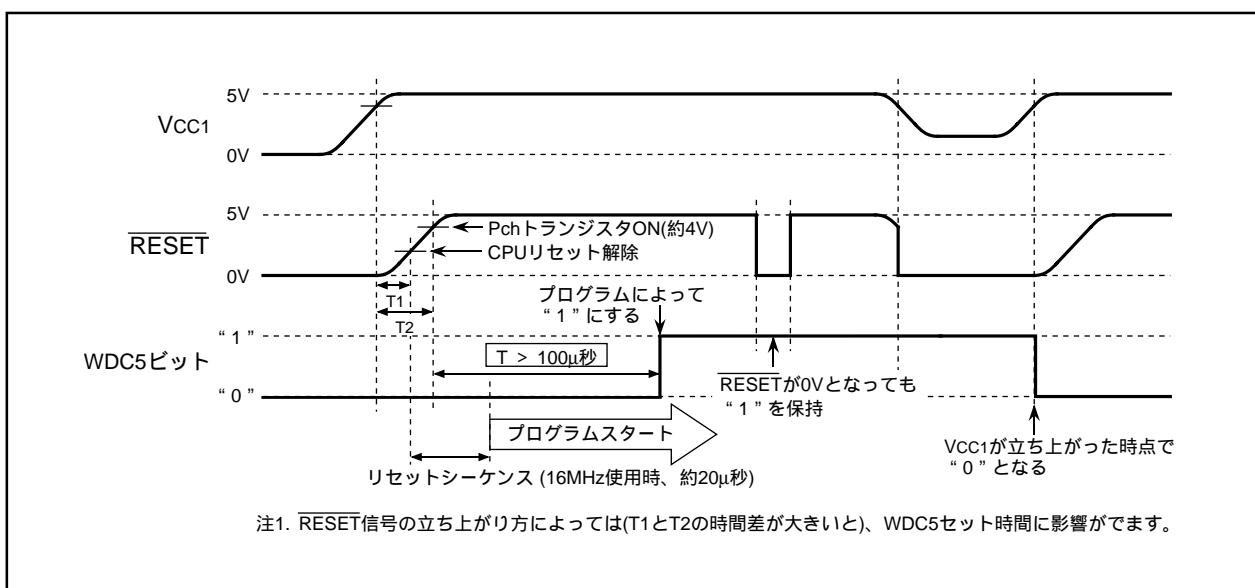


図6.8 コールドスタート/ウォームスタート判定機能の動作例

7. プロセッサモード

注意

M32C/84Tでは、シングルチップモードを使用してください。
メモリ拡張モードおよびマイクロプロセッサモードは使用しないでください。

7.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、またはマイクロプロセッサモードを選択できます。表7.1にプロセッサモードの特長を示します。

表7.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能 入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域 ^(注)	一部の端子がバス制御端子 ^(注)
マイクロプロセッサモード	SFR、内部RAM、外部領域 ^(注)	一部の端子がバス制御端子 ^(注)

注1. 詳細は、「8. バス」を参照してください。

7.2 プロセッサモードの設定

プロセッサモードの設定は、CNVss端子、PM0レジスタのPM01～PM00ビットで行います。表7.2にハードウェアリセット後のプロセッサモード、表7.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表7.2 ハードウェアリセット後のプロセッサモード

CNVss端子の入力レベル	プロセッサモード
Vss	シングルチップモード
Vcc1(注1、2)	マイクロプロセッサモード

注1．CNVss端子にVcc1を入力し、ハードウェアリセット(ハードウェアリセット1または電圧低下検出しリセット)した場合、PM01～PM00ビットの設定にかかわらず、内部ROMはアクセスできません。

注2．マルチプレクスバスをCSの全空間に割り当てることはできません。

表7.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
002	シングルチップモード
012	メモリ拡張モード
102	設定しないでください
112	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVss端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“012”(メモリ拡張モード)または“112”(マイクロプロセッサモード)に書き換える場合、PM07～PM02ビットと同時に書き換えないでください。また、内部ROMでのマイクロプロセッサモードへの移行、内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVss端子にVcc1を入力し、ハードウェアリセット(ハードウェアリセット1または電圧低下検出しリセット(ハードウェアリセット2))した場合、PM01～PM00ビットの設定にかかわらず、内部ROMはアクセスできません。

図7.1～図7.2にプロセッサモード関連レジスタ、図7.3に各プロセッサモードのメモリ配置を示します。

プロセッサモードレジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値(注2)
0	0	0	0	0	0	0	0	PM0	0004 ₁₆ 番地	1000 0000 ₂ (CNVss端子が"L") 0000 0011 ₂ (CNVss端子が"H")

ビットシンボル	ビット名	機能	RW
PM00	プロセッサモードビット (注2、3)	b1 b0 00: シングルチップモード	RW
PM01		01: メモリ拡張モード (注8) 10: 設定しないでください 11: マイクロプロセッサモード (注8)	RW
PM02	R/Wモード選択ビット	0: $\overline{RD} / \overline{BHE} / \overline{WR}$ 1: $\overline{RD} / \overline{WRH} / \overline{WRL}$	RW
PM03	ソフトウェアリセットビット	このビットを"1"にすると、マイクロコンピュータはリセットされる。読んだ場合その値は"0"。	RW
PM04	マルチプレクスバス 空間選択ビット (注4)	b5 b4 00: マルチプレクスバスを使用しない	RW
PM05		01: $\overline{CS2}$ の空間に割り当てる 10: $\overline{CS1}$ の空間に割り当てる 11: \overline{CS} の全空間に割り当てる (注5)	RW
— (b6)	予約ビット	"0"にしてください	RW
PM07	BCLK出力機能 選択ビット (注6)	0: BCLK出力 (注7) 1: BCLK出力しない。端子の機能はCM0レジスタのCM01~CM00ビットで選択	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。

注2. PM00~PM01ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

注3. PM01~PM00ビットを"01₂"または"11₂"に書き換えるときは、PM07~PM02ビットと同時に書き換えしないでください。PM07~PM02ビットを書き換えてからPM01~PM00ビットを書き換えてください。

注4. メモリ拡張モード、マイクロプロセッサモード時に有効です。
外部領域モードのモード0選択時、PM05~PM04ビットを"00₂"にしてください。
外部領域モードのモード2選択時、PM05~PM04ビットを"01₂"にしないでください。

注5. リセット後はセパレートバスで動作しますので、マイクロプロセッサモード時にPM05~PM04ビットを"11₂"にできません。
メモリ拡張モード時、PM05~PM04ビットを"11₂"にすると、アクセス空間はチップセレクトごとに64Kバイトになります。モード0選択時、マルチプレクスバスは使用できません。モード1選択時は $\overline{CS0} \sim \overline{CS2}$ 、モード2選択時は $\overline{CS0}$ 、 $\overline{CS1}$ 、モード3選択時は $\overline{CS0} \sim \overline{CS3}$ が該当します。

注6. シングルチップモード時、PM07ビットを"0"にしてもBCLKは出力されません。
メモリ拡張モード、マイクロプロセッサモード時にクロック出力を停止する場合は、PM07ビットを"1"、CM0レジスタのCM01~CM00ビットを"00₂" (入出力ポートP5₃)にしてください。このとき、P5₃からは"L"が出力されます。

注7. PM07ビットが"0"の場合はCM01~CM00ビットを"00₂" (入出力ポートP5₃)にしてください。

注8. M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

図7.1 PM0レジスタ

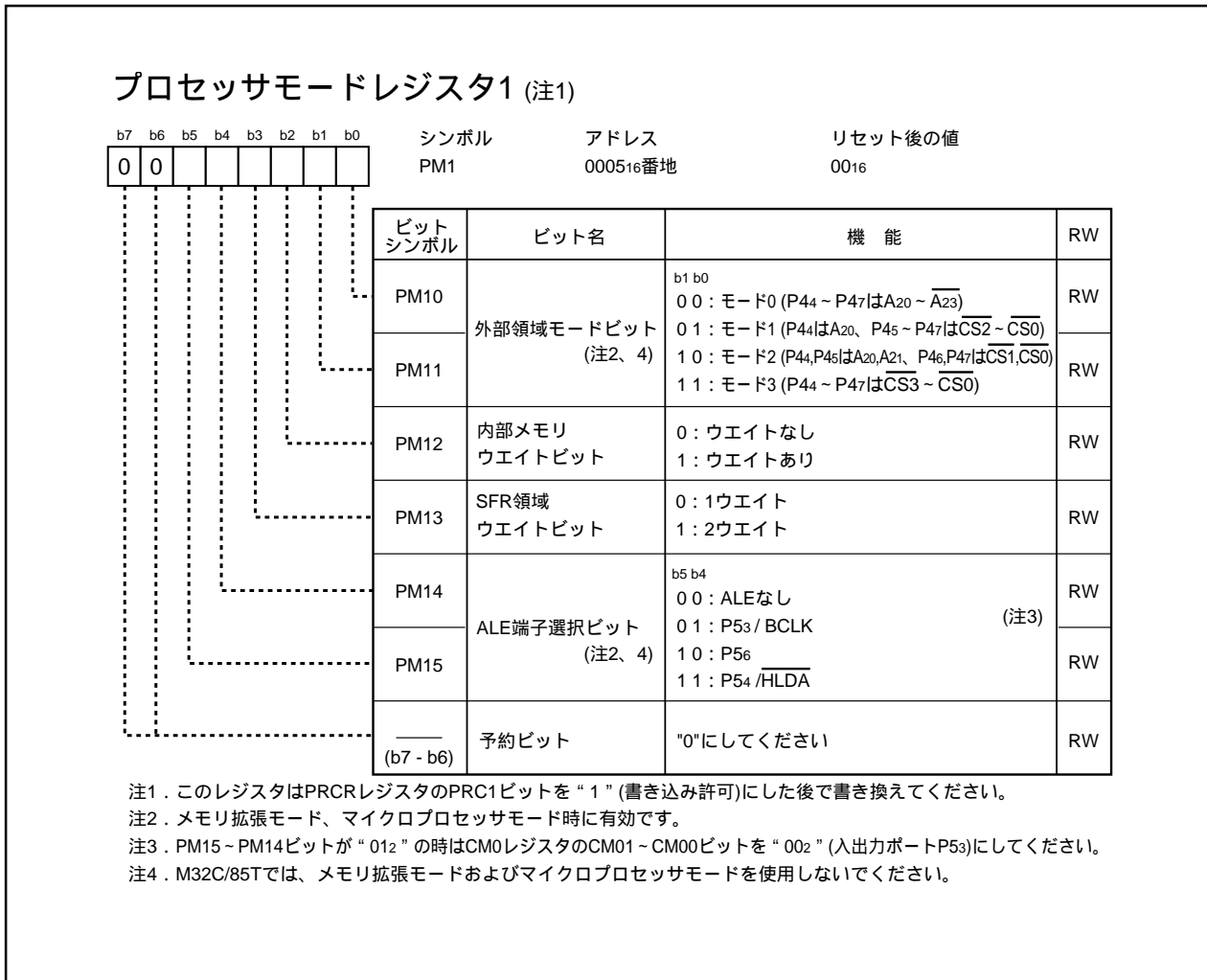


図7.2 PM1レジスタ

	シングルチップモード			メモリ拡張モード			マイクロプロセッサモード		
	モード0	モード1	モード2	モード3	モード0	モード1	モード2	モード3	
000000 ¹⁶	SFR	SFR	SFR	SFR	SFR	SFR	SFR	SFR	
000400 ¹⁶	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	
00F000 ¹⁶	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	
010000 ¹⁶	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	外部領域0	外部領域0	外部領域0	外部領域0	
100000 ¹⁶		CS1 2Mバイト (注1) 外部領域0	CS1 4Mバイト (注2) 外部領域0	使用不可	外部領域0	CS1 2Mバイト (注1) 外部領域0	CS1 4Mバイト (注2) 外部領域0	使用不可	
200000 ¹⁶		CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域0	CS1 1Mバイト 外部領域0	外部領域1	CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域1	CS1 1Mバイト 外部領域0	
300000 ¹⁶								CS2 1Mバイト 外部領域1	
400000 ¹⁶									
	使用不可	外部領域2	外部領域2	使用不可	外部領域2	外部領域2	外部領域2	使用不可	
C00000 ¹⁶		CS0 2Mバイト 外部領域3	CS0 3Mバイト 外部領域3	CS3 1Mバイト 外部領域2		使用不可		CS3 1Mバイト 外部領域2	
D00000 ¹⁶				使用不可	外部領域3		CS0 4Mバイト 外部領域3	使用不可	
E00000 ¹⁶		外部領域3		CS0 1Mバイト 外部領域3		CS0 2Mバイト 外部領域3			
F00000 ¹⁶		予約領域	予約領域	予約領域					
FFFFFF ¹⁶	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	

注1. 200000¹⁶ - 010000¹⁶ = 1984Kバイト 2Mバイトに対して64K少ない
 注2. 400000¹⁶ - 010000¹⁶ = 4032Kバイト 4Mバイトに対して64K少ない
 注3. フラッシュ版にはデータ格納用として4Kバイトの領域が存在します。

図7.3 各プロセッサモード時のメモリ配置

8. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子がアドレスバス、データバスを制御するバス制御端子となります。バス制御端子にはA0～A22、A23、D0～D15、CS0～CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE、HLDA/ALE、HOLD、ALE、RDYがあります。

注意

M32C/84Tでは、バス制御端子を使用しないでください。

8.1 バス設定

バスの設定はBYTE端子、DSレジスタ、PM0レジスタのPM05～PM04ビット、PM1レジスタのPM11～PM10ビットで切り替えられます。

表8.1にバスの設定と切り替え要因を、図8.1にDSレジスタを示します。

表8.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	DSレジスタ
リセット後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス、マルチプレクスバス切り替え	PM0レジスタのPM05～PM04ビット
チップセレクトの数	PM1レジスタのPM11～PM10ビット

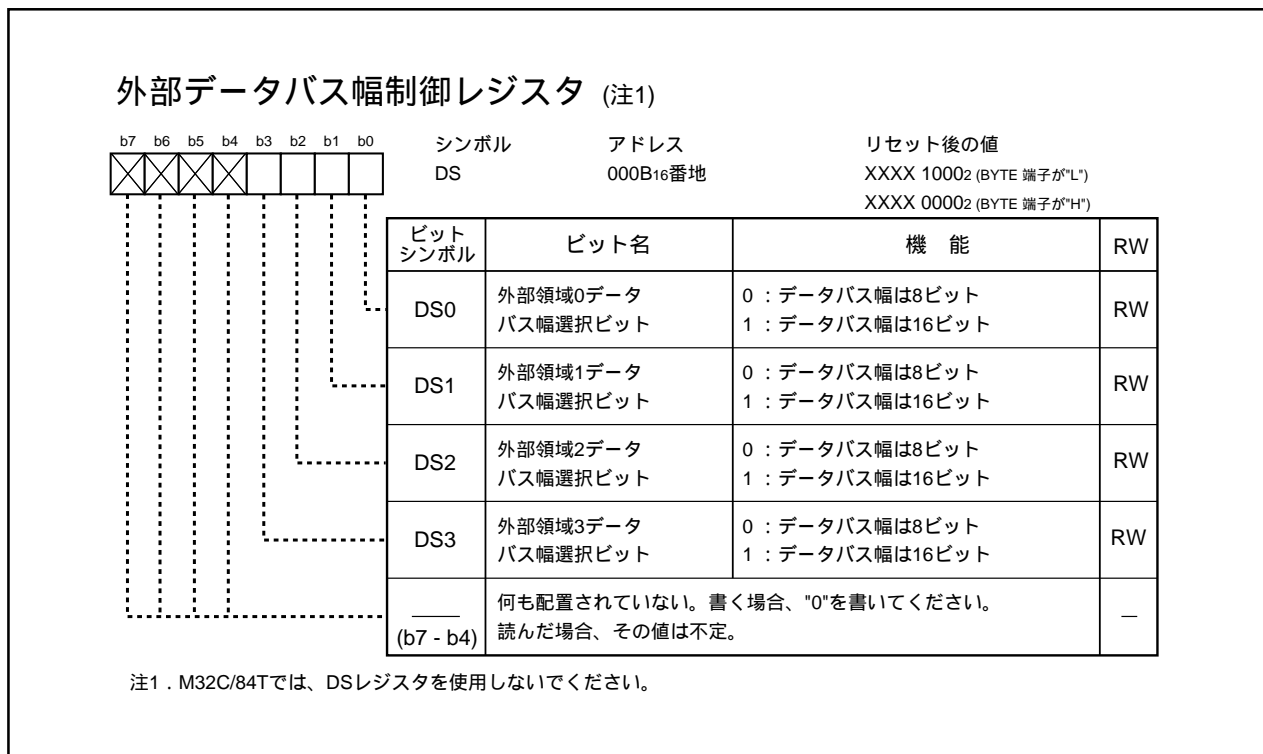


図8.1 DSレジスタ

8.1.1 外部アドレスバスの選択

外部に出力するアドレスバスの本数、チップセレクトの本数、チップセレクトの領域は外部領域モードごとに異なります。外部領域モードはPM11～PM10ビットで選択できます。

8.1.2 外部データバスの選択

外部データバスは外部領域ごとにDSレジスタで8ビットまたは16ビットを選択できます。リセット後の外部領域3のデータバスは、BYTE端子の入力が“L”のときは16ビット、“H”のときは8ビットです。動作中は、BYTE端子入力レベルを変更しないでください。内部バスは常に16ビットです。

8.1.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。

8.1.3.1 セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、DSレジスタにより8ビットまたは16ビットを選択できます。DSレジスタのDSiビット(i=0～3)がすべて“0”(8ビットデータバス)のときは、ポートP0はデータバス、ポートP1はプログラマブル入出力ポートとなります。

DSiビットのいずれかが“1”(16ビットデータバス)のときはポートP0、P1はデータバスとなります。ただし、DSiビットが“0”の領域にアクセスしたとき、ポートP1は不定です。

セパレートバスでアクセスする場合、EWCRiレジスタ(i=0～3)でソフトウェアウエイト数を選択できます。

8.1.3.2 マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。DSiビットで8ビットを選択した領域では、D0～D7がA0～A7とマルチプレクスされます。DSiビットで16ビットを選択した領域では、D0～D15がA0～A15とマルチプレクスされます。マルチプレクスバスの領域では、EWCRiレジスタでソフトウェアウエイトの数が選択できます。詳細は、「8.2.4 バスタイミング」を参照してください。

リセット後セパレートバスで動作しますので、マルチプレクスバスはCS1の領域、CS2の領域またはすべてのCS領域に割り当てることができますが、マイクロプロセッサモードではすべてのCS領域にマルチプレクスバスを割り当てることができません。PM0レジスタのPM05～PM04ビットを“112”(CSの全空間に割り当てる)にすると、アドレスはA0～A15までの16ビットが出力されます。詳細は、表8.2を参照してください。

表8.2 プロセッサモードと端子の機能

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード				メモリ拡張モード	
PM0レジスタのPM05～PM04ビット		“012”、“102” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“002” (セパレートバス)		“112” (注1) (全空間マルチプレクスバス)	
アクセス領域のデータバス幅		全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット
P00～P07	入出力ポート	データバス D0～D7	データバス D0～D7	データバス D0～D7	データバス D0～D7	入出力ポート	入出力ポート
P10～P17	入出力ポート	入出力ポート	データバス D8～D15	入出力ポート	データバス D8～D15	入出力ポート	入出力ポート
P20～P27	入出力ポート	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス A0～A7	アドレスバス A0～A7	アドレスバス/データバス A0/D0～A7/D7	アドレスバス/データバス A0/D0～A7/D7
P30～P37	入出力ポート	アドレスバス A8～A15	アドレスバス/データバス(注2) A8/D8～A15/D15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス/データバス A8/D8～A15/D15
P40～P43	入出力ポート	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	入出力ポート	入出力ポート
P44～P46	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A20～A22) (詳細は「8.2 バス制御」を参照)(注4)					
P47	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A23) (詳細は「8.2 バス制御」を参照)(注4)					
P50～P53	入出力ポート	\overline{RD} 、 \overline{WRL} 、 \overline{WRH} 、BCLKまたは \overline{RD} 、 \overline{BHE} 、 \overline{WR} 、BCLK出力 (詳細は「8.2 バス制御」を参照)(注3)					
P54	入出力ポート	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)
P55	入出力ポート	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}
P56	入出力ポート	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)
P57	入出力ポート	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}

注1. リセット後、セパレートバスで動作しますので、マイクロプロセッサモード時、PM05～PM04ビットを“112”(CS全空間マルチプレクスバス)にしないでください。メモリ拡張モード時、“112”を選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はPM1レジスタのPM15～PM14ビットで選択してください。 \overline{WRL} 、 \overline{WRH} か \overline{BHE} 、 \overline{WR} かはPM0レジスタのPM02ビットで選択してください。

PM15～14ビットを“002”(ALEなし)にした場合、不定値が出力されます。入出力ポートとして使用できません。

注4. CS信号とアドレスバスの選択は、PM1レジスタのPM11～PM10ビットで選択してください。

8.2 バス制御

外部デバイスのアクセスに必要な信号およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードがメモリ拡張モード、マイクロプロセッサモードのとき有効です。

8.2.1 アドレスバス、データバス

アドレスバスは、16Mバイトの空間をアクセスするための信号で、A₀ ~ A₂₂、 \overline{A}_{23} の24本あります。 \overline{A}_{23} はアドレス最上位ビットの反転出力です。

データバスは、データの入出力信号です。DSレジスタで外部領域ごとにD₀ ~ D₇の8ビットデータバスと、D₀ ~ D₁₅の16ビットデータバスを選択できます。リセット後、BYTE端子に“H”が入力されている場合、外部領域3のデータバスは8ビットになります。同様にBYTE端子に“L”が入力されている場合、16ビットになります。

また、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスは外部領域をアクセスするまで不定です。

8.2.2 チップセレクト信号

チップセレクト信号はA₂₀ ~ A₂₂、 \overline{A}_{23} と共用です。PM1レジスタのPM11 ~ PM10ビットでチップセレクトの領域とチップセレクトの出力本数を選択できます。チップセレクト信号は最大4本出力できます。

マイクロプロセッサモードの場合、リセット後、チップセレクト信号は出力されません。ただし、 \overline{A}_{23} をチップセレクト信号として使用できます。

\overline{CS}_i (i = 0 ~ 3)外部領域 i をアクセス中は“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図8.2にアドレスバスとチップセレクト信号の出力例を示します。

8.2.3 リード、ライト信号

データバスが16ビットのとき、リード、ライト信号はPM0レジスタのPM02ビットで、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。DSレジスタのDS3～DS0ビットが“0”（外部領域はすべて8ビットデータバス）のとき、PM02ビットを“0”（ \overline{RD} 、 \overline{WR} 、 \overline{BHE} ）にしてください。DS3～DS0ビットのいずれかが“1”（16ビットデータバス）で、8ビットの領域をアクセスするとき、PM02ビットの値にかかわらず、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせとなります。表8.3、表8.4に各信号の動作を示します。

リセット後、リード、ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表8.3 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地両方にデータを書く
8ビット	H	L(注1)	使用しない	1バイトのデータを書く
	L	H(注1)	使用しない	1バイトのデータを読む

注1. \overline{WR} 信号となります。

表8.4 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地から1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地から1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地両方にデータを書く
	L	H	L	L	偶数番地、奇数番地両方からデータを読む
8ビット	H	L	使用しない	H/L	1バイトのデータを書く
	L	H	使用しない	H/L	1バイトのデータを読む

8.2.4 バスタイミング

内部ROMと内部RAMの基本のバスサイクルは、BCLKの1サイクルです。PM1レジスタのPM12ビットを“1”(ウエイトあり)にした場合、バスサイクルはBCLKの2サイクルになります。

SFRの基本のバスサイクルは、BCLKの2サイクルです。

外部領域の基本のバスサイクルは、リード、ライト共に2 (1 +1)です。外部領域はEWCRiレジスタ(i=0~3)により、セパレートバス12種類、マルチプレクスバス7種類のウエイトを挿入できます。例えば、EWCRi04~EWCRi00を“000112”(1 +3)にした場合、バスサイクルはBCLKの4サイクルになります。

図8.3にEWCRiレジスタを、図8.4~図8.8に外部領域のバスタイミングを示します。

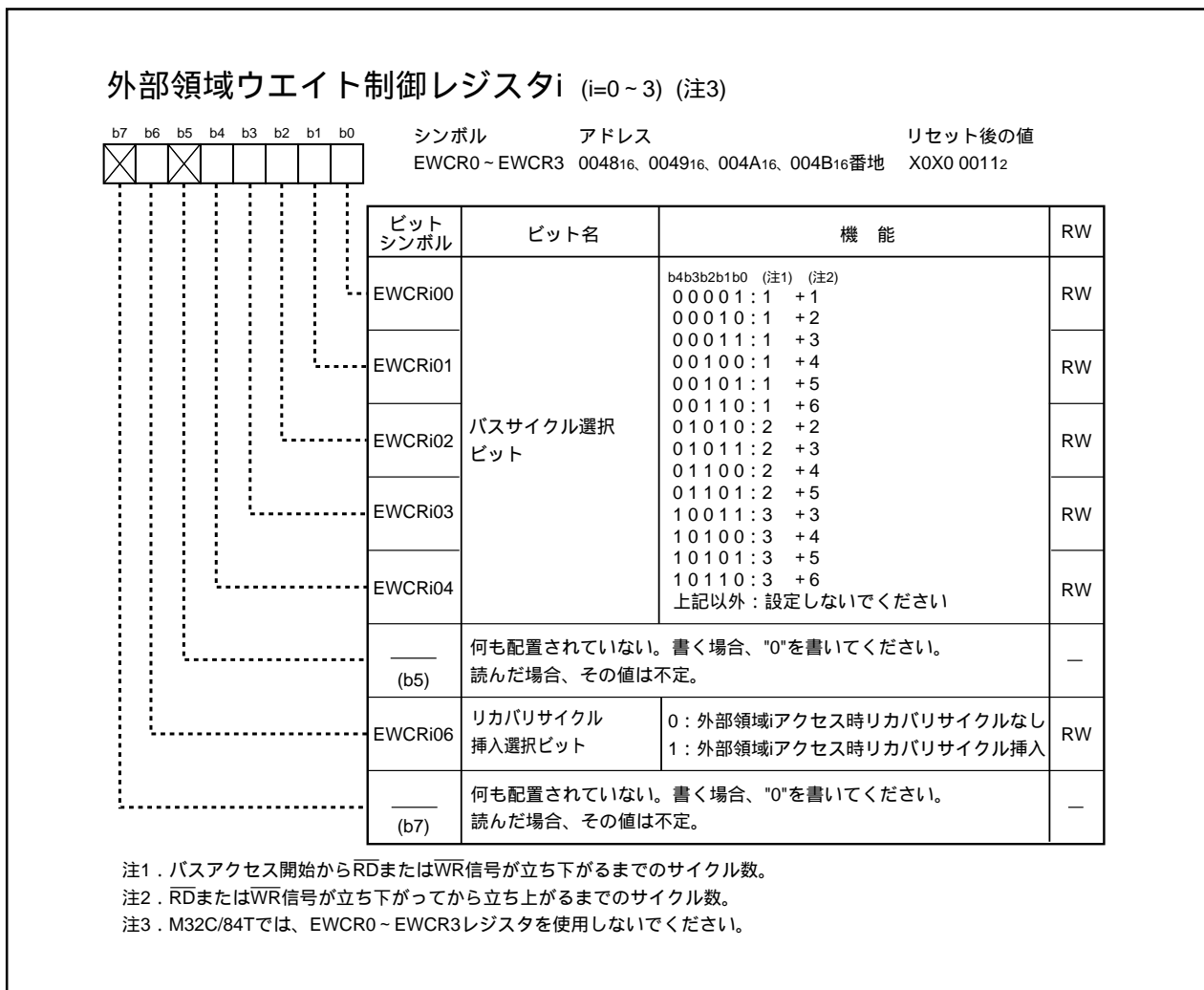


図8.3 EWCR0~EWCR3レジスタ

表8.5 ソフトウェアウエイトとバスサイクル

領域	外部バス形式	PM1レジスタ		EWCRi(i=0~3)レジスタ	バスサイクル
		PM13ビット	PM12ビット	EWCRi00~EWCRi04ビット	
SFR	-	0	-	-	BCLKの2サイクル
		1			BCLKの3サイクル
内部ROM、内部RAM	-	-	0	-	BCLKの1サイクル
			1		BCLKの2サイクル
外部メモリ	セパレートバス	-	-	000012	BCLKの2サイクル
				000102	BCLKの3サイクル
				000112	BCLKの4サイクル
				001002	BCLKの5サイクル
				001012	BCLKの6サイクル
				001102	BCLKの7サイクル
				010102	BCLKの4サイクル
				010112	BCLKの5サイクル
				011002	BCLKの6サイクル
				100112	BCLKの6サイクル
	101002	BCLKの7サイクル			
	101102	BCLKの9サイクル			
	マルチプレクスバス	-	-	010102	BCLKの4サイクル
				010112	BCLKの5サイクル
				011012	BCLKの7サイクル
				100112	BCLKの6サイクル
				101002	BCLKの7サイクル
				101012	BCLKの8サイクル
				101102	BCLKの9サイクル

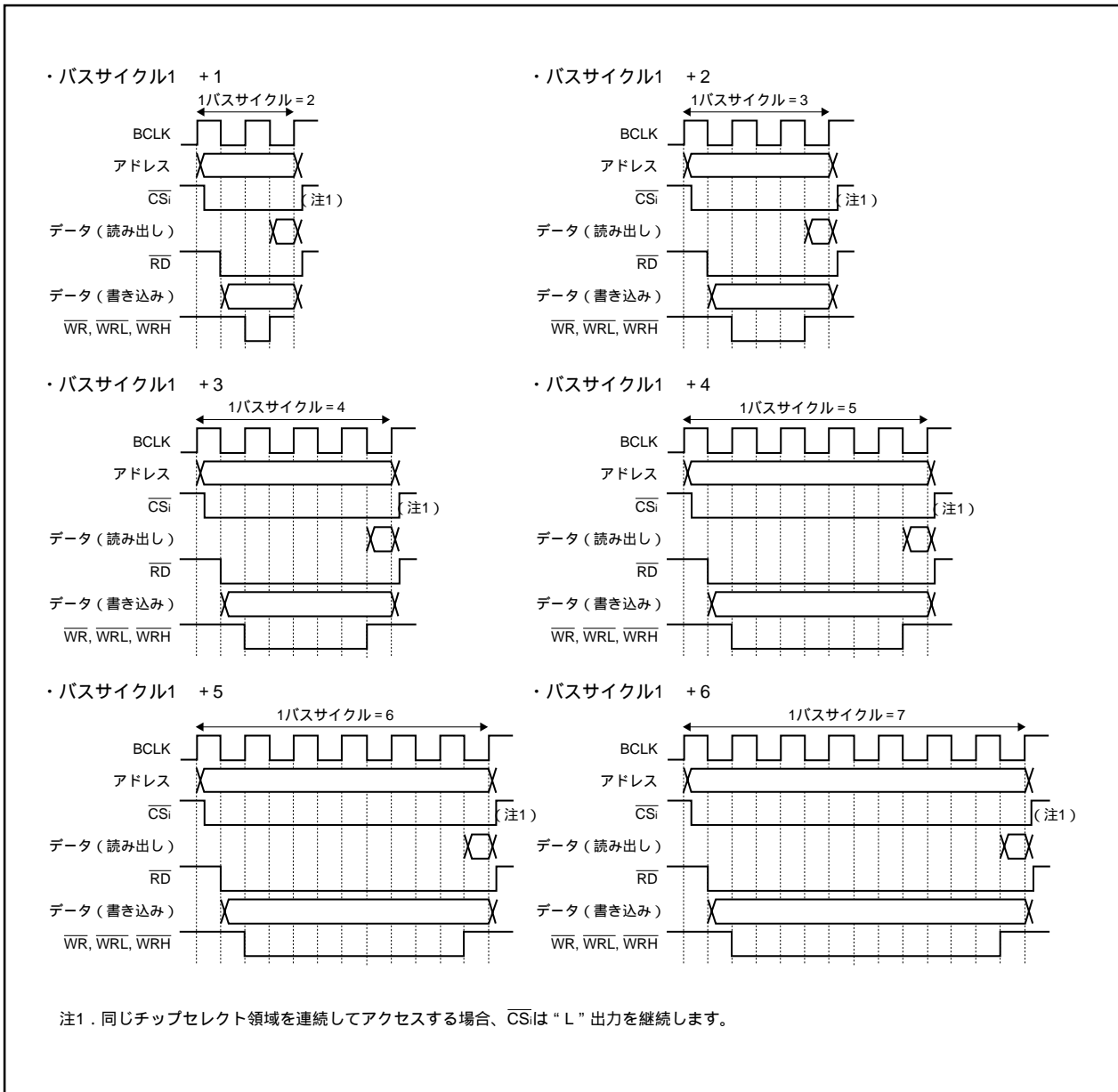


図8.4 セパレートバス選択時のバスサイクル(1)

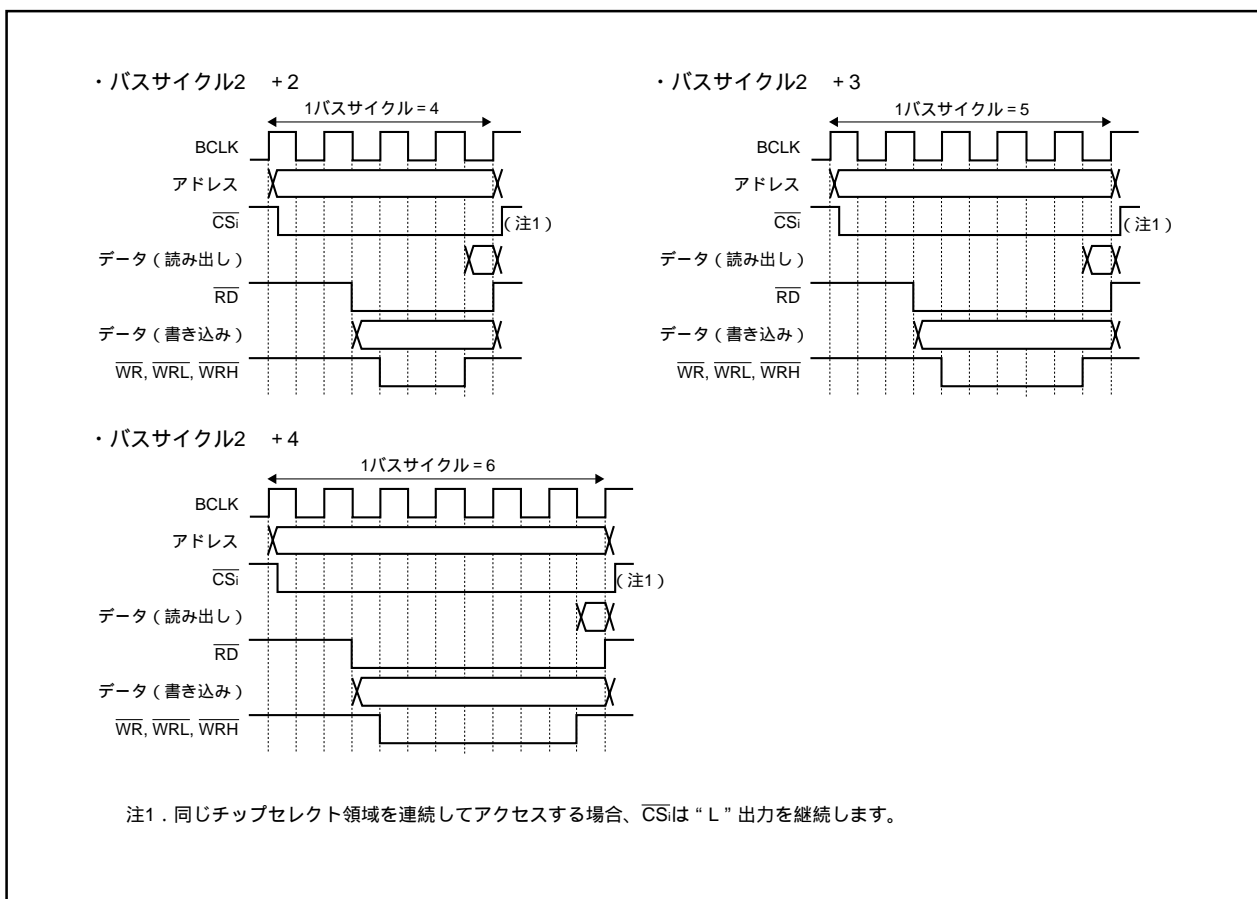


図8.5 セパレートバス選択時のバスサイクル(2)

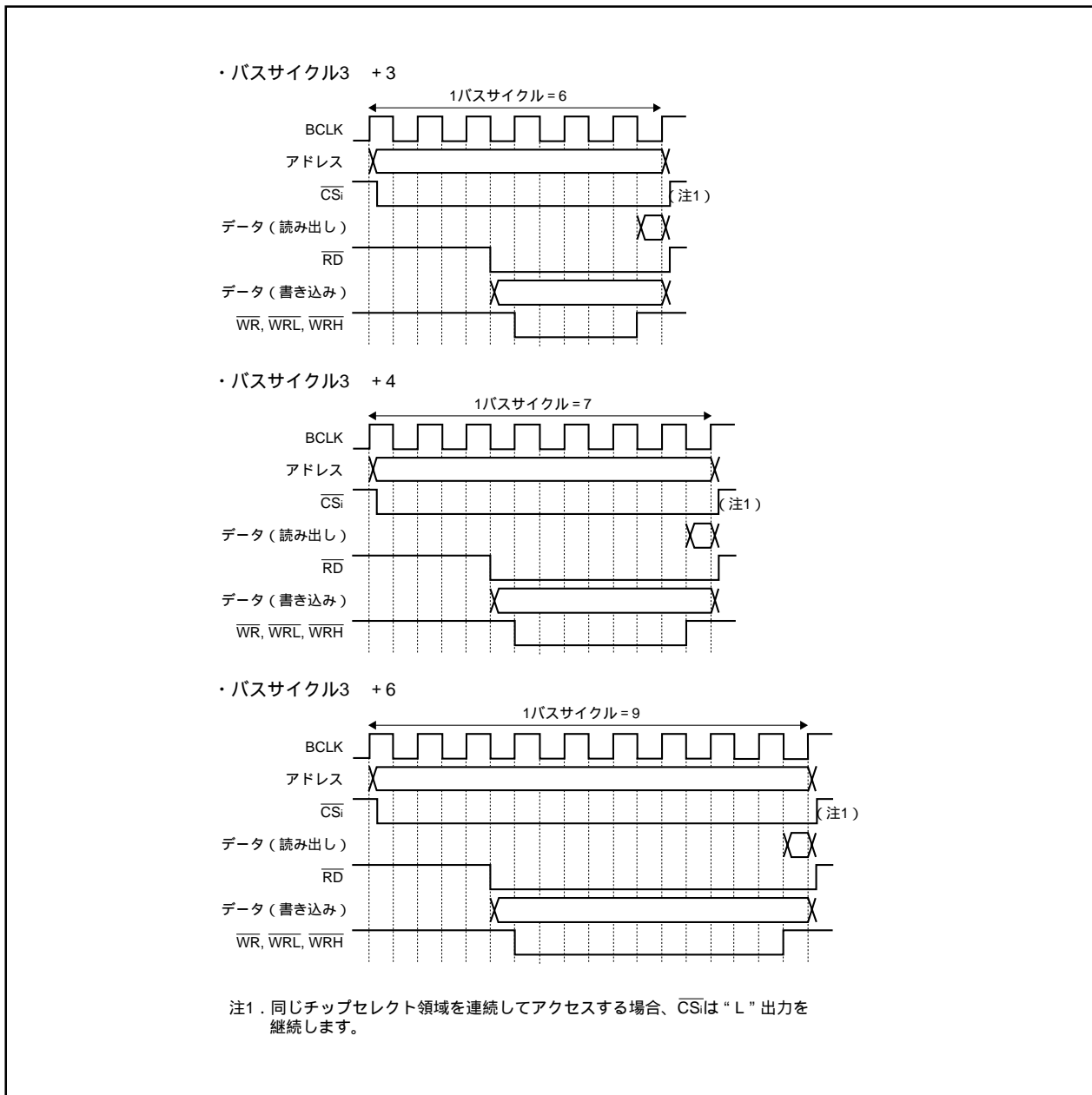


図8.6 セパレートバス選択時のバスサイクル(3)

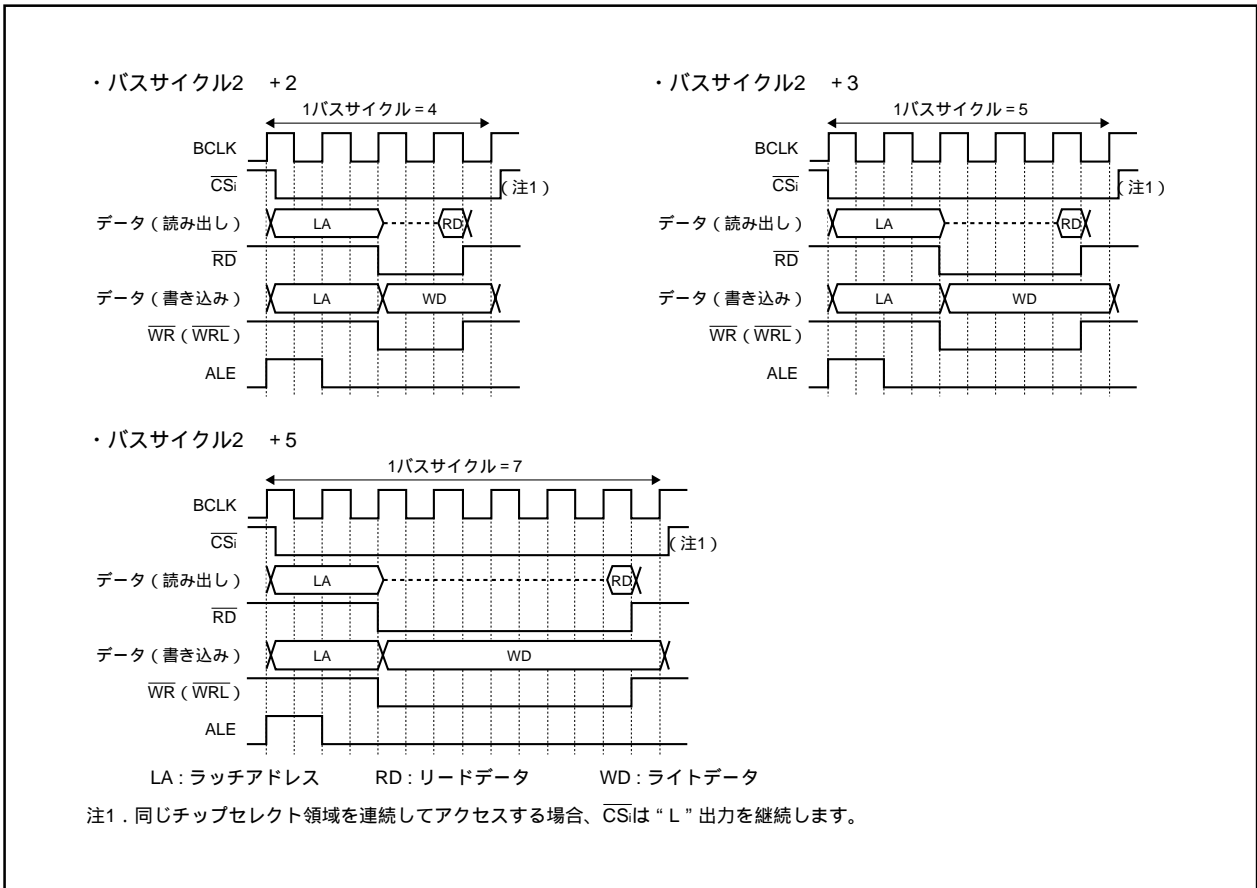


図8.7 マルチプレクスバス選択時のバスサイクル(1)

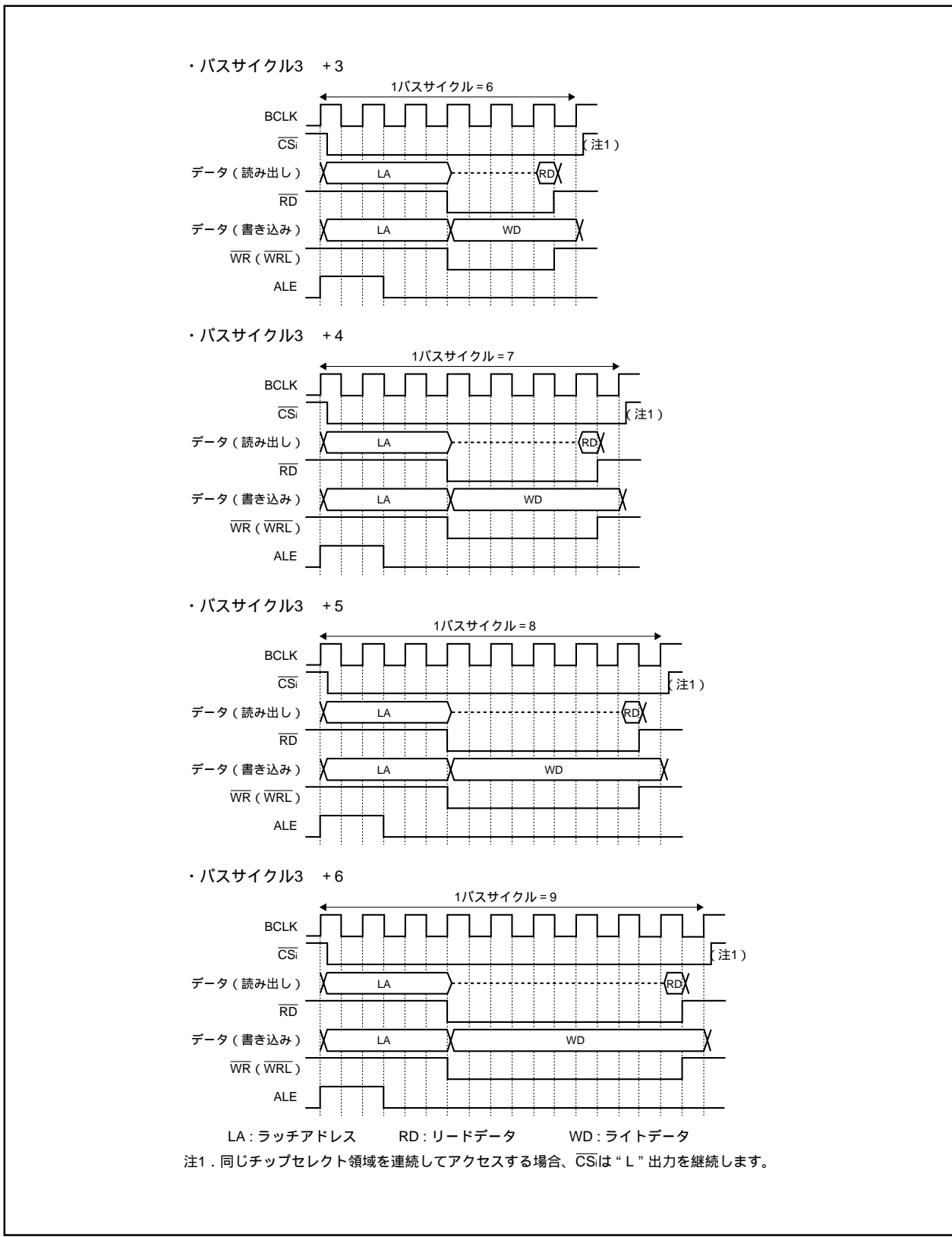


図8.8 マルチプレクスバス選択時のバスサイクル(2)

8.2.4.1 リカバリサイクル挿入時のバスサイクル

リカバリサイクルは、EWCRiレジスタのEWCRi06ビット(i=0~3)で選択できます。

リカバリサイクルの間、アドレス出力は保持されますので（セパレートバス時のみ）、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクルの間、書き込みデータ出力も保持されますので、書き込み時のデータホールド時間を長く要求するデバイスも接続できます。

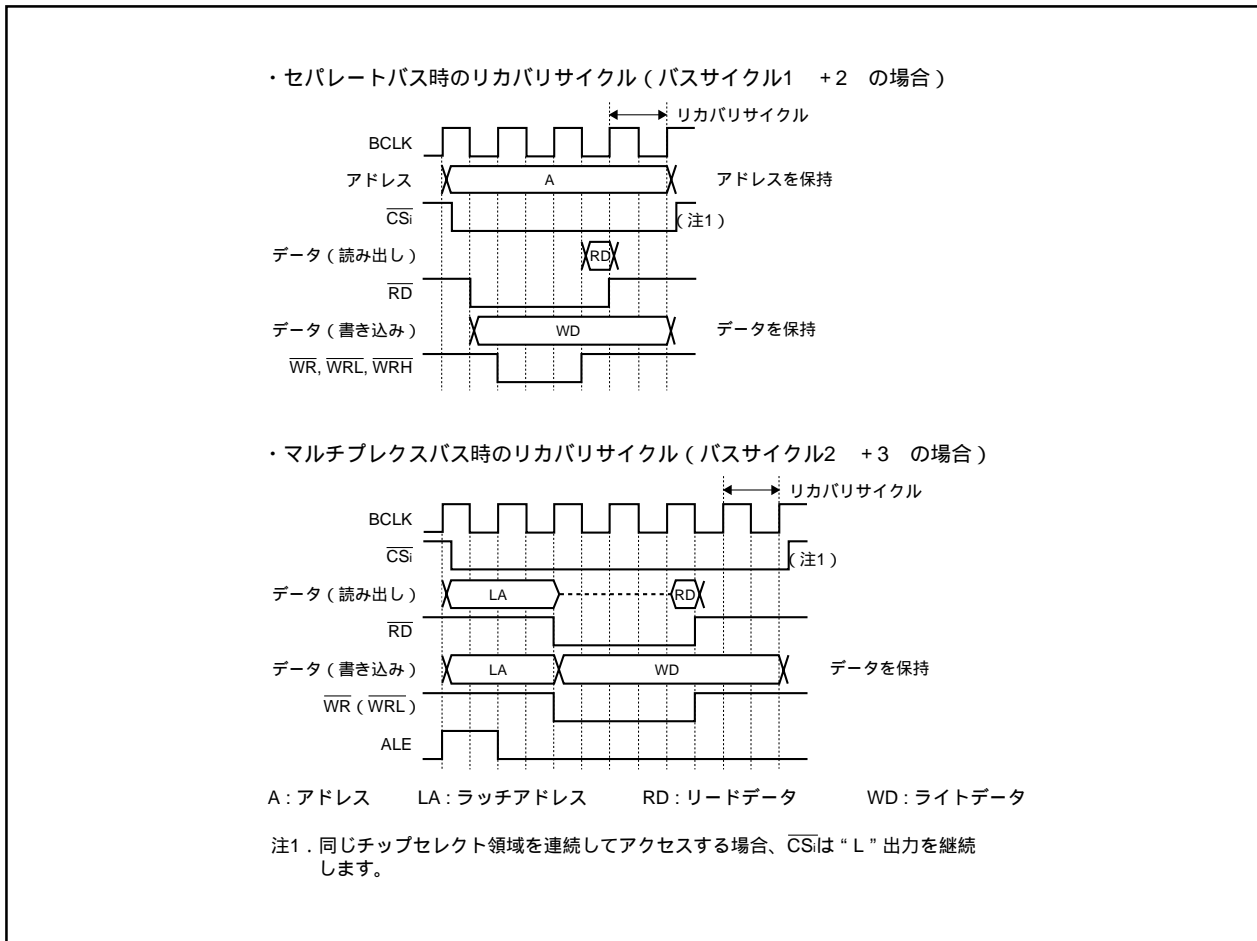


図8.9 リカバリサイクル

8.2.5 ALE信号

マルチプレクスバスのアドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号の出力端子はPM1レジスタのPM15～PM14ビットで選択できます。

ALE信号は内部領域、外部領域にかかわらず出力します。

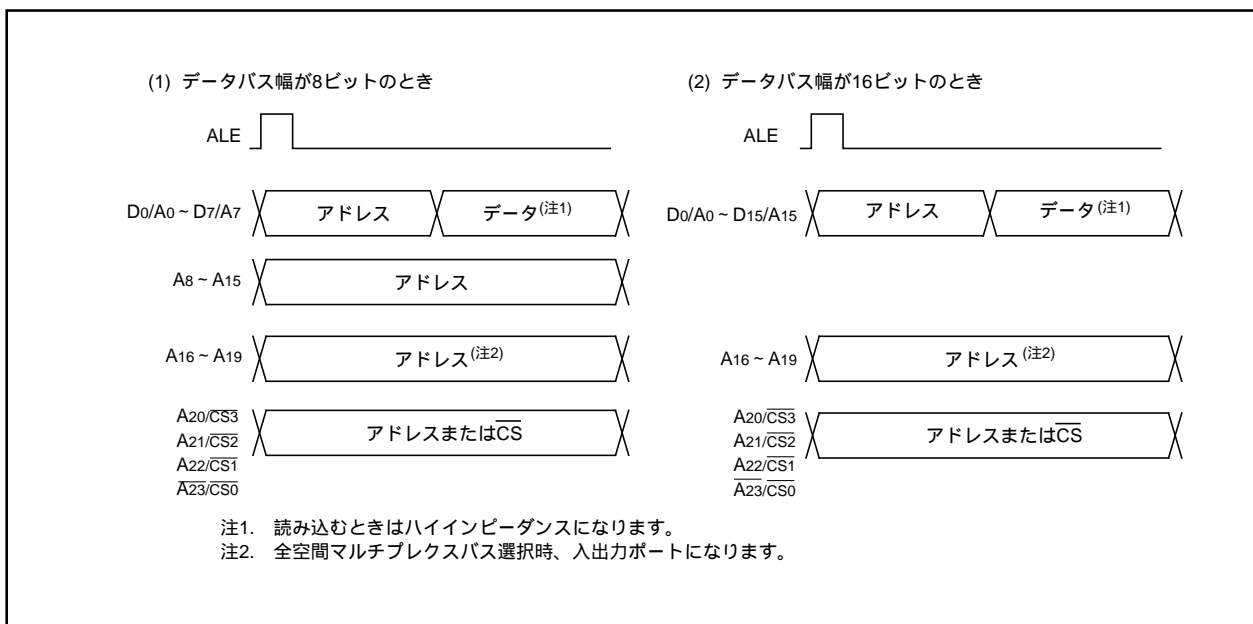


図8.10 ALE信号とアドレスバス、データバス

8.2.6 RDY信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスサイクルにウエイトが挿入されます。その後、BCLKの立ち下がりでRDY端子に“H”が入力されると、残りのバスサイクルを実行します。表8.6にRDY信号によりバスサイクルにウエイトが挿入されたときのマイクロコンピュータの状態、図8.11にRD信号がRDY信号によつてのびた例を示します。

表8.6 RDY信号によるウエイト中のマイクロコンピュータの状態(注1)

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS信号 ALE信号、HLDA信号 プログラブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウエイトによるウエイトの直前にはRDY信号は受け付けられません。

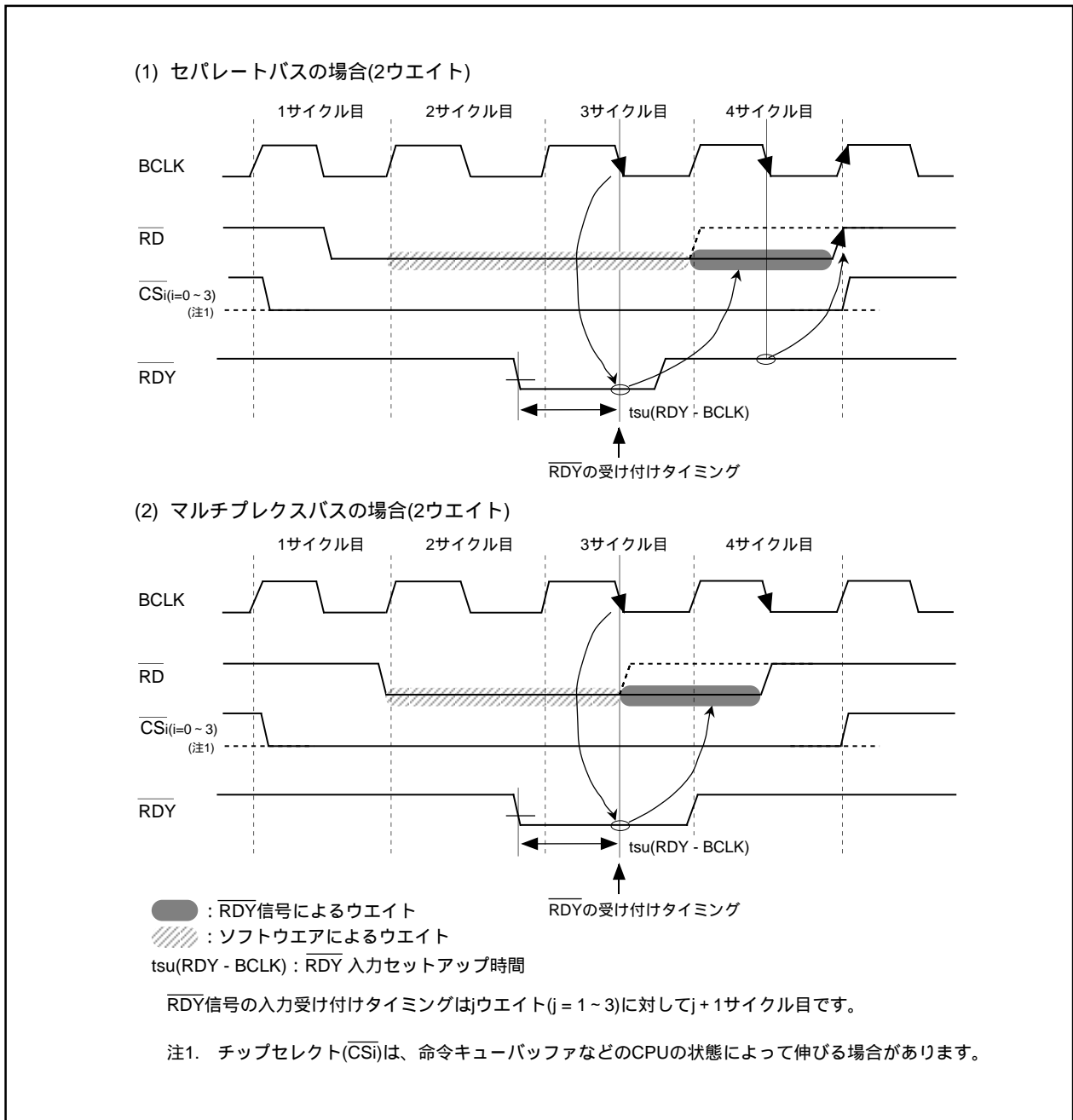


図8.11 RD信号がRDY信号によってのびた例

8.2.7 HOLD信号

バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。HOLD端子が“L”の間ホールド状態を保持し、HLDA端子から“L”を出力します。表8.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなります。

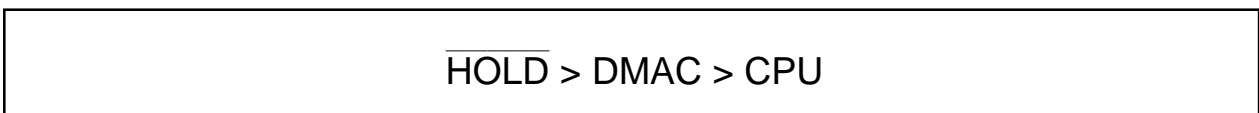


図8.12 バス使用優先順位

表8.7 ホールド状態におけるマイクロコンピュータの状態

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS、BHE	ハイインピーダンス
プログラマブル入出力ポート	HOLD信号を受け付けたときの状態を保持
HLDA	“L”を出力
内蔵周辺回路	動作(ただしウォッチドッグタイマは停止)
ALE信号	“L”を出力

8.2.8 内部領域をアクセスしたときの外部バスの状態

表8.8に内部領域をアクセスしたときの外部バスの状態を示します。

表8.8 内部領域をアクセスしたときの外部バスの状態

項目	SFR、内部ROM、内部RAMをアクセスしたときの状態	
アドレスバス	直前にアクセスされた外部領域のアドレスを保持	
データバス	リード時	ハイインピーダンス
	ライト時	ハイインピーダンス
RD、WR、WRL、WRH	“H”を出力	
BHE	直前にアクセスされた外部領域の状態を保持	
CS	“H”を出力	
ALE	ALE出力	

8.2.9 BCLK出力

CPUクロックはCPU動作クロックです。CPUクロック信号はPM0レジスタのPM07ビットを“0”(BCLK)、CM0レジスタのCM01～CM00ビットを“002”(入出力ポートP53)の組み合わせにすると、BCLKとしてP53より出力されます。ただし、シングルチップモード時BCLKは出力されません。詳細は、「9. クロック発生回路」を参照してください。

8.3 ページモード制御機能

注意

ページモード制御機能は、ROMレス版でのみ使用できます。

ページモードに対応した外部メモリを高速に読み出します。連続したアドレスをアクセスし、アドレス上位21ビットに変化がない場合、初回以降のアクセスを初回サイクルよりも短いサイクルで最大7バイト読み出します。

初回アドレスアクセス時のウエイトはEWCRiレジスタ(i=0~3)で設定します。初回以降連続したアドレスへのアクセス時のウエイトは、PWCR0、PWCR1レジスタで設定します。ページモード制御を許可する場合は、次の手順で設定してください。

- (1) EWCRiレジスタ(i=0~3)のEWCRi04~EWCRi00ビットを設定する
- (2) PWCRjレジスタ(j=0、1)のPWCRj02~PWCRj00ビットとPWCRj06~PWCRj04ビットを設定する
- (3) PWCRjレジスタのPWCRj03ビットとPWCRj07ビットを“1”(ページモード制御許可)にする

ページモード制御アクセスを使用する場合、全領域をページモード制御に設定してください。外部領域ごとに、通常の外部アクセスとページモード制御アクセスを混在して使用できません。

また、PM0レジスタのPM05~PM04ビットは“002”(マルチプレクスバスを使用しない)にしてください。マルチプレクスバスとページモード制御機能は共用できません。

図8.13、図8.14にPWCR0レジスタ、PWCR1レジスタを、図8.15にページモード制御時の外部バス動作例を示します。

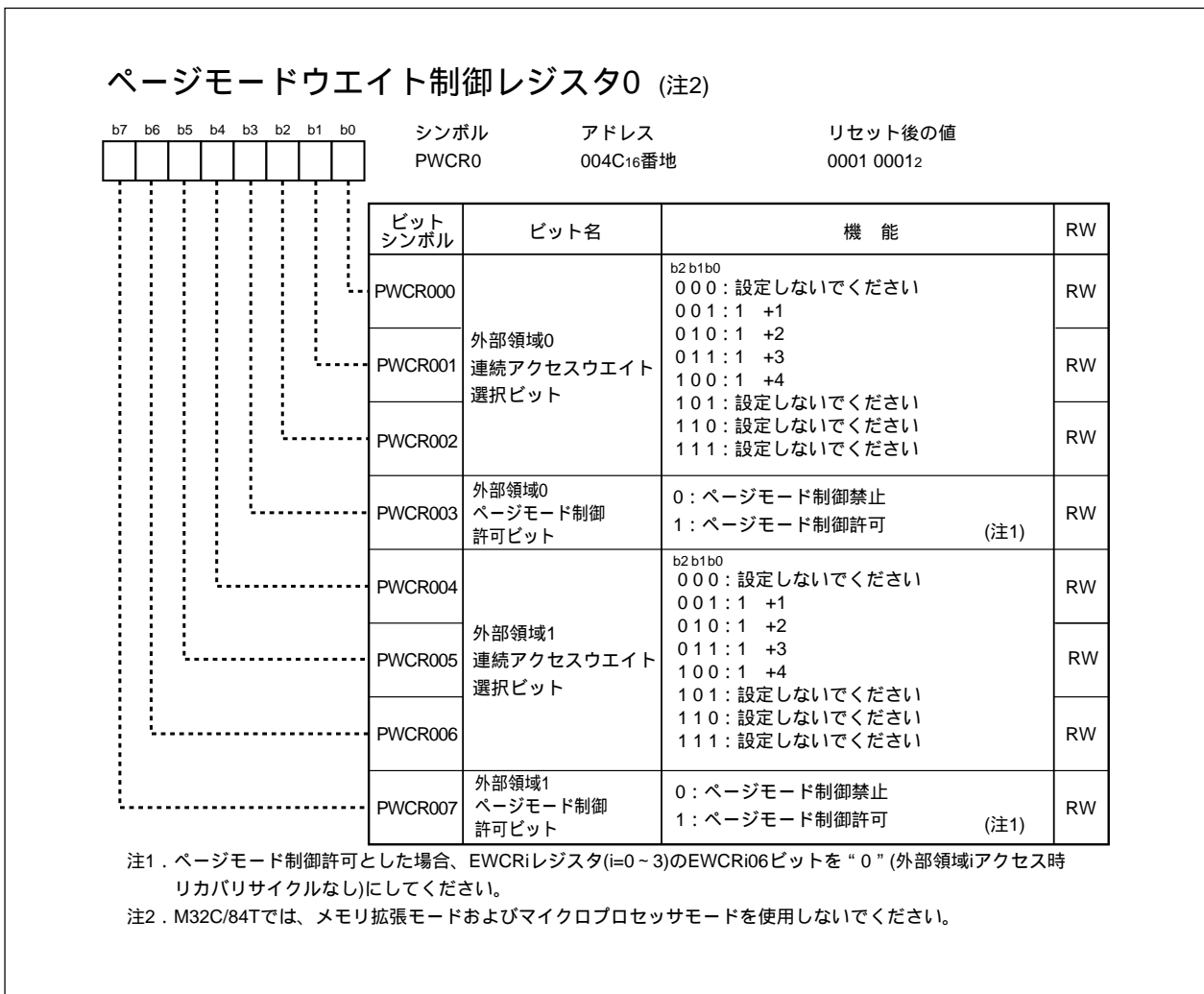


図8.13 PWCR0レジスタ

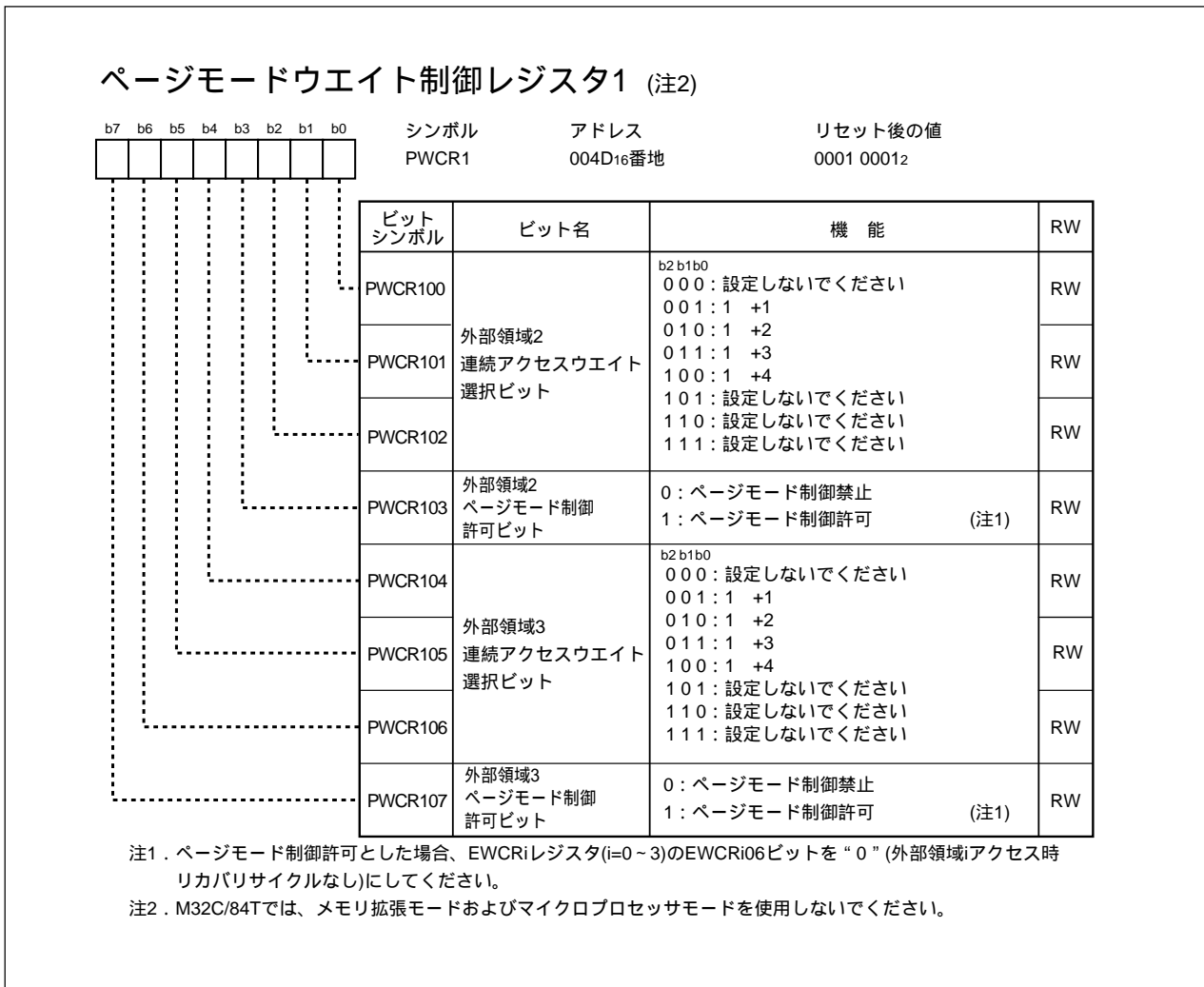


図8.14 PWCR1レジスタ

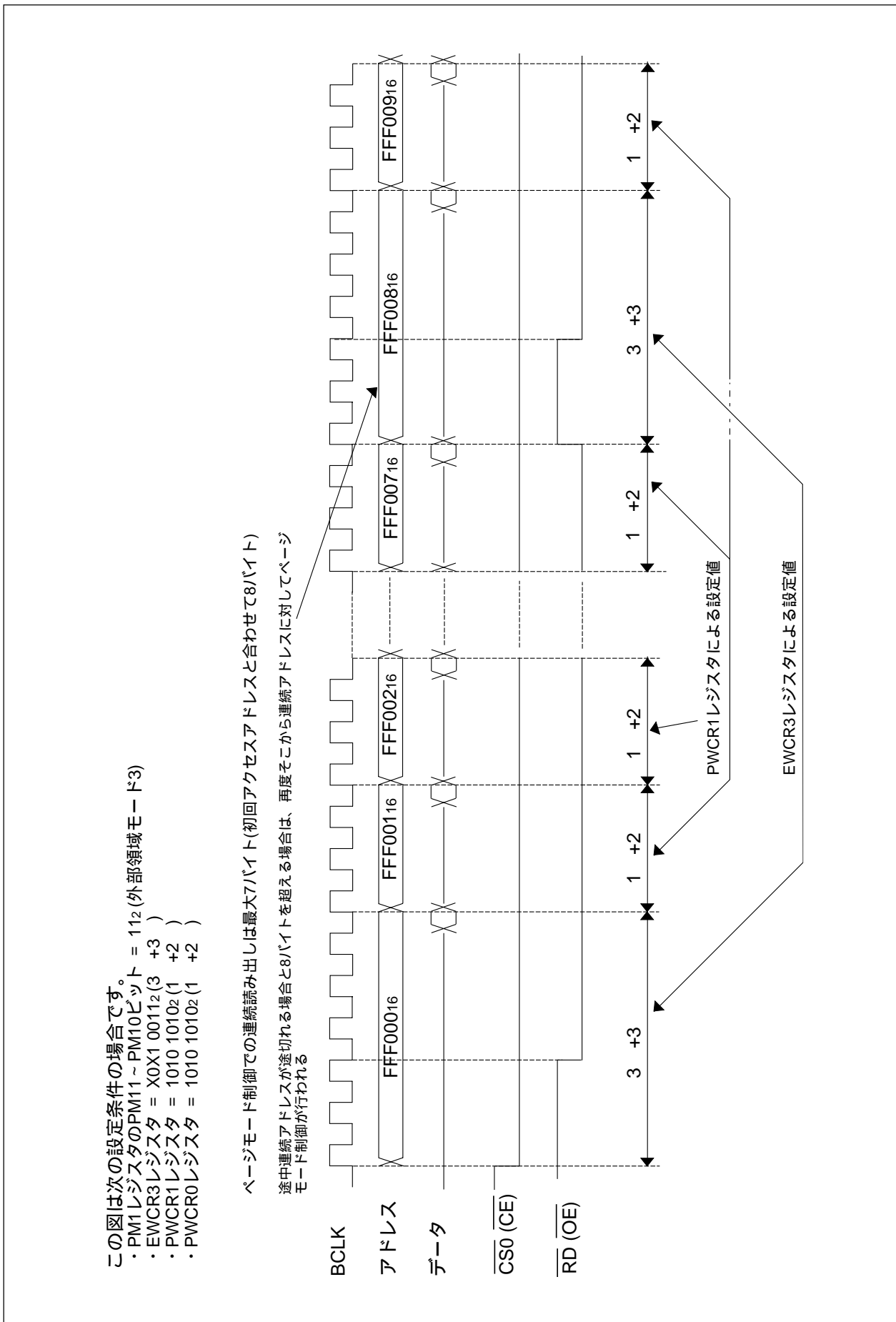


図8.15 ページモード制御時の外部バス動作例

9. クロック発生回路

9.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- ・ メインクロック発振回路
- ・ サブクロック発振回路
- ・ オンチップオシレータ
- ・ PLL周波数シンセサイザ

表9.1にクロック発生回路の概略仕様を示します。また、図9.1にクロック発生回路のブロック図を、図9.2～図9.7にクロック制御関連レジスタを示します。

表9.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップオシレータ	PLL周波数シンセサイザ
用途	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ タイマA、Bの クロック源	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ 周辺機能クロック源
クロック周波数	～32MHz	32.768kHz	約1MHz	～32MHz (表9.3参照)
接続できる発振子 または付加回路	・ セラミック共振子 ・ 水晶発振子	水晶発振子	-	-
発振子または付加 回路の接続端子	XIN、XCUT	XCN、XCOUT	-	-
発振停止、発振再 開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	停止	停止
その他	外部で生成されたクロ ックを入力可能	外部で生成されたク ロックを入力可能。	メインクロック発振停止 時、自動で発振を開始 し、CPUと周辺機能のク ロック源になる機能あり	-

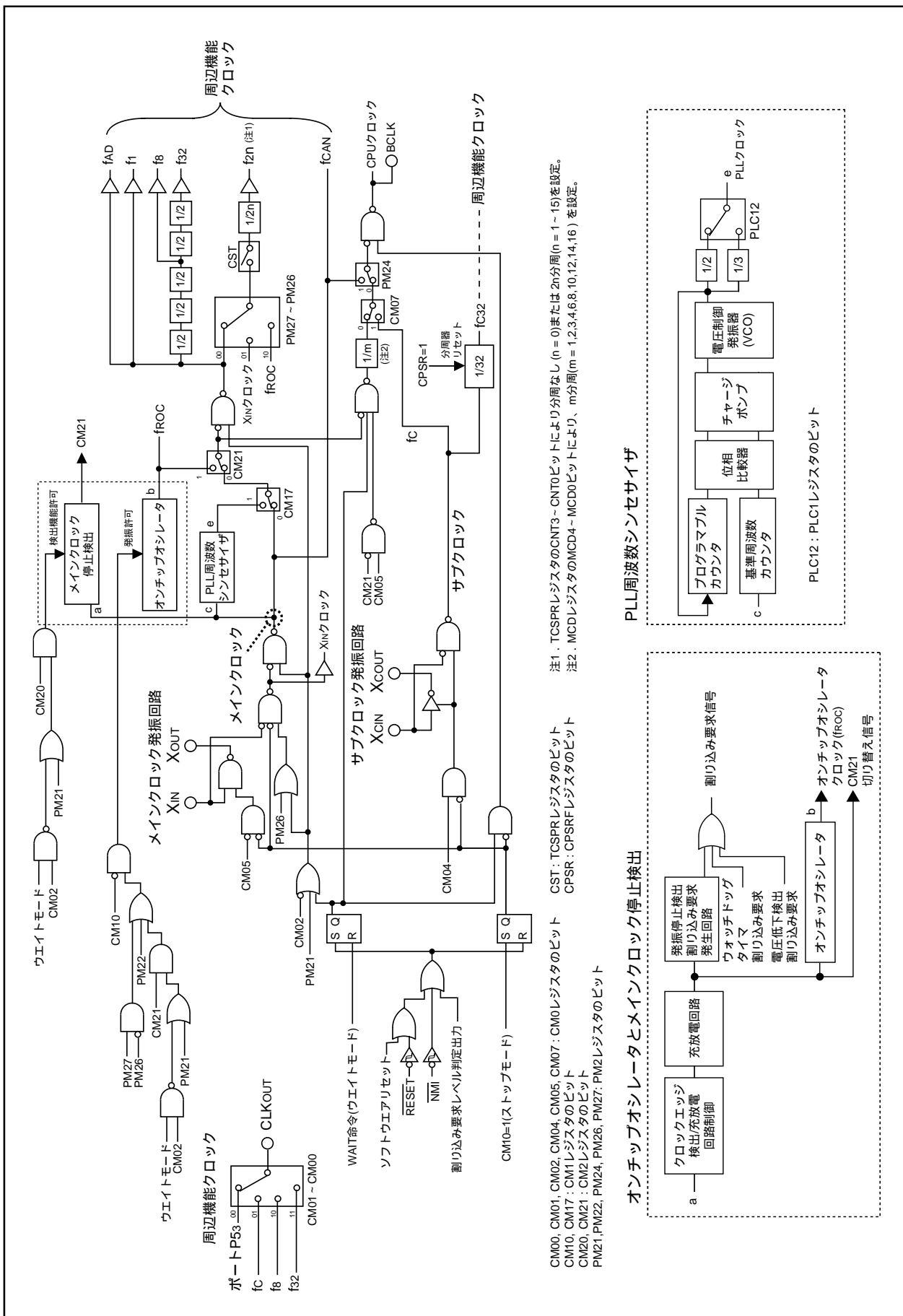


図9.1 クロック発生回路のブロック図

システムクロック制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
CM0

アドレス
000616番地

リセット後の値
0000 1000₂

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能 選択ビット (注2)	b1 b0 0 0 : 入出力ポートP5 ₃ 0 1 : fcを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01		RW	
CM02	ウエイトモード時周辺 機能クロック停止ビット (注9)	0 : ウエイトモード時、周辺機能クロックは 停止しない 1 : ウエイトモード時、周辺機能クロックは 停止する (注3)	RW
CM03	XcIN-XcOUT駆動能力 選択ビット (注11)	0 : Low 1 : High	RW
CM04	ポートXc切り替え ビット	0 : 入出力ポート機能 1 : XcIN-XcOUT発振機能 (注4)	RW
CM05	メインクロック(XIN-XOUT) 停止ビット (注5、9)	0 : 発振 1 : 停止 (注6)	RW
CM06	ウォッチドッグタイマ 機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット (注7)	RW
CM07	CPUクロック選択 ビット0 (注8、9、10)	0 : CM21ビットで選択したクロックをMCD レジスタで分周したクロック 1 : サブクロック	RW

注1. このレジスタはPRCRレジスタのPRCOビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM0レジスタのPM07ビットが“0”(BCLK出力)のとき、CM01～CM00ビットを“00₂”にしてください。PM1レジスタのPM15～PM14ビットが“01₂”(P5₃にALE出力)のとき、CM01～CM00ビットを“00₂”にしてください。マイクロプロセッサモードまたはメモリ拡張モードでPM07ビットが“1”(CM01～CM00ビットで選択される機能)のとき、CM01～CM00ビットを“00₂”にするとP5₃端子から“L”を出力します(ポートP5₃機能にはなりません)。

注3. fc₃₂は停止しません。CM02ビットを“1”にすると、ウエイトモード時にPLLは使用できません。

注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7～PD8_6ビットを“00₂”(ポートP8₇、P8₆は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップなし)にしてください。

注5. このビットは、低消費電力モードまたはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、サブクロックが安定して発振している状態でCM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、CM05ビットを“1”にしてください。CM05ビットが“1”の場合、Xoutは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

注6. CM05ビットが“1”の場合、MCDレジスタのMCD4～MCD0ビットは“01000₂”(8分周モード)になります。ただし、オンチップオシレータモードではこのビットでXIN-XOUTを停止しても、MCD4～MCD0ビットは“01000₂”(8分周モード)になりません。

注7. 一度“1”にすると、プログラムでは“0”にできません。

注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04またはCM05ビットと同時に書き換えないでください。

注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。

注10. PM21ビットを“1”にする場合、CM07ビットを“0”にした後で、PM21ビットを“1”にしてください。

注11. ストップモードへ移行したとき、CM03ビットは“1”になります。

図9.2 CM0レジスタ

システムクロック制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	1	0	0	0	0	0	0	CM1	000716番地	0010 0000 ₂

ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注2、5)	0 : クロック発振 (注3) 1 : 全クロック停止(ストップモード)	RW
— (b4 - b1)	予約ビット	"0"にしてください。	RW
— (b5)	予約ビット	"1"にしてください。	RW
— (b6)	予約ビット	"0"にしてください。	RW
CM17	CPUクロック選択ビット1 (注4、5)	0 : メインクロック 1 : PLLクロック	RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM10ビットが“1”の場合、Xoutは“H”になり、内蔵している帰還抵抗は切り離されます。Xin、XCIN、XcOutはハイインピーダンスになります。
- 注3. CM10ビットを“1”にすると、MCDレジスタのMCD4～MCD0ビットは“01000₂”(8分周モード)になります。CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)またはCM21ビットが“1”(オンチップオシレータクロック選択)のときは、CM10ビットを“1”にしないでください。
- 注4. CM17ビットはCM2レジスタのCM21ビットが“0”のとき有効です。CM17ビットを“1”にする場合は、図9.11の手順に従ってください。
- 注5. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM10、CM17ビットに書いても変化しません。PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、CM10ビットを書いても変化しません。

メインクロック分周レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
×	×	×	×	×	×	×	×	MCD	000C16番地	XXX0 1000 ₂

ビットシンボル	ビット名	機能	RW
MCD0	メインクロック分周選択ビット (注2、4)	b4 b3 b2 b1 b0 1 0 0 1 0 : 1分周(分周なし)モード 0 0 0 1 0 : 2分周モード 0 0 0 1 1 : 3分周モード 0 0 1 0 0 : 4分周モード 0 0 1 1 0 : 6分周モード 0 1 0 0 0 : 8分周モード 0 1 0 1 0 : 10分周モード 0 1 1 0 0 : 12分周モード 0 1 1 1 0 : 14分周モード 0 0 0 0 0 : 16分周モード	RW
MCD1		RW	
MCD2		RW	
MCD3		RW	
MCD4		RW	
— (b7 - b5)		予約ビット	読んだ場合、その値は不定

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. 低消費電力モードやストップモードへの移行時、MCD4～MCD0ビットは“01000₂”になります。ただし、オンチップオシレータモードではCM0レジスタのCM05ビットを“1”(Xin-Xoutを停止)にしても、MCD4～MCD0ビットは“01000₂”になりません。
- 注3. 記載の組み合わせ以外の設定をしないでください。
- 注4. CAN関連レジスタ(01E016～02BF16番地)は、PM2レジスタのPM24ビットが“0”(CM0レジスタのCM07ビットで選択されたクロック)の場合、MCD4～MCD0ビットを“10010₂”にしてアクセスしてください。

図9.3 CM1レジスタ、MCDレジスタ

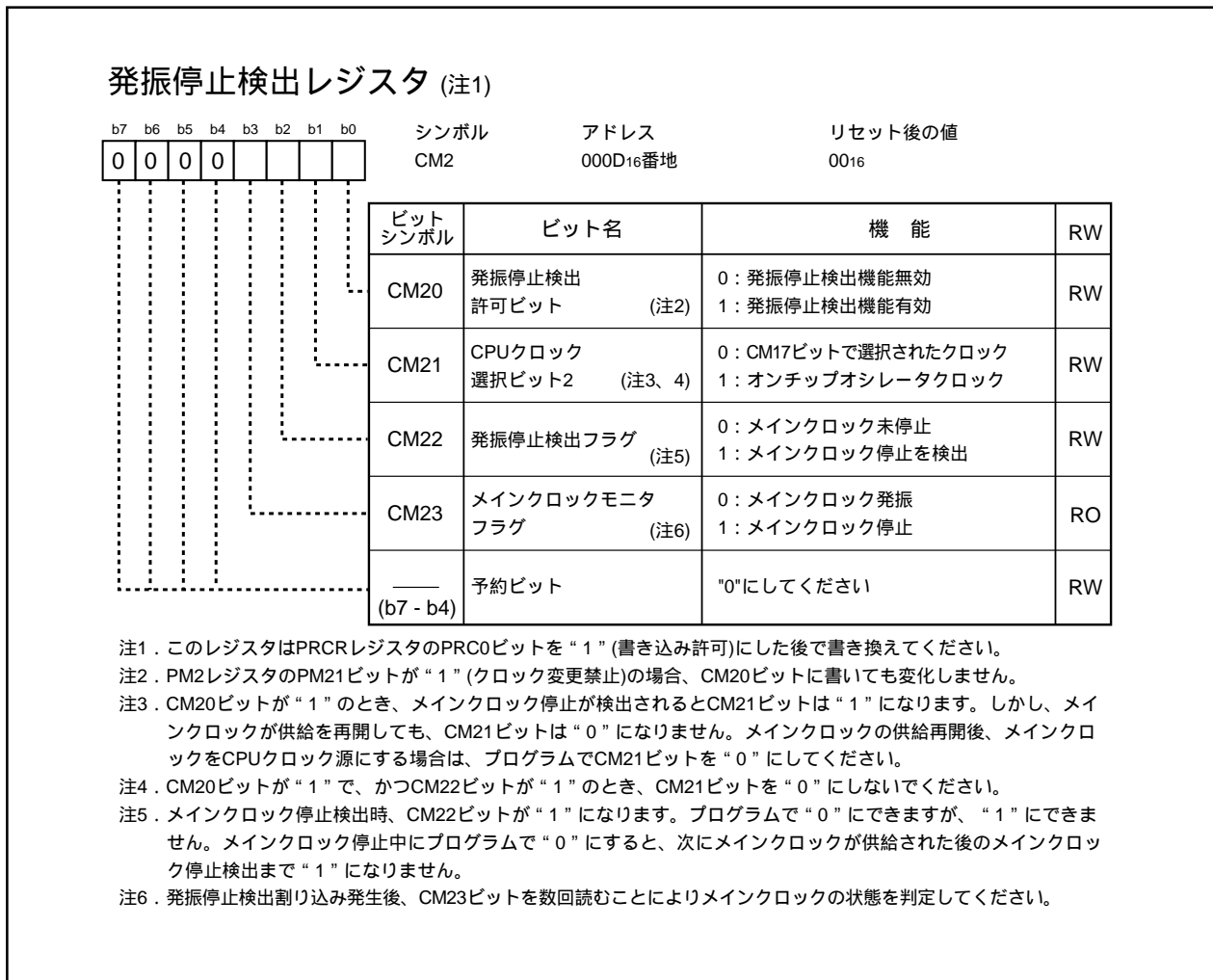


図9.4 CM2レジスタ

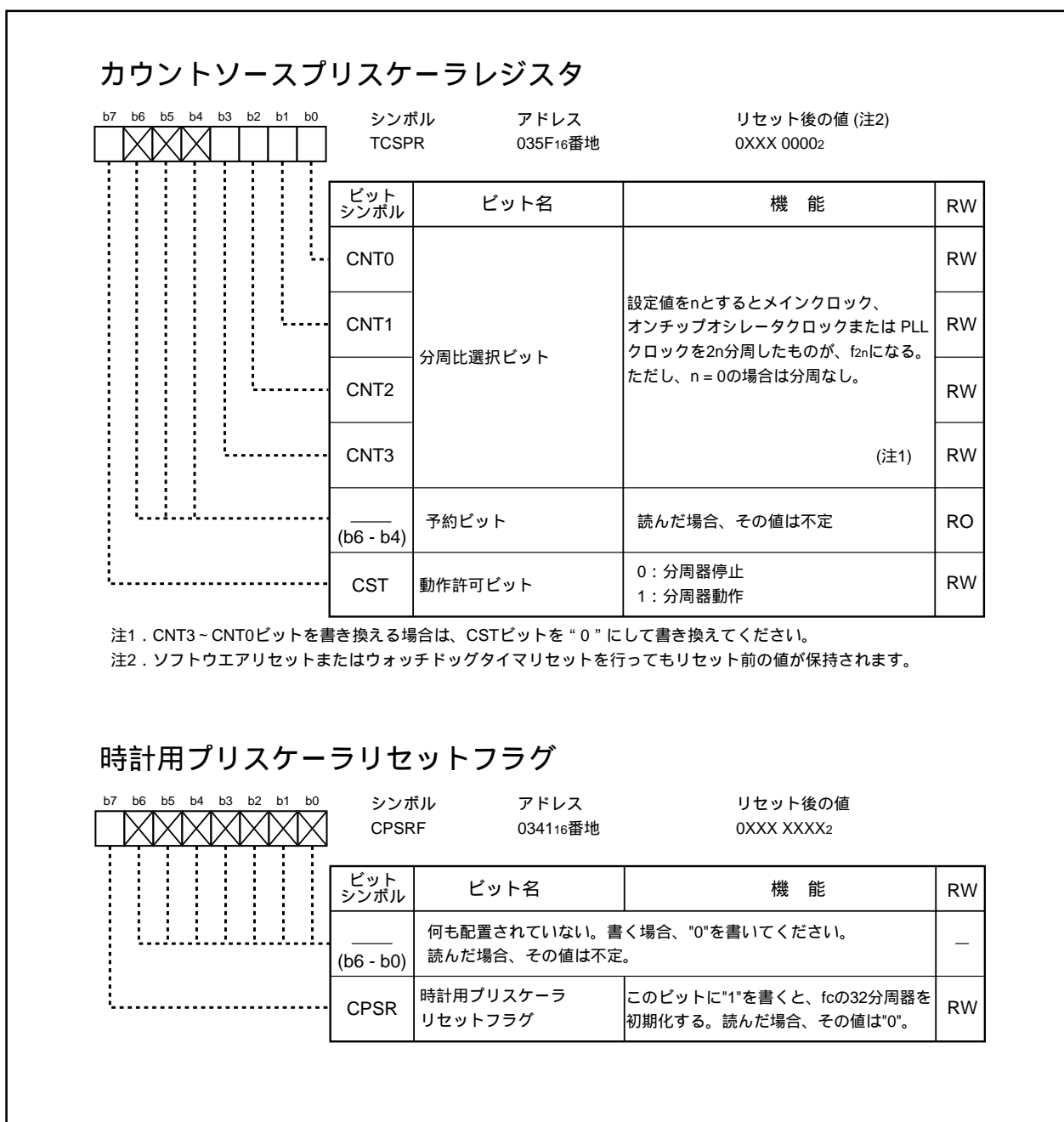


図9.5 TCSPRレジスタ、CPSRFレジスタ

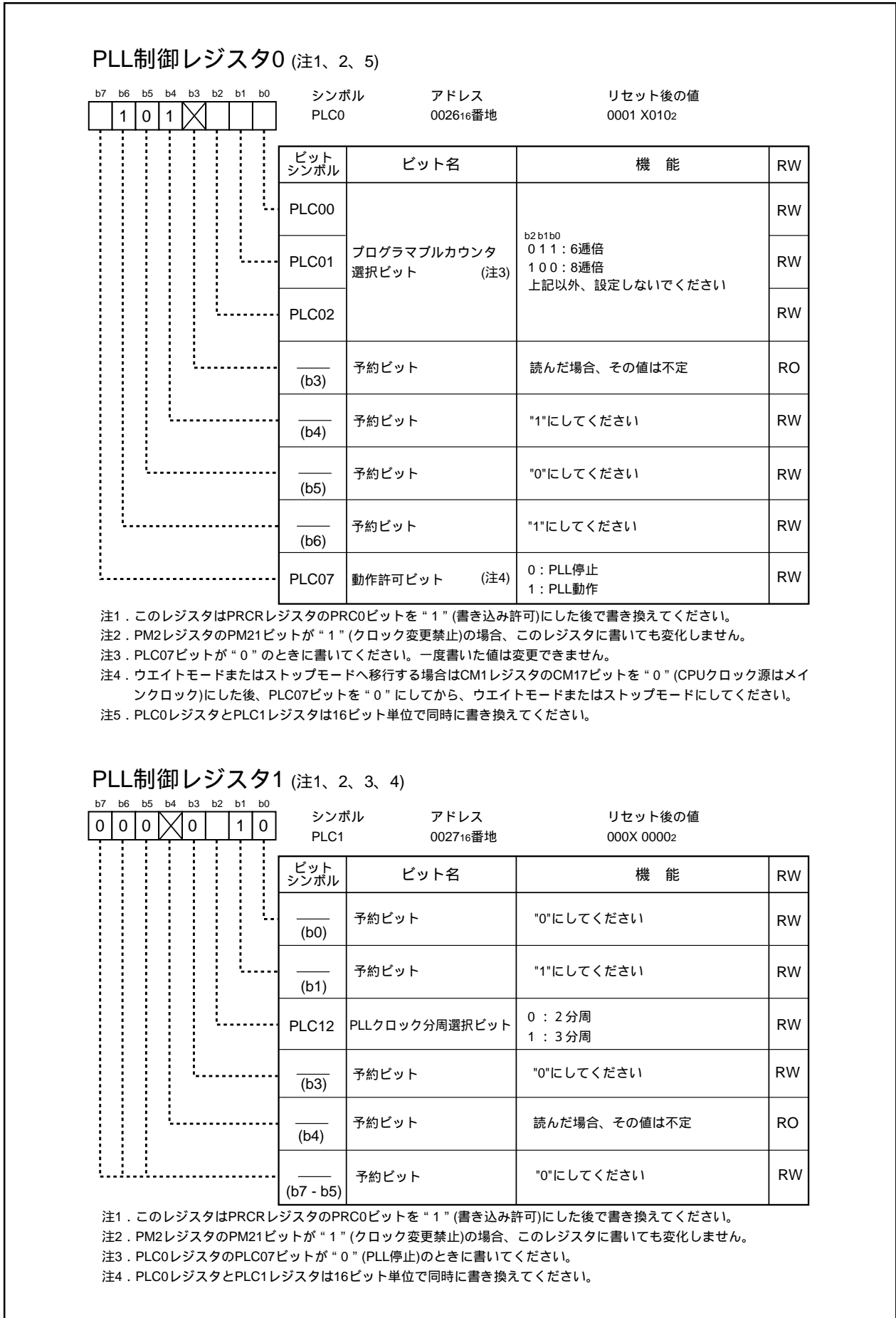


図9.6 PLC0レジスタ、PLC1レジスタ

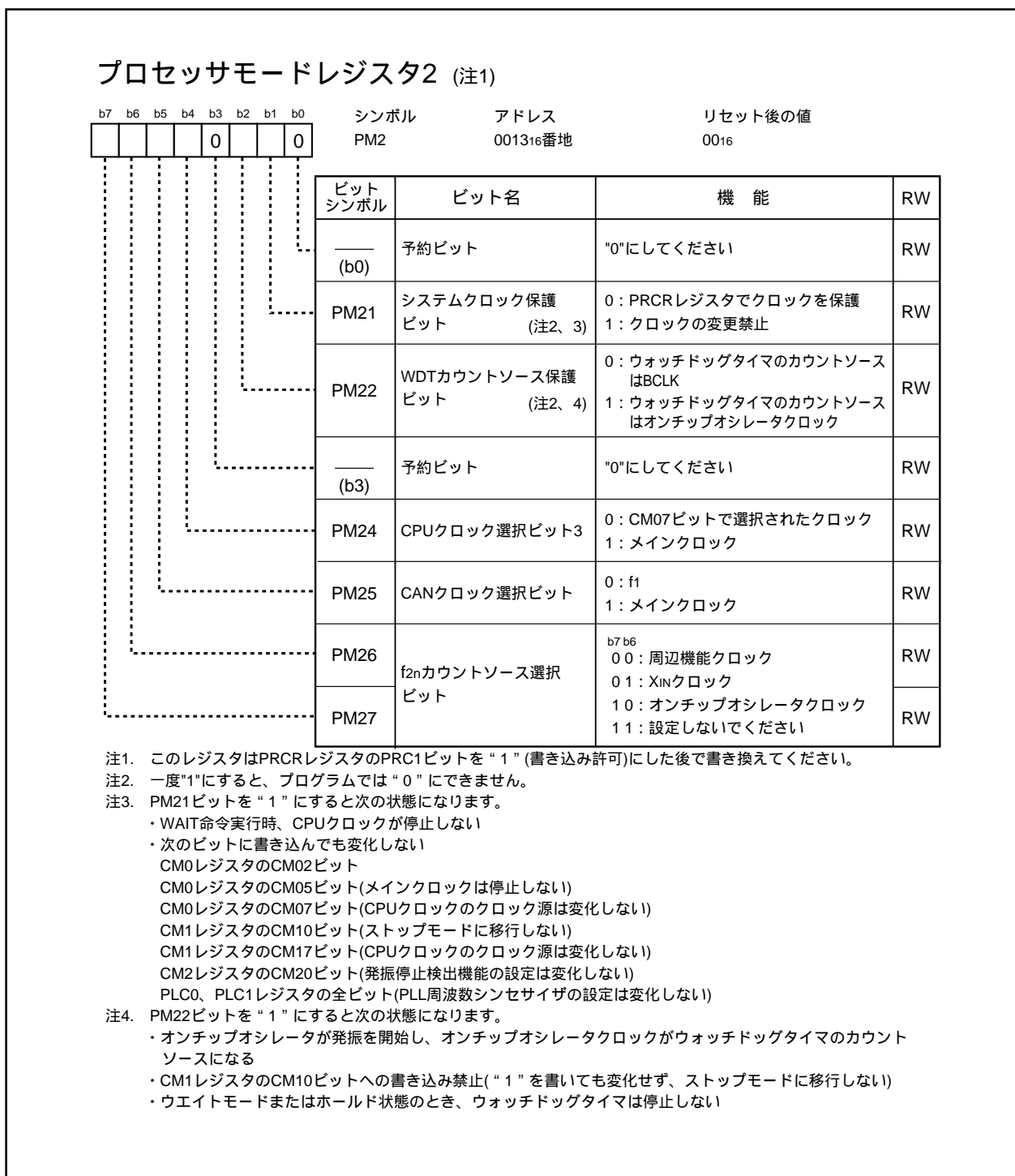


図9.7 PM2レジスタ

クロック発生回路で生成するクロックを説明します。

9.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックや周辺機能クロックのクロック源になります。

メインクロック発振回路は、XIN-XOUT端子間に発振子を接続して発振回路を構成します。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図9.8にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロックの8分周がCPUクロックになります。

CPUクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”（メインクロック発振回路の発振停止）にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしないでください

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

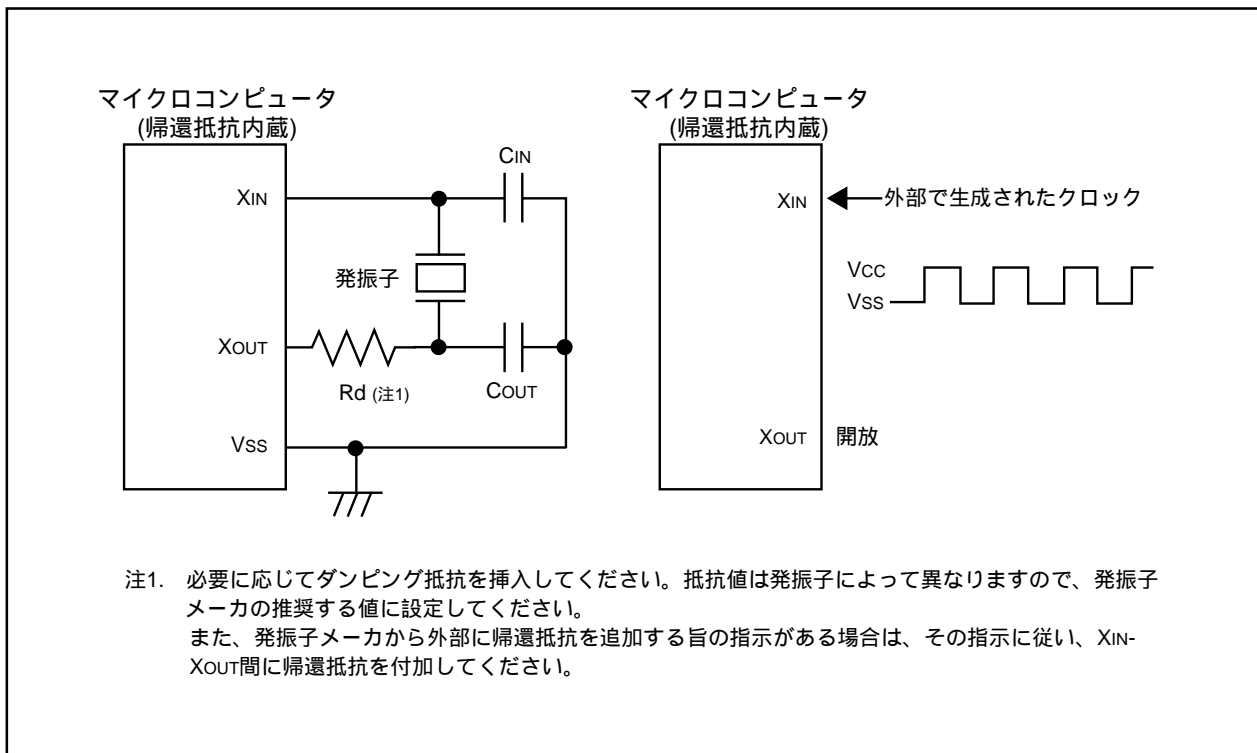


図9.8 メインクロックの接続回路例

9.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックとタイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数の f_c をCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続して発振回路を構成します。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図9.9にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”（入力モード）にし、PUR2レジスタのPU25ビットを“0”（プルアップしない）にした後、CM0レジスタのCM04ビットを“1”（XCIN-XCOUT発振機能）にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”（サブクロック）にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

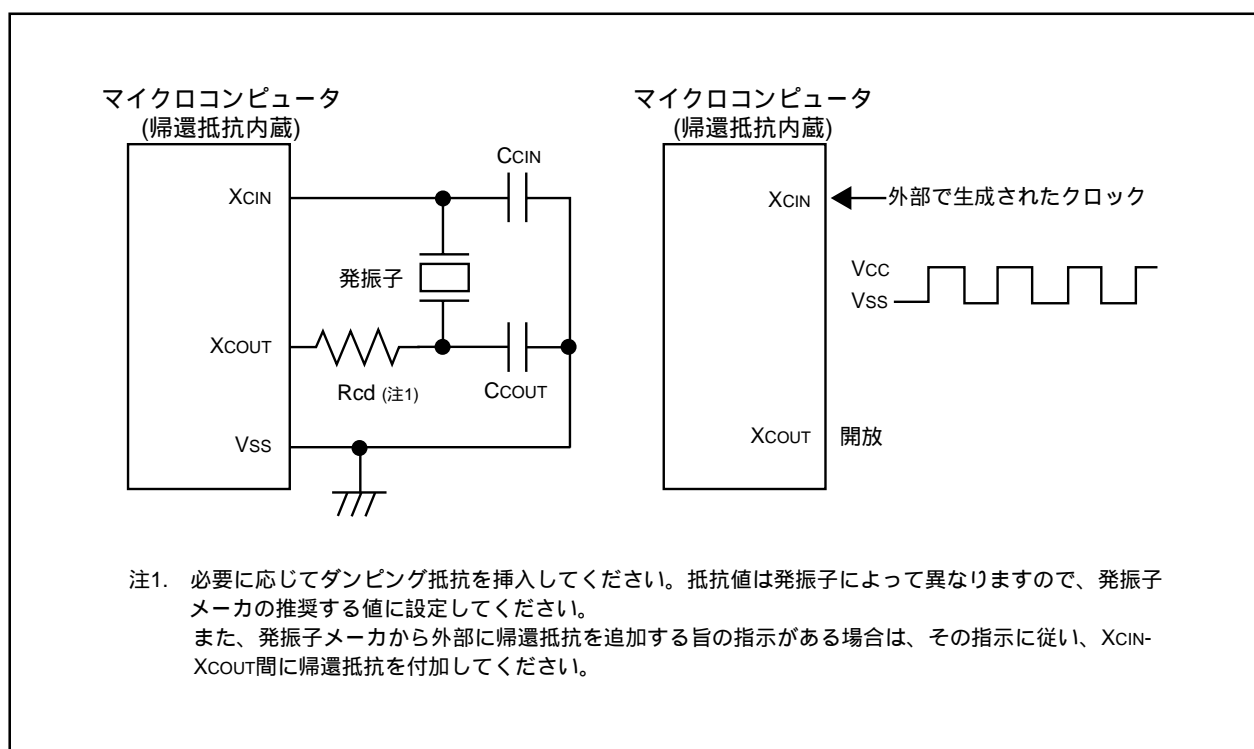


図9.9 サブクロックの接続回路例

9.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックや周辺機能クロックのクロック源になります。

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わり、CPUクロックや周辺機能クロックのクロック源になります。

表9.2にオンチップオシレータの発振開始条件を示します。

表9.2 オンチップオシレータの発振開始条件

CM2レジスタ	PM2レジスタ		用途
CM21ビット	PM22ビット	PM27～PM26ビット	
1	0	0 0	CPUクロック、周辺機能クロックのクロック源
0	1	0 0	ウォッチドッグタイマの動作クロック源 ストップモードに移行しても停止しない
0	0	0 1	f _{2n} のカウントソース

9.1.3.1 発振停止検出機能

外部の要因でメインクロックが停止した場合に、自動的にオンチップオシレータが動作を開始し、クロックを供給する機能です。

CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になります。このとき、CM2レジスタの関連するビットが次のようになります。

- ・CM21ビットが“1”(オンチップオシレータクロックがCPUクロックのクロック源)
- ・CM22ビットが“1”(メインクロック停止を検出)
- ・CM23ビットが“1”(メインクロック停止)(図9.13状態遷移図参照)

9.1.3.2 発振停止検出機能使用方法

- ・発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧低下検出割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合、割り込み処理プログラムでCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。
- ・発振停止検出後メインクロックの発振が再開した場合は、プログラムでメインクロックをCPUクロックや周辺機能クロックのクロック源に戻してください。図9.10にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・低速モード時、CM20ビットが“1”(発振停止検出機能有効)で、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータクロックになります。
- ・周辺機能クロック停止時、発振停止検出機能は停止します。したがって、この機能を使用中にウエイトモードへ移行する場合は、CM0レジスタのCM02ビットを“0”(ウエイトモード時周辺機能クロックを停止しない)にしてください。
- ・この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05ビットを“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能無効)にしてください。
- ・メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

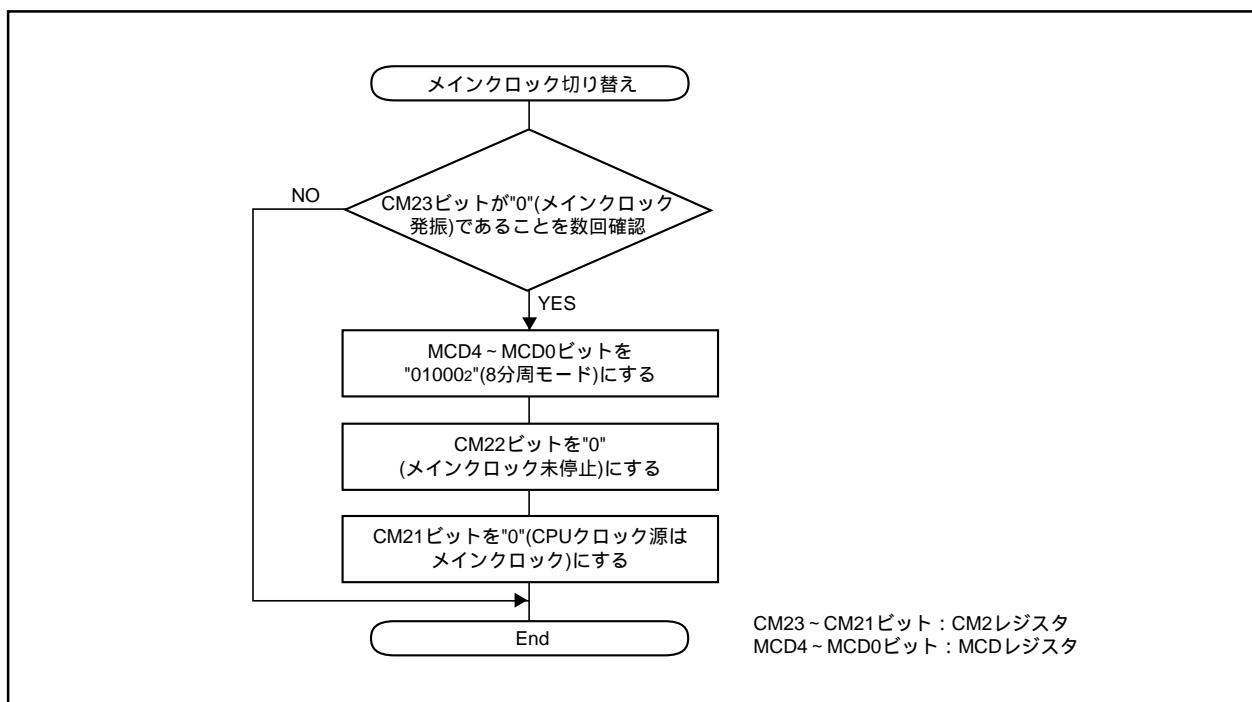


図9.10 オンチップオシレータクロックからメインクロックへの切り替え手順

9.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックです。CPUクロックや、周辺機能クロックのクロック源にも使用できます。

リセット後、PLL周波数シンセサイザは停止しています。PLC0レジスタのPLC07ビットを“1” (PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックが安定するまで、tsu(PLL)待ち時間が必要です。

PLLクロックは、電圧制御発振器(VCO)から出力されるクロックの2分周または3分周が選択できます。CPUクロックや周辺機能クロックのクロック源として使用する場合、表9.3に示すように各ビットを設定してください。また、図9.11にPLLクロックをCPUクロック源にする手順を示します。

ウエイトモードまたはストップモードへ移行する場合は、CM1レジスタのCM17ビットを“0” (CPUクロック源はメインクロック)にした後、PLC07ビットを“0” (PLL停止)にしてから、ウエイトモードまたはストップモードにしてください。

表9.3 PLLクロックをCPUクロック源に使用する場合の設定例

f(XIN)	PLC0レジスタ			PLC1レジスタ	PLLクロック
	PLC02ビット	PLC01ビット	PLC00ビット	PLC12ビット	
10MHz	0	1	1	0	30MHz
				1	20MHz
8MHz	1	0	0	0	32MHz
				1	21.3MHz

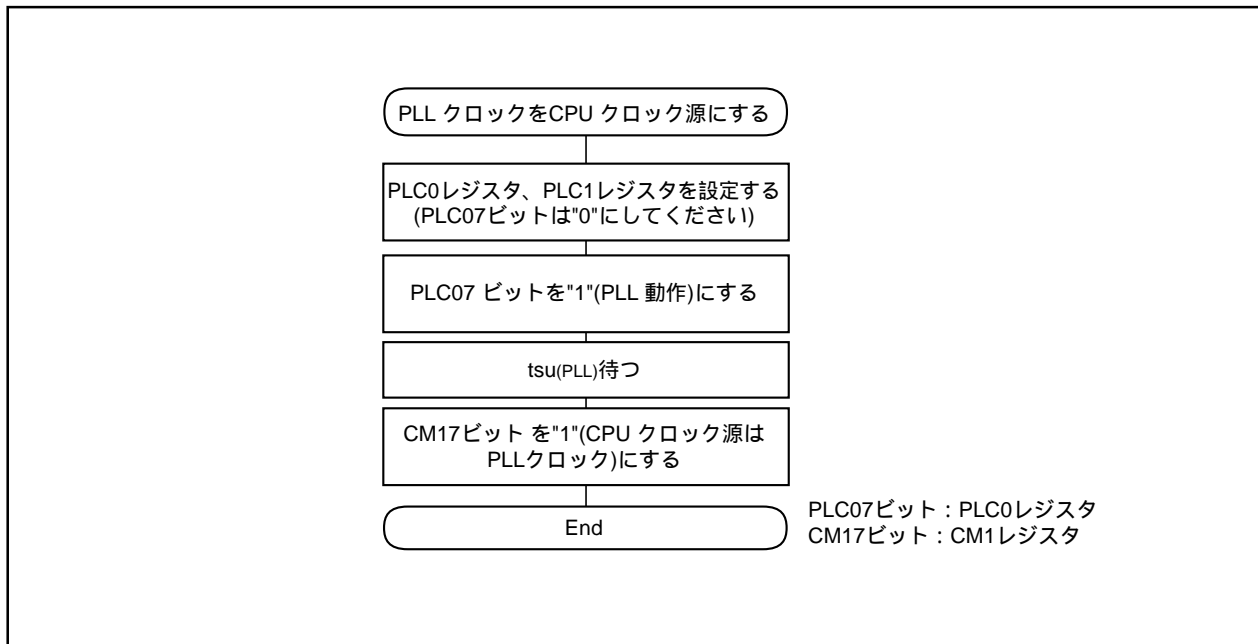


図9.11 PLLクロックをCPUクロック源にする手順

9.2 CPUクロックとBCLK

CPUクロックはCPU動作クロックであり、ウォッチドッグタイマのカウントソースです。リセット後、CPUクロックはメインクロックの8分周です。メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとして、BCLK端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。表9.4にCPUクロック源と設定ビットを示します。

CPUクロックのクロック源としてメインクロック、オンチップオシレータクロック、PLLクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、3、4、6、8、10、12、14、16分周したものがCPUクロックになります。分周はMCDレジスタで選択できます。なお、ストップモード、または低消費電力モード(ただし、CPUクロックがオンチップオシレータクロックの場合を除く)に移行すると、MCDレジスタのMCD4～MCD0ビットは“010002”(8分周モード)になりますので、次にメインクロックを動作させるときは中速(8分周)モードになります。

表9.4 CPUクロック源と設定ビット

CPUクロック源	CM0レジスタ	CM1レジスタ	CM2レジスタ	PM2レジスタ
	CM07ビット	CM17ビット	CM21ビット	PM24ビット
メインクロック	0	0	0	0
メインクロック(メインクロックダイレクトモード)(注1)	0	0	0	1
サブクロック	1	0	0	0
オンチップオシレータクロック	0	0	1	0
PLLクロック	0	1	0	0

注1. 詳細は「23.2 CANクロック」を参照してください。

9.3 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。

9.3.1 f₁、f₈、f₃₂、f_{2n}

f₁、f₈、f₃₂は周辺機能クロック(CM21ビットで選択されたクロック)を1、8、32分周したクロックです。f_{2n}のカウントソースは、PM2レジスタのPM27～PM26ビットにより、周辺機能クロック、XINクロック、オンチップオシレータクロックから選択できます。また、f_{2n}はTCSPRレジスタのCNT3～CNT0ビットにより、分周を設定できます(n=0～15、n=0とのきは分周なし)。

CM0レジスタのCM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、f₁、f₈、f₃₂、f_{2n}は停止します。

f₁、f₈、f_{2n}は、タイマA、タイマBのカウントソース、シリアルI/Oの動作クロックに使用します。f₁はインテリジェントI/Oの動作クロックにも使用します。

f₈とf₃₂はCLKOUT端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

9.3.2 fAD

A/Dコンバータの動作クロックです。メインクロック(注1)またはオンチップオシレータクロック(いずれが選択されるかはCM2レジスタのCM21ビットの状態が決まる)と同一周波数です。

CM0レジスタのCM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、fADは停止します。

注1. CM1レジスタのCM17ビットが“1”(CPUクロック源はPLLクロック)の場合、PLLクロック。

9.3.3 fC32

サブクロックの32分周で、タイマA、タイマBのカウントソースに使用します。サブクロックが供給されているとき使用できます。

9.3.4 fCAN

メインクロックと同一の周波数で、CANモジュール専用クロックです。

9.4 クロック出力機能

f_c、f₈、またはf₃₂をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとしてBCLK端子から出力できます。

表9.5にシングルチップモードでのCLKOUT端子の機能を、表9.6にメモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能を示します。

表9.5 シングルチップモードでのCLKOUT端子の機能

PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT 端子の機能
	PM07ビット	CM01ビット	
-	0	0	入出力ポートP53
1	0	1	f _c を出力
1	1	0	f ₈ を出力
1	1	1	f ₃₂ を出力

- : 0でも1でもよい

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

表9.6 メモリ拡張モードとマイクロプロセッサモードでのCLKOUT端子の機能(注4)

PM1レジスタ(注1)		PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
PM15ビット	PM14ビット	PM07ビット	CM01ビット	CM00ビット	
002、102、112		0	0(注3)	0(注3)	BCLKを出力
		1	0	0	“L”を出力(P53になりません)
		1	0	1	f _c を出力
		1	1	0	f ₈ を出力
		1	1	1	f ₃₂ を出力
0	1	-	0(注3)	0(注3)	ALEを出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注3. PM07ビットが“0”(CM01~CM00ビットで選択)の場合、またはPM15~PM14ビットが“012”(P53/BCLK)の場合、CM01~CM00ビットは“002”(入出力ポートP53)にしてください。

注4. M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

9.5 パワーコントロール

パワーコントロールには、3つのモードがあります。

なお、便宜上、この項ではウエイトモード、ストップモード以外の状態を、通常動作モードと呼びます。

図9.12にストップモード、ウエイトモードの状態遷移図を、図9.13に状態遷移図を示します。

9.5.1 通常動作モード

通常動作モードは、さらに6つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

9.5.1.1 高速モード

メインクロック^(注1)がCPUクロックになります。また、メインクロック^(注1)が周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.2 中速モード

メインクロック^(注1)の2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、メインクロック^(注1)が周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.3 低速モード

サブクロックがCPUクロックになります。メインクロック^(注1)が周辺機能クロックのクロック源になります。fc32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。fc32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfc32のみです。

このモードにすると同時にMCDレジスタのMCD4～MCD0ビットは“010002” (8分周モード)になりますので、次にメインクロックを動作させるときは中速(8分周)モードになります。

9.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

注1．CM1レジスタのCM17ビットが“1” (CPUクロック源はPLLクロック)の場合、PLLクロック。

CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間^(注1)を要しますので、電源投入直後やストップモードからの復帰後、プログラムで待ち時間をとってから移行してください。

また、オンチップオシレータクロックからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(MCDレジスタのMCD4～MCD0ビットを“010002”にする)にした後、中速モード(8分周)に切り替えてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えしないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えしないでください。

注1. 発振安定時間は各発振子メーカーへお問い合わせください。

9.5.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.5.2.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時に f_1 、 f_8 、 f_{32} 、カウントソースに周辺機能クロックを選択した f_{2n} 、 f_{AD} が停止しますので、消費電力が低減できます。 f_{c32} とカウントソースにXINクロックまたはオンチップオシレータクロックを選択した f_{2n} は停止しません。

9.5.2.2 ウェイトモードへの移行

CM0レジスタのCM02ビットを“1”にして、ウェイトモードへ移行する場合、メインクロックの分周後のCPUクロック周波数が10MHz以下になるように、MCDレジスタのMCD4～MCD0ビットを設定してください。

ウェイトモードを使用する場合、次の設定を行った後、ウェイトモードへ移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ウェイトモード移行前の処理

(1)Iフラグを“0”にする

(2)ウェイトモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

(3)ウェイトモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する

(4)フラグレジスタのIPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

復帰に使用する割り込みの割り込み優先レベル > IPL = 復帰用優先レベル

(5)PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする

(6)CPUクロックがPLLクロックの場合、CM1レジスタのCM17ビットを“0”(メインクロック)にし、PLC0レジスタのPLC07ビットを“0”(PLL停止)にする

(7)Iフラグを“1”にする

(8)WAIT命令を実行する

- ・ウェイトモード復帰後の処理

ウェイトモード復帰後、すぐに復帰用優先レベルを“7”にする

9.5.2.3 ウェイトモード時の端子の状態

表9.7にウェイトモード時の端子状態を示します。

表9.7 ウェイトモード時の端子の状態

端子		メモリ拡張モード(注1) マイクロプロセッサモード(注1)	シングルチップモード
アドレスバス, データバス, $\overline{CS0} \sim \overline{CS3}$, \overline{BHE}		ウェイトモードに入る直前の状態を保持	/
\overline{RD} , \overline{WR} , \overline{WRL} , \overline{WRH}		“H”	
\overline{HLDA} , \overline{BCLK}		“H”	
ALE		“L”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	クロック出力	
	f ₈ , f ₃₂ 選択時	CM0レジスタのCM02ビットが“0”(ウェイトモード時、周辺機能クロックは停止しない)のときは、クロック出力。 CM02ビットが“1”(ウェイトモード時、周辺機能クロックは停止する)のときは、ウェイトモードに入る直前の状態を保持。	

注1．M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

9.5.2.4 ウェイトモードからの復帰

ハードウェアリセット、 \overline{NMI} 割り込みまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたは \overline{NMI} 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“0002”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM0レジスタのCM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、周辺機能クロックを使用する周辺機能は停止し、ウェイトモードから復帰に使用できません。ただし、f_{c32}、外部クロック、カウントソースにXINクロックまたはオンチップオシレータクロックを選択したf_{2n}によって動作する周辺機能の割り込みは、ウェイトモードからの復帰に使用できます。

周辺機能割り込みまたは \overline{NMI} 割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表9.8にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.8 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02ビットが“0”の場合	CM02ビットが“1”の場合
NMI割り込み	使用可	使用可
シリアルI/O割り込み	内部クロックでも外部クロックでも使用可	外部クロックまたは f_{2n} (XINクロックまたはオンチップオシレータクロックを選択)使用時は使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モード、または単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモード、またはカウントソースが f_{c32} 、 f_{2n} (XINクロックまたはオンチップオシレータクロックを選択)のとき使用可
INT割り込み	使用可	使用可
電圧低下検出割り込み	使用可	使用可
CAN割り込み	使用可	使用しないでください
インテリジェントI/O割り込み	使用可	使用しないでください

9.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能も停止します。消費電力がもっとも少ないモードです。なお、Vcc1端子とVcc2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

Vcc1端子とVcc2端子に印加する電圧が2.7V以下にする場合、Vcc1 Vcc2 VRAM^(注1)にしてください。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・NMI割り込み
- ・キー入力割り込み
- ・INT割り込み
- ・タイマA、タイマBの割り込み(イベントカウンタモードで周波数100Hz以下の外部パルスのカウント時)
- ・電圧低下検出割り込み(使用条件は「6.1 電圧低下検出割り込み」参照)

注1 . M32C/84Tは、Vcc1 = Vcc2で使用してください。

9.5.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1” (全クロック停止)にすると、ストップモードになります。同時にMCDレジスタのMCD4~MCD0ビットは“010002” (8分周モード)になります。

ストップモードを使用する場合、次の設定を行った後、ストップモードへ移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2~RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ストップモード移行前の処理

(1)Iフラグを“0”にする

(2)ストップモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

(3)ストップモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する

(4)フラグレジスタのIPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

復帰に使用する割り込みの割り込み優先レベル > IPL = 復帰用優先レベル

(5)PRCRレジスタのPRC0ビットを“1” (書き込み許可)にする

(6)CPUクロックをメインクロックにする

- ・CPUクロックがサブクロックの場合

CM0レジスタのCM05ビットを“0” (メインクロック発振)にし、CM0レジスタのCM07ビットを“0” (CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

- ・CPUクロックがPLLクロックの場合

CM1レジスタのCM17ビットを“0” (メインクロック)にし、PLC0レジスタのPLC07ビットを“0” (PLL停止)にする

- ・CPUクロックがメインクロックダイレクトモードの場合

PRCRレジスタのPRC1ビットを“1” (書き込み許可)にする

PM2レジスタのPM24ビットを“0” (CM07ビットで選択されたクロック)にする

- ・CPUクロックがオンチップオシレータの場合

(a) MCD4~MCD0ビットを“010002” (8分周モード)にする

(b) CM05ビットを“0” (メインクロック発振)にする

(c) CM2レジスタのCM21ビットを“0” (CM17ビットで選択されたクロック)にする

(7)発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0” (発振停止検出機能無効)にする

(8)Iフラグを“1”にする

(9)CM10ビットを“1” (全クロック停止)にする

- ・ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用優先レベルを“7”にする

9.5.3.2 ストップモードからの復帰

ハードウェアリセット、NMI割り込み、または周辺機能割り込み(キー入力割り込み、INT割り込み)により、ストップモードから復帰します。

周辺機能割り込みを使用しないで、ハードウェアリセットまたはNMI割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002” (割り込み禁止)にした後、CM1レジスタのCM10ビットを“1” (全クロック停止)にしてください。

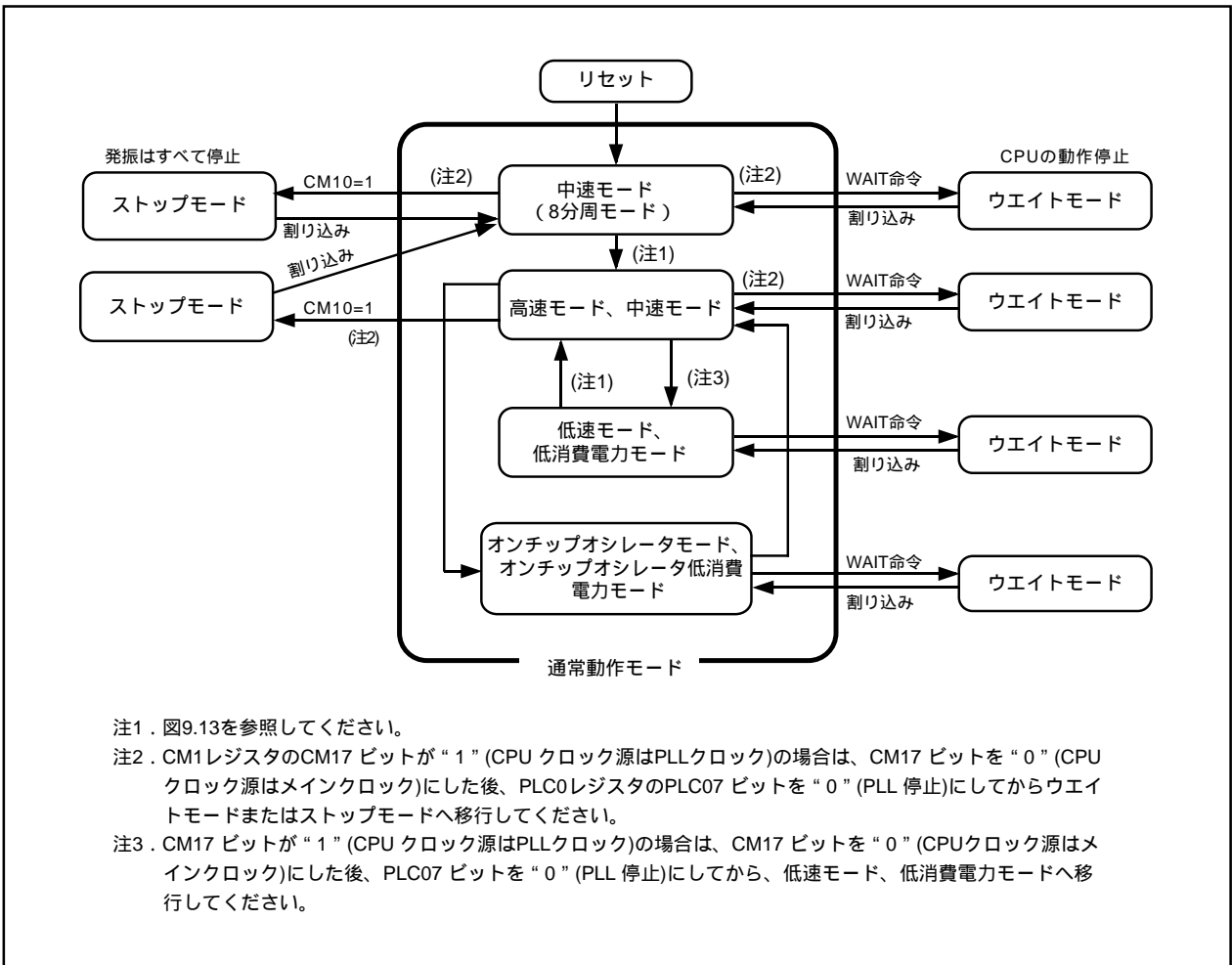
9.5.3.3 ストップモード時の端子の状態

表9.9にストップモード時の端子状態を示します。

表9.9 ストップモード時の端子の状態

端子		メモリ拡張モード(注1) マイクロプロセッサモード(注1)	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ストップモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“ H ”	
HLDA, BCLK		“ H ”	
ALE		“ H ”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	“ H ”	
	f ₈ , f ₃₂ 選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“ H ”	
XCIN, XCOUT		ハイインピーダンス	

注1 . M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。



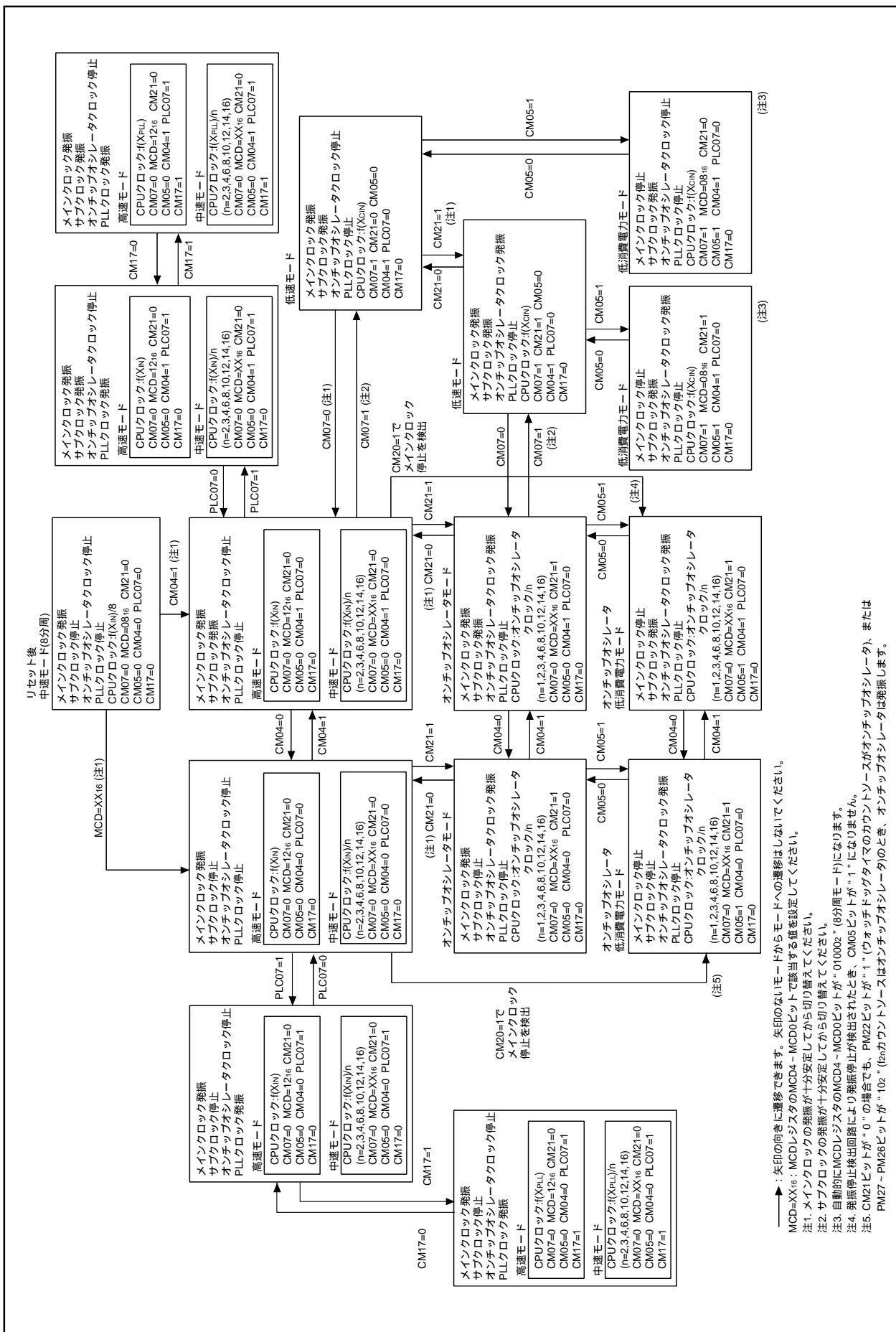


図9.13 状態遷移図

→: 矢印の向きに遷移できます。矢印のないモードからモードへの遷移はしないでください。
MCD=XX₁₆: MCDレジスタのMCD4-MCD0ビットで該当する値を設定してください。
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. 自動的にMCDレジスタのMCD4-MCD0ビットが"01000₈"(8分周モード)になります。
注4. 発振停止後、MCDレジスタのMCD4-MCD0ビットが"1"になりません。
注5. CM21ビットが"0"の場合でも、PM22ビットが"1"(ウォッチドッグタイマのカウントソースがオンチップオシレータ)またはPM27-PM28ビットが"10₂"(外部カウンタソースがオンチップオシレータ)のとき、オンチップオシレータは発振します。

9.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラムの暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1” (クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- ・CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- ・CM1レジスタのCM10ビット、CM17ビット
- ・CM2レジスタのCM20ビット
- ・PLC0、PLC1レジスタの全ビット

また、WAIT命令実行時、CPUクロックは停止しません。

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0” (メインクロック発振)、CM07ビットが“0” (CPUクロックのクロック源はメインクロック)の状態での処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1” (PM2レジスタ書き込み許可)にする

(2)PM2レジスタのPM21ビットを“1” (クロック変更禁止)にする

(3)PRCRレジスタのPRC1ビットを“0” (PM2レジスタ書き込み禁止)にする

PM21ビットが“1” のとき、WAIT命令を実行しないでください。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタを簡単に書き換えられないように保護する機能です。図10.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ : CM0レジスタ、CM1レジスタ、CM2レジスタ、MCDレジスタ、PLC0レジスタ、PLC1レジスタ
- ・ PRC1ビットで保護されるレジスタ : PM0レジスタ、PM1レジスタ、PM2レジスタ、INVC0レジスタ、INVC1レジスタ
- ・ PRC2ビットで保護されるレジスタ : PD9レジスタ、PS3レジスタ
- ・ PRC3ビットで保護されるレジスタ : VCR2レジスタ、D4INTレジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地書き込みを実行すると“0”(書き込み禁止状態)になります。PD9レジスタとPS3レジスタは、PRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3ビットは任意の番地書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

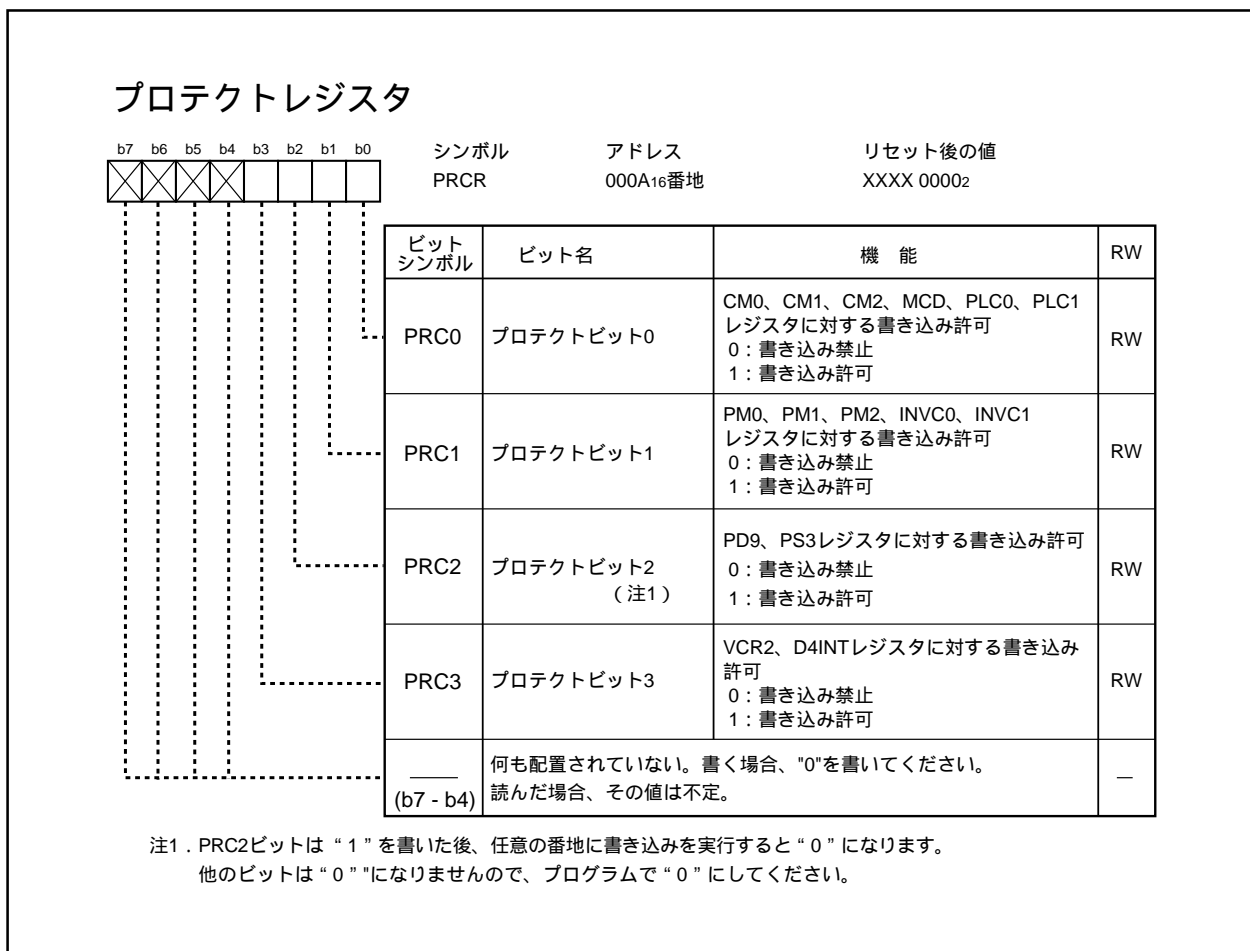


図10.1 PRCRレジスタ

11. 割り込み

11.1 割り込みの分類

図11.1に割り込みの分類を示します。

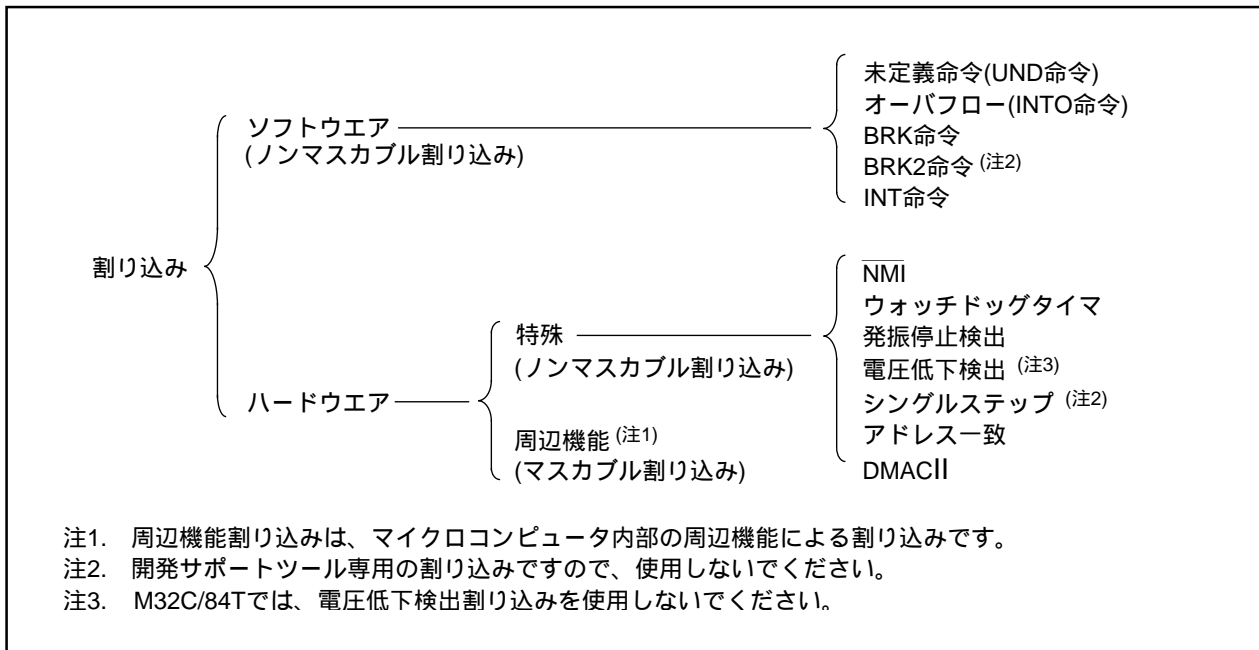


図11.1 割り込みの分類

- ・ マスクابل割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ ノンマスクابل割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

11.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.2.2 オーバフロー割り込み

オーバフロー割り込みはFLGレジスタのOフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

11.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.2.4 BRK2割り込み

BRK2割り込みはBRK2命令を実行すると発生します。
開発サポートツール専用の割り込みです。使用しないでください。

11.2.5 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0~63です。ソフトウェア割り込み番号8~48、52~54、57は周辺機能割り込みに割り当てられていますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

INT命令を実行すると、FLGレジスタ、PCをスタックに退避し、指定したソフトウェア割り込み番号の可変ベクタをPCに格納します。

退避先のスタックはソフトウェア割り込み番号により異なります。

ソフトウェア割り込み番号0~31ではISP(Uフラグが“0”)に、ソフトウェア割り込み番号32~63ではINT命令実行前に選択されているSP(Uフラグは変化しない)になります。

ただし、周辺機能割り込みでは、割り込み要求受け付け時にFLGレジスタを退避し、Uフラグが“0”(ISPを選択)になります。そのため、ソフトウェア割り込み番号32~48、52~54、57では割り込み要因が周辺機能割り込みかINT命令かで使用するSPが異なります。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

11.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は、「11.8 $\overline{\text{NMI}}$ 割り込み」を参照してください。

11.3.1.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「12. ウォッチドッグタイマ」を参照してください。

11.3.1.3 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「9. クロック発生回路」を参照してください。

11.3.1.4 電圧低下検出割り込み

電圧検出回路機能による割り込みです。電圧検出回路の詳細は、「6. 電圧検出回路」を参照してください。

注1. M32C/84Tでは、電圧低下検出割り込みを使用しないでください。

11.3.1.5 シングルステップ割り込み

開発サポートツール専用の割り込みです。使用しないでください。

11.3.1.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIERiビット(i=0~7)が“1”(アドレス一致割り込み許可)の場合、RMADiレジスタで示される番地の命令を実行する直前に発生します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。アドレス一致割り込みの詳細は、「11.10 アドレス一致割り込み」を参照してください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号8～48、52～54、57と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表11.2を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

11.4 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。

RLVLレジスタのFSITビットを“1”(割り込み優先レベル7は高速割り込みに使用)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にした割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みをレベル7にしないでください。また、高速割り込みを使用する場合は、RLVLレジスタのDMAIIビットを“0”(割り込み優先レベル7は割り込みに使用)にしてください。

高速割り込みルーチンの先頭番地は、VCTレジスタに設定してください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPLレジスタへ退避し、VCTレジスタで示される番地からプログラムを実行します。

復帰する場合はFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPLレジスタに退避していた値がFLGレジスタ、PCに復帰します。

高速割り込みはDMA2とDMA3で使用するレジスタを共有しています。そのため、高速割り込みを使用する場合、DMA2とDMA3は使用できません。(DMA0とDMA1は使用できます。)

11.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図11.2に割り込みベクタを示します。

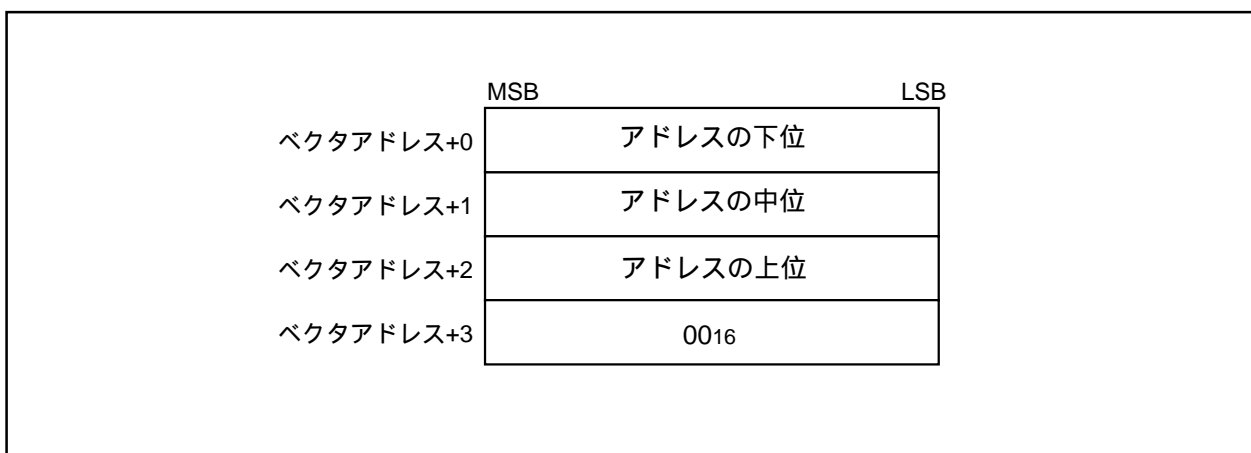


図11.2 割り込みベクタ

11.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。表11.1に固定ベクタテーブルを示します。フラッシュメモリの固定ベクタに関しては、「25.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 (番地(L)～番地(H))	備考	参照先
未定義命令	FFFFDC ₁₆ ～FFFFDF ₁₆		M32C/80シリーズ ソフトウェアマニュアル
オーバフロー	FFFFE0 ₁₆ ～FFFFE3 ₁₆		
BRK命令	FFFFE4 ₁₆ ～FFFFE7 ₁₆	FFFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のソフトウェア割り込み番号0に格納された番地へ分岐	
アドレス一致	FFFFE8 ₁₆ ～FFFFEB ₁₆		
-	FFFFEC ₁₆ ～FFFFEF ₁₆	予約領域	
ウォッチドッグタイマ	FFFFFF0 ₁₆ ～FFFFFF3 ₁₆	ウォッチドッグタイマ割り込みと発振停止検出割り込みと電圧低下検出割り込み ^(注1) で共用	リセット、クロック発生回路、ウォッチドッグタイマ
-	FFFFFF4 ₁₆ ～FFFFFF7 ₁₆	予約領域	
NMI	FFFFFF8 ₁₆ ～FFFFFFB ₁₆		
リセット	FFFFFC ₁₆ ～FFFFFF ₁₆		リセット

注1．M32C/84Tでは、電圧低下検出割り込みを使用しないでください。

11.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表11.2に可変ベクタテーブルを示します。

INTBレジスタに設定するベクタの先頭番地は偶数番地にしてください。偶数番地を指定した方が割り込みシーケンスの実行速度が速くなります。

表11.2 可変ベクタテーブル(1/2)

割り込み要因	ベクタテーブル番地 番地(L)～番地(H) ^(注1)	ソフトウェア 割り込み番号	参照先
BRK 命令 ^(注2)	+0～+3 (0000 ₁₆ ～0003 ₁₆)	0	M32C/80シリーズ
予約領域	+4～+31 (0004 ₁₆ ～001F ₁₆)	1～7	ソフトウェアマニュアル
DMA0	+32～+35 (0020 ₁₆ ～0023 ₁₆)	8	DMAC
DMA1	+36～+39 (0024 ₁₆ ～0027 ₁₆)	9	
DMA2	+40～+43 (0028 ₁₆ ～002B ₁₆)	10	
DMA3	+44～+47 (002C ₁₆ ～002F ₁₆)	11	
タイマA0	+48～+51 (0030 ₁₆ ～0033 ₁₆)	12	
タイマA1	+52～+55 (0034 ₁₆ ～0037 ₁₆)	13	
タイマA2	+56～+59 (0038 ₁₆ ～003B ₁₆)	14	
タイマA3	+60～+63 (003C ₁₆ ～003F ₁₆)	15	
タイマA4	+64～+67 (0040 ₁₆ ～0043 ₁₆)	16	
UART0送信、NACK ^(注3)	+68～+71 (0044 ₁₆ ～0047 ₁₆)	17	シリアルI/O
UART0受信、ACK ^(注3)	+72～+75 (0048 ₁₆ ～004B ₁₆)	18	
UART1送信、NACK ^(注3)	+76～+79 (004C ₁₆ ～004F ₁₆)	19	
UART1受信、ACK ^(注3)	+80～+83 (0050 ₁₆ ～0053 ₁₆)	20	
タイマB0	+84～+87 (0054 ₁₆ ～0057 ₁₆)	21	タイマB
タイマB1	+88～+91 (0058 ₁₆ ～005B ₁₆)	22	
タイマB2	+92～+95 (005C ₁₆ ～005F ₁₆)	23	
タイマB3	+96～+99 (0060 ₁₆ ～0063 ₁₆)	24	
タイマB4	+100～+103 (0064 ₁₆ ～0067 ₁₆)	25	
$\overline{\text{INT}}5$	+104～+107 (0068 ₁₆ ～006B ₁₆)	26	割り込み
$\overline{\text{INT}}4$	+108～+111 (006C ₁₆ ～006F ₁₆)	27	
$\overline{\text{INT}}3$	+112～+115 (0070 ₁₆ ～0073 ₁₆)	28	
$\overline{\text{INT}}2$	+116～+119 (0074 ₁₆ ～0077 ₁₆)	29	
$\overline{\text{INT}}1$	+120～+123 (0078 ₁₆ ～007B ₁₆)	30	
$\overline{\text{INT}}0$	+124～+127 (007C ₁₆ ～007F ₁₆)	31	
タイマB5	+128～+131 (0080 ₁₆ ～0083 ₁₆)	32	タイマB
UART2送信、NACK ^(注3)	+132～+135 (0084 ₁₆ ～0087 ₁₆)	33	シリアルI/O
UART2受信、ACK ^(注3)	+136～+139 (0088 ₁₆ ～008B ₁₆)	34	
UART3送信、NACK ^(注3)	+140～+143 (008C ₁₆ ～008F ₁₆)	35	
UART3受信、ACK ^(注3)	+144～+147 (0090 ₁₆ ～0093 ₁₆)	36	
UART4送信、NACK ^(注3)	+148～+151 (0094 ₁₆ ～0097 ₁₆)	37	
UART4受信、ACK ^(注3)	+152～+155 (0098 ₁₆ ～009B ₁₆)	38	

表11.2 可変ベクタテーブル(2/2)

割り込み要因	ベクタテーブル番地 番地(L) ~ 番地(H) ^(注1)	ソフトウェア 割り込み番号	参照先
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART2) ^(注3)	+156 ~ +159 (009C ₁₆ ~ 009F ₁₆)	39	シリアルI/O
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART3またはUART0) ^(注4)	+160 ~ +163 (00A0 ₁₆ ~ 00A3 ₁₆)	40	
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART4またはUART1) ^(注4)	+164 ~ +167 (00A4 ₁₆ ~ 00A7 ₁₆)	41	
A/D0	+168 ~ +171 (00A8 ₁₆ ~ 00AB ₁₆)	42	A/Dコンバータ
キー入力	+172 ~ +175 (00AC ₁₆ ~ 00AF ₁₆)	43	割り込み
インテリジェントI/O割り込み0	+176 ~ +179 (00B0 ₁₆ ~ 00B3 ₁₆)	44	インテリジェントI/O
インテリジェントI/O割り込み1	+180 ~ +183 (00B4 ₁₆ ~ 00B7 ₁₆)	45	
インテリジェントI/O割り込み2	+184 ~ +187 (00B8 ₁₆ ~ 00BB ₁₆)	46	
インテリジェントI/O割り込み3	+188 ~ +191 (00BC ₁₆ ~ 00BF ₁₆)	47	
インテリジェントI/O割り込み4	+192 ~ +195 (00C0 ₁₆ ~ 00C3 ₁₆)	48	
予約領域	+196 ~ + 207(00C4 ₁₆ ~ 00CF ₁₆)	49 ~ 51	-
インテリジェントI/O割り込み8	+208 ~ +211 (00D0 ₁₆ ~ 00D3 ₁₆)	52	インテリジェントI/O / CAN
インテリジェントI/O割り込み9、CAN0	+212 ~ +215 (00D4 ₁₆ ~ 00D7 ₁₆)	53	
インテリジェントI/O割り込み10、CAN1	+216 ~ +219 (00D8 ₁₆ ~ 00DB ₁₆)	54	
予約領域	+220 ~ + 227(00DC ₁₆ ~ 00E3 ₁₆)	55 ~ 56	-
CAN2	+228 ~ +231 (00E4 ₁₆ ~ 00E7 ₁₆)	57	CAN
予約領域	+232 ~ + 255(00E8 ₁₆ ~ 00FF ₁₆)	58 ~ 63	-
INT命令 ^(注2)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆) ~ +252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	0 ~ 63	割り込み

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタ - ト/ストップコンディション検出が割り込み要因になります。

注4. UART0、UART3のどちらの割り込みに使用するかは、IFSRレジスタのIFSR6ビットで、UART1、UART4のどちらの割り込みに使用するかは、IFSR7ビットで選択してください。

11.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要因が成立すると割り込みが発生します。周辺機能割り込みは次の3つの条件がすべて成立したとき受け付けられます。

- ・Iフラグ = “1”
- ・IRビット = “1”
- ・ILVL2~ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2~ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて次に説明します。

11.6.1 IフラグとIPL

Iフラグは、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”になります。

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込みは許可されます。

表11.3にIPLの内容による割り込み許可レベルを示します。

表11.3 IPLの内容による割り込み許可レベル

IPL2	IPL1	IPL0	許可される割り込み優先レベル
0	0	0	レベル1以上を許可
0	0	1	レベル2以上を許可
0	1	0	レベル3以上を許可
0	1	1	レベル4以上を許可
1	0	0	レベル5以上を許可
1	0	1	レベル6以上を許可
1	1	0	レベル7以上を許可
1	1	1	すべてのマスカブル割り込みを禁止

11.6.2 割り込み制御レジスタとRLVLレジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図11.3、図11.4に割り込み制御レジスタを、図11.5にRLVLレジスタを示します。

割り込み制御レジスタ

シンボル	アドレス	リセット後の値
TA0IC ~ TA4IC	006C ₁₆ , 008C ₁₆ , 006E ₁₆ , 008E ₁₆ , 0070 ₁₆ 番地	XXXX X0002
TB0IC ~ TB5IC	0094 ₁₆ , 0076 ₁₆ , 0096 ₁₆ , 0078 ₁₆ , 0098 ₁₆ , 0069 ₁₆ 番地	XXXX X0002
S0TIC ~ S4TIC	0090 ₁₆ , 0092 ₁₆ , 0089 ₁₆ , 008B ₁₆ , 008D ₁₆ 番地	XXXX X0002
S0RIC ~ S4RIC	0072 ₁₆ , 0074 ₁₆ , 006B ₁₆ , 006D ₁₆ , 006F ₁₆ 番地	XXXX X0002
BCN0IC ~ BCN4IC	0071 ₁₆ , 0091 ₁₆ , 008F ₁₆ , 0071 ₁₆ (注1), 0091 ₁₆ (注2)番地	XXXX X0002
DM0IC ~ DM3IC	0068 ₁₆ , 0088 ₁₆ , 006A ₁₆ , 008A ₁₆ 番地	XXXX X0002
AD0IC	0073 ₁₆ 番地	XXXX X0002
KUPIC	0093 ₁₆ 番地	XXXX X0002
IIO0IC ~ IIO4IC	0075 ₁₆ , 0095 ₁₆ , 0077 ₁₆ , 0097 ₁₆ , 0079 ₁₆ 番地	XXXX X0002
IIO8IC ~ IIO10IC	007D ₁₆ , 009D ₁₆ , 007F ₁₆ 番地	XXXX X0002
CAN0IC ~ CAN2IC	009D ₁₆ , 007F ₁₆ , 0081 ₁₆ 番地(注3)	XXXX X0002

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1		RW	
ILVL2		RW	
IR		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり (注4)
(b7 - b4)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—

注1 . BCN0ICレジスタとBCN3ICレジスタは番地を共用しています。

注2 . BCN1ICレジスタとBCN4ICレジスタは番地を共用しています。

注3 . CAN0ICレジスタはIIO9ICレジスタと、CAN1ICレジスタはIIO10ICレジスタと番地を共用しています。

注4 . "0"のみ書き込み可。("1"は書かないでください。)

図11.3 割り込み制御レジスタ(1)

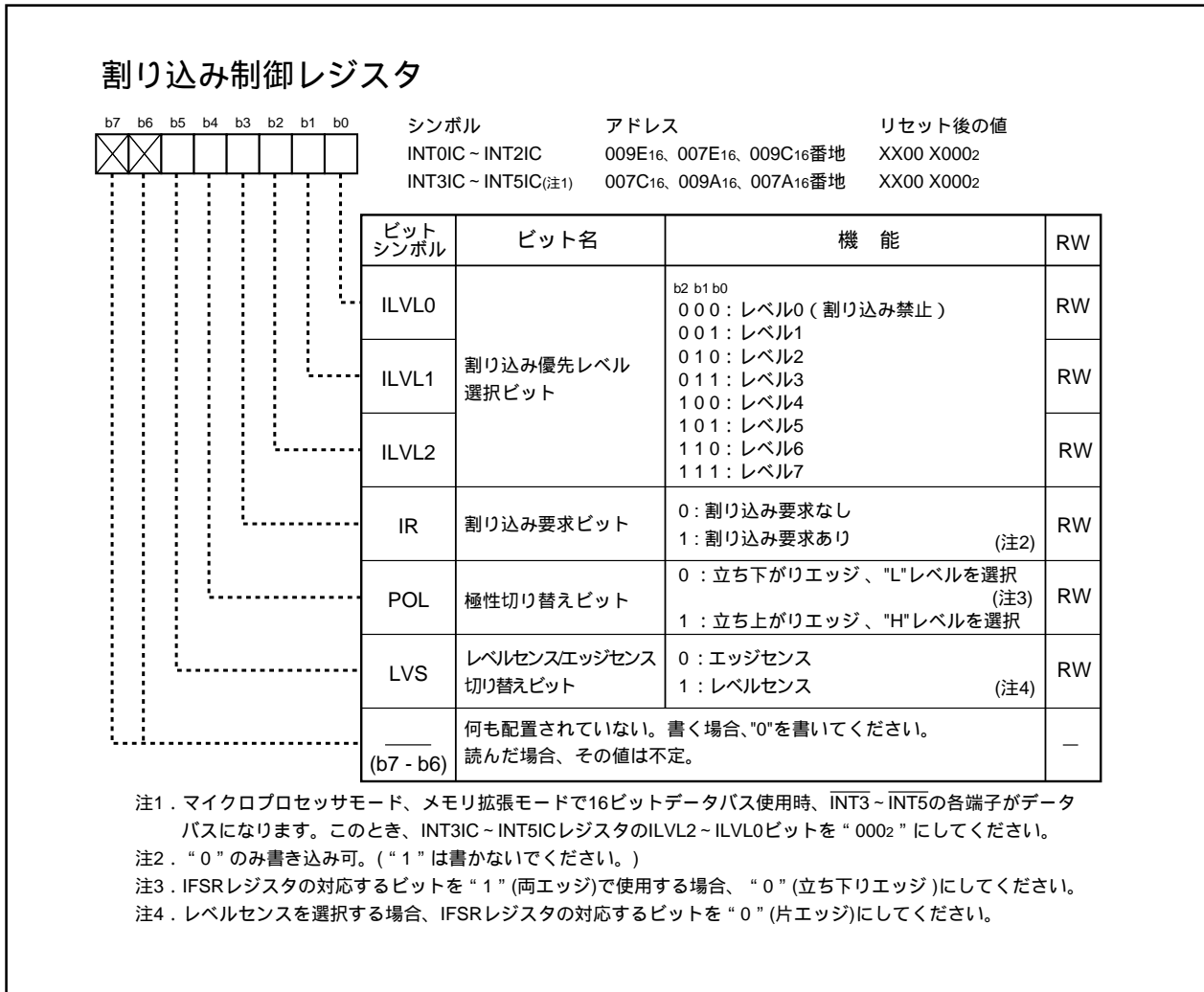


図11.4 割り込み制御レジスタ(2)

11.6.2.1 ILVL2 ~ ILVL0ビット

ILVL2 ~ ILVL0ビットで割り込み優先レベルを選択します。割り込み優先レベルの値が大きいくほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み優先レベルはIPLと比較され、割り込みの優先レベルがIPLより大きい場合だけ、その割り込みは許可されます。ILVL2 ~ ILVL0ビットを“0002”(レベル0)にすると、その割り込みは禁止されます。

11.6.2.2 IRビット

IRビットは割り込み要求が発生すると、ハードウェアによって“1”(割り込み要求あり)になります。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます(“1”を書かないでください)。

復帰用優先順位レジスタ				
		シンボル RLVL	アドレス 009F16番地	リセット後の値 XXXX 0000 ₂
ビット シンボル	ビット名	機能	RW	
RLVL0	ストップ/ウェイト復帰用 割り込み優先順位 選択ビット (注1)	b2 b1 b0 0 0 0 : レベル0 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW	
RLVL1		RW		
RLVL2		RW		
FSIT	高速割り込み選択 ビット (注2)	0: 割り込み優先レベル7は通常割り込みに使用 1: 割り込み優先レベル7は高速割り込みに使用	RW	
(b4)	何も配置されていない。書く場合、「0」を書いてください。 読んだ場合、その値は不定。		—	
DMAII	DMAC II選択ビット(注4)	0: 割り込み優先レベル7は割り込みに使用 1: 割り込み優先レベル7はDMAC II転送に 使用 (注3)	RW	
(b7 - b6)	何も配置されていない。書く場合、「0」を書いてください。 読んだ場合、その値は不定。		—	

注1. 要求のあった割り込みの優先レベルが、RLVL2～RLVL0ビットで選択したレベルより大きい場合、ストップモード、ウェイトモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。

注2. FSITビットが“1”の場合、割り込み優先レベルがレベル7の割り込みが高速割り込みになります。このとき、一つの割り込みのみ割り込み優先レベルをレベル7にし、DMAIIビットを“0”にしてください。

注3. DMAIIビットを“1”にした後、割り込み制御レジスタのILVL2～ILVL0ビットを設定してください。DMAIIビットを“1”にした後は、“0”に書き換えしないでください。DMAIIビットを“1”にする場合、FSITビットは“0”にしてください。

注4. リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0”にしてから割り込み制御レジスタを設定してください。

図11.5 RLVLレジスタ

11.6.2.3 RLVL2～RLVL0ビット

ストップモードやウェイトモードの解除に割り込みを使用する場合は、「9.5.2 ウェイトモード」、「9.5.3 ストップモード」を参照してください。

11.6.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUはその命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SSTR、SOUT、RMPAの各命令では、命令実行中に割り込み要求が発生すると、CPUは命令の実行を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

- (1) 00000016番地(高速割り込みの場合、00000216番地)を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ^(注1)に退避します。
- (3) FLGレジスタの各ビットは次のようになります。
 - Iフラグが“0”(割り込み禁止)
 - Dフラグが“0”(シングルステップ割り込み禁止)
 - Uフラグが“0”(ISPを指定)
- (4) CPU内部の一時レジスタをスタックに退避します。高速割り込みの場合は、SVFレジスタに退避します。
- (5) PCをスタックに退避します。高速割り込みの場合は、SVPレジスタに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 受け付けた割り込みに対応する可変ベクタをPCに格納します。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

11.6.4 割り込み応答時間

図11.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.6の(a))と割り込みシーケンスを実行する時間(図11.6(b))で構成されます。

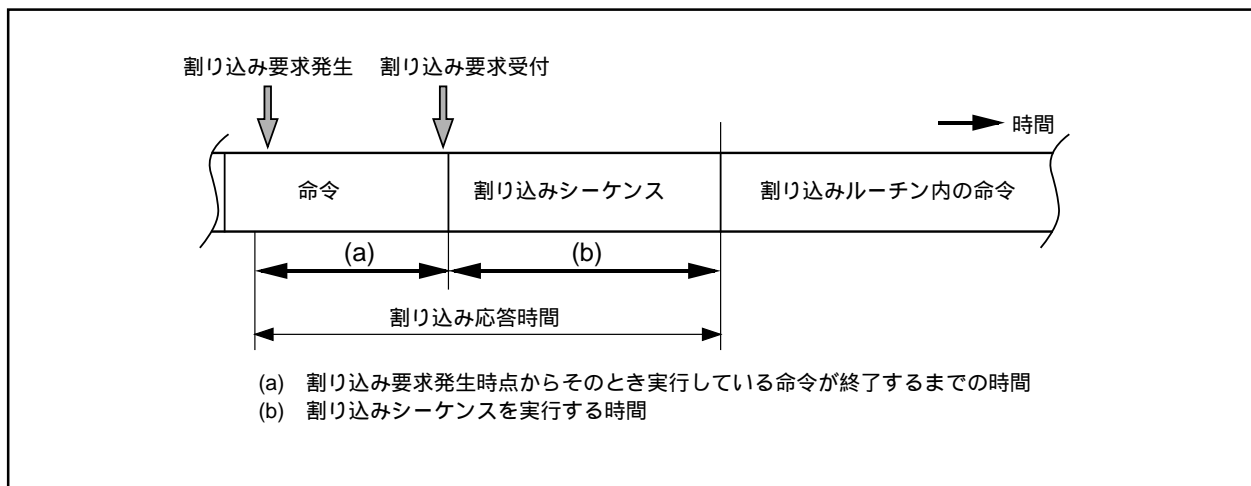


図11.6 割り込み応答時間

(a)の時間は、実行している命令によって異なります。この時間が最も長くなる命令はDIV命令、DIVX命令、DIVU命令で最長42サイクルです。

除数がメモリのときは、次の値が加算されます。

- ・通常アドレッシング $2 + X$
- ・インデクスアドレッシング $3 + X$
- ・間接アドレッシング $5 + X + 2Y$
- ・間接インデクスアドレッシング $6 + X + 2Y$

Xは除数の領域のウェイト数です。Yは間接アドレスが格納されている領域のウェイト数です。これが奇数番地か8ビットバス領域にある場合、その値を2倍してください。

(b)の時間は表11.4のとおりです。

表11.4 割り込みシーケンス実行時間

割り込み	割り込みベクタの番地	16ビットバス	8ビットバス
周辺機能	偶数 奇数 ^(注1)	14サイクル 16サイクル	16サイクル 16サイクル
INT命令	偶数 奇数 ^(注1)	12サイクル 14サイクル	14サイクル 14サイクル
$\overline{\text{NMI}}$ ウォッチドッグタイマ 未定義命令 アドレス一致	偶数 ^(注2)	13サイクル	15サイクル
オーバフロー	偶数 ^(注2)	14サイクル	16サイクル
BRK命令(可変ベクタ)	偶数 奇数 ^(注1)	17サイクル 19サイクル	19サイクル 19サイクル
BRK命令(固定ベクタ)	偶数 ^(注2)	19サイクル	21サイクル
高速割り込み	ベクタテーブルは内部レジスタ	5サイクル	

注1. 割り込みベクタは、なるべく偶数番地に配置してください。

注2. ベクタの番地は偶数固定です。

11.6.5 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み優先レベルをもちません。これらの割り込み要求が受け付けられたときは、表11.5に示す値がIPLに設定されます。

表11.5 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止検出、電圧低下検出 ^(注1)	7
リセット	0
ソフトウェア、アドレス一致	変化しない

注1. M32C/84Tでは、電圧低下検出割り込みを使用しないでください。

11.6.6 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへは、FLGレジスタ、次にPCを32ビットに拡張した上位16ビットと下位16ビットの順番で退避します。図11.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を1命令で退避できます。

高速割り込みは「11.4 高速割り込み」を参照してください。

注1 . R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

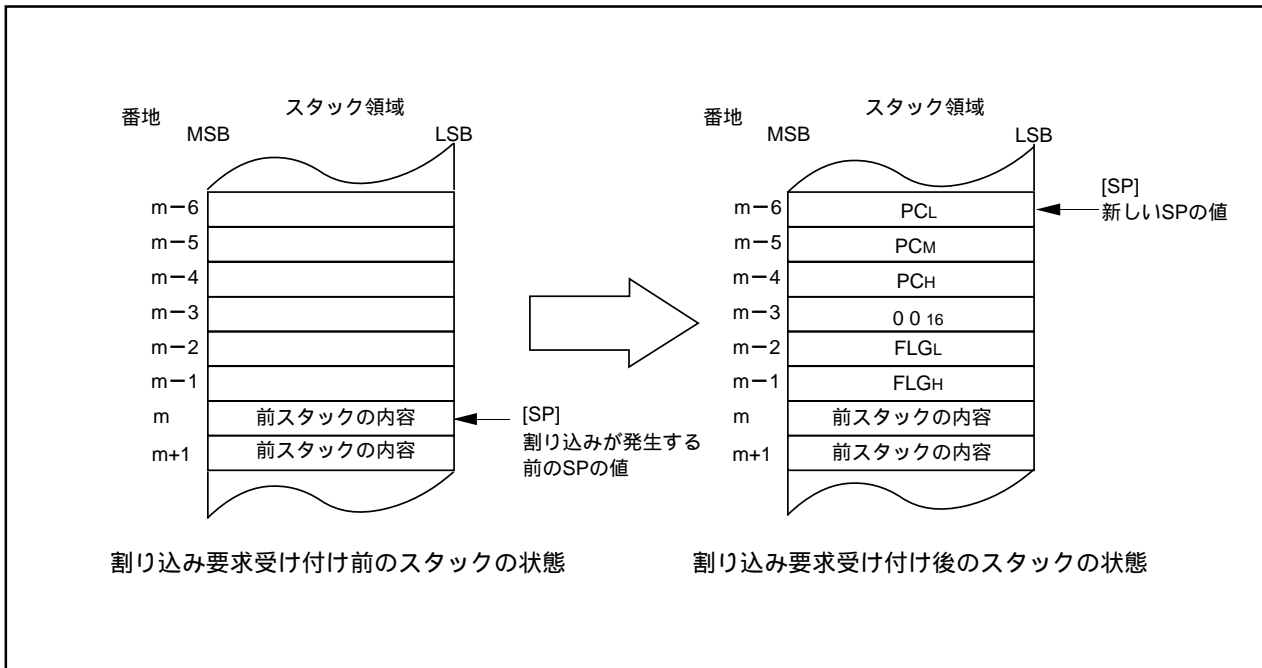


図11.7 割り込み要求受け付け前と後のスタックの状態

11.6.7 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断していた処理を続けます。高速割り込みは「11.4 高速割り込み」を参照してください。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

11.6.8 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、ILVL2~ILVL0ビットによって任意の優先順位を選択できます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図11.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンへ分岐します。

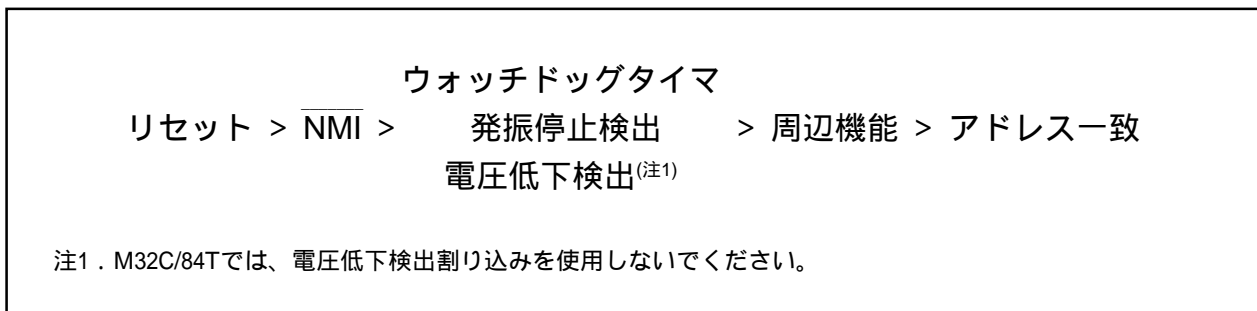


図11.8 ハードウェア割り込みの割り込み優先順位

11.6.9 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図11.9に割り込み優先レベルの判定回路を示します。

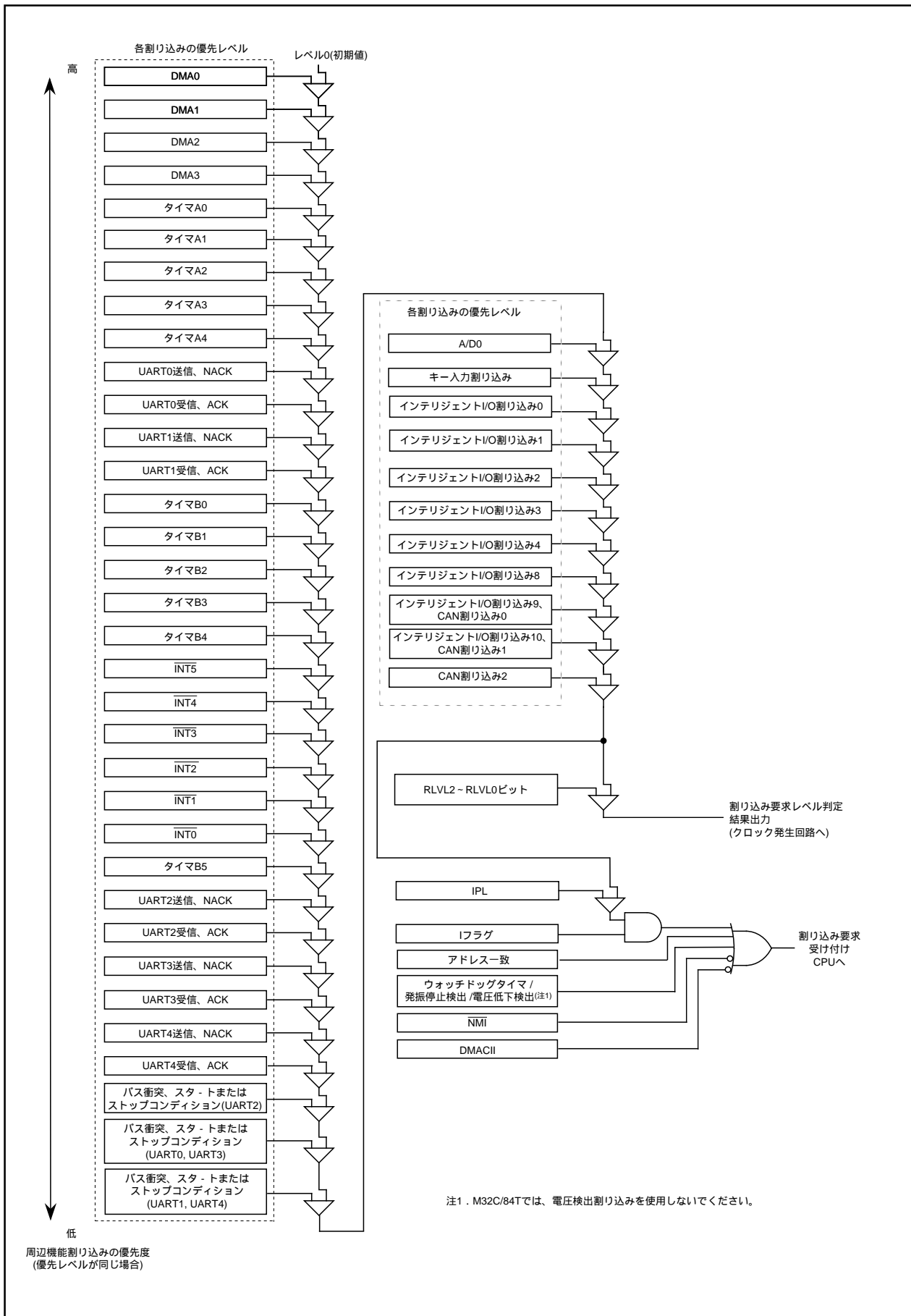


図11.9 割り込み優先レベル判定回路

11.7 INT割り込み

INT_i(i=0~5)割り込みは外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスをINT_iICレジスタのLVSビットで選択できます。また、極性をINT_iICレジスタのPOLビットで選択できます。

エッジセンスでは、IFSRレジスタのIFSR_iビットを“1”(両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下りの両方のエッジで割り込み要求が発生します。IFSR_iビットを“1”にする場合は、対応するPOLビットを“0”(立ち下りエッジ)にしてください。

レベルセンスでは、IFSR_iビットは“0”(片エッジ)にしてください。また、INT_i端子の入力レベルがPOLビットで選択したレベルのときに、INT_iICレジスタのIRビットが“1”(割り込み要求あり)になります。その後、INT_i端子が変化してもIRビットは“1”を保持し、INT_i割り込みを受け付けるか、プログラムで“0”を書くと“0”になります。

図11.10にIFSRレジスタ示します。

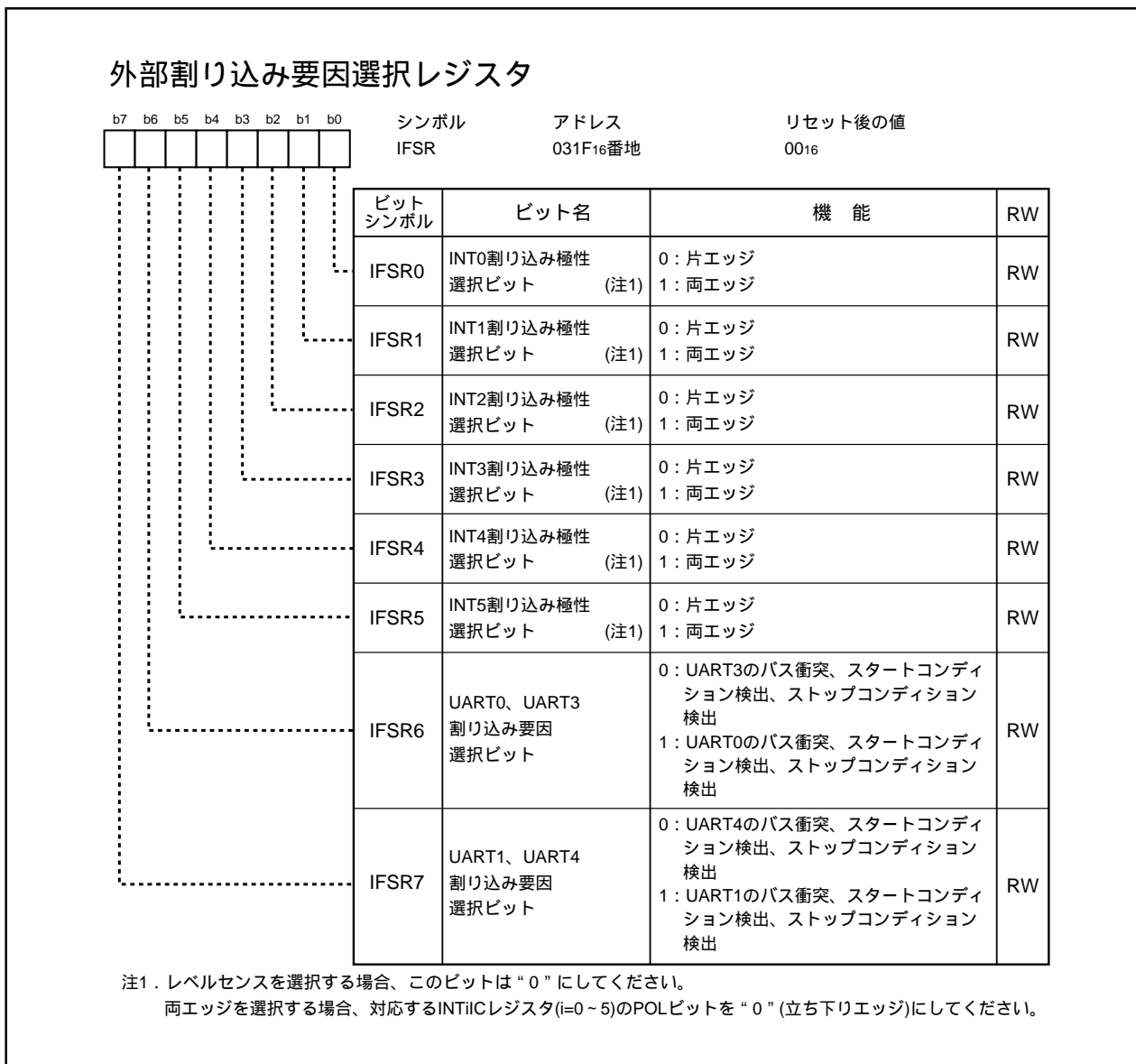


図11.10 IFSRレジスタ

11.8 $\overline{\text{NMI}}$ 割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

<注意事項>

$\overline{\text{NMI}}$ 機能を使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVCC1に接続(プルアップ)してください。 $\overline{\text{NMI}}$ 割り込みはノンマスクابلであり、無効にできませんので端子処理が必要です。

11.9 キー入力割り込み

P104～P107のうち、方向レジスタを入力モードにしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。ウェイトモードやストップモードを解除する機能としても使用できます。ただし、キー入力割り込みを使用する場合、P104～P107をA/D入力として使用しないでください。図11.11にキー入力割り込みのブロック図を示します。なお、方向レジスタを入力にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

PSCレジスタのPSC_7ビット(注1)を“1”(キー入力割り込み禁止)にすると、割り込み制御レジスタの設定にかかわらず、キー入力割り込みは発生しません。また、PSC_7ビットが“1”の場合、方向レジスタが入力に選択されていてもポート端子から入力できません。

注1. PSCレジスタは「24. プログラマブル入出力ポート」を参照してください。

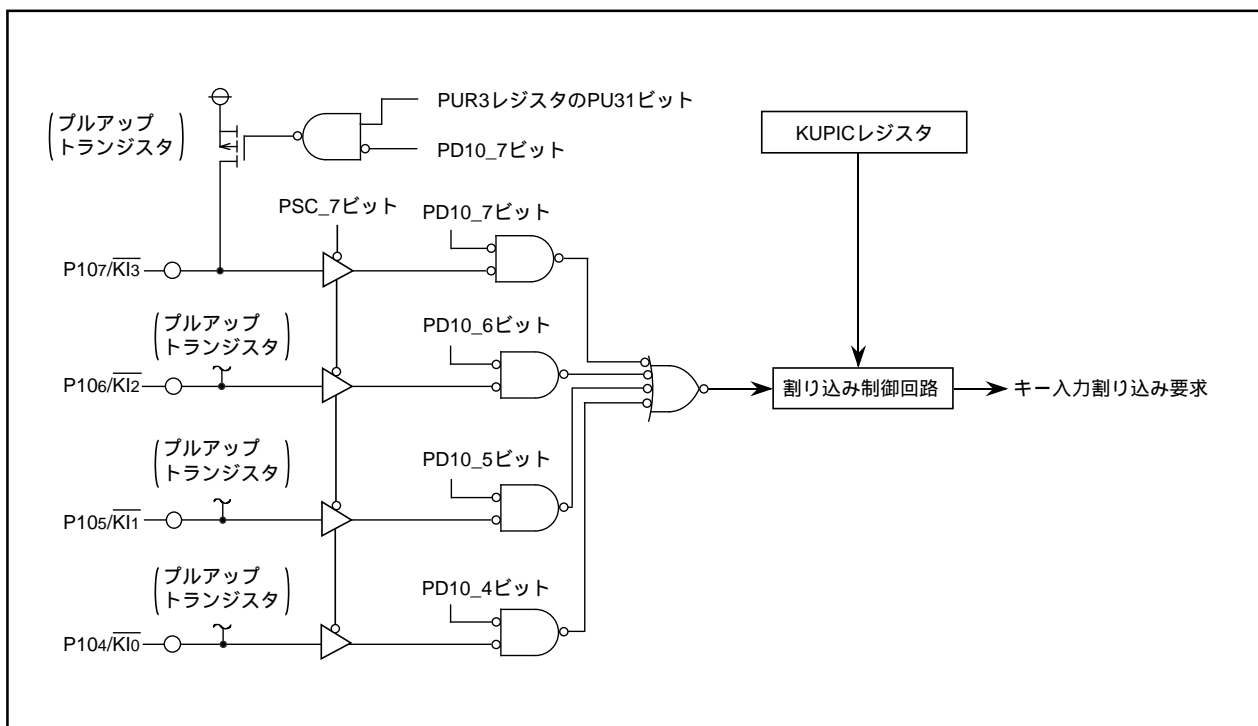


図11.11 キー入力割り込みのブロック図

11.10 アドレス一致割り込み

RMADiレジスタ(i=0~7)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは8カ所に設定でき、割り込みの禁止または許可はAIERレジスタのAIERiビットで選択できます。アドレス一致割り込みは、IフラグとIPLの影響を受けません。

図11.12にアドレス一致割り込み関連レジスタを示します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

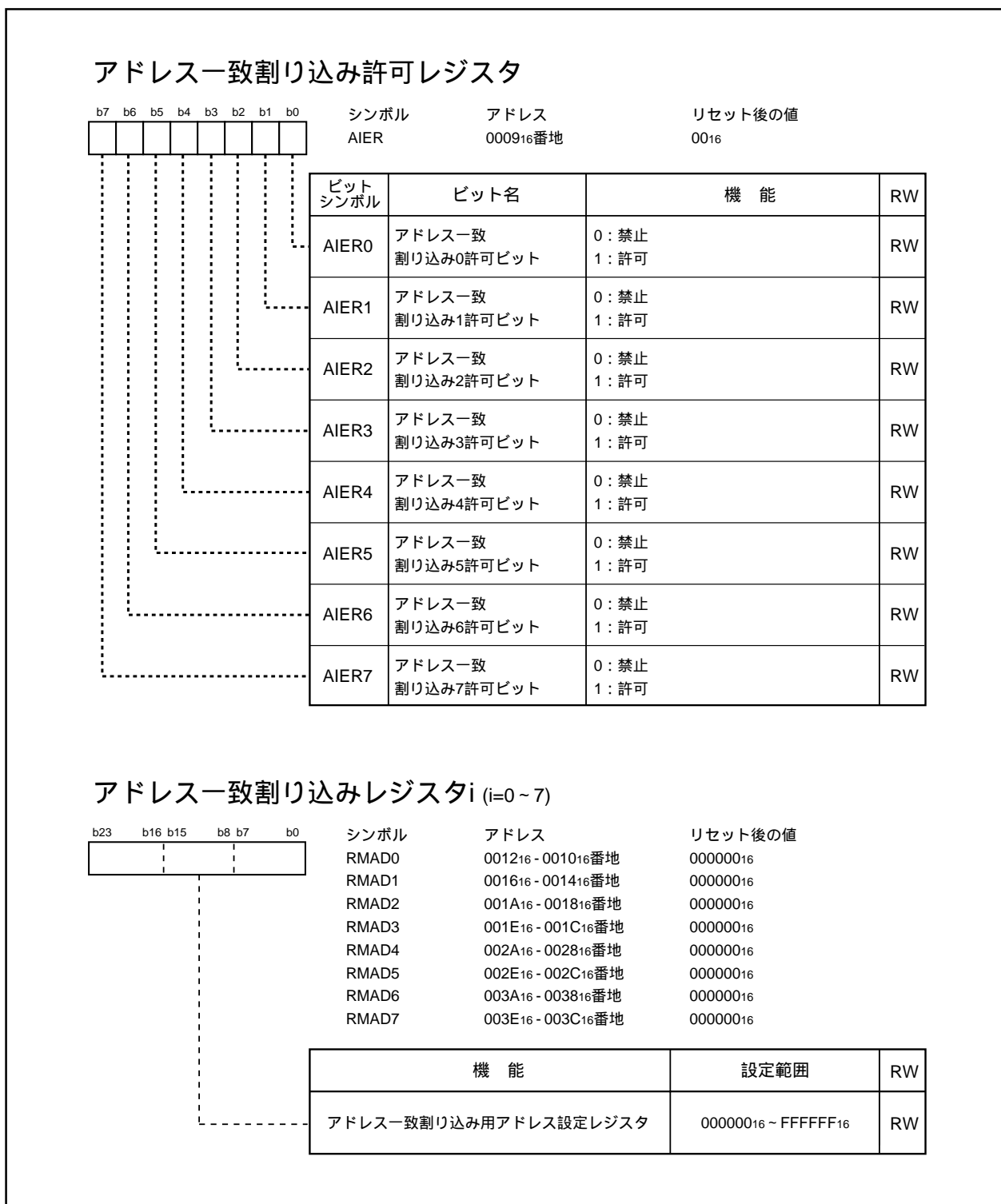


図11.12 AIERレジスタ、RMAD0~RMAD7レジスタ

11.11 インテリジェントI/O割り込みとCAN割り込み

インテリジェントI/O割り込みとCAN割り込みは、ソフトウェア割り込み番号44～48、52～54、57に割り当てられています。

図11.13にインテリジェントI/O割り込みとCAN割り込みのブロック図を、図11.14にIIOiIRレジスタ(i=0～4、8～11)を、図11.15にIIOiIEレジスタを示します。

インテリジェントI/O割り込みまたはCAN割り込みを使用する場合は、IIOiIEレジスタのIRLTビットを“1”(割り込み要求を割り込みで使用)にしてください。

インテリジェントI/O割り込みには、多数の要求要因があります。インテリジェントI/OまたはCANの各機能で割り込み要求が発生すると、IIOiIRレジスタの対応するビットが“1”(割り込み要求あり)になります。このとき、IIOiIEレジスタの対応するビットが“1”(割り込み許可)であれば、対応するIIOiICレジスタのIRビットが“1”(割り込み要求あり)になります。

なお、IRビットが“0”から“1”になった後、別の割り込み要因によってIIOiIRレジスタのビットが“1”になり、かつ、IIOiIEレジスタの該当するビットが“1”だった場合、IRビットは“1”のまま変化しません。

また、IIOiIRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。プログラムで“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要因がすべて無効になります。

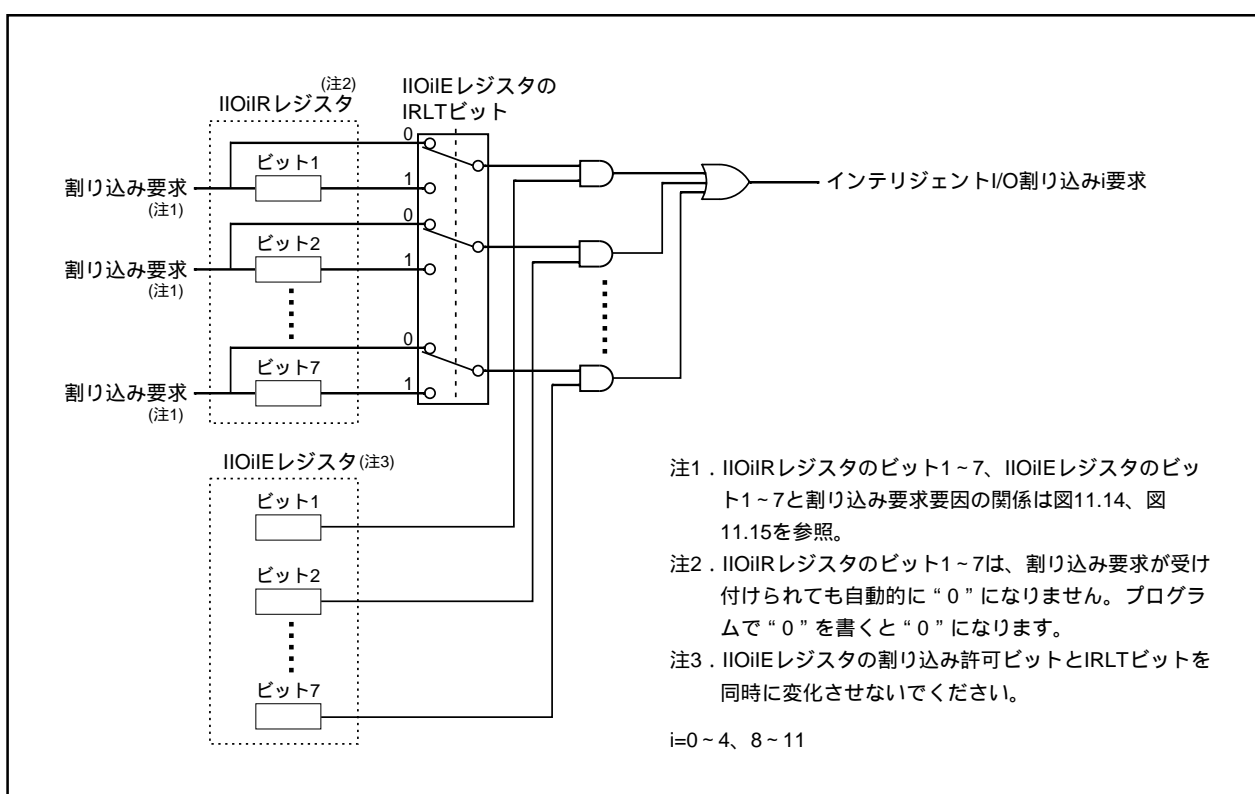


図11.13 インテリジェントI/O割り込みとCAN割り込みのブロック図

CAN割り込みは、CAN0j(j=0~2)割り込みです。CAN割り込みは、次のレジスタを使用します。

- ・CAN00~CAN02割り込みは、IIO9IR~IIO11IRレジスタのビット7とIIO9IE~IIO11IEレジスタのビット7を使用します。

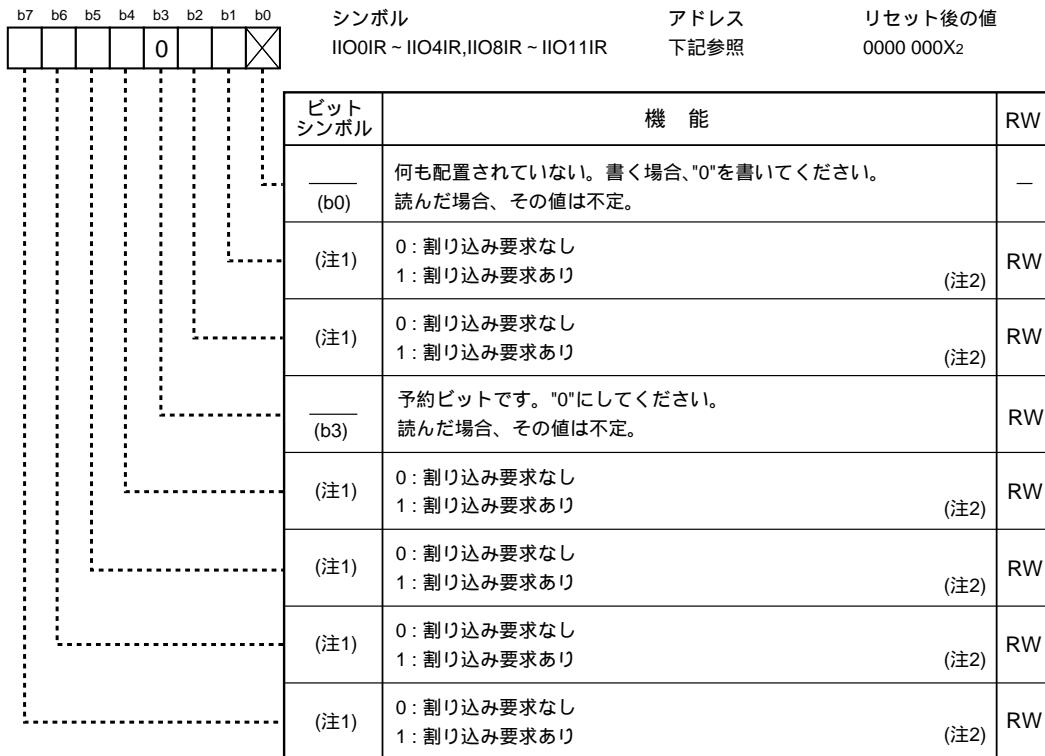
また、CAN0IC、CAN1ICレジスタは、次のレジスタと番地を共用しています。

- ・CAN0ICレジスタはIIO9ICレジスタと、CAN1ICレジスタはIIO10ICレジスタと共用。

CAN割り込みの詳細は「23.4 CAN割り込み」を参照してください。

インテリジェントI/O割り込みまたはCAN割り込みをDMAC IIの起動要因として使用する場合、IIOiIEレジスタのIRLTビットを“0”(割り込み要求をDMAC、DMAC IIで使用)にし、IIOiIEレジスタで使用する割り込み要求要因を許可にしてください。

割り込み要求レジスタ



注1. ビットシンボルは下表を参照してください。
 注2. "0"のみ書き込み可。("1"を書いても変化しません。)

割り込み要求レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0iR	00A0 ₁₆	-	-	SIO0RR	G0RiR	-	TM13R/PO13R	-	-
IIO1iR	00A1 ₁₆	-	-	SIO0TR	G0TOR	-	TM14R/PO14R	-	-
IIO2iR	00A2 ₁₆	-	-	SIO1RR	G1RiR	-	TM12R/PO12R	-	-
IIO3iR	00A3 ₁₆	-	-	SIO1TR	G1TOR	-	TM10R/PO10R	-	-
IIO4iR	00A4 ₁₆	SRT0R	SRT1R	-	BT1R	-	TM17R/PO17R	-	-
IIO8iR	00A8 ₁₆	-	-	-	-	-	-	TM11R/PO11R	-
IIO9iR	00A9 ₁₆	CAN00R	-	-	-	-	-	TM15R/PO15R	-
IIO10iR	00AA ₁₆	CAN01R	-	-	-	-	-	TM16R/PO16R	-
IIO11iR	00AB ₁₆	CAN02R	-	-	-	-	-	-	-

- BT1R : インテリジェントI/Oベースタイム割り込み要求。
- TM1jR : インテリジェントI/O 時間計測機能 j 割り込み要求
- PO1jR : インテリジェントI/O波形生成機能 j 割り込み要求
- SIOiRR : インテリジェントI/O通信部 i 受信割り込み要求
- SIOiTR : インテリジェントI/O通信部 i 送信割り込み要求
- GiTOR : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み要求 (TO:送信出力)
- GiRiR : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み要求 (RI:受信入力)
- SRTiR : インテリジェントI/O特殊通信機能割り込み要求
- CAN0kR : CAN0通信機能割り込み要求(k=0~2)
- : 予約ビット("0"にしてください。)

i=0,1、j=0~7

図11.14 IIO0iR ~ IIO4iR、IIO8iR ~ IIO11iRレジスタ

割り込み許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

				0			
--	--	--	--	---	--	--	--

シンボル
IIO0IE ~ IIO4IE, IIO8IE ~ IIO11IE

アドレス
下記参照

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
IRLT	割り込み要求 選択ビット (注2)	0: 割り込み要求をDMAC、DMAC IIで使用 1: 割り込み要求を割り込みで使用	RW
(注1)	—	0: IIOiIRレジスタのビット1の割り込みを禁止 1: IIOiIRレジスタのビット1の割り込みを許可	RW
(注1)	—	0: IIOiIRレジスタのビット2の割り込みを禁止 1: IIOiIRレジスタのビット2の割り込みを許可	RW
— (b3)	予約ビット	"0"にしてください。	RW
(注1)	—	0: IIOiIRレジスタのビット4の割り込みを禁止 1: IIOiIRレジスタのビット4の割り込みを許可	RW
(注1)	—	0: IIOiIRレジスタのビット5の割り込みを禁止 1: IIOiIRレジスタのビット5の割り込みを許可	RW
(注1)	—	0: IIOiIRレジスタのビット6の割り込みを禁止 1: IIOiIRレジスタのビット6の割り込みを許可	RW
(注1)	—	0: IIOiIRレジスタのビット7の割り込みを禁止 1: IIOiIRレジスタのビット7の割り込みを許可	RW

注1. ビットシンボルは下表を参照してください
 注2. 割り込み要求を割り込みで使用する場合、IRLTビットを“1”にした後、ビット1、2、4~7を“1”にしてください。

割り込み許可レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0 ₁₆	-	-	SIO0RE	G0RIE	-	TM13E/PO13E	-	IRLT
IIO1IE	00B1 ₁₆	-	-	SIO0TE	G0TOE	-	TM14E/PO14E	-	IRLT
IIO2IE	00B2 ₁₆	-	-	SIO1RE	G1RIE	-	TM12E/PO12E	-	IRLT
IIO3IE	00B3 ₁₆	-	-	SIO1TE	G1TOE	-	TM10E/PO10E	-	IRLT
IIO4IE	00B4 ₁₆	SRT0E	SRT1E	-	BT1E	-	TM17E/PO17E	-	IRLT
IIO8IE	00B8 ₁₆	-	-	-	-	-	-	TM11E/PO11E	IRLT
IIO9IE	00B9 ₁₆	CAN00E	-	-	-	-	-	TM15E/PO15E	IRLT
IIO10IE	00BA ₁₆	CAN01E	-	-	-	-	-	TM16E/PO16E	IRLT
IIO11IE	00BB ₁₆	CAN02E	-	-	-	-	-	-	IRLT

BT1E : インテリジェントI/Oベースタイム割り込み許可。
 TM1jE : インテリジェントI/O時間計測機能j 割り込み許可
 PO1jE : インテリジェントI/O波形生成機能j 割り込み許可
 SIOiRE : インテリジェントI/O通信部i 受信割り込み許可
 SIOiTE : インテリジェントI/O通信部i 送信割り込み許可
 GiTOE : インテリジェントI/O通信部i HDLCデータ処理機能割り込み許可 (TO:送信出力)
 GiRIE : インテリジェントI/O通信部i HDLCデータ処理機能割り込み許可 (RI:受信入力)
 SRTiE : インテリジェントI/O特殊通信機能割り込み許可
 CAN0kE : CAN0通信機能割り込み許可(k=0~2)
 - : 予約ビット (“0” にしてください。)

i=0,1、j=0~7

図11.15 IIO0IE ~ IIO4IE、IIO8IE ~ IIO11IEレジスタ

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックによりダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。一度CM06ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセット後だけ“0”になります。

CPUクロックにメインクロック、オンチップオシレータクロックまたはPLLクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロック、PLLクロック、オンチップオシレータクロックを選択している場合

ウォッチドッグタイマの周期 =

$$\frac{\text{プリスケアラの分周}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

例えば、CPUクロックが30MHzでプリスケアラが16分周する場合、ウォッチドッグタイマの周期は約17.5msとなります。

ウォッチドッグタイマは、WDTSレジスタへ書いた時とウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケアラはリセット後だけ初期化されます。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード、ウエイトモード、ホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図12.1にウォッチドッグタイマのブロック図、図12.2にウォッチドッグタイマ関連レジスタを示します。

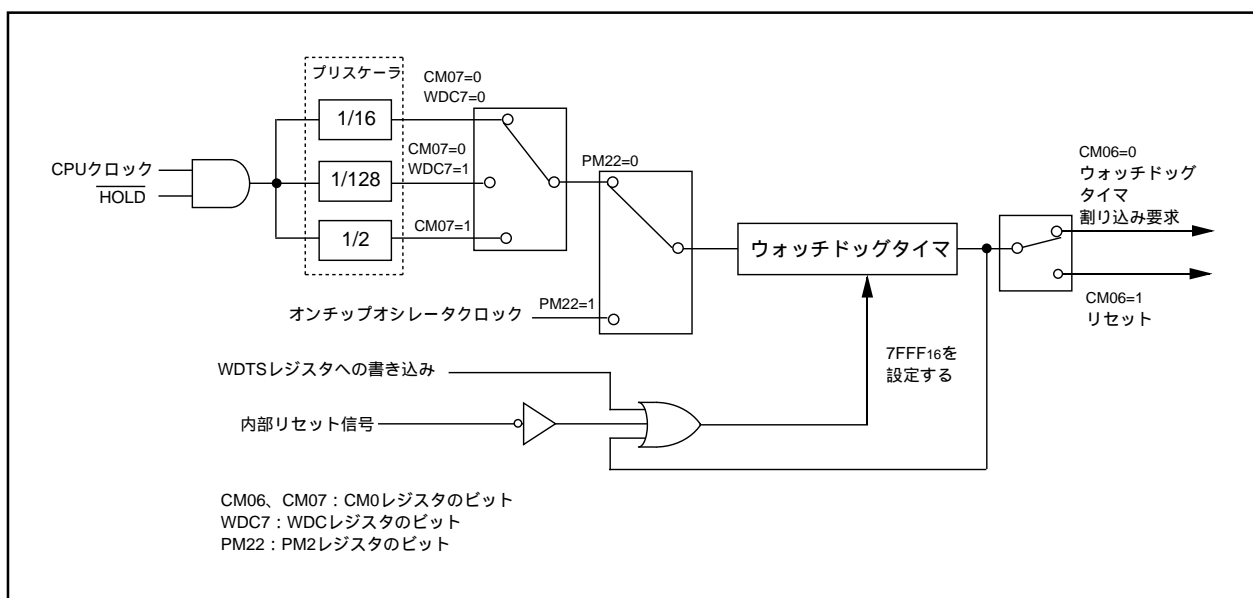


図12.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
	0							WDC	000F ₁₆ 番地	000X XXXX ₂

ビットシンボル	ビット名	機能	RW
—— (b4 - b0)	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ ウォームスタート判定フラグ (注1、2、3)	0 : コールドスタート 1 : ウォームスタート	RW
—— (b6)	予約ビット	"0"にしてください。	RW
WDC7	プリスケアラ選択 ビット	0 : 16分周 1 : 128分周	RW

注1. WDC5ビットに“0”、“1”のいずれを書いても、“1”(ウォームスタート)になります。

注2. WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

注3. WDC5ビットは、リセットを行ってもリセット前の値が保持されます。

ウォッチドッグタイマスタートレジスタ (注1)

b7	b0	シンボル	アドレス	リセット後の値
		WDTS	000E ₁₆ 番地	不定

機能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化され スタートします。ウォッチドッグタイマの初期化は、書き込む値にかかわらず "7FFF ₁₆ "が設定されます。	WO

注1. ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図12.2 WDCレジスタ、WDTSレジスタ

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

シンボル アドレス リセット後の値

CM0 0006₁₆番地 0000 1000₂

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能 選択ビット (注2)	b1 b0 0 0 : 入出力ポートP5 ₃ 0 1 : fcを出力	RW
CM01		1 0 : f8を出力 1 1 : f32を出力	RW
CM02	ウエイトモード時周辺 機能クロック停止ビット (注9)	0 : ウエイトモード時、周辺機能クロックは 停止しない 1 : ウエイトモード時、周辺機能クロックは 停止する (注3)	RW
CM03	X _{CIN} -X _{COU} T駆動能力 選択ビット (注11)	0 : Low 1 : High	RW
CM04	ポートX _c 切り替え ビット	0 : 入出力ポート機能 1 : X _{CIN} -X _{COU} T発振機能 (注4)	RW
CM05	メインクロック(X _{IN} -X _{OU} T) 停止ビット (注5、9)	0 : 発振 1 : 停止 (注6)	RW
CM06	ウォッチドッグタイマ 機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット (注7)	RW
CM07	CPUクロック選択 ビット0 (注8、9、10)	0 : CM21ビットで選択したクロックをMCD レジスタで分周したクロック 1 : サブクロック	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM0レジスタのPM07ビットが“0”(BCLK出力)のとき、CM01～CM00ビットを“00₂”にしてください。PM1レジスタのPM15～PM14ビットが“01₂”(P5₃にALE出力)のとき、CM01～CM00ビットを“00₂”にしてください。マイクロプロセッサモードまたはメモリ拡張モードでPM07ビットが“1”(CM01～CM00ビットで選択される機能)のとき、CM01～CM00ビットを“00₂”にするとP5₃端子から“L”を出力します(ポートP5₃機能にはなりません)。

注3. fc32は停止しません。CM02ビットを“1”にすると、ウエイトモード時にPLLは使用できません。

注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7～PD8_6ビットを“00₂”(ポートP8₇、P8₆は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップなし)にしてください。

注5. このビットは、低消費電力モードまたはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、サブクロックが安定して発振している状態でCM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、CM05ビットを“1”にしてください。CM05ビットが“1”の場合、X_{OU}Tは“H”になります。また、内蔵している帰還抵抗はONしたままですので、X_{IN}は帰還抵抗を介してX_{OU}Tにプルアップされた状態となります。

注6. CM05ビットが“1”の場合、MCDレジスタのMCD4～MCD0ビットは“01000₂”(8分周モード)になります。ただし、オンチップオシレータモードではこのビットでX_{IN}-X_{OU}Tを停止しても、MCD4～MCD0ビットは“01000₂”(8分周モード)になりません。

注7. 一度“1”にすると、プログラムでは“0”にできません。

注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04またはCM05ビットと同時に書き換えないでください。

注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。

注10. PM21ビットを“1”にする場合、CM07ビットを“0”にした後で、PM21ビットを“1”にしてください。

注11. ストップモードへ移行したとき、CM03ビットは“1”になります。

図12.3 CM0レジスタ

12.1 カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

- (1)PRCRレジスタのPRC0ビットを“1”(CM0レジスタ書き込み許可)にする
- (2)PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (3)CM0レジスタのCM06ビットを“1”(ウォッチドッグタイマオーバフロー時リセット)にする
- (4)PM2レジスタのPM22ビットを“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (5)PRC0ビットを“0”(CM0レジスタ書き込み禁止)にする
- (6)PRC1ビットを“0”(PM2レジスタ書き込み禁止)にする
- (7)WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

- ・CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ウエイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない。ただし、ウエイトモードからの復帰にウォッチドッグタイマ割り込みは使用できません。

13. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACは転送要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地へデータ転送します。DMACを使用するときは、DMA0とDMA1を優先して使用してください。DMA2とDMA3は高速割り込みと使用するレジスタを共用しています。そのため、DMACを3チャンネル以上使用する場合、高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図13.1にDMACで使用するレジスタ配置、表13.1にDMACの仕様、図13.2～図13.5にDMAC関連レジスタを示します。

図13.1に示すレジスタはCPU内部に配置されているため、書く場合はLDC命令を使用してください。ただし、DCT2、DCT3、DRC2、DRC3、DMA2、DMA3レジスタはBフラグを“1”(レジスタバンク1)にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3レジスタはBフラグを“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。DRA2、DRA3レジスタはLDC命令を使用し、SVP、VCTレジスタに設定してください。

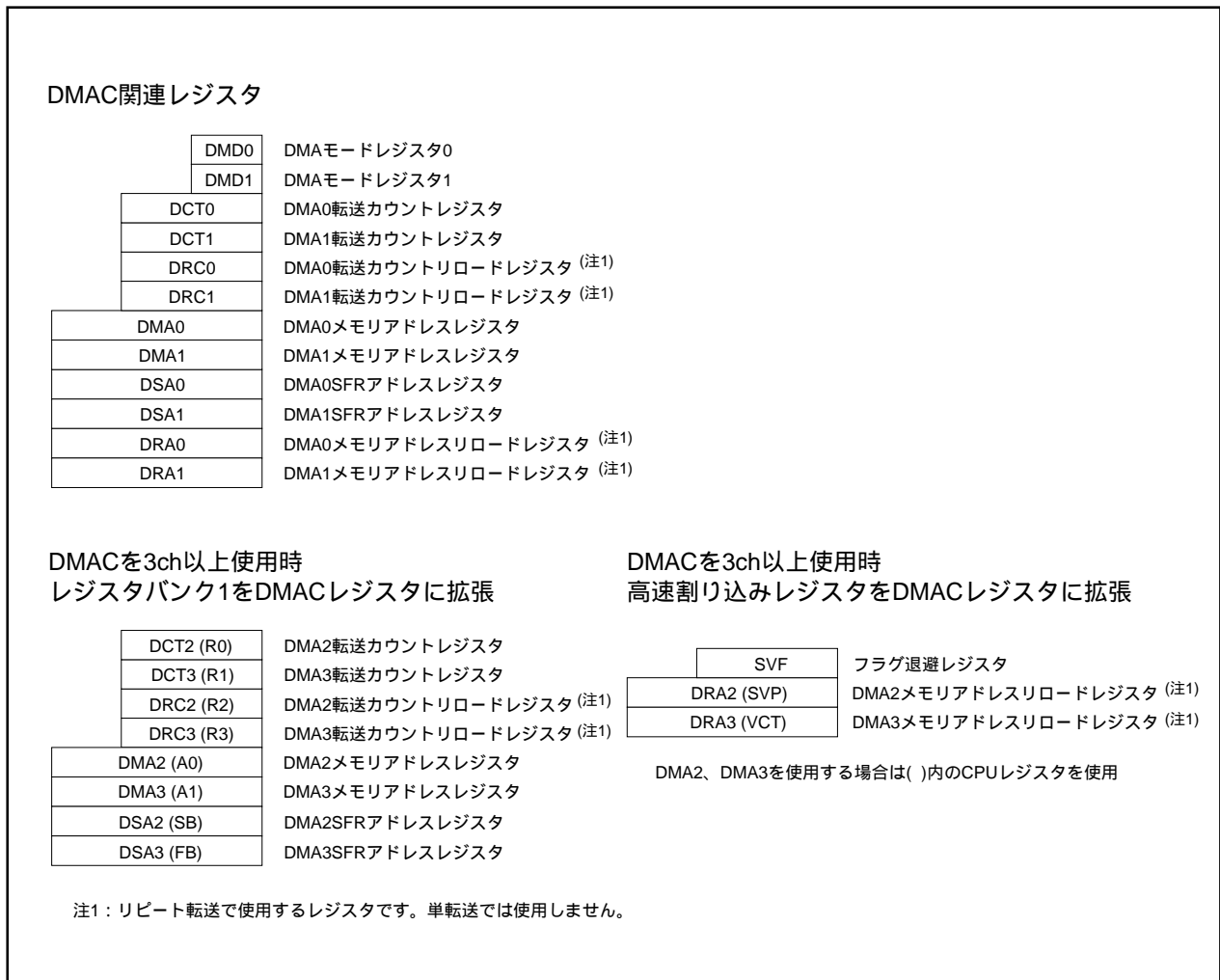


図13.1 DMACで使用するレジスタ配置

DMACの転送開始は、DMiSLレジスタ(i=0~3)のDSRビットへの書き込みの他、DMiSLレジスタのDSEL4~DSEL0ビットで指定した各機能から出力される割り込み要求をDMA要求として使用しています。ただし、DMAは割り込み要求動作とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDMA要求を受け付けることができます。また、DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

表13.1 DMAC仕様

項目		仕様
チャンネル数		4チャンネル(サイクルスチール方式)
転送空間		16Mバイトの任意の空間から固定番地(16Mバイト空間) 固定番地(16Mバイト空間)から16Mバイトの任意の空間
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因 ^(注1)		INT0~INT3端子への入力の立ち上がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0~UART4送信と受信割り込み要求 A/D0変換割り込み要求 インテリジェントI/O割り込み要求 CAN割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0>DMA1>DMA2>DMA3(DMA0が最優先)
転送単位		8ビット、16ビット
転送番地方向		順方向、固定(転送元と転送先を同時に順方向または固定の指定はできません)
転送モード	単転送	DCTiレジスタ(i=0~3)が“0000 ₁₆ ”になると転送が終了する
	リピート転送	DCTiレジスタが“0000 ₁₆ ”になるとDRCiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA開始	単転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、DMDjレジスタ(j=0,1)のMDi1~MDi0ビットを“012”(単転送)にした後、DMA要求が発生すると開始
	リピート転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、MDi1~MDi0ビットを“112”(リピート転送)にした後、DMA要求が発生すると開始
DMA停止	単転送	MDi1~MDi0ビットが“002”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になったとき
	リピート転送	MDi1~MDi0ビットが“002”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になりかつDRCiレジスタが“0000 ₁₆ ”のとき
DCTiレジスタとDMAiレジスタへのリロードのタイミング		リピート転送モードでDCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA転送サイクル数		SFR、内蔵RAM間：最短3サイクル

注1. DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

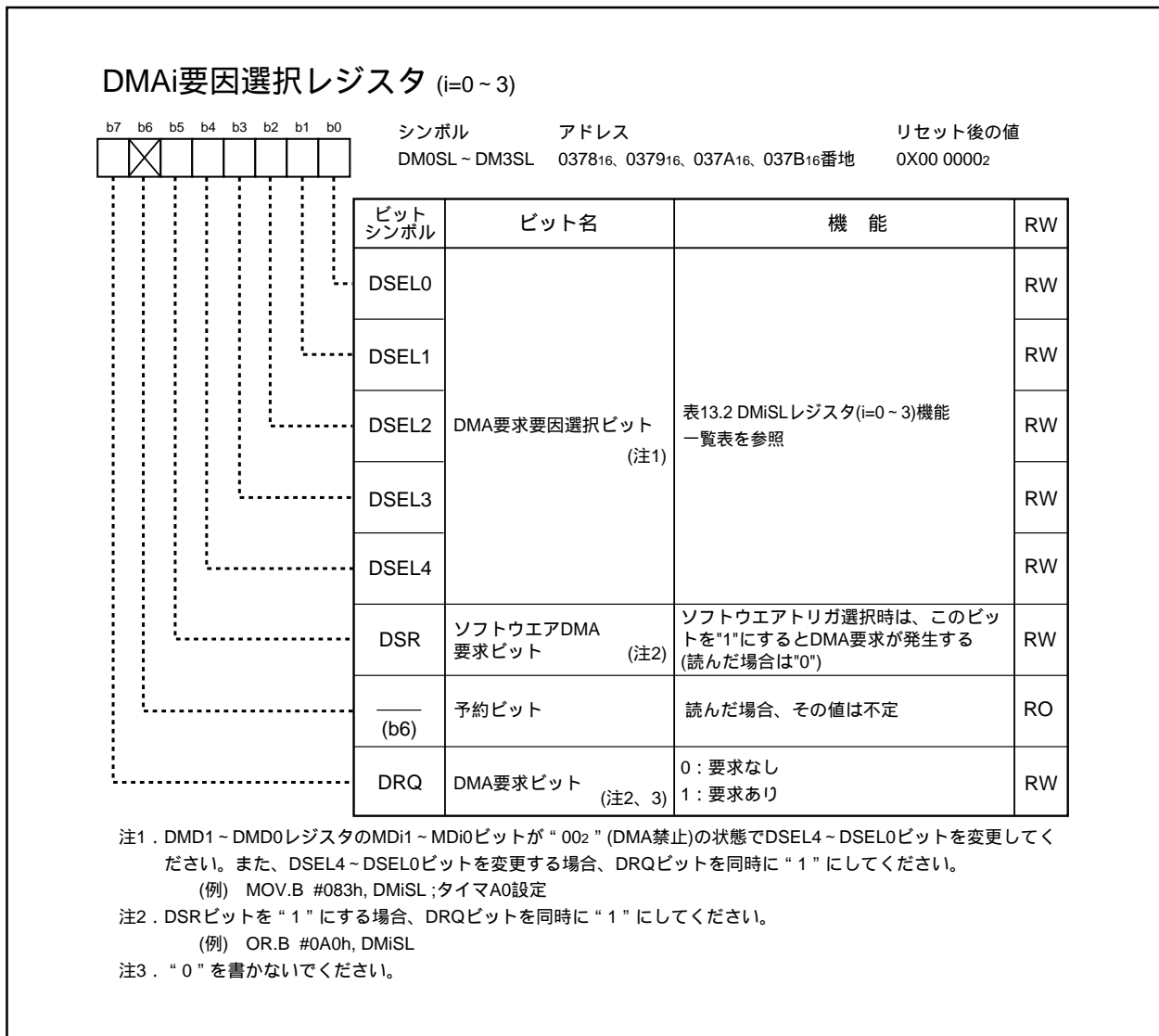


図13.2 DM0SL ~ DM3SLレジスタ

表13.2 DMiSLレジスタ(i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA要求要因			
	DMA0	DMA1	DMA2	DMA3
0 0 0 0 0	ソフトウェアトリガ			
0 0 0 0 1	INT0立ち下がりエッジ	INT1立ち下がりエッジ	INT2立ち下がりエッジ	INT3立ち下がりエッジ (注1) (注2)
0 0 0 1 0	INT0両エッジ	INT1両エッジ	INT2両エッジ	INT3両エッジ (注1) (注2)
0 0 0 1 1	タイマA0割り込み要求			
0 0 1 0 0	タイマA1割り込み要求			
0 0 1 0 1	タイマA2割り込み要求			
0 0 1 1 0	タイマA3割り込み要求			
0 0 1 1 1	タイマA4割り込み要求			
0 1 0 0 0	タイマB0割り込み要求			
0 1 0 0 1	タイマB1割り込み要求			
0 1 0 1 0	タイマB2割り込み要求			
0 1 0 1 1	タイマB3割り込み要求			
0 1 1 0 0	タイマB4割り込み要求			
0 1 1 0 1	タイマB5割り込み要求			
0 1 1 1 0	UART0送信割り込み要求			
0 1 1 1 1	UART0受信またはACK割り込み要求 (注3)			
1 0 0 0 0	UART1送信割り込み要求			
1 0 0 0 1	UART1受信またはACK割り込み要求 (注3)			
1 0 0 1 0	UART2送信割り込み要求			
1 0 0 1 1	UART2受信またはACK割り込み要求 (注3)			
1 0 1 0 0	UART3送信割り込み要求			
1 0 1 0 1	UART3受信またはACK割り込み要求 (注3)			
1 0 1 1 0	UART4送信割り込み要求			
1 0 1 1 1	UART4受信またはACK割り込み要求 (注3)			
1 1 0 0 0	A/D0割り込み要求			
1 1 0 0 1	インテリジェントI/O 割り込み0要求	—	インテリジェントI/O 割り込み2要求	インテリジェントI/O (注4) 割り込み9要求
1 1 0 1 0	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	インテリジェントI/O (注5) 割り込み10要求
1 1 0 1 1	インテリジェントI/O 割り込み2要求	インテリジェントI/O (注4) 割り込み9要求	インテリジェントI/O 割り込み4要求	CAN割り込み2要求
1 1 1 0 0	インテリジェントI/O 割り込み3要求	インテリジェントI/O (注5) 割り込み10要求	—	インテリジェントI/O 割り込み0要求
1 1 1 0 1	インテリジェントI/O 割り込み4要求	CAN割り込み2要求	—	インテリジェントI/O 割り込み1要求
1 1 1 1 0	—	インテリジェントI/O 割り込み0要求	—	インテリジェントI/O 割り込み2要求
1 1 1 1 1	—	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求

注1. メモリ拡張モード、マイクロプロセッサモードでINT3端子がデータバスとなる場合、DMA3の要求要因にINT3端子入力は使用できません。

注2. INTj端子(j=0~3)への入力の立ち下がりエッジと両エッジがDMA要求要因になります。INT割り込み(INTjICレジスタのPOLビット、LVSビット、IFSRレジスタ)の影響を受けません。また、INT割り込みへ影響を与えません。

注3. UARTk受信とACKの切り替えは、UkSMRレジスタ(k=0~4)とUkSMR2レジスタによって行います。

ACK割り込みを使用する場合、UkSMRレジスタのIICMビットを“1”、UkSMR2レジスタのIICM2ビットを“0”にしてください。

注4. CAN割り込み0要求と共用です。

注5. CAN割り込み1要求と共用です。

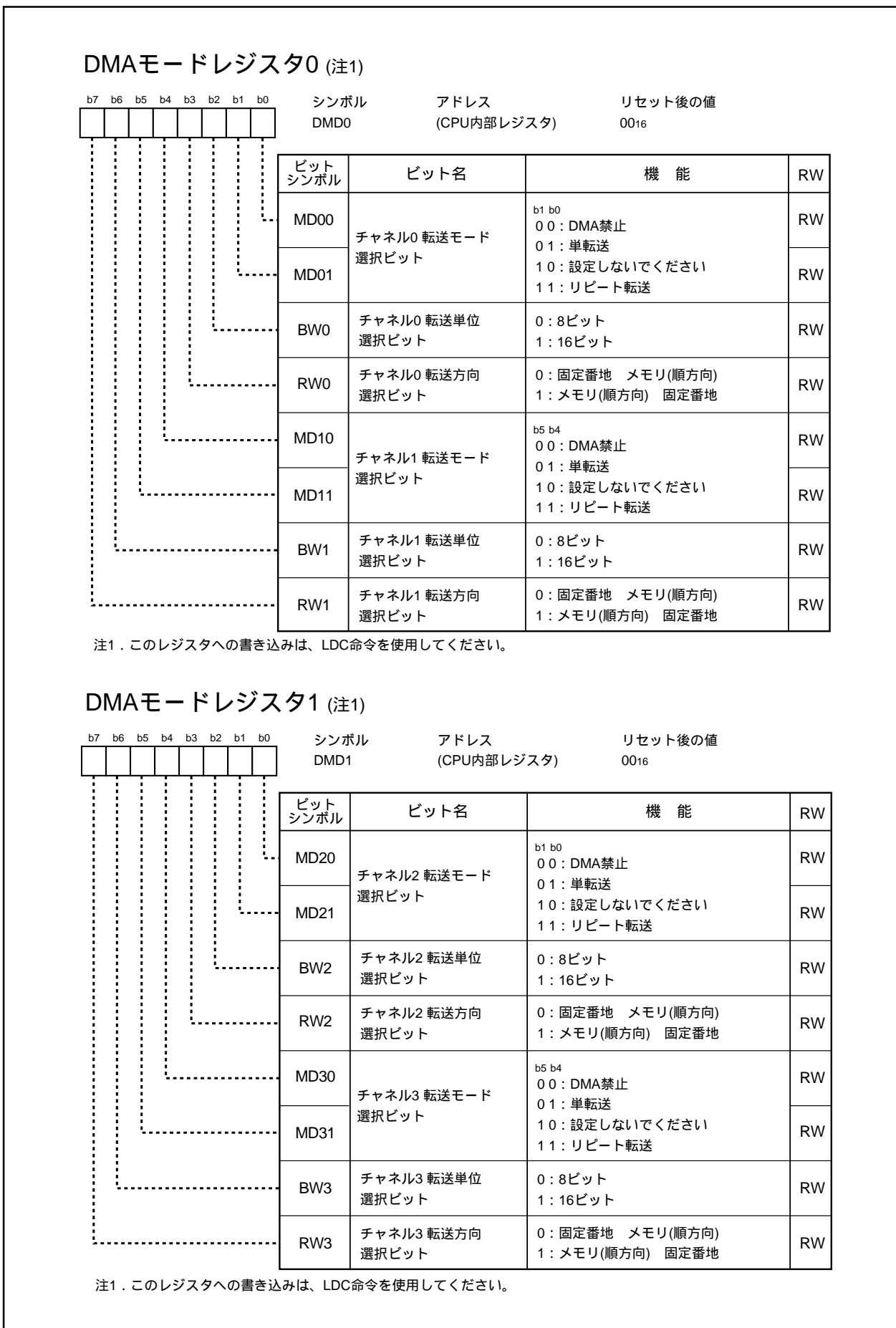


図13.3 DMD0レジスタ、DMD1レジスタ

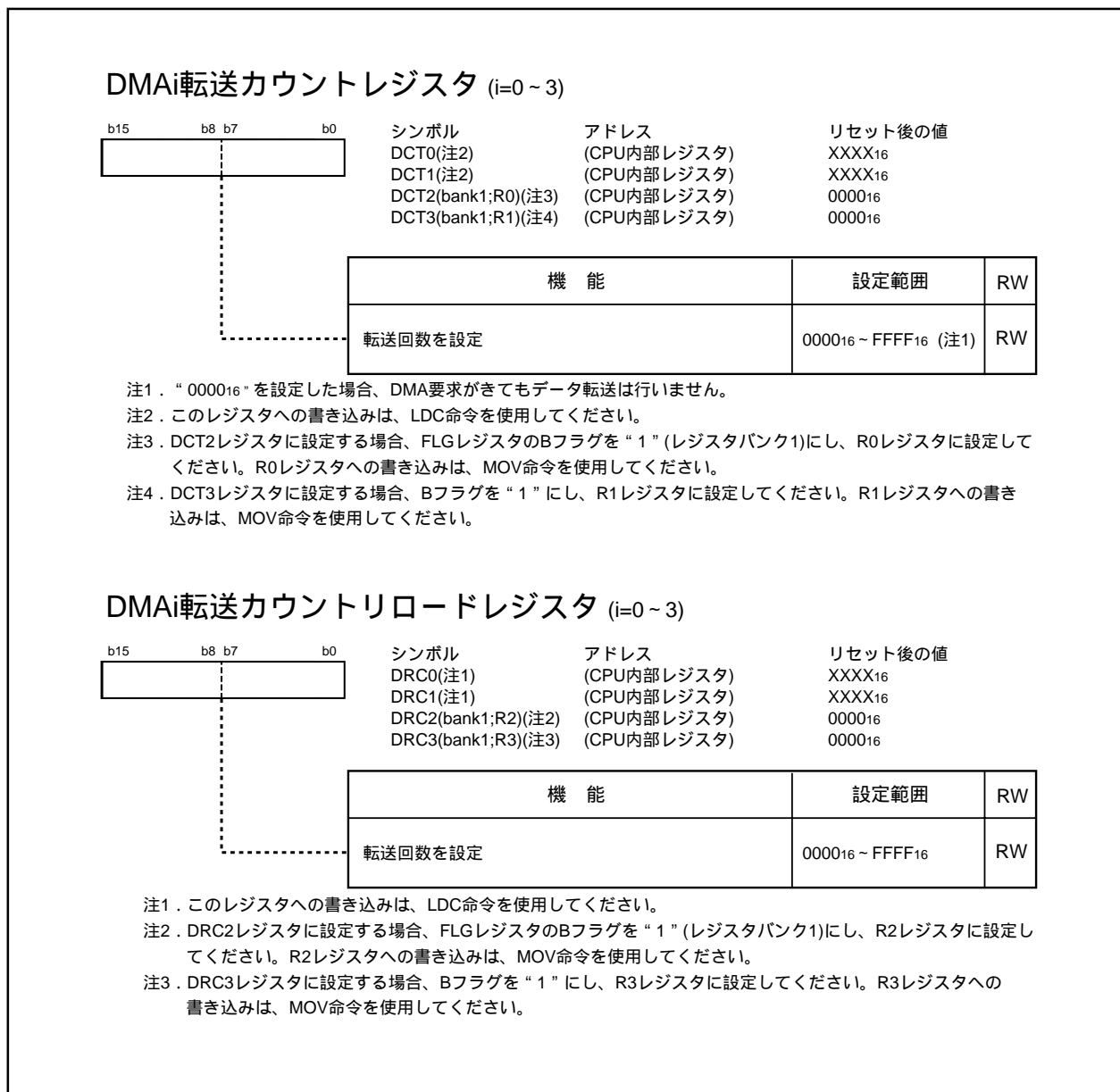
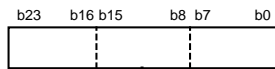


図13.4 DCT0 ~ DCT3レジスタ、DRC0 ~ DRC3レジスタ

DMAiメモリアドレスレジスタ (i=0~3)

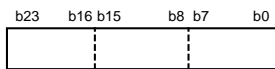


シンボル	アドレス	リセット後の値
DMA0(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DMA1(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DMA2(bank1;A0)(注3)	(CPU内部レジスタ)	000000 ₁₆
DMA3(bank1;A1)(注4)	(CPU内部レジスタ)	000000 ₁₆

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定 (注1)	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を“0”(固定番地 メモリ)とした場合、転送先の番地になります。RWkビットを“1”(メモリ 固定番地)とした場合、転送元の番地になります。
- 注2. このレジスタへの書き込みは、LDC命令を使用してください。
- 注3. DMA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、A0レジスタに設定してください。A0レジスタへの書き込みは、MOV命令を使用してください。
- 注4. DMA3レジスタを設定する場合、Bフラグを“1”にし、A1レジスタに設定してください。A1レジスタへの書き込みは、MOV命令を使用してください。

DMAiSFRアドレスレジスタ (i=0~3)

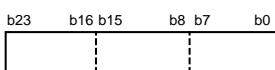


シンボル	アドレス	リセット後の値
DSA0(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DSA1(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DSA2(bank1;SB)(注3)	(CPU内部レジスタ)	000000 ₁₆
DSA3(bank1;FB)(注4)	(CPU内部レジスタ)	000000 ₁₆

機能	設定範囲	RW
転送元あるいは転送先の固定番地を指定 (注1)	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を“0”(固定番地 メモリ)とした場合、転送元の番地になります。RWkビットを“1”(メモリ 固定番地)とした場合、転送先の番地になります。
- 注2. このレジスタへの書き込みは、LDC命令を使用してください。
- 注3. DSA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、SBレジスタに設定してください。SBレジスタへの書き込みは、LDC命令を使用してください。
- 注4. DSA3レジスタを設定する場合、Bフラグを“1”にし、FBレジスタに設定してください。FBレジスタへの書き込みは、LDC命令を使用してください。

DMAiメモリアドレスリロードレジスタ (i=0~3)(注1)



シンボル	アドレス	リセット後の値
DRA0	(CPU内部レジスタ)	XXXXXX ₁₆
DRA1	(CPU内部レジスタ)	XXXXXX ₁₆
DRA2(SVP)(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DRA3(VCT)(注3)	(CPU内部レジスタ)	XXXXXX ₁₆

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. このレジスタへの書き込みは、LDC命令を使用してください。
- 注2. DRA2レジスタを設定する場合、SVPレジスタに設定してください。
- 注3. DRA3レジスタを設定する場合、VCTレジスタに設定してください。

図13.5 DMA0~DMA3レジスタ、DSA0~DSA3レジスタ、DRA0~DRA3レジスタ

13.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出しと書き込みのバスサイクル回数は、転送元番地または転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、DSレジスタの影響も受けます。さらに、ソフトウェアウエイトやRDY信号の影響により、バスサイクル自体が長くなります。

13.1.1 転送元番地と転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

13.1.2 DSレジスタの影響

メモリ拡張モードとマイクロプロセッサモード時の外部領域では、転送元と転送先のデータバスにより転送サイクルは変わります。DSレジスタの詳細は、図8.1を参照してください。

- ・転送元、転送先のデータバスが8ビット(DSiビット($i=0\sim 3$)は“0”)で16ビットのデータを転送する場合、8ビットのデータを2回転送します。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに2バスサイクル必要とします。
- ・転送元のデータバスが8ビット(DSiビットは“0”)、転送先のデータバスが16ビット(DSiビットは“1”)で16ビットのデータを転送する場合、8ビットのデータを2回読み、16ビットのデータとして書きます。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに1バスサイクル必要とします。
- ・転送元のデータバスが16ビット(DSiビットは“1”)、転送先のデータバスが8ビット(DSiビットは“0”)で16ビットのデータを転送する場合、16ビットのデータを読み、8ビットのデータを2回書きます。そのため、バスサイクルは、データを読むのに1バスサイクル、書くのに2バスサイクル必要とします。

13.1.3 ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリやSFRをアクセスする場合、ソフトウェアウエイトの分だけサイクル数が増えます。

図13.6にソースリードについての転送サイクル例を示します。この図では、ディスティネーションを外部領域とし、ディスティネーションライトサイクルを2サイクル(1バスサイクル)として、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。例えば(2)の転送単位が16ビットで転送元、転送先が8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

13.1.4 RDY信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「8.2.6 RDY信号」を参照してください。

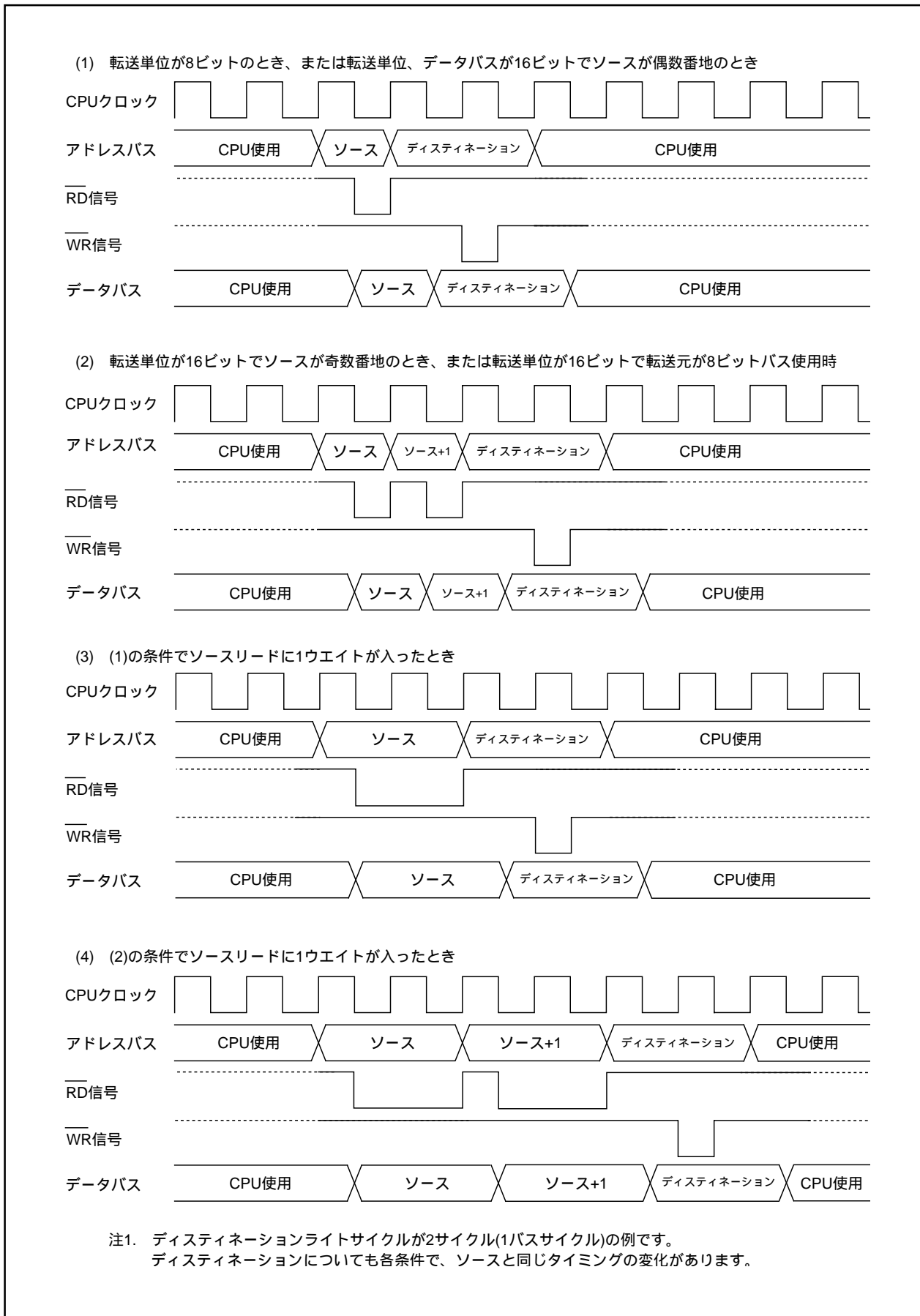


図13.6 ソースリードについての転送サイクル例

13.2 DMACの転送サイクル数

DMACの転送サイクル数は次のとおり計算できます。

転送の読み出し番地、書き込み番地は偶数、奇数のいずれの組み合わせも可能です。表13.3にDMAC転送サイクル数を、表13.4に係数j、kを示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表13.3 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMDpレジスタ のBWiビット=0)	16ビット	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット	偶数	-	-	1	1
		奇数	-	-	1	1
16ビット転送 (BWiビット=1)	16ビット	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット	偶数	-	-	2	2
		奇数	-	-	2	2

i=0~3、p=0,1

表13.4 係数j、k

内部領域			外部領域
内部ROM または内部RAM	内部ROM または内部RAM	SFR領域	表8.5で示されるBCLKのj、k サイクル (j, k = 2~9) リカバリサイクル挿入時は、+1サイクルしてください
ウェイトなし j = 1 k = 1	ウェイトあり j = 2 k = 2	j = 2 k = 2	

13.3 チャンネル優先順位とDMA転送タイミング

複数のDMAの要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、DMiSLレジスタ(i=0~3)のDRQビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。

次に、DMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図13.7に外部要因によるDMA転送例で示します。

図13.7ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DRQビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図13.7のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDRQビットを“0”にして、1転送単位終了後CPUにバス権を返します。

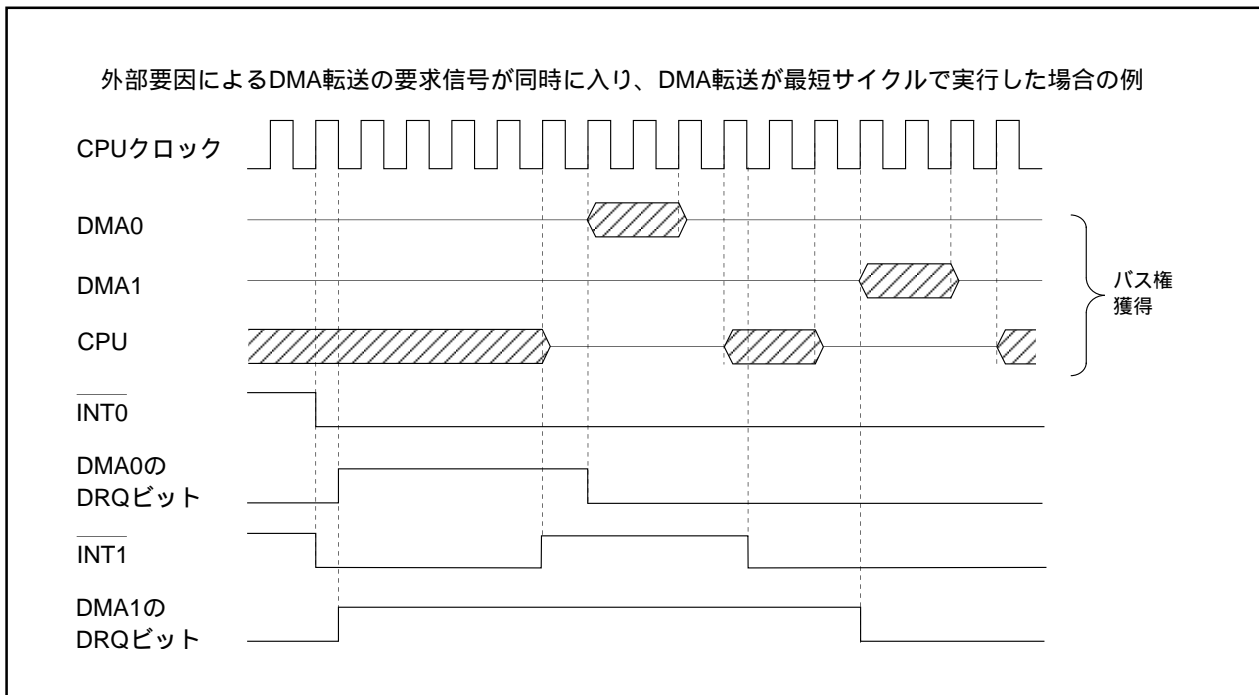


図13.7 外部要因によるDMA転送例

14. DMAC II

周辺機能からの割り込み要求により、メモリ間転送、即値転送、2つのデータの加算結果を転送する演算転送を行います。

表14.1にDMAC IIの仕様を示します。

表14.1 DMAC IIの仕様

項目	仕様
DMAC II 要求要因	割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求
転送データ	・メモリ　メモリ(メモリ間転送) ・即値　メモリ(即値転送) ・メモリ(または即値)+メモリ　メモリ(演算転送)
転送単位	8ビット、16ビット
転送空間	00000 ₁₆ ～0FFFF ₁₆ 番地の64Kバイト空間(注1、2)
転送方向	固定番地、順方向番地 転送元と転送先で個別に選択可能
転送方式	単転送、バースト転送
チェーン転送機能	転送カウンタが“0”になったタイミングで、パラメータ(転送数、転送番地等の情報)を切り替える
転送完了割り込み	転送カウンタが“0”になったタイミングで、割り込み発生
複数転送機能	一度のDMAC II 要求要因で複数データの転送

注1．ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。

注2．実際の転送可能空間は、内部RAMの容量による制限を受けます。

14.1 DMAC IIの設定

DMAC IIを使用するための設定は次のとおりです。

- ・RLVLレジスタ
- ・DMAC II インデックス
- ・DMAC IIの要求要因となる周辺機能の割り込み制御レジスタ
- ・DMAC IIの要求要因となる周辺機能の変ベクタテーブル
- ・インテリジェントI/OまたはCAN割り込みを使用する場合、IIOiEレジスタ(i=0～4、8～11)のIRLTビット。IIOiEレジスタは「11. 割り込み」を参照してください。

14.1.1 RLVLレジスタ

DMACIIビットを“1”(DMAC II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図14.1にRLVLレジスタを示します。

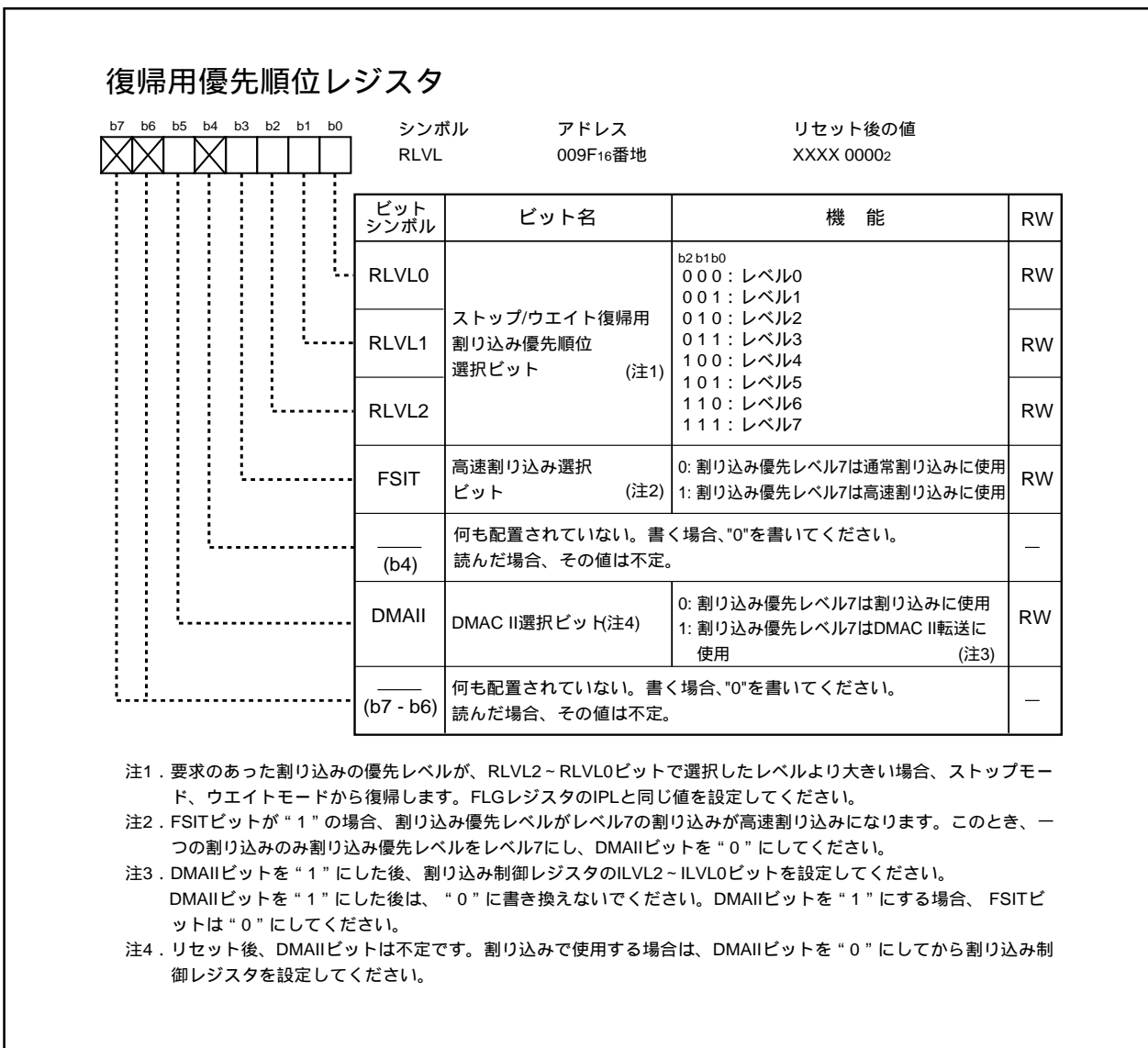


図14.1 RLVLレジスタ

14.1.2 DMAC II インデックス

DMAC II インデックスは8～18バイト(複数転送機能選択時は最大32バイト)で構成されるデータテーブルで、転送モード、転送カウンタ、転送元番地(または即値データ)、演算対象番地、転送先番地、チェーン転送番地、転送完了割り込み番地のパラメータを格納します。

DMAC II インデックスはRAMに配置してください。

図14.2にDMAC II インデックスを、表14.2にDMAC II インデックスの記述例を示します。

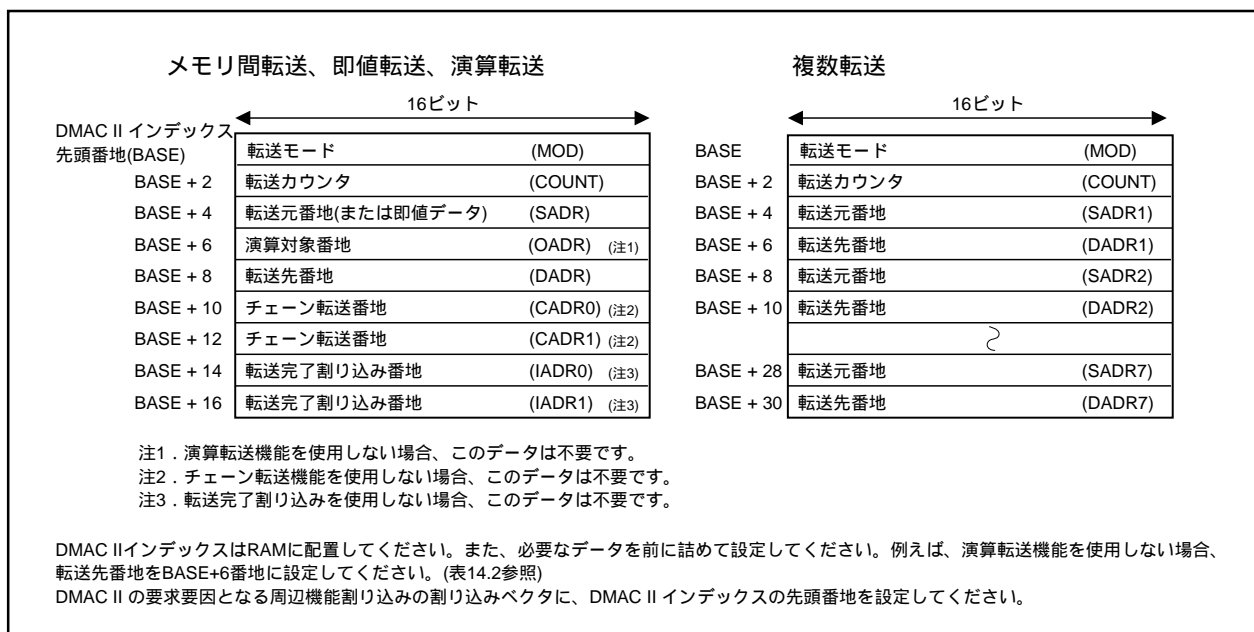


図14.2 DMAC II インデックス

次に、DMAC IIインデックスの内容を説明します。これらのデータは使用するDMAC IIの転送モードに応じて表14.2に示す順序で設定してください。

- ・転送モード(MOD)
2バイトデータで、転送モードを設定してください。図14.3に転送モードを示します。
- ・転送カウンタ(COUNT)
2バイトデータで、転送回数を設定してください。
- ・転送元番地(SADR)
2バイトデータで、転送元メモリの番地または即値を設定してください。
- ・演算対象番地(OADR)
2バイトデータで、演算対象となるメモリの番地を設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。
- ・転送先番地(DADR)
2バイトデータで、転送先メモリの番地を設定してください。
- ・チェーン転送番地(CADR)
4バイトデータで、次回に行う転送のDMAC II インデックス先頭番地を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- ・転送完了割り込み番地(IADR)
4バイトデータで、転送完了割り込み処理の飛び先番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の略称を使用します。

表14.2 DMAC II インデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送
	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	
チェーン転送	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	使用できません
転送完了 割り込み	不 使 用	不 使 用	使 用	使 用	不 使 用	不 使 用	使 用	使 用	使用できません
DMAC II インデックス	MOD COUNT SADR DADR 8バイト	MOD COUNT SADR DADR CADR0 CADR1 12バイト	MOD COUNT SADR DADR IADR0 IADR1 12バイト	MOD COUNT SADR DADR CADR0 CADR1 IADR0 IADR1 16バイト	MOD COUNT SADR OADR DADR 10バイト	MOD COUNT SADR OADR DADR CADR0 CADR1 14バイト	MOD COUNT SADR OADR DADR IADR0 IADR1 14バイト	MOD COUNT SADR OADR DADR CADR0 CADR1 IADR0 IADR1 18バイト	MOD COUNT SADR1 DADR1 SAD Ri DADR i i=1~7 最大32バイト (i=7のとき)

転送モード(MOD) (注1)

ビット シンボル	ビット名	機 能 (MULT=0)	機 能 (MULT=1)	RW
SIZE	転送単位選択 ビット	0: 8ビット 1: 16ビット		RW
IMM	転送データ選択 ビット	0: 即値データ 1: メモリ	"1"にしてください	RW
UPDS	転送元方向選択 ビット	0: 固定番地 1: 順方向番地		RW
UPDD	転送先方向選択 ビット	0: 固定番地 1: 順方向番地		RW
OPER /CNT0	(注2) 演算転送機能 選択ビット	0: 演算機能なし 1: 演算機能あり	b6 b5 b4 0 0 0: 設定しない でください	RW
BRST /CNT1	(注2) バースト転送 選択ビット	0: 単転送 1: バースト転送	0 0 1: 1回 0 1 0: 2回 : : 1 1 0: 6回 1 1 1: 7回	RW
INTE /CNT2	(注2) 転送完了割り込み 選択ビット	0: 割り込みを使用しない 1: 割り込みを使用する		RW
CHAIN	チェーン転送 選択ビット	0: チェーン転送しない 1: チェーン転送する	"0"にしてください	RW
_____ (b14 - b8)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。			-
MULT	複数転送選択 ビット	0: 複数転送しない 1: 複数転送する		RW

注1. RAMに配置してください。
注2. ビット4~6のビットシンボルはMULTビットが"0"のとき、OPER、BRST、INTEビットに、MULTビットが"1"のとき、CNT0~CNT2ビットになります。

図14.3 MOD

14.1.3 周辺機能の割り込み制御レジスタ

DMAC II の要求要因に使用する周辺機能割り込みは、ILVL2～ILVL0ビットを“1112”(レベル7)にしてください。

14.1.4 周辺機能の可変ベクタテーブル

DMAC II の要求要因となる周辺機能割り込みの割り込みベクタに、DMAC II インデックスの先頭番地を設定してください。

チェーン転送を使用するときは可変ベクタテーブルをRAMに設定してください。

14.1.5 IIOiIEレジスタ(i=0～4、8～11)のIRLTビット

インテリジェントI/O割り込みまたはCAN割り込みによりDMAC II を起動する場合、要求要因となる割り込みのIIOiIEレジスタのIRLTビットを“0”にしてください。

14.2 DMAC II の動作

DMACIIビットを“1”(DMAC II転送)にすると、DMAC II 機能が選択されます。ILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能割り込み要求がDMAC II 要求要因になります。これらの周辺機能割り込み要求はDMAC II転送要求となり、周辺機能割り込みは使用できません。

ILVL2～ILVL0ビットが“1112”の割り込み要求が発生すると、IフラグとIPLに関係なくDMAC II が起動します。

14.3 転送データ

DMAC II では、次のように8ビットまたは16ビット単位でデータを転送します。

- ・メモリ間転送 : 64Kバイト空間(00000₁₆～0FFFF₁₆番地)の任意のメモリから同空間の任意のメモリに転送します。
- ・即値転送 : 即値データを64Kバイト空間の任意のメモリに転送します。
- ・演算転送 : 2つのデータを加算し、加算結果を64Kバイト空間の任意のメモリに転送します。

ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。また、実際の転送可能空間は、内部RAMの容量による制限を受けます。

14.3.1 メモリ間転送

任意のメモリから任意のメモリの転送は、次のとおりです。

- ・固定番地から固定番地への転送
- ・固定番地から可変番地への転送
- ・可変番地から固定番地への転送
- ・可変番地から可変番地への転送

可変番地を選択した場合、転送後次回の転送のために番地を加算します。転送単位が8ビットの場合、番地は1加算されます。転送単位が16ビットの場合、番地は2加算されます。番地を加算することで転送元または転送先番地が0FFFF₁₆番地を超えた場合、転送元または転送先番地は00000₁₆番地に戻って加算されますので、転送元または転送番地が0FFFF₁₆番地を超えないよう注意してください。

14.3.2 即値転送

即値データを任意のメモリに転送します。転送先番地として固定または可変番地を選択できます。SADRに即値データを格納してください。8ビット即値を転送する場合、SADRの下位1バイトにデータを設定してください(上位バイトは無視されます)。

14.3.3 演算転送

任意のメモリと任意のメモリ、または即値データと任意のメモリを加算した後、任意のメモリに転送します。SADRに演算対象メモリの番地または即値データを設定し、OADRにもう一方の演算対象メモリの番地を設定してください。メモリ+メモリ演算転送の場合、転送元と転送先番地として、固定または可変番地を選択できます。転送元番地が可変の場合には、演算対象番地も可変となります。即値+メモリ演算転送の場合、転送先番地として固定または可変番地を選択できます。

DMAC II では単転送とバースト転送が行えます。MODのBRSTビットで、単転送またはバースト転送を選択します。転送回数はCOUNTで設定します。COUNTを“0000₁₆”にしている場合、転送は行いません。

14.4.1 単転送

一度の要求要因に対して、1転送単位(8ビットまたは16ビット)のデータを1回転送します。転送元番地または転送先番地として可変番地を選択した場合、転送後、次回の転送のために番地を加算します。

COUNTは、転送ごとにダウンカウントされます。転送完了割り込みを使用する場合、COUNTが“0”になった時点で、転送完了割り込みが発生します。

14.4.2 バースト転送

一度の要求要因に対して、COUNTで設定された回数分、連続してデータ転送が行われます。COUNTは1転送単位を転送するごとにダウンカウントし、COUNTが“0”になったときバースト転送が終了します。転送完了割り込みを使用する場合、バースト転送終了時、転送完了割り込みが発生します。なお、バースト転送中は、すべての割り込みを受け付けません。

14.5 複数転送

MODのMULTビットで複数転送が選択できます。複数転送ではメモリ間転送が行えます。

一度の要求要因に対して複数の転送を行います。転送数はMODのCNT2~CNT0ビットで“001₂”(1回)~“111₂”(7回)が選択できます。なお、CNT2~CNT0ビットは“000₂”にしないでください。

転送数分の転送元番地、転送先番地をMOD、COUNTに続く番地にそれぞれ交互に配置してください。複数転送選択時、演算転送、バースト転送、転送完了割り込み、チェーン転送の各機能は使用できません。

14.6 チェーン転送

MODのCHAINビットでチェーン転送が選択できます。

チェーン転送時は次のように動作します。

- (1) 要求要因により、その要因のベクタで示される番地にあるDMAC II インデックスの内容に従って転送します。一度の要求要因に対して、MODのBRSTビットの内容に従って単転送またはバースト転送を行います。
- (2) COUNTが“0”になったとき、DMACII要求要因となる周辺機能割り込みのベクタがCADR1～CADR0の値に替わります。MODのINTEビットが“1”の場合は、同時に転送完了割り込みが発生します。
- (3) 次にDMAC II 要求要因が発生すると、(2)で書き換えた周辺機能割り込みのベクタが示すDMAC II インデックスに基づいて転送を行います。

図14.4にチェーン転送時の可変ベクタとDMACIIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

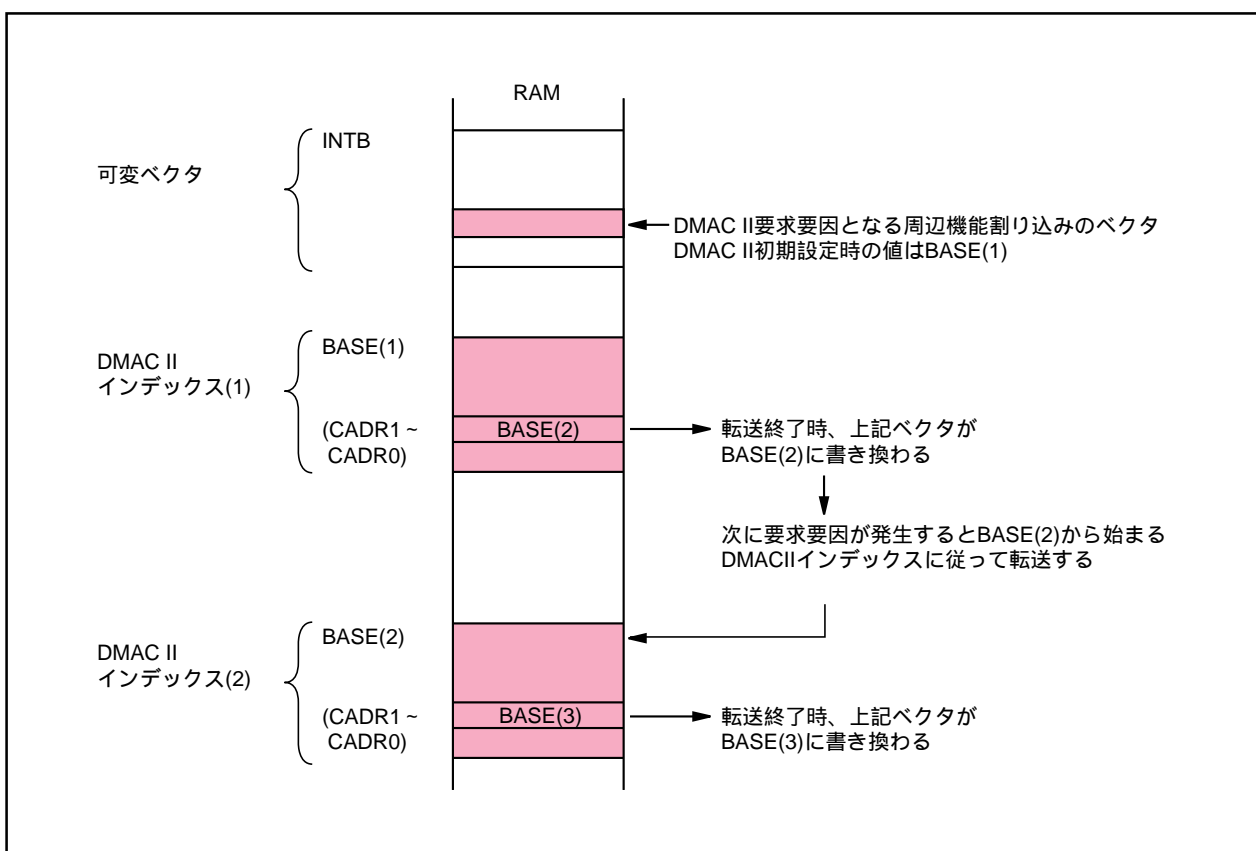


図14.4 チェーン転送時の可変ベクタとDMACIIインデックス

14.7 転送完了割り込み

MODのINTEビットで、転送完了割り込みが選択できます。転送完了割り込みルーチンの先頭番地をIADR1～IADR0に設定してください。転送完了割り込みは、COUNTが“0”になったとき発生します。

14.8 実行時間

DMAC IIの実行サイクル数は次のとおりです。

複数転送以外 : $t = 6 + (26+a+b+c+d) \times m + (4+e) \times n$ (サイクル)
 複数転送 : $t = 21 + (11+b+c) \times k$ (サイクル)

- a : IMM=0(転送元が即値)の場合a=0、IMM=1(転送元がメモリ)の場合a=-1
- b : UPDS=1(転送元番地が可変番地)の場合b=0、UPDS=0(転送元番地が固定番地)の場合b=1
- c : UPDD=1(転送先番地が可変番地)の場合c=0、UPDD=0(転送先番地が固定番地)の場合c=1
- d : OPER=0(演算機能なし)の場合d=0、OPER=1(演算機能あり)でUPDS=0(転送元が即値か固定番地のメモリ)の場合d=7、OPER=1(演算機能あり)でUPDS=1(転送元が可変番地のメモリ)の場合d=8
- e : CHAIN=0(チェーン転送機能なし)の場合e=0、CHAIN=1(チェーン転送機能あり)の場合e=4
- m : BRST=0(単転送)の場合m=1、BRST=1(バースト転送)の場合m=転送カウンタで設定された値
- n : COUNTが“1”の場合n=0、COUNTが“2”以上の場合n=1
- k : CNT2~CNT0ビットで設定した転送数

上記は概算値であり、CPUの状態、バスウエイトやDMACIIインデックスの配置によりサイクル数は異なります。

また、転送完了割り込みルーチンの最初の命令は、DMAC II実行完了の7サイクル後に行われます。

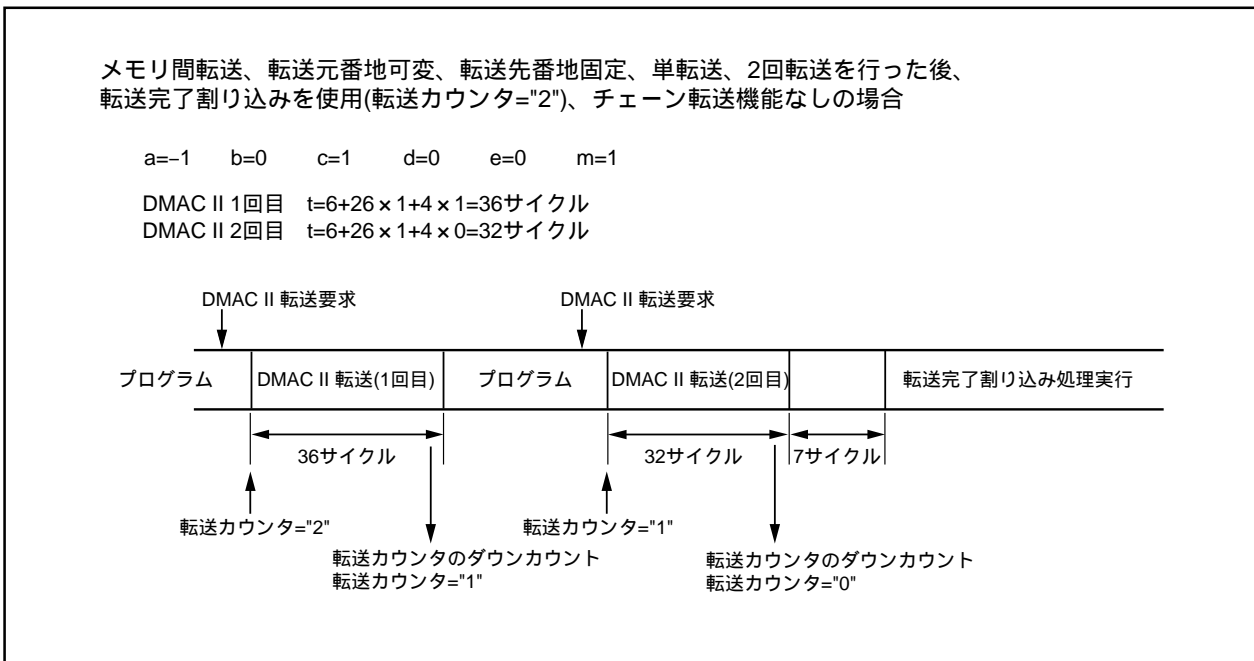


図14.5 転送時間

なお、DMAC II要求要因になる割り込み要求が発生したとき、より優先順位の高い割り込み要求(NMI、ウォッチドッグタイマ)が発生した場合、優先順位の高い割り込みがDMAC II転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMAC II転送が開始されます。

15. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図15.1にタイマA、図15.2にタイマBの構成を示します。

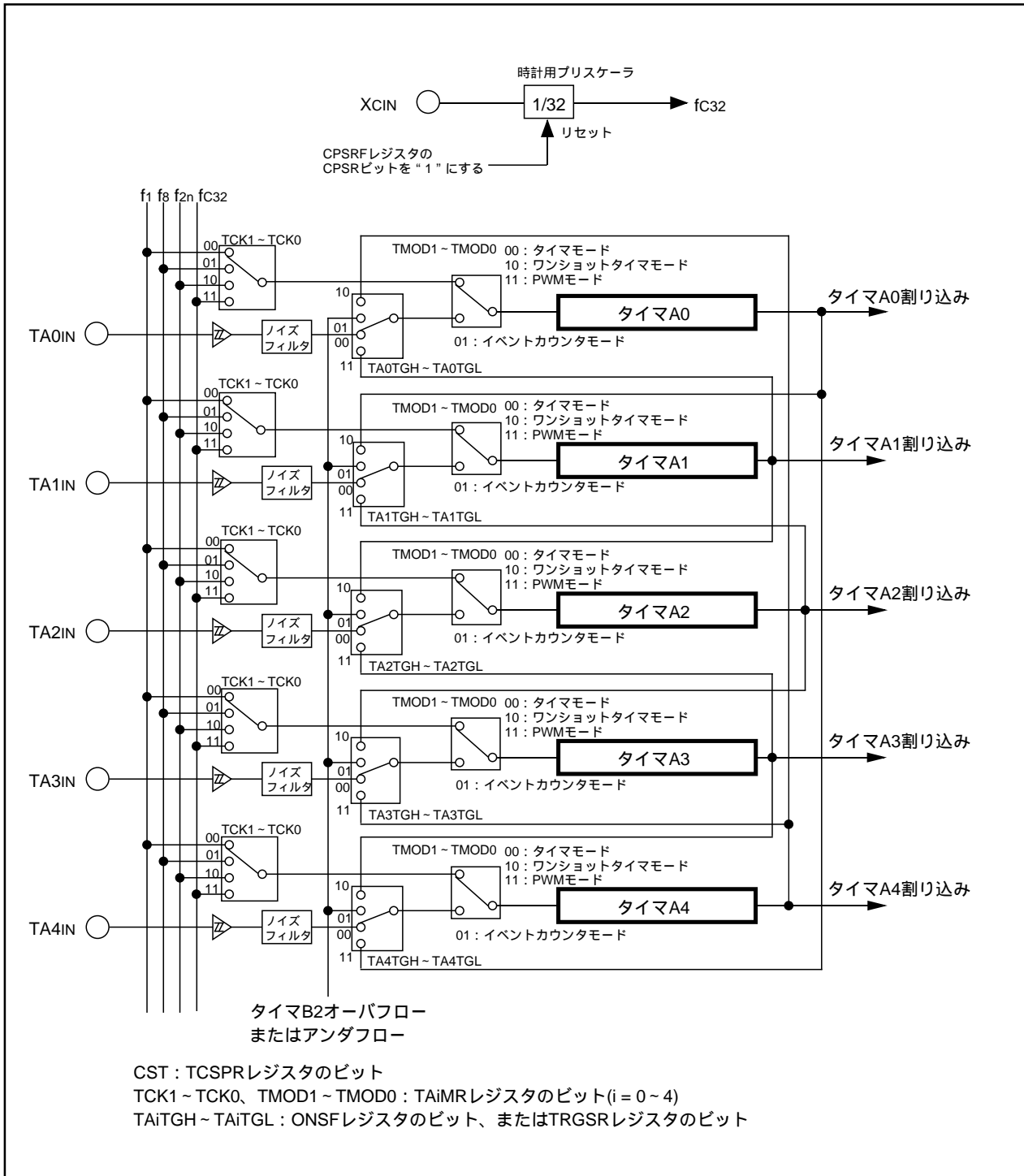


図15.1 タイマAの構成

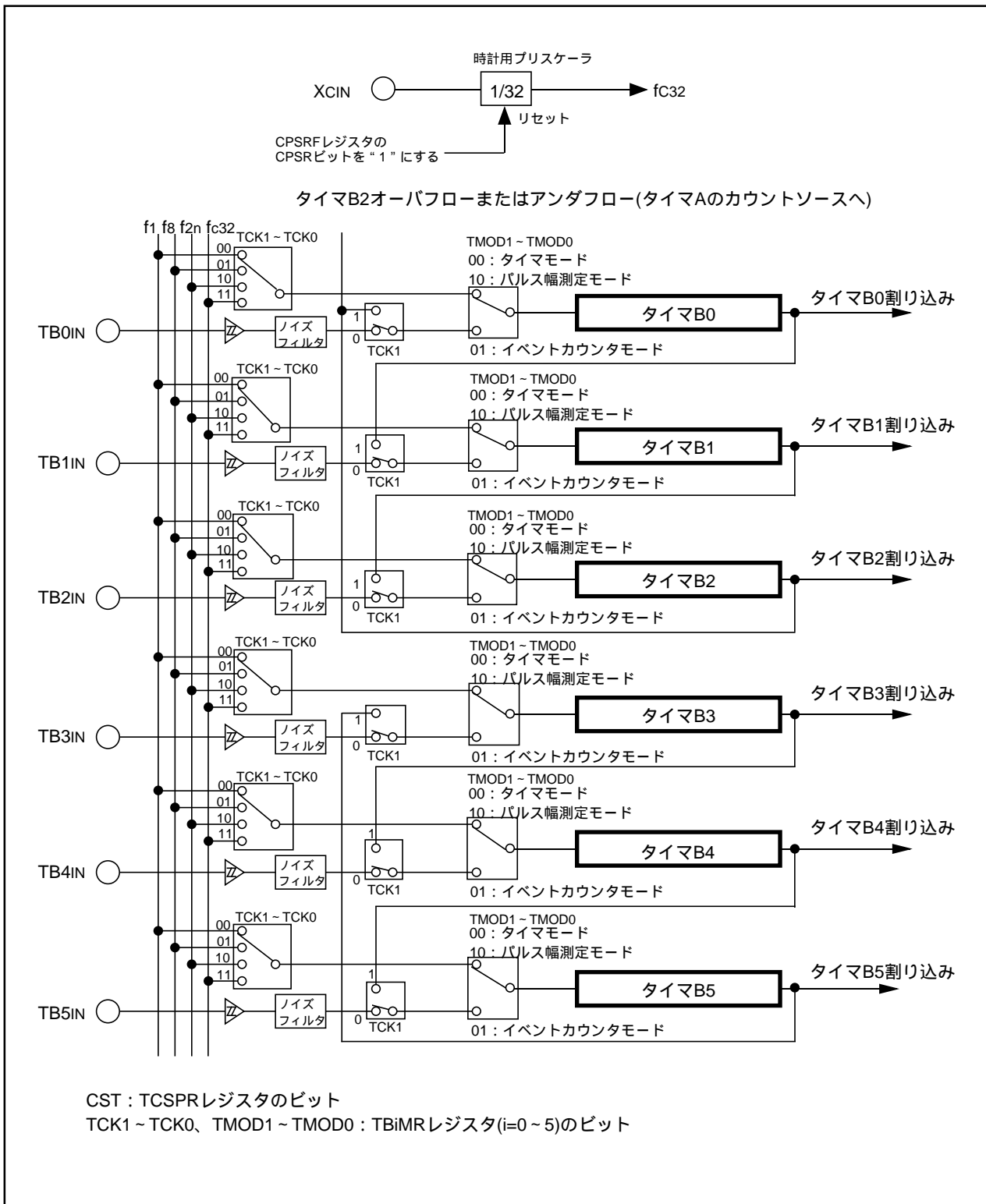


図15.2 タイマBの構成

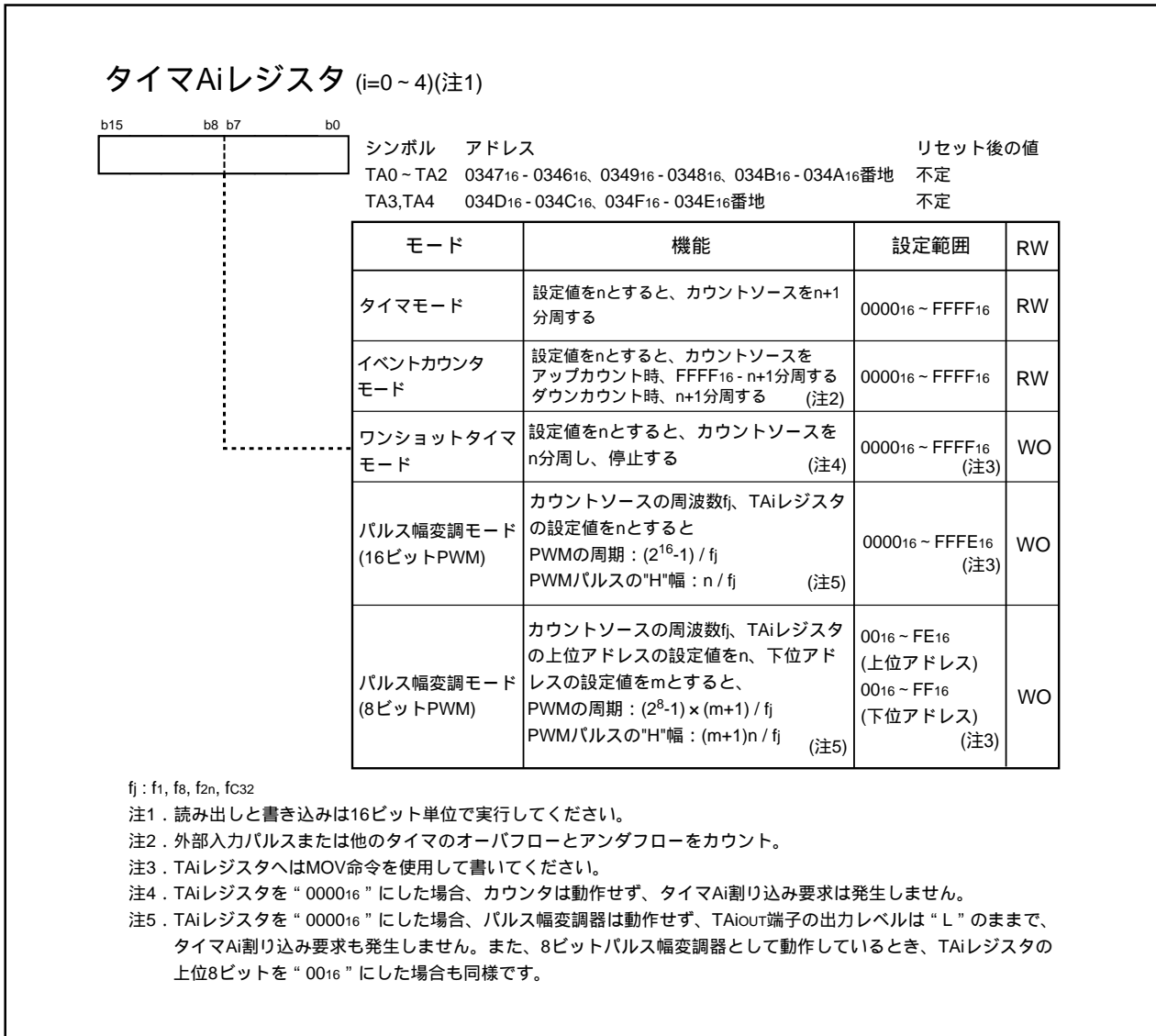


図15.4 TA0 ~ TA4レジスタ

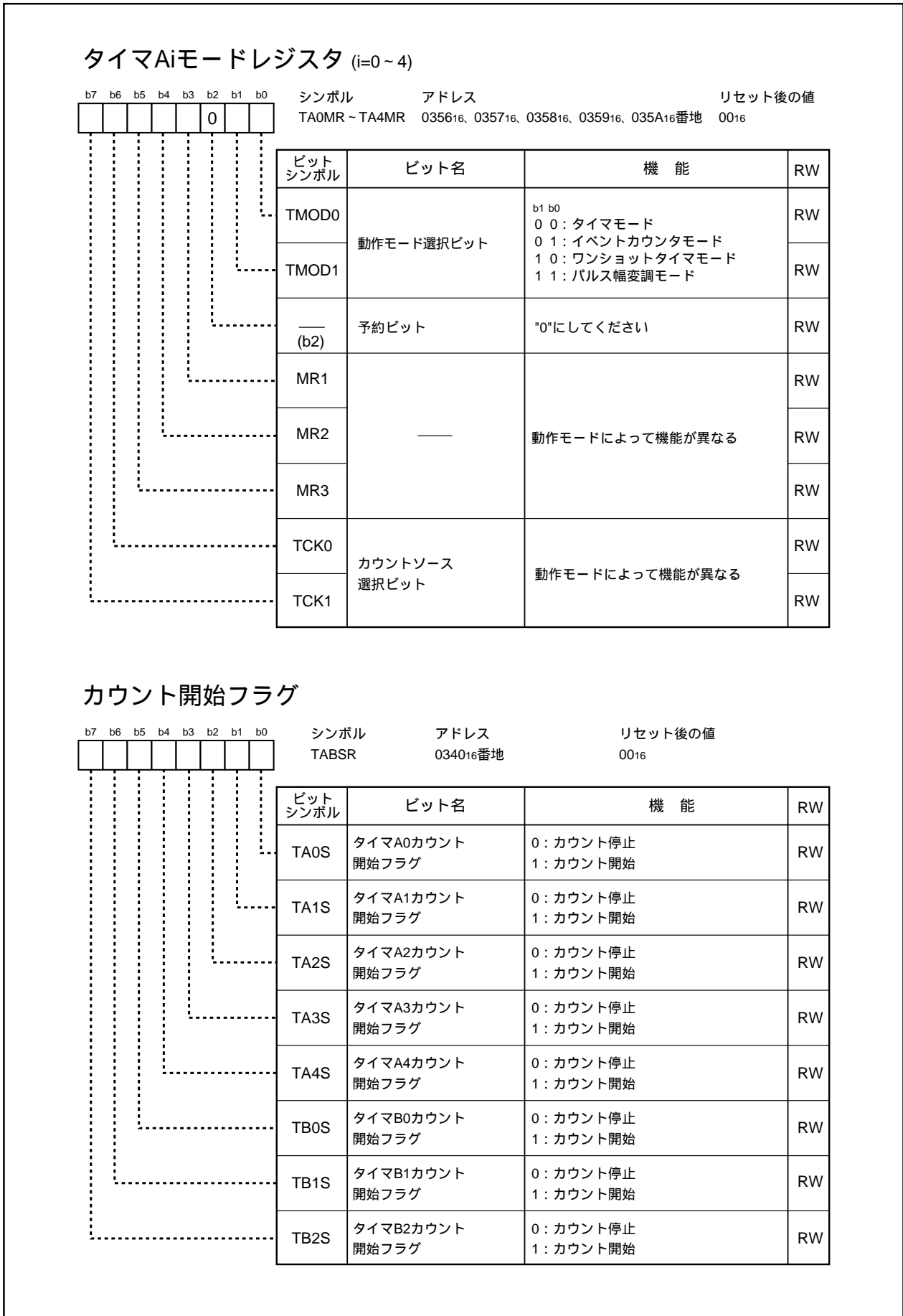


図15.5 TA0MR ~ TA4MRレジスタ、TABSRレジスタ

アップダウンフラグ(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
								UDF	0344 ₁₆ 番地	00 ₁₆	
								ビットシンボル	ビット名	機能	RW
								TA0UD	タイマA0アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
								TA1UD	タイマA1アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
								TA2UD	タイマA2アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
								TA3UD	タイマA3アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
								TA4UD	タイマA4アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
								TA2P	タイマA2 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
								TA3P	タイマA3 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
								TA4P	タイマA4 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO

注1. このレジスタへの書き込みはMOV命令を使用してください。

注2. イベントカウンタモード時、TAiMRレジスタ(i = 0 ~ 4)のMR2ビットを“0”(アップカウント/ダウンカウント切替要因はUDFレジスタの内容)にすると有効になります。

注3. 二相パルス信号処理機能を使用しない場合は“0”にしてください。

ワンショット開始フラグ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
								ONSF	0342 ₁₆ 番地	00 ₁₆	
								ビットシンボル	ビット名	機能	RW
								TA0OS	タイマA0ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
								TA1OS	タイマA1ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
								TA2OS	タイマA2ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
								TA3OS	タイマA3ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
								TA4OS	タイマA4ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
								TAZIE	Z相入力有効ビット	0: Z相入力無効 1: Z相入力有効	RW
								TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0in端子の入力を選択 (注2)	RW
								TA0TGH		01: TB2のオーバーフローを選択 (注2) 10: TA4のオーバーフローを選択 (注2) 11: TA1のオーバーフローを選択 (注2)	RW

注1. 読み出し時の値は“0”。

注2. オーバーフローまたはアンダフロー。

図15.6 UDFレジスタ、ONSFレジスタ

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TRGSR

アドレス
034316番地

リセット後の値
0016

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA0のオーバーフローを選択 (注1) 1 1 : TA2のオーバーフローを選択 (注1)	RW
			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA1のオーバーフローを選択 (注1) 1 1 : TA3のオーバーフローを選択 (注1)	RW
			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA2のオーバーフローを選択 (注1) 1 1 : TA4のオーバーフローを選択 (注1)	RW
			RW
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA3のオーバーフローを選択 (注1) 1 1 : TA0のオーバーフローを選択 (注1)	RW
			RW

注1 . オーバフローまたはアンダフロー。

カウントソースプリスケアラレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TCSPR

アドレス
035F16番地

リセット後の値(注2)
0XXX 00002

ビット シンボル	ビット名	機 能	RW
CNT0	分周比選択ビット	設定値をnとするとメインクロック、 オンチップオシレータクロックまたは PLL クロックを2n分周したものが、f2nになる。 ただし、n = 0の場合は分周なし。	RW
CNT1			RW
CNT2			RW
CNT3			RW (注1)
— (b6 - b4)	予約ビット	読んだ場合、その値は不定	RO
CST	動作許可ビット	0 : 分周器停止 1 : 分周器動作	RW

注1 . CNT3~CNT0ビットを書き換える場合は、CSTビットを“0”にして書き換えてください。
注2 . ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

図15.7 TRGSRレジスタ、TCSPRレジスタ

表15.1 TAIOUT端子を出力機能で使用する場合の設定 (i=0~4)

端子	ビットと設定値		
	PS1、PS2レジスタ	PSL1、PSL2レジスタ	PSCレジスタ
P70/TA0OUT (注1)	PS1_0= 1	PSL1_0=1	PSC_0=0
P72/TA1OUT	PS1_2= 1	PSL1_2=1	PSC_2=0
P74/TA2OUT	PS1_4= 1	PSL1_4=0	PSC_4= 0
P76/TA3OUT	PS1_6= 1	PSL1_6=1	PSC_6=0
P80/TA4OUT	PS2_0= 1	PSL2_0=0	-

注1. Nチャンネルオープンドレイン

表15.2 TAIIN端子、TAIOUT端子を入力機能で使用する場合の設定 (i=0~4)

端子	ビットと設定値	
	PS1、PS2レジスタ	PD7、PD8レジスタ
P70/TA0OUT	PS1_0= 0	PD7_0=0
P71/TA0IN	PS1_1= 0	PD7_1=0
P72/TA1OUT	PS1_2= 0	PD7_2=0
P73/TA1IN	PS1_3= 0	PD7_3=0
P74/TA2OUT	PS1_4= 0	PD7_4=0
P75/TA2IN	PS1_5= 0	PD7_5=0
P76/TA3OUT	PS1_6= 0	PD7_6=0
P77/TA3IN	PS1_7= 0	PD7_7=0
P80/TA4OUT	PS2_0= 0	PD8_0=0
P81/TA4IN	PS2_1= 0	PD8_1=0

15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表15.3)。図15.8にタイマモード時のTAiMRレジスタ(i=0~4)を示します。

表15.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ設定値 (i=0~4) 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

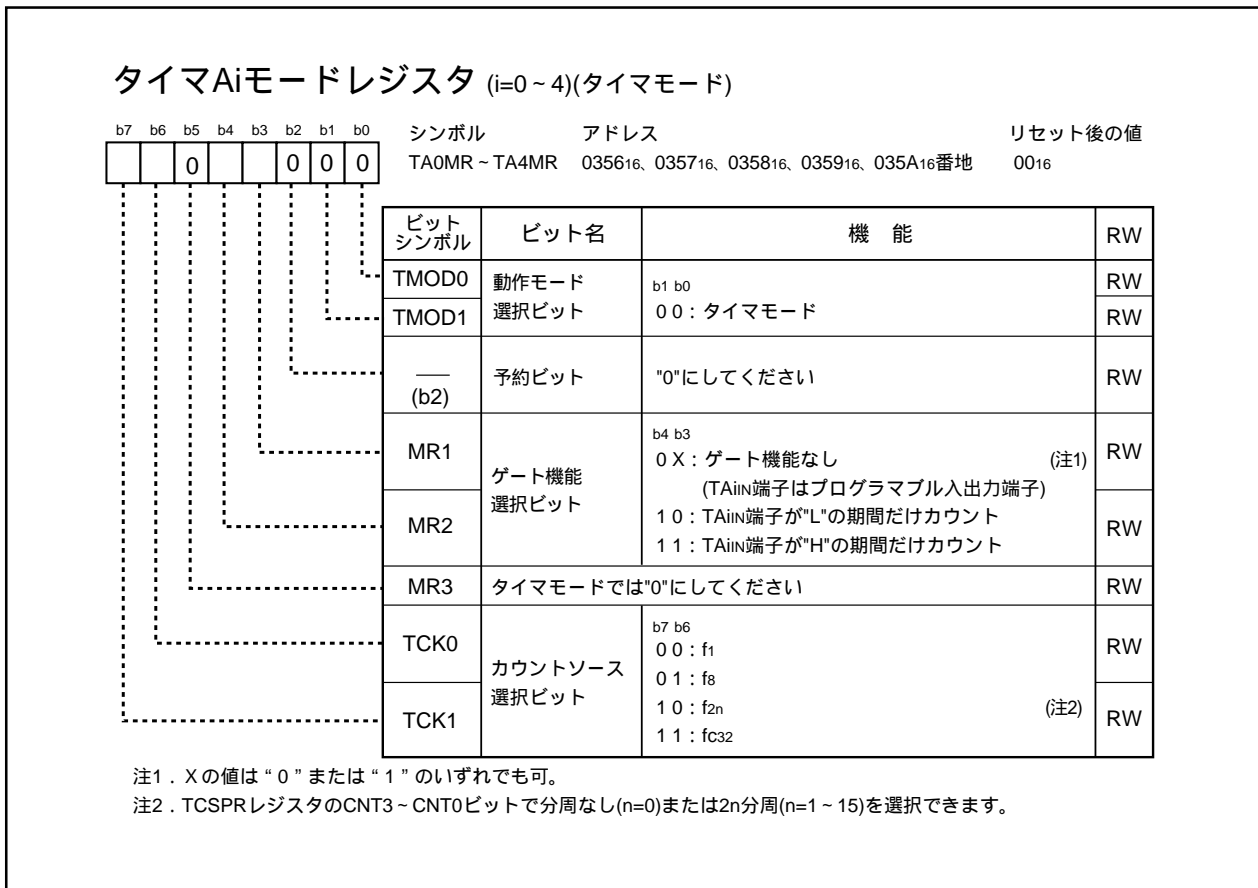


図15.8 タイマモード時のTA0MR ~ TA4MRレジスタ

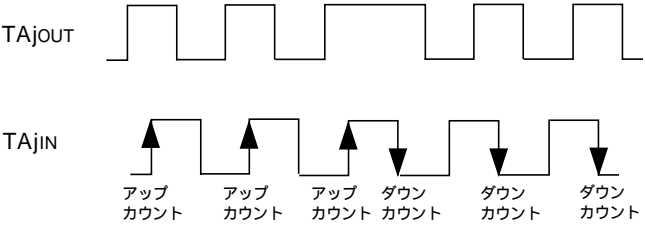
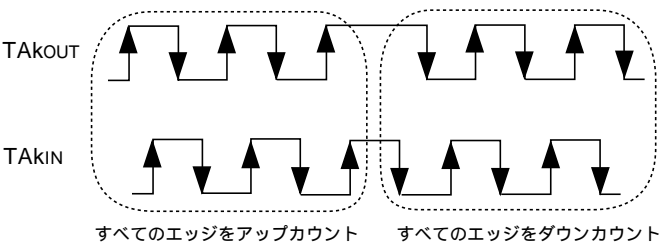
15.1.2 イベントカウンタモード

外部信号または他のタイマのオーバーフローとアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。表15.4にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表15.5にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。図15.9にイベントカウンタモード時のTAiMRレジスタ($i=0\sim 4$)を示します。

表15.4 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子($i=0\sim 4$)に入力された外部信号(プログラムにて有効エッジを選択可能) タイマB2のオーバーフローとアンダフロー、タイマAj($j=i-1$、ただし$i=0$のとき$j=4$)のオーバーフローとアンダフロー、タイマAk($k=i+1$、ただし$i=4$のとき$k=0$)のオーバーフローとアンダフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続。フリーラン機能選択時はリロードせずカウントを継続
分周比	<ul style="list-style-type: none"> アップカウント時 $1/(\text{FFFF}_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 $0000_{16}\sim \text{FFFF}_{16}$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転

表15.5 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i=2~4)に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続。フリーラン機能選択時はリロードせずカウントを継続
分周比	・アップカウント時 $1/(FFFF_{16} - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n:TAi設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くとリロードレジスタに書かれる(次のリロード時に転送)
選択機能 ^(注1)	<ul style="list-style-type: none"> 通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2,3)の入力信号が“H”レベルの期間TAjIN端子の立ち上がり をアップカウントし立ち下がり をダウンカウント  <ul style="list-style-type: none"> 4逓倍処理動作(タイマA3、タイマA4) TAKOUT端子(k=3,4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がり をアップカウント。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がり をダウンカウント 

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

タイマAiモードレジスタ (i=0 ~ 4)(イベントカウンタモード)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	1		TA0MR ~ TA4MR	035616、 035716、 035816、 035916、 035A16番地	0016

ビット シンボル	ビット名	機 能 (二相パルス信号処理を使用しない)	機 能 (二相パルス信号処理を使用する)	RW
TMOD0	動作モード 選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)		RW
TMOD1				RW
— (b2)	予約ビット	"0"にしてください		RW
MR1	カウント極性 選択ビット (注2)	0 : 外部信号の立ち 下がりカウント 1 : 外部信号の立ち 上がりカウント	"0"にしてください	RW
MR2	アップ/ダウン切替 要因選択ビット	0 : アップダウン フラグの内容 1 : TAIOUT端子の 入力信号 (注3)	"1"にしてください	RW
MR3	イベントカウンタモードでは、"0"にしてください			RW
TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		RW
TCK1	二相パルス処理動作 選択ビット (注4、5)	"0"にしてください	0 : 通常処理動作 1 : 4通倍処理動作	RW

注1 . イベントカウンタモードではカウントソースをONSFレジスタまたはTRGSRレジスタのTAiTGH ~ TAI TGLビットで選択できます。

注2 . 外部信号カウント時のみ有効。

注3 . TAIout端子の入力信号が " L " のときはダウンカウント、 " H " のときはアップカウントを行います。

注4 . TCK1ビットはTA3MRレジスタにおいて有効です。

注5 . 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2 ~ 4)は " 1 " (二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH ~ TAJ TGLビットを " 002 " (TAjIN端子の入力)にしてください。

図15.9 イベントカウンタモード時のTA0MR ~ TA4MRレジスタ

15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相入力は $\overline{\text{INT2}}$ 端子入力となります。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000₁₆”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図15.10に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力によりカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。図15.11にカウンタ初期化タイミングを示します。

タイマA3のオーバフローまたはアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

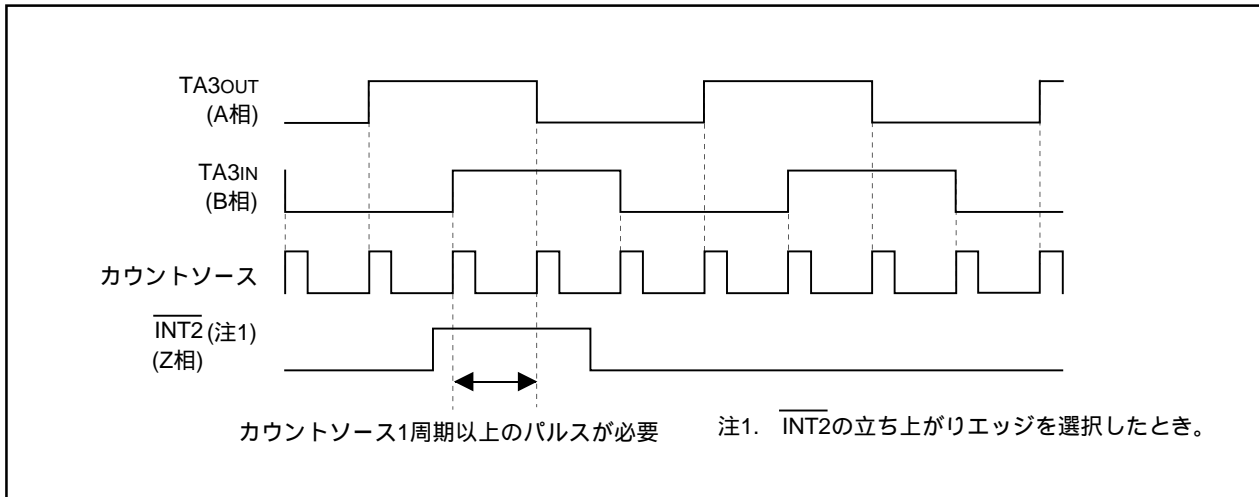


図15.10 二相パルス(A相、B相)とZ相の関係

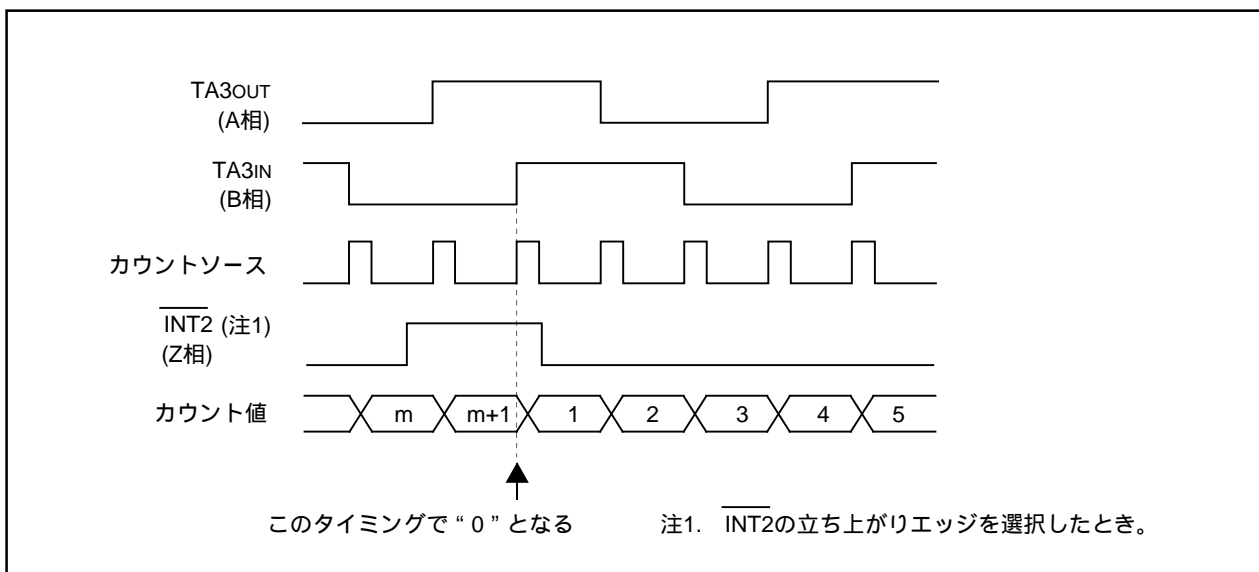


図15.11 カウンタ初期化タイミング

15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表15.6)。トリガが発生するとその時点から任意の期間、タイマが動作します。図15.12にワンショットタイマモード時のTAiMRレジスタ(i=0~4)を示します。

表15.6 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fC32
カウント動作	ダウンカウント カウントの値が“0000 ₁₆ ”になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)設定値 0000 ₁₆ ~FFFF ₁₆ (ただし“0000 ₁₆ ”の場合はカウンタは動作しない)
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、次のトリガが発生したとき ・外部トリガ入力 ・タイマのオーバフローとアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	・カウントの値が“0000 ₁₆ ”になりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000 ₁₆ ”になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

タイマAiモードレジスタ (i=0~4)(ワンショットタイマモード)

b7	b6	b5	b4	b3	b2	b1	b0		0			0	1	0
----	----	----	----	----	----	----	----	--	---	--	--	---	---	---

シンボル	アドレス	リセット後の値
TA0MR ~ TA4MR	0356 ₁₆ , 0357 ₁₆ , 0358 ₁₆ , 0359 ₁₆ , 035A ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 10: ワンショットタイマモード	RW
TMOD1			RW
— (b2)	予約ビット	"0"にしてください	RW
MR1	外部トリガ 選択ビット (注1)	0: TAIiN端子の入力信号の立ち下がり 1: TAIiN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: TAIOSビットが有効 1: TAIIGH, TAIIGLビットで選択	RW
MR3		ワンショットタイマモードでは"0"にしてください。	RW
TCK0	カウントソース 選択ビット	b7 b6 00: f1 01: f8	RW
TCK1		10: f2n 11: fc32 (注2)	RW

注1 . TRGSRレジスタのTAIGH ~ TAIGLビットを "00₂" (TAIiN端子の入力)にする場合のみ有効。 "01₂" (TB2のオーバーフローまたはアンダフロー)、 "10₂" (TAIのオーバーフローまたはアンダフロー)、 "11₂" (TAIのオーバーフローまたはアンダフロー)にする場合は、 "0" または "1" いずれでも可。

注2 . TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

図15.12 ワンショットタイマモード時のTA0MR ~ TA4MRレジスタ

15.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表15.7)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図15.13にパルス幅変調モード時のTAiMRレジスタ(i=0~4)、図15.14、図15.15に16ビットと8ビットパルス幅変調器の動作例を示します。

表15.7 パルス幅変調モードの仕様

項目	仕様
カウントソース	f ₁ 、f ₈ 、f _{2n} (注1)、f _{C32}
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・ “H” 幅 n / f_j n:TAiレジスタ(i=0~4)設定値 0000₁₆ ~ FFFE₁₆ f_j:カウントソース周波数 ・ 周期 $(2^{16} - 1) / f_j$ 固定
8ビットPWM	<ul style="list-style-type: none"> ・ “H” 幅 $n \times (m+1) / f_j$ n:TAiレジスタの上位番地の設定値 00₁₆ ~ FE₁₆ ・ 周期 $(2^8 - 1) \times (m+1) / f_j$ m:TAiレジスタの下位番地の設定値 00₁₆ ~ FF₁₆
カウント開始条件	<ul style="list-style-type: none"> ・ 外部トリガ入力 ・ タイマのオーバフローとアンダフロー ・ TABSRレジスタのTAiSビットを “1” (カウント開始)にする
カウント停止条件	TAiSビットを “0” (カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

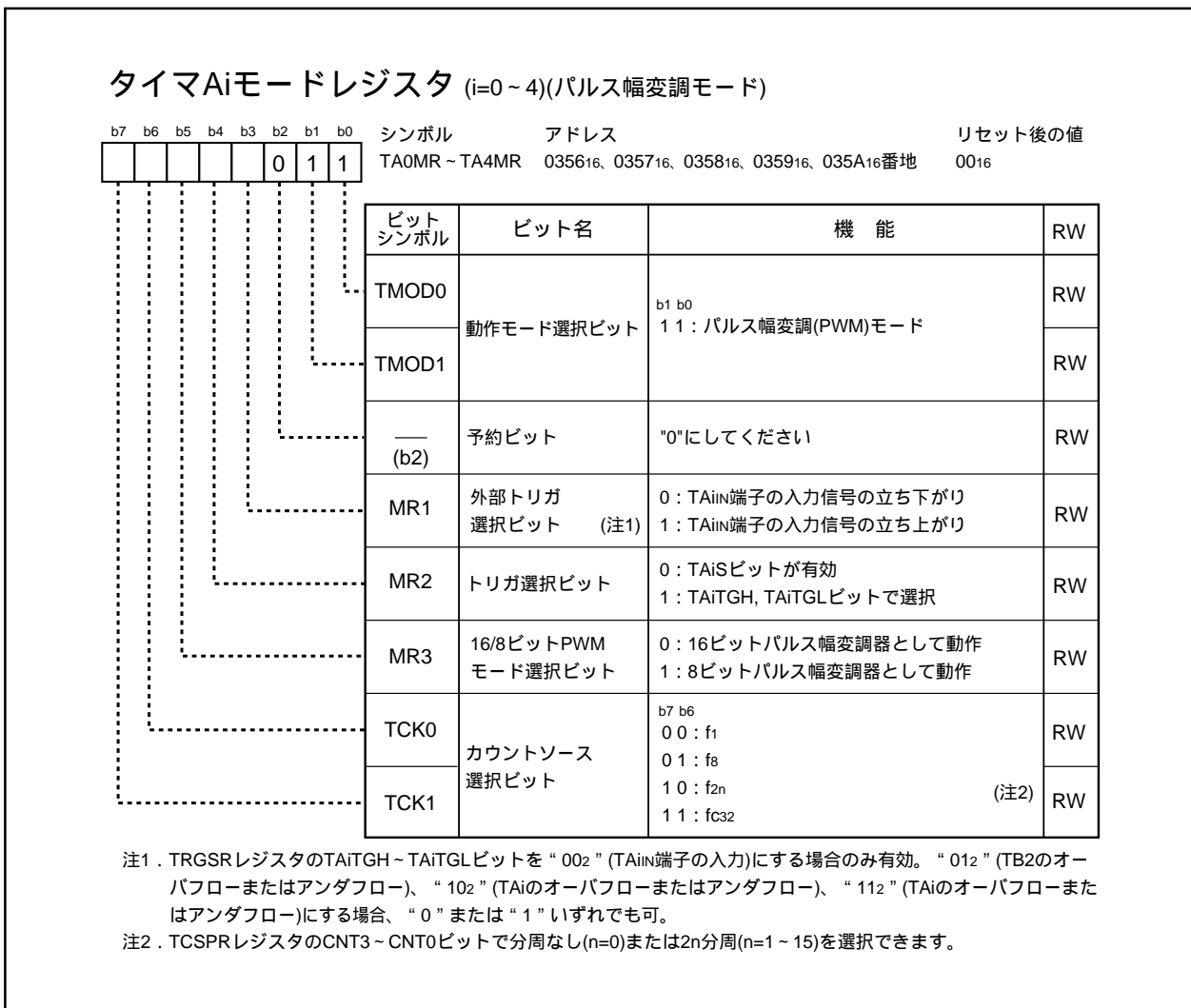


図15.13 パルス幅変調モード時のTA0MR ~ TA4MRレジスタ

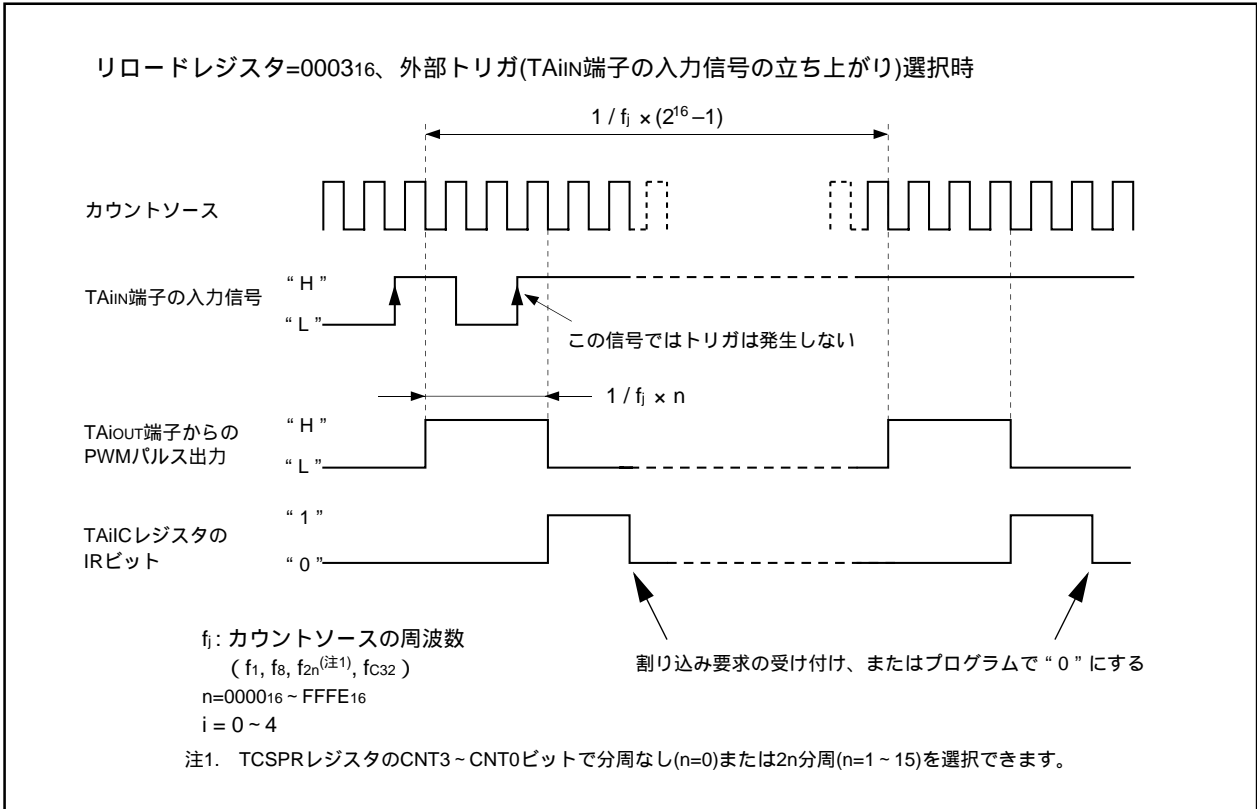


図15.14 16ビットパルス幅変調器の動作例

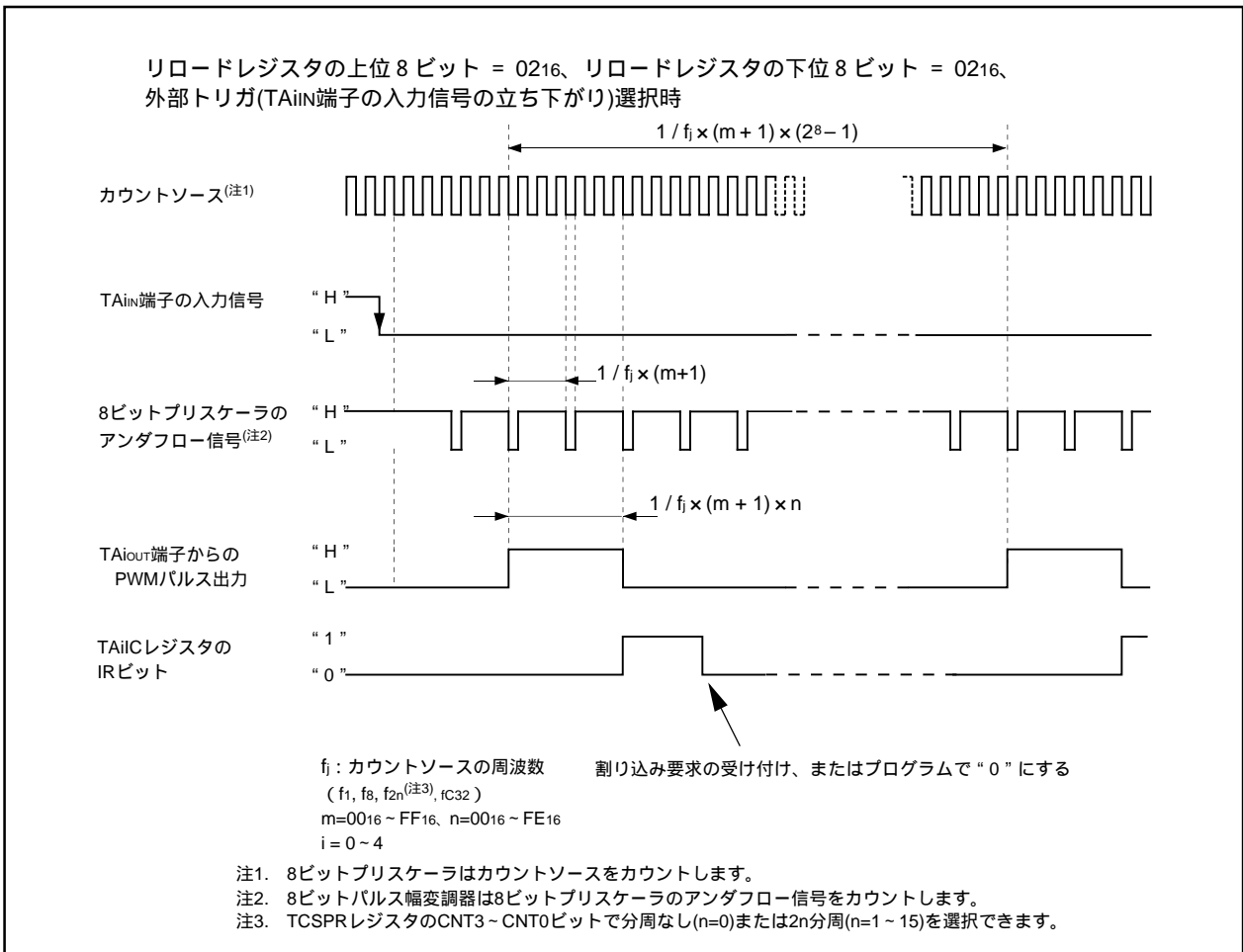


図15.15 8ビットパルス幅変調器の動作例

タイマBiモードレジスタ (i=0~5)

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TB0MR ~ TB5MR 035B ₁₆ , 035C ₁₆ , 035D ₁₆ , 031B ₁₆ , 031C ₁₆ , 031D ₁₆ 番地 00XX 0000 ₂			
TMOD0	動作モード選択ビット	b1 b0 00: タイマモード 01: イベントカウンタモード 10: パルス周期測定モード、パルス幅測定モード 11: 設定しないでください	RW
TMOD1		RW	
MR0	—	動作モードによって機能が異なる (注1、2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース 選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1. MR2ビットは、TB0MR、TB3MRレジスタにおいて有効。

注2. TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていません。

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

カウント開始フラグ

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TABSR 0340 ₁₆ 番地 00 ₁₆			
TA0S	タイマA0カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0: カウント停止 1: カウント開始	RW

図15.18 TB0MR ~ TB5MRレジスタ、TABSRレジスタ

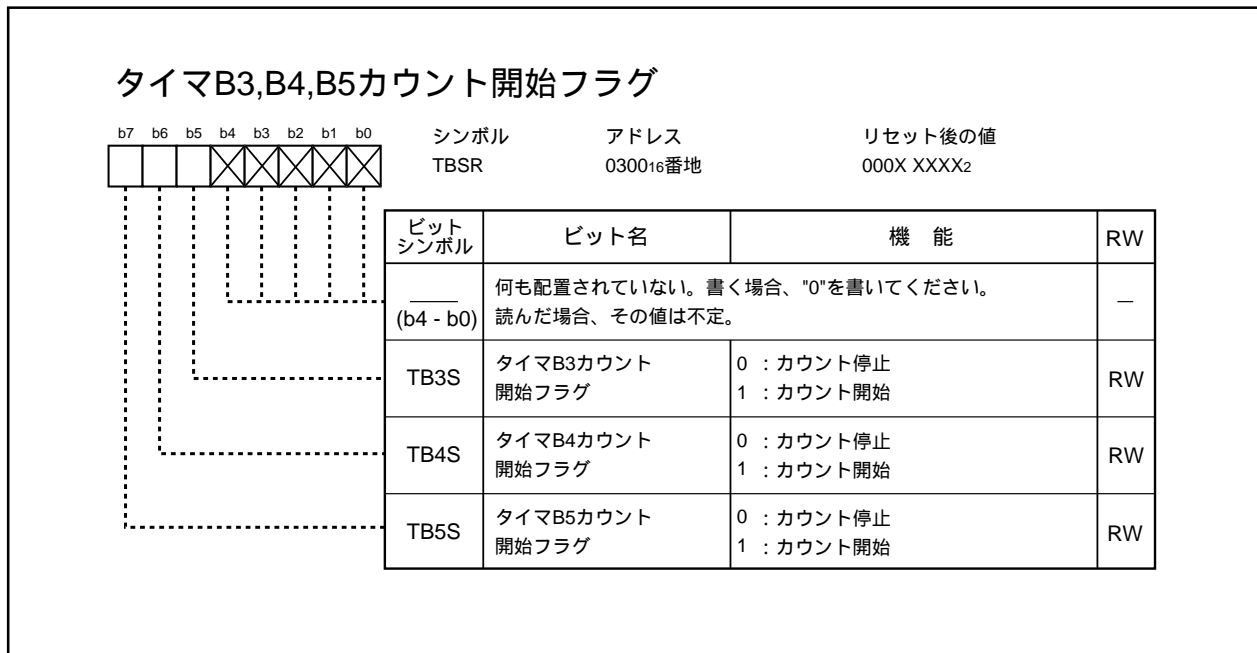


図15.19 TBSRレジスタ

表15.8 TB_iIN端子(i=0~5)を使用する場合の設定

ポート名	機能	ビットと設定値	
		PS1、PS3 ^(注1) レジスタ	PD7、PD9 ^(注1) レジスタ
P9 ₀	TB0IN	PS3_0=0	PD9_0=0
P9 ₁	TB1IN	PS3_1=0	PD9_1=0
P9 ₂	TB2IN	PS3_2=0	PD9_2=0
P9 ₃	TB3IN	PS3_3=0	PD9_3=0
P9 ₄	TB4IN	PS3_4=0	PD9_4=0
P7 ₁	TB5IN	PS1_1=0	PD7_1=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表15.9)。図15.20にタイマモード時のTBiMRレジスタ(i=0~5)を示します。

表15.9 タイマモードの仕様

項目	仕様
カウントソース	f ₁ 、f ₈ 、f _{2n} (注1)、f _{C32}
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタ(i=0~5)設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSR、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

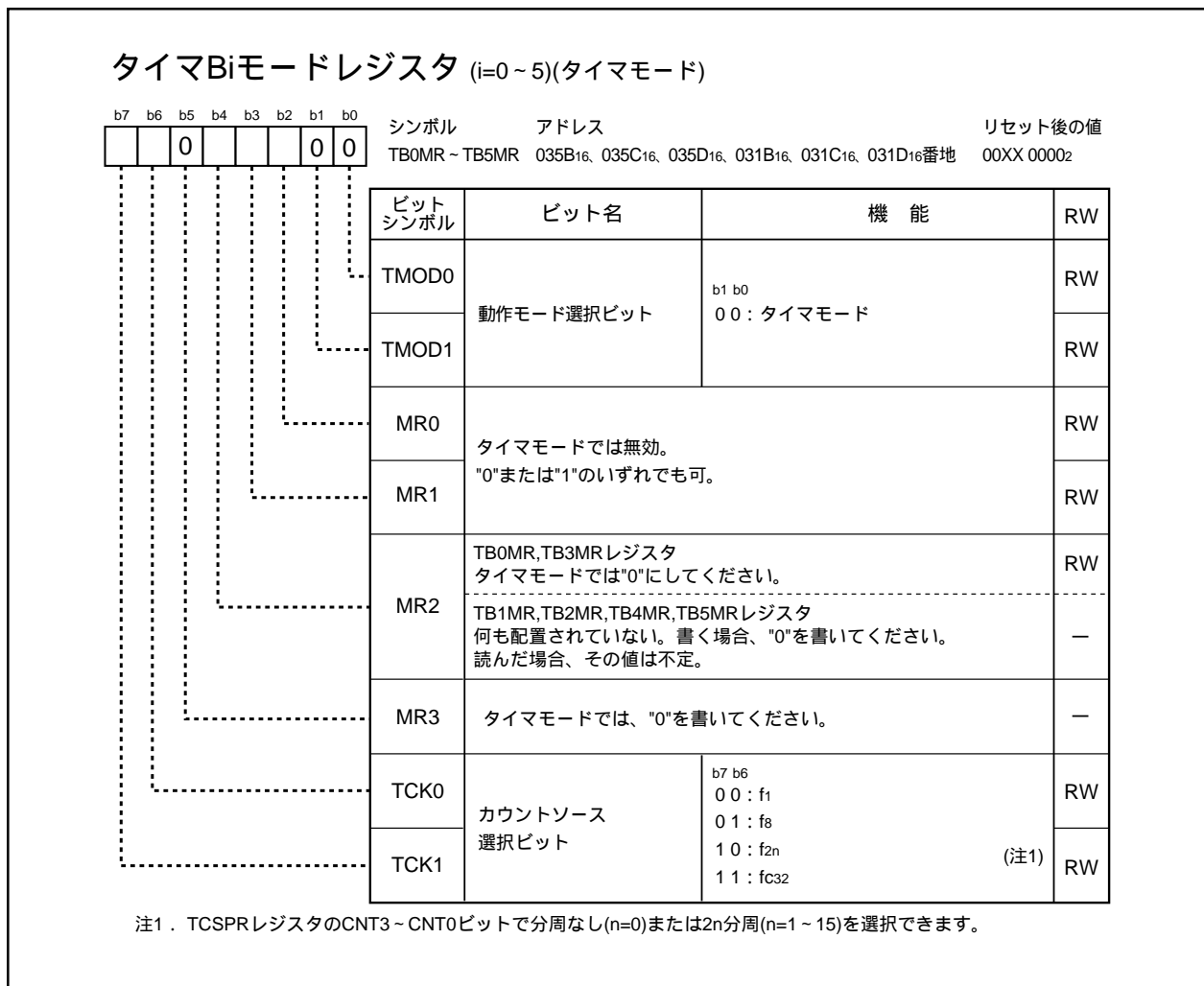


図15.20 タイマモード時のTB0MR~TB5MRレジスタ

15.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです(表15.10)。図15.21にイベントカウンタモード時のTBiMRレジスタ(i=0~5)を示します。

表15.10 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> ・ TBiIN端子(i=0~5)に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可 ・ TBjのオーバフローとアンダフロー (j=i-1 ただしi=0のときj=2、i=3のときj=5)
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタ設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中 TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

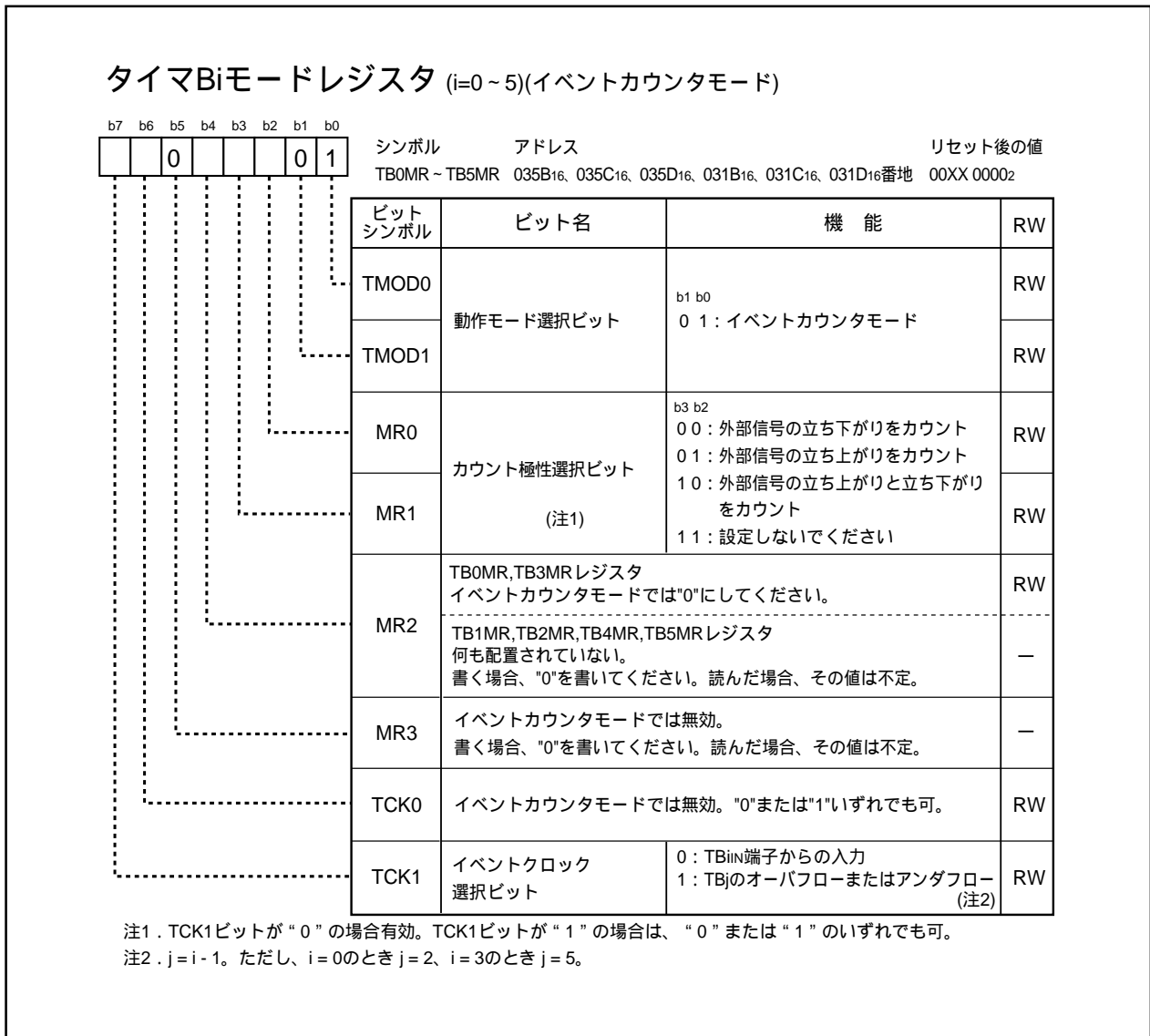


図15.21 イベントカウンタモード時のTB0MR ~ TB5MRレジスタ

15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表15.11)。図15.22にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ($i=0 \sim 5$)、図15.23にパルス周期測定時の動作例、図15.24にパルス幅測定時の動作例を示します。

表15.11 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注3)、fC32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビット($i=0 \sim 5$)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・測定パルスの有効エッジ入力時(注1) ・オーバーフロー時(同時にTBiMRレジスタのMR3ビットが“1”(オーバーフローあり)になる。TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書くと“0”(オーバーフローなし)になる。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後 2 回目の有効エッジ入力までは、TBiレジスタからの読み出し値は不定です。

注3. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または2n分周($n=1 \sim 15$)を選択できます。

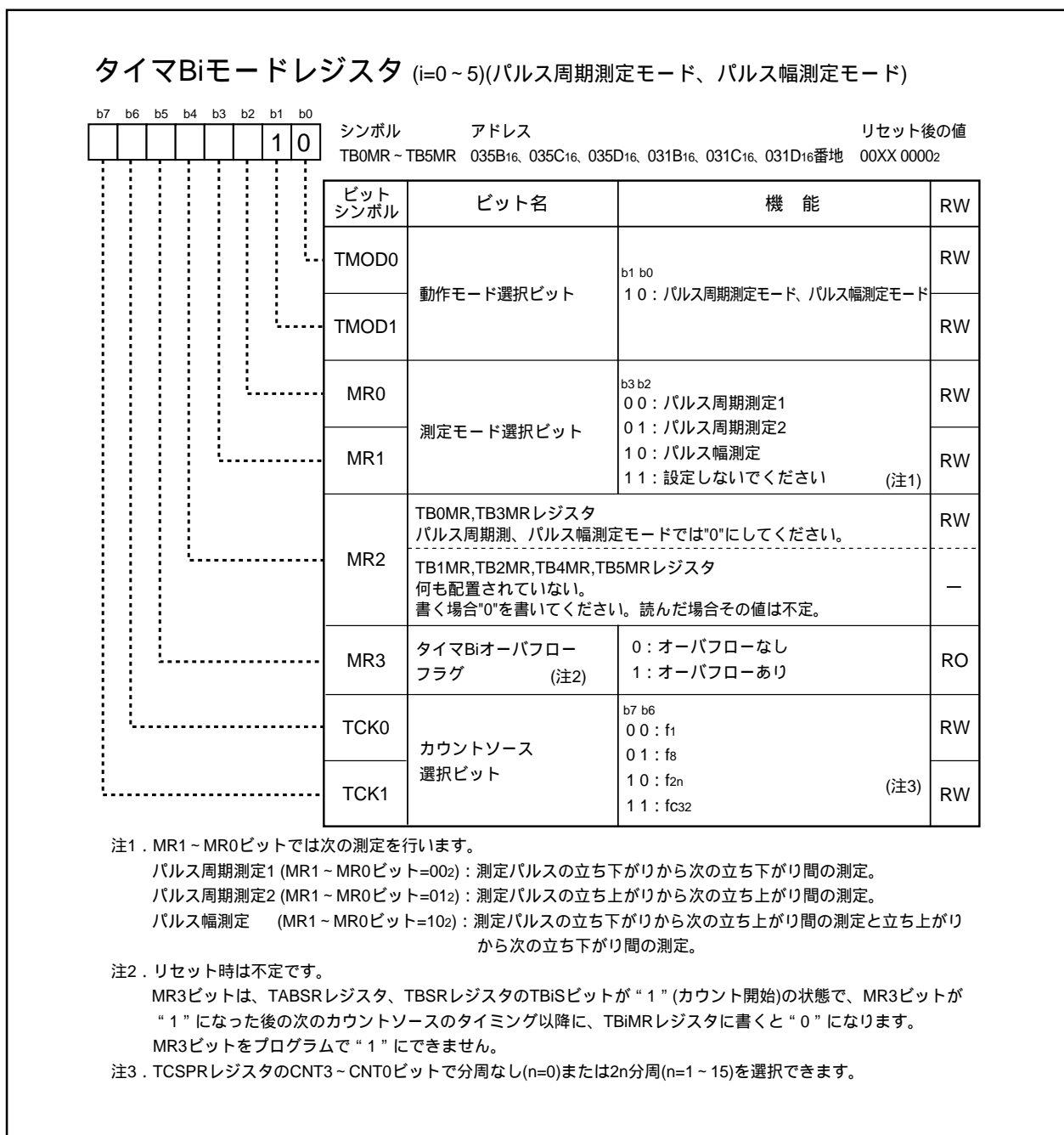


図15.22 パルス周期測定モード、パルス幅測定モード時のTB0MR ~ TB5MRレジスタ

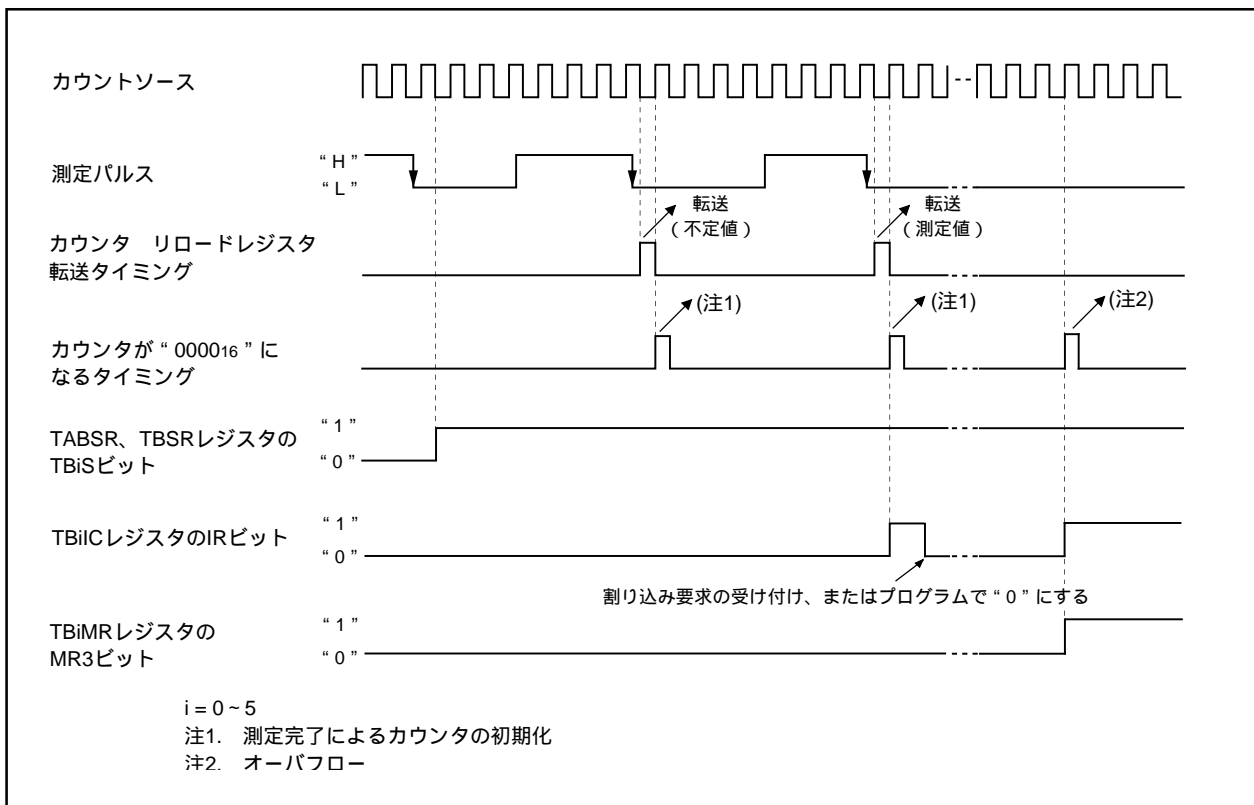


図15.23 パルス周期測定時の動作図

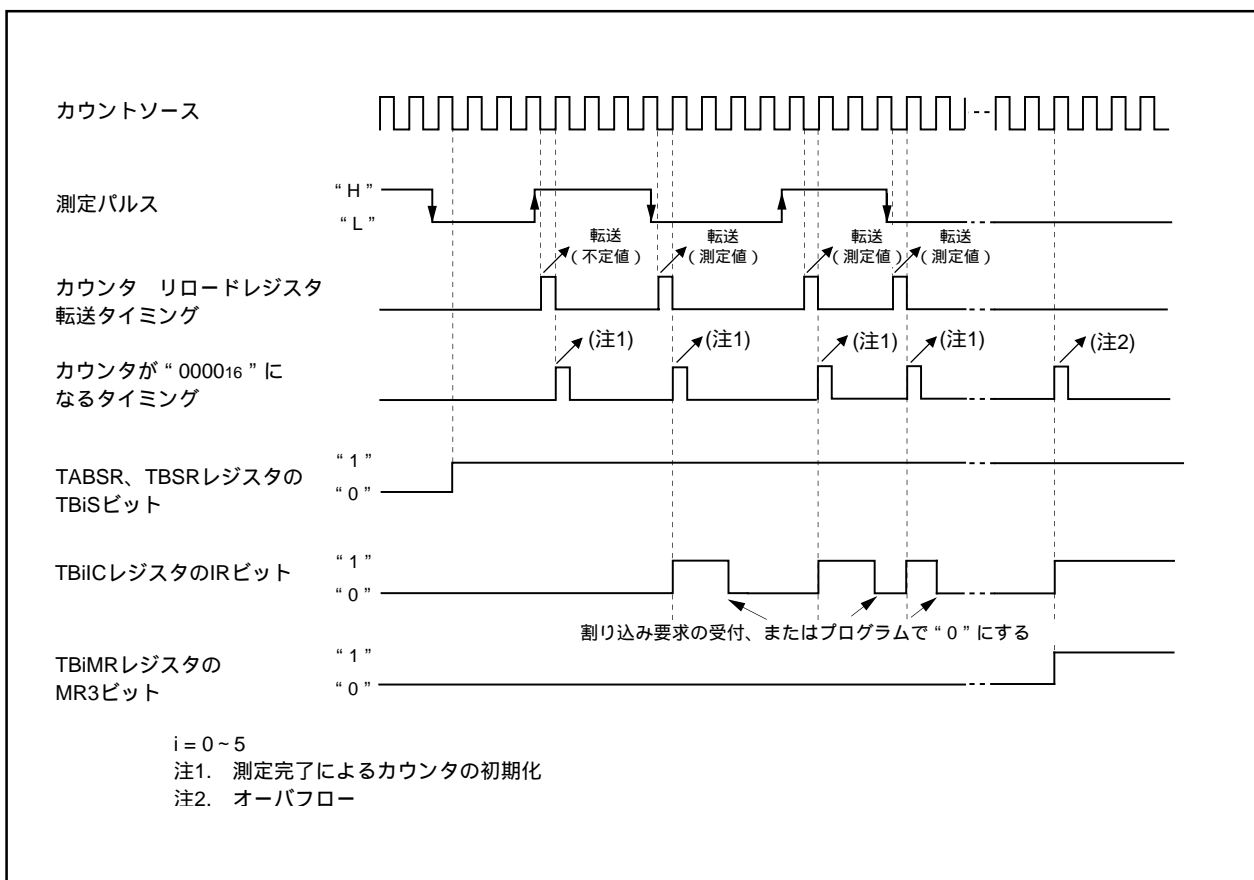


図15.24 パルス幅測定時の動作図

16. 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表16.1に三相モータ制御用タイマ機能の仕様を、表16.2に端子の設定を、図16.1にブロック図を示します。また、図16.2～図16.7に関連レジスタを示します。

表16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	NMI端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 \bar{U} 相波形制御 タイマA1：V、 \bar{V} 相波形制御 タイマA2：W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース $\times (m+1) \times 2$ 鋸波変調：カウントソース $\times (m+1)$ m：TB2レジスタ設定値。000016～FFFF16 カウントソース：f1、f8、f2n(注2)、fc32
三相PWM出力幅	三角波変調：カウントソース $\times n \times 2$ 鋸波変調：カウントソース $\times n$ n：TA4、TA1、TA2(INVC1レジスタのINV11ビットが“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値 000116～FFFF16 カウントソース：f1、f8、f2n(注2)、fc32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p：DTTレジスタ設定値 0116～FF16 カウントソース：f1、またはf1の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり、正逆同時アクティブ検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

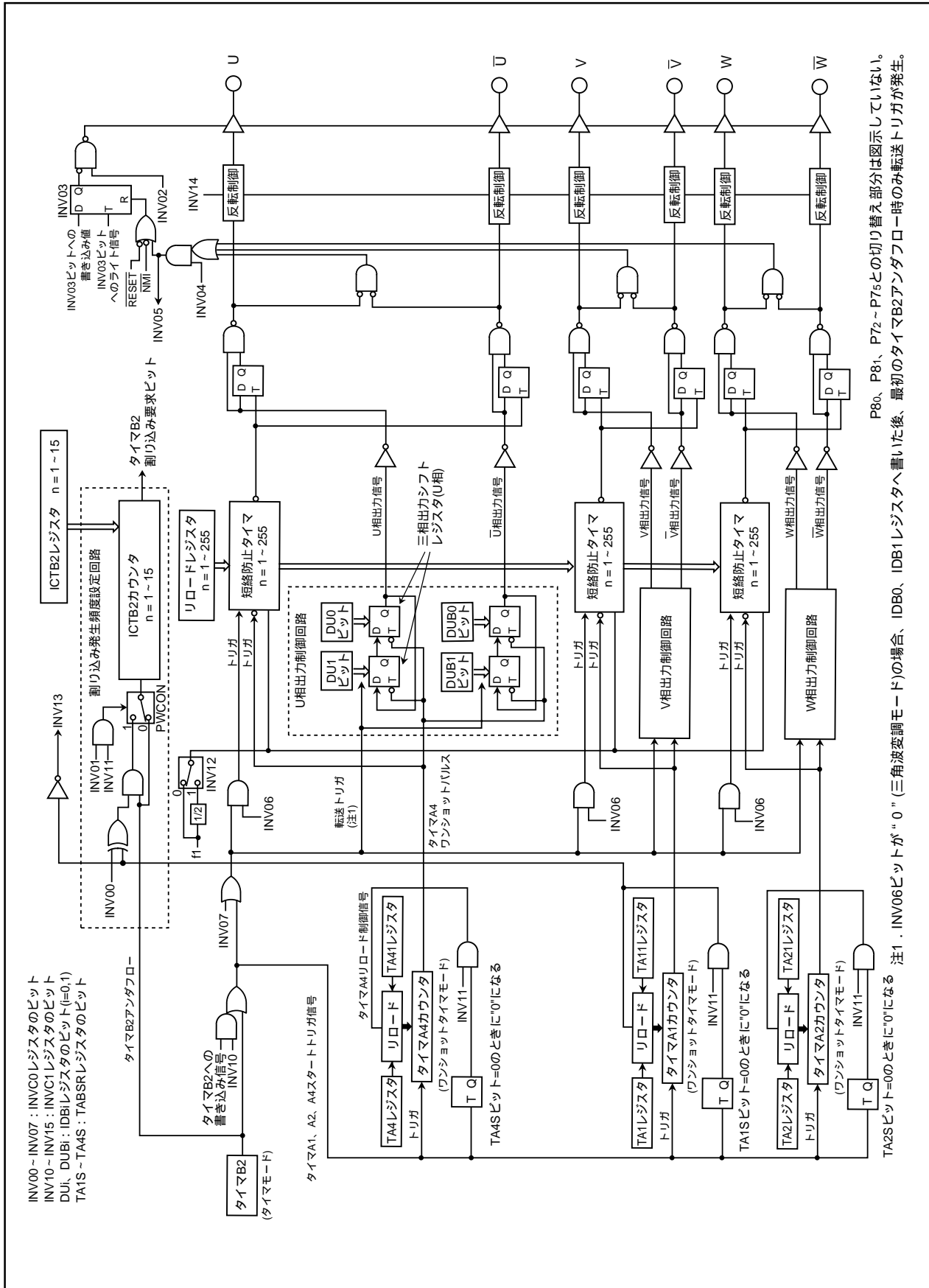
注1．NMI入力による強制遮断はINVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき有効です。

注2．TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

表16.2 三相モータ制御用タイマ機能を使用する場合の端子の設定

端子	ビットと設定値		
	PS1、PS2レジスタ(注1)	PSL1、PSL2レジスタ	PSCレジスタ
P72/V	PS1_2= 1	PSL1_2= 0	PSC_2= 1
P73/ \bar{V}	PS1_3= 1	PSL1_3= 1	PSC_3= 0
P74/W	PS1_4= 1	PSL1_4= 1	PSC_4= 0
P75/ \bar{W}	PS1_5= 1	PSL1_5= 0	-
P80/U	PS2_0= 1	PSL2_0= 1	-
P81/ \bar{U}	PS2_1= 1	PSL2_1= 0	-

注1．INV02ビットを“1”にした後で、PS1、PS2レジスタのPS1_2～PS1_5、PS2_0～PS2_1ビットを“1”にしてください。



注1. INV06ビットが"0" (三角波変調モードの場合、IDB0、IDB1レジスタへ書いた後、最初のタイマB2アンダフロー時のみ転送トリガが発生。
 P80、P81、P72~P75との切り替え部分は図示していない。

図16.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シンボル
INVC0

アドレス
0308₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
INV00	割り込み有効出力極性選択ビット	0: タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウントを1進める 1: タイマA1リロード制御信号の立ち下がりでICTB2カウンタのカウントを1進める (注3)	RW
INV01	割り込み有効出力指定ビット (注2)	0: タイマB2アンダフローでICTB2カウンタのカウントを1進める (注3) 1: INV00ビットで選択	RW
INV02	モード選択ビット (注4、5)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注6)	RW
INV03	出力制御ビット	0: 三相モータ制御用タイマ出力禁止 (注6) 1: 三相モータ制御用タイマ出力許可 (注7)	RW
INV04	正逆相同時アクティブ出力禁止機能許可ビット	0: 同時アクティブ出力許可 1: 同時アクティブ出力禁止	RW
INV05	正逆相同時アクティブ出力検出フラグ	0: 未検出 1: 検出 (注8)	RW
INV06	変調モード選択ビット (注9)	0: 三角波変調モード 1: 鋸波変調モード (注10)	RW
INV07	ソフトウェアトリガ選択ビット	このビットに"1"を書くと転送トリガが発生する。INV06ビットが"1"の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は"0"。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。また、INV00～INV02ビット、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. このビットに"1"を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注3. INVC1レジスタのINV11ビットが"1" (三相モード1)のとき有効です。"0" (三相モード0)のときは、INV00、INV01ビットに関係なく、タイマB2アンダフローごとにICTB2カウンタのカウントを1進めます。INV01ビットを"1"にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに"1"にしてください。INV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

注4. INV02ビットを"1"にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5. INV02ビットを"1"にした後で端子を設定してください。端子の設定は「表16.2」を参照してください。

注6. U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを"1"にし、かつINV03ビットを"0"にすると、すべてハイインピーダンスになります。

注7. INV03ビットは次のとき"0"になります。

- ・リセット
- ・INV04ビットが"1"のとき、同時アクティブになった場合
- ・プログラムで"0"にしたとき
- ・NMI端子入力が"H"から"L"に変化したとき

注8. プログラムで"1"は書けません。このビットを"0"にする場合は、INV04ビットに"0"を書いてください。

注9. INV06ビットの影響は下表のとおりです。

項目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がり、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10ビットが"1"のときのTB2レジスタへの書き込み

注10. INV06ビットが"1"の場合、INVC1レジスタのINV11ビットを"0" (三相モード0)、TB2SCレジスタのPWCONビットを"0" (タイマB2のアンダフローでタイマB2リロード)にしてください。

図16.2 INVC0レジスタ

三相PWM制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
INVC1

アドレス
0309₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット (注2)	0: 三相モード0 (注3) 1: 三相モード1	RW
INV12	短絡防止タイマカウンソース選択ビット	0: f ₁ 1: f ₁ の2分周	RW
INV13	搬送状態検出フラグ (注4)	0: タイマA1リロード制御信号が"0" 1: タイマA1リロード制御信号が"1"	RO
INV14	出力極性制御ビット	0: 出力波形"L"アクティブ 1: 出力波形"H"アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり (注5) 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	"0"にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV11ビットの影響は下表のとおりです。

項 目	INV11ビットが"0"の場合	INV11ビットが"1"の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVC0レジスタのINV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、	有効
INV13ビット	無効	INV11 = 1かつINV06 = 0のとき有効

注3. INVC0レジスタのINV06ビットが"1" (鋸波変調モード)の場合は、"0" (三相モード0)にしてください。また、INV11ビットが"0"の場合、TB2SCレジスタのPWCONビットを"0" (タイマB2のアンダフローでタイマB2リロード)にしてください。

注4. INV13ビットはINV06ビットが"0" (三角波変調モード)かつINV11ビットが"1"のときのみ有効です。

注5. 次の条件がすべて当てはまる場合は、INV16ビットを"1"にしてください。

- ・ INV15ビットが"0"
- ・ INVC0レジスタのINV03ビットが"1" (三相モータ制御用タイマ出力許可)のときは、常にDij(i=U、VまたはW、j=0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)

また、上の条件のいずれもあてはまらない場合は、INV16ビットを"0"にしてください。

図16.3 INVC1レジスタ

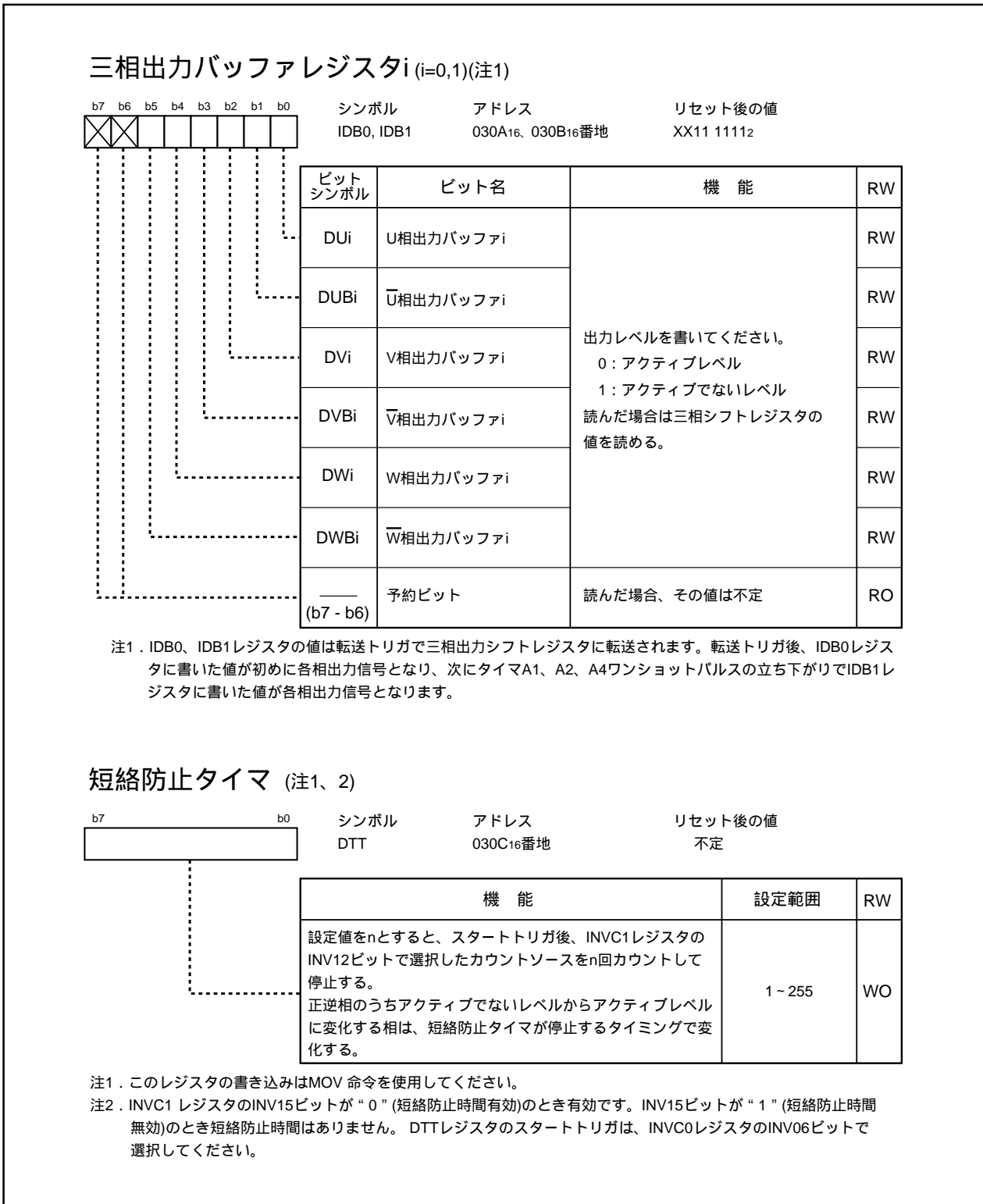
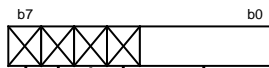


図16.4 IDB0、IDB1レジスタ、DTTレジスタ

タイマB2割り込み発生頻度設定カウンタ (注1、2、3)

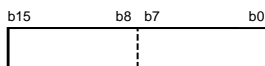


シンボル アドレス リセット後の値
 ICTB2 030D₁₆番地 不定

機 能	設定範囲	RW
INV01ビットが"0"(タイマB2アンダフローでICTB2カウンタのカウンタを1進める)の場合、設定値をnとすると、n回目のタイマB2アンダフローごとにタイマB2割り込み要求が発生する。 INV01ビットが"1"(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローがn回発生することにタイマB2割り込み要求が発生する。	1 ~ 15	WO
何も配置されていない。書く場合、"0"を書いてください。	—	—

- 注1. ICTB2レジスタへは、MOV命令を使用して書いてください。
 注2. INVC0レジスタのINV01ビットが"1"の場合は、TABSRレジスタのTB2Sビットが"0"(タイマB2カウント停止)のときに書いてください。INV01ビットが"0"の場合は、TB2Sビットが"1"(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。
 注3. INVC0レジスタのINV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

タイマAi,Ai-1レジスタ (i=1, 2, 4) (注1、2、3、4、5、6)

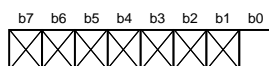


シンボル アドレス リセット後の値
 TA1, TA2, TA4 0349₁₆ - 0348₁₆, 034B₁₆ - 034A₁₆, 034F₁₆ - 034E₁₆番地 不定
 TA11, TA21, TA41 0303₁₆ - 0302₁₆, 0305₁₆ - 0304₁₆, 0307₁₆ - 0306₁₆番地 不定

機 能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000 ₁₆ ~ FFFF ₁₆	WO

- 注1. 読み出し、書き込みは16ビット単位で行ってください。
 注2. これらのレジスタに"0000₁₆"を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。
 注3. これらのレジスタへの書き込みにはMOV命令を使用してください。
 注4. INVC1レジスタのINV15ビットが"0"(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。
 注5. INVC1レジスタのINV11ビットが"0"(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
 INV11ビットが"1"(三相モード1)の場合、タイマAiスタートトリガによってまずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。
 注6. タイマB2アンダフローのタイミングで、これらのレジスタへ書かないでください。

タイマB2特殊モードレジスタ



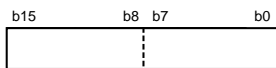
シンボル アドレス リセット後の値
 TB2SC 035E₁₆番地 XXXX XXX0₂

ビットシンボル	ビット名	機 能	RW
PWCON	タイマB2リロードタイミング切替ビット (注1)	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
— (b7 - b1)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

- 注1. INV11ビットが"0"(三相モード0)、またはINV06ビットが"1"(鋸波変調モード)の場合は、"0"にしてください。

図16.5 ICTB2レジスタ、TA1、TA2、TA4、TA11、TA21、TA41レジスタ、TB2SCレジスタ

タイマB2レジスタ (注1)

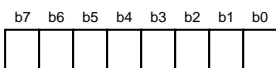


シンボル アドレス リセット後の値
TB2 0355₁₆ - 0354₁₆番地 不定

機 能	設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000 ₁₆ ~ FFFF ₁₆	RW

注1. 読み出し、書き込みは16ビット単位で実行してください。

トリガ選択レジスタ

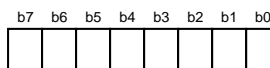


シンボル アドレス リセット後の値
TRGSR 0343₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	V相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	W相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA2のオーバーフローを選択 (注1) 1 1 : TA4のオーバーフローを選択 (注1)	RW
TA3TGH			RW
TA4TGL			タイマA4イベント/ トリガ選択ビット
TA4TGH	RW		

注1. オーバフローまたはアンダフロー

カウント開始フラグ



シンボル アドレス リセット後の値
TABSR 0340₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW

図16.6 三相モータ制御用タイマ機能時のTB2、TRGSR、TABSRレジスタ

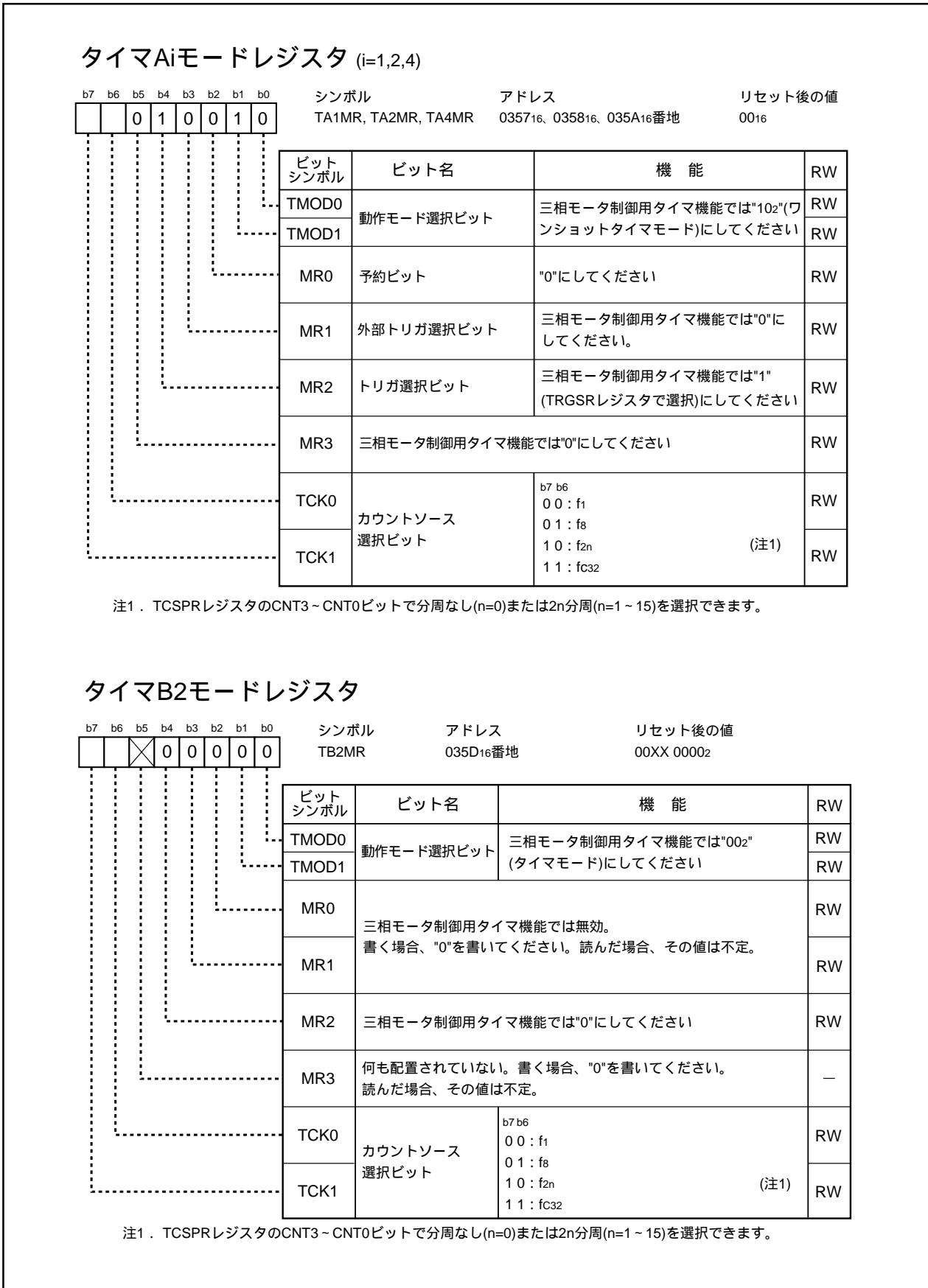


図16.7 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は短絡防止タイマで制御します。

図16.8に三角波変調波形例を、図16.9に鋸波変調波形例を示します。

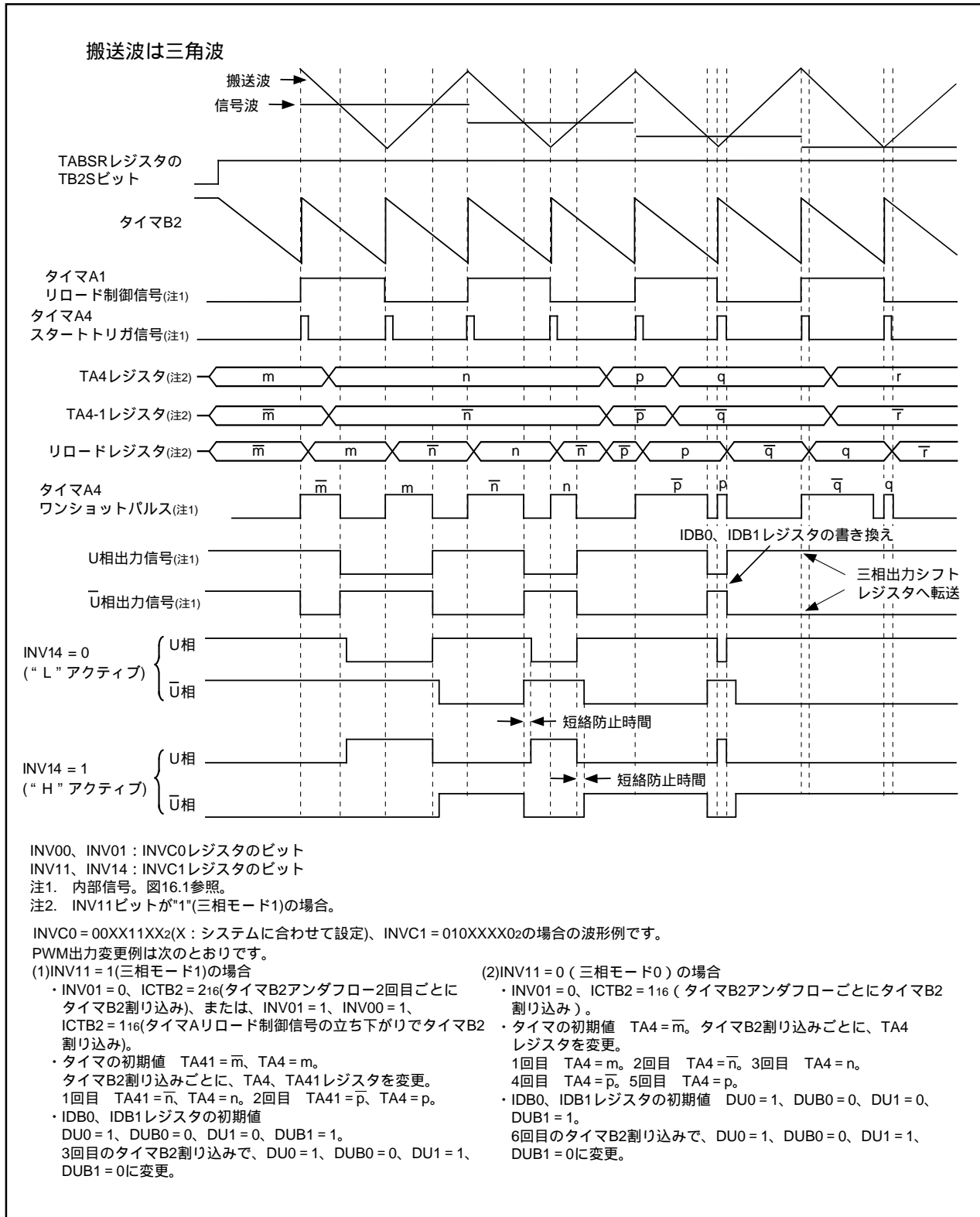


図16.8 三角波変調動作例

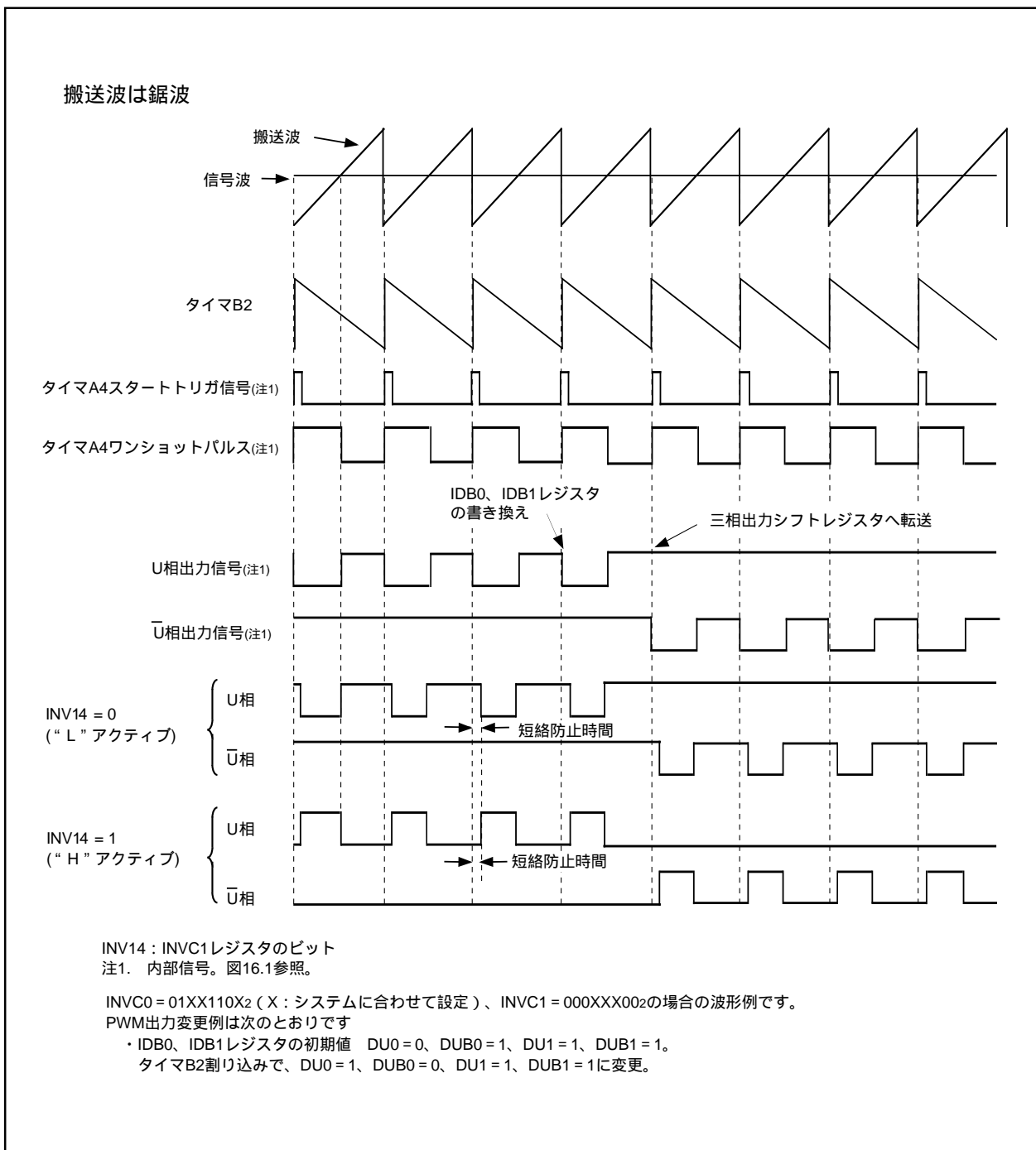


図16.9 鋸波変調動作例

17. シリアルI/O

シリアルI/Oは5チャンネル(UART0~UART4)あります。

UARTi(i=0~4)はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図17.1にUARTiのブロック図を示します。

UARTiには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード (UARTモード)
- ・特殊モード1(I²Cモード)
- ・特殊モード2
- ・特殊モード3(クロック分周同期化機能、GCIモード)
- ・特殊モード4(バス衝突検出機能、IEモード)
- ・特殊モード5(SIMモード)

図17.2~図17.9に、UARTi関連のレジスタを示します。

レジスタの設定、端子の設定はモードごとの表を参照してください。

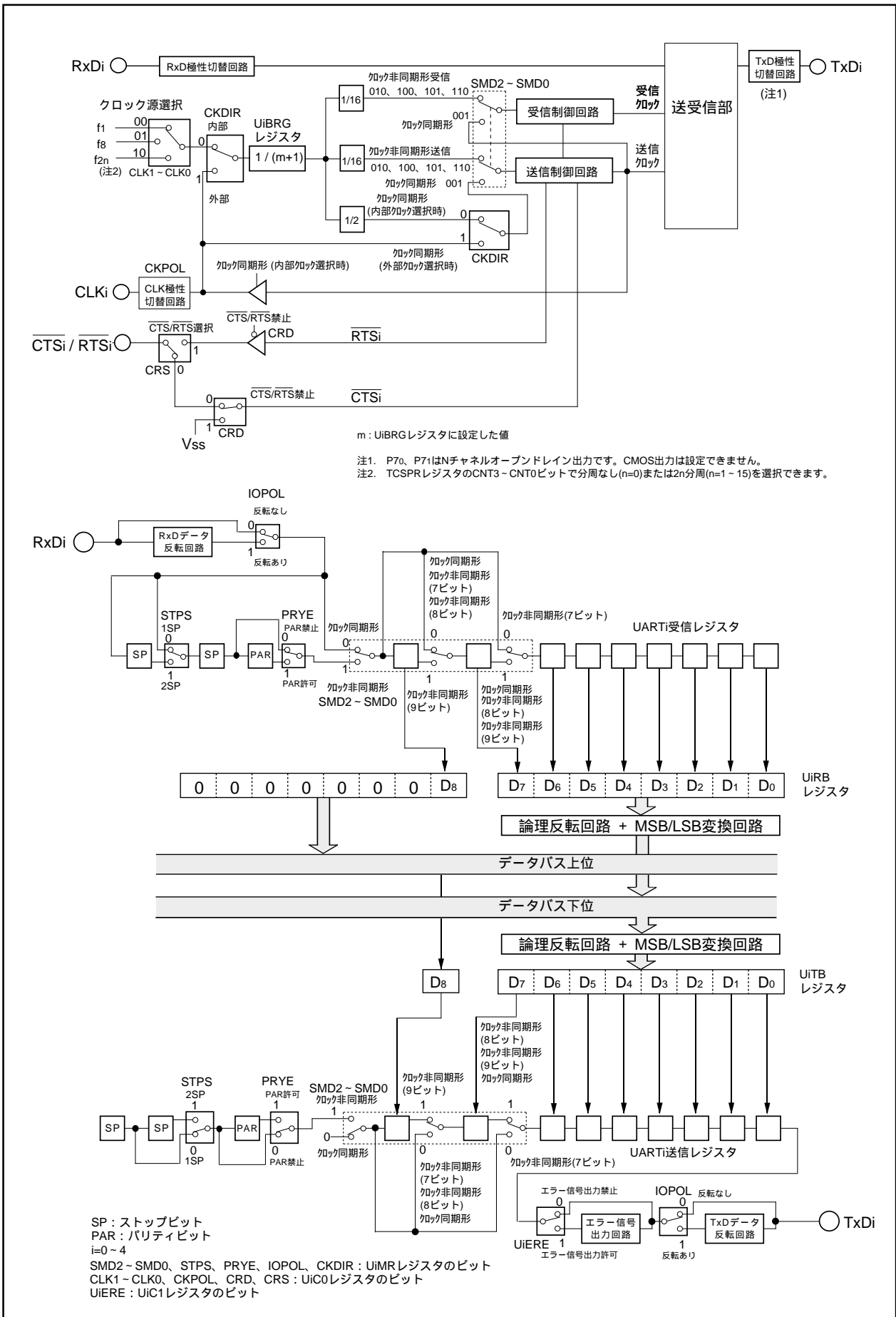


図17.1 UARTiブロック図

UART_i送信バッファレジスタ(i=0~4) (注1)

シンボル	アドレス	リセット後の値
U0TB ~ U2TB	036B ₁₆ - 036A ₁₆ , 02EB ₁₆ - 02EA ₁₆ , 033B ₁₆ - 033A ₁₆ 番地	不定
U3TB, U4TB	032B ₁₆ - 032A ₁₆ , 02FB ₁₆ - 02FA ₁₆ 番地	不定

ビットシンボル	機能	RW
(b7 - b0)	送信データ(D ₇ ~ D ₀)	WO
(b8)	送信データ(D ₈)	WO
(b15 - b9)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ(i=0~4)

シンボル	アドレス	リセット後の値
U0RB ~ U2RB	036F ₁₆ - 036E ₁₆ , 02EF ₁₆ - 02EE ₁₆ , 033F ₁₆ - 033E ₁₆ 番地	不定
U3RB, U4RB	032F ₁₆ - 032E ₁₆ , 02FF ₁₆ - 02FE ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7 - b0)	—	受信データ(D ₇ ~ D ₀)	RO
(b8)	—	受信データ(D ₈)	RO
(b10 - b9)	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。	—
ABT	アービトレーション ロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバーランエラー フラグ (注2)	0: オーバーランエラーなし 1: オーバーランエラー発生	RO
FER	フレーミングエラー フラグ (注2、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラー フラグ (注2、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	RO

注1. ABTビットには"0"のみ書けます。

注2. UiMRレジスタのSMD2~SMD0ビットを"0002" (シリアルI/Oは無効)にしたとき、またはUiC1レジスタのREビットを"0" (受信禁止)にしたとき、OER、FER、PER、SUMビットは"0"になります。

OER、FER、PERビットがすべて"0"になると、SUMビットも"0"になります。

また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは"0"になります。

注3. SMD2~SMD0ビットが"0012" (クロック同期形シリアルI/Oモード)または"0102" (I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図17.2 U0TB ~ U4TBレジスタ、U0RB ~ U4RBレジスタ

UART_i転送速度レジスタ (i=0~4) (注1、2)

b7 ┌───────────┐ │ │ └───────────┘ b0	シンボル U0BRG ~ U4BRG	アドレス 0369 ₁₆ , 02E9 ₁₆ , 0339 ₁₆ , 0329 ₁₆ , 02F9 ₁₆ 番地	リセット後の値 不定
	機 能	設定範囲	RW
	設定値をmとすると、UiBRGはカウントソースをm + 1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. このレジスタの書き込みはMOV命令を使用してください。

注2. 送受信停止中に値を書いてください。

UART_i送受信モードレジスタ (i=0~4)

b7 ┌───┐ │ │ └───┘ b6 ┌───┐ │ │ └───┘ b5 ┌───┐ │ │ └───┘ b4 ┌───┐ │ │ └───┘ b3 ┌───┐ │ │ └───┘ b2 ┌───┐ │ │ └───┘ b1 ┌───┐ │ │ └───┘ b0	シンボル U0MR ~ U4MR	アドレス 0368 ₁₆ , 02E8 ₁₆ , 0338 ₁₆ , 0328 ₁₆ , 02F8 ₁₆ 番地	リセット後の値 00 ₁₆	
	ビット シンボル	ビット名	機 能	RW
	SMD0		b2 b1 b0 0 0 0: シリアルI/Oは無効 0 0 1: クロック同期形シリアルI/Oモード 0 1 0: I ² Cモード	RW
	SMD1	シリアルI/Oモード 選択ビット	1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
	SMD2			RW
	CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック	RW
	STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
	PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
	IOPOL	TxD,RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

図17.3 U0BRG ~ U4BRGレジスタ、U0MR ~ U4MRレジスタ

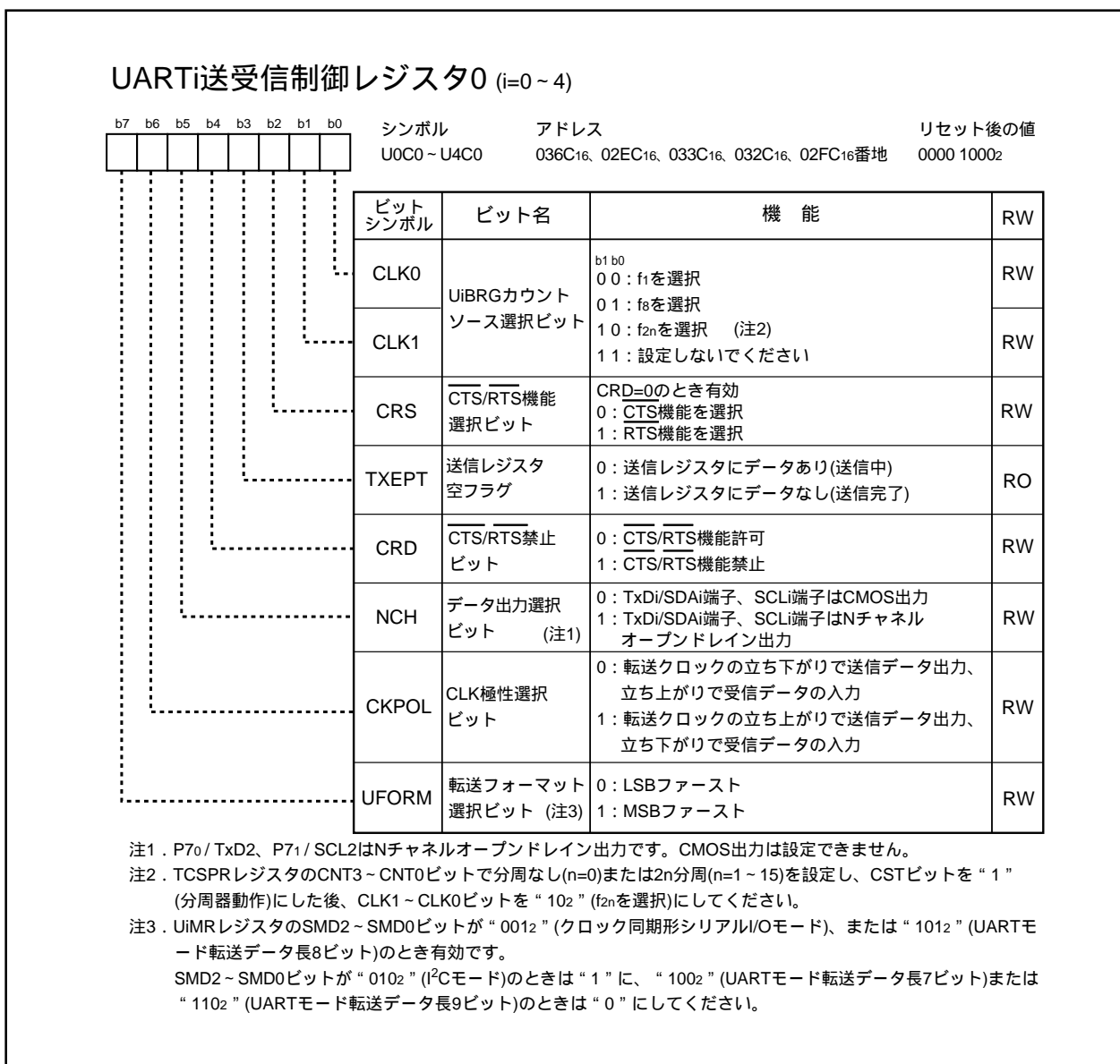


図17.4 U0C0 ~ U4C0レジスタ

UART_i送受信制御レジスタ1 (i=0~4)

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
UiIRS	UART _i 送信割り込み要因選択ビット	0: UiTBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW
UiRRM	UART _i 連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
UiLCH	データ論理選択ビット (注2)	0: 反転なし 1: 反転あり	RW
SCLKSTPB, UiERE	クロック分周同期化停止ビット エラー信号出力許可ビット (注1)	クロック分周同期化停止ビット(特殊モード3) 0: 同期化停止 1: 同期化開始 エラー信号出力許可ビット(特殊モード5) 0: 出力しない 1: 出力する	RW

注1 . UiMRレジスタのSMD2~SMD0ビットを設定した後、SCLKSTPB(UiERE)ビットを設定してください。

注2 . UiMRレジスタのSMD2~SMD0ビットが“001₂”(クロック同期形シリアルI/Oモード)、“100₂”(UARTモード転送データ長7ビット)、または“101₂”(UARTモード転送データ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010₂”(I²Cモード)または“110₂”(UARTモード転送データ長9ビット)のときは“0”にしてください。

UART_i特殊モードレジスタ (i=0~4)

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW (注1)
LSYN	SCLL同期出力許可ビット	0: 禁止 1: 許可	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0: 転送クロックの立ち上がり 1: タイマA _j のアンダフロー (j=0~4)(注2)	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RxDiと無関係 1: RxDiに同期	RW
SCLKDIV	クロック分周同期化ビット	(注3)	RW

注1 . BBSビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

注2 . UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号。

注3 . UiSMR2レジスタのSU1HIMビットの注を参照してください。

17.5 U0C1~U4C1レジスタ、U0SMR~U4SMRレジスタ

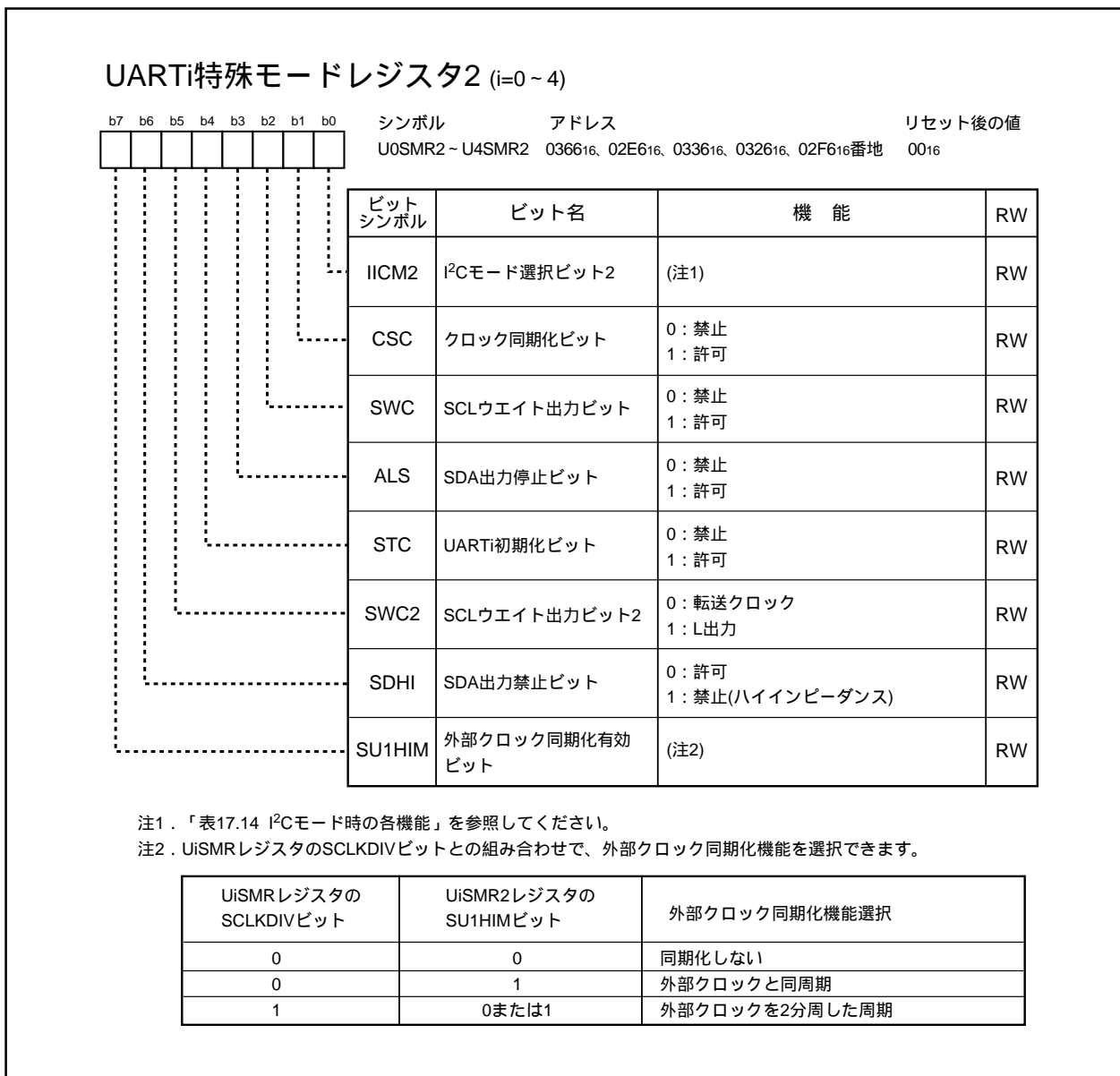


図17.6 U0SMR2 ~ U4SMR2レジスタ

UART_i特殊モードレジスタ3 (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル アドレス リセット後の値
 U0SMR3~U4SMR3 0365₁₆、02E5₁₆、0335₁₆、0325₁₆、02F5₁₆番地 00₁₆

ビットシンボル	ビット名	機能	RW
SSE	SS端子機能許可ビット (注1)	0 : SS機能禁止 1 : SS機能許可	RW
CKPH	クロック位相設定ビット	0 : クロック遅れなし 1 : クロック遅れあり	RW
DINC	シリアル入力端子設定ビット	0 : TxDi,RxDiを選択(マスタモード) 1 : STxDi,SRxDiを選択(スレーブモード)	RW
NODC	クロック出力選択ビット	0 : CLKiはCMOS出力 1 : CLKiはNチャンネルオープンドレイン出力	RW
ERR	障害エラーフラグ	0 : 障害エラーなし 1 : 障害エラーあり (注2)	RW
DL0	SDAi デジタル 遅延値設定ビット (注3、4)	b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : BRGカウントソースの1~2サイクル 0 1 0 : BRGカウントソースの2~3サイクル 0 1 1 : BRGカウントソースの3~4サイクル 1 0 0 : BRGカウントソースの4~5サイクル 1 0 1 : BRGカウントソースの5~6サイクル 1 1 0 : BRGカウントソースの6~7サイクル 1 1 1 : BRGカウントソースの7~8サイクル	RW
DL1		RW	
DL2		RW	

注1. SSを設定する場合、Uic0レジスタのCRDビットを“1”(CTS/RTS機能を禁止)にしてください。

注2. ERRビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

注3. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000₂”(遅延なし)にしてください。

注4. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。

図17.7 U0SMR3 ~ U4SMR3レジスタ

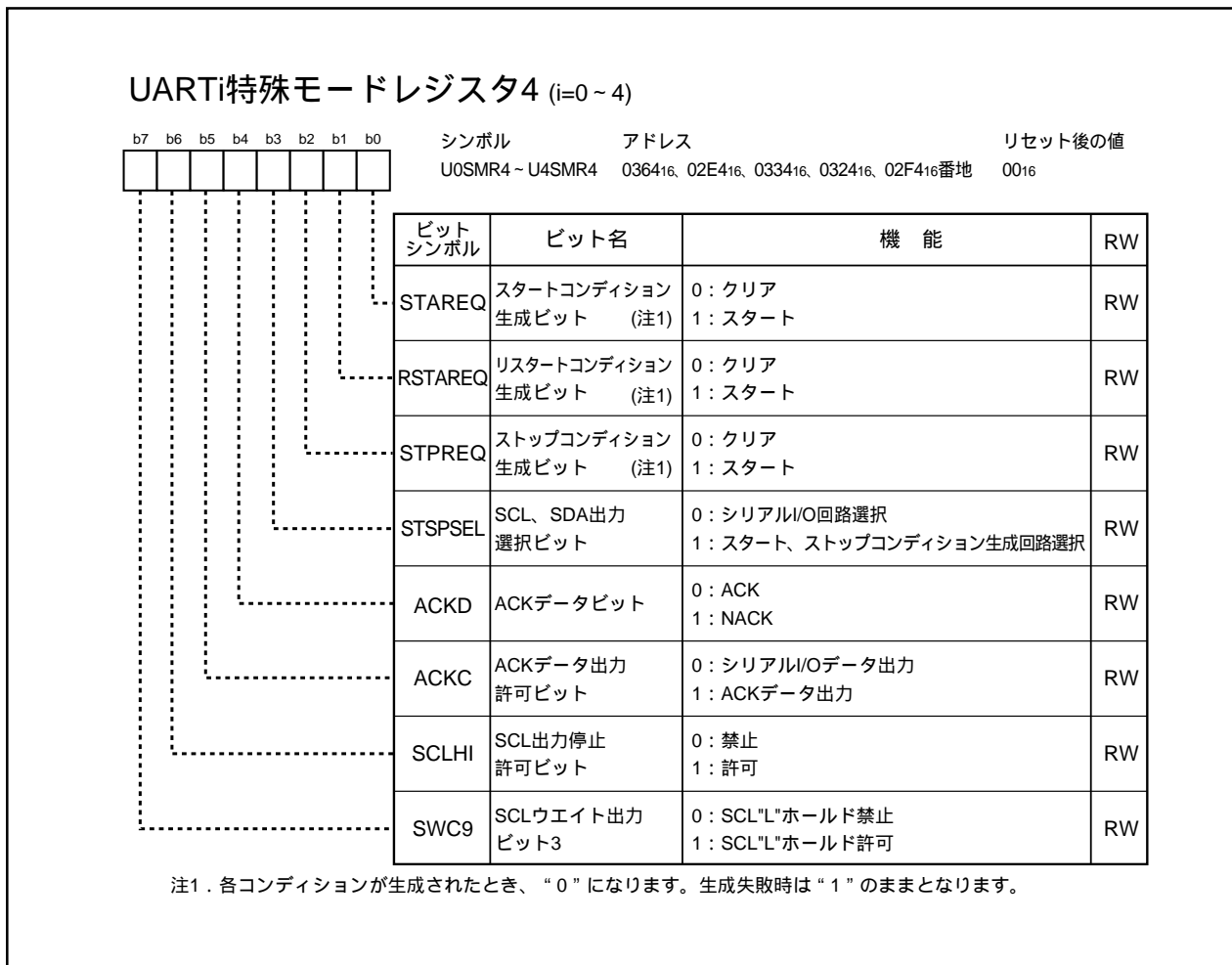


図17.8 U0SMR4 ~ U4SMR4レジスタ

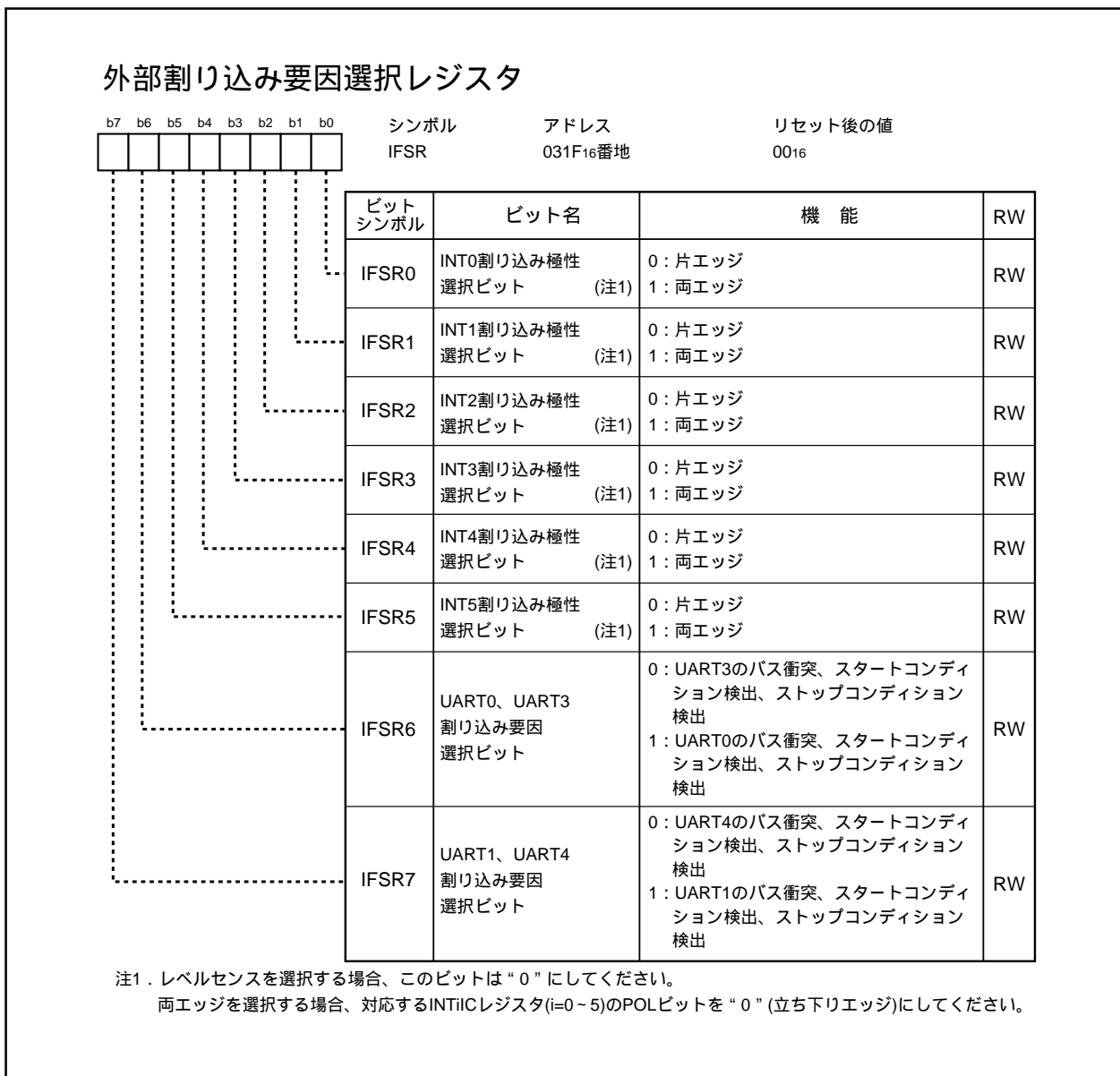


図17.9 IFSRレジスタ

17.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表17.1にクロック同期形シリアルI/Oモードの仕様を、表17.2に使用レジスタと設定値を、表17.3～表17.5に端子の設定を示します。なお、UARTi(i=0～4)の動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図17.10にクロック同期形シリアルI/Oモード時の送信、受信タイミングを示します。

表17.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0～4)のCKDIRビットが“0”(内部クロック選択)：$\frac{f_j}{2(m+1)}$ fj=f1, f8, f2n(注1) m: UiBRGレジスタ設定値 0016～FF16 CKDIRビットが“1”(外部クロック選択)：CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) CTS機能選択時、CTSi端子入力が“L”
受信開始条件	受信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) TEビットが“1”(送信許可) TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> UiC1レジスタのUiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信時 UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力のタイミングは、転送クロックの立ち上がりまたは立ち下がりを選択可 LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの理論値を反転する機能

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データの入力)の場合はCLKi端子が“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データの入力)の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表17.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めず
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~2	“0002” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i = 0 ~ 4

表17.3 クロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
	CLK0出力	PS0_1=1	-	-
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
	CLK1出力	PS0_5=1	-	-
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表17.4 クロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

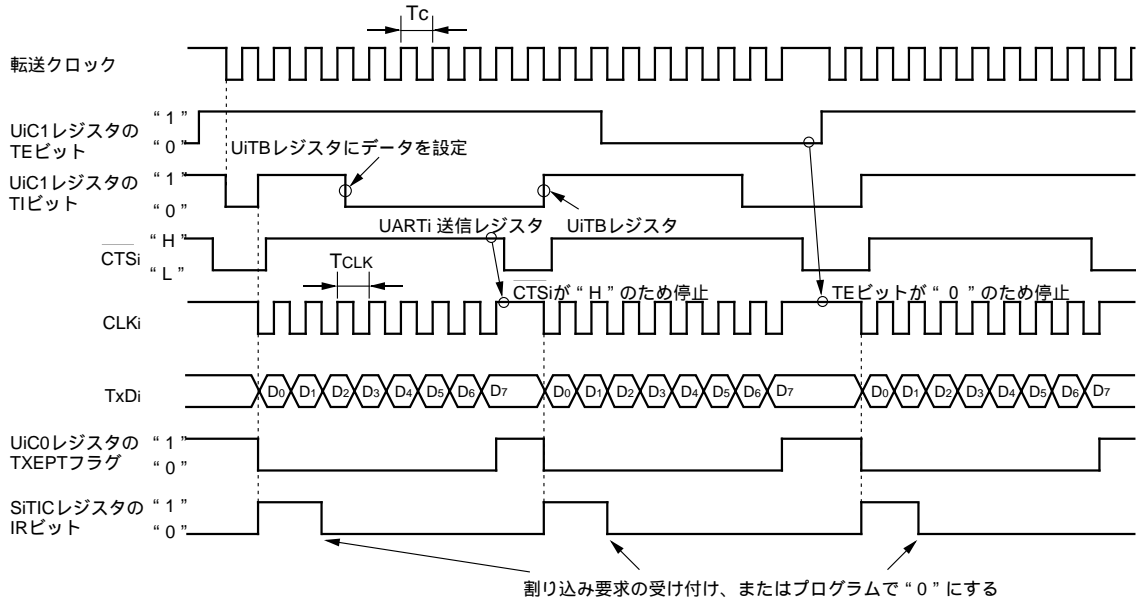
注1.出力はNチャンネルオープンドレイン出力

表17.5 クロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-	-
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
	RTS3出力	PS3_3=1	-	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
	RTS4出力	PS3_4=1	-	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力	PS3_5=1	-	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 0(内部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 0(CTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち下がりでの送信データ出力)
- ・ UIC1レジスタのUiIRSビット = 0(UiTBレジスタ空で割り込み要求発生)

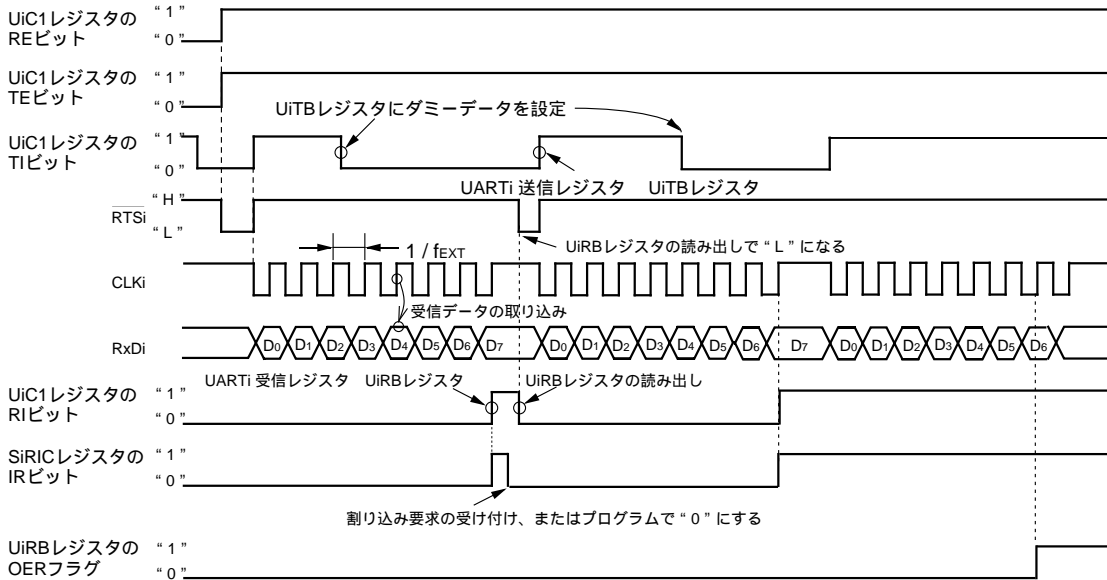
$$Tc = TCLK = 2(m+1) / fj$$

fj : UiBRGカウンタソースの周波数
(f1, f8, f2n^(注1))

m : UiBRGレジスタに設定した値
i = 0 ~ 4

注1. TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 1(外部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 1(RTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち上がりでの受信データ入力)

fEXT : 外部クロックの周波数

i = 0 ~ 4

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。

- ・ UIC1レジスタのTEビット = 1(送信許可)
- ・ UIC1レジスタのREビット = 1(受信許可)
- ・ UiTBレジスタへのダミーデータの書き込み

図17.10 クロック同期形シリアルI/Oモード時の送信、受信動作例

17.1.1 CLK極性選択

図17.11に示すように、UiC0レジスタ(i=0~4)のCKPOLビットで転送クロックの極性を選択できます。

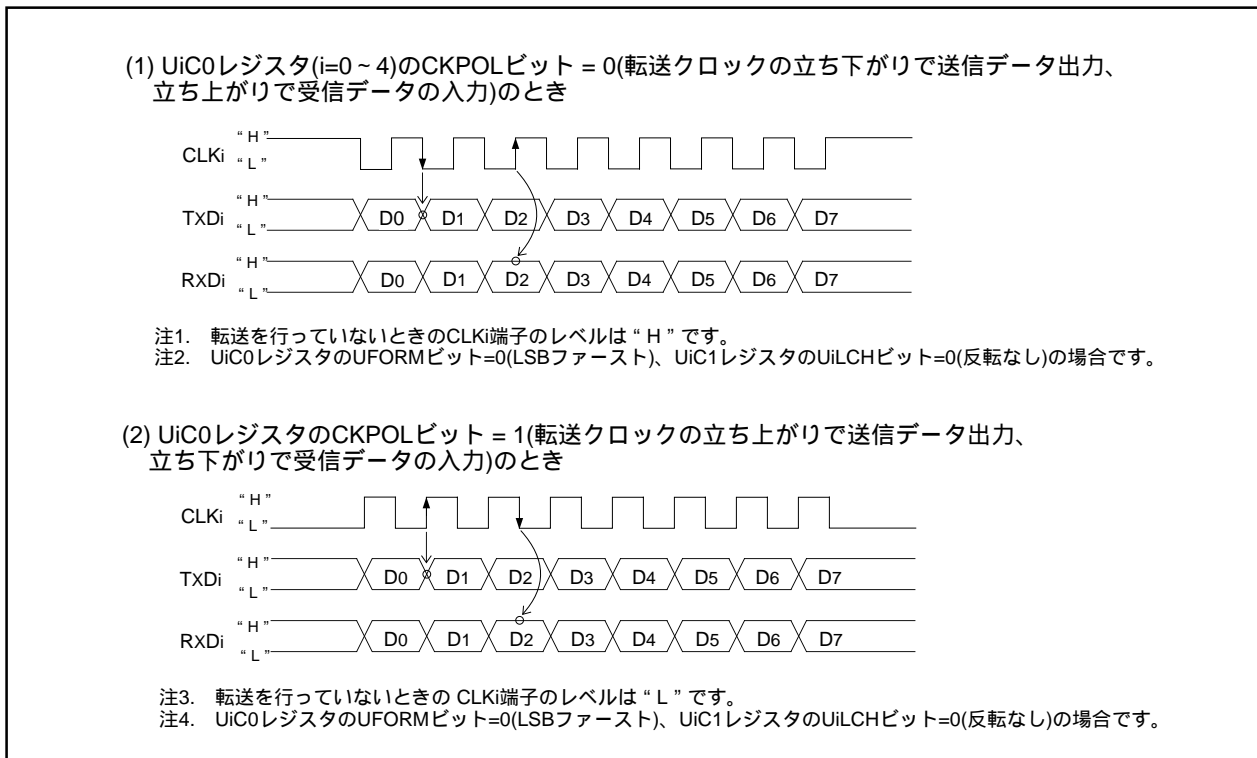


図17.11 転送クロックの極性

17.1.2 LSBファースト、MSBファースト選択

図17.12に示すように、UiC0レジスタ(i=0~4)のUFORMビットで転送フォーマットを選択できます。

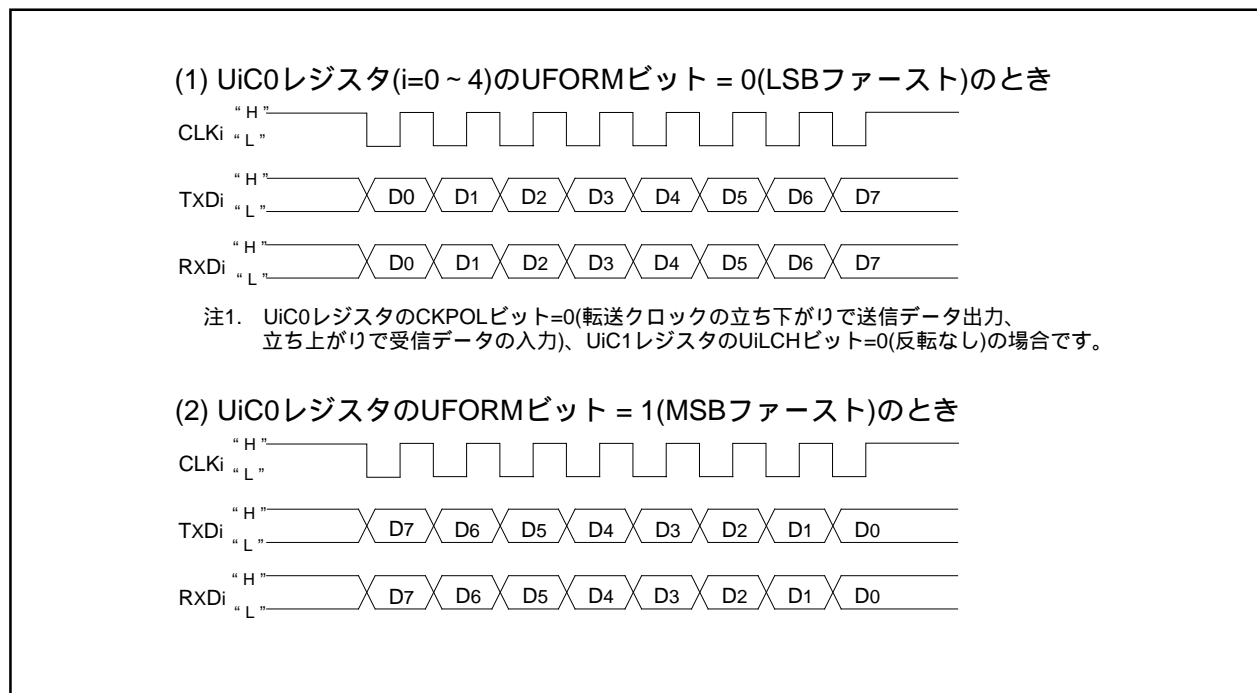


図17.12 転送フォーマット

17.1.3 連続受信モード

UiC1レジスタ(i=0~4)のUiRRMビットを“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTiビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”のときは、プログラムでUiTBレジスタにダミーデータを設定しないでください。

17.1.4 シリアルデータ論理切り替え

UiC1レジスタのUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.13にシリアルデータ論理切り替えの動作例を示します。

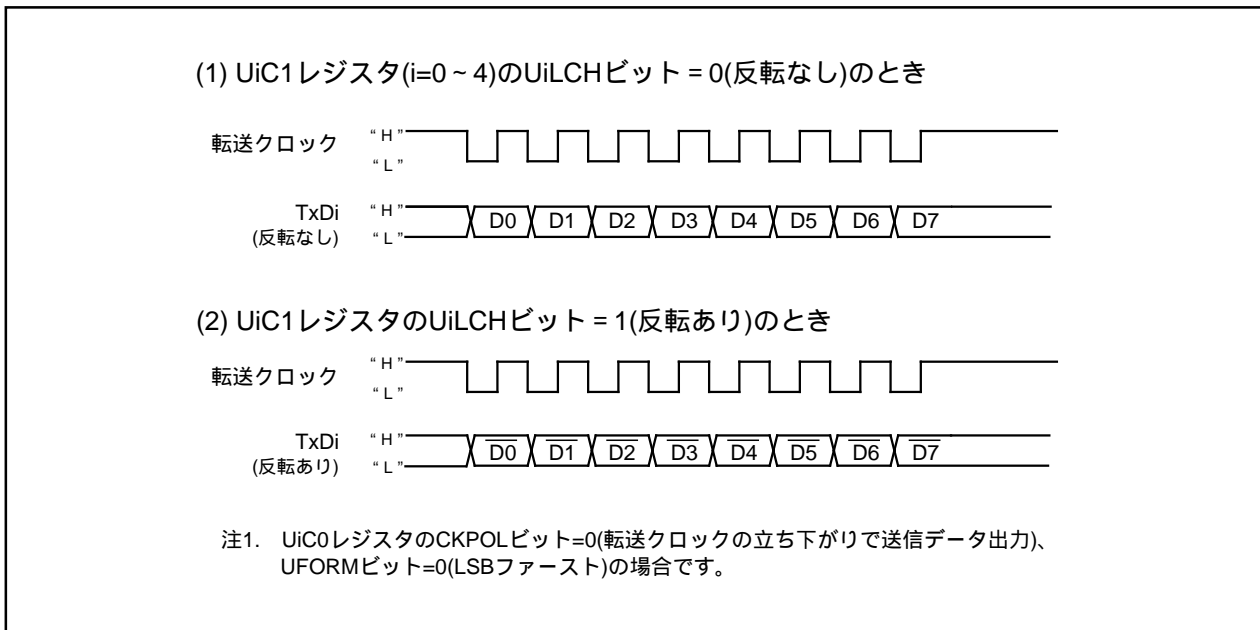


図17.13 シリアルデータ論理切り替えの動作例

17.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表17.6にUARTモードの仕様を示します。

表17.6 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 $f_j/16(m+1)$ $f_j=f_1, f_8, f_{2n}$(注1) $m: \text{UiBRGレジスタ設定値 } 0016 \sim FF16$ ・CKDIRビットが“1”(外部クロック選択)の場合 $f_{EXT}/16(m+1)$ $f_{EXT}: \text{CLKi端子入力クロック}$
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> ・UiC1レジスタのTEビットは“1”(送信許可) ・UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) ・CTS機能選択時、CTSi端子に“L”を入力
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> ・UiC1レジスタのREビットは“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注2) UiRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生(2ストップビット選択時は1ストップビット目) ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合SUMビットが“1”になる
選択機能	<ul style="list-style-type: none"> ・LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・シリアルデータ論理切り替え 送受信データの論理値を反転する機能。スタートビットとストップビットは反転しない ・TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表17.7に、使用レジスタと設定値を、表17.8～表17.10にUARTモード時の端子の設定を示します。なお、UART_i(*i*=0～4)の動作モード選択後、転送開始まではTxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図17.14にUARTモード時の送信動作例を、図17.15にUARTモード時の受信動作例を示します。

表17.7 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください(注1)
UiRB	0～8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“1002”にしてください
		転送データが8ビットの場合、“1012”にしてください
		転送データが9ビットの場合、“1102”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD、RxD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UART _i 送信割り込み要因を選択してください
	UiRRM	“0”にしてください
	UiLCH	転送データ長7ビットまたは8ビット時、データ論理反転をする、しないを選択できます。転送データ長9ビット時は“0”にしてください
	UiERE	“0”または“1”を選択してください
UiSMR	0～7	“00 ₁₆ ”にしてください
UiSMR2	0～7	“00 ₁₆ ”にしてください
UiSMR3	0～7	“00 ₁₆ ”にしてください
UiSMR4	0～7	“00 ₁₆ ”にしてください

注1．使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

表17.8 UARTモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表17.9 UARTモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 (注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71 (注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

注1.出力はNチャンネルオープンドレイン出力

表17.10 UARTモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
	RTS3出力	PS3_3=1	-	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
	RTS4出力	PS3_4=1	-	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

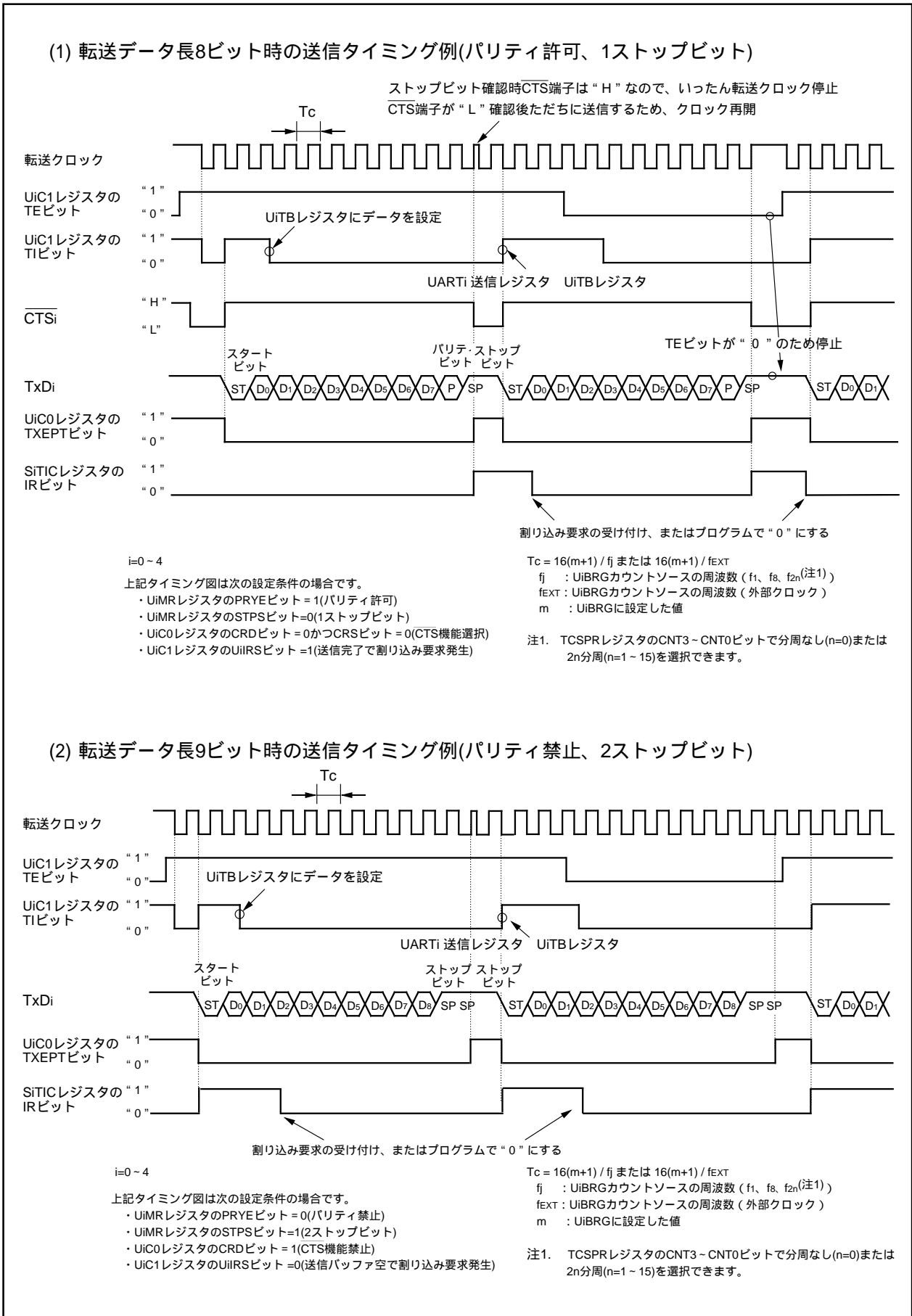


図17.14 UARTモード時の送信動作例

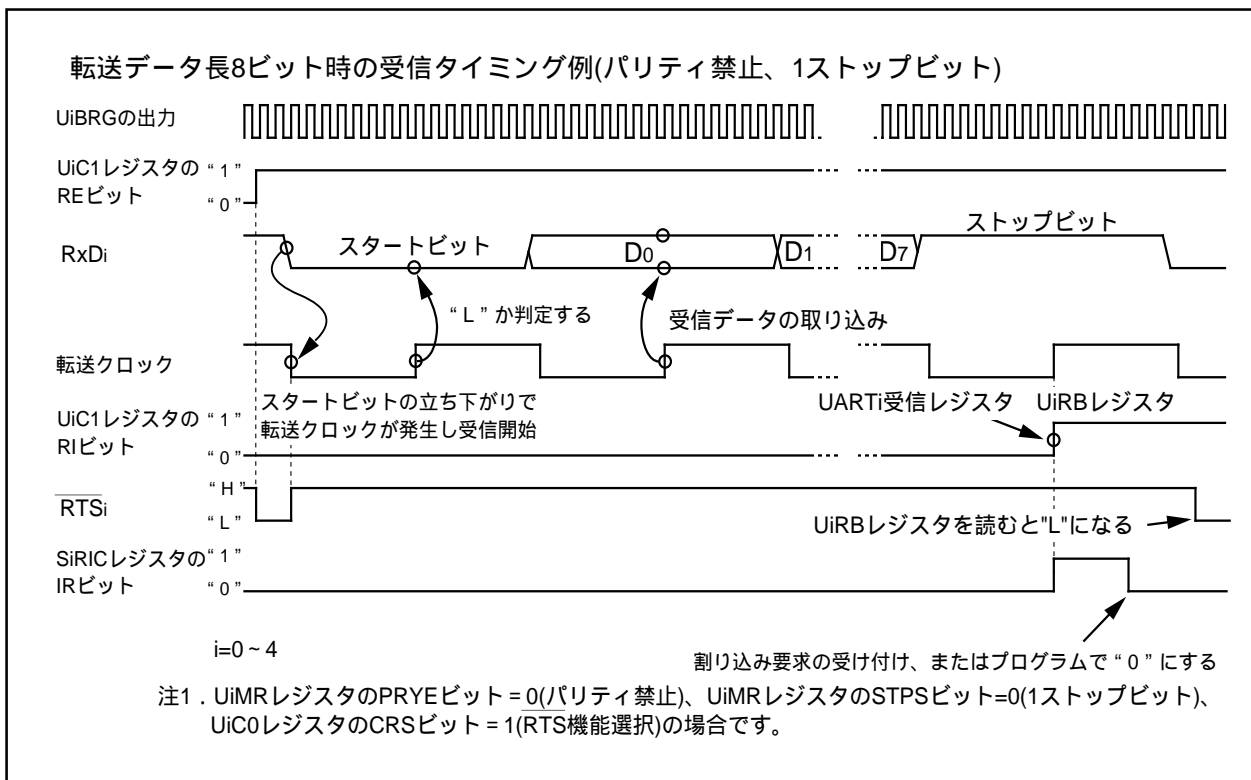


図17.15 UARTモード時の受信動作例

17.2.1 転送速度

UARTモードは、UiBRGレジスタ(i=0~4)で分周した周波数の16分周が転送速度になります。表17.11に転送速度の設定例を示します。

表17.11 転送速度

ビットレート (bps)	UiBRGのカウンソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)
1200	f8	103 (67h)	1202	155 (96h)	1202	207 (CFh)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404	103 (67h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808	51 (33h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615	207 (CFh)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423	138 (8Ah)	14388
19200	f1	51 (33h)	19231	77 (46h)	19231	103 (67h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846	68 (44h)	28986
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250	63 (3Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462	51 (33h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724	38 (26h)	51282

17.2.2 LSBファースト、MSBファースト選択

図17.16 に示すように、UiC0レジスタ(i=0~4)のUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

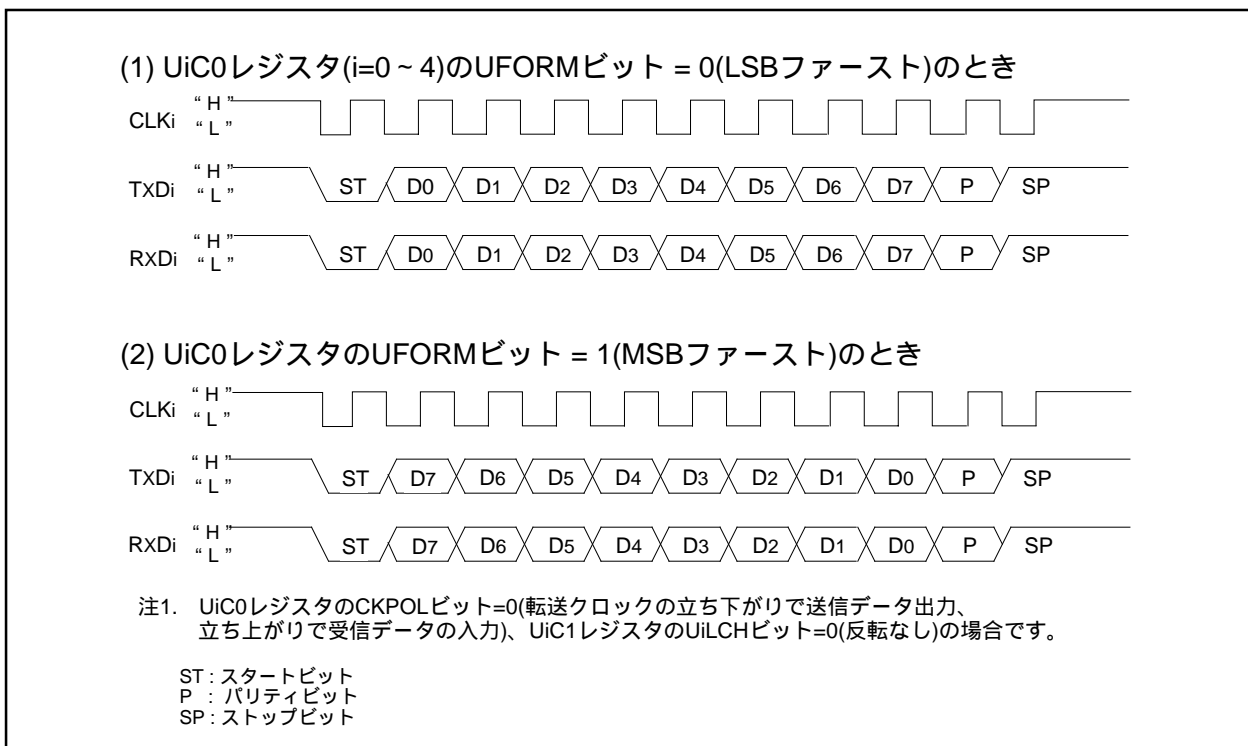


図17.16 転送フォーマット

17.2.3 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.17 にシリアルデータ論理切り替えの動作例を示します。

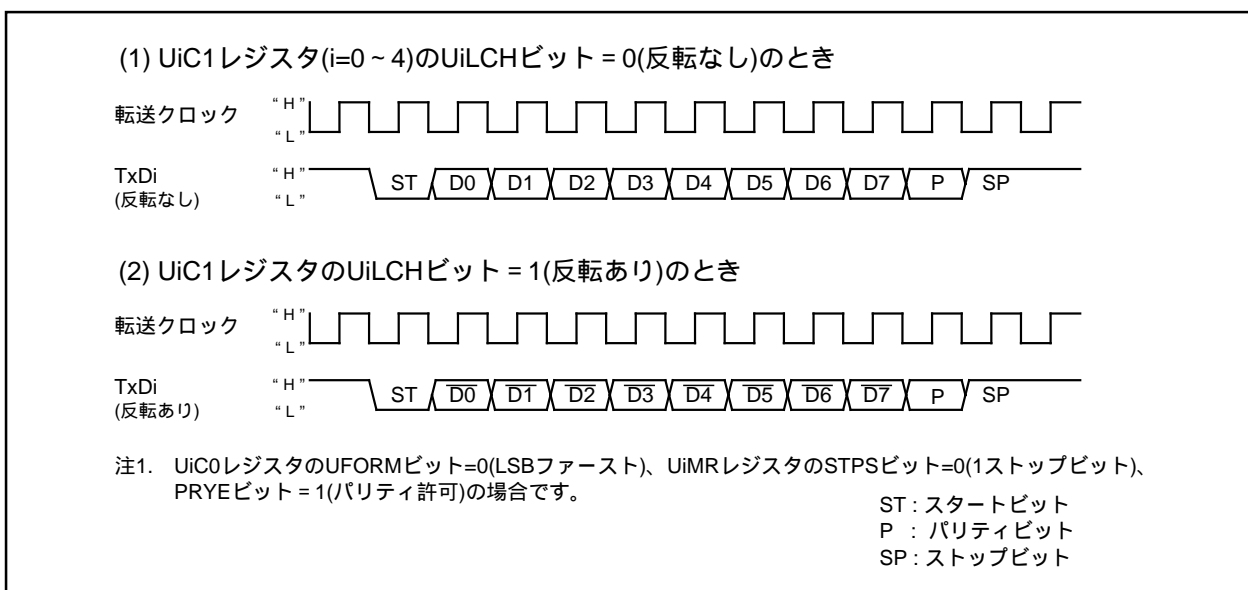


図17.17 シリアルデータ論理切り替え

17.2.4 TxD、RxD入出力極性切り替え

TxD端子出力とRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図17.18 にTxD、RxD入出力極性切り替えを示します。

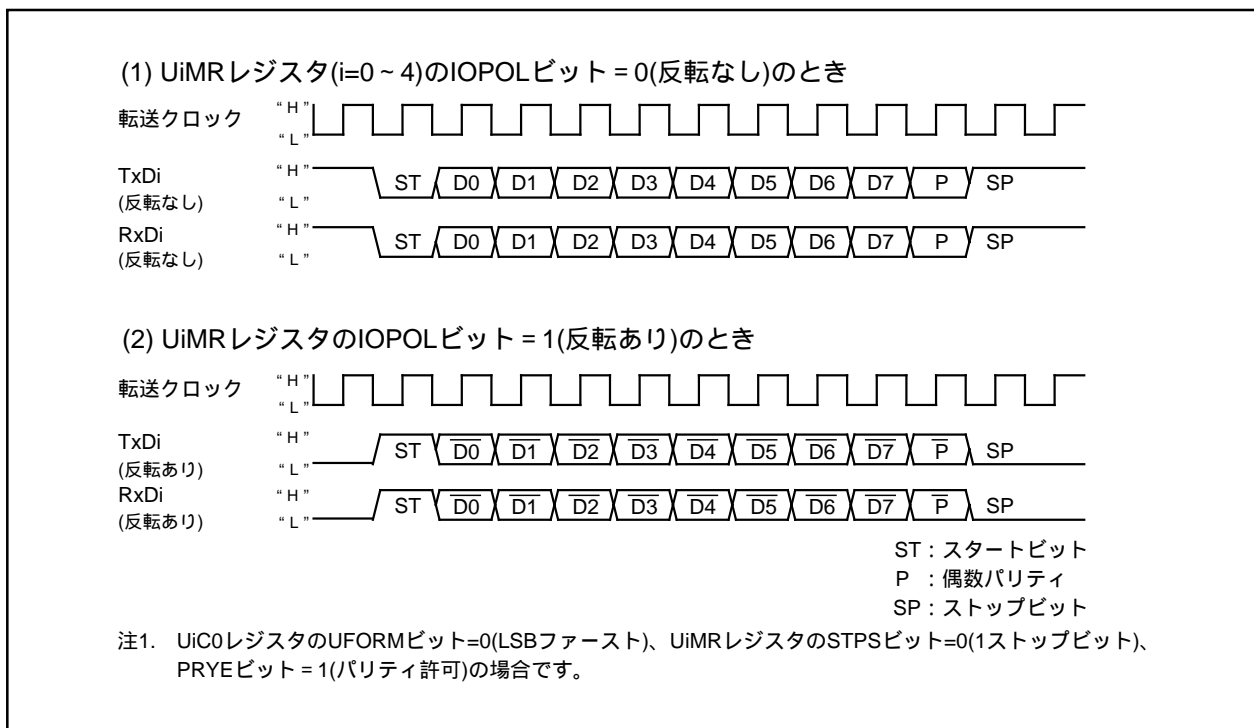


図17.18 TxD、RxD入出力極性切り替え

17.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表17.12にI²Cモードの仕様を、表17.13にI²Cモード時の使用レジスタと設定値を、表17.14にI²Cモード時の各機能を、図17.19にI²Cモード時のブロック図を、図17.20にUiRBレジスタ(i=0~4)への転送、割り込みのタイミングを、表17.15~表17.17にI²Cモード時の端子の設定を示します。

表17.14に示すように、UiMRレジスタのSMD2~SMD0ビットを“010₂”に、UiSMRレジスタのIICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表17.12 I²Cモードの仕様

項目	仕様
割り込み	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
選択機能	<ul style="list-style-type: none"> ・アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択。「17.3.3 アービトレーション」参照 ・SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択可。「17.3.5 SDA出力」参照 ・クロック位相設定 クロック遅れあり、なしを選択可。「17.3.4 転送クロック」参照

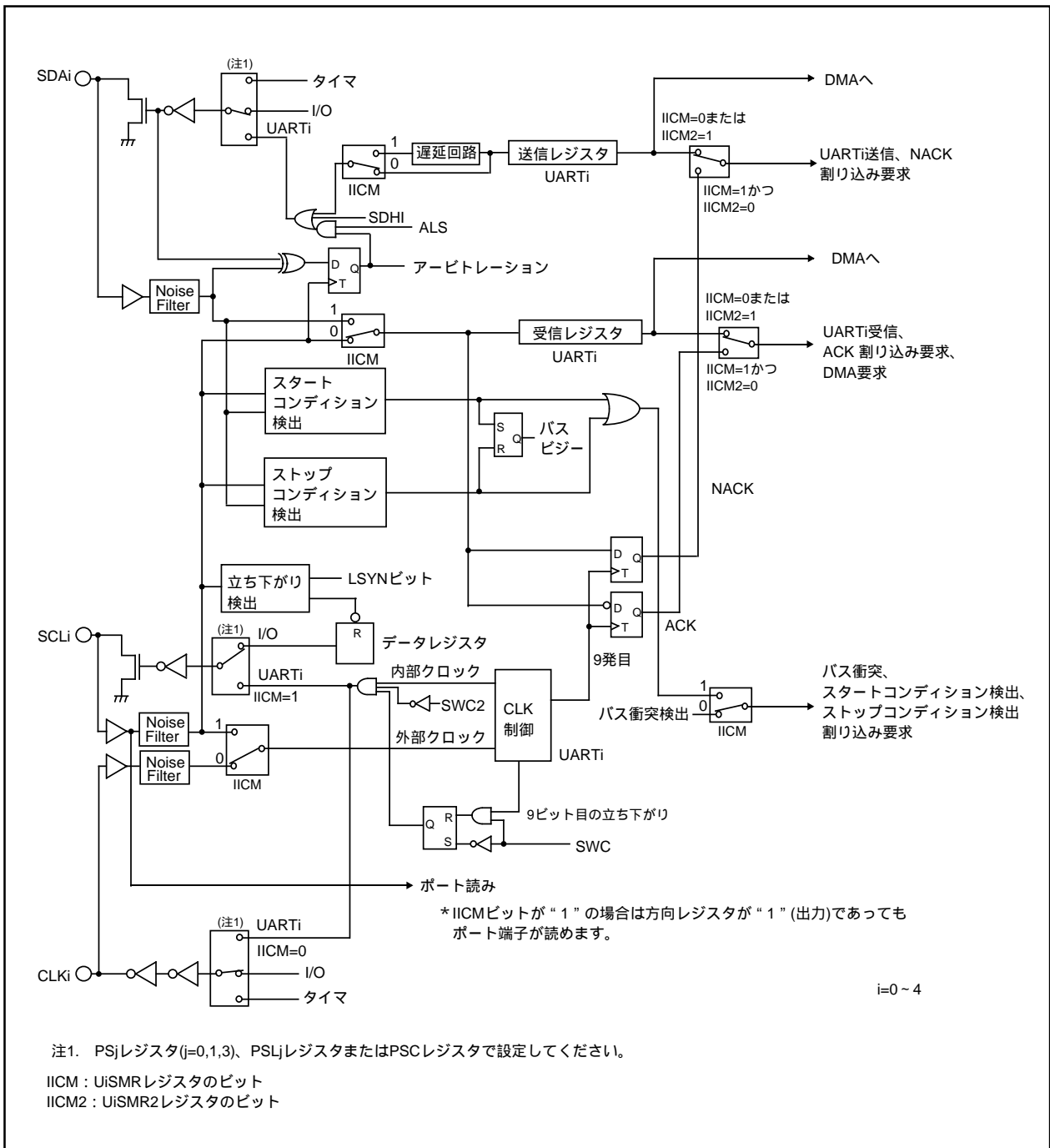


図17.19 I²Cモードのブロック図

表17.13 I²Cモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB	0~7	送信データを設定してください	
UiRB	0~7	受信データが読めます	
	8	ACK、NACKが入ります	
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	
UiBRG	0~7	転送速度を設定してください	無効
UiMR	SMD2~SMD0	"0102" にしてください	
	CKDIR	"0" にしてください	"1" にしてください
	IOPOL	"0" にしてください	
UiC0	CLK1~CLK0	UiBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	
	TXEPT	送信レジスタ空フラグ	
	CRD、NCH	"1" にしてください	
	CKPOL	"0" にしてください	
	UFORM	"1" にしてください	
	UiC1	TE	送信を許可する場合、"1" にしてください
TI		送信バッファ空フラグ	
RE		受信を許可する場合、"1" にしてください	
RI		受信完了フラグ	
UiRRM、UiLCH、UiERE		"0" にしてください	
UiSMR	IICM	"1" にしてください	
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	
	3~7	"000002" にしてください	
UiSMR2	IICM2	表17.14参照	
	CSC	クロック同期化を許可する場合、"1" にしてください	"0" にしてください
	SWC	クロックの9ビット目の立ち下がり でSCLiを"L"出力固定にする場合、"1" にしてください	
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合、"1" にしてください	使用しません。"0" にしてください
	STC	使用しません。"0" にしてください	スタートコンディション検出でUARTiを初期化する場合、"1" にしてください
	SWC2	SCLの出力を強制的に"L"にする場合、"1" にしてください	
	SDHI	SDA出力を禁止をする場合、"1" にしてください	
	SU1HIM	"0" にしてください	
	UiSMR3	SSE	"0" にしてください
CKPH		表17.14参照	
DINC、NODC、ERR		"0" にしてください	
DL2~DL0		SDAiのデジタル遅延値を設定してください	
UiSMR4	STAREQ	スタートコンディションを生成する場合、"1" にしてください	使用しません。"0" にしてください
	RSTAREQ	リスタートコンディションを生成する場合、"1" にしてください	
	STPREQ	ストップコンディションを生成する場合、"1" にしてください	
	STSPSEL	各コンディション出力時に"1" にしてください	
	ACKD	ACK、NACKを選択してください	
	ACKC	ACKデータを出力する場合、"1" にしてください	
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、"1" にしてください	使用しません。"0" にしてください
	SWC9	使用しません。"0" にしてください	クロックの9ビット目の立ち下がり でSCLiを"L"出力固定にする場合、"1" にしてください
IFSR	IFSR6、IFSR7	"1" にしてください	

i=0~4

表17.14 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=0012, IICM=0)	I ² Cモード(SMD2~SMD0=0102,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号39~41の要因(注1)(図17.20参照)	-	スタートコンディション検出、ストップコンディション検出(表17.18参照)			
割り込み番号17,19,33,35,37の要因(注1)(図17.20参照)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目の次のSCLiの立ち下がり	
割り込み番号18,20,34,36,38の要因(注1)(図17.20参照)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり	UARTi受信 9ビット目のSCLiの立ち下がり		
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり	9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり	
UARTi送信出力遅延	遅延なし	遅延あり			
P63, P67, P70, P92, P96 端子の機能	TxDi出力	SDAi入出力			
P62, P66, P71, P91, P97 端子の機能	RxDi入力	SCLi入出力			
P61, P65, P72, P90, P95 端子の機能	CLKi入力または出力選択	-(I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RxDi, SCLi端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxDi, SDAi出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	-	H	L	H	L
DMA要因(図17.20参照)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレジスタのビット7~0に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納 1~8ビット目をUiRBレジスタのビット7~0に格納(注3)	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す(注4)			

i=0~4

注1. 要因を切り替える場合、次の手順で行ってください。

1. 対応する割り込み番号の割り込みを禁止する
2. 要因を切り替える
3. 対応する割り込み番号のIRビットを“0”(割り込み要求なし)にする
4. 対応する割り込み番号のILVL2~ILVL0を設定する

注2. SDAi出力の初期値は、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目のSCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目のSCLi立ち下がり時)

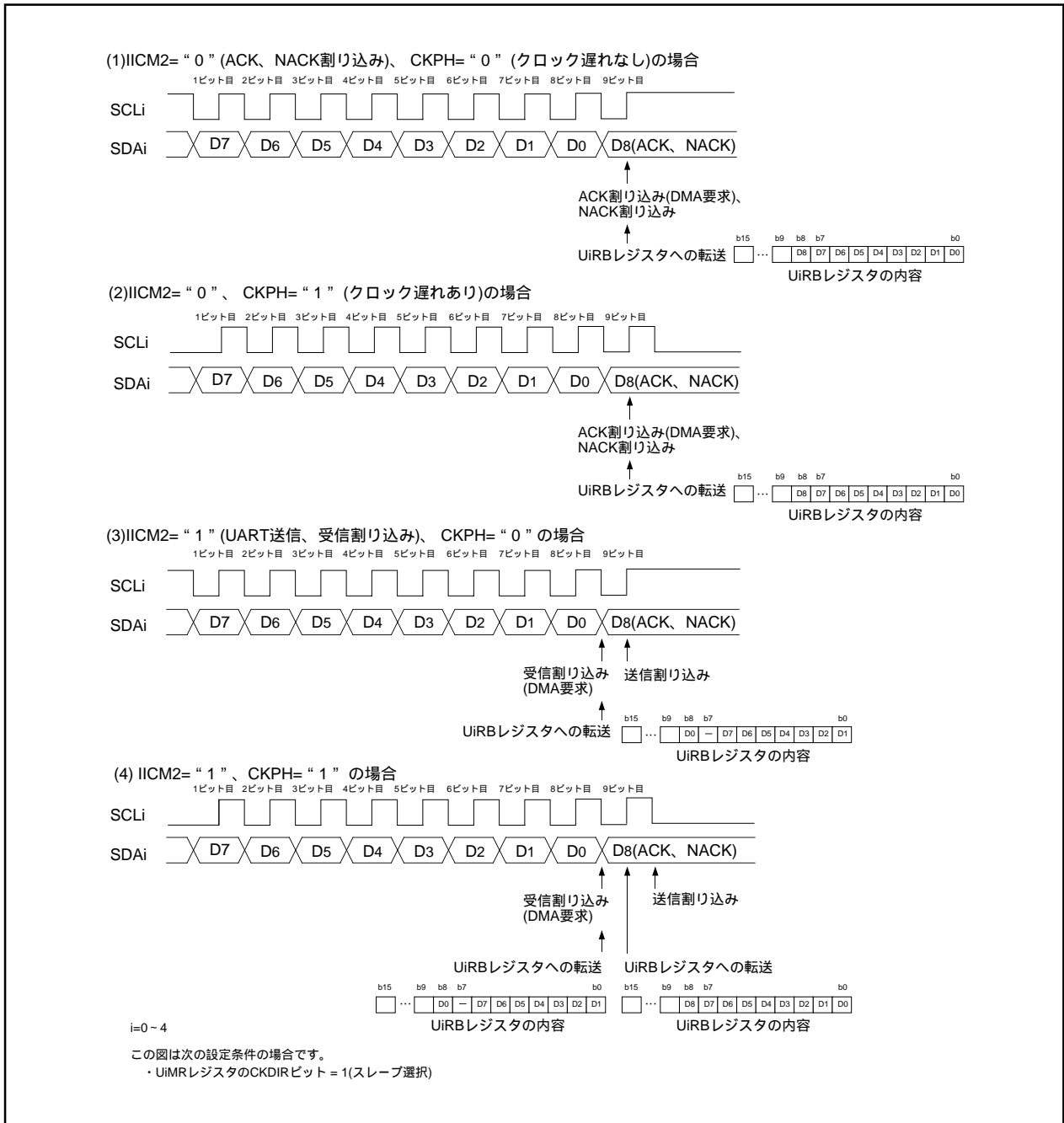


図17.20 UIRBレジスタへの転送、割り込みのタイミング

表17.15 I²Cモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P62	SCL0出力	PS0_2=1	PSL0_2=0	-
	SCL0入力	PS0_2=0	-	PD6_2=0
P63	SDA0出力	PS0_3=1	-	-
	SDA0入力	PS0_3=0	-	PD6_3=0
P66	SCL1出力	PS0_6=1	PSL0_6=0	-
	SCL1入力	PS0_6=0	-	PD6_6=0
P67	SDA1出力	PS0_7=1	-	-
	SDA1入力	PS0_7=0	-	PD6_7=0

表17.16 I²Cモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	SDA2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SDA2入力	PS1_0=0	-	-	PD7_0=0
P71 ^(注1)	SCL2出力	PS1_1=1	PSL1_1=0	PSC_1=0	-
	SCL2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表17.17 I²Cモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ ^(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ ^(注1)
P91	SCL3出力	PS3_1=1	PSL3_1=0	-	-
	SCL3入力	PS3_1=0	-	-	PD9_1=0
P92	SDA3出力	PS3_2=1	PSL3_2=0	-	-
	SDA3入力	PS3_2=0	-	-	PD9_2=0
P96	SDA4出力	PS3_6=1	-	PSC3_6=0	-
	SDA4入力	PS3_6=0	-	-	PD9_6=0
P97	SCL4出力	PS3_7=1	PSL3_7=0	-	-
	SCL4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

17.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL_i端子(i=0~4)が“H”の状態でもSDA_i端子が“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL_i端子が“H”の状態でもSDA_i端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用しています。どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

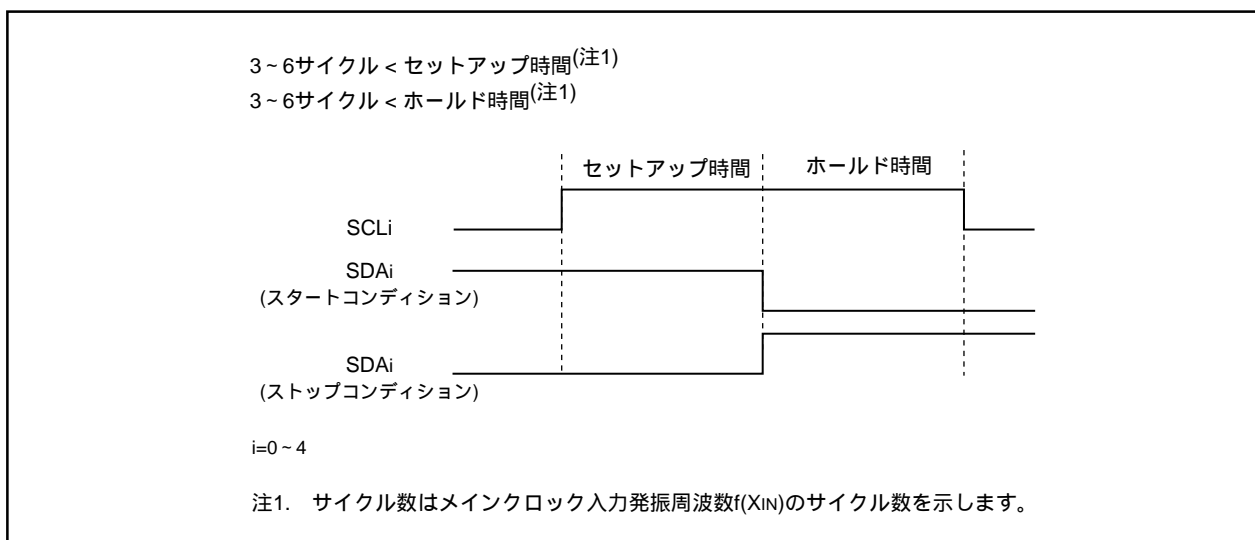


図17.21 スタートコンディション、ストップコンディションの検出

17.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタの(i=0~4)STAREQビットを“1”(スタート)にするとスタートコンディションを生成します。UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

STAREQビットを“1”にしてUiSMR4レジスタのSTSPSELビットを“1”(スタート、ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”にしてSTSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”にしてSTSPSELビットを“1”にするとストップコンディションを出力します。

スタートコンディション、ストップコンディション、リスタートコンディションを出力する場合は、STAREQビット、STPREQビットまたはRSTAREQビットを“1”にする命令と、STSPSELビットを“1”にする命令の間に割り込みが発生しないようにしてください。

また、スタートコンディションを出力する場合は、STAREQビットを“1”にした後、STSPSELビットを“1”にしてください。

表17.18と図17.22にSTSPSELビットの機能を示します。

表17.18 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
スタートコンディション、ストップコンディションの出力	ポートを使ったプログラムで実現(ハードウェアによる自動発生はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

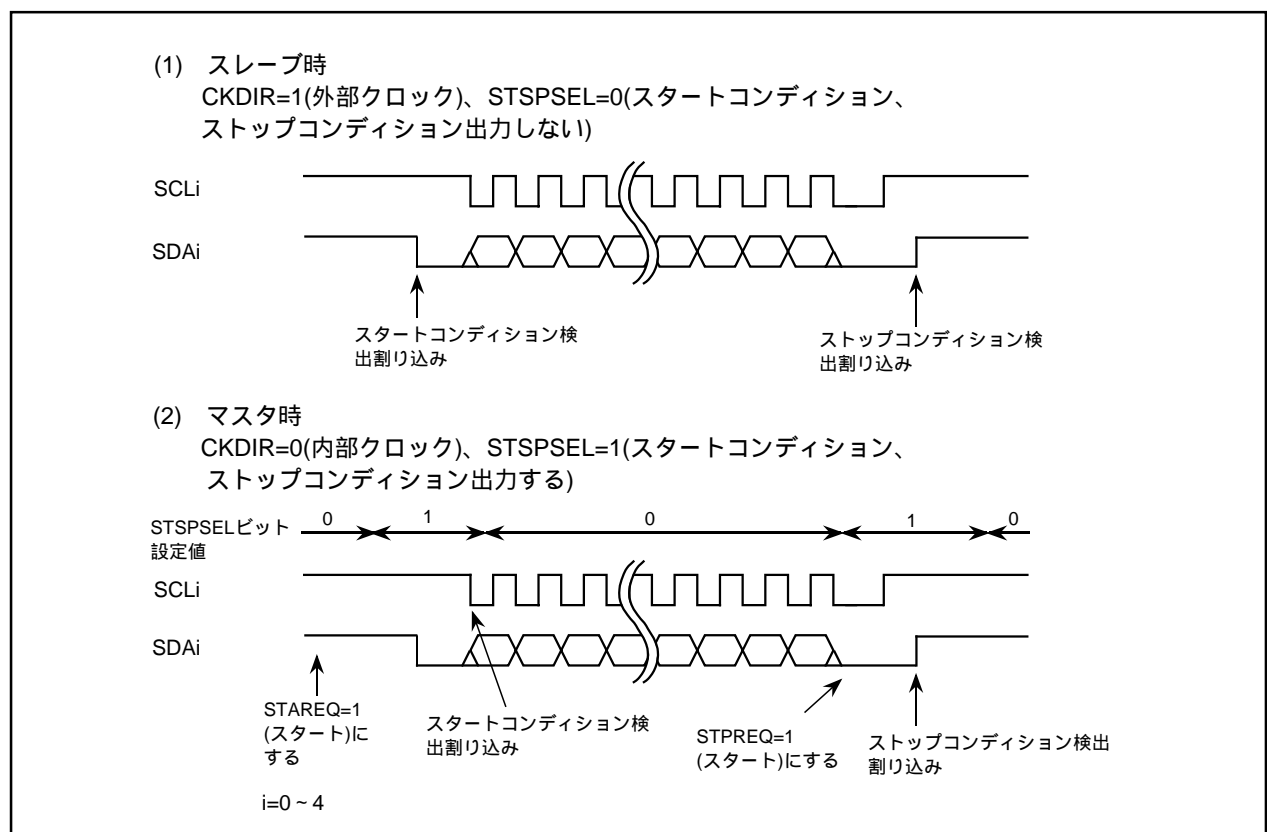


図17.22 STSPSELビットの機能

17.3.3 アービトレーション

UiSMRレジスタ(i=0~4)のABCビットでUiRBレジスタ(i=0~4)のABTビットの更新タイミングを選択します。SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”(バイトごとに更新)にすると、判定時に一度でも不一致が検出された場合、転送クロックの9サイクル目の立ち下がりでABTビットが“1”(検出(負))になります。バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出(勝))にし、次の1バイトの転送を開始してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”になると、同時にSDAi端子がハイインピーダンス状態になります。

17.3.4 転送クロック

図17.20に示すような転送クロックで送受信を行います。

UiSMR2レジスタ(i=0~4)のCSCビットは、内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。転送クロックは、内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまで、同期化されます。CSCビットが“1”の間、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットにより、転送クロックの9サイクル目の立ち下がりでSCLi端子が“L”出力固定になるか、“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”(クロックの遅れあり)のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

17.3.5 SDA出力

UiTBレジスタ(i=0~4)のビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICMビットが“1”(I²Cモード)、UiMRレジスタのSMD2~SMD0が“0002”(シリアルI/Oは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

17.3.6 SDA入力

UiSMR2レジスタ(i=0~4)のIICM2ビットが“0”の場合、受信したデータの1~8ビット目をUiRBレジスタのビット7~0(D7~D0)に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目の転送クロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

17.3.7 ACK、NACK

UiSMR4レジスタ(i=0~4)のSTSPSELビットが“0”(シリアルI/O回路選択)の状態、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

17.3.8 送受信初期化

UiSMR2レジスタ(i=0~4)のSTCビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力された転送クロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値が保持されます。
- 受信シフトレジスタは初期化され、次に入力された転送クロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウエイト出力許可)になります。これにより、転送クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

この機能を使用しUARTiの送受信を開始した場合、Uic1レジスタのTIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

17.4 特殊モード2

1つまたは複数のマスタから、複数のスレーブへシリアル通信できます。 $\overline{SSi}(i=0\sim 4)$ 入力端子を用いて、シリアルバスの通信を制御します。表17.19に特殊モード2の仕様を、表17.20に特殊モード2時の使用レジスタと設定値を、表17.21～表17.23に特殊モード2時の端子の設定を示します。

表17.19 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ($i=0\sim 4$)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(m+1)$ $f_j=f_1, f_8, f_{2n}$(注1) m : UiBRGレジスタ設定値 0016～FF16 • CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	SS機能
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生 <ul style="list-style-type: none"> • 障害エラー マスタモード時、 \overline{SSi} 端子に“L”が入力されたときに発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの理論値を反転する機能 • TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転する • クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可 • \overline{SSi}入力端子機能 マスタが他のマスタやスレーブとデータが衝突しないように出力端子をハイインピーダンス状態にする

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または $2n$ 分周($n=1\sim 15$)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合は外部クロックが“H”の状態、CKPOLビットが“1”の場合は外部クロックが“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表17.20 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1 なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを許可する場合、“1” にしてください
	UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	SSE	“1” にしてください
	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1” にしてください
	NODC	“0” にしてください
	ERR	障害エラーフラグ
	5~7	“0002” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表17.21 特殊モード2時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	SS0入力	PS0_0=0	-	PD6_0=0
P61	CLK0入力(スレーブ)	PS0_1=0	-	PD6_1=0
	CLK0出力(マスタ)	PS0_1=1	-	-
P62	RxD0入力(マスタ)	PS0_2=0	-	PD6_2=0
	STxD0出力(スレーブ)	PS0_2=1	PSL0_2=1	-
P63	TxD0出力(マスタ)	PS0_3=1	-	-
	SRxD0入力(スレーブ)	PS0_3=0	-	PD6_3=0
P64	SS1入力	PS0_4=0	-	PD6_4=0
P65	CLK1入力(スレーブ)	PS0_5=0	-	PD6_5=0
	CLK1出力(マスタ)	PS0_5=1	-	-
P66	RxD1入力(マスタ)	PS0_6=0	-	PD6_6=0
	STxD1出力(スレーブ)	PS0_6=1	PSL0_6=1	-
P67	TxD1出力(マスタ)	PS0_7=1	-	-
	SRxD1入力(スレーブ)	PS0_7=0	-	PD6_7=0

表17.22 特殊モード2時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力(マスタ)	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SRxD2入力(スレーブ)	PS1_0=0	-	-	PD7_0=0
P71(注1)	RxD2入力(マスタ)	PS1_1=0	-	-	PD7_1=0
	STxD2出力(スレーブ)	PS1_1=1	PSL1_1=1	PSC_1=0	-
P72	CLK2入力(スレーブ)	PS1_2=0	-	-	PD7_2=0
	CLK2出力(マスタ)	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	SS2入力	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

表17.23 特殊モード2時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力(スレーブ)	PS3_0=0	-	-	PD9_0=0
	CLK3出力(マスタ)	PS3_0=1	-	-	-
P91	RxD3入力(マスタ)	PS3_1=0	-	-	PD9_1=0
	STxD3出力(スレーブ)	PS3_1=1	PSL3_1=1	-	-
P92	TxD3出力(マスタ)	PS3_2=1	PSL3_2=0	-	-
	SRxD3入力(スレーブ)	PS3_2=0	-	-	PD9_2=0
P93	SS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
P94	SS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
P95	CLK4入力(スレーブ)	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力(マスタ)	PS3_5=1	-	-	-
P96	TxD4出力(マスタ)	PS3_6=1	-	PSC3_6=0	-
	SRxD4入力(スレーブ)	PS3_6=0	PSL3_6=0	-	PD9_6=0
P97	RxD4入力(マスタ)	PS3_7=0	-	-	PD9_7=0
	STxD4出力(スレーブ)	PS3_7=1	PSL3_7=1	-	-

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

17.4.1 $\overline{\text{SSi}}$ 入力端子機能(i=0~4)

UiSMR3レジスタのSSEビットを“1”(SS機能許可)にすると特殊モード2が選択され、端子機能が許可されます。

UiSMR3レジスタのDINCビットでマスタか、スレーブかを選択できます。複数のマイクロコンピュータをマスタにした場合(マルチマスタシステム)、 $\overline{\text{SSi}}$ 端子の状態でその時々マスタが決まります。

17.4.1.1 DINCビットが“1”(スレーブモード)の場合

$\overline{\text{SSi}}$ 端子の入力信号が“H”の場合、STxDi端子とSRxDi端子はハイインピーダンスになり、クロックの入力は無視されます。 $\overline{\text{SSi}}$ 端子の入力信号が“L”の場合、クロックの入力が有効となり、シリアル通信が可能になります。

17.4.1.2 DINCビットが“0”(マスタモード)の場合

マスタモードでSSi端子機能を使用する場合、UiC1レジスタのUiIRSビットを“1”(送信完了)にしてください。

$\overline{\text{SSi}}$ 端子の入力信号が“H”の場合、送信権がありますのでシリアル通信ができます。マスタは転送クロックを出力します。 $\overline{\text{SSi}}$ 端子の入力信号が“L”の場合、別にマスタが存在していることを示します。TxDi端子とCLKi端子はハイインピーダンスになり、UiSMR3レジスタのERRビットが“1”(障害エラーあり)になります。通信完了割り込みルーチン内でERRビットを判定してください。

障害エラー発生後、シリアル通信を再開する場合、 $\overline{\text{SSi}}$ 端子の入力信号が“H”の状態ERRビットに“0”を書いてください。TxDi端子とCLKi端子は出力状態になります。

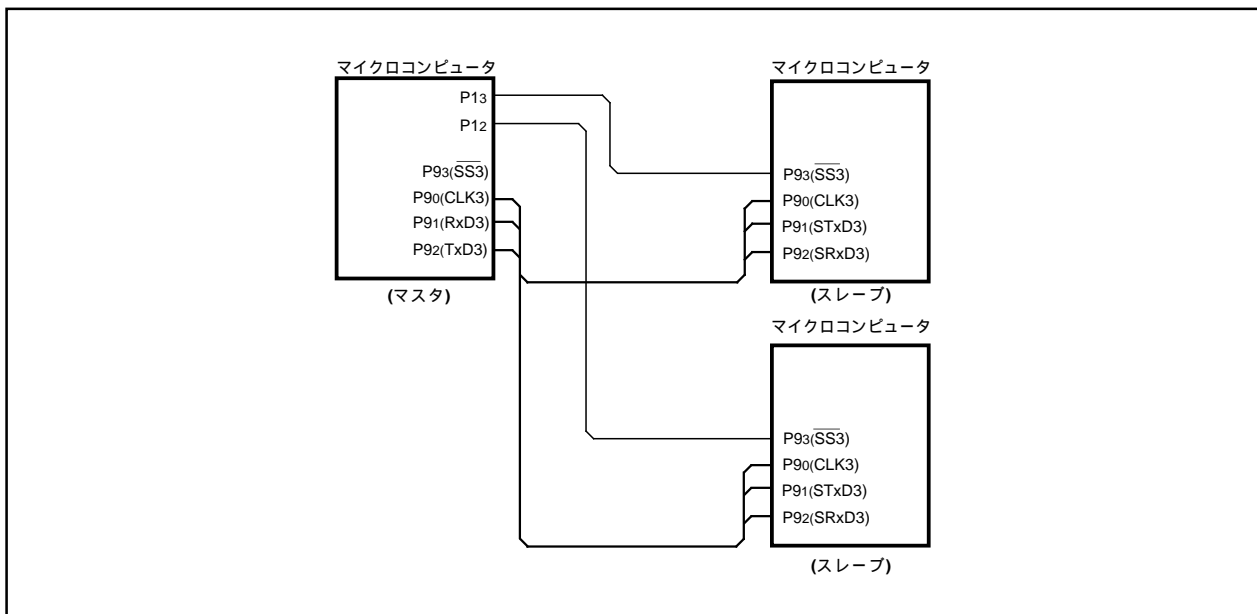


図17.23 SS端子を用いたシリアルバスの通信制御例

17.4.2 クロック位相設定機能

UiSMR3レジスタ(i=0~4)のCKPHビットと、Uic0レジスタのCKPOLビットによって転送クロックの極性と相の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

17.4.2.1 DINCビットが“0”(マスタ(内部クロック))の場合

図17.24に送受信のタイミングを示します。

17.4.2.2 DINCビットが“1”(スレーブ(外部クロック))の場合

CKPHビットが“0”(クロック遅れなし)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 入力端子が“L”になるとシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図17.25にタイミングを示します。

CKPHビットが“1”(クロック遅れあり)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 端子が“L”になると最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図17.26にタイミングを示します。

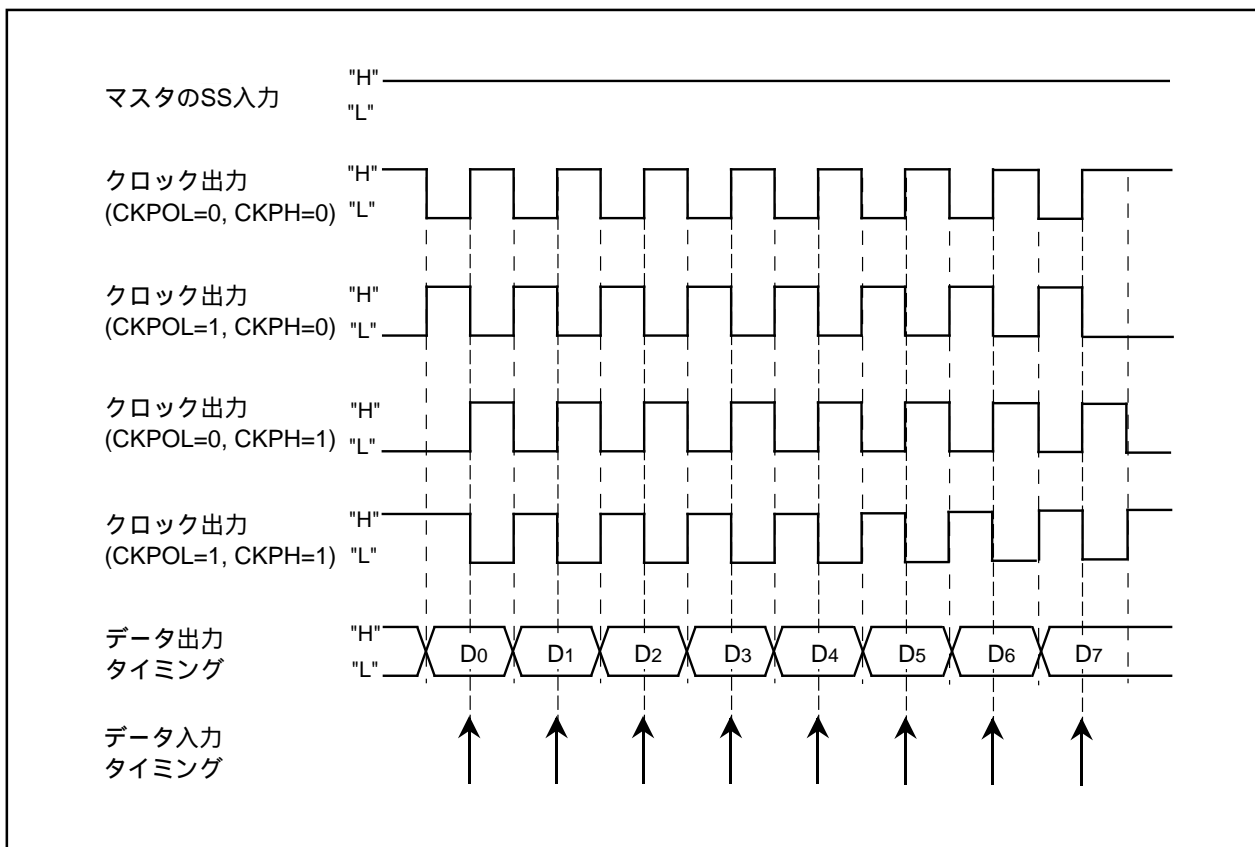


図17.24 マスタ(内部クロック)の場合の送受信のタイミング

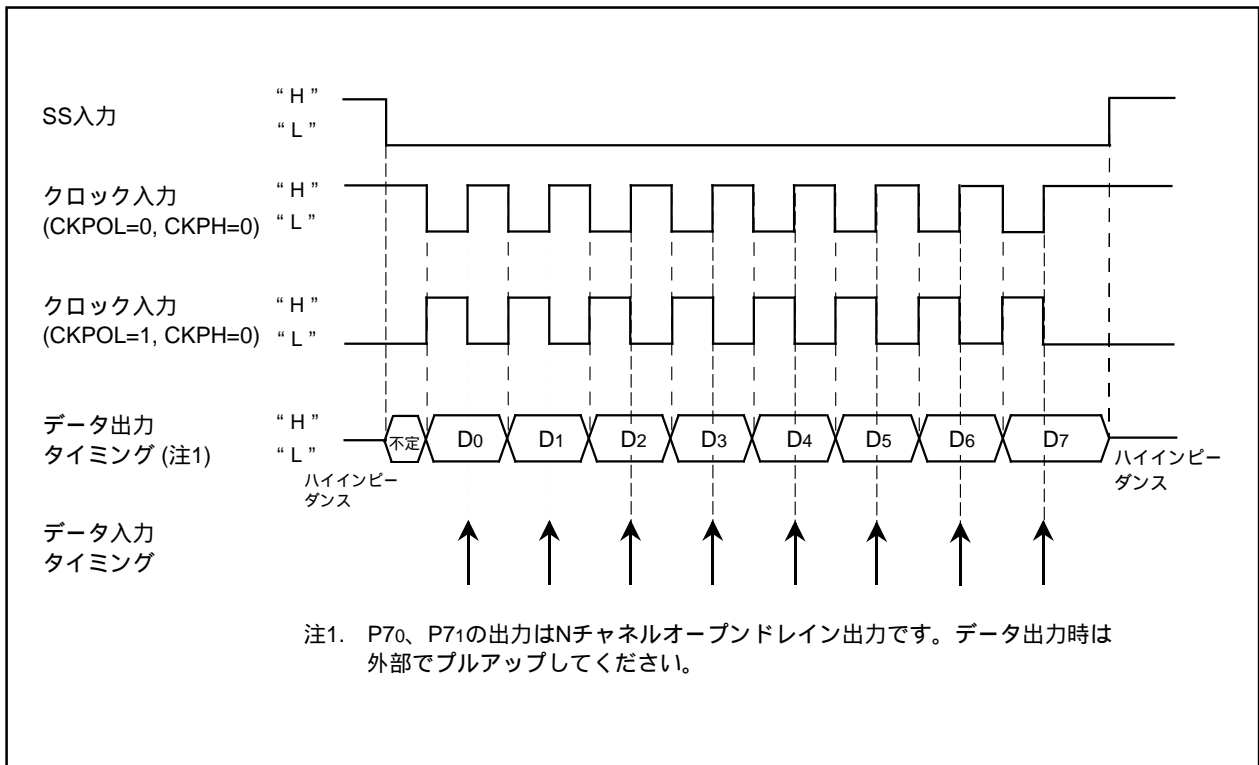


図17.25 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

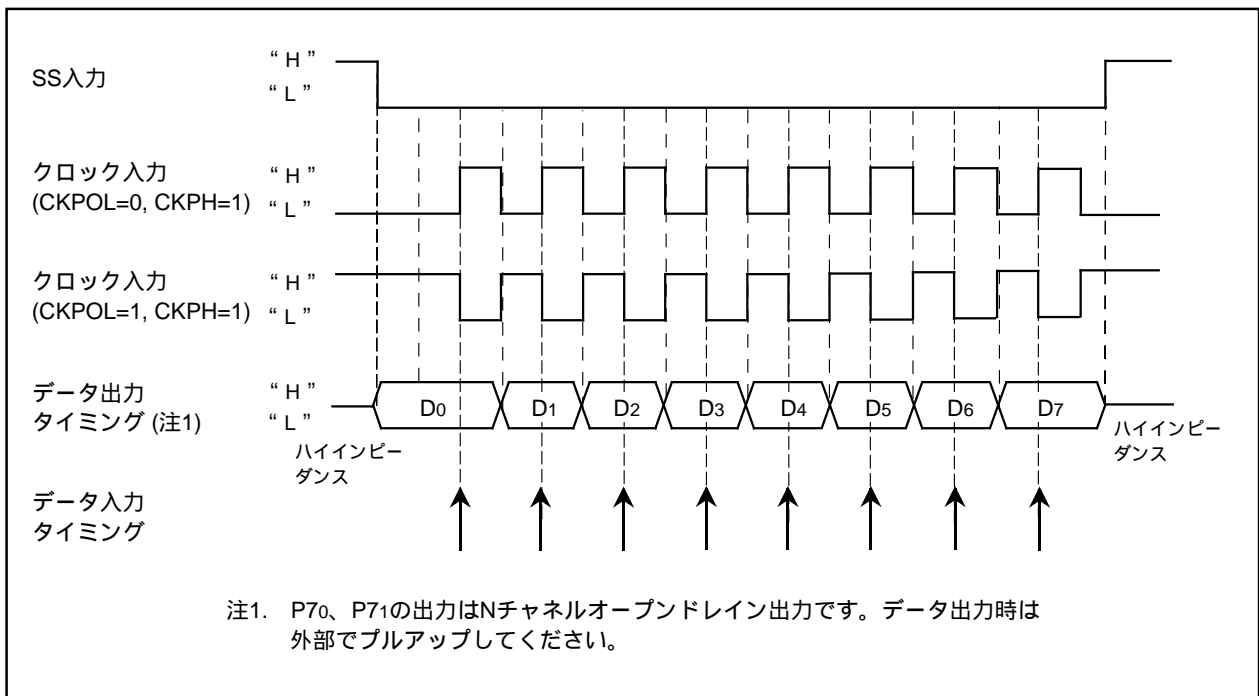


図17.26 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

17.5 特殊モード3(GCIモード)

クロック同期形シリアルI/Oの転送クロックを、外部クロックに同期化します。

表17.24にGCIモードの仕様を、表17.25にGCIモード時の使用レジスタと設定値を、表17.26～表17.28にGCIモード時の端子の設定を示します。

表17.24 GCIモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~4)のCKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
クロック同期化機能	CTSi端子からトリガ信号入力
送受信開始条件	次の条件を満たした後、CTSi端子にトリガが入力されると送受信を開始します <ul style="list-style-type: none"> ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのREビットが“1”(受信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・ UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空)の場合、UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了)の場合、UARTi送信レジスタからデータ送信完了時受信時 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー ^(注1) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表17.25 GCIモード時(クロック分周同期化機能使用時)の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データ
	OER	オーバランエラーフラグ
UiBRG	0~7	“0016” にしてください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	“1” にしてください
	IOPOL	“0” にしてください
Uic0	CLK1~CLK0	“002” にしてください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
Uic1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM、UiLCH	“0” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~6	“00000002” にしてください
	SCLKDIV	表17.29参照
UiSMR2	0~6	“00000002” にしてください
	SU1HIM	表17.29参照
UiSMR3	0~2	“0002” にしてください
	NODC	“0” にしてください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表17.26 GCIモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P60	CTS0入力 ^(注1)	PS0_0=0	PD6_0=0
P61	CLK0入力	PS0_1=0	PD6_1=0
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P64	CTS1入力 ^(注1)	PS0_4=0	PD6_4=0
P65	CLK1入力	PS0_5=0	PD6_5=0
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

注1. CTS入力は、トリガ入力に使用。

表17.27 GCIモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71 ^(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力 ^(注2)	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

注2. CTS入力は、トリガ入力に使用。

表17.28 GCIモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ ^(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ ^(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力 ^(注2)	PS3_3=0	PSL3_3=0	-	PD9_3=0
P94	CTS4入力 ^(注2)	PS3_4=0	PSL3_4=0	-	PD9_4=0
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

注2. CTS入力は、トリガ入力に使用。

UiSMR2レジスタ(i=0~4)のSU1HIMビットと、UiSMRレジスタのSCLKDIVビットに表17.29に示す値を設定し、CTSi端子にトリガ信号を入力すると、外部クロックに同期した内部クロックが生成されます。転送クロックは、外部クロックと同周期にするか、外部クロックを2分周した周期にするか選択できます。また、UiC1レジスタのSCLKSTPBビットで、外部クロック動作中に転送クロックを停止または開始することができます。図17.27にクロック分周同期化機能の使用例を示します。

表17.29 クロック分周同期化機能選択

UiSMRレジスタ(i=0~4)のSCLKDIVビット	UiSMR2レジスタのSU1HIMビット	クロック同期化機能選択	波形例
0	0	同期化しない	-
0	1	外部クロックと同周期	図17.27のA
1	0または1	外部クロックを2分周した周期	図17.27のB

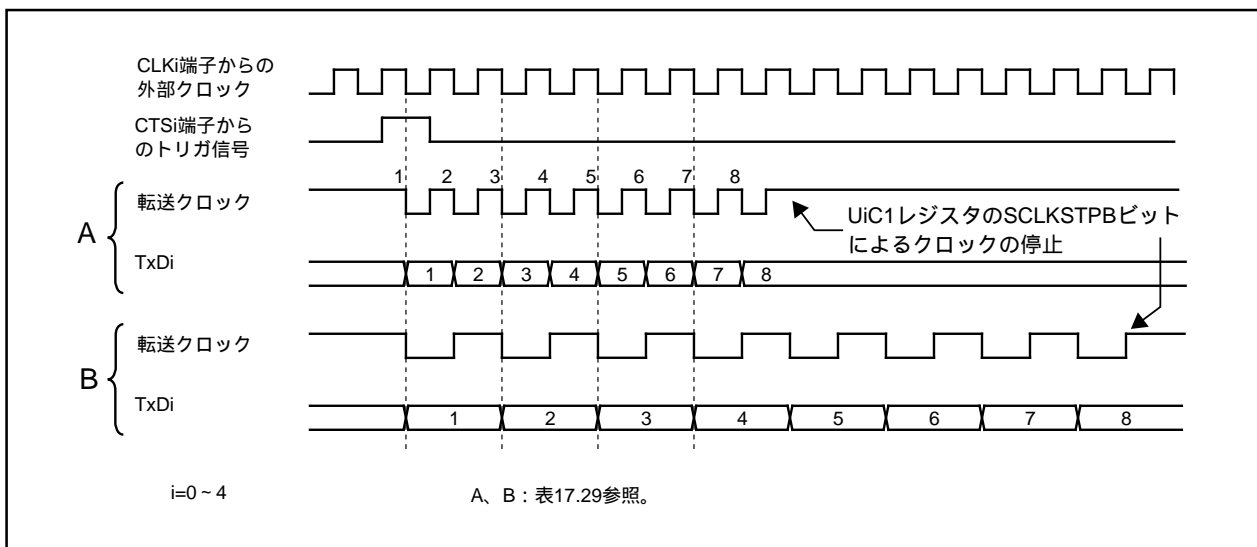


図17.27 クロック分周同期化機能の使用例

17.6 特殊モード4(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表17.30にIEモード時の使用レジスタと設定値を、表17.31～表17.33にIEモード時の端子の設定を示します。

表17.30 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください
UiRB	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	“1102” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
UiC0	CLK1～CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM、UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0～3	“00002” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
	SCLKDIV	“0” にしてください
UiSMR2	0～7	“0016” にしてください
UiSMR3	0～7	“0016” にしてください
UiSMR4	0～7	“0016” にしてください
IFSR	IFSR6、IFSR7	バス衝突割り込みの要因を選択してください

i=0～4

表17.31 IEモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P61	CLK0入力	PS0_1=0	PD6_1=0
	CLK0出力	PS0_1=1	-
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P65	CLK1入力	PS0_5=0	PD6_5=0
	CLK1出力	PS0_5=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表17.32 IEモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-

注1. 出力はNチャンネルオープンドレイン出力

表17.33 IEモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-	-
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力	PS3_5=1	-	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

TxDi端子(i=0~4)の出力レベルとRxDi端子の入力レベルが異なる場合、割り込み要求が発生します。

UART0とUART3はソフトウェア割り込み番号40に、UART1とUART4は41に割り当てられています。UART0またはUART3、UART1またはUART4のバス衝突検出機能を使用する場合は、IFSRレジスタのIFSR6ビットとIFSR7ビットで選択してください。

UiSMRレジスタのABSCSビットが“0”(転送クロックの立ち上がり)の場合、転送クロックの立ち上がりに同期してTxD出力レベルとRxD入力レベルの不一致を検出します。ABSCSビットが“1”(タイマAj(j=0~4)のアンダフロー)の場合、タイマAj(UART0ではタイマA3、UART1ではタイマA4、UART2ではタイマA0、UART3ではタイマA3、UART4ではタイマA4)のアンダフローのタイミングで検出します。タイマAjはワンショットタイマモードで使用してください。

UiSMRレジスタのACSEビットを“1”(バス衝突発生時自動クリア)にすると、BCNiICレジスタのIRビットが“1”(不一致検出)のとき、UiC1レジスタのTEビットを“0”(送信禁止)にします。

UiSMRレジスタのSSSビットを“1”(RxDiに同期)にすると、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。図17.28にバス衝突検出機能関連ビットの機能を示します。

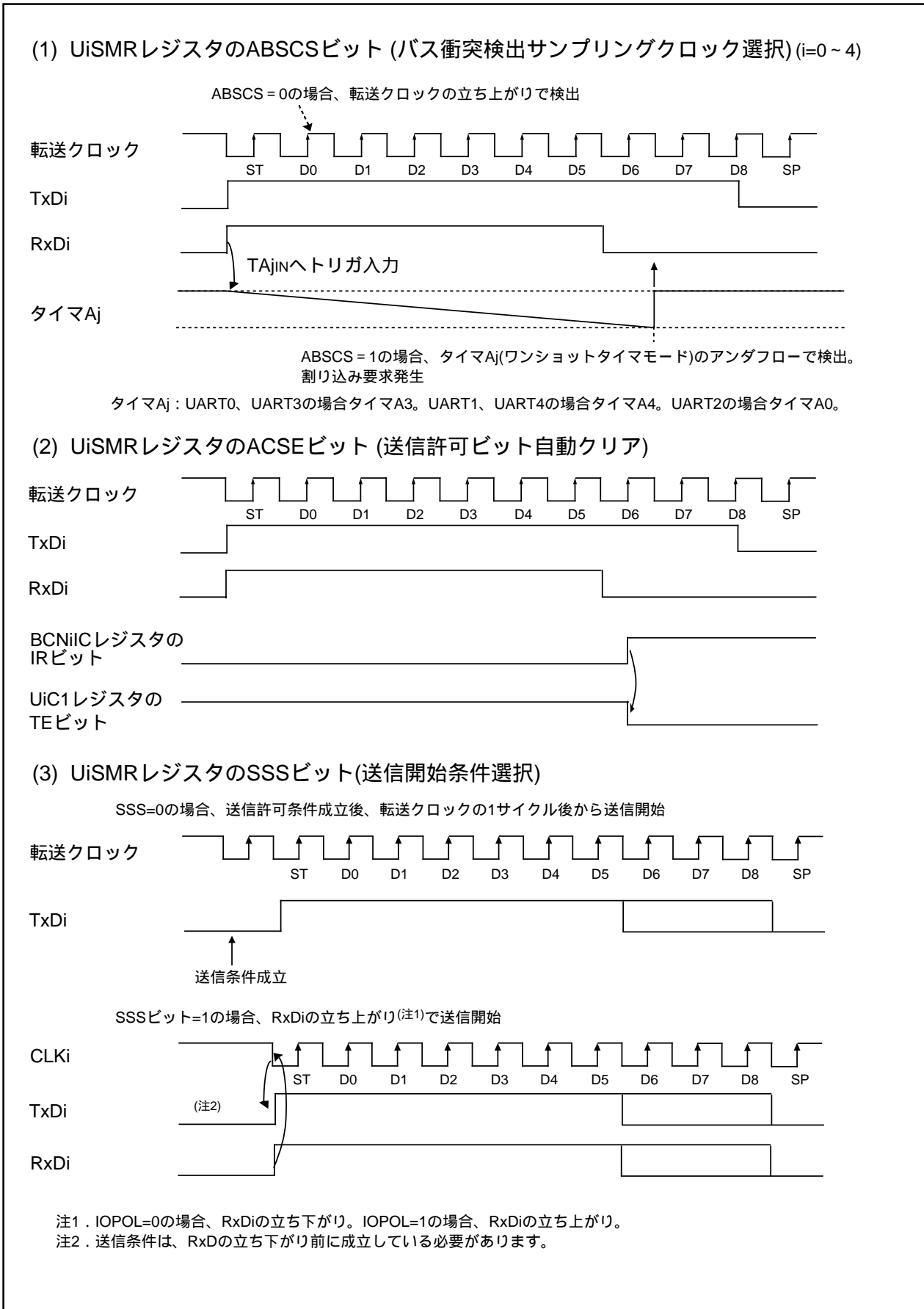


図17.28 バス衝突検出機能関連ビットの機能

17.7 特殊モード5(SIMモード)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxDi端子(i=0~4)から“L”を出力できます。

表17.34にSIMモードの仕様を、表17.35にSIMモード時の使用レジスタと設定値を、表17.36~表17.38にSIMモード時の端子の設定を示します。

表17.34 SIMモードの仕様

項目	仕様												
転送データフォーマット	<ul style="list-style-type: none"> 転送データ 8ビットUARTモード 1ストップビット ダイレクトフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>偶数</td> </tr> <tr> <td>データ論理</td> <td>ダイレクト</td> </tr> <tr> <td>転送フォーマット</td> <td>LSBファースト</td> </tr> </table> インバースフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>奇数</td> </tr> <tr> <td>データ論理</td> <td>インバース</td> </tr> <tr> <td>転送フォーマット</td> <td>MSBファースト</td> </tr> </table> 	パリティ	偶数	データ論理	ダイレクト	転送フォーマット	LSBファースト	パリティ	奇数	データ論理	インバース	転送フォーマット	MSBファースト
パリティ	偶数												
データ論理	ダイレクト												
転送フォーマット	LSBファースト												
パリティ	奇数												
データ論理	インバース												
転送フォーマット	MSBファースト												
転送クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 $f_j/16(m+1)$ $f_j=f_1, f_8, f_{2n}$(注2) m: UiBRGレジスタ設定値 0016~FF16 CKDIRビットを“1”(外部クロック選択を設定)にしないでください 												
送信制御、受信制御	UiC0レジスタのCRDビットは“1”(CTS, RTS機能禁止)												
その他設定項目	UiC1レジスタのUiIRSビットは“1”(送信割り込み要因は送信完了)												
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのTEビットは“1”(送信許可) UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) 												
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのREビットは“1”(受信許可) スタートビットの検出 												
割り込み要求発生タイミング	送信時 UiIRSビットは“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信時 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)												
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) UiRBレジスタを読む前に次のデータの8ビット目を受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合、SUMビットが“1”になる 												

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

注2. TCSPPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

表17.35 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“1012” にしてください
	CKDIR	“0” にしてください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“1” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1” にしてください
	RI	受信完了フラグ
	UiIRS	“1” にしてください
	UiRRM	“0” にしてください
	UiLCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
	UiERE	“1” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~7	“0016” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表17.36 SIMモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表17.37 SIMモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表17.38 SIMモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

図17.29にSIMインタフェースの動作例を、図17.30にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してプルアップしてください。

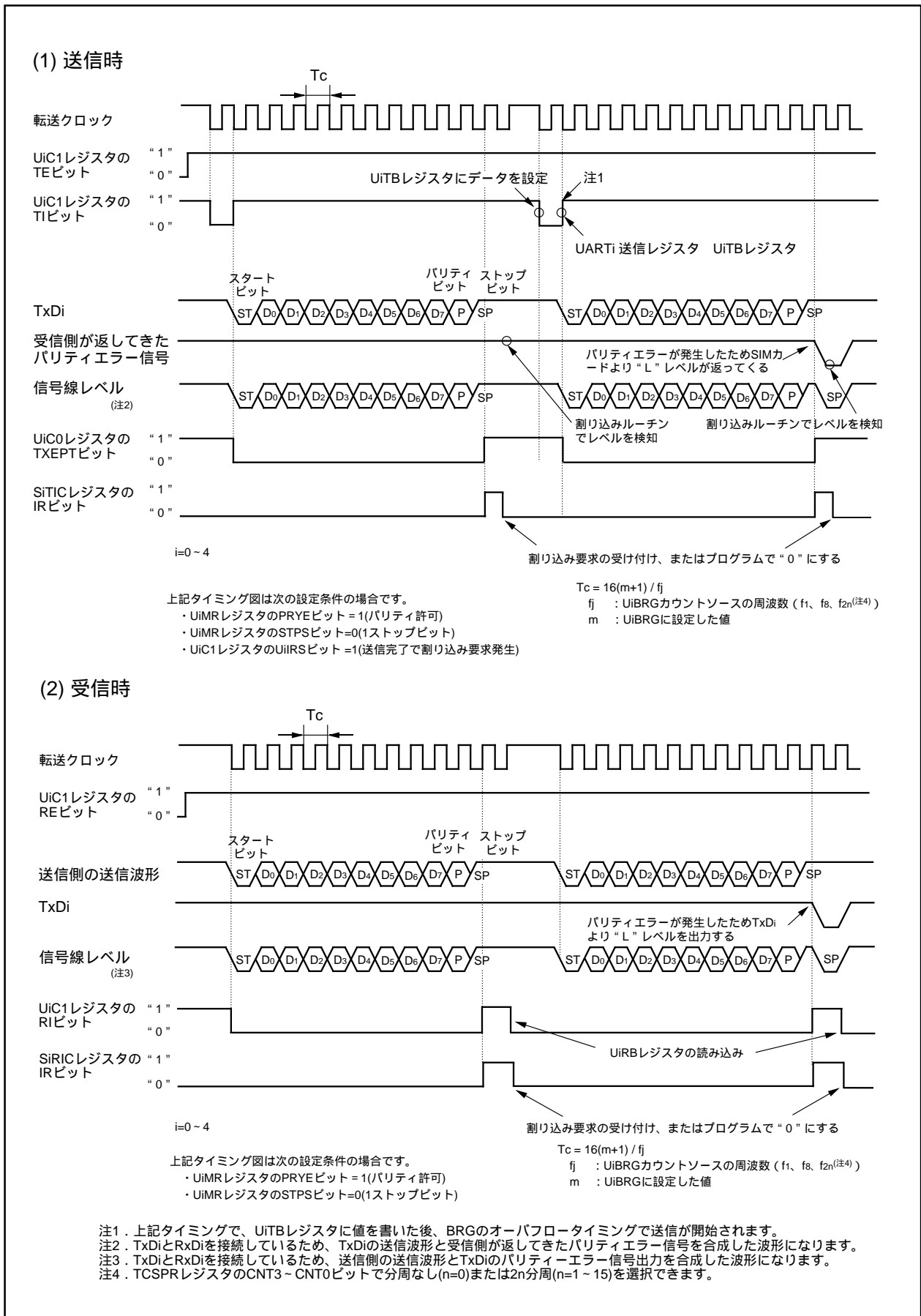


図17.29 SIMインタフェース 動作例

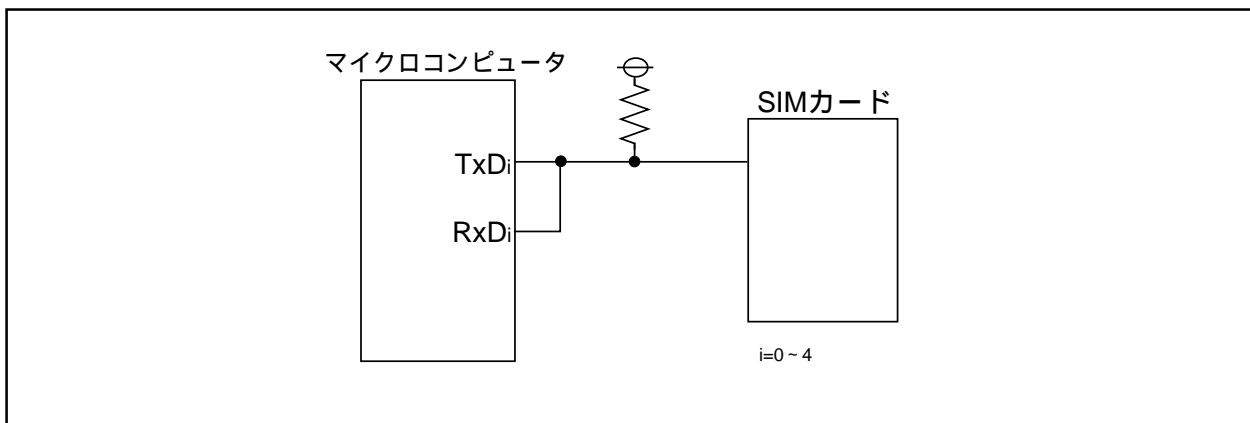


図17.30 SIMインタフェース接続例

17.7.1 パリティエラー信号

17.7.1.1 パリティエラー信号出力機能

UiC1レジスタ($i=0\sim 4$)のUiEREビットを“1”(出力する)にすると、パリティエラー信号を出力できます。パリティエラー信号は、受信時にパリティエラーを検出した場合に出力される信号で、図17.31に示すタイミングでTxDi出力が“L”になります。ただし、パリティエラー信号出力中にUiRBレジスタを読むと、UiRBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTxDi出力も“H”に戻ります。

17.7.1.2 パリティエラー信号

送信時、送信完了割り込みルーチンで、RxDiと端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

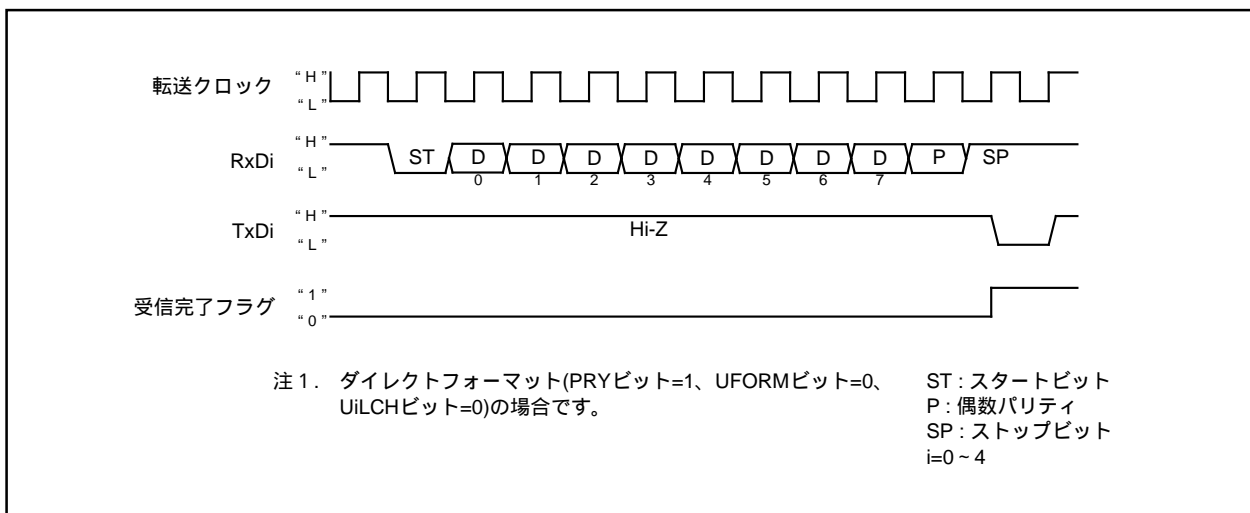


図17.31 パリティエラー信号出力タイミング(LSBファースト)

17.7.2 フォーマット

17.7.2.1 ダイレクトフォーマット

UiMRレジスタ(i=0~4)のPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、UiC0レジスタのUFORMビットを“0”(LSBファースト)、UiC1レジスタのUiLCHビットを“0”(反転なし)にしてください。送信時、UiTBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にUiRBレジスタに格納します。偶数パリティでパリティエラーを判定します。

17.7.2.2 インバースフォーマット

PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、UiLCHビットを“1”(反転あり)にしてください。送信時、UiTBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にUiRBレジスタに格納します。奇数パリティでパリティエラーを判定します。

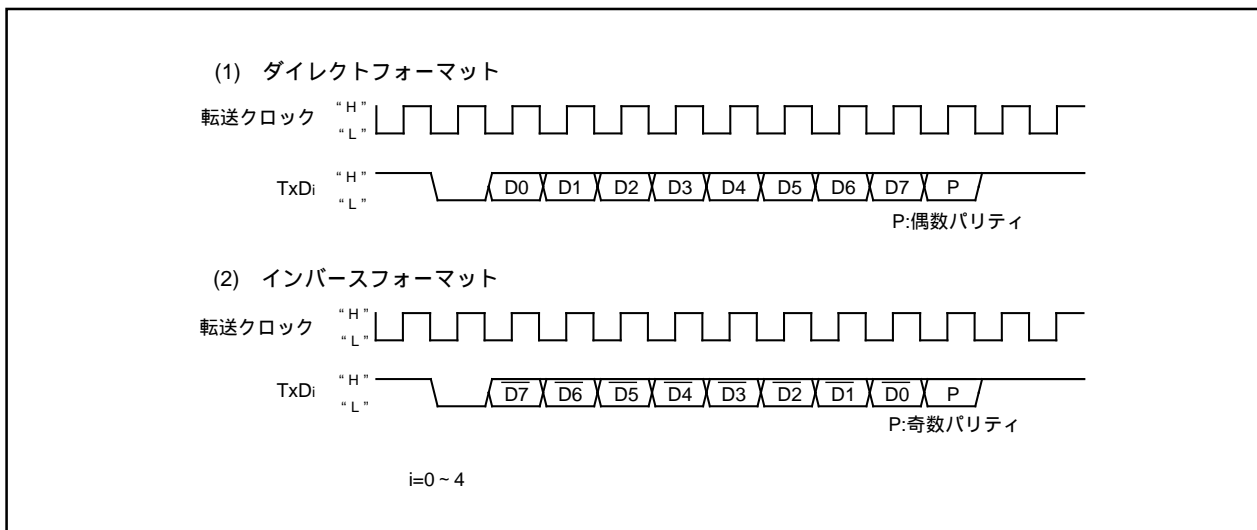


図17.32 SIMインタフェースフォーマット

18. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換した結果は、選択した端子に対応したA/D0iレジスタ($i=0\sim7$)に格納されます。ただし、DMAC利用モードが有効の場合はAD00レジスタのみへ格納されます。

表18.1にA/Dコンバータの仕様を、図18.1にA/Dコンバータのブロック図を、図18.2～図18.6にA/Dコンバータ関連のレジスタを示します。

注意

A/Dコンバータは144ピン版を例に説明しています。

100ピン版にAN150～AN157端子はありません。

表18.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 ^(注1)	0V ~ AV _{CC} (V _{CC1})
動作クロック AD ^(注2)	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周、f _{AD} の6分周またはf _{AD} の8分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0
アナログ入力端子 ^(注3)	34本 AN、AN0、AN2、AN15 各8本。拡張入力2本(ANEX0、ANEX1)
A/D変換開始条件	<ul style="list-style-type: none"> ・ソフトウェアトリガ AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にする ・外部トリガ(再トリガ可能) ADSTビットを“1”にした後、ADTRG端子へ立ち下がりエッジを入力したとき ・ハードウェアトリガ(再トリガ可能) ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(ICTB2レジスタカウント後の)タイマB2割り込み要求が発生したとき
1端子あたりの変換速度	<ul style="list-style-type: none"> ・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールドの有無に影響されません。

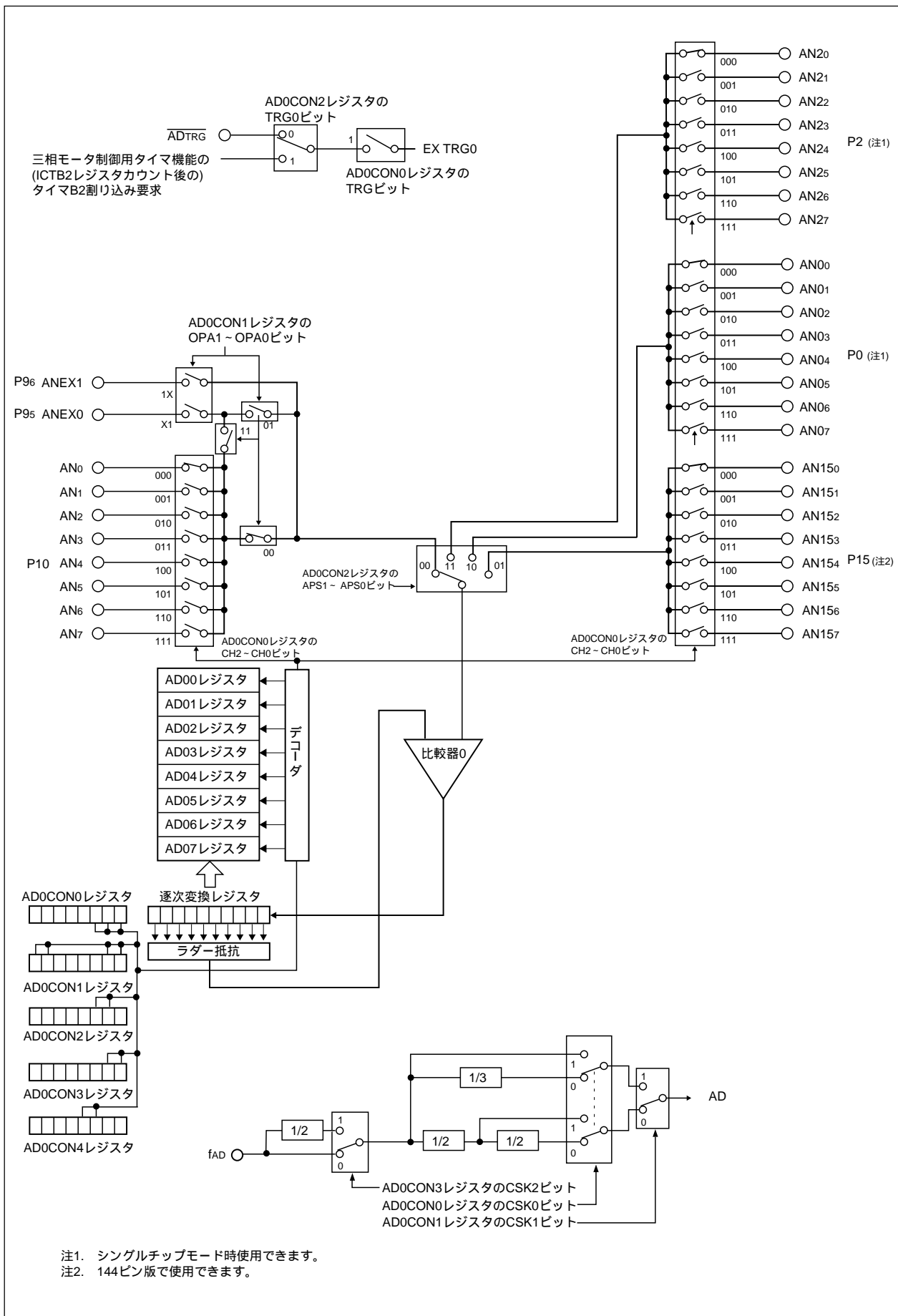
注2. V_{CC1}=5Vのとき、ADの周波数を16MHz以下にしてください。

V_{CC1}=3.3Vのとき、ADの周波数を10MHz以下にしてください。

サンプル&ホールドなしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールドありのとき ADの周波数は1MHz以上にしてください。

注3. AV_{CC}=V_{REF}=V_{CC1} V_{CC2}、AD入力(AN0 ~ AN7、AN150 ~ AN157、ANEX0、ANEX1) V_{CC1}、AD入力(AN00 ~ AN07、AN20 ~ AN27) V_{CC2}としてください。



注1. シングルチップモード時使用できます。
 注2. 144ピン版で使用できます。

図18.1 A/Dコンバータのブロック図

A/D0制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値			
AD0CON0 0396 ₁₆ 番地 00 ₁₆			
CH0	アナログ入力端子 選択ビット (注2、3、8、9)	b2 b1 b0 0 0 0 : ANi0 0 0 1 : ANi1 0 1 0 : ANi2 0 1 1 : ANi3 1 0 0 : ANi4 1 0 1 : ANi5 1 1 0 : ANi6 1 1 1 : ANi7 (i=なし,0,2,15)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード 選択ビット0 (注2、6、7)	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0・繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : 外部トリガ・ハードウェアトリガ (注4)	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始 (注4)	RW
CKS0	周波数選択ビット	(注5)	RW

注1 . A/D変換中にこのレジスタの内容を書き換えた場合、変換結果は不定になります。

注2 . A/D動作モードを変更した場合には、あらためてアナログ入力端子の設定をしてください。

注3 . このビットは、単発モード、繰り返しモードで有効です。

注4 . TRGビットを“1”にする場合は、AD0CON2レジスタのTRG0ビットでトリガ要因を選択し、TRGビットを“1”にした後、ADSTビットを“1”にしてください。

注5 . V_{CC1}=5Vのとき、ADの周波数は16MHz以下にしてください。

V_{CC1}=3.3Vのとき、ADの周波数は10MHz以下にしてください。

ADはCKS0、CKS1とCKS2の組み合わせで選択できます。

AD0CON3レジスタの CKS2ビット	AD0CON0レジスタの CKS0ビット	AD0CON1レジスタの CKS1ビット	AD
0	0	0	f _{AD} の4分周
		1	f _{AD} の3分周
	1	0	f _{AD} の2分周
		1	f _{AD}
1	0	0	f _{AD} の8分周
		1	f _{AD} の6分周

注6 . AD0CON3レジスタのMSSビットが“1”(マルチポート掃引モード有効)の場合、“102”にするとマルチポート単掃引モード、“112”にするとマルチポート繰り返し掃引モード0になります。

注7 . MSSビットが“1”の場合、“102”または“112”にしてください。

注8 . AV_{CC}=V_{REF}=V_{CC1} V_{CC2}、AD入力(AN₀~AN₇、AN₁₅₀~AN₁₅₇、ANEX0、ANEX1) V_{CC1}、AD入力(AN₀₀~AN₀₇、AN₂₀~AN₂₇) V_{CC2}としてください。

注9 . P10端子をアナログ入力端子として使用する場合は、PSCレジスタのPSC_7ビットを“1”にしてください。

図18.2 AD0CON0レジスタ

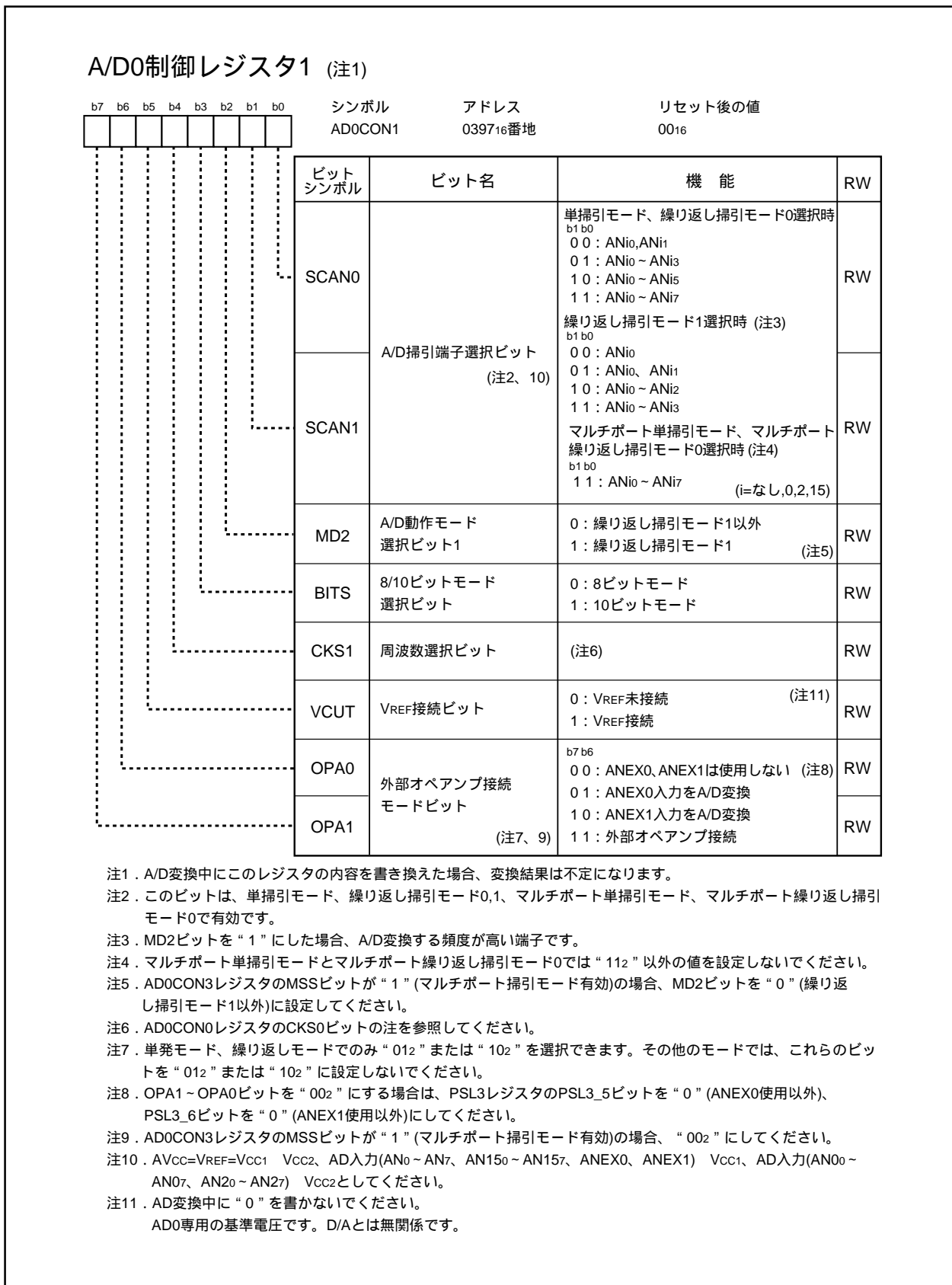


図18.3 AD0CON1レジスタ

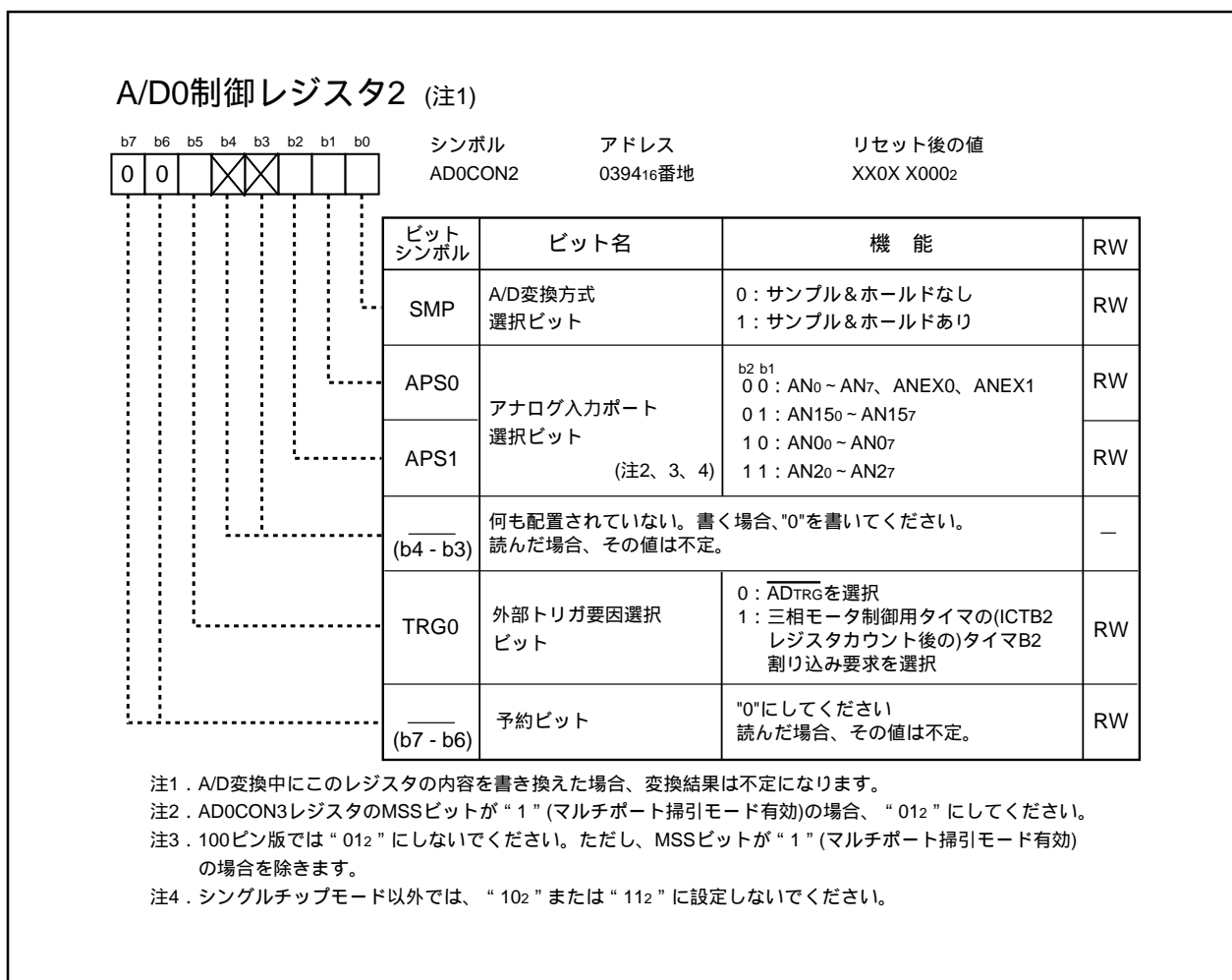


図18.4 AD0CON2レジスタ

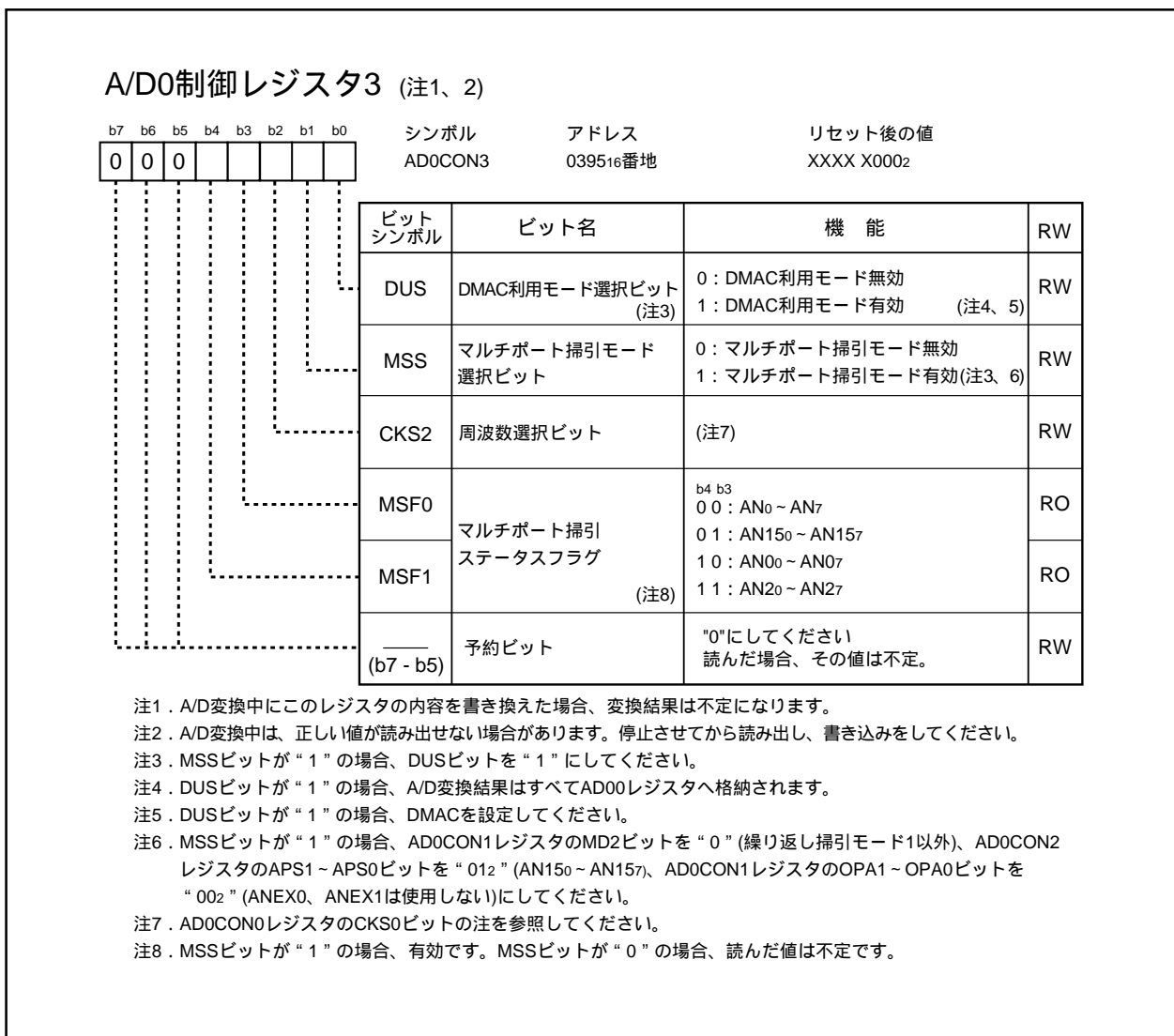
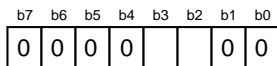


図18.5 AD0CON3レジスタ

A/D0制御レジスタ4 (注1)



シンボル アドレス リセット後の値
AD0CON4 0392₁₆番地 XXXX 00XX₂

ビットシンボル	ビット名	機能	RW
—— (b1 - b0)	予約ビット	"0"にしてください 読んだ場合、その値は不定。	RW
MPS10	マルチポート掃引 ポート選択ビット (注2、3)	b3 b2 0 0 : (注4) 0 1 : AN ₀ ~ AN ₇ , AN ₁₅₀ ~ AN ₁₅₇ 1 0 : AN ₀ ~ AN ₇ , AN ₀₀ ~ AN ₀₇ 1 1 : AN ₀ ~ AN ₇ , AN ₂₀ ~ AN ₂₇	RW
MPS11		RW	
—— (b7 - b4)	予約ビット	"0"にしてください 読んだ場合、その値は不定。	RW

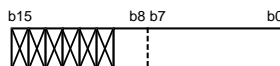
注1 . A/D変換中にこのレジスタの内容を書き換えた場合、変換結果は不定になります。

注2 . 100ピン版では“01₂”に設定しないでください。

注3 . シングルチップモード以外では“10₂”または“11₂”に設定しないでください。

注4 . AD0CON3レジスタのMSSビットが“0” (マルチポート掃引モード無効)の場合、“00₂”にしてください。
MSSビットが“1” (マルチポート掃引モード有効)の場合、“00₂”以外を設定してください。

A/D0レジスタ i (i=0~7)(注1~5)



シンボル アドレス リセット後の値
AD00 0381₁₆ - 0380₁₆番地 00000000 XXXXXXXX₂
AD01 ~ AD03 0383₁₆ - 0382₁₆, 0385₁₆ - 0384₁₆, 0387₁₆ - 0386₁₆番地 不定
AD04 ~ AD06 0389₁₆ - 0388₁₆, 038B₁₆ - 038A₁₆, 038D₁₆ - 038C₁₆番地 不定
AD07 038F₁₆ - 038E₁₆番地 不定

機能	RW
A/D変換結果の下位8ビット	RO
10ビットモード時 : A/D変換結果の上位2ビット 8ビットモード時 : 読んだ場合“0”が読めます	RO
予約ビット。読んだ場合、その値は不定。	RO

注1 . DMAC利用モード時プログラムで読み出した場合、読み出した値は不定です。

注2 . A/D変換停止中に書いた場合、そのレジスタ値は不定です。

注3 . レジスタを読み出す前に、次のA/D変換結果が格納された場合、その値は不定です。

注4 . DMAC利用モード時はAD00レジスタのみ有効です。その他のレジスタ値は不定です。

注5 . DMAC利用モードかつ10ビットモード時は、DMACを16ビット転送にしてください。

図18.6 AD0CON4レジスタ、AD00~AD07レジスタ

18.1 モードの説明

18.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表18.2に単発モードの仕様を示します。

表18.2 単発モードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2～CH0ビットとAD0CON1レジスタのOPA1～OPA0ビットとAD0CON2レジスタのAPS1～APS0ビットで選択した1本の端子の入力電圧を1回A/D変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 <ul style="list-style-type: none"> ・AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする TRGビットが“1”(外部トリガ、ハードウエアトリガ)の場合 ・ADSTビットをプログラムで“1”にした後、ADTRG端子へ立ち下がりエッジを入力する ・ADSTビットをプログラムで“1”にした後、三相モータ制御用タイマ機能(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生する
停止条件	<ul style="list-style-type: none"> ・A/D変換終了(ソフトウエアトリガ選択時ADSTビットは“0”になる) ・ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	A/D変換終了時に発生
入力端子	ANi0～ANi7(i=なし, 0, 2, 15)、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す ・DUSビットが“1”(DMAC利用モード有効)の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください

18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表18.3に繰り返しモードの仕様を示します。

表18.3 繰り返しモードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2～CH0ビットとAD0CON1レジスタのOPA1～OPA0ビットとAD0CON2レジスタのAPS1～APS0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi0～ANi7(i=なし, 0, 2, 15)、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	<ul style="list-style-type: none"> DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す DUSビットが“1”の場合 AD00レジスタを読み出さないください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください

18.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表18.4に単掃引モードの仕様を示します。

表18.4 単掃引モードの仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットとAD0CON2レジスタのAPS1～APS0ビットで選択した端子の入力電圧を1回ずつA/D変換する
開始条件	単発モードと同じ
停止条件	単発モードと同じ
割り込み要求発生タイミング	<ul style="list-style-type: none"> AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、掃引終了時に発生 DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi0(i=なし, 0, 2, 15)～ANi1(2端子)、ANi0～ANi3(4端子)、ANi0～ANi5(6端子)、またはANi0～ANi7(8端子)から選択
A/D変換値の読み出し	<ul style="list-style-type: none"> DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す DUSビットが“1”の場合 AD00レジスタを読み出さないください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください

18.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表18.5に繰り返し掃引モード0の仕様を示します。

表18.5 繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットとAD0CON2レジスタのAPS1～APS0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない ・DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi0(i=なし, 0, 2, 15)、ANi1(2端子)、ANi0～ANi3(4端子)、ANi0～ANi5(6端子)、ANi0～ANi7(8端子)から選択
A/D変換値の読み出し	<ul style="list-style-type: none"> ・DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す ・DUSビットが“1”の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください

18.1.5 繰り返し掃引モード1

選択した端子に重点をおいて8本の入力電圧を繰り返しA/D変換するモードです。表18.6に繰り返し掃引モード1の仕様を示します。

表18.6 繰り返し掃引モード1の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットとAD0CON2レジスタのAPS1～APS0ビットで選択した端子の入力電圧を繰り返しA/D変換する 例：ANi0(i=なし, 0, 2, 15)を選択した場合、ANi0 ANi1 ANi0 ANi2 ANi0 ANi3...の順にA/D変換する
開始条件	単発モードと同じ(外部トリガの再トリガは無効)
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない ・DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi0～ANi7(8端子)
重点的に行う端子	ANi0(1端子)、ANi0, ANi1(2端子)、ANi0～ANi2(3端子)、ANi0～ANi3(4端子)
A/D変換値の読み出し	<ul style="list-style-type: none"> ・DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す ・DUSビットが“1”の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください。

18.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にしてください。

表18.7にマルチポート単掃引モードの仕様を示します。

表18.7 マルチポート単掃引モードの仕様

項目	仕様
機能	AD0CON4レジスタのMPS11～MPS10ビットで選択した16本の端子の入力電圧を AN ₀ ～AN ₇ AN _{i0} ～AN _{i7} (i=0、2、15)の順で、1回ずつA/D変換する 例：MPS11～MPS10ビットが“102”(AN ₀ ～AN ₇ 、AN ₀₀ ～AN ₀₇)の場合 AN ₀ AN ₁ AN ₂ AN ₃ AN ₄ AN ₅ AN ₆ AN ₇ AN ₀₀ AN ₀₁ …… AN ₀₆ AN ₀₇ の順にA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN ₀ ～AN ₇ AN ₁₅₀ ～AN ₁₅₇ 、AN ₀ ～AN ₇ AN ₀₀ ～AN ₀₇ 、AN ₀ ～AN ₇ AN ₂₀ ～AN ₂₇ から選択
A/D変換値の読み出し	AD00レジスタを読み出さないでください。 A/D変換完了後、A/D変換結果は全AD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください(DUSビットを“1”に設定してください)

18.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にしてください。

表18.8にマルチポート繰り返し掃引モード0の仕様を示します。

表18.8 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON4レジスタのMPS11～MPS10ビットで選択した16本の端子の入力電圧を AN ₀ ～AN ₇ AN _{i0} ～AN _{i7} (i=0、2、15)の順で、繰り返しA/D変換する 例：MPS11～MPS10ビットが“102”(AN ₀ ～AN ₇ 、AN ₀₀ ～AN ₀₇)の場合 AN ₀ AN ₁ AN ₂ AN ₃ AN ₄ AN ₅ AN ₆ AN ₇ AN ₀₀ AN ₀₁ …… AN ₀₆ AN ₀₇ の順に繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN ₀ ～AN ₇ AN ₁₅₀ ～AN ₁₅₇ 、AN ₀ ～AN ₇ AN ₀₀ ～AN ₀₇ 、AN ₀ ～AN ₇ AN ₂₀ ～AN ₂₇ から選択
A/D変換値の読み出し	AD00レジスタを読み出さないでください。 A/D変換完了後、A/D変換結果は全AD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「13. DMAC」を参照し、DMACを設定してください(DUSビットを“1”に設定してください)

18.2 機能

18.2.1 分解能選択機能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がAD0jレジスタ(j=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がAD0jレジスタのビット0~7に格納されます。

18.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合²⁸ ADサイクル、分解能10ビットの場合³³ ADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

18.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表18.9にトリガ選択機能設定を示します。

表18.9 トリガ選択機能設定

ビットと設定値		トリガ
AD0CON0レジスタ	AD0CON2レジスタ	
TRG=0	-	ソフトウェアトリガ AD0CON0レジスタのADSTビットをプログラムで“1”にすると、A/D変換を開始する
TRG=1(注1)	TRG0=0	外部トリガ(注2) ADTRG入力信号の立ち下がり
	TRG0=1	ハードウェアトリガ(注2) 三相モータ制御用タイマ機能の(ICTB2レジスタカウント後の)タイマB2割り込み要求

注1. ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/D変換を開始します。

注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、再度A/D変換を開始します。(それまで行っていたA/D変換は中断されます。)

18.2.4 DMAC利用モード

全てのモードでDMAC利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、必ずDMAC利用モードを使用してください。AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすると、A/D変換結果は全てAD00レジスタへ格納されます。DMACを利用することで、AD00レジスタから任意のメモリ空間へ1端子のA/D変換終了ごとにDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「13. DMAC」を参照してください。

18.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1~OPA0ビットで選択してください。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1”(DMAC利用モード有効)の場合、AD00レジスタへ格納されます。

AD0CON2レジスタのAPS1~APS0ビットは“002”(AN0~AN7、ANEX0、ANEX1)、AD0CON3レジスタのMSSビットは“0”(マルチポート掃引モード無効)にしてください。

18.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1～OPA0ビットが“112”（外部オペアンプ接続）のとき、AN0～AN7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0jレジスタ(j=0～7)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

AD0CON2レジスタのAPS1～APS0ビットは“002”（AN0～AN7、ANEX0、ANEX1）にしてください。

図18.7に外部オペアンプ接続モードの接続例を示します。

表18.10 拡張アナログの入力端子設定

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	P95/アナログ入力	使用しない
1	0	使用しない	P96/アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

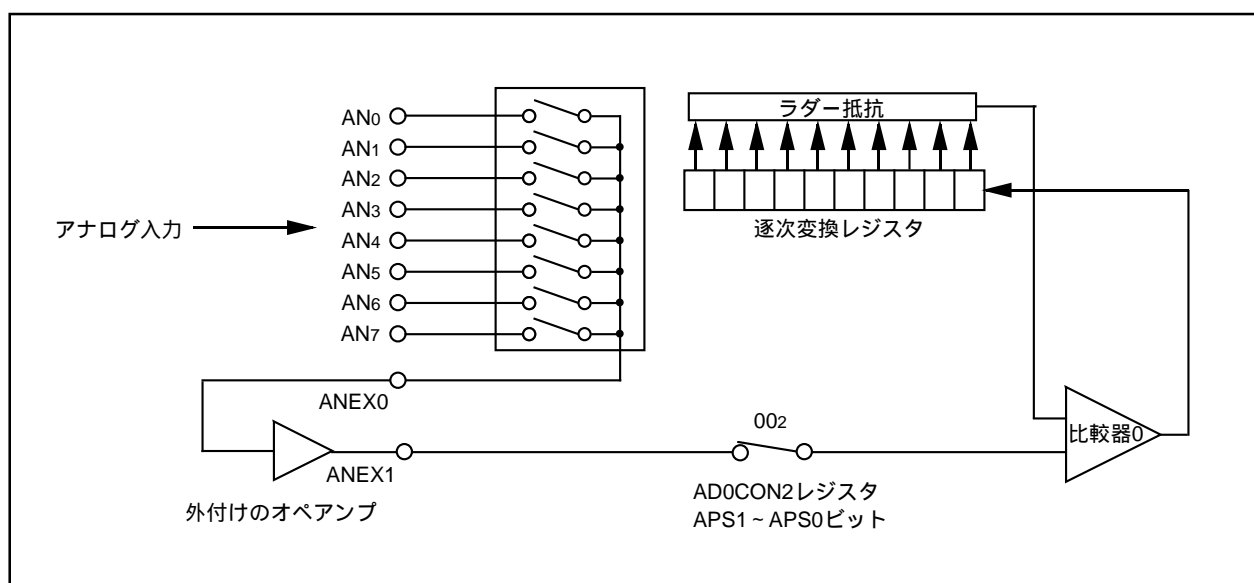


図18.7 外部オペアンプ接続モードの接続例

18.2.7 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”（VREF接続）にした後で、AD0CON0レジスタのADSTビットを“1”（A/D変換開始）にしてください。ADSTビットとVCUTビットに、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”（VREF未接続）にしないでください。

なお、D/AコンバータのVREFには影響しません（無関係です）。

18.2.8 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図18.8の内部コンデンサCへの充電を所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{のとき、 } V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図18.8にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

ADが10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8k、C=1.5pF、X=0.1、Y=1024だから、

$$R_0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9k になります。

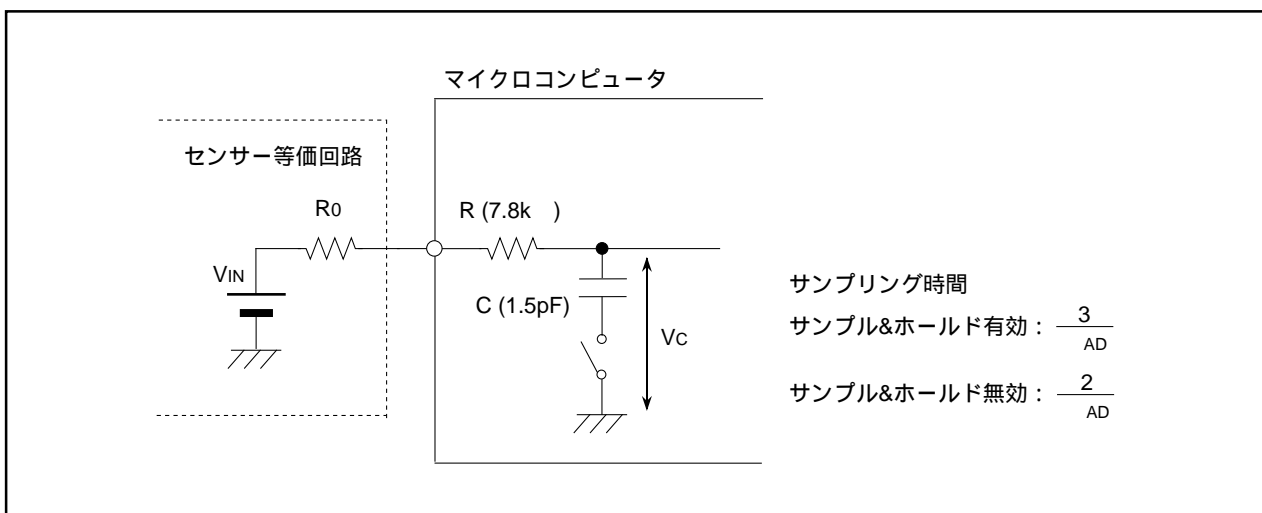


図18.8 アナログ入力端子と外部センサーの等価回路例

19. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータがあります。

D/A変換は、対応したDAiレジスタ(i = 0,1)に値を書くことで行われます。変換結果を出力するかどうかはDACONレジスタのDAiEビットで選択してください。DAiEビットを“1”(出力許可)にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DAiレジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{V_{REF} \times n}{256} \quad (n=0 \sim 255)$$

VREF :基準電圧(AD0CON1レジスタのVCUTビットとは無関係です。)

表19.1にD/Aコンバータの仕様を、表19.2にDA0、DA1端子を使用する場合の設定を、図19.1にD/Aコンバータのブロック図を、図19.2にD/Aコンバータ関連レジスタを、図19.3にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DAiレジスタを“0016”、DAiEビットを“0”(出力禁止)にしてください。

表19.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

表19.2 DA0、DA1端子を使用する場合の設定

ポート名	機能	ビットと設定値		
		PD9レジスタ(注1)	PS3レジスタ(注1)	PSL3レジスタ
P93	DA0出力	PD9_3 = 0	PS3_3 = 0	PSL3_3 = 1
P94	DA1出力	PD9_4 = 0	PS3_4 = 0	PSL3_4 = 1

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

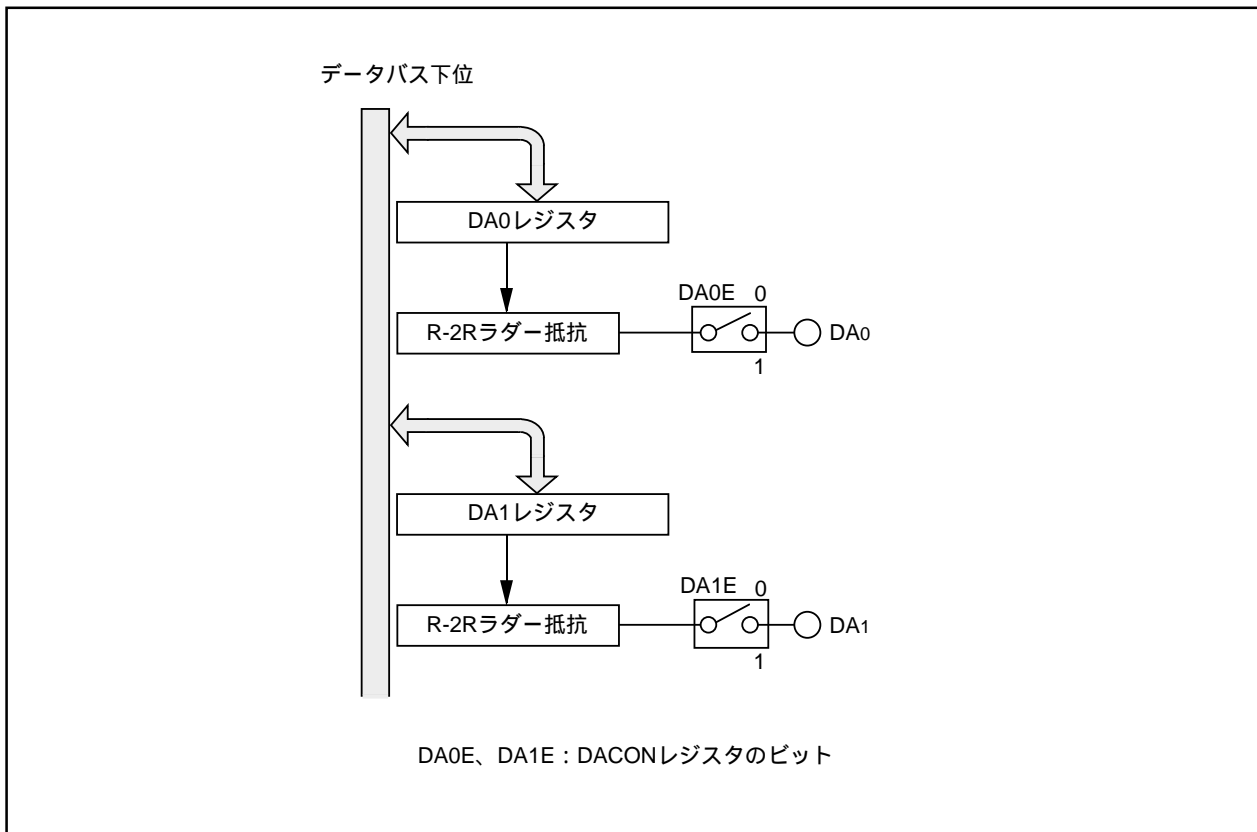


図19.1 D/Aコンバータのブロック図

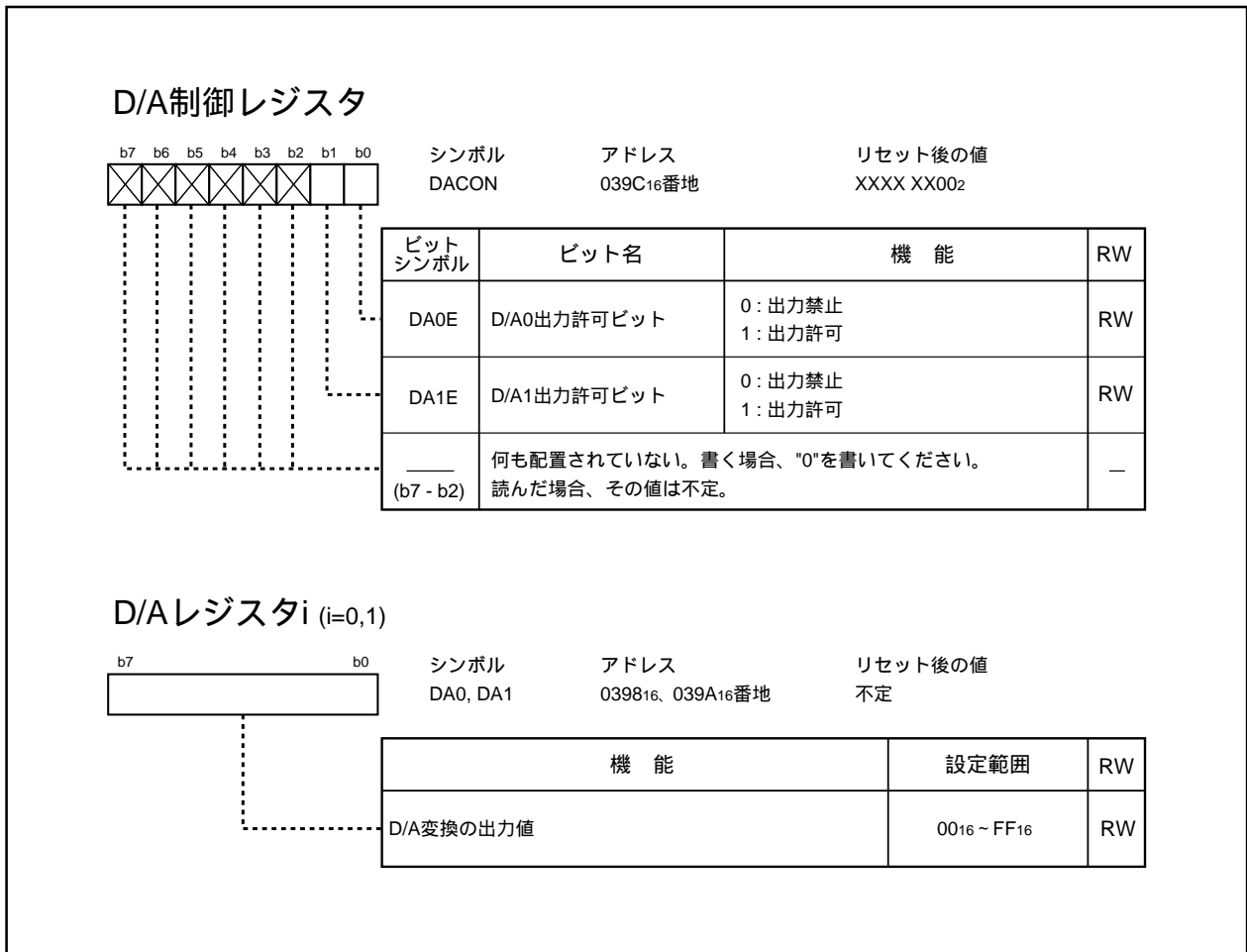


図19.2 DACONレジスタ、DA0、DA1レジスタ

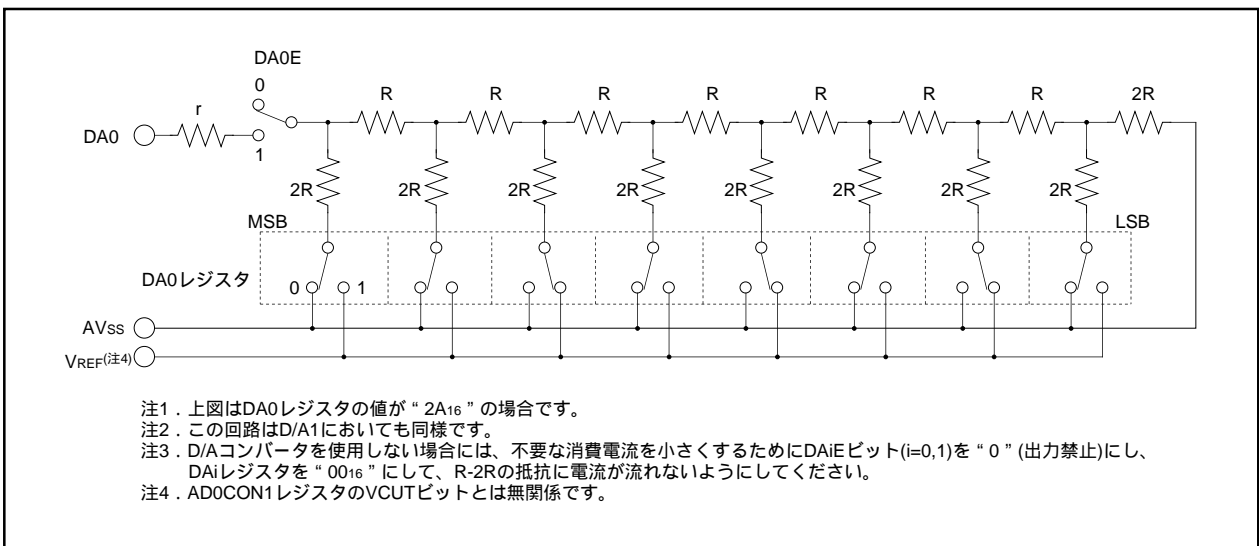


図19.3 D/Aコンバータの等価回路

20. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図20.1にCRCのブロック図、図20.2にCRCの関連レジスタを示します。また、図20.3にCRC演算例を示します。

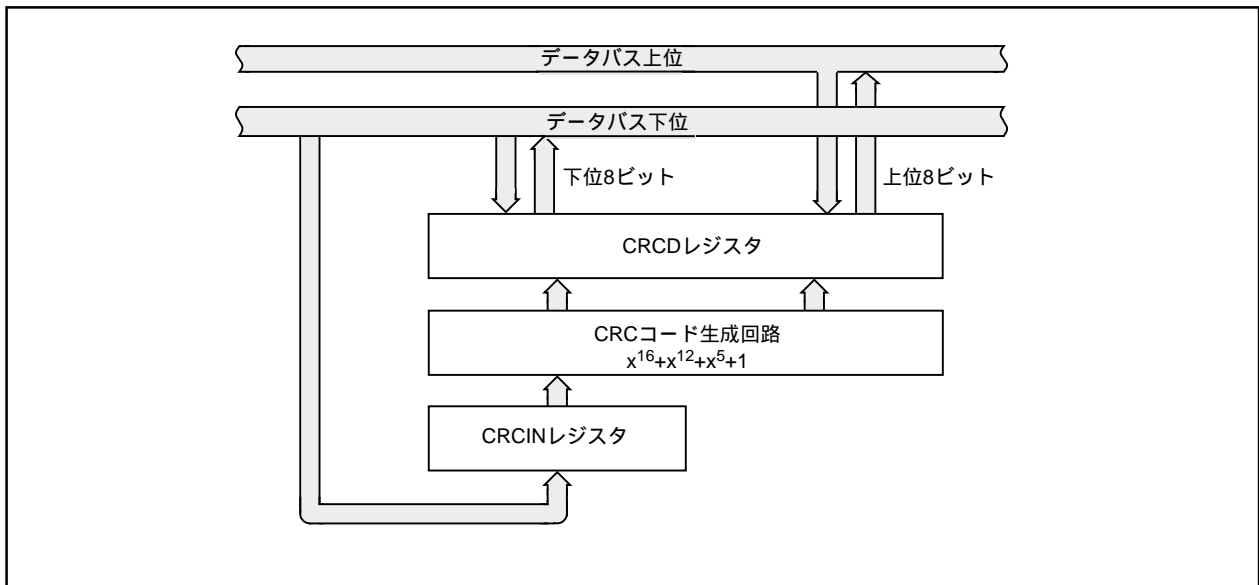


図20.1 CRCブロック図

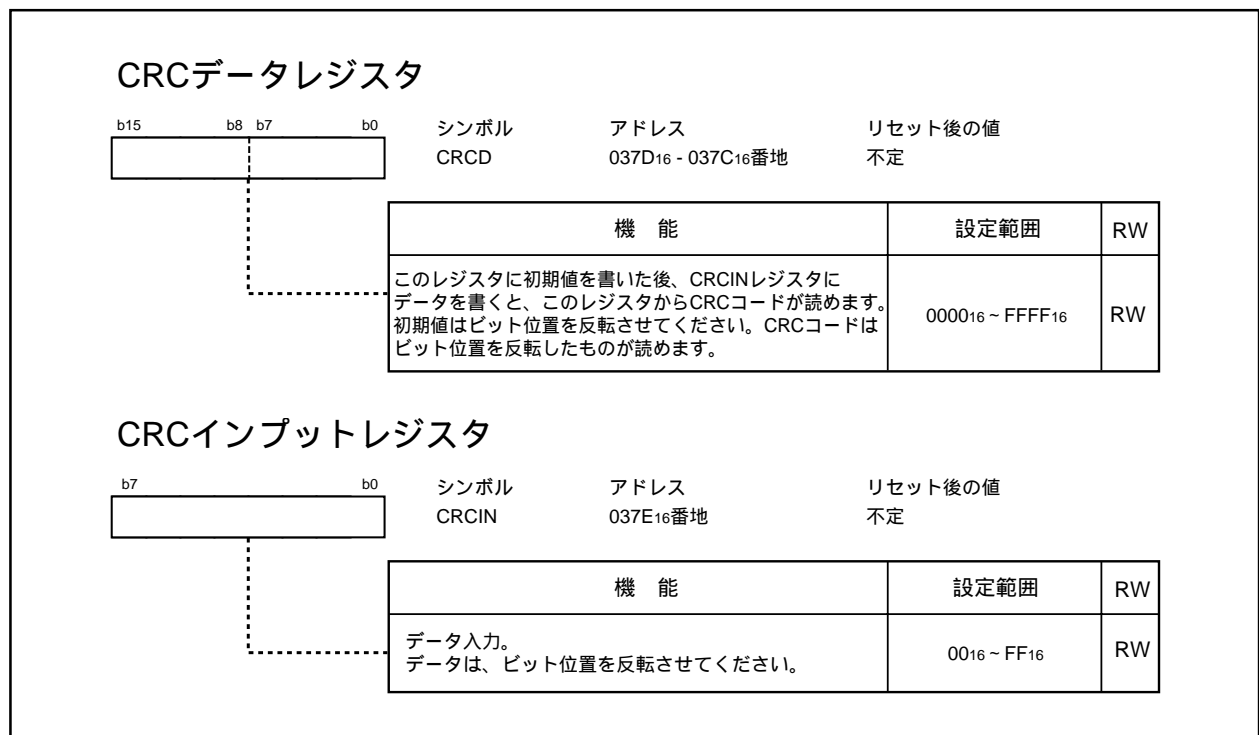


図20.2 CRCDレジスタ、CRCINレジスタ

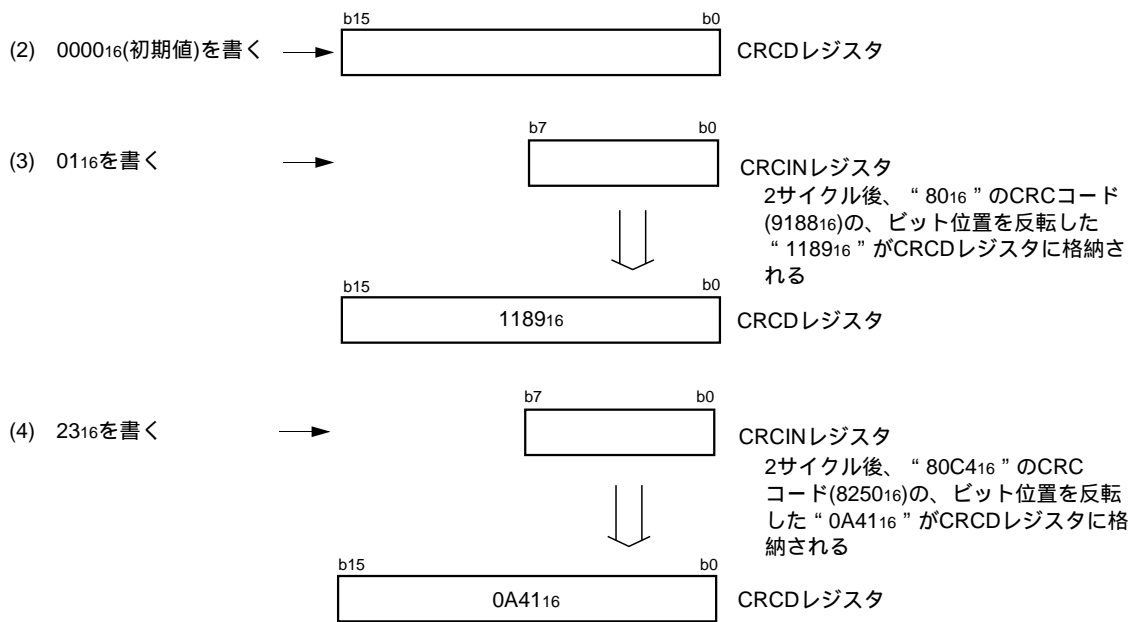
“ 80C4₁₆ ” のCRCコードを生成する場合の設定手順とCRC演算

M32CのCRC演算

CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余
 生成多項式 : $X^{16} + X^{12} + X^5 + 1(1\ 0001\ 0000\ 0010\ 0001_2)$

設定手順

- (1) プログラムで “ 80C4₁₆ ” のビット位置をバイト単位で反転させる
 “ 80₁₆ ” “ 01₁₆ ”、“ C4₁₆ ” “ 23₁₆ ”



CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値 “ 01₁₆(00000001₂) ” はビット位置を反転され “ 10000000₂ ” になる。これに16桁追加した “ 1000 0000 0000 0000 0000 0000₂ ” と、CRCDレジスタの初期値 “ 0000₁₆ ” を加算した値をモジュロ2除算する。

	1000 1000	1000 0000 0000 0000 0000 0000	← データ
生成多項式	1000 0001 0000 1000 0	1000 1000 0001 0000 1	
	1000 1000 0001 0000 1	1001 0001 1000 1000	
	1001 0001 1000 1000		
	CRCコード		

モジュロ2の演算とは...
 次の法則に基づいた演算です。

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余 “ 1001 0001 1000 1000₂(9188₁₆) ” のビット位置を反転した “ 0001 0001 1000 1001₂(1189₁₆) ” がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値 “ 23₁₆(00100011₂) ” はビット位置を反転され “ 11000100₂ ” になる。これに16桁追加した “ 1100 0100 0000 0000 0000 0000₂ ” と、CRCDレジスタに残っている(3)の剰余 “ 1001 0001 1000 1000₂ ” を加算した値をモジュロ2除算する。
 剰余のビット位置を反転した “ 0000 1010 0100 0001₂(0A41₁₆) ” がCRCDレジスタから読める。

図20.3 CRC演算例

21. X/Y変換

X/Y変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図21.1にXYCレジスタを示します。

XiRレジスタ(i = 0 ~ 15)とYjRレジスタ(j = 0 ~ 15)は16ビットレジスタです。

XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

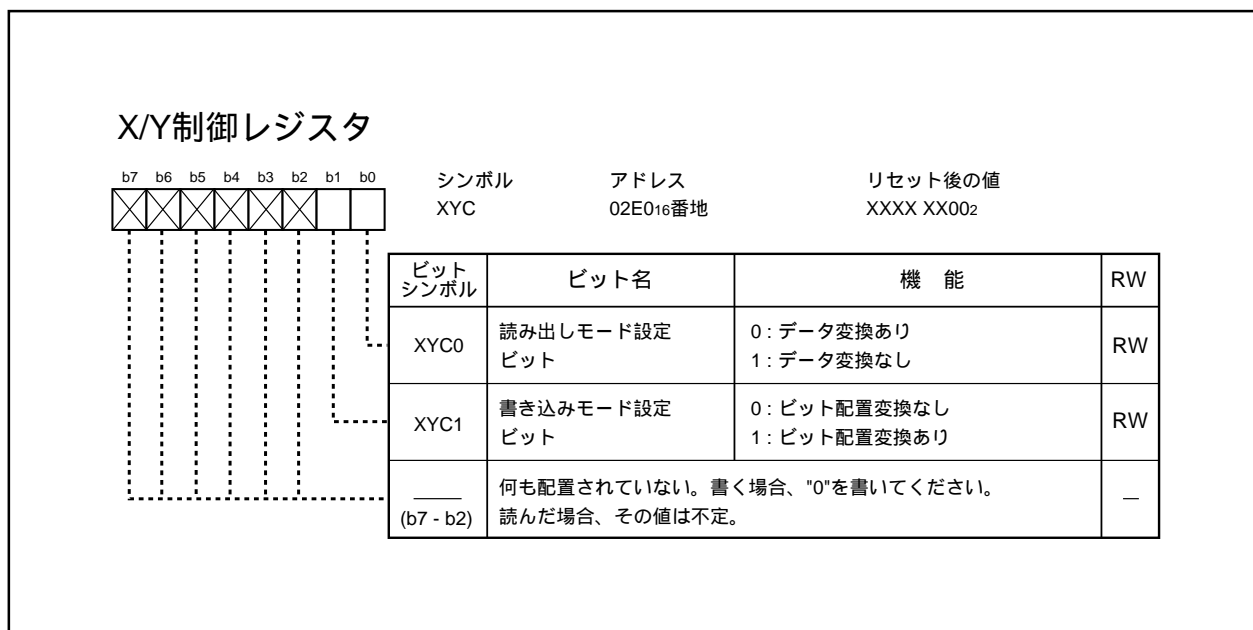


図21.1 XYCレジスタ

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0” (データ交換あり)でYjRレジスタを読むと、X0R ~ X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、・・・、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、・・・、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図21.2にXYC0ビットが“0”の場合の変換テーブルを、図21.3にX/Y変換例を示します。

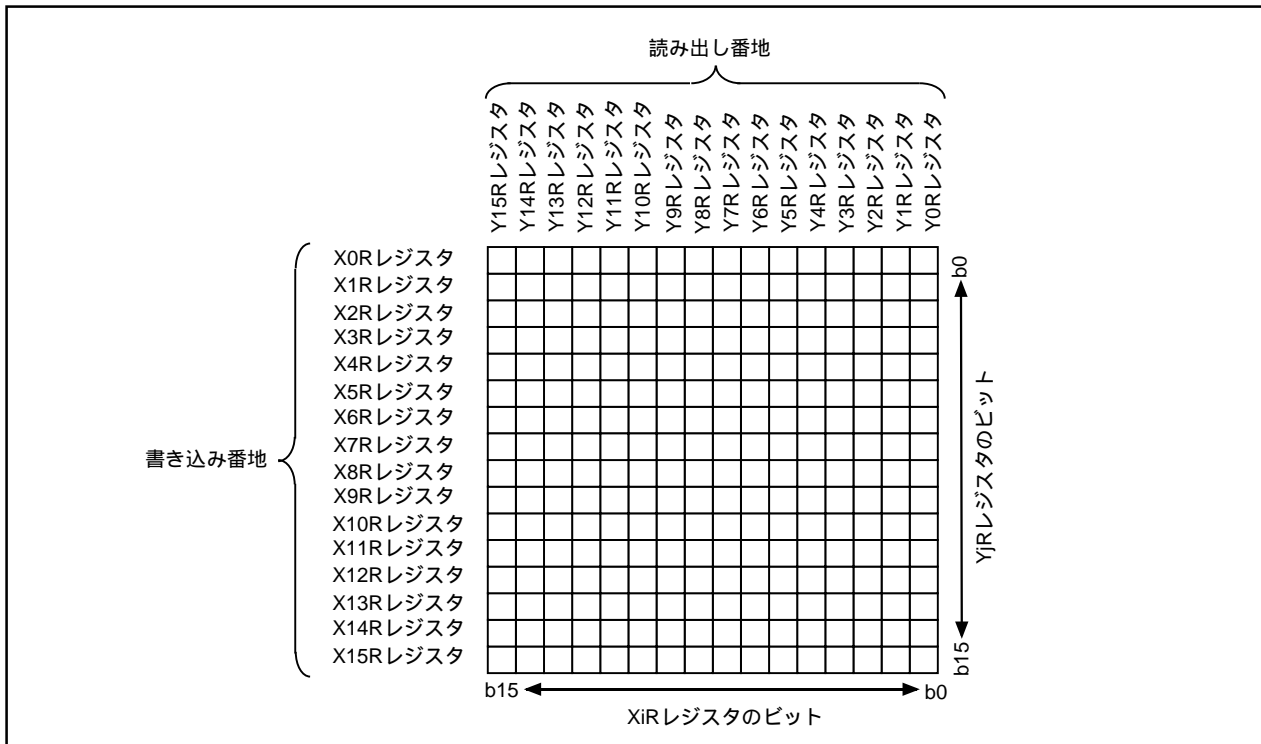


図21.2 XYC0ビットが“0”の場合の変換テーブル図

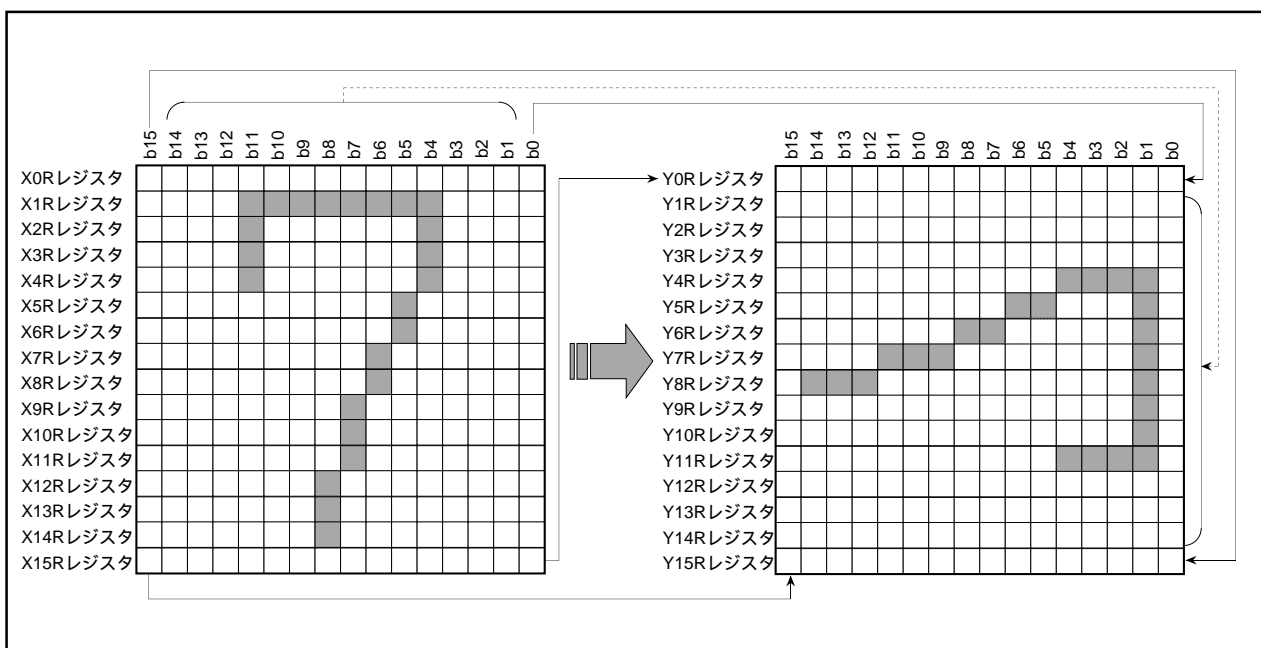


図21.3 X/Y変換例

XYCレジスタのXYC0ビットを“1”(データ変換なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値をそのまま読めます。図21.4にXYC0ビットが“1”の場合の変換テーブルを示します。

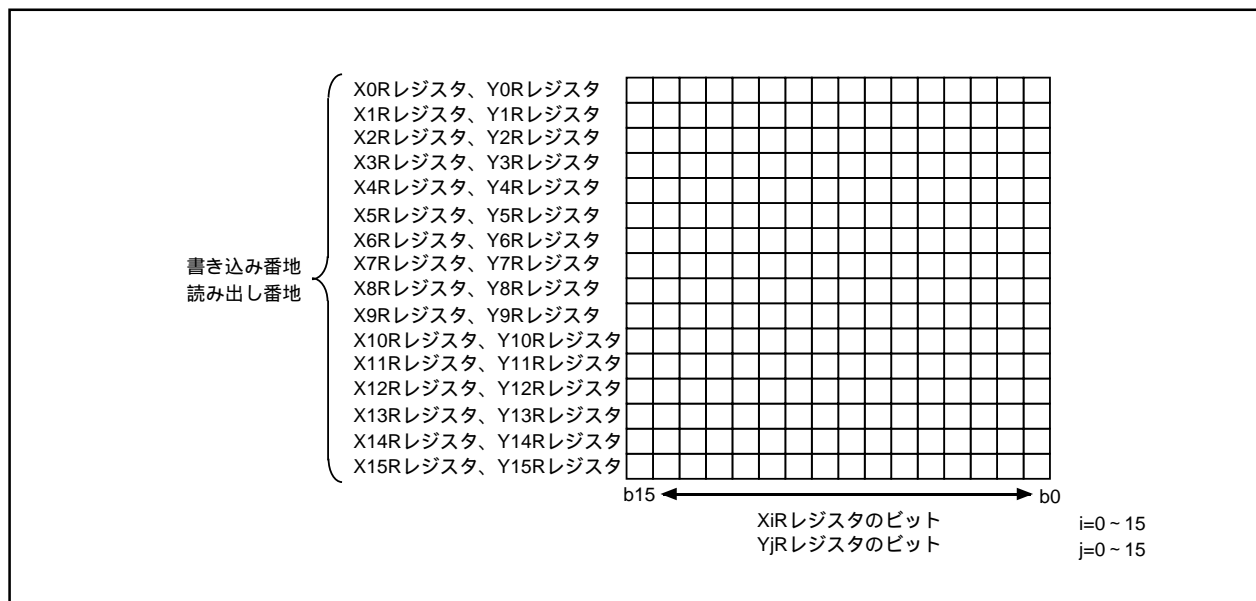


図21.4 XYC0ビットが“1”の場合の変換テーブル

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット配置交換なし)にしてXiRレジスタに書くと、ビット配列はそのまま書かれます。

XYC1ビットを“1”(ビット配置交換あり)にしてXiRレジスタに書くと、ビット配列の各ビット位置を反転して書きます。図21.5にXYC1ビットが“1”の場合の変換例を示します。

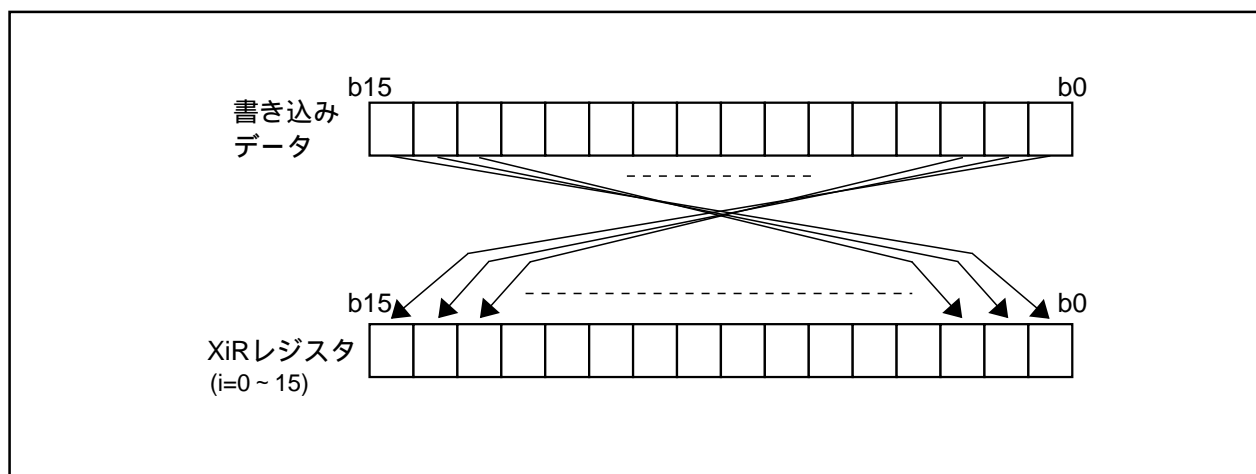


図21.5 XYC1ビットが“1”の場合の変換

22. インテリジェントI/O

インテリジェントI/Oは、時間計測、波形生成、クロック同期形シリアルI/O、クロック非同期形シリアルI/O(UART)通信、HDLCデータ処理を実現できる高機能入出力ポートです。

インテリジェントI/Oは、フリーラン動作を行う16ビットベースタイマを1本、時間計測または波形生成用16ビットレジスタを8本、さらに通信用8ビットシフトレジスタを2本を2組備えています。表22.1にインテリジェントI/Oの機能とチャンネルを示します。

表22.1 インテリジェントI/Oの機能とチャンネル

機能	性能		
時 ^(注1)	8チャンネル		
間計測	デジタルフィルタ	8チャンネル	
	トリガ入力プリスケラ	2チャンネル(チャンネル6、チャンネル7)	
	トリガ入力ゲート	2チャンネル(チャンネル6、チャンネル7)	
波 ^(注1)	8チャンネル		
形生成	単相波形出力モード	8チャンネル	
	反転波形出力モード	8チャンネル	
	SR波形出力モード	8チャンネル	
通	通信部0	通信部1	
信	クロック同期形シリアルI/Oモード	あり	あり
	UARTモード	なし	
	HDLCデータ処理モード	あり	

注1．時間計測機能と波形生成機能は端子を共有しています。

時間計測機能と波形生成機能は、チャンネルごとに機能を選択できます。
通信部1通信機能では複数チャンネルを組み合わせて通信機能を実現します。

インテリジェントI/Oブロック図を図22.1、インテリジェントI/O通信部のブロック図を図22.2に示します。

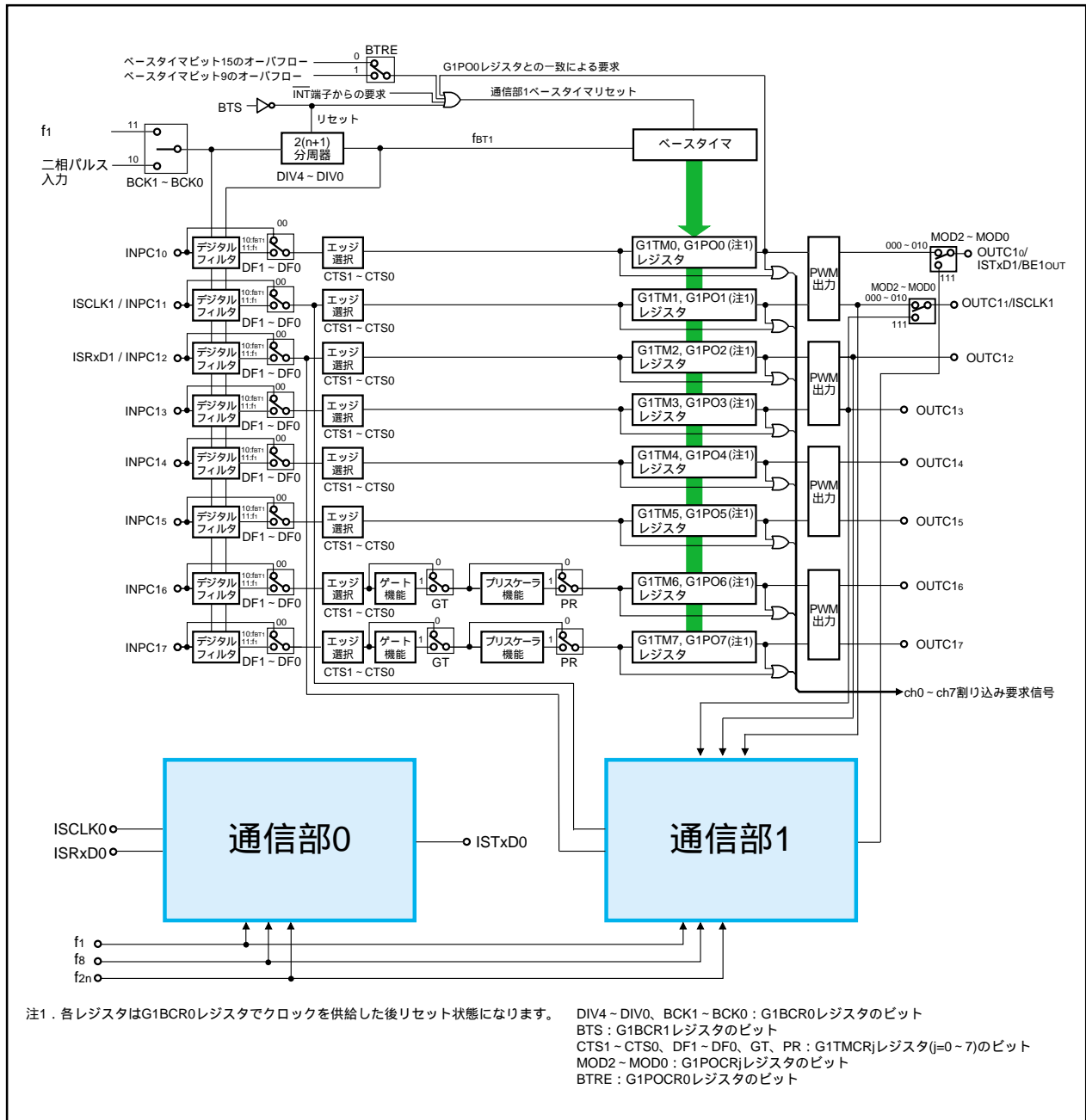


図22.1 インテリジェントI/Oブロック図

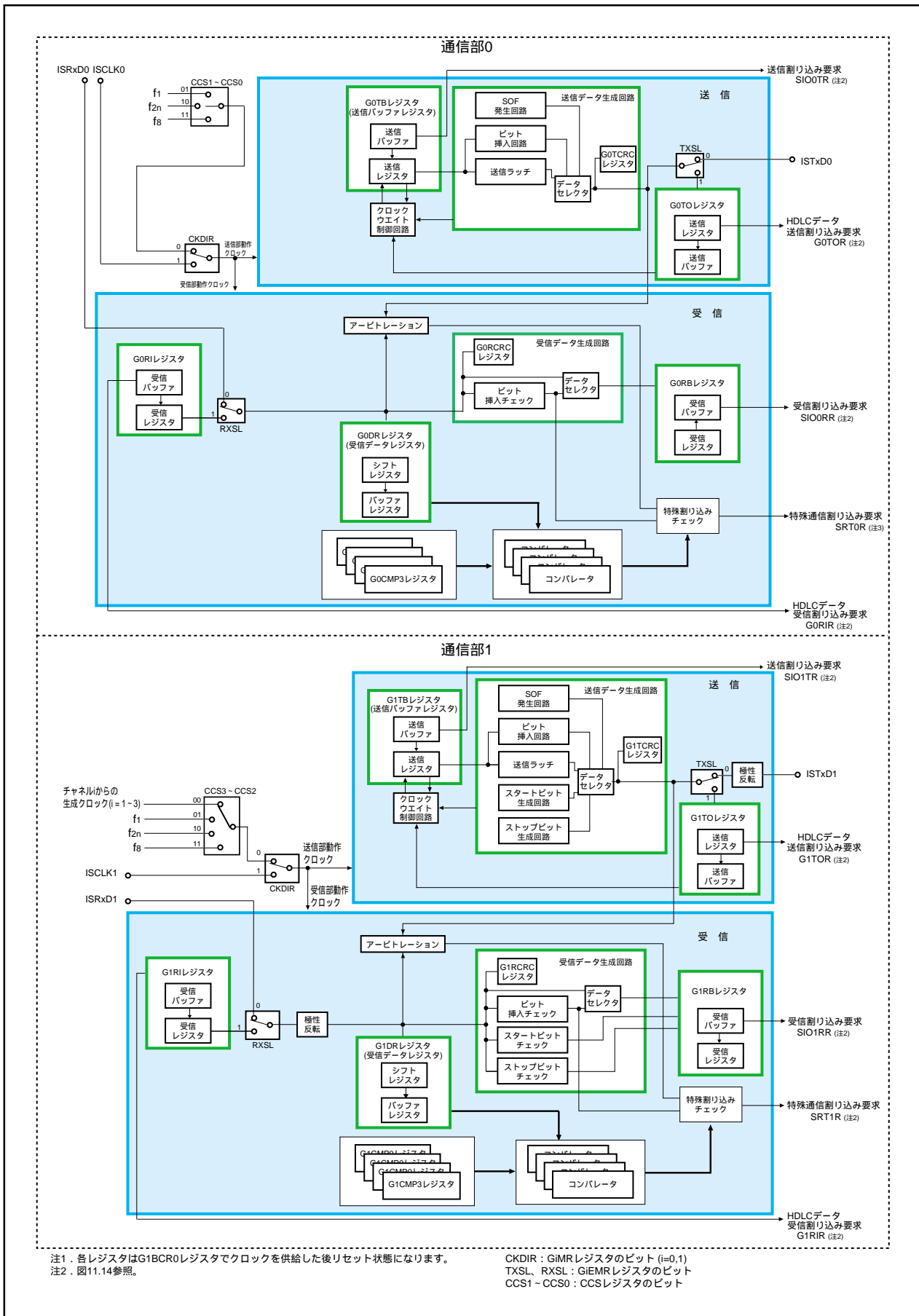
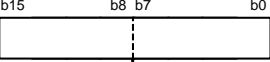


図22.2 インテリジェントI/O通信部のブロック図

図22.3～図22.8にインテリジェントI/Oのベースタイム、時間計測機能、波形生成機能関連レジスタを示します。(通信機能関連レジスタは図22.19～図22.28を参照してください。)

ベースタイムレジスタ1(注2)



b15 b8 b7 b0

シンボル
G1BT

アドレス
0121₁₆-0120₁₆番地

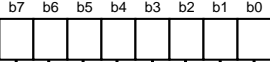
リセット後の値
不定

機 能	設定範囲	RW
<ul style="list-style-type: none"> ・ ベースタイム動作中 読むと、ベースタイム値が読める。書くと、書いた直後に書いた値からカウントする。ベースタイムリセットすると"0000₁₆"になる。 ・ ベースタイムリセット中 "0000₁₆"になるが、読んだ値は不定。値は書けない。(注1) 	0000 ₁₆ ~ FFFF ₁₆	RW

注1. ベースタイムは、G1BCR0レジスタのBCK1～BCK0ビットが"00₂"(カウントソースクロック停止)のとき停止、それ以外は動作します。G1BCR1レジスタのBTSビットを"0"にすると、ベースタイムリセットし続けることによって"0000₁₆"のままカウントしない状態にすることができます。
G1BCR1レジスタのBTSビットを"1"にすると、この状態が解除され、カウントを開始します。

注2. G1BTレジスタには、fbT1の半周期遅れてベースタイムの値が反映されます。

ベースタイム制御レジスタ10



b7 b6 b5 b4 b3 b2 b1 b0

シンボル
G1BCR0

アドレス
0122₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機 能	RW
BCK0	カウントソース 選択ビット	b1 b0 00: クロック停止 01: 設定しないでください 10: 二相パルス入力(注1) 11: f1	RW
BCK1			RW
DIV0	カウントソース分周比 選択ビット	設定値をn (n=0～31) とすると、カウント ソースを2(n+1)分周する。 ただし、n=31のとき分周なし b6 b5 b4 b3 b2 (n=0) 00000: 2分周 (n=1) 00001: 4分周 (n=2) 00010: 6分周 ⋮ (n=30) 11110: 62分周 (n=31) 11111: 分周なし	RW
DIV1			RW
DIV2			RW
DIV3			RW
DIV4			RW
IT	ベースタイム割り込み 選択ビット	0: ビット15のオーバフロー 1: ビット14のオーバフロー	RW

注1. G1BCR1レジスタのUD1～UD0ビットが"10₂"(二相パルス信号処理モード)の場合のみ使用できます。他のモードではBCK1～BCK0ビットを"10₂"にしないでください。

図22.3 G1BTレジスタ、G1BCR0レジスタ

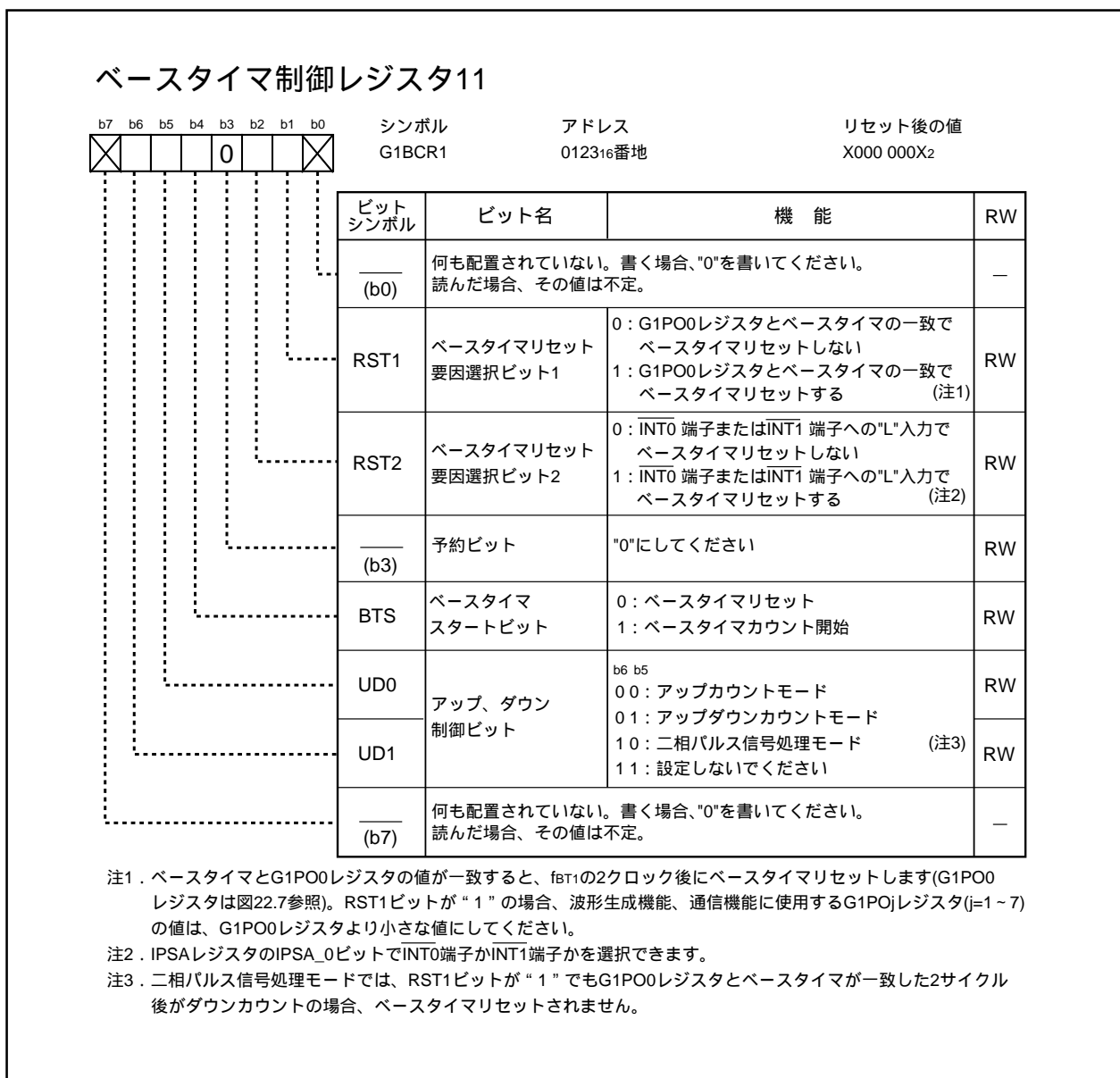


図22.4 G1BCR1レジスタ

時間計測制御レジスタ1j (j=0~7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
G1TMCR0~G1TMCR3	0118 ₁₆ , 0119 ₁₆ , 011A ₁₆ , 011B ₁₆ 番地	00 ₁₆
G1TMCR4~G1TMCR7	011C ₁₆ , 011D ₁₆ , 011E ₁₆ , 011F ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
CTS0	時間計測トリガ 選択ビット	b1 b0 00: 時間計測しない 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ	RW
		RW	
DF0	デジタルフィルタ 機能選択ビット	b3 b2 00: デジタルフィルタなし 01: 設定しないでください 10: fBT1 11: f1	RW
		RW	
GT	ゲート機能選択ビット (注1)	0: ゲート機能を使用しない 1: ゲート機能を使用する	RW
GOC	ゲート機能解除 選択ビット (注1,2,3)	0: ゲート機能解除選択しない 1: ベースタイムとG1POkレジスタの 一致により、ゲートを解除する	RW
GSC	ゲート機能解除ビット (注1,2)	このビットに"1"を書くと、ゲート解除 される。	RW
PR	プリスケアラ機能 選択ビット (注1)	0: 使用しない 1: 使用する	RW

注1. G1TMCR6レジスタとG1TMCR7レジスタにあります。
G1TMCR0~G1TMCR5レジスタのビット4~7は、すべて“0”にしてください。

注2. これらのビットは、GTビットが“1”のときのみ有効です。

注3. ゲート機能解除後、GOCビットは“0”になります。
G1POkレジスタ(j=6のときk=4、j=7のときk=5)は図22.7を参照。

時間計測プリスケアラレジスタ1j (j=6,7)

b7 b0

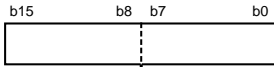
シンボル	アドレス	リセット後の値
G1TPR6~G1TPR7	0124 ₁₆ , 0125 ₁₆ 番地	00 ₁₆

機能	設定範囲	RW
設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行う (注1)	00 ₁₆ ~FF ₁₆	RW

注1. G1TMCRjレジスタのPRビットを“0”(プリスケアラ機能を使用しない)から“1”(プリスケアラ機能を使用する)にした後の最初のプリスケアラ周期は、設定値nに対してn+1にならずnになることがあります。それ以降の周期では、設定値nに対してn+1になります。

図22.5 G1TMCR0~G1TMCR7レジスタ、G1TPR6 G1TPR7レジスタ

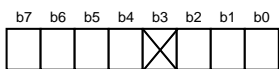
時間計測レジスタ1j (j=0~7)



シンボル	アドレス	リセット後の値
G1TM0~G1TM2	0101 ₁₆ -0100 ₁₆ , 0103 ₁₆ -0102 ₁₆ , 0105 ₁₆ -0104 ₁₆ 番地	不定
G1TM3~G1TM5	0107 ₁₆ -0106 ₁₆ , 0109 ₁₆ -0108 ₁₆ , 010B ₁₆ -010A ₁₆ 番地	不定
G1TM6~G1TM7	010D ₁₆ -010C ₁₆ , 010F ₁₆ -010E ₁₆ 番地	不定

機能	設定範囲	RW
時間計測タイミングごとにベースタイム値が格納される	—	RO

波形生成制御レジスタ1j (j=0~7)



シンボル	アドレス	リセット後の値
G1POCR0	0110 ₁₆ 番地	0000 X000 ₂
G1POCR1~G1POCR3	0111 ₁₆ , 0112 ₁₆ , 0113 ₁₆ 番地	0X00 X000 ₂
G1POCR4~G1POCR7	0114 ₁₆ , 0115 ₁₆ , 0116 ₁₆ , 0117 ₁₆ 番地	0X00 X000 ₂

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR 波形出力モード (注1) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 通信機能の出力を使用 (注2)(注3)	RW
MOD1		RW	
MOD2		RW	
(b3)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—
IVL	出力初期値選択ビット (注6)	0 : 初期値として"L"を出力 1 : 初期値として"H"を出力	RW
RLD	G1POjレジスタ値リロードタイミング選択ビット	0 : 書き込み時にリロード 1 : ベースタイムリセット時にリロード	RW
BTRE	ベースタイムリセット許可ビット (注4)	0 : ベースタイムビット15オーバーフローでベースタイムリセットする 1 : ベースタイムビット9オーバーフローでベースタイムリセットする (注7)	RW
INV	反転出力機能選択ビット (注5)	0 : 出力反転しない 1 : 出力反転する	RW

- 注1. この設定は偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル(偶数チャンネルの次のチャンネル)の設定は無効です。波形は偶数チャンネルより出力されます。奇数チャンネルからは出力されません。
- 注2. UART受信を行う場合、G1POCR2レジスタは“0000 0110₂”にしてください。
- 注3. この設定はチャンネル0と1のみ有効です。ISTxD1を使用するときG1POCR0レジスタのMOD2~MOD0ビットを“111₂”にしてください。また、ISCLK1を出力に使用するときG1POCR1レジスタのMOD2~MOD0ビットを“111₂”にしてください。それ以外のチャンネルまたは機能でMOD2~MOD0ビットを“111₂”にしないでください。
- 注4. G1POCR0レジスタのみにあります。G1POCR1~G1POCR7レジスタのビット6は“0”にしてください。
- 注5. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”にした場合、IVLビットを“0”にすると出力初期値は“H”に、IVLビットを“1”にすると出力初期値は“L”になります。
- 注6. G1FSレジスタのFSCjビットが“0”(波形生成機能を選択)でG1FEレジスタのIFEjビットが“1”(チャンネルjの機能を許可)のとき、IVLビットに値を書くと、設定した値が出力されます。
- 注7. BTREビットを“1”にする場合、G1BCR0レジスタのBCK1~BCK0ビットを“11₂”(f_i)、G1BCR1レジスタのUD1~UD0ビットを“00₂”(アップカウントモード)にしてください。

図22.6 G1TM0~G1TM7レジスタ、G1POCR0~G1POCR7レジスタ

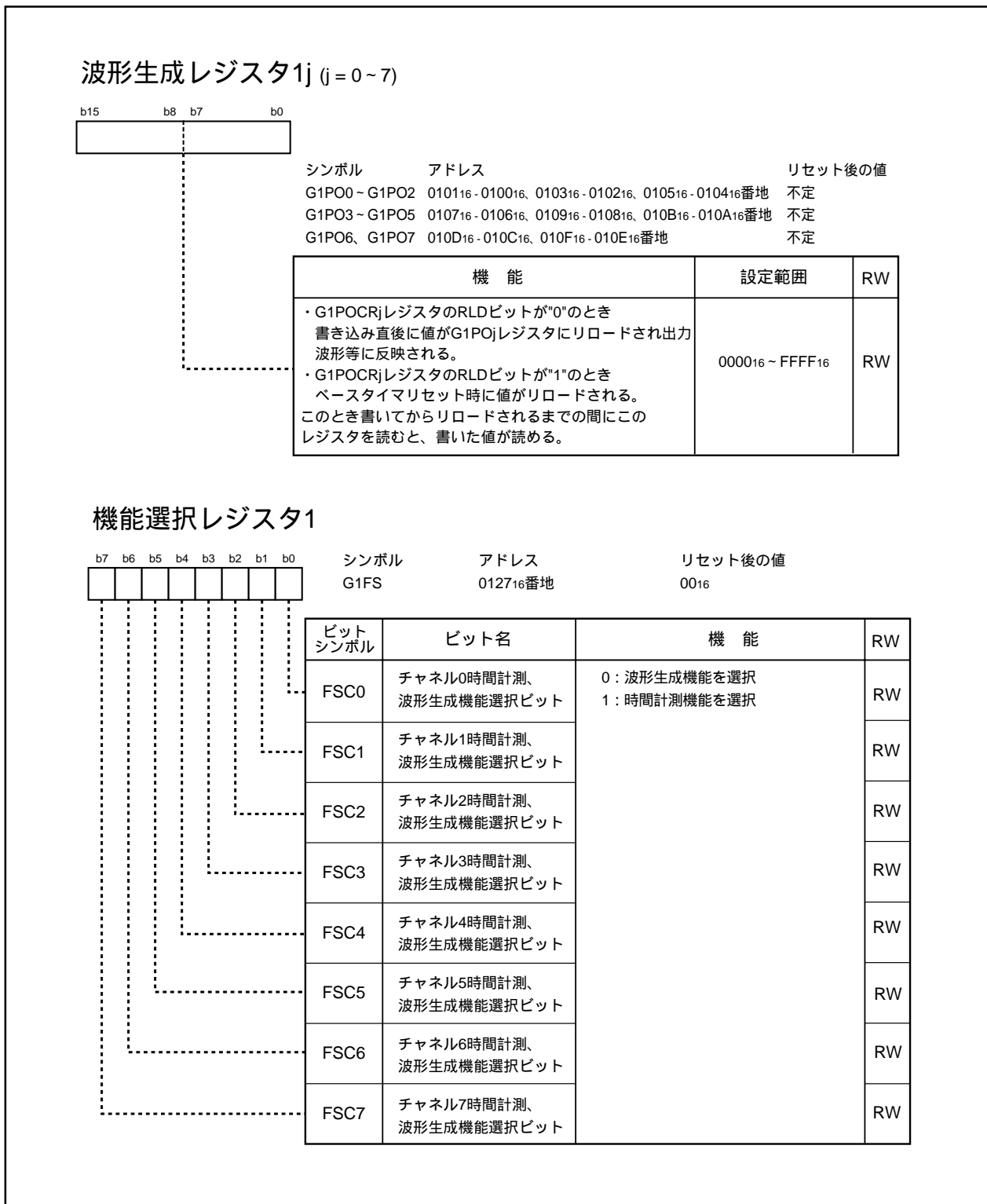


図22.7 G1PO0~ G1PO7レジスタ、G1FSレジスタ

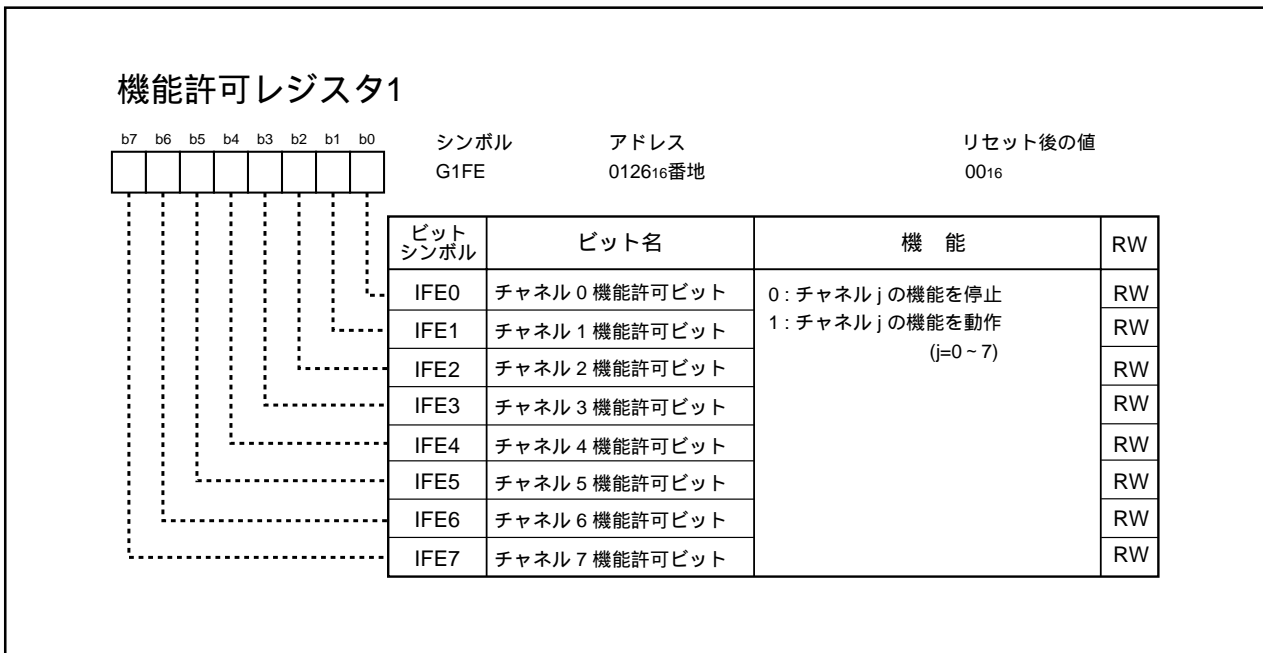


図22.8 G1FEレジスタ

22.1 ベースタイマ

内部で生成されたカウントソースをフリーランカウントします。表22.2にベースタイマの仕様を、図22.3～図22.4にベースタイマ関連レジスタを、図22.9にベースタイマのブロック図を、図22.10にベースタイマアップモードの動作例を、図22.11にベースタイマアップダウンモードの動作例を、図22.12に二相パルス信号処理モードの動作例を示します。

表22.2 ベースタイマの仕様

項目	仕様
カウントソース(f_{BT1})	f_1 の $2(n+1)$ 分周、二相パルス入力の $2(n+1)$ 分周 n : G1BCR0レジスタのDIV4～DIV0ビットで設定。 $n=0\sim 31$ 。 ただし $n=31$ の場合、分周しない。
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・アップダウンカウント ・二相パルス処理
カウント開始条件	G1BCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする
カウント停止条件	G1BCR1レジスタのBTSビットを“0”(ベースタイマリセット)にする
ベースタイマリセット条件	<ul style="list-style-type: none"> ・ベースタイマとG1PO0レジスタの値が一致 ・INT0端子またはINT1端子に“L”を入力 ・ベースタイマビット15のオーバーフロー、ベースタイマビット9のオーバーフロー時
ベースタイマリセット時の値	“0000 ₁₆ ”
割り込み要求	ベースタイマのビット9またはビット14、ビット15のオーバーフロー時に、IIO4IRレジスタのBT1Rビットが“1”(割り込み要求あり)になる(図11.14参照)
ベースタイマの読み出し	<ul style="list-style-type: none"> ・ベースタイマ動作中にG1BTレジスタを読むとベースタイマ値が読める ・ベースタイマリセット中にG1BTレジスタを読むと不定値が読める
ベースタイマへの書き込み	ベースタイマ動作中に値を書いた場合、書いた直後に書いた値からカウントされる。ベースタイマリセット中は書けない。
選択機能	<ul style="list-style-type: none"> ・アップダウンカウントモード BTSビットを“1”にするとベースタイマはカウントを開始し、“FFFF₁₆”になるとダウンカウントする。また、G1BCR1レジスタのRST1ビットが“1”(G1PO0レジスタとの一致でベースタイマリセットする)の場合、G1PO0レジスタと一致した2カウント後にダウンカウントする。次に“0000₁₆”になると再びアップカウントする(図22.11参照)。 ・二相パルス処理モード P8₀、P8₁またはP7₆、P7₇からの二相パルスをカウントする(図22.12参照)。 入力端子の切り替えはIPSAレジスタのIPSA_0ビットで行う(「24. プログラマブル入出力ポート」参照)。 <div style="text-align: center;"> <p>すべてのエッジをアップカウント すべてのエッジをダウンカウント</p> </div>

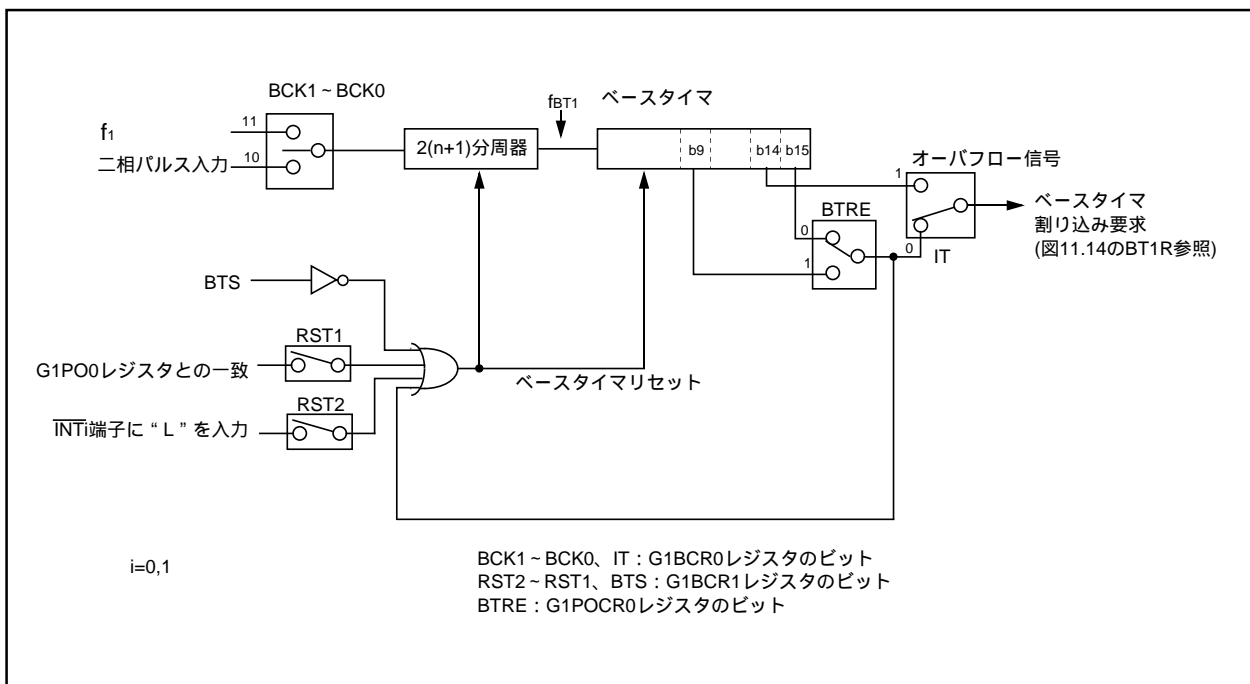


図22.9 ベースタイマのブロック図

表22.3 ベースタイマ関連レジスタの設定(時間計測機能、波形生成機能、通信機能共通)

レジスタ	ビット	機能
G1BCR0	BCK1 ~ BCK0	カウントソース選択
	DIV4 ~ DIV0	カウントソース分周比選択
	IT	ベースタイマ割り込み選択
G1BCR1	RST2 ~ RST1	ベースタイマリセット要因選択
	BTS	ベースタイマを単独で開始する場合使用
	UD1 ~ UD0	カウント方法選択
G1POCR0	BTRE	ベースタイマリセット要因選択
G1BT	-	ベースタイマの値を読む、または書く

RST1ビットが“1”(ベースタイマとG1PO0の一致でベースタイマリセット)の場合以下のレジスタの設定が必要です

G1POCR0	MOD2 ~ MOD0	“0002”(単相波形出力モード)にしてください
G1PO0	-	リセット周期を設定してください
G1FS	FSC0	“0”(波形生成機能)にしてください
G1FE	IFE0	“1”(チャネル動作開始)にしてください

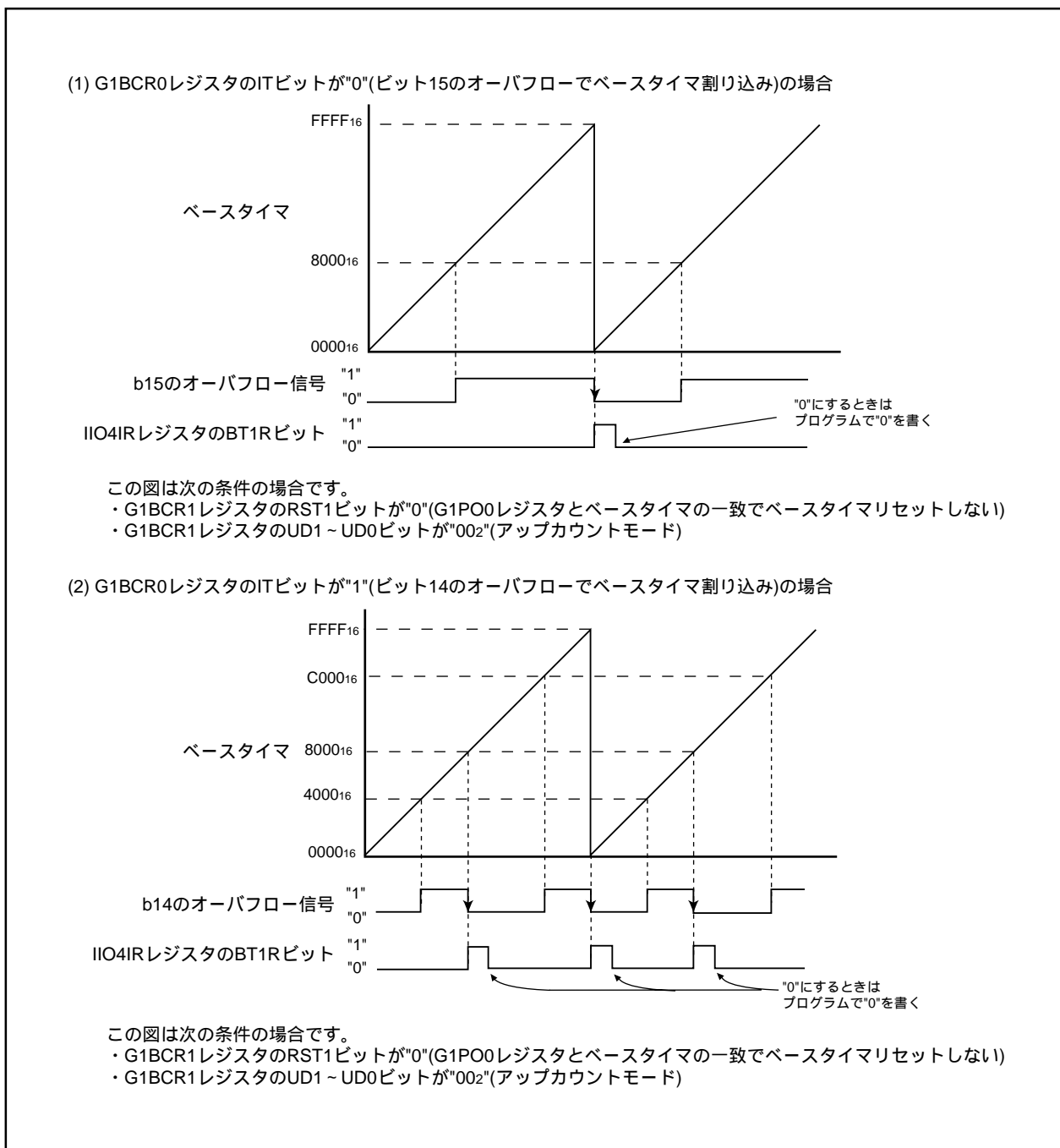


図22.10 ベースタイマのアップモードの動作例

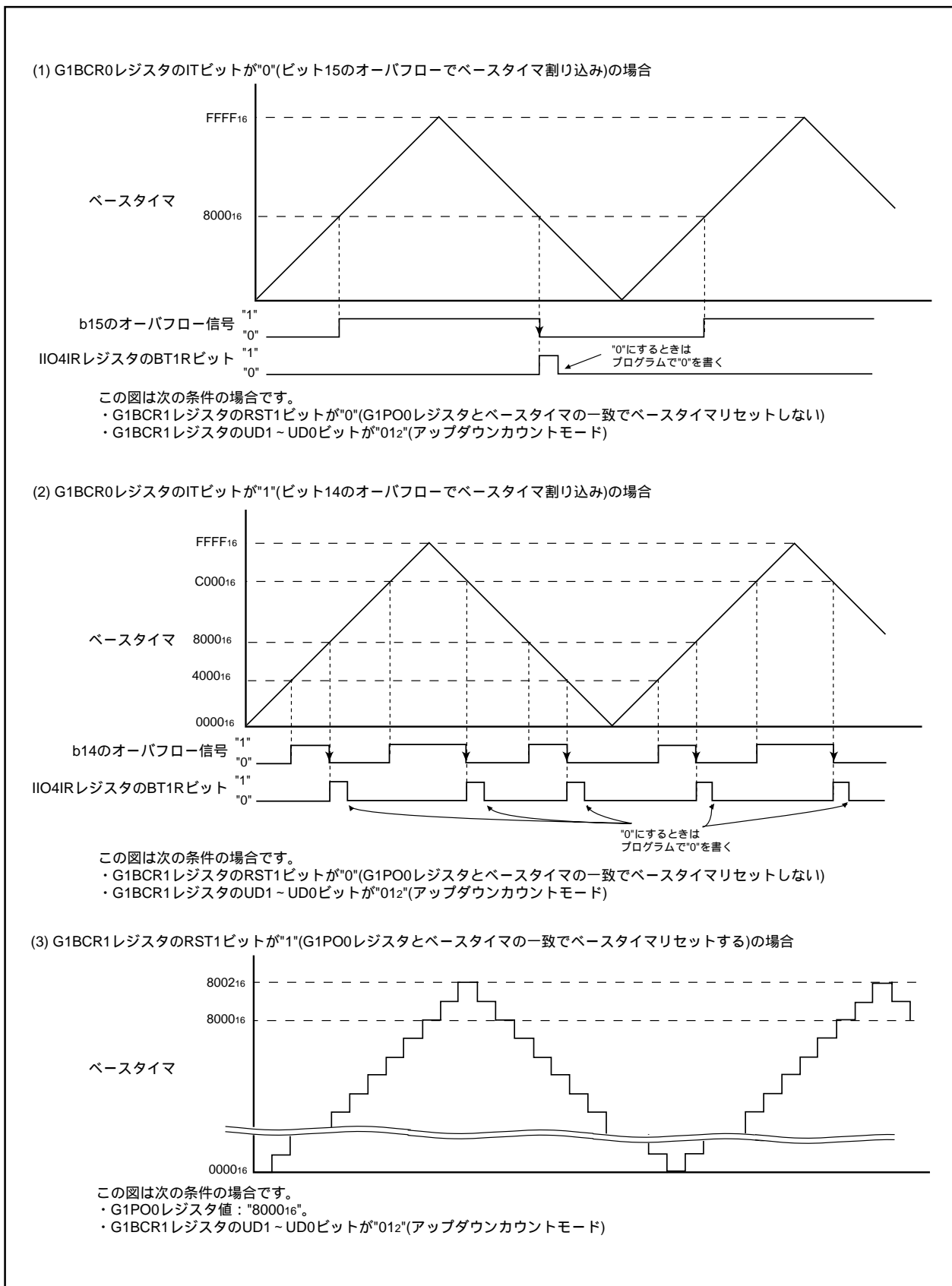


図22.11 ベースタイマのアップダウンモードの動作例

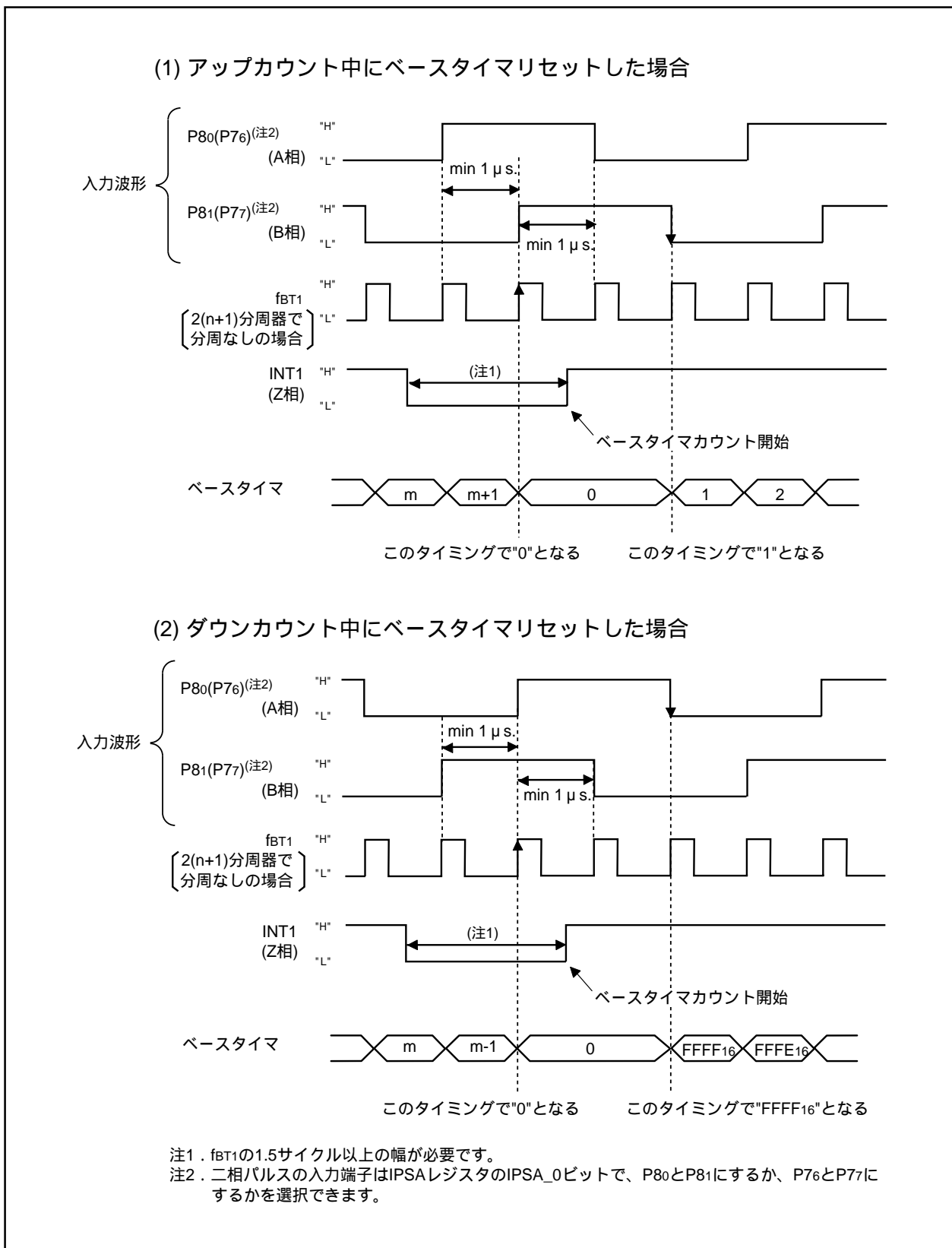


図22.12 ベースタイマの二相パルス信号処理モードの動作例

22.2 時間計測機能

外部トリガ入力に同期しベースタイマの値をG1TMjレジスタ(j=0~7)に格納します。表22.4に時間計測機能の仕様を、表22.5に時間計測機能を使用する場合の設定を、表22.6に時間計測機能関連レジスタの設定を、図22.13~図22.14に時間計測機能の動作例を、図22.15にプリスケアラ機能、ゲート機能使用時の動作例を示します。

表22.4 時間計測機能の仕様

項目	仕様
計測チャンネル	チャンネル0~7
トリガ入力極性選択	INPC1j端子(j=0~7)の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	G1FSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態で、G1FEレジスタのIFEjビットを“1”(チャンネルjの機能を動作)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
時間計測タイミング	<ul style="list-style-type: none"> ・プリスケアラ機能無し：トリガ入力ごと ・プリスケアラ機能有り(チャンネル6、7)：G1TPRkレジスタ(k=6、7)値+1回目のトリガ入力ごと
割り込み要求	時間計測タイミングに、TM1jRビットが“1”(割り込み要求あり)になる(図11.14参照)
INPC1j端子機能	トリガ入力
選択機能	<ul style="list-style-type: none"> ・デジタルフィルタ機能 トリガ入力レベルをf_1またはf_{BT1}ごとに判定し、3回一致したパルス成分を通過させる ・プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、G1TPRkレジスタ値+1回目のトリガ入力ごとに時間計測を実行 ・ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する。 G1TMCRkレジスタのGOCビットが“1”(G1POpレジスタ(k=6のときp=4、k=7のときp=5)の一致によりゲートを解除)の状態で、ベースタイマとG1POpレジスタの値が一致、またはG1TMCRkレジスタのGSCビットを“1”にすると、再度トリガ入力の受付を許可

表22.5 時間計測機能を使用する場合の設定

端子	ビットと設定値		
	PS1、PS2、PS5、PS8 レジスタ	PD7、PD8、PD11、PD14 レジスタ	IPSレジスタ
P70/INPC16	PS1_0 = 0	PD7_0 = 0	IPS1 = 0
P71/INPC17	PS1_1 = 0	PD7_1 = 0	
P73/INPC10	PS1_3 = 0	PD7_3 = 0	
P74/INPC11	PS1_4 = 0	PD7_4 = 0	
P75/INPC12	PS1_5 = 0	PD7_5 = 0	
P76/INPC13	PS1_6 = 0	PD7_6 = 0	
P77/INPC14	PS1_7 = 0	PD7_7 = 0	
P81/INPC15	PS2_1 = 0	PD8_1 = 0	
P110/INPC10 ^(注1)	PS5_0 = 0	PD11_0 = 0	IPS1 = 1
P111/INPC11 ^(注1)	PS5_1 = 0	PD11_1 = 0	
P112/INPC12 ^(注1)	PS5_2 = 0	PD11_2 = 0	
P113/INPC13 ^(注1)	PS5_3 = 0	PD11_3 = 0	
P140/INPC14 ^(注1)	PS8_0 = 0	PD14_0 = 0	
P141/INPC15 ^(注1)	PS8_1 = 0	PD14_1 = 0	
P142/INPC16 ^(注1)	PS8_2 = 0	PD14_2 = 0	
P143/INPC17 ^(注1)	PS8_3 = 0	PD14_3 = 0	

注1. 144ピン版で使用できます。

表22.6 時間計測機能関連レジスタの設定

レジスタ	ビット	機能
G1TMCRj	CTS1 ~ CTS0	時間計測トリガ選択
	DF1 ~ DF0	デジタルフィルタ機能選択
	GT、GOC、GSC	ゲート機能選択
	PR	プリスケアラ機能選択
G1TPRk	-	プリスケアラ値設定
G1FS	FSCj	“1” (時間計測機能)にしてください
G1FE	IFEj	“1” (チャネルj機能許可)にしてください

j=0~7、k=6,7

チャネルによって、ビット構成、機能が違います。

ベースタイマ関連レジスタを設定後に、時間計測機能関連レジスタを設定してください。

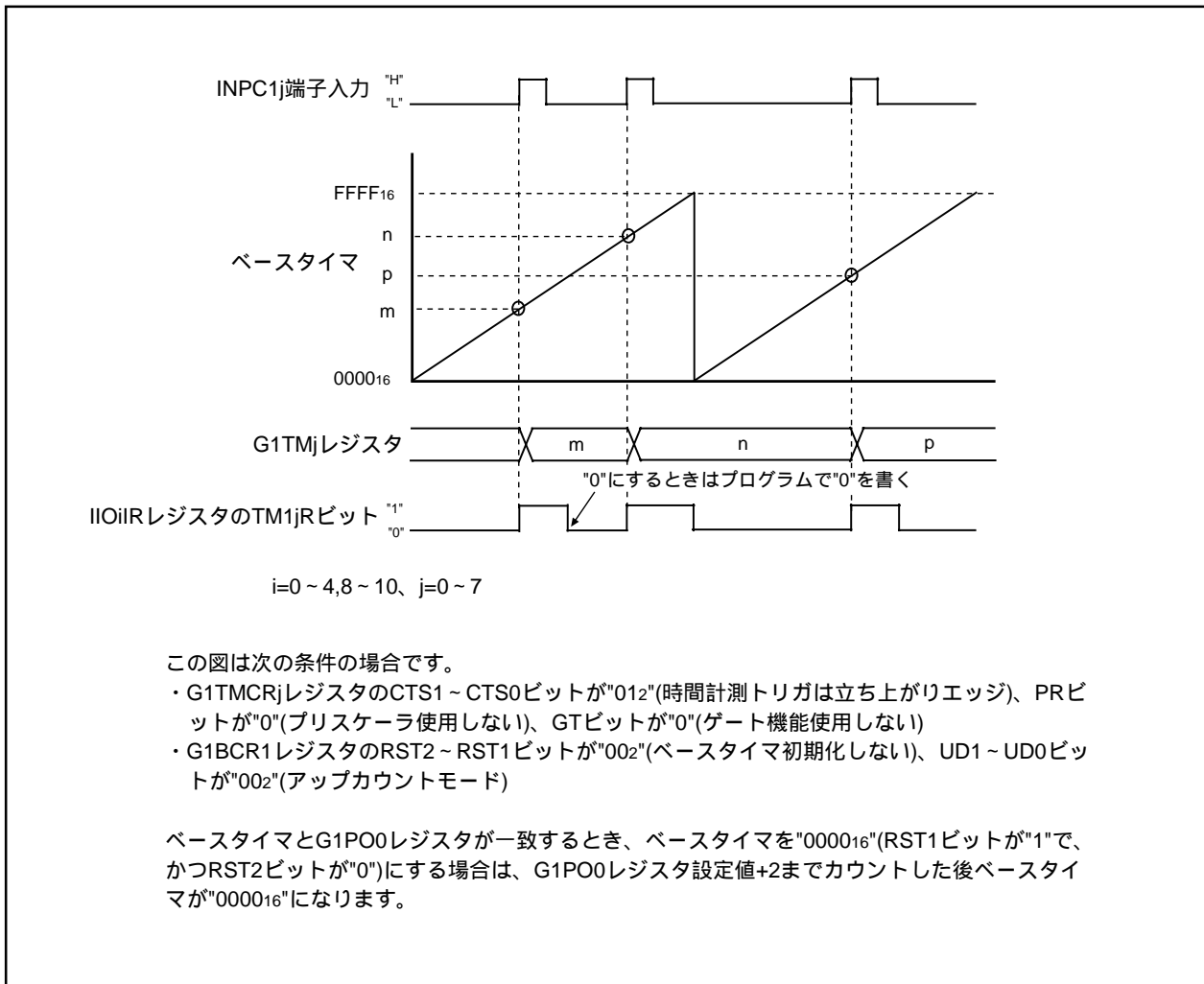


図22.13 時間計測機能の動作例 (1)

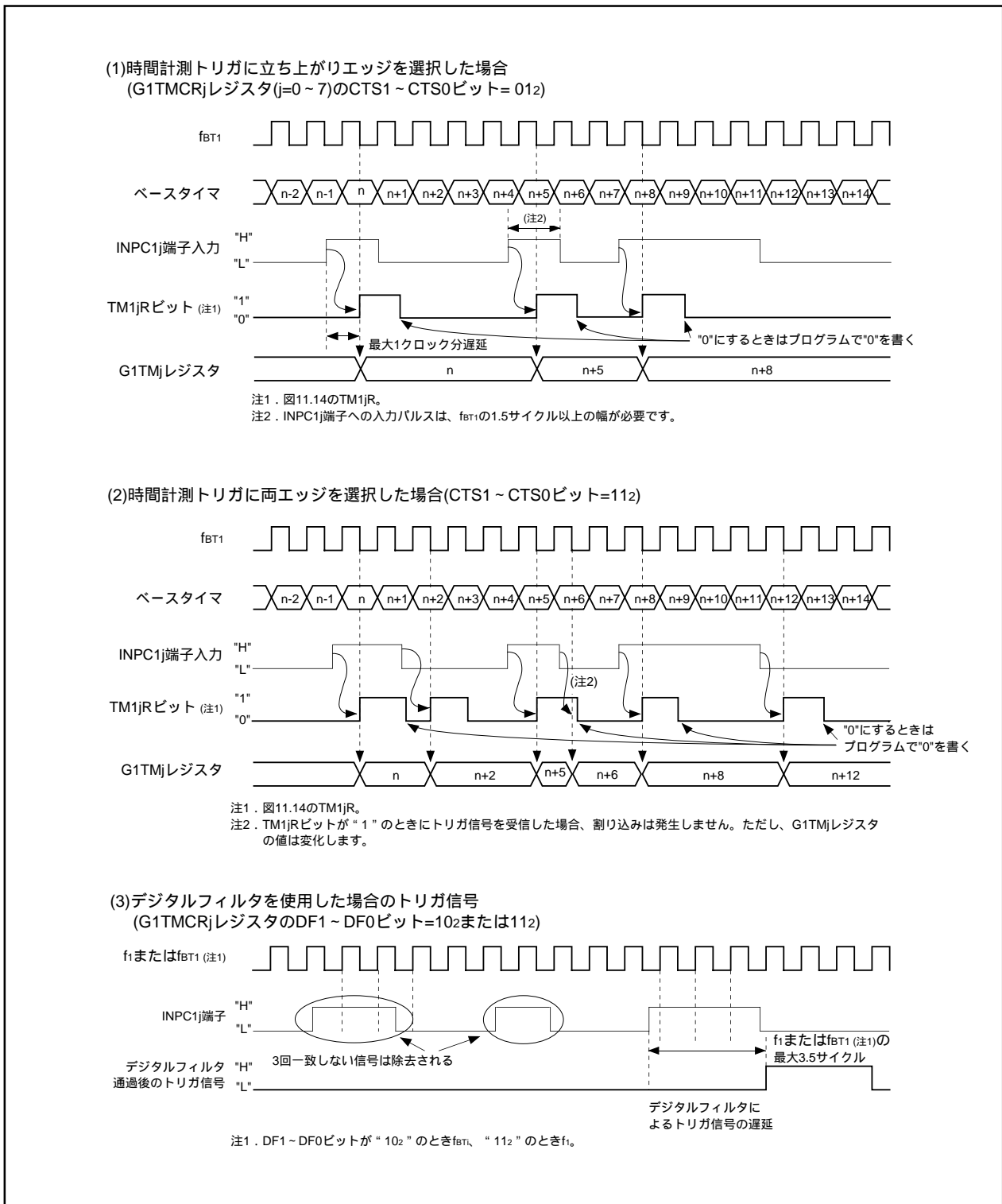


図22.14 時間計測機能の動作例 (2)

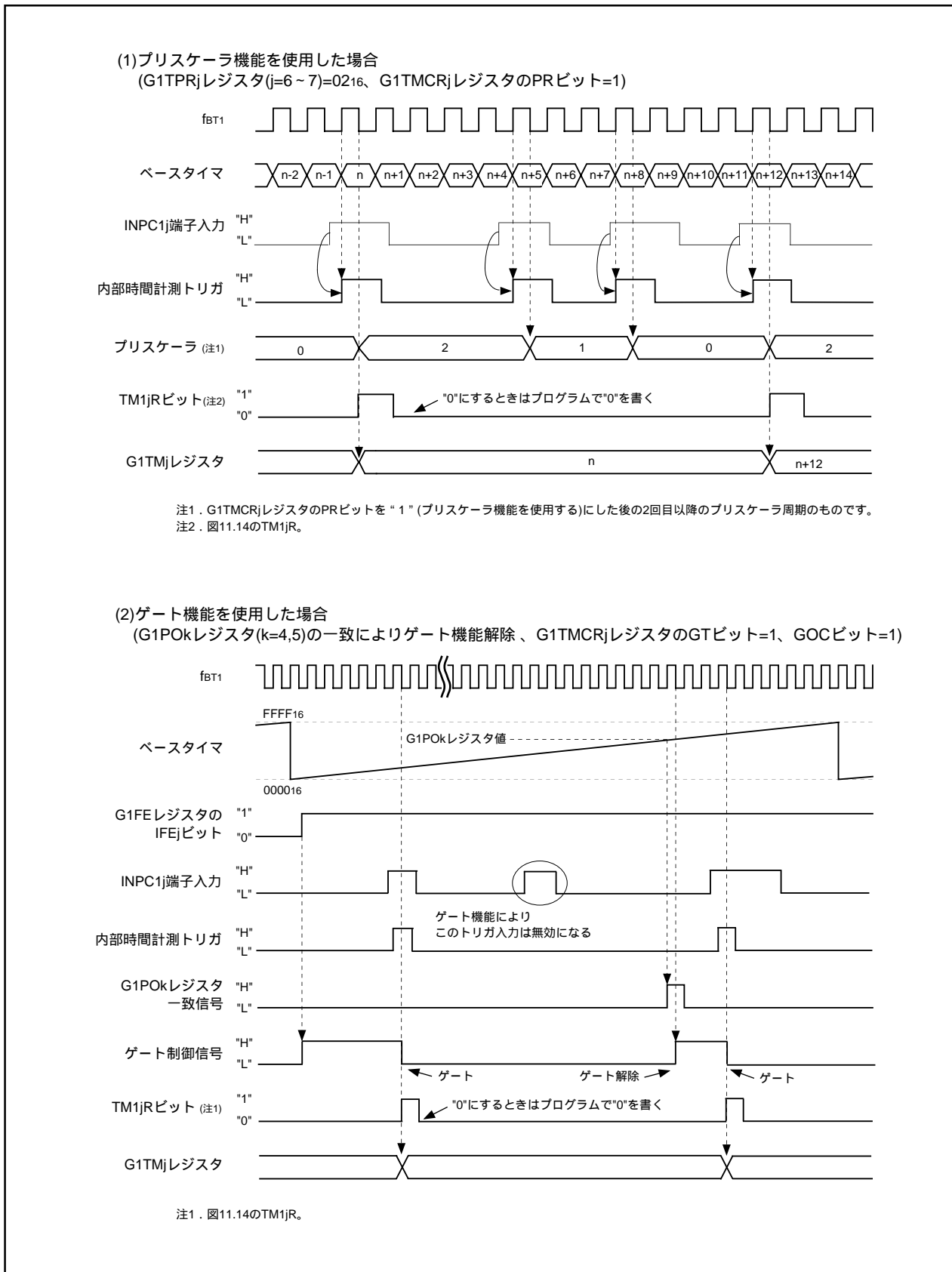


図22.15 プリスケアラ機能、ゲート機能使用時の動作例

22.3 波形生成機能

ベースタイムとG1POjレジスタ(j=0~7)の値の一致により、波形生成を行います。

波形生成機能には、次の3つのモードがあります。

- ・単相波形出力モード
- ・反転波形出力モード
- ・セット-リセット波形出力(SR波形出力)モード

表22.7に波形生成機能を使用する場合の設定を、表22.8に波形生成機能関連レジスタの設定を示します。

表22.7 波形生成機能を使用する場合の設定

端子	ビットと設定値			
	PS1,2,5,8レジスタ	PSL1、PSL2レジスタ	PSC、PSC2レジスタ	PSD1レジスタ
P70/OUTC16	PS1_0 = 1	PSL1_0 = 0	PSC_0 = 1	PSD1_0 = 1
P71/OUTC17	PS1_1 = 1	PSL1_1 = 0	PSC_1 = 1	PSD1_1 = 1
P73/OUTC10	PS1_3 = 1	PSL1_3 = 0	PSC_3 = 1	-
P74/OUTC11	PS1_4 = 1	PSL1_4 = 0	PSC_4 = 1	-
P75/OUTC12	PS1_5 = 1	PSL1_5 = 1	-	-
P76/OUTC13	PS1_6 = 1	PSL1_6 = 0	PSC_6 = 0	PSD1_6 = 1
P77/OUTC14	PS1_7 = 1	PSL1_7 = 1	-	-
P81/OUTC15	PS2_1 = 1	PSL2_1 = 1	PSC2_1 = 1	-
P110/OUTC10 ^(注1)	PS5_0 = 1	-	-	-
P111/OUTC11 ^(注1)	PS5_1 = 1			
P112/OUTC12 ^(注1)	PS5_2 = 1			
P113/OUTC13 ^(注1)	PS5_3 = 1			
P140/OUTC14 ^(注1)	PS8_0 = 1			
P141/OUTC15 ^(注1)	PS8_1 = 1			
P142/OUTC16 ^(注1)	PS8_2 = 1			
P143/OUTC17 ^(注1)	PS8_3 = 1			

注1. 144ピン版で使用できます。

表22.8 波形生成機能関連レジスタの設定

レジスタ	ビット	機能
G1POCRj	MOD2 ~ MOD0	波形出力モードを選択
	IVL	出力初期値選択
	RLD	G1POjレジスタ値リロードタイミング選択
	INV	出力反転選択
G1POj	-	出力波形を反転させるタイミングを設定
G1FS	FSCj	“0” (波形生成機能)にしてください
G1FE	IFEj	“1” (チャンネルj機能許可)にしてください

j=0~7

チャンネルによって、ビット構成、機能が違います。

ベースタイム関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。

22.3.1 単相波形出力モード

ベースタイムとG1POjレジスタ(j=0~7)の値が一致するとOUTC1j端子の出力レベルは“H”になり、ベースタイムが“0000₁₆”になると“L”になります。G1POCRjレジスタのIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力反転する)にすると、出力波形をレベル反転して出力します。詳細は、図22.16 単相波形出力モードの動作例を参照してください。

表22.9に単相波形出力モードの仕様を示します。

表22.9 単相波形出力モードの仕様

項目	仕様
出力波形(注2)	<ul style="list-style-type: none"> ・フリーラン動作(G1BCR1レジスタのRST2~RST1ビットが“002”)の場合 <ul style="list-style-type: none"> 周期 : $\frac{65536}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ “H”幅 : $\frac{65536 - m}{f_{BT1}}$ m : G1POjレジスタ(j=0~7)の設定値 0000₁₆ ~ FFFF₁₆ ・ベースタイムとG1PO0レジスタが一致するとき、ベースタイムを“0000₁₆”にする(RST1ビットが“1”かつRST2ビットが“0”)場合 <ul style="list-style-type: none"> 周期 : $\frac{n + 2}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ “H”幅 : $\frac{n + 2 - m}{f_{BT1}}$ m : G1POjレジスタ(j=1~7)の設定値 0000₁₆ ~ FFFF₁₆ n : G1PO0レジスタの設定値 0001₁₆ ~ FFFD₁₆ m n+2の場合、出力レベルは“L”固定
波形出力開始条件(注1)	G1FEレジスタのIFEjビット(j=0~7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイム値とG1POjレジスタの値が一致したときに、割り込み要求レジスタのPO1jRビットが“1”(割り込み要求あり)になる(図11.14参照)
OUTC1j端子	パルス出力
選択機能	初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTC1j端子から出力

注1. G1FSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

注2. G1POCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

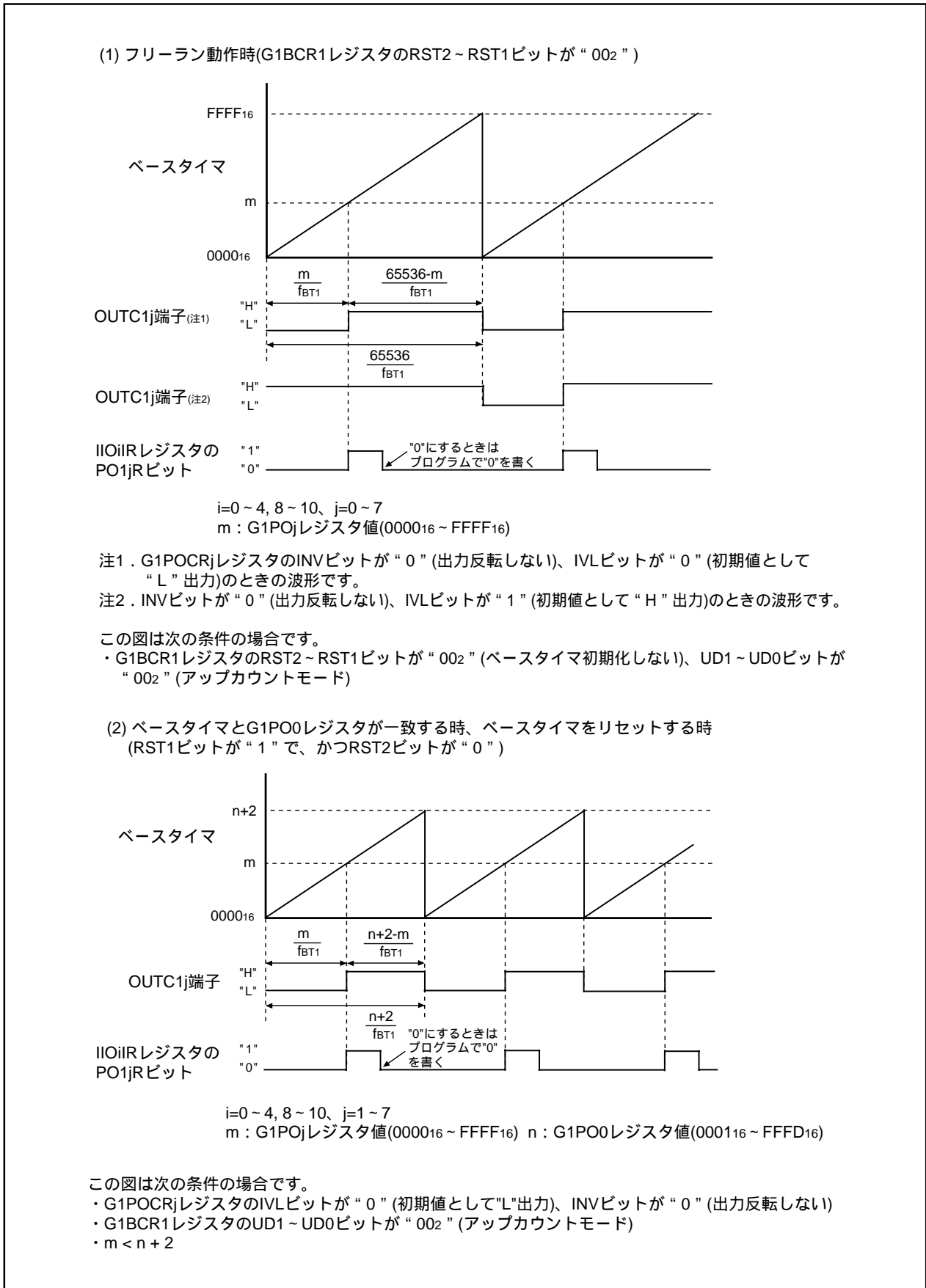


図22.16 単相波形出力モードの動作例

22.3.2 反転波形出力モード

ベースタイムとG1POjレジスタ(j=0~7)の値が一致するとOUTC1j端子の出力レベルを反転します。
表22.10に反転波形出力モードの仕様を、図22.17に反転波形出力モードの動作例を示します。

表22.10 反転波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> ・フリーラン動作(G1BCR1レジスタのRST2~RST1ビットが“002”)の場合 周期 : $\frac{65536 \times 2}{f_{BT1}}$ “H”幅、“L”幅 : $\frac{65536}{f_{BT1}}$ G1POjレジスタ(j=0~7)の設定値 0000₁₆ ~ FFFF₁₆ ・ベースタイムとG1PO0レジスタが一致した時ベースタイムを“0000₁₆”にする (RST1ビットが“1”かつ、RST2ビットが“0”)場合 周期 : $\frac{2(n+2)}{f_{BT1}}$ “H”幅、“L”幅 : $\frac{n+2}{f_{BT1}}$ n : G1PO0レジスタの設定値 0001₁₆ ~ FFFD₁₆ G1POjレジスタ(j=1~7)の設定値 0000₁₆ ~ FFFF₁₆ G1POjレジスタ値 n+2の場合、出力レベルは反転しません
波形出力開始条件 ^(注1)	G1FEレジスタのIFEjビット(j=0~7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイムとG1POjレジスタの値が一致したとき、割り込み要求レジスタのPO1jRビットが“1”(割り込み要求あり)になる(図11.14参照)
OUTC1j端子	パルス出力
選択機能	初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTC1j端子から出力

注1. G1FSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

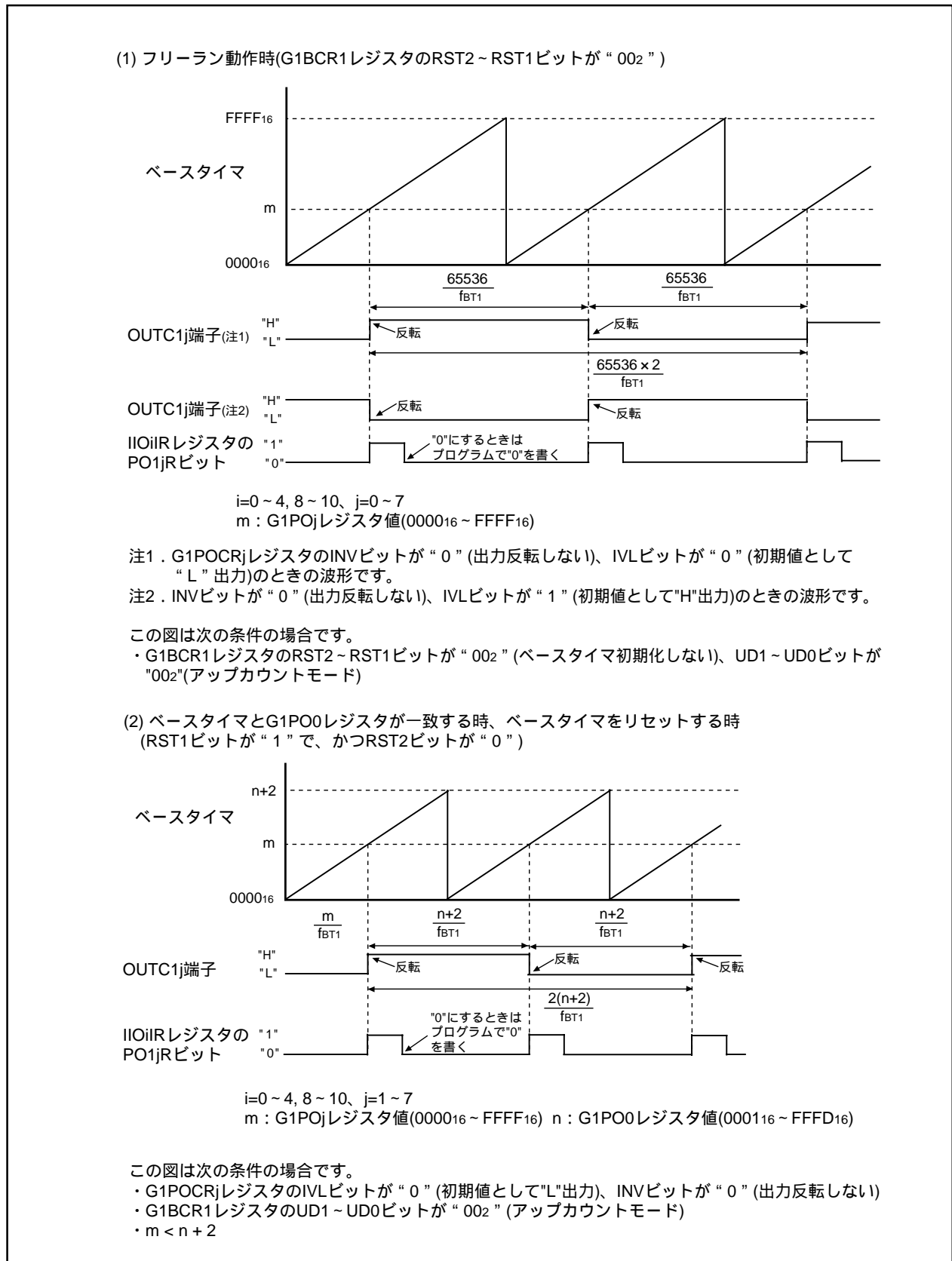


図22.17 反転波形出力モード時の動作例

22.3.3 セット-リセット波形出力(SR波形出力)モード

ベースタイムとG1POjレジスタ(j=0、2、4、6)の値が一致するとOUTC1j端子の出力レベルは“H”になり、ベースタイムとG1POkレジスタ(k=j+1)の値が一致するか、ベースタイムが“0000₁₆”になると“L”になります。G1POCRjレジスタのIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力反転する)にすると、出力波形をレベル反転して出力します。詳細は、図22.18 SR波形出力モードの動作例を参照してください。表22.11にSR波形出力モードの仕様を示します。

表22.11 SR波形出力モードの仕様

項目	仕様
出力波形 ^(注3)	<ul style="list-style-type: none"> ・フリーラン動作(G1BCR1レジスタのRST2～RST1ビットが“002”)の場合 <ul style="list-style-type: none"> (1) m < nの場合 <ul style="list-style-type: none"> “H”幅 : $\frac{n-m}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ ^(注4) + $\frac{65536-n}{f_{BT1}}$ ^(注5) (2) m = nの場合 <ul style="list-style-type: none"> “H”幅 : $\frac{65536-m}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ m : G1POjレジスタ(j=0、2、4、6)の設定値 n : G1POkレジスタ(k=j+1)の設定値 ・ベースタイムとG1PO0レジスタが一致した時ベースタイムを“0000₁₆”にする(RST1ビットが“1”かつ、RST2ビットが“0”)場合 ^(注1) <ul style="list-style-type: none"> (1) m < n < p+2の場合 <ul style="list-style-type: none"> “H”幅 : $\frac{n-m}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ ^(注4) + $\frac{p+2-n}{f_{BT1}}$ ^(注5) (2) m < p+2 = nの場合 <ul style="list-style-type: none"> “H”幅 : $\frac{p+2-m}{f_{BT1}}$ “L”幅 : $\frac{m}{f_{BT1}}$ (3) m = p+2の場合、出力レベルは“L”固定 p : G1PO0レジスタの設定値 m : G1POjレジスタ(j=2、4、6)の設定値 n : G1POkレジスタ(k=j+1)の設定値 pの値は0001₁₆～FFFD₁₆ m、nの値は0000₁₆～FFFF₁₆
波形出力開始条件 ^(注2)	G1FEレジスタのIFEqビット(q=0～7)を“1”(チャンネルqの機能を動作)にする
波形出力停止条件	IFEqビットを“0”(チャンネルqの機能を停止)にする
割り込み要求	ベースタイム値とG1POjレジスタ値が一致したとき割り込み要求レジスタのPO1jRビットが“1”に、ベースタイム値とG1POkレジスタ値が一致したとき割り込み要求レジスタのPO1kRビットが“1”(割り込み要求あり)になる(図11.14参照)
OUTC1j端子	パルス出力
選択機能	初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTC1j端子から出力

注1. G1PO0レジスタでベースタイムをリセットする場合、チャンネル0、1によるSR波形生成機能は使用できません。

注2. G1FSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

注3. G1POCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

注4. ベースタイムリセットしてから出力レベルが“H”になるまでの期間

注5. 出力レベルが“L”になってから、ベースタイムリセットするまでの期間

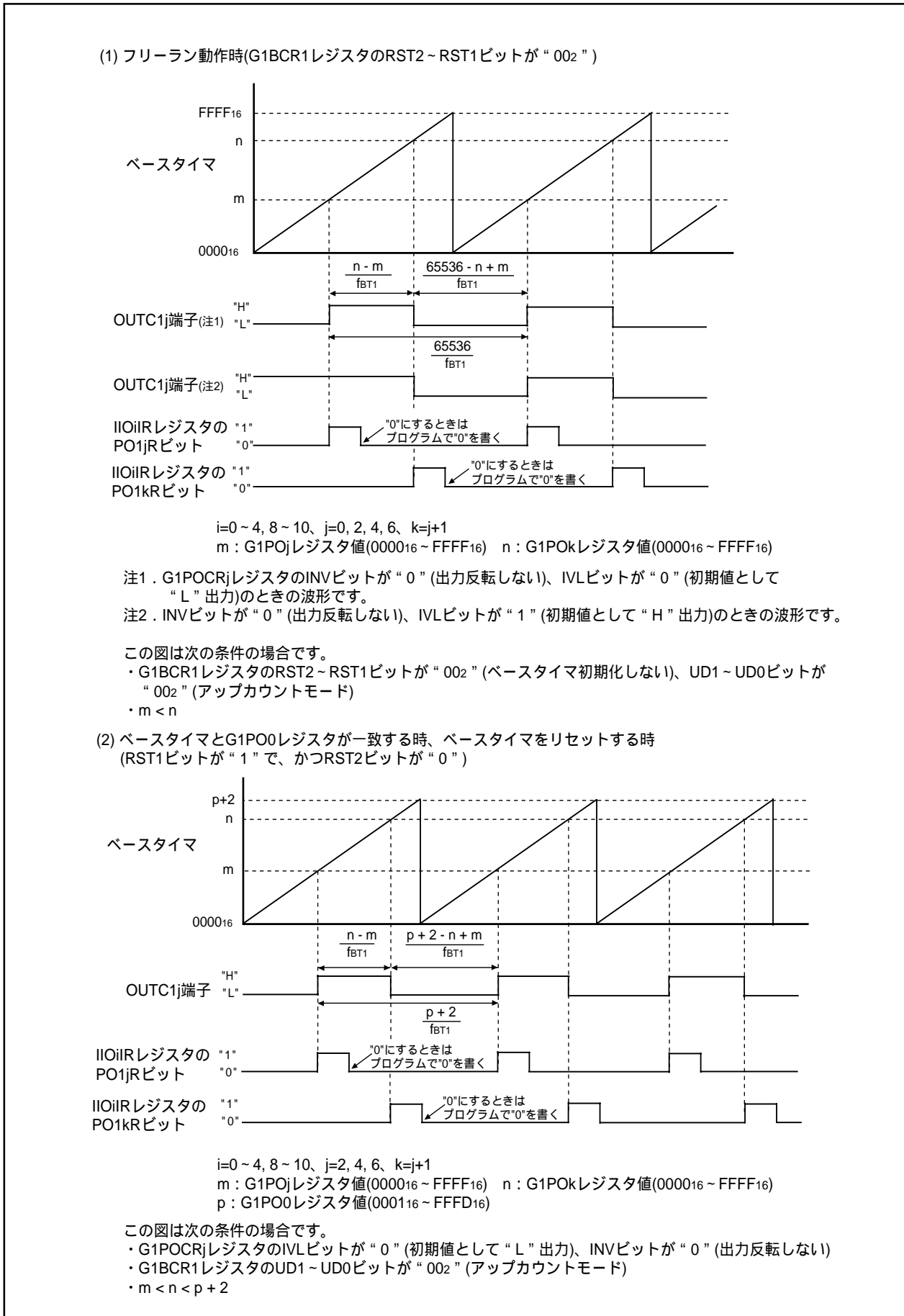


図22.18 SR波形出力モードの動作例

22.4 通信部0、1通信機能

インテリジェントI/O通信部1では、8ビットクロック同期形シリアルI/O、8ビットクロック非同期形シリアルI/O(UART)またはHDLCデータ処理を行います。通信部0では、8ビットクロック同期形シリアルI/OまたはHDLCデータ処理を行います。

図22.19～22.28に関連するレジスタを示します。

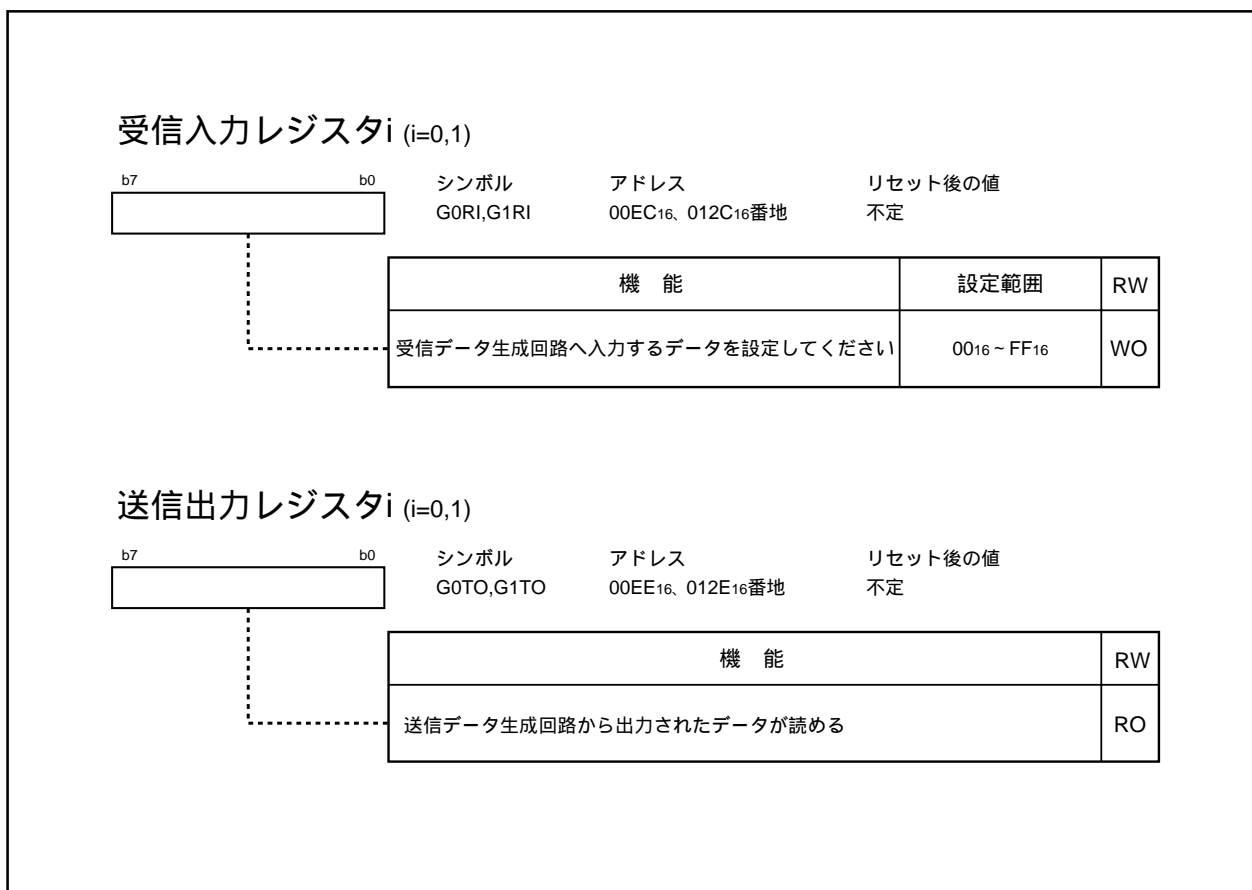


図22.19 G0RI～G1RIレジスタ、G0TO～G1TOレジスタ

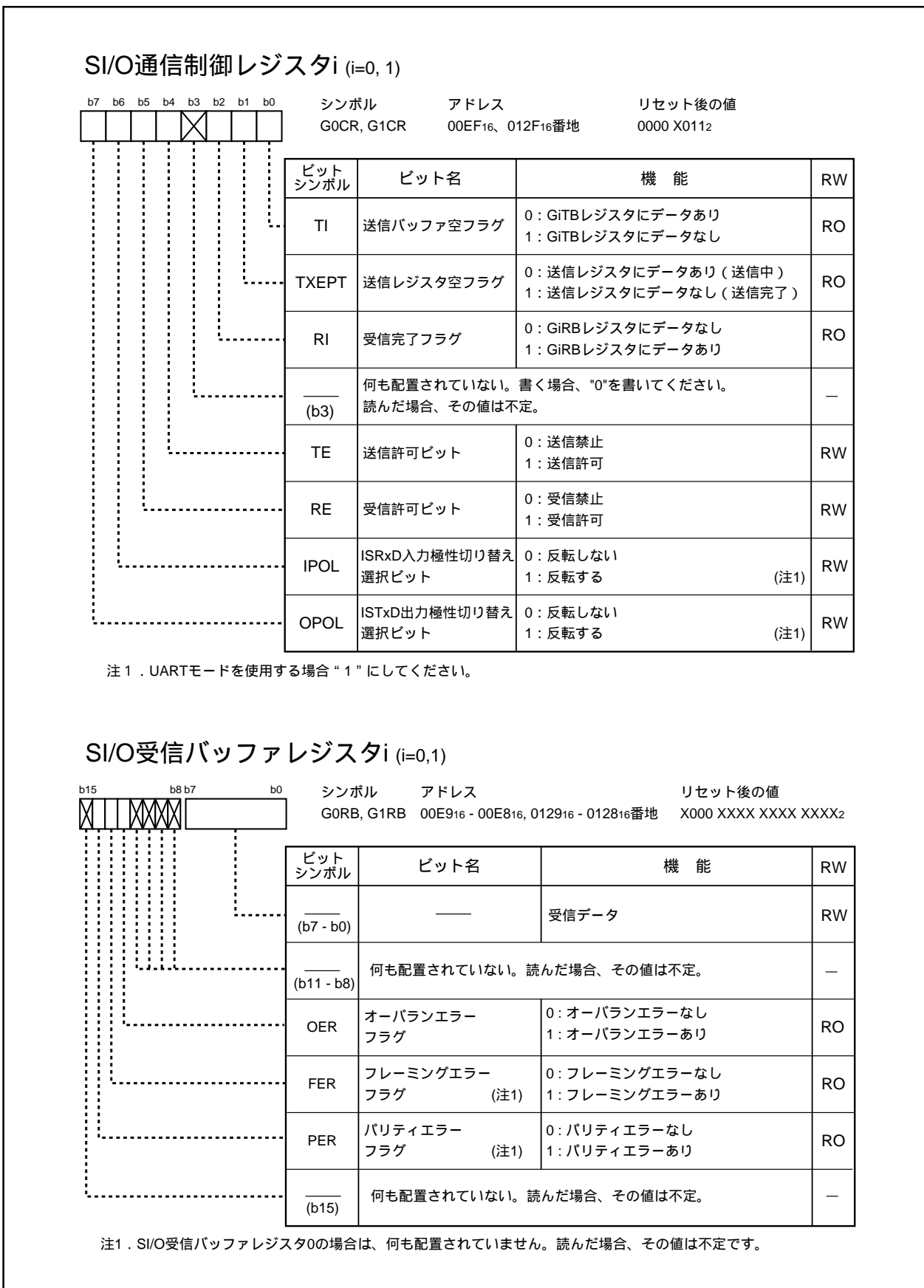


図22.20 G0CR~ G1CRLレジスタ、G0RB~ G1RBLレジスタ

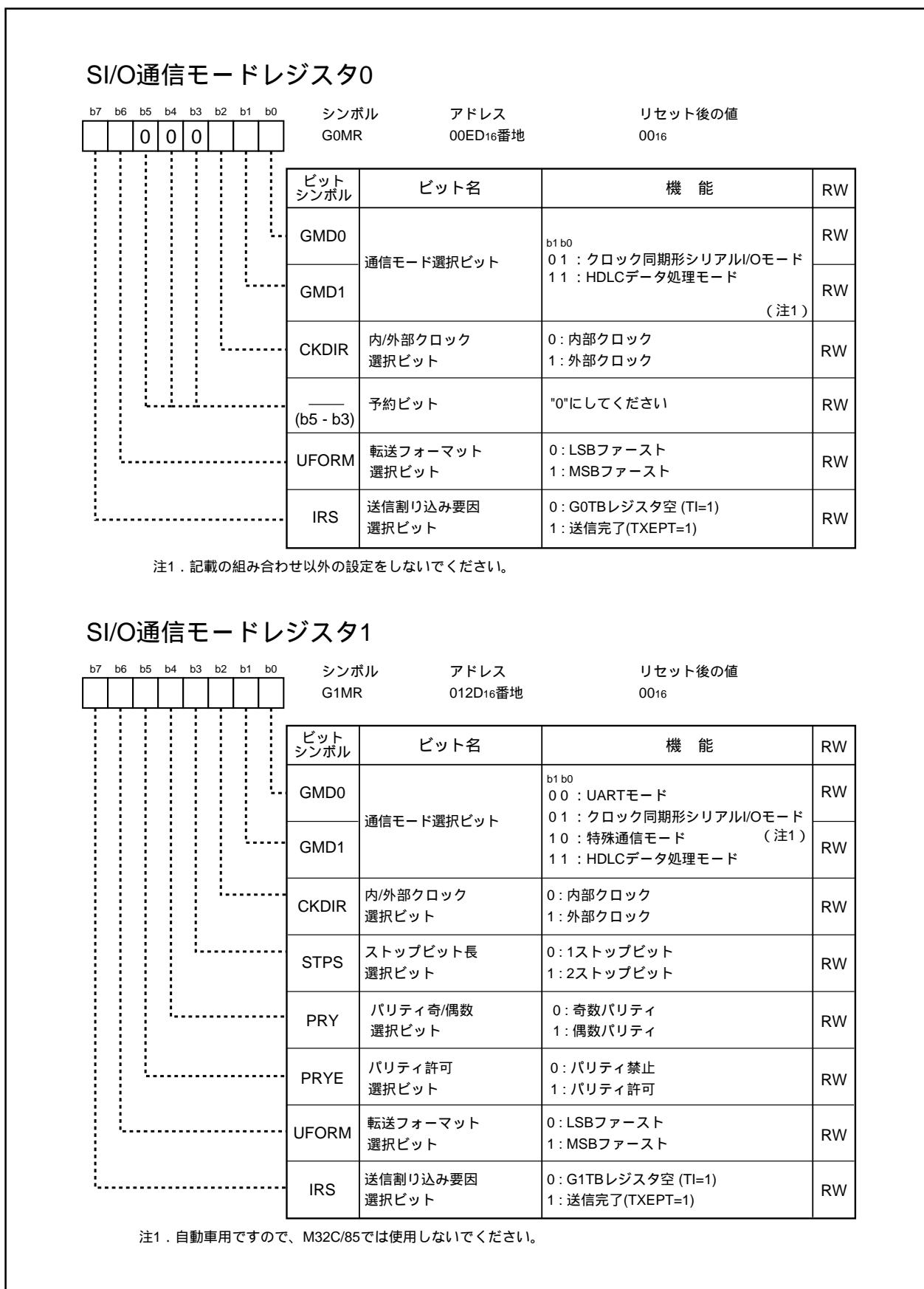


図22.21 G0MR ~ G1MRレジスタ

SI/O拡張モードレジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
							0	G0EMR	00FC ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	"0"にしてください	RW
CRCV	CRC初期値選択ビット	0: "0000 ₁₆ "を設定 1: "FFFF ₁₆ "を設定	RW
ACRC	CRC初期化選択ビット	0: 初期化しない 1: 初期化する (注2)	RW
BSINT	ビットスタッフィングエラー 割り込み選択ビット	0: 使用しない 1: 使用する	RW
RXSL	受信元選択ビット	0: ISRxD0端子 1: G0RIレジスタ	RW
TXSL	送信元選択ビット	0: ISTxD0端子 1: G0TOレジスタ	RW
CRC0	CRC生成多項式 選択ビット	b7 b6 0 0: X^8+X^4+X+1 0 1: 設定しないでください 1 0: $X^{16}+X^{15}+X^2+1$ 1 1: $X^{16}+X^{12}+X^5+1$	RW
CRC1			RW

注1. HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/Oモードではリセット時のままか、“00₁₆”にしてください。

注2. G0CMP3レジスタとの一致信号のタイミングで初期化します。

SI/O拡張モードレジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								G1EMR	013C ₁₆ 番地	00 ₁₆

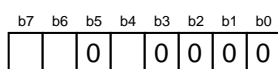
ビットシンボル	ビット名	機能	RW
SMODE	同期モード選択ビット	0: 再同期モードを使用しない 1: 再同期モード	RW
CRCV	CRC初期値選択ビット	0: "0000 ₁₆ "を設定 1: "FFFF ₁₆ "を設定	RW
ACRC	CRC初期化選択ビット	0: 初期化しない 1: 初期化する (注2)	RW
BSINT	ビットスタッフィングエラー 割り込み選択ビット	0: 使用しない 1: 使用する	RW
RXSL	受信元切り替えビット	0: ISRxD1端子 1: G1RIレジスタ	RW
TXSL	送信元切り替えビット	0: ISTxD1端子 1: G1TOレジスタ	RW
CRC0	CRC生成多項式 選択ビット	b7 b6 0 0: X^8+X^4+X+1 0 1: 設定しないでください 1 0: $X^{16}+X^{15}+X^2+1$ 1 1: $X^{16}+X^{12}+X^5+1$	RW
CRC1			RW

注1. 特殊通信モード、HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/OモードまたはUARTモードではリセット時のままか、“00₁₆”にしてください。

注2. G1CMP3レジスタとの一致信号のタイミングで初期化します。

図22.22 G0EMR～G1EMRレジスタ

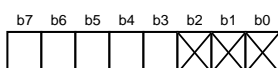
SI/O拡張送信制御レジスタ0 (注1)

シンボル
G0ETCアドレス
00FF₁₆番地リセット後の値
0000 0XXX₂

ビットシンボル	ビット名	機能	RW
— (b3 - b0)	予約ビット	"0"にしてください	—
TCRCE	送信CRC許可ビット	0 : 使用しない 1 : 使用する	RW
— (b5)	予約ビット	"0"にしてください	—
TBSF0	送信ビットスタフティング "1"挿入選択ビット	0 : "1"挿入しない 1 : "1"挿入する	RW
TBSF1	送信ビットスタフティング "0"挿入選択ビット	0 : "0"挿入しない 1 : "0"挿入する	RW

注1. HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/Oモードではリセット時のままか、"00₁₆" にしてください。

SI/O拡張送信制御レジスタ1 (注1)

シンボル
G1ETCアドレス
013F₁₆番地リセット後の値
0000 0XXX₂

ビットシンボル	ビット名	機能	RW
— (b2 - b0)	予約ビット	読んだ場合、その値は不定	RO
SOF	SOF送信リクエスト ビット	0 : SOF送信リクエストなし 1 : SOF送信リクエストあり	RW
TCRCE	送信CRC許可ビット	0 : 使用しない 1 : 使用する	RW
ABTE	アービトラージ 許可ビット	0 : 使用しない 1 : 使用する	RW
TBSF0	送信ビットスタフティング "1"挿入選択ビット	0 : "1"挿入しない 1 : "1"挿入する	RW
TBSF1	送信ビットスタフティング "0"挿入選択ビット	0 : "0"挿入しない 1 : "0"挿入する	RW

注1. 特殊通信モード、HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/OモードまたはUARTモードではリセット時のままか、"00₁₆" にしてください。

図22.23 G0ETC~G1ETCレジスタ

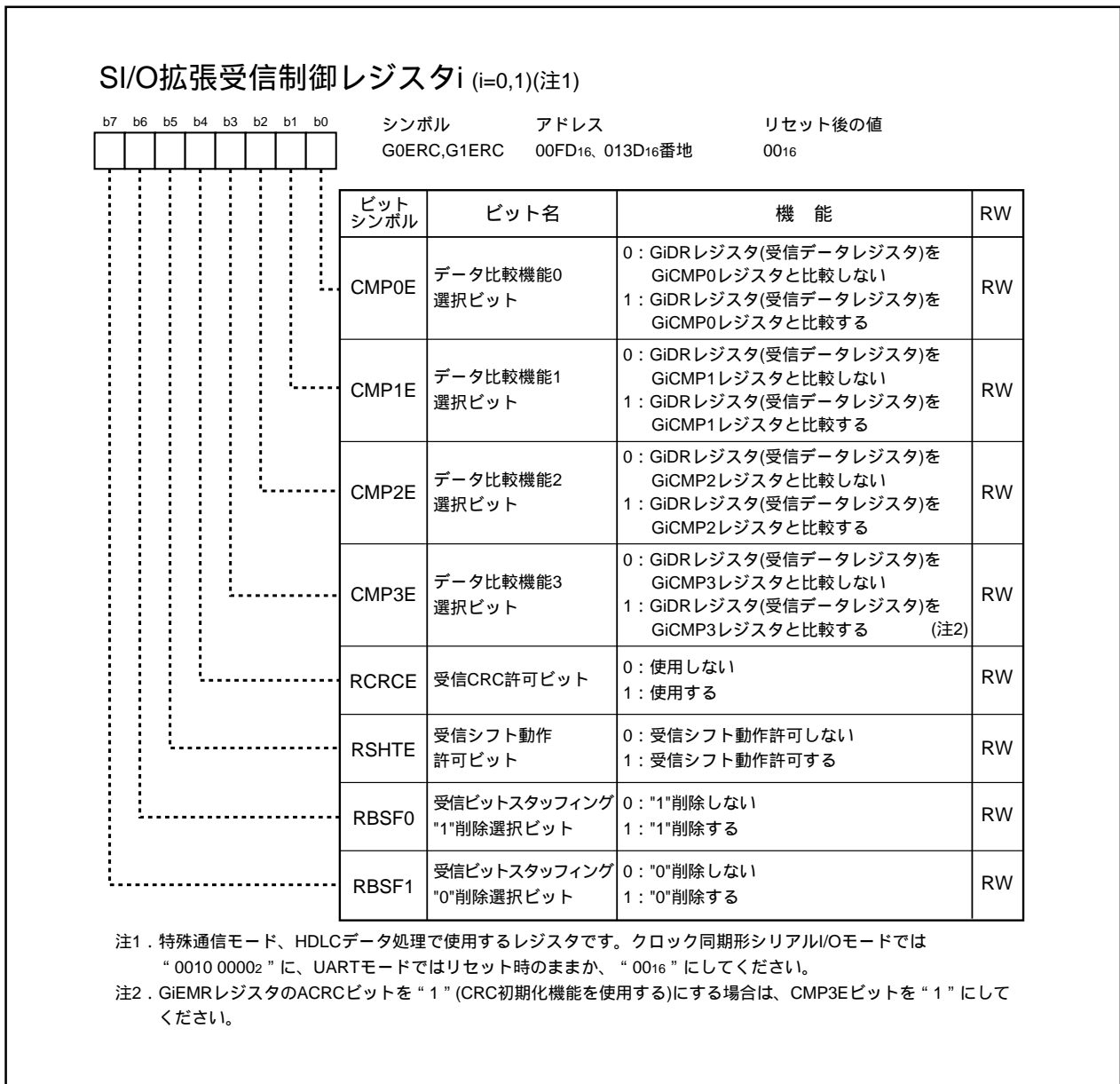


図22.24 G0ERC~ G1ERCレジスタ

SI/O特殊通信割り込み判別レジスタ0 (注1、2)

ビット シンボル	ビット名	機能	RW
(b1 - b0)	予約ビット	"0"にしてください	RW
BSERR	ビットスタッフィング エラー検出フラグ	0: 検出せず 1: 検出	RW
(b3)	予約ビット	"0"にしてください	RW
IRF0	割り込み要因判別 フラグ0	0: G0DRレジスタ(受信データレジスタ)と G0CMP0レジスタが不一致 1: G0DRレジスタ(受信データレジスタ)と G0CMP0レジスタが一致	RW
IRF1	割り込み要因判別 フラグ1	0: G0DRレジスタ(受信データレジスタ)と G0CMP1レジスタが不一致 1: G0DRレジスタ(受信データレジスタ)と G0CMP1レジスタが一致	RW
IRF2	割り込み要因判別 フラグ2	0: G0DRレジスタ(受信データレジスタ)と G0CMP2レジスタが不一致 1: G0DRレジスタ(受信データレジスタ)と G0CMP2レジスタが一致	RW
IRF3	割り込み要因判別 フラグ3	0: G0DRレジスタ(受信データレジスタ)と G0CMP3レジスタが不一致 1: G0DRレジスタ(受信データレジスタ)と G0CMP3レジスタが一致	RW

注1 . HDLCデータ処理で使用するレジスタです。クロック同期シリアルI/Oモードでは使用しないでください。

注2 . BSERRビット、IRF0～IRF3ビットのいずれかが“1”のとき、IIO4IRレジスタのSRT0Rビットが“1”になります。

図22.25 G0IRFレジスタ

SI/O特殊通信割り込み判別レジスタ1 (注1、2)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
						0	0	G1IRF	013E ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
— (b1 - b0)	予約ビット	"0"にしてください	RW
BSERR	ビットスタッフィング エラー検出フラグ	0 : 検出せず 1 : 検出	RW
ABT	アービトラージ ロスト検出フラグ	0 : 検出せず 1 : 検出	RW
IRF0	割り込み要因判別 フラグ0	0 : G1DRレジスタ(受信データレジスタ)と G1CMP0レジスタが不一致 1 : G1DRレジスタ(受信データレジスタ)と G1CMP0レジスタが一致	RW
IRF1	割り込み要因判別 フラグ1	0 : G1DRレジスタ(受信データレジスタ)と G1CMP1レジスタが不一致 1 : G1DRレジスタ(受信データレジスタ)と G1CMP1レジスタが一致	RW
IRF2	割り込み要因判別 フラグ2	0 : G1DRレジスタ(受信データレジスタ)と G1CMP2レジスタが不一致 1 : G1DRレジスタ(受信データレジスタ)と G1CMP2レジスタが一致	RW
IRF3	割り込み要因判別 フラグ3	0 : G1DRレジスタ(受信データレジスタ)と G1CMP3レジスタが不一致 1 : G1DRレジスタ(受信データレジスタ)と G1CMP3レジスタが一致	RW

注1 . 特殊通信モード、HDLCデータ処理で使用するレジスタです。クロック同期シリアルI/OモードまたはUARTモードではリセット時のままか、“00₁₆”にしてください。

注2 . BSERRビット、ABTビット、IRF0～IRF3ビットのいずれかが“1”のとき、IIO4IRレジスタのSRT1Rビットが“1”になります。

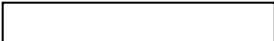
送信バッファ(受信データ)レジスタ_i (i=0～1)

b7	b0	シンボル	アドレス	リセット後の値
		G0TB, G0DR	00EA ₁₆ 番地	不定
		G1TB, G1DR	012A ₁₆ 番地	不定

機能	RW
送信データを設定してください。 HDLCデータ処理モードの受信時にGiTBレジスタを読むと受信データレジスタが読み、GiTBレジスタに書くと送信バッファレジスタに書かれる。HDLCデータ処理モードの受信時は、GiRIレジスタに設定した値がGiDRレジスタに転送される。	RW


図22.26 G1IRFレジスタ、G0TB～G1TB(G0DR～G1DR)レジスタ

データ比較レジスタ ij ($i=0\sim 1$ 、 $j=0\sim 3$)

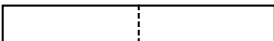
b7	b0	シンボル	アドレス	リセット後の値
		G0CMP0 ~ G0CMP3	00F0 ₁₆ 、00F1 ₁₆ 、00F2 ₁₆ 、00F3 ₁₆ 番地	不定
		G1CMP0 ~ G1CMP3	0130 ₁₆ 、0131 ₁₆ 、0132 ₁₆ 、0133 ₁₆ 番地	不定
		機 能	設定範囲	RW
		比較データ	00 ₁₆ ~ FF ₁₆	RW

注1. GiCMP0レジスタを使用する場合はGiMSK0レジスタを、GiCMP1レジスタを使用する場合はGiMSK1レジスタを設定してください。

データマスクレジスタ ij ($i=0\sim 1$ 、 $j=0\sim 1$)

b7	b0	シンボル	アドレス	リセット後の値
		G0MSK0, G0MSK1	00F4 ₁₆ 、00F5 ₁₆ 番地	不定
		G1MSK0, G1MSK1	0134 ₁₆ 、0135 ₁₆ 番地	不定
		機 能	設定範囲	RW
		受信データ用マスクデータ 比較していないビットに"1"を書いてください。	00 ₁₆ ~ FF ₁₆	RW

送信CRCコードレジスタ i ($i=0\sim 1$)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				G0TCRC, G1TCRC	00FB ₁₆ - 00FA ₁₆ 、013B ₁₆ - 013A ₁₆ 番地	0000 ₁₆
				機 能	RW	
				送信CRC演算結果	(注1、2)	RO

注1. 演算結果はGiCRレジスタのTEビットを"0"(送信禁止)にしたとき初期化されます。

初期値はGiEMRレジスタのCRCVビットで選択できます。

注2. GiETCレジスタのTCRCEビットが"1"(使用する)のとき、送信データが1ビット送信されるごとに送信CRC演算が行われます。

受信CRCコードレジスタ i ($i=0\sim 1$)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				G0RCRC, G1RCRC	00F9 ₁₆ - 00F8 ₁₆ 、0139 ₁₆ - 0138 ₁₆ 番地	不定
				機 能	RW	
				受信CRC演算結果	(注1、2、3)	RO

注1. 演算結果はGiERCレジスタのRCRCEビットを"0"(使用しない)にしたとき初期化されます。また、GiEMRレジスタのACRCビットが"1"(初期化する)の場合は、GiCMP j レジスタ($j=0\sim 3$)と一致したとき初期化されます。

注2. 受信開始前にGiEMRレジスタのCRCVビットで選択した初期値に初期化されます。

注3. GiERCレジスタのRCRCEビットが"1"(使用する)のとき、受信データを1ビット受信するごとに、受信CRC演算が行われます。

図22.27 G0CMP0 ~ G0CMP3レジスタ、G1CMP0 ~ G1CMP3レジスタ、G0MSK0 ~ G0MSK1レジスタ、G1MSK0 ~ G1MSK1レジスタ、G0TCRC ~ G1TCRCレジスタ、G0RCRC ~ G1RCRCレジスタ

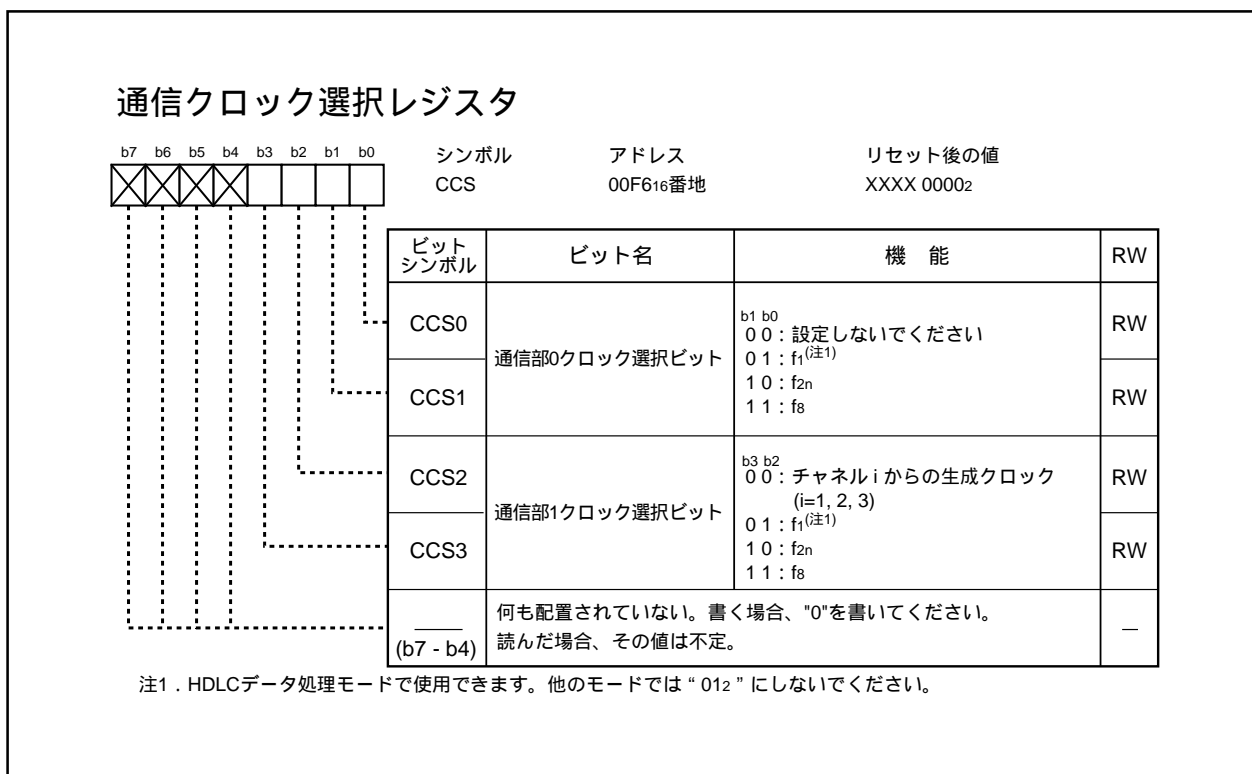


図22.28 CCSレジスタ

22.4.1 クロック同期形シリアルI/Oモード(通信部0,1)

転送クロックを用いて送受信を行うモードです。通信部0の転送クロックには、f₈、f_{2n}が選択できます。通信部1の転送クロックには、f₈、f_{2n}、チャンネル0,3で生成したクロックが選択できます。

表22.12に通信部0,1のクロック同期形シリアルI/Oモードの仕様を、表22.13～表22.14にクロック設定を、表22.15に使用レジスタと設定値を、表22.16～表22.19に端子の設定を、図22.29に送信、受信動作例を示します。

表22.12 通信部0,1のクロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック ^(注1)	表22.13～表22.14参照
送信開始条件	波形生成機能関連レジスタ、GiMRレジスタ(i=0、1)、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください <ul style="list-style-type: none"> ・ GiCRレジスタのTEビットが“1”(送信許可) ・ GiCRレジスタのTIビットが“0”(GiTBレジスタにデータあり)
受信開始条件	波形生成機能関連レジスタ、GiMRレジスタ、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください <ul style="list-style-type: none"> ・ GiCRレジスタのREビットが“1”(受信許可) ・ TEビットが“1”(送信許可) ・ TIビットが“0”(GiTBレジスタにデータあり)
割り込み要求	送信時、次の条件のいずれかを選択できます。条件が成立するとSIOiTRビットが“1”(割り込み要求あり)になります。(図11.14参照) <ul style="list-style-type: none"> ・ GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合は、GiTBレジスタから送信レジスタへデータ転送時(送信開始時) ・ IRSビットが“1”(送信完了)の場合は、送信レジスタからデータ送信完了時 受信時 受信レジスタからGiRBレジスタへデータ転送時(受信完了時)、SIOiRRビットが“1”(割り込み要求あり)になる(図11.14参照)
エラー検出	オーバランエラー ^(注2) GiRBレジスタを読む前に次のデータ受信を開始し、8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> ・ LSBファースト、MSBファースト 選択 ・ ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・ ISTxDi、ISRxDi入出力極性切り替え ・ ISTxDi端子出力とISRxDi端子入力のレベルを反転する機能

注1. クロック同期形シリアルI/Oモード時はGiERCレジスタのRSHTTEビットを“1”(受信シフト動作許可)にしてください。

注2. オーバランエラーが発生した場合、GiRBレジスタは不定になります。

なお、動作モード選択後から転送開始までのISTxDi端子の出力レベルは、GiCRレジスタのOPOLビットが“0”(ISTxD出力極性反転しない)のとき“H”、OPOLビットが“1”(ISTxD出力極性反転する)のとき“L”です。

表22.13 通信部0のクロック設定

転送クロック	GOMRレジスタ		CCSレジスタ	
	CKDIRビット	CCS0ビット	CCS1ビット	
f ₈	0	1	1	
f _{2n} ^(注1)	0	0	1	
ISCLK0からの入力	1	-	-	

注1. TCSPRレジスタのCNT3～CNT0ビットにより分周なし(n=0)または2n分周(n=1～15)を設定

表22.14 通信部1のクロック設定

転送クロック(注4)	G1MRレジスタ	CCSレジスタ	
	CKDIRビット	CCS2ビット	CCS3ビット
$\frac{f_{BT1}}{2(n+2)}$ (注1,注2)	0	0	0
f_8	0	1	1
f_{2n} (注3)	0	0	1
ISCLK1からの入力	1	-	-

注1. n:G1PO0レジスタ設定値 000116 ~ FFFD16

注2. 転送クロックはチャンネル3の反転波形出力モードで生成

注3. TCSPRレジスタのCNT3 ~ CNT0ビットにより分周なし(n=0)または2n分周(n=1 ~ 15)を設定

注4. 転送クロックは f_{BT1} の6分周、またはそれよりも遅くしてください。

表22.15 通信部0,1のクロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		通信部1	通信部0
CCS	CCS1 ~ CCS0	通信部1のみを使用する場合、設定は不要です	転送クロックを選択してください 通信部0のみを使用する場合、設定は不要です
	CCS3 ~ CCS2	転送クロックを選択してください	
G1BCR0(注2)	BCK1 ~ BCK0	"112" (f1)にしてください	
	DIV4 ~ DIV0	カウントソースの分周比を選択してください	
	IT	"0" にしてください	
G1BCR1(注2)	-	"000100102" にしてください	
G1POCR0(注2)	-	"000001112" にしてください	
G1POCR1(注2)	-	"000001112" にしてください	
G1POCR3(注2)	MOD2 ~ MOD0	"0102" にしてください(注1)	
	IVL	ISCLKi出力の初期出力選択(注1)	
	RLD	"0" にしてください	
	INV	ISCLKi出力の反転出力選択(注1)	
G1PO0(注2)	-	転送速度を設定します $\frac{f_{BT1}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります	
G1PO3(注2)	-	G1PO0レジスタの設定値より小さい値を設定してください(注1)	
G1FS(注2)	FSC3, FSC1, FSC0	"0" にしてください(注1)	
G1FE(注2)	IFE3, IFE1, IFE0	"1" にしてください(注1)	
GiERC	-	"001000002" にしてください	
GiMR	GMD1 ~ GMD0	"012" にしてください	
	CKDIR	内部クロック、外部クロックを選択してください	
	STPS	"0" にしてください	
	UFORM	LSBファースト、またはMSBファーストを選択してください	
	IRS	送信割り込み要因を選択してください	
GiCR	TI	送信バッファ空フラグ	
	TXEPT	送信レジスタ空フラグ	
	RI	受信完了フラグ	
	TE	送受信を許可する場合、"1" にしてください	
	RE	受信を許可する場合、"1" にしてください	
	IPOL	ISRxDi入力極性の選択(通常は"0" にしてください)	
	OPOL	ISTxDi出力極性の選択(通常は"0" にしてください)	
GiTB	-	送信データを書いてください	
GiRB	-	受信データとエラーフラグが格納されます	

i=0, 1

注1. GiMRレジスタのCKDIRビットが"0" (内部クロック)の場合

注2. 転送クロックに f_8 、 f_{2n} を選択した場合でも、これらのレジスタを設定してください。

表22.16 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値						レジスタ(注1)
		PS1 レジスタ	PSL1 レジスタ	PSC レジスタ	PSD1 レジスタ	PD7 レジスタ	IPS レジスタ	
P73	ISTxD1出力	PS1_3=1	PSL1_3=0	PSC_3=1	-	-	-	G1POCR0
P74	ISCLK1入力	PS1_4=0	-	-	-	PD7_4=0	IPS1=0	-
	ISCLK1出力	PS1_4=1	PSL1_4=0	PSC_4=1	-	-	-	G1POCR1
P75	ISRxD1入力	PS1_5=0	-	-	-	PD7_5=0	IPS1=0	-
P76	ISTxD0出力	PS1_6=1	PSL1_6=0	PSC_6=0	PSD1_6=0	-	-	-
P77	ISCLK0入力	PS1_7=0	-	-	-	PD7_7=0	IPS0=0	-
	ISCLK0出力	PS1_7=1	PSL1_7=0	-	-	-	-	-

注1. 該当レジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表22.17 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値		
		PS2レジスタ	PD8レジスタ	IPSレジスタ
P80	ISRxD0入力	PS2_0=0	PD8_0=0	IPS0=0

表22.18 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS5レジスタ	PD11レジスタ	IPSレジスタ	
P110	ISTxD1出力	PS5_0=1	-	-	G1POCR0
P111	ISCLK1入力	PS5_1=0	PD11_1=0	IPS1=1	-
	ISCLK1出力	PS5_1=1	-	-	G1POCR1
P112	ISRxD1入力	PS5_2=0	PD11_2=0	IPS1=1	-

注1. 該当レジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表22.19 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(4)

ポート名	機能	ビットと設定値		
		PS9レジスタ	PD15レジスタ	IPSレジスタ
P150	ISTxD0出力	PS9_0=1	-	-
P151	ISCLK0入力	PS9_1=0	PD15_2=0	IPS0=1
	ISCLK0出力	PS9_1=1	-	-
P152	ISRxD0入力	-	PD15_2=0	IPS0=1

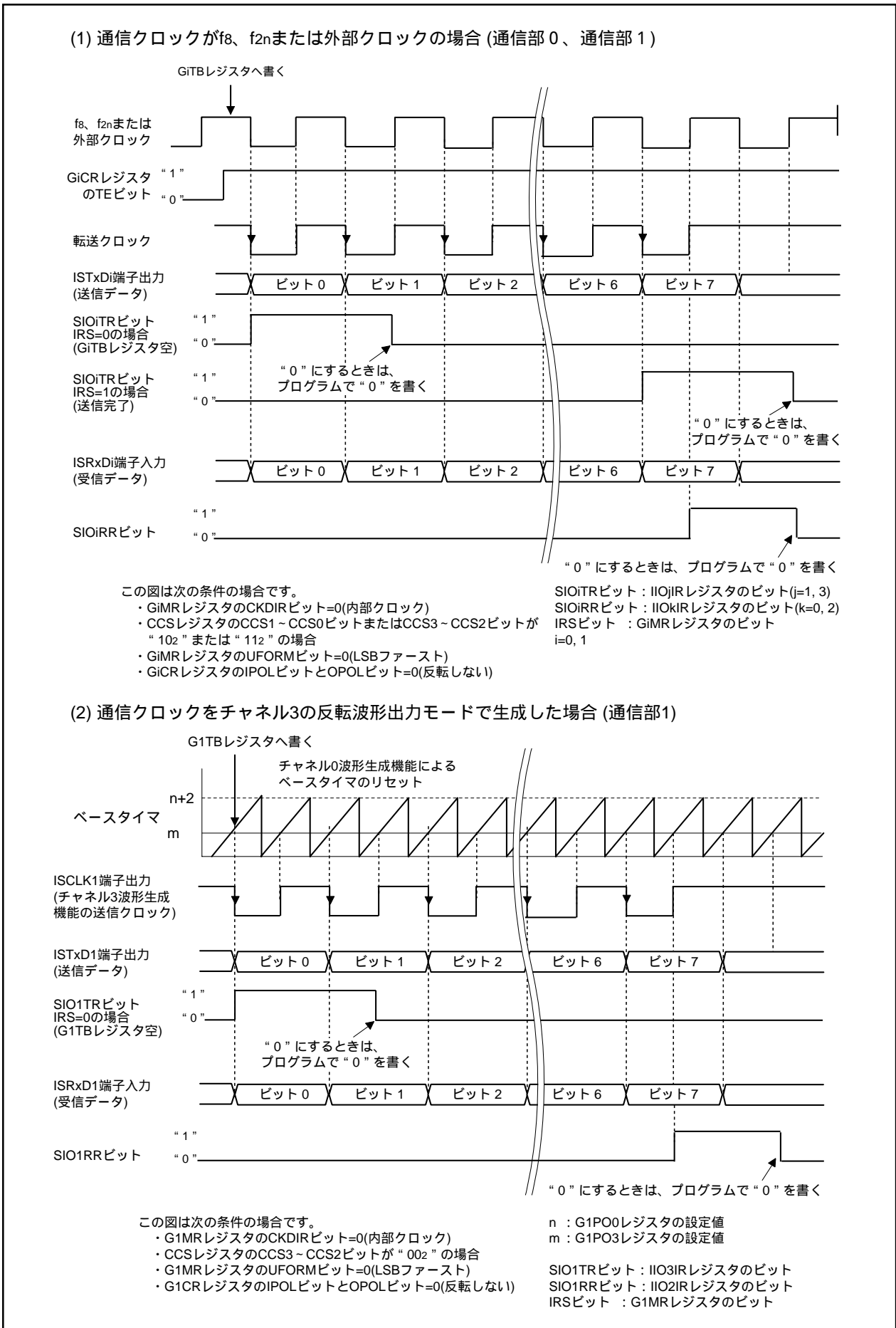


図22.29 通信部0,1のクロック同期形シリアルI/Oモード時の送信、受信動作例

22.4.2 クロック非同期形シリアルI/O(UART)モード(通信部1)

表22.20に通信部1のUARTモードの仕様を、表22.21通信クロックの設定を、表22.22に使用レジスタと設定値を、表22.23～表22.24に端子の設定を、図22.30に送信動作例を、図22.31に受信動作例を示します。

表22.20 通信部1のUARTモード仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 8ビット ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし選択可 ・ストップビット 1ビット、2ビットを選択可
転送クロック(注1)	表22.21参照
送信開始条件	<p>波形生成機能関連レジスタ、G1MRレジスタ、G1ERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください。</p> <ul style="list-style-type: none"> ・G1CRレジスタのTEビットを“1”(送信許可)にする ・G1CRレジスタのTIビットが“0”(G1TBレジスタへのデータの書き込み)
受信開始条件	<p>波形生成機能関連レジスタ、G1MRレジスタ、G1ERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください。</p> <ul style="list-style-type: none"> ・G1CRレジスタのREビットを“1”(受信許可)にする ・スタートビットの検出
割り込み要求	<p>送信時、次の条件のいずれかを選択できます。条件が成立するとSIO1TRビットが“1”(割り込み要求あり)になります。(図11.14参照)</p> <ul style="list-style-type: none"> ・G1MRレジスタのIRSビットが“0”(G1TBレジスタ空)の場合は、G1TBレジスタから送信レジスタへデータ転送時(送信開始時) ・IRSビットが“1”(送信完了)の場合は、送信レジスタからデータ送信完了時受信時 受信レジスタからG1RBレジスタへデータ転送時(受信完了時)、SIO1RRビットが“1”になる(図11.14参照)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注2) G1RBレジスタを読む前に次のデータ受信を開始し、最終ストップビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生
選択機能	<ul style="list-style-type: none"> ・ストップビット長 ストップビット長を1ビット、または2ビットにするかを選択可 ・LSBファースト、MSBファースト ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可

注1．転送クロックはf_{BT1}の6分周、またはそれより遅くしてください。

注2．オーバランエラーが発生した場合、G1RBレジスタは不定になります。

表22.21 通信部1のクロック設定

転送クロック ^(注4)	G1MRレジスタ	CCSレジスタ	
	CKDIRビット	CCS2ビット	CCS3ビット
$\frac{f_{BT1}}{2(n+2)}$ (注1、2、3)	0	0	0

注1. n:G1PO0レジスタ設定値 0001₁₆ ~ FFFD₁₆

注2. 送信クロックはチャンネル3の反転波形出力モードで生成

注3. 受信クロックはチャンネル2の時間計測出力と反転波形出力で生成

注4. 転送クロックはf_{BT1}の6分周、またはそれよりも遅くしてください。

表22.22 通信部1のUARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
G1BCR0	BCK1 ~ BCK0	“ 112 ” (f ₁)にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“ 0 ” にしてください
G1BCR1	-	“ 0001 0010 ₂ ” にしてください
G1POCR0	-	“ 0000 0111 ₂ ” にしてください
G1POCR2	-	“ 0000 0110 ₂ ” にしてください
G1POCR3	-	“ 0000 0010 ₂ ” にしてください
G1TMCR2	-	“ 0000 0010 ₂ ” にしてください
G1PO0	-	転送速度を設定します $\frac{f_{BT1}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります
G1PO3	-	G1PO0の設定値より小さい値を設定してください
G1FS	FSC3 ~ FSC0	“ 0100 ₂ ” にしてください
G1FE	IFE3 ~ IFE0	“ 1101 ₂ ” にしてください
G1MR	GMD1 ~ GMD0	“ 00 ₂ ” にしてください
	CKDIR	“ 0 ” にしてください
	STPS	ストップビット長を選択してください
	PRY、PRYE	パリティの有無、奇数偶数を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	受信割り込み要因を選択してください
G1CR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送受信を許可する場合、“ 1 ” にしてください
	RE	受信を許可する場合、“ 1 ” にしてください
	IPOL	“ 1 ” にしてください
	OPOL	“ 1 ” にしてください
G1TB	-	送信データを書いてください
G1RB	-	受信データとエラーフラグが格納されます
CCS	CCS3 ~ CCS2	“ 00 ₂ ” にしてください

表22.23 通信部1のUARTモード時の端子の設定(1)

ポート名	機能	ビットと設定値					レジスタ ^(注1)
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ	IPSレジスタ	
P73	ISTxD1出力	PS1_3=1	PSL1_3=0	PSC_3=1	-	-	G1POCR0
P75	ISRxD1入力	PS1_5=0	-	-	PD7_5=0	IPS1=0	-

注1. 該当レジスタのMOD2 ~ MOD0ビットを“ 111₂ ” (通信機能の出力を使用)にしてください。

表22.24 通信部1のUARTモード時の端子の設定(3)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS5レジスタ	PD11レジスタ	IPSレジスタ	
P110	ISTxD1出力	PS5_0=1	-	-	G1POCR0
P112	ISRxD1入力	PS5_2=0	PD11_2=0	IPS1=1	-

注1. 該当レジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

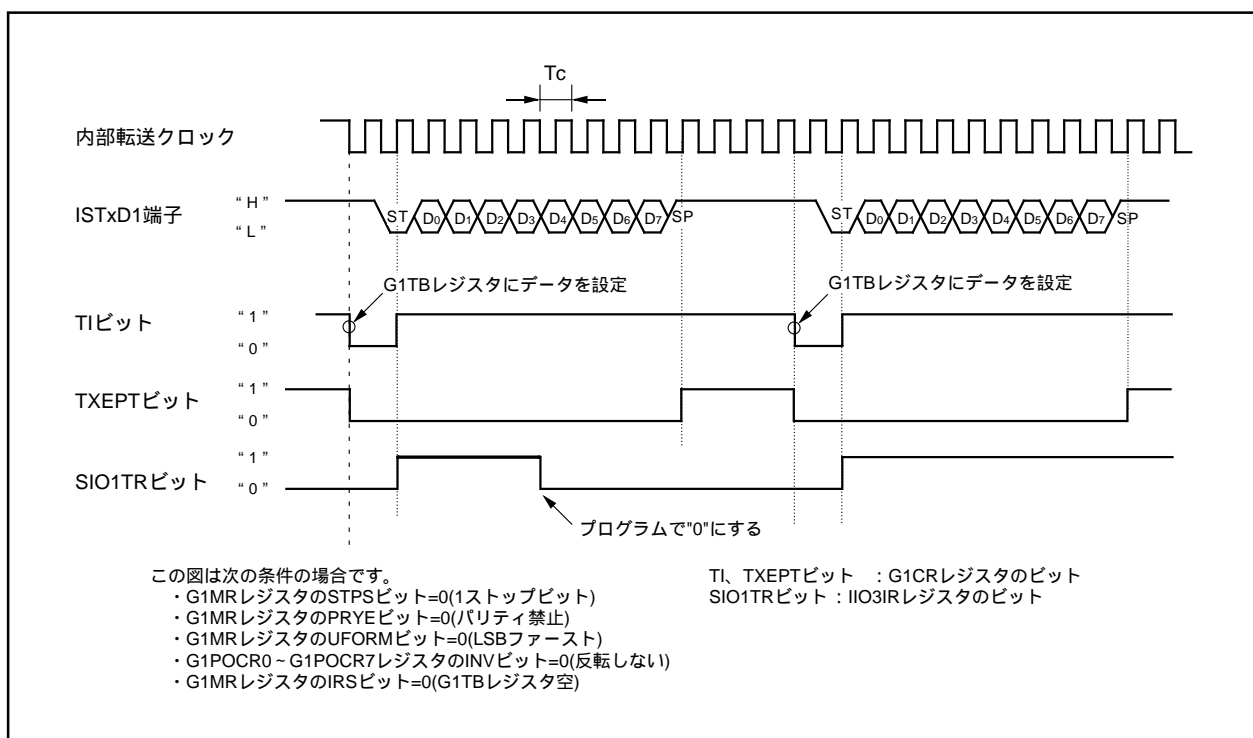


図22.30 通信部1のUARTモード時の送信動作例

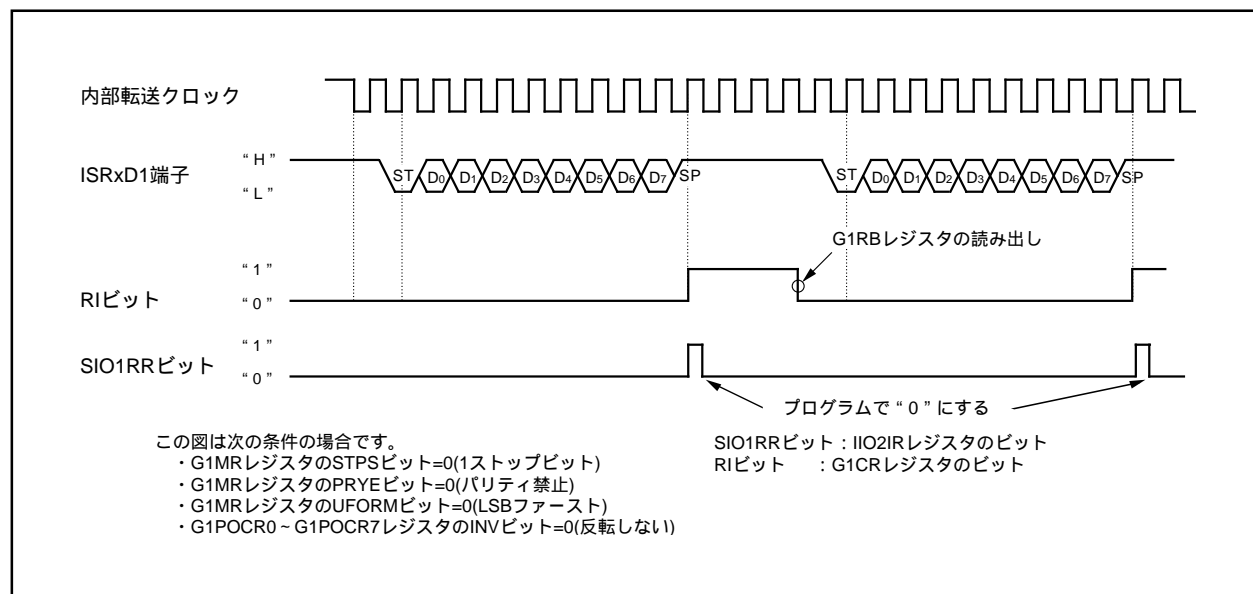


図22.31 通信部1のUARTモード時の受信動作例

22.4.3 HDLCデータ処理モード(通信部0、1)

HDLC制御に必要なビットスタッフィング、フラグ検出、アボート検出、CRC処理を行うモードです。通信部0の転送クロックには、f1、f8、f2nが選択できます。通信部1の転送クロックには、f1、f8、f2n、チャネル0、1で生成したクロックが選択できます。端子は使用しません。

送信データ変換はGiTBレジスタ(i=0、1)にデータを書き込み、変換処理後データ出力変換結果が格納されます。GiTOレジスタに変換後データがある場合、変換は停止します。GiTOレジスタにデータがない場合、送信出力バッファにデータがなくても、ビットスタッフィング処理が実行されます。CRC値は1ビット変換するごとに演算されます。受信データ変換は、GiRIレジスタにデータがないと変換は停止します。

表22.25にHDLCデータ処理モードの仕様を、表22.26～表22.27にクロック設定を、表22.28に使用レジスタと設定値を示します。

表22.25 HDLCデータ処理モードの仕様 (1/2)

項目	仕様
入力データフォーマット	8ビット固定、ビットアライメントは任意
出力データフォーマット	8ビット固定
転送クロック	表22.26、表22.27参照
入出力方法	送信データ処理時 GiTBレジスタ(i=0、1)(送信データレジスタ)に設定した値にHDLCデータ処理して、GiTOレジスタへ転送 受信データ処理時 GiRIレジスタに設定した値にHDLCデータ処理して、GiRBレジスタへ転送 GiRIレジスタに設定した値はGiTBレジスタ(受信データレジスタ)へも転送される
ビットスタッフィング	送信データ処理時：5つの連続する“1”の後、“0”を挿入する 受信データ処理時：5つの連続する“1”の後、“0”を削除する
フラグ検出	特殊通信割り込み(IIO4IRレジスタのSRTIRビット)を使用するため次の条件が必要です ・GiCMPjレジスタ(j=0～3)にフラグデータ“7E16”を設定する
アボート検出	GiMSKjレジスタにマスクデータ“0116”を設定する
CRC	CRC1～CRC0ビット=“112”(X ¹⁶ +X ¹² +X ⁵ +1) CRCVビット = “1”(FFFF16を設定) ・送信データ処理時：GiTCRCレジスタにCRC演算結果が格納される GiETCレジスタのTCRCEビットが“1”(送信CRC使用する) 初期化：GiCRレジスタのTEビットを“0”(送信禁止)にすると初期化される。 ・受信データ処理時：GiRCRCレジスタにCRC演算結果が格納される GiERCレジスタのRCRCEビットが“1”(受信CRC使用する) 初期化：フラグデータ“7E16”比較時、GiCMP3レジスタとの一致信号で初期化される。(GiEMRレジスタのACRCビット=1(CRC初期化する))
データ処理開始条件	送信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのTEビットが“1”(送信許可) ・GiTBレジスタへのデータの書き込み 受信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのREビットが“1”(受信許可) ・GiRIレジスタへのデータ書き込み

表22.25 HDLCデータ処理モードの仕様(2/2)

割り込み要求 ^(注1)	<p>送信データ処理時</p> <ul style="list-style-type: none"> ・ 次の条件のいずれかを選択できます。条件が成立するとGiTORビットが“1”(割り込み要求あり)になります(図11.14参照) - GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合 GiTBレジスタから送信レジスタへデータ転送時(送信開始) - IRSビットが“1”(送信完了)の場合 送信レジスタからGiTOレジスタへデータ送信完了時 <p>・ HDLCデータ処理された送信データが、GiTOレジスタの送信レジスタから送信バッファへ転送されたとき、GiTORビットが“1”になります</p> <p>受信データ処理時</p> <ul style="list-style-type: none"> ・ GiRIレジスタからGiRBレジスタへデータ転送時(受信完了時)にGiRIRビットが“1”(割り込み要求あり)になります ・ 受信データが、GiRIレジスタの受信バッファから受信レジスタへ転送されたとき、GiRIRビットが“1”になります ・ GiTBレジスタとGiCMPjレジスタ(j=0~3)の比較時、SRTiRビットが“1”(割り込み要求あり)になります
------------------------	---

注1. GiTORビット、GiRIRビット、SRTiRビットは、図11.14参照

表22.26 通信部0のクロック設定

転送クロック ^(注1)	CCSレジスタ	
	CCS0ビット	CCS1ビット
f1	1	0
f8	1	1
f2n ^(注2)	0	1

注1. 受信側はG0ERCレジスタのRSHTTEビットが“1”(受信シフト動作許可)のとき転送クロック発生

注2. TCSPRレジスタのCNT3~CNT0ビットにより分周なし(n=0)または2n分周(n=1~15)を設定

表22.27 通信部1のクロック設定

転送クロック ^(注1)	CCSレジスタ	
	CCS2ビット	CCS3ビット
$\frac{f_{BT1}}{n+2}$ (注2,注3)	0	0
f1	1	0
f8	1	1
f2n ^(注4)	0	1

注1. 受信側はG1ERCレジスタのRSHTTEビットが“1”(受信シフト動作許可)のとき転送クロック発生

注2. n: G1PO0レジスタ設定値 0001₁₆ ~ FFFD₁₆

注3. 転送クロックはチャンネル1の単相波形出力モードで生成

注4. TCSPRレジスタのCNT3~CNT0ビットにより分周なし(n=0)または2n分周(n=1~15)を設定

表22.28 HDLCデータ処理モード時の使用レジスタと設定値

レジスタ	ビット	機能
G1BCR0	BCK1 ~ BCK0	カウントソースを選択してください
	DIV4 ~ DIV0	カウントソースの分周値を選択してください
	IT	ベースタイマ割り込み選択
G1BCR1(注1)	7 ~ 0	“0001 0010 ₂ ” にしてください
G1POCR0(注1)	7 ~ 0	“0000 0000 ₂ ” にしてください
G1POCR1(注1)	7 ~ 0	“0000 0000 ₂ ” にしてください
G1PO0(注1)	15 ~ 0	転送速度を設定してください
G1PO1(注1)	15 ~ 0	転送クロックの立ち上がりタイミングを設定してください。 立ち下がりタイミング(転送クロックの“H”幅)は固定。 G1PO1レジスタの設定値 G1PO0レジスタの設定値としてください。
G1FS(注1)	FSC0 ~ FSC1	“00 ₂ ” にしてください
G1FE(注1)	IFE0 ~ IFE1	“11 ₂ ” にしてください
GiMR	GMD1 ~ GMD0	“11 ₂ ” にしてください
	CKDIR	“0” にしてください
	UFORM	“0” にしてください
	IRS	送信割り込み要因を選択してください
GiEMR	7 ~ 0	“1111 0110 ₂ ” にしてください
GiCR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送信許可ビット
	RE	受信許可ビット
GiETC	SOF	“0” にしてください
	TCRCE	送信CRC使用する、しない選択
	ABTE	“0” にしてください
	TBSF0,TBSF1	送信ビットスタッフィング
GiERC	CMP2E ~ CMP0E	受信データ比較する、しないを選択してください
	CMP3E	“1” にしてください
	RCRCE	受信CRC使用する、しない選択
	RSHTE	受信側使用時“1” にしてください
	RBSF0,RBSF1	受信ビットスタッフィング選択
GiIRF	BSERR,ABT	“0” にしてください
	IRF0 ~ IRF3	割り込み要因を選択してください
GiCMP0, GiCMP1	7 ~ 0	アポートに使用する場合は“FE ₁₆ ”を書いてください
GiCMP2	7 ~ 0	比較データ
GiCMP3	7 ~ 0	“7E ₁₆ ”を書いてください
GiMSK0, GiMSK1	7 ~ 0	アポートに使用する場合は“01 ₁₆ ”を書いてください
GiTCRC	15 ~ 0	送信CRC演算結果が読める
GiRCRC	15 ~ 0	受信CRC演算結果が読める
GiTO	7 ~ 0	送信データ生成回路から出力されたデータが読める
GiRI	7 ~ 0	受信データ生成回路へ入力するデータを設定してください
GiRB	7 ~ 0	受信データが格納されます
GiTB	7 ~ 0	送信側 送信データを書いてください。 受信側 データ比較用の受信データが格納される
CCS	CCS1 ~ CCS0	HDLC処理クロックを選択してください
	CCS3 ~ CCS2	HDLC処理クロックを選択してください

i = 0 ~ 1

注1. CCSレジスタのCCS3 ~ CCS2ビットで“00₂”(チャネルj(j=1,2,3)で生成したクロック)を選択した場合に設定が必要です。

23. CANモジュール

CAN(Controller Area Network) 2.0B 仕様準拠のFull CANモジュールを1チャンネル(CAN0)内蔵しています。表23.1にCANモジュールの仕様を示します。

表23.1 CANモジュールの仕様

項目	仕様
プロトコル	CAN2.0B仕様準拠
メッセージスロット数	16本
極性	ドミナント：“L” レセプティブ：“H”
アクセプタンスフィルタ	グローバルマスク：1本（メッセージスロット0～13に対応） ローカルマスク：2本（それぞれメッセージスロット14、15に対応）
転送速度	$\text{転送速度} = \frac{1}{\text{Tq 周期} \times \text{1ビット分のTqの数}} \quad \dots \text{Max 1Mbps}$ $\text{Tq周期} = \frac{\text{BRP} + 1}{\text{CANクロック}}$ $\text{1ビット分のTqの数} = \text{SS} + \text{PTS} + \text{PBS1} + \text{PBS2}$ <p> Tq : Time quantum BRP : COBRPレジスタの設定値 (1～255) SS : Synchronization Segment (1 Tq) PTS : Propagation Time Segment (1～8Tq) PBS1 : Phase Buffer Segment 1 (2～8Tq) PBS2 : Phase Buffer Segment 2 (2～8Tq) </p>
リモートフレーム自動応答機能	リモートフレームを受信したメッセージスロットが自動的にデータフレームの送信を行う機能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能。カウントソースはCANバスビットクロックの1、2、3、4分周を選択可能 $\text{CANバスビットクロック} = \frac{1}{\text{CANビットタイム}}$
BasicCANモード	メッセージスロット14、15を使用してBasicCAN機能を実現
送信アボート機能	送信要求を取り消す機能
ループバック機能	CANモジュールが送信したフレームを同CANモジュールが受信する機能
エラーアクティブ強制復帰機能	エラーカウンタをリセットすることにより、強制的にエラーアクティブ状態に遷移させる機能
シングルショット送信機能	アービトラージロストや送信エラー発生により送信に失敗しても再送信しない機能
自己診断機能	CANモジュール内部で通信を行い、通信モジュールを診断する機能

注1. 発振最大許容誤差1.58%を満たす発振子をご使用ください。

図23.1にCANモジュールブロック図を、図23.2にCAN0メッセージスロット(以下、メッセージスロットと称す) $j(j=0\sim 15)$ とCAN0メッセージスロットバッファの詳細を示します。また、表23.2にCANモジュールの端子の設定を示します。

メッセージスロットは、CPUから直接アクセスできません。アクセスする場合は、使用するメッセージスロット j をCAN0メッセージスロットバッファ0または1に割り当て、この番地を通してアクセスします。COSBSレジスタで、CAN0メッセージスロットバッファ0、1に割り当てるメッセージスロット j を選択できます。メッセージスロットバッファとメッセージスロットは、図23.2に示す16バイトで構成されています。

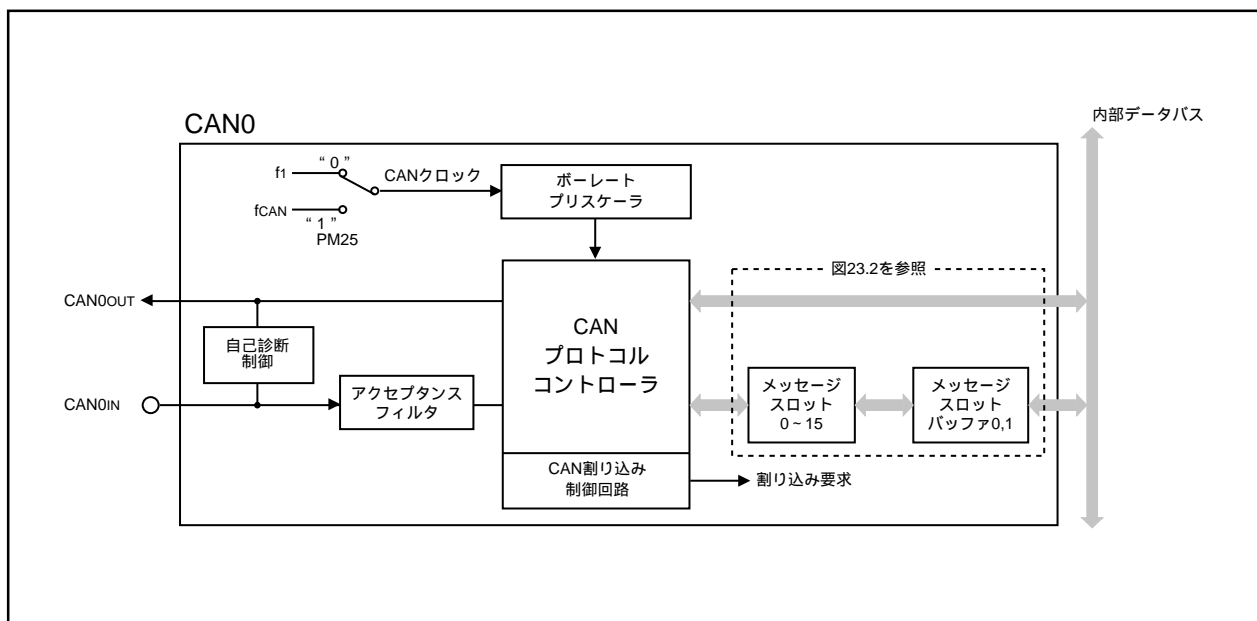


図23.1 CANモジュールブロック図

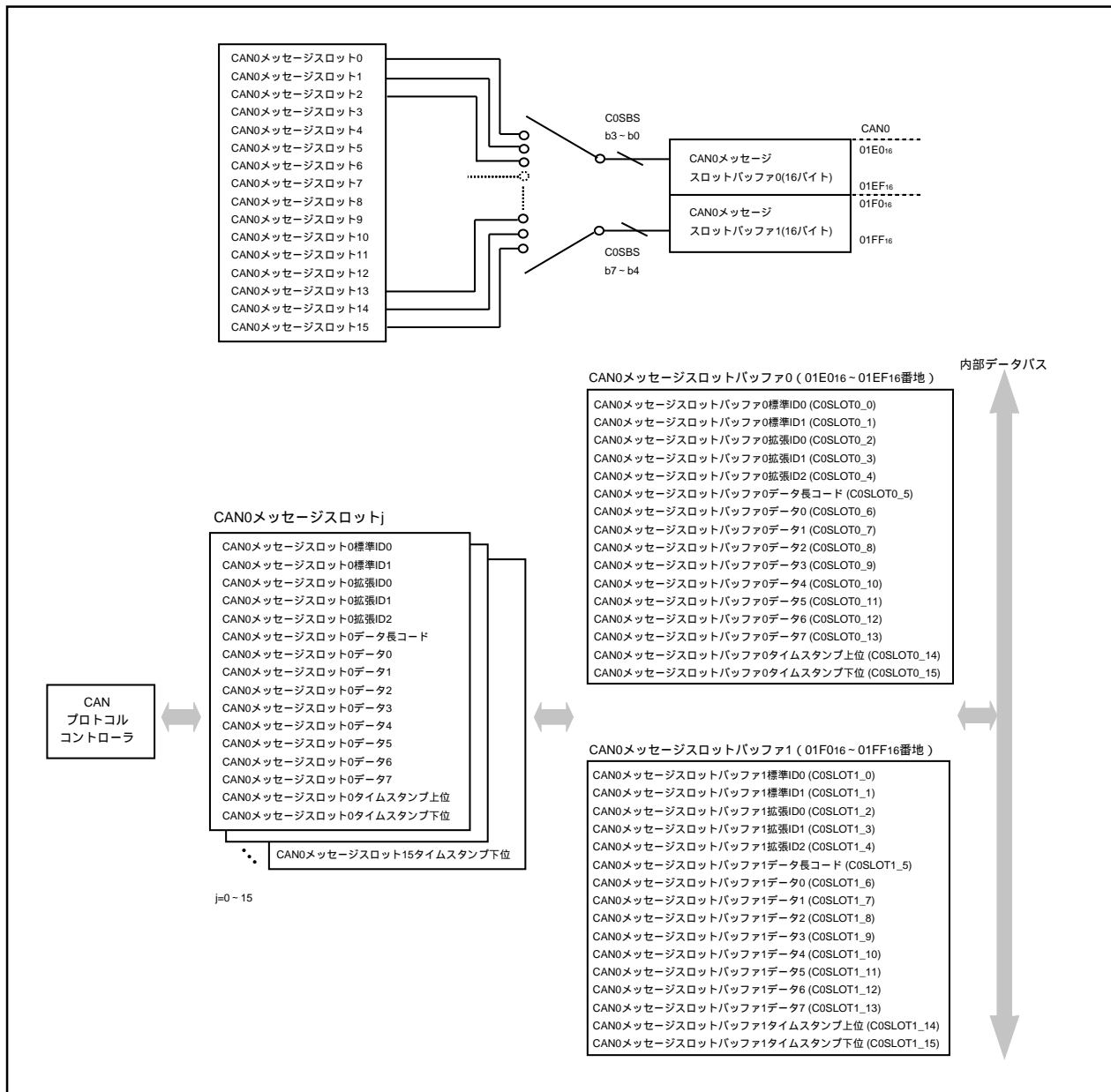


図23.2 CAN0メッセージスロットとCAN0メッセージスロットバッファ

表23.2 CANモジュールの端子の設定

ポート名	機能	ビットと設定値				
		IPS レジスタ	PS1、PS2 レジスタ	PSL1、PSL2 レジスタ	PSC、PSC2 レジスタ	PD7、PD8 レジスタ
P76	CAN0OUT	-	PS1_6=1	PSL1_6=0	PSC_6=1	-
P77	CAN0IN	IPS3=0	PS1_7=0	-	-	PD7_7=0
P82	CAN0OUT	-	PS2_2=1	PSL2_2=1	PSC2_2=0	-
P83	CAN0IN	IPS3=1	-	-	-	PD8_3=0

23.1 関連レジスタ

図23.3～図23.18、図23.20～図23.33にCAN関連レジスタを示します。CAN関連レジスタをアクセスする場合、CM2レジスタのCM21ビットを“0”(CPUクロックはメインクロック、またはPLLクロック)にし、MCDレジスタのMCD4～MCD0ビットを“100102”(分周なし)にしてください。もしくは、PM2レジスタのPM24ビットを“1”(メインクロックダイレクトモード)、PM25ビットを“1”(CPUクロックはCANクロック)にしてください。バスサイクルは2ウエイトになります。詳細は「9. クロック発生回路」、「7. プロセッサモード」を参照してください。

23.1.1 CAN0制御レジスタ0 (COCTRL0レジスタ)

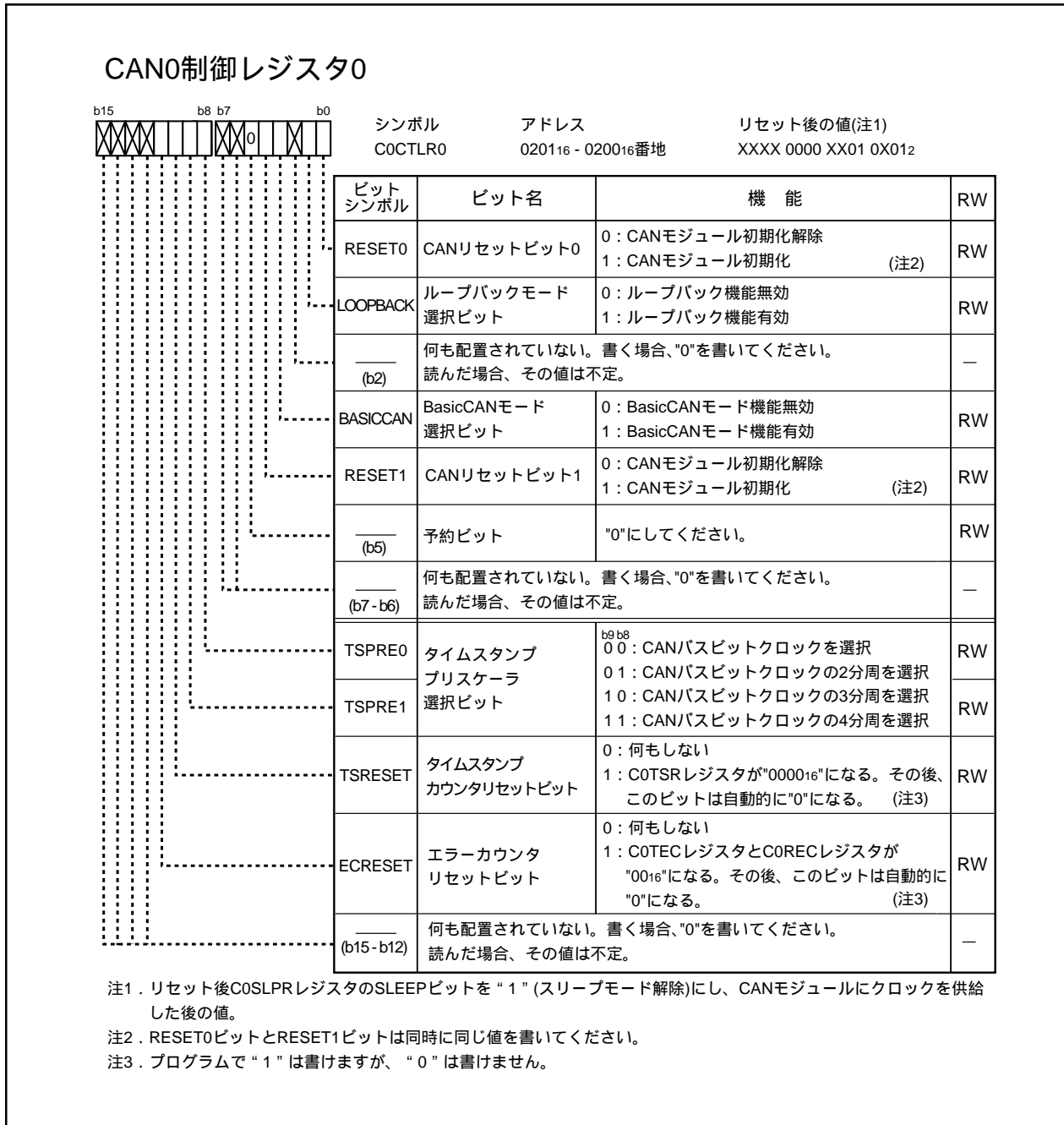


図23.3 COCTRL0レジスタ

23.1.1.1 RESET0ビット、RESET1ビット

RESET0、RESET1 ビットを両方とも“1”にすると、CAN通信中かどうかに関係なく、即座にCANモジュールが初期化されます。

RESET0、RESET1 ビットを“1”にしCANモジュールの初期化が完了すると、C0TSRレジスタは“0000₁₆”に、C0TECレジスタ、C0RECレジスタは“00₁₆”に、C0STRレジスタのSTATE_ERRPASビット、STATE_BUSOFFビットは“0”になります。

RESET0、RESET1 ビットを両方とも“1”から、“0”にすると、C0TSRレジスタがカウントを開始し、11ビット連続したレセシブビットを検出した後に、CAN通信可能となります。

注1 . RESET0、RESET1 ビットは、同時に同じ値を書いてください。

注2 . RESET0、RESET1 ビットを“1”にした後、C0STRレジスタのSTATE_RESET ビットが“1”(CANモジュール初期化完了)になることを確認してください。

注3 . RESET0、RESET1 ビットを“1”にすると、その直後からCANOUT端子出力は“H”になります。このため、CANフレーム送信中にRESET0、RESET1 ビットを“1”にすると、CANバスエラー発生の原因になることがあります。

注4 . CAN通信を行うために、PS1、PS2、PSL1、PSL2、PSC、PSC2、IPS、PD7、PD8レジスタを適切に設定してください。これらは、STATE_RESET ビットが“1”(CANモジュール初期化完了)のとき設定してください。

23.1.1.2 LOOPBACKビット

LOOPBACKビットが“1”(ループバック機能有効)で、かつ、送信したフレームに対しIDとフレームフォーマットが一致する受信メッセージスロットがある場合、送信したフレームが受信メッセージスロットへ格納されます。

注1 . 送信フレームに対するACKは返しません。

注2 . LOOPBACKビットはSTATE_RESET ビットが“1”(CANモジュール初期化完了)のときに変更してください。

23.1.1.3 BASICCANビット

BASICCANビットを“1”にすると、メッセージスロット14、15がBasicCANモードで動作します。

BasicCANモードでは、メッセージスロット14、15をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDが一致した受信フレームをメッセージスロット14、15へ交互に格納します。そのときのアクセプタンスフィルタリングには、メッセージスロット14がアクティブ(次の受信フレームが格納されるメッセージスロットが14)の場合はメッセージスロット14に設定したIDとC0LMAR0～C0LMAR4レジスタが、メッセージスロット15がアクティブの場合はメッセージスロット15に設定したIDとC0LMBR0～C0LMBR4レジスタが使用されます。また、データフレーム、リモートフレームの両方のフレームタイプを受信できます。

次にBasicCANモードへの移行手順を示します。

- (1)BASICCANビットを“1”にする。
- (2)メッセージスロット14、15のIDに同一値を設定する。
- (3)C0LMAR0～C0LMAR4、C0LMBR0～C0LMBR4レジスタに同一値を設定する。
- (4)メッセージスロット14、15で扱うフレームフォーマット(標準、拡張)をC0IDRレジスタのIDE14、15ビットで選択する。(同一フォーマットを設定)
- (5)メッセージスロット14、15のC0MCTL14、15レジスタをデータフレーム受信に設定する。

- 注1. BASICCANビットはSTATE_RESET ビットが“1”(CANモジュール初期化完了)のときに、変更してください。
- 注2. RESET0、RESET1 ビットを“0”にした後、最初にメッセージスロット14がアクティブになります。
- 注3. メッセージスロット0~13は、BasicCAN モード選択の影響を受けません。

23.1.1.4 TSPRE1、TSPRE0ビット

タイムスタンプカウンタのカウントソースを選択できます。

- 注1. TSPRE0、TSPRE1 ビットは、STATE_RESET ビットが“1”(CANモジュール初期化完了)のときに変更してください。

23.1.1.5 TSRESETビット

TSRESET ビットを“1”にすると、C0TSR レジスタが“0000₁₆”になります。

TSRESET ビットは、C0TSR レジスタが“0000₁₆”になった後“0”になります。

23.1.1.6 ECRESETビット

ECRESET ビットを“1”にすると、C0TEC レジスタ、C0REC レジスタが“00₁₆”になり、強制的にエラーアクティブ状態になります。

ECRESET ビットは、エラーアクティブ状態になった後“0”になります。

- 注1. エラーアクティブ状態になった後は、CANバス上に11ビットの連続したレセシブビットを検出した後に、CAN通信が可能となります。
- 注2. ECRESET ビットを“1”にすると、その直後からCAN0out端子出力は“H”になります。このため、CANフレーム送信中にECRESET ビットを“1”にすると、CANバスエラー発生の原因になることがあります。

23.1.2 CAN0制御レジスタ1 (COCTRL1レジスタ)

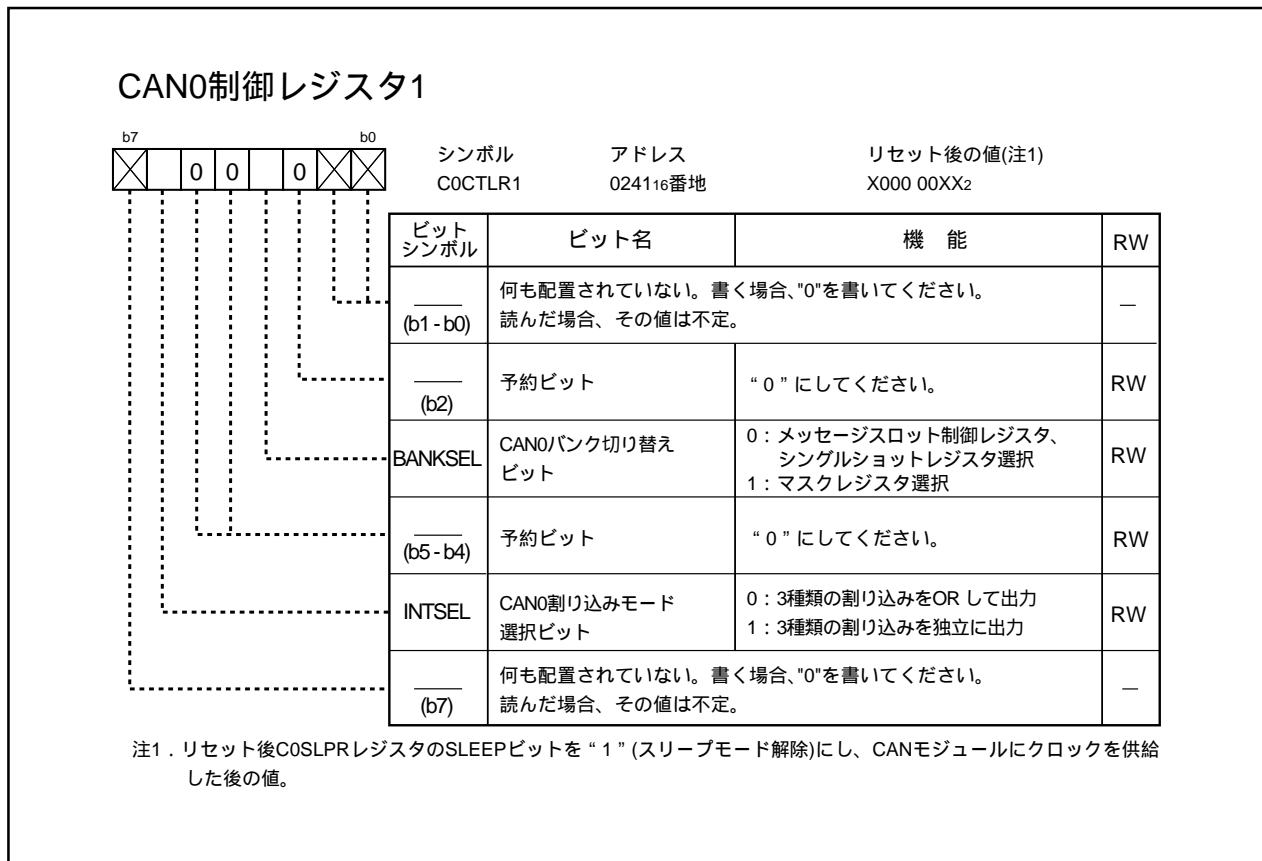


図23.4 COCTRL1レジスタ

23.1.2.1 BANKSELビット

COCTRL1 レジスタのBANKSELビットにより、0220₁₆番地から023F₁₆番地に割り付けられるレジスタを切り替えます。BANKSELビットが“0”のとき、C0SSCTLR レジスタ、C0SSSTR レジスタ、C0MCTL0 ~ C0MCTL15 レジスタをアクセスできます。BANKSELビットが“1”のとき、C0GMR0 ~ C0GMR4 レジスタ、C0LMAR0 ~ C0LMAR4 レジスタ、C0LMBR0 ~ C0LMBR4 レジスタをアクセスできます。

23.1.2.2 INTSELビット

INTSELビットにより、3種類の割り込み(CAN0受信割り込み、CAN0送信割り込み、CAN0エラー割り込み)をORして出力するか、独立に出力するかを選択できます。

詳細は、「23.4 CAN割り込み」を参照してください。

注1．INTSELビットはSTATE_RESET ビットが“1” (CANモジュール初期化完了)のときに変更してください。

23.1.3 CAN0スリープ制御レジスタ(C0SLPRレジスタ)

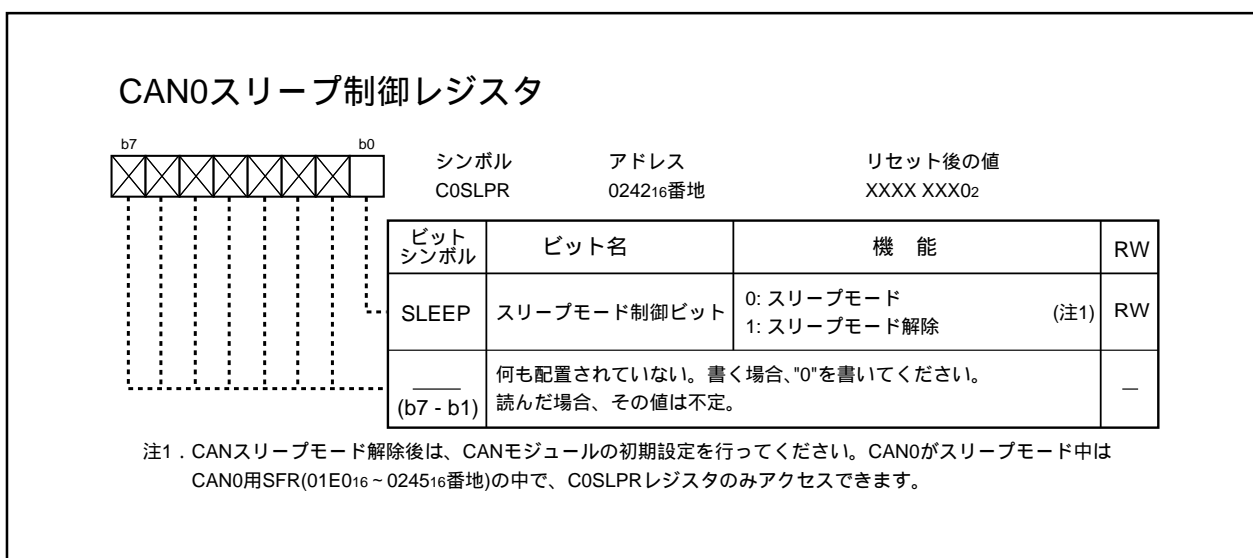


図23.5 C0SLPRレジスタ

23.1.3.1 SLEEPビット

SLEEP ビットを“0”にするとCANに供給されるクロックが停止し、スリープモードへ移行します。
SLEEP ビットを“1”にするとCANにクロックが供給され、スリープモードが解除されます。

注1. スリープモードへはC0STR レジスタのSTATE_RESET ビットが“1”(CANモジュール初期化完了)になった後に移行させてください。

23.1.4 CAN0ステータスレジスタ(C0STRレジスタ)

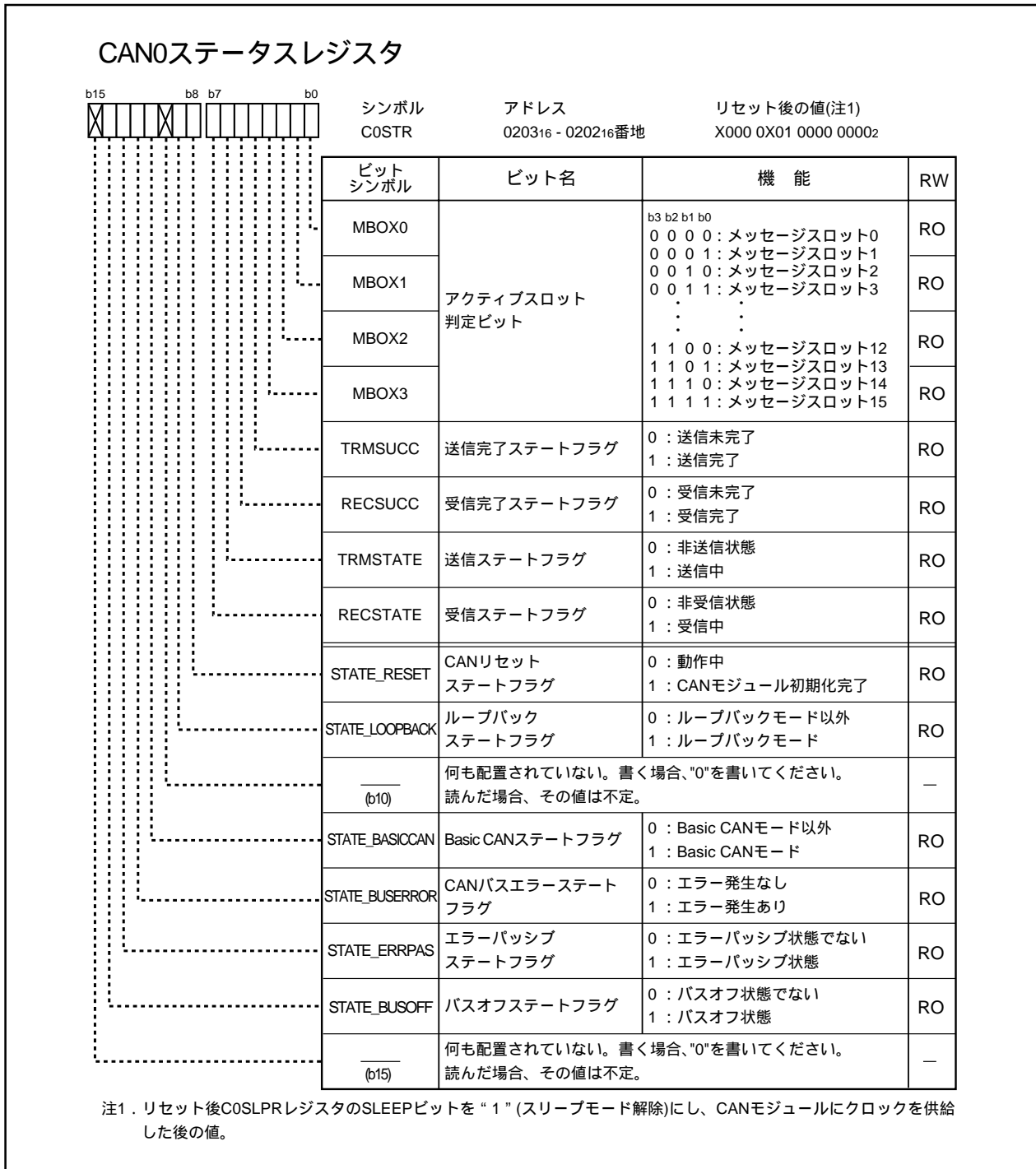


図23.6 C0STRレジスタ

23.1.4.1 MBOX3～MBOX0ビット

送信完了時または受信データ格納完了時に、該当スロット番号が格納されます。

23.1.4.2 TRMSUCCビット

正常に送信を完了したとき“1”になります。

正常に受信を完了したとき“0”になります。

23.1.4.3 RECSUCCビット

正常に受信を完了したとき“1”になります(受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません)。ただし、ループバックモードを使用して送信したメッセージを受信したときは、TRMSUCCビットが“1”に、RECSUCCビットが“0”になります。

正常に送信を完了したとき“0”になります。

23.1.4.4 TRMSTATEビット

送信ノードとして動作中のとき“1”になります。

バスアイドル状態になったとき、または受信ノードとして動作を始めたとき“0”になります。

23.1.4.5 RECSTATEビット

受信ノードとして動作中のとき“1”になります。

バスアイドル状態になったとき、または送信ノードとして動作を始めたとき“0”になります。

23.1.4.6 STATE_RESETビット

RESET0、RESET1ビットを両方とも“1”(CANモジュール初期化)にした後、CANモジュールの初期化が完了すると“1”になります。

RESET0、RESET1ビットを両方とも“0”にすると、“0”になります。

23.1.4.7 STATE_LOOPBACKビット

ループバックモードで動作しているとき、“1”になります。

LOOPBACKビットを“1”(ループバック機能有効)にするとSTATE_LOOPBACKビットは“1”になります。

LOOPBACKビットを“0”(ループバック機能無効)にするとSTATE_LOOPBACKビットは“0”になります。

23.1.4.8 STATE_BASICCANビット

BasicCANモードで動作しているとき“1”になります。BasicCANモードについては「23.1.1.3 BASICCANビット」を参照してください。

BASICCANビットを“0”(BasicCANモード機能無効)にするとSTATE_BASICCANビットは“0”になります。

BASICCANビットを“1”(BasicCANモード機能有効)にし、メッセージスロット14、15のCOMCTL14、COMCTL15レジスタをデータフレーム受信に設定すると、STATE_BASICCANビットは“1”になります。

23.1.4.9 STATE_BUSERRORビット

CAN通信エラーを検出したとき“1”になります。

正常に送受信が完了したときSTATE_BUSERRORビットは“0”になります。受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません。

注1. このビットが“1”のときRESET0、RESET1ビットを両方とも“1”(CANモジュール初期化)にしても、STATE_BUSERRORビットは変化しません。

23.1.4.10 STATE_ERRPASビット

C0TEC レジスタの値、またはC0REC レジスタの値が127 を超えてエラーパッシブ状態になった場合に“1”になります。

エラーパッシブ状態から他のエラー状態に変化したとき“0”になります。

また、RESET0、RESET1 ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_ERRPAS ビットは“0”になります。

23.1.4.11 STATE_BUSOFFビット

C0TEC レジスタの値が255 を超えてバスオフ状態になったとき、“1”になります。

バスオフ状態からエラーアクティブ状態に復帰したとき“0”になります。

また、RESET0、RESET1 ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_BUSOFF ビットは“0”になります。

23.1.5 CAN0拡張IDレジスタ(C0IDRレジスタ)

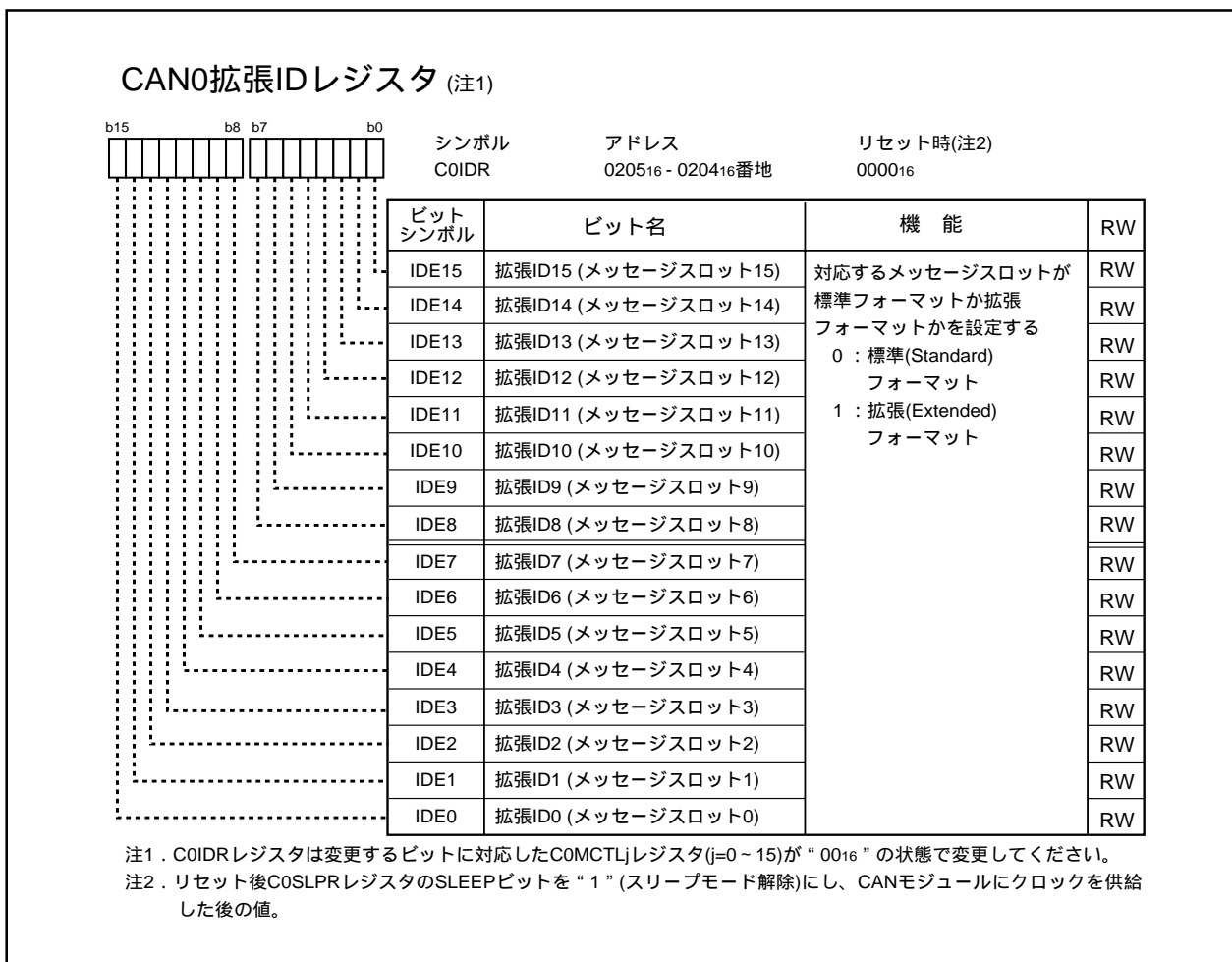


図23.7 C0IDRレジスタ

各ビットに対応したメッセージスロットで取り扱うフレームのフォーマットを選択します。

“0”にした場合、標準(Standard)フォーマットが選択されます。

“1”にした場合、拡張(Extended)フォーマットが選択されます。

23.1.6 CAN0コンフィグレーションレジスタ(C0CONRレジスタ)

CAN0コンフィグレーションレジスタ

シンボル
C0CONR

アドレス
0207₁₆ - 0206₁₆番地

リセット後の値(注1)
0000 0000 0000 XXXX₂

ビットシンボル	ビット名	機能	RW
— (b3 - b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
SAM	サンプリング数	0 : 1回サンプリング 1 : 3回サンプリング	RW
PTS0	Propagation Time Segment	b7 b6 b5 0 0 0 : 1Tq 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
PTS1		RW	
PTS2		RW	
PBS10	Phase Buffer Segment 1	b10 b9 b8 0 0 0 : 設定しないでください。 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
PBS11		RW	
PBS12		RW	
PBS20	Phase Buffer Segment 2	b13 b12 b11 0 0 0 : 設定しないでください。 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
PBS21		RW	
PBS22		RW	
SJW0	reSynchronization Jump Width	b15 b14 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	RW
SJW1		RW	

注1. リセット後C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

図23.8 C0CONRレジスタ

23.1.6.1 SAMビット

1ビットあたりのサンプリング数を設定します。

SAMビットが“0”の場合、PBS1の最後でサンプリングした値をそのビット値とみなします。

SAMビットが“1”の場合、PBS1の最後、1Tq前、2Tq前の計3ポイントでサンプリングし、2回以上同じだった値をビットの値とみなします。

23.1.6.2 PTS2～PTS0ビット

PTSの幅を選択できます。

23.1.6.3 PBS12～PBS10ビット

PBS1の幅を選択できます。PBS12～PBS10ビットは“0012”以上にしてください。

23.1.6.4 PBS22～PBS20ビット

PBS2の幅を選択できます。PBS22～PBS20ビットは“0012”以上にしてください。

23.1.6.5 SJW1～SJW0ビット

SJWの幅を選択できます。SJW1～SJW0ビットはPBS12～PBS10ビット以下かつPBS22～PBS20ビット以下の設定にしてください。

表23.3 CPUクロック：30MHz時のビットタイミング設定例

転送速度	BRP設定値	Tq周期(ns)	1ビットのTq数	PTS+PBS1	PBS2	サンプルポイント
1Mbps	1	66.7	15	12	2	87%
	1	66.7	15	11	3	80%
	1	66.7	15	10	4	73%
	2	100	10	7	2	80%
	2	100	10	6	3	70%
	2	100	10	5	4	60%
500Kbps	2	100	20	16	3	85%
	2	100	20	15	4	80%
	2	100	20	14	5	75%
	3	133.3	15	12	2	87%
	3	133.3	15	11	3	80%
	3	133.3	15	10	4	73%
	4	166.7	12	9	2	83%
	4	166.7	12	8	3	75%
	4	166.7	12	7	4	67%
	5	200	10	7	2	80%
	5	200	10	6	3	70%
	5	200	10	5	4	60%

COTSRレジスタは、COCTRL0レジスタのRESET0、RESET1ビットを“0”にするとアップカウントを開始します。

COTSR レジスタは次のとき“0000₁₆”になります。

- ・COTSR レジスタが“FFFF₁₆”になった次のカウントタイミング
- ・RESET0、RESET1 ビットにプログラムで“1”(CANモジュール初期化)を書いたとき
- ・TSRESET ビットにプログラムで“1”(COTSR レジスタ初期化)を書いたとき

$$\text{CANバスビットクロック} = \frac{1}{\text{CANビットタイム}}$$

23.1.9 CAN0送信エラーカウントレジスタ(C0TECレジスタ)



図23.11 C0TECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、送信エラーカウント値が格納されます。正常送信時ダウンカウントし、送信エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“0016”になります。

23.1.10 CAN0受信エラーカウントレジスタ(C0RECレジスタ)



図23.12 C0RECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、受信エラーカウント値が格納されます。正常受信時ダウンカウントし、受信エラー発生時にアップカウントします。

ただし、C0REC 128の状態(エラーパッシブ状態)で正常に受信完了した場合、C0REC レジスタは127になります。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“0016”になります。

23.1.11 CAN0スロット割り込みステータスレジスタ(C0SISTRレジスタ)

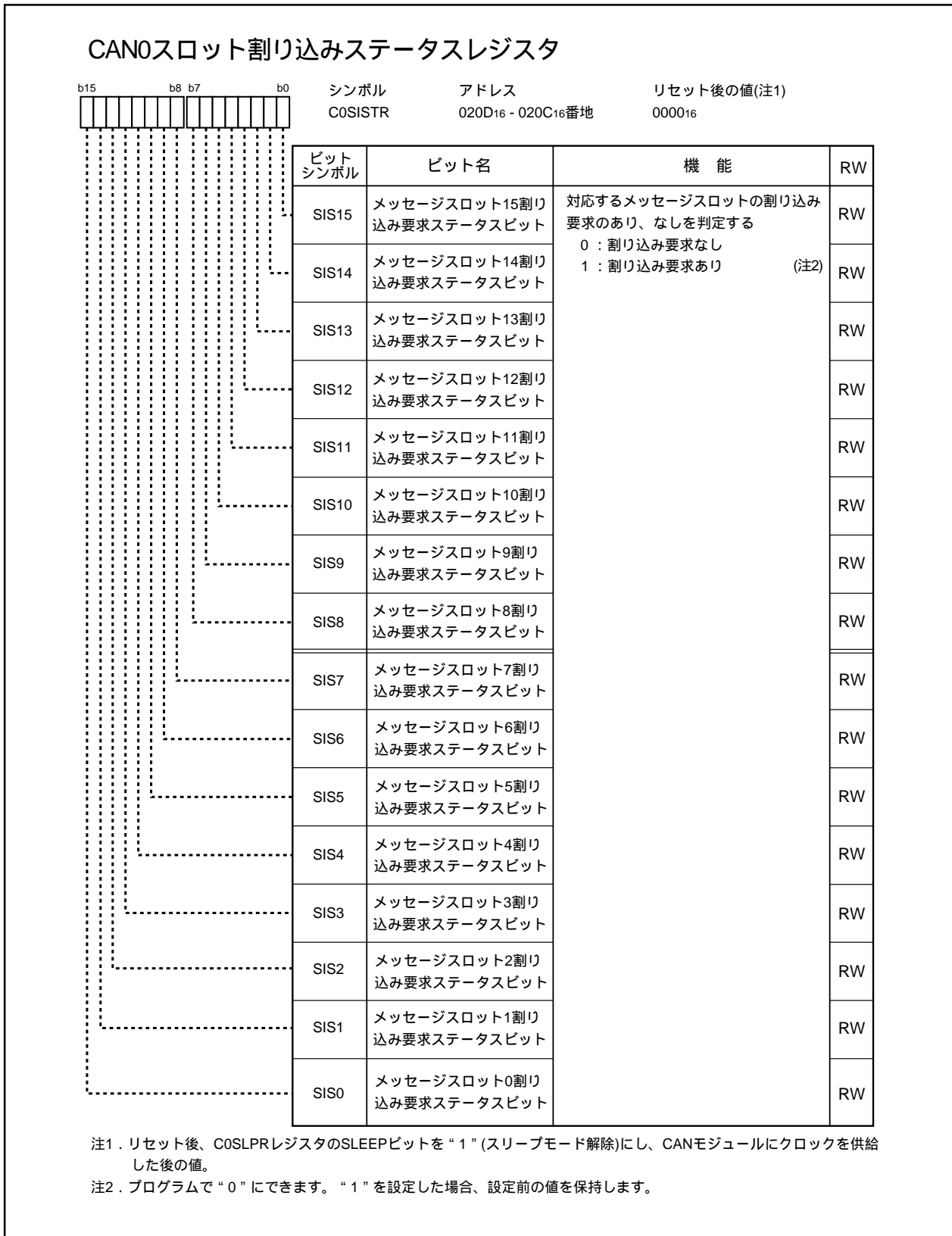


図23.13 C0SISTRレジスタ

CAN割り込みを使用する場合、C0SISTRレジスタを使用すると、どのメッセージスロットから割り込み要求があったかを知ることができます。SISjビット(j = 0 ~ 15)は割り込みが受け付けられても自動的に“0”(割り込み要求なし)になりませんので、プログラムで“0”にしてください。

SISjビットを“0”にする場合、ビットクリア命令を使用せず、mov命令を使用してください。このとき、“0”にするビット以外は“1”を書いてください。

(例) CAN0のSIS0ビットを“0”にする場合

アセンブラ言語 : mov.w #07FFFh, C0SISTR

C言語 : c0sistr = 0x7FFF;

詳細は「23.4 CAN割り込み」を参照してください。

23.1.11.1 送信に設定しているメッセージスロット

送信が完了し、C0TSRレジスタをメッセージスロットjへ格納し終わったとき、SISjビットは“1”(割り込み要求あり)になります。

23.1.11.2 受信に設定しているメッセージスロット

受信が完了し、受信メッセージをメッセージスロットjへ格納し終わったとき、SISjビットは“1”になります。

注1. リモートフレーム受信メッセージスロットで自動応答機能を有効にしている場合は、リモートフレーム受信完了後、データフレーム送信完了後ともにSISjビットが“1”になります。

注2. リモートフレーム送信メッセージスロットでは、リモートフレーム送信完了後、データフレーム受信完了後ともにSISjビットが“1”になります。

注3. 割り込み要求によりSISjビットが“1”になるタイミングと、プログラムでSISjビットへ“0”を書くタイミングが重なった場合、SISjビットは“1”になります。

23.1.12 CAN0スロット割り込みマスクレジスタ(C0SIMKRレジスタ)

CAN0スロット割り込みマスクレジスタ (注1)

シンボル
C0SIMKR

アドレス
0211₁₆ - 0210₁₆番地

リセット後の値(注2)
0000₁₆

ビットシンボル	ビット名	機能	RW
SIM15	メッセージスロット15 割り込み要求マスクビット	対応するメッセージスロットの割り込み要求の許可、禁止を制御する 0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	RW
SIM14	メッセージスロット14 割り込み要求マスクビット		RW
SIM13	メッセージスロット13 割り込み要求マスクビット		RW
SIM12	メッセージスロット12 割り込み要求マスクビット		RW
SIM11	メッセージスロット11 割り込み要求マスクビット		RW
SIM10	メッセージスロット10 割り込み要求マスクビット		RW
SIM9	メッセージスロット9 割り込み要求マスクビット		RW
SIM8	メッセージスロット8 割り込み要求マスクビット		RW
SIM7	メッセージスロット7 割り込み要求マスクビット		RW
SIM6	メッセージスロット6 割り込み要求マスクビット		RW
SIM5	メッセージスロット5 割り込み要求マスクビット		RW
SIM4	メッセージスロット4 割り込み要求マスクビット		RW
SIM3	メッセージスロット3 割り込み要求マスクビット		RW
SIM2	メッセージスロット2 割り込み要求マスクビット		RW
SIM1	メッセージスロット1 割り込み要求マスクビット		RW
SIM0	メッセージスロット0 割り込み要求マスクビット		RW

注1 . C0SIMKRレジスタは変更するビットに対応したC0MCTLjレジスタ(j=0~15)が“00₁₆”の状態に変更してください。
 注2 . リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

図23.14 C0SIMKRレジスタ

対応するメッセージスロットの送信完了、または受信完了による割り込み要求の許可、禁止を制御するレジスタです。SIMjビット(j=0~15)を“1”にした場合、対応するメッセージスロットの送信完了、または受信完了による割り込み要求が許可されます。詳細は「23.4 CAN割り込み」を参照してください。

23.1.13 CAN0エラー割り込みマスクレジスタ(C0EIMKRレジスタ)

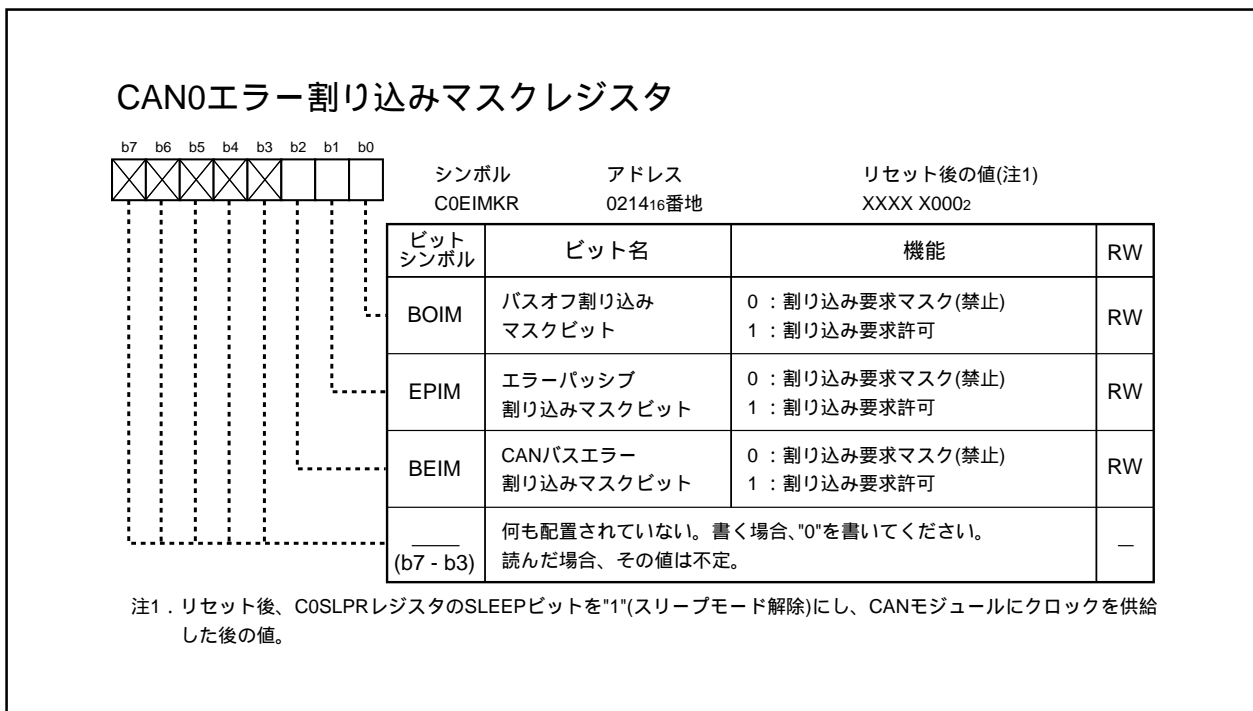


図23.15 C0EIMKRレジスタ

詳細は「23.4 CAN割り込み」を参照してください。

23.1.13.1 BOIMビット

CANの状態がバスオフ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。BOIMビットを“1”にすると、バスオフ割り込み要求が許可されます。

23.1.13.2 EPIMビット

CANの状態がエラーパッシブ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。EPIMビットを“1”にすると、エラーパッシブ割り込み要求が許可されます。

23.1.13.3 BEIMビット

CANバスエラーの発生による割り込み要求の許可、禁止を制御するビットです。BEIMビットを“1”にすると、CANバスエラー割り込み要求が許可されます。

23.1.14 CAN0エラー割り込みステータスレジスタ(C0EISTRレジスタ)

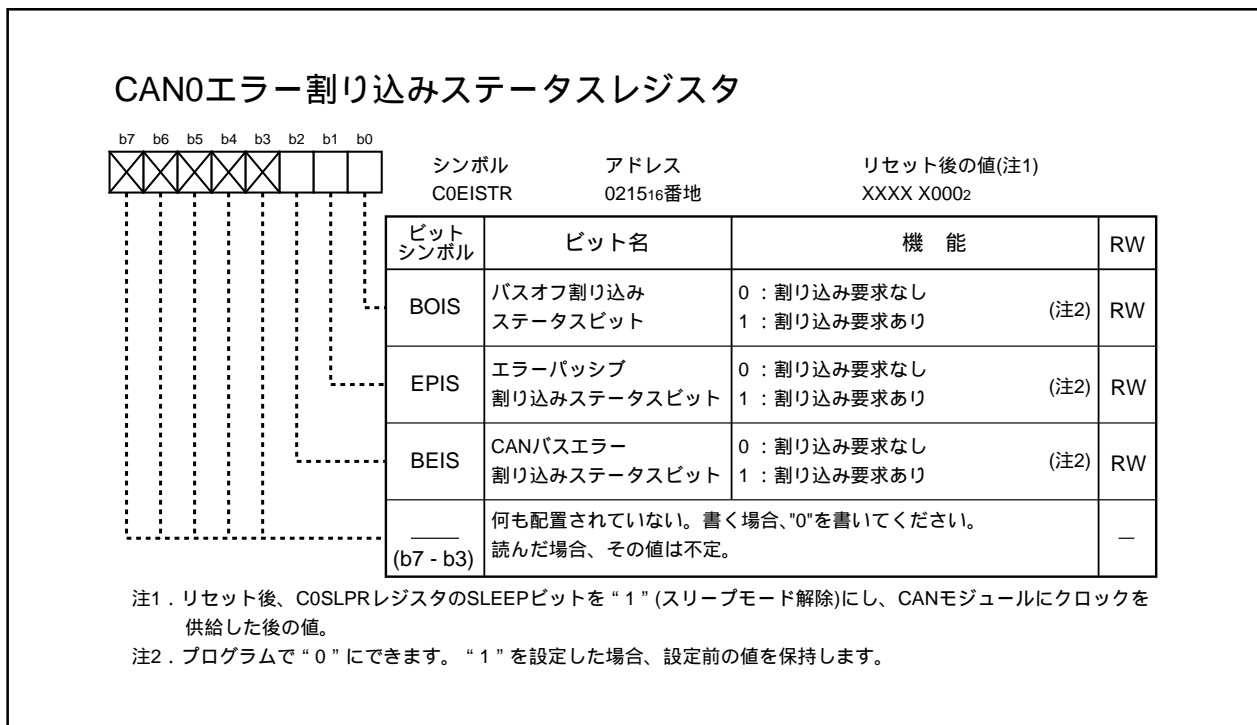


図23.16 C0EISTRレジスタ

CAN割り込みでC*i*EISTRレジスタを使用すると、エラー割り込み要因が確認できます。

BOISビット、EPISビット、BEISビットは割り込みが受け付けられても自動的に“0”(割り込み要求なし)になりませんので、プログラムで“0”にしてください。

C0EISTRレジスタの各ビットを“0”にする場合、ビットクリア命令を使用せず、mov命令を使用してください。このとき“0”にするビットに“0”を、変化させたくないビットに“1”を書いてください。

(例) CAN0のBOISビットを“0”にする場合

アセンブラ言語 : mov.b #006h, C0EISTR

C言語 : c0eistr = 0x06;

詳細は「23.4 CAN割り込み」を参照してください。

23.1.14.1 BOISビット

CANモジュールがバスオフ状態となった場合、BOISビットが“1”になります。

23.1.14.2 EPISビット

CANモジュールがエラーパッシブ状態となった場合、EPISビットが“1”になります。

23.1.14.3 BEISビット

CAN通信エラーが検出された場合、BEISビットが“1”になります。

23.1.15 CAN0エラー要因レジスタ(C0EFRレジスタ)

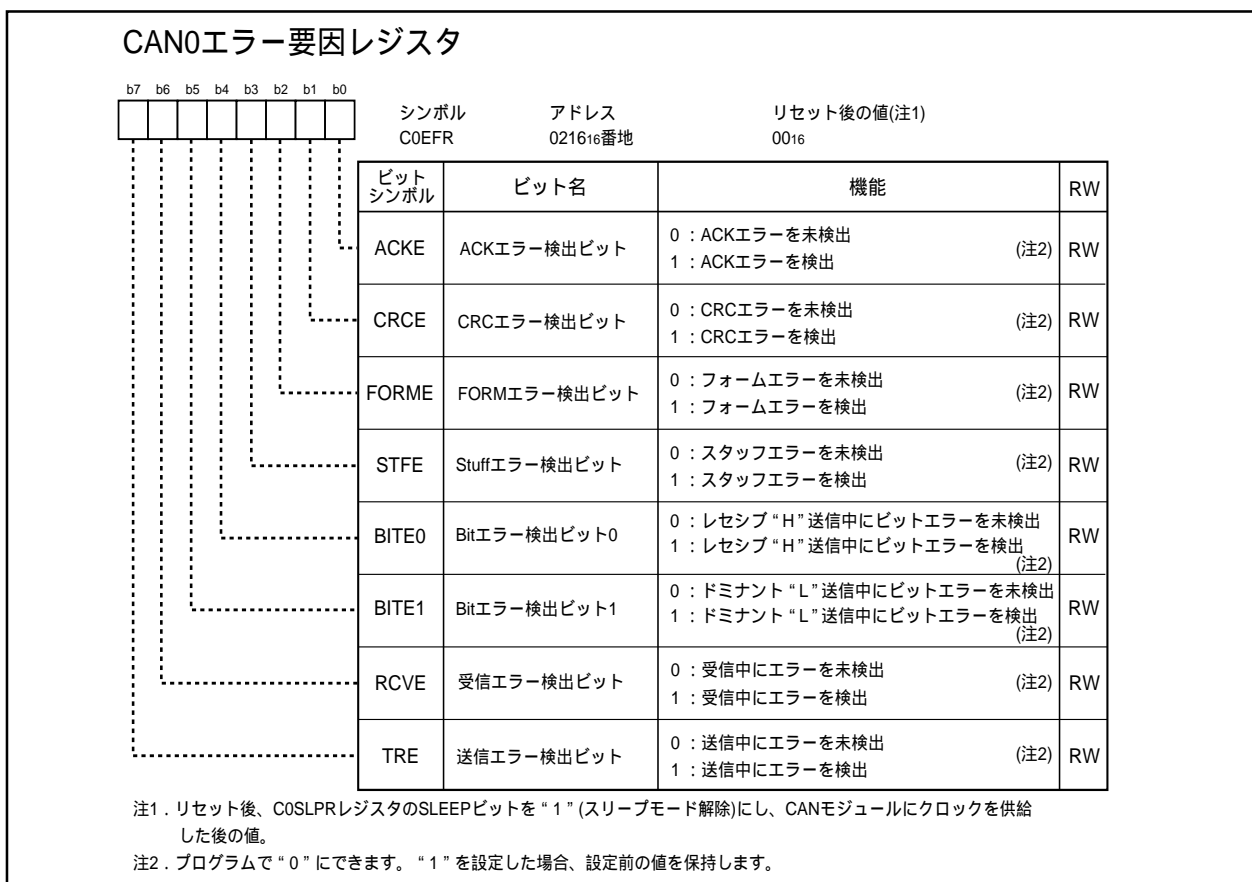


図23.17 C0EFRレジスタ

通信エラーが発生した場合、エラー要因を判別するためのレジスタです。これらのビットは自動的に“0”にはなりませんので、プログラムで“0”にしてください。

C0EFRレジスタの各ビットを“0”にする場合、ビットクリア命令を使用せず、mov命令を使用してください。このとき“0”にするビットに“0”を、変化させたくないビットに“1”を書いてください。

(例) CAN0のACKEビットを“0”にする場合

アセンブラ言語 : mov.b #0FEh, C0EFR

C言語 : c0efr = 0xFE;

23.1.15.1 ACKEビット

ACKエラーを検出すると、“1”になります。

23.1.15.2 CRCEビット

CRCエラーを検出すると、“1”になります。

23.1.15.3 FORMEビット

フォームエラーを検出すると、“1”になります。

23.1.15.4 STFEビット

スタッフエラーを検出すると、“1”になります。

23.1.15.5 BITE0ビット

レセシブ“H”を送信中にビットエラーを検出すると、“1”になります。

23.1.15.6 BITE1ビット

ドミナント“L”を送信中にビットエラーを検出すると、“1”になります。

23.1.15.7 RCVEビット

受信中にビットエラーを検出すると、“1”になります。

23.1.15.8 TREビット

送信中にビットエラーを検出すると、“1”になります。

23.1.16 CAN0モードレジスタ(C0MDRレジスタ)

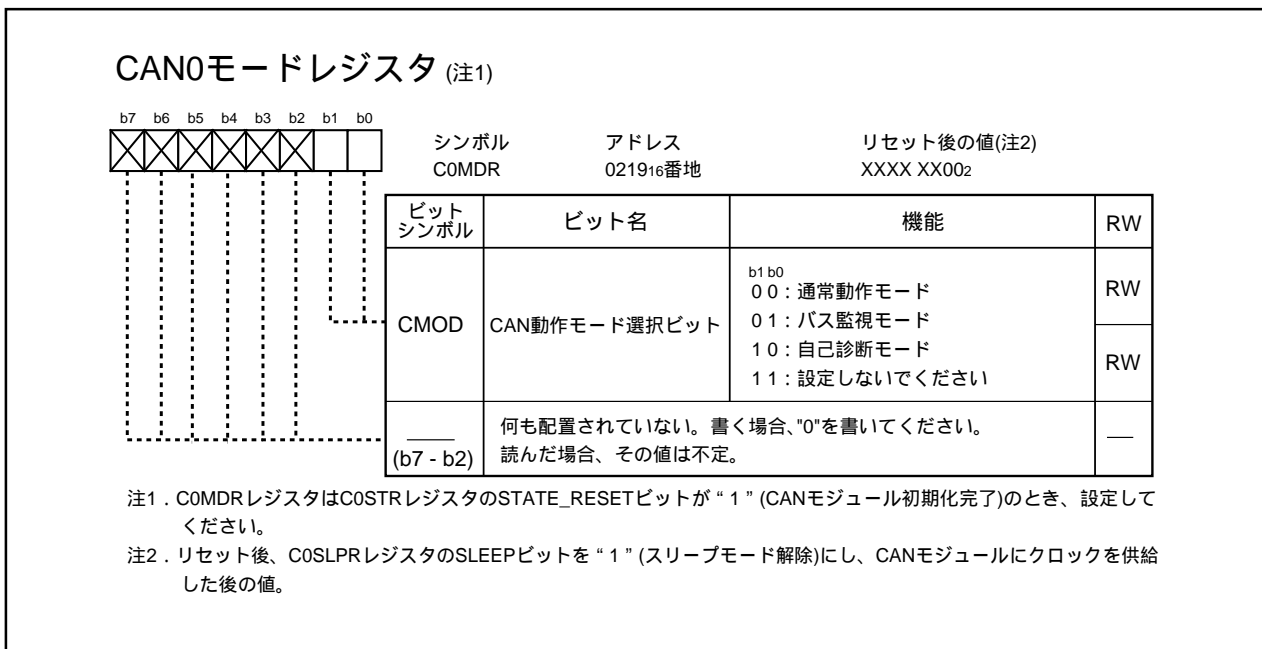


図23.18 C0MDRレジスタ

23.1.16.1 CMODビット

CANの動作モードを選択します。

- ・通常動作モード : 通常の送受信を行うことができます。
- ・バス監視モード(注1): 受信動作のみを行うモードです。バス監視モードではCAN0OUT端子出力は“H”固定となり、ACKを返すこともエラーフレームを返すこともしません。
- ・自己診断モード : CANモジュール内部で、CAN0OUT-CAN0IN端子を接続します。ループバックモードと組み合わせることでCAN単体で通信できます。自己診断モード時は、送信中もCAN0OUT端子出力が“H”固定となります。図23.19に自己診断モード(イメージ図)を示します。

注1. バス監視モード時は、送信要求は出さないでください。

バス監視モード時は、ACKビットがドミナント“L”でもレセシブ“H”でも、ドミナント“L”を受信したとみなします。

したがって、EOFまで正常に受信できた場合、ACKビットがレセシブ“H”でも正常受信できたものと判定されます。

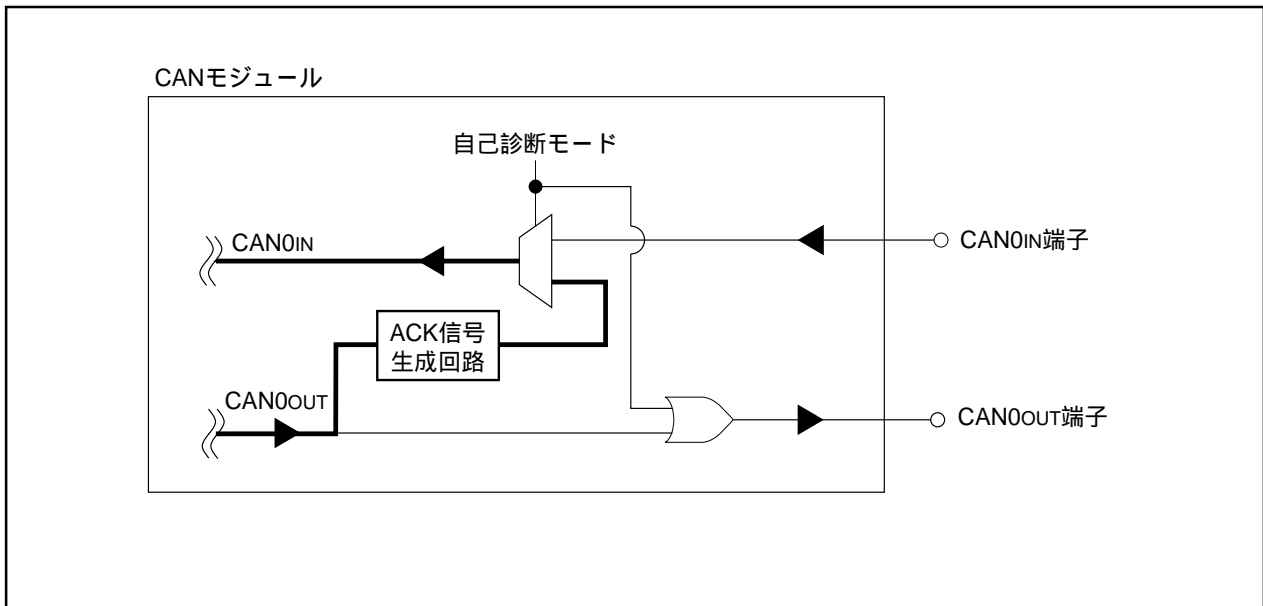


図23.19 自己診断モード(イメージ図)

23.1.17 CAN0シングルショット制御レジスタ(C0SSCTLRレジスタ)

CAN0シングルショット制御レジスタ (注1、2)

シンボル
C0SSCTLR

アドレス
0221₁₆ - 0220₁₆番地

リセット後の値(注3)
0000₁₆

ビットシンボル	ビット名	機能	RW
SSC15	メッセージスロット15シングルショット制御ビット	0 : シングルショットモードを使用しない 1 : シングルショットモードを使用する	RW
SSC14	メッセージスロット14シングルショット制御ビット		RW
SSC13	メッセージスロット13シングルショット制御ビット		RW
SSC12	メッセージスロット12シングルショット制御ビット		RW
SSC11	メッセージスロット11シングルショット制御ビット		RW
SSC10	メッセージスロット10シングルショット制御ビット		RW
SSC9	メッセージスロット9シングルショット制御ビット		RW
SSC8	メッセージスロット8シングルショット制御ビット		RW
SSC7	メッセージスロット7シングルショット制御ビット		RW
SSC6	メッセージスロット6シングルショット制御ビット		RW
SSC5	メッセージスロット5シングルショット制御ビット		RW
SSC4	メッセージスロット4シングルショット制御ビット		RW
SSC3	メッセージスロット3シングルショット制御ビット		RW
SSC2	メッセージスロット2シングルショット制御ビット		RW
SSC1	メッセージスロット1シングルショット制御ビット		RW
SSC0	メッセージスロット0シングルショット制御ビット		RW

注1. C0SSCTLRレジスタは、変更するビットに対応したスロットのC0MCTLjレジスタ(j=0~15)が“0016”の状態に変更してください。

注2. C0SSCTLRレジスタは、C0CTLR1レジスタのBANKSELビットが“0”のときのみアクセスできます。

注3. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“0”にした後の値。

図23.20 C0SSCTLRレジスタ

CANの仕様では、アービトレーションロストや送信エラーによって送信に失敗した場合、送信が成功するまで再送信をしつづけます。C0SSCTLRレジスタでその再送信をするか、しないかをスロットごとに制御できます。

シングルショットモードでは、アービトレーションロストや送信エラーによって送信に失敗した場合、再送信しません。SSCjビット(j=0~15)を“1”にすると対応するスロットjは、シングルショットモードで動作します。

23.1.18 CAN0シングルショットステータスレジスタ(COSSSTRレジスタ)

CAN0シングルショットステータスレジスタ (注1)			
シンボル	アドレス	リセット後の値(注2)	
COSSSTR	0225 ₁₆ - 0224 ₁₆ 番地	0000 ₁₆	
ビットシンボル	ビット名	機能	RW
SSS15	メッセージスロット15シングルショットステータスビット	0 : アービトレーションロストまたは送信エラーなし 1 : アービトレーションロストまたは送信エラー発生 (注3)	RW
SSS14	メッセージスロット14シングルショットステータスビット		RW
SSS13	メッセージスロット13シングルショットステータスビット		RW
SSS12	メッセージスロット12シングルショットステータスビット		RW
SSS11	メッセージスロット11シングルショットステータスビット		RW
SSS10	メッセージスロット10シングルショットステータスビット		RW
SSS9	メッセージスロット9シングルショットステータスビット		RW
SSS8	メッセージスロット8シングルショットステータスビット		RW
SSS7	メッセージスロット7シングルショットステータスビット		RW
SSS6	メッセージスロット6シングルショットステータスビット		RW
SSS5	メッセージスロット5シングルショットステータスビット		RW
SSS4	メッセージスロット4シングルショットステータスビット		RW
SSS3	メッセージスロット3シングルショットステータスビット		RW
SSS2	メッセージスロット2シングルショットステータスビット		RW
SSS1	メッセージスロット1シングルショットステータスビット		RW
SSS0	メッセージスロット0シングルショットステータスビット		RW

注1. COSSSTRレジスタは、COCTL1レジスタのBANKSELビットが“0”のときのみアクセスできます。
 注2. リセット後、COslPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“0”にした後の値。
 注3. プログラムで“0”にできます。“1”を設定した場合、設定前の値を保持します。

図23.21 COSSSTRレジスタ

アービトレーションロストまたは送信エラーによって送信が失敗した場合は、スロットに対応したビットが“1”になります。SSS_jビット(j=0~15)は自動的に“0”になりませんので、プログラムで“0”にしてください。

SSS_jビットを“0”にする場合、ビットクリア命令は使用せず、mov命令を使用してください。このとき、“0”にするビット以外は“1”を書いてください。

(例)CAN0のSSS0ビットを“0”にする場合

アセンブラ言語 : mov.w #07FFFh, COSSSTR

C言語 : c0ssstr = 0x7FFF;

23.1.19 CAN0グローバルマスクレジスタ、CAN0ローカルマスクレジスタA、CAN0ローカルマスクレジスタB (COGMRk、COLMARk、COLMBRkレジスタ) (k=0~4)

CAN0グローバルマスクレジスタ標準ID0 (注1)
 CAN0ローカルマスクレジスタA標準ID0 (注1)
 CAN0ローカルマスクレジスタB標準ID0 (注1)

シンボル	アドレス	リセット後の値(注2)
COGMR0	0228 ₁₆ 番地	XXX0 0000 ₂
COLMAR0	0230 ₁₆ 番地 (注3)	XXX0 0000 ₂
COLMBR0	0238 ₁₆ 番地 (注4)	XXX0 0000 ₂

ビットシンボル	ビット名	機能	RW
SID6M	標準ID6	0 : IDチェックなし 1 : IDチェックあり	RW
SID7M	標準ID7		RW
SID8M	標準ID8		RW
SID9M	標準ID9		RW
SID10M	標準ID10		RW
(b7 - b5)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1 . COGMR0、COLMAR0、COLMBR0レジスタは、COCTLR1レジスタのBANKSELビットが“1”のときのみアクセスできます。
 注2 . リセット後、C0SLPRレジスタのSLEEPビットを“1” (スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。
 注3 . COLMAR0レジスタはC0MCTL0レジスタと番地を共用しています。
 注4 . COLMBR0レジスタはC0MCTL8レジスタと番地を共用しています。

CAN0グローバルマスクレジスタ標準ID1 (注1)
 CAN0ローカルマスクレジスタA標準ID1 (注1)
 CAN0ローカルマスクレジスタB標準ID1 (注1)

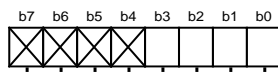
シンボル	アドレス	リセット後の値 (注2)
COGMR1	0229 ₁₆ 番地	XX00 0000 ₂
COLMAR1	0231 ₁₆ 番地 (注3)	XX00 0000 ₂
COLMBR1	0239 ₁₆ 番地 (注4)	XX00 0000 ₂

ビットシンボル	ビット名	機能	RW
SID0M	標準ID0	0 : IDチェックなし 1 : IDチェックあり	RW
SID1M	標準ID1		RW
SID2M	標準ID2		RW
SID3M	標準ID3		RW
SID4M	標準ID4		RW
SID5M	標準ID5	RW	
(b7 - b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1 . COGMR1、COLMAR1、COLMBR1レジスタは、COCTLR1レジスタのBANKSELビットが“1”のときのみアクセスできます。
 注2 . リセット後、C0SLPRレジスタのSLEEPビットを“1” (スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。
 注3 . COLMAR1レジスタはC0MCTL1レジスタと番地を共用しています。
 注4 . COLMBR1レジスタはC0MCTL9レジスタと番地を共用しています。

図23.22 COGMR0、COLMAR0、COLMBR0レジスタ、COGMR1、COLMAR1、COLMBR1レジスタ

CAN0グローバルマスクレジスタ拡張ID0 (注1)
 CAN0ローカルマスクレジスタA拡張ID0 (注1)
 CAN0ローカルマスクレジスタB拡張ID0 (注1)



シンボル	アドレス	リセット後の値(注2)
COGMR2	022A ₁₆ 番地	XXXX 0002
COLMAR2	0232 ₁₆ 番地 (注3)	XXXX 0002
COLMBR2	023A ₁₆ 番地 (注4)	XXXX 0002

ビットシンボル	ビット名	機能	RW
EID14M	拡張ID14	0 : IDチェックなし 1 : IDチェックあり	RW
EID15M	拡張ID15		RW
EID16M	拡張ID16		RW
EID17M	拡張ID17		RW
— (b7 - b4)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—

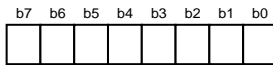
注1. COGMR2、COLMAR2、COLMBR2レジスタは、COCTRL1レジスタのBANKSELビットが“1”のときのみアクセスできます。

注2. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。

注3. COLMAR2レジスタはCOMCTL2レジスタと番地を共用しています。

注4. COLMBR2レジスタはCOMCTL10レジスタと番地を共用しています。

CAN0グローバルマスクレジスタ拡張ID1 (注1)
 CAN0ローカルマスクレジスタA拡張ID1 (注1)
 CAN0ローカルマスクレジスタB拡張ID1 (注1)



シンボル	アドレス	リセット後の値(注2)
COGMR3	022B ₁₆ 番地	0016
COLMAR3	0233 ₁₆ 番地 (注3)	0016
COLMBR3	023B ₁₆ 番地 (注4)	0016

ビットシンボル	ビット名	機能	RW
EID6M	拡張ID6	0 : IDチェックなし 1 : IDチェックあり	RW
EID7M	拡張ID7		RW
EID8M	拡張ID8		RW
EID9M	拡張ID9		RW
EID10M	拡張ID10		RW
EID11M	拡張ID11		RW
EID12M	拡張ID12		RW
EID13M	拡張ID13		RW

注1. COGMR3、COLMAR3、COLMBR3レジスタは、COCTRL1レジスタのBANKSELビットが“1”のときのみアクセスできます。

注2. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。

注3. COLMAR3レジスタはCOMCTL3レジスタと番地を共用しています。

注4. COLMBR3レジスタはCOMCTL11レジスタと番地を共用しています。

図23.23 COGMR2、COLMAR2、COLMBR2レジスタ、COGMR3、COLMAR3、COLMBR3レジスタ、

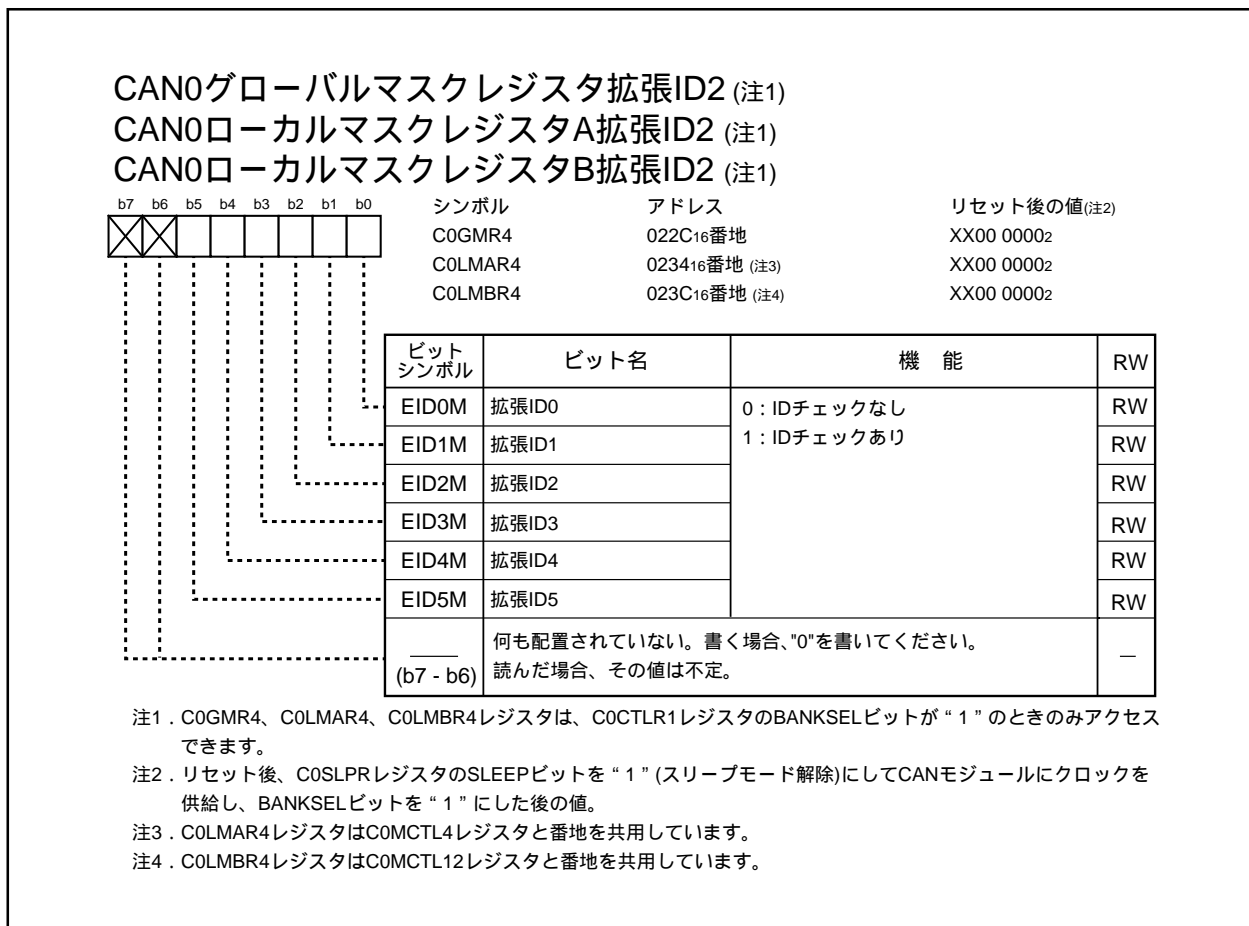


図23.24 C0GMR4、C0LMAR4、C0LMBR4レジスタ

アクセプタンスフィルタリングに使用するレジスタです。

ユーザが任意のメッセージを選択受信できます。

C0GMRkレジスタでメッセージスロット0~13、C0LMARkレジスタでメッセージスロット14、C0LMBRkレジスタでメッセージスロット15のIDチェックをするかしないかを選択できます。

- これらのレジスタのビットを“0”にした場合、そのビットに対応するCAN0メッセージスロットj標準ID0~1(j=0~15)とCAN0メッセージスロットj拡張ID0~2の中の各ビット(IDビット)は、アクセプタンスフィルタリング時にマスクされます。(対応するIDビットはIDが一致したものとみなされます。)
- これらのレジスタのビットを“1”にした場合、そのビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットjに設定されたIDと一致した場合、受信データが格納されます。

- 注1. C0GMRkレジスタは、メッセージスロット0~13のどのスロットにも受信要求がない状態で変更してください。
- 注2. C0LMARkレジスタは、メッセージスロット14に受信要求がない状態で変更してください。
- 注3. C0LMBRkレジスタは、メッセージスロット15に受信要求がない状態で変更してください。
- 注4. 受信メッセージのIDが2つ以上のメッセージスロットで格納可能であった場合、スロット番号が小さい方に格納されます。

図23.25に各マスクレジスタとスロット対応を、図23.26にアクセプタンス機能を示します。

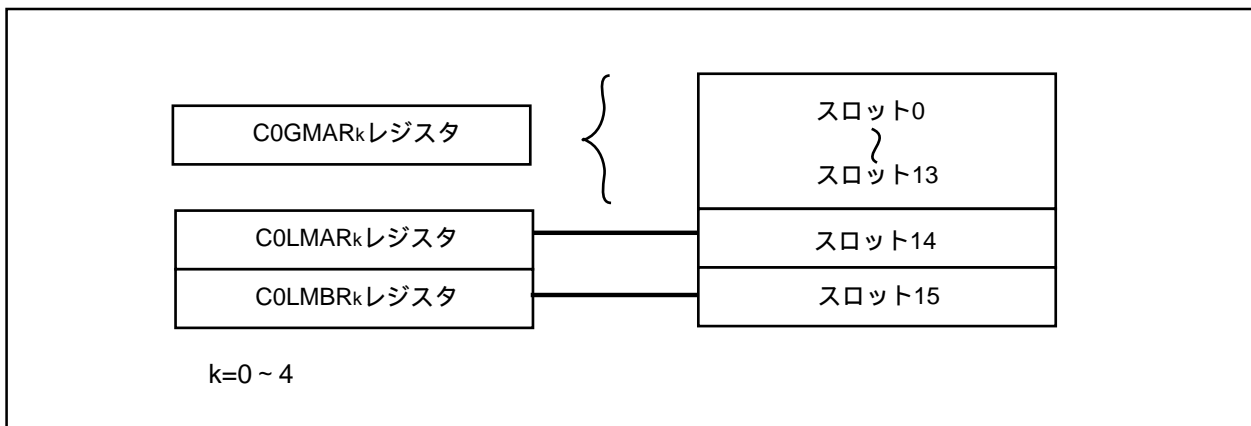


図23.25 各マスクレジスタとスロットの対応

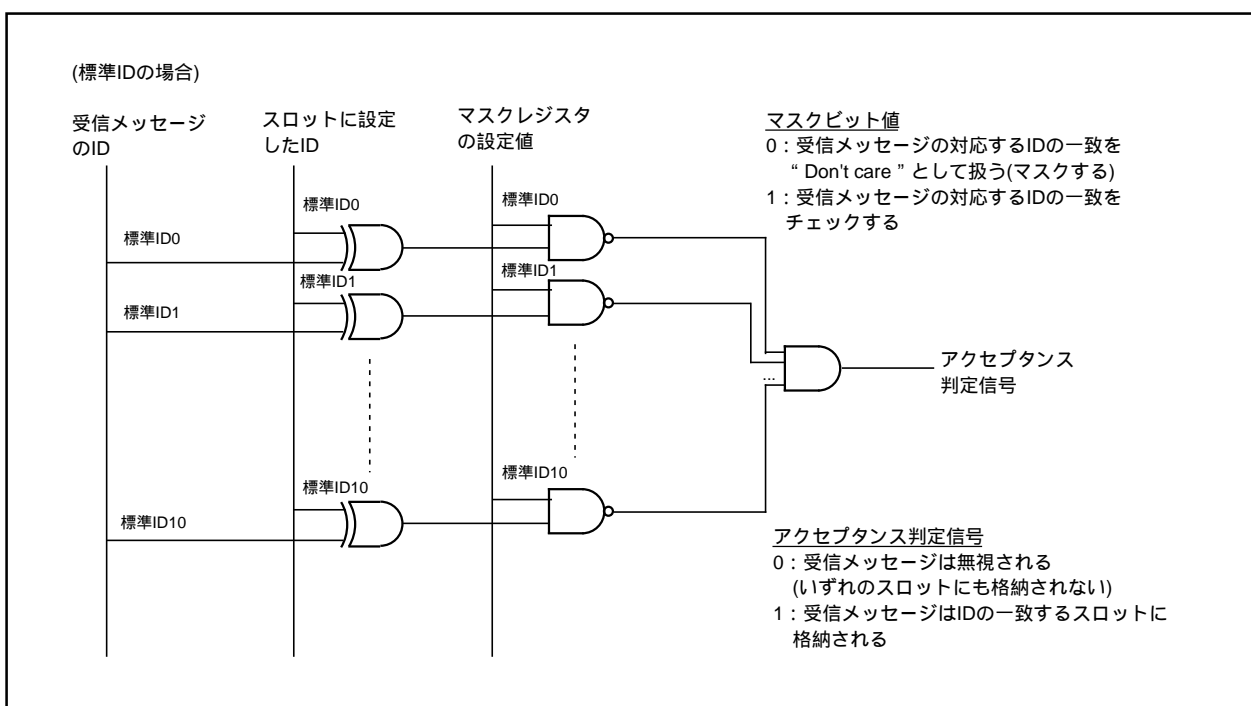


図23.26 アクセプタンス機能

23.1.20.1 SENTDATA、NEWDATAビット

CANメッセージの送受信が完了したことを示します。SENTDATA、NEWDATAビットはプログラムで“0”(未送信または未受信)にし、送受信を開始してください。自動的に“0”にはなりません。また、TRMACTIVE、INVALIDDATAビットが“1”(送信中、または受信データ格納中)のときは、SENTDATA、NEWDATAビットを“0”にできません。

- SENTDATA : 送信に設定しているメッセージスロットでは送信が完了したとき、SENTDATAビットが“1”(送信完了)になります。
- NEWDATA : 受信に設定しているメッセージスロットではメッセージスロットj(j=0~15)へ格納すべきメッセージを正常に受信したとき、NEWDATAビットが“1”(受信完了)になります。

- 注1. 受信データをメッセージスロットjから読む場合は、NEWDATAビットを“0”にしてから読んでください。読んだ直後にNEWDATAビットが“1”になっている場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は読み出したデータを破棄し、NEWDATAビットを“0”にした後、再度読んでください。
- 注2. リモートフレーム送受信の場合、リモートフレームの送受信完了時には、SENTDATA、NEWDATAビットは変化せずその後のデータフレーム送受信完了時に“1”になります。

23.1.20.2 TRMACTIVE、INVALIDDATAビット

CANメッセージを送受信、かつメッセージスロットjへCANプロトコルコントローラがアクセス中であることを示します。アクセス中は“1”になり、アクセスしていないときは“0”になります。

- TRMACTIVE : 送信に設定しているメッセージスロットでは送信を開始したとき、このビットが“1”(送信中)になります。アービトレーションに負けた場合、CANバスエラー発生、または送信完了によって“0”(送信中以外)になります。
- INVALIDDATA : 受信に設定しているメッセージスロットでは、メッセージ受信完了後、受信メッセージをメッセージスロットjへ格納中にこのビットは“1”(受信データ格納中)になり、メッセージが完全に格納された後、“0”(受信データ格納中以外)になります。このビットが“1”の間にメッセージスロットjから読んだ値は不定です。

23.1.20.3 MSGLOSTビット

受信メッセージスロット設定時に有効なビットです。NEWDATAビットが“1”(受信完了)の状態、新たな受信によりメッセージスロットjが上書きされた場合に“1”(オーバーランエラー発生あり)になります。

MSGLOSTビットは自動的に“0”にはなりませんので、プログラムで“0”(オーバーランエラー発生なし)にしてください。

23.1.20.4 REMACTIVEビット

STATE_BASICCANビットが“0”(BasicCANモード以外のモードで動作中)の場合、COMCTL0~COMCTL15レジスタの機能は同じです。メッセージスロットjをリモートフレーム送受信として設定した場合、REMACTIVEビットは“1”(リモートフレーム)になります。その後、リモートフレームの送受信が完了すると“0”(データフレーム)になります。

STATE_BASICCANビットが“1”(BasicCANモードで動作中)の場合、COMCTL14~COMCTL15レジスタのみREMACTIVEビットの機能が変わります。REMACTIVEビットが“0”の場合は、メッセージスロットに格納されているメッセージがデータフレームであることを示します。REMACTIVEビットが“1”の場合は、メッセージスロットに格納されているメッセージがリモートフレームであることを示します。

23.1.20.5 RSPLOCKビット

表23.4に示す送受信モードのうち、リモートフレーム受信を選択した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

RSPLOCKビットを“0”(リモートフレームに対する自動応答許可)にすると、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているメッセージをデータフレームとして自動送信を行います。

RSPLOCKビットを“1”(リモートフレームに対する自動応答禁止)にすると、リモートフレーム受信後、自動送信は行いません。

リモートフレーム受信以外の送受信モードを選択した場合は、“0”にしてください。

23.1.20.6 REMOTEビット

表23.4に示す送受信モードを選択するビットです。データフレーム送受信を行う場合“0”に、リモートフレーム送受信を行う場合“1”にしてください。

リモートフレーム送受信を行うと、次のように動作します。

・リモートフレーム送信

メッセージスロットjに設定されているメッセージをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信メッセージスロットに切り替わります。

ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータフレームをメッセージスロットjへ格納し、リモートフレームの送信は行いません。

・リモートフレーム受信

リモートフレームを受信します。受信後の処理はRSPLOCKビットで選択できます。

23.1.20.7 RECREQビット

表23.4に示す送受信モードを選択するビットです。データフレーム受信またはリモートフレーム受信を行う場合、“1”(受信要求あり)にしてください。

データフレーム送信またはリモートフレーム送信を行う場合は、“0”(受信要求なし)にしてください。

リモートフレーム受信後、自動的にデータフレーム送信を行うとき、RECREQビットは“1”のまま変化しません。また、リモートフレーム送信を行う場合、RECREQビットは“0”にしてください。リモートフレーム送信後、RECREQビットが“0”のまま自動的にデータフレーム受信を行います。

TRMREQビットが“1”(送信要求あり)のときは、RECREQビットを“1”(受信要求あり)にしないでください。

23.1.20.8 TRMREQビット

表23.4に示す送受信モードを選択するビットです。データフレーム送信またはリモートフレーム送信を行う場合、“1”(送信要求あり)にしてください。

データフレーム受信またはリモートフレーム受信を行う場合は、“0”(送信要求なし)にしてください。

リモートフレーム送信後、自動的にデータフレーム受信を行うとき、TRMREQビットは“1”のまま変化しません。また、リモートフレーム受信を行う場合、TRMREQビットは“0”にしてください。リモートフレーム受信後、TRMREQビットが“0”のまま自動的にデータフレーム送信を行います。

RECREQビットが“1”(受信要求あり)のときは、TRMREQビットを“1”(送信要求あり)にしないでください。

注1. 複数のスロットにデータフレームまたはリモートフレームの送信要求がある場合、スロット番号の一番小さいスロットが送信を行います。

注2. シングルショットモード設定時、アービトラションロストや送信エラーによって送信に失敗した場合、COMCTLjレジスタは“00₁₆”にクリアされます。

23.1.21 CAN0スロットバッファ選択レジスタ(C0SBSレジスタ)

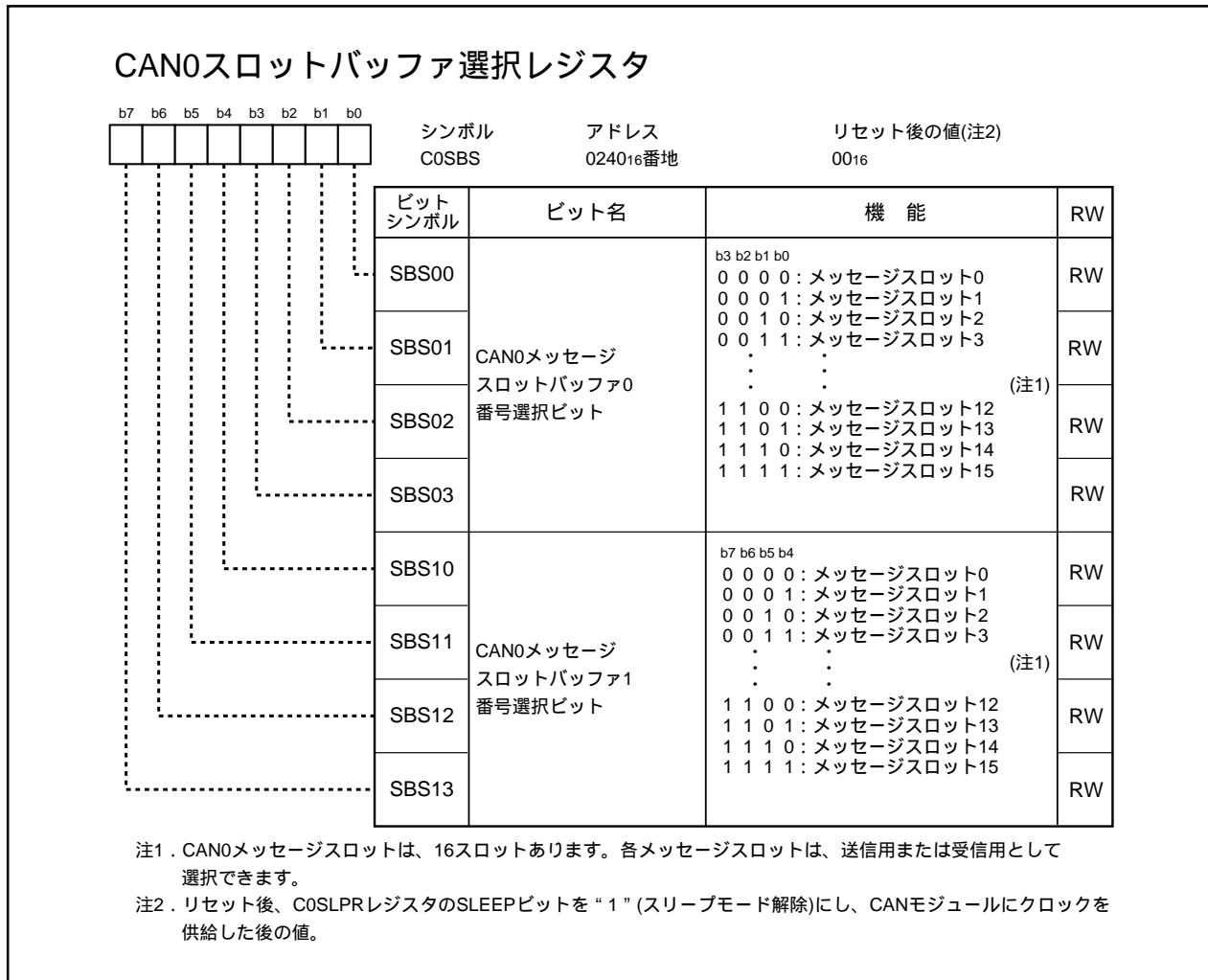


図23.28 C0SBSレジスタ

23.1.21.1 SBS03～SBS00ビット

SBS03～SBS00ビットで選択した番号をjとすると、メッセージスロットjがCAN0メッセージスロットバッファ0に割り当てられ、この番地(01E0₁₆～01EF₁₆)を通してメッセージスロットjにアクセスできます。

23.1.21.2 SBS13～SBS10ビット

SBS13～SBS10ビットで選択した番号をjとすると、メッセージスロットjがCAN0メッセージスロットバッファ1に割り当てられ、この番地(01F0₁₆～01FF₁₆)を通してメッセージスロットjにアクセスできます。

23.1.22 CAN0メッセージスロットバッファj(j=0,1)

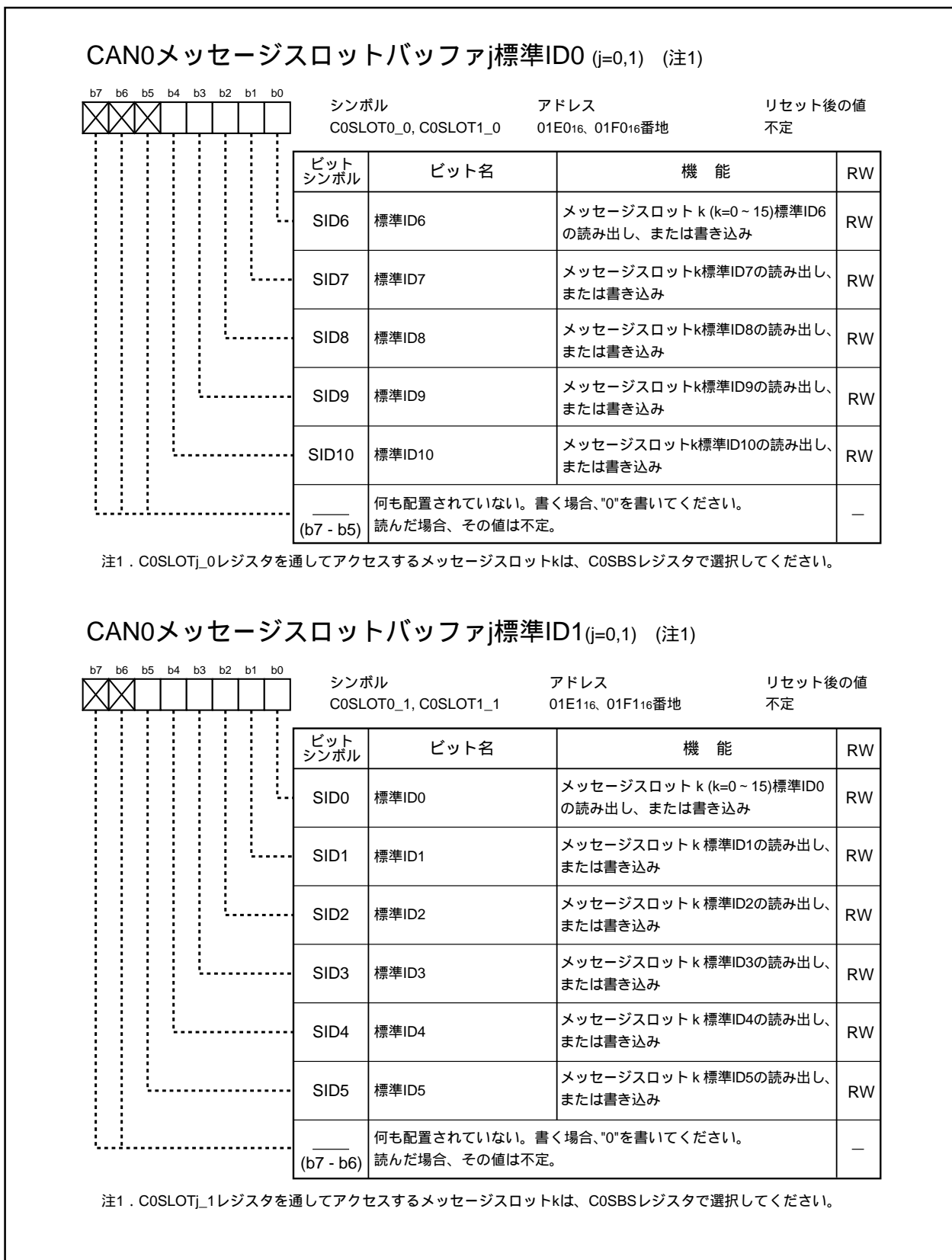


図23.29 C0SLOT0_0、C0SLOT1_0レジスタ、C0SLOT0_1、C0SLOT1_1レジスタ

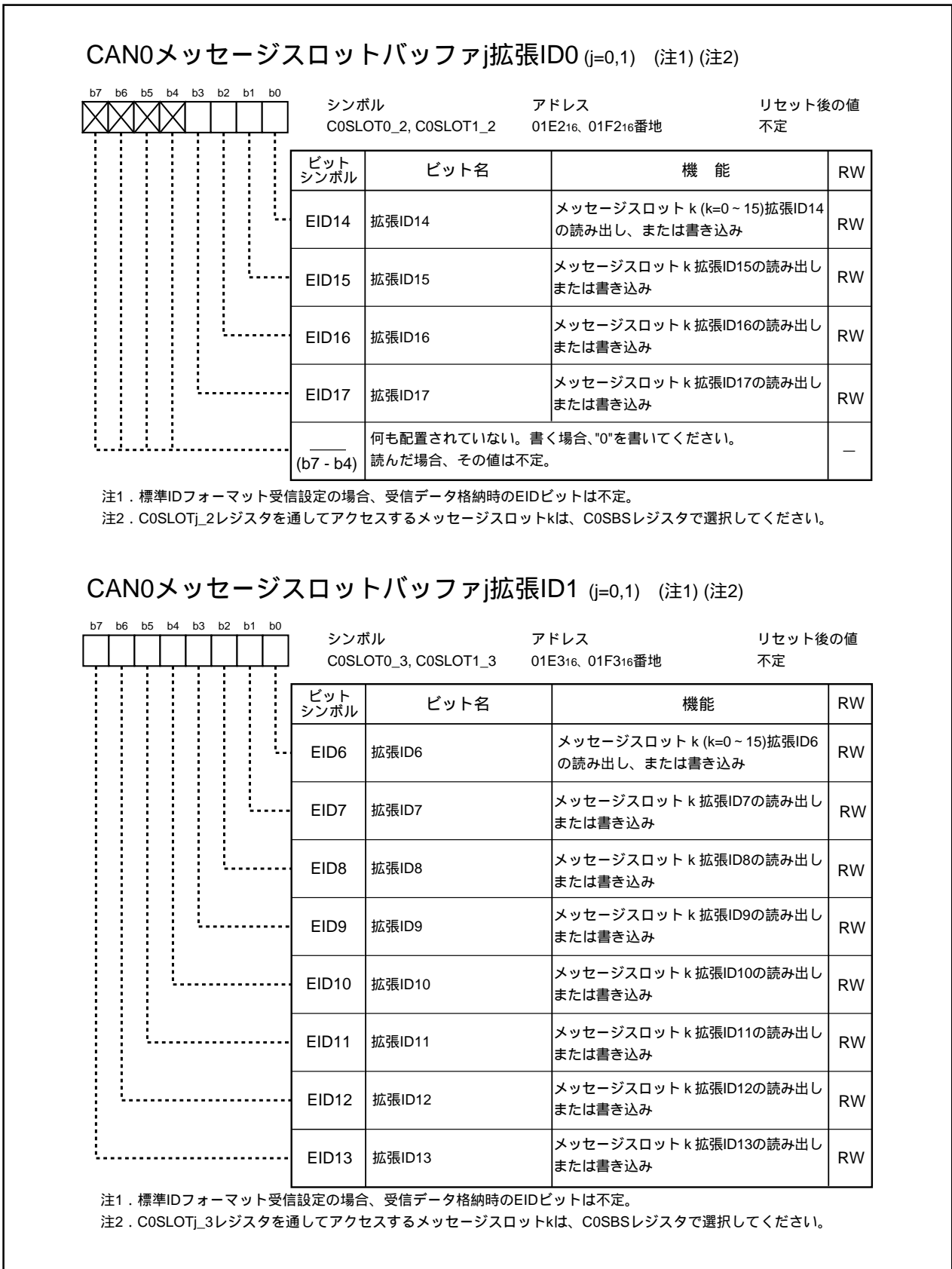


図23.30 C0SLOT0_2、C0SLOT1_2レジスタ、C0SLOT0_3、C0SLOT1_3レジスタ

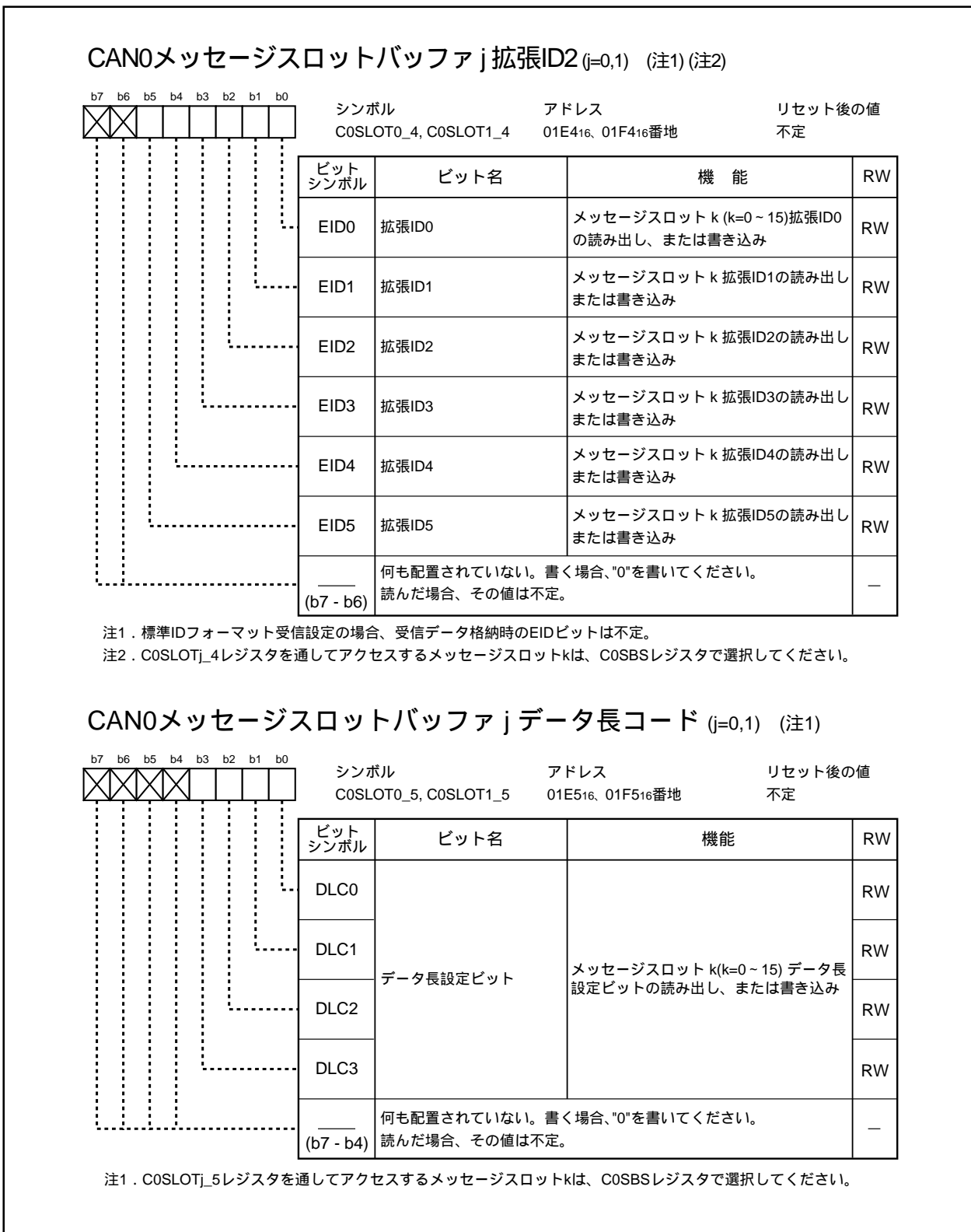
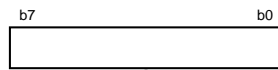


図23.31 C0SLOT0_4、C0SLOT1_4レジスタ、C0SLOT0_5、C0SLOT1_5レジスタ

CAN0メッセージロットバッファjデータm (j=0,1 m=0~7) (注1)(注2)



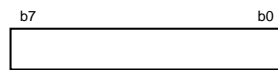
シンボル	アドレス	リセット後の値
C0SLOT0_6 ~ C0SLOT0_13	01E6 ₁₆ ~ 01ED ₁₆	不定
C0SLOT1_6 ~ C0SLOT1_13	01F6 ₁₆ ~ 01FD ₁₆	不定

機能	設定範囲	RW
メッセージロットkデータm (k=0~15、m=0~7)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. C0SLOTj_6 ~ C0SLOTj_13レジスタを通してアクセスするメッセージロットkデータmは、C0SBSレジスタで選択してください。

注2. データフレーム受信の場合、受信したデータ長を超えるデータは不定。

CAN0メッセージロットバッファjタイムスタンプ上位 (j=0,1) (注1)

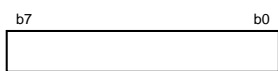


シンボル	アドレス	リセット後の値
C0SLOT0_14, C0SLOT1_14	01EE ₁₆ , 01FE ₁₆ 番地	不定

機能	設定範囲	RW
メッセージロットkタイムスタンプ上位(k=0~15)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. C0SLOTj_14レジスタを通してアクセスするメッセージロットkタイムスタンプ上位(k=0~15)は、C0SBSレジスタで選択してください。

CAN0メッセージロットバッファjタイムスタンプ下位 (j=0,1) (注1)



シンボル	アドレス	リセット後の値
C0SLOT0_15, C0SLOT1_15	01EF ₁₆ , 01FF ₁₆ 番地	不定

機能	設定範囲	RW
メッセージロットkタイムスタンプ下位(k=0~15)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. C0SLOTj_15レジスタを通してアクセスするメッセージロットkタイムスタンプ下位は、C0SBSレジスタで選択してください。

図23.32 C0SLOT0_6 ~ C0SLOT0_13、C0SLOT1_6 ~ C0SLOT1_13レジスタ、
C0SLOT0_14、C0SLOT1_14レジスタ、C0SLOT0_15、C0SLOT1_15レジスタ

CAN0メッセージロットバッファを読むと、C0SBSレジスタで選択したメッセージロットが読めます。また、CAN0メッセージロットバッファにメッセージを書くと、C0SBSレジスタで選択されたメッセージロットにメッセージが書けます。

メッセージロットk(k=0~15)への書き込みは、対応するC0MCTLkレジスタが“00₁₆”の状態で行ってください。

23.2 CANクロック

CANクロックはCANモジュールの動作クロックです。CANクロックとしてf₁またはf_{CAN}が選択できます。f_{CAN}はメインクロックと同一の周波数です。CANクロックはPM2レジスタのPM25ビットで選択できます。詳細は「9. クロック発生回路」を参照してください。

23.2.1 メインクロックダイレクトモード

メインクロックダイレクトモードでは、f_{CAN}がCANクロックになります。メインクロックダイレクトモードには、PM25ビットを“1”(CANクロック源はメインクロック)にすることで移行できます。PM25ビットの選択は、CANスリープモード時に行ってください。

メインクロックダイレクトモードでCAN関連レジスタをアクセスする場合、PM2レジスタのPM24ビットを“1”(CPUクロック源はメインクロック)にしてからアクセスしてください。また、PM24ビットが“1”のとき、ウェイトモードやストップモードへ移行しないでください。

表23.5にCANクロックの設定を、図23.34にCAN関連レジスタのアクセス手順を示します。

表23.5 CANクロックの設定

CAN クロック	クロック源	CM0レジスタ	CM1レジスタ	CM2レジスタ	PM2レジスタ		MCDレジスタ
		CM07ビット	CM17ビット	CM21ビット	PM24ビット	PM25ビット	MCD4～MCD0 ビット
f _{CAN}	メインクロック (メインクロック ダイレクトモード)	0	1	0	1	1	-
f ₁	メインクロック	0	0	0	0	0	10010 ₂
	PLLクロック	0	1	0	0	0	10010 ₂

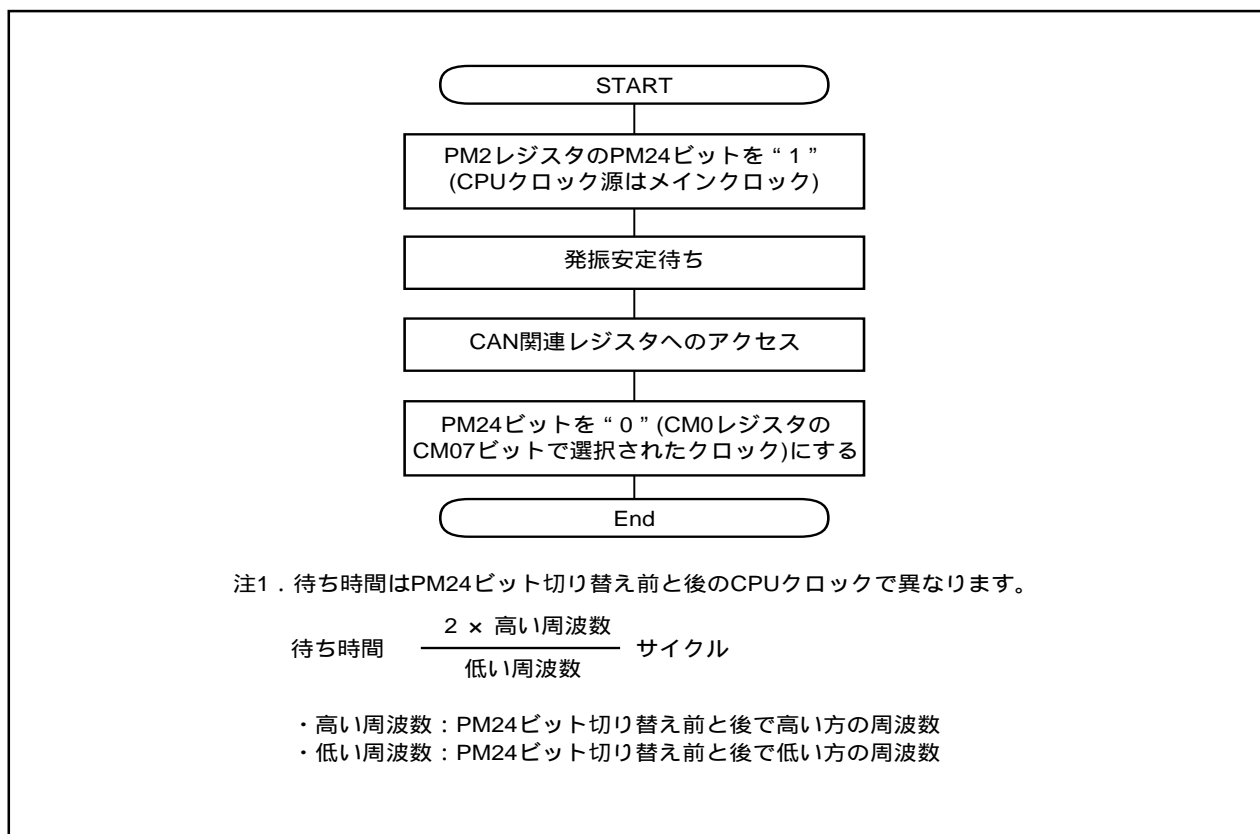


図23.34 CAN関連レジスタのアクセス手順

23.3 CAN関連レジスタのタイミング

23.3.1 CANモジュール初期化

図23.35にCANモジュール初期化時の動作例を示します。

- (1)C0CTRL0レジスタのRESET0、RESET1ビットを“1”(CANモジュール初期化)にした後、C0STRレジスタのSTATE_RESETビットが“1”(CANモジュール初期化完了)になると、CANモジュールの初期設定が行える状態になります。
- (2)必要なCAN関連レジスタを設定してください。
- (3)RESET0、RESET1ビットを“0”(CANモジュール初期化解除)にした後、STATE_RESETビットが“0”(動作中)になると、CANの通信が行える状態になります。

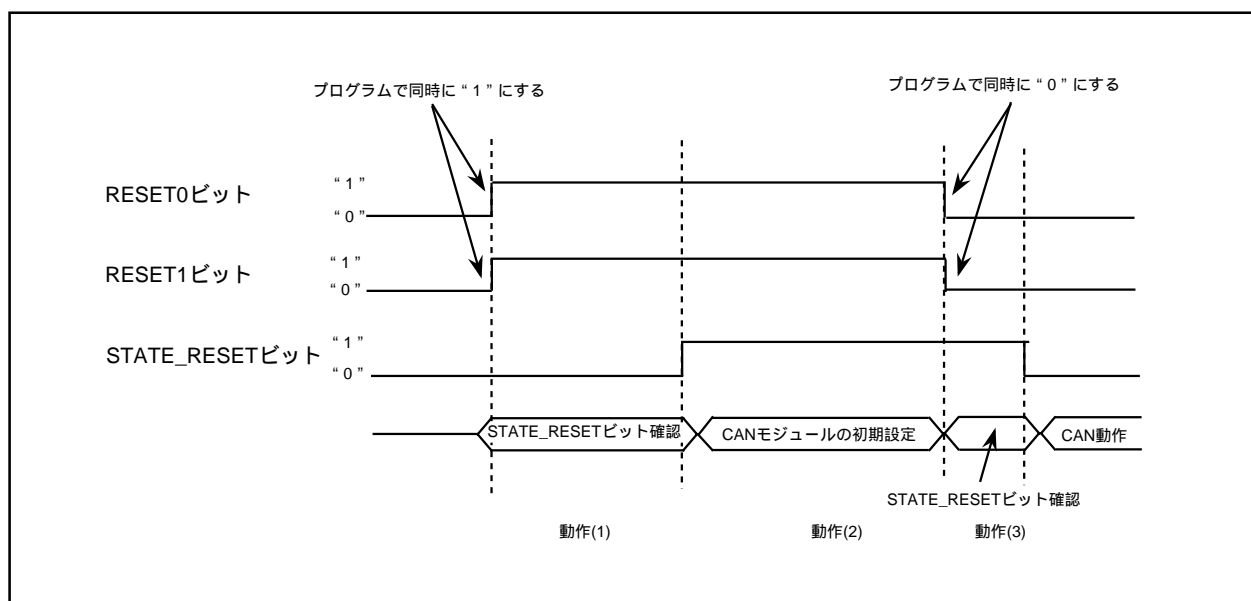


図23.35 CANモジュール初期化時の動作例

23.3.2 CAN送信タイミング

図23.36にCANの送信時の動作例を示します。

- (1)バスアイドル時にC0MCTLjレジスタ(j=0~15)のTRMREQビットを“1”(送信要求あり)にすると TRMACTIVEビットが“1”(送信中)に、C0STRレジスタのTRMSTATEビットが“1”(送信中)になり CAN送信を開始します。
- (2)CAN送信終了後、C0MCTLjレジスタのSENTDATAビットが“1”(送信完了)、C0STRレジスタの TRMSUCCビットが“1”(送信完了)、C0SISTRレジスタのSISjビットが“1”(割り込み要求あり)になり、C0STRレジスタのMBOX3~MBOX0ビットに送信したメッセージロット番号が格納されます。

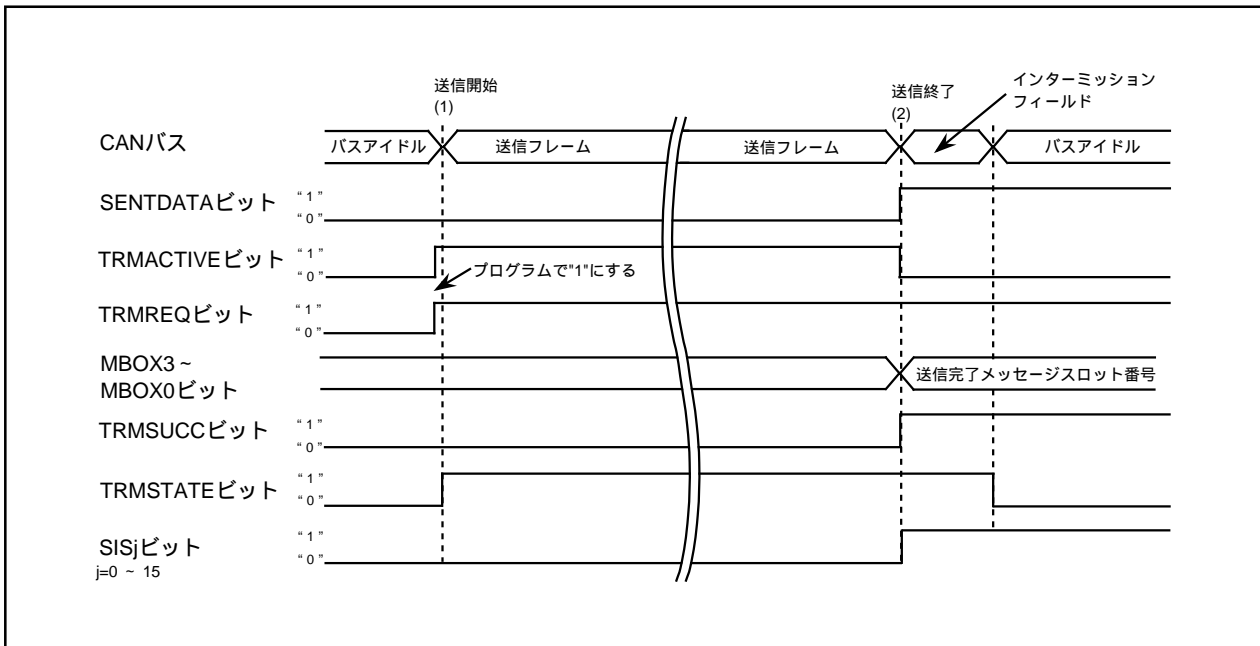


図23.36 CANデータフレーム送信時の動作例

23.3.3 CAN受信タイミング

図23.37にCANの受信時の動作例を示します。

- (1) COMCTLjレジスタ(j=0~15)のRECREQビットを“1”(受信要求あり)にすると受信待ち状態にあります。
- (2) CAN受信を開始すると、COSTRレジスタのRECSTATEビットが“1”(受信中)になります。
- (3) CAN受信終了後、COMCTLjレジスタのINVALIDDATAビットが“1”(受信データ格納中)、NEWDATAビットが“1”(受信完了)、COSTRレジスタのRECSUCCビットが“1”(受信完了)になります。
- (4) メッセージスロットに書き込み終了後、INVALIDDATAビットが“0”(受信データ格納中以外)になり、SISjビットが“1”(割り込み要求あり)になります。また、COSTRレジスタのMBOX3~MBOX0ビットに受信したスロット番号が格納されます。

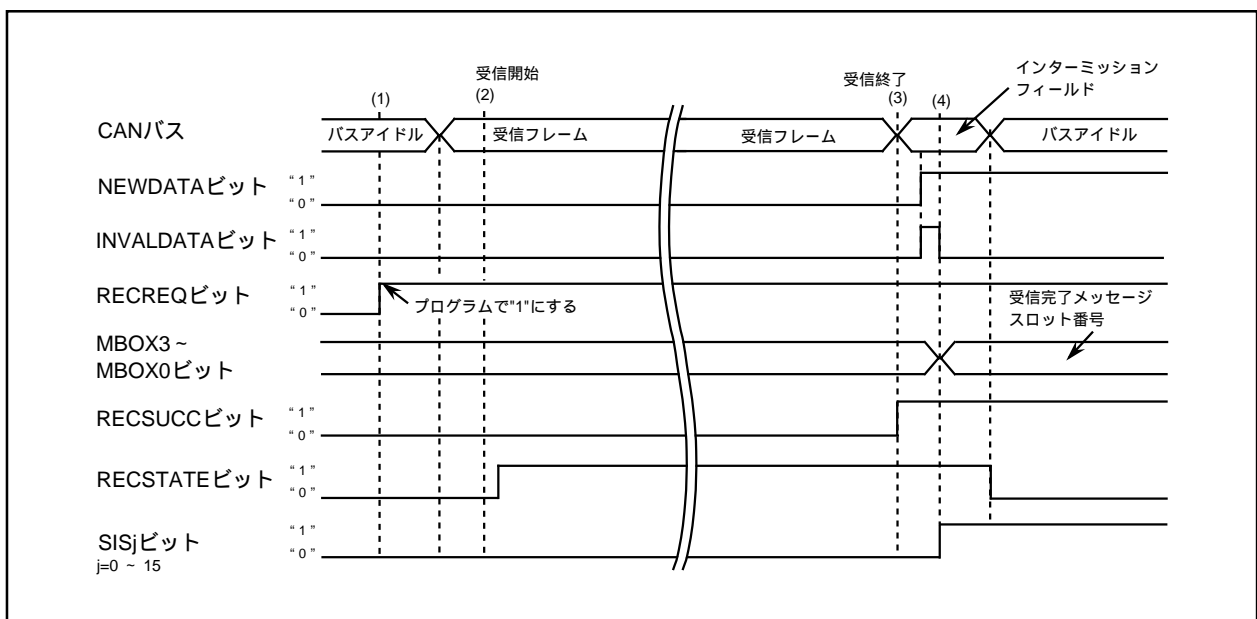


図23.37 CANデータフレーム受信時の動作例

23.3.4 CANバスエラータイミング

図23.38にCANバスエラー発生時の動作例を示します。

(1)CANバスエラーを検出するとC0STRレジスタのSTATE_BUSERRORビットが“1”(エラー発生あり)、C0EISTRレジスタのBEISビットが“1”(割り込み要求あり)になり、エラーフレーム送信を開始します。

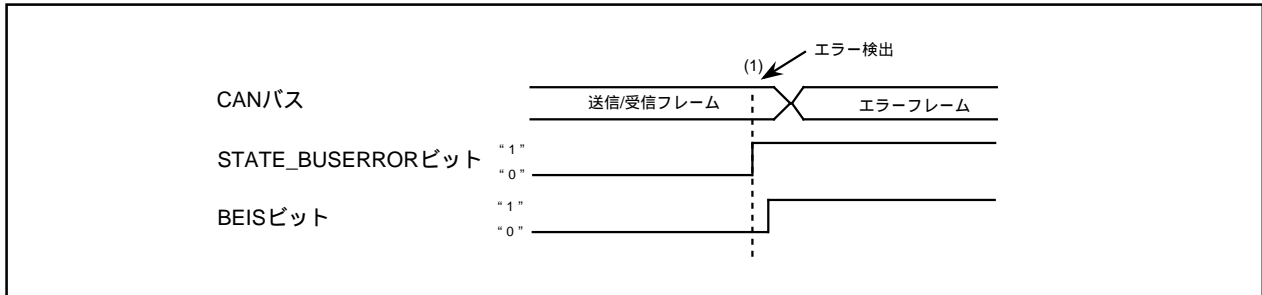


図23.38 CANバスエラー発生時の動作例

23.4 CAN割り込み

CAN割り込みには、CAN0ウエイクアップ割り込み、CAN0j割り込み(j=0~2)があります。

23.4.1 CAN0ウエイクアップ割り込み

P77(CAN0IN)をCAN0の入力ポートとして使用するときは、端子を共用しているTA3INのイベントカウンタモードを使用することによりCAN0ウエイクアップ割り込みを実現できます。

P83(CAN0IN)をCANの入力ポートとして使用するときは、端子を共用しているINT1を使用することによりCAN0のウエイクアップ割り込みを実現できます。

23.4.2 CAN0j割り込み

図23.39にCAN0割り込みブロック図を示します。CAN関連割り込み要因は、次の5つです。

- ・ CAN0スロットk送信完了(k=0~15)
- ・ CAN0スロットk受信完了
- ・ CAN0バスエラー検出
- ・ CAN0エラーパッシブ遷移
- ・ CAN0バスオフ遷移

これらの割り込み要因のOR出力をとった割り込み要求を出力するか、CAN0送信完了、CAN0受信完了、CAN0エラー(バスエラー検出、エラーパッシブ遷移、バスオフ遷移)の要因別に3つの割り込みを要求するかをC0CTRL1レジスタのINTSELビットで選択できます。

INTSELビットが“0”の場合は前者の割り込み要求、INTSELビットが“1”の場合は後者の割り込み要求となります。

23.4.2.1 INTSELビットが“0”(CAN割り込み要因のORをとって出力する)の場合

CAN関連割り込み要因が成立すると、CAN0送信完了時とCAN0受信完了時はC0SISTRレジスタの対応するビットが“1”(割り込み要求あり)になり、CAN0バスエラー検出、CAN0エラーパッシブ遷移、CAN0バスオフ遷移時はC0EISTRレジスタの対応するビットが“1”(割り込み要求あり)になります。

C0SISTRレジスタまたはC0EISTRレジスタの対応するビットが“1”で、かつ、C0SIMKRレジスタまたはC0EIMKRレジスタの対応するビットが“1”(割り込み要求許可)の場合、CAN0割り込み要求信号が“1”になります。

CAN0割り込み要求信号が“0”から“1”になると、インテリジェントI/OのIIO09IR～IIO11IRレジスタのCAN0jR(j=0～2)ビットが3ビットとも“1”(割り込み要求あり)になります。

このとき、インテリジェントI/OのIIO09IE～IIO11IEレジスタのCAN0jEビットのうち、“1”(割り込み許可)のものがあれば、対応するCAN0iC～CAN2iCレジスタのIRビットが“1”(割り込み要求あり)になります。なお、CAN0割り込み要求信号が“0”から“1”になった後、別の割り込み要因によって、C0SISTR レジスタまたはC0EISTR レジスタの対応するビットが“1”で、かつ、C0SIMKR レジスタまたはC0EIMKR レジスタの対応するビットが“1”になった場合は、CAN0割り込み要求信号は“1”のまま変化しませんのでCAN0jRビットもIRビットも変化しません。

C0SISTR レジスタまたはC0EISTR レジスタのビットと、IIO09IR～IIO11IRレジスタのCAN0jR(j=0～2)ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。

CAN0割り込みはIIO09IR～IIO11IRレジスタのCAN0jRビットと、C0SISTR レジスタまたはC0EISTR レジスタの対応するビットが“0”の場合受け付けられます。これらのビットを“1”のままにしておくと、それ以降に成立したCANモジュールの割り込み要因がすべて無効になります。

23.4.2.2 INTSELビットが“1”(CAN割り込み要因別に独立して出力する)の場合

CAN関連割り込み要因が成立すると、CAN0送信完了時とCAN0受信完了時はC0SISTR レジスタの対応するビットが“1”(割り込み要求あり)になり、CAN0バスエラー、CAN0エラーパッシブ、CAN0バスオフ時はC0EISTR レジスタの対応するビットが“1”(割り込み要求あり)になります。

CAN0受信完了時に、C0SISTR レジスタの対応するビットが“1”で、かつ、C0SIMKR レジスタの対応するビットが“1”(割り込み要求許可)の場合、CAN0受信割り込み要求信号が“1”になります。

CAN0送信完了時に、C0SISTR レジスタの対応するビットが“1”で、かつ、C0SIMKR レジスタの対応するビットが“1”(割り込み要求許可)の場合、CAN0送信割り込み要求信号が“1”になります。

CAN0バスエラー検出、CAN0エラーパッシブ遷移、CAN0バスオフ遷移時に、C0EISTR レジスタの対応するビットが“1”で、かつ、C0EIMKR レジスタの対応するビットが“1”(割り込み要求許可)の場合、CAN0エラー割り込み要求信号が“1”になります。

CAN0受信割り込み要求信号が“0”から“1”になると、インテリジェントI/OのIIO09IRレジスタのCAN00Rビットが“1”(割り込み要求あり)になります。このとき、インテリジェントI/OのIIO09IEレジスタのCAN00Eビットが“1”(割り込み許可)であれば、CAN0iCレジスタのIRビットが“1”(割り込み要求あり)になります。

CAN0送信割り込み要求信号が“0”から“1”になると、インテリジェントI/OのIIO10IRレジスタのCAN01Rビットが“1”(割り込み要求あり)になります。このとき、インテリジェントI/OのIIO10IEレジスタのCAN01Eビットが“1”(割り込み許可)であれば、CAN1iCレジスタのIRビットが“1”(割り込み要求あり)になります。

CAN0エラー割り込み要求信号が“0”から“1”になると、インテリジェントI/OのIIO11IRレジスタのCAN02Rビットが“1”(割り込み要求あり)になります。このとき、インテリジェントI/OのIIO11IEレジスタのCAN02Eビットが“1”(割り込み許可)であれば、CAN2iCレジスタのIRビットが“1”(割り込み要求あり)になります。

なお、CAN0エラー割り込み要求信号が“0”から“1”になった後、C0EIMKRレジスタの対応するビットが“1”で、かつ、C0EISTRレジスタの対応するビットが“1”になった場合は、CAN0エラー割り込み要求信号は“1”のまま変化しませんのでCAN02RビットもIRビットも変化しません。

また、C0SISTRレジスタまたはC0EISTRレジスタのビットと、IIO09IR～IIO11IRレジスタのCAN0jR (j=0～2)ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。

CAN0受信割り込みとCAN0送信割り込みは、IIO09IR～IIO10IRレジスタのCAN00R～CAN01Rビットが“0”の場合受け付けられます。C0SISTRレジスタの対応するビットは“0”である必要はありません。

CAN0エラー割り込みは、IIO11IRレジスタのCAN02RビットとC0EISTRレジスタの対応するビットが両方“0”の場合受け付けられます。

これらのビットを“1”のままにしておくと、それ以降に成立したCANモジュールの割り込み要因がすべて無効になります。

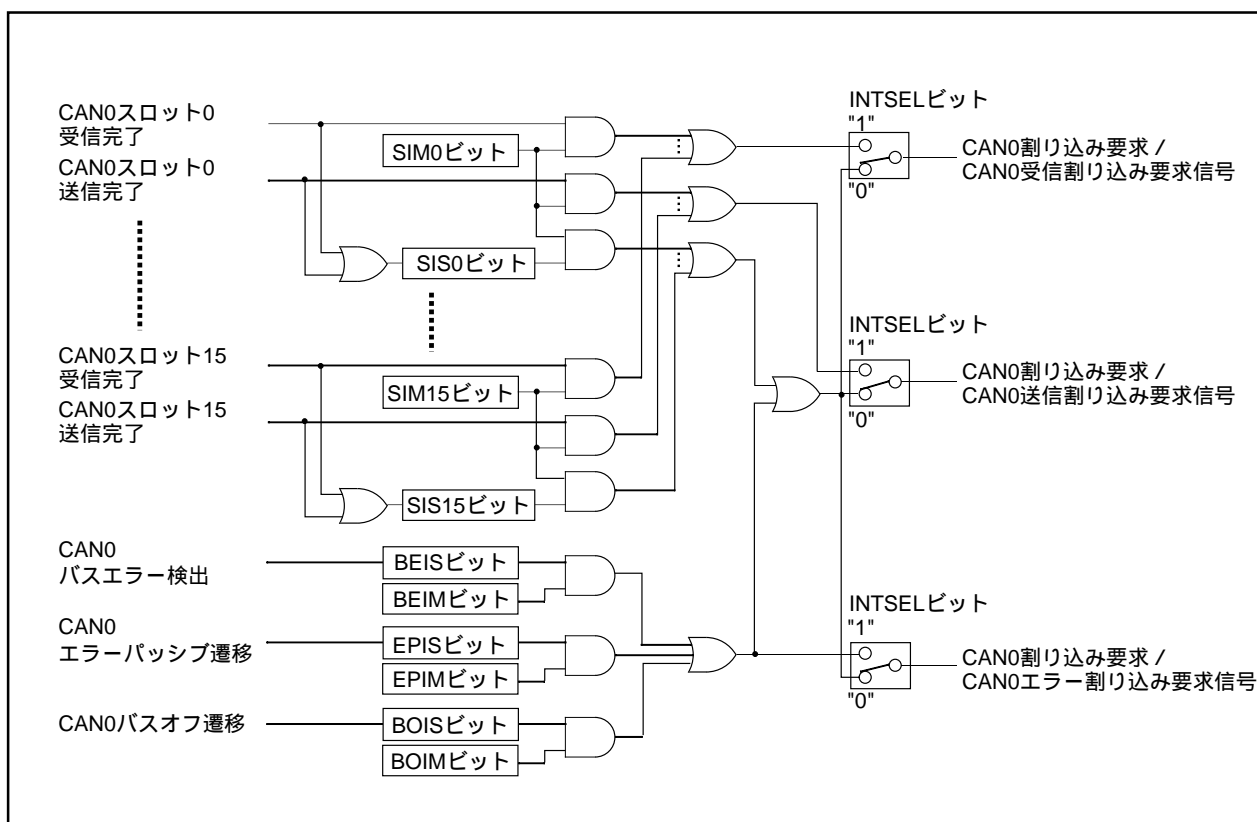


図23.39 CAN0割り込みブロック図

24. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P85は除く)の87本、144ピン版ではP0～P15(P85は除く)の123本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとにプルアップするか、しないかを設定できます。P85は入力専用でプルアップできません。P85はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図24.1～図24.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポート、内部周辺機能の入出力、またはバス制御端子として機能します。

内部周辺機能の入出力端子として使用する場合は設定方法は各機能説明を参照してください。バス制御端子として使用する場合は「8. バス」を参照してください。

次にプログラマブル入出力ポート関連レジスタを示します。

24.1 ポートPi方向レジスタ(PDiレジスタ、i = 0～15)

図24.5にPDiレジスタを示します。

プログラマブル入出力ポートを入力に使用するか、出力に使用するかを選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、A23、D0～D15、CS0～CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY)になっている端子のPDiレジスタは変更できません。

なお、P85に対応する方向レジスタのビットはありません。

24.2 ポートPiレジスタ(Piレジスタ、i = 0～15)

図24.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットはポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、A23、D0～D15、CS0～CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY)になっている端子のPiレジスタは変更できません。

24.3 機能選択レジスタAj (PSjレジスタ、j = 0～3, 5, 8, 9)

図24.7～図24.10にPSjレジスタを示します。

入出力ポートと周辺機能出力が端子を共用している場合、入出力ポートと周辺機能出力のどちらを使用するかを選択するためのレジスタです(ただしDA0、DA1を除く)。

1本の端子に周辺機能出力が複数割り付けられている場合は、PSL0～PSL3レジスタ、PSC、PSC2、PSC3、PSD1でどの機能を使用するか選択してください。表24.3～表24.10に各端子の周辺機能出力制御の設定を示します。

24.4 機能選択レジスタB0～B3 (PSL0～PSL3レジスタ)

図24.11～図24.12にPSL0～PSL3レジスタを示します。

PSL0～PSL3レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSL3レジスタのPSL3_3～PSL3_6ビットは、「24.10 アナログ入力と他の周辺機能入力」を参照してください。

24.5 機能選択レジスタC(PSC、PSC2、PSC3レジスタ)

図24.13、図24.14にPSC、PSC2、PSC3レジスタを示します。

PSCレジスタ、PSC2レジスタ、PSC3レジスタは端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSC_7ビットは、「24.10 アナログ入力と他の周辺機能入力」を参照してください。

24.6 機能選択レジスタD(PSD1レジスタ)

図24.14にPSD1レジスタを示します。

PSD1レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

24.7 プルアップ制御レジスタ0～4(PUR0～PUR4レジスタ)

図24.15、図24.16にPUR0～PUR4レジスタを示します。

PUR0～PUR4レジスタで、4端子ごとにプルアップするかしないかを設定できます。これらのレジスタのビットを“1”(プルアップする)、方向レジスタを“0”(入力モード)に設定したポートはプルアップされません。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作しているP0～P5のPUR0～PUR1レジスタのビットは“0”(プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P40～P43を入力ポートとして使用する場合、これらのポートはプルアップできます。

24.8 ポート制御レジスタ(PCRレジスタ)

図24.17にPCRレジスタを示します。

ポートP1の出力形式をCMOSとするかNチャネルオープンドレインとするかを選択するレジスタです。PCR0ビットを“1”(Nチャネルオープンドレイン出力)にした場合、CMOSポートのPチャネルが常時OFFになるのでNチャネルオープンドレインになります。ただし、ポートP1は完全なオープンドレインにはなりません。したがって、入力電圧の絶対最大定格は“ $-0.3V \sim V_{CC2} + 0.3V$ ”となります。

マイクロプロセッサモードやメモリ拡張モードでポートP1をデータバスに使用する場合は、PCR0ビットを“0”(CMOS出力)にしてください。マイクロプロセッサモードやメモリ拡張モードでポートP1をポートとして使用する場合は、PCR0ビットで出力形式を選択できます。

24.9 入力機能選択レジスタ(IPS、IPSAレジスタ)

図24.17、図24.18にIPS、IPSAレジスタを示します。

IPSレジスタのIPS0、IPS1、IPS3ビットとIPSAレジスタのIPSA_0ビットはインテリジェントI/OやCANの入力機能をどの端子に割り当てるかを選択するためのビットです。

IPS2ビットは、「24.10 アナログ入力と他の周辺機能入力」を参照してください。

24.10 アナログ入力と他の周辺機能入力

PSL3レジスタのPSL3_3～PSL3_6ビット、PSCレジスタのPSC_7ビット、IPSレジスタのIPS2ビットは、アナログ入出力を他の周辺機能から切り離すためのビットです。アナログ入出力(DA0、DA1、ANEX0、ANEX1、AN4～AN7、AN150～AN157)を使用する場合に対応するビットを“1”(アナログ入出力)にすると、他の周辺機能に中間電位が印加されるのを防げます。中間電位が印加されると電源電流が増加する場合があります。

アナログ入出力を使用しない場合は対応するビットを“0”(アナログ入出力以外)にしてください。アナログ入出力以外の周辺機能(ポートを含む)の入力は、このビットが“0”のとき有効で、“1”のときは不定になります。また、PSC_7ビットが“1”のとき、 $\overline{KI0}$ ～ $\overline{KI3}$ 端子の入力レベルが変化しても、キー入力割込要求は変化しません。

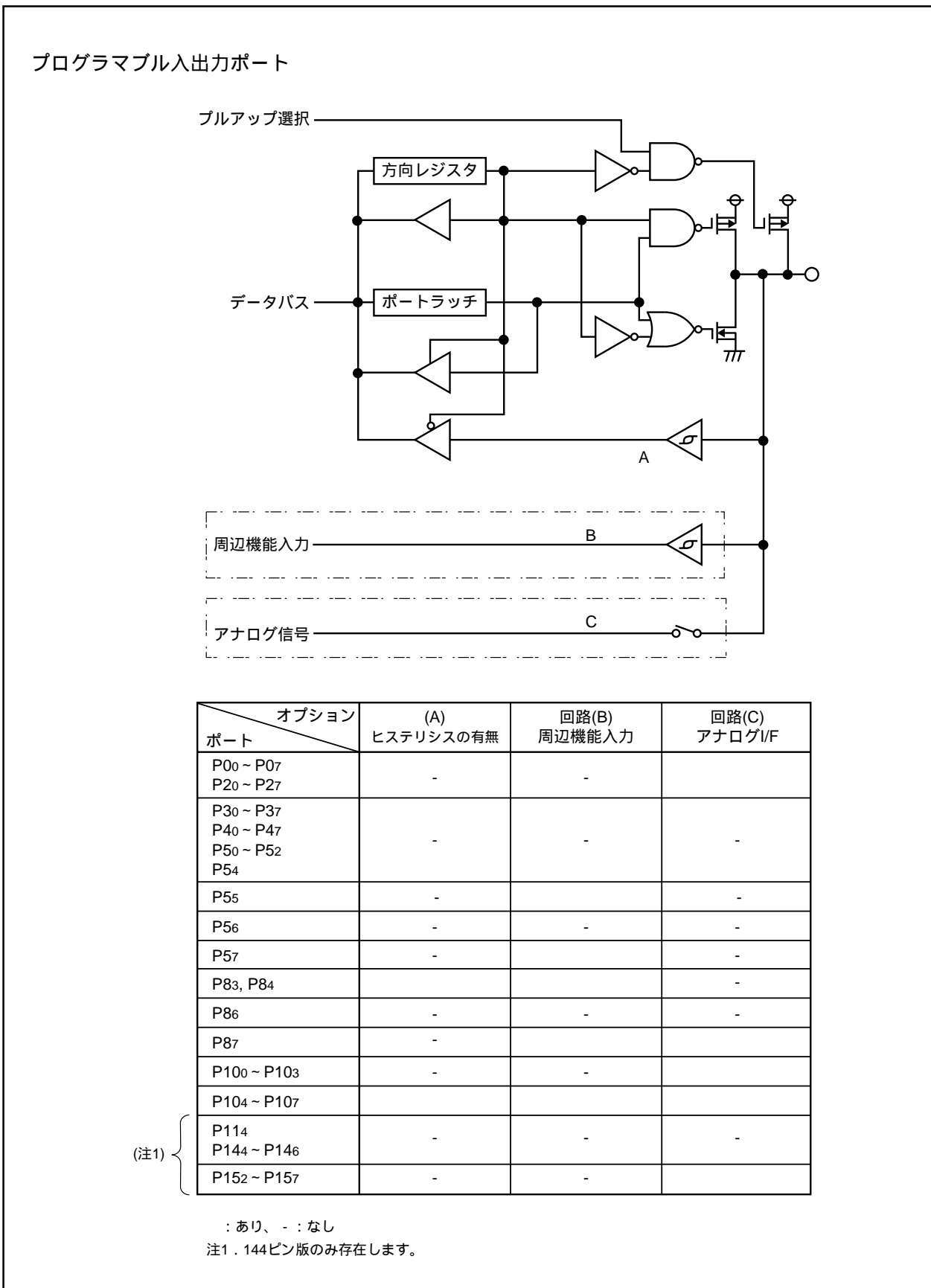


図24.1 プログラマブル入出力ポートの構成(1)

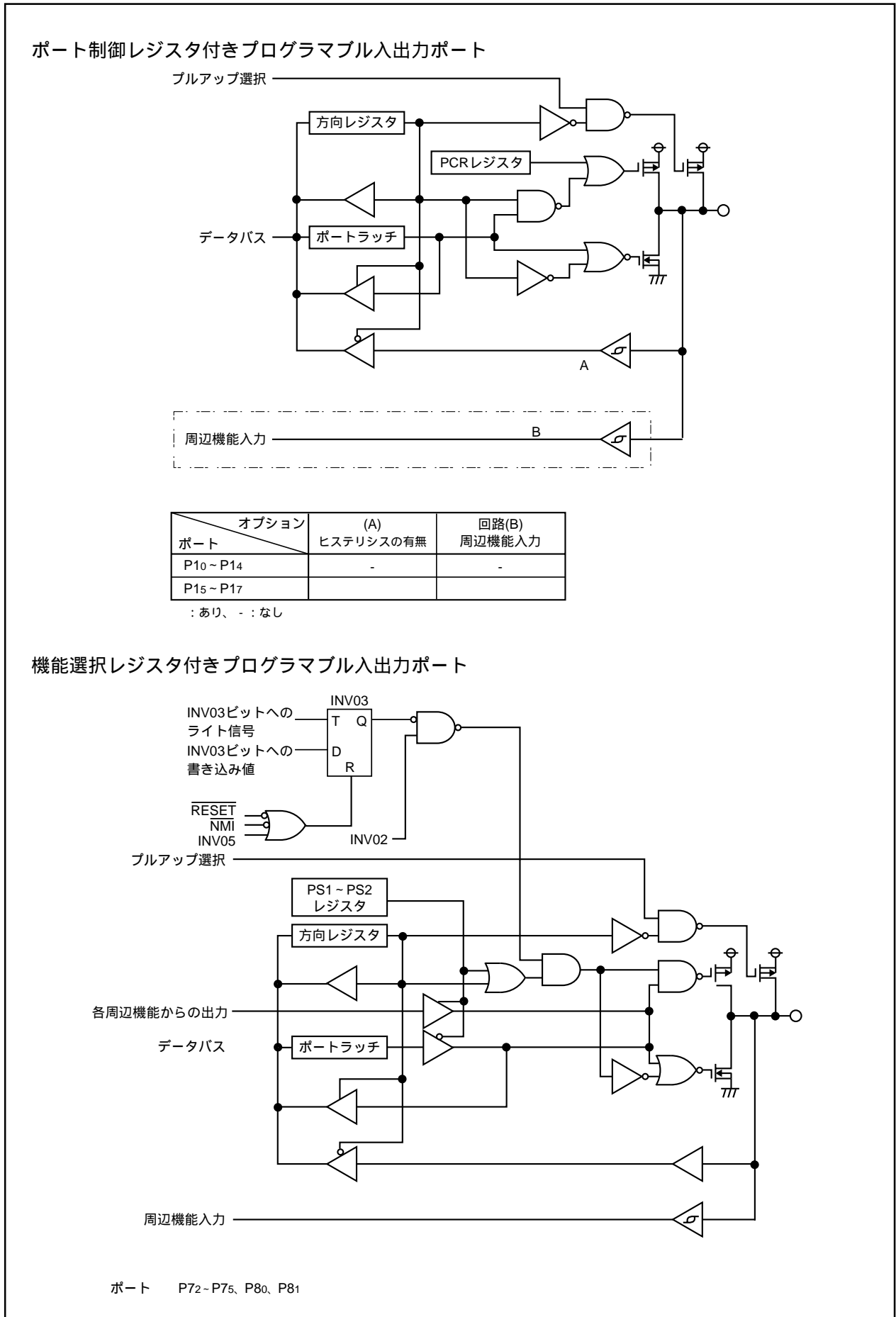


図24.2 プログラマブル入出力ポートの構成(2)

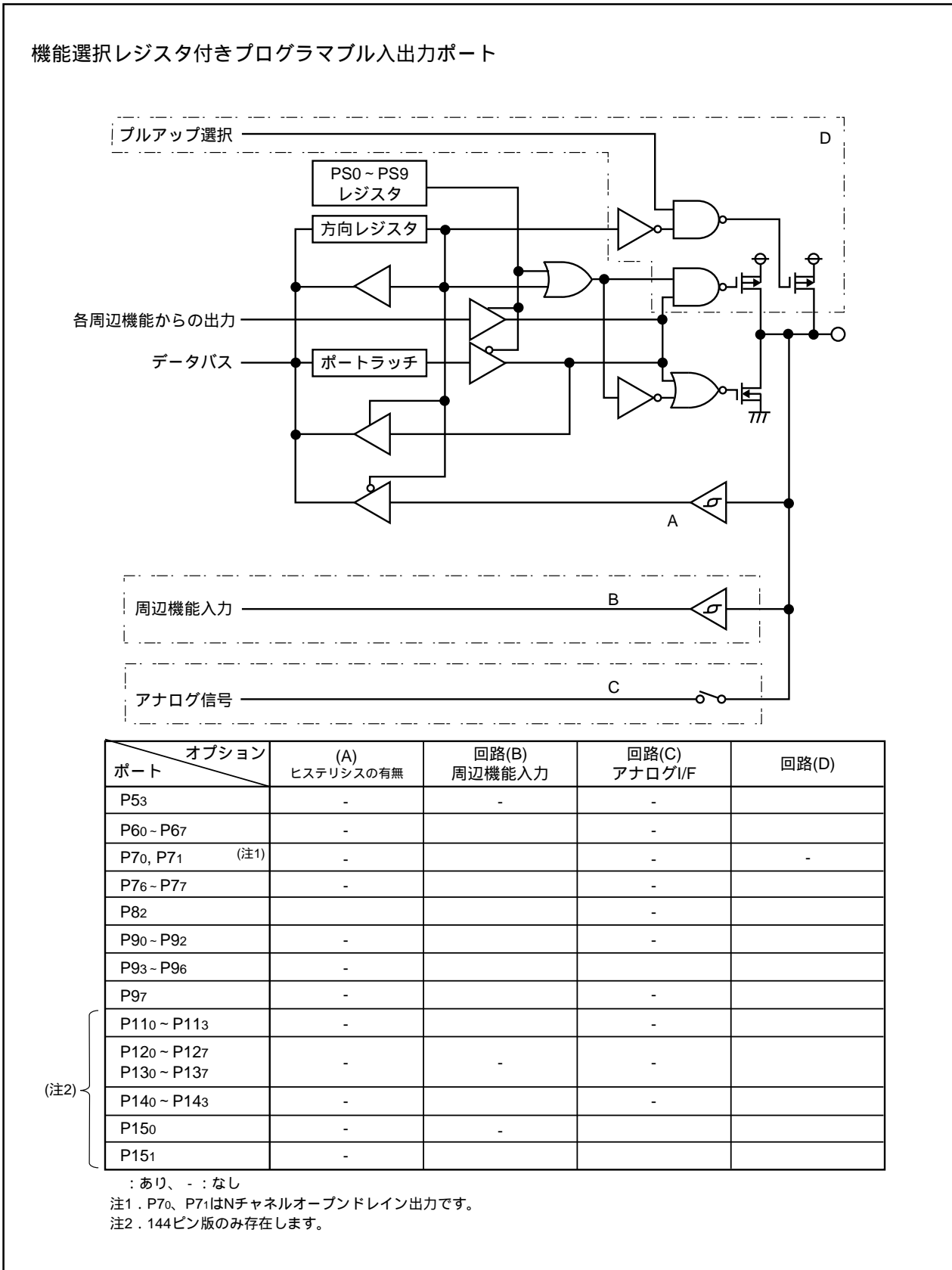


図24.3 プログラマブル入出力ポートの構成(3)

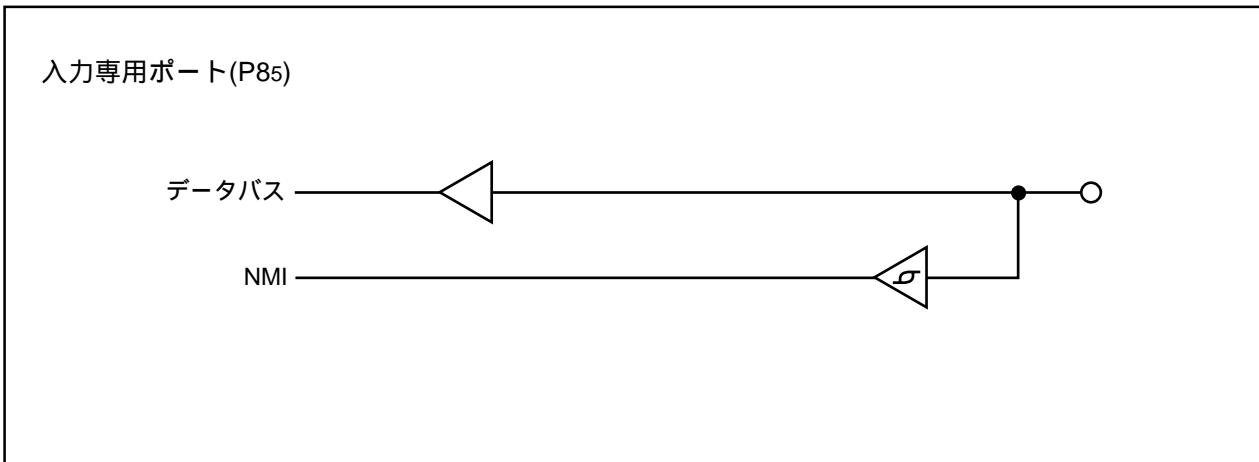


図24.4 プログラマブル入出力ポートの構成(4)

ポートPi方向レジスタ (i=0~15) (注2)

シンボル	アドレス	リセット後の値
PD0~PD3	03E2 ₁₆ 、03E3 ₁₆ 、03E6 ₁₆ 、03E7 ₁₆ 番地	00 ₁₆
PD4~PD7	03EA ₁₆ 、03EB ₁₆ 、03C2 ₁₆ 、03C3 ₁₆ 番地	00 ₁₆
PD8	03C6 ₁₆ 番地(注4)	00X0 0000 ₂
PD9~PD10	03C7 ₁₆ (注1)、03CA ₁₆ 番地	00 ₁₆
PD11	03CB ₁₆ 番地(注3、4)	XXX0 0000 ₂
PD12~PD13	03CE ₁₆ 、03CF ₁₆ 番地(注3)	00 ₁₆
PD14	03D2 ₁₆ 番地(注3、4)	X000 0000 ₂
PD15	03D3 ₁₆ 番地(注3)	00 ₁₆

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi0方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_1	ポートPi1方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_2	ポートPi2方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_3	ポートPi3方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_4	ポートPi4方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_5	ポートPi5方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_6	ポートPi6方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_7	ポートPi7方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW

注1. PD9レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。PRC2ビットを“1”にする命令とPD9レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、CLK/ALE/CLKout、HLDA/ALE、HOLD、ALE、RDY)になっている端子の方向レジスタは変更できません。
ただし、M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

注3. 100ピン版ではPD11~PD15レジスタを“FF₁₆”にしてください。

注4. PD8レジスタのPD8_5ビット、PD11レジスタのPD11_5~PD11_7ビット(144ピン版のみ)、PD14レジスタのPD14_7ビット(144ピン版のみ)には何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図24.5 PD0~PD15レジスタ

ポートPiレジスタ (i=0 ~ 15)(注1、 2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
P0 ~ P5	03E0 ₁₆ , 03E1 ₁₆ , 03E4 ₁₆ , 03E5 ₁₆ , 03E8 ₁₆ , 03E9 ₁₆ 番地	不定
P6 ~ P10	03C0 ₁₆ , 03C1 ₁₆ (注3), 03C4 ₁₆ (注4), 03C5 ₁₆ , 03C8 ₁₆ 番地	不定
P11 ~ P15	03C9 ₁₆ (注5), 03CC ₁₆ , 03CD ₁₆ , 03D0 ₁₆ (注5), 03D1 ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi0ビット	入力モードに設定したプログラマブルポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定したプログラマブルポートに対応するビットへ書くと、端子のレベルを制御できる。 0 : "L"レベル 1 : "H"レベル	RW
Pi_1	ポートPi1ビット		RW
Pi_2	ポートPi2ビット		RW
Pi_3	ポートPi3ビット		RW
Pi_4	ポートPi4ビット		RW
Pi_5	ポートPi5ビット		RW
Pi_6	ポートPi6ビット		RW
Pi_7	ポートPi7ビット		RW

注1 . メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A₀ ~ A₂₂, \overline{A}_{23} , D₀ ~ D₁₅, CS₀ ~ CS₃, \overline{WR} / \overline{WR} , \overline{WRH} / \overline{BHE} , \overline{RD} , BCLK/ALE/CLKOUT, \overline{HLD} / \overline{ALE} , HOLD, ALE, \overline{RDY})になっている端子のポートレジスタは変更できません。
 ただし、M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。
 注2 . P11 ~ P15レジスタは144ピン版のみ存在します。
 注3 . P7₀, P7₁はNチャネルオープンドレイン出力のため“1”を出力すると端子の状態はハイインピーダンスとなります。
 注4 . P8₅ビットは読み出しのみ。
 注5 . P11レジスタのP11₅ ~ P11₇ビット、P14レジスタのP14₇ビットには何も配置されていません。
 書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図24.6 P0 ~ P15レジスタ

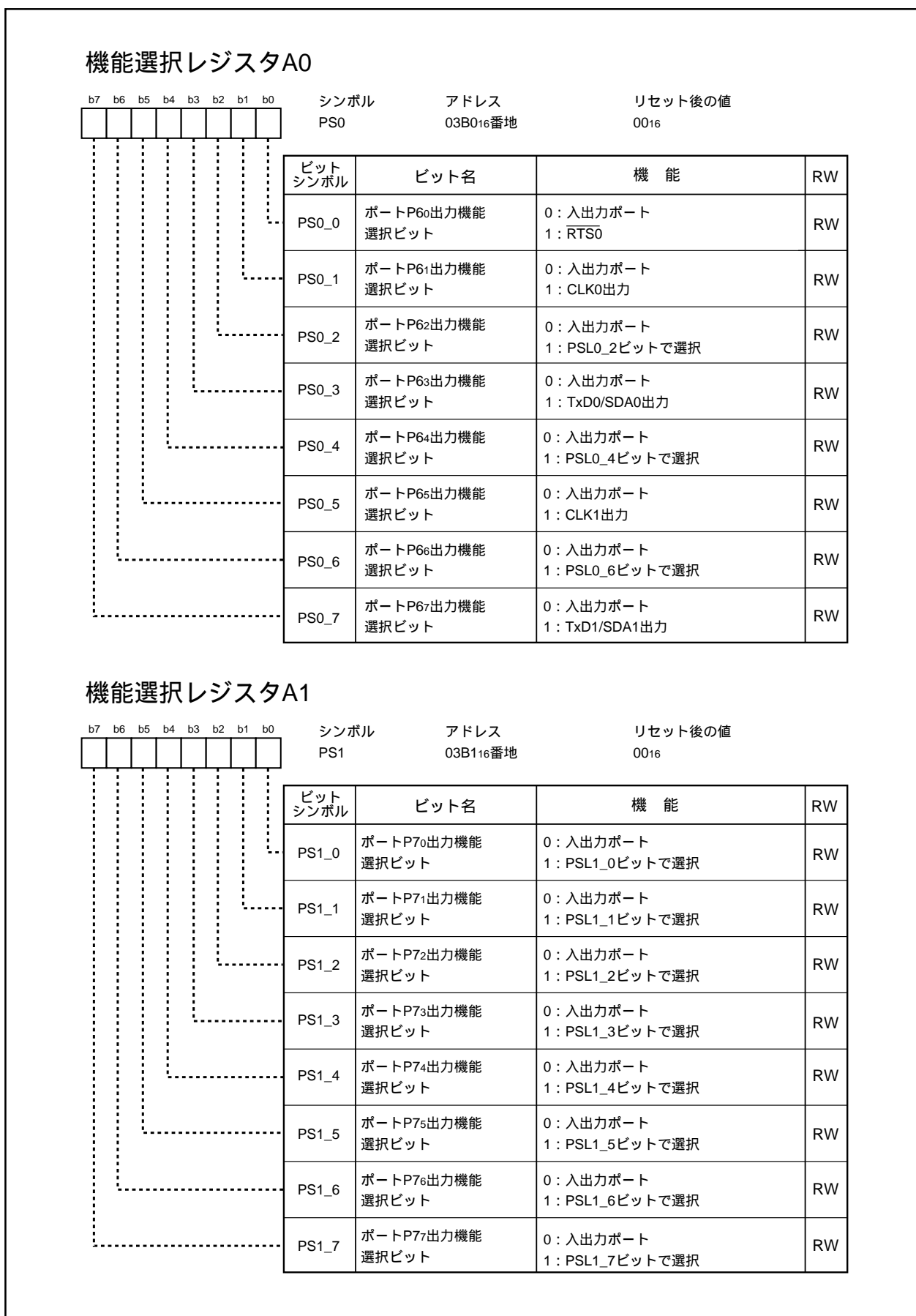


図24.7 PS0レジスタ、PS1レジスタ

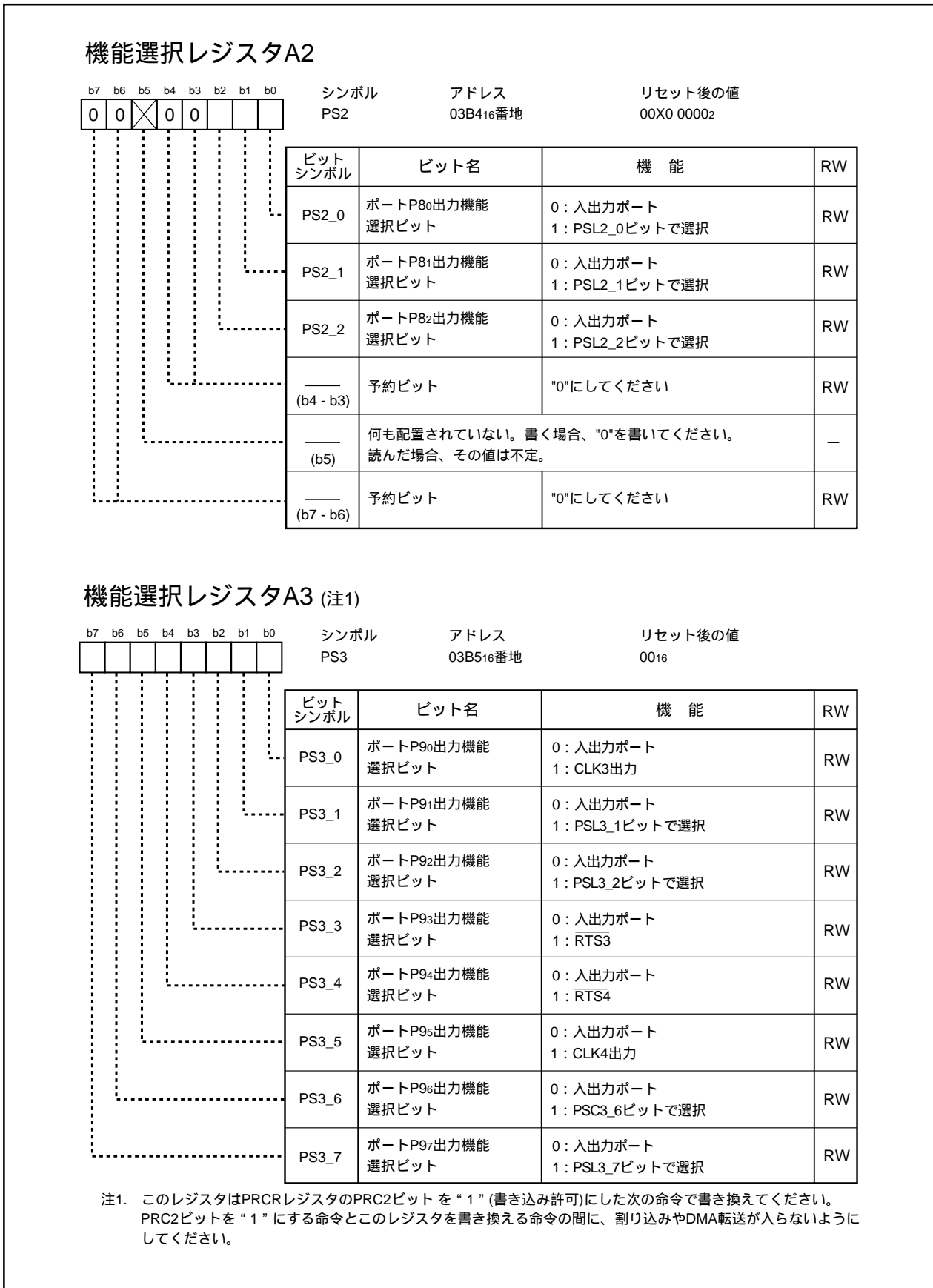


図24.8 PS2レジスタ、PS3レジスタ

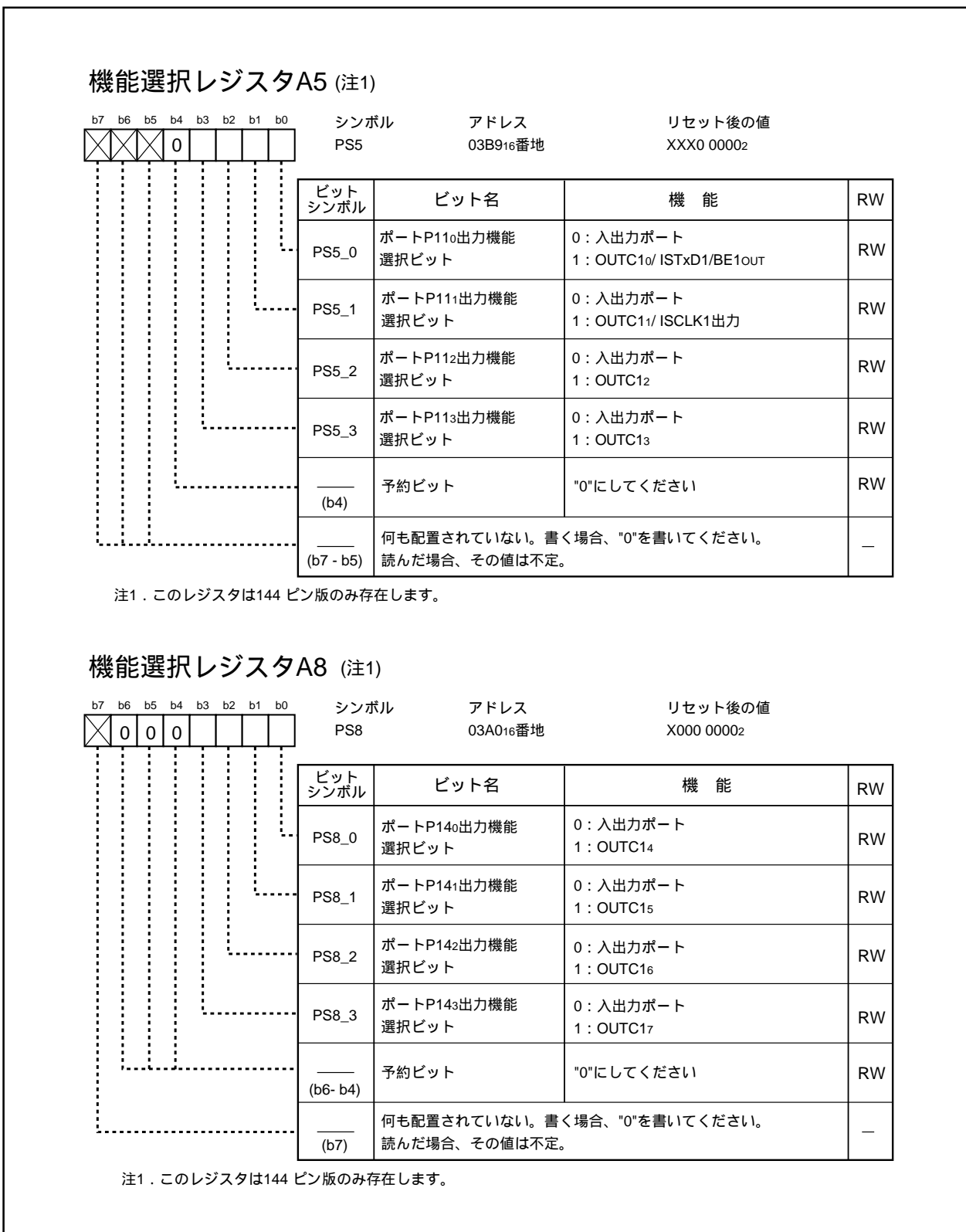


図24.9 PS5レジスタ、PS8レジスタ

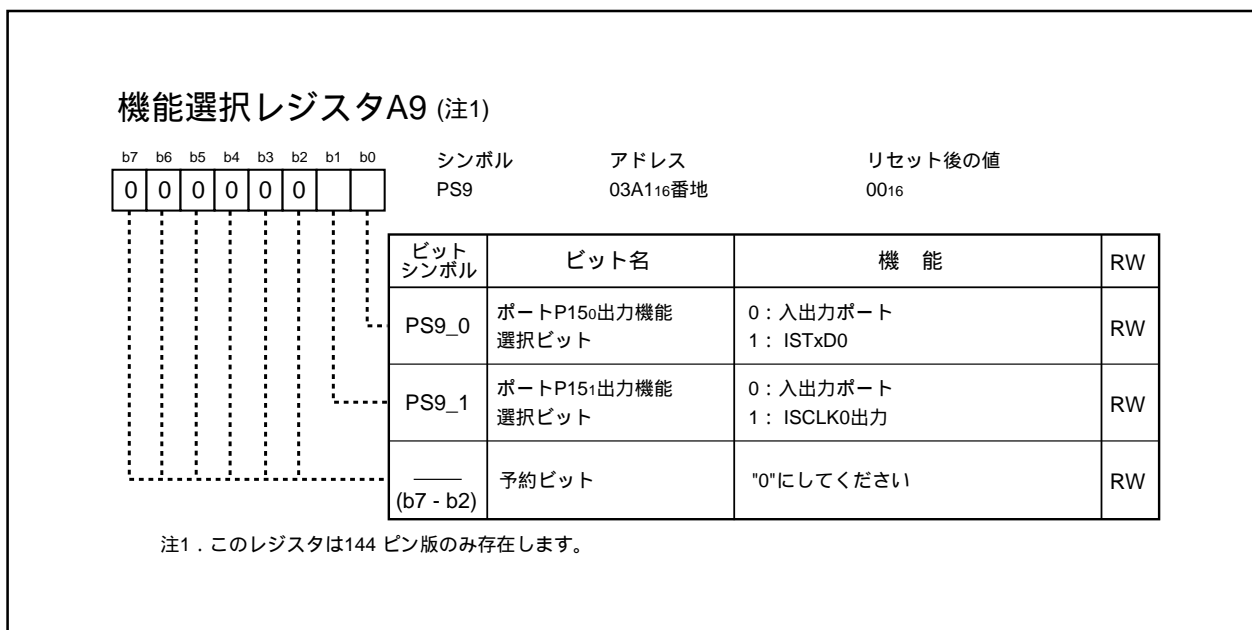


図24.10 PS9レジスタ

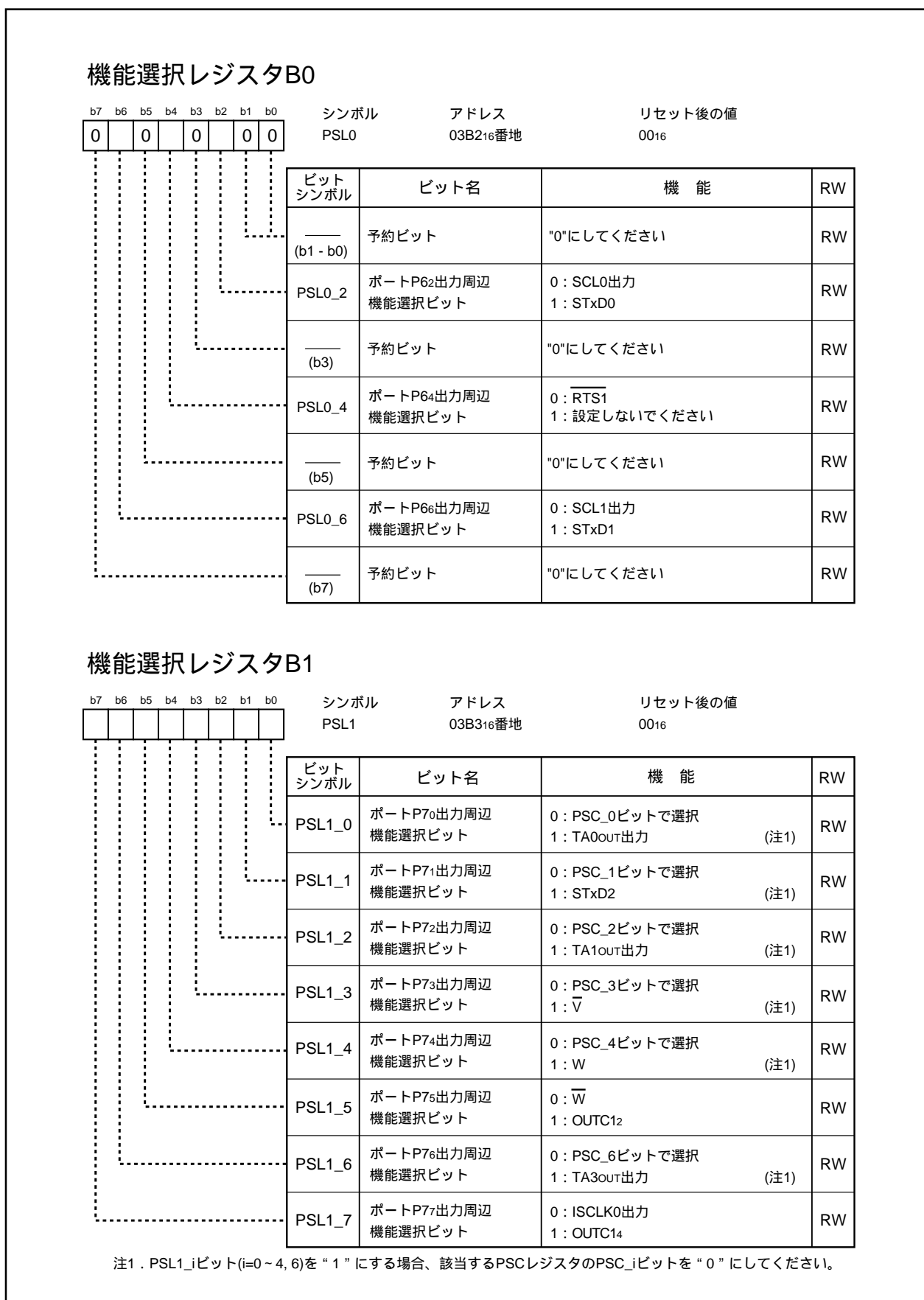


図24.11 PSL0レジスタ、PSL1レジスタ

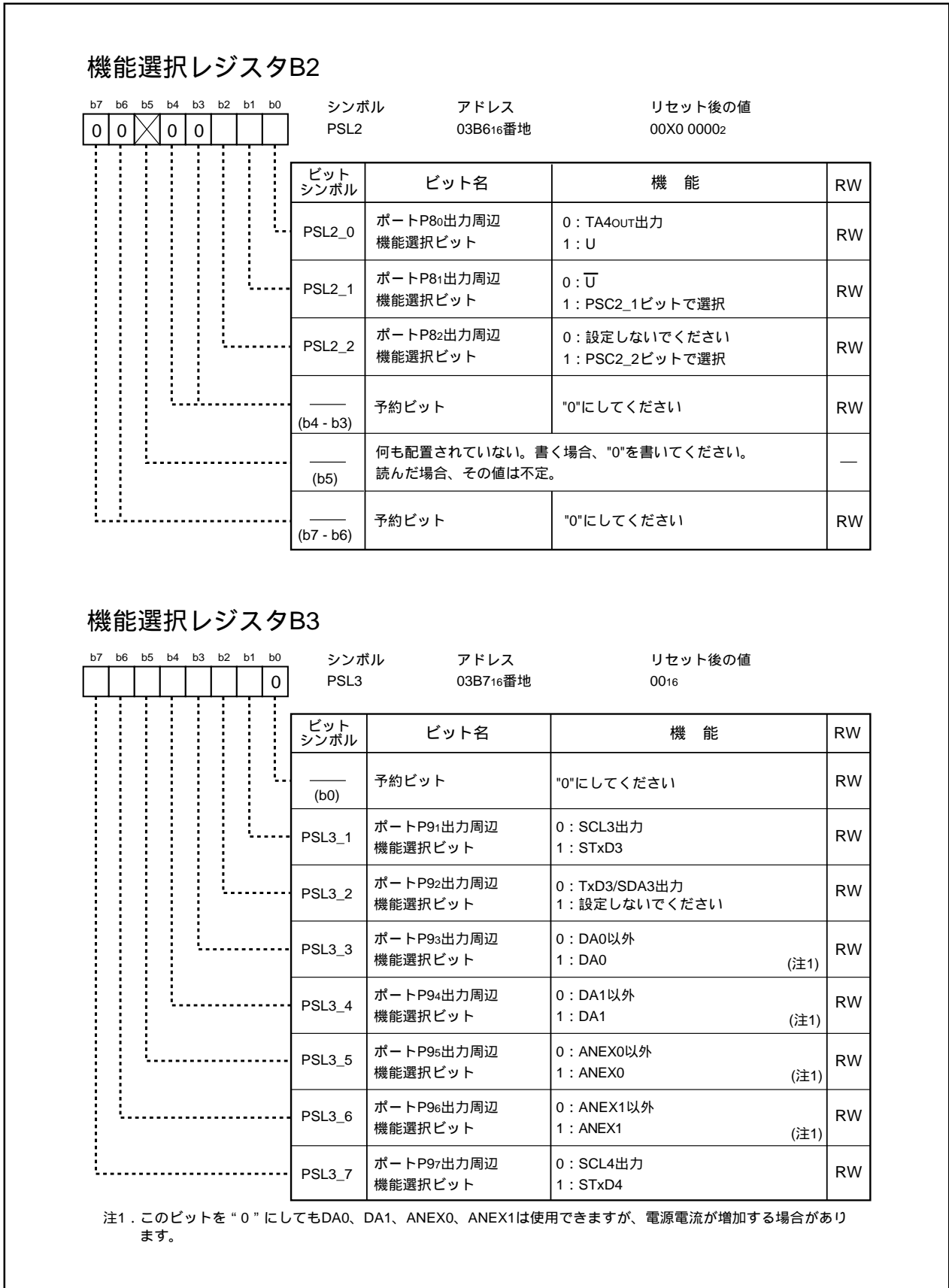


図24.12 PSL2レジスタ、PSL3レジスタ

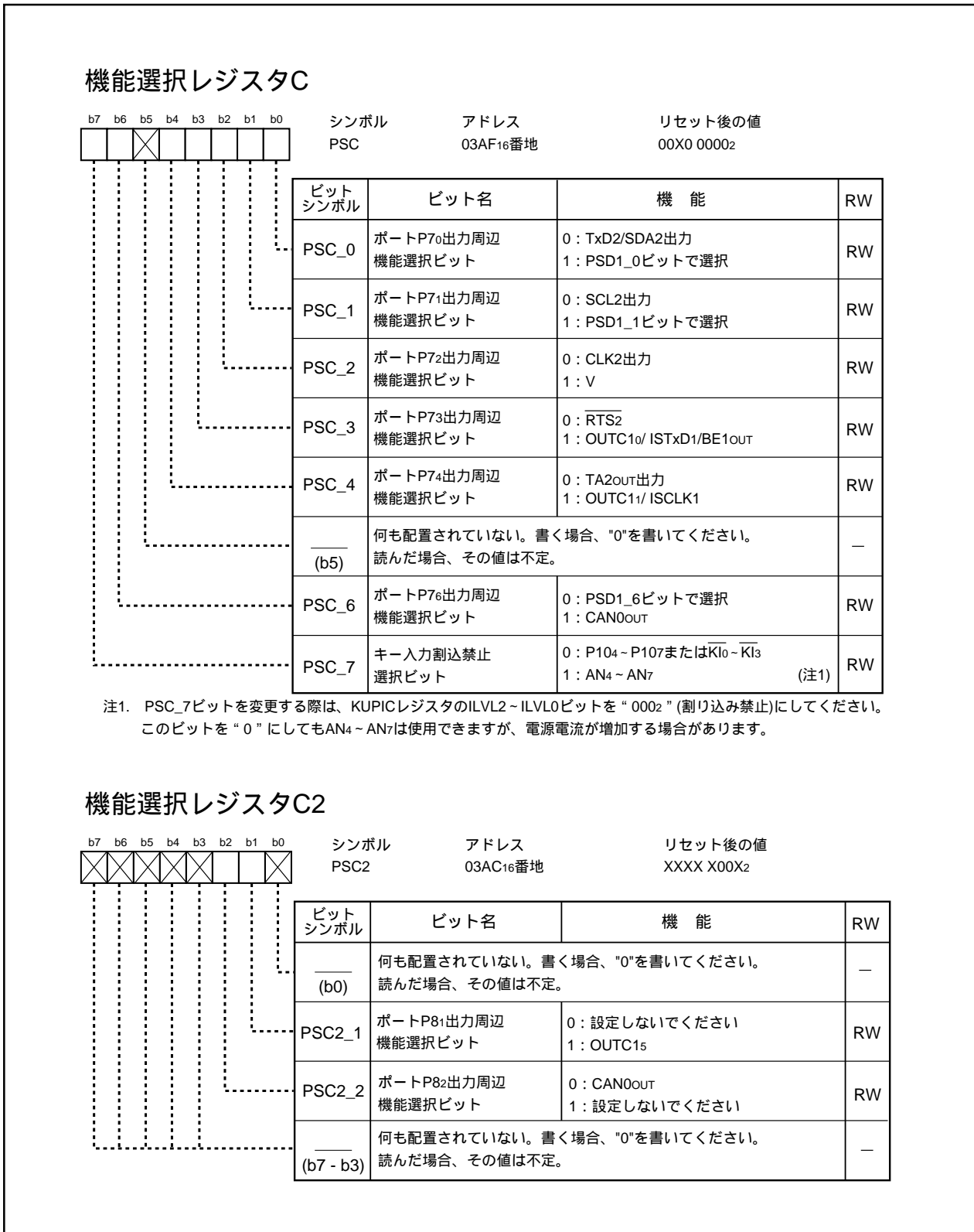


図24.13 PSCレジスタ、PSC2レジスタ

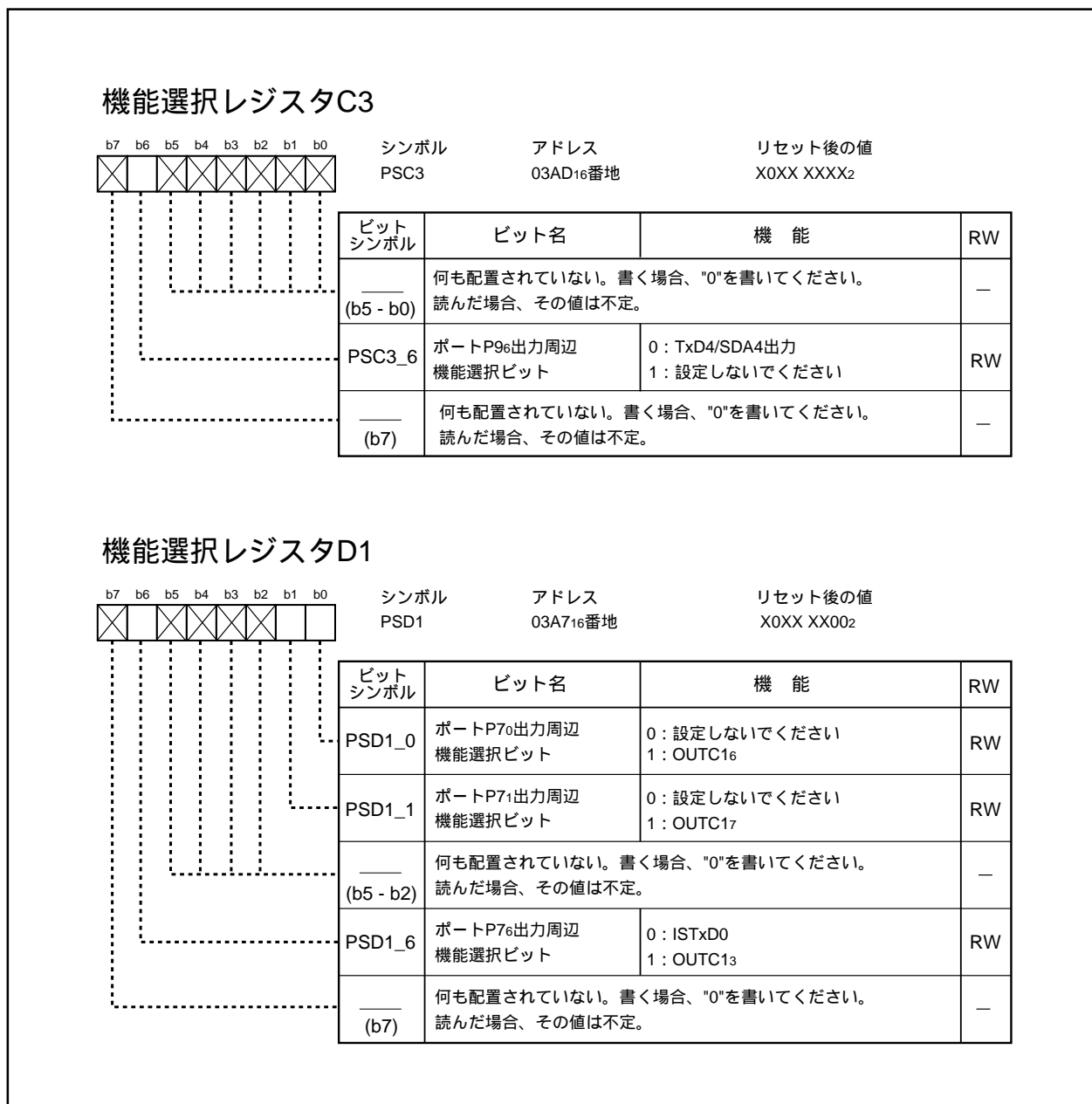


図24.14 PSC3レジスタ、PSD1レジスタ

プルアップ制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR0	アドレス 03F0 ₁₆ 番地	リセット後の値 00 ₁₆
ビット シンボル	ビット名		機 能	RW						
PU00	P0 ₀ ~ P0 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU01	P0 ₄ ~ P0 ₇ のプルアップ			RW						
PU02	P1 ₀ ~ P1 ₃ のプルアップ			RW						
PU03	P1 ₄ ~ P1 ₇ のプルアップ			RW						
PU04	P2 ₀ ~ P2 ₃ のプルアップ			RW						
PU05	P2 ₄ ~ P2 ₇ のプルアップ			RW						
PU06	P3 ₀ ~ P3 ₃ のプルアップ			RW						
PU07	P3 ₄ ~ P3 ₇ のプルアップ		RW							

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0～P5はバス制御端子として動作しますので、PUR0レジスタの各ビットは“0”にしてください。ただし入出力ポートとしてする場合は、プルアップするかしないかを選択できます。

M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

プルアップ制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR1	アドレス 03F1 ₁₆ 番地	リセット後の値 XXXX 0000 ₂
ビット シンボル	ビット名		機 能	RW						
PU10	P4 ₀ ~ P4 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU11	P4 ₄ ~ P4 ₇ のプルアップ			RW						
PU12	P5 ₀ ~ P5 ₃ のプルアップ			RW						
PU13	P5 ₄ ~ P5 ₇ のプルアップ			RW						
— (b7 - b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—						

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0～P5はバス制御端子として動作しますので、PUR1レジスタの各ビットは“0”にしてください。ただし入出力ポートとしてする場合は、プルアップするかしないかを選択できます。

M32C/84Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

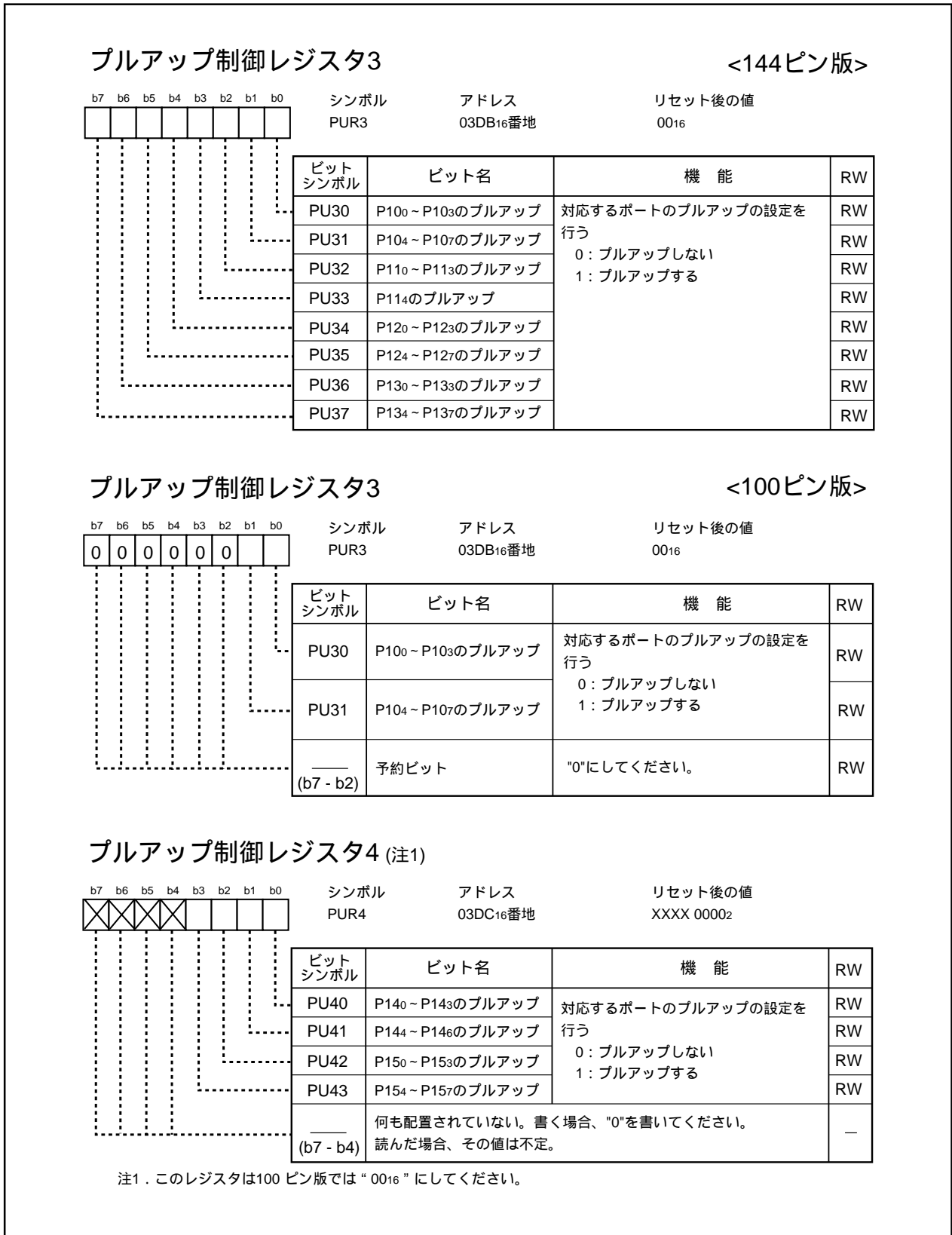
プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR2	アドレス 03DA ₁₆ 番地	リセット後の値 00 ₁₆
ビット シンボル	ビット名		機 能	RW						
PU20	P6 ₀ ~ P6 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU21	P6 ₄ ~ P6 ₇ のプルアップ			RW						
PU22	P7 ₂ ~ P7 ₃ のプルアップ (注1)			RW						
PU23	P7 ₄ ~ P7 ₇ のプルアップ			RW						
PU24	P8 ₀ ~ P8 ₃ のプルアップ			RW						
PU25	P8 ₄ ~ P8 ₇ のプルアップ (注2)			RW						
PU26	P9 ₀ ~ P9 ₃ のプルアップ			RW						
PU27	P9 ₄ ~ P9 ₇ のプルアップ		RW							

注1. P7₀、P7₁はプルアップできません。

注2. P8₅はプルアップできません。

図24.15 PUR0レジスタ、PUR1レジスタ、PUR2レジスタ



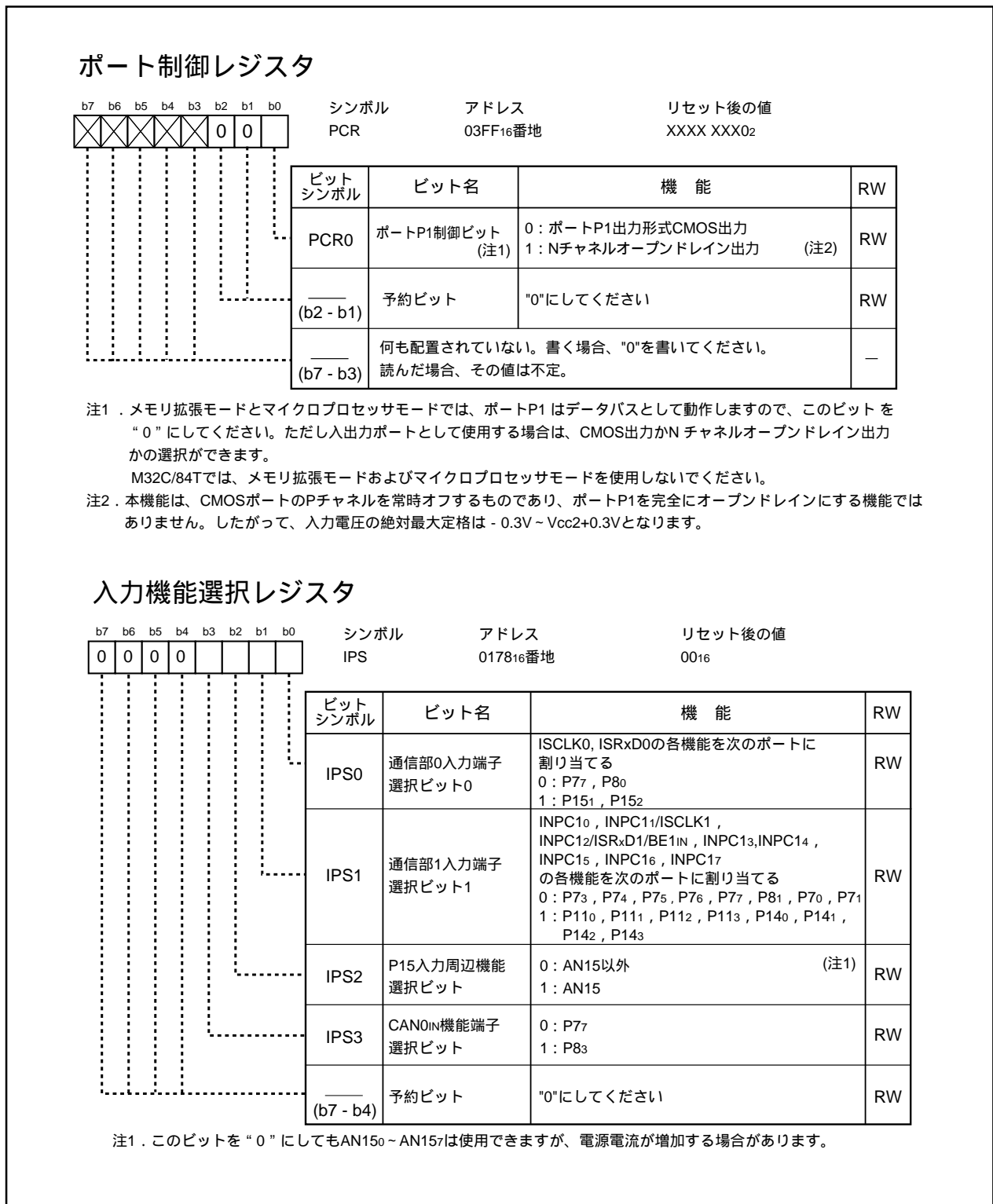


図24.17 PCRレジスタ、IPSレジスタ

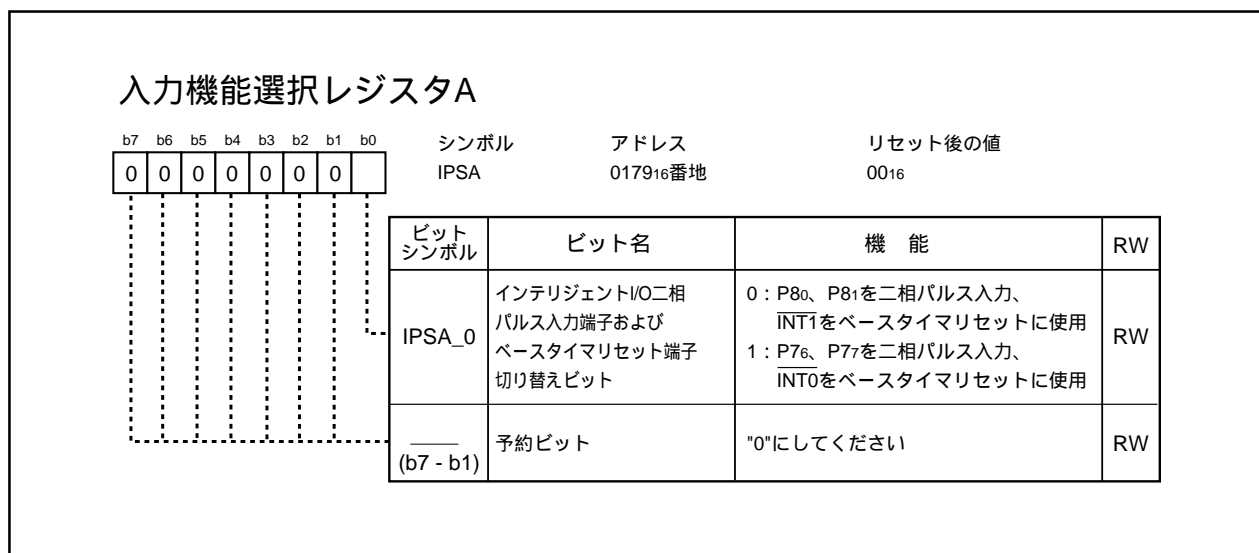


図24.18 IPSAレジスタ

表24.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P15(P8sは除く) ^(注1、2、3、4、6)	入力モードに設定し、端子ごとに抵抗を介してV _{SS} に接続(プルダウン)するか、または出力モードに設定し、端子を開放
X _{OUT} ^(注5)	開放
NMI (P8s)	抵抗を介してV _{CC1} に接続(プルアップ)
AV _{CC}	V _{CC1} に接続
AV _{SS} , V _{REF} , BYTE	V _{SS} に接続

注1. ポートP11～P15は144ピン版のみ存在します。

注2. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注3. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合、“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. X_{IN}端子に外部クロックを入力している場合。

注6. 100ピン版では次の処理を追加してください。

- ・0003CB₁₆番地、0003CE₁₆番地、0003CF₁₆番地、0003D2₁₆番地、0003D3₁₆番地に“FF₁₆”を設定してください。

表24.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P15(P8sは除く) ^(注1、2、3、4、6)	入力モードに設定し、端子ごとに抵抗を介してV _{SS} に接続(プルダウン)するか、または出力モードに設定し、端子を開放
B _H \bar{E} , ALE, H _L D \bar{A} , X _{OUT} ^(注5) , BCLK	開放
HOLD, R \bar{D} \bar{Y}	抵抗を介してV _{CC2} に接続(プルアップ)
NMI (P8s)	抵抗を介してV _{CC1} に接続(プルアップ)
AV _{CC}	V _{CC1} に接続
AV _{SS} , V _{REF}	V _{SS} に接続

注1. ポートP11～P15は144ピン版のみ存在します。

注2. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注3. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合、“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. X_{IN}端子に外部クロックを入力している場合。

注6. 100ピン版では次の処理を追加してください。

- ・0003CB₁₆番地、0003CE₁₆番地、0003CF₁₆番地、0003D2₁₆番地、0003D3₁₆番地に“FF₁₆”を設定してください。

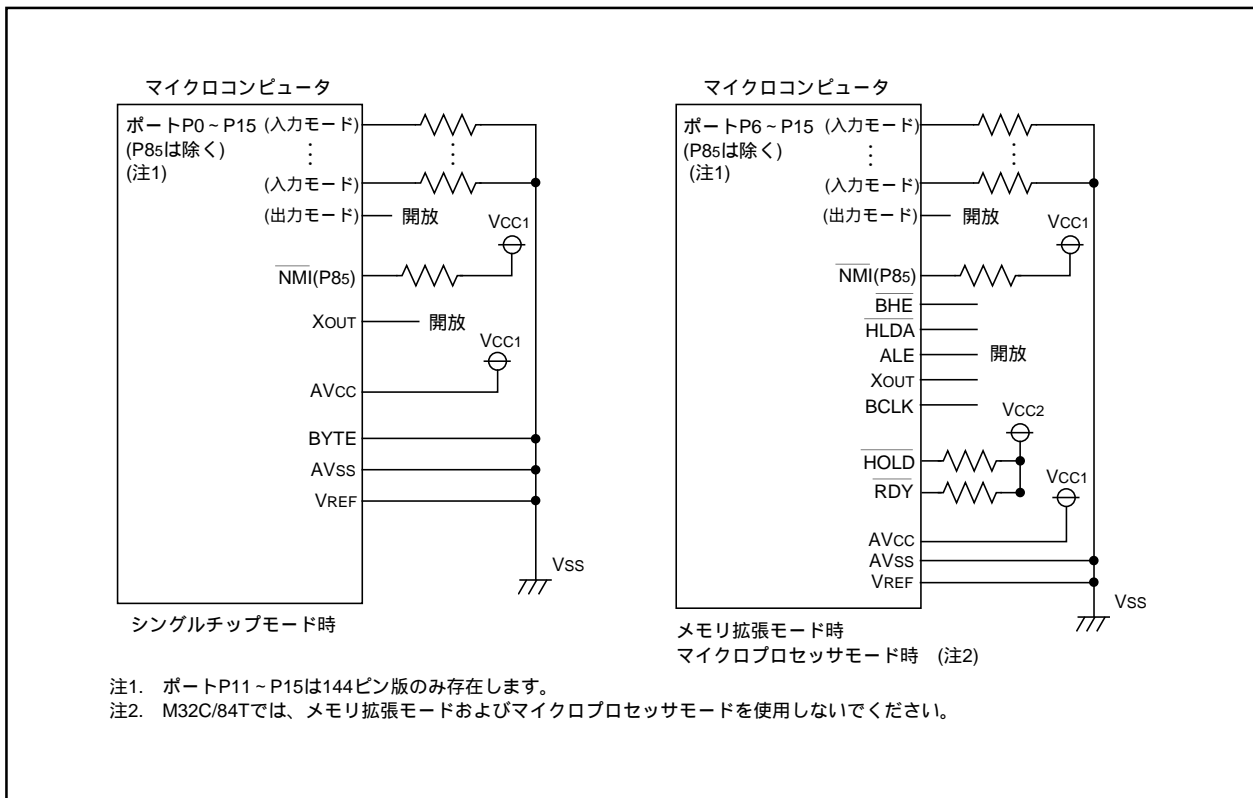


図24.19 未使用端子の処理例

表24.3 ポートP6周辺機能出力制御

	PS0レジスタ	PSL0レジスタ
ビット0	0: P60/CTS0/SS0 1: RTS0	“0” にしてください
ビット1	0: P61/CLK0入力 1: CLK0出力	“0” にしてください
ビット2	0: P62/RxD0/SCL0入力 1: PSL0レジスタで選択	0: SCL0出力 1: STxD0
ビット3	0: P63/SRxD0/SDA0入力 1: TxD0/SDA0出力	“0” にしてください
ビット4	0: P64/CTS1/SS1 1: PSL0レジスタで選択	0: RTS1 1: 設定しないでください
ビット5	0: P65/CLK1入力 1: CLK1出力	“0” にしてください
ビット6	0: P66/RxD1/SCL1入力 1: PSL0レジスタで選択	0: SCL1出力 1: STxD1
ビット7	0: P67/SRxD1/SDA1入力 1: TxD1/SDA1出力	“0” にしてください

表24.4 ポートP7周辺機能出力制御

	PS1レジスタ	PSL1レジスタ	PSCレジスタ(注1)	PSD1レジスタ
ビット0	0: P70/TA0OUT入力/SRxD2/ INPC16/SDA2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA0OUT出力	0: TxD2/SDA2出力 1: PSD1レジスタで選択	0: 設定しないでください 1: OUTC16
ビット1	0: P71/TB5IN/TA0IN/RxD2/ INPC17/SCL2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: STxD2	0: SCL2出力 1: PSD1レジスタで選択	0: 設定しないでください 1: OUTC17
ビット2	0: P72/TA1OUT入力/CLK2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA1OUT出力	0: CLK2出力 1: V	“0” にしてください
ビット3	0: P73/TA1IN/CTS2/SS2/INPC10 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: V	0: RTS2 1: OUTC10/ISTxD1/BE1OUT	“0” にしてください
ビット4	0: P74/INPC11/TA2OUT入力/ ISCLK1入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: W	0: TA2OUT出力 1: OUTC11/ISCLK1出力	“0” にしてください
ビット5	0: P75/TA2IN/INPC12/ ISrxD1/BE1IN 1: PSL1レジスタで選択	0: W 1: OUTC12	“0” にしてください	“0” にしてください
ビット6	0: P76/INPC13/TA3OUT入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA3OUT出力	0: PSD1レジスタで選択 1: CAN0OUT	0: ISTxD0 1: OUTC13
ビット7	0: P77/TA3IN/CAN0IN/ ISCLK0入力/ INPC14 1: PSL1レジスタで選択	0: ISCLK0出力 1: OUTC14	0: P104 ~ P107またはKI0 ~ KI3 1: AN4 ~ AN7 (P77とは無関係)	“0” にしてください

注1. PSL1_iビット(i=0~4, 6)を“1”にする場合、該当するPSC_iビットを“0”にしてください。

表24.5 ポートP8周辺機能出力制御

	PS2レジスタ	PSL2レジスタ	PSC2レジスタ
ビット0	0: P80/ISRxD0/TA4OUT入力 1: PSL2レジスタで選択	0: TA4OUT出力 1: U	“0” にしてください
ビット1	0: P81/TA4IN/INPC15 1: PSL2レジスタで選択	0: U 1: PSC2レジスタで選択	0: 設定しないでください 1: OUTC15
ビット2	0: P82/INT0 1: PSL2レジスタで選択	0: 設定しないでください 1: PSC2レジスタで選択	0: CAN0OUT 1: 設定しないでください
ビット3~7	“00002” にしてください		

表24.6 ポートP9周辺機能出力制御

	PS3レジスタ	PSL3レジスタ	PSC3レジスタ
ビット0	0: P90/TB0IN/CLK3入力 1: CLK3出力	“0” にしてください	“0” にしてください
ビット1	0: P91/TB1IN/RxD3/SCL3入力 1: PSL3レジスタで選択	0: SCL3出力 1: STxD3	“0” にしてください
ビット2	0: P92/TB2IN/SRxD3/SDA3入力 1: PSL3レジスタで選択	0: TxD3/SDA3出力 1: 設定しないでください	“0” にしてください
ビット3	0: P93/TB3IN/CTS3/SS3/DA0出力 1: RTS3	0: DA0以外 1: DA0	“0” にしてください
ビット4	0: P94/TB4IN/CTS4/SS4/DA1出力 1: RTS4	0: DA1以外 1: DA1	“0” にしてください
ビット5	0: P95/ANEX0/CLK4入力 1: CLK4出力	0: ANEX0以外 1: ANEX0	“0” にしてください
ビット6	0: P96/SRxD4/ANEX1/SDA4入力 1: PSC3レジスタで選択	0: ANEX1以外 1: ANEX1	0: TxD4/SDA4出力 1: 設定しないでください
ビット7	0: P97/RxD4/ADTRG/SCL4入力 1: PSL3レジスタで選択	0: SCL4出力 1: STxD4	“0” にしてください

表24.7 ポートP10周辺機能出力制御

	PSCレジスタ
ビット7	0: P104 ~ P107またはK10 ~ K13 1: AN4 ~ AN7

表24.8 ポートP11周辺機能出力制御

	PS5レジスタ
ビット0	0: P110/INPC10 1: OUTC10/ISTxD1/BE1oUT
ビット1	0: P111/INPC11/ISCLK1入力 1: OUTC11/ISCLK1出力
ビット2	0: P112/INPC12/ISRxD1/BE1iN 1: OUTC12
ビット3	0: P113/INPC13 1: OUTC13
ビット4~7	“00002” にしてください

表24.9 ポートP14周辺機能出力制御

	PS8レジスタ
ビット0	0: P140/INPC14 1: OUTC14
ビット1	0: P141/INPC15 1: OUTC15
ビット2	0: P142/INPC16 1: OUTC16
ビット3	0: P143/INPC17 1: OUTC17
ビット4~7	“00002” にしてください

表24.10 ポートP15周辺機能出力制御

	PS9レジスタ
ビット0	0: P150/AN15o 1: ISTxD0
ビット1	0: P151/AN15i/ISCLK0入力 1: ISCLK0出力
ビット2~7	“000002” にしてください

25. フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表25.1にフラッシュメモリ版の性能概要を示します(表25.1に示す以外の項目は表1.1、表1.2を参照してください)。

表25.1 フラッシュメモリ版の性能概要

項目	性能	
フラッシュメモリ書き換えモード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)	
消去ブロック分割	ユーザROM領域	図25.1を参照してください。
	ブートROM領域	1分割(4Kバイト)(注1)
プログラム方式	ワード単位、バイト単位(注2)	
イレース方式	一括消去、ブロック消去	
プログラム、イレース制御方式	ソフトウェアコマンドによるプログラム、イレース制御	
プロテクト方式	ロックビットによるブロック単位のプロテクト	
コマンド数	8コマンド	
プログラム、イレース回数	100回(注3)	
データ保持	10年間	
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード対応	

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

注2. パラレル入出力モードのみバイト単位でプログラムできます。

注3. プログラム、イレース回数の定義

プログラム、イレース回数はブロックごとのイレース回数です。

例えば、ブロックAに1ワード以上書き込みを行った後、ブロックイレースを行うと、ブロックAのプログラム、イレース回数1回と数えます。

表25.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能 EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O 標準シリアル入出力モード3： CAN	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	-	シリアルライタ	パラレルライタ

25.1 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図25.1にフラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード、またはメモリ拡張モード時のマイコン動作プログラムを格納する領域とは別に、4KバイトのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでのみ書き換えられます。また、CNVss端子とP50端子に“H”を、P55端子に“L”を入力してハードウェアリセットすると、リセット後ブートROM領域のプログラムが実行されます。CNVss端子に“L”を入力してハードウェアリセットすると、リセット後ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

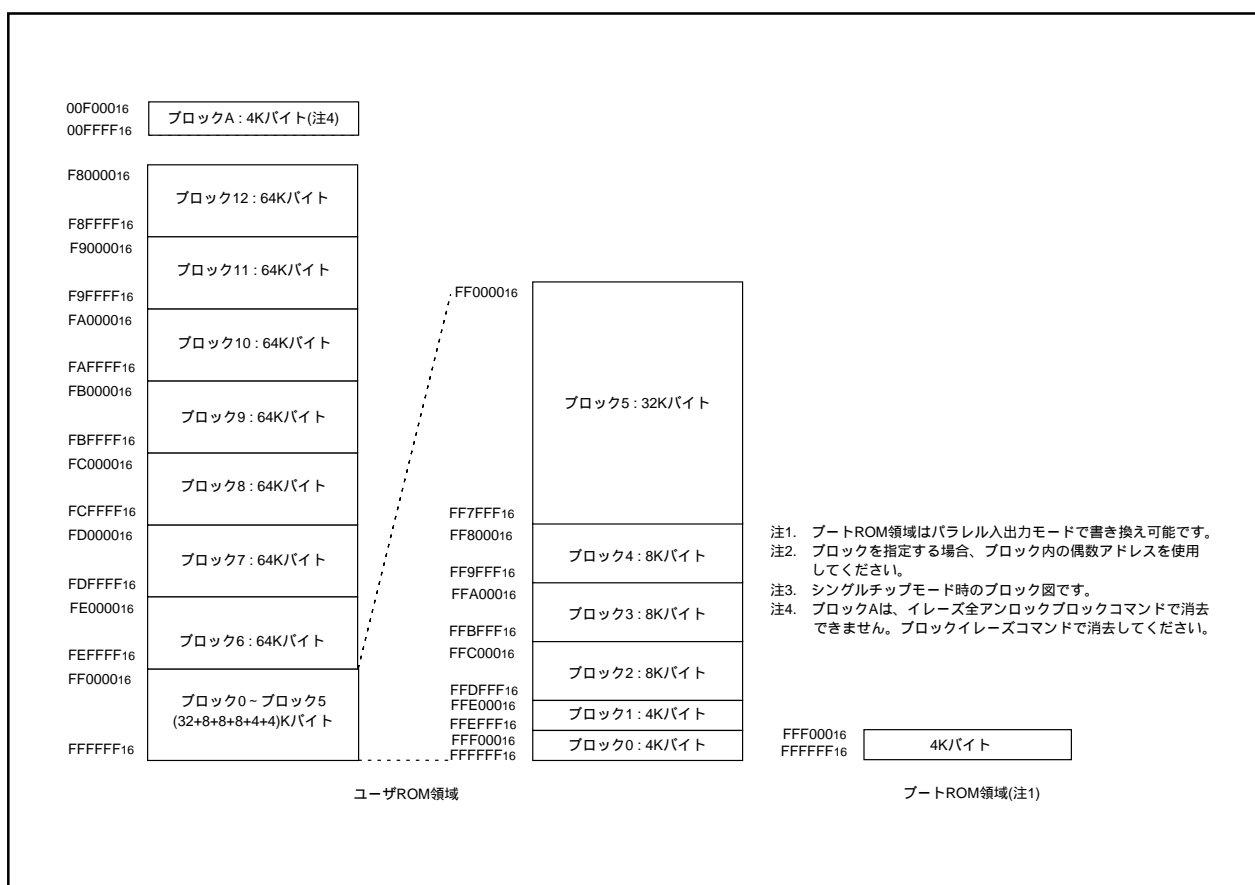


図25.1 内蔵フラッシュメモリのブロック図

25.1.1 ブートモード

P55端子に“L”、CNVss端子に“H”、P50端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードで書き換えられます。イレーズライトモード(EW0モード)を使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

25.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

25.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。

図25.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットを“002”“012”“102”にすると、ROMコードプロテクトが有効になります。

25.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFF₁₆”の場合、IDコードの判定は行われず、すべてのコマンドを受け付けます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFFFFDF₁₆、0FFFFFFE3₁₆、0FFFFFFEB₁₆、0FFFFFFEF₁₆、0FFFFFFF3₁₆、0FFFFFFF7₁₆、0FFFFFFFB₁₆に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

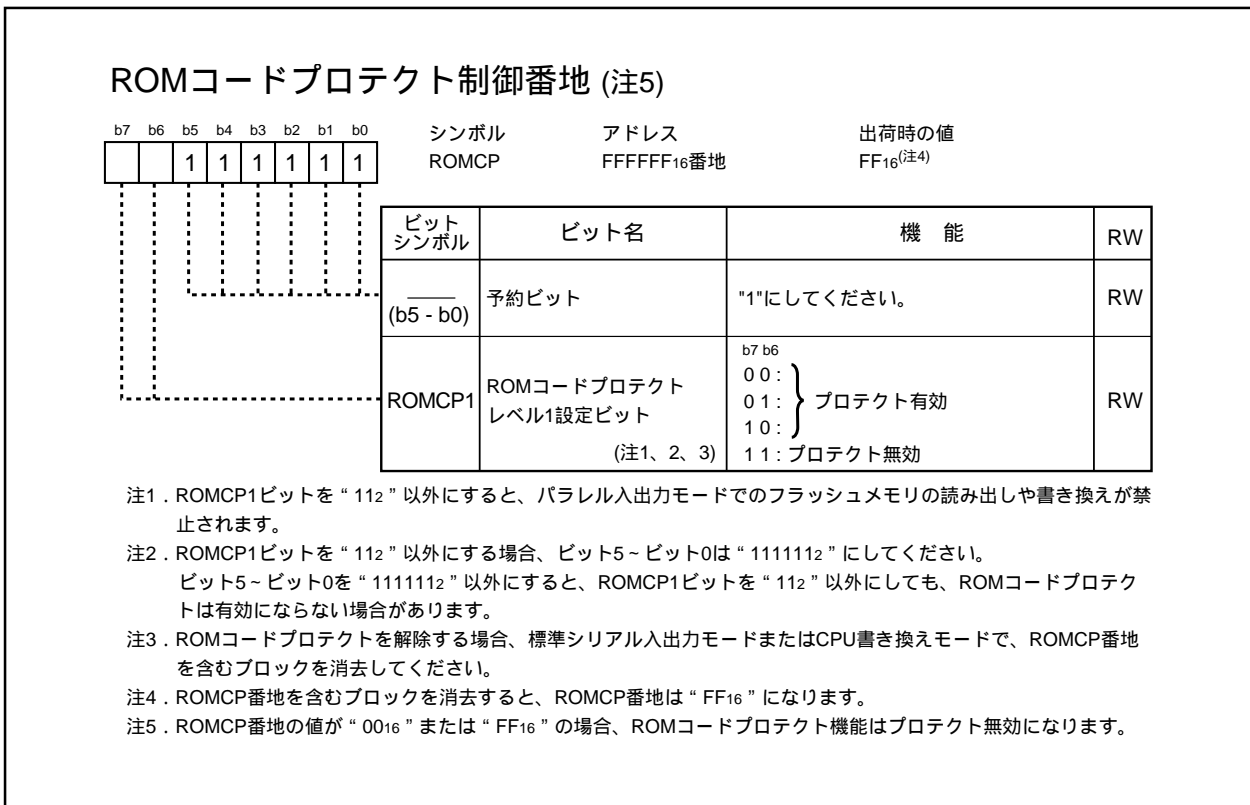


図25.2 ROMCP番地

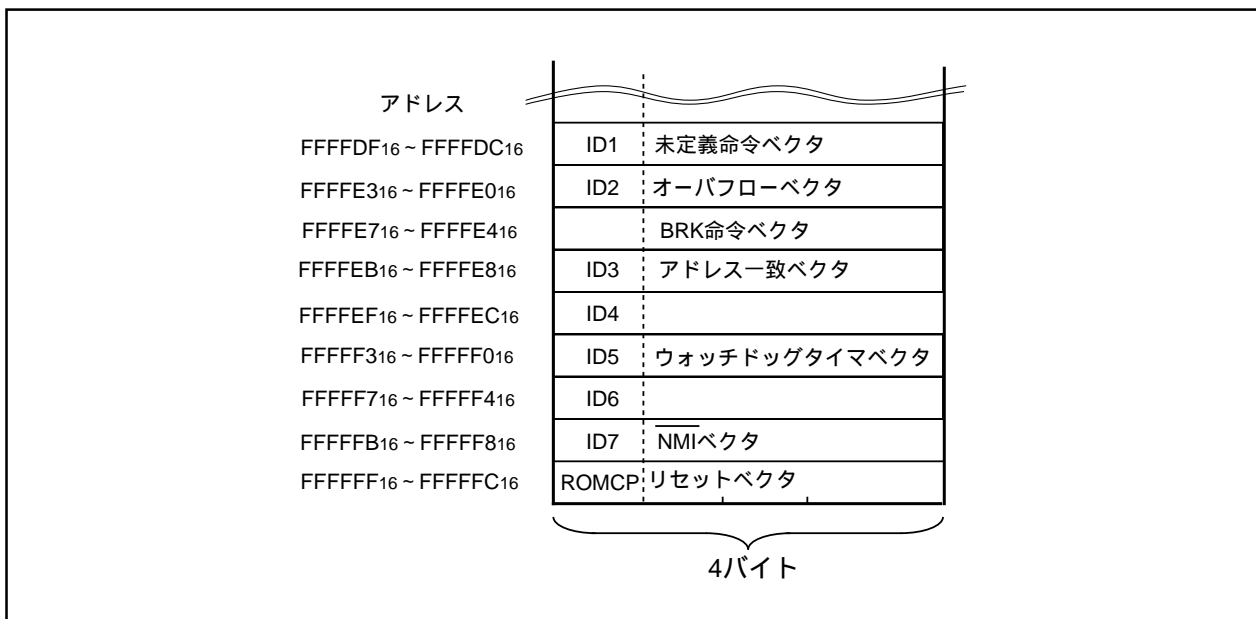


図25.3 IDコードの格納番地

25.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図25.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表25.3にEW0モードとEW1モードの違いを示します。

表25.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	・シングルチップモード ・メモリ拡張モード ・ブートモード	シングルチップモード
書き換え制御プログラムを配置できる領域	・ユーザROM領域 ・ブートROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・イレーズ全アンロックブロックコマンド 書き換え制御プログラムがあるブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く)、DMA転送が起こらないようにしてください。

25.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”(EW0モード)の場合、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

25.3.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

図25.4～図25.5にFMR0、FMR1レジスタを示します。

25.3.3 フラッシュメモリ制御レジスタ (FMR0レジスタ、FMR1レジスタ)

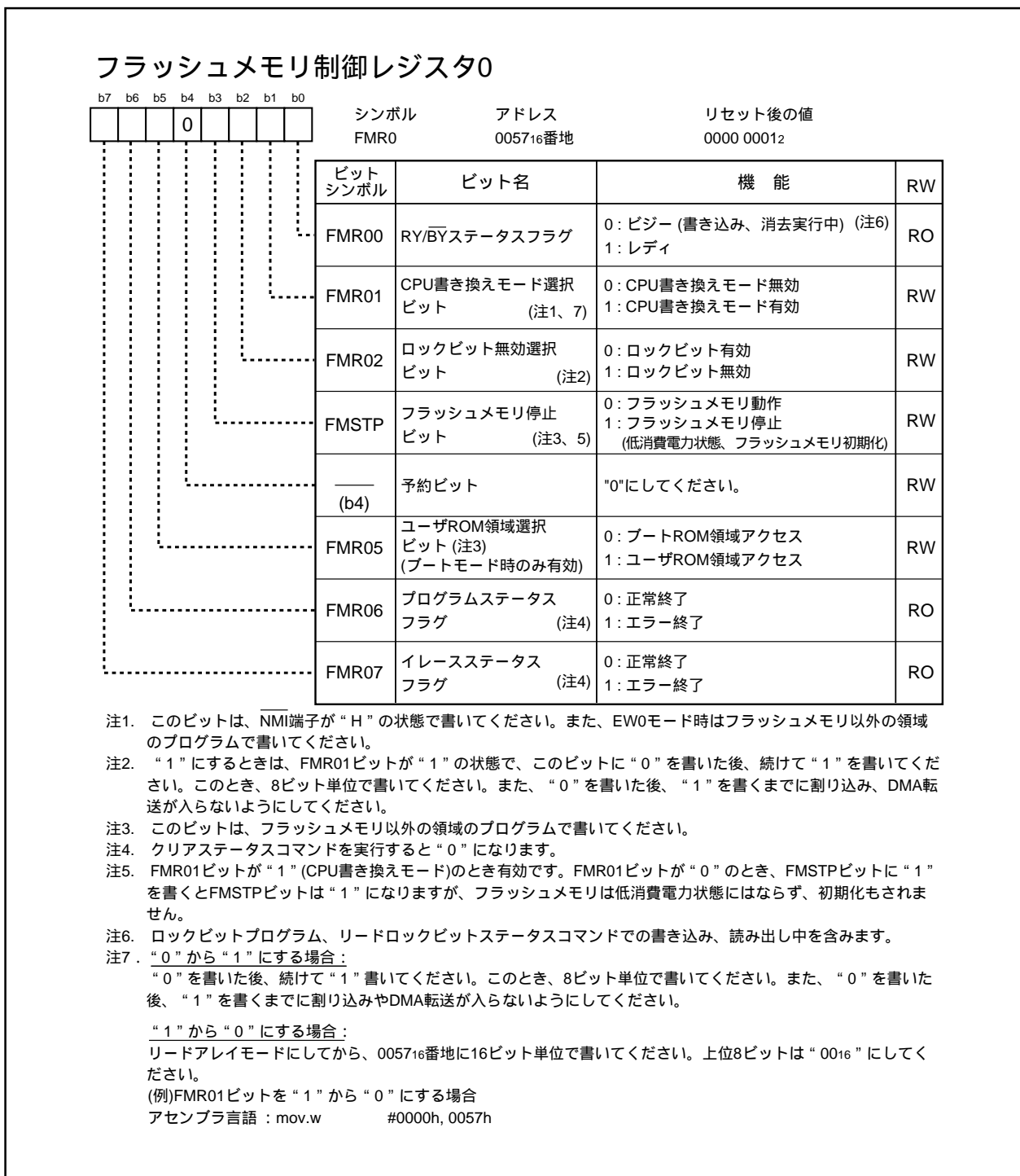


図25.4 FMR0レジスタ

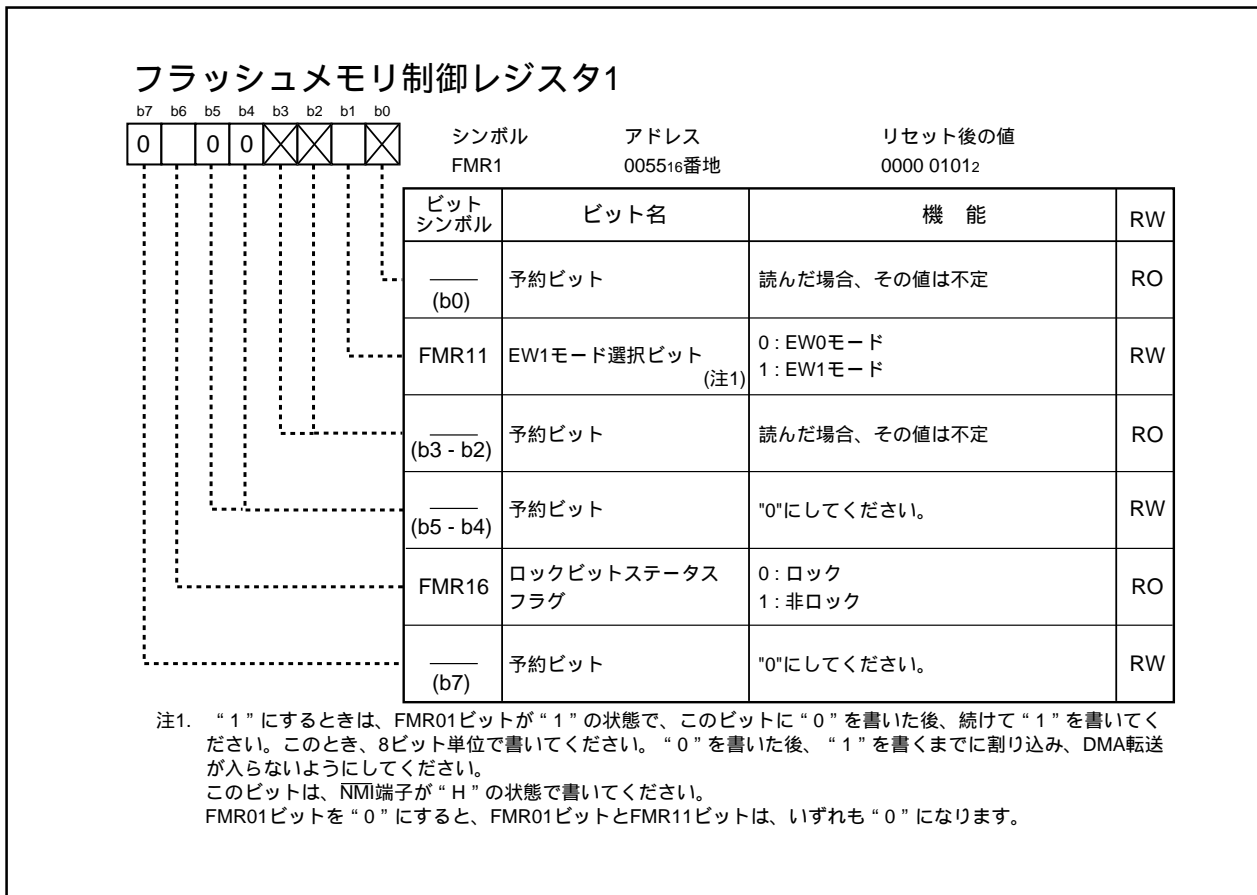


図25.5 FMR1レジスタ

25.3.3.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンドを実行中は“0”、それ以外のときは“1”になります。

25.3.3.2 FMR01ビット

FMR01ビットを“1” (CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1” (ユーザROM領域アクセス)にしてください。

25.3.3.3 FMR02ビット

FMR02ビットを“1” (ロックビット無効)にすると、ロックビットを無効にできます(「25.3.6 データ保護機能」参照)。“0” (ロックビット有効)にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)になります。

25.3.3.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

FMSTPビットは次の手順で書き換えてください。

- (1)FMSTPビットを“1”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ
- (3)FMSTPビットを“0”にする
- (4)フラッシュメモリ回路安定待ち時間(tps)待つ

図25.8に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。なお、ストップモードまたはウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要はありません。

25.3.3.5 FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

25.3.3.6 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「25.3.8 フルステータスチェック」を参照してください。

25.3.3.7 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「25.3.8 フルステータスチェック」を参照してください。

図25.6にEW0モードの設定と解除方法、図25.7にEW1モードの設定と解除方法を示します。

25.3.3.8 FMR11ビット

FMR11ビットが“0”(EW0モード)の場合、EW0モードになります。

FMR11ビットが“1”(EW1モード)の場合、EW1モードになります。

25.3.3.9 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。

ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

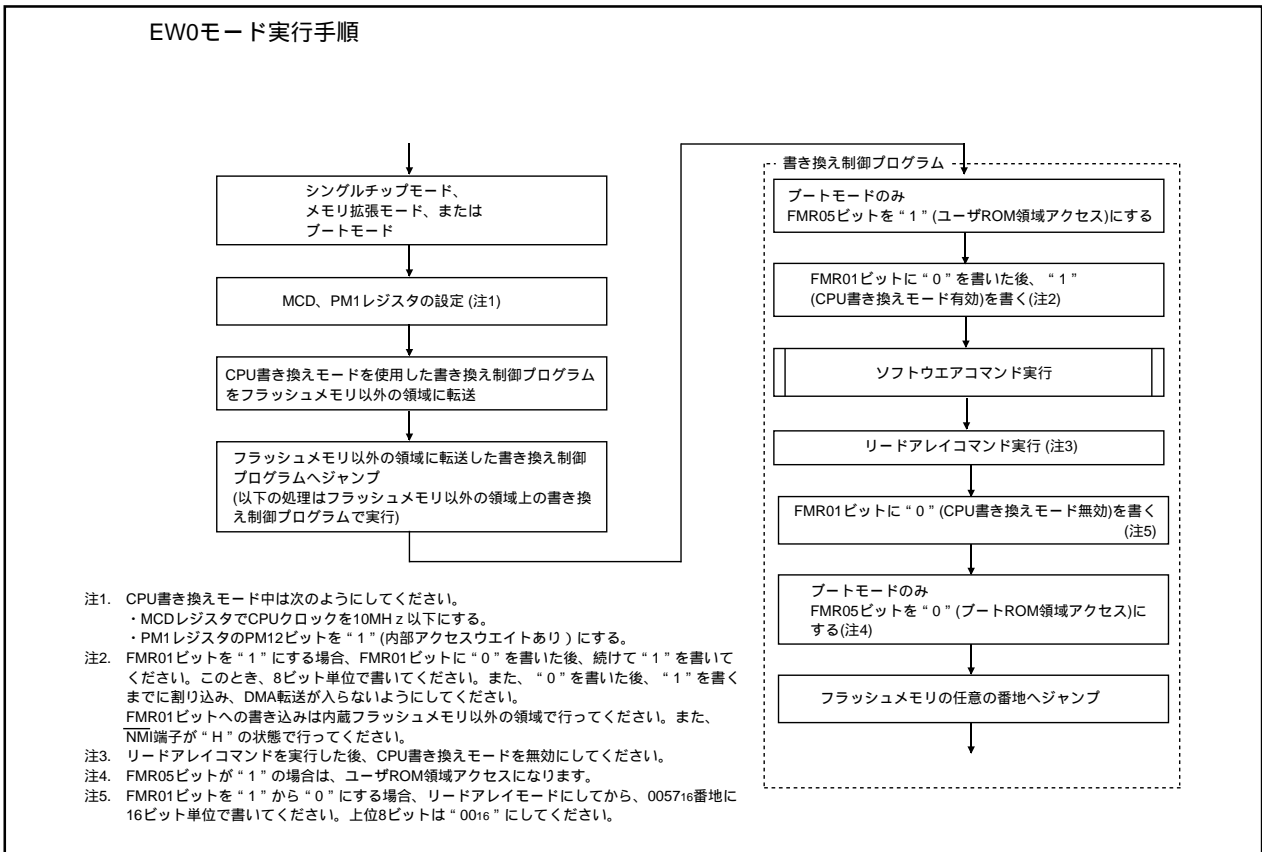


図25.6 EW0モードの設定と解除方法

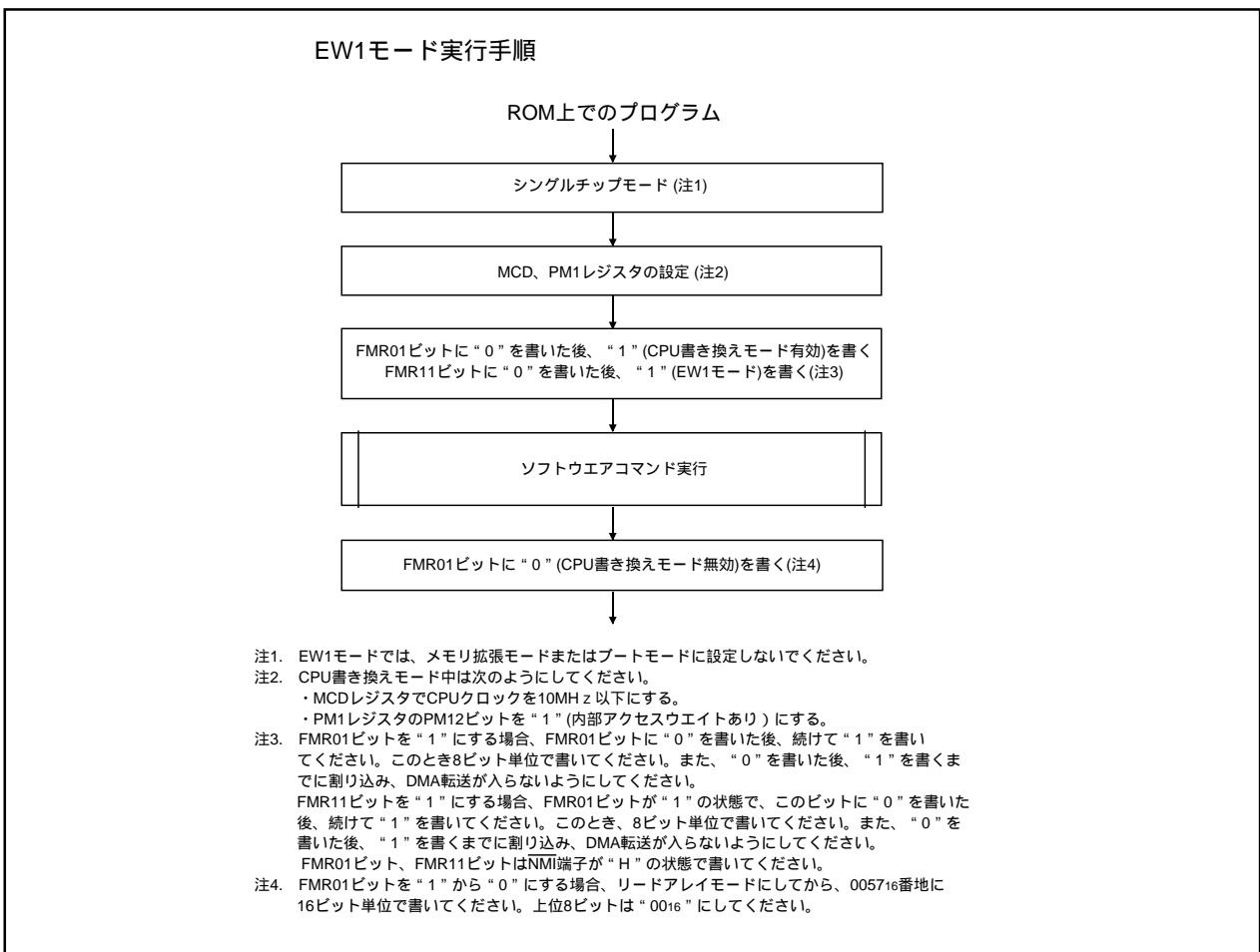


図25.7 EW1モードの設定と解除方法

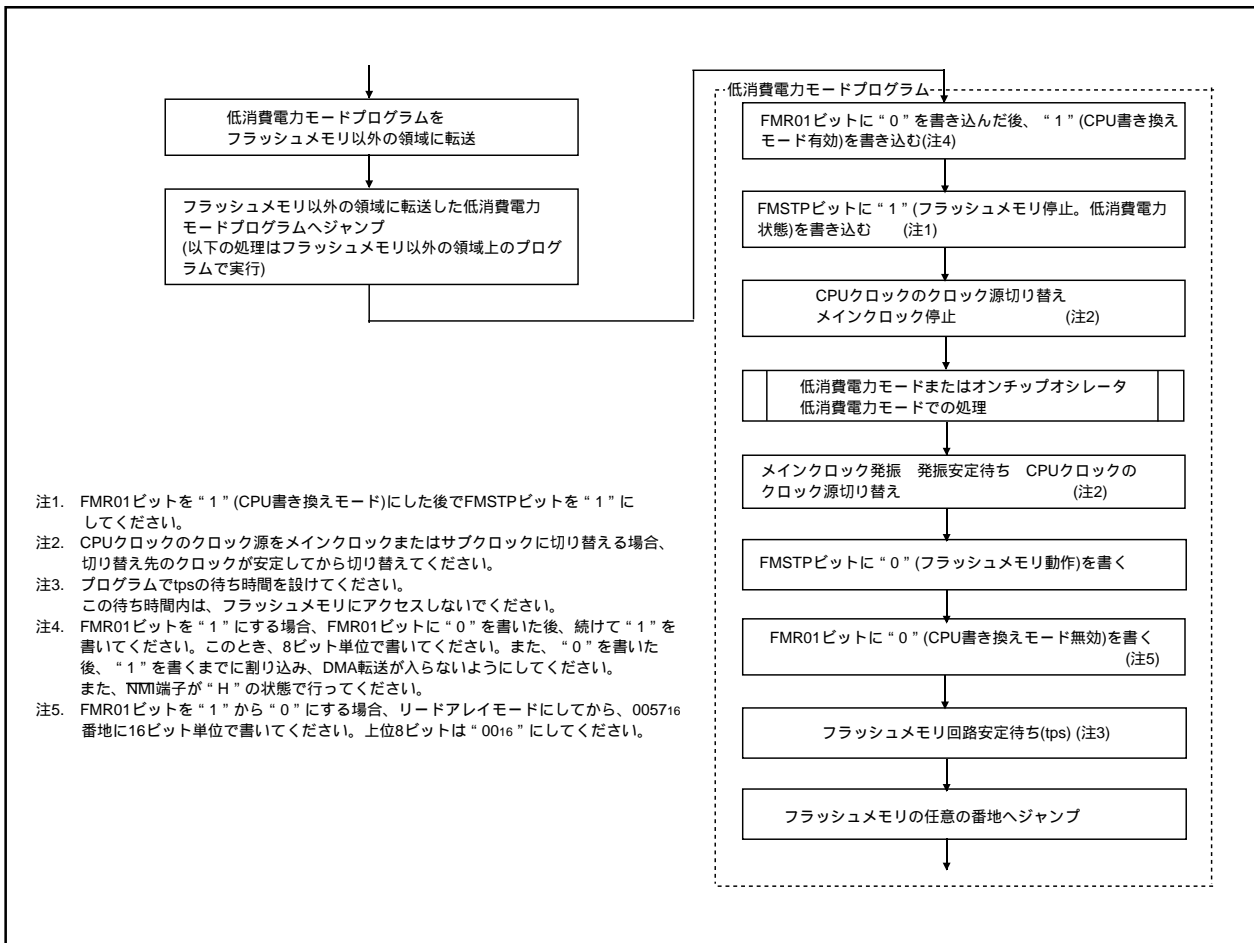


図25.8 低消費電力モード前後の処理

25.3.4 CPU書き換えモードの注意事項

25.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、MCDレジスタのMCD0～MCD4ビットでCPUクロックを10MHz以下にし、CPU書き換えモードに移行してください。また、PM1レジスタのPM12ビットは“1”(ウエイトあり)にしてください。

25.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

25.3.4.3 割り込み(EW0モード)

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・ $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

25.3.4.4 割り込み(EW1モード)

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。
- ・ $\overline{\text{NMI}}$ 割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

25.3.4.5 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。このとき、8ビット単位で書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、 $\overline{\text{NMI}}$ 端子に“H”を入力した状態で行ってください。

FMR01ビットを“1”から“0”にする場合、リードアレイモードにしてから、0057₁₆番地に16ビット単位で書いてください。上位8ビットは“00₁₆”にしてください。

25.3.4.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックの書き換え中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

25.3.4.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

25.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の場合にDMA転送が入らないようにしてください。

25.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

25.3.4.10 ウェイトモード

ウェイトモードに移行する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

25.3.4.11 ストップモード

ストップモードに移行する場合は、次のようにしてください。

- ・FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする
- ・CM10ビットを“1”にする命令の次にJMP.B命令を実行する

プログラム例 BSET 0, CM1 ; ストップモード

 JMP.B L1

 L1:

 ストップモード復帰後のプログラム

25.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード

CM0レジスタのCM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- ・プログラム
- ・ブロックイレーズ
- ・イレーズ全アンロックブロック
- ・ロックビットプログラム
- ・リードロックビットステータス

25.3.5 ソフトウェアコマンド

コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D₁₅~D₈)は無視されます。

表25.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D ₁₅ ~D ₀)	モード	アドレス	データ (D ₁₅ ~D ₀)
リードアレイ	ライト	x	xxFF ₁₆			
リードステータスレジスタ	ライト	x	xx70 ₁₆	リード	x	SRD
クリアステータスレジスタ	ライト	x	xx50 ₁₆			
プログラム	ライト	WA	xx40 ₁₆	ライト	WA	WD
ブロックイレーズ	ライト	x	xx20 ₁₆	ライト	BA	xxD0 ₁₆
イレーズ全アンロックブロック(注1)	ライト	x	xxA7 ₁₆	ライト	x	xxD0 ₁₆
ロックビットプログラム	ライト	BA	xx77 ₁₆	ライト	BA	xxD0 ₁₆
リードロックビットステータス	ライト	x	xx71 ₁₆	ライト	BA	xxD0 ₁₆

注1. イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0~ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

SRD : ステータスレジスタデータ(D₇~D₀)。

WA : 書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : ユーザROM領域内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

25.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

25.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「25.3.7 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

25.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50₁₆”を書くと、FMR0レジスタのFMR07~FMR06ビットは“002”、ステータスレジスタのSR5~SR4ビットは“002”になります。

25.3.5.4 プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx4016”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとペリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一の偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「25.3.8 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みをしないでください。図25.9にプログラムのフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「25.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

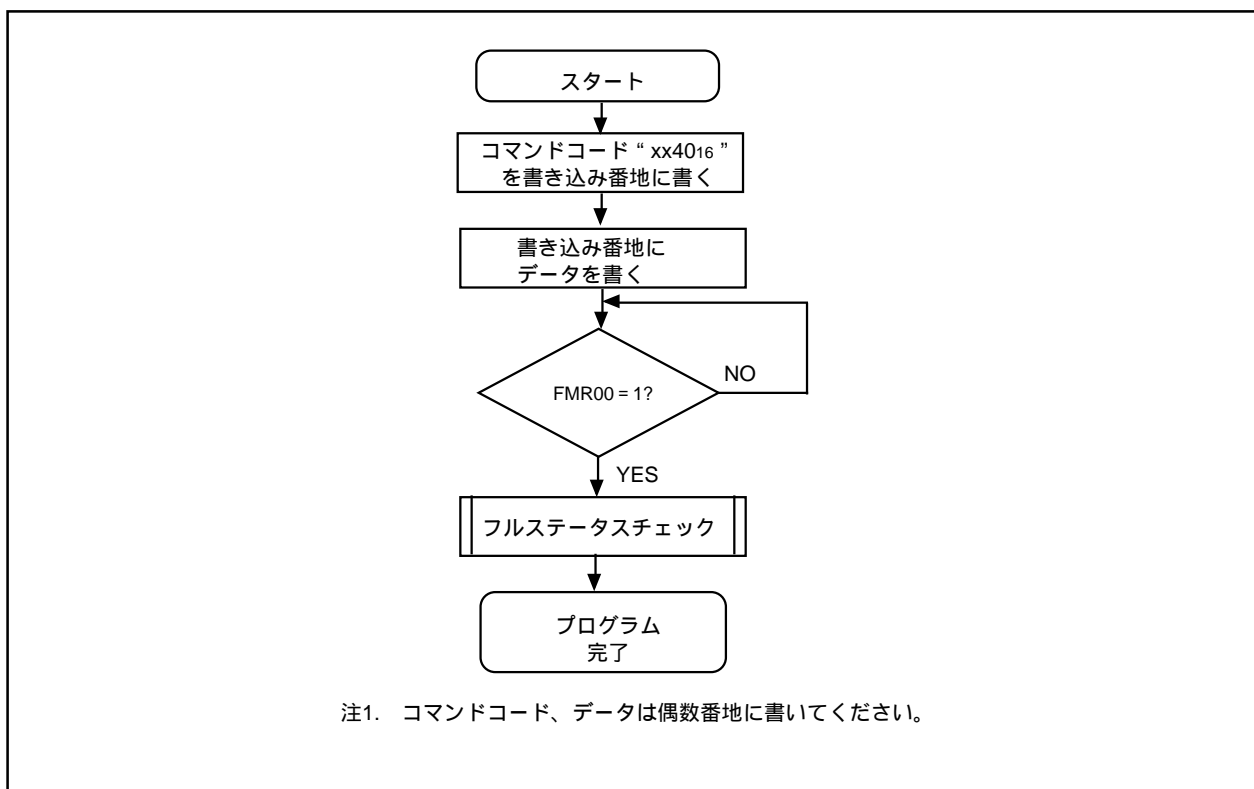


図25.9 プログラムフローチャート

25.3.5.5 ブロックイレーズ

第1バスサイクルで“xx20₁₆”、第2バスサイクルで“xxD0₁₆”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「25.3.8 フルステータスチェック」参照)。

図25.10にブロックイレーズのフローチャートを示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「25.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

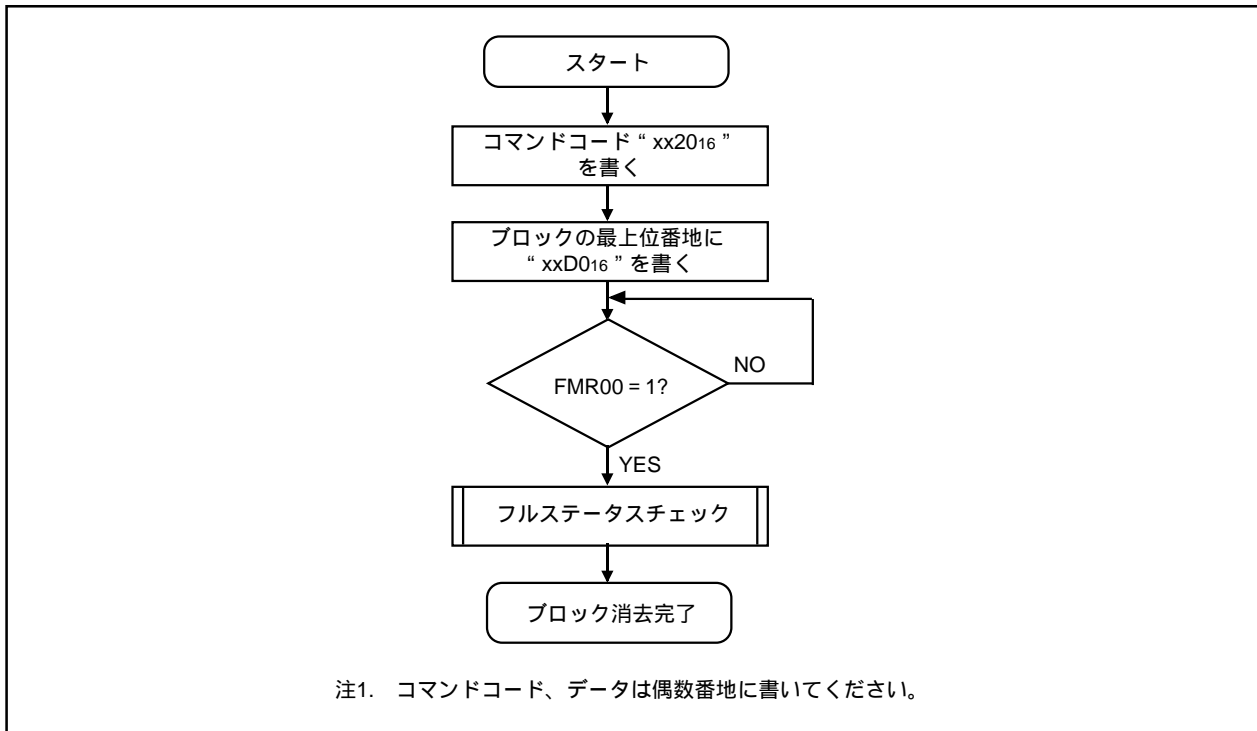


図25.10 ブロックイレーズフローチャート

25.3.5.6 イレーズ全アンロックブロック

第1バスサイクルで“xxA716”、第2バスサイクルで“xxD016”を書くと、ブロックAを除く全ブロックに対し、連続的にブロックイレーズを行います。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。自動消去の結果はFMR0レジスタのFMR07ビットで確認できます。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「25.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”(ビジー)となり、終了とともに“1”(レディ)に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

また、本コマンドで消去されるブロックは、ブロック0～ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

25.3.5.7 ロックビットプログラム

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx7716”、第2バスサイクルで“xxD016”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図25.11にロックビットプログラムのフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「25.3.6 データ保護機能」を参照してください。

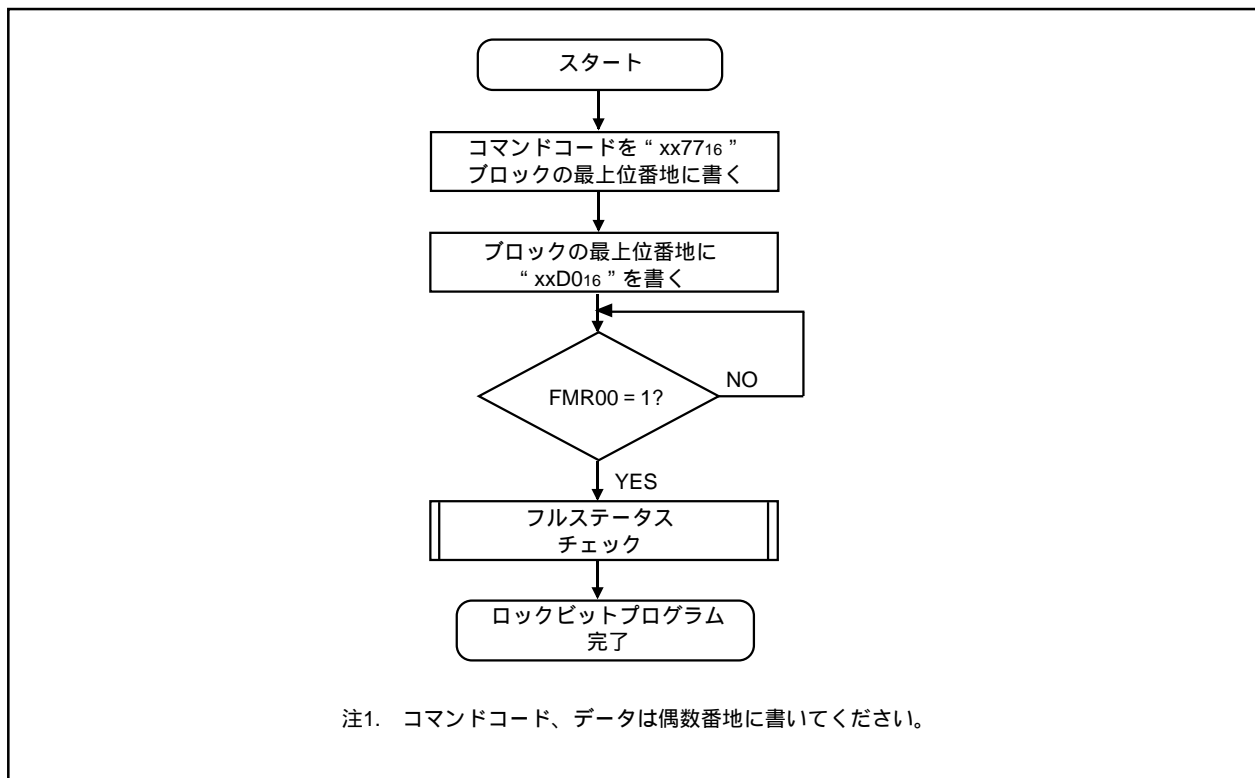


図25.11 ロックビットプログラムフローチャート

25.3.5.8 リードロックビットステータス

任意のブロックのロックビットの状態(ロックビットデータ)を読むコマンドです。

第1バスサイクルで“xx7116”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD016”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図25.12にリードロックビットプログラムのフローチャート例を示します。

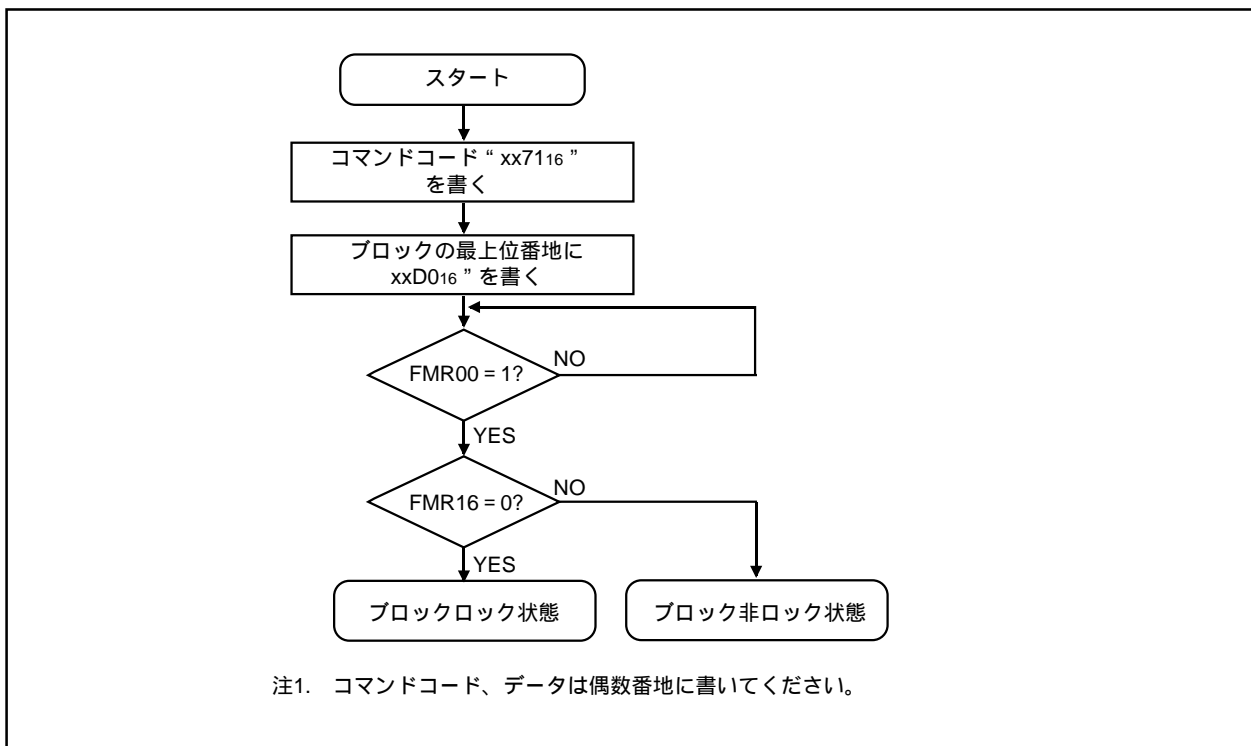


図25.12 リードロックビットステータスフローチャート

25.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)でき、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ・ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ・ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットデータにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットのデータは“1”になります。

各コマンドの詳細は、「25.3.5 ソフトウェアコマンド」を参照してください。

25.3.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表25.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- ・リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- ・プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

25.3.7.1 シーケンサステータス(SR7ビット、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中は“0”、それ以外のときは“1”になります。

25.3.7.2 イレーズステータス(SR5ビット、FMR07ビット)

「25.3.8 フルステータスチェック」を参照してください。

25.3.7.3 プログラムステータス(SR4ビット、FMR06ビット)

「25.3.8 フルステータスチェック」を参照してください。

表25.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0 (D ₀)	-	予約ビット	-	-	-
SR1 (D ₁)	-	予約ビット	-	-	-
SR2 (D ₂)	-	予約ビット	-	-	-
SR3 (D ₃)	-	予約ビット	-	-	-
SR4 (D ₄)	FMR06 ^(注)	プログラムステータス	正常終了	エラー終了	0
SR5 (D ₅)	FMR07 ^(注)	イレーズステータス	正常終了	エラー終了	0
SR6 (D ₆)	-	予約ビット	-	-	-
SR7 (D ₇)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバス。

注1．FMR07ビット(SR5ビット)とFMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると、“0”になります。

FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けられません。

25.3.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表25.6にエラーとFMR0レジスタの状態を、図25.13にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表25.6 エラーとFMR0レジスタの状態

FMR0レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5ビット)	FMR06ビット (SR4ビット)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・ コマンドを正しく書かなかったとき ・ ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(“xxD016”または“xxFF16”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ・ ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しく自動消去されなかつたとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ ロックされたブロックにプログラムコマンドを実行したとき(注2) ・ ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかつたとき ・ ロックビットプログラムコマンドを実行し、正しく書き込まれなかつたとき

注1．これらのコマンドの第2バスサイクルで“xxFF16”を書くと、リードアレイモードになり、同時に第1バスサイクルで書いたコマンドコードは無効になります。

注2．FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

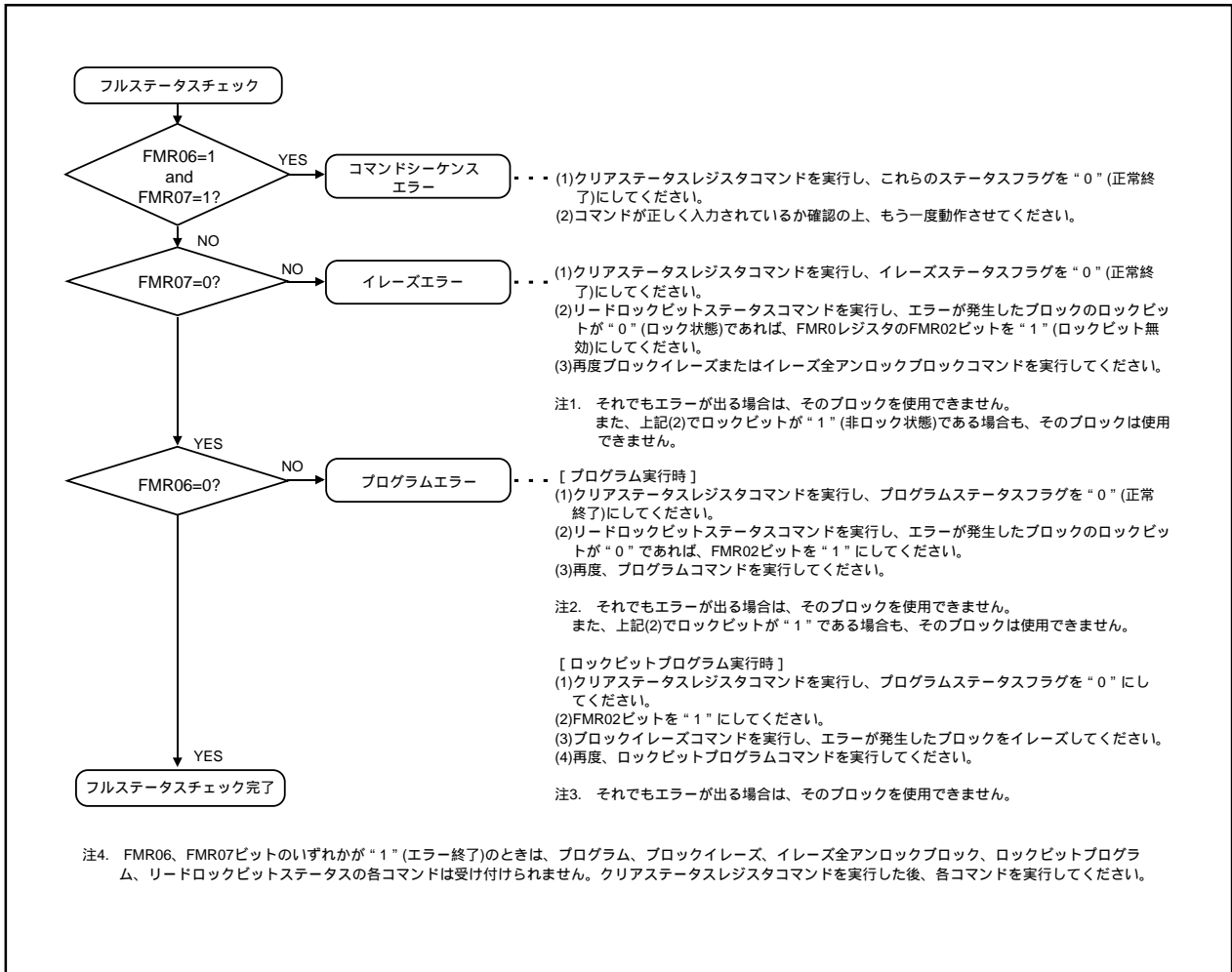


図25.13 フルステータスチェックフロチャート、各エラー発生時の対処方法

25.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M32C/84グループ(M32C/84, M32C/84T)に対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表25.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図25.14～図25.16に標準シリアル入出力モード時の端子結線図を示します。

25.4.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「25.2 フラッシュメモリ書き換え禁止機能」参照)。

表25.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	電源系統	機能
Vcc Vss	電源入力	入力	-	Vcc1端子にはプログラム、イレーズの保証電圧を、Vss端子には0Vを入力してください
CNVss	CNVss	入力	Vcc1	Vcc1に接続してください
RESET	リセット入力	入力	Vcc1	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください
XIN	クロック入力	入力	Vcc1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください
XOUT	クロック出力	出力	Vcc1	外部で生成したクロックを入力する時は、XIN端子から入力し、XOUT端子は開放してください。
BYTE	BYTE入力	入力	Vcc1	VssまたはVcc1に接続してください
AVcc, AVss	アナログ電源入力	入力	-	AVccはVcc1に接続してください。AVssはVssに接続してください
VREF	基準電源入力	入力	-	A/Dコンバータの基準電圧入力端子です
P00 ~ P07	入力ポートP0	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P10 ~ P17	入力ポートP1	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P20 ~ P27	入力ポートP2	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P30 ~ P37	入力ポートP3	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P40 ~ P47	入力ポートP4	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P50	CE入力	入力	Vcc2	“H”を入力してください
P55	EPM入力	入力	Vcc2	“L”を入力してください
P51 ~ P54 P56 ~ P57	入力ポートP5	入力	Vcc2	“H”を入力、“L”を入力、または開放してください
P60 ~ P63 P64	入力ポートP6 BUSY出力	入力 出力	Vcc1 Vcc1	“H”を入力、“L”を入力、または開放してください 標準シリアル入出力モード1: BUSY信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ 標準シリアル入出力モード3: 開放してください
P65	SCLK入力	入力	Vcc1	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2, 3: “L”を入力してください
P66	データ入力 RxD	入力	Vcc1	標準シリアル入出力モード1, 2: シリアルデータの入力端子です 標準シリアル入出力モード3: “H”を入力してください
P67	データ出力 TxD	出力	Vcc1	標準シリアル入出力モード1, 2: シリアルデータの出力端子です 標準シリアル入出力モード3: 開放してください
P70 ~ P75 P76	入力ポートP7 CAN出力	入力 出力	Vcc1 Vcc1	“H”を入力、“L”を入力、または開放してください 標準シリアル入出力モード1, 2: “H”を入力、“L”を入力、または開放してください 標準シリアル入出力モード3: CAN出力端子です
P77	CAN入力	入力	Vcc1	標準シリアル入出力モード1, 2: “H”を入力、“L”を入力、または開放してください 標準シリアル入出力モード3: CAN入力端子です
P80 ~ P84 P86, P87 P85	入力ポートP8 NMI入力	入力	Vcc1 Vcc1	“H”を入力、“L”を入力、または開放してください Vcc1に接続してください
P90 ~ P97	入力ポートP9	入力	Vcc1	“H”を入力、“L”を入力、または開放してください
P100 ~ P107	入力ポートP10	入力	Vcc1	“H”を入力、“L”を入力、または開放してください
P110 ~ P114	入力ポートP11	入力	Vcc2	“H”を入力、“L”を入力、または開放してください(注1)
P120 ~ P127	入力ポートP12	入力	Vcc2	“H”を入力、“L”を入力、または開放してください(注1)
P130 ~ P137	入力ポートP13	入力	Vcc2	“H”を入力、“L”を入力、または開放してください(注1)
P140 ~ P146	入力ポートP14	入力	Vcc1	“H”を入力、“L”を入力、または開放してください(注1)
P150 ~ P157	入力ポートP15	入力	Vcc1	“H”を入力、“L”を入力、または開放してください(注1)

注1. 144ピン版のみ存在します。

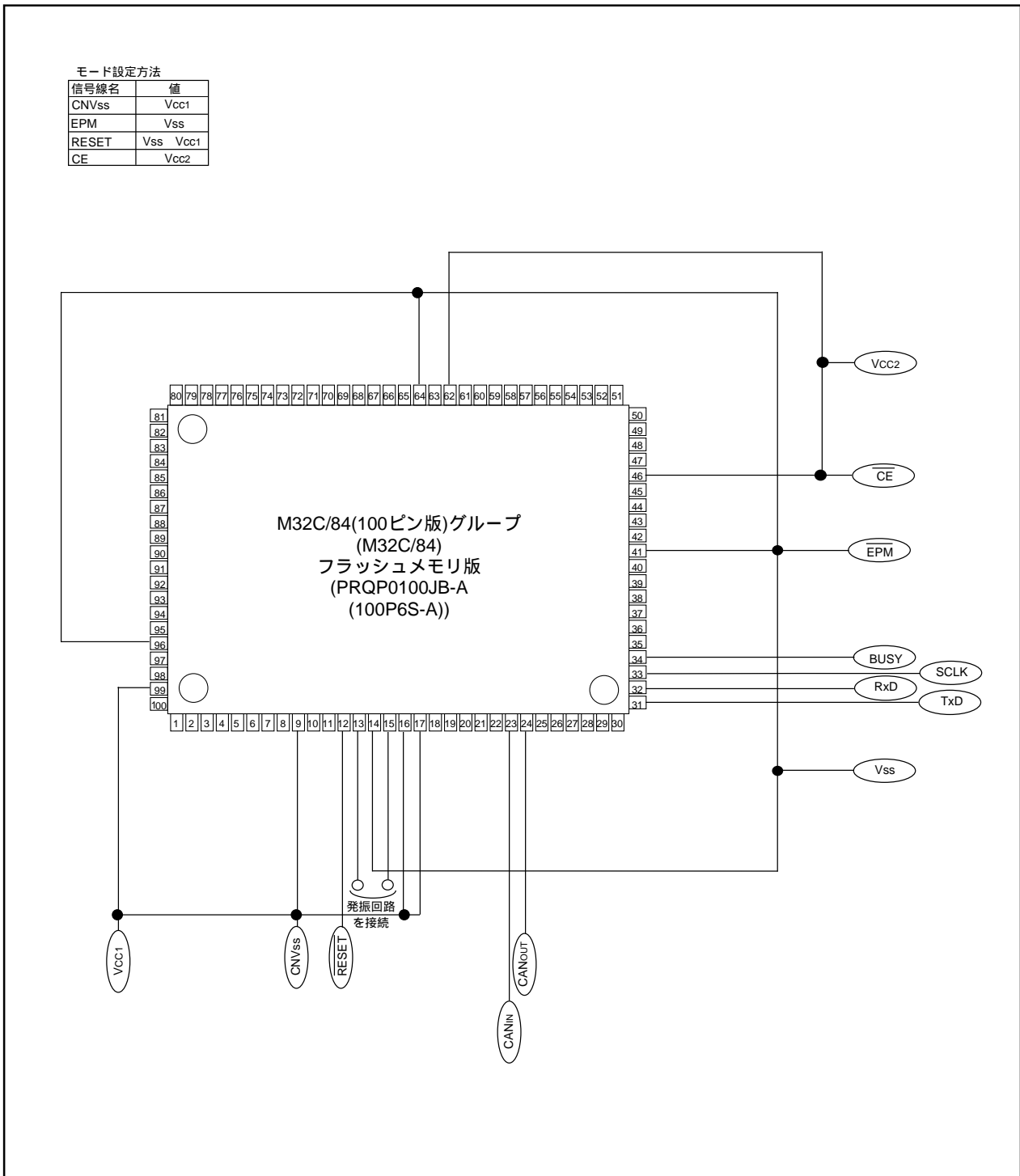


図25.14 標準シリアル入出力モード時の端子結線図(1)

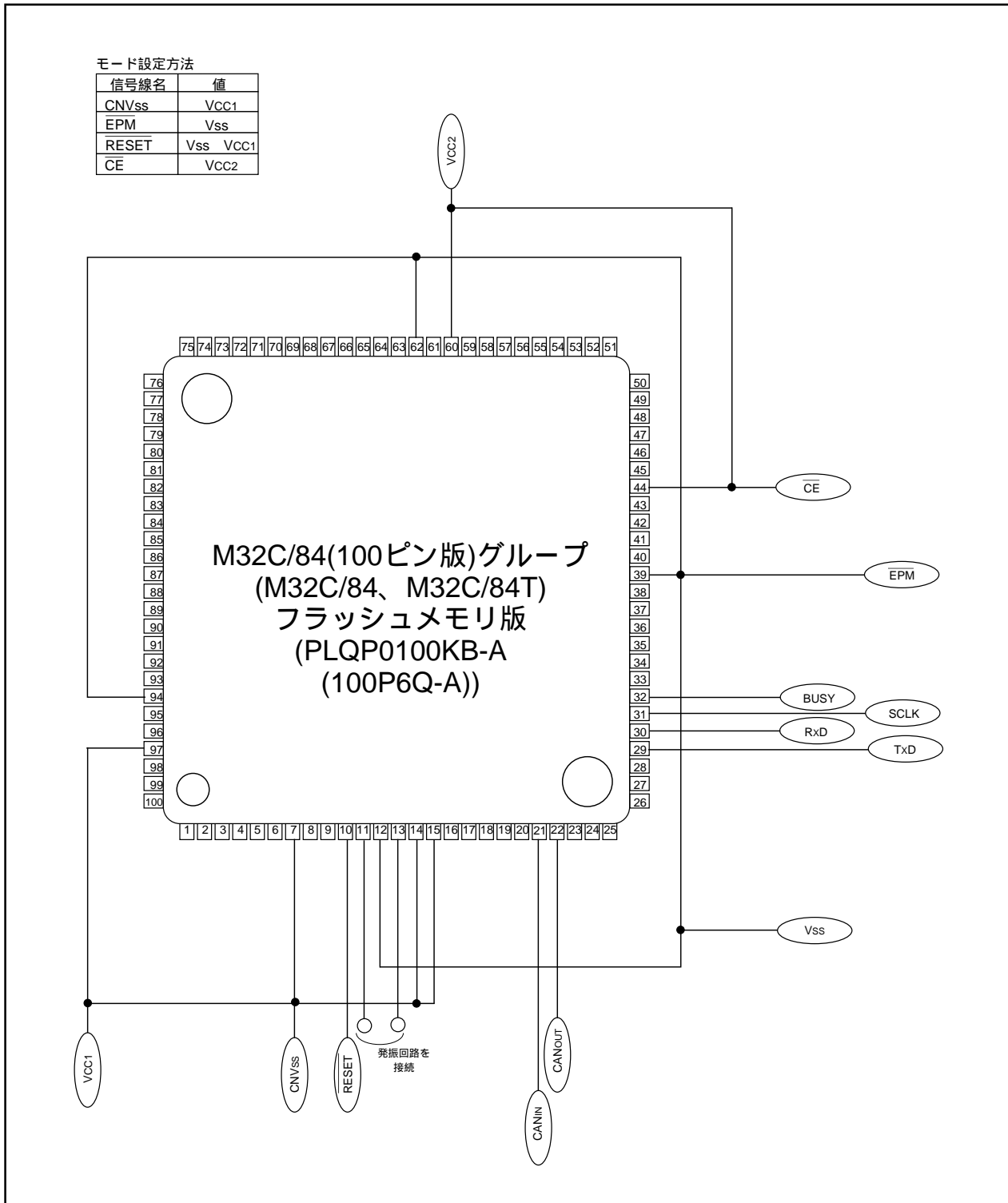


図25.15 標準シリアル入出力モード時の端子結線図(2)

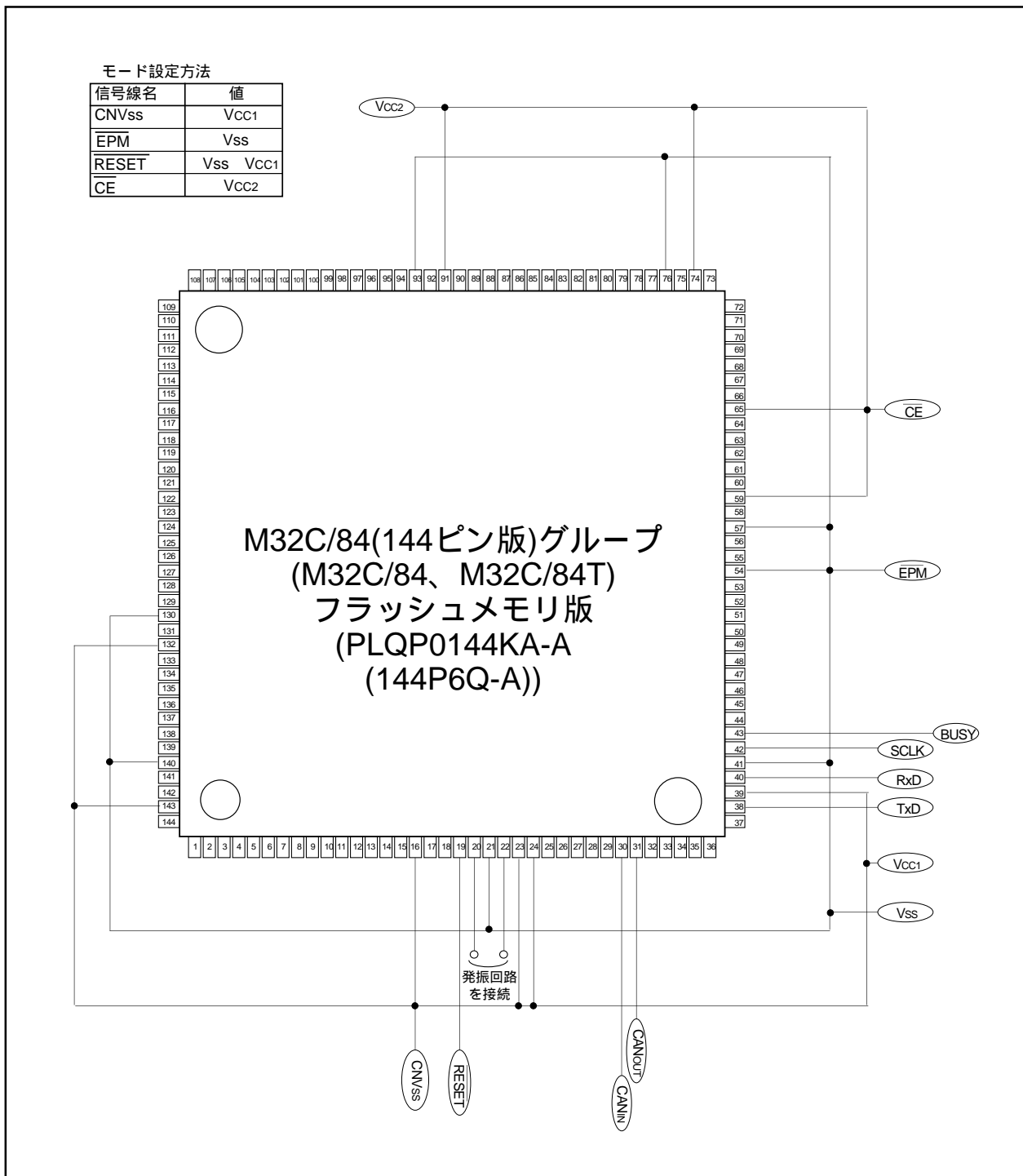


図25.16 標準シリアル入出力モード時の端子結線図(3)

25.4.2 標準シリアル入出力モード時の端子処理例

図25.17に標準シリアル入出力モード1を使用する場合の端子処理例、図25.18に標準シリアル入出力モード2を使用する場合の端子処理例、図25.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが異なりますので、詳細はライターのマニュアルを参照してください。

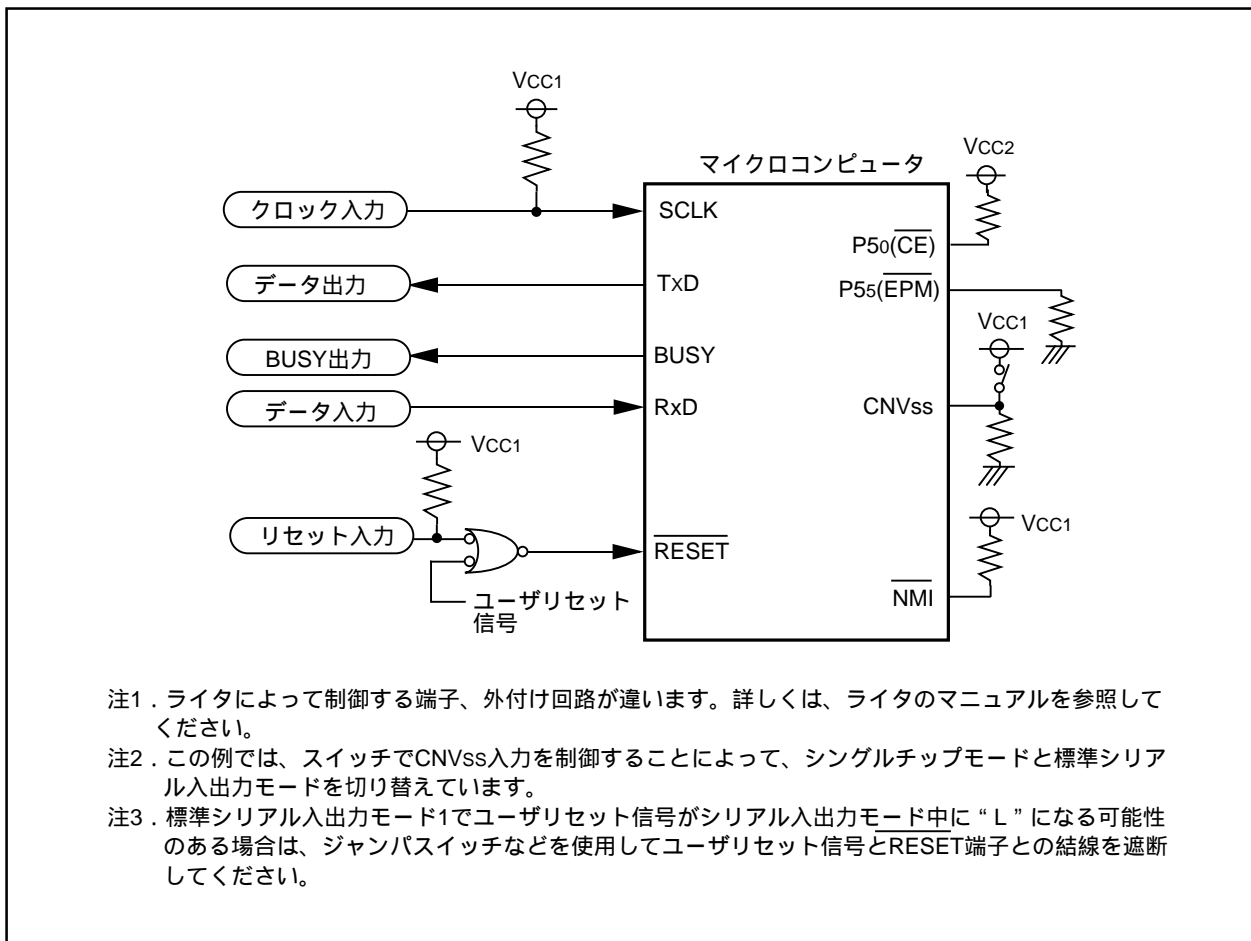


図25.17 標準シリアル入出力モード1の端子処理例

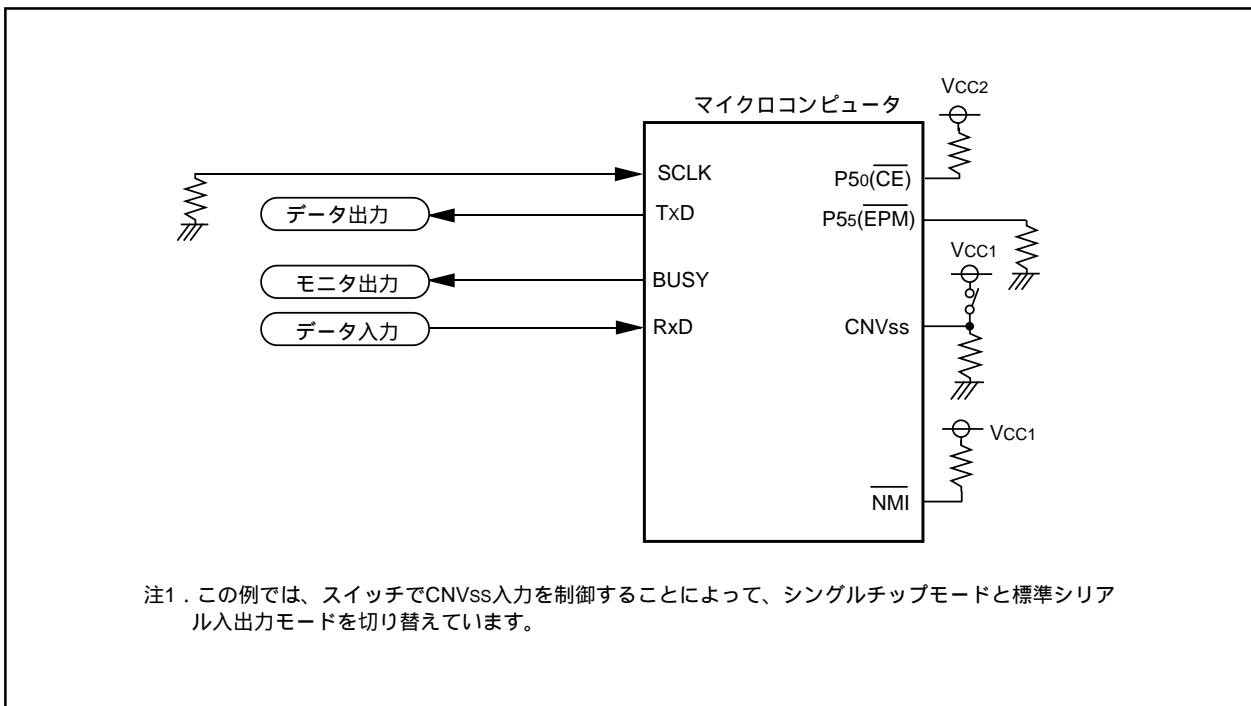


図25.18 標準シリアル入出力モード2の端子処理例

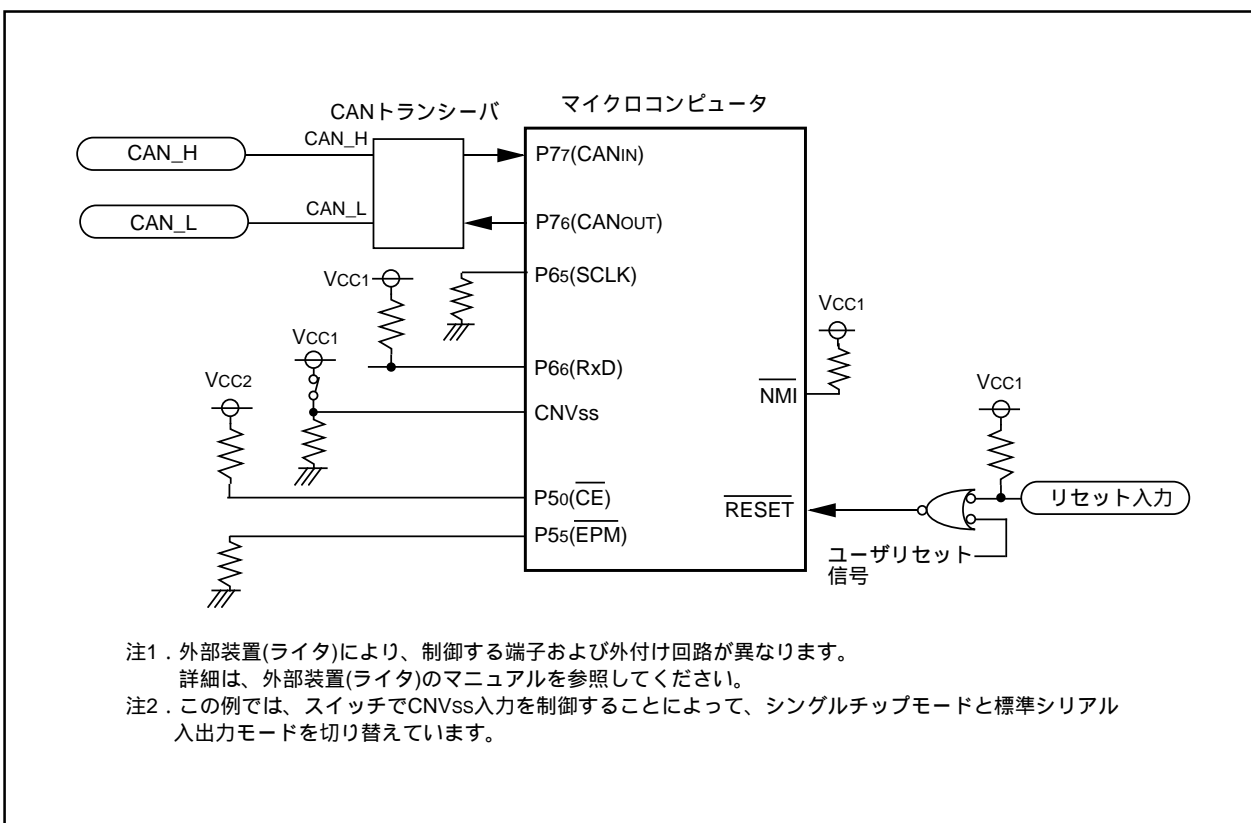


図25.19 標準シリアル入出力モード3の端子処理例

25.5 パラレル入出力モード

パラレル入出力モードでは、M32C/84グループ(M32C/84、M32C/84T)に対応したパラレルライターを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

25.5.1 ブートROM領域

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域には、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えしないでください。

ブートROM領域は、パラレル入出力モードでは、FFF000₁₆ ~ FFFFFFF₁₆ 番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(FFF000₁₆ ~ FFFFFFF₁₆番地以外へはアクセスしないでください)。

25.5.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「25.2 フラッシュメモリ書き換え禁止機能」参照)。

26. 電気的特性

26.1 電気的特性(M32C/84)

表26.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧		V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _{CC2}	電源電圧		-	-0.3 ~ V _{CC1}	V
AV _{CC}	アナログ電源電圧		V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _i	入力電圧	RESET, CNV _{SS} , BYTE, P ₆₀ ~ P ₆₇ , P ₇₂ ~ P ₇₇ , P ₈₀ ~ P ₈₇ , P ₉₀ ~ P ₉₇ , P ₁₀₀ ~ P ₁₀₇ , P ₁₄₀ ~ P ₁₄₆ , P ₁₅₀ ~ P ₁₅₇ (注1), V _{REF} , X _{IN}		-0.3 ~ V _{CC1} +0.3	V
		P ₀₀ ~ P ₀₇ , P ₁₀ ~ P ₁₇ , P ₂₀ ~ P ₂₇ , P ₃₀ ~ P ₃₇ , P ₄₀ ~ P ₄₇ , P ₅₀ ~ P ₅₇ , P ₁₁₀ ~ P ₁₁₄ , P ₁₂₀ ~ P ₁₂₇ , P ₁₃₀ ~ P ₁₃₇ (注1)		-0.3 ~ V _{CC2} +0.3	V
		P ₇₀ , P ₇₁		-0.3 ~ 6.0	V
V _o	出力電圧	P ₆₀ ~ P ₆₇ , P ₇₂ ~ P ₇₇ , P ₈₀ ~ P ₈₄ , P ₈₆ , P ₈₇ , P ₉₀ ~ P ₉₇ , P ₁₀₀ ~ P ₁₀₇ , P ₁₄₀ ~ P ₁₄₆ , P ₁₅₀ ~ P ₁₅₇ (注1), X _{OUT}		-0.3 ~ V _{CC1} +0.3	V
		P ₀₀ ~ P ₀₇ , P ₁₀ ~ P ₁₇ , P ₂₀ ~ P ₂₇ , P ₃₀ ~ P ₃₇ , P ₄₀ ~ P ₄₇ , P ₅₀ ~ P ₅₇ , P ₁₁₀ ~ P ₁₁₄ , P ₁₂₀ ~ P ₁₂₇ , P ₁₃₀ ~ P ₁₃₇ (注1)		-0.3 ~ V _{CC2} +0.3	V
		P ₇₀ , P ₇₁		-0.3 ~ 6.0	V
P _d	消費電力		T _{opr} =25	500	mW
T _{opr}	動作周囲温度	マイコン動作時		-20 ~ 85/ -40 ~ 85(注2)	
		フラッシュ書き込み消去時		0 ~ 60	
T _{stg}	保存温度			-65 ~ 150	

注1 . ポートP11 ~ P15は144ピン版のみ存在します。

注2 . -40 ~ 85 をご使用になる場合は、その旨をご指定ください。

表26.2 推奨動作条件 (1) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr} = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC1}, V_{CC2}	電源電圧(V_{CC1} V_{CC2})	3.0	5.0	5.5	V
AV_{CC}	アナログ電源電圧		V_{CC1}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	“H” 入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P110 ~ P114, P120 ~ P127, P130 ~ P137(注4) P60 ~ P67, P72 ~ P77, P80 ~ P87(注3), P90 ~ P97, P100 ~ P107, P140 ~ P146, P150 ~ P157(注4), X_{IN} , \overline{RESET} , CNV_{SS} , BYTE P70, P71 P00 ~ P07, P10 ~ P17 (シングルチップモード時) P00 ~ P07, P10 ~ P17 (メモリ拡張、マイクロプロセッサモード時)	0.8 V_{CC2}		V_{CC2}	V
		0.8 V_{CC1}		V_{CC1}	
		0.8 V_{CC1}		6.0	
		0.8 V_{CC2}		V_{CC2}	V
		0.5 V_{CC2}		V_{CC2}	V
V_{IL}	“L” 入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P110 ~ P114, P120 ~ P127, P130 ~ P137(注4) P60 ~ P67, P70 ~ P77, P80 ~ P87(注3), P90 ~ P97, P100 ~ P107, P140 ~ P146, P150 ~ P157(注4), X_{IN} , \overline{RESET} , CNV_{SS} , BYTE P00 ~ P07, P10 ~ P17 (シングルチップモード時) P00 ~ P07, P10 ~ P17 (メモリ拡張、マイクロプロセッサモード時)	0		0.2 V_{CC2}	V
		0		0.2 V_{CC1}	
		0		0.2 V_{CC2}	V
		0		0.16 V_{CC2}	V
$I_{OH(peak)}$	“H” 尖頭出力 電流(注2)	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注4)		-10.0	mA
$I_{OH(avg)}$	“H” 平均出力 電流(注1)	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注4)		-5.0	mA
$I_{OL(peak)}$	“L” 尖頭出力 電流(注2)	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注4)		10.0	mA
$I_{OL(avg)}$	“L” 平均出力 電流(注1)	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注4)		5.0	mA

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15の $I_{OL(peak)}$ の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80~P84, P12, P13の $I_{OL(peak)}$ の合計は80mA以下、ポートP0, P1, P2, P11の $I_{OH(peak)}$ の合計は40mA以下、ポートP86~P87, P9, P10, P14, P15の $I_{OH(peak)}$ の合計は40mA以下、ポートP3, P4, P5, P12, P13の $I_{OH(peak)}$ の合計は40mA以下、ポートP6, P7, P80~P84の $I_{OH(peak)}$ の合計は40mA以下にして下さい。

注3．P87の V_{IH} 、 V_{IL} はP87をプログラブル入力ポートとして使用する場合の規格であり、 X_{CIN} として使用する場合の規格ではありません。

注4．ポートP11~P15は144ピン版のみ存在します。

表26.2 推奨動作条件 (2) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr}= -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
f(BCLK)	CPU動作周波数	$V_{CC1}=4.2 \sim 5.5V$	0		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0		24	
f(XIN)	メインクロック入力発振周波数	$V_{CC1}=4.2 \sim 5.5V$	0		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0		24	
f(XCIN)	サブクロック発振周波数		32.768		50	KHz
f(Ring)	オンチップオシレータ発振周波数 ($V_{CC1}=V_{CC2}=5.0V$, $T_{opr}=25$)	0.5	1		2	MHz
f(PLL)	PLLクロック発振周波数	$V_{CC1}=4.2 \sim 5.5V$	10		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	10		24	
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	$V_{CC1}=5.0V$			5	ms
		$V_{CC1}=3.3V$			10	ms

$$V_{CC1}=V_{CC2}=5V$$

表26.3 電気的特性 (1)

(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{OH}	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P110 ~ P114, P120 ~ P127, P130 ~ P137	I _{OH} =-5mA	V _{CC2} -2.0		V _{CC2}	V	
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P140 ~ P146, P150 ~ P157 ^(注1)	I _{OH} =-5mA	V _{CC1} -2.0		V _{CC1}		
	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P110 ~ P114, P120 ~ P127, P130 ~ P137	I _{OH} =-200μA	V _{CC2} -0.3		V _{CC2}	V	
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P140 ~ P146, P150 ~ P157 ^(注1)	I _{OH} =-200μA	V _{CC1} -0.3		V _{CC1}		
	X _{OUT}	I _{OH} =-1mA	3.0		V _{CC1}	V		
	X _{COUT}	HIGHPOWER	無負荷時		2.5		V	
	LOWPOWER	無負荷時		1.6		V		
V _{OL}	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1)	I _{OL} =5mA			2.0	V	
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1)	I _{OL} =200μA			0.45		V
	X _{OUT}	I _{OL} =1mA			2.0	V		
	X _{COUT}	HIGHPOWER	無負荷時		0		V	
		LOWPOWER	無負荷時		0		V	
	V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0 _{IN} ~ TA4 _{IN} , TB0 _{IN} ~ TB5 _{IN} , INT0 ~ INT5, AD _{TRG} , CTS0 ~ CTS4, CLK0 ~ CLK4, TA0 _{OUT} ~ TA4 _{OUT} , NMI, K _{I0} ~ K _{I3} , RxD0 ~ RxD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0	V
RESET				0.2		1.8	V	
I _{IH}	“H”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , X _{IN} , RESET, CNV _{SS} , BYTE	V _I =5V			5.0	μA	
I _{IL}	“L”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , X _{IN} , RESET, CNV _{SS} , BYTE	V _I =0V			-5.0	μA	
R _{PULLUP}	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1)	V _I =0V	フラッシュメモリ版	30	50	167	kΩ
				マスクROM版	20	40	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}				1.5	MΩ	
R _{fXCIN}	帰還抵抗	X _{CIN}				10	MΩ	
V _{RAM}	RAM保持電圧	ストップモード時		2.0			V	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

表26.3 電気的特性 (2)

(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流	シングルチップモードで 出力端子は開放、 その他の端子はV _{SS} に接続	f(BCLK)=32MHz、方形波、分周なし		28	45	mA	
			f(BCLK)=32kHz、低消費電力モード時、 ROM上でプログラムを実行	フラッシュ メモリ版		430		μA
				マスク ROM版		25		
			f(BCLK)=32kHz、低消費電力モード時、 RAM上でプログラムを実行 ^(注1)		25		μA	
			f(BCLK)=32kHz、ウエイトモード時、 T _{opr} =25		10		μA	
			クロック停止時、T _{opr} =25		0.8	5	μA	
			クロック停止時、T _{opr} =85			50	μA	

注1 . FMR0レジスタのFMSTPビットを"1"(フラッシュメモリ停止)にしたときの値。

$$V_{CC1}=V_{CC2}=5V$$

表26.4 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=AV_{CC}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$,
 $T_{opr} = -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	$V_{REF}=V_{CC1}$			10	Bits	
INL	積分非直線性誤差	$V_{REF}=V_{CC1}=V_{CC2}=5V$	AN ₀ - AN ₇ AN ₀₀ - AN ₀₇ AN ₂₀ - AN ₂₇ AN ₁₅₀ - AN ₁₅₇ ANEX ₀ , ANEX ₁			±3	LSB
			外部オペアンプ 接続モード				±7
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	$V_{REF}=V_{CC1}$	8		40	kΩ	
t _{CONV}	変換時間(10bit) ^(注1、2)		2.06			μs	
t _{CONV}	変換時間(8bit) ^(注1、2)		1.75			μs	
t _{SAMP}	サンプリング時間 ^(注1)		0.188			μs	
V _{REF}	基準電圧		2		V _{CC1}	V	
V _{IA}	アナログ入力電圧		0		V _{REF}	V	

注1 . ADが16MHzのときの値です。f(X_{IN})が16MHzを超える時は分周し、ADを16MHz以下にしてください。

注2 . サンプル&ホールドあり。

表26.5 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$,
 $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{SU}	設定時間				3	μs
R _O	出力抵抗		4	10	20	kΩ
I _{VREF}	基準電源入力電流	(注1)			1.5	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDA_iレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。

AD0CON1レジスタのVCUTビットを“0”(V_{REF}未接続)にした場合でも、I_{VREF}は流れません。

$$V_{CC1}=V_{CC2}=5V$$

表26.6 フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC1}=4.5 \sim 5.5V$, $3.0 \sim 3.6V$, $T_{opr}=0 \sim 60$)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数 ^(注2)	100			回
-	ワードプログラム時間($V_{CC1}=5.0V$ 、 $T_{opr}=25$)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 ($V_{CC1}=5.0V$ 、 $T_{opr}=25$)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間 ^(注1)			$4 \times n$	s
t _{PS}	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間($T_{opr} = -40 \sim 85$)	10			年

注1 . nはイレーズするブロック数です。

注2 . プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回($n=100$)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

VCC1=VCC2=5V

表26.7 電圧検出回路の電気的特性 (指定のない場合は、VCC1=VCC2=3.0 ~ 5.5V, VSS=0V, Topr=25)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet4	電圧低下検出電圧 ^(注1)	VCC1=3.0 ~ 5.5V		3.8		V
Vdet3	リセット領域検出電圧 ^(注1)			3.0		V
Vdet3s	低電圧リセット保持電圧		2.0			V
Vdet3r	低電圧リセット解除電圧 ^(注2)			3.1		V

注1 . Vdet4>Vdet3になります。
 注2 . Vdet3r>Vdet3は保証されません。

表26.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=3.0 ~ 5.5V			2	ms
td(S-R)	電圧低下検出リセット解除待ち時間	VCC1=Vdet3r ~ 5.5V		6 ^(注1)	20	ms
td(E-A)	低電圧検出回路動作開始時間	VCC1=3.0 ~ 5.5V			20	μs

注1 . VCC1=5V時の標準値

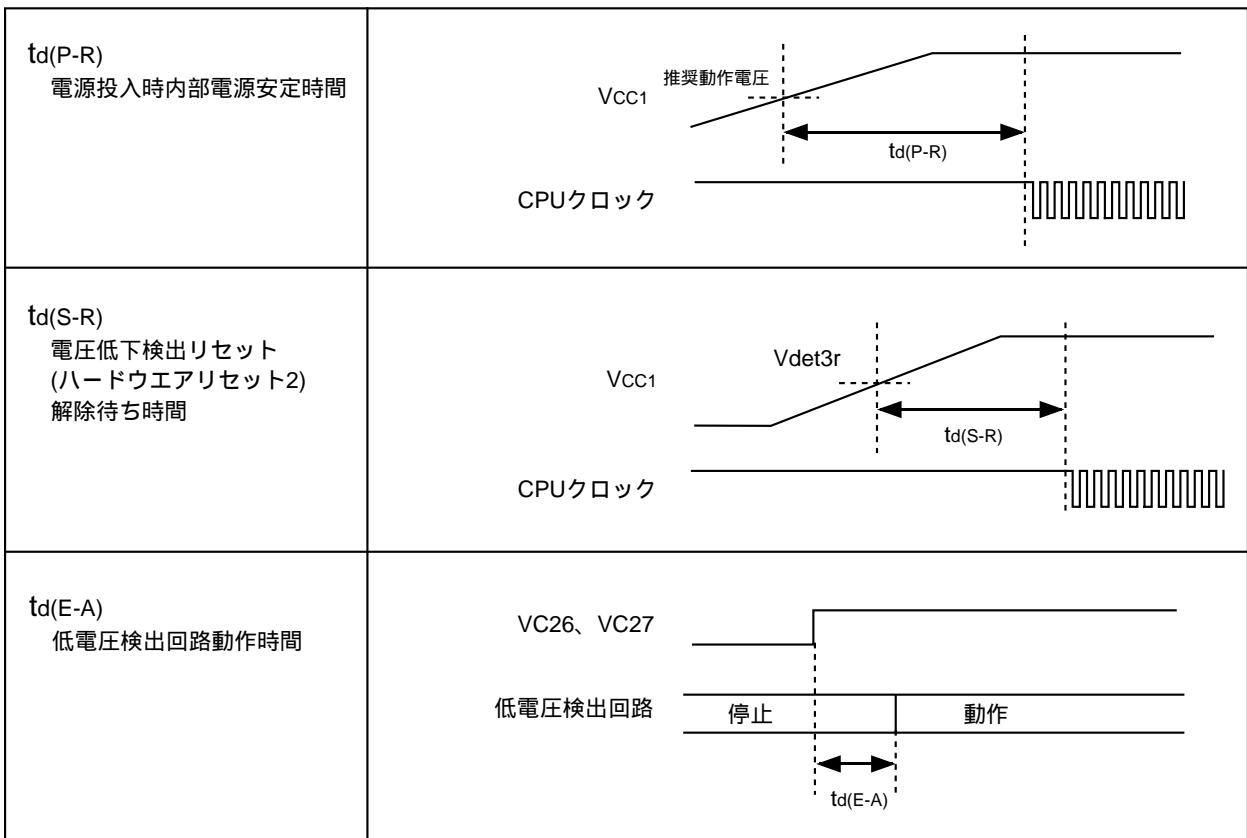


図26.1 電源回路のタイミング図

$$VCC1=VCC2=5V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $T_{opr}=-20 \sim 85$)

表26.9 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス時間	13.75		ns
tw(L)	外部クロック入力“L”パルス時間	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表26.10 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	\overline{RDY} 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1 . BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイトを入れるか、動作周波数 $f(BCLK)$ をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)+1 \text{)}$$

$$t_{ac1}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \text{ (外部領域バスサイクル } a + b \text{ の場合、 } n = a+b \text{)}$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)-1 \text{)}$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (外部領域バスサイクル } a + b \text{ の場合、 } p = \{(a+b-1) \times 2\} + 1 \text{)}$$

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表26.11 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TAiIn入力サイクル時間	100		ns
t _{w(TAH)}	TAiIn入力“H”パルス幅	40		ns
t _{w(TAL)}	TAiIn入力“L”パルス幅	40		ns

表26.12 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TAiIn入力サイクル時間	400		ns
t _{w(TAH)}	TAiIn入力“H”パルス幅	200		ns
t _{w(TAL)}	TAiIn入力“L”パルス幅	200		ns

表26.13 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TA)}	TAiIn入力サイクル時間	200		ns
t _{w(TAH)}	TAiIn入力“H”パルス幅	100		ns
t _{w(TAL)}	TAiIn入力“L”パルス幅	100		ns

表26.14 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{w(TAH)}	TAiIn入力“H”パルス幅	100		ns
t _{w(TAL)}	TAiIn入力“L”パルス幅	100		ns

表26.15 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(UP)}	TAiOUT入力サイクル時間	2000		ns
t _{w(UPH)}	TAiOUT入力“H”パルス幅	1000		ns
t _{w(UPL)}	TAiOUT入力“L”パルス幅	1000		ns
t _{SU(UP-TIN)}	TAiOUT 入力セットアップ時間	400		ns
t _{h(TIN-UP)}	TAiOUT入力ホールド時間	400		ns

$V_{CC1}=V_{CC2}=5V$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表26.16 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間 (片エッジカウント)	100		ns
t _{W(TBH)}	TB _{in} 入力 “H” パルス幅 (片エッジカウント)	40		ns
t _{W(TBL)}	TB _{in} 入力 “L” パルス幅 (片エッジカウント)	40		ns
t _{C(TB)}	TB _{in} 入力サイクル時間 (両エッジカウント)	200		ns
t _{W(TBH)}	TB _{in} 入力 “H” パルス幅 (両エッジカウント)	80		ns
t _{W(TBL)}	TB _{in} 入力 “L” パルス幅 (両エッジカウント)	80		ns

表26.17 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{W(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{W(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表26.18 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{W(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{W(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表26.19 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{C(AD)}	\overline{AD}_{TRG} 入力サイクル時間 (トリガ可能最小)	1000		ns
t _{W(ADL)}	\overline{AD}_{TRG} 入力 “L” パルス幅	125		ns

表26.20 シリアル/O

記号	項目	規格値		単位
		最小	最大	
t _{C(CX)}	CLK _i 入力サイクル時間	200		ns
t _{W(CXH)}	CLK _i 入力 “H” パルス幅	100		ns
t _{W(CXL)}	CLK _i 入力 “L” パルス幅	100		ns
t _{d(C-Q)}	TxD _i 出力遅延時間		80	ns
t _{h(C-Q)}	TxD _i ホールド時間	0		ns
t _{su(D-C)}	RxD _i 入力セットアップ時間	30		ns
t _{h(C-Q)}	RxD _i 入力ホールド時間	90		ns

表26.21 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
t _{W(INH)}	\overline{INT}_i 入力 “H” パルス幅	250		ns
t _{W(INL)}	\overline{INT}_i 入力 “L” パルス幅	250		ns

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表26.22 メモリ拡張モードおよびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)(注3)		(注1)		ns
tW(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tW(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (bx2)-1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$)

表26.23 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-5		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } m=(bx2)-1 \text{)}$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n=a \text{)}$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n=a \text{)}$$

注5. リカバリサイクル挿入時はtc時間延長されます。

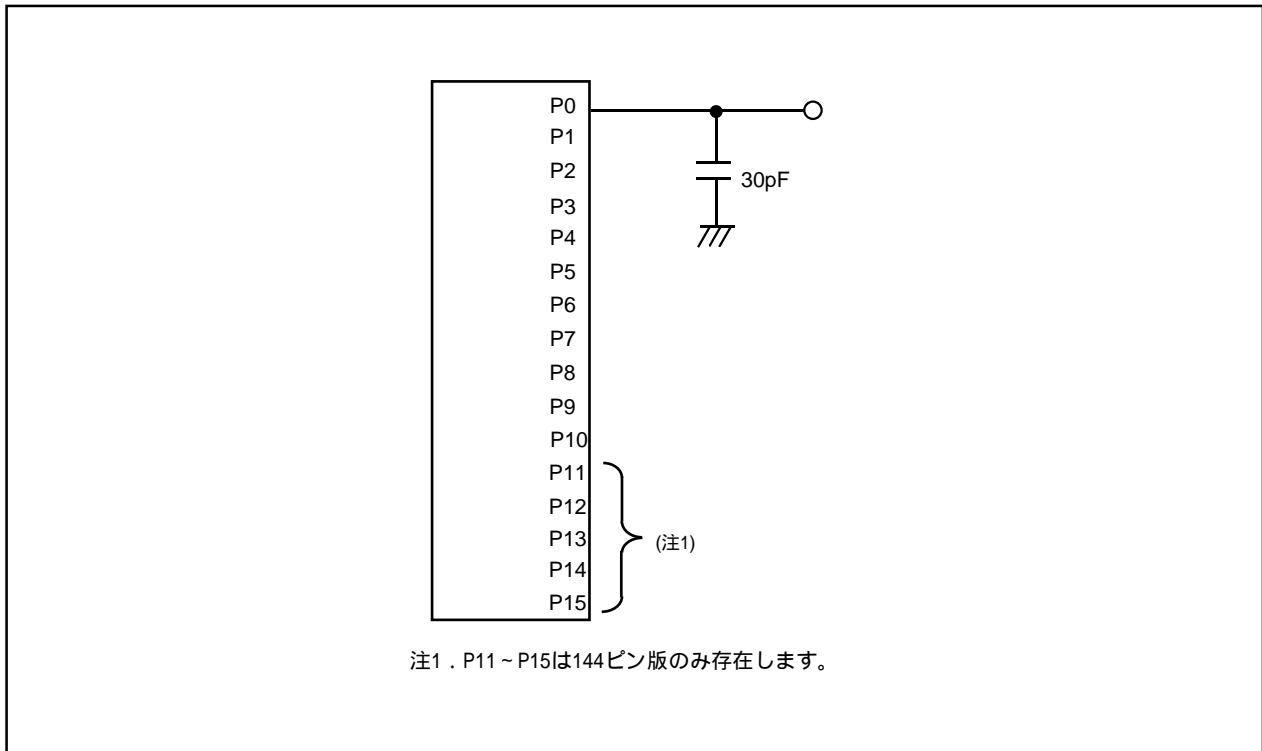
$V_{CC1}=V_{CC2}=5V$ 

図26.2 ポートP0 ~ P15の測定回路

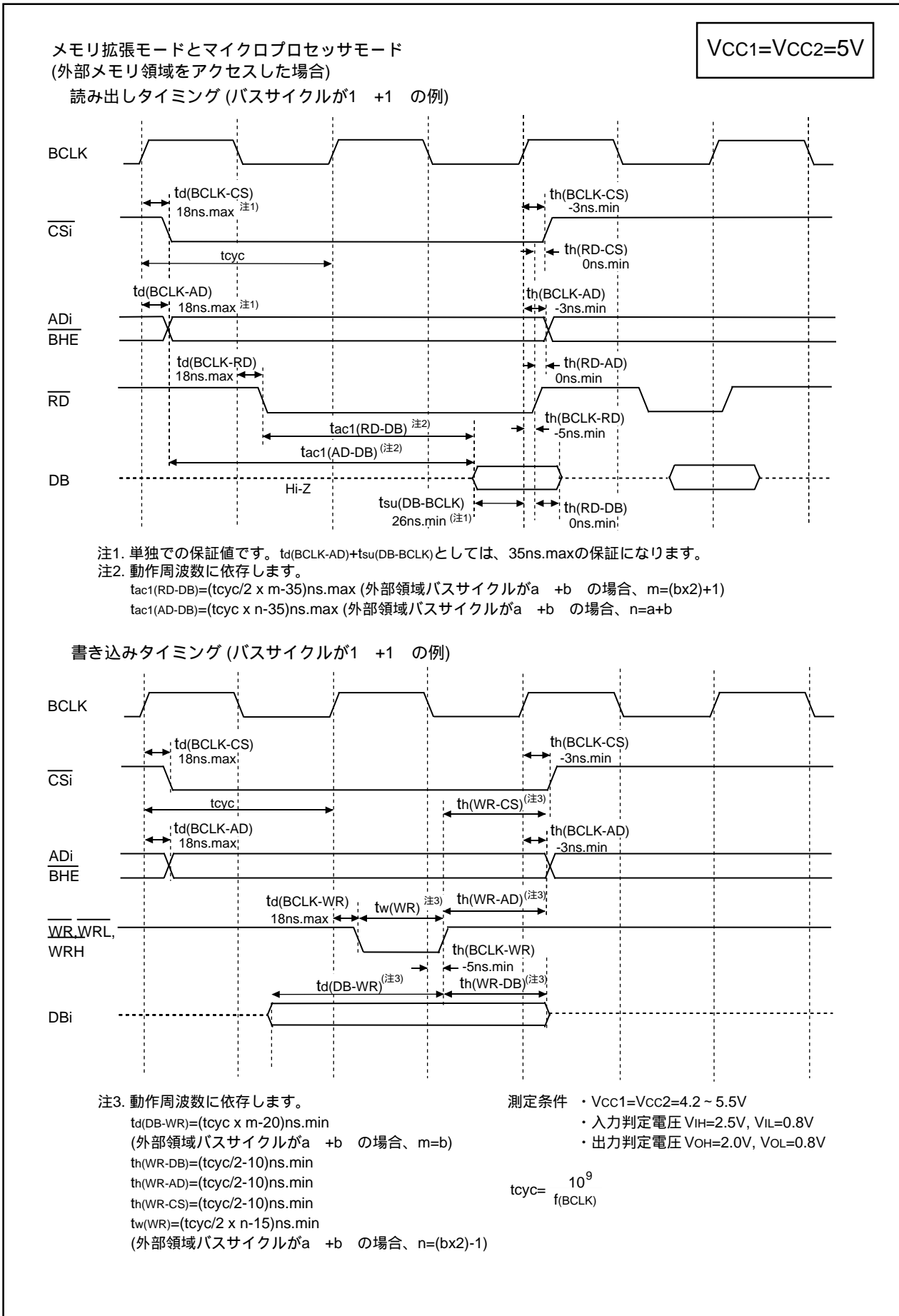


図26.3 Vcc1=Vcc2=5V時のタイミング図(1)

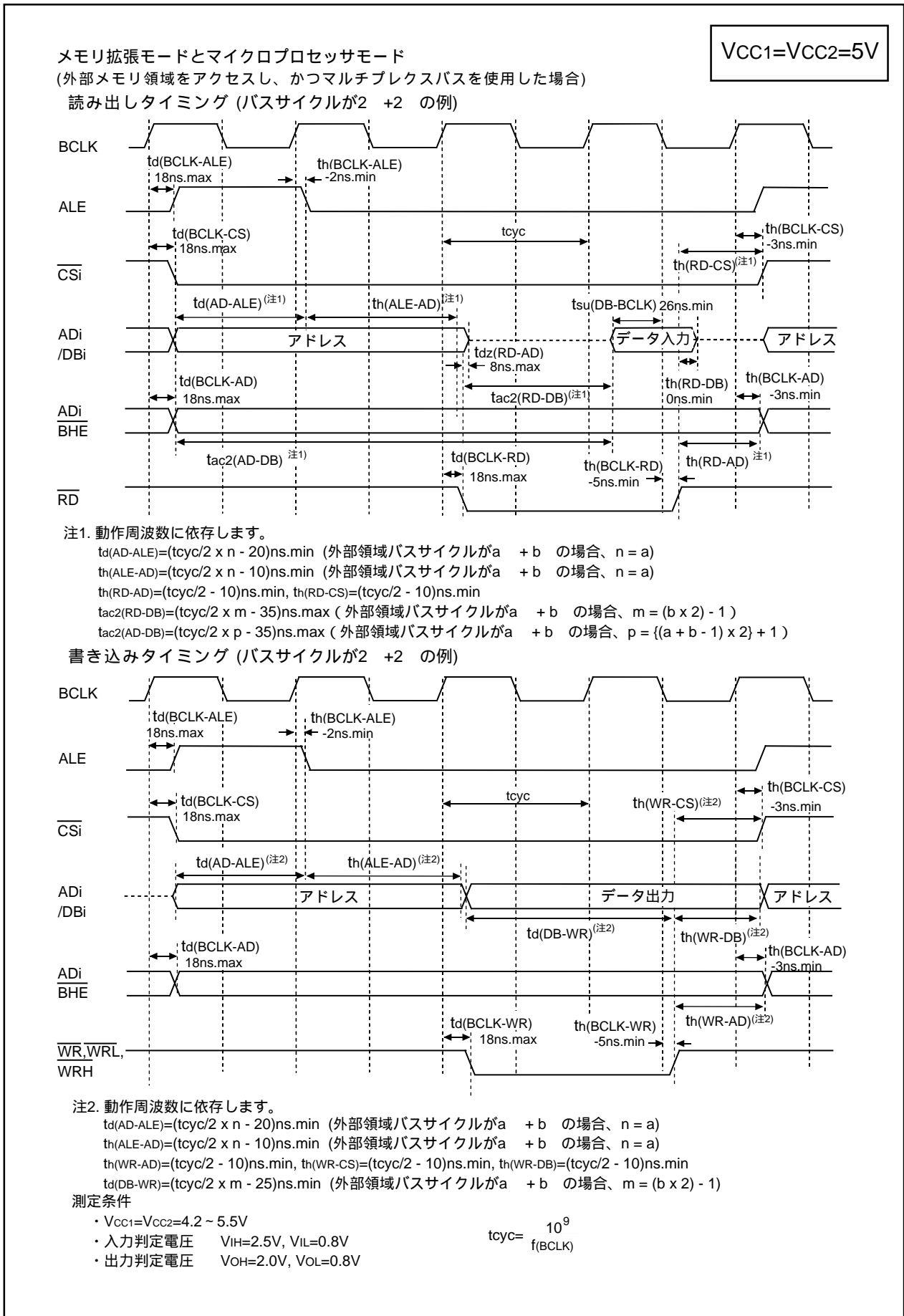


図26.4 Vcc1=Vcc2=5V時のタイミング図(2)

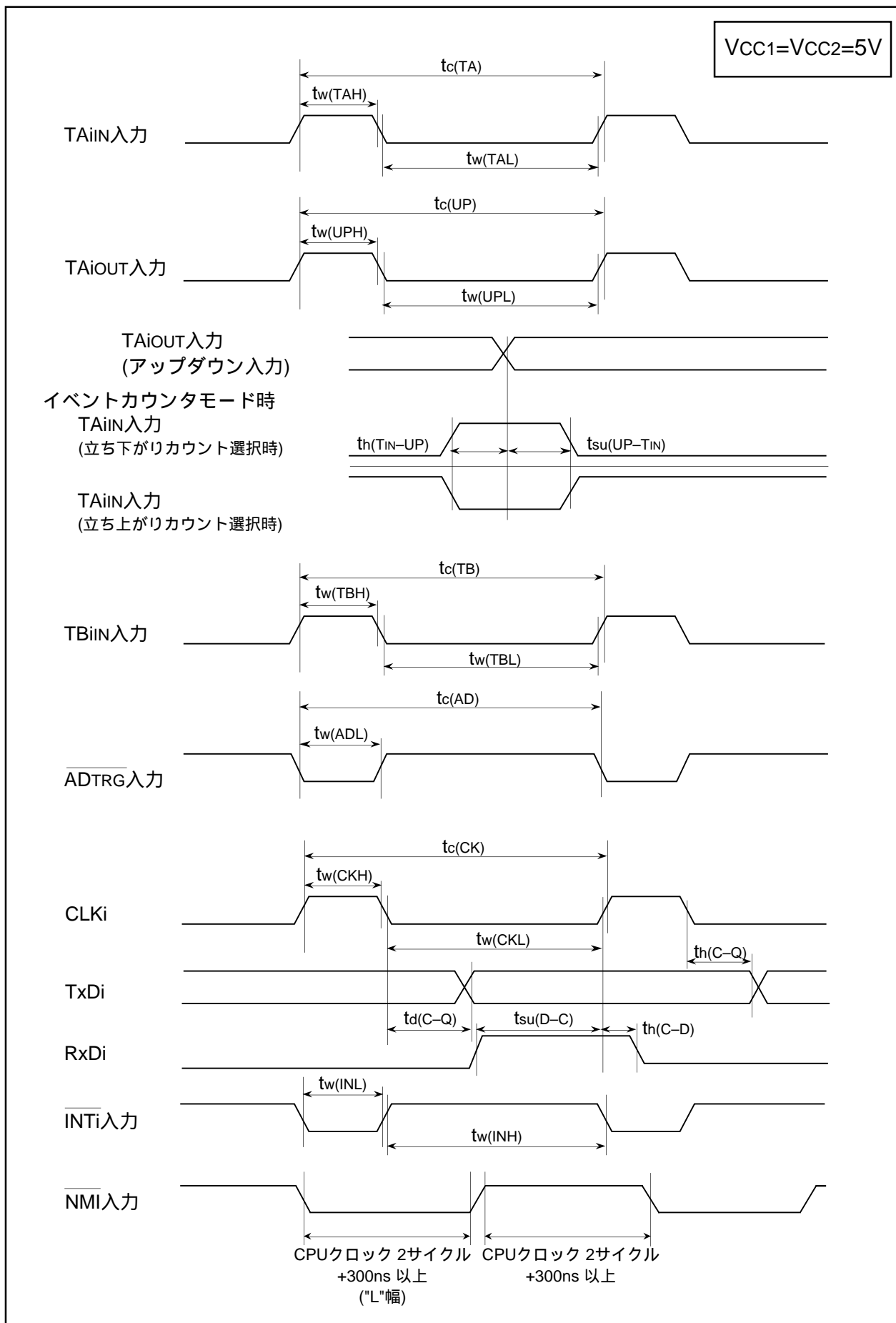
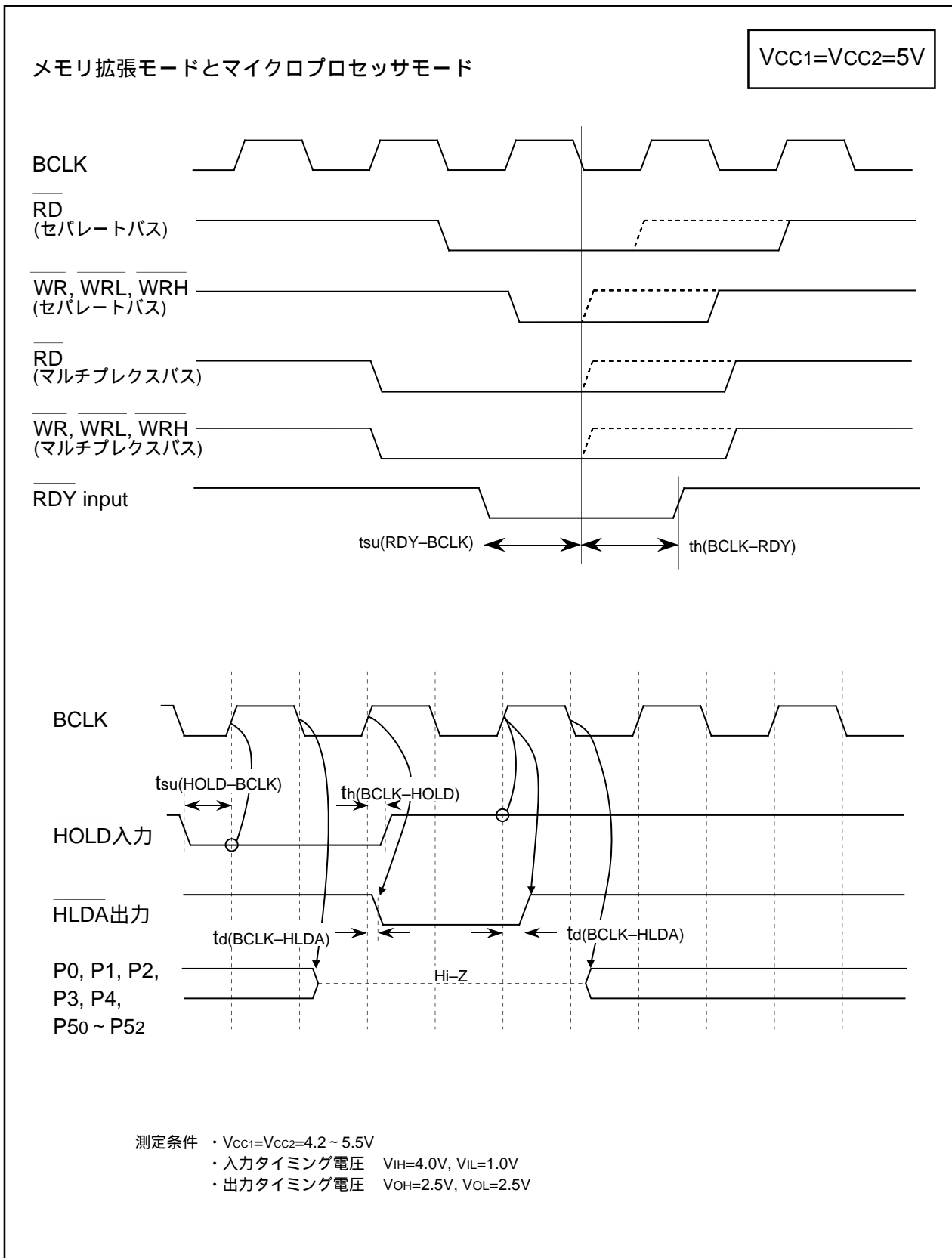


図26.5 Vcc1=Vcc2=5V時のタイミング図(3)

図26.6 $V_{CC1}=V_{CC2}=5V$ 時のタイミング図(4)

VCC1=VCC2=3.3V

表26.24 電気的特性

(指定のない場合は、VCC1=VCC2=3.0~3.6V, VSS=0V, Topr=-20~85, f(BCLK)=24MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P110~P114, P120~P127, P130~P137	IOH=-1mA	VCC2-0.6		VCC2	V	
		P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P140~P146, P150~P157(注1)	IOH=-1mA	VCC1-0.6		VCC1	V	
		XOUT	IOH=-0.1mA	2.7		VCC1	V	
		XCOUT	HIGHPOWER	無負荷時		2.5		V
LOWPOWER	無負荷時			1.6		V		
VOL	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOL=1mA			0.5	V	
		XOUT	IOL=0.1mA			0.5	V	
		XCOUT	HIGHPOWER	無負荷時		0		V
			LOWPOWER	無負荷時		0		V
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, ADTRG, CTS0~CTS4, CLK0~CLK4, TA0OUT~TA4OUT, NMI, KI0~KI3, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V	
		RESET		0.2		1.8	V	
IiH	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	Vi=3V			4.0	μA	
IiL	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	Vi=0V			-4.0	μA	
RPULLUP	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	Vi=0V	フラッシュメモリ版	66	120	500	kΩ
				マスクROM版	40	70	500	kΩ
RfXIN	帰還抵抗	XIN				3.0	MΩ	
RfXCIN	帰還抵抗	XCIN				20.0	MΩ	
VRAM	RAM保持電圧	ストップモード時			2.0		V	
ICC	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はVSSに接続	f(BCLK)=24MHz、方形波、分周なし		22	35	mA	
			f(BCLK)=32kHz、ウエイトモード時、Topr=25		10		μA	
			クロック停止時、Topr=25		0.8	5	μA	
			クロック停止時、Topr=85			50	μA	

注1. ポートP11~P15は144ピン版のみ存在します。

$$V_{CC1}=V_{CC2}=3.3V$$

表26.25 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=AV_{CC}=V_{REF}=3.0 \sim 3.6V$, $V_{SS}=AV_{SS}=0V$,
 $T_{opr} = -20 \sim 85$, $f(BCLK)=24MHz$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		$V_{REF}=V_{CC1}$			10	Bits
INL	積分非直線性誤差	S&Hなし (8bit)	$V_{CC1}=V_{CC2}=V_{REF}=3.3V$			± 2	LSB
DNL	微分非直線性誤差	S&Hなし (8bit)				± 1	LSB
-	オフセット誤差	S&Hなし (8bit)				± 2	LSB
-	ゲイン誤差	S&Hなし (8bit)				± 2	LSB
RLADDER	ラダー抵抗		$V_{REF}=V_{CC1}$	8		40	k Ω
tCONV	変換時間(8bit) ^(注1、2)			6.1			μs
VREF	基準電圧			3		V_{CC1}	V
VIA	アナログ入力電圧			0		V_{REF}	V

S&H: サンプル&ホールド

注1. ADが10MHzのときの値です。f(XIN)が10MHzを超える時は分周し、ADを10MHz以下としてください。

注2. S&Hなし。

表26.26 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=V_{REF}=3.0 \sim 3.6V$, $V_{SS}=AV_{SS}=0V$,
 $T_{opr} = -20 \sim 85$, $f(BCLK)=24MHz$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tSU	設定時間					3	μs
Ro	出力抵抗			4	10	20	k Ω
I _{VREF}	基準電源入力電流		(注1)			1.0	mA

注1. D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、I_{VREF}は流れます。

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表26.27 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス時間	18		ns
tw(L)	外部クロック入力“L”パルス時間	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表26.28 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイト入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$t_{ac1}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、} m=(b \times 2)+1)$$

$$t_{ac1}(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、} n=a+b)$$

$$t_{ac2}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、} m=(b \times 2)-1)$$

$$t_{ac2}(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、} p=\{(a+b-1) \times 2\}+1)$$

$$VCC1=VCC2=3.3V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=3.0 \sim 3.6V$, $VSS=0V$, $T_{opr}=-20 \sim 85$)

表26.29 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TA _{in} 入力サイクル時間	100		ns
$t_{W(TAH)}$	TA _{in} 入力“H”パルス幅	40		ns
$t_{W(TAL)}$	TA _{in} 入力“L”パルス幅	40		ns

表26.30 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TA _{in} 入力サイクル時間	400		ns
$t_{W(TAH)}$	TA _{in} 入力“H”パルス幅	200		ns
$t_{W(TAL)}$	TA _{in} 入力“L”パルス幅	200		ns

表26.31 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TA _{in} 入力サイクル時間	200		ns
$t_{W(TAH)}$	TA _{in} 入力“H”パルス幅	100		ns
$t_{W(TAL)}$	TA _{in} 入力“L”パルス幅	100		ns

表26.32 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TA _{in} 入力“H”パルス幅	100		ns
$t_{W(TAL)}$	TA _{in} 入力“L”パルス幅	100		ns

表26.33 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TA _{io_{ut}} 入力サイクル時間	2000		ns
$t_{W(UPH)}$	TA _{io_{ut}} 入力“H”パルス幅	1000		ns
$t_{W(UPL)}$	TA _{io_{ut}} 入力“L”パルス幅	1000		ns
$t_{SU(UP-TIN)}$	TA _{io_{ut}} 入力セットアップ時間	400		ns
$t_{H(TIN-UP)}$	TA _{io_{ut}} 入力ホールド時間	400		ns

$V_{CC1}=V_{CC2}=3.3V$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表26.34 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBin入力サイクル時間 (片エッジカウント)	100		ns
$t_{W(TBH)}$	TBin入力 “H” パルス幅 (片エッジカウント)	40		ns
$t_{W(TBL)}$	TBin入力 “L” パルス幅 (片エッジカウント)	40		ns
$t_{C(TB)}$	TBin入力サイクル時間 (両エッジカウント)	200		ns
$t_{W(TBH)}$	TBin入力 “H” パルス幅 (両エッジカウント)	80		ns
$t_{W(TBL)}$	TBin入力 “L” パルス幅 (両エッジカウント)	80		ns

表26.35 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBin入力サイクル時間	400		ns
$t_{W(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{W(TBL)}$	TBin入力 “L” パルス幅	200		ns

表26.36 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBin入力サイクル時間	400		ns
$t_{W(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{W(TBL)}$	TBin入力 “L” パルス幅	200		ns

表26.37 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{C(AD)}$	\overline{AD}_{TRG} 入力サイクル時間 (トリガ可能最小)	1000		ns
$t_{W(ADL)}$	\overline{AD}_{TRG} 入力 “L” パルス幅	125		ns

表26.38 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{C(CK)}$	CLKi入力サイクル時間	200		ns
$t_{W(CKH)}$	CLKi入力 “H” パルス幅	100		ns
$t_{W(CKL)}$	CLKi入力 “L” パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-Q)}$	RxDi入力ホールド時間	90		ns

表26.39 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 入力 “H” パルス幅	250		ns
$t_{W(INL)}$	\overline{INTi} 入力 “L” パルス幅	250		ns

$$V_{CC1}=V_{CC2}=3.3V$$

スイッチング特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表26.40 メモリ拡張モードおよびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)(注3)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (b \times 2) - 1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

$$VCC1=VCC2=3.3V$$

スイッチング特性 (指定のない場合は、 $VCC1=VCC2=3.0 \sim 3.6V$, $VSS=0V$, $Topr=-20 \sim 85$)

表26.41 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-3		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } m=(b+2)-1 \text{)}$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

注5. リカバリサイクル挿入時はtc時間延長されます。

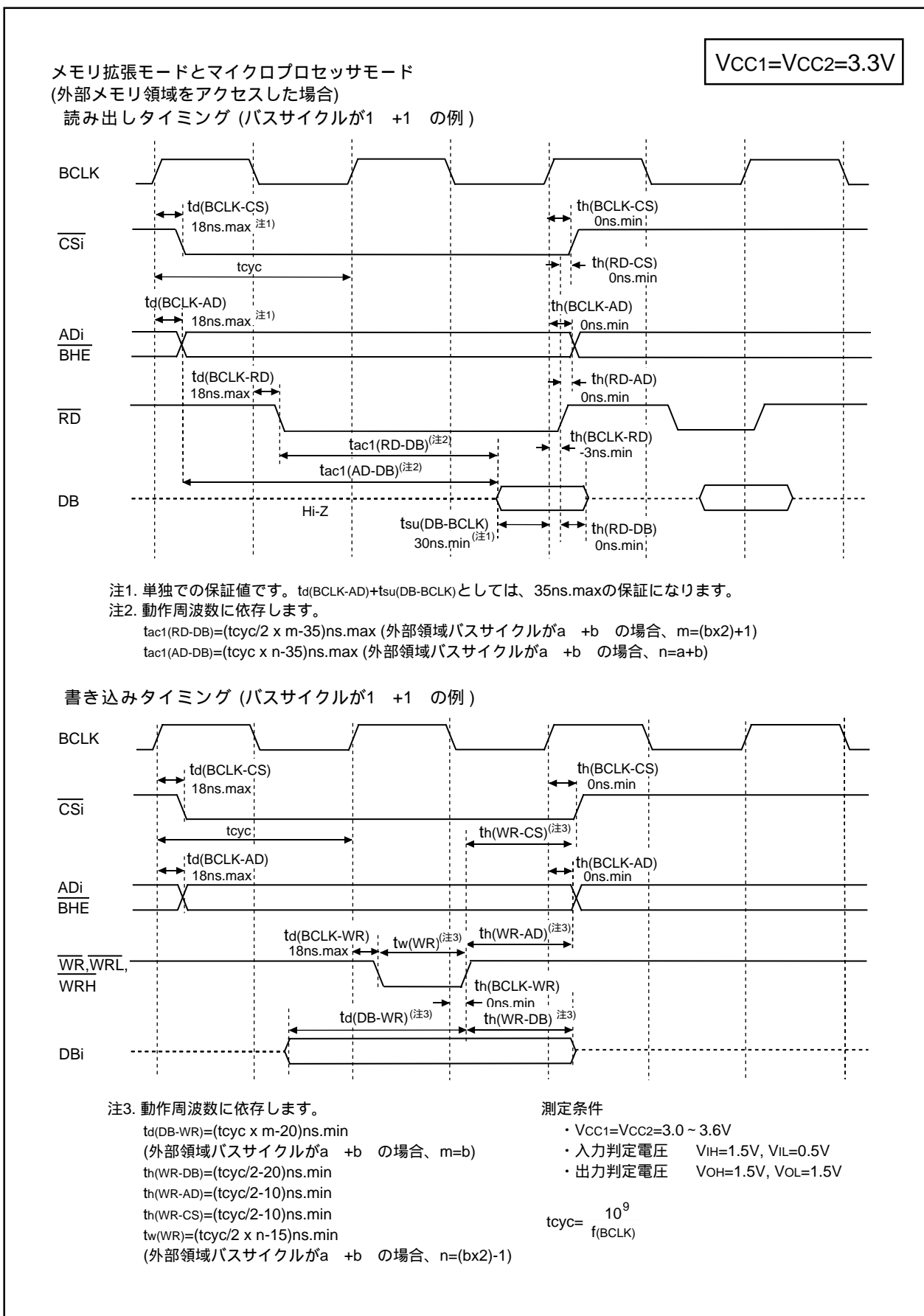


図26.7 VCC1=VCC2=3.3V時のタイミング図(1)

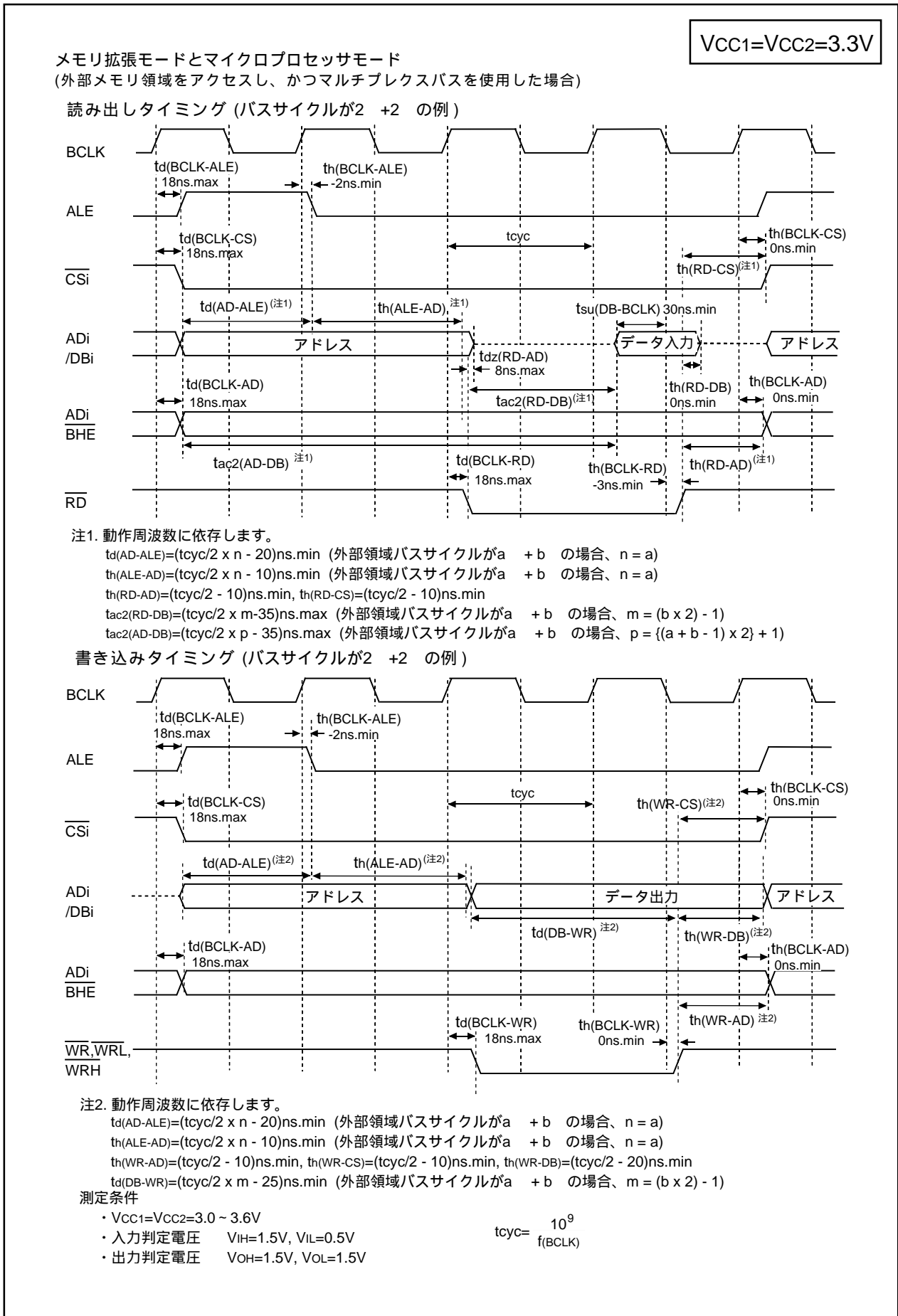


図26.8 VCC1=VCC2=3.3V時のタイミング図(2)

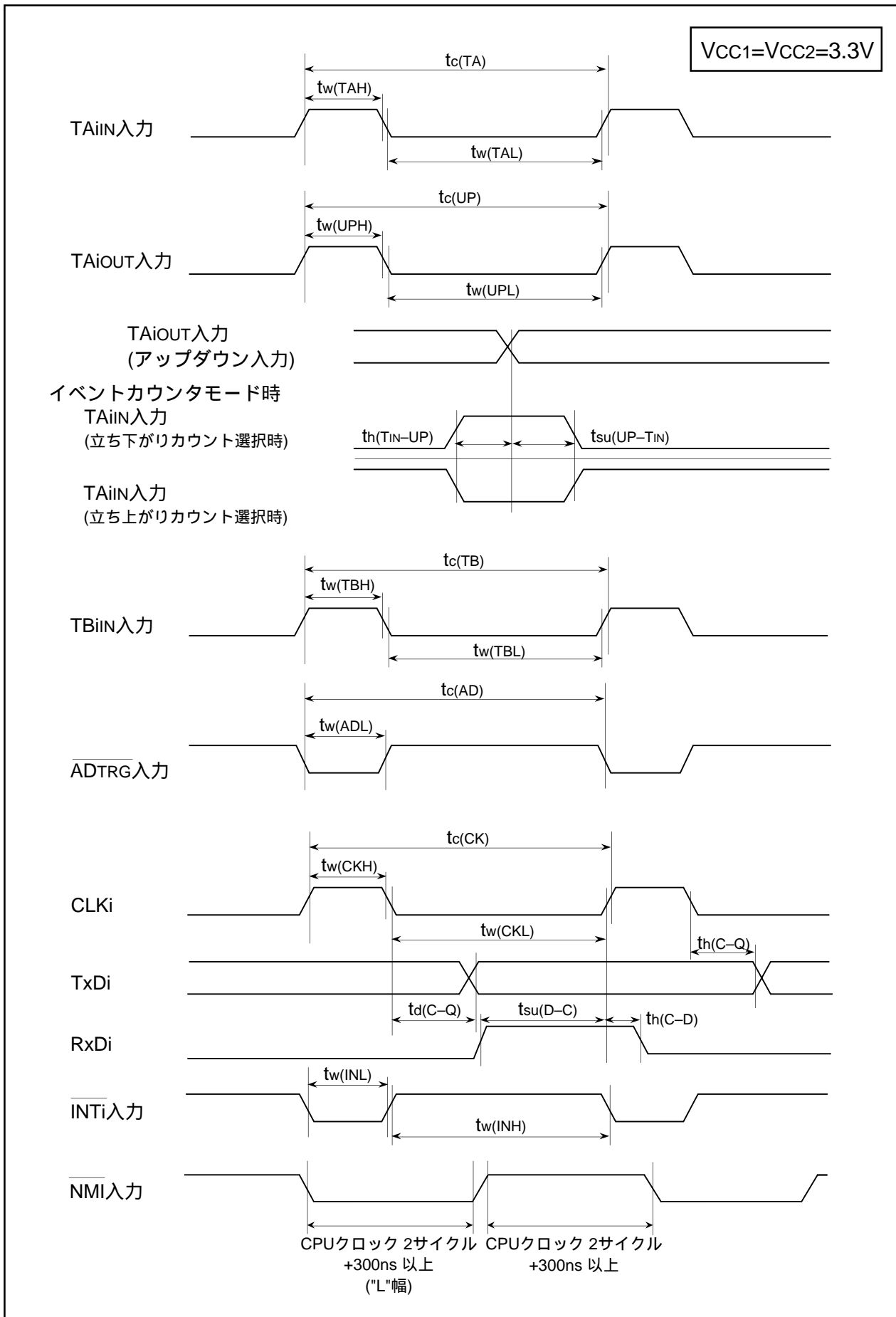


図26.9 VCC1=VCC2=3.3V時のタイミング図(3)

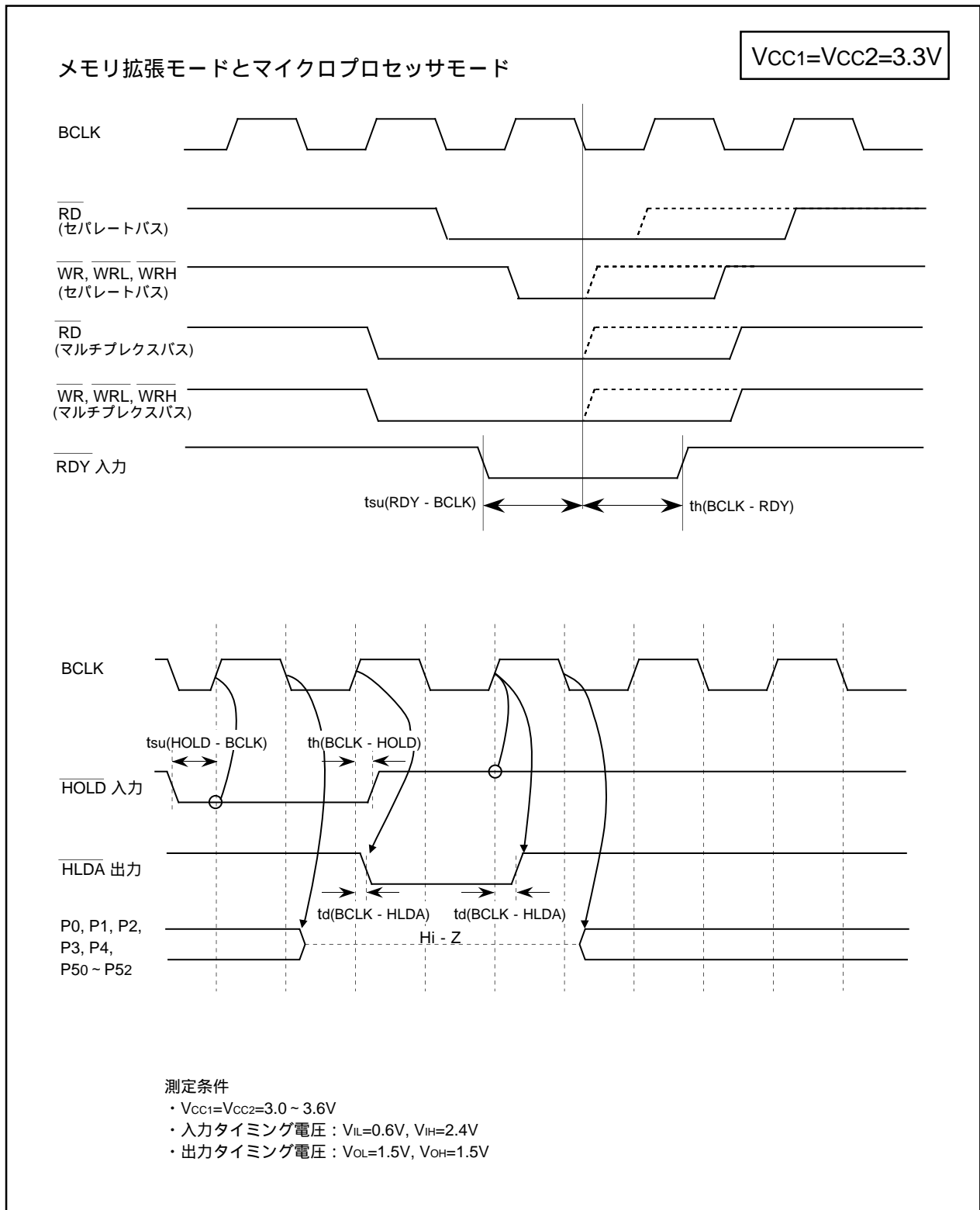


図26.10 VCC1=VCC2=3.3V時のタイミング図(4)

26.2 電気的特性(M32C/84T)

表26.42 絶対最大定格

記号	項目		条件	定格値	単位
V_{CC1}, V_{CC2}	電源電圧		$V_{CC1}=V_{CC2}=AV_{CC}$	-0.3 ~ 6.0	V
AV_{CC}	アナログ電源電圧		$V_{CC1}=V_{CC2}=AV_{CC}$	-0.3 ~ 6.0	V
V_i	入力電圧	RESET, CNV _{SS} , BYTE, P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (^{注1}), V _{REF} , X _{IN}		-0.3 ~ $V_{CC1}+0.3$	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ (^{注1})		-0.3 ~ $V_{CC2}+0.3$	V
		P7 ₀ , P7 ₁		-0.3 ~ 6.0	V
V_o	出力電圧	P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (^{注1}), X _{OUT}		-0.3 ~ $V_{CC1}+0.3$	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ (^{注1})		-0.3 ~ $V_{CC2}+0.3$	V
		P7 ₀ , P7 ₁		-0.3 ~ 6.0	V
P_d	消費電力	Tバージョン	$T_{opr}=25$	500	mW
		Uバージョン		400	
T_{opr}	動作周囲温度	マイコン動作時	Tバージョン	-40 ~ 85	
			Uバージョン	-40 ~ 105	
		フラッシュ書き込み消去時		0 ~ 60	
T_{stg}	保存温度			-65 ~ 150	

注1 . ポートP11 ~ P15は144ピン版のみ存在します。

表26.43 推奨動作条件 (1) (指定のない場合は、VCC1=VCC2=4.2~5.5V, VSS=0V, Topr=-40~85 (Tバージョン)/-40~105 (Uバージョン))

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧(VCC1 VCC2)	4.2	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	“H” 入力電圧	P20~P27, P30~P37, P40~P47, P50~P57, P110~P114, P120~P127, P130~P137(注4)	0.8VCC2		VCC2	V
		P60~P67, P72~P77, P80~P87(注3), P90~P97, P100~P107, P140~P146, P150~P157(注4), XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	
		P70, P71	0.8VCC1		6.0	
		P00~P07, P10~P17	0.8VCC2		VCC2	V
VIL	“L” 入力電圧	P20~P27, P30~P37, P40~P47, P50~P57, P110~P114, P120~P127, P130~P137(注4)	0		0.2VCC2	V
		P60~P67, P70~P77, P80~P87(注3), P90~P97, P100~P107, P140~P146, P150~P157(注4), XIN, RESET, CNVSS, BYTE			0.2VCC1	
		P00~P07, P10~P17	0		0.2VCC2	V
I _{OH} (peak)	“H” 尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-10.0	mA
I _{OH} (avg)	“H” 平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-5.0	mA
I _{OL} (peak)	“L” 尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			10.0	mA
I _{OL} (avg)	“L” 平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			5.0	mA

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15のI_{OL}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80~P84, P12, P13のI_{OL}(peak)の合計は80mA以下、ポートP0, P1, P2, P11のI_{OH}(peak)の合計は-40mA以下、ポートP86~P87, P9, P10, P14, P15のI_{OH}(peak)の合計は-40mA以下、ポートP3, P4, P5, P12, P13のI_{OH}(peak)の合計は-40mA以下、ポートP6, P7, P80~P84のI_{OH}(peak)の合計は-40mA以下にして下さい。

注3．P87のVIH、VILはP87をプログラブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4．ポートP11~P15は144ピン版のみ存在します。

表26.43 推奨動作条件 (2) (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
 $-40 \sim 105$ (Uバージョン))

記号	項目	規格値			単位	
		最小	標準	最大		
$f_{(CLK)}$	CPU動作周波数	$V_{CC1}=4.2 \sim 5.5V$	0	32	MHz	
$f_{(XIN)}$	メインクロック入力発振周波数	$V_{CC1}=4.2 \sim 5.5V$	0	24 ^(注1)	MHz	
$f_{(XCIN)}$	サブクロック発振周波数		32.768	50	KHz	
$f_{(Ring)}$	オンチップオシレータ発振周波数 ($V_{CC1}=V_{CC2}=5.0V$, $T_{opr}=25$)		0.5	1	2	MHz
$f_{(PLL)}$	PLLクロック発振周波数	$V_{CC1}=4.2 \sim 5.5V$	10	32	MHz	
$t_{SU(PLL)}$	PLL周波数シンセサイザ安定待ち時間	$V_{CC1}=5.0V$		5	ms	

注1 . CPUを24MHz以上の周波数で動作させる場合、ノイズによる誤動作耐量を向上させるため、PLLクロック機能を使用してください。24MHzを超える発振子を使用する場合、発振子のマッチング評価をしてください。

$$V_{CC1}=V_{CC2}=5V$$

表26.44 電気的特性 (1) (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
 $-40 \sim 105$ (Uバージョン), $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇	I _α =-5mA	V _{CC2} -2.0		V _{CC2}	V
		P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1)	I _α =-5mA	V _{CC1} -2.0		V _{CC1}	
	“H”出力電圧	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇	I _α =-200μA	V _{CC2} -0.3		V _{CC2}	V
		P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1)	I _α =-200μA	V _{CC1} -0.3		V _{CC1}	
	X _{OUT}	I _α =-1mA	3.0			V	
	X _{COUT}	HIGHPOWER	無負荷時		2.5		V
LOWPOWER		無負荷時		1.6		V	
V _{OL}	“L”出力電圧	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1)	I _α =5mA			2.0	V
		P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1)	I _α =200μA			0.45	V
	X _{OUT}	I _α =1mA			2.0	V	
	X _{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		V
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0 _{IN} ~TA4 _{IN} , TB0 _{IN} ~TB5 _{IN} , INT0~INT5, AD _{TRG} , CTS0~CTS4, CLK0~CLK4, TA0 _{OUT} ~TA4 _{OUT} , NMI, K10~K13, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
I _{IH}	“H”入力電流	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1), X _{IN} , RESET, CNV _{SS} , BYTE	V _I =5V			5.0	μA
I _{IL}	“L”入力電流	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1), X _{IN} , RESET, CNV _{SS} , BYTE	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注1)	V _I =0V	30	50	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			10		MΩ
V _{RAM}	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみ存在します。

表26.44 電気的特性 (2) (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
-40 ~ 105 (Uバージョン), $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続	f(BCLK)=32MHz、方形波、分周なし		28	50	mA
			f(BCLK)=32kHz、低消費電力モード時、ROM上でプログラムを実行		430		μA
			f(BCLK)=32kHz、低消費電力モード時、RAM上でプログラムを実行 ^(注)		25		μA
			f(BCLK)=32kHz、ウエイトモード時、T _{opr} =25		10		μA
			クロック停止時、T _{opr} =25		0.8	5	μA
			クロック停止時、T _{opr} =85			50	μA
			クロック停止時、T _{opr} =105			100	μA

注1 . FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしたときの値。

$V_{CC1}=V_{CC2}=5V$

表26.45 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
-40 ~ 105 (Uバージョン), $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	$V_{REF}=V_{CC1}$			10	Bits	
INL	積分非直線性誤差	$V_{REF}=V_{CC1}=V_{CC2}=5V$	AN ₀ - AN ₇ AN ₀₀ - AN ₀₇ AN ₂₀ - AN ₂₇ AN ₁₅₀ - AN ₁₅₇ ANEX ₀ , ANEX ₁			±3	LSB
			外部オペアンプ 接続モード			±7	LSB
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	$V_{REF}=V_{CC1}$	8		40	kΩ	
t _{CONV}	変換時間(10bit) ^(注1、2)		2.06			μs	
t _{CONV}	変換時間(8bit) ^(注1、2)		1.75			μs	
t _{SAMP}	サンプリング時間 ^(注1)		0.188			μs	
V _{REF}	基準電圧		2		V _{CC1}	V	
V _{IA}	アナログ入力電圧		0		V _{REF}	V	

注1 . ADが16MHzのときの値です。f(X_{IN})が16MHzを超える時は分周し、ADを16MHz以下にしてください。
注2 . サンプル&ホールドあり。

表26.46 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
-40 ~ 105 (Uバージョン), $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{SU}	設定時間				3	μs
R _O	出力抵抗		4	10	20	kΩ
I _{VREF}	基準電源入力電流	(注1)			1.5	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDA_iレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0”(V_{REF}未接続)にした場合でも、I_{VREF}は流れます。

$$V_{CC1}=V_{CC2}=5V$$

表26.47 フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC1}=4.5 \sim 5.5V$, $3.0 \sim 3.6V$, $T_{opr}=0 \sim 60$)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数 ^(注2)	100			回
-	ワードプログラム時間($V_{CC1}=5.0V$, $T_{opr}=25$)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 ($V_{CC1}=5.0V$, $T_{opr}=25$)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間 ^(注1)			$4 \times n$	s
tps	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間 ^(注3)	10			年

注1 . nはイレーズするブロック数です。

注2 . プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回($n=100$)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3 . Tバージョン (高信頼性85 版)の動作周囲温度は、 $-40 \sim 85$ です。

Uバージョン (高信頼性105 版)の動作周囲温度は、 $-40 \sim 105$ です。

表26.48 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	$V_{CC1}=4.2 \sim 5.5V$			2	ms

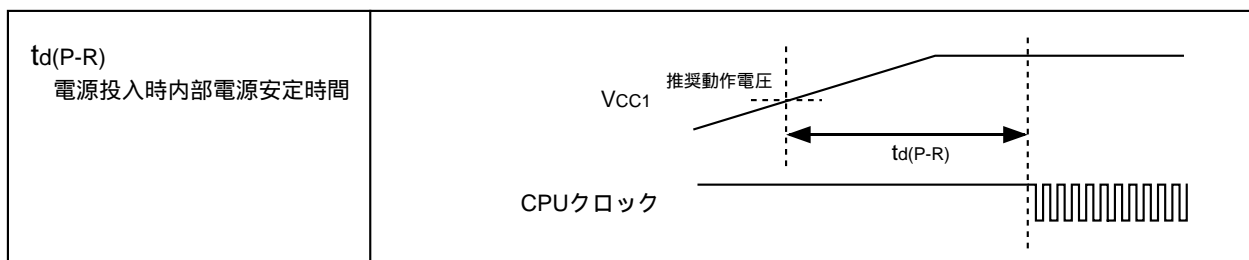


図26.11 電源回路のタイミング図

$V_{CC1}=V_{CC2}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}=-40 \sim 85$ (Tバージョン)/
 $-40 \sim 105$ (Uバージョン))

表26.49 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス時間	13.75		ns
tw(L)	外部クロック入力“L”パルス時間	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $T_{opr} = -40 \sim 85$ (Tバージョン)/
 $-40 \sim 105$ (Uバージョン))

表26.50 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

表26.51 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

表26.52 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

表26.53 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

表26.54 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -40 \sim 85$ (Tバージョン)/ $-40 \sim 105$ (Uバージョン))

表26.55 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{W(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{W(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{C(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{W(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{W(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表26.56 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{W(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{W(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表26.57 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{W(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{W(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表26.58 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{C(AD)}$	\overline{AD}_{TRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{W(ADL)}$	\overline{AD}_{TRG} 入力“L”パルス幅	125		ns

表26.59 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{C(CLK)}$	CLKi入力サイクル時間	200		ns
$t_{W(CLKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{W(CLKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-Q)}$	RxDi入力ホールド時間	90		ns

表26.60 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_{W(INL)}$	\overline{INTi} 入力“L”パルス幅	250		ns

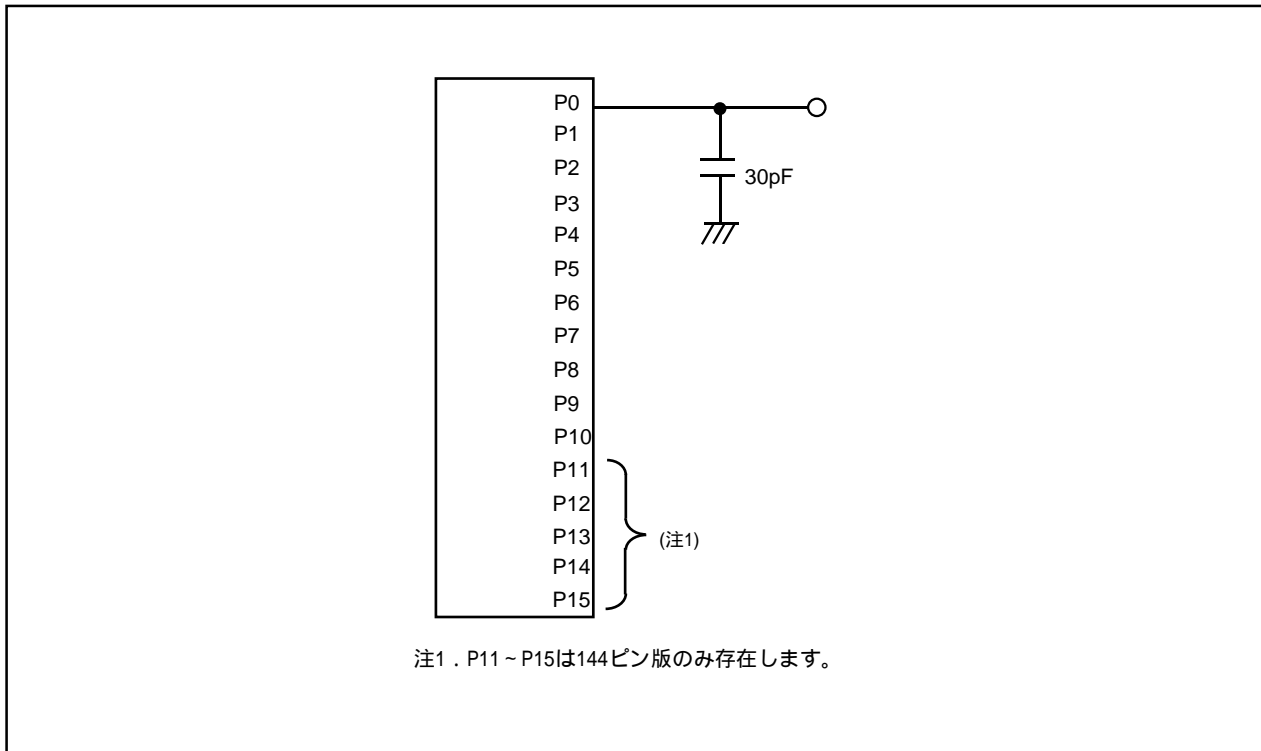
$V_{CC1}=V_{CC2}=5V$ 

図26.12 ポートP0 ~ P15の測定回路

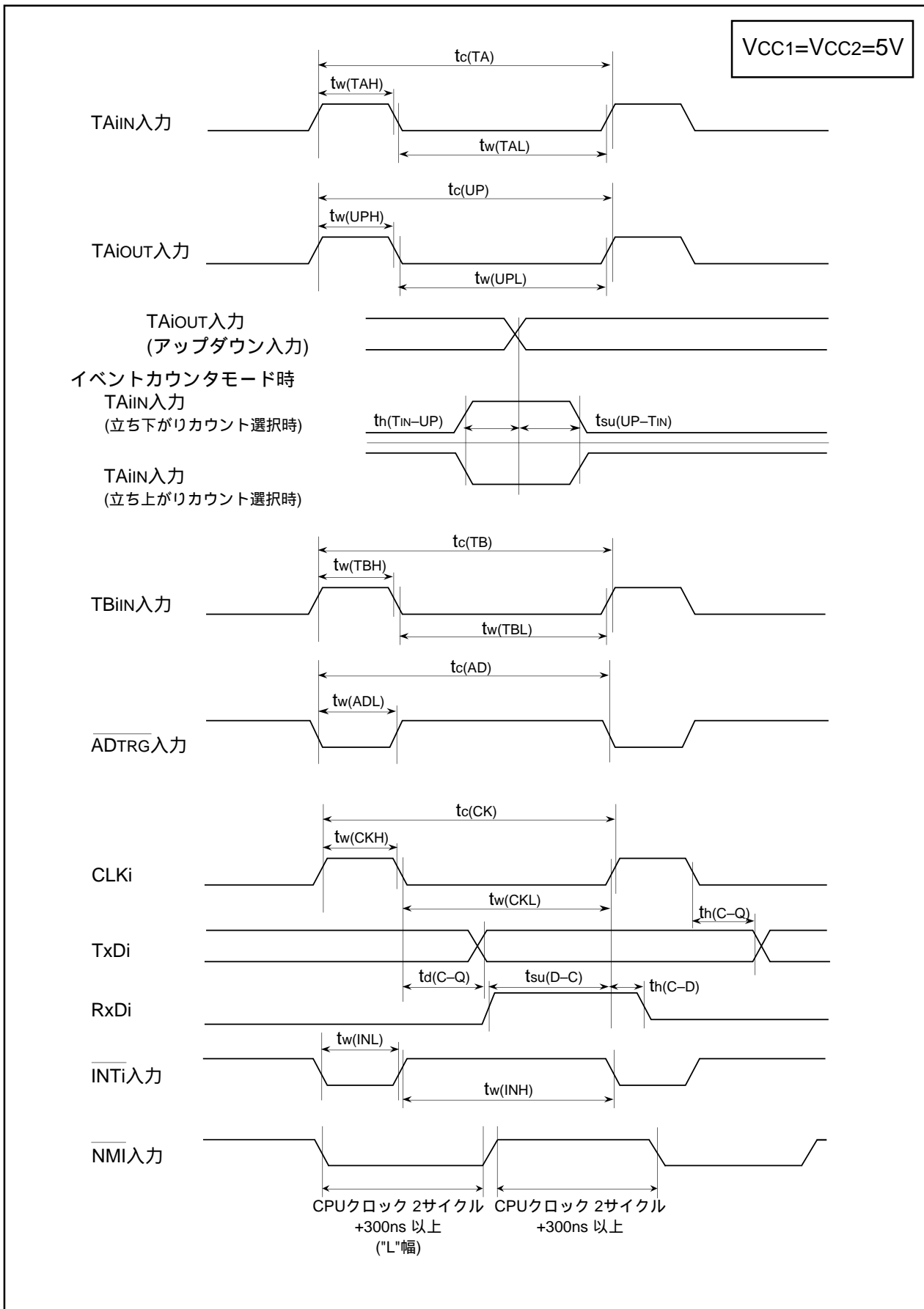


図26.13 Vcc1=Vcc2=5V時のタイミング図

27. 使用上の注意事項

27.1 M32C/84T(高信頼性版)の制限事項

M32C/84T(高信頼性版)には、次の制限事項があります。

- ・ VCC1=VCC2で使用してください。
- ・ シングルチップモードのみ使用できます。メモリ拡張モードおよびマイクロプロセッサモードは使用しないでください。
- ・ バス制御端子(A0 ~ A22、A23、D0 ~ D15、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{WRL}}$ / $\overline{\text{WR}}$ 、 $\overline{\text{WRH}}$ / $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BCLK}}$ / $\overline{\text{ALE}}$ 、 $\overline{\text{HLDA}}$ / $\overline{\text{ALE}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{RDY}}$)および $\overline{\text{BCLK}}$ 端子は使用しないでください。
- ・ 電圧検出回路は使用しないでください。また、電圧低下検出割り込みおよび電圧低下検出リセットも使用しないでください。
- ・ DSレジスタ、VCR1レジスタ、VCR2レジスタ、D4INTレジスタ、EWCR0 ~ EWCR3レジスタは使用しないでください。

27.2 リセット

電源投入時、Vcc1端子に入力される電圧がSVccの規格を満たすようにしてください。

表27.1 電源電圧立ち上がり勾配

記号	項目	規格値			単位
		最小	標準	最大	
SVcc	電源電圧立ち上がり勾配 (電圧範囲0V ~ 2.0V)	0.05			V/ms

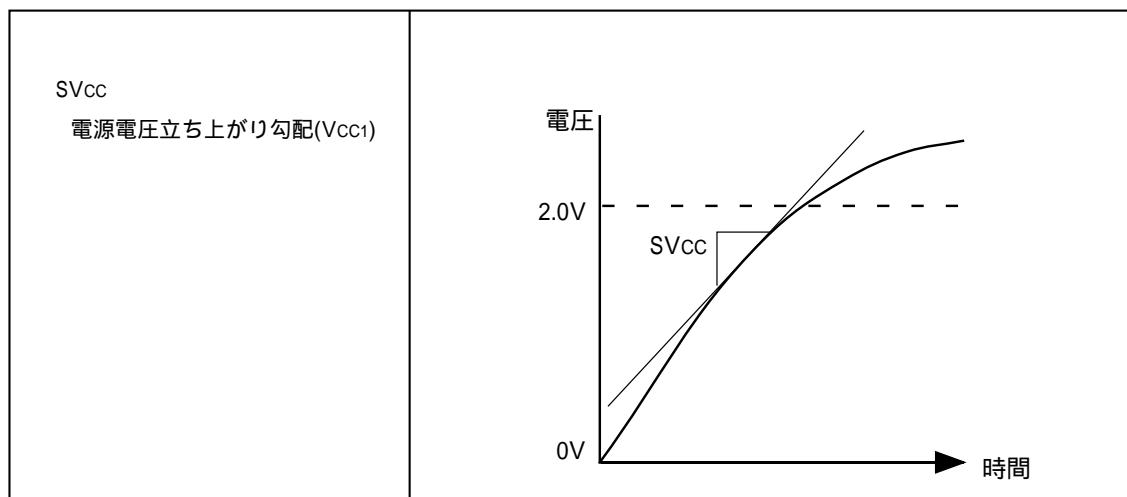


図27.1 SVccのタイミング図

27.3 バス

27.3.1 $\overline{\text{HOLD}}$ 信号

シングルチップモードからマイクロプロセッサモードまたはメモリ拡張モードに変更し、かつ $\overline{\text{HOLD}}$ 入力を使用する場合、PD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“0”(入力モード)にした後、PM01～PM00ビットを“112”(マイクロプロセッサモード)、または“012”(メモリ拡張モード)にしてください。

シングルチップモード時にPD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“1”(出力モード)にした後、PM01～PM00ビットを“112”(マイクロプロセッサモード)、または“012”(メモリ拡張モード)にした場合、 $\overline{\text{HOLD}}$ 端子に“L”を入力してもP40～P47(A16～A22、 $\overline{\text{A23}}$ 、 $\overline{\text{CS0}}$ ～ $\overline{\text{CS3}}$ 、MA8～MA12)、P50～P52($\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}/\overline{\text{WRL}}/\overline{\text{WRH}}$)はハイインピーダンスになりません。

27.3.2 外部バス

CNV_{ss}端子に“H”を入力してハードウェアリセット(ハードウェアリセット1または電圧低下検出リセット)すると、内部ROMは読めません。

27.4 SFR

27.4.1 100ピン版の注意事項

100ピン版では、03CB₁₆、03CE₁₆、03CF₁₆、03D2₁₆、03D3₁₆番地の領域は、リセット後“FF₁₆”にしてください。03DC₁₆番地の領域は、リセット後“00₁₆”にしてください。

27.4.2 レジスタ設定時の注意事項

表27.2に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表27.2 書き込みのみ可能なビットを含むレジスタ

レジスタ名	番地	レジスタ名	番地
WDTレジスタ	000E ₁₆	U2BRGレジスタ	0339 ₁₆
G0RIレジスタ	00EC ₁₆	U2TBレジスタ	033B ₁₆ - 033A ₁₆
G1RIレジスタ	012C ₁₆	UDFレジスタ	0344 ₁₆
U4BRGレジスタ	02F9 ₁₆	TA0レジスタ ^(注1)	0347 ₁₆ - 0346 ₁₆
U4TBレジスタ	02FB ₁₆ - 02FA ₁₆	TA1レジスタ ^(注1)	0349 ₁₆ - 0348 ₁₆
TA11レジスタ	0303 ₁₆ - 0302 ₁₆	TA2レジスタ ^(注1)	034B ₁₆ - 034A ₁₆
TA21レジスタ	0305 ₁₆ - 0304 ₁₆	TA3レジスタ ^(注1)	034D ₁₆ - 034C ₁₆
TA41レジスタ	0307 ₁₆ - 0306 ₁₆	TA4レジスタ ^(注1)	034F ₁₆ - 034E ₁₆
DTTレジスタ	030C ₁₆	U0BRGレジスタ	0369 ₁₆
ICTB2レジスタ	030D ₁₆	U0TBレジスタ	036B ₁₆ - 036A ₁₆
U3BRGレジスタ	0329 ₁₆	U1BRGレジスタ	02E9 ₁₆
U3TBレジスタ	032B ₁₆ - 032A ₁₆	U1TBレジスタ	02EB ₁₆ - 02EA ₁₆

注1.ワンショットタイマモード時とパルス幅変調モード時のみ。

27.5 クロック発生回路

27.5.1 CPUクロック

- CPUを24MHz以上の周波数で動作させる場合、XIN-XOUT端子間に接続する発振子(またはXIN端子に入力する外部クロック)は24MHz以下にし、PLL周波数シンセサイザで逡倍してください。24MHz以上の発振子(外部クロック)を使用するより、EMC(電磁環境適合性)が向上します。
- M32C/84Tでは、メインクロックの周波数を24MHz以下にしてください。

27.5.2 サブクロック

サブクロック(XCIN-XCOUT)をCPUクロック、またはタイマA、タイマBのカウントソース(fc32)に使用する場合、CM0レジスタのCM03ビットを“0”(XCIN-XCOUT駆動能力Low)にしてください。

27.5.2.1 サブクロック発振時

サブクロックを発振させる場合、CM0レジスタのCM07ビットを“0”(サブクロック以外のクロック)、かつCM03ビットを“1”(XCIN-XCOUT駆動能力High)にした後、CM0レジスタのCM04ビットを“1”(サブクロック発振)にしてください。サブクロックの発振が安定した後、CM03ビットを“0”(XCIN-XCOUT駆動能力Low)にしてください。

上記の設定を行った後、CPUクロック、またはタイマA、タイマBのカウントソースにサブクロックを設定してください。

27.5.2.2 ストップモードを使用する場合

ストップモードへ移行すると、自動的にCM03ビットは“1”(XCIN-XCOUT駆動能力High)になります。ストップモードへ移行する場合、以下の手順でCPUクロックをメインクロックにしてください。

- (1) CM1レジスタのCM17ビットを“0”(CPUクロックはメインクロック)にする
- (2) CM2レジスタのCM21ビットを“0”(CM17ビットで選択されたクロック)にする
- (3) CM0レジスタのCM07ビットを“0”(CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

ストップモードから復帰後はサブクロックが安定した後、CM03ビットを“0”(XCIN-XCOUT駆動能力High)にし、CM07ビットを“1”(サブクロック)にしてください。

27.5.2.3 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングを駆動能力Highでのみ確認している場合、駆動能力Lowのマッチングも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

27.5.3 PLL周波数シンセサイザ

PLL周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください。

表27.3 電源リップル

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数 (V _{CC1})	(V _{CC1} =5V時)		10	kHz
		(V _{CC1} =3.3V時)		100	Hz
V _{p-p(ripple)}	電源リップル許容振幅電圧	(V _{CC1} =5V時)		0.5	V
		(V _{CC1} =3.3V時)		0.2	V
V _{CC1} (∇ / ∇ T)	電源リップル立ち上がり/立ち下がり勾配	(V _{CC1} =5V時)		1	V/ms
		(V _{CC1} =3.3V時)		0.1	V/ms

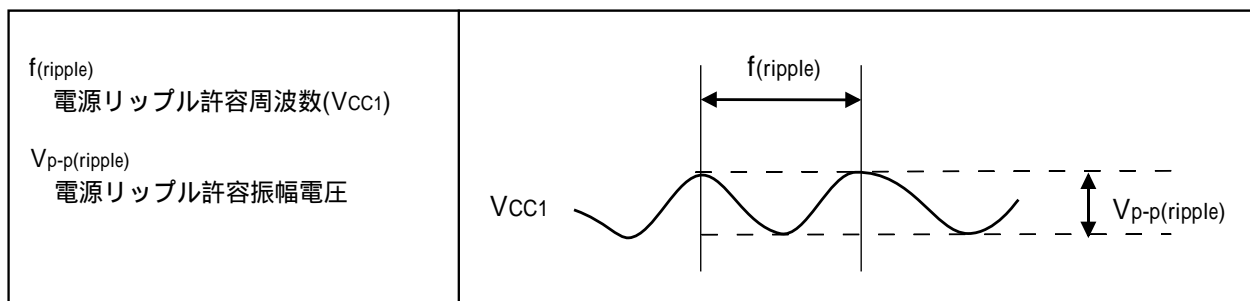


図27.2 電源変動のタイミング図

27.5.4 外部クロック

XIN端子に外部で生成したクロックを入力して、CPUクロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。

CPUのクロックに外部クロック入力を使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしないでください。

27.5.5 クロック分周比

MCDレジスタのMCD4～MCD0ビットを変更する場合、PM1レジスタのPM12ビットを“0”(ウエイトなし)にしてください。

27.5.6 パワーコントロール

CPUクロックのクロック源をメインクロックまたはサブクロック、PLLクロックに切り替えるときは、各クロックの発振が安定してから切り替えてください。

27.5.6.1 ウェイトモード

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードへ移行する場合、CPUクロックが10MHz以下になるようにMCDレジスタのMCD4～MCD0ビットを設定してください。

ウェイトモードに移行する場合、命令キューにWAIT命令より後の命令が取り込まれて、プログラムが停止します。WAIT命令の後にはNOPを最低4つ入れてください。

27.5.6.2 ストップモード

- ・ストップモードへ移行する場合、以下の手順でCPUクロックをメインクロックにしてください。
 - (1) CM1レジスタのCM17ビットを“0”(CPUクロックはメインクロック)にする
 - (2) CM2レジスタのCM21ビットを“0”(CM17ビットで選択されたクロック)にする
 - (3) CM0レジスタのCM07ビットを“0”(CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

ただし、CPUクロック源にPLLクロックが選択されている場合、CM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC0レジスタのPLC07ビットを“0”(PLL停止)にしてからストップモードへ移行してください。

- ・ $\overline{\text{NMI}}$ 端子に“L”が入力されてる場合、ストップモードへ移行しません。“H”を入力してください。
- ・ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまで $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ・ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、以下の手順でCM1レジスタのCM10ビットを“1”(全クロック停止)にしてください。
 - (1) $\overline{\text{NMI}}$ 割り込みでストップモードから復帰する
 - (2) ダミー割り込みを発生させる
 - (3) CM10ビットを“1”にする

```
例) int #63 ;ダミー割り込み
     bset CM1 ;全クロック停止
```

```
/* ダミー割り込み処理 */
```

```
dummy
reit
```

- ・ストップモードに移行する場合、命令キューにCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。

CM10ビットを“1”にする命令の後には次のようにJMP.B命令を入れてください。

```

     bset 0, prcr ;プロテクト解除
     bset 0, cm1 ;全クロック停止(ストップモード)
     jmp.b LABEL_001 ;jmp.b命令実行(jmp.bとラベルの間には命令を
LABEL_001: ;入れないですぐ次の命令にジャンプする)
     nop ;nop(1)
     nop ;nop(2)
     nop ;nop(3)
     nop ;nop(4)
     mov.b #0,prcr ;プロテクト設定
     .
     .
     .
```

27.5.6.3 消費電力を小さくするためのポイント

システム設計やプログラムを作成するときに参考にしてください。

ポート：

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

A/Dコンバータ：

A/D変換を行わない場合、AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。A/D変換を行う場合、VCUTビットを“1”(VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

D/Aコンバータ：

D/A変換を行わない場合、DACONレジスタのDA i ビット($i = 0 \sim 1$)を“0”(出力禁止)にし、DA i レジスタを“0016”にしてください。

周辺機能の停止：

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードと低消費電力モード時にはCM02ビットを“1”(ウェイトモード時、周辺機能クロック停止する)にしてウェイトモードに移行しないでください。

27.6 プロテクト

PRCRレジスタのPRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

27.7 割り込み

27.7.1 ISPの設定

リセット後、ISPは“000000₁₆”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには偶数番地を設定してください。偶数を設定した方が割り込みシーケンスの実行速度が速くなります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPを設定してください。 $\overline{\text{NMI}}$ 割り込みは、リセット後、1命令を実行した直後から受け付けられます。

27.7.2 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。
- $\overline{\text{NMI}}$ 端子は、P8レジスタのP8_5ビットを読むことで端子の値を読めます。P8_5ビットは、 $\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定する場合のみ読んでください。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅を、いずれもCPUクロックの2サイクル+300ns以上にしてください。
- $\overline{\text{NMI}}$ 割り込み要求と他の割り込み要求が同時に発生した場合、 $\overline{\text{NMI}}$ 割り込み要求が受け付けられないことがあります。

27.7.3 $\overline{\text{INT}}$ 割り込み

- エッジセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅、または“H”幅が必要です。
- レベルセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロック1周期+200ns以上の“L”幅、または“H”幅が必要です。(例：XIN = 30MHz、分周無しの場合は234ns以上必要です。)
- $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子の極性を切り替えるときにIRビットが“1”(割り込み要求あり)になることがあります。切り替えた後、IRビットを“0”(割り込み要求なし)にしてください。図27.3に $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を示します。

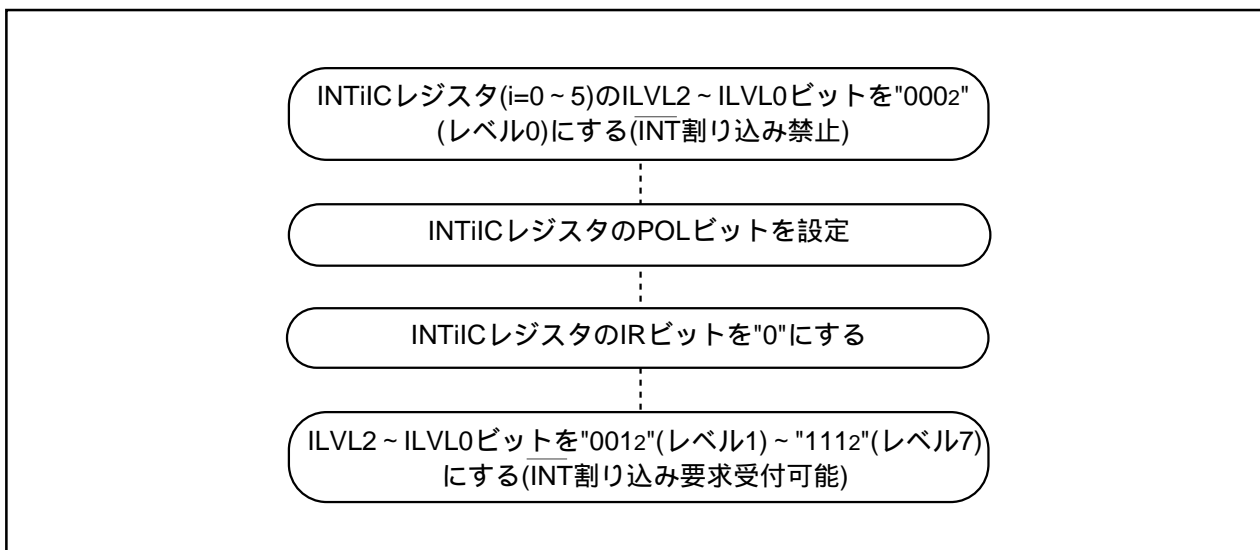


図27.3 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例

27.7.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

27.7.5 割り込み制御レジスタの変更

割り込みが禁止状態で割り込み制御レジスタを変更するときには、次のようにしてください。

IRビットの変更：IRビットを“0” (割り込み要求なし)にすると、使用する命令によってはIRビットが“0”にならないことがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

MOV

IRビット以外のビット変更：命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり)にならずに割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

AND、OR、BCLR、BSET

27.7.6 IIOiIRレジスタの変更 (i=0～4、8～11)

IIOiIRレジスタのビット1～7に“0” (割り込み要求なし)を書く場合は次の命令を使用してください。

AND、BCLR

27.7.7 RLVLレジスタの変更

リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0” (割り込み優先レベル7は割り込みに使用)にしてから割り込み制御レジスタを設定してください。

27.8 DMAC

- ・DMAC関連レジスタを設定する場合は、設定するチャンネルのMDi1～MDi0ビット(i=0～3)が“002”(DMA禁止)の状態を設定し、最後にMDi1～MDi0ビットで“012”(単転送)または“112”(リピート転送)を選択してください。これによって、そのチャンネルのDMA要求が受付可能となります。
- ・DMiSLレジスタのDRQビットに“0”(要求なし)を書かないでください。
M32C/80シリーズでは、DMA要求が発生した場合、そのチャンネルが受け付けられない状態^(注1)であればDMA転送は実行せず、そのDRQビットは“0”になります。

注1. MDi1～MDi0ビットが“002”、またはDCTiレジスタが“000016”(転送回数0)

- ・ソフトウェアトリガでDMA転送を行う場合、DMiSLレジスタのDSRビットとDRQビットを、同時に“1”にしてください。
例) OR.B #0A0h,DMiSL ;DSRビットとDRQビットを同時に“1”にする
- ・チャンネルiのDCTiレジスタが“1”(転送回数1)の場合、チャンネルiに対応するDMDjレジスタ(j=0,1)のMDi1～MDi0ビットに“012”(単転送)または“112”(リピート転送)を書くタイミングで、チャンネルiのDMA要求が発生しないようにしてください。
- ・DMA関連レジスタ設定後に、DMA要求要因となる周辺機能を設定してください。
DMA要求要因にINT割り込みを選択した場合、DCTiレジスタに“1”を書かないでください。
- ・DMiSLレジスタ(i=0～3)を設定してから、プログラムでBCLKの6サイクル以上待ってからDMAを許可^(注2)してください。

注2. DMA許可とは、DMDjレジスタ(j=0, 1)のMDi1～MDi0ビットを“002”(DMA禁止)から、“012”(単転送)、または“112”(リピート転送)に設定することを表します。

27.9 タイマ

27.9.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiS(i=0~4)ビットまたはTBjS(j=0~5)ビットを“1”(カウント開始)にしてください。

次のレジスタ、ビットは、TAiSビットまたはTBjSビットが“0”(カウント停止)の状態、変更してください。

- ・TAiMR、TBjMRレジスタ
- ・TAi、TBjレジスタ
- ・UDFレジスタ
- ・ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット
- ・TRGSRレジスタ

27.9.2 タイマA

INVC0レジスタのINV03~INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

27.9.2.1 タイマA(タイマモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

27.9.2.2 タイマA(イベントカウンタモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

27.9.2.3 タイマA(ワンショットタイマモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中にTABSRレジスタを“0”(カウント停止)にすると次のようになります。
 - カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- ・ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

- ・ 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

- ・ カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

- ・ タイマAワンショットタイマモードでカウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が“0000₁₆”になる前の300nsの間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

27.9.2.4 タイマA (パルス幅変調モード)

- ・ リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0” (カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1” (カウント開始)にしてください。

- ・ 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

- ・ PWMパルスを出力中にTAiSビットを“0” (カウント停止)にすると次のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

27.9.3 タイマB

27.9.3.1 タイマB (タイマモード、イベントカウンタモード)

- ・リセット後、TBiSビット($i=0\sim 5$)は“0”(カウント停止)です。動作モードを選択し、TBiレジスタに値を設定した後、TBiSビットを“1”(カウント開始)にしてください。
TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。
- ・カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

27.9.3.2 タイマB (パルス周期測定 / パルス幅測定モード)

- ・TBiICレジスタ($i=0\sim 5$)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。
- ・測定パルス入力があるタイマのオーバーフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバーフローの回数を別のタイマでカウントしてください。
- ・MR3ビットを“0”(オーバーフローなし)にするには、TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。
- ・オーバーフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
- ・カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
- ・カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。
- ・カウント開始後にTBiMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。MR1~MR0ビットに以前と同じ値を書き込んだ場合は、IRビットは変化しません。
- ・パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかはプログラムで判断してください。

27.10 シリアルI/O

27.10.1 クロック同期形シリアルI/Oモード

INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、RTS₂端子とCLK₂端子はハイインピーダンスになります。

27.10.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS_i端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS_i端子の出力レベルは“H”になります。このため、RTS_i端子を送信側のCTS_i端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

27.10.1.2 送信

外部クロックを選択している場合、UiC0(i=0～4)レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1レジスタのTEビットが“1”(送信許可)
- ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- ・ CTS機能を選択している場合、CTS_i端子の入力が“L”

27.10.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TxDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLK_i端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのREビットが“1”(UiRBレジスタにデータあり)でUART_i受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1レジスタのREビットが“1”(受信許可)
- ・ UiC1レジスタのTEビットが“1”(送信許可)
- ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

27.10.2 UARTモード

UiC1レジスタ(i=0~4)のUiEREビットは、UiMRレジスタを設定した後で書いてください。

27.10.3 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~4)のSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

27.11 A/Dコンバータ

- AD0CON0レジスタ(ビット6を除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
A/D変換停止後、VCUTビットを“1”から“0”にしてください。
- ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANij (i=なし, 0, 2, 15, j=0~7))とAVSS端子の間に、それぞれコンデンサを挿入してください。同様にVcc端子とVss端子の間にもコンデンサを挿入してください。図27.4に各端子の処理例を示します。

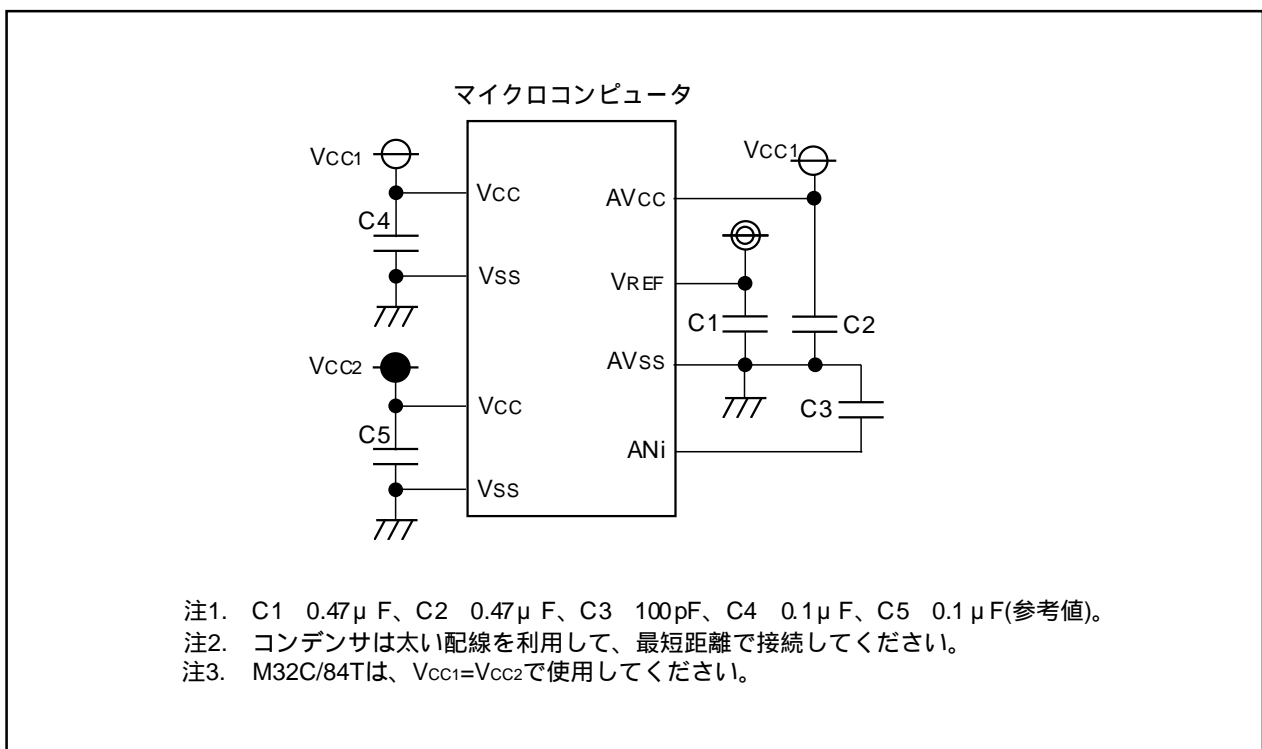


図27.4 各端子の処理例

- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、AD0CON0レジスタのTRGビットが“1”(外部トリガ)の場合は、 $\overline{\text{ADTRG}}$ 端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- キー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。
- ADの周波数を16MHz以下にしてください。サンプル&ホールドなしの場合、ADの周波数は250kHz以上にしてください。サンプル&ホールドありの場合、ADの周波数は1MHz以上にしてください。
- A/D動作モードを変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたはAD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

- AVCC=VREF=VCC1 VCC2、AD入力(AN0~AN7、AN150~AN157、ANEX0、ANEX1) VCC1、AD入力(AN00~AN07、AN20~AN27) VCC2としてください。
- A/D変換が完了し、その結果をAD0iレジスタ(i=0~7)に格納するタイミングでCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
単発モードまたは単掃引モードで使用する場合、A/D変換が完了したことを確認してから、対象となるAD0iレジスタを読んでください(A/D変換の完了はAD0ICレジスタのIRビットで判定できます)。
繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0で使用する場合、CPUクロックは、メインクロックを分周せずに使用してください。
- A/D変換中に、プログラムでAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換中に、プログラムでADSTビットを“0”にした場合は、すべてのAD0iレジスタの値を使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、AD00レジスタは命令で読まないでください。
- ウェイトモード中、A/D変換は行わないでください。
- サンプル&ホールドありの場合、MCDレジスタのMCD4~MCD0ビットは“100102”(分周なし)にしてください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”にしてA/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。

27.12 インテリジェントI/O

27.12.1 レジスタの設定

G1BT、G1BCR1、G1TMCR0～G1TMCR7、G1TPR6、G1TPR7、G1TM0～G1TM7、G1POCR0～G1POCR7、G1PO0～G1PO7、G1FS、G1FEの各レジスタに書いた値は、G1BCR0レジスタのBCK1～BCK0ビットで設定したカウントソース(fBT1)に同期して反映されます。これらのレジスタの設定は、BCK1～BCK0ビットを設定した後で行ってください。

同様に、G0RI～G1RI、G0TO～G1TO、G0CR～G1CR、G0RB～G1RB、G0MR～G1MR、G0EMR～G1EMR、G0ETC～G1ETC、G0ERC～G1ERC、G0IRF、G1IRF、G0TB～G1TB、G0CMP0～G0CMP3、G1CMP0～G1CMP3、G0MSK0～G0MSK1、G1MSK0～G1MSK1、G0TCRC～G1TCRC、G0RCRC～G1RCRCの各レジスタに書いた値は、転送クロックに同期して反映されます。これらのレジスタの設定は、転送クロックを設定した後で行ってください。

27.13 プログラマブル入出力ポート

- ・P7₂～P7₅、P8₀、P8₁端子には三相PWM出力の強制遮断機能があるため、これらの端子を出力機能(ポート出力、タイマ出力、三相PWM出力、シリアルI/O出力、インテリジェントI/O出力)に設定している場合、三相モータ制御用タイマ機能やNMI端子の影響を受けます。表27.4にINVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係を示します。

表27.4 INVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係

INVC0レジスタの設定値		NMI端子入力レベル	P7 ₂ ～P7 ₅ 、P8 ₀ 、P8 ₁ 端子の状態 (出力に設定している場合)
INV02ビット	INV03ビット		
0 (三相モータ制御用タイマ機能を使用しない)	-	-	PS1、PSL1、PSC、PS2、PSL2レジスタで選択した機能の出力
1 (三相モータ制御用タイマ機能を使用)	0 (三相モータ制御用タイマ出力禁止)	-	ハイインピーダンス
	1 (三相モータ制御用タイマ出力許可) ^(注1)	H	PS1、PSL1、PSC、PS2、PSL2レジスタで選択した機能の出力
		L (強制遮断)	ハイインピーダンス

注1. NMI端子に“L”入力後、“0”になります。

- ・RESET端子のレベルが“L”の間、内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
- ・プログラマブル入出力ポートと周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が端子を共用しているとき、この端子の入力レベルが推奨動作条件のV_{IH}、V_{IL}の範囲外(“H”でも“L”でもないレベル)の場合、プログラマブル入出力ポートと周辺機能でレベルの判定結果が異なることがあります。

27.14 フラッシュメモリ版

27.14.1 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

27.14.2 ブートモード

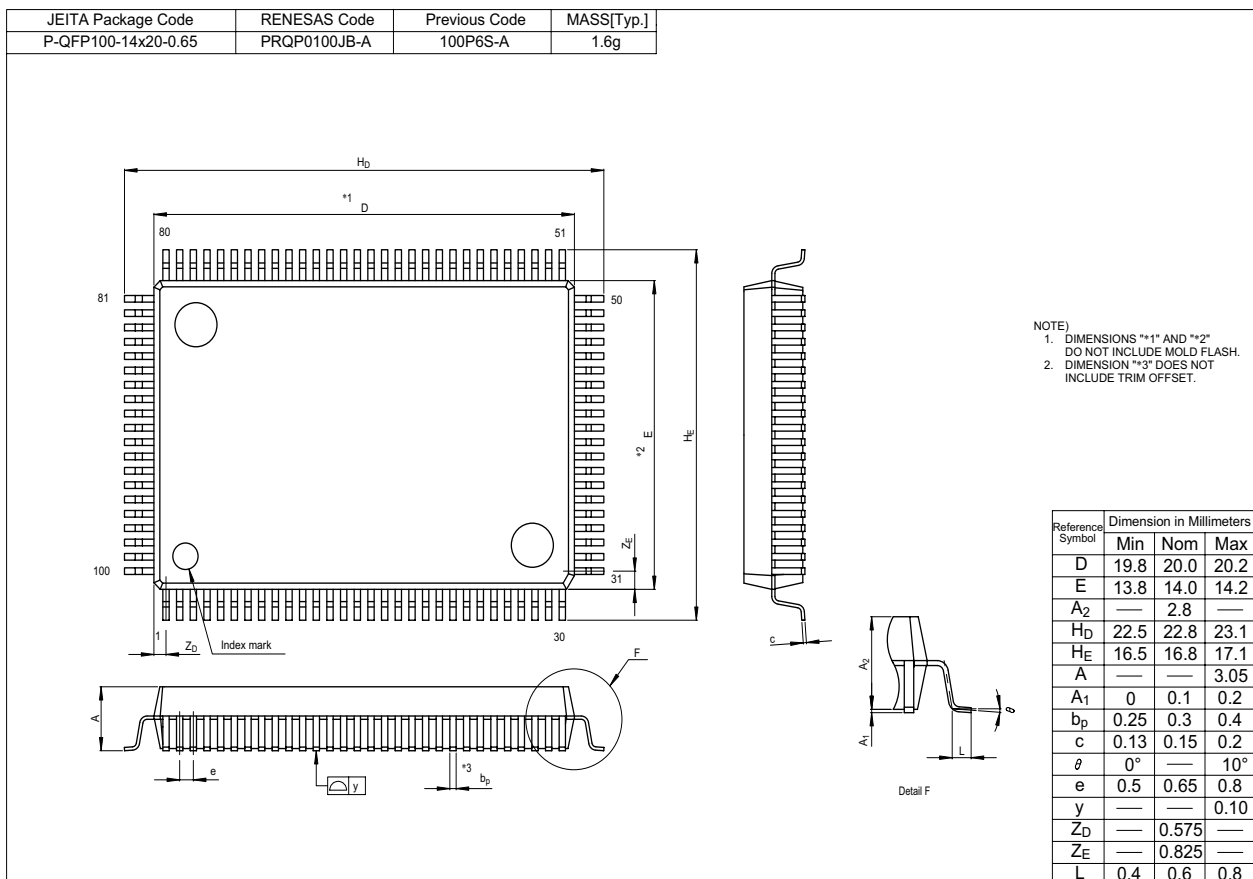
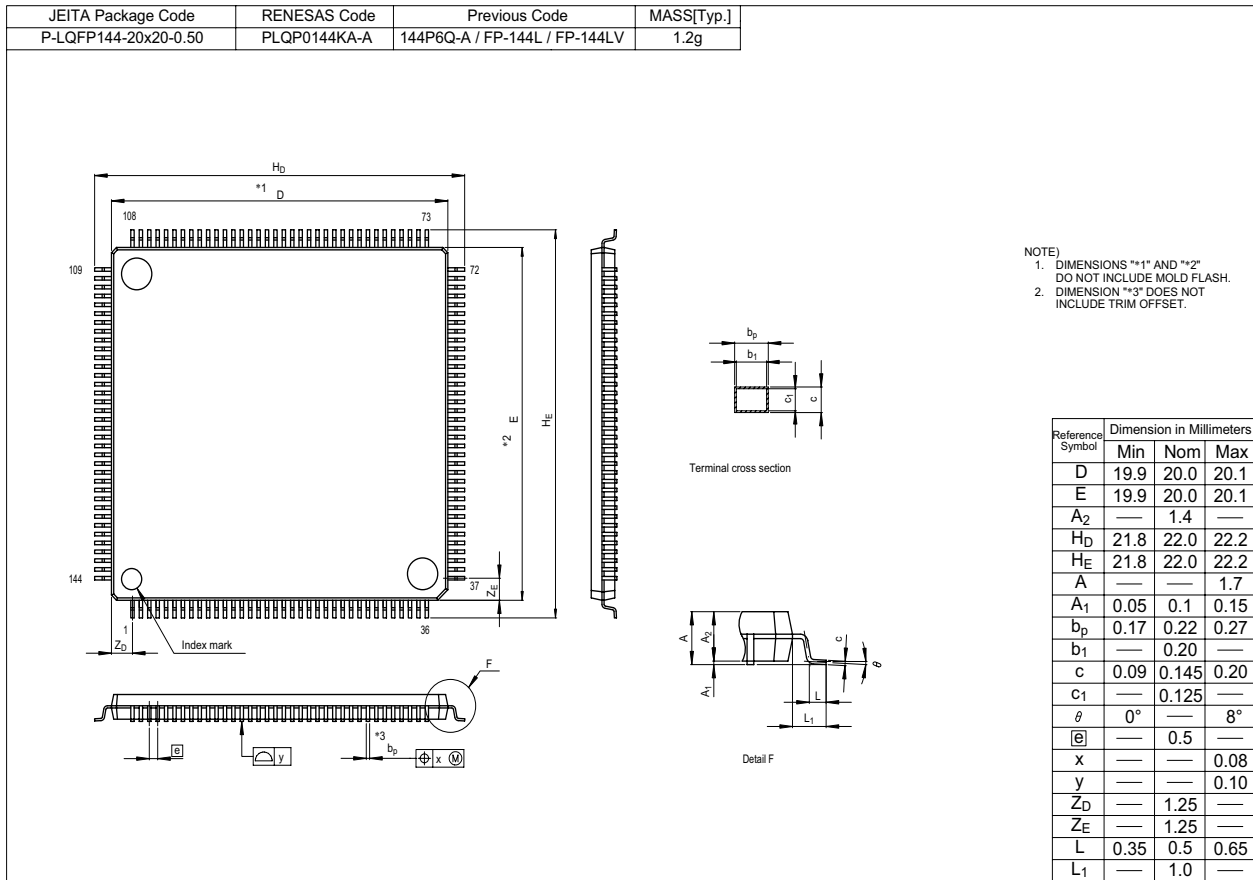
ブートモードで電源を立ち上げる場合、内部電源が安定するまで、入出力端子の状態はハイインピーダンスにならない場合があります。ブートモードで電源を立ち上げる場合、次の手順で行ってください。

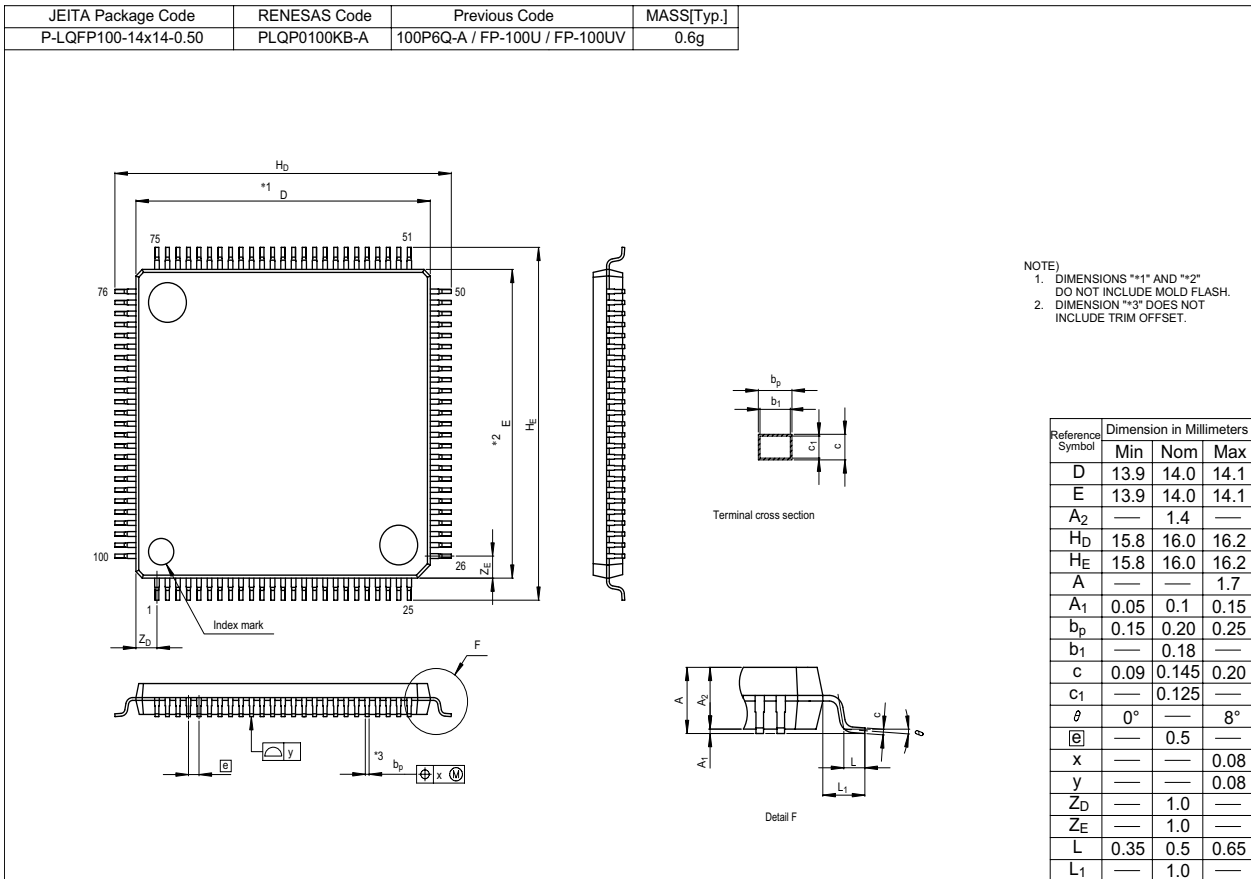
- (1) $\overline{\text{RESET}}$ 端子に“L”、CNVss端子に“L”を入力
- (2) Vcc1端子が2.7V以上になって2ms以上待つ(内部電源安定待ち時間)
- (3) CNVss端子に“H”を入力
- (4) $\overline{\text{RESET}}$ 端子に“H”を入力(リセット解除)

27.15 ノイズに関する注意事項

ノイズ対策として、Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F以上)を最短距離でかつ、比較的大い配線を使って接続してください。

付録1．外形寸法図





レジスタ索引

A

AD00 ~ AD07 **247**
AD0CON0 **243**
AD0CON1 **244**
AD0CON2 **245**
AD0CON3 **246**
AD0CON4 **247**
AIER **122**

C

COAFS **348**
COBRP **323**
COCONR **321**
COCTLR0 **312**
COCTLR1 **315**
COEFR **330**
COEIMKR **328**
COEISTR **329**
COGMR0 **336**
COGMR1 **337**
COGMR3 **338**
COGMR4 **337**
COIDR **320**
COLMAR0 **336**
COLMAR1 **336**
COLMAR2 **337**
COLMAR3 **337**
COLMAR4 **338**
COLMBR0 **336**
COLMBR1 **336**
COLMBR2 **337**
COLMBR3 **337**
COLMBR4 **338**
COMCTL0 ~ COMCTL15 **340**
COMDR **331**
COREC **324**
COSBS **343**
COSIMKR **327**
COSISTR **325**
COSLOT0_0 **344**
COSLOT0_1 **344**
COSLOT0_2 **345**
COSLOT0_3 **345**
COSLOT0_4 **346**

COSLOT0_5 **346**
COSLOT0_6 ~ COSLOT0_13 **347**
COSLOT0_14 **347**
COSLOT0_15 **347**
COSLOT1_0 **344**
COSLOT1_1 **344**
COSLOT1_2 **345**
COSLOT1_3 **345**
COSLOT1_4 **346**
COSLOT1_5 **346**
COSLOT1_6 ~ COSLOT1_13 **347**
COSLOT1_14 **347**
COSLOT1_15 **347**
COSLPR **316**
COSSCTLR **333**
COSSSTR **335**
COSTR **317**
COTEC **324**
COTSR **323**
CCS **298**
CM0 **83, 129**
CM1 **84**
CM2 **85**
CPSRF **86**
CRCD **258**
CRCIN **258**

D

D4INT **51**
DA0 ~ DA1 **257**
DACON **257**
DCT0 ~ DCT3 **136**
DM0SL ~ DM3SL **133**
DMA0 ~ DMA3 **137**
DMD0 ~ DMD1 **135**
DRA0 ~ DRA3 **137**
DRC0 ~ DRC3 **136**
DS **60**
DSA0 ~ DSA3 **137**
DTT **182**

E

EWCR0 ~ EWCR3 **66**

FFMR0 **385**FMR1 **386****G**G0CMP0 ~ G0CMP3 **297**G0CR ~ G1CR **290**G0DR ~ G1DR **296**G0EMR ~ G1EMR **292**G0ERC ~ G1ERC **294**G0ETC ~ G1ETC **293**G0IRF **295**G0MR ~ G1MR **291**G0MSK0 ~ G0MSK1 **297**G0RB ~ G1RB **290**G0RCRC ~ G1RCRC **297**G0RI ~ G1RI **289**G0TB ~ G1TB **296**G0TCRC ~ G1TCRC **297**G0TO ~ G1TO **289**G1BCR0 **266**G1BCR1 **267**G1BT **266**G1CMP0 ~ G1CMP3 **297**G1FE **271**G1FS **270**G1IRF **296**G1MSK0 ~ G1MSK1 **297**G1PO0 ~ G1PO7 **270**G1POCR0 ~ G1POCR7 **269**G1TM0 ~ G1TM7 **269**G1TMCR0 ~ G1TMCR7 **268**G1TPR6 **268**G1TPR7 **268****I**ICTB2 **183**IDB0 ~ IDB1 **182**IFSR **120, 197**IIO0IE ~ IIO5IE **126**IIO8IE ~ IIO11IE **126**IIO0IR ~ IIO5IR **125**IIO8IR ~ IIO11IR **125**INVC0 **180**INVC1 **181**IPS **373**IPSA **374****M**MCD **84****O**ONSF **155****P**P0 ~ P15 **362**PCR **373**PD0 ~ PD15 **361**PLC0 **87**PLC1 **87**PM0 **57**PM1 **58**PM2 **88**PRCR **104**PS0 **363**PS1 **363**PS2 **364**PS3 **364**PS5 **365**PS8 **365**PS9 **366**PSC **369**PSC2 **369**PSC3 **370**PSD1 **370**PSL0 **367**PSL1 **367**PSL2 **368**PSL3 **368**PUR0 **371**PUR1 **371**PUR2 **371**PUR3 **372**PUR4 **372**PWCR0 **78**PWCR1 **79****R**RLVL **114, 143**RMAD0 ~ RMAD7 **122**ROMCP **383**

T

TA0 ~ TA4 **153**
TA0MR ~ TA4MR **154, 159, 162, 165, 167**
TA1、TA2、TA4、TA11、TA21、TA41 **183**
TA1MR、TA2MR、TA4MR **185**
TABSR **154, 170, 184**
TB0 ~ TB5 **169**
TB0MR ~ TB5MR **170, 172, 174, 176**
TB2 **184**
TB2MR **185**
TB2SC **183**
TBSR **171**
TCSPR **86, 156**
TRGSR **156, 184**

U

U0BRG ~ U4BRG **191**
U0C0 ~ U4C0 **192**
U0C1 ~ U4C1 **193**
U0MR ~ U4MR **191**
U0RB ~ U4RB **190**
U0SMR ~ U4SMR **193**
U0SMR2 ~ U4SMR2 **194**
U0SMR3 ~ U4SMR3 **195**
U0SMR4 ~ U4SMR4 **196**
U0TB ~ U4TB **190**
UDF **155**

V

VCR1 **49**
VCR2 **50**

W

WDC **49, 128**
WDTS **128**

X

X0R ~ X15R **261**
XYC **260**

Y

Y0R ~ Y15R **261**

ワ

割り込み制御レジスタ **112, 113**

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2004-3		初版発行
0.50	2004-6	全ページ	用語統一 (統一用語: オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ、D/A コンバータ)
		B-2	番地別ページ早見表 ・PWCR0 レジスタ、PWCR1 レジスタを削除
		25	SFR ・PWCR0 レジスタ、PWCR1 レジスタを削除
		46	リセット ・表 5.1 RESET 端子のレベルが“L”の期間の端子の状態 P50の \overline{WR} 出力(“H”を出力)、P52の \overline{RD} 出力(“H”を出力)に注3を追加
		-	バス ・ページモード制御機能を削除 ・図 7.3 EWCR0 ~ EWCR3 レジスタ 注3を削除
		121	割り込み ・図 10.15 IIO0IE ~ IIO4IE、IIO8IE ~ IIO11IE レジスタ 注2を追加
		122	ウォッチドッグタイマ ・図 11.1 ウォッチドッグタイマのブロック図 図を変更
		178	三相モータ制御用タイマ機能 ・図 15.5 ICTB2 レジスタ、TA1、TA2、TA4、TA11、TA21、TA41 レジスタ、TB2SC レジスタ TAi,Ai-1 レジスタ(i=1,2,4)の注7を削除
		376	フラッシュメモリ版 ・図 24.4 FMR0 レジスタ 注1、注7を変更
		377	・図 24.5 FMR1 レジスタ 注1を変更
		379	・図 24.5 EW0 モードの設定と解除方法 注2を変更、注5を追加
		380	・図 24.6 EW1 モードの設定と解除方法 注3を変更、注4を追加
		381	・図 24.7 低消費電力モード前後の処理 注4、注5を追加 ・24.3.4.5 アクセス方法 文章を一部追加
		401	電気的特性 ・表 25.2 推奨動作条件(1) ((1)と(2)を一つの表にまとめた) f(ripple)、Vp-p(ripple)、VCC(i V/ Ti)、SVCC、注1を削除 AVCCの値を変更
		403	・表 25.3 電気的特性 Icc(電源電流)の最大値を変更、RPULLUP(プルアップ抵抗)にマスク ROM 版の値を追加
		404	・表 25.4 A/D 変換特性 tsmp(サンプリング時間)の値を変更、注1を追加
		406	・表 25.7 低電圧検出回路の電気的特性、表 5.8 電源回路のタイミング特性、 図 25.1 電源回路のタイミング図を追加
411	・表 25.23 メモリ拡張モードおよびマイクロプロセッサモード th(BCLK-ALE)の最小値を変更		
413	・図 25.3 VCC1=VCC2=5V 時のタイミング図(1) tac1(AD-DB)の演算式を修正		
417	・表 25.24 電気的特性 Icc(電源電流)の最大値を変更、RPULLUP(プルアップ抵抗)にマスク ROM 版の値を追加		
418	・表 25.25 A/D 変換特性 tconv(変換時間)の値を変更		
419	・表 25.28 メモリ拡張モードおよびマイクロプロセッサモード tsu(DB-BCLK)、tsu(RDY-BCLK)、tsu(HOLD-BCLK)の値を修正		
422	・表 5.40 メモリ拡張モードおよびマイクロプロセッサモード th(WR-DB)の演算式を修正		
423	・表 5.41 メモリ拡張モードおよびマイクロプロセッサモード th(BCLK-ALE)の最小値を変更、th(WR-DB)の演算式を修正、誤記修正		
424	・図 25.7 VCC1=VCC2=3.3V 時のタイミング図(1) tac1(AD-DB)の演算式を修正		
-	使用上の注意事項 ・三相モータ制御用タイマ機能の注意事項を削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005-4		概要
		1	・1.1 応用 自動車を追加
		2、3	・表 1.1、1.2 M32C/84 グループ(M32C/84、M32C/84T)の性能概要 高信頼性版を追加、消費電流が10 μ Aのときの電圧を修正、注3と注4を追加
		4	・1.3 ブロック図 文を削除 ・図 1.1 M32C/84 グループ(M32C/84、M32C/84T)のブロック図 注3を追加
		5	・1.4 製品一覧 文章を変更 ROM/RAM 展開図 図を削除
		6	・表 1.3 製品一覧表 一般品に製品を追加、高信頼性版を追加
		7	・図 1.2 型名とメモリサイズ・パッケージ 分類を追加
		8 ~ 10	・図 1.3 144 ピン版ピン接続図 注3を追加
		12	・表 1.4 144 ピン版ピン端子名一覧表 注1を追加
		13、14	・図 1.5 100 ピン版ピン接続図 注5を追加
		15	・表 1.5 100 ピン版ピン端子名一覧表 注1を追加
		15	・表 1.6 端子の機能説明 注2、3を追加
		22	メモリ ・図 3.1 メモリ配置図 型名表を内部 RAM/ 内部 ROM の表に変更、注2、3を変更、注4、5を追加
		23	SFR ・DS、VCR2、VCR1、D4INT レジスタに注2を追加
		24	・EWCR0 ~ EWCR3 レジスタに注1を追加 ・FMR0 レジスタにマスク ROM 版のリセット後の値を追加
		26	・RLVL レジスタのリセット後の値を変更
		29	・G1RB レジスタのリセット後の値を変更
		35	・IDB0、IDB1 レジスタのリセット後の値を変更
		37	・DM0SL ~ DM3SL レジスタのリセット後の値を変更
		38	・A/D0 レジスタ0のシンボル名を修正
41	・PSC レジスタのリセット後の値を変更		
-	リセット ・ハードウェアリセット2を電圧低下検出リセットに名称変更 ・構成を変更		
43	・5. リセット 文章にハードウェアリセット1と電圧低下検出リセットを追加 ・図 5.1 リセット回路の一例 注1に文章を追加		
44	・図 5.2 リセットシーケンス 図を一部変更、注1、2、3を追加		
45	・表 5.1 <u>RESET</u> 端子のレベルが“L”の期間の端子の状態 P56の“H”を出力に注3を追加 ・5.2 電圧低下検出リセット td(P-R)後をtd(S-R)に変更、注1を追加		
-	電圧検出回路 ・節から章に変更		
48	・6. 電圧検出回路 注意を追加、文章を変更 ・図 6.1 リセット回路ブロック図 図を一部変更		
49	・図 6.2 WDC レジスタ、VCR1 レジスタ WDC レジスタのリセット後の値に注3を追加、VCR1 レジスタの注1を削除、注2を追加		
50	・図 6.3 VCR2 レジスタ 注2を削除、注5、6を追加		
51	・図 6.4 D4INT レジスタ 注6を追加		
52	・6.1 電圧低下検出割り込み 文章を一部変更 ・表 6.1 電圧低下検出割り込み要求発生条件 ウェイトモード、ストップモード時のD42ビットを変更 ・表 6.2 サンプリング時間 表を変更		
53	・図 6.5 電圧低下検出割り込み発生回路ブロック図 語句修正		
54	・6.2 コールドスタート/ウォームスタート判定機能 新規追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
		55	プロセッサモード
		57	・7. プロセッサモード 構成を変更
		58	・図7.1 PM0 レジスタ 注2、注8を追加
		59	・図7.2 PM1 レジスタ 注5を追加
		59	・図7.3 各プロセッサモード時のメモリ配置 図を一部変更、注3を追加
		60	バス
		66	・8. バス 注意を追加
		66	・図8.1 DS レジスタ 注1を削除、注1を追加
		77 ~ 80	・図8.3 EWCR0 ~ EWCR3 レジスタ 注3を追加
		77 ~ 80	・8.3 ページモード制御機能 新規追加
		82	クロック発生回路
		84	・図9.1 クロック発生回路のブロック図 図を一部変更、fCANを追加
		86	・図9.3 CM1 レジスタ、MCD レジスタ CM1 レジスタのCM17ビットの注意事項マーク移動
		88	・図9.5 TCSPR レジスタ、CPSRF レジスタ TCSPR レジスタに注2を追加
		91	・図9.7 PM2 レジスタ b4、b5ビットをPM24ビット、PM25ビットとして公開
		94	・表9.2 オンチップオシレータ発振開始条件 新規追加
		94	・表9.4 CPUクロック源と設定ビット
		95	メインクロック(メインクロックダイレクトモード)、PM2 レジスタのPM24ビット、注1を追加
		95	・9.3.4 fCAN 新規追加
		97	・表9.6 メモリ拡張モードとマイクロプロセッサモードでのCLKOUT端子の機能 注4を追加
		98	・9.5.2 ウェイトモード 構成を変更
		99	・表9.7 ウェイトモード時の端子の状態 注1を追加
		99	・9.5.3 ストップモード 構成を変更
		101	・表9.9 ストップモード時の端子の状態 注1を追加
		102	・図9.12 ストップモード、ウェイトモード時の状態遷移図 図を一部変更、注2削除により注記載順を変更
		102	・図9.13 状態遷移図 注5を変更
		105	割り込み
		106	・図11.1 割り込みの分類 注3を追加
		108	・11.3.1.4 電圧低下検出割り込み 注1を追加
		113	・表11.1 固定ベクタテーブル 注1を追加
		114	・図11.4 割り込み制御レジスタ(2) POLビットの注意事項マーク移動
		116	・図11.5 RLVL レジスタ リセット後の値を変更 注3を変更
		116	・11.6.4 割り込み応答時間 文を一部変更
		117	・表11.5 割り込み優先レベルを持たない割り込みとIPLの関係 注1を追加
		117	・11.6.6 レジスタ退避 文章を一部変更、注1を追加
		118	・図11.8 ハードウェアリセット割り込みの割り込み優先順位 注1を追加
		119	・図11.9 割り込み優先レベル判定回路 注1を追加
		127	ウォッチドッグタイマ
		128	・図12.1 ウォッチドッグタイマのブロック図 図を一部変更
		128	・図12.2 WDC レジスタ、WDTS レジスタ WDC レジスタに注3を追加
		133	DMAC
		134	・図13.2 DM0SL ~ DM3SL レジスタ リセット後の値を変更
		134	・表13.2 DMiSL レジスタ機能一覧 注3を変更
		143	DMACII
		149	・図14.1 RLVL レジスタ リセット後の値を変更 注を変更
		149	・14.8 実行時間 文章を変更
		149	・図14.5 転送時間 サイクルを修正
		150	タイマ
		151	・図15.1 タイマAの構成ブロック図 図を一部変更
		151	・図15.2 タイマBの構成ブロック図 図を一部変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		156 171	<ul style="list-style-type: none"> ・ 図 15.7 TRGSR レジスタ、TCSPR レジスタ TCSPR レジスタに注 2 を追加 ・ 表 15.8 TBiIN 端子を使用する場合の設定 P94 の PS3 レジスタを修正
		178 180 182 186 187	三相モータ制御用タイマ機能 <ul style="list-style-type: none"> ・ 表 16.2 三相モータ制御用タイマ機能を使用する場合の端子の設定 P75 の PSC レジスタを修正 ・ 図 16.2 INVC0 レジスタ INV07 ビットの機能を修正 ・ 図 16.4 IDB0、IDB1 レジスタ リセット後の値を変更 ・ 図 16.8 三角波変調動作例 図を一部変更 ・ 図 16.9 鋸波変調動作例 図を一部変更
		189 190 192 193 194 205 207 208 215、216 216 226	シリアル I/O <ul style="list-style-type: none"> ・ 図 17.1 UARTi ブロック図 図の一部を変更 ・ 図 17.2 U0TB ~ U4TB レジスタ、U0RB ~ U4RB レジスタ U0RB ~ U4RB レジスタの注 3 を変更 ・ 図 17.4 U0C0 ~ U4C0 レジスタ 注 3 を追加 ・ 図 17.5 U0C1 ~ U4C1 レジスタ 注 2 を追加 ・ 図 17.6 U0SMR2 ~ U4SMR2 レジスタ 注 1 の参照先を変更 ・ 表 17.7 UART モード時の使用レジスタと設定値 UiC1 レジスタ(i=0 ~ 4)の UiLCH ビットの機能を変更 ・ 図 17.14 UART モード時の送信動作例 図を修正 ・ 図 17.15 UART モード時の受信動作例 語句修正 ・ 表 17.11 転送速度 追加 ・ 表 17.14 ~ 表 17.16 I²C モード時の端子の設定 表に入力時の設定を追加 ・ 表 17.16 I²C モード時の端子の設定(3) PSC3 レジスタを追加 ・ 表 17.23 GCI モードの仕様 送受信開始条件を変更
		241 242 243 244 254	A/D コンバータ <ul style="list-style-type: none"> ・ 表 18.1 A/D コンバータの仕様 注 2 を変更、注 3 を追加 ・ 図 18.1 A/D コンバータのブロック図 図を一部変更 ・ 図 18.2 AD0CON0 レジスタ 注 5 を変更、注 8、9 を追加 ・ 図 18.3 AD0CON1 レジスタ 注 10、11 を追加 ・ 18.2.8 A/D 変換時のセンサーの出力インピーダンス 追加 ・ 図 18.8 アナログ入力端子と外部センサーの等価回路例 コンデンサーの値を変更
		267 269 272 273 277 280 281 283 284 285 286 287 288 290 300 301	インテリジェント I/O <ul style="list-style-type: none"> ・ 図 22.4 G1BCR1 レジスタ RST2 ビットの機能を変更、注 2 を変更 ・ 図 22.6 G1TM0 ~ G1TM7 レジスタ、G1POCR0 ~ G1POCR7 レジスタ G1POCR0 ~ G1POCR7 レジスタに注 6、注 7 を追加 ・ 表 22.2 ベースタイマの仕様 ベースタイマリセット条件を変更 ・ 図 22.9 ベースタイマのブロック図 図を一部変更 ・ 表 22.4 時間計測機能の仕様 ゲート機能の説明文を変更 ・ 図 22.14 時間計測機能の動作例(2) 図を一部変更、語句修正 ・ 図 22.15 プリスケアラ機能、ゲート機能使用時の動作例 語句修正 ・ 表 22.9 単相波形出力モードの仕様 G1PO0 レジスタの設定値を変更 ・ 図 22.16 単相波形出力モードの動作例 レジスタの設定値を追加、条件を追加 ・ 表 22.10 反転波形出力モードの仕様 G1PO0 レジスタの設定値を変更 ・ 図 22.17 反転波形出力モードの動作例 レジスタの設定値を追加、条件を追加、注意事項を変更 ・ 表 22.11 SR 波形出力モードの仕様 G1PO0 レジスタの設定値を追加 ・ 図 22.18 SR 波形出力モードの動作例 レジスタの設定値を追加、条件を追加 ・ 図 22.20 G0CR ~ G1CR レジスタ、G0RB ~ G1RB レジスタ G0RB ~ G1RB レジスタの b14 ビットを PER ビットとして公開、リセット後の値を変更 ・ 表 22.14 通信部 1 のクロック設定 G1PO0 レジスタの設定値を変更 ・ 表 22.15 GiCR レジスタの OPOL ビットを修正 ・ 表 22.16 通信部 0, 1 のクロック同期形シリアル I/O モード時の端子の設定(1) P76、P77 の設定すべきレジスタを削除 ・ 表 22.17 通信部 0, 1 のクロック同期形シリアル I/O モード時の端子の設定(2) レジスタ欄削除

Rev.	発行日	改訂内容	
		ページ	ポイント
		303	・表 22.19 通信部 0,1 のクロック同期形シリアル I/O モード時の端子の設定(4) P15 ₀ 、P15 ₁ の設定すべきレジスタを削除、レジスタ欄削除
		304	・表 22.20 通信部 1 の UART モード仕様 送受信データ極性切り替えを削除、注 2 を変更、エラー検出にパリティエラーを追加
		305	・表 22.21 通信部 1 のクロック設定 ISCLK1 からの入力を削除、注 4 を変更 G1PO0 レジスタの設定値を変更
		306	・表 22.22 通信部 1 の UART モード時の使用レジスタと設定値 G1MR レジスタの UFORM ビットの機能を変更、PRY、PRYE ビットとその機能を追加 CCS レジスタの CCS3 ~ CCS2 ビットの機能を変更
		307	・図 22.31 通信部 1 の UART モード時の送信動作例 条件を追加
		308	・図 22.32 通信部 1 の UART モード時の受信動作例 条件を追加
		307	・22.4.3 HDLC データ処理モード(通信モード 0、1) 文章を追加
		308	・表 22.25 HDLC データ処理モードの仕様 語句修正、文章を一部変更
		308	・表 22.28 HDLC データ処理モード時の使用レジスタと設定値 G1PO1 レジスタの機能を変更
		322	CAN ・23.1.6.5 SJW1 ~ SJW0 ビット 文章を追加
		348	・23.2 CAN クロック 追加
		357	プログラマブル入出力ポート ・図 24.1 プログラマブル入出力ポートの構成(1) P15 ₀ ~ P15 ₇ を削除、P15 ₂ ~ P15 ₇ を追加
		358	・図 24.2 プログラマブル入出力ポートの構成(2) 機能選択付きプログラマブル入出力ポートの図を一部変更
		359	・図 24.3 プログラマブル入出力ポートの構成(3) P15 を削除、P15 ₀ を追加
		360	・図 24.5 PD0 ~ PD15 レジスタ 注 2 に文章追加
		361	・図 24.6 P0 ~ P15 レジスタ 注 1 に文章追加
		370	・図 24.15 PUR0、PUR1、PUR2 レジスタ PUR0、PUR1 レジスタの注 1 を変更
		372	・図 24.17 PCR レジスタ、IPS レジスタ PCR レジスタの注 1 を変更
		373	・図 24.18 IPSA レジスタ IPSA_0 ビットのビット名と機能を変更
		374	・表 24.1 シングルチップモード時の未使用端子の処理例 表、注記を変更
		375	・表 24.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例 表、注記を変更
		376	・図 24.19 未使用端子の処理例 図を一部変更、注 2 を追加
		377	・表 24.3 ポート P6 周辺機能出力制御 ビット 3、ビット 6、ビット 7 を変更 ・表 24.4 ポート P7 周辺機能出力制御 ビット 0、ビット 1 を変更、注 1 のビット名を修正 ・表 24.6 ポート P9 周辺機能出力制御 ビット 2、ビット 6 を変更
		379	フラッシュメモリ版 ・表 25.1 フラッシュメモリ版の性能概要 項目の語句修正
		381	・25.2.1 ROM コードプロテクト機能 文章を一部削除
		382	・図 25.2 ROMCP レジスタ ビット 4、ビット 5 を削除、注 2 ~ 注 4 を修正
		401	・表 25.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード) P7 ₆ 、P7 ₇ 端子説明内容変更
		402 ~ 404	・図 25.14 ~ 図 25.16 標準シリアル入出力モード時の端子結線図 図を一部変更
		405、406	・図 25.17 ~ 図 25.19 標準シリアル入出力モード 1、2、3 の端子の処理例 図を一部変更
		409	電气的特性 ・表 26.2 推奨動作条件(1) f(RING)の最小値と最大値を追加、測定条件を追加
		411	・表 26.3 電气的特性(1) V _{OH} の最小値を修正、低消費電力モード時の規格値を追加
		412	・表 26.3 電气的特性(2) f(BCLK)=32kHz、低消費電力モード時のマスク ROM 版の標準規格値を追加
		414	・表 26.6 フラッシュメモリの電气的特性 注記の記載方法を変更
		419	・表 26.22 メモリ拡張モードおよびマイクロプロセッサモード 注 3 を追加
		420	・表 26.23 メモリ拡張モードおよびマイクロプロセッサモード 注 5 を追加
		424	・図 26.5 V _{CC1} =V _{CC2} =5V のタイミング図(3) NMI 入力を追加
		426	・表 26.24 電气的特性 V _{OH} の最小値を修正
		431	・表 26.40 メモリ拡張モードおよびマイクロプロセッサモード 注 3 を追加
		432	・表 26.41 メモリ拡張モードおよびマイクロプロセッサモード 注 5 を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
		437	・26.2 電気的特性(M32C/84T) 新規追加
		449	使用上の注意事項
		450	・27.1 M32C/84T(高信頼性版)の制限事項 追加
		453	・27.2 リセット 追加
		465	・27.5 クロック発生回路 構成を変更
		466	・27.9 シリアル I/O 記載順を変更
		466	・27.10 A/D コンバータ 注意事項を変更
			・図 27.4 各端子の処理例 注3を追加
1.01	2005-7	全ページ	外形図番号の変更(144P6Q-A PLQP0144KA-A、100P6Q-A PLQP0100KB-A、100P6S-A PRQP0100JB-A) SFR
		27	・G0RB レジスタのリセット後の値を変更
		37	・TCSPR レジスタのリセット後の値を変更
		46	リセット ・図 5.2 リセットシーケンス 図を修正、BCLK のサイクル数にマスク ROM 版の値を追加
		58	プロセッサモード ・図 7.2 PM1 レジスタ PM13 ビットを公開
		62	バス ・表 8.2 プロセッサモードと端子の機能 注3を変更
		86	クロック発生回路 ・図 9.5 TCSPR レジスタ リセット後の値を変更
		102	・図 9.13 状態遷移図 注5を注4に修正
		110	割り込み ・表 11.2 可変ベクタテーブル(2) 割り込み要因より障害エラーを削除、注4を削除
		120	・図 11.10 IFSR レジスタ IFSR6 ビットと IFSR7 ビットの機能から障害エラー検出を削除
		158	タイマ ・表 15.3 タイマモードの仕様 タイマの書き込みの仕様を変更
		160	・表 15.4 イベントカウンタモードの仕様 タイマの書き込みの仕様を変更
		161	・表 15.5 イベントカウンタモードの仕様 タイマの書き込みの仕様を変更
		164	・表 15.6 ワンショットタイマモードの仕様 タイマの書き込みの仕様を変更
		166	・表 15.7 パルス幅変調モードの仕様 タイマの書き込みの仕様を変更
		172	・表 15.9 タイマモードの仕様 タイマの書き込みの仕様を変更
		173	・表 15.10 イベントカウンタモードの仕様 タイマの書き込みの仕様を変更
		193	シリアル I/O ・図 17.5 U0C1 ~ U4C1 レジスタ 注2を修正
		197	・図 17.9 IFSR レジスタ IFSR6 ビットと IFSR7 ビットの機能から障害エラー検出を削除
		208	・17.2.1 転送速度 UiBRG レジスタ(i=0 ~ 2)を(i=0 ~ 4)へ修正
		212	・図 17.19 I ² C モードのブロック図 図を修正
		219	・17.36 SDA 入力 UiSMR レジスタの IICM ビットを IICM2 ビットへ修正
		220	・表 17.19 特殊モード 2 の仕様 送信制御、受信制御の仕様を変更、送信開始条件の仕様を変更、エラー検出の仕様に「障害エラー」を追加
		221	・表 17.20 特殊モード 2 時の使用レジスタと設定値 IFSR レジスタを削除
		223	・17.4.1.2 DINC ビットが "0" (マスタモード) の場合 文章を修正
		237	・図 17.29 SIM インターフェイス動作例 (1)送信時の図を修正
		265	インテリジェント I/O ・図 22.2 インテリジェント I/O 通信部のブロック図 図を修正
		271	・図 22.8 G1FE レジスタ シンボルを修正
		273	・表 22.3 ベースタイマ関連レジスタの設定 G1POCR0 レジスタの MOD2 ~ MOD0 ビットの機能を修正
		293	・図 22.23 G0ETC レジスタ ビット 2 ~ 0 の機能を変更
		312	CAN モジュール ・図 23.3 COCTRL0 レジスタ、C1CTRL0 レジスタ 注3を追加

Rev.	発行日	改訂内容			
		ページ	ポイント		
		338	・ 23.1.19 CANi グローバルマスクレジスタ、CANi ローカルマスクレジスタ A、CANi ローカルマスクレジスタ B (CiGMRk、CiLMARK、CiLMBRk レジスタ) 文章を変更		
		352	・ 図 23.38 CAN バスエラー発生時の動作例 図を修正		
		355	プログラマブル入出力ポート ・ 24.3 機能選択レジスタ Aj (i=0 ~ 5, 8, 9)を(i=0 ~ 3, 5, 8, 9)へ修正		
		383	フラッシュメモリ版 ・ 図 25.2 ROMCP 番地 ROMCP1 レジスタの注 4 を削除		
		387	・ 25.3.3.4 FMSTP ビット 文章を追加		
		411	電气的特性 ・ 表 26.2 推奨動作条件(2) f(BCLK)の項目と値を追加		
		417	・ 表 26.10 メモリ拡張モードおよびマイクロプロセッサモード 注 1 の tac1(RD-DB)の式を修正、tac2(RD-DB)の式を追加		
		421	・ 表 26.23 メモリ拡張モードおよびマイクロプロセッサモード 注 4 の th(ALE-AD)の式を修正		
		423	・ 図 26.3 VCC1=VCC2=5V 時のタイミング図(1) tcyc の式を追加		
		424	・ 図 26.4 VCC1=VCC2=5V 時のタイミング図(2) 注 1 の th(ALE-AD)の式を修正、tac2(RD-DB)の式を修正、注 2 の th(ALE-AD)の式を修正、tcyc の式を追加		
		429	・ 表 26.28 メモリ拡張モードおよびマイクロプロセッサモード 注 1 の tac1(RD-DB)の式を修正、tac2(RD-DB)の式を追加		
		433	・ 表 26.41 メモリ拡張モードおよびマイクロプロセッサモード 注 4 の th(ALE-AD)の式を修正		
		434	・ 図 26.7 VCC1=VCC2=3.3V 時のタイミング図(1) tcyc の式を追加		
		435	・ 図 26.8 VCC1=VCC2=3.3V 時のタイミング図(2) 注 1 の th(ALE-AD)の式を修正、tac2(RD-DB)の式を修正、注 2 の th(ALE-AD)の式を修正、th(WR-DB)の式を修正、tcyc の式を追加		
		440	・ 表 26.43 推奨動作条件(2) f(BCLK)の項目と値を追加		
		457	使用上の注意事項 ・ 27.5.6.3 消費電力を小さくするためのポイント 周辺機能停止の文章を修正		
		461	・ 27.8 DMAC 「チャネルiのDCTiレジスタが“1”の場合～」の、MDi1 ~ MDiビット0の設定値を変更		
		1.10	2005-10	概要	・ 表 1.1 表 1.2 M32C/84 グループ(M32C/84、M32C/84T)の性能概要 動作周囲温度のUバージョン追加 ・ 表 1.3 製品一覧表 内容の更新、Uバージョンの追加
				SFR	・ G0RB レジスタ リセット後の値を修正
		シリアル I/O	192 ・ 図 17.4 U0C0 ~ U4C0 レジスタ 注 2 を変更 200 ・ 表 17.5 クロック同期形シリアル I/O モード時の端子の設定(3) PSC3 レジスタの欄を追加 206 ・ 表 17.10 UART モード時の端子の設定(3) PSC3 レジスタの欄を追加 222 ・ 表 17.23 特殊モード 2 時の端子の設定(3) PSC3 レジスタの欄を追加 228 ・ 表 17.26 GCI モード時の端子の設定(1) PSL0 レジスタの欄を削除 ・ 表 17.28 GCI モード時の端子の設定(3) PSC3 レジスタの欄を追加 231 ・ 表 17.31 IE モード時の端子の設定(1) PSL0 レジスタの欄を削除 ・ 表 17.33 IE モード時の端子の設定(3) PSC3 レジスタの欄を追加 236 ・ 表 17.36 SIM モード時の端子の設定(1) PSL0 レジスタの欄を削除 ・ 表 17.38 SIM モード時の端子の設定(3) PSC3 レジスタの欄を追加		
		フラッシュメモリ版	384 ・ 図 25.3 ID コードの格納番地 図の一部修正		
		電气的特性	438 ・ 表 26.42 絶対最大定格 消費電力、動作周囲温度にUバージョンを追加 440 ・ 表 26.43 推奨動作条件(2) メインクロック入力発振周波数の最大規格値を修正、注 1 を追加 442 ・ 表 26.44 電气的特性(2) クロック停止時、Topr=105 を追加 444 ・ 表 26.47 フラッシュメモリの電气的特性 注 3 を追加		

ルネサス16/32ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
M32C/84グループ(M32C/84、M32C/84T)

発行年月日 2004年1月19日 Rev. 0.40
2005年10月25日 Rev. 1.10

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

M32C/84 グループ (M32C/84、 M32C/84T) ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0013-0110